

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86CH12MG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品のうち外国為替および外国貿易法により、輸出または海外への提供が規制されているものがあります。021023_F

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

改訂履歴

日付	版	改訂理由
2006/10/3	1	First Release
2008/8/29	2	内容改訂

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"ー"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	ー
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	ー	ー	ー
	fc/16	○	○	ー	ー
	fc/32	○	○	○	ー
上記以外		○	○	○	○

Not Recommended for New Designs

目次

TMP86CH12MG

1.1	特長	1
1.2	ピン配置図	3
1.3	ブロック図	4
1.4	端子機能	5

第2章 動作説明

2.1	CPU コア機能	7
2.1.1	メモリアドレスマップ	7
2.1.2	プログラムメモリ (MaskROM)	7
2.1.3	データメモリ (RAM)	8
2.2	システムクロック制御回路	9
2.2.1	クロックジェネレータ	9
2.2.2	タイミングジェネレータ	10
2.2.2.1	タイミングジェネレータの構成	
2.2.2.2	マシンサイクル	
2.2.3	動作モードの種類	11
2.2.3.1	シングルクロックモード	
2.2.3.2	デュアルクロックモード	
2.2.3.3	STOP モード	
2.2.3.4	各動作モードの遷移	
2.2.4	動作モードの制御	16
2.2.4.1	STOP モード	
2.2.4.2	IDLE1/2 モード, SLEEP1/2 モード	
2.2.4.3	IDLE0, SLEEP0 モード	
2.2.4.4	SLOW モード	
2.3	リセット回路	31
2.3.1	外部リセット入力	31
2.3.2	アドレストラップリセット	32
2.3.3	ウォッチドッグタイマリセット	32
2.3.4	システムクロックリセット	32

第3章 割り込み制御回路

3.1	割り込みラッチ (IL28 ~ IL2)	34
3.2	割り込み許可レジスタ (EIR)	35
3.2.1	割り込みマスタ許可フラグ (IMF)	35
3.2.2	割り込み個別許可フラグ (EF28 ~ EF4)	35
注 3)		37
3.3	割り込み処理	38
3.3.1	割り込み受け付け処理	38
3.3.2	汎用レジスタ退避 / 復帰処理	39
3.3.2.1	プッシュ / ポップ命令による汎用レジスタの退避 / 復帰	
3.3.2.2	転送命令による汎用レジスタの退避 / 復帰	
3.3.3	割り込みリターン	40
3.4	ソフトウェア割り込み (INTSW)	42
3.4.1	アドレスエラー検出	42

3.4.2	デバッグング	42
3.5	未定義命令割り込み (INTUNDEF)	42
3.6	アドレストラップ割り込み (INTATRAP)	42
3.7	外部割り込み	43

第4章 スペシャルファンクションレジスタ

4.1	SFR	45
4.2	DBR	47

第5章 入出力ポート

5.1	P0 (P07 ~ P00) ポート	50
5.2	P1 (P17 ~ P10) ポート	53
5.3	P2 (P22 ~ P20) ポート	55
5.4	P3 (P37 ~ P30) ポート	56

第6章 ウォッチドッグタイマ (WDT)

6.1	ウォッチドッグタイマの構成	59
6.2	ウォッチドッグタイマの制御	59
6.2.1	ウォッチドッグタイマによる暴走検出の方法	59
6.2.2	ウォッチドッグタイマのイネーブル	61
6.2.3	ウォッチドッグタイマのディセーブル	61
6.2.4	ウォッチドッグタイマ割り込み (INTWDT)	62
6.2.5	ウォッチドッグタイマリセット	62
6.3	アドレストラップ	63
6.3.1	内蔵 RAM 領域のアドレストラップ選択 (ATAS)	63
6.3.2	アドレストラップ発生時の動作選択 (ATOUT)	63
6.3.3	アドレストラップ割り込み (INTATRAP)	63
6.3.4	アドレストラップリセット	64

第7章 タイムベースタイマ (TBT)

7.1	タイムベースタイマ	65
7.1.1	構成	65
7.1.2	制御	65
7.1.3	機能	66
7.2	デバイダ出力 (DVO)	67
7.2.1	構成	67
7.2.2	制御	67

第8章 時計専用タイマ (RTC)

8.1	構成	69
8.2	時計専用タイマの制御	69
8.3	機能	70

第9章 10ビットタイマカウンタ (TC7)

9.1	構成	71
9.2	制御	72
9.3	制御レジスタ/データレジスタの設定	74
9.4	機能	76
9.4.1	プログラマブルパルスジェネレータ出力 (PPG 出力)	76
9.4.1.1	デューティ 50% 出力モード	
9.4.1.2	デューティ可変出力モード	
9.4.1.3	PPG1/2 独立出力モード	
9.4.2	カウントスタート方法	80
9.4.2.1	コマンドスタート & キャプチャモード	
9.4.2.2	コマンドスタート & トリガスタートモード	
9.4.2.3	トリガスタートモード	
9.4.2.4	トリガキャプチャモード (CSTC = "00")	
9.4.2.5	トリガスタート/ストップ受付モード	
9.4.3	タイマ停止時の制御設定	87
9.4.3.1	出力初期状態でカウント停止	
9.4.3.2	出力保持状態でカウント停止	
9.4.3.3	1周期終了後に初期状態でカウント停止	
9.4.4	単発/連続出力モード	87
9.4.4.1	単発出力モード	
9.4.4.2	連続出力モード	
9.4.5	PPG 出力制御 (出力の初期値/論理、出力の禁止許可)	89
9.4.5.1	PPG 出力の初期値/出力論理の選択	
9.4.5.2	PPG 出力の許可/禁止の選択	
9.4.5.3	通常タイマカウンタとしての使用	
9.4.6	TC7 端子入力ノイズ除去時間	89
9.4.7	割り込み	91
9.4.7.1	INTTC7T (トリガスタート割り込み)	
9.4.7.2	INTTC7P (ピリオド割り込み)	
9.4.7.3	INTEMG (緊急出力停止割り込み)	
9.4.8	PPG 緊急出力停止機能	92
9.4.8.1	EMG 端子の入力の許可/禁止	
9.4.8.2	PPG 緊急出力停止モニタ	
9.4.8.3	EMG 割り込み	
9.4.8.4	PPG 緊急出力停止状態の解除	
9.4.8.5	緊急出力停止状態解除後のタイマ再スタート	
9.4.8.6	EMG 端子入力から PPG 出力が初期状態となるまでの反応時間	
9.4.9	TC7 の動作とマイコン動作モードについて	94

第10章 16ビットタイマカウンタ 1 (TC1)

10.1	構成	95
10.2	制御	96
10.3	機能	98
10.3.1	タイマモード	98
10.3.2	外部トリガタイマモード	100
10.3.3	イベントカウンタモード	102
10.3.4	ウィンドウモード	103
10.3.5	パルス幅測定モード	104
10.3.6	プログラマブルパルスジェネレータ (PPG) 出力モード	107

第11章 8ビットタイマカウンタ (TC3, TC4)

11.1	構成	111
11.2	制御	112
11.3	機能	118
11.3.1	8ビットタイマモード (TC3, 4)	118
11.3.2	8ビットイベントカウンタモード (TC3, 4)	119
11.3.3	8ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)	119
11.3.4	8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)	122

11.3.5	16ビットタイマモード (TC3 + 4)	124
11.3.6	16ビットイベントカウンタモード (TC3 + 4)	125
11.3.7	16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)	125
11.3.8	16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4)	128
11.3.9	ウォーミングアップカウンタモード	130
11.3.9.1	低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)	
11.3.9.2	高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)	

第12章 同期型シリアルインタフェース (SIO)

12.1	構成	133
12.2	制御	134
12.3	シリアルクロック	135
12.3.1	クロックソース	135
12.3.1.1	内部クロック	
12.3.1.2	外部クロック	
12.3.2	シフトエッジ	137
12.3.2.1	前縁シフト	
12.3.2.2	後縁シフト	
12.4	転送ビット数	137
12.5	転送ワード数	137
12.6	転送モード	138
12.6.1	4ビット送信モード, 8ビット送信モード	138
12.6.2	4ビット受信モード, 8ビット受信モード	140
12.6.3	8ビット送受信モード	141

第13章 非同期型シリアルインターフェース (UART)

13.1	構成	143
13.2	制御	144
13.3	転送データフォーマット	146
13.4	転送レート	147
13.5	データのサンプリング方法	147
13.6	STOP ビット長	148
13.7	パリティ	148
13.8	送受信動作	148
13.8.1	データ送信動作	148
13.8.2	データ受信動作	148
13.9	ステータスフラグ	149
13.9.1	パリティエラー	149
13.9.2	フレーミングエラー	149
13.9.3	オーバランエラー	149
13.9.4	受信バッファフル	150
13.9.5	送信バッファエンプティ	150
13.9.6	送信終了フラグ	151

第14章 10ビットADコンバータ (ADC)

14.1	構成	153
14.2	制御	154
14.3	機能	157
14.3.1	ソフトウェアスタートモード	157
14.3.2	リピードモード	157

14.3.3	レジスタの設定.....	158
14.4	AD 変換時の STOP/SLOW モード.....	159
14.5	入力電圧と変換結果.....	160
14.6	AD コンバータの注意事項.....	161
14.6.1	アナログ入力端子電圧範囲.....	161
14.6.2	アナログ入力兼用端子.....	161
14.6.3	ノイズ対策.....	161

第 15 章 キーオンウェイクアップ (KWU)

15.1	構成.....	163
15.2	制御.....	163
15.3	機能.....	163

第 16 章 端子の入出力回路

16.1	制御端子.....	165
16.2	入出力ポート.....	166

第 17 章 電气的特性

17.1	絶対最大定格.....	167
17.2	推奨動作条件.....	168
17.2	168
17.3	DC 特性.....	169
17.4	AD 変換特性.....	170
17.5	AC 特性.....	171
17.6	推奨発振条件.....	172
17.7	取り扱い上のご注意.....	172

第 18 章 外形寸法



Not Recommended
for New Design

CMOS 8ビットマイクロコントローラ

TMP86CH12MG

製品形名	ROM (マスクROM)	RAM	パッケージ	フラッシュ内蔵品	エミュレーション チップ
TMP86CH12MG	16384 バイト	512 バイト	P-SSOP30-56-0.65	TMP86FH12MG	TMP86C912XB

1.1 特長

- 8ビットシングルチップマイクロコントローラ：TLCS-870/Cシリーズ
 - 最小実行時間：
 - 0.25 μ s (16 MHz 動作時)
 - 122 μ s (32.768 kHz 動作時)
 - 基本機械命令：132 種類 731 命令
- 割り込み要因 22 要因 (外部：6, 内部：16)
- 入出力ポート (24 端子)
 - 大電流出力 8 端子 (Typ. 20mA)
- ウォッチドッグタイマ
 - 割り込み/内部リセット発生の選択 (プログラマブル)
- プリスケアラ
 - タイムベースタイマ機能
 - デバイダ出力機能
- 時計専用タイマ
- IGBT 制御用 10 ビットタイマカウンタ :1 チャンネル (2 端子出力)
 - PPG1, PPG2 独立出力モード
 - デューティ可変出力モード
 - デューティ 50% 出力モード
 - 外部トリガスタート/ストップ
 - 緊急出力停止端子
- 16 ビットタイマカウンタ :1 チャンネル

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519_S

- タイマ, イベントカウンタ, PPG(プログラマブル矩形波)出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
- 8ビットタイマカウンタ: 2チャンネル
 - タイマ, イベントカウンタ
 - PDO (Programmable Divider Output) モード
 - PWM (パルス幅変調出力)
 - PPG モード
 - 16ビットモード(タイマ2チャンネルを組み合わせて使用)
- 8ビットSIO: 1チャンネル
- 8ビットUART: 1チャンネル
- 10ビット逐次比較方式ADコンバータ
 - アナログ入力: 8チャンネル
- キーオンウエイクアップ: 4チャンネル
- クロック発振回路: 2回路
 - シングル/デュアルクロックモードの選択
- 低消費電力動作(9モード)
 - STOPモード: 発振停止(バッテリー/コンデンサバックアップ)
 - SLOW1モード: 低周波クロックによる低周波動作(高周波停止)
 - SLOW2モード: 低周波クロックによる低周波動作(高周波発振)
 - IDLE0モード: CPU停止。
 - 周辺ハードウェアのうち、TBTのみ動作(高周波クロック)継続し、TBT設定の基準時間経過により解除。
 - IDLE1モード: CPU停止。
 - 周辺ハードウェアのみ動作(高周波クロック)継続し、割り込みで解除(CPU再起動)
 - IDLE2モード: CPU停止。
 - 周辺ハードウェアのみ動作(高周波/低周波クロック)継続し、割り込みで解除
 - SLEEP0モード: CPU停止。
 - 周辺ハードウェアのうち、TBTのみ動作(低周波クロック)継続し、TBT設定の基準時間経過により解除。
 - SLEEP1モード: CPU停止。
 - 周辺ハードウェアのみ動作(低周波クロック)継続し、割り込みで解除。
 - SLEEP2モード: CPU停止。
 - 周辺ハードウェアのみ動作(高周波/低周波クロック)継続し、割り込みで解除。
- 動作電圧:
 - 2.7V~5.5V @ 8MHz /32.768kHz
 - 4.5V~5.5V @ 16MHz /32.768kHz

1.2 ピン配置図

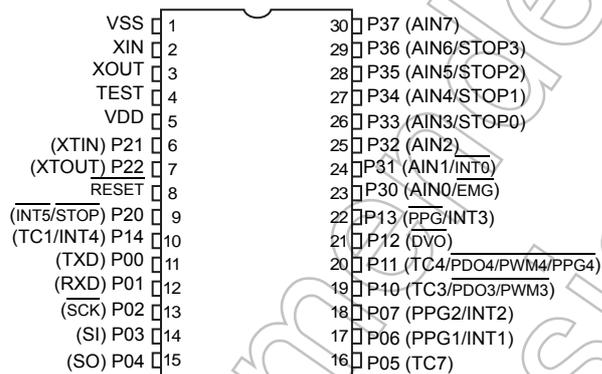


図 1-1 ピン配置図

1.3 ブロック図

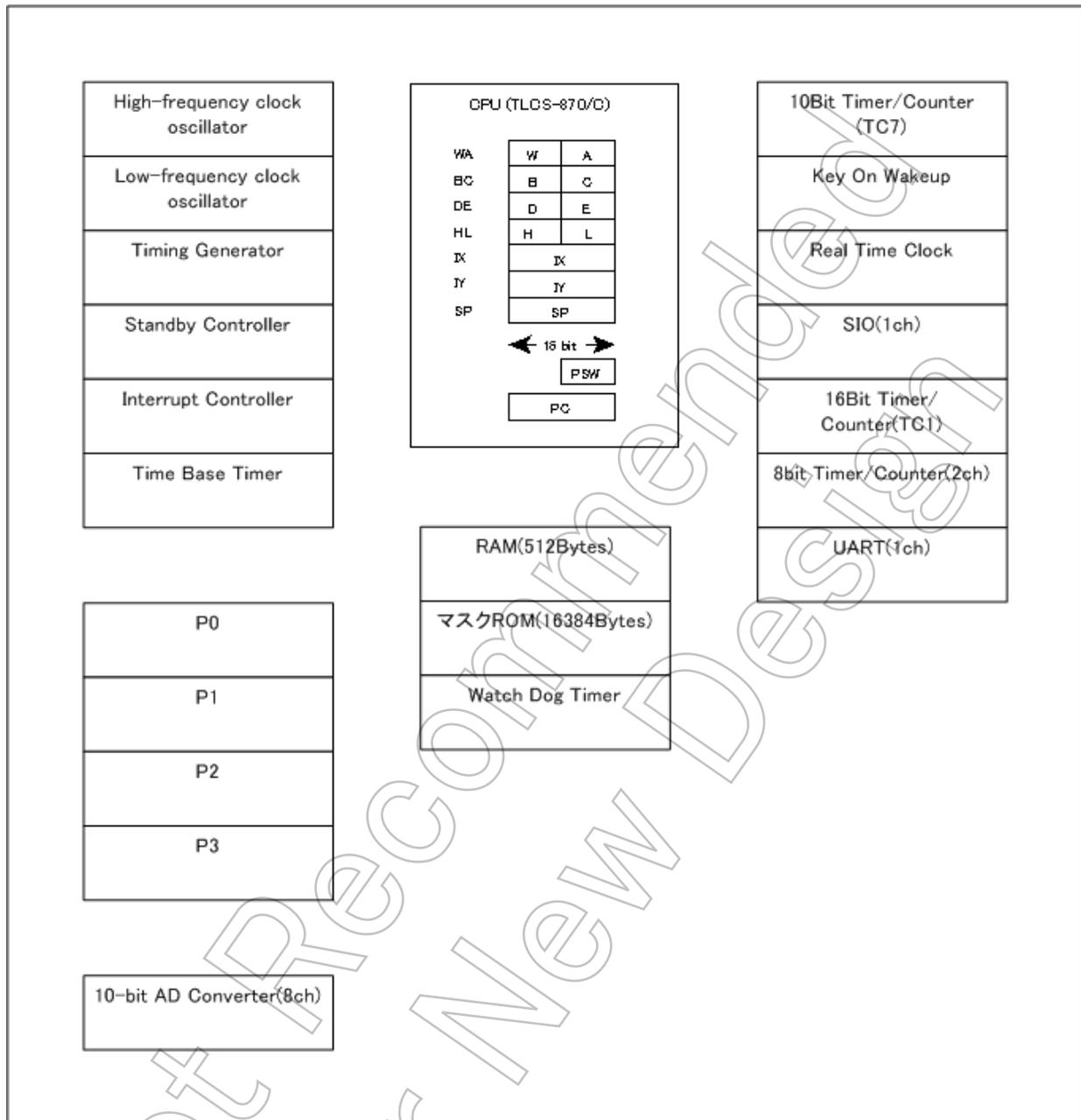


図 1-2 ブロック図

1.4 端子機能

表 1-1 端子機能表 (1 / 2)

端子名	ピン番号	入出力	機能
P07 PPG2 INT2	18	IO O I	ポート 07 タイマカウンタ 7 PPG2 出力 外部割り込み 2 入力
P06 PPG1 INT1	17	IO O I	ポート 06 タイマカウンタ 7 PPG1 出力 外部割り込み 1 入力
P05 TC7	16	IO I	ポート 05 TC7 端子入力
P04 SO	15	IO O	ポート 04 シリアルデータ出力
P03 SI	14	IO I	ポート 03 シリアルデータ入力
P02 SCK	13	IO IO	ポート 02 シリアルクロック入出力
P01 RXD	12	IO I	ポート 01 UART データ入力
P00 TXD	11	IO O	ポート 00 UART データ出力
P14 INT4 TC1	10	IO I I	ポート 14 外部割り込み 4 入力 TC1 端子入力
P13 PPG INT3	22	IO O I	ポート 13 PPG 出力 外部割り込み 3 入力
P12 DVO	21	IO O	ポート 12 デバイダ出力
P11 TC4 PDO4/PWM4/PPG4	20	IO I O	ポート 11 TC4 端子入力 PDO4/PWM4/PPG4 出力
P10 TC3 PDO3/PWM3	19	IO I O	ポート 10 TC3 端子入力 PDO3/PWM3 出力
P22 XTOUT	7	IO IO	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子
P20 STOP INT5	9	IO I I	ポート 20 STOP モード解除入力 外部割り込み 5 入力
P37 AIN7	30	IO I	ポート 37 アナログ入力 7
P36 AIN6 STOP3	29	IO I I	ポート 36 アナログ入力 6 STOP3 入力

表 1-1 端子機能表 (2 / 2)

端子名	ピン番号	入出力	機能
P35 AIN5 STOP2	28	IO 	ポート 35 アナログ入力 5 STOP2 入力
P34 AIN4 STOP1	27	IO 	ポート 34 アナログ入力 4 STOP1 入力
P33 AIN3 STOP0	26	IO 	ポート 33 アナログ入力 3 STOP0 入力
P32 AIN2	25	IO 	ポート 32 アナログ入力 2
P31 AIN1 INT0	24	IO 	ポート 31 アナログ入力 1 外部割り込み 0 入力
P30 AIN0 EMG	23	IO 	ポート 30 アナログ入力 0 緊急停止入力
XIN	2		発振子接続端子
XOUT	3	O	発振子接続端子
RESET	8		リセット入力
TEST	4		出荷試験用端子。“L”レベルに固定してください。
VDD	5		電源端子
VSS	1		GND 端子

第 2 章 動作説明

2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP86CH12MG のメモリは、MaskROM, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86CH12MG のメモリアドレスマップを示します。

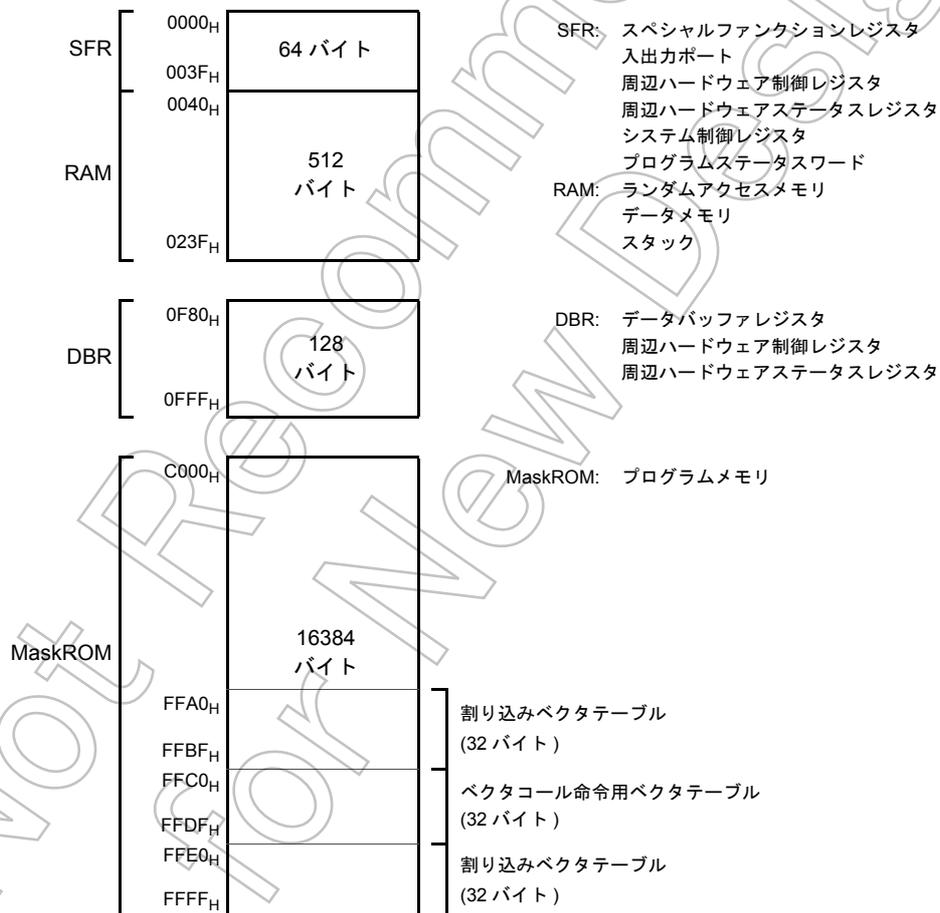


図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (MaskROM)

TMP86CH12MG は 16384 バイト (アドレス C000H~FFFFH) のプログラムメモリ (MaskROM) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86CH12MG は、512 バイト (アドレス 0040H~023FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86CH12MG の RAM クリア

	LD	HL, 0040H	; スタートアドレスの設定
	LD	A, H	; 初期化データ (00H) の設定
	LD	BC, 01FFH	; バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A	
	INC	HL	
	DEC	BC	
	JRS	F, SRAMCLR	

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

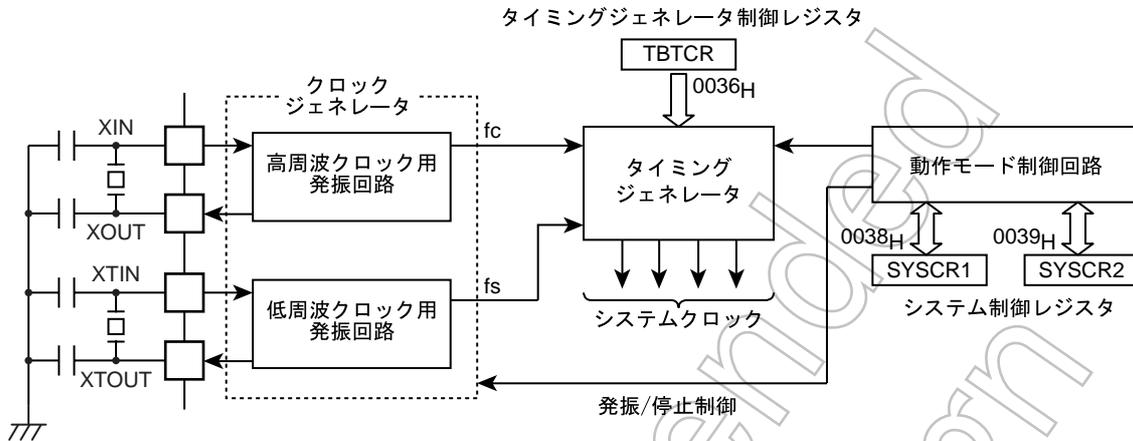


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 f_c)、低周波クロック (周波数 f_s) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

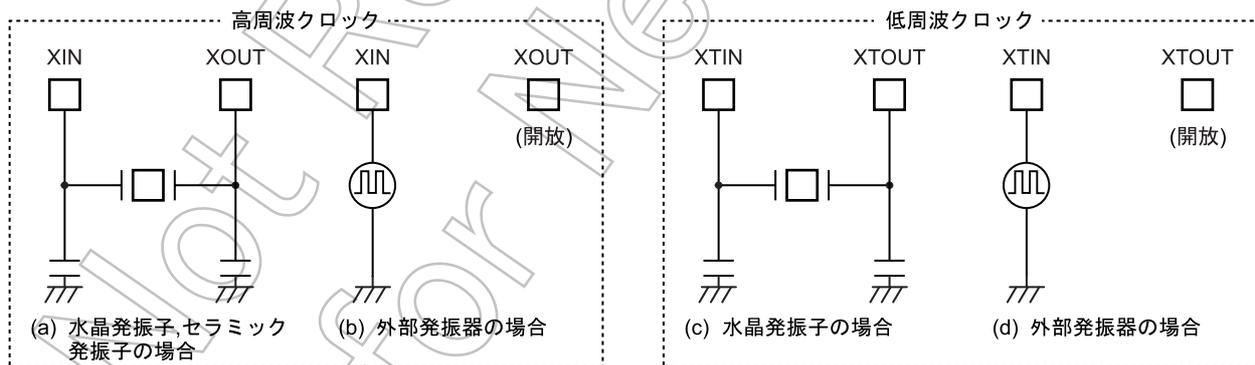


図 2-3 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ($\overline{\text{DVO}}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定により図 2-4 のようになります。なお、リセット時および STOP モード起動/解除時プリスケアラおよびデバイダは“0”にクリアされます。

注) TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

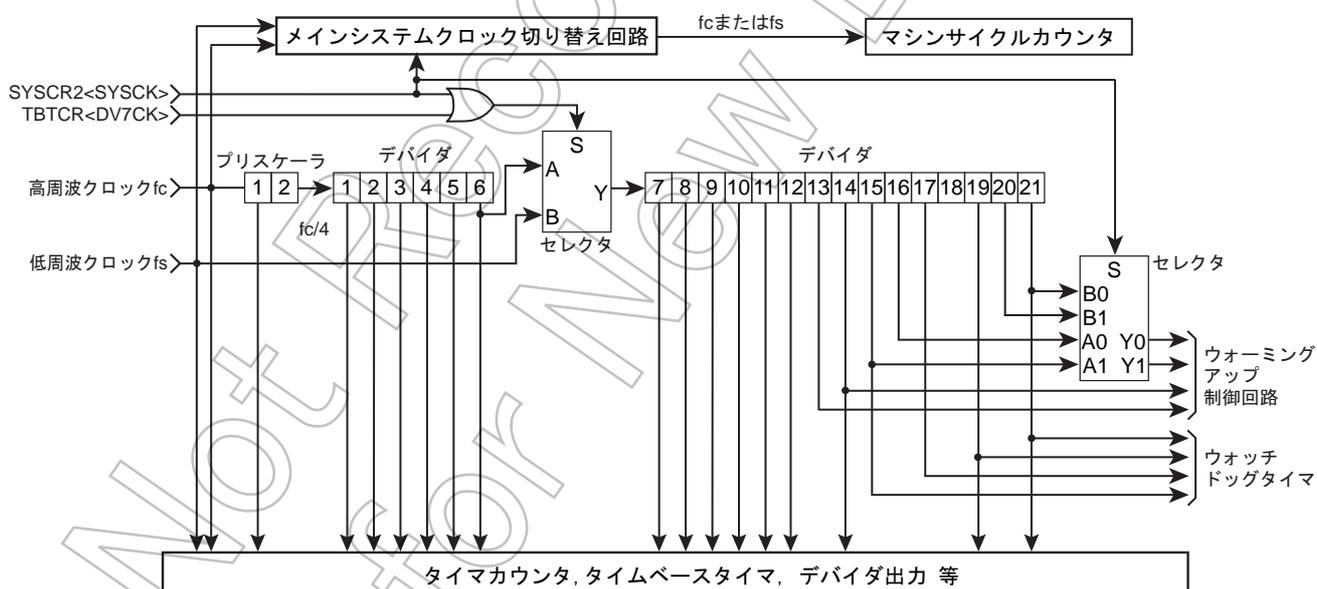


図 2-4 タイミングジェネレータの構成

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DV0EN)	(DV0CK)	DV7CK	(TBTEN)	(TBTCK)				

DV7CK	デバイダ 7 段目への 入力クロックの選択	0: $fc/2^8$ [Hz] 1: fs	R/W
-------	--------------------------	---------------------------	-----

- 注 1) シングルクロックモード時は、DV7CK を “1” にセットしないでください。
- 注 2) 低周波クロックの発振安定前に DV7CK を “1” にセットしないでください。
- 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
- 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。
- 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

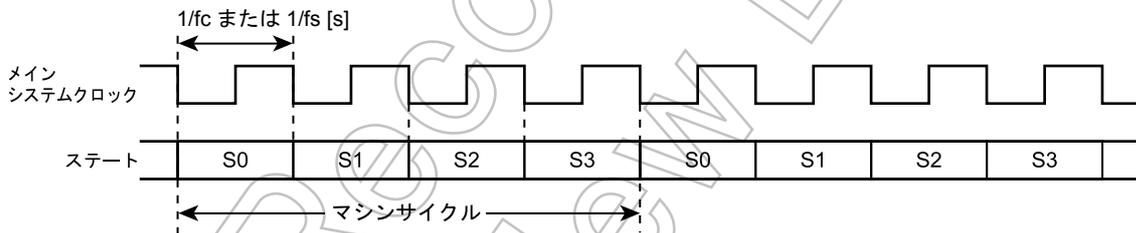


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/fc$ [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTC> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF1 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s]、SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu s @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

(1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波 / 低周波の両クロックで動作します。

(2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

(3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN>で行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

(6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

(7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を“1”にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”、EF1 (TBT の割り込み許可フラグ) = “1”、TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

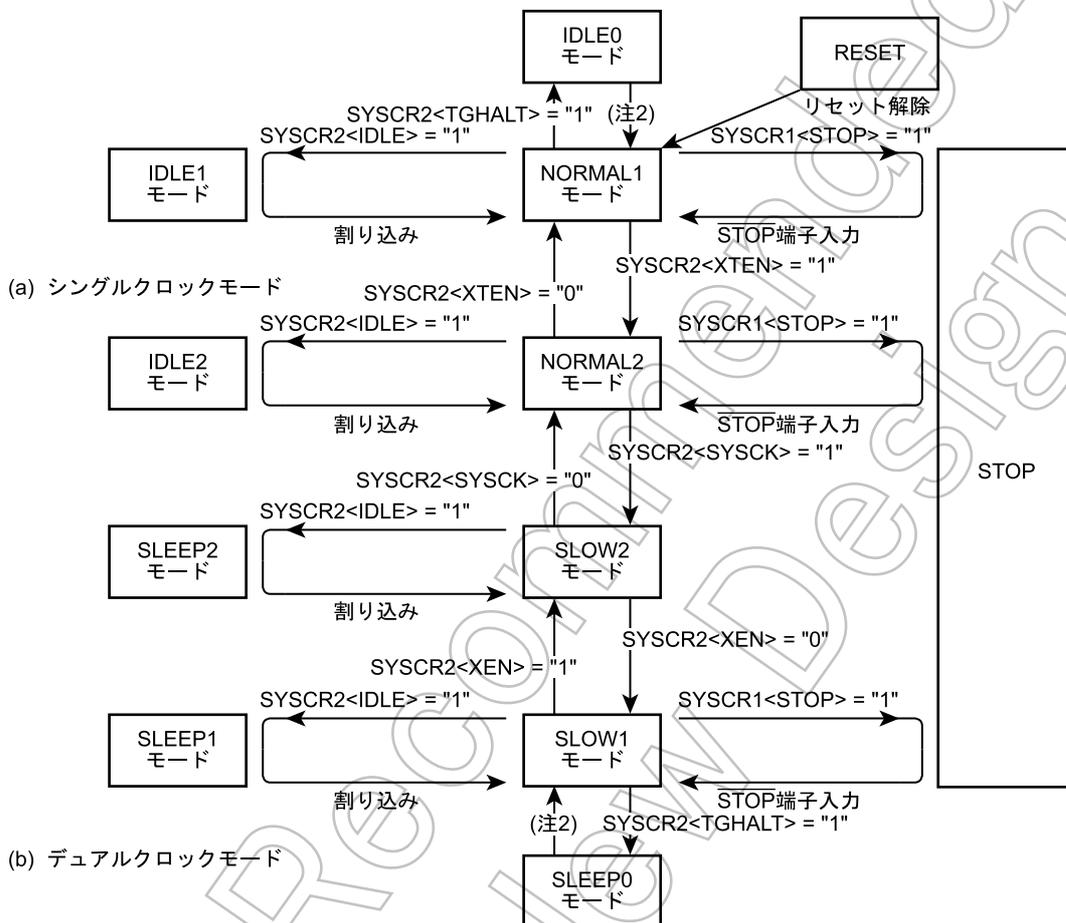
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOPモードの起動は、システム制御レジスタ1で行います。解除は、 $\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOPモード起動時のモードに戻り、STOPモードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2モードを総称して NORMALモード、SLOW1, SLOW2モードを SLOWモード、IDLE0, IDLE1, IDLE2モードを IDLEモード、SLEEP0, SLEEP1, SLEEP2モードを SLEEPモードと呼びます。

注 2) TBTCR<TBTK> によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

動作モード		発振回路		CPU コア	TBT	その他 周辺回路	マシンサイクルタイム
		高周波	低周波				
シングル クロック	RESET	発振	停止	リセット	リセット	リセット	4/fc [s]
	NORMAL1			動作	動作	動作	
	IDLE1			停止		動作	
	IDLE0						
	STOP	停止	停止	停止	—		
デュアル クロック	NORMAL2	発振	発振	高周波動作	動作	動作	4/fc [s]
	IDLE2			停止			
	SLOW2			低周波動作			
	SLEEP2			停止			
	SLOW1	停止	停止	低周波動作	動作	動作	4/fs [s]
	SLEEP1						
	SLEEP0						
	STOP			停止			停止

Not Recommended for New Designs

2.2.4 動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値:0000 00**)

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア動作 1: CPUコア, 周辺ハードウェア停止 (STOPモード起動)		R/W	
RELM	STOPモードの解除方法の選択	0: エッジ解除モード (STOP端子入力の立ち上がりエッジで解除) 1: レベル解除モード (STOP端子入力の“H”レベルで解除)		R/W	
RETM	STOPモード解除後の動作モードの選択	0: NORMAL1/2モードへ戻る 1: SLOW1モードへ戻る		R/W	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		R/W	
WUT	STOPモード解除時のウォーミングアップ時間 単位: [s]		NORMAL1/2モードへ戻る場合	SLOW1モードへ戻る場合	R/W
		00	$3 \times 2^{16}/fc$	$3 \times 2^{13}/fs$	
		01	$2^{16}/fc$	$2^{13}/fs$	
		10	$3 \times 2^{14}/fc$	$3 \times 2^6/fs$	
		11	$2^{14}/fc$	$2^6/fs$	

- 注1) RETMは、NORMALモードからSTOPモードを起動する場合は必ず“0”にしてください。SLOWモードからSTOPモードを起動する場合は必ず“1”にしてください。
- 注2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMAL1モードに戻ります。
- 注3) fc; 高周波クロック [Hz], fs; 低周波クロック [Hz], *, Don't care
- 注4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。
- 注5) OUTEN = “0”の指定でSTOPモードを起動すると、内部入力は“0”に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注6) キーオンウェイアップ入力を使用する場合は、RELMを“1”に設定してください。
- 注7) P20端子はSTOP端子と兼用のため、STOPモードを起動するとOUTENの状態にかかわらず、出力はHi-z状態となります。
- 注8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択 (write)/ モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, * ; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP3 ~ STOP0 によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP3 ~ STOP0 を使用禁止に設定してください。

注 1) なお、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP3 ~ STOP0 (STOPCR でビットごとに設定可能) 端子への“L”レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルまたは STOP3 ~ STOP0 端子が“L”レベルの状態でも STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであり、また STOP3 ~ STOP0 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. $\overline{\text{INT5}}$ 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

	LD	(SYSCR1), 01010000B	; レベル解除モードにセットアップ
SSTOPH:	TEST	(P2PRD). 0	; $\overline{\text{STOP}}$ 端子入力が“L”レベルになるまでウエイト
	JRS	F, SSTOPH	
	DI		; IMF←0
	SET	(SYSCR1). 7	; STOP モードを起動

(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:    TEST    (P2PRD) . 0           ; ノイズ除去のため P20 ポート入力が
          JRS     F, SINT5             ; "H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B  ; レベル解除モードにセットアップ
          DI      ; IMF←0
          SET     (SYSCR1) . 7         ; STOP モードを起動
SINT5:    RETI
    
```

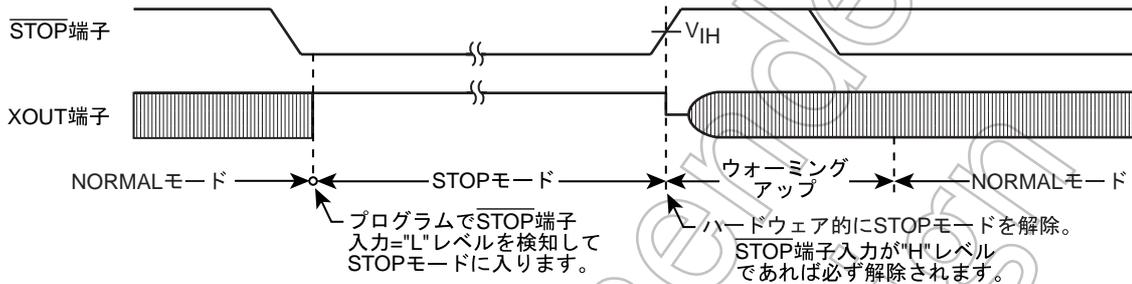


図 2-7 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP3 ~ STOP0 端子が "H" レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP3 ~ STOP0 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ; IMF←0
LD      (SYSCR1), 10010000B  ; エッジ解除モードに設定して起動
    
```

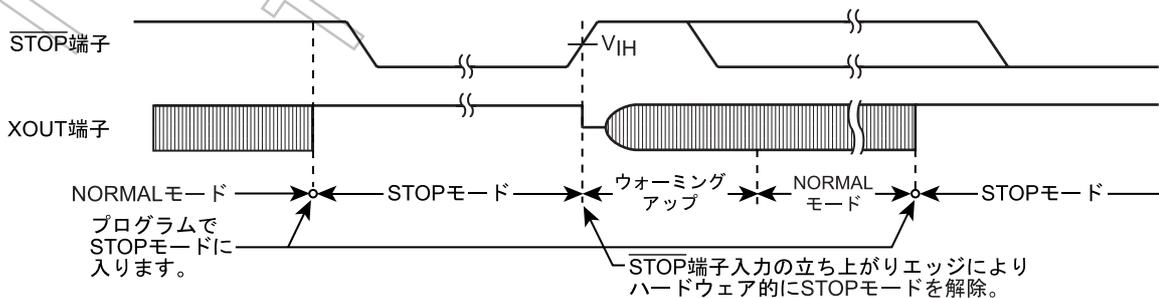


図 2-8 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW へ戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で4種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WUT	ウォーミングアップ時間 [ms]	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288	750
01	4.096	250
10	3.072	5.85
11	1.024	1.95

注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

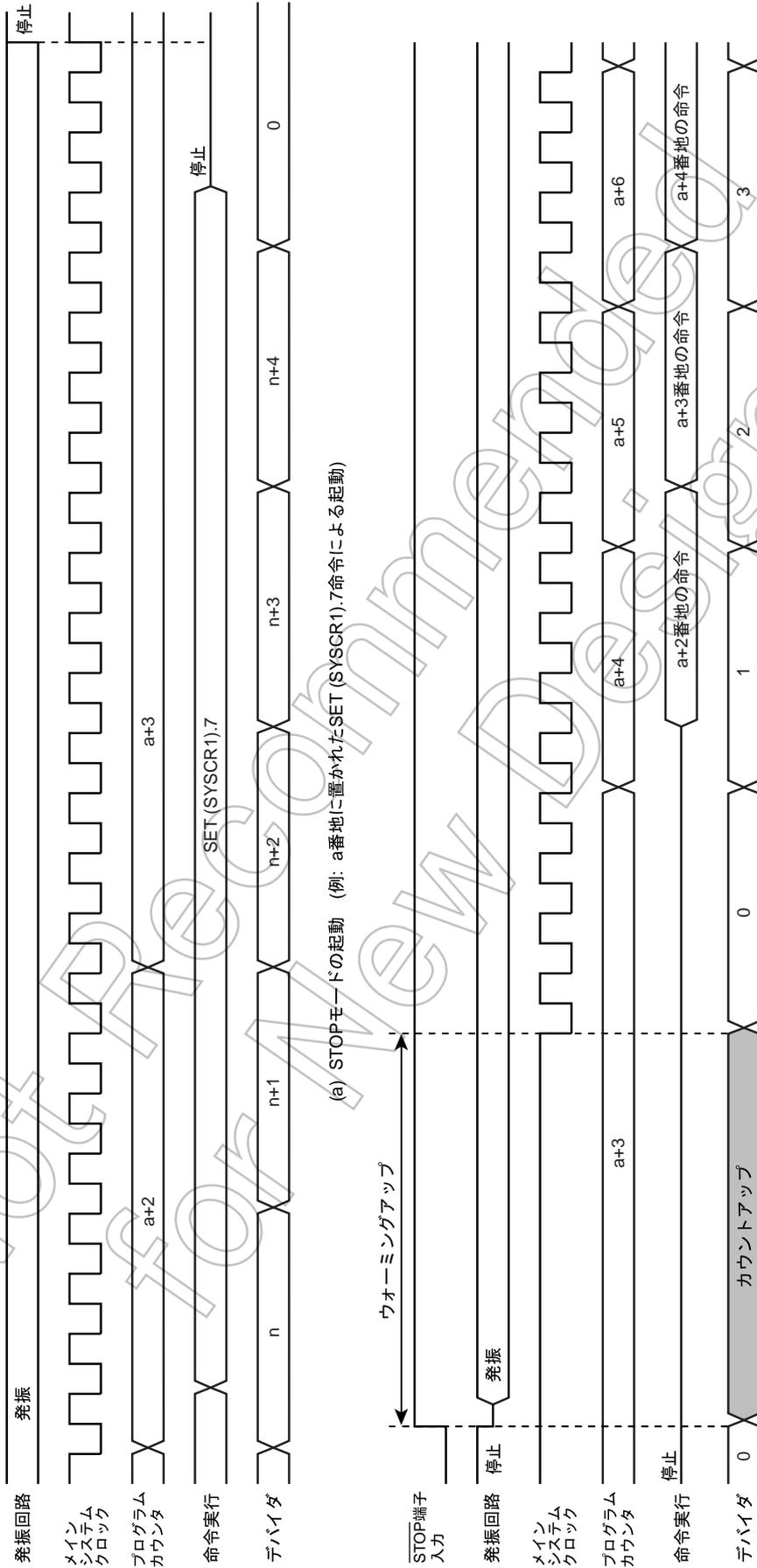


図 2-9 STOPモードの起動 / 解除

2.2.4.2 IDLE1/2 モード, SLEEP1/2 モード

IDLE1/2 モード, SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスクブル割り込みによって制御されます。IDLE1/2 モード, SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
2. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE1/2 モード, SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード, SLEEP1/2 モードを起動する命令の2つ先の命令のアドレスを保持します。

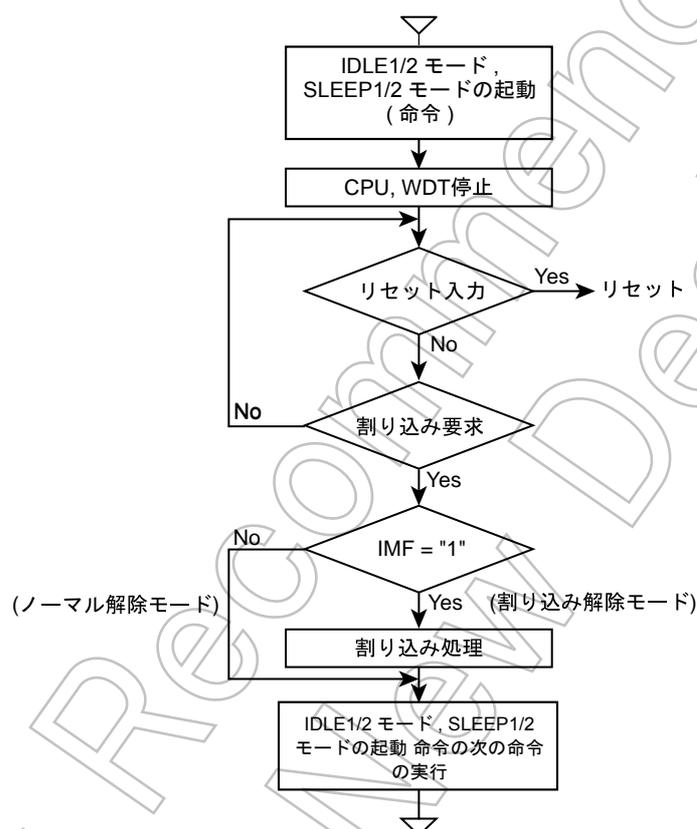


図 2-10 IDLE1/2 モード, SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

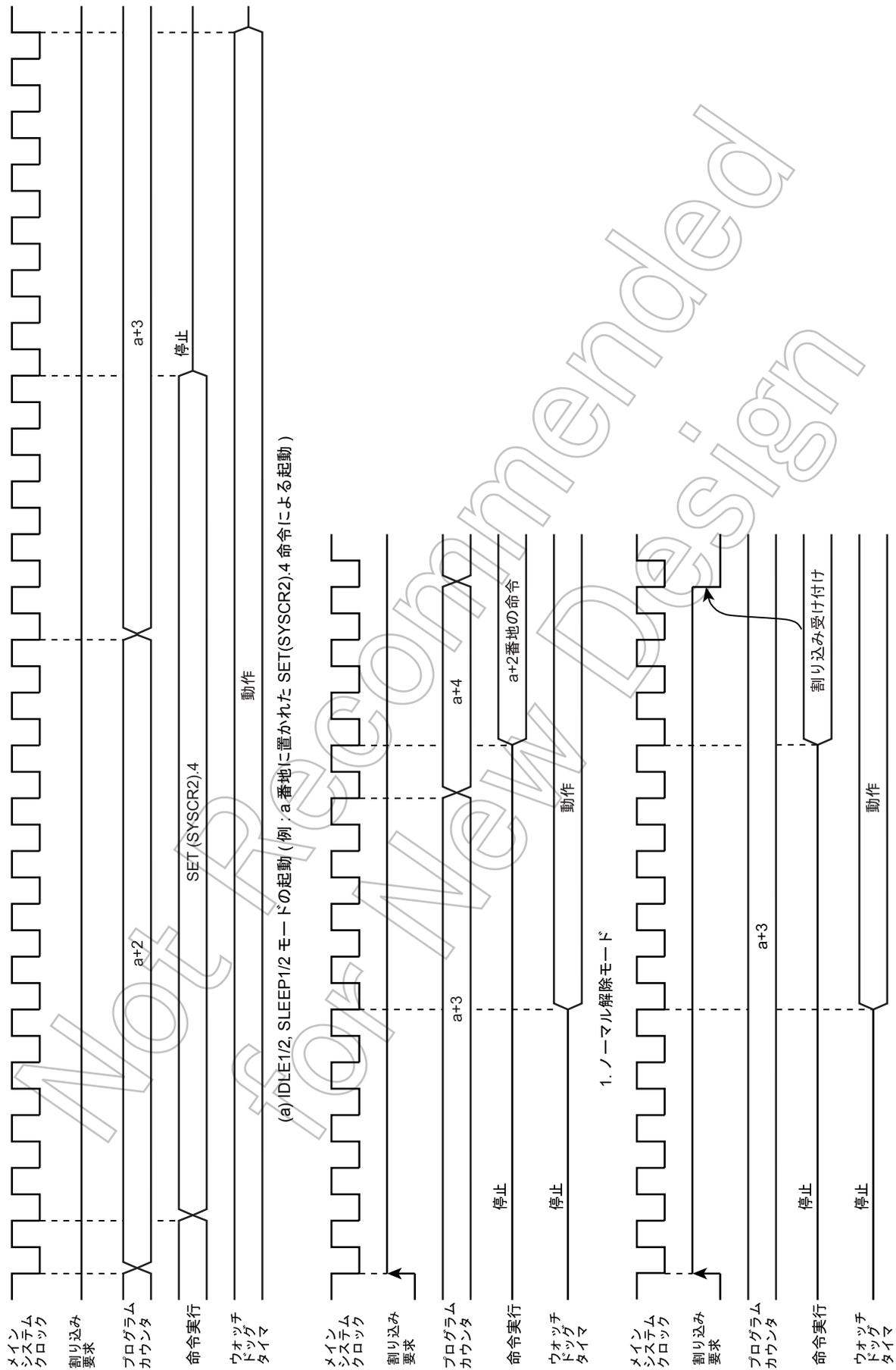


図 2-11 IDLE1/2, SLEEP1/2 モードの起動 / 解除

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

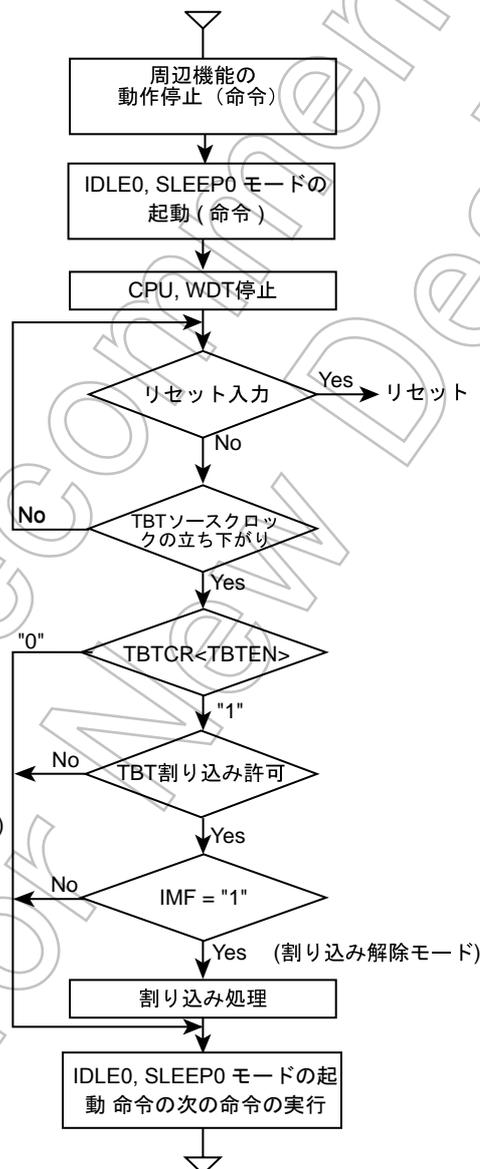


図 2-12 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF1) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰します。

(1) ノーマル解除モード (IMF ・ EF1 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTCCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF1 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTCCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTCCK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTCCK> の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

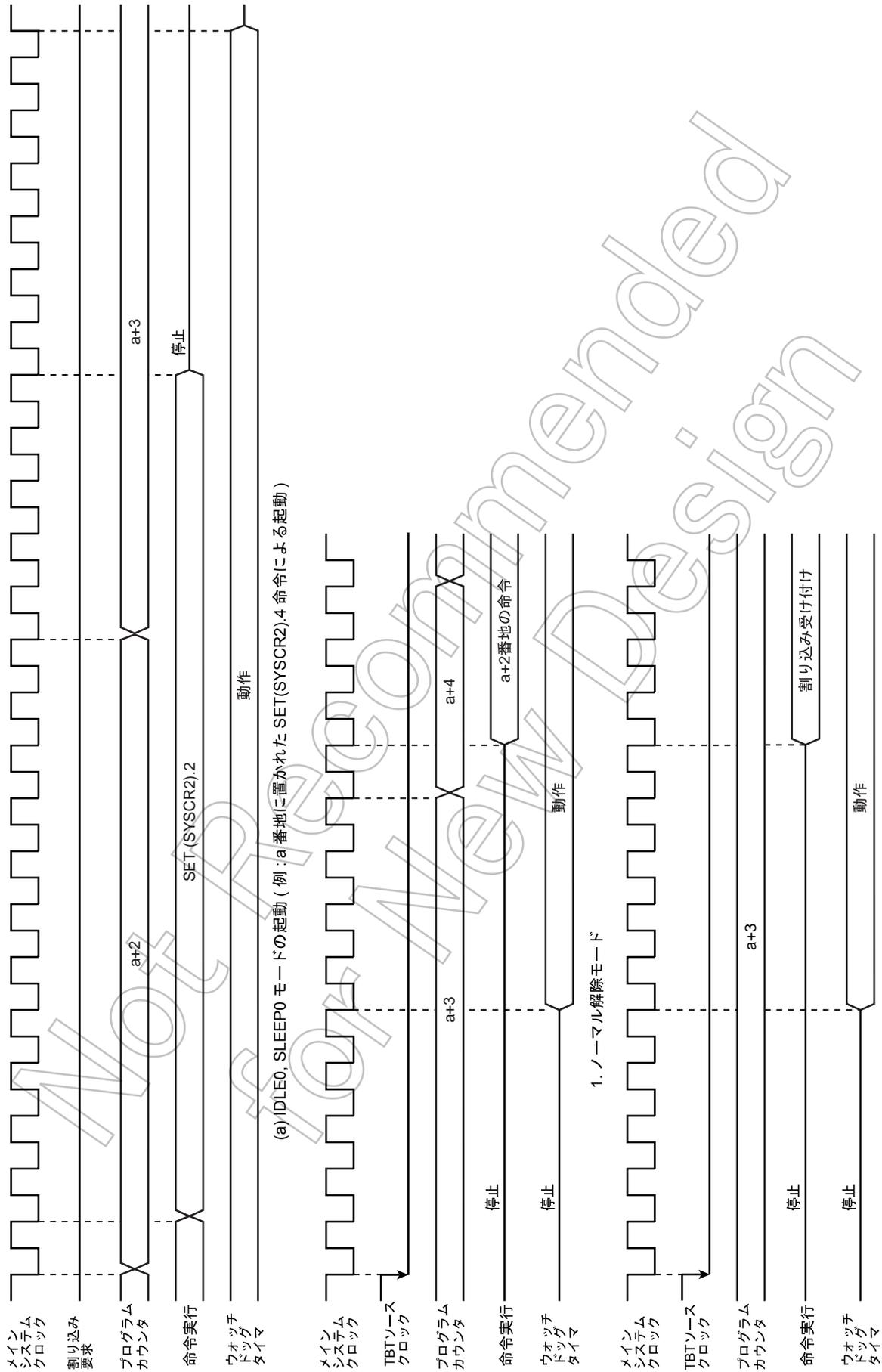


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC4, TC3) を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```

; SYSCR2<SYSCK>←1
SET      (SYSCR2). 5      ; (システムクロックを低周波に切り替え
                          ; (SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)

```

(プログラム例 2) TC4, TC3 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```

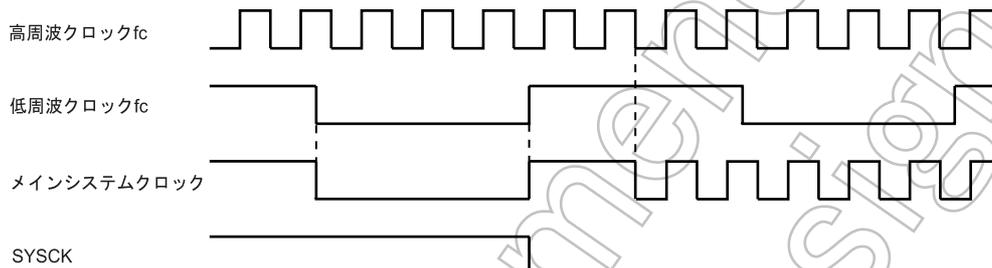
; SYSCR2<XTEN>←1
SET      (SYSCR2). 6      ; (低周波クロック発振開始)
LD       (TC3CR), 43H     ; TC4, 3 のモードをセット
LD       (TC4CR), 05H     ; ウォーミングアップカウントモードに設定
LDW     (TTREG3), 8000H   ; ウォーミングアップ時間をセット
                          ; (発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH). 5       ; INTTC4 の割り込みを許可
EI       ; IMF←1
SET      (TC4CR). 3      ; TC4, 3 スタート
PINTTC4: CLR      (TC4CR). 3      ; TC4, 3 ストップ
; SYSCR2<SYSCK>←1
SET      (SYSCR2). 5      ; (システムクロックを低周波に切り替え)
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)
RETI
;
VINTTC4: DW       PINTTC4      ; INTTC4 ベクタテーブル

```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN> を“1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC4, TC3) によって確保したあと、SYSCR2<SYSCK> を“0” にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは RESET 端子を“L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注) SYSCK を“0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC4, TC3 で SLOW1 モードから NORMAL2 モードへの切り替え
($f_c = 16 \text{ MHz}$, ウォーミングアップ時間 = 4.0 ms)

```

SET      (SYSCR2). 7      ; SYSCR2<XEN>←1
                          ; (高周波クロック発振開始)
LD       (TC3CR), 63H     ; TC4, 3 のモードをセット
LD       (TC4CR), 05H     ; ウォーミングアップカウンタモード, ソースクロック: fc)
LD       (TTREG4), 0F8H   ; ウォーミングアップ時間をセット
                          ; (周波数と発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH). 5       ; INTTC4 割り込みを許可
EI       ; IMF←1
SET      (TC4CR). 3      ; TC4, 3 スタート
↓
PINTTC4 CLR      (TC4CR). 3      ; TC4, 3 ストップ
CLR      (SYSCR2). 5     ; SYSCR2<SYSCK>←0
                          ; (システムクロックを高周波に切り替え)
RETI
↓
VINTTC4: DW      PINTTC4      ; INTTC4 ベクタテーブル
    
```

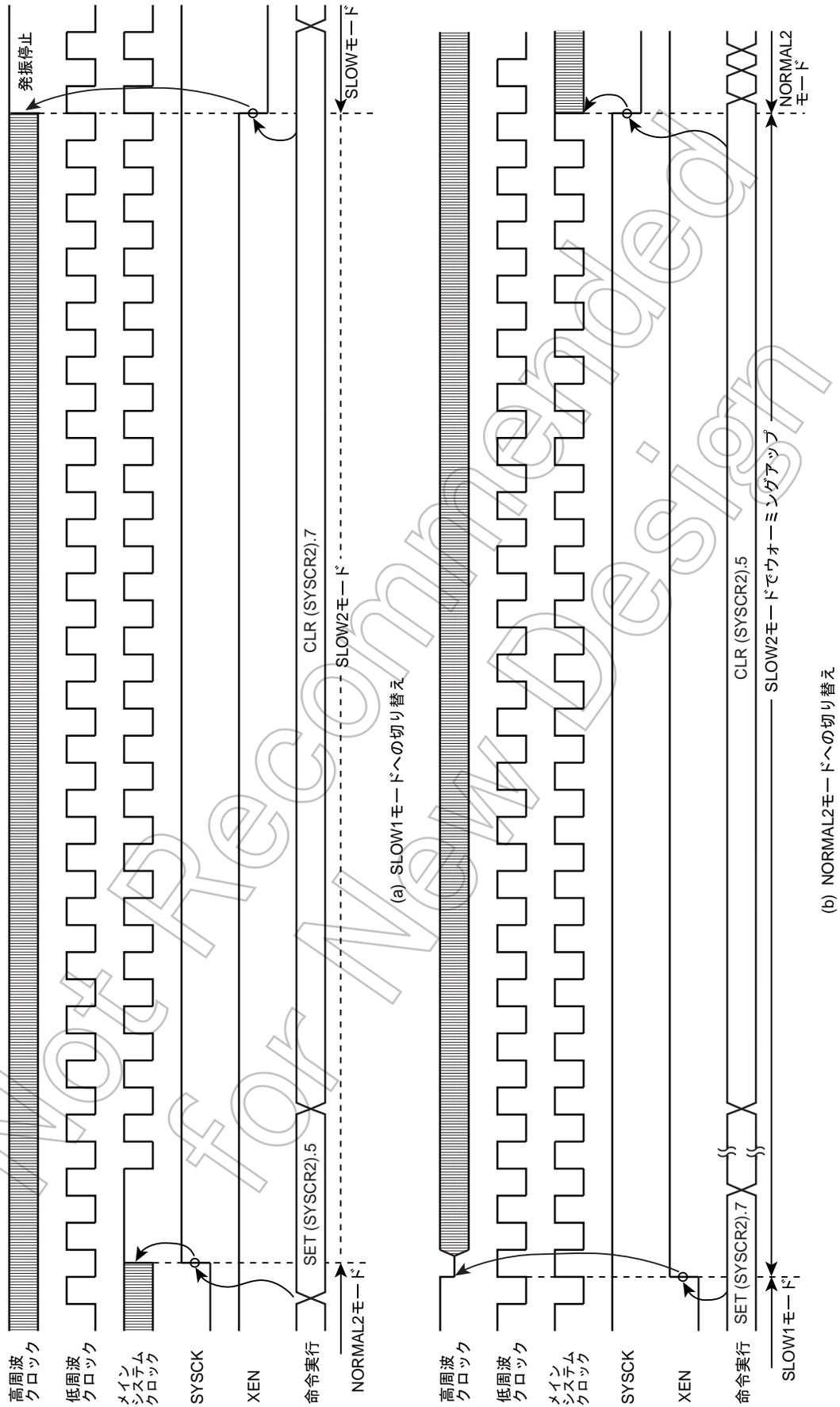


図 2-14 SLOW ↔ NORMAL2 モード切り替え

2.3 リセット回路

TMP86CH12MG には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロック リセットの 4 種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 $24/fc[s]$ の期間リセット状態となります。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大 $24/fc (1.5 \mu s @ 16.0 MHz)$ の期間リセット状態となる場合があります。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグ タイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出カラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		RAM	初期化されません

2.3.1 外部リセット入力

\overline{RESET} 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/fc [s]$) 以上の間 \overline{RESET} 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

\overline{RESET} 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

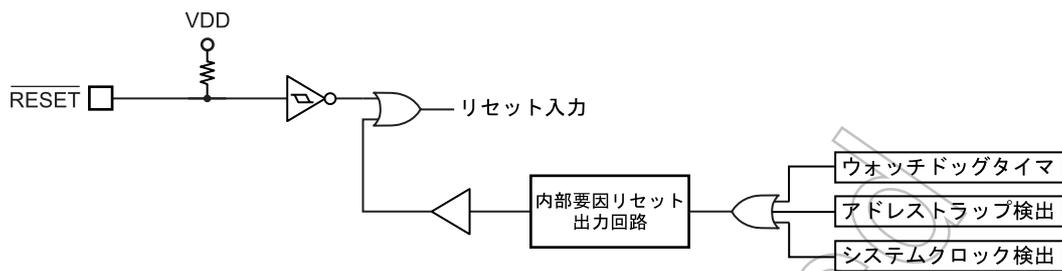
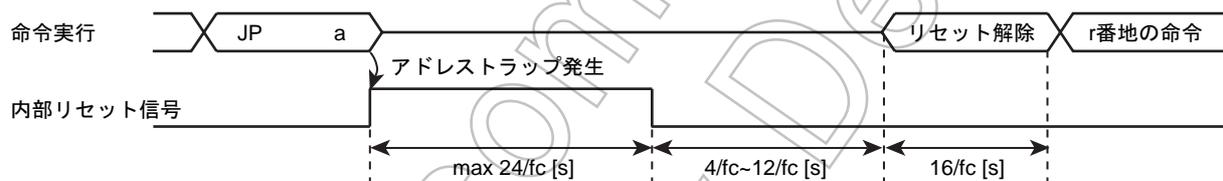


図 2-15 リセット回路

2.3.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時)、DBR または SFR 領域から命令をフェッチしようとするときリセット信号が発生します。リセット時間は、最大 $24/fc$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 $24/fc$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

第3章 割り込み制御回路

TMP86CH12MGには、リセットを除き合計22種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち4種はノンマスクブル割り込みで、そのほかはすべてマスクブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(IL)が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ(IMF)と各割り込み要因の個別許可フラグ(EF)によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクブル	-	FFFE	1
内部	INTSW (ソフトウェア割り込み)	ノンマスクブル	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスクブル	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスクブル	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスクブル	IL3	FFF8	2
内部	INTEMG	IMF・EF4 = 1	IL4	FFF6	5
-	Reserved	IMF・EF5 = 1	IL5	FFF4	6
外部	$\overline{INT0}$	IMF・EF6 = 1, INT0EN = 1	IL6	FFF2	7
内部	INTTC1	IMF・EF7 = 1	IL7	FFF0	8
外部	INT1	IMF・EF8 = 1	IL8	FFEE	9
内部	INTTBT	IMF・EF9 = 1	IL9	FFEC	10
外部	INT2	IMF・EF10 = 1	IL10	FFEA	11
内部	INTTC7T	IMF・EF11 = 1	IL11	FFE8	12
-	Reserved	IMF・EF12 = 1	IL12	FFE6	13
内部	INTTC4	IMF・EF13 = 1	IL13	FFE4	14
内部	INTTC3	IMF・EF14 = 1	IL14	FFE2	15
-	Reserved	IMF・EF15 = 1	IL15	FFE0	16
-	Reserved	IMF・EF16 = 1	IL16	FFBE	17
外部	INT3	IMF・EF17 = 1	IL17	FFBC	18
内部	INTSIO	IMF・EF18 = 1	IL18	FFBA	19
内部	INTADC	IMF・EF19 = 1	IL19	FFB8	20
内部	INTRXD	IMF・EF20 = 1	IL20	FFB6	21
内部	INTTXD	IMF・EF21 = 1	IL21	FFB4	22
外部	INT4	IMF・EF22 = 1	IL22	FFB2	23
内部	INTTC7P	IMF・EF23 = 1	IL23	FFB0	24
-	Reserved	IMF・EF24 = 1	IL24	FFAE	25
-	Reserved	IMF・EF25 = 1	IL25	FFAC	26
-	Reserved	IMF・EF26 = 1	IL26	FFAA	27
内部	INTRTC	IMF・EF27 = 1	IL27	FFA8	28
外部	$\overline{INT5}$	IMF・EF28 = 1	IL28	FFA6	29
-	Reserved	IMF・EF29 = 1	IL29	FFA4	30
-	Reserved	IMF・EF30 = 1	IL30	FFA2	31
-	Reserved	IMF・EF31 = 1	IL31	FFA0	32

注1) アドレストラップ割り込み(INTATRAP)を使用するにはWDCR1<ATOOUT>を"0"に設定してください(リセット解除後は"リセット要求"に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注2) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1 割り込みラッチ (IL28 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により "1" にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは "0" にクリアされます。リセット時、割り込みラッチはすべて "0" に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH および 002EH, 002FH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には "1" を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW    (ILL), 1110100000111111B  ; IL12, IL10~IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例2) 割り込みラッチの読み出し

```
LD    WA, (ILL)                  ; W ← ILH, A ← ILL
```

(プログラム例3) 割り込みラッチのテスト

```
TEST    (ILL), 7                  ; IL7 = 1 ならジャンプ
JR      F, SSET
```

3.2 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH および 002CH, 002DH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

3.2.2 割り込み個別許可フラグ (EF28 ~ EF4)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

```
DI ; IMF ← 0
LDW ; EF15~EF13, EF11, EF7, EF5 ← 1
: (EIRL), 1110100010100000B ; 注) IMF はセットしない
:
EI ; IMF ← 1
```

(プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL; /* 3AH は EIRL のアドレス */
_DI ();
EIRL=10100000B;
:
_EI ();
```

Not Recommended
for New Design

割り込みラッチ

(初期値 : *00*0000 00*000**)

ILH,ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IL14	IL13	—	IL11	IL10	IL9	IL8	IL7	IL6	—	IL4	IL3	IL2		

ILH (003DH)

ILL (003CH)

(初期値 : ***00*** 0000000*)

ILD,ILE (002FH, 002EH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IL28	IL27	—	—	—	IL23	IL22	IL21	IL20	IL19	IL18	IL17	—

ILD (002FH)

ILE (002EH)

IL28~IL2	割り込みラッチ	RD時	WR時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値 : *00*0000 00*0***0)

EIRH,EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	EF14	EF13	—	EF11	EF10	EF9	EF8	EF7	EF6	—	EF4				IMF

EIRH (003BH)

EIRL (003AH)

(初期値 : ***00*** 0000000*)

EIRD,EIRE (002DH, 002CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	EF28	EF27	—	—	—	EF23	EF22	EF21	EF20	EF19	EF18	EF17	—

EIRD (002DH)

EIRE (002CH)

EF28~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

- 注 1) *: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

3.3 割り込み処理

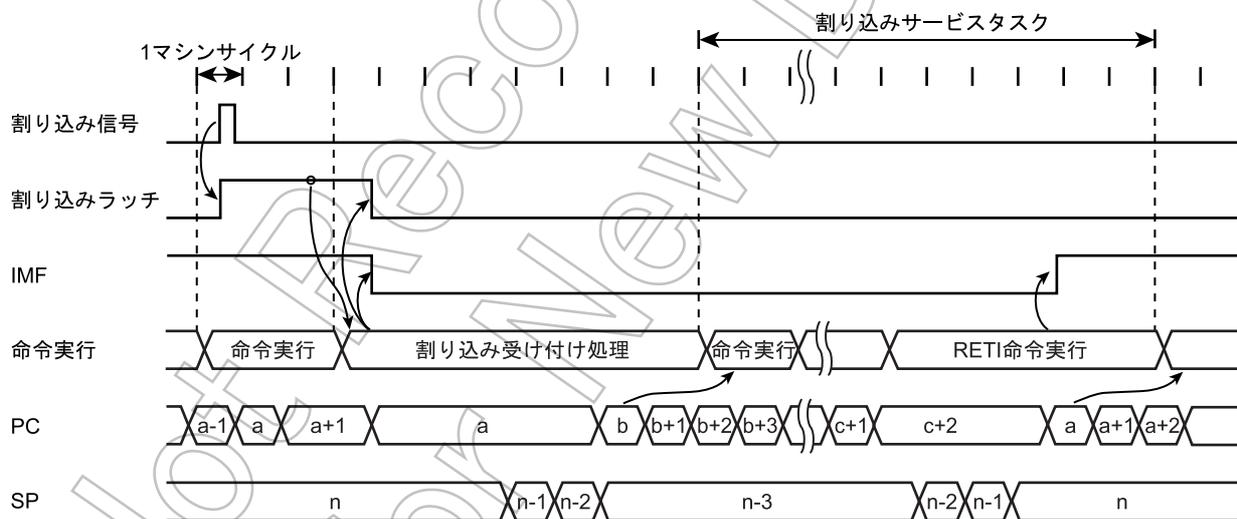
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2 μ s @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.3.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

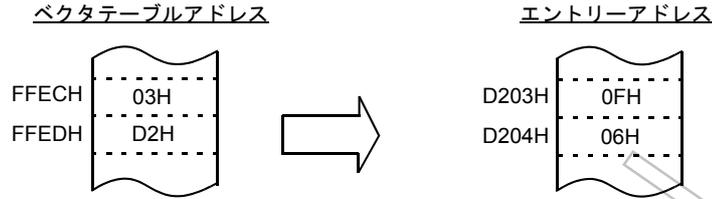


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク割込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスタイングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク割込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.3.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。汎用レジスタの退避には、次の2つの方法があります。

3.3.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

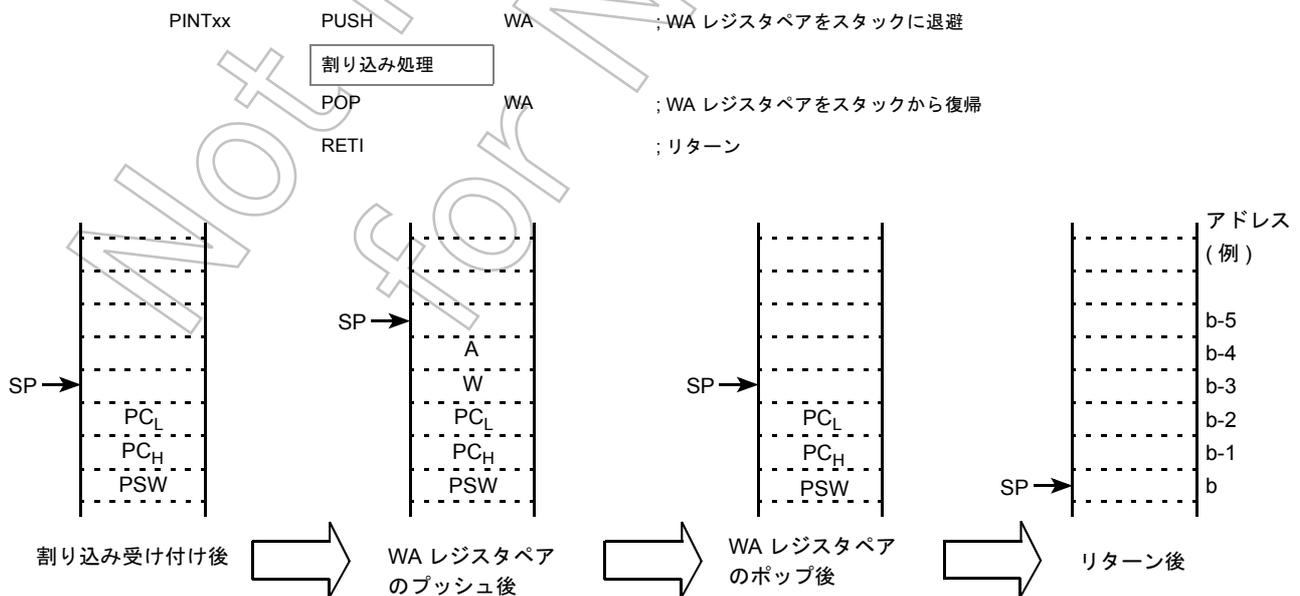


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

3.3.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```

PINTxx:  LD      (GSAVA), A      ; A レジスタの退避
          [割り込み処理]
          LD      A, (GSAVA)     ; A レジスタの復帰
          RETI                    ; リターン
    
```

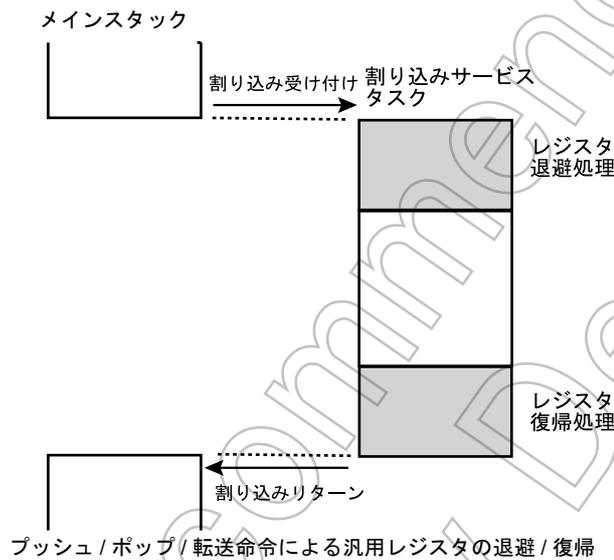


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.3.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] / [RETN] 割り込みリターン
①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。
②スタックポインタを3回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないうままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
割り込みリターン後の PCL、PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1)、(SP + 2) のアドレスに格納されています。

(プログラム例1) アドレストラップ割り込みサービスプログラムからのリターン

PINTxx	POP	WA	;スタックポインタを2つ戻す
	LD	WA, RetrunAddress	;WA レジスタに再開アドレスを代入する
	PUSH	WA	;スタックにプッシュダウンする
	割り込み処理		
	RETN		;ノンマスカブル割り込みリターン命令

(プログラム例2) リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

PINTxx	INC	SP	;スタックポインタを3つ戻す
	INC	SP	
	INC	SP	
	割り込み処理		
	LD	EIRL, data	;IMF を "1" にセット、または "0" にクリア
	JP	RestartAddress	;復帰アドレスへジャンプ

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例2のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3回インクリメントする)。
- 注2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.4 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.4.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.4.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.5 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.6 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.7 外部割り込み

TMP86CH12MGには、6本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1～INT4端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P31端子は、外部割り込み入力端子として使用するか出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および $\overline{\text{INT0}}$ /P31端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ(レベル)	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF6・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	IMF・EF8 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	IMF・EF10 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT3	INT3	IMF・EF17 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT4	INT4	IMF・EF22 = 1	立ち下がりエッジ、 立ち上がりエッジ、 立ち上がりエッジま たは立ち下がりエッ ジ、“H”レベル	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF28 = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注1) NORMAL1,2 または IDLE1,2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注2) INT0EN = “0” のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL6 はセットされません。

注3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0	
(0037H)	INT1NC	INT0EN	INT4ES	INT3ES	INT2ES	INT1ES			(初期値: 0000 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P31/INT0 の機能選択	0: P31 入出力ポート 1: INT0 端子 (P31 ポートは入力モードにしてください)	R/W
INT4ES	INT4 のエッジ (レベル) 選択	00: 立ち上がりエッジで割り込み要求発生 01: 立ち下がりエッジで割り込み要求発生 10: 立ち上がりまたは立ち下がりエッジで割り込み要求発生 11: "H" レベルで割り込み要求発生	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

注 1) fc; 高周波クロック [Hz] *; Don't care

注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3) INT1NC を切り替えた場合、最大 2⁶/fc の期間ノイズキャンセル時間が切り替わらない事があります。

注 4) INT4 端子の状態が "H" レベルの状態でリセットが解除された場合、INT4 のエッジ選択 (INT4ES) を「"H" レベルで割り込み要求発生」に切り替えても INT4 割り込み要求は発生しません。この場合、INT4 割り込み要求を発生させるには、INT4 端子に一度立ち上がりエッジを入力する必要があります。

Not Recommended for New

第4章 スペシャルファンクションレジスタ

TMP86CH12MG は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86CH12MG の SFR, DBR の一覧を示します。

4.1 SFR

アドレス	リード	ライト
0000H		P0DR
0001H		P1DR
0002H		P2DR
0003H		P3DR
0004H		P0OUTCR
0005H		P1CR
0006H		P3CR1
0007H		P3CR2
0008H		TC7DRAL
0009H		TC7DRAH
000AH		TC7DRBL
000BH		TC7DRBH
000CH		TC7DRCL
000DH		TC7DRCH
000EH	P0PRD	-
000FH	P2PRD	-
0010H		TC1DRAL
0011H		TC1DRAH
0012H		TC1DRBL
0013H		TC1DRBH
0014H		TC1CR
0015H		TC3CR
0016H		TC4CR
0017H		PWREG3
0018H		PWREG4
0019H		TTREG3
001AH		TTREG4
001BH		RTCCR
001CH		Reserved
001DH		Reserved
001EH		Reserved
001FH	ADCDR2	-
0020H	ADCDR1	-
0021H	UARTSR	UARTCR1
0022H	-	UARTCR2
0023H		Reserved
0024H		Reserved
0025H		ADCCR1
0026H		ADCCR2

アドレス	リード	ライト
0027H		Reserved
0028H		Reserved
0029H		TC7CR1
002AH		TC7CR2
002BH		TC7CR3
002CH		EIRE
002DH		EIRD
002EH		ILE
002FH		ILD
0030H		Reserved
0031H	-	SIOCR1
0032H	SIOSR	SIOCR2
0033H		Reserved
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H		TBTCR
0037H		EINTCR
0038H		SYSCR1
0039H		SYSCR2
003AH		EIRL
003BH		EIRH
003CH		ILL
003DH		ILH
003EH		Reserved
003FH		PSW

注1) Reserved の番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

4.2 DBR

アドレス	リード	ライト
0F80H		SIOBR0
0F81H		SIOBR1
0F82H		SIOBR2
0F83H		SIOBR3
0F84H		SIOBR4
0F85H		SIOBR5
0F86H		SIOBR6
0F87H		SIOBR7
0F88H	-	STOPCR
0F89H	RDBUF	TDBUF
0F8AH		Reserved
0F8BH		Reserved
0F8CH		Reserved
0F8DH		Reserved
0F8EH		Reserved
0F8FH		Reserved
0F90H		Reserved
0F91H		Reserved
0F92H		Reserved
0F93H		Reserved
0F94H		Reserved
0F95H		Reserved
0F96H		Reserved
0F97H		Reserved
0F98H		Reserved
0F99H		Reserved
0F9AH		Reserved
0F9BH		Reserved
0F9CH		Reserved
0F9DH		Reserved
0F9EH		Reserved
0F9FH		Reserved

アドレス	リード	ライト
0FA0H		Reserved
0FA1H		Reserved
0FA2H		Reserved
0FA3H		Reserved
0FA4H		Reserved
0FA5H		Reserved
0FA6H		Reserved
0FA7H		Reserved
0FA8H		Reserved
0FA9H		Reserved
0FAAH		Reserved
0FABH		Reserved
0FACH		Reserved
0FADH		Reserved
0FAEH		Reserved
0FAFH		Reserved
0FB0H		TC7DRDL
0FB1H		TC7DRDH
0FB2H		TC7DREL
0FB3H		TC7DREH
0FB4H	TC7CAPAL	-
0FB5H	TC7CAPAH	-
0FB6H	TC7CAPBL	-
0FB7H	TC7CAPBH	-
0FB8H		Reserved
0FB9H		Reserved
0FBAH		Reserved
0FBBH		Reserved
0FBCH		Reserved
0FBDH		Reserved
0FBEH		Reserved
0FBFH		Reserved

アドレス	リード	ライト
0FC0H		Reserved
::		::
0FDFH		Reserved

アドレス	リード	ライト
0FE0H		Reserved
::		::
0FFFH		Reserved

- 注 1) Reserved の番地はプログラムでアクセスしないでください。
- 注 2) - ; アクセスできません。
- 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

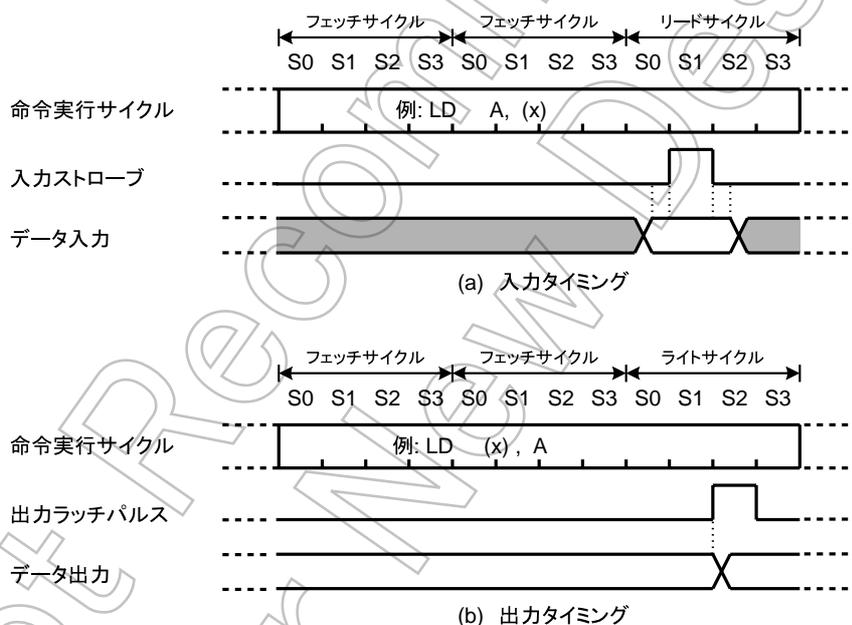
第 5 章 入出力ポート

TMP86CH12MG は、4 ポート 24 端子の入出力ポートを内蔵しています。

	主機能	兼用機能
P0 ポート	8 ビット入出力ポート	外部割り込み入力, シリアルインタフェース入出力, UART 入出力, タイマカウンタ入出力
P1 ポート	5 ビット入出力ポート	外部割り込み入力, タイマカウンタ入出力
P2 ポート	3 ビット入出力ポート	低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力
P3 ポート	8 ビット入出力ポート	外部割り込み入力, アナログ入力, STOP モード解除信号入力

すべての出力ポートはラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

5.1 P0 (P07 ~ P00) ポート

P0 ポートは 8 ビットの入出力ポートで、外部割り込み入力、シリアルインターフェース入出力、UART 入出力、タイマカウンタ入出力と兼用です。入力ポートまたは外部割り込み入力、シリアルインターフェース入出力、UART 入出力、タイマカウンタ入力として用いる場合は、出力ラッチ (P0DR) を "1" にセットします。リセット時、出力ラッチ (P0DR) は "1" に、プッシュプル制御 (P0OUTCR) は "0" に初期化されます。

P0 ポートは、プッシュプル制御 (P0OUTCR) により出力回路をシンクオープンドレイン出力、CMOS 出力に選択することができます。

P0OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

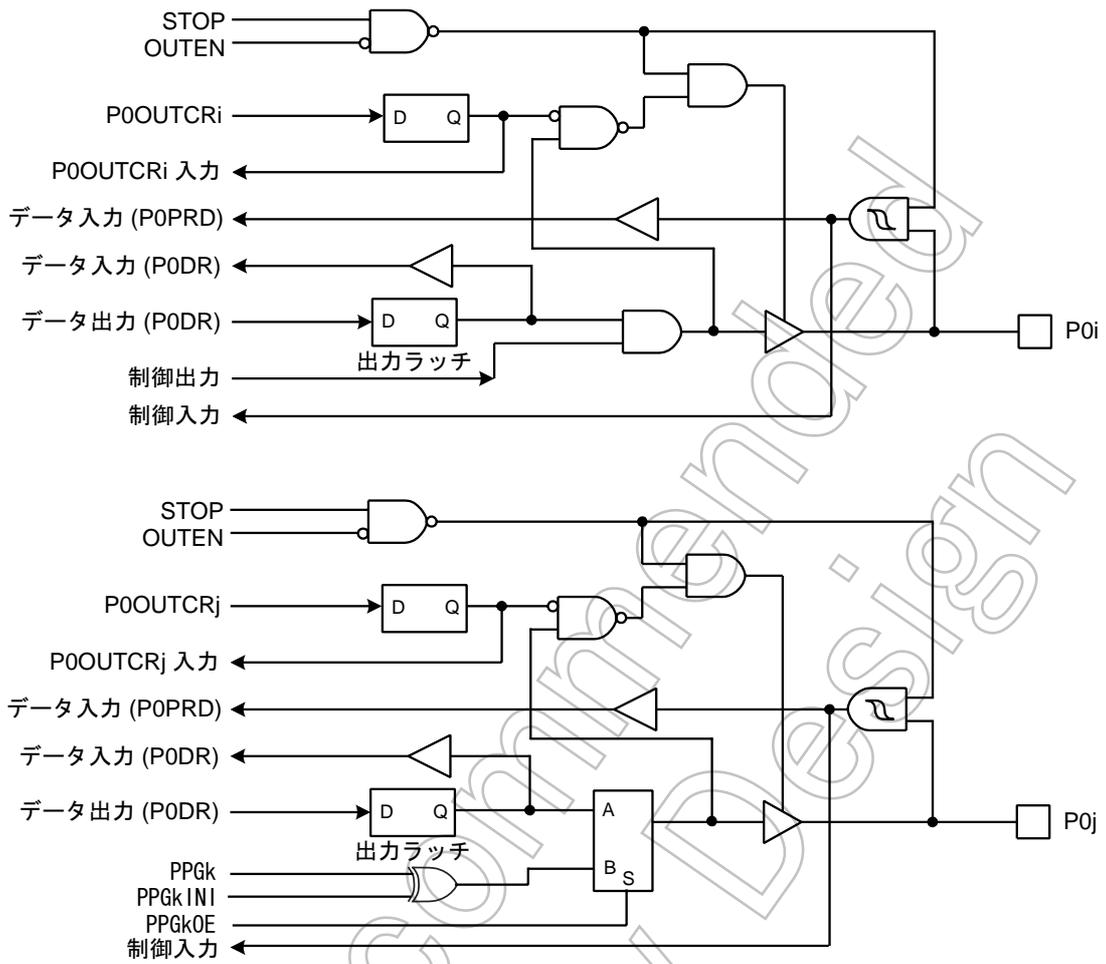
入力ポートまたは外部割り込み入力、シリアルインターフェース入力、タイマカウンタ入力、UART 受信入力として使用する場合は、P0DR を "1" に設定した後、P0OUTCR の対応するビットを "0" に設定します。

タイマカウンタ出力として使用する場合は、出力ラッチ (P0DR) を PPG 出力初期値 (PPG1INI、PPG2INI) と同じ値に設定した後、プッシュプル制御 (P0OUTCR) を設定します。次に PPG 出力初期値 (PPG1INI、PPG2INI) をセットし、PPG 出力制御 (PPG1OE、PPG2OE) を "1" にセットした後、タイマ出力を許可します。

P0 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P0DR レジスタを、端子の状態を読み込む場合は P0PRD レジスタをそれぞれ読み出してください。

表 5-1 各機能別のレジスタ設定値 (P07 ~ P00)

機能	設定値	
	P0DR	P0OUTCR
ポート入力、外部割り込み入力、シリアルインターフェース入力、タイマカウンタ入力、UART 入力	"1"	"0"
ポート "0" 出力	"0"	各アプリケーション向けに設定
ポート "1" 出力、シリアルインターフェース出力、UART 出力	"1"	
タイマカウンタ出力 (PPG1OE、PPG2OE で PPG1、PPG2 の出力許可が必要です)	PPG1INI、PPG2INI と同じ設定	



注) $i = 5 \sim 0, j = 7 \sim 6, k = 2 \sim 1$

図 5-2 P0 ポート

	7	6	5	4	3	2	1	0	
P0DR (0000H) R/W	P07 PPG2 INT2	P06 PPG1 INT1	P05 TC7	P04 SO	P03 SI	P02 SCK	P01 RXD	P00 TXD	(初期値: 1111 1111)

P0OUTCR (0004H)									(初期値: 0000 0000)
--------------------	--	--	--	--	--	--	--	--	------------------

P0OUTCR	P0 ポートの入出力制御 (各ビット単位で指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W
---------	--------------------------	---------------------------------	-----

P0PRD (0008H) Read only	P07	P06	P05	P04	P03	P02	P01	P00
-------------------------------	-----	-----	-----	-----	-----	-----	-----	-----

Not Recommended for New Design

5.2 P1 (P17 ~ P10) ポート

P1 ポートは 5 ビットの入出力ポートで、タイマカウンタ入出力、外部割り込み入力、デバイダ出力と兼用です。

入出力の指定は、P1 ポート入出力制御レジスタ (PICR) によって行います。リセット時、PICR は "0" に初期化され、P1 ポートは入力モードとなります。また、P1 ポート出力ラッチは "0" に初期化されます。

入力ポートまたはタイマカウンタ入力、外部割り込み入力として使用する場合は、PICR の対応するビットを "0" に設定します。

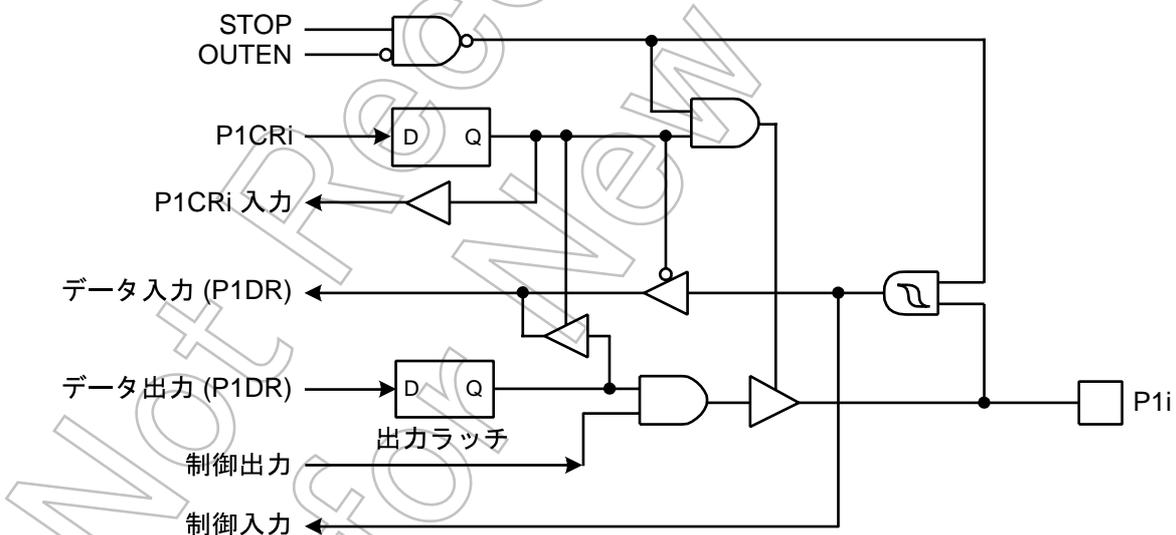
出力ポートとして使用する場合は、PICR の対応するビットを "1" に設定します。

タイマカウンタ出力、デバイダ出力として使用する場合は、あらかじめ PIDR を "1" に設定した後、PICR の対応するビットを "1" に設定します。

PICR が "1" に設定されている場合、PIDR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。また P1 ポートに対して PIDR、PICR のリード命令を実行した場合、ビット 7~5 は不定値が読み込まれます。

表 5-2 各機能別のレジスタ設定値

機能	設定値	
	P1DR	P1CR
ポート入力、タイマカウンタ入力、外部割り込み入力	*	"0"
ポート "0" 出力	"0"	"1"
ポート "1" 出力、タイマ出力、デバイダ出力	"1"	"1"



注) $i = 4 \sim 0$

図 5-3 P1 ポート

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容はビット操作命令の実行により書き替わることがあります。

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W				P14 TC1 INT4	P13 PPG INT3	P12 DVO	P11 TC4 PWM4 PDO4 PPG4	P10 TC3 PWM3 PDO3	(初期値:***0 0000)

	7	6	5	4	3	2	1	0	
P1CR (0005H)									(初期値:***0 0000)

P1CR	P1 ポートの入出力制御 (各ビット単位で指定)	0: 入力モード 1: 出力モード	R/W
------	--------------------------	----------------------	-----

Not Recommended for New Design

5.3 P2 (P22 ~ P20) ポート

P2 ポートは 3 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは機能端子として用いる場合は、出力ラッチ (P2DR) を“1”にセットします。出力ラッチ (P2DR) はリセット時“1”に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がり遅延で割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P2DR レジスタを、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR, P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

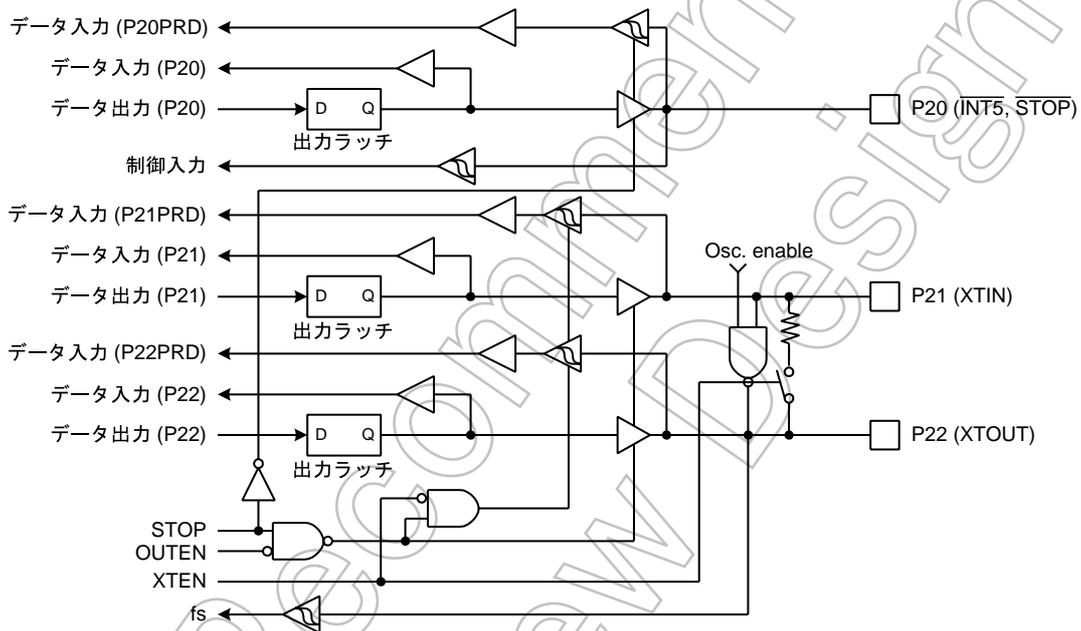
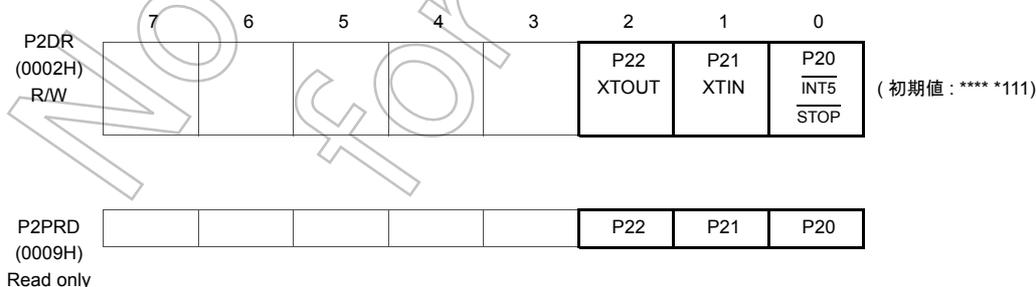


図 5-4 P2 ポート



注) P20 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードに入ると OUTEN の状態にかかわらず、出力は High-Z 状態となります。

5.4 P3 (P37 ~ P30) ポート

P3 ポートは 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力 (KWI)、外部割り込み入力、TC7 緊急停止入力と兼用です。

入出力の指定は、P3 ポート入出力制御レジスタ (P3CR1) と P3 ポート入力制御レジスタ (P3CR2) によって行います。

リセット時、P3CR1 は "0" に、P3CR2 は "1" に初期化され、P3 ポートは入力モードとなります。また、P3 ポート出力ラッチは "0" に初期化されます。

出力ポートとして使用する場合は、P3CR1 の対応するビットを "1" に設定します。

入力ポートまたは KWI 入力として使用する場合は、P3CR1 を "0" に設定した後、P3CR2 を "1" に設定します。

アナログ入力として使用する場合は、P3CR1 を "0" に設定した後、P3CR2 を "0" に設定します。

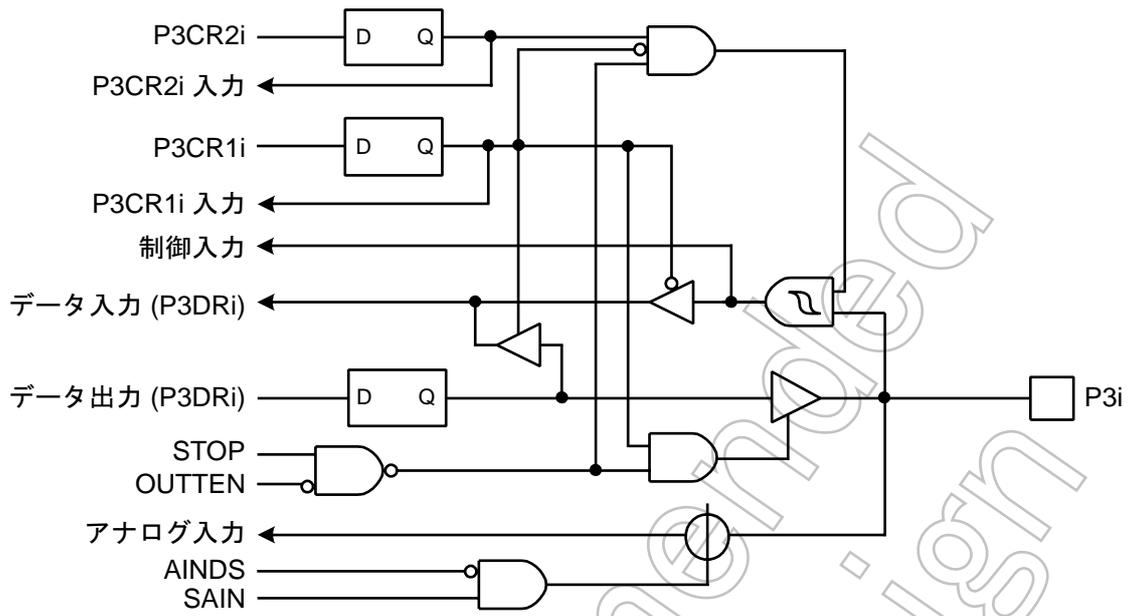
P3CR1 が "1" に設定されている場合、P3DR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。

表 5-3 各機能別のレジスタ設定値

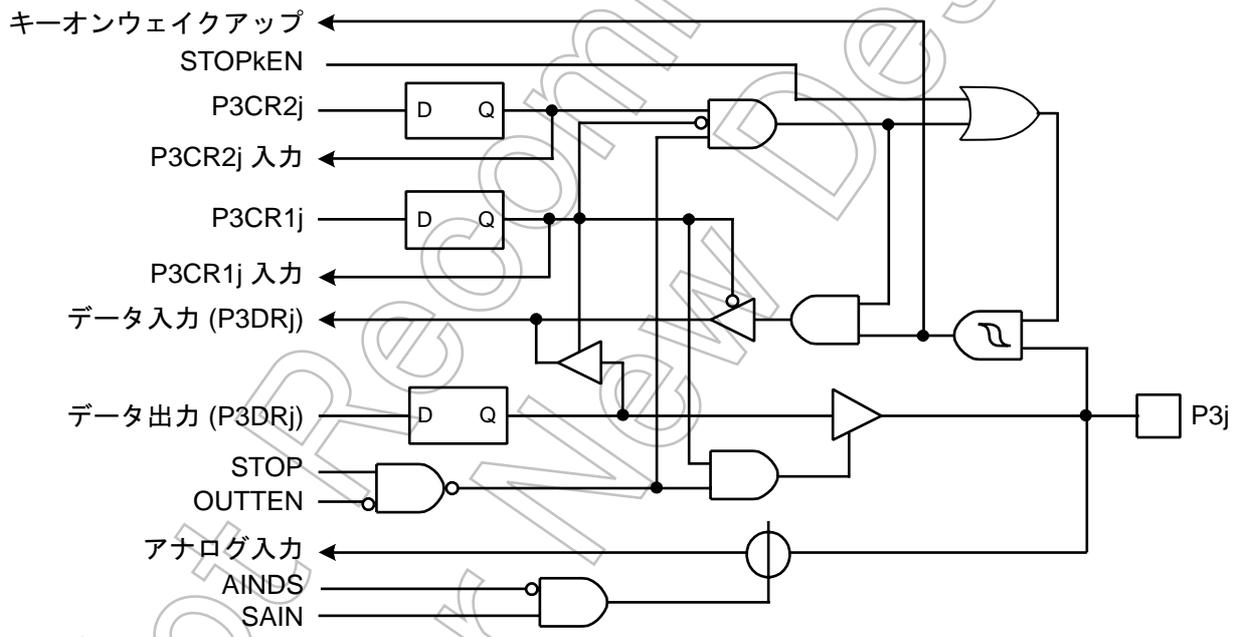
機能	設定値		
	P3DR	P3CR1	P3CR2
ポート入力、キーオンウェイクアップ入力、外部割り込み入力、TC7 緊急停止入力	*	"0"	"1"
アナログ入力	*	"0"	"0"
ポート "0" 出力	"0"	"1"	*
ポート "1" 出力	"1"	"1"	*

表 5-4 各レジスタ設定による P3DR の読み出し値

条件		P3DR の読み出し値
P3CR1	P3CR2	
"0"	"0"	"0"
"0"	"1"	端子の状態
"1"	"0"	出力ラッチの内容
	"1"	



a) P37, P32 to P30



b) P36 to P33

注1) $i=7,2 \sim 0, j=6 \sim 3, k=3 \sim 0$

注2) STOP は SYSCR1 のビット7

注3) SAIN は AD 入力選択信号

注4) STOPKEN はキーオンウェイクアップ機能での入力選択信号

図 5-5 P3 ポート

	7	6	5	4	3	2	1	0	
P3DR (0003H) R/W	P37 AIN7	P36 AIN6 STOP3	P35 AIN5 STOP2	P34 AIN4 STOP1	P33 AIN3 STOP0	P32 AIN2	P31 AIN1 INT0	P30 AIN0 EMG	(初期値: 0000 0000)

P3CR1 (0006H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
------------------	---	---	---	---	---	---	---	---	------------------

P3CR1	P3 ポートの入出力制御 (各ビット単位で指定)	0: 入力モードまたはアナログ入力 /KWI 入力 1: 出力モード	R/W
-------	--------------------------	---------------------------------------	-----

P3CR2 (0007H)	7	6	5	4	3	2	1	0	(初期値: 1111 1111)
------------------	---	---	---	---	---	---	---	---	------------------

P3CR2	P3 ポートの入力制御 (各ビット単位で指定)	0: アナログ入力 1: 入力モード	R/W
-------	-------------------------	-----------------------	-----

- 注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注 2) アナログ入出力端子は貫通電流対策のため、必ず P3CR2 の対応するビットを“0”にクリアしてください。
- 注 3) アナログ入力として使用する端子は外部信号とショートしますので、出力モード (P3CR1 = “1”) には設定しないでください。
- 注 4) アナログ入力として使用しないポートは、入出力ポートとして使用できます。ただし、A/D 変換中は精度を保つ意味で出力命令を実行しないようにしてください。また、アナログ入力と近接するポートに A/D 変換中に変化の激しい信号を入力しないようにしてください。

第6章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

6.1 ウォッチドッグタイマの構成

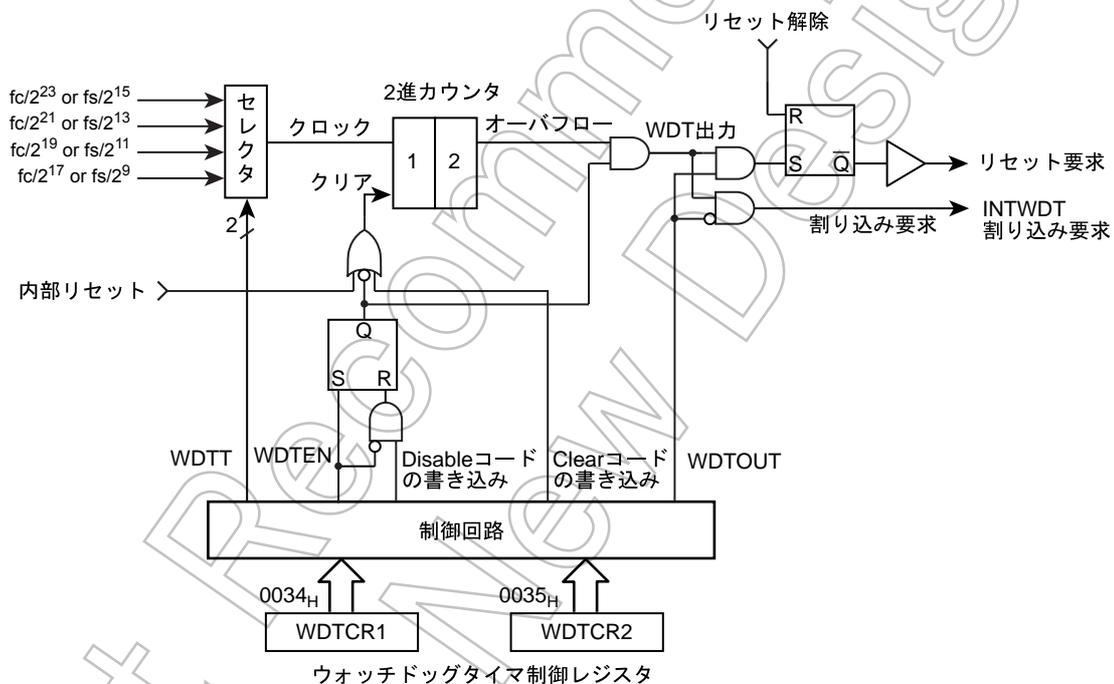


図 6-1 ウォッチドッグタイマの構成

6.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTCR1、WDTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

6.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定、出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) または IDLE/SLEEPモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEPモード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の3/4となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/fc$ [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH          ;2進カウンタのクリア
LD      (WDTCR1), 00001101B   ;WDTT ← 10, WDTOUT ← 1
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
WDT 検出      :                ;WDTT 変更直前直後は必ずクリア; します)
時間 3/4 以内 :
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
WDT 検出      :
時間 3/4 以内 :
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
    
```

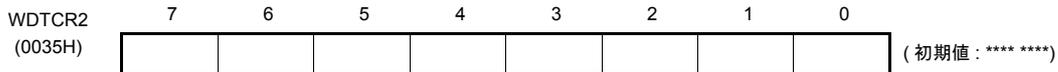
ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	—	—	(ATAS)	(ATOUT)	WDTEN	WDTT	WDTOUT		(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可			Write only	
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1/2 モード		SLOW1/2 モード	Write only	
		DV7CK = 0	DV7CK = 1			
		00	$2^{25}/fc$	$2^{17}/fs$		$2^{17}/fs$
		01	$2^{23}/fc$	$2^{15}/fs$		$2^{15}/fs$
10	$2^{21}/fc$	$2^{13}/fs$	$2^{13}/fs$			
11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$			
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求			Write only	

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz] *; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「6.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2



WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H:	アドレストラップ領域選択有効	
		その他	無効	

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
- 注 2) *: Don't care
- 注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
- 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

6.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

6.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 6-1 ウォッチドッグタイマ検出時間 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [S]		
	NORMAL 1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

6.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスクابل割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 023FH          ;SP の設定
LD      (WDTCR1), 00001000B ;WDTOUT ← 0
```

6.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/f_c$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

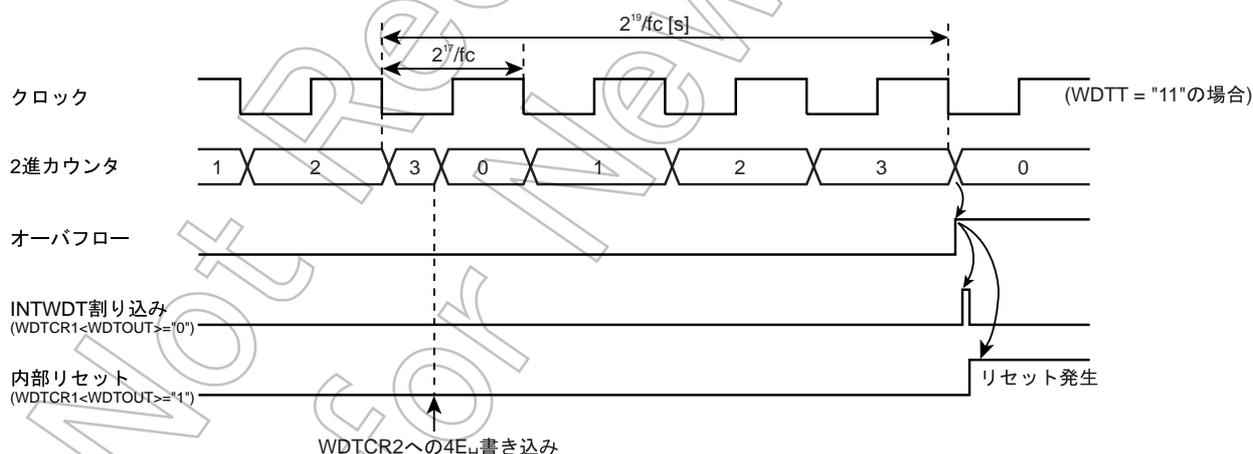


図 6-2 ウォッチドッグタイマ割り込み / リセット

6.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	(初期値: **11 1001)
	—	—	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	

ATAS	内蔵 RAM 領域のアドレストラップ選択	0:	アドレストラップ発生しない	Write only
		1:	アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	
ATOUT	アドレストラップ発生時の動作選択	0:	割り込み要求	Write only
		1:	リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み兼 アドレストラップ領域選択の制御コード書き込み	D2H:	アドレストラップ領域選択有効 (ATRAP 設定コード)	Write only
		4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	
		B1H:	ウォッチドッグタイマのディセーブル (WDT ディセーブルコード)	
		その他:	無効	

6.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレストラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレストラップが発生します。

6.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

6.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

6.3.4 アドレストラップリセット

WDTCR1<ATOUT> が “1” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/fc$ [s] ($1.5 \mu\text{s}$ @ $fc = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/fc$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

第7章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

7.1 タイムベースタイマ

7.1.1 構成

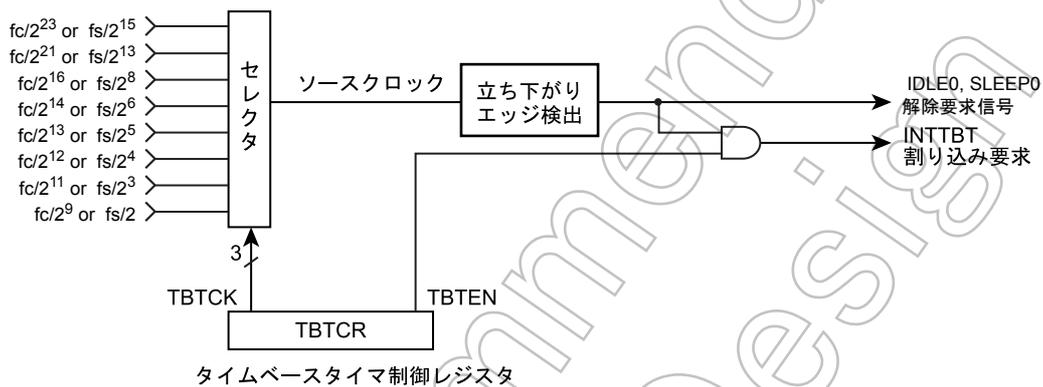


図 7-1 タイムベースタイマの構成

7.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)	(DV7CK)	TBTEN	TBTCCK				(初期値 : 0000 0000)

TBTCCK	タイムベースタイマの許可 / 禁止	0: ディセーブル 1: イネーブル			R/W
		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
		DV7CK = 0	DV7CK = 1		
000		fc/2 ²³	fs/2 ¹⁵	fs/2 ¹⁵	
001		fc/2 ²¹	fs/2 ¹³	fs/2 ¹³	
010		fc/2 ¹⁶	fs/2 ⁸	—	
011		fc/2 ¹⁴	fs/2 ⁶	—	
100		fc/2 ¹³	fs/2 ⁵	—	
101		fc/2 ¹²	fs/2 ⁴	—	
110		fc/2 ¹¹	fs/2 ³	—	
111		fc/2 ⁹	fs/2	—	

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注2) 割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0")で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCCR), 00000010B      ; TBTCK ← 010
LD      (TBTCCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRH), 1
```

表 7-1 タイムベースタイマ割り込み周波数 (例 : $fc = 16.0$ MHz, $fs = 32.768$ kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	—
011	976.56	512	—
100	1953.13	1024	—
101	3906.25	2048	—
110	7812.5	4096	—
111	31250	16384	—

7.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 7-2 参照)。

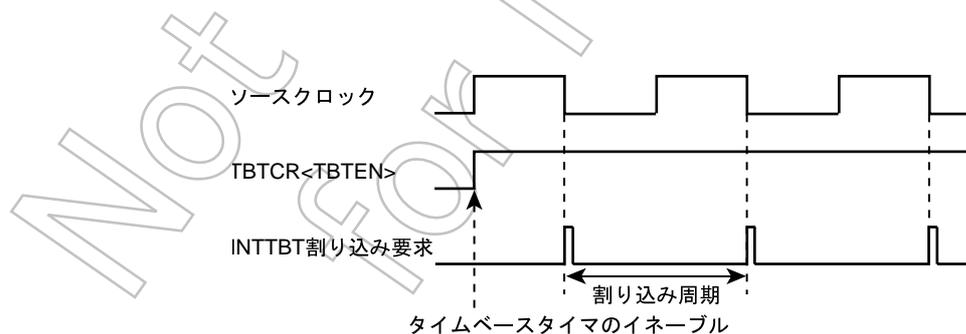


図 7-2 タイムベースタイマ割り込み

7.2 デバイダ出力 (\overline{DVO})

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 \overline{DVO} 端子から出力されます。

7.2.1 構成

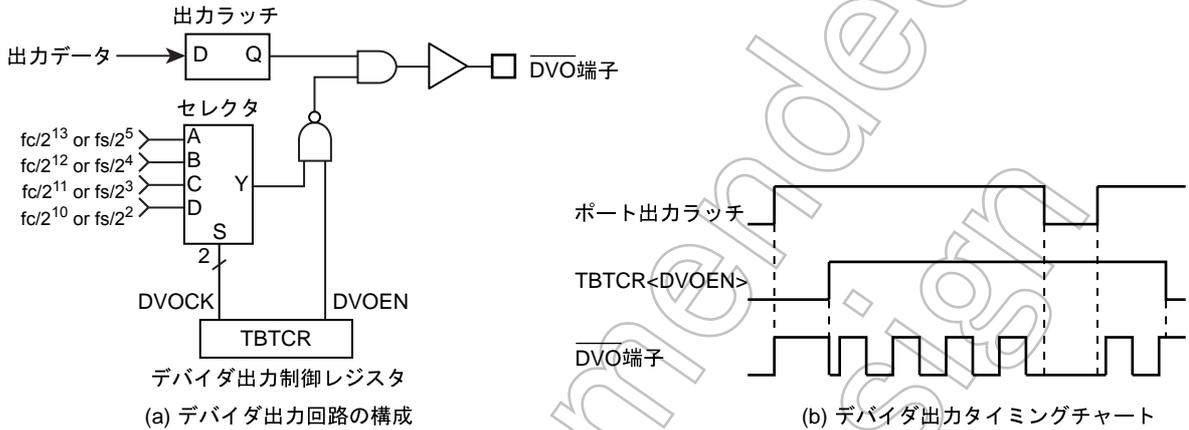


図 7-3 デバイダ出力

7.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	(DV7CK)	(TBTEN)				(TBTCK)	(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル			R/W	
DVOCK	デバイダ出力 (\overline{DVO} 端子) の周波数選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		00	$fc/2^{13}$	$fs/2^5$		$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$		$fs/2^4$
		10	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$			

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0")で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 1.95 kHz のパルスを出力 ($f_c = 16.0$ MHz)

```

          ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"

```

表 7-2 デバイダ出力の周波数 (例 : $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

第 8 章 時計専用タイマ (RTC)

TMP86CH12MG は、時計動作専用のタイマ (RTC) を内蔵しています。

時計専用タイマは、低周波クロックを使用して一定時間 (0.0625 [s], 0.125 [s], 0.25 [s], 0.50 [s]) ごとに割り込み要求を発生させることができますので、ソフトウェアにより簡単に時計機能を実現することができます。

なお、時計専用タイマは低周波クロックが発振している動作モード (SLEEP0を除く) のみ使用可能です。

8.1 構成

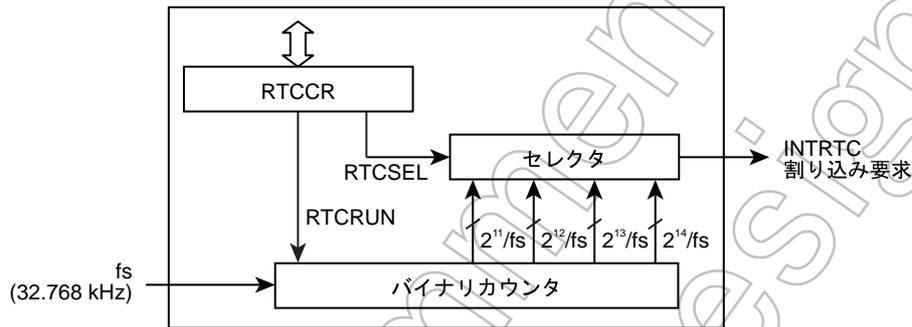


図 8-1 時計専用タイマの構成

8.2 時計専用タイマの制御

時計専用タイマは、時計専用タイマ制御レジスタ (RTCCR) によって制御されます。

時計専用タイマ制御レジスタ

RTCCR (001BH)	7	6	5	4	3	2	1	0
						RTCSEL	RTCRUN	(初期値: **** *000)

RTCSEL	割り込み発生周期 (fs = 32.768 kHz)	00: 0.50 [s] 01: 0.25 [s] 10: 0.125 [s] 11: 0.0625 [s]	R/W
RTCRUN	時計専用タイマの制御	0: 停止 & バイナリカウンタのクリア 1: カウント開始	

- 注 1) RTCCR の設定は、低周波が発振している状態 (SYSCR2<XTEN> = "1") で行ってください。このとき、割り込み発生周期の選択 (RTCSEL) は、タイマが停止状態 (RTCRUN = "0") で行ってください。また、タイマ動作中、タイマ停止と同時に RTCSEL の設定を変更しないでください。
- 注 2) タイマ動作中に以下の処理を行った場合、タイマは自動的に停止し、本レジスタは初期値に初期化されます (タイマのバイナリカウンタも初期化されます)。
 1. 低周波発振を停止 (SYSCR2<XTEN> = "0") した場合
 2. STOP または SLEEP0 モードを起動した場合
 従って、各モードからの復帰後、タイマを動作させるためには、再度、レジスタ設定を行ってください。
- 注 3) RTCCR に対してリード命令を実行すると、ビット 7~3 は不定値が読み込まれます。
- 注 4) タイマ動作中、開発ツールのデバッガ上でブレーク処理を行った場合、タイマはカウントを途中停止します (RTCCR の設定値は変更されません)。ブレークを解除すると、途中停止した時点から処理を再開します。

8.3 機能

時計専用タイマは、低周波の内部クロックによってカウントアップします。RTCCR<RTCRUN> を“1”に設定すると、バイナリカウンタはカウントアップを開始します。RTCCR<RTCSEL> で設定された時間を検出すると、INTRTC 割り込み要求を発生し、バイナリカウンタがクリアされます。バイナリカウンタクリア後もカウントアップを継続します。

Not Recommended
for New Design

第9章 10ビットタイマカウンタ (TC7)

9.1 構成

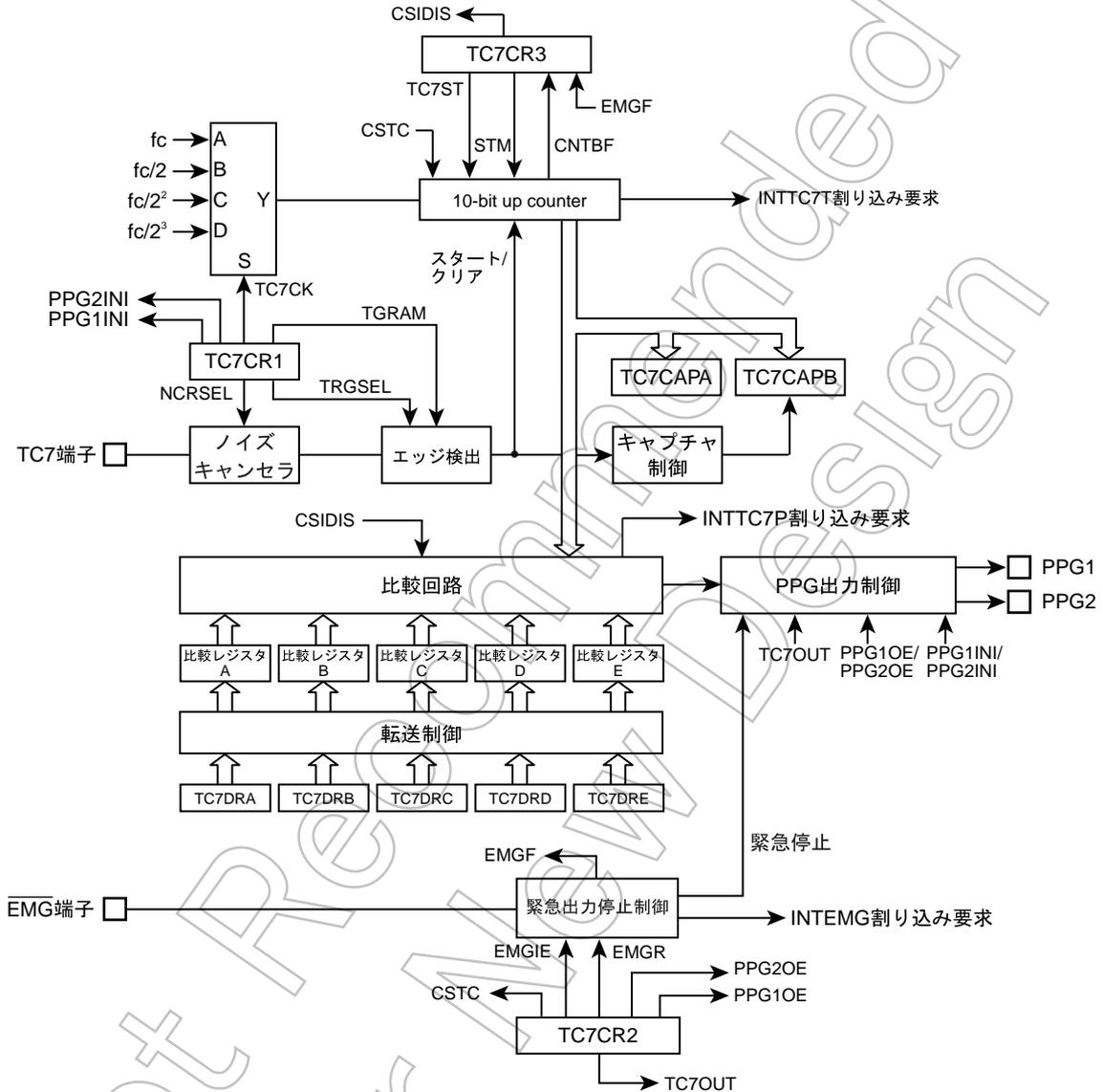


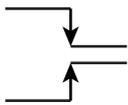
図 9-1 10ビットタイマカウンタ 7

9.2 制御

タイマカウンタ 7 は、タイマカウンタ制御レジスタ 1 (TC7CR1), タイマカウンタ制御レジスタ 2 (TC7CR2), タイマカウンタ制御レジスタ 3 (TC7CR3), 10 ビットのデッドタイム 1 設定レジスタ (TC7DRA), パルス幅 1 設定レジスタ (TC7DRB), 周期設定レジスタ (TC7DRC), デッドタイム 2 設定レジスタ, パルス幅 2 設定レジスタ (TC7DRE), 2 つのキャプチャ値レジスタ (TC7CAPA, TC7CAPB) で制御されます。

タイマカウンタ 7 制御レジスタ 1

TC7CR1 (0029H)	7	6	5	4	3	2	1	0	
	TRGAM	TRGSEL	PPG2INI	PPG1INI	NCRSEL		TC7CK		(初期値: 0000 0000)

TC7CK	ソースクロックの選択 (アップカウンタへの供給クロック)		00: fc [Hz] 01: fc/2 [Hz] 10: fc/2 ² [Hz] 11: fc/2 ³ [Hz]	R/W
NCRSEL	TC7 入力のノイズ除去時間選択 (F/F 通過後の TC7 入力)		00: 16/fc [s] 以下のパルスはノイズとして除去 01: 8/fc [s] 以下のパルスはノイズとして除去 10: 4/fc [s] 以下のパルスはノイズとして除去 11: ノイズ除去なし ^{#1}	
PPG1INI	PPG1 出力初期値設定	正 / 負 論理の 選択	0: Low (正論理) 1: High (負論理)	
PPG2INI	PPG2 出力初期値設定		0: Low (正論理) 1: High (負論理)	
TRGSEL	トリガスタートエッジ選択		0: トリガ立ち下がリエッジスタート 1: トリガ立ち上がりエッジスタート 	
TRGAM	トリガエッジ受け付けモード		0: 常時トリガエッジ受け付け許可 1: アクティブ出力中トリガエッジを受け付け禁止	

#1 回路構成上 1/fc未満のパルスはノイズとして除去される場合とトリガとして受け付けられる場合があります。

タイマカウンタ 7 制御レジスタ 2

TC7CR2 (002AH)	7	6	5	4	3	2	1	0	
	EMGR	EMGIE	PPG2OE	PPG1OE	CSTC		TC7OUT		(初期値: 0000 0000)

TC7OUT	出力波形モード選択		00: PPG1/PPG2 単独出力 01: - 10: デューティ可変出力 11: デューティ 50% 出力	R/W
CSTC	カウントスタートモード選択		00: コマンドスタート & キャプチャモード 01: コマンドスタート & トリガスタートモード 10: トリガスタートモード 11: -	
PPG1OE	PPG1 出力制御		0: 禁止 1: 許可	
PPG2OE	PPG2 出力制御		0: 禁止 1: 許可	
EMGIE	EMG 端子の入力許可 / 禁止制御		0: 入力禁止 1: 入力許可	
EMGR	緊急出力停止状態の解除		0: - 1: 緊急出力停止状態の解除 (解除後自動的に "0" にクリアされます。)	

タイマカウンタ 7 制御レジスタ 3

TC7CR3 (002BH)	7	6	5	4	3	2	1	0	
			EMGF	CNTBF	CSIDIS	STM	TC7ST		(初期値:**00 0000)

TC7ST	タイマのスタート、ストップ制御	0: ストップ 1: スタート	
STM	ストップ時の状態選択連続 / 単発出力選択	TC7ST = 0	R/W
		TC7ST = 1	
		00: 出力初期状態でカウント即時停止クリア 01: 出力保持状態でカウント即時停止クリア 10: 周期出力後カウント停止 11: -	連続出力 連続出力 単発出力 -
CSIDIS	コマンドスタート時の最初の割り込み禁止	0: コマンドスタート時最初の周期での周期割り込み (INTTC7P) の発生許可 1: コマンドスタート時最初の周期での周期割り込み (INTTC7P) の発生禁止	
CNTBF	カウント動作状態フラグ	0: カウント動作停止中 1: カウント動作中	Read only
EMGF	緊急出力停止フラグ	0: 通常動作状態 1: 緊急出力停止中	Read only

- 注 1) TC7CR1, TC7CR2 はタイマスタート後 (TC7ST = "1": TC7CR3 の Bit0) には書き替えしないでください。
- 注 2) TC7CR1, TC7CR2 を変更するときは TC7ST = "0" とした後に CNTBF = "0" を確認し、タイマ動作が停止していることを確認したのちに変更を行ってください。
- 注 3) TC7ST はタイマ動作のスタート・ストップを制御するビットであり、カウンタ動作の状態を表すものではありません。つまりカウンタ動作のスタート/ストップに連動して自動的に変化しません。
- 注 4) コマンドスタート & キャプチャモード、コマンドスタート & トリガスタートモードにおいて TC7ST に "1" を書き込む動作が行われるとその時点で再スタートとなります。つまり、コマンドスタート後に TC7CR3 の TC7ST 以外のビットを書き替えても TC7ST の書き替え動作が起こりますのでそこでタイマは再スタートとなります。(初期状態から PPG 出力を開始します) (TC7ST = "1" のときに TC7ST を "1" のままで TC7CR3 の書き替え (ビット操作命令 / LD 命令) を行うと、カウントはクリアされタイマは再スタートします。
- 注 5) TC7CR2 <EMGR> は "1" を書き込んでも "0" が読み出されます。
- 注 6) TC7CR2 <TC7OUT> で出力モードの変更を行っただけでは、データレジスタの更新はされませんので、出力モードの変更後はデータレジスタ TC7DRA~E を再設定を行ってください。また、すべてのデータレジスタは TC7DRC (上位) の書き込み後から有効になりますので、データ書き込み順に注意してください。

デッドタイム 1 設定レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC7DRA (0009H, 0008H)								TC7DRAH (0009H)								TC7DRAL (0008H)
	(初期値: **** **00 0000 0000)															
	Read/Write															

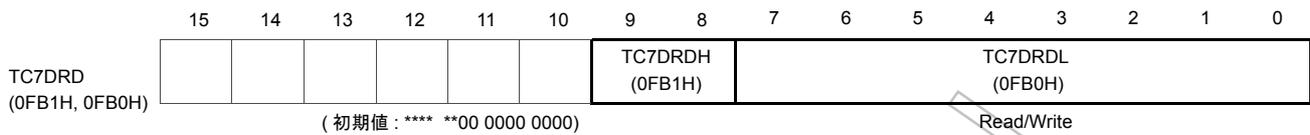
パルス幅 1 設定レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC7DRB (000BH, 000AH)								TC7DRBH (000BH)								TC7DRBL (000AH)
	(初期値: **** **00 0000 0000)															
	Read/Write															

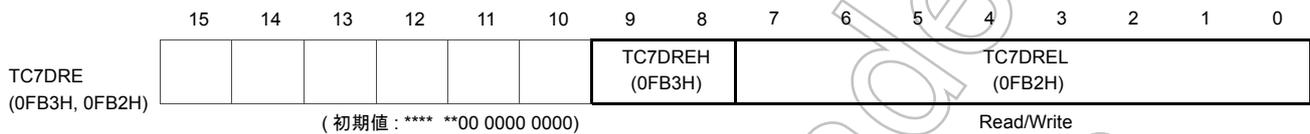
周期設定レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC7DRC (000DH, 000CH)								TC7DRCH (000DH)								TC7DRCL (000CH)
	(初期値: **** **00 0000 0000)															
	Read/Write															

デッドタイム2 設定レジスタ

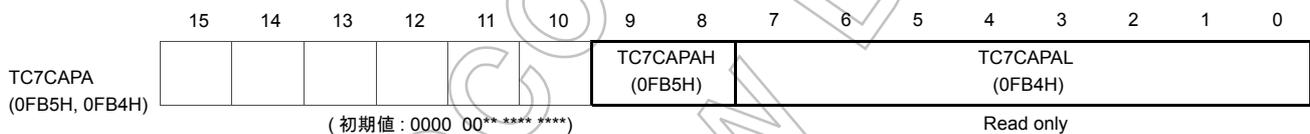


パルス幅2 設定レジスタ

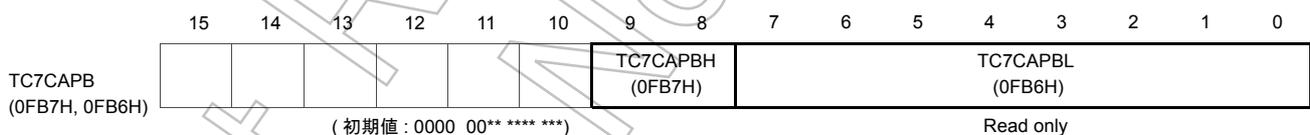


- 注 1) データレジスタ TC7DRA~TC7DRE は命令で書き込まれたデータを保持するデータレジスタと、実際にカウンタとの比較を行う比較レジスタの2段構成になっています。
- 注 2) データレジスタ TC7DRA~TC7DRE への書き込みは下位バイト、上位バイトの順でデータを書き込んでください。
- 注 3) データレジスタ TC7DRA~TC7DRE の上位バイトの空きビット (ビット 10~15) にはレジスタ機能が割り付けられおらず、“1”を書き込んでも“0”が読み出されます。
- 注 4) データレジスタ TC7DRA~TC7DRE は2段構成になっているため、レジスタの読み出し値はその時点での実際のPPG出力波形の値とは異なっている場合があります。
- 注 5) TC7CR2<TC7OUT> で出力モードの変更を行っただけでは、データレジスタの更新はされませんので、出力モードの変更後はデータレジスタ TC7DRA~TC7DRE の再設定を行ってください。また、すべてのデータレジスタはTC7DRC (上位) の書き込み後から有効になりますので、データ書き込み順に注意してください

立ち上がりエッジキャプチャ値レジスタ



立ち下がりエッジキャプチャ値レジスタ



- 注 1) キャプチャレジスタ (TC7CAPA, TC7CAPB) の読み出しは TC7CAPA の下位、上位、TC7CAPB の下位、上位の順で読み出して下さい。
- 注 2) TC7CAPA のみを読み出しただけでは次のキャプチャ値が更新されませんので、必ず TC7CAPB も読み出して下さい。
- 注 3) TC7CAPB のみを読み出すことは可能ですが、その場合も下位、上位の順で読み出して下さい。
- 注 4) 周期内にキャプチャエッジが検知されなかった場合、次の周期では前のキャプチャ値を保持しています。
- 注 5) 周期内に複数のキャプチャエッジが検知された場合、最後に検知されたエッジでのキャプチャ値が次の周期で有効となります。
- 注 6) TC7CAPA, TC7CAPB のビット 10~15 は常に“0”が読み出されます。

9.3 制御レジスタ / データレジスタの設定

制御レジスタ、データレジスタの設定は以下の順番で設定してください。

1. 各種モード選択設定 TC7CR1, 2
2. データレジスタ設定 (デッドタイム, パルス幅) TC7DRA, TC7DRB, TC7DRD, TC7DRE
(選択したモードに必要なもの)
3. データレジスタ設定 (周期) TC7DRC

4. タイマスタート/ストップ設定 TC7CR3

- データレジスタの内部構成は、“命令で書き込まれたデータを保持するデータレジスタ”と、“カウンタとの比較レジスタ”の2段構成となっています。
- データレジスタに設定されたデータは事前に設定されている出力モード (TC7OUTにて設定) に応じた演算処理を行った後、比較レジスタへ転送され、そのデータがアップカウンタとの比較に使用されます。
- データレジスタの演算処理と比較レジスタへの転送は、設定されている出力モードで必要なデータレジスタが使用されますので、データレジスタを設定する前には必ず TC7OUT (TC7CR2 の Bit0, 1) で出力モードの設定を終了させておいてください。
- データレジスタ (TC7DRA~TC7DRE) のデータは、データレジスタ TC7DRC の上位への書き込みで、データ転送要求が出され、その要求が有効になっている間にカウンタの一致/クリアが発生した時点で、比較レジスタへの転送が行われそのデータが有効になります。
- ただし、同一周期内に複数回データレジスタの書き込みを実行した場合、最初の TC7DRC 上位を書き込んだ時点で設定されているデータレジスタのデータが次の周期のデータとして有効となり、その周期内で最後に書き込んだデータレジスタのデータはさらに次の周期のデータとして有効になります。

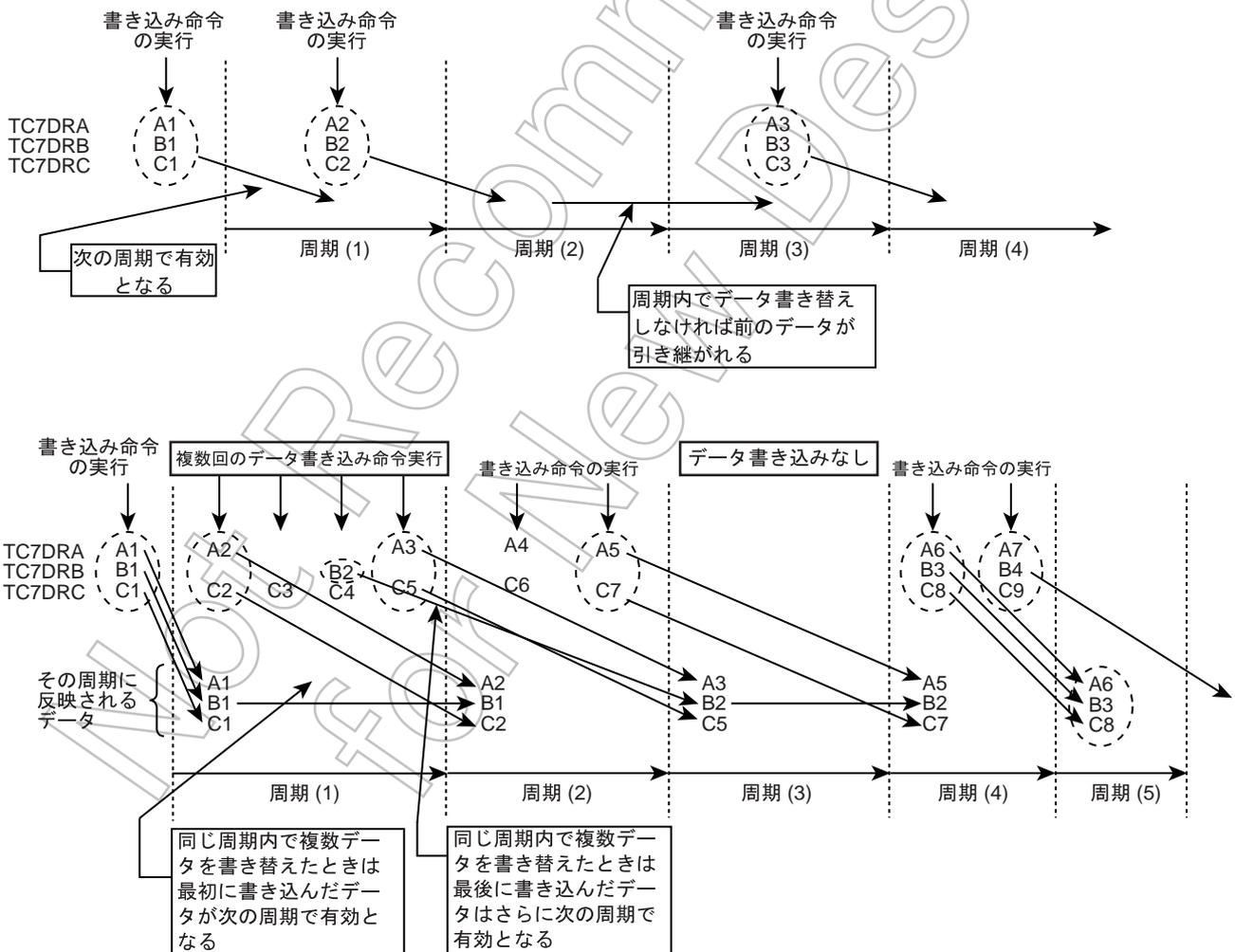


図 9-2 制御レジスタ / データレジスタの設定例 1

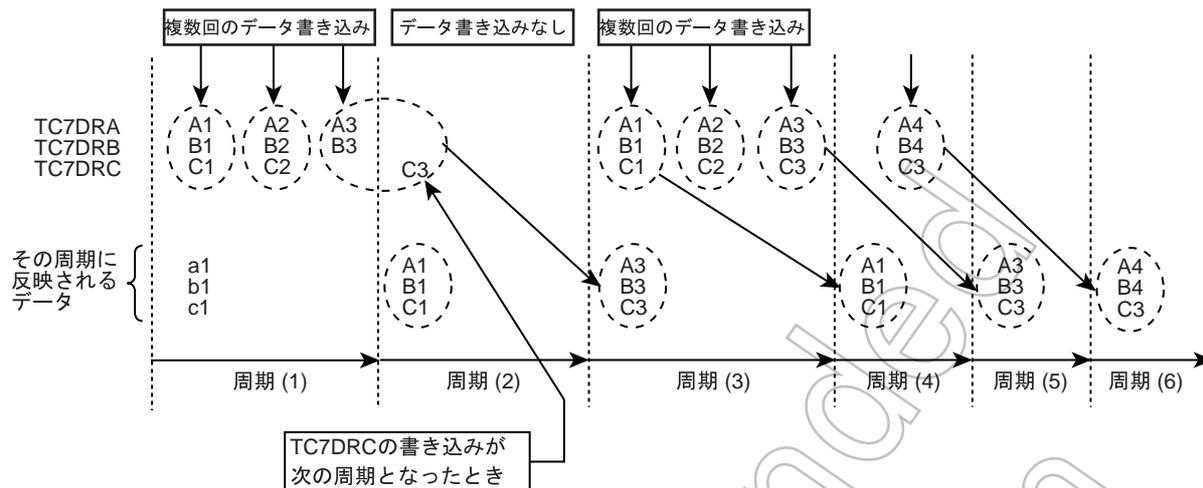


図 9-3 制御レジスタ / データレジスタの設定例 2

9.4 機能

9.4.1 プログラマブルパルスジェネレータ出力 (PPG 出力)

PPG1 端子, PPG2 端子からそれぞれ PPG を出力します。PPG 出力はその出力波形モードを TC7CR2<TC7OUT> により設定し、データレジスタ (TC7DRA~E) で設定されたデータと 10 ビットアップカウンタとの比較により波形を制御します。出力波形モードにはデューティ 50% 出力, デューティ可変出力, PPG1/PPG2 単独出力の 3 モードがあります。

9.4.1.1 デューティ 50% 出力モード

(1) 動作説明

周期を TC7DRC に設定すると、周期の 1/2 をパルス幅 (アクティブ期間) とした波形が出力されます。

PPG1 出力は周期はじめからアクティブとなり周期の 1/2 でノンアクティブとなります。

PPG2 出力は周期のはじめから周期の 1/2 まではノンアクティブで周期の 1/2 より周期終わりまでアクティブとなります。

ただし、TC7DRA にデッドタイム時間を設定しておく、このデッドタイム幅分、パルス幅 (アクティブ期間) が短くなった波形としてそれぞれ出力されます。

(2) レジスタ設定

TC7OUT = "11", TC7DRA = "デッドタイム", TC7DRC = "周期"

(3) データレジスタ値の設定範囲

• 周期:

$002H \leq TC7DRC \leq 400H$

(TC7DRC に 400H を書き込むと 000H が読み出されます。)

TC7DRC の設定値が奇数の場合、PPG2 のパルス幅は PPG1 のパルス幅よりも 1 カウント分大きくなります。

- デッドタイム TC7DRA:
 $000H \leq TC7DRA < (TC7DRC \div 2)$
 デッドタイムをなしにする場合は TC7DRA を 000H としてください。

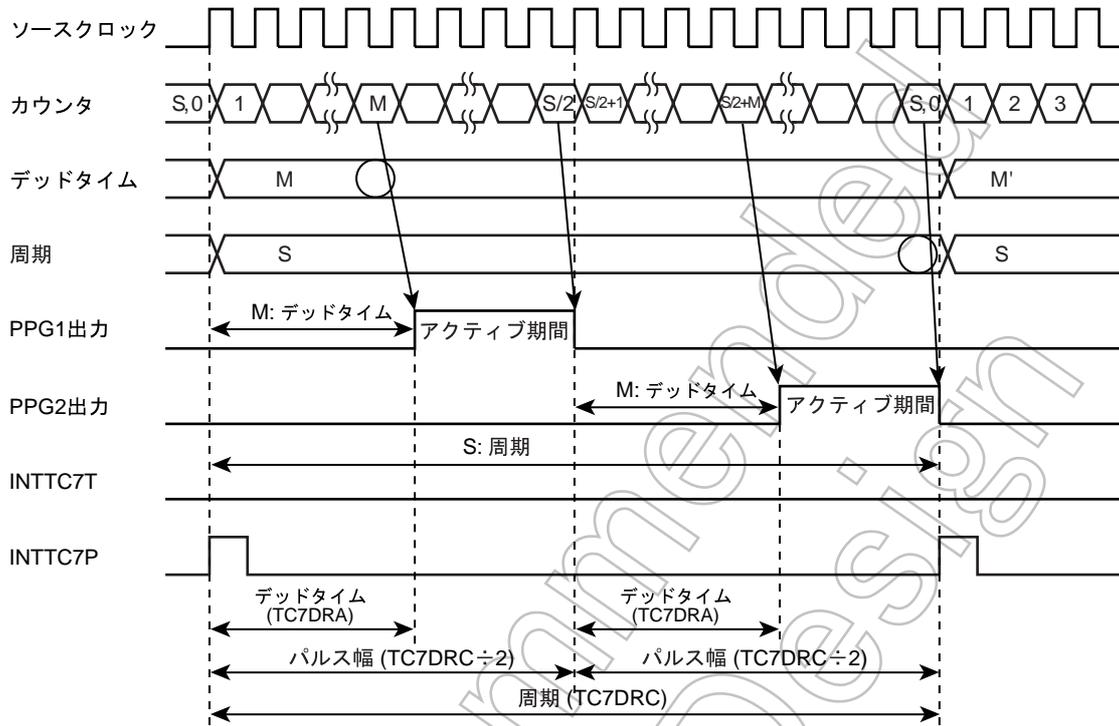


図 9-4 デューティ 50% 出力モード

コマンド & キャプチャスタート、正論理出力、連続出力の動作例

9.4.1.2 デューティ可変出力モード

(1) 動作説明

周期を TC7DRC に、パルス幅を TC7DRB に設定すると PPG1 端子には設定されたパルス幅の波形が、PPG2 端子には TC7DRC-TC7DRB のパルス幅の波形がそれぞれ出力されます。

PPG1 出力は周期はじめから TC7DRB で設定されたパルス幅分アクティブとなりその後周期の終わりまで、ノンアクティブとなります。PPG2 出力は周期のはじめから TC7DRB で設定されたパルス幅分はノンアクティブでその後 TC7DRC-TC7DRB のパルス幅 (周期終わりまで) アクティブとなります。

ただし、TC7DRA にデッドタイム時間を設定しておく、このデッドタイム幅分、パルス幅 (アクティブ期間) が短くなった波形としてそれぞれ出力されます。

(2) レジスタ設定

TC7OUT = "10", TC7DRA = "デッドタイム", TC7DRB = "パルス幅", TC7DRC = "周期"

(3) データレジスタ値の設定範囲

- 周期:
 $002H \leq TC7DRB + TC7DRA < TC7DRC \leq 400H$
 (TC7DRC に 400H を書き込むと 000H が読み出されます。)

- パルス幅：
 $001H \leq TC7DRB < TC7DRC$
- デッドタイム：
 $000H \leq TC7DRA < TC7DRB$, $000H \leq TC7DRA < (TC7DRC - TC7DRB)$
 (デッドタイムをなしにする場合は TC7DRA を “000H” としてください。)

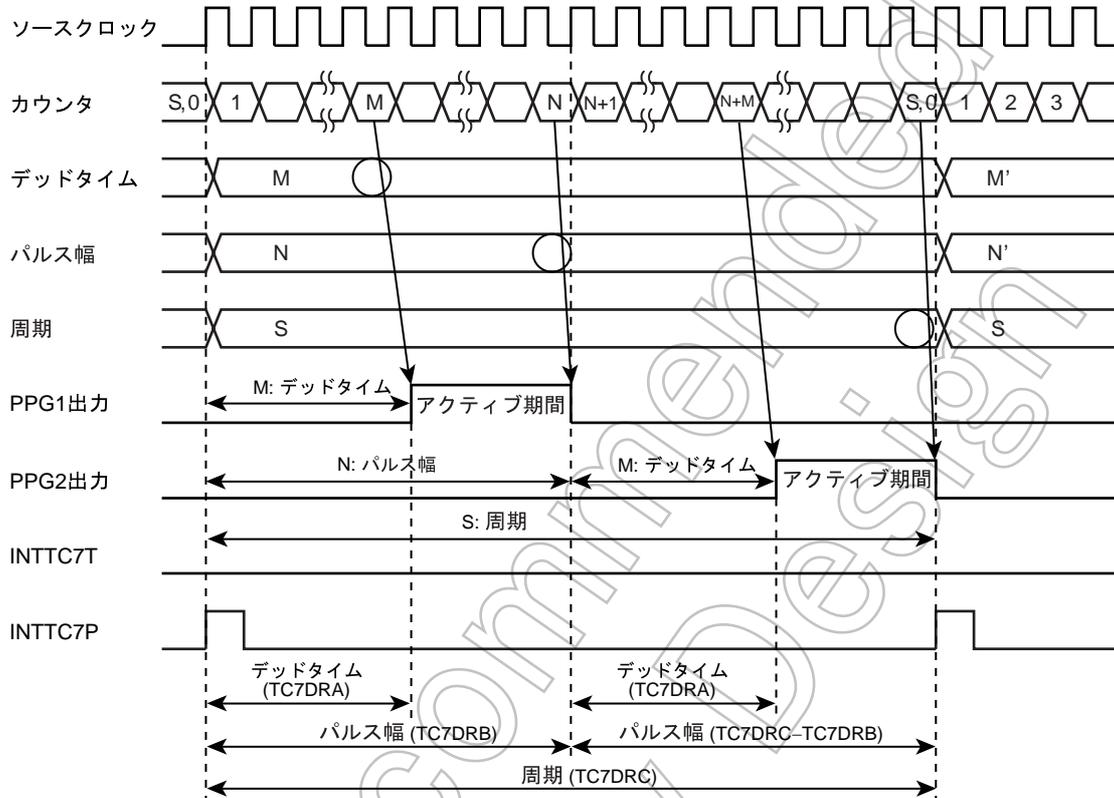


図 9-5 デューティ可変出力モード

コマンド & キャプチャスタート、正論理出力、連続出力の動作例

9.4.1.3 PPG1/2 独立出力モード

(1) 動作説明

PPG1 出力で使用するデッドタイムを TC7DRA にパルス幅を TC7DRB に、PPG2 出力で使用するデッドタイムを TC7DRD、パルス幅を TC7DRE に、そして PPG1、PPG2 共通の周期を TC7DRC に設定すると PPG1 端子、PPG2 端子それぞれに設定された波形が出力されます。

PPG1 出力は周期はじめから TC7DRB で設定されたパルス幅分アクティブとなりその後周期の終わりまでノンアクティブとなります。

PPG2 出力は周期はじめから TC7DRE で設定されたパルス幅分アクティブとなりその後周期の終わりまでノンアクティブとなります。

ただし、PPG1 出力は TC7DRA に、PPG2 出力は TC7DRD にそれぞれデッドタイム時間を設定しておく、このデッドタイム幅分、パルス幅 (アクティブ期間) が短くなった波形としてそれぞれ出力されます。

(2) レジスタ設定

TC7OUT = “00”, TC7DRC = “周期”,

TC7DRA = “PPG1 のデッドタイム”, TC7DRB = “PPG1 のパルス幅”,
 TC7DRD = “PPG2 のデッドタイム”, TC7DRE = “PPG2 のパルス幅”

(3) データレジスタ値の設定範囲

- 周期:
 $002H \leq TC7DRC \leq 400H$
 (TC7DRC に 400H を書き込むと、000H が読み出されます。)
 - パルス幅:
 $001H \leq TC7DRB \leq 400H$
 (TC7DRB に 400H を書き込むと、000H が読み出されます。)
 $001H \leq TC7DRE \leq 400H$
 (TC7DRE に 400H を書き込むと、000H が読み出されます。)
 - デッドタイム:
 $000H \leq TC7DRA \leq 3FFH$ ただし、 $TC7DRA < TC7DRB \leq TC7DRC$
 $000H \leq TC7DRD \leq 3FFH$ ただし、 $TC7DRD < TC7DRE \leq TC7DRC$
 (000H を設定するとデッドタイムなしとなります。)
1. デューティ 0% 出力とする場合の設定値
 $002H \leq TC7DRC \leq TC7DRA \leq 3FFH$ (PPG1 出力)
 $002H \leq TC7DRC \leq TC7DRD \leq 3FFH$ (PPG2 出力)
 2. デューティ 0% を超えて 100% までの出力とする場合の設定値は
 $000H \leq TC7DRA < TC7DRB \leq TC7DRC \leq 400H$ (PPG1 出力)
 $000H \leq TC7DRD < TC7DRE \leq TC7DRC \leq 400H$ (PPG2 出力)



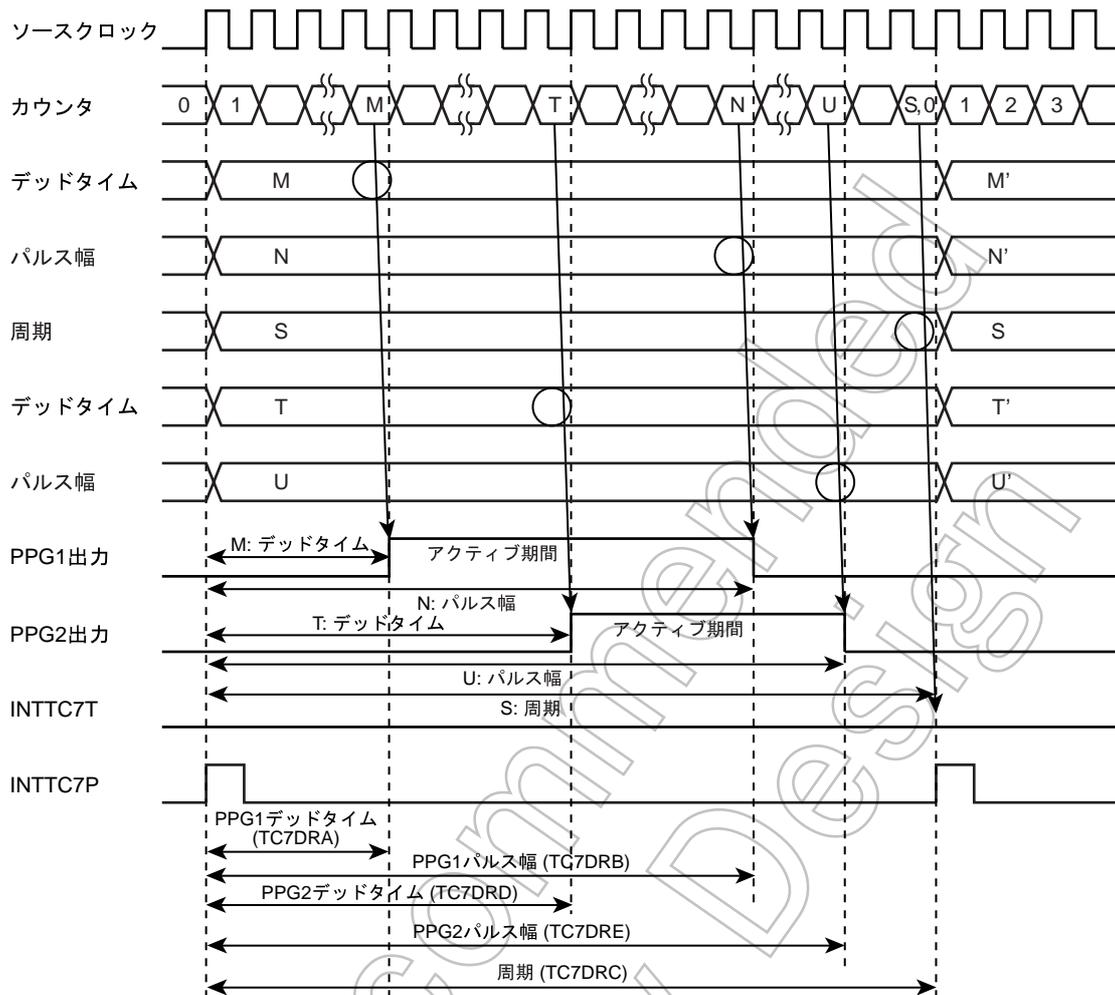


図 9-6 PPG1, PPG2 独立出力モード

コマンド & キャプチャスタート、正論理出力、連続出力の動作例

9.4.2 カウントスタート方法

カウントのスタートには、コマンドで行う方法と、TC7 端子入力で行う方法があります。

9.4.2.1 コマンドスタート & キャプチャモード

(1) 動作説明

TC7ST に“1”を書き込むことによりカウントをクリアしカウントアップをスタートします。そしてカウンタが設定された周期に達するとカウンタはクリアされます。このとき STM で連続モードが設定されていると再びカウントアップを始め、STM で単発モードが設定されているとそこでカウントを停止します。

周期に達する前に TC7ST に“1”を書き込むとそこでカウンタはクリアされ、その後は前記と同じく STM で設定された動作となります。

また、TC7 端子への入力の立ち上がり、立ち下がり時のカウント値をキャプチャレジスタに格納することができます (キャプチャの詳細は別項を参照)。

(2) レジスタ設定

CSTC = “00” でコマンドスタート & キャプチャモードの設定、STM で連続 / 単発出力の設定、 TC7ST = “1” 書き込みでカウントスタート

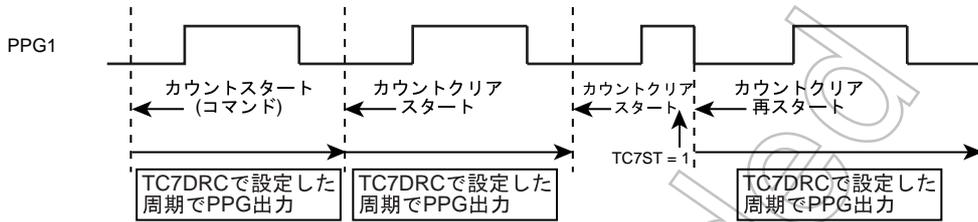


図 9-7 コマンドスタート & キャプチャモード動作例

9.4.2.2 コマンドスタート & トリガスタートモード

(1) 動作説明

TC7ST に “1” を書き込むことでカウントをクリアし、カウントアップをスタートします。そして TC7 端子入力にトリガ入力がない場合は前記コマンドスタート & キャプチャモードと同様な動きをしますが、TC7 端子にトリガスタートエッジ選択レジスタ (TRGSEL) で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間はカウンタはクリア停止しています。なお、コマンドスタート時 (TC7ST に “1” を書き込み時) TC7端子が停止レベルだった場合、カウントはスタートせず (INTTC7P も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTTC7T が発生します (コマンドスタートよりもトリガ入力のほうが優先されます)。

注) トリガ受け付けの詳細については、“9.4.2.5 トリガスタート/ストップ受付モード”を参照してください。

(2) レジスタ設定

CSTC = “01” でコマンドスタート & トリガスタートモードの設定、STM で連続 / 単発出力の設定、 TC7ST = “1” 書き込みでカウントスタート、TRGSEL = トリガの選択

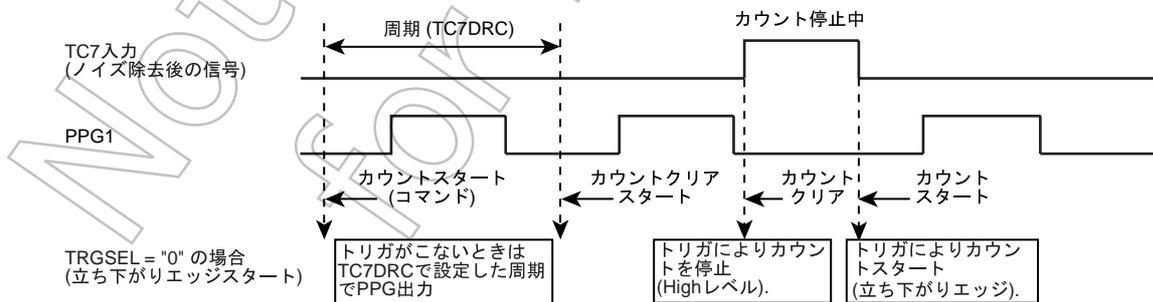


図 9-8 コマンドスタート & トリガスタートモード動作例

9.4.2.3 トリガスタートモード

(1) 動作説明

トリガスタートエッジ選択レジスタ (TRGSEL) で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間はカウンタはクリア停止しています。

なお、トリガスタートモード中は再度 TC7ST を “1” にしても PPG 出力は初期化されずに無視されます。

注) トリガ受け付けの詳細については、“9.4.2.5 トリガスタート/ストップ受付モード”を参照してください。

(2) レジスタ設定

CSTC = “10” でコマンドスタートの設定、STM で連続 / 単発出力の設定、TC7ST = “1” 書き込みで TC7 端子へのトリガを待つ。

TRGSEL = トリガの選択

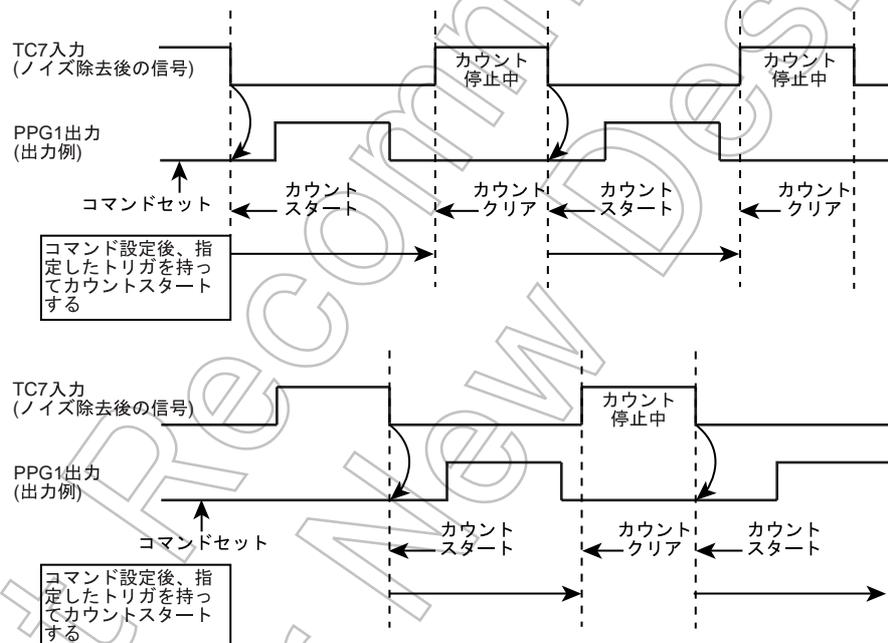


図 9-9 トリガスタートモード動作例

9.4.2.4 トリガキャプチャモード (CSTC = “00”)

(1) 動作説明

コマンドスタート & キャプチャモードでカウントをスタートすると TC7 端子入力の立ち上がりエッジと立ち下がりエッジでカウント値をそれぞれキャプチャレジスタ TC7CAPA, TC7CAPB にキャプチャします。

キャプチャされたデータは、一旦キャプチャバッファに取り込まれ、1周期が終了した時点で、キャプチャバッファからキャプチャレジスタへ転送更新されます。1周期内でトリガ入力がない場合は、前の周期でのキャプチャバッファデータが残り、1周期終了後キャプチャレジスタへ転送されます。また周期内で複数のトリガエッジが入力された場合は、最後に入力 (キャプチャ) されたデータがキャプチャレジスタに書き込まれます。

キャプチャ値の読み出しはキャプチャレジスタ A の下位 (TC7CAPAL)、キャプチャレジスタ A の上位 (TC7CAPAH)、キャプチャレジスタ B の下位 (TC7CAPBL)、キャプチャレジスタ B の上位 (TC7CAPBH) の順番で読んでください。なお、立ち上がりエッジのキャプチャ値 (TC7CAPA) だけを読んでも、次のキャプチャ値が更新されませんので、立ち下がりエッジのキャプチャ値 (TC7CAPB) も必ず読んでください。

TC7CAPB の上位以外のキャプチャから読み始めると、キャプチャレジスタは保護状態となり、キャプチャの更新は禁止されます。TC7CAPB の上位を読むとこの状態は解除され、キャプチャの更新を再開します (TC7CAPA, TC7CAPB の読み出しが 1 セットとして処理されます)。

カウントスタート直後は前記の保護状態が解除されていない場合がありますので、最初の周期ではキャプチャレジスタの読み出し (ダミー読み出し) を行って保護状態を解除するようにしてください。

本キャプチャ機能は周期内でキャプチャトリガ (立ち上がり / 立ち下がり) が入力されることを想定した仕様となっています。タイマがスタートしている状態 (TC7ST = "1") でしかキャプチャの更新はされません (エッジを検出しません)。周期内でのタイマストップコマンド書き込み後 (TC7ST = "0") のキャプチャ値は不定となります。1 周期ストップコマンド後はキャプチャレジスタの更新はされません。また、一周期ストップモードで STOP コマンド入力後のキャプチャは受け付けません。

(2) レジスタ設定

CSTC = "00" でコマンドスタート & キャプチャモードに設定, STM で連続 / 単発出力の設定, TC7ST = "1" 書き込みでカウントスタート

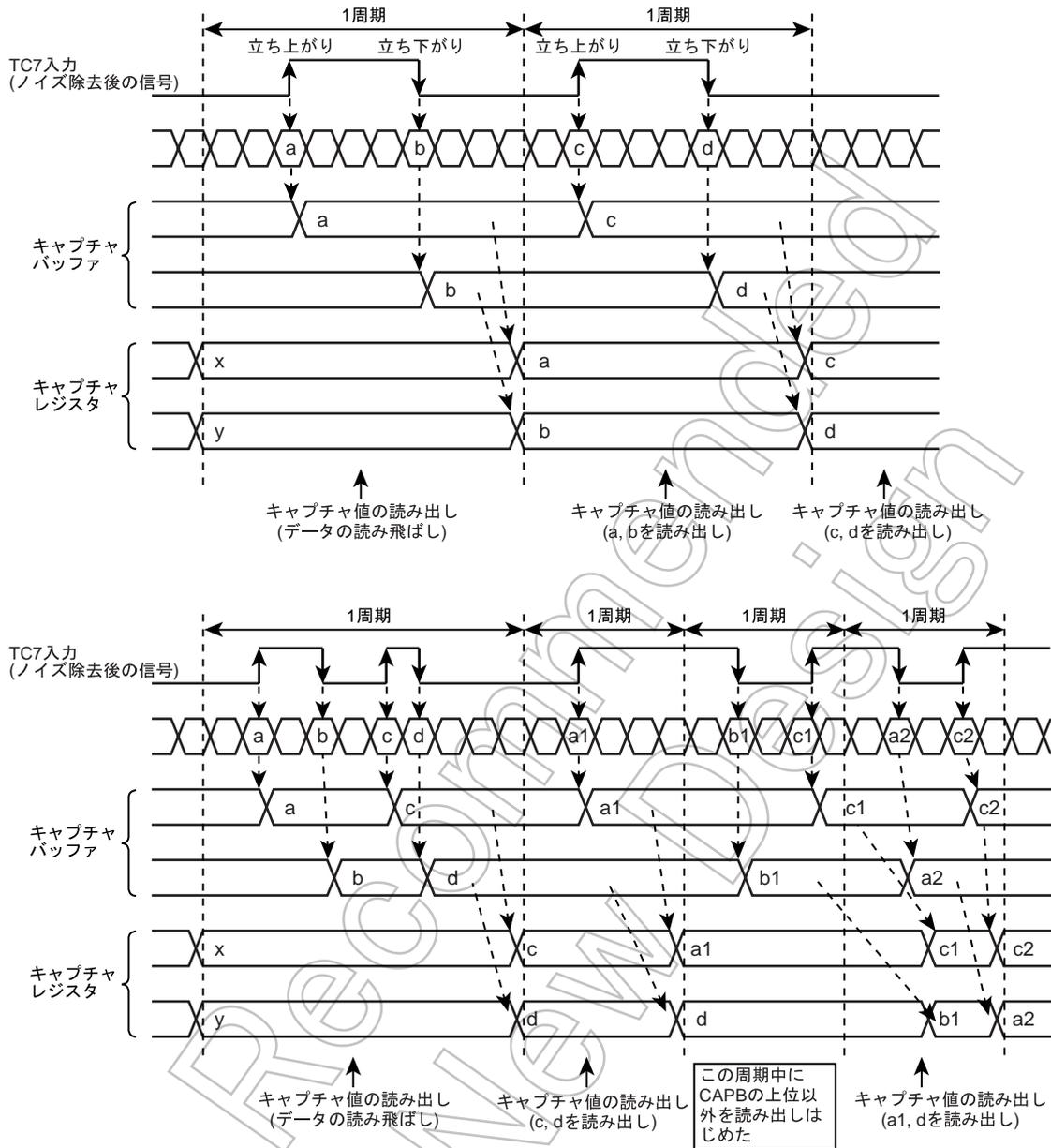


図 9-10 トリガキャプチャモード動作例

9.4.2.5 トリガスタート/ストップ受付モード

(1) TC7 端子 (トリガ入力) への入力信号論理の選択

TC7 端子から入力されるトリガ信号の論理は TC7CR1<TRGSEL> で設定することができます。

- TRGSEL = “0”: 立ち下がりエッジ検出でカウントスタートし、“HIGH” レベル中はカウントクリア停止。
- TRGSEL = “1”: 立ち上がりエッジ検出でカウントスタートし、“LOW” レベル中はカウントクリア停止。

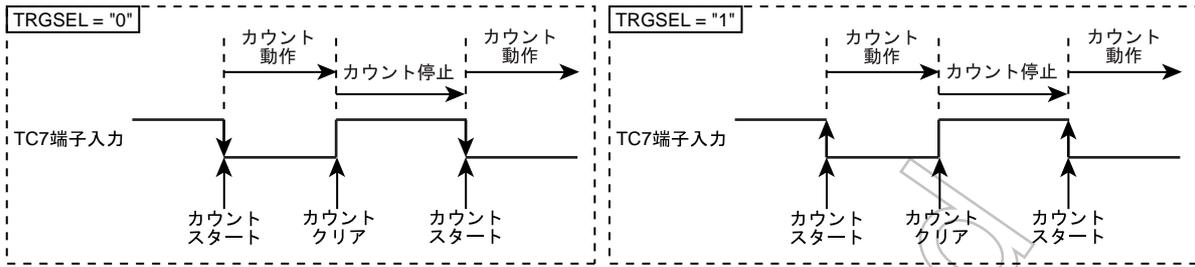
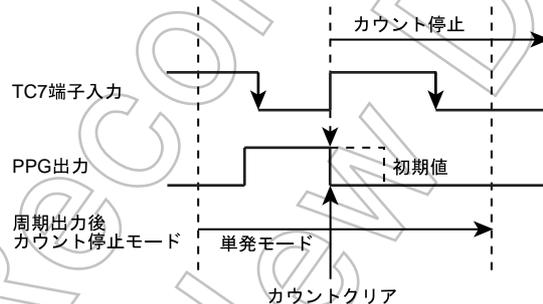


図 9-11 トリガの入力信号

TRGSEL = “0” として立ち下がりエッジスタートを選択した場合、TC7 端子入りに立ち下がりエッジを検出するとカウントを開始し、TC7 端子入りが “HIGH” レベルになると、カウンタはクリアされ PPG 出力は初期状態となり、TC7 端子入りが “HIGH” レベルの間はカウンタを停止しています。

TRGSEL = “1” として立ち上がりエッジスタートを選択した場合、TC7 端子入りに立ち上がりエッジを検出するとカウントを開始し、TC7 端子入りが “LOW” レベルになるとカウンタはクリアされ PPG 出力は初期状態となり TC7 端子入りが “LOW” レベルの間はカウンタを停止しています。

なお、周期ストップモード中はトリガによるストップは受け付けませんが、スタートは受け付けません (周期中にストップトリガを受け付けるとその時点で出力は初期値となりカウンタは停止します)。



タイマが停止 (TC7ST = “0”) 状態ではすべてのトリガ (スタート/ストップ) は受け付けません。

(2) トリガの常時受け付け許可、アクティブ中受付禁止の選択

PPG 出力中常時 TC7 端子からのトリガを受け付けるか、PPG 出力がアクティブ中はトリガ受付を禁止するかを TC7CR1<TRGAM> により選択できます。

- TRGAM = “0”: PPG1/PPG2 のアクティブ / ノンアクティブの出力状態にかかわらず TC7 端子からのトリガ入力を常時受け付け、タイマのスタート / クリア停止を行うとともに、PPG1/PPG2 の出力がノンアクティブ状態となります。
- TRGAM = “1”: PPG1/PPG2 の出力がノンアクティブ状態の時のみ TC7 端子からのトリガ入力を受け付け、タイマのスタート / クリア停止を行います。アクティブ状態の時は TC7 端子からのトリガ入力は受付ません。

ただし、PPG1OE/PPG2OE で出力許可に設定してある端子のアクティブ / ノンアクティブ状態のみが有効となります。

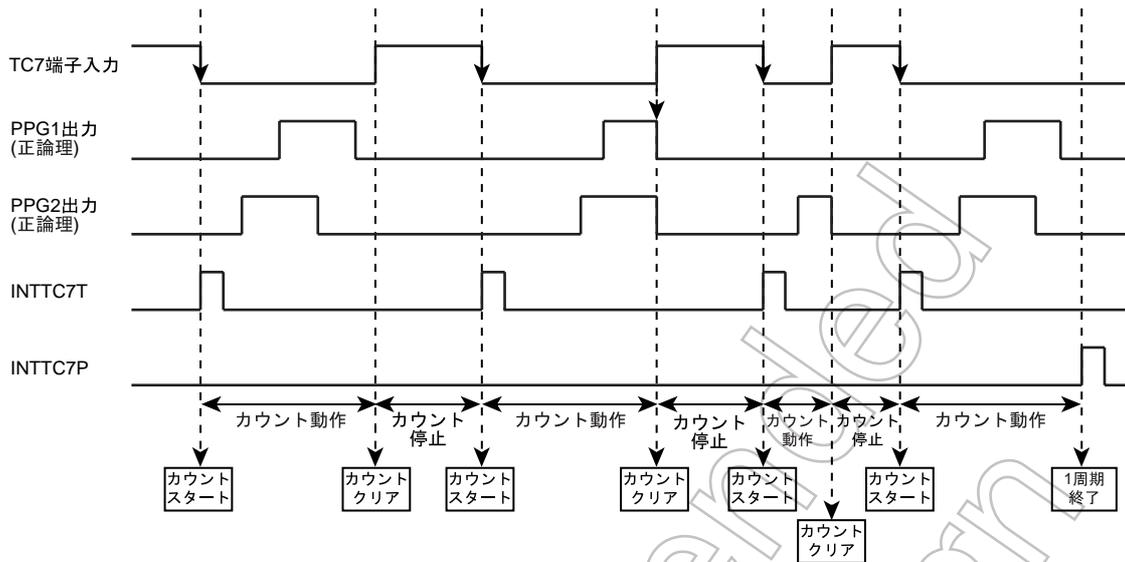


図 9-12 TC7 端子によるトリガスタート / クリア停止

立ち下がりエッジスタート (HIGH レベルカウント停止)、常時トリガエッジ受け付け許可

(3) アクティブ中トリガ受け付け禁止

アクティブ中トリガ受け付け禁止 (TRGAM = 1) にすると、PPG1 および PPG2 出力が非アクティブ状態の時に入力されたエッジは受け付けられ、カウントクリア、停止します。PPG1 および PPG2 出力がアクティブ状態で入力された場合、カウントはすぐに停止せず、出力が非アクティブ状態になるまでカウント継続します。非アクティブ状態になったときにトリガ信号のレベルが動作しないレベルであればカウントクリア停止し、次のスタートトリガを待ちます。PPG1, PPG2 の両方出力許可で動作させる場合は PPG1, PPG2 の両方の出力が非アクティブ状態でなければトリガは受け付けられません。

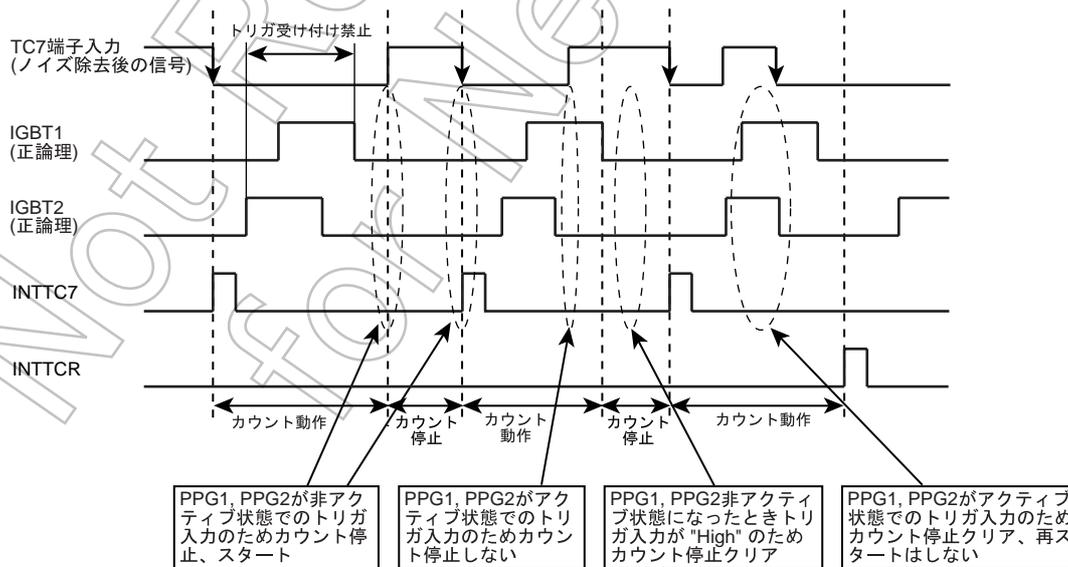


図 9-13 TC7 のトリガスタート

立ち下がりエッジスタート (High レベルカウント動作)、
アクティブ出力中トリガエッジを受け付け禁止

9.4.3 タイマ停止時の制御設定

TC7ST を“0”にすると STM の設定に従って、出力状態の選択、タイマの停止を行います。

9.4.3.1 出力初期状態でカウント停止

STM が“00”の場合はカウントは即停止し、PPG1, PPG2 の出力は、PPG1INI, PPG2INI で設定した初期値になります。

9.4.3.2 出力保持状態でカウント停止

STM が“01”の場合はカウントは即停止し、PPG1, PPG2 の出力はそのときの状態を保持をします。

出力保持状態 (STM = “01”) から再スタートする場合は TC7ST = “1” に設定し再スタートします。このとき出力は初期値 (PPG1INI, PPG2INI の設定値) になってから再スタートします。

9.4.3.3 1 周期終了後に初期状態でカウント停止

STM が“10”の場合はカウントは出力されている周期の出力が完了するまでカウント動作し、周期終了後カウンタは停止します。ただし、周期終了までの間にトリガ入力にストップレベルが入力されると、そこでカウンタは停止します。

なお、カウンタが完全に停止するまで TC7CR1, TC7CR2 の書き替えは行わないでください。

カウンタが停止したかは CNTBF フラグ (TC7CR3<CNTBF>) をリードすることによりモニタすることができます。

9.4.4 単発 / 連続出力モード

9.4.4.1 単発出力モード

タイマスタート時 (TC7ST = “1”) に STM = “10” とすると単発出力モードになります。単発出力モードは 1 周期を出力終了後にカウントを停止します。

トリガスタートの場合はトリガが入力されるまでカウントは停止し、指定されたトリガの入力でカウントが再スタートし 1 周期の出力後、もしくは、トリガ入力にストップレベルを受け付け後、再びトリガ待ち状態になります。

コマンドスタート時は再度 TC7ST に “1” を書き込むまでカウントは停止しています。

なお、カウンタが完全に停止するまで TC7CR1, TC7CR2 の書き替えは行わないでください。

カウンタが停止したかは CNTBF フラグ (TC7CR3<CNTBF>) をリードすることによりモニタすることができます。

また、カウンタが停止しても TC7ST は “1” のまま変化しません。

TC7ST = “1” の状態のときに STM = “10” とするとそこでカウンタはクリアされカウントは最初から再スタートし、単発出力となります。

9.4.4.2 連続出力モード

タイマスタート時 (TC7ST = “1”) に STM = “00” または “01” とすると連続出力モードになります。連続出力モードは連続して設定された波形を出力するモードです。

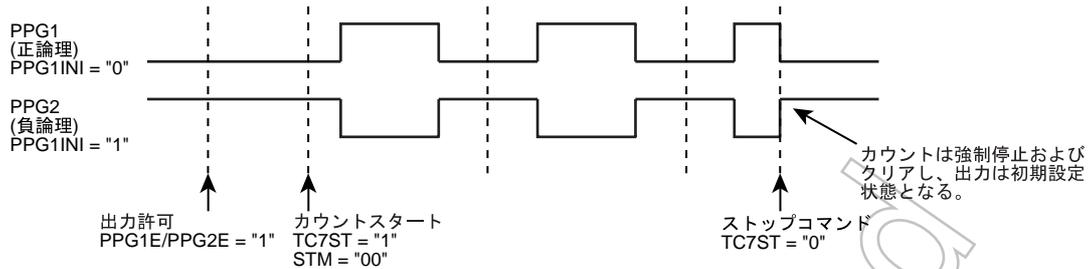


図 9-14 出力初期状態でカウント即時停止クリア (STM = "00")

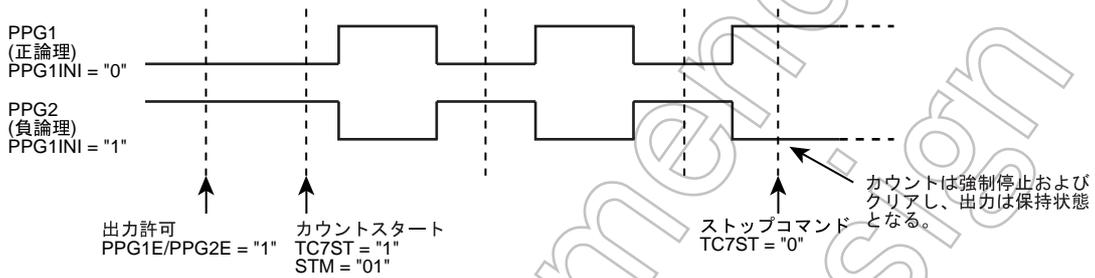


図 9-15 出力保持状態でカウント即時停止クリア (STM = "01")

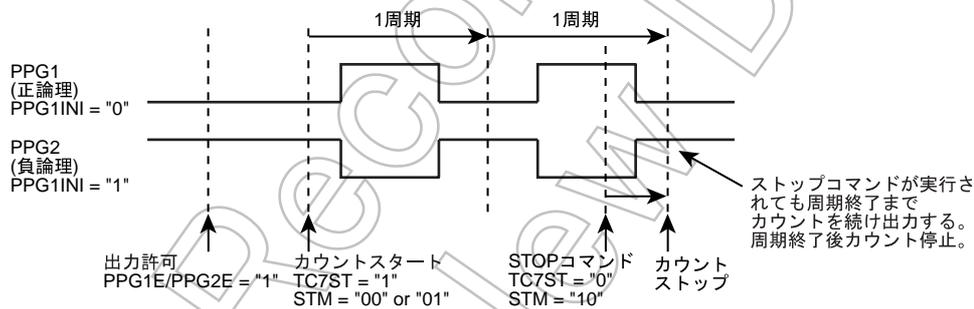


図 9-16 周期出力後カウント停止 (STM = "10")

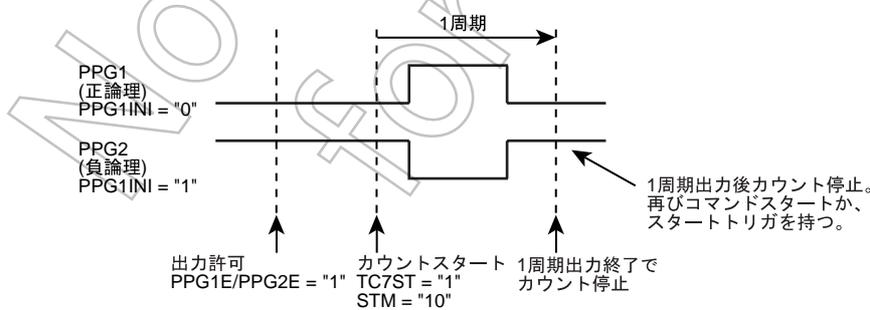


図 9-17 周期出力後カウント停止 (STM = "10"), TC7ST = "1" 単発出力

9.4.5 PPG 出力制御 (出力の初期値 / 論理、出力の禁止許可)

9.4.5.1 PPG 出力の初期値 / 出力論理の選択

PPG1INI, PPG2INI (TC7CR1<PPG1INI>,TC7CR1<PPG2INI>) で PPG1, PPG2 出力の初期値を設定をします。

この初期値の設定により出力の論理を選択することができます。

(1) 正論理出力

“0” に設定すると、初期値は “Low” となり、カウンタの値とデッドタイム設定の一致で “High” 出力となります。

(2) 負論理出力

“1” に設定すると、初期値は “High” となり、カウンタの値とデッドタイム設定の一致で “Low” 出力となります。

9.4.5.2 PPG 出力の許可 / 禁止の選択

PPG1OE, PPG2OE (TC7CR2<PPG1OE>,TC7CR2<PPG2OE>) で PPG 出力の禁止 / 許可を設定します。禁止に設定すると、カウント動作している場合でも PPG 波形は出力はされず、PPG1, PPG2 は通常の入出力端子として使用することができます。

このとき端子の状態はポートレジスタの設定により決まります。

9.4.5.3 通常タイマカウンタとしての使用

PPG1E, PPG2E で PPG 出力を禁止しておくことで TC7 を通常タイマカウンタとして使用することも出来ます。この場合 INTTC7P の割り込みを使用してください。データレジスタ (TC7DRC) の設定値との一致で INTTC7P 割り込みが発生します。カウントのスタートはスタート制御 (TC7S) にて、コマンドスタート & キャプチャモードで行ってください。

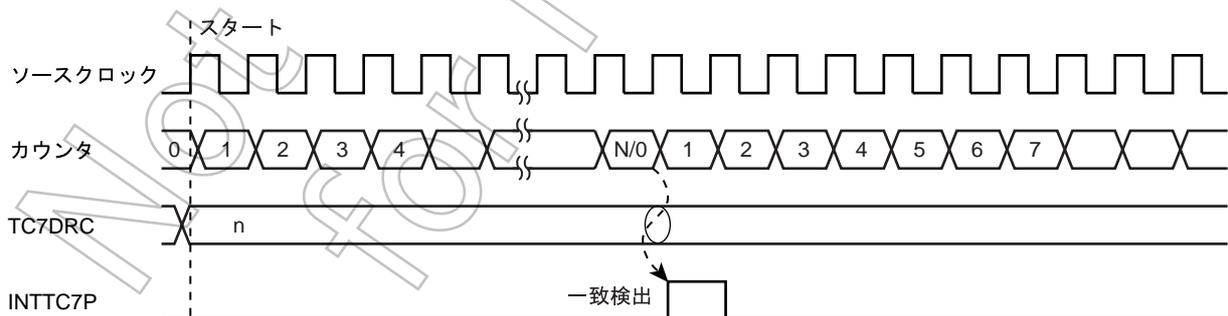


図 9-18 通常タイマカウンタとしての使用

9.4.6 TC7 端子入力ノイズ除去時間

TC7 端子へ入力される信号はデジタルノイズキャンセラによりノイズが除去されます。

デジタルノイズキャンセラはサンプリングクロックを NCRSEL の設定により $f_c/4$, $f_c/2$, f_c とし 5 回のサンプリングを行い、サンプリング回数以上の連続したレベル入力があれば信号として取り込み、サンプリング回数未満のレベル入力はノイズとしてキャンセルされます。

表 9-1 ノイズキャンセラ設定

NCRSEL	サンプリング周波数 (サンプリング回数)	確実にノイズとしてみなされるパルス幅			確実に信号としてみなされるパルス幅		
			8 MHz 時	16 MHz 時		8 MHz 時	16 MHz 時
00	$fc/4$ (5 回)	$16/fc$ [s]	2 [μs]	1 [μs]	$20/fc$ [s]	2.5 [μs]	1.25 [μs]
01	$fc/2$ (5 回)	$8/fc$ [s]	1 [μs]	500 [ns]	$10/fc$ [s]	1.25 [μs]	0.625 [μs]
10	fc (5 回)	$4/fc$ [s]	0.5 [μs]	250 [ns]	$5/fc$ [s]	0.625 [μs]	0.3125 [μs]
11	(なし)	なし	-	-	$(1/fc)$		

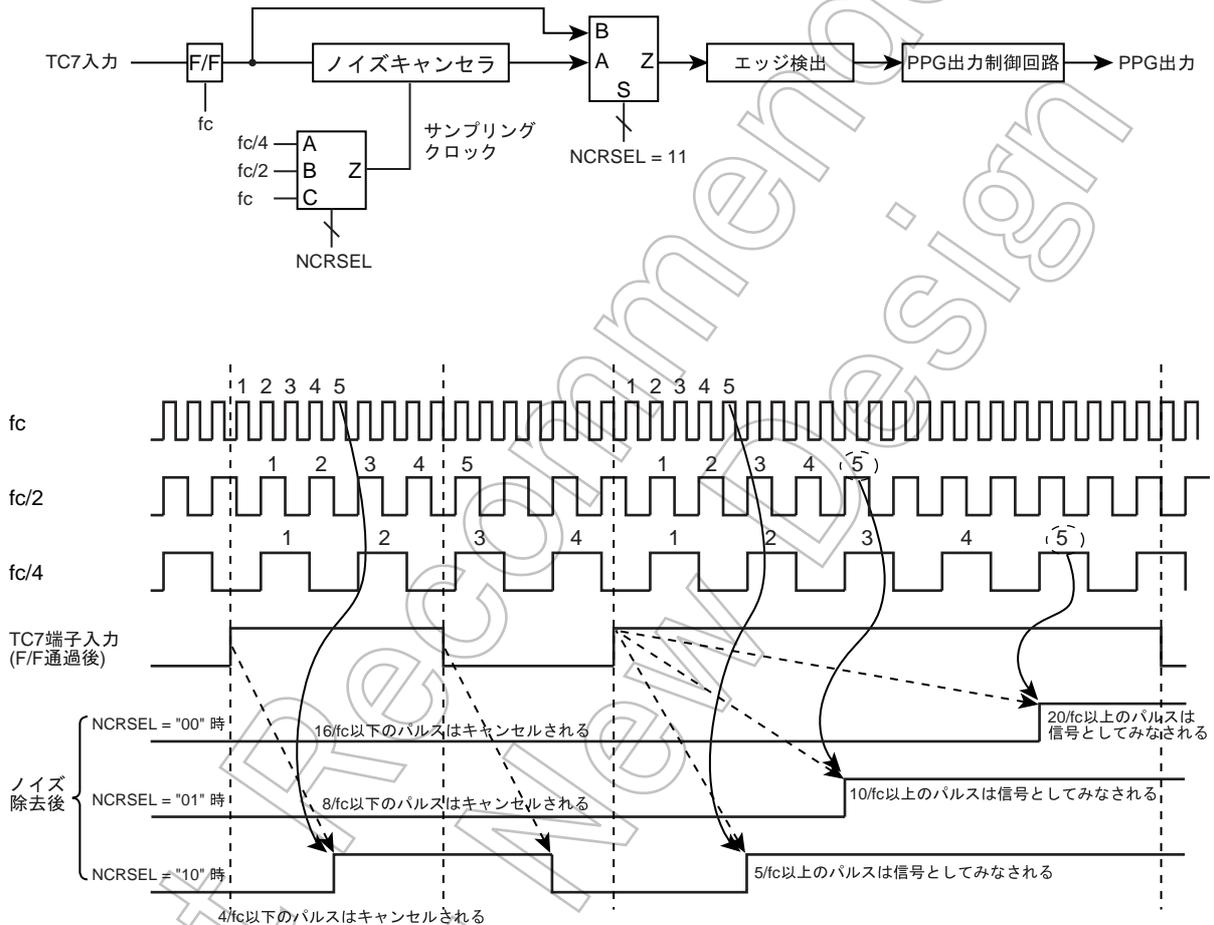


図 9-19 ノイズキャンセラ動作

- NCRSEL = “00” のときは、F/F 通過後の TC7 入力が $16/fc$ [s] 以下の場合には確実にキャンセルされ、 $20/fc$ [s] 以上の場合には確実に信号としてみなされます。TC7 端子に入力された信号が F/F を通過してから PPG 出力が変化するまで最小 $21/fc$ 、最大 $24/fc$ [s] の遅れが生じます。
- NCRSEL = “01” のときは F/F 通過後の TC7 端子入力が $8/fc$ [s] 以下の場合には確実にキャンセルされ、 $10/fc$ [s] 以上の場合には確実に信号としてみなされます。TC7 端子に入力された信号が F/F を通過してから PPG 出力が変化するまで、最小 $13/fc$ 、最大 $14/fc$ [s] の遅れが生じます。
- NCRSEL = “10” のときは F/F 通過後の TC7 端子入力が $4/fc$ [s] 以下の場合には確実にキャンセルされ、 $5/fc$ [s] 以上の場合には確実に信号としてみなされます。TC7 端子に入力された信号が F/F を通過してから PPG 出力が変化するまで、 $5/fc$ [s] の遅れが生じます。

- NCRSEL = “11” のとき $1/f_c$ 未満のパルスは初段の F/F により、信号と見なす場合とノイズとしてキャンセルされる場合があります。 $1/f_c$ 以上の信号を入力してください。 TC7 端子に入力された信号が F/F を通過してから PPG 出力が変化するまで、 $4/f_c$ [s] の遅れが生じます。

- 注 1) 一度設定したノイズ除去時間を変更するときに端子入力レベルに変化があると、ノイズをパルスと判定したり、パルスをノイズと判定する場合があります。
- 注 2) 連続して内部のサンプリングタイミングに同期してノイズが入ると、信号としてみなされる場合があります。
- 注 3) TC7 端子に入力された信号が F/F を通過するまで、最大 $1/f_c$ [s] かかります。

9.4.7 割り込み

TC7 には割り込みが 3 要因あります。

9.4.7.1 INTTC7T (トリガスタート割り込み)

トリガ割り込み (INTTC7T) は TC7CR1<TRGST> で指定されたエッジが入力され、カウントがスタートした時に発生します。カウントクリア時のトリガエッジでは発生しません。なお、トリガキャプチャモード時のトリガエッジでは割り込みは発生しません。また、緊急出力停止中もスタートトリガで割り込みが発生します。

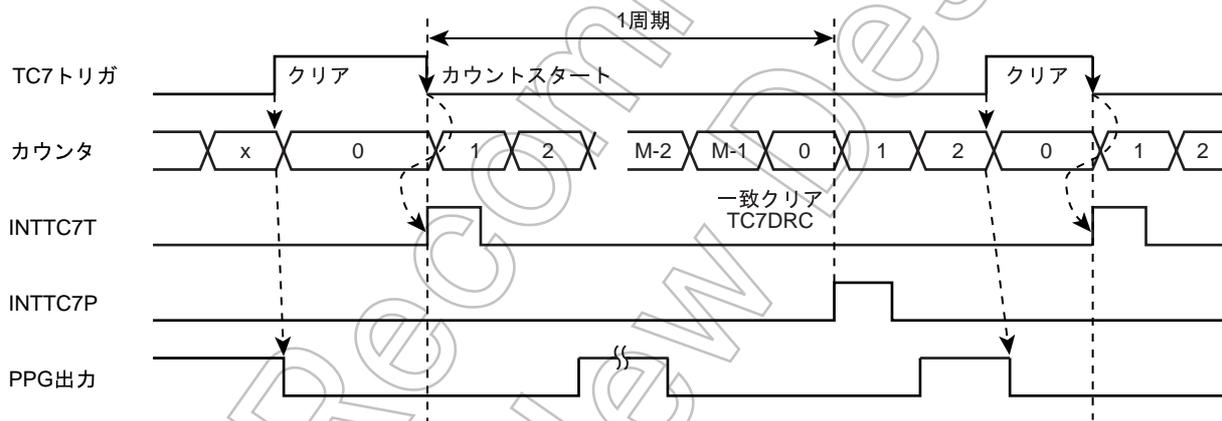


図 9-20 トリガスタート割り込み

9.4.7.2 INTTC7P (ピリオド割り込み)

ピリオド割り込み (INTTC7P) はコマンドスタートでカウント開始時点、およびカウンタ周期設定値 (TC7DRC) までカウントが進み、カウンタがクリアされた時点 (周期設定値と一致し周期終了) で発生します。また、緊急出力停止中も周期との一致で割り込みが発生します。

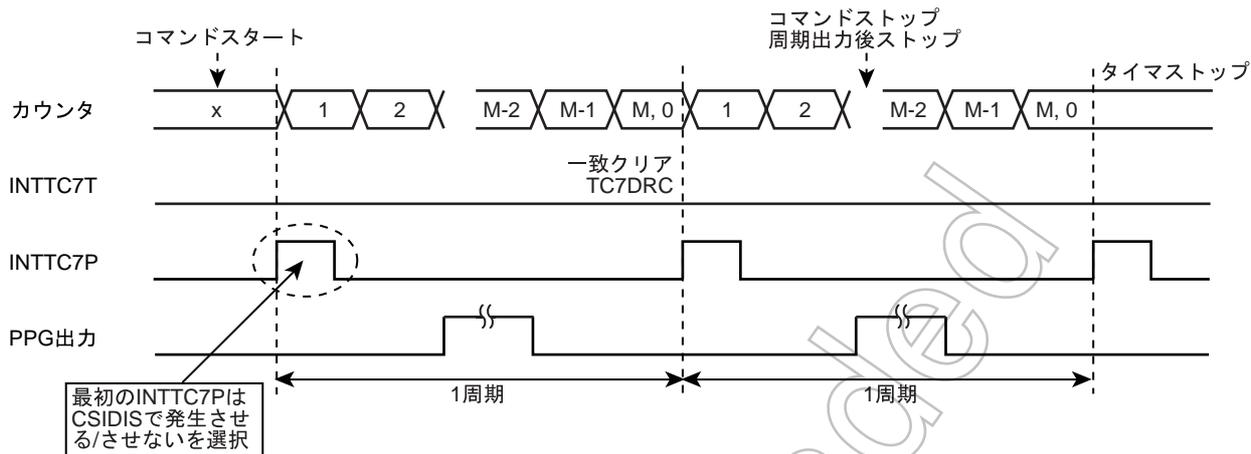


図 9-21 ピリオド割り込み

なお、コマンドスタート時 (TC7ST に“1”を書き込み時) TC7 端子が停止レベルだった場合、カウントはスタートせず (INTTC7P も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTTC7T が発生します。

9.4.7.3 INTEMG (緊急出力停止割り込み)

緊急出力停止割り込み (INTEMG) は緊急出力停止回路が動作し PPG 出力を緊急停止させた場合に発生します。

9.4.8 PPG 緊急出力停止機能

TC7CR2<EMGIE> を“1”にすることで、PPG 緊急出力停止機能が許可 (EMG 端子入力の許可) されます。

EMG 端子に“Low”レベル入力が検知されると、PPG 波形を初期状態 (PPG1INI, PPG2INI の設定) にし EMG 割り込み (INTEMG) を発生します。(PPG 緊急出力停止)

なお、この機能は PPG 出力を禁止するだけでカウント動作は停止しませんので、EMG 割り込み処理ルーチン内でタイマ停止の処理を行ってください。

注) EMG 端子には最小 $4/f_c$ [s] 以上の“L”レベルを入力してください。 $4/f_c$ [s] 未満では PPG 緊急出力停止機能が正しく動作しない場合があります。

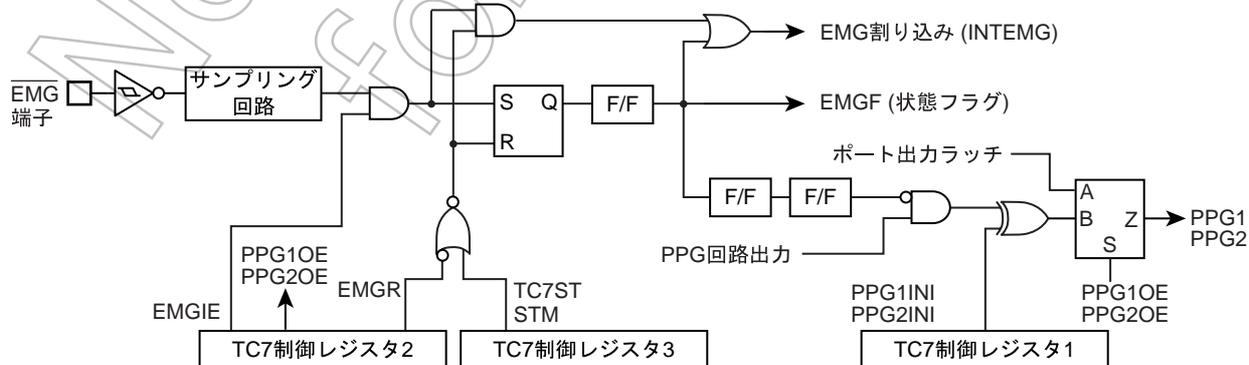


図 9-22 EMG 端子

9.4.8.1 $\overline{\text{EMG}}$ 端子の入力の許可 / 禁止

TC7CR2<EMGIE> を“1” に設定することで $\overline{\text{EMG}}$ 端子の入力が許可され、“0” を設定することで $\overline{\text{EMG}}$ 端子の入力が禁止されます。(初期状態では EMGIE は“0”になっており緊急出力停止入力 ($\overline{\text{EMG}}$ 端子入力) は禁止となっています。)

なお、 $\overline{\text{EMG}}$ 端子の入力は兼用ポート端子が入力モードとなっていないと入力信号が有効となりませんので、兼用ポート端子を必ず入力モードに切り替えてからご使用ください。

また $\overline{\text{EMG}}$ 端子の入力は、高周波クロックでサンプリングされています。高周波クロックが停止した場合、PPG 緊急出力停止機能は正しく動作しません。

9.4.8.2 PPG 緊急出力停止モニタ

PPG 緊急出力停止状態になると TC7CR3<EMGF> が“1”にセットされます。EMGF をリードしたとき“1”の場合は PPG 緊急出力停止中 (PPG 出力が禁止された状態) であることを示します。この状態からタイマの再スタートをするときは必ずタイマの停止設定を行ったのち、PPG 緊急出力停止状態を解除 (EMGR = 1, TC7CR2 の Bit7) してから制御レジスタ/データレジスタの再設定を行ってタイマを再スタートさせてください。

9.4.8.3 EMG 割り込み

PPG 緊急出力停止入力が受け付けられると EMG 割り込み (INTEMG) を発生します。処理を割り込みによって行うときは事前に INTEMG 割り込みを許可しておいてください。

また、EMGIE = “1” ($\overline{\text{EMG}}$ 端子入力の許可)、 $\overline{\text{EMG}}$ 端子の状態が “Low”、の状態でも PPG 緊急出力停止状態を解除しても再び割り込みが発生し PPG 緊急出力停止状態となります。

なお、タイマスタートしていなくても EMGIE = “1” であれば、停止入力が受け付けられると INTEMG は発生します。

9.4.8.4 PPG 緊急出力停止状態の解除

緊急出力停止状態を解除するときは、 $\overline{\text{EMG}}$ 端子入力が High の状態で TC7CR3<TC7ST> を“0”、TC7CR3<STM> を“00”にしタイマ動作を停止させた後、TC7CR2<EMGR> に“1”を設定することにより緊急出力停止状態が解除されます。TC7ST が“0”、STM が“00”以外の状態で EMGR を“1”にしても緊急出力停止状態は解除されませんので、必ず TC7ST を“0”、STM を“00”にした後、EMGR を“1”にしてください。

なお、緊急出力停止状態を解除したときに $\overline{\text{EMG}}$ 端子が “Low” かつ EMGIE = “1” のときは再び緊急出力停止状態となり INTEMG 割り込みが発生します。

9.4.8.5 緊急出力停止状態解除後のタイマ再スタート

緊急出力停止状態を解除後にタイマを再スタートするときは、制御レジスタ (TC7CR1, TC7CR2, TC7CR3) を再設定してタイマを再スタートさせてください。

緊急出力停止状態ではタイマの再スタートができませんので、緊急出力停止状態をモニタし緊急出力停止状態を解除した後に制御レジスタを再設定してタイマを再スタートさせてください。再設定はタイマ動作制御の設定手順に従って再設定をしてください。

9.4.8.6 $\overline{\text{EMG}}$ 端子入力から PPG 出力が初期状態となるまでの反応時間

$\overline{\text{EMG}}$ 端子に “Low” レベル信号が入力されて、実際に PPG 出力が初期状態となるまでの時間は最大 $10/f_c$ [s] となります。

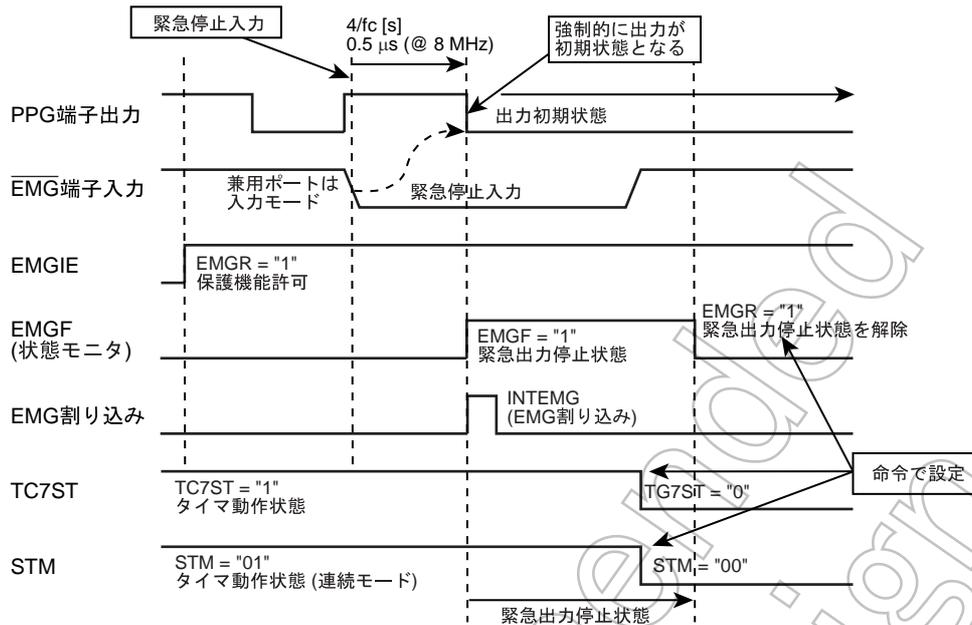


図 9-23 EMG 端子入力から PPG 出力ディセーブルまでのタイミング

9.4.9 TC7 の動作とマイコン動作モードについて

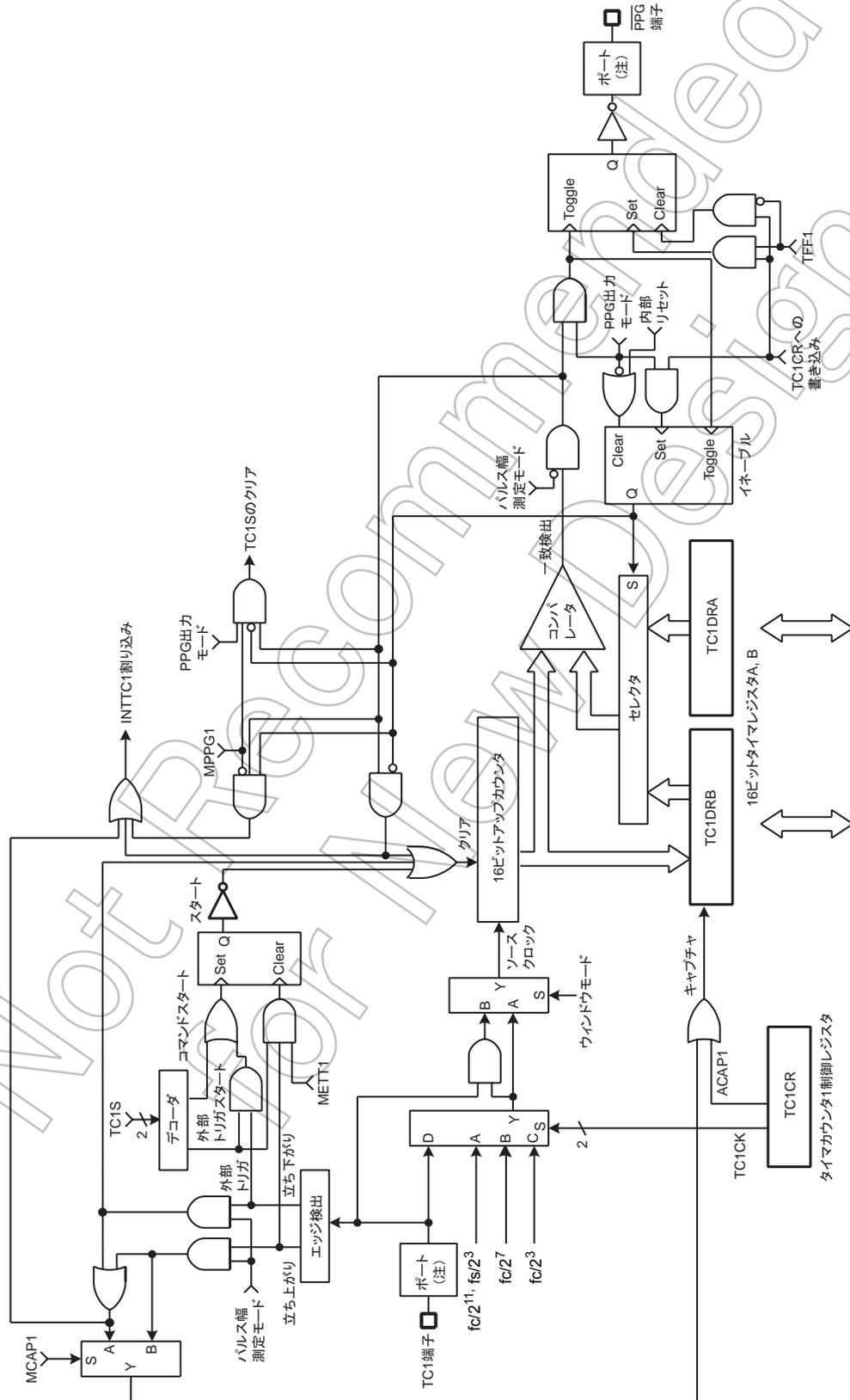
TC7 の動作する動作モードは NORMAL1, NORMAL2, IDLE1, IDLE2 となります。NORMAL/IDLE で TC7 動作中に STOP, SLOW, SLEEP へ動作モードが切り替えられると TC7 は初期化されタイマ動作は停止します。

NORMAL、IDLE モードでタイマ動作中に STOP/SLOW/SLEEP モードに切り替えるときは TC7 タイマを停止させてから動作モード切り替え命令を実行してください。

STOP/SLOW/SLEEP から NORMAL モードへ切り替え TC7 を再び動作させるときは TC7 動作手順に従ってすべてのレジスタの再設定を行ってください。

第 10 章 16 ビットタイマカウンタ 1 (TC1)

10.1 構成



注) I/Oポートの設定によっては、制御入出力が機能しないことがありますので、詳しくはI/Oポートの章を参照してください。

図 10-1 タイマカウンタ 1 (TC1)

10.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC1DRA (0011H, 0010H)	TC1DRAH (0011H) (初期値: 1111 1111 1111 1111)								TC1DRAL (0010H) Read/Write							
TC1DRB (0013H, 0012H)	TC1DRBH (0013H) (初期値: 1111 1111 1111 1111)								TC1DRBL (0012H) Read/Write (PPG 出力モード時のみ Write 可)							

タイマカウンタ 1 制御レジスタ

	7	6	5	4	3	2	1	0
TC1CR (0014H)	TFF1	ACAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M	Read/Write (初期値: 0000 0000)		

TFF1	タイマ F/F1 制御	0: クリア	1: セット	R/W								
ACAP1	自動キャプチャ制御	0: 自動キャプチャディセーブル	1: 自動キャプチャイネーブル	R/W								
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ	1: 片エッジキャプチャ									
METT1	外部トリガタイマモード制御	0: トリガスタート	1: トリガスタート & ストップ									
MPPG1	PPG 出力制御	0: 連続	1: 単発									
TC1S	タイマカウンタ 1 のスタート制御	00: ストップ & カウンタクリア	01: コマンドスタート		10: 立ち上がりエッジスタート (外部トリガ / パルス / PPG) 立ち上がりエッジカウント (イベント) 正論理カウント (ウィンドウ)	11: 立ち下がりエッジスタート (外部トリガ / パルス / PPG) 立ち下がりエッジカウント (イベント) 負論理カウント (ウィンドウ)	タイマ	外部	イベント	ウィンドウ	パルス	PPG
TC1CK	タイマカウンタ 1 のソースクロックの選択 単位: [Hz]	NORMAL 1/2, IDLE 1/2 モード		デバイダ	SLOW, SLEEP モード	R/W						
		DV7CK = 0	DV7CK = 1									
		00: $fc/2^{11}$	$fs/2^3$	DV9	$fs/2^3$							
		01: $fc/2^7$	$fc/2^7$	DV5	-							
		10: $fc/2^3$	$fc/2^3$	DV1	-							
		11: 外部クロック (TC1 端子入力)										
TC1M	タイマカウンタ 1 の動作モードの選択	00: タイマ / 外部トリガタイマ / イベントカウンタモード				R/W						
		01: ウィンドウモード										
		10: パルス幅測定モード										
		11: PPG (プログラマブルパルスジェネレート) 出力モード										

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

- 注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイマスタートまでに設定してください。
- 注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)
- 注 6) PPG 出力モード以外の動作モードでは TFF1 を "0" に設定してください。
- 注 7) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。
- 注 8) STOP モードを起動するとスタート制御 (TC1S) は自動的に "00" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。
- 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design

10.3 機能

タイマカウンタ 1 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

10.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TC1DRA) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC1CR<ACAP1>を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 10-1 タイマカウンタ 1 の内部ソースクロック (例 : $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC1CK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定 時間 [s]
	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]		
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	-	-
10	0.5	32.77 m	0.5	32.77 m	-	-

(プログラム例 1) ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。($f_c = 16 \text{ MHz}$, $\text{TBTCR}<\text{DV7CK}> = \text{"0"}$ 時)

LDW (TC1DRA), 1E84H ; タイマレジスタの設定 ($1 \text{ s} \div 2^{11}/f_c = 1\text{E}84\text{H}$)

DI ; IMF = "0"

SET (EIRL). 7 ; INTTC1 割り込みを許可

EI ; IMF = "1"

LD (TC1CR), 00000000B ; ソースクロック, モード選択

LD (TC1CR), 00010000B ; TC1 スタート

(プログラム例 2) 自動キャプチャ

LD (TC1CR), 01010000B ; ACAP1 \leftarrow 1

: : :

LD WA, (TC1DRB) ; キャプチャ値の読み出し

注) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

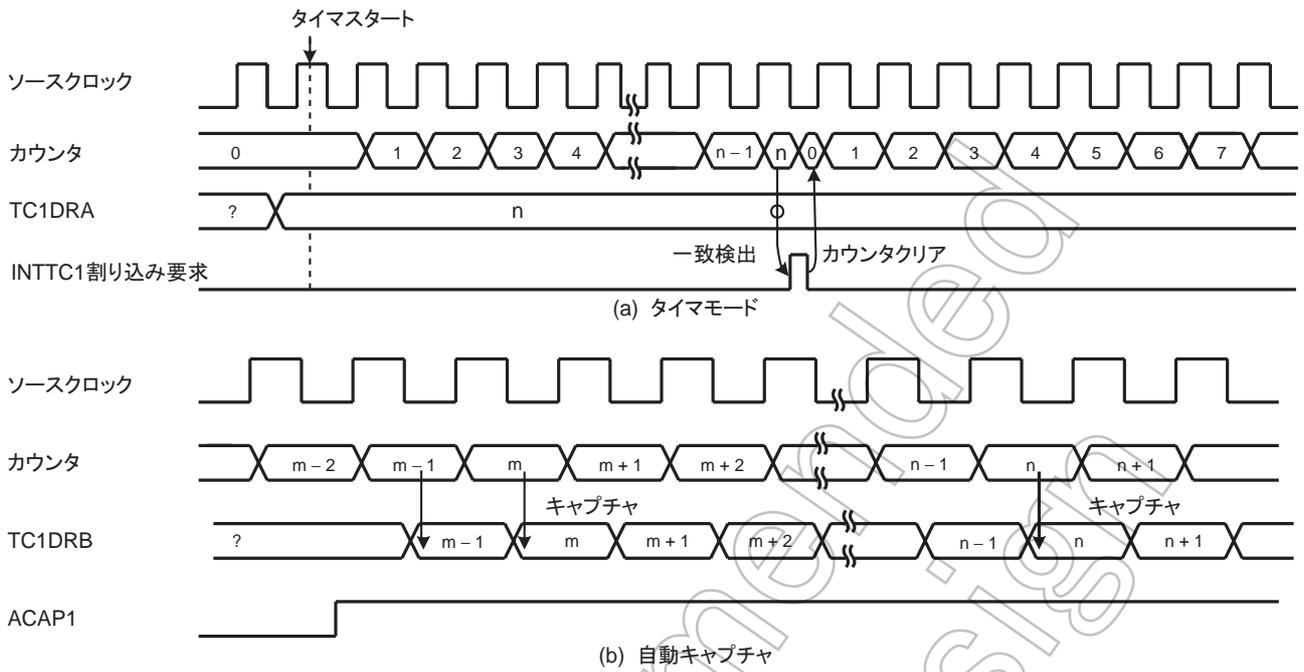


図 10-2 タイマモードタイミングチャート

10.3.2 外部トリガタイマモード

外部トリガタイマモードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- TC1CR<METT1> が “1” (トリガスタート & ストップ) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

ただしアップカウンタの値と TC1DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC1 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- TC1CR<METT1> が “0” (トリガスタート) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

アップカウンタの値と TC1DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

なお、TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 $4/f_c$ [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、 $12/f_c$ [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

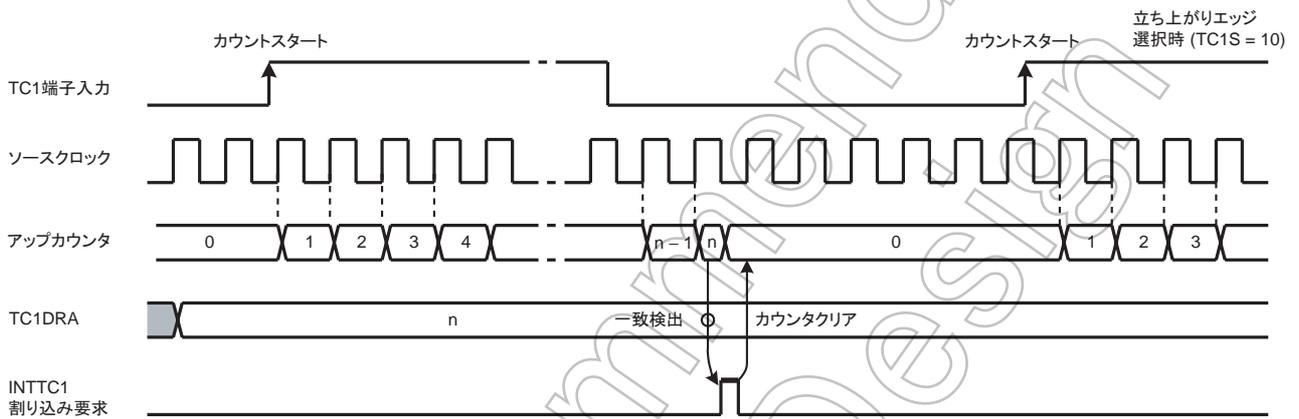
(プログラム例 1) TC1 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。

($f_c = 16 \text{ MHz}$ 時)

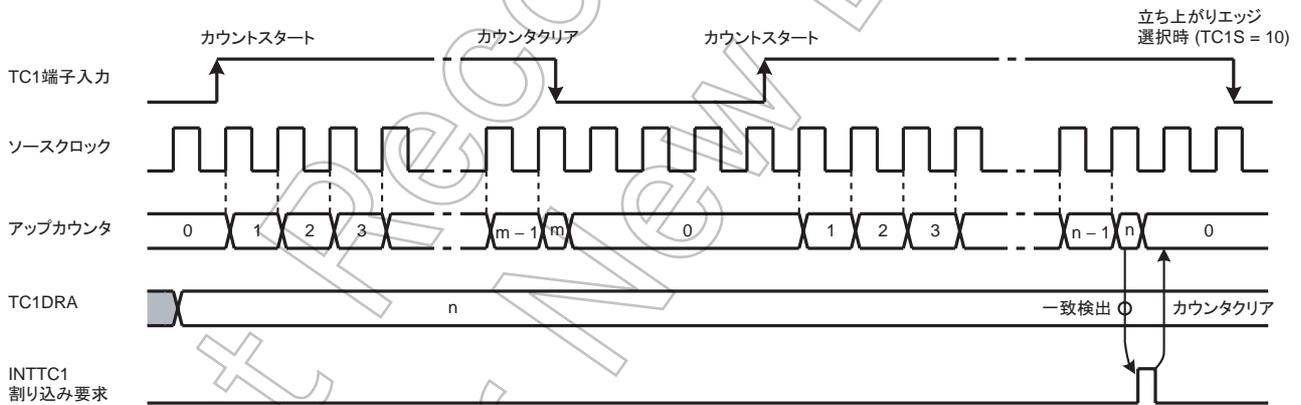
LDW	(TC1DRA), 007DH	; $1\text{ms} \div 2^7/f_c = 7\text{DH}$
DI		; IMF=“0”
SET	(EIRL). 7	; INTTC1 割り込み許可
EI		; IMF=“1”
LD	(TC1CR), 00000100B	; ソースクロック, モード選択
LD	(TC1CR), 00100100B	; TC1 外部トリガスタート, METT1=0

(プログラム例2) TC1 端子に“L” レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz 時)

LDW	(TC1DRA), 01F4H	; 4 ms ÷ 2 ⁷ /fc = 1F4H
DI		; IMF=“0”
SET	(EIRL), 7	; INTTC1 割り込み許可
EI		; IMF=“1”
LD	(TC1CR), 00000100B	; ソースクロック, モード選択
LD	(TC1CR), 01110100B	; TC1 外部トリガスタート, METT1=1



(a) トリガスタート (METT1 = 0)



(b) トリガスタート&ストップ (METT1 = 1)

注) m < n

図 10-3 外部トリガタイマモードタイミングチャート

10.3.3 イベントカウンタモード

イベントカウンタモードは、TC1 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC1 端子入力のエッジごとにカウントアップを継続します。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC1 割り込み要求は、アップカウンタと TC1DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC1 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC1CR<ACAP1> を “1” にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

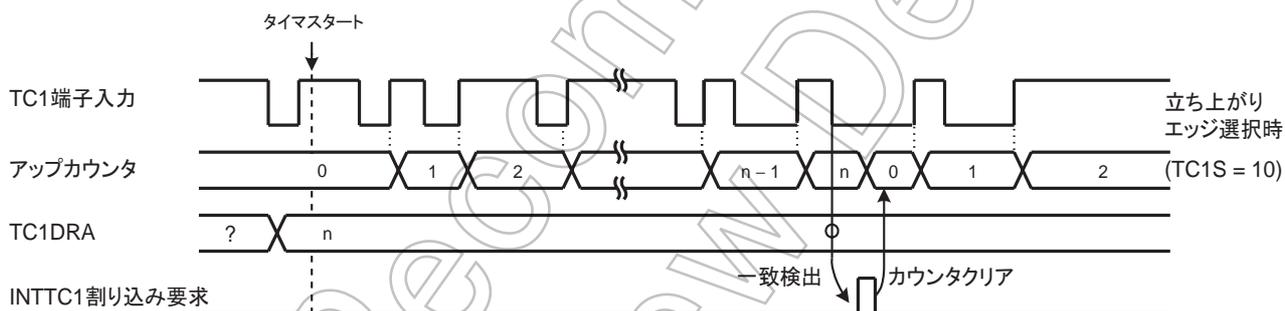


図 10-4 イベントカウンタモード タイミングチャート

表 10-2 タイマカウンタ 1 端子への入力パルス幅

	最小パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

10.3.4 ウィンドウモード

ウィンドウモードは、TC1 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、 $TC1CR < TC1S >$ によって正論理 (H レベルの期間カウントアップ) または負論理 (L レベルの期間カウントアップ) の選択をで行うことができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、 $TC1CR < TC1CK >$ で設定した内部クロックよりも十分遅い周波数を入力してください。

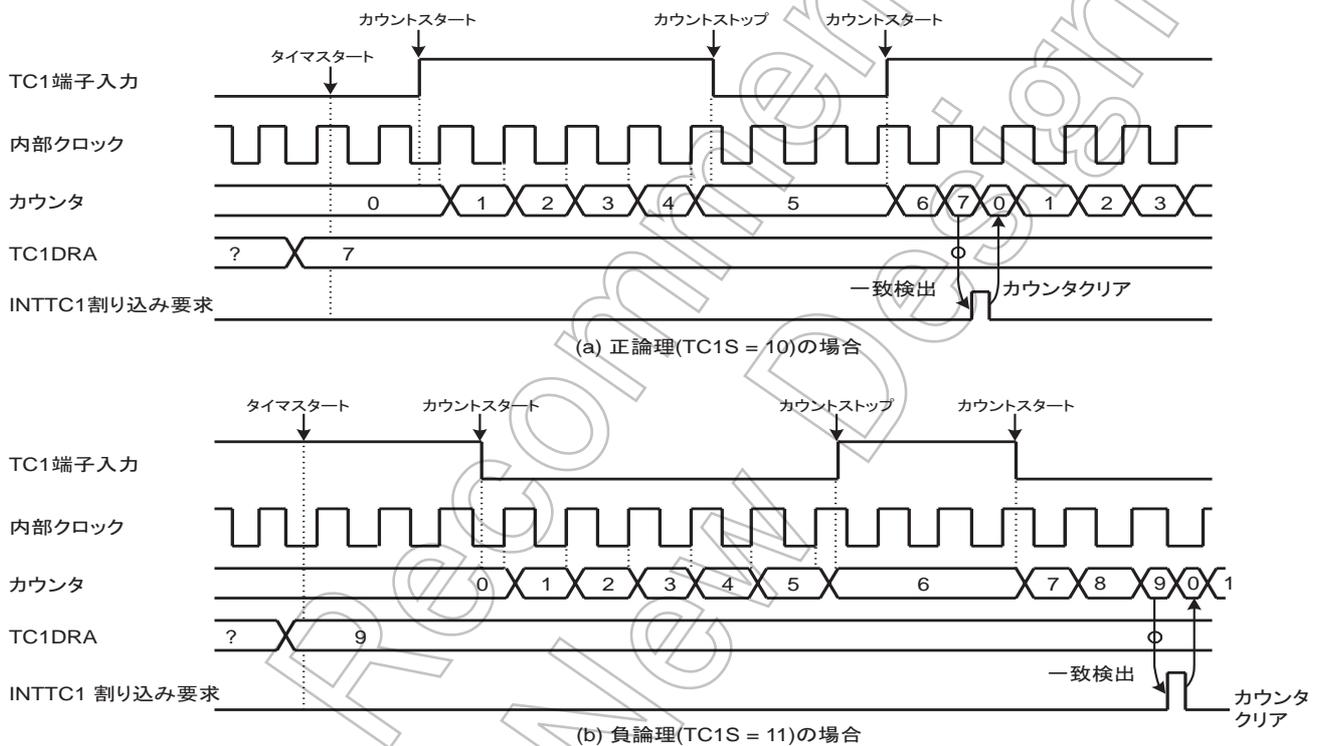


図 10-5 ウィンドウモード タイミングチャート

10.3.5 パルス幅測定モード

パルス幅測定モードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC1CR<MCAP1> によって、片エッジまたは両エッジのいずれかを選択することができます。

- TC1CR<MCAP1>= “1” (片エッジキャプチャ) の場合

H レベルまたは L レベルのいずれか一方の入力パルス幅を測定することができます。H レベルの入力パルス幅を測定する場合は TC1CR<TC1S> を立ち上がりエッジに、L レベルの入力パルス幅を測定する場合は TC1CR<TC1S> を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- TC1CR<MCAP1>= “0” (両エッジキャプチャ) の場合

H レベルと周期、または L レベルと周期のいずれかの入力パルス幅を測定することができます。H レベルと周期を測定する場合は TC1CR<TC1S> を立ち上がりエッジに、L レベルと周期を測定する場合は TC1CR<TC1S> を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

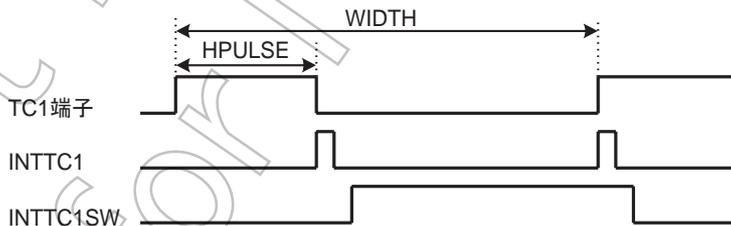
- 注 1) キャプチャ値は、次のトリガエッジが検出されるまでに TC1DRB から必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このとき TC1DRB は、16 ビットアクセス命令による読み出しを推奨します。
- 注 2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで “1” で停止するため、2 回目のキャプチャ値は、スタート直後のキャプチャ値よりも “1” 大きくなります。
- 注 3) タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の 1 回目のキャプチャ値は読み捨ててください。

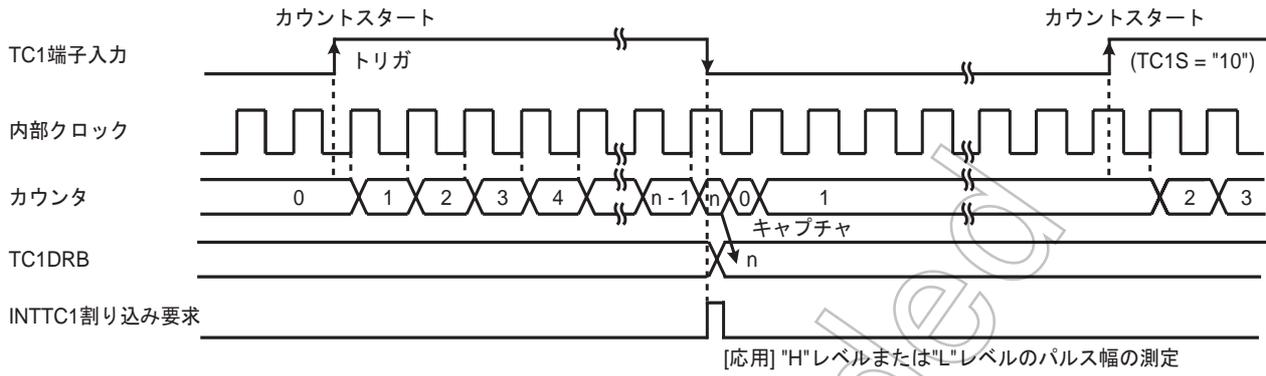
(プログラム例) デューティの測定。(分解能 $f_c/2^7$ [Hz] 時)

```

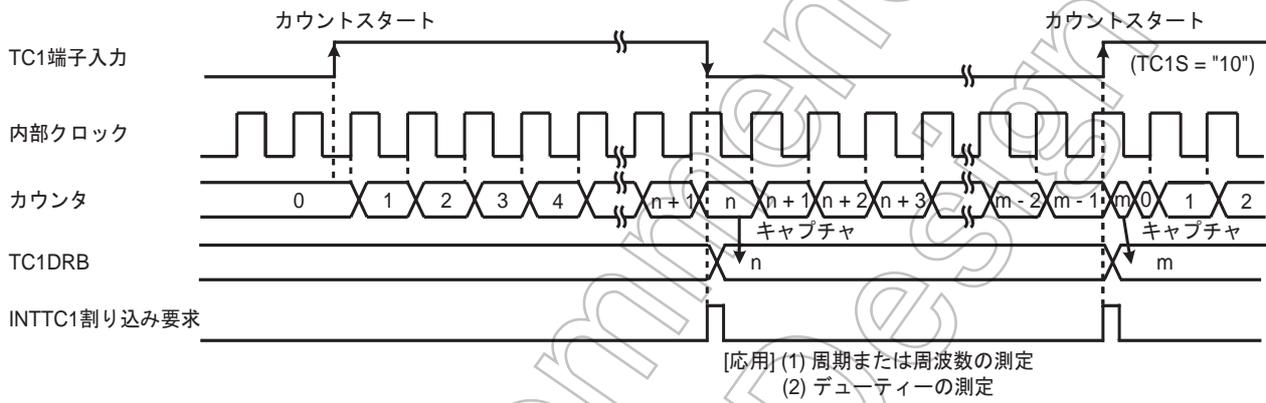
CLR      (INTTC1SW). 0      ; INTTC1 のサービススイッチの初期設定 (INTTC1SW):
                                INTTC1 ごとに反転するように設定したアドレス

LD      (TC1CR), 00000110B  ; TC1 のモード, ソースクロックを設定
DI      ; IMF="0"
SET     (EIRL). 7          ; INTTC1 割り込みを許可。
EI      ; IMF="1"
LD      (TC1CR), 00100110B  ; MCAP1 = 0 で TC1 を外部トリガスタート。
:
PINTTC1: CPL      (INTTC1SW). 0      ; INTTC1 割り込み, INTTC1 のサービススイッチの
                                反転 / テスト
JRS     F, SINTTC1
LD      A, (TC1DRBL)        ; TC1DRB の読み出し ("H" レベルパルス幅)
LD      W,(TC1DRBH)
LD      (HPULSE), WA       ; "H" レベルパルス幅を RAM に格納
RETI
SINTTC1: LD      A, (TC1DRBL)        ; TC1DRB の読み出し (周期)
LD      W,(TC1DRBH)
LD      (WIDTH), WA       ; 周期を RAM に格納
:
RETI    ; デューティ計算
:
VINTTC1: DW      PINTTC1        ; INTTC1 割り込みベクタ設定
    
```





(a) 片エッジキャプチャ (MCAP1 = "1")



(b) 両エッジキャプチャ (MCAP1 = "0")

図 10-6 パルス幅測定モード

10.3.6 プログラマブルパルスジェネレータ (PPG) 出力モード

PPG 出力モードは、内部クロックのカウントによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC1CR<TC1S> によって TC1 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC1CR<MPPG1> によって PPG を連続して出力するか単発で出力するかを選択することができます。

- TC1CR<MPPG1>="0"(連続)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

なお、PPG 出力中に TC1S を "00" に設定すると、 $\overline{\text{PPG}}$ 端子は停止直前のレベルを保持します。

- TC1CR<MPPG1>="1"(単発)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このとき TC1CR<TC1S> は自動的に "00" にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、 $\overline{\text{PPG}}$ 端子は TC1CR<TEF1> によって出力レベルを設定することができますので、正論理 / 負論理いずれのパルスも出力することが可能です。なお、PPG 端子は、タイマ F/F1 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC1CR<TFF1> を "0" に、L レベルに設定する場合は TC1CR<TFF1> を "1" に設定してください。リセット時、タイマ F/F1 は "0" に初期化されます。

注 1) タイマ動作中に TC1DRA、TC1DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1> はタイマ動作中に変更しないでください。TC1CR<TFF1> は、初期設定時(リセット後)のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1> は正しく設定することができなくなります(このとき TC1CR<TFF1> を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M> を一度タイマモードに変更し(タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1> を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。
TC1DRA > TC1DRB

注 4) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。

(プログラム例) “H” レベル 800 μ s, “L” レベル 200 μ s のパルスを出力。(fc = 16 MHz 時)

ポートを設定する

```

LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW     (TC1DRA), 007DH        ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW     (TC1DRB), 0019H        ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B     ; タイマスタート
    
```

(プログラム例) PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz 時)

ポートを設定する

```

LD      (TC1CR), 10000111B      ; PPG 出力モードに設定, ソースクロック選択
LDW     (TC1DRA), 007DH        ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW     (TC1DRB), 0019H        ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD      (TC1CR), 10010111B     ; タイマスタート
:      :
LD      (TC1CR), 10000111B     ; タイマストップ
LD      (TC1CR), 10000100B     ; タイマモードに設定
LD      (TC1CR), 00000111B     ; PPG 出力モード、TFF1=0 に設定
LD      (TC1CR), 00010111B     ; タイマスタート
    
```

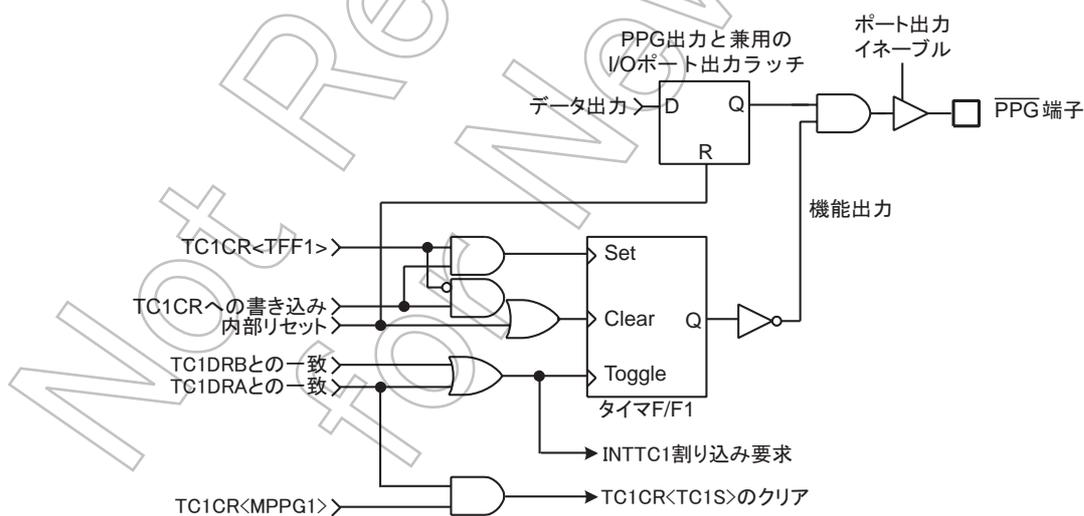


図 10-7 PPG 出力

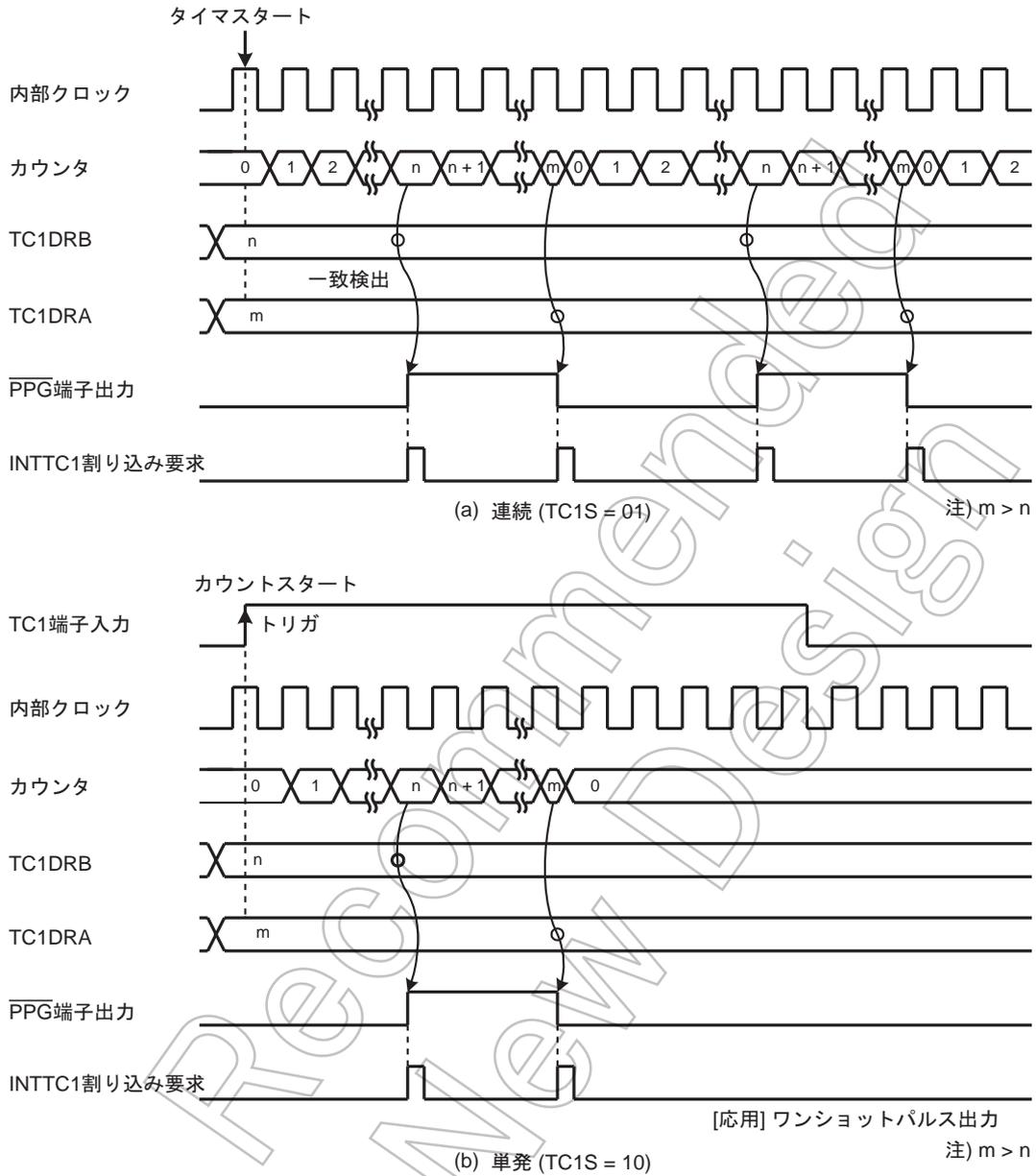


図 10-8 PPG 出力モード タイミングチャート

Not Recommended
for New Design

11.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ3のタイマレジスタ

TTREG3 (0019H) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

PWREG3 (0017H) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

- 注 1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ3制御レジスタ

TC3CR (0015H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	TFF3	TC3CK			TC3S	TC3M			

TFF3	タイマ F/F3 の制御	0: クリア 1: セット			R/W	
TC3CK	動作クロック選択 [Hz]	NORMAL 1/2, IDLE 1/2 モード		SLOW 1/2 SLEEP 1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		001	$fc/2^7$	$fc/2^7$		—
		010	$fc/2^6$	$fc/2^5$		—
		011	$fc/2^3$	$fc/2^3$		—
		100	fs	fs		fs
		101	$fc/2$	$fc/2$		—
110	fc	fc	fc (注 8)			
111	TC3 端子入力					
TC3S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始			R/W	
TC3M	動作モード選択	000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC4M にて設定してください) 1**: Reserved			R/W	

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。
- 注 4) 16 ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M> にて行い、TC3M は "011" に固定してください。
- 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>, TC4CR<TFF4> にて設定してください。
- 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 11-1, 表 11-2 を参照してください。

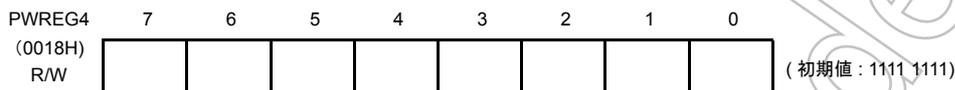
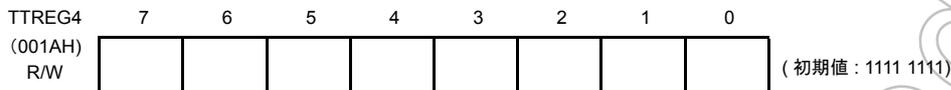
注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 11-3 を参照してください。

注 8) SLOW, SLEEP モード時の動作クロック f_c は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended
for New Design

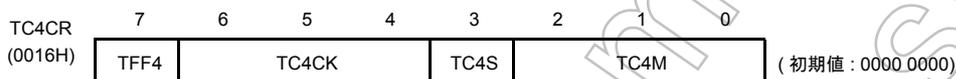
タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ 4 のタイマレジスタ



- 注 1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ 4 制御レジスタ



TFF4	タイマ F/F4 の制御	0: クリア 1: セット	NORMAL 1/2, IDLE 1/2 モード			R/W	
TC4CK	動作クロック選択 [Hz]		DV7CK = 0		SLOW 1/2 SLEEP 1/2 モード	R/W	
			000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
			001	$fc/2^7$	$fc/2^7$		—
			010	$fc/2^5$	$fc/2^5$		—
			011	$fc/2^3$	$fc/2^3$		—
			100	fs	fs		fs
			101	fc/2	fc/2		—
			110	fc	fc		—
		111	TC4 端子入力				
TC4S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始				R/W	
TC4M	動作モード選択	000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ / イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード			R/W		

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。
- 注 4) TC4M = 1** のとき (16 ビットモードの上位側) のときは、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。
- 注 5) 16 ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M> は必ず "011" に設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK> にて行い、タイマスタート制御、タイマ F/ F の制御については TC4S、TFF4 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 11-1, 表 11-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 11-3 を参照してください。

Not Recommended
for New Design

表 11-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC3 端子 入力	TC4 端子 入力
8 ビットタイマ	○	○	○	○	—	—	—	—	—
8 ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8 ビット PDO	○	○	○	○	—	—	—	—	—
8 ビット PWM	○	○	○	○	○	○	○	—	—
16 ビットタイマ	○	○	○	○	—	—	—	—	—
16 ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	○	—	—	—	—
16 ビット PWM	○	○	○	○	○	○	○	○	—
16 ビット PPG	○	○	○	○	—	—	—	○	—

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 11-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC3 端子 入力	TC4 端子 入力
8 ビットタイマ	○	—	—	—	—	—	—	—	—
8 ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8 ビット PDO	○	—	—	—	—	—	—	—	—
8 ビット PWM	○	—	—	—	○	—	—	—	—
16 ビットタイマ	○	—	—	—	—	—	—	—	—
16 ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	—	—	○	—	—
16 ビット PWM	○	—	—	—	○	—	—	○	—
16 ビット PPG	○	—	—	—	—	—	—	○	—

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 11-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8 ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREGn}) \leq 255$
8 ビット PDO	$1 \leq (\text{TTREGn}) \leq 255$
8 ビット PWM	$2 \leq (\text{PWREGn}) \leq 254$
16 ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREG4}, 3) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (\text{TTREG4}, 3) \leq 65535$
16 ビット PWM	$2 \leq (\text{PWREG4}, 3) \leq 65534$
16 ビット PPG	$1 \leq (\text{PWREG4}, 3) < (\text{TTREG4}, 3) \leq 65535$ かつ $(\text{PWREG4}, 3) + 1 < (\text{TTREG4}, 3)$

注) n = 3~4

Not Recommended
for New Design

11.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を一つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

11.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TC j CR<TFF j > を “0” に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j = 3, 4$

表 11-4 タイマカウンタ 3, 4 のソースクロック (内部クロック)

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		最大設定時間	
DV7CK = 0	DV7CK = 1		$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時	$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_s/2^3$ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	2.0 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	510 μs	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	127.5 μs	—

(プログラム例) ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる (タイマカウンタ 4、 $f_c = 16.0 \text{ MHz}$ 時)

```
LD    (TTREG4), 0AH          ; タイマレジスタの設定 (80  $\mu\text{s} \div 2^7 f_c = 0AH$ )
DI
SET   (EIRH), 5             ; INTTC4 割り込みを許可
EI
LD    (TC4CR), 00010000B    ; 動作クロックを  $f_c/2^7$ , 8 ビットタイマモードに設定
LD    (TC4CR), 00011000B    ; TC4 スタート
```

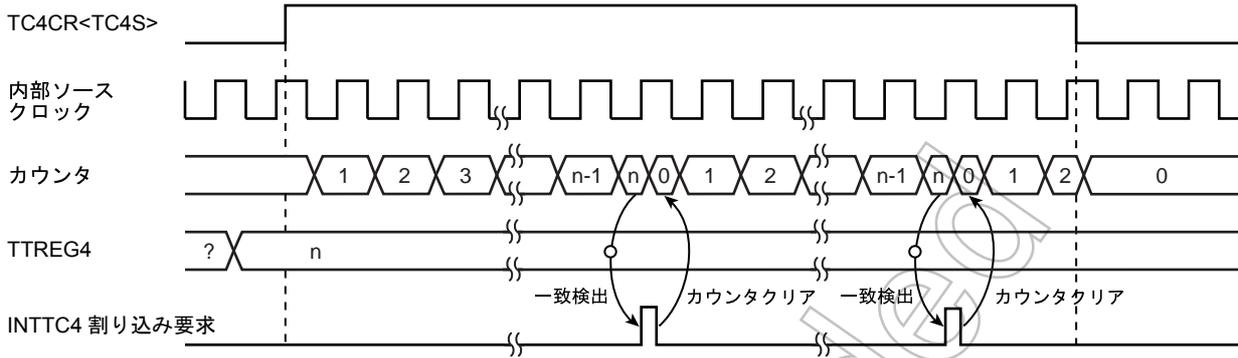


図 11-2 8 ビットタイマモードタイミングチャート (TC4 の場合)

11.3.2 8 ビットイベントカウンタモード (TC3, 4)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1,2 または IDLE1,2 モード時で $f_c/2^4$ [Hz]、SLOW1,2 または SLEEP1,2 モード時で $f_s/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{PDO_j}$ /PWM_j/PPG_j 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

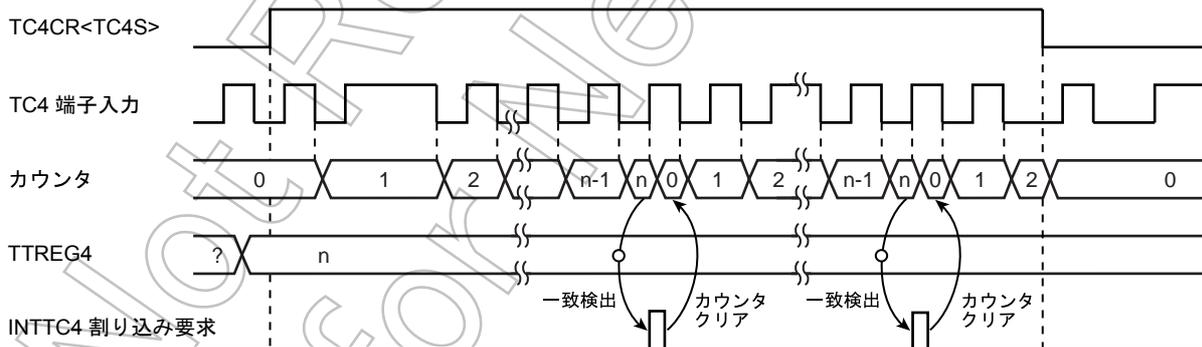


図 11-3 8 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

11.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFF_j> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC4 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

ポートを設定		
LD	(TTREG4), 3DH	; $1/1024 \div 2^7/f_c \div 2 = 3DH$
LD	(TC4CR), 00010001B	; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定
LD	(TC4CR), 00011001B	; TC4 スタート

- 注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDO}}_j$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例：タイマカウンタ停止時に $\overline{\text{PDO}}_j$ 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PDO}}_j$ 端子を “H” レベルに設定
- 注 3) $j = 3, 4$

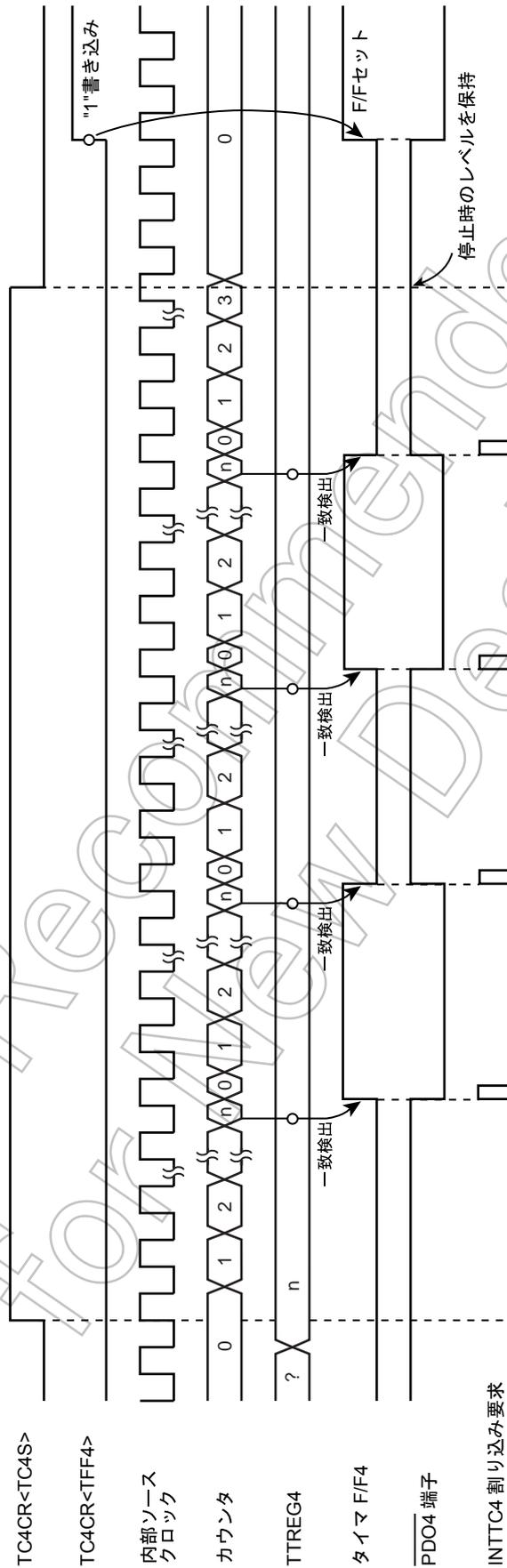


図 11-4 8ビット PDO モードタイミングチャート (TC4 の場合)

11.3.4 8 ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/Fj は “0” にクリアされます。

(PWMj 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWMj 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例：タイマカウンタ停止時に PWMj 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj 出力を “H” レベルに設定
- 注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に PWMj 端子からパルスが出力されます。
- 注 4) j = 3, 4

表 11-5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 1		fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	2.05 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	512 μs	—
fc/2 ³	fc/2 ³	—	500ns	—	128 μs	—
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	—	125 ns	—	32 μs	—
fc	fc	—	62.5 ns	—	16 μs	—

11.3.5 16 ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 3 と 4 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はソフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

表 11-6 16 ビットタイマモードのソースクロック

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.14 μs	8.39 s	16s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500 ns	—	32.8 ms	—

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG3), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRH), 5           ; INTTC4 割り込みを許可
EI
LD       (TC3CR), 13H       ; 動作クロックを fc/27、16 ビットタイマモード
                               ; (下位側) に設定
LD       (TC4CR), 04H       ; 16 ビットタイマモード (上位側) に設定
LD       (TC4CR), 0CH       ; タイマスタート
```

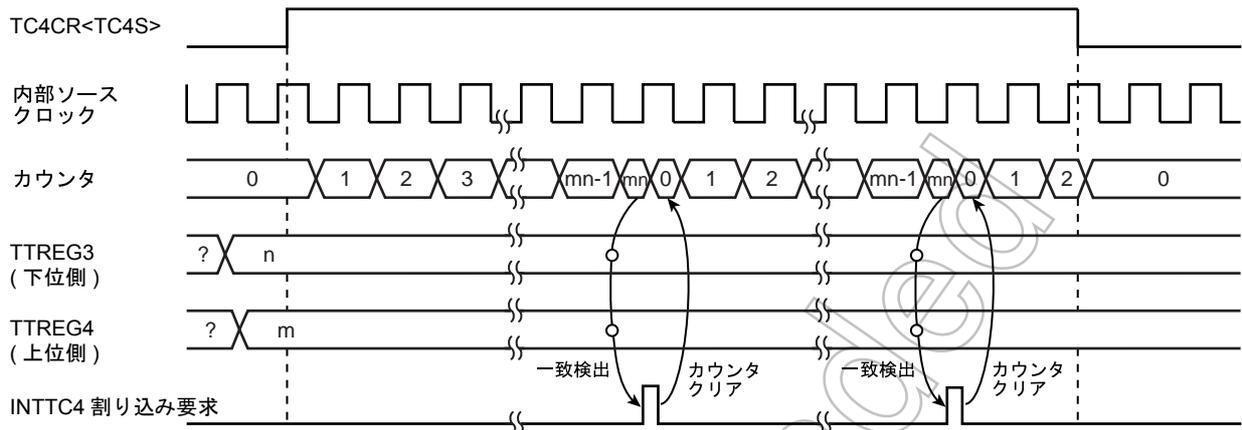


図 11-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

11.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成とならないので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

11.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PWM4 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください (タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください)。
例：タイマカウンタ停止時に PWM4 端子を “H” レベルに固定する。
CLR (TC4CR).3; タイマ停止
CLR (TC4CR).7; PWM4 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM4 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 11-7 16 ビット PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
fc/2 ¹¹	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500ns	—	32.8 ms	—
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	—	125 ns	—	8.2 ms	—
fc	fc	—	62.5 ns	—	4.1 ms	—

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

```

        ポートを設定する
LDW    (PWREG3), 07D0H    ; パルス幅の設定
LD     (TC3CR), 33H      ; 動作クロックを fc/23、16 ビット PWM モード (下位側)
                           ; に設定
LD     (TC4CR), 056H    ; TFF4 初期値 “0”、16 ビット PWM モード (上位側)
                           ; に設定
LD     (TC4CR), 05EH    ; タイマスタート
    
```

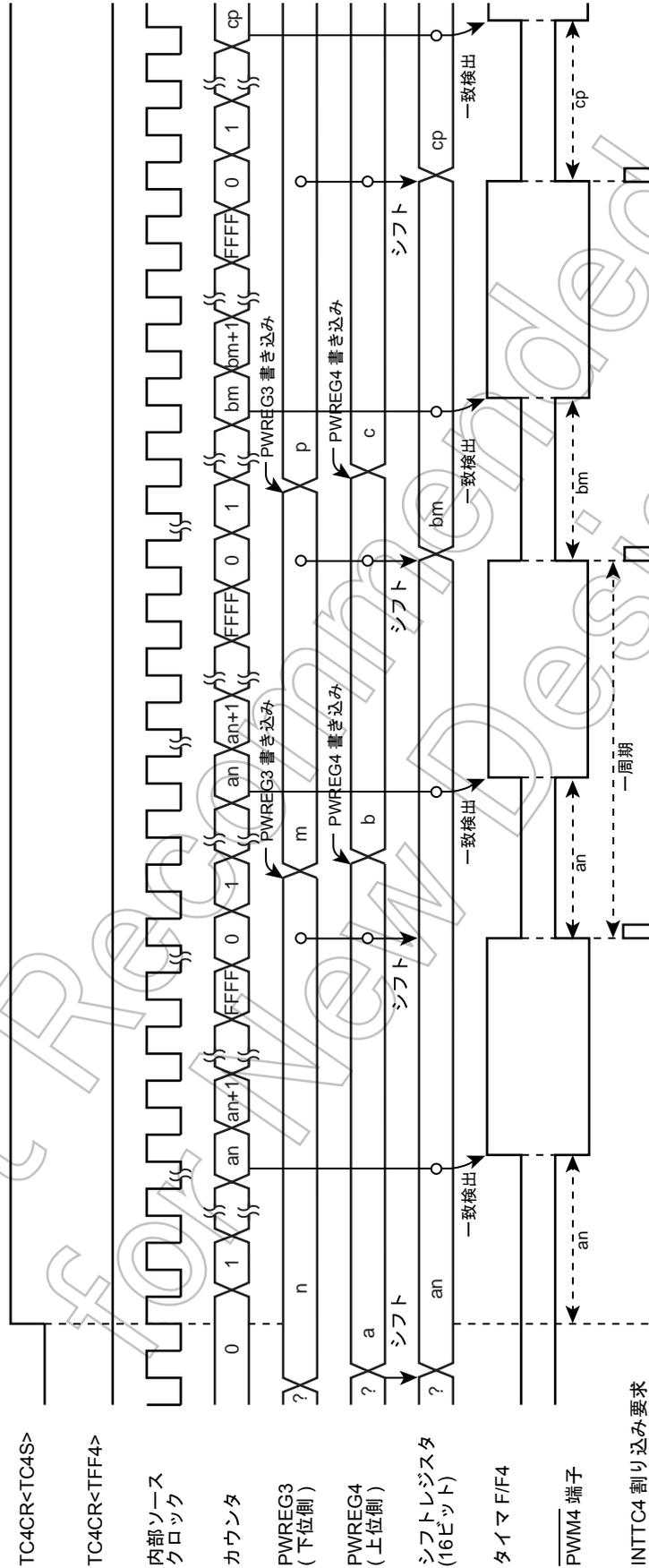


図 11-7 16 ビット PWM モードタイミングチャート (TC3 + TC4 の場合)

11.3.8 16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

($\overline{\text{PPG4}}$ 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz 時)

```

          ポートを設定する
LDW      (PWREG3), 07D0H      ; パルス幅の設定
LDW      (TTREG3), 8002H      ; 周期の設定
LD       (TC3CR), 33H        ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード
          ; (下位側) に設定
LD       (TC4CR), 057H        ; TFF4 初期値 “0”、16 ビット PPG モード
          ; (上位側) に設定
LD       (TC4CR), 05FH        ; タイマスタート

```

注 1) プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、 $\overline{\text{PPG4}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください。タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください。

例：タイマカウンタ停止時に $\overline{\text{PPG4}}$ 端子を “H” レベルに固定する。

```

CLR      (TC4CR).3; タイマ停止
CLR      (TC4CR).7;  $\overline{\text{PPG4}}$  端子を “H” レベルに設定

```

注 3) $i = 3, 4$

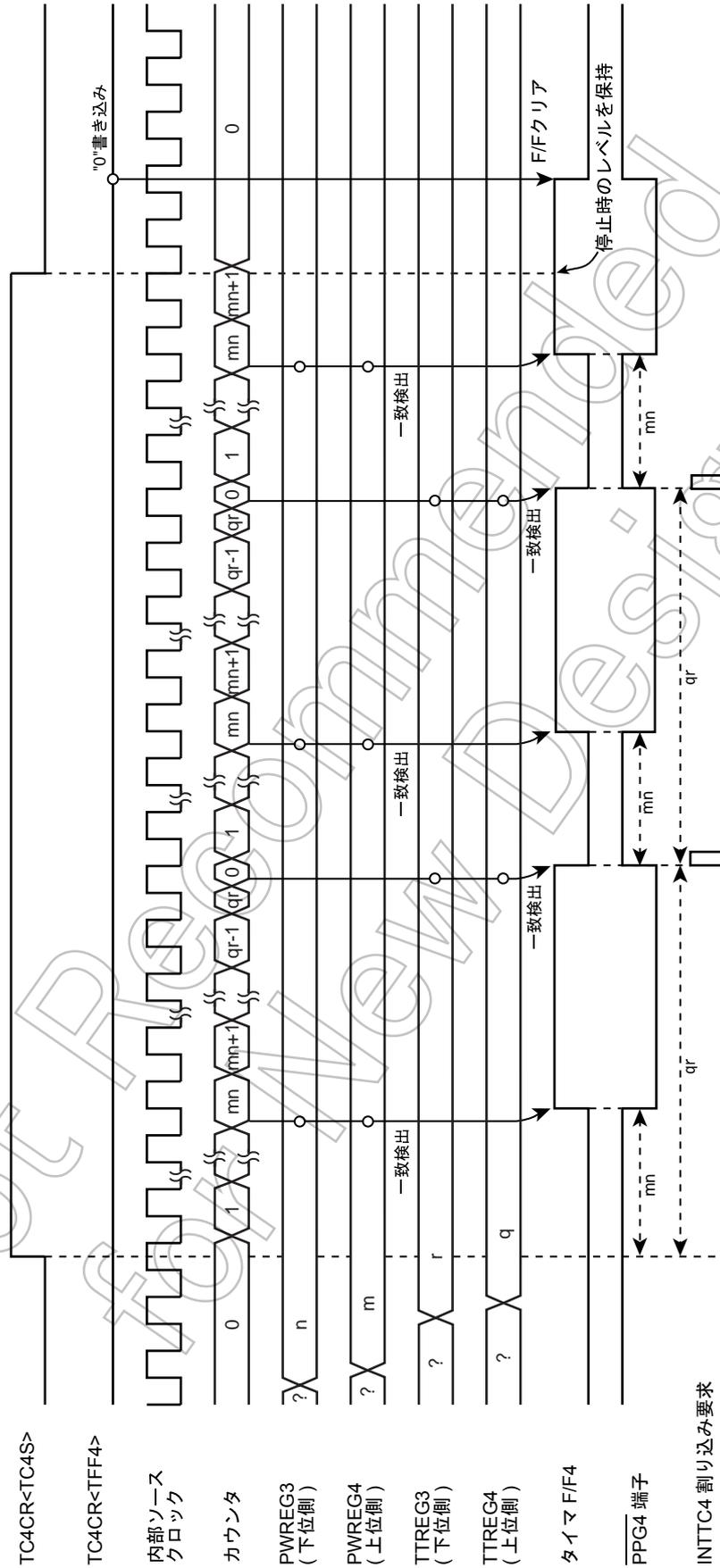


図 11-8 16 ビット PPG モード タイミングチャート (TC3 + TC4 の場合)

11.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 3 と 4 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

- 注 1) ウォーミングアップカウンタモード時は、TCiCR<TFFi> を “0” に固定してください。固定されない場合は、PDOi/PWMI/PPGi 端子からパルスが出力されることがあります。
- 注 2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみ的一致検出となります。
- 注 3) i = 3, 4

11.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN> を “1” に設定し低周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を “1” に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN> を “0” に設定し、高周波クロックを停止します。

表 11-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ;SYSCR2<XTEN> ← “1”
LD       (TC3CR).43H    ;TFF3 = “0”, ソースクロック fs, 16 ビットモードに設定
LD       (TC4CR).05H    ;TFF4 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG3).8000H ;ウォーミングアップ時間をセット
                          ;(発振器の特性で時間を決定します)
DI       ;IMF ← “0”
SET      (EIRH).5       ;INTTC4 割り込みを許可
EI       ;IMF ← “1”
SET      (TC4CR).3      ;TC4, 3 スタート
:       :
PINTTC4: CLR      (TC4CR).3 ;TC4, 3 ストップ
SET      (SYSCR2).5      ;SYSCR2<SYSCK> ← “1”
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7      ;SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:       :
VINTTC4: DW       PINTTC4 ;INTTC4 ベクタテーブル

```

11.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 11-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
16 μ s	4.08 ms

(プログラム例) TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC3CR), 63H    ; TFF3 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG3), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRH). 5      ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
:
:
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
          CLR      (SYSCR2).5 ; SYSCR2<SYSCK> ← “0”
                        ; (システムクロックを高周波に切り替え)
          CLR      (SYSCR2).6 ; SYSCR2<XTEN> ← “0”
                        ; (低周波クロック停止)
          RETI
:
:
VINTTC4: DW       PINTTC4 ; INTTC4 ベクタテーブル

```

Not Recommended
for New Design

第 12 章 同期型シリアルインタフェース (SIO)

TMP86CH12MG は、クロック同期方式の 8 ビットシリアルインタフェースを内蔵しています。シリアルインタフェースは、8 バイトの送受信データバッファを持っており、最大 64 ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、SO, SI, SCK 端子を通して外部デバイスと接続されます。

12.1 構成

SIO制御レジスタ/ステータスレジスタ

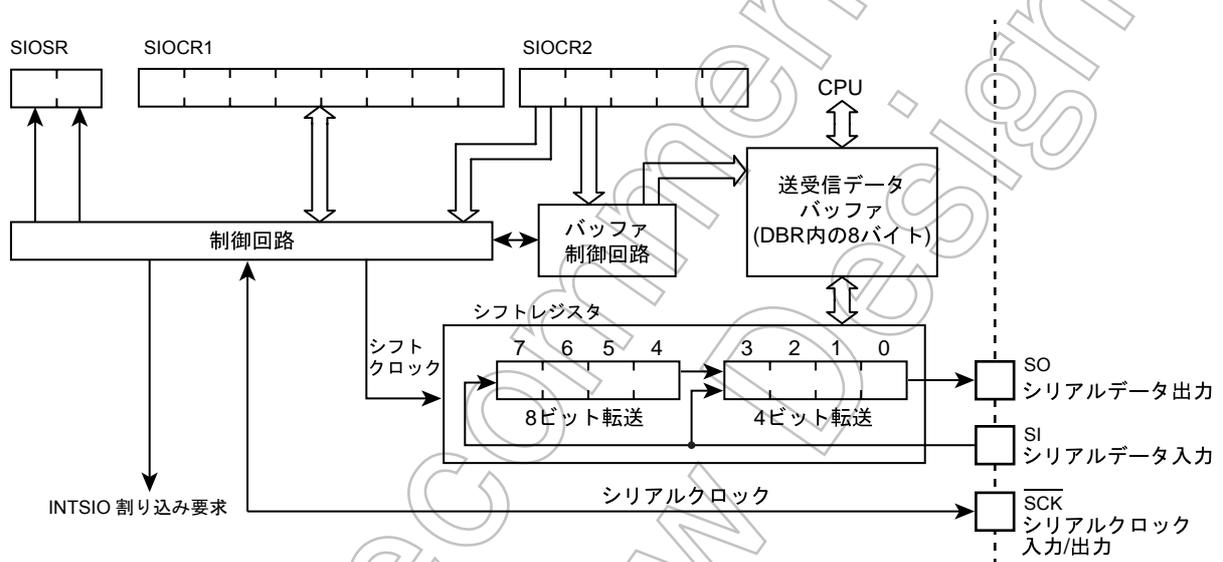


図 12-1 シリアルインタフェース

12.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIOCR1/SIOCR2) で行います。また、ステータスレジスタ (SIOSR) をリードすることによりシリアルインタフェースの動作状態を確認することができます。

送受信データバッファの制御は、SIOCR2<BUF> で行います。送受信データバッファは、DBR 領域の 0F80~0F87H 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み要求 (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIOCR2<WAIT> で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

SIOCR1	7	6	5	4	3	2	1	0		
(0031H)	SIOS		SIOINH		SIOM			SCK		(初期値: 0000 0000)

SIOS	転送の開始 / 終了指示	0: 終了 1: 開始								
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)								
SIOM	転送モードの選択	000: 8 ビット送信モード 010: 4 ビット送信モード 100: 8 ビット送受信モード 101: 8 ビット受信モード 110: 4 ビット受信モード 上記以外: Reserved								Write only
SCK	シリアルクロックの選択			NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード				Write only
				DV7CK = 0	DV7CK = 1					
		000		fc/2 ¹³	fs/2 ⁵	fs/2 ⁵				
		001		fc/2 ⁸	fc/2 ⁸	—				
		010		fc/2 ⁷	fc/2 ⁷	—				
		011		fc/2 ⁶	fc/2 ⁶	—				
100		fc/2 ⁵	fc/2 ⁵	—						
101		fc/2 ⁴	fc/2 ⁴	—						
110		Reserved								
111		外部クロック (SCK 端子から入力)								

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注 2) 転送モード、シリアルクロックの設定時は、SIOS = "0"、SIOINH = "1" にしてください。

注 3) SIOCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ 2

SIOCR2	7	6	5	4	3	2	1	0	
(0032H)				WAIT			BUF		(初期値: ***0 0000)

WAIT	ウェイト制御	8ビット送受信 / 受信モード以外は常に“00”にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ (ウェイト) 10: $T_f = 4T_D$ (ウェイト) 11: $T_f = 8T_D$ (ウェイト)	Write only
BUF	転送ワード数の設定 (使用するバッファのアドレス)	000: 1ワード転送 0F80H 001: 2ワード転送 0F80H ~ 0F81H 010: 3ワード転送 0F80H ~ 0F82H 011: 4ワード転送 0F80H ~ 0F83H 100: 5ワード転送 0F80H ~ 0F84H 101: 6ワード転送 0F80H ~ 0F85H 110: 7ワード転送 0F80H ~ 0F86H 111: 8ワード転送 0F80H ~ 0F87H	

- 注 1) 4ビット転送のときは、各バッファの低位4ビットに格納します / されます。受信時上位4ビットには“0”が格納されません。
- 注 2) 送信データはバッファの若いアドレスの方から送信されます。また、受信データは若いアドレスの方から格納されます (最初に転送されるのは0F80H番地です)。
- 注 3) 転送終了後も BUF の設定値は保存されています。
- 注 4) SIOCR2 の設定は、シリアルインタフェース停止状態 (SIOF = 0) で行ってください。
- 注 5) *: Don't care
- 注 6) SIOCR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェースステータスレジスタ



SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中	Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中	

- 注 1) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間
- 注 2) SIOF は、SIOS を “0” にクリアした後、転送が終了した時点または SIOINH を “1” にセットした時点で “0” にクリアされます。

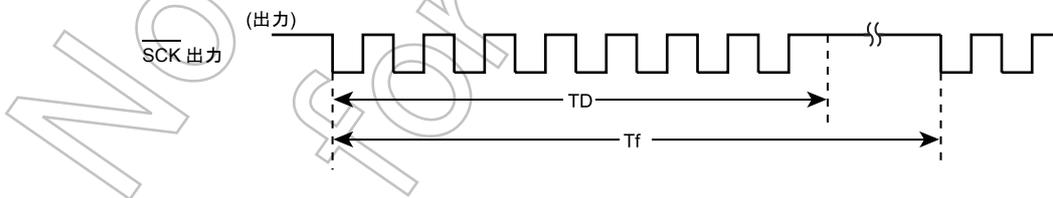


図 12-2 フレーム時間 (T_f) とデータ転送時間 (T_D)

12.3 シリアルクロック

12.3.1 クロックソース

クロックソースは SIOCR1<SCK> により、内部クロックまたは外部クロックを選択することができます。

12.3.1.1 内部クロック

シリアルインタフェースは、内部クロックソースとして 6 種類の周波数が選択でき、シリアルクロックは SCK 端子より外部に出力されます。なお、転送開始時 SCK 端子出力は“H”レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 12-1 シリアルクロックレート

	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		クロック	ボーレート
SCK	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート
000	$f_c/2^{13}$	1.91 Kbps	$f_s/2^5$	1024 bps	$f_s/2^5$	1024 bps
001	$f_c/2^8$	61.04 Kbps	$f_c/2^8$	61.04 Kbps	—	—
010	$f_c/2^7$	122.07 Kbps	$f_c/2^7$	122.07 Kbps	—	—
011	$f_c/2^6$	244.14 Kbps	$f_c/2^6$	244.14 Kbps	—	—
100	$f_c/2^5$	488.28 Kbps	$f_c/2^5$	488.28 Kbps	—	—
101	$f_c/2^4$	976.56 Kbps	$f_c/2^4$	976.56 Kbps	—	—
110	—	—	—	—	—	—
111	外部	外部	外部	外部	外部	外部

注) 1 Kbit = 1024 bit (fc = 16 MHz, fs = 32.768 kHz)

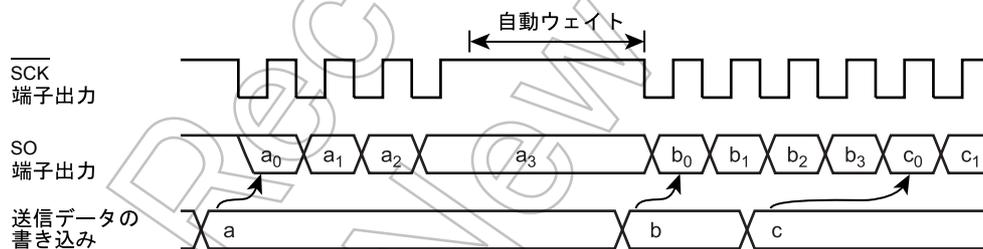


図 12-3 自動ウェイト機能 (4 ビット送信モードの場合)

12.3.1.2 外部クロック

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。この場合、ポートの出力ラッチは“1”にセットしてください。なお、シフト動作が確実に実行されるためには、シリアルクロックの“H”レベル、“L”レベルともに 4 マシンサイクル以上のパルス幅が必要です。従って、最大転送速度は 488.3K bit/s (fc = 16 MHz 時) です。

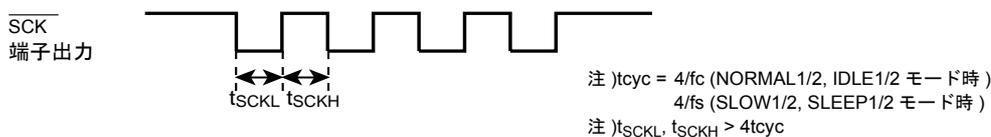


図 12-4 外部クロックのパルス幅

12.3.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

12.3.2.1 前縁シフト

シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

12.3.2.2 後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。

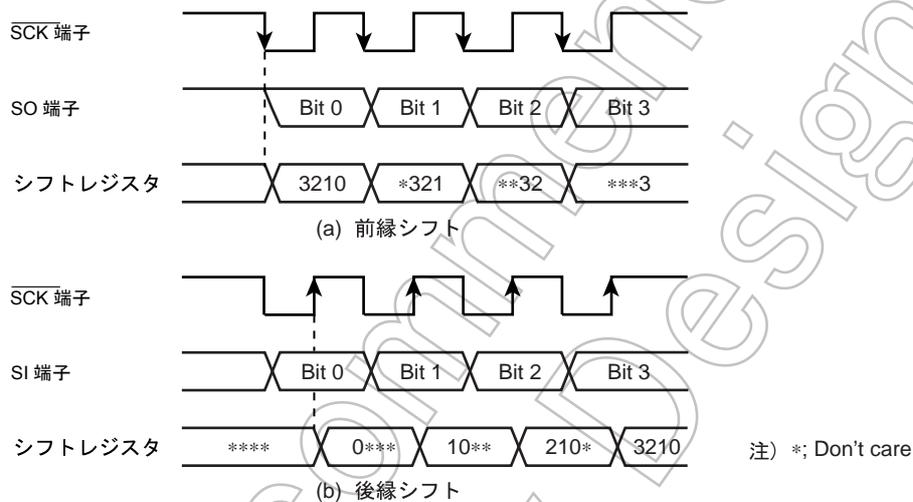


図 12-5 シフトエッジ

12.4 転送ビット数

4 ビットシリアル転送または 8 ビットシリアル転送が選択できます。4 ビットシリアル転送の場合、送受信データバッファは下位 4 ビットのみ使用し、上位 4 ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

12.5 転送ワード数

4 ビットデータ (4 ビットシリアル転送時)/8 ビットデータ (8 ビットシリアル転送時) を 1 ワードとして最大 8 ワードまで連続して転送することができます。転送ワード数は、SIOCR2<BUF> で設定します。

指定されたワード数の転送終了時点で、INTSIO 割り込み要求が発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

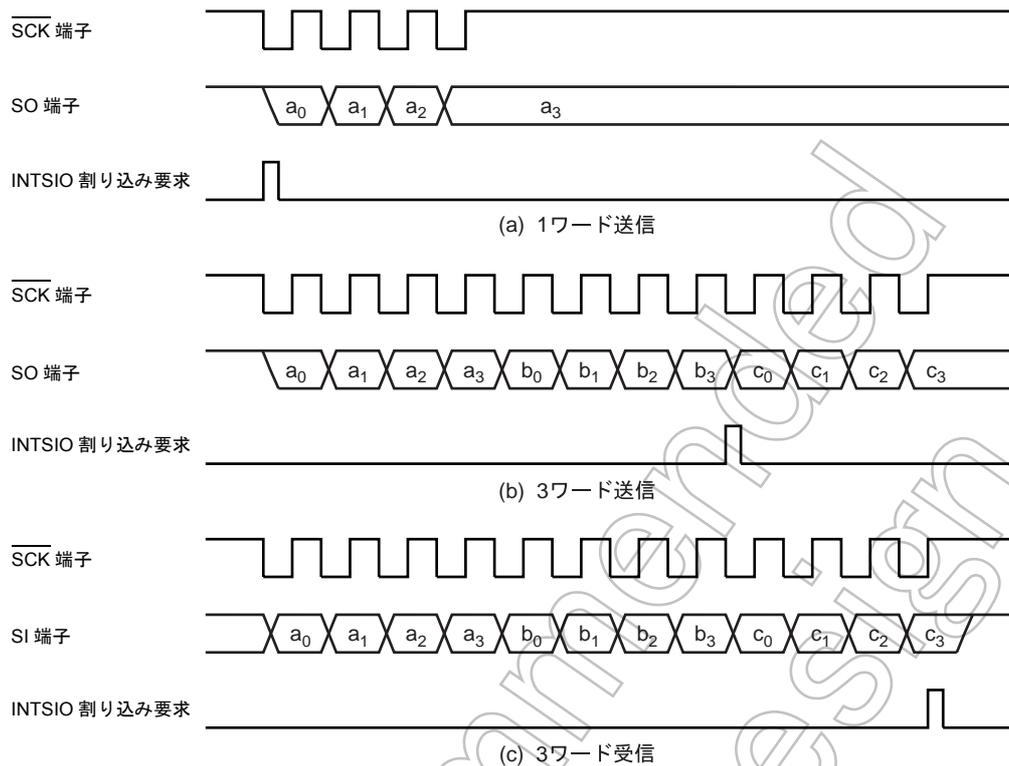


図 12-6 転送ワード数 (例: 1ワード = 4ビット)

12.6 転送モード

転送モードは $\text{SIOCR1}\langle\text{SIOM}\rangle$ によって、送信/受信/送受信モードを選択することができます。

12.6.1 4ビット送信モード、8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、 $\text{SIOCR1}\langle\text{SIOS}\rangle$ を“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO 端子に出力されます。LSB のデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ転送されます。最後の送信データが転送されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、 $\text{SIOCR2}\langle\text{BUF}\rangle$ で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOSR<SIOF> をセンスします。SIOSR<SIOF> は送信の終了で“0”になります。SIOCR1<SIOINH> をセットした場合は、直ちに送信を打ち切り、SIOSR<SIOF> は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIOCR1<SIOS> を“0”クリアする必要があります。もしシフトアウトする前に SIOCR1<SIOS> がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOCR1<SIOS> を“0”にクリアし、SIOSR<SIOF> が“0”なったことを確認後 SIOCR2<BUF> を書き替えてください。

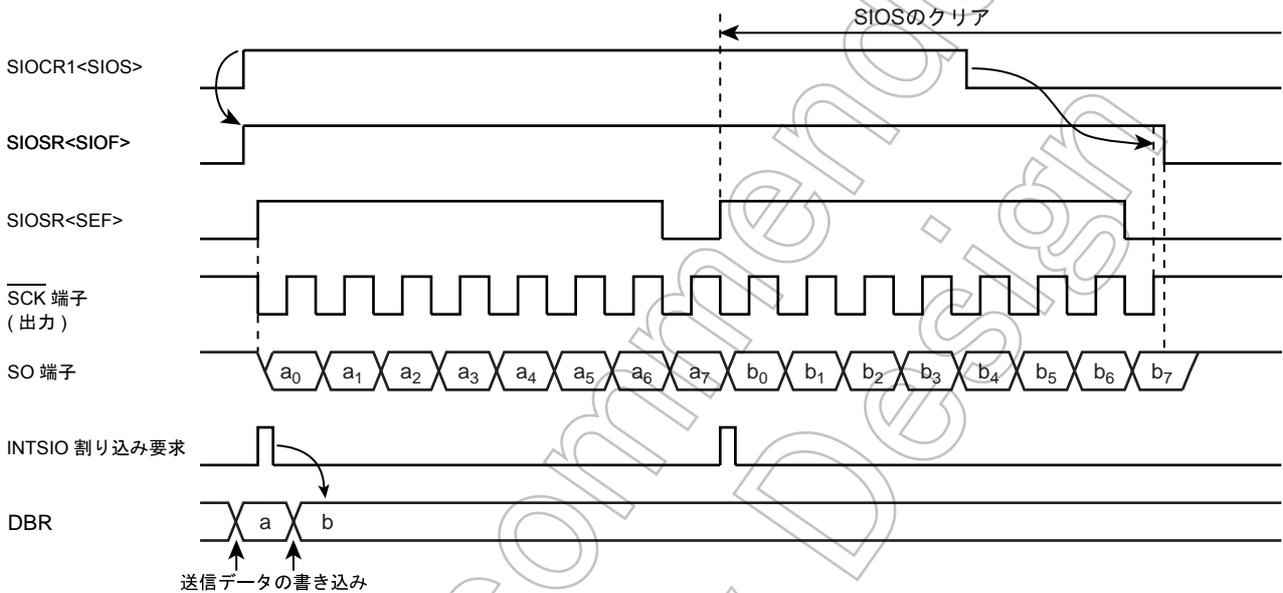


図 12-7 送信モード (例: 8 ビット, 1ワード転送、内部クロック)

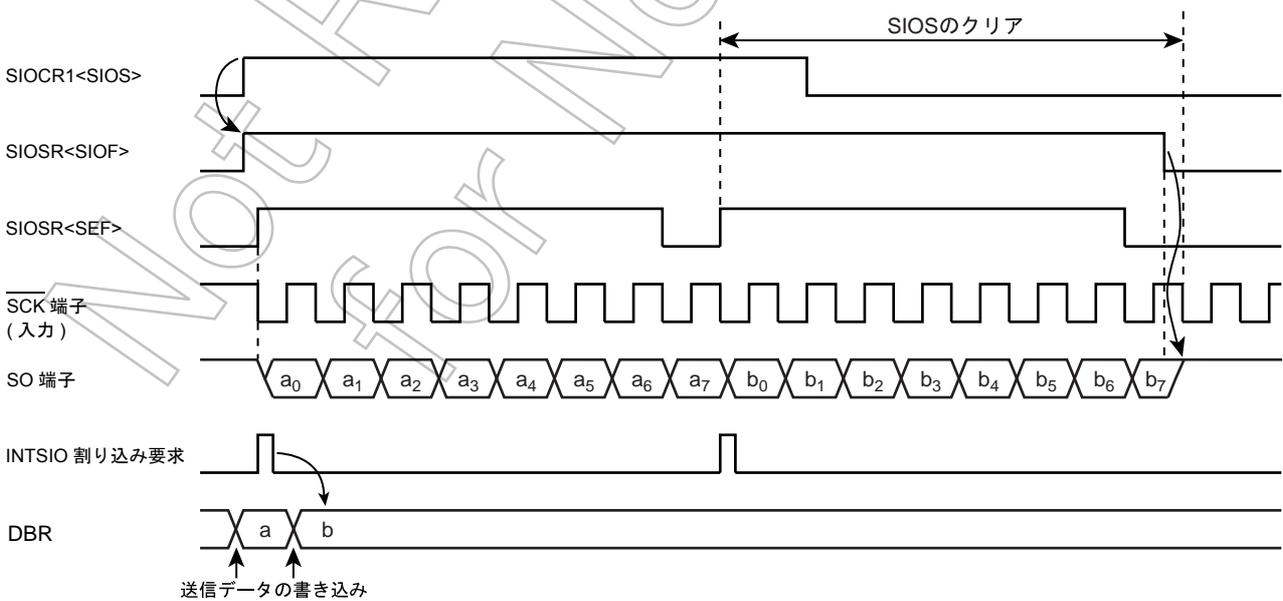


図 12-8 送信モード (例: 8 ビット, 1ワード転送、外部クロック)

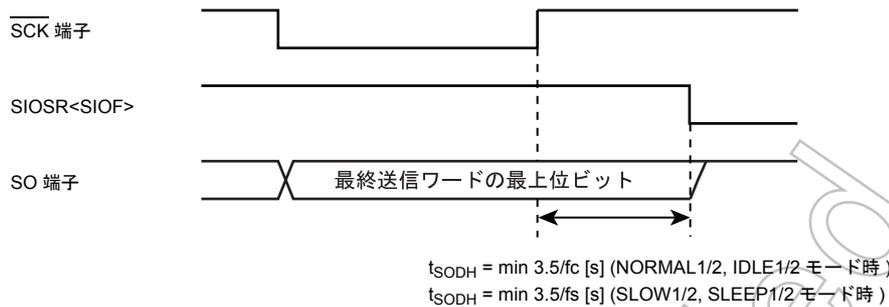


図 12-9 送信終了時の送信データ保持時間

12.6.2 4 ビット受信モード, 8 ビット受信モード

制御レジスタに受信モードをセットした後、SIOCR1<SIOS>を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1 ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。SIOCR2<BUF> で指定されたワード数の受信が終了すると受信データの読み取りを要求する INTSIO (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1 ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで SIOCR1<SIOS>を“0”にクリアするか SIOCR1<SIOINH>を“1”にセットします。SIOCR1<SIOS>が“0”にクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOSR<SIOF>をセンスします。SIOSR<SIOF>は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。

SIOCR1<SIOINH>をセットした場合は、直ちに受信を打ち切り、SIOSR<SIOF>は“0”になります(受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは SIOCR1<SIOS>を“0”にクリアし SIOSR<SIOF>が“0”になったことを確認後 SIOCR2<BUF>を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に SIOCR2<BUF>を書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOCR1<SIOS>を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

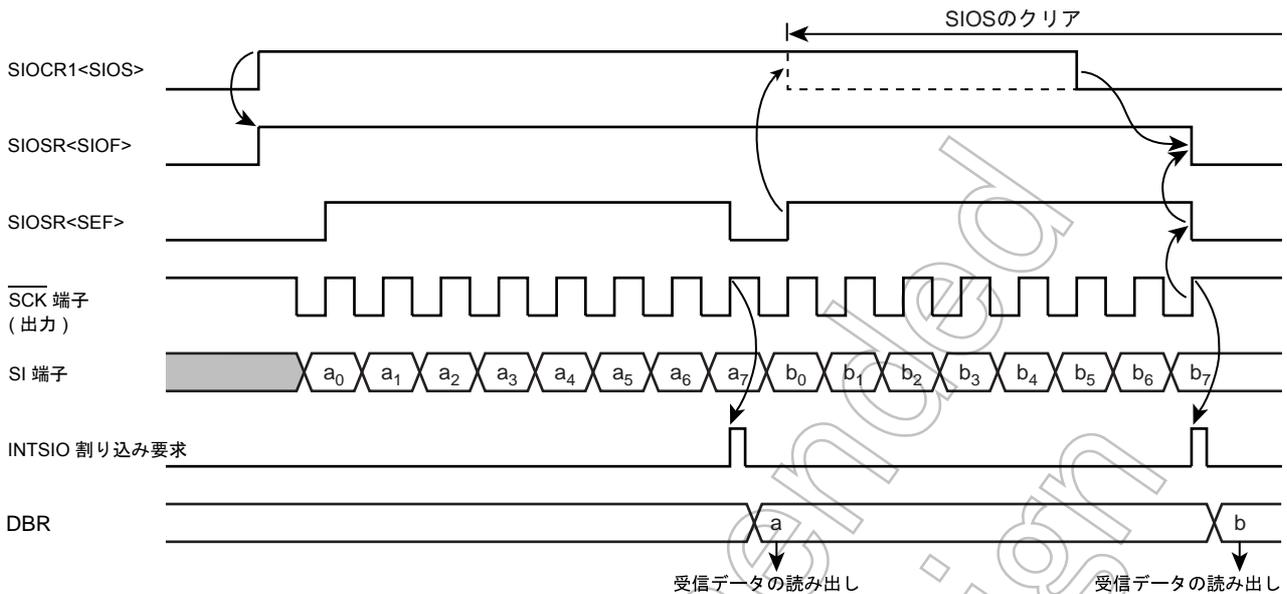


図 12-10 受信モード (例: 8 ビット, 1 ワード転送, 内部クロック)

12.6.3 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOCR1<SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO 端子から出力され、後縁で受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIOCR2<BUF> で指定されたワード数の送受信が終了すると、INTSIO 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1 ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO 割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOSR<SIOF> をセンスします。SIOSR<SIOF> は送受信の終了で“0”になります。SIOCR1<SIOINH> をセットした場合は、直ちに送受信を打ち切り、SIOF は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOCR1<SIOS> を“0”にクリアし SIOSR<SIOF> が“0”になったことを確認後、SIOCR2<BUF> を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード / ライトの前に書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOS を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

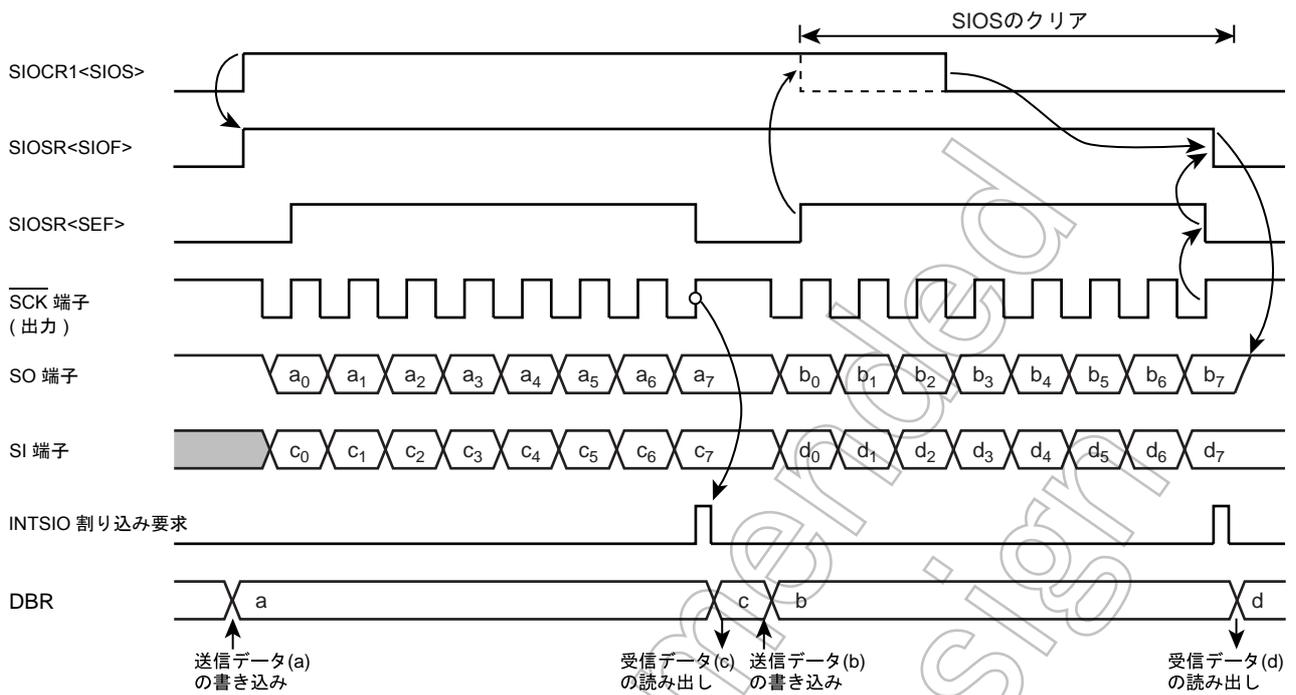


図 12-11 送受信モード (例: 8 ビット, 1 ワード, 内部クロック)

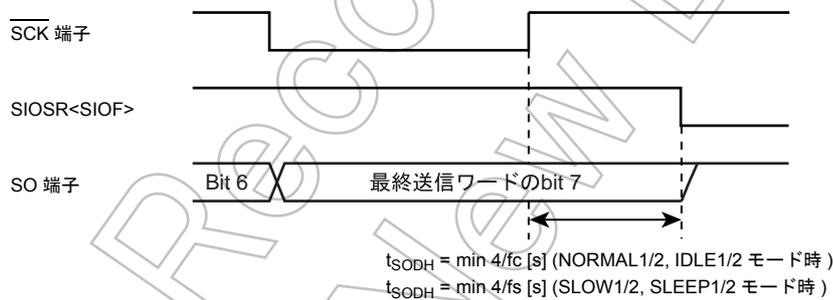


図 12-12 送受信終了時の送信データ保持時間

第 13 章 非同期型シリアルインターフェース (UART)

13.1 構成

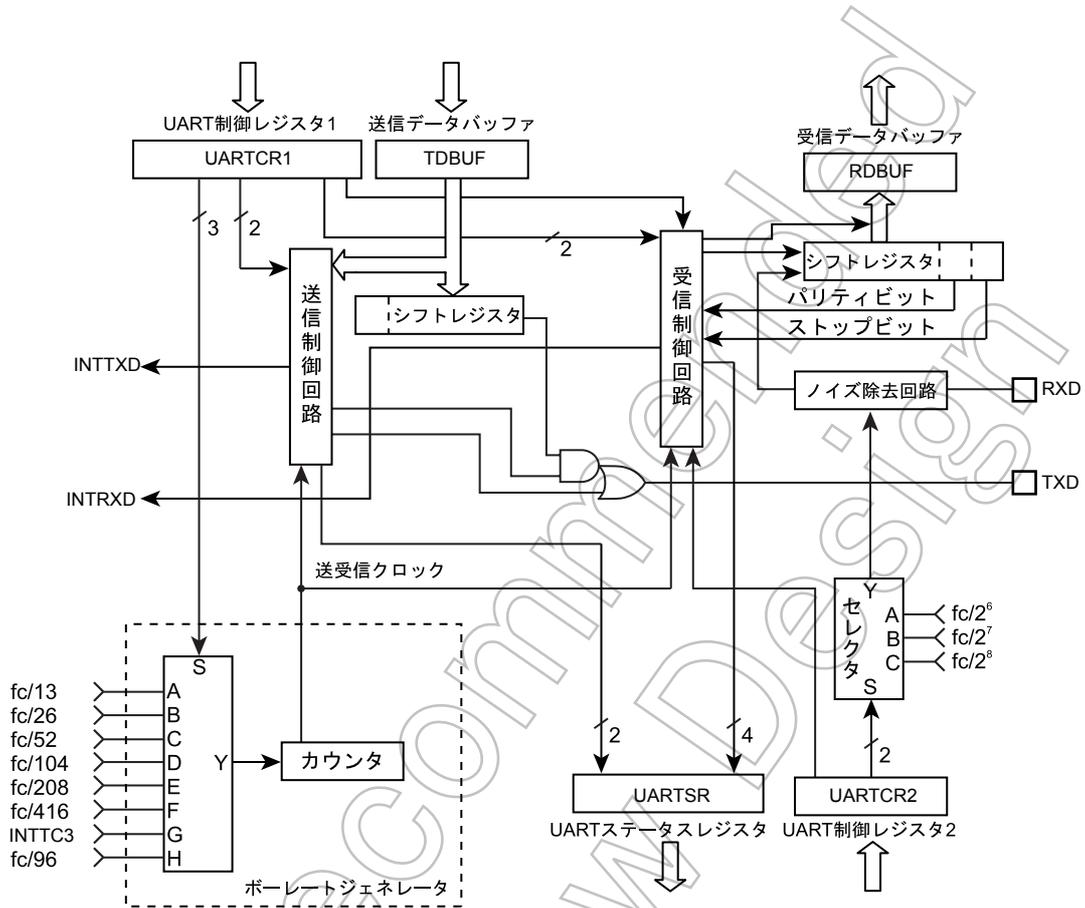


図 13-1 UART (非同期型シリアルインターフェース)

13.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ 1

UARTCR1 (0021H)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC3 使用 (INTTC3 を入力) 111: fc/96	

- 注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART 制御レジスタ 2

UARTCR2 (0022H)	7	6	5	4	3	2	1	0	
						RXDNC	STOPBR		(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

- 注) RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART ステータスレジスタ

UARTSR (0021H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値: 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファ空きフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファ空き	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART 受信データバッファ

RDBUF (0F89H)	7	6	5	4	3	2	1	0	Read only
									(初期値: 0000 0000)

UART 送信データバッファ

TDBUF (0F89H)	7	6	5	4	3	2	1	0	Write only
									(初期値: 0000 0000)

13.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1<STBT> でビット長の選択可)、パリティ UARTCR1<PE> でパリティ有無の選択可、UARTCR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長											
		1	2	3	8	9	10	11	12				
0	0												
0	1												
1	0												
1	1												

図 13-2 転送データフォーマット

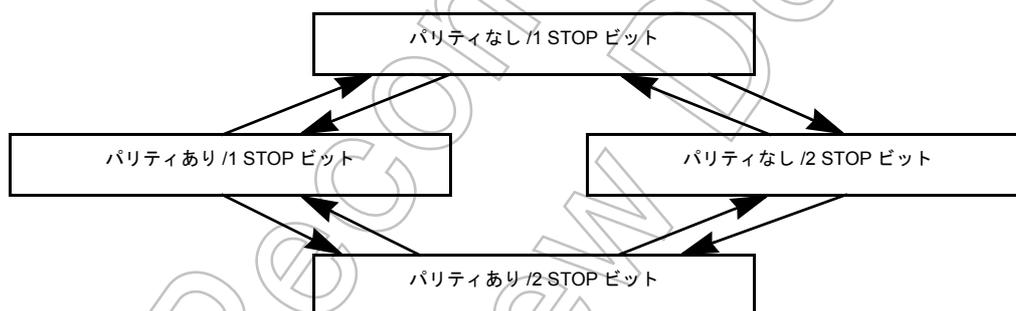


図 13-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 13-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

13.4 転送レート

UART の転送レート (ボーレート) は UARTCR1<BRG> により設定されます。以下に転送レートの例を示します。

表 13-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART の転送レートとして TC3 使用を選択したとき (つまり UARTCR1<BRG> = “110” に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC3 ソースクロック [Hz]} \div \text{TTREG3 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

13.5 データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで UARTCR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD 端子の “L” レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

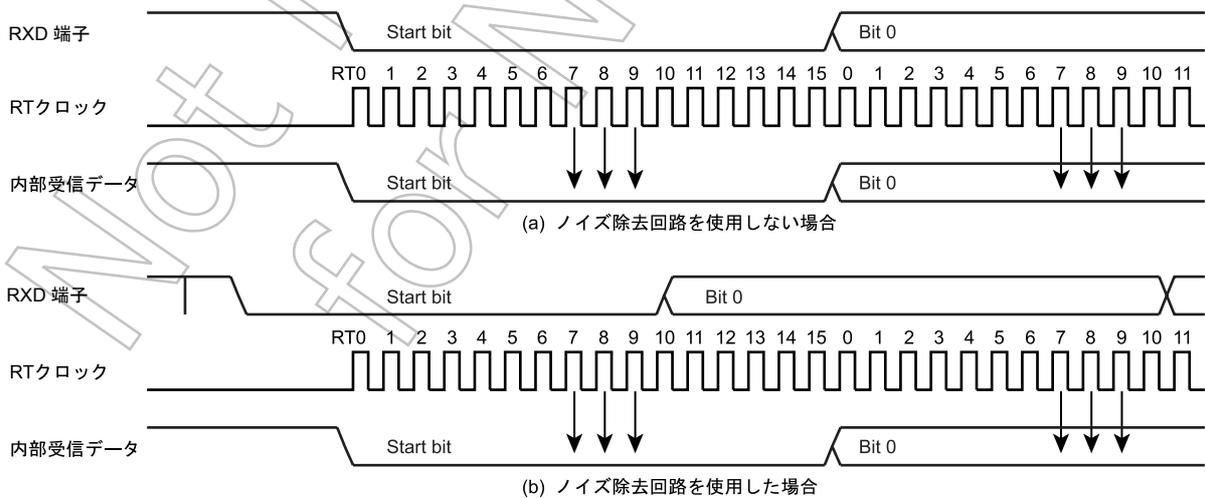


図 13-4 データのサンプリング方法

13.6 STOP ビット長

UARTCR1<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

13.7 パリティ

UARTCR1<PE> でパリティ付加の有無を、UARTCR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

13.8 送受信動作

13.8.1 データ送信動作

UARTCR1<TXE> を “1” にセットします。UARTSR を読み出し TBEP = “1” を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UARTSR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UARTCR1<STBT> で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UARTCR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP> は “1” にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE> が “0” の間および UARTCR1<TXE> に “1” を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は “H” レベルに固定されます。

送信を行う場合、UARTSR を読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP> が “0” にクリアされず送信が開始されません。

13.8.2 データ受信動作

UARTCR1<RXE> を “1” にセットします。その後、RXD 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL> がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) UARTCR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

13.9 ステータスフラグ

13.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UARTSR<PERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<PERR> は“0”にクリアされます。

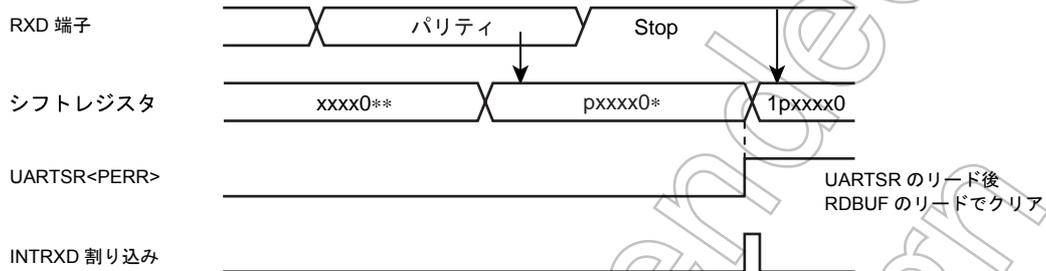


図 13-5 パリティエラーの発生

13.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UARTSR<FERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<FERR> は“0”にクリアされます。

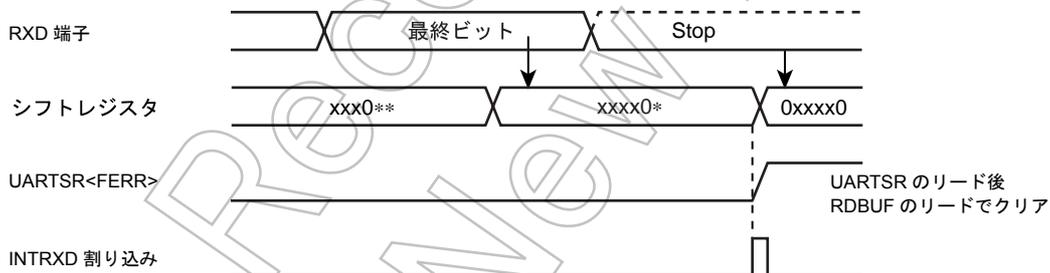


図 13-6 フレーミングエラーの発生

13.9.3 オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UARTSR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<OERR> は“0”にクリアされます。

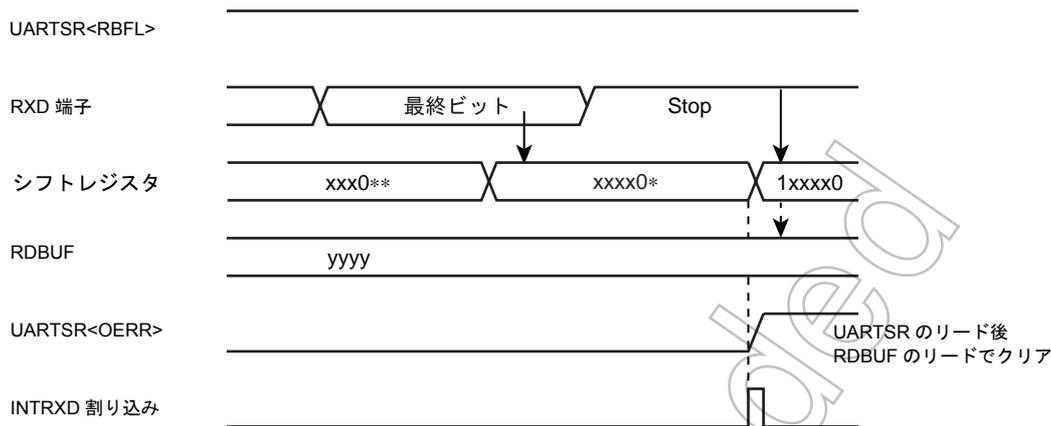


図 13-7 オーバランエラーの発生

注) オーバランエラーフラグ UARTSR<OERR> がクリアされるまで、受信動作は停止します。

13.9.4 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL> が “1” にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと UARTSR<RBFL> は “0” にクリアされます。

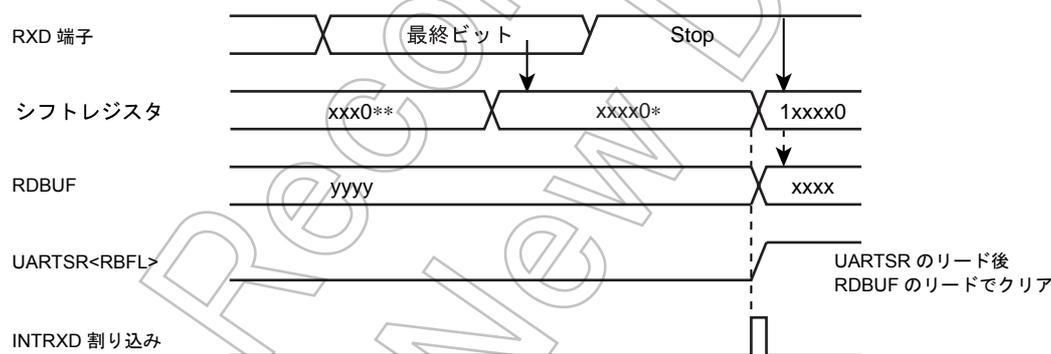


図 13-8 受信バッファフルの発生

注) 上記、UARTSR の読み出しから RDBUF を読み出す間にオーバランエラーフラグ UARTSR<OERR> がセットされた場合、RDBUF 読み出しだけではエラーフラグがクリアされません。再度 UARTSR を読み込み、エラーの確認を行ってください。

13.9.5 送信バッファエンpty

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき UARTSR<TBEP> が “1” にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP> は “0” にクリアされます。

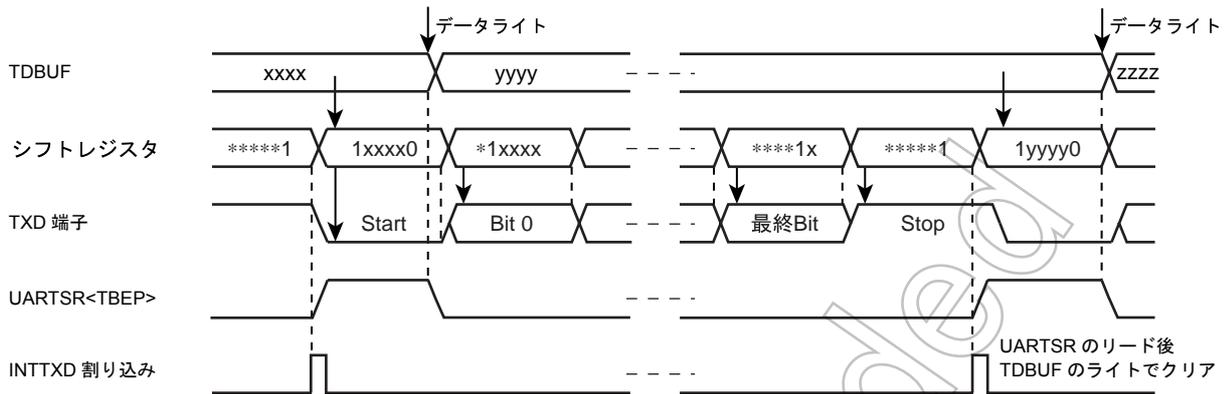


図 13-9 送信バッファエンプティの発生

13.9.6 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP>=“1”のとき) UARTSR<TEND> が“1”にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND> は“0”にクリアされます。

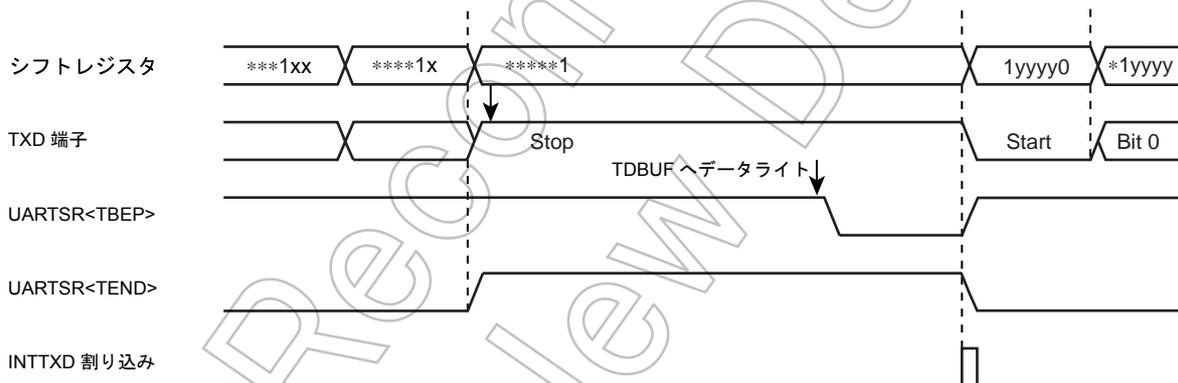


図 13-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended
for New Design

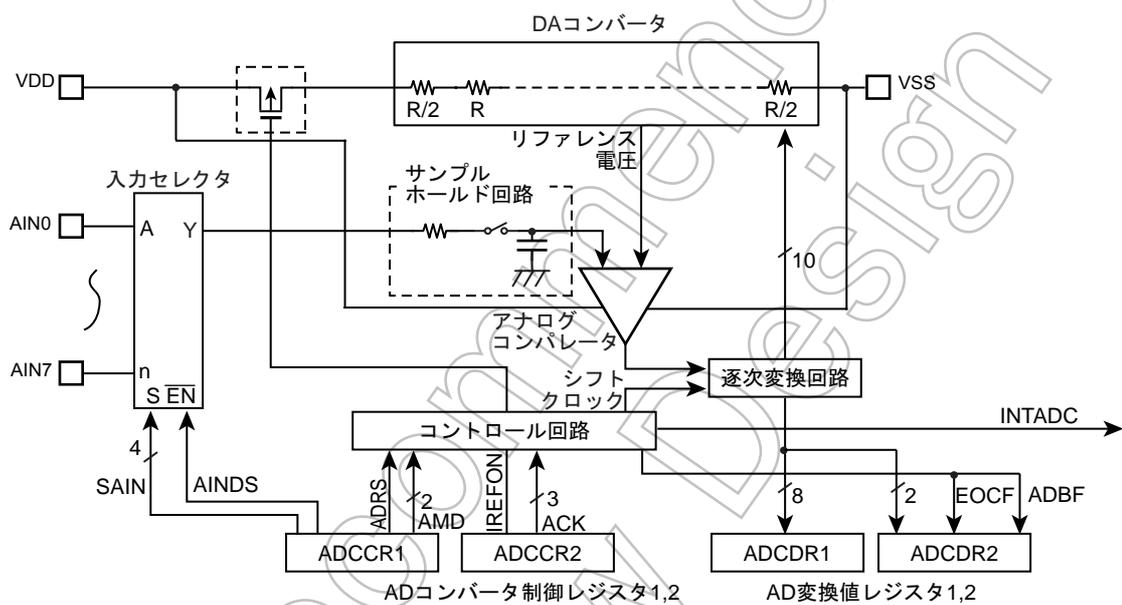
第 14 章 10 ビット AD コンバータ (ADC)

TMP86CH12MG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

14.1 構成

10 ビット AD コンバータの回路構成を図 14-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 14-1 10 ビット AD コンバータ

14.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (0025H)	7	6	5	4	3	2	1	0	
	ADRS	AMD		AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力ディセーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved	

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。
- 注 6) STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (0026H)	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値:**0* 000*)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 14-1 ACK 設定と周波数別の変換時間

条件	変換時間	16MHz	8MHz	4 MHz	2 MHz	10-MHz	5 MHz	2.5 MHz
ACK 000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	78/fc	—	—	19.5 μs	39.0 μs	—	15.6 μs	31.2 μs
011	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
110	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
111	Reserved							

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、電源電圧 (VDD) によって以下の時間以上を確保するように設定してください。

- VDD = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VDD = 2.7 ~ 5.5 V 時 31.2 μs 以上

AD 変換値レジスタ 1

ADCDR1 (0020H)	7	6	5	4	3	2	1	0	
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値: 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (001FH)	7	6	5	4	3	2	1	0	
	AD01	AD00	EOCF	ADBF					(初期値: 0000 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

- 注 1) EOCF は、AD 変換レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モードを起動するときにもクリアされます。
- 注 3) ADCDR2 を読み出した場合、ビット 3~0 は不定となります。

Not Recommended
for New Design

14.3 機能

14.3.1 ソフトウェアスタートモード

ADCCR1<AMD> を“01” (ソフトウェアスタートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

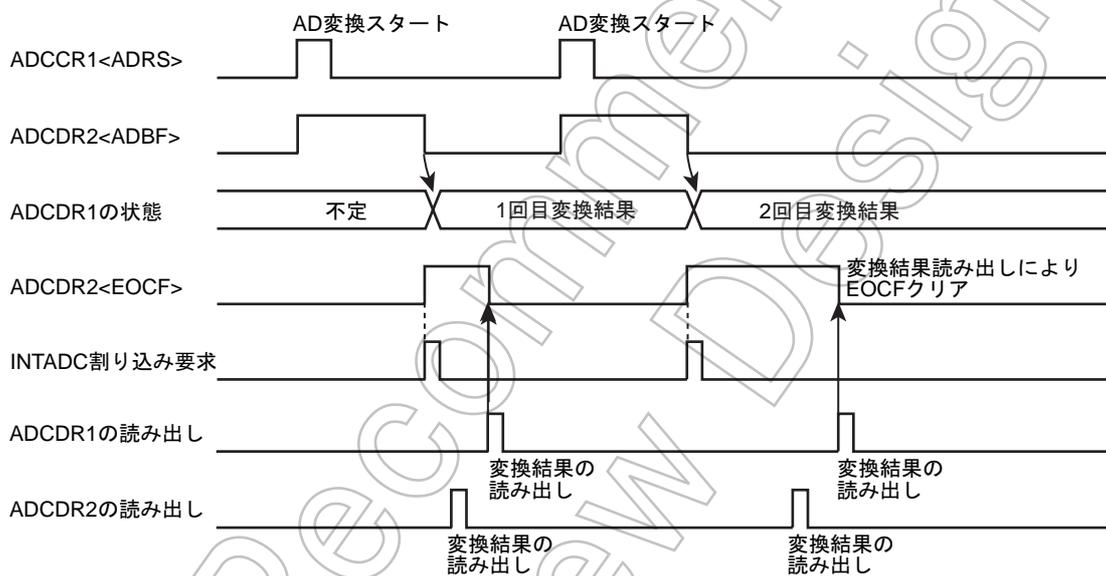


図 14-2 ソフトウェアスタートモード

14.3.2 リピードモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD> を“11” (リピードモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピードモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に“00” (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

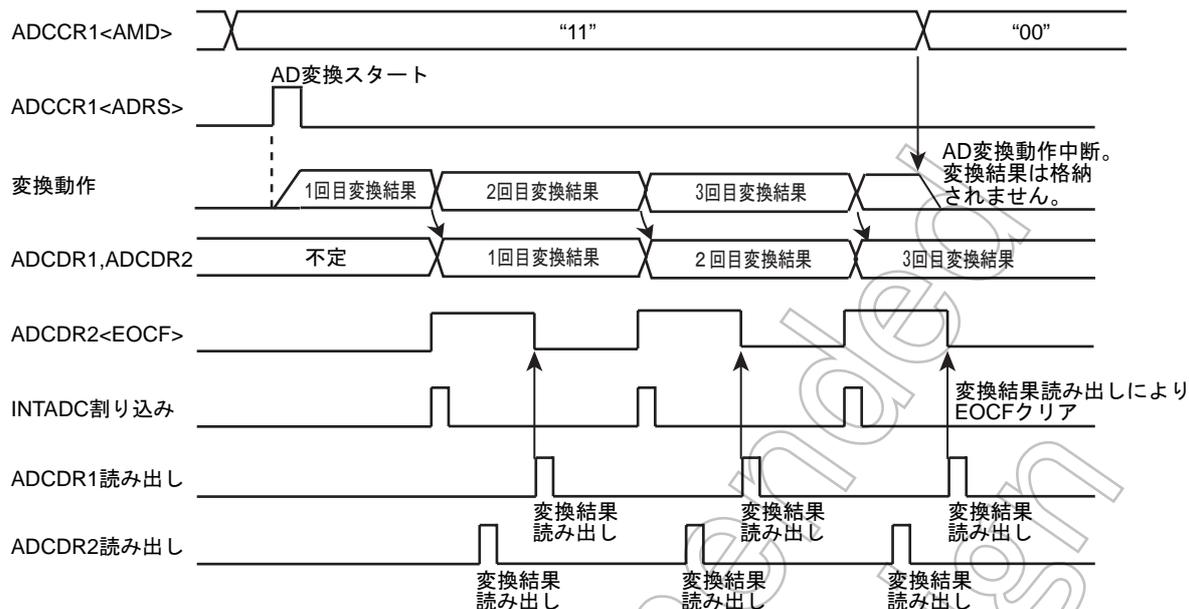


図 14-3 リピートモード

14.3.3 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (ソフトウェア、リピートモード) を (AMD) にて指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 14-1 をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に “1” を設定すると、ソフトウェアスタートの場合、直ちに AD 変換を開始します。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF) が “1” にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1)、AD 変換値レジスタ 2 (ADCDR2) に格納されます。また、このとき INTADC 割り込み要求が発生します。
- AD 変換値レジスタ 1 (ADCDR1) から変換結果を読み出すと EOCF は “0” にクリアされます。ただし、AD 変換値レジスタ 1 (ADCDR1) を読み出す前に再変換を行った場合は、EOCF は “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 19.5 μ s @ 16 MHz およびアナログ入力チャンネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

                ; (ポートの設定)          :          ; AD コンバータのレジスタを設定する前にポート
                :                          :          ; レジスタを適切に設定してください。
                :                          :          ; (詳細は I/O ポートの章を参照してください)
LD              (ADCCR1), 00100011B      ; AIN3 を選択
LD              (ADCCR2), 11011000B      ; 変換時間 (312/fc), 動作モードを選択

SLOOP:         SET              (ADCCR1).7      ; ADRS = 1 (AD 変換開始)
                TEST             (ADCDR2).5      ; EOCF = 1 ?
                JRS              T, SLOOP

                LD                A, (ADCDR2)      ; 変換結果の読み出し
                LD                (9EH), A
                LD                A, (ADCDR1)      ; 変換結果の読み出し
                LD                (9FH), A

```

14.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

14.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 14-4 のように対応します。

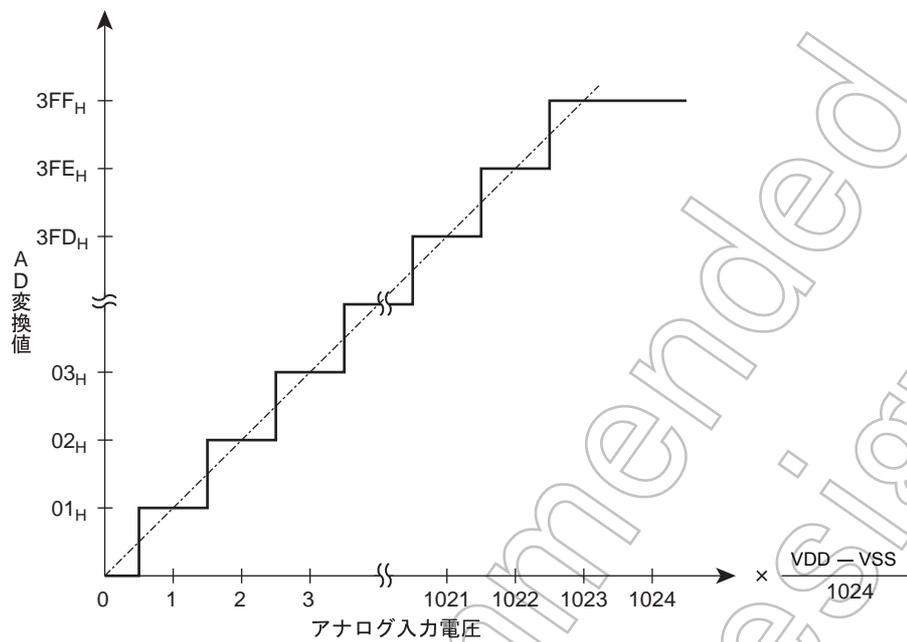


図 14-4 アナログ入力電圧と AD 変換値 (typ.) の関係

14.6 AD コンバータの注意事項

14.6.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN7) は、VDD ~ VSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

14.6.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

14.6.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 14-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

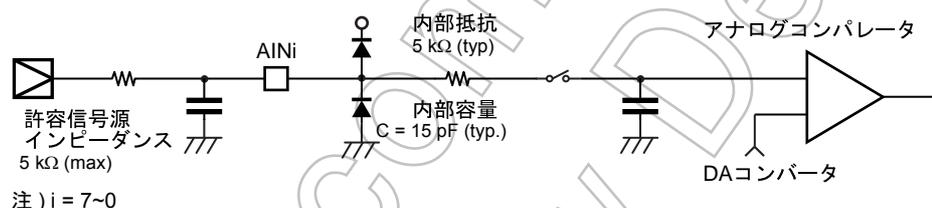


図 14-5 アナログ入力等価回路と入力端子処理例

Not Recommended
for New Design

第 15 章 キーオンウェイクアップ (KWU)

TMP86CH12MG は、P20($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に STOP0 ~ STOP3 の 4 つの端子でも STOP モードの解除が可能です。

STOP0 ~ STOP3 の入力で STOP モードを解除する場合、 $\overline{\text{STOP}}$ 端子の論理に注意が必要です。詳細については、後述の “15.2 制御” を参照してください。

15.1 構成

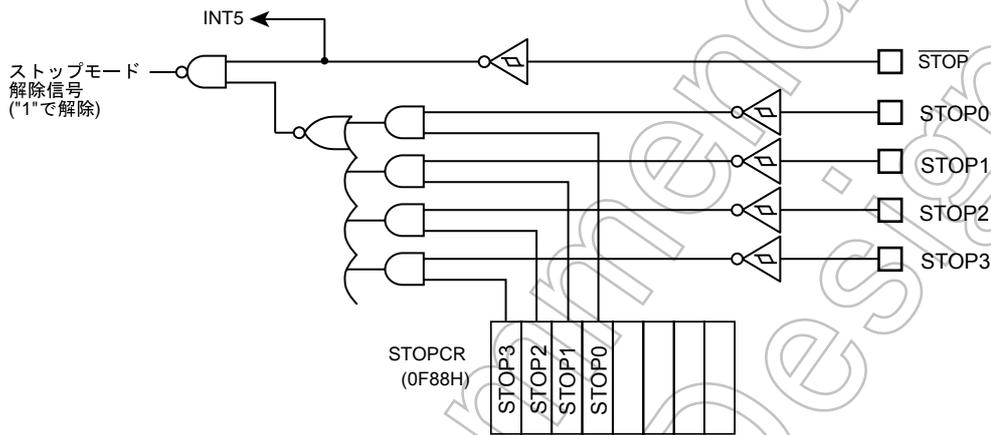
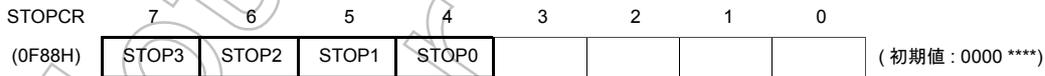


図 15-1 キーオンウェイクアップ回路

15.2 制御

STOP0 ~ STOP3 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ



STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP1	STOP1 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP0	STOP0 端子による STOP モード解除	0: 禁止 1: 許可	Write only

15.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP0 ~ STOP3 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

また、STOP0 ~ STOP3 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが“H”レベルになっていることを確認してください(注2)。

- 注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM>="0") で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP0 ~ STOP3 入力をすべて禁止にするか、入力が許可されている STOP0 ~ STOP3 端子を STOP モード中 "H" レベルに固定してください。
- 注 2) レベル解除の場合、 $\overline{\text{STOP}}$ 端子および STOP0 ~ STOP3 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。
- 注 3) $\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP0 ~ STOP3 入力によって STOP モードを解除する場合も、 $\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。
- 注 4) キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。
- 注 5) STOP0 ~ STOP3 入力によって STOP モードを解除する ("L" レベル) 場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず "L" レベルに固定してください。(図 15-2)

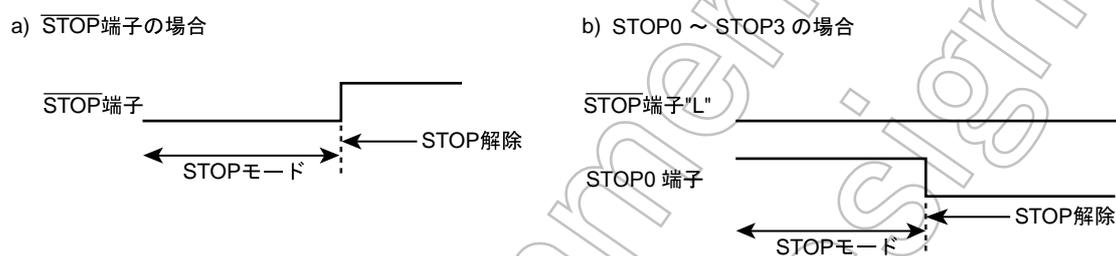


図 15-2 $\overline{\text{STOP}}$ 端子と STOP0 ~ STOP3 端子の優先順位

表 15-1 STOP モードの解除レベル (エッジ)

端子名	解除レベル (エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H" レベル	立ち上がりエッジ
STOP0	"L" レベル	使用禁止 (注 1)
STOP1	"L" レベル	使用禁止 (注 1)
STOP2	"L" レベル	使用禁止 (注 1)
STOP3	"L" レベル	使用禁止 (注 1)

第 16 章 端子の入出力回路

16.1 制御端子

TMP86CH12MG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 0.5 \text{ k}\Omega$ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_o = 220 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 100 \Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 100 \Omega$ (typ.)

16.2 入出力ポート

ポート	入出力	入出力回路およびコード	備考
P0	入出力	<p>初期値 "ハイインピーダンス"</p> <p>P-ch 制御 データ出力 出力ラッチ入力 出力禁止 端子入力(制御入力)</p>	<p>シンクオープンドレイン出力 または C-MOS 出力 ヒステリシス入力 大電流出力 R = 100 Ω (typ.)</p>
P1	入出力	<p>初期値 "ハイインピーダンス"</p> <p>データ出力 出力禁止 端子入力</p>	<p>トライステート入出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P2	入出力	<p>初期値 "ハイインピーダンス"</p> <p>データ出力 出力ラッチ入力 端子入力</p>	<p>シンクオープンドレイン出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P3	入出力	<p>初期値 "ハイインピーダンス"</p> <p>アナログ入力 データ出力 出力ラッチ入力 出力禁止 端子入力</p>	<p>トライステート入出力 ヒステリシス入力 R = 100 Ω (typ.)</p>

第 17 章 電気的特性

17.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(VSS = 0 V)

項 目	記号	端 子	規 格	単 位
電源電圧	V_{DD}		-0.3~6.5	V
入力電圧	V_{IN}		-0.3~ $V_{DD} + 0.3$	
出力電圧	V_{OUT}		-0.3~ $V_{DD} + 0.3$	
出力電流 (1端子当り)	I_{OUT1}	P0, P1, P3 ポート	-1.8	mA
	I_{OUT2}	P1, P2, P3 ポート	3.2	
	I_{OUT3}	P0 ポート	30	
出力電流 (全端子総計)	ΣI_{OUT1}	P0, P1, P3 ポート	-30	
	ΣI_{OUT2}	P1, P2, P3 ポート	60	
	ΣI_{OUT3}	P0 ポート	80	
消費電力 [Topr = 85 °C]	P_D		145	mW
はんだ付け温度 (時間)	T_{sld}		260 (10 s)	°C
保存温度	T_{stg}		-55~125	
動作温度	T_{opr}		-40~85	

17.2 推奨動作条件

推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 V, Topr = -40 ~ 85°C)

項目	記号	端子	条件	Mjn	Max	単位
電源電圧	V _{DD}		fc = 16 MHz NORMAL1, 2モード IDLE0, 1, 2モード	4.5	5.5	V
			fc = 8 MHz NORMAL1, 2モード IDLE0, 1, 2モード	2.7		
			fs = 32.768 kHz SLOW1, 2モード SLEEP0, 1, 2モード			
			STOPモード			
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	V
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
	V _{IH3}			V _{DD} < 4.5 V		
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	V
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
	V _{IL3}				V _{DD} < 4.5 V	
クロック周波数	fc	XIN, XOUT	V _{DD} = 2.7 ~ 5.5 V	1.0	8.0	MHz
	fc	XIN, XOUT	V _{DD} = 4.5 ~ 5.5 V	1.0	16.0	
	fs	XTIN, XTOUT	V _{DD} = 2.7 ~ 5.5 V	30.0	34.0	kHz

17.3 DC 特性

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V _{HS}	ヒステリシス入力		-	0.9	-	V
入力電流	I _{IN1}	TEST	V _{DD} = 5.5 V, V _{IN} = 5.5 V/0 V	-	-	±2	μA
	I _{IN2}	シンクオープンドレイン, トライステートポート					
	I _{IN3}	RESET, STOP					
入力抵抗	R _{IN1}	TEST プルダウン		-	70	-	kΩ
	R _{IN2}	RESET プルアップ		100	220	450	
出力リーク電流	I _{LO1}	シンクオープンドレイン	V _{DD} = 5.5 V, V _{OUT} = 5.5 V	-	-	2	μA
	I _{LO2}	トライステートポート	V _{DD} = 5.5 V, V _{OUT} = 5.5 V/0 V	-	-	±2	
高レベル出力電圧	V _{OH}	トライステートポート	V _{DD} = 4.5 V, I _{OH} = -0.7 mA	4.1	-	-	V
低レベル出力電圧	V _{OL}	XOUT, P0 ポートを除く	V _{DD} = 4.5 V, I _{OL} = 1.6 mA	-	-	0.4	
低レベル出力電流	I _{OL}	大電流 (P0 ポート)	V _{DD} = 4.5 V, V _{OL} = 1.0 V	-	20	-	mA
NORMAL1, 2 モード時電源電流	I _{DD}		V _{DD} = 5.5 V V _{IN} = 5.3 V/0.2 V fc = 16 MHz fs = 32.768 kHz	-	10	13	mA
IDLE0, 1, 2 モード時電源電流				-	6.5	10	
SLOW1 モード時 電源電流			V _{DD} = 3.0 V V _{IN} = 2.8 V/0.2 V fs = 32.768 kHz	-	8	18	μA
SLEEP1 モード時 電源電流				-	5	15	
SLEEP0 モード時 電源電流				-	4	12	
STOP モード時 電源電流				V _{DD} = 5.5 V V _{IN} = 5.3 V/0.2 V	-	0.5	

注 1) Typ. 値は条件に指定なき場合 Topr=25 °C, VDD=5V 時の値を示します。

注 2) 入力電流 I_{IN3}: プルアップまたはプルダウン抵抗による電流を除きます。

注 3) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 モードと同等です。

17.4 AD 変換特性

($V_{SS} = 0.0\text{ V}$, $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $T_{opr} = -40\sim 85\text{ }^{\circ}\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ入力電圧範囲	V_{AIN}		V_{SS}	—	V_{DD}	V
非直線性誤差		$V_{DD} = 5.0\text{ V}$ $V_{SS} = 0.0\text{ V}$	—	—	± 4	LSB
ゼロ誤差			—	—	± 4	
フルスケール誤差			—	—	± 4	
総合誤差			—	—	± 4	

($V_{SS} = 0.0\text{ V}$, $2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$, $T_{opr} = -40\sim 85\text{ }^{\circ}\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ入力電圧範囲	V_{AIN}		V_{SS}	—	V_{DD}	V
非直線性誤差		$V_{DD} = 3.0\text{ V}$ $V_{SS} = 0.0\text{ V}$	—	—	± 4	LSB
ゼロ誤差			—	—	± 4	
フルスケール誤差			—	—	± 4	
総合誤差			—	—	± 4	

- 注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。
- 注 2) 変換時間は電源電圧範囲によって推奨値が異なります。
- 注 3) A_{IN} 入力端子への入力電圧は $V_{DD}\sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。

17.5 AC 特性

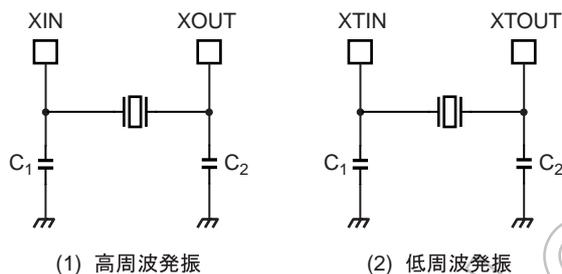
(V_{SS} = 0 V, 4.5 V ≤ V_{DD} ≤ 5.5 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1, 2 モード時	0.25	—	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	—	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	—	31.25	—	ns
低レベルクロックパルス幅	t _{WCL}	fc = 16 MHz 時				
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	—	15.26	—	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

(V_{SS} = 0 V, 2.7 V ≤ V_{DD} < 4.5 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1, 2 モード時	0.5	—	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	—	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	—	62.5	—	ns
低レベルクロックパルス幅	t _{WCL}	fc = 8 MHz 時				
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	—	15.26	—	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

17.6 推奨発振条件



注 1) 弊社マイクロコントローラの発振子として、(株)村田製作所のセラミック発振子を推奨します。
詳細につきましては、下記アドレスの弊社ホームページをご参照ください。
http://www.murata.co.jp/search/index_j.html

17.7 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目

はんだ付け性

試験条件

230 °C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)

245 °C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)

備考

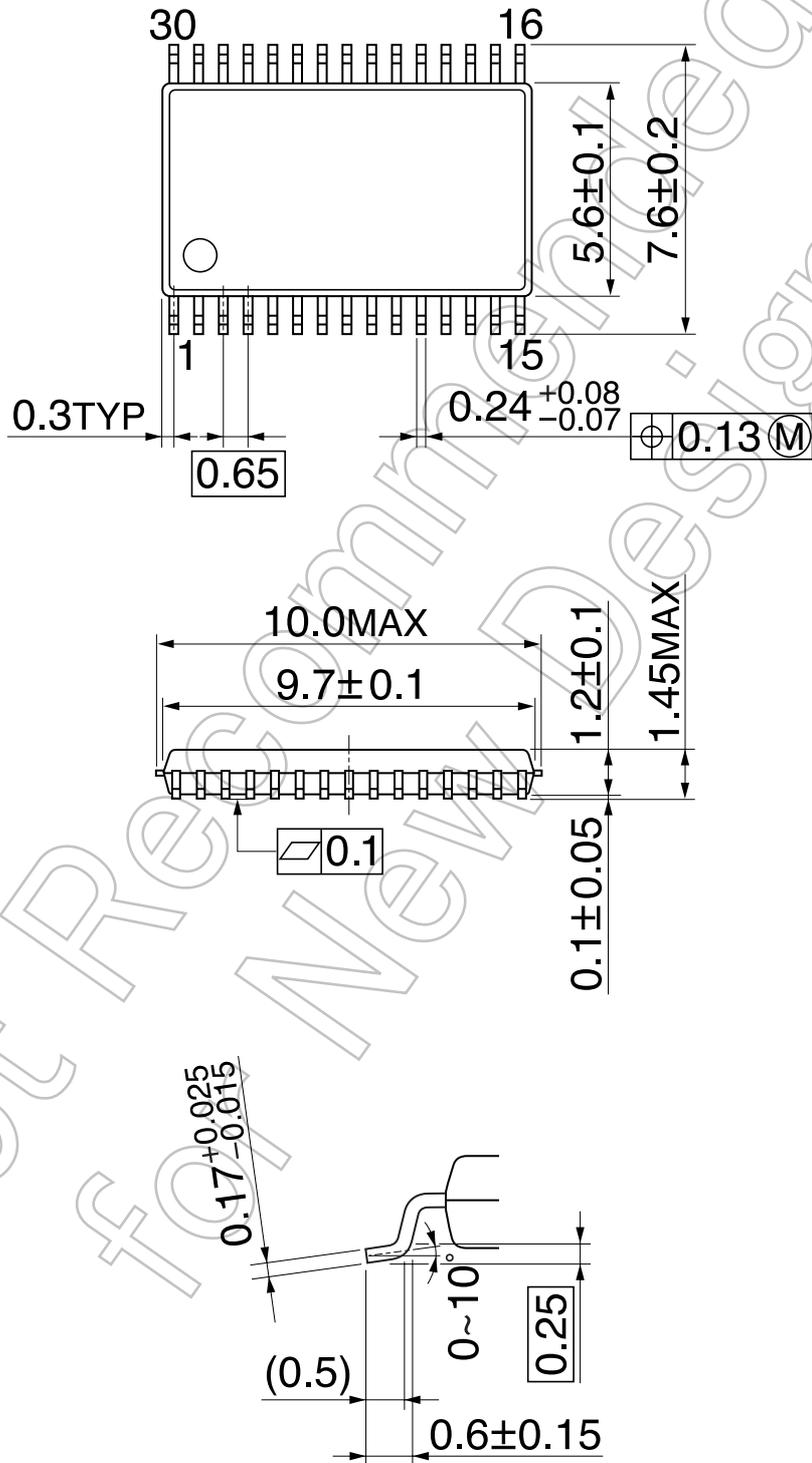
フォーミングまではんだ付着率 95% を良品とする。

- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

第 18 章 外形寸法

P-SSOP30-56-0.65

Unit: mm



Not Recommended
for New Design

あとがき

この資料はTMP86CH12MGのハードウェア(LSI)を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア(LSI)の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今のCMOS LSIの製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用LSIも次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れたMOS製造技術、特に実績のあるCMOS技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2006年10月3日

8ビットマイクロコントローラ

TMP86CH12MG

発行年月日

2006年10月3日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
