

TOSHIBA

32 ビット TX System RISC

TX19 ファミリー

TMP19A71CYFG/UG

TMP19A71FYFG/UG

Rev 2.0 (2007-2-19)

株式会社 **東芝** セミコンダクター社

目 次

TMP19A71 製品別マニュアル

1. 概要と特長	1-1
2. ピン配置とピン機能	2-1
3. プロセッサコア	3-1
4. メモリマップ	4-1
5. クロック/スタンバイ制御	5-1
6. ウォッチドッグタイマ (暴走検出用タイマ)	6-1
7. 割り込み	7-1
8. ポート機能	8-1
9. デバックサポートユニット (DSU)	9-1
10. DMA コントローラ (DMAC)	10-1
11. 16 ビットタイマ/イベントカウンタ (TMRB)	11-1
12. シリアル チャネル (SIO)	12-1
13. A/D コンバータ	13-1
14. モータ制御回路 (PMD)	14-1
15. エンコーダ入力回路	15-1
16. ROM コレクション	16-1
17. フラッシュメモリ	17-1
18. 特殊機能レジスタ一覧表	18-1
19. 電気的特性	19-1
20. パッケージ外形図	20-1
21. 使用上の制限事項	21-1

32 ビット RISC マイクロプロセッサ TX19 ファミリー TMP19A71FYFG/FYUG/CYFG/CYUG

1. 概要と特長

TMP19A71 に搭載されているTX19Aプロセッサコアは、米国MIPS グループの高性能な 32 ビットの命令セットであるMIPS32ISAと高コード効率の命令セットであるMIPS16eISAに当社で命令を追加した拡張命令セットのMIPS16e-TX™ASE (Application Specific Extension)を追加して、当社で独自開発した高性能な 32 ビットRISCプロセッサファミリーです。

TMP19A71 は、TX19A プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A71 の特長は次のとおりです。

(1) TX19A プロセッサコア (詳細は別冊の TX19A コアアーキテクチャを参照してください)

①16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビットISAモードの命令は、コード効率の優れたMIPS16e™ASEとオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

②高性能化と低消費電力化を同時に実現

- 高性能化
 - SAVE/RESTORE/ジャンプ・分岐命令を除き 1 クロックで実行
 - 3 オペランドの演算命令により高性能を実現
 - 5 段パイプライン
 - 高速メモリを内蔵
 - DSP 機能: 32 ビット積和演算 (32×32+64=64 ビット) を 1 クロックで実行
- 低消費電力化
 - 低消費電力ライブラリを使用した最適化設計
 - プロセッサコアの動作を停止させるスタンバイ機能

③リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

- 当社は品質、信頼性の向上に努めていますが、一般に半導体製品は誤作動したり、故障したりすることがあります。当社半導体製品をご使用頂く場合は、半導体製品の誤作動や故障により、他人の生命・身体・財産が侵害されることのないように、購入者側の責任において、装置の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用頂くとともに、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご活用ください。
- 本資料に掲載されている製品は、外国為替および外国貿易管理法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に関する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

(2) 内蔵プログラムメモリ/データメモリ

製品名	内蔵 ROM	内蔵 RAM
TMP19A71FYFG/UG	256Kbyte FlashROM	10Kbyte
TMP19A71CYFG/UG	256Kbyte MaskROM	10Kbyte

- ROM コレクション機能 (8 ワード×8 ブロック)

(3) DMA コントローラ : 8 チャンネル

- 割り込みもしくはソフトウェアにて起動
- 転送対象は内蔵メモリ、内蔵 I/O

(4) 16 ビットタイマ : 4 チャンネル

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力
- インプットキャプチャ機能

(5) シリアルチャネル : 4 チャンネル

- UART/同期式モード選択可能 (2ch)、UART 専用 (2ch)
- デューティ 50%出力機能 (UART モードのみ)

(6) 3 相 PWM 出力 (PMD) : 2 チャンネル

- 分解能 35.7ns (IMCLK=28MHz) の 3 相 PWM 生成
- デッドタイム付加機能
- 異常時の出力禁止機能
- 2ch 同期スタート機能

(7) ABZ エンコーダ : 1 チャンネル

- インクリメンタル形エンコーダ対応
- 回転方向検出回路
- 絶対位置検出カウンタ
- 位置コンペア回路
- ノイズフィルタ内蔵

(8) 10 ビット A/D コンバータ (サンプルホールド有) : 19 チャンネル

- 高速変換 (最小 2.36 μ s)
- 入力電圧 : 0V~3.3V
- 外部トリガスタート可能
- チャンネル固定/スキャンモード
- シングル/リピートモード
- 最優先変換モード
- A/D 監視機能
- PMD モード

(9) ウォッチドックタイマ : 1 チャンネル

(10) 割り込み機能

- CPU 2本 …… ソフトウェア割り込み(コプロセッサ内)
- 内部 37本 …… 7レベルの優先順位設定可能
(ウォッチドッグタイマ要因を除く)
- 外部 11本 …… 7レベルの優先順位設定可能 (NMI 割り込みを含む)

(11) 入出力ポート …… 75 端子

(12) スタンバイ機能

- 3種類のスタンバイモード (DOZE, HALT, STOP)

(13) クロックジェネレータ

- PLL 内蔵 (16 逡倍)
- クロックギア機能: 高速クロックを 1/2, 1/4, 1/8 に分周

(14) エンディアン

- リトルエンディアン固定

(15) 電源電圧

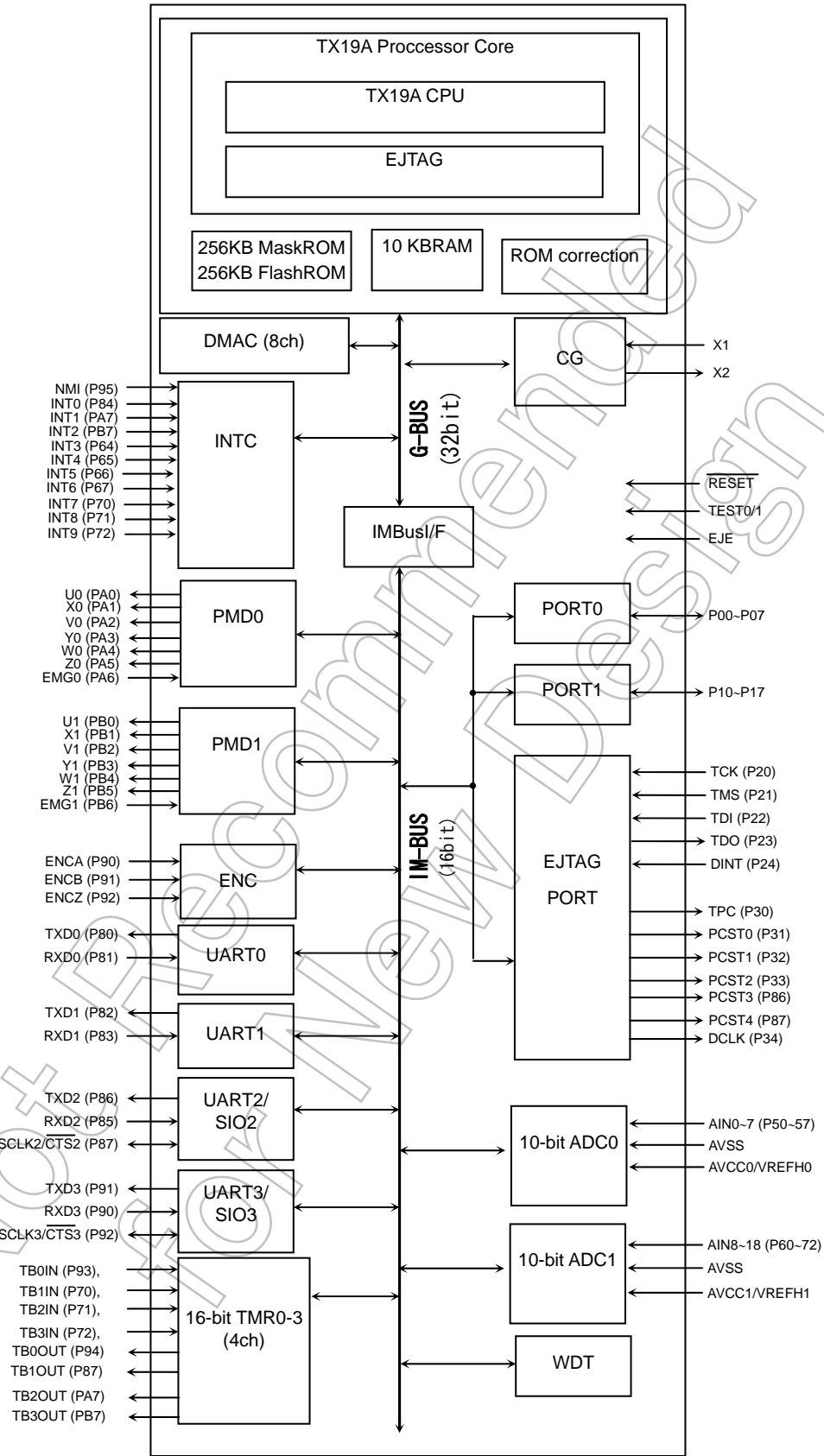
- 周辺 I/O: Vcc3 = 3.3V±0.3V (TMP19A71FYFG/UG, TMP19A71CYFG/UG)
- 内部: Vcc2 = 2.5V±0.2V (TMP19A71FYFG/UG)
- 内部: VccC15 = 1.5V±0.15V (TMP19A71CYFG/UG)

(16) 動作周波数

- 56MHz (Vcc2 = 2.5V±0.2V : TMP19A71FYFG/UG)
- 56MHz (Vcc15 = 1.5V±0.15V : TMP19A71CYFG/UG)

(17) パッケージ

- P-LQFP100-1414-0.50F (14mm×14mm, 0.5mm ピッチ) : TMP19A71FYUG/CYUG
- P-QFP100-1420-0.65A (14mm×20mm, 0.65mm ピッチ) : TMP19A71FYFG/CYFG



() : リセット後の初期機能

図 1.1 TMP19A71 ブロック図

2. ピン配置とピン機能

TMP19A71 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 TMP19A71CYFG/UG ピン配置図

TMP19A71CYUGのピン配置図は、図 2.1のとおりです。

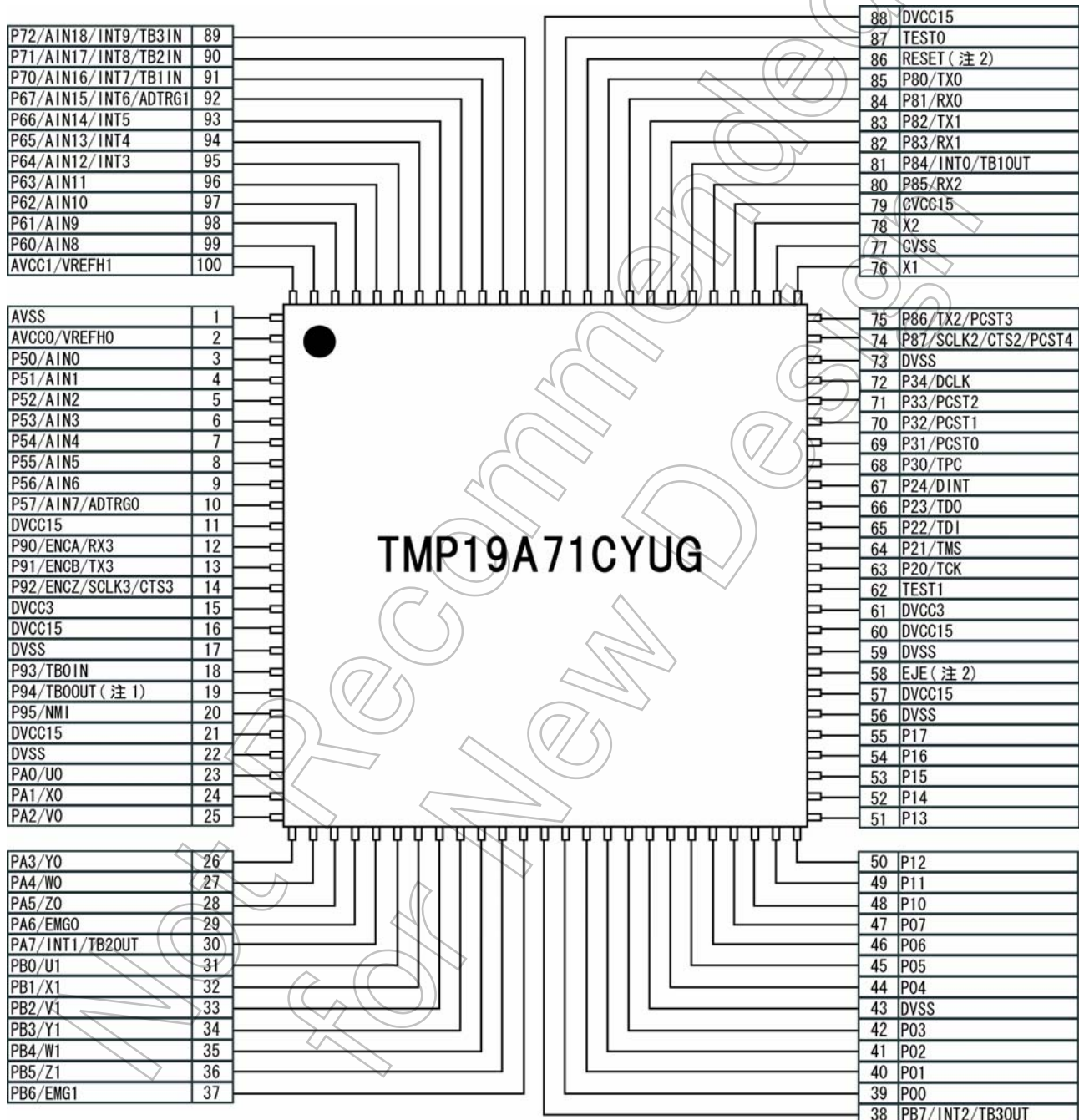


図 2.1 TMP19A71CYUG ピン配置図 (100 ピン LQFP)

(注1) リセット解除するまで” H” に固定してください。

(注2) ” L” アクティブの信号です。

TMP19A71CYFGのピン配置図は、図 2.2のとおりです。

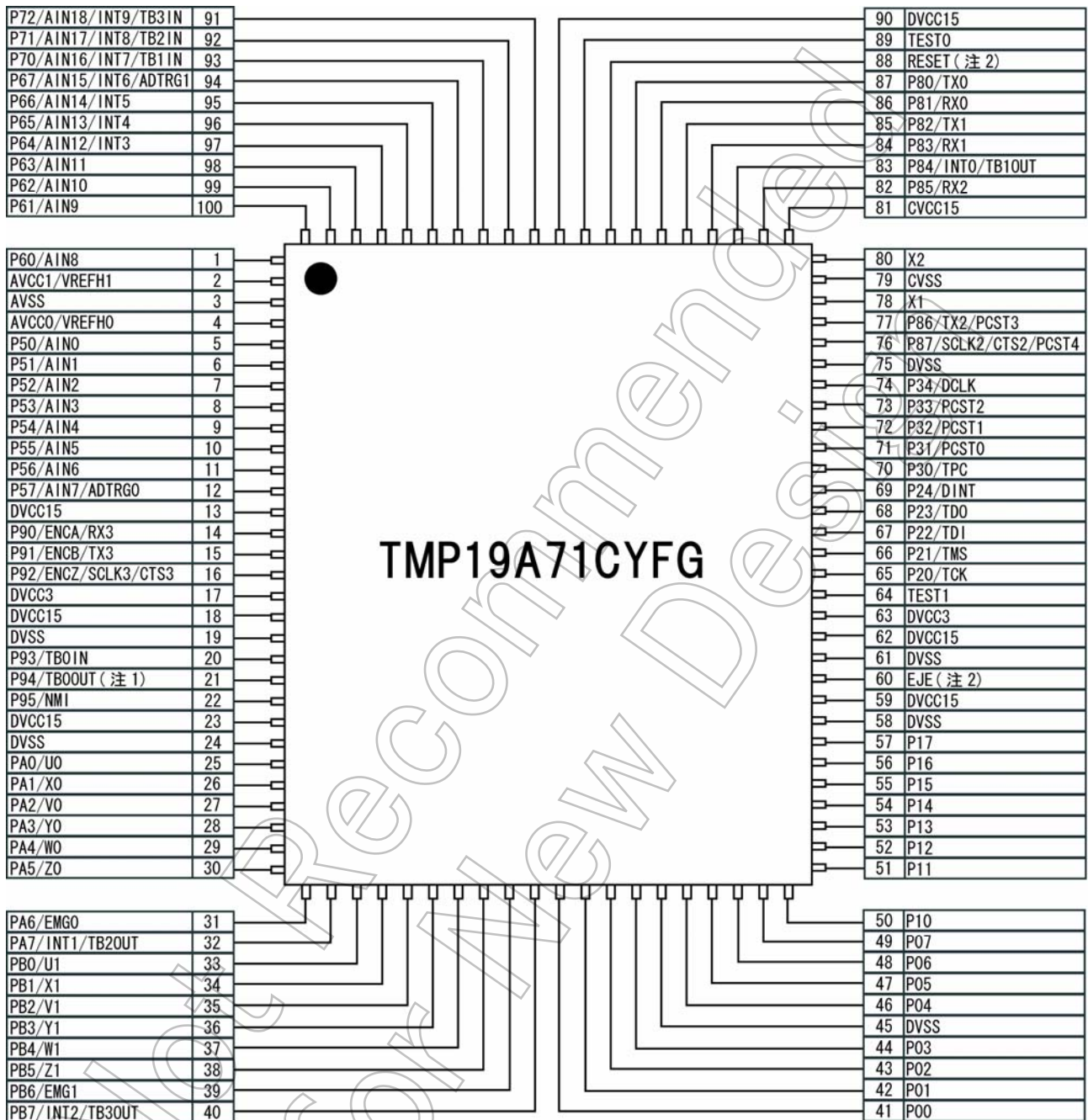


図 2.2 TMP19A71CYFG ピン配置図 (100 ピン QFP)

(注1) リセット解除するまで” H” に固定してください。

(注2) ” L” アクティブの信号です。

2.2 TMP19A71FYFG/UG ピン配置図

TMP19A71FYUGのピン配置図は、図 2.3のとおりです。

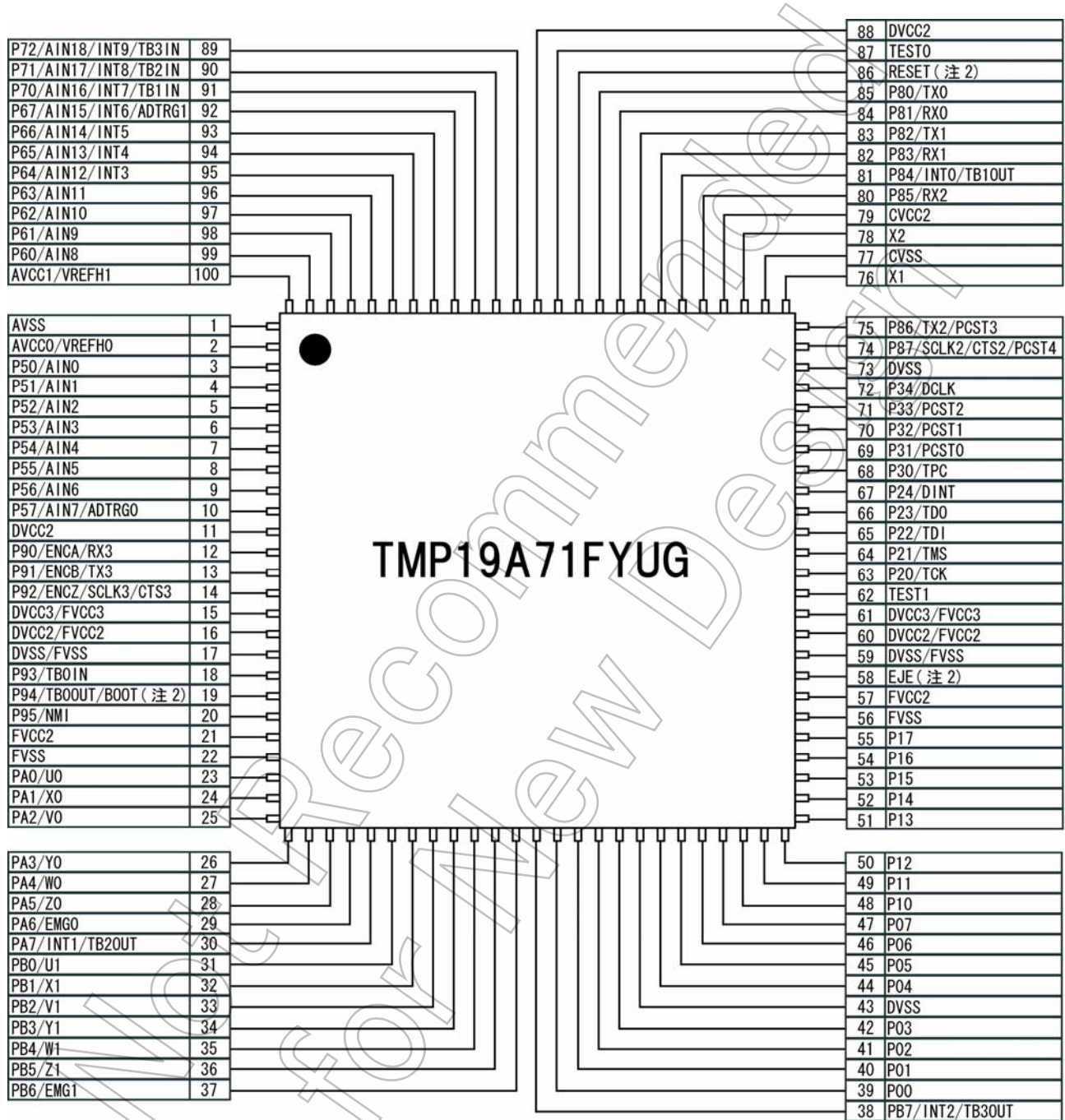


図 2.3 TMP19A71FYUG ピン配置図 (100ピン LQFP)

(注1) リセット解除するまで”H”に固定してください。

(注2) ”L”アクティブの信号です。

TMP19A71FYFGのピン配置図は、図 2.4のとおりです。

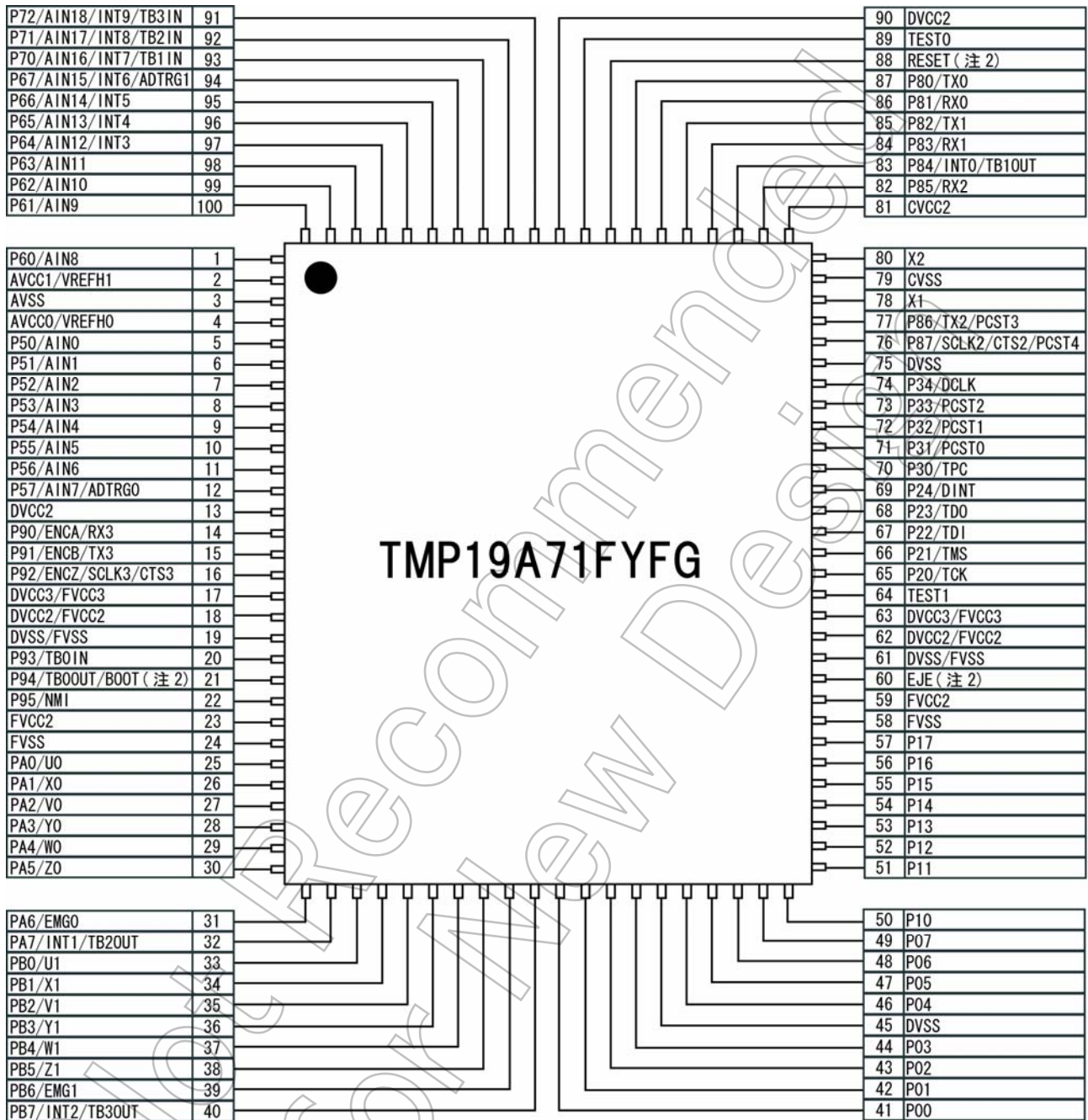


図 2.4 TMP19A71FYFG ピン配置図 (100 ピン QFP)

(注 1) リセット解除するまで” H” に固定してください。

(注 2) ” L” アクティブの信号です。

2.3 TMP19A71 ピン名称と機能

入出力ピンの名称と機能は、表 2.3.1のとおりです。

表 2.3.1ピン名称と機能

ピン名称	ピン数	入出力	機 能
P00~P07	8	入出力	ポート0：ビット単位で入出力の設定ができる入出力ポート
P10~P17	8	入出力	ポート1：ビット単位で入出力の設定ができる入出力ポート
P20 TCK	1	入出力 入力	ポート20：入出力ポート EJTAG 端子(シュミット付き入力端子)
P21 TMS	1	入出力 入力	ポート21：入出力ポート EJTAG 端子(シュミット付き入力端子)
P22 TDI	1	入出力 入力	ポート22：入出力ポート EJTAG 端子(シュミット付き入力端子)
P23 TDO	1	入出力 出力	ポート23：入出力ポート EJTAG 端子
P24 DINT	1	入出力 入力	ポート24：入出力ポート EJTAG 端子(シュミット付き入力端子)
P30 TPC	1	入出力 出力	ポート30：入出力ポート EJTAG 端子
P31 PCST0	1	入出力 出力	ポート31：入出力ポート EJTAG 端子
P32 PCST1	1	入出力 出力	ポート32：入出力ポート EJTAG 端子
P33 PCST2	1	入出力 出力	ポート33：入出力ポート EJTAG 端子
P34 DCLK	1	入出力 出力	ポート34：入出力ポート EJTAG 端子
P50~P57 AN0~AN7	8	入力 入力	ポート5：入力専用ポート アナログ入力：A/Dコンバータの入力
P60~P63 AN8~AN11	4	入力 入力	ポート60-63：入力専用ポート アナログ入力：A/Dコンバータの入力
P64-67 AN12-15 INT3-6	4	入出力 入力 入力	ポート64-67：入出力ポート(シュミット付き入力端子) アナログ入力：A/Dコンバータの入力 外部割込み端子：High/Lowレベル/立ち上がり/下がりエッジ選択可能
P70 AN16 INT7 TB1IN	1	入出力 入力 入力 入力	ポート70：入出力ポート(シュミット付き入力端子) アナログ入力：A/Dコンバータの入力 外部割込み端子7：High/Lowレベル/立ち上がり/下がりエッジ選択可能 16bitタイマ1入力：16bitタイマ1の入力端子
P71 AN17 INT8 TB2IN	1	入出力 入力 入力 入力	ポート71：入出力ポート(シュミット付き入力端子) アナログ入力：A/Dコンバータの入力 外部割込み端子8：High/Lowレベル/立ち上がり/下がりエッジ選択可能 16bitタイマ2入力：16bitタイマ2の入力端子
P72 AN18 INT9 TB3IN	1	入出力 入力 入力 入力	ポート72：入出力ポート(シュミット付き入力端子) アナログ入力：A/Dコンバータの入力 外部割込み端子9：High/Lowレベル/立ち上がり/下がりエッジ選択可能 16bitタイマ3入力：16bitタイマ3の入力端子

ピン名称	ピン数	入出力	機能
P80 TX0	1	入出力 出力	ポート80：入出力ポート(オープンドレイン付) シリアル送信データ0
P81 RX0	1	入出力 入力	ポート81：入出力ポート シリアル受信データ0
P82 TX1	1	入出力 出力	ポート82：入出力ポート(オープンドレイン付) シリアル送信データ1
P83 RX1	1	入出力 入力	ポート83：入出力ポート シリアル受信データ1
P84 INT0 TB10UT	1	入出力 入力 出力	ポート84：入出力ポート(シュミット付き入力端子) 外部割込み端子 16ビットタイマ1出力：16ビットタイマ1の出力端子
P85 RX2	1	入出力 入力	ポート85：入出力ポート シリアル受信データ2
P86 TX2 PCST3	1	入出力 出力 出力	ポート86：入出力ポート(オープンドレイン付) シリアル送信データ2 EJTAG 端子
P87 SCLK2 CTS2 PCST4	1	入出力 入出力 出力 出力	ポート87：入出力ポート(オープンドレイン/シュミット付き入力端子) シリアルクロック入出力2 シリアルデータ送信可能2(Clear To Send) EJTAG 端子
P90 ENCA RX3	1	入出力 入力 入力	ポート90：入出力ポート(シュミット付き入力端子) エンコーダA相入力端子 シリアル受信データ3
P91 ENCB TX3	1	入出力 入力 出力	ポート91：入出力ポート(シュミット付き入力端子) エンコーダB相入力端子 シリアル送信データ3
P92 ENCZ SCLK2 CTS2	1	入出力 入力 入出力 出力	ポート92：入出力ポート(シュミット付き入力端子) エンコーダZ相入力端子 シリアルクロック入出力3 シリアルデータ送信可能3(Clear To Send)
P93 TB0IN	1	入出力 入力	ポート93：入出力ポート(シュミット付き入力端子) 16ビットタイマ0入力：16ビットタイマ0の入力及び緊急停止入力端子
P94 TB0OUT BOOT(注1)	1	入出力 出力	ポート94：入出力ポート 16ビットタイマ0出力：16ビットタイマ0の出力端子 シングルポートモード設定端子：BOOTモードで起動する場合は”L”に設定してください。
P95 NMI	1	入出力 入力	ポート95：入出力ポート(シュミット付き入力端子) ノンスカブル割込み要求端子：エッジ選択可能な割込み端子
PA0 U0	1	入出力 出力	ポートA0：入出力ポート PMD0：U相出力
PA1 X0	1	入出力 出力	ポートA1：入出力ポート PMD0：X相出力
PA2 V0	1	入出力 出力	ポートA2：入出力ポート PMD0：V相出力
PA3 Y0	1	入出力 出力	ポートA3：入出力ポート PMD0：Y相出力
PA4 W0	1	入出力 出力	ポートA4：入出力ポート PMD0：W相出力
PA5 Z0	1	入出力 出力	ポートA5：入出力ポート PMD0：Z相出力

ピン名称	ピン数	入出力	機 能
PA6 EMG0	1	入出力 入力	ポート A6 : 入出力ポート(シュミット付き入力端子) PMD0 : 緊急停止入力端子
PA7 INT1 TB2OUT	1	入出力 入力 出力	ポート A7 : 入出力ポート(シュミット付き入力端子) 割り込み要求端子 1 : High/Low レベル/立ち上がり/下がりエッジ 選択可能 16 ビットタイマ 2 出力 : 16 ビットタイマ 2 の出力端子
PB0 U1	1	入出力 出力	ポート B0 : 入出力ポート PMD1 : U 相出力
PB1 X1	1	入出力 出力	ポート B1 : 入出力ポート PMD1 : X 相出力
PB2 V1	1	入出力 出力	ポート B2 : 入出力ポート PMD1 : V 相出力
PB3 Y1	1	入出力 出力	ポート B3 : 入出力ポート PMD1 : Y 相出力
PB4 W1	1	入出力 出力	ポート B4 : 入出力ポート PMD1 : W 相出力
PB5 Z1	1	入出力 出力	ポート B5 : 入出力ポート PMD1 : Z 相出力
PB6 EMG1	1	入出力 入力	ポート B6 : 入出力ポート(シュミット付き入力端子) PMD1 : 緊急停止入力端子
PB7 INT2 TB3OUT	1	入出力 入力 出力	ポート B7 : 入出力ポート(シュミット付き入力端子) 割り込み要求端子 2 : High/Low レベル/立ち上がり/下がりエッジ 選択可能 16 ビットタイマ 3 出力 : 16 ビットタイマ 3 の出力端子
AVSS	1	—	A/D コンバータ GND 端子 (0V)
AVCC0 /VREFH0	1	—	A/D コンバータ 0 電源端子 (3.3V) A/D コンバータ用基準電源入力端子 (H) (兼用)
AVCC1 /VREFH1	1	—	A/D コンバータ 1 電源端子 (3.3V) A/D コンバータ用基準電源入力端子 (H) (兼用)
EJE	1	入力	EJTAG イネーブル("L" アクティブ)
RESET	1	入力	リセット : LSI を初期化します(プルアップ/シュミット付き入力端子、"L" アクティブ)
TEST0	1	—	TEST 用端子 : "L" に固定してください。
TEST1	1	—	TEST 用端子 : "L" に固定してください。
X1/X2	2	入出力	発振子接続端子
MASK 製品電源/GND 端子			
CVCC15	1	—	発振器用電源端子 (1.5V)
CVSS	1	—	発振器用 GND 端子 (0V)
DVCC3	2	—	電源端子 (3.3V)
DVCC15	6	—	電源端子 (1.5V)
DVSS	6	—	GND 端子 (0V)
FLASH 製品電源/GND 端子			
CVCC2	1	—	発振器用電源端子 (2.5V)
CVSS	1	—	発振器用 GND 端子 (0V)
FVCC3	(2)	—	Flash マクロ用電源端子 (3.3V) (DVCC3 と兼用)
FVCC2	2	—	Flash マクロ用電源端子 (2.5V)
FVSS	2	—	Flash マクロ用 GND 端子 (0V)
DVCC3	2	—	電源端子 (3.3V)
DVCC2	4	—	電源端子 (2.5V)
DVSS	4	—	GND 端子 (0V)

(注 1) MASK 製品は、"H" に固定してください。

3. プロセッサコア

TMP19A71 には、高性能 32 ビットプロセッサコア (TX19A プロセッサコア) が内蔵されています。プロセッサコアの動作については、別冊の“TX19A コア アーキテクチャ”を参照してください。

ここでは、“TX19A コア アーキテクチャ”にて説明されていない TMP19A71 独自の機能について説明します。

(注1) 本文中で説明するレジスタのアドレスはすべてリトルエンディアンで動作する場合があります。

3.1 電源投入順序

本デバイスに電源を投入する場合はコア電源 (Flash 製品 2.5V、Mask 製品 1.5V) を先に立ち上げることを推奨します。

3.2 リセット動作

本デバイスにリセットをかけるには、電源投入後、電源が動作範囲内になってから RESET 入力を少なくとも表 3.2.1 に示す時間の間 “L” にしてください。この時間は内部回路を初期化するために必要な時間です。この時間を満たさない場合は内部回路が正しく初期化されず、正常に動作しない可能性があります。また内蔵プログラムはリセット解除後、約 30 μ sec 後に動作を開始します。

表 3.2.1 リセット入力時間

リセットをかけるタイミング	計算式 (sec)	外部リセット入力必要時間
Flash 版電源投入時 / Flash 版 2 回目以降 (CLKMISC<MSFR>=0)	固定値	電源安定後、1msec
Flash 版 2 回目以降 (CLKMISC<MSFR>=1) / Mask 版	32/X1	発振安定後 4.6 μ s @7MHz / 6.4 μ s @5MHz

(注1) 発振開始時は上記以外に発振安定時間 / PLL ロックアップタイムを設けてください。

リセットが受け付けられると、

- TX19A プロセッサコアのシステム制御コプロセッサ (GPO) レジスタが初期化されます。詳細は“TX19A コア アーキテクチャ”を参照してください。
- リセット例外処理を行った後、プログラムは例外ハンドラへ分岐します。分岐先アドレス (例外ハンドラ開始アドレス) を例外ベクタアドレスと呼び、リセット例外 (ノンマスクブル割り込みなど) の例外ベクタアドレスは 0xBFC0_0000 番地 (仮想アドレス) です。
- 内蔵 I/O のレジスタを初期化します。
- ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセットします。

(注1) パワーオン時には RESET 端子を “L” にした状態でパワーオンし、電源電圧が動作範囲で十分安定した状態でリセット解除させてください。

(注2) リセット時にアクセスしている内蔵 RAM 及び、選択されているバンクの汎用レジスタのデータが破壊される可能性があります。

3.3 スタートアップ処理

ここでは一般的なスタートアップ処理を説明します。必要な処理はユーザプログラムに依存しますので、必要に応じて記述してください。

1. Shadow Register Set の設定

Shadow Register Set を使用する場合、CP0 レジスタの SSCR<SSD>を”0” にセットして下さい。

2. グローバルポインタ r28 (GP)、スタックポインタ r29 (SP) の設定

必要に応じて r28 と r29 に必要な初期値を設定します。Shadow Register Set を使用する場合、Shadow Register Set 番号 0 と 1~7 で r29 が異なりますので、別に設定が必要になります。

3. CP0 レジスタの Status の設定

必要に応じて CP0 レジスタの Status<CU0>=1 (CP0 使用可能)、<BEV>=1 (例外ベクタの設定)、<IM[4:2]>=1 (割り込みマスクの設定) をセットしてください。

4. CP0 レジスタの Cause の設定

必要に応じて CP0 レジスタの Cause<IV>=1 (例外ベクタの設定) をセットしてください。

5. オペランドデコード切り替え

FLASH 製品と MASK 製品でデータ読み出し方法を必ず設定する必要があります。この設定を行わないと正常に内蔵 ROM データを読み出せません。BODCR と BODLR はブロック 0 から、B1DCR と B1DLR はブロック 1 からアクセスをしてください。

(設定例)

0xBFC0_0000~0xBFC1_FFFF (0x0000_0000~0x0001_FFFF) の命令で

BODCR (0xFFFF_E530) <← 0x00

BODLR (0xFFFF_E534) <← 0x3D

0xBFC2_0000~0xBFC3_FFFF (0x0002_0000~0x0003_FFFF) の命令で

B1DCR (0xFFFF_E538) <← 0x00

B1DLR (0xFFFF_E53C) <← 0x3D

ブロック 0 デコードコントロールレジスタ

		7	6	5	4	3	2	1	0
BODCR (0xFFFF_E530)	bit Symbol	—	—	—	—	—	—	—	BODECEN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	1
	機能	1:FLASH 製品 0:MASK 製品							

- (注1) MASK 製品では<BODECEN>は WDT のリセットでは初期化されず、外部リセットで初期化されます。
- (注2) FLASH 製品では<BODECEN>は通常のリセットでは初期化されず、電源投入（パワーオンリセット）で初期化されます。
- (注3) BODCR はブロック 0 (0xBFC0_0000~0xBFC1_FFFF もしくは 0x0000_0000~0x0001_FFFF) の命令でアクセスして下さい。

ブロック 0 デコードロックレジスタ

		7	6	5	4	3	2	1	0
BODLR (0xFFFF_E534)	bit Symbol	—							
	Read/Write	W							
	リセット後	—	—	—	—	—	—	—	—
	機能	BODLR<BODECEN>に書き換えたい値を書き込んだ後、このレジスタに” 0x3D” を書き込むことによって BODLR<BODECEN>に値がセットされます。							

- (注1) BODLR はブロック 0 (0xBFC0_0000~0xBFC1_FFFF もしくは 0x0000_0000~0x0001_FFFF) の命令でアクセスして下さい。

ブロック 1 デコードコントロールレジスタ

		7	6	5	4	3	2	1	0
B1DCR (0xFFFF_E538)	bit Symbol	—	—	—	—	—	—	—	B1DECEN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	1
	機能	1:FLASH 製品 0:MASK 製品							

- (注1) MASK 製品では<B1DECEN>は WDT のリセットでは初期化されず、外部リセットで初期化されます。
- (注2) FLASH 製品では<B1DECEN>は通常のリセットでは初期化されず、電源投入（パワーオンリセット）で初期化されます。
- (注3) B1DCR はブロック 1 (0xBFC2_0000~0xBFC3_FFFF もしくは 0x0002_0000~0x0003_FFFF) の命令でアクセスして下さい。

ブロック 1 デコードロックレジスタ

		7	6	5	4	3	2	1	0
B1DLR (0xFFFF_E53C)	bit Symbol	—							
	Read/Write	W							
	リセット後	—	—	—	—	—	—	—	—
	機能	B1DLR<B1DECEN>に書き換えたい値を書き込んだ後、このレジスタに” 0x3D” を書き込むことによって B1DLR<B1DECEN>に値がセットされます。							

- (注1) B1DLR はブロック 1 (0xBFC2_0000~0xBFC3_FFFF もしくは 0x0002_0000~0x0003_FFFF) の命令でアクセスして下さい。

3.4 バスサイクル

TX19A プロセッサコアのようなパイプラインを備えたプロセッサコアは、パイプラインの乱れ（パイプラインハザード）によって性能が大きく左右されるため、プログラマもしくはコンパイラは性能を向上させるためにバスサイクルによるパイプラインハザードを考慮する必要があります。TX19A プロセッサコアはノンブロッキングロードのようにバスサイクルをパイプラインと非同期に制御することでバスサイクルによる性能低下を抑制します。

さらにハードウェアによる非同期制御だけでなく、外部要因で起動される DMA 転送なども考慮するとバスサイクルをソフトウェアで管理することは非常に難しくなります。そのためバスサイクルの同期を取る為に TX19A プロセッサコアでは”SYNC 命令”が存在します。”SYNC 命令”はライトバッファを含む自分自身よりも前のバスサイクルを発生させる命令のバスサイクルをすべて終了してから次の命令に移ります。

ここでは”SYNC 命令”の使用方法を中心にバスサイクルの注意事項について説明します。ただし、バスサイクルを考慮する必要があるかどうかはアプリケーション上のシステムに依存しますので、ここで注意事項としてあげている場合でも問題とならない場合や逆に一般的に注意が必要ない場合でも問題となりうる場合があることをご了承ください。

ライトバッファ及びバスサイクルの詳細は「TX19A コア アーキテクチャ」を参照してください。

3.4.1 バスサイクル実行クロック

表 3.4.1 のバスサイクルの実行クロック数はロードもしくはストア命令のバスサイクルがスタートしてから終了するまでの実行クロックです。ライトバッファやバスの状態によって、バスサイクルのスタートタイミングが変わるため、下記実行クロック数で必ず終了するとは限りません。

表 3.4.1 バスサイクル実行クロック数

	1bit/8bit(バイト)	16bit(ハーフワード)	32bit(ワード)
内蔵 ROM	2clk(fsys)@オペランド	2clk(fsys)@オペランド (命令は 1clk(fsys))	2clk(fsys)@オペランド (命令は 1clk(fsys))
内蔵 RAM	1clk(fsys)	1clk(fsys)	1clk(fsys)
G-BUS (CG/IRC/DMAC)	CPU : 3~4clk(fsys) DMAC: 4clk(fsys)	CPU : 3~4clk(fsys) DMAC: 4clk(fsys)	CPU : 3~4clk(fsys) DMAC: 4clk(fsys)
IM-BUS (G-BUS 以外の I/O レジスタ) (IMCLK: 28MHz)	CPU : 4~5clk(IMCLK) DMAC: 4~5clk(IMCLK)	CPU : 4~5clk(IMCLK) DMAC: 4~5clk(IMCLK)	CPU : 4~5clk(IMCLK) DMAC: 4~5clk(IMCLK)

3.4.2 バスサイクルと同期しないで状態遷移する命令

表 3.4.2 にコプロセッサ命令および特殊命令を示しています。これらはバスサイクルと関係無しに割り込み禁止/許可やスタンバイ遷移をする命令です。

表 3.4.2 バスサイクルを必要としない状態遷移命令

	動作
EI	命令実行 (E ステージ) 後、2clk で割り込みが有効になります。
DI	命令実行 (E ステージ) 直後から割り込みが禁止になります。(CPO レジスタへは 2clk 後に反映)
MTCO	命令実行 (E ステージ) 後、2clk で CPO への書き込みが有効になります。(割り込み禁止設定のみ実行直後から有効)
WAIT	命令実行 (E ステージ) 後、2clk でスタンバイモードに遷移します。

これらの命令を実行する場合は、前のバスサイクルを注意する必要があります。以下に問題となりうる例を示します。

(例 1) 割り込みクリア後の割り込み許可
(問題例)

```
lui      r27, hi (ICLR)
sh       r26, lo (ICLR) (r27)      ; 割り込み要因をクリア
mtc0    r29, IER                  ; 割り込み許可
nop
nop                                          ; 割り込み許可有効
```

この場合バスサイクルが終了していないと特定の割り込み要因をクリアする前に割り込みを許可しまう可能性があります。回避方法としては下記のように MTCO 命令の前に” SYNC 命令”を入れることで割り込み要因がクリアされるまで後続の MTCO 命令をストールさせます。

(対策例)

```
lui      r27, hi (ICLR)
sh       r26, lo (ICLR) (r27)      ; 割り込み要因をクリア
sync                                          ; 割り込み要因クリアまでストール
mtc0    r29, IER                  ; 割り込み許可
nop
nop                                          ; 割り込み許可有効
```

(例 2) スタンバイ復帰設定

(問題例)

```
ori    r26, r0, 0x0d
lui    r27, hi(TBORUN)
sb     r26, lo(TBORUN)(r27)    ; bit0(TRUN)=1(タイマスタート)
wait   ; スタンバイモードへ遷移
nop
```

これはタイマを任意の時間に設定し、タイマ設定時間後にスタンバイから復帰する例です。この場合バスサイクルが終了していないとタイマの設定をする前にスタンバイモードへ遷移してしまうため、スタンバイモードから復帰できなくなる可能性があります。回避方法としては下記のように WAIT 命令の前に” SYNC 命令”を入れることでタイマがスタートするまで後続の WAIT 命令をストールさせます。

(対策例)

```
ori    r26, r0, 0x0d
lui    r27, hi(TBORUN)
sb     r26, lo(TBORUN)(r27)    ; bit0(TRUN)=1(タイマスタート)
sync   ; タイマがスタートするまでストール
wait   ; スタンバイモードへ遷移
nop
```

一般的にはバスサイクルはいつ終了するかわからないため、これらの例で” SYNC 命令”の代わりに依存関係のない命令や” NOP 命令”を挿入することでバスサイクルの終了を待つ方法は推奨できません。

3.4.3 メモリエリアを設定後に実行する場合

ROM コレクション機能や外部バスインターフェースのようにメモリエリアの設定をする場合もバスサイクルに注意する必要があります。ROM コレクション機能設定直後に置き換えられるエリアを実行してしまう例を下記に示します。

(注) TMP19A71 には外部バスインターフェースは実装されていません。

(例 3) ROM コレクション設定後の実行

(問題例)

```
lui      r26, hi(NG_AREA)
addiu    r26, r26, lo(NG_AREA)    ; 置き換える NG_AREA のアドレスをセット
lui      r27, hi(ADDRREG0)
sw       r26, lo(ADDRREG0)(r27)  ; NG_AREA と 0xFFFFBF00~を置き換え
NG_AREA: ; 置き換えられるエリア
nop
nop
```

この例はメモリエリア設定直後に置き換えられるエリアを実行してしまう場合です。この例ではシーケンシャルな命令実行ですが、ジャンプ命令や分岐命令で飛び先に置き換えエリアが設定されている場合も同様です。通常、ROM コレクション機能では置き換えられるエリアはわかりませんので、置き換えエリアを実行する前ではなく ROM コレクション設定後に” SYNC 命令”を挿入します。また” SYNC 命令”によってメモリエリアの設定が終わるまで次の命令が実行されません。

(対策例)

```
lui      r26, hi(NG_AREA)
addiu    r26, r26, lo(NG_AREA)    ; 置き換える NG_AREA のアドレスをセット
lui      r27, hi(ADDRREG0)
sw       r26, lo(ADDRREG0)(r27)  ; NG_AREA と 0xFFFFBF00~を置き換え
sync     ; ROM コレクションの設定が終わるまでストール
NG_AREA: ; 置き換えられるエリア
nop
nop
```

3.4.4 割り込みによって” SYNC 命令” を無効にされる場合

前述の例のように問題となりうる個所に” SYNC 命令” を挿入しても割り込みによって” SYNC 命令” の後にバスサイクルが発生してしまう可能性があります。ここでは前述の（例 2）スタンバイ復帰設定（対策後）の” SYNC 命令” の直後に割り込みが入った例を下記に示します。

（例 4）スタンバイ復帰対策の無効

（問題例）

```

ori      r26, r0, 0x0d
lui      r27, hi (TBORUN)
sb       r26, lo(TBORUN) (r27)      ; bit0 (TRUN)=1 (タイマスタート)
sync                                          ; タイマがスタートするまでストール
; 便宜上ハンドリング処理省略          ; <---ここで割り込みが発生--->
lui      r27, hi (TBORUN)
lb       r26, lo(TBORUN) (r27)      ; TBORUN を退避
sb       r0, lo(TBORUN) (r27)      ; bit0 (TRUN)=0 (タイマストップ)
（任意の処理）
sb       r26, lo(TBORUN) (r27)      ; TBORUN を復帰 (タイマ再スタート)
ERET
; 便宜上復帰処理省略                  ; <---ここまで割り込み処理--->
wait                                          ; スタンバイモードへ遷移
nop

```

このような問題を起こさない為に割り込み処理の最後（” ERET 命令” の直前）に” SYNC 命令” を挿入してください。

(対策例)

```
ori    r26, r0, 0x0d
lui    r27, hi(TBORUN)
sb     r26, lo(TBORUN)(r27) ; bit0(TRUN)=1(タイマスタート)
sync   ; タイマがスタートするまでストール
; 便宜上ハンドリング処理省略 ; <---ここで割り込みが発生---
lui    r27, hi(TBORUN)
lb     r26, lo(TBORUN)(r27) ; TBORUN を退避
sb     r0, lo(TBORUN)(r27) ; bit0(TRUN)=0(タイマストップ)
(任意の処理)
sb     r26, lo(TBORUN)(r27) ; TBORUN を復帰(タイマ再スタート)
sync   ; 割り込み処理のバスサイクル終了までストール
ERET
; 便宜上復帰処理省略 ; <---ここまで割り込み処理---
wait   ; スタンバイモードへ遷移
nop
```

Not Recommended for New Design

3.4.5 ライトバッファ

3.4.5.1 TMP19A71のライトバッファ

TMP19A71にはライトバッファが実装されています。ライトバッファは4エントリのFIFOバッファです。処理している命令が内蔵メモリ以外への書き込みを必要とする場合、各パイプラインステージは原則として1クロックで実行されるのに対して、内蔵メモリ以外へのライトバスサイクルは必ずしも1クロックでは終了しません。ライトバッファはこのとき発生するスピードの差を吸収し、プログラム実行時のパフォーマンスを改善する効果があります。

TMP19A71では後述のTMP19A70のライトバッファと異なり、図3.4.1のようにリードバスサイクル（ロード命令）が発生するとストア命令とロード命令の対象アドレスに関係なく、ライトバッファが空になるまでストールします。そのため後続のロード命令が優先されることがなく、バスサイクルはプログラム実行順序と一致します。

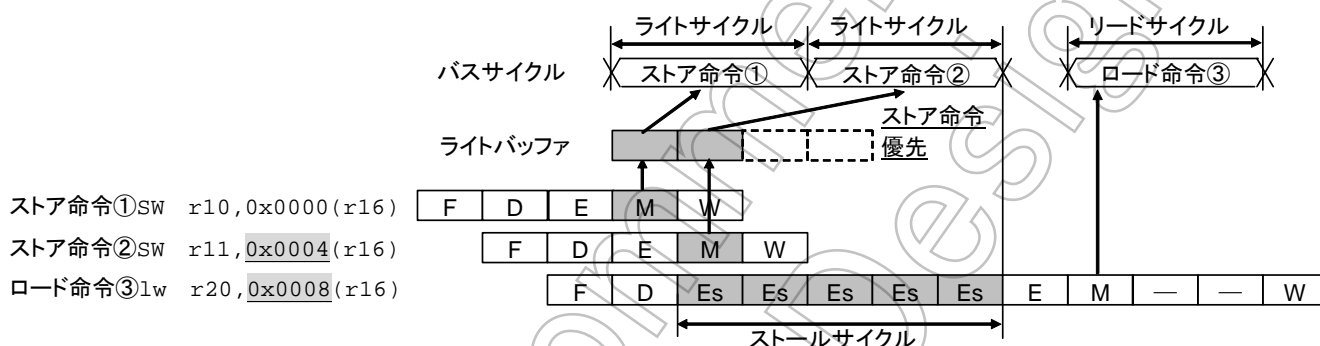


図 3.4.1 TMP19A71のライトバッファ動作

3.4.5.2 TMP19A70 のライトバッファ（ご参考）

TMP19A70 はライトバッファによって後続のロード命令が前のストア命令を追い越す場合があります。図 3.4.2 では 3 番目のロード命令の対象アドレスがライトバッファにエントリされている 2 番目のストア命令の対象アドレスと”異なる”ため、ロードによるリードバスサイクルがライトバッファ中のオペレーションによるライトサイクルよりも優先されています。（対象アドレスが一致した場合はストア命令が終了するまでロード命令はストールします）

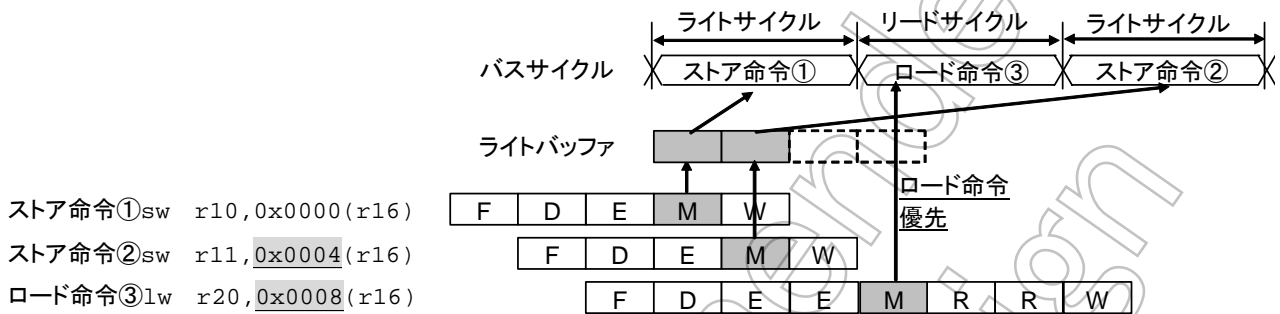


図 3.4.2 TMP19A70 のライトバッファ動作(対象アドレスが異なる場合)

下記に参考として TMP19A70 で問題となる場合の例を示します。

(参考 1) TMP19A70 でポートの読み出しの場合

(問題例)

```
sb    r0, POIER      ; ポート 0 入力許可
lb    r10, POD       ; ポート 0 の状態をリード
```

この場合ライトバッファによってポート 0 が入力許可になる前にポートの状態が読み出され、入力許可前のポート出力値が読み出されてしまう可能性があります。回避方法としては下記のようにロード命令の前に”SYNC 命令”を入れることでポートが入力許可になるまで後続の命令をストールさせます。

(対策例)

```
sb    r0, POIER      ; ポート 0 入力許可
sync                          ; 入力許可までストール
lb    r10, POD       ; ポート 0 の状態をリード
```


3.4.6 特殊機能レジスタ(SFR)アクセスの制約事項

ライト専用のビットもしくはリードクリアのビットを含む SFR は「リード→モディファイ」もしくは「リード→モディファイ→ライト」形態のアクセスに注意が必要です。

3.4.6.1 注意が必要な SFR の条件

(1) ライト専用のビットを含むレジスタ

例えば読み出し値が不定のライト専用のビットを含むレジスタに対して、「リード→モディファイ→ライト」形態のアクセスを実行した場合、「リード」の値が保証できないため「ライト」で予期せぬ値を書き込む場合があります。

(2) リードクリアのビットを含むレジスタ

リードクリアのビットを含むレジスタに対して、「リード→モディファイ」もしくは「リード→モディファイ→ライト」形態のアクセスを実行した場合、「リード」のタイミングで意図せずにリードクリアのビットをクリアしてしまう可能性があります。

下記に注意が必要な SFR の一覧を示します。

表 3.4.3 注意が必要な SFR 一覧

周辺機能	レジスタ名	ライト専用ビット	リードクリアビット
CG	CLKACT	含む	含まない
	CLKSPD	含む	含まない
IRC	ILEV	含む	含まない
	ICLR	含む	含まない
DMAC	DCR	含む	含まない
	CCRn	含む	含まない
TMRB	TBnMOD	含む	含まない
SIO	SCnMOD2	含む	含まない
	SCnCR	含まない	含む
	SCnBUF	含む	含まない
	SCnFRC	含む	含まない
ADC	SCnFTC	含む	含まない
	ADNRESn	含まない	含む
	ADCHPRn	含まない	含む
	ADPRESO	含まない	含む
PMD	EMGRELn	含む	含まない
	EMGCRn	含む	含まない
ABZ エンコーダ	ENTNCR	含む	含まない
WDT	WDCR	含む	含まない
Flash	SEQMOD	含む	含まない

3.4.6.2 リード→モディファイ/リード→モディファイ→ライト形態の命令

下記ビット操作命令は「リード→モディファイ」もしくは「リード→モディファイ→ライト」形態をしています。前述の SFR は下記命令でアクセスすると意図せぬ動作をする可能性があるため、使用しないでください。

表 3.4.4 ビット操作命令の命令形態

命令名	アクセス長	命令形態
Bit Test (BTST) 系	8 ビット	リード→モディファイ
Bit Extract (BEXT) 系	8 ビット	リード→モディファイ
Bit Clear (BCLR) 系	8 ビット	リード→モディファイ→ライト
Bit Set (BSET) 系	8 ビット	リード→モディファイ→ライト
Bit Insert (BINS) 系	8 ビット	リード→モディファイ→ライト
Add Immediate to Memory Word (ADDMIU) 系	32 ビット	リード→モディファイ→ライト

3.4.6.3 アクセス長の注意事項

TX19Aコアのビット操作命令は 1 ビットのデータを扱いますが、内部的には表 3.4.4 に示すアクセス長で擬似的に 1 ビットアクセスを実現しています。そのためアクセス長が制限されている SFR に対してビット操作命令を使用するとアクセス長の不整合は生じ、正しい結果とならない可能性がありますので、注意が必要です。

回避策の一例として東芝製 C コンパイラでは「_rbi ビット操作命令抑制修飾子」で、特定の SFR のアクセスにビット操作命令を使用しないことが可能です。詳細は各コンパイラマニュアルを参照してください。

3.4.6.4 コンパイラでの注意事項

C コンパイラは上記レジスタにビットフィールドなどを使用した場合、ビット操作命令や 8 ビット以上のアクセス長によるリード→モディファイ/リード→モディファイ→ライト形態のアセンブラを生成する可能性がありますので、注意が必要です。

東芝製 C コンパイラでは「_rbi ビット操作命令抑制修飾子」で、特定の SFR のアクセスにビット操作命令を使用しない等の回避策があります。詳細は各コンパイラマニュアルを参照してください。

4. メモリマップ

4.1 メモリマップ図

TMP19A71 のメモリマップを図 4.1.1に示します。

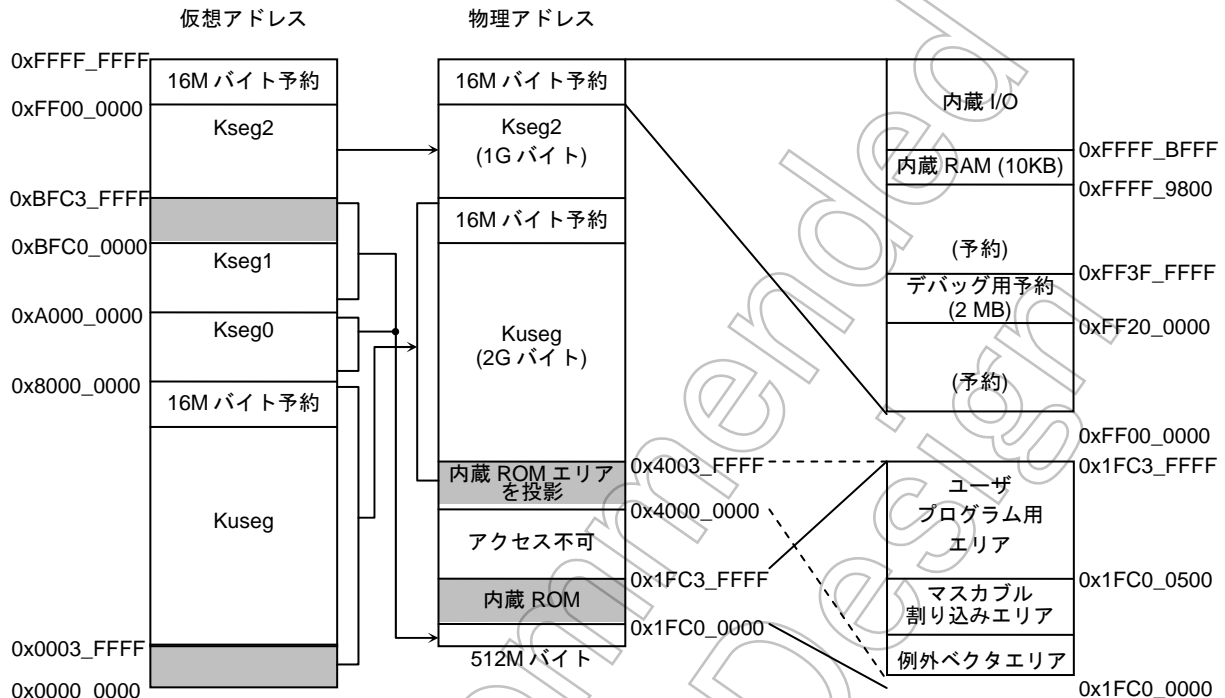


図 4.1.1 メモリマップ

- (注1) 内蔵 ROM は仮想アドレスで、
0x0000_0000~0x0003_FFFF もしくは 0xBFC0_0000~0xBFC3_FFFF (F/MROM 品 256 KB の場合)
内蔵 RAM は、
0xFFFF_9800~0xFFFF_BFFF (F/MROM 品 10 KB の場合)
にマッピングされます。
- (注2) 0xFFFF_4000 から 0xFFFF_BFFF までは RAM 予約領域です。したがって、上記の物理的に RAM が存在する領域外はアクセスしないでください。
- (注3) 内蔵 ROM は仮想アドレスの 0x0000_0000 もしくは 0xBFC0_0000 以降の空間に連続して配置します。
例外ベクタアドレスを内蔵 ROM に置く場合には、システム制御コプロセッサ (CPO) がもつ Status レジスタの BEV ビットを “1” のまま (デフォルトのまま) 使用します (BEV = 0 では、例外ベクタアドレスが分散されるため)。外部にメモリを拡張する場合は BEV ビットを “0” にして使用できます。
仮想アドレスで 0x0000_0000 ± 32 KB の空間のアクセスを利用することでコードの増加を抑制できます。仮想アドレスの 0x0000_0000 は仮想アドレスの 0xBFC0_0000 からの内蔵メモリを投影していますので、ここをアクセスしても内蔵 ROM にアクセスできるようになっています。
例) (32 ビット ISA の場合)
• 0x0000_0000 ± 32KB の領域へのアクセス
LW r2, lo (_t) (r0) ; r2 ← 0x0000_xxxx のデータ
↑
1 命令でメモリアクセス可能
• 0x0000_0000 ± 32KB 以外の領域へのアクセス
LUI r3, hi (_f) ; ← 上位アドレスを r3 に設定
LW r2, lo (_f) (r3) ; 下位アドレス設定後メモリアクセス
- (注4) 物理領域の最後の 4 ワードには命令のプリフェッチ回路が内蔵 ROM の領域を超えてアクセスしてしまうため命令を置かないでください。
• 内蔵 ROM 0xBFC3_FFF0~0xBFC3_FFFF (256KB の場合)
- (注5) TMP19A71 は常にカーネルモードで動作します。ユーザモードで使用しないでください。

5. クロック/スタンバイ制御

5.1 スタンバイ制御部

NORMAL モードで TX19A プロセッサコアのコプロセッサ 0 (CP0) レジスタの Status<RP>を設定し、その後 WAIT 命令を実行すると、CLKSPD<SS>の内容により IDLE (HALT/DOZE)、STOP のいずれかのスタンバイモードになります。

IDLE、STOP モードの特長は次のとおりです。

① IDLE: TX19A プロセッサコアのみ停止するモードです。

IDLE モードはハードウェア割り込み、NMI (WDT を含む)、RESET (WDT を含む) でノーマルモードへ復帰することができます。IMRxx<ILxx>で設定した該当割り込みレベルが ILEV<CMASK>で設定されているマスクレベルよりも低い場合はノーマルモードへは復帰しません。割り込みレベルがマスクレベルよりも高い場合はノーマルモードへ復帰後、割り込み処理へ移行します。

(注1) HALT モードでは、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。内蔵 DMA からのバス制御権要求に対しては応答しませんので、バス制御権を占有したままの状態となります。

(注2) DOZE モードでは、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。内蔵 DMA からのバス制御権要求に対して応答することができます。

② STOP: すべての内部回路が停止します。

STOP モードは INTO~3、NMI (WDT は含まない)、RESET (WDT は含まない) でノーマルモードへ復帰することができます。

STOP モードから復帰に使用する場合は CLKWO<WOWE>=1 (INT0)、CLKINTx<IxKI>=1 (INT1~3) に設定してください。IMRxx<ILxx>で設定した該当割り込みレベルが ILEV<CMASK>で設定されているマスクレベルよりも高い場合はノーマルモードへ復帰後、割り込み処理へ移行します。

スタンバイ復帰で INTO~3 を使用する場合は、割り込みレベルをマスクレベルより低い状態でスタンバイ復帰に使用しないで下さい。

(1) 各モードでの動作状態

表 5.1.1 各動作モードでの状態

動作モード	動作状態
NORMAL	TX19A プロセッサコア、内蔵周辺 I/O とも CG ブロックで設定された周波数で動作
IDLE (HALT)	プロセッサ動作停止、DMAC 停止、周辺 I/O 動作 (DMAC を除く)
IDLE (DOZE)	プロセッサ動作停止、DMAC 動作、周辺 I/O 動作 (DMAC を含む)
STOP	プロセッサ、周辺 I/O すべて停止

(2) 各モードでの CG の動作

表 5.1.2 各動作モードにおける CG の状態

クロックソース	モード	発振回路	周辺 I/O へのクロック供給	CPU へのクロック供給
外部発振子	NORMAL	○	○	○
	IDLE (HALT)	○	○	×
	IDLE (DOZE)	○	○	×
	STOP	×	×	×

○：動作または、クロックを供給 ×：停止またはクロックを非供給

(3) 各モードにおけるブロックの動作 (○：動作、×：停止)

表 5.1.3 各動作モードにおけるブロックの動作状態

ブロック	クロックソース	IDLE (DOZE)	IDLE (HALT)	STOP
TX19A プロセッサコア	f _{sys}	×	×	×
DMAC		○	×	×
INTC		○	○	×(注1)
CG		○	○	×(注1)
WDT	IMCLK	○	○	×(注2)
I/O ポート		○	○	○(注3)

(注1) STOP モードでは CG のクロック供給は停止していますが、INT0~INT3 によって STOP モードから復帰することが可能です。また INTC は STOP モードから復帰後、INT0~INT3 割り込み要求を受け付けます。

(注2) STOP モードで WDT はクロックが供給されず停止しますが、カウントの値は復帰後クリアされません。

(注3) IDLE/STOP モードの遷移によって、自動的に I/O ポートの入出力は禁止になりません。消費電流を抑えるためには IDLE/STOP モードに遷移する前に I/O ポートの入出力を禁止にして下さい。

5.2 クロック系統ブロック図

5.2.1 ブロック図

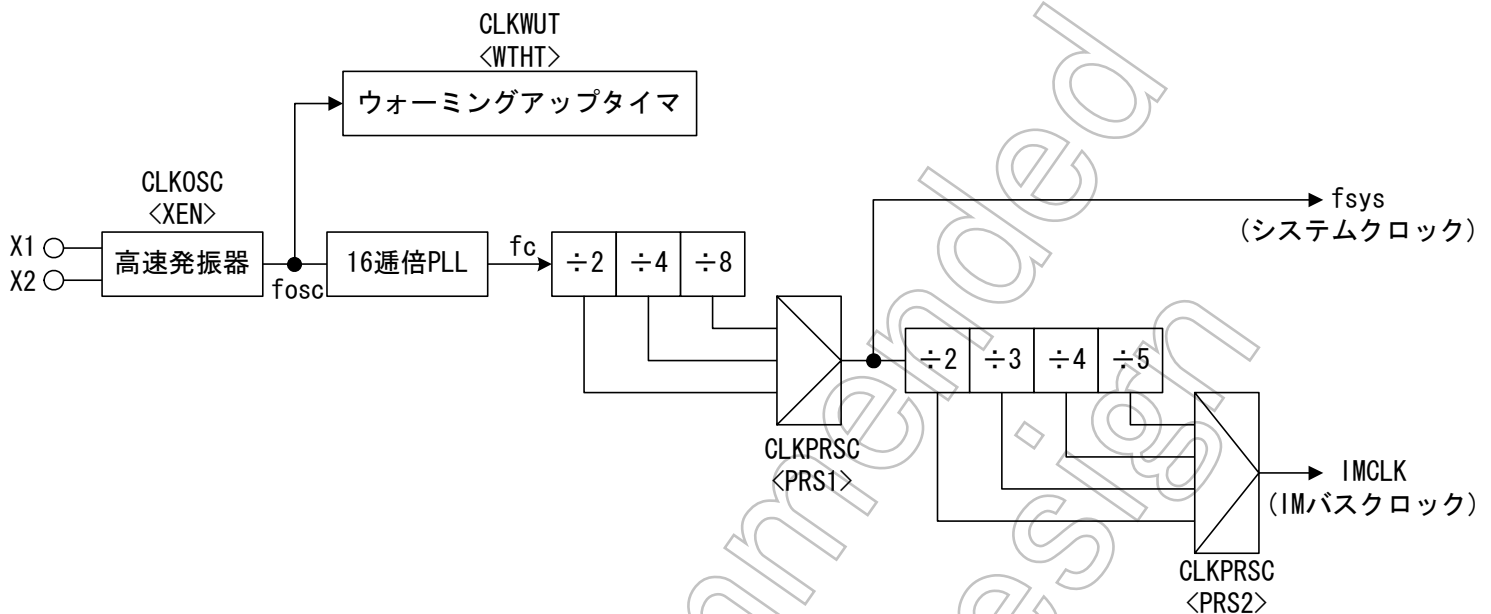


図 5.2.1 CG ブロック図

5.3 CG 関連レジスタ

5.3.1 レジスタマップ

表 5.3.1 にCGのレジスタマップを示します。CLKACT以外のレジスタ長は 8 ビットですが、アドレスが連続するレジスタは 16/32 ビットでアクセスすることが可能です。ただし、16/32 ビットでアクセスする場合は”Reserved”領域を含まないようにしてください。”Reserved”領域は「16. 特殊機能レジスタ一覧」で確認してください。

表 5.3.1 CG レジスタ一覧

アドレス	ビット数	レジスタ記号	レジスタ名称
0xFFFF_D300	16	CLKACT	CG 活性化レジスタ
0xFFFF_D304	8	CLKOSC	発振設定レジスタ
0xFFFF_D305	8	CLKWUT	ウォーミングアップ設定レジスタ
0xFFFF_D306	8	CLKSPD	モード切替レジスタ
0xFFFF_D307	8	CLKPRSC	クロックギアコントロールレジスタ
0xFFFF_D30D	8	CLKMISC	CG 諸設定レジスタ
0xFFFF_D310	8	CLKNMI	NMI 設定レジスタ
0xFFFF_D312	8	CLKWO	INT0 設定レジスタ 0
0xFFFF_D31A	8	CLKINT0	INT0 設定レジスタ 1
0xFFFF_D31B	8	CLKINT1	INT1 設定レジスタ
0xFFFF_D31C	8	CLKINT2	INT2 設定レジスタ
0xFFFF_D31D	8	CLKINT3	INT3 設定レジスタ

(注1) CG の各レジスタを設定後、64 システムクロック以内に CLKACT に 0x5A5A→0xF0F0 と書き込むことで設定が有効になります。時間内に書き込まないと設定は無効になります。

5.3.2 クロック関係レジスタ

CG 活性化レジスタ

		7	6	5	4	3	2	1	0
CLKACT (0xFFFF_D300)	Bit Symbol	ACT							
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		15	14	13	12	11	10	9	8
	Bit Symbol	ACT							
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	CG のレジスタを設定後、64 システムクロック以内に 0x5A5A→0xF0F0 と書き込むと CG の設定が有効。							

(注1) このレジスタは必ず 16 ビットでアクセスしてください。ビット操作命令でもアクセスできません。

(注2) CG の各レジスタを設定後、64 システムクロック以内にこのレジスタに 0x5A5A→0xF0F0 と書き込むことで設定が有効になります。時間内に書き込まないと設定は無効になります。

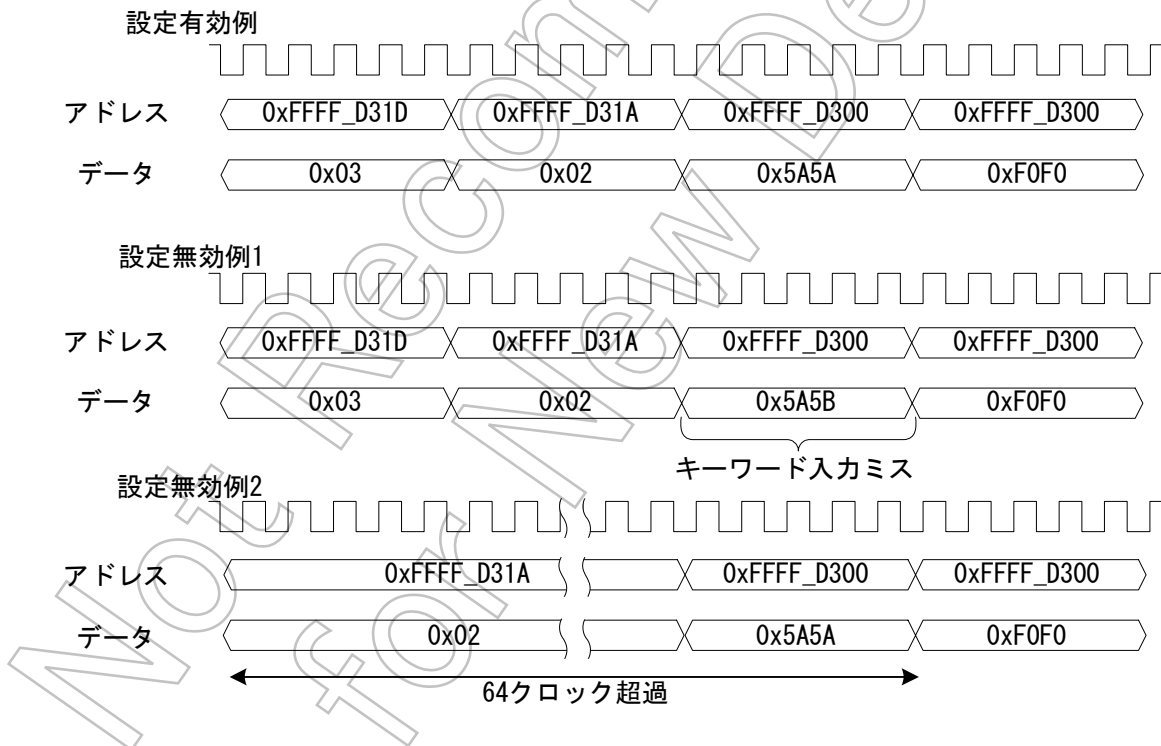


図 5.3.1 CG 活性化レジスタの使用例

発振設定レジスタ

CLKOSC
(0xFFFF_D304)

	7	6	5	4	3	2	1	0
Bit Symbol	XEN	—	RXEN	—	DRVH	—	—	—
Read/Write	R/W							
リセット後	1	0	1	0	0	0	0	0
機能	発振器 0:停止 1:発振	必ず”0” を設定して 下さい	STOPモード 解除後の発 振器 0:停止 1:発振	必ず”0” を設定して 下さい	発振器の AMP能力 0:Normal 1:低減	必ず”0” を設定して 下さい		

ウォーミングアップ設定レジスタ

CLKWUT
(0xFFFF_D305)

	7	6	5	4	3	2	1	0
Bit Symbol	WTHD	WTHW	WTHT		—	—	—	—
Read/Write	R	R/W	R/W		R		R/W	
リセット後	1	1	11		0	1	1	1
機能	ウォーミン グアップ終 了フラグ 0:WUP中 1:WUP終了	WUP動作の 許可 0:WUP経過 まで待たず に動作 1:WUP経過 後に動作	発振器のWUP時間 00:2 ⁸ クロック 01:2 ¹² クロック 10:2 ¹⁴ クロック 11:2 ¹⁶ クロック					

(注1) <WTHT>で設定したカウント数は fosc のクロックでカウントします。

(注2) <WTHW>を”1”に設定すると「クロック停止→クロック発振」という状態遷移のときに自動的に<WTHT>で設定したウォーミングアップ時間経過後に動作します。そのため電源投入時は2¹⁶クロック待たずにリセットを解除すると、内部回路が正しく初期化されない可能性があります。

(注3) WUP 期間中は内部回路にクロックを供給しません。

モード切替レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	—	SS		—	—	—	—	—
Read/Write	R/W	W		R/W		R		
リセット後	1	00		1	0	0	0	0
機能	必ず”1” を設定して 下さい	スタンバイモード選択 00: NORMAL モード(注1) 01: STOP モード(注1) 10: Reserved(注1) 11: IDLE (HALT) モード(注1)		必ず”1” を設定して 下さい	必ず”0” を設定して 下さい			

(注1) スタンバイモード選択は、CP0 の Status<RP>との組み合わせで選択されます。
下記表の”X” の設定では WAIT 命令を実行しないでください。

	CLKSPD <SS>	HALT RP=0	DOZE RP=1
NORMAL	00	X	X
STOP	01	STOP	X
RESERVED	10	X	X
IDLE	11	HALT	DOZE

(注2) スタンバイモードに遷移する場合は WAIT 命令を実行する前に CLKSPD<SS>を毎回設定してください。また WAIT 命令を連続して実行しないで下さい。

(注3) CLKSPD<SS>を”00”以外にセットする場合は、必ず単独で CLKACT=0x5A5A→0xF0F0 をセットし、設定を有効にしてください。他の CG レジスタと同時に設定を行うと、設定が反映されない事があります。

(注4) 本レジスタはビット操作命令でアクセスできません。

クロックギアコントロールレジスタ

	7	6	5	4	3	2	1	0
CLKPRSC (0xFFFF_D307)	PRS1		PRS2			—	—	—
Bit Symbol	PRS1		PRS2			—	—	—
Read/Write	R/W					R		
リセット後	00		000			0	0	0
機能	システムクロック (fsys) 選択 00:2分周 01:4分周 10:8分周 11:Reserved		IMCLK 選択 000:2分周 010:3分周 100:4分周 110:5分周 その他:Reserved					

(注1) システムクロックを切り替えるときは各周辺機能を停止させた状態で変更してください。

5.3.3 割り込み関連レジスタ

NMI 設定レジスタ

	7	6	5	4	3	2	1	0
CLKNMI (0xFFFF_D310)	NMISEN		—	—	—	—	—	NMIBE
Bit Symbol	NMISEN		—	—	—	—	—	NMIBE
Read/Write	R/W		—	—	—	—	—	R
リセット後	00		0	0	0	0	0	0
機能	アクティブ状態の設定 00:禁止 11:両エッジ 01:立ち上がりエッジ 10:立ち下がりエッジ							CLKNMI 設定許可 0:許可 1:禁止

(注1) このレジスタを設定すると<NMIBE>が”1”になり、RESET をかけるまで設定の変更ができなくなります。

(注2) NMI を使用する場合は、ポートの設定で NMI モードにする必要があります。詳細はポートの章 (8.9 章) を参照してください。

INTO 設定レジスタ 0

	7	6	5	4	3	2	1	0
CLKWO (0xFFFF_D312)	—	—	—	—	WOWE	—	—	—
Bit Symbol	—	—	—	—	WOWE	—	—	—
Read/Write	R/W					R		
リセット後	0	0	0	0	0	0	0	0
機能	必ず”0”に設定してください	必ず”0”に設定してください	必ず”0”に設定してください	必ず”0”に設定してください	INTO の割り込みの種類 0:通常割り込み 1:復帰要因			

(注1) INTO を STOP モードからの復帰要因として割り込みを使用する場合はかならず<WOWE>を設定する必要があります。

INT0 設定レジスタ 1

	7	6	5	4	3	2	1	0
Bit Symbol	I0SEN			—	—	—	—	—
Read/Write	R/W			R				
リセット後	000			0	0	0	0	0
機能	INT0 のアクティブ状態の設定 001:立ち上がりエッジ 010:立ち下がりエッジ 011:両エッジ 101:Hi レベル 110:Low レベル その他:Disable							

INT1 設定レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	I1SEN			—	I1KI	—	—	—
Read/Write	R/W			R	R/W	R		
リセット後	000			0	0	0	0	0
機能	INT1 のアクティブ状態の設定 001:立ち上がりエッジ 010:立ち下がりエッジ 011:両エッジ 101:Hi レベル 110:Low レベル その他:Disable				割り込みの種類 0:通常割り込み 1:復帰要因			

(注1) INT1 を STOP モードからの復帰要因として割り込みを使用する場合はかならず<I1KI>を設定する必要があります。

INT2 設定レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	I2SEN			—	I2KI	—	—	—
Read/Write	R/W			R	R/W	R		
リセット後	000			0	0	0	0	0
機能	INT2 のアクティブ状態の設定 001:立ち上がりエッジ 010:立ち下がりエッジ 011:両エッジ 101:Hi レベル 110:Low レベル その他:Disable				割り込みの種類 0:通常割り込み 1:復帰要因			

(注1) INT2 を STOP モードからの復帰要因として割り込みを使用する場合はかならず<I2KI>を設定する必要があります。

INT3 設定レジスタ

	7	6	5	4	3	2	1	0
CLKINT3 (0xFFFF_D31D)	I3SEN			—	I3KI	—	—	—
Read/Write	R/W			R	R/W	R		
リセット後	000			0	0	0	0	0
機能	INT3 のアクティブ状態の設定 001: 立ち上がりエッジ 010: 立ち下がりエッジ 011: 両エッジ 101: Hi レベル 110: Low レベル その他: Disable				割り込みの種類 0: 通常割り込み 1: 復帰要因			

(注1) INT3 を STOP モードからの復帰要因として割り込みを使用する場合はかならず<I3KI>を設定する必要があります。

5.3.4 リセット関連レジスタ

CG 諸設定レジスタ (Mask 製品)

	7	6	5	4	3	2	1	0
Bit Symbol	—	—	MSWDR	—	—	MSNMI		MSBC
Read/Write	R/W					R		
リセット後	0	0	0	0	0	00		0
機能			WDT リセットフラグ 0:WDT リセット未発生 1:WDT リセット発生	必ず"0"を設定して下さい	必ず"0"を設定して下さい	NMI 起動要因フラグ 00:外部端子 01:WDT 10:バスエラー(ストア)		CG アクセス許可フラグ 0:アクセス可能 1:アクセス不可能

- (注1) CLKMISC[7:5]はWDTのリセットでは初期化されず、外部リセットで初期化されます。
- (注2) <MSWDR>はWDTのリセットでは初期化されず、外部リセットで初期化されます。WDTでリセット発生後、このレジスタをクリアするにはソフトウェアで"0"をセットする必要があります。
- (注3) <MSBC>はCLKACT有効後のCGレジスタ値書き換え期間を表します。<MSBC>が"1"にセットされている期間はCGレジスタ値を書き換え中のため、CGレジスタの書き込みをしないで下さい。CLKACT設定後、再度CG関連レジスタを書き換える場合は<MSBC>が"0"にセットされていることを確認してから書き換えてください。

CG 諸設定レジスタ (Flash 製品)

	7	6	5	4	3	2	1	0
Bit Symbol	MSCW	MSFR	MSWDR	—	—	MSNMI		MSBC
Read/Write	R/W					R		
リセット後	0	0	0	0	0	00		0
機能	Resetの種類 0:パワーオンリセット 1:通常リセット	外部リセット、WDTリセットで Flash Resetの許可 0:許可 1:禁止	WDT リセットフラグ 0:WDT リセット未発生 1:WDT リセット発生	必ず"0"を設定して下さい	必ず"0"を設定して下さい	NMI 起動要因フラグ 00:外部端子 01:WDT 10:バスエラー(ストア)		CG アクセス許可フラグ 0:アクセス可能 1:アクセス不可能

- (注1) CLKMISC[7:5]は通常のリセットでは初期化されず、電源投入(パワーオンリセット)で初期化されます。
- (注2) <MSWDR>は通常のリセットでは初期化されず、電源投入(パワーオンリセット)でのみ初期化されます。WDTでリセット発生後、このレジスタをクリアするにはソフトウェアで"0"をセットする必要があります。
- (注3) <MSCW>は通常のリセットでは初期化されず、電源投入(パワーオンリセット)でのみ初期化されます。ソフトウェアでパワーオンリセットか通常のリセットかを判断したい場合はパワーオンリセット後、ソフトウェアでこのビットを"1"にセットしてフラグとして使用してください。このビットは通常リセットで自動的に"1"にセットされるわけではありません。
- (注4) <MSBC>はCLKACT有効後のCGレジスタ値書き換え期間を表します。<MSBC>が"1"にセットされている期間はCGレジスタ値を書き換え中のため、CGレジスタの書き込みをしないで下さい。CLKACT設定後、再度CG関連レジスタを書き換える場合は<MSBC>が"0"にセットされていることを確認してから書き換えてください。
- (注5) <MSFR>を"1"に設定すると外部リセットやWDTでFlashROMが初期化されません。FlashROMの書き込み/消去等の操作を行なう場合は"0"に設定してください。

6. ウォッチドックタイマ（暴走検出用タイマ）

ウォッチドッグタイマ（WDT）は、ノイズなどの原因により TX19A プロセッサコアが誤動作（暴走）を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込み（NMI）またはリセット例外を発生し TX19A プロセッサコアに通知します。

6.1 動作概要

この WDT にはカウントアップ後にリセットと NMI の 2 種類が選択できます。NMI を選択した場合カウンタがオーバフローのタイミングでリセットが発生します。

6.1.1 NMI 発生（WDMOD<RESCR>= 0）

WDMOD<FTP>で設定した時間内に WDT カウンタをクリアできなかった場合、カウント後に NMI が発生します。NMI 発生後もカウンタはカウントを継続し、オーバフロー（23 ビットバイナリカウンタ、1MCLK=28MHz で約 300ms）までにカウンタをクリアできないとリセット例外が発生します。リセット例外発生後はリセット例外によって WDT 自身も初期化され、初期設定で再度動作を開始します。

(注1) NMI が発生後は必要なデータ退避処理等を実行し、オーバフローのリセットが発生するまで待つてください。

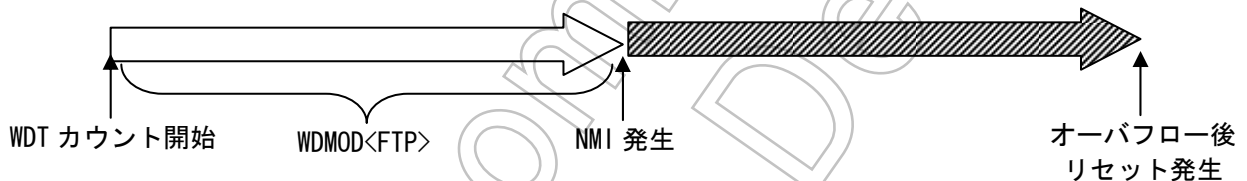


図 6.1.1 WDMOD<RESCR>=0 のノーマルモード

6.1.2 リセット発生（WDMOD<RESCR>= 1）

WDMOD<FTP>で設定した時間内に WDT カウンタをクリアできなかった場合、カウント後にリセット例外が発生します。リセット例外発生後はリセット例外によって WDT 自身も初期化され、初期設定で再度動作を開始します。

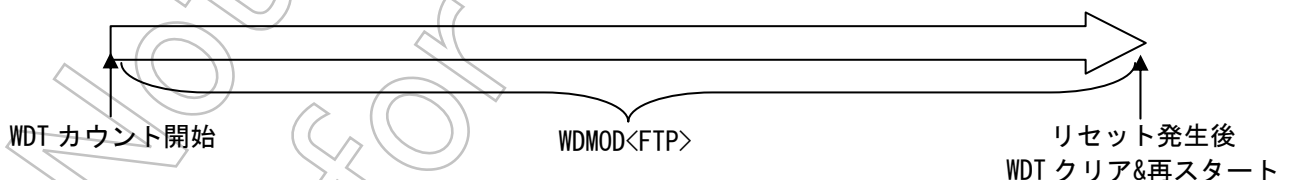


図 6.1.2 WDMOD<RESCR>=1 のノーマルモード

6.2 コントロールレジスタ

表 6.2.1のようにウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD、WDCR) と1つのカウンタ (WDCNT) によって制御されています。

表 6.2.1 WDT レジスタマッピング

アドレス	Bit 数	レジスタ記号	レジスタ名称
0xFFFF_C830	16 (8)	WDMOD (L)	ウォッチドッグタイマモードレジスタ (下位)
0xFFFF_C831	8	(WDMODH)	(ウォッチドッグタイマモードレジスタ上位)
0xFFFF_C834	8	WDCR	ウォッチドッグタイマコントロールレジスタ
0xFFFF_C838	16	WDCNT	ウォッチドッグタイマカウントレジスタ

(注2) WDMOD は 16 ビットのレジスタですが、下位側 : WDMODL / 上位側 : WDMODH とすることで、8 ビットでのアクセスが可能です。

6.2.1 ウォッチドッグ タイマ モードレジスタ (WDMOD)

ウォッチドッグ タイマ モードレジスタ

		7	6	5	4	3	2	1	0
WDMOD (L) (0xFFFF_C830)	bit Symbol	—	FTP			—	WDEN	—	RESCR
	Read/Write	R	R/W			R/W		R/W	
	リセット後	0	010			0	1	0	0
	機能	読み出すと"0"が読めます。	1stタイムピリオド設定 000:2 ¹² (約0.15ms IMCLK=28MHz) 001:2 ¹³ (約0.29ms IMCLK=28MHz) 010:2 ¹⁴ (約0.59ms IMCLK=28MHz) 011:2 ¹⁵ (約1.2ms IMCLK=28MHz) 100:2 ¹⁶ (約2.3ms IMCLK=28MHz) 101:2 ¹⁹ (約18.7ms IMCLK=28MHz) 110:2 ²¹ (約74.9ms IMCLK=28MHz) 111:2 ²² (約150ms IMCLK=28MHz)			必ず"0"を設定してください。	WDT 許可 0: 禁止 1: 許可	必ず"0"を設定してください。	RESET 選択 0: カウントアップ後 NMI 発生 1: WDT カウントアップ後リセット例外発生
		15	14	13	12	11	10	9	8
(WDMODH) (0xFFFF_C831)	bit Symbol	—	—	—	—	—	—		
	Read/Write	R/W			R		R/W		
	リセット後	0	0	0	0	0	000		
	機能	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	読み出すと"0"が読めます。	読み出すと"0"が読めます。			

(注1) WDMOD<WDEN>以外のビットは WDT 動作中に変更しないでください。

① 1st タイムピリオド設定<FTP>

暴走検出のための NMI/リセット例外が発生する時間を設定する 3 ビットのレジスタです。リセット時 WDMOD<FTP>= “010” に初期化されます。ウォッチドッグ タイマモードレジスタに<FTP>の設定に対応した時間を示します。

② ウォッチドッグ タイマのイネーブル/ディセーブル制御<WDEN>

リセット解除後、WDMOD<WDEN>= 1 に初期化されますので、ウォッチドッグ タイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にするとともに WDCR レジスタにディセーブルコード (0xB1) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグ タイマの禁止が発生し難しくなっています。

逆に禁止状態から許可状態に戻す場合は、<WDEN>ビットを “1” にセットするだけで許可状態となります。

③ ウォッチドッグタイマのリセット選択<RESCR>

WDMOD<RESCR>= 1 に設定すると設定カウント後リセット例外が発生し、WDT も初期化されます。また、“0” に設定した場合はカウント後に NMI が発生します。その後カウンタがオーバーフローするとリセット例外がします。

Not Recommended for New Design

6.2.2 ウォッチドッグ タイマ コントロールレジスタ (WDCR)

ウォッチドッグ タイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

ウォッチドッグタイマコントロールレジスタ

		7	6	5	4	3	2	1	0
WDCR (0xFFFF_C834)	bit Symbol	—							
	Read/Write	W							
	リセット後	—							
	機能	0xB1 : WDT ディセーブルコード 0x4E : WDT クリアコード							

→ WDT のディセーブル&クリア

0xB1	ディセーブルコード
0x4E	クリアコード
上記以外	無効

(注1) 本レジスタはビット操作命令でアクセスできません。

- ディセーブル制御

WDMOD<WDEN>を“0”にセットした後、このWDCRレジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマを禁止にすることができます。ディセーブルコード(0xB1)を書き込んでもカウンタの値は保持されますが、再度WDTを許可する前にクリアコード(0x4E)を書き込み、カウンタをクリアして下さい。

```

WDMODL ← --- -- 0 --      WDTE を “0” クリアします。
WDCR    ← 1 0 1 1 0 0 0 1  ディセーブルコード (0xB1) を書き込みます。

```

- イネーブル制御

WDMOD<WDEN>を“1”にする。

- ウォッチドッグタイマのクリア制御

WDCRレジスタにクリアコード(0x4E)を書き込むと、カウンタはクリアされ、再カウントします。

```

WDCR    ← 0 1 0 0 1 1 1 0   クリアコード (0x4E) を書き込みます。

```

ウォッチドッグカウンタレジスタ

		7	6	5	4	3	2	1	0
WDCNT (0xFFFF_C838)	bit Symbol	—							
	Read/Write	R							
	リセット後	0							
	機能								
		15	14	13	12	11	10	9	8
bit Symbol	—								
Read/Write	R								
リセット後	0								
機能	WDTのカウンタ値のビット22~7までが読み出せます。								

7. 例外／割り込み

7.1 概要

TMP19A71 は下記の 49 要因のマスクブル割り込みと NMI を含む 15 種類の例外で構成されています。この章では一般例外／デバッグ例外を「例外」、割り込みを「割り込み」として説明しています。

・ 一般例外

- リセット例外
- ノンマスクブル割り込み (NMI)
- アドレスエラー例外 (命令フェッチ)
- アドレスエラー例外 (ロード／ストア)
- バスエラー例外 (命令フェッチ)
- バスエラー例外 (データアクセス)
- コプロセッサ使用不可例外
- 予約命令例外
- 整数オーバフロー例外
- トラップ例外
- システムコール例外
- ブレークポイント例外

・ デバッグ例外

- シングルステップ例外
- デバッグブレークポイント例外

・ 割り込み

- マスクブルソフトウェア割り込み (2 要因)
- マスクブルハードウェア割り込み (内部 : 37 要因、外部 : 10 要因)

TMP19A71 では、内蔵している周辺ハードウェア及び外部からの割り込み要求を処理するだけでなく、通常の命令シーケンスに生じた異常状態の通知手段として強制的に例外処理に移されます。

TX19A プロセッサコアで新たに実装された、Shadow Register Set と呼ばれるレジスタバンクを使用することで割り込み応答時の汎用レジスタ (GPR) の退避が不要になり、高速な割り込み応答が可能です。

プログラマブルな 7 段階の割り込みレベル (優先順位) に従った多重割り込み処理をすることができます。また、マスクレベル以下の割り込み要求をマスクすることが可能です。

7.2 例外ベクタ

例外ベクタアドレスは、例外ハンドラの開始アドレスです。リセット例外、ノンマスカブル割り込みの例外ベクタアドレスは 0xBFC0_0000 です。デバッグ例外での例外ベクタアドレスは、内部信号<ProbeEn>の値によって 0xBFC0_0480 (EJTAG ProbEn=0) または 0xFF20_0200 (EJTAG ProbEn=1) になります。その他の例外はシステム制御コプロセッサ (CPO) レジスタの Status<BEV>、Cause<IV>の状態により異なります。

表 7.2.1 例外ベクタテーブル (仮想アドレス)

Exception	BEV=0	BEV=1
Reset, NMI	0xBFC0_0000	0xBFC0_0000
デバッグ例外 (En=0)	0xBFC0_0480	0xBFC0_0480
デバッグ例外 (En=1)	0xFF20_0200	0xFF20_0200
割り込み (IV=0)	0x8000_0180	0xBFC0_0380
割り込み (IV=1)	0x8000_0200	0xBFC0_0400
その他の一般例外	0x8000_0180	0xBFC0_0380

- (注1) 例外ベクタアドレスを内蔵 ROM に置く場合にはシステム制御コプロセッサ (CPO) レジスタの Status<BEV>を“1”にしてください。TMP19A71 には外部バスインタフェースがないため Status<BEV> = “0” では使用できません。
- (注2) 割り込みとその他の一般例外の例外ベクタアドレスを別のアドレスにする場合は Cause<IV>=“1” に設定してください。

7.3 リセット例外

外部リセット端子を”L”にするか、WDTのリセット設定値までカウントを続けるとリセット例外が発生します。リセット例外が発生すると、周辺ハードウェアレジスタ (注1)、CPO レジスタが初期化され、例外ベクタアドレス 0xBFC0_0000 番地にジャンプします。リセット例外が発生した PC の値は CPO レジスタの ErrorEPC に格納されます。

リセット例外によって CPO レジスタの Status<ERL>が”1”にセットされ、割り込み禁止状態となるため、割り込みを使用する場合は、スタートアップルーチン(リセット例外ハンドラ)等で Status<ERL>を”0”にクリアする必要があります。

リセット例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 リセット例外」の章を参照してください。

- (注1) Flash 製品の一部の周辺ハードウェアレジスタはリセット例外では初期化されず、電源投入によって生成される内部パワーオンリセット信号でのみ初期化されます。
- (注2) Mask 製品の一部の周辺ハードウェアレジスタは WDT によるリセット例外では初期化されず、外部リセット端子によるリセット例外でのみ初期化されます。

7.4 ノンマスカブル割り込み (NMI)

外部 NMI 端子を CLKNMI<NMISEN>で設定したアクティブ入力をするか、WDT の NMI 設定値までカウントを続けるか、MODECR<BERCTL>="0" のときに DMA 転送を含むストアアクセスによってバスエラー領域をアクセスすると NMI が発生します。NMI が発生すると、CPO レジスタの Status<ERL>と<NMI>が"1" にセットされ、例外ベクタアドレス 0xBFC0_0000 番地にジャンプします。

NMI が発生した PC の値は CPO レジスタの ErrorEPC に格納されます。ただしストア命令によるバスエラーによって発生した NMI は命令と非同期で例外が発生するため、発生の原因となった命令の PC ではなく、発生時に実行していた PC の値が格納されます。NMI では Shadow Register Set を有効にした場合、NMI 発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、NMI からの復帰時に ERET 命令を実行することによって、SSCR<CSS>に SSCR<PSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。

発生した原因は CG の CLKMISC<MSNMI>で判別することが可能です。

NMI 端子 (P95) のリセット後の初期状態は汎用ポートです。NMI 端子を使用する場合は PORT の P9FR1<P9FR15>と CG の CLKNMI<NMISEN>を設定してください。

NMI 発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 ノンマスカブル割り込み」の章を参照してください。

7.5 一般例外 (リセット例外/NMI 以外)

SYSCALL 命令等の特定の命令を実行した場合や不正な命令フェッチなどの異常状態を検出した場合に一般例外が発生します。CPO レジスタの Status<BEV>=1 の場合、一般例外が発生すると例外ベクタ 0xBFC0_380 番地へジャンプします。一般例外の要因は CPO レジスタの Cause<ExCode>で判別することが可能です。

一般例外が発生した PC の値は CPO レジスタの EPC に格納されます。ただしバスエラー例外 (データアクセス) は命令と非同期で例外が発生するため、発生の原因となった命令の PC ではなく、発生時に実行していた PC の値が格納されます。一般例外では Shadow Register Set を有効にした場合、例外発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、例外からの復帰時に ERET 命令を実行することによって、SSCR<CSS>に SSCR<PSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。

アドレスエラー例外 (命令フェッチ、ロード/ストア)、バスエラー (命令フェッチ、データアクセス) の発生原因となった不正なアドレスは CPO レジスタの BadVAddr に格納されます。

一般例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理」の各例外に該当する章を参照してください。

- (注1) アドレスエラー例外 (ロード/ストア) は DMA 転送では発生しません。DMA 転送の場合は、コンフィグレーションエラー (DMAC の CSRx<Conf>) で検出することができます。
- (注2) バスエラー (データアクセス) はロード命令もしくは DMA 転送によるロードアクセスで発生します。

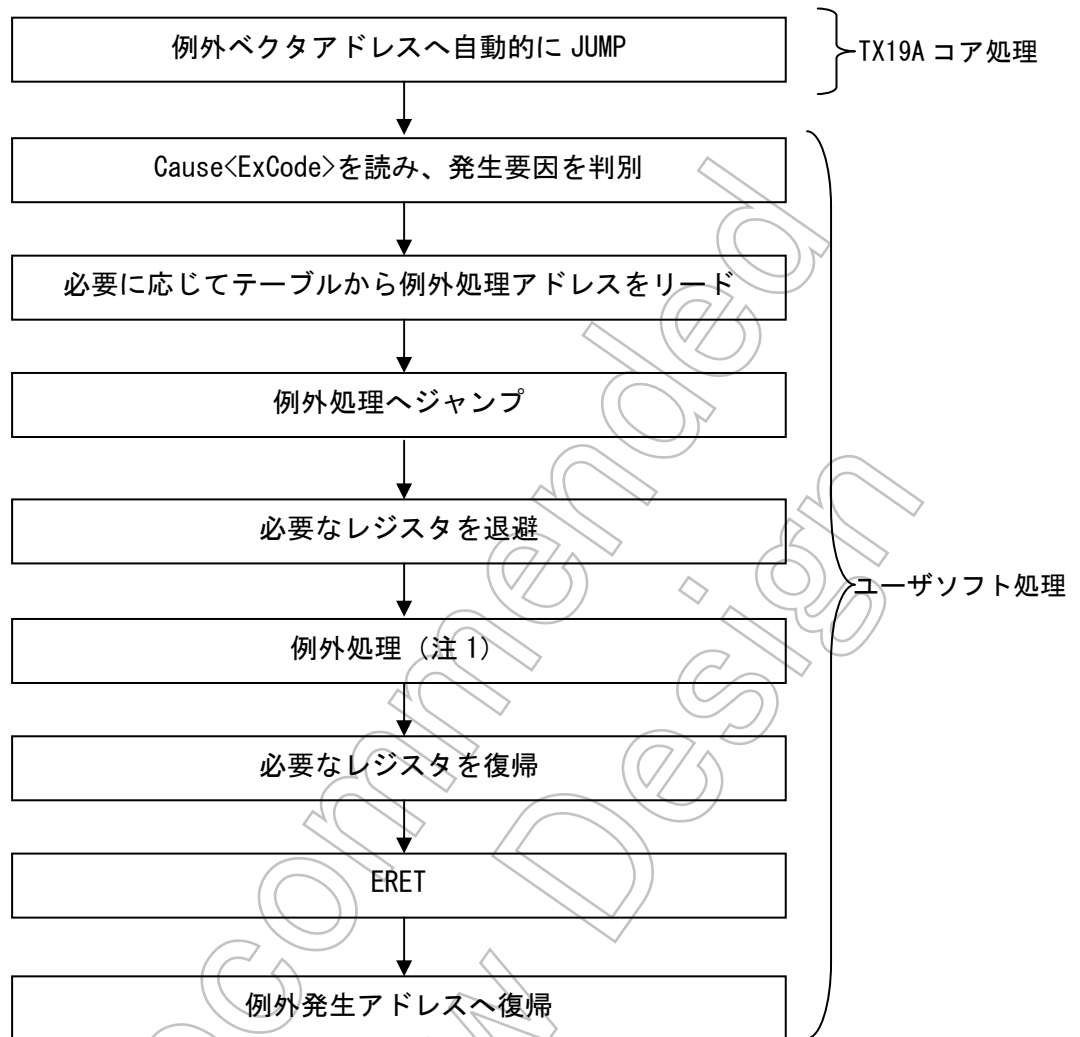


図 7.5.1 一般例外（リセット例外/NMI 以外）動作例

(注1) トラップ例外、システムコール例外、ブレークポイント例外を除く一般例外（リセット例外/NMI 以外）は、異常状態を意味しているためリセットをかけるような処理をするのが一般的です。

(注2) バスエラー例外（命令フェッチ、データアクセス）以外の一般例外（リセット例外/NMI 以外）は、EPC に例外発生原因となった PC が格納されますので、そのまま ERET で復帰した場合、再度例外が発生する可能性があります。

7.6 デバッグ例外

デバッグ例外には、シングルステップ例外とデバッグブレークポイント例外があります。通常、ユーザプログラムでこの例外を使用することはありません。

またデバッグ例外では Shadow Register Set を有効にしても切り替わりません。

デバッグ例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 デバッグ例外」の章を参照してください。

7.7 マスカブルソフトウェア割り込み

マスカブルソフトウェア割り込み（以下、ソフトウェア割り込み）はCP0レジスタのCause<IP[1:0]>を個別に”1”をセットすることで2要因のソフトウェア割り込みを発生させることができます。

ソフトウェア割り込みはCP0レジスタのCause<IP[1:0]>に値をセットしてから最短3クロック後に割り込みが受け付けられます。

ソフトウェア割り込み要求を受け付けるためには、CP0レジスタのStatus<IM[1:0]>に”1”がセットされている状態で、CP0レジスタのStatus<IE>が”1”にセットされ、Status<ERL/EXL>が”0”にクリアされている必要があります。またCP0レジスタのStatus<IM[1:0]>に”0”をセットすることでソフトウェア割り込みを個別にマスクすることが可能です。ソフトウェア割り込みとハードウェア割り込みが同時に発生した場合、ハードウェア割り込みが優先されます。

ソフトウェア割り込みではShadow Register Setを有効にした場合、ソフトウェア割り込み発生後、SSCR<PSS>にSSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、ソフトウェア割り込みからの復帰時にERET命令を実行することによって、SSCR<CSS>にSSCR<PSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。ソフトウェア割り込みは図 7.7.1のようなフローで割り込み処理を行います。

- (注1) ソフトウェア割り込みは後述のハードウェア割り込み要因のうちの「ソフトウェアセット」とは異なります。IMR00<EIM00>に”01”をセットすることで、ハードウェア割り込みが発生することを「ソフトウェアセット」と呼びます。

Not Recommended for New Design

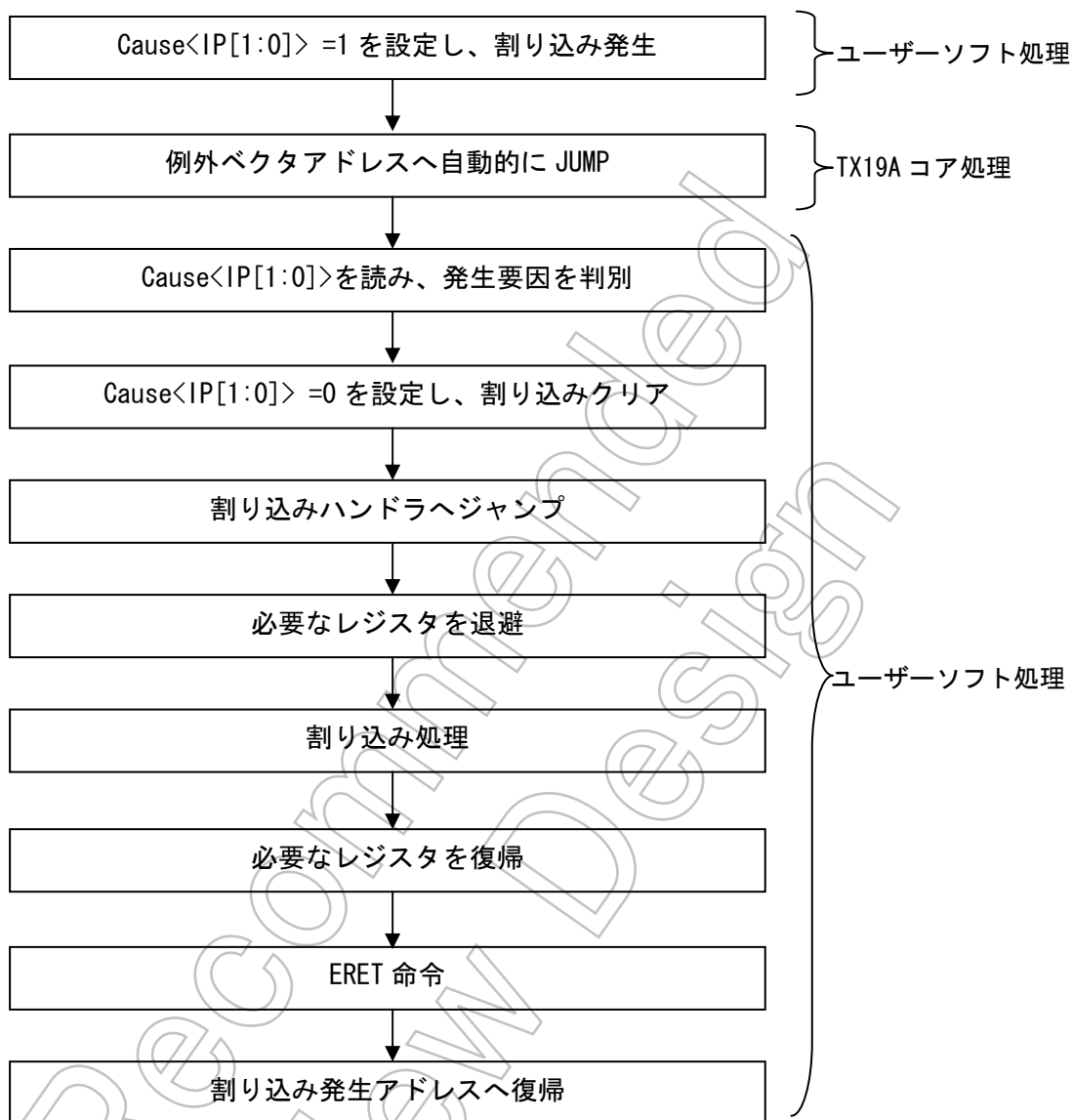


図 7.7.1 ソフトウェア割り込み動作例

(注1) ソフトウェア割り込みは割り込みを有効にした命令から最短3クロック後に受け付けられ、その時点の PC が EPC に格納されます。

7.8 マスカブルハードウェア割り込み

7.8.1 特徴

マスカブルハードウェア割り込み（以下、ハードウェア割り込み）は割り込みコントローラ（INTC）により個別に7段階の割り込みレベル（優先順位）を設定できる47要因の割り込み要求です。

ハードウェア割り込み要求を受け付けるためには、CPOレジスタのStatus<IM[4:2]>に”1”がセットされている状態で、CPOレジスタのStatus<IE>が”1”にセットされ、Status<ERL/EXL>が”0”にクリアされている必要があります。

同時に複数の割り込みが発生した場合は、これらの割り込みレベルの優先順位に従って割り込み要求を受け付けられます。また同じ割り込みレベルの割り込みが同時に発生した場合は、表7.8.1の割り込み番号の小さい割り込み要求から受け付けられます。

割り込み要求を受け付けられると、CPOレジスタのStatus<EXL>が”1”にセットされ、割り込みが禁止状態となり、自動的にINTCのILEV<CMASK>が割り込み要求の設定された割り込みレベルに更新されます。なおCPOレジスタのStatus<IE>は割り込み応答では”1”にセットされたまま変化しません。

ハードウェア割り込みではShadow Register Setと呼ばれるレジスタバンクが割り込みレベルごとに用意されています。割り込み要求を受け付けられると自動的に割り込みレベルと同じ番号のレジスタバンクに切り替わります。そのため割り込み応答時のユーザプログラムによる汎用レジスタ（GPR）の退避が不要になり、高速な割り込み応答が可能になっています。Shadow Register Setを使用する場合はCPOレジスタのSSCR<SSD>=0に設定してください。

多重割り込みを行う場合は、CPOレジスタのStatus<EXL>を”0”にクリアし、割り込みを許可状態にします。このときINTCのILEV<CMASK>が割り込み要求の設定された割り込みレベルに更新されていますので、受け付け中の割り込みレベルよりも高い割り込み要求のみ受け付けます。多重割り込みの詳細については「7.8.9 多重割り込みの設定例」を参照してください。

またINTCのILEV<CMASK>レジスタを設定することで、プログラマブルにマスクレベル以下の割り込み要求をマスクすることが可能です。

すべての割り込み要求をDMA転送のスタートトリガに使用することができます。

ハードウェア割り込みの詳細な動作を以下に示しますが、別冊「TX19A コア アーキテクチャ」の「例外処理 マスカブル割り込み（Interrupts）」の章も合わせて参照してください。

7.8.2 割り込み要因

表 7.8.1 ハードウェア割り込み要因一覧(1/2)

割り込み番号	IVR[8:0]	割り込み名称	発生要因	IMR
0	0x000	ソフトセット	IMR00<EIM00>に”01”セット	IMR00
1	0x004	INT0	INT0 端子	(IMR01)
2	0x008	Reserved	---	(IMR02)
3	0x00C	Reserved	---	(IMR03)
4	0x010	Reserved	---	IMR04
5	0x014	Reserved	---	(IMR05)
6	0x018	INT1	INT1 端子	(IMR06)
7	0x01C	INT2	INT2 端子	(IMR07)
8	0x020	INT3	INT3 端子	IMR08
9	0x024	Reserved	---	(IMR09)
10	0x028	Reserved	---	(IMR10)
11	0x02C	Reserved	---	(IMR11)
12	0x030	Reserved	---	IMR12
13	0x034	Reserved	---	(IMR13)
14	0x038	Reserved	---	(IMR14)
15	0x03C	Reserved	---	(IMR15)
16	0x040	Reserved	---	IMR16
17	0x044	Reserved	---	(IMR17)
18	0x048	Reserved	---	(IMR18)
19	0x04C	Reserved	---	(IMR19)
20	0x050	INTPMD0	PMD0 の MDCNT の一致	IMR20
21	0x054	INTPMD1	PMD1 の MDCNT の一致	(IMR21)
22	0x058	INTEMG0	PMD0 の EMG 入力 (PA6)	(IMR22)
23	0x05C	INTEMG1	PMD1 の EMG 入力 (PB6)	(IMR23)
24	0x060	INTENC	エンコーダの一致	IMR24
25	0x064	INTTBCOM00	TB0REG0 一致/TB0CNT の 0VF	(IMR25)
26	0x068	INTTBCOM01	TB0REG1 一致	(IMR26)
27	0x06C	INTTBCOM10	TB1REG0 一致/TB1CNT の 0VF	(IMR27)
28	0x070	INTTBCOM11	TB1REG1 一致	IMR28
29	0x074	INTTBCOM20	TB2REG0 一致/TB2CNT の 0VF	(IMR29)
30	0x078	INTTBCOM21	TB2REG1 一致	(IMR30)
31	0x07C	INTTBCOM30	TB3REG0 一致/TB3CNT の 0VF	(IMR31)
32	0x080	INTTBCOM31	TB3REG1 一致	IMR32
33	0x084	INTTBE0	TMRBO の EMG 入力 (P93)	(IMR33)
34	0x088	Reserved	---	(IMR34)
35	0x08C	Reserved	---	(IMR35)
36	0x090	Reserved	---	IMR36
37	0x094	Reserved	---	(IMR37)
38	0x098	Reserved	---	(IMR38)
39	0x09C	Reserved	---	(IMR39)
40	0x0A0	Reserved	---	IMR40
41	0x0A4	Reserved	---	(IMR41)
42	0x0A8	Reserved	---	(IMR42)
43	0x0AC	Reserved	---	(IMR43)
44	0x0B0	Reserved	---	IMR44
45	0x0B4	Reserved	---	(IMR45)
46	0x0B8	Reserved	---	(IMR46)
47	0x0BC	Reserved	---	(IMR47)
48	0x0C0	INTTX0	UART0 送信完了	IMR48
49	0x0C4	INTRX0	UART0 受信完了	(IMR49)
50	0x0C8	INTTX1	UART1 送信完了	(IMR50)
51	0x0CC	INTRX1	UART1 受信完了	(IMR51)
52	0x0D0	INTTX2	S102/UART2 送信完了	IMR52
53	0x0D4	INTRX2	S102/UART2 受信完了	(IMR53)
54	0x0D8	INTTX3	S103/UART3 送信完了	(IMR54)
55	0x0DC	INTRX3	S103/UART3 受信完了	(IMR55)

表 7.8.2 ハードウェア割り込み要因一覧 (2/2)

割り込み番号	IVR[8:0]	割り込み名称	発生要因	IMR
56	0x0E0	INTDMA0	DMA0 転送終了	IMR56
57	0x0E4	INTDMA1	DMA1 転送終了	(IMR57)
58	0x0E8	INTDMA2	DMA2 転送終了	(IMR58)
59	0x0EC	INTDMA3	DMA3 転送終了	(IMR59)
60	0x0F0	INTDMA4	DMA4 転送終了	IMR60
61	0x0F4	INTDMA5	DMA5 転送終了	(IMR61)
62	0x0F8	INTDMA6	DMA6 転送終了	(IMR62)
63	0x0FC	INTDMA7	DMA7 転送終了	(IMR63)
64	0x100	Reserved	---	IMR64
65	0x104	Reserved	---	(IMR65)
66	0x108	Reserved	---	(IMR66)
67	0x10C	Reserved	---	(IMR67)
68	0x110	INTADO	ADC0 変換終了	IMR68
69	0x114	INTADHP0	ADC0 最優先変換終了	(IMR69)
70	0x118	INTADMO	ADC0 変換値比較	(IMR70)
71	0x11C	INTAD1	ADC1 変換終了	(IMR71)
72	0x120	INTADHP1	ADC1 最優先変換終了	IMR72
73	0x124	INTADM1	ADC1 変換値比較	(IMR73)
74	0x128	INT4	INT4 端子	(IMR74)
75	0x12C	INT5	INT5 端子	(IMR75)
76	0x130	INT6	INT6 端子	IMR76
77	0x134	INT7	INT7 端子	(IMR77)
78	0x138	INT8	INT8 端子	(IMR78)
79	0x13C	INT9	INT9 端子	(IMR79)
80	0x140	Reserved	---	IMR80
81	0x144	Reserved	---	(IMR81)
82	0x148	Reserved	---	(IMR82)
83	0x14C	Reserved	---	(IMR83)
84	0x150	INTTBCAP00	TB0CAP1 キャプチャ	IMR84
85	0x154	INTTBCAP01	TB0CAP0 キャプチャ	(IMR85)
86	0x158	INTTBCAP10	TB1CAP1 キャプチャ	(IMR86)
87	0x15C	INTTBCAP11	TB1CAP0 キャプチャ	(IMR87)
88	0x160	INTTBCAP20	TB2CAP1 キャプチャ	IMR88
89	0x164	INTTBCAP21	TB2CAP0 キャプチャ	(IMR89)
90	0x168	INTTBCAP30	TB3CAP1 キャプチャ	(IMR90)
91	0x16C	INTTBCAP31	TB3CAP0 キャプチャ	(IMR91)
92	0x170	Reserved	---	IMR92
93	0x174	Reserved	---	(IMR93)
94	0x178	Reserved	---	(IMR94)
95	0x17C	Reserved	---	(IMR95)

(注1) IMRxx は 32 ビットのレジスタですが、8 ビット/16 ビットでのアクセスが可能です。例えば IMR00 は IMR00/IMR01/IMR02/IMR03 とすることで 8 ビットアクセスが可能になります。

(注2) Reserved は拡張用に予約されている領域です。Reserved 領域の IMR レジスタには初期値と同じ "0x00" を設定してください。

7.8.3 割り込み要求の検出

割り込み要求の検出は表 7.8.3に示すように要因ごとに異なります。すべての割り込み要求は検出後、INTCに通知され優先度調停され、TX19Aプロセッサコアに図 7.8.1の経路で通知されます。各割り込み要因で使用できる検知レベルは表 7.8.5を参照してください。

表 7.8.3 割り込み要求の検出場所

割り込み	検出場所	割り込み通知経路
(1) 外部端子割り込み INT0~INT3	CG	PORT→CG(検出)→INTC(調停)→TX19A コア
(2) 外部端子割り込み INT4~INT9	INTC	PORT→INTC(検出/調停)→TX19A コア
(3) 緊急停止割り込み INTEMGx	PORT	PORT(検出)→PMD→INTC(調停)→TX19A コア
(4) 緊急停止割り込み INTTBEO	PORT	PORT(検出)→INTC(調停)→TX19A コア
(5) その他の割り込み	INTC	周辺ハードウェア→INTC(検出/調停)→TX19A コア

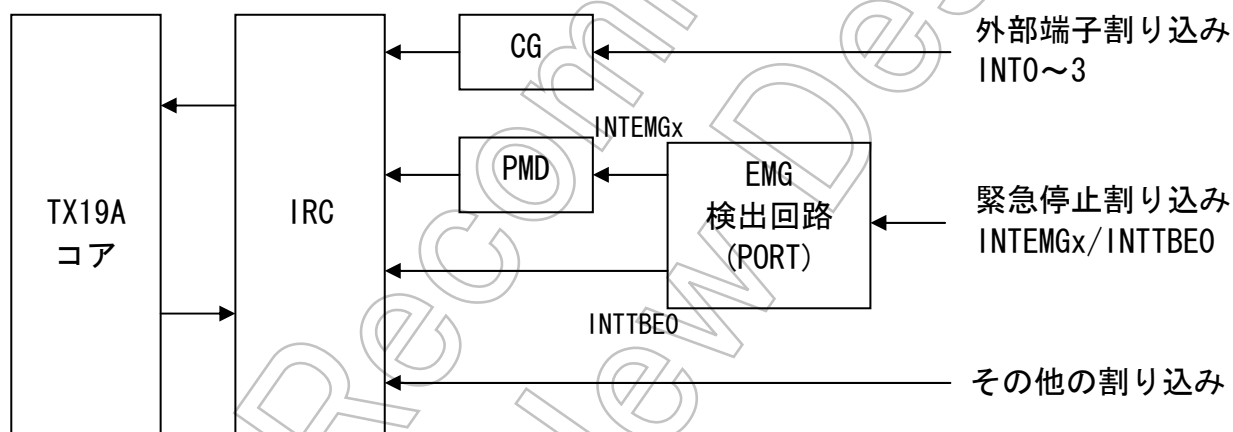


図 7.8.1 割り込み通知経路ブロック図

7.8.4 割り込みの優先度調停

1. 7段階の割り込みレベル

INTCは割り込み要因個別に7段階の割り込みレベル（優先度）を設定できます。

割り込みレベルはINTCのIMRxx<ILxx>で設定し、設定された割り込みレベルが大きいほど優先度が高くなります。値が”000”のとき（割り込みレベル0）はその要因による割り込みは発生しません。また割り込みレベル0の割り込み要因は保留されません。

2. 割り込みレベル通知

割り込み要求が発生すると、INTCはその割り込みレベルとマスクのレベルを比較します。ILEV<CMASK>で設定したマスクレベルよりその割り込みのレベルが高いときに割り込み要求をTX19Aプロセッサコアへ通知します。

同時に複数の割り込みが発生した場合は、割り込みレベルの優先順位に従って割り込み要求を通知します。また同じ割り込みレベルの割り込みが同時に発生した場合は、表7.8.1の割り込み番号の小さい割り込み要求から通知します。

前の割り込み要求がクリアされる前に同じ割り込み要因の再要求があった場合、1回目の割り込みしか受け付けられません。

3. INTCレジスタ更新

割り込み要求がTX19Aコアに受け付けられると、その時点で最も高いレベルの割り込みレベルがILEV<CMASK>に入り、IVRには対応したベクタ値がセットされます。一度セットされたCMASK/IVRはより高いレベルの割り込み要求が発生しても、IVRを読み出すまで更新されず、またコアへも通知されません。

(注1) ILEVの値を変更する前に必ずIVRの値を読み出してください。IVRの値を読み出す前にILEVの値を変更すると意図しない割り込みが発生する可能性があります。

7.8.5 ハードウェア割り込みの動作

ハードウェア割り込みが発生すると、TX19Aコアは下記の処理を行い、CPOレジスタのStatus<BEV>とCause<IV>の設定に応じた表7.2.1の例外ベクタアドレスへジャンプします。

- (1) CPOレジスタのStatus<EXL>を”1”にセットします。
- (2) CPOレジスタのEPCに割り込み発生時のPCの値をセットします。
- (3) Shadow Register Setを有効にしている場合（CPOレジスタのSSCR<SSD>=0）、CPOレジスタのSSCR<CSS/PSS>が更新され、割り込みレベルと同じ番号のレジスタバンクに切り替わります。
- (4) INTCのILEV<CMASK/PMASKx>が更新され、割り込みマスクレベルが受け付けられた割り込みレベルにセットされます。
- (5) INTCのIVR[8:0]を表7.8.1の値にセットします。

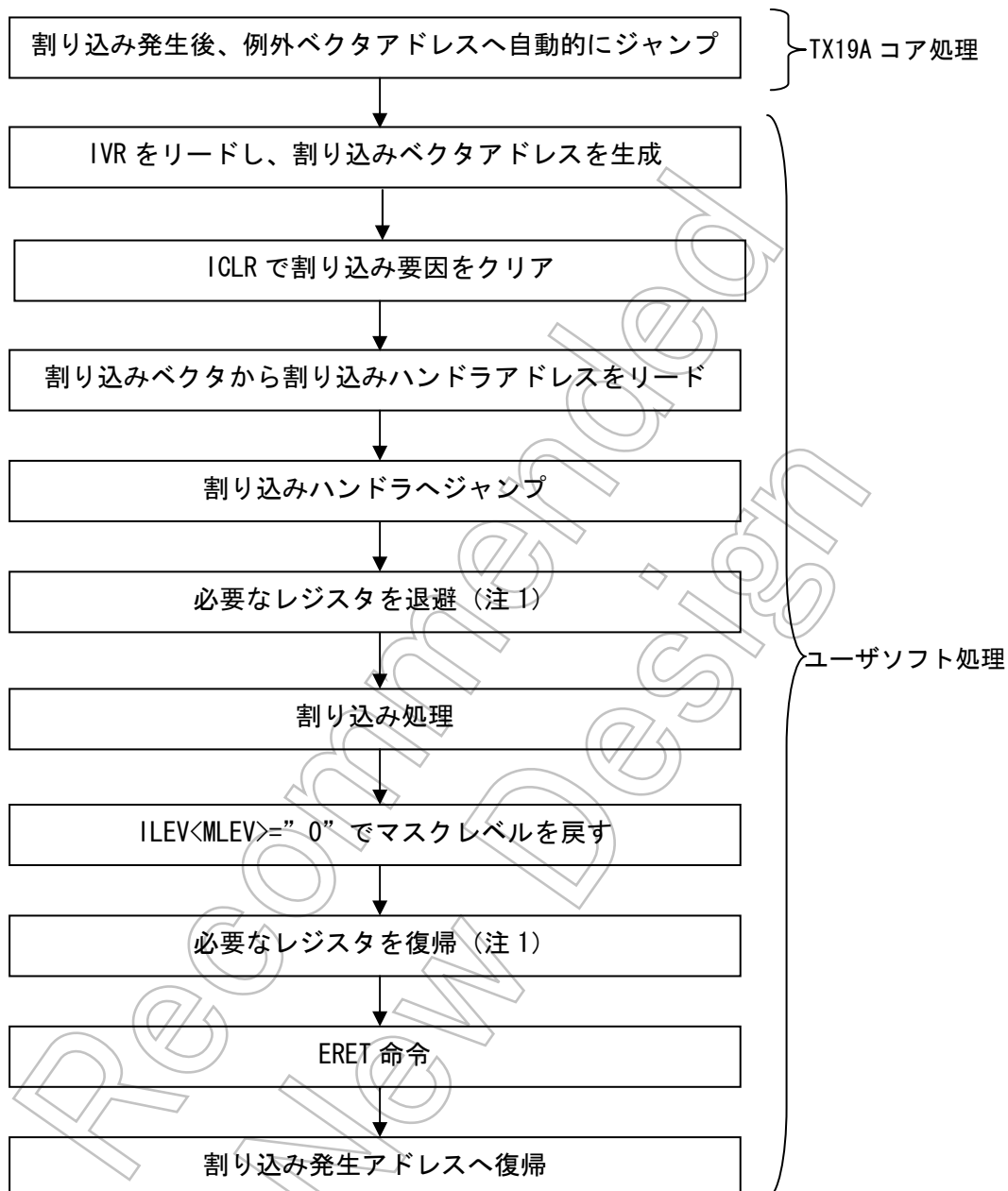


図 7.8.4 ハードウェア割り込みの基本動作例

(注1) TX19A コアは Shadow Register Set を使用すること (CPO レジスタ SSCR<SSD>=0) によって汎用レジスタの大部分を自動的に退避することが可能です。

7.8.6 割り込みの初期設定

割り込みを使用する前に必要な設定として、要因に関わらず割り込みを使用する場合に必要な設定を「7.8.6.1 共通の初期設定」で、要因や用途によって必要な設定を「7.8.6.2 割り込み要因別の初期設定」で説明します。

7.8.6.1 共通の初期設定

割り込みを使用するためには以下の設定が必要です。

- (1) CPO レジスタの Status<IM[4:2]>に” 111” をセットします。
- (2) INTC の IVR[31:9]に割り込みベクタテーブルのベースアドレスをセットします。
- (3) 「割り込みベクタテーブルのベースアドレス+割り込み要因ごとの IVR[8:0]」のアドレスに割り込み要因ごとの割り込みハンドラアドレスをセットします。

(1) の記述例：割り込みの例外ベクタアドレス 0xBFC00400 番地を使用する場合

```
lui    r2, 0x1040          ; CU0=1, BEV =1 (r2 =0x1040_xxxx)
addiu  r2, r2, 0x1C00      ; IM4, IM3, IM2 =1 (r2 =0x1040_1C00)
mtc0   r2, r12
```

(2) の記述例：VectorTable を割り込みベクタテーブルのラベルにしている場合

```
lui    r3, hi(VectorTable)
addiu  r3, r3, lo(VectorTable) ; r3 =VectorTable のアドレス
lui    r2, hi(IVR)          ; r2 =0xFFFF_xxxx (IVR のアドレスの上位 16bit)
sw     r3, lo(IVR)(r2)      ; IVR[31:9]に VectorTable のアドレスを設定
```

(3) の記述例：0xBFC20000 番地を割り込みベクタのベースアドレスにした場合

```
_VectorTable section code isa32 abs=0xBFC20000
VectorTable:
dw     _SWINT              ; 0 --- software interrupt
dw     _INT0               ; 1 --- INT0
dw     _RESEARVED         ; 2 --- Reserved
dw     _RESEARVED         ; 3 --- Reserved
dw     _RESEARVED         ; 4 --- Reserved
dw     _RESEARVED         ; 5 --- Reserved
dw     _INT1              ; 6 --- INT1
dw     _INT2              ; 7 --- INT2
dw     _INT3              ; 8 --- INT3
dw     _RESEARVED         ; 9 --- Reserved
```

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

7.8.6.2 割り込み要因別の初期設定

割り込みを使用するために設定するレジスタは下記の要因ごとに異なります。

表 7.8.5 割り込み検知と設定レジスタ

割り込み	設定場所	使用できる割り込み検知レベル
(1) 外部端子割り込み INT0~INT3	PxIER(PORT) PxFR(PORT) CLKINTx(CG) IMRxx(INTC)	アクティブ状態の設定はCGのCLKINTx<IxSEN>で“L”レベル、“H”レベル、立ち下がり、立ち上がりの設定ができません。INTCのIMRxx<EIMxx>では必ず立ち下がりエッジ(CGでエッジ検出の場合)もしくは“L”レベル(CGでレベル検出の場合)に設定してください。
(2) 外部端子割り込み INT4~INT9	PxIER(PORT) PxFR(PORT) IMRxx(INTC)	アクティブ状態の設定はINTCのIMRxx<EIMxx>で“L”レベル、“H”レベル、立ち下がり、立ち上がりのすべての設定ができます。
(3) 緊急停止割り込み INTEMGx	PxIER(PORT) PxFR(PORT) PxECR(PORT) EMGCRx(PMD) IMRxx(INTC)	アクティブ状態の設定はPORTのPxECR<ERMx>で“L”レベル、“H”レベル、立ち下がり、立ち上がりのすべての設定ができます。INTCのIMRxx<EIMxx>では立ち下がりエッジを設定してください。
(4) 緊急停止割り込み INTTBEO	P9IER(PORT) P9FR2(PORT) P9ECR(PORT) IMR33(INTC)	アクティブ状態の設定はPORTのP9ECR<ERM9>で“L”レベル、“H”レベル、立ち下がり、立ち上がりのすべての設定ができます。INTCのIMR33<EIM33>では立ち下がりエッジもしくは“L”レベルを設定してください。
(5) その他の割り込み	IMRxx(INTC)	アクティブ状態の設定は常に立ち下がりエッジを設定してください。

(注1) レベル検出は内部クロックによって毎回値を確認し、エッジ検出は内部クロックによって前回の入力との値を比較し、エッジを検出します。

(1) 外部端子割り込み INT0~INT3

- PORTのPxIERでポートを入力許可に設定します。(7. ポート機能参照)
- PORTのPxFRで端子機能をINT0~INT3に設定します。(7. ポート機能参照)
- CGのCLKINTx<IxSEN>でアクティブ状態を設定します。(5.3.3 割り込み関連レジスタ参照)
- CGのCLKINTx<IxKI>でスタンバイ解除の許可/禁止を設定します。(5.3.3 割り込み関連レジスタ参照)
- INTCのIMRxx<EIMxx>でCGから通知される内部割り込み信号のアクティブ状態を設定します。CGのCLKINTx<IxSEN>で立ち上がり/下がりエッジに設定している場合は立ち下がりエッジに設定(IMRxx<EIMxx>を“10”にセット)し、H/Lレベルに設定している場合はLレベルに設定(IMRxx<EIMxx>を“00”にセット)してください。(7.8.10 レジスタ参照)

(注1) CGのCLKINTxを設定する場合はCGのCGACTに0x5A5A→0xF0F0と設定する必要があります。

(注2) 割り込みの初期設定をする場合は、表7.8.3に示している、割り込み検出経路の順に設定してから、CPOレジスタで割り込みを許可にしてください。設定順序が異なる場合は意図しない割り込みが発生する場合がありますので、必ず割り込み要因をクリアしてから割り込み許可に設定してください。また割り込みを禁止する場合は、CPOレジスタで割り込みを禁止してから割り込み検出経路の逆から設定してください。

・外部端子割り込み INT3 を STOP 解除入力（立ち下がリエッジ）として使用する場合の設定例

Status<IE> = " 0" ; 割り込み禁止
 P6IER<P6IER4> = " 0" ; ポート入力を許可
 P6FR<P6FR4> = " 1" ; ポートを INT3 に設定
 CLKINT3<I3SEN> = " 010" ; INT3 を立ち下がリエッジに設定
 CLKINT3<I3KI> = " 1" ; INT3 を STOP 解除に設定
 CLKACT = " 0x5A5A" → "0xF0F0" ; CG レジスタの設定有効
 IMR08<EIM08> = " 10" ; INT3 を立ち下がリエッジ
 ICLR<IV> = " 0x020" ; INT3 の割り込み要求をクリア
 IMR08<IL08> = " 101" ; INT3 の割り込みレベルを" 5" に設定
 ILEV<MLEV>/<CMASK> = " 1" /" xxx" ; マスクレベルを" xxx" に設定（ILEV<MLEV>と同時設定）
 SYNC 命令 ; 割り込み設定が有効になるまでストール
 Status<IE> = " 1" ; 割り込み許可

・外部端子割り込み INT3 を使用禁止にする場合の設定例

Status<IE> = " 0" ; 割り込み禁止
 IMR08<IL08> = " 000" ; INT3 の割り込みを禁止
 ICLR<IV> = " 0x020" ; INT3 の割り込み要求をクリア

(2) 外部端子割り込み INT4～INT9

- ・ PORT の PxIER でポートを入力許可に設定します。（7. ポート機能参照）
- ・ PORT の PxFR で端子機能を INT4～INT9 に設定します。（7. ポート機能参照）
- ・ INTCの IMRxx<EIMxx>でアクティブ状態を設定します。（7.8.10 レジスタ参照）

（注1）割り込みの初期設定をする場合は、表 7.8.3に示している、割り込み検出経路の順に設定してから、CP0 レジスタで割り込みを許可にしてください。設定順序が異なる場合は意図しない割り込みが発生する場合がありますので、必ず割り込み要因をクリアしてから割り込み許可に設定してください。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてから割り込み検出経路の逆から設定してください。

・外部端子割り込み INT4 を Hレベルとして使用する場合の設定例

Status<IE> = " 0" ; 割り込み禁止
 P6IER<P6IER5> = " 0" ; ポート入力を許可
 P6FR<P6FR5> = " 1" ; ポートを INT4 に設定
 IMR74<EIM74> = " 01" ; INT4 を" H" レベルに設定
 ICLR<IV> = " 0x020" ; INT4 の割り込み要求をクリア
 IMR74<IL74> = " 010" ; INT4 の割り込みレベルを" 2" に設定
 ILEV<MLEV>/<CMASK> = " 1" /" xxx" ; マスクレベルを" xxx" に設定（ILEV<MLEV>と同時にセット）
 SYNC 命令 ; 割り込み設定が有効になるまでストール
 Status<IE> = " 1" ; 割り込み許可

(3) 緊急停止割り込み INTEMG0/INTEMG1

詳細な設定例は「7.12 EMG 入力端子 (PA6/PB6) の使用上の注意事項」を参照してください。

- ・ PORT の PxECR<ERMx>でアクティブ状態を設定します。(7. ポート機能参照)
- ・ PORT の PxIER でポートを入力許可に設定します。(7. ポート機能参照)
- ・ PORT の PxFR で端子機能を EMGx に設定します。(7. ポート機能参照)
- ・ PMD の EMGCRx<EMGEN>を” 1” にセットします。(12.3.4 EMG 保護回路参照)
- ・ INTCのIMRxx<EIMxx>を” 10” にセットします。(7.8.10 レジスタ参照)

(注1) PORT の PxECR を設定する場合は PORT の PxECLR に 0x55→0xAA と設定する必要があります。

(注2) 割り込みの初期設定をする場合は、表 7.8.3に示している、割り込み検出経路の順に設定してから、CP0 レジスタで割り込みを許可にしてください。設定順序が異なる場合は意図しない割り込みの発生及びEMG状態に遷移する場合がありますので、必ず割り込み要因及びEMG状態をクリアしてから割り込み許可に設定してください。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてください。また割り込み検出経路の逆から設定してください。

(4) 緊急停止割り込み INTTBE0

詳細な設定例は「7.9.1 EMG 入力端子 (P93) の使用上の注意事項」を参照してください。

- ・ PORT の P9ECR<ERM9>でアクティブ状態を設定します。(7. ポート機能参照)
- ・ PORT の P9IER でポートを入力許可に設定します。(7. ポート機能参照)
- ・ PORT の P9FR で端子機能を EMG 入力に設定します。(7. ポート機能参照)
- ・ INTCのIMR33<EIM33>を” 10” にセットします。(7.8.10 レジスタ参照)

(注1) PORT の P9ECR を設定する場合は PORT の P9ECLR に 0x55→0xAA と設定する必要があります。

(注2) 割り込みの初期設定をする場合は、表 7.8.3に示している、割り込み検出経路の順に設定してから、CP0 レジスタで割り込みを許可にしてください。設定順序が異なる場合は意図しない割り込みの発生及びEMG状態に遷移する場合がありますので、必ず割り込み要因及びEMG状態をクリアしてから割り込み許可に設定してください。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてください。また割り込み検出経路の逆から設定してください。

(5) その他のハードウェア割り込み

- ・ 使用する周辺ハードウェアの設定をします。
- ・ INTCのIMRxx<EIMxx>を” 10” にセットします。(7.8.10 レジスタ参照)

(注1) 割り込みの初期設定をする場合は、INTC の設定してから、CP0 レジスタで割り込みを許可にしてください。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてください。また割り込み検出経路の逆から INTC を設定してください。

7.8.7 割り込み許可／禁止

ここではプログラム中の割り込み許可及び禁止の設定の方法を説明します。

7.8.7.1 割り込み許可

割り込み要求を受け付けるためには「7.8.6 割り込みの初期設定」の以外に下記の3条件が設定されている必要があります。

- ・ CP0 レジスタの Status<ERL>が” 0” にセットされている。
- ・ CP0 レジスタの Status<EXL>が” 0” にセットされている。
- ・ CP0 レジスタの Status<IE>が” 1” にセットされている。

これらの設定は命令実行から 2 クロック後に割り込みが許可状態になり、レジスタがセットされます。また CP0 レジスタの Status<IE>を” 1” にセットするには、下記の 4 通りの設定方法があります。

1. 32 ビット ISA の MTC0 命令で CP0 レジスタの Status<IE>を” 1” にセットする。
2. 32 ビット ISA の MTC0 命令で CP0 レジスタの IER を” 0” 以外にセットする。(注 1)
3. 16 ビット ISA の MTC0 命令で CP0 レジスタの Status<IE>を” 1” にセットする。
4. 16 ビット ISA の EI 命令を実行する。(注 2)

(注1) コード効率が良いため、32 ビット ISA ではこの方法で割り込み許可することを推奨します。東芝製 C コンパイラでも 32 ビット ISA の「__EI() 組み込み関数」はこの命令が実行されます。

(注2) コード効率が良いため、16 ビット ISA ではこの方法で割り込み許可することを推奨します。東芝製 C コンパイラでも 16 ビット ISA の「__EI() 組み込み関数」はこの命令が実行されます。

(注3) コードサイズが小さく高速なため、2. と 4. の方法を推奨します。

7.8.7.2 割り込み禁止

下記の3条件のうち1つでも成立していると割り込みが禁止状態になります。下記設定によって割り込み禁止状態にすると、「7.8.6 割り込みの初期設定」で設定されている割り込み要求は保留されます。またTMP19A71では割り込みレベル0に設定した割り込み要因は保留しません。

- ・ CPOレジスタのStatus<ERL>が”1”にセットされている。
- ・ CPOレジスタのStatus<EXL>が”1”にセットされている。
- ・ CPOレジスタのStatus<IE>が”0”にセットされている。

これらの設定は命令実行直後に割り込みが禁止状態になり、2クロック後にレジスタがセットされます。CPOレジスタのStatus<ERL>と<EXL>は割り込み及び例外で自動的にセットされ、ERET命令で自動的にクリアされるビットですので、通常の割り込み禁止設定を行なう場合はCPOレジスタのStatus<IE>を”0”にセットする方法を推奨します。多重割り込みを使用する場合の割り込み禁止は「7.8.9 多重割り込みの設定例」を参照してください。CPOレジスタのStatus<IE>を”0”にセットするには、下記の4通りの設定方法があります。

1. 32ビットISAのMTC0命令でCPOレジスタのStatus<IE>を”0”にセットする。
2. 32ビットISAのMTC0命令でCPOレジスタのIERを”0”にセットする。(注1)
3. 16ビットISAのMTC0命令でCPOレジスタのStatus<IE>を”0”にセットする。
4. 16ビットISAのDI命令を実行する。(注2)

(注1) コード効率が良いため、32ビットISAではこの方法で割り込み禁止することを推奨します。東芝製Cコンパイラでも32ビットISAの「_DI()組み込み関数」はこの命令が実行されます。

(注2) コード効率が良いため、16ビットISAではこの方法で割り込み禁止することを推奨します。東芝製Cコンパイラでも16ビットISAの「_DI()組み込み関数」はこの命令が実行されます。

(注3) コードサイズが小さく高速なため、2.と4.の方法を推奨します。

一度、INTCのIMRxx<ILxx>で割り込みレベルを設定し、割り込み許可になった要因を個別に再度禁止(IMRxx<ILxx> = ”000”)にする場合は、下記の例のようにCPOレジスタのStatus<ERL/EXL/IE>をセットし、割り込みを禁止状態にしてから割り込み要因を禁止にしてください。

割り込み要因を個別に禁止する場合の記述例

mtc0	r0, IER	; 割り込み禁止 (Status<IE>が”0”にセットされる)
sb	r0, IMRxx	; 割り込み要因の禁止
sync		; 書き込みが有効になるまでストール
mtc0	r29, IER	; 割り込み許可 (Status<IE>が”1”にセットされる)

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

7.8.8 割り込み処理

ここでは図 7.8.4の基本フローを前提にした詳細な動作を説明します。

7.8.8.1 割り込み応答と復帰

①ハードウェアによる割り込み受け付け

INTC は割り込み要求を調停すると INTC の IVR に受け付けた割り込み要求の割り込みベクタと ILEV<CMASK>に受け付けた割り込みレベルをセットし、TX19A プロセッサコアに割り込みレベルを通知します。割り込みレベルの通知を受けた TX19A プロセッサコアは CP0 レジスタの Status<EXL>を”1”にセットし、割り込みを禁止状態にし、割り込みが発生した PC の値を EPC に退避します。また Shadow Register Set が有効 (CP0 レジスタ SSCR<SSD>=0) な場合は CP0 レジスタの SSCR<GSS>に割り込みレベルをセットし、レジスタバンクを切り替えます。

割り込みが受け付けられると実行中の命令は中止され、例外ベクタアドレス (割り込み) へ自動的にジャンプします。割り込みの受け付けフローを図 7.8.2に示します。

Not Recommended for New Design

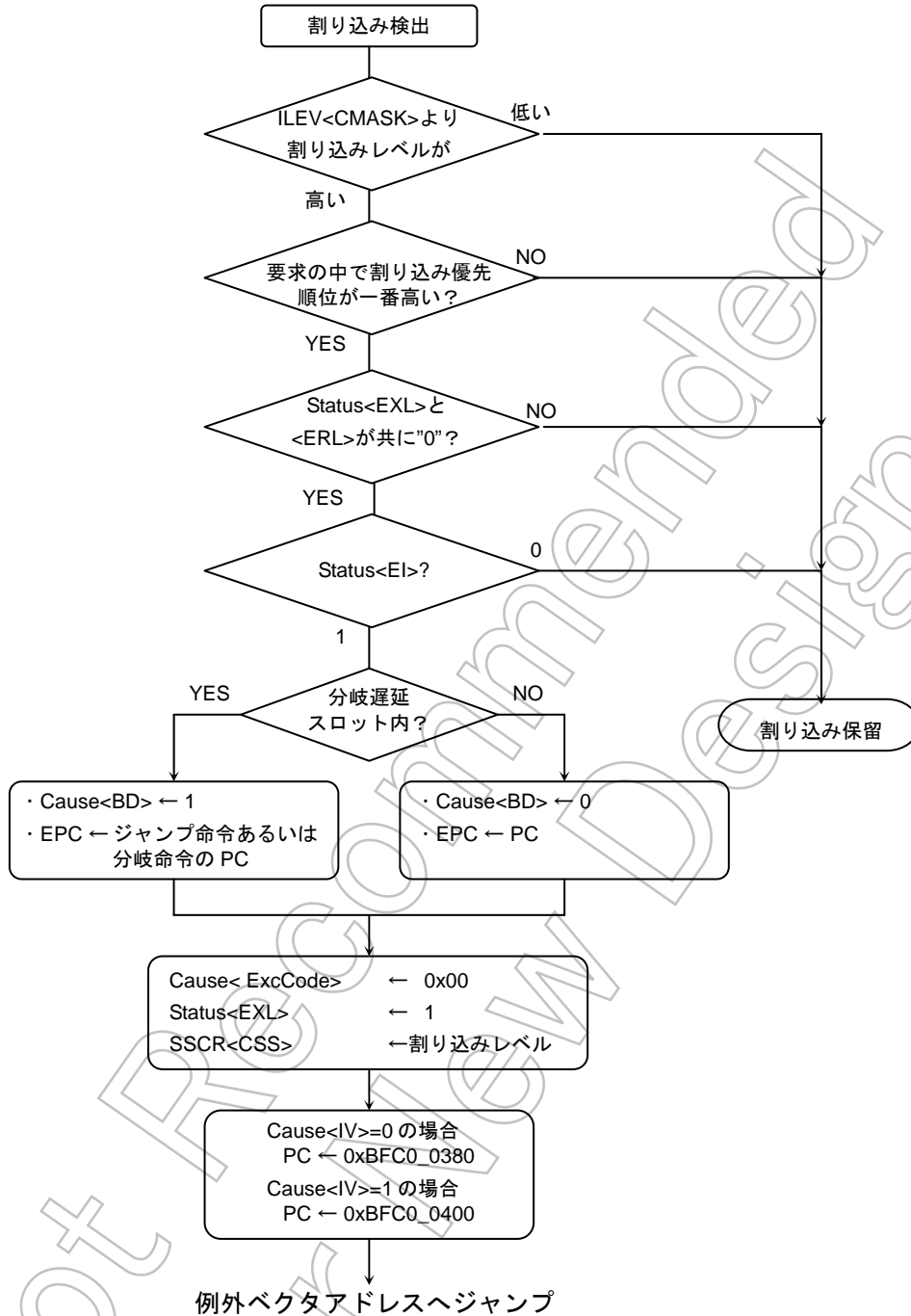


図 7.8.2 ハードウェアによる割り込み受け付けフロー

②例外ハンドラでの必要な処理

割り込み要求が受け付けられた後、自動的にジャンプする例外ハンドラでは、INTCのIVRから割り込みベクタアドレスを読み出し、ユーザプログラムで割り込みハンドラアドレスを生成します。通常「7.8.6 割り込みの初期設定」での記述例のように、IVR[31:9]には割り込みベクタのベースアドレスを設定するため、IVRの値が割り込みベクタアドレスになります。

INTCのIVRを読み出した後に割り込み要因をクリアします。IVRを読む前に割り込み要因をクリアするとIVRの値がクリアされ、正しい値が読み出せなくなります。

例外ハンドラの記述例：例外ベクタアドレス（割り込み）が0xBFC0_0400番地の場合

VECTOR_INT section code isa32 abs=0xBFC00400

__InterruptVector:

```
lui    r26, hi(IVR)
lw     r26, lo(IVR)(r26)      ; IVRから割り込みベクタアドレスの読み出し
lui    r27, hi(ICLR)
sh     r26, lo(ICLR)(r27)    ; 割り込み要求のクリア
lw     r26, 0(r26)           ; 割り込みベクタから割り込みハンドラアドレスの読み出し
jr     r26                    ; 割り込みハンドラへジャンプ
nop
```

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

③割り込みハンドラでの必要な処理

通常、割り込みハンドラでは必要なレジスタの退避と割り込み処理を行います。Shadow Register Setを有効（CP0レジスタSSCR<SSD>=0）にしている場合は、汎用レジスタのr26, r27, r28, r29（Shadow Register Set番号1~7）以外は自動的に退避されるため、ユーザプログラムで退避する必要はありません。退避される汎用レジスタの詳細については別冊の「TX19A コア アーキテクチャ」を参照してください。

一般的に汎用レジスタ以外はユーザプログラムに依存しますが、必要に応じて、CP0レジスタのStatus, EPC, SSCR, HI, LO, Cause, Config等も退避します。

退避処理後にCP0レジスタのStatus<EXL>を”0”にクリアし、割り込みを許可にすることで多重割り込みを使用することが可能です。

(注1) 割り込み禁止の状態でも一般例外は受け付けられます。そのため多重割り込みを使用しない場合でも一般例外によって書き換わる可能性のある、汎用レジスタ及びCP0レジスタを退避することを推奨します。

割り込みハンドラでの必要な設定例

SSCR→スタックへ退避	; SSCR の値の退避 (必要に応じて)
EPC →スタックへ退避	; EPC の値の退避 (必要に応じて)
Status →スタックへ退避	; Status の値の退避 (必要に応じて)
NOP 命令	; ERET 命令実行前にストール
NOP 命令	; ERET 命令実行前にストール
Status<EXL> = " 0"	; 割り込み許可 (多重割り込み時のみ)

(注1) CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまでの 2 命令待つてからレジスタアクセスをして下さい。

④割り込みハンドラからの復帰

割り込みハンドラからメイン処理に復帰するには割り込みハンドラの前頭で退避したレジスタを戻し、INTC の ILEV<MLEV>に" 0" をセットして割り込みのマスクレベルを戻します。すべての復帰作業が終了後、ERET 命令を実行することによって、CPO レジスタの Status<EXL>を" 0" にクリアされ、EPC のアドレスが PC に戻りメイン処理に復帰します。また Shadow Register Set を有効 (CPO レジスタ SSCR<SSD>=0) にしている場合は、ERET 命令によって SSCR<CSS>が更新され、ひとつ前の Shadow Register Set 番号に自動的に戻るため、レジスタバンクで退避した汎用レジスタは自動的に復帰します。

多重割り込みを使用している場合は、復帰処理の前に CPO レジスタの Status<EXL>を" 1" にセットし、割り込みを禁止にしておく必要があります。

割り込みハンドラからの復帰の設定例

Status<EXL> = " 1"	; 割り込み禁止 (多重割り込み時のみ)
ILEV<MLEV> = " 0"	; マスクレベルを 1 段階戻す
SYNC 命令	; マスクレベルが戻るまでストール
SSCR ←退避した SSCR	; SSCR の値を復帰 (必要に応じて)
NOP 命令	; SSCR が切り替わるまでストール
NOP 命令	; SSCR が切り替わるまでストール
EPC ←退避した EPC	; EPC の値を復帰 (必要に応じて)
Status ←退避した Status	; Status の値を復帰 (必要に応じて)
NOP 命令	; ERET 命令実行前にストール
NOP 命令	; ERET 命令実行前にストール
ERET 命令	; Status<EXL> = " 0" , PC ←EPC, SSCR<CSS> ←SSCR<PSS>
NOP 命令	; ERET 命令後のストール (TMP19A70 のみ)

(注1) CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまでの 2 命令待つてからレジスタアクセスをして下さい。

(注2) ERET 命令を実行する 2 命令前に CPO レジスタをアクセスしないで下さい。

(注3) ERET 命令実行後は必ず NOP 命令を置いてください。(TMP19A70 のみ)

7.8.9 多重割り込みの設定例

多重割り込みとは割り込み処理中にさらに優先度の高い割り込み要求を処理することです。TMP19A71 は INTC が割り込み優先度の調停を行うことで、多重割り込みを行うことができます。割り込み要求が受け付けられると自動的に INTC の ILEV<CMASK>が受け付けられた割り込みレベルに更新されますので、ユーザプログラムで初期設定された優先度で調停を行うことができます。

①多重割り込みで必要な追加処理

割り込みが受け付けられると CP0 レジスタの Status<EXL>が” 1” にセットされ割り込みが禁止状態になります。多重割り込みを行うためには、多重割り込みを許可する前に、2 回目以降の割り込みで上書きされてしまう可能性のあるレジスタを事前に退避しておく必要があります。そのため通常の例外ハンドラ及び割り込みハンドラの処理以外に下記レジスタを退避してから、CP0 レジスタの Status<EXL>を” 0” にセットして、割り込みを許可して下さい。

退避させておかなければいけない CP0 レジスタ

- ・ EPC
- ・ SSCR

(注1) 東芝製 C コンパイラの割り込み関数を使用すると自動的に退避／復帰されるレジスタもあります。詳細は、東芝製 C コンパイラに付属の「TX19A C コンパイラリファレンス」を参照してください。

②多重割り込みで必要な追加の復帰処理

割り込みからの復帰処理でのレジスタ復帰の前に「7.8.7.2 割り込み禁止」に示してある手段で割り込みを禁止にする必要があります。これは復帰したレジスタを多重割り込みで壊されないために必要です。また ERET 命令では自動的に CP0 レジスタの Status<EXL>を” 0” にクリアするため、復帰処理での割り込み禁止は CP0 レジスタの Status<EXL>を” 1” にセットすると、自動的に割り込み許可状態で割り込みから復帰することが可能です。

③Status<EXL>と Status<IE>の使い分け

Status<EXL>と Status<IE>は基本的に大きな違いはありませんが、Status<EXL>は割り込み発生で自動的に” 1” にセットされ ERET 命令で自動的に” 0” にクリアされます。割り込み先頭のレジスタ退避及び割り込み最後のレジスタ復帰は割り込みを禁止する必要があるため、通常はハードウェアで制御される Status<EXL>を使用します。また、その他の一般的な割り込み許可／禁止制御は Status<IE>を使用して制御します。

多重割り込みでの割り込み許可／禁止制御フローは「7.8.9.1 多重割り込みでの割り込み制御」で説明します。

7.8.9.1 多重割り込みでの割り込み制御

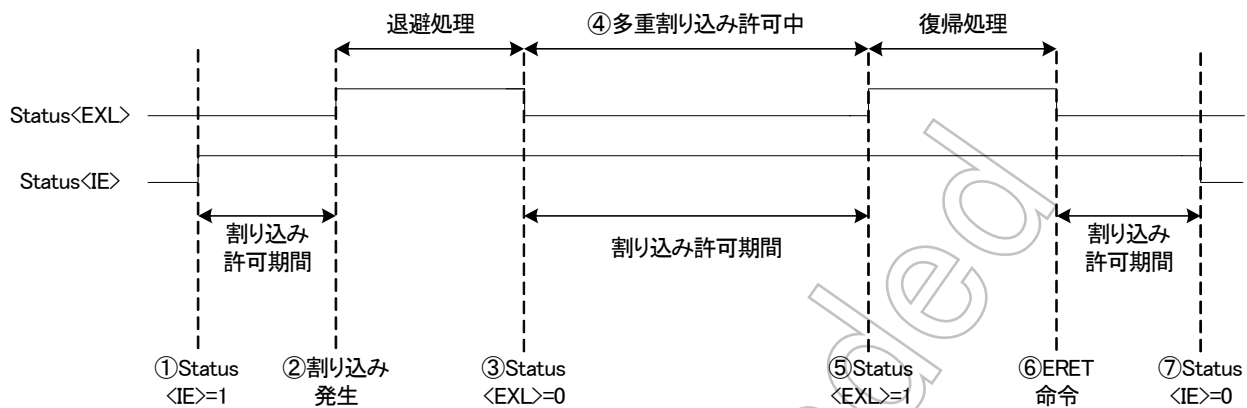


図 7.8.3 多重割り込み制御の割り込み許可／禁止

①Status<IE>=1

CP0 レジスタの Status<EXL>が” 0” の状態で、CP0 レジスタの Status<IE>を” 1” にセットすることで、割り込みを許可にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

②割り込み発生

割り込みが発生すると自動的に CP0 レジスタの Status<EXL>が” 1” にセットされ、割り込み禁止状態になります。この処理はハードウェアで自動的に設定されます。

③Status<EXL>=0

多重割り込みを許可にする場合、必要なレジスタを退避後に CP0 レジスタの Status<EXL>を” 0” にセットし、割り込みを許可にする必要があります。レジスタ退避前に割り込みを許可にしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

④多重割り込み許可中

多重割り込みが許可されている期間です。現在の割り込みレベル (ILEV<CMASK>) よりも大きいレベルの割り込みが受け付けられます。この期間で割り込みを禁止したい場合は CP0 レジスタの Status<IE>を” 0” にセットします。

⑤Status<EXL>=1

多重割り込みを許可にした場合、必要なレジスタを復帰させる前に CP0 レジスタの Status<EXL>を” 1” にセットし、割り込みを禁止にする必要があります。割り込み禁止前にレジスタ退避をしてしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

⑥ERET 命令

割り込み発生前に戻るための命令です。CP0 レジスタの Status<EXL>が” 1” にセットされている状態で実行すると、自動的に CP0 レジスタの Status<EXL>が” 0” にセットされ、割り込み許可状態になります (ただし、CP0 レジスタの Status<IE>を” 1” の場合)。

⑦Status<IE>=0

CP0 レジスタの Status<IE>を” 0” にセットすることで、割り込みを禁止にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

7.8.10 レジスタ

7.8.10.1 レジスタマップ

表 7.8.6 INTC レジスタマップ

アドレス	レジスタ記号	レジスタ	対応割り込み番号
0xFFFF_D000	IMR00	割り込みモードコントロールレジスタ 00	0 ~ 3
0xFFFF_D004	IMR04	割り込みモードコントロールレジスタ 04	4 ~ 7
0xFFFF_D008	IMR08	割り込みモードコントロールレジスタ 08	8 ~ 11
0xFFFF_D00C	IMR12	割り込みモードコントロールレジスタ 12	12 ~ 15
0xFFFF_D010	IMR16	割り込みモードコントロールレジスタ 16	16 ~ 19
0xFFFF_D014	IMR20	割り込みモードコントロールレジスタ 20	20 ~ 23
0xFFFF_D018	IMR24	割り込みモードコントロールレジスタ 24	24 ~ 27
0xFFFF_D01C	IMR28	割り込みモードコントロールレジスタ 28	28 ~ 31
0xFFFF_D020	IMR32	割り込みモードコントロールレジスタ 32	32 ~ 35
0xFFFF_D024	IMR36	割り込みモードコントロールレジスタ 36	36 ~ 39
0xFFFF_D028	IMR40	割り込みモードコントロールレジスタ 40	40 ~ 43
0xFFFF_D02C	IMR44	割り込みモードコントロールレジスタ 44	44 ~ 47
0xFFFF_D030	IMR48	割り込みモードコントロールレジスタ 48	48 ~ 51
0xFFFF_D034	IMR52	割り込みモードコントロールレジスタ 52	52 ~ 55
0xFFFF_D038	IMR56	割り込みモードコントロールレジスタ 56	56 ~ 59
0xFFFF_D03C	IMR60	割り込みモードコントロールレジスタ 60	60 ~ 63
0xFFFF_D040	IMR64	割り込みモードコントロールレジスタ 64	64 ~ 67
0xFFFF_D044	IMR68	割り込みモードコントロールレジスタ 68	68 ~ 71
0xFFFF_D048	IMR72	割り込みモードコントロールレジスタ 72	72 ~ 75
0xFFFF_D04C	IMR76	割り込みモードコントロールレジスタ 76	76 ~ 79
0xFFFF_D050	IMR80	割り込みモードコントロールレジスタ 80	80 ~ 83
0xFFFF_D054	IMR84	割り込みモードコントロールレジスタ 84	84 ~ 87
0xFFFF_D058	IMR88	割り込みモードコントロールレジスタ 88	88 ~ 91
0xFFFF_D05C	IMR92	割り込みモードコントロールレジスタ 92	92 ~ 95
0xFFFF_D080	IVR	割り込みベクタレジスタ	ALL (0~95)
0xFFFF_D084	ICLR	割り込み要求クリアレジスタ	ALL (0~95)
0xFFFF_D088	ILEV	割り込みマスクレベルレジスタ	ALL (0~95)
0xFFFF_D400	MODECR	モードコントロールレジスタ	バスエラー(NMI)

(注1) 割り込みモードコントロールレジスタ (IMRxx) は 32 ビットのレジスタですが、16 ビット及び 8 ビットでもアクセスが可能です。

(注2) 「表 7.8.1 ハードウェア割り込み要因一覧」で「Reserved」に設定してある割り込み番号は拡張用に予約されている領域です。該当する割り込み番号の割り込みモードコントロールレジスタ (IMRxx) には初期値と同じ”0”を設定してください。

7.8.10.2 割り込みベクタレジスタ (IVR)

IVRは発生した割り込み要因の割り込みベクタアドレスを示すレジスタです。割り込み要求が受け付けられるとIVR[8:2]に表 7.8.1に対応する値がセットされます。IVR[31:9]はRD/WR可能なビットで割り込みベクタのベースアドレスをセットすることによって、IVRを読み出すだけで割り込みベクタアドレスを生成することが可能です。

割り込みベクタレジスタ

	7	6	5	4	3	2	1	0		
IVR (0xFFFF_D080)	bit Symbol	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	—	—	
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	発生している割り込み要因のベクタがセットされます								
	15	14	13	12	11	10	9	8		
	bit Symbol	—	—	—	—	—	—	—	IVR8	
	Read/Write	R/W							R	
	リセット後	0	0	0	0	0	0	0	0	
	機能								発生している割り込み要因のベクタがセットされます	
	23	22	21	20	19	18	17	16		
	bit Symbol	—	—	—	—	—	—	—	—	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能									
	31	30	29	28	27	26	25	24		
	bit Symbol	—	—	—	—	—	—	—	—	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能									

7.8.10.3 割り込みレベルレジスタ (ILEV)

ILEVはINTCからTX19Aプロセッサコアへ割り込み要求を通知するレベルを制御するレジスタです。

ILEV<CMASK>以下の割り込みレベルは割り込みが保留されます。割り込み優先順位は”7”が一番高く、”1”が一番低いです。ただし、割り込みレベル0に設定されている割り込みは保留されません。

割り込みが発生するとその割り込みレベルが<CMASK>に格納され、それ以前に格納されていた値は「CMASK→PMASK0, PMASK0→PMASK1…」のようにひとつずつマスクレベルが退避されます。<CMASK>の値を書き換える場合は、<MLEV>に”1”をセットすると同時に<CMASK>の値を書き換えます。<PMASKx>の値は書き換えることができません。

<MLEV>に”0”をセットすると割り込みマスクレベルが「PMASK0→CMASK, PMASK1→PMASK0…」のようにひとつ前の状態に戻り、<PMASK6>には”000”が格納されます。割り込みからの復帰処理で使用する場合は ERET 命令を実行前に<MLEV>を”0”にセットして下さい。<MLEV>は常に”0”が読み出せます。

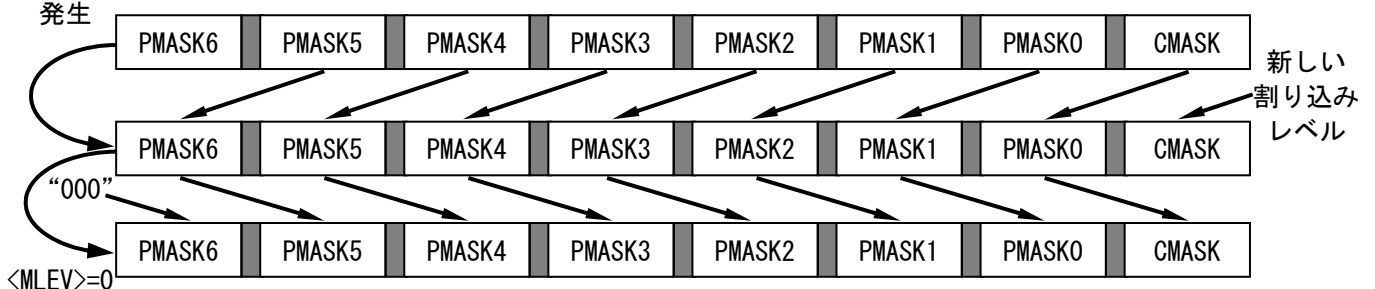
割り込みレベルレジスタ

		7	6	5	4	3	2	1	0	
ILEV (0xFFFF_D088)	bit Symbol	—	PMASK0				—	CMASK		
	Read/Write	R					R/W			
	リセット後	0	000				0	000		
	機能	割り込みマスクレベル(前)0					割り込みマスクレベル(現)			
		15	14	13	12	11	10	9	8	
bit Symbol		—	PMASK2				—	PMASK1		
Read/Write		R					R			
リセット後		0	000				0	000		
機能		割り込みマスクレベル(前)2					割り込みマスクレベル(前)1			
		23	22	21	20	19	18	17	16	
bit Symbol		—	PMASK4				—	PMASK3		
Read/Write		R					R			
リセット後		0	000				0	000		
機能		割り込みマスクレベル(前)4					割り込みマスクレベル(前)3			
		31	30	29	28	27	26	25	24	
bit Symbol		MLEV	PMASK6				—	PMASK5		
Read/Write		W	R				R			
リセット後		0	000				0	000		
機能		0: マスクレベル復帰 1: CMASKの変更	割り込みマスクレベル(前)6				割り込みマスクレベル(前)5			

(注1) このレジスタは32ビットでアクセスしてください。

(注2) ILEVの値を変更する前に必ずIVRの値を読み出してください。IVRの値を読み出す前にILEVの値を変更すると意図しない割り込みが発生する可能性があります。

割り込み発生 (注3) 本レジスタはビット操作命令でアクセスできません。



7.8.10.4 割り込みモードコントロールレジスタ (IMRxx)

IMRxx は割り込み要因ごとの割り込みレベルを決定する<ILxx>と DMA 転送の起動要因に設定する<DMxx>、および割り込み要求のアクティブ状態を決定する<EIMXX>で構成されています。

「表 7.8.1 ハードウェア割り込み要因一覧」で「Reserved」に設定してある割り込み番号は拡張用に予約されている領域です。該当する割り込み番号のIMRxxには初期値と同じ”0”を設定してください。

このレジスタはIMR00(32ビット)をIMR00/IMR01/IMR02/IMR03と8ビット単位に分割することで、16ビット/8ビット/1ビットでアクセスすることが可能です。

割り込みモードコントロールレジスタ

		7	6	5	4	3	2	1	0
IMR00 (0xFFFF_D000)	bit Symbol	—	EIM00		DM00	—	IL00		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求 01を設定すると割り 込みが発生します。		DMACの起 動要因 0:設定し ない 1:割り込 み番号0 を起動要 因にする		DM00 = 0 のとき 割り込み番号0(ソフトウエ アセット)に対する割り込みレ ベルを設定 000: 割り込み禁止 001~111: 1~7 DM00 = 1 のとき DMACのチャネル選択 000~111: 0~7		
		15	14	13	12	11	10	9	8
(IMR01) (0xFFFF_D001)	bit Symbol	—	EIM01		DM01	—	IL01		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求の アクティブ状態を設 定 CGでのアクティブ状 態がエッジの場合10 にレベルの場合は00 を設定してくださ い。		DMACの起 動要因 0:設定し ない 1:割り込 み番号1 を起動要 因にする		DM01 = 0 のとき 割り込み番号1(INT0)に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM01 = 1 のとき DMACのチャネル選択 000~111: 0~7		
		23	22	21	20	19	18	17	16
(IMR02) (0xFFFF_D002)	bit Symbol	—	—	—	—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して 下さい。		“0”を 設定し て下さ い。		“000”を設定して下さい。		
		31	30	29	28	27	26	25	24
(IMR03) (0xFFFF_D003)	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して 下さい。		“0”を 設定し て下さ い。		“000”を設定して下さい。		

割り込みモードコントロールレジスタ

	7	6	5	4	3	2	1	0
IMR04 (0xFFFF_D004)	bit Symbol	—	—	—	—	—	—	—
	Read/Write	R	R/W		R	R/W		
	リセット後	0	00		0	0	000	
	機能		“00”を設定して下さい。	“0”を設定して下さい。		“000”を設定して下さい。		
	15	14	13	12	11	10	9	8
(IMR05) (0xFFFF_D005)	bit Symbol	—	—	—	—	—	—	—
	Read/Write	R	R/W		R	R/W		
	リセット後	0	00		0	0	000	
	機能		“00”を設定して下さい。	“0”を設定して下さい。		“000”を設定して下さい。		
	23	22	21	20	19	18	17	16
(IMR06) (0xFFFF_D006)	bit Symbol	—	EIM06		DMO6	—	IL06	
	Read/Write	R	R/W		R	R/W		
	リセット後	0	00		0	0	000	
	機能		割り込み要求のアクティブ状態を設定 CGでのアクティブ状態がエッジの場合10にレベルの場合は00を設定してください。	DMACの起動要因 0:設定しない 1:割り込み番号6を起動要因にする		DMO6 = 0 のとき 割り込み番号 6 (INT1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMO6 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
	31	30	29	28	27	26	25	24
(IMR07) (0xFFFF_D007)	bit Symbol	—	EIM07		DMO7	—	IL07	
	Read/Write	R	R/W		R	R/W		
	リセット後	0	00		0	0	000	
	機能		割り込み要求のアクティブ状態を設定 CGでのアクティブ状態がエッジの場合10にレベルの場合は00を設定してください。	DMACの起動要因 0:設定しない 1:割り込み番号7を起動要因にする		DMO7 = 0 のとき 割り込み番号 7 (INT2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMO7 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR08 (0xFFFF_D008)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM08		DM08	—	IL08		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 CGでのアクティブ状態がエッジの場合10にレベルの場合は00を設定してください。		DMACの起動要因 0:設定しない 1:割り込み番号8を起動要因にする		DM08 = 0 のとき 割り込み番号8(INT3)に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM08 = 1 のとき DMACのチャンネル選択 000~111: 0~7		
(IMR09) (0xFFFF_D009)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。		
(IMR10) (0xFFFF_D00A)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。		
(IMR11) (0xFFFF_D00B)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。		

割り込みモードコントロールレジスタ

IMR12 (0xFFFF_D00C)		7	6	5	4	3	2	1	0
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。		
(IMR13) (0xFFFF_D00D)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。		
(IMR14) (0xFFFF_D00E)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。		
(IMR15) (0xFFFF_D00F)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。		

割り込みモードコントロールレジスタ

IMR16 (0xFFFF_D010)		7	6	5	4	3	2	1	0
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR17) (0xFFFF_D011)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR18) (0xFFFF_D012)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR19) (0xFFFF_D013)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			

割り込みモードコントロールレジスタ

IMR20 (0xFFFF_D014)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM20		DM20	—	IL20		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 20 を起動要因にする		DM20 = 0 のとき 割り込み番号 20 (INTPMDO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM20 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR21) (0xFFFF_D015)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM21		DM21	—	IL21		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 21 を起動要因にする		DM21 = 0 のとき 割り込み番号 21 (INTPMO1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM21 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR22) (0xFFFF_D016)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM22		DM22	—	IL22		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 22 を起動要因にする		DM22 = 0 のとき 割り込み番号 22 (INTEMG0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM22 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR23) (0xFFFF_D017)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM23		DM23	—	IL23		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 23 を起動要因にする		DM23 = 0 のとき 割り込み番号 23 (INTEMG0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM23 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

(IMR24) (0xFFFF_D018)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM24		DM24	—	IL24		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 24 を起動要因にする		DM24 = 0 のとき 割り込み番号 24 (INTENC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM24 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR25) (0xFFFF_D019)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM25		DM25	—	IL25		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 25 を起動要因にする		DM25 = 0 のとき 割り込み番号 25 (INTTBCOM00) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM25 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR26) (0xFFFF_D01A)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM26		DM26	—	IL26		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 26 を起動要因にする		DM26 = 0 のとき 割り込み番号 26 (INTTBCOM01) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM26 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR27) (0xFFFF_D01B)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM27		DM27	—	IL27		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 27 を起動要因にする		DM27 = 0 のとき 割り込み番号 27 (INTTBCOM10) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM27 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR28 (0xFFFF_D01C)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM28		DM28	—	IL28		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 28 を起動要因にする		DM28 = 0 のとき 割り込み番号 28 (INTTBCOM11) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM28 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR29) (0xFFFF_D01D)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM29		DM29	—	IL29		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 29 を起動要因にする		DM29 = 0 のとき 割り込み番号 29 (INTTBCOM20) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM29 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR30) (0xFFFF_D01E)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM30		DM30	—	IL30		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 30 を起動要因にする		DM30 = 0 のとき 割り込み番号 30 (INTTBCOM21) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM30 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR31) (0xFFFF_D01F)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM31		DM31	—	IL31		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 31 を起動要因にする		DM31 = 0 のとき 割り込み番号 31 (INTTBCOM30) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM31 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

	7	6	5	4	3	2	1	0
IMR32 (0xFFFF_D020)	bit Symbol	EIM32		DM32	IL32			
	Read/Write	R	R/W		R	R/W		
	リセット後	0	00		0	000		
	機能	割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 32 を起動要因にする	DM32 = 0 のとき 割り込み番号 32 (INTTBCOM31) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM32 = 1 のとき DMAC のチャンネル選択 000~111: 0~7			
	15	14	13	12	11	10	9	8
(IMR33) (0xFFFF_D021)	bit Symbol	EIM33		DM33	IL33			
	Read/Write	R	R/W		R	R/W		
	リセット後	0	00		0	000		
	機能	割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 33 を起動要因にする	DM33 = 0 のとき 割り込み番号 33 (INTTBEO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM33 = 1 のとき DMAC のチャンネル選択 000~111: 0~7			
	23	22	21	20	19	18	17	16
(IMR34) (0xFFFF_D022)	bit Symbol	—		—		—		
	Read/Write	R	R/W		R	R/W		
	リセット後	0	00		0	000		
	機能	“00” を設定して下さい。		“0” を設定して下さい。	“000” を設定して下さい。			
	31	30	29	28	27	26	25	24
(IMR35) (0xFFFF_D023)	bit Symbol	—		—		—		
	Read/Write	R	R/W		R	R/W		
	リセット後	0	00		0	000		
	機能	“00” を設定して下さい。		“0” を設定して下さい。	“000” を設定して下さい。			

割り込みモードコントロールレジスタ

IMR36 (0xFFFF_D024)		7	6	5	4	3	2	1	0
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR37) (0xFFFF_D025)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR38) (0xFFFF_D026)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR39) (0xFFFF_D027)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			

割り込みモードコントロールレジスタ

IMR40 (0xFFFF_D028)		7	6	5	4	3	2	1	0
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR41) (0xFFFF_D029)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR42) (0xFFFF_D02A)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR43) (0xFFFF_D02B)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			

割り込みモードコントロールレジスタ

IMR44 (0xFFFF_D02C)		7	6	5	4	3	2	1	0
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR45) (0xFFFF_D02D)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR46) (0xFFFF_D02E)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR47) (0xFFFF_D02F)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			

割り込みモードコントロールレジスタ

(IMR48) (0xFFFF_D030)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM48		DM48	—	IL48		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 48 を起動要因にする		DM48 = 0 のとき 割り込み番号 48 (INTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM48 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR49) (0xFFFF_D031)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM49		DM49	—	IL49		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 49 を起動要因にする		DM49 = 0 のとき 割り込み番号 49 (INTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM49 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR50) (0xFFFF_D032)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM50		DM50	—	IL50		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 50 を起動要因にする		DM50 = 0 のとき 割り込み番号 50 (INTTX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM50 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR51) (0xFFFF_D033)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM51		DM51	—	IL51		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 51 を起動要因にする		DM51 = 0 のとき 割り込み番号 51 (INTRX1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM51 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR52 (0xFFFF_D034)		7	6	5	4	3	2	1	0	
	bit Symbol	—	EIM52			DM52	—	IL52		
	Read/Write	R	R/W				R	R/W		
	リセット後	0	00			0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。			DMAC の起動要因 0: 設定しない 1: 割り込み番号 52 を起動要因にする		DM52 = 0 のとき 割り込み番号 52 (INTTX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM52 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR53) (0xFFFF_D035)		15	14	13	12	11	10	9	8	
	bit Symbol	—	EIM53			DM53	—	IL53		
	Read/Write	R	R/W				R	R/W		
	リセット後	0	00			0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。			DMAC の起動要因 0: 設定しない 1: 割り込み番号 53 を起動要因にする		DM53 = 0 のとき 割り込み番号 53 (INTRX2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM53 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR54) (0xFFFF_D036)		23	22	21	20	19	18	17	16	
	bit Symbol	—	EIM54			DM54	—	IL54		
	Read/Write	R	R/W				R	R/W		
	リセット後	0	00			0	0	000		
	機能		割り込み要求のアクティブ状態を設定 かならず 10 に設定してください。			DMAC の起動要因 0: 設定しない 1: 割り込み番号 54 を起動要因にする		DM54 = 0 のとき 割り込み番号 54 (INTTX3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM54 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR55) (0xFFFF_D037)		31	30	29	28	27	26	25	24	
	bit Symbol	—	EIM55			DM55	—	IL55		
	Read/Write	R	R/W				R	R/W		
	リセット後	0	00			0	0	000		
	機能		割り込み要求のアクティブ状態を設定 かならず 10 に設定してください。			DMAC の起動要因 0: 設定しない 1: 割り込み番号 55 を起動要因にする		DM55 = 0 のとき 割り込み番号 55 (INTRX3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM55 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR56 (0xFFFF_D038)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM56		DM56	—	IL56		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 56 を起動要因にする		DM56 = 0 のとき 割り込み番号 56 (INTDMA0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM56 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR57) (0xFFFF_D039)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM57		DM57	—	IL57		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 57 を起動要因にする		DM57 = 0 のとき 割り込み番号 57 (INTDMA1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM57 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR58) (0xFFFF_D03A)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM58		DM58	—	IL58		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 58 を起動要因にする		DM58 = 0 のとき 割り込み番号 58 (INTDMA2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM58 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR59) (0xFFFF_D03B)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM59		DM59	—	IL59		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 59 を起動要因にする		DM59 = 0 のとき 割り込み番号 59 (INTDMA3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM59 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR60 (0xFFFF_D03C)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM60		DM60	—	IL60		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 60 を起動要因にする		DM60 = 0 のとき 割り込み番号 60 (INTDMA4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM60 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR61) (0xFFFF_D03D)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM61		DM61	—	IL61		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 61 を起動要因にする		DM61 = 0 のとき 割り込み番号 61 (INTDMA5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM61 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR62) (0xFFFF_D03E)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM62		DM62	—	IL62		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 62 を起動要因にする		DM62 = 0 のとき 割り込み番号 62 (INTDMA6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM62 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR63) (0xFFFF_D03F)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM63		DM63	—	IL63		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 63 を起動要因にする		DM63 = 0 のとき 割り込み番号 63 (INTDMA7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM63 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR64 (0xFFFF_D040)		7	6	5	4	3	2	1	0
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR65) (0xFFFF_D041)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR66) (0xFFFF_D042)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR67) (0xFFFF_D043)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			

割り込みモードコントロールレジスタ

IMR68 (0xFFFF_D044)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM68		DM68	—	IL68		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 68 を起動要因にする		DM68 = 0 のとき 割り込み番号 68 (INTADO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM68 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR69) (0xFFFF_D045)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM69		DM69	—	IL69		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 69 を起動要因にする		DM69 = 0 のとき 割り込み番号 69 (INTADHPO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM69 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR70) (0xFFFF_D046)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM70		DM70	—	IL70		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 70 を起動要因にする		DM70 = 0 のとき 割り込み番号 70 (INTADMO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM70 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR71) (0xFFFF_D047)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM71		DM71	—	IL71		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 71 を起動要因にする		DM71 = 0 のとき 割り込み番号 71 (INTAD1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM71 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR72 (0xFFFF_D048)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM72		DM72	—	IL72		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 72 を起動要因にする		DM72 = 0 のとき 割り込み番号 72 (INTADHP1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM72 = 1 のとき DMAC のチャンネル選択 000~111: 0~7			
(IMR73) (0xFFFF_D049)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM73		DM73	—	IL73		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 73 を起動要因にする		DM73 = 0 のとき 割り込み番号 73 (INTADM1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM73 = 1 のとき DMAC のチャンネル選択 000~111: 0~7			
(IMR74) (0xFFFF_D04A)		23	22	21	20	19	18	17	16
	bit Symbol	—	EI74		DM74	—	IL74		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		DMAC の起動要因 0: 設定しない 1: 割り込み番号 74 を起動要因にする		DM74 = 0 のとき 割り込み番号 74 (INT4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM74 = 1 のとき DMAC のチャンネル選択 000~111: 0~7			
(IMR75) (0xFFFF_D04B)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM75		DM75	—	IL75		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		DMAC の起動要因 0: 設定しない 1: 割り込み番号 75 を起動要因にする		DM75 = 0 のとき 割り込み番号 75 (INT5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM75 = 1 のとき DMAC のチャンネル選択 000~111: 0~7			

割り込みモードコントロールレジスタ

	7	6	5	4	3	2	1	0	
IMR76 (0xFFFF_D04C)	bit Symbol	E176		DM76	IL76				
	Read/Write	R	R/W		R	R/W			
	リセット後	0	00		0	0	000		
	機能		割り込み要求の アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ	DMACの起 動要因 0: 設定し ない 1: 割り込 み番号76 を起動要 因にする		DM76 = 0 のとき 割り込み番号76 (INT6) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM76 = 1 のとき DMACのチャンネル選択 000~111: 0~7			
	15	14	13	12	11	10	9	8	
(IMR77) (0xFFFF_D04D)	bit Symbol	E177		DM77	IL77				
	Read/Write	R	R/W		R	R/W			
	リセット後	0	00		0	0	000		
	機能		割り込み要求の アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ	DMACの起 動要因 0: 設定し ない 1: 割り込 み番号77 を起動要 因にする		DM77 = 0 のとき 割り込み番号77 (INT7) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM77 = 1 のとき DMACのチャンネル選択 000~111: 0~7			
	23	22	21	20	19	18	17	16	
(IMR78) (0xFFFF_D04E)	bit Symbol	E178		DM78	IL78				
	Read/Write	R	R/W		R	R/W			
	リセット後	0	00		0	0	000		
	機能		割り込み要求の アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ	DMACの起 動要因 0: 設定し ない 1: 割り込 み番号78 を起動要 因にする		DM78 = 0 のとき 割り込み番号78 (INT8) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM78 = 1 のとき DMACのチャンネル選択 000~111: 0~7			
	31	30	29	28	27	26	25	24	
(IMR79) (0xFFFF_D04F)	bit Symbol	E179		DM79	IL79				
	Read/Write	R	R/W		R	R/W			
	リセット後	0	00		0	0	000		
	機能		割り込み要求の アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ	DMACの起 動要因 0: 設定し ない 1: 割り込 み番号79 を起動要 因にする		DM79 = 0 のとき 割り込み番号79 (INT9) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM79 = 1 のとき DMACのチャンネル選択 000~111: 0~7			

割り込みモードコントロールレジスタ

IMR80 (0xFFFF_D050)		7	6	5	4	3	2	1	0
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR81) (0xFFFF_D051)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR82) (0xFFFF_D052)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR83) (0xFFFF_D053)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			

割り込みモードコントロールレジスタ

IMR84 (0xFFFF_D054)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM84		DM84	—	IL84		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 84 を起動要因にする		DM84 = 0 のとき 割り込み番号 84 (INTTBCAP00) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM84 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR85) (0xFFFF_D055)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM85		DM85	—	IL85		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 85 を起動要因にする		DM85 = 0 のとき 割り込み番号 85 (INTTBCAP01) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM85 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR86) (0xFFFF_D056)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM86		DM86	—	IL86		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 86 を起動要因にする		DM86 = 0 のとき 割り込み番号 86 (INTTBCAP10) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM86 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR87) (0xFFFF_D057)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM87		DM87	—	IL87		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 87 を起動要因にする		DM87 = 0 のとき 割り込み番号 87 (INTTBCAP11) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM87 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR88 (0xFFFF_D058)		7	6	5	4	3	2	1	0
	bit Symbol	—	EIM88		DM88	—	IL88		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 88 を起動要因にする		DM88 = 0 のとき 割り込み番号 88 (INTTBCAP20) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM88 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR89) (0xFFFF_D059)		15	14	13	12	11	10	9	8
	bit Symbol	—	EIM89		DM89	—	IL89		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 89 を起動要因にする		DM89 = 0 のとき 割り込み番号 89 (INTTBCAP21) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM89 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR90) (0xFFFF_D05A)		23	22	21	20	19	18	17	16
	bit Symbol	—	EIM90		DM90	—	IL90		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 90 を起動要因にする		DM90 = 0 のとき 割り込み番号 90 (INTTBCAP30) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM90 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		
(IMR91) (0xFFFF_D05B)		31	30	29	28	27	26	25	24
	bit Symbol	—	EIM91		DM91	—	IL91		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
	機能		割り込み要求のアクティブ状態を設定 必ず 10 に設定してください。		DMAC の起動要因 0: 設定しない 1: 割り込み番号 91 を起動要因にする		DM91 = 0 のとき 割り込み番号 91 (INTTBCAP31) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM91 = 1 のとき DMAC のチャンネル選択 000~111: 0~7		

割り込みモードコントロールレジスタ

IMR92 (0xFFFF_D05C)		7	6	5	4	3	2	1	0
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR93) (0xFFFF_D05D)		15	14	13	12	11	10	9	8
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR94) (0xFFFF_D05E)		23	22	21	20	19	18	17	16
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			
(IMR95) (0xFFFF_D05F)		31	30	29	28	27	26	25	24
	bit Symbol	—	—		—	—	—		
	Read/Write	R	R/W			R	R/W		
	リセット後	0	00		0	0	000		
機能		“00”を設定して下さい。		“0”を設定して下さい。		“000”を設定して下さい。			

7.8.10.5 割り込み要求クリアレジスタ (ICLR)

要求をクリアしたい割り込み要因の IVR[8:0]を ICLR にセットすることで、保留されている割り込み要求をクリアすることができます。割り込み要求をクリアすると IVR の値もクリアされるため、割り込み要因の判別ができなくなります。IVR の値を読む前に割り込み要求のクリアは行わないで下さい。

割り込み要求クリアレジスタ

		7	6	5	4	3	2	1	0
ICLR (0xFFFF_D084)	bit Symbol	IV							
	Read/Write	W							
	リセット後	—	—	—	—	—	—	—	—
	機能	要求をクリアしたい割り込みに要因の IVR[8:0]の値をセット							
		15	14	13	12	11	10	9	8
	bit Symbol	—	—	—	—	—	—	—	IV
	Read/Write	R W							
	リセット後	0	0	0	0	0	0	0	—
	機能								

- (注1) このレジスタは必ず 16 ビットでアクセスしてください。
- (注2) INTG の IMRxx<EIMxx>のアクティブ状態の設定が“H”/”L”レベル、立ち上がり/立ち下がりエッジのどの場合でも割り込み要因を保持するため、割り込み要求をクリアしてください。
- (注3) 本レジスタはビット操作命令でアクセスできません。
- (注4) DMAC の割り込み要因による外部転送要求はクリアされません。一度受け付けた外部転送要求は DMA 転送を実行するまで解除されません。そのため不要な外部転送要求は DMA 転送を実行しクリアするか、不要な外部転送要求を受け付ける前に IMRxx<ILxx>で割り込み禁止もしくは IMRxx<DMxx>で DMAC の起動要因を解除する必要があります。

7.8.10.6 モードコントロールレジスタ (MODECR)

ストア命令及び DMAC でのライトアクセスではバスエラー例外は発生しません。その代わりに <BERCTL>に” 0” を設定することでストア命令及び DMAC でのライトアクセスでバスエラー領域を書き込んだ時に NMI 割り込みを発生させることができます。

モードコントロールレジスタ

MODECR (0xFFFF_D400)		7	6	5	4	3	2	1	0
	bit Symbol	—	—	—	—	—	—	—	—
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		15	14	13	12	11	10	9	8
	bit Symbol	—	—	—	—	—	—	—	—
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		23	22	21	20	19	18	17	16
	bit Symbol	—	—	—	—	—	—	—	BERCTL
Read/Write	R					R/W			
リセット後	0	0	0	0	0	1	1	1	
機能						必ず” 1” を設定 してく ださい	必ず” 1” を設定 してく ださい	ストア時 のバスエ ラー 0:NMI 発 生 1:発生し ない	
	31	30	29	28	27	26	25	24	
bit Symbol	—	—	—	—	—	—	—	—	
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能									

(注1) このレジスタは必ず 32 ビットでアクセスしてください。

7.9 割り込み使用上の注意事項

割り込みを使用する上で、注意しなければいけない内容を下記に示します。ユーザプログラムは下記内容を満たすようにプログラムを記述する必要があります。

7.9.1 TX19A プロセッサコア関連

5. TMP19A71 は外部バスインタフェースがないため、CPO レジスタの Status<BEV>を” 0” に設定して割り込みを使用することはできません。
6. 例外を禁止することはできません。ただし、命令によっては例外発生有／無の違いのみで 2 種類の命令を持っているものがありますので、用途に応じて使い分けてください。
7. ソフトウェア割り込みとハードウェア割り込み要因の「ソフトウェアセット」は異なる割り込み要因です。
8. CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまで 2 クロックかかるため、直後に NOP 命令を 2 つ置いてください。
9. ILEV<CMASK>を変更して、同じ割り込みレベルの割り込み要求が多重に受け付けられた場合、レジスタバンクは切り替わらないため、ユーザプログラムで退避する必要があります。
10. CPO レジスタの IER は 32 ビット ISA のみでアクセス可能です。
11. スタックポインタ (r29) は Shadow Register Set 番号 0 と Shadow Register Set 番号 1~7 で区別されていますので、2 回設定をする必要があります。共通のスタックポインタを使用したい場合は、メイン処理で SSCR<CSS>を” 1” にセットし、Shadow Register Set 番号 1 を使用する方法があります。この場合、割り込みレベル 1 の割り込みが受け付けられてもレジスタバンクは切り替わりませんので、ユーザプログラムで退避する必要があります。
12. CPO レジスタの Status<ERL>=” 1” の割り込み禁止状態で ERET 命令を実行すると、CPO レジスタの ErrorEPC を戻り番地としてメイン処理に復帰します。TX19A プロセッサコアは割り込みの戻り番地を EPC に退避するため、Status<ERL>で割り込み禁止をする場合は注意が必要です。
13. CPO レジスタの Status、ErrorEPC、EPC、SSCR をアクセス後、2 クロック以内に ERET 命令を実行しないでください。
14. CPO レジスタの Status<ERL/EXL/IE>をセットすることで、割り込み禁止にする場合は、命令実行時点 (E ステージ) で割り込みが禁止になりますが、レジスタにセットされた値が反映されるのは 2 クロック後になります。
15. CPO レジスタの Status<ERL/EXL/IE>をセットすることで、割り込み許可にする場合は、命令実行時点 (E ステージ) から 2 クロック後に有効になり、レジスタにセットされた値が反映されるのも命令実行時点 (E ステージ) から 2 クロック後になります。
16. TMP19A71 では、CPO レジスタの SSCR は 32 ビット ISA だけでアクセス可能なレジスタ番号 r9 (SEL6) と 32/16 ビット ISA でアクセス可能な r22 (SEL0) が存在します (どちらのレジスタにアクセスしても同じ結果が読み出せます)。東芝製 C コンパイラでレジスタ番号 r9 (SEL6) を使用する場合は、コンパイルオプションとして” -tx19_sscr9” を指定してください。詳細は、東芝製 C コンパイラに付属の「TX19A C コンパイラリファレンス」を参照してください。

7.9.2 INTC 関連

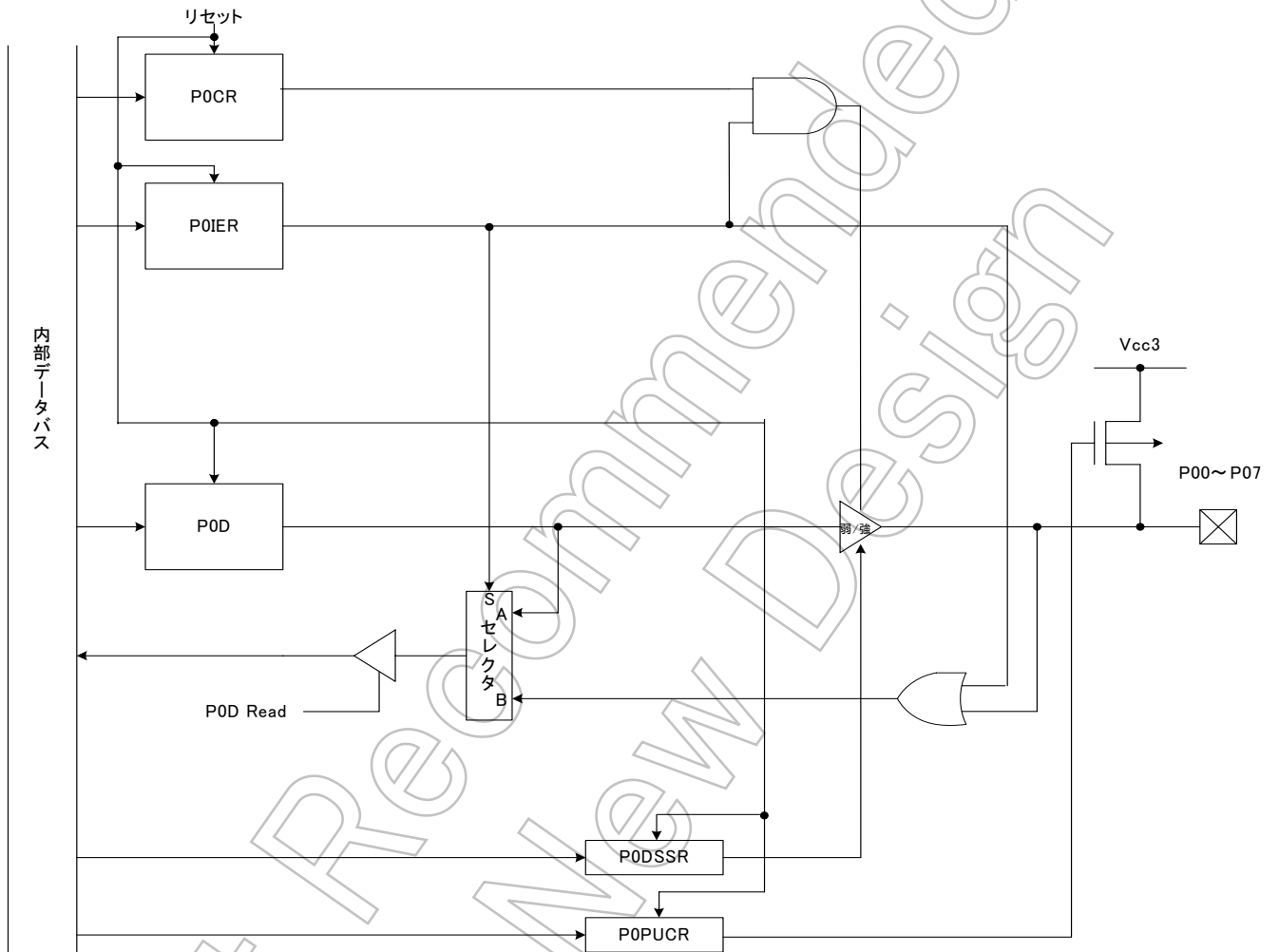
17. 同じ割り込みレベルの複数の割り込み要求があった場合、割り込み番号が小さい要因から優先的に受け付けられます。
18. 割り込みレベル 0 の割り込み要因は保留されません。
19. 割り込み要因を個別に禁止（割り込みレベル 0）にする場合は、割り込み禁止状態で割り込み要因を禁止にしてください。
20. INTC の IMR_{xx}<EIM_{xx}>の初期値と使用する場合の設定値が異なるものがあります。
21. INTC の ILEV は必ず 32 ビットでアクセスしてください。
22. INTC の ICLR は必ず 16 ビットでアクセスしてください。
23. INTC の IVR の値を読み出す前に、ICLR で割り込み要求をクリアすると、IVR の値がクリアされ、割り込み要因の判別ができなくなります。
24. 割り込みの許可をする場合は、検出経路の順（外側→内側）で、禁止する場合は検出経路の逆（内側→外側）に設定をする必要があります。設定順序で割り込み許可にしない場合は、意図しない割り込みが発生や EMG 状態に遷移する可能性がありますので、割り込み許可にする前に、必ず割り込み要因及び EMG 状態をクリアしてください。
25. INTC の ILEV<CMASK>の値を書き換える場合は、<MLEV>に”1”を同時にセットしてください。

Not Recommended for New Design

8. ポート機能

8.1 ポート 0 (P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。



(注1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.1.1 ポート 0 (P00~P07)

ポート0レジスタ

	7	6	5	4	3	2	1	0	
POD (0xFFFF_C000)	Bit Symbol	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	PORT0出力データ (出力ラッチ)							

(注1) POIER=0のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート0コントロールレジスタ

	7	6	5	4	3	2	1	0	
POCR (0xFFFF_C004)	Bit Symbol	POCR7	POCR6	POCR5	POCR4	POCR3	POCR2	POCR1	POCR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:出力禁止 1:出力許可							

ポート0インプットイネーブルレジスタ

	7	6	5	4	3	2	1	0	
POIER (0xFFFF_C008)	Bit Symbol	POIER7	POIER6	POIER5	POIER4	POIER3	POIER2	POIER1	POIER0
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	
	機能	0:入力許可 1:入力禁止							

ポート0ドライブストレングスレジスタ

	7	6	5	4	3	2	1	0	
PODSSR (0xFFFF_C00C)	Bit Symbol	PODSSR7	PODSSR6	PODSSR5	PODSSR4	PODSSR3	PODSSR2	PODSSR1	PODSSR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:ドライブ弱 1:ドライブ強							

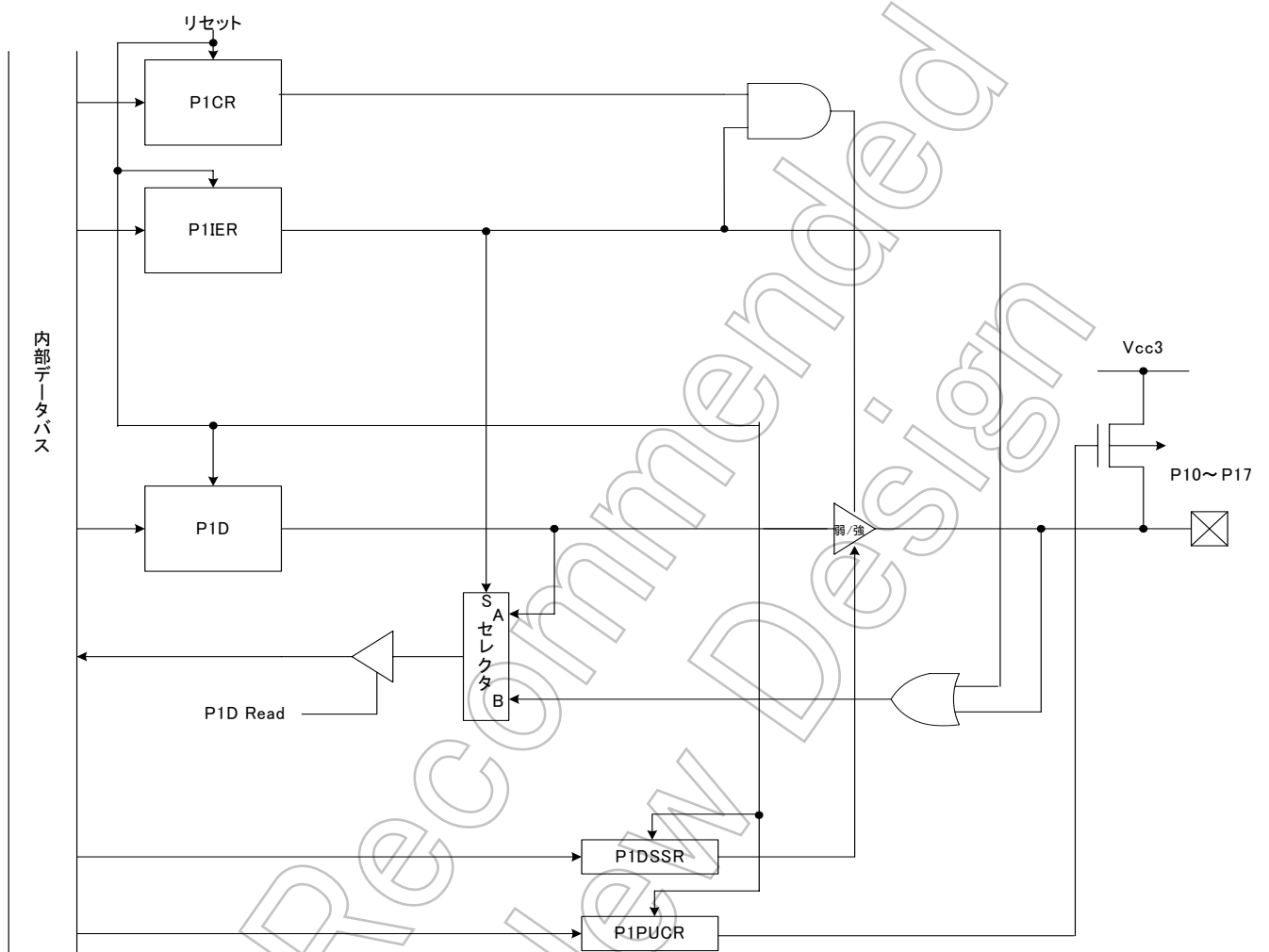
(注1) ポートに流す電流は最大定格を超えないようにして下さい。

ポート0プルアップコントロールレジスタ

	7	6	5	4	3	2	1	0	
POPUCR (0xFFFF_C014)	Bit Symbol	POPUCR7	POPUCR6	POPUCR5	POPUCR4	POPUCR3	POPUCR2	POPUCR1	POPUCR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:プルアップ禁止 1:プルアップ許可							

8.2 ポート 1 (P10~P17)

ポート 1 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。



(注 1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.2.1 ポート 1 (P10~P17)

ポート1レジスタ

	7	6	5	4	3	2	1	0	
P1D (0xFFFF_C040)	Bit Symbol	P1D7	P1D6	P1D5	P1D4	P1D3	P1D2	P1D1	P1D0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	PORT1 出力データ (出力ラッチ)							

(注1) P1IER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート1コントロールレジスタ

	7	6	5	4	3	2	1	0	
P1CR (0xFFFF_C044)	Bit Symbol	P1CR7	P1CR6	P1CR5	P1CR4	P1CR3	P1CR2	P1CR1	P1CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:出力禁止 1:出力許可							

ポート1インプットイネーブルレジスタ

	7	6	5	4	3	2	1	0	
P1IER (0xFFFF_C048)	Bit Symbol	P1IER7	P1IER6	P1IER5	P1IER4	P1IER3	P1IER2	P1IER1	P1IER0
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	
	機能	0:入力許可 1:入力禁止							

ポート1ドライブストレングスレジスタ

	7	6	5	4	3	2	1	0	
P1DSSR (0xFFFF_C04C)	Bit Symbol	P1DSSR7	P1DSSR6	P1DSSR5	P1DSSR4	P1DSSR3	P1DSSR2	P1DSSR1	P1DSSR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:ドライブ弱 1:ドライブ強							

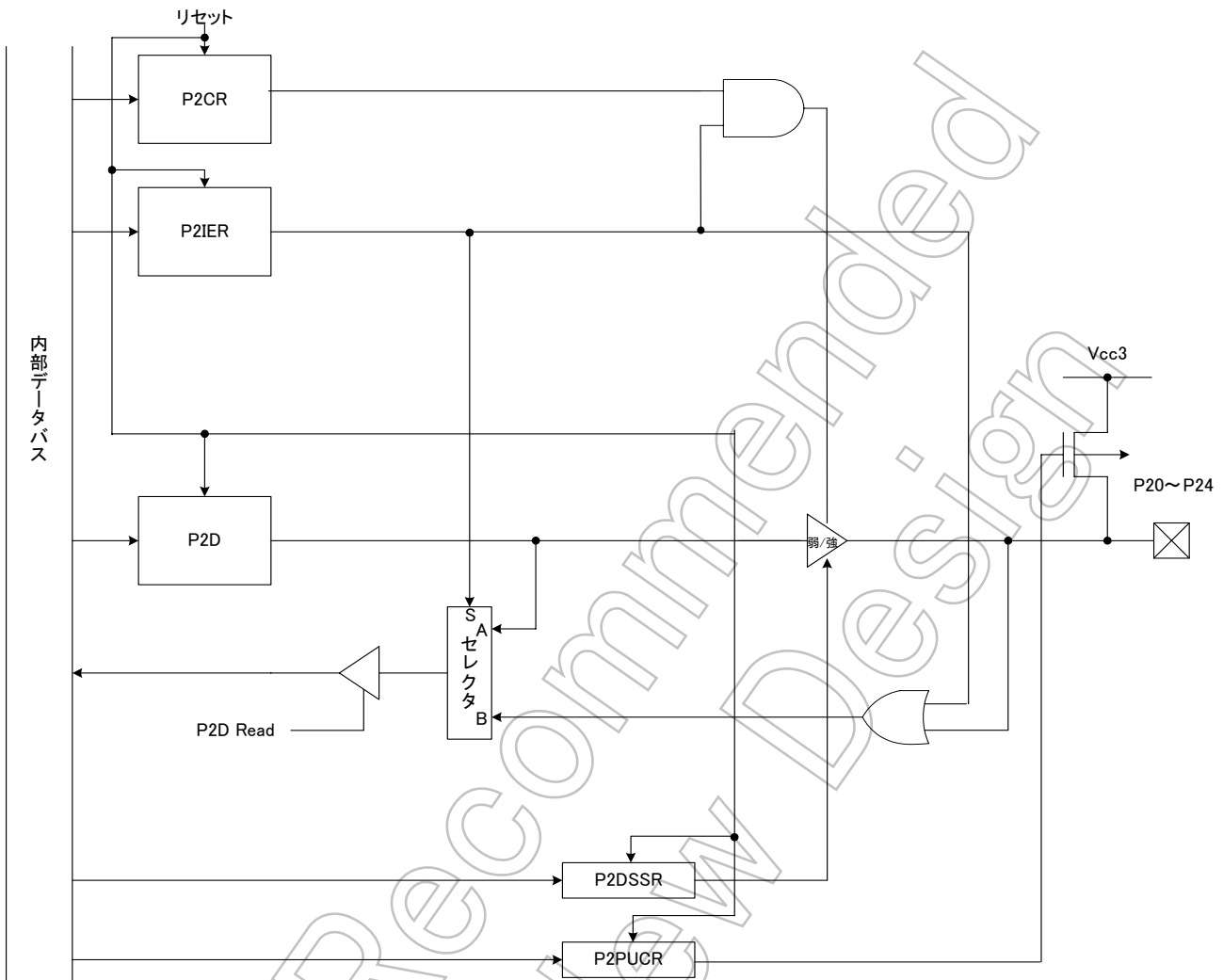
(注1) ポートに流す電流は1端子、全端子の最大定格を超えないようにして下さい。

ポート1プルアップコントロールレジスタ

	7	6	5	4	3	2	1	0	
P1PUCR (0xFFFF_C054)	Bit Symbol	P1PUCR7	P1PUCR6	P1PUCR5	P1PUCR4	P1PUCR3	P1PUCR2	P1PUCR1	P1PUCR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:プルアップ禁止 1:プルアップ許可							

8.3 ポート 2 (P20~P24)

ポート 2 はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。



(注 1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.3.1 ポート 2 (P20~P24)

ポート 2 レジスタ

		7	6	5	4	3	2	1	0
P2D (0xFFFF_C080)	Bit Symbol	—	—	—	P2D4	P2D3	P2D2	P2D1	P2D0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	PORT2 出力データ (出力ラッチ)							

(注 1) P2IER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート 2 コントロールレジスタ

		7	6	5	4	3	2	1	0
P2CR (0xFFFF_C084)	Bit Symbol	—	—	—	P2CR4	P2CR3	P2CR2	P2CR1	P2CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:出力禁止 1:出力許可							

ポート 2 インพุットイネーブルレジスタ

		7	6	5	4	3	2	1	0
P2IER (0xFFFF_C088)	Bit Symbol	—	—	—	P2IER4	P2IER3	P2IER2	P2IER1	P2IER0
	Read/Write	R/W							
	リセット後	0	0	0	1	1	1	1	1
	機能	0:入力許可 1:入力禁止							

ポート 2 ドライブストレンクスレジスタ

		7	6	5	4	3	2	1	0
P2DSSR (0xFFFF_C08C)	Bit Symbol	—	—	—	P2DSSR4	P2DSSR3	P2DSSR2	P2DSSR1	P2DSSR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:ドライブ弱 1:ドライブ強							

(注 1) ポートに流す電流は1端子、全端子の最大定格を超えないようにして下さい。

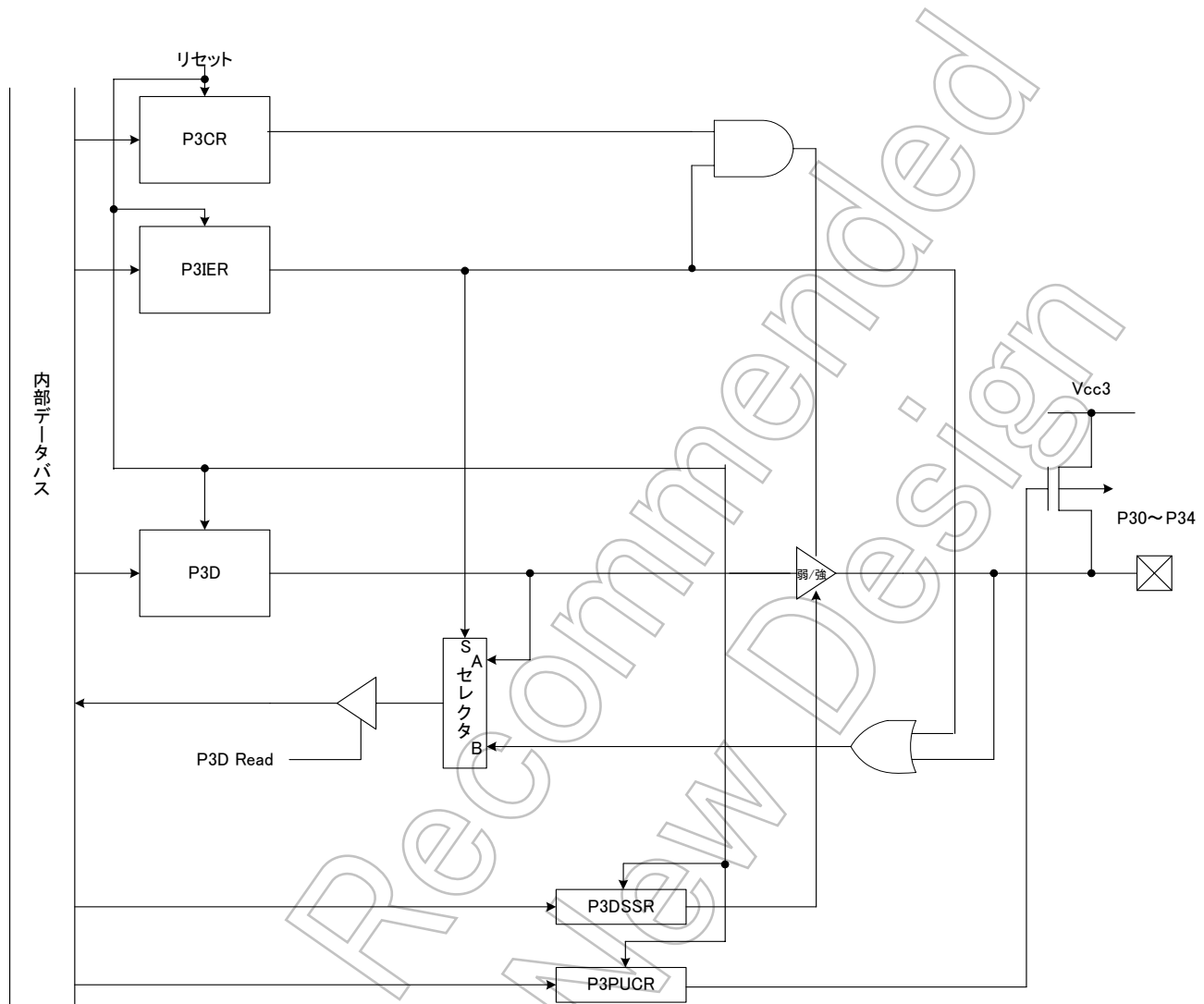
ポート 2 プルアップコントロールレジスタ

		7	6	5	4	3	2	1	0
P2PUCR (0xFFFF_C094)	Bit Symbol	—	—	—	P2PUCR4	P2PUCR3	P2PUCR2	P2PUCR1	P2PUCR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:プルアップ禁止 1:プルアップ許可							

(注 1) DSU(EJTAG) モードでは PORT2 は DSU 制御端子になるので、これら上記レジスタの設定は無効になります。

8.4 ポート 3 (P30~P34)

ポート 3 はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。
 下記の図は DSU (EJTAG) モードでないときの PORT3 の構成です。



(注1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.4.1 ポート 3 (P30~P34)

ポート3レジスタ

		7	6	5	4	3	2	1	0
P3D (0xFFFF_C0C0)	Bit Symbol	—	—	—	P3D4	P3D3	P3D2	P3D1	P3D0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	PORT3 出力データ (出力ラッチ)							

(注1) P3IER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート3コントロールレジスタ

		7	6	5	4	3	2	1	0
P3CR (0xFFFF_C0C4)	Bit Symbol	—	—	—	P3CR4	P3CR3	P3CR2	P3CR1	P3CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:出力禁止 1:出力許可							

ポート3インプットイネーブルレジスタ

		7	6	5	4	3	2	1	0
P3IER (0xFFFF_C0C8)	Bit Symbol	—	—	—	P3IER4	P3IER3	P3IER2	P3IER1	P3IER0
	Read/Write	R/W							
	リセット後	0	0	0	1	1	1	1	1
	機能	0:入力許可 1:入力禁止							

ポート3ドライブストレンクスレジスタ

		7	6	5	4	3	2	1	0
P3DSSR (0xFFFF_C0CC)	Bit Symbol	—	—	—	P3DSSR4	P3DSSR3	P3DSSR2	P3DSSR1	P3DSSR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:ドライブ弱 1:ドライブ強							

(注1) ポートに流す電流は1端子、全端子の最大定格を超えないようにして下さい。

ポート3プルアップコントロールレジスタ

		7	6	5	4	3	2	1	0
P3PUCR (0xFFFF_C0D4)	Bit Symbol	—	—	—	P3PUCR4	P3PUCR3	P3PUCR2	P3PUCR1	P3PUCR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:プルアップ禁止 1:プルアップ許可							

(注1) DSU(EJTAG)モードのレベル1で使用する場合、PORT3はDSU制御端子になるので、これら上記レジスタの設定は無効になります。

8.5 ポート 5 (P50~P57)

ポート 5 はビット単位の入力専用 8 ビットのアナログ入力付きポートです。

(注 1) ポート 5 は AVCC0 を I/O 電源として使用するため、ポート 5 を使用する場合は ADC0 を使用しない場合でも必ず 3.3V 電源と接続してください。

(注 2) ポート 5 を A/D 入力以外で使用する場合、数 LSB 程度 ADC0 の A/D 変換精度が悪化する場合がありますので、必ずご使用になるシステム上で問題ないことを確認してください。

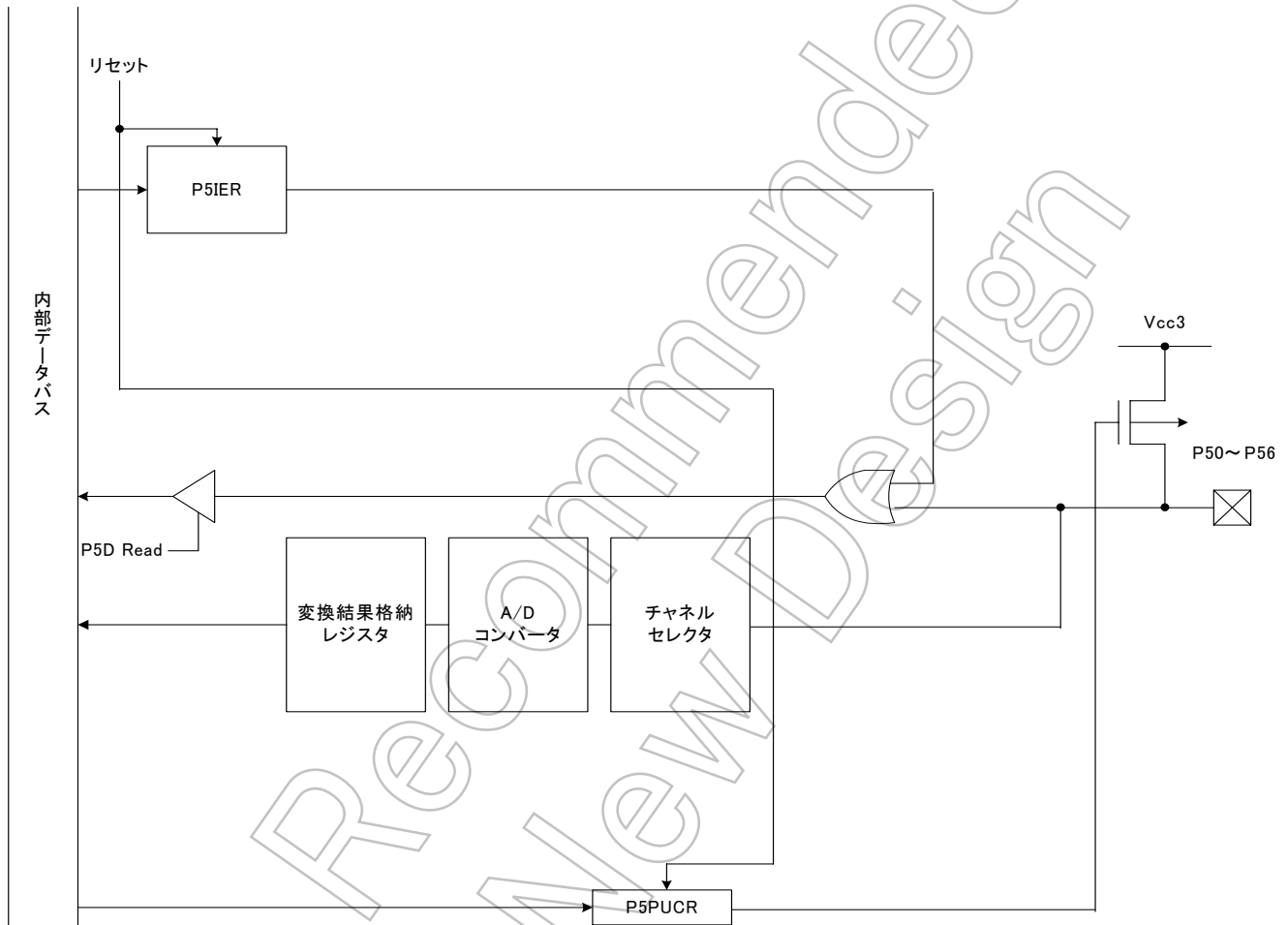


図 8.5.1 ポート 5 (P50~P56)

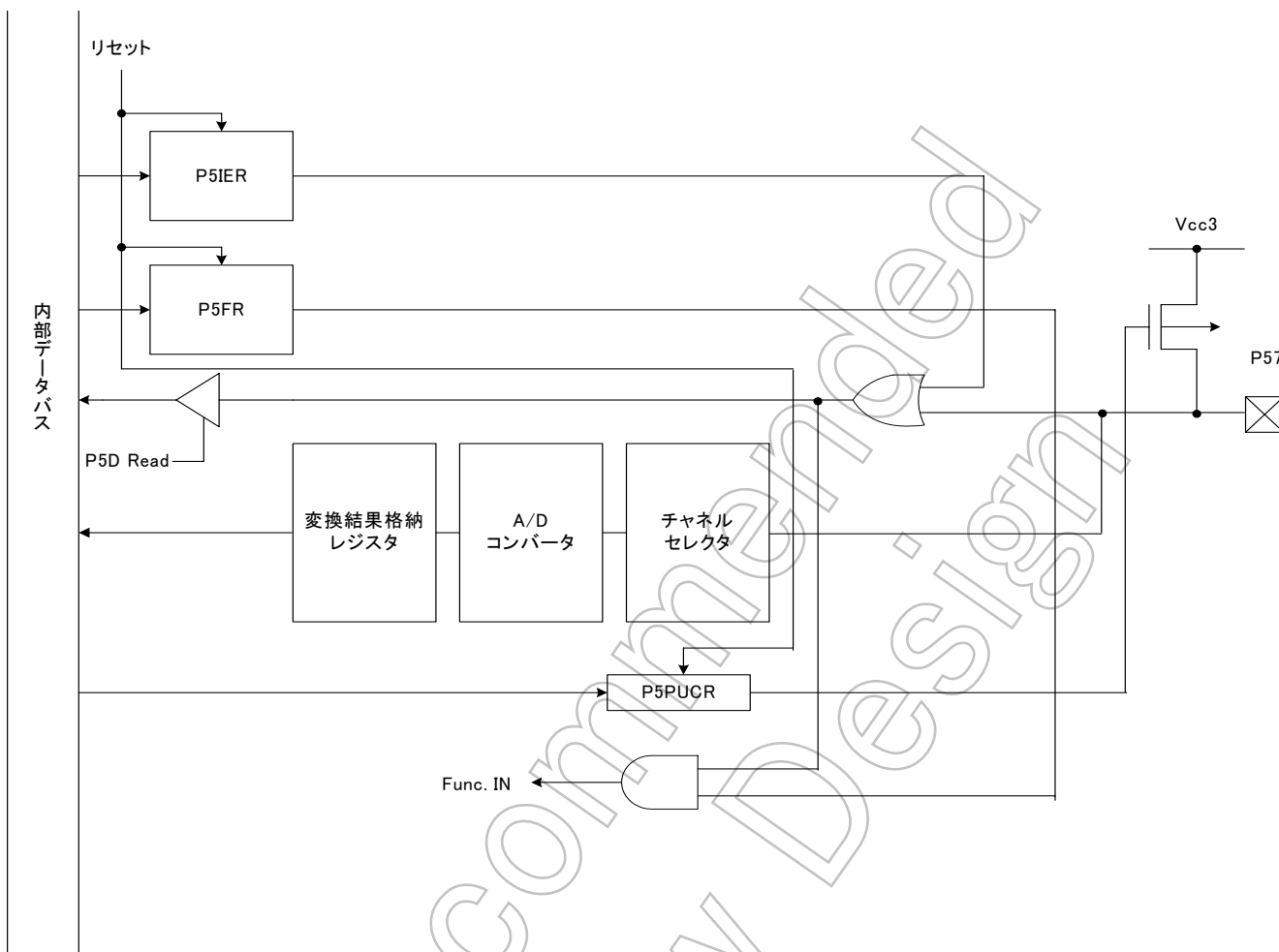


図 8.5.2 ポート 5 (P57)

ポート5レジスタ

	7	6	5	4	3	2	1	0
P5D (0xFFFF_C140)	P5D7	P5D6	P5D5	P5D4	P5D3	P5D2	P5D1	P5D0
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT5 入力データ							

(注1) P5IER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート5 インプットイネーブルレジスタ

	7	6	5	4	3	2	1	0
P5IER (0xFFFF_C148)	P5IER7	P5IER6	P5IER5	P5IER4	P5IER3	P5IER2	P5IER1	P5IER0
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	0:入力許可 1:入力禁止							

ポート5 プルアップコントロールレジスタ

	7	6	5	4	3	2	1	0
P5PUCR (0xFFFF_C154)	P5PUCR7	P5PUCR6	P5PUCR5	P5PUCR4	P5PUCR3	P5PUCR2	P5PUCR1	P5PUCR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:プルアップ禁止 1:プルアップ許可							

ポート5 ファンクションレジスタ

	7	6	5	4	3	2	1	0
P5FR (0xFFFF_C158)	P5FR7	—	—	—	—	—	—	—
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:PORT/AD 入力 1:ADTRGO							

8.6 ポート 6 (P60~P67)

ポート 6 は下位が入力専用の 4 ビットポートで上位がビット単位で入出力の指定ができる 4 ビットのアナログ入力付き汎用入出力ポートです。

(注 1) ポート 6 は AVCC1 を I/O 電源として使用するため、ポート 6 を使用する場合は ADC1 を使用しない場合でも必ず 3.3V 電源と接続してください。

(注 2) ポート 6 を A/D 入力以外で使用する場合、数 LSB 程度 ADC1 の A/D 変換精度が悪化する場合があります。出力ポートとして使用した場合は流す電流によっては精度の悪化が顕著に表れ、後述の A/D 変換特性よりも大きく特性が悪い場合がありますので、必ずご使用になるシステム上で問題ないことを確認してください。

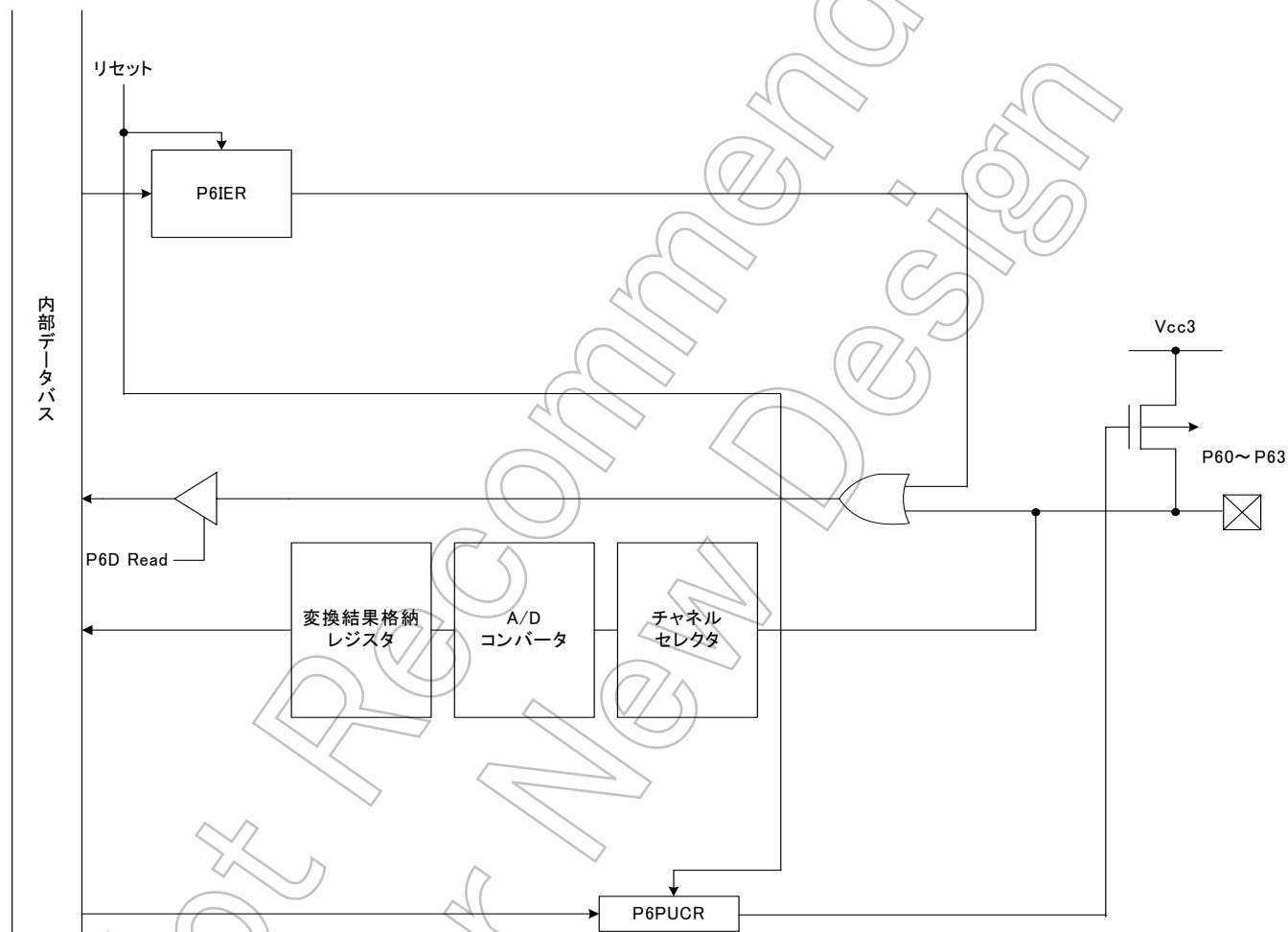
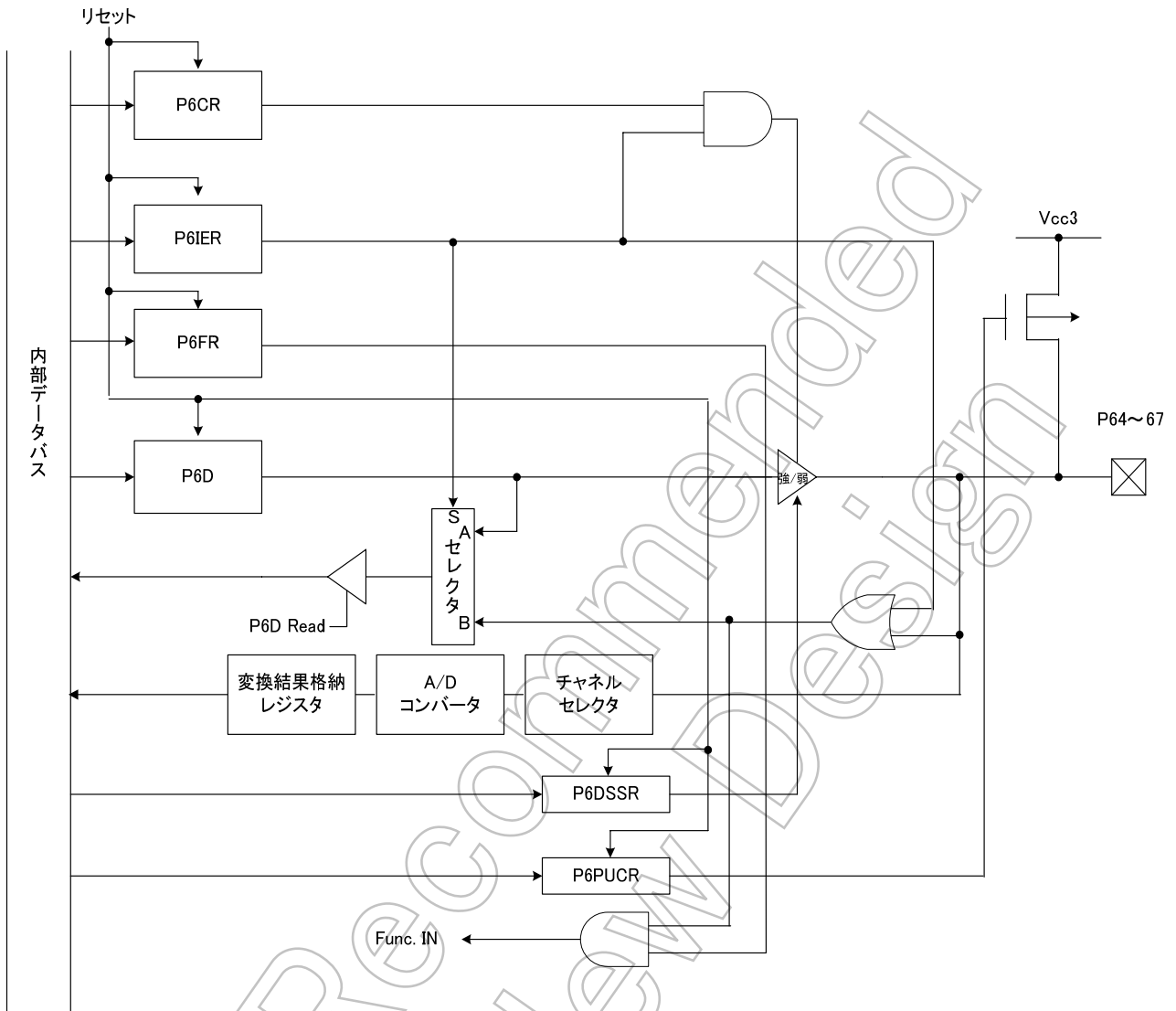


図 8.6.1 ポート 6 (P60~P63)



(注1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.6.2 ポート 6 (P64~P67)

Not for use

ポート 6 レジスタ

	7	6	5	4	3	2	1	0
P6D (0xFFFF_C180)	P6D7	P6D6	P6D5	P6D4	P6D3	P6D2	P6D1	P6D0
Read/Write	R/W				R			
リセット後	0	0	0	0	0	0	0	0
機能	PORT6 出力データ (出力ラッチ)				PORT6 入力データ			

(注 1) P6IER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート 6 コントロールレジスタ

	7	6	5	4	3	2	1	0
P6CR (0xFFFF_C184)	P6CR7	P6CR6	P6CR5	P6CR4	—	—	—	—
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:出力禁止 1:出力許可							

ポート 6 インプットイネーブルレジスタ

	7	6	5	4	3	2	1	0
P6IER (0xFFFF_C188)	P6IER7	P6IER6	P6IER5	P6IER4	P6IER3	P6IER2	P6IER1	P6IER0
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	0:入力許可 1:入力禁止							

ポート 6 ドライブストレンクスレジスタ

	7	6	5	4	3	2	1	0
P6DSSR (0xFFFF_C18C)	P6DSSR7	P6DSSR6	P6DSSR5	P6DSSR4	—	—	—	—
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:ドライブ弱 1:ドライブ強							

(注 1) ポートに流す電流は1端子、全端子の最大定格を超えないようにして下さい。

ポート 6 プルアップコントロールレジスタ

	7	6	5	4	3	2	1	0
P6PUCR (0xFFFF_C194)	P6PUCR7	P6PUCR6	P6PUCR5	P6PUCR4	P6PUCR3	P6PUCR2	P6PUCR1	P6PUCR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:プルアップ禁止 1:プルアップ許可							

ポート 6 ファンクションレジスタ

	7	6	5	4	3	2	1	0
P6FR (0xFFFF_C198)								
Bit Symbol	P6FR7	P6FR6	P6FR5	P6FR4	—	—	—	—
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:PORT /AD 入力 1:ADTRG1/ INT6	0:PORT /AD 入力 1:INT5	0:PORT /AD 入力 1:INT4	0:PORT /AD 入力 1:INT3				

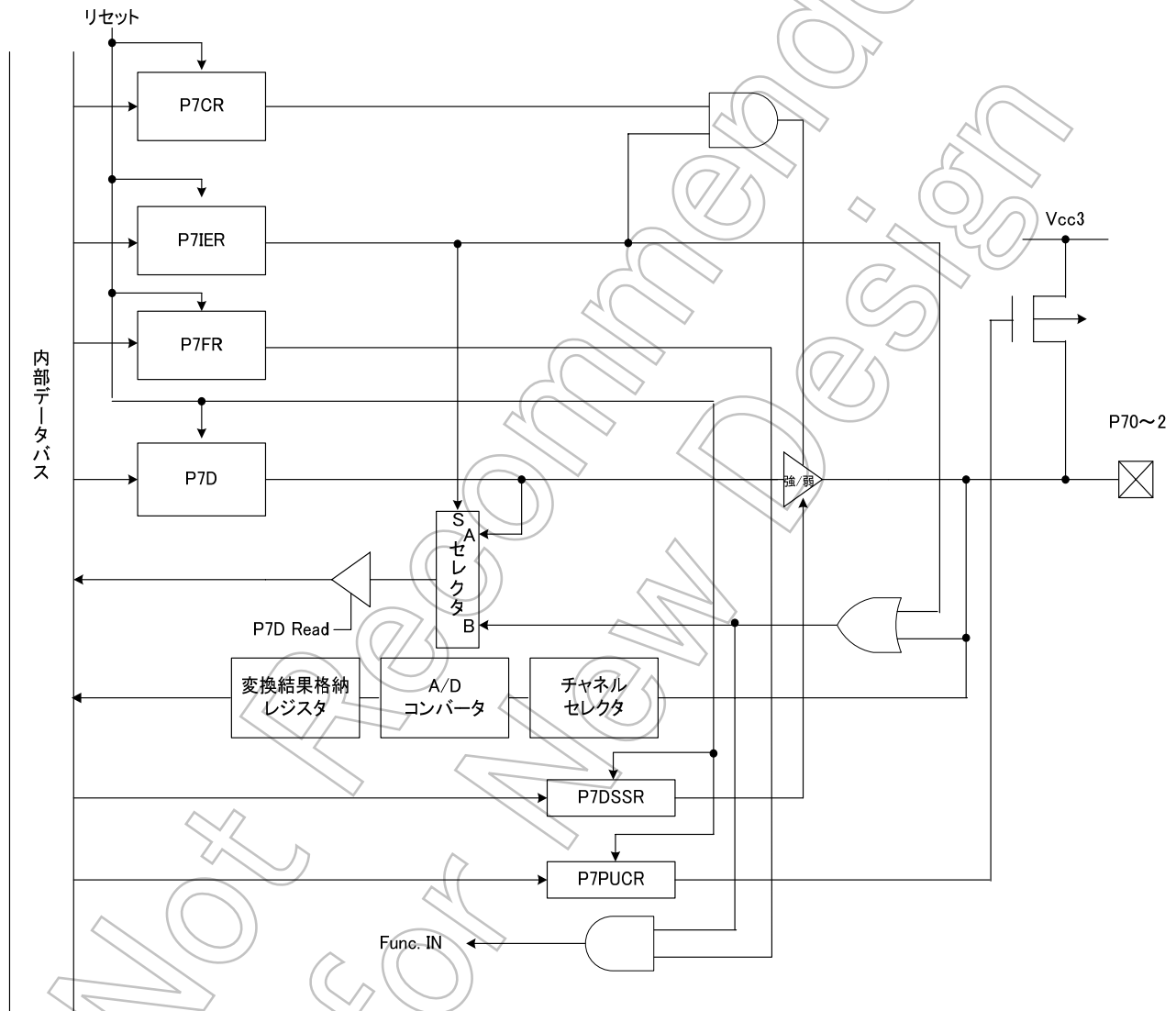
(注 1) P6CR=" 1" (出力許可) の状態で P6FR=" 1" (ファンクション入力) に設定すると出力値は不定になります。

Not Recommended
for New Design

8.7 ポート 7 (P70~P72)

ポート 7 はビット単位で入出力の指定ができる 3 ビットのアナログ入力付き汎用入出力ポートです。

- (注 1) ポート 7 は AVCC1 を I/O 電源として使用するため、ポート 7 を使用する場合は ADC1 を使用しない場合でも必ず 3.3V 電源と接続してください。
- (注 2) ポート 7 を A/D 入力以外で使用する場合、数 LSB 程度 ADC1 の A/D 変換精度が悪化する場合があります。出力ポートとして使用した場合は流す電流によっては精度の悪化が顕著に表れ、後述の A/D 変換特性よりも大きく特性が悪い場合がありますので、必ずご使用になるシステム上で問題ないことを確認してください。



(注 1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.7.1 ポート 7 (P70~P72)

ポート7レジスタ

	7	6	5	4	3	2	1	0
P7D (0xFFFF_C1C0)	—	—	—	—	—	P7D2	P7D1	P7D0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	PORT7出力データ（出力ラッチ）							

(注1) P7IER=0のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート7コントロールレジスタ

	7	6	5	4	3	2	1	0
P7CR (0xFFFF_C1C4)	—	—	—	—	—	P7CR2	P7CR1	P7CR0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:出力禁止 1:出力許可							

ポート7インプットイネーブルレジスタ

	7	6	5	4	3	2	1	0
P7IER (0xFFFF_C1C8)	—	—	—	—	—	P7IER2	P7IER1	P7IER0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	1	1	1
機能	0:入力許可 1:入力禁止							

ポート7ドライブストレングスレジスタ

	7	6	5	4	3	2	1	0
P7DSSR (0xFFFF_C1CC)	—	—	—	—	—	P7DSSR2	P7DSSR1	P7DSSR0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:ドライブ弱 1:ドライブ強							

(注1) ポートに流す電流は1端子、全端子の最大定格を超えないようにして下さい。

ポート7プルアップコントロールレジスタ

	7	6	5	4	3	2	1	0
P7PUCR (0xFFFF_C1D4)	—	—	—	—	—	P7PUCR2	P7PUCR1	P7PUCR0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:プルアップ禁止 1:プルアップ許可							

ポート7ファンクションレジスタ

	7	6	5	4	3	2	1	0
P7FR1 (0xFFFF_C1D8)	—	—	—	—	—	P7FR12	P7FR11	P7FR10
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能						0:PORT /AD 入力 1:INT9	0:PORT /AD 入力 1:INT8	0:PORT /AD 入力 1:INT7

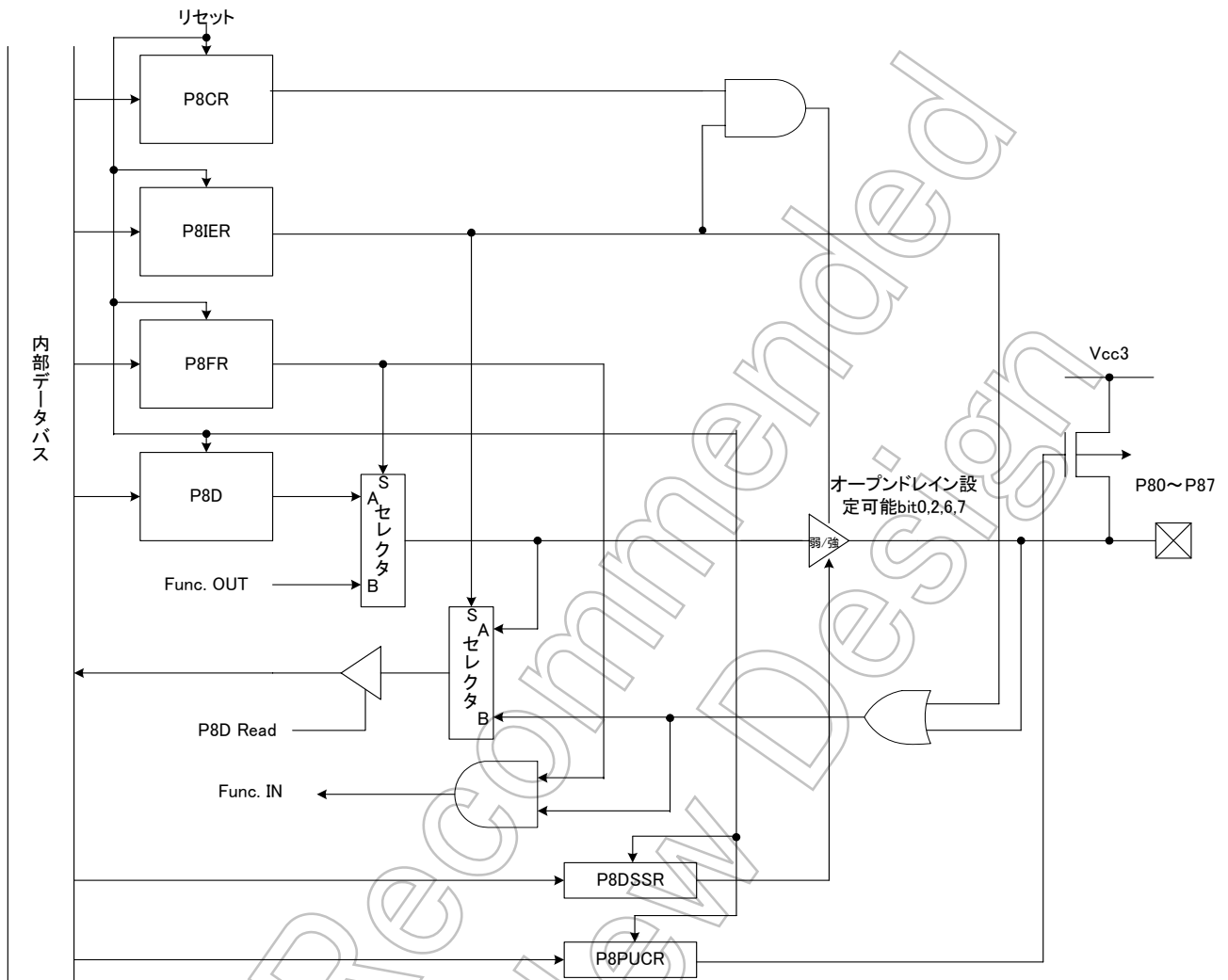
(注 1) P7CR="1" (出力許可) の状態で P7FR1="1" (ファンクション入力) に設定すると出力値は不定になります。

ポート7ファンクションレジスタ

	7	6	5	4	3	2	1	0
P7FR2 (0xFFFF_C1DC)	—	—	—	—	—	P7FR22	P7FR21	P7FR20
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能						0:PORT /AD 入力 1:TB3IN	0:PORT /AD 入力 1:TB2IN	0:PORT /AD 入力 1:TB1IN

8.8 ポート 8 (P80~P87)

ポート 8 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。



(注1) 図中のセレクトは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.8.1 ポート 8 (P80~P87)

ポート 8 レジスタ

		7	6	5	4	3	2	1	0
P8D (0xFFFF_C200)	Bit Symbol	P8D7	P8D6	P8D5	P8D4	P8D3	P8D2	P8D1	P8D0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	PORT8 出力データ (出力ラッチ)							

(注 1) P8IER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート 8 コントロールレジスタ

		7	6	5	4	3	2	1	0
P8CR (0xFFFF_C204)	Bit Symbol	P8CR7	P8CR6	P8CR5	P8CR4	P8CR3	P8CR2	P8CR1	P8CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 出力禁止 1: 出力許可							

ポート 8 インพุットイネーブルレジスタ

		7	6	5	4	3	2	1	0
P8IER (0xFFFF_C208)	Bit Symbol	P8IER7	P8IER6	P8IER5	P8IER4	P8IER3	P8IER2	P8IER1	P8IER0
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	0: 入力許可 1: 入力禁止							

ポート 8 ドライブストレングスレジスタ

		7	6	5	4	3	2	1	0
P8DSSR (0xFFFF_C20C)	Bit Symbol	P8DSSR7	P8DSSR6	P8DSSR5	P8DSSR4	P8DSSR3	P8DSSR2	P8DSSR1	P8DSSR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: ドライブ弱 1: ドライブ強							

(注 1) ポートに流す電流は 1 端子、全端子の最大定格を超えないようにして下さい。

ポート 8 オープンドレインコントロールレジスタ

		7	6	5	4	3	2	1	0
P8ODCR (0xFFFF_C210)	Bit Symbol	P8ODCR7	P8ODCR6	—	—	—	P8ODCR2	—	P8ODCR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: オープンドレイン禁止 1: オープンドレイン許可							

ポート 8 プルアップコントロールレジスタ

		7	6	5	4	3	2	1	0
P8PUCR (0xFFFF_C214)	Bit Symbol	P8PUCR7	P8PUCR6	P8PUCR5	P8PUCR4	P8PUCR3	P8PUCR2	P8PUCR1	P8PUCR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: プルアップ禁止 1: プルアップ許可							

(注 1) DSU (EJTAG) モードのレベル 1 で使用する場合、P86, P87 は DSU 制御端子になるので、これら上記レジスタの設定は無効になります。

ポート8 ファンクションレジスタ 1

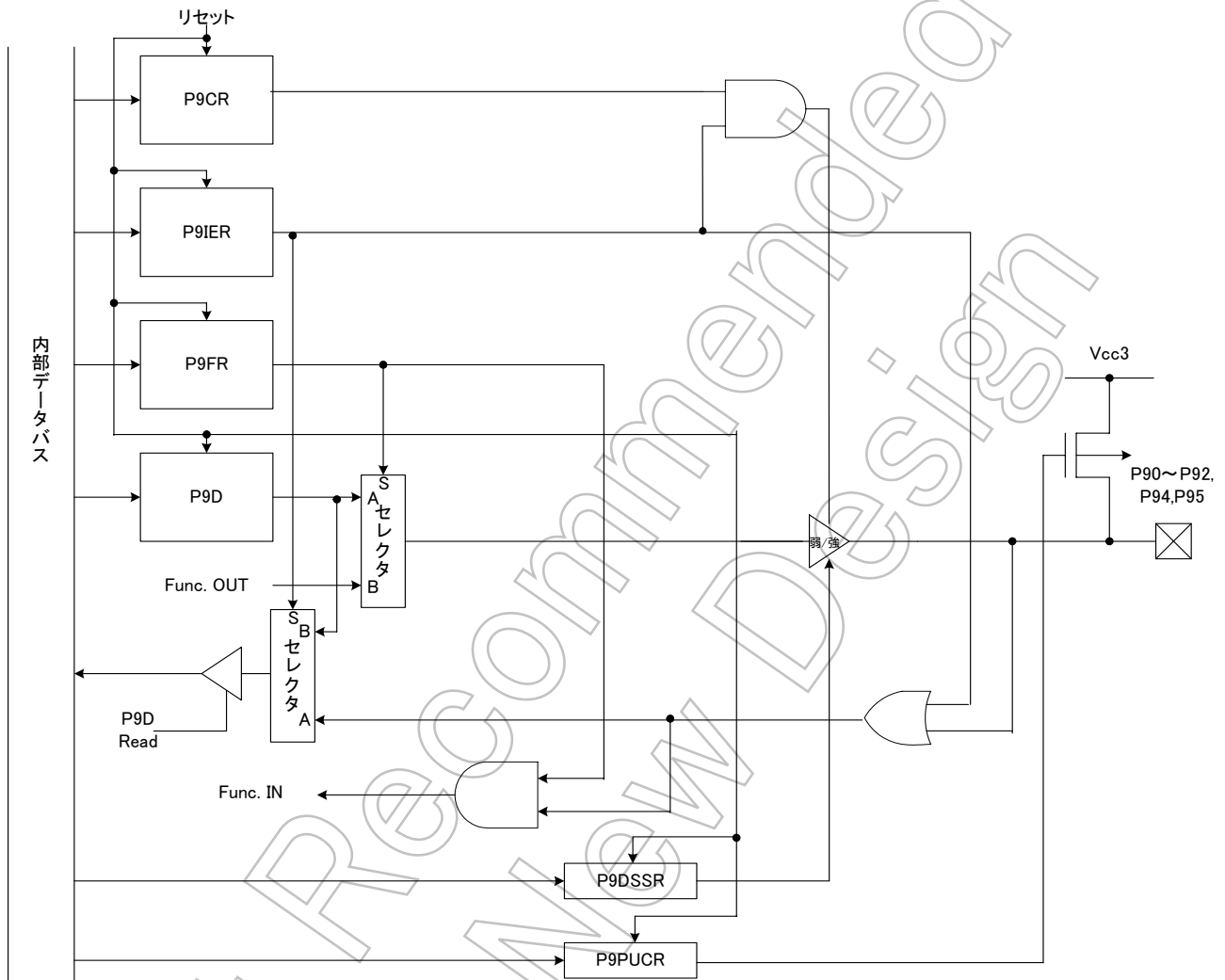
		7	6	5	4	3	2	1	0
P8FR (0xFFFF_C218)	Bit Symbol	P8FR17	P8FR16	P8FR15	P8FR14	P8FR13	P8FR12	P8FR11	P8FR10
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:SCLK2 /CTS2	0:PORT 1:TX2	0:PORT 1:RX2	0:PORT 1:TB1OUT/ INT0	0:PORT 1:RX1	0:PORT 1:TX1	0:PORT 1:RX0	0:PORT 1:TX0

(注1) P81, 3, 4, 5, 7 は P8CR=" 1" (出力許可)の状態 で P8FR=" 1" (ファンクション入力)に設定すると出力値は不定になります。

Not Recommended for New Design

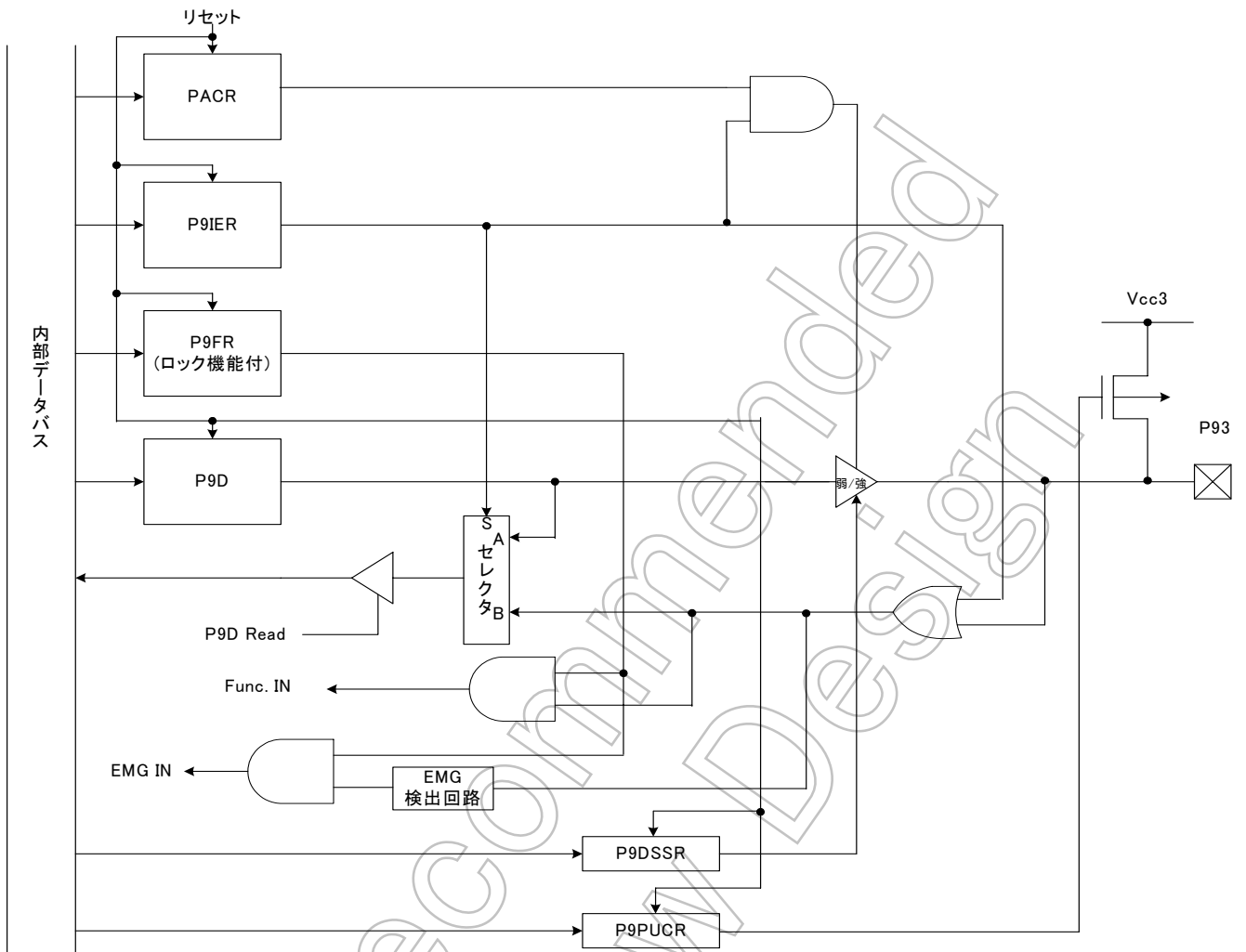
8.9 ポート 9 (P90~P95)

ポート 9 はビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。P93 は TMRB0 の緊急停止信号入力端子と兼用になっており、リセット後は汎用ポートですが、ロック機構付きレジスタを設定することで EMG 入力端子として使用できます。また P95 も同様に NMI 端子と兼用になっており、同じようにリセット後は汎用ポートですが、ロック機構付きレジスタを設定することで NMI 端子として使用できます。



(注1) 図中のセレクトAは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.9.1 ポート 9 (P90~P92, P94, P95)



(注 1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.9.2 ポート 9 (P93)

ポート9 レジスタ

	7	6	5	4	3	2	1	0
P9D (0xFFFF_C240)	—	—	P9D5	P9D4	P9D3	P9D2	P9D1	P9D0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	PORT9 出力データ (出力ラッチ)							

(注 1) P9IER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート9 コントロールレジスタ

	7	6	5	4	3	2	1	0
P9CR (0xFFFF_C244)	—	—	P9CR5	P9CR4	P9CR3	P9CR2	P9CR1	P9CR0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:出力禁止 1:出力許可							

ポート9 インพุットイネーブルレジスタ

	7	6	5	4	3	2	1	0
P9IER (0xFFFF_C248)	—	—	P9IER5	P9IER4	P9IER3	P9IER2	P9IER1	P9IER0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	1	1	1	1	1	1
機能	0:入力許可 1:入力禁止							

ポート9 ドライブストレンクスレジスタ

	7	6	5	4	3	2	1	0
P9DSSR (0xFFFF_C24C)	—	—	P9DSSR5	P9DSSR4	P9DSSR3	P9DSSR2	P9DSSR1	P9DSSR0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:ドライブ弱 1:ドライブ強							

(注 1) ポートに流す電流は1端子、全端子の最大定格を超えないようにして下さい。

ポート9 プルアップコントロールレジスタ

	7	6	5	4	3	2	1	0
P9PUCR (0xFFFF_C254)	—	—	P9PUCR5	P9PUCR4	P9PUCR3	P9PUCR2	P9PUCR1	P9PUCR0
Bit Symbol	R/W							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:プルアップ禁止 1:プルアップ許可							

(注 1) P94 は B00T 端子になっていますので、B00T モード(17章 フラッシュメモリを参照してください)で起動する場合は Reset 期間中”L”に、通常モードで起動する場合は Reset 期間中”H”に固定してください。

ポート9 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0
P9FR1 (0xFFFF_C258)	—	—	P9FR15	P9FR14	P9FR13	P9FR12	P9FR11	P9FR10
Bit Symbol	—	—	P9FR15	P9FR14	P9FR13	P9FR12	P9FR11	P9FR10
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能			0:PORT 1:NMI (ロック機能付き)	0:PORT 1:TBOOUT	0:PORT 1:TBOIN	0:PORT 1:ENCZ	0:PORT 1:ENCB	0:PORT 1:ENCA

P9FR15 はロック機能付きレジスタビットです。このレジスタに書き込むには P9ECLR に 0x55 => 0xAA をセットする必要があります。
書き込み有効期間は他のレジスタも含めて、セット後最初のロック機能付きのレジスタへの書き込みが完了するまでです。

ポート9 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
P9FR2 (0xFFFF_C25C)	—	—	—	—	P9FR23	P9FR22	P9FR21	P9FR20
Bit Symbol	—	—	—	—	P9FR23	P9FR22	P9FR21	P9FR20
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能					0:PORT 1:EMG 入力 (ロック機能付き)	0:PORT 1:SCLK3 /CTS3	0:PORT 1:TX3	0:PORT 1:RX3

P9FR23 はロック機能付きレジスタビットです。このレジスタに書き込むには P9ECLR に 0x55 => 0xAA をセットする必要があります。
書き込み有効期間は他のレジスタも含めて、セット後最初のロック機能付きのレジスタへの書き込みが完了するまでです。
P9FR23 を”1”に設定すると P9FR23 以外の P93 関連のレジスタは変更できなくなります。

ポート9 EMG コントロールレジスタ

	7	6	5	4	3	2	1	0
P9EGR (0xFFFF_C260)	—	—	ERM		EMGF	EMGE	—	—
Bit Symbol	—	—	ERM		EMGF	EMGE	—	—
Read/Write	R/W				R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能			EMG 入力の アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ (ロック機能付き)		EMG 状態フ ラグ 0: ノーマル 1: EMG 状態	EMG 状態解 除 1: EMG 状態 解除 読 む と”0” が 読めます (ロック 機能付き)		

ポート9 EMG クリアレジスタ

	7	6	5	4	3	2	1	0
P9ECLR (0xFFFF_C264)	Bit Symbol							
	Read/Write							
	リセット後							
機能	0x55 => 0xAA と書き込むことによってロック機能付きレジスタの書き込みが1回可能							

(注1) P9FR13, P9FR23 を両方”1” に設定した場合の動作は不定になります。

(注2) P90, 1, 2, 3, 5 は P9CR=”1” (出力許可) の状態で P9FR=”1” (ファンクション入力) に設定すると出力値は不定になります。

8.9.1 緊急停止信号 (EMG) 入力端子 (P93) の使用上の注意事項

8.9.1.1 EMG 状態での動作

PORTがEMG状態に設定され、EMG入力を受け付けられるとPORT部分は①P94 の出力を禁止し、②INTTBEO が発生します。EMG状態では表 8.9.1のように動作します。EMG検出回路は 16 ビットタイマとは独立して機能しますので、EMG状態であっても 16 ビットタイマの動作は通常動作を続けます。

表 8.9.1 PORT の EMG 状態での動作

P93	P94	INTTBEO
ノーマル	PWM/PORT 出力	発生しない
EMG	Hi-z	発生する

8.9.1.2 P93 の設定方法

PORT を EMG 入力端子に設定 (P9FR23=1) にすると、他の設定レジスタ P9CR3, P9IER3, P9DSSR3, P9PUCR3, P9FR13 は値を書き換えることはできません。

EMG 入力端子の設定を解除すると、再度これらの設定は変更することができるようになります。

P93 の機能別の設定を表 8.9.2 に示します。

表 8.9.2 P93 端子レジスタ設定

	汎用 I/O ポート	TBO1N	EMG 入力端子
P9CR<P9CR3>	X	0	0 (注 1)
P9IER<P9IER3>	X	0	0 (注 1)
P9DSSR<P9DSSR3>	X	X	X (注 1)
P9PUCR<P9PUCR3>	X	X	0 (注 1)
P9FR1<P9FR13>	0	1	0
P9FR2<P9FR23>	0	0	1

(注 1) P9FR2<P9FR23>を設定する前に設定してください。

一般的な P93 を EMG 入力端子 (立ち下がリエッジ) として使う場合の設定手順例

P9ECLR=" 0x55" → " 0xAA" ; ロック解除
 P9ECR<ERM>=" 10" ; 立ち下がリエッジ
 P9CR<P9CR3>=" 0" ; 出力禁止
 P9IER<P9IER3>=" 0" ; 入力許可
 P9PUCR<PAPUCR6>=" 0" ; プルアップ禁止
 P9ECLR=" 0x55" → " 0xAA" ; ロック解除
 P9ECR<EMGE>=" 1" ; EMG 状態のクリア
 P9ECLR=" 0x55" → " 0xAA" ; ロック解除
 P9FR2<P9FR23>=" 1" ; P93 を EMG 入力に設定
 IMR33<EIM33>=" 10" ;
 ICLR<IV>=" 0x084" ; INTTBEO クリア
 IMR33<IL33[2:0]>=" 111" ; INTTBEO の割り込みレベル 7 (任意)

一般的な EMG 状態の解除手順 (エッジ検出の場合)

(注 1) エッジ検出の場合は EMG 状態を解除する前に P93 がインアクティブであることを確認してください。

P9ECLR=" 0x55" → " 0xAA" ; ロック解除
 P9ECR<EMGE>=" 1" ; PORT の EMG 状態解除

P93 を汎用 PORT に戻す場合の手順

IMR33<IL33[2:0]>=" 000" ; INTTBEO の割り込み禁止
 ICLR<IV>=" 0x084" ; INTTBEO クリア
 P9ECLR=" 0x55" → " 0xAA" ; ロック解除
 P9FR23<P9FR23>=" 0" ; P93 を汎用ポートに設定

8.9.1.3 検出設定時の注意事項

(1) レベル検出

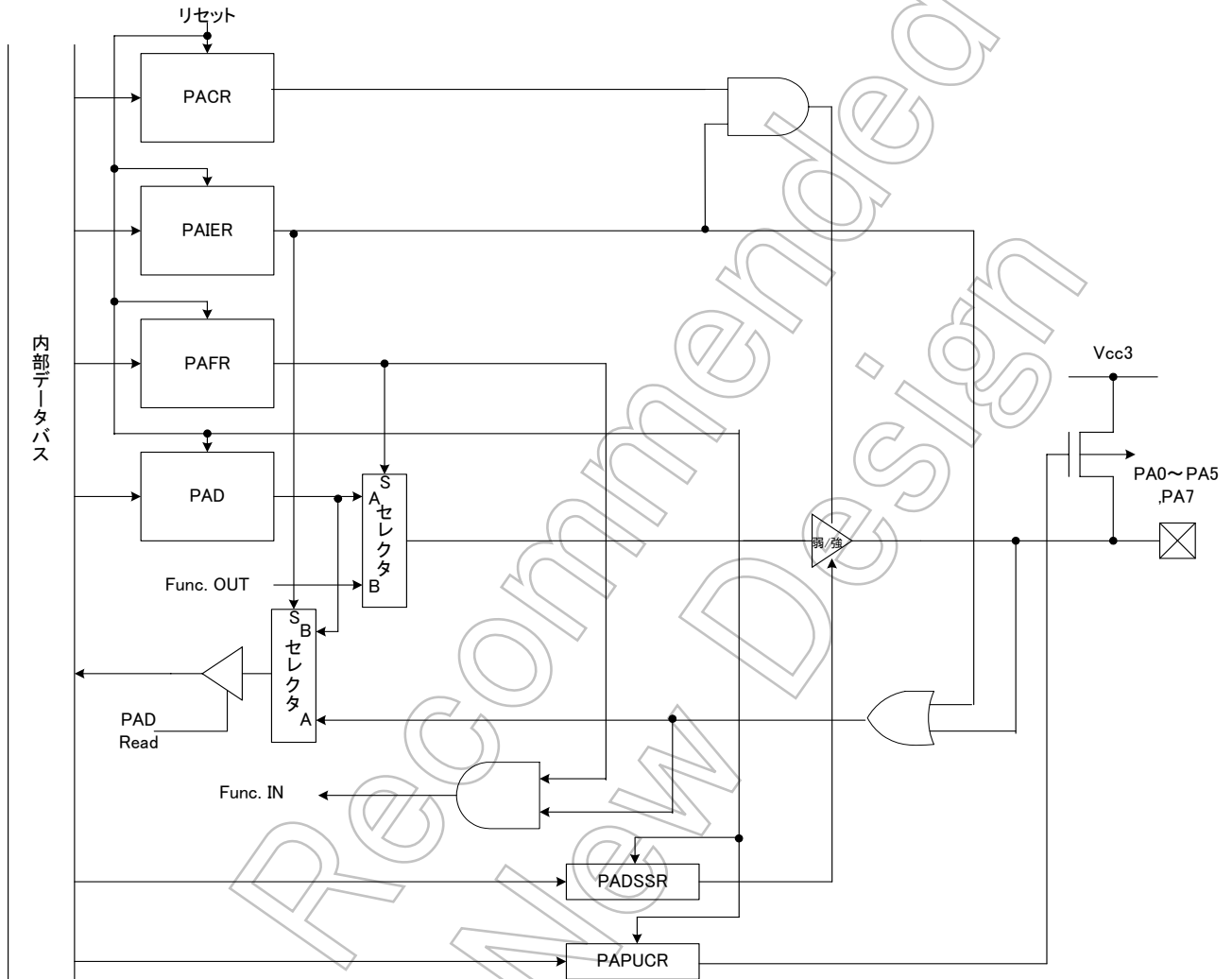
EMG 入力をレベル取り込みに設定した場合、EMG 状態は設定したレベルの信号が入力されている間のみ保持 (P9ECR<EMGF>=1) されますので、P9ECR<EMGE>を " 1" に設定して解除する必要はありません。

(2) エッジ検出

EMG 入力をエッジ検出に設定した場合、EMG 設定前にエッジがくると検出できないため、ポートの状態を確認してから設定してください。

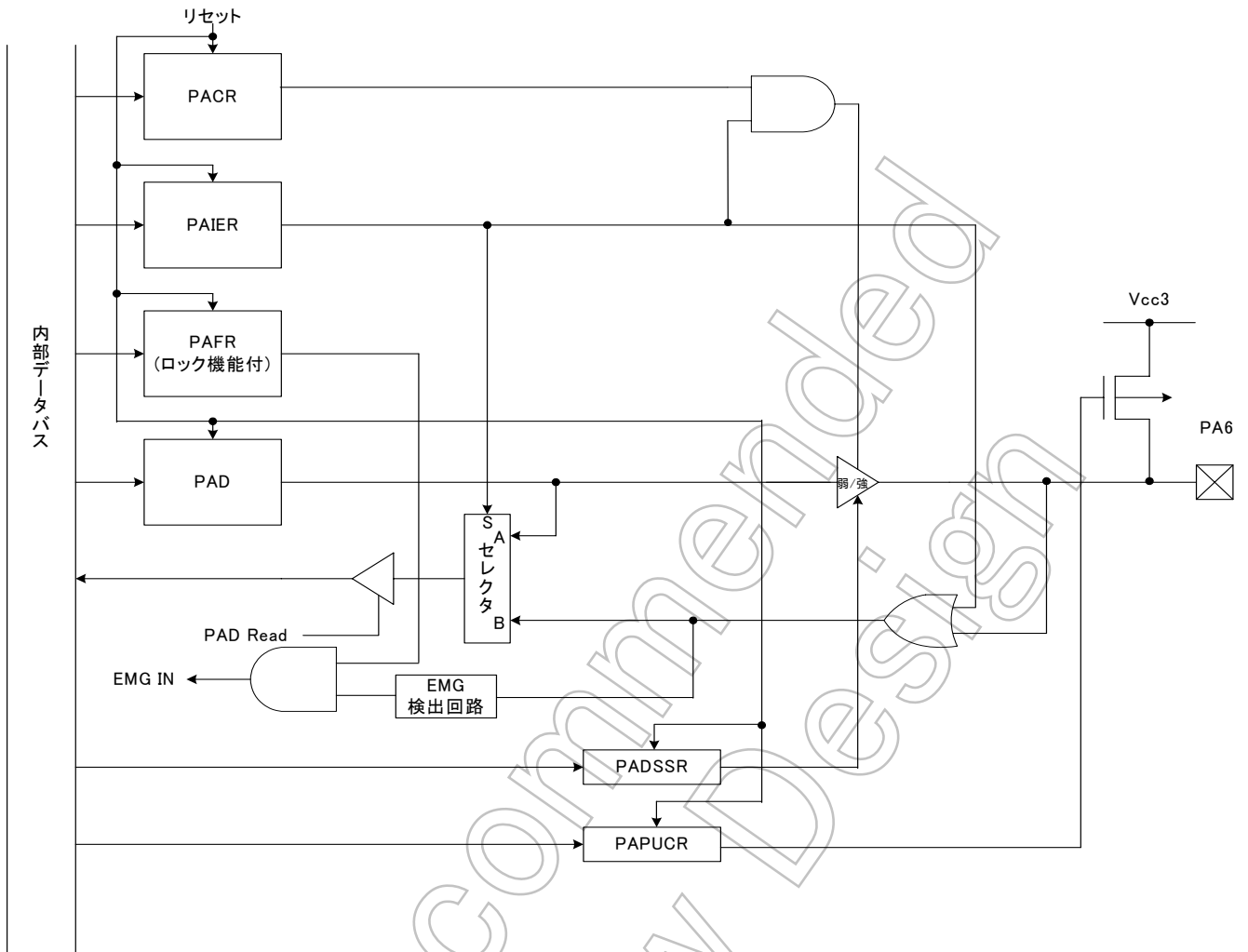
8.10 ポート A (PA0~PA7)

ポート A はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。PA6 は PMD0 の緊急停止信号 (EMG) 入力端子と兼用になっており、リセット後は汎用ポートですが、ロック機構付きレジスタを設定することで EMG 入力端子として使用できます。



(注1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.10.1 ポート A (PA0~PA5, PA7)



(注1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.10.2 ポート A (PA6)

ポート A レジスタ

	7	6	5	4	3	2	1	0
PAD (0xFFFF_C280)	PAD7	PAD6	PAD5	PAD4	PAD3	PAD2	PAD1	PAD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	PORTA 出力データ (出力ラッチ)							

(注 1) PAIER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート A コントロールレジスタ

	7	6	5	4	3	2	1	0
PACR (0xFFFF_C284)	PACR7	PACR6	PACR5	PACR4	PACR3	PACR2	PACR1	PACR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:出力禁止 1:出力許可							

ポート A インพุットイネーブルレジスタ

	7	6	5	4	3	2	1	0
PAIER (0xFFFF_C288)	PAIER7	PAIER6	PAIER5	PAIER4	PAIER3	PAIER2	PAIER1	PAIER0
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	0:入力許可 1:入力禁止							

ポート A ドライブストレンクスレジスタ

	7	6	5	4	3	2	1	0
PADSSR (0xFFFF_C28C)	PADSSR7	PADSSR6	PADSSR5	PADSSR4	PADSSR3	PADSSR2	PADSSR1	PADSSR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:ドライブ弱 1:ドライブ強							

(注 1) ポートに流す電流は1端子、全端子の最大定格を超えないようにして下さい。

ポート A プルアップコントロールレジスタ

	7	6	5	4	3	2	1	0
PAPUCR (0xFFFF_C294)	PAPUCR7	PAPUCR6	PAPUCR5	PAPUCR4	PAPUCR3	PAPUCR2	PAPUCR1	PAPUCR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:プルアップ禁止 1:プルアップ許可							

ポート A ファンクションレジスタ

	7	6	5	4	3	2	1	0
PAFR (0xFFFF_C298)	PAFR7	PAFR6	PAFR5	PAFR4	PAFR3	PAFR2	PAFR1	PAFR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:TB2OUT/ INT1	0:PORT 1:EMGO (ロック 機能付き)	0:PORT 1:ZO	0:PORT 1:WO	0:PORT 1:YO	0:PORT 1:VO	0:PORT 1:XO	0:PORT 1:UO

PAFR6 を” 1” に設定すると PA6 は PMD0 の緊急停止信号入力 (EMGO) 端子になります。PAFR6 はロック機能付きレジスタビットです。このレジスタに書き込むには PAECLR に 0x55 => 0xAA をセットする必要があります。書き込み有効期間は他のレジスタも含めて、セット後最初のロック機能付きのレジスタへの書き込みが完了するまでです。PAFR6 を” 1” に設定すると PA6 関連のレジスタは変更できなくなります。

ポート A EMG コントロールレジスタ

	7	6	5	4	3	2	1	0
PAECCR (0xFFFF_C29C)	—	—	ERMA		EMGFA	EMGEA	—	—
Read/Write	R/W				R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能			EMG 入力の アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ (ロック機能付き)		EMG 状態フ ラグ 0: ノーマル 1: EMG 状態	EMG 状態解 除 1: EMG 状態 解除 読むと “0” が 読めず (ロック機 能付き)		

ポート A EMG クリアレジスタ

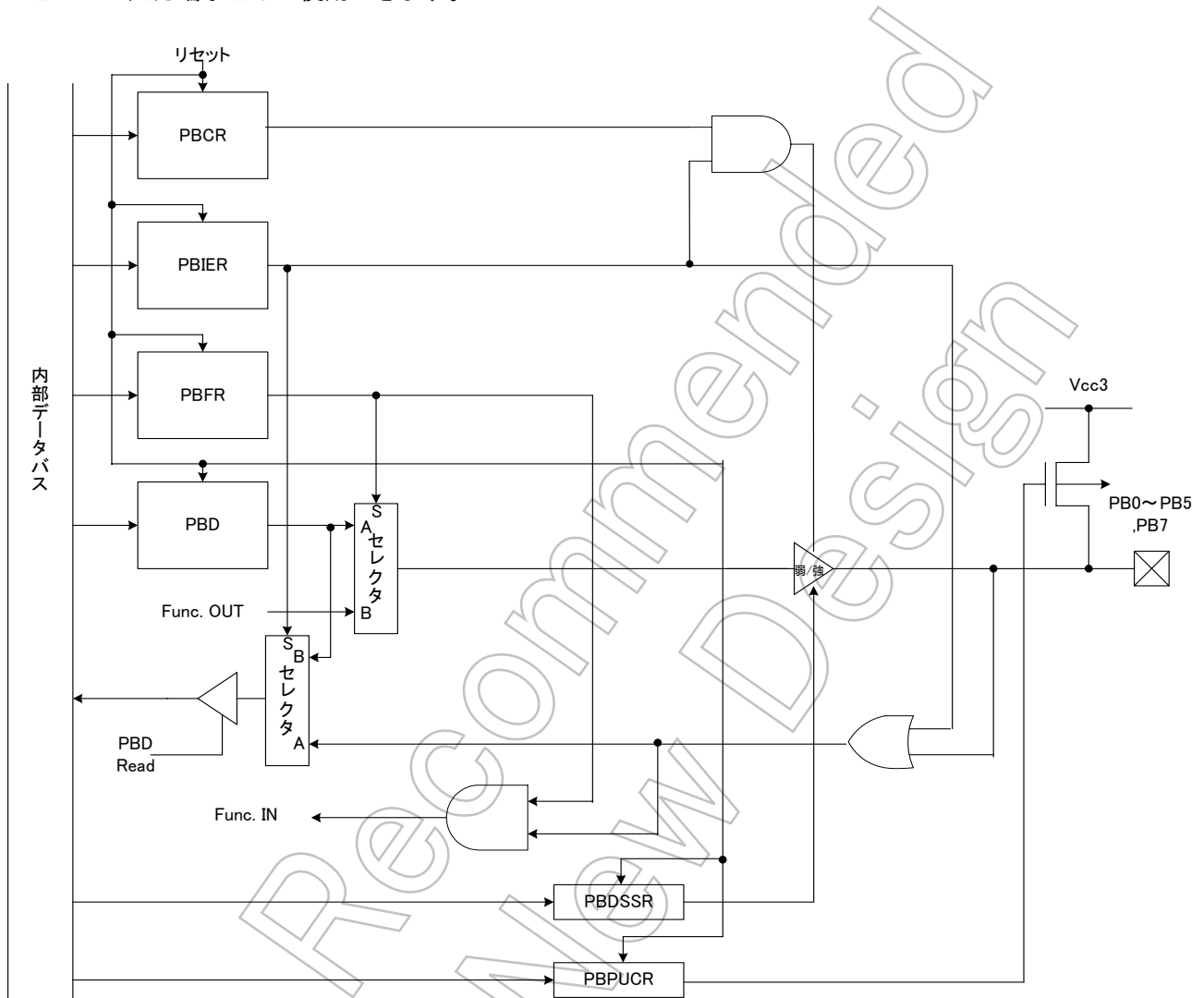
	7	6	5	4	3	2	1	0
PAECLR (0xFFFF_C2A0)	—							
Read/Write	W							
リセット後	—							
機能	0x55 => 0xAA と書き込むことによってロック機能付きレジスタの書き込みが 1 回可能							

(注 1) PA6, 7 は PACR=” 1” (出力許可) の状態で PAFR=” 1” (ファンクション入力) に設定すると出力値は不定になります。

詳細は「8. 12 緊急停止信号 (EMG) 入力端子 (PA6/PB6) の使用上の注意事項」を参照してください。

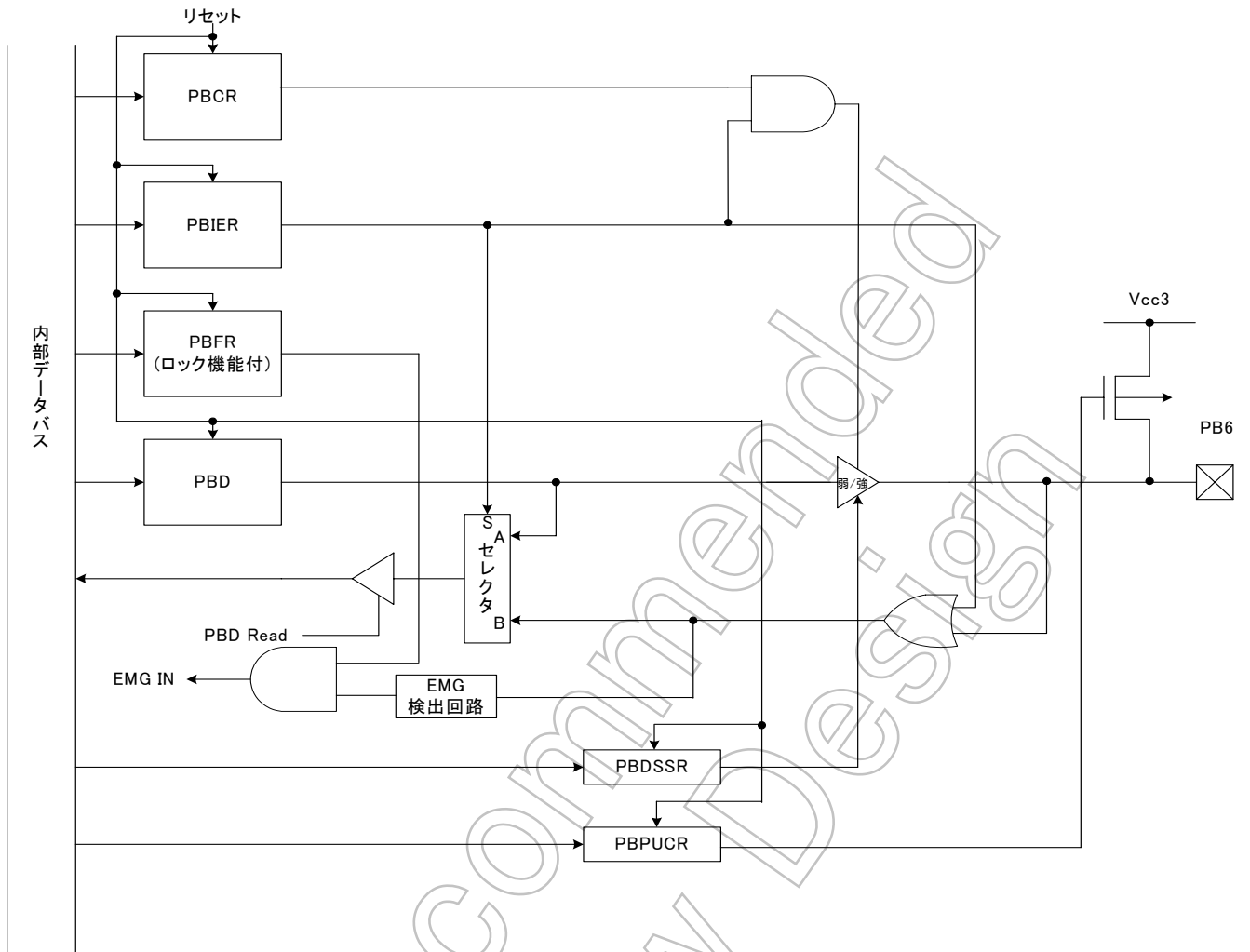
8.11 ポート B (PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。PB6 は PMD1 の緊急停止信号 (EMG) 入力端子と兼用になっており、リセット後は汎用ポートですが、ロック機構付きレジスタを設定することで EMG 入力端子として使用できます。



(注 1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.11.1 ポート B (PB0~PB5, PB7)



(注1) 図中のセレクタは S=1 で入力 A が、S=0 で入力 B が出力に選ばれます

図 8.11.2 ポート B (PB6)

ポート B レジスタ

	7	6	5	4	3	2	1	0
PBD (0xFFFF_C2C0)	PBD7	PBD6	PBD5	PBD4	PBD3	PBD2	PBD1	PBD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	PORTB 出力データ (出力ラッチ)							

(注 1) PBIER=0 のときにこのレジスタを読み出すと、ポートの状態が読めます。

ポート B コントロールレジスタ

	7	6	5	4	3	2	1	0
PBCR (0xFFFF_C2C4)	PBCR7	PBCR6	PBCR5	PBCR4	PBCR3	PBCR2	PBCR1	PBCR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:出力禁止 1:出力許可							

ポート B インพุットイネーブルレジスタ

	7	6	5	4	3	2	1	0
PBIER (0xFFFF_C2C8)	PBIER7	PBIER6	PBIER5	PBIER4	PBIER3	PBIER2	PBIER1	PBIER0
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	0:入力許可 1:入力禁止							

ポート B ドライブストレンクスレジスタ

	7	6	5	4	3	2	1	0
PBDSSR (0xFFFF_C2C0)	PBDSSR7	PBDSSR6	PBDSSR5	PBDSSR4	PBDSSR3	PBDSSR2	PBDSSR1	PBDSSR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:ドライブ弱 1:ドライブ強							

(注 1) ポートに流す電流は1端子、全端子の最大定格を超えないようにして下さい。

ポート B プルアップコントロールレジスタ

	7	6	5	4	3	2	1	0
PBPUCR (0xFFFF_C2D4)	PBPUCR7	PBPUCR6	PBPUCR5	PBPUCR4	PBPUCR3	PBPUCR2	PBPUCR1	PBPUCR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:プルアップ禁止 1:プルアップ許可							

ポート B ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PBFR (0xFFFF_C2D8)	Bit Symbol	PBFR7	PBFR6	PBFR5	PBFR4	PBFR3	PBFR2	PBFR1	PBFR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TB3OUT/ INT2	0:PORT 1:EMG1 (ロック 機能付き)	0:PORT 1:Z1	0:PORT 1:W1	0:PORT 1:Y1	0:PORT 1:V1	0:PORT 1:X1	0:PORT 1:U1

PBFR6 を”1” に設定すると PB6 は PMD1 の緊急停止信号入力 (EMG1) 端子になります。PBFR6 はロック機能付きレジスタビットです。このレジスタに書き込むには PBECLR に 0x55 ⇒ 0xAA をセットする必要があります。書き込み有効期間は他のレジスタも含めて、セット後最初のロック機能付きのレジスタへの書き込みが完了するまでです。PBFR6 を”1” に設定すると PB6 関連のレジスタは変更できなくなります。

ポート B EMG コントロールレジスタ

	7	6	5	4	3	2	1	0	
PBECR (0xFFFF_C2DC)	Bit Symbol	—	—	ERMB		EMGFB	EMGEB	—	—
	Read/Write	R/W				R	R/W		
	リセット後	0	0	0	0	0	0	0	0
	機能			EMG 入力の アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ (ロック機能付き)		EMG 状態フ ラグ 0: ノーマル 1: EMG 状態	EMG 状態解 除 1: EMG 状態 解除 読 む と ”0” が 読めず (ロック機 能付き)		

ポート B EMG クリアレジスタ

	7	6	5	4	3	2	1	0	
PBECLR (0xFFFF_C2E0)	Bit Symbol	—							
	Read/Write	W							
	リセット後	—							
	機能	0x55 ⇒ 0xAA と書き込むことによってロック機能付きレジスタの書き込みが 1 回可能							

(注 1) PB6, 7 は PBCR=”1” (出力許可) の状態で PBFR=”1” (ファンクション入力) に設定すると出力値は不定になります。

詳細は「8.12 緊急停止信号 (EMG) 入力端子 (PA6/PB6) の使用上の注意事項」を参照してください。

8.12 緊急停止信号(EMG)入力端子(PA6/PB6)の使用上の注意事項

8.12.1 EMG 検出回路図

(注1)PB[6:0](PMD1)についても同様の動作をしますので、ここではPA[6:0](PMD0)についてのみ記述します。

PA6をEMG入力端子に設定し、EMG入力を受け付けられるとPA[5:0]をPMD0出力の設定にしていなくてもPA[5:0]の出力が強制的に禁止され、PMDのEMG保護回路をEMG状態にします。PMDのEMG保護回路をEMG状態にするにはPORTのEMG入力端子を設定するだけでなく、PMDのEMG保護回路も許可(EMGCRO<EMGEN>=1)である必要があります。

下記に図8.12.1にEMG検出部分のブロック図を示します。

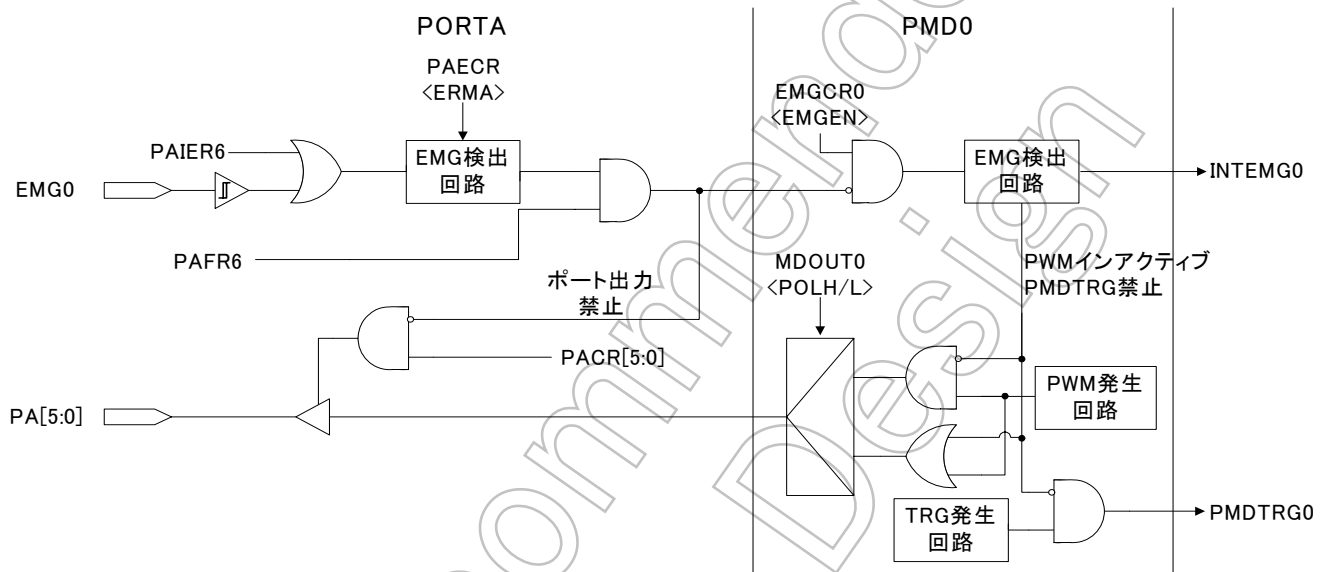


図 8.12.1 EMG 検出回路ブロック図

8.12.2 EMG 状態での動作

PORT/PMDがEMG状態に設定されると、PORT部分はPA[5:0]の出力を禁止し、PMD部分は①PWM出力をインアクティブ出力に固定、②PMDによるADC起動トリガ(PMDTRG)の停止、③INTEMGの発生を設定します。PORT/PMDはそれぞれ独立して動作しますが、EMG状態の組み合わせによって表8.12.1のように動作します。

表 8.12.1 PMD と PORT の EMG 状態での動作

PMD 部分	PORT 部分	PA[5:0]	PMDTRG	INTEMG
ノーマル	ノーマル	PWM/PORT 出力	起動許可	発生しない
EMG	ノーマル	インアクティブ	起動禁止	発生しない(注1)
ノーマル	EMG	Hi-z	起動許可	発生しない
EMG	EMG	Hi-z	起動禁止	発生する

(注1)PORT部分がEMG入力端子でない場合はEMG入力が入ってこないため、PMD部分がEMG状態になることはありません。「PMD:EMG/PORT:ノーマル」となるには「PMD:EMG/PORT:EMG」のときにPORT部分のみEMGをクリアした場合のみです。

8.12.3 PA6 の設定方法

PORT を EMG 入力端子に設定 (PAFR6=1) にすると、他の設定レジスタ PACR6, PAIER6, PADSSR6, PAPUCR6 は値を書き換えることはできません。

EMG 入力端子の設定を解除すると、再度これらの設定は変更することができるようになります。

PA6 の機能別の設定を表 8.12.2 に示します。

表 8.12.2 PA6 端子レジスタ設定

	汎用 I/O ポート	EMG 入力端子
PACR<PACR6>	X	0(注 1)
PAIER<PAIER6>	X	0(注 1)
PADSSR<PADSSR6>	X	X(注 1)
PAPUCR<PAPUCR6>	X	0(注 1)
PAFR<PAFR6>	0	1

(注 1) PAFR<PAFR6>を設定する前に設定してください。

一般的な PA6 を EMG 端子 (立ち下がりエッジ) として使う場合の設定手順例

PAECLR=" 0x55" → " 0xAA" ; ロック解除
 PAECR<ERMA>=" 10" ; 立ち下がりエッジ
 PACR<PACR6>=" 0" ; 出力禁止
 PAIER<PAIER6>=" 0" ; 入力許可
 PAPUCR<PAPUCR6>=" 0" ; プルアップ禁止
 PAECLR=" 0x55" → " 0xAA" ; ロック解除
 PAECR<EMGEA>=" 1" ; EMG 状態のクリア (立ち下がりエッジ設定とは別に実施)
 PAECLR=" 0x55" → " 0xAA" ; ロック解除
 PAFR<PAFR6>=" 1" ; PA6 を EMG0 に設定
 IMR22<EIM22>=" 10" ;
 ICLR<IV>=" 0x058" ; INTEMGO クリア
 IMR22<IL22[2:0]>=" 111" ; INTEMGO の割り込みレベル 7(任意)

一般的な EMG 状態の解除手順 (エッジ検出の場合)

(注 1) エッジ検出の場合、EMG 状態を解除する前に PA6 がインアクティブであることを確認してください。

(注 2) ポートが EMG 状態で PMD の EMG 状態を解除すると、PMD は再度 EMG 状態になり INTEMGO が発生します。

PAECLR=" 0x55" → " 0xAA" ; ロック解除
 PAECR<EMGE>=" 1" ; PORT の EMG 状態解除
 MDOUTO<WOC, VOC, UOC>=" 000000" ; 出力をインアクティブ側に設定 (PMD レジスタ)
 EMGCRO<EMGRS>=" 1" ; PMD の EMG 状態解除 (PMD レジスタ)
 MDOUTO<WOC, VOC, UOC>を再設定 ; PWM 出力を再設定 (PMD レジスタ)

一般的な EMG 状態の解除手順 (レベル検出の場合)

(注 1) レベル検出の場合、ポートは EMG 状態を保持しませんので、PMD 部分のみ解除します。

(注 2) ポートが EMG 状態で PMD の EMG 状態を解除すると、PMD は再度 EMG 状態になり INTEMGO が発生します。

MDOUTO<WOC, VOC, UOC>=" 000000" ; 出力をインアクティブ側に設定 (PMD レジスタ)
 EMGCRO<EMGRS>=" 1" ; PMD の EMG 状態解除 (PMD レジスタ)
 MDOUTO<WOC, VOC, UOC>を再設定 ; PWM 出力を再設定 (PMD レジスタ)

PA6 を汎用 PORT に戻す場合の手順

IMR22<IL22[2:0]>=" 000" ; INTEMGO の割り込み禁止
 ICLR<IV>=" 0x058" ; INTEMGO クリア
 PAECLR=" 0x55" → " 0xAA" ; ロック解除
 PAFR<PAFR6>=" 0" ; PA6 を汎用ポートに設定

EMG 入力をレベル取り込みに設定した場合、EMG 状態は設定したレベルの信号が入力されている間のみ保持 (PAECR<EMGFA>=1) されますので、PAECR<EMGEA>を”1”に設定して解除する必要はありませんが、PMD の EMG 保護回路を許可にしている場合はレベル取り込みの場合でも、PORT が EMG アクティブ入力でないことを確認後、PMD レジスタ EMGCR1<EMGRS>=”1”を設定して PMD 側の EMG 状態を解除して下さい。またエッジ検出にて使用する際は、EMG 設定前にエッジが入力されると検出できないため、ポートの状態を確認してから設定してください。

8. 12. 4 P93 (TB01N) と PA6 (EMG0) / PB6 (EMG1) との相違点

P93 も同じような EMG 入力端子機能を持っていますが、PA6 / PB6 との一番の違いは図 8. 12. 2 に示すように P93 は PORT 部分で EMG 割り込みを発生させる点です。PA6 / PB6 は PMD 部分が EMG 禁止の場合 (EMGCR<EMGEN>=”0”) は EMG 割り込み (INTEMGx) は発生しませんが、P93 は PORT 部分が EMG 状態になると同時に EMG 割り込み (INTTBEO) が発生します。

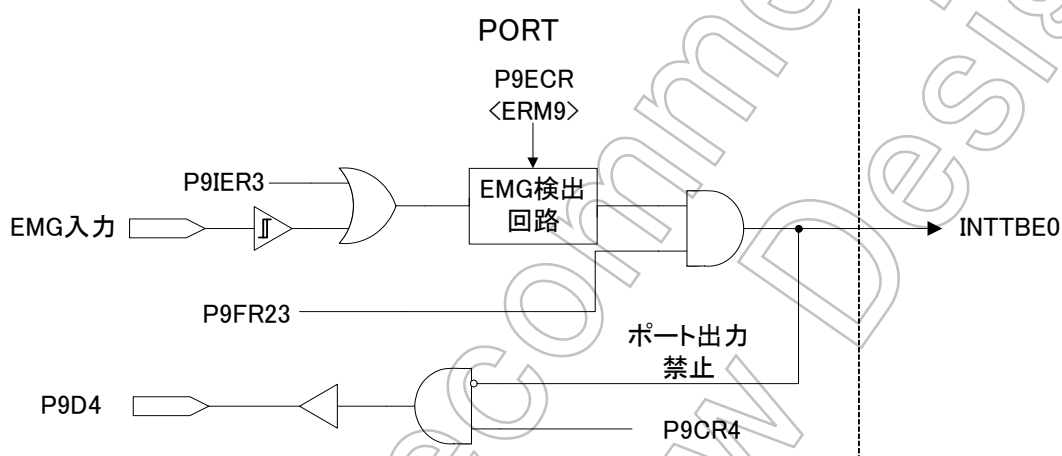


図 8. 12. 2 P93 (EMG 入力) ブロック図

9. デバックサポートユニット (DSU)

TMP19A71 には DSU (Debug Support Unit) モードが搭載されています。この機能を使用すると一部のポートが DSU 制御端子になります。

DSU モードには Lv.1 (12 本モード) と Lv.0 (5 本モード) の 2 種類があり、Lv.1 は制御端子を 12 本使用しますが、Lv.0 よりも強力なデバック機能を備えています。より多くのデバック情報を必要とするデバック初期は Lv.1、デバック終盤では端子制限の少ない Lv.0 を選択するような使い方が可能です。

9.1 DSU (EJTAG) モードの設定

DSU モードに設定するにはリセット状態で外部端子の EJE="L" に設定することによって、リセット解除後 DSU (EJTAG) モードで起動します。DSU のレベルは DSU-PROBE から設定され、DSU-PROBE が接続されていない場合は Lv.0 から起動します。

(注 1) Mask 版は DSU 禁止機能を解除する必要があります。

9.1.1 DSU (EJTAG) モードで起動時の端子状態

DSU (EJTAG) モードで起動すると、特定の端子のレジスタは設定に関わらず、自動的に DSU 制御端子に切り替わります。なお、レジスタの読み出し値は設定した値が読み出せます。

9.1.2 モータ破損防止機能

TMP19A71 にはデバック機能のブレーク実行 (ワンステップ実行含む) 時にモータの破損を防ぐため、モータ制御出力を自動的に OFF ($PxCRn="0"$) にする機構がついています。

対象となる PORT は P94 (TBOOUT), PA[5:0] (PMD0), PB[5:0] (PMD1) で、モータ制御出力 (TBOOUT, PMD0, PMD1) に設定した場合のみ $PxCRn="0"$ (PORTx の該当ビット n の出力禁止) になります。モータ制御を再開したい場合は $PxCRn="1"$ に設定することにより、モータ制御の出力が再開されます。IDE 上でポートの設定を変更後、再実行した場合はモータ制御の出力が再開されません。プログラム中にポート設定をする必要があります。

9.2 リセット期間中の端子状態

9.2.1 ノーマルモードと DSU モードで状態が変化する端子

各端子のモード別のリセットでの状態を表 9.2.1 に示します。DSU モードで DSU-PROBE を接続しない場合も表 9.2.1 の DSU モードと同様の端子状態になります。

表 9.2.1 リセットでの端子状態

端子名	ノーマルモード (EJE=" H")	DSU モード (EJE=" L")
P20 (TCK)	Hi-z	Hi-z (TCK)
P21 (TMS)	Hi-z	Hi-z (TMS)
P22 (TDI)	Hi-z	Hi-z (TDI)
P23 (TDO) (注 2)	Hi-z	不定値出力 (TDO)
P24 (DINT)	Hi-z	Hi-z (DINT)
P30 (TPC)	Hi-z	Hi-z
P31 (PCST0)	Hi-z	Hi-z
P32 (PCST1)	Hi-z	Hi-z
P33 (PCST2)	Hi-z	Hi-z
P34 (DCLK)	Hi-z	Hi-z
P86 (TX2/PCST3)	Hi-z	Hi-z
P87 (SCLK2/CTS2/PCST4)	Hi-z	Hi-z
P94 (TBOOUT/BOOT)	外部" H" 固定 (注 1)	外部" H" 固定 (注 1)
その他の汎用 I/O ポート	Hi-z	Hi-z
EJE	外部" H" 固定	外部" L" 固定
RESET	外部" L" 固定	外部" L" 固定
TEST0	外部" L" 固定	外部" L" 固定
TEST1	外部" L" 固定	外部" L" 固定

(注1) これらの端子はリセットが解除されるまで、外部で固定してください。

(注2) リセット中でも内部電源が安定するまでの P23 (TDO) の動作は不定になります。

9.2.2 DSU-PROBE 接続時の端子状態

DSU-PROBE を接続する場合、接続が完了するまでポートの出力値が変化します。Lv.1 で使用される端子は端子の出力値が異なるだけで、切り替わるタイミングはすべて同じため DCLK (P34) について説明します。

9.2.2.1 DSU-PROBE を Lv.1 で接続する場合

図 9.2.2 に示すようにLv.1 で接続の場合はDSU-PROBEが電源投入後の2回目のリセット後に内部レジスタのProbEnを”1”にセットします。2回目のリセットが解除されると、Lv.1 で使用されるDSU制御端子はDSU制御用に切り替わり、DSU-PROBEと通信を開始します。

(注1)1回目のリセット解除期間をご使用のDSU-PROBEの取り扱い説明書を参照してください。

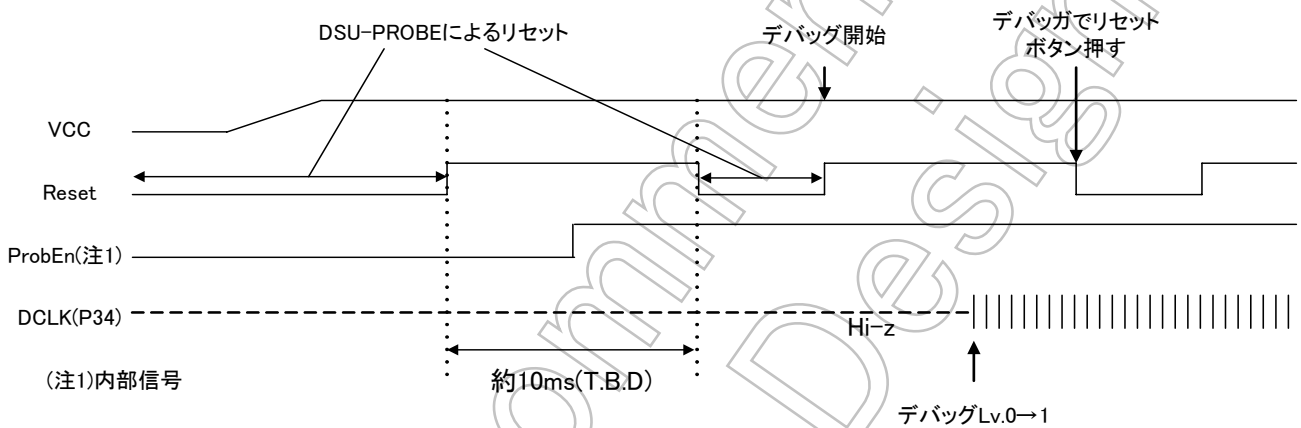


図 9.2.1 DSU-PROBE を接続する場合 (Lv.1)

9.2.2.2 DSU-PROBE を接続する場合 (Lv.0)

図 9.2.3 に示すようにLv.0 で接続の場合はDSU-PROBEが電源投入後の2回目のリセット後に内部レジスタのProbEnを”1”にセットします。EJE=0 に設定することによりLv0 で使用するDSU制御端子は電源投入直後からDSU制御用として動作します。

(注1)1回目のリセット解除期間をご使用のDSU-PROBEの取り扱い説明書を参照してください。

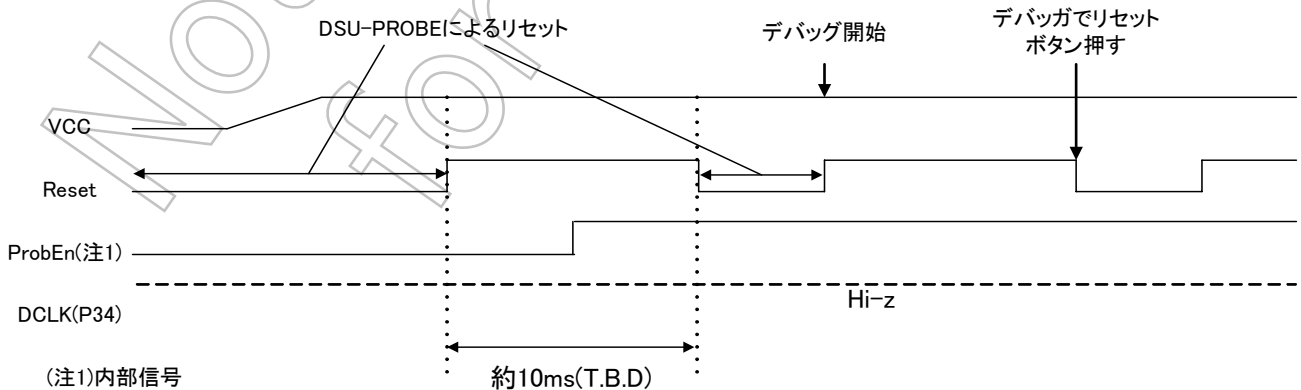


図 9.2.2 DSU-PROBE を接続する場合 (Lv.0)

9.2.3 DSU-PROBE 使用禁止機能

DSU-PROBE を利用してデバッグするときに使用します。DSU-PROBE と接続される専用 I/F です。DSU-PROBE を利用したデバッグの詳細に関しては、ご使用の DSU-PROBE の取り扱い説明書を参照してください。ここでは、DSU(EJTAG)モードでの DSU-PROBE 使用許可/禁止について説明します。

(1) DSU-PROBE 使用許可/禁止機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにする DSU-PROBE 使用禁止機能（以下、DSU 禁止機能）をもっています。DSU 禁止機能を有効にすることにより、DSU-PROBE を使用することが不可能になります。

(2) DSU 使用禁止（DSU-PROBE を使用してのデバッグを無効）

ユーザーはプログラムデバッグ完了時に、フラッシュの 2 ブロック全てに後述のプロテクトコマンドを発行してプロテクトをかける事により、フラッシュ本体に対してライタセキュリティ機能を有効にします。この状態ではライタを使用してリードを行っても内蔵フラッシュのデータはリードできません。電源オフ後、次のパワーオン時に DSU 禁止機能がセットされ、DSU 禁止機能が解除されるまで DSU-PROBE を使用してのデバッグは不可能となります。

(3) DSU 使用許可（DSU-PROBE を利用してのデバッグを有効）

DSU 禁止機能を解除する方法は、暴走などによる偶発解除を防ぐために二重構造になっており、DSU セキュリティモードレジスタ SEQMOD<DSUOFF> = “0” にし、セキュリティコード “0x0000_00C5” を DSU セキュリティ制御レジスタ SEQCNT に書き込みます。この後、DSU-PROBE を使用したデバッグが有効になります。電源をオフしない状態で、SEQMOD<DSUOFF> = “1” にし、SEQCNT に “0x0000_00C5” を書き込むことにより再びセキュリティ機能が有効になります。

(4) SEQMOD<DSUOFF>の初期化

Flash 製品では通常リセットでは初期化されず、電源投入（パワーオンリセット）によってのみ初期化されます。

Mask 製品では WDT によるリセットでは初期化されず、外部リセットで初期化されます。

SEQMOD (0xFFFF_E510)		31	30	29	28	27	26	25	24
	bit Symbol	—	—	—	—	—	—	—	—
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		23	22	21	20	19	18	17	16
	bit Symbol	—	—	—	—	—	—	—	—
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		15	14	13	12	11	10	9	8
	bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R								
リセット後	0	0	0	0	0	0	0	0	
機能									
	7	6	5	4	3	2	1	0	
bit Symbol	—	—	—	—	—	—	—	DSUOFF	
Read/Write	R							R/W	
リセット後	0	0	0	0	0	0	0	1	
機能								1: DSU 使用不可 0: DSU 使用許可	

(注1) 本レジスタは必ず 32 ビットでアクセスして下さい。ビット操作命令でもアクセスできません。

SEQCNT (0xFFFF_E514)		31	30	29	28	27	26	25	24
	bit Symbol	—	—	—	—	—	—	—	—
	Read/Write	W							
	リセット後	—	—	—	—	—	—	—	—
	機能	"0x0000_00C5" をライトしてください。							
		23	22	21	20	19	18	17	16
	bit Symbol	—	—	—	—	—	—	—	—
	Read/Write	W							
	リセット後	—	—	—	—	—	—	—	—
	機能	"0x0000_00C5" をライトしてください							
		15	14	13	12	11	10	9	8
	bit Symbol	—	—	—	—	—	—	—	—
Read/Write	W								
リセット後	—	—	—	—	—	—	—	—	
機能	"0x0000_00C5" をライトしてください								
	7	6	5	4	3	2	1	0	
bit Symbol	—	—	—	—	—	—	—	—	
Read/Write	W								
リセット後	—	—	—	—	—	—	—	—	
機能	"0x0000_00C5" をライトしてください								

(注1) 本レジスタは必ず 32 ビットでアクセスして下さい。ビット操作命令でもアクセスできません。

(5) ユーザー使用例

本機能を使用した DSU-PROBE の使用例を以下に示します。

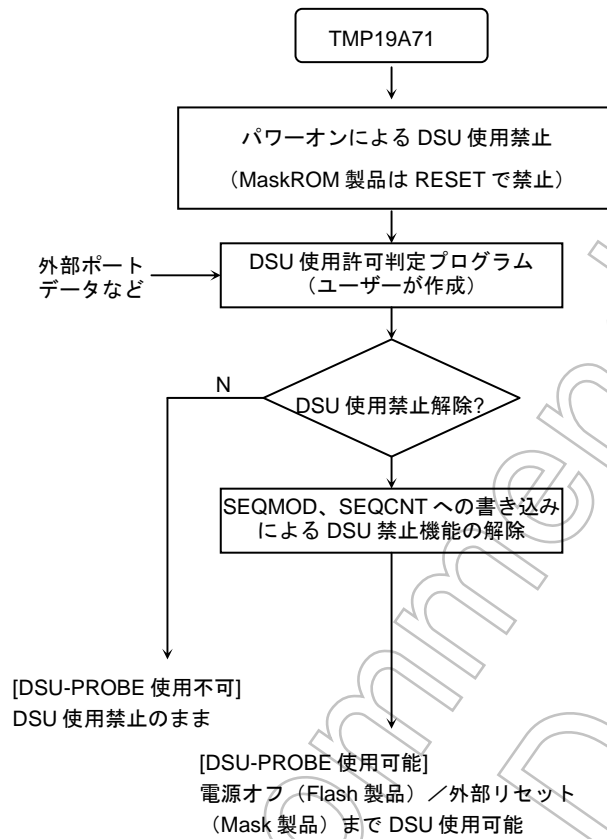


図 9.2.3 DSU 禁止機能の使用例

10. DMA コントローラ (DMAC)

TMP19A71 は 8 チャンネルの DMA コントローラを内蔵しています。

10.1 特長

TMP19A71 に内蔵している DMAC には以下に示す特長があります。

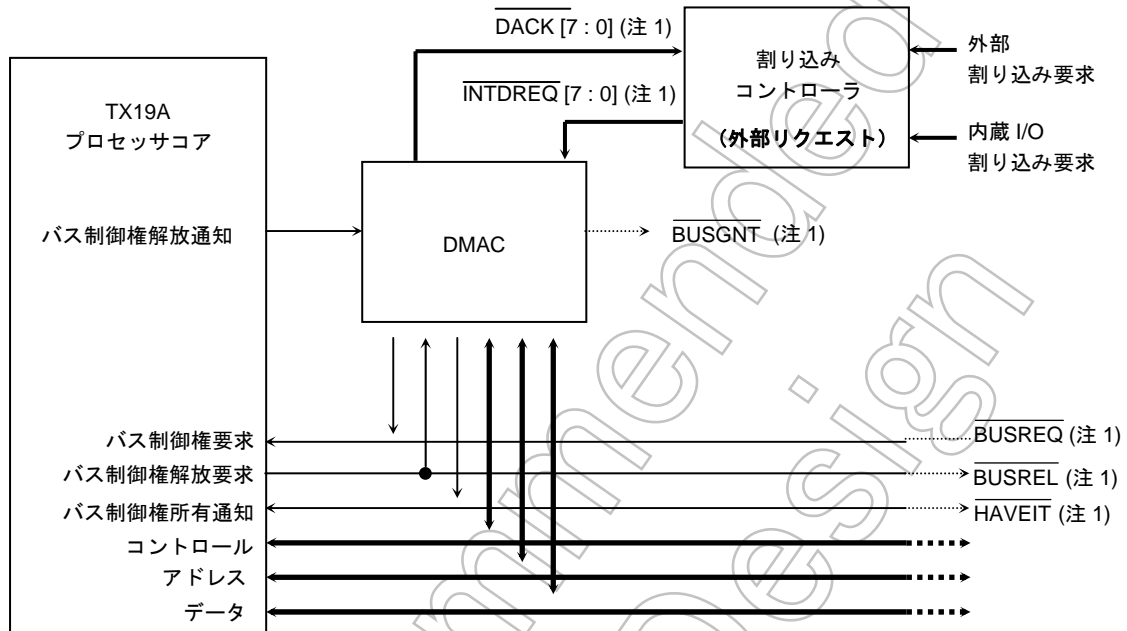
- (1) 独立した 8 チャンネルの DMA
- (2) 転送要求: 内部リクエスト (ソフトスタート)/外部リクエスト (外部割り込み、内蔵周辺 I/O からの割り込みによるリクエスト)
- (3) 転送モード: デュアルアドレスモード
- (4) 転送デバイス: メモリ→メモリ、メモリ→I/O、I/O→メモリ
- (5) デバイスサイズ: メモリ-32 ビット、I/O-8、16、32 ビット
- (6) アドレス変化: 増加/減少/固定/変則増加/変則減少
- (7) チャンネル間優先度: 固定

Not Recommended
for New Design

10.2 構成

10.2.1 TMP19A71 内部接続

TMP19A71 内部でのDMACの接続を図 10.2.1に示します。



(注1) 内部信号

図 10.2.1 TMP19A71 内部での DMAC の接続

DMACには8つのDMAチャンネルがあります。これら各チャンネルには割り込みコントローラからのデータ転送要求信号 (INTDREQ_n) と INTDREQ_n に対するアクリッジ信号 (DACK_n) とがあります。nはチャンネル番号で0~7を示します。チャンネル0の方がチャンネル1よりも優先度が高く、チャンネル1の方がチャンネル2よりも、チャンネル2の方がチャンネル3よりも優先度が高くなっています。以降のチャンネルについても同様です。

TX19Aプロセッサコアにはスヌープ機能があります。スヌープ機能では、TX19AプロセッサコアはコアのデータバスをDMACに対して開放します。したがって、DMACはこのときTX19Aプロセッサコアにつながっている内蔵ROMや内蔵RAMにアクセスすることができます。DMACはこのスヌープ機能を使用するかを選択することができます。スヌープ機能の詳細については「10.2.3スヌープ機能」を参照ください。

DMACはスヌープ機能の使用/不使用による2種類のバス制御権 (SREQ, GREQ) があります。GREQはスヌープ機能を使用しないバス制御権要求で、SREQはスヌープ機能を使用するバス制御権要求です。この2種類のバス制御権要求では、SREQの方がGREQより優先度が高くなっています。

(注1) デバッグモード (CP0レジスタの Debug<DM>="1") 時に SREQ で周辺機能にアクセスした場合、正常にアクセスが行われません。デバッグモード使用中は SREQ で周辺機能にアクセスしないでください。

10.2.2 DMAC 内部ブロック

DMACの内部ブロックを図 10.2.2に示します。

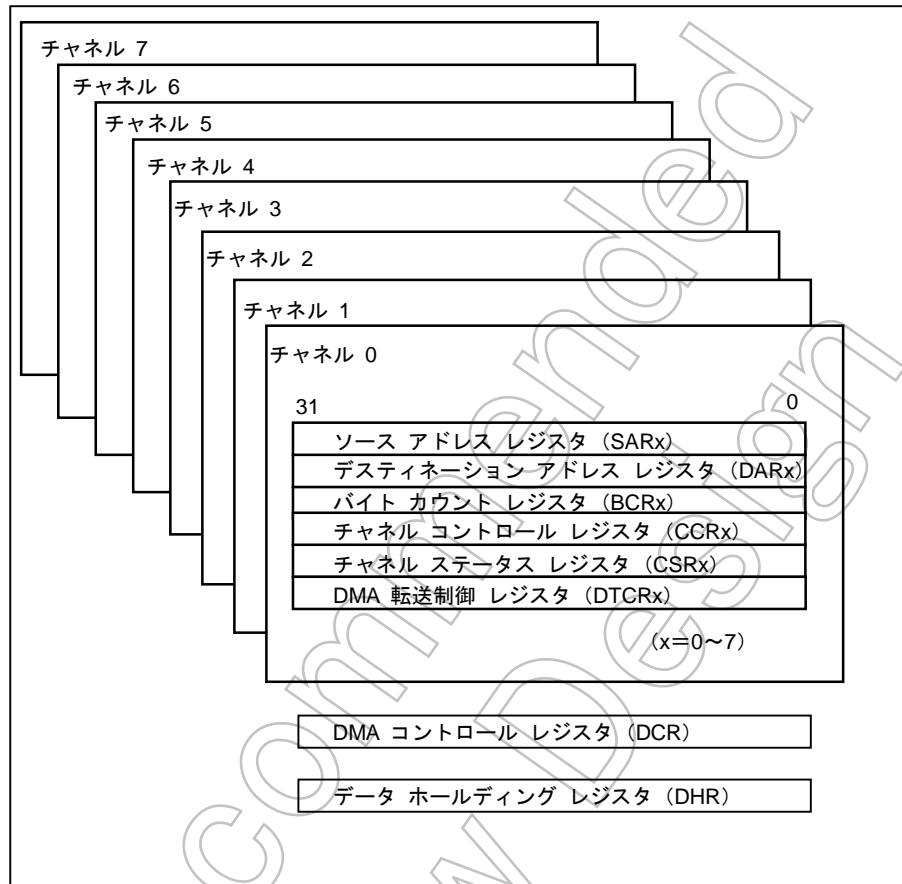


図 10.2.2 DMAC 内部ブロック

10.2.3 スヌープ機能

TX19A プロセッサコアには、スヌープ機能があります。

TX19A プロセッサコアは、スヌープ機能が働くとコアのデータバスを DMAC に対して開放します。コアは DMAC がバス制御権要求を取り下げるまで動作が停止します。スヌープ機能が働いているときに、DMAC は内蔵 RAM や内蔵 ROM にアクセスすることが可能になるので、ソースやデスティネーションとして指定することができます。

スヌープ機能を使用しない場合は、DMAC は内蔵 RAM、内蔵 ROM にアクセスできません。ただし、このときも G-Bus は DMAC へ開放していますので、TX19A プロセッサコアが G-Bus によりメモリもしくは I/O にアクセスしようとした場合には、DMAC がバス制御権開放要求に応えないかぎり、バスオペレーションを実行できないので、パイプラインはストールします。

(注 1) スヌープ機能を使用しないと、TX19A プロセッサコアはデータバスを DMAC に開放しません。この場合、DMAC のソースやデスティネーションに内蔵 RAM や内蔵 ROM を指定していると、DMAC の転送バスサイクルに対してアクノリッジ信号が返ってこないためバスがロックします。

10.2.4 レジスタ

DMACは 50 本の 32 ビットレジスタを内蔵しています。表 10.2.1 DMACレジスタ一覧にDMACのレジスタマップを示します。

表 10.2.1 DMACレジスタ一覧 (1/2)

アドレス	レジスタ記号	レジスタ名称
0xFFFF_D600	CCR0	チャンネル制御レジスタ (ch. 0)
0xFFFF_D604	CSR0	チャンネルステータスレジスタ (ch. 0)
0xFFFF_D608	SAR0	ソースアドレスレジスタ (ch. 0)
0xFFFF_D60C	DAR0	デスティネーションアドレスレジスタ (ch. 0)
0xFFFF_D610	BCR0	バイトカウントレジスタ (ch. 0)
0xFFFF_D618	DTCR0	DMA 転送制御レジスタ (ch. 0)
0xFFFF_D620	CCR1	チャンネル制御レジスタ (ch. 1)
0xFFFF_D624	CSR1	チャンネルステータスレジスタ (ch. 1)
0xFFFF_D628	SAR1	ソースアドレスレジスタ (ch. 1)
0xFFFF_D62C	DAR1	デスティネーションアドレスレジスタ (ch. 1)
0xFFFF_D630	BCR1	バイトカウントレジスタ (ch. 1)
0xFFFF_D638	DTCR1	DMA 転送制御レジスタ (ch. 1)
0xFFFF_D640	CCR2	チャンネル制御レジスタ (ch. 2)
0xFFFF_D644	CSR2	チャンネルステータスレジスタ (ch. 2)
0xFFFF_D648	SAR2	ソースアドレスレジスタ (ch. 2)
0xFFFF_D64C	DAR2	デスティネーションアドレスレジスタ (ch. 2)
0xFFFF_D650	BCR2	バイトカウントレジスタ (ch. 2)
0xFFFF_D658	DTCR2	DMA 転送制御レジスタ (ch. 2)
0xFFFF_D660	CCR3	チャンネル制御レジスタ (ch. 3)
0xFFFF_D664	CSR3	チャンネルステータスレジスタ (ch. 3)
0xFFFF_D668	SAR3	ソースアドレスレジスタ (ch. 3)
0xFFFF_D66C	DAR3	デスティネーションアドレスレジスタ (ch. 3)
0xFFFF_D670	BCR3	バイトカウントレジスタ (ch. 3)
0xFFFF_D678	DTCR3	DMA 転送制御レジスタ (ch. 3)
0xFFFF_D680	CCR4	チャンネル制御レジスタ (ch. 4)
0xFFFF_D684	CSR4	チャンネルステータスレジスタ (ch. 4)
0xFFFF_D688	SAR4	ソースアドレスレジスタ (ch. 4)
0xFFFF_D68C	DAR4	デスティネーションアドレスレジスタ (ch. 4)
0xFFFF_D690	BCR4	バイトカウントレジスタ (ch. 4)
0xFFFF_D698	DTCR4	DMA 転送制御レジスタ (ch. 4)
0xFFFF_D6A0	CCR5	チャンネル制御レジスタ (ch. 5)
0xFFFF_D6A4	CSR5	チャンネルステータスレジスタ (ch. 5)
0xFFFF_D6A8	SAR5	ソースアドレスレジスタ (ch. 5)
0xFFFF_D6AC	DAR5	デスティネーションアドレスレジスタ (ch. 5)
0xFFFF_D6B0	BCR5	バイトカウントレジスタ (ch. 5)
0xFFFF_D6B8	DTCR5	DMA 転送制御レジスタ (ch. 5)
0xFFFF_D6C0	CCR6	チャンネル制御レジスタ (ch. 6)
0xFFFF_D6C4	CSR6	チャンネルステータスレジスタ (ch. 6)
0xFFFF_D6C8	SAR6	ソースアドレスレジスタ (ch. 6)
0xFFFF_D6CC	DAR6	デスティネーションアドレスレジスタ (ch. 6)
0xFFFF_D6D0	BCR6	バイトカウントレジスタ (ch. 6)
0xFFFF_D6D8	DTCR6	DMA 転送制御レジスタ (ch. 6)

表 10.2.2 DMAC レジスタ一覧 (2/2)

アドレス	レジスタ記号	レジスタ名称
0xFFFF_D6E0	CCR7	チャンネル制御レジスタ (ch. 7)
0xFFFF_D6E4	CSR7	チャンネルステータスレジスタ (ch. 7)
0xFFFF_D6E8	SAR7	ソースアドレスレジスタ (ch. 7)
0xFFFF_D6EC	DAR7	デスティネーションアドレスレジスタ (ch. 7)
0xFFFF_D6F0	BCR7	バイトカウントレジスタ (ch. 7)
0xFFFF_D6F8	DTCR7	DMA 転送制御レジスタ (ch. 7)
0xFFFF_D700	DCR	DMA 制御レジスタ (DMAC)
0xFFFF_D704	Reseved	
0xFFFF_D70C	DHR	データホールディングレジスタ (DMAC)

(注1) DMAC のレジスタは 32 ビットですが、レジスタを 8 ビットに分割することで 8/16 ビットアクセスすることが可能です。例えば CCR0[31:0] ならば CCR0[7:0]=CCROLL、CCR0[15:8]=CCROLH、CCR0[23:16]=CCROHL、CCR0[31:24]=CCROHH の 8 ビットのレジスタ 4 つに分割することが可能です。詳細は「17. 特殊機能レジスタ一覧」を参照してください。

DMAC コントローラはチャンネルによる機能の違いは基本的にありませんので、レジスタ説明につきましては DMAC0 についてのみ記載しております。

10.2.5 DMA 制御レジスタ (DCR)

DCR
(0xFFFF_D700)

	7	6	5	4	3	2	1	0
bit Symbol	Rst7	Rst6	Rst5	Rst4	Rst3	Rst2	Rst1	Rst0
Read/Write	W	W	W	W	W	W	W	W
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-							
Read/Write	R							
リセット後	0x00							
	23	22	21	20	19	18	17	16
bit Symbol	-							
Read/Write	R							
リセット後	0x00							
	31	30	29	28	27	26	25	24
bit Symbol	Rstall	-						
Read/Write	W	R						
リセット後	0	0	0	0	0	0	0	0

ビット	ニモニック	フィールド名	説明
31	Rstall	リセットオール	DMAC のソフトウェアリセットを行います。Rstall ビットが 1 にセットされると、DMAC の内部レジスタの値はすべて初期値になります。また、すべての転送要求は取り消され、8 つのチャンネルは停止状態になります。 0: Don't care 1: DMAC を初期化
7	Rst7	リセット 7	DMAC チャンネル 7 のソフトウェアリセットを行います。Rst7 ビットが 1 にセットされると、DMAC チャンネル 7 の内部レジスタは初期値になります。また、チャンネル 7 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 7 を初期化
6	Rst6	リセット 6	DMAC チャンネル 6 のソフトウェアリセットを行います。Rst6 ビットが 1 にセットされると、DMAC チャンネル 6 の内部レジスタは初期値になります。また、チャンネル 6 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 6 を初期化
5	Rst5	リセット 5	DMAC チャンネル 5 のソフトウェアリセットを行います。Rst5 ビットが 1 にセットされると、DMAC チャンネル 5 の内部レジスタは初期値になります。また、チャンネル 5 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 5 を初期化

ビット	ニモニック	フィールド名	説明
4	Rst4	リセット 4	DMAC チャンネル 4 のソフトウェアリセットを行います。Rst4 ビットが 1 にセットされると、DMAC チャンネル 4 の内部レジスタは初期値になります。また、チャンネル 4 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 4 を初期化
3	Rst3	リセット 3	DMAC チャンネル 3 のソフトウェアリセットを行います。Rst3 ビットが 1 にセットされると、DMAC チャンネル 3 の内部レジスタは初期値になります。また、チャンネル 3 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 3 を初期化
2	Rst2	リセット 2	DMAC チャンネル 2 のソフトウェアリセットを行います。Rst2 ビットが 1 にセットされると、DMAC チャンネル 2 の内部レジスタは初期値になります。また、チャンネル 2 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 2 を初期化
1	Rst1	リセット 1	DMAC チャンネル 1 のソフトウェアリセットを行います。Rst1 ビットが 1 にセットされると、DMAC チャンネル 1 の内部レジスタは初期値になります。また、チャンネル 1 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 1 を初期化
0	Rst0	リセット 0	DMAC チャンネル 0 のソフトウェアリセットを行います。Rst0 ビットが 1 にセットされると、DMAC チャンネル 0 の内部レジスタは初期値になります。また、チャンネル 0 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 0 を初期化

(注 1) ソフトリセット機能を使用する時、DMA 転送の最後の転送が終了した直後に DCR レジスタへの書き込みが発生した場合、チャンネルレジスタ等の初期化は行われますが、DMA 転送終了割り込みはキャンセルされません。

(注 2) DCR レジスタへの書き込み（ソフトリセット）を DMA 転送を利用して行うような使い方は避けてください。

(注 3) 本レジスタはビット操作命令でアクセスできません。

10.2.6 チャネル制御レジスタ (CCRO)

CCRO
(0xFFFF_D600)

	7	6	5	4	3	2	1	0
bit Symbol	SAC	D10	DAC		TrSiz		DPS	
Read/Write	R/W	R/W	R/W		R/W		R/W	
リセット後	0	0	00		00		00	
	15	14	13	12	11	10	9	8
bit Symbol	-	ExR	-	-	-	-	ST10	SAC
Read/Write	R/W	R/W	R/W				R/W	R/W
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	NIEn	AbIEEn	-	-	-	-	-	-
Read/Write	R/W	R/W	R/W	R/W			R/W	R/W
リセット後	1	1	1	0	0	0	1	0
	31	30	29	28	27	26	25	24
bit Symbol	Str	-	-	-	-	-	-	-
Read/Write	W	R				W		
リセット後	0	0	0	0	0	0	0	-

ビット	ニモニク	フィールド名	説明
31	Str	チャネルスタート	Start (初期値-) チャネル動作を起動します。このビットに1をセットすることにより、チャネルが待機状態になり、転送要求に応じてデータ転送を開始します。 Str ビットへの書き込みは1のみが有効で、0の書き込みは無視します。また、読み出すと常に0です。 1: チャネル動作を起動
24	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
23	NIE0	正常終了割り込み許可	Normal Completion Interrupt Enable (初期値1) 1: 正常終了割り込みを許可 0: 正常終了割り込みを禁止
22	AbIE0	異常終了割り込み許可	Abnormal Completion Interrupt Enable (初期値1) 1: 異常終了割り込みを許可 0: 異常終了割り込みを禁止
21	—	(予約済み)	<u>このビットは予約ビットです。初期値は“1”ですが、常に“0”を設定してください。</u>
20 : 18	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
17	—	(予約済み)	<u>このビットは予約ビットです。初期値は“1”ですが、常に“0”を設定してください。</u>
16 : 15	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
14	ExR	外部リクエストモード	External Request Mode (初期値0) 転送要求モードを指定します。 1: 外部転送要求 (割り込み要求) 0: 内部転送要求 (ソフトスタート)
13	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。

ビット	ニモニック	フィールド名	説明
12	—	(予約済み)	このビットは予約ビットです。初期値は“0”ですが、常に“1”を設定してください。
11	SReq	スヌープ要求	Snoop Request (初期値 0) バス制御権要求モードとしてスヌープ機能の使用を指定します。使用する場合、TX19A プロセッサコアのスヌープ機能が有効になり、DMAC はコアのデータバスを使用できます。使用しない場合、TX19A プロセッサコアのスヌープ機能は働きません。 1: スヌープ機能を使用する (SREQ)。 0: スヌープ機能を使用しない (GREQ)。
10	RelEn	バス制御権解放要求許可	Release Request Enable (初期値 0) TX19A プロセッサコアからのバス制御権解放要求に対して応答することを指定します。 この機能は GREQ のときのみ有効です。SREQ のときには TX19A プロセッサコアはバス制御権解放要求を出せないなのでこの機能は無効になります。 1: DMAC がバス権を所有しているときに、バス制御権解放要求に応えます。TX19A プロセッサコアがバス制御権解放要求を発行すると、DMAC はバスオペレーションの切れ目でバス制御権をコアに返します。 0: バス制御権解放要求に応えません。
9	STIO	ソース I/O	Source Type: I/O (初期値 0) ソースデバイスを指定します。 1: I/O デバイス 0: メモリ
8 : 7	SAC	ソースアドレスカウン ト	Source Address Count (初期値 00) ソースのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
6	DIO	デスティネーション I/O	Destination Type: I/O (初期値 0) デスティネーションデバイスを指定します。 1: I/O デバイス 0: メモリ
5 : 4	DeAC	デスティネーションア ドレスカウン ト	Destination Address Count (初期値 00) デスティネーションのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
3 : 2	TrSiz	転送単位	Transfer Size (初期値 00) 1 回の転送要求に対する転送データ量を示します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト)
1 : 0	DPS	デバイスポートサイズ	Device Port Size (初期値 00) ソースデバイスもしくはデスティネーションデバイスとして指定した I/O デバイスのバス幅を指定します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト)

- (注 1) CCRn レジスタの設定は DMAC を待機状態にする前に行ってください。
待機後は変更しないでください。
- (注 2) メモリ間転送の時には、DPS にセットされた値は無効になります。
- (注 3) CCRn<D10>=1 (IO デバイス) に設定した場合、ディスティネーションデバイスに
内蔵 RAM 及び CG、IRC のレジスタを指定しないで下さい。
- (注 4) 本レジスタはビット操作命令でアクセスできません。

10.2.7 チャンネルステータスレジスタ (CSRO)

CSRO
(0xFFFF_D604)

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R				R/W			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	NC	AbC	-	BES	BED	Conf	-	-
Read/Write	R/W			R				
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	Act	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

ビット	モニタック	フィールド名	説明
31	Act	チャンネルアクティブ	Channel Active (初期値 0) チャンネルが待機状態であることを示します。 1: チャンネルは待機状態である。 0: チャンネルは待機状態でない。
23	NC	正常終了	Normal Completion (初期値 0) チャンネル動作が正常終了したことを示します。CCR レジスタによって正常終了時の割り込みが許可されている場合、NC ビットが "1" になると、DMAC は割り込みを要求します。 NC ビットに "0" を書き込むことによりクリアできます。正常終了により割り込みを要求していた場合、NC ビットが "0" になると、割り込み要求をとりさげます。 NC ビットが "1" のとき、Str ビットを "1" にセットしようとする とエラーになります。次の転送を開始するときには、NC ビット を "0" にクリアしてください。"1" の書き込みは無視されます。 1: チャンネル動作が正常終了。 0: チャンネル動作が正常終了していない。

ビット	ニモニック	フィールド名	説明
22	AbC	異常終了	Abnormal Completion (初期値 0) チャンネル動作が異常終了したことを示します。CCR レジスタによって異常終了時の割り込みが許可されている場合、AbC ビットが” 1”になると、DMAC は割り込みを要求します。AbC ビットは” 0”を書き込むことによりクリアできます。異常終了により割り込みを要求していた場合、AbC ビットが” 0”になると、割り込み要求をとり上げます。また、AbC ビットが” 0”にクリアされると、BES、BED および Conf の各ビットを” 0”にクリアします。 AbC ビットが” 1”のとき、Str ビットを” 1”にセットしようとするエラーになります。次の転送を開始するときには、AbC ビットを” 0”にクリアしてください。” 1”の書き込みは無視されます。 1: チャンネル動作が異常終了。 0: チャンネル動作が異常終了していない。
21	—	(予約済み)	このビットは予約ビットです。常に” 0”を設定してください。
20	BES	ソースバスエラー	Source Bus Error (初期値 0) 1: ソースアクセス時にバスエラー発生。 0: ソースアクセス時にバスエラー発生していない。
19	BED	デスティネーションバスエラー	Destination Bus Error (初期値 0) 1: デスティネーションアクセス時にバスエラー発生した。 0: デスティネーションアクセス時にバスエラー発生していない。
18	Conf	コンフィグレーションエラー	Configuration Error (初期値 0) 1: コンフィグレーションエラー発生。 0: コンフィグレーションエラー発生していない。
2 : 0	—	(予約済み)	このビットは予約ビットです。常に” 0”を設定してください。

10.2.8 ソースアドレスレジスタ (SAR0)

SAR0 (0xFFFF_D608)		7	6	5	4	3	2	1	0
	bit Symbol	SAddr							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
		15	14	13	12	11	10	9	8
	bit Symbol	SAddr							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
		23	22	21	20	19	18	17	16
	bit Symbol	SAddr							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24	
bit Symbol	SAddr								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	

ビット	ニモニック	フィールド名	説明
31 : 0	SAddr	ソースアドレス	Source Address (初期値—) データ転送元となるソースのアドレスを 物理アドレス で設定します。CCRO のSAC, TrSizで指定された内容と、DTCRO のSACMで指定された内容に従ってアドレスが変化します。

10.2.9 デスティネーションアドレスレジスタ (DAR0)

DAR0 (0xFFFF_D60C)

	7	6	5	4	3	2	1	0
bit Symbol	DAddr							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	DAddr							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	DAddr							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	DAddr							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ビット	ニモニック	フィールド名	説明
31 : 0	DAddr	デスティネーションアドレス	Destination Address (初期値) データ転送先となるデスティネーションのアドレスを物理アドレスで設定します。CCRO のDAC, TrSizで指定された内容と、DTCRO のDACMで指定された内容に従ってアドレスが変化します。

10.2.10 バイトカウントレジスタ (BCR0)

BCR0
(0xFFFF_D610)

	7	6	5	4	3	2	1	0
bit Symbol	BC							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	BC							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	BC							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

ビット	ニモニク	フィールド名	説明
23 : 0	BC	バイトカウント	Byte Count (初期値) データ転送するバイト数を設定します。転送したデータ数分ずつ (CCRn の TrSiz で指定した値ずつ) アドレスが減少します。

10.2.11 DMA 転送制御レジスタ (DTCRO)

DTCRO
(0xFFFF_D618)

	7	6	5	4	3	2	1	0
bit Symbol	-	-	DACM			SACM		
Read/Write	R			R/W				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

ビット	ニモニク	フィールド名	説明
5 : 3	DACM	デスティネーションアドレスカウントモード	Destination Address Count Mode デスティネーションアドレスのカウントモードを指定します。 000: ビット0 からカウント 001: ビット4 からカウント 010: ビット8 からカウント 011: ビット12 からカウント 100: ビット16 からカウント 101: 予約済み 110: 予約済み 111: 予約済み
2 : 0	SACM	ソースアドレスカウントモード	Source Address Count Mode ソースアドレスのカウントモードを指定します。 000: ビット0 からカウント 001: ビット4 からカウント 010: ビット8 からカウント 011: ビット12 からカウント 100: ビット16 からカウント 101: 予約済み 110: 予約済み 111: 予約済み

10.2.12 データホールディングレジスタ (DHR)

DHR (0xFFFF_D70C)		7	6	5	4	3	2	1	0
	bit Symbol	DOT							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
		15	14	13	12	11	10	9	8
	bit Symbol	DOT							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
		23	22	21	20	19	18	17	16
	bit Symbol	DOT							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24	
bit Symbol	DOT								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	

ビット	ニモニック	フィールド名	説明
31 : 0	DOT	転送データ	Data on Transfer (初期値) デュアルアドレスモードでの転送で、ソースからリードしたデータです。

10.3 機能

本節では、DMAC について機能を説明します。

10.3.1 概要

DMAC は TX19A プロセッサコアを用いたシステム内のデータ転送を、コアを介さずに高速に行うことができる 32 ビット DMA コントローラです。

(1) ソースとデスティネーション

DMAC は、メモリ-メモリ間、あるいはメモリ-I/O デバイス間のデータ転送を行います。データ転送元のデバイスをソースデバイス、データ転送先のデバイスをデスティネーションデバイスと呼びます。ソースデバイス、デスティネーションデバイスとして、メモリまたは I/O デバイスを指定できます。ただし、DMAC が転送するのは、メモリ→I/O デバイス、I/O デバイス→メモリ、メモリ→メモリであり、I/O デバイス→I/O デバイスの転送はできません。

メモリと I/O デバイスとの違いは、デバイスへのアクセス方法です。DMAC は I/O デバイスにアクセスする際、DACKn 信号をアサートします。DACKn 信号は 1 チャンネルあたり 1 本しかありませんので、転送時に扱うことができる I/O デバイスは 1 つに限られます。このため、I/O デバイス-I/O デバイス間の転送はできません。

DMAC への転送要求に割り込み要因を指定することができます。割り込み要因が発生すると割り込みコントローラ (INTC) が DMAC に対してリクエストを出します (このとき TX19A プロセッサコアに対しては割り込み要求は通知されません。この INTC からの要求は DACKn 信号によってクリアされます。したがって、転送デバイスとして I/O デバイスが設定されているときには DMAC への要求は 1 回の転送 (TrSiz で指定した転送サイズ分の転送) ごとに解除されます。これに対してメモリ→メモリ転送に設定した場合には転送バイト数 (BCRn レジスタの値) が “0” になったときだけ DACKn がアサートされるので、1 回の転送要求で連続してデータ転送を行います。

内蔵 I/O はメモリとして扱います。例えば、TMP19A71 の内蔵 I/O と内蔵メモリ間で転送を行う場合、内蔵 I/O から DMAC へ要求は 1 回の転送ごとにクリアされますが、転送バイト数 (BCRn レジスタの値) が “0” にならない限り次の転送要求待ちの状態になります。したがって、BCRn レジスタの値が “0” になるまで DMA 転送を連続して行います。

(2) バス制御権の受け渡し (バスアービトレーション)

DMAC は、DMAC 内部からの転送要求により、TX19A プロセッサコアにバス制御権を要求します。応答信号がコアから返ってくると、バス制御権を獲得してデータ転送のバスサイクルを実行します。

DMAC のバス制御権要求には、TX19A プロセッサコアのデータバスを使用できるスヌープを要求するモードと要求しないモードとがあります。モードの選択はチャンネルごとに CCRn レジスタのビット 11 (SReq) で設定します。

また、TX19A プロセッサコアがバス制御権の解放を求める場合があります。この要求に応答するかはチャンネルごとに CCRn レジスタのビット 10 (RelEn) で設定します。ただし、この機能はスヌープを要求しないモード (GREQ) のときのみ有効です。スヌープを要求するモード (SREQ) のときには TX19A プロセッサコアはバス制御権解放要求を出せないでこの機能は無効になります。

転送要求がなくなると、DMAC はバス制御権を解放します。

(注 1) DMAC がバス制御権を獲得中は NMI も保留されます。

(注 2) DMAC 動作中は Halt 動作に移行しないでください。

(3) 転送要求モード

DMAC の転送要求モードには、内部転送要求モードと外部転送要求モードとがあります。

内部転送要求モードは、DMAC 内部で転送要求を発生するモードです。DMAC 内蔵レジスタのスタートビット (チャンネル制御レジスタ CCRn の Str ビット) に “1” をセットすると転送要求が発生し、DMAC は転送動作を開始します。

外部転送要求モードはスタートビットに “1” をセットした後、INTC が出力する転送要求信号 (INTDREQn) の入力転送要求が発生するモードです。DMAC は INTDREQn 信号の “L” レベル検出で転送要求が発生します。

(4) アドレスモード

TMP19A71 の DMAC が持っているアドレスモードは、デュアルアドレスモードのみです。シングルアドレスモードはありません。

デュアルアドレスモードでは、メモリ-メモリ間またはメモリ-I/O デバイス間のデータ転送を行います。ソースデバイスおよびデスティネーションデバイスのアドレスは DMAC が出力します。I/O デバイスにアクセスする際、DMAC は DACKn 信号をアサートします。このモードでは、リードオペレーションとライトオペレーションの 2 つのバスオペレーションを実行します。なお、ソースデバイスから読み出した転送データは、DMAC 内部のデータホールディングレジスタ (DHR) にいったん取り込んだ後、デスティネーションデバイスへ書き込みます。

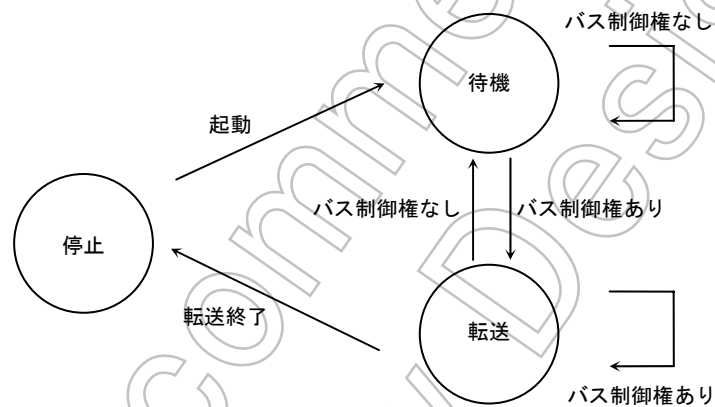
(5) チャンネル動作

DMACには8つのチャンネル（チャンネル0～チャンネル7）があります。チャンネルは、チャンネル制御レジスタ（CCRn）のスタート（Str）ビットを“1”にセットすることにより起動され、待機状態になります。

チャンネルが待機状態のときに転送要求が発生すると、DMACはバス制御権を獲得してデータ転送を行います。転送要求がなくなると、DMACはバス制御権を解放して待機状態になります。転送が終了すると、チャンネルは停止状態になります。転送終了には、正常終了と、バスエラーなどによる異常終了とがあります。転送終了時には割り込み信号が発生することができます。

チャンネル動作の状態遷移の概略を図 10.3.1に示します。

図 10.3.1 チャンネル動作の状態遷移



(6) 転送方式組み合わせまとめ

DMAC は各モードの組み合わせにより、下表の転送ができます。

表 10.3.1 DMAC モード組み合わせ

転送要求	エッジ/レベル	アドレスモード	転送デバイス
内部 (ソフト)	—	デュアル	メモリ→メモリ
外部 (割り込み)	“L” レベル (INTDREQn)		メモリ→メモリ
			メモリ→I/O
			I/O→メモリ

(7) アドレス変化

アドレス変化には大きくわけて増加、減少、固定の 3 タイプがあります。CCRn レジスタの SAC、DAC によりソースアドレスとデスティネーションアドレスごとに設定できます。デバイスがメモリの場合には増加、減少、固定とどれでも指定できますが、I/O デバイスは固定しか選択できません。ソースデバイスまたはデスティネーションデバイスに I/O デバイスを選択したときは CCRn レジスタの SAC または DAC の設定をアドレス固定にしてください。

アドレス変化に増加もしくは減少を選んだ場合、カウントするビット位置を DTCRn レジスタの SACM、DACM で設定できます。SACM がソースアドレスで、DACM がデスティネーションアドレスに対しての設定になります。アドレスをカウントするビット位置としてはビット 0, 4, 8, 12, 16 を指定できます。ビット 0 を選択したときは通常の増加、減少になります。ビット 4, 8, 12, 16 を指定することで変則増加、変則減少をさせることができます。

通常の増加、減少の場合は SACM 及び DACM は CCRn<TrSiz>の設定値に応じてアドレスは”1”, ”2”, ”4” ずつ増減します。変則増加、変則減少の場合は CCRn<TrSiz>によらず常にビット 4, 8, 12, 16 が”1” ずつ増減します。

アドレス変化の例を示します。

例 1) ソースデバイスは単調増加、デスティネーションが変則増加のとき

SAC: アドレス増加
 DAC: アドレス増加
 TrSiz: 転送単位 32 ビット
 ソースアドレス: 0xA000_1000
 デスティネーションアドレス: 0xB000_0000
 SACM: 000 → アドレスカウンターの 0 ビット目からカウントする。
 DACM: 001 → アドレスカウンターの 4 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0xA000_1004	0xB000_0010
3 回目	0xA000_1008	0xB000_0020
4 回目	0xA000_100C	0xB000_0030

...

...

例 2) ソースデバイスは変則減少、デスティネーションが単調減少のとき

SAC: アドレス減少
 DAC: アドレス減少
 TrSiz: 転送単位 16 ビット
 ソースアドレス: 初期値 0xA000_0000
 デスティネーションアドレス: 0xB000_0000
 SACM: 010 → アドレスカウンターの 8 ビット目からカウントする。
 DACM: 000 → アドレスカウンターの 0 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_0000	0xB000_0000
2 回目	0x9FFF_FF00	0xAFFF_FFFE
3 回目	0x9FFF_FE00	0xAFFF_FFFC
4 回目	0x9FFF_FD00	0xAFFF_FFFA

10.3.2 転送要求

DMAC でデータ転送を行うためには、DMAC に対して転送要求が発生する必要があります。DMAC の転送要求には、内部転送要求と外部転送要求との 2 種類があります。転送要求はチャンネルごとに設定できます。

どちらの転送要求の場合でも、チャンネル動作が起動された後に転送要求が発生すると DMAC はバス制御権を獲得してデータ転送を行います。

- 内部転送要求

CCRn の ExR ビットが “0” であるとき、CCR の Str ビットに “1” をセットすると、ただちに転送要求が発生します。この転送要求を内部転送要求と呼びます。

内部転送要求では、チャンネル動作が終了するまで転送要求がありますので、優先度の高いチャンネルへの遷移や、他の優先度の高いバスマスタへのバス制御権の遷移が起こらない限り、連続してデータ転送を行います。

内部転送要求では、メモリ-メモリ間転送のみ可能です。

- 外部転送要求

CCRn の ExR ビットが “1” であるとき、CCR の Str ビットに “1” をセットしてチャンネルが待機状態になった後、チャンネルに対応する $\overline{\text{INTDREQn}}$ 信号により転送要求が INTC から通知されると、転送要求が発生します。この転送要求を外部転送要求と呼びます。外部転送要求は、メモリ-メモリ間、メモリ-I/O デバイス間の転送に用います。

TMP19A71 のリクエスト信号の認識方法は、 $\overline{\text{INTDREQn}}$ 信号の “L” レベル検出のみです。

1 回の転送要求に対するデータ転送単位は CCRn の TrSiz フィールドで指定します。32 ビット、16 ビット、あるいは 8 ビットを指定できます。

$\overline{\text{INTDREQn}}$ による転送要求の詳細を次に説明します。

① 割り込みコントローラ（INTC）からの要求

\overline{DACKn} 信号によってクリアされます。この \overline{DACKn} 信号は I/O デバイスへのバスサイクル、もしくはメモリ-メモリ間転送で転送バイト数（BCRn レジスタの値）が“0”になったときだけアサートされます。したがって、メモリ-I/O デバイス間転送では、転送要求ごとに $\overline{INTDREQn}$ がクリアされるので、TrSiz で指定した転送サイズ分の転送が 1 回行われるだけです。一方、メモリ-メモリ間転送では、転送バイト数（BCRn レジスタの値）が“0”になるまで $\overline{INTDREQn}$ がクリアされないので、1 回の転送要求で連続してデータ転送が行えます。

なお、 $\overline{INTDREQn}$ に指定した割り込みを、DMAC が受け付けて DMA 転送を開始する前に INTC などでもクリアした場合には、タイミングによっては DMA 転送が割り込み要求がクリアされた後に 1 回実行されることがあります。

Not Recommended
for New Design

10.3.3 アドレスモード

アドレスモードは、DMAC がソースデバイス、デスティネーションデバイスの双方にアドレスを出力して転送動作を行うか、あるいは一方のデバイスにのみアドレスを出力して転送動作を行うかを指定します。前者をデュアルアドレスモード、後者をシングルアドレスモードと呼びます。TMP19A71 には前者のデュアルアドレスモードしかありません。

デュアルアドレスモードでは、DMAC はまずソースデバイスに対するリードオペレーションを実行します。このときソースデバイスが出力したデータを、DMAC 内部のレジスタ (DHR) にいったん格納します。次にデスティネーションデバイスに対するライトオペレーションを実行することによって、このデータを書き込み、ソースデバイスからデスティネーションデバイスへのデータ転送を実現します。

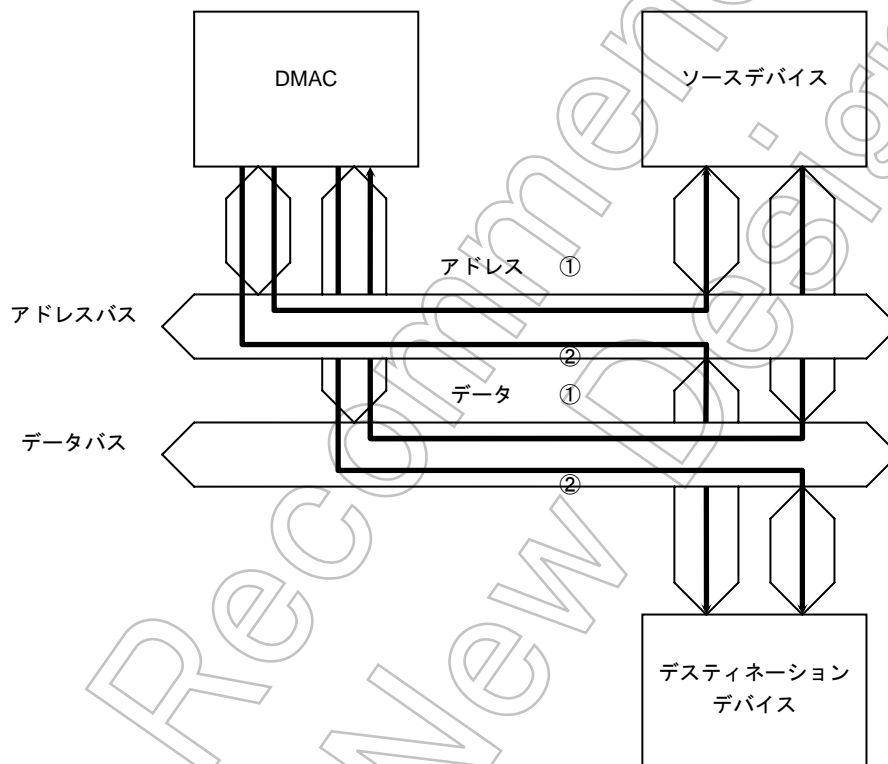


図 10.3.32 デュアルアドレスモード転送の概念図

DMAC のデータ転送単位は、CCRn の TrSiz フィールドで指定したデータ量 (32 ビット、16 ビットまたは 8 ビット) です。転送要求を認識するとこの転送単位分のデータを転送します。

デュアルアドレスモードでは、データ転送単位分のデータをソースデバイスから DHR に読み込み、次にそのデータをデスティネーションデバイスに書き込みます。

メモリへのアクセスは設定したデータ転送単位で発生します。

メモリ→I/O デバイス、あるいは I/O デバイス→メモリのデータ転送では、データ転送単位とは別に I/O デバイスのバス幅 (デバイスポートサイズ) を CCRn の DPS フィールドで指定します (32 ビット、16 ビット、または 8 ビット)。

データ転送単位とデバイスポートサイズが等しい場合には、I/O デバイスに対して 1 回のリードオペレーションまたはライトオペレーションを行います。

データ転送単位よりデバイスポートサイズが小さい場合には、DMAC は I/O デバイスへ複数回のリードオペレーションあるいはライトオペレーションを行います。例えば、データ転送単位が 32 ビットで、デバイスポートサイズが 8 ビットの I/O からメモリへ転送を行う場合には、I/O デバイスから 8 ビットずつ 4 回データを読み出して DHR に格納し、次にメモリへ 32 ビット分のデータを 1 回で書き込みます。

アドレスはデータ転送単位ずつ変化します。BCRn の値もデータ転送単位ずつ変化します。データ転送単位よりもデバイスポートサイズが大きい設定は禁止です。まとめると、表 10.3.2 のようになります。

表 10.3.2 データ転送単位とデバイスポートサイズ (デュアルアドレスモード)

TrSiz	DPS	I/O デバイスに対する バスオペレーション
0x (32 ビット)	0x (32 ビット)	1 回
0x (32 ビット)	10 (16 ビット)	2 回
0x (32 ビット)	11 (8 ビット)	4 回
10 (16 ビット)	0x (32 ビット)	設定禁止
10 (16 ビット)	10 (16 ビット)	1 回
10 (16 ビット)	11 (8 ビット)	2 回
11 (8 ビット)	0x (32 ビット)	設定禁止
11 (8 ビット)	10 (16 ビット)	設定禁止
11 (8 ビット)	11 (8 ビット)	1 回

10.3.4 チャネル動作

チャネルは、各チャネルのCCRnのStrビットが“1”にセットされると起動されます。チャネルが起動されると、起動のチェックが行われ、エラーがない場合にはそのチャネルは待機状態になります。

チャネルが待機状態であるときに転送要求が発生すると、DMACはバス制御権を獲得して、転送動作を開始します。

チャネル動作の終了には、正常終了と、エラー発生などによる異常終了とがあります。終了したときの状態は、CSRnに示されます。

チャネル動作の開始

チャネルはCCRnのStrビットが“1”にセットされると起動されます。

チャネルが起動されると、コンフィグレーションエラーのチェックを行い、エラーがなければ待機状態になります。エラーが検出されると、チャネルは異常終了します。チャネルが待機状態になると、そのチャネルのCSRnのActビットが“1”になります。

チャネルが内部転送要求に設定されている場合には、ただちに転送要求が発生し、DMACはバス制御権を得てデータ転送を開始します。チャネルが外部転送要求に設定されている場合には、INTDREQnがアサートされるとDMACはバス制御権を得てデータ転送を開始します。

チャネル動作の終了

チャネル動作の終了には、正常終了と異常終了とがあります。正常終了であるか異常終了であるかは、CSRnに示されます。

CSRnレジスタのNCビットあるいはAbCビットが“1”のときにCCRnレジスタのStrビットに“1”をセットしようとする、チャネル動作は開始せず、異常終了となります。

正常終了

チャネルが正常終了するのは、次の場合です。なお、正常終了では、かならずデータ転送単位(CCRnのTrSizフィールドで設定した値)での転送終了後の終了となります。

- BCRnの内容が0になりデータ転送が終了した場合

異常終了

DMACの異常終了には次のものがあります。

- コンフィグレーションエラーによる終了

コンフィグレーションエラーとは、DMA転送の設定の誤りです。コンフィグレーションエラーはデータ転送動作を開始する前に発生しますので、SARn、DARn、BCRnの値は設定時のままです。コンフィグレーションエラーでチャネルが異常終了すると、CSRnのAbCビットが“1”にセットされると同時にConfビットも“1”にセットされます。以下にコンフィグレーションエラーの要因を示します。

- SIOとDIOの両方に“1”をセットした。
- CSRnのNCビットあるいはAbCビットの値が“1”であるときにCCRnのStrビットに“1”をセットした。
- BCRnにデータ転送単位で割り切れない値を設定した。
- SARn、DARnにデータ転送単位で割り切れない値を設定した。
- デバイスポートサイズとデータ転送単位を禁止された組み合わせに設定した。
- BCRnの値が0のときにCCRnのStrビットに“1”をセットした。

- バスエラーによる終了

バスエラーによる異常終了では、CSRn の AbC ビットに “1” がセットされると同時に、CSRn の BES ビットあるいは BED ビットに “1” がセットされます。

- データ転送中にバスエラーが通知された。

(注 1) バスエラーで終了した場合の BCR、SAR、DAR の値は保証されません。
バスエラーを起こす場合は後述の「18. 特殊機能レジスタ一覧表」を参照してください。

10.3.5 チャンネルの優先順位

DMAC にある 8 つのチャンネルのうち、チャンネル番号の小さい方の優先度が常に高くなっています。このため、チャンネル 0 とチャンネル 1 と同時に転送要求が発生すると、チャンネル 0 の転送要求に対する転送動作をまず行います。チャンネル 0 の転送要求がなくなった時点でチャンネル 1 に依然として転送要求が発生していれば、チャンネル 1 の転送動作を実行します（内部転送要求では、転送要求は保持されています。外部転送要求では、割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定がエッジモードのときには割り込みコントローラが転送要求を保持していますが、レベルモードでは割り込みコントローラは転送要求を保持しません。割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定をレベルモードにした場合には、割り込み要求信号をアサートし続けてください）。

また、チャンネル 1 のデータ転送中にチャンネル 0 に転送要求が発生すると、チャンネル遷移が起こります。チャンネル 1 のデータ転送を一時中断し、チャンネル 0 の転送を開始します。チャンネル 0 の転送要求がなくなると、チャンネル 1 の転送動作を再開します。

チャンネル遷移が起こるタイミングは、データ転送単位の転送終了時です。すなわち、DHR 内のデータをすべて書き込んだときとなります。

割り込み

DMAC はチャンネル動作終了時に TX19A プロセッサコアに割り込み（INTDMA_n : DMA 転送終了割り込み）を要求することができます。割り込みには、正常終了割り込み、異常終了割り込みの 2 つがあります。

- 正常終了割り込み

チャンネル動作が正常終了すると、CSRn の NC ビットが “1” にセットされます。このとき CCRn の NIEn ビットで正常終了割り込みが許可されていると、TX19A プロセッサコアに割り込みを要求します。

- 異常終了割り込み

チャンネル動作が異常終了すると、CSRn の AbC ビットに “1” がセットされます。このとき CCRn の AbIEn ビットで異常終了割り込みが許可されていると TX19A プロセッサコアに割り込みを要求します。

10.4 動作

DMACの動作は、内部システムクロックの立ち上がりエッジに同期して行われます。

10.4.1 デュアルアドレスモード

- メモリ→メモリ転送

外部メモリ（16ビット幅）から外部メモリ（16ビット幅）へ16ビットデータ転送する場合の1回分のタイミング例を図10.4.1に示します。実際にはデータはBCRnが“0”になるまで連続して転送されます。

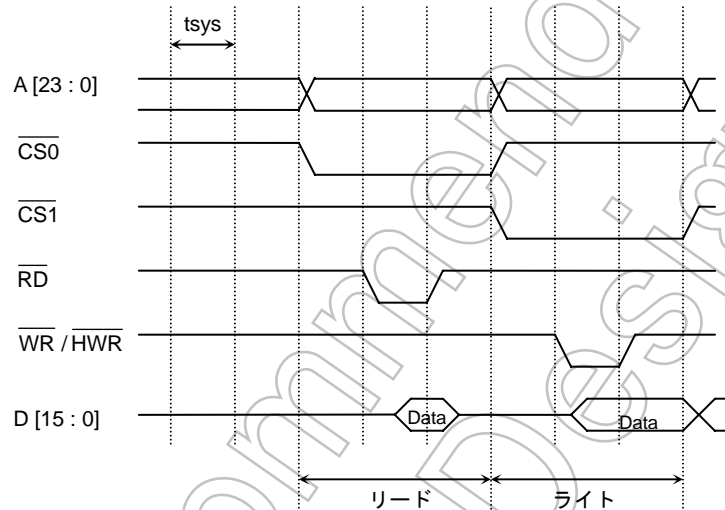


図 10.4.1 デュアルアドレスモード（メモリ→メモリ）

- メモリ→I/Oデバイス転送

データ転送単位16ビット、デバイスポートサイズ8ビットに設定した場合の、メモリ→I/Oデバイス転送のタイミング例を図10.4.2に示します。

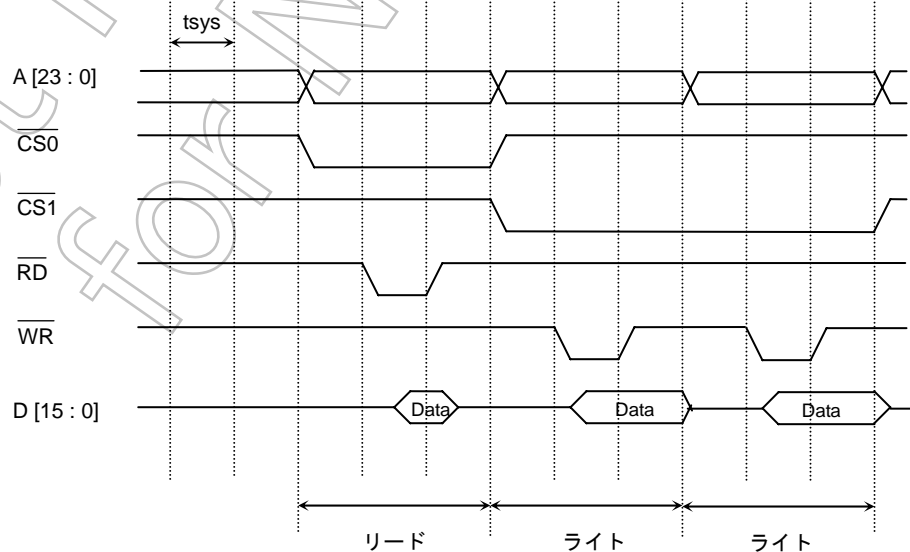


図 10.4.2 デュアルアドレスモード（メモリ→I/Oデバイス）

- I/O デバイス→メモリ転送

データ転送単位 16 ビット、デバイスポートサイズ 8 ビットに設定した場合の、I/O デバイス→メモリ転送のタイミング例を図 10.4.3に示します。

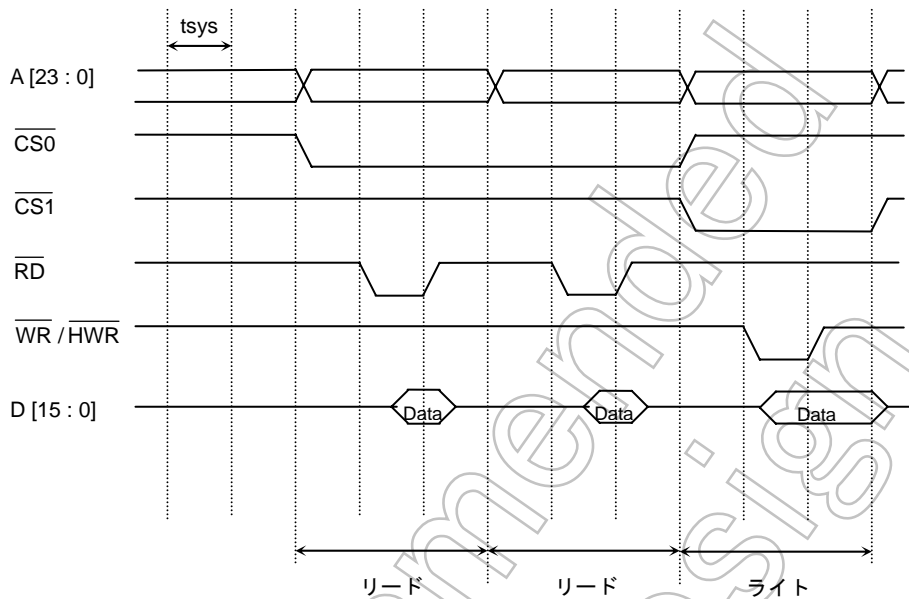


図 10.4.3 デュアルアドレスモード (I/O デバイス→メモリ)

10.4.2 設定例

シリアル受信データ (SC1BUF) を内蔵 RAM に DMA 転送する例

<DMA 設定例>

- 使用チャンネル: 0
- ソースアドレス: SC1BUF
- ディスティネーション: (物理アドレス) 0xFFFF_9800
- 転送バイト数: 256 バイト

<シリアルチャンネル設定例>

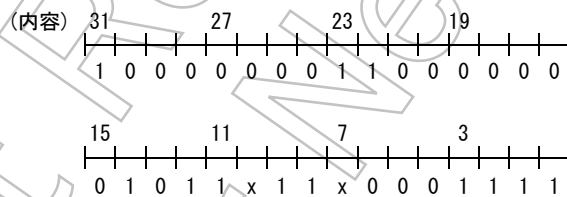
- データ長 8 ビット: UART
- シリアルチャンネル: ch1
- 転送レート: 9600bps

転送には DMA (ch. 0) を使い、SIO1 の受信割り込みで DMA0 を起動します。

<DMA0 設定>

```

DCR      ← 0x8000_0000      /* DMA リセット */
IMR56    ← 15      7      0
           xxxx, xxxx, x100, x100 /* レベル = 4 (任意値) */
ICLR     ← 0xe0            /* IVR [8:0] の値 */
DTCRO    ← 0x0000_0000    /* DACM = 000 */
           /* SACM = 000 */
SAR0     ← 0xFFFF_F208    /* SC1BUF の物理アドレス */
DAR0     ← 0xFFFF_9800    /* 転送先の物理アドレス */
BCR0     ← 0x0000_00FF    /* 256 (転送バイト数) /
CCR0     ← 0x80C0_5B0F
  
```



<SIO ch. 1 設定>

```

IMR51    ← 31      15
           xxxx, xxxx, x101, x000 /* DMCO 起動要因に割り当て */
ICLR     ← 0xCC            /* IVR [8:0], INTRX1 割り込み要因 */
SC1MOD0  ← 0x29            /* UART モード, 8 ビット長 */
SC1CR    ← 0x00
BR1CR    ← 0xB5            /* @IMCLK = 28 MHz, 約 9615 bps */
BR1ADD   ← 0x05            /* ポーレートジェネレータの分周値 */
  
```

11. 16 ビットタイマ/イベントカウンタ (TMRB)

TMP19A71 は多機能 16 ビットタイマ/イベントカウンタを 4 チャンネル (TMRB0~TMRB3) 内蔵しています。TMRB は、次の 3 つの動作モードで 5 種類の使い方が可能です。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- パルス幅測定モード
- 外部トリガパルスからのワンショットパルス出力

図 11.1.1 に TMRB0 のブロック図を示します。

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ制御、タイマフリップフロップ制御で構成されています。

各チャンネル (TMRB0~TMRB3) はそれぞれ独立に動作します。いずれのチャンネルも表 11.1.1 に示される仕様相違点を除いて同一の動作をしますので、動作説明は TMRB0 の場合についてのみ説明します。

表 11.1.1 TMRB のチャンネル別仕様相違点

仕様		チャンネル	TMRB0	TMRB1	TMRB2	TMRB3
外部端子	外部クロック/ キャプチャトリガ入力端子		TB0IN (P93 と兼用)	TB1IN (P70 と兼用)	TB2IN (P71 と兼用)	TB3IN (P72 と兼用)
	タイマフリップフロップ 出力端子		TB0OUT (P94 と兼用)	TB1OUT (P84 と兼用)	TB2OUT (PA7 と兼用)	TB3OUT (PB7 と兼用)
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB0RUN (0xFFFF_C700)	TB1RUN (0xFFFF_C720)	TB2RUN (0xFFFF_C740)	TB3RUN (0xFFFF_C760)
	タイマモードレジスタ		TB0MOD (0xFFFF_C704)	TB1MOD (0xFFFF_C724)	TB2MOD (0xFFFF_C744)	TB3MOD (0xFFFF_C764)
	タイマフリップフロップ コントロールレジスタ		TB0FF (0xFFFF_C708)	TB1FF (0xFFFF_C728)	TB2FF (0xFFFF_C748)	TB3FF (0xFFFF_C768)
	タイマレジスタ		TB0REG0 (0xFFFF_C70C)	TB1REG0 (0xFFFF_C72C)	TB2REG0 (0xFFFF_C74C)	TB3REG0 (0xFFFF_C76C)
			TB0REG1 (0xFFFF_C710)	TB1REG1 (0xFFFF_C730)	TB2REG1 (0xFFFF_C750)	TB3REG1 (0xFFFF_C770)
	キャプチャレジスタ		TB0CP0 (0xFFFF_C714)	TB1CP0 (0xFFFF_C734)	TB2CP0 (0xFFFF_C754)	TB3CP0 (0xFFFF_C774)
		TB0CP1 (0xFFFF_C718)	TB1CP1 (0xFFFF_C738)	TB2CP1 (0xFFFF_C758)	TB3CP1 (0xFFFF_C778)	
カウンタ		TB0CNT (0xFFFF_C71C)	TB1CNT (0xFFFF_C73C)	TB2CNT (0xFFFF_C75C)	TB3CNT (0xFFFF_C77C)	

11.1 16ビットタイマの構成図

16ビットタイマのブロック図を図 11.1.1に示します。

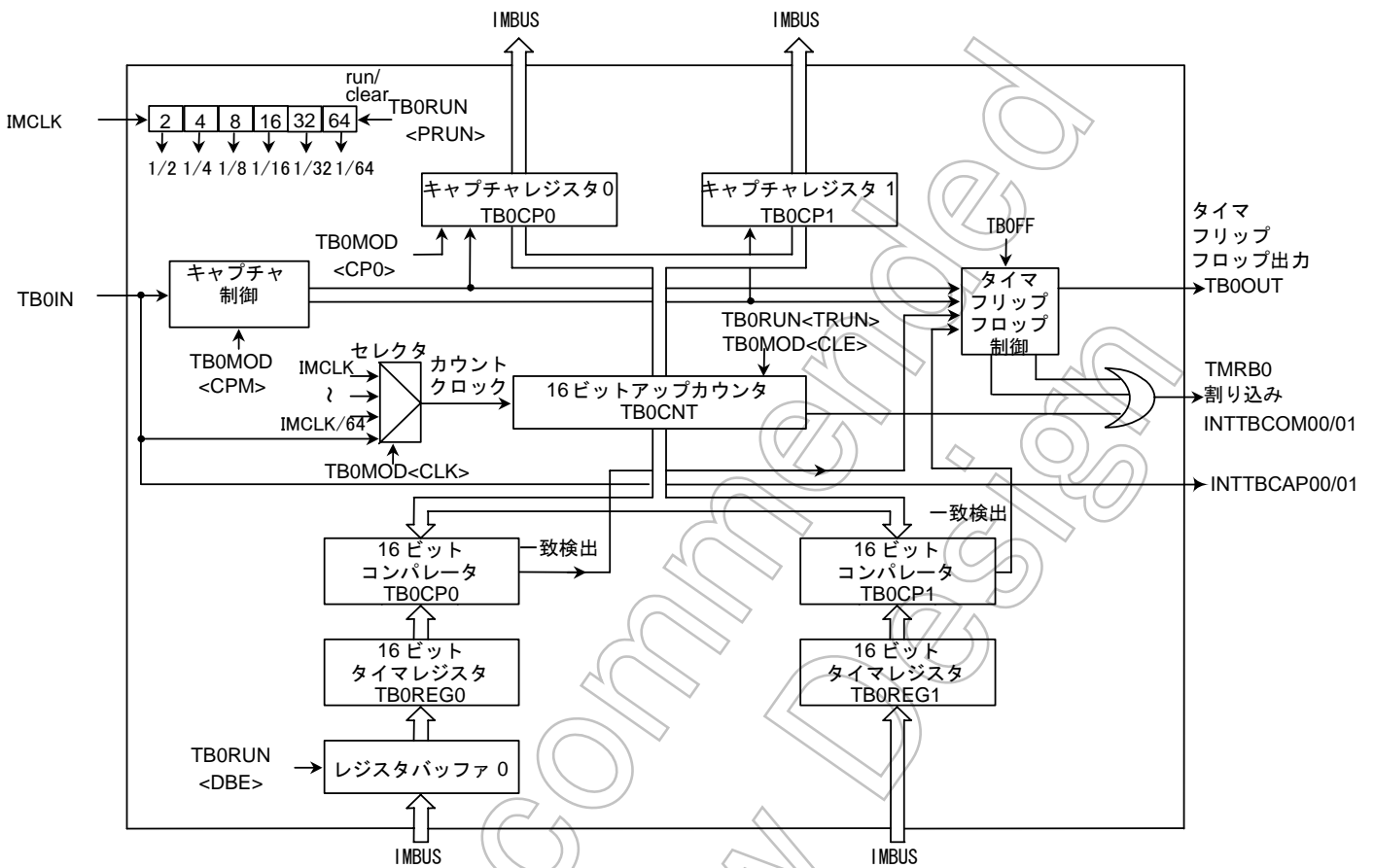


図 11.1.1 TMRB0 ブロック図

11.2 回路別の動作説明

(1) プリスケーラ

TMRB0 のクロックソースを得るため、6 ビットプリスケーラがあります。プリスケーラへの入力クロックは CG 部の CLKPRSC<PRS2>にて選択した IMCLK です。TBOMOD<CLK>の設定によって IMCLK、IMCLK/2、IMCLK/4、IMCLK/8、IMCLK/16、IMCLK/32、IMCLK/64 を選択することができます。

(2) アップカウンタ (TBOCNT)

TBOMOD<CLK> で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

TBOCNT の入力クロックは、7 種類のプリスケーラ出力クロック IMCLK、IMCLK/2、IMCLK/4、IMCLK/8、IMCLK/16、IMCLK/32、IMCLK/64 または、TBOIN 端子の外部クロックのいずれかを選択できます。TBOCNT は、TBORUN<RUN> によってカウント/停止&クリアを設定します。TBOCNT は、タイマレジスタ TBOREG0、TBOREG1 と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、TBOMOD<CLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

また、TBORUN<OFI>でオーバフロー割り込みが許可された場合、TBOCNT が 0xFFFF になった瞬間に、オーバフロー割り込みとして INTTBCOM00 が発生します。

(3) タイマレジスタ (TBOREG0、TBOREG1)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ TBOCNT の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TBOREG0、TBOREG1 へのデータ設定は、2 バイトデータ転送命令を用います。このレジスタは 1 バイトデータ転送命令を 2 回用いて書き込みをすることも可能ですが、TBOCNT カウント中にタイマレジスタの値を変更する場合、1 回目の書き込み完了時点で TBOCNT との一致を誤検出してしまう可能性があるため、必ず 2 バイト転送命令を使用してください。なお、カウント中にダブルバッファを使用しないで書き込みする場合は書き込みタイミングをソフトウェアで管理する必要があります。

このタイマレジスタは、TBOREG0 がダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。TBOREG0 は TBORUN<DBE> によってダブルバッファのイネーブル/ディセーブルを制御します。<DBE> = “0” のときディセーブル、<DBE> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TBOREG0 へのデータ転送は、TBOCNT と TBOREG1 との一致時に行われます。

リセット動作により、TBOREG0、TBOREG1 は “0” にクリアされるため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。リセット動作により、TBORUN <DBE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <DBE> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TBOREG0 とレジスタバッファは、同じアドレス 0xFFFF_C70C に割り付けられています。<DBE> = “0” のときは、TBOREG0 とレジスタバッファに、同じ値が書き込まれ、<DBE> = “1” のときは、レジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

(4) キャプチャレジスタ (TBOCP0、TBOCP1)

アップカウンタ TBOCNT の値をラッチする 16 ビットのレジスタです。キャプチャレジスタを読み出す場合は、2 バイトデータ転送命令を用いてください。このレジスタは 1 バイトデータ転送命令を 2 回用いて読み出しをすることが可能ですが、タイマ動作中は値が更新されてしまう可能性があるため、2 バイト転送命令を使用することを推奨します。

アップカウンタ TBOCNT の値をキャプチャレジスタ TBOCP0、TBOCP1 にラッチするタイミングは、TBOMOD<CPM>で設定します。

また、ソフトウェアによってもアップカウンタ TBOCNT の値をキャプチャレジスタへ取り込むことができ、TBOMOD<CP0> に “0” を書き込むたびに、その時点の TBOCNT の値をキャプチャレジスタ TBOCP0 へキャプチャします。なお、プリスケーラは、RUN 状態 (TBORUN<PRUN> = “1”) にしておく必要があります。

(5) コンパレータ (TBOCMP0、TBOCMP1)

アップカウンタ TBOCNT と、タイマレジスタ TBOREG0、TBOREG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTTBCOM0x を発生します。

ただし TBOCMP0 は TBOREG0 が 0x0000 の時、一致は検出しません。TBOCMP1 は TBOREG1 が 0x0000 の時、一致を検出します。TBOCMP1 での一致検出を使用するためには TBOMOD<CLE>=1 もしくは TBOFF<INVC1>=1 に設定されている必要があります。ただし TBOREG1 に 0x0000 を設定した場合、TBOMOD<CLE>=1 に設定すると動作は不定になります。

(6) タイマフリップフロップ (TBOFF)

タイマフリップフロップ (TBOFF) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBOFF<INVL1, INVLO, INVC1, INVCO, MOD> によって設定できます。

リセット後、TBOFF の値は "0" にクリアされます。TBOFF<MOD>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

TBOFF の値は、タイマ出力端子 TBOOUT 端子 (P94 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 9 関連レジスタ P9CR、P9FR1 により、タイマ出力に設定をする必要があります。リセット解除後、TBOFF<MOD>を設定するまでは "0" が出力されます。

11.3 レジスタ構成

各チャネルは、表 11.3.1 に示すように、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本（1 本はダブルバッファ構造）、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ制御、タイマフリップフロップ制御で構成されています。タイマの動作モードやタイマフリップフロップは 11 バイトのレジスタで制御されます。

表 11.3.1 TMRB レジスタマップ (1/2)

アドレス	bit 数	レジスタ記号	レジスタ名称
0xFFFF_C700	8	TBORUN	TMRB0 RUN レジスタ
0xFFFF_C704	16 (8)	TBOMOD (L)	TMRB0 モードレジスタ (下位)
0xFFFF_C705	8	TBOMODH	TMRB0 モードレジスタ上位
0xFFFF_C708	8	TBOFF	TMRB0 フリップフロップコントロールレジスタ
0xFFFF_C70C	16	TBOREG0	TMRB0 コンペアレジスタ 0
0xFFFF_C710	16	TBOREG1	TMRB0 コンペアレジスタ 1
0xFFFF_C714	16	TBOCP0	TMRB0 キャプチャレジスタ 0
0xFFFF_C718	16	TBOCP1	TMRB0 キャプチャレジスタ 1
0xFFFF_C71C	16	TBOCNT	TMRB0 カウンタレジスタ
0xFFFF_C720	8	TB1RUN	TMRB1 RUN レジスタ
0xFFFF_C724	16 (8)	TB1MOD (L)	TMRB1 モードレジスタ (下位)
0xFFFF_C725	8	TB1MODH	TMRB1 モードレジスタ上位
0xFFFF_C728	8	TB1FF	TMRB1 フリップフロップコントロールレジスタ
0xFFFF_C72C	16	TB1REG0	TMRB1 コンペアレジスタ 0
0xFFFF_C730	16	TB1REG1	TMRB1 コンペアレジスタ 1
0xFFFF_C734	16	TB1CP0	TMRB1 キャプチャレジスタ 0
0xFFFF_C73C	16	TB1CNT	TMRB1 カウンタレジスタ

表 11.3.2 TMRB レジスタマップ (2/2)

アドレス	bit 数	レジスタ記号	レジスタ名称
0xFFFF_C740	8	TB2RUN	TMRB2 RUN レジスタ
0xFFFF_C744	16 (8)	TB2MOD (L)	TMRB2 モードレジスタ (下位)
0xFFFF_C745	8	TB2MODH	TMRB2 モードレジスタ上位
0xFFFF_C748	8	TB2FF	TMRB2 フリップフロップコントロールレジスタ
0xFFFF_C74C	16	TB2REG0	TMRB2 コンペアレジスタ 0
0xFFFF_C750	16	TB2REG1	TMRB2 コンペアレジスタ 1
0xFFFF_C754	16	TB2CP0	TMRB2 キャプチャレジスタ 0
0xFFFF_C75C	16	TB2CNT	TMRB2 カウンタレジスタ
0xFFFF_C760	8	TB3RUN	TMRB3 RUN レジスタ
0xFFFF_C764	16 (8)	TB3MOD (L)	TMRB3 モードレジスタ (下位)
0xFFFF_C765	8	TB3MODH	TMRB3 モードレジスタ上位
0xFFFF_C768	8	TB3FF	TMRB3 フリップフロップコントロールレジスタ
0xFFFF_C76C	16	TB3REG0	TMRB3 コンペアレジスタ 0
0xFFFF_C770	16	TB3REG1	TMRB3 コンペアレジスタ 1
0xFFFF_C774	16	TB3CP0	TMRB3 キャプチャレジスタ 0
0xFFFF_C77C	16	TB3CNT	TMRB3 カウンタレジスタ

- (注1) TBxMOD は 16 ビットのレジスタですが、下位側 : TBxMOD L/上位側 : TBxMODH とすることで、8 ビットのアクセスが可能です。
- (注2) TBxCP0/1 は 8 ビットアクセスを 2 回用いて読み出しをすることが可能ですが、タイマ動作中は値が更新されてしまう可能性があるため、16 ビット転送命令を使用することを推奨します。
- (注3) TB0REG0/1 は 8 ビットアクセスを 2 回用いて書き込みをすることが可能ですが、1 回目の書き込み完了時点で TB0CNT との一致を誤検出してしまう可能性があるため、16 ビットアクセスを使用することを推奨します。

TMRBO RUN レジスタ

TBORUN
(0xFFFF_C700)

	7	6	5	4	3	2	1	0
bit Symbol	DBE	—	TRGSEL	CSSEL	IDL	PRUN	OFI	TRUN
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	Wバッファ許可 0:禁止 1:許可	必ず"0"を設定して下さい。	外部トリガ選択 0:立ち上がりエッジ 1:立ち下りエッジ	カウントスタート選択 0:ソフトスタート 1:外部トリガ	TMRBO状態 0:停止&カウント値保持 1:通常動作	プリスケールスタート 0:停止&クリア 1:カウント	オーバーフロー割り込み許可 0:禁止 1:許可	タイマスタート 0:停止&クリア 1:カウント

- (注1) <IDL>="0" と<TRUN>="0" の動作の違いは<IDL>="0" に設定した場合は TBxCNT の値を保持したままカウントアップを停止させることができますが、<TRUN>="0" に設定すると TBxCNT の値をクリアしカウントアップを停止します。
- (注2) <CSSEL>=1 に設定すると、<TRGSEL>で選択した TBOIN 端子入力で、タイマカウンタ TBOCNT のカウントをスタートします。外部トリガでカウントをスタートさせる場合は必ず<TRUN>=1 に設定されている必要があります。<TRUN>=0 に設定するとソフトスタート同様カウンタは「停止&クリア」状態になります。
- (注3) 一度外部トリガでカウントをスタートさせると内部でスタートトリガを保持し続けます。2回目以降の外部トリガを受け付ける場合は一度<TRUN>=0 に設定してカウンタを「停止&クリア」状態後、再度<TRUN>=1 に設定してください。<TRUN>=0 でカウンタクリア前に受け付けられた外部トリガは無視されます。

TMRBO モードレジスタ

TBOMOD(L)
(0xFFFF_C704)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	CPM		GLE	CLK		
Read/Write	W		R/W					
リセット後	—	—	0	0	0	000		
機能			キャプチャタイミング 00:disable 10: TB0INの立ち上がり でTBOCP0でキャプチャし INTTBCAP01発生 TB0IN の立下り でTBOCP1 でキャプチャし INTTBCAP00 発生 その他:Reserved	アップカ ウンタ制 御 0: クリア ディセー ブル 1: TBOREG1 との一致 でクリア	ソースクロック選択 000: TB0IN 端子入力 (TMRBO のみ) 001: 1MCLK 010: 1MCLK/2 011: 1MCLK/4 100: 1MCLK/8 101: 1MCLK/16 110: 1MCLK/32 111: 1MCLK/64			

TBOMODH
(0xFFFF_C705)

	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	CPO
Read/Write	R						R/W	W
リセット後	0	0	0	0	0	0	0	1
機能							必ず"0" を設定し て下さい。	ソフトウ ェアキャ プチャ制 御 0: ソフト キャプチ ャ 1: Don' t care このレジ スタは読 み出すと 常に"1" が読み出 せませ

(注1) 本レジスタはビット操作命令でアクセスできません。

TMRB0 フリップフロップコントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	—	—	INVL1	INVL0	INVC1	INVC0	MOD	
Read/Write	W		R/W				W	
リセット後	—	—	0	0	0	0	11	
機能			TBOCP1へのアップカウンタ値取り込み時 0:反転トリガディセーブル 1:反転トリガイネーブル	TBOCP0へのアップカウンタ値取り込み時 0:反転トリガディセーブル 1:反転トリガイネーブル	アップカウンタとTBOREG1との一致時 0:反転トリガディセーブル 1:反転トリガイネーブル	アップカウンタとTBOREG0との一致時 0:反転トリガディセーブル 1:反転トリガイネーブル	Flip-Flopの制御 00:TBOOUTの値をソフト反転 01:TBOOUTの値を"1"にセット 10:TBOOUTの値を"0"にクリア 11:do not care このレジスタは読み出すと常に"11"が読み出されます。	

TMRB0 コンペアレジスタ 0

	7	6	5	4	3	2	1	0
bit Symbol	CMP0							
Read/Write	R/W							
リセット後	0x00							
機能	ダブルバッファが許可されているときにバッファとして 2 回目のコンペアに使われる値を格納します。							

	15	14	13	12	11	10	9	8
bit Symbol	CMP0							
Read/Write	R/W							
リセット後	0x00							
機能								

(注1) TBOCMP0 は TBOREG0 に 0x0000 が設定されていた場合、一致を検出しません。

(注2) INTTBCOM0x を使用するためには TBOMOD<CPM>=00 を設定し、端子キャプチャを禁止にする必要があります。TBOMOD<CPM>=00 以外を設定した場合は割り込みは発生しませんが、一致検出は行なうため、TBOOUT の反転出力は可能です。

TMRB0 コンペアレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	CMP1							
Read/Write	R/W							
リセット後	0x00							
機能	コンペアに使われる値を格納します。							

	15	14	13	12	11	10	9	8
bit Symbol	CMP1							
Read/Write	R/W							
リセット後	0x00							
機能								

(注1) TBOCMP1 は TBOREG1 に 0x0000 が設定されていた場合も一致を検出します。

(注2) TBOCMP1 で一致を検出するためには、TBOMOD<CLE>=1 もしくは TBOFF<INV1>=1 に設定されている必要があります。

TMRBO キャプチャレジスタ 0

TBOCP0
(0xFFFF_C714)

	7	6	5	4	3	2	1	0
bit Symbol	CP0							
Read/Write	R							
リセット後	0x00							
機能	アップカウンタのキャプチャ値 0(下位)							

	15	14	13	12	11	10	9	8
bit Symbol	CP0							
Read/Write	R							
リセット後	0x00							
機能	アップカウンタのキャプチャ値 0(上位)							

TMRBO キャプチャレジスタ 1

TBOCP1
(0xFFFF_C718)

	7	6	5	4	3	2	1	0
bit Symbol	CP1							
Read/Write	R							
リセット後	0x00							
機能	アップカウンタのキャプチャ値 1(下位)							

	15	14	13	12	11	10	9	8
bit Symbol	CP1							
Read/Write	R							
リセット後	0x00							
機能	アップカウンタのキャプチャ値 1(上位)							

TMRBO カウンタレジスタ

TBOCNT
(0xFFFF_C71C)

	7	6	5	4	3	2	1	0
bit Symbol	CNT							
Read/Write	R							
リセット後	0x00							
機能	アップカウンタのカウンタ値(下位)							

	15	14	13	12	11	10	9	8
bit Symbol	CNT							
Read/Write	R							
リセット後	0x00							
機能	アップカウンタのカウンタ値(上位)							

11.4 モード別動作説明

16ビットタイマは次のような動作をすることができます

- (A) 16ビットインタバルタイマモード
- (B) 16ビットイベントカウンタモード
- (C) 16ビットプログラマブル矩形波出力 (PPG) モード

また、TMRB0はキャプチャ機能を利用して、次に示すような応用が可能です。

- (D) パルス幅測定モード
- (E) 外部トリガーパルスを使用してのワンショットパルス出力

11.4.1 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合タイマレジスタ TBOREG1 にインタバル時間を設定し INTTBCOM01 割り込みを発生します。

(例) INTTBCOM01 を使用した $20\mu\text{s}$ (IMCLK:28MHz) インタバルタイマの設定手順

1. TBORUN = 0x00; // stops timer0
2. IMR25 = 0x00; // disable INTTBCOM00
IMR26 = 0x41; // enable INTTBCOM01
3. TBOFF = 0x0A; // INVC1=1、FF=0 クリア
TBOMOD = 0x010A; // select prescaler (IMCLK/2)
TBOREG1 = 0x0118; // set interval time
4. TBORUN = 0x0D; // start timer

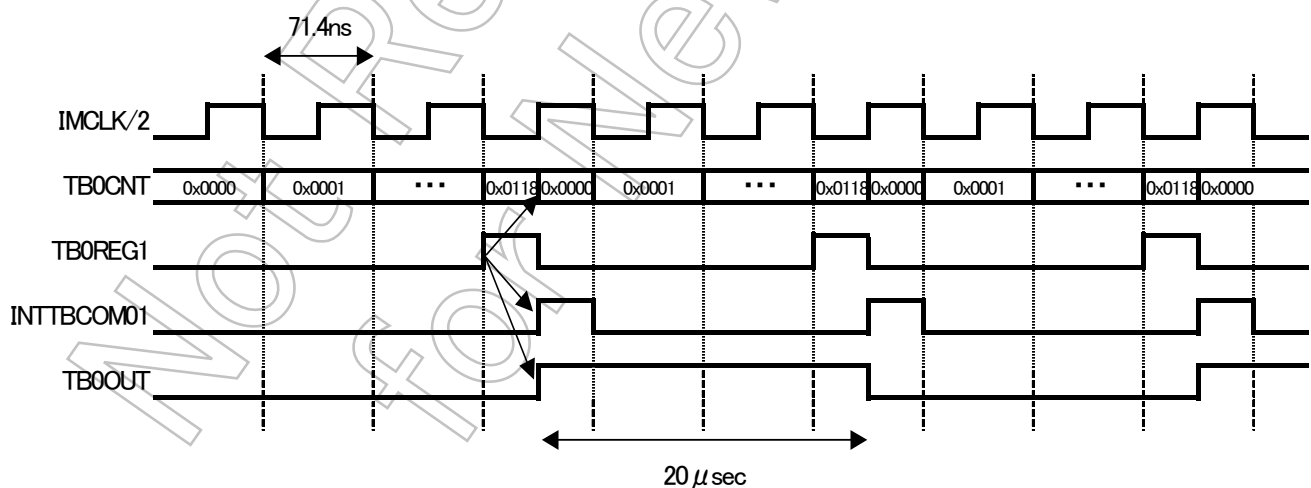


図 11.4.1 16ビットインタバルタイマモード

11.4.2 16ビットイベントカウンタモード

入力クロックを外部クロック (TB0IN 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB0IN 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

(例) イベントカウンタ設定手順

1. TBORUN = 0x00; // stops timer 0
2. IMR84 = 0x41; // enable INTTBCAP00
IMR85 = 0x00; // disable INTTBCAP01
3. TBOFF = 0x03; // disable trigger
TBOMOD = 0x0124; // select external time, IMCLK/8
TBOREG1 = 0x0050; // set interval time
4. TBORUN = 0x0D; // start timer

Not Recommended for New Design

11.4.3 16ビットプログラマブル矩形波出力 (PPG) モード

任意周波数、任意デューティの矩形波（プログラマブル矩形波）を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ（TBOCNT）とタイマレジスタ（TBOREG0、TBOREG1）への設定値との一致によりタイマフリップフロップ（TBOFF）の反転トリガをかけることで、プログラマブル矩形波を TBOOUT 端子より出力することができます。TBOREG1 との一致によりカウンタをクリアするため TBOREG0 と TBOREG1 の設定値は次の条件を満たす必要があります。

$$(\text{TBOREG0 への設定値}) < (\text{TBOREG1 への設定値})$$

次のタイミング図がプログラム可能な矩形波 (PPG) 出力波形の例です

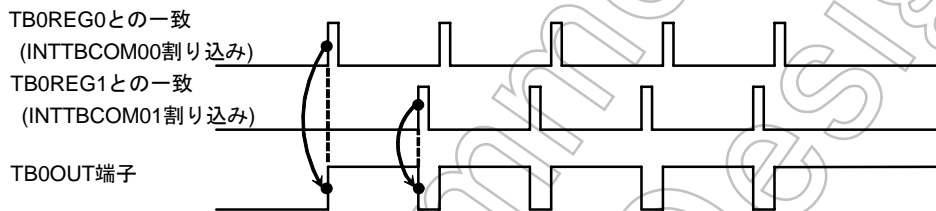


図 11.4.2 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TBOREG0 のダブルバッファをイネーブルにすることにより、TBOREG1 との一致で、レジスタバッファ 0 の値が TBOREG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

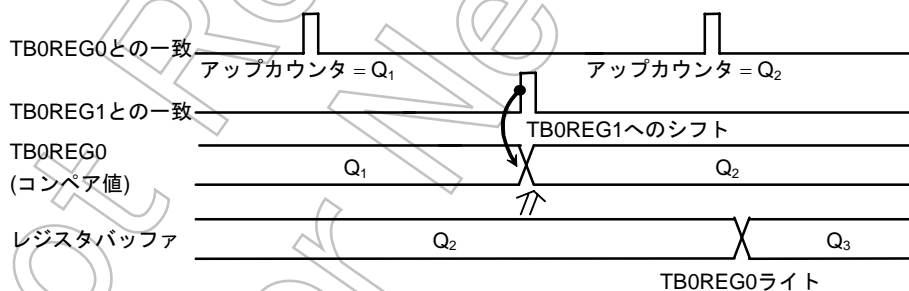


図 11.4.3 レジスタバッファの動作

(例) ダブルバッファを使用した場合のイベントカウンタの設定手順

1. TBORUN = 0x00; // stops timer 0
2. TBOREG0 = 0x0050; // set interval time
TBOREG1 = 0x0080;
3. TBORUN = 0x80; // enable double buffer
4. TBOFF = 0x0E; // initialize flip-flop
TBOMOD = 0x010D; // select prescaler (IMCLK/16)
5. P9FR1 = 0x10; // P94 TBOOUT
P9CR = 0x10; // P94 output enable
6. TBORUN = 0x8D; // start timer

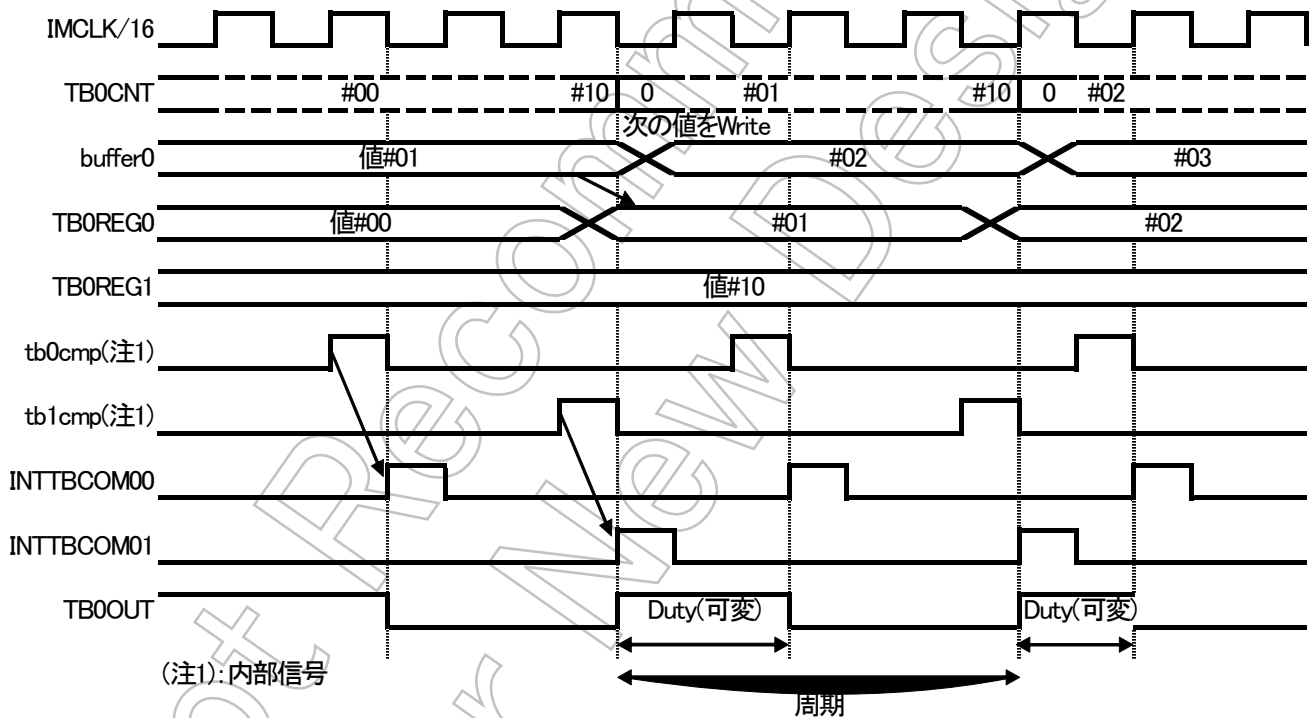


図 11.4.4 プログラマブル矩形波出力モード

11.4.4 パルス幅測定

キャプチャ機能を用いて、外部パルス幅を測定することができます。“H”レベルパルス幅を測定するには、TB0IN 端子より外部パルスを入力し、アップカウンタ (TBOCNT) はプリスケアラ出カクロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ (TBOCP0, TBOCP1) に取り込みます。TB0IN 端子の立ち下がりにより、INTTBCAP00 が発生するように INTC で設定します。

“H”レベルパルス幅は、TBOCP0 と TBOCP1 の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TBOCP0 と TBOCP1 の差が 100 で、プリスケアラ出カクロックの周期が $0.5\mu\text{s}$ であれば、パルス幅は、 $100 \times 0.5\mu\text{s} = 50\mu\text{s}$ となります。

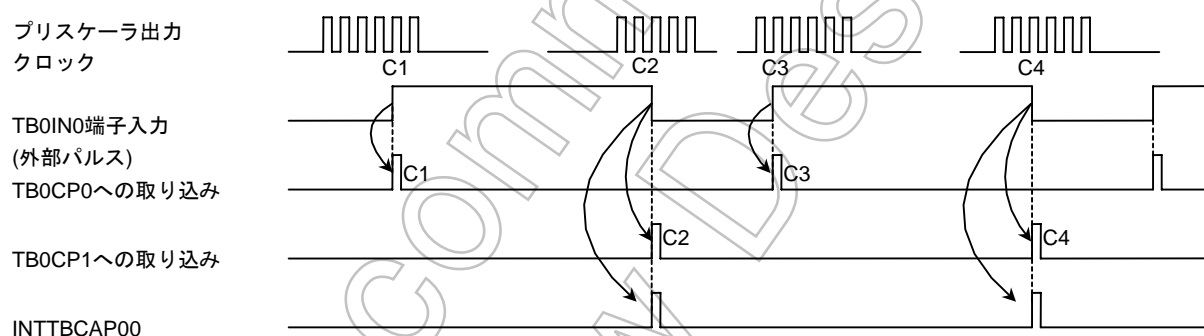


図 11.4.5 パルス幅測定

また、外部パルスの“L”レベル幅を測定することもできます。この場合、TB0IN 端子の立ち上がり時に INTTBCAP01 が発生するように設定しておき、その割り込み処理で、C2 と C3 の差に、プリスケアラ出カクロックの周期をかけることにより、求めることができます。また TB0IN 端子入力にエッジ入力がない場合は、オーバフローにて検出することができます。

11.4.5 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

- 16ビットアップカウンタ TBOCNT はプリスケアラ出力クロックを用いてフリーランニングでカウントアップさせておきます。TBOIN 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ (TBOCP0) に取り込みます。
- 外部トリガパルスの立ち上がり時、割り込み INTTBCAP01 が発生するように INTC で設定します。この割り込みで、タイマレジスタ (TBOREG0) には、TBOCP0 の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。タイマレジスタ (TBOREG1) には、TBOREG0 の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。
- さらに、タイマフリップフロップコントロールレジスタ (TBOFF<INVC0, INVC1>) に “11” を設定し、TBOCNT と TBOREG0 との一致、および、TBOREG1 との一致により、タイマフリップフロップ (TBOFF) が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBCOM01 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、下記の図の c、d、p と対応しています。

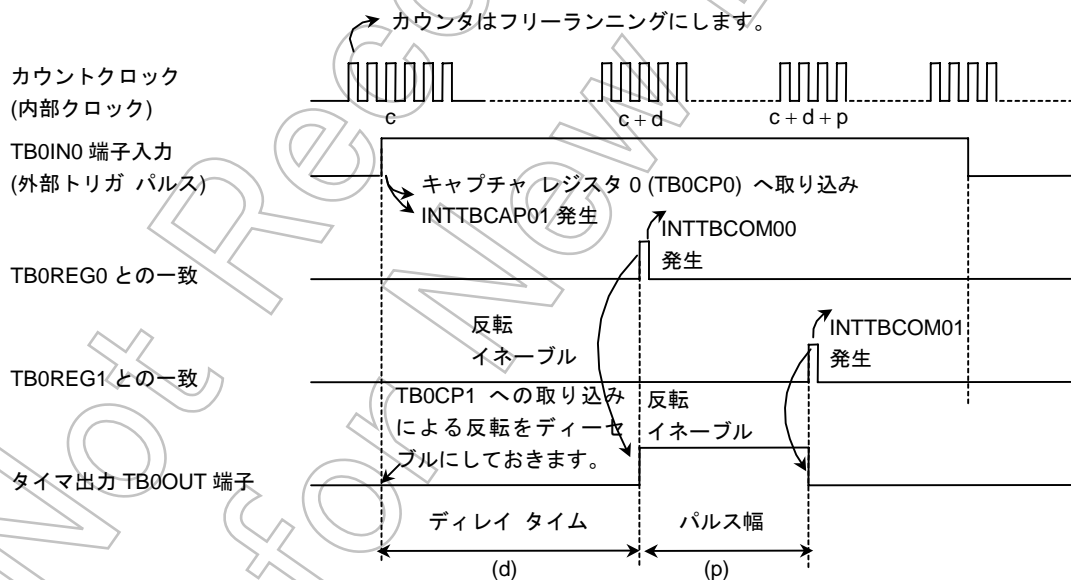
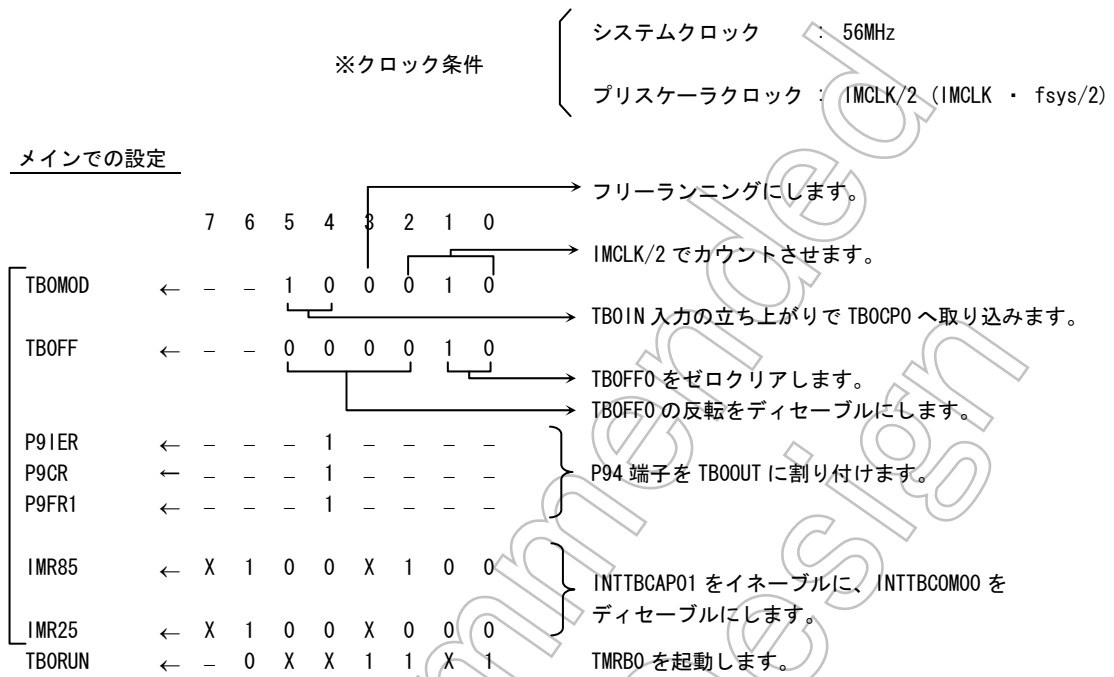
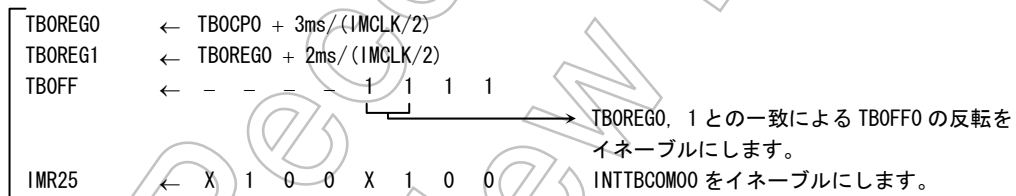


図 11.4.6 ワンショットパルス出力(ディレイあり)

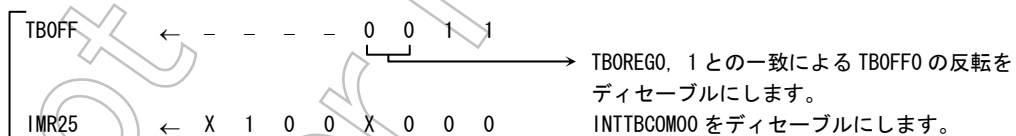
(例) TBOIN 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合



INTTBAP01 での設定



INTTBOM01 での設定



(注1) X: Don't care —: no change

ディレイが不要な場合、TBOCP0 への取り込みによって TBOFF を反転させ、割り込み INTTBAP01 で TBOCP0 の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TBOREG1 に設定します。TBOFF は、TBOREG1 と TBOCNT の一致によって反転するように、反転イネーブルを選択します。また、INTTBOM01 割り込みでこれをディセーブルに戻します。

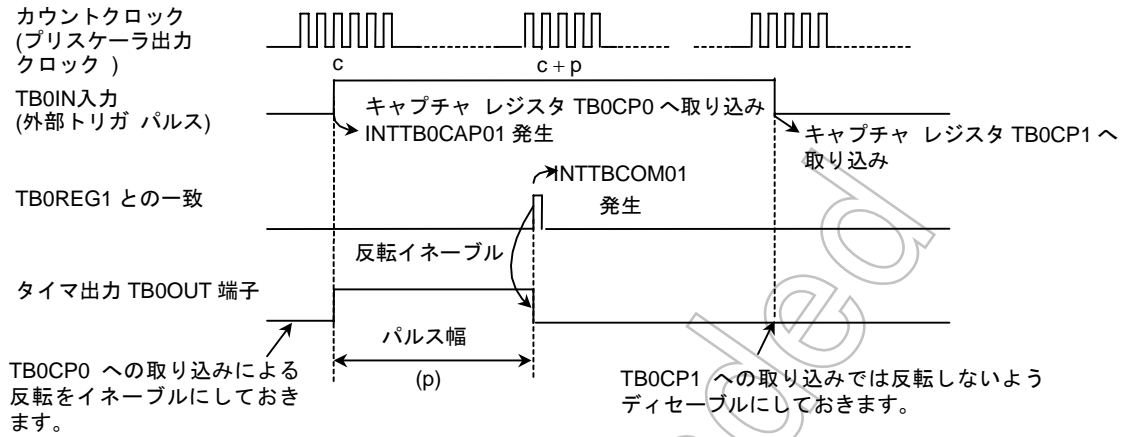


図 11.4.7 外部トリガパルスのワンショットパルス出力 (ディレイなし)

Not Recommended for New Design

11.4.6 外部トリガカウントスタートを使用したワンショットパルス出力

外部トリガカウントスタートを使用すると、より小さいディレイでのワンショットパルス出力が可能です。

- 16ビットアップカウンタ TB0IN 端子の立ち上がりでカウントアップするように設定しておきます (TBORUN<TRGSEL, GSSSEL>="11")。タイマレジスタ (TBOREG0) には、ディレイタイム (d) を設定します。タイマレジスタ (TBOREG1) には、TBOREG0 の値とワンショットパルスのパルス幅 (p) を加算した値 (d + p) を設定します。
- 外部トリガパルスの立ち上がりで、カウントアップをスタートさせます。
- さらに、タイマフリップフロップコントロールレジスタ (TBOFF<INVC0, INVC1>) に "11" を設定し、TBOCNT と TBOREG0 との一致、および、TBOREG1 との一致により、タイマフリップフロップ (TBOFF) が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBCOM01 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (d)、(p) は、下記の図の d、p と対応しています。

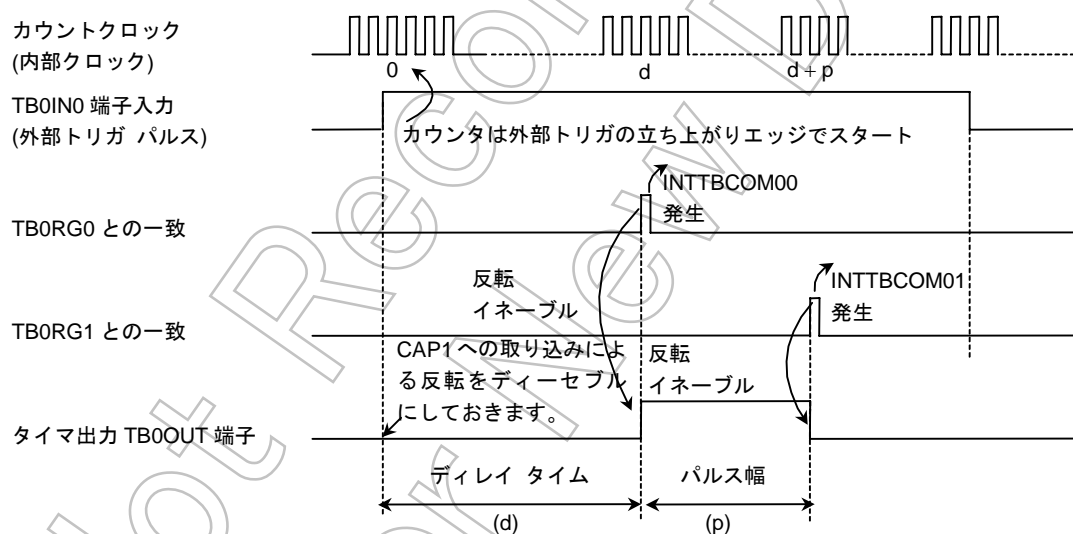


図 11.4.8 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

12. シリアル チャネル (SIO)

12.1 概要

TMP19A71 はシリアル入出力を 4 チャンネル内蔵 (SIO0~SIO3) しています。SIO2, 3 は、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。SIO0, 1 は UART モードのみとなります。SIO0, 1 には SCLK/GTS 端子がないため UART 用転送クロックに外部クロックを使用することはできません。

- I/O インタフェース モード ———— モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
- 非同期通信 (UART) モード ————
 - モード 1: 送受信データ長 7 ビット
 - モード 2: 送受信データ長 8 ビット
 - モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアル リンク (マルチ コントローラ システム) でスレーブ コントローラを起動させるためのウェイクアップ機能を有しています。図 12.2.1 に、SIO2 のブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャンネルは、それぞれ独立に動作します。SIO3 は I/O インタフェースと UART モード、SIO0, 1 は UART モードとしては同一の動作をしますので、SIO2 の場合についてのみ説明します。

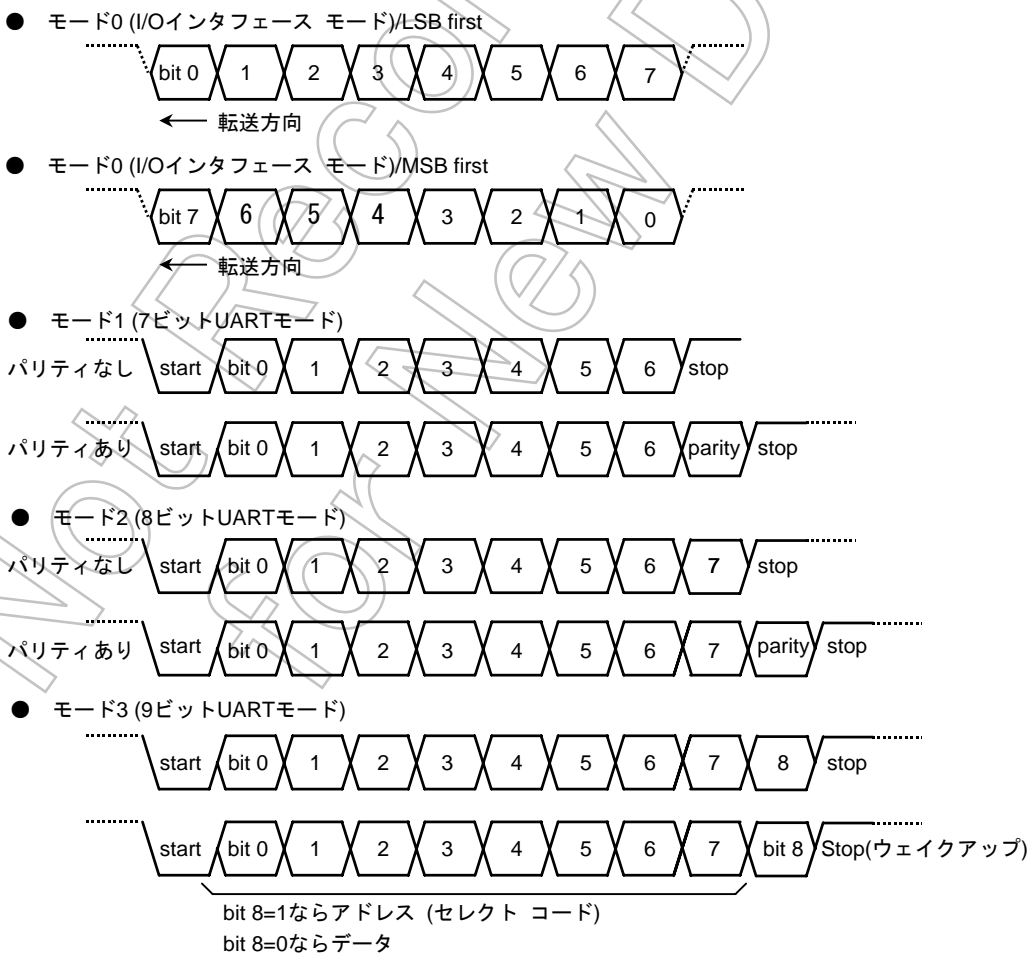


図 12.1.1 データフォーマット

12.2 ブロック図 (SI02)

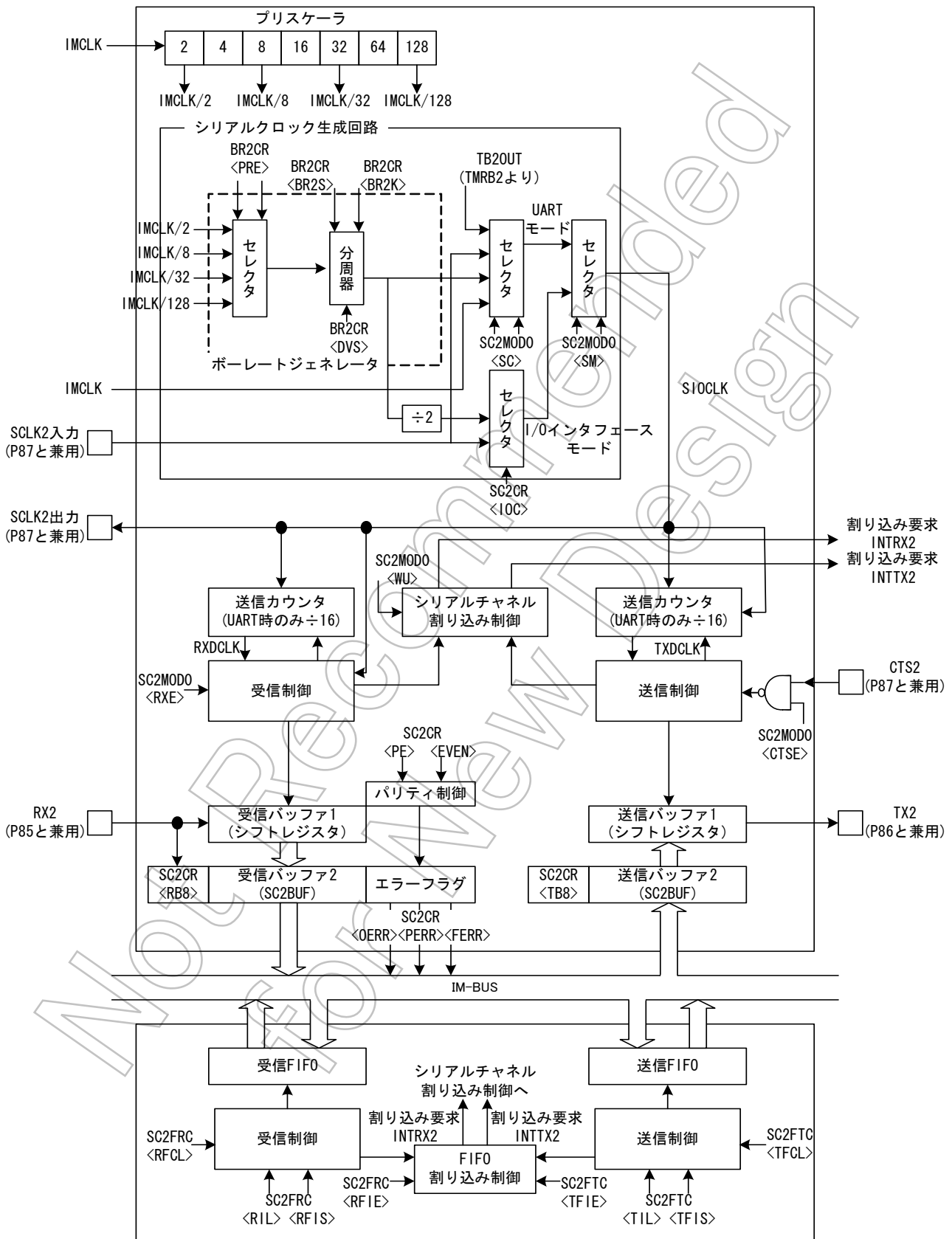


図 12.2.1 SI02 ブロック図

12.3 回路別の動作説明 (S102)

12.3.1 プリスケーラ

S102 の動作クロックを生成するために、7 ビットプリスケーラがあります。プリスケーラの入カクロック IMCLK は、CG 部の CLKPRSC<PRS2>にて選択したクロックです。

シリアルインタフェースボーレートジェネレータには、プリスケーラ出カクロックより IMCLK/2、IMCLK/8、IMCLK/32、IMCLK/128 の 4 種類のクロックが用いられます。

プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ動作します。プリスケーラ出カクロックの分解能を表 12.3.1 に示します。

表 12.3.1 ボーレートジェネレータへの入力クロック分解能

fc = 112 MHz (PLL 出カクロック)

クロックギア値 CLKPRSC<PRS1>	IMCLK 選択 CLKPRSC<PRS2>	プリスケーラ出カクロック分解能			
		IMCLK/2	IMCLK/8	IMCLK/32	IMCLK/128
00 (fc/2)	000 (fsys/2)	fc/8(71.4ns)	fc/32(0.29 μs)	fc/128(1.1 μs)	fc/512(4.6 μs)
	010 (fsys/3)	fc/12(107ns)	fc/48(0.43 μs)	fc/192(1.7 μs)	fc/768(6.9 μs)
	100 (fsys/4)	fc/16(143ns)	fc/64(0.57 μs)	fc/256(2.3 μs)	fc/1024(9.1 μs)
	110 (fsys/5)	fc/20(178ns)	fc/80(0.71 μs)	fc/320(2.9 μs)	fc/1280(11.4 μs)
01 (fc/4)	000 (fsys/2)	fc/16(143ns)	fc/64(0.57 μs)	fc/256(2.3 μs)	fc/1024(9.1 μs)
	010 (fsys/3)	fc/24(187ns)	fc/96(0.86 μs)	fc/384(3.4 μs)	fc/1524(13.7 μs)
	100 (fsys/4)	fc/32(286ns)	fc/128(1.1 μs)	fc/512(4.6 μs)	fc/2048(18.3 μs)
	110 (fsys/5)	fc/40(357ns)	fc/160(1.43 μs)	fc/640(5.7 μs)	fc/2560(22.9 μs)
10 (fc/8)	000 (fsys/2)	fc/32(0.29 μs)	fc/128(1.1 μs)	fc/512(4.6 μs)	fc/2048(18.3 μs)
	010 (fsys/3)	fc/48(0.43 μs)	fc/192(1.7 μs)	fc/768(6.9 μs)	fc/3048(17.4 μs)
	100 (fsys/4)	fc/64(0.57 μs)	fc/256(2.3 μs)	fc/1024(9.1 μs)	fc/4096(36.6 μs)
	110 (fsys/5)	fc/80(0.71 μs)	fc/320(2.9 μs)	fc/1280(11.4 μs)	fc/5120(45.8 μs)

(注 1) S10 動作中はクロックギアの切り替えは行わないでください。

12.3.2 ボーレート

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは 7 ビットプリスケアラより、IMCLK/2、IMCLK/8、IMCLK/32、IMCLK/128 を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BR2CR<PRE>で設定します。

ボーレートジェネレータは、N (N=1~16)、 $N+(16-K)/16$ (N=2~15、K=1~15)が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ BR2CR<DVS><BR2S>、BR2ADD<BR2K>の設定に従い分周を行い転送速度を決定します。

- I/Oインタフェースモードの場合

I/O インタフェースモード時は $N+(16-K)/16$ 分周機能は使用できません。かならず BR2CR<DVS>=“0” に設定して N 分周 (N=2~16) を行ってください。

- UARTモードの場合

- 1) BR2CR<DVS>=0 の場合

BR2ADD<BR2K>の設定は無視され、BR2CR<BR2S>に設定された値“N”に従い N 分周を行います。(N=1、2、3 … 16)

- 2) BR2CR<DVS>=1 の場合

$N+(16-K)/16$ 分周機能がイネーブルになり BR2CR<BR2S>に設定された値“N” (N=2、3 … 15)、BR2ADD<BR2K>に設定された値“K”に従い $N+(16-K)/16$ 分周を行います。(K=1、2、3 … 15)

(注1) N=1 および 16 のときは $N+(16-K)/16$ 分周機能は禁止となりますのでかならず BR2CR<DVS>=“0” に設定してください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、IMCLK/2 が 14MHz のときで、ボーレートジェネレータの分周値=“2” のときの、3.5Mbps が最高になります。

2) UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、IMCLK/2 が 14MHz のときの 875Kbps です。

ボーレートジェネレータの出力ではない IMCLK をシリアルクロックとして使用できます。この場合の最高ボーレートは 1.75Mbps (IMCLK=28MHz) になります。

- ボーレートの設定例

1) 整数分周 (N 分周) の場合

IMCLK=28MHz に設定したとき、ボーレートジェネレータへの入力クロックを IMCLK/8、分周値 “N” (BR2CR<BR2S>)=4、BR2CR<DVS>= “0” の場合の UART モードのボーレートは、

$$\begin{array}{l} \text{※ クロック条件} \left\{ \begin{array}{l} \text{システムクロック} : 56\text{MHz} \\ \text{IMCLK} : 28\text{MHz (2分周)} \end{array} \right. \end{array}$$

$$\begin{aligned} \text{ボーレート} &= \frac{\text{IMCLK}/8}{4} \div 16 \\ &= 28 \times 10^6 \div 8 \div 4 \div 16 = 54.7 \text{ (Kbps)} \text{ となります。} \end{aligned}$$

(注1) +(16-K)/16 分周機能は禁止に設定されるため BR2ADD<BR2K>の設定は無視されません。

2) N + (16-K)/16 分周 (UART モードのみ) の場合

IMCLK=28MHz に設定したとき、ボーレートジェネレータへの入力クロックを IMCLK/32、分周値 “N” (BR2CR<BR2S>)=5、K” (BR2ADD<BR2K>)=5、BR2CR<DVS>=1 の場合のボーレートは、

$$\begin{array}{l} \text{※ クロック条件} \left\{ \begin{array}{l} \text{システムクロック} : 56\text{MHz} \\ \text{IMCLK} : 28\text{MHz (2分周)} \end{array} \right. \end{array}$$

$$\begin{aligned} \text{ボーレート} &= \frac{\text{IMCLK}/32}{5 + \frac{(16-5)}{16}} \div 16 \\ &= 28 \times 10^6 \div 32 \div \left(5 + \frac{11}{16} \right) \div 16 = 9615 \text{ (bps)} \quad \text{となります。} \end{aligned}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレートの算出方法

- 1) I/O インタフェースモード

ボーレート = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) > $12/f_{\text{sys}}$ を満足する必要があります。

従って、 $f_{\text{sys}}=56\text{MHz}$ のときの最高ボーレートは、 $56 \div 12=4.7$ (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) > $16/f_{\text{sys}}$ を満足する必要があります。

従って、 $f_{\text{sys}}=56\text{MHz}$ のときの最高ボーレートは、 $56 \div 16=3.5$ (Mbps) 未満にする必要があります。

- 2) UART モード

ボーレート = 外部クロック入力 \div 16

ただし、(外部クロック入力周期) $\geq 4/f_{\text{sys}}$ を満足する必要があります。

$f_{\text{sys}}=56\text{MHz}$ のときの最高ボーレートは、 $56 \div 4 \div 16=875$ (Kbps) になります。

表 12.3.2～表 12.3.3にUARTモードのボーレートの例を示します。

表 12.3.2 UART ボーレートの選択

理論ボーレート (bps)	生成ボーレート (bps)	プリスケアラ	分周値 N	補正值 K	誤差 (%)
1200	1202	1MCLK/128	11	10	0.16
2400	2404	1MCLK/128	5	5	0.16
4800	4808	1MCLK/32	11	10	0.16
9600	9615	1MCLK/32	5	5	0.16
14400	14403	1MCLK/8	15	13	0.02
19200	19231	1MCLK/8	11	10	0.16
28800	28689	1MCLK/8	7	6	0.39
31250	31250	1MCLK/8	7	なし	0
38400	38462	1MCLK/8	5	5	0.16
57600	57613	1MCLK/2	15	13	0.02
115200	115702	1MCLK/2	7	7	0.44
230400	229508	1MCLK/2	3	3	0.39

(注1) 本表は、 $f_{sys}:56\text{MHz}$, $1\text{MCLK}:f_{sys}/2(28\text{MHz})$ を選択した場合の値です。

(注2) 600bps 以下のボーレートを使用する場合は TMRB2 を入力クロックとして使用してください。

表 12.3.3 UART ボーレートの選択

タイマ TMRB2 の出力 (内部 TB2OUT) 使用時の TB2REG1 値
(タイマ TMRB2 の入力クロックが 1MCLK/4 の場合)

転送レート (bps)	1MCLK				
	28MHz	20MHz	14MHz	10MHz	7MHz
100	4375	3125	2188	1563	1094
150	2916	2084	1458	1042	730
200	2188	1563	1094	781	547
300	1458	1042	729	521	365
400	1094	781	547	391	273
500	875	625	438	313	219
600	729	521	365	260	182

ボーレートの算出方法 (タイマ TMRB2 を使用した場合)

$$\text{転送レート} = \frac{1\text{MCLK}}{\text{TB2REG1} \times 4 \times 16}$$

(タイマ TMRB2 の入力クロックが 1MCLK/4 の場合)

(注1) SI02, 3 の I/O インタフェースモードでは、タイマ TMRB2 からの出力信号 (内部) を転送クロックとして使用できません。

12.3.3 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/Oインタフェースモードの場合

シリアルコントロールレジスタ SC2CR<IOC>=“0”のSCLK出力モードのときは、前記ボーレートジェネレータの出力を2分周し、SCLKをつくります。

SC2CR<IOC>=“1”のSCLK入力モードのときは、SC2CR<SCLKS>の設定に従って立ち上がり/立ち下がリエッジを検出し、基本クロックをつくります。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ SC2MOD0<SC>の設定により、前記ボーレートジェネレータからのクロックか、システムクロック (1MCLK/2) か、タイマ (TMRB2) の内部出力信号か、または外部クロック (SCLK2 端子) のいずれかを選択し、基本クロック SIOCLKをつくります。

12.3.4 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、SIOCLKでカウントアップされます。データ1ビットの受信にSIOCLKが16発用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

12.3.5 受信制御部

- I/Oインタフェースモードの場合

SC2CR<IOC>=“0”のSCLK出力モードのときは、SCLK2端子へ出力されるシフトクロックの立ち上がりでRX2端子をサンプリングします。

SC2CR<IOC>=“1”のSCLK入力モードのときは、SC2CR<SCLKS>の設定に従って、SCLK入力の立ち上がり/立ち下がリエッジでシリアル受信データRX2端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビットの受信にSIOCLKが16発用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により、受信したスタートビットを正常なスタートビットと判断して受信動作を開始します。

12.3.6 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろともう一方の受信バッファ2 (SC2BUF) へ移されるとともに割り込みINTRX2が発生します。また、同時に受信バッファのフルフラグ (SC2MOD2<RBFL>) が“1”にセットされ、受信バッファ2に有効データが格納されていることを示します。

TX19Aプロセッサコアは受信バッファ2 (SC2BUF) の方を読み出します。また、この読み出しにより受信バッファのSC2MOD2<RBFL>は“0”にクリアされます。TX19Aプロセッサコアが受信バッファ2 (SC2BUF) を読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、I/O インタフェースモードで SCLK 出力に設定されている場合は、ダブルバッファ制御ビット SC2MOD2<WBUF>の設定により、受信バッファ 2 (SC2BUF) を許可または不許可にできます。通信相手とハンドシェイクを取るには、受信バッファ 2 (ダブルバッファ) を不許可にすることにより、1 フレーム転送後に SCLK 出力を停止します。この設定の場合には、TX19A プロセッサコアからの読み出し動作は受信バッファ 1 に対して行われます。読み出し動作が行なわれる事により、SCLK 出力を再開します。また、受信バッファ 2 (ダブルバッファ) を許可にした場合は最初の受信データが受信バッファ 1 から 2 に移され、割り込みが発生します。次に受信データの受信が終了して、受信バッファ 2 及び 1 に有効データが存在した状態になると、SCLK 出力を停止します。受信バッファ 2 の読み出しが行なわれると、受信バッファ 1 のデータが受信バッファ 2 に移され、受信割り込み INTRX2 が発生すると同時に SCLK 出力を再開します。従って、I/O インタフェースモードの SCLK 出力ではダブルバッファ制御ビット SC2MOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

- (注1) SCLK 出力モードでは、SC2CR<OEER>は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SC2CR をリードして<OEER>を初期化してください。

SCLK 出力以外の動作モードでは常に受信バッファ 2 の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC2BUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ 2 および SC2CR<RB8>の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC2CR<RB8>に格納されます。

9 ビット UART の場合、ウェイクアップ機能 SC2MOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC2CR<RB8>=“1”のときのみ、割り込み INTRX2 が発生します。

12.3.7 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック (TXDCLK) を生成します。

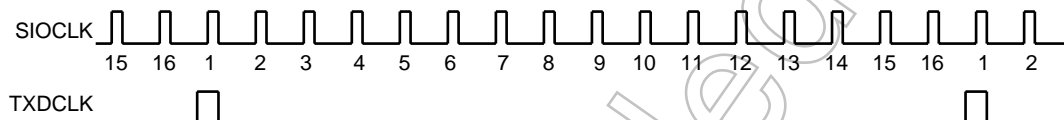


図 12.3.1 送信クロックの生成

12.3.8 送信制御部

- I/Oインタフェースモードの場合
SC2CR<10C>= “0” の SCLK 出力モードのときは、SCLK2 端子より出力されるシフトクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TX2 端子へ出力します。
SC2CR<10C>= “1” の SCLK 入力モードのときは、SC2CR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TX2 端子へ出力します。
- 非同期通信 (UART) モードの場合
送信バッファに TX19A プロセッサコアから送信データが書き込まれると、次の TXDCLK の立ち下がりエッジから送信を開始し、送信シフトクロックをつくります。

ハンドシェイク機能 (S102, 3 のみ)

CTS2 端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SC2MOD0<CTSE>によってイネーブル/ディセーブルできます。

送信は CTS2 端子が” H” レベルになると、現在送信中のデータを送信完了後、CTS2 端子が” L” レベルに戻るまで送信を停止します。ただし、INTTX2 割り込みは発生し、次の送信データを TX19A プロセッサコアに要求し、送信バッファにデータを書き込み、送信待機します。

なお、RTS 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に RTS 機能に割り当てた任意の 1 ポートを” H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

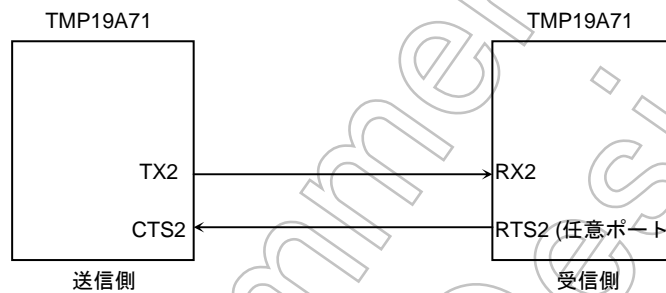
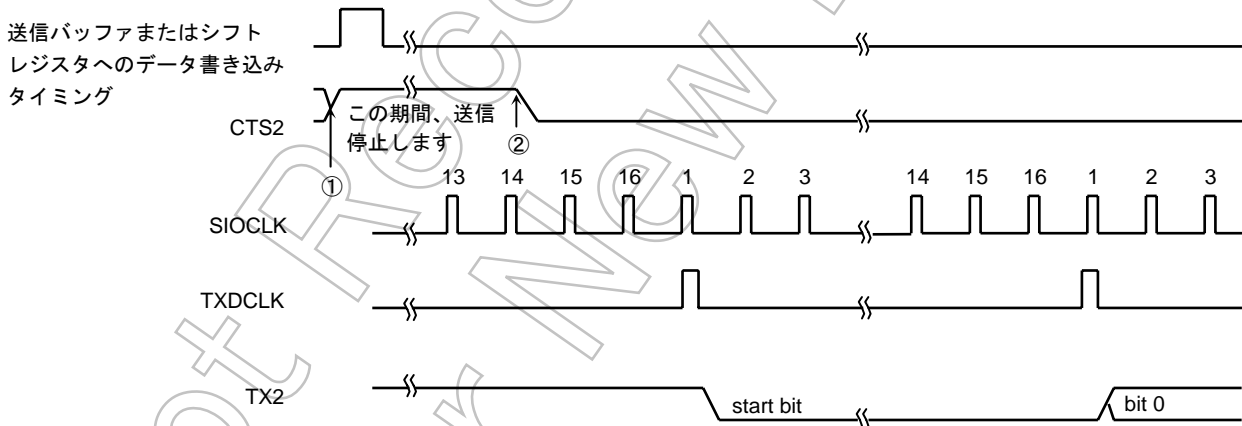


図 12.3.2 ハンドシェイク機能



(注1) 送信中に CTS 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

(注2) CTS 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 12.3.3 CTS (Clear to send) 信号のタイミング

12.3.9 デューティ 50%出力

SC2MOD1<UART>を”1”に設定すると図 12.3.4のように通常のUART出力と内部送信クロックの論理和が出力されます。UARTモードでのボーレートジェネレータ設定値がN分周の場合はデューティ 50%ですが、 $N+(16-K)/16$ 分周の場合は分周によってデューティ比が変わります。

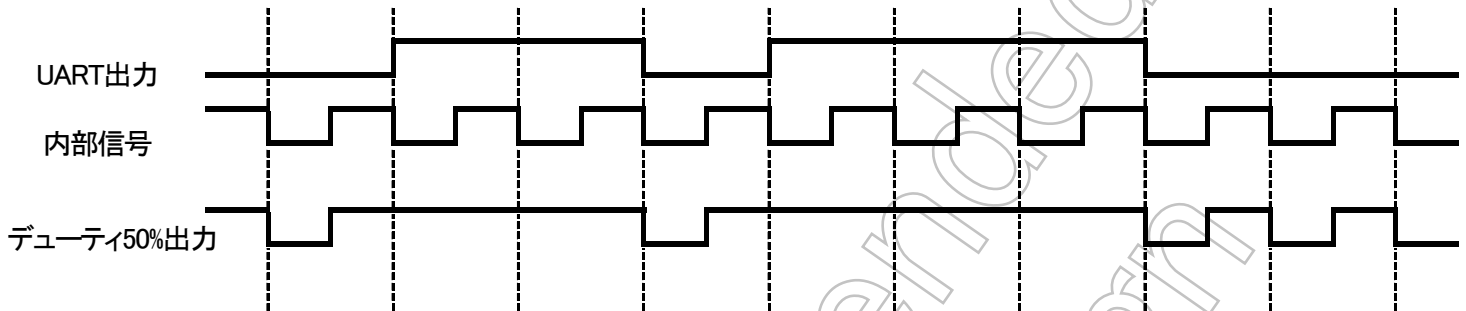


図 12.3.4 デューティ 50%出力波形(N分周の場合)

12.3.10 デューティ 50%出力のデューティ精度

(A) N分周のみ使用の場合

出力値はデューティ 50%となります。

(B) $N+(16-K)/16$ 分周の場合

デューティの計算式は、N, Kを使用した場合の L 期間 : H 期間で

$$K=0\sim 8 : (K \times N) + (8-K) \times (N+1) : 8 \times (N+1)$$

$$K=8\sim 16 : 8 \times N : (K-8) \times N + (16-K) \times (N+1)$$

であらわされます。

誤差が最大となるのは、 $K=8, N=1$ のときで L 期間 : H 期間 = $8 : 16 = 33[\%] : 67[\%]$ となります。

(設定例) $N+(16-K)/16$ 分周を使用して 9600bps を作成した場合

システムクロック : $f_{\text{sys}}=56\text{MHz}$ (IMCLK=28MHz)

入力クロック : $\text{IMCLK}/32=875\text{KHz}$

ボーレート設定値 : $N=5, K=5$ (ボーレート : 9615bps)

HL 期間デューティ比 L 期間 : H 期間 = $43 : 48 = 47.25[\%] : 52.75[\%]$

12.3.11 送信バッファ

送信バッファ (SC2BUF) は 2 重構造になっています。シリアルモードコントロールレジスタ 2 (SC2MOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (SC2BUF) ヘデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されると同時に送信割り込み INTTX2 が発生して、SC2MOD2 の送信バッファエンプティフラグ<TBEMP>フラグが” 1” にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込み可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが” 0” にクリアされます。

また I/O インタフェースモードの SCLK 入力時は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘデータがセットされないときは、アンダランエラーになりシリアルコントロールレジスタ (SC2CR) のパリティ/アンダランフラグ<PERR>がセットされます。I/O インタフェースモードの SCLK 出力の時は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると SCLK 出力が停止します。従ってアンダランエラーは発生しません。

(注 1) I/O インタフェース SCLK 出力モードでは、SC2CR<PEER>は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SC2CR をリードして<PEER>を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの TX19A プロセッサコアからの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み INTTX2 が発生します。

相手方とプログラムによるハンドシェイクの通信を使用する場合はダブルバッファ制御ビット<WBUF>=” 0” (不許可) に設定して送信バッファ 2 の機能を無効にしてください。また、ハンドシェイクなしの連続送信の場合は<WBUF>=” 1” (許可) として送信バッファ 2 を有効にして、パフォーマンスを向上することが可能となります。ダブルバッファを使用しない場合は送信中に送信バッファへ書き込みをしないでください。

12.3.12 パリティ制御回路

シリアルコントロールレジスタ (SC2CR) のパリティ付加ビット<PE>を “1” にするとパリティ付きの送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SC2CR の<EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SC2BUF) に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC2BUF ビット 7<TB7>に、8 ビット UART モードのときはシリアルモードコントロールレジスタ SC2MOD のビット 7<TB8>にパリティがデータ書き込み後に格納されます。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ 1 にシフトインされ、受信バッファ 2 (SC2BUF) に移されることによりパリティを自動発生します。7 ビット UART モードのときは、SC2BUF<RB7>と、8 ビット UART モードのときは、SC2CR レジスタのビット 7<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SC2CR レジスタの<PERR>フラグがセットされます。

また、I/O インタフェースモードの時は SC2CR<PERR>はパリティエラーフラグではなく、アンダランエラーフラグの働きになります。

12.3.13 エラーフラグ

受信データの信頼性を上げるために3つのエラーフラグが用意されています。

1. オーバランエラー-SC2CR<OERR>

UART、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。また、このフラグは読み出すと“0”にクリアされますが、必ず受信バッファを読み出すか、SC2MOD2<SWRST>でソフトリセットを実行してください。受信バッファの読み出しもしくはソフトリセットを実行するまでの受信はオーバランエラーとなります。

I/O インタフェースモードの SCLK 出力の設定ではオーバランエラーは発生しないために、このフラグは機能せず動作定義は不定です。

2. パリティエラー/アンダランエラー-SC2CR<PERR>

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インタフェースモード時はアンダランエラーを示します。このフラグはシリアルモードコントロールレジスタ (SC2MOD2) のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、SCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次の転送クロックが入力される前に、送信ダブルバッファヘッダがセットされない場合に“1”にセットされ、アンダランエラーが発生したことを示します。また SCLK 出力モード時はアンダランエラーは発生しないために、このフラグは機能せず動作定義は不定となります。SCLK 入力モードで送信バッファ2が無効の場合はアンダランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー-SC2CR<FERR>

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットの7,8,9 ビットでサンプリングし、多数決結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (SC2MOD2) の STOP ビット長設定ビット<SBLEN>の設定に関わらず、受信時の STOP ビットの判定は最初の1ビットのみです。

表 12.3.4 エラーフラグ

動作モード	エラーフラグ	機能
UART	OERR	オーバランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
I/O インタフェース (SCLK 入力)	OERR	オーバランエラーフラグ
	PERR	アンダランエラーフラグ (WBUF=1)
		0 固定 (WBUF=0)
FERR	0 固定	
I/O インタフェース (SCLK 出力)	OERR	動作不定
	PERR	動作不定
	FERR	0 固定

12.3.14 データ転送方向

シリアルモードコントロールレジスタ 2 (SC2MOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インタフェースモード時に転送方向を MSB ファースト/LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

12.3.15 STOP ビットの長さ

SC2MOD2<SBLEN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

12.3.16 ステータスフラグ

SC2MOD2<RBFLL>はダブルバッファ有効（SC2MOD2<WBUF>="1"）時の受信バッファフルを示すフラグです。1フレームの受信が終了して、受信データがバッファ1からバッファ2に移されとバッファ2がフル（データが格納されている状態）であることを示すために“1”にセットされます。TX19A プロセッサコア/DMAC により受信バッファを読み出すと“0”にクリアされます。SCLK 出力モードで<WBUF>="0"のときは意味を持ちませんのでステータスフラグとして使用しないでください。SC2MOD2<TBEMP>はダブルバッファ有効（SC2MOD2<WBUF>="1"）時の送信バッファ2が空になったことを示すフラグです。送信バッファ2から送信バッファ1（シフトレジスタ）へデータが移されると、送信バッファ2が空になったことを示すために“1”がセットされます。TX19A プロセッサコア/DMAC により送信バッファにデータをセットすると“0”にクリアされます。<WBUF>="0"のときは意味を持ちませんのでステータスフラグとして使用しないでください。

12.3.17 送受信バッファの構成

表 12.3.5 送受信バッファ構成

		WBUF = 0	WBUF = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

12.3.18 送受信 FIFO バッファ

下記の図 12.3.4、図 12.3.5のようにUART (9 ビットUARTモード除く)、I/Oインターフェースモード共に、使用できる合計 16 バイト分のFIFOバッファを持っています。FIFOバッファは送受信両方で使用する場合それぞれ 8 バイト分のFIFOバッファが割り当てられますが、送信のみもしくは受信のみの使用の場合は 16 バイト使用することができます。

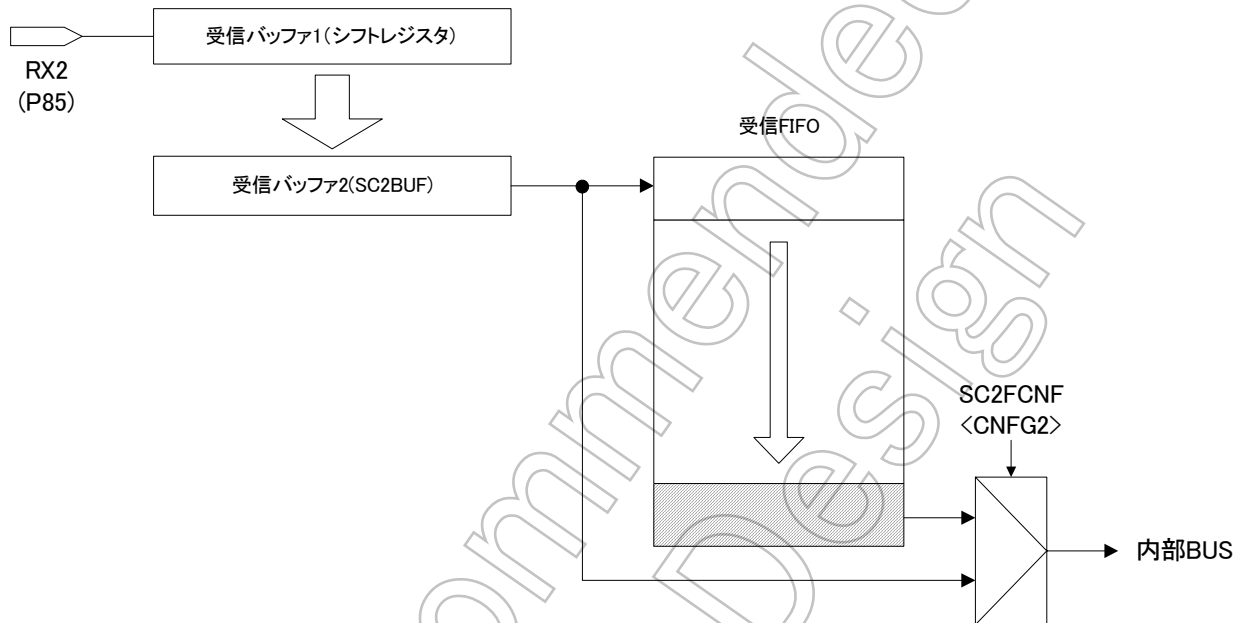


図 12.3.5 受信 FIFO ブロック図

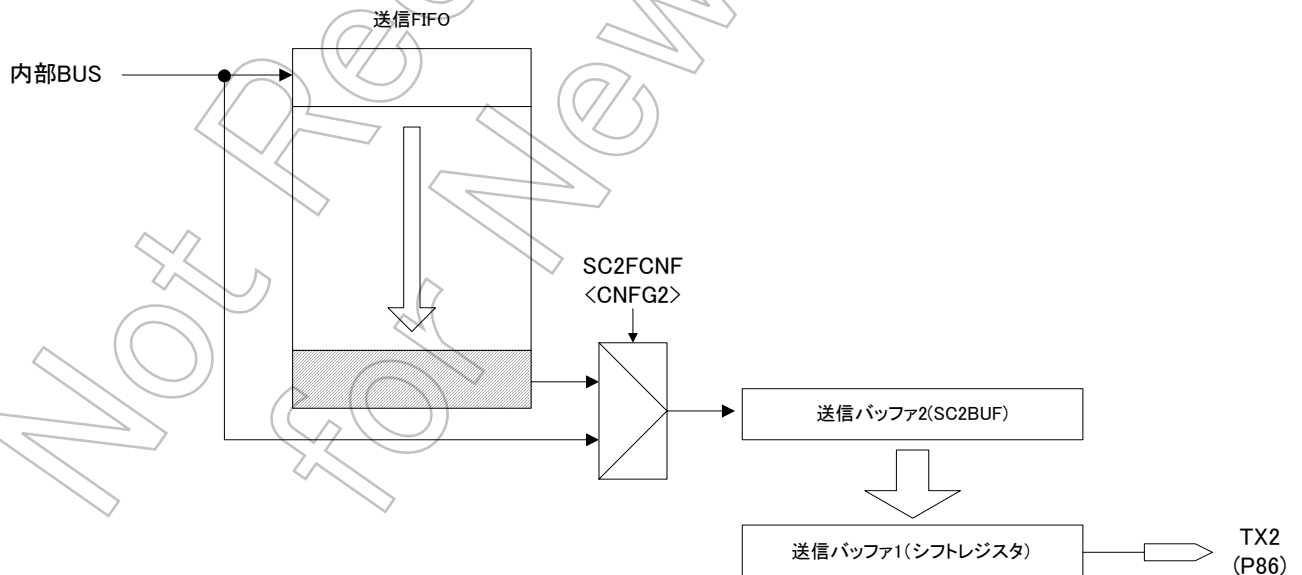


図 12.3.6 送信 FIFO ブロック図

SCK 出力モード(I/O インタフェースモード)の半二重のモードで送信を始めるには送信バッファにデータを書きます。データが送信バッファの中にある場合、送信は停止します。また受信では SC2MOD0<RXE>に“1”を書き込んで半二重の受信を開始します。最後のデータを読む前に、SC2MOD0<RXE>を“0”にクリアすることによって、受信は停止します。FIFO バッファが許可の場合は、下記のシーケンスを実行し半二重の受信を止める必要があります。

1. 最後から二番目のデータの受信の後：受信 FIFO バッファを禁止設定
2. 最後のデータの受信の後：SC2MOD0<RXE>のリセットすることにより、受信を禁止設定
3. 前と同じ設定で受信 FIFO を許可にします。
(送信 FIFO が許可の場合は送信 FIFO は許可にし続けます)
4. FIFO バッファからデータを読み込む
5. 受信 FIFO を禁止設定
6. 最後のデータを読み込む

全二重モードでの動作は半二重の送信と同様になります。次の送信データバイトが書き込まれる前に、受信データを読まなければなりません。

- (注 1) 送信 FIFO 使用時は SC2BUF、SC2FRS、SC2FTS 以外をアクセスしないでください。
- (注 2) 受信 FIFO 使用時は SC2CR のアクセス及び、SC2FRS の書き込みをしないでください。
- (注 3) 送信 FIFO が埋まっている状態での書き込みはしないでください。SC2FTS<TLVL>で送信 FIFO の格納値を確認してから書き込みをしてください。
- (注 4) 受信 FIFO が空の状態での読み出しはしないでください。SC2FRS<RLVL>で受信 FIFO の格納値を確認してから読み出しをしてください。

12.3.19 各信号発生タイミング

① I/O インタフェースモードの場合

表 12.3.6 I/O インタフェースモード時の各信号発生タイミング

受信

割り込み発生タイミング (WBUF = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後 (受信バッファ 1→2 ヘデータを移した直後) または受信バッファ 2 からデータを読み出した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ 2 ヘデータを移した直後)
オーバランエラー発生タイミング	SCLK 入力モード	最終 SCLK の次の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは次の立ち上がり直後

送信

割り込み発生タイミング (WBUF = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後
割り込み発生タイミング (WBUF = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後または送信バッファ 1 ヘデータを移した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ 1 ヘデータを移した直後
アンダランエラー発生タイミング (WBUF=1)	SCLK 入力モード	次回 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

(注1) 送信、受信時 (受信許可の状態) に制御レジスタの変更は行わないでください

(注2) 受信動作中に受信動作を停止 (SC2MOD0<RXE>=" 0") しないでください

② UART モードの場合

表 12.3.7 UART モード時の各信号発生タイミング

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1 STOP ビットの中央付近	第1 STOP ビットの中央付近	第1 STOP ビットの中央付近
フレーミングエラー発生タイミング	STOP ビットの中央付近	STOP ビットの中央付近	STOP ビットの中央付近
パリティエラー発生タイミング	—	最終ビット(パリティビット)の中央付近	最終ビット(パリティビット)の中央付近
オーバランエラー発生タイミング	STOP ビットの中央付近	STOP ビットの中央付近	STOP ビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (WBUF = 0)	STOP ビット送出と同時	STOP ビット送出と同時	STOP ビット送出と同時
割り込み発生タイミング (WBUF = 1)	送信バッファ1ヘデータを移した直後(スタートビット送出と同時)	送信バッファ1ヘデータを移した直後(スタートビット送出と同時)	送信バッファ1ヘデータを移した直後(スタートビット送出と同時)

(注1) 送信、受信時(受信許可の状態)に制御レジスタの変更は行わないでください

(注2) 受信動作中に受信動作を停止(SC2MOD0<RXE>="0")しないでください

(注3) 中央付近とは SIOCLK の 9 ビット目にあたります。

12.4 レジスタ説明（チャンネル2 についてのみの説明します）

表 12.4.1 SIO レジスタマップ

アドレス	bit 数	レジスタ記号	レジスタ名称
0xFFFF_C480	8	SCOMOD0	シリアル0 モードコントロールレジスタ 0
0xFFFF_C481	8	SCOMOD1	シリアル0 モードコントロールレジスタ 1
0xFFFF_C484	8	SCOCR	シリアル0 コントロールレジスタ
0xFFFF_C485	8	SCOMOD2	シリアル0 モードコントロールレジスタ 2
0xFFFF_C488	8	BROCR	ボーレートジェネレータコントロールレジスタ (SI00)
0xFFFF_C489	8	BROADD	ボーレートジェネレータ分周追加レジスタ (SI00)
0xFFFF_C490	8	SCOBUF	シリアル0 送受信バッファレジスタ
0xFFFF_C494	8	SCOFCNF	シリアル0 FIFO コンフィグレジスタ
0xFFFF_C498	8	SCOFTC	シリアル0 FIFO 送信コントロールレジスタ
0xFFFF_C499	8	SCOFRC	シリアル0 FIFO 受信コントロールレジスタ
0xFFFF_C49C	8	SCOFTS	シリアル0 FIFO 送信ステータスレジスタ
0xFFFF_C49D	8	SCOFRS	シリアル0 FIFO 受信ステータスレジスタ
0xFFFF_C4A0	8	SC1MOD0	シリアル1 モードコントロールレジスタ 0
0xFFFF_C4A1	8	SC1MOD1	シリアル1 モードコントロールレジスタ 1
0xFFFF_C4A4	8	SC1CR	シリアル1 コントロールレジスタ
0xFFFF_C4A5	8	SC1MOD2	シリアル1 モードコントロールレジスタ 2
0xFFFF_C4A8	8	BR1CR	ボーレートジェネレータコントロールレジスタ (SI01)
0xFFFF_C4A9	8	BR1ADD	ボーレートジェネレータ分周追加レジスタ (SI01)
0xFFFF_C4B0	8	SC1BUF	シリアル1 送受信バッファレジスタ
0xFFFF_C4B4	8	SC1FCNF	シリアル1 FIFO コンフィグレジスタ
0xFFFF_C4B8	8	SC1FTC	シリアル1 FIFO 送信コントロールレジスタ
0xFFFF_C4B9	8	SC1FRC	シリアル1 FIFO 受信コントロールレジスタ
0xFFFF_C4BC	8	SC1FTS	シリアル1 FIFO 送信ステータスレジスタ
0xFFFF_C4BD	8	SC1FRS	シリアル1 FIFO 受信ステータスレジスタ

(注 1) 上記のレジスタは 8 ビットのレジスタ長ですが、アドレスが 16 ビット分連続するレジスタは 16 ビットアクセス命令で 2 つのレジスタを 1 回でアクセスすることが可能です。

アドレス	bit 数	レジスタ記号	レジスタ名称
0xFFFF_C4C0	8	SC2MOD0	シリアル 2 モードコントロールレジスタ 0
0xFFFF_C4C1	8	SC2MOD1	シリアル 2 モードコントロールレジスタ 1
0xFFFF_C4C4	8	SC2CR	シリアル 2 コントロールレジスタ
0xFFFF_C4C5	8	SC2MOD2	シリアル 2 モードコントロールレジスタ 2
0xFFFF_C4C8	8	BR2CR	ポーレートジェネレータコントロールレジスタ (S102)
0xFFFF_C4C9	8	BR2ADD	ポーレートジェネレータ分周追加レジスタ (S102)
0xFFFF_C4D0	8	SC2BUF	シリアル 2 送受信バッファレジスタ
0xFFFF_C4D4	8	SC2FCNF	シリアル 2 FIFO コンフィグレジスタ
0xFFFF_C4D8	8	SC2FTC	シリアル 2 FIFO 送信コントロールレジスタ
0xFFFF_C4D9	8	SC2FRC	シリアル 2 FIFO 受信コントロールレジスタ
0xFFFF_C4DC	8	SC2FTS	シリアル 2 FIFO 送信ステータスレジスタ
0xFFFF_C4DD	8	SC2FRS	シリアル 2 FIFO 受信ステータスレジスタ
0xFFFF_C4E0	8	SC3MOD0	シリアル 3 モードコントロールレジスタ 0
0xFFFF_C4E1	8	SC3MOD1	シリアル 3 モードコントロールレジスタ 1
0xFFFF_C4E4	8	SC3CR	シリアル 3 コントロールレジスタ
0xFFFF_C4E5	8	SC3MOD2	シリアル 3 モードコントロールレジスタ 2
0xFFFF_C4E8	8	BR3CR	ポーレートジェネレータコントロールレジスタ (S103)
0xFFFF_C4E9	8	BR3ADD	ポーレートジェネレータ分周追加レジスタ (S103)
0xFFFF_C4E0	8	SC3BUF	シリアル 3 送受信バッファレジスタ
0xFFFF_C4F4	8	SC3FCNF	シリアル 3 FIFO コンフィグレジスタ
0xFFFF_C4F8	8	SC3FTC	シリアル 3 FIFO 送信コントロールレジスタ
0xFFFF_C4F9	8	SC3FRC	シリアル 3 FIFO 受信コントロールレジスタ
0xFFFF_C4FC	8	SC3FTS	シリアル 3 FIFO 送信ステータスレジスタ
0xFFFF_C4FD	8	SC3FRS	シリアル 3 FIFO 受信ステータスレジスタ

(注 1) 上記のレジスタは 8 ビットのレジスタ長ですが、アドレスが 16 ビット分連続するレジスタは 16 ビットアクセス命令で 2 つのレジスタを 1 回でアクセスすることが可能です。

シリアル 2 モードコントロールレジスタ 0

SC2MOD0
(0xFFFF_C4C0)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM		SC	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データビット 8	ハンドシェイク機能制御 0: CTS ディセーブル 1: CTS イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード (CH2/3 のみ) 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード		シリアル転送クロック (UART 用) 00: タイマ TB2OUT 01: ポーレートジェネレータ 10: 内部クロック (IMCLK) 11: 外部クロック (SCLK2 入力) (CH2/3 のみ)	

→ ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときのみ割り込み	

→ ハンドシェイク機能(CTS 端子)イネーブル(CH2/3 のみ)

0	ディセーブル (常時送信可能)
1	イネーブル

- (注1) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC2CR) でクロックを選択します。
- (注2) S100, 1, 3 も S102 と同様にタイマ TB2OUT をシリアル転送クロックとして使用できます。
- (注3) <RXE>=" 0" の状態で各モードレジスタ (SC2MOD0、SC2MOD1、SC2MOD2) を設定してから最後に<RXE>=" 1" にしてください。
- (注4) I/O インタフェースモード (SC2MOD0<SM>=00) で半 2 重 (SC2MOD1<FDPX>=0) の送信中に<RXE>=" 1" に設定しないで下さい。
- (注5) <TB8>はダブルバッファ構造になっていないため、使用する場合はダブルバッファを禁止の設定で送信が完了したことを確認してから書き込んでください。

シリアル 2 モードコントロールレジスタ 1

	7	6	5	4	3	2	1	0
SC2MOD1 (0xFFFF_C4C1)	—	FDPX	—	UART	—	—	—	—
Read/Write	R/W	R/W	R/W	R/W	W			
リセット後	0	0	0	0	0	0	0	0
機能		同期式 0: 半二重 1: 全二重		UART 出力 0: 通常 1: デューティ 50% 出力				

(注1) $N + (16-K)/16$ 分周を使用している場合は” K” の値によってデューティ比が変わります。

Not Recommended for New Design

シリアル 2 モードコントロールレジスタ 2

 SC2MOD2
 (0xFFFF_C4C5)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST	
Read/Write	R			R/W			W	
リセット後	1	0	0	0	0	0	00	
機能	送信バッファ エンティフラグ 0: full 1: Empty	受信バッファ フルフラグ 0: Empty 1: full	送信動作中 フラグ 0: 停止 1: 動作	STOP ビット 0: 1ビット 1: 2ビット	転送方向設定 0: LSB first 1: MSB first	ダブルバッファ の許可 0: 不許可 1: 許可	ソフトリセット "10"、"01" のライトで RESET	

Symbol	機能
SWRST	"10" → "01" のライトによりソフトウェアリセットが発生します。これにより、モードレジスタの SC2MOD0<RXE>、SC2MOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの SC2CR<OERR>、<PERR>、<FERR>及び内部回路が初期化されます。
WBUF	I/O インタフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。その他のモードでは設定に関らず、常にダブルバッファは許可されます。
DRCHG	I/O インタフェースモード時に、転送方向を指定します。UART モード時は LSB first 以外は設定できません。
SBLN	UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。
TXRUN	送信シフト動作中を示すステータスフラグです。このビットが 1 の場合は送信動作中である事を示し、0 の場合は、ビット 7<TBEMP>="1" の時は送信が完全に終了している状態を、<TBEMP>="0" の時は送信バッファに次の送信データがあり送信待ちの状態を示します。
RBFL	受信ダブルバッファのデータフルを示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると "1" になり、受信バッファからデータを読み出すと "0" になります。ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。
TBEMP	送信ダブルバッファのデータエンティを示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、エンティになると "1" になり、送信データが書き込まれると "0" になります。ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

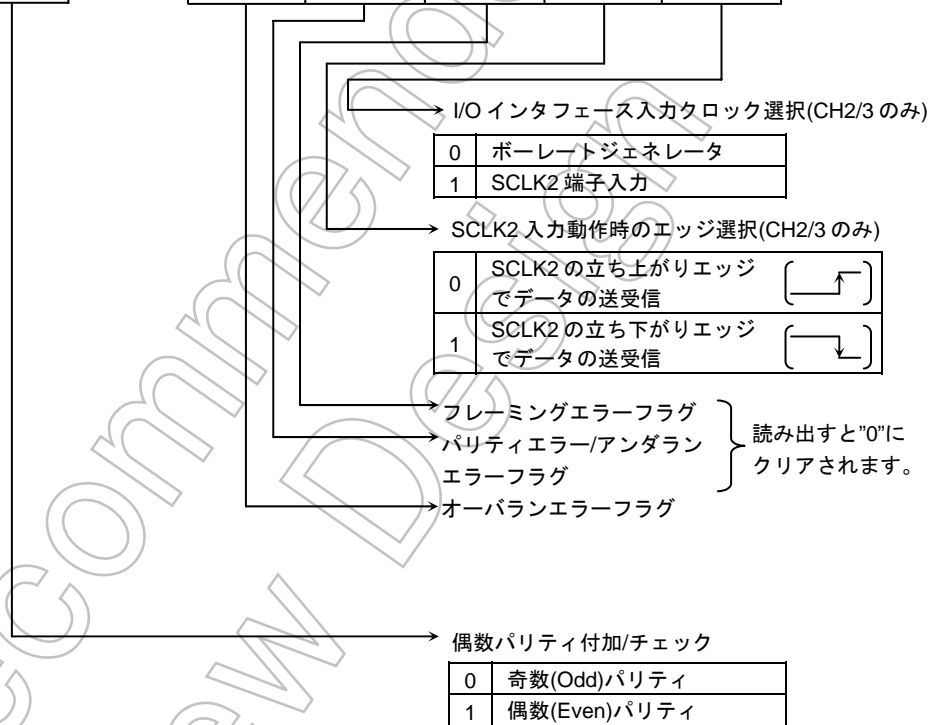
(注1) 転送動作中にソフトリセットをかける場合は 2 セット連続して実行してください。

(注2) 本レジスタはビット操作命令でアクセスできません。

シリアル 2 コントロールレジスタ

SC2CR
(0xFFFF_C4C4)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W			R (Read すると 0 クリア されます。)			R/W
リセット後	0	0	0	0	0	0	0	0
機 能	受信データ ビット 8	パリティ 0: Odd 1: Even	パリティ 付加 0: 禁止 1: 許可	1: エラー			0: SCLK2 [↑]	0: ポーレ ートジェ ネレータ 1: SCLK2 端子入力
				オーバ ラン	パリティ/ アンダラ ン	フレー ミング	1: SCLK2 [↓]	



(注1) エラーフラグは読み出されるとすべてクリアされます。

(注2) 本レジスタはビット操作命令でアクセスできません。

(注3) SC2CR<FERR>はポーリングをせずにINTRX2 の処理内で受信バッファよりも先に読み出してください。詳細は「12.5.3 8ビットUARTモード」の設定例を参照してください。

ポーレートジェネレータコントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	—	DVS	PRE		BR2S			
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0” をラ イトして ください	$N + (16 - K) / 16$ 分周機能 0: ディセー ブル 1: イネー ブル	00: 1MCLK/2 01: 1MCLK/8 10: 1MCLK/32 11: 1MCLK/128		分周値”N” の設定			

ポーレートジェネレータの入カクロックの選択

00	内部クロック 1MCLK/2
01	内部クロック 1MCLK/8
10	内部クロック 1MCLK/32
11	内部クロック 1MCLK/128

ポーレートジェネレータ分周追加レジスタ

	7	6	5	4	3	2	1	0	
bit Symbol	BR2K								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	$N + (16 - K) / 16$ 分周の K 値の設定								

ポーレートジェネレータの分周値の設定

	BR2CR<DVS>= 1		BR2CR<DVS>= 0
BR2CR <BR2S>	0000 (N = 16) ?	0010 (N = 2) ?	0001 (N = 1) (UART のみ) ?
BR2ADD <BR2K>	0001 (N = 1)	1111 (N = 15)	1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) 1111 (K = 15)	禁止	$N + \frac{(16 - K)}{16}$ 分 周	N 分周

(注1) UART モードでは、ポーレートジェネレータ分周値の”1”分周は、 $N + (16 - K) / 16$ 分周機能を使用しないときのみ設定可能です。I/O インタフェースモードでは、ポーレートジェネレータ分周値の”1”分周を使用すると正常に動作しません。

(注2) $N + (16 - K) / 16$ 機能を使用する場合、かならず BR2ADD<BR2K3 : 0>に K 値 (K = 1~15) を設定後に BR2CR<DVS>= “1” を設定してください。ただし、BR2CR<BR2S>= “0000” または “0001” (N = 16 または 1) のとき $N + (16 - K) / 16$ 分周機能は正常に動作しないため使用しないでください。

(注3) $N + (16 - K) / 16$ 分周機能は UART モードのみ使用可能です。I/O インタフェースモードのときは正常に動作しないため BR2CR<DVS>= “0” に設定し $N + (16 - K) / 16$ 分周機能を禁止してください。

シリアル送受信バッファレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TB							
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	送信用バッファ							

SC2BUF
(0xFFFF_C4D0)

	7	6	5	4	3	2	1	0
bit Symbol	RB							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	受信用バッファ							

(注 1) I/O インタフェースモード (SC2MOD<SM>=00) で半二重 (SC2MOD1<FDPX>=0) の受信中に送信用バッファに書き込まないで下さい。

シリアル 2 FIFO コンフィグレジスタ

		7	6	5	4	3	2	1	0	
SC2FCNF (0xFFFF_C4D4)	bit Symbol	—	—	—	—	—	—	CNFG		
	Read/Write	R						R/W		
	リセット後	0	0	0	0	0	0	00		
	機能								FIFO の割り当て 00: 禁止 01: 送信 (16 バイト) 10: 受信 (16 バイト) 11: 送受信 (各バイト)	

(注 1) FIFO を使用して連続的にデータを送受信する場合はダブルバッファを許可 (SC2MOD2<WBUF>=1) にしてください。

シリアル 2 FIFO 受信コントロールレジスタ

		7	6	5	4	3	2	1	0	
SC2FRC (0xFFFF_C4D9)	bit Symbol	RIL				RFIS	RFCL	RFIE		—
	Read/Write	R/W					W	R/W	R	
	リセット後	0000				0	0	0	0	0
	機能	割り込み発生レベル 0000: 受信 FIFO が 1 バイトで割り込み発生 0001: 受信 FIFO が 2 バイトで割り込み発生 0010: 受信 FIFO が 3 バイトで割り込み発生 0011: 受信 FIFO が 4 バイトで割り込み発生 ... 1111: 受信 FIFO が 16 バイトで割り込み発生 CNFG=00/01 のときは設定無効 CNFG=11 のときは最上位ビットに必ず "0" を設定してください。				割り込み条件 0: RIL=RLVL のときのみ割り込み発生 1: RIL ≤ RLVL のとき割り込み発生	FIFO クリア ここに "1" を設定すると FIFO の値がクリアされます。(読み出すと常に "0" が読めます。	FIFO 割り込み許可 0: 受信割り込み禁止 1: 受信割り込み許可		

<RFIS>: "0" に設定した場合、データ受信時に SC2FRS<RLVL>の受信 FIFO 格納値と<RIL>に設定した発生レベルが一致した場合のみ割り込みが発生します。"1" に設定した場合はデータ受信時に SC2FRS<RLVL>の受信 FIFO 格納値と<RIL>に設定した発生レベルが一致した場合以外に SC2FRS<RLVL>の受信 FIFO 格納値が<RIL>に設定した発生レベルよりも大きい状態に受信データを FIFO から読み出すと割り込みが発生します。

(注1) 本レジスタはビット操作命令でアクセスできません。

シリアル2 FIFO 送信コントロールレジスタ

		7	6	5	4	3	2	1	0
SC2FTC (0xFFFF_C4D8)	bit Symbol	TIL				TFIS	TFCL	TFIE	—
	Read/Write	R/W					W	R/W	R
	リセット後	0111				0	0	0	0
	機能	割り込み発生レベル 0000:送信FIFOが1バイトで割り込み発生 0001:送信FIFOが2バイトで割り込み発生 0010:送信FIFOが3バイトで割り込み発生 0011:送信FIFOが4バイトで割り込み発生 ... 1111:送信FIFOが16バイトで割り込み発生 CNFG=00/10のときは設定無効 CNFG=11のときは最上位ビットに必ず”0”を設定してください。				割り込み条件 0:TIL=TLVLのときのみ割り込み発生 1:TIL ≥ TLVLのとき割り込み発生	FIFOクリア ここに”1”を設定するとFIFOの値がクリアされます。(読み出すと常に”0”が読めます。	FIFO割り込み許可 0:送信割り込み禁止 1:送信割り込み許可	

<TFIS>: ”0” に設定した場合、データ送信時に SC2FTS<TLVL>の送信 FIFO 格納値と<TIL>に設定した発生レベルが一致した場合のみ割り込みが発生します。”1” に設定した場合はデータ送信時に SC2FTS<TLVL>の送信 FIFO 格納値と<TIL>に設定した発生レベルが一致した場合以外に SC2FTS<TLVL>の送信 FIFO 格納値が<TIL>に設定した発生レベルよりも小さい状態に送信データを FIFO に格納すると割り込みが発生します。

(注1) 本レジスタはビット操作命令でアクセスできません。

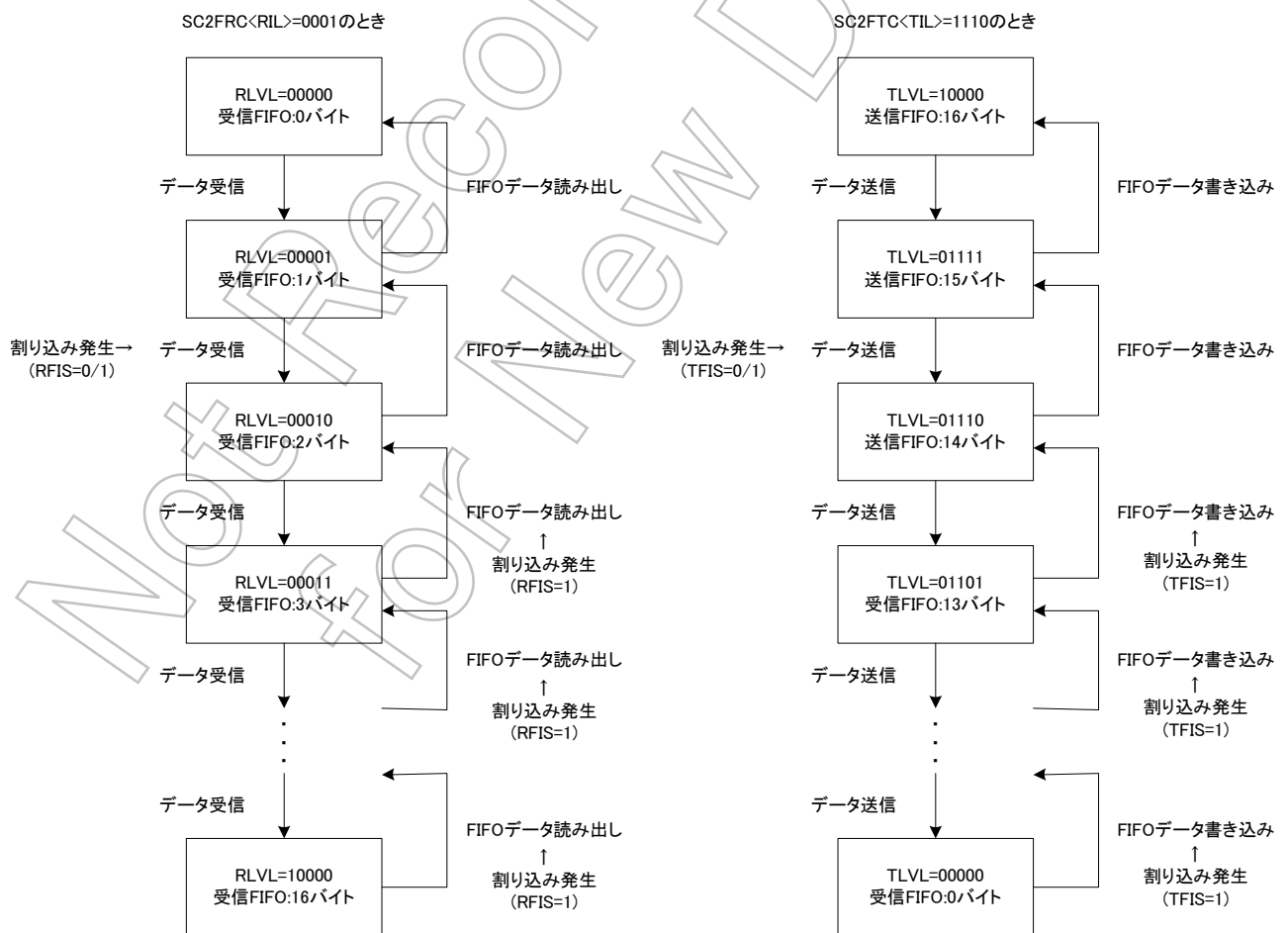


図 12.4.1 FIFO 使用時の割り込み発生タイミング例

シリアル 2 FIFO 受信ステータスレジスタ

		7	6	5	4	3	2	1	0
SC2FRS (0xFFFF_C4DD)	bit Symbol	RUR	—	—	RLVL				
	Read/Write	R							
	リセット後	0	0	0	00000				
	機能	受信 FIFO がすべて埋まっていると”1”が立ちます。	読み出すと”0”が読めず	読み出すと”0”が読めず	受信 FIFO の格納値 00000:0 バイト 00001:1 バイト 00010:2 バイト 00011:3 バイト … 10000:16 バイト				

〈RUR〉: 受信 FIFO がすべて埋まっている状態で新しい値を格納しようとするこのビットに”1”が立ちます。受信 FIFO が全て埋まっていない状態でこのビットを読み出すと”0”にクリアされます。

(注1) 本レジスタはビット操作命令でアクセスできません。

シリアル 2 FIFO 送信ステータスレジスタ

		7	6	5	4	3	2	1	0
SC2FTS (0xFFFF_C4DC)	bit Symbol	TUR	—	—	TLVL				
	Read/Write	R							
	リセット後	1	0	0	00000				
	機能	送信 FIFO が空の状態のときに”1”が立ちます。	読み出すと”0”が読めず	読み出すと”0”が読めず	送信 FIFO の格納値 00000:0 バイト 00001:1 バイト 00010:2 バイト 00011:3 バイト … 10000:16 バイト				

〈TUR〉: 送信 FIFO が空の状態のときこのビットに”1”が立ちます。最初の 1 データを FIFO に格納したときもそのデータは即座に送信バッファ SC2BUF に格納されるため、送信 FIFO が空になり〈TUR〉に”1”が立ちます。このビットは送信 FIFO にデータが書き込まれると自動的に”0”クリアされます。

12.5 シリアル転送モード別動作説明

12.5.1 I/O インタフェース モード

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

① 送信（半二重）

SCLK出力モード

SCLK 出力モードでは $SC2MOD2\langle WBUF \rangle = "0"$ で送信ダブルバッファが不許可の場合、TX19A プロセッサコアが送信バッファにデータを書き込むたびに、8 ビットのデータが TXD2 端子、同期クロックが SCLK2 端子より出力されます。データがすべて出力されると割り込み (INTTX2) が発生します。

$SC2MOD2\langle WBUF \rangle = "1"$ で送信ダブルバッファが許可されている場合は、送信が停止している状態で TX19A プロセッサコアが送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファエンピティフラグ $SC2MOD2\langle TBEMP \rangle$ が "1" にセットされます。同時に、割り込み (INTTX2) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (INTTX2) を発生せず、SCLK2 出力も停止します。

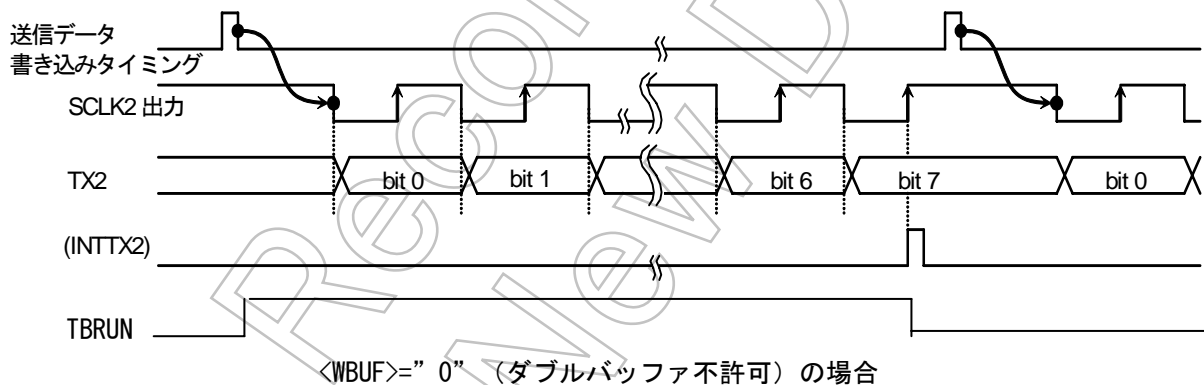


図 12.5.1 I/O インタフェース モード送信動作 (SCLK 出力モード、ダブルバッファ不許可)

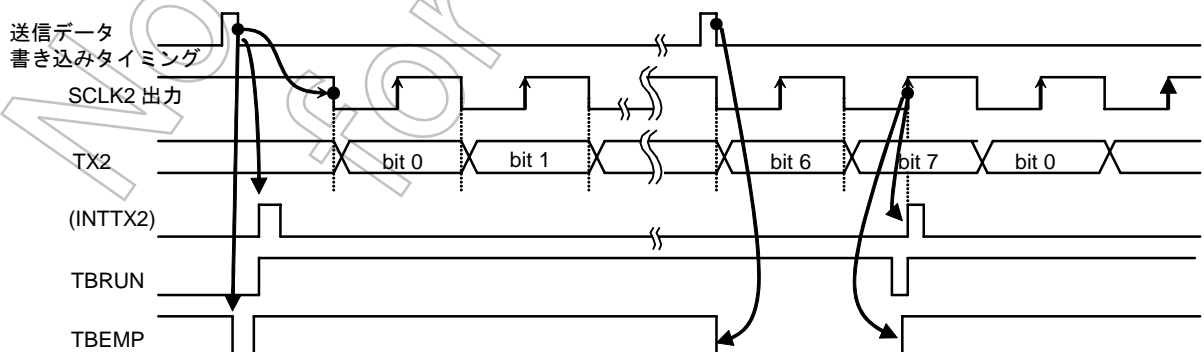
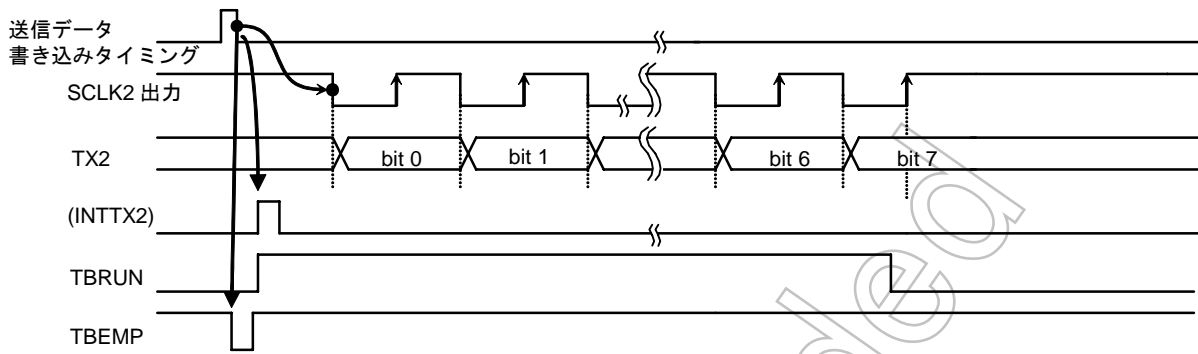


図 12.5.2 I/O インタフェース モード送信動作 (SCLK 出力モード、ダブルバッファ許可、データ有)



<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ2にデータがない場合)

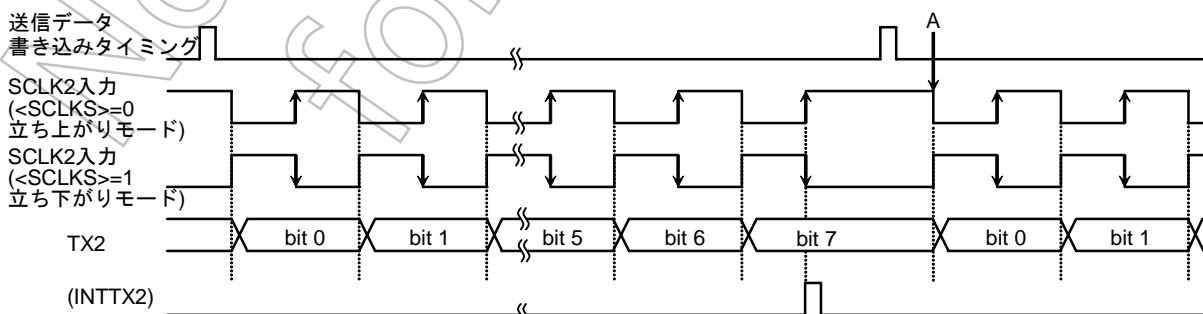
図 12.5.3 I/O インタフェース モード送信動作 (SCLK 出力モード、ダブルバッファ許可、データ無)

SCLK入力モード

SCLK 入力モードでは、SC2MOD2<WBUF>="0" で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で SCLK2 入力がアクティブになると、8 ビットのデータが TX2 端子より出力されます。データがすべて出力されると割り込み INTTX2 が発生します。次の送信データは A 点までに書き込んでください

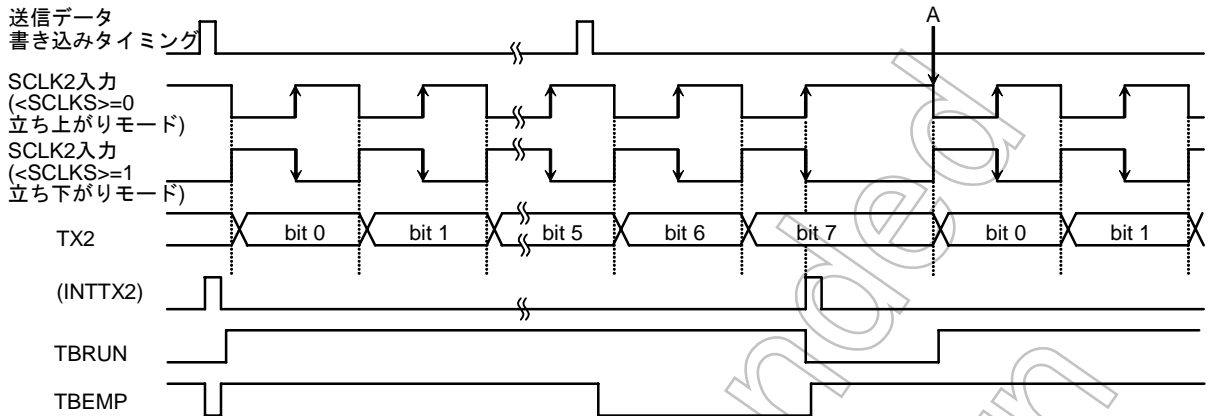
SCLK2 入力がアクティブとは最初の立ち上がりエッジ (立ち下がりモード) もしくは立ち下がりエッジ (立ち上がりモード) を意味します。

SC2MOD2<WBUF>="1" で送信ダブルバッファが許可されている場合は、SCLK2 入力がアクティブになる前に送信バッファにデータを書き込んだとき、または送信バッファ1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ2 のデータが送信バッファ1 へ移されます。これと同時に送信バッファエンプティフラグ SC2MOD2<TBEMP>が "1" にセットされ、割り込み (INTTX2) が発生します。送信バッファ2 にデータが書き込まれていない状態で、SCLK2 入力がアクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダランエラーがセットされ、8 ビット分のダミーデータ (0xFF) を送出します。



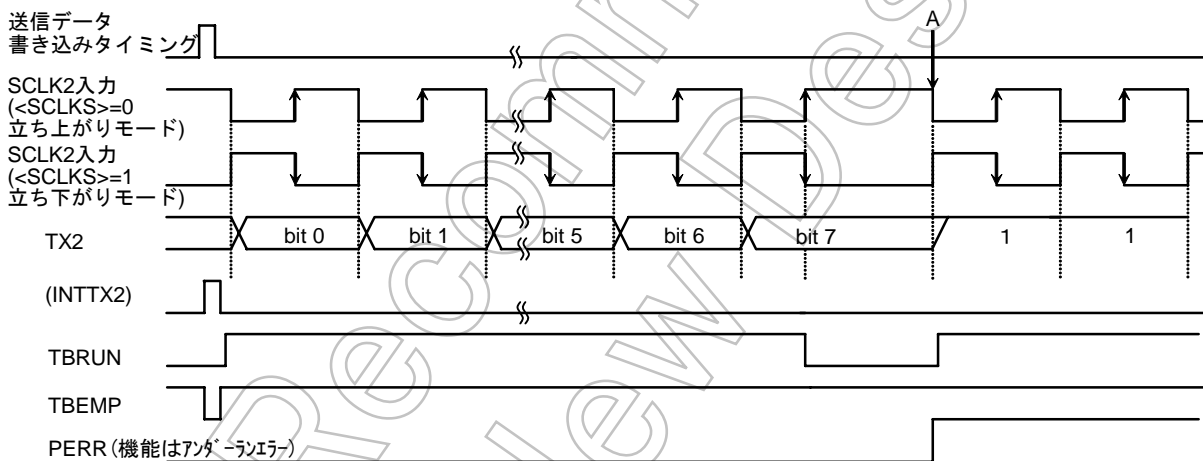
<WBUF>="0" (ダブルバッファ不許可) の場合

図 12.5.4 I/O インタフェース モード送信動作 (SCLK 入力モード、ダブルバッファ不許可)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)

図 12.5.5 I/O インタフェース モード送信動作 (SCLK 入力モード、ダブルバッファ許可、データ有)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 12.5.6 I/O インタフェース モード送信動作 (SCLK 入力モード、ダブルバッファ許可、データ無)

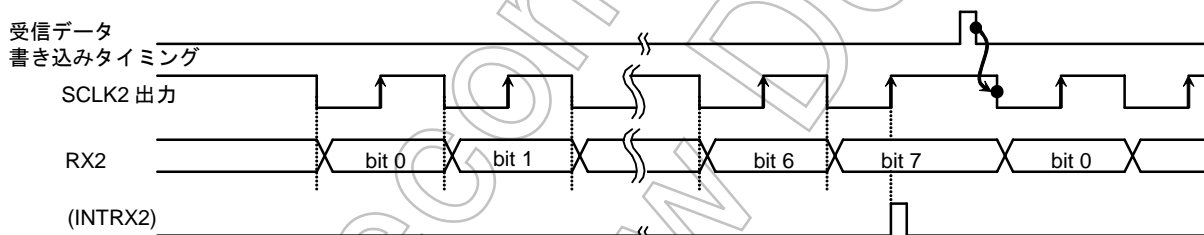
② 受信 (半二重)

SCLK出力モード

SCLK 出力モードでは SC2MOD2<WBUF>=" 0" で受信ダブルバッファが不許可の場合は、受信データが TX19A プロセッサコアに読み取られるたびに、SCLK2 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み INTRX2 が発生します。

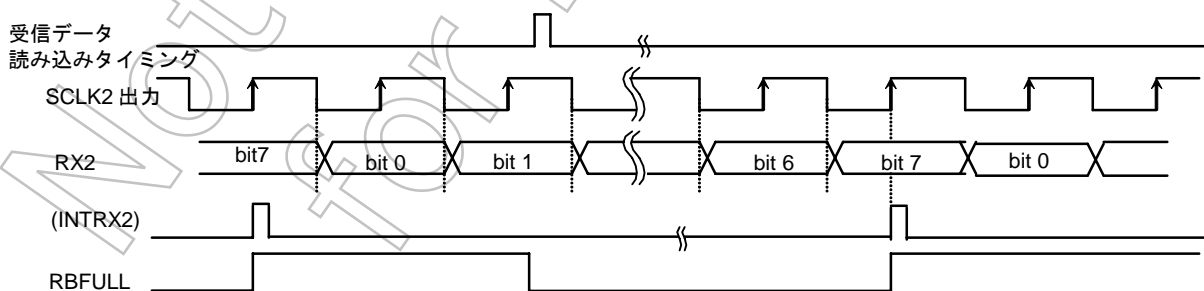
受信許可ビット SC2MOD0<RXE>を "1" にセットすることで、最初の SCLK 出力が開始されます。また、SC2MOD2<WBUF>=" 1" で受信ダブルバッファが許可の場合は、最初に受信したフレームは受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファフルフラグ SC2MOD2<RBFULL>が "1" にセットされ、割り込み INTRX2 が発生します。

受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、TX19A プロセッサコア/DMAC で受信バッファ 2 のデータが読み出されない場合は、割り込み INTRX2 が発生せず、SCLK2 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み INTRX2 を発生して受信を再開します。



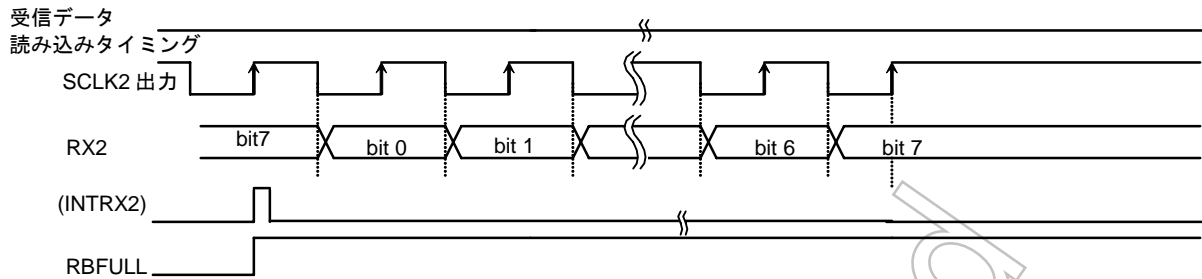
<WBUF>=" 0" (ダブルバッファ不許可) の場合

図 12.5.7 I/O インタフェース モード受信動作 (SCLK 出力モード、ダブルバッファ不許可)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出した場合)

図 12.5.8 I/O インタフェース モード受信動作 (SCLK 出力モード、ダブルバッファ許可、データ読出し)



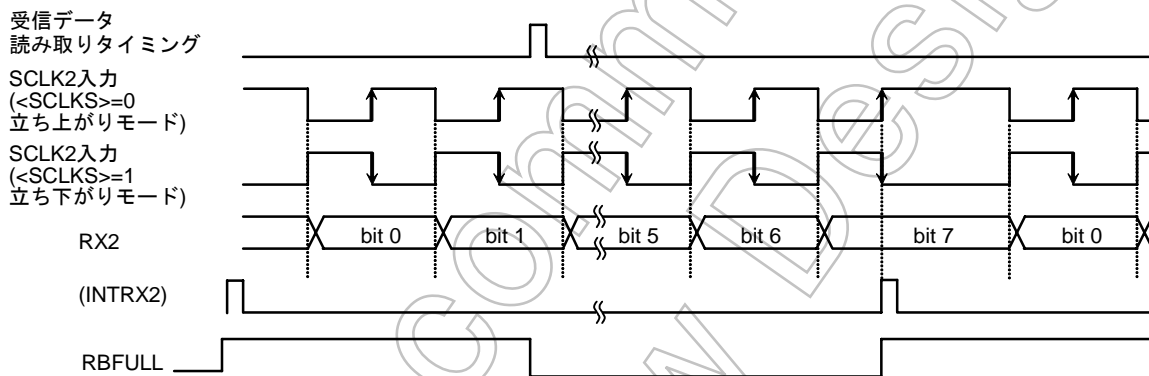
<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 12.5.9 I/O インタフェース モード受信動作 (SCLK 出力モード、ダブルバッファ許可、データ読出し無)

SCLK入力モード

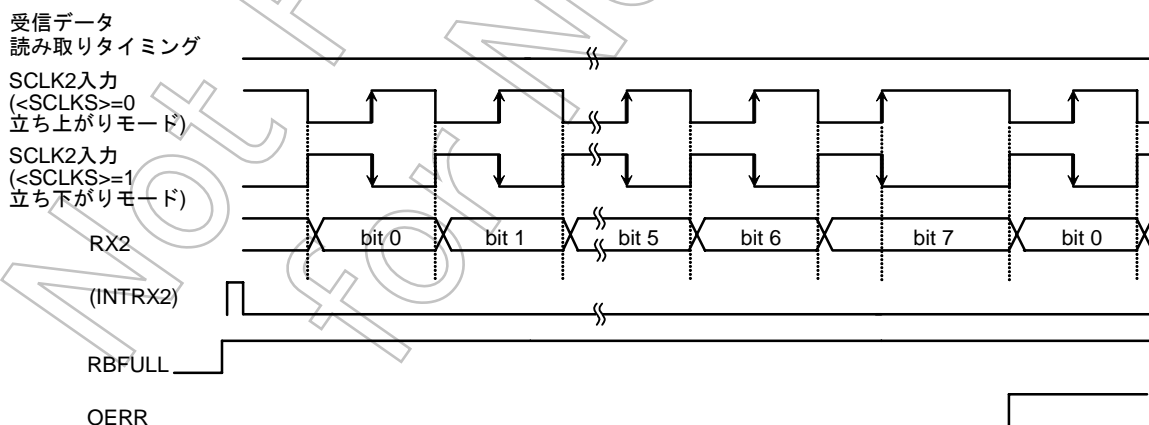
SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み INTRX2 が発生します。



バッファ 2 のデータを読み出した場合

図 12.5.10 I/O インタフェース モード受信動作 (SCLK 入力モード、データ読出し)



バッファ 2 のデータが読み出されない場合

図 12.5.11 I/O インタフェース モード受信動作 (SCLK 入力モード、データ読出し無)

(注1) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 (SC2MOD<RXE>= 1) にしておく必要があります。

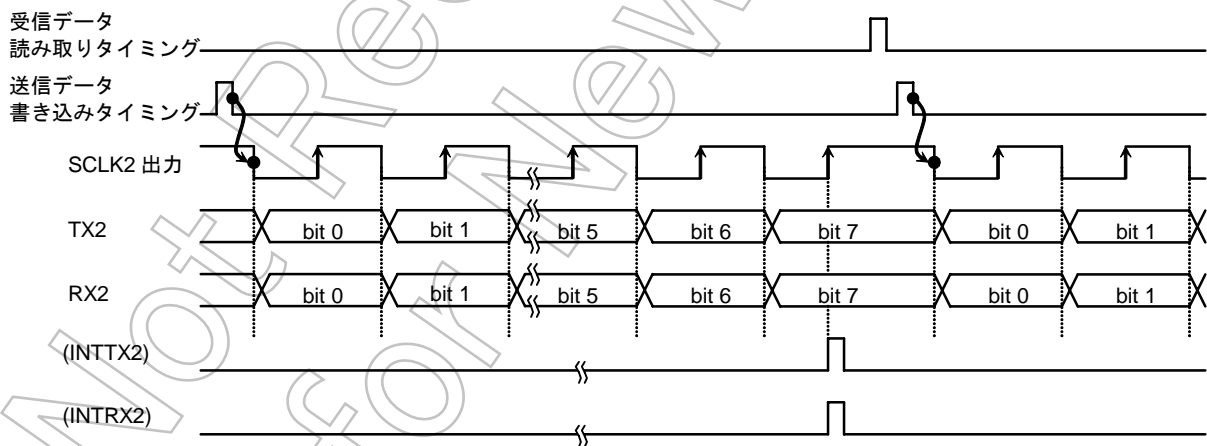
③ 送受信（全二重）

SC2MOD1<FDPX2>に“1”をセットすることにより全二重モードでの通信が可能になります。

SCLK出力モード

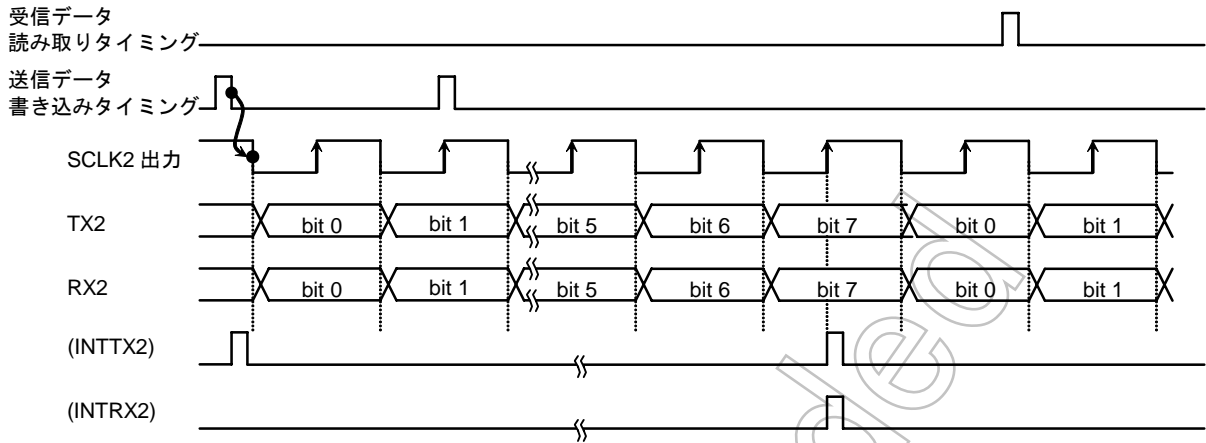
SCLK 出力モードでは SC2MOD2<WBUF>=" 0" で送受信共にダブルバッファが不許可の場合は、SC2MOD<RXE>=1 の状態で TX19A プロセッサコアが送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み（INTRX2）が発生します。それと平行して送信バッファに書き込まれた 8 ビットデータが、TX2 端子より出力され、全てのデータが送信されると送信割り込み（INTTX2）が発生します。この状態で SCLK の出力は停止します。この状態で TX19A プロセッサコアが受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

SC2MOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、TX19A プロセッサコアが送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み（INTRX2）が発生します。8 ビットデータの受信と平行して 8 ビットデータが TXD2 端子より出力されます。データがすべて出力されると割り込み（INTTX2）が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない（SC2MOD2<TBEMP>=" 1"）または受信バッファ 2 にデータが存在している（SC2MOD2<RBFULL>=" 1"）場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。



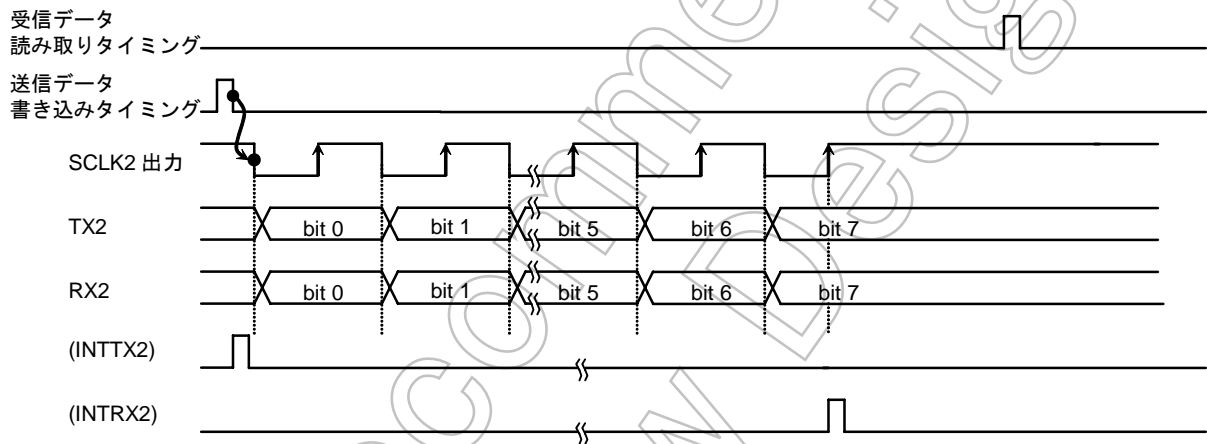
<WBUF>=" 0"（ダブルバッファ不許可）の場合

図 12.5.12 I/O インタフェースモード送受信動作（SCLK 出力モード、ダブルバッファ不許可）



<WBUF>=" 1" (ダブルバッファ許可) の場合

図 12.5.13 I/O インタフェースモード送受信動作 (SCLK 出力モード、ダブルバッファ許可、データ無)



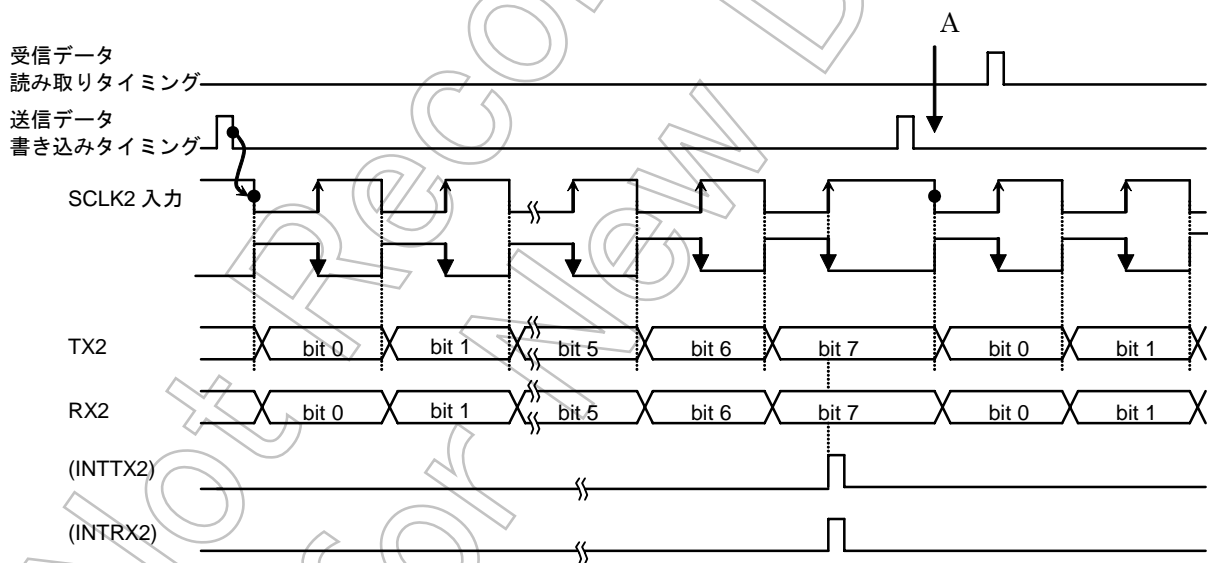
<WBUF>=" 1" (ダブルバッファ許可) の場合

図 12.5.14 I/O インタフェースモード送受信動作 (SCLK 出力モード、ダブルバッファ許可、データ有)

SCLK入力モード

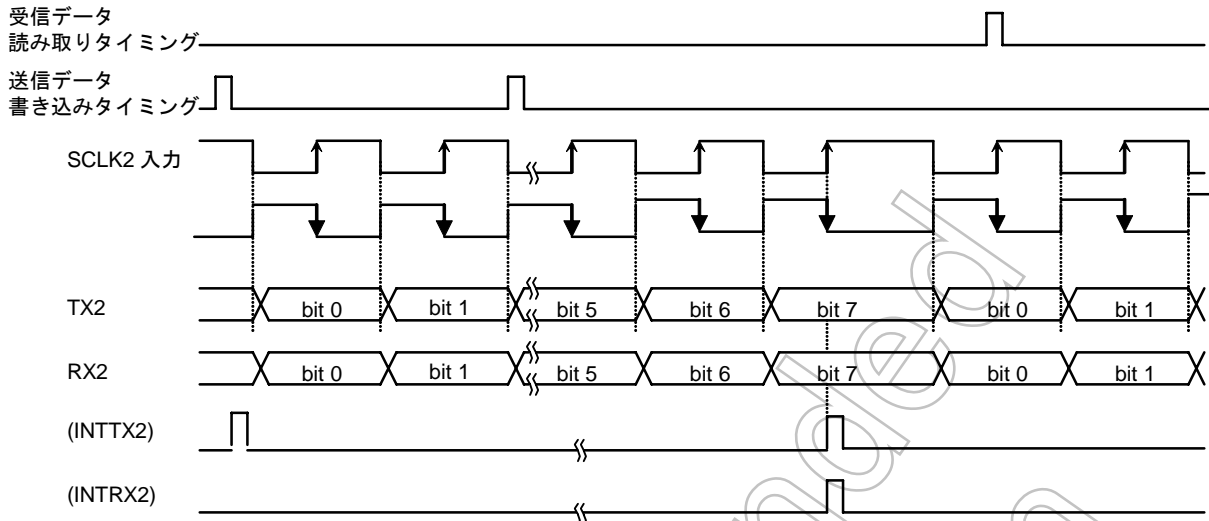
SCLK 入力モードでは SC2MOD2<WBUF>=" 0" で送信ダブルバッファが不許可（受信は設定に関わらずダブルバッファ有効）の場合は、送信バッファにデータが書き込まれている状態で SCLK 入力アクティブになると、8 ビットのデータが TX2 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み（INTTX2）が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み（INTRX2）が発生します。次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込んでください（A 点までに書き込んでください）。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

SC2MOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み（INTTX2）が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み（INTRX2）が発生します。続けて次のフレームの SCLK が入力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダランエラーが発生します。



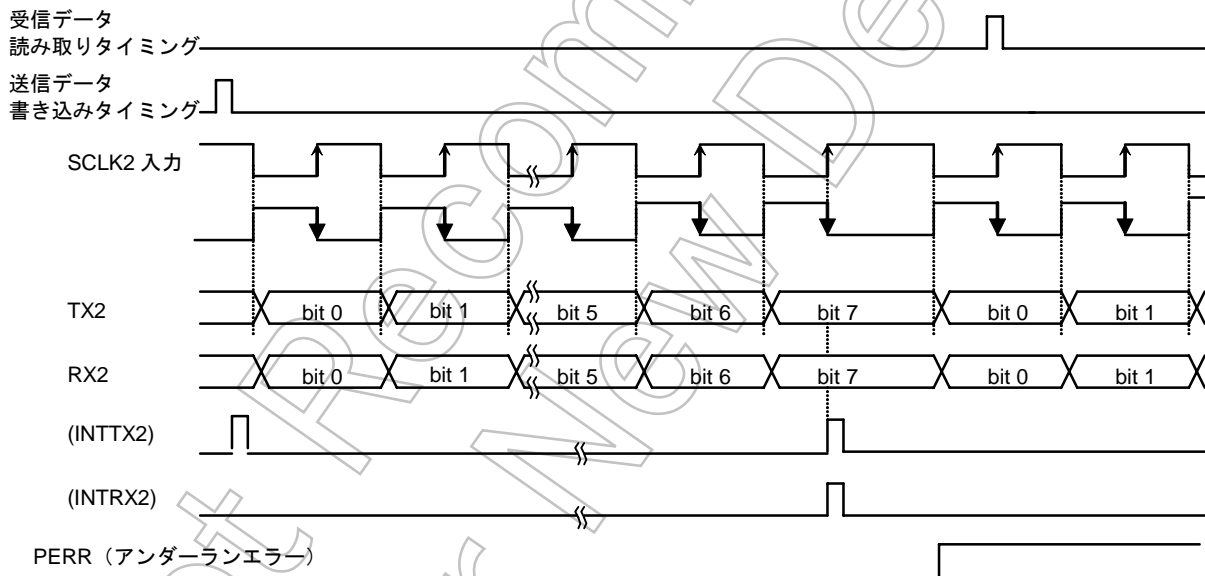
<WBUF>=" 0"（ダブルバッファ不許可）の場合

図 12.5.15 I/O インタフェースモード送受信動作（SCLK 入力モード、ダブルバッファ不許可）



<WBUF>=" 1" (ダブルバッファ許可)、の場合 (エラー無し)

図 12.5.16 I/O インタフェースモード送受信動作 (SCLK 入力モード、ダブルバッファ許可、エラー無)



<WBUF>=" 1" (ダブルバッファ許可)、の場合 (エラー発生)

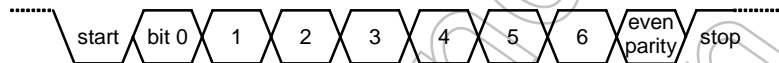
図 12.5.17 I/O インタフェースモード送受信動作 (SCLK 入力モード、ダブルバッファ許可、エラー発生)

12.5.2 7ビットUARTモード

シリアルモードコントロールレジスタ (SC2MOD<SM>) を” 01” にセットすると7ビットUARTモードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SC2CR<PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、SC2CR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SC2MOD2<SBLEN>で指定することができます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



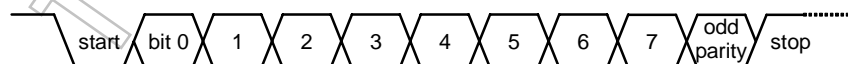
※ クロック条件	システムクロック	: 56MHz
	IMBUS クロック	: 1/2 (28MHz)
	プリスケアラクロック	: IMCLK/32
	転送速度	: 4800bps (fsys=56MHz)

	7 6 5 4 3 2 1 0	
P8CR	← - 1 - - - - -	} P86 を TX2 端子とします。
P8FR1	← - 1 - - - - -	
SC2MOD0	← X 0 - X 0 1 0 1	7ビットUARTモードに設定します。
SC2CR	← X 1 1 X X X 0 0	偶数パリティを付加します。
BR2CR	← 0 1 1 0 1 0 X 1	N=11, K補正有効, IMCLK/32
BR2ADD	← 0 0 0 0 1 0 1 0	4800 bps に設定します。(K=10)
IMR52	← - 1 0 0 - 1 0 0	INTTX2 割り込みをイネーブル、レベル4にします。
SC2BUF	← X * * * * * * *	送信データをセットします。
(注1) X: don' t care	-: no change	

12.5.3 8ビットUARTモード

SC2MOD0<SM>を” 10” にセットすると8ビットUARTモードになります。このモードでは、パリティビットの付加が可能で、SC2CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE>= “1” (イネーブル) のとき、SC2CR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



※ クロック条件	システムクロック	: 56MHz
	高速クロックギア	: 1/2 (28MHz)
	プリスケアラクロック	: IMCLK/32
	転送速度	: 9600bps (fsys=56MHz)

- メインルーチンでの設定

	7	6	5	4	3	2	1	0	
P8IER	←	-	-	0	-	-	-	-	} P85 を RX2 端子とします。
P8FR1	←	-	-	1	-	-	-	-	
SC2MOD0	←	-	0	0	X	1	0	0	} 8 ビット UART モードにします。 奇数パリティ付加に設定します。
SC2CR	←	X	0	1	X	X	X	X	
BR2CR	←	0	1	1	0	0	1	0	} N=5, K 補正有効 9600bps に設定します。(K=5)
BR2ADD	←	0	0	0	0	0	1	0	
IMR53	←	-	1	0	0	-	1	0	} INTRX2 割り込みをイネーブル、レベル 4 に設定します。 受信イネーブルにします。
SC2MOD0	←	-	-	1	X	-	-	-	

- 割り込みルーチンでの処理例

ICLR	←	0	1	1	0	1	0	1	0	0	} 割り込み要求をクリアします。 エラーチェックを行います。
Reg.	←	SC2CR AND 0x1C									
if Reg. ≠ 0 then ERROR 処理											} 受信データを読み取ります。
Reg.	←	SC2BUF									
割り込み処理終了											
(注1) X: don' t care -: no change											

Not Recommended for New Design

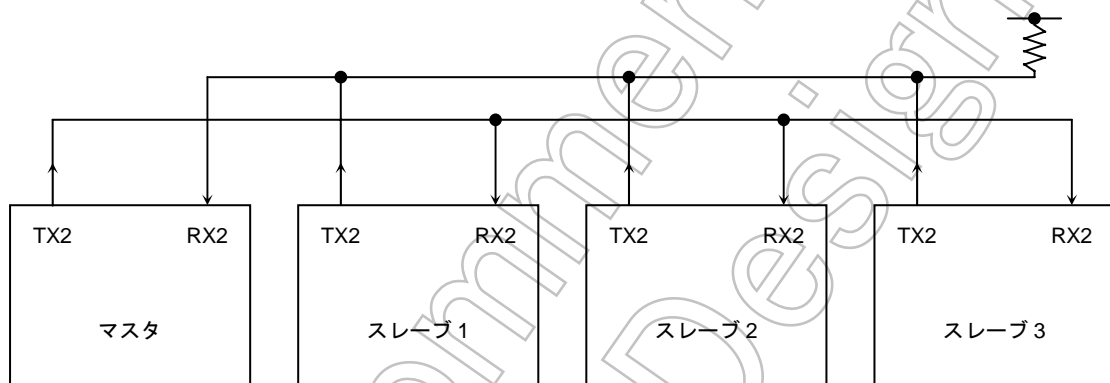
12.5.4 9ビットUART

SC2MOD0<SM>を”11”にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加を禁止 (SC2CR<PE>= “0”) してください。

最上位ビット (9ビット目) は、送信の場合 SC2MOD0<TB8>に書き込み、受信の場合シリアルコントロールレジスタ SC2CR<RB8>に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SC2BUFの方を後にします。STOPビットの長さは SC2MOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9ビットUARTモードでは、ウェイクアップ機能制御ビット SC2MOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC2CR<RB8>= “1” のときのみ割り込み (INTRX2) が発生します。



(注1) スレーブコントローラのTX2端子は、かならずPORTのP80DCRを設定してオープンドレイン出力モードにしてください。

図 12.5.18 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはSC2MOD<WU>を”1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は”1”にします。

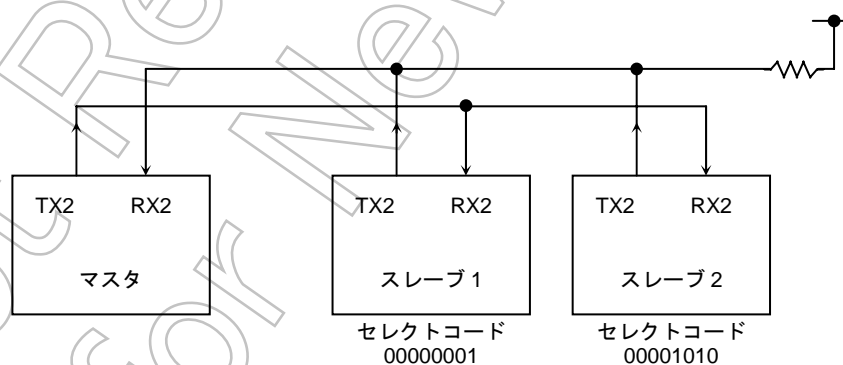


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを”0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(SC2MOD<WU>=”0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は”0”にします。



- ⑥ <WU>=”1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が”0”であるため、割り込み(INTRX2)が発生せず、受信データを無視します。また、<WU>=”0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック 1MCLK/2 を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



3) マスタコントローラの設定

メインルーチン

P8IER	← 1 0 - - - - -	} P86 を TX2、P85 を RX2 端子にします。
P8CR	← 1 0 - - - - -	
P8FR1	← 1 1 - - - - -	
IMR53	← 1 0 0 - 1 0 1	INTRX2 をイネーブル、割り込みレベルを 5 に設定します。
IMR52	← 1 0 0 - 1 0 0	INTTX2 をイネーブル、割り込みレベルを 4 に設定します。
SC2MOD0	← 1 0 1 0 1 1 1 0	9 ビット UART モード、転送クロックを IMCLK に設定します。
SC2BUF	← 0 0 0 0 0 0 0 1	スレーブ 1 のセレクトコードをセットします。

割り込みルーチン (INTTX2)

ICLR	← 0 1 1 0 1 0 0 0 0	割り込み要求をクリアします。
SC2MOD0	← 0 - - - - - -	TB8 を "0" にします。
SC2BUF	← * * * * * * * *	送信データをセットします。

割り込み処理終了

4) スレーブの設定

メインルーチン

P8IER	← 1 0 - - - - -	} P86 を TX2(オープンドレイン出力)、P85 を RX2 端子にします。
P8CR	← 1 0 - - - - -	
P8FR1	← 1 1 - - - - -	
P8ODCR	← 1 - - - - -	
IMR53	← - - 1 1 0 1 1 0	INTTX2, INTRX2 をイネーブルにします。
IMR52	← - - 1 1 0 1 0 1	
SC2MOD0	← 0 0 1 1 1 1 1 0	9 ビット UART モード転送クロック IMCLK で、<WU>= "1" に設定します。

割り込みルーチン (INTRX2)

ICLR	← 0 1 1 0 1 0 1 0 0	割り込み要求をクリアします。
Reg.	← SC2CR AND 0x1C	} エラーチェックを行います。
if Reg. ≠ 0 then ERROR 処理		
Reg.	← SC2BUF	
if Reg. = セレクトコード		
Then		
SC2MOD0	← - - - 0 - - - -	<WU> = "0" にクリアします。

13. A/D コンバータ

TMP19A71 は 2 つの 10 ビット逐次変換方式 A/D コンバータを内蔵しています。両方の A/D コンバータは 8 チャンネルの入力を持ち通常の変換などをおこなうノーマルモード、8 チャンネル（もう片方は 11 チャンネル）の入力を持ちモーター制御に特化した A/D 変換をおこなえる PMD モードの 2 つのモードを備えています。2 つの A/D コンバータはそれぞれ独立に動作し、モードも各 A/D コンバータ個別に設定できます。

13.1 特徴

13.1.1 ノーマルモード

- (1) 8 チャンネルの入力を持つ 10 ビットの A/D コンバータを 2 つ搭載しています。各チャンネルは 1 対 1 に対応した結果格納レジスタに変換結果を格納します。
- (2) チャンネル固定変換、チャンネルスキップ変換モードを個別に設定できます。
- (3) シングル変換、リピート変換を設定できます。
- (4) 変換が終了時に割り込み (INTAD0/1) が発生します。また割り込みの発生周期を選べます。
- (5) レジスタを設定することによって以下の条件で A/D 変換を開始することができます。
 - TMRB の割り込み (INTTB1)
 - 外部トリガ入力 (ADTRGO/1)
 - ソフトウェアコントロールスタート (ADSFT0)
- (6) チャンネルスキップ、チャンネル固定リピート変換の最中に最優先変換を割り込ませることが可能です。（最優先変換はソフト起動のみ）
- (7) 最優先変換が終了したときに割り込み (INTADHP0/1) を発生します。
- (8) ビジーフラグ、オーバランフラグを通して A/D 変換の状態が監視できます。
- (9) チャンネルスキップ変換のリピートモードのときに次の変換スタートを読み出すまで待つことができます。
- (10) A/D 監視機能は 2 つの比較レジスタと変換結果の値比較ができます。比較が設定した条件を満たしたとき割り込みを発生させるかどうか選ぶことができます。

13.1.2 PMD モード

- (1) 10 ビットの A/D コンバータ 2 つ搭載しており、各々結果格納レジスタが 8 個、11 個あります。
- (2) 各結果格納レジスタは変換許可、入力チャンネル、同期する PMD のトリガを個別に設定できます。
- (3) 変換順番は変換許可になっている一番若い結果格納レジスタ番号から順に開始します。
- (4) 指定したチャンネルを PMD トリガ周期に対して最高 255 週倍まで変換周期を引き伸ばすことができます。

13.2 レジスタ

2つのADCにはそれぞれノーマルモードとPMDモードのレジスタを内蔵しています。表 13.2.1にADCのレジスタマップを示します。

表13.2.1 ADC レジスタマップ(1/3)

ノーマルモード (ADCO)

アドレス	bit 数	レジスタ記号	レジスタ名称
0xFFFFC900	16	ADNRES0	A/D 変換ノーマルモード結果レジスタ 0
0xFFFFC904	16	ADNRES1	A/D 変換ノーマルモード結果レジスタ 1
0xFFFFC908	16	ADNRES2	A/D 変換ノーマルモード結果レジスタ 2
0xFFFFC90C	16	ADNRES3	A/D 変換ノーマルモード結果レジスタ 3
0xFFFFC910	16	ADNRES4	A/D 変換ノーマルモード結果レジスタ 4
0xFFFFC914	16	ADNRES5	A/D 変換ノーマルモード結果レジスタ 5
0xFFFFC918	16	ADNRES6	A/D 変換ノーマルモード結果レジスタ 6
0xFFFFC91C	16	ADNRES7	A/D 変換ノーマルモード結果レジスタ 7
0xFFFFC920	16	ADCHPRO	最優先変換結果レジスタ (ADCO)
0xFFFFC924	16 (8)	ADNMOD0 (L)	A/D ノーマルモードコントロールレジスタ (下位) (ADCO)
0xFFFFC925	8	ADNMOD0H	A/D ノーマルモードコントロールレジスタ 上位 (ADCO)
0xFFFFC928	8	ADNCLK0	A/D ノーマルモードクロックコントロールレジスタ (ADCO)
0xFFFFC92C	16 (8)	CMPCTLO (L)	A/D 監視機能コントロールレジスタ (下位) (ADCO)
0xFFFFC92C	8	CMPCTLOH	A/D 監視機能コントロールレジスタ 上位 (ADCO)
0xFFFFC930	8	ADCHPC0	最優先変換コントロールレジスタ (ADCO)
0xFFFFC934	16	ADCMP00	A/D 変換結果比較レジスタ 0 (ADCO)
0xFFFFC938	16	ADCMP01	A/D 変換結果比較レジスタ 1 (ADCO)
0xFFFFC93C	16	ADCBASNO	A/D ノーマルモード基本設定レジスタ (ADCO)
0xFFFFC940	8	ADCSTART0	A/D ソフトスタートレジスタ (ADCO)

表13.2.2 ADC レジスタマップ (2/3)

ノーマルモード (ADC1)

アドレス	bit 数	レジスタ記号	レジスタ名称
0xFFFFC980	16	ADNRES8	A/D 変換ノーマルモード結果レジスタ 8
0xFFFFC984	16	ADNRES9	A/D 変換ノーマルモード結果レジスタ 9
0xFFFFC988	16	ADNRES10	A/D 変換ノーマルモード結果レジスタ 10
0xFFFFC98C	16	ADNRES11	A/D 変換ノーマルモード結果レジスタ 11
0xFFFFC990	16	ADNRES12	A/D 変換ノーマルモード結果レジスタ 12
0xFFFFC994	16	ADNRES13	A/D 変換ノーマルモード結果レジスタ 13
0xFFFFC998	16	ADNRES14	A/D 変換ノーマルモード結果レジスタ 14
0xFFFFC99C	16	ADNRES15	A/D 変換ノーマルモード結果レジスタ 15
0xFFFFC9A0	16	ADCHPR1	最優先変換結果レジスタ (ADC1)
0xFFFFC9A4	16 (8)	ADNMOD1 (L)	A/D ノーマルモードコントロールレジスタ (下位) (ADC1)
0xFFFFC9A5	8	ADNMOD1H	A/D ノーマルモードコントロールレジスタ 上位 (ADC1)
0xFFFFC9A8	8	ADNCLK1	A/D ノーマルモードクロックコントロールレジスタ (ADC1)
0xFFFFC9AC	16 (8)	CMPCTL1 (L)	A/D 監視機能コントロールレジスタ (下位) (ADC1)
0xFFFFC9AC	8	CMPCTL1H	A/D 監視機能コントロールレジスタ 上位 (ADC1)
0xFFFFC9B0	8	ADCHPC1	最優先変換コントロールレジスタ (ADC1)
0xFFFFC9B4	16	ADCMP10	A/D 変換結果比較レジスタ 0 (ADC1)
0xFFFFC9B8	16	ADCMP11	A/D 変換結果比較レジスタ 1 (ADC1)
0xFFFFC9BC	16	ADCBASN1	A/D ノーマルモード基本設定レジスタ (ADC1)
0xFFFFC9C0	8	ADCSTART1	A/D ソフトスタートレジスタ (ADC1)

PMD モード (ADC0)

アドレス	bit 数	レジスタ記号	レジスタ名称
0xFFFFCD00	16	ADPRES0	A/D 変換 PMD モード結果レジスタ 0
0xFFFFCD04	16	ADPRES1	A/D 変換 PMD モード結果レジスタ 1
0xFFFFCD08	16	ADPRES2	A/D 変換 PMD モード結果レジスタ 2
0xFFFFCD0C	16	ADPRES3	A/D 変換 PMD モード結果レジスタ 3
0xFFFFCD10	16	ADPRES4	A/D 変換 PMD モード結果レジスタ 4
0xFFFFCD14	16	ADPRES5	A/D 変換 PMD モード結果レジスタ 5
0xFFFFCD18	16	ADPRES6	A/D 変換 PMD モード結果レジスタ 6
0xFFFFCD1C	16	ADPRES7	A/D 変換 PMD モード結果レジスタ 7
0xFFFFCD40	16 (8)	ADCSETT00 (L)	A/D 入力タイミングトリガレジスタ 0 (下位) (ADC0)
0xFFFFCD41	8	ADCSETT00H	A/D 入力タイミングトリガレジスタ 0 上位 (ADC0)
0xFFFFCD48	16 (8)	ADCSET00 (L)	A/D 入力ポート選択レジスタ 0 (下位) (ADC0)
0xFFFFCD49	8	ADCSET00H	A/D 入力ポート選択レジスタ 0 上位 (ADC0)
0xFFFFCD4C	16 (8)	ADCSET01 (L)	A/D 入力ポート選択レジスタ 1 (下位) (ADC0)
0xFFFFCD4D	8	ADCSET01H	A/D 入力ポート選択レジスタ 1 上位 (ADC0)
0xFFFFCD58	8	ADPCLK0	A/DPMD モードクロックコントロールレジスタ (ADC0)
0xFFFFCD5C	8	ADPMOD00	A/DPMD モードコントロールレジスタ 0 (ADC0)
0xFFFFCD60	16 (8)	ADPMOD01 (L)	A/DPMD モードコントロールレジスタ 1 (下位) (ADC0)
0xFFFFCD61	8	ADPMOD01H	A/DPMD モードコントロールレジスタ 1 上位 (ADC0)
0xFFFFCD64	16 (8)	ADCNEO (L)	A/D カウント時変換許可レジスタ (下位) (ADC0)
0xFFFFCD65	8	ADCNEOH	A/D カウント時変換許可レジスタ 上位 (ADC0)
0xFFFFCD68	8	ADCNTO	A/D 変換カウント設定レジスタ (ADC0)
0xFFFFCD6C	16	ADCBASPO	A/DPMD モード基本設定レジスタ (ADC0)
0xFFFFCD70	8	ADMODSELO	A/D モードコントロールレジスタ (ADC0)

表13.2.3 ADC レジスタマップ(3/3)

PMD モード (ADC1)

アドレス	bit 数	レジスタ記号	レジスタ名称
0xFFFFCD80	16	ADPRES8	A/D 変換 PMD モード結果レジスタ 8
0xFFFFCD84	16	ADPRES9	A/D 変換 PMD モード結果レジスタ 9
0xFFFFCD88	16	ADPRES10	A/D 変換 PMD モード結果レジスタ 10
0xFFFFCD8C	16	ADPRES11	A/D 変換 PMD モード結果レジスタ 11
0xFFFFCD90	16	ADPRES12	A/D 変換 PMD モード結果レジスタ 12
0xFFFFCD94	16	ADPRES13	A/D 変換 PMD モード結果レジスタ 13
0xFFFFCD98	16	ADPRES14	A/D 変換 PMD モード結果レジスタ 14
0xFFFFCD9C	16	ADPRES15	A/D 変換 PMD モード結果レジスタ 15
0xFFFFCDA0	16	ADPRES16	A/D 変換 PMD モード結果レジスタ 16
0xFFFFCDA4	16	ADPRES17	A/D 変換 PMD モード結果レジスタ 17
0xFFFFCDA8	16	ADPRES18	A/D 変換 PMD モード結果レジスタ 18
0xFFFFCDC0	16(8)	ADCSETT10(L)	A/D 入力タイミングトリガレジスタ 0(下位) (ADC1)
0xFFFFCDC1	8	ADCSETT10H	A/D 入力タイミングトリガレジスタ 0 上位 (ADC1)
0xFFFFCDC4	8	ADCSETT11	A/D 入力タイミングトリガレジスタ 1 (ADC1)
0xFFFFCDC8	16(8)	ADCSET10(L)	A/D 入力ポート選択レジスタ 0(下位) (ADC1)
0xFFFFCDC9	8	ADCSET10H	A/D 入力ポート選択レジスタ 0 上位 (ADC1)
0xFFFFCDCC	16(8)	ADCSET11(L)	A/D 入力ポート選択レジスタ 1(下位) (ADC1)
0xFFFFCDCD	8	ADCSET11H	A/D 入力ポート選択レジスタ 1 上位 (ADC1)
0xFFFFCDD0	16(8)	ADCSET12(L)	A/D 入力ポート選択レジスタ 2(下位) (ADC1)
0xFFFFCDD1	8	ADCSET12H	A/D 入力ポート選択レジスタ 2 上位 (ADC1)
0xFFFFCDD8	8	ADPCLK1	A/DPMD モードクロックコントロールレジスタ (ADC1)
0xFFFFCDDC	8	ADPMOD10	A/DPMD モードコントロールレジスタ 0 (ADC1)
0xFFFFCDE0	16(8)	ADPMOD11(L)	A/DPMD モードコントロールレジスタ 1(下位) (ADC1)
0xFFFFCDE1	8	ADPMOD11H	A/DPMD モードコントロールレジスタ 1 上位 (ADC1)
0xFFFFCDE4	16(8)	ADCNE1(L)	A/D カウント時変換許可レジスタ(下位) (ADC1)
0xFFFFCDE5	8	ADCNE1H	A/D カウント時変換許可レジスタ上位 (ADC1)
0xFFFFCDE8	8	ADCNT1	A/D 変換カウント設定レジスタ (ADC1)
0xFFFFDEC	16	ADCBASP1	A/DPMD モード基本設定レジスタ (ADC1)
0xFFFFCDF0	8	ADMDSSEL1	A/D モードコントロールレジスタ (ADC1)

(注1) 16ビットの一部のADCレジスタは、下位側8ビットと上位側8ビットとすることで、8ビットのアクセスが可能です。例えばADNMOD0はADNMOD0L/ADNMOD0Hとすることで8ビットアクセスが可能になります。

A/D コンバータは ADMODSELO<MODSEL>を切り替えることで A/D 監視機能、最優先変換を備えたノーマルモード (<MODSEL>=0) と PMD からのトリガ信号に同期した PMD モード (<MODSEL>=1) に切り替えることができます。また ADC (ノーマルモード) はチャンネルによる機能の違いは基本的にありませんので、ADCO についてのみ記載してあります。

A/D モードコントロールレジスタ (ADCO)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	—	—	—	—	VREFON	MODSEL
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能							VREF 印加制御 0: OFF 1: ON	ADCの変換モードの選択 0: ノーマルモード 1: PMDモード

- (注 1) A/D 変換中は<MODSEL>の値を書き換えないで下さい。書き換えた場合の動作は保証されません。
- (注 2) 選択したモードではない方のモードのレジスタの設定はしないでください。レジスタを設定する場合は<MODSEL>でモードを選択してから設定しなければなりません。
- (注 3) A/D 変換スタートする 3us より前に<VREFON>= “1” に設定してください。<VREFON>= “0” 及び内部基準電圧が安定する 3us よりも前に変換を開始した場合の変換精度は保証できません。
- (注 4) VREFON は A/D 変換スタート後、自動的に ON されますが、基準電圧が安定するまでは精度を保証できませんので、(注 3)を考慮してください。

13.3 ノーマルモード(ADMODO<MODSEL>=0)

A/D ノーマルモードコントロールレジスタ (下位) (ADC0)

	7	6	3	4	3	2	1	0
bit Symbol	—	ADCH			LAT	ITM	REP	SCAN
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず"0"を設定してください	アナログ入力チャンネル選択			待ち時間 0: 間隔無し 1: 変換結果レジスタを読み出すまで待つ	チャンネル固定 リピート 変換モード 時の割り込み指定	リピート モード指定 0: シングル 変換モード 1: リピート 変換モード	スキャン モード指定 0: チャンネル 固定モード 1: チャンネル スキャン モード

アナログ入力チャンネル選択

	<SCAN>	0	1
<ADCH0 [2:0]>		チャンネル固定	チャンネルスキャン
000		AIN0	AIN0
001		AIN1	AIN0 ~ AIN1
010		AIN2	AIN0 ~ AIN2
011		AIN3	AIN0 ~ AIN3
100		AIN4	AIN0 ~ AIN4
101		AIN5	AIN0 ~ AIN5
110		AIN6	AIN0 ~ AIN6
111		AIN7	AIN0 ~ AIN7

チャンネル固定リピート変換モード時の A/D 変換割り込み指定

	チャンネル固定リピート変換モード <SCAN>= "0", <REP>= "1"
0	1 回変換するごとに割り込み発生
1	4 回変換するごとに割り込み発生

ADC1 の場合入力チャンネルは
 AIN0→AIN8
 AIN1→AIN9
 AIN2→AIN10
 AIN3→AIN11
 AIN4→AIN12
 AIN5→AIN13
 AIN6→AIN14
 AIN7→AIN15
 に変わります。

(注1) AIN7 端子 (ADC1 では AIN15 端子) は、ADTRG0 入力端子と兼用になっています。このため ADMODO<TSEL>= "10" で ADTRG0 を使用している場合は ADMODO<ADCH>= "111" に、ADNMOD1<TSEL>= "11" で ADTRG1 を使用している場合は ADNMOD1<ADCH>= "111" に設定しないでください。

(注2) ADMODO<LAT>の設定が有効になるのはリピート変換モード時のみです。ADNMOD0<LAT>= "1" に設定すると一番最後に格納されたレジスタを読み出すまで、次の変換が開始されません。

例えば ADMODO<ADCH>= "101", ADMODO<LAT>= "1", ADMODO<REP>= "1", ADMODO<SCAN>= "1" のときはチャンネルスキャン変換完了後、ADNRES5 の結果を読み出すまで次の変換は開始されません。ADNRES0~4 よりも先に ADNRES5 を読み出した場合、ADNRES5 を読んだ時点で次の変化が開始します。また ADMODO<ADCH>= "101", ADMODO<LAT>= "1", ADMODO<ITM>= "1", ADMODO<REP>= "1", ADMODO<SCAN>= "0" のときは ADNRES5 に 4 回結果を格納後、ADNRES5 の結果を読み出すまで、次の変換は開始されません。

A/D ノーマルモードコントロールレジスタ (上位) (ADCO)

(ADNMOD0H) (0xFFFF_C925)	bit Symbol	—	—	—	—	—	TRGE	TSEL		
	Read/Write	R			R/W					
	リセット後	0	0	0	0	0	0	0	0	
	機能				必ず"0"を設定してください	必ず"0"を設定してください	通常 A/D 変換の起動要因 0: ソフト起動 1: ハードウェア起動	ハードウェア起動ソース 00: Reserved 01: INTTBCOM11 10: ADTRGO 11: ADTRG1		

(注 1) <TRGE>="1" に設定した場合でも、SOFT 起動をすることができます。

(注 2) ADC1 も ADNMOD1<TSEL>=01 とすることで、INTTBCOM11 をハードウェア起動ソースとして選択できます。

A/D ソフトスタートレジスタ (ADCO)

ADCSTARTO (0xFFFF_C940)	bit Symbol	BUSY	EOS	—	—	—	—	—	ADSFT
	Read/Write	R	R/W	R				W	
	リセット後	0	0	0	0	0	0	0	0
	機能	通常 A/D 変換 BUSY フラグ 0: 変換非動作 1: 変換動作中	変換完了フラグ 0: Don't care 1: 変換完了 このフラグをクリアするには "0" を書いてください						

(注 1) <BUSY>は A/D 変換動作をしているかどうかを表します。変換が完了したかどうかを判断する場合 <EOS>を使用してください。

A/D ノーマルモード基本設定レジスタ (ADCO)

ADCBASNO (0xFFFF_C93C)	bit Symbol	—	—	—	—	—	AZSEL	—	—
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	サンプルホールド時間 1: 6clk 0: 12clk	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。
	15	14	13	12	11	10	9	8	
	bit Symbol	—	—	—	—	—	—	—	—
	Read/Write	R/W							
	リセット後	0	0	0	1	0	0	0	0
	機能	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"1"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。

(注 1) ADC の変換時間は「(<AZSEL>で選択したクロック数+27クロック)/ADCLK」になります。

最優先変換コントロールレジスタ (ADCO)

ADCHPCO
(0xFFFF_C930)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	—	HBSY	HPRQ	HPCH		
Read/Write	R				R/W			
リセット後	0	0	0	0	0	0	0	0
機能				最優先 A/D 変換 BUSY フラグ 0: 変換完了 1: 変換中	最優先変換リ クエスト 0: Don't care 1: 最優先変換 開始	最優先変換チャネル選択		

最優先変換アナログ入力チャネル選択

<ADCH [2:0]>	<SCAN> 0 チャネル固定
000	A1N0
001	A1N1
010	A1N2
011	A1N3
100	A1N4
101	A1N5
110	A1N6
111	A1N7

ADC1 の場合入力チャネルは
 A1N0→A1N8
 A1N1→A1N9
 A1N2→A1N10
 A1N3→A1N11
 A1N4→A1N12
 A1N5→A1N13
 A1N6→A1N14
 A1N7→A1N15
 に変わります。

(注 1) A1N7 端子 (ADC1 では A1N15 端子) は、ADTRG0 入力端子と兼用になっています。このため ADNMOD0<TSEL>=“10” で ADTRG0 を使用している場合は ADNMOD0<ADCH>=“111” に、ADNMOD1<TSEL>=“11” で ADTRG1 を使用している場合は ADNMOD1<ADCH>=“111” に設定しないでください。

変換結果レジスタは同様のものがレジスタ 0~15 まであります。
 同じ内容のためここではレジスタ 0 のみ記述します。

A/D ノーマルモード変換結果レジスタ 0

ADNRES0 (0xFFFF_C91C)		7	6	5	4	3	2	1	0
	bit Symbol	ADR							
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	A/D 変換結果下位 8 ビット格納							
		15	14	13	12	11	10	9	8
	bit Symbol	VAL	OVR	—	—	—	—	ADR	
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	A/D 変換結果格納フラグ 0: 変換結果有 1: 変換結果無	Over RUN flag 0: 発生無し 1: 発生						A/D 変換結果上位 2 ビット格納

- (注 1) このレジスタをアクセスするときは必ず 16 ビット以上でアクセスしてください。8 ビットアクセスしたときの動作は保証できません。
- (注 2) ビット 15 は、A/D 変換結果格納フラグ ADNRES0<VAL>です。A/D 変換値が格納されると、“1”にセットされます。ADNRES0 をリードすると、“0”にクリアされます。
- (注 3) ビット 14 はオーバーランフラグ ADNRES0<OVR>です。変換結果格納レジスタ (ADNRES0) をリードする前に変換結果が上書きされると 1 にセットされます。<VAL>=0 のときに新しい変換結果を ADNRES0 に格納されると 0 にクリアされます。
- (注 4) 本レジスタはビット操作命令でアクセスできません。

最優先変換結果レジスタ (ADCO)

ADCHPRO (0xFFFF_C9020)		7	6	5	4	3	2	1	0
	bit Symbol	ADR							
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	A/D 変換結果下位 8 ビット格納							
		15	14	13	12	11	10	9	8
	bit Symbol	VAL	OVR	—	—	—	—	ADR	
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	A/D 変換結果格納フラグ 0: 変換結果有 1: 変換結果無	Over RUN flag 0: 発生無し 1: 発生						A/D 変換結果上位 2 ビット格納

- (注 1) このレジスタをアクセスするときは必ず 16 ビット以上でアクセスしてください。8 ビットアクセスしたときの動作は保証できません。
- (注 2) ビット 15 は、A/D 変換結果格納フラグ ADCHPRO<VAL>です。A/D 変換値が格納されると、“1”にセットされます。ADCHPRO をリードすると、“0”にクリアされます。
- (注 3) ビット 14 はオーバーランフラグ ADCHPRO<OVR>です。変換結果格納レジスタ (ADCHPRO) をリードする前に変換結果が上書きされると 1 にセットされます。<VAL>=0 のときに新しい変換結果を ADCHPRO に格納されると 0 にクリアされます。
- (注 4) 本レジスタはビット操作命令でアクセスできません。

A/D ノーマルモードクロックコントロールレジスタ 1

ADNCLK0
(0xFFFF_C928)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	—	—	—	ADCCK		
Read/Write	R					R/W		
リセット後	0	0	0	0	0	0	0	0
機能						プリスケラックロック選択 001: 1MCLK/2 010: 1MCLK/4 011: 1MCLK/8 100: 1MCLK/16 その他: 1MCLK		

- (注 1) A/D 変換は上記レジスタで選択されたクロックで実行されますが、保証精度を満足するためには変換は A/D のクロック (ADCLK) で 14MHz 以下 (サンプルホールド 6 クロックの場合、 $2.36 \mu s$ 以上) になるように変換クロックを選択する必要があります。
- (注 2) A/D 変換中は変換クロックを切り替えしないでください。変換停止後に ADCLK X 2 クロック以上おいてから切り替えてください。

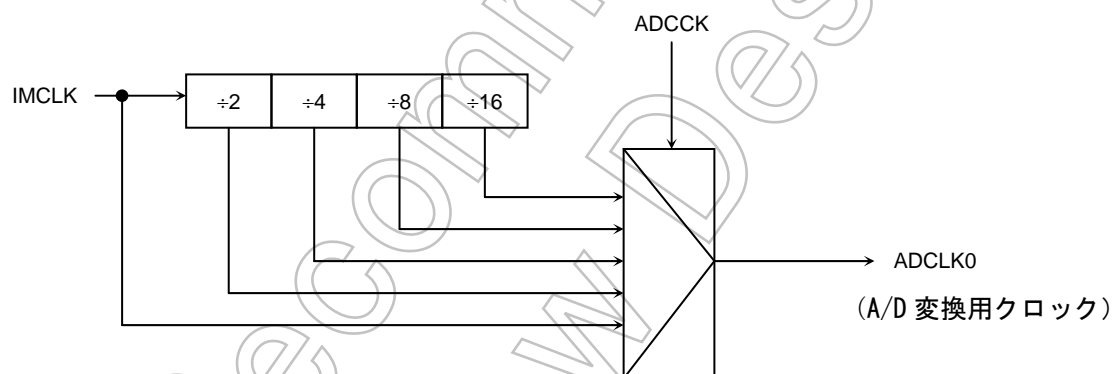


図 13.3.1 クロックコントロール回路図

A/D 監視機能コントロールレジスタ (ADC0)

CMPCTL0 (L)
(0xFFFF_C92C)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	CMCH0			CMOP0	IRQEN0	CMCAP0
Read/Write	R			R/W				
リセット後	0	0	0	0	0	0	0	0
機能			比較する A/D 変換入力チャネル 0			A/D 監視機能割込みの設定 0 0: 比較レジスタ未滿 1: 比較レジスタ以上	A/D 監視機能割込み 0 0: disable 1: enable	A/D 監視機能割込みフラグ 0 0: 監視機能割込み未発生 1: 監視機能割込み発生

<CNCH>	比較される A/D 変換入力チャネル
000	AIN0
001	AIN1
010	AIN2
011	AIN3
100	AIN4
101	AIN5
110	AIN6
111	AIN7

ADC1 の場合入力チャネルは
AIN0→AIN8
AIN1→AIN9
AIN2→AIN10
AIN3→AIN11
AIN4→AIN12
AIN5→AIN13
AIN6→AIN14
AIN7→AIN15
に変わります。

A/D 監視機能コントロールレジスタ (ADC0)

(CMPCTL0H)
(0xFFFF_C92D)

	15	14	13	12	11	10	9	8
bit Symbol	—	—	CMCH1			CMOP1	IRQEN1	CMCAP1
Read/Write	R			R/W				
リセット後	0	0	0	0	0	0	0	0
機能			比較する A/D 変換入力チャネル 1			A/D 監視機能割込みの設定 1 0: 比較レジスタ未滿 1: 比較レジスタ以上	A/D 監視機能割込み 1 0: disable 1: enable	A/D 監視機能割込みフラグ 1 0: 監視機能割込み未発生 1: 監視機能割込み発生

<CNCH>	比較される A/D 変換入力チャネル
000	AIN0
001	AIN1
010	AIN2
011	AIN3
100	AIN4
101	AIN5
110	AIN6
111	AIN7

ADC1 の場合入力チャネルは
AIN0→AIN8
AIN1→AIN9
AIN2→AIN10
AIN3→AIN11
AIN4→AIN12
AIN5→AIN13
AIN6→AIN14
AIN7→AIN15
に変わります。

(注1)CMCAPx は”1” に書き込むか ADCMPxx にデータを書き込むことにより”0” にクリアされます。
またこのレジスタをクリアするまで ADC からの割り込み要求が出続けますので、監視機能割り込みルーチン内で必ずクリアしてください。

A/D 変換結果比較レジスタ (ADCO)

 ADCMP00
 (0xFFFF_C934)

	7	6	5	4	3	2	1	0
bit Symbol	ADRO							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果比較値 0 格納							
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	ADRO	
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能								

A/D 変換結果比較レジスタ (ADCO)

 ADCMP01
 (0xFFFF_C938)

	7	6	5	4	3	2	1	0
bit Symbol	ADR1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果比較値 1 格納							
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	ADR1	
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能								

13.4.1 動作説明（ノーマルモード）

13.4.1.1 アナログ基準電圧

ADMODESEL0<VREFON>ビットに”0”を書き込むことにより、VREFH-VREFL間のスイッチをOFFできます。A/D変換をスタートさせる場合は、かならず<VREFON>ビットに”1”を書き込んだ後、内部基準電圧が安定するまでの $3\mu\text{s}$ 以上待つてから、A/D変換を開始してください。 $3\mu\text{s}$ よりも短い場合の変換精度は保証できません。

13.3.1.2 アナログ入力チャンネルの選択

アナログ入力チャンネルの選択は、A/Dコンバータの動作モードによって異なります。

(1) 通常 A/D 変換時

- アナログ入力チャンネルを固定で使用する場合（ADNMODO<SCAN>=“0”）
ADNMODO<ADCH>の設定により、アナログ入力 AIN0 ~ AIN7 端子の中から1チャンネルを選択します。
- アナログ入力チャンネルをスキャンで使用する場合（ADNMODO<SCAN>=“1”）
ADNMODO<ADCH>の設定により、8種類のスキャンモードの中から1つのスキャンモードを選択します。

(2) 最優先 A/D 変換時

A/DCHPCO<HPCH>の設定により、アナログ入力 AIN0~AIN7 端子の中から1チャンネルを選択します。

リセット後はADNMODO<SCAN>は“0”にADNMODO<ADCH>は”0000”に初期化され、これにより選択が行なわれますので、AIN0端子のチャンネル固定入力を選択されます。なお、アナログ入力チャンネルとして使用しない端子は、通常のポート（一部入力専用）として使用できますが、変換精度が悪化する場合があります。

通常 A/D 変換中に最優先 A/D 変換の起動が掛かると、A/D 変換の切れ目で最優先 A/D 変換が起動されて、終了後に通常 A/D 変換を再開します。

例) ADNMODO<REP : SCAN>=”11”、ADNMODO<ADCH>=00011 でチャンネル AIN0~AIN3 までのリピートスキャン変換中にADCHPCO<HPCH>=111でAIN7の最優先 A/D 変換が起動された場合。

最優先 AD 変換起動
(ソフト起動)

変換 Ch

Ch0	Ch1	Ch2	Ch7	Ch3	Ch0	Ch1
-----	-----	-----	-----	-----	-----	-----

13.3.1.3 A/D 変換開始

A/D 変換には、通常 A/D 変換と最優先 A/D 変換の 2 種類があります。通常 A/D 変換は ADCSTARTO<ADSFT>に” 1” を設定することによりソフトで起動が掛かります。また、最優先 A/D 変換は ADCHPCO<HPRQ>に” 1” を設定することによりソフトで起動が掛かります。通常 A/D 変換は ADNMODO<REP:SCAN>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 A/D 変換の動作モードはチャンネル固定のシングル変換のみです。また ADNMODO<TRGE>を” 1” に設定することにより、通常 A/D 変換は ADNMODO<TSEL>で選択される HW 起動ソースにより起動を掛けることができます。このビットが” 10/11” の場合は、ADTRGO 端子の立ち下がリエッジにより起動が掛かり、このビットが” 01” の場合は通常 A/D 変換は 16 ビットタイマ 1 からの INTTB COM11 で起動が掛かります。ハードウェア起動が許可された場合でもソフトウェア起動は有効です。

通常 A/D 変換が開始されると、A/D 変換中を示す A/D 変換 Busy フラグ (ADCSTARTO<BUSY>) が” 1” にセットされます。また、最優先 A/D 変換が開始されると、A/D 変換中を示す A/D 変換 Busy フラグ (ADCHPCO<HBSY>) が” 1” にセットされます。このときに通常 A/D 変換用の Busy フラグは、最優先 A/D 変換の開始前の値を保持します。また、通常 A/D 変換用の変換終了フラグ ADCSTARTO<EOS>も最優先 A/D 変換の開始前の値を保持します。ADCSTARTO<BUSY>は変換動作自体を表すフラグですので、リピート変換モードのような連続して変換するモードでは変換と変換の間で” 0” になる期間が発生します。変換終了をポーリングするような場合は ADCSTARTO<EOS>を使用してください。

通常 A/D 変換中に ADCHPCO<HPRQ>に” 1” を設定すると、現在変換中の A/D 変換の結果を格納レジスタに格納すると、最優先 A/D 変換が始まり ADCHPCO<HPCH>で指定されるチャンネルの A/D 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADCHPRO へ格納すると、続きから通常 A/D 変換を再開します。

13.3.1.4 再起動

チャンネル固定通常変換中に ADCSTARTO<ADSFTO>に” 1” を設定するか、ハードウェアリソースによる変換スタートをすると通常 A/D 変換が再起動されます。再起動された時点でそれまでの通常 A/D 変換は変換時間経過後、変換を開始しますが、再起動された時点で変換をおこなっていた変換結果は格納されません。また、再起動によって<OVRx>や<VALx>のフラグはクリアされません。

(注1) リピート変換中はリピートを停止 (ADNMODO<REP>=0) させ、変換がすべて終了してから再起動をかけて下さい。

(注2) チャンネルスキャン変換中は変換がすべて終了してから再起動をかけて下さい。

13.3.1.5 リピート停止

ADNMODO<REP>=” 1” →” 0” にすることで、リピート 1 周期分の変換終了後リピートを停止することができます。チャンネル固定リピート変換モード (4 回変換割り込み) では 4 回変換し割り込みが発生すると同時にリピート変換が停止します。また、チャンネルスキャンリピート変換モードでは指定チャンネル分変換後、割り込み発生と同時にリピートが停止します。

13.3.1.6 A/D 変換モードと A/D 変換終了割り込み

ノーマルモードには、次の 4 つの動作モードが用意されています。通常 A/D 変換の場合は ADNMODE<REP:SCAN> の設定により選択ができます。最優先 A/D 変換の場合は ADNMODE<REP:SCAN> の設定によらず、チャンネル固定のシングル変換のみの動作です。

表 13.3.1 A/D 変換モードと割り込み発生タイミング、フラグ動作関係

変換モード	割り込み発生 タイミング	EOS セットタイミング (注 1)	BUSY (割り込 み発生後)	ADNMODE		
				ITM	REP	SCAN
チャンネル固定 シングル変換	変換終了後	変換終了後	0	—	0	0
チャンネルスキャン シングル変換	スキャン変換 終了後	スキャン変換 終了後	0	—	0	1
チャンネル固定 リピート変換	1 回変換毎	変換が 1 回終 了後	1	0	1	0
	4 回変換毎	変換が 4 回終 了後	1	1		
チャンネルスキャン リピート変換	1 回のスキャン 変換終了毎	1 回のスキャン 変換終了後	1	—	1	1

(注 1) EOS は "0" を書いてクリアして下さい。

(1) 通常 A/D 変換

動作モードの選択は、ADNMODE<REP:SCAN>で行います。A/D 変換が開始されると ADCSTARTO<BUSY>が "1" にセットされます。指定された A/D 変換が終了すると、A/D 変換終了を示す ADCSTARTO<EOS>が "1" にセットされ、A/D 変換終了割り込み (INTADO) が発生します。<BUSY>は<REP>="0" の時は<EOS>のセットと同時に "0" に戻ります。<REP>="1" の時も各チャンネル変換の間で "0" になるタイミングが存在します。

① チャンネル固定シングル変換モード

ADNMODE<REP:SCAN>に "00" を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADNMODE<EOS>が "1" にセット、ADNMODE<BUSY>が "0" にされ、INTADO の割り込み要求が発生します。<EOS>は "0" を書いてクリアしてください。

② チャンネルスキャンシングル変換モード

ADNMODE<REP:SCAN>に "01" を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADNMODE<EOS>が "1" にセット、ADNMODE<BUSY>が "0" にされ、INTADO の割り込み要求が発生します。<EOS>は "0" を書いてクリアしてください。

③ チャンネル固定リピート変換モード

ADNMOD0<REP><SCAN>に“10”を設定するとチャンネル固定リピート変換モードになります。

このモードでは、選択した1チャンネルの変換を繰り返し行います。変換が終了した後、ADNMOD0<EOS>が“1”にセットされます。ADNMOD0<BUSY>は各チャンネル変換の間で“0”になるタイミングが存在します。INTAD0の割り込み要求発生タイミングはADNMOD0<ITM>の設定により選択できます。<EOS>がセットされるタイミングも割り込みのタイミングに連動します。

<EOS>は“0”を書いてクリアしてください。

<ITM>を“0”に設定するとA/D変換が1回終了するごとに割り込み要求が発生します。この場合、変換結果は変換チャンネルに対応した結果格納レジスタに格納されます。格納時点で<EOS>は1になります。

<ITM>を“1”に設定するとA/D変換が4回終了するごとに割り込み要求が発生します。この場合も変換結果は変換チャンネルに対応した結果格納レジスタに格納されます。4回目の変換を格納後<EOS>は1にセットされ、再び変換を始めます。<EOS>は“0”を書いてクリアしてください。

またADNMOD0<LAT>の設定により、リピート変換モード時の次の変換開始を結果格納レジスタが読み出されるまで待たせることができます。

<ITM>が“0”の場合は1回の変換が終了後に次の変換が開始されるまでの時間、<ITM>が1の場合は4回の変換が終了してから次の変換が開始されるまでの時間が制御されます。

④ チャンネルスキャンリピート変換モード

ADNMOD0<REP:SCAN>に“11”を設定するとチャンネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を繰り返し行います。1回のスキャン変換が終了するごとにADNMOD0<EOS>が“1”にセットされ、INTAD0割り込み要求が発生します。ADNMOD0<BUSY>は各チャンネル変換の間で“0”になるタイミングが存在します。<EOS>は“0”を書いてクリアしてください。

リピート変換モード（③、④のモード）の動作を停止させたい場合は、ADNMOD0<REP>に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADNMOD0<BUSY>は“0”にされます。

STOPモードへ移行するときはA/D変換を停止し、ADMODSELO<VREFON>=0に設定してから移行してください。A/D変換を停止せずにSTOPモードへ移行するとSTOP中であっても電流が流れ続けます。またSTOPモード解除後の結果は保証できません。

(2) 最優先A/D変換

最優先A/D変換の動作モードはチャンネル固定のシングル変換のみで、ADNMOD0<REP,SCAN>の設定は最優先A/D変換には反映されません。最優先A/D変換の起動条件が成立すると、ADCHPC0<HPCH>で指定されるチャンネルの変換を一度だけ行います。変換が終了すると、最優先A/D変換終了割り込みが発生して、ADCHPC0<HBSY>は0に戻ります。

13.3.1.7 最優先変換モード

通常 A/D 変換に割り込んで、最優先 A/D 変換を行う事ができます。最優先 A/D 変換は ADCHPC0<HPRQ>に”1”をセットすることで起動できます。通常 A/D 変換中に最優先 A/D 変換が起動されると、現在変換中の A/D 変換結果を格納レジスタへ格納後に ADCHPC0<HPCH>で指定されるチャンネルのシングル変換を行います。変換結果は ADCHPRO へ格納され、最優先 A/D 変換割込みが発生します。その後に通常 A/D 変換が続きから再開されます。また、最優先 A/D 変換中に再度最優先 A/D 変換が起動された場合は、処理中の最優先変換終了後に再度最優先変換が起動されます。

例えば チャンネル AIN0~AIN7 までのチャンネルリポート変換が起動されており、AIN3 の変換中に<HPRQ>に1がセットされた場合は AIN3 の変換が終了次第、<HPCH>で指定されたチャンネルの変換を行い、結果を ADCHPRO へ格納後に AIN4 からのチャンネルリポート変換を再開します。

13.3.1.8 A/D 監視機能

A/D コンバータ 1 ユニットにつき A/D 監視機能は 2 つあり、同時に変換値と 2 つの設定値を比較することができます。CMPCTLO<IREGENO>に 1 を設定すると A/D 監視機能が有効になり、CMPCTLO<CMCHO>で指定された変換結果格納レジスタの内容が比較レジスタの値以上または未満 (<CMOPO>で以上か未満を指定) になると A/D 監視機能割り込み (INTADMO) が発生します。どちらの設定条件を満たしたかは CMPCTLO<CMCAPO>で判断することができます。また、この比較動作は該当変換結果格納レジスタへ結果が格納されるごとに行われ、条件が成立すると割り込みが発生します。また、A/D 監視機能に割り当てている格納レジスタは通常ではソフトで読み出しは行われませんので、overrun flag ADNRES0<OVR>は常にセットされていることになり、変換結果格納フラグ ADNRES0<VAL>もセットされている事になります。したがって、A/D 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

13.3.1.9 A/D 変換時間

1 回当たりの A/D 変換は、サンプリングクロックを含めないで 27 クロックです。ADCBASNO<AZSEL>でサンプリングを 6 クロックもしくは 12 クロックを選択可能ですので、A/D 変換クロックは合計で 33 クロックもしくは 39 クロックになります。A/D 変換クロックは ADNCLK0<ADCK>によって、A/D のプリスケアラ出力 1MCLK、1MCLK/2、1MCLK/4、1MCLK/8、1MCLK/16 の中から選択されます。保証精度を満足するためには A/D 変換クロックを 14MHz 以下、すなわち A/D 変換時間を 2.36 μ s 以上 (サンプルホールド 6 クロックの場合) にする必要があります。

13.3.1.10 A/D 変換結果の格納と読み出し

A/D 変換結果は、通常 A/D 変換の A/D 変換結果レジスタ (ADNRES0~ ADNRES7) に格納されます。アナログ入力チャンネルと結果格納レジスタの対応はノーマルモードならば、どの動作モードでも同じです。例えば、AIN0 の変換結果は常に ADNRES0 に格納されることになります。

表 13.3.2 にアナログ入力チャンネルと A/D 変換結果レジスタの対応を示します。

表 13.3.2アナログ入力チャンネルと A/D 変換結果レジスタの対応

アナログ入力チャンネル	結果格納レジスタ
AIN0	ADNRES0
AIN1	ADNRES1
AIN2	ADNRES2
AIN3	ADNRES3
AIN4	ADNRES4
AIN5	ADNRES5
AIN6	ADNRES6
AIN7	ADNRES7

13.3.1.11 データポーリング

割り込みを使用せずにデータポーリングで A/D 変換結果を処理する場合は ADNMOD0<EOS>のポーリングをしてください。このフラグがセットされた場合は、所定の A/D 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に A/D 変換格納レジスタを読み出してください。この際にオーバランを検出する為に、変換結果格納レジスタは 16 ビットで読み出してください。この結果、<OVR>=0、<VAL>=1 であれば、上書きされていない変換結果を得た事になります。

13.4.1 PMD モード(MODSEL=1)

PMD モードでは PMD トリガに同期し A/D 変換をおこないます。PMD モードでは PMDTRG00~02 の 3 トリガを選択できます。

変換結果は 8 個 (ADC0) と 11 個 (ADC1) の変換結果レジスタに保持します。これらのレジスタ別にアナログ入力ポートと PMD 同期トリガを選択できるプログラム機能を持ちます。計 19 個のプログラムはそれぞれの変換許可/禁止を選択できます。また ADC 各ユニットはカウンタを持っており、毎回と指定回数 of 2 種類の周期を設定することが出来ます。許可されている全てのプログラムの変換が終了すると ADC 割り込みが発生します。

A/D 入力タイミングトリガレジスタ (ADC0)

		7	6	5	4	3	2	1	0
ADCSETT00 (L) (0xFFFF_CD40)	bit Symbol	ADST3		ADST2		ADST1		ADST0	
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	変換結果格納レジスタ 3 の入力タイミングトリガ選択 00: PMDTRG00 01: PMDTRG01 10: PMDTRG02 11: Reserved		変換結果格納レジスタ 2 の入力タイミングトリガ選択 00: PMDTRG00 01: PMDTRG01 10: PMDTRG02 11: Reserved		変換結果格納レジスタ 1 の入力タイミングトリガ選択 00: PMDTRG00 01: PMDTRG01 10: PMDTRG02 11: Reserved		変換結果格納レジスタ 0 の入力タイミングトリガ選択 00: PMDTRG00 01: PMDTRG01 10: PMDTRG02 11: Reserved	
		15	14	13	12	11	10	9	8
ADCSETT00H (0xFFFF_CD41)	bit Symbol	ADST7		ADST6		ADST5		ADST4	
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	変換結果格納レジスタ 7 の入力タイミングトリガ選択 00: PMDTRG00 01: PMDTRG01 10: PMDTRG02 11: Reserved		変換結果格納レジスタ 6 の入力タイミングトリガ選択 00: PMDTRG00 01: PMDTRG01 10: PMDTRG02 11: Reserved		変換結果格納レジスタ 5 の入力タイミングトリガ選択 00: PMDTRG00 01: PMDTRG01 10: PMDTRG02 11: Reserved		変換結果格納レジスタ 4 の入力タイミングトリガ選択 00: PMDTRG00 01: PMDTRG01 10: PMDTRG02 11: Reserved	

A/D 入カタイミングトリガレジスタ 0 (ADC1)

	7	6	5	4	3	2	1	0
ADCSETT10(L) (0xFFFF_CDC0)	ADST11		ADST10		ADST9		ADST8	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	変換結果格納レジスタ 11 カタイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved		変換結果格納レジスタ 10 カタイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved		変換結果格納レジスタ 9 カタイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved		変換結果格納レジスタ 8 入カタイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved	
	15	14	13	12	11	10	9	8
(ADCSETT10H) (0xFFFF_CDC1)	ADST15		ADST14		ADST13		ADST12	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	変換結果格納レジスタ 15 タイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved		変換結果格納レジスタ 14 タイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved		変換結果格納レジスタ 13 タイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved		変換結果格納レジスタ 12 タイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved	

A/D 入カタイミングトリガレジスタ 1 (ADC1)

	7	6	5	4	3	2	1	0
ADCSETT11 (0xFFFF_CDC4)	—	—	ADST18		ADST17		ADST16	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能			変換結果格納レジスタ 10 カタイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved		変換結果格納レジスタ 9 カタイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved		変換結果格納レジスタ 8 入カタイミングトリガ選択 00: PMDTRG10 01: PMDTRG11 10: PMDTRG12 11: Reserved	

A/D 入力ポート選択レジスタ 0 (ADC0)

ADCSET00 (L)
(0xFFFF_CD48)

	7	6	5	4	3	2	1	0
bit Symbol	—	ADS11				—	ADS10	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず"0"を設定して下さい。	変換結果格納レジスタ1の入力ポート選択 000: AIN0 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7				必ず"0"を設定して下さい。	変換結果格納レジスタ0の入力ポート選択 000: AIN0 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7	

(ADCSET00H)
(0xFFFF_CD49)

	15	14	13	12	11	10	9	8
bit Symbol	—	ADS13				—	ADS12	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず"0"を設定して下さい。	変換結果格納レジスタ3の入力ポート選択 000: AIN0 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7				必ず"0"を設定して下さい。	変換結果格納レジスタ2の入力ポート選択 000: AIN0 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7	

A/D 入力ポート選択レジスタ 1 (ADC0)

ADCSET01 (L)
(0xFFFF_CD4C)

	7	6	5	4	3	2	1	0
bit Symbol	—	ADS15				—	ADS14	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず"0"を設定して下さい。	変換結果格納レジスタ5の入力ポート選択 000: AIN0 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7				必ず"0"を設定して下さい。	変換結果格納レジスタ4の入力ポート選択 000: AIN0 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7	

(ADCSET01H)
(0xFFFF_CD4D)

	15	14	13	12	11	10	9	8
bit Symbol	—	ADS17				—	ADS16	
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず"0"を設定して下さい。	変換結果格納レジスタ7の入力ポート選択 000: AIN0 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7				必ず"0"を設定して下さい。	変換結果格納レジスタ6の入力ポート選択 000: AIN0 001: AIN1 010: AIN2 011: AIN3 100: AIN4 101: AIN5 110: AIN6 111: AIN7	

A/D 入力ポート選択レジスタ 0 (ADC1)

	7	6	5	4	3	2	1	0								
ADCSET10 (L) (0xFFFF_CDC8)	bit Symbol				ADS19				ADS18							
	Read/Write								R/W							
	リセット後								0							
機能	変換結果格納レジスタ 9 の入力ポート選択								変換結果格納レジスタ 8 の入力ポート選択							
	0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved								0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved							
	15	14	13	12	11	10	9	8								
(ADCSET10H) (0xFFFF_CDC9)	bit Symbol				ADS111				ADS110							
	Read/Write								R/W							
	リセット後								0							
機能	変換結果格納レジスタ 11 の入力ポート選択								変換結果格納レジスタ 10 の入力ポート選択							
	0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved								0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved							

Not Recommended for New Design

A/D 入力ポート選択レジスタ 1 (ADC1)

ADCSET11(L)
(0xFFFF_CDCC)

	7	6	5	4	3	2	1	0
bit Symbol	ADS113				ADS112			
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	変換結果格納レジスタ 13 の入力ポート選択 0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved				変換結果格納レジスタ 12 の入力ポート選択 0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved			
	15	14	13	12	11	10	9	8
bit Symbol	ADS115				ADS114			
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	変換結果格納レジスタ 15 の入力ポート選択 0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved				変換結果格納レジスタ 14 の入力ポート選択 0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved			

(ADCSET11H)
(0xFFFF_CDCC)

Not Recommended for New Design

A/D 入力ポート選択レジスタ 2 (ADC1)

ADCSET12(L)
(0xFFFF_CDD0)

	7	6	5	4	3	2	1	0
bit Symbol	ADS117				ADS116			
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	変換結果格納レジスタ 17 の入力ポート選択 0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved				変換結果格納レジスタ 16 の入力ポート選択 0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved			

(ADCSET12H)
(0xFFFF_CDD1)

	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	ADS118			
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能					変換結果格納レジスタ 18 の入力ポート選択 0000: AIN8 0001: AIN9 0010: AIN10 0011: AIN11 0100: AIN12 0101: AIN13 0110: AIN14 0111: AIN15 1000: AIN16 1001: AIN17 1010: AIN18 その他: Reserved			

Not Recommended for New Design

A/D PMD モードコントロールレジスタ 0 (ADCO)

		7	6	5	4	3	2	1	0
ADPMOD00 (0xFFFF_CD5C)	bit Symbol	ADF0	—	—	—	—	—	—	ADENO
	Read/Write	R							R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	変換終了フラグ 0: 全変換終了 1: 変換中又は 変換待ち							

(ADC1 で使用する ADPMOD10 も同様の内容)

- (注 1) スタート条件で<ADF>=1、許可されているすべての変換終了時に<ADF>=0 になります。
- (注 2) 変換最中に<ADEN>=0 を設定すると、変換途中のチャンネルが変換終了後、結果格納レジスタに値をセットし変換動作を終了します。次回変換スタート時は前回の続きからの変換ではなく、一番最初のチャンネルから変換を始めます。

Not Recommended for New Design

A/D PMD モードコントロールレジスタ 1 (ADCO で使用)

		7	6	5	4	3	2	1	0
ADPMOD01 (L) (0xFFFF_CD60)	bit Symbol	ADPE7	ADPE6	ADPE5	ADPE4	ADPE3	ADPE2	ADPE1	ADPE0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	変換結果レジスタ 7 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 6 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 5 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 4 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 3 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 2 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 1 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 0 の変換許可 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
(ADPMOD01H) (0xFFFF_CD61)	bit Symbol	—	—	—	—	—	—	—	—
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。

A/D PMD モードコントロールレジスタ 1 (ADC1 で使用)

		7	6	5	4	3	2	1	0
ADPMOD11 (L) (0xFFFF_CDE0)	bit Symbol	ADPE15	ADPE14	ADPE13	ADPE12	ADPE11	ADPE10	ADPE9	ADPE8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	変換結果レジスタ 15 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 14 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 13 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 12 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 11 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 10 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 9 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 8 の変換許可 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
(ADPMOD11H) (0xFFFF_CDE1)	bit Symbol	—	—	—	—	—	ADPE18	ADPE17	ADPE16
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	必ず"0"を設定して下さい。	変換結果レジスタ 18 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 17 の変換許可 0: 禁止 1: 許可	変換結果レジスタ 16 の変換許可 0: 禁止 1: 許可

A/D カウント許可レジスタ 0

ADCNE0 (L)
(0xFFFF_CD64)

	7	6	5	4	3	2	1	0
bit Symbol	ADCNE7	ADCNE6	ADCNE5	ADCNE4	ADCNE3	ADCNE2	ADCNE1	ADCNE0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	カウント後に 変換結果レジ スタ 7 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 6 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 5 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 4 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 3 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 2 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 1 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 0 を変換 する 0: 常に変換 1: カウント後 に変換

(ADCNE0H)
(0xFFFF_CD65)

	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能								

A/D カウント許可レジスタ 1

ADCNE1 (L)
(0xFFFF_CDE4)

	7	6	5	4	3	2	1	0
bit Symbol	ADCNE15	ADCNE14	ADCNE13	ADCNE12	ADCNE11	ADCNE10	ADCNE9	ADCNE8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	カウント後に 変換結果レジ スタ 15 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 14 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 13 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 12 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 11 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 10 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 9 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 8 を変換 する 0: 常に変換 1: カウント後 に変換

ADCNE1 (H)
(0xFFFF_CDE5)

	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	ADCNE18	ADCNE17	ADCNE16
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能						カウント後に 変換結果レジ スタ 18 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 17 を変換 する 0: 常に変換 1: カウント後 に変換	カウント後に 変換結果レジ スタ 16 を変換 する 0: 常に変換 1: カウント後 に変換

(注 1) 必ず ADC1 ユニットに 1ch は常に変換してください。全チャンネルをカウント後に変換すると正常に変換をスキップできません。

A/D 変換カウント設定レジスタ 0 (ADC0 で使用)

ADCNT0
(0xFFFF_CD68)

	7	6	5	4	3	2	1	0
bit Symbol	CMPCNT							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	ここで設定した値と同じ周回になるとカウント後、変化するように設定した CH も変換します。							

(ADC1 で使用する ADCNT1 も同様の内容)

実際の動作例

設定

ADPMOD01=" 1011_0111" ; 変換許可 (CH0, 1, 2, 4, 5, 7)
 ADCNE0 = " 1111_0000" ; 常に変換 (CH0, 1, 2, 3)、カウント後 (CH4, 5, 6, 7)
 ADCNT0 = " 0000_1111" ; カウント値 (16 カウント)

(注 1) 一定の周期内に全 CH を変換できるだけの PMDTRG が入ってくることを前提とします。

- 1) CH0=>CH1=>CH2 と変換し、INTAD0 が発生
- 2) カウンタ値を " 1 " 減らす
- 3) カウンタ値が " 0 " でなければ 1) へ、" 0 " (16 周期変換したら) ならば 4) へ
- 4) CH0=>CH1=>CH2=>CH4=>CH5=>CH7 と変換し、INTAD0 が発生
- 5) カウント設定値レジスタの値をカウンタにロード
- 6) 1)に戻る

A/D PMD モード基本設定レジスタ (ADC0)

ADCBASPO
(0xFFFF_CD6C)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	—	—	—	AZSEL	—	—
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。	サンプルホールド時間 1:6clk 0:12clk	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R/W							
リセット後	0	0	0	1	0	0	0	0
機能	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。	必ず " 1 " を設定して下さい。	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。	必ず " 0 " を設定して下さい。

(ADC1 で使用する ADCBASP1 も同様の内容)

(注 1) ADC の変換時間は 「 (<AZSEL> で選択したクロック数 + 27 クロック) / ADCLK 」 になります。

A/D PMD モードクロックコントロールレジスタ 0 (ADC0 で使用)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	—	—	—	ADPCK		
Read/Write	R					R/W		
リセット後	0	0	0	0	0	0	0	0
機能						プリスケーラクロック選択 000: 1MCLK 001: 1MCLK /2 010: 1MCLK /4 011: 1MCLK /8 100: 1MCLK /16 101: fsys その他: Reserved		

(ADC1 で使用する ADPCK1 も同じ内容)

- (注 1) ADC 変換は上記レジスタで選択されたクロックで実行されますが、保証精度を満足するためには変換時間が 2.36 μ s 以上 (A/D のクロックで 14 MHz 以下) になるように変換クロックを選択する必要があります。
- (注 2) A/D 変換中は変換クロックを切り替えしないでください。変換停止後に ADCLK \times 2 クロック以上おいてから切り替えてください。

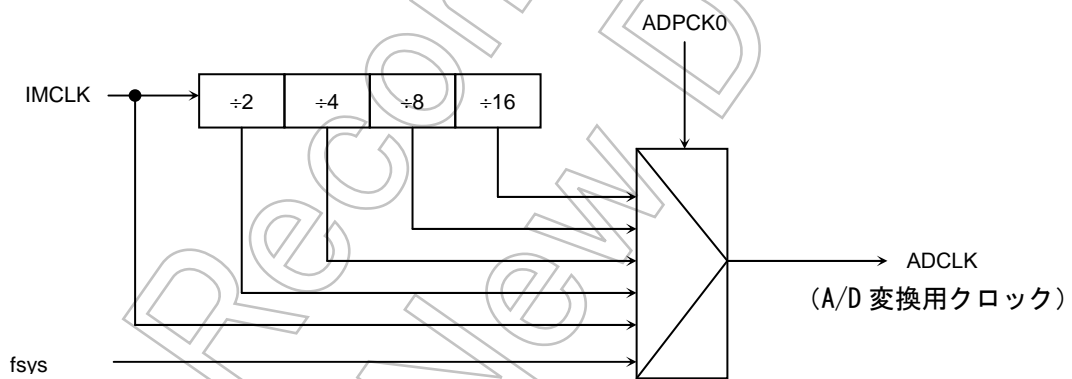


図 13.3.2 クロックコントロール回路図

変換結果レジスタは同様のものがレジスタ 0~18 まであります。

同じ内容のもののためここでレジスタ 0 のみ記述します。

A/D 変換 PMD モード結果レジスタ 0

	7	6	5	4	3	2	1	0
ADPRES0 (0xFFFF_CD00)								
bit Symbol	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02	ADR01	ADR00
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果下位 8 ビット格納							
	15	14	13	12	11	10	9	8
bit Symbol	VAL	OVR	—	—	—	—	ADR09	ADR08
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果格納フラグ 1: 変換結果有	Over RUN flag 0: 発生無し 1: 発生					A/D 変換結果上位 2 ビット格納	

- (注 1) このレジスタをアクセスするときは必ず 16 ビット以上でアクセスしてください。8 ビットアクセスしたときの動作は保証できません。
- (注 2) ビット 15 は、A/D 変換結果格納フラグ〈VAL〉です。A/D 変換値が格納されると、“1” にセットされます。このレジスタ (ADPRES) をリードすると、“0” にクリアされます。
- (注 3) ビット 14 はオーバーランフラグ〈OVR〉です。変換結果格納レジスタ (ADPRES) をリードする前に変換結果が上書きされると 1 にセットされます。フラグのリードにより 0 にクリアされます。
- (注 4) 本レジスタはビット操作命令でアクセスできません。

13.4.2 動作説明 (PMD モード)

13.4.2.1 アナログ基準電圧

ADMODSEL0<VREFON>ビットに”0”を書き込むことにより、VREFH-VREFL間のスイッチをOFFできます。A/D変換をスタートさせる場合は、かならず<VREFON>ビットに”1”を書き込んだ後、内部基準電圧が安定するまでの $3\mu\text{s}$ 以上待つてから、A/D変換を開始してください。 $3\mu\text{s}$ よりも短い場合の変換精度は保証できません。

13.4.2.2 基本動作

PMDモードでは変換結果レジスタがA/D変換の基準になります。各変換結果格納レジスタは変換許可(ADPMOD01)、変換開始トリガ(ADCSET00)、入力ポート(ADCSET0x)を設定します。ADPMOD00<ADEN>=1に設定することで、変換開始トリガの受付待ち状態になります。

PMDからの変換開始トリガを受け付けると、A/D変換される順序は変換許可に設定されている変換結果レジスタ番号の小さい方から必ず実行されます。

なお、1ユニットすべての変換が完了するまで、受け付けられた変換開始トリガは内部で保持し、次に実行する変換結果格納レジスタがすでに受付済みのトリガに設定されている場合は即座に変換を開始します。

13.4.2.3 A/D変換カウント機能

PMDモードでは、特定の変換結果レジスタの変換開始トリガ(PMDTRG)を設定回数までスキップするA/D変換カウント機能があります。この機能を使用することで毎周期変換したい変換結果レジスタと変換周期が遅くて構わない変換結果レジスタを同じユニットで制御することが可能です。なお、ユニット内の変換許可されている変換結果レジスタすべてをスキップすることはできません。

図 13.3.3にPMDモードでのA/D変換動作フローを示します。

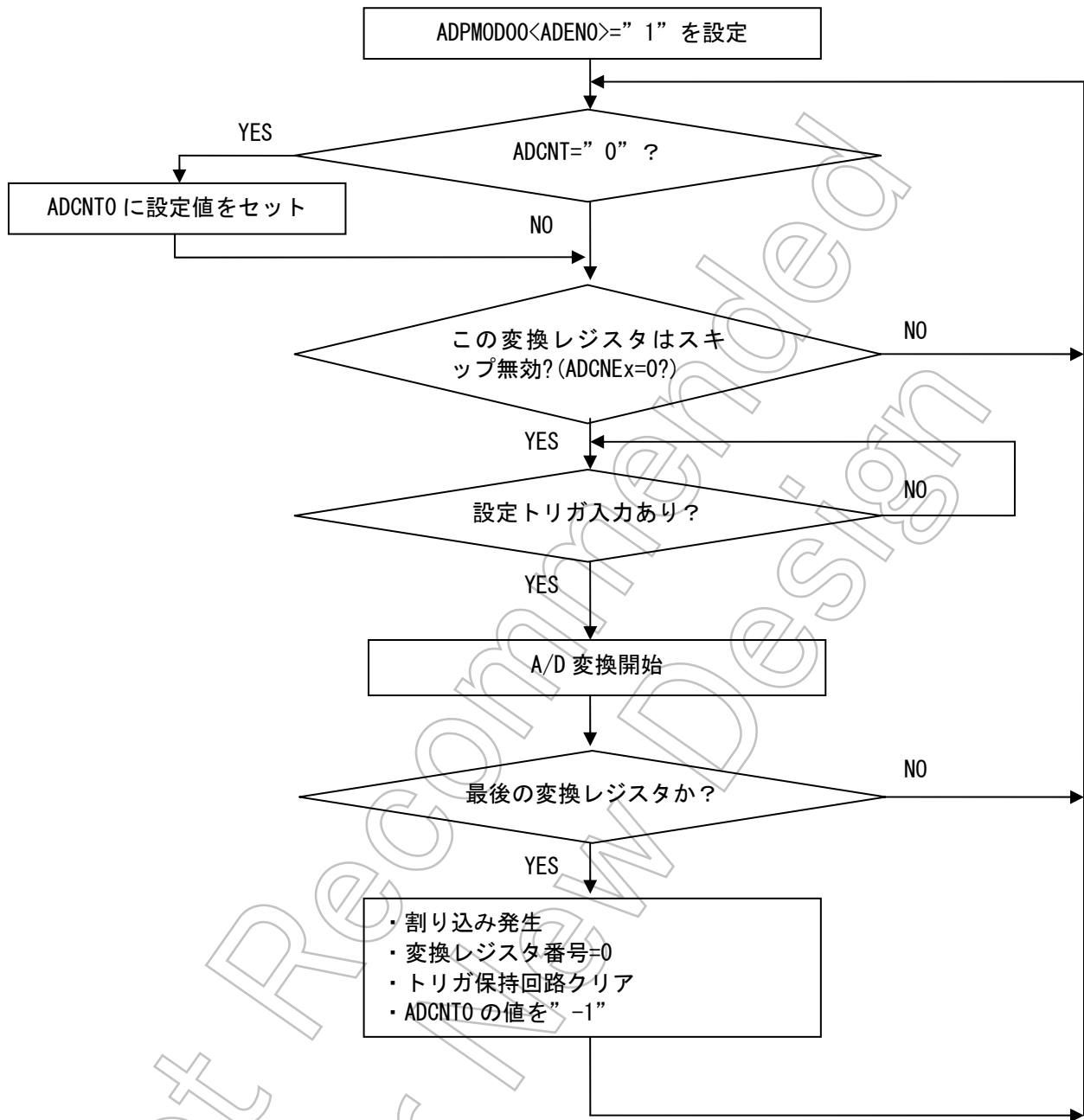


図 13.3.3 PMD モード動作フロー

13.4.2.4 A/D 変換時間

1 回当たりの A/D 変換は、サンプリングクロックを含めないで 27 クロックです。ADCBASPO<AZSEL>でサンプリングを 6 クロックもしくは 12 クロックを選択可能ですので、A/D 変換クロックは合計で 33 クロックもしくは 39 クロックになります。A/D 変換クロックは ADPCLK0<ADPCK>によって、A/D のプリスケアラ出力 f_{sys}、IMCLK、IMCLK/2、IMCLK/4、IMCLK/8、IMCLK/16 の中から選択されます。保証精度を満足するためには A/D 変換クロックを 14MHz 以下、すなわち A/D 変換時間を 2.36 μ s 以上 (サンプルホールド 6 クロックの場合) にする必要があります。

13.4.2.5 データポーリング

割り込みを使用せずにデータポーリングで A/D 変換結果を処理する場合は ADPMOD00<ADF>のポーリングをしてください。このフラグが”0”にクリアされた場合は、所定の A/D 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に A/D 変換格納レジスタを読み出してください。この際にオーバランを検出する為に、変換結果格納レジスタは 16 ビットで読み出してください。この結果、<OVR>=0、<VAL>=1 であれば、上書きされていない変換結果を得た事になります。

Not Recommended for New Design

13.5 動作タイミング

PMD トリガモードは、ADPMOD00<ADEN>をセットすると PMD トリガの受け付けを許可し、PMDTRG00/01 入力で変換開始し、全てのプログラムの変換を終了すると割り込み要求を出力すると共に ADF はクリアされ次の PMDTRG00/01 入力を待ちます。ADEN をクリアすると全プログラムの終了を待たずに変換終了し、ADF はクリアされます。

変換処理中の同じ PMD トリガ入力は無視され、異なる PMD トリガ入力は保持されます。異なる PMD トリガに対するプログラム変換は直前のトリガに対するプログラム変換に続けて変換処理します。

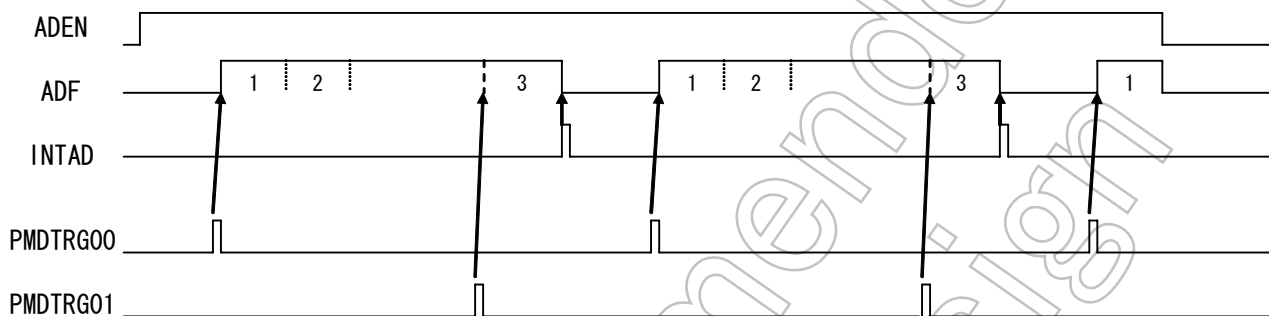


図 13.5.1 PMD モードのタイミングチャート1

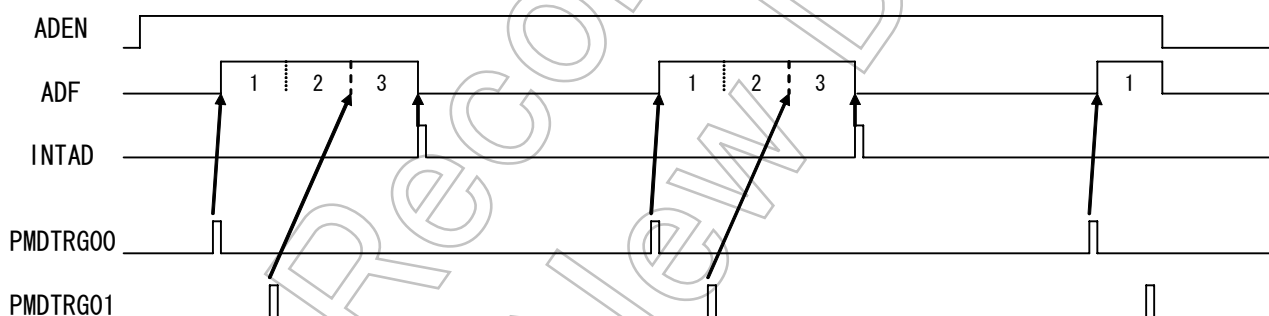


図 13.5.2 PMD モードのタイミングチャート2

13.6 使用例

13.6.1 PWMピーク同期（1回読み込み）

使用例：U相電流 CT 出力を AIN0、V相電流 CT 出力を AIN1 に接続します。PWM 搬送波ピーク (PWM カウンタ=MDPRD) で変換します。AIN0 の結果を ADPRES0 に、AIN1 の結果を ADPRES1 に格納します。

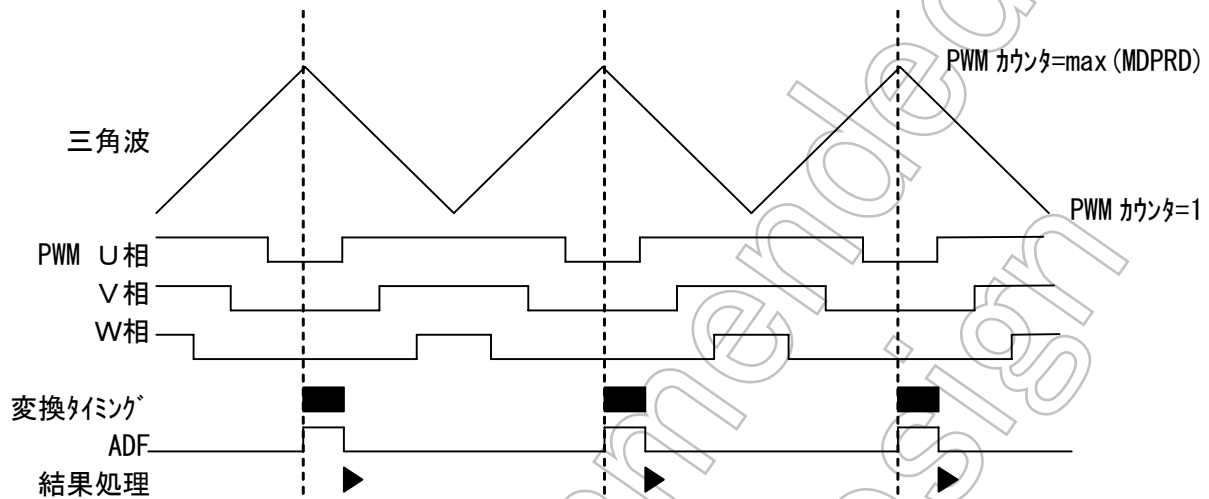


図 13.6.1 A/D コンバータ 使用例 1 タイミング

- 設定
- ・ ADMODSELO = **** * 1 : PMD モード
 - ・ ADPMOD00 = **** * 1 : ADC 許可
 - ・ ADPMOD01 = 0000 0000 0011 : 変換結果レジスタ 0, 1 選択
 - ・ ADCSET00 = **** * 0000 : AIN 選択
 - ・ ADCSETT00 = **** * 0000 : PMDTRGO 選択
 - ・ TRGCRO = **** * 100 : PMD トリガ設定

- 動作
- ・ ADEN=1 設定後の最初の PWM 搬送波ピークで変換開始。ADF=1 となる。三角波 (PWM カウンタ) が非動作の時は開始しない。
 - ・ プログラム番号 (変換格納レジスタの番号) の小さい順番に実行
プログラム番号 0 が AIN0 を入力として変換、結果を ADPRES0 に入れる。
プログラム番号 1 が AIN1 を入力として変換、結果を ADPRES1 に入れる。
 - ・ ADF=0 となり、同時に割り込み INTAD0 発生。

結果処理 ADF=0 を確認後、または、全 A/D 変換終了割り込み処理にて、ADPRES0 と ADPRES1 を読み出して U 相電流、V 相電流として活用する。

13.6.2 PWMピーク同期（1回読み込み）

使用例：U相電流をAIN1、V相電流をAIN2、W相電流をAIN3に接続します。変換タイミングは三角波頂点（PWMカウンタ=max）とします。AIN1の結果をADPRES0,3に、AIN2の結果をADPRES1,4に、AIN3の結果をADPRES2,5に格納します。

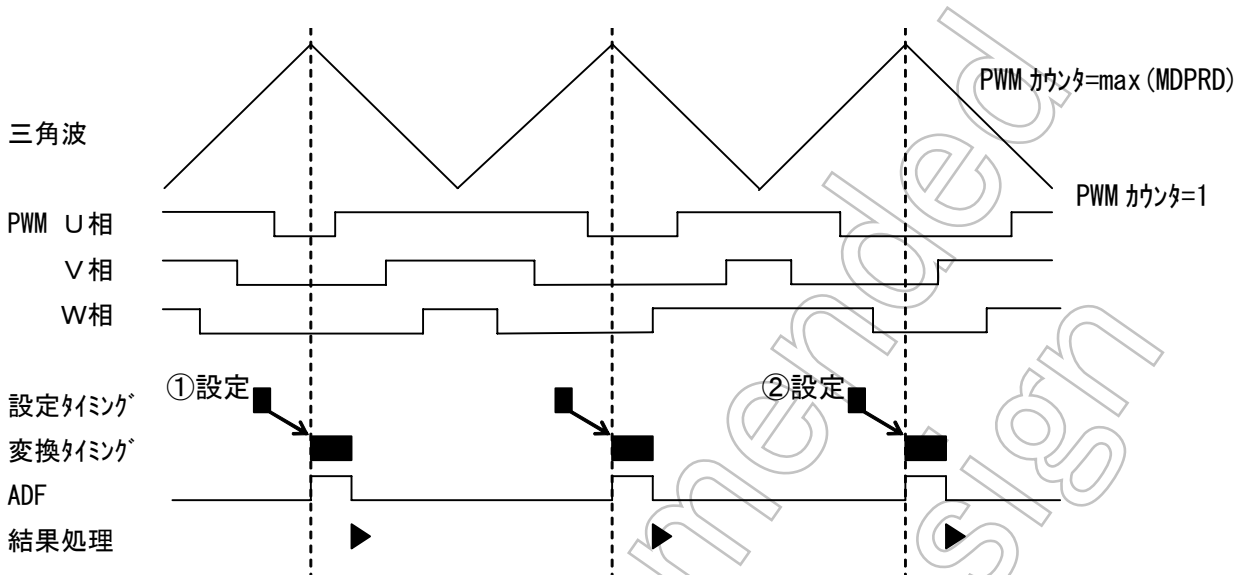


図 13.6.2 A/Dコンバータ 使用例2 タイミング

- 設定①
- ・ ADMODSELO = **** * 1 : PMDモード
 - ・ ADPMOD00 = **** * 1 : ADC許可
 - ・ ADPMOD01 = 0000 0000 0011 1111 : 変換結果レジスタ0,1,2,3,4,5選択
 - ・ ADCSET00= 0001 0011 0010 0001 : AIN選択
 - ・ ADCSET01= **** * 0011 0010 : AIN選択
 - ・ ADCSETT00= **** 0000 0000 0000 : PMDTRGO選択
 - ・ TRGCRO = **** * 100 : PMDトリガ設定

- 動作①
- ・ ADEN=1後の最初の三角波頂点で変換開始。ADF=1となる。
 - ・ プログラム番号0がAIN1を入力として変換、結果をADPRES0に入れる。
 - ・ プログラム番号1がAIN2を入力として変換、結果をADPRES1に入れる。
 - ・ プログラム番号2がAIN3を入力として変換、結果をADPRES2に入れる。
 - ・ プログラム番号3がAIN1を入力として変換、結果をADPRES3に入れる。
 - ・ プログラム番号4がAIN2を入力として変換、結果をADPRES4に入れる。
 - ・ プログラム番号5がAIN3を入力として変換、結果をADPRES5に入れる。
 - ・ ADPE7,6がオフ設定だから、これで終了。ADF=0となる。

13.6.3 PWM 周期の任意タイミングに同期（2 回読み込み）

使用例：DCシャント出力を AIN1 に接続します。1 シャント方式は、U, V, W が全て H 以外、または全て L 以外のタイミングで変換を行います。PWM 周期毎に出力データが更新され、PWM 周期毎に電流検出が行われるとします。

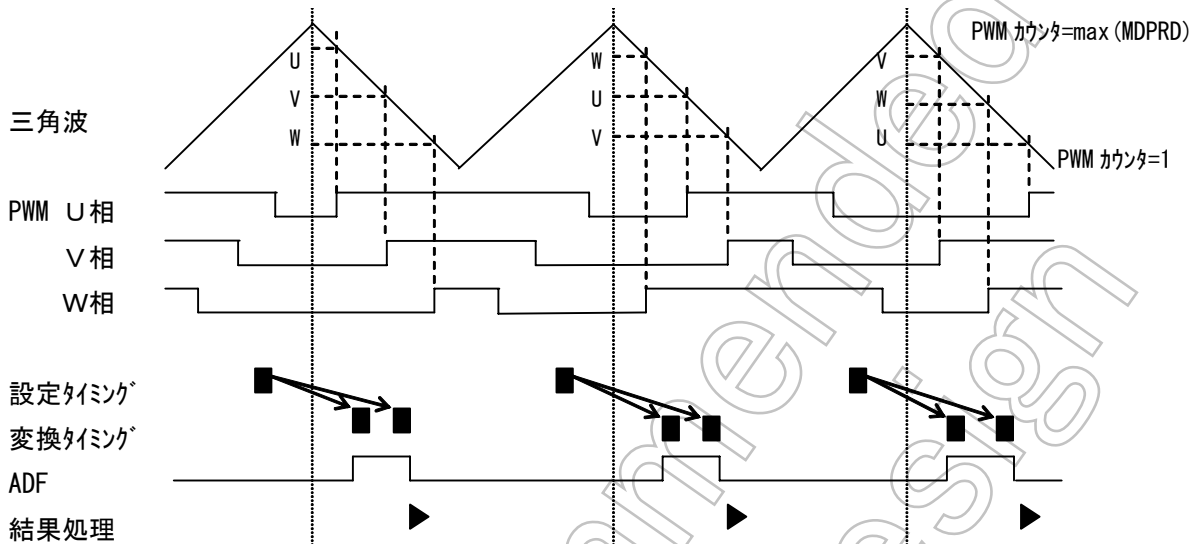


図 13.6.3 A/D コンバータ 使用例3 タイミング

- 設定①
- ・ ADMODSELO = **** * 1 : PMD モード
 - ・ ADPMOD00 = **** * 1 : ADC 許可
 - ・ ADPMOD01 = 0000 0000 1111 : 変換結果レジスタ 0, 1, 2, 3 選択
 - ・ ADCSET00= 0001 0001 0001 0001 : AIN 選択
 - ・ ADCSETT00= **** * 0101 0000 : PMDTRG0, 1 選択
 - ・ TRGCRO = **** * 00 1001 : PMD トリガ設定
 - ・ TRGCMP00 = CMPU~CMPV の任意 : PMD トリガタイミング設定
 - ・ TRGCMP01 = CMPV~CMPW の任意 : PMD トリガタイミング設定

- 動作①
- ・ ADEN=1 後の TRGOMD/TRG1MD=001 なので、PWM カウンタ=max で、TRGCMP00, 01 が反映される。
 - ・ PWM カウンタ= TRGCMP00 で変換開始。ADF=1 となる。PMDTRG0 選択されているプログラム番号 0, 1 が AIN1 を入力として変換。結果を ADPRES0, 1 に入れる。
 - ・ PWM カウンタ= TRGCMP01 で変換開始。PMDTRG1 選択されているプログラム番号 2, 3 が AIN1 を入力として変換。結果を ADPRES2, 3 に入れる。
 - ・ AD7~4 がオフ設定だから、これで終了。ADF=0 となる。

結果処理① $I_u = (ADPRES0 + ADPRES1) / 2$ $I_w = (ADPRES2 + ADPRES3) / 2$

- 設定②
- ・ ADMODSELO = **** * 1 : PMD モード
 - ・ ADPMOD00 = **** * 1 : ADC 許可
 - ・ ADPMOD01 = 0000 0000 1111 : プログラム 0, 1, 2, 3 許可
 - ・ ADCSET00= 0001 0001 0001 0001 : AIN 選択
 - ・ ADCSETT00= **** * 0101 0000 : PMDTRG0, 1 選択
 - ・ TRGCRO = **** * 00 1001 : PMD トリガ設定
 - ・ TRGCMP00 = CMPW~CMPU の任意 : PMD トリガタイミング設定
 - ・ TRGCMP01 = CMPU~CMPV の任意 : PMD トリガタイミング設定

- 動作②
- ・ TRGOMD/TRG1MD=001 なので、PWM カウンタ=max で、TRGCMP00, 01 が反映される。
 - ・ PWM カウンタ= TRGCMP00 で変換開始。ADF=1 となる。PMDTRG0 選択されているプログラム番号 0, 1 が AIN1 を入力として変換。結果を ADPRES0, 1 に入れる。
 - ・ PWM カウンタ= TRGCMP01 で変換開始。PMDTRG1 選択されているプログラム番号 2, 3 が AIN1 を入力として変換。結果を ADPRES2, 3 に入れる。

- ・ AD7~4 がオフ設定だから、これで終了。ADF=0 となる。
- 結果処理② $lw = (ADPRES0 + ADPRES1) / 2$ $lv = (ADPRES2 + ADPRES3) / 2$

Not Recommended
for New Design

14. モータ制御回路 (PMD: Programmable Motor Driver)

TMP19A71 は、モータ制御回路を 2ch 内蔵しています。

このモータ制御回路では、主要機能として 3 相波形生成回路の他に、A/D コンバータのサンプリングを制御するための同期サンプリング信号生成回路を持っています。これらをハードウェアで内蔵することで、ソフトウェアの負荷を軽減し、容易にブラシレス DC モータのベクトル制御を実現できます。

14.1 機能ブロック図

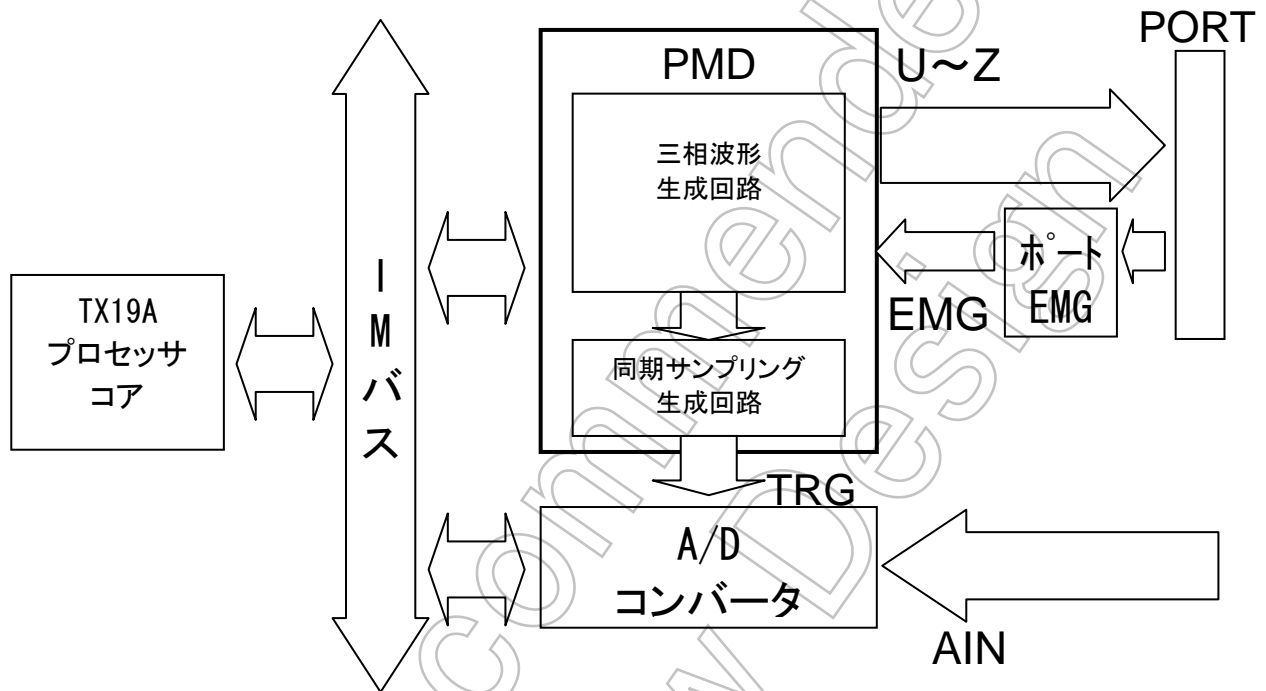


図 14.1.1 機能ブロック図

14.2 PMD レジスタ

表 14.2.1 PMD レジスタマップ

アドレス	ビット数	レジスタ記号	レジスタ
0xFFFF_C300	16	MDCRO	PMD0 コントロールレジスタ
0xFFFF_C304	16	MDCNT0	PMD0 カウントレジスタ
0xFFFF_C308	16	MDPRD0	PMD0 ピリオドレジスタ
0xFFFF_C30C	16	CMPU0	PMD0 コンペアレジスタU
0xFFFF_C310	16	CMPV0	PMD0 コンペアレジスタV
0xFFFF_C314	16	CMPW0	PMD0 コンペアレジスタW
0xFFFF_C318	16	MDOUT0	PMD0 出力レジスタ
0xFFFF_C31C	16	EMGRELO	EMG0 禁止コードレジスタ
0xFFFF_C320	16	EMGCRO	EMG0 コントロールレジスタ
0xFFFF_C324	16	TRGCRO	トリガコントロールレジスタ (PMD0)
0xFFFF_C328	16	TRGCMP00	トリガコンペア0レジスタ (PMD0)
0xFFFF_C32C	16	TRGCMP01	トリガコンペア1レジスタ (PMD0)
0xFFFF_C330	16	TRGCMP02	トリガコンペア2レジスタ (PMD0)
0xFFFF_C340	16	MDCR1	PMD1 コントロールレジスタ
0xFFFF_C344	16	MDCNT1	PMD1 カウントレジスタ
0xFFFF_C348	16	MDPRD1	PMD1 ピリオドレジスタ
0xFFFF_C34C	16	CMPU1	PMD1 コンペアレジスタU
0xFFFF_C350	16	CMPV1	PMD1 コンペアレジスタV
0xFFFF_C354	16	CMPW1	PMD1 コンペアレジスタW
0xFFFF_C358	16	MDOUT1	PMD1 出力レジスタ
0xFFFF_C35C	16	EMGREL1	EMG1 禁止コードレジスタ
0xFFFF_C360	16	EMGCR1	EMG1 コントロールレジスタ
0xFFFF_C364	16	TRGCR1	トリガコントロールレジスタ (PMD1)
0xFFFF_C368	16	TRGCMP10	トリガコンペア0レジスタ (PMD1)
0xFFFF_C36C	16	TRGCMP11	トリガコンペア1レジスタ (PMD1)
0xFFFF_C370	16	TRGCMP12	トリガコンペア2レジスタ (PMD1)

(注1) 特に指定のない限り、この機能のレジスタは16ビットアクセスで読み出し、書き込みをして下さい。ビット操作命令でもアクセスできません。

14.3 3相波形生成回路

PMDはチャンネルによる機能違いは基本的にはありませんので、PMD0についてのみ記載してあります。

14.3.1 3相波形生成回路

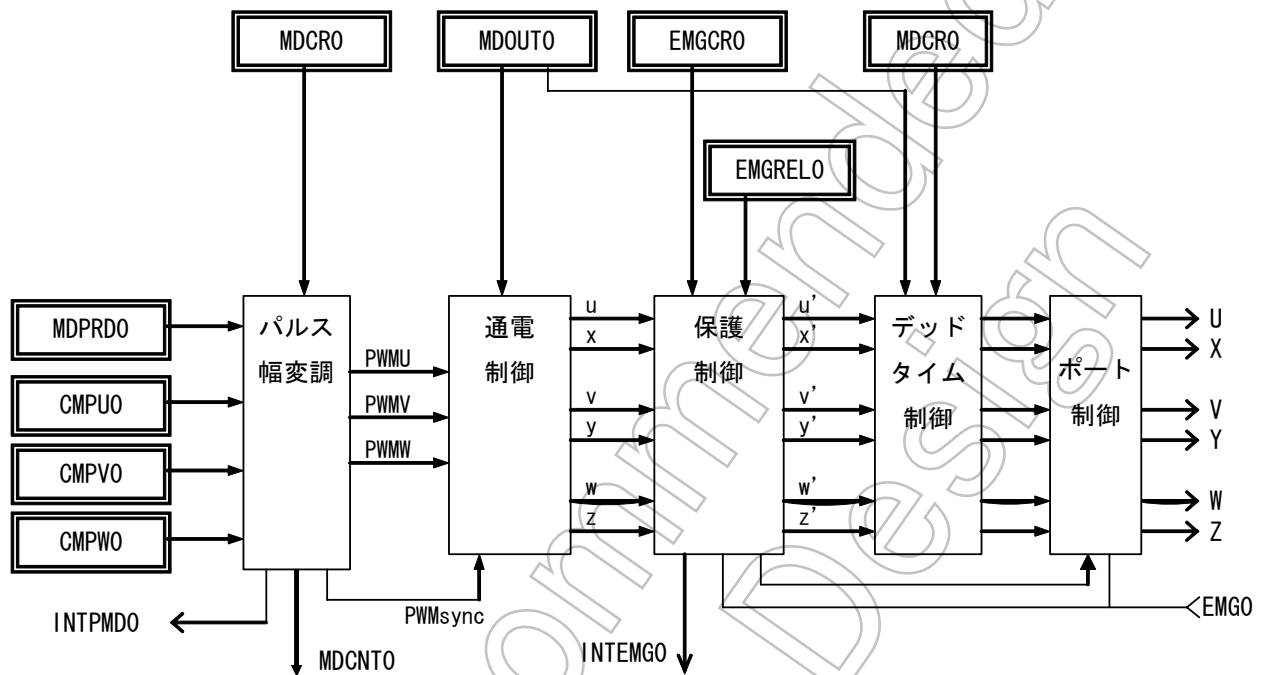


図 14.3.1 3相波形生成回路構成

3相波形生成回路はパルス幅変調回路、通電制御回路、保護制御回路（緊急停止）、デッドタイム制御回路で構成されます。パルス幅変調回路では、同一のPWM搬送波で3相の独立したPWM波形を生成します。通電制御回路はU, V, W相の各上下相の出カパターンを決定し、保護回路ではEMGO入力による緊急出力停止が可能で、デッドタイム制御回路では上下相の切り替え時の上下相短絡を防止します。

14.3.2 パルス幅変調回路 (PWM 波形生成部)

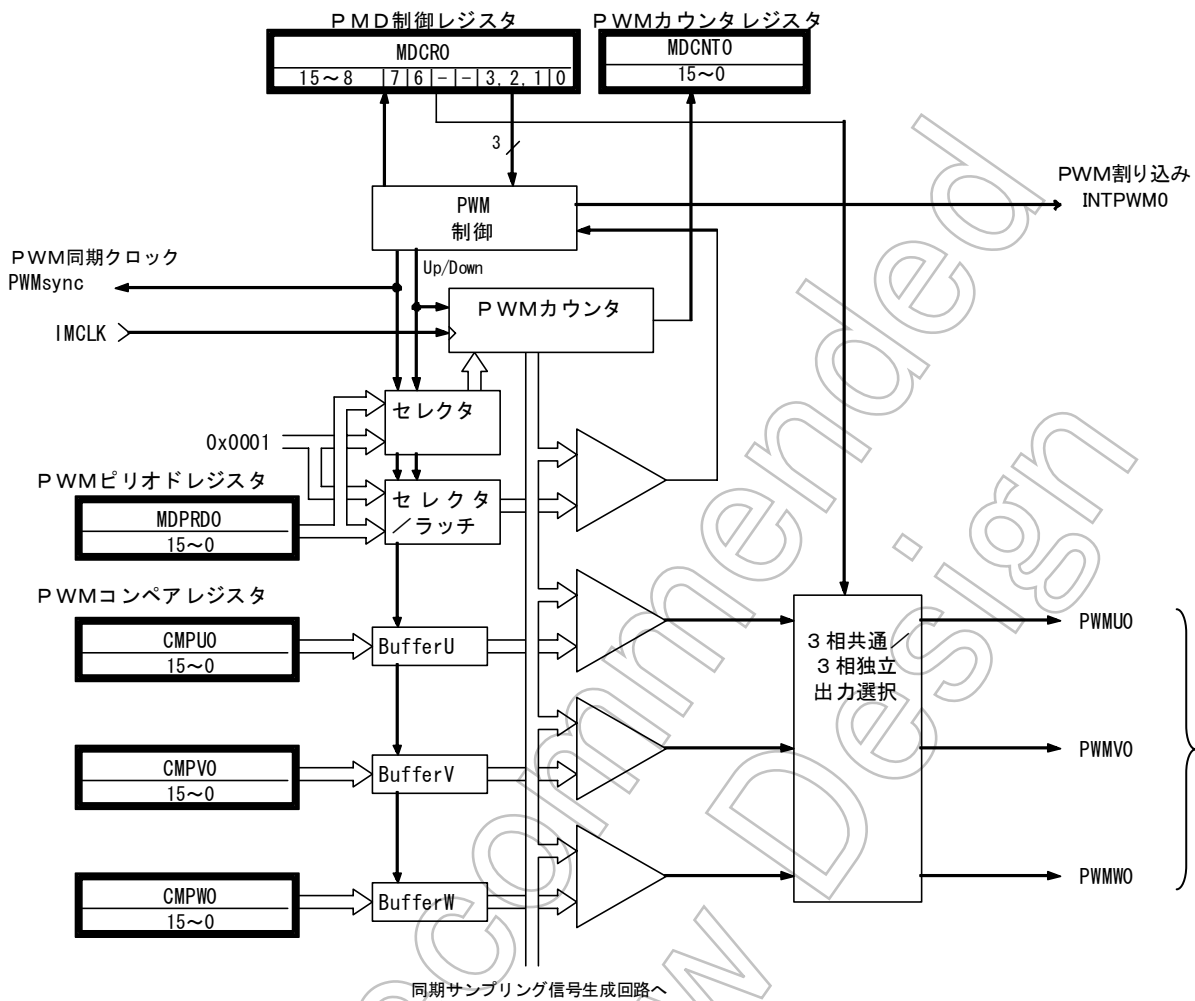


図 14.3.5

図 14.3.2 パルス幅変調回路

パルス幅変調回路は、16ビットのアップ/ダウンカウンタであるPWMカウンタを持ち、35.7ns (IMCLK=28MHz) の分解能でPWM搬送波を生成する。PWM搬送波の波形モードはPWMモード0としてエッジPWM (のこぎり波変調)、モード1としてセンターPWM (三角波変調) が選択可能です。

MDPRD0レジスタによりPWM周期を決定する。MDPRD0レジスタはダブルバッファ構成であり、コンパレータ入力はPWM周期で更新されます。PWM半周期毎の更新も選択できます。

$$\text{のこぎり波 PWM} : \text{MDPRD0 レジスタ 設定値} = \frac{\text{IMCLK [Hz]}}{\text{PWM 周波数 [Hz]}}$$

$$\text{三角波変調 PWM} : \text{MDPRD0 レジスタ 設定値} = \frac{\text{IMCLK [Hz]}}{\text{PWM 周波数} \times 2 [\text{Hz}]}$$

3相のPWMコンペアレジスタ（CMPU0, V0, W0）の値と、PWMカウンタ（MDCNT0）により生成される搬送波とをコンパレータで大小比較して所望のデューティのPWM波形を生成します。

各相のPWMコンペアレジスタは比較レジスタを持ち、ダブルバッファ構成となります。PWMコンペアレジスタの値はPWM周期に同期して（内部カウンタ値がMDPRD0と一致時）比較レジスタにロードされます。PWM半周期での更新（半周期毎ロード）も選択できます。

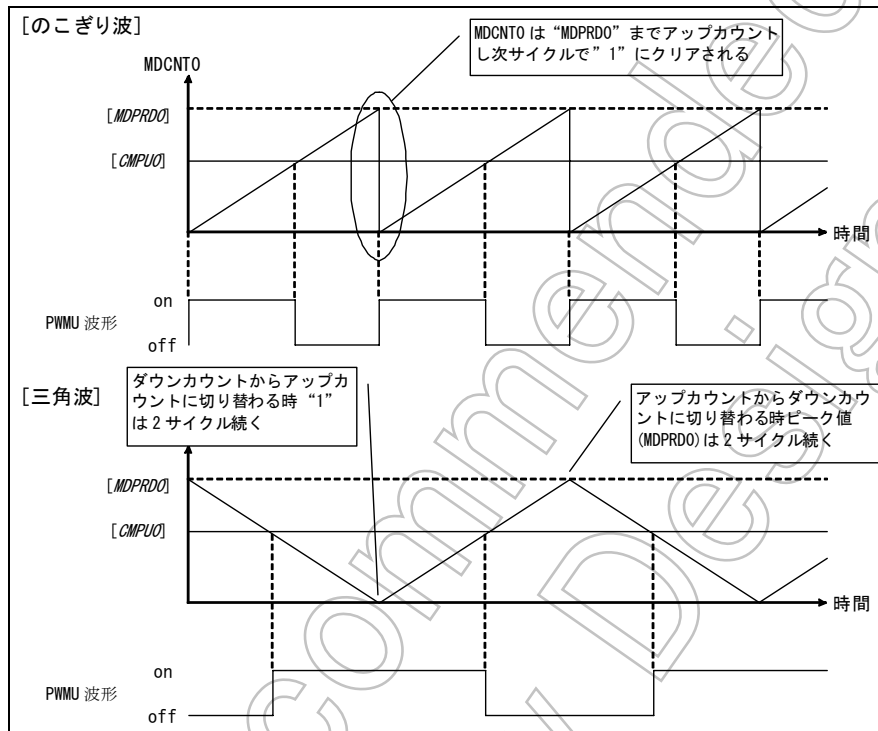


図 14.3.3 PWM 波形

2種類の3相PWMの生成方法を選択できます。

- i) 3相独立モード：3相のPWMコンペアレジスタにそれぞれ独立した値を設定して、3相の独立したPWM波形を生成します。これは、正弦波等の任意の駆動波形生成に使用します。
- ii) 3相共通モード：U相のPWMコンペアレジスタだけに設定し、U相の設定値で3相同一のPWM波形を生成します。これは、ブラシレスDCモータの矩形波駆動に使用します。

パルス幅変調回路では PWM 波形に同期して PWM 割り込み要求を発生します。PWM 割り込みの頻度は PWM 周期半周期に 1 回、1 周期に 1 回、2 周期に 1 回、4 周期に 1 回を選択する事ができます。

また 2 周期に 1 回、4 周期に 1 回の設定を選択した場合、カウンタスタート後の 1 回目の割り込み発生タイミングは設定した周期内で不定です。例えば 4 周期に 1 回の設定をした場合は 1~4 周期目の割り込みタイミングで 1 回目割り込みが発生し、2 回目以降の割り込みは 4 周期ごとに割り込みが発生します。

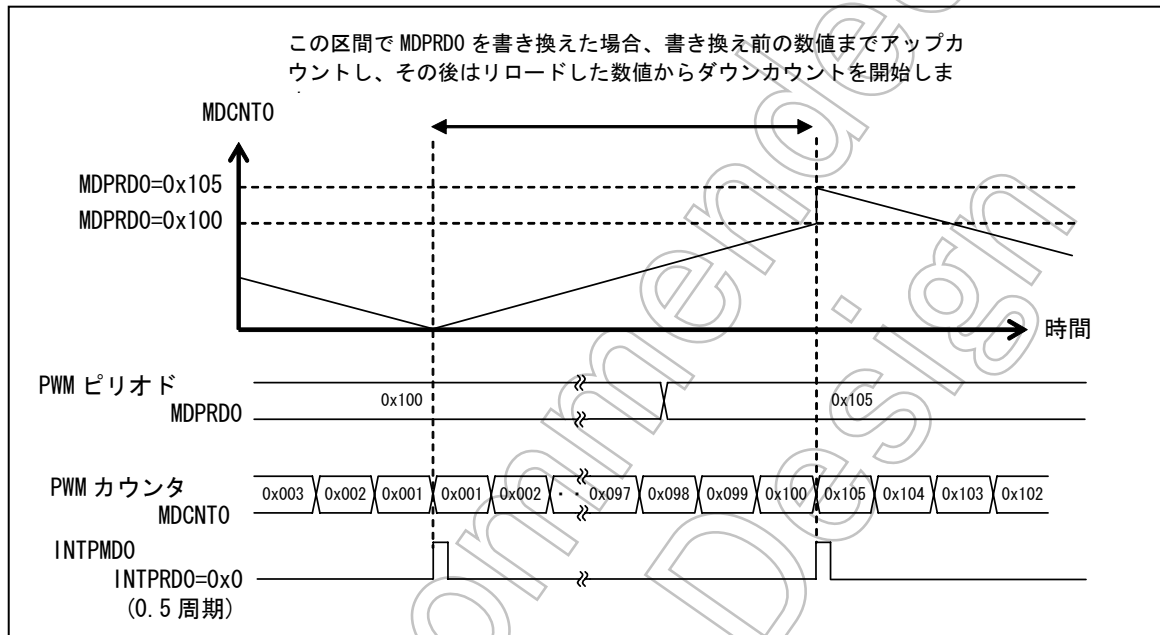


図 14.3.4 M DPRDO リロードタイミング (三角波、0.5 周期割り込み設定時)

PMD0 コントロールレジスタ

MDCRO
(0xFFFF_C300)

	7	6	5	4	3	2	1	0
bit Symbol	UPDWN	SYNCEN	DTYMD	PINT	INTPRD		PWMMD	PWMEN
Read/Write	R	R/W	R/W	R/W	R/W		R/W	R/W
リセット後	0	0	0	0	0		0	0
機能								
	15	14	13	12	11	10	9	8
bit Symbol	DTR							
Read/Write	R/W							
リセット後	0x00							

機能説明

Symbol	レジスタ名	機能
UPDWN	PWM カウンタフラグ	0: アップカウント中 1: ダウンカウント中
SYNCEN	PMD 同期スタート	0: 同期禁止 1: 同期許可
DTYMD	DUTY モード	0: U 相共通 1: 3 相独立
PINT	PWM 割り込みタイミング	0: PWM カウンタ=1 のとき割り込み要求 1: PWM カウンタ=MDPRD のとき割り込み要求 (エッジモード選択時 (PWMMD=0) は MDPRD 一致時 0.5 周期選択時 (INTPRD=00) は 1 および MDPRD 一致時)
INTPRD	PWM 割り込み周期選択	00: PWM 0.5 周期毎に割り込み要求 (PWM モード 1: 三角波のみ) 01: " 1 周期毎に割り込み要求 10: " 2 周期毎に割り込み要求 11: " 4 周期毎に割り込み要求
PWMMD	PWM モード	0: PWM モード 0: エッジ PWM (のこぎり波) 1: PWM モード 1: センター PWM (三角波)
PWMEN	PWM カウンタスタート	0: 停止&クリア 1: スタート

(注1) <PWMEN>=0 の状態で MDCRO の設定を変更してください。また、PWM カウンタをスタートもしくは停止する<PWMEN>への書き込みと同時に MDCRO の設定の変更もできません。

PMD0 カウントレジスタ

MDCNT0
(0xFFFF_C304)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
bit Symbol	MDCNT															
Read/Write	R															
リセット後	0x0000															
機能	PWM カウンタ値 : 0x0001~0xFFFF															

PMD0 ピリオドレジスタ

MDPRD0
(0xFFFF_C308)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
bit Symbol	MDPRD															
Read/Write	R/W															
リセット後	0x0000															
機能	PWM 搬送波周期設定 : 0x0010~0xFFFF の範囲で設定してください															

(注1) このレジスタはダブルバッファになっているため、MDCNT0=MDPRD0 のタイミングで書き込んだ値が有効になります。

PMD0 コンペアレジスタU V W

CMPU0
(0xFFFF_C30C)
CMPV0
(0xFFFF_C310)
CMPW0
(0xFFFF_C314)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
bit Symbol	CMPU															
	CMPV															
	CMPW															
Read/Write	R/W															
リセット後	0x0000															

機能説明

CMPU0	PWM コンペアUレジスタ	0x0000~0xFFFF : U相パルス幅デューティ設定
CMPV0	PWM コンペアVレジスタ	0x0000~0xFFFF : V相パルス幅デューティ設定
CMPW0	PWM コンペアWレジスタ	0x0000~0xFFFF : W相パルス幅デューティ設定

(注1) CMPx0=0 の時、duty:0%が出力されます。また CMPx0 ≥ MDPRD0 の時、duty:100%が出力されます。

(注2) このレジスタはダブルバッファになっているため、MDCNT0=MDPRD0 のタイミングで書き込んだ値が有効になります。

パルス幅変調回路設定部詳細説明

Symbol	レジスタ名	機能
UPDOWN	PWM カウンタフラグ	PWM カウンタがアップカウント中かダウンカウント中かを示します。エッジPWM を選択した場合、常に"0" が読み出されます。
SYNCEN	PMD 同期スタート	PMD 同期スタート機能を選択します。
DTYMD	DUTY モード	デューティの設定を CMPU~W の 3 相独立か、CMPU レジスタの設定を 3 相共通で用いるかの選択を行います。
PINT	PWM 割り込みタイミング選択	割り込み要求発生タイミングを、PWM カウンタ=1、もしくは=MDPRD を選択可能
INTPRD	PWM 割り込み周期	PWM 割り込み要求の発生する頻度を PWM0.5 周期、1 周期、2 周期、4 周期に 1 回から選択できます。このビットを動作中に変更すると変更時点で割り込み要求が発生する事があります。
PWMMD	PWM モード	PWM のモードを選択します。PWM モード 0 はエッジ PWM (のこぎり波)、PWM モード 1 はセンターPWM (三角波) になります。
PWMEN	波形生成回路の許可/禁止	禁止すると、出力ポートはハイ・インピーダンスになります。許可する場合は、出力ポート極性等の<PWMEN>以外のビットの初期設定を行った後に許可してください。許可中は<PWMEN>以外の MDCRO の設定を変更しないでください。
MDCNT	PWM カウンタ	PWM 周期のカウント値を読み出す 16 ビットのレジスタです。
MDPRD	PWM 周期の設定	PWM 周期を決定する 16 ビットのレジスタです。ダブルバッファリングされており、PWM カウンタの動作中でも変更する事が出来ます。バッファへは PWM 周期毎にロードされます。(内部カウンタが MDPRD と一致時にロード。半周期選択時はカウンタ値が 1 及び MDPRD と一致時にロード。) →図 12.3.4 参照
CMPU CMPV CMPW	PWM パルス幅の設定	U、V、W 各相の出力するパルス幅を決定する 16 ビットの比較レジスタです。ダブルバッファリングされており、バッファと PWM カウンタとを大小比較しパルス幅を決定します。CMPx0 = 0 の時、duty:0%が出力されます。また、CMPx0 ≥ MDPRD の時、duty:100%が出力されます。(内部カウンタが MDPRD と一致時にロード。半周期選択時は PWM カウンタ値が 1 か MDPRD 時にロード。)

MDCRO<SYNCEN>=1 に設定すると PMD 同期機能が有効になります。PMD 同期機能が有効な状態で MDCRO<PWMEN>=1 にすることで、同期スタート待ち状態となり、MDCR1<PWMEN>=1 を設定 (PMD1 スタート) と同時に PMD0 が動き出します。MDCRO<SYNCEN>=1 と MDCRO<PWMEN>=1 は同時に設定することで同期スタート待ちにすることが可能です。

また PMD0 と PMD1 の同期機能が共に有効な場合 (MDCRO<SYNCEN>=1, MDCR1<SYNCEN>=1) は先にスタート (MDCRx<PWMEN>=1) を設定したチャンネルが同期スタート待ち状態となり、もう片方のチャンネルのスタートに同期して動き出します。

PMD 同期機能を有効にしても各レジスタへの設定は独立しています。同じ条件で動作させたい場合は、PMD0 と PMD1 にそれぞれ同じ設定を行ってください。

(設定例) PMD1 に同期して PMD0 をスタートさせる場合

```

MDCRO = 0y*****_*1*****1      ; SYNCEN=1 (同期機能有効)
                                       ; PWMEN=1 (スタート待ち)
MDCR1 = 0y*****_*****1          ; PWMEN=1 (PMD1 スタート)

```

14.3.3 通電制御回路

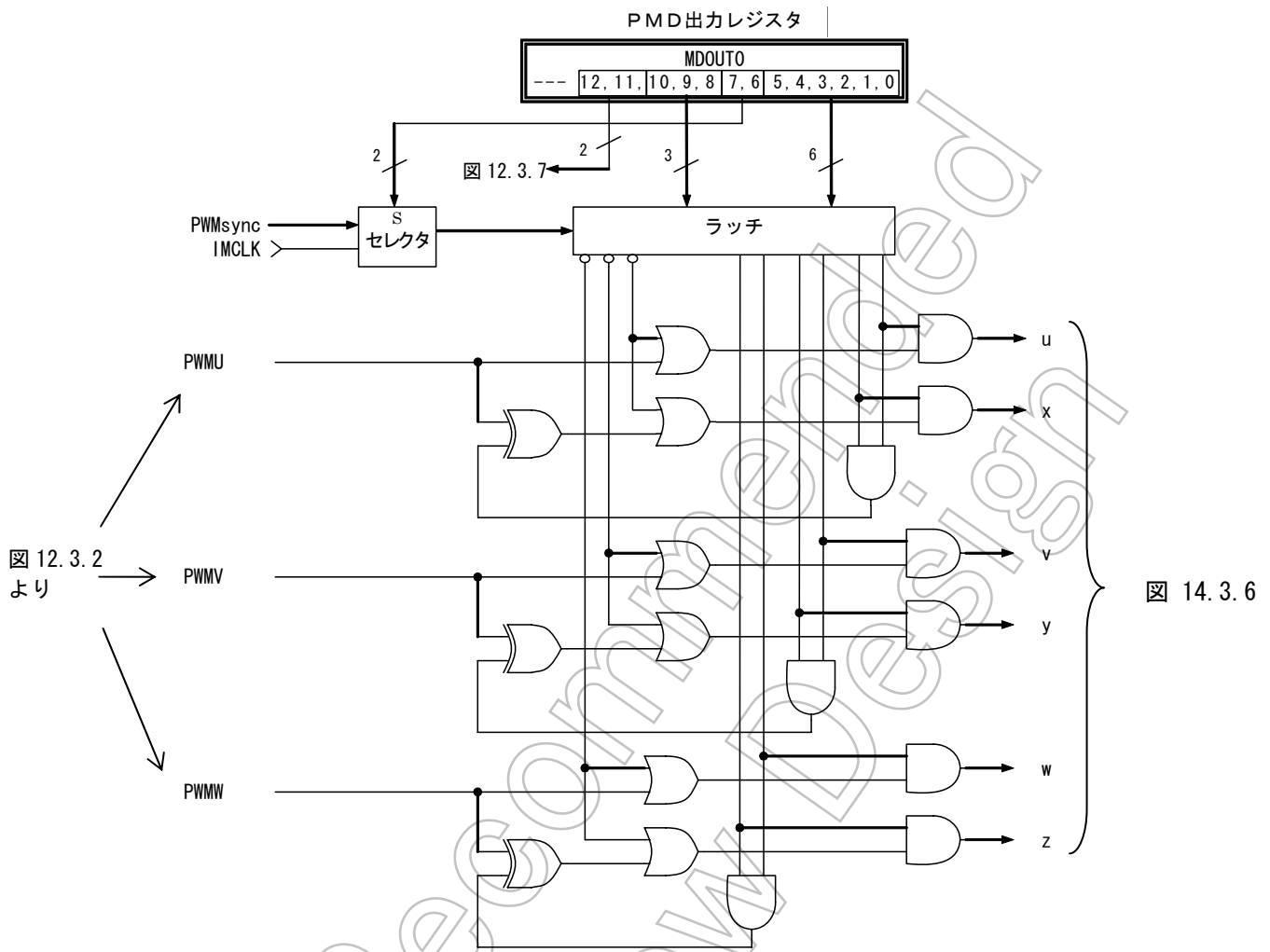


図 14.3.5 通電制御回路ブロック図

PMD 出力レジスタ (MDOUT0) に設定された内容により、出力ポートの制御を行います。設定内容は、ポート出力時の同期信号の選択とポート出力設定に分けられます。ポート出力設定はダブルバッファ構成であり、更新タイミングは PWM への同期更新と非同期更新を選択できます。

6本のポートの出力設定は、それぞれ上下相独立にアクティブ/インアクティブの設定をMDOUT0<POLH, POLL>により行います。さらに、U, V, Wの3相それぞれに、PWM出力とH・L出力との選択をMDOUT0<UOC, VOC, WOC>により設定します。PWM出力を選択するとPWM波形が、H・L出力を選択するとH固定またはL固定の出力が得られます。MDOUT0のポート出力設定と極性設定によって得られる端子出力を”表 14.3.1 UOC, UPWM 設定によるU相ポート出力“に示します。

PMD0 出力レジスタ

MDOUT0
(0xFFFF_C318)

	7	6	5	4	3	2	1	0
bit Symbol	PSYNS		WOC		VOC		UOC	
Read/Write	R/W		R/W		R/W		R/W	
リセット後	0		0		0		0	
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	POLH	POLL	WPWM	VPWM	UPWM
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

機能説明

Symbol	レジスタ名	機能
POLH	上相ポート極性	0:ロー・アクティブ 1:ハイ・アクティブ
POLL	下相ポート極性	0:ロー・アクティブ 1:ハイ・アクティブ
WPWM	W相 PWM 出力	0:H・L 出力 1:PWM 波形出力
VPWM	V相 PWM 出力	0:H・L 出力 1:PWM 波形出力
UPWM	U相 PWM 出力	0:H・L 出力 1:PWM 波形出力
PSYNCS	MDOUT 設定 転送タイミング選択	00:PWM 非同期 01:PWM カウンタ=1 のときリロード 10:PWM カウンタ=MDPRD のときリロード 11:PWM カウンタ=1 および MDPRD のときリロード
WOC	W相出力制御	下記表参照
VOC	V相出力制御	
UOC	U相出力制御	

(注1) MDOUT0<POLH><POLL><PSYNCS>の設定は、MDCRO<PWMEN>=0 の状態で変更してください。

(注2) MDOUT0<xPWM><xOC>はダブルバッファになっているため、MDOUT0<PSYNCS>の設定したタイミングで書き込んだ値が有効になります。

表 14.3.1 UOC, UPWM 設定による U 相ポート出力
 極性ハイアクティブ (POLH, POLL=1) 極性ローアクティブ (POLH, POLL=0)

MDOUT<UOC>		MDOUT<UPWM>			
		0:H/L 出力		1:PWM 出力	
ビット1	ビット0	U出力	X出力	U出力	X出力
0	0	L	L	$\overline{\text{PWM}}$	PWM
0	1	L	H	L	PWM
1	0	H	L	PWM	L
1	1	H	H	PWM	$\overline{\text{PWM}}$

MDOUT<UOC>		MDOUT<UPWM>			
		0:H/L 出力		1:PWM 出力	
ビット1	ビット0	U出力	X出力	U出力	X出力
0	0	H	H	PWM	$\overline{\text{PWM}}$
0	1	H	L	H	$\overline{\text{PWM}}$
1	0	L	H	$\overline{\text{PWM}}$	H
1	1	L	L	$\overline{\text{PWM}}$	PWM

V相、W相についても上記U相と同様に、<VOC><VPWM><WOC><WPWM>を設定してください。

Symbol	レジスタ名	機能
出力ポート極性	POLL, POLH	上下相の出力ポート極性を選択します。MDCR<PWMEN>=0 の状態で選択を行って下さい。
ポート出力の同期設定	PSYNCS	U, V, W 相出力設定のポート出力反映時のタイミングを選択する。PWM コンペアレジスタの MDCNT0 のピーク/ボトム同期又は非同期を選択。
U, V, W 相出力制御	U~WOC U~WPWM	U, V, W相のポート出力設定を行います。(表 14.3.1参照)

14.3.4 EMG 保護制御回路

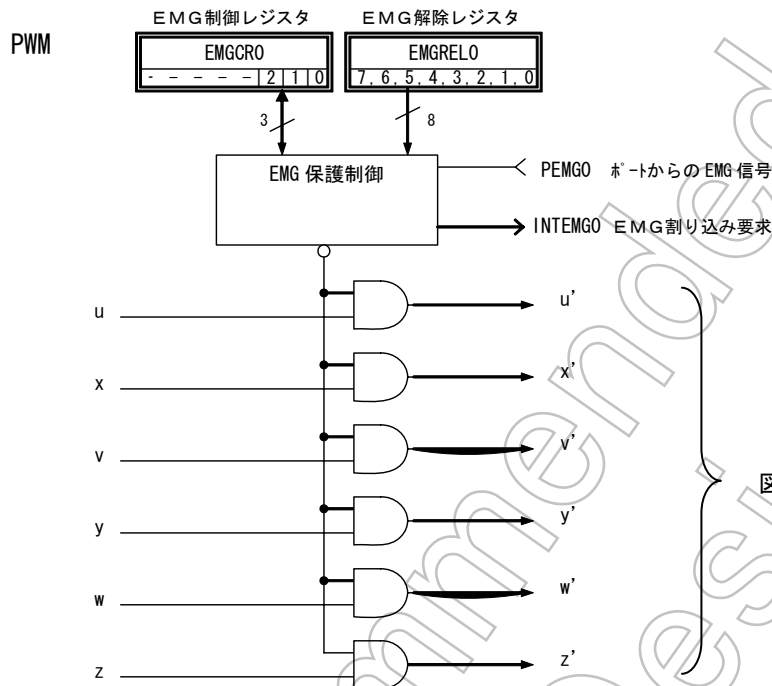


図 12.3.5
より

図 12.3.7

図 14.3.6 EMG 保護回路

EMG 保護制御回路は、EMGO (PA6) からの EMG 入力、ポートで設定したアクティブ状態になることで動作します。ポート部分で EMG 入力を禁止にしている場合は PMD の EMG 保護制御回路は動作しません。

EMG 保護制御回路は緊急停止用の保護回路であり、EMG 入力が入力になった場合、EMG 割り込み要求 (INTEMGO) を発生し、A/D コンバータへの PMDTRGO 出力を禁止します。

PMD のみが保護状態の場合は PMD の 6 相出力はすべてインアクティブになります。

EMG 保護は EMG 制御レジスタ (EMGCRO) で設定します。また、EMGCRO<EMGST>をリードした時、“1” の場合は EMG 保護回路が動作中であることを示します。保護状態の時は、ポートへの出力を全てインアクティブに設定後 MDOUT0[10:0]=0000000000、EMGCRO<EMGRS>=1 を設定することにより保護状態から復帰することができます。また、EMG 機能を禁止するには以下の手順で行ってください。手順終了前に EMGCRO、EMGRELO を操作するとそれまでの操作が無効になります。

- ・ EMG 禁止コードレジスタ (EMGRELO) に 0x5A を設定
- ・ EMG 禁止コードレジスタ (EMGRELO) に 0xA5 を設定
- ・ EMGCRO<EMGEN>に” 0” を設定

ポート出力禁止部が保護状態を保持した状態では、PMD の保護制御回路を保護状態から復帰させても、再度保護状態になります。ポート出力禁止部の設定方法、復帰方法は「7.12 緊急停止信号 (EMG) 入力端子 (PA6 / PB6) の使用上の注意事項」を参照してください。

EMGO 禁止コードレジスタ

EMGRELO
(0xFFFF_C31C)

	7	6	5	4	3	2	1	0
bit Symbol	EMGREL							
Read/Write	W							
リセット後	0x00							
機能	0x5A→0xA5 をライトで回路禁止可能 EMGEN : 0 に設定							

EMGO コントロールレジスタ

EMGCRO
(0xFFFF_C320)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	—	—	—	EMGST	EMGRS	EMGEN
Read/Write	R	R	R	R	R	R	W	R/W
リセット後	0	0	0	0	0	0	0	1

機能説明

Symbol	レジスタ名	機能
EMGST	EMG 状態	0: — 1: 保護中
EMGRS	EMG 状態からの復帰	0: — 1: 保護状態からの復帰
EMGEN	EMG 保護回路の機能の許可/禁止	0: 禁止 1: 許可

EMG 保護制御回路設定部詳細説明

Symbol	レジスタ名	機能
EMG 保護状態	EMGST	リードする事により、PMD 部分の EMG 保護状態を知る事ができます。
EMG 保護状態からの復帰	EMGRS	MDOUT[10:0]に”0000000000”を設定後 “1”を設定する事により PMD が EMG 保護状態から復帰します。
EMG の許可/禁止	EMGEN	“1”を設定する事により EMG 保護回路が動作状態となります。 初期状態では許可となっています。 禁止するときは EMG 禁止コードに 0x5A→0xA5 を設定し、“0”に設定します。

14.3.5 デッドタイム制御回路

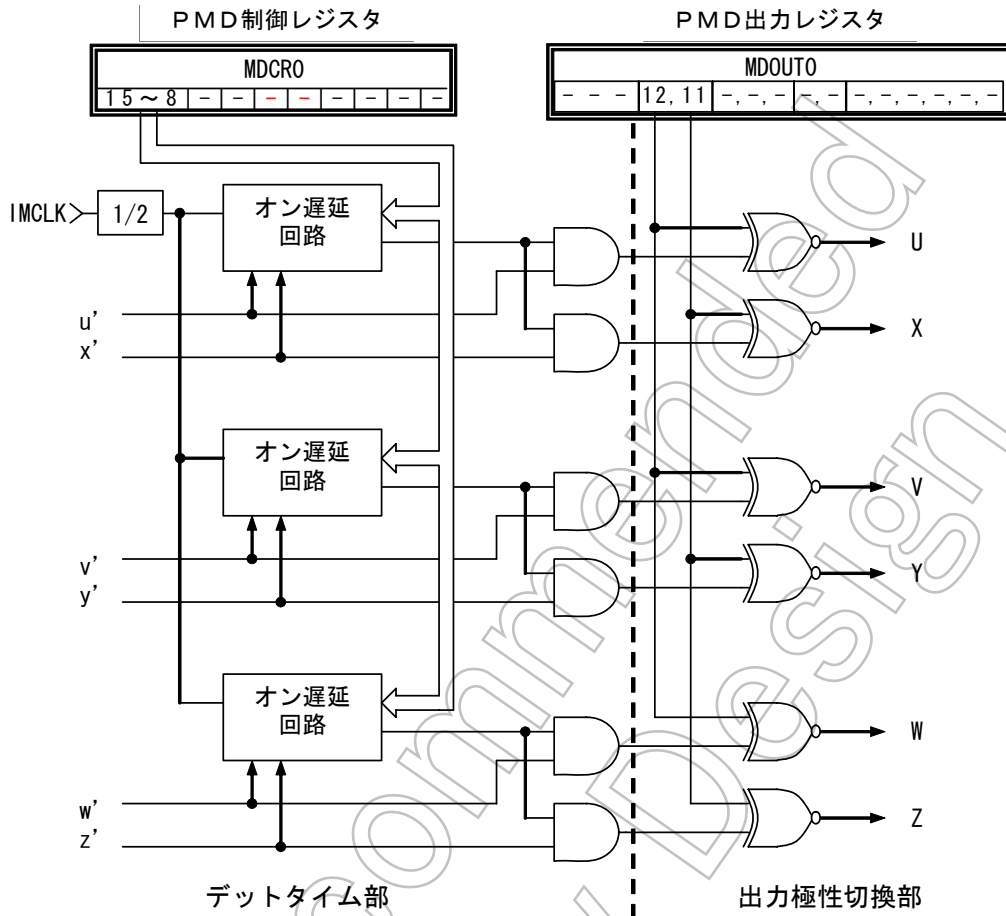


図 14.3.6
より

図 14.3.7 デッドタイム制御回路

デッドタイム制御回路はデッドタイム部と出力極性切換部から構成されます。

オン遅延回路は、U、V、Wのそれぞれの相において、上下相が逆転する場合に、上下相が短絡する危険があるため、オン時間の遅延を行います。遅延時間は、71.4ns分解能（IMCLK=28MHz）で8ビット値をMDCRO<DTR>に設定します。<DTR>=0x00は遅延時間無しになります。

出力極性切換回路は上相・下相をそれぞれに対してハイアクティブ/ローアクティブをPMD制御レジスタMDOUTO<POLH, POLL>により設定できます。

PMD0 コントロールレジスタ

		7	6	5	4	3	2	1	0
MDCRO (0xFFFF_C300)	bit Symbol	UPDOWN	-	DTYMD	PINT	INTPRD		PWMD	PWMEN
	Read/Write	R	R/W	R/W	R/W	R/W		R/W	R/W
	リセット後	0	0	0	0	0		0	0
	機能		必ず"0"を設定してください						
		15	14	13	12	11	10	9	8
	bit Symbol	DTR							
	Read/Write	R/W							
	リセット後	0x00							
	機能	デッドタイム設定：71.4ns×8ビット（最大18.2μs）IMCLK=28MHz							

14.3.6 同期サンプリング信号生成回路

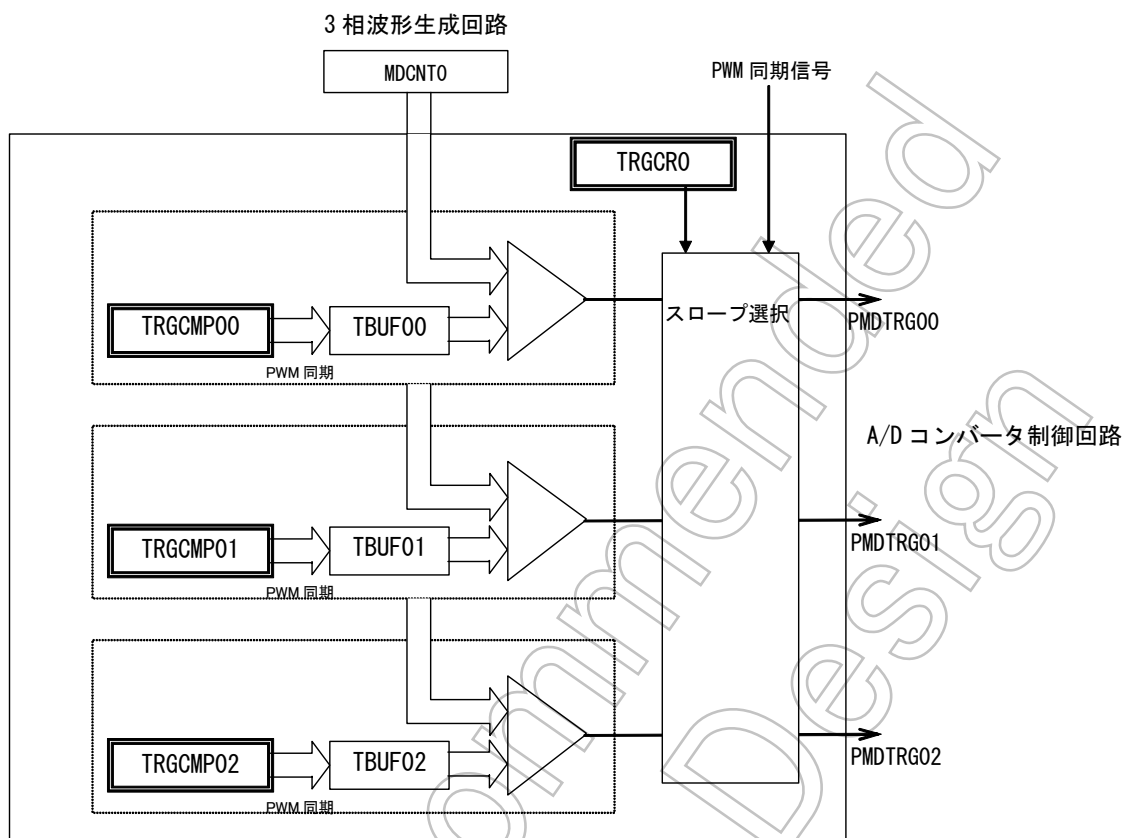


図 14.3.8 同期サンプリング信号生成回路

同期サンプリング信号生成回路は PWM に同期して A/D コンバータのサンプリングを開始させるためのトリガ信号を生成します。動作は、MDCNT0 と TRGCMP0 とが一致する時に A/D コンバータトリガ信号 PMDTRG0 を発生します。発生タイミングはアップカウント動作時の一致、ダウンカウント動作時の一致、アップ/ダウンカウント両動作での一致を選択できます。エッジ PWM モード選択時はアップカウント時のみとなります。PWM 出力禁止時 (PWMEEN : 0) と PMD の EMG 保護状態の時はトリガが出力されません。

トリガコントロールレジスタ (PMD0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGCRO (0xFFFF_C324)	—	—	—	—	—	—	—	TRG2MD			TRG1MD			TRG0MD		
Read/Write	R	R	R	R	R	R	R	R/W			R/W			R/W		
リセット後	0	0	0	0	0	0	0	000			000			000		

機能説明

Symbol	レジスタ名	機能
TRG2MD	PMDTRG2 のモード設定	000: トリガ出力禁止 001: ダウンカウント時のトリガコンペアレジスタ一致でトリガ出力
TRG1MD	PMDTRG1 のモード設定	010: アップカウント時のトリガコンペアレジスタ一致でトリガ出力 011: アップ/ダウンカウント時のトリガコンペアレジスタ一致でトリガ出力
TRG0MD	PMDTRG0 のモード設定	100: PWM 搬送波ピークでトリガ出力 101: PWM 搬送波ボトムでトリガ出力 110: PWM 搬送波ピーク/ボトムでトリガ出力 111: —

(注1) TRGCRO<TRG0MD><TRG1MD><TRG2MD>の設定は、MDCRO<PWMEN>=0 の状態で変更してください。

トリガコンペアレジスタ (PMD0)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGCMP02 (0xFFFF_C330)	—															
Read/Write	R/W															
TRGCMP01 (0xFFFF_C32C)	リセット後 0x0000															
TRGCMP00 (0xFFFF_C328)	機能 MDCNT0 と一致すると PMDTRG0 を出力します															

(注1) コンペアレジスタは 1<TRGCMP00, TRGCMP01, TRGCMP02<MDPRD0 の範囲内で設定してください。

(注2) このレジスタはダブルバッファになっているため、

<TRGxMD>=001 : MDCNT0=MDPRD0 のタイミング

<TRGxMD>=010 : MDCNT0=" 0 "のタイミング

<TRGxMD>=011 : MDCNT0=MDPRD0 もしくは" 0 "のタイミング

で書き込んだ値が有効になります。

15. エンコーダ入力回路

15.1 機能概要

- (1) インクリメンタルエンコーダの信号を直接入力。
- (2) 4 通倍回路／回転方向検出回路内蔵
- (3) 絶対位置検出カウンタ内蔵
- (4) エンコーダパルス位置設定値に対して一致したら割り込み発生
- (5) 信号入力部にノイズフィルタ内蔵

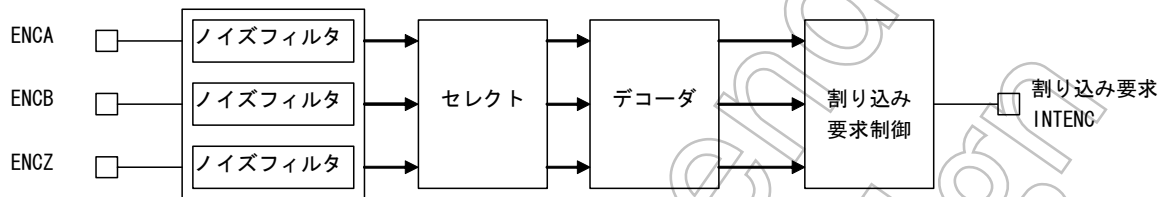


図 15.1.1 エンコーダ入力回路ブロック図

- (注1) 特に指定のない限り、この機能のレジスタは16ビットアクセスで読み出し、書き込みをして下さい。ビット操作命令でもアクセスできません。

15.2 レジスタ構成と初期状態

15.2.1 レジスタ説明

エンコーダ入力制御レジスタ

ENTNCR (0xFFFF_C400)	bit Symbol	ZEN	CUNEN	NR1	NRO	ENCAP	—	—	—
	Read/Write	R/W							
	リセット後	0	0	00		0	0	0	0
		15	14	13	12	11	10	9	8
bit Symbol	ENCLR	U/D	ZDET	—	—	—	—	—	
Read/Write	W				R				
リセット後	0	0	0	0	0	0	0	0	

機能詳細

Symbol	レジスタ名称	機能
ENCLR	エンコーダカウンタのクリア	“1→0” と書き込むとエンコーダカウンタクリア
U/D	エンコーダ回転方向フラグ設定	1: CW 0: CCW
ZDET	Z信号の検出状態	1: Z信号検出でセット 0: CUNENセット時とリセット時にクリア
ZEN	Z相によるカウンタクリアの許可/禁止	1: 許可 0: 禁止
CUNEN	エンコーダパルスカウンタの許可/禁止	1: 許可 0: 禁止
NR[1:0]	ノイズフィルタの設定	00: フィルタ無 01: 31/1MCLK未満のパルスはノイズとして除去 10: 63/1MCLK未満のパルスはノイズとして除去 11: 127/1MCLK未満のパルスはノイズとして除去
ENCAP	割り込み要求信号発生の許可/禁止	1: 許可 0: 禁止

(注1) ENTNCRへ書き込む場合は、他のレジスタに書き終えた最後に書き込んでください。

(注2) <ENCLR>、<CUNEN>以外のレジスタは動作中に設定を変更しないでください。

(注3) ENCNTとENINTが一致している状態で<CUNEN>="0"に設定してもINTENCは発生します。
<ENCAP>="0"に設定し、割り込みを禁止にしてください。

(注4) <CUNEN>="0"で禁止後、再度許可にする場合は<ENCLR>でカウンタをクリアしてください。

表 15.2.1 エンコーダ入力回路設定部詳細説明

レジスタ名称	Symbol	機能
エンコーダパルスカウンタクリア	ENCLR	ENCLRに"1→0"が書き込まれると、エンコーダカウンタは0クリアされます。クリア後は再びカウントを始めます。
エンコーダ回転方向	U/D	モータがCW方向（インクリメンタルエンコーダ信号のA相がB相に対して90°進んでいる状態）に回転しているときは"1"、CCW方向（A相がB相に対して90°遅れている状態）に回転しているときは"0"が書き込まれます。
Z相通過検出	ZDET	CUNENに1が書き込まれた時とリセット時に0クリアされ、その次のZDETECT（インクリメンタルエンコーダ信号のZ相の立ち上がりエッジ（CW方向）もしくは、立下りエッジ（CCW）で出力される信号）のタイミングで"1"がセットされます（ZENの値とは無関係）。
Z相によるカウンタクリア	ZEN	ZEN=1の時、CW方向に回転しているときはZ相の立ち上がりエッジ（ZDETECTのタイミング）で0クリアされます。CCW方向に回転している時はZ相の立下りエッジ（ZDETECTのタイミング）で0クリアされます。ENCLK（A相、B相信号を4逓倍したクロック）タイミングとZDETECTのタイミングが同時となった場合には、エンコーダカウンタ（ENCNT）はカウント動作を行わず0クリアされます。
エンコーダパルスカウンタイネーブル	CUNEN	CUNEN=1でZDETを0クリアするとともにエンコーダカウンタ（ENCNT）をイネーブルします。CUNEN=0でENCNTをディセーブルにします。
ノイズフィルタ	NR1,0	00: フィルタ無し 01: 31/IMCLK未満のパルスはノイズとして除去 (1.11μs IMCLK=28MHz) 10: 63/IMCLK未満のパルスはノイズとして除去 (2.25μs IMCLK=28MHz) 11: 127/IMCLK未満のパルスはノイズとして除去 (4.54μs IMCLK=28MHz)
エンコーダ割り込み要求	ENCAP	ENCAP=1で割り込み要求信号の発生をイネーブルにし、ENCAP=0で割り込み要求信号の発生をディセーブルにします。

エンコーダカウンタリロードレジスタ

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENRELOAD (0xFFFF_C404)	bit Symbol	-															
	Read/Write	R/W															
	リセット後	0x0000															
	機能	エンコーダカウンタ数の設定 : 0x0000~0xFFFF : (入力パルスの4通倍) Z相使用する場合 : 1回転分のカウントパルス数を設定 Z相使用しない場合 : 1回転分のカウントパルス数-1を設定															

エンコーダカウンタ (ENCNT) が UP カウントを行っていた場合、カウンタの値が ENRELOAD レジスタの値と等しくなった次の ENCLK のタイミングで 0 クリア、DOWN カウントを行っていたときにはカウンタ値が 0 になった次の ENCLK のタイミングで ENRELOAD レジスタの値がエンコーダカウンタ (ENCNT) にリロードされます。

エンコーダ比較レジスタ

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENINT (0xFFFF_C408)	bit Symbol	-															
	Read/Write	R/W															
	リセット後	0x0000															
	機能	割り込み要求発生位置の設定 : 0x0000~0xFFFF エンコーダカウンタとの一致で割り込み要求発生															

エンコーダカウンタ (ENCNT) と ENINT の値が一致すると割り込み要求 (INTENC) が発生する。ただし、ZEN=1 の時は、ZDET=1 になるまで割り込み要求発生しません。

エンコーダカウンタ

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENCNT (0xFFFF_C40C)	bit Symbol	-															
	Read/Write	R															
	リセット後	0x0000															
	機能	0x0000~0xFFFF : エンコーダパルスにより UP/DOWN するカウンタ															

CW 方向に回転しているときは UP カウントを行い、カウンタ値が ENRELOAD と等しくなった時、次の ENCLK タイミングで 0 クリアされます。CCW 方向に回転しているときは DOWN カウントを行いカウンタ値が 0 の時、次の ENCLK タイミングで ENRELOAD 値がロードされます。

15.3 動作説明

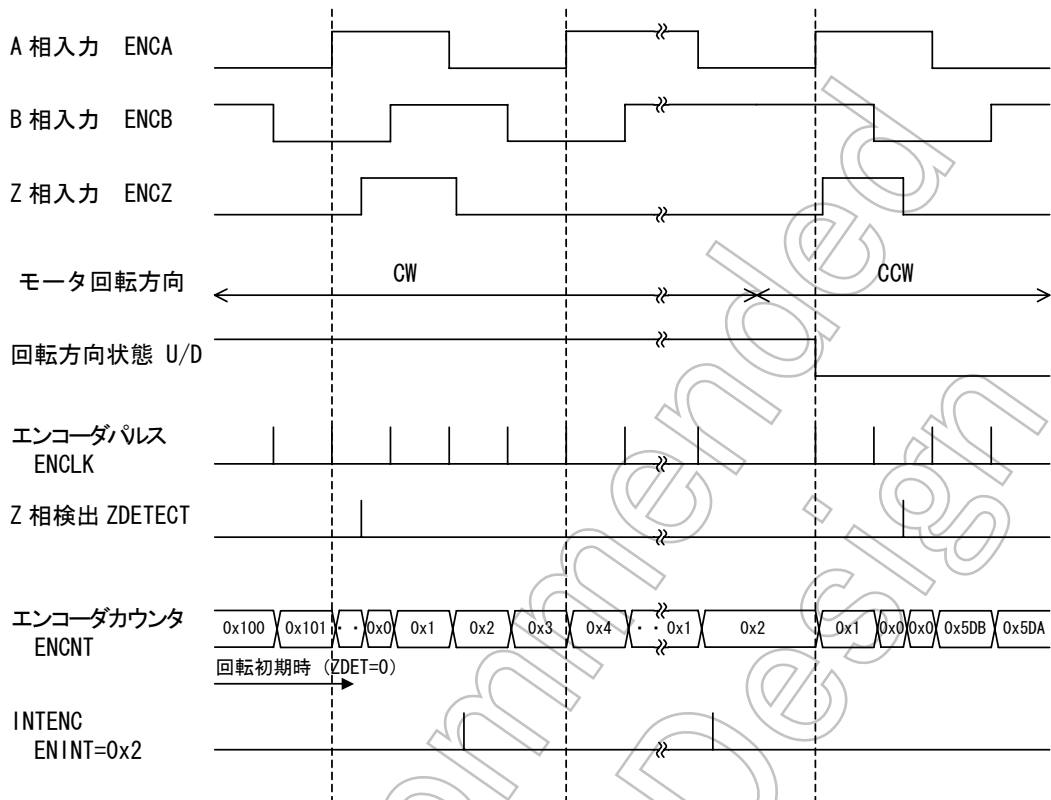


図 15.3.1 エンコーダ入力回路タイミングチャート (1) ZEN=1 ENRELOAD=0x05DB

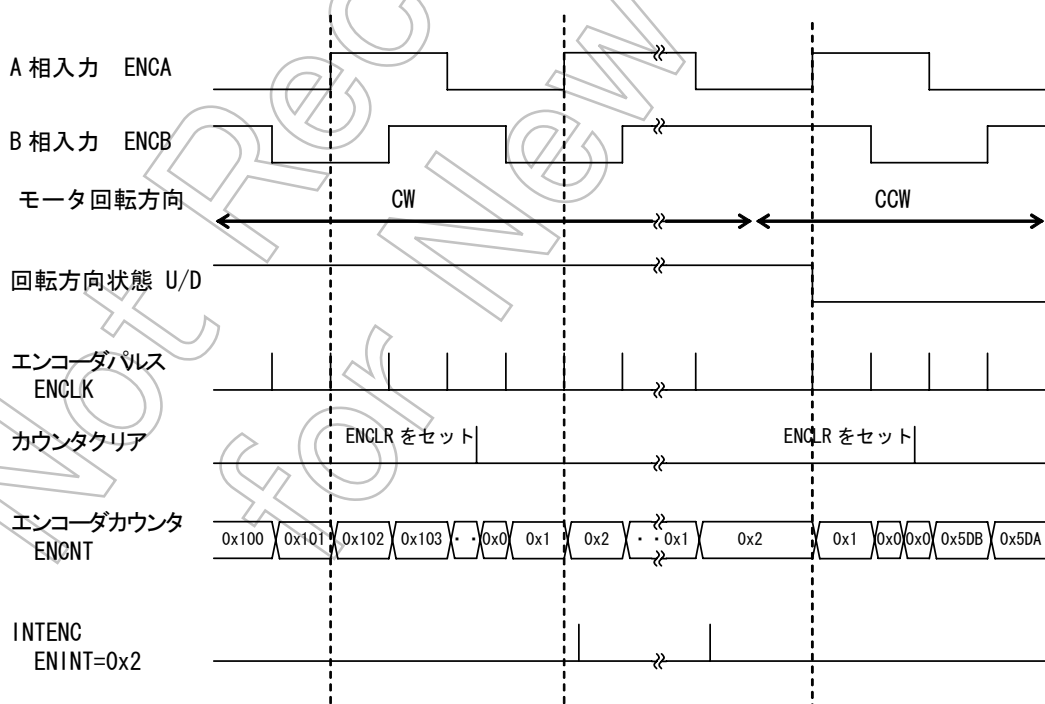


図 15.3.2 エンコーダ入力回路タイミングチャート (2) ZEN=0 ENRELOAD=0x5DB

- (1) インクリメンタルエンコーダ信号を A, B, Z 相に接続します。この信号を 4 通倍してカウントを行います。
- (2) CW 方向 (A 相が B 相に対して 90° 進んでいる状態) に回転しているときは、UP カウントを行い、カウンタ値が ENRELOAD 値と等しくなった時、さらに UP カウントしようとし、次の ENCLK タイミングで 0 クリアされます。
- (3) CCW 方向 (A 相が B 相に対して 90° 遅れている状態) に回転しているときは、DOWN カウントを行います。カウンタ値が 0 の時、さらに DOWN カウントしようとする次の ENCLK タイミングでカウンタに ENRELOAD 値がロードされます。
- (4) ZEN=1 の時は CW 方向に回転しているときは Z 相の立ち上がりエッジ (ZDETECT のタイミング) で 0 クリアされます。CCW 方向に回転している時は Z 相の立ち下がりエッジ (ZDETECT のタイミング) で 0 クリアされます。
ENCLK タイミングと ZDETECT のタイミングが同時となった場合には、カウント動作を行わず、0 クリアされます。
- (5) ENCLR に 0 が書き込まれると、カウンタは 0 クリアされます。
- (6) ENINT の値とカウンタ値が等しくなった時に、割り込み要求を発生させることができます。ただし ZEN=1 の時は、ZDET=1 になるまで割り込み要求が発生しません。
- (7) ZDET は CUNEN に 1 が書き込まれた時とリセット時に 0 クリアされ、その次の ZDETECT のタイミングで 1 がセットされます。(ZEN の値とは関係なし)
- (8) U/D は CW 方向に回転していることを検出している時は 1、CCW 方向に回転していることを検出している時には 0 がセットされます。

Not Recommended for New Design

15.4 使用方法説明

15.4.1 エンコーダ割り込みの使用

(a) エンコーダパルス数を設定

1回転 1200パルスのエンコーダを使用する場合、パルス数（4 通倍後）を設定

ENRELOAD=1200x4=0x12C0

0	0	0	1	0	0	1	0	1	0	1	1	1	1	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

(b) エンコーダ割り込み要求タイミングを設定

カウンタ値=1000 (0x03E8) で割り込み発生させる場合

ENINT=0x03E8

0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

(c) エンコーダカウンタ，割り込み要求，Z相検出をイネーブル

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENTNCR	-	-	-	-	-	-	-	-	1	1	-	1	-	-	-	-

(d) 動作

- ①エンコーダが回転するとそれに伴ってエンコーダデコーダより 4 通倍されたパルス (ENCLK) と回転方向 (U/D) が出力されます。
- ②ENCLK のパルスをエンコーダカウンタでカウントします。ただし回転方向によって UP/DOWN のどちらを行うのか決定します。
- ③Z 相を検出すると 0 クリアされます。UP カウント動作時は、カウンタの値が ENRELOAD レジスタの値と等しくなり、その次の ENCLK のタイミングで 0 クリア、DOWN カウント動作時にはカウンタ値が 0 になりその次の ENCLK のタイミングで ENRELOAD レジスタの値がカウンタにリロードされます。
- ④1 回目の Z 相検出まではエンコーダカウンタの値は実際のエンコーダの絶対位置を表しません、カウント開始時からの相対位置を表します。Z 相を検出すると ZDET が 1 となり、カウンタ値は絶対位置を表します。
- ⑤エンコーダ割り込み要求 (ENINT) レジスタの設定値とエンコーダカウンタの値が一致し、ZDET=1 となると割り込み要求 (ENINT) が発生します。割り込み要求はカウントの UP/DOWN に関係なく発生します。

16. ROM コレクション機能

本節では TMP19A71 に内蔵されている ROM コレクション機能について説明します。

(注 1)ROM コレクションのレジスタは 32 ビットでアクセスしてください。ビット操作命令でもアクセスできません。

16.1 特長

- 1 箇所当たり 8 ワードのデータを 8 箇所置き替えることができます。
- アドレスレジスタに書き込まれた物理アドレス（下位 5 ビットは Don' t care）と PC、オペランドアドレスまたは DMAC が生成するアドレスが一致すると、前記アドレスレジスタに対応した RAM 上に置かれたデータが ROM データに置き換わります。
- ROM コレクションの許可は各アドレスレジスタにアドレスをセットすることにより自動的に行われます。解除するにはリセットする必要があります。
- プログラムの変更など 8 ワードで訂正ができない場合は、RAM へのジャンプ命令を置き、RAM 上で訂正することができます。

16.2 動作

アドレスレジスタ ADDREGn に訂正したい ROM エリアの物理アドレス（含む投影エリア）をセットすることにより、ADDREGn に対応した RAM 上のデータを ROM データと置き換えることができます。この ADDREGn にアドレスをセットすることにより、自動的にこの ROM コレクション機能は有効になります。リセット後は全ての ROM コレクション機能が禁止されています。したがって、リセット解除後の Initial routine にて ROM コレクションを行う場合は、必要な ADDREG に **物理アドレス** をセットしてください。アドレスがセットされた ADDREG は ROM コレクション機能が有効になり、TX19A プロセッサコアがバス制御権を所有しているときは PC の値、DMAC がバス制御権を所有しているときは DMAC が発行するソースまたはデスティネーションアドレスと一致すると ROM データと置き換えがされます。例えば、ADDREG0、ADDREG3 にアドレスをセットすると、このエリアの ROM コレクション機能が有効になり、このアドレスレジスタに対して常に一致検出が行われ、一致すれば置き換えます。ADDREG2、ADDREG4~7 に対しては行われません。また、アドレスレジスタのビットは [31:5] が存在しますが、アドレスの一致検出は回路簡略の為に A[17:5] に対して行われます。内部的には ROM エリアを示す ROMCS 信号と ROM コレクション回路の一致検出の論理積が取られて置き換えが行なわれます。ROM コレクションのアドレスは 8 ワード単位の境界（すなわち A0 ~ A4 は 0）にのみ設定できます。すなわち、32 バイト単位での置き換えになりますので、その中の一部のみを置き換えるときは、置き換えの必要のないアドレスは同じデータを書いてください。

ADDREGn と RAM エリアの対応は以下のようになっています。

表 16.2.1 ADDREGn と RAM エリアの対応表

アドレスレジスタ	RAM エリアの対応
ADDREG0	0xFFFF_BF00~0xFFFF_BF1F
ADDREG1	0xFFFF_BF20~0xFFFF_BF3F
ADDREG2	0xFFFF_BF40~0xFFFF_BF5F
ADDREG3	0xFFFF_BF60~0xFFFF_BF7F
ADDREG4	0xFFFF_BF80~0xFFFF_BF9F
ADDREG5	0xFFFF_BFA0~0xFFFF_BFBF
ADDREG6	0xFFFF_BFC0~0xFFFF_BDFD
ADDREG7	0xFFFF_BFE0~0xFFFF_BFFF

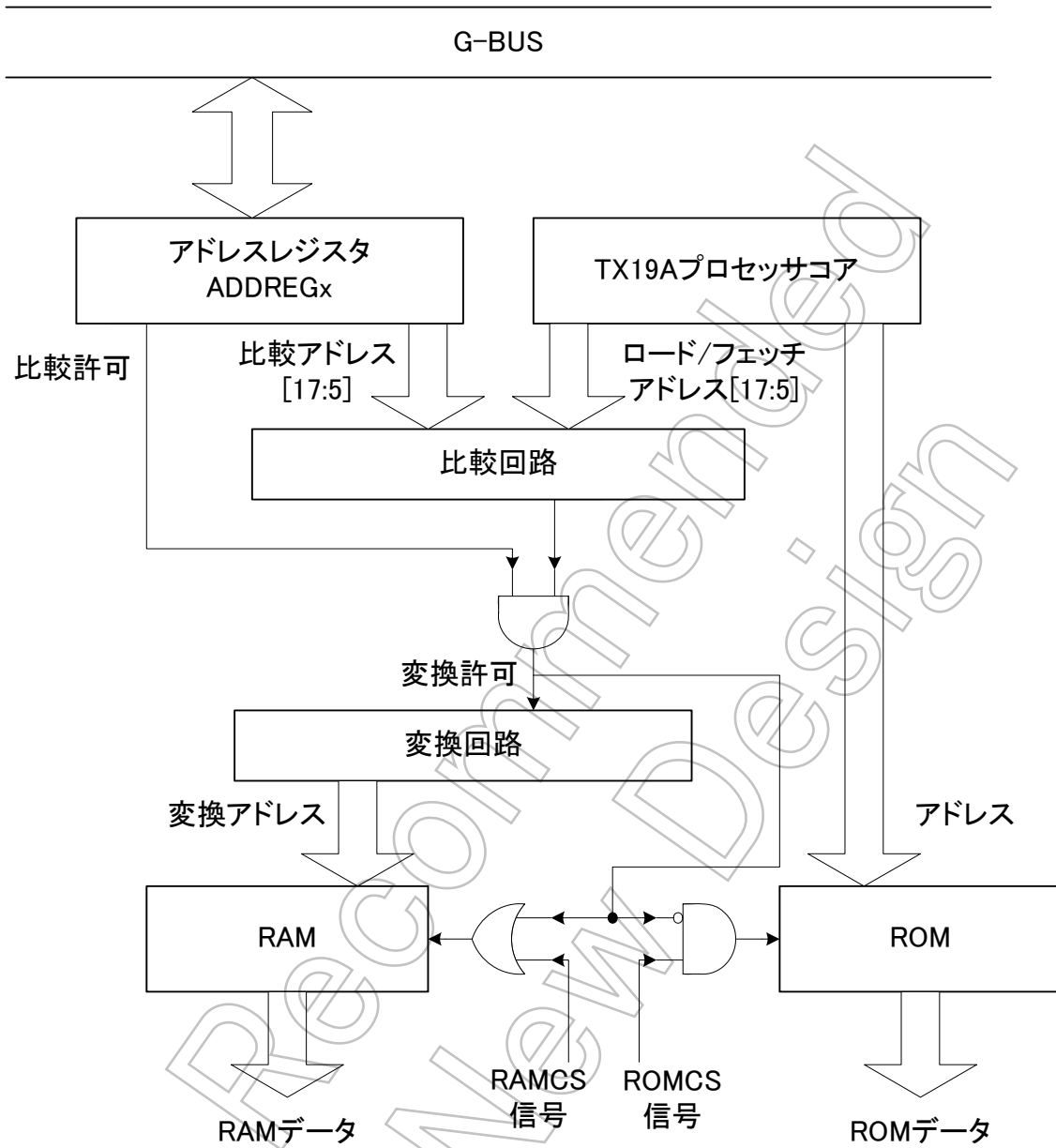


図 16.2.1 ROM コレクションシステム図

16.3 レジスタ

(1) アドレスレジスタ

ADDREG0 (0xFFFF_E540)		7	6	5	4	3	2	1	0
	bit Symbol	ADD07	ADD06	ADD05	—	—	—	—	—
	Read/Write	R/W							
	リセット後	0	0	0	1	1	1	1	1
	機能								
		15	14	13	12	11	10	9	8
	bit Symbol	ADD015	ADD014	ADD013	ADD012	ADD011	ADD010	ADD09	ADD08
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		23	22	21	20	19	18	17	16
	bit Symbol	ADD023	ADD022	ADD021	ADD020	ADD019	ADD018	ADD017	ADD016
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能									
	31	30	29	28	27	26	25	24	
bit Symbol	ADD031	ADD030	ADD029	ADD028	ADD027	ADD026	ADD025	ADD024	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能									

ADDREG1 (0xFFFF_E544)		7	6	5	4	3	2	1	0
	bit Symbol	ADD17	ADD16	ADD15	—	—	—	—	—
	Read/Write	R/W							
	リセット後	0	0	0	1	1	1	1	1
	機能								
		15	14	13	12	11	10	9	8
	bit Symbol	ADD115	ADD114	ADD113	ADD112	ADD111	ADD110	ADD19	ADD18
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能								
		23	22	21	20	19	18	17	16
	bit Symbol	ADD123	ADD122	ADD121	ADD120	ADD119	ADD118	ADD117	ADD116
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能									
	31	30	29	28	27	26	25	24	
bit Symbol	ADD131	ADD130	ADD129	ADD128	ADD127	ADD126	ADD125	ADD124	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能									

ADDREG2
(0xFFFF_E548)

	7	6	5	4	3	2	1	0
bit Symbol	ADD27	ADD26	ADD25	—	—	—	—	—
Read/Write	R/W							
リセット後機能	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD215	ADD214	ADD213	ADD212	ADD211	ADD210	ADD29	ADD28
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD223	ADD222	ADD221	ADD220	ADD219	ADD218	ADD217	ADD216
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD231	ADD230	ADD229	ADD228	ADD227	ADD226	ADD225	ADD224
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0

ADDREG3
(0xFFFF_E54C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD37	ADD36	ADD35	—	—	—	—	—
Read/Write	R/W							
リセット後機能	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD315	ADD314	ADD313	ADD312	ADD311	ADD310	ADD39	ADD38
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD323	ADD322	ADD321	ADD320	ADD319	ADD318	ADD317	ADD316
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD331	ADD330	ADD329	ADD328	ADD327	ADD326	ADD325	ADD324
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0

ADDRREG4
(0xFFFF_E550)

	7	6	5	4	3	2	1	0
bit Symbol	ADD47	ADD46	ADD45	—	—	—	—	—
Read/Write	R/W							
リセット後機能	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD415	ADD414	ADD413	ADD412	ADD411	ADD410	ADD49	ADD48
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD423	ADD422	ADD421	ADD420	ADD419	ADD418	ADD417	ADD416
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD431	ADD430	ADD429	ADD428	ADD427	ADD426	ADD425	ADD424
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0

ADDRREG5
(0xFFFF_E554)

	7	6	5	4	3	2	1	0
bit Symbol	ADD57	ADD56	ADD55	—	—	—	—	—
Read/Write	R/W							
リセット後機能	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD515	ADD514	ADD513	ADD512	ADD511	ADD510	ADD59	ADD58
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD523	ADD522	ADD521	ADD520	ADD519	ADD518	ADD517	ADD516
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD531	ADD530	ADD529	ADD528	ADD527	ADD526	ADD525	ADD524
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0

ADDREG6
(0xFFFF_E558)

	7	6	5	4	3	2	1	0
bit Symbol	ADD67	ADD66	ADD65	—	—	—	—	—
Read/Write	R/W							
リセット後機能	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD615	ADD614	ADD613	ADD612	ADD611	ADD610	ADD69	ADD68
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD623	ADD622	ADD621	ADD620	ADD619	ADD618	ADD617	ADD616
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD631	ADD630	ADD629	ADD628	ADD627	ADD626	ADD625	ADD624
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0

ADDREG7
(0xFFFF_E55C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD77	ADD76	ADD75	—	—	—	—	—
Read/Write	R/W							
リセット後機能	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD715	ADD714	ADD713	ADD712	ADD711	ADD710	ADD79	ADD78
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD723	ADD722	ADD721	ADD720	ADD719	ADD718	ADD717	ADD716
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD731	ADD730	ADD729	ADD728	ADD727	ADD726	ADD725	ADD724
Read/Write	R/W							
リセット後機能	0	0	0	0	0	0	0	0

(注1) アドレスレジスタへの DMA 転送はできません。RAM 上に配置される置き換えのデータ領域への DMA 転送はできます。また ROM コレクションの置き換え機能は TX19A プロセッサコアアクセスの時も DMA の時も有効です。

17. フラッシュメモリの構成および動作説明

フラッシュ機能について、ハードウェアの構成およびその動作を説明します。

17.1 フラッシュメモリ

17.1.1 特長

- 1) メモリ容量
TMP19A71 はフラッシュメモリ 2M ビット (256K バイト) を内蔵しています。構成は2 ブロック (128K バイト × 2) になっており、各ブロック個別に書き込み/ 消去を禁止することができます。TX19A プロセッサコアから内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。ライターにより書き替えを行う場合 (ライターモード) は 16 ビット幅のアクセスとなります。
- 2) 書き込み/消去時間
書き込み時間 (Verify 含む): 5 秒/Chip (Typ)
消去 (Verify 含む): 20 秒/Chip (Typ)
(注) 上記値は理論時間を表しており、データ転送時間などは含まれていません。
Chip 当たりの時間はユーザの書き替え方法により異なります。
- 3) プログラミング方法
ユーザのボード上で書き替えが可能なオンボードプログラミングモードと、EPROM ライターで書き替えを行うライターモードがあります。
 - オンボードプログラムモード
 - 1) ユーザーブートモード
ユーザー独自の書き替えを構築します。
 - 2) シングルブートモード
シリアル転送 (当社オリジナル) での書き替え方法をサポート
 - ライターモード
汎用ライターをサポート (T. B. D)
- 5) 書き替え方式
本デバイス内蔵のフラッシュメモリは、一部の機能を除きコマンドコントロール方式を採用しています。これに対応する、書き換え用のコマンドを認識して自動でデータ消去動作、データ書き込み動作等を実行する回路 (コマンドシーケンサ) を内蔵しています。これにより、書き込みや消去動作に係わるフローをユーザが容易に構築することができます。

本デバイスでは、ライターでのフラッシュデータの読み出しを禁止する、ライターセキュリティ機能を追加しています。書き替え禁止を設定するためのブロックプロテクトは、ソフトウェアによるもので、外部から高電圧を印加して設定する (ハードウェア) 方式は採用しておりません。ライターセキュリティ機能は 2 つのブロックにブロックプロテクトを実施すると有効になり、セキュリティ保持のため、ブロックプロテクトの解除を行うとまず内部データが消去され、その後にブロックプロテクト解除がフラッシュメモリ内部で実施されます。

表 17.1.1 自動書き換え機能変更表

自動書き換え機能	変更、追加、削除した機能
<ul style="list-style-type: none"> • 自動プログラム • 自動チップ消去 • 自動ブロック消去 • 自動マルチブロック消去 • データポーリング 	<p><変更> ブロックプロテクト (ソフトウェアプロテクトのみサポート)</p> <p><削除> 消去レジューム/サスペンド機能</p>

17.1.2 フラッシュ部ブロック部

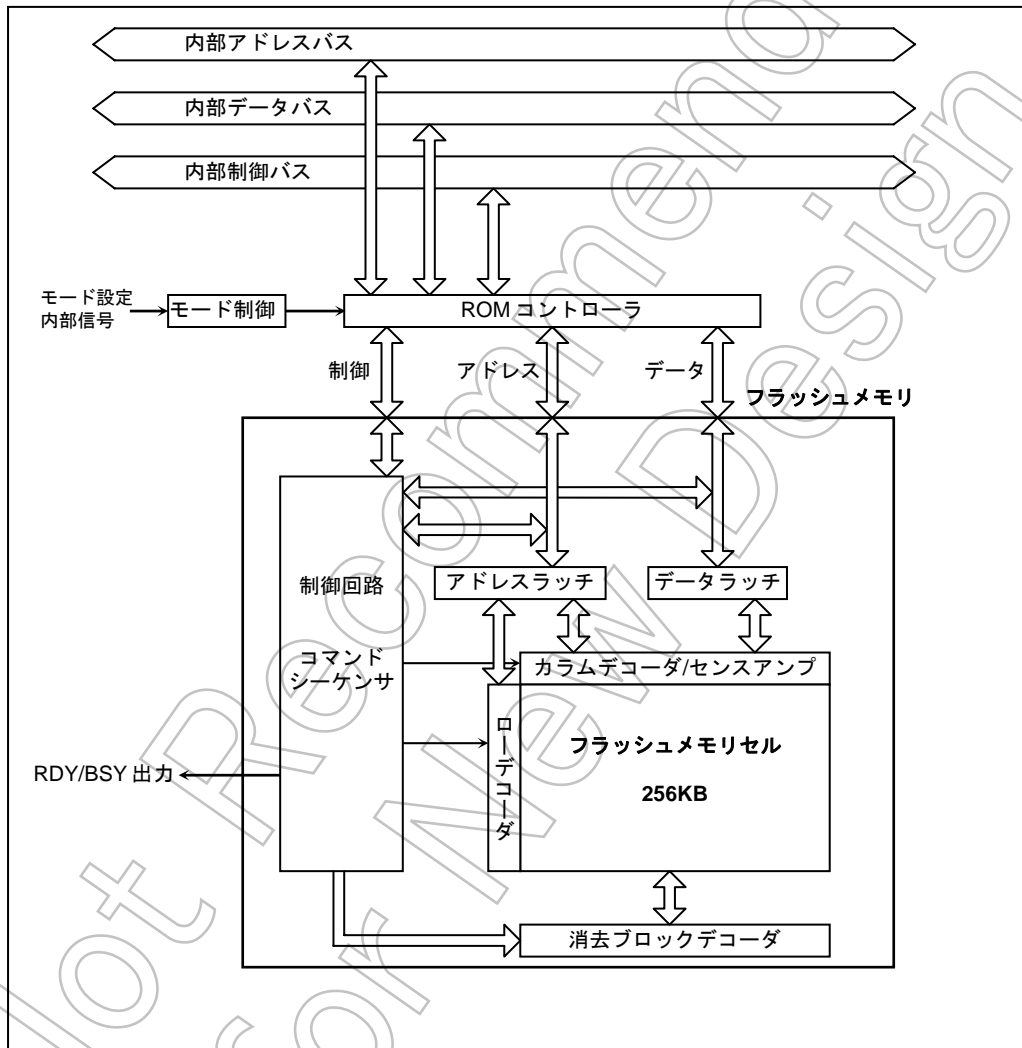


図 17.1.1 フラッシュ部ブロック図

17.2 動作モード

本デバイスは以下4通りの動作状態（モード）が存在します。

表 17.2.1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	<p>本動作モードの中で、ユーザのアプリケーションプログラムを実行するモードと、ユーザのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザブートモード」と呼びます。</p> <p>この両者の切り替えはユーザが独自に設定できます。例えばポート00が‘1’のときノーマルモード、‘0’のときにユーザブートモードというように自由に設計することが可能です。ユーザはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。</p>
ユーザブートモード	
シングルブートモード	リセット解除後、内蔵するブートROM (Mask-ROM) から起動します。ブートROMには、本デバイスのシリアルポートを経由してユーザのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。
ライターモード	汎用のEPROMライターで内蔵フラッシュメモリを書き替えるためのモードです。規定のプログラムアダプタと、推奨するライターをご使用ください。

上記表において、プログラムが可能なフラッシュメモリの動作モードはユーザブートモード、シングルブートモード、ライターモードの3つです。このうち、ユーザのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザブートモードとシングルブートモードで、この2つを総称してオンボードプログラミングモードと定義します。

シングルチップ、シングルブートおよびライタの各動作モードは、リセット状態で入力端子 TEST0、P90～P93、P94 (BOOT) のレベルを外部で設定することにより決定されます。BOOT および P90～P93 はリセット解除後には汎用ポートとして使用できます。

TX19A プロセッサコアはライタモードを除き、状態設定後リセットを解除することにより各動作モードで動作を開始します。ライタモードは RESET = “L” のまま使用します。それぞれモード設定後は動作中にレベルの変更がないようにしてください。以下に各動作モードの設定方法とモード遷移図を示します。

表 17.2.2 動作モード設定表

	動作モード	入力端子							
		RESET	P90	P91	P92	P93	BOOT	TEST0	TEST1
(1)	シングルチップモード	0 → 1	(注1)	(注1)	(注1)	(注1)	1	0	0
(2)	シングルブートモード	0 → 1	(注1)	(注1)	(注1)	(注1)	0	0	0
(3)	ライタモード	0	1	1	0	0	(注1)	1	0

(注1) Don't Care。ただし、0 もしくは 1 に固定。

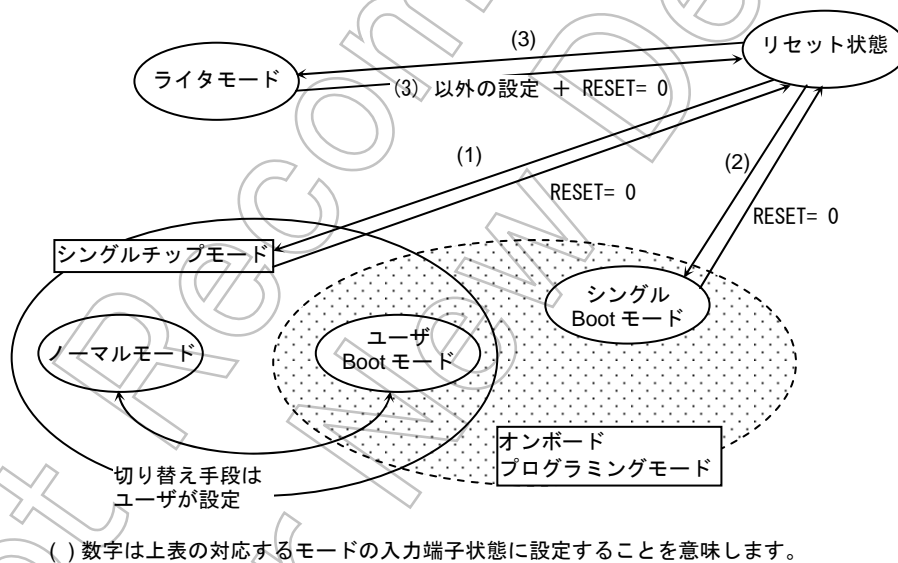


図 17.2.1 モード遷移図

17.2.1 リセット動作

本デバイスにリセットをかけるには、電源投入後少なくとも 10ms の間、RESET 入力を “L” にしてください。

17.2.2 モード別メモリマップ

本製品は、シングルチップモードとシングルブートモードでメモリマップが変わります。以下に、動作モード別のメモリマップを示します。

シングルチップモード		シングルブートモード		ライターモード			
内蔵 I/O	0xFFFF_FFFF	内蔵 I/O	0xFFFF_FFFF	アクセス不可	0xFFFF_FFFF		
内蔵 RAM (10KB)	0xFFFF_BFFF	内蔵 RAM (10KB)	0xFFFF_BFFF	アクセス不可	0xC000_0000		
(予約)	0xFFFF_9800	(予約)	0xFFFF_9800				
デバッグ用	0xFF3F_FFFF	デバッグ用	0xFF3F_FFFF				
(予約)	0xFF20_0000	(予約)	0xFF20_0000				
(予約)	0xFF00_0000	(予約)	0xFF00_0000				
(予約)	0xC000_0000	(予約)	0xC000_0000				
(予約)	0xBF00_0000	(予約)	0xBF00_0000				
内蔵 ROM エリアを投影	0x4003_FFFF	内蔵 フラッシュ ROM	0x4003_FFFF			アクセス不可	0x4000_0000
アクセス不可 (512MB)	0x4000_0000	アクセス不可 (512MB)	0x4000_0000			アクセス不可 (512MB)	0x2000_0000
(予約)	0x2000_0000	(予約)	0x2000_0000			アクセス不可	0x0003_FFFF
ユーザプログラム 用エリア	0x1FC3_FFFF	(予約)	0x1FC0_1FFF	内蔵フラッシュ ROM	0x0000_0000		
マスク 割り込みエリア	0x1FC0_0000	ブート MROM (8KB)	0x1FC0_0000				
例外ベクタ エリア		0x1FC0_0000					
(予約)	0x0000_0000	(予約)	0x0000_0000				

(注1) 図中のアドレスは物理アドレスです。

図 17.2.2 TMP19A71 モード別メモリマップ

シングルブートモードで起動時は RESET ベクタ (0x1FC0_0000) から 8K バイトにブート ROM (マスク ROM) が配置され、フラッシュメモリは 0x4000_0000 以降に配置されます。

シングルチップモードで起動時は、RESET ベクタからフラッシュメモリが配置されます。フラッシュメモリを投影したエリアが 0x4000_0000 以降に配置されます。

以降特に断りのない限り 仮想アドレスで表記します。

本デバイスの、内蔵フラッシュメモリは、2つの128Kバイトエリア（ブロックと呼びます）で構成されています。

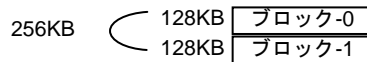


図 17.2.3 ブロック分割

表 17.2.3 モード別 ブロックアドレス範囲表

	シングルチップモード	シングルブートモード	ライターモード
ブロック-0	0xBFC0_0000 ~ 0xBFC1_FFFF (投影は 0x0000_0000 ~ 0x0001_FFFF)	0x0000_0000~0x0001_FFFF	0x0000_0000 ~ 0x0001_FFFF
ブロック-1	0xBFC2_0000 ~ 0xBFC3_FFFF (投影は 0x0002_0000 ~ 0x0003_FFFF)	0x0002_0000 ~ 0x0003_FFFF	0x0002_0000 ~ 0x0003_FFFF

17.2.3 ブロックプロテクト

2つのブロックは、それぞれに不揮発性のプロテクトビットを有しブロックプロテクトコマンドを実施することにより自動プログラム/自動消去を無効にします。自動チップ消去、あるいはプロテクトされたブロックを含むマルチブロック消去を行った場合は、プロテクトされたブロックは消去されずにプロテクトされていないブロックは消去されます。2つのブロックにブロックプロテクトを実施すると、ライターモードでの読み出し動作を禁止するセキュリティ機能（ライターセキュリティ機能）を実現します。

17.2.4 TX19A プロセッサコア動作時の各セキュリティ機能

TX19Aプロセッサコア動作時のセキュリティ機能の一覧を表 17.2.4に表します。下記表のBLKAとはブロック-0(アドレス 0xBFC0_0000~0xBFC1_FFFF)をBLKBとはブロック-1(アドレス 0xBFC2_0000~0xBFC3_FFFF)を意味します。

汎用 EPROM ライタ使用時（ライターモード）は下記表とは別のセキュリティ機能（ライターセキュリティ機能）を実現します。

表 17.2.4 TX19A プロセッサコア動作時のセキュリティ機能

DSU禁止機能	許可				禁止			
	OFF	ON	OFF	ON	OFF	ON	OFF	ON
BLKA 書き込みプロテクト	OFF	ON	OFF	ON	OFF	ON	OFF	ON
BLKB 書き込みプロテクト	OFF	ON	OFF	ON	OFF	ON	OFF	ON
DSUの使用可否	○	○	○	---	---	---	---	×
BLKA リード	○	○	○	---	---	---	---	○
BLKB リード	○	○	○	---	---	---	---	○
BLKA プログラム(ライト)	○	○	×	---	---	---	---	×
BLKB プログラム(ライト)	○	×	○	---	---	---	---	×
BLKA イレース	○	○	×	---	---	---	---	×
BLKB イレース	○	×	○	---	---	---	---	×
チップイレース	○	○*1	○*1	---	---	---	---	×
BLKA プロテクト	○	○	○	---	---	---	---	○
BLKB プロテクト	○	○	○	---	---	---	---	○
プロテクト解除(全ブロック)	○	○	○	---	---	---	---	○
ID-READ/プロテクトベリファイ	○	○	○	---	---	---	---	○

○:可能

×:不可能

---:設定なし

*1:チップイレースを実行した場合、プロテクトのかかっていないブロックのみ消去されます。

DSU (EJTAG) - PROBE インタフェース

DSU-PROBE を利用してデバッグするときに使用します。DSU-PROBE と接続される専用 I/F です。DSU-PROBE を利用したデバッグの詳細に関しては、ご使用の DSU-PROBE の取扱説明書を参照してください。ここでは、DSU (EJTAG) モードでの DSU-PROBE 使用許可/禁止について説明します。

(1) DSU-PROBE 使用許可/禁止機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザ以外の第三者が容易に DSU-PROBE の接続をさせないようにする DSU-PROBE 使用禁止機能（以下、**DSU 禁止機能**）をもっています。DSU 禁止機能を有効にすることにより、DSU-PROBE を使用することが不可能になります。

(2) DSU 使用禁止 (DSU-PROBE を使用してのデバッグを無効)

ユーザはプログラムデバッグ完了時に、フラッシュの全 2 ブロック全てに後述のプロテクトコマンドを発行してプロテクトをかける事により、フラッシュ本体に対してライタセキュリティ機能を有効にします。この状態ではライタを使用してリードを行っても内蔵フラッシュのデータはリードできません。電源オフ後、次のパワーオン時に DSU 禁止機能がセットされ、DSU 禁止機能が解除されるまで DSU-PROBE を使用してのデバッグは不可能となります。

(3) DSU 使用許可 (DSU-PROBE を利用してのデバッグを有効)

DSU 禁止機能を解除する方法は、暴走などによる偶発解除を防ぐために二重構造になっており、DSU セキュリティモードレジスタ SEQMOD<DSUOFF> = “0” にし、セキュリティコード “0x0000_00C5” を DSU セキュリティ制御レジスタ SEQCNT に書き込みます。この後、DSU-PROBE を使用したデバッグが有効になります。電源をオフしない状態で、SEQMOD<DSUOFF> = “1” にし、SEQCNT に “0x0000_00C5” を書き込むことにより再びセキュリティ機能が有効になります。

DSU セキュリティモードレジスタ

SEQMOD
(0xFFFF_E510)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	—	—	—	—	—	DSUOFF
Read/Write	R	R	R	R	R	R	R	R/W
リセット後	0	0	0	0	0	0	0	1
機能								1: DSU 使用不可 0: DSU 使用許可
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能								
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能								
	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能								

(注1) DSUOFF レジスタ値は、SEQCNT の設定後に反映します。

(注2) 本レジスタは 32 ビットのアクセスになり、ビット 1 からビット 31 はリードすると 0 になります。

(注3) Flash 版の本レジスタはパワーオンリセットで初期化されます。

(注4) このレジスタはビット操作命令でアクセスできません。

DSU セキュリティ制御レジスタ

		7	6	5	4	3	2	1	0
SEQCNT (0xFFFF_E514)	bit Symbol	—							
	Read/Write	W							
	リセット後	—							
	機能	“0x0000_00C5” をライトしてください。							
		15	14	13	12	11	10	9	8
	bit Symbol	—							
	Read/Write	W							
	リセット後	—							
	機能	“0x0000_00C5” をライトしてください							
		23	22	21	20	19	18	17	16
	bit Symbol	—							
	Read/Write	W							
	リセット後	—							
	機能	“0x0000_00C5” をライトしてください							
		31	30	29	28	27	26	25	24
	bit Symbol	—							
	Read/Write	W							
	リセット後	—							
	機能	“0x0000_00C5” をライトしてください							

- (注 1) 本レジスタは 32 ビットのアクセスになります。
 (注 2) このレジスタはビット操作命令でアクセスできません。

(4) ユーザ使用例

本機能を使用した DSU-PROBE の使用例を以下に示します。

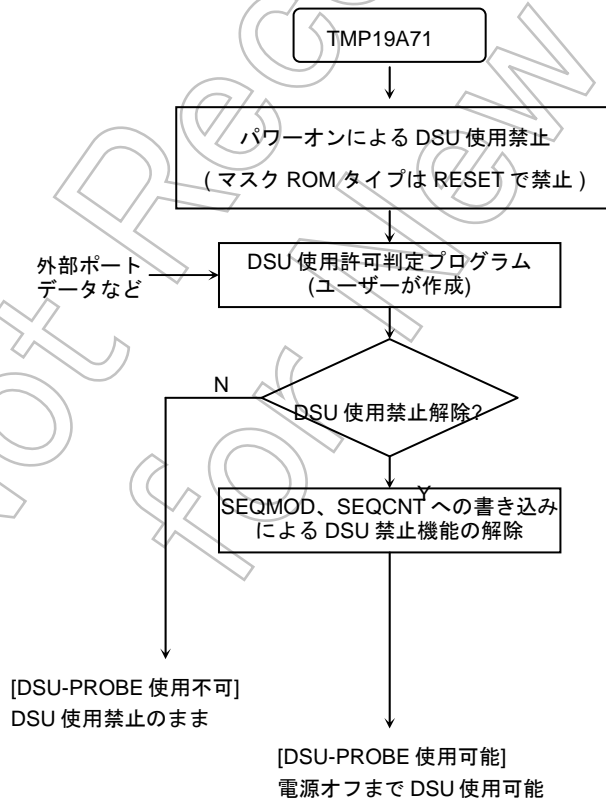


図 17.2.4 DSU 禁止機能の使用例

17.3 オンボードプログラミングモード

ユーザのシステムセット上で書き替えができるオンボードプログラミングモードは、シリアル I/O を利用した当社独自の書き替え方式をサポートするシングルブートモード、シングルチップモード内においてユーザが独自に書き替え方式を構築できるユーザブートモードがあります。

また、本デバイスはライターモード中に、ROM データの読み出しを禁止する「ライターセキュリティ機能」を持っています。オンボードプログラミング完了時にライターセキュリティ機能をオンにすることで、ライターモードによる ROM データ読み出しを禁止することができます。

17.3.1 ユーザブートモード

ユーザブートモードは、ユーザ独自のフラッシュメモリ書き替えルーチンを使う方法です。シングルチップモードにおいて通常ユーザアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザブートモードに移行する必要があります。移行するための条件判定を行うプログラムをユーザアプリケーションの中に組み込んでください。

ユーザブートモードへの切り替え条件の設定は、本デバイスの I/O 等を使用してユーザのシステムセット条件に合わせて独自に構築してください。同様にユーザブートモード移行後に使用するユーザ独自のフラッシュメモリ書き替えルーチンも同様にユーザアプリケーションの中にあらかじめ組み込んでおき、ユーザブートモード移行後にこれらのルーチンを内蔵 RAM エリアにコピーした後実行して書き替えを行ってください。内蔵フラッシュメモリは消去/書き込み動作中はフラッシュのデータを正しく読み出せません。ノンマスカブルを含めたすべての割り込み発生を禁止してください。シングルチップモード（ノーマルモード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにプロテクトをかけておくことを推奨します。

書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A)、(1-B) にその手順を説明します。フラッシュメモリへの書き込み/消去方法の詳細は、「17.4 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

ユーザブートモード

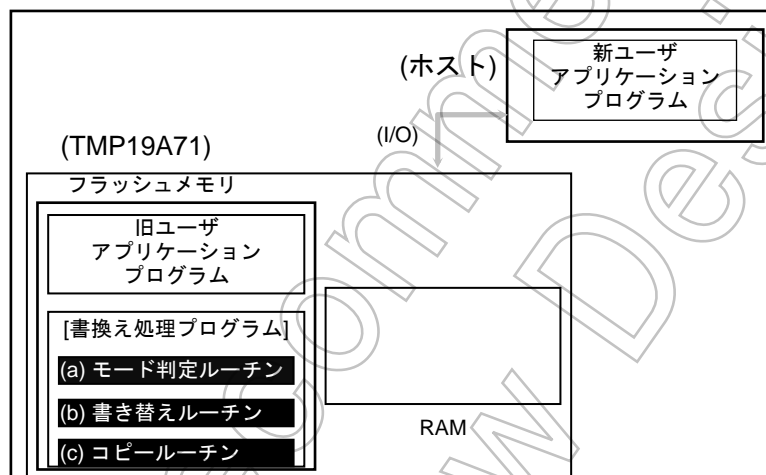
(1-A) 書き換えルーチンをフラッシュメモリに内蔵する場合の手順例

(Step-1)

ユーザは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

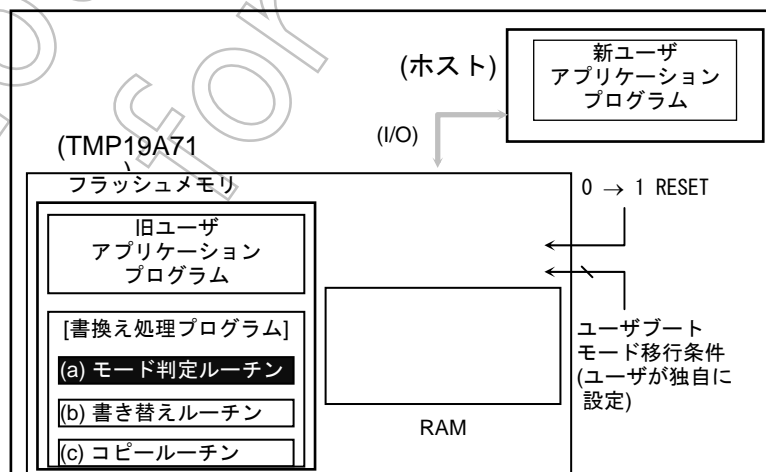
- (a) モード判定ルーチン: 書き換え動作に移るためのプログラム
- (b) フラッシュ書き換えルーチン: 書き換えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
- (c) コピールーチン: 上記 (b) を内蔵 RAM にコピーするためのプログラム

ここでは (a) (b) (c) を 書換え処理プログラムと呼びます。



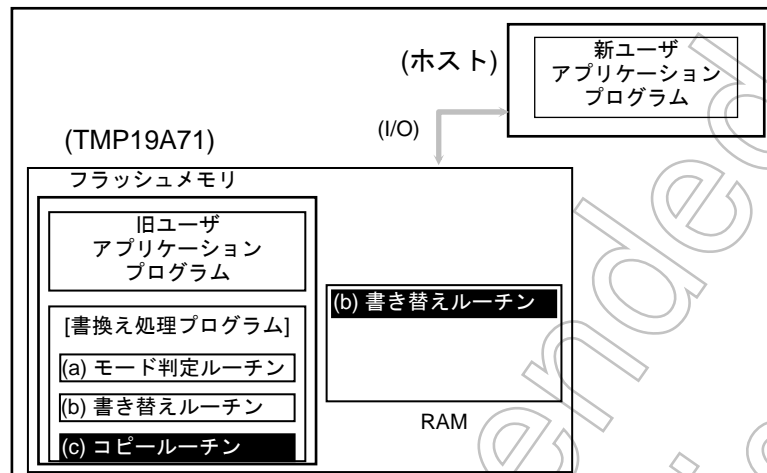
(Step-2)

以下ユーザブートモードの実施例を説明します。ブロック 0 あるいはブロック 1 のプログラムにおいてユーザブートモードへの移行を判定します。このとき移行条件が整っていれば、書き替えのためのユーザブートモードに移ります。

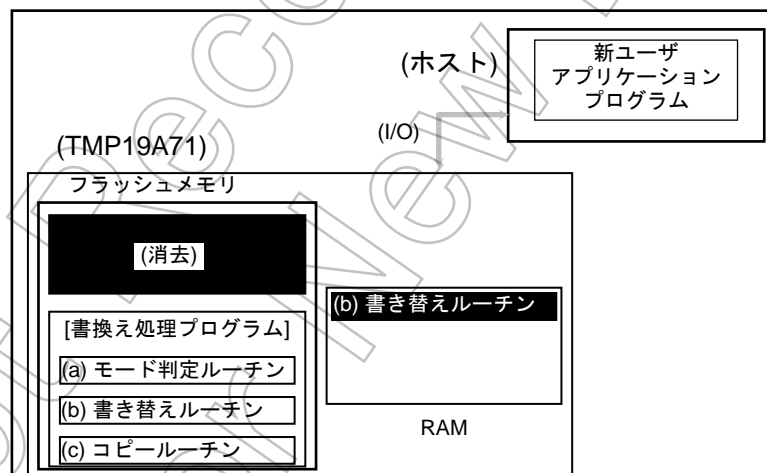


(Step-3)

ユーザブートモードに移ると、(c) コピールーチンを使用して、(b) 書き替えルーチンを内蔵 RAM にコピーします。

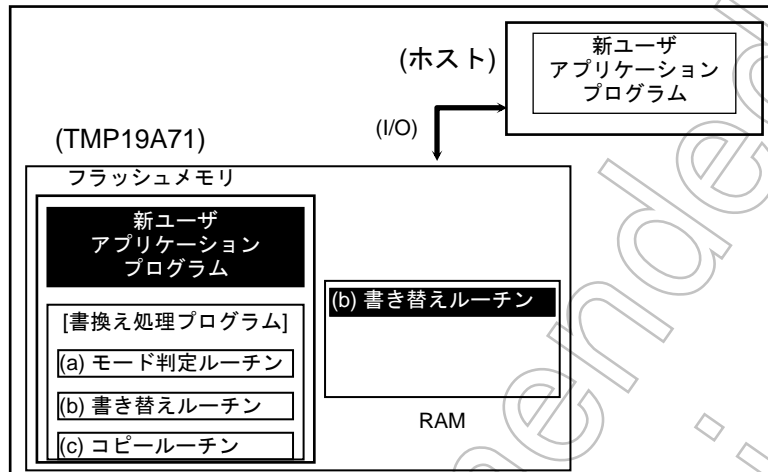
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、書き換えを実施するブロックの消去を行います。新ユーザアプリケーションプログラムの書き換えが終了するまで RESET、NMI を含むすべての割り込みを使用しません。

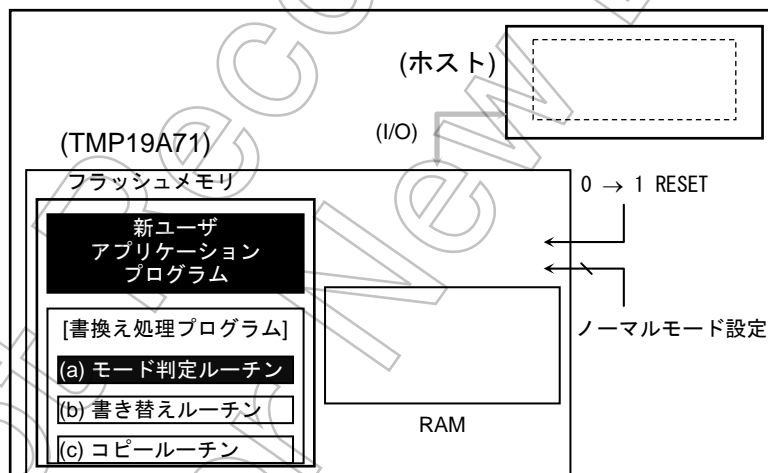


(Step-5)

さらに、RAM 上の書き替えルーチンを実行して、転送元（ホスト）より新ユーザアプリケーションプログラムのデータをロードし、消去したブロックに書き込みを行います。書き込みが完了したら、プロテクト機能をオンにします。

**(Step-6)**

設定条件をノーマルモードの設定にします。RESET 入力端子を“0”にしてリセット入力してノーマルモードを実行するか、任意のアドレスへ JUMP して新ユーザアプリケーションプログラムを実行します。



(1-B) 書き替えルーチンを外部から転送する手順例

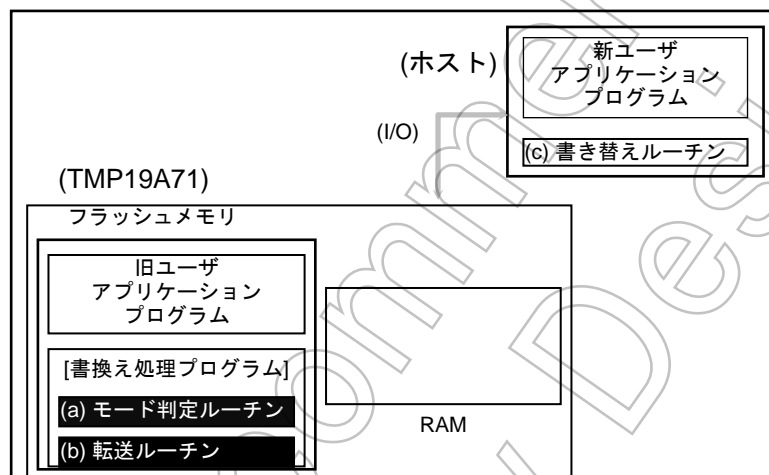
(Step-1)

ユーザは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す2つのプログラムを書き込んでおきます。

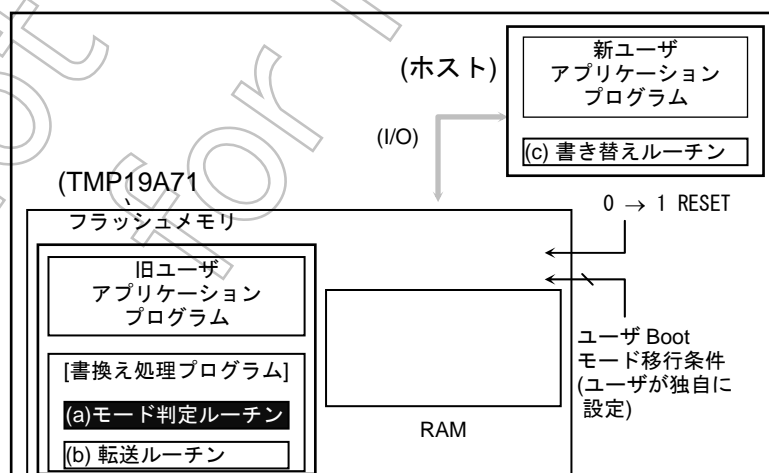
- (a) モード判定ルーチン： 書き替え動作に移るためのプログラム
 - (b) 転送ルーチン： 書き替えプログラムを外部から取り込むためのプログラム
- ここでは (a) と (b) を書き換え処理プログラムと呼びます。

また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン： 書き替えを行うためのプログラム

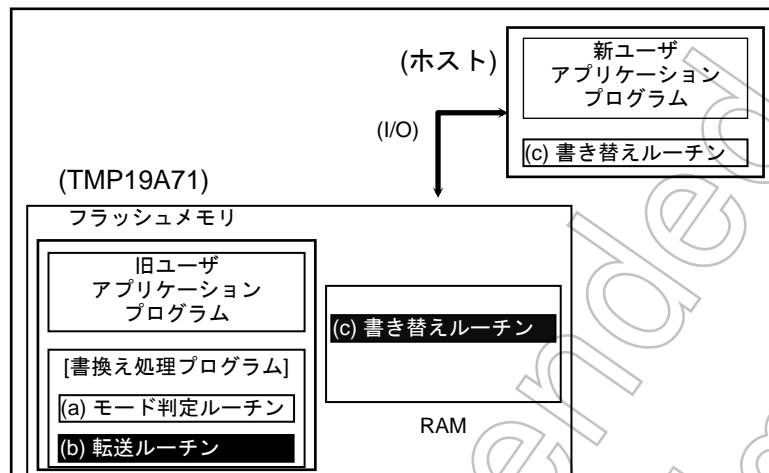
*(Step-2)*

以下ユーザブートモードの実施例を説明します。ブロック0あるいはブロック1のプログラムにおいてユーザブートモードへの移行を判定します。このとき移行条件が整っていれば、書き替えのためのユーザブートモードに移ります。

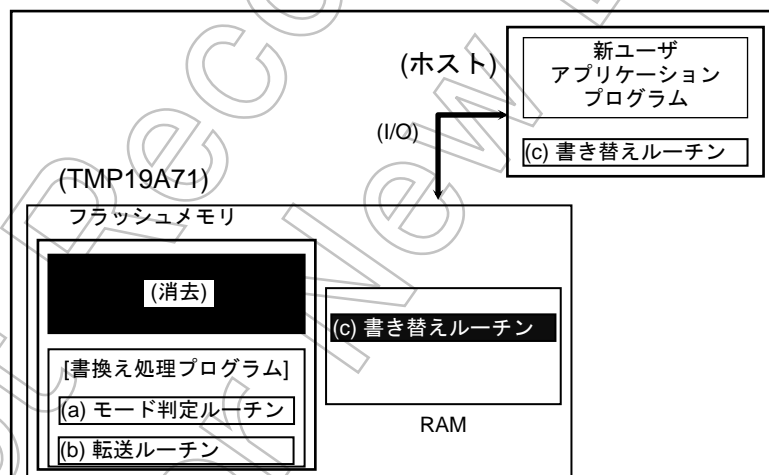


(Step-3)

ユーザブートモードに移ると、(b) 転送ルーチンを使用して、転送元（ホスト）より (c) 書き替えルーチンを内蔵 RAM にロードします。

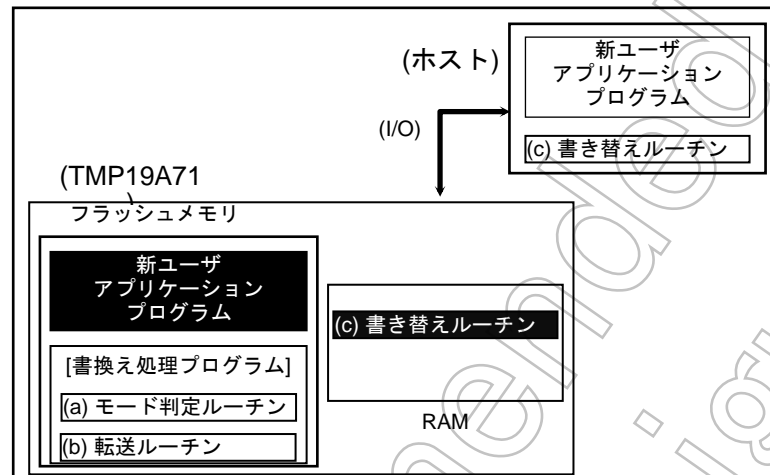
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、書き換えを実施するブロックの消去を行います。新ユーザアプリケーションプログラムの書き換えが終了するまで RESET, NMI を含むすべての割り込みを使用しません。

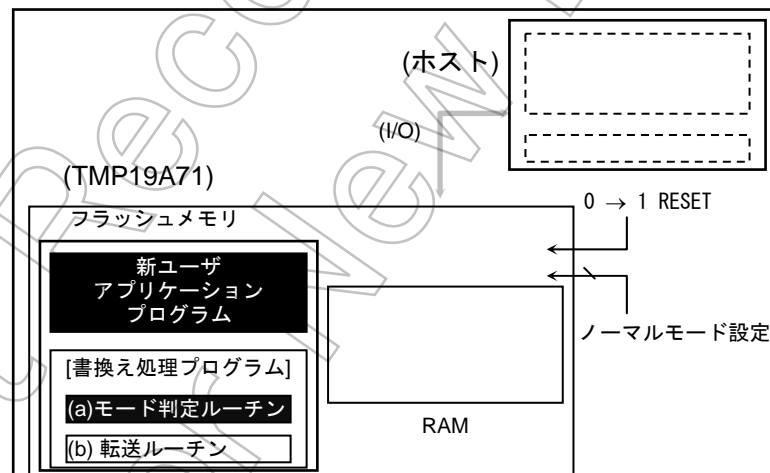


(Step-5)

さらに、RAM 上の (c) 書き替えルーチンを実行して、転送元（ホスト）より新ユーザアプリケーションプログラムのデータをロードし、消去したブロックに書き込みを行います。書き込みが完了したら、プロテクト機能をオンにします。

**(Step-6)**

設定条件をノーマルモードの設定にします。RESET 入力端子を “0” にしてリセット入力してノーマルモードを実行するか、任意のアドレスへ JUMP して新ユーザアプリケーションプログラムを実行します。



17.3.2 シングルブートモード

内蔵ブートROM (マスク ROM) を起動して、ブートROMのプログラム(ブートプログラム)を利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵ブートROMが割り込みベクタテーブルを含む領域にマッピングされ、ブートプログラムが実行されます。また、フラッシュメモリはブートROM領域とは別のアドレス空間にマッピングされます。(図 17.2.2参照)

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (SIO2) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。RAM へのプログラム転送は、ユーザの ROM データ、セキュリティ確保のため、実行に先立ちユーザパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送コマンドそのものが実行されません。ブートプログラムは NMI を含むすべての割り込み禁止状態で行います。

シングルチップモード(ノーマルモード)中に誤ってフラッシュメモリの内容を書き替えないように、書き替え処理が完了したら必要なブロックにプロテクトをかけておくことを推奨します。フラッシュメモリへの書き込み/消去の方法は、「3.4 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

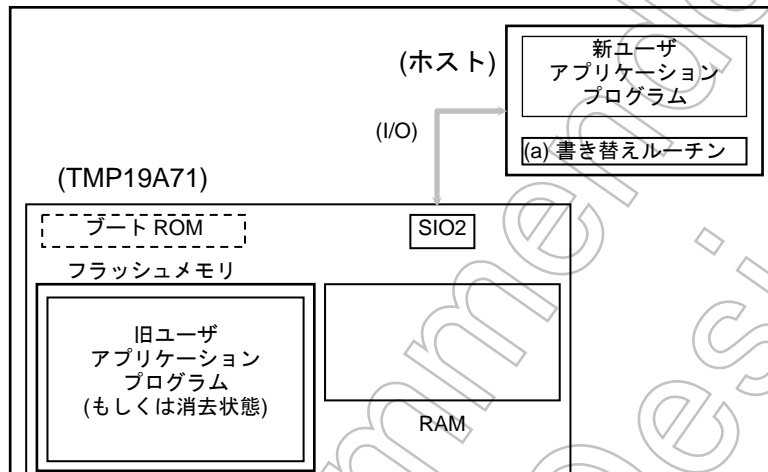
Not Recommended for New Design

シングルブートモード

(2-A) 内蔵ブート ROM の書き替えアルゴリズムを利用する場合

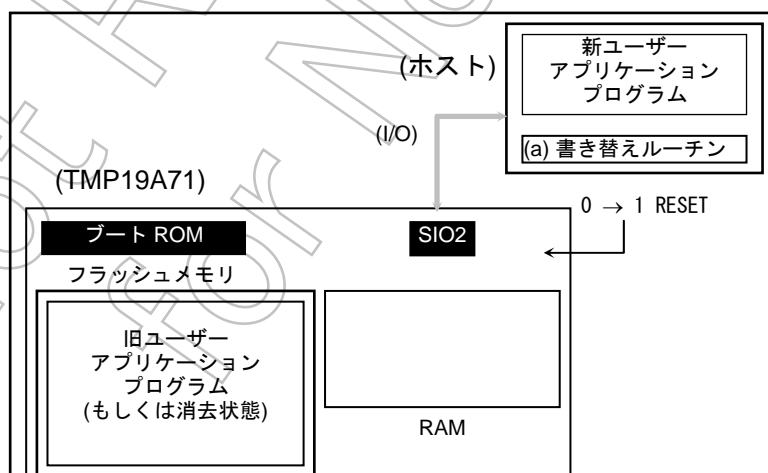
(Step-1)

フラッシュメモリの状態は旧バージョンのユーザアプリケーションプログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は UART2 または SIO2 を経由して行いますので、ボード上で本デバイスの UART2 または SIO2 端子 と外部ホストとを接続します。書き替えを行うための (a) 書き替えルーチンはホスト上に用意します (ここでは SIO2 を使用しています)。



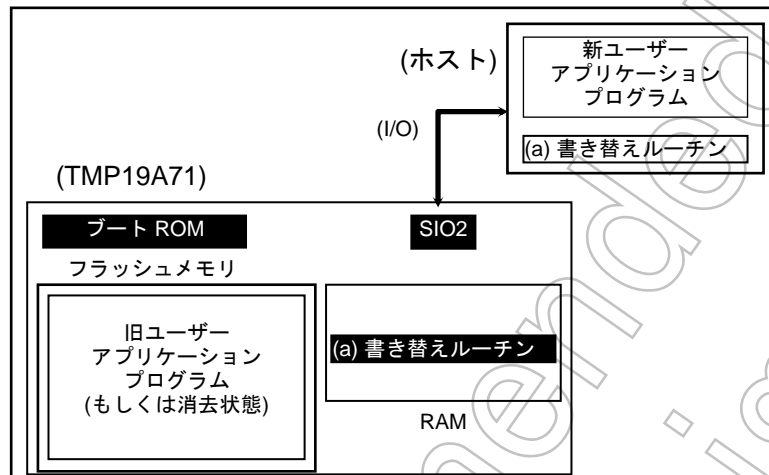
(Step-2)

シングルブートモードの端子条件設定でリセットを解除し、ブート ROM で起動します。シングルブートモードの手順に従い、SIO2 を経由して転送元 (ホスト) より (a) 書き替えルーチンの転送を行います。最初にユーザアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データをパスワードとして照合を行います。)

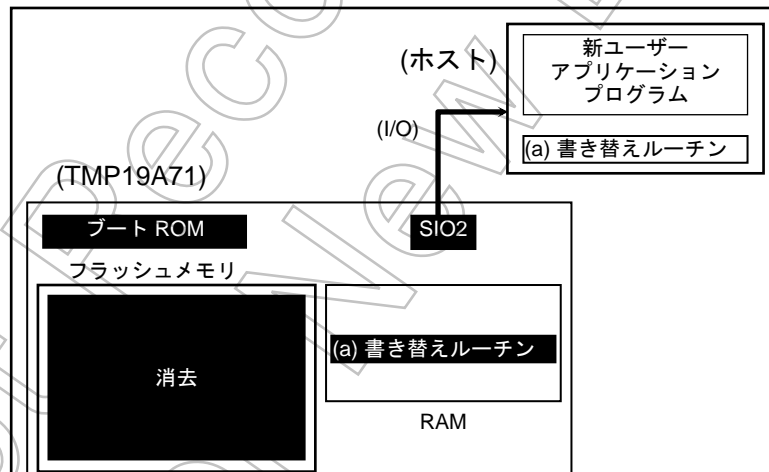


(Step-3)

パスワードの照合が終了すると、転送元（ホスト）から (a) 書き替えルーチンを転送します。ブートROMはそのルーチンを内部RAMにロードします。ただし、RAM上のアドレス 0xFFFF_9800~0xFFFF_AFFF の範囲に格納してください。

**(Step-4)**

RAM上の (a) 書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)

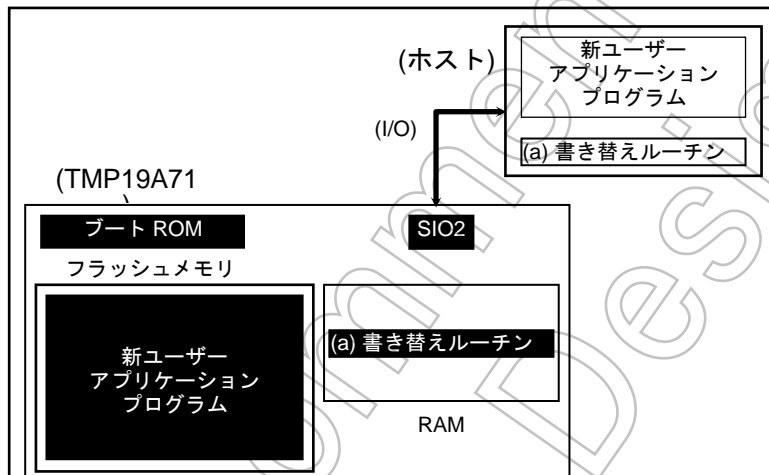


(Step-5)

さらに、RAM 上の (a) 書き替えルーチンを実行して、転送元（ホスト）より新ユーザアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザプログラムエリアのライトプロテクトをオンにします。

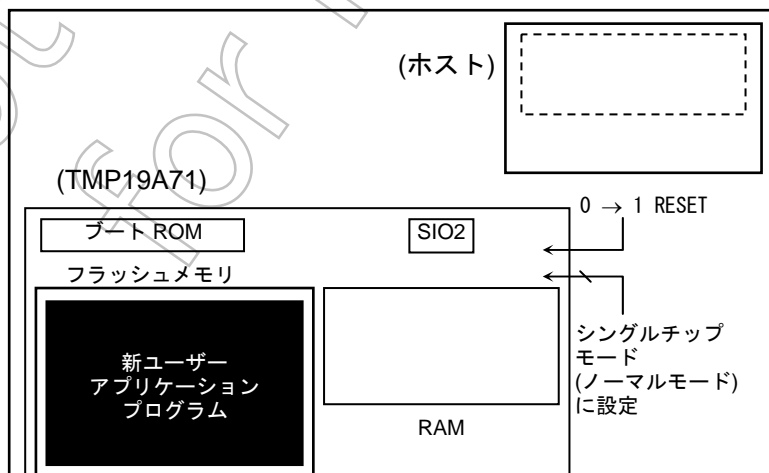
下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO2 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザ独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。

（注）ブート ROM にはすべてのマスカブル割り込みベクタエリアを用意していません。NMI ベクタエリアを用意していません。書き換えルーチン実行中のすべての例外を発生してはなりません。



(Step-6)

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード（ノーマルモード）起動し、新しいユーザアプリケーションプログラムを実行します。



(1) シングルブートモードでの接続例

ブートモードでは、シリアル転送によるフラッシュメモリの書き替えを行います。したがって、オンボードプログラミングは本デバイスのSIO（チャンネル2）とホスト（書き込みツール）を接続し、コントローラ側からコマンドを送出することにより実行します。図 17.3.1に書き込みコントローラとターゲットボードの接続例を示します。

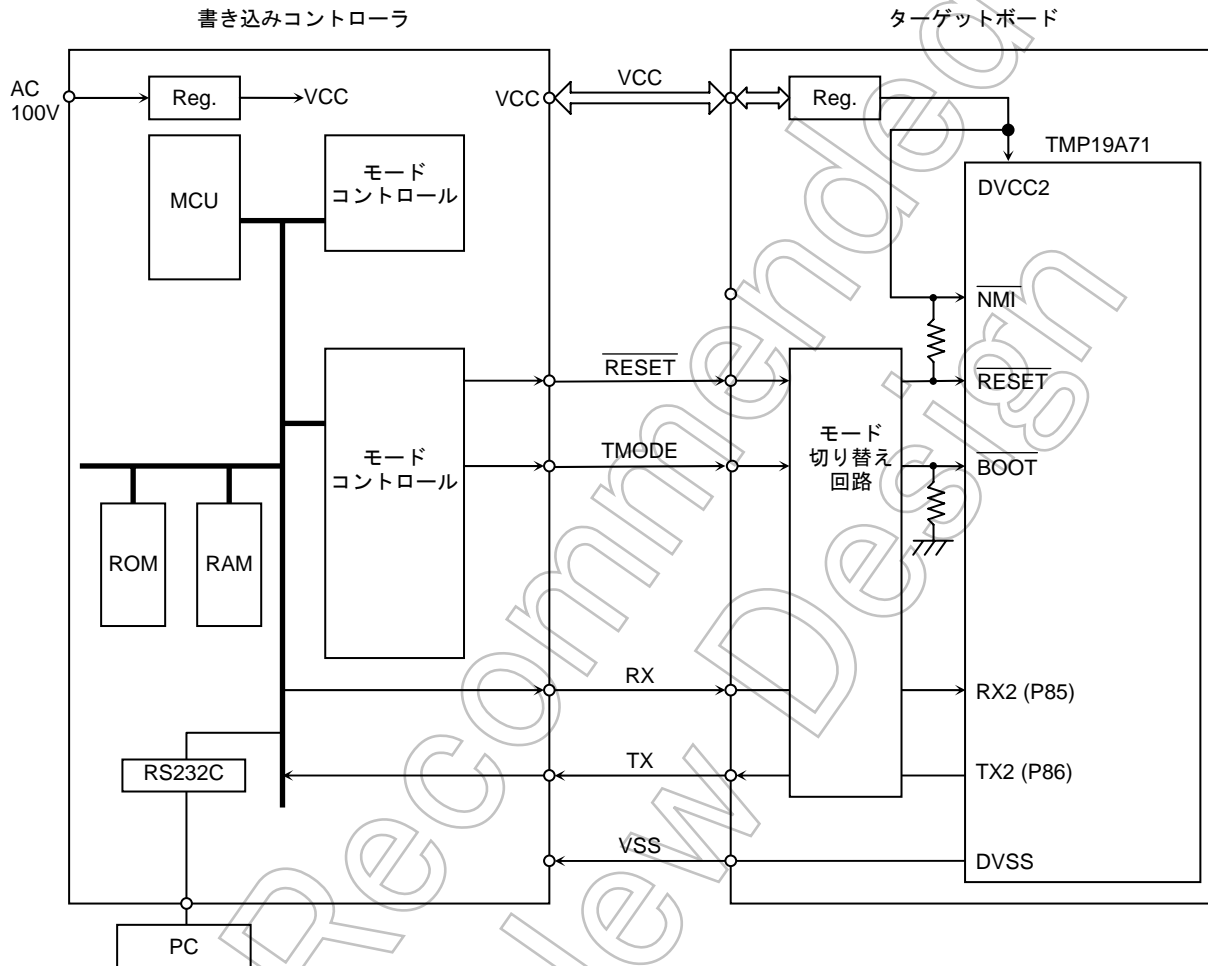


図 17.3.1 シングルブートモードでの外部コントローラとの接続例（UART2 で通信する場合）

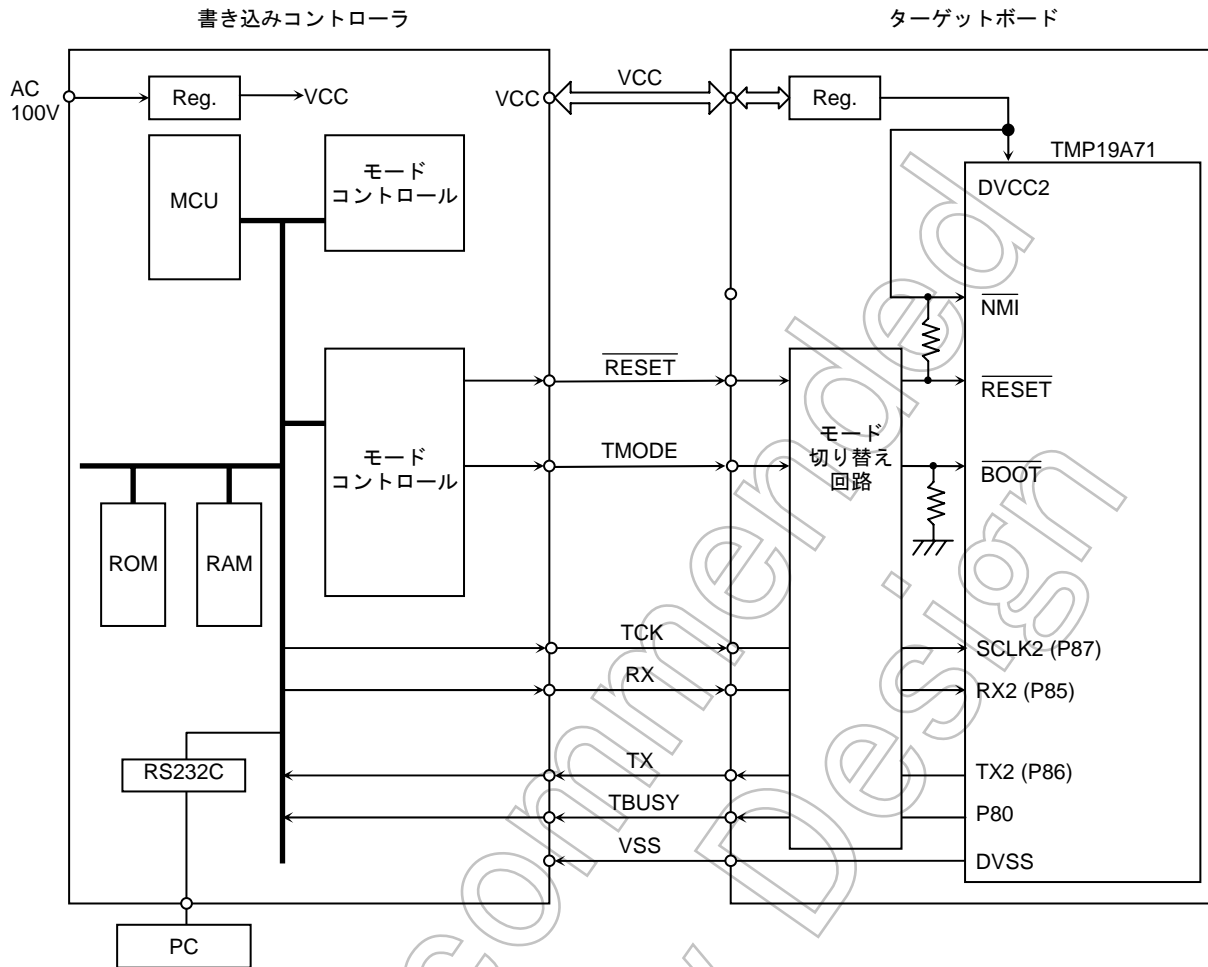


図 17.3.2 シングルブートモードでの外部コントローラとの接続例（同期式 S102 で通信する場合）

(2) モード設定

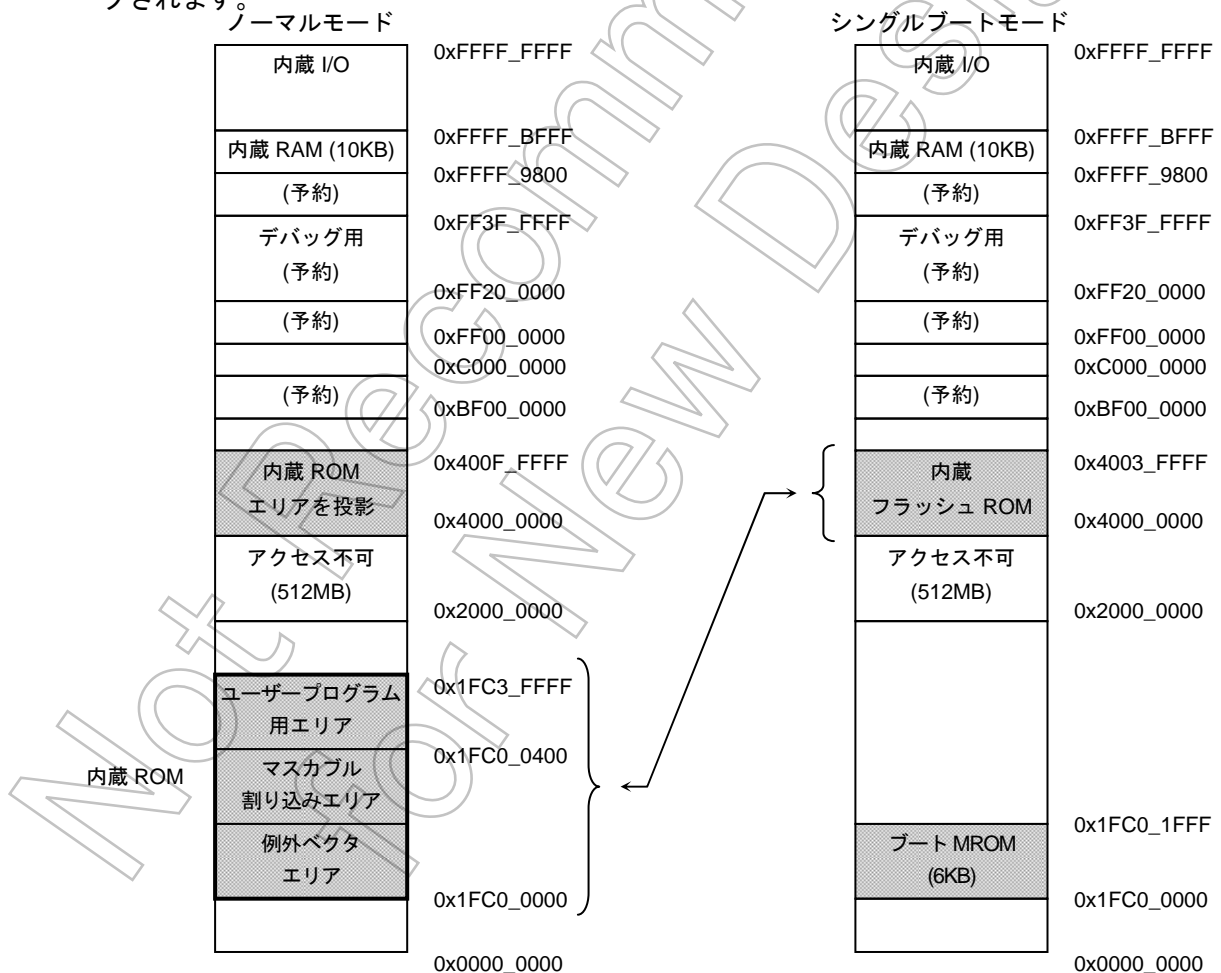
オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

TEST0 = 0
 BOOT = 0
 RESET = 0 → 1

RESET 入力端子を “0” の状態にして、TEST0、BOOT (P94) の各端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

(3) メモリマップ

図 17.3.3にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは物理アドレス (0x4000_0000~0x400F_FFFF番地)、仮想アドレス (0x0000_0000~0x000F_FFFF番地) にマッピングされます。また、0x1FC0_0000 番地から 0x1FC0_1FFF番地にはブートROM (マスクROM) がマッピングされます。



(注 1) 図中のアドレスは物理アドレス表記

図 17.3.3 メモリマップの比較

(4) インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART（非同期通信）と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

通信チャンネル	: UART2
シリアル転送モード	: UART（非同期通信）モード、全二重通信
データ長	: 8 ビット
パリティビット	: なし
STOP ビット	: 1 ビット
ボーレート	: ~437.5kbps (56MHz 動作時)、~312.5kbps (40MHz 動作時)
その他	: LSB first、SC2MOD2<WBUF>=0 設定

- I/O インタフェースモードで通信する場合

通信チャンネル	: SIO2
シリアル転送モード	: I/O インタフェースモード、半二重通信
同期信号 (SCLK2)	: SCLK 入力モード (SC2CR = 0x01 設定)
ハンドシェイク端子	: 出力ポート P80
ボーレート	: ~3Mbps (56MHz 動作時)、~2.5Mbps (40MHz 動作時)
その他	: LSB first、SC2MOD2<WBUF>=0 設定

表 17.3.1 端子の接続

端子		インタフェース	
		UART	I/O インタフェースモード
電源系端子	DVCC3	○	○
	DVSS	○	○
モード設定端子	BOOT	○	○
リセット端子	RESET	○	○
通信端子	TX2	○	○
	RX2	○	○
	SCLK2	×	○ (入力モード)
	P80	×	○ (出力ポート)

(5) データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 17.3.2 ~ 表 17.3.6 に示します。後述の「ブートプログラム動作説明」とあわせてお読みください。

表 17.3.2 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x20	フラッシュメモリ SUM
0x30	製品情報読み出し

表 17.3.3 ブートプログラムの転送フォーマット [RAM 転送の場合]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 0x86 I/O インタフェースの場合(注 2) 0x30	指定された ボーレート (注 1)	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 0x86 (ボーレートの設定が不可能と判断した 場合は動作停止) I/O インタフェースの場合 正常の場合 0x30
	3 バイト目	動作コマンドデータ (0x10)		—
	4 バイト目	—		動作コマンドに対する ACK 応答(注 3) 正常の場合 0x30 異常の場合 0x11 通信異常の場合 0x18
	5 バイト目 ~ 16 バイト目	PASS WORD データ (12 バイト) (0x0000_0474~0x0000_047F)		—
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値(注 4)		—
	18 バイト目	—		CHECK SUM 値に対する ACK 応答(注 3) 正常の場合 0x10 異常の場合 0x11 通信異常の場合 0x18
	19 バイト目	RAM 格納開始アドレス 31 ~ 24(注 5)		—
	20 バイト目	RAM 格納開始アドレス 23 ~ 16(注 5)		—
	21 バイト目	RAM 格納開始アドレス 15 ~ 8(注 5)		—
	22 バイト目	RAM 格納開始アドレス 7 ~ 0(注 5)		—
	23 バイト目	RAM 格納バイト数 15 ~ 8(注 5)		—
	24 バイト目	RAM 格納バイト数 7 ~ 0(注 5)		—
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値(注 4)		—
	26 バイト目	—		CHECK SUM 値に対する ACK 応答(注 3) 正常の場合 0x10 異常の場合 0x11 通信異常の場合 0x18
	27 バイト目 ~ m バイト目	RAM 格納データ		—
	m + 1 バイト目	27 ~ m バイト目の CHECK SUM 値(注 4)		—
m + 2 バイト目	—	CHECK SUM 値に対する ACK 応答(注 3) 正常の場合 0x10 異常の場合 0x11 通信異常の場合 0x18		
RAM	M + 3 バイト目	—	JUMP RAM 格納開始アドレス	

(注1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16。

(注2) I/O インタフェースモードの場合、シリアル動作モード判定が可能な波形。

(注3) 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

(注4) 送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数値。

(注5) 19 バイト目~24 バイト目のデータは、RAM 上のアドレス 0xFFFF_9800~0xFFFF_AFFF の領域内に納まるようにプログラムしてください。

表 17.3.4 ブートプログラムの転送フォーマット [フラッシュメモリ SUM の場合]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブートROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 0x86 I/O インタフェースの場合(注2) 0x30	指定された ボーレート (注1)	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常(設定可能)の場合 0x86 (ボーレートの設定が不可能と判断 した 場合は動作停止) I/O インタフェースの場合 正常の場合 0x30
	3 バイト目	動作コマンドデータ (0x20)		—
	4 バイト目	—		動作コマンドに対する ACK 応答(注3) 正常の場合 0x20 異常の場合 0x21 通信異常の場合 0x28
	5 バイト目	—		SUM (上位)
	6 バイト目	—		SUM (下位)
	7 バイト目	—		5 ~ 6 バイト目の CHECK SUM 値(注4)
	8 バイト目	(次の動作コマンドデータ待ち)		—

(注1) I/O インタフェースモードの場合、1バイト目と2バイト目のボーレートは、指定されたボーレート ÷ 16。

(注2) I/O インタフェースモードの場合、シリアル動作モード判定が可能な波形。

(注3) 異常応答後は、動作コマンド(3バイト目)待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

(注4) 送信データを符号なし8ビット加算(オーバーフローを無視)して得られた下位8ビット値の2の補数値。

(注5) SUM=フラッシュメモリすべてのエリアを8ビット符号なし加算した結果の下位16ビット値。
SUM(上位) = SUM[15 : 8]、SUM(下位) = SUM[7 : 0]。

表 17.3.5 ブートプログラムの転送フォーマット [デバイス情報読み出しの場合] (1/2)

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 0x86 I/O インタフェースの場合 (注 2) 0x30	指定された ボーレート (注 1)	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 0x86 (ボーレートの設定が不可能と判断し た 場合は、動作停止) I/O インタフェースの場合 正常の場合 0x30
	3 バイト目	動作コマンドデータ (0x30)		
	4 バイト目	—		動作コマンドに対する ACK 応答 (注 3) 正常の場合 0x30 異常の場合 0x31 通信異常の場合 0x38
	5 バイト目	—		フラッシュメモリデータ (0x0000_0470 番地)
	6 バイト目	—		フラッシュメモリデータ (0x0000_0471 番地)
	7 バイト目	—		フラッシュメモリデータ (0x0000_0472 番地)
	8 バイト目	—		フラッシュメモリデータ (0x0000_0473 番地)
	9 バイト目 ~ 20 バイト目	—		製品名 (アスキーコード、12 バイト) 9 バイト目から 'TX19A71FY' + 0x20, 0x20, 0x20
	21 バイト目 ~ 24 バイト目	—		Password 比較開始アドレス (4 バイト) 21 バイト目から 0x74, 0x04, 0x00, 0x00
	25 バイト目 ~ 28 バイト目	—		RAM 開始アドレス (4 バイト) 25 バイト目から 0x00, 0x98, 0xFF, 0xFF
	29 バイト目 ~ 32 バイト目	—		ダミーデータ (4 バイト) 29 バイト目から 0xFF, 0xA7, 0xFF, 0xFF
	33 バイト目 ~ 36 バイト目	—		RAM 終了アドレス (4 バイト) 33 バイト目から 0xFF, 0xBF, 0xFF, 0xFF
	37 バイト目 ~ 40 バイト目	—		ダミーデータ (4 バイト) 37 バイト目から 0x00, 0xA8, 0xFF, 0xFF
	41 バイト目 ~ 44 バイト目	—		ダミーデータ (4 バイト) 41 バイト目から 0xFF, 0xAF, 0xFF, 0xFF
	45 バイト目 ~ 46 バイト目	—		FUSE 情報 (2 バイト) 45 バイト目から 0x00, 0x00
	47 バイト目 ~ 50 バイト目	—		フラッシュメモリ開始アドレス (4 バイト) 47 バイト目から 0x00, 0x00, 0x00, 0x00
	51 バイト目 ~ 54 バイト目	—		フラッシュメモリ終了アドレス (4 バイト) 51 バイト目から 0xFF, 0xFF, 0x03, 0x00
	55 バイト目 ~ 56 バイト目	—		フラッシュメモリブロック分割数情報 (2 バイト) 55 バイト目から 0x02, 0x00
	57 バイト目 ~ 60 バイト目	—		フラッシュメモリ同一ブロックサイズの 開始アドレス (4 バイト) 57 バイト目から 0x00, 0x00, 0x00, 0x00

表 17.3.6 ブートプログラムの転送フォーマット [デバイス情報読み出しの場合] (2/2)

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブートROM	61 バイト目 ~ 64 バイト目	—		フラッシュメモリ同一ブロックサイズの サイズ (ハーフワード表現) (4 バイト) 61 バイト目から 0x00, 0x00, 0x01, 0x00
	65 バイト目	—		フラッシュメモリ同一ブロックサイズの 個数 (1 バイト) 0x02
	66 バイト目	—		5 ~ 65 バイト目の CHECK SUM 値(注4)
	67 バイト目	(次の動作コマンドデータ待ち)		—

(注1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16。

(注2) I/O インタフェースモードの場合、シリアル動作モード判定が可能な波形。

(注3) 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

(注4) 送信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数値。

Not Recommended for New Designs

(6) ブートプログラム 動作説明

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。詳細は、1) RAM 転送コマンド ~ 3) 製品情報読み出しコマンドに記載してありますので、参照してください。

1. RAM 転送コマンド

RAM 転送コマンドは、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザプログラムの実行を開始します。ユーザプログラムのサイズは、最大 6K バイトです (0xFFFF_9800 ~ 0xFFFF_AFFF)。

この RAM 転送機能により、ユーザ独自のオンボードプログラミング制御を行うことができます。ユーザプログラムでオンボードプログラミングを実行するためには、後章 3.5 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

2. フラッシュメモリ SUM コマンド

フラッシュメモリ 256k バイトを符号なし 8 ビット加算してその結果の下位 16 ビットを返します。ブートプログラムではフラッシュメモリの全エリアのデータを読み出す動作コマンドはサポートしていません。その代わりに、このフラッシュメモリ SUM コマンドがあります。SUM を読み出すことで、アプリケーションプログラムのレビジョンを管理することができます。

3. 製品情報読み出しコマンド

本デバイスの製品名やメモリ情報などを返します。デバイス情報読み出しコマンドでは、フラッシュメモリの一部エリア (0x0000_0470~0x0000_0473 番地) のデータを返します。フラッシュメモリ SUM コマンド以外に、このデータを用いることで、アプリケーションプログラムのレビジョンを管理することができます。

1) RAM転送コマンド (表 17.3.3参照)

- 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モード判定方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 (SG2MOD<RXE>=0) にしています。

UART で通信を行いたい場合

コントローラからターゲットボードへは、UART の設定で、所望のボーレートでデータを 0x86 にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。判定が終了するまでの時間 (命令実行数) は動作周波数と送信したボーレートによって異なります。設定が不可能と判断した場合は動作を停止しますので RESET 入力してください。2 バイト目通信にコントローラでタイムアウト時間を設定する場合は、送信したボーレートで 1 バイト通信分の時間を目安にしてください。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。

I/O インタフェースで通信を行いたい場合

コントローラからターゲットボードへ、後述の「シリアル動作モード判定」のとおりに I/O インタフェースで通信可能と判断できる波形をシリアル受信端子に送信します。ブートプログラムで送信設定が終了するとハンドシェイク端子に H レベルを出力します。送信したボーレートで 1 バイト分の通信時間経過後もハンドシェイクポートに H レベル出力されないときは、ブートプログラムが設定不可能と判断して動作を停止した場合です。この場合は、ボーレートを適切な値に変更して RESET 入力し、1 バイト目の通信から再開します。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目 (動作コマンドデータ) からにしてください。

I/O インタフェースの場合も同様に TX19A プロセッサコアが受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。したがって、ボーレートが早い場合や動作周波数が高い場合は、TX19A プロセッサコアはレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート ÷ 16 を目安に指定します。ただし、1 バイト送信時間は後述の「シリアル動作モード受信フローチャート」に記載しているタイマのプリスケラソースクロックでオーバフローしない長さにする必要があります。I/O インタフェースと判定した場合、SCLK 入力モードになります。コントローラは、AC タイミングを満足するボーレートで送信を行ってください。I/O インタフェースの場合、受信エラーフラグのチェックは行いません。したがって、ACK 応答データの通信異常 ACK (ビット 3) (0xN8) はありません (N は 動作コマンドデータの bit [7:4] RAM 転送コマンドの場合 1)。

2. 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合 0x86 を、I/O インタフェースと判定された場合 0x30 を送信します。

UART と判定された場合

ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、BR2CR および BR2ADD の値を書き替え、0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間を設けます。タイムアウト時間内に、データ (0x86)

を正常受信できなければ、通信不能と判断してください。受信を許可 (SC2MOD<RXE> = 1) するタイミングは、送信バッファにデータ (0x86) を書き込む直前に行っています。

I/O インタフェースと判定された場合

I/O インタフェースの設定になるように SC2MOD、SC2CR の値を書き替え、SC2BUF に 0x30 を書き込み、SCLK2 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、ハンドシェイク端子の立ち上がりを確認した後 SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで行ってください。受信を許可 (SC2MOD<RXE> = 1) するタイミングは、送信バッファにデータ (0x30) を書き込む直前に行っています。I/O インタフェースの場合、受信エラーのチェックは行いません。

3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ (0x10) になります。
4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (ビット 3) 0xN8 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(N = 直前の動作コマンドデータの上位 4 ビットになります。)

次に、3 バイト目の受信データが、表 17.3.2 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ (ビット 0) 0x11 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

5. 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ (12 バイト) になります。5 バイト目の受信データはフラッシュメモリの 0x0000_0474 番地のデータと照合し、6 バイト目の受信データはフラッシュメモリの 0x0000_0475 番地のデータと照合します。同様に 16 バイト目の受信データはフラッシュメモリの 0x0000_047F 番地のデータと照合します。
6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (ビット 3) 0x18 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、“1” になります。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 17 バイト目までの受信データを符号なし 8 ビット加算（オーバーフローを無視）して得られた値の下位 8 ビットが、0 かどうかをチェックしています。0 以外の場合、CHECK SUM エラーの ACK 応答データ（ビット 0）0x11 を送信して、次の動作コマンド（3 バイト目）データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ（ビット 0）0x11 を送信して、次の動作コマンド（3 バイト目）データ待ちになります。

パスワードとして使用できるデータの組み合わせは後述の「パスワードについて」を参照してください。

チェックを終えて正常なら、正常 ACK 応答データ 0x10 を送信します。

8. 19 バイト目 ~ 22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。
9. 23 バイト目、24 バイト目の受信データは、ブロック転送するバイト数を表します。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。
10. 25 バイト目の受信データは、CHECK SUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算（オーバーフローを無視）して得られた下位 8 ビット値の 2 の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
11. 26 バイト目の送信データは、19 バイト目 ~ 25 バイト目のデータに対する ACK 応答データ（CHECK SUM 値に対する ACK 応答）になります。最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ（ビット 3）0x18 を送信して、次の動作コマンド（3 バイト目）データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので “1” になります。

次に、25 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19 バイト目 ~ 25 バイト目までの受信データを符号なし 8 ビット加算（オーバーフローを無視）して得られた値の下位 8 ビットが、0 かどうかをチェックしています。0 以外の場合、CHECK SUM エラーの ACK 応答データ（ビット 0）0x11 を送信して、次の動作コマンド（3 バイト目）データ待ちになります。

- 19 バイト目 ~ 25 バイト目のデータは RAM 上のアドレス 0xFFFF_9800~0xFFFF_AFFF の領域に納まるようにプログラムしてください。ブートプログラム内ではアドレスのチェックをしておりませんが、上記領域以外の RAM エリアはプログラム内で使用するため RAM 転送が正常に行われなくなる恐れがあります。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

12. 27 バイト目 ~ m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。
13. m + 1 バイト目の受信データは、CHECK SUM データになります。27 バイト目 ~ m バイト目の送信データを符号なし 8 ビット加算（オーバフローを無視）して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
14. m + 2 バイト目の送信データは、27 バイト目 ~ 1 バイト目のデータに対する ACK 応答データ（CHECK SUM に対する ACK 応答）になります。最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ（ビット 3）0x18 を送信して、次の動作コマンド（3 バイト目）データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので “1” になります。

次に、m + 1 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目 ~ m + 1 バイト目までの受信データを符号なし 8 ビット加算（オーバフローを無視）して得られた値の下位 8 ビットが、00H かどうかをチェックしています。0 以外の場合、CHECK SUM エラーの ACK 応答データ（ビット 0）0x11 を送信して、次の動作コマンド（3 バイト目）データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

15. m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ 0x10 を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐（32ISA）します。

2) フラッシュメモリSUMコマンド (表 17.3.4参照)

1. 1バイト目 ~ 2バイト目までの送受信データはRAM転送コマンドの場合と同一になります。
2. 3バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリSUMコマンドデータ (0x20) になります。
3. 4バイト目の送信データは、3バイト目の動作コマンドデータに対するACK応答データになります。動作コマンドデータが0x20である以外はRAM転送の場合と同じです。
4. 5バイト目の送信データはSUM値の上位データ、6バイト目の送信データはSUM値の低位データになります。SUMの計算方法は、後述の「SUMの計算方法」を参照してください。
5. 7バイト目の送信データは、CHECKSUMデータになります。5バイト目から6バイト目の送信データを符号なし8ビット加算 (オーバーフローを無視) を行い、得られた下位8ビット値の2の補数を送信します。
6. 8バイト目の受信データは、次の動作コマンドデータになります。

Not Recommended for New Design

3) 製品情報読み出しコマンド (表 17.3.5参照)

1. 1バイト目～2バイト目までの送受信データはRAM転送コマンドの場合と同一になります。
2. 3バイト目の受信データは、動作コマンドデータになります。この場合は、製品情報読み出しコマンドデータ (0x30) になります。
3. 4バイト目の送信データは、3バイト目の動作コマンドデータに対するACK応答データになります。動作コマンドデータが0x30である以外はRAM転送の場合と同じです。
4. 5バイト目～8バイト目の送信データは、フラッシュメモリのデータ (0x0000_0470～0x0000_0473番地のデータ) になります。この番地にソフトなどのID情報を書き込んでおくことにより、書き込んだソフトのバージョン管理をすることができます。
5. 9バイト目～20バイト目の送信データは製品名になります。9バイト目から、アスキーコードで、'TX19A71FY' 続いて0x20、0x20、0x20(12バイト)を送信します。
6. 21バイト目～24バイト目の送信データはパスワード比較開始アドレスになります。21バイト目から、74H、04H、00H、00Hを送信します。
7. 25バイト目～28バイト目の送信データはRAM開始アドレスになります。25バイト目から、0x00、0x98、0xFF、0xFFを送信します。
8. 29バイト目～32バイト目の送信データはダミーデータになります。29バイト目から、0xFF、0xA7、0xFF、0xFFを送信します。
9. 33バイト目～36バイト目の送信データはRAM終了アドレスになります。33バイト目から、0xFF、0xFF、0xBF、0xFFを送信します。
10. 37バイト目～40バイト目の送信データは、0x00、0xA8、0xFF、0xFFになります。
41バイト目～44バイト目の送信データは、0xFF、0xAF、0xFF、0xFFになります。
11. 45バイト目～46バイト目の送信データは、セキュリティビットやプロテクトビットの有無やフラッシュメモリがブロック分割されているかどうかを各ビットに割り付けたデータになります。0ビット目は、セキュリティビットの有無を示します。“0”はセキュリティビットがあることを、“1”はセキュリティビットがないことを示します。1ビット目は、プロテクトビットの有無を示します。“0”はプロテクトビットがあることを、“1”はプロテクトビットがないことを示します。2ビット目は、フラッシュメモリがブロック分割されているかどうかを示します。“0”は分割されていることを、“1”は分割されていないことを示します。3ビット目～15ビット目は未定義です。45バイト目から、0x00、0x00を送信します。
12. 47バイト目～50バイト目の送信データは、フラッシュメモリ開始アドレスになります。47バイト目から、0x00、0x00、0x00、0x00を送信します。
13. 51バイト目～54バイト目の送信データは、フラッシュメモリ終了アドレスになります。51バイト目から、0xFF、0xFF、0x03、0x00を送信します。

14. 55 バイト目 ~ 56 バイト目の送信データは、フラッシュメモリのブロック分割数になります。55 バイト目から、0x02、0x00 を送信します。
15. 57 バイト目 ~ 92 バイト目の送信データは、フラッシュメモリのブロック情報になります。ブロック情報は、フラッシュメモリ開始アドレスから見たとき、同一ブロックサイズが何ブロック続いているかを一単位とし、同一ブロックサイズの先頭の開始アドレスとブロックサイズ（ハーフワード単位）およびブロックの個数で表します。

57 バイト目 ~ 65 バイト目の送信データは、128kバイトのブロック（ブロック-0~ブロック-1）を を表します。送信データについては、表 17.3.5を参照してください。
16. 66 バイト目の送信データは、CHECK SUM データになります。5 バイト目から 65 バイト目の送信データを符号なし 8 ビット加算（オーバフローを無視）して、得られた下位 8 ビット値の 2 の補数を送信します。
17. 67 バイト目の受信データは、次の動作コマンドデータになります。

Not Recommended for New Design

4) ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 17.3.7から表 17.3.9に各受信データに対するACK応答データを示します。ACK応答データの上位4ビットは、動作コマンドデータの上位4ビットになります。また3ビット目は受信エラーを表し、0ビット目は動作コマンドエラー、CHECK SUMエラー、パスワードエラーの状態を表します。1ビット目と2ビット目は常に0になります。なお、I/Oインタフェースの場合、受信エラーのチェックは行いません。

表 17.3.7 シリアル動作判定データに対するACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注1)
0x30	I/O インタフェースでの通信が可能と判定した。

(注1):UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 17.3.8 動作コマンドデータに対するACK 応答データ

送信データ	送信データの意味
0xN8 (注1)	動作コマンドデータに受信エラーが発生した。
0xN1 (注1)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x20	フラッシュメモリ SUM コマンドと判定した。
0x30	製品情報読み出しコマンドと判定した。

(注1) 上位4ビットは、直前の動作コマンドデータの上位4ビットになります。

表 17.3.9 CHECK SUM データに対するACK 応答データ

送信データ	送信データの意味
0xN8 (注1)	受信エラーが発生していた。
0xN1 (注1)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注1)	CHECK SUM 値は正常な値と判定した。

(注1) 上位4ビットは動作コマンドデータの上位4ビットになります。パスワードエラー発生時は1。

5) シリアル動作モード判定

コントローラは、UARTで通信したい場合、所望のボーレートで1バイト目を0x86にし、I/Oインターフェイスで通信したい場合、所望のボーレート ÷ 16 で1バイト目をtAB > tCD となる波形(図は0x30)にして送信してください。図 17.3.4にそれぞれの場合の波形を示します。

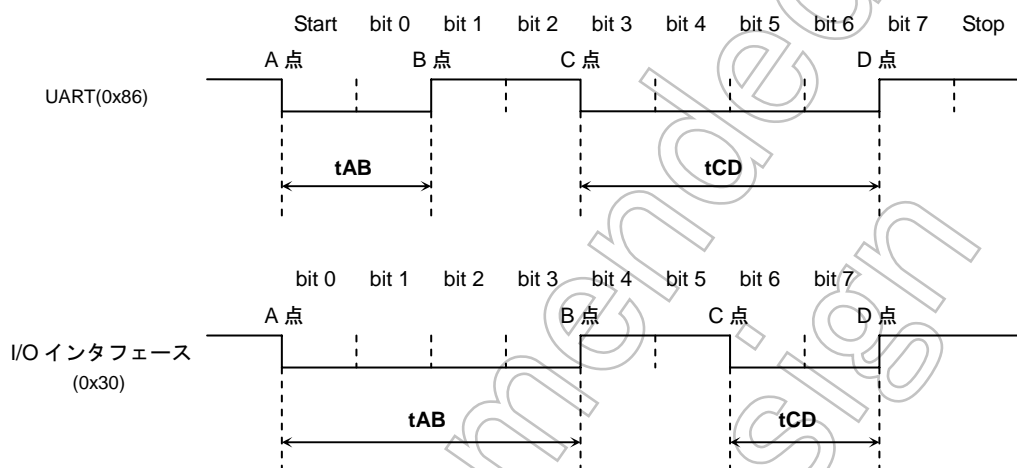


図 17.3.4 シリアル動作モード判定データ

ブードプログラムは、リセット解除後の1バイト目のシリアル動作モード判定データ(0x86、0x30)を受信禁止状態にして、図 17.3.6に示すフローチャートで、図 17.3.4のtAB、tACと、tADの時間を求めています。図 17.3.6のフローチャートに示すように、TX19Aプロセッサコアが受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB、tACと、tADのタイマ値には誤差が生じます。また、ボーレートが速いときには、TX19Aプロセッサコアは受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/OインターフェイスはUARTに比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/Oインターフェイスの場合、コントローラのボーレートは所望ボーレート ÷ 16にして送信してください。

図 17.3.5のフローチャートに示すように、シリアル動作モードの判定は、受信端子が“L”レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、I/O インタフェースと判定します。なお、先に述べたように、tAB、tAC、tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1バイト目のデータを送信後、タイムアウト時間内にデータ 86H を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は1バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 30H でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、tAB > tCD であれば1バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり、B 点と D 点の立ち上がりを判定できるように 0x91、0xA1 あるいは 0xB1 を1バイト目のデータとして送信できます。tAB > tCD が成立しており、動作モード判定結果 S10 が選択された場合、(1バイト目の送信データが 0x30 で

ない場合でも)2 バイト目のデータは 0x30 となります(以下、I/O インタフェース判定用の 1 バイト目のデータは 0x30 を表記しています)。

Not Recommended
for New Design

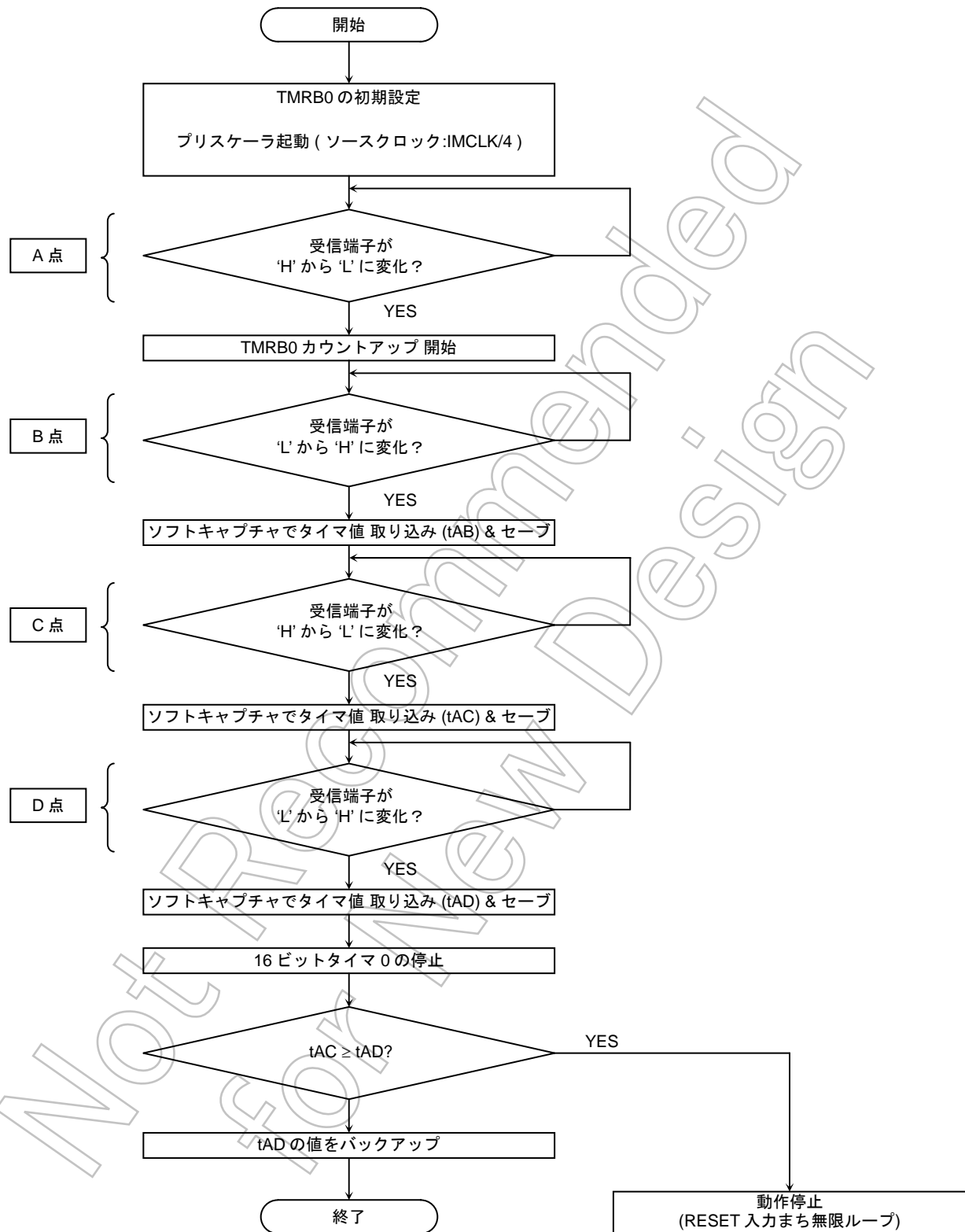


図 17.3.6 シリアル動作モード受信フローチャート

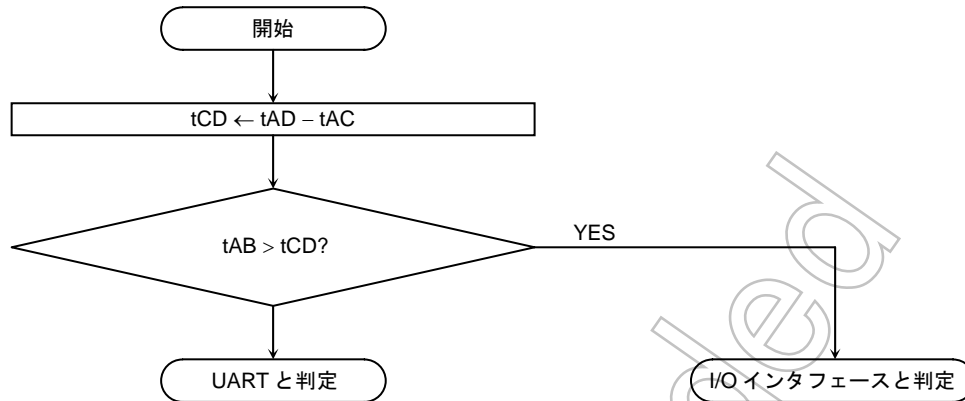


図 17.3.7 シリアル動作モード判定フローチャート

6) パスワードについて

動作コマンドデータがRAM転送コマンド (0x10) の場合、パスワードのチェックを行います。まず、動作コマンドデータをエコーバック送信 (0x10) 後、パスワードエリア (0x0000_0474 番地~0x0000_047F番地) のデータ (12 バイト) をチェックします。

図 17.3.8に示すようにパスワードエリアのデータが、0xFF以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目のCHECK SUM値に対するACK対応は 0x11 を送信します。ただし、パスワードエリアのデータがすべて0x00で、フラッシュメモリの先頭アドレス (シングルブートモードで 0x0000_0000) のデータが 0x0000_0000 の場合に限り、パスワードとして 0x00 の 12 バイトデータをエラーとしません。

次に、5バイト目~16バイト目の受信データ (パスワードデータ) の照合を行います。表 17.3.10 に対応表を示します。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目のCHECK SUM値に対するACK応答は、パスワードエラーとなります。

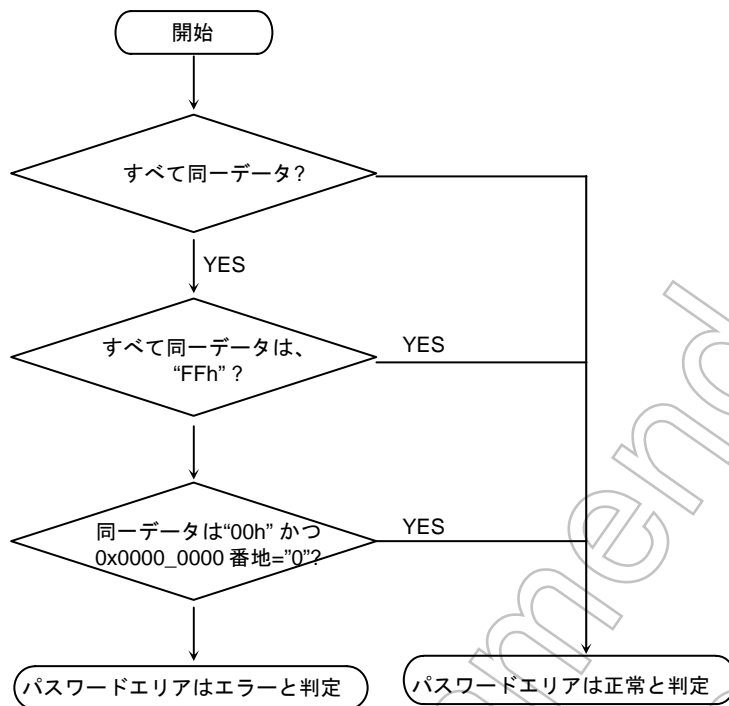


図 17.3.8 パスワードエリアチェックフローチャート

表 17.3.10 受信データと照合するデータの対応

受信データ	照合するデータ
5 バイト目	0x0000_0474 番地のデータ
6 バイト目	0x0000_0475 番地のデータ
7 バイト目	0x0000_0476 番地のデータ
8 バイト目	0x0000_0477 番地のデータ
9 バイト目	0x0000_0478 番地のデータ
10 バイト目	0x0000_0479 番地のデータ
11 バイト目	0x0000_047A 番地のデータ
12 バイト目	0x0000_047B 番地のデータ
13 バイト目	0x0000_047C 番地のデータ
14 バイト目	0x0000_047D 番地のデータ
15 バイト目	0x0000_047E 番地のデータ
16 バイト目	0x0000_047F 番地のデータ

(注1) セキュリティ機能を考慮した場合、0x0000_0000 番地のデータは”0”以外を推奨します。

7) SUM の計算方法

SUM の計算方法は、+ バイト + バイト + …… + バイトの結果をワードで返します。つまり、バイトでデータを読み出して符号なし 8 ビット加算を行い、計算結果をワードで求めています。コントローラへは、SUM の上位 8 ビットデータ、下位 8 ビットデータの順番で送信します。SUM の計算対象のデータは、フラッシュメモリ全エリア (256k バイト) のデータになります。フラッシュメモリ SUM コマンドを実行したときに返される SUM は、本計算方法を使用しています。

例)

A1H
B2H
C3H
D4H

左記 4 バイトが計算対象データの場合、SUM の値は、
 $A1H + B2H + C3H + D4H = 02EAH$
 となるので、
 SUM の上位のデータは、02H、
 SUM の下位のデータは、EAH になります。
 したがって、コントローラには 02H、EAH の順番で送信します。

8) CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数値を求めています。フラッシュメモリ SUM コマンド、製品情報読み出しコマンドを実行したときに返される CHECK SUM は、本計算方法を使用しています。また、コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例) フラッシュメモリ SUM コマンドのときを例に説明します。

SUM の上位 8 ビットデータが E5H、下位 8 ビットデータが F6H の場合の CHECK SUM 値を求めます。

まず、符号なし 8 ビット加算して得られた値を求めます。

$$E5H + F6H = 1DBH$$

この値の下位 8 ビットに対しての 2 の補数をとると以下ようになり、この値が CHECK SUM 値になります。したがって、コントローラには 25H を送信します。

$$0 - DBH = 25H$$

(7) ブートプログラム全体フローチャート

図 17.3.9にブートプログラム全体フローチャートを示します。

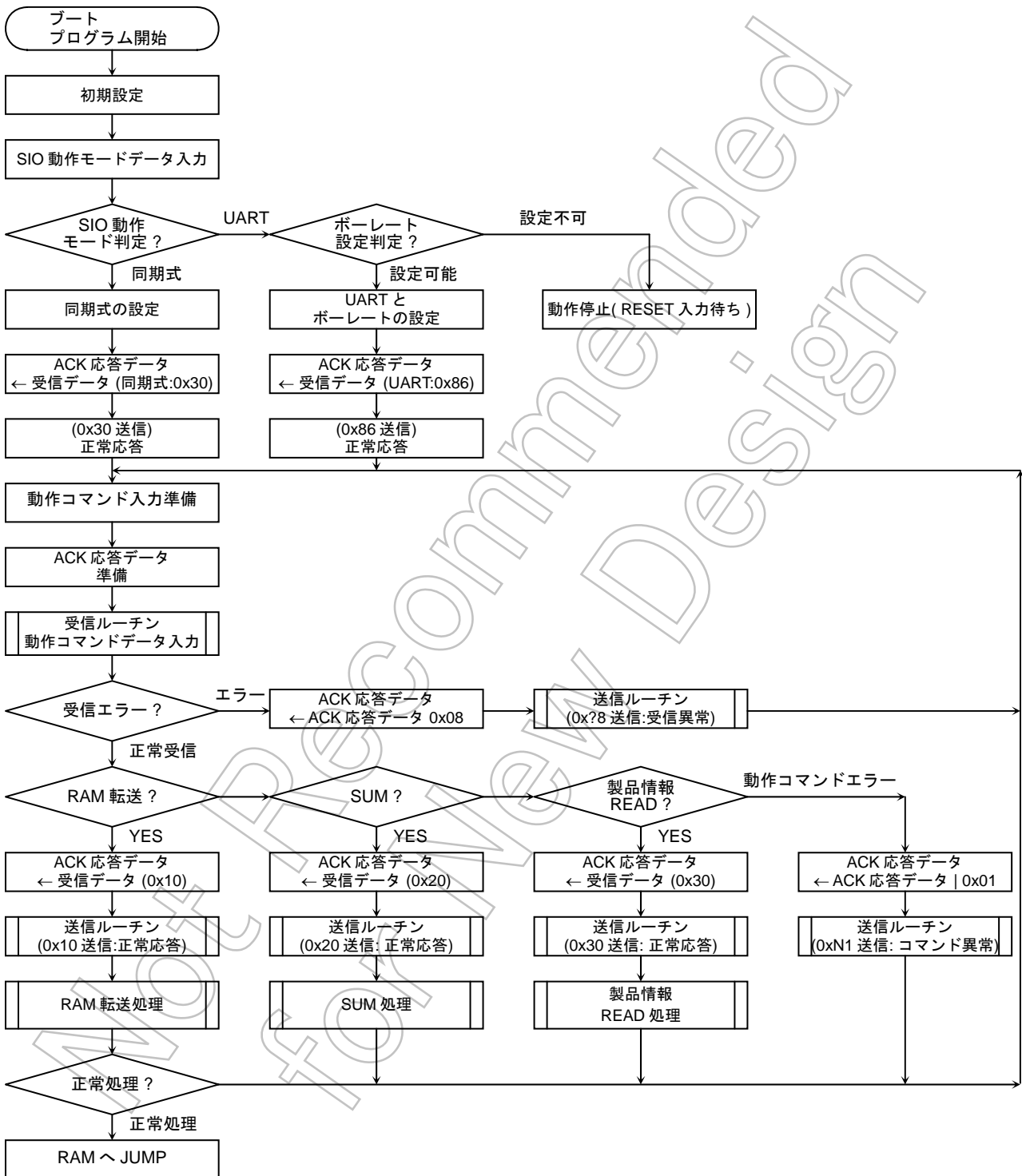


図 17.3.9 ブートプログラム全体フローチャート

(8) I/O インタフェースモード時のハンドシェイク動作

＜ データ受信時 ＞

- ① SC2MOD0<RXE> = 1 に設定されている状態で P80 ポートを” H” レベルにしてデータ受信のための SCLK2 を待ちます。
- ② 1 バイト受信して受信割り込み要求が発生すると P80 ポートを L レベルにしてコントローラにデータ送受信ができないことを知らせます。データの処理 (RAM への格納、CHECK SUM 処理、SUM 処理など) を行った後に受信割り込み要求のクリアを行います。処理が終了したら P80 ポートを H レベルにしてコントローラに受信の準備ができたことを知らせ、次の通信のための SCLK2 を待ちます。下図では、受信時の SCLK2 のビット 7 の立ち上がりから、P80 ポートの立ち上がりまでを受信ウエイト時間としています。
- ③ P80 ポートが L レベルから H レベルになるのを確認してから次の動作を行ってください (コントローラは転送フォーマットごとに送信ウエイト時間の最適化を行う必要があります)。

(注1) データ受信後の「受信 WAIT 時間」は、動作周波数、ポートによって異なります。また転送フォーマットでのデータ処理内容 (CHECK SUM 処理、RAM へのデータ転送処理、パスワードエリアチェック、パスワードデータチェックなど) によって異なります。

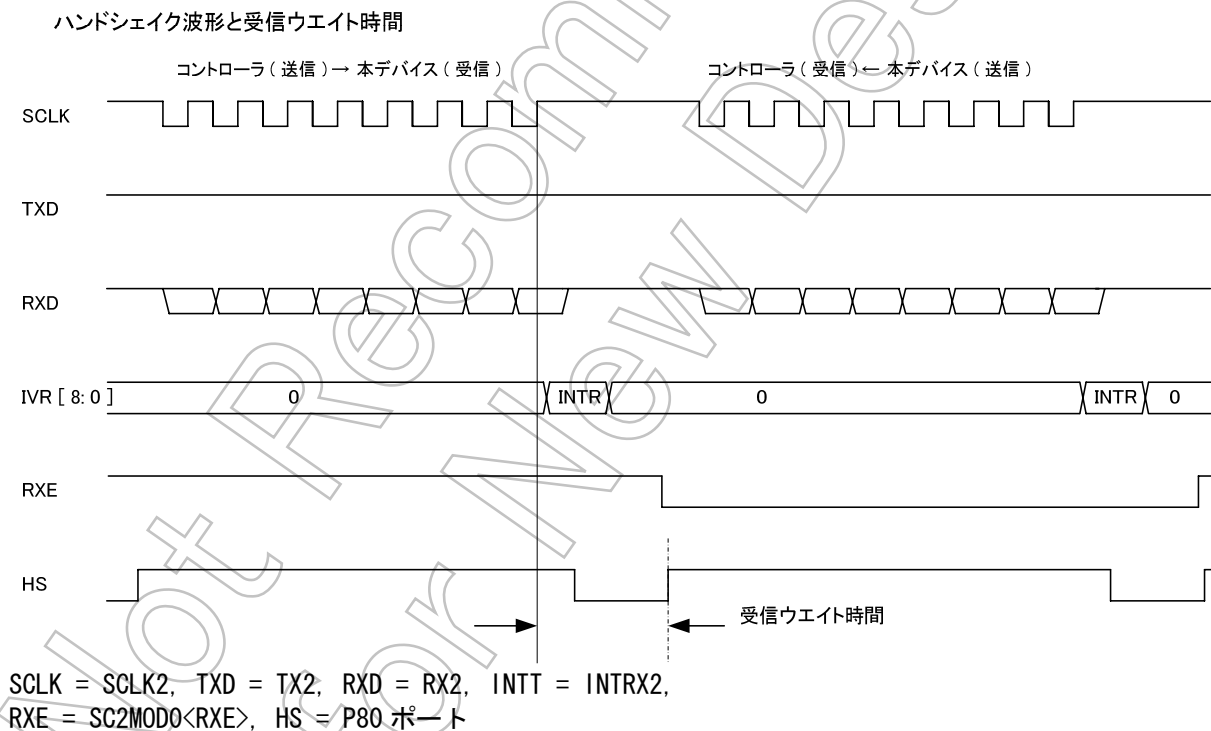


図 17.3.10 ハンドシェイク波形と受信ウエイト時間

＜データ送信時＞

- ① SC2MOD0<RXE> = 0 に設定して SC2BUF に送信データをセットし、P80 ポートを H レベルにしてデータ送信のための SCLK2 を待ちます。
- ② 1 バイト送信して送信割り込み要求が発生すると P80 ポートを L レベルにしてコントローラにデータにデータ送受信ができないことを知らせます。データの処理（CHECK SUM 処理、SUM 処理など）を行ったあとに送信割り込み要求のクリアし、SC2MOD0<RXE>=1 に設定し P80 ポートを H レベルにしてコントローラに受信の準備ができたことを知らせます。下図では、送信時の SCLK2 のビット 7 の立ち上がりから、P80 ポートの立ち上がりまでを送信ウエイト時間としています。
- ③ P80 ポートが L レベルから H レベルになるのを確認してから次の動作を行ってください（コントローラは転送フォーマットごとに送信ウエイト時間の最適化を行う必要があります）。

（注1）データ送信後の「送信ウエイト時間」は、動作周波数、ボーレートによって異なります。また転送フォーマットでのデータ処理内容（SC2MOD0<RXE>処理、CHECK SUM 処理、RAM へのデータ転送処理、パスワード照合など）によって異なります。

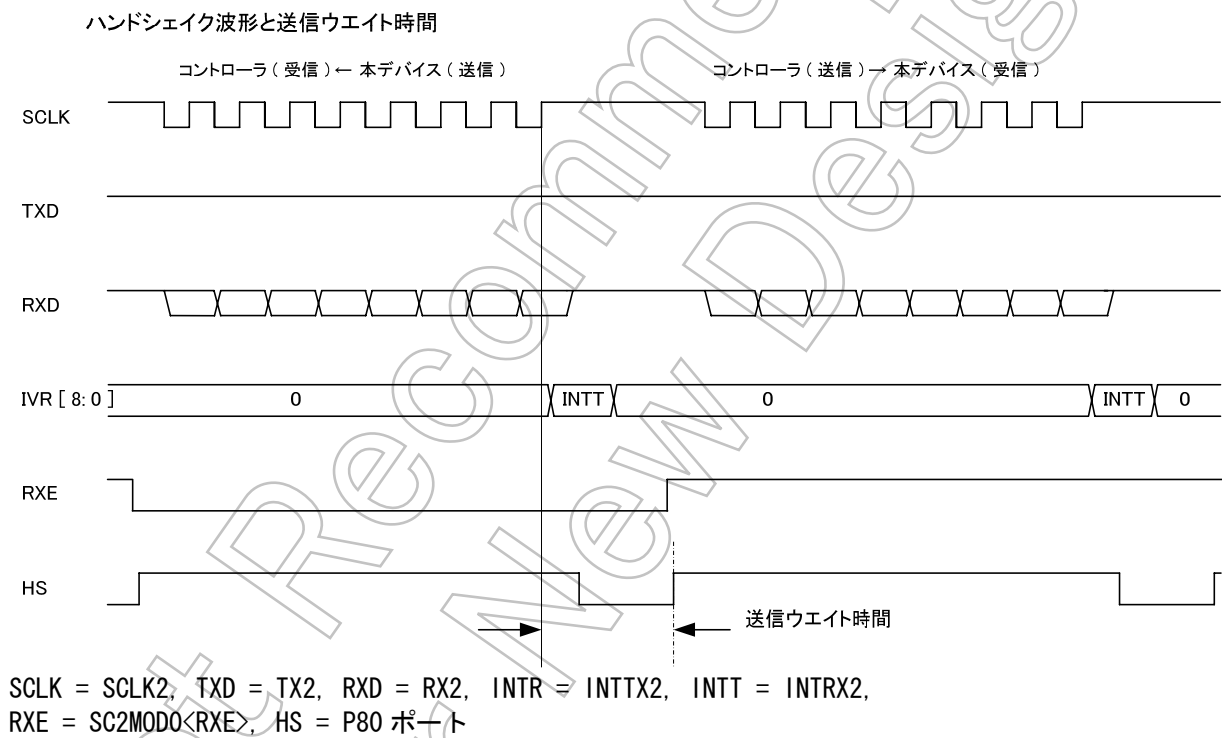


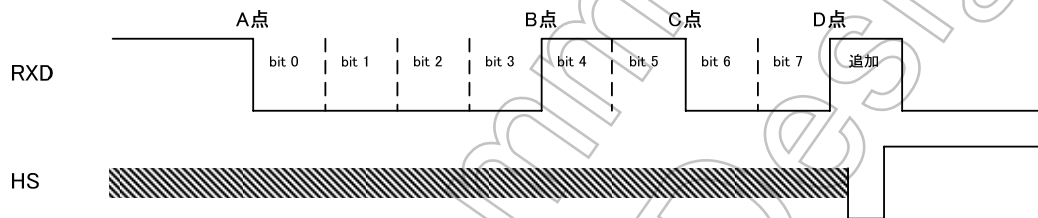
図 17.3.11 ハンドシェイク波形と送信ウエイト時間

(9) シリアル動作モード判定補足 (I/O インタフェースモード時の 1 バイト目送信波形 とハンドシェイク)

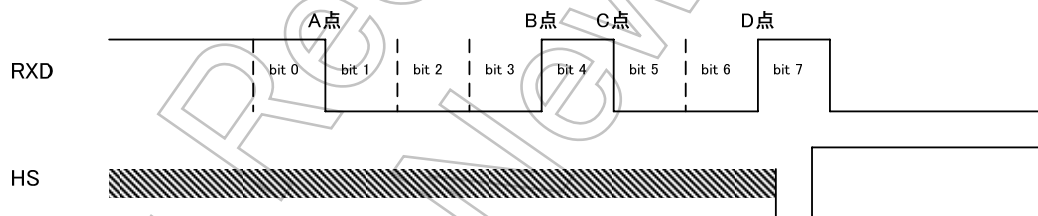
各動作コマンドで I/O インタフェースモードを選択する場合、「5) シリアル動作モード判定」のとおり、 $t_{AB} > t_{CD}$ となる波形を送信します。この時 A 点と C 点で立下り、B 点と D 点では立ち上がり波形を作成してください。ブートプログラムは下図「1 バイト目の送信データ = 0x30」の場合、D 点の立ち上がりを作るために 0x30 送信後に H レベルを作成する必要があります (最低 1 ビット長)。1 バイト目に 0x91 や 0xD9 など、データの中に D 点の立ち上がりがある場合は 0x30 の場合の対応は必要ありません。いずれの場合もシリアル動作モード判定に入る前に受信端子を H レベルにしておく必要があります (RESET 入力後すぐに H レベルにすることを推奨します)。

1 バイト目のデータ受信端子はポートとして機能します。I/O インタフェースモードと判定するタイミングは D 点の立ち上がり後となり、ビット 7 送信前でもハンドシェイク用ポートに H レベルを出力します (UART と判断した場合はハンドシェイク用ポートに出力しません)。D 点の位置は下図のように送信データによって異なります。1 バイト目の通信終了後、ハンドシェイク端子が H レベルであればシリアルモード動作判定が終了してしますので、コントローラは 2 バイト目の通信ができます。

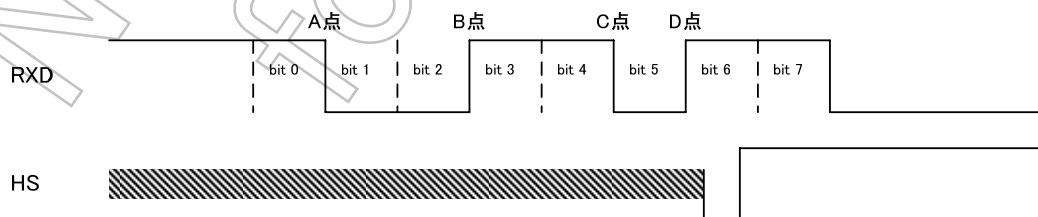
1 バイト目の送信データ = 0x30




1 バイト目の送信データ = 0x91



1 バイト目の送信データ = 0xD9



 HS用ポートの入出力設定 = RESET後の状態

RXD = RX2, HS = P80 ポート

図 17.3.12 シリアル動作モード判定補足

(10) ブートプログラム使用時の ボーレートと周波数

表 17.3.11 シングルブートモード時に使用する UART 選択時のボーレートの推奨値

		437.5kbps	345.6kbps	115.2kbps	57.6kbps	38.4kbps	19.2kbps
56MHz 動作時	PRSC	0	0	0	0	1	2
	N	2	4	7	15	11	5
	K	0	15	6	13	10	5
40MHz 動作時	PRSC	-	-	0	0	0	1
	N	-	-	9	10	16	15
	K	-	-	8	2	12	12

PRSC = BR2CR [5:4], N = BR2CR [3:0], K = BR2ADD [3:0]

- (注1) シリアルモード判定中にタイマで波形を計測してボーレートを決定しています。プリスケアラソースクロックにより生じるキャプチャ値の誤差と、シリアルモード判定フロー中の割り算から生じる誤差によって設定不可能な場合があります。
- (注2) 表の値はボーレート設定フローで設定される予想値で、他の組み合わせで通信することがあります。
- (注3) ブートプログラムの仕様上、一番速いボーレートは BR2CR = 0x02 の設定です。コントローラはそれ以下のボーレートで通信します。

表 17.3.12 シングルブートモード時に使用する I/O インタフェース選択時のボーレート推奨値

動作周波数 (MHz)	I/O インタフェース使用時の 転送レート (bps)					
	56	3M	2.5M	1.25M	1M	500K
40	2M	1.25M	1M	500K	250K	125K

- (注1) I/O インタフェース選択時は、データ送受信時間の他に 1 バイト単位で送受信後のウェイト時間が生じます。

(11) その他のブートプログラム実行に関する注意事項

- ・内蔵ブート ROM は、1 ウェイト挿入で命令実行します。1 命令あたりのパイプライン動作はシングルチップモードの約 2 倍の実行時間が必要となります。
- ・RAM 転送した書き換えルーチンを RAM で実行している間は命令実行にウェイトは挿入されていません。
- ・RESET 入力によってブートプログラムは汎用レジスタ値を更新します。
- ・ブートプログラムは、全領域を 32 ビット ISA 命令で実行します。書き換えルーチンの先頭アドレスの「RAM 格納開始アドレス」に配置する命令は 32 ビット ISA 命令にしてください。
- ・すべての特殊機能レジスタは、書き換えルーチン内で設定してください。
- ・ブートプログラムでは、汎用レジスタ r29 (shadow = 0) をスタックポインタとして使用しています。RAM 転送直後は r29 = 0xFFFF_BFF0 となっています。
- ・RAM 転送コマンドで書き換えルーチンを転送できるエリア (0xFFFF_9800 ~ 0xFFFF_AFFF) 以外のエリアは RESET 後にブートプログラム中で使用します。
- ・ (RAM 転送後の) 書き換えルーチン実行中は使用できる RAM エリアに制限はありません。
- ・ブートプログラム実行中は、すべてのマスカブル割り込みを禁止設定にしています。
- ・書き換えルーチン実行中にマスカブル割り込みを許可した場合、ブートプログラムのマスカブル割り込みベクタでは割り込みベクタレジスタ (IVR) を読み、割り込み要因のベクタアドレス取得し、制御をベクタアドレスに移します。下記プログラム実行により汎用レジスタ r4/r29(sp) 値を更新します。ブートプログラムエリアでは各割り込み要因のベクタアドレスおよび、割り込み要求のクリア制御を用意しておりません。IVR 値の設定を含め、これらは書き換えルーチンで用意します。

< ブートプログラムのマスカブル割り込みベクタルーチン >

interrupts:

```

    addi    sp, sp, -4      ; マスカブル割り込みベクタ開始アドレス
    sw      r4, 0( sp )
    mfc0    r4, r13
    nop
    nop
    srl     r4, r4, 2
    andi    r4, r4, 0x1F
    bne     r4, r0, the_other ; マスカブル割り込み以外を検出した場合は動作停止
    nop

```

```

    lw      r4, IVR        ; IVR 読み出し
    lw      r4, 0( r4 )    ; マスカブル割り込みベクタアドレス読み出し

```

```

    addi    sp, sp, 4
    jr      r4             ; ベクタアドレスへ JUMP
    nop

```

the_other:

```

    addi    sp, sp, 4
the_other_lp:
    nop
    j       the_other_lp  ; 動作停止ループ
    nop

```

(注 1) 割り込み要因発生後にベクタアドレスへ JUMP するまで、命令実行には 1 ウェイト挿入されます。

- ・ ノンマスカブル割り込みは使用しないでください(ブートプログラムで無限ループ)、この場合 RESET 入力してください。
- ・ 書き換えルーチンからは上記マスカブル割り込みベクタを除いて、ブートプログラム領域に戻らないでください。
- ・ シリアル動作モード判定までに初期設定等を実行します。1 バイト目の通信は RESET 解除後 200 命令程度の実行時間を待ってから実施してください。ただし 1 バイト目の通信はシリアルチャネル機能を使用しません。シリアル受信端子の立下りを検出するために、コントローラもしくはユーザセット基板上で、上記待ち時間に十分前もって受信端子を H レベルにしてください(RESET 入力後すぐに H レベルにすることを推奨します)。

17.4 オンボードプログラミングでのフラッシュメモリ書き込み/消去

本デバイスのフラッシュメモリはコマンドコントロール方式を採用しています。このため、ユーザーブートモードおよびブートモードでのRAM転送動作では、TX19Aプロセッサコアによりソフトウェア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードもしくはRAM転送に移行後、書き込み/消去制御プログラムは内蔵RAM上で実行してください。

17.4.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などはコマンドコントロール方式で動作します。これにより、ある特定のフラッシュメモリアドレスにアクセスすることで書き込みや消去コマンドを実行することができます。本デバイスでは32ビットアクセス命令のうちSW命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。自動消去動作は一括消去の他、ブロック単位または2つのブロック単位で行えます。

表 17.4.1 フラッシュメモリの機能

主な機能	説明
自動プログラム	ワード単位でのデータ書き込みおよび書き込みベリファイを自動で行います。
自動チップ消去	フラッシュメモリ全エリアの一括消去および消去ベリファイを自動で行います。
自動ブロック消去	ブロック単位での消去およびベリファイを自動で行います。
自動マルチブロック消去	複数ブロックの消去およびベリファイを自動で行います。
ハードウェアシーケンスフラグ	データポーリング、トグルビットなどのフラグをモニタすることで、フラッシュメモリが書き込み中、あるいは消去中かの確認ができます。
ライターセキュリティ機能	ライターモードで使用するとき、フラッシュメモリ本体の内容を読み出せなくするセキュリティ機能を内蔵しています。全2BLOCK全てのブロックプロテクトを掛ける事によりライターセキュリティ機能が有効になります。ライターセキュリティ機能を解除するには、ブロックプロテクトの解除を行いこれにより自動的にフラッシュメモリ本体も一括消去されます。
ブロックプロテクト	ブロックごとに書き込みおよび消去を禁止することができます。全BLOCKにプロテクトを掛けると自動的にライターセキュリティ機能が有効になります。

ユーザーブートモードもしくはRAM転送の詳細な動作説明は後述しますが、TX19Aプロセッサコアとのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。フラッシュメモリの書き込みは32ビット単位で行います。フラッシュメモリへの書き込みは、32ビット（ワード）のデータ転送命令を用いてください。以下、特に断りの無い限りフラッシュメモリのアドレスは仮想アドレス表記とします。

(1) ブロック構成

0x0_0000 ~ 0x1_FFFF	128K バイト
0x2_0000 ~ 0x3_FFFF	128K バイト

アドレス [31:18] は動作モードにより異なります。

図 17.4.1 フラッシュメモリのブロック構成

(2) オンボードプログラミング時

内部インターフェースの概念図を図 17.4.2 に示します。ただし、以下の図は TX19A プロセッサコア-フラッシュメモリ間のイメージ図であり、実際の回路とは異なります。

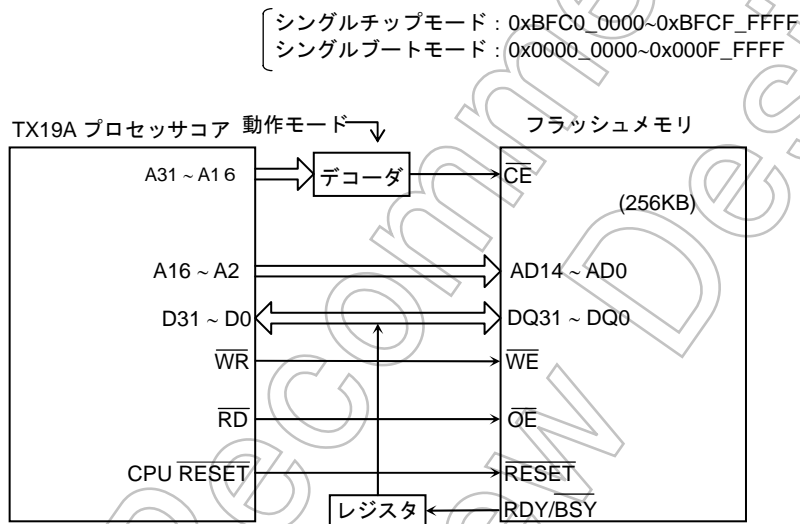


図 17.4.2 フラッシュメモリ内部インターフェース

(3) 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリデータを読み出すモード（リードモード）
- メモリデータを自動的に消去/書き替えるモード（自動動作モード）

リードモード中にコマンドシーケンスを実行することで、自動動作モードに写ることができます。自動動作モードでは、メモリデータを読み出せません。

1) リードモード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、TX19A プロセッサコアのリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述するソフトウェアリセットもしくはハードウェアリセットを用います。

2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンドシーケンサへのライトは、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータをコマンドシーケンサにラッチし、命令を実行します。（表 17.4.4、表 17.4.5参照）

コマンドシーケンスの入力途中でコマンド入力をキャンセルしたい場合は、リード/リセットコマンドもしくはリセットコマンド（以下、ソフトウェアリセット）を入力します。リセットコマンドを受け付けると、フラッシュメモリはコマンドシーケンサをリセットし、リードモードになります。また、間違ったコマンドシーケンスを入力した場合も、フラッシュメモリはコマンドシーケンサをリセットし、リードモードになります。

3) リセット

- リード/リセットコマンド、リセットコマンド(ソフトウェアリセット)

自動動作が異常終了した場合、フラッシュメモリは自動ではリードモードに復帰しません。この場合、このコマンドを実行することでフラッシュメモリをリードモードに復帰させます。また、途中まで入力したコマンドをキャンセルする場合、このコマンドの実行でコマンドシーケンサの内容をクリアできます。

- ハードウェアリセット

図 17.4.2のように、本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力はTX19Aプロセッサコアのリセット信号とつながっています。このため、本デバイスのRESET入力端子が“L”となるか、ウォッチドッグタイマなどによりTX19Aプロセッサコアにリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。

また、自動動作が異常終了したときや、コマンドを用いてセットしたモードを解除するときもTX19Aプロセッサコアのリセットによりリードモードへ復帰します。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き換えが正常に行えませんので注意が必要です。再度、書き換えを行う処置をしてください。

TX19Aプロセッサコアのリセット動作については、「3.1 リセット動作」を参照してください。所定のリセット入力後、TX19Aプロセッサコアはフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

4) 自動プログラム

フラッシュメモリへの書き込みは、“1”データセルを“0”データにすることです。“0”データセルを“1”データにすることはできません。“0”データセルを“1”データにするには消去動作を行う必要があります。

ユーザーブートモードもしくはRAM転送では、フラッシュメモリの書き込みも32ビット単位（ワード）で行います。自動プログラム動作は、コマンドサイクルの第4バスライトサイクルでプログラムアドレスとプログラムデータをラッチします。フラッシュメモリはプログラムデータをラッチしたときから自動プログラムを開始します。32ビット単位で書き込みを行うのでプログラムアドレスはA1=A0=0にして与えます。

32bit 単位の一部にすでにフラッシュメモリに書き込みが行われている状態で、データを追記することはできません。（データセルに“1”を書き込んだ場合も同様に消去をせずに追記しないでください）

プログラム動作を開始すると、プログラムおよびプログラムベリファイは内部で自動的に行います。自動プログラムの動作状態は、ハードウェアシーケンスフラグをモニタすることで確認できます（表 17.4.3）。自動プログラム動作中は、コマンドシーケンスの入力を受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。

プロテクトされたブロック内のアドレスへの書き込みはできません。この場合デバイスは、自動プログラムを実行せず、コマンドシーケンスの第4バスライトサイクル終了から約3 μ s後にリードモードになります。自動プログラムが正常終了すると、自動的にリードモードに復帰します。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。この状態はハードウェアシーケンスフラグで確認できます。

リード状態に復帰させるにはソフトウェアかハードウェアリセットでフラッシュメモリまたはデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

5) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。Block0～1の各ブロック毎に自動消去を行います。動作を開始すると、フラッシュメモリ内部で自動的にすべてのアドレスに”0”データのプリプログラムを行い、続けて消去と消去ベリファイを実行します。自動チップ消去動作の状態は、ハードウェアシーケンスフラグをモニタすることで確認できます(表 17.4.3)。自動チップ消去動作中は、コマンドシーケンス入力を受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行わなくてはなりません。

また、プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了時から約100 μ s後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。この状態はハードウェアシーケンスフラグで確認できます。

リードモードに復帰させるにはソフトウェアリセットかハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

6) 自動ブロック消去/自動マルチブロック消去

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から消去ホールドタイムの後に開始します。動作を開始すると、選択したブロック内のすべてのアドレスにデバイス内部で自動的に”0”データのプリプログラムを行い、続けて消去と消去ベリファイを実行します。複数のブロックを消去する場合は、第6バスライトサイクルを繰り返し、それぞれのブロックアドレスと自動ブロック消去コマンドを消去ホールドタイム内に入力します。

消去ホールドタイム中に自動ブロック消去以外のコマンドシーケンスを入力した場合、フラッシュメモリはリセットされ、リードモードになります。消去ホールドタイムは50 μ sで(ハードウェアシーケンスフラグDQ3を確認してください)、第6バスライトサイクル終了ごとにカウントを開始します。自動ブロック消去動作の状態は、ハードウェアシーケンスフラグDQ7をモニタすることで確認できます(表 17.4.3)。自動ブロック消去中はその他のコマンドシーケンスの入力は受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去は行いません。選択したすべてのブロックがプロテクトされている場合は、自動ブロック消去を実行せず、コマンドシーケンスの最後のバスライトサイクル完了から約100 μ s後にリードモードになります。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。この状態はハードウェアシーケンスフラグで確認できます。ソフトウェアリセットかハードウェアリセットを用いてフラッシュメモリまたは、デバイスをリセットしてください。複数のブロックを選択して不良が発生した場合、デバイスの使用を中止するか、個々にブロック消去を行った上で不良ブロックを特定し、その不良ブロックは使用しないことを推奨します。

7) ブロックプロテクト

ブロックプロテクトにより、ブロックごとに書き込みと消去の動作を禁止することができます。第7バスライトサイクル終了後に、ブロックプロテクト動作中はFLCS<RDY/BSY>="0"となります。ブロックプロテクト動作正常終了後はFLCS<RDY/BSY>="1"になり、自動的にリードモードに復帰します。一方、何らかの理由で正常に終了できなかった場合は自動的にリードモードには復帰せず、FLCS<RDY/BSY>="0"の状態です。この状態からリードモードに戻すにはソフトウェアリセットかハードウェアリセットを実行する必要があります。

表 17.4.2 ブロックプロテクトの状態と書き替え動作の関係

プロテクトの状態と実行動作	実行動作の結果
プロテクトされたブロックへのプログラム実行	プログラムされずに自動的にリードモードへ復帰
プロテクトされたブロックへの消去実行	消去されずに自動的にリードモードへ復帰
全ブロックプロテクトされた状態でチップ消去実行	消去されずに自動的にリードモードへ復帰
複数ブロックがプロテクトされた状態でチップ消去実行	プロテクトされていないブロックのみ消去実施 全ブロック完了後、リードモードへ復帰
複数ブロックがプロテクトされた状態でマルチブロック消去実行	プロテクトされていないブロックのみ消去実施 選択された全ブロックの動作完了後、リードモードへ復帰

ブロックプロテクト動作中はその他のコマンドシーケンスの入力は受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えませんので、再度ブロックプロテクトの動作をやり直す必要があります。

8) ブロックプロテクトの解除

ブロックプロテクトの解除を実行すると第7バスライトサイクルの後、プロテクト解除中はFLCS<RDY/BSY>="0"になります。ブロックプロテクト解除正常終了後はFLCS<RDY/BSY>="1"になり、自動的にリードモードに復帰します。一方、何らかの理由で正常に終了できなかった場合は自動的にリードモードには復帰せず、FLCS<RDY/BSY>="0"の状態です。この状態からリードモードに戻すにはソフトウェアリセットかハードウェアリセットを実行する必要があります。

ブロックプロテクトを解除している間はその他のコマンドシーケンスの入力は受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの解除は正常に行えませんので、再度全ブロックのプロテクトをかけるところから実行し直してください。プロテクトが解除されたことを確認するには、ベリファイブロックプロテクトを用います。

9) ベリファイブロックプロテクト

ベリファイブロックプロテクトは、ブロックプロテクト状態かどうかを確認するために用います。コマンドシーケンスの第4バスリードサイクルで、確認するブロックのアドレスを入力します。このとき、ブロックアドレスにはA[3:0]="0"、A4="1"、A6="0"となるアドレスを指定し、ワードで読み出しを2回以上行って最後の読み出し結果を使用してください。そのブロックがプロテクト状態であれば、データには0x0000_0001が出力されます。逆に、プロテクト解除の状態であればデータは0x0000_0000が読み出されます。

引き続き他のブロックプロテクトのベリファイを行う場合は、第4バスリードサイクルのみを繰り返して読み出すことが可能です。所望のブロックアドレスに変更してワードで読み出しを行ってください。なお、ベリファイブロックプロテクトが完了した後、フラッシュメモリの読み出し、もしくは他のコマンド入力に戻るときは、ソフトウェアリセットあるいはハードウェアリセットを行う必要があります。

10) ID-READ

ID-READ は、東芝メーカーコードとして 0x0098（固定値）を読み出します。コマンドシーケンスの第 4 バスリードサイクルで、A[4:0]=" 0"、A6=" 0" となるフラッシュメモリアドレスを指定し、ワードで読み出しを 2 回以上行って最後の読み出し結果を使用してください。0x0098 以外のデータが格納されているアドレスに ID-READ を実行することで Flash 製品（読み出し値 0x0098）と Mask 製品（読み出し値 0x0098 以外）の識別を行うことが可能です。

Not Recommended
for New Design

11) ハードウェアシーケンスフラグ (表 17.4.3参照)

フラッシュメモリの自動動作実行状態は、ハードウェアシーケンスフラグにより確認できます。自動動作中にロード命令を実行することによって、ハードウェアシーケンスフラグの読み出しができません。フラッシュメモリは自動動作を終了すると自動的にリードモードに復帰します。動作の状態は、自動動作実行中はハードウェアシーケンスフラグ、終了後は読み出したデータがセルデータと一致することで確認できます。ハードウェアシーケンスフラグの読み出しは自動動作開始 (FLCS<RDY/BSY>="0") を確認してから行います。

自動プログラム動作時のハードウェアシーケンスフラグの読み出しは、書き込んでいるアドレスと同じアドレスを指定 (A[1:0]=0) して読み出しを行ってください。また、自動消去動作中のハードウェアシーケンスフラグの読み出しもA[1:0]=0 となるアドレスを指定して読み出しを行ってください。

また自動動作実行中は D[31:16]=0 が読み出せます。D[31:16]=0 にならない条件では D[31:16]の"0" 判別を行うことで、FLCS<RDY/BSY>の代わりとして使用することが可能です。FLCS の Mask 製品での読み出しデータは不定ですが、D[31:16]を使用することで Flash 製品と Mask 製品で同じプログラムを使用することが可能になります。

表 17.4.3 ハードウェアシーケンスフラグ一覧

状態		D7 (DQ7)	D5 (DQ5)	D3 (DQ3)
自動動作実行中	自動プログラム	DQ7 反転	0	0
	自動消去 (消去ホールドタイム中)	0	0	0
	自動消去	0	0	1
タイムアウト (自動動作不良)	自動プログラム	DQ7 反転	1	1
	自動消去	0	1	1

(注1) 自動動作中、D[31:16]=0、D[15:8]=不定、DQ4、DQ2、DQ1、DQ0=不定

(注2) DQ7 は自動動作中はプログラムデータの反転値が出力されます。自動消去動作中は消去状態の反転値 = 0 が出力されます。

- DQ7 (データポーリング)

データポーリング機能により、フラッシュメモリの自動動作状態を確認できます。データポーリングの出力は、自動動作コマンドシーケンスの最後のバスライトサイクル終了から開始します。自動プログラム動作中はDQ7に書き込んだデータの反転データを出力し、終了後はDQ7のセルデータを出力しますので、DQ7を読み出すことで動作状態の識別ができます。自動消去動作中はDQ7から"0"を出力し、終了後は"1" (セルデータ) を出力します。また、自動動作の結果が不良であった場合、DQ7は自動動作中のデータをそのまま継続して出力します。したがって、不良の判定は後述のDQ5 (内部タイマ超過) を併用して行います。(図 17.4.3参照)

フラッシュメモリは、動作が終了した時点でアドレスラッチを解除しますので、データを読み出す際は書き込みを行ったアドレス、または消去中のプロテクトされていない任意のブロックアドレスを与える必要があります。

- DQ5 (内部タイマ超過)

フラッシュメモリは自動動作を正常に行っているとき、DQ5に"0"を出力します。もし、自動動作がフラッシュメモリ内部で規定した時間を超えた場合は、DQ5の出力は"1"に変わります。これは、自動動作が正常に終了しなかったことを示し、フラッシュメモリが不良である可能性があります。また、このフラッシュメモリは、プログラムモードで"1"データセルを"0"データにすることはできますが、"0"データセルを"1"データにすることはできません。このため、"0"データセルに対して"1"データを書き込んだ場合は、規定時間を超えても正しくデータを書き込めずに、結果的にはDQ5に"1"を出力しフラッシュメモリが不良と判定した状態になります。

この場合、DQ5はフラッシュメモリの不良を示すのではなく、使用方法が正しくないことを示しています。自動動作が正常に終了しなかった場合、フラッシュメモリはロックされ、リードモードには復帰しません。ソフトウェアリセットでフラッシュメモリをリセットしてください。

- DQ3 (ブロック消去タイマ)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了からブロック消去ホールドタイム (50 μ s) 後に開始します。フラッシュメモリはブロック消去ホールドタイム中であれば、DQ3に"0"、消去を開始すると"1"を出力します。消去するブロックを追加する場合は、ブロック消去ホールドタイム中に入力します。フラッシュメモリは、それぞれのブロックのブロック消去コマンドを入力するごとにブロック消去ホールドタイムをリセットし、最初からカウントします。自動動作の結果が不良であった場合はDQ3に"1"を出力します

12) フラッシュコントロール/ステータスレジスタ

FLCS はフラッシュメモリのステータスマニタをするための 32 ビットのレジスタです。ライターモードでは、自動動作の状態をホスト側から認識する方法として、RDY/BSY 出力を備えています。FLCS<RDY/BSY>はこの機能を TX19A プロセッサコアからモニタするためのビットです。フラッシュメモリが自動動作中は”0”を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり”1”を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは”0”出力を継続します。ハードウェアリセットにより”1”に復帰します。

本ビットは、自動動作コマンドサイクルの最後のバスライトサイクル完了時点から”0”を出力します。ただし、自動ブロック消去の場合は消去ホールドタイム終了時から”0”を出力します。本ビットが”0”の状態のときは、コマンドシーケンスの入力を受け付けません。

FLCS
(0xFFFF_E520)

	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—	MROM	RDY/BSY	—	—
Read/Write	W	R	R	R/W	R	R	W	R
リセット後	0	0	0	0	0	1	0	0
機能	必ず”0”を設定してください			必ず”0”を設定してください	0:Flash版 1:Mask版	Ready/Busy 0:自動動作中 1:自動動作終了	必ず”0”を設定してください	
	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	W	R	R	R	R	R	R	R
リセット後	—	0	0	0	0	0	0	0

(注1) 本レジスタは 32 ビットでのアクセスになります。

(注2) 本レジスタはビット操作命令でアクセスできません。

(注3) マスク版では<MROM>=1になり、それ以外の bit は初期値が同じ値の読み出し専用 bit になります。

13) ライタセキュリティ機能

本デバイスは、オンボードプログラミングだけでなく、汎用のライター上でフラッシュメモリの書き替えを行うこともできます。このため、ユーザー以外の第三者が容易にデータを読み出せないようにすることが必要です。本デバイスは、全 2 ブロック全てにプロテクトを掛ける事によりライターセキュリティ機能が有効になり、ライター上でフラッシュメモリの内容を読み出せなくなります。

● ライタセキュリティ機能有効（読み出し禁止）

ライターセキュリティ機能を有効にすることにより、ライターを用いてもフラッシュメモリの内容を読み出せなくなります。ライターセキュリティ機能を有効にするには、フラッシュメモリ本体をプログラムした後、全 2 ブロックのプロテクトを掛けてください。これによりライターセキュリティ機能が有効になります。一つでもプロテクトが掛かっていないブロックが存在する場合はライターセキュリティ機能は有効になりません。

オンボード状態ではライターセキュリティ機能が有効でも、TX19A プロセッサコアからのフラッシュメモリの読み出しは可能です。TX19A プロセッサコアからの読み出しを禁止したい場合は後述の ROM セキュリティ機能を参照してください。なお、ライターセキュリティ機能が有効のときにライターでリードを行っても常時 0x0098（ワード）が出力されます。

● ライタセキュリティ機能無効（読み出し許可）

ライターセキュリティ機能はライター上での読み出しを禁止する機能です。ユーザーのボード上で TX19A プロセッサコアからフラッシュメモリをリードするのはライターセキュリティ機能の有効/無効に関わらず可能ですが、この場合はユーザーアプリケーションプログラムが制御しますので第三者が容易にフラッシュメモリの内容を読み出すことはできません。したがって、ユーザーアプリケーション上での使用に限定すればライターセキュリティ機能の無効は本来必要ありませんが、本デバイスではこのライターセキュリティ機能の無効についても対応しています。ブロックプロテクトを解除する事により、ライターセキュリティ機能は無効になります。

ライターモードでのライターセキュリティ機能無効動作ではライターセキュリティ機能の無効に先立ちフラッシュメモリ本体の消去を無条件で行います。本体消去が終了した後に、ブロックプロテクトビットの消去を行い一連のライターセキュリティ機能無効動作が終了します。シングルモードではユーザーアプリケーションプログラムでブロックプロテクトを解除するため、ライターセキュリティ無効動作によるフラッシュメモリ本体の消去は行いません。

(4) コマンドシーケンス一覧

表 17.4.4 内部 TX19A プロセッサコアによるフラッシュメモリアクセス

コマンド シーケンス	バス サイクル 数	第1バス ライトサイクル		第2バス ライトサイクル		第3バス ライトサイクル		第4バス リードもしくは ライトサイクル	
		Addr.	Data	Addr.	Data	Addr.	Data	Addr.	Data
リセット	1	0xFFFF	0x0F0						
リード/リセット	3	0x5554	0x0AA	0xAAA8	0x055	0x5554	0x0F0	RA	RD
自動プログラム	4	0x5554	0x0AA	0xAAA8	0x055	0x5554	0x0A0	PA	PD
自動チップ消去	6	0x5554	0x0AA	0xAAA8	0x055	0x5554	0x080	0x5554	0xAA
自動ブロック消去	6	0x5554	0x0AA	0xAAA8	0x055	0x5554	0x080	0x5554	0xAA
自動ブロック プロテクト	7	0x5554	0x0AA	0xAAA8	0x055	0x5554	0x09A	0x5554	0xAA
自動ブロック プロテクト解除	7	0x5554	0x0AA	0xAAA8	0x055	0x5554	0x06A	0x5554	0xAA
ID-READ/ ブロックプロテクト ベリファイ	4	0x5554	0x0AA	0xAAA8	0x055	0x5554	0x090	IA	ID

(つづき)

コマンド シーケンス	バス サイクル 数	第5バス ライトサイクル		第6バス ライトサイクル		第7バス ライトサイクル	
		Addr.	Data	Addr.	Data	Addr.	Data
リセット	1						
リード/リセット	3						
自動プログラム	4						
自動チップ消去	6	0xAAA8	0x055	0x5554	0x010		
自動 ブロック消去	6	0xAAA8	0x055	BA	0x030	BA(注3)	0x030
ブロック プロテクト	7	0xAAA8	0x055	0x5554	0x09A	BPA	0x09A
ブロック プロテクト解除	7	0xAAA8	0x055	0x5554	0x06A	0x5554	0x06A
ID-READ/ ブロックプロテクト ベリファイ	4						

(注1) 各バスライトサイクル入力後に”SYNG”命令、”NOP”命令を順に実行してください。

(注2) 各バスライトサイクルの16ビットから19ビットにはFlashメモリアドレスに対応した値を入力します。

(注3) マルチブロック消去する場合は第7バスライトサイクル以降にBAを追加してください。

(注4) フラッシュメモリを操作する場合はWDTを禁止した状態で行なってください。

TX19A プロセッサコア側からアクセスするアドレスは以下のようになります。

表 17.4.5

コマンド アドレス	アドレス : A[23:0]																
Addr.	A[23:16]	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0xXXX0	フラッシュ	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
0x0000	メモリ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xAAA8	アドレス	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	0
0x5554	エリア	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0

(5) 補足説明

- 0x0F0, 0x0AA, 0x055, 0x0A0, 0x080, 0x09A, 0x06A, 0x090, 0x010, 0x030
コマンドシーケンスのライトデータ D[8:0]です。上位の D[31:9]=0 にして、32 ビット（ワード）のデータ転送（SW）命令で書き込んでください。
- RA : リードアドレス
読み出したいフラッシュメモリアドレスを任意に指定できます。
- RD : リードデータ
8 ビット（バイト）、16 ビット（ハーフワード）、32 ビット（ワード）のデータ転送命令で読み出すことによって、RA（リードアドレス）のデータが読み出せます。
- PA : プログラムアドレス
書き込みたいフラッシュメモリアドレス（A[1:0]=0）を任意に指定できます
- PD : プログラムデータ入力
32 ビット（ワード）のデータ転送（SW）命令で書き込むことによって、PA（プログラムアドレス）のデータがフラッシュメモリに書き込めます。
- IA : ID アドレス
ID-READ、ベリファイブロックプロテクトを指定するフラッシュメモリアドレス（A[1:0]=0）です。

表 17.4.6 IA : ID アドレス表

	A17	A6	A4	A3	ID
ID-read（メーカーコード）	x	0	0	0	0x0098（固定値）
ベリファイブロック0プロテクト	0	0	1	0	0x0000_0001（ブロック0にプロテクト有）
					0x0000_0000（ブロック0にプロテクト無）
ベリファイブロック1プロテクト	1	0	1	0	0x0000_0001（ブロック1にプロテクト有）
					0x0000_0000（ブロック1にプロテクト無）

- ID : ID データ
32 ビット（ワード）のデータ転送（SW）命令で読み出せる、IA（ID アドレス）で指定した ID-READ、ベリファイブロックプロテクトの結果を表すデータです。

- BA : ブロックアドレス

消去したいブロックを指定するフラッシュメモリアドレス (A[1:0]=0) です。ブロック 0 を選択する場合、ユーザーブートモードでは 0xBFC0_0000~0xBFC1_FFFF (0x0000_0000~0x0001_FFFF) で任意の 1 アドレスに対して LW 命令を使用します。

- BPA: ブロックプロテクトアドレス

ブロックプロテクトを実行したいブロックを指定するフラッシュメモリアドレス (A[1:0]=0) です。ブロック 0 を選択する場合、ユーザーブートモードでは 0xBFC0_0000~0xBFC1_FFFF (0x0000_0000~0x0001_FFFF) で任意の 1 アドレスに対して LW 命令を使用します。

表 17.4.7 BA : ブロックアドレス、BPA : ブロックプロテクトアドレス表

	ユーザーブートモード	シングルブートモード	サイズ	A17
Block-0	0xBFC0_0000~0xBFC1_FFFF (または 0x0000_0000~0x0001_FFFF)	0x0000_0000~0x0001_FFFF	128Kbyte	0
Block-1	0xBFC2_0000~0xBFC3_FFFF (または 0x0002_0000~0x0003_FFFF)	0x0002_0000~0x0003_FFFF	128Kbyte	1

(6) プログラム設定例

① ID-READ のプログラム記述例

```

lui      r4, 0x0000      ; r4=0x0000_xxxx
addiu   r4, r4, 0x5554   ; r4=0x0000_5554
lui      r5, 0x0000      ; r5=0x0000_xxxx
ori      r5, r5, 0xaa8    ; r5=0x0000_aaa8
ori      r6, r0, 0x00aa   ; 第 1 バスライトサイクル
sw       r6, 0(r4)       ; 1st 0x0000_5554 ← 0x00aa
sync
nop
ori      r6, r0, 0x0055   ; 第 2 バスライトサイクル
sw       r6, 0(r5)       ; 2nd 0x0000_aaa8 ← 0x0055
sync
nop
ori      r6, r0, 0x0090   ; 第 3 バスライトサイクル
sw       r6, 0(r4)       ; 3rd 0x0000_5554 ← 0x0090
sync
nop
ori      r6, r0, 0x00aa   ; 第 4 バスリードサイクル
lw       r7, 0(r0)       ; 4th 0x0000_0000 (IA:A6=A4=A3=A1=A0 =0) --> r7(dummy)
lw       r7, 0(r0)       ; 4th 0x0000_0000 (IA:A6=A4=A3=A1=A0 =0) --> r7(dummy)
lw       r7, 0(r0)       ; 4th 0x0000_0000 (IA:A6=A4=A3=A1=A0 =0) --> r7
sync
nop

```

②FLCS<RDY/BSY>のポーリング記述例

```

lui      r7, hi (FLCS)      ; r7=0xFFFF_xxxx
addiu   r7, r7, lo (FLCS)   ; r7=0xFFFF_E520 (FLCS のアドレス)
rdybsy_lp:                    ; RDY/BSY ポーリング
lw      r6, 0(r7)          ; r6 ← FLCS
andi   r6, r6, 0x04        ; FLCS<RDY/BSY>以外をマスク
beq    r6, r0, rdybsy_lp   ; FLCS<RDY/BSY>=" 1" になるまでループ
nop

```

③ブロック 1 消去→ハードウェアシーケンスフラグのポーリング記述例

```

lui      r4, 0x0002
addiu   r4, r4, 0x5554      ; r4=0x0002_5554
lui      r5, 0x0002
ori     r5, r5, 0xaa8       ; r5=0x0002_aaa8
ori     r6, r0, 0x00aa      ; 第 1 バスライトサイクル
sw      r6, 0(r4)           ; 1st 0x0002_5554 ← 0x00aa
sync
nop
ori     r6, r0, 0x0055      ; 第 2 バスライトサイクル
sw      r6, 0(r5)           ; 2nd 0x0002_aaa8 ← 0x0055
sync
nop
ori     r6, r0, 0x0080      ; 第 3 バスライトサイクル
sw      r6, 0(r4)           ; 3rd 0x0002_5554 ← 0x0080
sync
nop
ori     r6, r0, 0x00aa      ; 第 4 バスライトサイクル
sw      r6, 0(r4)           ; 4th 0x0002_5554 ← 0x00aa
sync
nop
ori     r6, r0, 0x0055      ; 第 5 バスライトサイクル
sw      r6, 0(r5)           ; 5th 0x0002_aaa8 ← 0x0055
sync
nop
ori     r6, r0, 0x0030      ; 第 6 バスライトサイクル
sw      r6, 0(r5)           ; 6th 0x0002_aaa8 (A17=1) ← 0x0030
sync
nop
dq3_lp:                    ; ハードウェアシーケンスフラグポーリング開始
lw      r6, 0(r5)           ; 0x0002_aaa8 のデータをリード

```

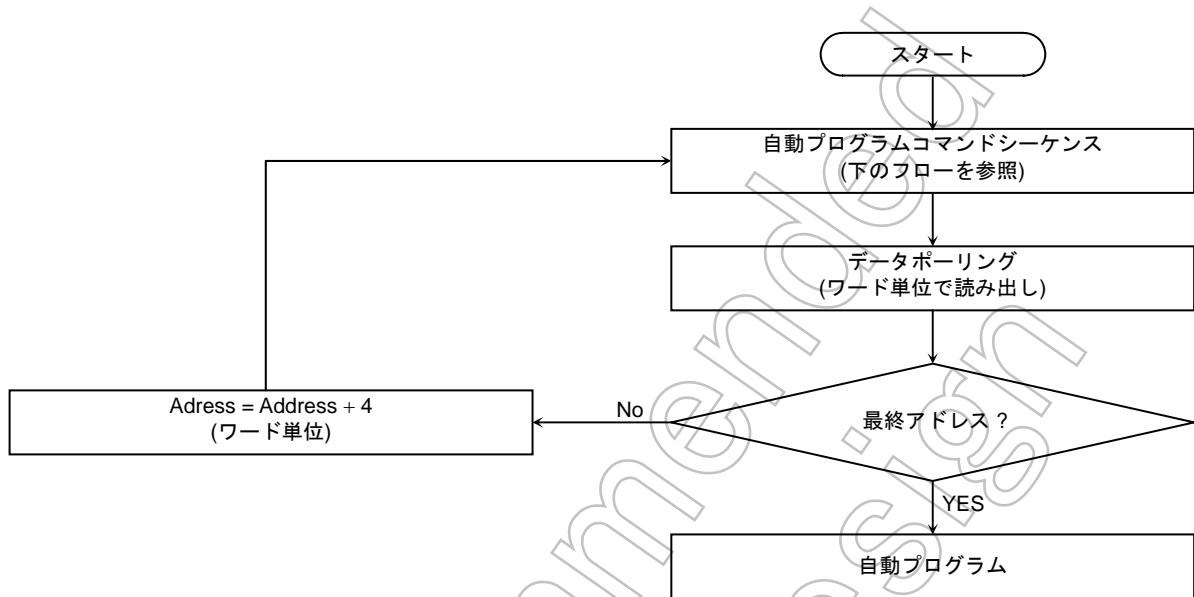
```

andi      r7, r6, 0x08      ; DQ3 以外をマスク
beq       r7, r0, dq3_lp    ; 消去ホールドタイム中 (DQ3=0) なら dp3_lp へ
nop
dq7_lp:
lw        r6, 0(r5)         ; 0x0002_aaa8 のデータを再リード
andi      r7, r6, 0x80      ; DQ7 以外をマスク
bne       r7, r0, data_chk  ; DQ7=1 なら data_chk へ
nop
andi      r7, r6, 0x20      ; DQ5 以外をマスク
beq       r7, r0, dq7_lp    ; DQ5=0 なら BSY 中のため dq7_lp へ
nop
lw        r6, 0(r5)         ; 0x0002_aaa8 のデータを再リード
andi      r7, r6, 0x80      ; DQ7 以外をマスク
beq       r7, r0, erase_err ; DQ7=0 ならエラー処理へ
nop
data_chk:
nor       r7, r0, r0        ; r7=0xFFFF_FFFF
lw        r6, 0(r5)         ; 0x0002_aaa8 のデータを再リード
beq       r7, r6, complete  ; 正しく消去された場合は終了処理へ
nop
erase_err:
ori       r6, r0, 0x00F0    ; ソフトリセット
sw        r6, 0(r0)         ; 1st 0x0000_0000 ← 0x00F0
sync      ; リードモードへ復帰
nop
complete: (省略)          ; 終了処理

```

(注1) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

(7) フローチャート



自動プログラムコマンドシーケンス (アドレス/コマンド)



図 17.4.4 自動プログラム

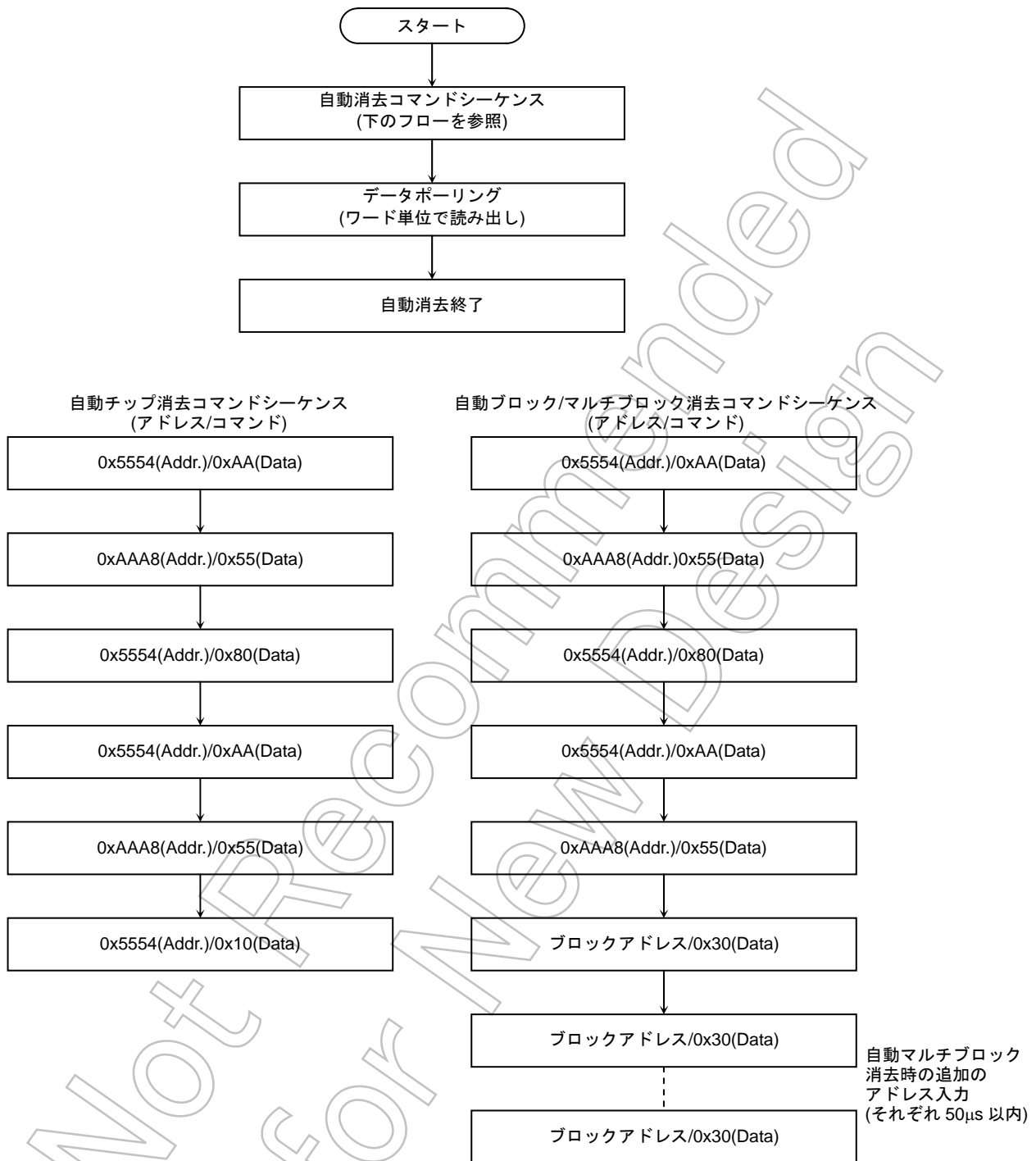


図 17.4.5 自動消去

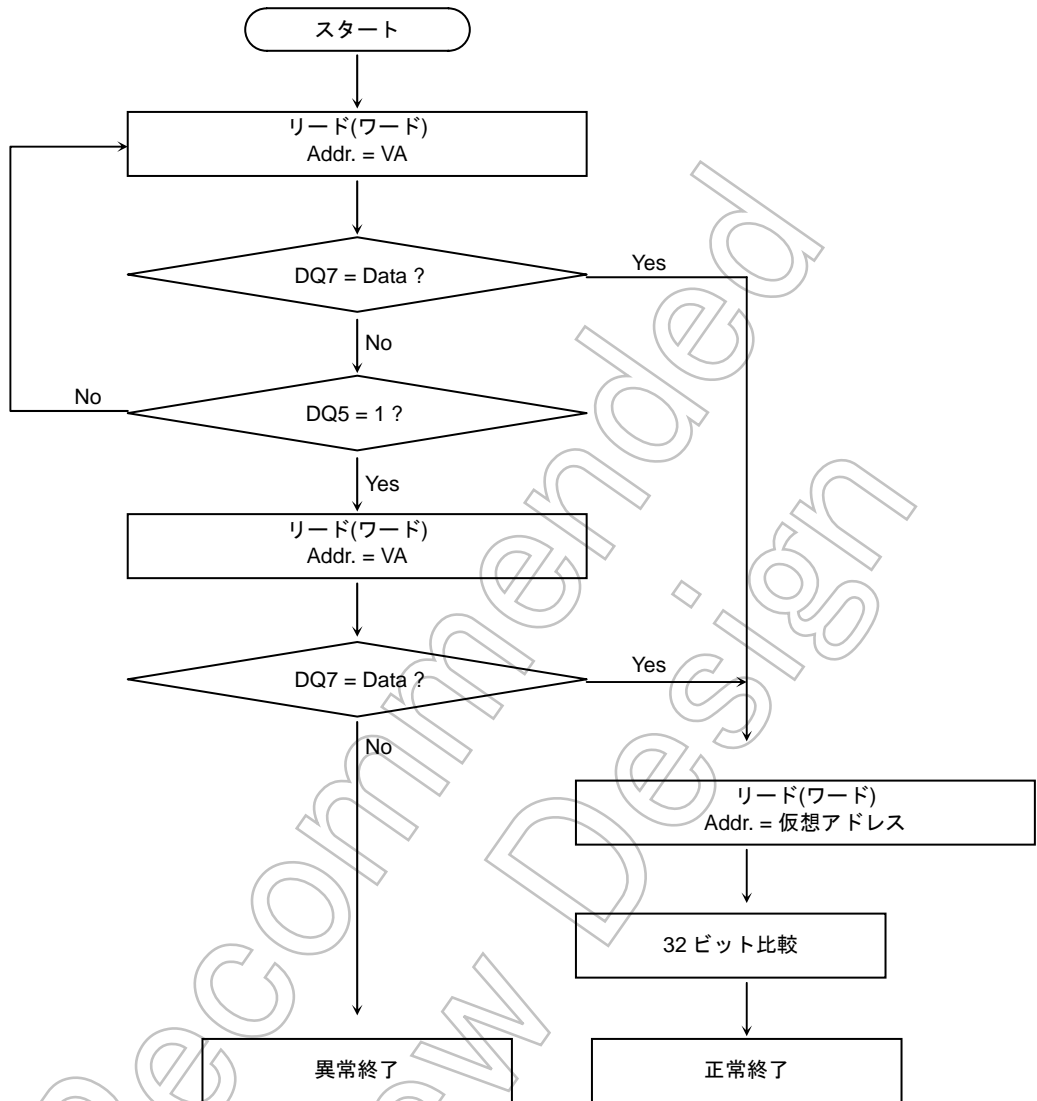


図 17.4.6 DQ7 データポーリング

18. 特殊機能レジスタ一覧表

18.1 レジスタマップ

FFFC000H~FFFFFFFH の 16K バイトのアドレス空間に割り付けられています。

- (1) ポート機能
- (2) モータ制御回路 (PMD : Programmable Motor Driver)
- (3) エンコーダ入力回路
- (4) シリアル チャネル (SIO)
- (5) 16 ビットタイマ/イベントカウンタ (TMRB)
- (6) ウォッチドックタイマ (暴走検出用タイマ)
- (7) A/D コンバータ
- (8) 割り込み
- (9) クロック/スタンバイ制御
- (10) モードコントローラ (MODEC)
- (11) DMA コントローラ (DMAC)
- (12) フラッシュメモリ
- (13) ROM correction 機能

Not Recommended
for New Design

[1] PORT

ADR	レジスタ名
FFFC000H	POD
1H	
2H	
3H	
4H	POCR
5H	
6H	
7H	
8H	POIER
9H	
AH	
BH	
CH	PODSSR
DH	
EH	
FH	

ADR	レジスタ名
FFFC010H	Reserved
1H	
2H	
3H	
4H	POPUCR
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFC020H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFC030H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFC040H	P1D
1H	
2H	
3H	
4H	P1OCR
5H	
6H	
7H	
8H	P1IER
9H	
AH	
BH	
CH	P1DSSR
DH	
EH	
FH	

ADR	レジスタ名
FFFC050H	Reserved
1H	
2H	
3H	
4H	P1PUCR
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFC060H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFC070H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFC080H	P2D
1H	
2H	
3H	
4H	P2OCR
5H	
6H	
7H	
8H	P2IER
9H	
AH	
BH	
CH	P2DSSR
DH	
EH	
FH	

ADR	レジスタ名
FFFC090H	Reserved
1H	
2H	
3H	
4H	P2PUCR
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFC0A0H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFC0B0H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFC0C0H	P3D	FFFFC0D0H	Reserved	FFFFC0E0H	Reserved	FFFFC0F0H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	P3CR	4H	P3PUCR	4H	Reserved	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	P3IER	8H	Reserved	8H	Reserved	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	P3DSSR	CH	Reserved	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFC100H	Reserved	FFFFC110H	Reserved	FFFFC120H	Reserved	FFFFC130H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	Reserved	4H	Reserved	4H	Reserved	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	Reserved	8H	Reserved	8H	Reserved	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	Reserved	CH	Reserved	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFC140H	P5D	FFFFC150H	Reserved	FFFFC160H	Reserved	FFFFC170H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	Reserved	4H	P5PUCR	4H	Reserved	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	P5IER	8H	P5FR	8H	Reserved	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	Reserved	CH	Reserved	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC180H	P6D	FFFC190H	Reserved	FFFC1A0H	Reserved	FFFC1B0H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	P6CR	4H	P6PUCR	4H	Reserved	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	P6IER	8H	P6FR	8H	Reserved	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	P6DSSR	CH	Reserved	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC1C0H	P7D	FFFC1D0H	Reserved	FFFC1E0H	Reserved	FFFC1F0H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	P7CR	4H	P7PUCR	4H	Reserved	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	P7IER	8H	P7FR1	8H	Reserved	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	P7DSSR	CH	P7FR2	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC200H	P8D	FFFC210H	P80DCR	FFFC220H	Reserved	FFFC230H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	P8CR	4H	P8PUCR	4H	Reserved	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	P8IER	8H	P8FR	8H	Reserved	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	P8DSSR	CH	Reserved	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名
FFFFC240H	P9D
1H	
2H	
3H	
4H	P9CR
5H	
6H	
7H	
8H	P9IER
9H	
AH	
BH	
CH	P9DSSR
DH	
EH	
FH	

ADR	レジスタ名
FFFFC250H	Reserved
1H	
2H	
3H	
4H	P9PUCR
5H	
6H	
7H	
8H	P9FR1
9H	
AH	
BH	
CH	P9FR2
DH	
EH	
FH	

ADR	レジスタ名
FFFFC260H	P9ECCR
1H	
2H	
3H	
4H	P9ECLR
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFFC270H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFFC280H	PAD
1H	
2H	
3H	
4H	PACR
5H	
6H	
7H	
8H	PAIER
9H	
AH	
BH	
CH	PADSSR
DH	
EH	
FH	

ADR	レジスタ名
FFFFC290H	Reserved
1H	
2H	
3H	
4H	PAPUCR
5H	
6H	
7H	
8H	PAFR
9H	
AH	
BH	
CH	PAECR
DH	
EH	
FH	

ADR	レジスタ名
FFFFC2A0H	PAECLR
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFFC2B0H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFFC2C0H	PBD
1H	
2H	
3H	
4H	PBCR
5H	
6H	
7H	
8H	PBIER
9H	
AH	
BH	
CH	PBDSSR
DH	
EH	
FH	

ADR	レジスタ名
FFFFC2D0H	Reserved
1H	
2H	
3H	
4H	PBPUCR
5H	
6H	
7H	
8H	PBFR
9H	
AH	
BH	
CH	PBECR
DH	
EH	
FH	

ADR	レジスタ名
FFFFC2E0H	PBECLR
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

ADR	レジスタ名
FFFFC2F0H	Reserved
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	Reserved
9H	
AH	
BH	
CH	Reserved
DH	
EH	
FH	

[2] PMD

ADR	レジスタ名
FFFFC300H	MDCR0
1H	
2H	
3H	
4H	MDCNTO
5H	
6H	
7H	
8H	MDPRD0
9H	
AH	
BH	
CH	CMPU0
DH	
EH	
FH	

ADR	レジスタ名
FFFFC310H	CMPV0
1H	
2H	
3H	
4H	CMPW0
5H	
6H	
7H	
8H	MDOUT0
9H	
AH	
BH	
CH	EMGRELO
DH	
EH	
FH	

ADR	レジスタ名
FFFFC320H	EMGCRO
1H	
2H	
3H	
4H	TRGCRO
5H	
6H	
7H	
8H	TRGCMP00
9H	
AH	
BH	
CH	TRGCMP01
DH	
EH	
FH	

ADR	レジスタ名
FFFFC330	TRGCMP02
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFC340H	MDCR1
1H	
2H	
3H	
4H	MDCNT1
5H	
6H	
7H	
8H	MDPRD1
9H	
AH	
BH	
CH	CMPU1
DH	
EH	
FH	

ADR	レジスタ名
FFFFC350H	CMPV1
1H	
2H	
3H	
4H	CMPW1
5H	
6H	
7H	
8H	MDOUT1
9H	
AH	
BH	
CH	EMGREL1
DH	
EH	
FH	

ADR	レジスタ名
FFFFC360H	EMGCR1
1H	
2H	
3H	
4H	TRGCR1
5H	
6H	
7H	
8H	TRGCMP10
9H	
AH	
BH	
CH	TRGCMP11
DH	
EH	
FH	

ADR	レジスタ名
FFFFC370	TRGCMP12
1H	
2H	
3H	
4H	Reserved
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[3] ABZ エンコーダ

ADR	レジスタ名
FFFFC400H	ENTNCR
1H	
2H	
3H	
4H	ENRELOAD
5H	
6H	
7H	
8H	ENINT
9H	
AH	
BH	
CH	ENCNT
DH	
EH	
FH	

ADR	レジスタ名
FFFFC410H	Reserved
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFC420H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[4] SIO

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC480H	SCOMOD0	FFFC490H	SC0BUF	FFFC4A0H	SC1MOD0	FFFC4B0H	SC1BUF
1H	SCOMOD1	1H		1H	SC1MOD1	1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	SCOCR	4H	SC0FCNF	4H	SC1CR	4H	SC1FCNF
5H	SCOMOD2	5H		5H	SC1MOD2	5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	BROCR	8H	SC0FTC	8H	BR1CR	8H	SC1FTC
9H	BROADD	9H	SC0FRC	9H	BR1ADD	9H	SC1FRC
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH	SC0FTS	CH		CH	SC1FTS
DH		DH	SC0FRS	DH		DH	SC1FRS
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC4C0H	SC2MOD0	FFFC4D0H	SC2BUF	FFFC4E0H	SC3MOD0	FFFC4F0H	SC3BUF
1H	SC2MOD1	1H		1H	SC3MOD1	1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	SC2CR	4H	SC2FCNF	4H	SC3CR	4H	SC3FCNF
5H	SC2MOD2	5H		5H	SC3MOD2	5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	BR2CR	8H	SC2FTC	8H	BR3CR	8H	SC3FTC
9H	BR2ADD	9H	SC2FRC	9H	BR3ADD	9H	SC3FRC
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH	SC2FTS	CH		CH	SC3FTS
DH		DH	SC2FRS	DH		DH	SC3FRS
EH		EH		EH		EH	
FH		FH		FH		FH	

[5] TMRB

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC700H	TBORUN	FFFC710H	TBOREG1	FFFC720H	TB1RUN	FFFC730H	TB1REG1
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	TBOMOD (L)	4H	TBOCPO	4H	TB1MOD (L)	4H	TB1CPO
5H	(TBOMODH)	5H		5H	(TB1MODH)	5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	TBOFF	8H	TBOCP1	8H	TB1FF	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	TBOREG0	CH	TBOCNT	CH	TB1REG0	CH	TB1CNT
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC740H	TB2RUN	FFFC750H	TB2REG1	FFFC760H	TB3RUN	FFFC770H	TB3REG1
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	TB2MOD (L)	4H	TB2CP0	4H	TB3MOD (L)	4H	TB3CP0
5H	(TB2MODH)	5H		5H	(TB3MODH)	5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	TB2FF	8H	Reserved	8H	TB3FF	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	TB2REG0	CH	TB2CNT	CH	TB3REG0	CH	TB3CNT
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

[6] WDT

ADR	レジスタ名
FFFC830H	WDMOD (L)
1H	(WDMODH)
2H	
3H	
4H	WDCR
5H	
6H	
7H	
8H	WDCNT
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[7-1] ADC (ノーマルモード)

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC900H	ADNRES0	FFFC910H	ADNRES4	FFFC920H	ADCHPRO	FFFC930H	ADCHPC0
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	ADNRES1	4H	ADNRES5	4H	ADNMOD0 (L)	4H	ADCMP00
5H		5H		5H	(ADNMOD0H)	5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	ADNRES2	8H	ADNRES6	8H	ADNCLK0	8H	ADCMP01
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	ADNRES3	CH	ADNRES7	CH	CMPCTLO (L)	CH	ADCBASNO
DH		DH		DH	(CMPCTLOH)	DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名
FFFC940H	ADCSTART0
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFC980H	ADNRES8
1H	
2H	
3H	
4H	ADNRES9
5H	
6H	
7H	
8H	ADNRES10
9H	
AH	
BH	
CH	ADNRES11
DH	
EH	
FH	

ADR	レジスタ名
FFFC990H	ADNRES12
1H	
2H	
3H	
4H	ADNRES13
5H	
6H	
7H	
8H	ADNRES14
9H	
AH	
BH	
CH	ADNRES15
DH	
EH	
FH	

ADR	レジスタ名
FFFC9A0H	ADCHPR1
1H	
2H	
3H	
4H	ADNMOD1(L) (ADNMOD1H)
5H	
6H	
7H	
8H	ADNCLK1
9H	
AH	
BH	
CH	CMPCTL1(L) (CMPCTL1H)
DH	
EH	
FH	

ADR	レジスタ名
FFFC9B0H	ADCHPC1
1H	
2H	
3H	
4H	ADCMP10
5H	
6H	
7H	
8H	ADCMP11
9H	
AH	
BH	
CH	ADCBAS1
DH	
EH	
FH	

ADR	レジスタ名
FFFC9C0H	ADCSTART1
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[7-2] ADC (PMD モード)

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC000H	ADPRES0	FFFC010H	ADPRES4	FFFC020H	Reserved	FFFC030H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	ADPRES1	4H	ADPRES5	4H	Reserved	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	ADPRES2	8H	ADPRES6	8H	Reserved	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	ADPRES3	CH	ADPRES7	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC040H	ADCSETT00 (L) (ADCSETT00H)	FFFC050H	Reserved	FFFC060H	ADPMOD01 (L) (ADPMOD01H)	FFFC070H	ADMDSSELO
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	Reserved	4H	Reserved	4H	ADCNE0 (L) (ADCNE0H)	4H	
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	ADCSET00 (L) (ADCSET00H)	8H	ADPCLK0	8H	ADCNT0	8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	ADCSET01 (L) (ADCSET01H)	CH	ADPMOD00	CH	ADCBASPO	CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFC080H	ADPRES8	FFFC090H	ADPRES12	FFFC0A0H	ADPRES16	FFFC0B0H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	ADPRES9	4H	ADPRES13	4H	ADPRES17	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	ADPRES10	8H	ADPRES14	8H	ADPRES18	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	ADPRES11	CH	ADPRES15	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFCDOH	ADCSETT10 (L) (ADCSETT10H)	FFFFCDD0H	ADCSET12 (L) (ADCSET12H)	FFFFCDE0H	ADPMOD11 (L) (ADPMOD11H)	FFFFCDF0H	ADMODSEL1
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	ADCSETT11	4H	Reserved	4H	ADCNE1 (L) (ADCNE1H)	4H	
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	ADCSET10 (L) (ADCSET10H)	8H	ADPCLK1	8H	ADCNT1	8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	ADCSET11 (L) (ADCSET11H)	CH	ADPMOD10	CH	ADCBASP1	CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

[8] IRC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFD00H	IMR00	FFFFD010H	IMR16	FFFFD020H	IMR32	FFFFD030H	IMR48
1H	(IMR01)	1H	(IMR17)	1H	(IMR33)	1H	(IMR49)
2H	(IMR02)	2H	(IMR18)	2H	(IMR34)	2H	(IMR50)
3H	(IMR03)	3H	(IMR19)	3H	(IMR35)	3H	(IMR51)
4H	IMR04	4H	IMR20	4H	IMR36	4H	IMR52
5H	(IMR05)	5H	(IMR21)	5H	(IMR37)	5H	(IMR53)
6H	(IMR06)	6H	(IMR22)	6H	(IMR38)	6H	(IMR54)
7H	(IMR07)	7H	(IMR23)	7H	(IMR39)	7H	(IMR55)
8H	IMR08	8H	IMR24	8H	IMR40	8H	IMR56
9H	(IMR09)	9H	(IMR25)	9H	(IMR41)	9H	(IMR57)
AH	(IMR10)	AH	(IMR26)	AH	(IMR42)	AH	(IMR58)
BH	(IMR11)	BH	(IMR27)	BH	(IMR43)	BH	(IMR59)
CH	IMR12	CH	IMR28	CH	IMR44	CH	IMR60
DH	(IMR13)	DH	(IMR29)	DH	(IMR45)	DH	(IMR61)
EH	(IMR14)	EH	(IMR30)	EH	(IMR46)	EH	(IMR62)
FH	(IMR15)	FH	(IMR31)	FH	(IMR47)	FH	(IMR63)
FFFFD040H	IMR64	FFFFD050H	IMR80	FFFFD080H	IVR	FFFFD070H	
1H	(IMR65)	1H	(IMR81)	1H		1H	
2H	(IMR66)	2H	(IMR82)	2H		2H	
3H	(IMR67)	3H	(IMR83)	3H		3H	
4H	IMR68	4H	IMR84	4H	ICLR	4H	
5H	(IMR69)	5H	(IMR85)	5H		5H	
6H	(IMR70)	6H	(IMR86)	6H		6H	
7H	(IMR71)	7H	(IMR87)	7H		7H	
8H	IMR72	8H	IMR88	8H	ILEV	8H	
9H	(IMR73)	9H	(IMR89)	9H		9H	
AH	(IMR74)	AH	(IMR90)	AH		AH	
BH	(IMR75)	BH	(IMR91)	BH		BH	
CH	IMR76	CH	IMR92	CH		CH	
DH	(IMR77)	DH	(IMR93)	DH		DH	
EH	(IMR78)	EH	(IMR94)	EH		EH	
FH	(IMR79)	FH	(IMR95)	FH		FH	

[9] CG

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFD300H	CLKACT	FFFFD310H	CLKNMI	FFFFD320H	Reserved	FFFFD330H	Reserved
1H		1H	Reserved	1H	Reserved	1H	
2H		2H	CLKWO	2H		2H	
3H		3H	Reserved	3H		3H	
4H	CLKOSC	4H	Reserved	4H		4H	
5H	CLKWUT	5H	Reserved	5H		5H	
6H	CLKSPD	6H	Reserved	6H		6H	
7H	CLKPRSC	7H	Reserved	7H		7H	
8H	Reserved	8H	Reserved	8H		8H	
9H	Reserved	9H	Reserved	9H		9H	
AH	Reserved	AH	CLKINT0	AH		AH	
BH		BH	CLKINT1	BH		BH	
CH	Reserved	CH	CLKINT2	CH		CH	
DH	CLKMISC	DH	CLKINT3	DH		DH	
EH		EH	Reserved	EH		EH	
FH		FH	Reserved	FH		FH	

[10] MODEC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFD400H	MODECR	FFFFD410H		FFFFD420H		FFFFD430H	
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H		4H		4H		4H	
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

[11] DMAC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFD600H	CCRO (LL)	FFFFD610H	BCRO (LL)	FFFFD620H	CCR1 (LL)	FFFFD630H	BCR1 (LL)
1H	(CCROLH)	1H	(BCROLH)	1H	(CCR1LH)	1H	(BCR1LH)
2H	(CCROHL)	2H	(BCROHL)	2H	(CCR1HL)	2H	(BCR1HL)
3H	(CCROHH)	3H	(BCROHH)	3H	(CCR1HH)	3H	(BCR1HH)
4H	CSRO (LL)	4H		4H	CSR1 (LL)	4H	
5H	(CSROLH)	5H		5H	(CSR1LH)	5H	
6H	(CSROHL)	6H		6H	(CSR1HL)	6H	
7H	(CSROHH)	7H		7H	(CSR1HH)	7H	
8H	SARO (LL)	8H	DTCRO (LL)	8H	SAR1 (LL)	8H	DTCR1 (LL)
9H	(SAROLH)	9H	(DTCROLH)	9H	(SAR1LH)	9H	(DTCR1LH)
AH	(SAROHL)	AH	(DTCROHL)	AH	(SAR1HL)	AH	(DTCR1HL)
BH	(SAROHH)	BH	(DTCROHH)	BH	(SAR1HH)	BH	(DTCR1HH)
CH	DARO (LL)	CH		CH	DAR1 (LL)	CH	
DH	(DAROLH)	DH		DH	(DAR1LH)	DH	
EH	(DAROHL)	EH		EH	(DAR1HL)	EH	
FH	(DAROHH)	FH		FH	(DAR1HH)	FH	

ADR	レジスタ名
FFFFD640H	CCR2 (LL)
1H	(CCR2LH)
2H	(CCR2HL)
3H	(CCR2HH)
4H	CSR2 (LL)
5H	(CSR2LH)
6H	(CSR2HL)
7H	(CSR2HH)
8H	SAR2 (LL)
9H	(SAR2LH)
AH	(SAR2HL)
BH	(SAR2HH)
CH	DAR2 (LL)
DH	(DAR2LH)
EH	(DAR2HL)
FH	(DAR2HH)

ADR	レジスタ名
FFFFD650H	BCR2 (LL)
1H	(BCR2LH)
2H	(BCR2HL)
3H	(BCR2HH)
4H	
5H	
6H	
7H	
8H	DTCR2 (LL)
9H	(DTCR2LH)
AH	(DTCR2HL)
BH	(DTCR2HH)
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD660H	CCR3 (LL)
1H	(CCR3LH)
2H	(CCR3HL)
3H	(CCR3HH)
4H	CSR3 (LL)
5H	(CSR3LH)
6H	(CSR3HL)
7H	(CSR3HH)
8H	SAR3 (LL)
9H	(SAR3LH)
AH	(SAR3HL)
BH	(SAR3HH)
CH	DAR3 (LL)
DH	(DAR3LH)
EH	(DAR3HL)
FH	(DAR3HH)

ADR	レジスタ名
FFFFD670H	BCR3 (LL)
1H	(BCR3LH)
2H	(BCR3HL)
3H	(BCR3HH)
4H	
5H	
6H	
7H	
8H	DTCR3 (LL)
9H	(DTCR3LH)
AH	(DTCR3HL)
BH	(DTCR3HH)
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD680H	CCR4 (LL)
1H	(CCR4LH)
2H	(CCR4HL)
3H	(CCR4HH)
4H	CSR4 (LL)
5H	(CSR4LH)
6H	(CSR4HL)
7H	(CSR4HH)
8H	SAR4 (LL)
9H	(SAR4LH)
AH	(SAR4HL)
BH	(SAR4HH)
CH	DAR4 (LL)
DH	(DAR4LH)
EH	(DAR4HL)
FH	(DAR4HH)

ADR	レジスタ名
FFFFD690H	BCR4 (LL)
1H	(BCR4LH)
2H	(BCR4HL)
3H	(BCR4HH)
4H	
5H	
6H	
7H	
8H	DTCR4 (LL)
9H	(DTCR4LH)
AH	(DTCR4HL)
BH	(DTCR4HH)
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD6A0H	CCR5 (LL)
1H	(CCR5LH)
2H	(CCR5HL)
3H	(CCR5HH)
4H	CSR5 (LL)
5H	(CSR5LH)
6H	(CSR5HL)
7H	(CSR5HH)
8H	SAR5 (LL)
9H	(SAR5LH)
AH	(SAR5HL)
BH	(SAR5HH)
CH	DAR5 (LL)
DH	(DAR5LH)
EH	(DAR5HL)
FH	(DAR5HH)

ADR	レジスタ名
FFFFD6B0H	BCR5 (LL)
1H	(BCR5LH)
2H	(BCR5HL)
3H	(BCR5HH)
4H	
5H	
6H	
7H	
8H	DTCR5 (LL)
9H	(DTCR5LH)
AH	(DTCR5HL)
BH	(DTCR5HH)
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD6C0H	CCR6 (LL)
1H	(CCR6LH)
2H	(CCR6HL)
3H	(CCR6HH)
4H	CSR6 (LL)
5H	(CSR6LH)
6H	(CSR6HL)
7H	(CSR6HH)
8H	SAR6 (LL)
9H	(SAR6LH)
AH	(SAR6HL)
BH	(SAR6HH)
CH	DAR6 (LL)
DH	(DAR6LH)
EH	(DAR6HL)
FH	(DAR6HH)

ADR	レジスタ名
FFFFD6D0H	BCR6 (LL)
1H	(BCR6LH)
2H	(BCR6HL)
3H	(BCR6HH)
4H	
5H	
6H	
7H	
8H	DTCR6 (LL)
9H	(DTCR6LH)
AH	(DTCR6HL)
BH	(DTCR6HH)
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD6E0H	CCR7 (LL)
1H	(CCR7LH)
2H	(CCR7HL)
3H	(CCR7HH)
4H	CSR7 (LL)
5H	(CSR7LH)
6H	(CSR7HL)
7H	(CSR7HH)
8H	SAR7 (LL)
9H	(SAR7LH)
AH	(SAR7HL)
BH	(SAR7HH)
CH	DAR7 (LL)
DH	(DAR7LH)
EH	(DAR7HL)
FH	(DAR7HH)

ADR	レジスタ名
FFFFD6F0H	BCR7 (LL)
1H	(BCR7LH)
2H	(BCR7HL)
3H	(BCR7HH)
4H	
5H	
6H	
7H	
8H	DTCR7 (LL)
9H	(DTCR7LH)
AH	(DTCR7HL)
BH	(DTCR7HH)
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD700H	DCR (LL)
1H	(DCRLH)
2H	(DCRHL)
3H	(DCRHH)
4H	Reserved
5H	Reserved
6H	Reserved
7H	Reserved
8H	
9H	
AH	
BH	
CH	DHR (LL)
DH	(DHRLH)
EH	(DHRHL)
FH	(DHRHH)

ADR	レジスタ名
FFFFD710H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD720H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD730H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD740H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD750H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD760H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFD770H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[12] Flash (FLASH 版のみ/DMA できません)

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE510H	SEQMOD	FFFFE520H	FLCS	FFFFE530H	BODCR
1H		1H		1H	
2H		2H		2H	
3H		3H		3H	
4H	SEQCNT	4H		4H	BODLR
5H		5H		5H	
6H		6H		6H	
7H		7H		7H	
8H	Reserved	8H		8H	B1DCR
9H		9H		9H	
AH		AH		AH	
BH		BH		BH	
CH	Reserved	CH		CH	B1DLR
DH		DH		DH	
EH		EH		EH	
FH		FH		FH	

[13] ROM correction (DMA できません)

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE540H	ADDREG0	FFFFE550H	ADDREG4	FFFFE560H	Reserved	FFFFE570H	Reserved
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	ADDREG1	4H	ADDREG5	4H	Reserved	4H	Reserved
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	ADDREG2	8H	ADDREG6	8H	Reserved	8H	Reserved
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	ADDREG3	CH	ADDREG7	CH	Reserved	CH	Reserved
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

18.2 バスエラー領域

FFFF_C000	PORT0~3	FFFF_D000	IRC	FFFF_D6BC	(注2)
FFFF_C0FF		FFFF_D0FF		FFFF_D6BF	
FFFF_C100	(注1)	FFFF_D080	(注1)	FFFF_D6C0	DMAC
FFFF_C13F		FFFF_D2FF		FFFF_D6DB	
FFFF_C140	PORT5~B	FFFF_D300	CG	FFFF_D6DC	(注2)
FFFF_C2FF		FFFF_D33F		FFFF_D6DF	
FFFF_C300	PMD	FFFF_D340	(注1)	FFFF_D6E0	DMAC
FFFF_C37F		FFFF_D3FF		FFFF_D6FB	
FFFF_C380	(注1)	FFFF_D400	MODEC	FFFF_D6FC	(注2)
FFFF_C3FF		FFFF_D4FF		FFFF_D6FF	
FFFF_C400	ENC	FFFF_D500	(注1)	FFFF_D700	DMAC
FFFF_C43F		FFFF_D5FF		FFFF_D707	
FFFF_C440	(注1)	FFFF_D600	DMAC	FFFF_D708	(注2)
FFFF_C47F		FFFF_D61B		FFFF_D70B	
FFFF_C480	SIO	FFFF_D61C	(注2)	FFFF_D70C	DMAC
FFFF_C4DF		FFFF_D61F		FFFF_D70F	
FFFF_C4E0	(注1)	FFFF_D620	DMAC	FFFF_D710	(注2)
FFFF_C6FF		FFFF_D63B		FFFF_D7FF	
FFFF_C700	TMRB	FFFF_D63C	(注2)	FFFF_D800	(注1)
FFFF_C77F		FFFF_D63F		FFFF_E3FF	
FFFF_C780	(注1)	FFFF_D640	DMAC	FFFF_E400	Reserved
FFFF_C82F		FFFF_D65B		FFFF_E40F	
FFFF_C830	WDT	FFFF_D65C	(注2)	FFFF_E410	(注1)
FFFF_C83F		FFFF_D65F		FFFF_E47F	
FFFF_C840	(注1)	FFFF_D660	DMAC	FFFF_E480	Reserved
FFFF_C8FF		FFFF_D67B		FFFF_E48B	
FFFF_C900	ADC (NORMAL)	FFFF_D67C	(注2)	FFFF_E48C	(注2)
FFFF_C9FF		FFFF_D67F		FFFF_E4FF	
FFFF_CA00	(注1)	FFFF_D680	DMAC	FFFF_E500	FLASH /ROM
FFFF_CCFF		FFFF_D69B		FFFF_E6FF	
FFFF_CD00	ADC (PMD)	FFFF_D69C	(注2)	FFFF_E700	(注1)
FFFF_CDFF		FFFF_D69F		FFFF_FFFF	
FFFF_CE00	(注1)	FFFF_D6A0	DMAC		
FFFF_CFFF		FFFF_D6BB			

(注1) ロードアクセスでバスエラー発生領域です。ストアアクセス時にバスエラー例外は発生しませんが、NMIが発生します。(MODECR<BERCTL>="0")

(注2) ロードアクセスでバスエラー発生領域ですが、ストアアクセスでNMIは発生しません。

19. 電気的特性

19.1 最大定格

計算式に使用している“X”は、CLKPRSC<PRS1>/<PRS2>で選択されたクロック f_{sys} 及び IMCLK の周期を示しますので CLKPRSC<PRS1>/<PRS2> の値を変えると“X”の値が異なります。

MASK 製品

項目		記号	定格	単位
電源電圧		V_{CC15} (内部)	-0.3~3.0	V
		V_{CC3} (I/O)	-0.3~3.9	
		AVCC (A/D)	-0.3~3.6	
入力電圧		V_{IN}	-0.3~ $V_{CC3} + 0.3$ (注1) -0.3~AVCC + 0.3 (注2)	V
低レベル 出力電流	1 端子	I_{OL}	15	mA
	合計	ΣI_{OL}	80	
高レベル 出力電流	1 端子	I_{OH}	-15	
	合計	ΣI_{OH}	-50	
消費電力 ($T_a = 85^\circ\text{C}$)		PD	600	mW
はんだ付け 温度	10 秒	T_{SOLDER}	260	$^\circ\text{C}$
	3 秒	T_{SOLDER}	350	$^\circ\text{C}$
平均温度		$T_{a\text{-ave}}$	-20~65	$^\circ\text{C}$
保存温度		T_{STG}	-65~150	$^\circ\text{C}$
動作温度		T_{OPR}	-40~85	$^\circ\text{C}$

$V_{CC15} = DVCC15 = CVCC15$ 、 $V_{CC3} = DVCC3$ 、 $AVCC = AVCC_n$ ($n=0\sim1$)

$V_{SS} = DVSS = AVSS = CVSS$ と定義します。

- (注1) V_{CC3} の絶対最大定格 (-0.3~3.9V) を超えないようにしてください。
- (注2) P5~P7 は AVCC を各ポートファンクション電源として使用しますので、AVCC の最大定格 (-0.3~3.6V) を使用してください。
- (注3) 最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。最大定格 (電流、電圧、消費電力、温度) を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず最大定格を超えないようにかつできる限り最大定格に近づけないように応用機器の設計を行ってください。

FLASH 製品

項目		記号	定格	単位
電源電圧		V_{CC2} (内部)	-0.3~3.6	V
		V_{CC3} (I/O)	-0.3~3.9	
		AVCC (A/D)	-0.3~3.6	
入力電圧		V_{IN}	-0.3~ $V_{CC3} + 0.3$ (注1) -0.3~AVCC + 0.3 (注2)	V
低レベル 出力電流	1 端子	I_{OL}	15	mA
	合計	ΣI_{OL}	80	
高レベル 出力電流	1 端子	I_{OH}	-15	
	合計	ΣI_{OH}	-50	
消費電力 ($T_a = 85^\circ\text{C}$)		PD	1000	mW
はんだ付け 温度	10 秒	T_{SOLDER}	260	$^\circ\text{C}$
	3 秒	T_{SOLDER}	350	$^\circ\text{C}$
平均温度		$T_{a\text{ ave}}$	-20~65	$^\circ\text{C}$
保存温度		T_{STG}	-65~150	$^\circ\text{C}$
動作温度	Flash W/E 時を 除く	T_{OPR}	-40~85	$^\circ\text{C}$
	Flash W/E 時		-0~60	
書き換え回数		N_{WE}	100	cycle

$V_{CC2}=DVCC2=CVCC2=V_{VCC2}$ 、 $V_{CC3}=FVCC3=DVCC3$ 、AVCC=AVCCn (n=0~1)

$V_{SS}=DVSS=AVSS=CVSS=FVSS$ と定義します。

- (注1) V_{CC3} の絶対最大定格 (-0.3~3.9V) を超えないようにしてください。
- (注2) P5~P7 は AVCC を各ポートファンクション電源として使用しますので、AVCC の最大定格 (-0.3~3.6V) を使用してください。
- (注3) 最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。最大定格 (電流、電圧、消費電力、温度) を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず最大定格を超えないようにかつできる限り最大定格に近づけないように応用機器の設計を行ってください。
- (注4) Flash の書き換え回数は FlashROM に内蔵されている不揮発性 bit も含まれます。また不揮発性 bit に同じ値をセット/クリアしても書き換え回数にカウントされますのでご注意ください。

19.2 推奨動作条件

MASK 製品

Ta=-40~85°C

項目		記号	条件	Min.	Typ. (注1)	Max.	単位
電源電圧 DVCC15=CVCC15 DVCC3 CVSS=DVSS=AVSS=0V		DVCC15	入力 CLK = 4~7MHz f _{sys} = 32~56MHz	1.35		1.65	V
		DVCC3		3.0		3.6	
		AVCCn		3.0		3.6	
低レベル入力電圧	P0~P1, P23, P3, P80~P83, P85~P86, P94, PA0~PA5, PB0~PB5	V _{IL}	$3.0V \leq DVCC3 \leq 3.6V$			0.3 DVCC3	V
	P5~P63 (ポートとして使用)	V _{IL1}	$3.0V \leq AVCCn (n=0, 1) \leq 3.6V$			0.3 AVCCn	
	P20~P22, P24, P64~P67, P70~P72, P84, P87, P90~P93, P95, PA6~PA7, PB6~PB7, P95/NMI, RESET	V _{IL2}	$3.0V \leq DVCC3 \leq 3.6V$ $3.0V \leq AVCCn (n=0, 1) \leq 3.6V$	-0.3		0.2 DVCC3 (0.2 AVCCn)	
	X1	V _{IL3}	$1.35V \leq CVCC15 \leq 1.65V$			0.1 CVCC15	
高レベル入力電圧	P0~P1, P23, P3, P80~P83, P85~P86, P94, PA0~PA5, PB0~PB5	V _{IH}	$3.0V \leq DVCC3 \leq 3.6V$	0.7 DVCC3		DVCC3	V
	P5~P63 (ポートとして使用)	V _{IH1}	$3.0V \leq AVCCn (n=0, 1) \leq 3.6V$	0.7 AVCCn		AVCCn	
	P20~P22, P24, P64~P67, P70~P72, P84, P87, P90~P93, P95, PA6~PA7, PB6~PB7, P95/NMI, RESET	V _{IH2}	$3.0V \leq DVCC3 \leq 3.6V$ $3.0V \leq AVCCn (n=0, 1) \leq 3.6V$	0.8 DVCC3 (0.8 AVCCn)		DVCC3 (AVCCn)	
	X1	V _{IH3}	$1.35V \leq CVCC15 \leq 1.65V$	0.9 CVCC15		CVCC15	

(注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用了場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

(注2) 推奨動作条件を満たしていても必ず絶対最大定格を超えない範囲で使用してください。

(注3) AVCCn は P5~P7 の各ポートファンクション電源としても使用しますので、A/D コンバータを使用しない場合でも電源と接続してください。

(注4) 特に指定のない限り各ポートにアサインされたファンクション機能もポートと同じ値になります。

FLASH 製品

Ta=-40~85°C

項目	記号	条件	Min.	Typ. (注1)	Max.	単位
電源電圧 DVCC2=VCC2=CVCC2 DVCC3=VCC3 CVSS=DVSS=VSS=AVSS=0V	DVCC2	入力 CLK = 4~7MHz f _{sys} = 32~56MHz	2.3		2.7	V
	DVCC3		3.0		3.6	
	AVCCn		3.0		3.6	
低レベル入力電圧	P0~P1, P23, P3, P80~P83, P85~P86, P94, PA0~PA5, PB0~PB5	$3.0V \leq DVCC3 \leq 3.6V$			0.3 DVCC3	V
	P5~P63 (ポートとして使用)	$3.0V \leq AVCCn (n=0, 1) \leq 3.6V$			0.3 AVCCn	
	P20~P22, P24, P64~P67, P70~P72, P84, P87, P90~P93, P95, PA6~PA7, PB6~PB7, P95/NMI, RESET	$3.0V \leq DVCC3 \leq 3.6V$ $3.0V \leq AVCCn (n=0, 1) \leq 3.6V$	-0.3		0.2 DVCC3 (0.2 AVCCn)	
	X1	$2.3V \leq CVCC2 \leq 2.7V$			0.1 CVCC2	
高レベル入力電圧	P0~P1, P23, P3, P80~P83, P85~P86, P94, PA0~PA5, PB0~PB5	$3.0V \leq DVCC3 \leq 3.6V$		0.7 DVCC3	DVCC3	V
	P5~P63 (ポートとして使用)	$3.0V \leq AVCCn (n=0, 1) \leq 3.6V$		0.7 AVCCn	AVCCn	
	P20~P22, P24, P64~P67, P70~P72, P84, P87, P90~P93, P95, PA6~PA7, PB6~PB7, P95/NMI, RESET	$3.0V \leq DVCC3 \leq 3.6V$ $3.0V \leq AVCCn (n=0, 1) \leq 3.6V$		0.8 DVCC3 (0.8 AVCCn)	DVCC3 (AVCCn)	
	X1	$2.3V \leq CVCC2 \leq 2.7V$		0.9 CVCC2	CVCC2	

(注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用了した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

(注2) 推奨動作条件を満たしていても必ず絶対最大定格を超えない範囲で使用してください。

(注3) AVCCn は P5~P7 の各ポートファンクション電源としても使用しますので、A/D コンバータを使用しない場合でも電源と接続してください。

(注4) 特に指定のない限り各ポートにアサインされたファンクション機能もポートと同じ値になります。

19.3 DC 電気的特性 (1/2)

MASK 製品

Ta=-40~85°C

項目		記号	条件		Min.	Typ. (注1)	Max.	単位		
低レベル出力電圧 (注2)	ドライブ弱	V _{OL}	I _{OL} =0.5mA	DVCC3≥3.0V			0.4	V		
	ドライブ強		I _{OL} =2mA	DVCC3≥3.0V						1.0
			I _{OL} =10mA	DVCC3≥3.0V						
高レベル出力電圧 (注2)	ドライブ弱	V _{OH}	I _{OH} =-0.5mA	DVCC3≥3.0V	2.4					
	ドライブ強		I _{OH} =-2mA	DVCC3≥3.0V						
入力リーク電流		I _{LI}	0.0≤V _{IN} ≤DVCC3 0.0≤V _{IN} ≤AVCCn(n=0, 1)			0.02	±5	μA		
出力リーク電流		I _{LO}	0.2≤V _{IN} ≤DVCC3-0.2 0.2≤V _{IN} ≤AVCCn-0.2(N=0, 1)			0.05	±10	μA		
ヒステリシス (シュミット幅) P20~P22, P24, P64~P67, P70~ P72, P84, P87, P90~P93, P95, PA6~PA7, PB6~PB7, P95/NMI, RESET		ΔVIN	3.0V≤DVCC3≤3.6V 3.0V≤AVCCn(n=0, 1)≤3.6V		0.4	0.9	1.6	V		
プルアップ抵抗		PUP	DVCC3=3.0V~3.6V		40	100	185	kΩ		
Pin 容量 (電源端子を除く)		C _{I0}	fc=1MHz				10	pF		

(注1) Typ 値は特に指定のない限り Ta=25°C, DVCC3=3.3V, DVCC15=1.5V, AVCCn=3.3V の値です。

(注2) ドライブ強/弱は各 PORT のレジスタ PnDSSR で切り替えることができます。

FLASH 製品

Ta=-40~85°C

項目		記号	条件		Min.	Typ. (注1)	Max.	単位		
低レベル出力電圧 (注2)	ドライブ弱	V _{OL}	I _{OL} =0.5mA	DVCC3≥3.0V			0.4	V		
	ドライブ強		I _{OL} =2mA	DVCC3≥3.0V						1.0
			I _{OL} =10mA	DVCC3≥3.0V						
高レベル出力電圧 (注2)	ドライブ弱	V _{OH}	I _{OH} =-0.5mA	DVCC3≥3.0V	2.4					
	ドライブ強		I _{OH} =-2mA	DVCC3≥3.0V						
入力リーク電流		I _{LI}	0.0≤V _{IN} ≤DVCC3 0.0≤V _{IN} ≤AVCCn(n=0, 1)			0.02	±5	μA		
出力リーク電流		I _{LO}	0.2≤V _{IN} ≤DVCC3-0.2 0.2≤V _{IN} ≤AVCCn-0.2(n=0, 1)			0.05	±10	μA		
ヒステリシス (シュミット幅) P20~P22, P24, P64~P67, P70~ P72, P84, P87, P90~P93, P95, PA6~PA7, PB6~PB7, P95/NMI, RESET		ΔVIN	3.0V≤DVCC3≤3.6V 3.0V≤AVCCn(n=0, 1)≤3.6V		0.4	0.9	1.6	V		
プルアップ抵抗		PUP	DVCC3=3.0V~3.6V		40	100	185	kΩ		
Pin 容量 (電源端子を除く)		C _{I0}	fc=1MHz				10	pF		

(注1) Typ 値は特に指定のない限り Ta=25°C, DVCC3=3.3V, DVCC2=2.5V, AVCCn=3.3V の値です。

(注2) ドライブ強/弱は各 PORT のレジスタ PnDSSR で切り替えることができます。

19.4 DC 電気的特性 (2/2)

MASK 製品

DVCC15=CVCC15=1.35V~1.65V, DVCC3=3.0V~3.6V, AVCCn=3.0V~3.6V

Ta=-40~85°C (n=0~1)

項目	記号	条件	Min.	Typ. (注1)	Max. (注2)	単位
NORMAL 1.5V系(注3)	I _{CCN15}	f _{sys} =56 MHz (入力クロック=7 MHz, PLL16 逡倍, ギア比 1/2)		70	90	mA
IDLE (Doze)	I _{CCD}			45	60	
IDLE (Halt)	I _{CCH}			45	60	
STOP	I _{CCSt}	DVCC15=CVCC15=1.35~1.65V DVCC3= 3.0~3.6V AVCCn=3.0~3.6V		3	5	mA

(注1) Typ 値は特に指定のない限り Ta=25°C, DVCC3=3.3V, DVCC15=1.5V, AVCCn=3.3V の値です。

(注2) Max 値は動作条件中において、いかなる場合でも超えない理論上の最大値です。

(注3) I_{CCN} (Typ) の測定条件 : 当社製演算プログラム実行、内蔵周辺 I/O 全て動作。

FLASH 製品

DVCC2=CVCC2=2.3V~2.7V, DVCC3= 3.0V~3.6V , AVCCn=3.0V~3.6V

Ta=-40~85°C (n=0~1)

項目	記号	条件	Min.	Typ. (注1)	Max. (注2)	単位
NORMAL 2.5V系(注3)	I _{CCN2}	f _{sys} =56 MHz (入力クロック=7 MHz, PLL16 逡倍, ギア比 1/2)		212	285	mA
IDLE (Doze)	I _{CCD2}			130	200	
IDLE (Halt)	I _{CCH2}			120	190	
STOP	I _{CCSt}	DVCC2=CVCC2=2.3~2.7V DVCC3= 3.0~3.6V AVCCn=3.0~3.6V		11	1000	μA

(注1) Typ 値は特に指定のない限り Ta=25°C, DVCC3=3.3V, DVCC2=2.5V, AVCCn=3.3V の値です。

(注2) Max 値は動作条件中において、いかなる場合でも超えない理論上の最大値です。

(注3) I_{CCN} (Typ) の測定条件 : 当社製演算プログラム実行、内蔵周辺 I/O 全て動作。

19.5 10ビット A/D 変換特性

MASK 製品

DVCC15=CVCC15=1.35~1.65V, DVCC3=3.0~3.6V, AVCCn=VREFH=3.0~3.6V,
AVSS=DVSS=VREFL=0V, Ta=-40~85°C

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)(注3)	VREFH		3.0		3.6	V
アナログ入力電圧	VAIN		AVSS		AVCCn	V
積分非直線性誤差(注6)	—	AVCCn = VREFH = 3.0~3.6V DVSS = AVSS		±1.5	± 3	LSB
微分直線性誤差	—	AVCCn 負荷容量 ≥ 10 μF VREFH 負荷容量 ≥ 10 μF 変換時間 ≥ 2.36 μs		± 1	± 2	LSB
オフセット誤差	—			± 4	± 7	LSB
ゲイン誤差	—			± 2	± 4	LSB
相対誤差 (注5)	—			4	8	LSB
総合誤差	—			± 4	± 7	LSB

(注1) 1LSB=(VREFH-VREFL)/1024[V]

(注2) AVCCn 端子に流れる電源電流は、デジタル電源端子の電源電流 : I_{CC} に含まれます。

(注3) 本製品の VREFHn は AVCCn と兼用端子になっています。

(注4) 本特性は ADC 入力兼用端子を他機能で使用していない場合です。

(注5) 本特性は、変換最小誤差と最大誤差の差です。

(注6) 本特性は、オフセット誤差、ゲイン誤差を調整した後の値です。

FLASH 製品

DVCC2=FVCC2=CVCC2=2.5±0.2V, DVCC3=3.3±0.3V, AVCCn=VREFH=3.0~3.6V,
AVSS=DVSS=VREFL=0V, Ta=-40~85°C

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)(注3)	VREFH		3.0		3.6	V
アナログ入力電圧	VAIN		AVSS		AVCCn	V
積分非直線性誤差(注6)	—	AVCCn = VREFH = 3.0~3.6V DVSS = AVSS		±1.5	± 3	LSB
微分直線性誤差	—	AVCCn 負荷容量 ≥ 10 μF VREFH 負荷容量 ≥ 10 μF 変換時間 ≥ 2.36 μs		± 1	± 2	LSB
オフセット誤差	—			± 4	± 7	LSB
ゲイン誤差	—			± 2	± 4	LSB
相対誤差 (注6)	—			4	8	LSB
総合誤差	—			± 4	± 7	LSB

(注1) 1LSB=(VREFH-VREFL)/1024[V]

(注2) AVCCn 端子に流れる電源電流は、デジタル電源端子の電源電流 : I_{CC} に含まれます。

(注3) 本製品の VREFHn は AVCCn と兼用端子になっています。

(注4) 本特性は ADC 入力兼用端子を他機能で使用していない場合です。

(注5) 本特性は、変換最小誤差と最大誤差の差です。

(注6) 本特性は、オフセット誤差、ゲイン誤差を調整した後の値です。

19.6 シリアルチャネルタイミング

MASK 製品

(1) I/O インタフェースモード (DVCC3=3.3±0.3V、DVCC15=1.5±0.15V、Ta=-40~85°C)

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

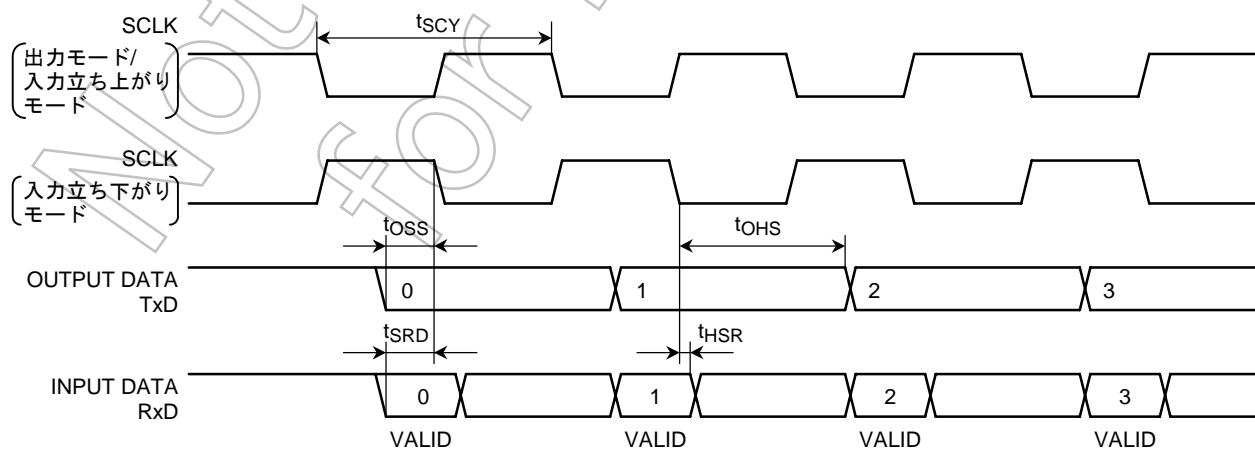
① SCLK 入力モード (S102)

項目	記号	計算式		56 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t _{SCY}	16x		286		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t _{OSS}	(t _{SCY} /2) - 4x - 23		50		ns
SCLK 立ち上がり → Output Data 保持 / 立ち下がり*	t _{OHS}	(t _{SCY} /2) + 2x		179		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t _{SRD}	2x + 8		44		ns
SCLK 立ち上がり → Input Data 保持 / 立ち下がり*	t _{HSR}	0		0		ns

* SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード (S102)

項目	記号	計算式		56 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	16x		286		ns
Output Data ← SCLK 立ち上がり	t _{OSS}	(t _{SCY} /2) - 15		128		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	(t _{SCY} /2) - 15		128		ns
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	2x + 23		59		ns
SCLK 立ち上がり → Input Data 保持	t _{HSR}	0		0		ns



(注1) 出力レベル測定条件 : High 0.8DVCC3[V]/Low 0.2DVCC3[V], CL=30pF

(注2) 入力レベル測定条件 : High 0.7DVCC3[V]/Low 0.2DVCC3[V]

FLASH 製品

(1) I/O インタフェースモード (DVCC3=3.3±0.3V、DVCC2=2.5±0.2V、Ta=-40~85°C)

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

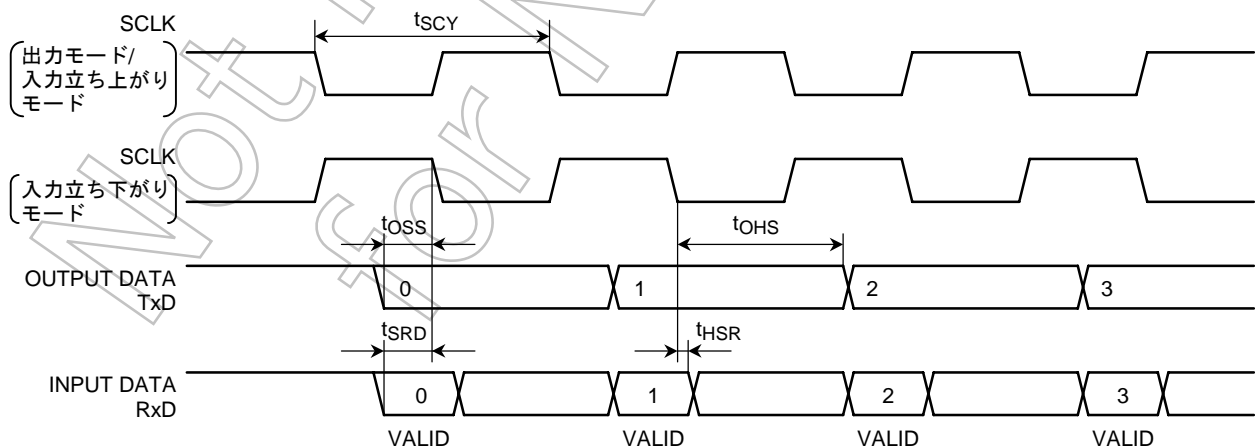
① SCLK 入力モード (S102)

項目	記号	計算式		56 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t _{SCY}	16x		286		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t _{OSS}	(t _{SCY} /2) - 4x - 23		50		ns
SCLK 立ち上がり → Output Data 保持 / 立ち下がり*	t _{OHS}	(t _{SCY} /2) + 2x		179		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t _{SRD}	2x + 8		44		ns
SCLK 立ち上がり → Input Data 保持 / 立ち下がり*	t _{HSR}	0		0		ns

* SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード (S102)

項目	記号	計算式		56 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	16x		286		ns
Output Data ← SCLK 立ち上がり	t _{OSS}	(t _{SCY} /2) - 15		128		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	(t _{SCY} /2) - 15		128		ns
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	2x + 23		59		ns
SCLK 立ち上がり → Input Data 保持	t _{HSR}	0		0		ns



(注 1) 出力レベル測定条件 : High 0.8DVCC3 [V]/Low 0.2DVCC3 [V], CL=30pF

(注 2) 入力レベル測定条件 : High 0.7DVCC3 [V]/Low 0.2DVCC3 [V]

19.7 イベントカウンタ

MASK 製品、FLASH 製品共通

表中の x は IMCLK の周期を表します。

項目	記号	計算式		IMCLK=28 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$X + 100$		136		ns
クロック高レベルパルス幅	t_{VCKH}	$X + 100$		136		ns

19.8 キャプチャ

MASK 製品、FLASH 製品共通

表中の x は IMCLK の周期を表します。

項目	記号	計算式		IMCLK=28 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$X + 100$		136		ns
高レベルパルス幅	t_{CPH}	$X + 100$		136		ns

19.9 割り込み (INTC)

MASK 製品、FLASH 製品共通

表中の x はシステムクロック (fsys) の周期を表します。

項目	記号	計算式		fsys=56 MHz		単位
		Min	Max	Min	Max	
INT0~A 低レベルパルス幅	t_{INTAL}	$X + 100$		118		ns
INT0~A 高レベルパルス幅	t_{INTAH}	$X + 100$		118		ns

19.10 割り込み (NMI, STOP 解除割り込み)

MASK 製品、FLASH 製品共通

項目	記号	計算式		fsys=56 MHz		単位
		Min	Max	Min	Max	
NMI, INT0~4 低レベルパルス幅	t_{INTBL}	100		100		ns
INT0~4 高レベルパルス幅	t_{INTBH}	100		100		ns

19.11 ADTRG 入力

MASK 製品、FLASH 製品共通

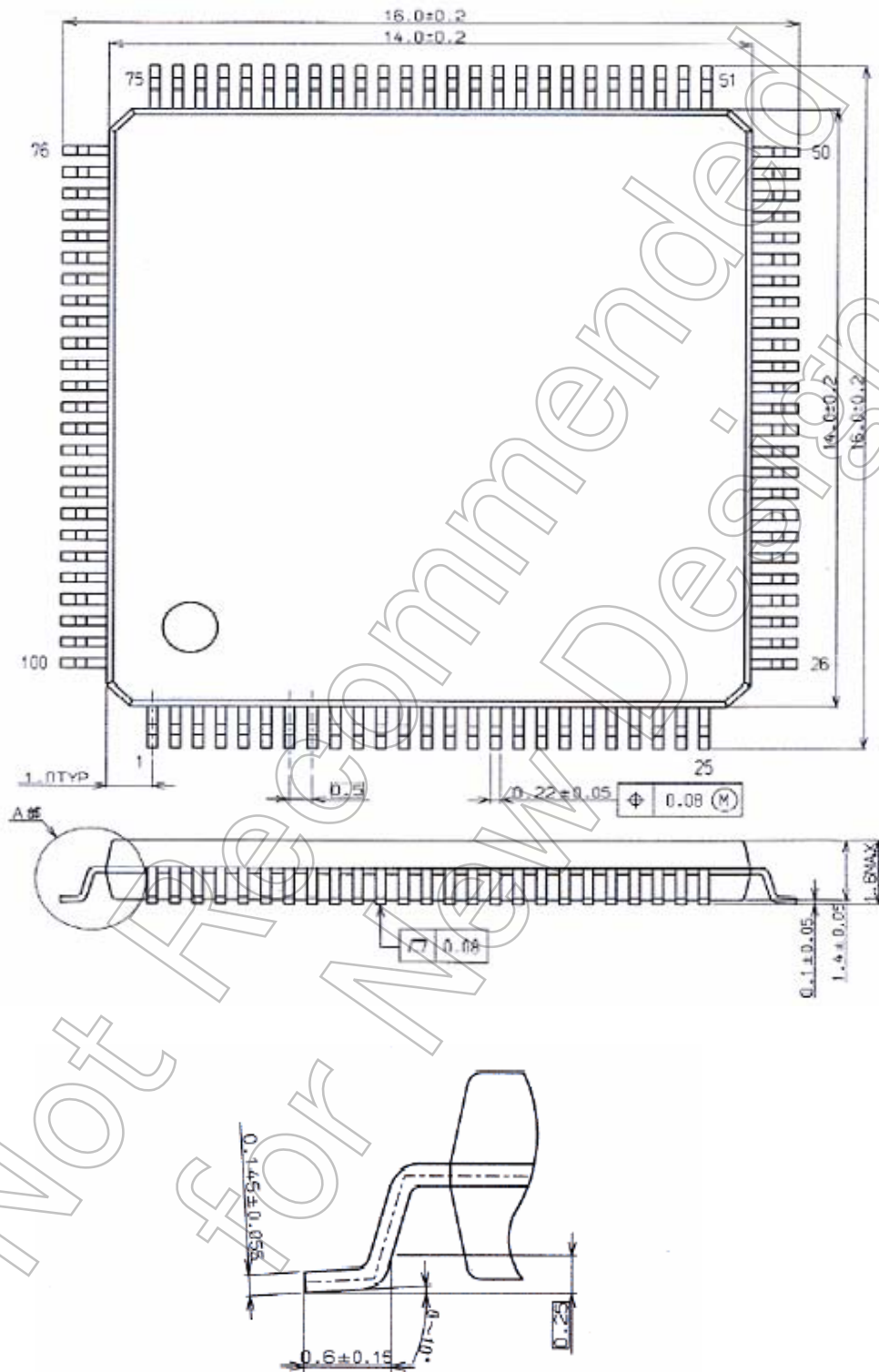
表中の x は IMCLK の周期を表します。

項 目	記号	計算式		IMCLK=28 MHz		単位
		Min	Max	Min	Max	
ADTRG 低レベルパルス幅	tad _L	X + 100		136		ns
ADTRG 高レベルパルス間隔	tadh	X + 100		136		ns

Not Recommended for New Design

20. パッケージ外形図

20.1 P-LQFP-1414-0.50F



20.2 P-QFP-1420-0.65A

