TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C1 シリーズ

TMP89FM46A

株式会社 東芝 セミコンダクター社

89FM46A と 89FM46, 89CM46 の相違点

内蔵発振器を搭載している製品(89FM46A)と内蔵発振器を搭載していない製品(89FM46, 89CM46)では下記の部分が異なりますのでご注意ください。詳細は「第 2 章 CPU コア」および「第 25 章 電気的特性」を参照してください。

・ システム制御レジスタ 1(SYSCR1)の初期値

SYSCR1		7	6	5	4	3	2	1	0
(0x0FDC)	Bit Symbol	STOP	RELM	OUTEN	DV9CK	OSCSEL	−	−	−
	Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	内蔵発振器を搭載している製品 (89FM46A)	内蔵発振器を搭載していない製品 (89FM46, 89CM46)
Bit Symbol	OSCSEL	−
Read/Write	R/W	R
リセット後	0	1
内容	高周波クロックの基準クロック選択	−
	0:内蔵高周波回路クロック(f_{OSC})を選択 1:外付け高周波発振器クロック(f_C)を選択	−

・ システム制御レジスタ 2(SYSCR2)の初期値

SYSCR2		7	6	5	4	3	2	1	0
(0x0FDD)	Bit Symbol	OSCEN	XEN	XTEN	SYSCK	IDLE	TGHALT	−	−
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R
	リセット後	1	0	0	0	0	0	0	0

	内蔵発振器を搭載している製品 (89FM46A)	内蔵発振器を搭載していない製品 (89FM46, 89CM46)
Bit Symbol	OSCEN	−
Read/Write	R/W	R
リセット後	1	0
内容	内蔵高周波発振回路の制御	−
	0:発振停止 1:発振継続あるいは発振開始	−

・ ウォーミングアップカウンタ制御レジスタ(WUCCR)の初期値

WUCCR (0x0FCD)	7	6	5	4	3	2	1	0
Bit Symbol	WUCRST	–	–	–	WUCDIV		WUCSEL	
Read/Write	W	R	R	R	R/W		R/W	
リセット後	0	0	0	0	1	1	0	0

	内蔵発振器を搭載している製品 (89FM46A)	内蔵発振器を搭載していない製品 (89FM46, 89CM46)
Bit Symbol	WUCSEL(ビット 1,0)	WUCSEL(ビット 1)、– (ビット 0)
Read/Write	R/W	R/W(ビット 1)、R(ビット 0)
リセット後	00	01
内容	ウォーミングアップカウンタの ソースクロック選択	ウォーミングアップカウンタの ソースクロック選択
	00:内蔵高周波発振回路クロック(f_{OSC})を選択 01:外付け高周波発振回路クロック(f_C)を選択 10: 外付け低周波発振回路クロック(f_S)を選択 11: Reserved	0:高周波発振回路クロック(f_C)を選択 1:低周波発振回路クロック(f_S)を選択

・ P0 ポートファンクション制御の初期値

P0FC (0x0F34)		7	6	5	4	3	2	1	0
Bit Symbol		–	–	–	–	–	P0FC2	–	P0FC0
Read/Write		R	R	R	R	R	R/W	R	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:						ポート機能		ポート機能
	1:						XTIN(I)		XIN(I)

	内蔵発振器を搭載している製品 (89FM46A)	内蔵発振器を搭載していない製品 (89FM46, 89CM46)
Bit Symbol	P0FC0	P0FC0
Read/Write	R/W	R/W
リセット後	0	1
内容	0:ポート機能 1:XIN(I)	0:ポート機能 1:XIN(I)

注) 機能を XIN(I)に切り替える場合(外付け発振器使用)、P0FC0 を"1"にしてから SYSCR2<XEN>に"1"をセットしてください。P0FC0 が"0"の状態で SYSCR2<XEN>を"1"に設定するとシステムクロック(内部要因)リセットが発生します。

・ 電気的特性のクロック周波数

(V_{SS} = 0V, Topr = −40 ~ 85°C)

項目	記号	条件	内蔵発振器を搭載している製品 (89FM46A)	内蔵発振器を搭載していない製品 (89FM46, 89CM46)	単位
クロック周波数	fcgck	V_{DD} = 2.2 ~ 5.5 V	0.25 ~ 2.0	0.25 ~ 2.0	MHz
		V_{DD} = 2.7 ~ 5.5 V	0.25 ~ 5.25	0.25 ~ 4.2	
		V_{DD} = 4.3 ~ 5.5 V	0.25 ~ 10.0	0.25 ~ 10.0	

マスク ROM 製品/フラッシュ製品を共用する際の注意点

・ フラッシュメモリ制御レジスタについて

　マスク ROM 製品はフラッシュメモリの制御に関連する以下の SFR レジスタを内蔵していませんので、これらのレジスタを操作するプログラムを実行した場合、マスク ROM 製品とフラッシュ製品では異なった動作をします。よってフラッシュ製品でマスク ROM 製品用のプログラム動作を確認する場合は、これらのレジスタを操作する処理をプログラム中に記述しないようにしてください。

レジスタ名	アドレス	マスク ROM 製品	フラッシュ製品
		89CM46	89FM46A
FLSCR1	0x0FD0	非内蔵	内蔵
FLSCR2 / FLSCRM	0x0FD1		
FLSSTB	0x0FD2		
SPCR	0x0FD3		

エミュレーションチップ(開発ツール)使用時の注意点

・ 電圧検出回路について

　TMP89C900 を実装した RTE870/C1 インサーキットエミュレータ(ICE モード)でデバッグする場合は、電源電圧の上昇時に検出電圧になっても INTVLTD 割り込みは発生しません。TMP89FM46A と動作が異なる場合がありますのでソフトウェアをデバッグする際はこれらの違いを考慮して検証をお願いします。

　詳しくは電圧検出回路の章を参照してください。

改訂履歴

日付	版	改訂理由
2008/12/22	Tentative 1	First Release
2008/12/22	Tentative 2	First Release
2009/6/30	3	First Release

目　次

89FM46A と 89FM46, 89CM46 の相違点

TMP89FM46A

第 2 章　CPU コア

第 3 章　割り込み制御回路

第 4 章　外部割り込み制御回路

第 5 章　ウォッチドッグタイマ(WDT)

第 6 章　パワーオンリセット回路

第 7 章　電圧検出回路

第 8 章　入出力ポート

第 9 章　スペシャルファンクションレジスタ

第 10 章　周辺機能の低消費電力機能

第 11 章　デバイダ出力 ($\overline{\text{DVO}}$)

第 15 章　時計専用タイマ (RTC)

第 16 章　非同期型シリアルインターフェース(UART)

第 17 章 同期式シリアルインタフェース(SIO)

第 18 章 シリアルバスインタフェース (SBI)

第 19 章　キーオンウェイクアップ(KWU)

第 20 章　10 ビット AD コンバータ(ADC)

第 21 章　フラッシュメモリ

第 22 章 シリアル PROM モード

第 23 章 オンチップデバッグ機能(OCD)

第 24 章 端子の入出力回路

第 25 章 電気的特性

第 26 章 外形寸法

CMOS 8 ビット マイクロコントローラ

TMP89FM46A

TMP89FM46A は、32768 バイトのフラッシュメモリを内蔵した高速、高機能 8 ビットシングルチップマイクロコンピュータです。

製品形名	ROM (フラッシュ)	RAM	パッケージ	エミュレーションチップ
TMP89FM46ADUG	32768 バイト	2048 バイト	LQFP48-P-0707-0.50D	* TMP89C900XBG

注) * ; 開発中

1.1 特 長

- 8 ビットシングルチップマイクロコントローラ: TLCS-870/C1 シリーズ
  - 最小実行時間:

    100 ns (10 MHz 動作時)

    122 µs (32.768 kHz 動作時)
  - 基本機械命令: 133 種類 732 命令
- 割り込み要因 25 要因 (外部: 6, 内部: 19 ,リセットを除く)
- 入出力ポート (42 端子)
  - 大電流出力 8 端子(Typ. 20mA)
- ウォッチドッグタイマ
  - 割り込み/リセットの選択 (プログラマブル)
- パワーオンリセット回路
- 電圧検出回路
- デバイダ出力機能
- タイムベースタイマ
- 16 ビットタイマカウンタ(TCA) : 2 チャネル
  - タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、PPG 出力モード
- 8 ビットタイマカウンタ(TC0) : 4 チャネル
  - タイマ、イベントカウンタ、PWM 出力、PPG 出力
  - 2 チャネルをカスケード接続することで 16 ビットタイマ、12 ビット PWM 出力、16 ビット PPG 出力として使用可能
- 時計専用タイマ
- UART : 1 チャネル
- UART/SIO : 1 チャネル ※本製品が同時に使用できる SIO は 1 チャネルです
- I^2C/SIO : 1 チャネル
- キーオンウェイクアップ : 8 チャネル
- 10 ビット逐次比較方式 AD コンバータ
  - アナログ入力: 8 チャネル
- オンチップデバッグ機能
  - ブレーク/ イベント
  - トレース
  - RAM モニタ

本製品は、米国 SST 社（Silicon Storage Technology, Inc）からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

- フラッシュメモリ書き込み
- クロック発振回路 : 2 回路

  シングル/デュアルクロックモードの選択
- 低消費電力動作 (8 モード)
  - STOP モード: 発振停止 (バッテリー/コンデンサバックアップ)
  - SLOW1 モード: 低周波クロックによる低周波動作 (高周波停止)
  - SLOW2 モード: 低周波クロックによる低周波動作 (高周波発振)
  - IDLE0 モード: CPU 停止。

    周辺ハードウエアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - IDLE1 モード: CPU 停止。

    周辺ハードウエアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
  - IDLE2 モード: CPU 停止。

    周辺ハードウエアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
  - SLEEP0 モード: CPU 停止。

    周辺ハードウエアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - SLEEP1 モード: CPU 停止。

    周辺ハードウエアのみ動作 (低周波クロック) 継続し、割り込みで解除。
- 動作電圧:

  4.3 V ~ 5.5 V @ 10MHz /32.768 kHz

  2.2 V ~ 5.5 V @ 2MHz /32.768 kHz

  2.7 V ~ 5.5 V @ 5.25 MHz /32.768 kHz

1.2 ピン配置図

図 1-1 ピン配置図

1.3　ブロック図

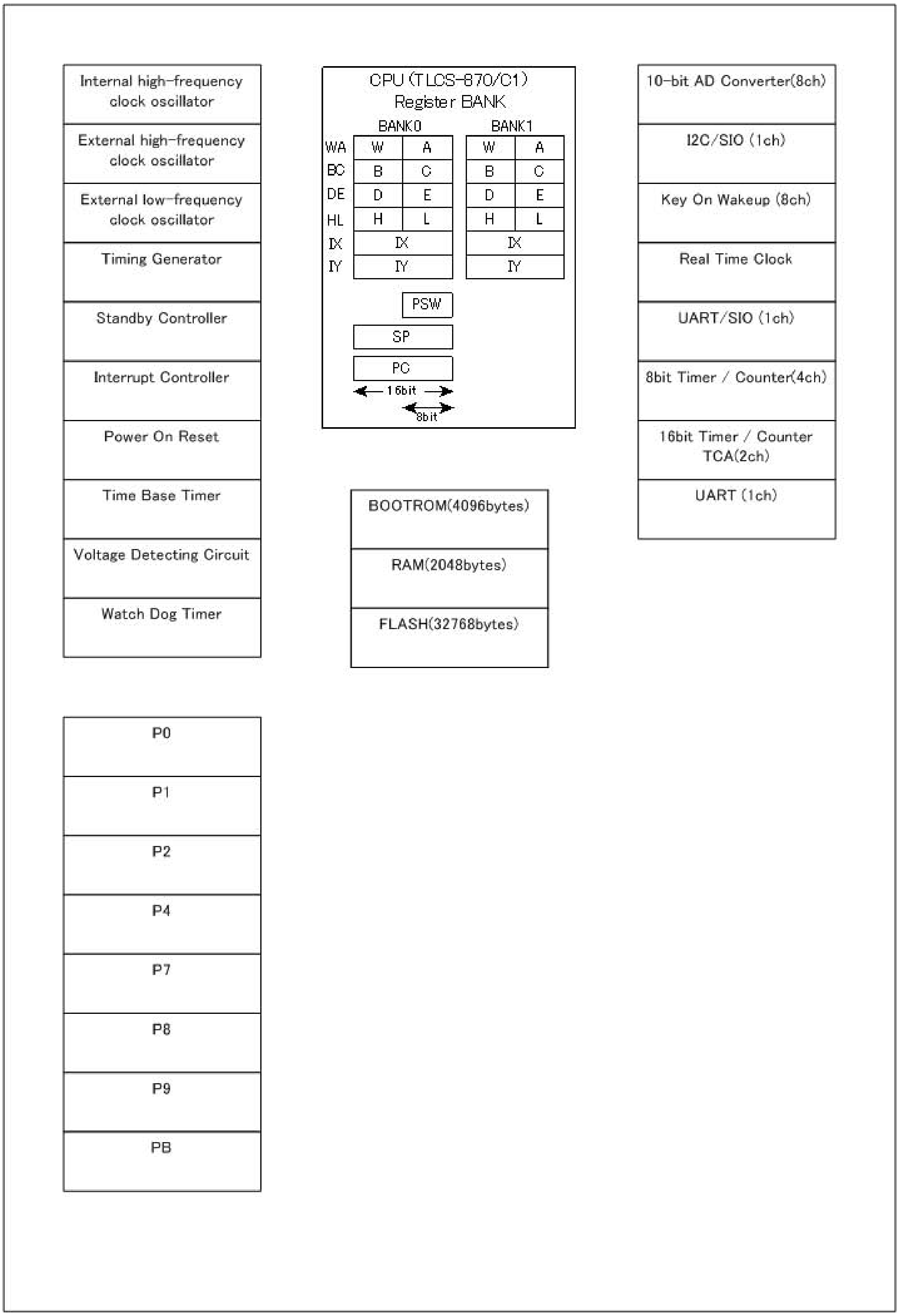


図 1-2 ブロック図

1.4 端子機能

TMP89FM46A は、MCU モードとシリアル PROM モード、パラレル PROM モードがあります。表 1-1 に MCU モード時の端子機能を示します。シリアル PROM モードについては、後続の「シリアル PROM モード」の章を参照してください。

表 1-1 端子機能表(1/3)

端子名	入出力	機能
P03 XTOUT	IO O	ポート 03 低周波発振子接続端子
P02 XTIN	IO I	ポート 02 低周波発振子接続端子
P01 XOUT	IO O	ポート 01 高周波発振子接続端子
P00 XIN	IO I	ポート 00 高周波発振子接続端子
P13 INT1	IO I	ポート 13 外部割り込み 1 入力
P12 $\overline{\text{INT0}}$	IO I	ポート 12 外部割り込み 0 入力
P11 $\overline{\text{INT5}}$ $\overline{\text{STOP}}$	IO I I	ポート 11 外部割り込み 5 入力 STOP モード解除入力
P10 $\overline{\text{RESET}}$	IO I	ポート 10 リセット信号入力
P27	IO	ポート 27
P26	IO	ポート 26
P25 SCLK0	IO IO	ポート 25 シリアルクロック入出力 0
P24 SCL0 SI0	IO IO I	ポート 24 I2C バスクロック入出力 0 シリアルデータ入力 0
P23 SDA0 SO0	IO IO O	ポート 23 I2C バスデータ入出力 0 シリアルデータ出力 0
P22 SCLK0	IO IO	ポート 22 シリアルクロック入出力 0
P21 RXD0 TXD0 SI0 OCDIO	IO I O I IO	ポート 21 UART データ入力 0 UART データ出力 0 シリアルデータ入力 0 OCD データ入出力
P20 TXD0 RXD0 SO0 OCDCK	IO O I O I	ポート 20 UART データ出力 0 UART データ入力 0 シリアルデータ出力 0 OCD クロック入力

表 1-2 端子機能表(2/3)

端子名	入出力	機能
P47 AIN7 KWI7	IO I I	ポート 47 アナログ入力 7 キーオンウェイクアップ入力 7
P46 AIN6 KWI6	IO I I	ポート 46 アナログ入力 6 キーオンウェイクアップ入力 6
P45 AIN5 KWI5	IO I I	ポート 45 アナログ入力 5 キーオンウェイクアップ入力 5
P44 AIN4 KWI4	IO I I	ポート 44 アナログ入力 4 キーオンウェイクアップ入力 4
P43 AIN3 KWI3	IO I I	ポート 43 アナログ入力 3 キーオンウェイクアップ入力 3
P42 AIN2 KWI2	IO I I	ポート 42 アナログ入力 2 キーオンウェイクアップ入力 2
P41 AIN1 KWI1	IO I I	ポート 41 アナログ入力 1 キーオンウェイクアップ入力 1
P40 AIN0 KWI0	IO I I	ポート 40 アナログ入力 0 キーオンウェイクアップ入力 0
P77 INT4	IO I	ポート 77 外部割り込み 4 入力
P76 INT3	IO I	ポート 76 外部割り込み 3 入力
P75 INT2	IO I	ポート 75 外部割り込み 2 入力
P74 $\overline{\text{DVO}}$	IO O	ポート 74 デバイダ出力
P73 TCA1 $\overline{\text{PPGA1}}$	IO I O	ポート 73 TCA1 入力 PPGA1 出力
P72 TCA0 $\overline{\text{PPGA0}}$	IO I O	ポート 72 TCA0 入力 PPGA0 出力
P71 TC01 $\overline{\text{PPG01}}$ $\overline{\text{PWM01}}$	IO I O O	ポート 71 TC01 入力 PPG01 出力 PWM01 出力

表 1-2 端子機能表(3/3)

端子名	入出力	機能
P70 TC00 $\overline{\text{PPG00}}$ $\overline{\text{PWM00}}$	IO I O O	ポート 70 TC00 入力 PPG00 出力 PWM00 出力
P83	IO	ポート 83
P82	IO	ポート 82
P81 TC03 $\overline{\text{PPG03}}$ $\overline{\text{PWM03}}$	IO I O O	ポート 81 TC03 入力 PPG03 出力 PWM03 出力
P80 TC02 $\overline{\text{PPG02}}$ $\overline{\text{PWM02}}$	IO I O O	ポート 80 TC02 入力 PPG02 出力 PWM02 出力
P91 RXD1 TXD1	IO I O	ポート 91 UART データ入力 1 UART データ出力 1
P90 TXD1 RXD1	IO O I	ポート 90 UART データ出力 1 UART データ入力 1
PB7	IO	ポート B7
PB6 SCLK0	IO IO	ポート B6 シリアルクロック入出力 0
PB5 RXD0 TXD0 SI0	IO I O I	ポート B5 UART データ入力 0 UART データ出力 0 シリアルデータ入力 0
PB4 TXD0 RXD0 SO0	IO O I O	ポート B4 UART データ出力 0 UART データ入力 0 シリアルデータ出力 0
MODE	I	出荷試験用端子。"L" レベルに固定してください。
VAREF	I	AD 変換用アナログ基準電圧入力端子
AVDD	I	アナログ用電源端子
AVSS	I	アナログ用 GND 端子
VDD	I	電源端子
VSS	I	GND 端子

第 2 章　CPU コア

2.1　構成

CPU コアは CPU、システムクロック制御回路、リセット制御回路から構成されます。

本章では CPU コアのメモリ空間、システムクロック制御回路、リセット制御回路について説明します。

2.2　メモリ空間

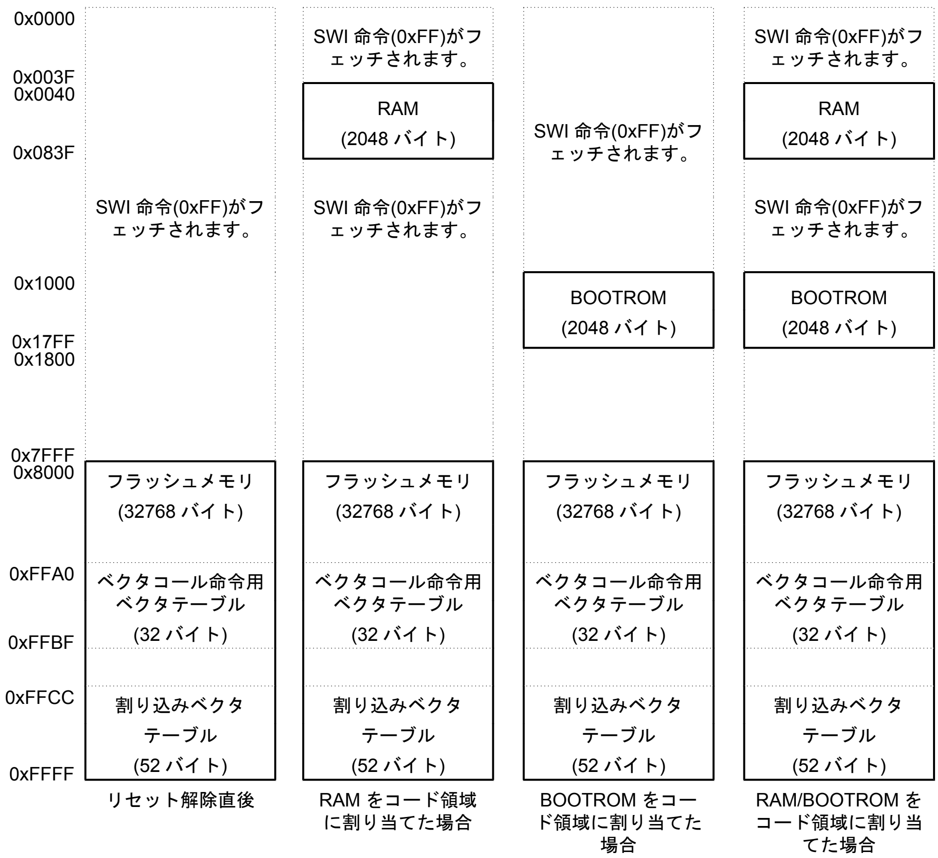
870/C1 CPU のメモリ空間は、命令のオペコード、オペランドとしてアクセスされるコード領域と、転送命令、演算命令などのソース、ディスティネーションとしてアクセスされるデータ領域から成り立っています。

コード領域、データ領域とも、それぞれ独立した 64K バイトのアドレス空間を持ちます。

2.2.1　コード領域

コード領域にはオペコード、オペランド、ベクタコール命令用ベクタテーブル、割り込みベクタテーブルが格納されます。

コード領域には RAM、BOOTROM、フラッシュメモリが割り当てられます。



注)　シリアル PROM モード以外では BOOTROM の前半 2K バイトのみメモリマップに割り当てられます。

図 2-1 コード領域のメモリマップ

2.2.1.1　RAM

RAM はリセット解除直後、データ領域に割り当てられます。

SYSCR3<RAREA>を"1"にセットし、SYSCR4 に 0xD4 を書き込むことで、RAM をコード領域の 0x0040 ~ 0x083F に割り当ててプログラムを実行することが可能です。

また、このとき SYSCR3<RVCTR>を"1"にセットし、SYSCR4 に 0xD4 を書き込むことで、ベクタコール命令用ベクタテーブルとリセットを除く割り込みベクタテーブルの領域を RAM に割り当てることができます。

ベクタコール命令については"TLCS-870/C1 シリーズ CPU"を、割り込みベクタテーブルについては、"第 3 章 割り込み制御回路"を参照してください。

シリアル PROM モード時、SYSCR3<RAREA>の値に関係なくコード領域の 0x0040 ~ 0x083F に割り当てられ、RAM ローダー機能を使って RAM 上でプログラムを実行することが可能です。

注 1)　RAM をコード領域に割り当てない場合、0x0040 ~ 0x083F は SWI 命令がフェッチされます。

注 2)　RAM の内容は電源投入時、リセット解除直後、不定になります。RAM でプログラムを実行する場合、実行するプログラムを初期化ルーチンで転送してください。

システム制御レジスタ 3

SYSCR3
(0x0FDE)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	RVCTR	RAREA	(RSTDIS)
Read/Write	R	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

RAREA	RAM のコード領域割り当て指定	0 :	RAM をコード領域の 0x0040 ~ 0x083F に割り当てない	
		1 :	RAM をコード領域の 0x0040 ~ 0x083F に割り当てる	
RVCTR	ベクタコール命令用ベクタテーブルと割り込みベクタテーブル割り当て設定		ベクタコール命令用ベクタテーブル	割り込みベクタテーブル
		0 :	コード領域の 0xFFA0 ~ 0xFFBF に割り当て	コード領域の 0xFFCC ~ 0xFFFF に割り当て
		1 :	コード領域の 0x01A0 ~ 0x01BF に割り当て	コード領域の 0x01CC ~ 0x01FD に割り当て

注 1)　SYSCR3<RAREA>の値は SYSCR4 に 0xD4 を書き込むまで有効となりません。

注 2)　ベクタアドレスを RAM に割り当てる場合は、SYSCR3<RAREA>と SYSCR3<RVCTR>を"1"に設定し、有効にしてください。

注 3)　シリアル PROM モードの時 SYSCR3<RVCTR>を"0"に設定しないでください。SYSCR3<RVCTR>が"0"に設定された状態で割り込みが発生するとコアは BOOTROM 内のベクタ領域を参照します。

注 4)　SYSCR3 のビット 7 ~ 3 は、読み出すと"0"が読み出されます。

システム制御レジスタ 4

SYSCR4
(0x0FDF)

	7	6	5	4	3	2	1	0
Bit Symbol	SYSCR4							
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0

SYSCR4	SYSCR3 のデータ制御コード書き込み	0xB2 :	SYSCR3<RSTDIS>の内容を有効にする
		0xD4 :	SYSCR3<RAREA>、SYSCR3<RVCTR>の内容を有効にする
		0x71 :	IRSTSR<FCLR>の内容を有効にする
		その他	無効

注 1)　SYSCR4 は Write only レジスタです。ビット操作などのリードモディファイライト命令でアクセスしないでください。

注 2) SYSCR3<RSTDIS>を変更し、SYSCR4 に有効コード(0xB2)を書き込むとき、ギアクロック(fcgck)が fc/4 (CGCR <FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更せずに連続して実行してください。それ以外の状態では予期せぬタイミングで SYSCR3<RSTDIS>が有効となることがあります。

注 3) IRSTSR<FCLR>を"1"に設定し、SYSCR4 に有効コード(0x71)を書き込むとき、ギアクロック(fcgck)が fc/4 (CGCR <FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更せずに連続して実行してください。それ以外の状態では予期せぬタイミングで IRSTSR<FCLR>が有効となることがあります。

システム制御ステータスレジスタ 4

SYSSR4 (0x0FDF)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	RVCTRS	RAREAS	(RSTDIS)
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

RAREAS	RAM のコード領域割り当て指定ステータス	0 : 1 :	有効になっている SYSCR3<RAREA>のデータが"0" 有効になっている SYSCR3<RAREA>のデータが"1"
RVCTRS	ベクタコール命令用ベクタテーブルと割り込みベクタテーブル割り当て設定ステータス	0 : 1 :	有効になっている SYSCR3<RVCTR>のデータが"0" 有効になっている SYSCR3<RVCTR>のデータが"1"

注) SYSSR4 のビット 7 ~ 3 は、読み出すと"0"が読み出されます。

(プログラム例) プログラムの転送（データ領域に格納されているプログラムを RAM へ転送する）

```
            LD    HL, TRANSFER_START_ADDRESS   ; 転送先の RAM のアドレス
            LD    DE, PROGRAM_START_ADDRESS    ; 転送元の ROM のアドレス
            LD    BC, BYTE_OF_PROGRAM          ; 実行するプログラムのバイト数-1
TRANS_RAM:  LD    A, (DE)                      ; 転送するプログラムの読み出し
            LD    (HL), A                      ; 転送するプログラムの書き込み
            INC   HL                           ; 転送先のアドレスインクリメント
            INC   DE                           ; 転送元のアドレスインクリメント
            DEC   BC                           ; すべてのプログラムを転送したか？
            J     F, TRANS_RAM
```

2.2.1.2 BOOTROM

BOOTROM はリセット解除後、コード領域にもデータ領域にも割り当てられません。

FLSCR1<BAREA>を"1"にセットし FLSCR2 に 0xD5 を書き込むことでコード領域の 0x1000 ~ 0x17FF、データ領域の 0x1000 ~ 0x17FF に割り当てられ、BOOTROM に内蔵されている API (Application Programming Interface)を使用し、フラッシュメモリへの書き込みを容易に行うことができます。

注 1) BOOTROM をコード領域に割り当てない場合、内蔵するフラッシュメモリの容量にあわせ、フラッシュメモリから命令をフェッチする、あるいは SWI 命令をフェッチします。

注 2) シリアル PROM モード以外では BOOTROM の前半 2K バイトのみメモリマップに割り当てられます。

フラッシュメモリ制御レジスタ 1

FLSCR1
(0x0FD0)

	7	6	5	4	3	2	1	0
Bit Symbol	(FLSMD)			BAREA	(FAREA)		(ROMSEL)	
Read/Write	R/W			R/W	R/W		R/W	
リセット後	0	1	0	0	0	0	0	0

BAREA	BOOTROM のコード領域、データ領域割り当て指定	0 :	BOOTROM をコード領域の 0x1000 ~ 0x17FF、データ領域の 0x1000 ~ 0x17FF に割り当てない
		1 :	BOOTROM をコード領域の 0x1000 ~ 0x17FF、データ領域の 0x1000 ~ 0x17FF に割り当てる

注)　フラッシュメモリ制御レジスタ 1 は、FLSCR1 レジスタとシフトレジスタとのダブルバッファ構造となっています。FLSCR1 レジスタの設定は、FLSCR2 レジスタに 0xD5 を書き込むことによってシフトレジスタに反映され、有効となります。よって FLSCR2 レジスタに 0xD5 を書き込むまでは、設定値は有効となりません。

フラッシュメモリ制御レジスタ 2

FLSCR2
(0x0FD1)

	7	6	5	4	3	2	1	0
Bit Symbol	CR1EN							
Read/Write	W	W	W	W	W	W	W	W
リセット後	*	*	*	*	*	*	*	*

CR1EN	FLSCR1 レジスタの許可/禁止制御	0xD5	FLSCR1 の変更を有効にする
		その他	Reserved

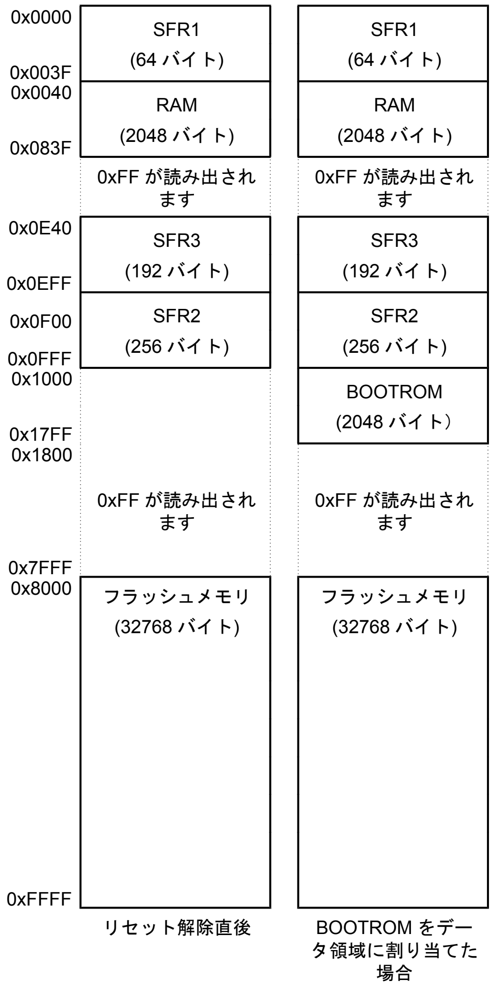
2.2.1.3　フラッシュメモリ

フラッシュメモリはリセット解除後、コード領域の 0x8000 ~ 0xFFFF に割り当てられます。

2.2.2　データ領域

データ領域には転送命令、演算命令などソース、ディスティネーションとしてアクセスされるデータが格納されます。

データ領域には SFR、RAM、BOOTROM、フラッシュメモリが割り当てられます。



注)　シリアル PROM モード以外では BOOTROM の前半 2K バイトのみメモリマップに割り当てられます。

図 2-2 データ領域のメモリマップ

2.2.2.1　SFR

SFR はリセット解除後、データ領域の 0x0000 ~ 0x003F(SFR1)、0x0F00 ~ 0x0FFF(SFR2)、0x0E40 ~ 0x0EFF(SFR3)に割り当てられます。

注)　Reserved の SFR にはアクセスしないでください。

2.2.2.2　RAM

RAM はリセット解除直後、データ領域の 0x0040 ~ 0x083F に割り当てられます。

注)　RAM の内容は電源投入時、リセット解除直後、不定になります。RAM でプログラムを実行する場合、初期化ルーチンで実行するプログラムの転送を行ってください。

(プログラム例)　RAM 初期化のプログラム例

```
          LD    HL, RAM_TOP_ADDRESS        ; 初期化する RAM の先頭アドレス
          LD    A, 0x00                    ; 初期化データ
          LD    BC, BYTE_OF_CLEAR_BYTES    ; 初期化する RAM のバイト数-1
CLR_RAM:  LD    (HL), A                    ; RAM の初期化
          INC   HL                         ; 初期化アドレスインクリメント
          DEC   BC                         ; すべての RAM を初期化したか？
          J     F, CLR_RAM
```

2.2.2.3　BOOTROM

BOOTROM はリセット解除後、コード領域にもデータ領域にも割り当てられません。

FLSCR1<BAREA>を"1"にセットし、FLSCR2 に 0xD5 を書き込むことでコード領域の 0x1000 ~ 0x17FF、データ領域の 0x1000 ~ 0x17FF に割り当てられ、BOOTROM に内蔵されている API (Application Programming Interface)を使用し、フラッシュメモリへの書き込みを容易に行うことができます。

注 1)　BOOTROM をデータ領域に割り当てない場合、0x1000 ~ 0x17FF は 0xFF が読み出されます。

注 2)　シリアル PROM モード以外では BOOTROM の前半 2K バイトのみメモリマップに割り当てられます。

フラッシュメモリ制御レジスタ 1

FLSCR1 (0x0FD0)

	7	6	5	4	3	2	1	0
Bit Symbol	(FLSMD)			BAREA	(FAREA)		(ROMSEL)	
Read/Write	R/W			R/W	R/W		R/W	
リセット後	0	1	0	0	0	0	0	0

BAREA	BOOTROM のコード領域、データ領域割り当て指定	0 :	BOOTROM をコード領域の 0x1000 ~ 0x17FF、データ領域の 0x1000 ~ 0x17FF に割り当てない
		1 :	BOOTROM をコード領域の 0x1000 ~ 0x17FF、データ領域の 0x1000 ~ 0x17FF に割り当てる

注)　フラッシュメモリ制御レジスタ 1 は、FLSCR1 レジスタとシフトレジスタとのダブルバッファ構造となっています。FLSCR1 レジスタの設定は、FLSCR2 レジスタに 0xD5 を書き込むことによってシフトレジスタに反映され、有効となります。よって FLSCR2 レジスタに 0xD5 を書き込むまでは、設定値は有効となりません。

フラッシュメモリ制御レジスタ 2

FLSCR2 (0x0FD1)

	7	6	5	4	3	2	1	0
Bit Symbol	CR1EN							
Read/Write	W							
リセット後	*	*	*	*	*	*	*	*

CR1EN	FLSCR1 レジスタの許可/禁止制御	0xD5	FLSCR1 の変更を有効にする
		その他	Reserved

2.2.2.4 フラッシュメモリ

フラッシュメモリはリセット解除後、データ領域の 0x8000 ~ 0xFFFF に割り当てられます。

2.3　システムクロック制御回路

2.3.1　構成

システムクロック制御回路は、クロックジェネレータ,クロックギア、タイミングジェネレータ、ウォーミングアップカウンタおよび動作モード制御回路から構成されています。

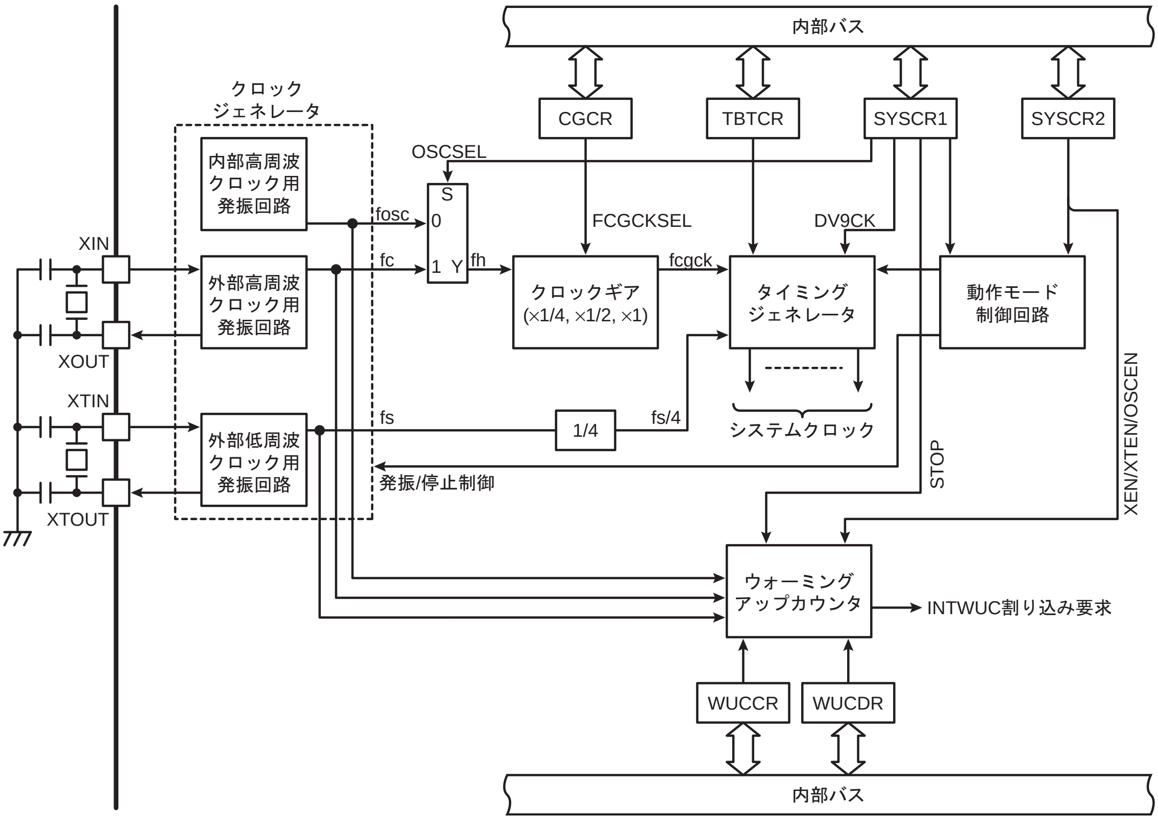


図 2-3 システムクロック制御回路

2.3.2 制御

システムクロック制御回路は、システム制御レジスタ 1(SYSCR1)、システム制御レジスタ 2 (SYSCR2)、ウォーミングアップカウンタ制御レジスタ(WUCCR)、ウォーミングアップカウンタデータレジスタ(WUCDR)、クロックギア制御レジスタ(CGCR)で制御されます。

システム制御レジスタ 1

SYSCR1 (0x0FDC)		7	6	5	4	3	2	1	0
	Bit Symbol	STOP	RELM	OUTEN	DV9CK	OSCSEL	-	-	-
	Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R
	リセット後	0	0	0	0	0	0	0	0

STOP	STOP モードの起動	0 : 1 :	CPU, 周辺回路動作 CPU, 周辺回路停止 (STOP モード起動)
RELM	STOP モードの解除方法の選択	0 : 1 :	エッジ解除モード(STOP モード解除信号の立ち上がりエッジで解除) レベル解除モード(STOP モード解除信号の“H”レベルで解除)
OUTEN	STOP モード時のポート出力状態の選択	0 : 1 :	ハイインピーダンス 出力保持
DV9CK	デバイダ 9 段目への入力クロックの選択	0 : 1 :	fcgck/2^9 fs/4
OSCSEL	高周波クロックの基準クロック(fh)選択	0 : 1 :	内部高周波クロック(fosc)を選択 外部高周波クロック(fc)を選択

注 1) fosc: 内部高周波クロック[Hz]、fc: 外部高周波クロック[Hz]、fcgck:ギアクロック[Hz]、 fs:外部低周波クロック[Hz]

注 2) SYSCR1 のビット 2, 1, 0 は、読み出すと"0"が読み出されます。

注 3) SYSCR1<OUTEN> = “0” の指定で STOP モードを起動すると、ポートの内部入力は “0” に固定されます。そのため、STOP モード起動時の端子状態によっては、立ち下がりエッジの外部割り込みがセットされることがあります。

注 4) P11 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードを起動すると SYSCR1<OUTEN>の状態にかかわらず、ハイインピーダンス状態になり入力モードとなります。

注 5) LDW などの 1 命令で 2 バイトのデータ転送が行われる命令で STOP 状態に遷移すると、2 バイト目のデータ書き込みが正常に行われません。

注 6) 外部低周波クロック用発振回路の発振安定前に、SYSCK1<DV9CK>を"1"にセットしないでください。

注 7) SLOW1/2, SLEEP1 モード時は SYSCR1<DV9CK>の値にかかわらず、デバイダの 9 段目には fs/4 が入力されます。

注 8) SYSCR1<OSCSEL>は SYSCR2<SYSCK>が"0"のとき(NORMAL1, 2 モード中)に設定してください。SYSCR2<SYSCK>が"1" (SLOW1, 2 モード)のときに SYSCR1<OSCSEL>に書き込みを行っても設定値は反映されません。

システム制御レジスタ 2

SYSCR2 (0x0FDD)	7	6	5	4	3	2	1	0
Bit Symbol	OSCEN	XEN	XTEN	SYSCK	IDLE	TGHALT	-	-
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R
リセット後	1	0	0	0	0	0	0	0

OSCEN	内部高周波クロック(fosc)の制御	0 : 1 :	発振停止 発振継続または発振開始
XEN	外部高周波クロック(fc)の制御	0 : 1 :	発振停止 発振継続または発振開始
XTEN	外部低周波クロック(fs)の制御	0 : 1 :	発振停止 発振継続または発振開始
SYSCK	システムクロックの選択	0 : 1 :	ギアクロック(fcgck) (NORMAL1//2, IDLE1/2) 外部低周波クロック(fs/4) (SLOW1/2, SLEEP1)
IDLE	CPU, WDT 制御 (IDLE1/2, SLEEP1 モード)	0 : 1 :	CPU, WDT 動作 CPU, WDT 停止 (IDLE1/2, SLEEP1 モード起動)
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0 : 1 :	TG から全周辺回路へのクロック供給動作 TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)

注 1)　fosc: 内部高周波クロック[Hz]、fc: 外部高周波クロック[Hz]、fcgck:ギアクロック[Hz]、 fs:外部低周波クロック[Hz]
注 2)　WDT:ウォッチドッグタイマ, TG:タイミングジェネレータ
注 3)　SYSCR2<IDLE>と SYSCR2<TGHALT>は、同時に“1”に設定しないでください。
注 4)　LDW などの 1 命令で 2 バイトのデータ転送が行われる命令で IDLE 状態に遷移すると、2 バイト目のデータ書き込みが正常に行われません。
注 5)　IDLE1/2, SLEEP1 モード解除時、SYSCR2<IDLE>は自動的に “0” にクリアされます。
注 6)　IDLE0, SLEEP0 モード解除時、SYSCR2<TGHALT>は自動的に “0” にクリアされます。
注 7)　SYSCR2 のビット 1, 0 は、読み出すと"0"が読み出されます。
注 8)　OSCEN、XEN は SYSCR1<OSCSEL>によって高周波クロックの基準クロック(fh)を切り替える時を除き、両ビットともに"1"に設定しないでください(切り替えが完了した後は、使用しない方の高周波クロックを停止させてください)。

ウォーミングアップカウンタ制御レジスタ

WUCCR (0x0FCD)	7	6	5	4	3	2	1	0
Bit Symbol	WUCRST	-	-	-	WUCDIV		WUCSEL	
Read/Write	W	R	R	R	R/W		R/W	
リセット後	0	0	0	0	1	1	0	0

WUCRST	ウォーミングアップカウンタのリセットと停止	0 : 1 :	- カウンタクリア＆ストップ
WUCDIV	ウォーミングアップカウンタソースクロック分周選択	00 : 01 : 10 : 11 :	ソースクロック ソースクロック / 2 ソースクロック / 2^2 ソースクロック / 2^3
WUCSEL	ウォーミングアップカウンタのソースクロック選択	00 : 01 : 10 : 11 :	内部高周波クロック(fosc)を選択 外部高周波クロック(fc)を選択 外部低周波クロック(fs)を選択 Reserved

注 1)　fosc: 内部高周波クロック[Hz]、fc: 外部高周波クロック[Hz]、fcgck:ギアクロック[Hz]、 fs:外部低周波クロック[Hz]
注 2)　WUCCR<WUCRST>は自動的に"0"にクリアされます。"1"にセットした後に"0"にクリアする必要はありません。
注 3)　WUCCR のビット 7 ~ 4 は、読み出すと"0"が読み出されます。
注 4)　ウォーミングアップカウンタを動作させる前に、WUCCR<WUCSEL, WUCDIV>でソースクロック、分周比を設定し、WUCDR にウォーミングアップ時間を設定してください。

ウォーミングアップカウンタデータレジスタ

WUCDR (0x0FCE)

	7	6	5	4	3	2	1	0
Bit Symbol	WUCDR							
Read/Write	R/W							
リセット後	0	1	1	0	0	1	1	0

WUCDR	ウォーミングアップ時間の設定

注 1) WUCDR に"0x00"を設定してウォーミングアップカウンタを動作させないでください。

クロックギア制御レジスタ

CGCR (0x0FCF)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	-	FCGCKSEL	
Read/Write	R	R	R	R	R	R	R/W	
リセット後	0	0	0	0	0	0	0	0

FCGCKSEL	クロックギアの設定	00 : fcgck = fh / 4 01 : fcgck = fh / 2 10 : fcgck = fh 11 : Reserved

注 1) fh : 高周波クロックの基準クロック[Hz]、fcgck:ギアクロック[Hz]
注 2) CGCR<FCGCKSEL>は、SLOW モードで書き替えないでください。
注 3) CGCR のビット 7 ~ 2 は、読み出すと"0"が読み出されます。

2.3.3　機能

2.3.3.1　クロックジェネレータ

クロック ジェネレータは、CPU コアおよび周辺回路に供給されるシステムクロックの基準となるクロックを発生する回路です。

TMP89FM46A は、内部高周波クロック用発振回路、外部高周波クロック用発振回路と外部低周波クロック用発振回路の 3 つの発振回路を内蔵しています。

発振回路端子はポート P0 と兼用です。ポートとして使用するときの設定は、"入出力ポート"の章を参照してください。

P00、P01 ポートを外部高周波クロック用発振回路(XIN、XOUT 端子)として使用するときには、P0FC0 を"1"に設定した後に SYSCR2<XEN>を"1"に設定します。

P02、P03 ポートを外部低周波クロック用発振回路(XTIN、XTOUT 端子)として使用するときには、P0FC2 を"1"に設定した後に SYSCR2<XTEN>を"1"に設定します。

外部高周波クロック(fc)、 外部低周波クロック(fs)は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。

また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放します。

外部高周波クロック用発振回路、外部低周波クロック用発振回路の発振許可／停止、ポートとの切り替えは、ソフトウエアとハードウエアにより制御されます。

ソフトウエアによる制御は、SYSCR2<XEN>, SYSCR2<XTEN>、P0 ポートの機能制御レジスタ P0FC で制御されます。

ハードウエアによる制御はリセット解除と「2.3.5 動作モード制御回路」で述べる STOP モードへの遷移時に動作モード制御回路で制御されます。

注)　基本クロックを外部で直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマの Disable 状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

ソフトウエアによる発振許可／停止により CPU コアのデッドロックを防ぐため、メインシステムクロックとして選択されているクロックと SYSCR2<OSCEN, XEN, XTEN>、P0 ポートの機能制御レジスタ P0FC0 の値の組み合わせにより、内部要因リセットが発生します。

表 2-1 発振許可レジスタの組み合わせ禁止条件

P0FC0	SYSCR2 <OSCEN>	SYSCR2 <XEN>	SYSCR1 <OSCSEL>	SYSCR2 <XTEN>	SYSCR2 <SYSCK>	状態
Don't Care	0	0	Don't care	0	Don't Care	すべての発振回路が停止
Don't Care	Don't Care	Don't Care	Don't Care	0	1	メインシステムクロックとして外部低周波クロック(fs)が選択されているが外部低周波クロック用発振回路が停止
Don't Care	0	Don't Care	0	Don't Care	0	メインシステムクロックとして高周波クロックの基準クロック(fh)が選択されているが fh に選択されている内部高周波クロック用発振回路 (fosc) が停止
Don't Care	Don't Care	0	1	Don't Care	0	メインシステムクロックとして高周波クロックの基準クロック(fh)が選択されているが fh に選択されている外部高周波クロック用発振回路 (fc) が停止
0	Don't Care	1	Don't Care	Don't Care	Don't Care	外部高周波クロック用発振回路 (fc) を発振許可にしているがポートを汎用ポートとして使用する設定になっている

注)　SYSCR1<OSCSEL>、SYSCR2<SYSCK>を変更してからメインシステムクロックが切り替わるまで、一定の時間が必要です。メインシステムクロックが切り替わる前に切り替え元の発振回路を停止にする

と、TMP89FM46A の内部で表 2-1 の状態になりシステムクロックリセットが発生します。クロック切り替えの詳細については「2.3.6 動作モードの制御」を参照してください。

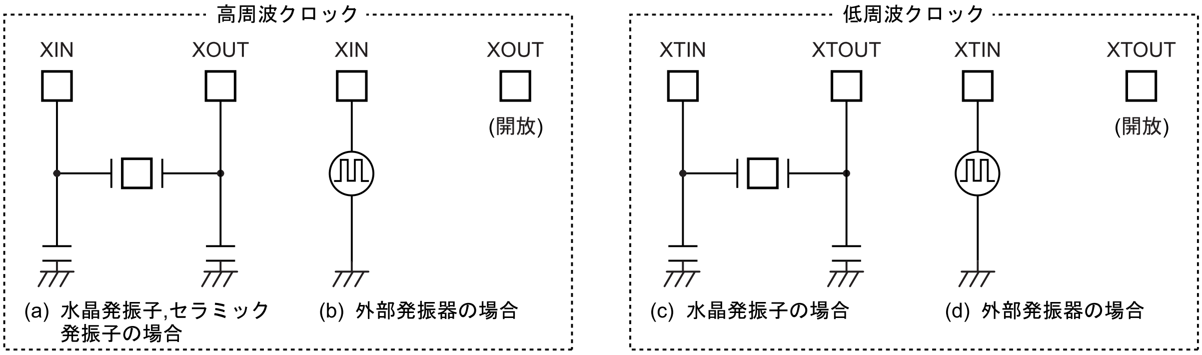


図 2-4 発振子の接続例

(1) 高周波クロックの基準クロック(fh)

TMP89FM46A を高速で動作させるために使用されます。

SYSCR1<OSCSEL>を"1"に設定すると外部高周波クロック(fc)が高周波クロックの基準クロック(fh)として使用されます。SYSCR1<OSCSEL>を"0"に設定すると内部高周波クロック(fosc)が 高周波クロックの基準クロック(fh)として使用されます。リセット解除直後、SYSCR1<OSCSEL>は"0"にクリアされ、内部高周波クロック(fosc)が高周波クロックの基準クロック(fh)として使用されます。

高周波クロックの基準クロック(fh) を切り替えるときは、必ず内部高周波クロック(fosc)、外部高周波クロック(fc)ともに発振している必要があります。クロックの切り替え時には、必ず下記の手順で行ってください。

また、切り替えの途中で、外部高周波クロック(fc)と内部高周波クロック(fosc)がともに許可される状態になりますが、この状態から「2.3.5 動作モード制御回路」で述べる動作モードの切り替えを実施しないでください。切り替えが完了した後は、使用しない方の高周波クロックを停止させてください。

- fosc から fc への切り替え

P0FC0 が"1"の状態で SYSCR2<XEN>を"1"に設定し、外部高周波クロック(fc)の発振を許可します。

ウォーミングアップカウンタで外部高周波クロック(fc)の発振が安定したことを確認した後、SYSCR1<OSCSEL>を"1"に設定します。

SYSCR1<OSCSEL>を"1"にしてから、最大 2/fosc+2.5/fc [s]後に、高周波クロックの基準クロック(fh)が外部高周波クロック(fc)に切り替わります。

切り替え後、2 マシンサイクル以上待ち、SYSCR2<OSCEN>を"0"にクリアし、内部高周波クロック(fosc)の発振を停止させます。高周波クロックが切り替わる前に、SYSCR2<OSCEN>を"0"にクリアすると、システムクロックリセットが発生します。

注 1) 高周波クロックの基準クロック(fh)の切り替え時、ハードウェアは外部高周波クロック(fc)と内部高周波クロック(fosc)の同期を取ります。同期を取るときに、最大 2.5 / fc [s]の期間 fh が停止します。

注 2) SYSCR1<OSCSEL>を切り替えた後、必ず 2 マシンサイクル以上待ち、SYSCR2<OSCEN>を を"0"にクリアしてください。2 マシンサイクル未満でクリアするとシステムクロックリセットが発生します。

注 3) SYSCR1<OSCSEL>は SYSCR2<SYSCK>が"0"のとき(NORMAL1, 2 モード中)に設定してください。SYSCR2<SYSCK>が"1" (SLOW1, 2 モード)のときに SYSCR1<OSCSEL>に書き込みを行っても設定値は反映されません。

注 4) P0FC0 が"0"の時、SYSCR2<XEN>を"1"に設定するとシステムクロックリセットが発生します。

注 5)　SYSCR2<XEN>が"1"に設定されている状態で SYSCR2<XEN>に"1"を書き込んでもウォーミングアップカウンタはソースクロックのカウントを開始しません。

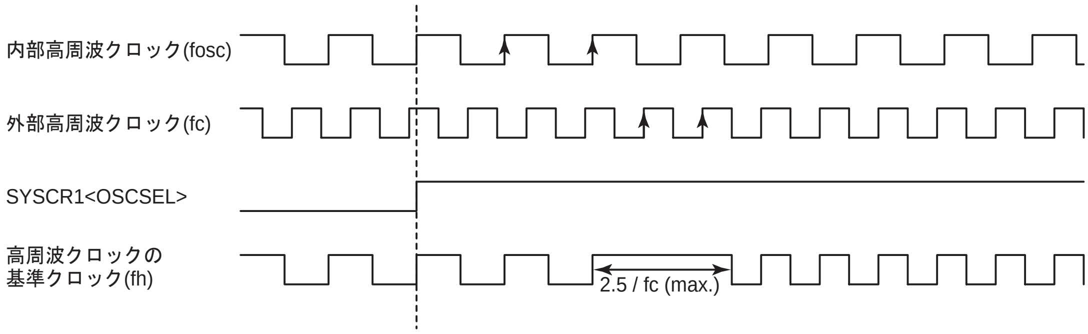


図 2-5 高周波クロックの基準クロック(fh)の切り替え(fosc から fc への切り替え)

表 2-2 高周波クロックの基準クロック(fh)を fosc から fc に切り替える時の設定

手順	P0FC0	SYSCR2 <OSCEN>	SYSCR2 <XEN>	SYSCR1 <OSCSEL>	メインシステムクロック	状態
1	0	1	0	0	fosc	高周波クロックの基準クロックのソースクロックが fosc で P00 / P01 ポートが入出力ポートの状態
2	1	1	0	0	fosc	P00, P01 ポートを発振器として使用する設定を行う
3	1	1	1	0	fosc	高周波クロック用発振回路のウォーミングアップ
4	1	1	1	1	fosc→fc	高周波クロックの基準クロックのソースクロックを fc に切り替え中
5	1	0	1	1	fc	高周波クロックの基準クロックのソースクロックを fc に切り替え終了

注)　高周波クロックの基準クロック切り替えは必ずこの手順で実施してください。

(プログラム例)　P00 / P01 ポートを発振器として使用する設定を行い、高周波クロックの基準クロックを fosc から fc に切り替える
(ウォーミングアップ時間 約 300us@fc=8MHz)

```
            LD      (WUCCR), 0y00000001     ; WUCCR<WUCDIV>←"00"（分周無し）、
                                            ; WUCCR<WUCSEL>←"01"（ソースクロックに fc を選択）
            LD      (WUCDR), 0x26           ; ウォーミングアップ時間をセット
                                            ; (発振子の特性で時間を決定します)
                                            ; 300us / 8us = 37.5, 切り上げて 0x26
            SET     (EIRL).4                ; INTWUC の割り込みを許可
            SET     (P0FC).0                ; P0FC0 ←"1" (P00 / P01 ポートを発振器として使用する)
            SET     (SYSCR2). 6             ; SYSCR2<XEN>←"1"
                                            ; (外部高周波クロック発振開始＆ウォーミングアップタスタート)
            :       :
PINTWUC:    SET     (SYSCR1). 3             ; SYSCR1<OSCSEL>←"1"
                                            ; (高周波クロックの基準クロックを fosc から fc に切り替え)
            NOP                             ; 2 マシンサイクルのウェイト
            NOP                             ; 2 マシンサイクルのウェイト
            CLR     (SYSCR2). 7             ; SYSCR2<OSCEN>←"0" ( fosc 停止)
            RETI
```

・ fc から fosc への切り替え

SYSCR1<OSCEN>を"1"に設定し、内部高周波クロック(fosc)を許可します。

ウォーミングアップカウンタで内部高周波クロック(fosc)の発振が安定したことを確認した後、SYSCR1<OSCSEL>を"0"に設定します。

SYSCR1<OSCSEL>を"0"にしてから、最大 2 / fc + 2.5 / fosc [s]後に、高周波クロックの基準クロック(fh)が内部高周波クロック(fosc)に切り替わります。

切り替え後、2 マシンサイクル以上待ち、SYSCR2<XEN>を"0"にクリアし、fc の発振を停止させます。高周波クロックが切り替わる前に、SYSCR2<XEN>を"0"にクリアすると、システムクロックリセットが発生します。

注 1) 高周波クロックの基準クロック(fh)の切り替え時、ハードウェアは外部高周波クロック(fc)と内部高周波クロック(fosc)の同期を取ります。同期を取るときに、最大 2.5 / fosc [s]の期間 fh が停止します。

注 2) SYSCR1<OSCSEL>を切り替えた後、必ず 2 マシンサイクル以上待ち、SYSCR2<XEN>をを"0"にクリアしてください。2 マシンサイクル未満でクリアするとシステムクロックリセットが発生します。

注 3) SYSCR1<OSCSEL>は SYSCR2<SYSCK>が"0"のとき(NORMAL1, 2 モード中)に設定してください。SYSCR2<SYSCK>が"1" (SLOW1, 2 モード)のときに SYSCR1<OSCSEL>に書き込みを行っても設定値は反映されません。

注 4) P0FC0 が"0"の時、SYSCR2<XEN>を"1"に設定するとシステムクロックリセットが発生します。

注 5) SYSCR2<XEN>が"1"に設定されている状態で SYSCR2<XEN>に"1"を書き込んでもウォーミングアップカウンタはソースクロックのカウントを開始しません。

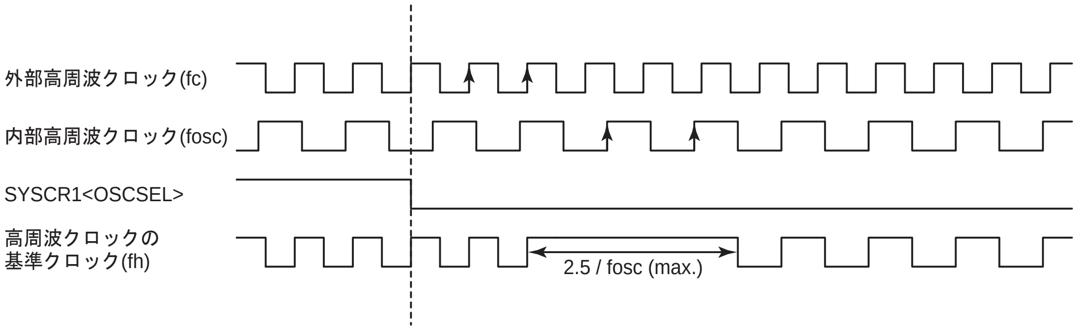


図 2-6 高周波クロックの基準クロック(fh)の切り替え(fc から fosc への切り替え)

表 2-3 高周波クロックの基準クロック(fh)を fc から fosc に切り替える時の設定

手順	P0FC0	SYSCR2 <OSCEN>	SYSCR2 <XEN>	SYSCR1 <OSCSEL>	メインシステムクロック	状態
1	1	0	1	1	fc	高周波クロックの基準クロックのソースクロックが fc の状態
2	1	1	1	1	fc	高周波クロック用発振回路のウォーミングアップ
3	1	1	1	0	fc→fosc	高周波クロックの基準クロックのソースクロックを fosc に切り替え中
4	1	1	0	0	fosc	高周波クロックの基準クロックのソースクロックを fosc に切り替え終了

注) 高周波クロックの基準クロック切り替えは必ずこの手順で実施してください。

(プログラム例)　高周波クロックの基準クロックを fc から fosc に切り替える（ウォーミングアップ時間 約 100us@fosc=5MHz）

```
            LD      (WUCCR), 0y00000000     ; WUCCR<WUCDIV>←"00"（分周無し）、
                                            ; WUCCR<WUCSEL>←"00"（ソースクロックに fosc を選択）
            LD      (WUCDR), 0x08           ; ウォーミングアップ時間をセット
                                            ; (発振子の特性で時間を決定します)
                                            ; 100us / 12.8us = 7.8, 切り上げて 0x08
            SET     (EIRL).4                ; INTWUC の割り込みを許可
            SET     (SYSCR2). 7             ; SYSCR2<OSCEN>←"1"
                                            ; (内部高周波クロック発振開始＆ウォーミングアップタスタート)
            :       :
PINTWUC:    CLR     (SYSCR1). 3             ; SYSCR1<OSCSEL>←"0"
                                            ; (高周波クロックの基準クロックを fc から fosc に切り替え)
            NOP                             ; 2 マシンサイクルのウェイト
            NOP                             ; 2 マシンサイクルのウェイト
            CLR     (SYSCR2). 6             ; SYSCR2<XEN>←"0" ( fc 停止)
            RETI
```

(2)　低周波クロックの基準クロック(fs)

TMP89FM46A を低速で動作させるときに使用されます。消費電力を低減させることができます。

2.3.3.2　クロックギア

クロックギアは、高周波クロックの基準クロック(fh)を分周したギアクロック(fcgck)を選択し、タイミングジェネレータに入力する回路です。

分周クロックの選択は、CGCR<FCGCKSEL>で行います。

CGCR<FCGCKSEL>を切り替えてからギアクロック(fcgck)が切り替わるまで 2 マシンサイクルかかります。

また、CGCR<FCGCKSEL>を変更した直後の fcgck は設定したクロック幅よりも長くなることがあります。

リセット解除直後、ギアクロック(fcgck)は高周波クロック(fh)を 4 分周したクロック(fh/4)になります。

表 2-4 ギアクロック(fcgck)

CGCR<FCGCKSEL>	fcgck
00	fh / 4
01	fh / 2
10	fh
11	Reserved

注)　CGCR<FCGCKSEL>は SLOW モード中に書き替えないでください。fcgck が正しく切り替わらないことがあります。

2.3.3.3 タイミングジェネレータ

タイミングジェネレータは、ギアクロック(fcgck)または外部低周波クロック(fs)を 4 分周したクロックから CPU コアおよび周辺回路に供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック fm 生成
2. タイマカウンタ、タイムベースタイマ等、周辺回路用クロック生成

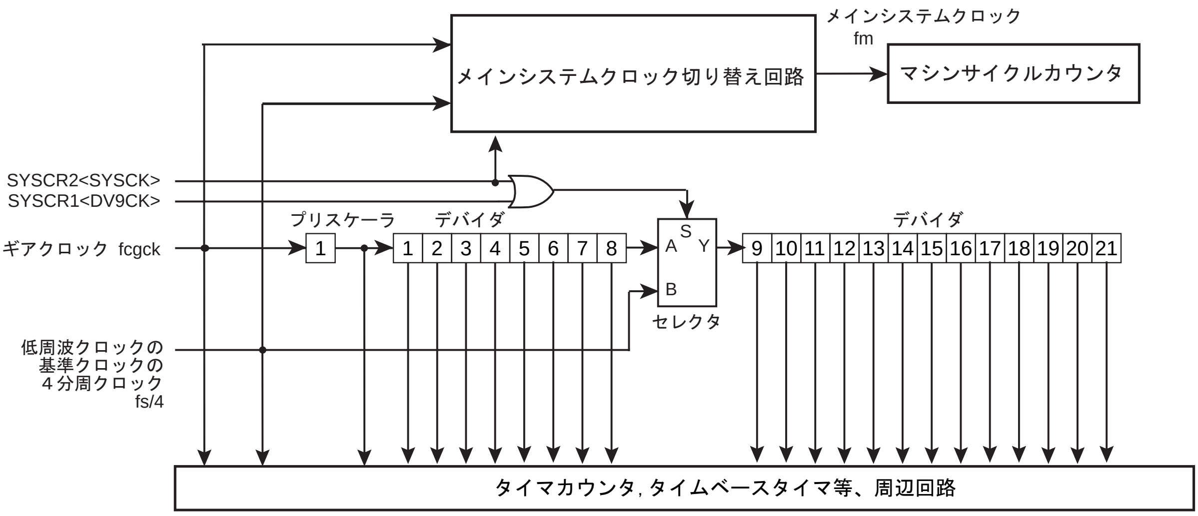


図 2-7 タイミングジェネレータの構成

(1) タイミングジェネレータの構成

タイミングジェネレータは、メインシステムクロック切り替え回路、プリスケーラ、21 段のデバイダおよびマシンサイクルカウンタから構成されています。

1. メインシステムクロック切り替え回路

   ギアクロック(fcgck)、外部低周波クロック(fs)を 4 分周したクロックから CPU コアを動作させるメインシステムクロック(fm)用のクロックを選択する回路です。

   SYSCR2<SYSCK>を"0"にクリアするとギアクロック(fcgck)が選択され、"1"にセットすると外部低周波クロック(fs)を 4 分周したクロックが選択されます。

   SYSCR2<SYSCK>を変更してからメインシステムクロックが切り替わるまで、一定の時間がかかります。メインシステムクロックが切り替わる前に切り替え元の発振回路を停止にすると内部で表 2-1 の状態になりシステムクロックリセットが発生します。クロック切り替えの詳細については「2.3.6 動作モードの制御」を参照してください。

2. プリスケーラ、デバイダ

   fcgck を分周する回路です。分周されたクロックは、タイマカウンタ、タイムベースタイマ等の周辺回路に供給されます。

   SYSCR1<DV9CK>、SYSCR2<SYSCK>ともに"0"のときデバイダの 9 段目への入力クロックは 8 段目のデバイダの出力となります。

   SYSCR1<DV9CK>または SYSCR2<SYSCK>が"1"のとき、デバイダの 9 段目への入力クロックは fs/4 となります。また、SYSCR2<SYSCK>が"1"のとき、プリスケーラ、デバイダの初段から 8 段目までの出力は停止します。

   なお、リセット時および STOP モード解除後のウォーミングアップ動作終了時にプリスケーラおよびデバイダは “0” にクリアされます。

3. マシンサイクル

命令の実行は、メインシステムクロック(fm)に同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼び、1 マシンサイクルはメインシステムクロックで 1 クロックになります。

TLCS-870/C1 シリーズの命令のマシンサイクルは、1 マシンサイクルで実行される 1 サイクル命令から 10 マシンサイクルで実行される 10 サイクル命令までの 10 種類と、13 マシンサイクルで実行される 13 サイクル命令の 1 種類で、合計 11 種類です。

2.3.4　ウォーミングアップカウンタ

ウォーミングアップカウンタは、内部高周波クロック(fosc)、外部高周波クロック(fc)と外部低周波クロック(fs)をカウントする回路で、ソースクロック選択回路と 3 段の分周回路、14 段のカウンタから構成されています。

パワーオンリセット解除後に電源電圧が安定するまでの時間確保、STOP モードからの復帰、動作モード遷移のときに発振回路が安定して発振するまでの時間を確保するために使用します。

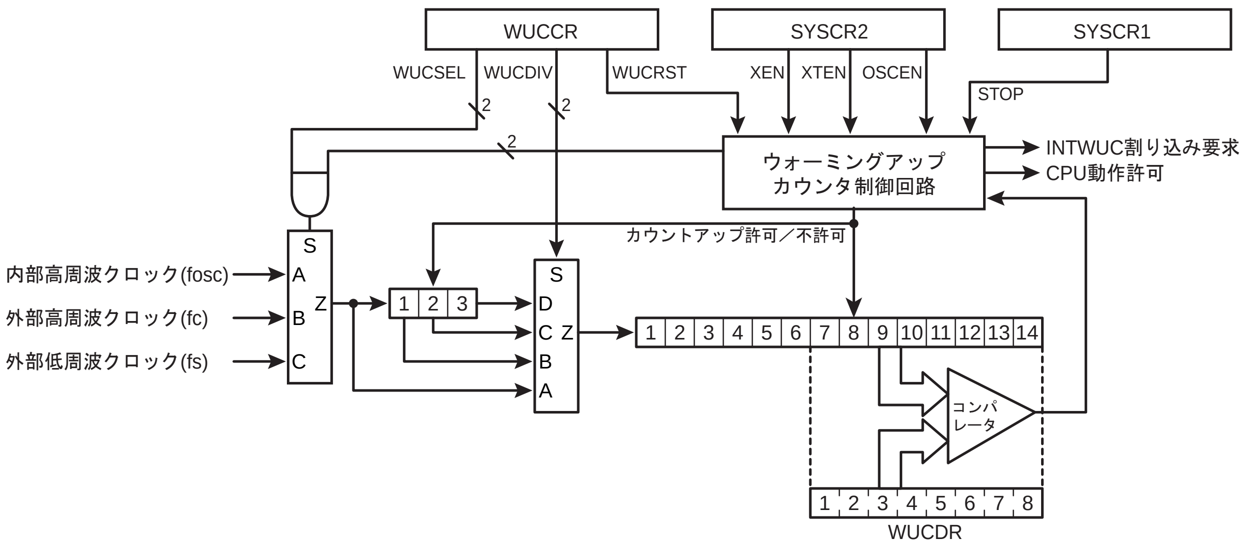


図 2-8 ウォーミングアップカウンタ回路

2.3.4.1　ハードウエアで発振許可する場合のウォーミングアップカウンタ動作

(1)　パワーオンリセット解除、リセット解除時

パワーオンリセット解除後、電源電圧が安定するまでの時間確保、リセット解除後の高周波クロック用発振回路が安定して発振するまでの時間を確保するために使用します。

電源投入時、電源電圧がパワーオンリセットの解除電圧を超えるとウォーミングアップカウンタのリセット信号が解除されます。このとき、CPU、周辺回路はリセット状態のままです。

リセット信号により、WUCCR<WUCSEL>は"00"、WUCCR<WUCDIV>は"11"に初期化され、ウォーミングアップカウンタの入力クロックとして内部高周波クロック(fosc)が選択されます。

ウォーミングカウンタのリセットが解除されると、内部高周波クロック(fosc)がウォーミングアップカウンタに入力され、14 段のカウンタは内部高周波クロック(fosc)のカウントを開始します。

ウォーミングアップカウンタの上位 8 ビットと WUCDR の一致でカウントを停止し、CPU、周辺回路のリセットが解除されます。

WUCDR は、リセット解除時に 0x66 に初期化されるため、ウォーミングアップ時間は $0x66 \times 2^9$/fosc[s]となります。

注) ウォーミングアップカウンタの入力クロックは発振回路から出力されるクロックが使用されます。発振回路が安定するまでの期間は発振周波数が安定しないため、ウォーミングアップ時間には誤差を含みます。

(2) STOP モードからの解除時

STOP モードからの解除のとき、ハードウエアでの発振許可から発振が安定するまでの時間を確保するために使用します。

分周回路の入力クロックは、WUCCR<WUCSEL>とは関係なく、STOP モードを起動したときにメインシステムクロック発生に使用されていたクロックが選択されます。

STOP モードを起動する前に、あらかじめ、ウォーミングアップカウンタへの入力クロックの分周比を WUCCR<WUCDIV>で選択し、WUCDR でウォーミングアップ時間を設定します。

STOP モードが解除されると、14 段のカウンタは分周回路で選択された入力クロックのカウントを開始します。

カウンタの上位 8 ビットと WUCDR の一致でカウントを停止するとともに、STOP モードを起動した次の命令から動作を再開します。

STOP モード起動時のメインシステムクロック生成クロック	WUCCR <WUCSEL>	WUCCR <WUCDIV>	カウンタへの入力クロック	ウォーミングアップ時間
fosc	Don't Care	00	fosc	2^6 / fosc ~ 255 x 2^6 / fosc
		01	fosc / 2	2^7 / fosc ~255 x 2^7 / fosc
		10	fosc / 2^2	2^8 / fosc ~ 255 x 2^8 / fosc
		11	fosc / 2^3	2^9 / fosc ~ 255 x 2^9 / fosc
fc	Don't Care	00	fc	2^6 / fc ~ 255 x 2^6 / fc
		01	fc / 2	2^7 / fc ~255 x 2^7 / fc
		10	fc / 2^2	2^8 / fc ~ 255 x 2^8 / fc
		11	fc / 2^3	2^9 / fc ~ 255 x 2^9 / fc
fs	Don't Care	00	fs	2^6 / fs ~ 255 x 2^6 / fs
		01	fs / 2	2^7 / fs ~255 x 2^7 / fs
		10	fs / 2^2	2^8 / fs ~ 255 x 2^8 / fs
		11	fs / 2^3	2^9 / fs ~ 255 x 2^9 / fs

注 1) ソフトウエアで発振許可される場合のウォーミングアップ中に STOP モードに遷移した場合、ウォーミングアップカウンタの値は STOP モードに遷移したときの値を保持し、STOP 解除後にカウントを継続します。この場合、STOP 解除のときのウォーミングアップ時間が十分にとれなくなります。ソフトウエアで発振許可される場合のウォーミングアップ中に STOP モードに遷移しないようにしてください。

注 2) ウォーミングアップカウンタの入力クロックは発振回路から出力されるクロックが使用されます。発振回路が安定するまでの期間は発振周波数が安定しないため、ウォーミングアップ時間には誤差を含みます。発振子の発振開始特性に対して十分な時間を設定してください。

2.3.4.2 ソフトウエアで発振許可する場合のウォーミングアップカウンタ動作

NORMAL1 から NORMAL2、あるいは SLOW1 から SLOW2 へモード遷移するとき、ソフトウエアによる発振許可から発振が安定するまでの時間を確保するために使用します。

分周回路の入力クロックを WUCCR<WUCSEL>で選択します。

WUCCR<WUCDIV>で 14 段のカウンタへの入力クロックを選択します。

WUCDR でウォーミングアップ時間を設定したあと、SYSCR2<OSCEN>、SYSCR2<XEN>、SYSCR2 <XTEN>により、停止している発振回路を発振開始させると、14 段のカウンタは選択された入力クロックのカウントを開始します。

カウンタの上位 8 ビットと WUCDR との一致で INTWUC 割り込み要求を発生するとともにカウントを停止し、カウンタをクリアします。

なお、ウォーミングアップ動作の途中でウォーミングアップ動作を停止させるときには WUCCR<WUCRST>を"1"にセットします。

"1"にセットすることで、カウントアップ動作を停止し、ウォーミングアップカウンタをクリアするとともに WUCCR<WUCRST>は"0"にクリアされます。

SYSCR2<OSCEN>、SYSCR2<XEN>、SYSCR2<XTEN>は、WUCCR<WUCRST>を"1"にセットしたときの値を保ちます。再度ウォーミングアップ動作を行うときには SYSCR2<XEN>または SYSCR2<XTEN>をいったん"0"にクリアする必要があります。

注)　ウォーミングアップカウンタは SYSCR2<OSCEN>、SYSCR2<XEN>、SYSCR2<XTEN>が"0"から"1"に変化したときにカウントを開始します。"1"の状態で"1"を書き込んでもカウントを開始しません。

WUCCR <WUCSEL>	WUCCR <WUCDIV>	カウンタへの入力クロック	ウォーミングアップ時間
00	00	fosc	2^6 / fosc ~ 255 x 2^6 / fosc
	01	fosc / 2	2^7 / fosc ~255 x 2^7 / fosc
	10	fosc / 2^2	2^8 / fosc ~ 255 x 2^8 / fosc
	11	fosc / 2^3	2^9 / fosc ~ 255 x 2^9 / fosc
01	00	fc	2^6 / fc ~ 255 x 2^6 / fc
	01	fc / 2	2^7 / fc ~255 x 2^7 / fc
	10	fc / 2^2	2^8 / fc ~ 255 x 2^8 / fc
	11	fc / 2^3	2^9 / fc ~ 255 x 2^9 / fc
10	00	fs	2^6 / fs ~ 255 x 2^6 / fs
	01	fs / 2	2^7 / fs ~255 x 2^7 / fs
	10	fs / 2^2	2^8 / fs ~ 255 x 2^8 / fs
	11	fs / 2^3	2^9 / fs ~ 255 x 2^9 / fs

注 1)　ウォーミングアップカウンタの入力クロックは発振回路から出力されるクロックが使用されます。発振回路が安定するまでの期間は発振周波数が安定しないため、ウォーミングアップ時間には誤差を含みます。発振子の発振開始特性に対して十分な時間を設定してください。

2.3.5　動作モード制御回路

動作モード制御回路は、内部高周波クロック、外部高周波クロック、 外部低周波クロックの発振/停止 およびメインシステムクロック(fm)の切り替えを行う回路です。

動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。

図 2-9 に動作モード遷移図を示します。

2.3.5.1　シングルクロックモード

シングルクロックモードは、ギアクロック(fcgck)のみ使用する動作モードです。

メインシステムクロック(fm)は、ギアクロック(fcgck)から発生されます。従って、マシンサイクルタイムは、1/fcgck[s]となります。

ギアクロック(fcgck)は高周波クロックの基準クロック(fh)から発生されます。

高周波クロックの基準クロック(fh) は、外部高周波クロック(fc)、または内部高周波クロック(fosc) から選択できます。

高周波クロックの基準クロック(fh) として内部高周波クロック(fosc) を使用する場合、外部高周波クロック用 端子の P00 (XIN)、P01 (XOUT) は、通常の入出力ポートとして使用することができます。

動作モードの遷移は外部高周波クロック(fc)、内部高周波クロック(fosc) の選択を行った後、使用しない方の高周波クロックを停止させた状態で行ってください。両クロックがともに発振許可された状態からの動作モード遷移は正しく動作しないことがあります。

基準クロックの切り替えについては、「(1) 高周波クロックの基準クロック(fh)」を参照してください。

シングルクロックモードのとき、外部低周波クロック用発振回路端子の P02 (XTIN), P03 (XTOUT) は、通常の入出力ポートとして使用することができます。

(1) NORMAL1 モード

CPU コア、周辺回路をギアクロック(fcgck)で動作させるモードです。

リセット解除後は、NORMAL1 モードとなり、高周波クロックの基準クロック(fh)は内部高周波クロック(fosc)となります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺回路をギアクロック(fcgck)で動作させるモードです。

IDLE1 モードの起動は、NORMAL1 モード時に SYSCR2<IDLE>を “1” にセットすることで行います。

IDLE1 モードが起動されると CPU およびウォッチドッグタイマが停止します。

割り込み許可レジスタ EFR により許可された割り込みラッチが"1"になると IDLE1 モードは解除され、NORMAL1 モードに復帰します。

IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。

IMF が “0” (割り込み禁止状態) のときは、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路とタイムベースタイマのぞき、CPU および周辺回路を停止させるモードです。

IDLE0 モードでは、周辺回路は IDLE0 起動時の状態で停止、あるいはリセット解除時と同じ状態になります。IDLE0 モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

IDLE0 モードの起動は、NORMAL1 モード時に SYSCR2<TGHALT>を “1” をセットすることで行います。

IDLE0 モードが起動されると、CPU が停止し、タイミングジェネレータはタイムベースタイマ以外の周辺回路へのクロック供給を停止します。

TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出するとIDLE0 モードが解除され、タイミングジェネレータは全周辺回路へのクロック供給を開始し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰します。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

IMF が “1” で EF5 (タイムベースタイマの割り込み個別許可フラグ)が “1” のときは割り込み処理が行われたあと、通常の動作に戻ります。

IMF が"0"、または IMF が"1"で EF5 (タイムベースタイマの割り込み個別許可フラグ)が"0"のときは、IDLE0 を起動した命令の次の命令から実行再開します。

2.3.5.2　デュアルクロックモード

デュアルクロックモードは、ギアクロック(fcgck)、外部低周波クロック(fs)を使用する動作モードです。

メインシステムクロック(fm)は、NORMAL2、IDLE2 モード時、ギアクロック(fcgck)から生成され、SLOW1/2、 SLEEP0/1 モード時、低周波クロック(fs)を 4 分周したクロックから生成されます。従ってマシンサイクルタイムは、NORMAL2, IDLE2 モードのとき 1/fcgck [s] 、SLOW1/2、SLEEP0/1 モード時 4/fs [s] となります。

P02(XTIN), P03(XTOUT) を低周波クロック用発振回路端子として使用します(デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。

ギアクロック(fcgck)は高周波クロックの基準クロック(fh)から発生されます。

高周波クロックの基準クロック(fh) は、外部高周波クロック(fc)、または内部高周波クロック(fosc) から選択できます。

高周波クロックの基準クロック(fh) として内部高周波クロック(fosc) を使用する場合、外部高周波クロック用 端子の P00 (XIN)、P01 (XOUT) は、通常の入出力ポートとして使用することができます。

動作モードの遷移は外部高周波クロック(fc)、内部高周波クロック(fosc) の選択を行った後、使用しない方の高周波クロックを停止させた状態で行ってください。両クロックがともに発振許可された状態からの動作モード遷移は正しく動作しないことがあります。

基準クロックの切り替えについては、 「(1) 高周波クロックの基準クロック(fh)」を参照してください。

また、SYSCR1<SYSCK> が"1" のとき、SYSCR1<OSCSEL> を変更することができません。従って、SLOW1 、2 モード間で遷移するときの高周波の基準クロック(fh) は、あらかじめNORMAL1、2 モードで設定しておく必要があります。

TLCS-870/C1 シリーズは、リセット解除後シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムによって低周波クロックを発振させてください。

(1)　NORMAL2 モード

CPU コアをギアクロック(fcgck)で動作させ、周辺回路をギアクロック(fcgck)、低周波クロック(fs)を 4 分周したクロックで動作させるモードです。

(2)　SLOW2 モード

CPU コア、周辺回路を低周波クロック(fs)を 4 分周したクロックで動作させるモードです。

SLOW モードでは、周辺回路はリセット解除時と同じ状態になるものがあります。SLOW モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

NORMAL2 から SLOW2 への切り替え, SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。

SLOW2 モード時、プリスケーラ、デバイダの初段から 8 段目までの出力は停止します。

(3) SLOW1 モード

高周波クロック用発振回路の動作を停止させ、CPU コア, 周辺回路を低周波クロック(fs)を 4 分周したクロックで動作させるモードです。

SLOW2 に対して、高周波クロック用発振回路の動作電力を削減できます。

SLOW モードでは、周辺回路はリセット解除時と同じ状態になるものがあります。SLOW モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

SLOW1 モードと SLOW2 モードの間の遷移は SYSCR2<XEN>で行います。

SLOW1, SLEEP1 モード時、プリスケーラ、デバイダの初段から 8 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺回路をギアクロック(fcgck)、低周波クロック(fs)を 4 分周したクロックで動作させるモードです。

IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

高周波クロック用発振回路の動作を停止させ、CPU およびウォッチドッグタイマを停止し、周辺回路を低周波クロック(fs)を 4 分周したクロックで動作させるモードです。

SLEEP1 モードでは、周辺回路はリセット解除時と同じ状態になるものがあります。SLEEP1 モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

SLEEP1 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。

SLOW1、 SLEEP1 モード時、プリスケーラ、デバイダの初段から 8 段目までの出力は停止します。

(6) SLEEP0 モード

高周波クロック用発振回路の動作を停止させ、タイムベースタイマを低周波クロック(fs)を 4 分周したクロックで動作させ、コアおよび周辺回路を停止させるモードです。

SLEEP0 モードでは、周辺回路は SLEEP0 起動時の状態で停止、あるいはリセット解除時と同じ状態になります。SLEEP0 モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

SLEEP0 モードの起動/解除方法は、IDLE0 モードと同じです。解除後、SLOW1 モードに戻ります。

SLEEP0 モード時、CPU が停止しタイミングジェネレータはタイムベースタイマ以外へのクロック供給を停止します。

2.3.5.3　STOP モード

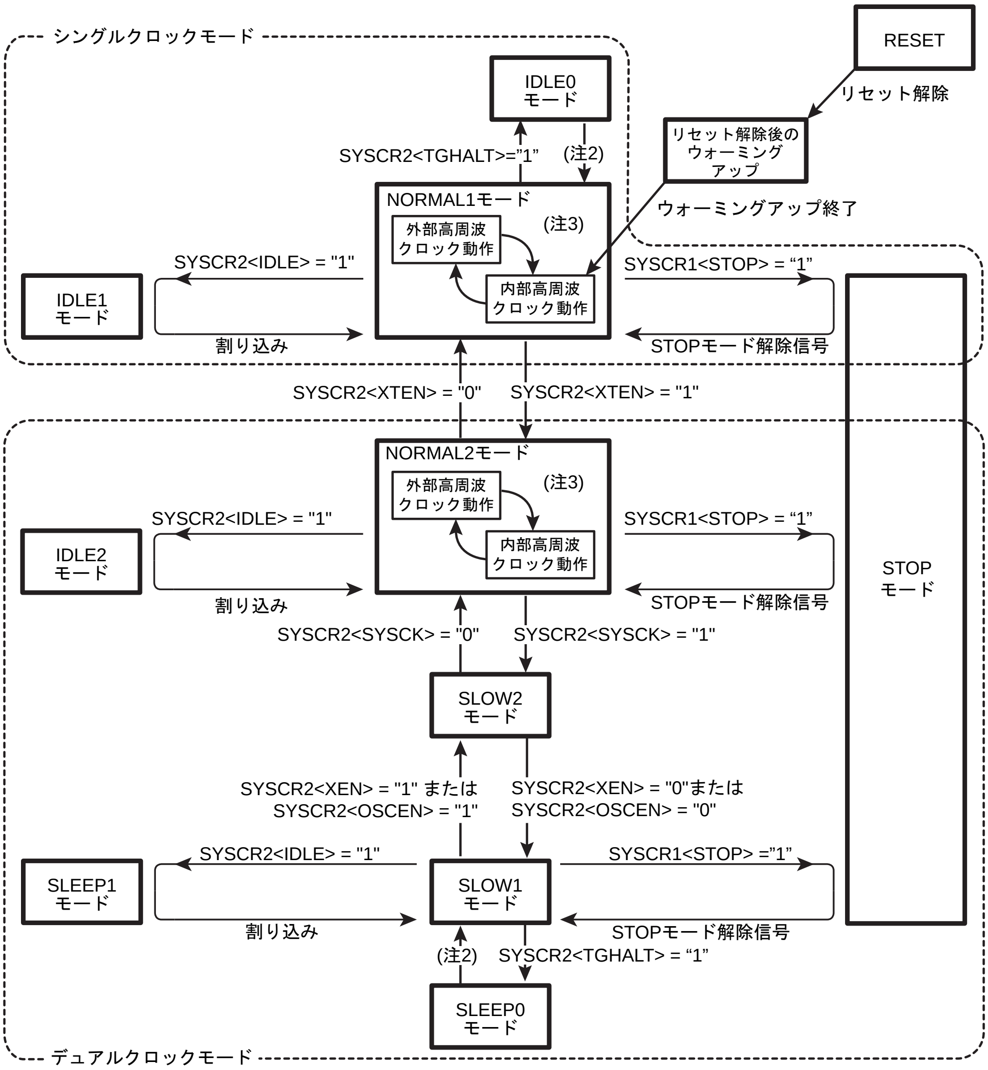
　発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

　STOP モードでは、周辺回路は STOP 起動時の状態で停止、あるいはリセット解除時と同じ状態になります。STOP モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

　STOP モードの起動は、SYSCR1<STOP>を"1"にセットすることで行います。

　解除は、STOP モード解除信号で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.3.5.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1 モードを SLEEP モードと呼びます。

注 2) TBTCR<TBTCK>によって選択されたソースクロックの立ち下がりエッジによって解除されます。

注 3) 内部高周波クロックと外部高周波クロックの切り替えは NORMAL1, 2 モードで実行してください。詳細は「(1) 高周波クロックの基準クロック(fh)」を参照してください。

図 2-9 動作モード状態遷移図

表 2-5 動作モードと各部の状態

<table>
<tr><th colspan="2" rowspan="2">動作モード</th><th colspan="2">発振回路</th><th rowspan="2">CPU コア</th><th rowspan="2">ウォッチドッグ
タイマ</th><th rowspan="2">タイム
ベース
タイマ</th><th rowspan="2">AD
コンバータ</th><th rowspan="2">その他
周辺回路</th><th rowspan="2">マシン
サイクル
タイム</th></tr>
<tr><th>高周波クロックの基準クロック(fh)</th><th>低周波
クロック(fs)</th></tr>
<tr><td rowspan="5">シングル
クロック</td><td>RESET</td><td rowspan="4">発振</td><td rowspan="5">停止</td><td>リセット</td><td>リセット</td><td>リセット</td><td>リセット</td><td>リセット</td><td rowspan="4">1 / fcgck [s]</td></tr>
<tr><td>NORMAL1</td><td>動作</td><td>動作</td><td rowspan="3">動作</td><td rowspan="2">動作</td><td rowspan="2">動作</td></tr>
<tr><td>IDLE1</td><td rowspan="3">停止</td><td rowspan="3">停止</td></tr>
<tr><td>IDLE0</td><td rowspan="2">停止</td><td rowspan="2">停止</td></tr>
<tr><td>STOP</td><td>停止</td><td>停止</td><td>–</td></tr>
<tr><td rowspan="7">デュアル
クロック</td><td>NORMAL2</td><td rowspan="3">発振</td><td rowspan="6">発振</td><td>高周波動作</td><td>高周波
/低周波動作</td><td rowspan="6">動作</td><td rowspan="2">動作</td><td rowspan="5">動作</td><td rowspan="2">1 / fcgck [s]</td></tr>
<tr><td>IDLE2</td><td>停止</td><td>停止</td></tr>
<tr><td>SLOW2</td><td>低周波動作</td><td>低周波動作</td><td rowspan="5">停止</td><td rowspan="4">4/ fs [s]</td></tr>
<tr><td>SLOW1</td><td rowspan="4">停止</td><td>低周波動作</td><td>低周波動作</td></tr>
<tr><td>SLEEP1</td><td rowspan="3">停止</td><td rowspan="3">停止</td></tr>
<tr><td>SLEEP0</td><td rowspan="2">停止</td></tr>
<tr><td>STOP</td><td>停止</td><td>停止</td><td>–</td></tr>
</table>

2.3.6　動作モードの制御

2.3.6.1　STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) とSTOP モード解除信号によって制御されます。

(1)　STOP モードの起動

STOP モードは、SYSCR1<STOP>を “1” にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 内部(または外部)高周波クロック、 外部低周波クロックとも発振を停止し、内部の動作をすべて停止します。
2. データメモリ, レジスタ, プログラムステータスワードは STOP モードに入る直前の状態を保持します。 ポートの出力ラッチは SYSCR1<OUTEN>の値によります。
3. タイミングジェネレータのプリスケーラおよびデバイダを “0” にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令(例えば、SET (SYCR1).7) の 2 つ先の命令のアドレスを保持します。

(2)　STOP モードの解除

STOP モードは下記の STOP モード解除信号で解除されます。また、RESET 端子によるリセット、パワーオンリセット、電圧検出回路によるリセットによっても解除されます。リセット状態が解除されると、ウォーミングアップ動作が開始されます。ウォーミングアップ動作終了後、NORMAL1 モードとなります。

1. STOP 端子による解除
2. キーオンウェイクアップによる解除
3. 電圧検出回路による解除

注) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが “1” にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

1. $\overline{\text{STOP}}$ 端子による解除

   $\overline{\text{STOP}}$ 端子で STOP モードを解除します。

   $\overline{\text{STOP}}$ 端子での STOP モード解除には、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM>で選択されます。

   なお、$\overline{\text{STOP}}$ 端子は、P11 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。

   - レベル解除モード

     $\overline{\text{STOP}}$ 端子への“H”レベル入力により STOP 動作を解除します。

     SYSCR1<RELM>を"1"にするとレベル解除モードとなります。

     メイン電源遮断時のコンデンサ バックアップや長時間のバッテリーバックアップなどに使用します。

     $\overline{\text{STOP}}$ 端子入力が “H” レベルの状態で STOP 動作の起動を指示する命令を実行しても、STOP 動作に入りません。従って、レベル解除モードで STOP 動作で起動する場合、$\overline{\text{STOP}}$ 端子入力が “L” レベルであることをプログラム上で確認する必要があります。

     この確認には、ポートの状態をソフトウエアで確認する方法と割り込みを使う方法があります。

     注) STOP モードを解除するとき、 ウォーミングアップカウンタのソースクロックは、WUCCR<WUCSEL>と関係なく、STOP モードを起動したときのメインシステムクロックを発生するクロックに自動的に切り替わります。

(プログラム例) P00 ポートをテストして NORMAL モードから STOP モードを起動
(STOP モード解除時のウォーミングアップ時間約 300μs@fc=10MHz)

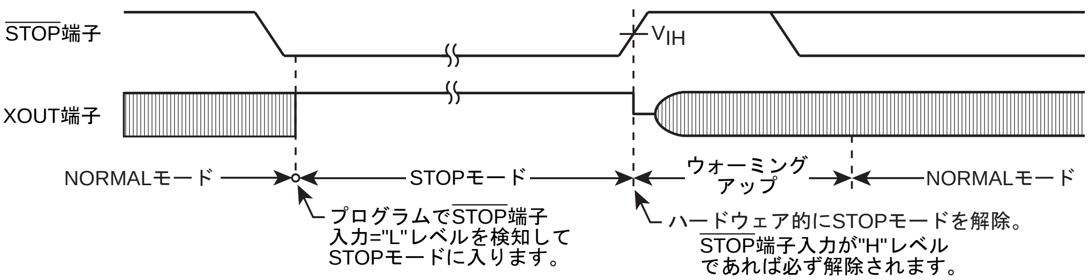
```
          LD     (SYSCR1), 0x40      ; レベル解除モードにセットアップ
SSTOPH:   TEST   (P0PRD). 5          ; STOP 端子入力が“L”レベルになるまでウエイト
          J      F, SSTOPH
          LD     (WUCCR), 0x01       ; WUCCR<WUCDIV>←00(分周無し) (注)
          LD     (WUCDR),0x2F        ; ウォーミングアップ時間をセット
                                     ; 300μs / 6.4μs = 46.9 → 切り上げて 0x2F
          DI                         ; IMF←0
          SET    (SYSCR1). 7         ; STOP モードを起動
```

注)　STOP モードを解除するとき、 ウォーミングアップカウンタのソースクロックは、WUCCR<WUCSEL>と関係なく、STOP モードを起動したときのメインシステムクロックを発生するクロックに自動的に切り替わります。

(プログラム例)　INT5 割り込みにより、SLOW モードから STOP モードを起動
(STOP モード解除時のウォーミングアップ時間約 450ms@fs=32.768kHz)

```
PINT5:  TEST  (P0PRD). 5        ; ノイズ 除去のため STOP 端子入力が
        J     F, SINT5          ; "H"レベルなら STOP モードを起動しない。
        LD    (SYSCR1), 0x40    ; レベル解除モードにセットアップ
        LD    (WUCCR), 0x03     ; WUCCR<WUCDIV>←00(分周無し) (注)
        LD    (WUCDR),0xE8      ; ウォーミングアップ時間をセット
                                ; 450ms / 1.953ms = 230.4 →切り上げて 0xE8
        DI                      ; IMF←0
        SET   (SYSCR1). 7       ; STOP モードを起動
SINT5:  RETI
```

注)　STOP モードを解除するとき、 ウォーミングアップカウンタのソースクロックは、WUCCR<WUCSEL>と関係なく、STOP モードを起動したときのメインシステムクロックを発生するクロックに自動的に切り替わります。



注)　ウォーミングアップ開始後、再び STOP 端子入力が “L” レベルになっても STOP モードには戻りません。

図 2-10 レベル解除モード（高周波クロック用発振回路選択時の例）

- エッジ解除モード

STOP 端子への立ち上がりエッジ入力により STOP 動作を解除します。

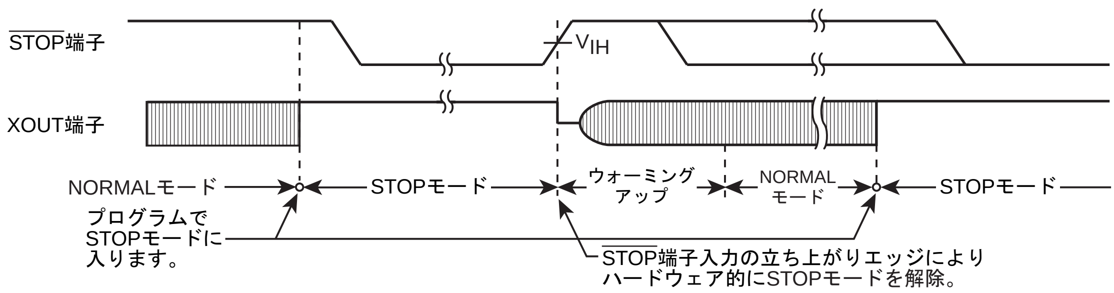
SYSCR1<RELM>を"0"にするとエッジ解除モードとなります。

比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を STOP 端子に入力します。エッジ解除モードの場合、STOP 端子入力が “H” レベルにあっても STOP 動作に入ります。

(プログラム例)　NORMAL モードから STOP モードを起動
(STOP モード解除時のウォーミングアップ時間約 200μs@fc=10MHz)

```
        LD    (WUCCR),0x01      ;WUCCR<WUCDIV>←00(分周無し) (注)
        LD    (WUCDR),0x20      ;ウォーミングアップ時間をセット
                                ;200μs / 6.4μs = 31.25 → 切り上げて 0x20
        DI                      ;IMF←0
        LD    (SYSCR1) , 0x80   ;エッジ解除モードに設定して起動
```

注)　STOP モードを解除するとき、 ウォーミングアップカウンタのソースクロックは、WUCCR<WUCSEL>と関係なく、STOP モードを起動したときのメインシステムクロックを発生するクロックに自動的に切り替わります。



注) SYSCR1<STOP>を"1"にセットしてから、1 マシンサイクル以内に $\overline{\text{STOP}}$ 端子に立ち上がりエッジが入力された場合、STOP 動作は解除されません。

図 2-11 エッジ解除モード（高周波クロック用発振回路選択時の例）

2. キーオンウェイクアップによる解除

キーオンウェイクアップ端子へあらかじめ指定したレベルを入力することによって STOP モードを解除します。

STOP モードを解除するレベルを"H"レベル、"L"レベルから選択することができます。

注) ウォーミングアップ開始後、再びキーオンウェイクアップ端子入力が解除レベルと逆になっても STOP モードには戻りません。

3. 電圧検出回路による解除

電圧検出回路の電源電圧検出により STOP モードを解除します。

電圧検出回路の電圧検出動作モードが「電圧検出リセット信号発生」の場合、電源電圧が検出電圧以下になると STOP モードは直ちに解除され、リセット状態になります。

電源電圧が電圧検出回路の検出電圧以上になるとリセット状態は解除され、ウォーミングアップ動作が開始されます。ウォーミングアップ状態終了後、NORMAL1 モードとなります。

詳細については電圧検出回路の章を参照してください。

注) SYSCR1<STOP>を"1"にセットしてから、1 マシンサイクル以内に電源電圧が検知電圧以上になった場合、STOP 動作は解除されません。

(3) STOP モードの解除動作

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。各モードにおける発振開始動作は「表 2-6 STOP モード解除時の発振開始動作」を参照してください。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせウォーミングアップカウンタで設定します。
3. ウォーミングアップ時間経過後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのプリスケーラ及びデバイダは"0"にクリアされます。

注) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。
STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、$\overline{\text{RESET}}$ 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、$\overline{\text{RESET}}$ 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、$\overline{\text{RESET}}$ 端子の入力電圧レベルが、$\overline{\text{RESET}}$ 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-6 STOP モード解除時の発振開始動作

STOP モード起動前の動作モード		高周波クロックの基準クロック	低周波クロックの基準クロック	解除後の発振開始動作
シングルクロックモード	NORMAL1 モード	内部高周波クロック	-	内部高周波クロック用発振回路は発振開始。 外部高周波クロック用発振回路は発振停止。 外部低周波クロック用発振回路は発振停止。
		外部高周波クロック	-	内部高周波クロック用発振回路は発振停止。 外部高周波クロック用発振回路は発振開始。 外部低周波クロック用発振回路は発振停止。
デュアルクロックモード	NORMAL2 モード	内部高周波クロック	外部低周波クロック	内部高周波クロック用発振回路は発振開始。 外部高周波クロック用発振回路は発振停止。 外部低周波クロック用発振回路は発振開始。
		外部高周波クロック	外部低周波クロック	内部高周波クロック用発振回路は発振停止。 外部高周波クロック用発振回路は発振開始。 外部低周波クロック用発振回路は発振開始。
	SLOW1 モード	-	外部低周波クロック	内部高周波クロック用発振回路は発振停止。 外部高周波クロック用発振回路は発振停止。 外部低周波クロック用発振回路は発振開始。

2.3.6.2　IDLE1/2 モード, SLEEP1 モード

IDLE1/2 モード, SLEEP1 モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1/2 モード, SLEEP1 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺回路は動作を継続します。
2. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE1/2 モード, SLEEP1 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード, SLEEP1 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

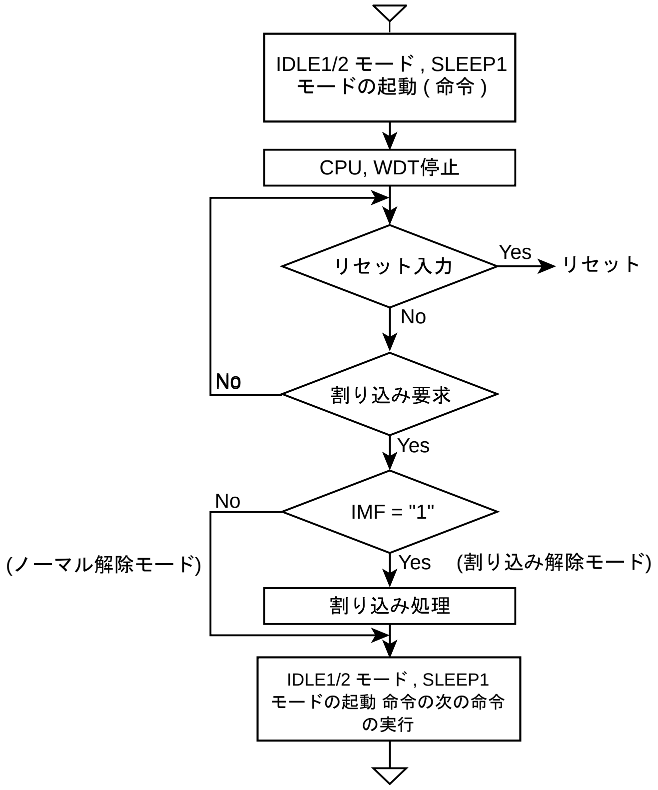


図 2-12 IDLE1/2 モード, SLEEP1 モード

(1)　IDLE1/2, SLEEP1 モードの起動

割り込みマスタ許可フラグ(IMF)を“0”に設定した後、IDLE1/2, SLEEP1 モードを解除する割り込み個別許可フラグ(EF)を“1” に設定します。

IDLE1/2, SLEEP1 モードを起動するには、SYSCR2<IDLE>を “1” に設定します。

なお、IDLE1/2, SLEEP1 モードを起動するときに解除条件が成立している場合、SYSCR2<IDLE>はクリアされたままとなり、IDLE1/2, SLEEP1 モードは起動されません。

注 1)　IDLE1/2, SLEEP1 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

注 2)　IDLE1/2, SLEEP1 モードを起動する前に、IDLE1/2, SLEEP1 モードを解除するための割り込み要求信号を発生させるための設定と割り込み個別許可フラグの設定を行ってください。

(2)　IDLE1/2, SLEEP1 モードの解除

IDLE1/2, SLEEP1 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1 モードが解除されると、SYSCR2<IDLE>は自動的に “0” にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1 モードは $\overline{\text{RESET}}$ 端子によるリセット、パワーオンリセット、電圧検出回路によるリセットによっても解除されます。リセット状態が解除されると、ウォーミングアップ動作が開始されます。ウォーミングアップ動作終了後、NORMAL1 モードとなります。

・　ノーマル解除モード(IMF="0"のとき)

　割り込み個別許可フラグ (EF) で許可された割り込みラッチが"1"のとき、IDLE1/2, SLEEP1 モードが解除され、IDLE1/2, SLEEP1 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

・　割り込み解除モード(IMF="1"のとき)

　割り込み個別許可フラグ (EF) で許可された割り込みラッチが"1"のとき、IDLE1/2, SLEEP1 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1 モードを起動した命令の次の命令に戻ります。

2.3.6.3　IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

・　タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。

・　データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。

・　プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

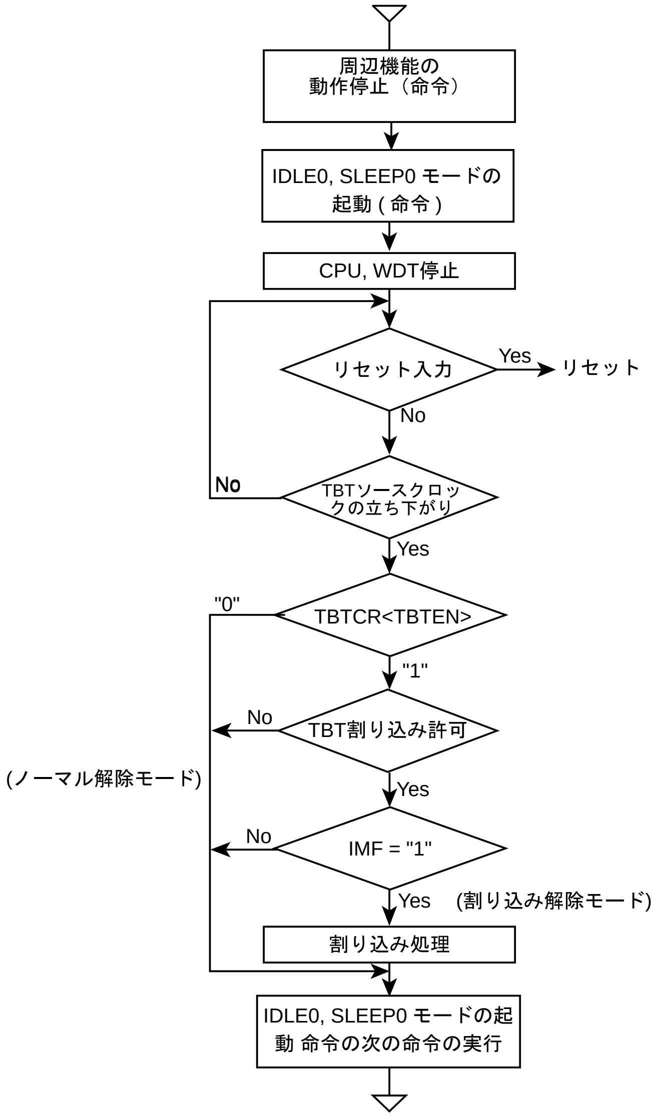


図 2-13 IDLE0, SLEEP0 モード

・ IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（Disable 状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT>を “1” に設定します。

・ IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) 、タイムベースタイマの割り込み個別許可フラグ (EF5) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT>は自動的に “0” にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN>が “1” にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子によるリセット、パワーオンリセット、電圧検出回路によるリセットによっても解除されます。リセット状態が解除されると、ウォーミングアップ動作が開始されます。ウォーミングアップ動作終了後、NORMAL1 モードとなります。

(1)　ノーマル解除モード (IMF ・EF5 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN>が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2)　割り込み解除モード (IMF ・ EF5 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1)　IDLE0, SLEEP0 モードは、TBTCR<TBTCK>によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTCK>の時間よりも短くなります。

注 2)　IDLE0,　SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

2.3.6.4　SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

(1)　NORMAL2 モードから SLOW1 モードへの切り替え

SYSCR2<SYSCK>を“1”にセットします。

SYSCR2<SYSCK>を"1"にしてから、最大 2/fcgck+10/fs [s]後に、メインシステムクロック(fm)が fs/4 に切り替わります。

切り替え後、2 マシンサイクル以上待ち、SYSCR2<XEN>を"0"にクリアして、高周波クロック用発振器を停止します。

なお、低周波クロック(fs)が安定して発振していない場合は、安定発振をウォーミングアップカウンタで確認してから、上記操作を行ってください。

注 1)　NORMAL2 モードから SLOW1 モードへの切り替えは、必ずこの手順に従って行ってください。

注 2)　NORMAL2 モードへ早く戻るために高周波クロックの基準クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックの基準クロックの発振を停止してください。

注 3)　SYSCR2<SYSCK>を切り替えた後、必ず 2 マシンサイクル以上待ち、SYSCR2<XEN>を"0"にクリアしてください。2 マシンサイクル未満でクリアするとシステムクロックリセットが発生します。

注 4)　メインシステムクロック(fm)切り替え時に、低周波用クロックの基準クロック(fs)を 4 分周したクロックとギアクロック(fcgck)の同期を取ります。同期を取るときに、最大 10/fs の期間 fm が止まります。

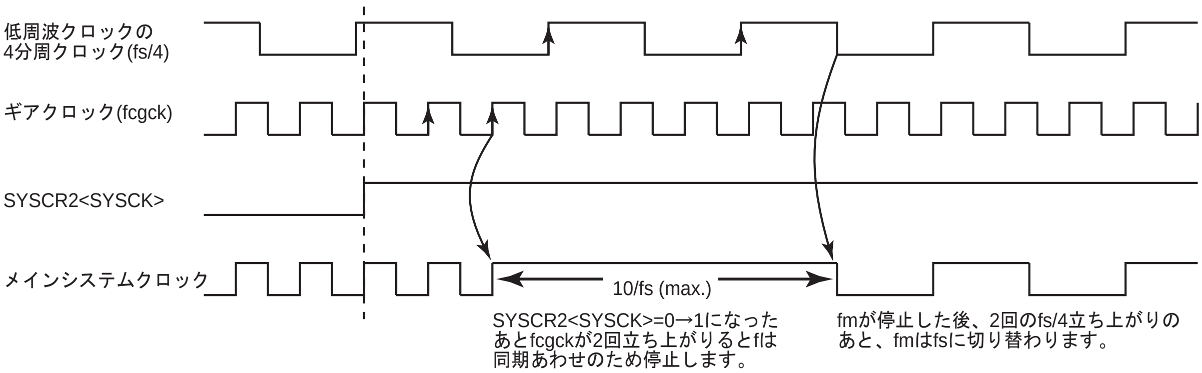


図 2-14 メインシステムクロック(fm)の切り替え(fcgck から fs/4 への切り替え)

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え（高周波クロックの基準クロックに fc を使用している場合）

```
        SET     (SYSCR2).4          ;SYSCR2<SYSCK>←1
                                    ;(システムクロックを低周波の基準クロックに切り替え
                                    ;SLOW2 モードに)
        NOP                         ;2 マシンサイクルのウェイト
        NOP
        CLR     (SYSCR2).6          ;SYSCR2<XEN>←0 (高周波クロック用発振回路停止)
```

(プログラム例 2) 外部高周波クロック動作時、ウォーミングアップカウンタで外部低周波クロック用発振回路の安定発振の確認後、SLOW1 モードへ切り替え（fs = 32.768kHz、ウォーミングアップ時間=約 100ms）

```
            ; #### イニシャライズルーチン ####
            SET     (P0FC).2            ;P0FC2←1 (P02/03 を発振器として使用する）
            ¦
            ¦
            LD      (WUCCR), 0x02       ;WUCCR<WUCDIV>←00（分周無し）、
                                        ;WUCCR<WUCSEL>←1（ソースクロックに fs を選択）
            LD      (WUCDR), 0x33       ;ウォーミングアップ時間をセット
                                        ;(発振子の特性で時間を決定します)
                                        ;100ms / 1.95ms = 51.2 → 切り上げて 0x33
            SET     (EIRL).4            ;INTWUC の割り込みを許可
            SET     (SYSCR2).5          ;SYSCR2<XTEN>←1
                                        ;(低周波クロック発振開始＆ウォーミングアップカウンタスタート)
            ¦
            ; #### ウォーミングアップカウンタ割り込みの割り込みサービスルーチン ####
PINTWUC:    SET     (SYSCR2).4          ;SYSCR2<SYSCK>←1
                                        ;(システムクロックを低周波クロックに切り替え)
            NOP                         ;2 マシンサイクルのウェイト
            NOP
            CLR     (SYSCR2).6          ;SYSCR2<XEN>←0 (高周波クロック用発振回路停止)
            RETI
            ¦
VINTWUC:    DW      PINTWUC             ;INTWUC ベクタテーブル
```

(2)　SLOW1 モードから NORMAL1 モードへの切り替え

SYSCR2<OSCEN>または SYSCR2<XEN>を “1” にセットして高周波クロックの基準クロック(fh)を発振させせます。ウォーミングアップカウンタで高周波クロックの基準クロックの発振が安定したことを確認した後、SYSCR2<SYSCK>を “0” にクリアします。

SYSCR2<SYSCK>を"0"にしてから、最大 8/fs+2.5/fcgck [s]後に、メインシステムクロック(fm)が fcgck に切り替わります。

切り替え後、2 マシンサイクル以上待ち、SYSCR2<XTEN>を"0"にクリアして、外部低周波クロック用発振器を停止します。

なお、SLOW モードは $\overline{\text{RESET}}$ 端子によるリセット、パワーオンリセット、電圧検出回路によるリセットによっても解除されます。リセット状態が解除されると、ウォーミングアップ動作が開始されます。ウォーミングアップ動作終了後、NORMAL1 モードとなります。

注 1)　SLOW1 モードから NORMAL1 モードへの切り替えは、必ずこの手順に従って行ってください。

注 2)　SYSCR2<SYSCK>を切り替えた後、必ず 2 マシンサイクル以上待ち、SYSCR2<XTEN>を"0"にクリアしてください。2 マシンサイクル未満でクリアするとシステムクロックリセットが発生します。

注 3)　メインシステムクロック(fm)の切り替え時に、低周波用クロックの基準クロック(fs)を 4 分周したクロックとギアクロック(fcgck)の同期を取ります。同期を取るときに、最大 2.5/fcgck[s]の期間 fm が止まります。

注 4)　SYSCR1<OSCSEL>は SYSCR2<SYSCK>が"0"のとき(NORMAL1, 2 モード)に設定してください。SYSCR2<SYSCK>が"1" (SLOW1, 2 モード)のときに SYSCR1<OSCSEL>に書き込みを行っても設定値は反映されません。

注 5)　P0FC0 が"0"の時、SYSCR2<XEN>を"1"に設定するとシステムクロックリセットが発生します。

注 6)　SYSCR2<XEN>が"1"に設定されている状態で SYSCR2<XEN>に"1"を書き込んでもウォーミングアップカウンタはソースクロックのカウントを開始しません。

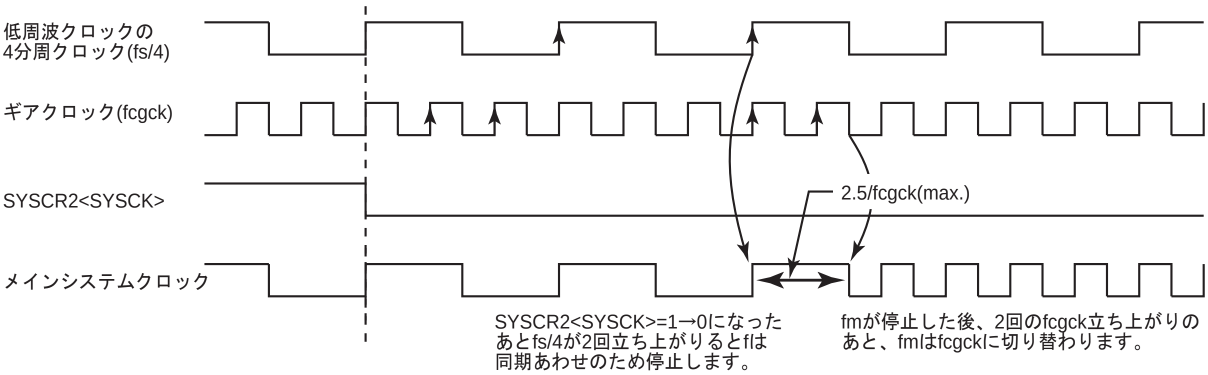


図 2-15 メインシステムクロック(fm)の切り替え(fs/4 から fcgck への切り替え)

(プログラム例)　ウォーミングアップカウンタで外部高周波クロック用発振回路の安定を確認後、SLOW1 モードから NORMAL1 モードへの切り替え(fc = 10 MHz, ウォーミングアップ時間 = 4.0 ms)

```
; #### イニシャライズルーチン ####
SET     (P0FC).2                ;P0FC2←1 (P02/03 を発振器として使用する）
¦
¦
LD      (WUCCR), 0x09           ;WUCCR<WUCDIV>←10（2 分周）
                                ;WUCCR<WUCSEL>←0（ソースクロックに fc を選択）
LD      (WUCDR), 0x9D           ;ウォーミングアップ時間をセット
                                ;(周波数と発振子の特性で時間を決定します)
                                ;4ms / 25.6μs = 156.25 → 切り上げて 0x9D
SET     (EIRL). 4               ;INTWUC 割り込みを許可
SET     (SYSCR2) .6             ;SYSCR2<XEN>←1 (高周波クロック用発振回路発振開始)
```

```
                ¦
                ; #### ウォーミングアップカウンタ割り込みの割り込みサービスルーチン ####
PINTWUC:        CLR     (SYSCR2). 4                 ;SYSCR2<SYSCK>←0
                                                    ;(システムクロックをギアクロックに切り替え)
                NOP                                 ;2 マシンサイクルのウェイト
                NOP
                CLR     (SYSCR2). 5                 ;SYSCR2<XTEN>←0 (外部低周波クロック用発振回路停止)
                RETI
                ¦
VINTWUC:        DW      PINTWUC                     ;INTWUC ベクタテーブル
```

2.4　リセット制御回路

リセット回路は、外部リセット、内部要因リセットを制御し、システムを初期化する回路です。

2.4.1　構成

リセット制御回路は、下記のリセット信号発生回路から構成されています。

1. 外部リセット入力（外部要因）
2. パワーオンリセット（内部要因）
3. 電圧検出リセット１（内部要因）
4. 電圧検出リセット２（内部要因）
5. ウォッチドッグタイマリセット（内部要因）
6. システムクロックリセット（内部要因）
7. トリミングデータリセット（内部要因）
8. フラッシュスタンバイリセット（内部要因）

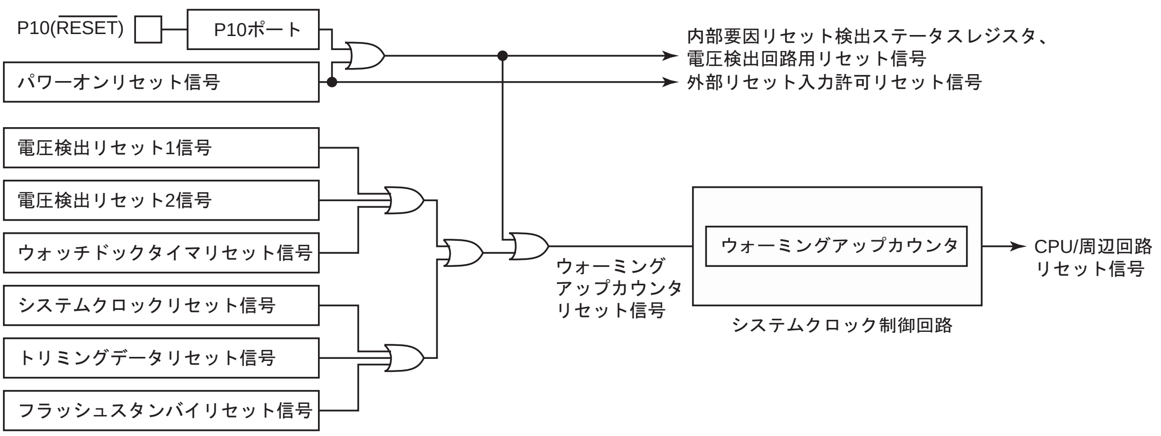


図 2-16 リセット制御回路

2.4.2　制御

リセット制御回路は、システム制御レジスタ 3(SYSCR3)、システム制御レジスタ 4(SYSCR4)、システム制御ステータスレジスタ(SYSSR4)、内部要因リセット検出ステータスレジスタ(IRSTSR)で制御されます。

システム制御レジスタ 3

SYSCR3
(0x0FDE)

		7	6	5	4	3	2	1	0
SYSCR3 (0x0FDE)	Bit Symbol						(RVCTR)	(RAREA)	RSTDIS
	Read/Write	R	R	R	R	R	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

RSTDIS	外部リセット入力許可レジスタ	0 : 1 :	外部リセット入力を許可する 外部リセット入力を禁止する

注 1)　有効にされている SYSCR3<RSTDIS>はパワーオンリセットでのみ初期化されます。外部リセット入力、内部要因リセットでは初期化されません。SYSCR3 に書き込まれている値は、パワーオンリセット、外部リセット入力、内部要因リセットでリセットされます。

注 2)　SYSCR3<RSTDIS>の値は SYSCR4 に 0xB2 を書き込むまで有効となりません。

注 3) SYSCR3<RSTDIS>を変更し、SYSCR4 に有効コード(0xB2)を書き込むとき、ギアクロック(fcgck)fc/4 (CGCR <FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更せずに連続して実行してください。それ以外の状態では予期せぬタイミングで SYSCR3<RSTDIS>が有効となることがあります。

注 4) SYSCR3 のビット 7 ~ 3 は、読み出すと"0"が読み出されます。

システム制御レジスタ 4

SYSCR4 (0x0FDF)

	7	6	5	4	3	2	1	0
Bit Symbol	SYSCR4							
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0

SYSCR4	SYSCR3 のデータ制御コード書き込み	0xB2:	SYSCR3<RSTDIS>の内容を有効にする
		0xD4:	SYSCR3<RAREA>、SYSCR3<RVCTR>の内容を有効にする
		0x71:	IRSTSR<FCLR>の内容を有効にする
		その他	無効

注 1) SYSCR4 は Write only レジスタです。ビット操作などのリードモディファイライト命令でアクセスしてはいけません。

注 2) SYSCR3<RSTDIS>を変更し、SYSCR4 に有効コード(0xB2)を書き込むとき、ギアクロック(fcgck)が fc/4 (CGCR <FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更せずに連続して実行してください。それ以外の状態では予期せぬタイミングで SYSCR3<RSTDIS>が有効となることがあります。

注 3) IRSTSR<FCLR>を"1"に設定し、SYSCR4 に有効コード(0x71)を書き込むとき、ギアクロック(fcgck)が fc/4 (CGCR <FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更せずに連続して実行してください。それ以外の状態では予期せぬタイミングで IRSTSR<FCLR>が有効となることがあります。

システム制御ステータスレジスタ 4

SYSSR4 (0x0FDF)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	(RVCTRS)	(RAREAS)	RSTDISS
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

RSTDISS	外部リセット入力許可ステータス	0:	有効になっている SYSCR3<RSTDIS>のデータが"0"
		1:	有効になっている SYSCR3<RSTDIS>のデータが"1"

注 1) 有効にされている SYSCR3<RSTDIS>はパワーオンリセットでのみ初期化されます。それ以外のリセット信号では初期化されません。SYSCR3 に書き込まれている値は、パワーオンリセット以外のリセット信号でもリセットされます。

注 2) SYSCR4 のビット 7 ~ 3 は、読み出すと"0"が読み出されます。

内部要因リセット検出ステータスレジスタ

IRSTSR
(0x0FCC)

	7	6	5	4	3	2	1	0
Bit Symbol	FCLR	FLSRF	TRMDS	TRMRF	LVD2RF	LVD1RF	SYSRF	WDTRF
Read/Write	W	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

FCLR	フラグの初期化制御	0: 1:	- 内部要因リセット フラグを “0” にクリア
FLSRF	フラッシュスタンバイリセット検出フラグ	0: 1:	- フラッシュスタンバイリセットを検出
TRMDS	トリミングデータステータス	0: 1:	- トリミングデータ異常状態
TRMRF	トリミングデータリセット検出フラグ	0: 1:	- トリミングデータリセットを検出
LVD2RF	電圧検出リセット２検出フラグ	0: 1:	- 電圧検出２リセットを検出
LVD1RF	電圧検出リセット１検出フラグ	0: 1:	- 電圧検出１リセットを検出
SYSRF	システムクロックリセット検出フラグ	0: 1:	- システムクロックリセットを検出
WDTRF	ウォッチドッグタイマリセット検出フラグ	0: 1:	- ウォッチドッグタイマリセットを検出

注 1)　内部要因リセットフラグ (IRSTSR<FLSRF, TRMDS, TRMRF, LVD2RF, LVD1RF, SYSRF, WDTRF>)は、パワーオンリセット、外部リセット入力、IRSTSR<FCLR>でのみ初期化されます。内部要因リセットでは初期化されません。

注 2)　IRSTSR は外乱ノイズなどの影響によって正常に動作しない場合がありますので、機器設計時には十分な考慮が必要です。

注 3)　IRSTSR<FCLR>を"1"に設定した後、SYSCR4 に 0x71 を書き込むと、内部要因リセットフラグは"0"にクリアされ同時に IRSTSR<FCLR>は自動的に"0"にクリアされます。

注 4)　IRSTSR<FCLR>を"1"に設定し、SYSCR4 に有効コード(0x71)を書き込むとき、ギアクロック(fcgck)が fc/4 (CGCR <FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更せずに連続して実行してください。それ以外の状態では予期せぬタイミングで IRSTSR<FCLR>が有効となることがあります。

注 5)　IRSTSR のビット 7 は読み出すと"0"が読み出されます。

2.4.3　機能

パワーオンリセット、外部リセット入力、内部要因リセット信号は、クロックジェネレータのウォーミングアップ回路に入力されます。

リセット中、ウォーミングアップカウンタ回路はリセットされ、CPU と周辺回路をリセットします。

リセットが解除されると、ウォーミングカウンタは高周波クロック(fc)のカウントを開始し、リセット解除後のウォーミングアップ動作を行います。

リセット解除後のウォーミングアップ動作中に、パワーオンリセットと電圧検出回路の比較電圧を作るラダー抵抗の調整用のトリミングデータを専用の不揮発性メモリから読み出します。

リセット解除後のウォーミングアップ動作が終了すると、CPU はアドレス 0xFFFE ~ 0xFFFF に格納されているリセットベクタアドレスからプログラムの実行を開始します。

リセット解除後のウォーミングアップ動作中にリセット信号が入力されると、ウォーミングアップカウンタ回路はリセットされます。

パワーオンリセット、外部リセット入力と内部要因リセットによるリセット動作は、一部のスペシャルファンクションレジスタの初期化、電圧検出回路の初期化を除き同じです。

リセットが発生することで、周辺回路は表 2-7 に示す状態となります。

表 2-7 リセット動作による内蔵ハードウエアの初期化と解除状態

内蔵ハードウェア	リセット中の状態	リセット解除後のウォーミングアップ動作中の状態	リセット解除後のウォーミングアップ動作終了直後の状態
プログラムカウンタ (PC)	MCU モード : 0xFFFE シリアル PROM モード : 0x1FFE	MCU モード : 0xFFFE シリアル PROM モード : 0x1FFE	MCU モード : 0xFFFE シリアル PROM モード : 0x1FFE
スタックポインタ (SP)	0x00FF	0x00FF	0x00FF
RAM	不定	不定	不定
汎用レジスタ(W, A, B, C, D, E, H, L, IX, IY)	不定	不定	不定
レジスタバンクセレクタ(RBS)	0	0	0
ジャンプ ステータスフラグ (JF)	不定	不定	不定
ゼロフラグ (ZF)	不定	不定	不定
キャリーフラグ (CF)	不定	不定	不定
ハーフキャリーフラグ (HF)	不定	不定	不定
サインフラグ (SF)	不定	不定	不定
オーバフローフラグ (VF)	不定	不定	不定
割り込みマスタ許可フラグ (IMF)	0	0	0
割り込み個別許可フラグ (EF)	0	0	0
割り込みラッチ (IL)	0	0	0
内部高周波クロック用発振回路	発振許可	発振許可	発振許可
外部高周波クロック用発振回路	発振禁止	発振禁止	発振禁止
外部低周波クロック用発振回路	発振禁止	発振禁止	発振禁止
ウォーミングアップカウンタ	リセット	スタート	停止
タイミングジェネレータのプリスケーラおよびデバイダ	0	0	0
ウォッチドッグタイマ	禁止	禁止	許可
電圧検出回路	禁止または許可	禁止または許可	禁止または許可
入出力ポートの端子状態	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
スペシャルファンクションレジスタ	SFR マップを参照	SFR マップを参照	SFR マップを参照

注 1) 電圧検出回路は外部リセット入力、またはパワーオンリセットでのみ禁止されます。

注 2) LCD 回路の COM 端子などリセット解除後、Hi-Z とならないものがあります。詳細については、周辺ハードウエアの説明を参照ください。

2.4.4　リセット信号発生要因

各要因ごとのリセット信号発生は、下記の通りです。

2.4.4.1　パワーオンリセット

パワーオンリセットは電源投入時に発生する内部要因リセットです。

電源投入時、電源電圧がパワーオンリセットの解除電圧以下の間、パワーオンリセット信号が発生されます。電源電圧が解除電圧を超えるとパワーオンリセット信号が解除されます。

電源遮断時、電源電圧がパワーオンリセットの検出電圧以下になるとパワーオンリセット信号が発生されます。

詳しくは『パワーオンリセット回路』を参照してください。

2.4.4.2　外部リセット入力($\overline{\text{RESET}}$ 端子入力)

外部リセットは、$\overline{\text{RESET}}$ 端子入力によって発生する外部要因リセットです。P10 ポートは、$\overline{\text{RESET}}$ 端子と兼用になっており、電源投入後は $\overline{\text{RESET}}$ 端子となります。

- 電源投入時
  - 電源の立ち上がり時間が早い場合

    電源立ち上がり時間(t_{VDD})が 5 [ms]に対し十分早い場合は、パワーオンリセットもしくは外部リセット($\overline{\text{RESET}}$ 端子入力)によってリセットを解除することができます。

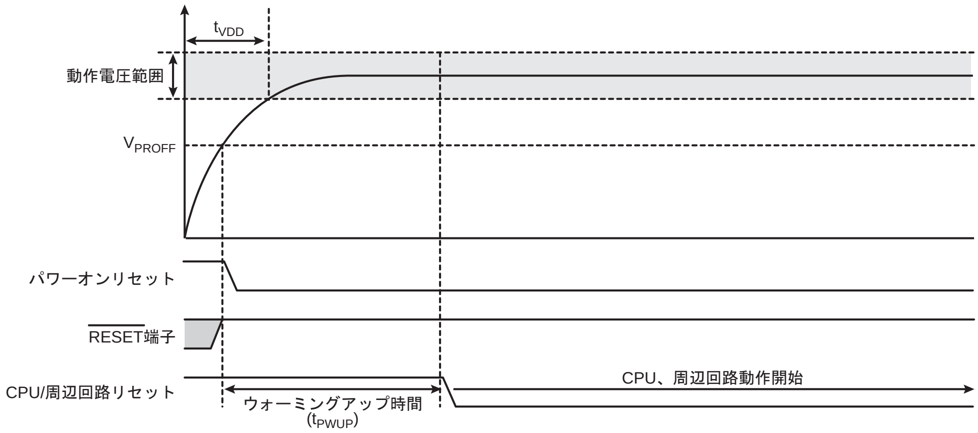
    パワーオンリセットと外部リセット($\overline{\text{RESET}}$ 端子入力)は論理和構造となっていますので、いずれか一方、もしくは両方の要因がリセット状態にあるとき TMP89FM46A はリセットされます。

    従ってリセット時間はリセット状態が長い方の要因に依存します。つまり電源電圧がパワーオンリセットの解除電圧(V_{PROFF})を超えるまでに $\overline{\text{RESET}}$ 端子を"L"から"H"レベル(もしくは最初から"H"レベル)にすると、リセット時間はパワーオンリセットに依存することになります。逆に電源電圧が解除電圧(V_{PROFF})を超えた後に $\overline{\text{RESET}}$ 端子を"L"から"H"レベルにするとリセット時間は外部リセットに依存することになります。

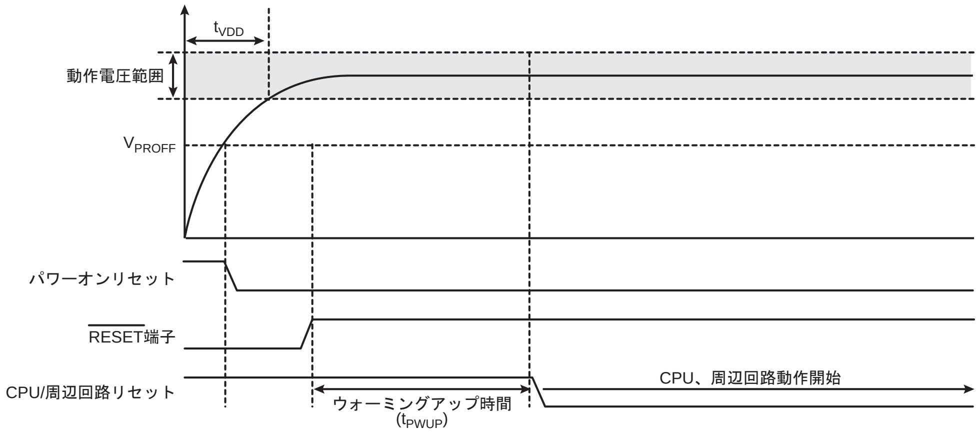
    前者の場合はパワーオンリセット信号が解除されたとき、後者の場合は $\overline{\text{RESET}}$ 端子を"H"レベルにしたときウォーミングアップが実行されます。ウォーミングアップ終了後、CPU および周辺回路が動作を開始します(図 2-17)。

  - 電源の立ち上がり時間が遅い場合

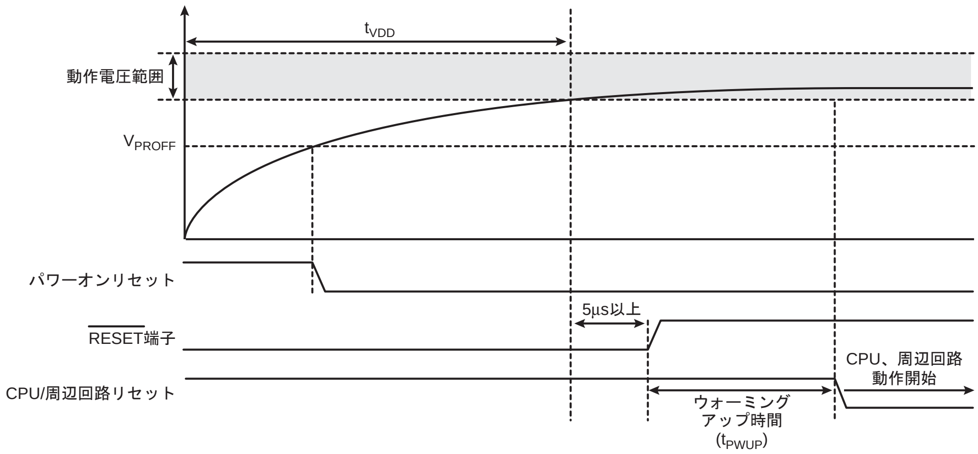
    電源立ち上がり時間(t_{VDD})が 5 [ms]を上回る場合、$\overline{\text{RESET}}$ 端子によってリセットを解除させる必要があります。この場合、$\overline{\text{RESET}}$ 端子を"L"レベルに保った状態で電源電圧を動作電圧範囲まで上昇させた後、発振が安定してから 5 [μs]以上経過した後に $\overline{\text{RESET}}$ 端子を"H"レベルにしてください。$\overline{\text{RESET}}$ 端子を"H"レベルにするとウォーミングアップが実行されます。ウォーミングアップ終了後、CPU および周辺回路が動作を開始します(図 2-17)。



電源の立ち上がり時間が早い場合 (リセット時間がパワーオンリセットに依存する場合)



電源の立ち上がり時間が早い場合 (リセット時間が外部リセットに依存する場合)



電源の立ち上がり時間が遅い場合

図 2-17 外部リセット入力（電源立ち上がり時）

・　電源電圧が動作電圧範囲内にある場合

電源電圧が動作電圧範囲内かつ発振が安定している状態で 5 [μs]以上、$\overline{\text{RESET}}$ 端子を "L"レベルに保つと、リセットが発生します。$\overline{\text{RESET}}$ 端子を"H"レベルにするとウォーミングアップが実行されます。ウォーミングアップ終了後、CPU および周辺回路が動作を開始します。(図 2-18)

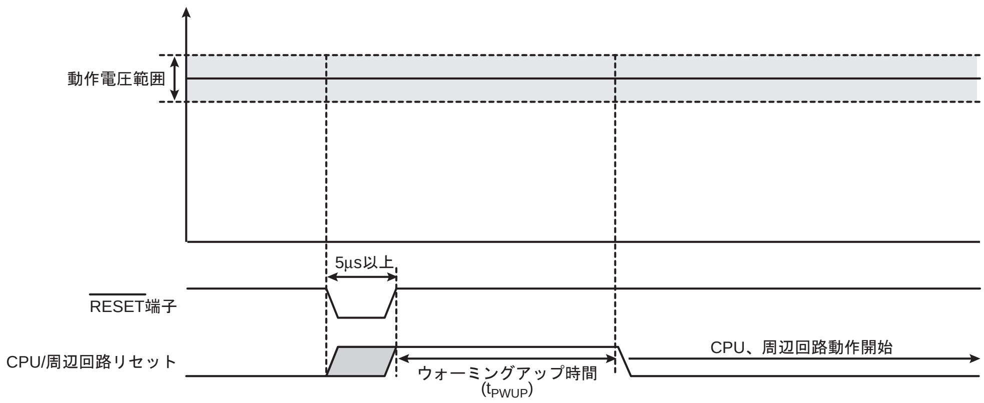


図 2-18 外部リセット入力（電源安定時）

2.4.4.3　電圧検出リセット

電圧検出リセットは、電源電圧があらかじめ設定した検出電圧と一致したことを検知すると発生する内部要因リセットです。

詳しくは『電圧検出回路』を参照してください。

2.4.4.4　ウォッチドッグタイマ リセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマがオーバーフローしたことを検知すると発生する内部要因リセットです。

詳しくは『ウォッチドッグタイマ』を参照してください。

2.4.4.5　システムクロックリセット

システムクロックリセットは、発振許可レジスタが、CPU がデッドロック状態に陥る組み合わせに設定されたことを検知すると発生する内部要因リセットです。

詳しくは『クロック制御回路』を参照してください。

2.4.4.6　トリミングデータリセット

トリミングデータリセットは、内部回路にラッチされているトリミングデータが動作中にノイズなどの要因で異常となった場合に発生する内部要因リセットです。

トリミングデータは、パワーオンリセットと電圧検出回路の比較電圧を作るラダー抵抗の調整用に用意されたデータビットです。

このビットは、リセット解除後のウォーミングアップ時間(t_{PWUP})中に専用の不揮発性メモリから読み出され内部回路にラッチされます。

リセット解除後のウォーミングアップ動作中に専用の不揮発性メモリから読み出されたトリミングデータに異常が検出された場合、IRSTSR<TRMDS>が"1"にセットされます。

リセット解除直後のイニシャライズルーチンで IRSTSR<TRMDS>を読み出し、"1"にセットされていた場合、システムクロックリセットなど内部要因リセットを発生させ、再度ウォーミングアップ動作を行いトリミングデータを読み直させてください。

複数回読み直させても IRSTSR<TRMDS>が"1"にセットされている場合、パワーオンリセット回路と電圧検出回路の検出電圧が電気的特性に記載されている特性を満足しません。この場合にシステムが破壊されないようなシステム設計を行ってください。

2.4.4.7 フラッシュスタンバイリセット

フラッシュスタンバイリセットは、フラッシュメモリをスタンバイにした状態で、フラッシュメモリを読み出すか、フラッシュメモリにデータを書き込むと発生する内部要因リセットです。

詳しくは『フラッシュメモリ』の章を参照してください。

2.4.4.8 内部要因リセット検出ステータスレジスタ

パワーオンリセットを除く内部要因リセットの解除後に内部要因リセット検出ステータスレジスタ IRSTSR を読み出すことによって、どの内部要因のリセットが発生したかを判断することができます。

内部要因リセット検出ステータスレジスタは、パワーオンリセット、外部リセット入力、IRSTSR<FCLR>により初期化されます。

また、IRSTSR<FCLR>を"1"にセットしたあと、SYSCR4 に 0x71 を書き込むと内部要因リセット検出ステータスレジスタは"0"にクリアされます。また、このとき同時に IRSTSR <FCLR> は"0"にクリアされます。

注 1) IRSTSR は外乱ノイズなどの影響によって正常に動作しない場合がありますので、機器設計時には十分な考慮が必要です。

注 2) IRSTSR<FCLR>を"1"に設定し、SYSCR4 に有効コード(0x71)を書き込むとき、ギアクロック(fcgck)が fc/4 (CGCR <FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更せずに連続して実行してください。それ以外の状態では予期せぬタイミングで IRSTSR<FCLR>が有効となることがあります。

2.4.4.9 外部リセット入力端子をポートとして使用する方法

外部リセット入力端子をポートとして使用するときには、電源が立ち上がり、リセット解除後のウォーミングアップ動作が終了するまで、外部リセット入力端子を"H"状態に保持します。

リセット解除後のウォーミングアップ動作が終了したあと、P1PU0 を"1"に、P1CR0 を"0"にセットし、ポート用プルアップ抵抗を接続します。その後、SYSCR3<RSTDIS>を"1"にセットし、SYSCR4 に 0xB2 を書き込むと外部リセット機能は禁止され、通常のポートとして使用できます。

ポートとして使用している外部リセット端子を外部リセット端子として使用するときには、P1PU0 を"1"に P1CR0 を"0"にセットし、プルアップ抵抗を接続し入力モードにします。その後、SYSCR3<RSTDIS>を"0"にクリアし、SYSCR4 に 0xB2 を書き込むと外部リセット機能が許可され、外部リセット入力端子として使用できます

注 1) 外部リセット入力端子をポートに切り替える場合、あるいはポートとして使用している外部リセット端子を外部リセット入力端子に切り替える場合は、端子のレベルが"H"レベルに安定している状態で切り替えてください。"L"レベルが入力されている状態で切り替えると、リセットが発生することがあります。

注 2) 外部リセット入力端子をポートとして使用するとき、プログラム中に SYSCR3<RSTDIS>に"0"を設定する命令があると、プログラムの暴走時に予期せぬタイミングでポート状態であった外部リセット端子が外部リセット端子として動作することがあります。プログラム中には SYSCR3<RSTDIS>を"1"に設定する命令以外書かないことを推奨します。

注 3) SYSCR3<RSTDIS>を変更し、SYSCR4 に有効コード(0xB2)を書き込むとき、ギアクロック(fcgck)が fc/4 (CGCR <FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更せずに連続して実行してください。それ以外の状態では予期せぬタイミングで SYSCR3<RSTDIS>が有効となることがあります。

第 3 章　割り込み制御回路

TMP89FM46A には、リセットを除き合計 25 種類の割り込み要因 があり、優先順位付きの多重割り込みが可能です。内部要因のうち 3 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタアドレスになっています。割り込みラッチは、割り込み要求の発生により “1” にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可/禁止できます。なお、複数のマスカブル割り込みが同時に発生した場合、割り込み優先順位変更制御レジスタ(ILPRS1~ILPRS6)の設定で Level の高いもの、かつハードウエアで定められた基本優先順位の高いものから受け付けられます。

ノンマスカブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス (MCU モード)		基本優先順位
				RVCTR=0 有効時	RVCTR=1 有効時	
内部/外部	(リセット)	ノンマスカブル	-	0xFFFE	-	1
内部	INTSWI	ノンマスカブル	-	0xFFFC	0x01FC	2
内部	INTUNDEF	ノンマスカブル	-	0xFFFC	0x01FC	2
内部	INTWDT	ノンマスカブル	ILL<IL3>	0xFFF8	0x01F8	2
内部	INTWUC	IMF AND EIRL<EF4> = 1	ILL<IL4>	0xFFF6	0x01F6	5
内部	INTTBT	IMF AND EIRL<EF5> = 1	ILL<IL5>	0xFFF4	0x01F4	6
内部	INTRXD0 / INTSIO0	IMF AND EIRL<EF6> = 1	ILL<IL6>	0xFFF2	0x01F2	7
内部	INTTXD0	IMF AND EIRL<EF7> = 1	ILL<IL7>	0xFFF0	0x01F0	8
外部	INT5	IMF AND EIRH<EF8> = 1	ILH<IL8>	0xFFEE	0x01EE	9
内部	INTVLTD	IMF AND EIRH<EF9> = 1	ILH<IL9>	0xFFEC	0x01EC	10
内部	INTADC	IMF AND EIRH<EF10> = 1	ILH<IL10>	0xFFEA	0x01EA	11
内部	INTRTC	IMF AND EIRH<EF11> = 1	ILH<IL11>	0xFFE8	0x01E8	12
内部	INTTC00	IMF AND EIRH<EF12> = 1	ILH<IL12>	0xFFE6	0x01E6	13
内部	INTTC01	IMF AND EIRH<EF13> = 1	ILH<IL13>	0xFFE4	0x01E4	14
内部	INTTCA0	IMF AND EIRH<EF14> = 1	ILH<IL14>	0xFFE2	0x01E2	15
内部	INTSBI0/INTSIO0	IMF AND EIRH<EF15> = 1	ILH<IL15>	0xFFE0	0x01E0	16
外部	INT0	IMF AND EIRE<EF16> = 1	ILE<IL16>	0xFFDE	0x01DE	17
外部	INT1	IMF AND EIRE<EF17> = 1	ILE<IL17>	0xFFDC	0x01DC	18
外部	INT2	IMF AND EIRE<EF18> = 1	ILE<IL18>	0xFFDA	0x01DA	19
外部	INT3	IMF AND EIRE<EF19> = 1	ILE<IL19>	0xFFD8	0x01D8	20
外部	INT4	IMF AND EIRE<EF20> = 1	ILE<IL20>	0xFFD6	0x01D6	21
内部	INTTCA1	IMF AND EIRE<EF21> = 1	ILE<IL21>	0xFFD4	0x01D4	22
内部	INTRXD1	IMF AND EIRE<EF22> = 1	ILE<IL22>	0xFFD2	0x01D2	23
内部	INTTXD1	IMF AND EIRE<EF23> = 1	ILE<IL23>	0xFFD0	0x01D0	24
内部	INTTC02	IMF AND EIRD<EF24> = 1	ILD<IL24>	0xFFCE	0x01CE	25
内部	INTTC03	IMF AND EIRD<EF25> = 1	ILD<IL25>	0xFFCC	0x01CC	26
-	-	-	-	-	-	-
-	-	-	-	-	-	-

注 1)　ウォッチドッグタイマ割り込み(INTWDT)を使用するには WDTCR1<WDTOUT>を"0"に設定してください(リセット解除後は"リセット要求"に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

注 2)　ベクタアドレスの領域は SYSCR3<RVCTR>の設定によって変更することができます。ベクタアドレスの領域を RAM に割り当てる場合は、SYSCR3<RVCTR>="1"および SYSCR3<RAREA>="1"に設定して有効にしてください。

注 3)　0xFFFA、0xFFFB は割り込みベクタとしては機能せず、シリアル PROM モードのとき、オプションコードとして機能します。詳しくは「シリアル PROM モード」の章を参照してください。

注 4)　シリアル PROM モードで RAM ローダを利用する場合は SYSCR3<RVCTR>を"0"に設定しないでください。SYSCR3<RVCTR>="0"のときは BOOTROM 内のベクタアドレスが参照されますので RAM ローダで割り込みを利用することができなくなります。

3.1 構成

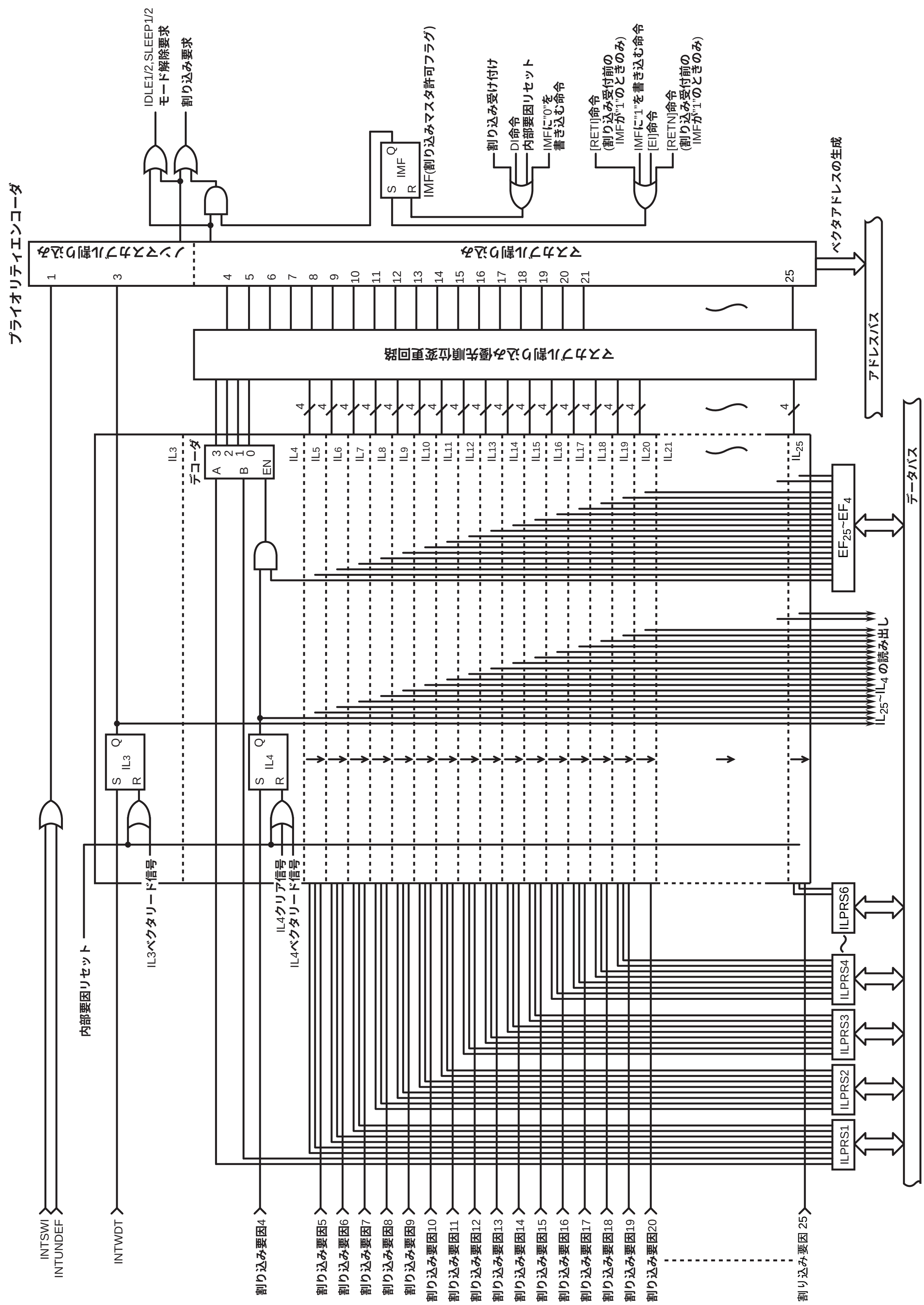


図 3-1 割り込み制御回路

3.2　割り込みラッチ (IL25 ~ IL3)

割り込みラッチは、ソフトウエア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により “1” にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは “0” にクリアされます。リセット時、割り込みラッチはすべて “0” に初期化されます。

割り込みラッチは、SFR 内の 0x0FE0, 0x0FE1 および 0x0FE2, 0x0FE3 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2、IL3 については命令でクリアしても割り込みラッチはクリアされません。

ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

割り込みラッチは命令で直接セットすることはできません。割り込みラッチに"1"を書き込むことは、割り込みラッチをセットするのでは無く、割り込みラッチをクリアしないことを意味します。

また、割り込みラッチの内容は命令で読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。

注)　メインプログラム中で、割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。IL を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。
割り込みサービスルーチンでは、IMF は自動的に"0"になりますので、通常割り込みサービスルーチンの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に IL を設定してください。

（プログラム例 1）割り込みラッチのクリア

```
DI                                  ; IMF←0
LD      (ILL), 0y00111111           ; IL7 ~ IL6←0
LD      (ILH), 0y11101000           ; IL12, IL10 ~ IL8←0
EI                                  ; IMF←1
```

（プログラム例 2）割り込みラッチの読み出し

```
LD      WA, (ILL)                   ; W←ILH, A←ILL
```

（プログラム例 3）割り込みラッチのテスト

```
TEST    (ILL). 7                    ; IL7 = 1 ならジャンプ
J       F, SSET
```

3.3　割り込み許可レジスタ (EIR)

ノンマスカブル割り込み (ソフトウエア割り込み、未定義命令割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 0x003A, 0x003B および 0x003C, 0x003D 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.3.1　割り込みマスタ許可フラグ (IMF)

マスカブル割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後 “0” にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスルーチンを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 0x003A 番地) のビット 0 に割り付けられており、命令で リード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは “0” に初期化されます。

3.3.2　割り込み個別許可フラグ (EF25 ~ EF4)

各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが “1” なら割り込み受け付けを許可し、“0” なら禁止します。

なお、リセット時、割り込み個別許可フラグは"0"に初期化されます。個別許可フラグが"1"にセットされるまでマスカブル割り込みは受け付けられません。

注)　メインプログラム中で、割り込み個別許可フラグ(EF)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。EF を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。

割り込みサービスルーチンでは、IMF は自動的に"0"になりますので、通常割り込みサービスルーチンの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に EF を設定してください。

（プログラム例）割り込みの個別許可と IMF のセット

```
DI                                          ; IMF ← 0
LDW     (EIRL), 0y1110100010100000          ; EF15~EF13, EF11, EF7, EF5←1
:                                           ;注) IMF はセットしない
:
EI                                          ; IMF ← 1
```

割り込みラッチ(ILL)

ILL		7	6	5	4	3	2	1	0
(0x0FE0)	Bit Symbol	IL7	IL6	IL5	IL4	IL3	-	-	-
	Read/Write	R/W	R/W	R/W	R/W	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
	機能	INTTXD0	INTRXD0 / INTSIO0	INTTBT	INTWUC	INTWDT			

割り込みラッチ(ILH)

ILH		7	6	5	4	3	2	1	0
(0x0FE1)	Bit Symbol	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	INTSBI0/ INTSIO0	INTTCA0	INTTC01	INTTC00	INTRTC	INTADC	INTVLTD	INT5

割り込みラッチ(ILE)

ILE		7	6	5	4	3	2	1	0
(0x0FE2)	Bit Symbol	IL23	IL22	IL21	IL20	IL19	IL18	IL17	IL16
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	INTTXD1	INTRXD1	INTTCA1	INT4	INT3	INT2	INT1	INT0

割り込みラッチ(ILD)

ILD		7	6	5	4	3	2	1	0
(0x0FE3)	Bit Symbol	-	-	-	-	-	-	IL25	IL24
	Read/Write	R	R	R	R	R	R	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能							INTTC03	INTTC02

			RD 時	WR 時
IL25~IL4	割り込みラッチ	0:	割り込み要求なし	割り込み要求のクリア(注 2,3)
		1:	割り込み要求あり	割り込み要求をクリアしない (1 を WR しても割り込みはセットされません)
IL3		0: 1:	割り込み要求なし 割り込み要求あり	-

注 1)　IL3 は Read Only レジスタです。書き込みを行っても割り込みラッチは影響を受けません。

注 2)　メインプログラム中で、割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。IL を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。

割り込みサービスルーチンでは、IMF は自動的に"0"になりますので、通常割り込みサービスルーチンの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に IL を設定してください。

注 3)　IL はビット操作などのリードモディファイライト命令でクリアしないでください。

注 4)　ILL に対してリード命令を実行すると、ビット 0~2 は 0 が読み出されます。その他空きビットをリードすると 0 が読み出されます。

割り込み許可レジスタ(EIRL)

EIRL (0x003A)		7	6	5	4	3	2	1	0
	Bit Symbol	EF7	EF6	EF5	EF4	-	-	-	IMF
	Read/Write	R/W	R/W	R/W	R/W	R	R	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	INTTXD0	INTRXD0 / INTSIO0	INTTBT	INTWUC				割り込みマスタ許可フラグ

割り込み許可レジスタ(EIRH)

EIRH (0x003B)		7	6	5	4	3	2	1	0
	Bit Symbol	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	INTSBI0/ INTSIO0	INTTCA0	INTTC01	INTTC00	INTRTC	INTADC	INTVLTD	INT5

割り込み許可レジスタ(EIRE)

EIRE (0x003C)		7	6	5	4	3	2	1	0
	Bit Symbol	EF23	EF22	EF21	EF20	EF19	EF18	EF17	EF16
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	INTTXD1	INTRXD1	INTTCA1	INT4	INT3	INT2	INT1	INT0

割り込み許可レジスタ(EIRD)

EIRD (0x003D)		7	6	5	4	3	2	1	0
	Bit Symbol	-	-	-	-	-	-	EF25	EF24
	Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能							INTTC03	INTTC02

EF25~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 1:	各マスカブル割り込みの受け付け禁止 各マスカブル割り込みの受け付け許可
IMF	割り込みマスタ許可フラグ	0: 1:	各マスカブル割り込み全体の受け付け禁止 各マスカブル割り込み全体の受け付け許可

注 1) 割り込み許可フラグ (EF15~4)の変更と同時に IMF を “1” にセットしないでください。

注 2) メインプログラム中で、割り込み個別許可フラグ(EF)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。EF を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。

割り込みサービスルーチンでは、IMF は自動的に"0"になりますので、通常割り込みサービスルーチンの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に EF を設定してください。

注 3) EIRL に対してリード命令を実行すると、ビット 3~1 は 0 が読み出されます。その他空きビットをリードすると 0 が読み出されます。

3.4　マスカブル割り込み優先順位変更機能

マスカブル割り込み(IL4 ~ IL25)は、基本優先順位 5 ~ 26 とは別に Level 0 ~ 3 の 4 段階で割り込み優先順位を変更することもできます。割り込み優先順位は、割り込み優先順位変更制御レジスタ(ILPRS1~ILPRS6)によって変更することが可能です。割り込み優先順位を高くする場合は、Level の数字が大きい方、優先順位を低くする場合は、Level の数字が小さい方を設定してください。同一の Level で異なるマスカブル割り込みが同時に発生した場合は、基本優先順位が高い方が優先して割り込み処理が行われます。例えば ILPRS1 レジスタを 0xC0 に設定した状態で、IL4 と IL7 の割り込みが同時に発生した場合、IL7 が優先して割り込み処理が実行されます。(EF4 と EF7 が許可されていることが前提です)

リセット解除後、全てのマスカブル割り込みは割り込み優先順位が Level 0(最も低い)に設定されます。

注)　メインプログラム中で、割り込み優先順位変更制御レジスタ(ILPRS1~6)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。ILPRS1~6 を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。

割り込みサービスルーチンでは、IMF は自動的に"0"になりますので、通常割り込みサービスルーチンの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に ILPRS1~6 を設定してください。

割り込み優先順位変更制御レジスタ 1

ILPRS1 (0x0FF0)		7	6	5	4	3	2	1	0
	Bit Symbol	IL07P		IL06P		IL05P		IL04P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL07P	IL7 の割り込み優先順位の設定	00:	Level0 (優先順位 低)
IL06P	IL6 の割り込み優先順位の設定	01:	Level1
IL05P	IL5 の割り込み優先順位の設定	10:	Level2
IL04P	IL4 の割り込み優先順位の設定	11:	Level3 (優先順位 高)

割り込み優先順位変更制御レジスタ 2

ILPRS2 (0x0FF1)		7	6	5	4	3	2	1	0
	Bit Symbol	IL11P		IL10P		IL09P		IL08P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL11P	IL11 の割り込み優先順位の設定	00:	Level0 (優先順位 低)
IL10P	IL10 の割り込み優先順位の設定	01:	Level1
IL09P	IL9 の割り込み優先順位の設定	10:	Level2
IL08P	IL8 の割り込み優先順位の設定	11:	Level3 (優先順位 高)

割り込み優先順位変更制御レジスタ 3

ILPRS3 (0x0FF2)		7	6	5	4	3	2	1	0
	Bit Symbol	IL15P		IL14P		IL13P		IL12P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL15P	IL15 の割り込み優先順位の設定	00:	Level0 (優先順位 低)
IL14P	IL14 の割り込み優先順位の設定	01:	Level1
IL13P	IL13 の割り込み優先順位の設定	10:	Level2
IL12P	IL12 の割り込み優先順位の設定	11:	Level3 (優先順位 高)

割り込み優先順位変更制御レジスタ 4

ILPRS4		7	6	5	4	3	2	1	0
(0x0FF3)	Bit Symbol	IL19P		IL18P		IL17P		IL16P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL19P	IL19 の割り込み優先順位の設定	00:	Level0 (優先順位 低)
IL18P	IL18 の割り込み優先順位の設定	01:	Level1
IL17P	IL17 の割り込み優先順位の設定	10:	Level2
IL16P	IL16 の割り込み優先順位の設定	11:	Level3 (優先順位 高)

割り込み優先順位変更制御レジスタ 5

ILPRS5		7	6	5	4	3	2	1	0
(0x0FF4)	Bit Symbol	IL23P		IL22P		IL21P		IL20P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL23P	IL23 の割り込み優先順位の設定	00:	Level0 (優先順位 低)
IL22P	IL22 の割り込み優先順位の設定	01:	Level1
IL21P	IL21 の割り込み優先順位の設定	10:	Level2
IL20P	IL20 の割り込み優先順位の設定	11:	Level3 (優先順位 高)

割り込み優先順位変更制御レジスタ 6

ILPRS6		7	6	5	4	3	2	1	0
(0x0FF5)	Bit Symbol	-		-		IL25P		IL24P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

-	-	00:	Level0 (優先順位 低)
-	-	01:	Level1
IL25P	IL25 の割り込み優先順位の設定	10:	Level2
IL24P	IL24 の割り込み優先順位の設定	11:	Level3 (優先順位 高)

3.5　割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが “0” にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクルを要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合)を実行して終了します。

3.5.1　初期設定

割り込みを利用するには、事前に SP (スタックポインタ)の設定が必要です。SP は、スタックの先頭番地を指す 16 ビットのレジスタです。SP は、サブルーチンコール、プッシュ命令実行時、および割り込み受け付け時にポストデクリメントされ、リターン、ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなりますので、SP の設定値に対し適切なサイズのスタック領域を確保してください。

リセット後、SP は 0x00FF に初期化されます。SP を変更する場合は、リセット直後か、割り込みマスタ許可フラグ(IMF)が"0"のときに行ってください。

（プログラム例）SP の設定

```
LD      SP, 0x023F      ; SP = 0x023F
LD      SP, SP+0x04     ; SP = SP + 0x04
ADD     SP, 0x0010      ; SP = SP + 0x0010
```

3.5.2　割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ(IMF) を “0” にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを “0” にクリアします。
3. プログラムカウンタ(PC) プログラム ステータス ワード(PSW) および割り込み受け付け前の IMF の内容をスタックに退避 します (PSW + IMF, PCH, PCL の順にプッシュダウンされます) 。スタックポインタ (SP) は 3 回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスルーチンのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスルーチンのエントリーアドレスに格納されている命令の実行に移ります。

注)　PSW の内容がスタックに退避される際、同時にレジスタバンクおよび IMF の状態も退避されます。

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスルーチンのエントリーアドレスの対応

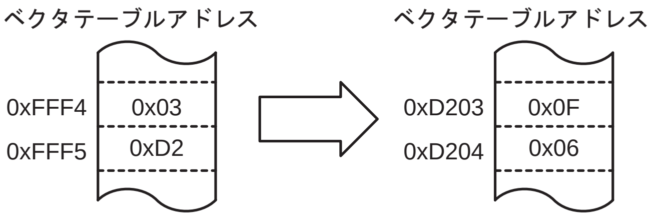


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中にマスカブル割り込みが発生しても、割り込みマスタ許可フラグが "1" にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスルーチンの中で、割り込みマスタ許可フラグを "1" にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを "1" にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.5.3 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、汎用レジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の 3 つの方法があります。

3.5.3.1 プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

（プログラム例）プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx    PUSH      WA        ; WA レジスタペアをスタックに退避
          割り込み処理
          POP       WA        ; WA レジスタペアをスタックから復帰
          RETI                ;リターン
```

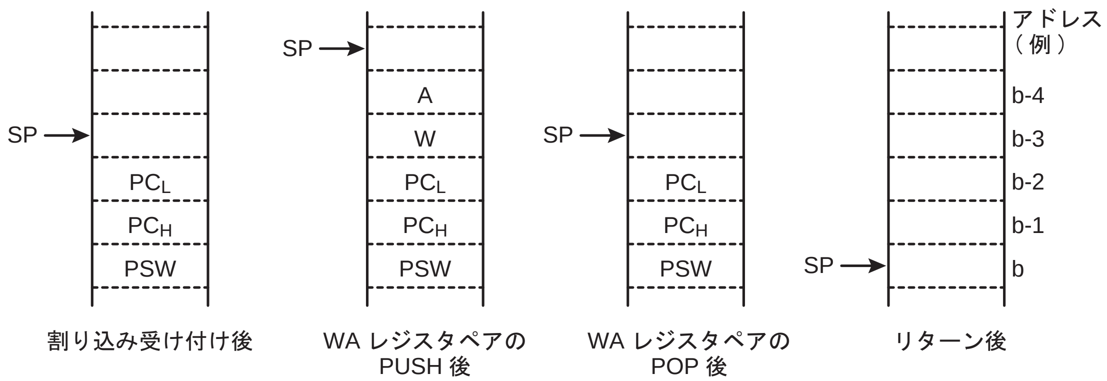


図 3-3 プッシュ/ポップ命令による汎用レジスタの退避/復帰処理

3.5.3.2 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

（プログラム例）データメモリとの転送命令によるレジスタの退避/復帰

PINTxx:	LD	(GSAVA), A	; A レジスタの退避
	割り込み処理		
	LD	A, (GSAVA)	; A レジスタの復帰
	RETI		;リターン

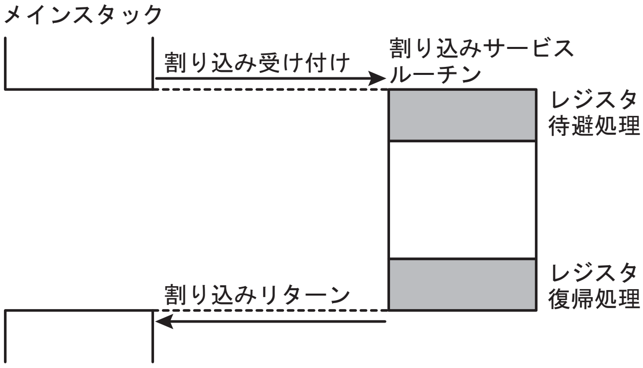


図 3-4 割り込み処理における汎用レジスタの退避/復帰処理

3.5.3.3　レジスタバンクによる汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、汎用レジスタを一括して待避/復帰する場合は、レジスタバンク機能を使用します。レジスタバンク機能によって汎用レジスタを待避(切り替え)するには、割り込みサービスタスクの先頭でレジスタバンクの操作命令(LD RBS,1 など)を実行します。レジスタバンクは、RETI 命令が実行されると PSW の内容に従ってメインタスクで使用していたレジスタバンクに自動的に復帰しますので、割り込みサービスタスクの最後でレジスタバンクの操作命令を再度実行する必要はありません。

注)　レジスタバンクは、2 BANK (BANK0 と 1)内蔵しています。1 つの BANK には、8 ビット汎用レジスタ W, A, B, C, D, E, H, L、16 ビット汎用レジスタ IX, IY が含まれています。

（プログラム例）データメモリとの転送命令によるレジスタの退避/復帰 (メインタスクでレジスタバンクの BANK0 を使用している場合)

PINTxx:	LD	RBS, 1	; レジスタバンクを BANK1 に切り替え
	割り込み処理		
	RETI		;リターン (PSW のリストアによって自動的にメインタスクで使用していた BANK0 に戻る)

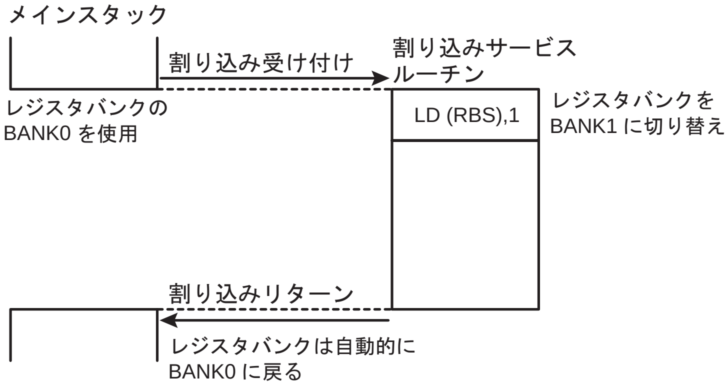


図 3-5 レジスタバンクによる汎用レジスタの待避/復帰

3.5.4 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] / [RETN] 割り込みリターン
① プログラムカウンタ、プログラムステータスワード(レジスタバンク)および IMF の内容をスタックからそれぞれリストアします。 ② スタックポインタを 3 回インクリメントします。

3.6　ソフトウエア割り込み (INTSWI)

SWI 命令を実行することにより、ソフトウエア割り込みが発生し、 直ちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

3.6.1　アドレスエラー検出

CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、0xFF が読み込まれます。コード 0xFF は、SWI 命令ですので ソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて 0xFF で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。

ソフトウェア割り込みが発生した場合は、以下のプログラムに示すようにシステムクロックリセットが発生するようにしておくことを推奨します。

(プログラム例)　　アドレスエラー検出後、システムクロックリセットを発生させる

```
INTSWI:     LD      (SYSCR2),0x10       ; システムクロックリセット
            RETN                        ; ダミー命令

vector section romdata abs = 0xFFFC
            DW      INTSWI
```

3.6.2　デバッギング

SWI 命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

3.7　未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注)　未定義命令割り込み (INTUNDEF) は、ソフトウエア割り込み(INTSWI)と同じ割り込みベクタアドレスへジャンプします。

第 4 章　外部割り込み制御回路

外部割り込みは、端子に入力される信号の変化を検出して割り込み要求信号を発生させる機能です。デジタル式のノイズキャンセラを内蔵しており、所定の幅のノイズを除去することができます。

4.1 構成

外部割り込み制御回路は、ノイズキャンセラ、エッジ検出回路、レベル検出回路、割り込み要求信号発生回路から構成されています。

外部から入力された信号はノイズキャンセラによってノイズが除去されたあと、各外部割り込みごとに立ち上がり/立ち下がり/レベル検出回路に入力されます。

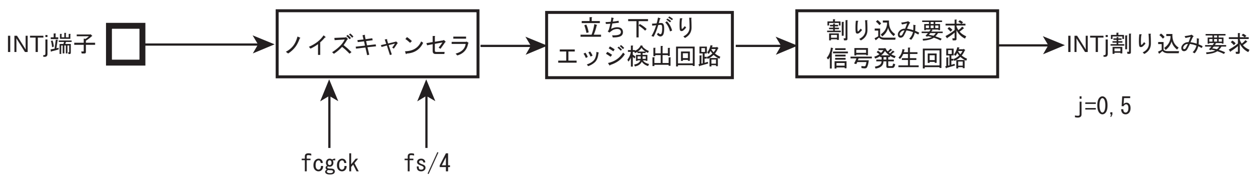


図 4-1 外部割り込み 0/5

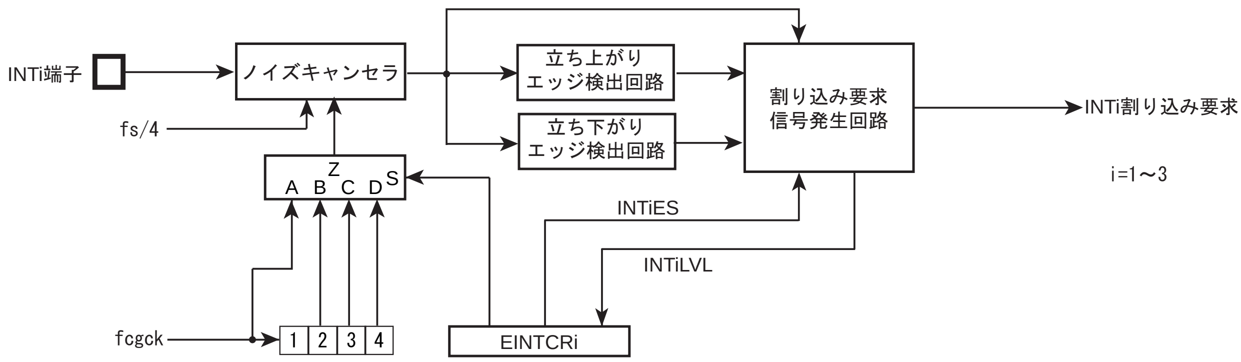


図 4-2 外部割り込み 1/2/3

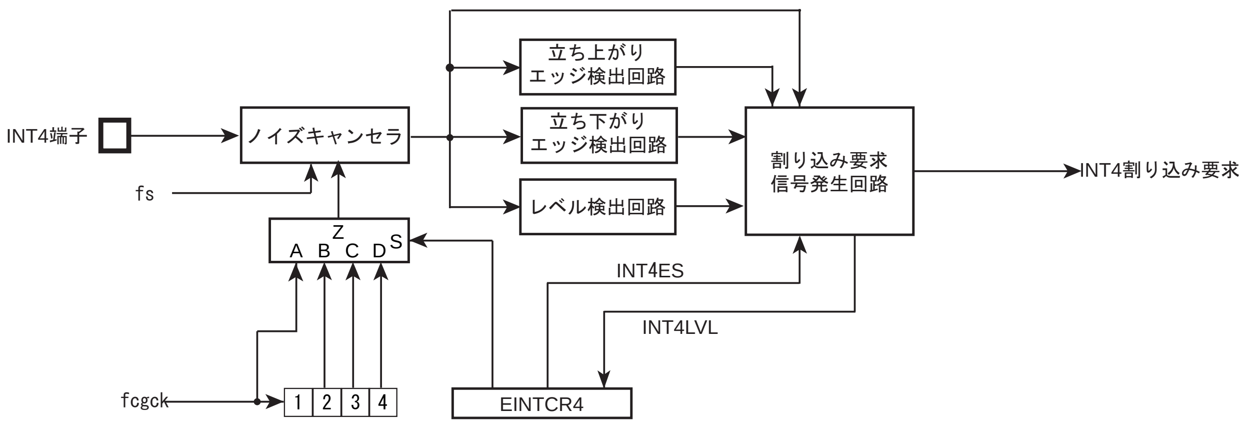


図 4-3 外部割り込み 4

4.2 制御

外部割り込みは下記のレジスタで制御されます。

低消費電力レジスタ 3

POFFCR3 (0x0F77)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	INT5EN	INT4EN	INT3EN	INT2EN	INT1EN	INT0EN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

INT5EN	INT5 制御	0	Disable
		1	Enable
INT4EN	INT4 制御	0	Disable
		1	Enable
INT3EN	INT3 制御	0	Disable
		1	Enable
INT2EN	INT2 制御	0	Disable
		1	Enable
INT1EN	INT1 制御	0	Disable
		1	Enable
INT0EN	INT0 制御	0	Disable
		1	Enable

注 1)　INTxEN (x=0~5)が"0"にクリアされているとき、外部割り込みへのクロック供給が停止されます。このとき、各外部割り込みの制御レジスタに書き込んだデータは無効となります。外部割り込みを使用するときには、INTxEN を"1"にセットしてから、各外部割り込みの制御レジスタにデータを書き込んでください。

注 2)　INTxEN を変更するときに、割り込み要求信号が発生することがあります。INTxEN を変更するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、INTxEN 変更から NORMAL1/2, IDLE1/2 モードでは 2/fcgck+3/fspl[s]、SLOW1/2, SLEEP1 モードでは 12/fs[s]待ち、割り込みラッチをクリアしてください。

注 3)　POFFCR3 のビット 7~6 は"0"が読み出されます。

外部割り込み制御レジスタ 1

EINTCR1 (0x0FD8)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	INT1LVL	INT1ES		INT1NC	
Read/Write	R	R	R	R	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0

INI1LVL	外部割り込み 1 の割り込み要求信号発生時のノイズキャンセラ通過信号レベル	0: 初期状態あるいは信号レベルが L" 1:信号レベルが H"	
INT1ES	外部割り込み 1 の割り込み要求発生条件選択	00: ノイズキャンセラ通過信号の立ち上がりエッジで割り込み要求発生 01:ノイズキャンセラ通過信号の立ち下がりエッジで割り込み要求発生 10:ノイズキャンセラ通過信号の両エッジで割り込み要求発生 11: Reserved	
INT1NC	外部割り込み 1 のノイズキャンセラサンプリング間隔設定	NORMAL1/2, IDLE1/2	SLOW1/2, SLEEP1
		00: fcgck [Hz] 01: fcgck / 2^2 [Hz] 10: fcgck / 2^3 [Hz] 11: fcgck / 2^4 [Hz]	00: fs/4 [Hz] 01: fs/4 [Hz] 10: fs/4 [Hz] 11: fs/4 [Hz]

注 1)　fcgck:ギアクロック[Hz]、 fs:低周波クロック[Hz]

注 2)　動作モード遷移時に割り込み要求が発生することがあります。動作モードを遷移するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2, IDLE1/2 モードから SLOW1/2,SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12/fs[s]待ち割り込みラッチをクリアしてください。また、SLOW1/2, SLEEP1 モードから NORMAL1/2,IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2/fcgck+3/fspl[s]待ち、割り込みラッチをクリアしてください。

注 3) EINTCRx を変更するときに割り込み要求が発生することがあります。これらの動作をするときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、変更から NORMAL1/2, IDLE1/2 モードでは 2/fcgck+3/fspl[s]、SLOW1/2, SLEEP1 モードでは 12/fs[s]待ち、割り込みラッチをクリアしてください。

注 4) EINTCRx<INTxLVL>は、割り込み要求信号が発生するたびに内容が更新されます。

注 5) EINTCR1 のビット 7 ~ 5 は"0"が読み出されます。

外部割り込み制御レジスタ 2

EINTCR2 (0x0FD9)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	INT2LVL	INT2ES		INT2NC	
Read/Write	R	R	R	R	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0

INI2LVL	外部割り込み 2 の割り込み要求信号発生時のノイズキャンセラ通過信号レベル	0: 初期状態あるいは信号レベルが L" 1:信号レベルが H"	
INT2ES	外部割り込み 2 の割り込み要求発生条件選択	00: ノイズキャンセラ通過信号の立ち上がりエッジで割り込み要求発生 01:ノイズキャンセラ通過信号の立ち下がりエッジで割り込み要求発生 10:ノイズキャンセラ通過信号の両エッジで割り込み要求発生 11: Reserved	
INT2NC	外部割り込み 2 のノイズキャンセラサンプリング間隔設定	NORMAL1/2, IDLE1/2	SLOW1/2, SLEEP1
		00: fcgck [Hz] 01: fcgck / 2^2 [Hz] 10: fcgck / 2^3 [Hz] 11: fcgck / 2^4 [Hz]	00: fs/4 [Hz] 01: fs/4 [Hz] 10: fs/4 [Hz] 11: fs/4 [Hz]

注 1) fcgck:ギアクロック[Hz]、 fs:低周波クロック[Hz]

注 2) 動作モード遷移時に割り込み要求が発生することがあります。動作モードを遷移するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2, IDLE1/2 モードから SLOW1/2,SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12/fs[s]待ち割り込みラッチをクリアしてください。また、SLOW1/2, SLEEP1 モードから NORMAL1/2,IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2/fcgck+3/fspl[s]待ち、割り込みラッチをクリアしてください。

注 3) EINTCRx を変更するときに割り込み要求が発生することがあります。これらの動作をするときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、変更から NORMAL1/2, IDLE1/2 モードでは 2/fcgck+3/fspl[s]、SLOW1/2, SLEEP1 モードでは 12/fs[s]待ち、割り込みラッチをクリアしてください。

注 4) EINTCRx<INTxLVL>は、割り込み要求信号が発生するたびに内容が更新されます。

注 5) EINTCR2 のビット 7 ~ 5 は"0"が読み出されます。

外部割り込み制御レジスタ 3

EINTCR3
(0x0FDA)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	INT3LVL	INT3ES		INT3NC	
Read/Write	R	R	R	R	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0

INI3LVL	外部割り込み 3 の割り込み要求信号発生時のノイズキャンセラ通過信号レベル	0: 初期状態あるいは信号レベルが L" 1:信号レベルが H"	
INT3ES	外部割り込み 3 の割り込み要求発生条件選択	00: ノイズキャンセラ通過信号の立ち上がりエッジで割り込み要求発生 01:ノイズキャンセラ通過信号の立ち下がりエッジで割り込み要求発生 10:ノイズキャンセラ通過信号の両エッジで割り込み要求発生 11: Reserved	
INT3NC	外部割り込み 3 のノイズキャンセラサンプリング間隔設定	NORMAL1/2, IDLE1/2	SLOW1/2, SLEEP1
		00: fcgck [Hz] 01: fcgck / 2^2 [Hz] 10: fcgck / 2^3 [Hz] 11: fcgck / 2^4 [Hz]	00: fs/4 [Hz] 01: fs/4 [Hz] 10: fs/4 [Hz] 11: fs/4 [Hz]

注 1)　fcgck:ギアクロック[Hz]、 fs:低周波クロック[Hz]

注 2)　動作モード遷移時に割り込み要求が発生することがあります。動作モードを遷移するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2, IDLE1/2 モードから SLOW1/2,SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12/fs[s]待ち割り込みラッチをクリアしてください。また、SLOW1/2, SLEEP1 モードから NORMAL1/2,IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2/fcgck+3/fspl[s]待ち、割り込みラッチをクリアしてください。

注 3)　EINTCRx を変更するときに割り込み要求が発生することがあります。これらの動作をするときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、変更から NORMAL1/2, IDLE1/2 モードでは 2/fcgck+3/fspl[s]、SLOW1/2, SLEEP1 モードでは 12/fs[s]待ち、割り込みラッチをクリアしてください。

注 4)　EINTCRx<INTxLVL>は、割り込み要求信号が発生するたびに内容が更新されます。

注 5)　EINTCR3 のビット 7 ~ 5 は"0"が読み出されます。

外部割り込み制御レジスタ 4

EINTCR4
(0x0FDB)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	INT4LVL	INT4ES		INT4NC	
Read/Write	R	R	R	R	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0

INI4LVL	外部割り込み 4 の割り込み要求信号発生時のノイズキャンセラ通過信号レベル	0: 初期状態あるいは信号レベルが L" 1:信号レベルが H"	
INT4ES	外部割り込み 4 の割り込み要求発生条件選択	00: ノイズキャンセラ通過信号の立ち上がりエッジで割り込み要求発生 01:ノイズキャンセラ通過信号の立ち下がりエッジで割り込み要求発生 10:ノイズキャンセラ通過信号の両エッジで割り込み要求発生 11: ノイズキャンセラ通過信号の"H"で割り込み要求発生	
INT4NC	外部割り込み 4 のノイズキャンセラサンプリング間隔設定	NORMAL1/2, IDLE1/2	SLOW1/2, SLEEP1
		00: fcgck [Hz] 01: fcgck / 2^2 [Hz] 10: fcgck / 2^3 [Hz] 11: fcgck / 2^4 [Hz]	00: fs/4 [Hz] 01: fs/4 [Hz] 10: fs/4 [Hz] 11: fs/4 [Hz]

注 1)　fcgck:ギアクロック[Hz]、 fs:低周波クロック[Hz]

注 2)　動作モード遷移時に割り込み要求が発生することがあります。動作モードを遷移するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2, IDLE1/2 モードから SLOW1/2,SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12/fs[s]待ち割り込みラッチをクリアしてください。また、SLOW1/2, SLEEP1 モードから NORMAL1/2,IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2/fcgck+3/fspl[s]待ち、割り込みラッチをクリアしてください。

注 3)　EINTCRx を変更するときに割り込み要求が発生することがあります。これらの動作をするときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、変更から NORMAL1/2, IDLE1/2 モードでは 2/fcgck+3/fspl[s]、SLOW1/2, SLEEP1 モードでは 12/fs[s]待ち、割り込みラッチをクリアしてください。

注 4)　EINTCRx<INTxLVL>は、割り込み要求信号が発生するたびに内容が更新されます。

注 5)　EINTCR4 のビット 7 ~ 5 は"0"が読み出されます。

4.3　機能

外部割り込み 1~4 は、割り込み要求信号を発生するときの条件とノイズキャンセル時間を設定することができます。

外部割り込み 0、5 の割り込み要求信号を発生するの条件とノイズキャンセル時間は固定です。

表 4-1 外部割り込み

要因	端子名	許可条件	割り込み要求信号発生条件	外部割り込み端子入力信号の幅とノイズ除去	
				NORMAL1/2、IDLE1/2	SLOW1/2、SLEEP1
INT0	$\overline{\text{INT0}}$	IMF AND EF16 = 1	立ち下がりエッジ	1 /fcgck 未満 : ノイズ 1/fcgck 以上、 2/fcgck 未満 : 不定 2/fcgck 以上 : 信号	4 /fs 未満 : ノイズ 4/fs 以上、 8/fs 未満 : 不定 8/fs 以上 : 信号
INT1	INT1	IMF AND EF17 = 1	立ち下がりエッジ 立ち上がりエッジ 両エッジ	2 /fspl 未満 : ノイズ 2/fspl 以上、 3/fspl+1/fcgck 未満 : 不定 3/fspl+1/fcgck 以上 : 信号	4 /fs 未満 : ノイズ 4/fs 以上、 8/fs 未満 : 不定 8/fs 以上 : 信号
INT2	INT2	IMF AND EF18 = 1	立ち下がりエッジ 立ち上がりエッジ 両エッジ	2 /fspl 未満 : ノイズ 2/fspl 以上、 3/fspl+1/fcgck 未満 : 不定 3/fspl+1/fcgck 以上 : 信号	4 /fs 未満 : ノイズ 4/fs 以上、 8/fs 未満 : 不定 8/fs 以上 : 信号
INT3	INT3	IMF AND EF19 = 1	立ち下がりエッジ 立ち上がりエッジ 両エッジ	2 /fspl 未満 : ノイズ 2/fspl 以上、 3/fspl+1/fcgck 未満 : 不定 3/fspl+1/fcgck 以上 : 信号	4 /fs 未満 : ノイズ 4/fs 以上、 8/fs 未満 : 不定 8/fs 以上 : 信号
INT4	INT4	IMF AND EF20 = 1	立ち下がりエッジ 立ち上がりエッジ 両エッジ "H"レベル	2 /fspl 未満 : ノイズ 2/fspl 以上、 3/fspl+1/fcgck 未満 : 不定 3/fspl+1/fcgck 以上 : 信号	4 /fs 未満 : ノイズ 4/fs 以上、 8/fs 未満 : 不定 8/fs 以上 : 信号
INT5	$\overline{\text{INT5}}$	IMF AND EF8 = 1	立ち下がりエッジ	1 /fcgck 未満 : ノイズ 1/fcgck 以上、 2/fcgck 未満 : 不定 2/fcgck 以上 : 信号	4 /fs 未満 : ノイズ 4/fs 以上、 8/fs 未満 : 不定 8/fs 以上 : 信号

注 1)　fcgck : ギアクロック [Hz]、 fs : 低周波クロック [Hz]、fspl : サンプリング間隔 [Hz]

4.3.1　低消費電力機能

外部割り込みは、その機能を使用しないとき、低消費電力レジスタ(POFFCR3)によって不要な電力を押さえる機能を持っています。

POFFCR3<INTxEN>を"0"に設定すると、外部割り込みへの基本クロックが停止(Disable)され不要な電力を押さえることができます。ただしこのとき外部割り込みが使用できなくなります。POFFCR3<INTxEN>を"1"に設定すると外部割り込みへの基本クロックが供給(Enable)され外部割り込みが使用可能になります。

リセット後、POFFCR3<INTxEN>は"0"に初期化されますので、外部割り込みは使用不可の設定となります。よって、初めて外部割り込み機能を使用するときには、プログラムの初期設定(外部割り込みの制御レジスタを操作する前）で必ず POFFCR3<INTxEN>を"1"に設定してください。

注 1)　INTxEN を変更するときに、割り込み要求信号が発生することがあります。INTxEN を変更するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、変更から NORMAL1/2, IDLE1/2 モードでは 2/fcgck+3/fspl[s]、SLOW1/2, SLEEP1 モードでは 12/fs[s]待ち、割り込みラッチをクリアしてください。

4.3.2　外部割り込み 0

外部割り込み 0 は $\overline{\text{INT0}}$ 端子の立ち下がりエッジを検出して割り込み要求信号を発生します。

NORMAL1/2、IDLE1/2 モード時、1/fcgck 未満のパルスはノイズとして除去され、2/fcgck 以上のパルスは確実に信号と見なされます。

SLOW/SLEEP モード時、4/fs 未満のパルスはノイズとして除去され、8/fs 以上のパルスは確実に信号と見なされます。

4.3.3　外部割り込み 1/2/3

外部割り込み 1/2/3 は INT1、INT2、INT3 端子の立ち下がり、立ち上がり、両エッジを検出して割り込み要求信号を発生します。

4.3.3.1　割り込み要求信号発生条件検出機能

外部割り込み 1/2/3 は、EINTCRx<INTxES>で割り込み要求信号発生条件を選択します。

表 4-2 割り込み要求発生エッジ選択

EINTCRx<INTxES>	検出エッジ
00	立ち上がり
01	立ち下がり
10	両エッジ
11	Reserved

注)　x : 1 ~ 3

4.3.3.2　割り込み要求信号発生時のノイズキャンセラ通過信号モニタ機能

割り込み要求発生時のノイズキャンセラ通過後の信号レベルを EINTCRx<INTxLVL>で読み出すことができます。検出エッジに両エッジを選択したとき EINTCRx<INTxLVL>を読み出すことで、割り込み発生時のエッジを確定できます。

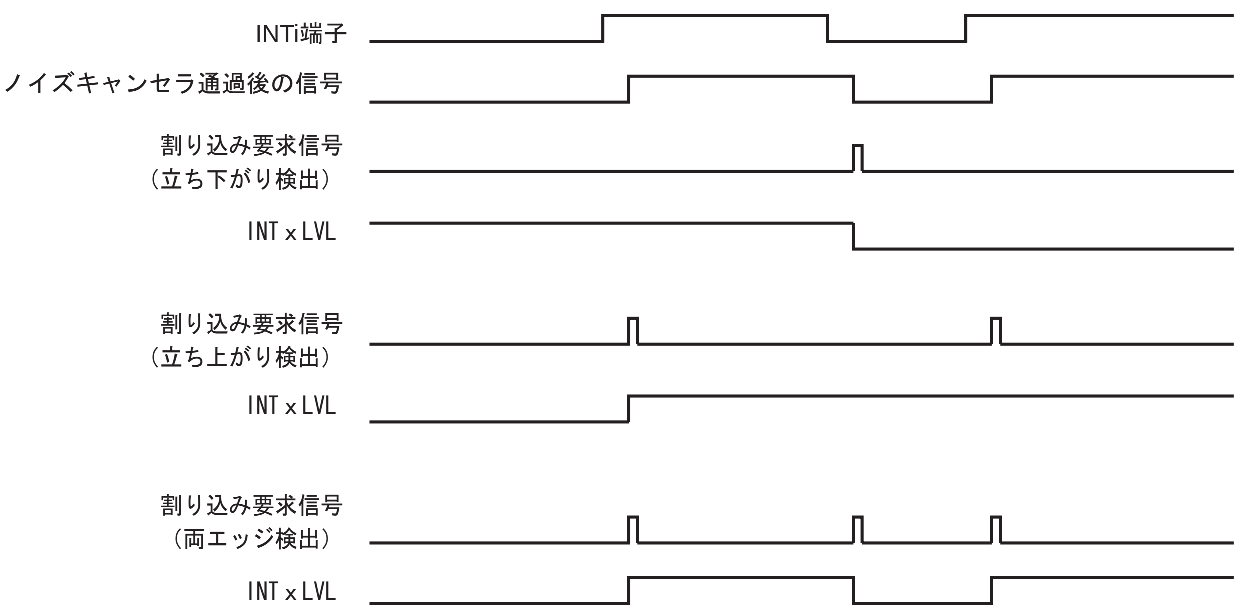


図 4-4 割り込み要求発生と EINTCRx<INTxLVL>

4.3.3.3　ノイズキャンセル時間選択機能

NORMAL1/2、IDLE1/2 モードでは、INTx 端子の状態を fcgck でサンプリングした後に、EINTCRx<INTxNC>で選択されたサンプリング間隔でサンプリングし、3 回同じレベルが連続すると信号としてみなし、それ以外はノイズとして除去します。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-1 を参照してください。

表 4-3 ノイズキャンセラのサンプリングロック

EINTCRx<INTxNC>	サンプリング間隔
00	fcgck
01	fcgck/2^2
10	fcgck/2^3
11	fcgck/2^4

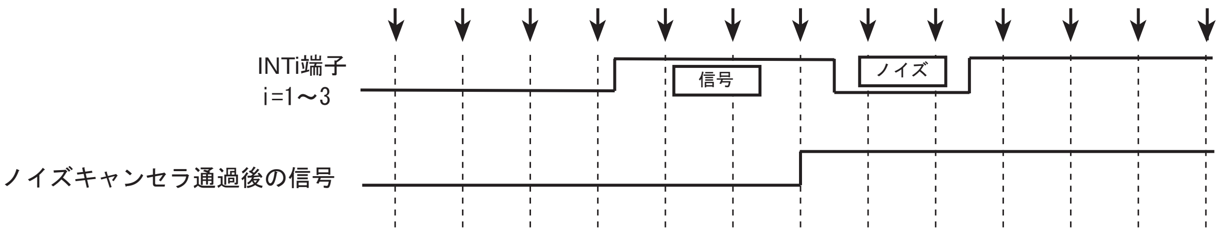


図 4-5 ノイズキャンセル動作

SLOW1/2、 SLEEP1 モードでは、低周波クロックを 4 分周したクロックでノイズキャンセラ通過後の信号をサンプリングし、2 回同じレベルが連続すると信号として見なされます。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-1 を参照してください。

IDLE0、SLEEP0、STOP モードではノイズキャンセラのサンプリング動作が停止するため、外部割り込みを使用することができません。NORMAL1/2 モード、IDLE1/2 モード、SLOW1/2、SLEEP1 モードにもどるとサンプリング動作が再開します。

注 1)　外部割り込み端子をサンプルリングするタイミングで連続してノイズが入力された場合、ノイズキャンセル機能は正常に動作しません。外部から入力されるノイズの周期にあわせ、EINTCRx<INTxNC>を選択してください。

注 2)　外部割り込み端子を出力ポートとして使用すると、出力モードに切り替えたときポートへの入力信号が"L"に固定されるため割り込み要求が発生します。出力ポートとして使用するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止してください。

注 3)　動作モード遷移時に割り込み要求が発生することがあります。動作モード遷移を変更するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2, IDLE1/2 モードから SLOW1/2,SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12/fs[s]待ち割り込みラッチをクリアしてください。また、SLOW1/2, SLEEP1 モードから NORMAL1/2,IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2/fcgck+3/fspl[s]待ち、割り込みラッチをクリアしてください。

4.3.4　外部割り込み 4

外部割り込み 4 は INT4 端子の立ち下がり、立ち上がり、両エッジ、"H"レベルを検出して割り込み要求信号を発生します。

4.3.4.1　割り込み要求信号発生条件検出機能

外部割り込み 4 は、EINTCR4<INT4ES>で割り込み要求信号発生条件を選択します。

表 4-4 割り込み要求発生エッジ選択

EINTCR4<INT4ES>	検出エッジ
00	立ち上がり
01	立ち下がり
10	両エッジ
11	"H"レベル割り込み

4.3.4.2 割り込み要求信号発生時のノイズキャンセラ通過信号モニタ機能

割り込み要求発生時のノイズキャンセラ通過後の信号レベルを EINTCR4<INT4LVL>で読み出すことができます。検出エッジに両エッジを選択したとき EINTCR4<INT4LVL>を読み出すことで、割り込み発生時のエッジを確定できます。

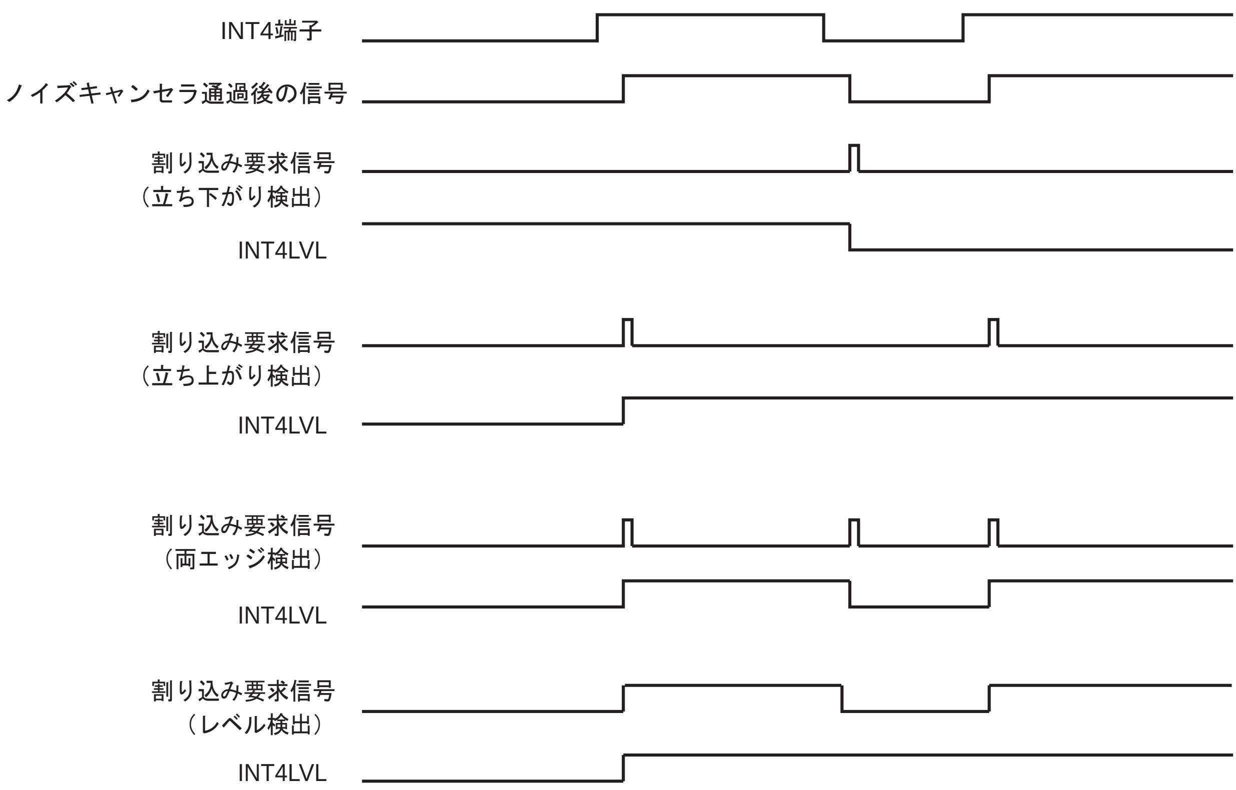


図 4-6 割り込み要求発生と EINTCR4<INT4LVL>

4.3.4.3 ノイズキャンセル時間選択機能

NORMAL1/2、IDLE1/2 モードでは、INT4 端子の状態を fcgck でサンプリングした後に、EINTCR4<INT4NC>で選択されたサンプリング間隔でサンプリングし、3 回同じレベルが連続すると信号としてみなし、それ以外はノイズとして除去します。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-1 を参照してください。

表 4-5 ノイズキャンセラのサンプリングロック

EINTCR4<INT4NC>	サンプリング間隔
00	fcgck
01	fcgck/2^2
10	fcgck/2^3
11	fcgck/2^4

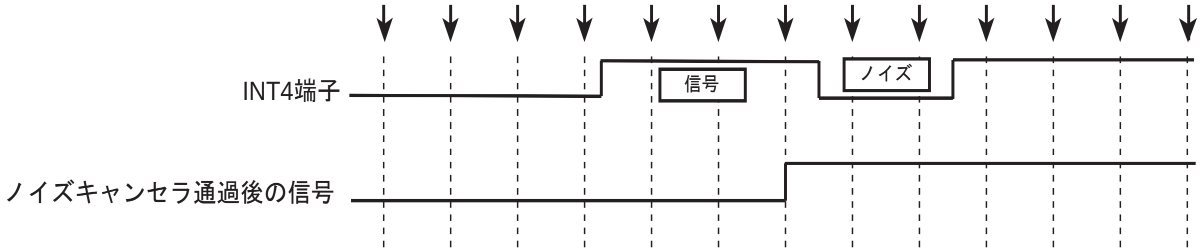


図 4-7 ノイズキャンセル動作

SLOW1/2、 SLEEP1 モードでは、低周波クロックを 4 分周したクロックでノイズキャンセラ通過後の信号をサンプリングし、2 回同じレベルが連続すると信号として見なされます。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-1 を参照してください。

IDLE0、SLEEP0、STOP モードではノイズキャンセラのサンプリング動作が停止するため、外部割り込みを使用することができません。NORMAL1/2 モード、IDLE1/2 モード、SLOW1/2、SLEEP1 モードにもどるとサンプリング動作が再開します。

注 1)　外部割り込み端子をサンプルリングするタイミングで連続してノイズが入力された場合、ノイズキャンセル機能は正常に動作しません。外部から入力されるノイズの周期にあわせ、EINTCR4<INT4NC>を選択してください。

注 2)　外部割り込み端子を出力ポートとして使用すると、出力モードに切り替えたときポートへの入力信号が"L"に固定されるため割り込み要求が発生します。出力ポートとして使用するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止してください。

注 3)　動作モード遷移時に割り込み要求が発生することがあります。動作モード遷移を変更するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2, IDLE1/2 モードから SLOW1/2,SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12/fs[s]待ち割り込みラッチをクリアしてください。また、SLOW1/2, SLEEP1 モードから NORMAL1/2,IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2/fcgck+3/fspl[s]待ち、割り込みラッチをクリアしてください。

4.3.5　外部割り込み 5

外部割り込み 5 は $\overline{\text{INT5}}$ 端子の立ち下がりエッジを検出して割り込み要求信号を発生します。

NORMAL1/2、IDLE1/2 モード時、1/fcgck 未満のパルスはノイズとして除去され、2/fcgck 以上のパルスは確実に信号と見なされます。

SLOW/SLEEP モード時、4/fs 未満のパルスはノイズとして除去され、8/fs 以上のパルスは確実に信号と見なされます。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-1 を参照してください。

第 5 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、ウォッチドッグ割り込み要求信号、またはウォッチドッグタイマリセット信号のいずれかをプログラムで選択することができます。

注)　外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

5.1　構成

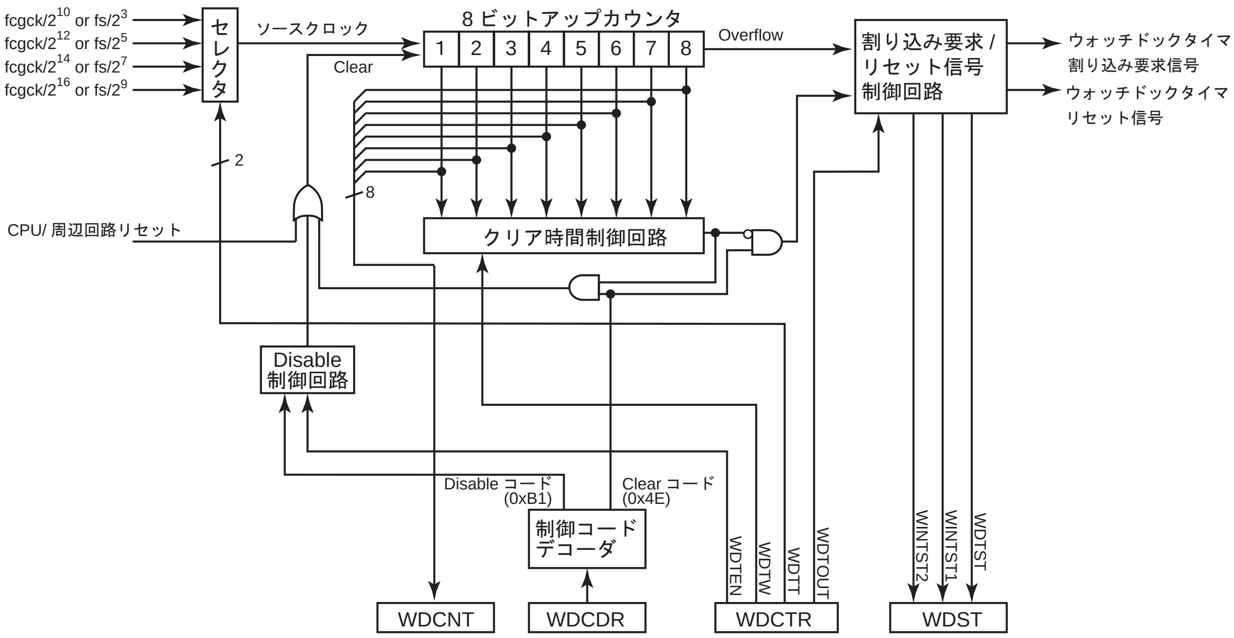


図 5-1 ウォッチドッグタイマの構成

5.2　制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDCTR)、ウォッチドッグタイマ制御コードレジスタ(WDCDR)、ウォッチドッグタイマカウンタモニタ(WDCNT)、ウォッチドッグタイマステータス(WDST)で制御されます。

なおウォッチドッグタイマはリセット後のウォーミングアップ動作終了直後、自動的に許可になります。

ウォッチドッグタイマ制御レジスタ

WDCTR
(0x0FD4)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	WDTEN	WDTW		WDTT		WDTOUT
Read/Write	R	R	R/W	R/W		R/W		R/W
リセット後	1	0	1	0	0	1	1	0

WDTEN	ウォッチドッグタイマ動作の許可/禁止	0 :	禁止		
		1 :	許可		
WDTW	8 ビットアップカウンタクリアのクリア時間の設定	00 :	8 ビットアップカウンタのオーバーフロー時間のどこでクリアコードを書き込んでも 8 ビットアップカウンタをクリアする。		
		01 :	8 ビットアップカウンタのオーバーフロー時間の前半 1/4 以下のタイミングでクリアコードを書き込むとウォッチドッグタイマ割り込み要求が発生する。オーバーフロー時間の前半 1/4 を超えたタイミングでクリアコードを書き込むと 8 ビットアップカウンタをクリアする。		
		10 :	8 ビットアップカウンタのオーバーフロー時間の前半 1/2 以下のタイミングでクリアコードを書き込むとウォッチドッグタイマ割り込み要求が発生する。オーバーフロー時間の前半 1/2 を超えたタイミングでクリアコードを書き込むと 8 ビットアップカウンタをクリアする。		
		11 :	8 ビットアップカウンタのオーバーフロー時間の前半 3/4 以下のタイミングでクリアコードを書き込むとウォッチドッグタイマ割り込み要求が発生する。オーバーフロー時間の前半 3/4 を超えたタイミングでクリアコードを書き込むと 8 ビットアップカウンタをクリアする。		
WDTT	8 ビットアップカウンタのオーバーフロー時間の設定		NORMAL モードの時		SLOW モードの時
			DV9CK=0 の時	DV9CK=1 の時	
		00 :	2^{18}/fcgck	2^{11}/fs	2^{11}/fs
		01 :	2^{20}/fcgck	2^{13}/fs	2^{13}/fs
		10 :	2^{22}/fcgck	2^{15}/fs	2^{15}/fs
		11 :	2^{24}/fcgck	2^{17}/fs	2^{17}/fs
WDTOUT	8 ビットアップカウンタのオーバーフロー検出信号の選択	0 :	ウォッチドッグタイマ割り込み要求信号		
		1 :	ウォッチドッグタイマリセット要求信号		

注 1)　fcgck:ギアクロック[Hz]、 fs:低周波クロック[Hz]

注 2)　WDCTR<WDTW>、WDCTR<WDTT>、WDCTR<WDTOUT>は WDCTR<WDTEN>が"1"のとき変更することができません。WDCTR<WDTEN>が"1"のときには、WDCTR<WDTEN>を"0"にクリアした後、WDCDR に Disable コード(0xB1)を書き込み、ウォッチドッグタイマ動作を禁止させてください。なお、WDCTR<WDTEN>を"1"にセットするときには同時に変更することができます。

注 3)　WDCTR のビット 7、ビット 6 を読み出すと、それぞれ"1"、"0"が読み出されます。

ウォッチドッグタイマ制御コードレジスタ

WDCDR (0x0FD5)

	7	6	5	4	3	2	1	0
Bit Symbol	WDTCR2							
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0

WDTCR2	ウォッチドッグタイマの制御コード書き込み	0x4E :	ウォッチドッグタイマのクリア(Clear コード)
		0xB1 :	WDCTR<WDTEN>が"0"のとき、ウォッチドッグタイマ動作を禁止し、8 ビットアップカウンタをクリアする(Disable コード)
		その他 :	無効

注) WDCDR は Write only レジスタです。ビット操作などのリードモディファイライト命令でアクセスしてはいけません。

8 ビットアップカウンタモニタ

WDCNT (0x0FD6)

	7	6	5	4	3	2	1	0
Bit Symbol	WDCNT							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0

WDCNT	8 ビットアップカウンタのカウント値モニタ	8 ビットアップカウンタのカウント値が読み出されます。

ウォッチドッグタイマステータス

WDST (0x0FD7)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	WINTST2	WINTST1	WDTST
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	1	0	1	1	0	0	1

WINTST2	ウォッチドッグタイマ割り込み要求信号要因ステータス 2	0 :	ウォッチドッグタイマ割り込み要求信号発生なし
		1 :	8 ビットアップカウンタのオーバーフローによるウォッチドッグタイマ割り込み要求信号発生
WINTST1	ウォッチドッグタイマ割り込み要求信号要因ステータス 1	0 :	ウォッチドッグタイマ割り込み要求信号発生なし
		1 :	8 ビットアップカウンタをクリア時間外でクリアしたことによるウォッチドッグタイマ割り込み要求信号発生
WDTST	ウォッチドッグタイマ動作状態ステータス	0 :	動作禁止状態
		1 :	動作許可状態

注 1) WDST を読み出すと、WDST<WINTST2>、WDST<WINTST1>は"0"にクリアされます。
注 2) WDST のビット 7~3 を読み出すと、リセット後の値が読み出されます。

5.3　機能

ウォッチドッグタイマは 8 ビットアップカウンタのオーバーフロー検出、8 ビットアップカウンタクリアの禁止時間でのクリア動作検出により、CPU の暴走、デッドロックを検出することができます。

また、8 ビットアップカウンタのカウント値を不定期に読み出し、前回の読み出し値と比較することで、ウォッチドッグタイマの停止などの異常を検出することができます。

5.3.1　ウォッチドッグタイマ動作の許可／禁止の設定

WDCTR<WDTEN>を"1"にセットするとウォッチドッグタイマの動作が許可され、8 ビットアップカウンタはソースクロックのカウントを始めます。

WDCTR<WDTEN>はリセット後のウォーミングアップ動作解除後に"1"に初期化されるため、ウォッチドッグタイマは許可されています。

ウォッチドッグタイマ動作を禁止するには WDCTR<WDTEN>を"0"にクリアした後に WDCDR に 0xB1 を書き込みます。ウォッチドッグタイマ動作を禁止すると 8 ビットアップカウンタは"0"にクリアされます。

注)　8 ビットアップカウンタのオーバーフローと WDCTR<WDTEN>が"1"のときの WDCDR への 0xB1 (Disable コード)の書き込みタイミングが重なった場合、ウォッチドッグタイマ動作の禁止が優先され、オーバーフロー検出は行われません。

再度、ウォッチドッグタイマの動作を許可するためには WDCTR<WDTEN>を"1"にセットします。WDCDR への制御コード書き込みは必要ありません。

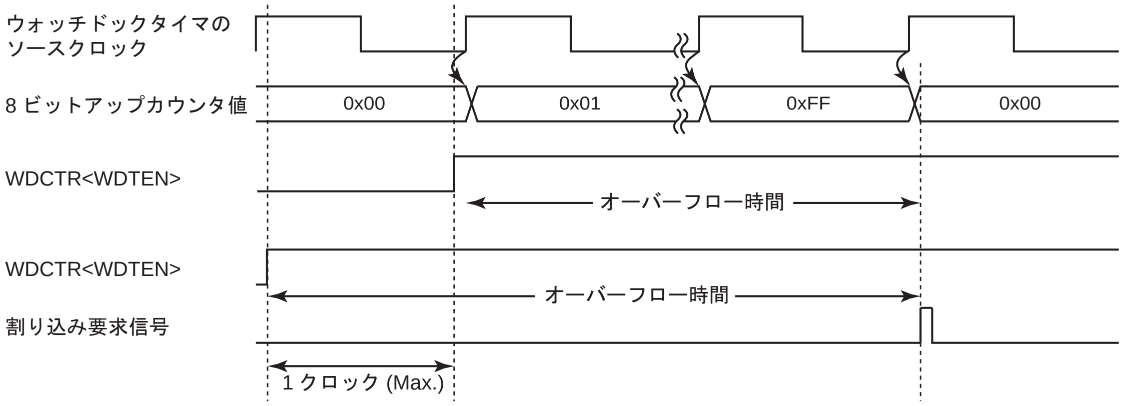


図 5-2 WDCTR<WDTEN>のセットタイミングとオーバーフロー時間

注)　8 ビットアップカウンタのソースクロックは WDCTR<WDTEN>と非同期に動作しています。そのため、WDCTR<WDTEN>を"1"にした後の最初の 8 ビットアップカウンタのオーバーフロー時間は最大 1 ソースクロック分短くなることがあります。8 ビットアップカウンタのクリア動作はオーバーフロー時間-1 ソースクロック周期以内に行うようにしてください。

5.3.2　8 ビットアップカウンタのクリア時間の設定

WDCTR<WDTW>で 8 ビットアップカウンタのクリア時間を設定します。

WDCTR<WDTW>が"00"のとき、クリア時間は 8 ビットアップカウンタのオーバーフロー時間と同じとなり、いつでも 8 ビットアップカウンタのクリア動作を行えます。

WDCTR<WDTW>が"00"以外のとき、クリア時間は 8 ビットアップカウンタのオーバーフロー時間の決まった時間のみとなり、クリア時間外で 8 ビットアップカウンタのクリア動作を行うと、ウォッチドッグタイマ割り込み要求信号が発生します。

このとき、ウォッチドッグタイマはクリアされずカウントを継続します。クリア時間中で 8 ビットアップカウンタをクリアしないと WDCTR<WDTOUT>の設定に応じて、オーバーフローによるウォッチドッグタイマリセット要求信号またはウォッチドッグタイマ割り込み要求信号が発生します。

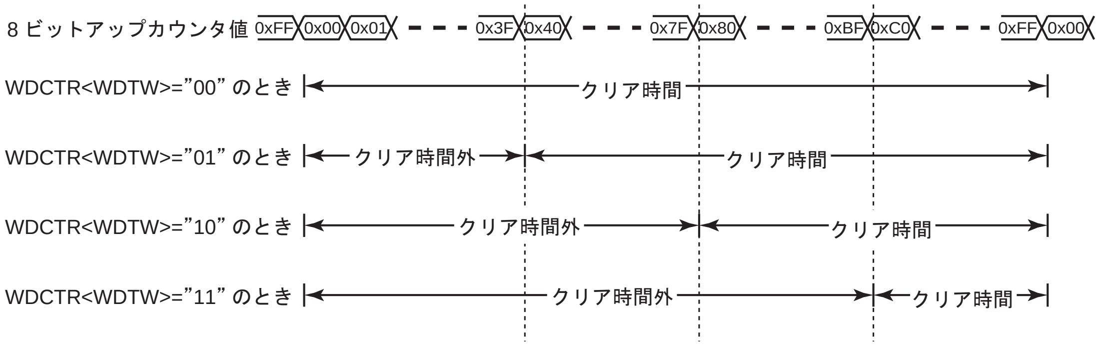


図 5-3 WDCTR<WDTW>と 8 ビットアップカウンタのクリア時間

5.3.3　8 ビットアップカウンタのオーバーフロー時間の設定

WDCTR<WDTT>で 8 ビットアップカウンタのオーバーフロー時間を設定します。

8 ビットアップカウンタがオーバーフローすると WDCTR<WDTOUT>の設定に応じて、ウォッチドッグタイマリセット要求信号またはウォッチドッグタイマ割り込み要求信号が発生します。

暴走検出信号としてウォッチドッグタイマ割り込み要求信号が選択されていると、オーバーフロー発生後もウォッチドッグカウンタのカウント動作は継続します。

なお、STOP モード (ウォーミングアップ中を含む) または IDLE/SLEEP モード中、ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEP モード解除後、カウントアップを再開します。STOP/IDLE/SLEEP モード解除直後に 8 ビットアップカウンタのオーバーフローが発生しないように、動作モード遷移前に 8 ビットアップカウンタをクリアすることを推奨します。

表 5-1 ウォッチドッグタイマオーバーフロー時間(fcgck = 10.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマオーバーフロー時間 [s]		
	NORMAL モード		SLOW モード
	DV9CK = 0	DV9CK = 1	
00	26.21 m	62.50 m	62.50 m
01	104.86 m	250.00 m	250.00 m
10	419.43 m	1.000	1.000
11	1.678	4.000	4.000

注)　8 ビットアップカウンタのソースクロックは WDCTR<WDTEN>と非同期に動作しています。そのため、WDCTR<WDTEN>を"1"にした後の最初の 8 ビットアップカウンタのオーバーフロー時間は最大 1 ソースクロック分短くなることがあります。8 ビットアップカウンタのクリア動作はオーバーフロー時間-1 ソースクロック周期以内に行うようにしてください。

5.3.4　8 ビットアップカウンタのオーバーフロー検出信号の設定

WDCTR<WDTOUT>で 8 ビットアップカウンタのオーバーフローが検出されたときの検出信号を設定します。

1. ウォッチドッグタイマ割り込み要求信号選択の場合(WDCTR<WDTOUT>="0"のとき)

   WDCTR<WDTOUT>を"0"にクリアすると 8 ビットアップカウンタがオーバーフローしたとき、ウォッチドッグタイマ割り込み要求信号が発生します。

   ウォッチドッグタイマ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ(IMF)の設定に関係なく、必ず 割り込み要求が受け付けられます。

注)　他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

2. ウォッチドッグタイマリセット要求信号選択の場合(WDCTR<WDTOUT>="1"のとき)

   WDCTR<WDTOUT>を"1"にセットすると 8 ビットアップカウンタがオーバーフローしたとき、ウォッチドッグタイマリセット要求信号が発生します。

   このウォッチドッグタイマリセット要求信号により、TMP89FM46A はリセットされ、ウォーミングアップ動作を開始します。

5.3.5　ウォッチドッグタイマの制御コードの書き込み

WDCDR でウォッチドッグタイマの制御コードを書き込みます。

WDCDR に 0x4E (Clear コード)を書き込むと、8 ビットアップカウンタは"0"にクリアされ、ソースクロックのカウントを続けます。

WDCTR<WDTEN>が"0"の状態で、WDCDR に 0xB1 (Disable コード)を書き込むと、ウォッチドッグタイマの動作が禁止されます。

8 ビットアップカウンタのオーバーフロー時間未満の間隔で、かつクリア時間内に 8 ビットアップカウンタをクリアすることで、8 ビットアップカウンタのオーバーフローが発生しなくなります。

あらかじめプログラムをオーバーフローが発生しないように設計しておくことで、ウォッチドッグタイマ割り込み要求信号による割り込み発生でプログラムの暴走、デッドロックの検出を行うことができます。

また、ウォッチドッグタイマリセット要求信号によりマイコンにリセットをかけることで暴走、デッドロック状態から回復することができます。

(プログラム例) WDCTR<WDTEN>が"0"のとき、ウォッチドッグタイマ検出時間を 2^{20}/fcgck [s] 、カウンタクリア時間をオーバーフロー時間の半分に設定し、暴走検出時にウォッチドッグタイマリセット要求信号発生を行う。

```
LD      (WDCTR), 0y00110011        ; WDTW←10 , WDTT←01, WDTOUT←1
```

8 ビットアップカウンタのオーバーフロー時間の半分を超え、オーバーフロー時間-ソースクロックの 1 周期分以内に 8 ビットアップカウンタをクリア

```
:
:
:
LD      (WDCDR), 0x4E              ; 8 ビットアップカウンタのクリア
```

8 ビットアップカウンタのオーバーフロー時間の半分を超え、オーバーフロー時間-ソースクロックの 1 周期分以内に 8 ビットアップカウンタをクリア

```
:
:
:
LD      (WDCDR), 0x4E              ; 8 ビットアップカウンタのクリア
```

注) 8 ビットアップカウンタのオーバーフローと WDCDR への 0x4E (Clear コード)の書き込みタイミングが重なった場合、8 ビットアップカウンタのクリアが優先され、オーバーフロー検出は行われません。

5.3.6 8 ビットアップカウンタの読み出し

WDCNT を読み出すことで、8 ビットアップカウンタのカウンタ値を読み出すことができます。

WDCNT を不定期に読み出し、前回の読み出し値と比較することで、8 ビットアップカウンタの停止を検出することができます。

5.3.7 ウォッチドッグタイマのステータスの読み出し

WDST によりウォッチドッグタイマのステータスを読み出すことができます。

WDST<WDTST>はウォッチドッグタイマの動作が許可されていると"1"にセットされ、禁止されていると"0"にクリアされます。

WDST<WINTST2>は 8 ビットアップカウンタのオーバーフローによるウォッチドッグタイマ割り込み要求信号が発生したときに"1"にセットされます。

WDST<WINTST1>は 8 ビットアップカウンタのクリア動作がクリア時間外で行われたことによるウォッチドッグタイマ割り込み要求信号発生で"1"にセットされます。

ウォッチドッグタイマの割り込みサービスルーチン内で WDST<WINTST2>、WDST<WINTST1>を読み出すことでウォッチドッグタイマ割り込み要求信号が発生した要因を知ることができます。

WDST<WINTST2>、WDST<WINTST1>ともに WDST を読み出すことで"0"にクリアされます。また、WDST の読み出しと WDST<WINTST2>、WDST<WINTST1>の成立タイミングが重なったとき、クリア動作よりも成立動作が優先され"1"にセットされます。

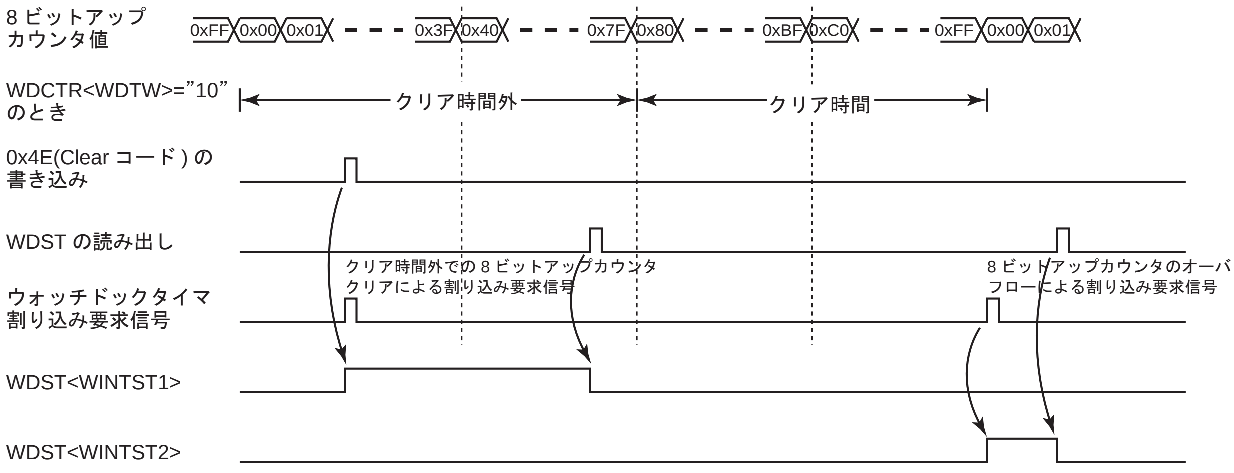


図 5-4 ウォッチドッグタイマステータスの変化

第 6 章　パワーオンリセット回路

パワーオンリセット回路は、電源投入時にリセットを発生させます。また、電源電圧がパワーオンリセット回路の検出電圧以下の時、パワーオンリセット信号を発生します。

6.1 構成

パワーオンリセット回路は、基準電圧発生回路とコンパレータから構成されます。

電源電圧をラダー抵抗によって分圧した電圧と基準電圧発生回路が発生した基準電圧をコンパレータで比較します。

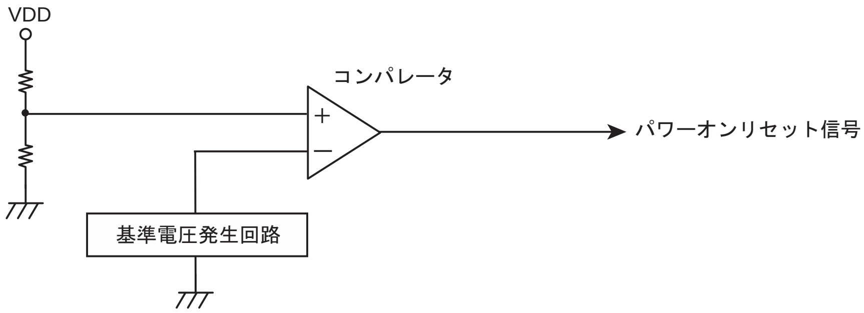


図 6-1 パワーオンリセット回路

6.2 機能

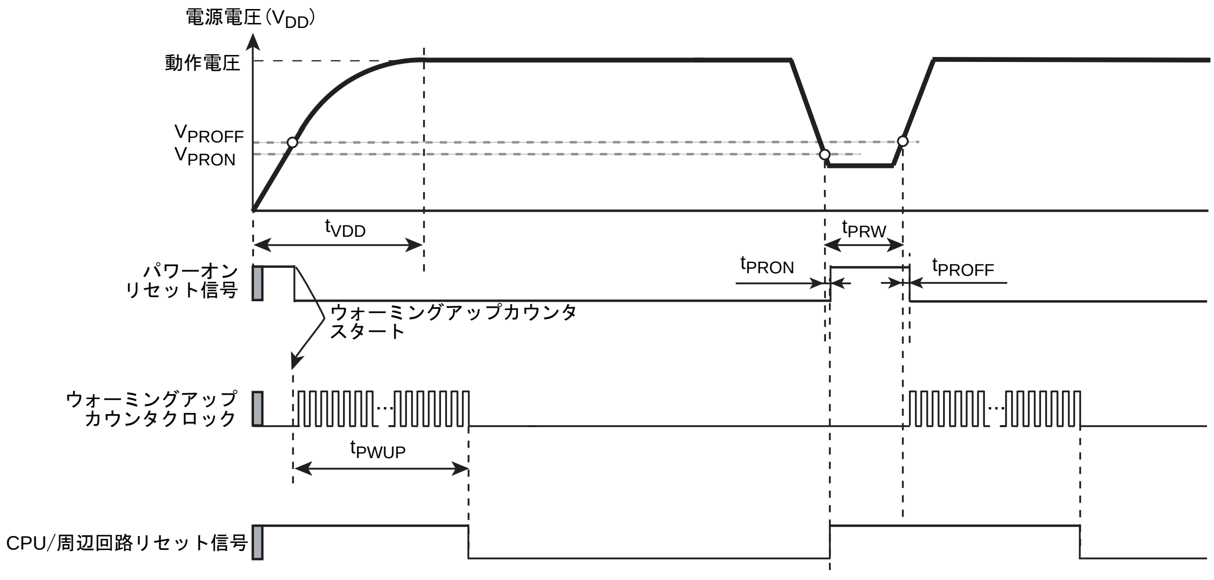
電源投入時、電源電圧がパワーオンリセットの解除電圧以下の間、パワーオンリセット信号が発生されます。電源電圧が解除電圧を超えるとパワーオンリセット信号が解除されます。

電源遮断時、電源電圧がパワーオンリセットの検出電圧以下になるとパワーオンリセット信号が発生されます。

パワーオンリセット信号が発生されている間、ウォーミングアップカウンタ回路、CPU、周辺回路はリセットされます。

パワーオンリセット信号が解除されるとウォーミングアップカウンタ回路が動作し、リセット解除後のウォーミングアップ時間後に CPU、周辺回路のリセットが解除されます。

パワーオンリセットの解除電圧検出からリセット解除後のウォーミングアップ時間終了時までに電源電圧を推奨動作範囲まで上昇させてください。リセット解除後のウォーミングアップ時間終了時までに電源電圧が推奨動作範囲に到達しない場合、TMP89FM46A は正常に動作することができません。



注 1)　電源電圧（V_{DD}）変動によってはパワーオンリセット回路が完全な動作をしないことがありますので、機器設計的には電気的特性を参照の上、十分な考慮が必要です。

注 2)　AC タイミングについては、電気的特性を参照ください。

図 6-2 パワーオンリセットの動作タイミング

第 7 章　電圧検出回路

電圧検出回路は、電源電圧の低下を検出し、INTVLTD 割り込み要求、電圧検出リセット信号を発生します。

注) 電源電圧（VDD)変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

7.1 構成

電圧検出回路は、基準電圧発生回路、検出電圧レベル選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧(VDD)はラダー抵抗で分圧され、検出電圧選択回路に入力されます。検出電圧選択回路で検出電圧(VDxLVL) (x = 1 ~ 2)に応じた電圧が選択され、コンパレータで基準電圧と比較されます。選択された電圧をコンパレータが検出すると、電圧検出リセット信号または INTVLTD 割り込み要求を発生させることができます。

「電圧検出リセット信号発生」、「INTVLTD 割り込み要求発生」はソフトウェアによって選択が可能です。「電圧検出リセット信号発生」が選択された場合、電源電圧(VDD)が検出電圧(VDxLVL)を下回ると、電圧検出リセット信号が発生します。「INTVLTD 割り込み要求発生」が選択された場合、電源電圧(VDD)が下降し、電圧検出レベルになると INTVLTD 割り込み要求が発生します。

注) 電圧検出用のコンパレータはヒステリシス構造では無いため、電源電圧(VDD)が検出電圧(VDxLVL)近辺では INTVLTD 割り込み要求が頻繁に発生する場合があります。また、電源電圧が下降したときだけでなく、上昇して検出電圧になったときにも INTVLTD 割り込み要求が発生する場合があります。

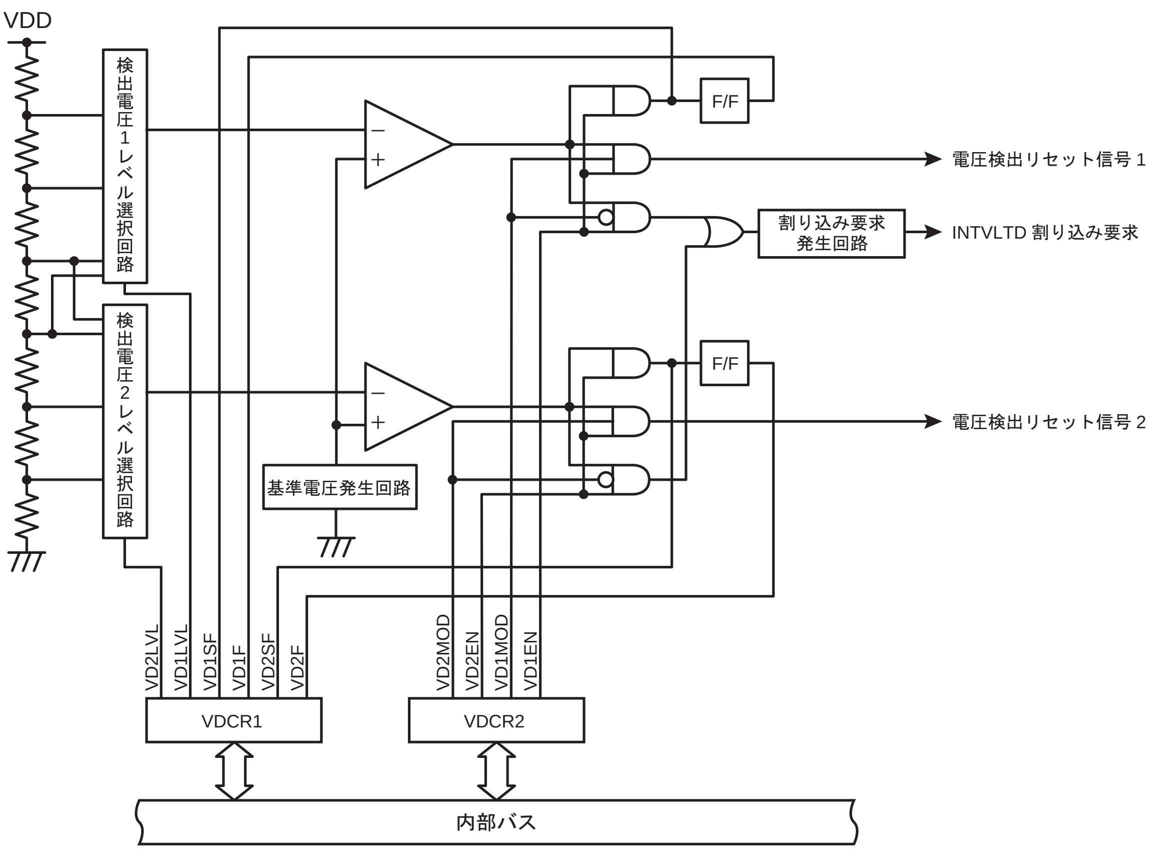


図 7-1 電圧検出回路

7.2　制御

電圧検出回路は電圧検出制御レジスタ 1、電圧検出制御レジスタ 2 で制御されます。

電圧検出制御レジスタ 1

VDCR1 (0x0FC6)

	7	6	5	4	3	2	1	0
Bit Symbol	VD2F	VD2SF	VD2LVL		VD1F	VD1SF	VD1LVL	
Read/Write	R/W	R	R/W		R/W	R	R/W	
リセット後	0	0	1	0	0	0	0	0

			リード時	ライト時
VD2F	電圧検出 2 フラグ(VDD<VD2LVL となったときの状態を保持)	0 :	VDD ≥ VD2LVL	VD2F を"0"にクリア
		1 :	VDD < VD2LVL	-
VD2SF	電圧検出 2 ステータスフラグ(読み出した時点の VDD、VD2LVL の大小関係)	0 :	VDD ≥ VD2LVL	
		1 :	VDD < VD2LVL	
VD2LVL	検出電圧 2 レベル選択	00 :	2.35 +0.15 / -0.15V	
		01 :	3.15 +0.15 / -0.15 V	
		10 :	2.85 +0.15 / -0.15 V	
		11 :	2.65 + 0.15 / -0.15V	
			リード時	ライト時
VD1F	電圧検出 1 フラグ(VDD<VD1LVL となったときの状態を保持)	0 :	VDD ≥ VD1LVL	VD1F を"0"にクリア
		1 :	VDD < VD1LVL	-
VD1SF	電圧検出 1 ステータスフラグ(読み出した時点の VDD、VD1LVL の大小関係)	0 :	VDD ≥ VD1LVL	
		1 :	VDD < VD1LVL	
VD1LVL	検出電圧 1 レベル選択	00 :	4.50 +0.2 / -0.2 V	
		01 :	4.20 +0.2 / -0.2 V	
		10 :	3.70 +0.2 / -0.2 V	
		11 :	3.15 +0.15 / -0.15 V	

注 1)　VDCR1 はパワーオンリセット、外部リセット入力で初期化されます。

注 2)　VD2F、VD1F のソフトウエアによるクリアと電圧検出によるセットが重なった場合、電圧検出によるセットが優先されます。

注 3)　VD2F、VD1F はソフトウエアで"1"にセットすることはできません。

電圧検出制御レジスタ 2

VDCR2 (0x0FC7)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	"0"	"0"	VD2MOD	VD2EN	VD1MOD	VD1EN
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

VD2MOD	電圧検出 2 動作モード選択	0 :	INTVLTD 割り込み要求発生
		1 :	電圧検出リセット 2 信号発生
VD2EN	電圧検出 2 動作の許可／禁止	0 :	電圧検出 2 動作禁止
		1 :	電圧検出 2 動作許可
VD1MOD	電圧検出 1 動作モード選択	0 :	INTVLTD 割り込み要求発生
		1 :	電圧検出リセット信号発生
VD1EN	電圧検出 1 動作の許可／禁止	0 :	電圧検出 1 動作禁止
		1 :	電圧検出 1 動作許可

注 1)　VDCR2 はパワーオンリセット、外部リセット入力で初期化されます。

注 2)　VDCR2 を読み出すとビット 7,6 は"0"が読み出されます。

注 3)　VDCR2 の 5～4 ビットは"0"を設定してください。

7.3 機能

電圧検出回路は 2 つの検出電圧(VDxLVL、x = 1 ~ 2)を設定できます。それぞれの電圧について、電圧検出の許可／禁止、電源電圧(VDD)が検出電圧(VDxLVL)になったとき、もしくは下回ったときの動作をソフトウエアによって設定することができます。

7.3.1 電圧検出動作の許可／禁止

VDCR2<VDxEN> を"1"にセットすると電圧検出動作が許可され、"0"にクリアすると禁止されます。

パワーオンリセット、外部リセット入力によるリセット解除直後、VDCR2<VDxEN>は"0"にクリアされます。

注) 電源電圧(VDD)<検出電圧(VDxLVL)の状態で VDCR2<VDxEN>を"1"に設定すると、設定した時点で INTVLTD 割り込み要求または電圧検出リセット信号が発生します。

7.3.2 電圧検出動作モード選択

VDCR2<VDxMOD>を"0"にすると電圧検出動作モードとして INTVLTD 割り込み要求発生が選択され、"1"にすると電圧検出リセット信号発生が選択されます。

・ INTVLTD 割り込み要求発生を選択した時(VDCR2<VDxMOD>="0")

VDCR2<VDxEN>が"1"のとき、電源電圧(VDD)が下降し検出電圧(VDxLVL)になると、INTVLTD 割り込み要求が発生します。

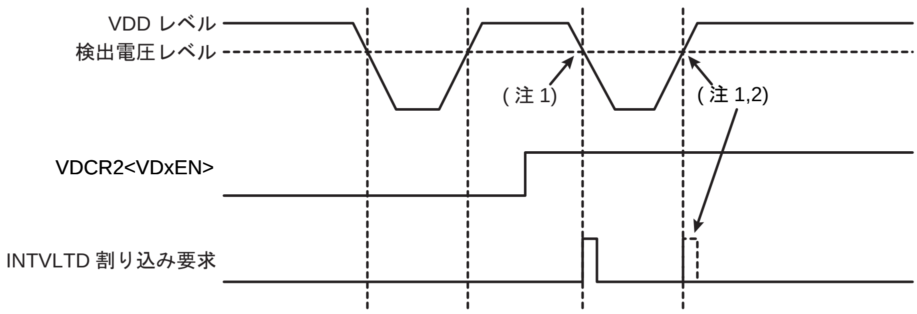


図 7-2 INTVLTD 割り込み要求

注 1) 電圧検出用のコンパレータはヒステリシス構造では無いため、電源電圧(VDD)が検出電圧(VDxLVL)近辺では INTVLTD 割り込み要求が頻繁に発生する場合があります。また、電源電圧が下降したときだけでなく、上昇して検出電圧になったときにも INTVLTD 割り込み要求が発生する場合があります。

注 2) TMP89C900 を実装した RTE870/C1 インサーキットエミュレータ(ICE モード)でデバッグする場合は、電源電圧の上昇時に検出電圧になっても割り込みは発生しません。TMP89FM46A と動作が異なる場合がありますのでソフトウェアをデバッグする際はこれらの違いを考慮して検証をお願いします。

注 3) IDLE0 モード、SLEEP0 モード中に電源電圧(VDD)が検出電圧(VDxLVL)になると、TBT の既定時間後にこれらのモードが解除された後、INTVLTD 割り込み要求が発生します。STOP モードの場合は、$\overline{\text{STOP}}$ 端子によって STOP モードが解除された後に INTVLTD 割り込み要求が発生します。

・ 電圧検出リセット信号発生を選択した時(VDCR2<VDxMOD> ="1")

VDCR2<VDxEN>が"1"のとき、電源電圧(VDD) <検出電圧(VDxLVL)になると、電圧検出リセット信号が発生します。

なお、VDCR1、VDCR2 はパワーオンリセット、外部リセット入力以外では初期化されないため、電源電圧(VDD) <検出電圧(VDxLVL)の間、電圧検出リセット信号が発生され続けます。

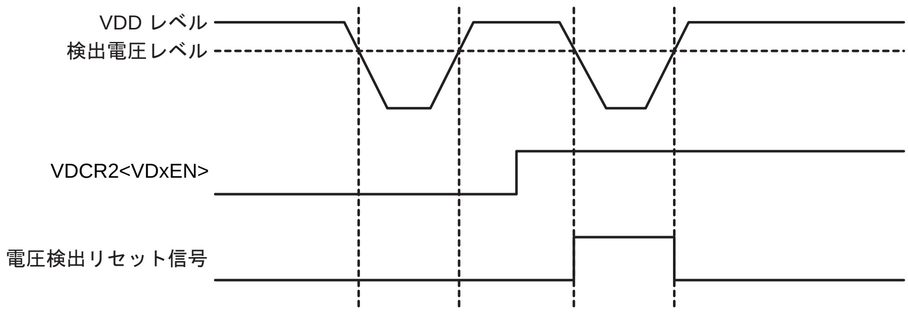


図 7-3 電圧検出リセット信号

7.3.3 検出電圧レベル選択

VDCR1<VDxLVL> で検出電圧を選択します。

7.3.4 電圧検出フラグ、電圧検出ステータスフラグ

VDCR1<VDxF>、VDCR1<VDxSF> を読み出すことで、電源電圧(VDD)と検出電圧(VDxLVL)の大小関係を確認することができます。

VDCR2<VDxEN>が"1"のとき、電源電圧(VDD) <検出電圧(VDxLVL)になると VDCR1<VDxF>が"1"にセットされ、その状態を保持します。電源電圧(VDD) ≥検出電圧(VDxLVL)になっても VDCR1<VDxF>は"0"にクリアされません。

VDCR1<VDxF>が"1"にセットされたあと VDCR2<VDxEN>を"0"にクリアしても、以前の状態を保持します。VDCR1<VDxF>をクリアするには"0"を書き込む必要があります。

VDCR2<VDxEN>が"1"のとき、電源電圧(VDD) <検出電圧(VDxLVL)になると VDCR1<VDxSF>が"1"にセットされます。電源電圧(VDD) ≥検出電圧(VDxLVL)になると VDCR1<VDxSF> が"0"にクリアされます。

VDCR1<VDxSF>は VDCR1<VDxF>と異なりセット状態を保持しません。

注 1) STOP モード、IDLE0 モード、SLEEP0 モード中に電源電圧(VDD)が検出電圧(VDxLVL)を下回ると、電圧検出フラグ、電圧検出ステータスフラグは、各動作モードが解除され NORMAL モードあるいは SLOW モードに復帰してから変化します。

注 2) 電圧検出のタイミングにより、電圧検出ステータスフラグ(VDxSF)が電圧検出フラグ(VDxF)より最大 2/fcgck [s]先に変化することがあります。

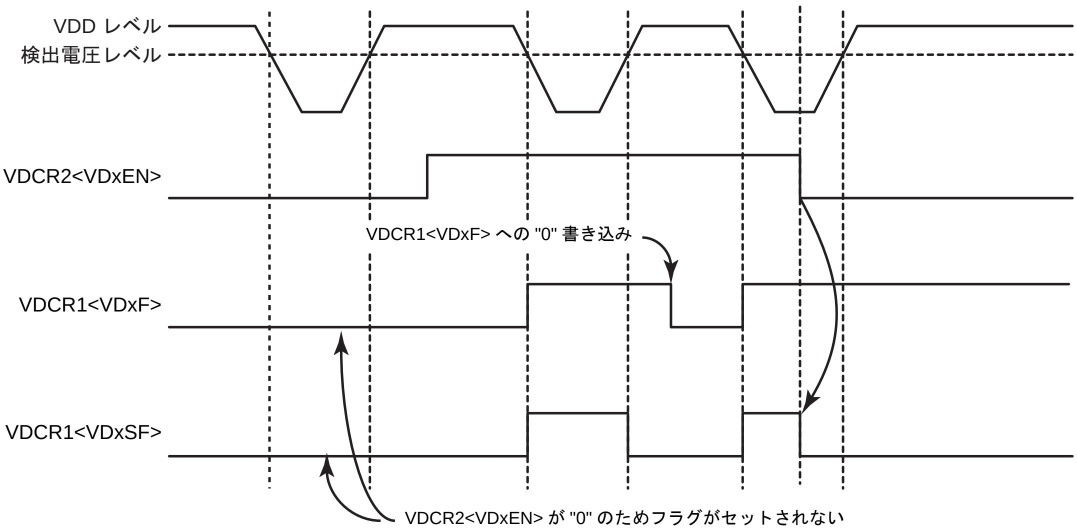


図 7-4 電圧検出フラグ、電圧検出ステータスフラグの変化

7.4　レジスタの設定

7.4.1　INTVLTD 割り込み要求発生として使用する場合の設定手順

INTVLTD 割り込み要求発生として使用する場合、下記の設定を行います。

1. INTVLTD 割り込み許可フラグを"0"にクリアします。
2. VDCR1<VDxLVL> (x = 1 ~ 2)で検出電圧を設定します。
3. VDCR2<VDxMOD>を"0"にクリアして動作モードを INTVLTD 割り込み要求発生にします。
4. VDCR2<VDxEN>を"1"にセットして電圧検出動作を許可します。
5. 電圧検出回路が安定するまで 5[μs]以上待ちます。
6. VDCR1<VDxSF>が"0"であることを確認します。
7. VDCR1<VDxF>と INTVLTD 割り込みラッチを"0"にクリアして、INTVLTD 割り込み許可フラグを"1"にセットして割り込みを許可します。

注) 電源電圧(VDD)が検出電圧(VDxLVL)近辺では INTVLTD 割り込み要求が頻繁に発生する場合があります。これが問題となる場合は、INTVLTD 割り込み処理からの復帰時、システムの電源変動にあわせ適当なウェイト処理を行い、割り込みラッチをクリアしてください。

INTVLTD 割り込み要求発生として電圧検出回路を使用しているとき、電圧検出回路の動作を禁止する場合、下記の設定を行います。

1. INTVLTD 割り込み許可フラグを"0"にクリアします。
2. VDCR2<VDxEN>を"0"にセットして電圧検出動作を禁止します。

注) INTVLTD 割り込み許可フラグを"0"にクリアせず電圧検出動作を禁止すると、予期しない割り込み要求が発生することがあります。

7.4.2　電圧検出リセット信号発生として使用する場合の設定手順

電圧検出リセット信号発生として使用する場合、下記の設定を行います。

1. INTVLTD 割り込み許可フラグを"0"にクリアします。
2. VDCR1<VDxLVL> (x = 1 ~ 2)で検出電圧を設定します。
3. VDCR2<VDxMOD>を"0"にクリアして動作モードを INTVLTD 割り込み要求発生にします。
4. VDCR2<VDxEN>を"1"にセットして電圧検出動作を許可します。
5. 電圧検出回路が安定するまで 5[μs]以上待ちます。
6. VDCR1<VDxSF>が"0"であることを確認します。
7. VDCR1<VDxF>を"0"にクリアします。
8. VDCR2<VDxMOD>を"1"にセットして動作モードを電圧検出リセット信号発生にします。

注 1) VDCR1、VDCR2 はパワーオンリセット、外部リセット入力以外では初期化されません。そのため、電圧検出リセットが解除された後、VDCR2<VDxEN>を"0"にクリアするまえに、電源電圧(VDD)<検出電圧(VDxLVL)になると直ちに電圧検出リセット信号が発生します。

注 2) 電源電圧(VDD)<検出電圧(VDxLVL)になっている間、電圧検出リセット信号が発生します。

電圧検出リセット信号発生として電圧検出回路を使用しているとき、電圧検出回路の動作を禁止する場合、下記の設定を行います。

1. INTVLTD 割り込み許可フラグを"0"にクリアします。
2. VDCR2<VDxMOD>を 0"にクリアして動作モードを INTVLTD 割り込み要求発生にします。
3. VDCR2<VDxEN>を"0"にセットして電圧検出動作を禁止します。

注) INTVLTD 割り込み許可フラグを"0"にクリアせず電圧検出動作を禁止すると、予期しない割り込み要求が発生することがあります。

第 8 章　入出力ポート

TMP89FM46A は、8 ポート 42 端子の入出力ポートを内蔵しています。

表 8-1 入出力ポート一覧

ポート名	端子名	端子数	入出力	兼用機能
P0 ポート	P03 ~ P00	4	入出力	高周波発振子接続端子、低周波発振子接続端子と兼用
P1 ポート	P13 ~ P10	4	入出力	外部リセット入力、外部割り込み入力、 STOP モード解除信号入力と兼用
P2 ポート	P27 ~ P20	8	入出力	UART 入出力、シリアルインタフェース入出力、シリアルバスインタフェース入出力と兼用
P4 ポート	P47 ~ P40	8	入出力	アナログ入力、キーオンウェイクアップ入力と兼用
P7 ポート	P77 ~ P70	8	入出力	タイマカウンタ入出力、デバイダ出力、外部割り込み入力と兼用
P8 ポート	P83 ~ P80	4	入出力	タイマカウンタ入出力と兼用
P9 ポート	P91 ~ P90	2	入出力	UART 入出力と兼用
PB ポート	PB7 ~ PB4	4	入出力	UART 入出力、シリアルインタフェース入出力と兼用

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。ただし、すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理するようにしてください。図 8-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルで行われます。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの次のサイクルです。

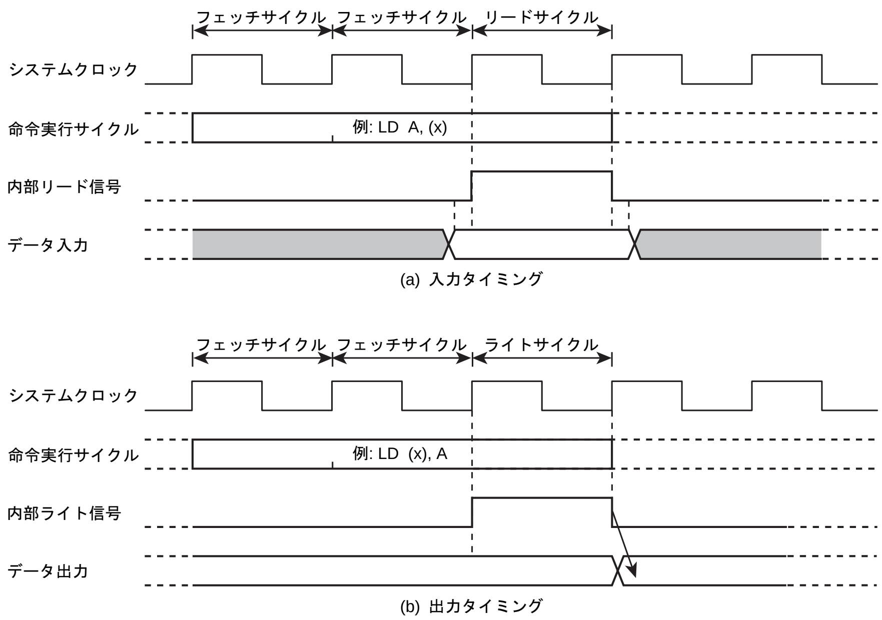


図 8-1 入出力タイミング (例)

注)　命令によってリード/ライトサイクルの位置が異なります。

8.1　入出力ポートの制御レジスタとは

入出力ポートで使用する制御レジスタは以下のようなものがあります(x はポートの番号が入ります)。設定できるレジスタはポートごとに異なりますので、詳細は各ポートのごとの説明を参照してください。

・ PxDR レジスタ

　出力データを設定するためのレジスタです。ポートが「出力モード」に設定されている場合、PxDR に設定した値が各ポートから出力されます。

・ PxPRD レジスタ

　入力データを読み込むためのレジスタです。ポートが「入力モード」に設定されている場合、PxPRD を読み出すと現在のポート入力状態を読み出すことができます。

・ PxCR レジスタ

　ポートの入出力を切り替えるためのレジスタです。ポートの「入力モード」と「出力モード」を切り替えることができます。

・ PxFC レジスタ

　各ポートの兼用機能出力を有効にするためのレジスタです。ポート毎に用意されている兼用機能出力の有効/無効を設定することができます。

・ PxOUTCR レジスタ

　ポート出力を C-MOS 出力にするか、オープンドレイン出力にするかを切り替えるためのレジスタです。

・ PxPU レジスタ

　入力モード、またはオープンドレイン出力で使用する場合、内蔵プルアップ抵抗を接続するかどうかを切り替えるためのレジスタです。

8.2 入出力ポート設定一覧

表 8-2 に各入出力ポートの設定方法を示します。

表 8-2 入出力ポート設定一覧表

ポート名	端子名	機能	レジスタ設定値			
			PxCR	PxOUTCR	PxFC	その他必要な設定
P0 ポート	P03 ~ P00	ポート入力	0	レジスタ無し	0	
		ポート出力	1		0	
	P03	XTOUT	*		レジスタ無し	
	P02	XTIN	*		1	
	P01	XOUT	*		レジスタ無し	
	P00	XIN	*		1	
P1 ポート	P13 ~ P11	ポート入力	0	レジスタ無し	レジスタ無し	
		ポート出力	1			
	P10	ポート入力	0			注 1
	P10	ポート出力	1			注 1
	P13	INT1 入力	0			
	P12	$\overline{\text{INT0}}$ 入力	0			
	P11	$\overline{\text{INT5}}$ 入力	0			
	P11	$\overline{\text{STOP}}$ 入力	0			
	P10	$\overline{\text{RESET}}$ 入力	*			注 1
P2 ポート	P27 ~ P20	ポート入力	0	*	*	
		ポート出力	1	**	0	
	P25	SCLK0 入力	0	*	*	SERSEL<SRSEL0>="01"
		SCLK0 出力	1	**	1	SERSEL<SRSEL0>="01"
	P24	SCL0 入出力	1	レジスタ無し	1	SERSEL<SRSEL0>="*0"
		SI 入力	0		*	SERSEL<SRSEL0>="01"
	P23	SDA0 入出力	1	レジスタ無し	1	SERSEL<SRSEL0>="*0"
		SO 出力	1		1	SERSEL<SRSEL0>="01"
	P22	SCLK0 入力	0	*	*	SERSEL<SRSEL0>="10" SERSEL<SRSEL2>="0"
		SCLK0 出力	1	**	1	SERSEL<SRSEL0>="10" SERSEL<SRSEL2>="0"
	P21	RXD0 入力	0	*	*	SERSEL<SRSEL0>="0*" SERSEL<SRSEL2>="0" UATCNG<UAT0IO>="0"
		TXD0 出力	1	**	1	SERSEL<SRSEL0>="0*" SERSEL<SRSEL2>="0" UATCNG<UAT0IO>="1"
		SI0 入力	0	*	*	SERSEL<SRSEL0>="10" SERSEL<SRSEL2>="0"
	P20	TXD0 出力	1	**	1	SERSEL<SRSEL0>="0*" SERSEL<SRSEL2>="0" UATCNG<UAT0IO>="0"
		RXD0 入力	0	*	*	SERSEL<SRSEL0>="0*" SERSEL<SRSEL2>="0" UATCNG<UAT0IO>="1"
		SO0 出力	1	**	1	SERSEL<SRSEL0>="10" SERSEL<SRSEL2>="0"

表 8-2 入出力ポート設定一覧表

ポート名	端子名	機能	レジスタ設定値			
			PxCR	PxOUTCR	PxFC	その他必要な設定
P4 ポート	P47 ~ P40	ポート入力	0	レジスタ無し	*	
		ポート出力	1		0	
		AIN7 ~ AIN0	0		1	
		KWI7 ~ KWI4	*		*	KWUCR1
		KWI3 ~ KWI0	*		*	KWUCR0
P7 ポート	P77 ~ P70	ポート入力	0	レジスタ無し	*	
		ポート出力	1		0	
	P77	INT4 入力	0		レジスタ無し	
	P76	INT3 入力	0		レジスタ無し	
	P75	INT2 入力	0		レジスタ無し	
	P74	$\overline{\text{DVO}}$ 出力	1		1	
	P73	TCA1 入力	0		*	
		$\overline{\text{PPGA1}}$ 出力	1		1	
	P72	TCA0 入力	0		*	SERSEL<TCA0SEL>="00"
		$\overline{\text{PPGA0}}$ 出力	1		1	
	P71	TC01 入力	0		*	
		$\overline{\text{PPG01}}$ / $\overline{\text{PWM01}}$ 出力	1		1	
	P70	TC00 入力	0		*	
		$\overline{\text{PPG00}}$ / $\overline{\text{PWM00}}$ 出力	1		1	
P8 ポート	P83 to P80	ポート入力	0	レジスタ無し	*	
		ポート出力	1		0	
	P81	TC03 入力	0		*	
		$\overline{\text{PPG03}}$ / $\overline{\text{PWM03}}$ 出力	1		1	
	P80	TC02 入力	0		*	
		$\overline{\text{PPG02}}$ / $\overline{\text{PWM02}}$ 出力	1		1	
P9 ポート	P92 to P90	ポート入力	0	*	*	
		ポート出力	1	**	0	
	P91	RXD1 入力	0	*	0	UATCNG<UAT1IO>="0"
		TXD1 出力	1	**	1	UATCNG<UAT1IO>="1"
	P90	TXD1 出力	1	**	1	UATCNG<UAT1IO>="0"
		RXD1 入力	0	*	0	UATCNG<UAT1IO>="1"
PB ポート	PB7 ~ PB4	ポート入力	0	*	*	
		ポート出力	1	**	0	
	PB6	SCLK0 入力	0	*	*	SERSEL<SRSEL0>="10" SERSEL<SRSEL2>="1"
		SCLK0 出力	1	**	1	SERSEL<SRSEL0>="10" SERSEL<SRSEL2>="1"
	PB5	RXD0 入力	0	*	*	SERSEL<SRSEL0>="0*" SERSEL<SRSEL2>="1" UATCNG<UAT0IO>="0"
		TXD0 出力	1	**	1	SERSEL<SRSEL0>="0*" SERSEL<SRSEL2>="1" UATCNG<UAT0IO>="1"
		SI0 入力	0	*	*	SERSEL<SRSEL0>="10" SERSEL<SRSEL2>="1"

表 8-2 入出力ポート設定一覧表

ポート名	端子名	機能	レジスタ設定値			
			PxCR	PxOUTCR	PxFC	その他必要な設定
	PB4	TXD0 出力	1	**	1	SERSEL<SRSEL0>="0*" SERSEL<SRSEL2>="1" UATCNG<UAT0IO>="0"
		RXD0 入力	0	*	*	SERSEL<SRSEL0>="0*" SERSEL<SRSEL2>="1" UATCNG<UAT0IO>="1"
		SO0 出力	1	**	1	SERSEL<SRSEL0>="10" SERSEL<SRSEL2>="1"

注 1)　電源投入後、P10 端子は外部リセット入力として機能します。P10 端子をポート機能として利用する場合は、「外部リセット入力端子をポートとして使用する方法」を参照してください。

注 2)　SERSEL については、「8.4 シリアルインタフェース選択機能」を参照してください。

注 3)　表中の記号、数字は以下のような意味を持ちます。

記号、数字	意味
0	"0"を設定してください。
1	"1"を設定してください。
*	Don’t care ("1"、"0"どちらを設定しても動作は同じです)
**	シンクオープンドレイン出力、または C-MOS 出力のいずれかを選択することができます
レジスタ無し	そのビットに対応するレジスタが存在しません。

8.3　入出力ポートレジスタ

8.3.1　P0 (P03 ~ P00) ポート

P0 ポートは 1 ビット単位で入出力の指定ができる 4 ビットの入出力ポートで、高周波発振接続端子、低周波発振接続端子と兼用です。

P0 ポートは VDD 側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップは、入力モードとして使用する場合に利用することができます。

表 8-3 P0 ポート

	-	-	-	-	P03	P02	P01	P00
兼用機能	-	-	-	-	XTOUT	XTIN	XOUT	XIN

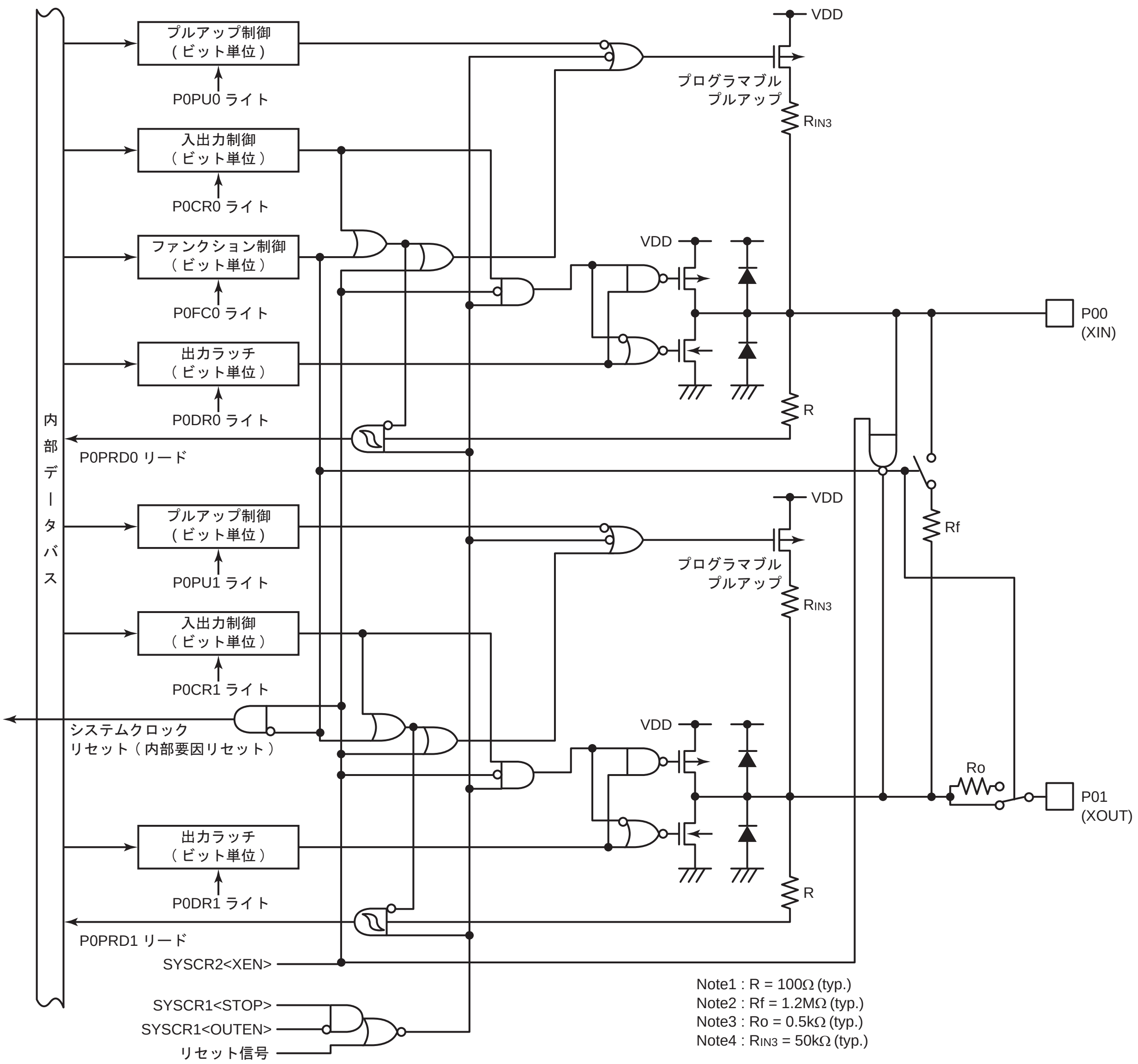


図 8-2 P0 ポート (P00, P01)

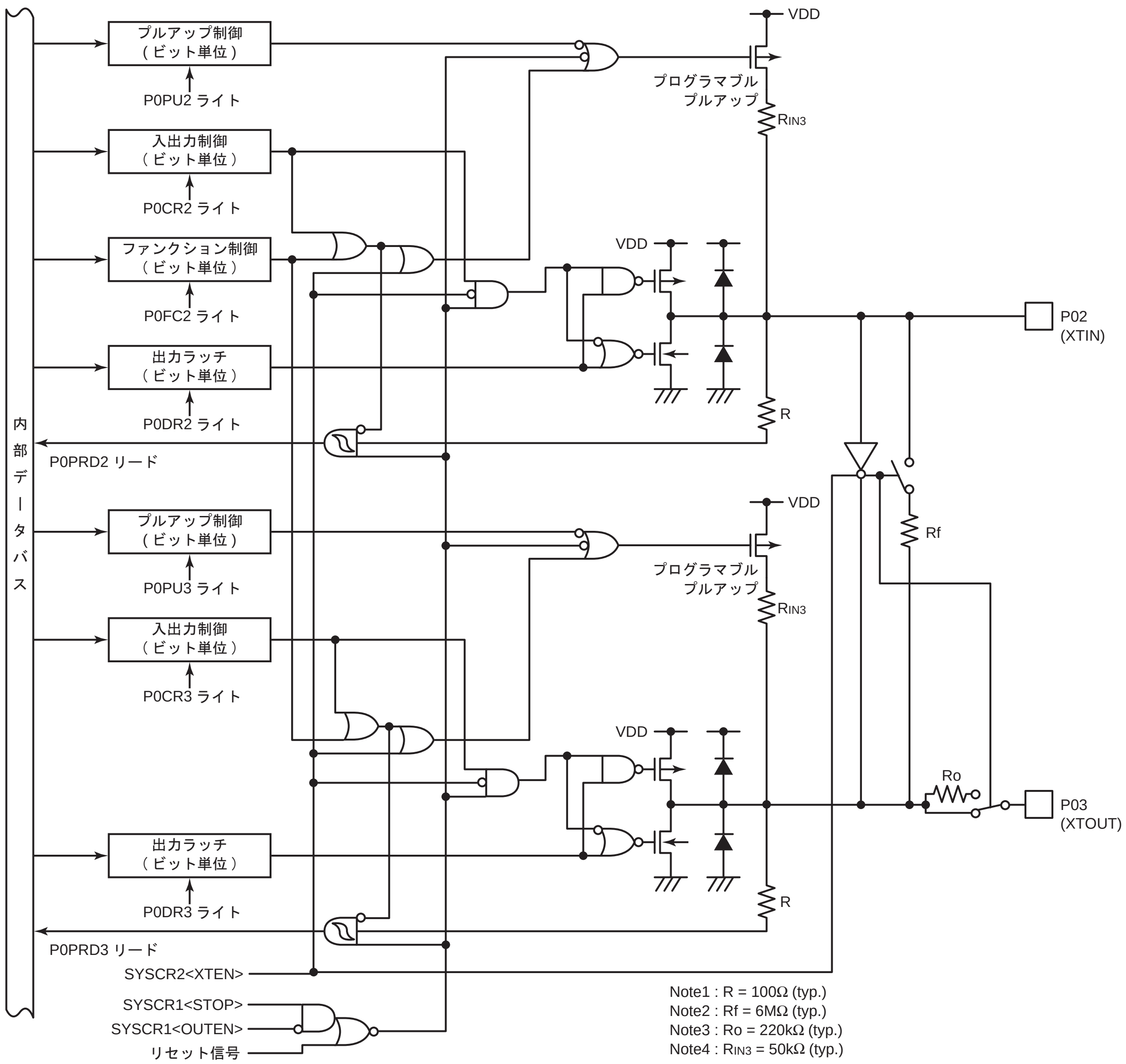


図 8-3 P0 ポート (P02, P03)

P0 ポート出力ラッチ

P0DR
(0x0000)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P03	P02	P01	P00
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:					ポート出力のとき L レベルを出力			
	1:					ポート出力のとき H レベルを出力			

P0 ポート入出力制御

P0CR
(0x0F1A)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P0CR3	P0CR2	P0CR1	P0CR0
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:					入力モード(ポート入力)			
	1:					出力モード(ポート出力)			

注)　P0 ポートファンクション制御(P0FC)のビット 0 が"1"のとき、P0CR0~1 には必ず"0"を設定してください。P0FC のビット 0 が"1"の場合、P0CR0~1 に"1"を設定すると SYSCR2<XEN>が"0"のとき発振器の出力とポートの出力バッファがショートした状態となり動作電流が増加します。

P0 ポートファンクション制御

P0FC
(0x0F34)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	-	P0FC2	-	P0FC0
Read/Write		R	R	R	R	R	R/W	R	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:						ポート機能		ポート機能
	1:						XTIN (I)		XIN (I)

注 1)　外付け高周波発振器に切り替える場合、P0FC0 を"1"にしてから SYSCR2<XEN>に"1"をセットしてください。P0FC0 が"0"の状態で SYSCR2<XEN>を"1"に設定するとシステムクロック(内部要因)リセットが発生します。
注 2)　I : 兼用機能入力

P0 ポート内蔵プルアップ制御

P0PU
(0x0F27)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P0PU3	P0PU2	P0PU1	P0PU0
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:					内蔵プルアップを接続しない			
	1:					内蔵プルアップを接続する(入力モード時のみ接続されます。それ以外の条件では"1"に設定しても接続されません。)			

P0 ポート入力データ

P0PRD
(0x000D)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	P0PRD3	P0PRD2	P0PRD1	P0PRD0
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	*	*	*	*
機能					入力モード時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。			

表 8-4 P0PRD のリード値 (P00 ~ P01)

設定条件		P0PRDi のリード値
P0FC0	P0CRi	
*	1	"0"
1	*	"0"
0	0	ポートの内容

注 1) * : Don’t care
注 2) i = 0, 1

表 8-5 P0PRD のリード値 (P02 ~ P03)

設定条件		P0PRDj のリード値
P0FC2	P0CRj	
*	1	"0"
1	*	"0"
0	0	ポートの内容

注 1) * : Don’t care
注 2) j = 2, 3

8.3.2　P1 (P13 ~ P10) ポート

P1 ポートは 1 ビット単位で入出力の指定ができる 4 ビットの入出力ポートで、外部割り込み入力、STOP モード解除信号入力、外部リセット入力と兼用です。

P1 ポートは VDD 側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップは、入力モードとして使用する場合に利用することができます。

リセット後、P10 端子は外部リセット入力として機能します。P10 端子をポート機能として利用する場合は、「リセット制御回路」の章を参照してください。

表 8-6 P1 ポート

					P13	P12	P11	P10
兼用機能					INT1	$\overline{\text{INT0}}$	INT5 $\overline{\text{STOP}}$	$\overline{\text{RESET}}$

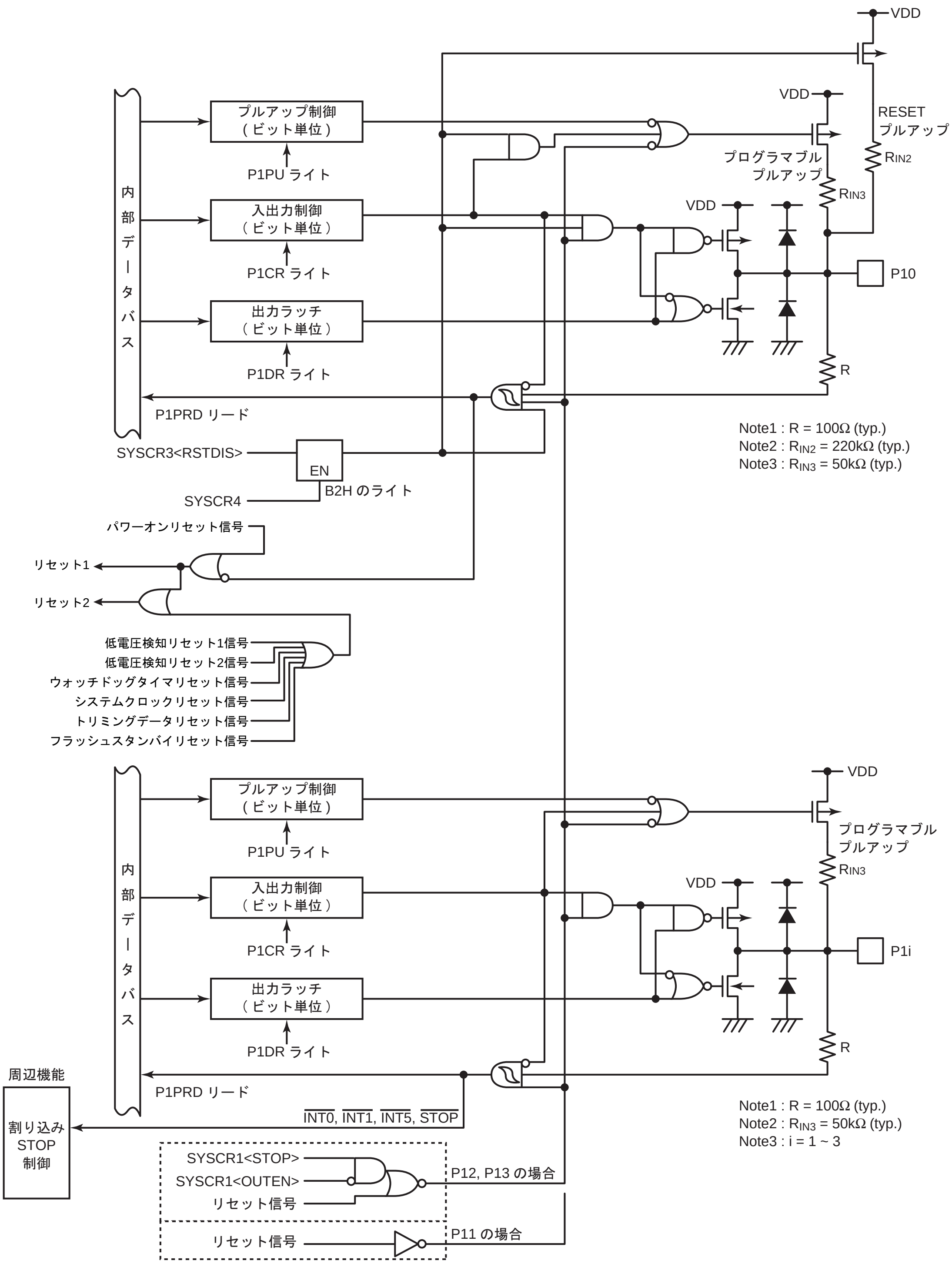

VDD
VDD
RESET
プルアップ
R_{IN2}
プルアップ制御
（ビット単位）
P1PU ライト
内部データバス
プログラマブル
プルアップ
R_{IN3}
VDD
入出力制御
（ビット単位）
P1CR ライト
P10
出力ラッチ
（ビット単位）
P1DR ライト
R
P1PRD リード
Note1 : R = 100Ω (typ.)
Note2 : R_{IN2} = 220kΩ (typ.)
Note3 : R_{IN3} = 50kΩ (typ.)
SYSCR3<RSTDIS>
EN
SYSCR4
B2H のライト
パワーオンリセット信号
リセット1
リセット2
低電圧検知リセット1信号
低電圧検知リセット2信号
ウォッチドッグタイマリセット信号
システムクロックリセット信号
トリミングデータリセット信号
フラッシュスタンバイリセット信号
VDD
プルアップ制御
（ビット単位）
P1PU ライト
プログラマブル
プルアップ
R_{IN3}
VDD
入出力制御
（ビット単位）
P1CR ライト
P1i
出力ラッチ
（ビット単位）
P1DR ライト
R
周辺機能
P1PRD リード
割り込み
STOP
制御
$\overline{INT0}$, $\overline{INT1}$, $\overline{INT5}$, $\overline{STOP}$
Note1 : R = 100Ω (typ.)
Note2 : R_{IN3} = 50kΩ (typ.)
Note3 : i = 1 ~ 3
SYSCR1<STOP>
SYSCR1<OUTEN>
リセット信号
P12, P13 の場合
リセット信号
P11 の場合

図 8-4 P1 ポート

P1 ポート出力ラッチ

P1DR (0x0001)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P13	P12	P11	P10
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:					ポート出力のとき L レベルを出力			
	1:					ポート出力のとき H レベルを出力			

P1 ポート入出力制御

P1CR (0x0F1B)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P1CR3	P1CR2	P1CR1	P1CR0
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:					入力モード(ポート入力)			
						INT1 (I)	$\overline{\text{INT0}}$ (I)	$\overline{\text{INT5}}$ (I) $\overline{\text{STOP}}$ (I)	-
	1:					出力モード(ポート出力)			

注)　I : 兼用機能入力

P1 ポート内蔵プルアップ制御

P1PU (0x0F28)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P1PU3	P1PU2	P1PU1	P1PU0
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:					内蔵プルアップを接続しない			
	1:					内蔵プルアップを接続する(入力モード時またはオープンドレイン出力時のみ接続されます。それ以外の条件では"1"に設定しても接続されません。)			

P1 ポート入力データ

P1PRD (0x000E)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	P1PRD3	P1PRD2	P1PRD1	P1PRD0
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	*	*	*	*
機能					入力モード時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。			

表 8-7 P1PRD のリード値

設定条件 P1CRi	P1PRDi のリード値
0	ポートの内容
1	"0"

注 1)　* : Don’t care
注 2)　i = 0 ~ 3

8.3.3 P2 (P27 ~ P20) ポート

P2 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、シリアルバスインタフェース入出力、シリアルインタフェース入出力、UART 入出力、オンチップデバッグ機能と兼用です。

出力回路は、Pch 出力制御機能付きですのでシンクオープンドレイン出力、または C-MOS 出力のいずれかを選択することができます。また P2 ポートは VDD 側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップは、入力モードまたはシンクオープンドレイン出力として使用する場合に利用することができます。

なお、シリアルバスインタフェース、シリアルインタフェースまたは UART として使用する場合は、シリアルインタフェース選択機能の設定も合わせて必要です。詳しくは「8.4 シリアルインタフェース選択機能」を参照してください。

オンチップデバッグ機能については、"オンチップデバッグ機能(OCD)"の章を参照してください。

表 8-8 P2 ポート

	P27	P26	P25	P24	P23	P22	P21	P20
兼用機能	-	-	SCLK0	SI0 SCL0	SO0 SDA0	SCLK0	SI0 RXD0 TXD0 OCDIO	SO0 TXD0 RXD0 OCDCK

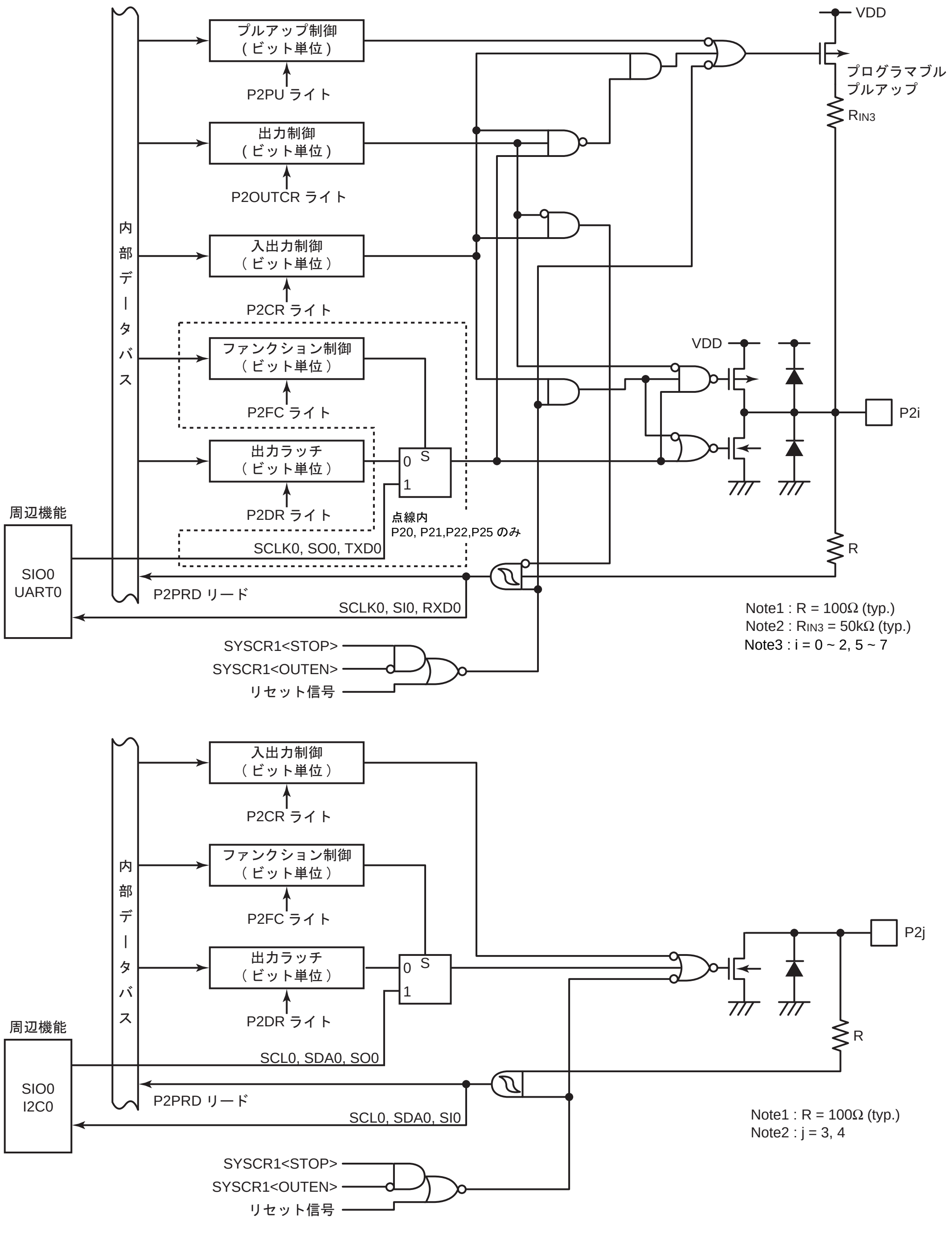

プルアップ制御
(ビット単位)
P2PU ライト
出力制御
(ビット単位)
P2OUTCR ライト
入出力制御
(ビット単位)
P2CR ライト
ファンクション制御
(ビット単位)
P2FC ライト
出力ラッチ
(ビット単位)
P2DR ライト
内部データバス
周辺機能
SIO0
UART0
SCLK0, SO0, TXD0
P2PRD リード
SCLK0, SI0, RXD0
点線内
P20, P21,P22,P25 のみ
VDD
プログラマブル
プルアップ
RIN3
R
P2i
Note1 : R = 100Ω (typ.)
Note2 : RIN3 = 50kΩ (typ.)
Note3 : i = 0 ~ 2, 5 ~ 7
SYSCR1<STOP>
SYSCR1<OUTEN>
リセット信号
入出力制御
(ビット単位)
P2CR ライト
ファンクション制御
(ビット単位)
P2FC ライト
出力ラッチ
(ビット単位)
P2DR ライト
内部データバス
周辺機能
SIO0
I2C0
SCL0, SDA0, SO0
P2PRD リード
SCL0, SDA0, SI0
P2j
R
Note1 : R = 100Ω (typ.)
Note2 : j = 3, 4
SYSCR1<STOP>
SYSCR1<OUTEN>
リセット信号

図 8-5 P2 ポート

P2 ポート出力ラッチ

P2DR (0x0002)

		7	6	5	4	3	2	1	0
Bit Symbol		P27	P26	P25	P24	P23	P22	P21	P20
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	ポート出力のとき L レベルを出力							
	1:	ポート出力のとき H レベルを出力(P2OUTCR、P2PU の設定によっては Hi-Z、プルアップになります)							

P2 ポート入出力制御

P2CR (0x0F1C)

		7	6	5	4	3	2	1	0
Bit Symbol		P2CR7	P2CR6	P2CR5	P2CR4	P2CR3	P2CR2	P2CR1	P2CR0
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	入力モード(ポート入力)							
		-	-	SCLK0 (I)	SI0 (I)	-	SCLK0 (I)	RXD0 (I) SI0 (I)	RXD0 (I)
	1:	出力モード(ポート出力)							
		-	-	SCLK0 (O)	SCL0 (I/O)	SDA0 (I/O) SO (O)	SCLK0 (O)	TXD0(O)	TXD0 (O) SO0 (O)

注) I : 兼用機能入力、O : 兼用機能出力、I/O : 兼用機能入出力

P2 ポートファンクション制御

P2FC (0x0F36)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	P2FC5	P2FC4	P2FC3	P2FC2	P2FC1	P2FC0
Read/Write		R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:			ポート機能					
	1:			SCLK0 (O)	SCL0 (I/O)	SDA0 (I/O) SO0 (O)	SCLK0 (O)	TXD0 (O)	TXD0 (O) SO0 (O)

P2 ポート出力制御

P2OUTCR (0x0F43)

		7	6	5	4	3	2	1	0
Bit Symbol		P2OUT7	P2OUT6	P2OUT5	-	-	P2OUT2	P2OUT1	P2OUT0
Read/Write		R/W	R/W	R/W	R	R	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	C-MOS 出力					C-MOS 出力		
	1:	オープンドレイン出力					オープンドレイン出力		

P2 ポート内蔵プルアップ制御

P2PU (0x0F29)

		7	6	5	4	3	2	1	0
Bit Symbol		P2PU7	P2PU6	P2PU5	-	-	P2PU2	P2PU1	P2PU0
Read/Write		R/W	R/W	R/W	R	R	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	内蔵プルアップを接続しない					内蔵プルアップを接続しない		
	1:	内蔵プルアップを接続する(入力モード時またはオープンドレイン出力時のみ接続されます。それ以外の条件では"1"に設定しても接続されません。)					内蔵プルアップを接続する(入力モード時またはオープンドレイン出力時のみ接続されます。それ以外の条件では"1"に設定しても接続されません。)		

P2 ポート入力データ

P2PRD
(0x000F)

	7	6	5	4	3	2	1	0
Bit Symbol	P2PRD7	P2PRD6	P2PRD5	P2PRD4	P2PRD3	P2PRD2	P2PRD1	P2PRD0
Read/Write	R	R	R	R	R	R	R	R
リセット後	*	*	*	*	*	*	*	*
機能	入力モード時またはオープンドレイン出力時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。			無条件でポートの内容が読み出されます。		入力モード時またはオープンドレイン出力時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。		

表 8-9 P2PRD のリード値 (P20 ~ P22, P25 ~ P27)

設定条件		P2PRDi のリード値
P2CRi	P2OUTCRi	
0	*	ポートの内容
1	0	"0"
1	1	ポートの内容

注)　* : Don’t care

注)　i = 0 ~ 2, 5 ~ 7

8.3.4 P4 (P47 ~ P40) ポート

P4 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。

P4 ポートは VDD 側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップは、入力モードとして使用する場合に利用することができます。

表 8-10 P4 ポート

	P47	P46	P45	P44	P43	P42	P41	P40
兼用機能	AIN7 KWI7	AIN6 KWI6	AIN5 KWI5	AIN4 KWI4	AIN3 KWI3	AIN2 KWI2	AIN1 KWI1	AIN0 KWI0

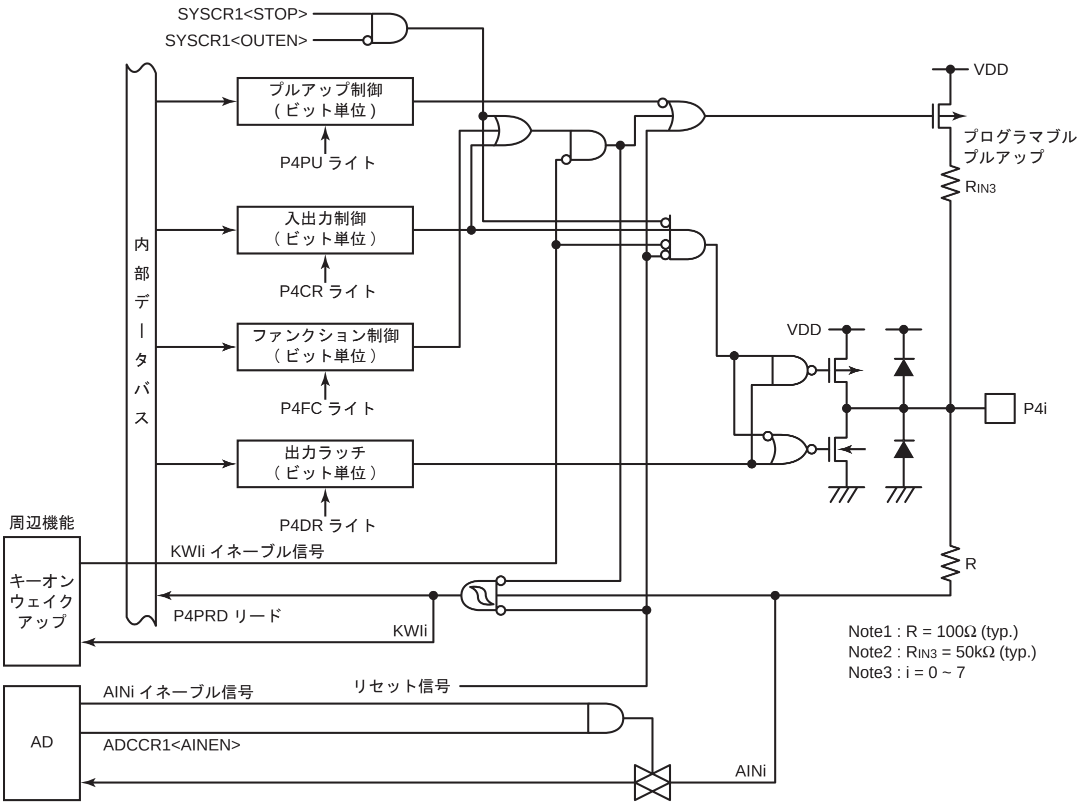


図 8-6 P4 ポート

P4 ポート出力ラッチ

P4DR
(0x0004)

		7	6	5	4	3	2	1	0
Bit Symbol		P47	P46	P45	P44	P43	P42	P41	P40
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	ポート出力のとき L レベルを出力							
	1:	ポート出力のとき H レベルを出力							

P4 ポート入出力制御

P4CR
(0x0F1E)

		7	6	5	4	3	2	1	0
Bit Symbol		P4CR7	P4CR6	P4CR5	P4CR4	P4CR3	P4CR2	P4CR1	P4CR0
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	入力モード(ポート入力)							
		AIN7 (I)	AIN6 (I)	AIN5 (I)	AIN4 (I)	AIN3 (I)	AIN2 (I)	AIN1 (I)	AIN0 (I)
	1:	出力モード(ポート出力)							

注 1)　I : 兼用機能入力
注 2)　キーオンウェイクアップ入力(KWIi)が有効のとき(KWUCRm<KWnEN> = "1"のとき)、P4CRi は設定不要です。(i = 7 ~ 0, m = 1 ~ 0, n = 3 ~ 0)

P4 ポートファンクション制御

P4FC
(0x0F38)

		7	6	5	4	3	2	1	0
Bit Symbol		P4FC7	P4FC6	P4FC5	P4FC4	P4FC3	P4FC2	P4FC1	P4FC0
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	ポート機能							
	1:	AIN7 (I)	AIN6 (I)	AIN5 (I)	AIN4 (I)	AIN3 (I)	AIN2 (I)	AIN1 (I)	AIN0 (I)

注 1)　キーオンウェイクアップ入力(KWIi)が有効のとき、P4FCi は設定不要です。

P4 ポート内蔵プルアップ制御

P4PU
(0x0F2B)

		7	6	5	4	3	2	1	0
Bit Symbol		P4PU7	P4PU6	P4PU5	P4PU4	P4PU3	P4PU2	P4PU1	P4PU0
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	内蔵プルアップを接続しない							
	1:	内蔵プルアップを接続する (キーオンウェイクアップ入力(KWIi)が有効のとき、または入力モードのとき(P4FCi = "0" かつ P4CRi = "0" のとき) のみ接続されます。それ以外の条件では"1"に設定しても接続されません)							

P4 ポート入力データ

P4PRD
(0x0011)

	7	6	5	4	3	2	1	0
Bit Symbol	P4PRD7	P4PRD6	P4PRD5	P4PRD4	P4PRD3	P4PRD2	P4PRD1	P4PRD0
Read/Write	R	R	R	R	R	R	R	R
リセット後	*	*	*	*	*	*	*	*
機能	入力モード時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。							

表 8-11 P4PRD のリード値

設定条件		P4PRDi のリード値
P4CRi	P4FCi	
0	0	ポートの内容
*	1	"0"
1	*	"0"

注 1)　* : Don't care

注 2)　i = 0 ~ 7

8.3.5　P7 (P77 ~ P70) ポート

P7 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、外部割り込み入力、デバイダ出力、タイマカウンタ入出力と兼用です。

表 8-12 P7 ポート

	P77	P76	P75	P74	P73	P72	P71	P70
兼用機能	INT4	INT3	INT2	$\overline{\text{DVO}}$	$\overline{\text{PPGA1}}$ TCA1	$\overline{\text{PPGA0}}$ TCA0	$\overline{\text{PPG01}}$ $\overline{\text{PWM01}}$ TC01	$\overline{\text{PPG00}}$ $\overline{\text{PWM00}}$ TC00

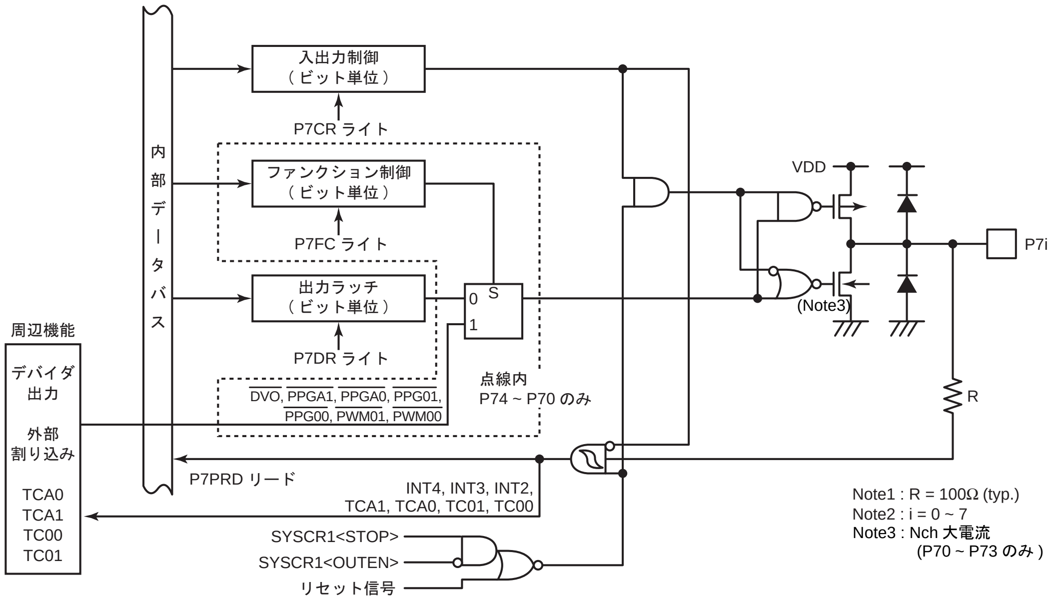


図 8-7 P7 ポート

P7 ポート出力ラッチ

P7DR (0x0007)

		7	6	5	4	3	2	1	0
Bit Symbol		P77	P76	P75	P74	P73	P72	P71	P70
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	ポート出力のとき L レベルを出力							
	1:	ポート出力のとき H レベルを出力							

P7 ポート入出力制御

P7CR (0x0F21)

		7	6	5	4	3	2	1	0
Bit Symbol		P7CR7	P7CR6	P7CR5	P7CR4	P7CR3	P7CR2	P7CR1	P7CR0
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:	入力モード(ポート入力)							
		INT4 (I)	INT3 (I)	INT2 (I)	-	TCA1 (I)	TCA0 (I)	TC01 (I)	TC00 (I)
	1:	出力モード(ポート出力)							
		-	-	-	$\overline{\text{DVO}}$ (O)	$\overline{\text{PPGA1}}$ (O)	$\overline{\text{PPGA0}}$ (O)	$\overline{\text{PPG01}}$ (O) $\overline{\text{PWM01}}$ (O)	$\overline{\text{PPG00}}$ (O) $\overline{\text{PWM00}}$ (O)

注) I : 兼用機能入力、O : 兼用機能出力

P7 ポートファンクション制御

P7FC (0x0F3B)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	P7FC4	P7FC3	P7FC2	P7FC1	P7FC0
Read/Write		R	R	R	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:				ポート機能				
	1:				$\overline{\text{DVO}}$ (O)	$\overline{\text{PPGA1}}$ (O)	$\overline{\text{PPGA0}}$ (O)	$\overline{\text{PPG01}}$ (O) $\overline{\text{PWM01}}$ (O)	$\overline{\text{PPG00}}$ (O) $\overline{\text{PWM00}}$ (O)

P7 ポート入力データ

P7PRD (0x0014)

	7	6	5	4	3	2	1	0
Bit Symbol	P7PRD7	P7PRD6	P7PRD5	P7PRD4	P7PRD3	P7PRD2	P7PRD1	P7PRD0
Read/Write	R	R	R	R	R	R	R	R
リセット後	*	*	*	*	*	*	*	*
機能	入力モード時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。							

表 8-13 P7PRD のリード値

設定条件 P7CRi	P7PRDi のリード値
0	ポートの内容
1	"0"

注 1) * : Don't care

注 2) i = 0 ~ 7

8.3.6　P8 (P83 ~ P80) ポート

P8 ポートは 1 ビット単位で入出力の指定ができる 4 ビットの入出力ポートで、タイマカウンタ入出力と兼用です。

表 8-14 P8 ポート

					P83	P82	P81	P80
兼用機能	-	-	-	-	-	-	$\overline{\text{PPG03}}$ $\overline{\text{PWM03}}$ TC03	$\overline{\text{PPG02}}$ $\overline{\text{PWM02}}$ TC02

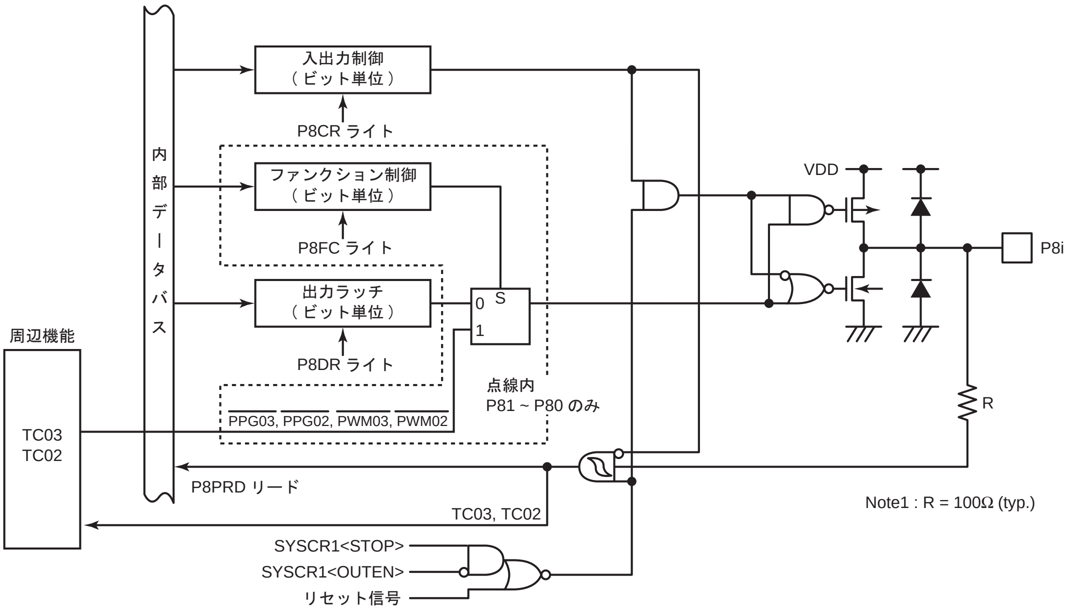


図 8-8 P8 ポート

P8 ポート出力ラッチ

P8DR (0x0008)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P83	P82	P81	P80
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:					ポート出力のとき L レベルを出力			
	1:					ポート出力のとき H レベルを出力			

P8 ポート入出力制御

P8CR (0x0F22)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P8CR3	P8CR2	P8CR1	P8CR0
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:					入力モード(ポート入力)			
						-	-	TC03 (I)	TC02 (I)
	1:					出力モード(ポート出力)			
						-	-	$\overline{\text{PPG03}}$ (O) $\overline{\text{PWM03}}$ (O)	$\overline{\text{PPG02}}$ (O) $\overline{\text{PWM02}}$ (O)

注) I : 兼用機能入力、O : 兼用機能出力

P8 ポートファンクション制御

P8FC (0x0F3C)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	-	-	P8FC1	P8FC0
Read/Write		R	R	R	R	R	R	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:							ポート機能	
	1:							$\overline{\text{PPG03}}$ (O) $\overline{\text{PWM03}}$ (O)	$\overline{\text{PPG02}}$ (O) $\overline{\text{PWM02}}$ (O)

P8 ポート入力データ

P8PRD (0x0015)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	P8PRD3	P8PRD2	P8PRD1	P8PRD0
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	*	*	*	*
機能					入力モード時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。			

表 8-15 P8PRD のリード値

設定条件 P8CRi	P8PRDi のリード値
0	ポートの内容
1	"0"

注 1) * : Don’t care
注 2) i = 0 ~ 3

8.3.7 P9 (P91 ~ P90) ポート

P9 ポートは 1 ビット単位で入出力の指定ができる 2 ビットの入出力ポートで、UART と兼用です。

出力回路は、Pch 出力制御機能付きですのでシンクオープンドレイン出力、または C-MOS 出力のいずれかを選択することができます。また P9 ポートは VDD 側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップは、入力モードまたはシンクオープンドレイン出力として使用する場合に利用することができます。

なお、UART として使用する場合は、シリアルインタフェース選択機能の設定も合わせて必要です。詳しくは「8.4 シリアルインタフェース選択機能」を参照してください。

表 8-16 P9 ポート

							P91	P90
兼用機能	-	-	-	-	-	-	RXD1 TXD1	TXD1 RXD1

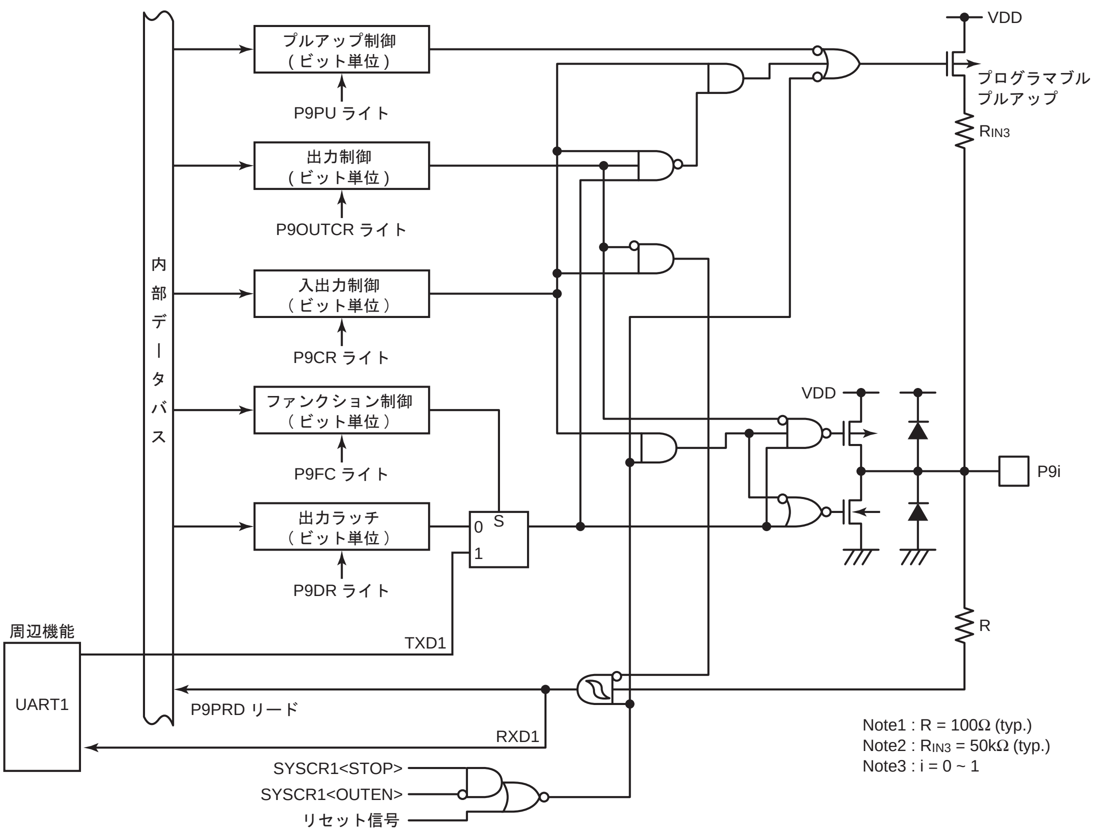


図 8-9 P9 ポート

P9 ポート出力ラッチ

P9DR
(0x0009)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	-	-	P91	P90
Read/Write		R	R	R	R	R	R	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:							ポート出力のとき L レベルを出力	
	1:							ポート出力のとき H レベルを出力(P9OUTCR、P9PU の設定によっては Hi-Z、プルアップになります)	

P9 ポート入出力制御

P9CR
(0x0F23)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	-	-	P9CR1	P9CR0
Read/Write		R	R	R	R	R	R	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:							入力モード(ポート入力)	
								RXD1 (I)	RXD1 (I)
	1:							出力モード(ポート出力)	
								TXD1 (O)	TXD1 (O)

注)　I : 兼用機能入力、O : 兼用機能出力

P9 ポートファンクション制御

P9FC
(0x0F3D)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	-	-	P9FC1	P9FC0
Read/Write		R	R	R	R	R	R	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:							ポート機能	
	1:							TXD1 (O)	TXD1 (O)

P9 ポート出力制御

P9OUTCR
(0x0F4A)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	-	-	P9OUT1	P9OUT0
Read/Write		R	R	R	R	R	R	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:							C-MOS 出力	
	1:							オープンドレイン出力	

P9 ポート内蔵プルアップ制御

P9PU
(0x0F30)

		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	-	-	P9PU1	P9PU0
Read/Write		R	R	R	R	R	R	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能	0:							内蔵プルアップを接続しない	
	1:							注 1	

注 1) 内蔵プルアップを接続する(入力モード時またはオープンドレイン出力時のみ接続されます。それ以外の条件では"1"に設定しても接続されません。)

P9 ポート入力データ

P9PRD (0x0016)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	-	P9PRD1	P9PRD0
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	*	*
機能							入力モード時またはシンクオープンドレイン出力時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。	

表 8-17 P9PRD のリード値

設定条件		P9PRDi のリード値
P9CRi	P9OUTCRi	
0	*	ポートの内容
1	0	"0"
1	1	ポートの内容

注 1) * : Don’t care

注 2) i = 0 ~ 1

8.3.8　PB (PB7 ~ PB4) ポート

PB ポートは 1 ビット単位で入出力の指定ができる 4 ビットの入出力ポートで、シリアルインタフェース入出力、UART 入出力と兼用です。

出力回路は、Pch 出力制御機能付きですのでシンクオープンドレイン出力、または C-MOS 出力のいずれかを選択することができます。

なお、シリアルインタフェースまたは UART として使用する場合は、シリアルインタフェース選択機能の設定も合わせて必要です。詳しくは「8.4 シリアルインタフェース選択機能」を参照してください。

表 8-18 PB ポート

	PB7	PB6	PB5	PB4	-	-	-	-
兼用機能	-	SCLK0	SI0 RXD0 TXD0	SO0 TXD0 RXD0	-	-	-	-

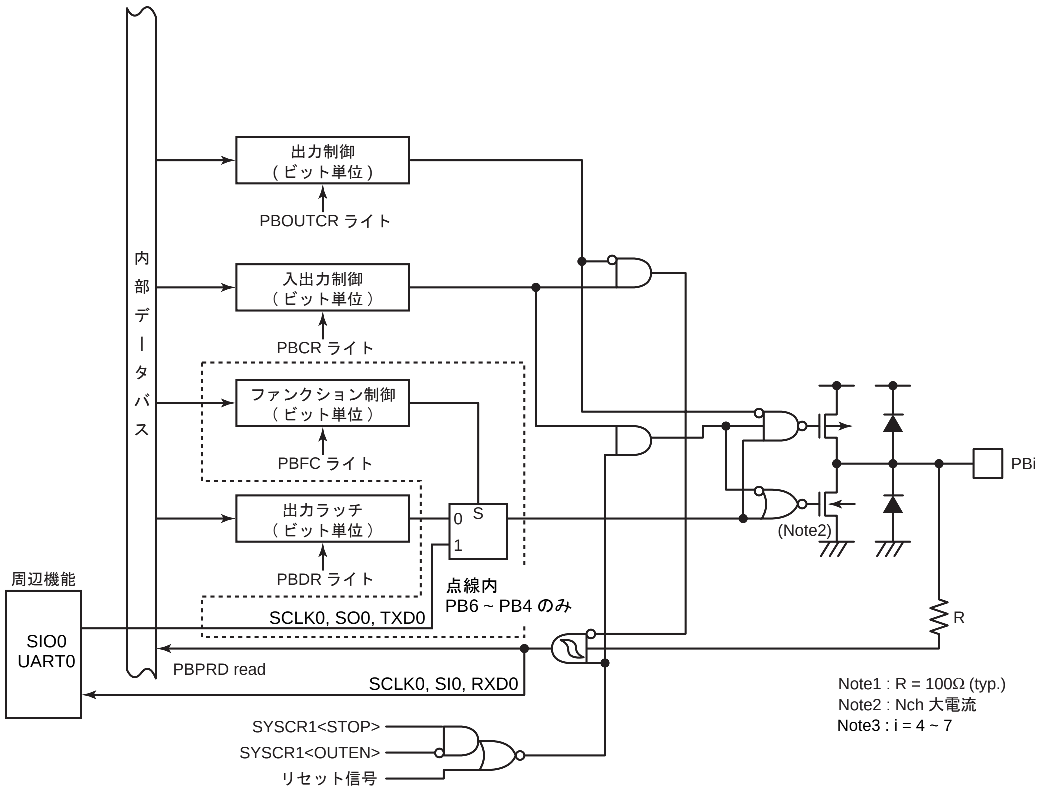


図 8-10 PB ポート

PB ポート出力ラッチ

PBDR (0x000B)

		7	6	5	4	3	2	1	0
Bit Symbol		PB7	PB6	PB5	PB4	-	-	-	-
Read/Write		R/W	R/W	R/W	R/W	R	R	R	R
リセット後		0	0	0	0	0	0	0	0
機能	0:	ポート出力のとき L レベルを出力							
	1:	ポート出力のとき H レベルを出力							

PB ポート入出力制御

PBCR (0x0F25)

		7	6	5	4	3	2	1	0
Bit Symbol		PBCR7	PBCR6	PBCR5	PBCR4	-	-	-	-
Read/Write		R/W	R/W	R/W	R/W	R	R	R	R
リセット後		0	0	0	0	0	0	0	0
機能	0:	入力モード(ポート入力)							
	1:	出力モード(ポート出力)							

PB ポートファンクション制御

PBFC (0x0F3F)

		7	6	5	4	3	2	1	0
Bit Symbol		-	PBFC6	PBFC5	PBFC4	-	-	-	-
Read/Write		R	R/W	R/W	R/W	R	R	R	R
リセット後		0	0	0	0	0	0	0	0
機能	0:		ポート機能						
	1:		SCLK0 (O)	TXD0 (O)	TXD0 (O) SO0 (O)				

PB ポート出力制御

PBOUTCR (0x0F4C)

		7	6	5	4	3	2	1	0
Bit Symbol		PBOUT7	PBOUT6	PBOUT5	PBOUT4	-	-	-	-
Read/Write		R/W	R/W	R/W	R/W	R	R	R	R
リセット後		0	0	0	0	0	0	0	0
機能	0:	C-MOS 出力							
	1:	オープンドレイン出力							

PB ポート入力データ

PBPRD (0x0018)

	7	6	5	4	3	2	1	0
Bit Symbol	PBPRD7	PBPRD6	PBPRD5	PBPRD4	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	*	*	*	*	0	0	0	0
機能	入力モード時、ポートの内容が読み出されます。それ以外のときは"0"が読み出されます。							

表 8-19 PBPRD のリード値

設定条件	PBPRDi のリード値
PBCRi	
0	ポートの内容
1	"0"

注 1)　* : Don’t care
注 2)　i = 4 ~ 7

8.4 シリアルインタフェース選択機能

TMP89FM46A は、内蔵シリアルインタフェース(SIO, UART, I2C)の通信端子および割り込み要因の割り当てを変更することができます。SIO0、UART0、I2C0 の 3 機能は、この選択機能により 2 機能を同時に使用することができます。

また 16 ビットタイマカウンタ A0 入力(TCA0 入力)は、この選択機能により入力端子を変更することができます。

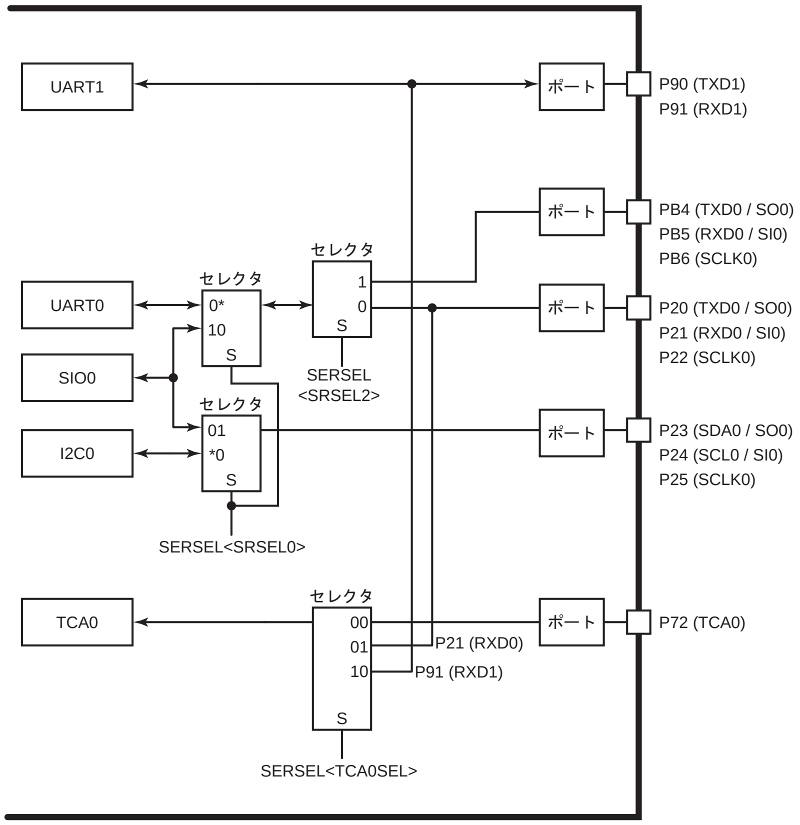


図 8-11 シリアルインタフェース選択機能

注 1) シリアルインタフェースを使用するには、SERSEL レジスタの他に入出力ポートレジスタの設定が必要です。詳しくは「8.3 入出力ポートレジスタ」を参照してください。

シリアルインタフェース選択制御レジスタ

SERSEL (0x0FCB)

	7	6	5	4	3	2	1	0
Bit Symbol	TCA0SEL		-	SRSEL2	-	-	SRSEL0	
Read/Write	R/W	R/W	R	R/W	R	R	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

TCA0SEL	16 ビットタイマカウンタ A0 入力切り替え	00: 01: 10: 11:	P72 入力 (TCA0) P21 入力 (RXD0 と兼用) P91 入力 (RXD1 と兼用) Reserved
SRSEL2	UART0 / SIO0 入出力ポート	0: 1:	P20, P21, P22 を選択する PB4, PB5, PB6 を選択する
SRSEL0	シリアルインタフェース選択 0	00: 01: 10: 11:	UART0, I2C0 を選択する UART0, SIO0 を選択する SIO0, I2C0 を選択する Reserved

注 1)　SERSEL を変更するときは、対象となるシリアルインタフェースやタイマカウンタの動作が停止中に行ってください。これらの周辺機能が動作中のときに SERSEL の切り替えを行った場合、各周辺機能が想定しないデータを受信(送信)し誤動作する場合があります。

注 2)　SERSEL を変更した直後は、対象となるシリアルインタフェースの割り込みラッチをクリアすることを推奨します。INTRXD と INTSIO、INTSBI と INTSIO は割り込みラッチを共有しているため、SERSEL の切り替えの前後で割り込みが発生した場合、どの機能が割り込みを発生したか区別が付かなくなります。

UART 入出力変更制御レジスタ

UATCNG (0x0F57)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	-	UAT1IO	UAT0IO
Read/Write	R	R	R	R	R	R	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

			RXD 端子		TXD 端子	
UAT1IO	UART1 入出力ポート	0: 1:	P91 P90		P90 P91	
UAT0IO	UART0 入出力ポート		SERSEL <SERSEL2>="0"	SERSEL <SERSEL2>="1"	SERSEL <SERSEL2>="0"	SERSEL <SERSEL2>="1
		0: 1:	P21 P20	PB5 PB4	P20 P21	PB4 PB5

注 1)　UATCNG レジスタの変更は、UART 停止中に行ってください。

表 8-20 選択されるポートと割り込み

<table>
<tr><th rowspan="3">SERSEL
<SRSEL0></th><th rowspan="3">SERSEL
<SRSEL2></th><th rowspan="3">UATCNG
<UAT0IO></th><th colspan="9">ポート</th><th colspan="3" rowspan="2">割り込み</th></tr>
<tr><th colspan="6">UART0/SIO0</th><th colspan="3">I2C0/SIO0</th></tr>
<tr><th>PB4</th><th>PB5</th><th>PB6</th><th>P20</th><th>P21</th><th>P22</th><th>P23</th><th>P24</th><th>P25</th><th>IL7</th><th>IL6</th><th>IL15</th></tr>
<tr><td rowspan="4">00:</td><td rowspan="2">0:</td><td>0:</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td><td>TXD0</td><td>RXD0</td><td rowspan="2">注 1</td><td rowspan="4">SDA0</td><td rowspan="4">SCL0</td><td rowspan="4">注 1</td><td rowspan="4">INTTXD0</td><td rowspan="4">INTRXD0</td><td rowspan="4">INTSBI0</td></tr>
<tr><td>1:</td><td>RXD0</td><td>TXD0</td></tr>
<tr><td rowspan="2">1:</td><td>0:</td><td>TXD0</td><td>RXD0</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td></tr>
<tr><td>1:</td><td>RXD0</td><td>TXD0</td></tr>
<tr><td rowspan="4">01:</td><td rowspan="2">0:</td><td>0:</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td><td>TXD0</td><td>RXD0</td><td rowspan="2">注 1</td><td rowspan="4">SO0</td><td rowspan="4">SI0</td><td rowspan="4">SCLK0</td><td rowspan="4">INTTXD0</td><td rowspan="4">INTRXD0</td><td rowspan="4">INTSIO0</td></tr>
<tr><td>1:</td><td>RXD0</td><td>TXD0</td></tr>
<tr><td rowspan="2">1:</td><td>0:</td><td>TXD0</td><td>RXD0</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td><td rowspan="2">注 1</td></tr>
<tr><td>1:</td><td>RXD0</td><td>TXD0</td></tr>
<tr><td rowspan="2">10:</td><td>0:</td><td>0 or 1:</td><td>注 1</td><td>注 1</td><td>注 1</td><td>SO0</td><td>SI0</td><td>SCLK0</td><td rowspan="2">SDA0</td><td rowspan="2">SCL0</td><td rowspan="2">注 1</td><td rowspan="2">-</td><td rowspan="2">INTSIO0</td><td rowspan="2">INTSBI0</td></tr>
<tr><td>1:</td><td>0 or 1:</td><td>SO0</td><td>SI0</td><td>SCLK0</td><td>注 1</td><td>注 1</td><td>注 1</td></tr>
<tr><td>11:</td><td>0 or 1:</td><td>0 or 1:</td><td colspan="12">Reserved</td></tr>
</table>

注 1)　ポート機能として使用することができます(ファンクションレジスタ(PxFC)は、"0"に設定してください)。

第 9 章　スペシャルファンクションレジスタ

TMP89FM46A は、メモリマップ I/O 方式で、周辺ハードウエアのデータ制御/転送はすべてスペシャル ファンクション レジスタ (SFR)を通して行われます。SFR1 は 0x0000 ~ 0x003F に、SFR2 は 0x0F00 ~ 0x0FFF に、SFR3 は 0x0E40 ~ 0x0EBF にマッピングされています。

9.1 SFR1 (0x0000 ~ 0x003F)

表 9-1 SFR1 (0x0000 ~ 0x003F)

Address	Register Name	Address	Register Name
0x0000	P0DR	0x0020	SIO0SR
0x0001	P1DR	0x0021	SIO0BUF
0x0002	P2DR	0x0022	SBI0CR1
0x0003	Reserved	0x0023	SBI0CR2/SBI0SR2
0x0004	P4DR	0x0024	I2C0AR
0x0005	Reserved	0x0025	SBI0DBR
0x0006	Reserved	0x0026	T00REG
0x0007	P7DR	0x0027	T01REG
0x0008	P8DR	0x0028	T00PWM
0x0009	P9DR	0x0029	T01PWM
0x000A	Reserved	0x002A	T00MOD
0x000B	PBDR	0x002B	T01MOD
0x000C	Reserved	0x002C	T001CR
0x000D	P0PRD	0x002D	TA0DRAL
0x000E	P1PRD	0x002E	TA0DRAH
0x000F	P2PRD	0x002F	TA0DRBL
0x0010	Reserved	0x0030	TA0DRBH
0x0011	P4PRD	0x0031	TA0MOD
0x0012	Reserved	0x0032	TA0CR
0x0013	Reserved	0x0033	TA0SR
0x0014	P7PRD	0x0034	ADCCR1
0x0015	P8PRD	0x0035	ADCCR2
0x0016	P9PRD	0x0036	ADCDRL
0x0017	Reserved	0x0037	ADCDRH
0x0018	PBPRD	0x0038	DVOCR
0x0019	Reserved	0x0039	TBTCR
0x001A	UART0CR1	0x003A	EIRL
0x001B	UART0CR2	0x003B	EIRH
0x001C	UART0DR	0x003C	EIRE
0x001D	UART0SR	0x003D	EIRD
0x001E	TD0BUF/RD0BUF	0x003E	Reserved
0x001F	SIO0CR	0x003F	PSW

注 1)　Reserved の番地はプログラムでアクセスしないでください。

9.2　SFR2 (0x0F00 ~ 0x0FFF)

表 9-2 SFR2 (0x0F00 ~ 0x0F7F)

Address	Register Name
0x0F00	Reserved
0x0F01	Reserved
0x0F02	Reserved
0x0F03	Reserved
0x0F04	Reserved
0x0F05	Reserved
0x0F06	Reserved
0x0F07	Reserved
0x0F08	Reserved
0x0F09	Reserved
0x0F0A	Reserved
0x0F0B	Reserved
0x0F0C	Reserved
0x0F0D	Reserved
0x0F0E	Reserved
0x0F0F	Reserved
0x0F10	Reserved
0x0F11	Reserved
0x0F12	Reserved
0x0F13	Reserved
0x0F14	Reserved
0x0F15	Reserved
0x0F16	Reserved
0x0F17	Reserved
0x0F18	Reserved
0x0F19	Reserved
0x0F1A	P0CR
0x0F1B	P1CR
0x0F1C	P2CR
0x0F1D	Reserved
0x0F1E	P4CR
0x0F1F	Reserved

Address	Register Name
0x0F20	Reserved
0x0F21	P7CR
0x0F22	P8CR
0x0F23	P9CR
0x0F24	Reserved
0x0F25	PBCR
0x0F26	Reserved
0x0F27	P0PU
0x0F28	P1PU
0x0F29	P2PU
0x0F2A	Reserved
0x0F2B	P4PU
0x0F2C	Reserved
0x0F2D	Reserved
0x0F2E	Reserved
0x0F2F	Reserved
0x0F30	P9PU
0x0F31	Reserved
0x0F32	Reserved
0x0F33	Reserved
0x0F34	P0FC
0x0F35	Reserved
0x0F36	P2FC
0x0F37	Reserved
0x0F38	P4FC
0x0F39	Reserved
0x0F3A	Reserved
0x0F3B	P7FC
0x0F3C	P8FC
0x0F3D	P9FC
0x0F3E	Reserved
0x0F3F	PBFC

Address	Register Name
0x0F40	Reserved
0x0F41	Reserved
0x0F42	Reserved
0x0F43	P2OUTCR
0x0F44	Reserved
0x0F45	Reserved
0x0F46	Reserved
0x0F47	Reserved
0x0F48	Reserved
0x0F49	Reserved
0x0F4A	P9OUTCR
0x0F4B	Reserved
0x0F4C	PBOUTCR
0x0F4D	Reserved
0x0F4E	Reserved
0x0F4F	Reserved
0x0F50	Reserved
0x0F51	Reserved
0x0F52	Reserved
0x0F53	Reserved
0x0F54	UART1CR1
0x0F55	UART1CR2
0x0F56	UART1DR
0x0F57	UART1SR
0x0F58	TD1BUF/RD1BUF
0x0F59	Reserved
0x0F5A	Reserved
0x0F5B	Reserved
0x0F5C	Reserved
0x0F5D	Reserved
0x0F5E	Reserved
0x0F5F	Reserved

Address	Register Name
0x0F60	Reserved
0x0F61	Reserved
0x0F62	Reserved
0x0F63	Reserved
0x0F64	Reserved
0x0F65	Reserved
0x0F66	Reserved
0x0F67	Reserved
0x0F68	Reserved
0x0F69	Reserved
0x0F6A	Reserved
0x0F6B	Reserved
0x0F6C	Reserved
0x0F6D	Reserved
0x0F6E	Reserved
0x0F6F	Reserved
0x0F70	Reserved
0x0F71	Reserved
0x0F72	Reserved
0x0F73	Reserved
0x0F74	POFFCR0
0x0F75	POFFCR1
0x0F76	POFFCR2
0x0F77	POFFCR3
0x0F78	Reserved
0x0F79	Reserved
0x0F7A	Reserved
0x0F7B	Reserved
0x0F7C	Reserved
0x0F7D	Reserved
0x0F7E	Reserved
0x0F7F	Reserved

注 1)　Reserved の番地はプログラムでアクセスしないでください。

表 9-3 SFR2 (0x0F80 ~ 0x0FFF)

Address	Register Name	Address	Register Name	Address	Register Name	Address	Register Name
0x0F80	Reserved	0x0FA0	Reserved	0x0FC0	Reserved	0x0FE0	ILL
0x0F81	Reserved	0x0FA1	Reserved	0x0FC1	Reserved	0x0FE1	ILH
0x0F82	Reserved	0x0FA2	Reserved	0x0FC2	Reserved	0x0FE2	ILE
0x0F83	Reserved	0x0FA3	Reserved	0x0FC3	Reserved	0x0FE3	ILD
0x0F84	Reserved	0x0FA4	Reserved	0x0FC4	KWUCR0	0x0FE4	Reserved
0x0F85	Reserved	0x0FA5	Reserved	0x0FC5	KWUCR1	0x0FE5	Reserved
0x0F86	Reserved	0x0FA6	Reserved	0x0FC6	VDCR1	0x0FE6	Reserved
0x0F87	Reserved	0x0FA7	Reserved	0x0FC7	VDCR2	0x0FE7	Reserved
0x0F88	T02REG	0x0FA8	TA1DRAL	0x0FC8	RTCCR	0x0FE8	Reserved
0x0F89	T03REG	0x0FA9	TA1DRAH	0x0FC9	Reserved	0x0FE9	Reserved
0x0F8A	T02PWM	0x0FAA	TA1DRBL	0x0FCA	Reserved	0x0FEA	Reserved
0x0F8B	T03PWM	0x0FAB	TA1DRBH	0x0FCB	SERSEL	0x0FEB	Reserved
0x0F8C	T02MOD	0x0FAC	TA1MOD	0x0FCC	IRSTSR	0x0FEC	Reserved
0x0F8D	T03MOD	0x0FAD	TA1CR	0x0FCD	WUCCR	0x0FED	Reserved
0x0F8E	T023CR	0x0FAE	TA1SR	0x0FCE	WUCDR	0x0FEE	Reserved
0x0F8F	Reserved	0x0FAF	Reserved	0x0FCF	CGCR	0x0FEF	Reserved
0x0F90	Reserved	0x0FB0	Reserved	0x0FD0	FLSCR1	0x0FF0	ILPRS1
0x0F91	Reserved	0x0FB1	Reserved	0x0FD1	FLSCR2/FLSCRM	0x0FF1	ILPRS2
0x0F92	Reserved	0x0FB2	Reserved	0x0FD2	FLSSTB	0x0FF2	ILPRS3
0x0F93	Reserved	0x0FB3	Reserved	0x0FD3	SPCR	0x0FF3	ILPRS4
0x0F94	Reserved	0x0FB4	Reserved	0x0FD4	WDCTR	0x0FF4	ILPRS5
0x0F95	Reserved	0x0FB5	Reserved	0x0FD5	WDCDR	0x0FF5	ILPRS6
0x0F96	Reserved	0x0FB6	Reserved	0x0FD6	WDCNT	0x0FF6	Reserved
0x0F97	Reserved	0x0FB7	Reserved	0x0FD7	WDST	0x0FF7	Reserved
0x0F98	Reserved	0x0FB8	Reserved	0x0FD8	EINTCR1	0x0FF8	Reserved
0x0F99	Reserved	0x0FB9	Reserved	0x0FD9	EINTCR2	0x0FF9	Reserved
0x0F9A	Reserved	0x0FBA	Reserved	0x0FDA	EINTCR3	0x0FFA	Reserved
0x0F9B	Reserved	0x0FBB	Reserved	0x0FDB	EINTCR4	0x0FFB	Reserved
0x0F9C	Reserved	0x0FBC	Reserved	0x0FDC	SYSCR1	0x0FFC	Reserved
0x0F9D	Reserved	0x0FBD	Reserved	0x0FDD	SYSCR2	0x0FFD	Reserved
0x0F9E	Reserved	0x0FBE	Reserved	0x0FDE	SYSCR3	0x0FFE	Reserved
0x0F9F	Reserved	0x0FBF	Reserved	0x0FDF	SYSCR4/SYSSR4	0x0FFF	Reserved

注 1)　Reserved の番地はプログラムでアクセスしないでください。

9.3　SFR3 (0x0E40 ~ 0x0EFF)

表 9-4 SFR3 (0x0E40 ~ 0x0EBF)

Address	Register Name	Address	Register Name	Address	Register Name	Address	Register Name
0x0E40	Reserved	0x0E60	Reserved	0x0E80	Reserved	0x0EA0	Reserved
0x0E41	Reserved	0x0E61	Reserved	0x0E81	Reserved	0x0EA1	Reserved
0x0E42	Reserved	0x0E62	Reserved	0x0E82	Reserved	0x0EA2	Reserved
0x0E43	Reserved	0x0E63	Reserved	0x0E83	Reserved	0x0EA3	Reserved
0x0E44	Reserved	0x0E64	Reserved	0x0E84	Reserved	0x0EA4	Reserved
0x0E45	Reserved	0x0E65	Reserved	0x0E85	Reserved	0x0EA5	Reserved
0x0E46	Reserved	0x0E66	Reserved	0x0E86	Reserved	0x0EA6	Reserved
0x0E47	Reserved	0x0E67	Reserved	0x0E87	Reserved	0x0EA7	Reserved
0x0E48	Reserved	0x0E68	Reserved	0x0E88	Reserved	0x0EA8	Reserved
0x0E49	Reserved	0x0E69	Reserved	0x0E89	Reserved	0x0EA9	Reserved
0x0E4A	Reserved	0x0E6A	Reserved	0x0E8A	Reserved	0x0EAA	Reserved
0x0E4B	Reserved	0x0E6B	Reserved	0x0E8B	Reserved	0x0EAB	Reserved
0x0E4C	Reserved	0x0E6C	Reserved	0x0E8C	Reserved	0x0EAC	Reserved
0x0E4D	Reserved	0x0E6D	Reserved	0x0E8D	Reserved	0x0EAD	Reserved
0x0E4E	Reserved	0x0E6E	Reserved	0x0E8E	Reserved	0x0EAE	Reserved
0x0E4F	Reserved	0x0E6F	Reserved	0x0E8F	Reserved	0x0EAF	Reserved
0x0E50	Reserved	0x0E70	Reserved	0x0E90	Reserved	0x0EB0	Reserved
0x0E51	Reserved	0x0E71	Reserved	0x0E91	Reserved	0x0EB1	Reserved
0x0E52	Reserved	0x0E72	Reserved	0x0E92	Reserved	0x0EB2	Reserved
0x0E53	Reserved	0x0E73	Reserved	0x0E93	Reserved	0x0EB3	Reserved
0x0E54	Reserved	0x0E74	Reserved	0x0E94	Reserved	0x0EB4	Reserved
0x0E55	Reserved	0x0E75	Reserved	0x0E95	Reserved	0x0EB5	Reserved
0x0E56	Reserved	0x0E76	Reserved	0x0E96	Reserved	0x0EB6	Reserved
0x0E57	UATCNG	0x0E77	Reserved	0x0E97	Reserved	0x0EB7	Reserved
0x0E58	Reserved	0x0E78	Reserved	0x0E98	Reserved	0x0EB8	Reserved
0x0E59	Reserved	0x0E79	Reserved	0x0E99	Reserved	0x0EB9	Reserved
0x0E5A	Reserved	0x0E7A	Reserved	0x0E9A	Reserved	0x0EBA	Reserved
0x0E5B	Reserved	0x0E7B	Reserved	0x0E9B	Reserved	0x0EBB	Reserved
0x0E5C	Reserved	0x0E7C	Reserved	0x0E9C	Reserved	0x0EBC	Reserved
0x0E5D	Reserved	0x0E7D	Reserved	0x0E9D	Reserved	0x0EBD	Reserved
0x0E5E	Reserved	0x0E7E	Reserved	0x0E9E	Reserved	0x0EBE	Reserved
0x0E5F	Reserved	0x0E7F	Reserved	0x0E9F	Reserved	0x0EBF	Reserved

注 1)　Reserved の番地はプログラムでアクセスしないでください。

表 9-5 SFR3 (0x0EC0 ~ 0x0EFF)

Address	Register Name	Address	Register Name	Address	Register Name	Address	Register Name
0x0EC0	Reserved	0x0ED0	Reserved	0x0EE0	Reserved	0x0EF0	Reserved
0x0EC1	Reserved	0x0ED1	Reserved	0x0EE1	Reserved	0x0EF1	Reserved
0x0EC2	Reserved	0x0ED2	Reserved	0x0EE2	Reserved	0x0EF2	Reserved
0x0EC3	Reserved	0x0ED3	Reserved	0x0EE3	Reserved	0x0EF3	Reserved
0x0EC4	Reserved	0x0ED4	Reserved	0x0EE4	Reserved	0x0EF4	Reserved
0x0EC5	Reserved	0x0ED5	Reserved	0x0EE5	Reserved	0x0EF5	Reserved
0x0EC6	Reserved	0x0ED6	Reserved	0x0EE6	Reserved	0x0EF6	Reserved
0x0EC7	Reserved	0x0ED7	Reserved	0x0EE7	Reserved	0x0EF7	Reserved
0x0EC8	Reserved	0x0ED8	Reserved	0x0EE8	Reserved	0x0EF8	Reserved
0x0EC9	Reserved	0x0ED9	Reserved	0x0EE9	Reserved	0x0EF9	Reserved
0x0ECA	Reserved	0x0EDA	Reserved	0x0EEA	Reserved	0x0EFA	Reserved
0x0ECB	Reserved	0x0EDB	Reserved	0x0EEB	Reserved	0x0EFB	Reserved
0x0ECC	Reserved	0x0EDC	Reserved	0x0EEC	Reserved	0x0EFC	Reserved
0x0ECD	Reserved	0x0EDD	Reserved	0x0EED	Reserved	0x0EFD	Reserved
0x0ECE	Reserved	0x0EDE	Reserved	0x0EEE	Reserved	0x0EFE	Reserved
0x0ECF	Reserved	0x0EDF	Reserved	0x0EEF	Reserved	0x0EFF	Reserved

注 1)　Reserved の番地はプログラムでアクセスしないでください。

第 10 章　周辺機能の低消費電力機能

TMP89FM46A は、特定の周辺機能を使用しないとき、低消費電力レジスタ(POFFCRn)によって不要な電力を抑える機能を持っています。各周辺機能は、低消費電力レジスタによって、ビット単位で Enable/ Disable を制御することができます。(n = 0, 1, 2, 3)

低消費電力レジスタ(POFFCRn)の対応するビットを"0"に設定すると、各周辺機能ごとに基本クロックが停止(Disable)され不要な電力を抑えることができます(Disable された周辺機能は使用できなくなります)。低消費電力レジスタ(POFFCRn)の対応するビットを"1"に設定すると、各周辺機能へ基本クロックが供給(Enable)され機能が使用可能になります。

リセット後、低消費電力レジスタ(POFFCRn)は"0"に初期化されますので、各周辺機能は使用はできない状態となっています。よって初めてそれぞれの周辺機能を使用するときは、プログラムの初期設定(各周辺機能の制御レジスタを操作する前)で必ず低消費電力レジスタ(POFFCRn)の対応するビットを"1"に設定してください。

なお、周辺機能が動作中のとき、それに対応する低消費電力レジスタ(POFFCRn)のビットを"0"に変更しないでください。変更した場合、周辺機能が予期せぬ動作をする場合があります。

10.1　制御

低消費電力機能は、低消費電力レジスタ(POFFCRn)によって制御されます。(n = 0, 1, 2, 3)

低消費電力レジスタ 0 制御

POFFCR0		7	6	5	4	3	2	1	0
(0x0F74)	Bit Symbol	-	-	TC023EN	TC001EN	-	-	TCA1EN	TCA0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

TC023EN	TC02,03 制御	0 1	Disable Enable
TC001EN	TC00,01 制御	0 1	Disable Enable
TCA1EN	TCA1 制御	0 1	Disable Enable
TCA0EN	TCA0 制御	0 1	Disable Enable

低消費電力レジスタ 1 制御

POFFCR1		7	6	5	4	3	2	1	0
(0x0F75)	Bit Symbol	-	-	-	SBI0EN	-	-	UART1EN	UART0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

SBI0EN	I2C0 制御	0 1	Disable Enable
UART1EN	UART1 制御	0 1	Disable Enable
UART0EN	UART0 制御	0 1	Disable Enable

低消費電力レジスタ 2 制御

POFFCR2		7	6	5	4	3	2	1	0
(0x0F76)	Bit Symbol	-	-	RTCEN	-	-	-	-	SIO0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

RTCEN	RTC 制御	0 1	Disable Enable
SIO0EN	SIO0 制御	0 1	Disable Enable

低消費電力レジスタ 3 制御

POFFCR3 (0x0F77)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	INT5EN	INT4EN	INT3EN	INT2EN	INT1EN	INT0EN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

INT5EN	INT5 制御	0 1	Disable Enable
INT4EN	INT4 制御	0 1	Disable Enable
INT3EN	INT3 制御	0 1	Disable Enable
INT2EN	INT2 制御	0 1	Disable Enable
INT1EN	INT1 制御	0 1	Disable Enable
INT0EN	INT0 制御	0 1	Disable Enable

第 11 章　デバイダ出力 ($\overline{\text{DVO}}$)

デューティ約 50%のパルスを出力する機能で、圧電ブザーなどの駆動に利用できます。

11.1　構成

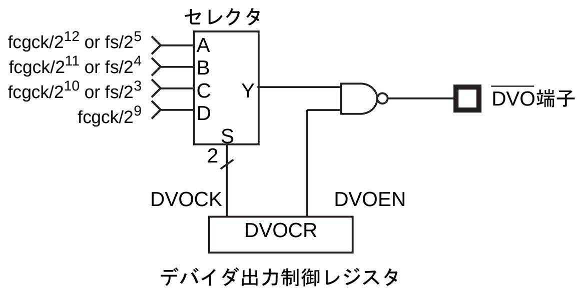


図 11-1 デバイダ出力

11.2　制御

デバイダ出力は、デバイダ出力制御レジスタ(DVOCR)で制御されます。

デバイダ出力制御レジスタ

DVOCR
(0x0038)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	DV0EN	DVOCK	
Read/Write	R	R	R	R	R	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><td>DVOEN</td><td>デバイダ出力の
許可/禁止</td><td>0
1</td><td colspan="3">ディバイダ出力禁止
ディバイダ出力許可</td></tr>
<tr><td rowspan="6">DVOCK</td><td rowspan="6">デバイダ出力の周波数選択
単位: [Hz]</td><td rowspan="2"></td><td colspan="2">NORMAL1/2, IDLE1/2 モード</td><td rowspan="2">SLOW1/2
SLEEP1
モード</td></tr>
<tr><td>DV9CK=0</td><td>DV9CK=1</td></tr>
<tr><td>00</td><td>$fcgck/2^{12}$</td><td>$fs/2^{5}$</td><td>$fs/2^{5}$</td></tr>
<tr><td>01</td><td>$fcgck/2^{11}$</td><td>$fs/2^{4}$</td><td>$fs/2^{4}$</td></tr>
<tr><td>10</td><td>$fcgck/2^{10}$</td><td>$fs/2^{3}$</td><td>$fs/2^{3}$</td></tr>
<tr><td>11</td><td>$fcgck/2^{9}$</td><td>Reserved</td><td>Reserved</td></tr>
</table>

注 1)　fcgck:ギアクロック[Hz]、 fs:低周波クロック[Hz]

注 2)　DVOCR<DVOEN>は、STOP モード、IDLE0/SLEEP0 モードに遷移すると"0"にクリアされます。DVOCR<DVOCK>は値を保持します。

注 3)　NORMAL1/2,IDLE1/2 モードで SYSCR1<DV9CK>が"1"のとき、fs と fcgck で同期を取るため DVO の周波数に若干の揺らぎがでます。

注 4)　DVOCR のビット 7~3 は読み出すと"0"が読み出されます。

11.3　機能

デバイダ出力の周波数を DVOCR<DVOCK>で選択します。

DVOCR<DVOEN>を"1"にセットすると、DVOCR<DVOCK>で選択した周波数の矩形波が $\overline{\text{DVO}}$ 端子から出力されます。

DVOCR<DVOEN>を"0"にクリアすると、$\overline{\text{DVO}}$ 端子から"H"レベルを出力します。

STOP モード、IDLE0/SLEEP0 モードに遷移すると、DVOCR<DVOEN>は"0"にクリアされ、$\overline{\text{DVO}}$ 端子は"H"レベルを出力します。

デバイダ出力のソースクロックは、DVOCR<DVOEN>の値に関係なく動作しています。

このため、DVOCR<DVOEN>を"1"にセットした後、最初のデバイダ出力の周波数は、DVOCR<DVOCK>で設定した周波数となりません 。

また、ソフトウエア、あるいは STOP モード、IDLE0./SLEEP0 モードに入り、DVOCR<DVOEN>を"0"にクリアしたときのデバイダ出力の周波数は DVOCR<DVOCK>で設定した周波数となりません。

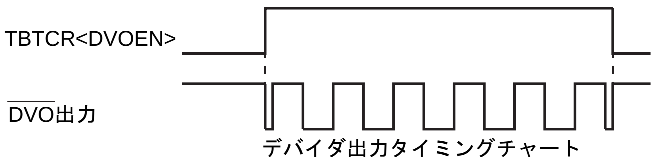


図 11-2 デバイダ出力のタイミング

なお、NORMAL モードから SLOW モード、SLOW モードから NORMAL モードに動作モードを切り替えるとき、ギアクロック(fcgck)と低周波クロック(fs)の同期合わせが行われるため、ディバイダ出力の周波数が期待した値になりません。

（プログラム例）2.441 kHz のパルスを出力 (fcgck = 10.0 MHz)

```
LD        (DVOCR) , 0y00000100        ; DVOCK← "00", DVOEN← "1"
```

表 11-1 デバイダ出力の周波数 (例 : fcgck = 10.0 MHz, fs = 32.768 kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード
	DV9CK = 0	DV9CK = 1	
00	2.441 k	1.024 k	1.024 k
01	4.883 k	2.048 k	2.048 k
10	9.766 k	4.096 k	4.096 k
11	19.531 k	Reserved	Reserved

第 12 章　タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで、一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

12.1　構成

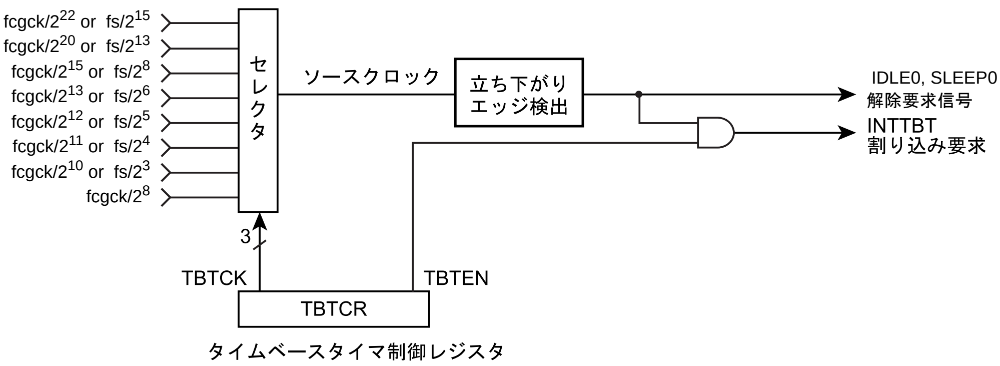


図 12-1 タイムベースタイマの構成

12.2　制御

タイムベースタイマは、タイムベースタイマ制御レジスタ(TBTCR)で制御されます。

タイムベースタイマ制御レジスタ

TBTCR (0x0039)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	TBTEN	TBTCK		
Read/Write	R	R	R	R	R/W	R/W		
リセット後	0	0	0	0	0	0	0	0

TBTEN	タイムベースタイマ割り込み要求 の許可/禁止	0: 割り込み要求信号発生禁止 1: 割り込み要求信号発生許可			
TBTCK	タイムベースタイマ割り込み 周波数の選択 単位 : [Hz]	TBTCK	NORMAL 1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード
			SYSCR1<DV9CK> = 0	SYSCR1<DV9CK> = 1	
		000	fcgck/2^{22}	fs/2^{15}	fs/2^{15}
		001	fcgck/2^{20}	fs/2^{13}	fs/2^{13}
		010	fcgck/2^{15}	fs/2^{8}	Reserved
		011	fcgck/2^{13}	fs/2^{6}	Reserved
		100	fcgck/2^{12}	fs/2^{5}	Reserved
		101	fcgck/2^{11}	fs/2^{4}	Reserved
		110	fcgck/2^{10}	fs/2^{3}	Reserved
		111	fcgck/2^{8}	Reserved	Reserved

注 1)　fcgck : ギアクロック [Hz], fs : 低周波クロック [Hz]

注 2)　TBTCR<TBTEN>は STOP モードに遷移すると"0"にクリアされます。TBTCR<TBTCK>は値を保持します。

注 3)　TBTCR<TBTCK>の設定は TBTCR<TBTEN>が"0"のときにおこなってください。

注 4)　NORMAL1/2, IDLE1/2 モードで SYSCR1<DV9CK>が"1"のとき、fs と fcgck で同期を取るためタイムベースタイマ割り込みの周波数に若干の揺らぎがでます。

注 5)　TBTCR のビット 7~4 は読み出すと"0"が読み出されます。

12.3　機能

タイムベースタイマのソースクロック周波数を TBTCR<TBTCK>で選択します。このとき、TBTCR<TBTEN>が"0"の状態でおこなってください。TBTCR<TBTEN>が"1"の状態で TBTCR<TBTCK>を変更すると、期待しないタイミングで割り込み要求信号が発生します。

TBTCR<TBTEN>を"1"にセットすると、ソースクロックの立ち下がりで割り込み要求信号が発生されます。TBTCR<TBTEN>を"0"にクリアすると割り込み要求信号が発生されません。

STOP モードに遷移すると、TBTCR<TBTEN>は"0"にクリアされます。

タイムベースタイマのソースクロックは、TBTCR<TBTEN>の値に関係なく動作しています。

タイムベースタイマ割り込みは、タイムベースタイマ割り込み要求を許可した後、最初のソースクロック 立ち下がりから発生します。このため、TBTCR<TBTEN>を"1"にセットしてから、最初の割り込み要求が発生するまでの周期は、TBTCR<TBTCK>で設定した周波数の周期よりも短くなります。

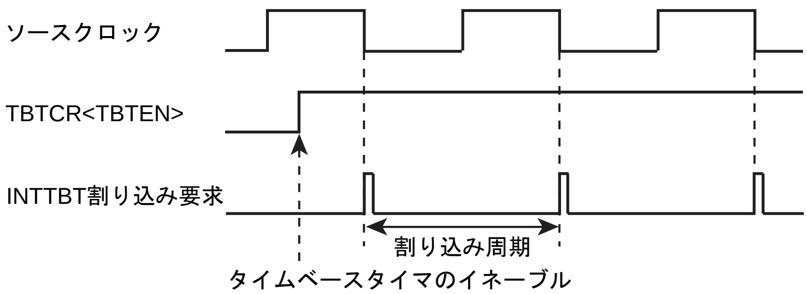


図 12-2 タイムベースタイマ割り込み

なお、NORMAL モードから SLOW モード、SLOW モードから NORMAL モードに動作モードを切り替えるとき、ギアクロック(fcgck)と低周波クロック(fs)の同期合わせが行われるため期待しないタイミングで割り込み要求信号が発生します。TBTCR<TBTEN>を"0"にクリアした状態で動作モードを切り替えることを推奨します。

表 12-1 タイムベースタイマ割り込み周波数(例 : fcgck = 10.0 MHz, fs = 32.768 kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード SYSCR1<DV9CK> = 0	NORMAL1/2, IDLE1/2 モード SYSCR1<DV9CK> = 1	SLOW1/2, SLEEP1 モード
000	2.38	1	1
001	9.54	4	4
010	305.18	128	Reserved
011	1220.70	512	Reserved
100	2441.41	1024	Reserved
101	4882.81	2048	Reserved
110	9765.63	4096	Reserved
111	39062.5	Reserved	Reserved

（プログラム例）タイムベースタイマ割り込み周波数を fcgck/2^{15} [Hz] にセットし、割り込みを許可します。

```
DI                                       ; IMF ←0
SET     (EIRL) . 5                       ; 割り込み許可レジスタ設定
EI                                       ; IMF ←1
LD      (TBTCR) , 00000010B              ; 割り込み周波数設定
LD      (TBTCR) , 00001010B              ; 割り込み要求信号発生許可
```

第 13 章　16 ビットタイマカウンタ(TCA)

TMP89FM46A は、高性能 16 ビットタイマカウンタ(TCA)を 2 チャネル内蔵しています。

本章は 16 ビットタイマカウンタ A0 の説明となります。16 ビットタイマカウンタ A1 については表 13-1、表 13-2 に従って SFR アドレス、端子名を読み替えてください。

表 13-1 SFR アドレス割り付け

	TAxDRAL (アドレス)	TAxDRAH (アドレス)	TAxDRBL (アドレス)	TAxDRBH (アドレス)	TAxMOD (アドレス)	TAxCR (アドレス)	TAxSR (アドレス)	低消費電力レジスタ
タイマカウンタ A0	TA0DRAL (0x002D)	TA0DRAH (0x002E)	TA0DRBL (0x002F)	TA0DRBH (0x0030)	TA0MOD (0x0031)	TA0CR (0x0032)	TA0SR (0x0033)	POFFCR0 <TCA0EN>
タイマカウンタ A1	TA1DRAL (0x0FA8)	TA1DRAH (0x0FA9)	TA1DRBL (0x0FAA)	TA1DRBH (0x0FAB)	TA1MOD (0x0FAC)	TA1CR (0x0FAD)	TA1SR (0x0FAE)	POFFCR0 <TCA1EN>

表 13-2 端子名

	タイマ入力端子	PPG 出力端子
タイマカウンタ A0	TCA0 端子	$\overline{\text{PPGA0}}$ 端子
タイマカウンタ A1	TCA1 端子	$\overline{\text{PPGA1}}$ 端子

13.1　構成

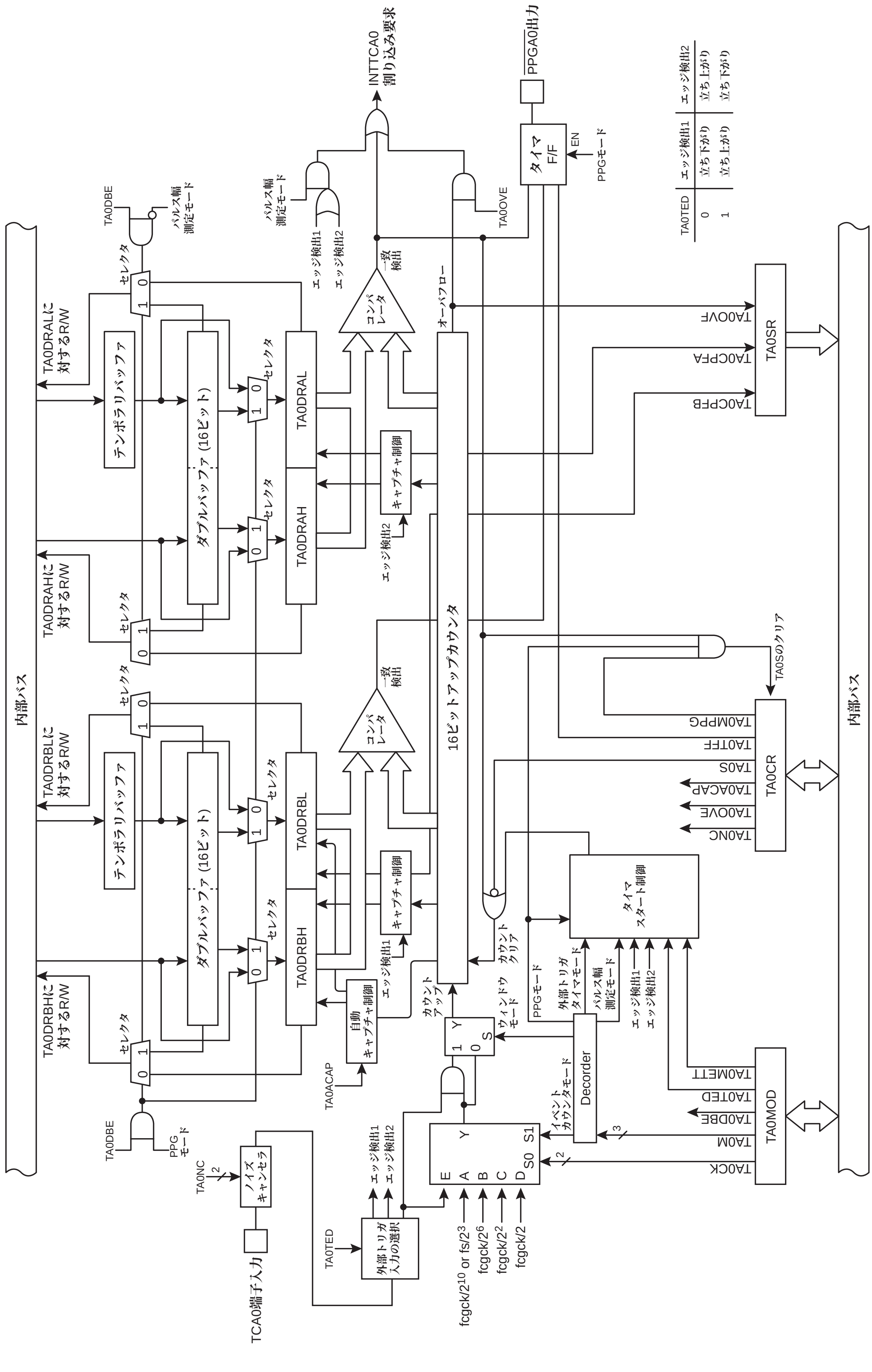


図 13-1 タイマカウンタ A0

13.2 制御

タイマカウンタ A0 は、低消費電力レジスタ(POFFCR0)、タイマカウンタ A0 モードレジスタ(TA0MOD)、タイマカウンタ A0 制御レジスタ (TA0CR) と 2 つの 16 ビットタイマ A0 レジスタ (TA0DRA/TA0DRB) で制御されます。

低消費電力レジスタ 0

POFFCR0 (0x0F74)		7	6	5	4	3	2	1	0
	Bit Symbol	-	-	TC023EN	TC001EN	-	-	TCA1EN	TCA0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

TC023EN	TC02,03 制御	0 1	Disable Enable
TC001EN	TC00,01 制御	0 1	Disable Enable
TCA1EN	TCA1 制御	0 1	Disable Enable
TCA0EN	TCA0 制御	0 1	Disable Enable

タイマカウンタ A0 モードレジスタ

TA0MOD		7	6	5	4	3	2	1	0
(0x0031)	Bit Symbol	TA0DBE	TA0TED	TA0MCAP TA0METT	TA0CK		TA0M		
	Read/Write	R/W	R/W	R/W	R/W		R/W		
	リセット後	1	0	0	0	0	0	0	0

TA0DBE	ダブルバッファ制御	0	ダブルバッファ無効		
		1	ダブルバッファ有効		
TA0TED	外部トリガ入力の選択	0	立ち上がりエッジ/ H レベル		
		1	立下りエッジ/ L レベル		
TA0MCAP	パルス幅測定モード制御	0	両エッジキャプチャ		
		1	片エッジキャプチャ		
TA0METT	外部トリガタイマモード制御	0	トリガスタート		
		1	トリガスタート&ストップ		
TA0CK	タイマカウンタ 1 のソースクロックの選択		NORMAL 1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード
			SYSCR1<DV9CK> ="0"	SYSCR1<DV9CK> ="1"	
		00	fcgck/2^{10}	fs/2^3	fs/2^3
		01	fcgck/2^6	fcgck/2^6	-
		10	fcgck/2^2	fcgck/2^2	-
		11	fcgck/2	fcgck/2	-
TA0M	タイマカウンタ 1 の動作モードの選択	000	タイマモード		
		001	タイマモード		
		010	イベントカウンタモード		
		011	PPG 出力モード(ソフトウェアスタート)		
		100	外部トリガタイマモード		
		101	ウィンドウモード		
		110	パルス幅測定モード		
		111	Reserved		

注 1)　fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2)　TA0MOD は停止状態 (TA0CR<TA0S>="0"時) で設定してください。動作中(TA0CR<TA0S>="1"時)のとき、TA0MOD の書き込みは無効となります。

タイマカウンタ A0 制御レジスタ

TA0CR (0x0032)		7	6	5	4	3	2	1	0
	Bit Symbol	TA0OVE	TA0TFF	TA0NC		-	-	TA0ACAP TA0MPPG	TA0S
	Read/Write	R/W	R/W	R/W		R	R	R/W	R/W
	リセット後	0	1	0	0	0	0	0	0

TA0OVE	オーバーフロー割り込み制御	0	カウンタオーバーフロー時、INTTCA0 割り込み要求を発生させない	
		1	カウンタオーバーフロー時、INTTCA0 割り込み要求を発生させる	
TA0TFF	タイマ F/F 制御	0	クリア	
		1	セット	
TA0NC	ノイズキャンセラサンプリングの間隔設定		NORMAL 1/2, IDLE1/2 モード	SLOW1/2, SLEEP1 モード
		00	ノイズキャンセラなし	ノイズキャンセラなし
		01	fcgck/2	-
		10	$fcgck/2^2$	-
		11	$fcgck/2^8$	fs/2
TA0ACAP	自動キャプチャ機能	0	自動キャプチャ Disable	
		1	自動キャプチャ Enable	
TA0MPPG	PPG 出力制御	0	連続	
		1	単発	
TA0S	タイマカウンタ A のスタート制御	0	ストップ&カウンタクリア	
		1	スタート	

注 1) 自動キャプチャは、タイマ、イベントカウンタ、外部トリガタイマ、ウィンドウモードでのみ使用可能です。

注 2) TA0TFF、TA0OVE、TA0NC は、停止状態(TA0S="0")で設定してください。動作中(TA0S="1")に書き込みを行っても設定値は無効となります。

注 3) STOP モードを起動するとスタート制御 (TA0S) は自動的に "0" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TA0S を再設定してください。

注 4) TA0CR に対してリード命令を実行すると、ビット 3 ~ 2 は"0"が読み出されます。

注 5) SLOW1/2、SLEEP1 モード使用時には、TA0NC を"01"または"10"に設定しないでください。"01"または"10"に設定した場合、ノイズキャンセラは停止し、タイマへの信号入力は行われません。

タイマカウンタ A0 ステータスレジスタ

TA0SR		7	6	5	4	3	2	1	0
(0x0033)	Bit Symbol	TA0OVF	-	-	-	-	-	TA0CPFA	TA0CPFB
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

TA0OVF	オーバーフローフラグ	0	オーバーフローは発生していない
		1	少なくとも 1 回のオーバーフローが発生した
TA0CPFA	キャプチャ完了フラグ A	0	キャプチャ動作は行われていない
		1	両エッジキャプチャで、パルス幅のキャプチャが少なくとも 1 回は行われた
TA0CPFB	キャプチャ完了フラグ B	0	キャプチャ動作は行われていない
		1	片エッジキャプチャの場合、少なくとも 1 回のキャプチャ動作が行われた。 両エッジキャプチャの場合、パルスのデューティ幅のキャプチャが少なくとも 1 回は行われた

注 1)　TA0OVF および TA0CPFA、TA0CPFB は、TA0SR を読み出した後、自動的に"0"にクリアされます。また TA0SR に対する書き込みは無効となります。

注 2)　TA0SR に対してリード命令を実行すると、ビット 6 ~ 2 は"0"が読み出されます。

タイマカウンタ A0 レジスタ AH

TA0DRAH (0x002E)		15	14	13	12	11	10	9	8
	Bit Symbol	TA0DRAH							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマカウンタ A0 レジスタ AL

TA0DRAL (0x002D)		7	6	5	4	3	2	1	0
	Bit Symbol	TA0DRAL							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマカウンタ A0 レジスタ BH

TA0DRBH (0x0030)		15	14	13	12	11	10	9	8
	Bit Symbol	TA0DRBH							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマカウンタ A0 レジスタ BL

TA0DRBL (0x002F)		7	6	5	4	3	2	1	0
	Bit Symbol	TA0DRBL							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

注 1) TA0DRAL (TA0DRBL)に対してライト命令を実行した場合、設定値は一時的にテンポラリバッファに格納され、すぐには有効になりません。その後上位側のレジスタ TA0DRAH (TA0DRBH)に対してライト命令を実行するとダブルバッファ、または TA0DRAL, H に 16 ビットの設定値が一括して格納されます。従ってタイマカウンタ A0 レジスタにデータを設定する場合は、必ず下位、上位の順に書き込みを行ってください。

注 2) パルス幅測定モードとき、タイマカウンタ A0 レジスタに書き込みはできません。

13.3　低消費電力機能

タイマカウンタ A0 は、タイマ機能を使用しないとき、低消費電力レジスタ(POFFCR0)によって不要な電力を抑える機能を持っています。

POFFCR0<TCA0EN>を"0"に設定すると、タイマカウンタ A0 への基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのときタイマ機能が使用できなくなります。POFFCR0 <TCA0EN>を"1"に設定すると、タイマカウンタ A0 へ基本クロックが供給(Enable)されタイマ機能が使用可能になります。

リセット後、POFFCR0 <TCA0EN>は"0"に初期化されますので、タイマ機能は使用不可の設定となります。よって初めてタイマ機能を使用するときは、プログラムの初期設定(タイマの制御レジスタを操作する前)で必ず POFFCR0 <TCA0EN>を"1"に設定してください。

なお、タイマ動作中は POFFCR0<TCA0EN>を"0"に変更しないでください。変更した場合タイマカウンタ A0 が予期せぬ動作をする場合があります。

13.4 タイマ機能

タイマカウンタ A0 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート(PPG)出力の 6 つの動作モードがあります。

13.4.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。指定した時間で定期的に割り込みを発生させ ることができます。

13.4.1.1 設定

動作モード選択 TA0MOD<TA0M>に"000"、"001"のいずれかの値を設定するとタイマモードになります。ソースクロックの選択は TA0MOD<TA0CK>で行います。

TA0CR<TA0S>を"1"に設定すると動作を開始します。タイマがスタートすると TA0MOD および TA0CR<TA0OVE>は書込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

表 13-3 タイマモードの分解能、最大設定時間

TA0MOD <TA0CK>	ソースクロック [Hz]			分解能		最大設定時間	
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード	fcgck=10MHz	fs=32.768kHz	fcgck=10MHz	fs=32.768kHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
00	$fcgck/2^{10}$	$fs/2^{3}$	$fs/2^{3}$	102.4μs	244.1μs	6.7s	16s
01	$fcgck/2^{6}$	$fcgck/2^{6}$	-	6.4μs	-	419.4ms	-
10	$fcgck/2^{2}$	$fcgck/2^{2}$	-	400ns	-	26.2ms	-
11	fcgck/2	fcgck/2	-	200ns	-	13.1ms	-

13.4.1.2 動作

TA0CR<TA0S>を"1"に設定すると、選択された内部ソースクロックで 16 ビットアップカウンタをインクリメントします。アップカウンタの値とタイマレジスタ A (TA0DRA)の 設定値が一致すると、INTTCA0 割り込み要求が発生し、アップカウンタが"0x0000" にクリアされます。カウンタクリア後もカウントアップは継続されます。タイマ動作中に TA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンタは"0x0000"にクリアされます。

13.4.1.3 自動キャプチャ

TA0CR<TA0ACAP>に"1"を設定すると、アップカウンタの最新の内容をタイマレジスタ B (TA0DRB) に取り込むことができます (自動キャプチャ機能)。TA0CR<TA0ACAP>が"1"のとき、TA0DRBL をリードすると、そのときのアップカウンタの内容を読み出すことができます。TA0DRBH は、TA0DRBL をリードしたとき同時に取り込まれますので、キャプチャ値を読み出すときは必ず TA0DRBL、TA0DRBH の順に読み出してください。(キャプチャの時刻は TA0DRBL をリードしたタイミングになります)。なお、自動キャプチャ機能はタイマの動作中/停止中どちらでも利用することができます。タイマ停止中の場合は、TA0DRBL は"0x00"が読み出されます。TA0DRBH はタイマ停止後もキャプチャ値を保持しますが、タイマ停止中に TA0DRBL をリードすると"0x00"にクリアされます。

TA0CR<TA0ACAP>に"1"が書き込まれたままタイマをスタートした場合、タイマスタート直後から自動キャプチャは有効になります。

注 1) TA0CR<TA0S>を"1"から"0"に書き替えるのと同時に TA0CR<TA0ACAP>の設定値は変更できません。(設定しても無効となります)

13.4.1.4　レジスタのバッファ構成

(1)　テンポラリバッファ

TMP89FM46A は 8 ビットのテンポラリバッファを内蔵しており、TA0DRAL に対してライト命令を実行すると、ダブルバッファの有効/無効に関係なく先ずこのテンポラリバッファにデータが格納されます。次に TA0DRAH に対してライト命令を実行すると、設定値はダブルバッファまたは TA0DRAH にデータが格納されます。同時にテンポラリバッファの設定値はダブルバッファまたは TA0DRAL にデータが格納されます。(下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。よって TA0DRA にデータを設定する場合は、必ず TA0DRAL、TA0DRAH の順に書き込んでください。

テンポラリバッファの構成は図 13-1 を参照してください。

(2)　ダブルバッファ

TMP89FM46A は、TA0CR<TA0DBF>の設定によりダブルバッファを利用することができます。TA0CR<TA0DBF>を"0"に設定するとダブルバッファが無効に、TA0CR<TA0DBF>を"1"に設定するとダブルバッファが有効となります。

ダブルバッファの構成は図 13-1 を参照してください。

- ダブルバッファが有効の場合

  タイマ動作中に TA0DRAH に対してライト命令を実行すると、設定値は先ずダブルバッファに格納され、TA0DRAH/L はすぐには更新されません。TA0DRAH/L は前回の設定値でアップカウンタと比較を行い、値が一致すると INTTCA0 割り込み要求が発生し、ダブルバッファの設定値が TA0DRAH/L に格納されます。以降は新しい設定値で一致検出が行われます。

  なお、TA0DRAH/L に対してリード命令を実行すると、TA0DRAH/L の値(現在の有効値)では無く、ダブルバッファの値(最後に設定した値)が読み出されます。

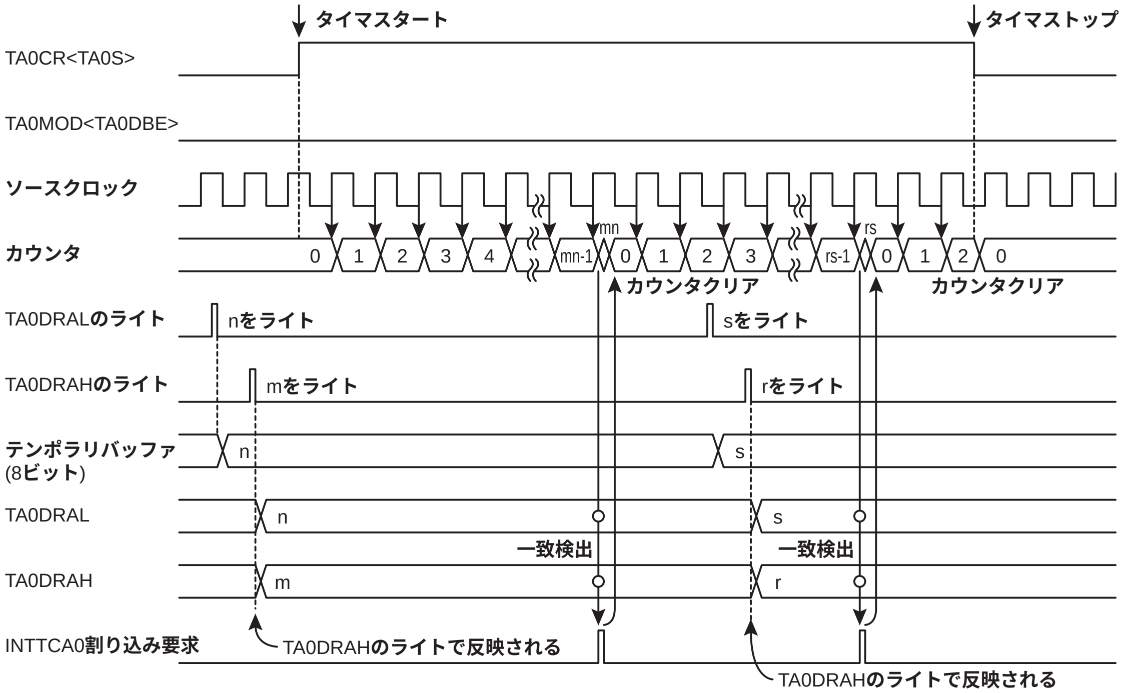
  タイマ停止中に TA0DRAH/L に対してライト命令を実行すると、設定値はダブルバッファと TA0DRAH/L の両方にすぐに格納されます。

- ダブルバッファが無効の場合

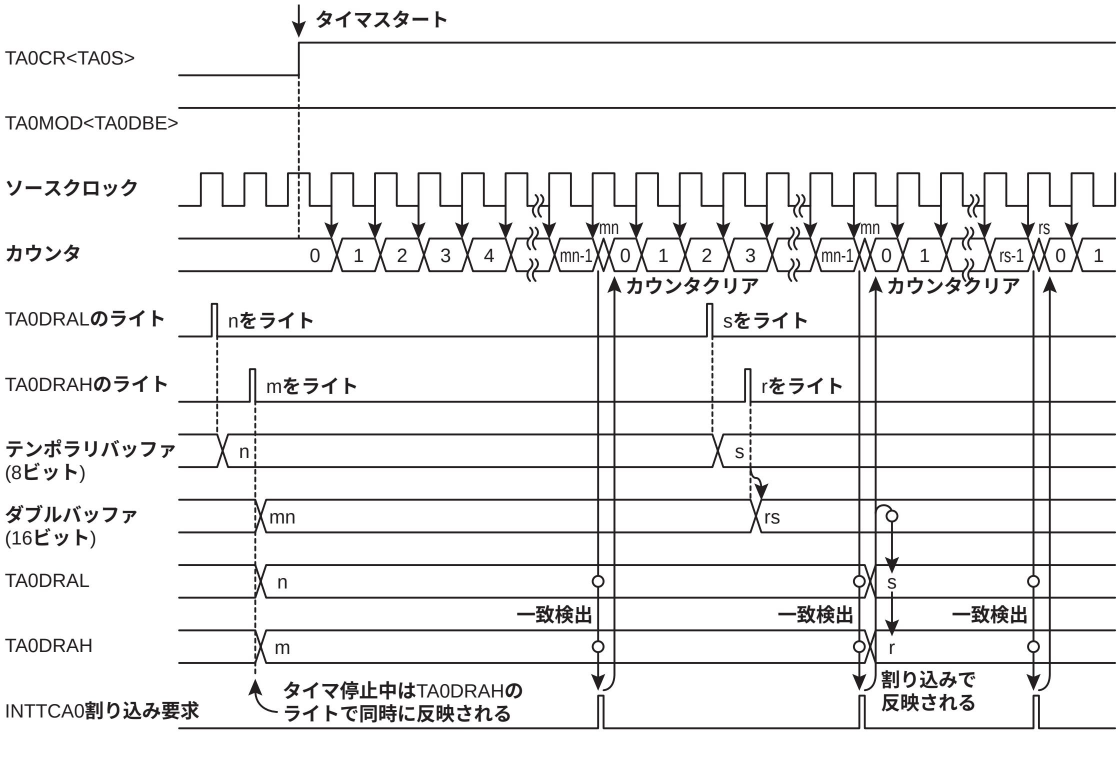
  タイマ動作中に TA0DRAH に対してライト命令を実行すると、設定値はすぐに TA0DRAH/L に格納され、以降は新しい設定値で一致検出が行われます。

  このとき TA0DRAH/L に設定した値がアップカウンタの値より小さかった場合、アップカウンタが一度オーバーフローした後、新しい設定値で一致検出が行われるため、割り込み要求の間隔が設定した時間よりも長くなる場合があります。これが問題となる場合は、ダブルバッファを有効にして使用してください。

  タイマ停止中に TA0DRAH/L に対してライト命令を実行すると、設定値はすぐに TA0DRAH/L に格納されます。



ダブルバッファ無効時(TA0MOD<TA0DBE>="0")



ダブルバッファ有効時(TA0MOD<TA0DBE>="1")

図 13-2 タイマモードタイミングチャート

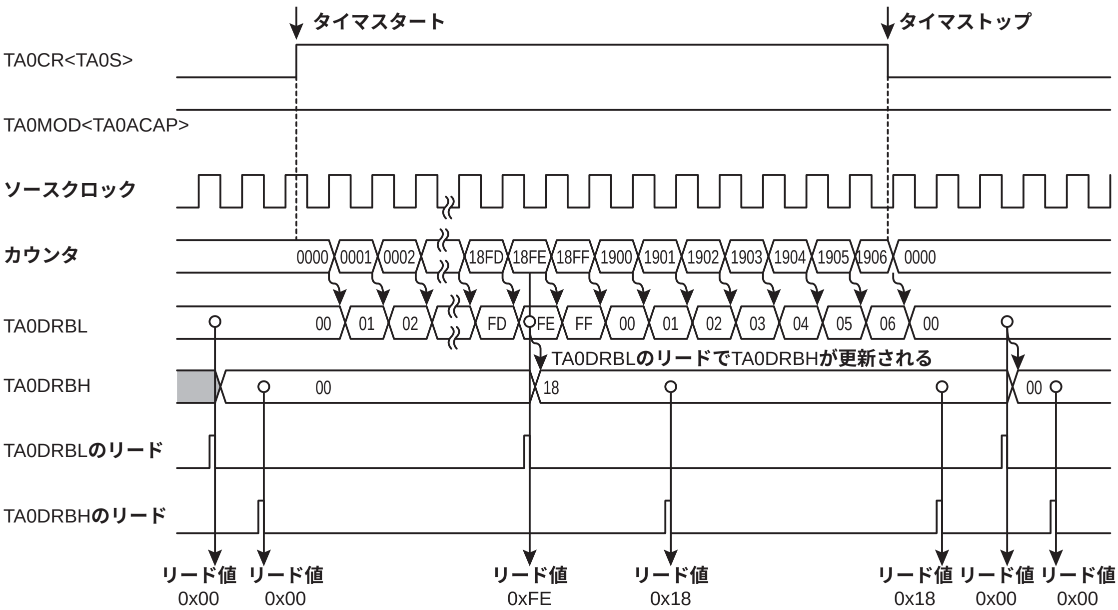


図 13-3 タイマモードタイミングチャート(自動キャプチャ)

13.4.2 外部トリガタイマモード

外部トリガタイマモードは、TCA0 端子入力をトリガにしてカウントをスタートするタイマモードです。

13.4.2.1 設定

動作モード選択 TA0MOD<TA0M>に"100"を設定すると外部トリガタイマモードになります。ソースクロックの選択は TA0MOD<TA0CK>で行います。

トリガとなるエッジは、トリガエッジ入力の選択 TA0MOD<TA0TED>で選択します。TA0MOD<TA0TED>を"0"にすると立ち上がりエッジ、"1"にすると立下りエッジが選択されます。

なお、本モードでは、TA0 入力端子を使用しますので、あらかじめポートの設定で TCA0 端子を入力にセットしておく必要があります。

TA0CR<TA0S>に" 1"を設定すると動作を開始します。タイマがスタートすると TA0MOD および TA0CR<TA0OVE>は書込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.4.2.2 動作

タイマスタート後、指定したトリガエッジが TCA0 端子に入力されると、指定されたソースクロックでアップカウンタのインクリメントが行われます。アップカウンタの値とタイマレジスタA(TA0DRA)の設定値が一致すると INTTCA0 割り込み要求が発生し、アップカウンタが"0x0000"にクリアされます。カウンタクリア後もカウントアップは継続されます。

TA0MOD<TA0METT> が "1" の場合、指定したトリガエッジと逆方向のエッジを検出すると、カウントはストップしアップカウンタは"0x0000"にクリアされます。その後、指定したトリガエッジを検出すると再びカウントを開始します。このモードでは、入力パルスが一定のパルス幅を超えたことを検出し、割り込み要求を発生させることができます。TA0MOD<TA0METT> が "0" の場合は、指定したトリガエッジを検出しカウントがスタートすると一致検出が行われるまで、エッジの検出は正/逆ともに無視されます。

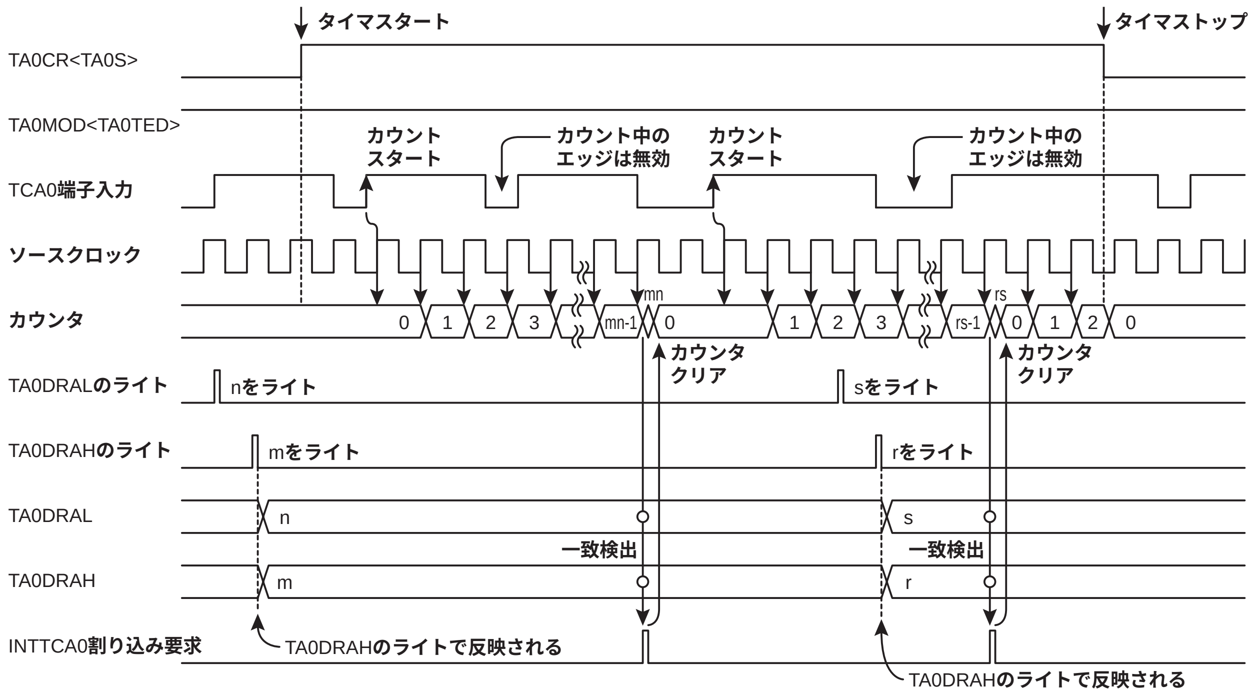
タイマ動作中に TA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンタは"0x0000"にクリアされます。

13.4.2.3 自動キャプチャ

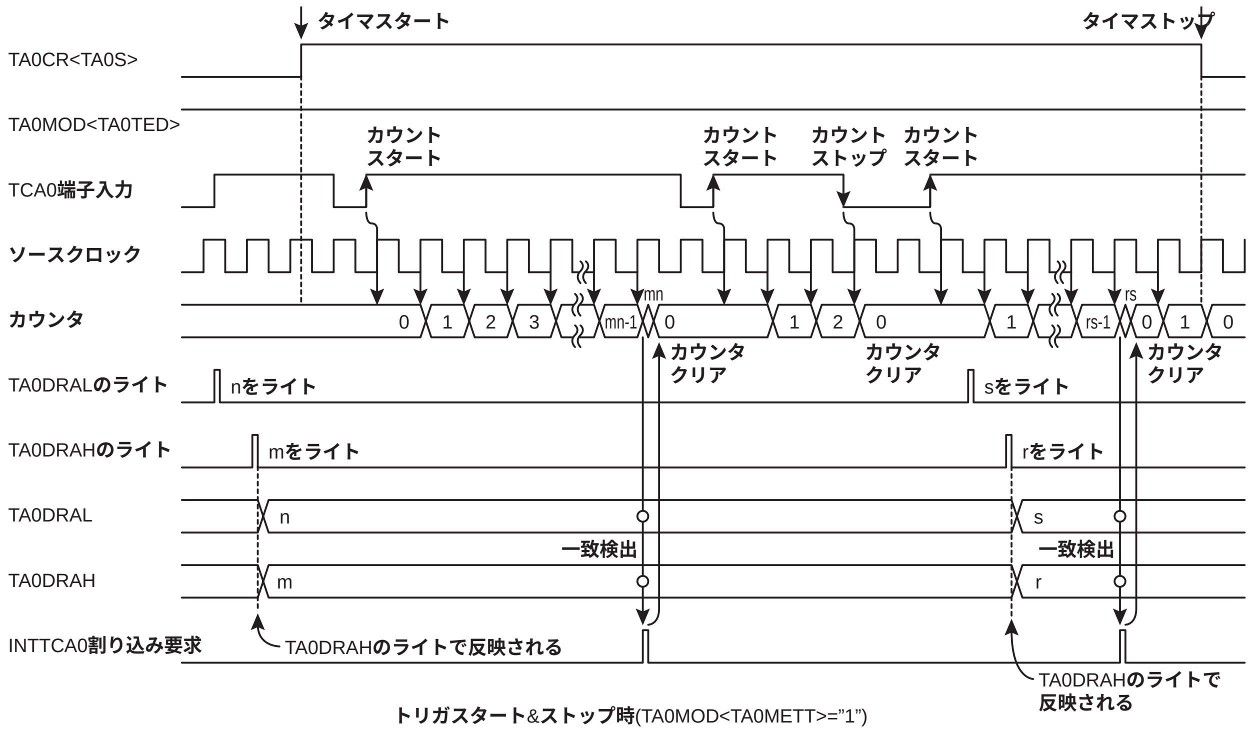
「13.4.1.3 自動キャプチャ」を参照してください。

13.4.2.4 レジスタのバッファ構成

「13.4.1.4 レジスタのバッファ構成」を参照してください。



トリガスタート時(TA0MOD<TA0METT>="0")



トリガスタート&ストップ時(TA0MOD<TA0METT>="1")

図 13-4 外部トリガタイマタイミングチャート

13.4.3 イベントカウンタモード

イベントカウンタモードは、TCA0 端子入力のエッジでカウントアップするモードです。

13.4.3.1 設定

動作モード選択 TA0MOD<TA0M>に"010"を設定するとイベントカウンタモードになります。

トリガとなるエッジは、外部トリガ入力の選択 TA0MOD<TA0TED>で選択します。TA0MOD<TA0TED>を"0"にすると立ち上がりエッジ、"1"にすると立下りエッジでカウントアップを行います。

なお、本モードでは、TA0 入力端子を使用しますので、あらかじめポートの設定で TCA0 端子を入力にセットしておく必要があります。

TA0CR<TA0S>に" 1"を設定すると動作を開始します。タイマがスタートすると TA0MOD および TA0CR<TA0OVE>は書込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.4.3.2 動作

イベントカウンタモードがスタートすると、指定したトリガエッジが TCA0 端子に入力されるとアップカウンタがインクリメントされます。

アップカウンタの値とタイマレジスタ A (TA0DRA)の設定値が一致すると INTTCA0 割り込み要求が発生し、アップカウンタが"0x0000"にクリアされます。カウンタクリア後も TCA0 端子入力のエッジごとにカウントアップは継続されます。動作中に TA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンタは"0x0000"にクリアされます。

なお、最大印加周波数は fcgck/2 [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、fs/2 [Hz] (SLOW1/2, SLEEP1 モード時) で、 "H", "L"レベルともに 2 マシンサイクル以上のパルス幅が必要です。

13.4.3.3 自動キャプチャ

「13.4.1.3 自動キャプチャ」を参照してください。

13.4.3.4 レジスタのバッファ構成

「13.4.1.4 レジスタのバッファ構成」を参照してください。

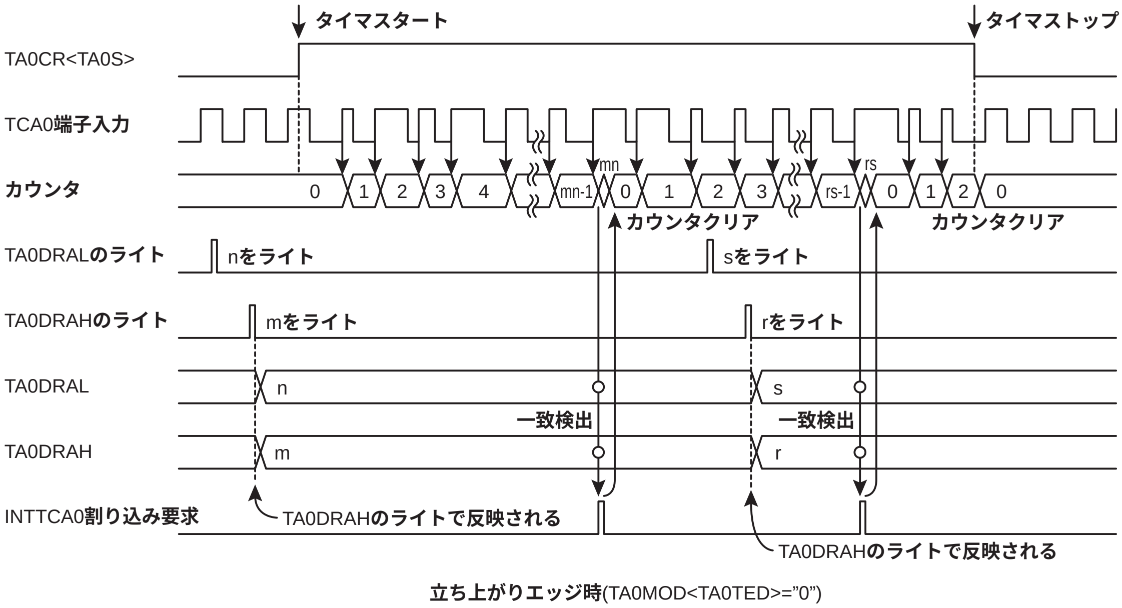


図 13-5 イベントカウントモードタイミングチャート

13.4.4 ウィンドウモード

ウィンドウモードは、TCA0 端子入力 (ウィンドウパルス) と内部クロックの論理積パルスの立ち上がりエッジでカウントアップするモードです。

13.4.4.1 設定

動作モード選択 TA0MOD<TA0M>に"101"を設定するとウィンドウモードになります。ソースクロックの選択は TA0MOD <TA0CK>で行います。

ウィンドウパルスのレベルは、トリガエッジ入力の選択 TA0MOD<TA0TED>で選択します。TA0MOD<TA0TED>を"0"にすると"H"レベル 、"1"にすると"L"レベルの期間カウントアップを行います。

なお、本モードでは、TA0 入力端子を使用しますので、あらかじめポートの設定で TCA0 端子を入力にセットしておく必要があります。

TA0CR<TA0S>に" 1"を設定すると動作を開始します。タイマがスタートすると TA0MOD および TA0CR<TA0OVE>は書込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.4.4.2 動作

動作開始後、TCA0 端子入力に TA0MOD<TA0TED>で指定したレベルが入力されている間、TA0MOD<TA0CK>で指定されたソースクロックでアップカウンタのインクリメントが行われます。アップカウンタの値とタイマレジスタ A (TA0DRA)の設定値が一致するとで INTTCA0 割り込み要求が発生し、アップカウンタは"0x0000"にクリアされます。カウンタクリア後もカウントアップは継続されます。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要がありますので、設定した内部ソースクロックより十分に遅い周波数のパルスを入力してください。

タイマ動作中に TA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンタは"0x0000"にクリアされます。

13.4.4.3 自動キャプチャ

「13.4.1.3 自動キャプチャ」を参照してください。

13.4.4.4 レジスタのバッファ構成

「13.4.1.4 レジスタのバッファ構成」を参照してください。

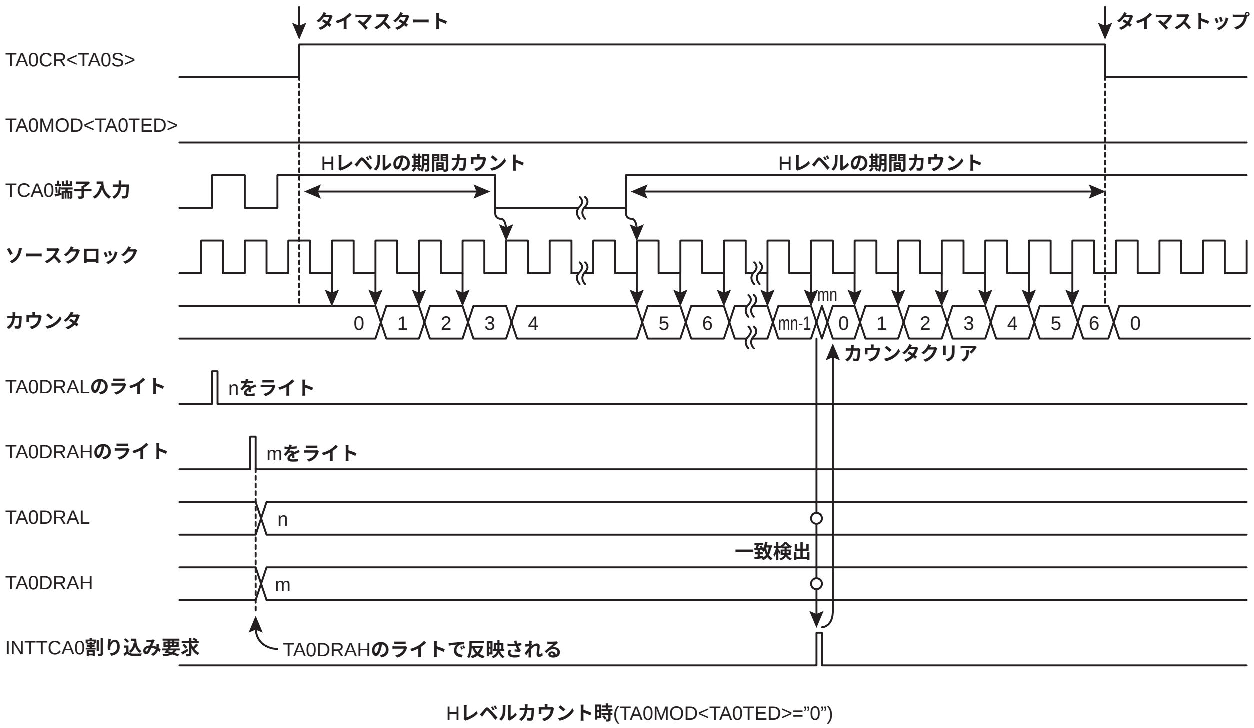


図 13-6 ウィンドウモードタイミングチャート

13.4.5 パルス幅測定モード

パルス幅測定モードは、TCA0 端子入力の立ち上がり/立ち下がりエッジを開始トリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。

13.4.5.1 設定

動作モード選択 TA0MOD<TA0M>に"110"を設定するとパルス幅測定モードになります。ソースクロックの選択は TA0MOD<TA0CK>で行います。

トリガとなるエッジは、トリガエッジ入力の選択 TA0MOD<TA0TED>で選択します。TA0MOD<TA0TED>を"0"にすると立ち上がりエッジ、"1"にすると立下りエッジをトリガとしてキャプチャを開始します。

キャプチャ実行後の動作は、パルス幅測定モード制御 TA0MOD<TA0MCAP>により決定されます。TA0MOD<TA0MCAP>を"0"にすると両エッジキャプチャ、"1"にすると片エッジキャプチャ動作になります。

また、オーバーフロー割り込み制御 TA0CR<TA0OVE>で、アップカウンタのオーバーフローが発生した場合の動作を選択できます。TA0OVE を"1"にすると、オーバーフロー発生時に INTTCA0 割り込み要求が発生し、"0"にするとオーバーフロー発生時に INTTCA0 割り込み要求は発生しません。

なお、本モードでは、TA0 入力端子を使用しますので、あらかじめポートの設定で TCA0 端子を入力にセットしておく必要があります。

TA0CR<TA0S>に" 1"を設定すると動作を開始します。このとき TA0DRA、TA0DRB レジスタは"0x0000"に初期化されます。タイマがスタートすると TA0MOD および TA0CR<TA0OVE>は書込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.4.5.2 動作

タイマスタート後、指定したトリガエッジ(スタートエッジ)が TCA0 端子に入力されると INTTCA0 割り込み要求が発生し、指定されたソースクロックでアップカウンタのインクリメントが行われます。次に指定したエッジと逆方向のエッジを検出すると、アップカウンタの値を TA0DRB に取り込み INTTCA0 割り込み要求が発生し、TA0SR<TA0CPFB>が"1"にセットされます。このとき TA0MOD <TA0MCAP>の設定によって次の動作が異なります。

・ 両エッジキャプチャ(TA0MOD<TA0MCAP>が"0"のとき)

逆方向のエッジを検出後もカウントアップは停止しません。次に指定したトリガエッジが入力されると、アップカウンタの値を TA0DRA に取り込み、INTTCA0 割り込み要求が発生し、TA0SR<TA0CPFA>が 1 にセットされます。このときアップカウンタは"0x0000"にクリアされます。

・ 片エッジキャプチャ (TA0MOD<TA0MCAP>が"1"のとき)

逆方向のエッジを検出後カウントアップは停止し、アップカウンタは"0x0000"にクリアされます。次にスタートエッジが入力されると INTTCA0 割り込み要求が発生し、アップカウンタは再度インクリメントを開始します。

キャプチャ動作中にアップカウンタがオーバーフローした場合、オーバーフローフラグ TA0SR<TA0OVF>が"1"にセットされます。このときオーバーフロー割り込み制御 TA0CR <TA0OVE>が"1"にセットされている場合、INTTCA0 割り込み要求が発生します。

キャプチャ完了フラグ(TA0SR<TA0CPFA, TA0CPFB>、オーバーフローフラグ(TA0SR <TA0OVF>)は TA0SR を読み出すことによって自動的に"0"にクリアされます。

キャプチャ値は、次のトリガエッジが検出されるまでに TA0DRB (両エッジの場合は TA0DRA も含む)から必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。また、TA0DRA、TA0DRB は、16 ビットアクセス命令による読み出しを行ってください。

タイマ動作中に TA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンタは"0x0000"にクリアされます。

注 1)　タイマスタート後、指定したトリガエッジと逆方向のエッジを先に検出した場合、キャプチャは行われず、INTTCA0 割り込み要求も発生しません。この場合、指定したトリガエッジを次に検出した時点からキャプチャを開始します。

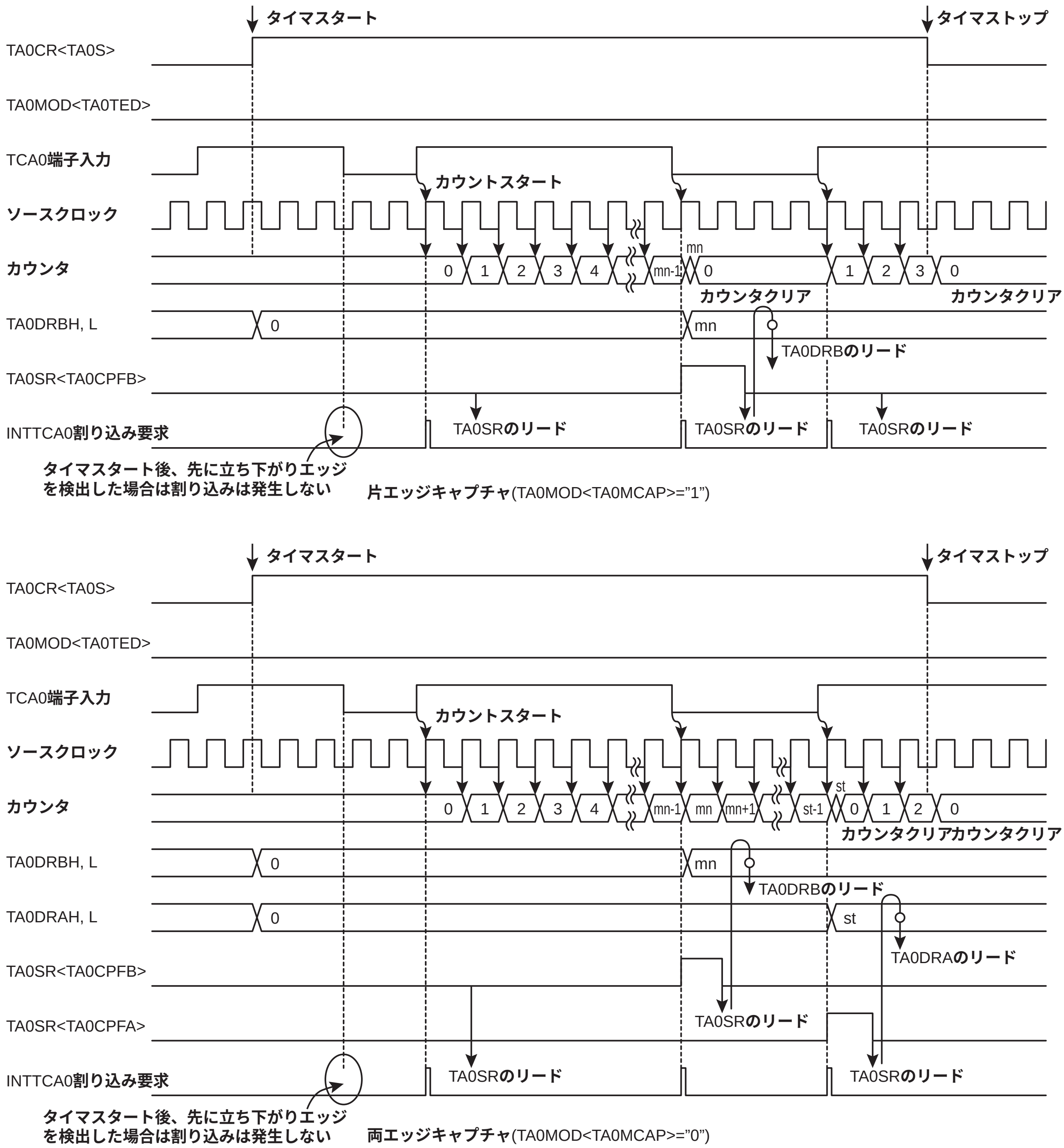
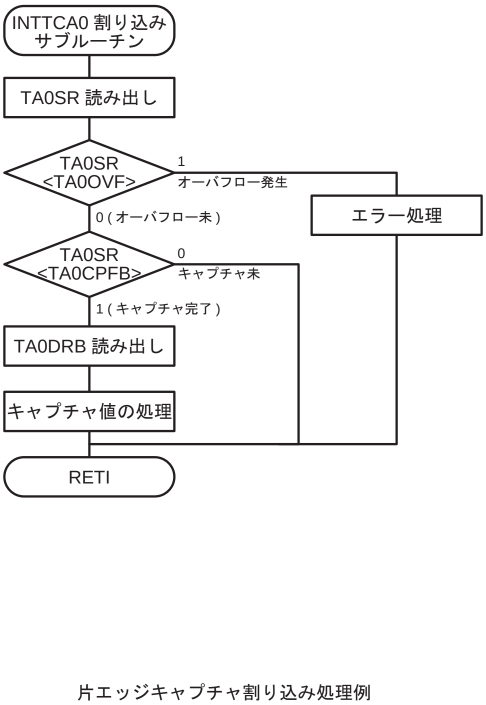


図 13-7 パルス幅測定モードタイミングチャート

13.4.5.3 キャプチャ処理例

図 13-8 に INTTCA0 割り込みサブルーチンを使ったキャプチャ処理例を示します。キャプチャエッジやオーバフローは、ステータスレジスタ(TA0SR)を使用すると容易に判定することができます。



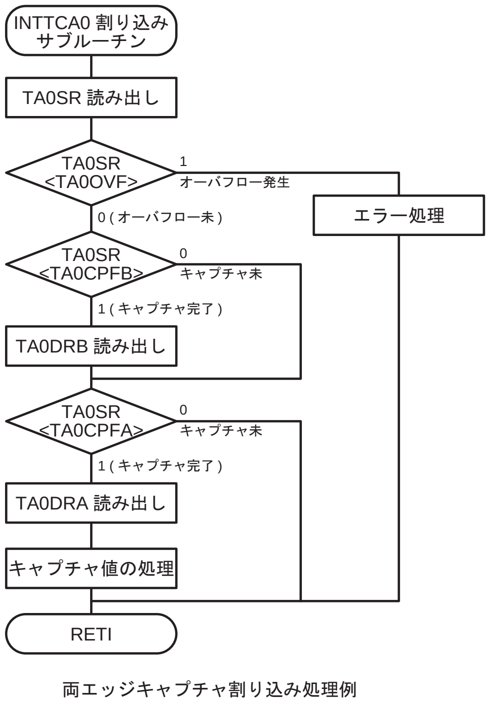


図 13-8 キャプチャ処理例

13.4.6　プログラマブルパルスジェネレート(PPG)モード

PPG 出力モードは、2 つのタイマレジスタによって任意のデューティパルスを出力するモードです。

13.4.6.1　設定

動作モード選択 TA0MOD<TA0M>に"011"を設定すると PPG 出力モードになります。ソースクロックの選択は TA0MOD<TA0CK>で行います。TA0CR <TA0MPPG>によって PPG を連続して出力するか単発で出力するかを選択します。

PPG 出力の周期は TA0DRA で、最初に出力が反転するまでの時間は TA0DRB で設定します。レジスタの設定値は、必ず TA0DRA > TA0DRB となるように設定してください。

なお、本モードでは、$\overline{\text{PPGA0}}$ 端子を使用します。あらかじめポートの設定で、$\overline{\text{PPGA0}}$ 端子を出力にセットしておく必要があります。

$\overline{\text{PPGA0}}$ 端子の初期状態は、タイマフリップフロップ TA0CR<TA0TFF>にて設定します。
TA0CR<TA0TFF>を"1"に設定すると、$\overline{\text{PPGA0}}$ 端子の初期状態は"H"レベルとなり、
TA0CR<TA0TFF>を"0"に設定すると、$\overline{\text{PPGA0}}$ 端子の初期状態は"L"レベルとなります。

TA0CR<TA0S>に" 1"を設定すると動作を開始します。タイマがスタートすると TA0MOD および TA0CR<TA0OVE, TA0TFF>は書込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.4.6.2　動作

タイマスタート後、アップカウンタのインクリメントが行われます。

アップカウンタの値とタイマレジスタ B (TA0DRB)の設定値が一致すると、TA0CR<TA0TFF>が"0"の場合は $\overline{\text{PPGA0}}$ 端子が"H"レベルに、TA0CR<TA0TFF>が"1"の場合は $\overline{\text{PPGA0}}$ 端子が"L"レベルに変更されます。

その後もカウントアップを継続し、アップカウンタの値とタイマレジスタ A (TA0DRA)の設定値が一致すると、TA0CR<TA0TFF>が"0"の場合は $\overline{\text{PPGA0}}$ 端子が"L"にレベルに、TA0CR<TA0TFF>が"1"の場合は $\overline{\text{PPGA0}}$ 端子が"H"レベルに変更されます。このとき、INTTCA0 割り込み要求が発生します。また、PPG 出力制御 TA0CR<TA0MPPG>が "1" (単発) に設定されていると、TA0CR<TA0S>は自動的に "0" にクリアされ、タイマは停止します。

TA0CR<TA0MPPG>が "0" (連続) に設定されていると、アップカウンタは"0x0000"にクリアされ、カウント動作および PPG 出力を継続します。なお、PPG 出力中に TA0CR<TA0S>を "0" に設定 (単発による自動停止を含む) すると、$\overline{\text{PPGA0}}$ 端子は TA0CR<TA0TFF>で設定したレベルに戻ります。

TA0CR<TA0MPPG>は、動作中に変更することができます。動作中に TA0CR<TA0MPPG>を"1"→"0"に変更すると、単発設定はキャンセルされ、連続動作になります。動作中に TA0CR<TA0MPPG>を"0"→"1"に変更すると、現在出力されているパルスの出力が終了した後、TA0CR<TA0S>が自動的に"0"クリアされ、タイマが停止されます。

タイマレジスタ A およびタイマレジスタ B は、ダブルバッファに設定することができます。TA0CR<TA0DBF>に"1"を設定すると、ダブルバッファが有効になります。PPG 出力中に TA0DRA 及び TA0DRB の設定値を変更した場合、ダブルバッファを有効にしていると、書き込みはすぐに有効にならず、TA0DRA とアップカウンタとの一致検出のタイミングで有効になります。ダブルバッファを無効にした場合には、TA0DRA 及び TA0DRB への書き込みはすぐに有効になり、書き込み値がアップカウンタ値より小さかった場合にはアップカウンタがオーバーフローし、1 周してからカウンター致処理が行われ、出力が反転します。

13.4.6.3 レジスタのバッファ構成

(1) テンポラリバッファ

TMP89FM46A は 8 ビットのテンポラリバッファを内蔵しており、TA0DRAL (TA0DRBL) に対してライト命令を実行すると、ダブルバッファの有効/無効に関係なく先ずこのテンポラリバッファにそれぞれデータが格納されます。次に TA0DRAH (TA0DRBH) に対してライト命令を実行すると、設定値はダブルバッファまたは TA0DRAH (TA0DRBH) にデータが格納されます。同時にテンポラリバッファの設定値はダブルバッファまたは TA0DRAL (TA0DRBL) にデータが格納されます。(下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。よって TA0DRA (TA0DRB)にデータを設定する場合は、必ず TA0DRAL、TA0DRAH (TA0DRBL、TA0DRBH)の順に書き込んでください。

テンポラリバッファの構成は図 13-1 を参照してください。

(2) ダブルバッファ

TMP89FM46A は、TA0CR<TA0DBF>の設定によりダブルバッファを利用することができます。TA0CR<TA0DBF>を"0"に設定するとダブルバッファが無効に、TA0CR<TA0DBF>を"1"に設定するとダブルバッファが有効となります。

ダブルバッファの構成は図 13-1 を参照してください。

- ダブルバッファが有効の場合

  タイマ動作中に TA0DRAH (TA0DRBH)に対してライト命令を実行すると、設定値は先ずダブルバッファに格納され、TA0DRAH/L はすぐには更新されません。TA0DRAH/L (TA0DRBH/L)は前回の設定値でアップカウンタと比較を行い、値が一致すると INTTCA0 割り込み要求が発生し、ダブルバッファの設定値が TA0DRAH/L (TA0DRBH/L)に格納されます。以降は新しい設定値で一致検出が行われます。

  なお、TA0DRAH/L (TA0DRBH/L)に対してリード命令を実行すると、TA0DRAH/L (TA0DRBH/L)の値(現在の有効値)では無く、ダブルバッファの値(最後に設定した値)が読み出されます。

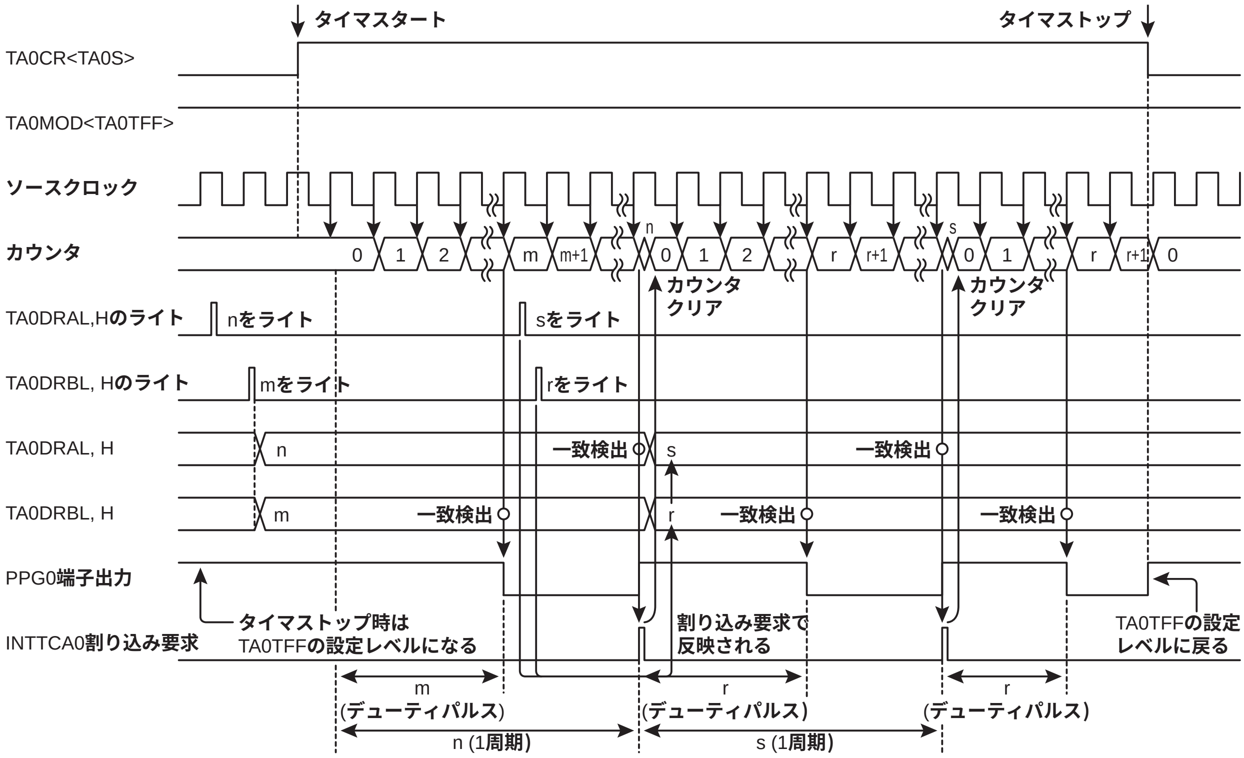
  タイマ停止中に TA0DRAH/L (TA0DRBH/L)に対してライト命令を実行すると、設定値はダブルバッファと TA0DRAH/L (TA0DRBH/L)の両方にすぐに反映されます。

- ダブルバッファが無効の場合

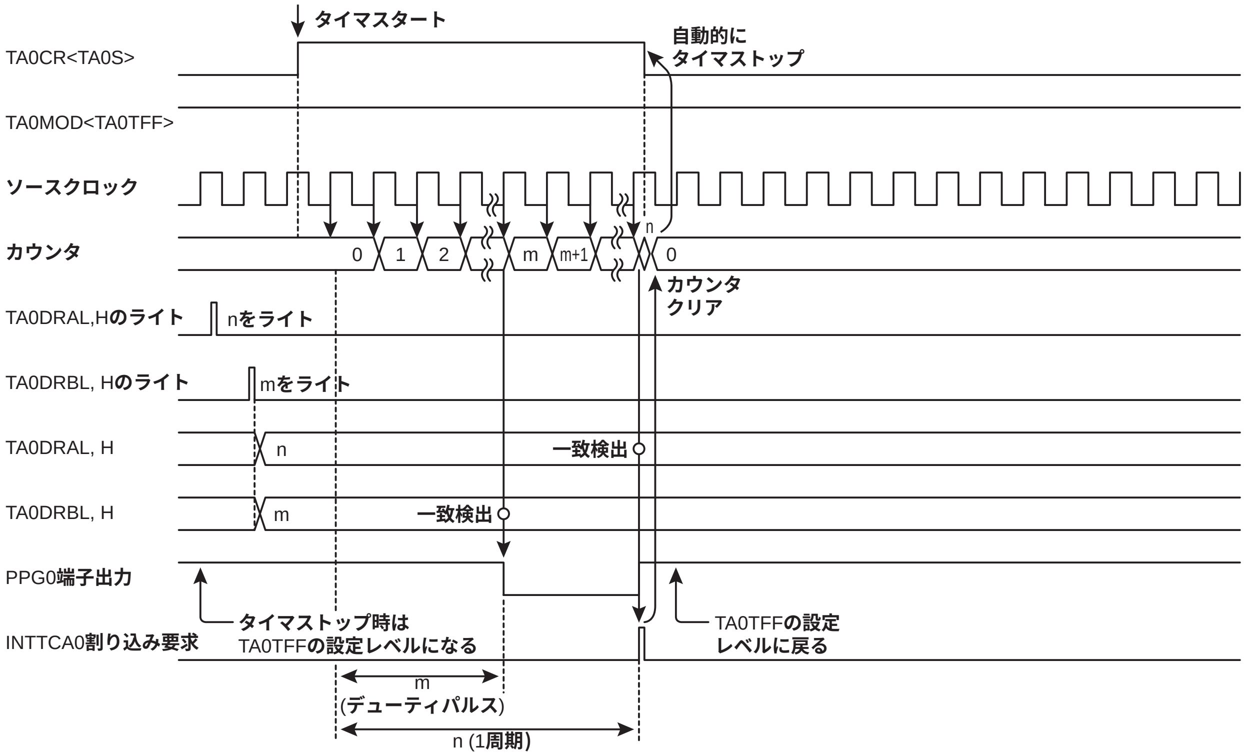
  タイマ動作中に TA0DRAH (TA0DRBH)に対してライト命令を実行すると、設定値はすぐに TA0DRAH/L (TA0DRBH/L)に更新され、以降は新しい設定値で一致検出が行われます。

  このとき TA0DRAH/L (TA0DRBH/L)に設定した値がアップカウンタの値より小さかった場合、アップカウンタが一度オーバーフローした後、新しい設定値で一致検出が行われるため、出力パルス幅が設定した時間よりも長くなる場合があります。これが問題となる場合は、ダブルバッファを有効にして使用してください。

  タイマ停止中に TA0DRAH/L (TA0DRBH/L)に対してライト命令を実行すると、設定値はすぐに TA0DRAH/L (TA0DRBH/L)に反映されます。



連続 (TA0CR<TA0MPPG>="0")
ダブルバッファ(TA0MOD<TA0DBE>="1")



単発 (TA0CR<TA0MPPG>="1")

図 13-9 PPG モードタイミングチャート

13.5 ノイズキャンセラ

TCA0 端子を使用する動作モードでは、デジタルノイズキャンセラを使用することができます。

13.5.1 設定

デジタルノイズキャンセラ使用時には、TA0CR<TA0NC>で選択したサンプリング間隔で、入力レベルのサンプリングを行います。同一レベルが 3 回連続で検出した場合、タイマへの入力レベルを変更します。

ノイズキャンセラは、TA0CR<TA0NC>を"00"以外に設定すると、TA0CR<TA0S>の値に関わらず動作を開始します。

ノイズキャンセラを使用する際には、入力信号を安定させるため、TA0CR<TA0NC>設定後、サンプリング間隔×4 の時間経過後にタイマをスタートさせるようにしてください。

TA0CR<TA0NC>は、タイマ停止状態(TA0CR<TA0S> = "0")で設定してください。TA0CR<TA0S> = "1"の場合、書き込みは無視されます。

SLOW1/2、SLEEP1 モード使用時には、TA0CR<TA0NC> = "11"で fs/2 をソースクロックとして動作します。また、TA0CR<TA0NC> = "00"でノイズキャンセラなしとなります。TA0CR<TA0NC>を"01"または"10"に設定すると、TCA0 端子入力は一切無効となります。

表 13-4 ノイズキャンセル時間 (fcgck = 10 [MHz])

TA0NC	サンプリング間隔	ノイズとして確実に除去される時間	信号として確実にみなされる時間
00	なし	-	-
01	200 ns (2/fcgck)	600 ns 未満	800 ns 以上
10	400 ns (4/fcgck)	1.2 μs 未満	1.6 μs 以上
11	25.6 μs (256/fcgck)	76.8 μs 未満	102.4 μs 以上

第 14 章　8 ビットタイマカウンタ(TC0)

TMP89FM46A は、高性能 8 ビットタイマカウンタ(TC0)を 4 チャネル内蔵しています。それぞれのタイマは時間計測や指定した幅のパルス出力などを行うことができます。また、8 ビットタイマカウンタを 2 つカスケード接続することにより、16 ビットタイマとして使用することもできます。

本章は 8 ビットタイマカウンタ 00, 01 の 2 チャネル分の説明となります。8 ビットタイマカウンタ 02, 03 については表 14-1、表 14-2 に従って SFR アドレス、端子名を読み替えてください。

表 14-1 SFR アドレス割り付け

	16 ビット モード時	T0xREG (アドレス)	T0xPWM (アドレス)	T0xMOD (アドレス)	T0xxCR (アドレス)	低消費電力 レジスタ
タイマカウンタ 00	下位	T00REG (0x0026)	T00PWM (0x0028)	T00MOD (0x002A)	T001CR (0x002C)	POFFCR0 <TC001EN>
タイマカウンタ 01	上位	T01REG (0x0027)	T01PWM (0x0029)	T01MOD (0x002B)		
タイマカウンタ 02	下位	T02REG (0x0F88)	T02PWM (0x0F8A)	T02MOD (0x0F8C)	T023CR (0x0F8E)	POFFCR0 <TC023EN>
タイマカウンタ 03	上位	T03REG (0x0F89)	T03PWM (0x0F8B)	T03MOD (0x0F8D)		

表 14-2 端子名

	タイマ入力端子	PWM 出力端子	PPG 出力端子
タイマカウンタ 00	TC00 端子	$\overline{\text{PWM0}}$ 端子	$\overline{\text{PPG0}}$ 端子
タイマカウンタ 01	TC01 端子	$\overline{\text{PWM1}}$ 端子	$\overline{\text{PPG1}}$ 端子
タイマカウンタ 02	TC02 端子	$\overline{\text{PWM2}}$ 端子	$\overline{\text{PPG2}}$ 端子
タイマカウンタ 03	TC03 端子	$\overline{\text{PWM3}}$ 端子	$\overline{\text{PPG3}}$ 端子

14.1　構成

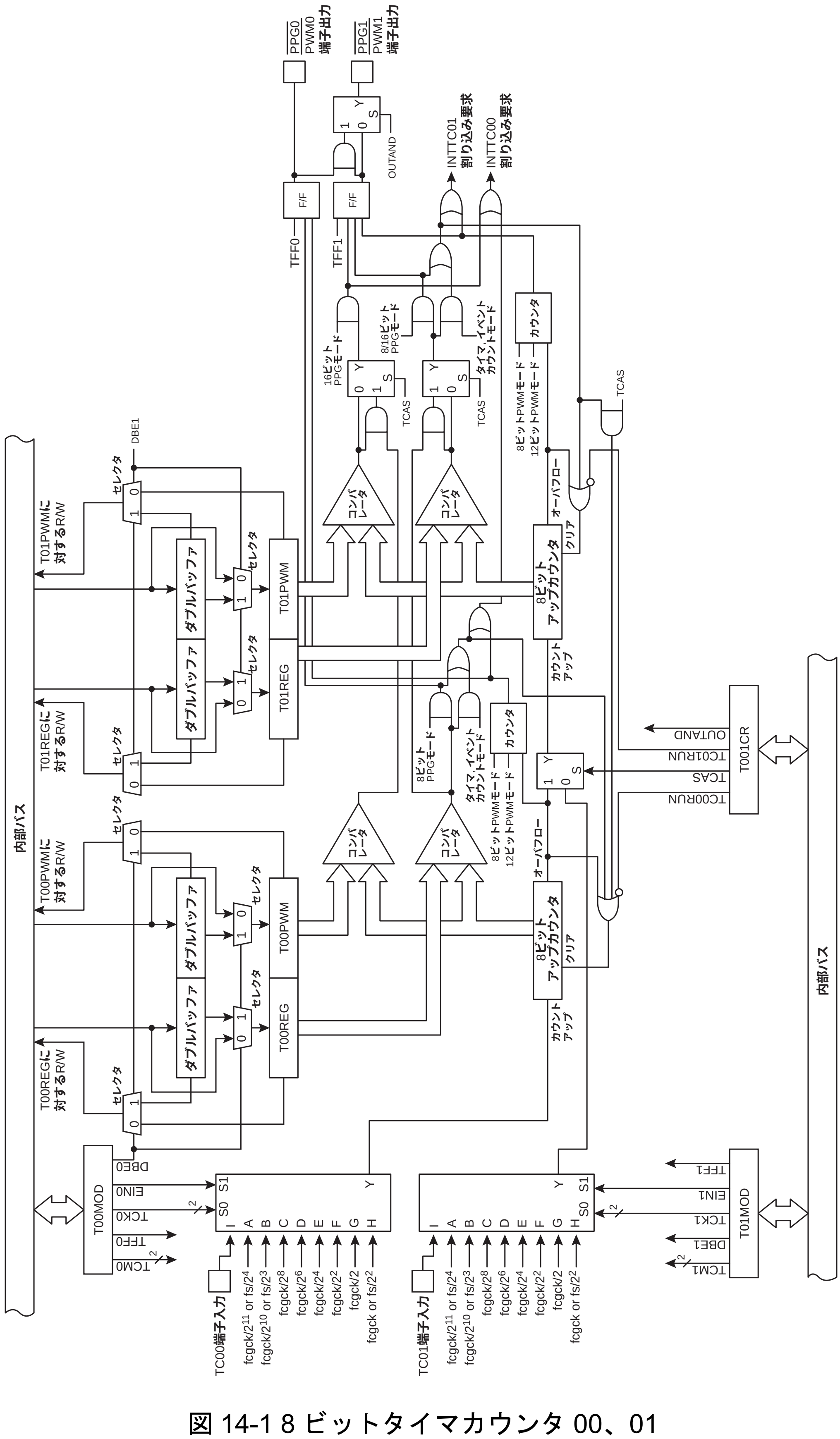


図 14-1 8 ビットタイマカウンタ 00、01

14.2 制御

14.2.1 タイマカウンタ 00

タイマカウンタ 00 は、タイマカウンタ 00 モードレジスタ (T00MOD) と 2 つの 8 ビットタイマレジスタ (T00REG, T00PWM) で制御されます。

タイマレジスタ 00

T00REG		15	14	13	12	11	10	9	8
(0x0026)	Bit Symbol	T00REG							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマレジスタ 00

T00PWM		7	6	5	4	3	2	1	0
(0x0028)	Bit Symbol	T00PWM							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

注 1) 8 ビット PWM モード、及び 12 ビット PWM モード時の T00PWM 構成については、「14.4.3 8 ビットパルス幅変調 (PWM) 出力モード」および「14.4.7 12 ビットパルス幅変調 (PWM) 出力モード」を参照してください。

タイマカウンタ 00 モードレジスタ

T00MOD	7	6	5	4	3	2	1	0
(0x002A) Bit Symbol	TFF0	DBE0	TCK0			EIN0	TCM0	
Read/Write	R/W	R/W	R/W			R/W	R/W	
リセット後	1	1	0	0	0	0	0	0

TFF0	タイマ F/F0 の制御	0	クリア		
		1	セット		
DBE0	ダブルバッファ制御	0	ダブルバッファ無効		
		1	ダブルバッファ有効		
TCK0	動作クロック選択		NORMAL 1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード
			SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"	
		000	$fcgck/2^{11}$	$fs/2^{4}$	$fs/2^{4}$
		001	$fcgck/2^{10}$	$fs/2^{3}$	$fs/2^{3}$
		010	$fcgck/2^{8}$	$fcgck/2^{8}$	-
		011	$fcgck/2^{6}$	$fcgck/2^{6}$	-
		100	$fcgck/2^{4}$	$fcgck/2^{4}$	-
		101	$fcgck/2^{2}$	$fcgck/2^{2}$	-
		110	fcgck/2	fcgck/2	-
		111	fcgck	fcgck	$fs/2^{2}$
EIN0	外部ソースクロック使用選択	0	ソースクロックは内部クロック		
		1	ソースクロックは外部クロック(TC00 端子の立ち下がりエッジ)		
TCM0	動作モード選択	00	8 ビットタイマ/イベントカウンタモード		
		01	8 ビットタイマ/イベントカウンタモード		
		10	8 ビットパルス幅変調出力 (PWM) モード		
		11	8 ピットプログラマブルパルスジェネレート(PPG)モード		

注 1)　fcgck:ギアクロック[Hz]、fs:低周波クロック[Hz]

注 2)　T00MOD への書き込みは、タイマ停止中に行ってください。タイマ動作中は、T00MOD への書き込みは無効となります。

注 3)　8 ビットタイマ/イベントモードでは、TFF0 の設定は無効となります。同モードのとき、ポートの設定で $\overline{\text{PWM0}}$, $\overline{\text{PPG0}}$ 端子を機能出力端子にすると、常に"H"レベルが出力されます。

注 4)　EIN0 に"1"を設定して、ソースクロックを外部クロック入力にした場合、TCK0 の設定は無視されます。

注 5)　T001CR<TCAS>ビットが"1"の時、タイマ 00 は 16 ビットモードで動作します。16 ビットモードでは T00MOD の設定は無効となり、タイマ 00 単独での使用はできなくなります。またポートの設定で $\overline{\text{PWM0}}$, $\overline{\text{PPG0}}$ 端子を機能出力端子にすると、常に"H"レベルが出力されます。

注 6)　T001CR<TCAS>で 16 ビットモードが選択された場合、タイマスタート制御は T001CR<T01RUN>にて行います。T001CR<T00RUN>への書き込みを行っても、タイマ 00 はスタートしません。

14.2.2 タイマカウンタ 01

タイマカウンタ 01 は、タイマカウンタ 01 モードレジスタ (T01MOD) と 2 つの 8 ビットタイマレジスタ (T01REG, T01PWM) で制御されます。

タイマレジスタ 01

T01REG (0x0027)

	15	14	13	12	11	10	9	8
Bit Symbol	T01REG							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

タイマレジスタ 01

T01PWM (0x0029)

	7	6	5	4	3	2	1	0
Bit Symbol	T01PWM							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

注 1) 8 ビット PWM モード、及び 12 ビット PWM モード時の T00PWM 構成については、「14.4.3 8 ビットパルス幅変調 (PWM) 出力モード」および「14.4.7 12 ビットパルス幅変調 (PWM) 出力モード」を参照してください。

タイマカウンタ 01 モードレジスタ

T01MOD		7	6	5	4	3	2	1	0
(0x002B)	Bit Symbol	TFF1	DBE1	TCK1			EIN1	TCM1	
	Read/Write	R/W	R/W	R/W			R/W	R/W	
	リセット後	1	1	0	0	0	0	0	0

TFF1	タイマ F/F1 の制御	0	クリア		
		1	セット		
DBE1	ダブルバッファ制御	0	ダブルバッファ無効		
		1	ダブルバッファ有効		
TCK1	動作クロック選択		NORMAL 1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード
			SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"	
		000	$fcgck/2^{11}$	$fs/2^{4}$	$fs/2^{4}$
		001	$fcgck/2^{10}$	$fs/2^{3}$	$fs/2^{3}$
		010	$fcgck/2^{8}$	$fcgck/2^{8}$	-
		011	$fcgck/2^{6}$	$fcgck/2^{6}$	-
		100	$fcgck/2^{4}$	$fcgck/2^{4}$	-
		101	$fcgck/2^{2}$	$fcgck/2^{2}$	-
		110	fcgck/2	fcgck/2	-
		111	fcgck	fcgck	$fs/2^{2}$
EIN1	外部ソースクロック使用選択	0	ソースクロックは内部クロック		
		1	ソースクロックは外部クロック(TC01 端子の立ち下がりエッジ)		
TCM1	動作モード選択		T001CR<TCAS>="0" (8 ビットモード)	T001CR<TCAS>="1" (16 ビットモード)	
		00	8 ビットタイマ/イベントカウンタモード	16 ビットタイマ/イベントカウンタモード	
		01	8 ビットタイマ/イベントカウンタモード	16 ビットタイマ/イベントカウンタモード	
		10	8 ビットパルス幅変調出力 (PWM) モード	12 ビットパルス幅変調出力(PWM) モード	
		11	8 ピットプログラマブルパルスジェネレート(PPG)モード	16 ピットプログラマブルパルスジェネレート(PPG)モード	

注 1)　fcgck:ギアクロック[Hz]、fs:低周波クロック[Hz]

注 2)　T01MOD への書き込みは、タイマ停止中に行ってください。タイマ動作中は、T01MOD への書き込みは無効となります。

注 3)　8 ビットタイマ/イベントモードでは、TFF1 の設定は無効となります。同モードのとき、ポートの設定で $\overline{\text{PWM1}}$, $\overline{\text{PPG1}}$ 端子を機能出力端子に設定すると、常に"H"レベルが出力されます。

注 4)　EIN1 に"1"を設定して、ソースクロックを外部クロック入力にした場合、TCK1 の設定は無視されます。

14.2.3 タイマカウンタ 00, 01 共通

タイマカウンタ 00, 01 共通のレジスタに、低消費電力レジスタ(POFFCR0)、タイマ 00,01 制御レジスタがあります。

低消費電力レジスタ 0

POFFCR0 (0x0F74)		7	6	5	4	3	2	1	0
	Bit Symbol	-	-	TC023EN	TC001EN	-	-	TCA1EN	TCA0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

TC023EN	TC02,03 制御	0	Disable
		1	Enable
TC001EN	TC00,01 制御	0	Disable
		1	Enable
TCA1EN	TCA1 制御	0	Disable
		1	Enable
TCA0EN	TCA0 制御	0	Disable
		1	Enable

タイマカウンタ 01 制御レジスタ

T001CR		7	6	5	4	3	2	1	0
(0x002C)	Bit Symbol	-	-	-	-	OUTAND	TCAS	T01RUN	T00RUN
	Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

OUTAND	タイマ 00,01 の出力制御	0	タイマ 00 の出力を $\overline{\text{PWM0}}$, $\overline{\text{PPG0}}$、タイマ 01 の出力を $\overline{\text{PWM1}}$, $\overline{\text{PPG1}}$ 端子から出力する。
		1	タイマ 00,01 の出力の論理積パルスを $\overline{\text{PWM1}}$, $\overline{\text{PPG1}}$ 端子から出力する。
TCAS	タイマ 00,01 のカスケード接続制御	0	タイマ 00,01 を独立して使用する(8 ビットモード)
		1	タイマ 00,01 をカスケード接続する(16 ビットモード)
T01RUN	タイマ 01 の制御 タイマ 00/01 の制御 (16 ビットモード)	0	ストップ＆カウンタクリア
		1	スタート
T00RUN	タイマ 00 の制御	0	ストップ＆カウンタクリア
		1	スタート

注 1)　STOP モードを起動すると、T00RUN 及び T01RUN は"0"にクリアされ、タイマは停止します。STOP モード解除後、タイマ 00、01 を使用する場合は、T001CR を再設定してください。

注 2)　T001CR に対してリード命令を実行すると、ビット 7 ~ 4 は"0"が読み出されます。

注 3)　OUTAND が"1"のとき、出力は $\overline{\text{PWM1}}$, $\overline{\text{PPG1}}$ 端子からのみ行われます。$\overline{\text{PWM0}}$, $\overline{\text{PPG0}}$ 端子へのタイマ出力は行われません。このときポートの設定で $\overline{\text{PWM0}}$, $\overline{\text{PPG0}}$ 端子を機能出力端子に設定すると、常に"H"が出力されます。

注 4)　OUTAND、TCAS は、TC01RUN と TC00RUN がともに"0"のときだけ書き替えが可能です。TC01RUN、TC00RUN のいずれか一方が"1"、または両方"1"のときは、OUTAND、TCAS に対してライト命令を実行してもレジスタの値は書き替わりません。ただし TC01RUN、TC00RUN をそれぞれ"0"から"1"に設定するのと同時に OUTAND、TCAS を書き替えることは可能です。

14.2.4 動作モードと使用できるソースクロック

8 ビットタイマの各モードと、使用できるソースクロックの一覧は次の通りです。

表 14-3 動作モードと使用できるソースクロック(NORMAL1/2、IDLE1/2 モード時)

TCK0		000	001	010	011	100	101	110	111	TC0i 端子入力
動作モード		fcgck/2^{11} or fs/2^{4}	fcgck/2^{10} or fs/2^{3}	fcgck/2^{8}	fcgck/2^{6}	fcgck/2^{4}	fcgck/2^{2}	fcgck/2	fcgck	
8 ビットタイマモード	8 ビットタイマ	○	○	○	○	○	○	○	○	−
	8 ビットイベントカウンタ	−	−	−	−	−	−	−	−	○
	8 ビット PWM	○	○	○	○	○	○	○	○	−
	8 ビット PPG	○	○	○	○	○	○	○	○	−
16 ビットタイマモード	16 ビットタイマ	○	○	○	○	○	○	○	○	−
	16 ビットイベントカウンタ	−	−	−	−	−	−	−	−	○
	12 ビット PWM	○	○	○	○	○	○	○	○	○
	16 ビット PPG	○	○	○	○	○	○	○	○	○

注 1) ○:使用可能、−:使用禁止

注 2) 16 ビットモード のソースクロックは TC01 側 (TCK1) にて設定します。

注 3) 低周波クロック fs が発振していない場合には、ソースクロックとして fs を選択しないでください。fs が発振していない状態でソースクロックに fs を選択すると、タイマへのソースクロックが供給されず、タイマは停止したままになります。

注 4) i = 0, 1 (16 ビットモードは i = 0 のみ)

注 5) 8 ビットタイマの各モードと、使用できるソースクロックの一覧は次の通りです。

表 14-4 動作モードと使用できるソースクロック(SLOW1/2、SLEEP1 モード時)

TCK0		000	001	010	011	100	101	110	111	TC0i 端子入力
動作モード		fs/2^{4}	fs/2^{3}	−	−	−	−	−	fs/2^{2}	
8 ビットタイマモード	8 ビットタイマ	○	○	−	−	−	−	−	○	−
	8 ビットイベントカウンタ	−	−	−	−	−	−	−	−	○
	8 ビット PWM	○	○	−	−	−	−	−	○	−
	8 ビット PPG	○	○	−	−	−	−	−	○	−
16 ビットタイマモード	16 ビットタイマ	○	○	−	−	−	−	−	○	−
	16 ビットイベントカウンタ	−	−	−	−	−	−	−	−	○
	12 ビット PWM	○	○	−	−	−	−	−	○	○
	16 ビット PPG	○	○	−	−	−	−	−	○	○

注 1) ○:使用可能、−:使用禁止

注 2) 16 ビットモード のソースクロックは TC01 側 (TCK1) にて設定します。

注 3) i = 0, 1 (16 ビットモードは i = 0 のみ)

14.3　低消費電力機能

タイマカウンタ 00, 01 は、タイマ機能を使用しないとき、低消費電力レジスタ(POFFCR0)によって不要な電力を抑える機能を持っています。

POFFCR0<TC001EN>を"0"に設定すると、タイマカウンタ 00, 01 への基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのときタイマ機能が使用できなくなります。POFFCR0<TC001EN>を"1"に設定すると、タイマカウンタ 00, 01 へ基本クロックが供給(Enable)されタイマ機能が使用可能になります。

リセット後、POFFCR0 <TC001EN>は"0"に初期化されますので、タイマ機能は使用不可の設定となります。よって初めてタイマ機能を使用するときは、プログラムの初期設定(タイマの制御レジスタを操作する前)で必ず POFFCR0 <TC001EN>を"1"に設定してください。

なお、タイマ動作中は POFFCR0<TC001EN>を"0"に変更しないでください。変更した場合タイマカウンタ 00, 01 が予期せぬ動作をする場合があります。

14.4 機能

タイマカウンタ TC00、TC01 は、それぞれ単独で使用する 8 ビットモードと、2 つのタイマをカスケード接続して使用する 16 ビットモードがあります。

8 ビットモードとしては、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットパルス幅変調出力 (PWM) モード、8 ビットプログラマブルパルスジェネレート出力(PPG)モードの 4 つの動作モードがあります。

16 ビットモードとしては、16 ビットタイマモード、16 ビットイベントカウンタモード、12 ビット PWM モード、16 ビット PPG モードの 4 つの動作モードがあります

14.4.1 8 ビットタイマモード

8 ビットタイマモードは、内部クロックでカウントアップするモードです。指定した時間で定期的に割り込みを発生させることができます。下記は TC00 についての説明ですが、TC01 も同様に動作します(TC00 ~を TC01 ~に置き換えてください)。

14.4.1.1 設定

T00MOD<TCM0>を"00"または"01"、T001CR<TCAS>を"0"、さらに T00MOD<EIN0>に"0"を設定すると、TC00 は 8 ビットタイマモードになります。ソースクロックの選択は T00MOD<TCK0>で行います。タイマレジスタ T00REG には、一致検出を行うカウント値を 8 ビット値として設定します。

ダブルバッファを使用する場合には、T00MOD<DBE0>に"1"を設定します。

T001CR<T00RUN>に"1"を設定すると動作を開始します。タイマがスタートすると T00MOD は書き込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

14.4.1.2 動作

T001CR<T00RUN>に"1"を設定すると、選択された内部ソースクロックで 8 ビットのアップカウンタをインクリメントします。アップカウンタの値と T00REG の 設定値が一致すると INTTC00 割り込み要求が発生し、アップカウンタが"0x00"にクリアされます。カウンタクリア後もカウントアップは継続されます。タイマ動作中に T001CR<T00RUN>に"0"を設定すると、カウントアップは停止され、アップカウンタは"0x00"にクリアされます。

14.4.1.3 ダブルバッファ

T00REG は、T00MOD<DBE0>の設定によりダブルバッファを利用することができます。T00MOD<DBE0>に"0"を設定するとダブルバッファが無効に、T00MOD<DBE0>に"1"を設定するとダブルバッファが有効になります。

・ ダブルバッファが有効の場合

タイマ動作中に T00REG に対してライト命令を実行すると、設定値はまずダブルバッファに格納され、T00REG はすぐには更新されません。T00REG は前回の設定値でアップカウンタと比較を行い、値が一致すると INTTC00 割り込み要求が発生し、ダブルバッファの設定値が T00REG に格納されます。以降は新しい設定値で一致検出が行われます。

タイマ停止中に T00REG に対してライト命令を実行すると、設定値はダブルバッファと T00REG の両方にすぐに格納されます。

・ ダブルバッファが無効の場合

タイマ動作中に T00REG に対してライト命令を実行すると、設定値はすぐに T00REG に格納され、以降は新しい設定値で一致検出が行われます。

このとき T00REG に設定した値がアップカウンタの値より小さかった場合、アップカウンタが一度オーバフローした後、新しい設定値で一致検出が行われるため、割り込み要求の間隔が設定した時間よりも長くなる場合があります。また、T00REG に設定した値がアップカウンタの値と同じだった場合、T00REG をライトした直後に一致検出が行われるため、割り込み要求の間隔がソースクロックの整数倍にならない場合があります(図 14-3)。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマ停止中に T00REG に対してライト命令を実行すると、設定値はすぐに T00REG に格納されます。

T00REG に対してリード命令を実行すると、T00MOD<DBE0>の設定に関わらず、T00REG に最後に書き込んだ値が読み出されます。

表 14-5 8 ビットタイマモードの分解能、最大設定時間

T00MOD <TCK0>	ソースクロック [Hz]			分解能		最大設定時間	
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード	fcgck=10MHz	fs=32.768kHz	fcgck=10MHz	fs=32.768kHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
000	$fcgck/2^{11}$	$fs/2^4$	$fs/2^4$	204.8μs	488.2μs	52.2ms	124.5ms
001	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$	102.4μs	244.1μs	26.1ms	62.3ms
010	$fcgck/2^8$	$fcgck/2^8$	-	25.6μs	-	6.5ms	-
011	$fcgck/2^6$	$fcgck/2^6$	-	6.4μs	-	1.6ms	-
100	$fcgck/2^4$	$fcgck/2^4$	-	1.6μs	-	408μs	-
101	$fcgck/2^2$	$fcgck/2^2$	-	400ns	-	102μs	-
110	fcgck/2	fcgck/2	-	200ns	-	51μs	-
111	fcgck	fcgck	$fs/2^2$	100ns	122.1μs	25.5μs	31.1ms

(プログラム例)　TC00 を 8 ビットタイマモード、動作クロック $fcgck/2^2$[Hz]で動作させ、64μs ごとに割り込みを発生させる(fcgck=10MHz 時)。

```
LD     (POFFCR0),0x10    ; TC001EN を 1 にセット
DI                       ; 割り込みマスタ許可フラグを禁止に設定
SET    (EIRH).4          ; INTTC00 割り込み許可レジスタを 1 にセット
EI                       ; 割り込みマスタ許可フラグを許可に設定
LD     (T00MOD),0xE8     ; 8 ビットタイマモード、fcgck/2² に設定
LD     (T00REG),0xA0     ; タイマレジスタの設定(64μs / (2²/fcgck) = 0xA0)
SET    (T001CR).0        ; TC00 スタート
```

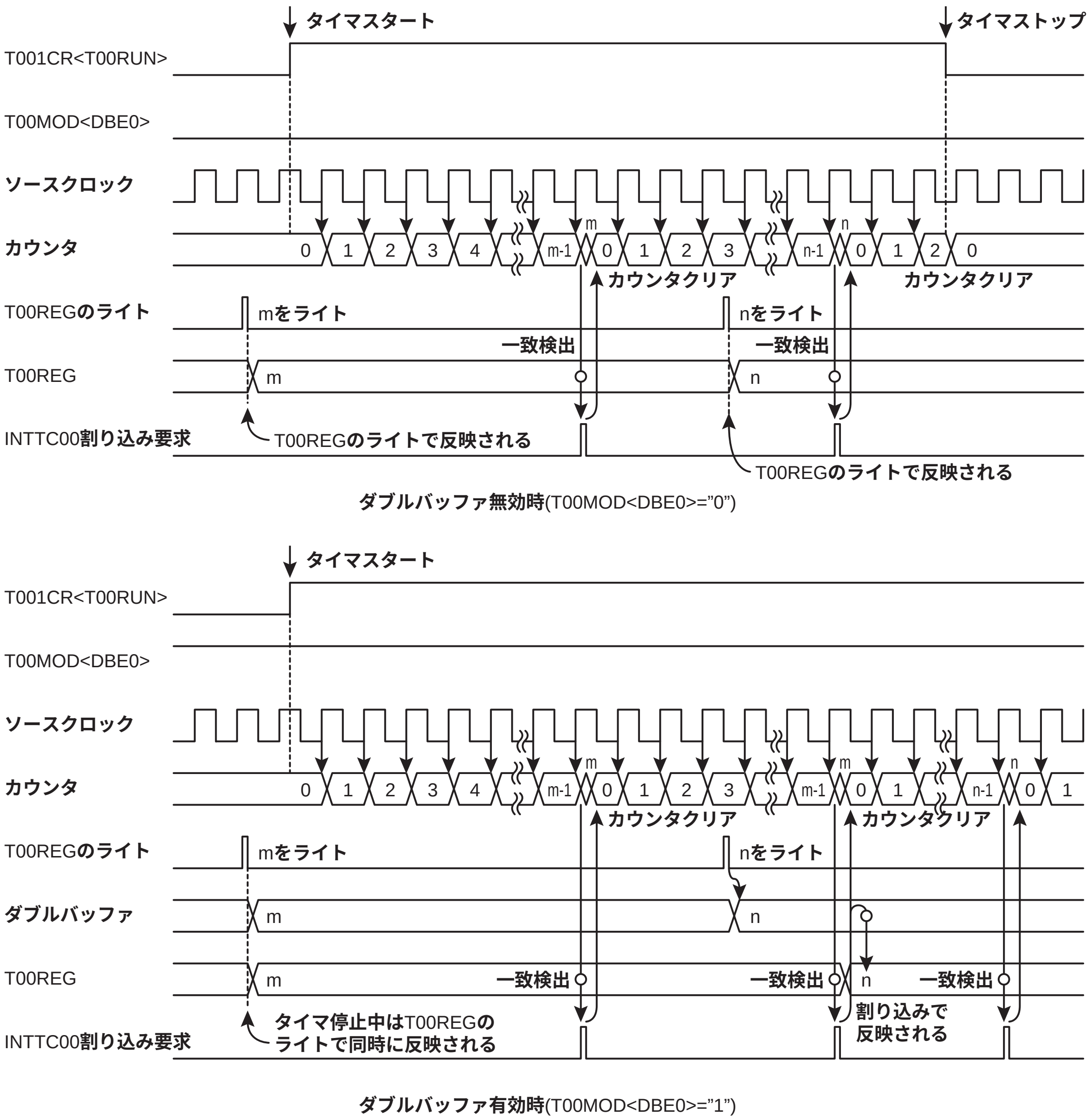


図 14-2 タイマモードタイミングチャート

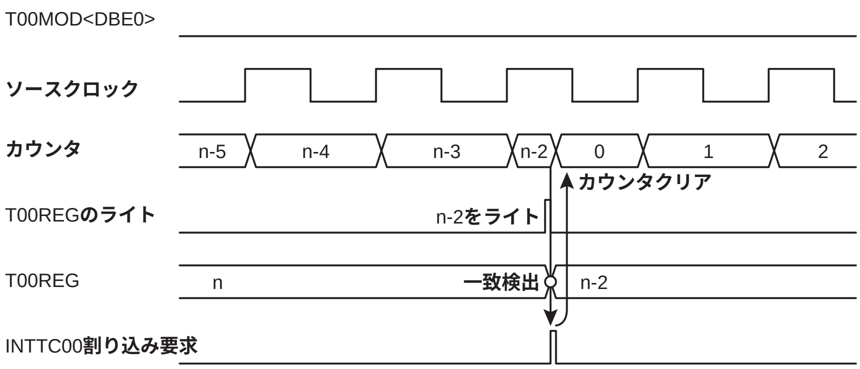


図 14-3 T00REG とアップカウンタが同値のときの動作

14.4.2　8 ビットイベントカウンタモード

8 ビットイベントカウンタモードは、TC00 端子または TC01 端子入力の立ち下がりエッジでカウントアップするモードです。下記は、TC00 についての説明ですが、TC01 も同様に動作します。

14.4.2.1　設定

T00MOD<TCM0>を"00"、T001CR<TCAS>に"0"をセットし、さらに T00MOD<EIN0>に"1"を設定すると、TC00 は 8 ビットイベントカウンタモードになります。タイマレジスタ T00REG には、一致検出を行うカウント値を 8 ビット値として設定します。

ダブルバッファを使用する場合には、T00MOD<DBE0>に"1"を設定します。

T001CR<T00RUN> を"1" に設定すると動作を開始します。タイマがスタートすると T00MOD は書き込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

14.4.2.2　動作

T001CR<T00RUN>に"1"を設定すると、TC00 端子の立下りエッジで 8 ビットのアップカウンタをインクリメントします。アップカウンタの値と T00REG の 設定値が一致すると INTTC00 割り込み要求が発生し、アップカウンタが"0x00"にクリアされます。カウンタクリア後もカウントアップは継続されます。タイマ動作中に T001CR<T00RUN>に"0"を設定すると、カウントアップは停止され、アップカウンタは"0x00"にクリアされます。

なお、最大印加周波数は fcgck/2^2 [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、fs/2^4 [Hz] (SLOW1/2, SLEEP1 モード時) で、 "H", "L"レベルともに 2 マシンサイクル以上のパルス幅が必要です。

14.4.2.3　ダブルバッファ

「14.4.1.3 ダブルバッファ」を参照してください。

(プログラム例)　TC00 を 8 ビットイベントカウンタモードで動作させ、TC00 端子で 16 回立ち下がりエッジを検出するごとに割り込みを発生させる。

```
LD      (POFFCR0),0x10      ; TC001EN を 1 にセット
DI                          ; 割り込みマスタ許可フラグを禁止に設定
SET     (EIRH).4            ; INTTC00 割り込み許可レジスタを 1 にセット
EI                          ; 割り込みマスタ許可フラグを許可に設定
LD      (T00MOD),0xC4       ; 8 ビットイベントカウンタモードに設定
LD      (T00REG),0x10       ; タイマレジスタの設定
SET     (T001CR).0          ; TC00 スタート
```

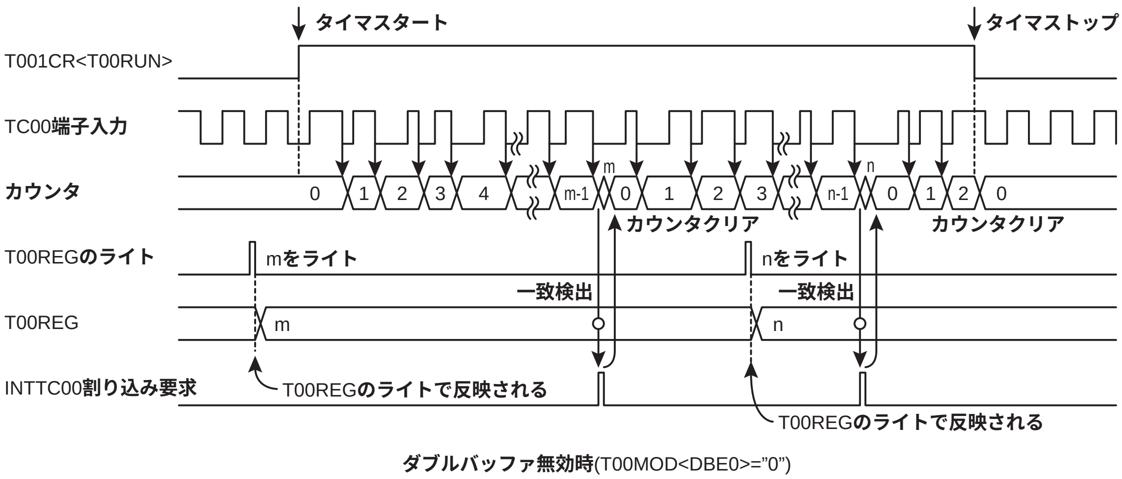


図 14-4 イベントカウンタモードタイミングチャート

14.4.3　8 ビットパルス幅変調 (PWM) 出力モード

8 ビット PWM モードは、7 ビット分解能の PWM パルスを出力するモードです。分解能は 7 ビットですが、2×n 回目のデューティパルスに付加パルスを追加することができますので、8 ビット相当の分解能で PWM 出力を行うことができます。(n = 1,2,3...)

下記は、TC00 についての説明ですが、TC01 も同様に動作します。

14.4.3.1　設定

T00MOD<TCM0>を"10"、T001CR<TCAS>に"0"を設定すると、TC00 は 8 ビット PWM モードになります。T00MOD<EIN0>に"0"を設定し、T00MOD<TCK0>でクロックを選択します。PWM レジスタ T00PWM には、一致検出を行うカウント値と付加パルスの値を設定します。

ダブルバッファを使用する場合には、T00MOD<DBE0>に"1"を設定します。

T001CR<T00RUN> を"1" に設定すると動作を開始します。タイマがスタートすると T00MOD は書き込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

なお、T00PWM レジスタは 8 ビット PWM モードのとき、次のように構成されます。

タイマレジスタ 00

T00PWM (0x0028)	7	6	5	4	3	2	1	0
Bit Symbol	PWMDUTY							PWMAD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	1	1	1	1	1	1	1	1

タイマレジスタ 01

T01PWM (0x0029)	7	6	5	4	3	2	1	0
Bit Symbol	PWMDUTY							PWMAD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	1	1	1	1	1	1	1	1

PWMDUTY は、7 ビットのレジスタで、1 周期(ソースクロックの 128 カウント長)に対するデューティパルス幅の値(最初に出力が変化するまでの時間)を設定します。

PWMAD は、付加パルスの設定を行うレジスタです。PWMAD が"1"の場合、2×n 回目のデューティパルスに、ソースクロック 1 カウント分の付加パルスが追加されます(n = 1, 2, 3...)。つまり 2×n 回目は PWMDUTY + 1 のデューティパルスが出力されます。

PWMAD が"0"の場合、付加パルスは追加されません。

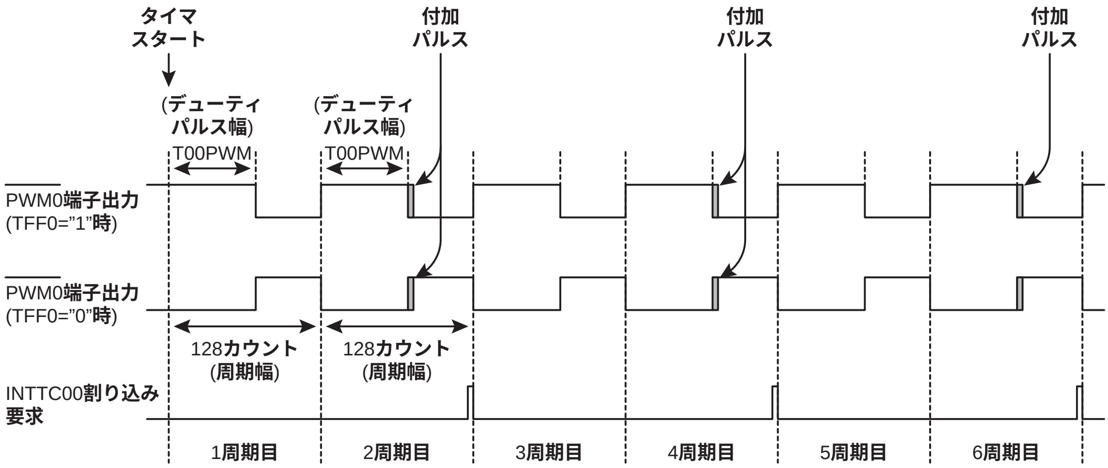


図 14-5 $\overline{\mathrm{PWM0}}$ パルス出力

$\overline{\mathrm{PWM0}}$ 端子の初期状態は T00MOD<TFF0>にて設定します。T00MOD<TFF0>に"0"を設定すると $\overline{\mathrm{PWM0}}$ 端子の初期状態は"L"レベルとなり、T00MOD<TFF0>に"1"を設定すると $\overline{\mathrm{PWM0}}$ 端子の初期状態は"H"レベルとなります。タイマ動作停止中にポートの設定で $\overline{\mathrm{PWM0}}$ 端子を機能出力に設定すると、T00MOD<TFF0>の値が $\overline{\mathrm{PWM0}}$ 端子に出力されます。表 14-6 に $\overline{\mathrm{PWM0}}$ 端子の出力レベル一覧を示します。

表 14-6 $\overline{\mathrm{PWM0}}$ 端子出力レベル一覧

TFF0	$\overline{\mathrm{PWM0}}$ 端子出力レベル			
	動作開始前 (初期状態)	T00PWM <PWMDUTY> 一致時 (付加パルス後)	オーバーフロー時	動作停止時 (初期状態)
0	L	H	L	L
1	H	L	H	H

また、T001CR<OUTAND>ビットに"1"を設定すると、TC00 と TC01 の出力の論理積パルスを $\overline{\mathrm{PWM0}}$ 端子から出力することができます。この機能を使用すると、リモコン波形などを容易に作成することができます。

14.4.3.2 動作

T001CR<T00RUN>に"1"を設定すると、指定されたソースクロックでアップカウンタをインクリメントします。アップカウンタの下位 7 ビットの値と T00PWM<PWMDUTY>の設定値が一致すると $\overline{\mathrm{PWM0}}$ 端子の出力が反転します。T00MOD<TFF0>が"0"の場合 $\overline{\mathrm{PWM0}}$ 端子は"L"から"H"レベルに、T00MOD<TFF0>が"1"の場合 $\overline{\mathrm{PWM0}}$ 端子は"H"から"L"レベルに変化します。

ただし T00PWM<PWMAD>が"1"の場合、2×n 回目の一致検出時は、ソースクロック 1 カウント分の付加パルスが追加されます(n = 1, 2, 3...)。つまり $\overline{\mathrm{PWM0}}$ 端子は、T00PWM <PWMDUTY> + 1 のタイミングでの出力が反転します。T00MOD<TFF0>が"0"の場合"L"レベルが T00<PWMDUTY> の設定値よりも 1 ソースクロック分長くなり、T00MOD<TFF0>が"1"の場合"H"レベルが T00PWM<PWMDUTY>の設定値よりも 1 ソースクロック分長くなります。この機能によって 2 周期分の出力パルスは 8 ビット相当の分解能で扱うことができます。

T00PWM<PWMAD>が"0"の場合、付加パルスは追加されません。

その後もカウントアップを継続し、アップカウンタの値が 128 になるとオーバフローが発生し、アップカウンタは"0x00"にクリアされます。同時に $\overline{\mathrm{PWM0}}$ 端子の出力が反転します。T00MOD<TFF0>が"0"の場合 $\overline{\mathrm{PWM0}}$ 端子は"H"から"L"レベルに、T00MOD<TFF0>が"1"の場合

$\overline{\text{PWM0}}$ 端子は"L"から"H"レベルに変化します。このときオーバフローの発生が 2×n 回目だった場合、INTTC00 割り込み要求が発生します(2×n−1 回目のオーバフローのときは発生しません)。その後もカウントアップは継続されます。

　タイマ動作中に T001CR<T00RUN>に"0"を設定するとカウントアップは停止され、アップカウンタは"0x00"にクリアされます。また、$\overline{\text{PWM0}}$ 端子のレベルは、T00MOD<TFF0>で設定したレベルに戻ります。

(プログラム例)　　TC00 を 8 ビット PWM モード、動作クロック fcgck/2 で動作させ、周期 25.6μs で 11.6μs 相当のデューティパルスを出力。(fcgck=10MHz 時)
(実際は 2 周期(51.2μs)でトータル 23.2μs のデューティパルスを出力)

```
SET     (P7FC).0            ; P7FC0 を 1 にセット
SET     (P7CR).0            ; P7CR0 を 1 にセット
LD      (POFFCR0),0x10      ; TC001EN を 1 にセット
DI                          ; 割り込みマスタ許可フラグを禁止に設定
SET     (EIRH).4            ; INTTC00 割り込み許可レジスタを 1 にセット
EI                          ; 割り込みマスタ許可フラグを許可に設定
LD      (T00MOD),0xF2       ; 8 ビット PWM モード、fcgck/2 に設定
LD      (T00PWM),0x74       ; タイマレジスタ(デューティパルス)の設定
                            ; (11.6μs x 2) / (2/fcgck) = 0x74
SET     (T001CR).0          ; TC00 スタート
```

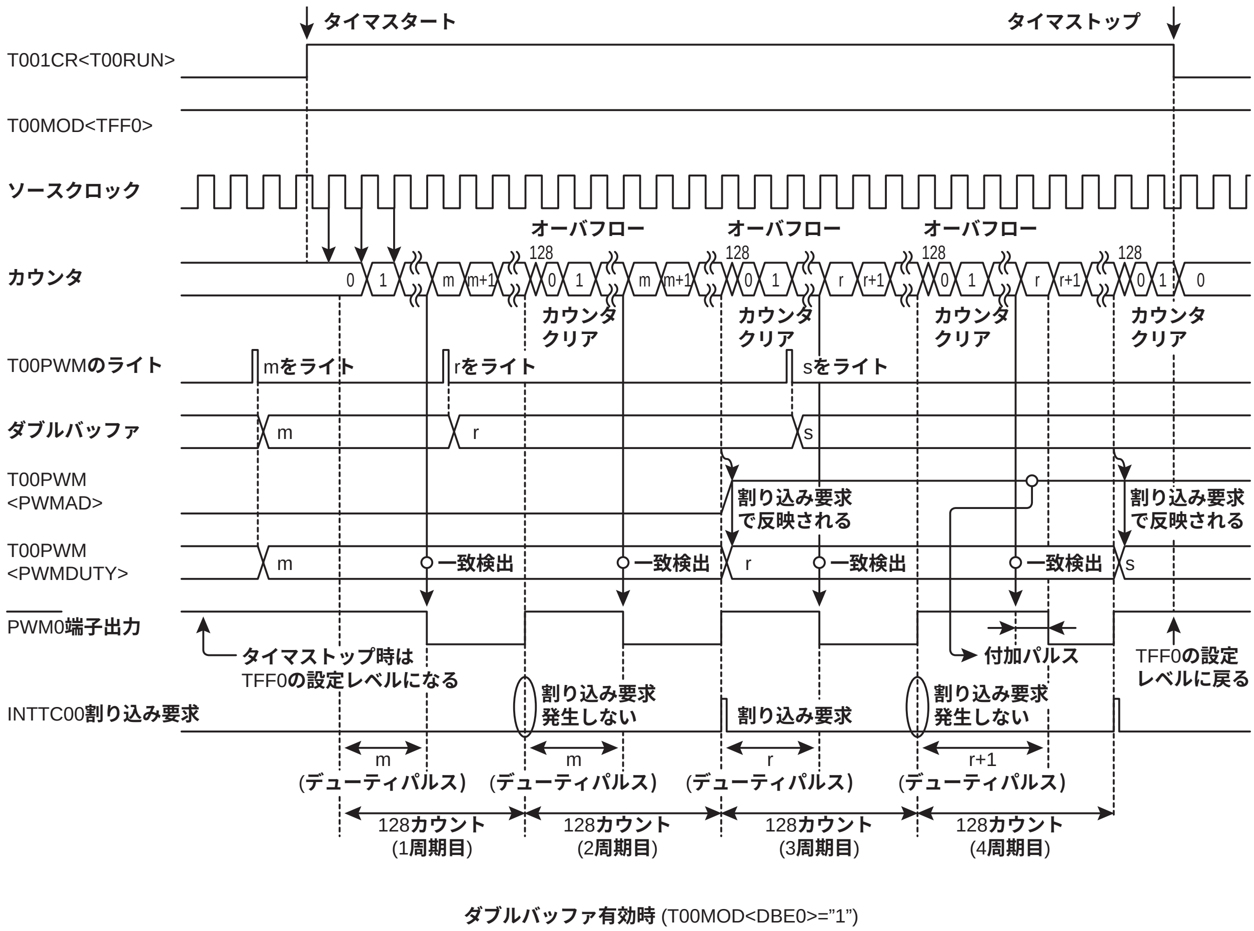


図 14-6 8 ビット PWM モードタイミングチャート

14.4.3.3 ダブルバッファ

T00PWM は、T00MOD<DBE0>の設定によりダブルバッファを利用することができます。T00MOD<DBE0>に"0"を設定すると、ダブルバッファが無効に、T00MOD<DBE0>に"1"を設定すると、ダブルバッファが有効になります。

- ダブルバッファが有効の場合

  タイマ動作中に T00PWM に対してライト命令を実行すると、設定値はまずダブルバッファに格納され、T00PWM はすぐには更新されません。T00PWM は前回の設定値でアップカウンタと比較を行い、2×n 回目のオーバフローが発生したとき INTTC00 割り込み要求が発生し、ダブルバッファの設定値が T00PWM に格納されます。以降は新しい設定値で一致検出が行われます。

  なお、T00PWM に対してリード命令を実行すると、T00PWM の値(現在の有効値)では無く、ダブルバッファの値(最後に設定した値)が読み出されます。

  タイマ停止中に T00PWM に対してライト命令を実行すると、設定値はダブルバッファと T00PWM の両方にすぐに格納されます。

- ダブルバッファが無効の場合

  タイマ動作中に T00PWM に対してライト命令を実行すると、設定値はすぐに T00PWM に格納され、以降は新しい設定値で一致検出が行われます。このとき T00PWM に設定した値がアップカウンタの値より小さかった場合、$\overline{\text{PWM0}}$ 端子はアップカウンタが一度オーバフローした後、新しい設定値で一致検出が行われるまで反転されません。また、T00PWM に設定した値がアップカウンタの値と同じだった場合、T00PWM をライトした直後に一致検出が行われるため、$\overline{\text{PWM0}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります(図 14-7)。同様に付加パルスの出力中に

T00PWM を設定すると、$\overline{\text{PWM0}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

　タイマ停止中に T00PWM に対してライト命令を実行すると、設定値はすぐに T00PWM に格納されます。

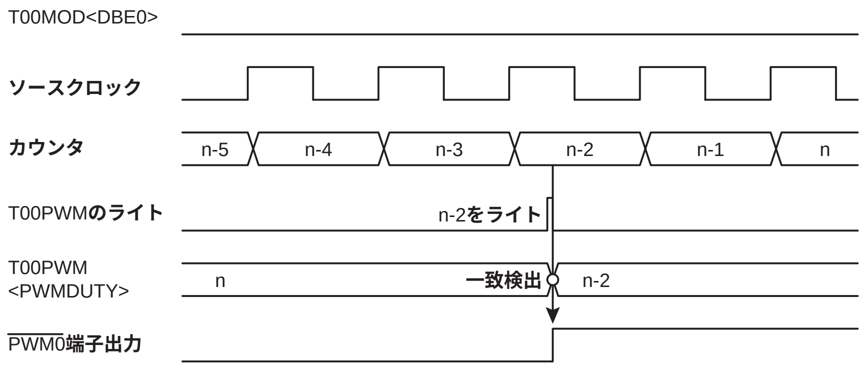


図 14-7 T00PWM とアップカウンタが同値のときの動作

表 14-7 8 ビット PWM モードの分解能、周期

T00MOD <TCK0>	ソースクロック [Hz]			分解能		7 ビット周期 (周期×2)	
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード	fcgck=10MHz	fs=32.768kHz	fcgck=10MHz	fs=32.768kHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
000	fcgck/2^{11}	fs/2^{4}	fs/2^{4}	204.8μs	488.2μs	26.2ms (52.4ms)	62.5ms (125ms)
001	fcgck/2^{10}	fs/2^{3}	fs/2^{3}	102.4μs	244.1μs	13.1ms (26.2ms)	31.3ms (62.5ms)
010	fcgck/2^{8}	fcgck/2^{8}	-	25.6μs	-	3.3ms (6.6ms)	-
011	fcgck/2^{6}	fcgck/2^{6}	-	6.4μs	-	819.2μs (1638.4μs)	-
100	fcgck/2^{4}	fcgck/2^{4}	-	1.6μs	-	204.8μs (409.6μs)	-
101	fcgck/2^{2}	fcgck/2^{2}	-	400ns	-	51.2μs (102.4μs)	-
110	fcgck/2	fcgck/2	-	200ns	-	25.6μs (51.2μs)	-
111	fcgck	fcgck	fs/2^{2}	100ns	122.1μs	12.8μs (25.6μs)	15.6ms (31.3ms)

14.4.4 8 ビットプログラマブルパルス出力(PPG)モード

8 ビット PPG モードは、T00REG、T00PWM レジスタを使用して、任意のデューティ/周期を持つパルスを出力するモードです。

T001CR<OUTAND>レジスタの設定により、TC00 と TC01 の出力の論理積パルスを TC01 端子に出力することができます。この機能を使用すると、リモコン波形などを容易に作成することができます。

下記は、TC00 についての説明ですが、TC01 も同様に動作します。

14.4.4.1 設定

T00MOD<TCM0>を"10"、T001CR<TCAS>に"0"を設定すると、TC00 は 8 ビット PPG モードになります。T00MOD<EIN0>に"0"を設定し、T00MOD<TCK0>でクロックを選択します。T00PWM にはデューティパルス幅、T00REG には周期幅を設定します。

ダブルバッファを使用する場合には、T00MOD<DBE0>に"1"を設定します。

T001CR<T00RUN> を"1" に設定すると動作を開始します。タイマがスタートすると T00MOD は書き込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください。

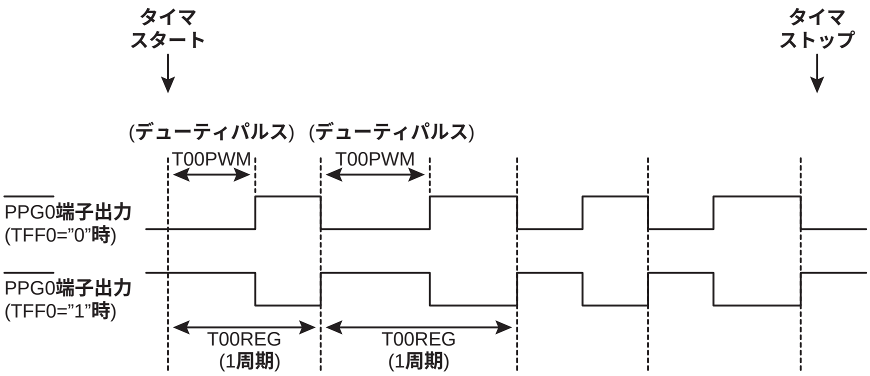


図 14-8 $\overline{\text{PPG0}}$ パルス出力

$\overline{\text{PPG0}}$ 端子の初期状態は T00MOD<TFF0>にて設定します。T00MOD<TFF0>に"0"を設定すると $\overline{\text{PPG0}}$ 端子の初期状態は"L"レベルとなり、T00MOD<TFF0>に"1"を設定すると $\overline{\text{PPG0}}$ 端子の初期状態は"H"になります。タイマ動作停止中にポートの設定で $\overline{\text{PPG0}}$ 端子を機能出力に設定すると、T00MOD<TFF0>の値が $\overline{\text{PPG0}}$ 端子に出力されます。表 14-8 に $\overline{\text{PPG0}}$ 端子の出力レベル一覧を示します。

表 14-8 $\overline{\text{PPG0}}$ 端子出力レベル一覧

TFF0	$\overline{\text{PPG0}}$ 端子出力レベル			
	動作開始前 (初期状態)	T00PWM 一致時	T00REG 一致時	動作停止時 (初期状態)
0	L	H	L	L
1	H	L	H	H

また、T001CR<OUTAND>ビットに"1"を設定すると、TC00 と TC01 の出力の論理積パルスを $\overline{\text{PPG0}}$ 端子から出力することができます。

14.4.4.2　動作

T001CR<T00RUN>に"1"を設定すると、指定されたソースクロックでアップカウンタをインクリメントします。内部アップカウンタ値と T00PWM の設定値が一致すると、$\overline{\text{PPG0}}$ 端子の出力が反転します。T00MOD<TFF0>が"0"の場合、$\overline{\text{PPG0}}$ 端子は"L"から"H"レベルに、T00MOD<TFF0>が"1"の場合は $\overline{\text{PPG0}}$ 端子は"H"から"L"レベルに変化します。

その後もカウントアップを継続し、アップカウンタの値が T00REG と一致すると、再度 $\overline{\text{PPG0}}$ 端子の出力が反転します。T00MOD<TFF0>が"0"の場合、$\overline{\text{PPG0}}$ 端子は"H"から"L"レベルに、T00MOD<TFF0>が"1"の場合は $\overline{\text{PPG0}}$ 端子は"L"から"H"レベルになります。このとき INTTC00 割り込み要求が発生します。

動作中に T001CR<T00RUN>を"0"に設定するとカウントアップは停止され、アップカウンタを"0x00"にクリアされます。また、$\overline{\text{PPG0}}$ 端子のレベルは、T00MOD<TFF0>で設定したレベルに戻ります。

14.4.4.3　ダブルバッファ

T00PWM および T00REG は、T00MOD<DBE0> の設定によりダブルバッファを利用することができます。T00MOD<DBE0> を"0" に設定すると、ダブルバッファが無効に、T00MOD　<DBE0> を"1" に設定すると、ダブルバッファが有効になります。

・ ダブルバッファが有効の場合

　タイマ動作中に T00PWM(T00REG)に対してライト命令を実行すると、設定値はまずダブルバッファに格納され、T00PWM(T00REG)はすぐには更新されません。T00PWM (T00REG)は前回の設定値でアップカウンタと比較を行い、INTTC00 割り込み要求が発生したとき、ダブルバッファの設定値が T00PWM(T00REG)に格納されます。以降は新しい設定値で一致検出が行われます。

　なお、T00PWM(T00REG)に対してリード命令を実行すると、T00PWM(T00REG)の値(現在の有効値)では無く、ダブルバッファの値(最後に設定した値)が読み出されます。

　タイマ停止中に T00PWM(T00REG)に対してライト命令を実行すると、設定値はダブルバッファと T00PWM(T00REG)の両方にすぐに格納されます。

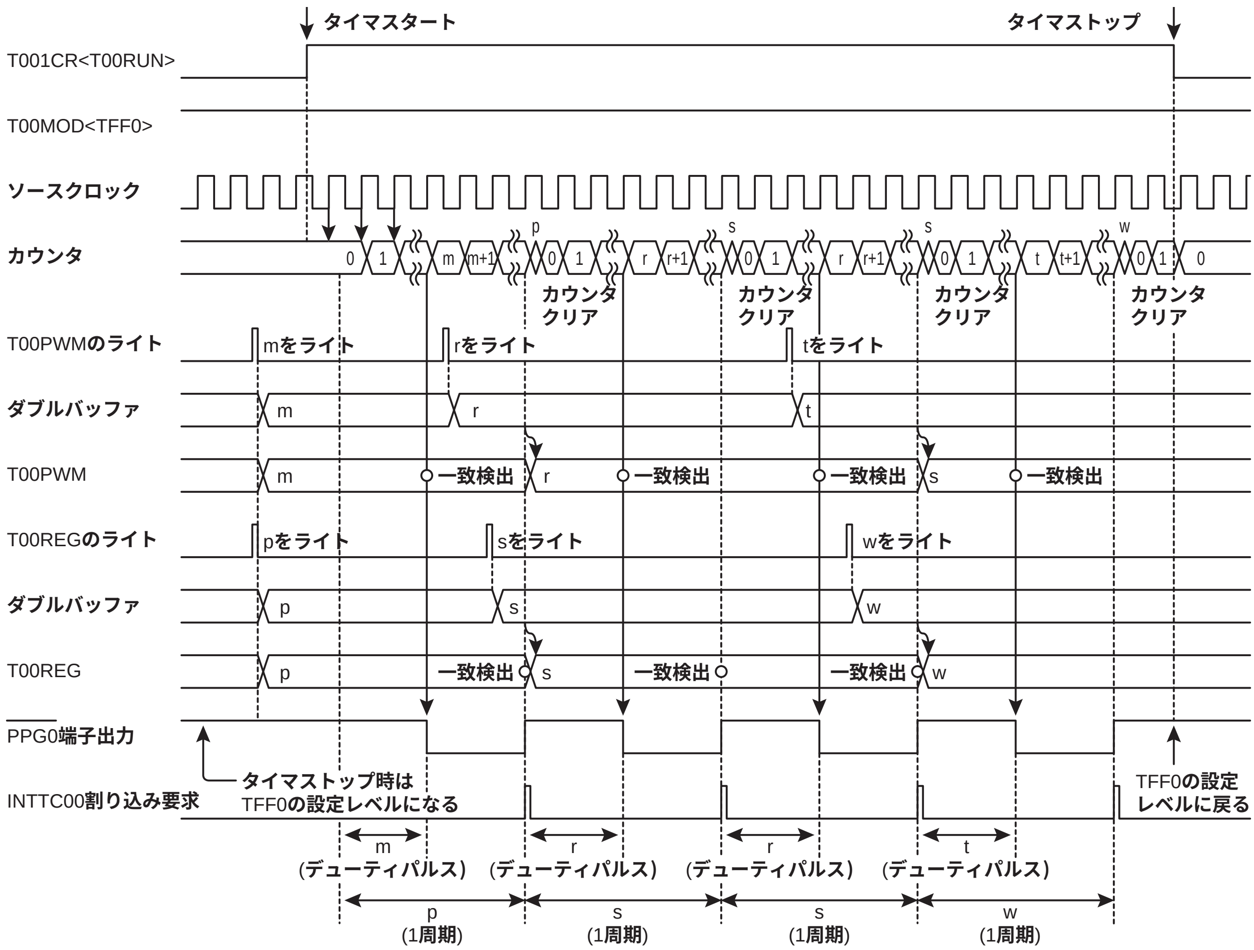
・ ダブルバッファが無効の場合

　タイマ動作中に T00PWM(T00REG)に対してライト命令を実行すると、設定値はすぐに T00PWM(T00REG)に格納され、以降は新しい設定値で一致検出が行われます。このとき T00PWM(T00REG) に設定した値がアップカウンタの値より小さかった場合、$\overline{\text{PPG0}}$ 端子はアップカウンタが一度オーバフローした後、新しい設定値で一致検出が行われるまで反転されません。また、T00PWM(T00REG)に設定した値がアップカウンタの値と同じだった場合、T00PWM(T00REG)をライトした直後に一致検出が行われるため、$\overline{\text{PPG0}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります(図 14-10)。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

　タイマ停止中に T00PWM(T00REG)に対してライト命令を実行すると、設定値はすぐに T00PWM(T00REG)に格納されます。

(プログラム例)　TC00 を 8 ビット PPG モード、動作クロック fcgck/2 で動作させ、周期 32μs で 8μs のデューティパルスを出力。(fcgck=10MHz 時)

```
SET     (P7FC).0            ; P7FC0 を 1 にセット
SET     (P7CR).0            ; P7CR0 を 1 にセット
LD      (POFFCR0),0x10      ; TC001EN を 1 にセット
DI                          ; 割り込みマスタ許可フラグを禁止に設定
SET     (EIRH).4            ; INTTC00 割り込み許可レジスタを 1 にセット
EI                          ; 割り込みマスタ許可フラグを許可に設定
LD      (T00MOD),0xF3       ; 8 ビット PPG モード、fcgck/2 に設定
LD      (T00REG),0xA0       ; タイマレジスタ(周期)の設定
                            ; 32μs / (2/fcgck) = 0xA0
LD      (T00PWM),0x28       ; タイマレジスタ(デューティパルス)の設定
                            ; 8μs / (2/fcgck) = 0x28
SET     (T001CR).0          ; TC00 スタート
```



ダブルバッファ有効時 (T00MOD<DBE0>="1")

図 14-9 8 ビット PPG モードタイミングチャート

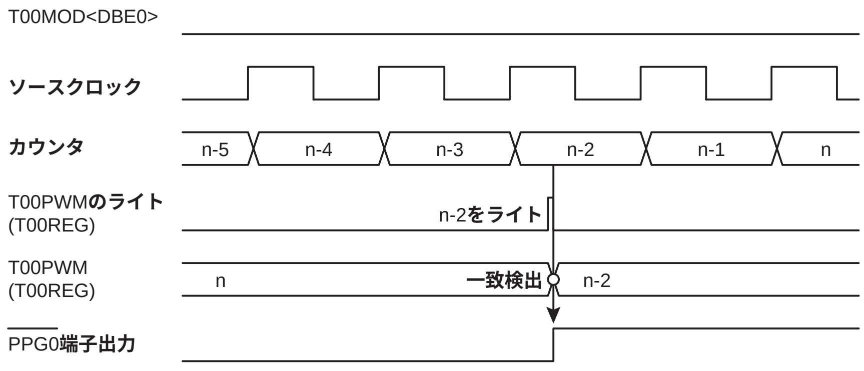


図 14-10 T00PWM(T00REG)とアップカウンタが同値のときの動作

14.4.5 16 ビットタイマモード

16 ビットタイマモードは、TC00 と TC01 をカスケード接続し、16 ビットのタイマカウンタとして使用するモードです。8 ビットタイマより長い時間を計測することができます。

14.4.5.1 設定

T001CR<TCAS>に"1"を設定すると、TC00 と TC01 が接続され、16 ビットモードになります。16 ビットモードでは、TC00 側の設定はすべて無視され、TC01 側の設定が有効となります。

T01MOD<TCM1>を"00"または"01"、T01MOD<EIN1>に"0"を設定すると、16 ビットタイマモードになります。ソースクロックの選択は T01MOD<TCK1>で行います。

タイマレジスタ T00REG および T01REG には、一致検出を行うカウント値を 16 ビット値で設定します。16 ビットの設定値のうち、下位 8 ビットは T00REG に、上位 8 ビットは T01REG に設定します(以降 T01REG と T00REG を合わせて 16 ビットで表したものを T01+00REG と表記します)。タイマレジスタの設定は T01REG に対してライト命令を実行したときに、ダブルバッファ、または T01+00REG に反映されますので、必ず T00REG、T01REG の順にライト命令を実行してください。(上位レジスタの書き込みで、下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。

ダブルバッファを使用する場合には、T01MOD<DBE1>に"1"を設定します。

T001CR<T01RUN> を"1" に設定すると動作を開始します。タイマがスタートすると T01MOD は書き込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください(T001CR<T00RUN>および<T01RUN>が"0"のときに行ってください)。

14.4.5.2 動作

T001CR<T01RUN>に"1"を設定すると、選択された内部ソースクロックでアップカウンタ(16 ビット)をインクリメントします。アップカウンタの値と T01+00REG の設定値が一致すると INTTC01 割り込み要求が発生し、アップカウンタが"0x0000"にされます。カウンタクリア後もカウントアップは継続されます。タイマ動作中に T001CR<T01RUN>に"0"を設定すると、カウントアップは停止され、アップカウンタは"0x0000"にクリアされます。

14.4.5.3 ダブルバッファ

T01+00REG は、T01MOD<DBE1>の設定によりダブルバッファを利用することができます。T01MOD<DBE1>に"0"をするとダブルバッファが無効に、T01MOD<DBE1>に"1"を設定するとダブルバッファが有効になります。

・ ダブルバッファが有効の場合

タイマ動作中に T00REG、T01REG の順にライト命令を実行すると、設定値はまずダブルバッファに格納され、T01+00REG はすぐには更新されません。T01+00REG は前回の設定値でアップカウンタと比較を行い、値が一致すると INTTC01 割り込み要求が発生し、ダブルバッファの設定値が T01+00REG に格納されます。以降は新しい設定値で一致検出が行われます。

タイマ停止中に T00REG、T01REG の順にライト命令を実行すると、設定値はダブルバッファと T01+00REG の両方にすぐに格納されます。

・ ダブルバッファが無効の場合

タイマが動作中に T00REG、T01REG の順にライト命令を実行すると、設定値はすぐに T01+00REG に格納され、以降は新しい設定値で一致検出が行われます。

このとき T01+00REG に設定した値がアップカウンタの値より小さかった場合、アップカウンタが一度オーバフローした後、新しい設定値で一致検出が行われるため、割り

込み要求の間隔が設定した時間よりも長くなる場合があります。また、T01+00REG に設定した値がアップカウンタの値と同じだった場合、T01+00REG をライトした直後に一致検出が行われるため、割り込み要求の間隔がソースクロックの整数倍にならない場合があります。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマ停止中に T00REG、T01REG の順にライト命令を実行すると、設定値はすぐに T01+00REG に格納されます。

T01+00REG に対してリード命令を実行すると、T00MOD<DBE1>の設定にかかわらず、T01+00REG に最後に書き込んだ値が読み出されます。

(プログラム例)　TC00, TC01 を 16 ビットタイマモード、動作クロック fcgck/2[Hz]で動作させ、96μs ごとに割り込みを発生させる(fcgck=10MHz 時)。

```
LD      (POFFCR0),0x10      ; TC001EN を 1 にセット
DI                          ; 割り込みマスタ許可フラグを禁止に設定
SET     (EIRH).4            ; INTTC00 割り込み許可レジスタを 1 にセット
EI                          ; 割り込みマスタ許可フラグを許可に設定
LD      (T01MOD),0xF0       ; 16 ビットタイマモード、fcgck/2 に設定
LD      (T00REG),0xE0       ; タイマレジスタの設定(96μs / (2/fcgck) = 0x1E0)
LD      (T01REG),0x01       ; タイマレジスタの設定
LD      (T001CR),0x06       ; TC00, TC01 スタート(16 ビットモード)
```

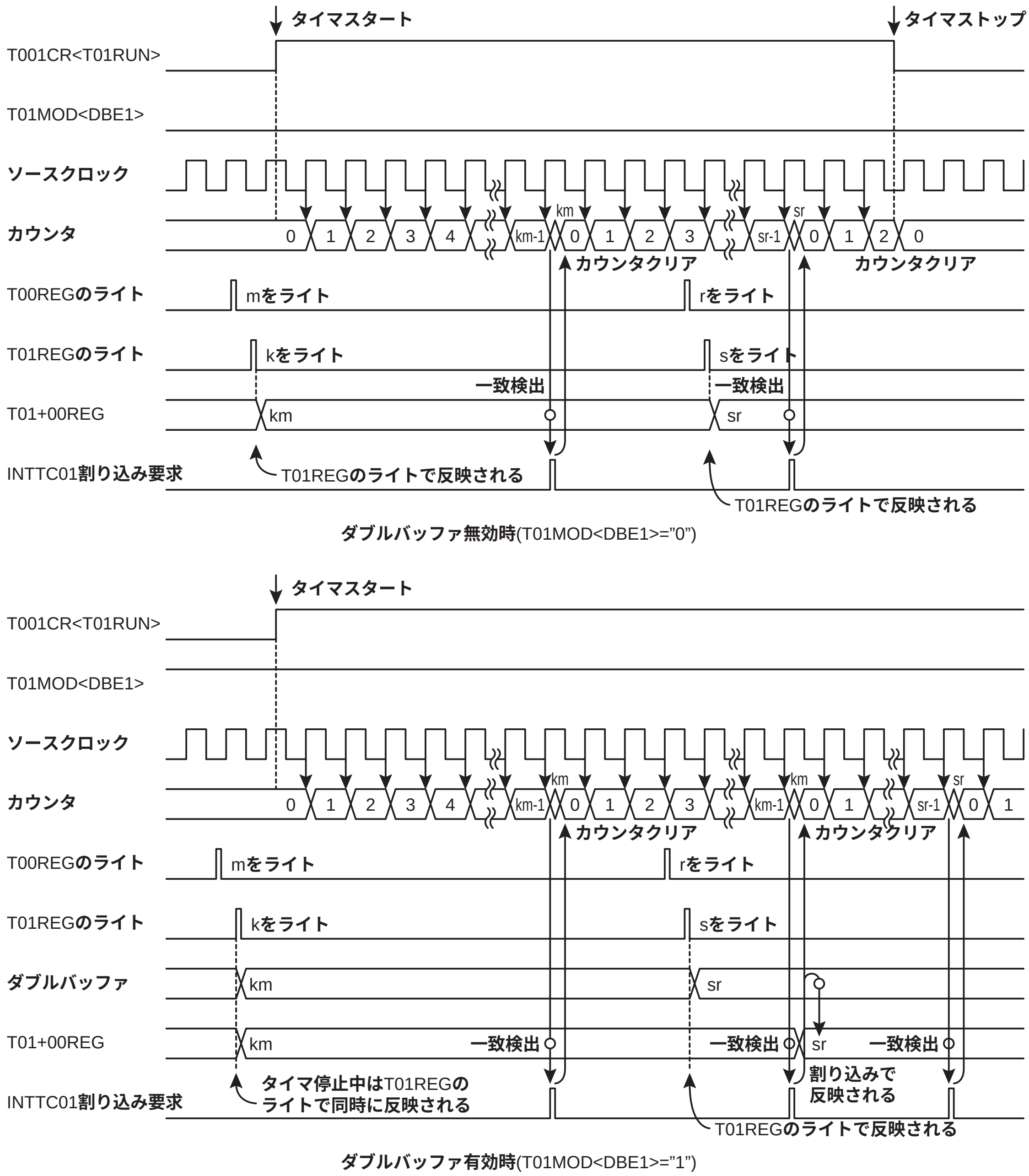


図 14-11 16 ビットタイマカウンタタイミングチャート

表 14-9 16 ビットタイマモードの分解能、最大設定時間

T01MOD <TCK1>	ソースクロック [Hz]			分解能		最大設定時間	
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード	fcgck=10MHz	fs=32.768kHz	fcgck=10MHz	fs=32.768kHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
000	$fcgck/2^{11}$	$fs/2^4$	$fs/2^4$	204.8μs	488.2μs	13.4s	32s
001	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$	102.4μs	244.1μs	6.7s	16s
010	$fcgck/2^8$	$fcgck/2^8$	-	25.6μs	-	1.7s	-
011	$fcgck/2^6$	$fcgck/2^6$	-	6.4μs	-	419.4ms	-
100	$fcgck/2^4$	$fcgck/2^4$	-	1.6μs	-	104.9ms	-
101	$fcgck/2^2$	$fcgck/2^2$	-	400ns	-	26.2ms	-
110	fcgck/2	fcgck/2	-	200ns	-	13.1ms	-
111	fcgck	fcgck	$fs/2^2$	100ns	122.1μs	6.6ms	8s

14.4.6 16 ビットイベントカウンタモード

16 ビットイベントカウンタモードは、TC00 端子入力の立ち下がりエッジでカウントアップするモードです。TC00 と TC01 をカスケード接続し、16 ビットのタイマカウンタとして使用するため、8 ビットタイマより長い時間を計測することができます。

14.4.6.1 設定

T001CR<TCAS>に"1"を設定すると、TC00 と TC01 が接続され、16 ビットモードになります。16 ビットモードでは、TC00 側の設定はすべて無視され、TC01 側の設定が有効となります。

T01MOD<TCM1>に"00"または"01"を設定して、さらに T01MOD<EIN0>に"1"を設定すると、16 ビットタイマモードになります。

タイマレジスタ T00REG および T01REG には、一致検出を行うカウント値を 16 ビット値で設定します。16 ビットの設定値のうち、下位 8 ビットは T00REG に、上位 8 ビットは T01REG に設定します(以降 T01REG と T00REG を合わせて 16 ビットで表したものを T01+00REG と表記します)。タイマレジスタの設定は T01REG に対してライト命令を実行したときに、ダブルバッファ、または T01+00REG に反映されますので、必ず T00REG、T01REG の順にライト命令を実行してください。(上位レジスタの書き込みで、下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。

ダブルバッファを使用する場合には、T01MOD<DBE1>に"1"を設定します。

T001CR<T01RUN> を"1" に設定すると動作を開始します。タイマがスタートすると T01MOD は書き込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください(T001CR<T00RUN> および<T01RUN> が"0" のときに行ってください)。

14.4.6.2 動作

T001CR<T01RUN>に"1"を設定すると、TC00 端子の立下りエッジでアップカウンタ(16 ビット)をインクリメントします。アップカウンタの値と T01+00REG の設定値が一致すると INTTC01 割り込み要求が発生し、アップカウンタが"0x0000" にされます。カウンタクリア後もカウントアップは継続されます。タイマ動作中に T001CR<T01RUN> を"0" に設定すると、カウントアップは停止され、アップカウンタは"0x0000" にクリアされます。

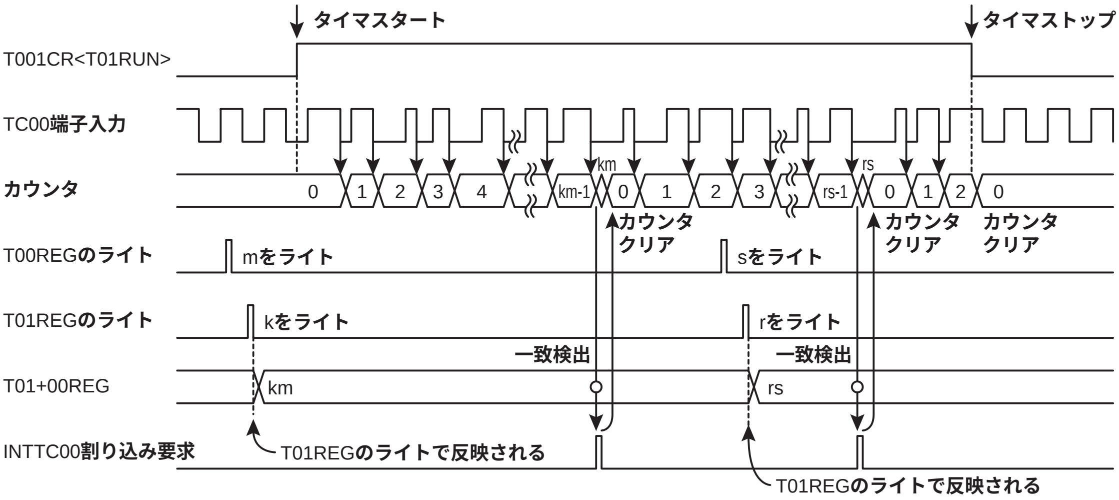
最大印加周波数は、fcgck/2 [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、fs/2^4 [Hz] (SLOW1/2, SLEEP1 モード時) で、 "H"、"L" レベルともに 2 マシンサイクル以上のパルス幅が必要です

14.4.6.3 ダブルバッファ

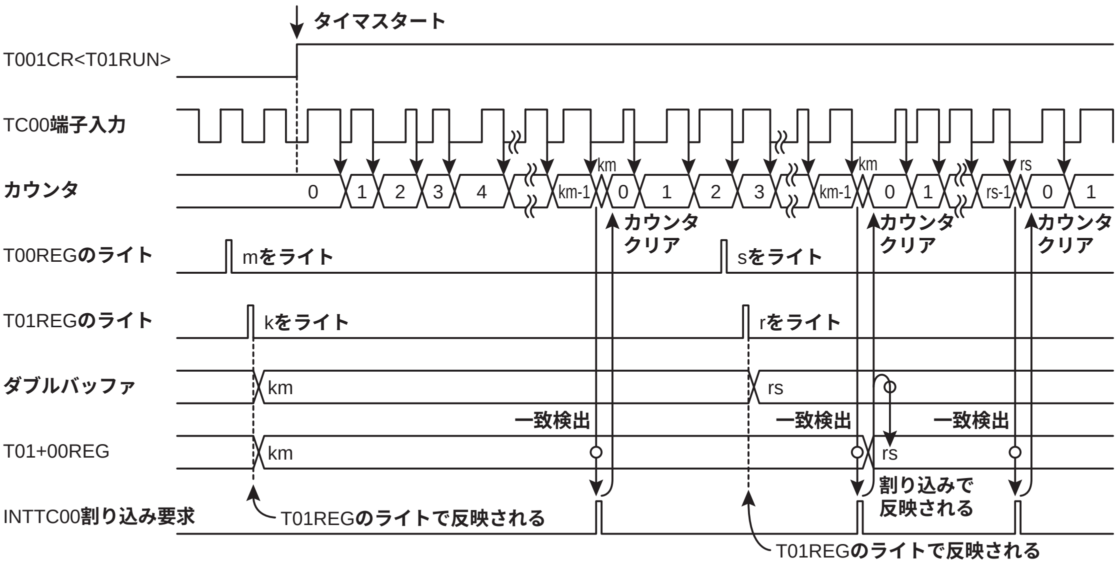
14.4.5.3 を参照してください。

(プログラム例)　　TC00, TC01 を 16 ビットイベントカウンタモードで動作させ、TC00 端子で 384 回立ち下がりエッジを検出するごとに割り込みを発生させる。

```
LD      (POFFCR0),0x10      ; TC001EN を 1 にセット
DI                          ; 割り込みマスタ許可フラグを禁止に設定
SET     (EIRH).4            ; INTTC00 割り込み許可レジスタを 1 にセット
EI                          ; 割り込みマスタ許可フラグを許可に設定
LD      (T00MOD),0xC4       ; 16 ビットイベントカウンタモードに設定
LD      (T00REG),0x80       ; タイマレジスタの設定
LD      (T01REG),0x10       ; タイマレジスタの設定
LD      (T001CR),0x06       ; TC00, TC01 スタート(16 ビットモード)
```



ダブルバッファ無効時(T01MOD<DBE1>="0")



ダブルバッファ有効時(T01MOD<DBE1>="1")

図 14-12 16 ビットイベントカウンタモードタイミングチャート

14.4.7 12 ビットパルス幅変調 (PWM) 出力モード

12 ビット PWM 出力モードは、TC00 と TC01 をカスケード接続し、8 ビット分解能の PWM パルスを出力するモードです。分解能は 8 ビットですが、デューティパルスに 4 ビットの付加パルスを追加することができますので、12 ビット相当の分解能で PWM 出力を行うことができます。

14.4.7.1 設定

T001CR<TCAS>に"1"を設定すると、TC00 と TC01 が接続され、16 ビットモードになります。16 ビットモードでは、TC00 側の設定はすべて無視され、TC01 側の設定が有効となります。

T01MOD<TCM1>に"10"を設定し 12 ビット PWM モードを選択します。ソースクロックとして内部クロックを使用する場合は、T01MOD<EIN1>に"0"を設定し、T01MOD<TCK1>でクロックを選択します。ソースクロックとして外部クロックを使用する場合は、T01MOD<EIN1>に"1"を設定します。

ダブルバッファを使用する場合には、T01MOD<DBE1>に"1"を設定します。

T001CR<T01RUN> を"1" に設定すると動作を開始します。タイマがスタートすると T01MOD は書き込みが無効となりますので、タイマをスタートさせる前に必ず各モードの設定を行うようにしてください(T001CR<T00RUN>および<T01RUN>が"0"のときに行ってください)。

タイマレジスタ T00PWM および T01PWM には、一致検出を行うカウント値と付加パルスの値を 12 ビットの値で設定します。12 ビットの設定値のうち、11 ~ 8 ビットは T01PWM の下位 4 ビットに、7 ~ 0 ビットは T00PWM に設定します。レジスタの構成については下表を参照してください。以降 T00PWM と T01PWM を 12 ビット で表したものを T01+00PWM と表記します。タイマレジスタの設定は T01PWM に対してライト命令を実行したときに、ダブルバッファ、または T01+00PWM に反映されますので、必ず T00PWM、T01PWM の順にライト命令を実行してください。(上位レジスタの書き込みで、下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。

タイマレジスタ 00

T00PWM (0x0028)		7	6	5	4	3	2	1	0
	Bit Symbol	PWMDUTYL				PWMAD3	PWMAD2	PWMAD1	PWMAD0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	1	1	1	1	1	1	1	1

タイマレジスタ 01

T01PWM (0x0029)		7	6	5	4	3	2	1	0
	Bit Symbol					PWMDUTYH			
	Read/Write					R/W	R/W	R/W	R/W
	リセット後	1	1	1	1	1	1	1	1

T01PWM の 7 ~ 4 ビットは、12 ビット PWM モードでは使用しません。ただし T01PWM の同ビットに書き込みは可能で、読み出したときは書き込んだ値がそのまま読み出されます。通常同ビットには"0"を設定してください。

PWMDUTYH と PWMDUTYL は、4 ビットのレジスタで、合わせて 8 ビットで 1 周期(ソースクロックの 256 カウント長)に対するデューティパルス幅の値(最初に出力が変化するまでの時間)を設定します。以降 PWMDUTYH と PWMDUTYL を 8 ビットで表したものを PWMDUTY と表記します。

PWMAD3 ~ 0 は、付加パルスの設定を行うレジスタです。それぞれのビットに"1"を設定すると、特定の周期のデューティパルスに付加パルスを追加することができます。追加される付加パ

ルスの位置は、表 14-10 のようになります。なお、PWMAD3 ~ 0 は、組み合わせて使用することにより 16 周期のなかで付加パルスが追加される回数を 1 ~ 16 の間で自由に設定することができます。付加パルスの追加例を図 14-13 に示します。

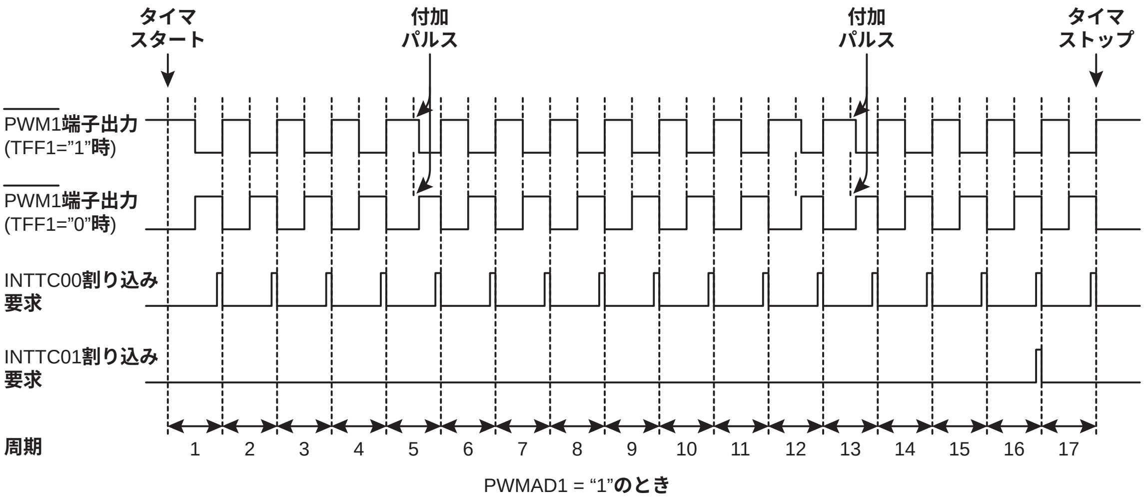
表 14-10 付加パルスが追加される周期

	1 ~ 16 周期のうち、付加パルスが追加される周期
PWMAD0 = "1"時	9
PWMAD1 = "1"時	5, 13
PWMAD2 = "1"時	3, 7, 11, 15
PWMAD3 = "1"時	2, 4, 6, 8, 10, 12, 14, 16

$\overline{\text{PWM1}}$ 端子の初期状態は T01MOD<TFF1>にて設定します。T01MOD<TFF1>に"0"を設定すると $\overline{\text{PWM1}}$ 端子の初期状態は"L"レベルとなり、T01MOD<TFF1>に"1"を設定すると $\overline{\text{PWM1}}$ 端子の初期状態は"H"レベルとなります。タイマ動作停止中にポートの設定で $\overline{\text{PWM1}}$ 端子を機能出力に設定すると、T01MOD<TFF1>の値が $\overline{\text{PWM1}}$ 端子に出力されます。表 14-11 に $\overline{\text{PWM1}}$ 端子の出力レベル一覧を示します。

表 14-11 $\overline{\text{PWM1}}$ 端子出力レベル一覧

TFF1	$\overline{\text{PWM1}}$ 端子出力レベル			
	動作開始前 (初期状態)	PWMDUTY 一致時 (付加パルス後)	オーバー フロー時	動作停止時 (初期状態)
0	L	H	L	L
1	H	L	H	H



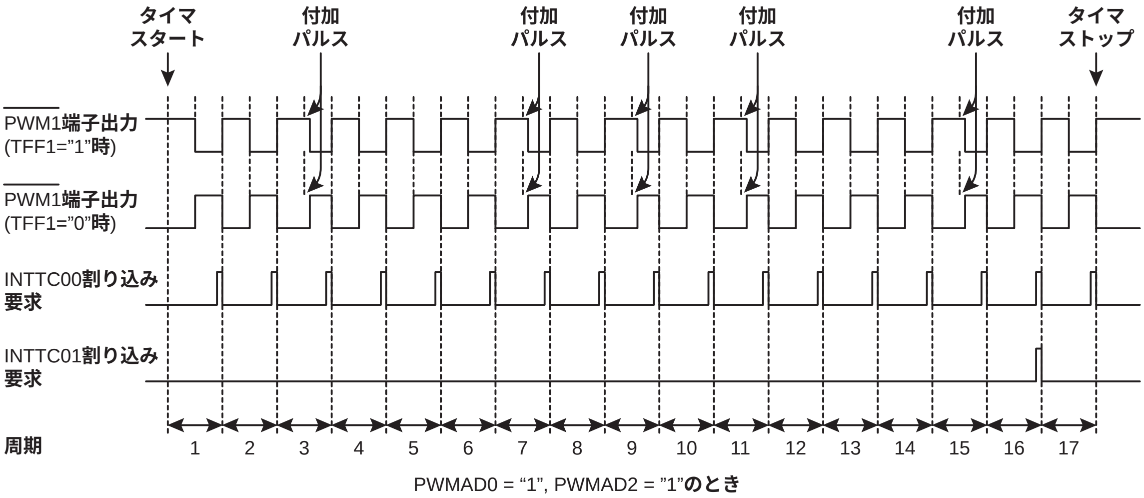


図 14-13 付加パルスの追加例

14.4.7.2 動作

T001CR<T01RUN>に"1" を設定すると、指定されたソースクロックでアップカウンタをインクリメントします。アップカウンタの下位 8 ビットの値と PWMDUTY の設定値が一致すると $\overline{\text{PWM1}}$ 端子の出力が反転します。T01MOD<TFF1>が"0"の場合、$\overline{\text{PWM1}}$ 端子は"L"から"H"レベルに、T01MOD<TFF1>が"1"の場合 $\overline{\text{PWM1}}$ 端子は"H"から"L"レベルに変化します。

ただし PWMAD3 ~ 0 のいずれかが"1"の場合、特定の周期のデューティパルスはソースクロック 1 カウント分の付加パルスが追加されます。つまり $\overline{\text{PWM1}}$ 端子は、PWMDUTY + 1 のタイミングで出力が反転します。T00MOD<TFF0> が"0" の場合"L" レベルが PWMDUTY の設定値よりも 1 ソースクロック分長くなり、T00MOD<TFF0> が"1" の場合"H" レベルが PWMDUTY の設定値よりも 1 ソースクロック分長くなります。この機能によって 16 周期分の出力パルスは 12 ビット相当の分解能で扱うことができます。

PWMAD3 ~ 0 が全て"0"の場合、付加パルスは追加されません。

その後もカウントアップを継続し、アップカウンタの値が 256 になるとオーバーフローが発生しアップカウンタは"0x00"にクリアされます。同時に $\overline{\text{PWM1}}$ 端子の出力が反転します。T01MOD<TFF1>が"0"の場合、$\overline{\text{PWM1}}$ 端子は"H"から"L"レベルに、T01MOD<TFF1>が"1"の場合は $\overline{\text{PWM1}}$ 端子は"L"から"H"レベルに変化します。このとき INTTC00 割り込み要求が発生します (INTTC00 割り込み要求はオーバフローごとに発生します)。またオーバフローが 16×n 回目のとき、INTTC01 割り込み要求が発生します(n = 1,2,3...)。その後もカウントアップは継続されます。

タイマ動作中に T001CR<T01RUN> を"0" に設定するとカウントアップは停止され、アップカウンタは"0x00" にクリアされます。また、$\overline{\mathrm{PWM1}}$ 端子のレベルは、T01MOD<TFF1> で設定したレベルに戻ります。

なお、外部ソースクロック選択時、クロックは TC00 端子から入力してください。最大印加周波数は、fcgck/2 [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、fs/2^4 [Hz] (SLOW1/2, SLEEP1 モード時) で、 "H", "L" レベルともに 2 マシンサイクル以上のパルス幅が必要です。

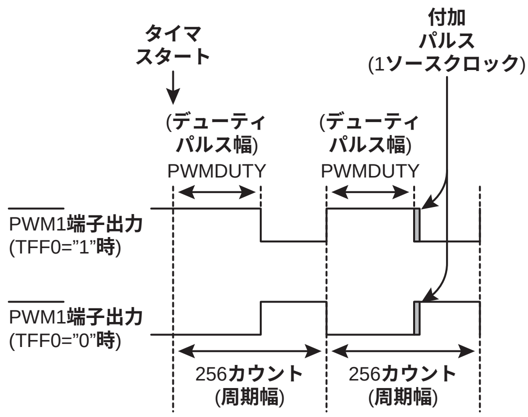


図 14-14 $\overline{\mathrm{PWM1}}$ 端子出力

14.4.7.3　ダブルバッファ

T01+00PWM は、T01MOD<DBE1>の設定によりダブルバッファを利用することができます。T01MOD<DBE1>に"0"を設定すると、ダブルバッファが無効に、T01MOD<DBE1>に"1"を設定すると、ダブルバッファが有効になります。

・　ダブルバッファが有効の場合

　タイマ動作中に T00PWM、T01PWM の順にライト命令を実行すると、設定値はまずダブルバッファに格納され、T01+00PWM はすぐには更新されません。T01+00PWM は前回の設定値でアップカウンタと比較を行い、16×n 回目のオーバフローが発生したとき INTTC01 割り込み要求が発生し、ダブルバッファの設定値が T01+00PWM に格納されます。以降は新しい設定値で一致検出が行われます。

　なお、T01+00PWM に対してリード命令を実行すると、T01+00PWM の値(現在の有効値)では無く、ダブルバッファの値(最後に設定した値)が読み出されます。

　タイマ停止時に T00PWM、T01PWM の順にライト命令を実行すると、設定値はダブルバッファと T01+00PWM の両方にすぐに格納されます。

・　ダブルバッファが無効の場合

　タイマ動作中に T00PWM、T01PWM の順にライト命令を実行すると、設定値はすぐに T01+00PWM に格納され、以降は新しい設定値で一致検出が行われます。このとき T01+00PWM に設定した値がアップカウンタの値より小さかった場合、$\overline{\mathrm{PWM1}}$ 端子はアップカウンタが一度オーバフローした後、新しい設定値で一致検出が行われるまで反転されません。また、T01+00PWM に設定した値がアップカウンタの値と同じだった場合、T01+00PWM をライトした直後に一致検出が行われるため、$\overline{\mathrm{PWM1}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります。同様に付加パルスの出力中に T01+00PWM を設定すると $\overline{\mathrm{PWM1}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

　タイマ停止中に T00PWM、T01PWM の順にライト命令を実行すると、設定値はすぐに T01+00PWM に格納されます。

(プログラム例)　TC00、TC01 を 12 ビット PWM モード、動作クロック fcgck/2 で動作させ、周期 51.2μs で 14.0625μs 相当のデューティパルスを出力。(fcgck=10MHz 時)
(実際は 16 周期(819.2μs)でトータル 225μs のデューティパルスを出力)

```
SET   (P7FC).1          ; P7FC1 を 1 にセット
SET   (P7CR).1          ; P7CR1 を 1 にセット
LD    (POFFCR0),0x10    ; TC001EN を 1 にセット
DI                      ; 割り込みマスタ許可フラグを禁止に設定
SET   (EIRH).4          ; INTTC00 割り込み許可レジスタを 1 にセット
EI                      ; 割り込みマスタ許可フラグを許可に設定
LD    (T01MOD),0xF2     ; 12 ビット PWM モード、fcgck/2 に設定
LD    (T00PWM),0x65     ; タイマレジスタ(デューティパルス)の設定
                        ; (14.0625μs x 16) / (2/fcgck) = 0x465
LD    (T01PWM),0x04     ; タイマレジスタ(デューティパルス)の設定
LD    (T001CR),0x06     ; TC00、TC01 スタート
```

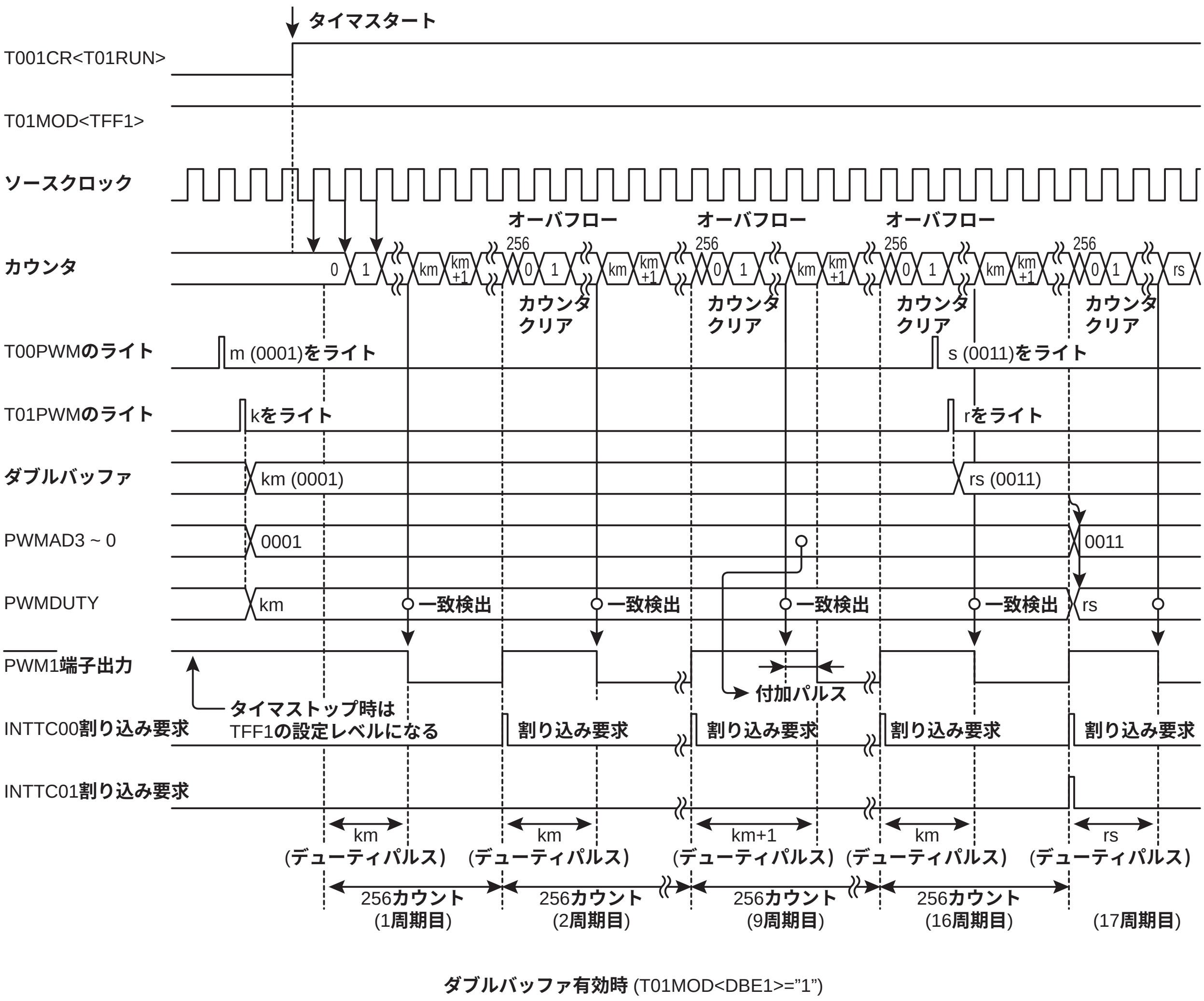


図 14-15 12 ビット PWM モードタイミングチャート

表 14-12 12 ビット PWM モードの分解能、周期

T01MOD <TCK1>	ソースクロック [Hz]			分解能		8 ビット周期 (周期×16)	
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1 モード	fcgck=10MHz	fs=32.768kHz	fcgck=10MHz	fs=32.768kHz
	SYSCR1<DV9CK> = "0"	SYSCR1<DV9CK> = "1"					
000	$fcgck/2^{11}$	$fs/2^4$	$fs/2^4$	204.8μs	488.2μs	52.4ms (838.9ms)	125ms (2000ms)
001	$fcgck/2^{10}$	$fs/2^3$	$fs/2^3$	102.4μs	244.1μs	26.2ms (419.4ms)	62.5ms (1000ms)
010	$fcgck/2^8$	$fcgck/2^8$	-	25.6μs	-	6.6ms (104.9ms)	-
011	$fcgck/2^6$	$fcgck/2^6$	-	6.4μs	-	1.6ms (26.2ms)	-
100	$fcgck/2^4$	$fcgck/2^4$	-	1.6μs	-	409.6μs (6.6ms)	-
101	$fcgck/2^2$	$fcgck/2^2$	-	400ns	-	102.4μs (1.6ms)	-
110	fcgck/2	fcgck/2	-	200ns	-	51.2μs (819.2μs)	-
111	fcgck	fcgck	$fs/2^2$	100ns	122.1μs	25.6μs (409.6μs)	31.3ms (500ms)

14.4.8 16 ビットプログラマブルパルスジェネレート (PPG) 出力モード

16 ビット PPG モードは、TC00 と TC01 をカスケード接続し、16 ビット分解能の任意のパルス幅/デューティーを持つパルスを出力するモードです。T01+00REG、T01+00PWM の 2 つの 16 ビットレジスタを使用してパルス出力を行うため、8 ビットタイマより長いパルスを出力することができます。

14.4.8.1 設定

T001CR<TCAS>に"1"を設定すると、TC00 と TC01 が接続され、16 ビットモードになります。16 ビットモードでは、TC00 側の設定はすべて無視され、TC01 側の設定が有効となります。

T01MOD<TCM1>を"11"に設定し 16 ビット PPG モードを選択します。ソースクロックとして内部クロックを使用する場合は、T01MOD<EIN1>を"0"に設定し、T01MOD<TCK1>でクロックを選択します。また、ソースクロックとして外部クロックを使用する場合は、T01MOD<EIN0>を"1"に設定します。

ダブルバッファを使用する場合には、T01MOD<DBE1>を"1"に設定します。

タイマレジスタ T01REG および T00REG には、周期に相当するカウント値を 16 ビット値で設定します。また、T01PWM および T00PWM には、デューティパルスに相当するカウント値を 16 ビット値で設定します(以降 T01REG と T00REG を合わせて 16 ビットで表したものを T01+00REG、T01PWM と T00PWM を合わせて 16 ビットで表したものを T01+00PWM と表記します)。タイマレジスタの設定は T01PWM に対してライト命令を実行したときに、ダブルバッファ、または T01+00PWM および T01+00REG に反映されますので、必ず T00REG、T01REG、T00PWM の後に T01PWM に対してライト命令を実行してください。(T01PWM の書き込みで 4 つのタイマレジスタの設定値が同時に有効になる構造となっています)。

$\overline{\text{PPG1}}$ 端子の初期状態は T01MOD<TFF1> にて設定します。T01MOD<TFF1> に"0" を設定すると $\overline{\text{PPG1}}$ 端子の初期状態は"L" レベルとなり、T01MOD<TFF1> に"1" を設定すると $\overline{\text{PPG1}}$ 端子の初期状態は"H" レベルとなります。タイマ動作停止中にポートの設定で $\overline{\text{PPG1}}$ 端子を機能出力に設定すると、T01MOD<TFF1> の値が $\overline{\text{PPG1}}$ 端子に出力されます。 表 14-13 に $\overline{\text{PPG1}}$ 端子の出力レベル一覧を示します。

表 14-13 $\overline{\text{PPG1}}$ 端子出力レベル一覧

TFF1	$\overline{\text{PPG1}}$ 端子出力レベル			
	動作開始前 (初期状態)	T01+00PWM 一致時	T01+00REG 一致時	動作停止時 (初期状態)
0	L	H	L	L
1	H	L	H	H

14.4.8.2 動作

T001CR<T01RUN>に"1"を設定すると、指定されたソースクロックでアップカウンタをインクリメントします。アップカウンタの値と T01+00PWM の設定値が一致すると $\overline{\text{PPG1}}$ 端子の出力が反転します。T01MOD<TFF1> が"0" の場合、$\overline{\text{PPG1}}$ 端子は"L" から"H" レベルに、T01MOD<TFF1> が"1" の場合 $\overline{\text{PPG1}}$ 端子は"H" から"L" レベルに変化します。このとき INTTC00 割り込み要求が発生します。

アップカウンタはさらにカウントアップを継続し、アップカウンタの値と T01+00REG の設定値が一致すると $\overline{\text{PPG1}}$ 端子が再度反転します。T01MOD<TFF1> が"0" の場合、$\overline{\text{PPG1}}$ 端子は"H" から"L" レベルに、T01MOD<TFF1> が"1" の場合 $\overline{\text{PPG1}}$ 端子は"L" から"H" レベルに変化します。このとき INTTC01 割り込み要求が発生し、アップカウンタが"0x0000"にクリアされます。

タイマ動作中に T001CR<T01RUN> に"0" を設定すると、カウントアップは停止され、アップカウンタは"0x0000" にクリアされます。また、$\overline{\text{PPG1}}$ 端子のレベルは、T01MOD<TFF1>で設定したレベルに戻ります。

外部ソースクロック選択時、クロックは TC00 端子から入力してください。最大印加周波数は、fcgck/2 [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、fs/2^4 [Hz] (SLOW1/2, SLEEP1 モード時) で、"H", "L" レベルともに 2 マシンサイクル以上のパルス幅が必要です。

14.4.8.3　ダブルバッファ

T01+00PWM、T01+00REG は、T01MOD<DBE1> の設定によりダブルバッファを利用することができます。T01MOD<DBE1> に"0" をするとダブルバッファが無効に、T01MOD<DBE1> に"1" を設定するとダブルバッファが有効になります。

- ダブルバッファが有効の場合

  タイマ動作中に T00REG、T01REG、T00PWM に続いて T01PWM のライト命令を実行すると、設定値はまずダブルバッファに格納され、T01+00PWM、T01+00REG はすぐには更新されません。T01+00PWM、T01+00REG は前回の設定値でアップカウンタと比較を行い、アップカウンタの値と T01+00REG の設定値が一致すると INTTC01 割り込み要求が発生し、ダブルバッファの設定値が T01+00PWM、T01+00REG に格納されます。以降は新しい設定値で一致検出が行われます。

  タイマ停止中に T00REG、T01REG、T00PWM に続いて T01PWM のライト命令を実行すると、設定値はダブルバッファと T01+00PWM、T01+00REG の両方にすぐに格納されます。

- ダブルバッファが無効の場合

  タイマが動作中に T00REG、T01REG、T00PWM に続いて T01PWM のライト命令を実行すると、設定値はすぐに T01+00PWM、T01+00REG に格納され、以降は新しい設定値で一致検出が行われます。

  このとき T01+00PWM、T01+00REG に設定した値がアップカウンタの値より小さかった場合、$\overline{\text{PPG1}}$ 端子はアップカウンタが一度オーバフローした後、新しい設定値で一致検出が行われるまで反転されません。また、T01+00PWM、T01+00REG に設定した値がアップカウンタの値と同じだった場合、T01+00PWM、T01+00REG をライトした直後に一致検出が行われるため、$\overline{\text{PPG1}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

  タイマ停止中に T00REG、T01REG、T00PWM に続いて T01PWM のライト命令を実行すると、設定値はすぐに T01+00PWM、T01+00REG に格納されます。

T01+00PWM、T01+00REG に対してリード命令を実行すると、T00MOD<DBE1>の設定にかかわらず、T01+00REG に最後に書き込んだ値が読み出されます。

(プログラム例)　TC00、TC01 を 16 ビット PPG モード、動作クロック fcgck/2 で動作させ、周期 96μs で 68μs のデューティパルスを出力。(fcgck=10MHz 時)

```
SET     (P7FC).1            ; P7FC0 を 1 にセット
SET     (P7CR).1            ; P7CR0 を 1 にセット
LD      (POFFCR0),0x10      ; TC001EN を 1 にセット
DI                          ; 割り込みマスタ許可フラグを禁止に設定
SET     (EIRH).4            ; INTTC00 割り込み許可レジスタを 1 にセット
EI                          ; 割り込みマスタ許可フラグを許可に設定
LD      (T01MOD),0xF3       ; 8 ビット PPG モード、fcgck/2 に設定
LD      (T00REG),0xE0       ; タイマレジスタ(周期)の設定
LD      (T01REG),0x01       ; タイマレジスタ(周期)の設定
                            ; 96μs / (2/fcgck) = 0x01E0
LD      (T00PWM),0x54       ; タイマレジスタ(デューティパルス)の設定
LD      (T01PWM),0x01       ; タイマレジスタ(デューティパルス)の設定
                            ; 68μs / (2/fcgck) = 0x0154
LD      (T001CR),0x06       ; TC00、TC01 スタート
```

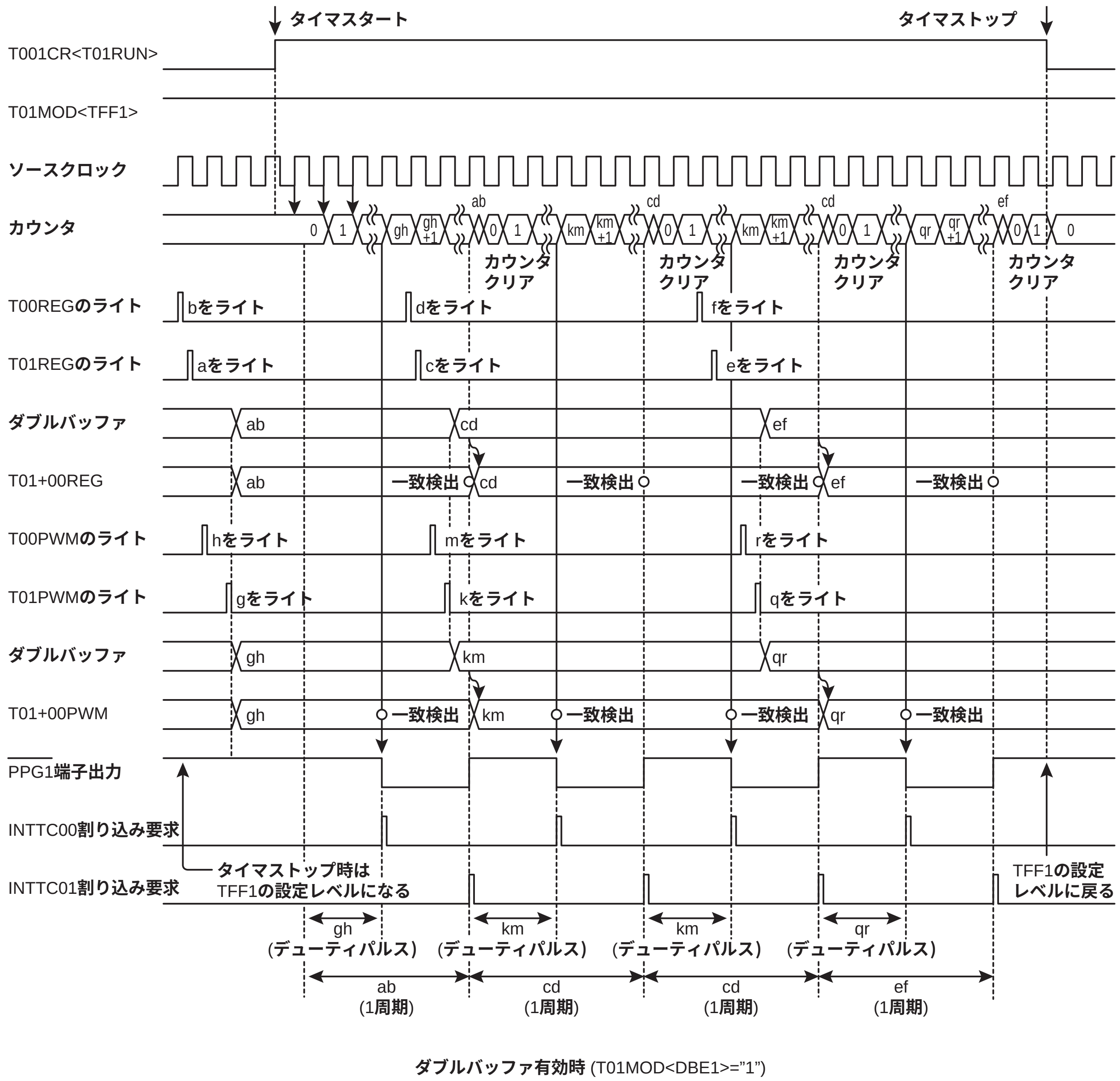


図 14-16 16 ビット PPG 出力モードタイミングチャート

第 15 章　時計専用タイマ (RTC)

時計専用タイマは、低周波クロックを使用して一定時間ごとに割り込み要求を発生させる機能です。割り込みの回数をソフトウエアでカウントすることで、時計機能を実現することができます。

時計専用タイマは SLEEP0 をのぞく、低周波クロックが発振している動作モードで使用可能です。

15.1　構成

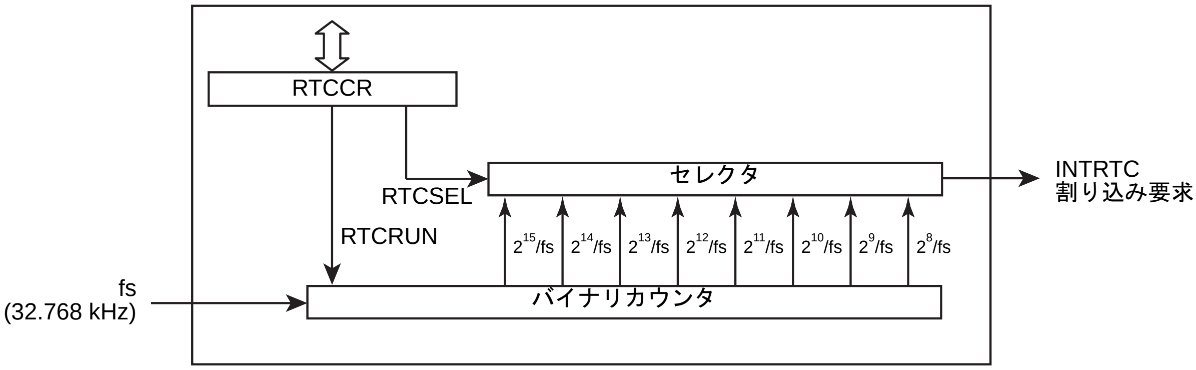


図 15-1 時計専用タイマ

15.2　制御

時計専用タイマは、下記のレジスタで制御されます。

低消費電力レジスタ 2 制御

POFFCR2		7	6	5	4	3	2	1	0
(0x0F76)	Bit Symbol	-	-	RTCEN	-	-	-	-	SIO0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

RTCEN	RTC 制御	0	Disable
		1	Enable
SIO0EN	SIO0 制御	0	Disable
		1	Enable

時計専用タイマ制御レジスタ

RTCCR (0x0FC8)		7	6	5	4	3	2	1	0
	Bit Symbol	-	-	-	-	RTCSEL			RTCRUN
	Read/Write	R	R	R	R	R/W			R/W
	リセット後	0	0	0	0	0	0	0	0

RTCSEL	割り込み発生周期選択	000 : 2^{15}/fs (1.000 [s] @fs=32.768kHz) 001 : 2^{14}/fs (0.500 [s] @fs=32.768kHz) 010 : 2^{13}/fs (0.250 [s] @fs=32.768kHz) 011 : 2^{12}/fs (125.0 [ms] @fs=32.768kHz) 100 : 2^{11}/fs (62.50 [ms] @fs=32.768kHz) 101 : 2^{10}/fs (31.25 [ms] @fs=32.768kHz) 110 : 2^{9}/fs (15.62 [ms] @fs=32.768kHz) 111 : 2^{8}/fs (7.81 [ms] @fs=32.768kHz)
RTCRUN	時計専用タイマ動作の許可／禁止	0 : 禁止 1 : 許可

注 1)　fs:低周波クロック[Hz]

注 2)　RTCCR<RTCSEL>は RTCCR<RTCRUN>が"0"のときのみ書き替えることができます。RTCCR<RTCRUN>が"1"のときにデータを書き込んでも、以前のデータを保持します。従って、時計専用タイマの動作を許可するときに RTCCR<RTCSEL>を書き替えることができますが、禁止するときに書き替えることはできません。

注 3)　時計専用タイマの動作を許可しているときに 1)SYSCR2<XTEN>を"0"にクリアし低周波クロック用発振回路を停止させた場合、2)STOP モードあるいは SLEEP0 モードになった場合、RTCCR<RTCSEL>のデータは保持され、RTCCR<RTRUN>は"0"にクリアされます。

15.3　機能

15.3.1　低消費電力機能

時計専用タイマは、時計専用タイマ機能を使用しないとき、低消費電力レジスタ(POFFCR2)によって不要な電力を抑える機能を持っています。

POFFCR2<RTCEN>を"0"に設定すると、時計専用タイマへの基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのとき時計専用タイマ機能が使用できなくなります。POFFCR2 <RTCEN>を"1"に設定すると、時計専用タイマへ基本クロックが供給(Enable)され時計専用タイマ機能が使用可能になります。

リセット後、POFFCR2 <RTCEN>は"0"に初期化されますので、時計専用タイマ機能は使用不可の設定となります。よって初めて時計専用タイマ機能を使用するときは、プログラムの初期設定(時計専用タイマの制御レジスタを操作する前)で必ず POFFCR2 <RTCEN>を"1"に設定してください。

なお、時計専用タイマ動作中は POFFCR2<RTCEN>を"0"に変更しないでください。変更した場合時計専用タイマが予期せぬ動作をする場合があります。

15.3.2　時計専用タイマ動作の許可／禁止

RTCCR<RTCRUN>を"1"にセットすると時計専用タイマの動作が許可され、"0"にクリアすると禁止されます。

リセット解除直後、RTCCR<RTCRUN>は"0"にクリアされます。

15.3.3　割り込み発生周期選択

RTCCR<RTCSEL>で割り込み発生周期を選択できます。

RTCCR<RTCSEL>は RTCCR<RTCRUN>が"0"のときのみ書き替えることができます。RTCCR<RTCRUN>が"1"のときにデータを書き込んでも、以前のデータを保持します。

従って、時計専用タイマの動作を許可するときには RTCCR<RTCSEL>を書き替えることはできますが、禁止するときには書き替えることはできません。

15.4 時計専用タイマの動作

15.4.1 時計専用タイマの動作許可

RTCCR<RTCSEL>に割り込み発生周期を設定するとともに、RTCCR<RTCRUN>を"1"にセットします。

RTCCR<RTCRUN>を"1"にセットすると、時計専用タイマのバイナリカウンタは、低周波クロックのカウントを開始します。

RTCCR<RTCSEL>で設定された割り込み発生周期になると時計専用タイマ割り込み要求(INTRTC)を発生し、カウントを継続します。

15.4.2 時計専用タイマの動作禁止

RTCCR<RTCRUN>を"0"にクリアします。

RTCCR<RTCRUN>を"0"にクリアすると、時計専用タイマのバイナリカウンタは"0"にクリアされ、低周波クロックのカウントを停止します。

第 16 章　非同期型シリアルインターフェース(UART)

TMP89FM46A は、非同期型シリアルインタフェース(UART)を 2 チャネル内蔵しています。

本章は、非同期型シリアルインタフェース 0 (UART0)の説明となります。UART1 については表 16-1、表 16-2 に従って SFR アドレス、端子名を読み替えてください。

表 16-1 SFR アドレス割り付け

	UARTxCR1 (アドレス)	UARTxCR2 (アドレス)	UARTxDR (アドレス)	UARTxSR (アドレス)	RDxBUF (アドレス)	TDxBUF (アドレス)
UART0	UART0CR1 (0x001A)	UART0CR2 (0x001B)	UART0DR (0x001C)	UART0SR (0x001D)	RD0BUF (0x001E)	TD0BUF (0x001E)
UART1	UART1CR1 (0x0F54)	UART1CR2 (0x0F55)	UART1DR (0x0F56)	UART1SR (0x0F57)	RD1BUF (0x0F58)	TD1BUF (0x0F58)

表 16-2 端子名

	シリアルデータ入力端子	シリアルデータ出力端子
UART0	RXD0 端子	TXD0 端子
UART1	RXD1 端子	TXD1 端子

16.1　構成

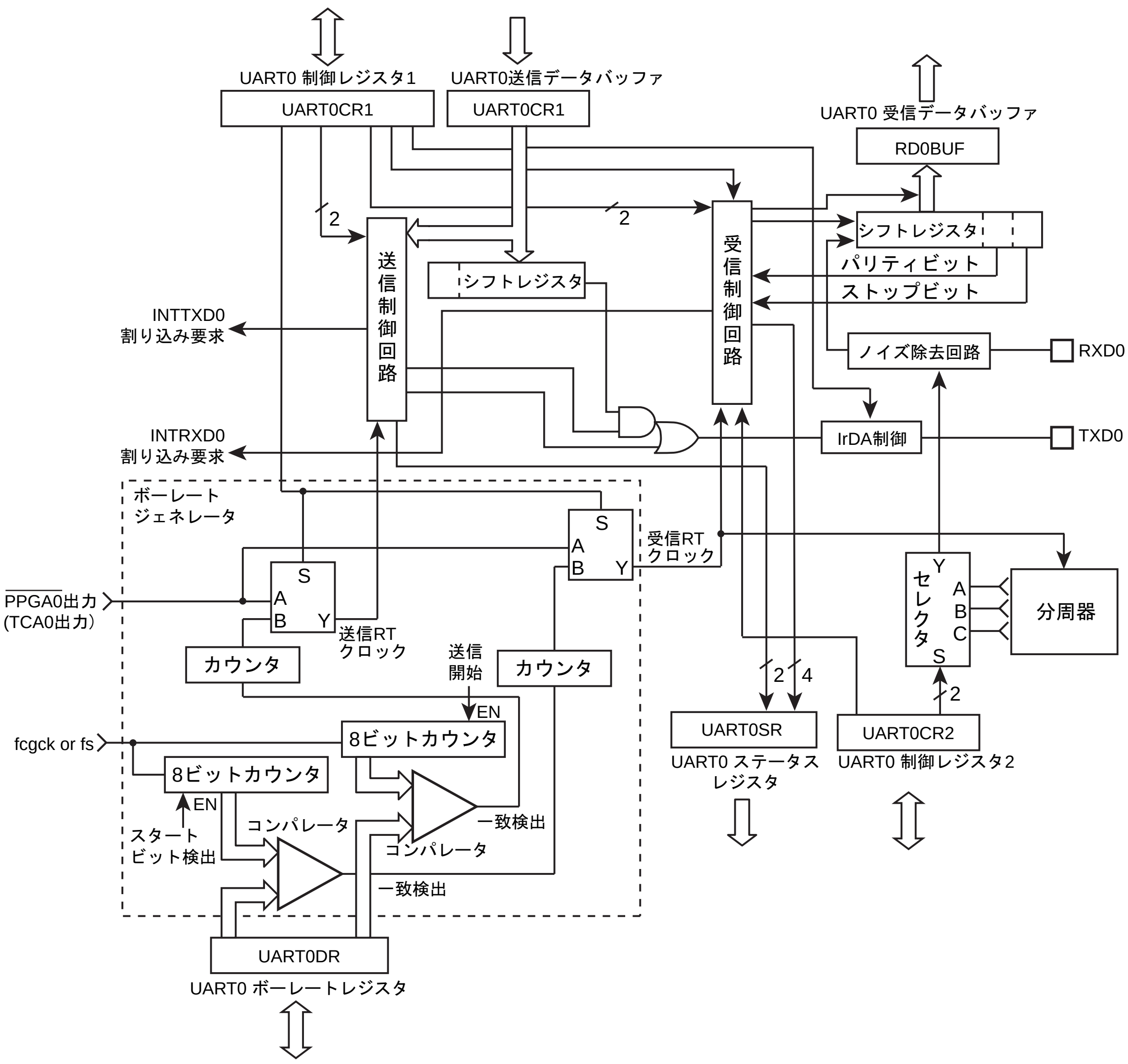


図 16-1 非同期型シリアルインタフェース(UART)

16.2 制御

UART0 は、低消費電力レジスタ(POFFCR1)、UART0 制御レジスタ 1, 2 (UART0CR1, UART0CR2)、UART0 ボーレートレジスタ(UART0DR) で制御されます。また UART ステータスレジスタ (UART0SR) により動作状態のモニタができます。

低消費電力レジスタ 1

POFFCR1 (0x0F75)		7	6	5	4	3	2	1	0
	Bit Symbol	-	-	-	SBI0EN	-	-	UART1EN	UART0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

SBI0EN	I2C0 制御	0	Disable
		1	Enable
UART1EN	UART1 制御	0	Disable
		1	Enable
UART0EN	UART0 制御	0	Disable
		1	Enable

UART0 制御レジスタ 1

UART0CR1		7	6	5	4	3	2	1	0
(0x001A)	Bit Symbol	TXE	RXE	STOPBT	EVEN	PE	IRDASEL	BRG	-
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
	リセット後	0	0	0	0	0	0	0	0

TXE	送信動作	0:	Disable	
		1:	Enable	
RXE	受信動作	0:	Disable	
		1:	Enable	
STOPBT	送信ストップビット長	0:	1 ビット	
		1:	2 ビット	
EVEN	パリティ選択	0:	奇数パリティ	
		1:	偶数パリティ	
PE	パリティ付加	0:	パリティなし	
		1:	パリティ付加	
IRDASEL	TXD 端子の出力選択	0:	UART 出力	
		1:	IrDA 出力	
BRG	転送ベースクロックの選択		SYSCR2<SYSCK>="0"時	SYSCR2<SYSCK>="1"時
		0:	fcgck	fs
		1:	TCA0 出力	

注 1)　fcgck : ギアクロック、fs : 低周波クロック

注 2)　データの送信、受信中に TXE, RXE ビットを"0"に設定した場合、送信、受信中のデータ転送が完了するまでディゼーブルにはなりません。なお、そのとき送信データバッファに格納されていたデータは破棄されます。

注 3)　EVEN, PE, BRG の設定は送受信共通です。

注 4)　BRG の書き替えは、RXE = "0"かつ TXE = "0"のときに行ってください。

注 5)　BRG が TCA0 出力に設定されている場合、RT クロックは非同期となりますので、送受信データのスタートビットが最大(UART0DR+1) / (転送ベースクロックの周波数) [s]分短くなる場合があります。

またこのとき端子から TCA0 出力を行なわない場合は、ポートのファンクション制御レジスタによって TCA0 出力を制限してください。

注 6)　STOPBT、EVEN、PE、IRDASEL、BRG は UART の通信中に誤って変更されるのを防ぐため、UART 動作中はレジスタの書き替えが制限されます。詳細は「16.4 UART0CR1, UART0CR2 レジスタの書き替え保護機能」を参照してください。

注 7)　STOP/IDLE0/SLEEP0 モードを起動すると TXE、RXE は"0"にクリアされ UART は停止します。ただしその他のビットは値を保持します。

UART0 制御レジスタ 2

UART0CR2 (0x001B)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	RTSEL			RXDNC		STOPBR
Read/Write	R	R	R/W			R/W		R/W
リセット後	0	0	0	0	0	0	0	0

			転送フレームの奇数ビット	転送フレームの偶数ビット
RTSEL	RT クロック数の選択	000:	16 クロック	16 クロック
		001:	16 クロック	17 クロック
		010:	15 クロック	15 クロック
		011:	15 クロック	16 クロック
		100:	17 クロック	17 クロック
		101:	Reserved	
		11*:	Reserved	
RXDNC	RXD 入力のノイズ除去時間の選択 (確実にノイズ除去されるパルスの時間)	00:	ノイズ除去なし	
		01:	1×(UART0DR+1) / (転送ベースクロックの周波数) [s]	
		10:	2×(UART0DR+1) / (転送ベースクロックの周波数) [s]	
		11:	4×(UART0DR+1) / (転送ベースクロックの周波数) [s]	
STOPBR	受信ストップビット長	0:	1 ビット	
		1:	2 ビット	

注 1) UART0CR2 に対してリード命令を実行するとビット 7 ~ 6 は 0 が読み出されます。

注 2) RTSEL は転送フレームの偶数/奇数ビットに対して 2 種類の RT クロックを設定することができます。詳しくは「16.8.1 転送ボーレートの算出方法」を参照してください。

注 3) RXDNC によるノイズ除去時間の詳細は「16.10 受信データのノイズ除去」を参照してください。

注 4) STOP/IDLE0/SLEEP0 モードを起動すると UART は自動的に停止しますが UART0CR2 の各ビット値は変化しません。

注 5) STOPBR を 2 ビットに設定した場合、(データ受信時の)ストップビットの 1 ビット目はフレーミングエラーの対象にはなりません(エラーチェックは行われません)。

注 6) RTSEL, RXDNC, STOPBR は UART の通信中に誤って変更されるのを防ぐため、UART 動作中はレジスタの書き替えが制限されます。詳細は「16.4 UART0CR1, UART0CR2 レジスタの書き替え保護機能」を参照してください。

UART0 ボーレートレジスタ

UART0DR (0x001C)

	7	6	5	4	3	2	1	0
Bit Symbol	UART0DR7	UART0DR6	UART0DR5	UART0DR4	UART0DR3	UART0DR2	UART0DR1	UART0DR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

注 1) UART0DR の書き替えは、UART0CR1<RXE> = "0"、UART0CR1<TXE> = "0"のときに行ってください。設定値については「16.8 転送ボーレート」を参照してください。

注 2) UART0CR1<BRG>が TCA0 出力に設定されている場合、UART0DR の設定値は意味を持ちません。

注 3) STOP/IDLE0/SLEEP0 モードを起動すると UART は自動的に停止しますが UART0DR の各ビット値は変化しません。

UART0 ステータスレジスタ

UART0SR		7	6	5	4	3	2	1	0
(0x001D)	Bit Symbol	PERR	FERR	OERR	-	RBSY	RBFL	TBSY	TBFL
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

PERR	パリティエラーフラグ	0: 1:	パリティエラーなし パリティエラー発生
FERR	フレーミングエラーフラグ	0: 1:	フレーミングエラーなし フレーミングエラー発生
OERR	オーバランエラーフラグ	0: 1:	オーバランエラーなし オーバランエラー発生
RBSY	受信ビジーフラグ	0: 1:	受信前 または 受信終了 受信中
RBFL	受信バッファフルフラグ	0: 1:	受信バッファエンプティ 受信バッファフル
TBSY	送信ビジーフラグ	0: 1:	送信前 または 送信終了 送信中
TBFL	送信バッファフルフラグ	0: 1:	送信バッファエンプティ 送信バッファフル(送信データ書き込み済み)

注 1)　TBFL は、INTTXD0 割り込み要求の発生後、自動的に"0"にクリアされ、TD0BUF にデータをセットすると"1"にセットされます。

注 2)　UART0SR に対してリード命令を実行するとビット 4 は 0 が読み出されます。

注 3)　STOP/IDLE0/SLEEP0 モードを起動すると UART0SR の各ビットは"0"にクリアされ UART は停止します。

UART0 受信データバッファ

RD0BUF		7	6	5	4	3	2	1	0
(0x001E)	Bit Symbol	RD0DR7	RD0DR6	RD0DR5	RD0DR4	RD0DR3	RD0DR2	RD0DR1	RD0DR0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

注 1)　STOP/IDLE0/SLEEP0 モードを起動すると RD0BUF の値は不定となります。よって受信データが必要な場合は、モード起動前に読み出してください。

UART0 送信データバッファ

TD0BUF		7	6	5	4	3	2	1	0
(0x001E)	Bit Symbol	TD0DR7	TD0DR6	TD0DR5	TD0DR4	TD0DR3	TD0DR2	TD0DR1	TD0DR0
	Read/Write	W	W	W	W	W	W	W	W
	リセット後	0	0	0	0	0	0	0	0

注 1)　STOP/IDLE0/SLEEP0 モードを起動すると TD0BUF の値は不定となります。

16.3 低消費電力機能

UART0 は、UART 機能を使用しないとき、低消費電力レジスタ(POFFCR1)によって不要な電力を抑える機能を持っています。

POFFCR1<UART0EN>を"0"に設定すると、UART0 への基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのとき UART 機能が使用できなくなります。POFFCR1 <UART0EN>を"1"に設定すると、UART0 へ基本クロックが供給(Enable)され UART 機能が使用可能になります。

リセット後、POFFCR1 <UART0EN>は"0"に初期化されますので、UART 機能は使用不可の設定となります。よって初めて UART 機能を使用するときは、プログラムの初期設定(UART の制御レジスタを操作する前)で必ず POFFCR1 <UART0EN>を"1"に設定してください。

なお、UART 動作中は POFFCR1<UART0EN>を"0"に変更しないでください。変更した場合 UART0 が予期せぬ動作をする場合があります。

16.4　UART0CR1, UART0CR2 レジスタの書き替え保護機能

TMP89FM46A は、UART 動作中に誤って UART の通信設定(ストップビットやパリティなど)が変更されないようにレジスタの書き替え保護機能を内蔵しています。

UART0CR1, UART0CR2 レジスタの特定のビットは、表 16-3 の条件下でのみ書き替えが可能です。書き替えが制限されているときにレジスタにライト命令実行しても、そのビットは書き替わらず前回の値が保持されます。

表 16-3 UART0CR1, UART0CR2 レジスタの書き替え

<table>
<tr><th rowspan="2">書き替え対象ビット</th><th rowspan="2">機能</th><th colspan="4">書き替え可能な条件</th></tr>
<tr><th>UART0CR1
<TXE></th><th>UART0SR
<TBSY></th><th>UART0CR1
<RXE></th><th>UART0SR
<RBSY></th></tr>
<tr><td>UART0CR1<STOPBT></td><td>送信ストップビット長</td><td colspan="2">上記条件がいずれも"0"のとき</td><td>-</td><td>-</td></tr>
<tr><td>UART0CR1<EVEN></td><td>パリティ選択</td><td colspan="4" rowspan="2">上記条件が全て"0"のとき</td></tr>
<tr><td>UART0CR1<PE></td><td>パリティ付加</td></tr>
<tr><td>UART0CR1<IRDASEL></td><td>TXD 端子の出力選択</td><td colspan="2">上記条件がいずれも"0"のとき</td><td>-</td><td>-</td></tr>
<tr><td>UART0CR1<BRG></td><td>転送ベースクロックの選択</td><td colspan="4" rowspan="2">上記条件が全て"0"のとき</td></tr>
<tr><td>UART0CR2<RTSEL></td><td>RT クロック数の選択</td></tr>
<tr><td>UART0CR2<RXDNC></td><td>RXD 端子入力のノイズ除去
時間の選択</td><td rowspan="2">-</td><td rowspan="2">-</td><td colspan="2" rowspan="2">上記条件がいずれも"0"のとき</td></tr>
<tr><td>UART0CR2<STOPBR></td><td>受信ストップビット長</td></tr>
</table>

16.5 STOP/IDLE0/SLEEP0 モードの起動

16.5.1 レジスタの状態遷移

STOP/IDLE0/SLEEP0 モードを起動すると UART は自動的に停止し、各レジスタの状態は表 16-4 のようになります。値が保持されないレジスタについては、モード復帰後、必要に応じて再設定を行ってください。

表 16-4 レジスタの状態遷移

	7	6	5	4	3	2	1	0
UART0CR1	TXE	RXE	STOPBT	EVEN	PE	IRDASEL	BRG	−
	0 クリア	0 クリア	値保持	値保持	値保持	値保持	値保持	−
UART0CR2	−	−	RTSEL			RXDNC		STOPBR
	−	−	値保持	値保持	値保持	値保持	値保持	値保持
UART0SR	PERR	FERR	OERR	−	RBSY	RBFL	TBSY	TBFL
	0 クリア	0 クリア	0 クリア	−	0 クリア	0 クリア	0 クリア	0 クリア
UART0DR	UART0DR7	UART0DR6	UART0DR5	UART0DR4	UART0DR3	UART0DR2	UART0DR1	UART0DR0
	値保持	値保持	値保持	値保持	値保持	値保持	値保持	値保持
RD0BUF	RD0DR7	RD0DR6	RD0DR5	RD0DR4	RD0DR3	RD0DR2	RD0DR1	RD0DR0
	不定	不定	不定	不定	不定	不定	不定	不定
TD0BUF	TD0DR7	TD0DR6	TD0DR5	TD0DR4	TD0DR3	TD0DR2	TD0DR1	TD0DR0
	不定	不定	不定	不定	不定	不定	不定	不定

16.5.2 TXD 端子の状態遷移

TXD 端子の状態は、IDLE0/SLEEP0 または STOP モードを起動すると、データの送受信中/停止中に関係なく表 16-5 のようになります。

表 16-5 STOP/IDLE0/SLEEP0 モード起動時の TXD 端子状態

UART0CR1 <IRDASEL>	IDLE0/SLEEP0 モード	STOP モード	
		SYSCR1<OUTEN>="1"	SYSCR1<OUTEN>="0"
"0"	H レベル	H レベル	Hi-Z
"1"	L レベル	L レベル	

16.6　転送データフォーマット

UART で転送されるデータは、以下の 4 つの要素で構成されます。ここではスタートビットからストップビットまでのデータをまとめて「転送フレーム」と定義します。スタートビットは 1 ビット(L レベル)、データは 8 ビットで構成されます。パリティビットは、UART0CR1<PE>によってパリティの有無を、UART0CR1<EVEN>によって偶数/奇数パリティを選択することができます。ストップビットは UART0CR1<STBT>によってビット長を選択することができます。

図 16-2 に転送データフォーマットを示します。

- スタートビット (1 ビット)
- データ (8 ビット)
- パリティビット (偶数/奇数/無しを選択可)
- ストップビット (1 ビットまたは 2 ビットを選択可)

転送フレーム

PE	STBT	1	2	3	4	5	6	7	8	9	10	11	12
0	0	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Stop 1		
0	1	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Stop 1	Stop 2	
1	0	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Parity	Stop 1	
1	1	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Parity	Stop 1	Stop 2

図 16-2 転送データフォーマット

16.7　赤外線データフォーマット転送モード

TXD0 端子は、IrDA 出力制御レジスタの設定により、赤外線データフォーマット(IrDA)での出力が可能です。UART0CR1<IRDASEL>を"1"に設定すると、TXD0 端子から赤外線データフォーマットでデータが出力されます。

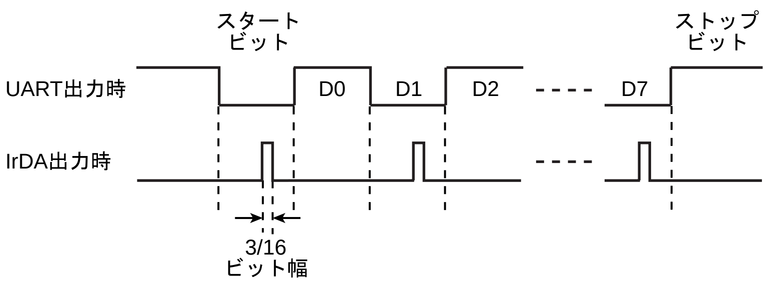


図 16-3 赤外線データフォーマット例 (通常出力時と IrDA 出力時の比較)

16.8 転送ボーレート

UART の転送ボーレートは UART0CR1<BRG>、UART0DR、UART0CR2<RTSEL>により設定されます。下表に一般的なボーレートと動作周波数に対する UART0DR、UART0CR2<RTSEL>の設定一覧を示します。

転送ボーレートの設定を独自に算出する場合は、「16.8.1 転送ボーレートの算出方法」を参照してください。

表 16-6 転送ボーレートに対する UART0DR、UART0CR2<RTSEL>の設定値 (fcgck = 10 ~ 1MHz, UART0CR2<RXDNC> = 0y00)

基準ボーレート [baud]	レジスタ	動作周波数										
		10MHz	8MHz	7.3728 MHz	6.144 MHz	6MHz	5MHz	4.9152 MHz	4.19MHz	4MHz	2MHz	1MHz
128000	UART0DR	0x04	0x03	-	0x02	0x02	-	-	0x01	0x01	0x00	-
	RTSEL	0y011	0y011	-	0y000	0y011	-	-	0y001	0y011	0y011	-
	誤差	(+0.81%)	(+0.81%)	-	(0%)	(+0.81%)	-	-	(-0.80%)	(+0.81%)	(+0.81%)	-
115200	UART0DR	0x04	0x03	0x03	-	0x02	-	-	-	0x01	0x00	-
	RTSEL	0y100	0y100	0y000	-	0y100	-	-	-	0y100	0y100	-
	誤差	(+2.12%)	(+2.12%)	(0%)	-	(+2.12%)	-	-	-	(+2.12%)	(+2.12%)	-
76800	UART0DR	0x07	0x06	0x05	0x04	0x04	0x03	0x03	-	0x02	-	-
	RTSEL	0y001	0y010	0y000	0y000	0y011	0y001	0y000	-	0y100	-	-
	誤差	(-1.36%)	(-0.79%)	(0%)	(0%)	(+0.81%)	(-1.36%)	(0%)	-	(+2.12%)	-	-
62500	UART0DR	0x09	0x07	0x06	0x05	0x05	0x04	0x04	0x03	0x03	0x01	0x00
	RTSEL	0y000	0y000	0y100	0y001	0y000	0y000	0y011	0y100	0y000	0y000	0y000
	誤差	(0%)	(0%)	(-0.87%)	(-0.70%)	(0%)	(0%)	(+1.48%)	(-1.41%)	(0%)	(0%)	(0%)
57600	UART0DR	0x0A	0x08	0x07	0x06	0x06	0x04	0x04	-	0x03	0x01	0x00
	RTSEL	0y000	0y011	0y000	0y010	0y010	0y100	0y100	-	0y100	0y100	0y100
	誤差	(-1.36%)	(-0.44%)	(0%)	(+1.59%)	(-0.79%)	(+2.12%)	(+0.39%)	-	(+2.12%)	(+2.12%)	(+2.12%)
38400	UART0DR	0x10	0x0C	0x0B	0x09	0x09	0x07	0x07	0x06	0x06	0x02	-
	RTSEL	0y011	0y000	0y000	0y000	0y011	0y001	0y000	0y011	0y010	0y100	-
	誤差	(-1.17%)	(+0.16%)	(0%)	(0%)	(+0.81%)	(-1.36%)	(0%)	(+0.57%)	(-0.79%)	(+2.12%)	-
19200	UART0DR	0x22	0x19	0x17	0x13	0x12	0x10	0x0F	0x0D	0x0C	0x06	0x02
	RTSEL	0y010	0y000	0y000	0y000	0y001	0y011	0y000	0y011	0y000	0y010	0y100
	誤差	(-0.79%)	(+0.16%)	(0%)	(0%)	(-0.32%)	(-1.17%)	(0%)	(+0.57%)	(+0.16%)	(-0.79%)	(+2.12%)
9600	UART0DR	0x40	0x30	0x2F	0x27	0x26	0x22	0x1F	0x1C	0x19	0x0C	0x06
	RTSEL	0y000	0y100	0y000	0y000	0y000	0y010	0y000	0y010	0y000	0y000	0y010
	誤差	(+0.16%)	(+0.04%)	(0%)	(0%)	(+0.16%)	(-0.79%)	(0%)	(+0.34%)	(+0.16%)	(+0.16%)	(-0.79%)
4800	UART0DR	0x8A	0x64	0x5F	0x4F	0x4D	0x40	0x3F	0x34	0x30	0x19	0x0C
	RTSEL	0y010	0y001	0y000	0y000	0y000	0y000	0y000	0y001	0y100	0y000	0y000
	誤差	(-0.08%)	(+0.01%)	(0%)	(0%)	(+0.16%)	(+0.16%)	(0%)	(-0.18%)	(+0.04%)	(+0.16%)	(+0.16%)
2400	UART0DR	0xF4	0xC9	0xBF	0x9F	0x92	0x8A	0x7F	0x6C	0x64	0x30	0x19
	RTSEL	0y100	0y001	0y000	0y000	0y100	0y010	0y000	0y000	0y001	0y100	0y000
	誤差	(+0.04%)	(+0.01%)	(0%)	(0%)	(+0.04%)	(-0.08%)	(0%)	(+0.11%)	(+0.01%)	(+0.04%)	(+0.16%)
1200	UART0DR	-	-	-	-	-	0xF4	0xFF	0xE8	0xC9	0x64	0x30
	RTSEL	-	-	-	-	-	0y100	0y000	0y010	0y001	0y001	0y100
	誤差	-	-	-	-	-	(+0.04%)	(+0%)	(-0.10%)	(+0.01%)	(+0.01%)	(+0.04%)

表 16-7 転送ボーレートに対する UART0DR、UART0CR2<RTSEL>の設定値 (fs = 32.768 kHz, UART0CR2<RXDNC> = 0x00)

基準ボーレート [baud]	レジスタ	動作周波数
		32.768 kHz
300	UART0DR	0x06
	RTSEL	0y011
	誤差	(+0.67%)
150	UART0DR	0x0D
	RTSEL	0y011
	誤差	(+0.67%)
134	UART0DR	0x0E
	RTSEL	0y001
	誤差	(-1.20%)
110	UART0DR	0x11
	RTSEL	0y001
	誤差	(+0.30%)
75	UART0DR	0x1C
	RTSEL	0y010
	誤差	(+0.44%)

注 1)　基準ボーレートとの総合誤差は±3%以内で使用してください。ただし総合誤差が±3%以内であっても、外部コントローラ(パソコン等)や発振子の周波数誤差、通信端子の負荷容量などの要因により、正常に通信できない場合があります。

16.8.1　転送ボーレートの算出方法

16.8.1.1　UART0CR2<RTSEL>によるビット幅調整

UART0CR2<RTSEL>を変更すると送受信データのビット幅を微調整することができます。UART0CR2<RTSEL>を変更すると 1 ビットあたりの RT クロック数を 15～17 クロックの範囲で変更することができます。RT クロックとは、転送の基準となるクロックのことで、UART0CR1 <BRG>で選択されたクロックを (UART0DR の設定値) +1 [回]カウントしたパルスのことを言います。特に UART0CR2<RTSEL>が"0y001"、"0y011"の設定ではビットごとに 2 種類の RT クロックが入れ替わりますので、擬似的に RT×15.5 クロック、RT×16.5 クロック相当のボーレートを生成することが可能です。転送フレームに対する 1 ビットあたりの RT クロック数を図 16-4 に示します。

例えば fcgck = 4 [MHz]時に、UART0CR2<RTSEL>="0y000"、UART0DR = 0x19 に設定すると、図 16-4 の計算式により、

fcgck / (16 ×(UART0DR+1)) = 9615 [baud]となり、9600[baud] (+0.16%)相当のボーレートを生成することができます。

転送フレーム

PE	STBT	1	2	3	4	5	6	7	8	9	10	11	12
0	0	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Stop 1		
0	1	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Stop 1	Stop 2	
1	0	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Parity	Stop 1	
1	1	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Parity	Stop 1	Stop 2

RTクロック数

RTSEL	1	2	3	4	5	6	7	8	9	10	11	12	生成ボーレート
000	16	16	16	16	16	16	16	16	16	16	16	16	$\frac{fcgck}{16\times(UARTDR+1)}$ [baud]
001	16	17	16	17	16	17	16	17	16	17	16	17	$\frac{fcgck}{16.5\times(UARTDR+1)}$ [baud]
010	15	15	15	15	15	15	15	15	15	15	15	15	$\frac{fcgck}{15\times(UARTDR+1)}$ [baud]
011	15	16	15	16	15	16	15	16	15	16	15	16	$\frac{fcgck}{15.5\times(UARTDR+1)}$ [baud]
100	17	17	17	17	17	17	17	17	17	17	17	17	$\frac{fcgck}{17\times(UARTDR+1)}$ [baud]

*BRGがfcgckの場合

図 16-4 UART0CR2<RTSEL>によるボーレートクロックの微調整

16.8.1.2 UART0CR2<RTSEL>と UART0DR 設定値の算出

動作周波数とボーレートに対して UART0DR の設定値を算出する場合、図 16-5 の計算式によって求めることができます。例えば fcgck = 4 [MHz]で基準ボーレート 38400 [baud]を生成したい場合、図 16-6 のように UART0CR2<RTSEL>ごとに UART0DR の設定値を算出し、算出値を正数に補正した値で生成ボーレートを算出します。基本的に UART0CR2<RTSEL>の設定値は、生成ボーレートの中でボーレート誤差が一番少ないものを選択してください。図 16-6 の場合、UART0CR2<RTSEL>="0y010"が算出したボーレートの中で一番誤差が少なく、基準ボーレート 38400[baud]に対して生成ボーレートが 38095[baud] (−0.79%)となります。

注) 基準ボーレートとの誤差は±3%以内で使用することを推奨します。ただし誤差が±3%以内であっても、外部コントローラ(パソコン等)や発振子の周波数誤差、通信端子の負荷容量などの要因により、正常に通信ができない場合があります。

RTSEL	UARTDRの設定値
000	$UARTDR = \frac{fcgck\ [Hz]}{16\times A\ [baud]} - 1$
001	$UARTDR = \frac{fcgck\ [Hz]}{16.5\times A\ [baud]} - 1$
010	$UARTDR = \frac{fcgck\ [Hz]}{15\times A\ [baud]} - 1$
011	$UARTDR = \frac{fcgck\ [Hz]}{15.5\times A\ [baud]} - 1$
100	$UARTDR = \frac{fcgck\ [Hz]}{17\times A\ [baud]} - 1$

図 16-5 UART0DR の算出方法 (BRG が fcgck の場合)

RTSEL	UARTDRの算出	生成ボーレート
000	UARTDR = $\frac{4000000\ [Hz]}{16 \times 38400\ [baud]}$ −1 ≈ 6	$\frac{4000000\ [Hz]}{16 \times (6 + 1)}$ ＝35714 [baud] (−6.99%)
001	UARTDR = $\frac{4000000\ [Hz]}{16.5 \times 38400\ [baud]}$ −1 ≈ 5	$\frac{4000000\ [Hz]}{16.5 \times (5 + 1)}$ ＝40404 [baud] (＋5.22%)
010	UARTDR = $\frac{4000000\ [Hz]}{15 \times 38400\ [baud]}$ −1 ≈ 6	$\frac{4000000\ [Hz]}{15 \times (6 + 1)}$ ＝38095 [baud] (−0.79%)
011	UARTDR = $\frac{4000000\ [Hz]}{15.5 \times 38400\ [baud]}$ −1 ≈ 6	$\frac{4000000\ [Hz]}{15.5 \times (6 + 1)}$ ＝36866 [baud] (−3.99%)
100	UARTDR = $\frac{4000000\ [Hz]}{17 \times 38400\ [baud]}$ −1 ≈ 5	$\frac{4000000\ [Hz]}{17 \times (5 + 1)}$ ＝39216 [baud] (＋2.12%)

図 16-6 UART0DR の算出例

16.9 データのサンプリング方法

UART の受信制御回路は、RXD0 端子の入力パルスとして立ち下がりエッジを検出すると、RT クロックによってカウントを開始します。RT クロックは、1 ビットあたり 15 ~ 17 カウント行われ、それぞれのクロックは RTn で表されます(n = 16 ~ 0)。RT クロックが 17 カウントのビットは RT16 ~ RT0、16 カウントのビットは RT15 ~ RT0、15 カウントのビットは RT14 ~ RT0 でカウントが行われます(デクリメント)。UART の受信制御回路は、このうち RT8 ~ RT6 のカウント時に RXD0 端子の入力パルスをサンプリングし多数決判定を行います。3 回のサンプリングのうち 2 回以上検出したレベルをそのビットのデータとして処理します。

UART0CR2<RTSEL>を設定すると RT クロック数を 15 ~ 17 に変更することができますが、RT クロック数が変わっても、サンプリングは必ず RT8 ~ RT6 で行われます(図 16-7)。

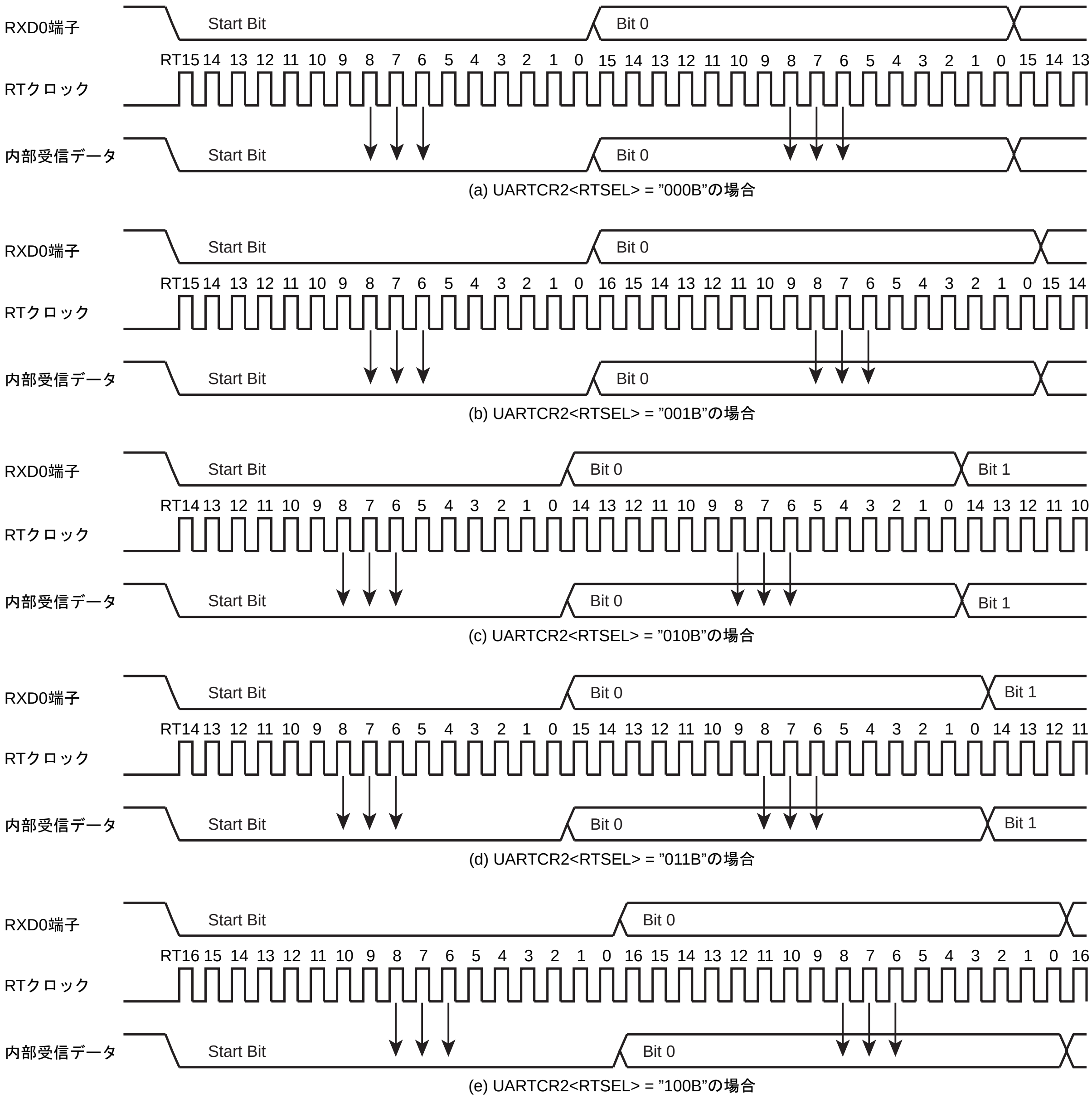


図 16-7 UART0CR2<RTSEL>別のデータサンプリング

ノイズなどの影響によりスタートビットのサンプリングで"1"が検出された場合、RT クロックのカウントは停止し、受信は中断されます。その後、RXD0 端子の入力パルスとして立ち下がりエッジを検出すると、RT クロックによるカウントを開始しスタートビットから受信が再開されます。

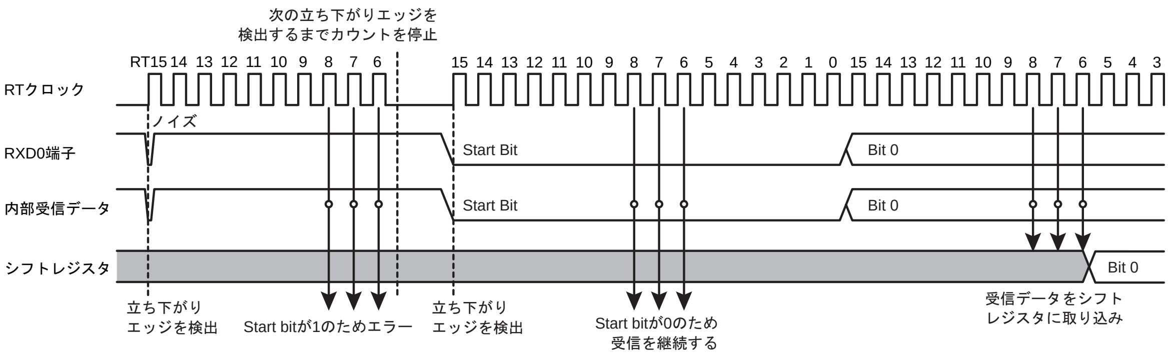


図 16-8 スタートビットのサンプリング

16.10 受信データのノイズ除去

UART0CR2<RXDNC>で受信データのノイズ除去を行う場合、受信データのパルスが確実に信号とみなされる時間は表 16-8 のようになります。

表 16-8 受信データのノイズ除去時間

RXDNC	ノイズ除去時間[s]	確実に信号とみなされる時間[s]
00	無し	-
01	(UART0DR+1) / (転送ベースクロックの周波数)	2×(UART0DR+1) / (転送ベースクロックの周波数)
10	2×(UART0DR+1) / (転送ベースクロックの周波数)	4×(UART0DR+1) / (転送ベースクロックの周波数)
11	4×(UART0DR+1) / (転送ベースクロックの周波数)	8×(UART0DR+1) / (転送ベースクロックの周波数)

注 1) 「転送ベースクロックの周波数」とは UART0CR1<BRG>で選択したクロックの周波数のことです。

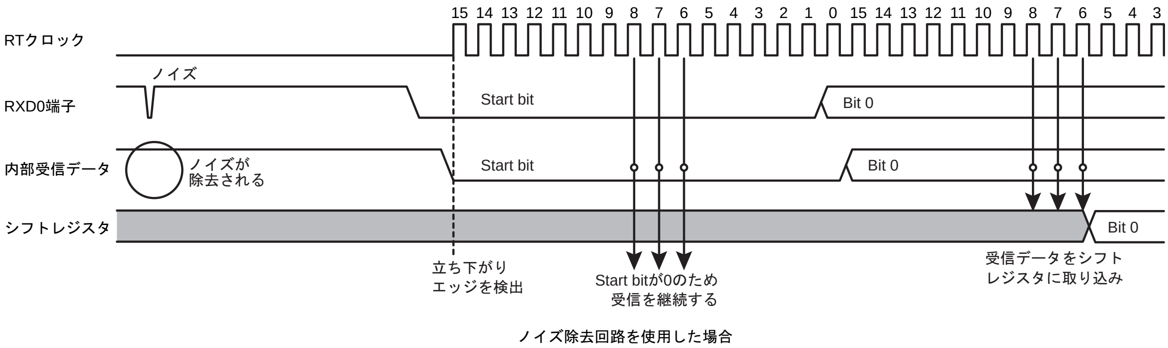


図 16-9 受信データのノイズ除去

16.11　送受信動作

16.11.1　データ送信動作

UART0CR1<TXE>を"1" にセットします。UART0SR<TBFL> ="0"を確認後、TD0BUF (送信データバッファ) にデータを書き込みます。TD0BUF に書き込みを行うと UART0SR<TBFL>は "1" にセットされデータが送信シフトレジスタに転送された後、TXD0 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UART0CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UART0CR1<BRG>、UART0CR2<RTSEL>および UART0DR で設定します。データの送信が始まると送信バッファフルフラグ UART0SR<TBFL>は"0" にクリアされ、INTTXD0 割り込み要求が発生します。

注 1)　TD0BUF にデータを書き込んだ後、データがシフトレジスタに転送される前に再度 TD0BUF に書き込みを行うと前回のデータは上書きされ、新しいデータがシフトレジスタに転送されます。

注 2)　TXD0 端子出力は表 16-9 の状態のとき、UART0CR1<IRDASEL>の設定に従って L レベルまたは H レベルに固定されます。

表 16-9 TXD0 端子出力

<table>
<tr><th rowspan="2">状態</th><th colspan="2">TXD0 端子出力</th></tr>
<tr><th>IRDASEL="0"</th><th>IRDASEL="1"</th></tr>
<tr><td>UART0CR1<TXE>="0"のとき</td><td rowspan="3">H レベル</td><td rowspan="3">L レベル</td></tr>
<tr><td>UART0CR1<TXE>に"1"をライトしてから TD0BUF に送信データが書き込まれるまでの期間</td></tr>
<tr><td>STOP/IDLE0/SLEEP0 モード中</td></tr>
</table>

16.11.2　データ受信動作

UART0CR1<RXE>を "1" にセットします。その後、RXD0 端子からデータを受信すると、RD0BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RD0BUF (受信データバッファ) に転送された後、受信バッファフルフラグ UART0SR<RBFL>がセットされ、INTRXD0 割り込み要求が発生します。データ転送ボーレートは UART0CR1<BRG>、UART0CR2<RTSEL>および UART0DR で設定します。

データが受信されたときに、オーバランエラーが発生すると、RD0BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD0BUF 内のデータは影響を受けません。

16.12 ステータスフラグ

16.12.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART0SR<PERR>が"1"にセットされます。このとき INTRXD0 割り込み要求が発生します。

UART0SR を読み出したときに UART0SR<PERR>が"1"だった場合、その後 RD0BUF をリードすると UART0SR<PERR>は"0"にクリアされます(RD0BUF のリード値は不定となります)。

UART0SR を読み出した後に、UART0SR<PERR>が"1"にセットされた場合は、その後 RD0BUF を読み出しても UART0SR<PERR>は"0"にクリアされません。この場合は、再度 UART0SR を読み出してから RD0BUF を読み出すと UART0SR<PERR>が"0"にクリアされます。

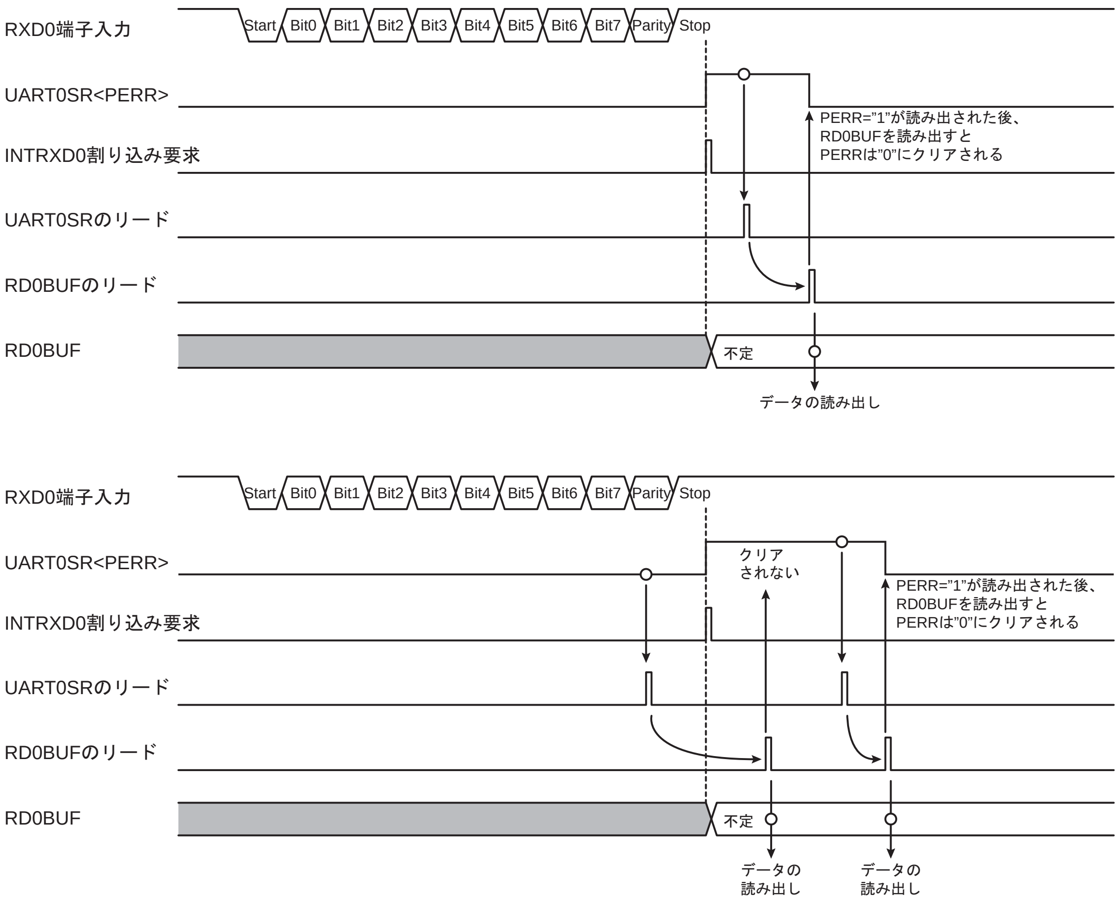


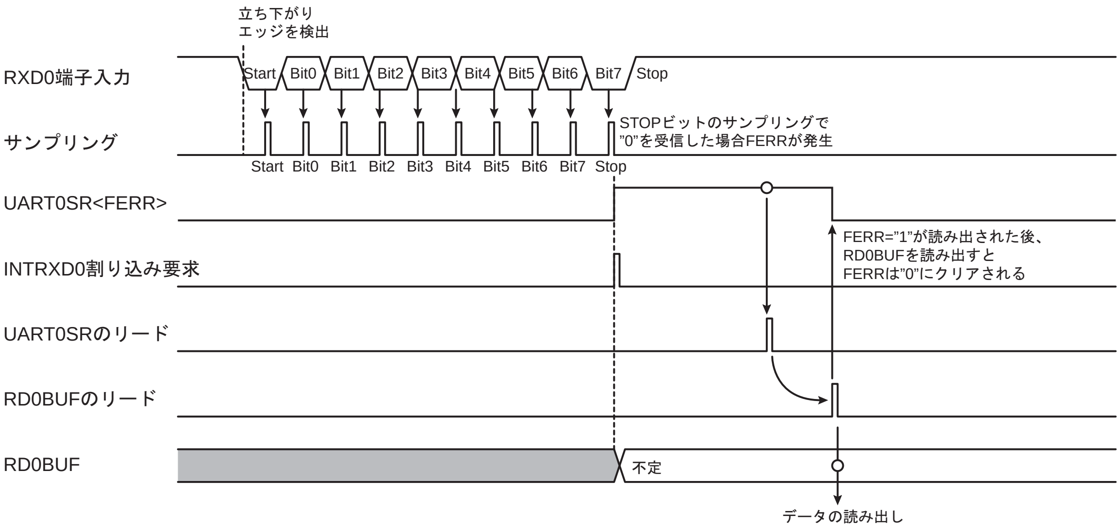
図 16-10 パリティエラーの発生

16.12.2　フレーミングエラー

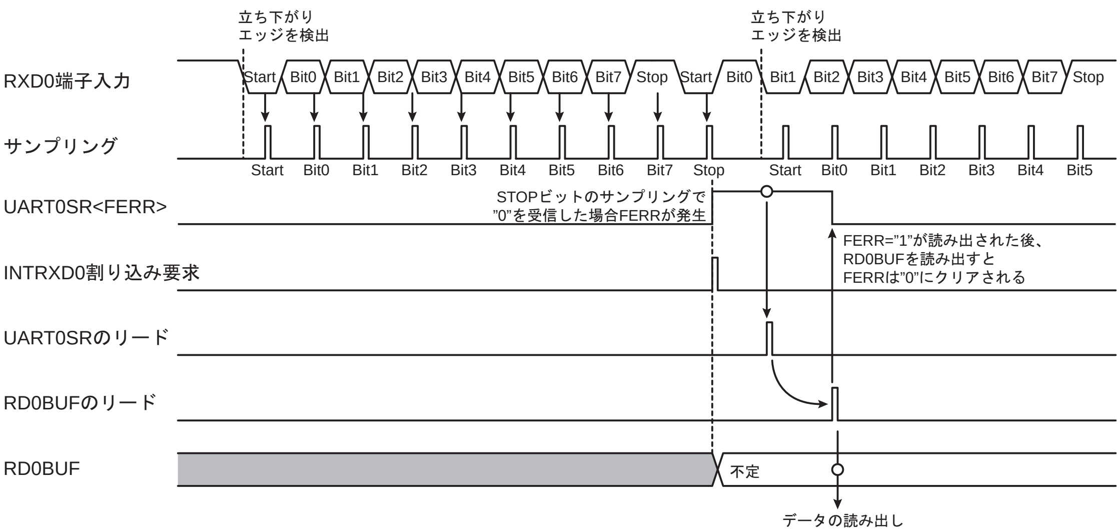
内部と外部のボーレートが合わなかったり、RXD0 端子へのノイズの影響などで、受信データの STOP ビットとして "0" がサンプリングされた場合、フレーミングエラーフラグ UART0SR<FERR> が"1"にセットされます。このとき INTRXD0 割り込み要求が発生します。

UART0SR を読み出したときに UART0SR<FERR>が"1"だった場合、その後 RD0BUF をリードすると UART0SR<FERR>は"0"にクリアされます。

UART0SR を読み出した後に、UART0SR<FERR>が"1"にセットされた場合は、その後 RD0BUF を読み出しても UART0SR<FERR>は"0"にクリアされません。この場合は、再度 UART0SR を読み出してから RD0BUF を読み出すと UART0SR<FERR>が"0"にクリアされます。



外部のボーレートが内部の設定より遅かった場合



外部のボーレートが内部の設定より速かった場合

図 16-11 フレーミングエラーの発生

16.12.3 オーバランエラー

RD0BUF から受信データを読み出す前に、次のデータの受信が全ビット完了するとオーバランエラーフラグ UART0SR<OERR>が"1"にセットされ、INTRXD0 割り込み要求が発生します。オーバランエラーが発生したときの受信データは破棄され、先に受信したデータが保持されます。その後、UART0SR<OERR>が"1"の状態で続けてデータを受信しても INTRXD0 割り込み要求は発生せず、受信されたデータも破棄されます。(図 16-12)

なお、破棄された受信データのパリティエラーおよびフレーミングエラーは検出されません(エラーフラグはセットされません)。つまり UART0SR の読み出しで、オーバランエラーと同時に検出されたこれらのエラーは、先に受信したデータ(RD0BUF に格納されているデータ)で発生したエラーとなります。(図 16-13)

UART0SR を読み出したときに UART0SR<OERR>が"1"だった場合、その後 RD0BUF をリードすると UART0SR<OERR>は"0"にクリアされます。(図 16-14)

UART0SR を読み出した後に、UART0SR<OERR>が"1"にセットされた場合は、その後 RD0BUF を読み出しても UART0SR<OERR>は"0"にクリアされません。この場合は、再度 UART0SR を読み出してから RD0BUF を読み出すと UART0SR<OERR>が"0"にクリアされます。(図 16-14)

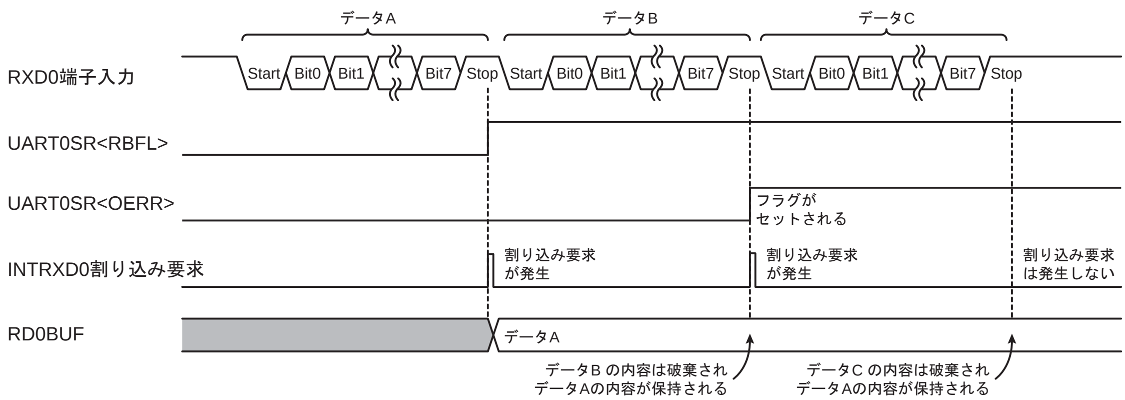
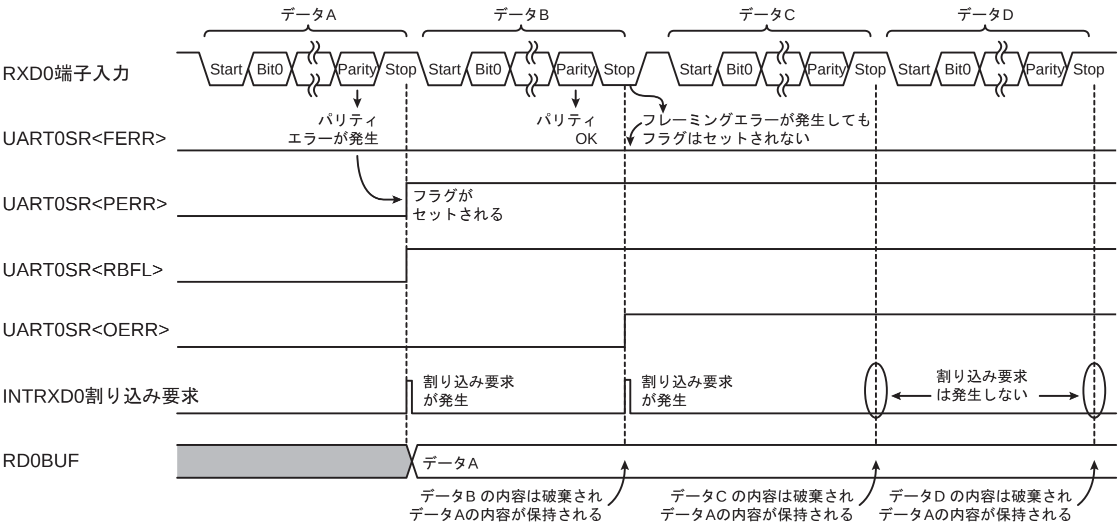
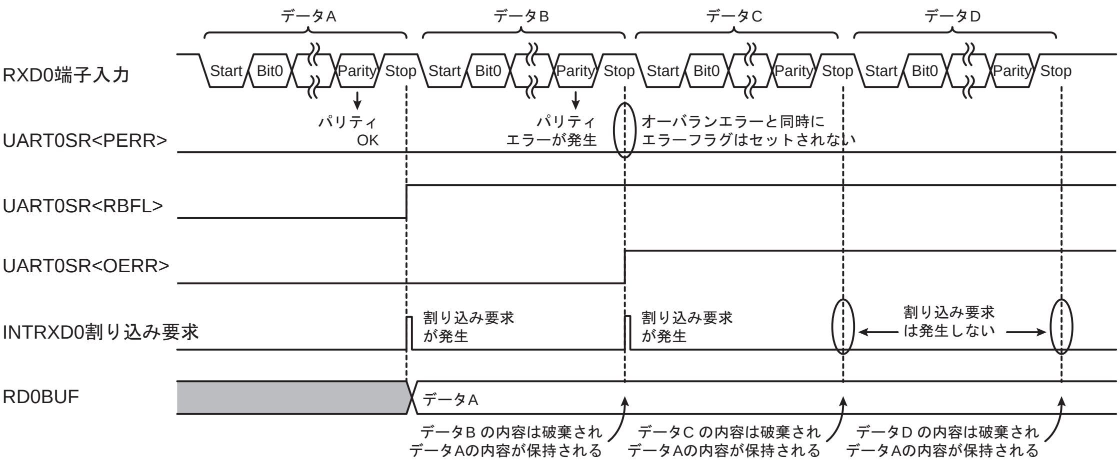


図 16-12 INTRXD0 割り込み要求の発生



最初のデータ受信でパリティエラー、2番目のデータでフレーミングエラーが発生した場合



2番目のデータ受信でパリティエラーが発生した場合

図 16-13 オーバランエラー発生時のフレーミング/パリティエラーフラグ

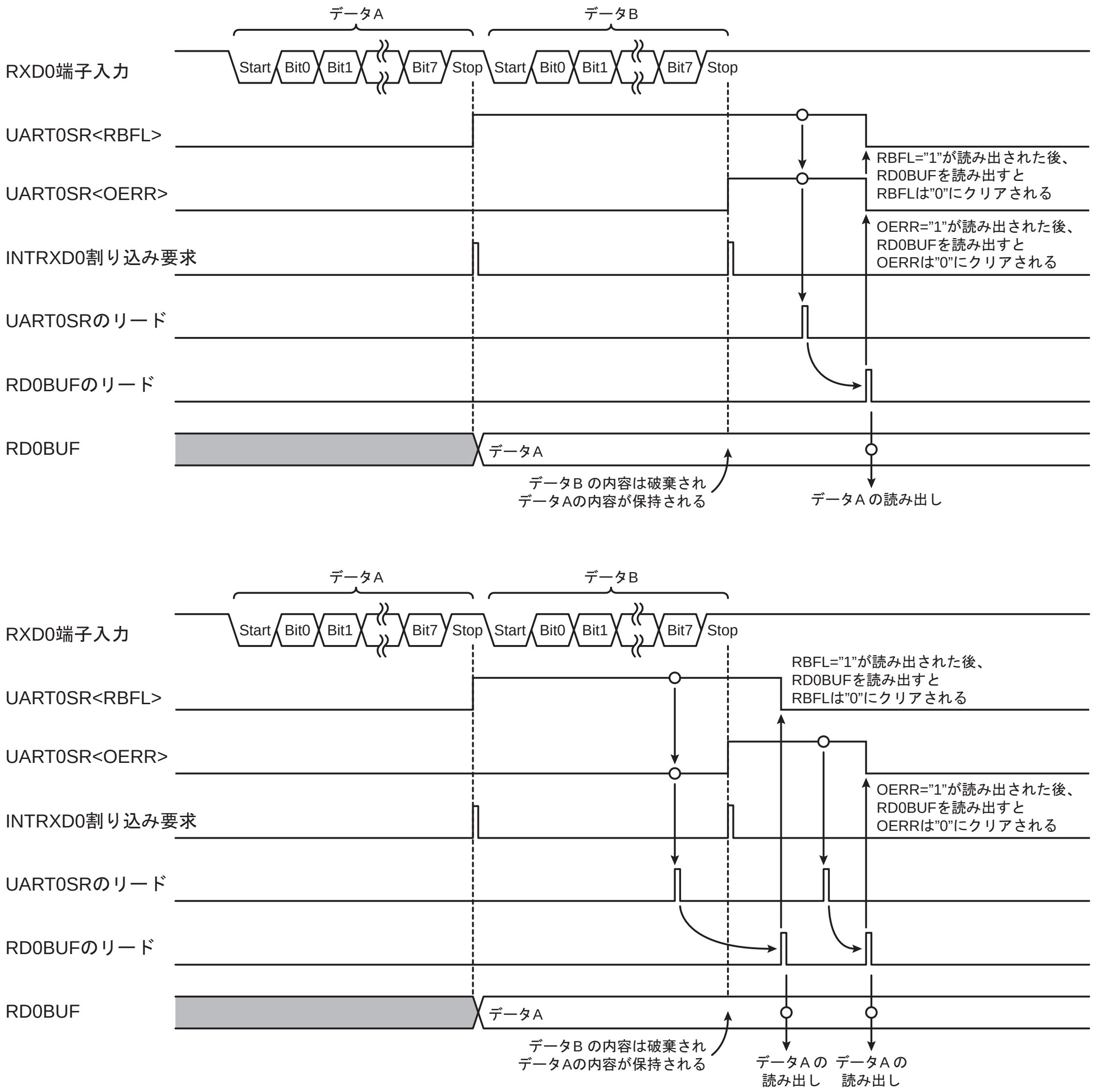


図 16-14 オーバランエラーフラグのクリア

16.12.4　受信バッファフル

受信データを RD0BUF に取り込むと UART0SR<RBFL>が"1"にセットされます。

UART0SR を読み出したときに UART0SR<RBFL>が"1"だった場合、その後 RD0BUF をリードすると UART0SR<RBFL>は"0"にクリアされます。

UART0SR を読み出した後に、UART0SR<RBFL>が"1"にセットされた場合は、その後 RD0BUF を読み出しても UART0SR<RBFL>は"0"にクリアされません。この場合は、再度 UART0SR を読み出してから RD0BUF を読み出すと UART0SR<RBFL>が"0"にクリアされます。

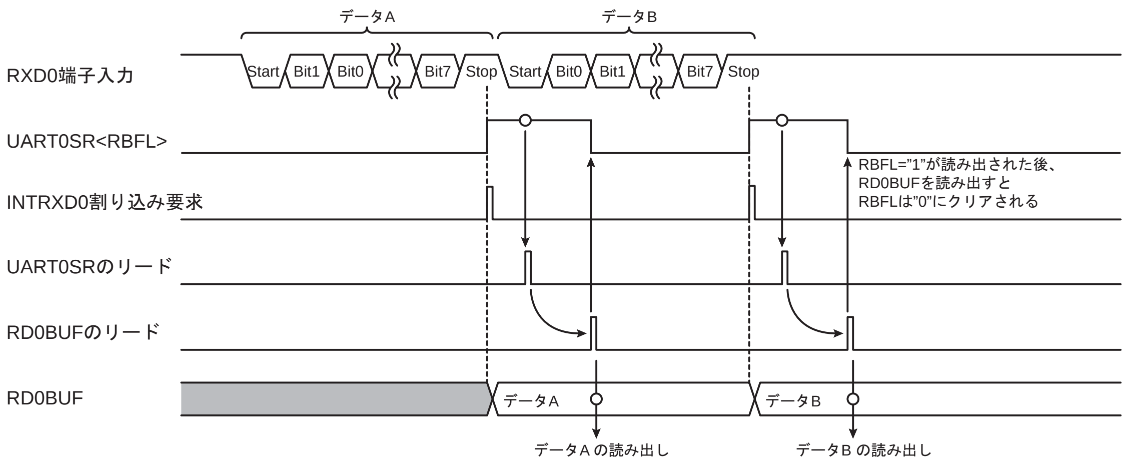


図 16-15 受信バッファフルの発生

16.12.5　送信ビジーフラグ

TD0BUF 内に待機中のデータがないとき (UART0SR<TBFL>="0"のとき)に送信が終了すると UART0SR<TBSY>が"0"にクリアされます。TD0BUF にデータを書き込んだ後、送信が開始されると UART0SR<TBSY>は"1"にセットされます。このとき INTTXD0 割り込み要求が発生します。

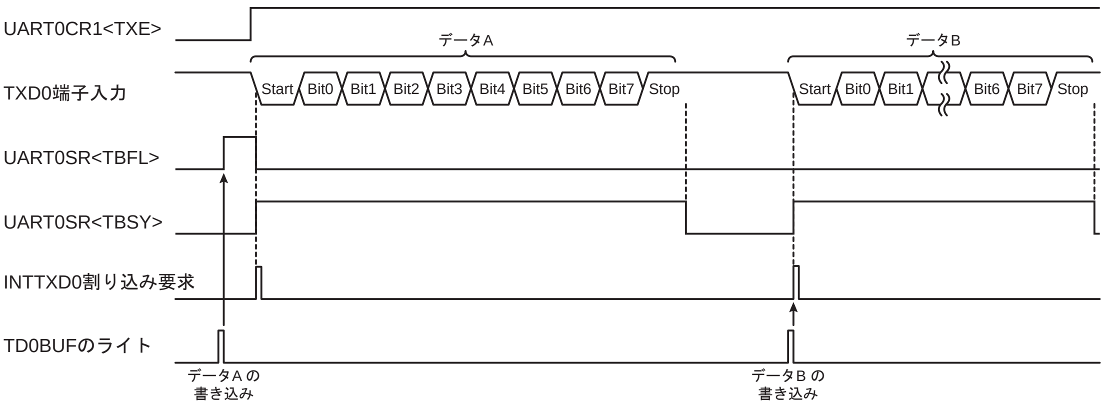


図 16-16 送信ビジーフラグと送信バッファフルの発生

16.12.6　送信バッファフル

TD0BUF にデータが存在しないとき、つまり TD0BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART0SR<TBFL>が"0"にクリアされます。このとき INTTXD0 割り込み要求が発生します。

TD0BUF にデータを書き込むと UART0SR<TBFL>は"1"にセットされます。

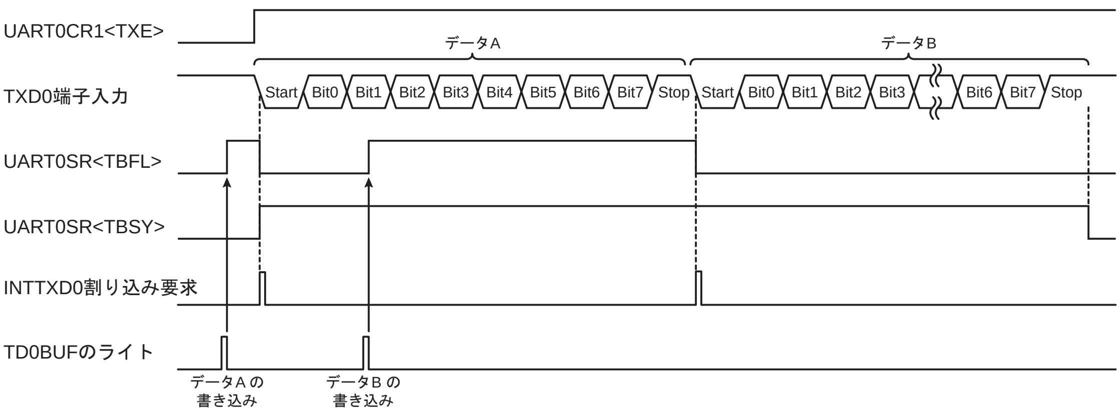


図 16-17 送信バッファフルの発生

16.13　受信処理

図 16-18 に受信処理例を示します。また同処理でのフラグ判定内容を表 16-10、表 16-11 に示します。

フレーミングエラー、パリティエラーが検出された場合は、受信したデータの値に誤りがあります。RD0BUF から読み出した受信データは読み捨てて、再受信を行うなどのエラー処理を行ってください。

オーバランエラーが検出された場合は、受信データに取りこぼしが発生しています。取りこぼししたデータ数は判断できませんので、転送の最初から再受信を行うなどのエラー処理を行ってください。基本的にオーバランエラーが発生するのは、データの転送速度に対して内部のソフトウェア処理が追従できていないことが原因ですので、転送ボーレートを遅くしたり、フロー制御を行うようソフトウェアを変更することを推奨します。

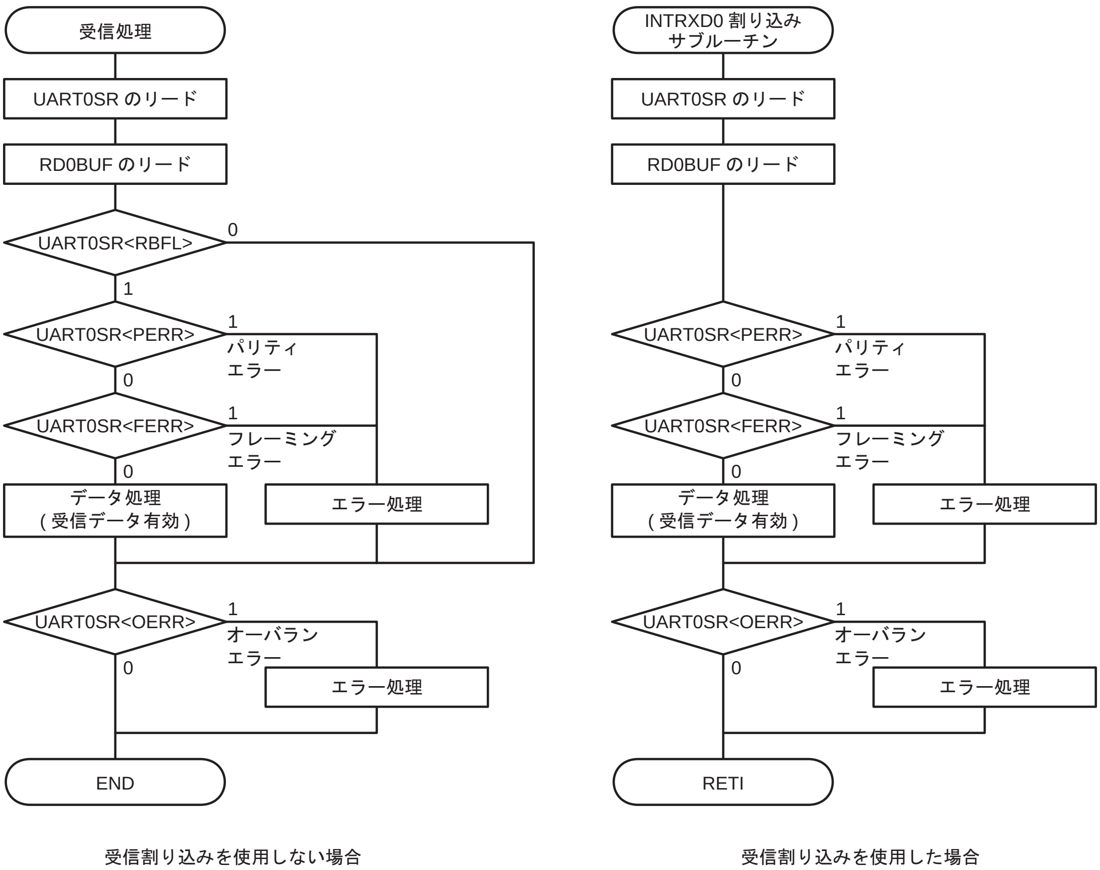


図 16-18 受信処理例

注 1)　INTRXD0 割り込みサービスルーチンの中で多重割り込みを使用する場合は UART0SR および RD0BUF の読み出し後に割り込みを許可することを推奨します。

表 16-10 受信割り込みを使用しない場合のフラグ判定

RBFL	FERR/PERR	OERR	状態
0	-	0	データ未受信
0	-	1	前回のデータ受信処理中にデータの取りこぼしが発生した (前回のデータ受信処理で、UART0SR を読み出ししてから RD0BUF を読み出すまでの間に次のデータの受信が完了した)
1	0	0	正常に受信が完了
1	0	1	正常に受信が完了したが、データの取りこぼしが発生した
1	1	0	受信したデータの値に誤りがある
1	1	1	受信したデータの値に誤りがあり、かつデータの取りこぼしが発生した

表 16-11 受信割り込みを使用した場合のフラグ判定

FERR/PERR	OERR	状態
0	0	正常に受信が完了
0	1	正常に受信が完了したが、データの取りこぼしが発生した
1	0	受信したデータの値に誤りがある
1	1	受信したデータの値に誤りがあり、かつデータの取りこぼしが発生した

16.14　AC 特性

16.14.1　IrDA 特性

(V_{SS} = 0 V, Topr = −40 ~ 85°C)

項目	条件	Min	Typ.	Max	単位
TXD 出力パルス時間 (RT クロック × (3/16))	転送ボーレート= 2400bps	-	78.13	-	μs
	転送ボーレート = 9600bps	-	19.53	-	
	転送ボーレート = 19200bps	-	9.77	-	
	転送ボーレート = 38400bps	-	4.88	-	
	転送ボーレート = 57600bps	-	3.26	-	
	転送ボーレート = 115200bps	-	1.63	-	

第 17 章　同期式シリアルインタフェース(SIO)

TMP89FM46A は、クロック同期方式の高速 8 ビット シリアルインタフェースを 1ch 内蔵しています。

表 17-1 SFR アドレス割り付け

	SIOxCR (アドレス)	SIOxSR (アドレス)	SIOxBUF (アドレス)
シリアルインタフェース 0	SIO0CR (0x001F)	SIO0SR (0x0020)	SIO0BUF (0x0021)

表 17-2 端子名

	シリアルクロック入出力端子	シリアルデータ入力端子	シリアルデータ出力端子
シリアルインタフェース 0	SCLK0 端子	SI0 端子	SO0 端子

17.1　構成

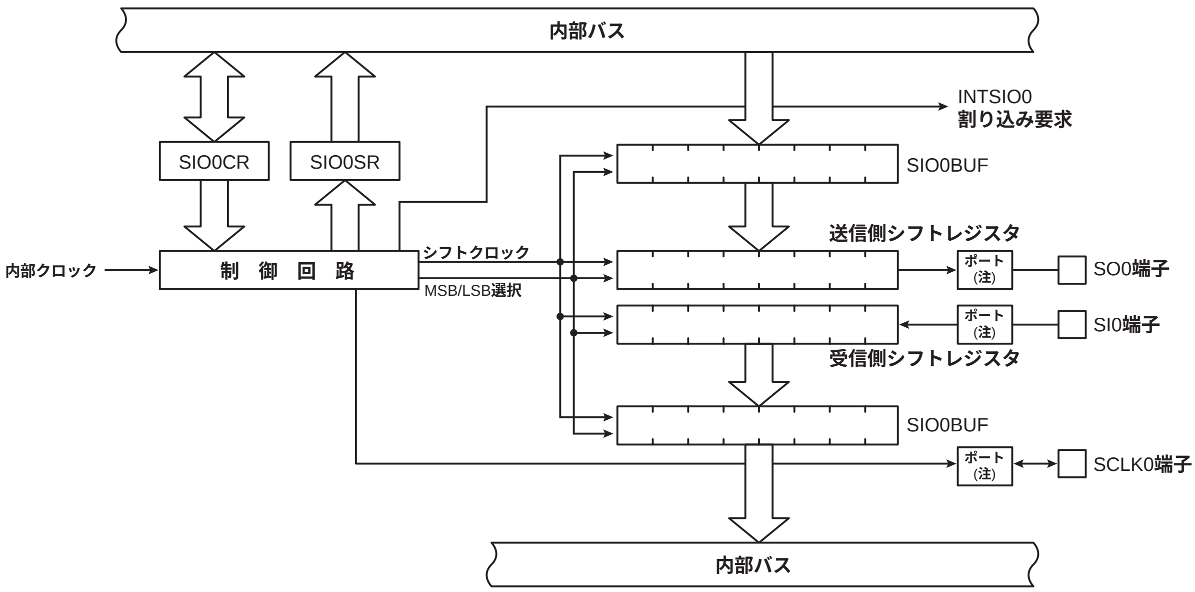


図 17-1 シリアル インタフェース

注)　シリアルインタフェース入出力は I/O ポートと兼用となっていますので、シリアルインタフェース用の端子として機能させるためには I/O ポートのレジスタ設定が必要です。詳しくは I/O ポートの章を参照してください。

17.2 制御

同期式シリアルインタフェース SIO0 は、低消費電力レジスタ(POFFCR2)、シリアルインタフェースデータバッファレジスタ(SIO0BUF)、シリアルインタフェース制御レジスタ(SIO0CR)、シリアルインタフェースステータスレジスタ(SIO0SR)で制御されます。

低消費電力レジスタ 2 制御

POFFCR2 (0x0F76)		7	6	5	4	3	2	1	0
	Bit Symbol	-	-	RTCEN	-	-	-	-	SIO0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

RTCEN	RTC 制御	0	Disable
		1	Enable
SIO0EN	SIO0 制御	0	Disable
		1	Enable

シリアルインタフェースバッファレジスタ

SIO0BUF (0x0021)		7	6	5	4	3	2	1	0
	Bit Symbol	SIO0BUF							
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0

シリアルインタフェースバッファレジスタ

SIO0BUF (0x0021)		7	6	5	4	3	2	1	0
	Bit Symbol	SIO0BUF							
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1

注 1) SIO0BUF は、送受信兼用のデータバッファです。読み出しを行うと、常に最後に受信したデータが読み出されます。ただし、1 度もデータを受信していない場合は"0"が読み出されます。書込みを行うと、送信データとして処理を行います。

シリアルインタフェース制御レジスタ

SIO0CR		7	6	5	4	3	2	1	0
(0x001F)	Bit Symbol	SIOEDG	SIOCKS			SIODIR	SIOS	SIOM	
	Read/Write	R/W	R/W			R/W	R/W	R/W	
	リセット後	0	0	0	0	0	0	0	0

SIOEDG	転送エッジ選択	0	0:立上りエッジでデータの受信、立下りエッジでデータの送信	
		1	1:立上りエッジでデータの送信、立下りエッジでデータの受信	
SIOCKS	シリアルクロックの選択 [Hz]		NORMAL1/2,IDLE1/2 モード	SLOW1/2、SLEEP1 モード
		000	$fcgck/2^9$	-
		001	$fcgck/2^6$	-
		010	$fcgck/2^5$	-
		011	$fcgck/2^4$	-
		100	$fcgck/2^3$	-
		101	$fcgck/2^2$	-
		110	fcgck/2	$fs/2^3$
		111	外部クロック入力	
SIODIR	転送フォーマット(MSB/LSB)の選択	0	LSB ファースト(ビット 0 から転送)	
		1	MSB ファースト(ビット 7 から転送)	
SIOS	転送動作の開始/終了指示	0	0:動作終了(予約停止)	
		1	1:動作開始	
SIOM	転送モードの選択＆動作	00	動作停止 (強制停止)	
		01	8 ビット送信モード	
		10	8 ビット受信モード	
		11	8 ビット送受信モード	

注 1)　fcgck:ギアクロック[Hz]、fs:低周波クロック[Hz]

注 2)　SIOS に"1"を書き込んで動作を開始した後は、SIO0SR<SIOF>が"0"になるまで、SIOEDG、SIOCKS、SIODIR への書込みは無効となります(ただし、SIOS を"0"から"1"に変更する際に、同時に SIOEDG、SIOCKS、SIODIR を変更することはできます)。

注 3)　SIOS に"1"を書き込んで動作を開始した後は、SIOF が"0"になるまで、SIOM には"00"以外の値は書き込めなくなります("01" ~ "11"の値を書き込んでも無視されます)。動作中、転送モードの変更を行うことはできません。

注 4)　SIOM が"00"(動作停止)のとき、SIOS に"1"を書き込んでも、SIOS は"0"のままとなります。

注 5)　SLOW1/2, SLEEP1 モードで SIO を使用するときは、必ず SIOCKS に"110"を設定してください。SIOCKS にそれ以外の設定を行った場合、SIO は動作しません。SLOW1/2 または SLEEP1 モードで SIO を使用する場合、あらかじめ SIOCKS="110"で通信を行うか、または SIO を停止してから SIOCKS の変更を行ってください。

注 6)　STOP/IDLE0/SLEEP0 モードを起動すると、SIOM は自動的に"00"にクリアされ、SIO は動作を停止します。同時に、SIOS も"0"にクリアされます。ただし、SIOEDG、SIOCKS、SIODIR の設定値は保持されます。

シリアルインタフェースステータスレジスタ

SIO0SR		7	6	5	4	3	2	1	0
(0x0020)	Bit Symbol	SIOF	SEF	OERR	REND	UERR	TBFL	-	-
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

SIOF	シリアル転送動作状態モニタ	0	転送中でない
		1	転送中
SEF	シフト動作状態モニタ	0	シフト動作中でない
		1	シフト動作中
OERR	受信オーバーランエラーフラグ	0	オーバーランエラー無し
		1	オーバーランエラーが少なくとも 1 回は発生した
REND	受信完了フラグ	0	前回受信データ読み出し後、データを受信していない
		1	少なくとも 1 回のデータ受信が行われた
UERR	送信アンダーランエラーフラグ	0	送信アンダーランエラー無し
		1	送信アンダーランエラーが少なくとも 1 回は発生した
TBFL	送信バッファフルフラグ	0	送信バッファは空
		1	送信バッファに未送信データが格納されている

注 1) OERR、UERR フラグは、SIO0SR を読み出すとクリアされます。

注 2) REND フラグは、SIO0BUF を読み出すとクリアされます。

注 3) SIO0CR<SIOM>に"00"を書き込むと、動作中であるかどうかに関わらず、SIO0SR の各ビットはすべて"0"にクリアされます。また、STOP/IDLE0/SLEEP0 モードが起動された場合も、自動的に SIOM が"00"にクリアされ、このときも、SIO0SR の各ビットはすべて"0"にクリアされます。

注 4) SIO0SR に対してリード命令を実行すると、ビット 1~0 は"0"が読み出されます。

17.3　低消費電力機能

シリアルインタフェース 0 は、シリアルインタフェース機能を使用しないとき、低消費電力レジスタ(POFFCR2)によって不要な電力を抑える機能を持っています。

POFFCR2<SIO0EN>を"0"に設定すると、シリアルインタフェース 0 への基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのときシリアルインタフェース機能が使用できなくなります。POFFCR2 <SIO0EN>を"1"に設定すると、シリアルインタフェース 0 へ基本クロックが供給(Enable)されシリアルインタフェース機能が使用可能になります。

リセット後、POFFCR2 <SIO0EN>は"0"に初期化されますので、シリアルインタフェース機能は使用不可の設定となります。よって初めてシリアルインタフェース機能を使用するときは、プログラムの初期設定(シリアルインタフェースの制御レジスタを操作する前)で必ず POFFCR2 <SIO0EN>を"1"に設定してください。

なお、シリアルインタフェースの動作中は POFFCR2<SIO0EN>を"0"に変更しないでください。変更した場合シリアルインタフェース 0 が予期せぬ動作をする場合があります。

17.4 機能

17.4.1 転送フォーマット

転送フォーマットは、SIO0CR<SIODIR>によって MSB ファーストか LSB ファーストを選択することができます。SIO0CR <SIODIR>に"0"を設定すると、転送フォーマットは LSB ファーストとなります。この場合、シリアルデータは最下位ビットから順に転送されます。

SIO0CR<SIODIR>に"1"を設定すると、転送フォーマットは MSB ファーストとなります。この場合、シリアルデータは最上位ビットから順に転送されます。

17.4.2 シリアルクロック

シリアルクロックは、SIO0CR<SIOCKS>によって選択することができます。

SIO0CR<SIOCKS>に"000"～"110"を設定すると、シリアルクロックは内部クロックが選択されます。この場合、シリアルクロックは SCLK0 端子から出力されます。シリアルデータはこの SCLK0 端子出力のエッジに同期して転送が行われます。

SIO0CR<SIOCKS>に"111"を設定すると、シリアルクロックは外部クロックが選択されます。この場合、シリアルクロックは外部から SCLK0 端子に入力する必要があります。シリアルデータはこの外部クロックのエッジに同期して転送が行われます。

シリアルデータの転送エッジは、外部クロック/内部クロック共に選択することが出来ます。詳細は「17.4.3 転送エッジ選択」を参照してください。

表 17-3 転送ボーレート

SIO0CR <SIOCKS>	シリアルクロック [Hz]		fcgck=4MHz		fcgck=8MHz		fcgck=10MHz		fs=32.768kHz	
	NORMAL 1/2, IDLE1/2 モード	SLOW1/2, SLEEP1 モード	1 ビット時間(μs)	ボーレート (bps)	1 ビット時間(μs)	ボーレート (bps)	1 ビット時間(μs)	ボーレート (bps)	1 ビット時間(μs)	ボーレート (bps)
000	$fcgck/2^9$	-	128	7.813k	64	15.625k	51.2	19.531k	-	-
001	$fcgck/2^6$	-	16	62.5k	8	125k	6.4	156.25k	-	-
010	$fcgck/2^5$	-	8	125k	4	250k	3.2	312.5k	-	-
011	$fcgck/2^4$	-	4	250k	2	500k	1.6	625k	-	-
100	$fcgck/2^3$	-	2	500k	1	1M	0.8	1.25M	-	-
101	$fcgck/2^2$	-	1	1M	0.5	2M	0.4	2.5M	-	-
110	fcgck/2	$fs/2^3$	0.5	2M	0.25	4M	0.2	5M	244	4k

17.4.3 転送エッジ選択

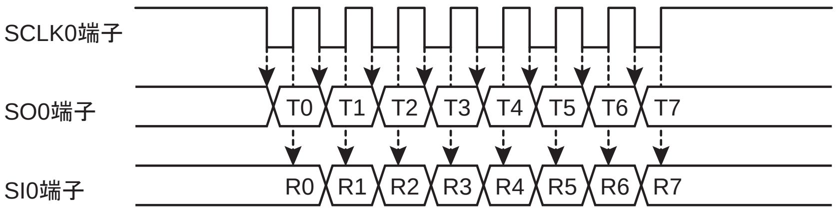
シリアルデータの転送エッジは、SIOCR<SIOEDG>によって選択することができます。

表 17-4 転送エッジ選択

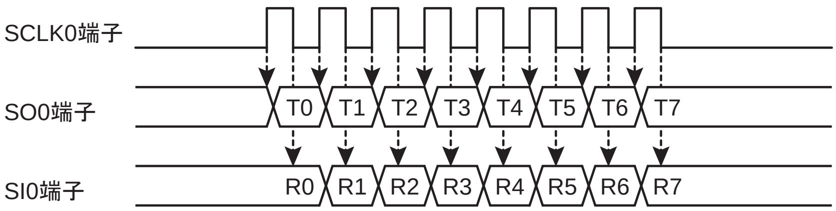
SIO0CR<SIOEDG>	データ送信	データ受信
0	立ち下がりエッジ	立ち上がりエッジ
1	立ち上がりエッジ	立ち下がりエッジ

SIOCR<SIOEDG>が"0"のとき、データの送信はクロックの立ち下がりエッジ、データの受信はクロックの立ち上がりエッジに同期して行われます。

SIOCR<SIOEDG>が"1"のとき、データの送信はクロックの立ち上がりエッジ、データの受信はクロックの立ち下がりエッジに同期して行われます。



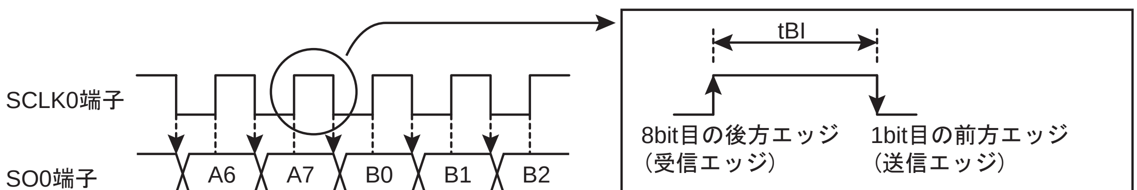
SIOCR<SIOEDG>=”0”時



SIOCR<SIOEDG>=”1”時

図 17-2 転送エッジ

注)　外部クロック入力を使用する場合、8bit 目の受信エッジと、次の転送の 1bit 目の送信エッジの間は 4/fcgck 以上必要となります。



記号	名前	最小時間
tBI	バイト間インターバル時間	4/fcgck

図 17-3 バイト間インターバル時間

17.5　転送モード

17.5.1　8 ビット送信モード

SIO0CR<SIOM>に"01"を設定すると、8 ビット送信モードになります。

17.5.1.1　設定

送信を開始する前に、あらかじめ SIO0CR<SIOEDG>で転送エッジ、SIO0CR<SIODIR>で転送フォーマット、SIO0CR<SIOCKS>でシリアルクロックを選択しておきます。シリアルクロックとして内部クロックを使用する場合は、SIO0CR<SIOCKS>にて適切なシリアルクロックを選択してください。シリアルクロックとして外部クロックを使用する場合は、SIO0CR<SIOCKS>に"111"を設定してください。

SIO0CR<SIOM>に"01"を設定し、8 ビット送信モードを選択します。

SIO0BUF に 1 バイト目の送信データを書き込んだ後、SIO0CR<SIOS>に"1"を設定すると送信が開始されます。

SIO0CR<SIOEDG, SIOCKS, SIODIR>は、シリアル通信の動作中、すなわち SIO0SR<SIOF>="1"のときには書き込みは無効となりますので、これらの設定はシリアル通信が停止中におこなってください。シリアル通信の動作中(SIO0SR<SIOF>="1")は、SIO0CR<SIOM>に"00"または SIOCR<SIOS>に"0"の書き込みだけが有効となります。

17.5.1.2　送信開始

SIO0BUF にデータを書き込んだ後、SIO0CR<SIOS>に"1"を設定すると送信が開始されます。送信データは SIO0BUF からシフトレジスタに転送され、SIO0CR<SIOEDG, SIOCKS, SIODIR>の設定に従って、SO0 端子からシリアルデータとして送信されます。なお、SIO0BUF に送信データを書き込まずに送信を開始した場合、シリアルデータは不定となります。

内部クロック動作の場合、指定したボーレートのシリアルクロックが SCLK0 端子から出力されます。外部クロック動作の場合、外部から SCLK0 端子にクロックを供給する必要があります。

SIO0CR<SIOS>に"1"を設定すると、自動的に SIO0SR<SIOF、SEF>が"1"にセットされ、INTSIO0 割り込み要求が発生します。

SIO0SR<SEF>は、8 ビット目のシリアルデータを出力するタイミングで"0"にクリアされます。

17.5.1.3　送信バッファとシフト動作

シリアル通信の動作中、シフトレジスタが空のときに SIO0BUF へ書き込みを行うと、SIO0BUF への書き込み値はすぐにシフトレジスタに転送されます。このとき SIO0SR<TBFL>は"0"のままとなります。

シフトレジスタにデータが残っているときに SIO0BUF への書き込みを行うと、SIO0SR <TBFL>が"1"にセットされます。このとき SIO0BUF への更なる書き込みを行うと、SIO0BUF の内容は新しい書き込み値で上書きされます。従って、SIO0BUF にデータを書き込むときは、必ず SIO0SR<TBFL>が"0"になっていることを確認してから行ってください。

17.5.1.4　送信完了時の動作

データの送信が完了した際、動作クロックおよび SIO0SR<TBFL>の状態によって動作が変わります。

(1)　内部クロック使用、SIO0SR<TBFL>="0"の場合

データの送信が完了すると、SCLK0 端子は初期状態、SO0 端子は"H" レベルになります。SIO0SR<SEF>は"0"のままとなります。内部クロックの場合、次の送信データを SIO0BUF に書き込むまでシリアルクロック、データの出力を停止します(自動ウェイト)。

次に SIO0BUF への書き込みを行うと、SIO0SR<SEF>が"1"にセットされ、SCLK0 端子からシリアルクロックを出力し送信が再開されます。送信再開時に INTSIO0 割り込み要求が発生します。

(2)　外部クロック使用、SIO0SR<TBFL>="0"の場合

データの送信が完了すると、SO 端子は最後に出力した値を保持します。データの送信が完了した後、外部から SCLK0 端子にシリアルクロックを入力すると、不定値が送信され、送信アンダーランエラーフラグ SIO0SR<UERR>が"1"にセットされます。

送信アンダーランエラーが発生した際、不定値を送信している間は、SIO0BUF への書き込みを行わないでください(SIO0CR<SIOS>を"0"にして終了するか、または SIO0CR<SIOM>に"00"を設定し強制停止することを推奨します)。

送信アンダーランエラーフラグ SIO0SR<UERR>は、SIO0SR を読み出すとクリアされます。

(3)　内部/外部クロック共通、SIO0SR<TBFL>="1"の場合

データの送信が完了すると、SIO0SR<TBFL>は"0"にクリアされ、SIO0BUF のデータをシフトレジスタに転送して次の送信を開始します。このとき SIO0SR<SEF>は"1"にセットされ、INTSIO0 割り込み要求が発生します。

17.5.1.5　送信終了

送信を終了するには、SIO0CR<SIOS>に"0"を設定します。SIO0SR<SEF>が"0"のとき、すなわちシフト動作中で無い場合は、すぐに動作が停止され、INTSIO0 割り込み要求が発生します。SIO0SR<SEF>が"1"のときは、シフトレジスタのデータをすべて送信してから動作を停止します(予約停止)。このときも、INTSIO0 割り込み要求が発生します。

送信動作が完了すると、SIO0SR<SIOF、SEF、TBFL>は"0"にクリアされます。その他の SIO0SR のレジスタは値が保持されます。

内部クロックを使用していた場合、SO0 端子レベルは自動的に"H" レベルに戻ります。外部クロックを使用していた場合、SO0 端子レベルは最後に出力した値を保持します。SO0 端子レベルを"H"に戻すには、停止中に SIO0CR<SIOM>に"00"を書き込んでください。

また、動作中に SIO0CR<SIOM>に"00"を設定することにより、送信を強制的に終了させることが出来ます。SIO0CR<SIOM>に"00"を設定すると、SIO0SR<SEF>の値に関わらず、SIO0CR<SIOS>および SIO0SR は"0"にクリアされ、SIO は動作を停止します。SO0 端子レベルは"H" となり、また、内部クロックを選択していた場合、SCLK0 端子は初期レベルに戻ります。

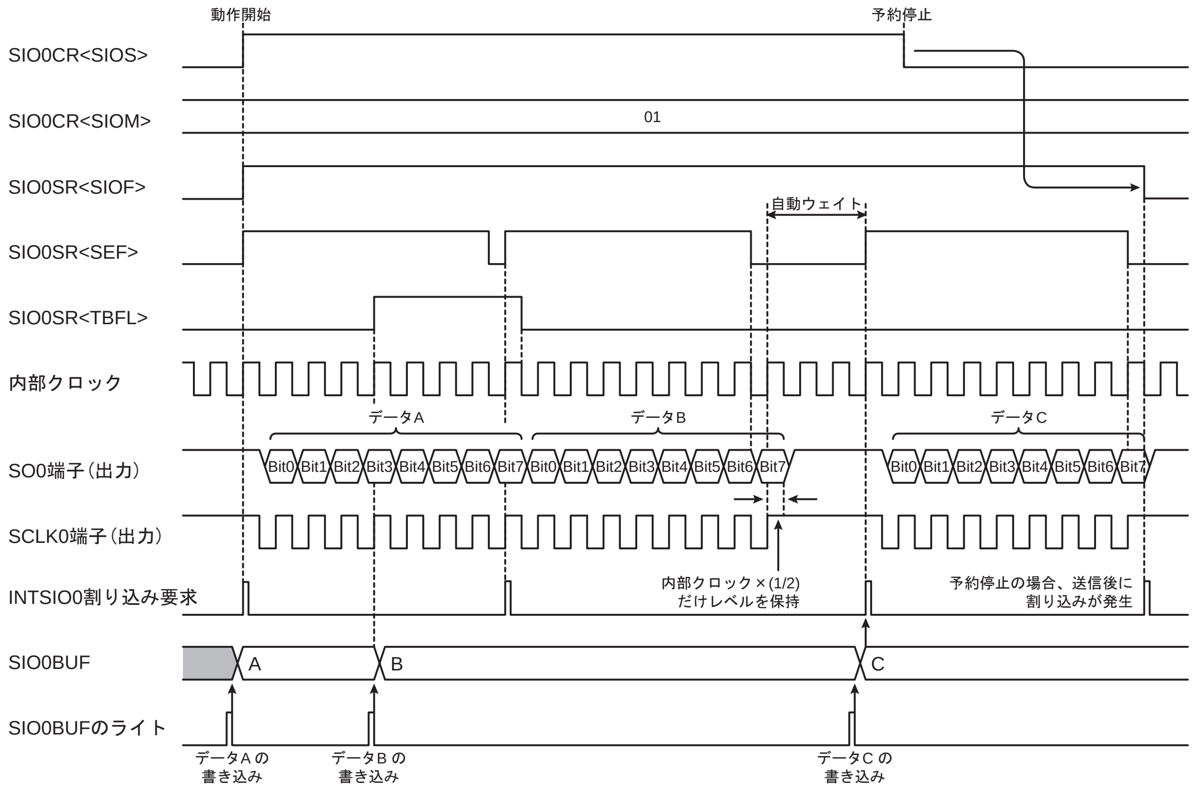


図 17-4 8 ビット送信モード(内部クロック、予約停止)

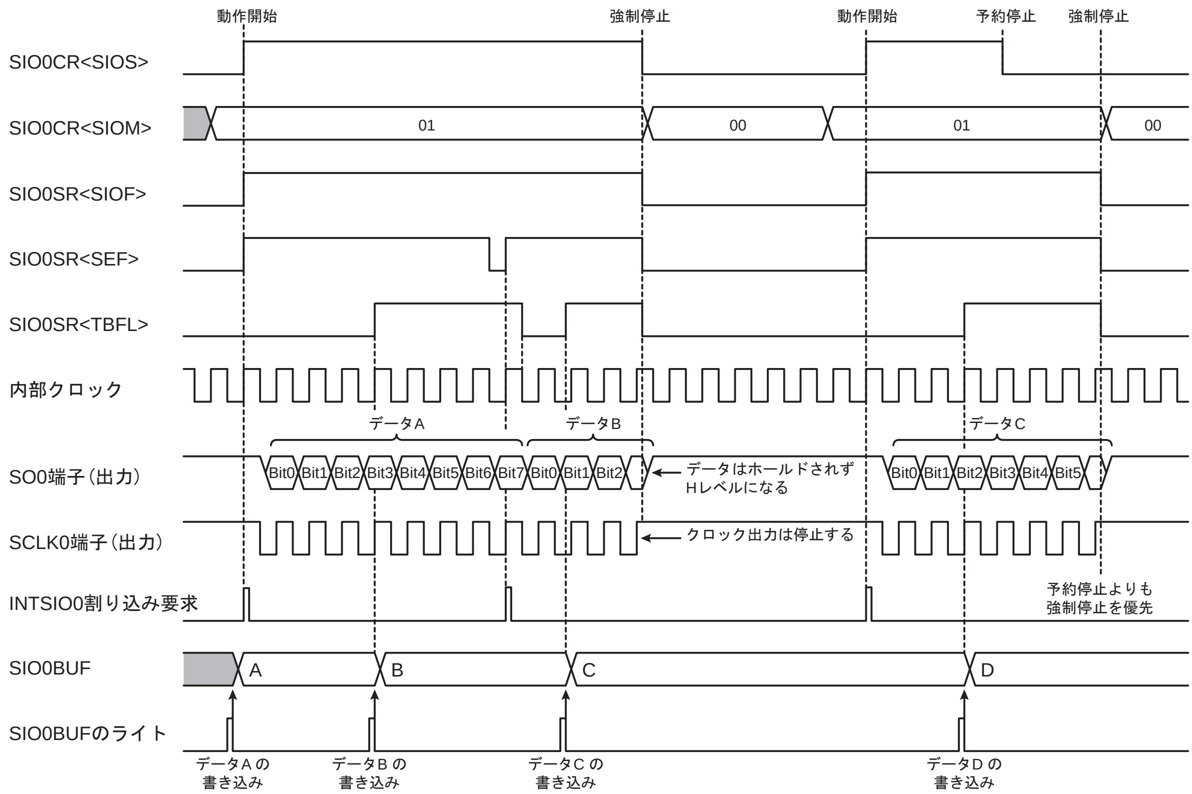


図 17-5 8 ビット送信モード(内部クロック、強制停止)

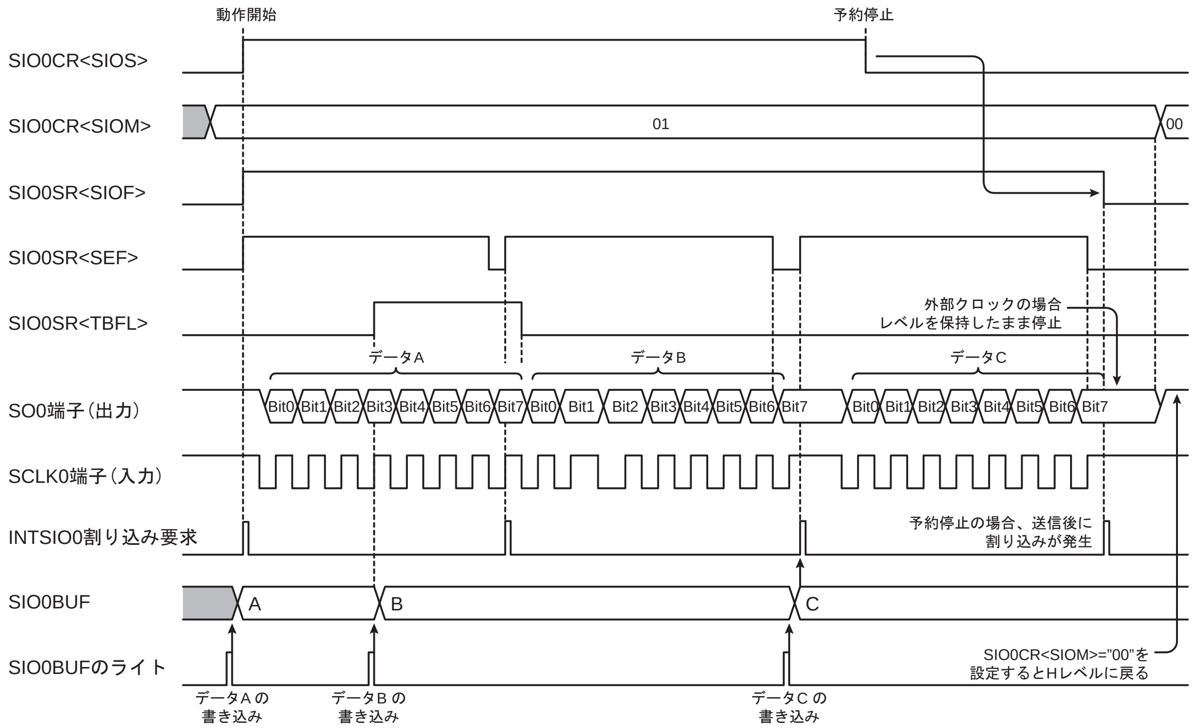


図 17-6 8 ビット送信モード(外部クロック、予約停止)

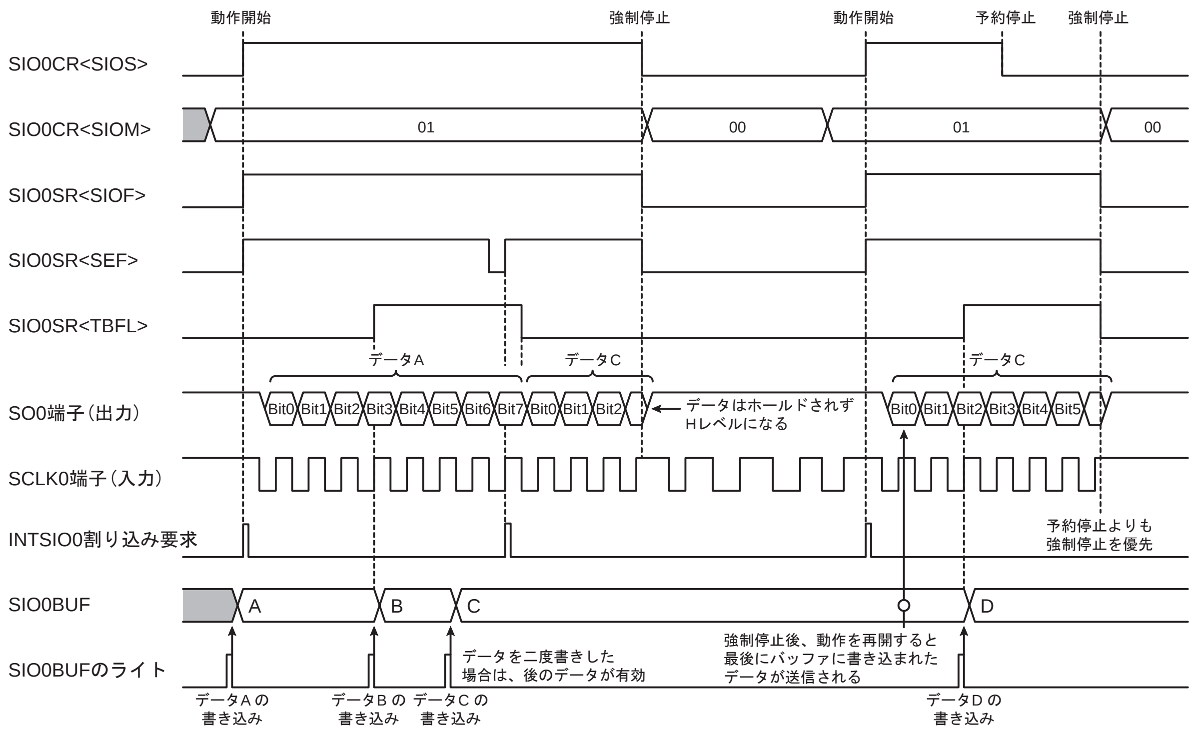


図 17-7 8 ビット送信モード(外部クロック、強制停止)

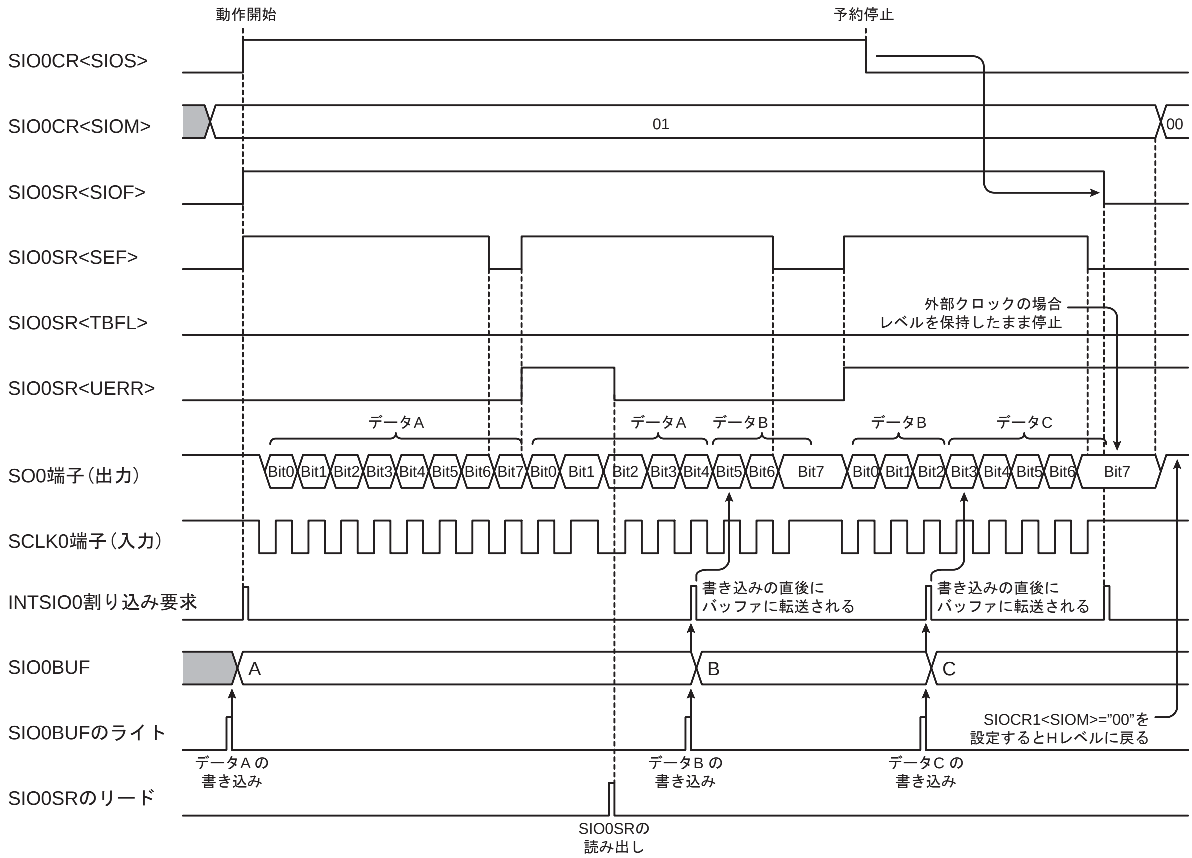


図 17-8 8 ビット送信モード(外部クロック、送信アンダーランエラー発生)

17.5.2　8 ビット受信モード

SIO0CR<SIOM>に"10"を設定すると、8 ビット受信モードになります。

17.5.2.1　設定

送信モードと同様、受信動作を開始する前に、あらかじめ SIO0CR<SIOEDG>で転送エッジ、SIO0CR<SIODIR>で転送フォーマット、SIO0CR<SIOCKS>でシリアルクロックを選択しておきます。シリアルクロックとして内部クロックを使用する場合は、SIO0CR<SIOCKS> にて適切なシリアルクロックを選択してください。シリアルクロックとして外部クロックを使用する場合は、SIO0CR<SIOCKS>に"111" を設定してください。

SIO0CR<SIOM>に"10"を設定し、8 ビット受信モードを選択します。

SIO0CR<SIOS>に"1"を設定すると受信が開始されます。

SIO0CR<SIOEDG、SIOCKS、SIODIR>は、シリアル通信の動作中、すなわち SIO0SR<SIOF>="1"のときには書き込みは無効となりますので、これらの設定はシリアル通信が停止中におこなってください。シリアル通信の動作中(SIO0SR<SIOF>="1")は、SIO0CR<SIOM> に"00" または SIOCR<SIOS> に"0" の書き込みだけが有効となります。

17.5.2.2　受信開始

SIO0CR<SIOS>に"1"を設定することにより受信が開始されます。外部からのシリアルデータは、SIO0CR<SIOEDG, SIOCKS, SIODIR> の設定に従って SI0 端子からシフトレジスタに取り込まれます。

内部クロック動作の場合、指定したボーレートのシリアルクロックが SCLK0 端子から出力されます。外部クロック動作の場合、外部から SCLK0 端子にクロックを供給する必要があります。

SIO0CR<SIOS>に"1"を設定すると、自動的に SIO0SR<SIOF、SEF>が"1"にセットされます。

17.5.2.3　受信完了時の動作

データの受信が完了すると、シフトレジスタから SIO0BUF へデータが転送され、INTSIO0 割り込み要求が発生します。また、受信完了フラグ SIO0SR<REND>が"1"にセットされます。

内部クロック動作の場合、受信データが SIO0BUF から読み出されるまで、シリアルクロックの出力を停止します(自動ウェイト)。このとき、SIO0SR<SEF>は"0"になります。受信データを SIO0BUF から読み出すと、SIO0SR<SEF>は"1"にセットされ、シリアルクロックの出力が再開され、受信動作を継続します。

外部クロック動作の場合、受信データを SIO0BUF から読み出さなくても継続して受信することが可能です。この場合、次のデータ受信が完了するまでに SIO0BUF からデータを読み出してください。SIO0BUF からデータを読み出す前に、次のデータ受信が完了すると、オーバランエラーフラグ SIO0SR<OERR>が"1"にセットされます。オーバランエラーが発生したときは、SIO0CR<SIOM>に"00"を設定し受信動作を中断してください。オーバランエラーが発生したときの受信データは破棄されますが、SIO0BUF はオーバランエラーが発生する前に受信したデータの値を保持します。

SIO0SR<REND>は、SIO0BUF からデータを読み出すと"0"にクリアされます。また、SIO0SR<OERR>は SIO0SR を読み出すとクリアされます。

17.5.2.4 受信終了

受信を終了するには、SIO0CR<SIOS>に"0"を設定します。SIO0SR<SEF>が"0"のとき、すなわちシフト動作中で無い場合、すぐに動作が停止されます。送信モードと異なり、このとき INTSIO0 割り込み要求は発生しません。

SIO0SR<SEF>が"1"のときは、8 ビットのデータ受信が完全に完了してから動作を停止します(予約停止)。このとき、INTSIO0 割り込み要求が発生します。

動作停止が完了すると、SIO0SR<SIOF、SEF>は"0"にクリアされます。その他の SIO0SR のレジスタは値が保持されます。

また、動作中に SIO0CR<SIOM>に"00"を 設定することにより、受信を強制的に終了させることが出来ます。SIO0CR<SIOM>に"00"を設定すると、SIO0SR<SEF>の値に関わらず、SIO0CR<SIOS>および SIO0SR は"0"にクリアされ、SIO は動作を停止します。内部クロックを選択していた場合、SCLK0 端子は初期レベルに戻ります。

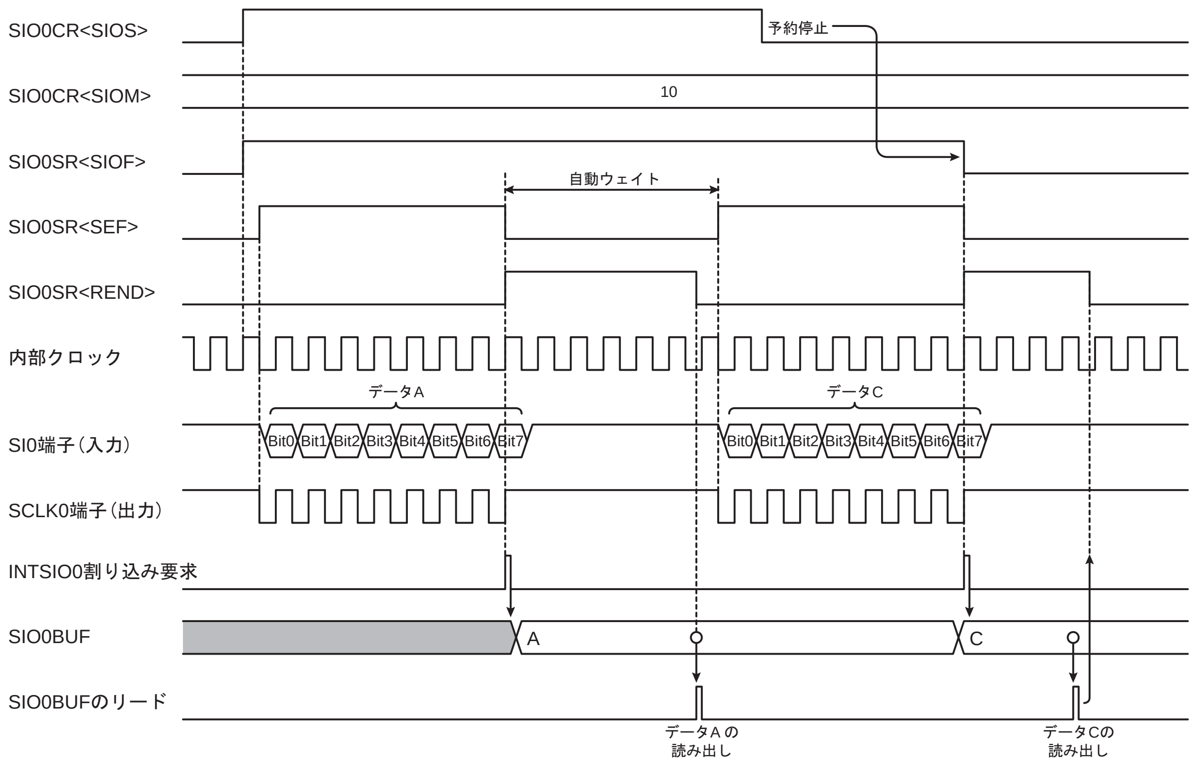


図 17-9 8 ビット受信モード(内部クロック、予約停止)

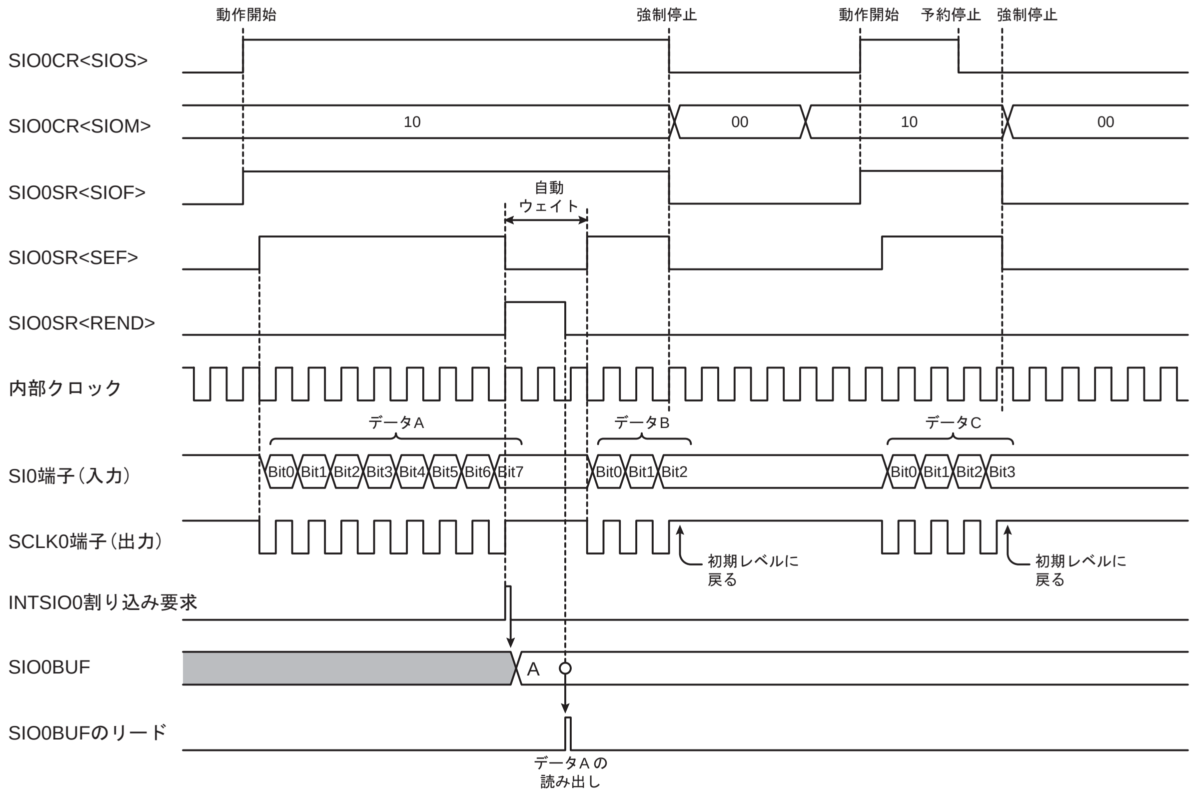


図 17-10 8 ビット受信モード(内部クロック、強制停止)

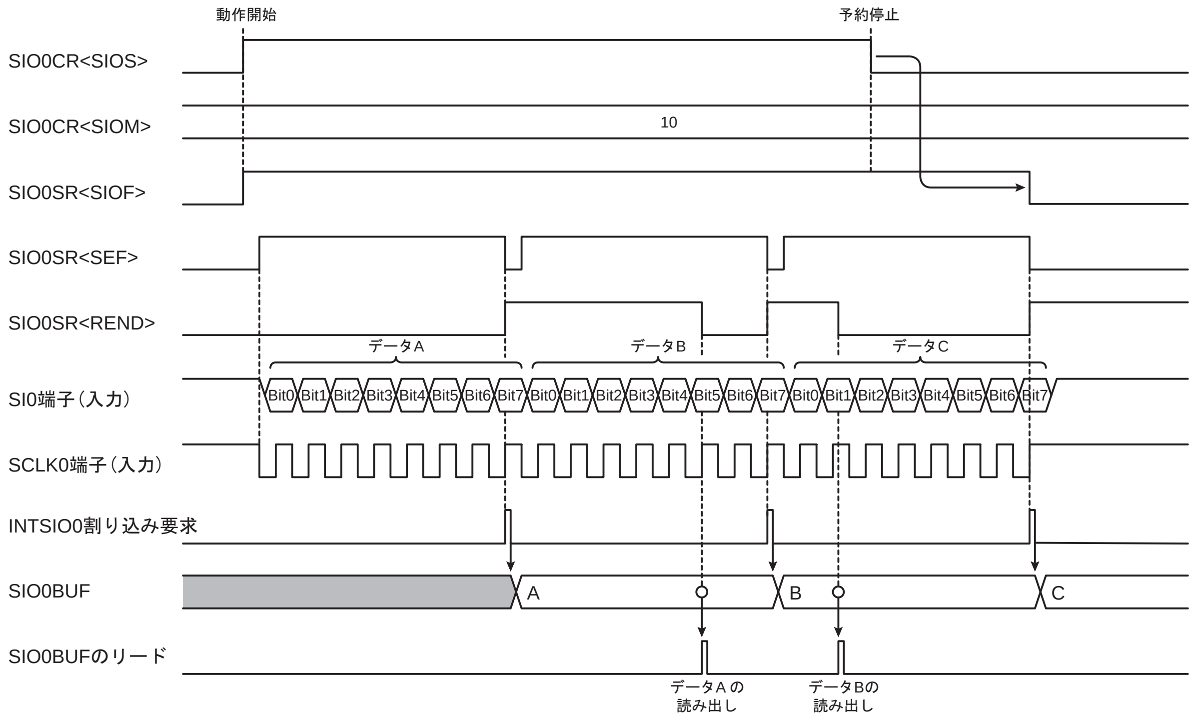


図 17-11 8 ビット受信モード(外部クロック、予約停止)

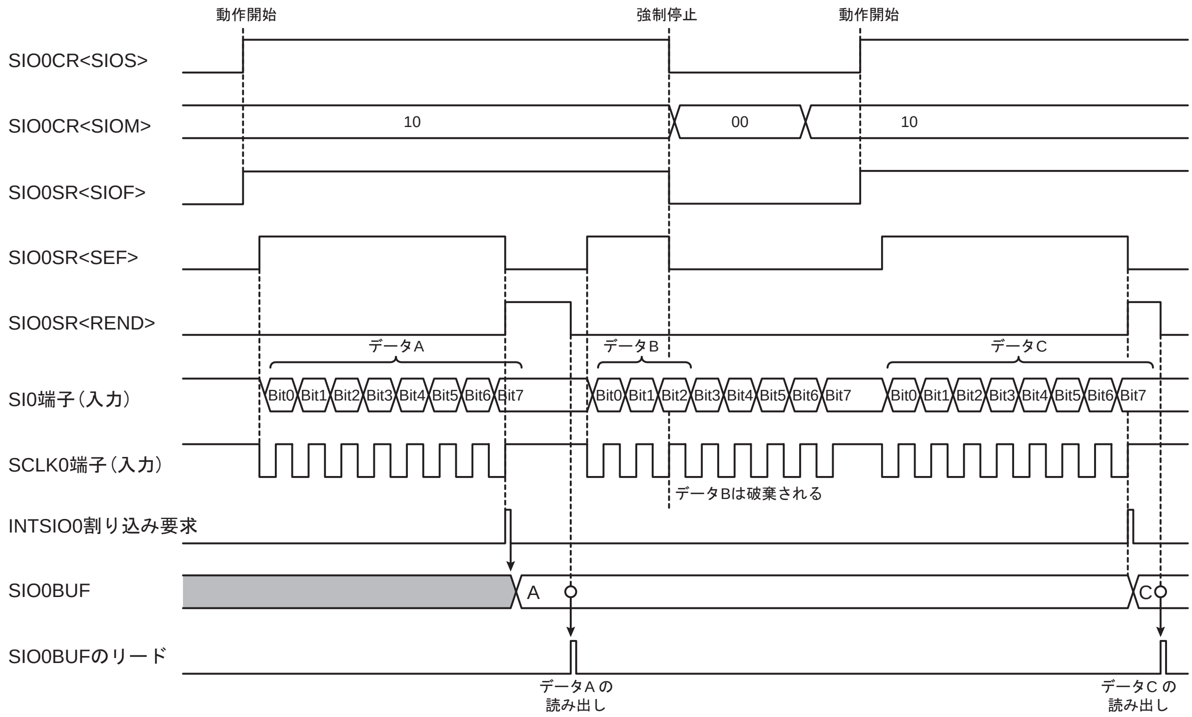


図 17-12 8 ビット受信モード(外部クロック、強制終了)

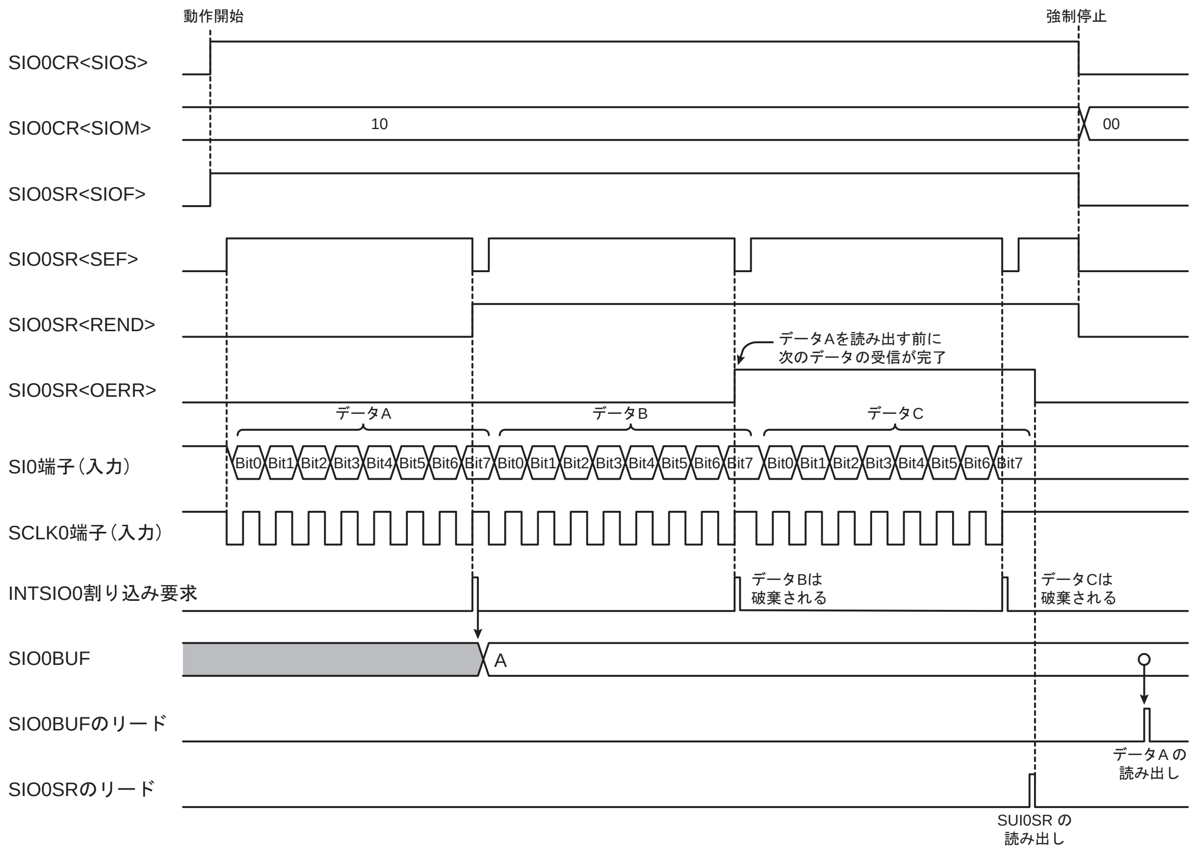


図 17-13 8 ビット受信モード(外部クロック、オーバランエラー発生)

17.5.3　8 ビット送受信モード

SIO0CR<SIOM>に"11"を設定すると、8 ビット送受信モードになります。

17.5.3.1　設定

送受信動作を開始する前に、あらかじめ SIO0CR<SIOEDG>で転送エッジ、SIO0CR<SIODIR>で転送フォーマット、SIO0CR<SIOCKS>でシリアルクロックを選択しておきます。シリアルクロックとして内部クロックを選択する場合は、SIO0CR<SIOCKS> にて適切なシリアルクロックを選択してください。シリアルクロックとして外部クロックを使用する場合は、SIO0CR <SIOCKS>に"111"を設定してください。

SIO0CR<SIOM>に"11"を設定し、8 ビット送受信モードを選択します。

SIO0BUF に 1 バイト目の送信データを書き込んだ後、SIO0CR<SIOS>に"1"を設定すると送受信が開始されます。

SIO0CR<SIOEDG、SIOCKS、SIODIR>は、シリアル通信の動作中、すなわち SIO0SR<SIOF>="1"のときには書き込みは無効となりますのでこれらの設定はシリアル通信が停止中におこなってください。シリアル通信の動作中(SIO0SR<SIOF>="1")は、SIO0CR<SIOM> に"00" または SIOCR<SIOS> に"0" の書き込みだけが有効となります。

17.5.3.2　送受信開始

SIO0BUF にデータを書き込んだ後、SIO0CR<SIOS>に"1"を設定すると送受信が開始されます。送信データは SIO0BUF からシフトレジスタに転送され、SIO0CR<SIOEDG, SIOCKS, SIODIR> の設定に従って、SO0 端子からシリアルデータが送信されます。同時に、SIO0CR<SIOEDG, SIOCKS, SIODIR>の設定に従って SI0 端子からシリアルデータが受信されます。

内部クロック動作の場合、指定したボーレートのシリアルクロックが SCLK0 端子から出力されます。外部クロック動作の場合、外部から SCLK0 端子にクロックを供給する必要があります。

なお、SIO0BUF に送信データを書き込まずに送受信を開始した場合、送信データは不定となります。

SIO0CR<SIOS> に"1" を設定すると、自動的に SIO0SR<SIOF、SEF>が"1"にセットされ、INTSIO0 割り込み要求が発生します。

SIO0SR<SEF>は、8 ビット目のデータを受信すると、"0"にクリアされます。

17.5.3.3　送信バッファとシフト動作

シリアル通信の動作中、シフトレジスタが空のときに SIO0BUF へ書き込みを行うと、SIO0BUF への書き込み値はすぐにシフトレジスタに転送されます。このとき SIO0SR<TBFL> は"0" のままとなります。

シフトレジスタにデータが残っているときに SIO0BUF への書き込みを行うと、SIO0SR <TBFL> が"1" にセットされます。このとき SIO0BUF への更なる書き込みを行うと、SIO0BUF の内容は新しい書き込み値で上書きされます。従って、SIO0BUF にデータを書き込むときは、必ず SIO0SR<TBFL> が"0" になっていることを確認してから行ってください。

17.5.3.4　送受信完了時の動作

データの送受信が完了すると、SIO0SR<REND>が"1"にセットされ、INTSIO0 割り込み要求が発生します。また、動作クロックによって動作が変わります。

(1) 内部クロック使用

SIO0SR<TBFL>="1"の場合、SIO0SR<TBFL>="0"にクリアされ、送受信は継続されます。また、SIO0SR<REND>がすでに"1"だった場合、SIO0SR<OERR>が"1"にセットされます。

SIO0SR<TBFL>="0"の場合、送受信は中断されます。SCLK0 端子は初期状態、SO0 端子は"H"レベルになります。SIO0SR<SEF>は"0"のままとなります。次に SIO0BUF への書き込みが行われると、SIO0SR<SEF>が"1"にセットされ、SCLK0 端子からクロックを出力し、送受信が再開されます。従って、受信データを確認するためには、SIO0BUF へデータを書き込む前に、受信データを SIO0BUF から読み出してください。

(2) 外部クロック使用

送受信は継続されます。SIO0BUF への書き込みが無いまま、外部からシリアルクロックが入力された場合、前回 SIO0BUF に設定したデータの値が再び送信されます。このとき、送信アンダーランエラーフラグ SIO0SR<UERR>が"1"にセットされます。

SIO0BUF から読み出しが行われる前、すなわち SIO0SR<REND>="1"の状態で次の 8 ビットデータの受信が完了すると、SIO0SR<OERR>が"1"にセットされます。

17.5.3.5 送受信終了

送受信を終了するには、SIO0CR<SIOS>に"0"を設定します。SIO0SR<SEF>が"0"のとき、すなわちシフト動作中で無い場合、すぐに動作が停止されます。送信モードと異なり、このとき INTSIO0 割り込み要求は発生しません。

SIO0SR<SEF>が"1"のときは、8 ビットデータの受信が完全に完了してから動作を停止します。このときは、INTSIO0 割り込み要求が発生します。

動作停止が完了すると、SIO0SR<SIOF、SEF、TBFL>は"0"にクリアされます。その他の SIO0SR のレジスタは値が保持されます。

内部クロックを使用していた場合、SO0 端子レベルは自動的に"H"レベルに戻ります。外部クロックを使用していた場合、SO0 端子レベルは最後に出力した値を保持します。SO0 端子レベルを"H"に戻すには、停止中に SIO0CR<SIOM>に"00"を書き込んでください。

また、動作中に SIO0CR<SIOM>に"00"を設定することにより、送受信を強制的に終了させることが出来ます。SIO0CR<SIOM>に"00"を設定すると、SIO0SR<SEF>の値に関わらず、SIO0CR<SIOS>および SIO0SR は"0"にクリアされ、SIO は動作を停止します。SO0 端子レベルは"H"となり、また、内部クロックを選択していた場合、SCLK0 端子は初期レベルに戻ります。

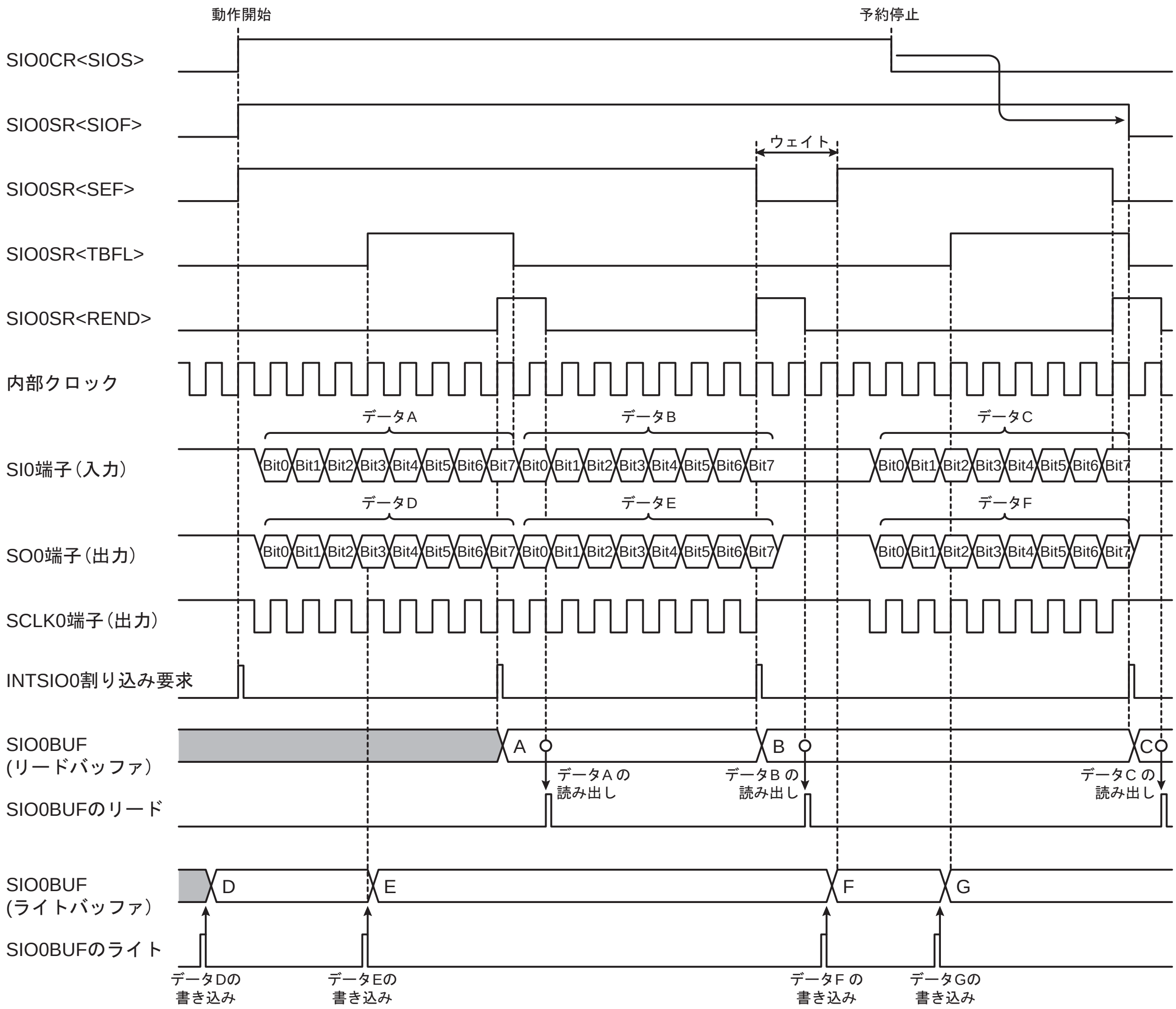


図 17-14 8 ビット送受信モード(内部クロック、予約停止)

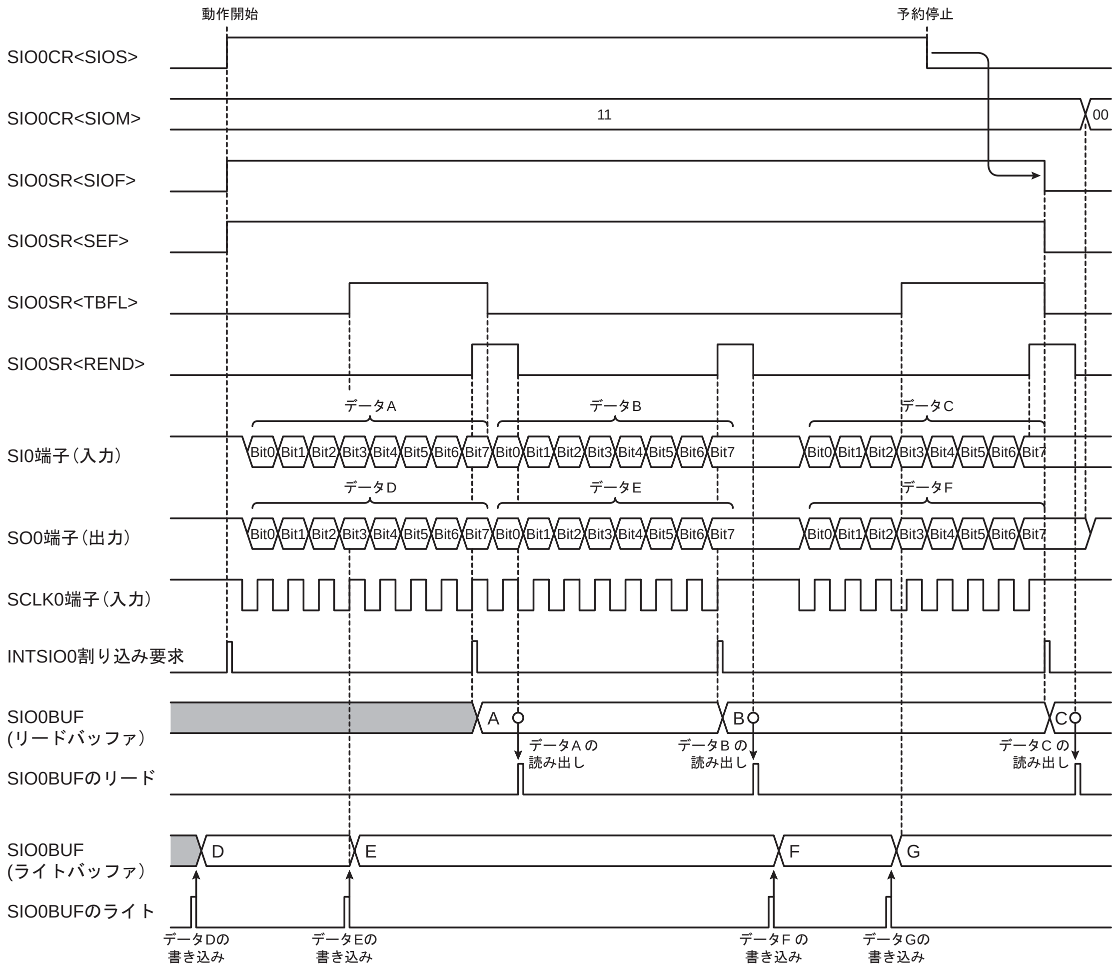


図 17-15 8 ビット送受信モード(外部クロック、予約停止)

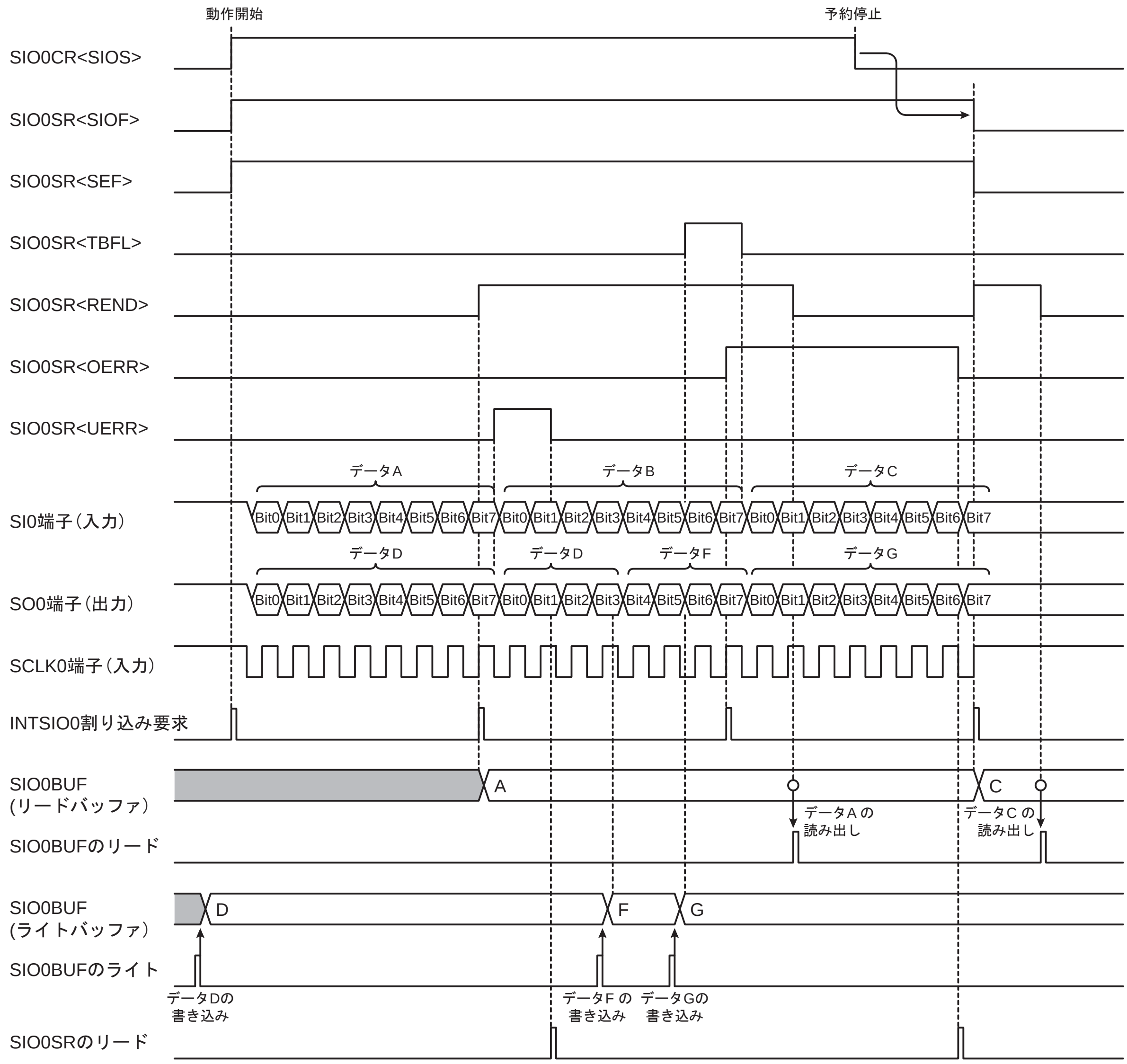


図 17-16 8 ビット送受信モード(外部クロック、送信アンダーランエラー発生、オーバランエラー発生)

17.6 AC 特性

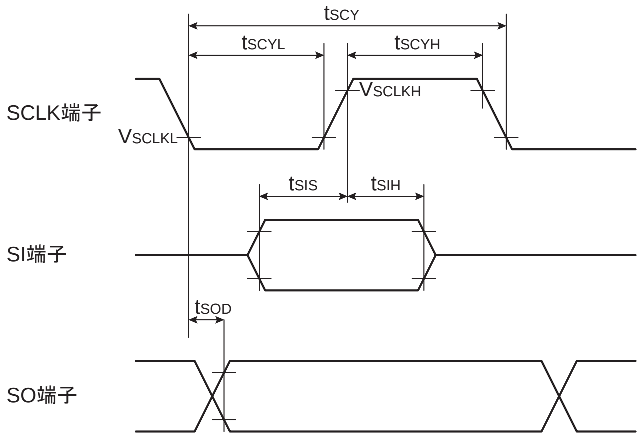


図 17-17 AC 特性

(V_{SS} = 0 V, V_{DD} = 4.5 V ~ 5.5 V, Topr = -40 ~ 85°C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
SCLK サイクル時間	t_{SCY}	内部クロック動作時 SO 端子、SCLK 端子負荷容量 = 100pF	2 / fcgck	—	—	ns
SCLK "L"パルス幅	t_{SCYL}		1 / fcgck −25	—	—	
SCLK "H"パルス幅	t_{SCYH}		1 / fcgck −15	—	—	
SI 入力セットアップ時間	t_{SIS}		60	—	—	
SI 入力ホールド時間	t_{SIH}		35	—	—	
SO 出力遅延時間	t_{SOD}		-50	—	50	
SCLK サイクル時間	t_{SCY}	外部クロック動作時 SO 端子、SCLK 端子負荷容量 = 100pF	2 / fcgck	—	—	
SCLK "L"パルス幅	t_{SCYL}		1 / fcgck	—	—	
SCLK "H"パルス幅	t_{SCYH}		1 / fcgck	—	—	
SI 入力セットアップ時間	t_{SIS}		50	—	—	
SI 入力ホールド時間	t_{SIH}		50	—	—	
SO 出力遅延時間	t_{SOD}		0	—	60	
SCLK 低レベル入力電圧	t_{SCLKL}		0	—	V_{DD} × 0.30	V
SCLK 高レベル入力電圧	t_{SCLKH}		V_{DD} × 0.70	—	V_{DD}	

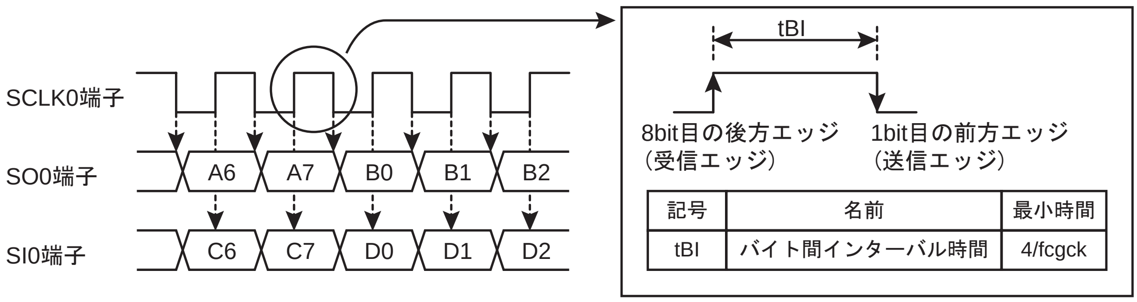


図 17-18 バイト間インターバル時間

第 18 章　シリアルバスインタフェース (SBI)

TMP89FM46A は、シリアルバスインタフェース(SBI)を 1 チャネル内蔵しています。

シリアルバスインタフェースは、I²C バスに準拠したシリアル通信に対応しています。

クロック同期化機能、アービトレーション機能をもち、1 つのバス上に複数のマスタが接続されるマルチマスタに対応しています。

また独自フォーマットのフリーデータフォーマットに対応しています。

18.1　通信フォーマット

18.1.1　I²C バス

I²C バスは SDA0 端子と SCL0 端子を通して、デバイスがバスに接続されるバスで、複数のデバイスと通信が可能です。

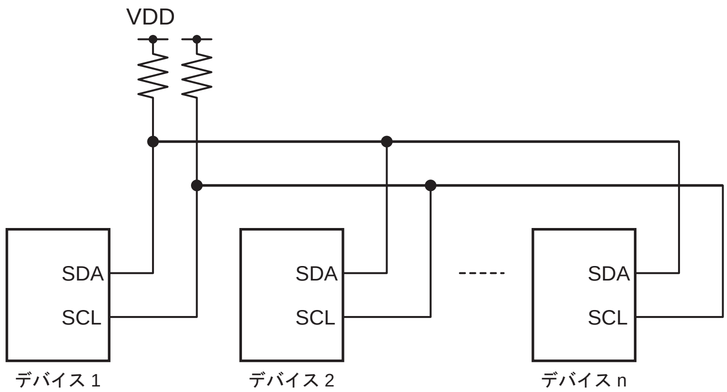


図 18-1 デバイスの接続

通信は、マスタとスレーブの間で行われます。

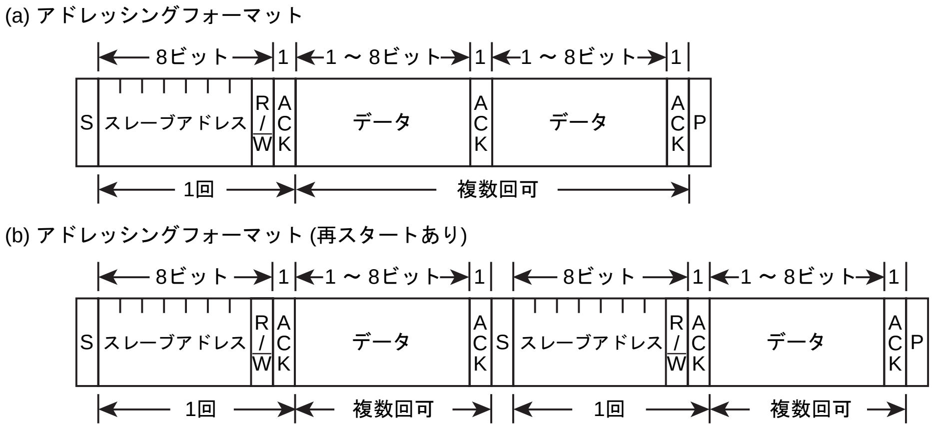
マスタはバスに接続されているスレーブに対して、スタートコンディション、スレーブアドレス、方向ビット、ストップコンディションを送信、データの送信、受信を行います。

スレーブはマスタから送信されてきた前記の状態をハードウエアにより検出し、データの受信、送信を行います。

シリアルバスインタフェースで通信可能な I²C バスのデータフォーマットは図 1-2 の通りです。

I²C バス規格で定められている機能のうち、下記の機能については対応できません。

1. スタートバイト
2. 10 ビットアドレス指定
3. SDA 端子、SCL 端子の立ち下がりエッジスロープコントロール



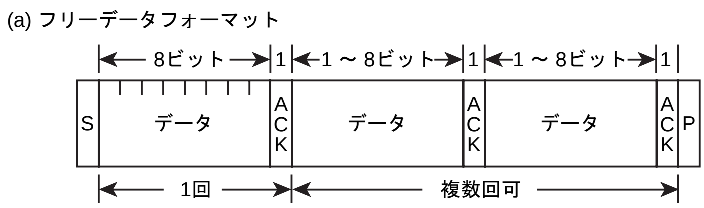
S　: スタートコンディション
R/$\overline{W}$: 方向ビット
ACK : アクノリッジビット
P　: ストップコンディション

図 18-2 I²C バスのデータフォーマット

18.1.2　フリーデータフォーマット

フリーデータフォーマットは、1 つのマスタと 1 つのスレーブ同士の通信です。

フリーデータフォーマットでは、スレーブアドレス、方向ビットはデータとして扱われます。



S　: スタートコンディション
R/$\overline{W}$: 方向ビット
ACK : アクノリッジビット
P　: ストップコンディション

図 18-3 フリーデータフォーマット

18.2 構成

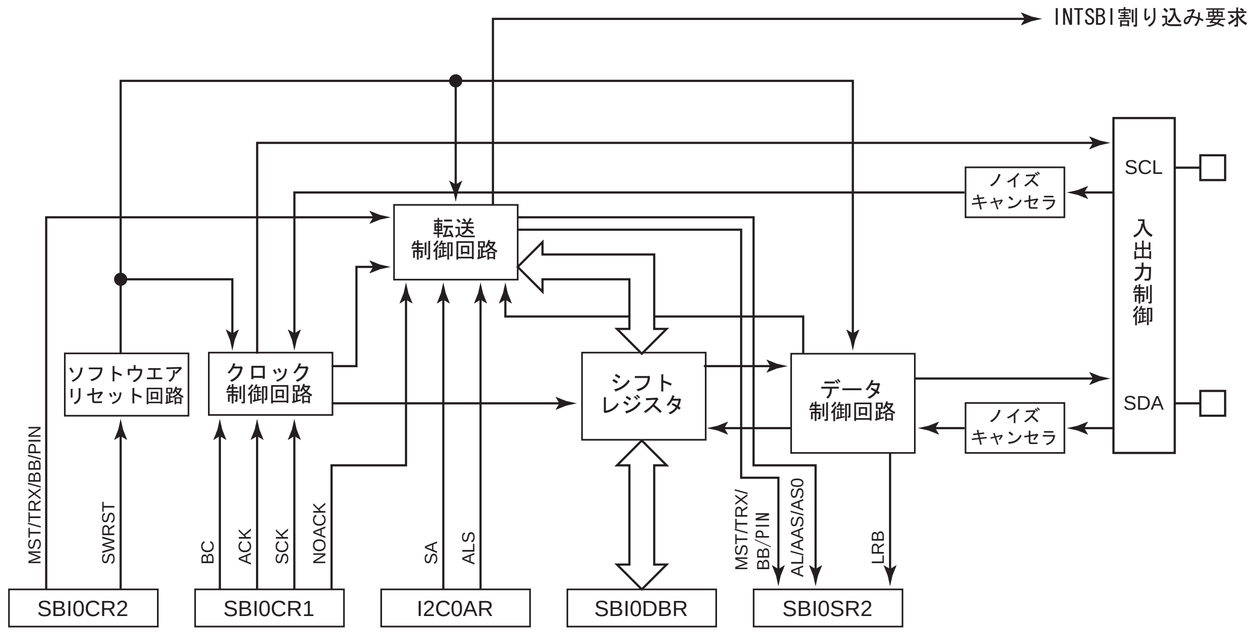


図 18-4 シリアルバスインタフェース 0 (SBI0)

18.3　制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ 1 (SBI0CR1)
- シリアルバスインタフェース制御レジスタ 2 (SBI0CR2)
- シリアルバスインタフェースステータスレジスタ 2 (SBI0SR2)
- シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)
- I²C バスアドレスレジスタ (I2C0AR)

また、シリアルバスインタフェースを使用していないときに不要な電力を押さえる低消費電力レジスタを持っています。

低消費電力レジスタ 1 制御

POFFCR1 (0x0F75)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	SBI0EN	-	-	UART1EN	UART0EN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

SBI0EN	I2C0 制御	0	Disable
		1	Enable
UART1EN	UART1 制御	0	Disable
		1	Enable
UART0EN	UART0 制御	0	Disable
		1	Enable

シリアルバスインタフェース制御レジスタ 1

SBI0CR1 (0x0022)	7	6	5	4	3	2	1	0
Bit Symbol	BC			ACK	NOACK	SCK		
Read/Write	R/W			R/W	R/W	R/W		
リセット後	0	0	0	0	0	0	0	0

			ACK = 0 のとき		ACK = 1 のとき	
		BC	データ転送のクロック数	データビット数	データ転送のクロック数	データビット数
BC	データビット数の選択	000:	8	8	9	8
		001:	1	1	2	1
		010:	2	2	3	2
		011:	3	3	4	3
		100:	4	4	5	4
		101:	5	5	6	5
		110:	6	6	7	6
		111:	7	7	8	7
ACK	アクノリッジのためのクロック発生/カウントの選択	ACK	マスタモード		スレーブモード	
		0:	アクノリッジのためのクロックを発生せず、データ転送終了で、INTSBI 割り込み要求を発生する。 (非アクノリッジメントモード)		データ転送終了で INTSBI 割り込み要求を発生する。 (非アクノリッジメントモード)	
		1:	データ転送終了後、アクノリッジのためのクロックを発生し、INTSBI 割り込み要求を発生する。 (アクノリッジメントモード)		データ転送終了、アクノリッジのためのクロックをカウントした後、INTSBI 割り込み要求を発生する。 (アクノリッジメントモード)	

NOACK	スレーブアドレス一致検出、ゼネラルコール検出の許可/不許可選択	NOACK	マスタモード		スレーブモード	
		0:	Don’t Care		スレーブアドレス一致検出、ゼネラルコール検出を許可する。	
		1:	Don’t Care		スレーブアドレス一致検出、ゼネラルコール検出を禁止する。	
SCK	マスタ時のシリアルクロックの HIGH 時間、LOW 時間の選択 スレーブ時の SCL 端子解放までの時間選択	SCK	t_{HIGH}(m/fcgck)	t_{LOW}(n/fcgck)	fscl@fcgck= 8MHz	fscl@fcgck= 4MHz
			m	n		
		000:	9	12	381kHz	Reserved (注 5)
		001:	11	14	320kHz	Reserved (注 5)
		010:	15	18	242kHz	Reserved (注 5)
		011:	23	26	163kHz	82kHz
		100:	39	42	99kHz	49kHz
		101:	71	74	55kHz	28kHz
		110:	135	138	29kHz	15kHz
		111:	263	266	15kHz	8kHz

注 1) fcgck:ギアクロック[Hz]、 fs:低周波クロック用発振回路クロック

注 2) スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了の INTSBI 割り込み要求発生から解除までの間に行ってください。

注 3) ソフトウエアリセット発生後、SBI0CR2<SBIM>以外の SBI0CR2 レジスタの各ビットと、SBI0CR1, I2C0AR, SBI0SR2 レジスタが初期化されます。

注 4) STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>を除く SBI0CR2 と SBI0CR1、I2C0AR、SBI0DBR は初期化されます。

注 5) fcgck が 4MHz のとき、ファーストモードのバス規格を満たすことができないため、SCK を 0y000, 0y001, 0y010 に設定しないでください。

シリアルバスインタフェース制御レジスタ 2

SBI0CR2 (0x0023)		7	6	5	4	3	2	1	0
	Bit Symbol	MST	TRX	BB	PIN	SBIM	-	SWRST	
	Read/Write	W	W	W	W	W	R	W	
	リセット後	0	0	0	1	0	0	0	

MST	マスタ/スレーブの選択	0:スレーブ 1:マスタ
TRX	送信/受信の選択	0:レシーバ 1:トランスミッタ
BB	スタート/ストップコンディションの発生	0:ストップコンディション発生 (MST, TRX, PIN が “1” のとき) 1:スタートコンディション発生 (MST, TRX, PIN が “1” のとき)
PIN	割り込みサービス要求の解除	0: - （ "0"にクリアすることはできません） 1:割り込みサービス要求の解除
SBIM	シリアルバスインタフェース動作モードレジスタ	0:ポートモード 1: シリアルバスインタフェースモード
SWRST	ソフトウエアリセット開始ビット	“10” 、“01” の順に値を書き込むとソフトウエアリセットが発生

注 1) SBI0CR2<SBIM>が"0"のとき SBI0CR2<SBIM>以外の SBI0CR2 に値を書き込むことはできません。SBI0CR2 に値を設定する前に SBI0CR2<SBIM>に"1"を書き込んでシリアルバスインタフェースモードにしてください。

注 2) SBI0CR2<SWRST>を除き、スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了の INTSBI 割り込み要求発生から解除までの間に行ってください。

注 3) ポートモードからシリアルバスインターフェースモードへの切り替えは、ポートの状態が “H” になっていることを確認後行ってください。シリアルバスインタフェースモードからポートモードへの切り替えは、バスフリーを確認してから行ってください。

注 4)　SBI0CR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 5)　ソフトウエアリセット発生後、SBI0CR2<SBIM>以外の SBI0CR2 レジスタの各ビットと、SBI0CR1, I2C0AR, SBI0SR2 レジスタが初期化されます。

注 6)　STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>を除く SBI0CR2 と SBI0CR1、I2C0AR、SBI0DBR は初期化されます。

シリアルバスインタフェースステータスレジスタ 2

SBI0SR2 (0x0023)

	7	6	5	4	3	2	1	0
Bit Symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	1	0	0	0	*

MST	マスタ/スレーブ選択状態モニタ	0:スレーブ 1:マスタ
TRX	トランスミッタ/レシーバ選択状態モニタ	0:レシーバ 1:トランスミッタ
BB	バス状態モニタ	0:バスフリー 1:バスビジー
PIN	割り込みサービス要求状態モニタ	0:割り込みサービス要求中 1:割り込みサービス要求解除中
AL	アービトレーションロスト検出モニタ	0: - 1:アービトレーションロスト検出
AAS	スレーブアドレス一致検出モニタ	0: - 1:スレーブアドレス一致またはゼネラルコール検出
AD0	ゼネラルコール検出モニタ	0: - 1:ゼネラルコール検出
LRB	最終受信ビットモニタ	0:最終受信ビット “0” 1:最終受信ビット “1”

注 1)　SBI0CR2<SBIM>が"0"になると SBI0SR は初期化されます。

注 2)　ソフトウエアリセット発生後、SBI0CR2<SBIM>以外の SBI0CR2 レジスタの各ビットと、SBI0CR1, I2C0AR, SBI0SR2 レジスタが初期化されます。

注 3)　STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>を除く SBI0CR2 と SBI0CR1、I2C0AR、SBI0DBR は初期化されます。

注 4)　* : 不定

シリアルバスインタフェースデータバッファレジスタ

SBI0DBR (0x0025)

	7	6	5	4	3	2	1	0
Bit Symbol	SBI0DBR							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

注 1)　送信データを書き込むときには、データを MSB (ビット 7) 側につめて書き込んでください。

注 2)　SBI0DBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3)　スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了の INTSBI 割り込み要求発生から解除までの間に行ってください。

注 4)　SBI0CR2<PIN>を"1"にセットするために SBI0DBR にダミーデータを書き込む場合、0x00 を書き込んでください。0x00 以外のデータを書き込むと、その後の受信データが正しい値となりません。

注 5)　STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>を除く SBI0CR2 と SBI0CR1、I2C0AR、SBI0DBR は初期化されます。

I²C バスアドレスレジスタ

I2C0AR (0x0024)

	7	6	5	4	3	2	1	0
Bit Symbol	SA							ALS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

SA	スレーブアドレスの設定	スレーブモード時のスレーブアドレス
ALS	通信フォーマットの選択	0: I²C バスモード 1:フリーデータフォーマット

注 1) I2C0AR を 0x00 に設定しないでください。“0x00 に設定した場合、スレーブモードで I²C バス規格の START バイト (0x01) を受信したときにスレーブアドレスが一致したと判断します。

注 2) スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了の INTSBI 割り込み要求発生から解除までの間に行ってください。

注 3) ソフトウエアリセット発生後、SBI0CR2<SBIM>以外の SBI0CR2 レジスタの各ビットと、SBI0CR1, I2C0AR, SBI0SR2 レジスタが初期化されます。

注 4) STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>を除く SBI0CR2 と SBI0CR1、I2C0AR、SBI0DBR は初期化されます。

18.4 機能

18.4.1 低消費電力機能

シリアルバスインタフェースは、シリアルバスインタフェース機能を使用しないとき、低消費電力レジスタ(POFFCR1)によって不要な電力を抑える機能を持っています。

POFFCR1<SBI0EN>を"0"に設定すると、シリアルバスインタフェースへの基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのときシリアルバスインタフェース機能が使用できなくなります。POFFCR1 <SBI0EN>を"1"に設定すると、シリアルバスインタフェースへ基本クロックが供給(Enable)されシリアルバスインタフェース機能が使用可能になります。

リセット後、POFFCR1 <SBI0EN>は"0"に初期化されますので、シリアルバスインタフェース機能は使用不可の設定となります。よって初めてシリアルバスインタフェース機能を使用するときは、プログラムの初期設定(シリアルバスインタフェースの制御レジスタを操作する前)で必ず POFFCR1 <SBI0EN>を"1"に設定してください。

なお、シリアルバスインタフェース動作中は POFFCR1<SBI0EN>を"0"に変更しないでください。変更した場合シリアルバスインタフェースが予期せぬ動作をする場合があります。

18.4.2 スレーブアドレス一致検出、ゼネラルコール検出の選択

SBI0CR1<NOACK>で、スレーブモードのスレーブアドレス一致検出、ゼネラルコール検出の許可/不許可の設定を行います。

SBI0CR1<NOACK>を"0"にクリアすると、スレーブアドレス一致検出、ゼネラルコール検出を許可します。

SBI0CR1<NOACK>を"1"にセットすると、セット後のスレーブアドレス一致検出、ゼネラルコール検出を禁止します。このとき、マスタから送られてくるスレーブアドレス、ゼネラルコールを無視し、アクノリッジを返さず、INTSBI 割り込み要求も発生しません。

マスタモード時、SBI0CR1<NOACK>は無視され、動作に影響を与えません。

注)　スレーブモードでデータを転送中に SBI0CR1<NOACK>を"0"にクリアしても"1"の状態が保持され、データ転送時のアクノリッジを返します。

18.4.3　データ転送のクロック数とアクノリッジ有無の選択

1 ワード分のデータ転送は、データとアクノリッジから成り立っています。データ転送が終了すると INTSBI 割り込み要求を発生します。

SBI0CR1<BC>により、次に送受信するデータのビット数を選択します。

SBI0CR1<ACK>が"1"にセットされると、アクノリッジメントモードで動作します。

マスタデバイスではアクノリッジのためのクロックを発生し、レシーバー時はアクノリッジを出力します。スレーブデバイスではアクノリッジのためのクロックカウントし、レシーバー時はアクノリッジを出力します。

SBI0CR1<ACK>が"0"にクリアされると、非アクノリッジメントモードで動作します。

マスタデバイスではアクノリッジのためのクロックを発生しません。スレーブデバイスではアクノリッジのためのクロックカウントしません。

18.4.3.1　データ転送のクロック数

データ転送のクロック数は SBI0CR1<BC>と SBI0CR1<ACK>で設定されます。

SBI0CR1<ACK>が"1"にセットされると、アクノリッジメントモードで動作します。

アクノリッジメントモードの時、マスタデバイスではデータビット数分のクロックを発生した後、アクノリッジのためのクロックを発生し INTSBI 割り込み要求を発生します。

スレーブデバイスではデータビット分のクロックをカウントした後、アクノリッジのためのクロックカウントし INTSBI 割り込み要求を発生します。

SBI0CR1<ACK>が"0"にクリアされると、非アクノリッジメントモードで動作します。

非アクノリッジメントモードの時、マスタデバイスではデータビット数分のクロックを発生した後、INTSBI 割り込み要求を発生します。

スレーブデバイスではデータビット分のクロックをカウントした後、INTSBI 割り込み要求を発生します。

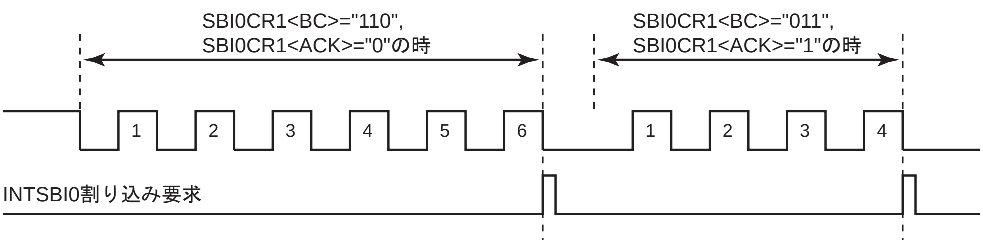


図 18-5 データ転送クロック数と SBI0CR1<BC>, SBI0CR1<ACK>

データ転送のクロック数は SBI0CR1<BC>と SBI0CR1<ACK>の関係は表 1-3 の通りとなります。

表 18-1 データ転送のクロック数と SBI0CR1<BC>, SBI0CR1<ACK>の関係

BC	ACK=0 のとき(非アクノリッジメントモード)		ACK=1 のとき(アクノリッジメントモード)	
	データ転送のクロック数	データビット数	データ転送のクロック数	データビット数
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

BC はスタートコンディションにより “000” にクリアされます。

そのため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、BC は一度設定された値を保持します。

注) スレーブアドレスの送信、受信は SBI0CR1<ACK>をセットした状態で実施してください。
SBI0CR1<ACK>がクリアされた状態ではスレーブアドレスの一致、方向ビットの検出が正常に行われません。

18.4.3.2 アクノリッジ出力

アクノリッジメントモードの時、アクノリッジのためのクロック期間中、SDA0 端子が下記のように変化します。

- マスタモード時

  トランスミッタモードのとき、アクノリッジのためのクロック期間中、レシーバからのアクノリッジ信号を受信するために SDA0 端子を解放します。シーバモードのときは、アクノリッジのためのクロック期間中、SDA0 端子を “L” レベルに引きアクノリッジ信号を発生します。

- スレーブモード時

  受信したスレーブアドレスと I2C0AR<SA>に設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA0 端子を “L” レベルに引きアクノリッジ信号を発生します。

  スレーブアドレス一致またはゼネラルコール受信後のデータ転送において、トランスミッタモードのときには、アクノリッジのためのクロック期間中、SDA0 端子を解放し、レシーバからのアクノリッジ信号を受信できる状態にします。

  レシーバモードのときには、SDA0 端子を “L” レベルに引きアクノリッジ信号を発生します。表 1-4 にアクノリッジメントモードにおける SCL0 端子と SDA0 端子の状態を示します。

注) 非アクノリッジメントモードの時、アクノリッジのためのクロック発生、カウントを行わないため、アクノリッジ出力はされません。

表 18-2 アクノリッジメントモードでの SCL0 端子と SDA0 端子の状態

モード	端子	条件	トランスミッタ	レシーバ
マスタ	SCL0	-	アクノリッジのためのクロックを付加	アクノリッジのためのクロックを付加
	SDA0	-	アクノリッジ信号受信のために端子を解放	アクノリッジ信号として端子に"L"を出力
スレーブ	SCL0	-	アクノリッジのためのクロックをカウント	アクノリッジのためのクロックをカウント
	SDA0	スレーブアドレスが一致したとき、またはゼネラルコールを受信したとき	-	アクノリッジ信号として端子に “L” を出力
		スレーブアドレスが一致したとき、またはゼネラルコール受信後の転送時	アクノリッジ信号受信のために端子を解放	アクノリッジ信号として端子に"L"を出力

18.4.4　シリアルクロック

18.4.4.1　クロックソース

SBI0CR1<SCK>で、マスタモード時に出力されるシリアルクロックの HIGH 時間、LOW 時間を設定します。

SCK	t_{HIGH}(m/fcgck)	t_{LOW}(n/fcgck)
	m	n
000:	9	12
001:	11	14
010:	15	18
011:	23	26
100:	39	42
101:	71	74
110:	135	138
111:	263	266

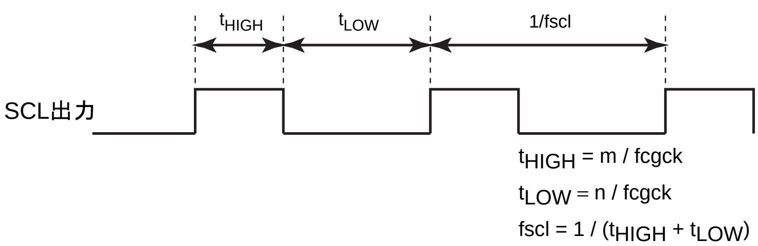


図 18-6 SCL 出力

注)　バスの負荷容量により SCL 端子の立ち上がりがなまりクロック同期化機能が働き、SBI0CR1<SCK>で設定した t_{HIGH} とならないことがあります。

マスタ時、スタートコンディション発生時のホールドタイムは t_{HIGH}[s]、ストップコンディション発生時のセットアップタイム t_{HIGH}[s]となります。

スレーブ時の SBI0CR2<PIN>を"1"にセットしたとき、SCL 端子解放までの時間は t_{LOW}[s]となります。

なお、マスタモード/スレーブモードともに SBI0CR1<SCK>と関係なく、外部から入力されるクロックは、 "H"レベルは 3/fcgck[s]以上、"L" レベルは 5/fcgck[s]以上必要です。

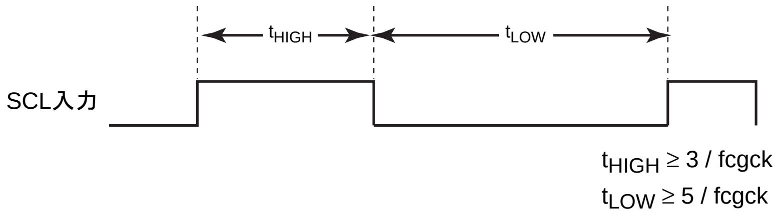


図 18-7 SCL 入力

18.4.4.2 クロック同期化

I²C バスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に "L" レベルに引いたマスタが、"H" レベルを出力しているマスタのクロックを無効にします。このため、"H" レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。

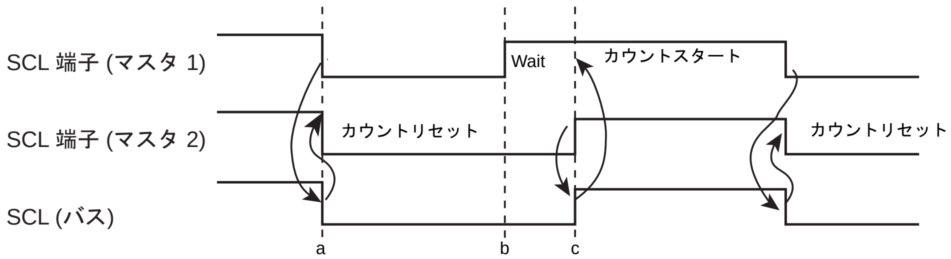


図 18-8 クロック同期化の例

a 点でマスタ 1 が SCL 端子を "L" レベルに引くことで、バスの SCL ラインは "L" レベルになります。マスタ 2 はこれを検出し、マスタ 2 の "H" レベル期間のカウントをリセットし、SCL 端子を "L" レベルに引きます。

b 点でマスタ 1 は "L" レベル期間のカウントを終わり、SCL 端子を "H" レベルにします。しかしマスタ 2 がバスの SCL ラインを "L" レベルに保持し続けているので、マスタ 1 は "H" レベル期間のカウントを始めません。マスタ 1 は、c 点でマスタ 2 が SCL 端子を "H" レベルにし、バスの SCL ラインが "H" レベルになったことを検出後、"H" レベル期間のカウントを始めます。その後、"H" レベル期間のカウントを終了したマスタが SCL 端子を "L" に引くことで、バスの SCL ラインは "L" レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い "H" レベル期間をもつマスタと、最も長い "L" レベル期間をもつマスタによって決定されます。

18.4.5 マスタ/スレーブの選択

SBI0CR2<MST>を "1" にセットすると、シリアルバスインタフェース回路はマスタデバイスとして動作します。

SBI0CR2<MST>を “0” にクリアすると、スレーブデバイスとして動作します。SBI0CR2<MST>はバス上のストップコンディションを検出したとき、またはアービトレーションロストを検出したとき、ハードウエアにより “0” にクリアされます。

18.4.6　トランスミッタ/レシーバの選択

SBI0CR2<TRX>を “1” にセットすると、シリアルバスインタフェース回路はトランスミッタとして動作し、SBI0CR2<TRX>を “0” にクリアするとレシーバとして動作します。

I^2C バスモードのデータ転送を行うとき、スレーブモード時は、ハードウエアにより、マスタデバイスから送られてくる方向ビット (R/$\overline{W}$) が “1” の場合、SBI0CR2<TRX>は “1” にセットされ、“0” の場合、SBI0CR2<TRX>は “0” にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより送信した方向ビットが “1” の場合、SBI0CR2<TRX>は “0” にクリアされ、 “0” の場合、SBI0CR2<TRX>は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

SBI0CR2<TRX>はバス上のストップコンディションを検出したとき、またはアービトレーションロストが検出されると、ハードウエアにより “0” にクリアされます。表 1-5 に各モードでの SBI0CR2<TRX>の変化条件と変化後の SBI0CR2<TRX>の値を示します。

注)　SBI0CR1<NOACK>が"1"のとき、スレーブアドレス一致の検出、ゼネラルコールの検出が禁止されているため、SBI0CR2<TRX>は変化しません。

表 18-3 各モードでの SBI0CR1<TRX>の動作

モード	方向ビット	変化条件	変化後の TRX
スレーブモード	"0"	受信したスレーブアドレスが I2C0AR<SA>に設定された値と同じとき	"0"
	"1"		"1"
マスタモード	"0"	ACK 信号が返ってきたとき	"1"
	"1"		"0"

シリアルバスインタフェース回路を、フリーデータフォーマットで使用している場合、スレーブアドレス, 方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。そのために、SBI0CR2<TRX>はハードウエアによって変化することはありません。

18.4.7　スタート/ストップコンディションの発生

SBI0SR2<BB>が “0” のときに、SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>, SBI0CR2<PIN>に “1” を書き込むと、バス上にスタートコンディション、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと、方向ビットが出力されます。スタートコンディションを発生させる前に、SBI0CR1<ACK>を “1” にセットしておいてください。

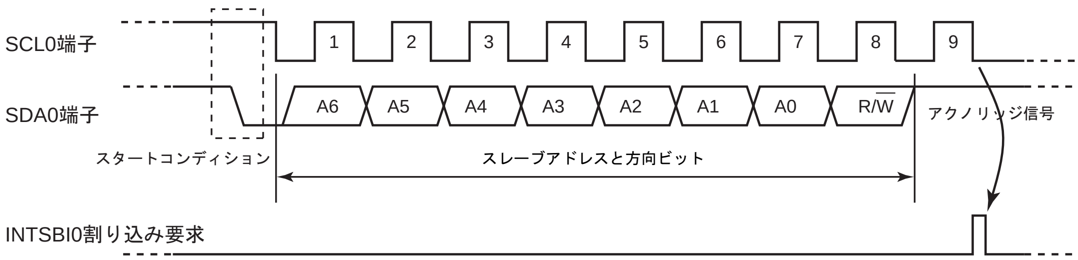


図 18-9 スタートコンディションの発生とスレーブアドレスの発生

SBI0SR2<BB>が “1” のときに、SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<PIN>に “1” を、SBI0CR2<BB>に"0"を書き込むと、バス上にストップコンディションを出力するシーケンスが開始され、バス上にストップコンディションが発生します。

ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより “L” レベルに引かれていた場合、SCL ラインが解放された後に、ストップコンディションが発生します。

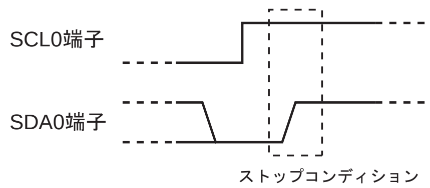


図 18-10 ストップコンディションの発生

また、SBI0SR2<BB>を読み出すことで、バスの状態を知ることができます。SBI0SR2<BB>は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にクリアされます (バスフリー状態)。

18.4.8 割り込みサービス要求と解除

マスタモードの場合、SBI0CR1<BC>と SBI0CR1<ACK>によって設定されたデータ転送のクロック数の転送が終了すると INTSBI 割り込み要求 が発生します。

スレーブモードの場合、上記に加え以下の条件が成立したとき INTSBI 割り込み要求が発生します。

- SBI0CR1<NOACK>が"0"のとき、受信したスレーブアドレスが、I2C0AR<SA>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- SBI0CR1<NOACK>が"0"のとき、ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

INTSBI 割り込み要求が発生すると、SBI0CR2<PIN>が “0” にクリアされます。SBI0CR2<PIN>が “0” の間、SCL0 端子が “L” レベルに引かれます。

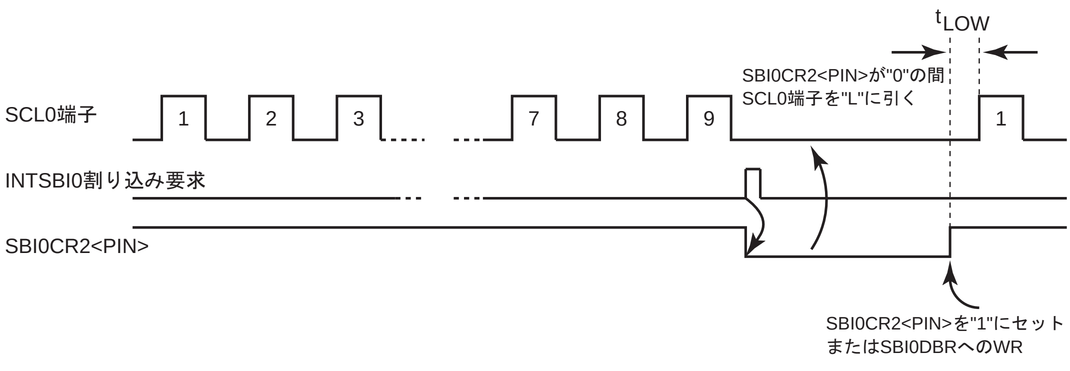


図 18-11 SBI0CR2<PIN>と SCL0 端子

SBI0DBR にデータを書き込むと SBI0CR2<PIN>が “1” にセットされます。なお、SBI0CR2<PIN>が “1” にセットされてから SBI0 端子が解放されるまで、t_{LOW} の時間がかかります。

プログラムで SBI0CR2<PIN>に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

18.4.9　シリアルバスインタフェースの動作モード

SBI0CR2<SBIM>でシリアルバスインタフェースの動作モードを設定します。

SBI0CR2<SBIM>を"1"にセットするとシリアルバスインタフェースモードに、"0"にクリアするとポートモードになります。

シリアルバスインタフェースモードで使用するときは、シリアルバスインタフェース端子の状態が “H” になっていることを確認後、SBI0CR2<SBIM>を “1” にしてください。

また、ポートモードへの切り替えはバスフリーを確認後、SBI0CR2<SBIM>を “0” にしてください。

注)　SBI0CR2<SBIM>が"0"のとき SBI0CR2<SBIM>以外の SBI0CR2 に値を書き込むことはできません。
SBI0CR2 に値を設定する前に SBI0CR2<SBIM>に"1"を書き込んでシリアルバスインタフェースモードにしてください。

18.4.10　ソフトウエアリセット

シリアルバスインタフェース回路は、シリアルバスインタフェース回路を初期化するソフトウエアリセット機能を持っています。ノイズなどによりシリアルバスインタフェース回路がロックしたとき、この機能を使うことでシリアルバスインタフェース回路を初期化することができます。

SBI0CR2<SWRST>に “10”、“01” の順に書き込みを行うとソフトエアリセットが発生します。

ソフトウエアリセット発生後、シリアルバスインタフェース回路が初期化され、SBI0CR2<SBIM>以外の SBI0CR2 レジスタの各ビットと、SBI0CR1、I2C0AR、SB0ISR2 レジスタが初期化されます。

18.4.11　アービトレーションロスト検出モニタ

I^2C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。

I^2C バスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。a 点のビットまでマスタ 1、マスタ 2 ともに同じデータを出力し、a 点でマスタ 1 がデータ “1” を出力、マスタ 2 がデータ “0” を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスタ 2 によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ 2 のデータを取り込みます。このときマスタ 1 の出力したデータは無効になります。マスタ 1 のこの状態を “アービトレーションロスト” と呼び、アービトレーションを失ったマスタは、SDA 端子, SCL 端子を解放し、アービトレーションを失っていない、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが、1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は 2 ワード目以降も継続されます。

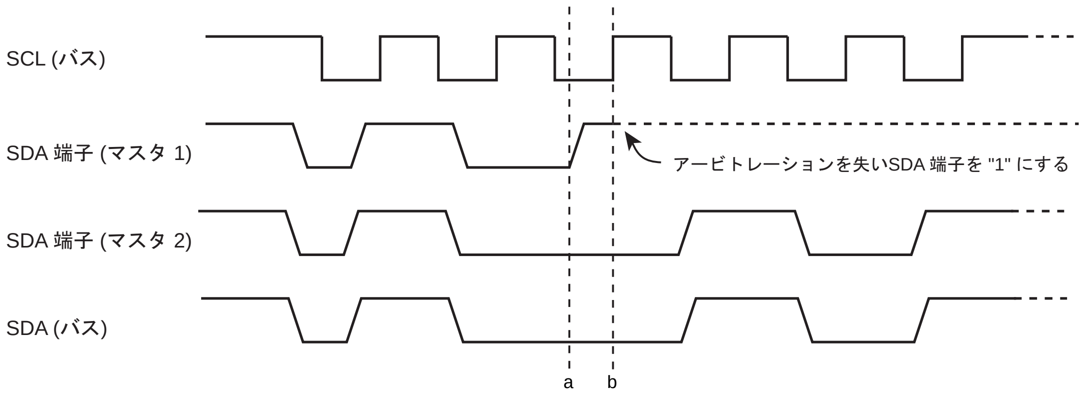


図 18-12 アービトレーションロスト

シリアルバスインタフェース回路では、バスの SDA ラインのレベルとシリアルバスインタフェース回路の SDA 端子のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、SBI0SR2<AL> が “1” にセットされます。

SBI0SR2<AL>が “1” にセットされると SBI0CR2<MST>, SBI0CR2<TRX>は “0” にリセットされ、スレーブレシーバモードになります。そのため、SBI0SR2<AL>が “1” にセットされた後のデータの転送では、シリアルバスインタフェース回路はクロックの出力を停止します。データ転送が終了すると SBI0CR2<PIN>が"0"にクリアされ、SCL 端子が"L"に引かれます。

SBI0SR2<AL>は、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み込む、または SBI0CR2 にデータを書き込むと “0” にリセットされます。

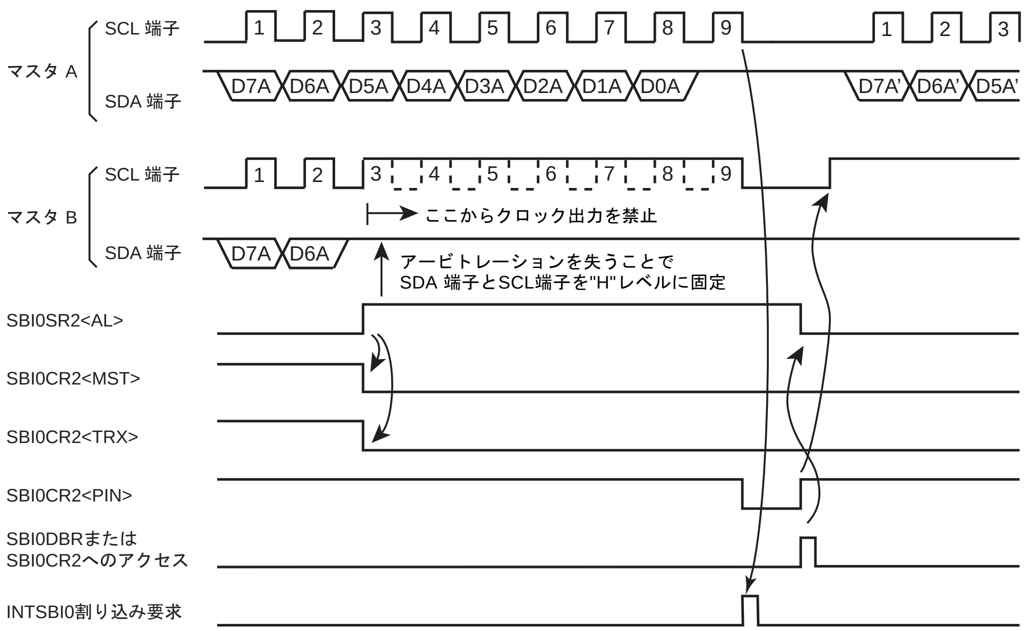


図 18-13 シリアルバスインタフェース回路がマスタ B の場合

18.4.12 スレーブアドレス一致検出モニタ

SBI0SR2<AAS>は、スレーブモード時、SBI0CR1<NOACK>が"0"で、I^2C バスモード (I2C0AR<ALS> = “0”) の場合、ゼネラルコールまたは、I2C0AR<SA>にセットした値と同じスレーブアドレスを受信すると、“1” にセットされます。

SBI0CR1<NOACK>が"1"のとき、セット後のスレーブアドレス一致検出、ゼネラルコール検出を禁止します。そのため、ゼネラルコールまたは、I2C0AR<SA>にセットした値と同じスレーブアドレスを受信しても SBI0SR2<AAS>は"0"のままです。

フリーデータフォーマット (I2C0AR<ALS> = “1”) のときは、最初の 1 ワードが受信されると “1” にセットされます。SBI0SR2<AAS>は SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと “0” にクリアされます。

図 18-14 スレーブアドレス一致モニタの変化

18.4.13　ゼネラルコール検出モニタ

SBI0SR2<AD0>はスレーブモード時、SBI0CR1<NOACK>が"0"のとき、ゼネラルコール (スタートコンディション直後に受信した 8 ビットのデータがすべて “0”) のとき、“1” にセットされます。

SBI0CR1<NOACK>が"1"のとき、セット後のスレーブアドレス一致検出、ゼネラルコール検出を禁止します。そのため、ゼネラルコールを受信しても SBI0SR2<AD0>は"0"のままです。

SBI0R2<ADO>は、バス上のスタートコンディションまたはストップコンディションが検出されると、"0"にクリアされます。

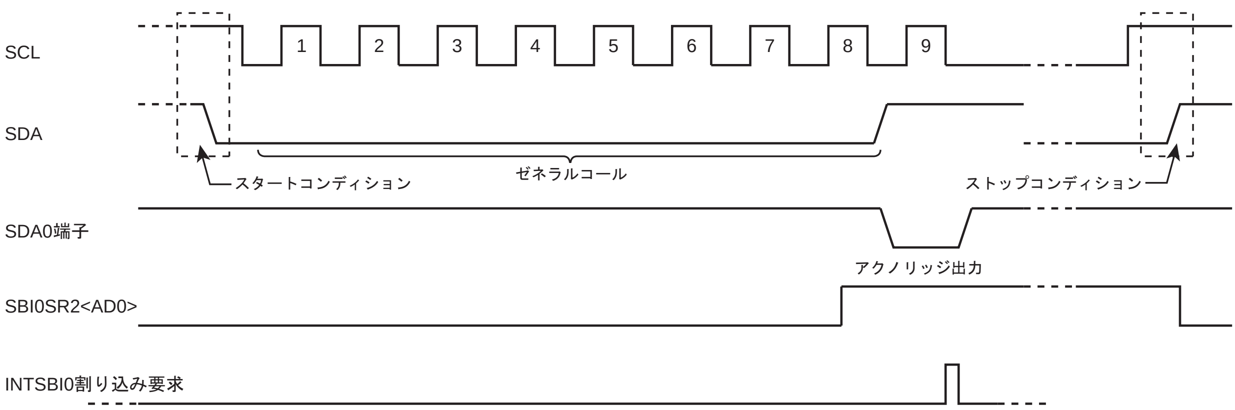


図 18-15 ゼネラルコール検出モニタの変化

18.4.14　最終受信ビットモニタ

SBI0SR2<LRB>には、バス上の SCL ラインの立ち上がりで取り込まれたバス上の SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に SBI0SR2<LRB>を読み出すと、アクノリッジ信号が読み出されます。

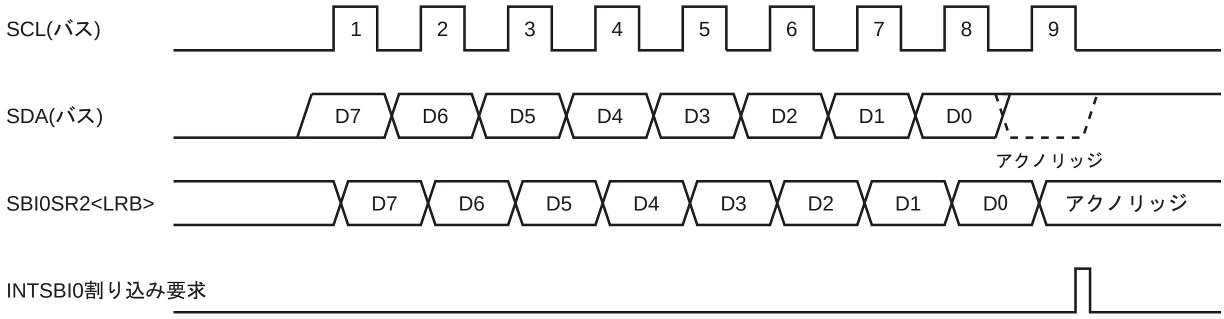


図 18-16 最終受信ビットモニタの変化

18.4.15　スレーブアドレスとアドレス認識モードの設定

シリアルバスインタフェース回路を、I²C バスモードで使用するときには、I2C0AR<ALS>を “0” にクリアし、I2C0AR<SA>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには、I2C0AR<ALS>を “1” にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

18.5　I²C バスモード時のデータ転送手順

18.5.1　デバイスの初期化

POFFCR1<SBI0EN>を"1"に設定します。

シリアルバスインタフェース端子の状態が “H” になっていることを確認し、SBI0CR2<SBIM>に “1” を設定し、シリアルバスインタフェースモードに設定します。

次に SBI0CR1<ACK>に “1”を、SBI0CR1<NOACK>に"0"を、SBI0CR1<BC>に “000” を書き込み、アクノリッジのためのクロック数を “カウントする、スレーブアドレス一致検出、ゼネラルコール検出を許可、” データ長を “8 ビット” に設定します。また、SBI0CR1<SCK>で T_{HIGH}、T_{LOW} を設定します。

次に I2C0AR<SA>にスレーブアドレスを設定し、I2C0AR<ALS>を"0"に設定して I²C バスモードに設定します。

最後に、SBI0CR2<MST>、 SBI0CR2<TRX>、 SBI0CR2<BB>に “0”を、SBI0CR2<PIN>に “1”を、SBI0CR2<SWRST>に “00” を設定し、初期状態をスレーブレシーバモードにします。

注)　シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に、ほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

（プログラム例）デバイスの初期化

```
CHK_PORT:  LD    A, (P2PRD)          ;シリアルバスインタフェースの端子状態が"H"かを確認
           AND   A, 0x18
           CMP   A, 0x18
           JR    NZ, CHK_PORT
           SET   (POFFCR1).SBI0EN    ; シリアルバスインタフェースの動作を許可に設定
           LD    (SBI0CR2), 0x18     ; シリアルバスインタフェースモードに設定
           LD    (SBI0CR1), 0x16     ; アクノリッジメントモード、SBI0CR1<SCK>="110"に設定
           LD    (I2C0AR), 0xA0      ; スレーブアドレスを 1010000 に、I2C バスモードに設定
           LD    (SBI0CR2), 0x18     ; スレーブレシーバモードに設定
```

18.5.2　スタートコンディション、スレーブアドレスの発生

バスフリー (SBI0SR2<BB>=“0”) 状態を確認します。

SBI0CR1<ACK>を “1” にセットし、SBI0DBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。

SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>, SBI0CR2<PIN> に “1” を書き込むと、バス上にスタートコンディションと、SBI0DBR に設定したスレーブアドレスと、方向ビットが出力されます。なお、スタートコンディション出力後、SBI0 端子が立ち下がるまで、t_{HIGH} かかります。

この後、SCL の 9 クロック目の立ち下がりで INTSBI 割り込み要求が発生し、SBI0CR2<PIN>が “0” にクリアされます。SBI0CR2<PIN>が “0” の間、SCL0 端子を “L” レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウエアにより、INTSBI 割り込み要求発生タイミングで SBI0CR2<TRX>が方向ビットに合わせて変化します。

注 1)　スレーブアドレスを出力するために SBI0DBR を書き込むときは、事前に、ソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注 2)　出力するスレーブアドレスの書き込みから 98.0μs (標準モード I²C バス規格による最短の転送時間)、または 23.7μs (ファーストモード I²C バス規格による最短の転送時間) 以内に、再度ソフトウエアによるバスフリーの確認を行い、バスフリーが確認できたときのみ SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>, SBI0CR2<PIN>に “1” を書き込み、スタートコンディションを発生させてください。この制約が守られない場合、SBI0DBR へ出力するスレーブアドレスを書き込んでから SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>, SBI0CR2<PIN>に “1” を書き込みスタートコンディションを発生させるまでの間に、ほかのマスタによる転送が行われ、SBI0DBR に書き込んだスレーブアドレスが破壊されることがあります。

（プログラム例）スタートコンディションの発生

```
CHK_BB:   TEST   (SBI0SR2).BB        ;バスフリーを確認
          JR     F, CHK_BB
          LD     (SBI0DBR),0xCB      ; 送信スレーブアドレス 0x65、方向ビット"1"
          LD     (SBI0CR2), 0xF8     ; SBI0CR2<MST>,<TRX>,<BB>,<PIN>に"1"を設定
```

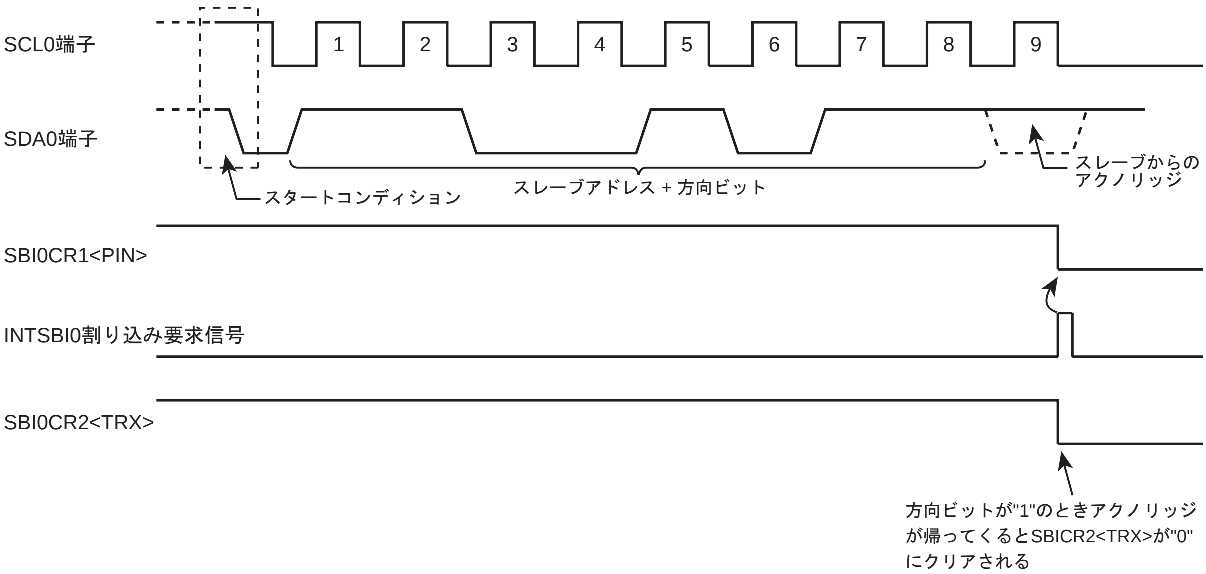


図 18-17 スタートコンディションとスレーブアドレスの発生

18.5.3 1 ワードのデータ転送

1 ワード転送終了の割り込みの処理の中で、SBI0SR2<MST>をテストし、マスタモード/スレーブモードの判断をします。

18.5.3.1 SBI0SR2<MST>が “1” のとき (マスタモード)

SBI0SR2<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1) SBI0SR2<TRX>が “1” のとき (トランスミッタモード)

SBI0SR2<LRB>をテストします。SBI0SR2<LRB>が “1” のとき、レシーバはデータを要求していないので、ストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

SBI0SR2<LRB>が “0” のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が 8 ビット以外のときは SBI0CR1<BC>を再設定し、SBI0CR1<ACK>を “1” にセットした後、送信データを SBI0DBR に書き込みます。

データを書き込むと SBI0CR2<PIN>が “1” になり、SCL0 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生し、SDA0 端子から 1 ワードのデータが送信されます。

送信終了後、INTSBI 割り込み要求が発生し、SBI0CR2<PIN>が “0” になり、SCL0 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は、上記 SBI0SR2<LRB>のテストから繰り返します。

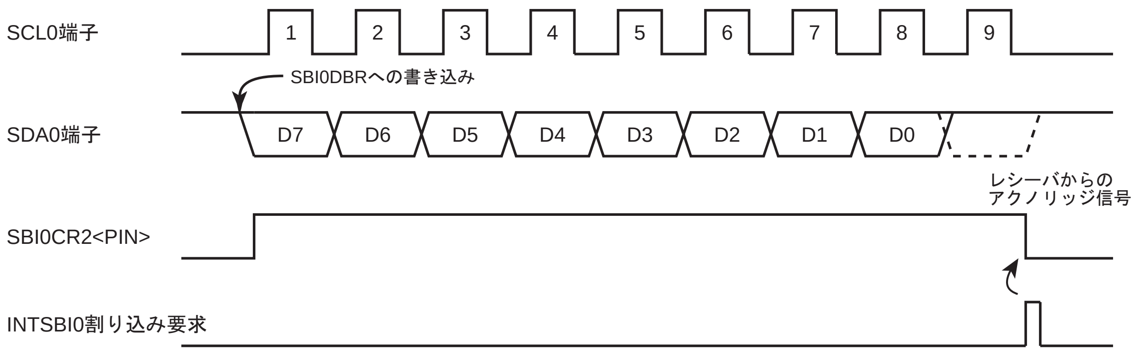


図 18-18 SBI0CR1<BC>=“000”，SBI0CR1<ACK>=“1” の場合

(2)　SBI0SR2<TRX>が “0” のとき (レシーバモード)

次に転送するデータのビット数が、8 ビット以外のときは SBI0CR1<BC>を再設定し、SBI0CR1<ACK>に “1” をセットした後、SBI0DBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。

データを読み出した後、SBI0DBR にダミーデータ(0x00)を書き込むと SBI0CR2<PIN>は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL0 端子に出力し、アクノリッジのタイミングで “L” レベルを SDA0 端子に出力します。

その後、INTSBI 割り込み要求が発生し、SBI0CR2<PIN>が “0” になります。

SBI0DBR から受信データを読み出したあと、SBI0DBR にダミーデータ(0x00)を書き込むか、SBI0CR2<PIN>を “1” にセットすると、1 ワードの転送クロックとアクノリッジを出力します。

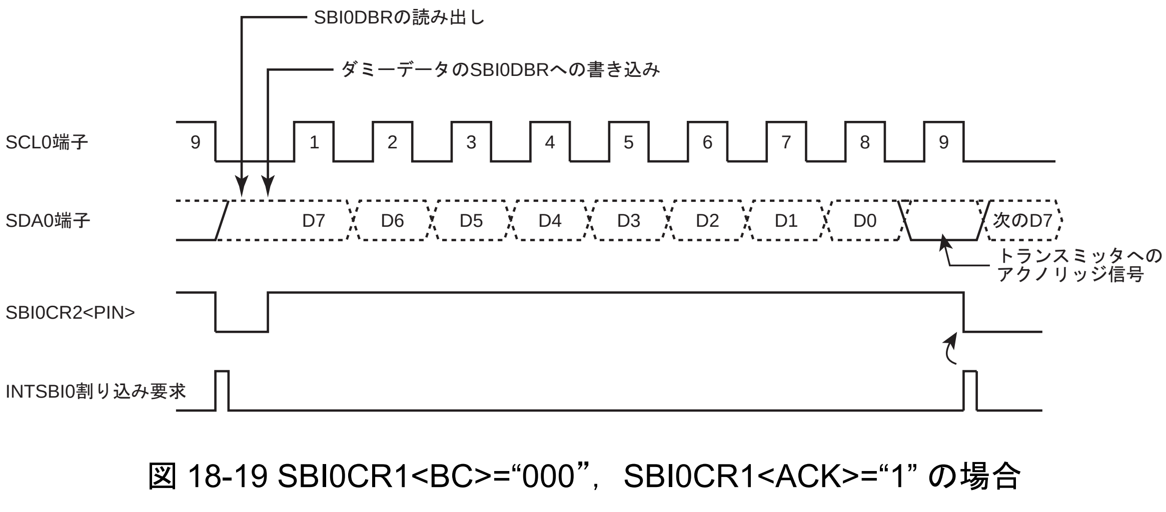


図 18-19 SBI0CR1<BC>=“000”，SBI0CR1<ACK>=“1” の場合

トランスミッタに対してデータの送信を終了させるときには、最後のデータを受信する前に下記の処理を行います。

1. 受信データを SB0IDBR から読み出す。
2. SBI0CR1<ACK>を"0"にクリアし、SBI0CR1<BC>を"000"に設定します。

3. SBI0CR2<PIN>を"1"にセットするために、SBI0DBR にダミーデータ(0x00)を書き込みます。

SBI0CR2<PIN>が"1"に設定されると、アクノリッジのためのクロックが発生されない 1 ワードの転送が実施されます。

1 ワードの転送の後、下記の処理を行います。

1. 受信データを SB0IDBR から読み出す。
2. SBI0CR1<ACK>を"0"にクリアし、SBI0CR1<BC>を"001"に設定します。
3. SBI0CR2<PIN>を"1"にセットするために、SBI0DBR にダミーデータ(0x00)を書き込みます。

SBI0CR2<PIN>が"1"に設定されると、1 ビットの転送が実施されます。

このときマスタはレシーバなので、バスの SDA ラインは “H” レベルを保ちます。トランスミッタはこの"H"レベルをネガディブアクノリッジ信号として受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込みの処理で、ストップコンディションを発生させ、データ転送を終了させます。

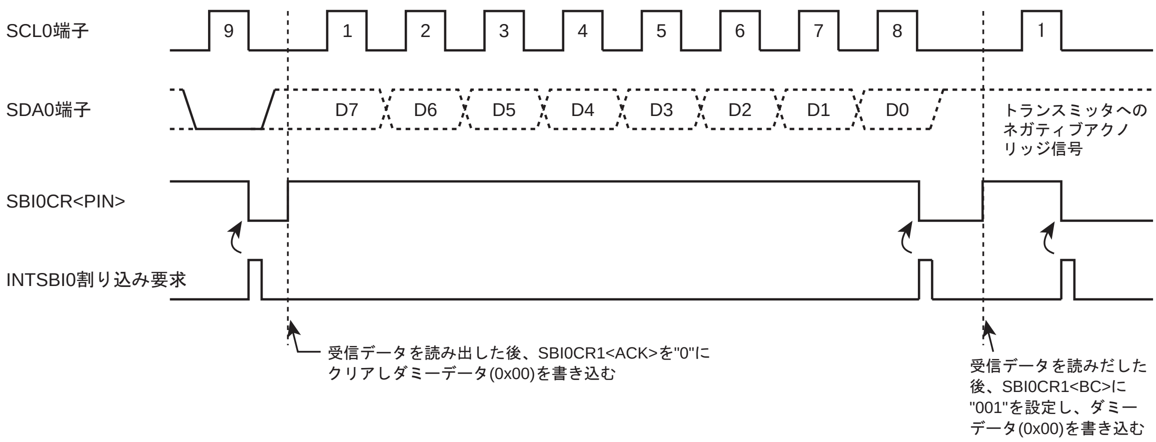


図 18-20 マスタレシーバモード時、データの送信を終了させるときの処理

18.5.3.2 SBI0SR2<MST>が “0” のとき (スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理または、シリアルバスインタフェース回路がアービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモードの場合、以下のときに INTSBI 割り込み要求が発生します。

- SBI0CR1<NOACK>が"0"のとき、受信したスレーブアドレスが、I2C0AR<SA>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- SBI0CR1<NOACK>が"0"のとき、ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTSBI 割り込み要求が発生します。アービトレーションを失った後の INTSBI 割り込み要求発生と SBI0CR2<PIN>の動作を表 1-6 に示します。

表 18-4 アービトレーションロスト時の INTSBI 割り込み要求と SBI0CR2<PIN>の動作

	マスタモード時、スレーブアドレス送信中にアービトレーションを失った場合	マスタトランスミットモード時、データ送信中にアービトレーションを失った場合
INTSBI0 割り込み要求	ワード転送終了時に INTSBI 割り込み要求発生	
SBI0CR2<PIN>	SBI0CR2<PIN>は "0" にクリアされます。	

INTSBI 割り込み要求が発生すると、SBI0CR2<PIN>が "0" にリセットされ、SCL0 端子を "L" レベルに引きます。SBI0DBR にデータを書き込むか、SBI0CR2<PIN>を "1" にセットすると SCL0 端子が t_{LOW} 後に解放されます。

SBI0SR2<AL>、SBI0SR2<TRX>、SBI0SR2<AAS>、SBI0SR2<AD0>をテストし、場合分けを行います。表 1-7 にスレーブモード時の状態と必要な処理を示します。

表 18-5 スレーブモード時の処理

SBI0SR2 <TRX>	SBI0SR2 <AL>	SBI0SR2 <AAS>	SBI0SR2 <AD0>	状　態	処　理
1	1	1	0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが "1" のシリアルバスインタフェース回路のスレーブアドレスを受信	1 ワードのビット数を SBI0CR1<BC>にセットし、送信するデータを SBI0DBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが "1" のシリアルバスインタフェース回路のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	SBI0SR2<LRB>をテストし、"1" にセットされていた場合、レシーバが次のデータを要求していないので SBI0CR2<PIN>に "1" をセット、SBI0CR2<TRX>を "0" にリセットしバスを解放します。SBI0SR2<LRB>が "0" にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を SBI0CR1<BC>にセットし、送信するデータを SBI0DBR に書き込みます。
0	1	1	1/0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが "0" のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	SBI0CR2<PIN>を "1" にセットするために SBI0DBR にダミーデータ(0x00)を書き込みます。または SBI0CR2<PIN>に "1" を書き込みます。
		0	0	シリアルバスインタフェース回路が、スレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	シリアルバスインタフェース回路はスレーブモードとなっています。SBI0SR2<AL>を "0" にクリア、SBI0CR2<PIN>を "1" にセットするために、SBI0DBR にダミーデータ(0x00)を書き込みます。または SBI0CR2<PIN>に "1" を書き込みます。
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	SBI0CR2<PIN>を "1" にセットするために、SBI0DBR にダミーデータ(0x00)を書き込みます。または SBI0CR2<PIN>に "1" を書き込みます。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を SBI0CR1<BC>にセットし、受信データを SBI0DBR から読み込み、ダミーデータ(0x00)を書き込みます。

注)　スレーブモードで I2C0AR が 0x00 に設定されている場合、I^{2}C バス規格の START バイト (0x01)を受信したときにスレーブアドレスが一致したと判断し、SBI0CR2<TRX>が "1" にセットされます。I2C0AR<SA>に 0X00 を設定しないでください。

18.5.4 ストップコンディションの発生

SBI0CR2<BB>が “1” のときに、SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<PIN>に “1”、SBI0CR2<BB>に “0” を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>, SBI0CR2<PIN>の内容を書き替えないでください。

また、ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが解放された後、ストップコンディションが発生します。

SCL ラインが解放されてからストップコンディションが発生するまで、t_{HIGH} かかります。

（プログラム例）ストップコンディションの発生

```
            LD      (SBI0CR2), 0xD8     ; SBI0CR2<MST>,<TRX>,<PIN>に"1"を, SBI0CR2<BB>に"0"を設定
CHK_BB:     TEST    (SBI0SR2).BB        ;バスフリーになるのを待つ
            JR      T, CHK_BB
```

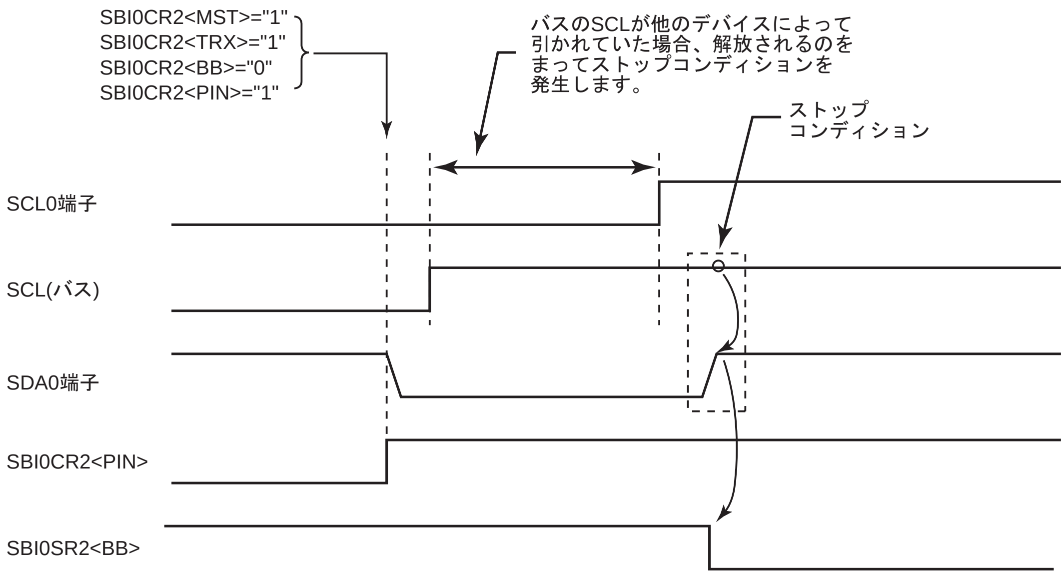


図 18-21 ストップコンディションの発生

18.5.5 反復スタートの手順

反復スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときに使用します。反復スタートを発生させる場合の手順を以下に示します。

まず、SBI0CR2<MST>, SBI0CR2<TRX>,SBI0CR2<BB>に “0” を、SBI0CR2<PIN>に “1” を書き込むと、SDA0 端子は “H” レベルを保ち、SCL0 端子が解放されます。

この状態はストップコンディションではないため、ほかのデバイスからみると、バスはビジー状態のままです。

この後、SBI0SR2<BB>をテストして、“0” になるまで待ち、シリアルバスインタフェース回路の SCL0 端子が解放されたことを確認します。

次に SBI0SR2<LRB>をテストして “1” になるまで待ち、ほかのデバイスによって、バスの SCL ラインが “L” レベルに引かれていないことを確認します。

以上の手順によってバスが解放状態になっていることを確認した後に、前記「1.5.2 スタートコンディション、スレーブアドレスの発生」の手順でスタートコンディションの発生を行います。

なお、反復スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、標準モード I²C バス規格では最低 4.7μs、ファーストモード I²C バス規格では最低 0.6μs のソフトウエアによる待ち時間が必要です。

注) マスタデバイスがレシーバの時、反復スタートを発生させる前に、トランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、“H”レベルのアクノリッジ信号をスレーブデバイスに受信させせます。このため、反復スタート発生前の SBI0SR2<LRB> は"1"となり、反復スタートの手順で、SBI0SR2<LRB>が"1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するには、ポートを読み出してください。

（プログラム例）反復スタートの発生

```
          LD      (SBI0CR2), 0x18     ; SBI0CR2<MST>,<TRX>,<BB>に"0"を, SBI0CR2<PIN>に"1"を設定
CHK_BB:   TEST    (SBI0SR2).BB        ; SBI0SR2<BB>が"0"になるのを待つ
          JR      T, CHK_BB
CHK_LRB:  TEST    (SBI0SR2).LRB       ; SBI0SR2<LRB>が"1"になるのを待つ
          JR      F, CHK_LRB
                  ・
                  ・                  ; ソフトウエアによる時間待ち処理
                  ・
          LD      (SBI0CR2), 0xF8     ; SBI0CR2<MST>,<TRX>,<BB>,<PIN>に"1"を設定
```

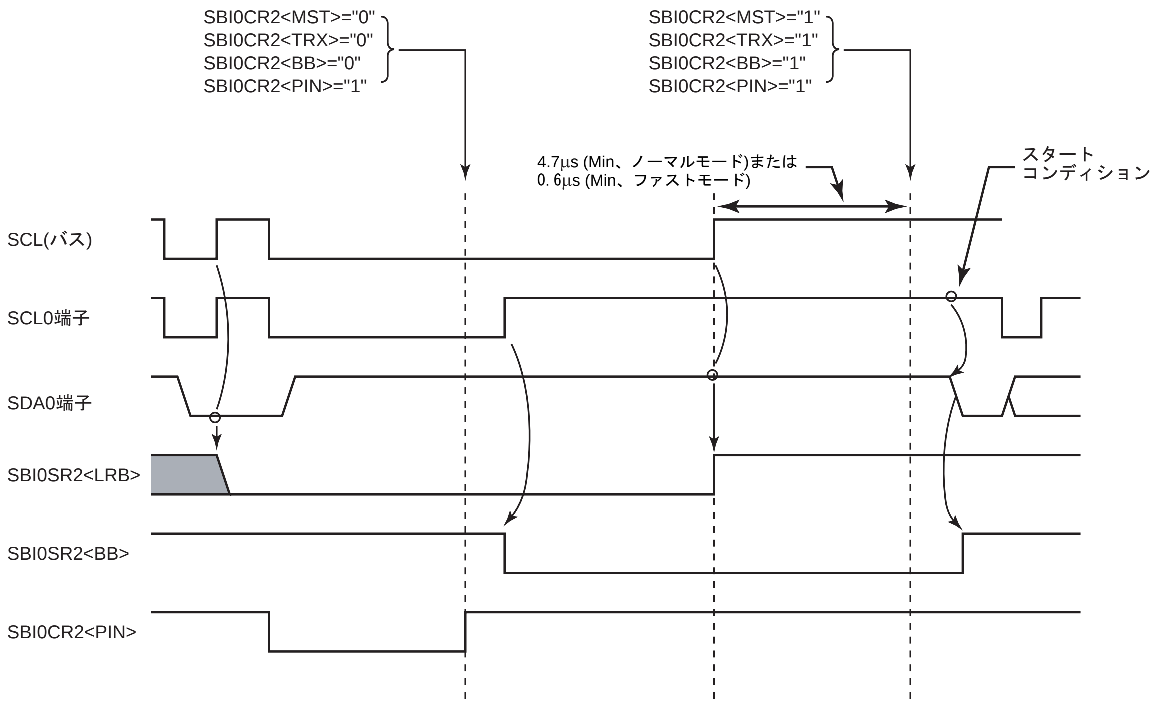


図 18-22 反復スタートを発生させる場合のタイミングチャート

18.6　AC スペック

AC スペックは下記の通りです。

fcgck により使用できる転送モードが決まります。表 1-8 を参照の上、使用できる転送モードを確認してください。

表 18-6 AC スペック(回路出力タイミング)

パラメータ	記号	標準モード		ファーストモード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL クロック周波数	f_{SCL}	0	fcgck / (m+n)	0	fcgck / (m+n)	kHz
ホールド時間(反復)スタートコンディション。この期間の後、最初のクロックパルスを生成	$t_{HD;STA}$	m / fcgck	-	m / fcgck	-	μs
SCL クロックの"L"期間(出力)	t_{LOW}	n / fcgck	-	n / fcgck	-	μs
SCL クロックの"H"期間(出力)	t_{HIGH}	m / fcgck	-	m / fcgck	-	μs
SCL クロックの"L"期間(入力)	t_{LOW}	5 / fcgck	-	5 / fcgck	-	μs
SCL クロックの"H"期間(入力)	t_{HIGH}	3 / fcgck	-	3 / fcgck	-	μs
反復スタートコンディションのセットアップ時間	$t_{SU;STA}$	ソフトによる	-	ソフトによる	-	μs
データホールド時間	$t_{HD;DAT}$	0	5 / fcgck	0	5 / fcgck	μs
データセットアップ時間	$t_{SU;DAT}$	250	-	100	-	ns
SDA および SCL 信号の立ち上がり時間	t_r	-	1000	-	300	ns
SDA および SCL 信号の立ち下がり時間	t_f	-	300	-	300	ns
ストップコンディションのセットアップ時間	$t_{SU;STO}$	m / fcgck	-	m / fcgck	-	μs
ストップコンディションとスタートコンディションとの間のバスフリー時間	t_{BUF}	ソフトによる	-	ソフトによる	-	μs
SBICR2<PIN>=0->1 になったときに SCL が立ち上がるまでの時間	$t_{SU;SCL}$	n / fcgck	-	n / fcgck	-	μs

注) m,n は「1.4.4.1 クロックソース」を参照してください。

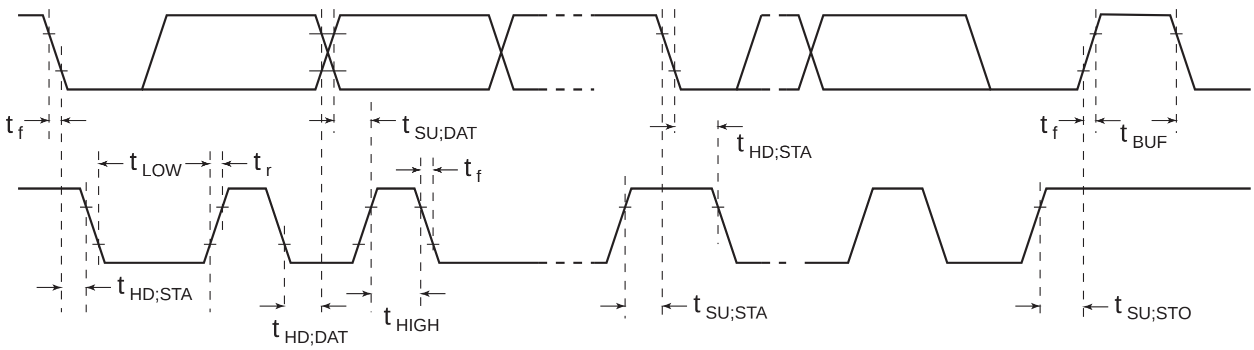


図 18-23 タイミングの定義(その 1)

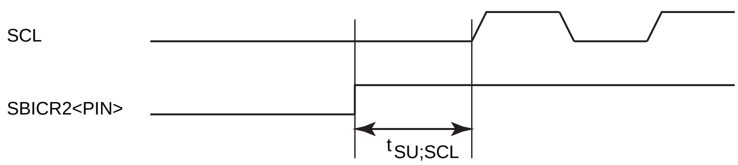


図 18-24 タイミングの定義(その 2)

第 19 章　キーオンウェイクアップ(KWU)

キーオンウェイクアップは、$\overline{\text{STOP}}$ 端子または KWI7 ~ KWI0 端子で STOP モードを解除する機能です。

19.1 構成

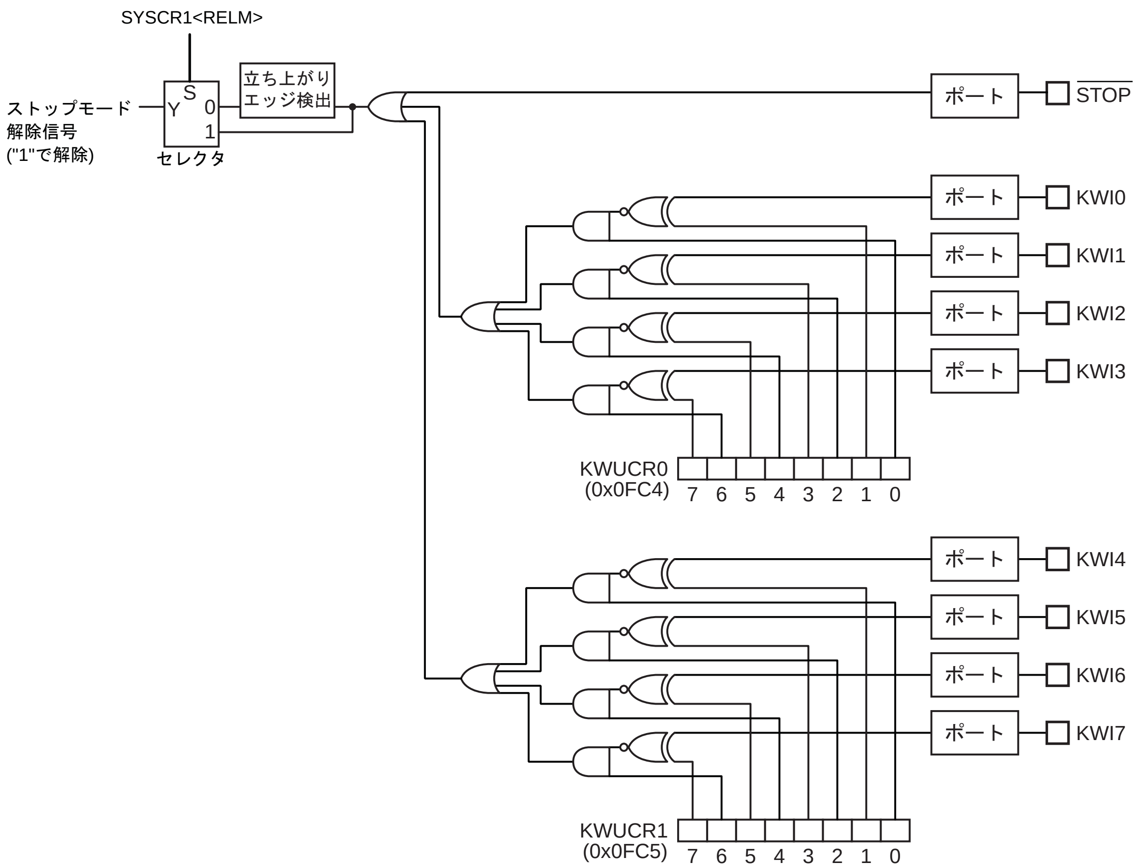


図 19-1 キーオンウェイクアップ回路

注)　キーオンウェイクアップは I/O ポートと兼用となっていますので、キーオンウェイクアップ用の端子として機能させるためには I/O ポートのレジスタ設定が必要です。詳しくは I/O ポートの章を参照してください。

19.2　制御

キーオンウェイクアップの各端子(KWI7 ~ KWI0)は、キーオンウェイクアップ制御レジスタ(KWUCR0, KWUCR1) によって、STOP モード解除用の端子割り当て、および STOP モードの解除レベルを設定することができます。

キーオンウェイクアップ制御レジスタ 0

KWUCR0 (0x0FC4)		7	6	5	4	3	2	1	0
	Bit Symbol	KW3LE	KW3EN	KW2LE	KW2EN	KW1LE	KW1EN	KW0LE	KW0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

KW3LE	KWI3 端子の STOP モード解除レベル	0	L レベル
		1	H レベル
KW3EN	KWI3 端子の入力許可/禁止制御	0	禁止
		1	許可
KW2LE	KWI2 端子の STOP モード解除レベル	0	L レベル
		1	H レベル
KW2EN	KWI2 端子の入力許可/禁止制御	0	禁止
		1	許可
KW1LE	KWI1 端子の STOP モード解除レベル	0	L レベル
		1	H レベル
KW1EN	KWI1 端子の入力許可/禁止制御	0	禁止
		1	許可
KW0LE	KWI0 端子の STOP モード解除レベル	0	L レベル
		1	H レベル
KW0EN	KWI0 端子の入力許可/禁止制御	0	禁止
		1	許可

キーオンウェイクアップ制御レジスタ 1

KWUCR1 (0x0FC5)		7	6	5	4	3	2	1	0
	Bit Symbol	KW7LE	KW7EN	KW6LE	KW6EN	KW5LE	KW5EN	KW4LE	KW4EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

KW7LE	KWI7 端子の STOP モード解除レベル	0	L レベル
		1	H レベル
KW7EN	KWI7 端子の入力許可/禁止制御	0	禁止
		1	許可
KW6LE	KWI6 端子の STOP モード解除レベル	0	L レベル
		1	H レベル
KW6EN	KWI6 端子の入力許可/禁止制御	0	禁止
		1	許可
KW5LE	KWI5 端子の STOP モード解除レベル	0	L レベル
		1	H レベル
KW5EN	KWI5 端子の入力許可/禁止制御	0	禁止
		1	許可
KW4LE	KWI4 端子の STOP モード解除レベル	0	L レベル
		1	H レベル
KW4EN	KWI4 端子の入力許可/禁止制御	0	禁止
		1	許可

19.3 機能

キーオンウェイクアップ機能を使用すると $\overline{\text{STOP}}$ 端子または KWIm 端子で STOP モードを解除することができます(m : 0 ~ 7)。リセット後、STOP モード解除端子は $\overline{\text{STOP}}$ 端子だけとなりますので、KWIm 端子を解除用の端子として割り当てるにはキーオンウェイクアップ制御レジスタ(KWUCRn)を設定する必要があります(n : 0 ~ 1)。なお、$\overline{\text{STOP}}$ 端子は入力を禁止する機能がありませんので、キーオンウェイクアップ機能の使用に関係なく STOP モード解除用の信号として割り当てられます。

・ KWUCRn, P4PU レジスタの設定

キーオンウェイクアップの各端子(KWIm)を STOP モード解除用の端子に割り当てるには、KWUCRn<KWmEN>を"1"に設定してください。KWUCRn<KWmEN>が"1"に設定された KWIm 端子は、KWUCRn<KWmLE>によって STOP モードの解除レベルを設定することができます。KWUCRn<KWmLE>を"0"に設定すると L レベル、"1"に設定すると H レベルの入力によって STOP モードが解除されます。例えば、KWI0 端子へ H レベルを入力することによって STOP モードを解除する場合は、KWUCR0<KW0EN>を"1"に、KWUCR0<KW0LE>を"1"に設定してください。

なお KWIm の各端子は、内部プルアップ抵抗を接続して使用することもできます。内部プルアップ抵抗を接続するには、P4 ポートプルアップ制御レジスタ(P4PU)の対応するビットを"1"に設定してください。

・ STOP モードの起動

STOP モードを起動するには、SYSCR1<RELM>を"1"(レベル解除モード)に、SYSCR1<STOP>を"1"に設定してください。

キーオンウェイクアップ機能を使用する場合は、SYSCR1<RELM> を"0"(エッジ解除モード)に設定しないでください。キーオンウェイクアップ機能をエッジ解除モードで使用した場合、入力が許可された KWIm 端子が STOP モードを起動したときから解除レベルになっている限り $\overline{\text{STOP}}$ 端子に立ち上がりエッジを入力しても STOP モードが解除されません。

・ STOP モードの解除

STOP モードを解除するには、$\overline{\text{STOP}}$ 端子に H レベルを入力するか、入力が許可された KWIm 端子に解除レベルを入力してください。STOP モードの解除を $\overline{\text{STOP}}$ 端子では無く、必ず KWIm 端子で行いたい場合は、STOP モードを起動してから解除するまでの期間、$\overline{\text{STOP}}$ 端子に L レベルを入力してください。

なお、STOP モードを起動する時点で $\overline{\text{STOP}}$ 端子または KWIm 端子がすでに解除レベルだった場合、STOP モードは起動せず、すぐに次の命令が実行されます(ウォーミングアップは行われません)。

注 1) キーオンウェイクアップ制御レジスタ (KWUCRn) によって入力が許可されている KWIm 端子にアナログ電圧を与えると貫通電流が流れます。従ってアナログ電圧を印加しないでください。

表 19-1 STOP モードの解除レベル(エッジ)

端子名	解除レベル(エッジ)		
	SYSCR1<RELM>="1" (レベル解除モード)		SYSCR1<RELM>="0" (エッジ解除モード)
	KWUCRn<KWmLE>="0"	KWUCRn<KWmLE>="1"	
$\overline{\text{STOP}}$	"H"レベル		立ち上がりエッジ
KWIm	"L"レベル	"H"レベル	使用禁止

（プログラム例）$\overline{\text{STOP}}$ 端子の解除レベルを H レベル、KWI0 端子の解除レベルを L レベルに設定し STOP モードを起動 (KWI0 端子の内部プルアップ抵抗を接続)

```
DI                                  ; IMF←0
SET     (P4PU).0                    ; KWI0 (P40) をプルアップ設定
LD      (KWUCR0), 0y00000001        ; KWI0 端子の入力を許可、解除レベルを L レベルに設定
LD      (SYSCR1) , 0y10100000       ;レベル解除モードに設定して起動
```

第 20 章　10 ビット AD コンバータ(ADC)

TMP89FM46A は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

20.1　構成

10 ビット AD コンバータの回路構成を図 20-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDRL, ADCDRH と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。

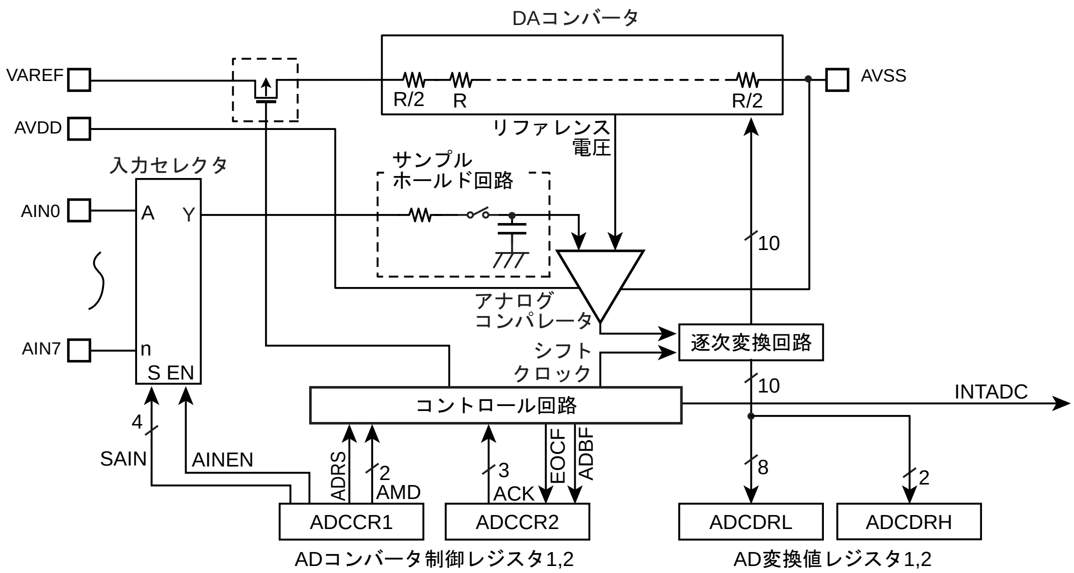


図 20-1 10 ビット AD コンバータ

注 1)　AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

注 2)　DA コンバータの電流(IREF) は、AD 変換時以外は自動的にカットオフされます。

20.2　制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

   AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

   AD 変換時間の選択、AD コンバータの動作状態をモニタするレジスタです。

3. AD 変換値レジスタ (ADCDRH, ADCDRL)

   AD コンバータによって変換されたデジタル値を格納するレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (0x0034)	7	6	5	4	3	2	1	0
Bit Symbol	ADRS	AMD		AINEN	SAIN			
Read/Write	R/W	R/W		R/W	R/W			
リセット後	0	0	0	0	0	0	0	0

ADRS	AD 変換開始	0: 1:	— AD 変換開始
AMD	AD 動作モード	00: 01: 10: 11:	AD 動作 Disable、AD 動作強制停止 シングルモード Reserved リピートモード
AINEN	アナログ入力制御	0: 1:	アナログ入力 Disable アナログ入力 Enable
SAIN	アナログ入力チャネル選択	0000: 0001: 0010: 0011: 0100: 0101: 0110: 0111: 1000: 1001: 1010: 1011: 1100: 1101: 1110: 1111:	AIN0 AIN1 AIN2 AIN3 AIN4 AIN5 AIN6 AIN7 Reserved Reserved Reserved Reserved Reserved Reserved Reserved Reserved

注 1) AD 変換実行中(ADCCR2<ADBF>="1")に ADCCR1 レジスタに対して以下の操作を行わないでください。
- ・SAIN の変更
- ・AINEN に"0"を設定
- ・AMD の変更(AMD="00"による強制停止は除く)
- ・ADRS に"1"を設定

注 2) アナログ入力チャネルをすべて Disable にする場合は、AINEN を"0" に設定してください。

注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。

注 4) STOP, IDLE0, SLOW モードを起動すると、ADRS、AMD、AINEN は"0"に初期化されます。NORMAL モードへの復帰後、AD コンバータを使用する場合は、ADRS、AMD、AINEN を再設定してください。

注 5) ADRS は、AD 変換開始後、自動的に"0" にクリアされます(必ず"0"が読み出されます)。

AD コンバータ制御レジスタ 2

ADCCR2		7	6	5	4	3	2	1	0
(0x0035)	Bit Symbol	EOCF	ADBF	-	-	"0"	ACK		
	Read/Write	R	R	R	R	W	R/W		
	リセット後	0	0	0	0	0	0	0	0

EOCF	AD 変換終了フラグ	0: 1:	変換前または変換中 変換終了
ADBF	AD 変換 BUSY フラグ	0: 1:	AD 変換停止中 AD 変換実行中
ACK	AD 変換時間選択 (変換時間例は下記表を参照してください)	000: 001: 010: 011: 100: 101: 110: 111:	39/fcgck 78/fcgck 156/fcgck 312/fcgck 624/fcgck 1248/fcgck Reserved Reserved

注 1)　ACK の変更 は、AD 変換停止状態 (ADCCR2<ADBF> = "0") に行ってください。

注 2)　ADCCR2 のビット 3 は必ず 0 を書き込んでください。

注 3)　STOP, IDLE0, SLOW モードを起動すると、EOCF、ADBF は 0 に初期化されます。

注 4)　EOCF は AD 変換値レジスタ(ADCDRH) を読み出すと “0” にクリアされます。また EOCF は、シングルモードで AD 変換終了後、ADCDRH を読み出さないまま AD 変換を開始(ADCCR1<ADRS>="1")したときも"0"にクリアされます。

注 5)　ADCCR2 に対してリード命令を実行すると、ビット 3~5 は 0 が読み出されます。

表 20-1 ACK 設定と周波数別の変換時間

条件 ACK	変換時間	周波数 (fcgck)								
		10MHz	8MHz	5MHz	4MHz	2.5MHz	2MHz	1MHz	0.5MHz	0.25 MHz
000	39/fcgck	—	—	—	—	15.6 μs	19.5 μs	39.0 μs	78.0 μs	156.0 μs
001	78/fcgck	—	—	15.6 μs	19.5 μs	31.2 μs	39.0 μs	78.0 μs	156.0 μs	—
010	156/fcgck	15.6 μs	19.5 μs	31.2 μs	39.0 μs	62.4 μs	78.0 μs	156.0 μs	—	—
011	312/fcgck	31.2 μs	39.0 μs	62.4 μs	78.0 μs	124.8 μs	156.0 μs	—	—	—
100	624/fcgck	62.4 μs	78.0 μs	124.8 μs	156.0 μs	—	—	—	—	—
101	1248/fcgck	124.8 μs	156.0 μs	—	—	—	—	—	—	—
11*	Reserved									

注 1)　上記表内"—"部分の設定は行わないでください。fcgck: 高周波発振周波数

注 2)　上記の変換時間には、以下の時間は含まれていません。

- ADCCR1<ADRS>を 1 に設定してから AD 変換動作を開始するまでの時間
- AD 変換動作が終了してから ADCDRL,H に変換値が格納されるまでの時間

これらの時間は、ACK=00*のとき最大 10/fcgck [s]、ACK=01*のとき最大 32/fcgck [s]、ACK=10*のとき最大 128/fcgck [s] となります。

注 3)　変換時間は、アナログ基準電圧(VAREF)によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時　　15.6 μs 以上
- VAREF = 2.7 ~ 5.5 V 時　　31.2 μs 以上
- VAREF = 2.2 ~ 5.5 V 時　　124.8 μs 以上

AD 変換値レジスタ(下位)

ADCDRL (0x0036)

	7	6	5	4	3	2	1	0
Bit Symbol	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

AD 変換値レジスタ(上位)

ADCDRH (0x0037)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	-	AD09	AD08
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

注 1) ADCDRL、ADCDRH は INTADC 割り込み要求が発生した後、または ADCCR2<EOCF> が “1” になった後に読み出してください。

注 2) シングルモードのとき、AD 変換中(ADCCR2<ADBF>="1")に ADCDRL、ADCDRH を読み出さないでください。(ADCDRL を読み出してから ADCDRH を読み出すまでの期間に AD 変換が終了すると INTADC 割り込み要求はキャンセルされ変換結果が失われます)

注 3) STOP, IDLE0, SLOW モードを起動すると、ADCDRL, ADCDRH は"0"に初期化されます。

注 4) ADCCR1<AMD>に"00"を設定すると、ADCDRL, ADCDRH は"0"に初期化されます。

注 5) ADCDRH に対してリード命令を実行すると、ビット 7 ~ 2 は “0” が読み出されます。

注 6) リピートモードのとき、ADCDRL を読み出してから ADCDRH を読み出すまでの期間に AD 変換が終了すると AD 変換値レジスタは上書きされず前回の変換値を保持します。このとき INTADC 割り込み要求はキャンセルされ、上書きされなかった変換結果は失われます。

20.3　機能

10 ビット AD コンバータは、1 回だけ AD 変換を行う「シングルモード」と、繰り返し AD 変換を行う「リピートモード」の 2 つの動作モードがあります。

20.3.1　シングルモード

シングルモードは指定されたアナログ入力端子電圧の AD 変換を 1 回だけ行います。

ADCCR1<AMD> を"01" (シングルモード) に設定後、ADCCR1<ADRS> を"1" に設定することにより AD 変換を開始します。ADCCR1 <ADRS> は AD 変換開始後、自動的にクリアされます。ADCCR2<ADBF> は AD 変換開始により"1" にセットされ、AD 変換動作が終了または AD 変換を強制停止すると"0" にクリアされます。

AD 変換終了後、変換結果は AD 変換値レジスタ (ADCDRL,H) に格納され、ADCCR2<EOCF> が"1"にセットされます。このとき AD 変換終了割り込み要求(INTADC) が発生します。通常 AD 変換値レジスタ (ADCDRL,H)は INTADC 割り込み処理ルーチンで読み出します。AD 変換値レジスタの上位(ADCDRH)を読み出すと ADCCR2<EOCF>は"0"にクリアされます。

注)　AD 変換実行中(ADCCR2<ADBF>="1")に ADCCR1 レジスタに対して以下の操作を行わないでください。
以下の操作を行うと AD 変換が正しく行われない場合があります。

・ADCCR1<SAIN>の変更

・ADCCR1<AINEN>に"0"を設定

・ADCCR1<AMD>の変更(AMD="00"による強制停止は除く)

・ADCCR1<ADRS>に"1"を設定

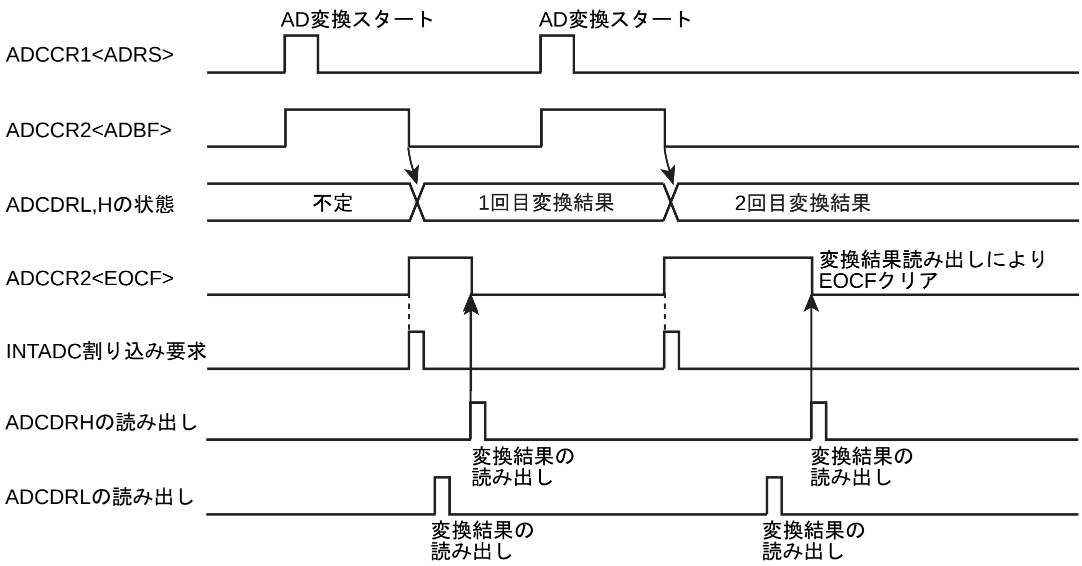


図 20-2 シングルモード

20.3.2　リピードモード

リピートモードは、ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD> を"11"（リピートモード) に設定後、ADCCR1<ADRS> を"1"に設定することにより AD 変換を開始します。ADCCR1 <ADRS> は AD 変換開始後、自動的にクリアされます。1 回目の AD 変換終了後、変換結果は AD 変換値レジスタ (ADCDRL,H) に格納され、ADCCR2<EOCF> が"1"にセットされます。このとき AD 変換終了割り込み要求(INTADC) が発生します。割り込み発生後、2 回目の(次の)AD 変換が直ちに開始されます。

通常 AD 変換値レジスタ (ADCDRL,H)は、次の AD 変換が終了するまでに読み出してください。ADCDRL を読み出してから ADCDRH が読み出されるまでの期間に次の AD 変換が終了すると、AD 変換値レジスタ (ADCDRL,H)は上書きされず、前回の変換値を保持します。このとき INTADC 割り込み要求は発生せず、上書きされなかった変換結果は失われます。(図 20-3)

AD 変換を停止するには、ADCCR1<AMD> に"00" (AD 動作 Disable）を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。ADCCR2<ADBF>は AD 変換開始により“1” にセットされ、AMD に"00"を書き込むと"0" にクリアされます。

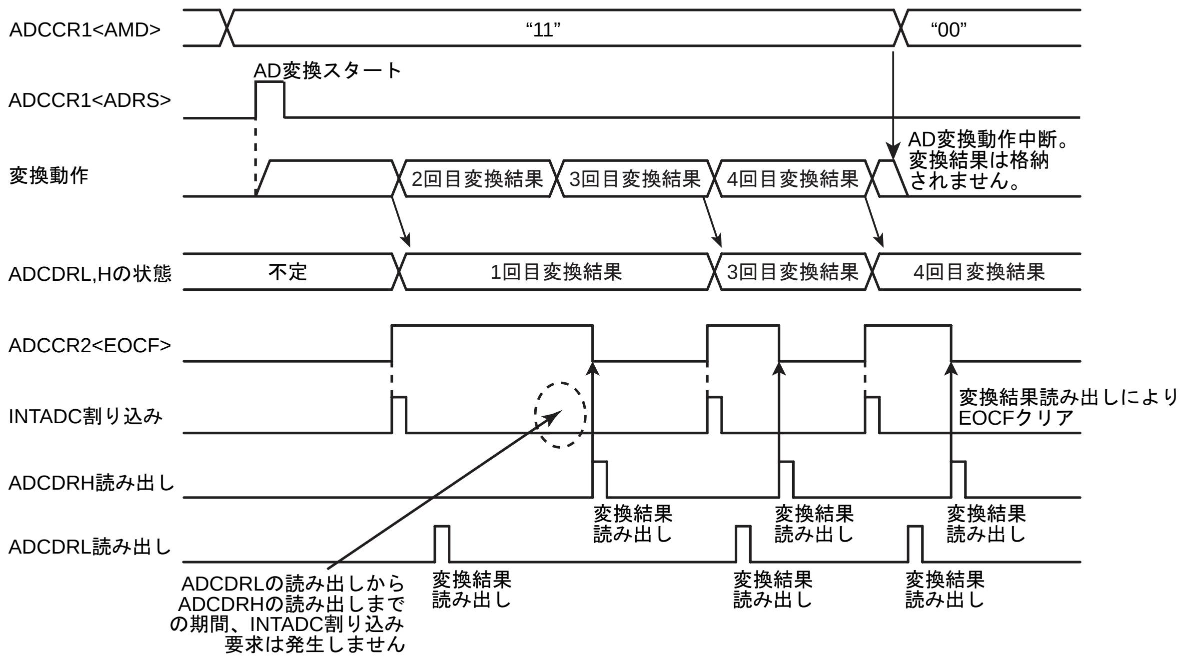


図 20-3 リピートモード

20.3.3 AD 動作 Disable、AD 動作強制停止

シングルモードで AD 変換動作中に AD コンバータを強制停止させる場合、リピートモードで AD 変換動作中に AD コンバータを停止させる場合、ADCCR1<AMD> を"00"に設定します。

ADCCR1<AMD> を"00"に設定すると、ADCCR2<EOCF, ADBF>、ADCDRL、ADCDRH レジスタは"0"に初期化されます。

20.4　レジスタの設定

1. AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
   - AD 入力チャネル選択 (SAIN) により AD 変換するチャネルを選択してください。
   - アナログ入力制御 (AINEN) をアナログ入力 Enable に指定してください。
   - AD 動作モード(シングル、リピートモード)を (AMD) にて指定してください。
2. AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
   - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 20-1 をご参照ください。
3. 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、シングルモードの場合、直ちに AD 変換を開始します。
4. AD 変換が完了すると、AD コンバータ制御レジスタ 2 (ADCCR2) の AD 変換終了フラグ (EOCF)が "1" にセットされ、AD 変換結果が AD 変換値レジスタ(ADCDRH, ADCDRL)に格納されます。また、このとき INTADC 割り込み要求が発生します。
5. AD 変換値レジスタ (ADCDRH)から変換結果を読み出すと EOCF は "0" にクリアされます。ただし、AD 変換値レジスタ (ADCDRH)を読み出す前に再変換を行った場合も、EOCF は "0" にクリアされます。この場合、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例)変換時間 15.6 µs @ 10 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認した後、変換結果を HL レジスタに格納します。動作モードは、シングルモードです。

```
            ; (ポートの設定)                        ; AD コンバータのレジスタを設定する前にポートレジスタを適切に設定
                                                      してください。(詳細は I/O ポートの章を参照してください)
            LD      (ADCCR1) , 0y00110011           ; AIN3 を選択, 動作モードを選択
            LD      (ADCCR2) , 0y00000010           ; 変換時間 (156/fcgck)
            SET     (ADCCR1) . 7                    ; ADRS = 1(AD 変換開始)
SLOOP :     TEST    (ADCCR2) . 7                    ; EOCF = 1 ?
            J       T, SLOOP
            LD      HL , (ADCDRL)                   ; 変換結果の読み出し
```

20.5　STOP/IDLE0/SLOW モードの起動

STOP/IDLE0/SLOW モードを起動すると ADCCR1<ADRS, AMD, AINEN>、 ADCCR2<EOCF, ADBF>、ADCDRL、ADCDRH レジスタは"0"に初期化されます。AD 変換中に同モードを起動した場合は、AD 変換は中断され、AD コンバータは停止します(レジスタは同様に初期化されます)。STOP/IDLE0/SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じてレジスタの再設定を行ってください。

なお、AD 変換動作中に STOP/IDLE0/SLOW モードを起動した場合、アナログ基準電源は自動的にカットオフされますので、アナログ基準電源への電流の流れ込みはありません。

20.6 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 20-4 のように対応します。

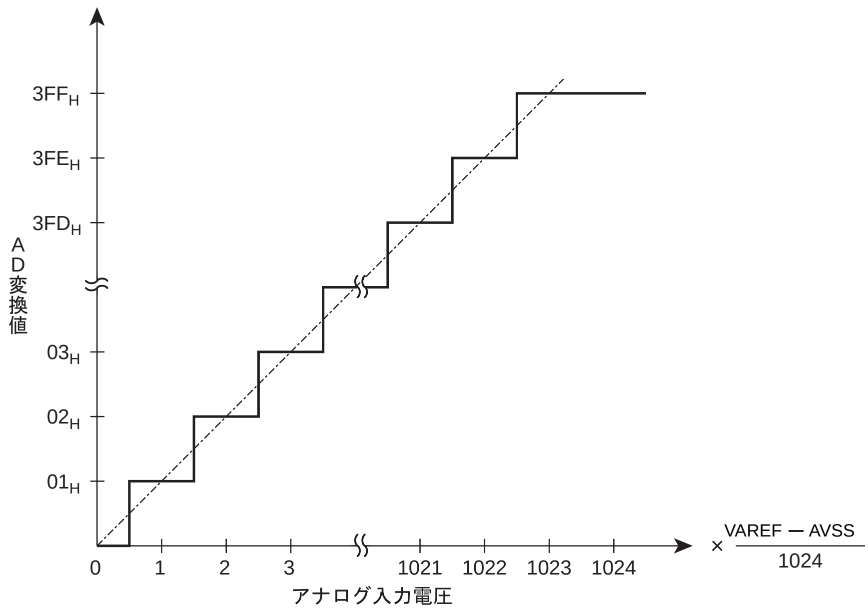


図 20-4 アナログ入力電圧と AD 変換値 (typ.) の関係

20.7　AD コンバータの注意事項

20.7.1　アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN7) は、VAREF ~ AVSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

20.7.2　アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

20.7.3　ノイズ対策

アナログ入力端子の内部等価回路は、図 20-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは 5 kΩ 以下になるように設計してください。また、コンデンサの外付けを推奨します。

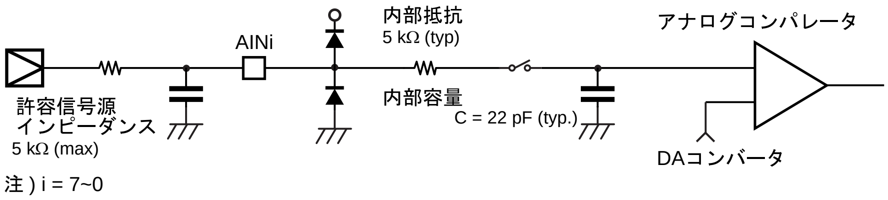


図 20-5 アナログ入力等価回路と入力端子処理例

第 21 章　フラッシュメモリ

TMP89FM46A は、32768 バイトのフラッシュメモリを内蔵しています。フラッシュメモリの書き込み/消去などの制御は、以下の 3 つのモードで実行可能です。

- MCU モード

  MCU モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。アプリケーションの動作を保った状態でフラッシュメモリの消去、書き込みが可能ですので、出荷後のソフトウェアバグ修正やファームウェアの変更などに利用できます。

- シリアル PROM モード

  シリアル PROM モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。シリアルインタフェース(UART および SIO)を使用することによって少ない端子で制御が可能ですので、出荷工程のオンボード書き込み(マイクロコントローラが基板に実装された状態での書き込み)などに利用できます。

- パラレル PROM モード

  パラレル PROM モードは、サードパーティの提供するプログラムライタ等で単体のフラッシュメモリとしてフラッシュメモリをアクセスするモードで、アドレス/データ信号を直接制御することにより高速にフラッシュメモリをアクセスすることができます。プログラムライタのサポート状況については、当社営業窓口までお問い合わせください。

MCU モードおよびシリアル PROM モードは、フラッシュメモリの制御のためにフラッシュメモリ制御レジスタ (FLSCR1、FLSCR2)を使用します。本章では MCU モードおよびシリアル PROM モードを使用したフラッシュメモリのアクセス方法を説明します。

21.1　制御

フラッシュメモリは、フラッシュメモリ制御レジスタ 1 (FLSCR1)、フラッシュメモリ制御レジスタ 2 (FLSCR2)、フラッシュメモリスタンバイ制御レジスタ(FLSSTB)によって制御されます。

フラッシュメモリ制御レジスタ 1

FLSCR1		7	6	5	4	3	2	1	0
(0x0FD0)	Bit Symbol	FLSMD			BAREA	FAREA		-	-
	Read/Write	R/W			R/W	R/W		R/W	R/W
	リセット後	0	1	0	0	0	0	0	0

FLSMD	フラッシュメモリの コマンドシーケンス、トグル制御	010: 101: その他:	コマンドシーケンス、トグルの実行を禁止 コマンドシーケンス、トグルの実行を許可 Reserved	
BAREA	BOOTROM のマッピング制御		MCU モード	シリアル PROM モード
		0: 1:	BOOTROM 非表示 BOOTROM を表示	- BOOTROM を表示
FAREA	フラッシュメモリの 領域切り替え制御	00: 01: 10: 11:	データ領域 0x8000 ~ 0xFFFF を データ領域 0x8000 ~ 0xFFFF に割り当てる(標準マッピング) Reserved コード領域 0x8000 ~ 0xFFFF を データ領域 0x8000 ~ 0xFFFF に割り当てる Reserved	

注 1)　Reserved : 設定しないでください。

注 2)　フラッシュメモリ制御レジスタ 1 は、FLSCR1 レジスタとシフトレジスタとのダブルバッファ構造となっています。FLSCR1 レジスタの設定は、FLSCR2 レジスタに 0xD5 を書き込むことによってシフトレジスタに反映され、有効となります。よって FLSCR2 レジスタに 0xD5 を書き込むまでは、設定値は有効となりません。シフトレジスタの値は、FLSCRM レジスタをリードすると確認することができます。

注 3)　FLSMD は、“0y010”、“0y101” 以外設定しないでください。

フラッシュメモリ制御レジスタ 2

FLSCR2		7	6	5	4	3	2	1	0
(0x0FD1)	Bit Symbol	CR1EN							
	Read/Write	W							
	リセット後	*	*	*	*	*	*	*	*

CR1EN	FLSCR1 レジスタの 許可/禁止制御	0xD5 その他	FLSCR1 の変更を有効にする Reserved

注 1)　FLSCR1<FLSMD>が"101"の状態で FLSCR2<CR1EN>に 0xD5 を設定すると、フラッシュメモリは常に稼働状態となり、MCU はリード時と同等の電流を消費します。

フラッシュメモリ制御レジスタ 1 モニタ

FLSCRM (0x0FD1)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	FLSMDM	BAREAM	FAREAM		ROMSELM	
Read/Write	R	R	R	R	R		R	
リセット後	0	0	0	0	0	0	0	0

FLSMDM	FLSCR1<FLSMD>の状態モニタ	0 1	FLSCR1<FLSMD>="101"の設定が無効 FLSCR1<FLSMD>="101"の設定が有効
BAREAM	FLSCR1<BAREA>の状態モニタ		現在有効となっている FLSCR1<BAREA>の値
FAREAM	FLSCR1<FAREA>の状態モニタ		現在有効となっている FLSCR1<FAREA>の値
ROMSELM	FLSCR1<ROMSEL>の状態モニタ		現在有効となっている FLSCR1<ROMSEL>の値

注 1) FLSCRM はフラッシュメモリ制御レジスタ 1 のシフトレジスタ値を確認するレジスタです。
注 2) FLSMDM は、FLSMD="101"が有効になったときのみ"1"となります。
注 3) FLSCRM に対してリード命令を実行するとビット 7, 6 は"0"が読み出されます。
注 4) シリアル PROM モードのとき BAREAM は常に"1"が読み出されます。

フラッシュメモリスタンバイ制御レジスタ

FLSSTB		7	6	5	4	3	2	1	0
(0x0FD2)	Bit Symbol	-	-	-	-	-	-	-	FSTB
	Read/Write	R	R	R	R	R	R	R	W
	リセット後	0	0	0	0	0	0	0	0

FSTB	フラッシュメモリのスタンバイ制御	0	フラッシュメモリのスタンバイを行わない
		1	フラッシュメモリのスタンバイを行う

注 1)　FSTB は RAM 上に配置されたプログラムからのみライト可能です。フラッシュメモリ上に配置されたプログラムからライトしても設定値は反映されません。

注 2)　FSTB が "1" のときはフラッシュメモリに対してフェッチおよびリード/ライト命令を実行しないでください。もし実行した場合、フラッシュスタンバイリセットが発生します。

注 3)　FLSSTB に対してリード命令を実行すると、ビット 7~0 は"0"が読み込まれます。

ポート入力制御レジスタ (シリアル PROM モードのみ機能)

SPCR		7	6	5	4	3	2	1	0
(0x0FD3)	Bit Symbol	-	-	-	-	-	-	PIN1	PIN0
	Read/Write	R	R	R	R	R	R	R/W	R/W
	リセット後	1	0	0	0	0	0	0	0

			シリアル PROM モード時	MCU モード時
PIN1	シリアル PROM モードのポート入力制御(SCLK0 端子)	0	ポート入力無効	全てのポート入力有効 何を設定しても機能しない リードすると"0"
		1	ポート入力有効	
PIN0	シリアル PROM モードのポート入力制御(RXD0、TXD0、SCLK0 を除く)	0	ポート入力無効	
		1	ポート入力有効	

注 1)　SPCR レジスタは、シリアル PROM モード時のみ R/W 可能です。MCU モードで同レジスタに対してライト命令を実行してもポート入力制御は機能しません。また、MCU モードで SPCR レジスタに対してリード命令を実行するとビット 7~0 は"0"が読み出されます。

注 2)　PIN0 によって制御されるのは、シリアル PROM モードで使用する RXD0、TXD0、SCLK0 を除く全ての I/O ポートです。SCLK0 端子は PIN1 によって個別に設定可能です。

21.2 機能

21.2.1 フラッシュメモリのコマンドシーケンス、トグル制御 (FLSCR1<FLSMD>)

フラッシュメモリ製品は、プログラムエラーやマイコンの誤動作によるフラッシュメモリの誤書き込みを防止するために、制御レジスタによって、フラッシュメモリへのコマンドシーケンスの実行およびトグルの動作を禁止することができます (ライトプロテクト)。コマンドシーケンスの実行およびトグルの動作を許可するときは、FLSCR1<FLSMD>を 0y101 に設定した後、FLSCR2<CR1EN>に 0xD5 を設定します。コマンドシーケンスの実行を禁止するときは、FLSCR1<FLSMD>を 0y010 に設定した後、FLSCR2<CR1EN>に 0xD5 を設定します。コマンドシーケンスの実行およびトグルの動作が禁止された状態でコマンドシーケンスまたはトグル動作を実行した場合、処理は無効となります。

リセット後、FLSCR1<FLSMD>は 0y010 に初期化され、コマンドシーケンスの実行は禁止の状態となります。通常はフラッシュメモリの書き込み/消去を行うときを除き、FLSCR1<FLSMD>を 0y010 に設定します。

注 1) FLSCR1<FLSMD>が"101"の状態で FLSCR2<CR1EN>に 0xD5 を設定すると、フラッシュメモリは常に稼働状態となり、MCU はリード時と同等の電流を消費します。

注 2) FLSCR1<FLSMD>を禁止に設定した場合、以降のコマンドの受付け(ライト命令)が無効となるだけで、実行中または実行途中のコマンドシーケンスが初期化されるわけではありません。

従って FLSCR1<FLSMD>を禁止に設定する場合は、全てのコマンドシーケンスを完結させてフラッシュメモリがリードできることを確認してから行ってください。

21.2.2　フラッシュメモリの領域切り替え (FLSCR1<FAREA>)

フラッシュメモリの消去や書き込みを行うためには、フラッシュメモリに対してメモリ転送命令(コマンドシーケンス)を実行する必要があります。ただしメモリ転送命令による R/W は基本的にデータ領域に対してしか実行できません。従ってコード領域に対する消去や書き込みは、コード領域の一部を一時的にデータ領域に切り替えることで行います。これらの切り替えは FLSCR1 <FAREA>によって行います。

FLSCR1<FAREA>を"10"に設定した後、FLSCR2<CR1EN>に 0xD5 を設定すると、コード領域の 0x8000 ~ 0xFFFF (AREA C1)はデータ領域の 0x8000 ~ 0xFFFF (AREA D1)にマッピングされます。

フラッシュメモリを初期マッピングに戻すには、FLSCR1<FAREA>を"00"に設定した後、FLSCR2<CR1EN>に 0xD5 を設定してください。

上記の設定により、データ領域の 0x8000 ~ 0xFFFF (AREA D1)にメモリ転送命令を実行するだけで全てのフラッシュメモリをアクセスすることができます。

なお、データ領域の 0x8000 ~ 0xFFFF (AREA D1)とコード領域の 0x8000 ~ 0xFFFF (AREA C1)はミラー領域となり、物理的なメモリの参照先は同じになります。従って消去、書き込みを実行する場合は、どちらか一方の領域に対してだけ処理を実行するようにしてください。例えば FLSCR1<FAREA> = "00"の設定でデータ領域の 0x8000 に書き込みを行った後、FLSCR1 <FAREA>="10"の設定でデータ領域の 0x8000 に書き込みを行うとデータは上書きされます。すでにデータが書き込まれたフラッシュのメモリに対し、再度データを書き込む場合は、Sector Erase または Chip Erase によって、必ずそのメモリのデータを消去した後に、書き込みを実行してください。

また、メモリが割り当てられていない領域に対して命令によるアクセス、ジャンプやコールによる指定を行わないでください。

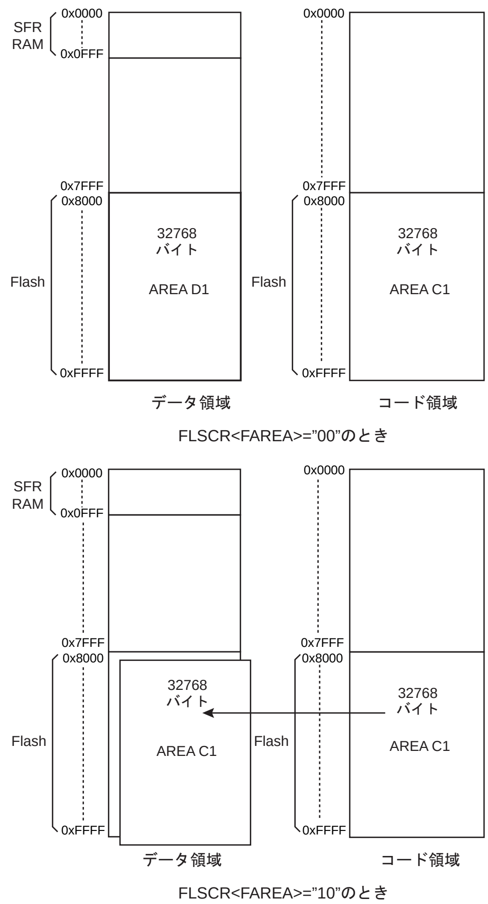


図 21-1 FLSCR1<FAREA>による領域切り替え

21.2.3　RAM の領域切り替え(SYSCR3<RAREA>)

MCU モードのとき、SYSCR3<RAREA>を"1"に設定した後、SYSCR4 に 0xD4 を設定するとコード領域に RAM がマッピングされます。RAM 領域を初期マッピングに戻すには SYSCR3<RAREA>を"0"に設定した後、SYSCR4 に 0xD4 を設定してください。

なお、シリアル PROM モードのときは SYSCR3<RAREA>の内容に関わらず、コード領域に RAM がマッピングされます。

21.2.4　BOOTROM の領域切り替え(FLSCR1<BAREA>)

MCU モードのとき、FLSCR1<BAREA>を"1"に設定した後、FLSCR2<CR1EN>に 0xD5 を設定するとコード領域、データ領域の 0x1000 ~ 0x17FF はフラッシュメモリがマスクされ、2K バイト(4KB のうちの前半部分)の BOOTROM がマッピングされます。BOOTROM をマッピングしない場合は、FLSCR1<BAREA>を"0"に設定した後、FLSCR2<CR1EN>に 0xD5 を設定してください。

基本的に BOOTROM は、シリアル PROM モードでフラッシュメモリをプログラミングするプログラムコードが格納されていますが、BOOTROM 領域の一部にはフラッシュメモリを簡易的に消去、書き込みするためのサポートプログラム(API)が含まれています。よって BOOTROM がマッピングされた後、サポートプログラムのサブルーチンをコールすることによって簡単にフラッシュメモリを消去、書き込み、読み出しすることができます。

シリアル PROM モードのときは FLSCR1<BAREA>の内容に関わらず、データ領域の 0x1000 ~ 0x17FF、コード領域の 0x1000 ~ 0x1FFF は BOOTROM がマッピングされます。BAREA の内容は常に"1"となり、データを書き込んでも BAREA の設定値は変更されません。また BAREA をリードと必ず"1"が読み出されます。

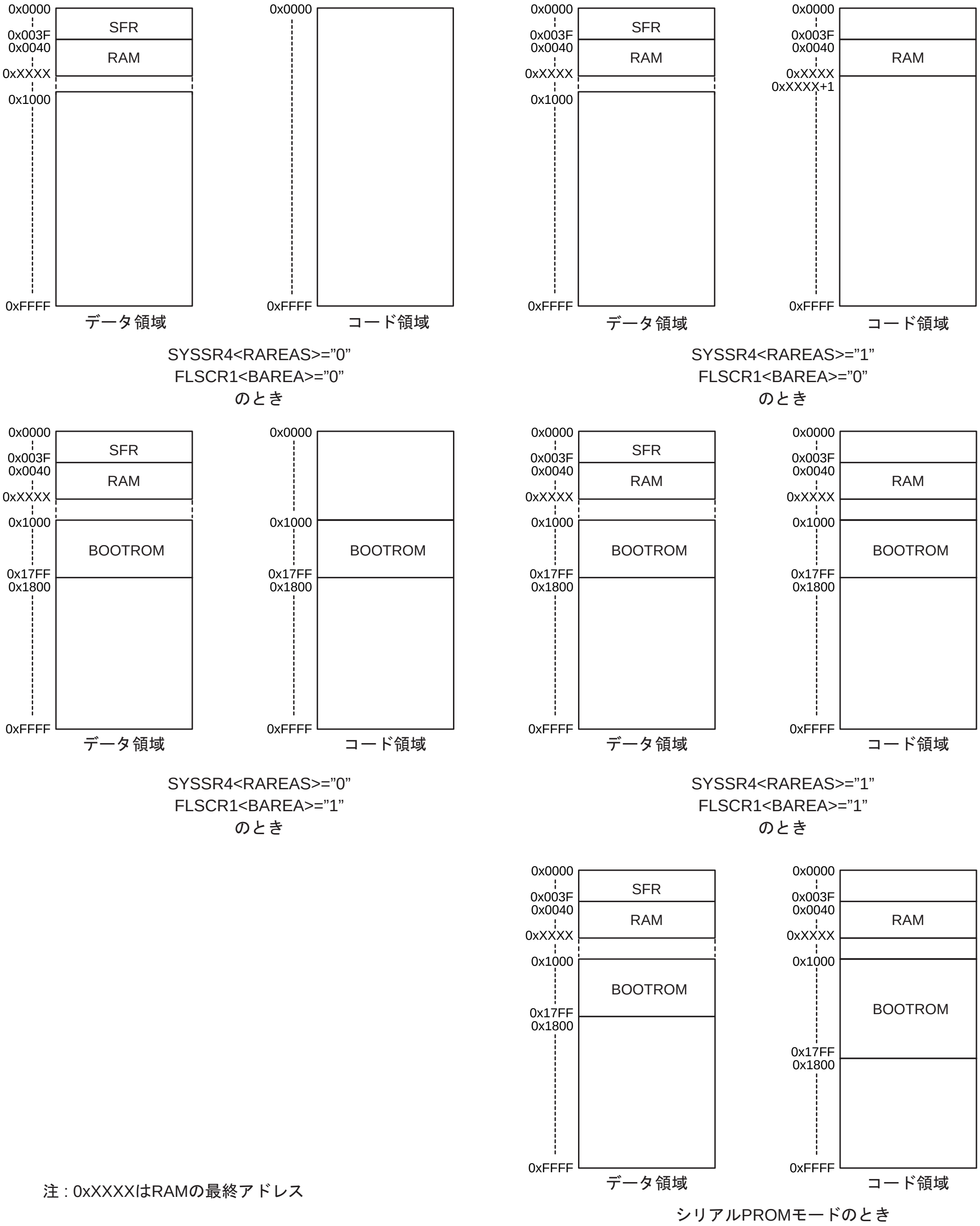


図 21-2 BOOTROM および RAM の表示/非表示切り替え

21.2.5　フラッシュメモリのスタンバイ制御(FLSSTB<FSTB>)

FLSSTB<FSTB>は、従来製品との互換性のために用意されたレジスタです。通常、同レジスタは"0"に設定してください。TMP89FM46A で FLSSTB<FSTB>を操作した場合は以下のような動作となります。

FLSSTB<FSTB>は RAM 上に配置されたプログラムでのみ設定することができます。フラッシュメモリ上に配置されたプログラムから FLSSTB<FSTB>を設定しても設定値は反映されません。
なお、FLSSTB<FSTB>を"1"に設定した後、フラッシュメモリを再びアクセスする場合は、RAM 上に配置したプログラムの中で FLSSTB<FSTB>を"0"に設定してください。FLSSTB<FSTB>が"1"のままフラッシュメモリをアクセスするとフラッシュスタンバイリセットが発生します。

割り込みベクタがフラッシュ領域に割り当てられているとき(SYSCR3<RVCTR>="0"が有効)に、割り込みが発生した場合、FSTB は自動的に "0" に初期化された後、フラッシュメモリの割り込みベクタが読み出されます。ただし割り込みベクタが RAM 領域に割り当てられているとき(SYSCR3<RVCTR>="1"が有効)に割り込みが発生した場合、FSTB は"0"にクリアされず RAM の割り込みベクタが読み出されます。このような場合は割り込みベクタの参照アドレスとして RAM 領域を指定するようにしてください。このとき割り込みベクタの参照アドレスとしてフラッシュ領域を指定すると、割り込み発生後フラッシュスタンバイリセットが発生します。

21.2.6 ポート入力制御レジスタ(SPCR<PIN0,PIN1>)

シリアル PROM モードでは、不使用ポートの貫通電流を防止するため、リセット解除後、シリアル PROM モードで使用する RXD0、TXD0 を除く全てのポート入力は、ハード的に入力レベルが固定されます(ポート入力やポートと兼用の周辺機能入力は無効になります)。従って RAM ローダモードを使用して UART 以外の方法でフラッシュメモリのアクセスを行う場合は、ポート入力を有効にする必要があります。SCLK0 ポート入力を有効にするには、SPCR<PIN1>を"1"に設定してください。RXD0、TXD0、SCLK0 ポート以外のポート入力を有効にするには、SPCR<PIN0>を"1"に設定してください。

なお、MCU モードでは、SPCR レジスタは機能しません。

21.3　コマンドシーケンス

MCU モードおよびシリアル PROM モードのコマンドシーケンスは 6 つのコマンドから構成されます (JEDEC 互換)。表 21-1 にコマンドシーケンスの詳細を示します。

表 21-1 コマンドシーケンス

	コマンドシーケンス	1st Bus Write Cycle		2nd Bus Write Cycle		3rd Bus Write Cycle		4th Bus Write Cycle		5th Bus Write Cycle		6th Bus Write Cycle	
		Add	Data	Add	Data	Add	Data	Add	Data	Add	Data	Add	Data
1	Byte Program	0x#555	0xAA	0x#AAA	0x55	0x#555	0xA0	BA (注 1)	Data (注 1)	-	-	-	-
2	Sector Eraase (4KB 単位の部分消去)	0x#555	0xAA	0x#AAA	0x55	0x#555	0x80	0x#555	0xAA	0x#AAA	0x55	SA (注 2)	0x30
3	Chip Erase (全面消去)	0x#555	0xAA	0x#AAA	0x55	0x#555	0x80	0x#555	0xAA	0x#AAA	0x55	0x#555	0x10
4	Product ID Entry	0x#555	0xAA	0x#AAA	0x55	0x#555	0x90	-	-	-	-	-	-
5	Product ID Exit	0x#XXX	0xF0	-	-	-	-	-	-	-	-	-	-
6	Security Program	0x#555	0xAA	0x#AAA	0x55	0x#555	0xA5	0xFF7F	0x00	-	-	-	-

注 1)　書き込みを行うアドレスとデータを設定してください (BA については表 21-2 を参照してください)

注 2)　アドレスの上位 4 ビットで消去範囲が選択されます。(SA については表 21-3 を参照してください)

注 3)　コマンドシーケンスの途中、またはコマンドシーケンスの処理を実行中(書き込みや消去、ID Entry)は、STOP, IDLE0/1/2, SLEEP1/0 モードを起動しないでください。

注 4)　# ; アドレスの上位 4 ビットとして 0x8 ~ 0xF を指定してください。通常は 0xF を指定することを推奨します。

注 5)　XXX ; Don’t care

21.3.1　Byte Program

1 バイト単位でフラッシュメモリの書き込みを行います。4th Bus Write Cycle で書き込みを行うアドレスとデータを指定します。アドレスの指定範囲については表 21-2 を参照してください。例えばデータ領域の 0x8000 に書き込む場合は、FLSCR1 <FAREA>を"0y00"に設定し、FLSCR2<CR1EN>に 0xD5 を設定した後、4th Bus Write Cycle として 0x8000 のアドレスを指定します。1 バイトあたりの書き込み時間は最大 40 µs です。書き込みが終了するまでは、他のコマンドシーケンスを実行することができません。書き込み終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。書き込み中はリードする度にビット 6 が反転します。

注 1)　すでにデータ(0xFF を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、Sector Erase または Chip Erase によって、必ずそのアドレスのデータを消去した後に書込みを実行してください。

注 2)　データ領域とコード領域はミラー領域となり、物理的なメモリの参照先は同じになりますので、Byte Program を実行する場合はどちらか一方の領域に対してだけ処理を実行するようにしてください。

注 3)　表 21-2 で示す領域以外に対して Byte Program を実行しないでください。

表 21-2 アドレスの指定範囲 (BA)

書き込み領域		FLSCR1 <FAREA>	命令によるアドレス指定
AREA D1 (データ領域)	0x8000 ~ 0xFFFF	00	0x8000 ~ 0xFFFF
AREA C1 (コード領域)	0x8000 ~ 0xFFFF	10	0x8000 ~ 0xFFFF

21.3.2 Sector Erase (4KB 単位の部分消去)

4K バイト単位でフラッシュメモリの消去を行います。消去範囲は、6th Bus Write Cycle アドレスの上位 4 ビットで指定します。アドレスの指定範囲については表 21-3 を参照してください。例えばコード領域の 0x8000 ~ 0x8FFF の 4K バイトを消去する場合は、FLSCR1<FAREA>を“0y10”に設定し、FLSCR2<CR1EN>に 0xD5 を設定した後、6th Bus Write Cycle として 0x8000 ~ 0x8FFF の何れかのアドレスを指定します。なお、Sector Erase は、シリアル PROM モード、MCU モードのみ有効です。パラレル PROM モードのときは動作しません。

4K バイトあたりの消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

なお、消去された領域のデータは 0xFF となります。

注 1) データ領域とコード領域はミラー領域となり、物理的なメモリの参照先は同じになりますので、Sector Erase を実行する場合はどちらか一方の領域に対してだけ処理を実行するようにしてください。

注 2) 表 21-3 で示す領域以外に対して Sector Erase を実行しないでください。

表 21-3 アドレスの指定範囲 (SA)

消去領域		FLSCR1 <FAREA>	命令による アドレス指定
AREA D1 (データ領域)	0x8000 ~ 0x8FFF	00	0x8000 ~ 0x8FFF
	0x9000 ~ 0x9FFF		0x9000 ~ 0x9FFF
	0xA000 ~ 0xAFFF		0xA000 ~ 0xAFFF
	0xB000 ~ 0xBFFF		0xB000 ~ 0xBFFF
	0xC000 ~ 0xCFFF		0xC000 ~ 0xCFFF
	0xD000 ~ 0xDFFF		0xD000 ~ 0xDFFF
	0xE000 ~ 0xEFFF		0xE000 ~ 0xEFFF
	0xF000 ~ 0xFFFF		0xF000 ~ 0xFFFF
AREA C1 (コード領域)	0x8000 ~ 0x8FFF	10	0x8000 ~ 0x8FFF
	0x9000 ~ 0x9FFF		0x9000 ~ 0x9FFF
	0xA000 ~ 0xAFFF		0xA000 ~ 0xAFFF
	0xB000 ~ 0xBFFF		0xB000 ~ 0xBFFF
	0xC000 ~ 0xCFFF		0xC000 ~ 0xCFFF
	0xD000 ~ 0xDFFF		0xD000 ~ 0xDFFF
	0xE000 ~ 0xEFFF		0xE000 ~ 0xEFFF
	0xF000 ~ 0xFFFF		0xF000 ~ 0xFFFF

21.3.3 Chip Erase (全面消去)

フラッシュメモリの全領域を消去します。

全領域の消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

なお、消去された領域のデータは 0xFF となります。

21.3.4　Product ID Entry

Product ID Entry を実行すると Product ID モードが起動します。Product ID モード中、フラッシュメモリに対してリード命令を実行するとベンダー ID, フラッシュ ID, セキュリティステータスを読み出すことができます。

表 21-4 Product ID モード時のリード値

アドレス	意味	読み出される値
0xF000	ベンダー ID	0x98
0xF001	フラッシュ ID	0x4D
0xFF7F	セキュリティステータス	0xFF:　Security Program 解除状態 0xFF 以外: Security Program 設定状態

21.3.5　Product ID Exit

Product ID モードを終了します。

21.3.6　Security Program

フラッシュメモリに対してリードプロテクトおよびライトプロテクトを設定します。Security Program を設定すると、パラレル PROM モードのときフラッシュメモリのリードおよびライトができなくなります。シリアル PROM モードのときは、フラッシュメモリ書き込みコマンドおよび RAM ローダコマンドが実行できなくなります。

Security Program の設定を解除するには、Chip Erase を実行する必要があります。Security Program が設定されているかどうかを確認するには、Product ID モードで 0xFF7F をリードします。詳細は表 21-4 を参照してください。Security Program の設定時間は最大 40 μs です。Security Program の設定が終了するまでは、他のコマンドシーケンスを実行することができません。Security Program の設定終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。Security Program の設定中はリードする度にビット 6 が反転します。

21.4　トグルビット (D6)

フラッシュメモリの書き込み、Chip Erase、Security Program のコマンドシーケンスを実行すると、これらの処理が完了するまでの間、リードオペレーションによって読み出されるデータの 6 ビット目 (D6) の値は、リードする度に値が反転します。これを利用すると各処理の終了をソフト的に確認することができます。通常はフラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。

なお、フラッシュメモリの書き込み、Chip Erase、Security Program のコマンドシーケンスを実行した後、最初のリードオペレーションでリードされたトグルビットは必ず“1”になります。

注 1)　FLSCR1<FLSMD>が禁止に設定されている場合、トグルビットは反転しません。

注 2)　16 ビット転送命令を使用してトグルビットをリードしないでください。16 ビット転送命令でトグルビットのリードを行った場合、トグルビットは正しく動作しません。

注 3)　SLOW モードでは書き込み時間よりも命令サイクルの方が長いため、Byte Program を行った直後にトグルビットをリードしても値は反転しません。

21.5 フラッシュメモリ領域へのアクセス

フラッシュメモリの書き込み/消去/セキュリティを設定するときは、フラッシュメモリのすべての領域に対してリード、プログラムフェッチを実行することができません。従って、フラッシュメモリ領域に対してこれらの操作を行うときは、フラッシュメモリのプログラムで直接フラッシュメモリをアクセスすることはできず、BOOTROM 領域もしくは RAM 領域上のプログラムによってフラッシュメモリをアクセスする必要があります。

フラッシュメモリ領域の書き込み、読み出しは 1 バイト単位、消去は全領域または 4K バイト単位で実行可能です。読み出しについては 1 つのメモリ転送命令で実行可能ですが、書き込み／消去については、コマンドシーケンス方式を使用していますので、数個のメモリ転送命令を実行する必要があります。コマンドシーケンスについては表 21-1 を参照してください。

注 1) フラッシュメモリを消去、書き込みした後、内容が書き替わったフラッシュメモリ領域にプログラムの制御を戻す場合、プログラムが正しく書き込まれたかどうかを確認してからジャンプ(リターン)することを推奨します。

注 2) フラッシュメモリの書き込み/消去/セキュリティのコマンド実行中は MCU をリセットしないでください(内部要因リセットも含む)。もしリセットが発生した場合、フラッシュメモリ上のデータが予期しない値に書き変わる場合があります。

21.5.1 シリアル PROM モードのフラッシュメモリ制御

シリアル PROM モードは、BOOTROM 上にあらかじめ用意された制御プログラムによってフラッシュメモリをアクセスするモードです。フラッシュメモリのアクセスに関するほとんどの動作は、シリアルインタフェース(UART または SIO)の通信データによって簡易的に制御可能ですので、ユーザはフラッシュ制御レジスタの操作をする必要はありません。シリアル PROM モードの詳細については「シリアル PROM モード」の章を参照してください。

シリアル PROM モードで独自のプログラムまたは UART、SIO 以外の周辺機能を使用してフラッシュメモリをアクセスする場合は、シリアル PROM モードの RAM ローダコマンドを利用して、RAM 上で制御プログラムを実行する必要があります。この場合の操作は、「21.5.1.1 シリアル PROM モードの RAM ローダモードで RAM 領域に制御プログラムを転送して書き込む例」を参照してください。

21.5.1.1 シリアル PROM モードの RAM ローダモードで RAM 領域に制御プログラムを転送して書き込む例

以下にシリアル PROM モードで RAM 上の制御プログラムを実行する方法(例)を示します。RAM 上で実行する制御プログラムは Intel-Hex 形式で生成し、シリアル PROM モードの RAM ローダで転送する必要があります。

以下の手順のうち 1～2 の処理は BOOTROM 上のプログラムによる制御、それ以外の処理は RAM に転送されたプログラムによる制御となります。なお、以下の手順は後述のプログラム例とリンクしています。

1. RAM ローダで書き込み制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. ノンマスカブル割り込みベクタを RAM 領域内に設定します。
4. FLSCR1<FLSMD>を “0y101” に設定するとともに、FLSCR1<FAREA>で消去する領域を指定します。(必要に応じて FLSCR1<ROMSEL>も設定します)。その後 FLSCR2<CR1EN>に"0xD5"を設定します。
5. 消去コマンドシーケンスを実行します。
6. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。
   (読み出した値が同一になるまで 6.を繰り返します)
7. FLSCR1<FAREA>で書き込みを行う領域(上記 5 で消去した領域)を指定します。(必要に応じて FLSCR1<ROMSEL>も設定します)。その後 FLSCR2<CR1EN>に"0xD5"を設定します。
8. 書き込みコマンドシーケンスを実行します。
9. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。

(読み出した値が同一になるまで 9.を繰り返します)

10. FLSCR1<FLSMD>を “0y010” に設定した後、FLSCR2<CR1EN>に"0xD5"を設定します。 (コマンドシーケンスの実行を禁止します)。

注 1)　シリアル PROM モードで RAM ローダを使用する場合、BOOTROM によってマスカブル割り込みは禁止(DI)に設定され、割り込みベクタ領域は RAM 領域(SYSCR3<RVCTR> = "1")に設定されます 。ただしノンマスカブル割り込みは予期せず発生する場合がありますので、これらの割り込みに相当するベクタアドレス(INTUNDEF, INTSWI : 0x01F8 ~ 0x01F9、WDT : 0x01FC ~ 0x01FD)を設定するとともに、割り込みサービスルーチンを RAM 領域内に定義することを推奨します。

注 2)　RAM ローダプログラムで任意の割り込みを使用する場合は、その割り込みに相当するベクタアドレスおよび割り込みサービスルーチンを RAM 領域内に設定してください。またこの場合、ノンマスカブル割り込みは注 1 のように設定することを推奨します。

注 3)　RAM ローダのプログラムで SYSCR3<RVCTR>を"0"に設定しないでください。SYSCR3<RVCTR>が"0"のときに割り込みが発生するとベクタアドレスとして BOOTROM 領域が参照されますのでプログラムが正しく動作しません。

(プログラム例)　RAM にプログラムを転送し、コード領域の 0xE000 ~ 0xEFFF の Sector Erase を実行した後、0xE500 に 0x3F のデータを書き込む。消去中、書き込み中にノンマスカブル割り込み(INTSWI, INTUNDEF, INTWDT)が発生した場合は、システムクロックリセットを発生させる。

```
main section code abs = 0x0100
; #### ノンマスカブル割り込みベクタを RAM 領域内に設定 #### (STEP 3)
                LD      HL,0x01FC           ; INTUNDEF, INTSWI 割り込みベクタの設定
                LDW     (HL),sINTSWI
                LD      HL,0x01F8           ; INTWDT 割り込みベクタの設定
                LDW     (HL),sINTWDT
; #### Sector Erase、書き込み処理 ####
                LD      HL,0x0F555          ; コマンドシーケンス用変数
                LD      DE,0xFAAA           ; コマンドシーケンス用変数
; Sector Erase 処理 (STEP 5)
                LD      C,0x00              ; アドレス上位の設定
                LD      IX,0xE000           ; アドレス中位、下位の設定
                CALL    sSectorErase        ; Sector Erase 処理(0xE000)
; 書き込み処理 (STEP 8)
                LD      C,0x00              ; アドレス上位の設定
                LD      IX,0xE500           ; アドレス中位、下位の設定
                LD      B,0x3F              ; 書き込むデータ
                CALL    sByteProgram        ; 書き込み処理(0xE500)
; #### 次のメインプログラム処理 ####
                :       :                   ; メインプログラム処理
                J       XXXXX
; #### RAM で実行するプログラム ####
sSectorErase:   CALL    sAddConv            ; アドレス変換
; Sector Erase 処理
                LD      (HL),E              ; 1st Bus Write Cycle ( 注 1)
                LD      (DE),L              ; 2nd Bus Write Cycle ( 注 1)
                LD      (HL),0x80           ; 3rd Bus Write Cycle ( 注 1)
                LD      (HL),E              ; 4th Bus Write Cycle ( 注 1)
                LD      (DE),L              ; 5th Bus Write Cycle ( 注 1)
                LD      (IX),0x30           ; 6th Bus Write Cycle ( 注 1)
                J       sRAMopEnd
; 書き込み処理
sByteProgram:   CALL    sAddConv            ; アドレス変換
                LD      (HL),E              ; 1st Bus Write Cycle ( 注 1)
                LD      (DE),L              ; 2nd Bus Write Cycle ( 注 1)
```

```
                LD      (HL),0xA0           ; 3rd Bus Write Cycle ( 注 1)
                LD      (IX),B              ; 4th Bus Write Cycle ( 注 1)
; 終了処理
sRAMopEnd       NOP                         ; (注 2)
                NOP                         ; (注 2)
                NOP                         ; (注 2)
sLOOP1:         LD      A,(IX)              ; (STEP 6,9)
                CMP     A,(IX)
                J       NZ,sLOOP1           ; 同一の値が読み出されるまでループする
                LD      (FLSCR1),0x40       ; コマンドシーケンスの実行を禁止(STEP 10)
                LD      (FLSCR2),0xD5       ; FLSCR1 の設定を反映
                RET                         ; RAM 上のプログラムに戻る
; アドレス変換処理(STEP 4,7)
sAddConv:       LD      WA,IX
                SWAP    C
                AND     C,0x10
                SWAP    W
                AND     W,0x08
                OR      C,W
                XOR     C,0x08
                SHRC    C
                OR      C,0xA0
                LD      (FLSCR1),C          ; コマンドシーケンスの実行を許可。FAREA を設定。
                LD      (FLSCR2),0xD5       ; FLSCR1 の設定を反映
                LD      WA,IX
                TEST    C.3
                J       Z,sAddConvEnd
                OR      W,0x80
                LD      IX,WA
sAddConvEnd:    RET
; 割り込みサービスルーチン
sINTWDT:
sINTSWI:        LD      IX,0xF000
                LD      A,(IX)
                CMP     A,(IX)
                J       NZ,sINTWDT          ; 同一の値が読み出されるまでループする
                LD      (SYSCR2),0x10       ; システムクロックリセットを発生
                RETN
```

注 1) xxx Bus Write Cycle で使用するライト命令は、3 マシンサイクル以上の命令を使用するか、命令間隔が 3 マシンサイクル以上となるように命令を配置してください。16 ビット転送命令を使用したり、2 マシンサイクルの間隔でライト命令を実行すると、フラッシュのコマンドシーケンスが正しく送信されず誤動作する場合があります。

注 2) xth Bus Write Cycle のライト命令後にフラッシュのリード(トグル動作)を行う場合は、最後の xth Bus Write Cycle から命令間隔が 3 マシンサイクル以上となるように命令を配置してください。通常は NOP を 3 つ配置します。命令間隔が短い場合、期待するアドレスのデータ(のトグルビット)は正しく反転しません。

21.5.2　MCU モードのフラッシュメモリ制御

MCU モードの場合、RAM 上で制御プログラムを実行するか、BOOTROM 内に用意されたサポートプログラム(API)を使用することによってフラッシュメモリの書き込みを行うことができます。

21.5.2.1　RAM 領域に制御プログラムを転送して書き込む例

以下に MCU モードで RAM 上の制御プログラムを実行する方法(例)を示します。RAM 上で実行する制御プログラムは、あらかじめフラッシュメモリ内にコピーを用意しておくか、通信端子などを利用して外部から取り込む必要があります(以下の方法は、フラッシュメモリ内にあらかじめプログラムのコピーを用意した場合の例です)。

以下の手順のうち 1 ~ 5,11 の処理はフラッシュメモリ上のプログラムによる制御、それ以外の処理は RAM に転送されたプログラムによる制御となります。なお、以下の手順は後述のプログラム例とリンクしています。

1. 割り込みマスタ許可フラグを禁止 (DI) にします(IMF← “0”)。
2. 書き込み制御プログラムを RAM に転送します。
3. ノンマスカブル割り込みベクタを RAM 領域内に設定します。
4. SYSCR3<RAREA>に"1"、SYSCR3<RVCTR>に"1"を設定した後、SYSCR4 に 0xD4 を設定し、RAM をコード領域に割り当てるとともにベクタ領域を RAM に切り替えます。
5. CALL 命令により RAM 上の消去処理プログラムを呼び出します。
6. FLSCR1<FLSMD>を “0y101” に設定するとともに FLSCR1<FAREA>で消去する領域を指定します。(必要に応じて FLSCR1<ROMSEL>も設定します)。その後 FLSCR2<CR1EN>に"0xD5"を設定します。
7. 消去コマンドシーケンスを実行します。
8. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。
   (読み出した値が同一になるまで 8.を繰り返します)
9. FLSCR1<FLSMD>を “0y010” 、FLSCR1<FAREA>を"0y00"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定します。 (コマンドシーケンスの実行を禁止するとともに FAREA を初期マッピングに戻します)。
10. RET 命令によりフラッシュに戻ります。
11. CALL 命令により RAM 上の書き込みプログラムを呼び出します。
12. FLSCR1<FLSMD>を “0y101” に設定するとともに FLSCR1<FAREA>で書き込みを行う領域(上記 7 で消去した領域)を指定します。(必要に応じて FLSCR1<ROMSEL>も設定します)。その後 FLSCR2<CR1EN>に"0xD5"を設定します。
13. 書き込みコマンドシーケンスを実行します。
14. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。
    (読み出した値が同一になるまで 14.を繰り返します)
15. FLSCR1<FLSMD>を “0y010” 、FLSCR1<FAREA>を"0y00"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定します。 (コマンドシーケンスの実行を禁止するとともに FAREA を初期マッピングに戻します)。
16. RET 命令によりフラッシュに戻ります。
17. SYSCR3<RAREA>に"0"、SYSCR3<RVCTR>に"0"を設定した後、SYSCR4 に 0xD4 を設定し、RAM のコード領域の割り当てを解除するとともにベクタ領域をフラッシュに切り替えます。

注 1)　MCU モードで RAM 領域からフラッシュメモリに書き込みを行うときは、事前に SYSCR3<RVCTR>によってベクタ領域を RAM に切り替えてください。また、このときノンマスカブル割り込みに相当するベクタアドレス(INTUNDEF, INTSWI : 0x01F8 ~ 0x01F9、INTWDT : 0x01FC ~ 0x01FD)にデータを設定し、割り込みサービスルーチン(RAM 領域)を定義してください。これらの処理により書き込み中の予期しないノンマスカブル割り込みによるエラーをトラップすることができます。SYSCR3<RVCTR>がフラッシュ領域に設定されていると、書き込み中に予期せぬ割り込みが発生した場合、フラッシュメモリのベクタ領域が正しくリードできず誤動作する場合があります。

注 2)　MCU モードで任意の割り込みを使用する場合は、その割り込みに相当するベクタアドレスおよび割り込みサービスルーチンを RAM 領域内に設定してください。またこの場合、ノンマスカブル割り込みは注 1 のように設定してください。

注 3)　フラッシュメモリから RAM 領域にジャンプする前に、SYSCR3<RAREA>によって RAM をコード領域に割り当ててください(上記 4 の処理)。

(プログラム例)　RAM にプログラムを転送し、コード領域の 0xE000 ~ 0xEFFF の Sector Erase を実行した後、0xE500 に 0x3F のデータを書き込む。消去中、書き込み中にノンマスカブル割り込み(INTSWI, INTUNDEF, INTWDT)が発生した場合は、システムクロックリセットを発生させる。

```
            cRAMStartAdd equ 0x0200              ; RAM のスタートアドレス
main section code abs = 0xF000
            DI                                   ; 割り込み禁止(STEP 1)
; #### RAM にプログラムを転送する処理 #### (STEP2)
            LD      HL,cRAMStartAdd
            LD      IX,sRAMprogStart
sRAMLOOP:   LD      A,(IX)                       ; sRAMprogStart から sRAMprogEnd までのプログラムを
            LD      (HL),A                       ; cRAMStartAdd に転送する
            INC     HL
            INC     IX
            CMP     IX,sRAMprogEnd
            J       NZ,sRAMLOOP
; #### ノンマスカブル割り込みベクタを RAM 領域内に設定 #### (STEP 3)
            LD      HL,0x01FC                    ; INTUNDEF, INTSWI 割り込みベクタの設定
            LDW     (HL),sINTSWI - sRAMprogStart + cRAMStartAdd
            LD      HL,0x01F8                    ; INTWDT 割り込みベクタの設定
            LDW     (HL),sINTWDT - sRAMprogStart + cRAMStartAdd
; #### RAM をコード領域に割り当て。ベクタ領域を RAM に切り替え #### (STEP 4)
            LD      (SYSCR3),0x06                ; RAREA = 1 , RVCTR = 1 を設定
            LD      (SYSCR4),0xD4                ; Enable Code
; #### Sector Erase、書き込み処理 ####
            LD      HL,0xF555                    ; コマンドシーケンス用変数
            LD      DE,0xFAAA                    ; コマンドシーケンス用変数
; Sector Erase 処理 (STEP 5)
            LD      C,0x00                       ; アドレス上位の設定
            LD      IX,0xE000                    ; アドレス中位、下位の設定
            CALL    sSectorErase - sRAMprogStart + cRAMStartAdd
                                                 ; Sector Erase 処理(0xE000)
; 書き込み処理 (STEP 11)
            LD      C,0x00                       ; アドレス上位の設定
            LD      IX,0xE500                    ; アドレス中位、下位の設定
            LD      B,0x3F                       ; 書き込むデータ
            CALL    sByteProgram - sRAMprogStart + cRAMStartAdd
                                                 ; 書き込み処理(0xE500)
; #### RAM をコード領域に割り当て。ベクタ領域を RAM に切り替え #### (STEP 17)
            LD      (SYSCR3),0x00                ; RAREA = 0 , RVCTR = 0 を設定
            LD      (SYSCR4),0xD4                ; Enable Code
; #### 次のメインプログラム処理 ####
            :       :                            ; メインプログラム処理
            J       XXXXX
; #### RAM で実行するプログラム ####
sRAMprogStart:
            NOP                                  ; フェイルセーフ処理
            NOP
            NOP
```

```
                NOP
                NOP
                LD      (SYSCR2),0x10           ; システムクロックリセットを発生
sSectorErase:   CALL    sAddConv - sRAMprogStart + cRAMStartAdd
                                                ; アドレス変換
; Sector Erase 処理 (STEP 7)
                LD      (HL),E                  ; 1st Bus Write Cycle ( 注 1)
                LD      (DE),L                  ; 2nd Bus Write Cycle ( 注 1)
                LD      (HL),0x80               ; 3rd Bus Write Cycle ( 注 1)
                LD      (HL),E                  ; 4th Bus Write Cycle ( 注 1)
                LD      (DE),L                  ; 5th Bus Write Cycle ( 注 1)
                LD      (IX),0x30               ; 6th Bus Write Cycle ( 注 1)
                J       sRAMopEnd
; 書き込み処理 (STEP 13)
sByteProgram:   CALL    sAddConv - sRAMprogStart + cRAMStartAdd
                                                ; アドレス変換
                LD      (HL),E                  ; 1st Bus Write Cycle ( 注 1)
                LD      (DE),L                  ; 2nd Bus Write Cycle ( 注 1)
                LD      (HL),0xA0               ; 3rd Bus Write Cycle ( 注 1)
                LD      (IX),B                  ; 4th Bus Write Cycle ( 注 1)
; 終了処理
sRAMopEnd:      NOP                             ; (注 2)
                NOP                             ; (注 2)
                NOP                             ; (注 2)
sLOOP1:         LD      A,(IX)                  ; (STEP 8,14)
                CMP     A,(IX)
                J       NZ,sLOOP1               ; 同一の値が読み出されるまでループする
                LD      (FLSCR1),0x40           ; コマンドシーケンスの実行を禁止 (STEP 9,15)
                LD      (FLSCR2),0xD5           ; FLSCR1 の設定を反映
                RET                             ; フラッシュメモリに戻る
; アドレス変換処理(STEP 6,12)
sAddConv:       LD      WA,IX
                SWAP    C
                AND     C,0x10
                SWAP    W
                AND     W,0x08
                OR      C,W
                XOR     C,0x08
                SHRC    C
                OR      C,0xA0
                LD      (FLSCR1),C              ; コマンドシーケンスの実行を許可。FAREA を設定。
                LD      (FLSCR2),0xD5           ; FLSCR1 の設定を反映
                LD      WA,IX
                TEST    C.3
                J       Z,sAddConvEnd
                OR      W,0x80
                LD      IX,WA
sAddConvEnd:    RET
; 割り込みサービスルーチン
sINTWDT:
sINTSWI:        LD      IX,0xF000
```

```
                LD          A,(IX)
                CMP         A,(IX)
                J           NZ,sINTWDT          ; 同一の値が読み出されるまでループする
                LD          (SYSCR2),0x10       ; システムクロックリセットを発生
                RETN
sRAMprogEnd:    NOP
```

注 1) xxx Bus Write Cycle で使用するライト命令は、3 マシンサイクル以上の命令を使用するか、命令間隔が 3 マシンサイクル以上となるように命令を配置してください。16 ビット転送命令を使用したり、2 マシンサイクルの間隔でライト命令を実行すると、フラッシュのコマンドシーケンスが正しく送信されず誤動作する場合があります。

注 2) xth Bus Write Cycle のライト命令後にフラッシュのリード(トグル動作)を行う場合は、最後の xth Bus Write Cycle から命令間隔が 3 マシンサイクル以上となるように命令を配置してください。通常は NOP を 3 つ配置します。命令間隔が短い場合、期待するアドレスのデータ(のトグルビット)は正しく反転しません。

21.5.2.2　BOOTROM のサポートプログラム(API)を利用してフラッシュに書き込む例

以下に MCU モードで BOOTROM のサポートプログラム(API)を利用してフラッシュメモリの消去、書き込みなどを実行する方法(例)を示します。API の詳細については、「21.6 API (Application Programming Interface)」を参照してください。

以下の手順 1 ~ 16 の処理はすべてフラッシュメモリ上のプログラムによる処理となります。

1. ノンマスカブル割り込みのサブルーチンプログラム(INTSWI, INTWDT)を RAM に転送します。
2. ノンマスカブル割り込みベクタを RAM 領域内に設定します。
3. SYSCR3<RAREA>に"1"、SYSCR3<RVCTR>に"1"を設定した後、SYSCR4 に 0xD4 を設定し、RAM をコード領域に割り当てるとともにベクタ領域を RAM に切り替えます。
4. FLSCR1<BAREA>を"1"に設定し、FLSCR2 に 0xD5 を設定します。
5. A レジスタに消去するアドレスの範囲を設定します。例えば 0xE000 ~ 0xEFFF を消去する場合は 0x0E を、0x1F000 ~ 0x1FFFF を消去する場合は 0x1F を設定します。
6. C レジスタに Enable Code として 0xD5 を設定します。
7. (0x1012)を CALL します。(Sector Erase が実行されます。すでに消去されているのが分かっている場合は 2 ~ 4 の処理は不要です)
8. C レジスタに 0x00 を設定します。
9. WA レジスタに書き込み対象のアドレス A[15:0]を設定します。
10. E レジスタに書き込みデータを設定します。
11. (SP-)に Enable Code として 0xD5 を設定します。
12. (0x1010)を CALL します。(Byte Program が実行されます)
13. 他のアドレスに続けて書き込みを行う場合は 8 に戻ります。
14. FLSCR1<BAREA>を"0"、FLSCR2 に 0xD5 を設定します。
15. SYSCR3<RAREA>に"0"、SYSCR3<RVCTR>に"0"を設定した後、SYSCR4 に 0xD4 を設定します。

(プログラム例)　データ領域の 0xE000 ~ 0xEFFF に Sector Erase を実行した後、RAM の 0x0100 ~ 0x01FF の内容をデータ領域の 0xE000 ~ 0xE0FF に書き込む。消去中、書き込み中にノンマスカブル割り込み(INTSWI, INTUNDEF, INTWDT)が発生した場合は、システムクロックリセットを発生させる。

```
                .BTWrite        equ 0x1010              ; フラッシュの書き込み
                .BTEraseSec     equ 0x1012              ; Sector Erase
                .BTEraseChip    equ 0x1014              ; Chip Erase
                .BTGetRP        equ 0x1016              ; Security Program の状態を確認
                .BTSetRP        equ 0x1018              ; Security Program の設定

                cRAMStartAdd equ 0x0200                 ; RAM のスタートアドレス
main section code abs = 0xF000
; #### RAM にプログラムを転送する処理 ####
                LD              HL,cRAMStartAdd
                LD              IX,sRAMprogStart
sRAMLOOP:       LD              A,(IX)                  ; sRAMprogStart から sRAMprogEnd までのプログラムを
                LD              (HL),A                  ; cRAMStartAdd に転送する
                INC             HL
                INC             IX
                CMP             IX,sRAMprogEnd
                J               NZ,sRAMLOOP
; #### ノンマスカブル割り込みベクタを RAM 領域内に設定 ####
                LD              HL,0x01FC               ; INTUNDEF, INTSWI 割り込みベクタの設定
                LDW             (HL),sINTSWI - sRAMprogStart + cRAMStartAdd
```

```
                LD          HL,0x01F8                        ; INTWDT 割り込みベクタの設定
                LDW         (HL),sINTWDT - sRAMprogStart + cRAMStartAdd
; #### RAM をコード領域に割り当て。ベクタ領域を RAM に切り替え ####
                LD          (SYSCR3),0x06                    ; RAREA = 1 , RVCTR = 1 を設定
                LD          (SYSCR4),0xD4                    ; Enable Code
; #### BOOTROM をデータ/コード領域に割り当て ####
                LD          (FLSCR1),0x50                    ; BAREA を"1"に設定
                LD          (FLSCR2),0xD5                    ; FLSCR1 の設定を反映
; #### Sector Erase 処理(API) ####
                LD          A,0x0E                           ; 消去領域の設定(0xE000 ~ 0xEFFF)
                LD          C,0xD5                           ; Enable Code
                CALL        (.BTEraseSec)                    ; Sector Erase の実行
; ####書き込み処理####
                LD          HL,0xE000                        ; フラッシュの開始アドレス(書き込み対象のアドレス)
                LD          IY,0x0100                        ; RAM の開始アドレス
sLOOP1:
                LD          C,0x00                           ; 書き込みアドレス(ビット 16)
                LD          WA,HL                            ; 書き込みアドレス(ビット 15~0)
                LD          E,(IY)                           ; 書き込みデータ
                LD          (SP-),0xD5                       ; Enable Code
                CALL        (.BTWrite)                       ; フラッシュの書き込み(1 バイト)
                INC         IY                               ; フラッシュアドレスのインクリメント
                INC         HL                               ; RAM アドレスのインクリメント
                CMP         L,0x00                           ; 256 バイトの書き込み終了?
                J           NZ,sLOOP1                        ; 256 バイト未満なら sLOOP1 に戻る
; #### 終了処理 ####
                LD          (FLSCR1),0x40                    ; BAREA を"0"に設定
                LD          (FLSCR2),0xD5                    ; Enable Code
                LD          (SYSCR3),0x00                    ; RAREA = 0 , RVCTR = 0 を設定
                LD          (SYSCR4),0xD4                    ; Enable Code
                :           :
                J           XXXX
; #### RAM で実行するプログラム ####
sRAMprogStart:
; 割り込みサービスルーチン
sINTWDT:
sINTSWI:        LD          IX,0xF000
                LD          A,(IX)
                CMP         A,(IX)
                J           NZ,sINTWDT                       ; 同一の値が読み出されるまでループする
                LD          (SYSCR2),0x10                    ; システムクロックリセットを発生
                RETN
sRAMprogEnd:    NOP
```

注 1) サポートプログラムには、割り込みマスタ許可フラグ(IMF)を禁止にする命令(DI 命令)が含まれていますので、上記のプログラムに DI 命令を組み込む必要はありません。ただしサポートプログラムに EI 命令は含まれていませんので、割り込みを利用する場合は全ての処理が完了した後に IMF を許可に設定してください。

21.5.2.3　BOOTROM のサポートプログラム(API)を利用して Security Program を設定する例

1. ノンマスカブル割り込みのサブルーチンプログラム(INTSWI, INTWDT)を RAM に転送します。
2. ノンマスカブル割り込みベクタを RAM 領域内に設定します。
3. SYSCR3<RAREA>に"1"、SYSCR3<RVCTR>に"1"を設定した後、SYSCR4 に 0xD4 を設定し、RAM をコード領域に割り当てるとともにベクタ領域を RAM に切り替えます。
4. FLSCR1<BAREA>を"1"に設定します。
5. A レジスタに Enable Code として 0xD5 を設定します。
6. C レジスタに 0x00 を設定します。
7. (0x1016)を CALL します。(Security Program の状態が戻り値として A レジスタに格納されます)
8. A レジスタの内容が 0xFF 以外だった場合は、既に Security Program が設定されているため sSKIP へジャンプします。
9. A レジスタに Enable Code として 0xD5 を設定します。
10. C レジスタに 0x00 を設定します。
11. (0x1018)を CALL します。(Security Program が実行されます)
12. FLSCR1<BAREA>を"0"、FLSCR2 に 0xD5 を設定します。
13. SYSCR3<RAREA>に"0"、SYSCR3<RVCTR>に"0"を設定した後、SYSCR4 に 0xD4 を設定します。

(プログラム例)　現在 Security Program が設定されているか確認し、設定されていなければ Security Program を設定する。

```
                .BTWrite        equ 0x1010              ; フラッシュの書き込み
                .BTEraseSec     equ 0x1012              ; Sector Erase
                .BTEraseChip    equ 0x1014              ; Chip Erase
                .BTGetRP        equ 0x1016              ; Security Program の状態を確認
                .BTSetRP        equ 0x1018              ; Security Program の設定

                cRAMStartAdd equ 0x0200                 ; RAM のスタートアドレス
main section code abs = 0xF000
; #### RAM にプログラムを転送する処理 ####
                LD              HL,cRAMStartAdd
                LD              IX,sRAMprogStart
sRAMLOOP:       LD              A,(IX)                  ; sRAMprogStart から sRAMprogEnd までのプログラムを
                LD              (HL),A                  ; cRAMStartAdd に転送する
                INC             HL
                INC             IX
                CMP             IX,sRAMprogEnd
                J               NZ,sRAMLOOP
; #### ノンマスカブル割り込みベクタを RAM 領域内に設定 ####
                LD              HL,0x01FC               ; INTUNDEF, INTSWI 割り込みベクタの設定
                LDW             (HL),sINTSWI - sRAMprogStart + cRAMStartAdd
                LD              HL,0x01F8               ; INTWDT 割り込みベクタの設定
                LDW             (HL),sINTWDT - sRAMprogStart + cRAMStartAdd
; #### RAM をコード領域に割り当て。ベクタ領域を RAM に切り替え ####
                LD              (SYSCR3),0x06           ; RAREA = 1 , RVCTR = 1 を設定
                LD              (SYSCR4),0xD4           ; Enable Code
; #### BOOTROM をデータ/コード領域に割り当て ####
                LD              (FLSCR1),0x50           ; BAREA を"1"に設定
                LD              (FLSCR2),0xD5           ; FLSCR1 の設定を反映
; #### Security Program の状態を確認 ####
```

```
                LD      A,0xD5              ; Enable Code
                LD      C,0x00              ; 0x00 設定 (注 1)
                CALL    (.BTGetRP)          ; Security Program の状態を確認
                CMP     A,0xFF              ; 戻り値 A が 0xFF の場合、Security 解除状態
                J       NZ,sSKIP            ; Security Program が設定されている場合 sSKIP へ
; #### Security Program の設定処理(API) ####
                LD      A,0xD5              ; Enable Code
                LD      C,0x00              ; 0x00 設定 (注 1)
                CALL    (.BTSetRP)          ; Security Program の設定
sSKIP:          LD      (FLSCR1),0x40       ; BAREA を"0"に設定
                LD      (FLSCR2),0xD5       ; Enable Code
                LD      (SYSCR3),0x00       ; RAREA = 0 , RVCTR = 0 を設定
                LD      (SYSCR4),0xD4       ; Enable Code
                :       :
                J       XXXX
; #### RAM で実行するプログラム ####
sRAMprogStart:
; 割り込みサービスルーチン
sINTWDT:
sINTSWI:        LD      IX,0xF000
                LD      A,(IX)
                CMP     A,(IX)
                J       NZ,sINTWDT          ; 同一の値が読み出されるまでループする
                LD      (SYSCR2),0x10       ; システムクロックリセットを発生
                RETN
sRAMprogEnd:    NOP
```

注 1) C レジスタに必ず 0x00 を設定してください。

注 2) サポートプログラムには、割り込みマスタ許可フラグ(IMF)を禁止にする命令(DI 命令)が含まれていますので、上記のプログラムに DI 命令を組み込む必要はありません。ただしサポートプログラムに EI 命令は含まれていませんので、割り込みを利用する場合は全ての処理が完了した後に IMF を許可に設定してください。

21.5.2.4 フラッシュメモリからデータを読み出す例

フラッシュメモリからデータを読み出すには、メモリに対して転送命令(リード)を実行します。FLSCR1<FAREA>および FLSCR2 を設定することにより、コード領域を含む任意のアドレスのデータを読み出すことができます。

(プログラム例)　　コード領域の 0xF000 からデータをリードして RAM の(0x98)に格納する

```
                LD      (FLSCR1),0xA8       ; AREA C1 を選択
                LD      (FLSCR2),0xD5       ; FLSCR1 の設定を反映
                LD      A,(0xF000)          ; 0xF000 からデータを読み出す
                LD      (0x98),A            ; 0x98 にデータを格納する
                LD      (FLSCR1),0x40       ; AREA D0 を選択
                LD      (FLSCR2),0xD5       ; FLSCR1 の設定を反映
```

21.6　API (Application Programming Interface)

BOOTROM 領域の一部にはフラッシュメモリを簡易的に消去、書き込みするためのサポートプログラム(API)が含まれています。よって BOOTROM をマッピングした後、サポートプログラムのサブルーチンを呼び出すことによって簡単にフラッシュメモリの消去、書き込み、読み出し等を実行することができます。API の一覧を表 21-5 に示します。

表 21-5 API 一覧

<table>
<tr><th rowspan="2">アドレス</th><th rowspan="2">内容</th><th rowspan="2">スタック
消費数
(注 2)</th><th rowspan="2">ワーク
レジスタ
(注 1)</th><th colspan="2">引数</th><th colspan="3">戻り値</th></tr>
<tr><th>レジスタ</th><th>設定値</th><th>レジスタ</th><th colspan="2">内容</th></tr>
<tr><td rowspan="4">0x1010
(.BTWrite)</td><td rowspan="4">指定した 1 バイトのアドレスにデータを書き込みます</td><td rowspan="4">7 バイト</td><td rowspan="4">WA
BC
DE
IX</td><td>WA</td><td>書き込みアドレス</td><td rowspan="4">-</td><td rowspan="4">-</td><td rowspan="4">-</td></tr>
<tr><td>C</td><td>0x00</td></tr>
<tr><td>E</td><td>書き込みデータ</td></tr>
<tr><td>(SP-)</td><td>0xD5 (Enable Code)</td></tr>
<tr><td rowspan="2">0x1012
(.BTEraseSec)</td><td rowspan="2">指定した 1 つの Sector を消去します</td><td rowspan="2">4 バイト</td><td rowspan="2">WA
BC
DE
IX</td><td>A</td><td>消去セクタ</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td></tr>
<tr><td>C</td><td>0xD5 (Enable Code)</td></tr>
<tr><td rowspan="2">0x1014
(.BTEraseChip)</td><td rowspan="2">Chip Erase を行います</td><td rowspan="2">6 バイト</td><td rowspan="2">WA
BC
DE
IX</td><td>A</td><td>0xD5 (Enable Code)</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td></tr>
<tr><td>C</td><td>0x00</td></tr>
<tr><td rowspan="2">0x1016
(.BTGetRP)</td><td rowspan="2">Security Program の情報を取得します</td><td rowspan="2">6 バイト</td><td rowspan="2">WA
BC
DE
IX</td><td>A</td><td>0xD5 (Enable Code)</td><td rowspan="2">A</td><td>0xFF</td><td>Security Program が解除状態</td></tr>
<tr><td>C</td><td>0x00</td><td>0xFF
以外</td><td>Security Program が設定状態</td></tr>
<tr><td rowspan="2">0x1018
(.BTSetRP)</td><td rowspan="2">Security Program を設定します</td><td rowspan="2">6 バイト</td><td rowspan="2">WA
BC
DE
IX</td><td>A</td><td>0xD5 (Enable Code)</td><td rowspan="2">-</td><td rowspan="2">-</td><td rowspan="2">-</td></tr>
<tr><td>C</td><td>0x00</td></tr>
<tr><td rowspan="2">0x101E
(.BTCalcUART)</td><td rowspan="2">タイマでキャプチャしたパルス幅から UART レジスタの設定値(ボーレート)を算出します</td><td rowspan="2">4 バイト</td><td rowspan="2">WA
BC
DE
IX
IY</td><td>WA</td><td>キャプチャ幅</td><td>W</td><td colspan="2">RTSEL 設定値</td></tr>
<tr><td>C</td><td>演算ビット数</td><td>A</td><td colspan="2">UARTDR 設定値</td></tr>
</table>

注 1)　ワークレジスタはサポートプログラム内で書き替えられますので、サポートプログラムを呼び出す前に、必要に応じてレジスタデータの待避を行ってください。

注 2)　サポートプログラムの実行中は最大 7 バイト(割り込みによるスタックは含まず)のスタックが消費されますので、サポートプログラムを呼び出す前に、あらかじめスタック領域を確保してください。

注 3)　各 API は、引数として Enable Code (0xD5)を設定しなくても正しく処理が行われますが、シリーズ間でのソフトウェア互換性のために 0xD5 を設定しておくことを推奨します。

21.6.1 .BTWrite

E レジスタに設定したデータを WA レジスタで指定したフラッシュメモリのアドレスに書き込みます。あらかじめ C レジスタには 0x00、(SP-)には Enable Code (0xD5) を設定しておく必要があります。

21.6.2 .BTEraseSec

A レジスタで指定した Sector を消去します。C レジスタにはあらかじめ Enable Code (0xD5) を設定しておく必要があります。消去される Sector は表 21-6 のようになります。

表 21-6 消去される Sector

A レジスタ	消去領域
0x08	0x8000 ~ 0x8FFF
0x09	0x9000 ~ 0x9FFF
0x0A	0xA000 ~ 0xAFFF
0x0B	0xB000 ~ 0xBFFF
0x0C	0xC000 ~ 0xCFFF
0x0D	0xD000 ~ 0xDFFF
0x0E	0xE000 ~ 0xEFFF
0x0F	0xF000 ~ 0xFFFF
上記以外	Reserved

注) Reserved : 設定しないでください。設定した場合、意図しない Sector が消去されることがあります。

21.6.3 .BTEraseChip

フラッシュメモリの全領域を消去します。あらかじめ C レジスタには 0x00、A レジスタには Enable Code (0xD5) を設定しておく必要があります。

21.6.4 .BTGetSP

フラッシュメモリのセキュリティ情報を取得します。あらかじめ C レジスタには 0x00、A レジスタには Enable Code (0xD5) を設定しておく必要があります。

処理が完了すると、戻り値 A として Product ID の(0xFF7F)の値を返します。

21.6.5 .BTSetSP

フラッシュメモリのセキュリティ設定を行います。あらかじめ C レジスタには 0x00、A レジスタには Enable Code (0xD5) を設定しておく必要があります。

21.6.6　.BTCalcUART

C, WA レジスタで設定した値から、UART の適切なボーレート設定値を算出します。WA レジスタの値は、通常 16 ビットタイマカウンタのパルス幅測定モードによって、外部からの UART 信号をキャプチャしたカウント値を設定します。タイマカウンタのソースクロックは 2/fcgck に設定し、8 ビット分のパルスをキャプチャしてください。C レジスタには 0x08 を設定します。

RXD 端子と TCA 端子は兼用になっていますので、キャプチャの期間は SERSEL<TCA0SEL>によって一時的に TCA 端子へ切り替え、処理実行後に RXD 端子に戻してください。

引数 WA の設定可能範囲は 0x0020 ~ 0x3BFF となります。WA がこの範囲を超えると戻り値 WA として 0xFFFF を返します。正しく変換が行われると、戻り値として W レジスタの 5 ~ 3 ビット目に UARTCR2<RTSEL>の値、A レジスタに UARTDR の値を返します。なお W レジスタは 5 ~ 3 ビット目以外は"0"となりますので、UARTCR2<RXDNC, STOPBR>については別途設定してください。

注 1)　引数 WA 値が小さい場合(UART 自体が生成できないボーレート領域の場合)、戻り値の誤差が大きくなり適切なボーレートを生成できない場合があります。

注 2)　内部高周波発振クロック (fosc)で動作させた場合、ボーレートの上限は表 21-7 のようになります。

表 21-7 内部高周波発振クロック(fosc)動作時のボーレート上限

クロックギア [Hz]	ボーレート上限 [bps]
fcgck = fosc / 1	38400
fcgck = fosc / 2	19200
fcgck = fosc / 4	9600

以下に MCU モードで BOOTROM のサポートプログラム(API) を利用して UART 転送クロックの設定値を算出する方法(例) を示します。

1. シリアルインタフェース選択制御レジスタ SERSEL<TCA0SEL> にてタイマカウンタ入力と RXD 入力を兼用にします。
2. 16 ビットタイマカウンタをパルス幅測定モード、外部トリガ入力を立下りエッジ/L レベル、ソースクロックを fcgck/2 に選択します。
3. マスタから調整用固定データ 0x80 を RXD 端子を介して受信します。このとき、UART は動作させる必要はありません。
4. キャプチャしたデータを WA レジスタに格納します。 サポートプログラムでは DE, BC, IX, IY レジスタも使用しますので、これらのレジスタにデータが存在する場合は、あらかじめ退避処理をおこないます。
5. 割り込みマスタ許可フラグを禁止(DI) にします(IMF ← "0")。
6. FLSCR1<BAREA> を"1" に設定し、FLSCR2 に 0xD5 を設定します。
7. C レジスタに 0x08(8 ビット長の意味) を格納します。
8. .BTCalcUART(0x101E) を CALL します。
9. UARTCR2<RTSEL> に WA レジスタ上位のビット 5 ~ 3 を、UARTDR に WA レジスタの下位 8 ビットを格納します。なお、サポートプログラムにて正常な計算ができなかった場合、WA レジスタには 0xFFFF が格納されますので、戻り値が 0xFFFF のときは、再度、調整用データの受信からやり直してください。
10. FLSCR1<BAREA> を"0" に設定し、FLSCR2 に 0xD5 を設定します。

注 1)　ノンマスカブル割り込み処理ルーチンにて WA,BC,DE,IX,IY レジスタを使用しているとき、本サポートプログラム実行中にノンマスカブル割り込みが発生すると正しい計算結果が得られない恐れがあります。

注 2)　サポートプログラムにて正しく計算が行われた場合、WA レジスタ上位の bit7,6,2 ~ 0 には戻り値として"0"が格納されますので、ノイズ除去時間の選択および受信ストップビット長の選択をおこなう場合は必要に応じて対応するビットを設定してください。

(プログラム例)　16 ビットタイマカウンタ(TCA0) のパルス幅測定モードで、RXD0 端子から受信した 8 ビット長の L 幅をキャプチャし、その結果から UART 転送クロック設定を算出する。

```
                .BTCalcUART   equ 0x101E                  ; UART 転送クロック設定算出

CalcUART secion code abs = 0xF000
; #### タイマカウンタ入力と UART 受信入力を兼用する処理####
                LD            (SERSEL),0x40               ; TCA0 入力に切り替え
; #### 調整用データ(0x80) をマスタから受信####
                LD            (TA0MOD),0x5E               ; パルス幅測定モード、立下りエッジトリガ
                                                          ; ソースクロック fcgck/2 選択
sTimerStart:    LD            (TA0CR),0x01                ; タイマスタート
                    :                 :
```

TCA0 端子から調整用固定データ 0x80 を受信する。

```
                    :                 :
                LD            WA,(TA0DRL)                 ; キャプチャ値を WA レジスタに格納
                LD            (TA0CR), 0x00               ; タイマストップ
                DI
; #### BOOTROM をデータ/ コード領域に割り当て####
                LD            (FLSCR1),0x50               ; BAREA を"1" に設定
                LD            (FLSCR2),0xD5               ; FLSCR1 の設定を反映
; #### UART 設定値計算処理(API) ####
                LD            C,0x08                      ; 8 ビット長
                CALL          (.BTCalcUART)               ; UART 設定値計算処理の実行
                CMP           W, 0xFF
                J             Z, sTimerStart              ; W が 0xFF のときは再キャプチャ
; #### 計算結果を UART 制御レジスタに設定 ####
                LD            (UARTCR2),W                 ; RTSEL の設定
                LD            (UARTDR), A                 ; ボーレートレジスタの設定
; #### 終了処理 ####
                LD            (FLSCR1),0x40               ; BAREA を"0" に設定
                LD            (FLSCR2),0xD5               ; FLSCR1 の設定を反映
```

第 22 章　シリアル PROM モード

22.1　概要

TMP89FM46A はフラッシュメモリへのプログラミング用に 4K バイトの BOOTROM(MASK ROM)を内蔵しています。BOOTROM は、シリアル PROM モードで有効になります。シリアル PROM モードは、RXD0 / SI0 端子, TXD0 / SO0 端子, MODE 端子、$\overline{\text{RESET}}$ 端子で制御され、UART または SIO を通して通信します。

表 22-1 シリアル PROM モード動作範囲

項目	Min	Max	単位
電源電圧	4.3	5.5	V
高周波周波数	1	10	MHz

22.2　セキュリティについて

シリアル PROM モードでは、第三者の不正なメモリアクセスを禁止するために、「パスワード」、「Security Program」の 2 つのセキュリティ機能を利用することができます。セキュリティの詳細については「22.12 セキュリティ」を参照してください。

22.3　シリアル PROM モード設定

22.3.1　シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアル PROM モードを起動します。シリアル PROM モードを起動するための端子設定を表 22-2 に示します。

表 22-2 シリアル PROM モード設定

端子	設定
RXD0 / SI0 / P21 端子	H レベル
TXD0 / SO0 / P20 端子	H レベル
MODE, $\overline{\text{RESET}}$ 端子	

注)　シリアル PROM モードが起動するまでの期間、RXD0/SI0/P21 端子、TXD0/SO0/P20 端子はプルアップ抵抗で H レベルに固定してください。

表 22-3 シリアル PROM モードの端子機能

端子名 (シリアル PROM モード時)	入出力	機能		端子名(MCU モード時)
TXD0 / SO0	出力	シリアル PROM モード制御/シリアルデータ出力	(注 1)	TXD0 / SO0 / P20
RXD0 / SI0	入力	シリアル PROM モード制御/シリアルデータ入力		RXD0 / SI0 / P21
$\overline{\text{RESET}}$	入力	シリアル PROM モード制御		$\overline{\text{RESET}}$
MODE	入力	シリアル PROM モード制御		MODE
SCLK0	入力	シリアルクロック入力(SIO 使用時) シリアル PROM モード中はハイインピーダンスになります。UART を使用する場合、ポート入力は貫通電流を防止するためにハード的に入力レベルが固定されます。ポート入力を有効にするには、RAM ローダの制御プログラムにによって SPCR<PIN1>を"1"に設定する必要があります。		SCLK0
VDD	電源	4.3 V ~ 5.5 V		
AVDD	電源	VDD に接続してください。		
VSS	電源	0 V		
AVSS	電源	VSS に接続してください。		
VAREF	電源	開放またはリファレンス電圧を印加してください。		
RXD0、TXD0 以外の入出力ポート	入出力	シリアル PROM モード中はハイインピーダンスになります。ポート入力は貫通電流を防止するためハード的に入力レベルが固定されます(ポート入力は無効となります)。ポート入力を有効にするには、RAM ローダの制御プログラムにによって SPCR<PIN0>を"1"に設定する必要があります。		
XIN	入力	発振子を取り付け自己発振させてください。		
XOUT	出力			

注 1)　オンボードプログラミング時、ほかの部品が実装されている場合は、これらの通信端子に影響を与えないようにしてください。

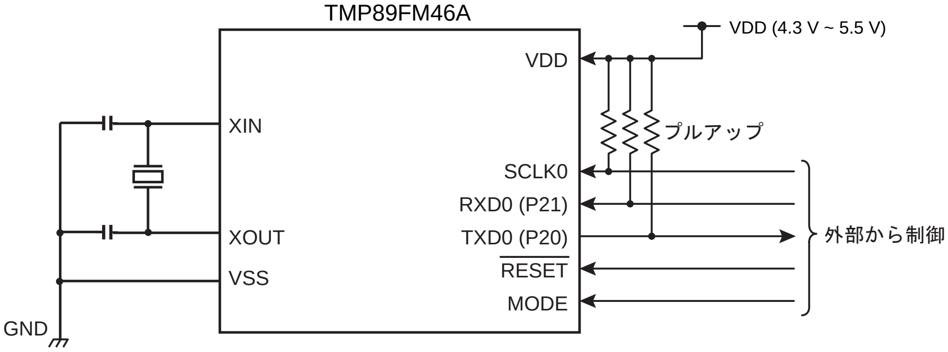
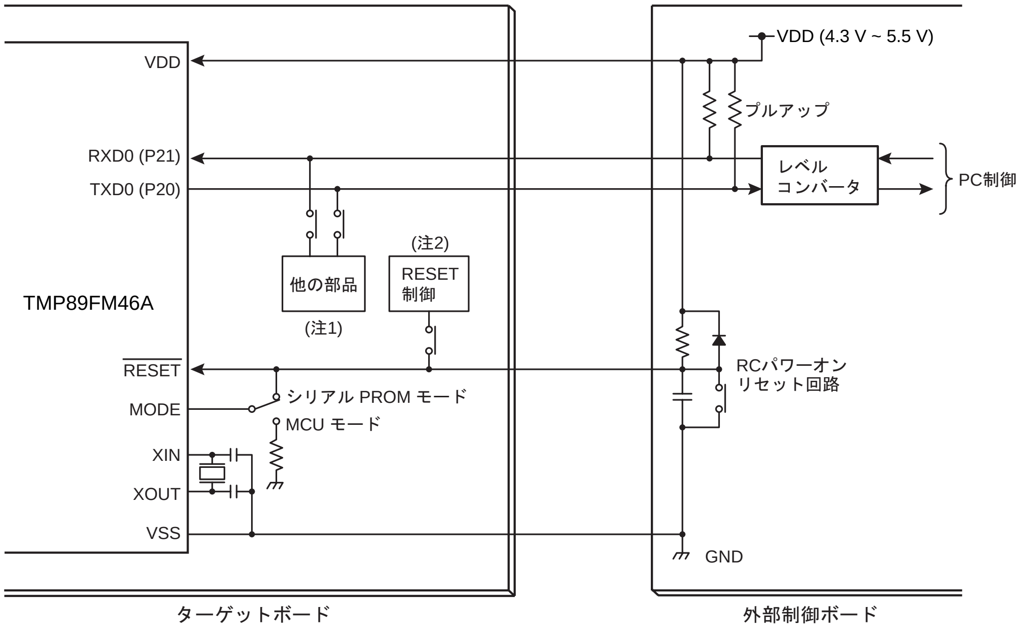


図 22-1 シリアル PROM モード端子設定

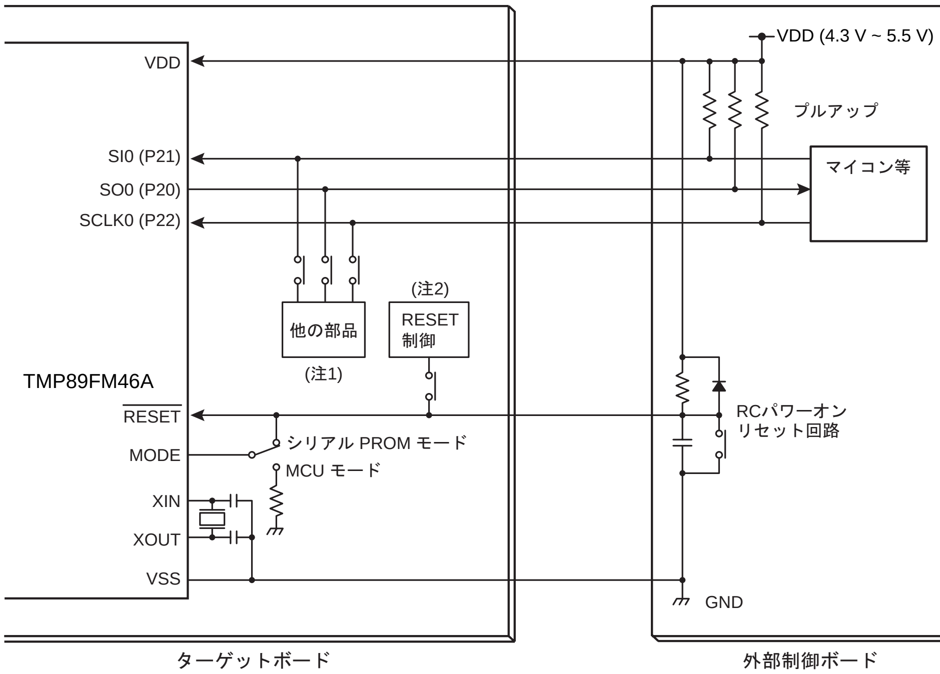
注 1) UART を使用してアクセスする場合、SCLK0 端子の制御は不要です。
注 2) その他の端子処理については、「表 22-3 シリアル PROM モードの端子機能」を参照してください。

22.4　オンボード書き込み接続例

図 22-2 にオンボード書き込みを行う場合の接続例を示します。



UARTを使用する場合



SIOを使用する場合

図 22-2 オンボード書き込み接続例

注 1)　ターゲットボード上の他の部品が、シリアル PROM モードの UART 通信に影響を与える場合、これらの端子はジャンパーやスイッチなどで切り離してください。

注 2)　ターゲットボード上のリセット制御回路が、シリアル PROM モードの起動に影響を与える場合、ジャンパー等で切り離してください。

注 3)　その他の端子処理については、「表 22-3 シリアル PROM モードの端子機能」を参照してください。

22.5 シリアル PROM モードの起動

シリアル PROM モードを起動するには以下の手順で行います。詳細なタイミングについては、「22.14.1 リセットタイミング」を参照してください。

1. VDD 端子に電源を供給します。
2. $\overline{\text{RESET}}$ 端子、MODE 端子を L レベルに設定します。
3. RXD0/SI0/P21 端子、TXD0/SO0/P20 端子を H レベルに設定します。
4. 電源およびクロック発振が十分安定するまで待ちます。
5. $\overline{\text{RESET}}$ 端子、MODE 端子を L→H レベルに設定します。
6. セットアップ期間が経過した後、RXD0/SI0/P21 端子にマッチングデータ 0x86 または 0x30 を入力します。

22.6　インタフェース仕様

シリアル PROM モードは UART と SIO の 2 種類の通信方法をサポートしています。通信方法は、リセット後最初に受信したシリアルデータの値によって選択されます。

オンボードプログラミングを実行するためには、外部コントローラ(パソコンやマイコンなど)の通信フォーマットを以下の仕様に合わせて設定する必要があります。

22.6.1　SIO による通信

- 転送速度 : 250kbps(Max)
- データ長 : 8 ビット
- スレーブ(外部クロック)
- ハードウェアフロー制御(SO0 端子)

リセット後、TMP89FM46A はシリアルデータとして 0x30 を受信すると、以降 SIO による通信を行います。

SIO による通信を行うとき、TMP89FM46A はスレーブデバイスとして動作しますので、外部コントローラは TMP89FM46A に同期用のシリアルクロック(SCLK0 端子)を供給する必要があります。

TMP89FM46A はシリアルデータを出力していないとき、SO0 端子を利用してハードウェアフロー制御を行います。通信処理に対して内部の処理が完了していないとき、SO0 端子は L レベルを出力します。通信処理に対して内部の処理が十分なとき、または処理が完了したとき、SO0 端子は H レベルを出力します。よって外部コントローラはシリアルクロックを供給する前に SO0 端子の状態を確認する必要があります。

22.6.2　UART による通信

- ボーレート : 9600 ~ 128000bps (自動検出)
- データ長: 8 ビット (LSB First)
- パリティビット: なし
- STOP ビット: 1 ビット

リセット後、TMP89FM46A はシリアルデータとして 0x86 を受信すると、以降 UART による通信を行います。同時に、受信したデータ(0x86)のパルス幅を測定し、自動的に基準ボーレートを設定します。その後の通信は全てその基準ボーレートが使用されます。各動作コマンドの通信タイミングについては、「22.14 AC 特性 (UART)」を参照してください。

なお、利用可能なボーレートは動作周波数によって変わります。表 22-4 に利用可能なボーレートの目安を示します。ただし表 22-4 で利用可能の条件であっても、外部コントローラ(パソコン等)や発振子の周波数誤差、通信端子の負荷容量などの要因により、通信が正しく動作しない場合があります。

表 22-4 利用可能なボーレートの目安

	9600bps	19200bps	38400bps	57600bps	115200bps	128000bps
10MHz	O	O	O	O	O	O
8MHz	O	O	O	O	O	O
7.3728MHz	O	O	O	O	O	−
6.144MHz	O	O	O	−	−	O
6MHz	O	O	O	O	O	O
5MHz	O	O	O	−	−	−
4.9152MHz	O	O	O	O	−	−
4.19MHz	O	O	O	−	−	O
4MHz	O	O	O	O	O	O
2MHz	O	O	O	O	−	−
1MHz	O	O	−	O	−	−

注 1)　O : 利用可能、− : 利用不可

22.7　メモリマッピング

図 22-3 にシリアル PROM モードと MCU モードのメモリマップを示します。

シリアル PROM モードではデータ領域の 0x1000～0x17FF、コード領域の 0x1000～0x1FFF に BOOTROM (マスク ROM)がマッピングされます。

RAM ローダコマンド(以下 0x60 コマンド)を使用して独自のプログラムでフラッシュメモリに書き込みや消去を行うときは、フラッシュメモリ制御レジスタ(FLSCR1, FLSCR2)によって領域を切り替えながら実行する必要があります。アドレスの指定については「フラッシュメモリ」の章を参照してください。

フラッシュメモリ書き込みコマンド(以下 0x30 コマンド)やフラッシュメモリ消去コマンド(以下 0xF0 コマンド)を実行するときは、BOOTROM が自動的にアドレス変換を行いますので、フラッシュメモリのアドレスは MCU モード(FLSCR1<BAREA>="0"時)と同様に 0x8000～0xFFFF を指定してください。

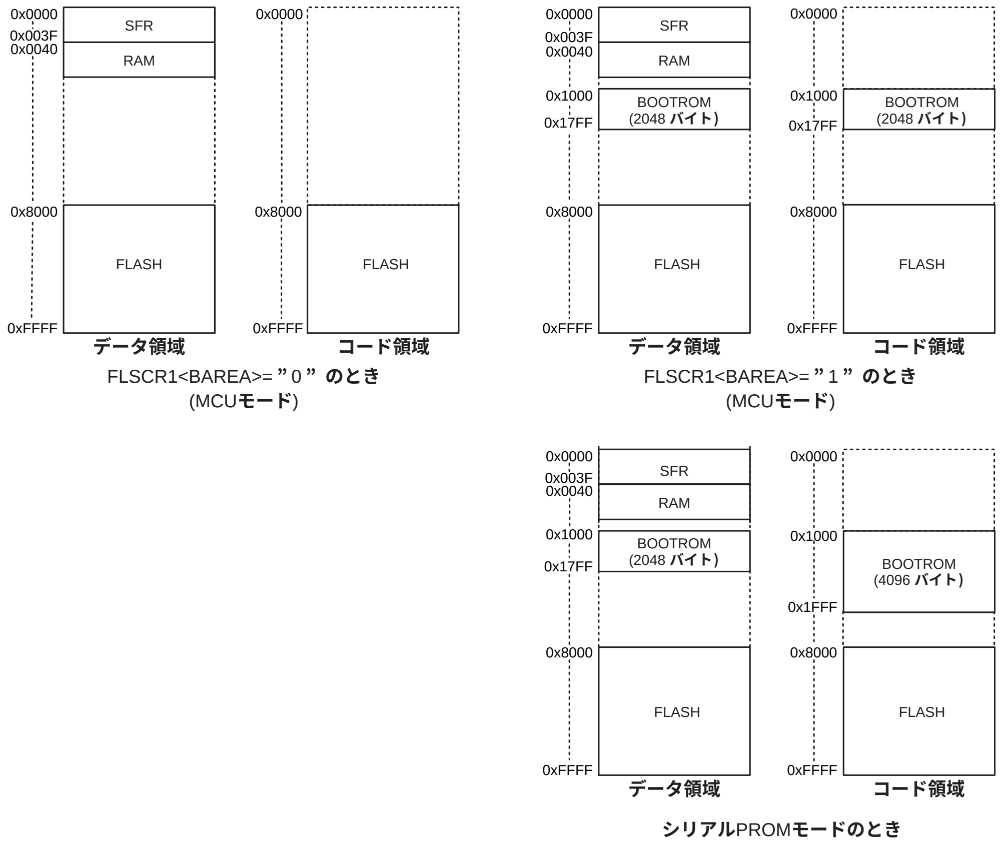


図 22-3 メモリマッピング

22.8　動作コマンド

シリアル PROM モードでは、表 22-5 に示すコマンドを使用します。リセット解除後、TMP89FM46A はマッチングデータ 1 (0x86 or 0x30) 待ちの状態となります。

表 22-5 シリアル PROM モード動作コマンド

コマンドデータ	動作コマンド	備考
0x86 or 0x30	セットアップ (マッチングデータ 1, 2)	リセット解除後は、常にこのコマンドからスタートします。 通信フォーマットは、マッチングデータ 1 が 0x86 の場合 UART、0x30 の場合 SIO で動作します。
0xF0	フラッシュメモリ消去	フラッシュメモリ領域(アドレス 0x8000 ~ 0xFFFF)の消去が可能です。
0x30	フラッシュメモリ書き込み	フラッシュメモリ領域 (アドレス 0x8000 ~ 0xFFFF) への書き込みが可能です。
0x40	フラッシュメモリ読み出し	フラッシュメモリ領域 (アドレス 0x8000 ~ 0xFFFF) の読み出しが可能です。
0x60	RAM ローダ	特定の RAM 領域 (アドレス 0x0060 ~ 0x083F)への書き込みが可能です。
0x90	フラッシュメモリ SUM 出力	フラッシュメモリの全領域 (アドレス 0x8000 ~ 0xFFFF) の 0xFF チェックデータ、チェックサム(2 バイト)を上位、下位の順に出力します。
0xC0	製品識別コード出力	製品を識別するためのコードを出力します。
0xC3	フラッシュメモリステータス出力	Security Program の状態等のステータスコードを出力します。
0xD0	マスク ROM エミュレーション設定	124K, 96K バイトのフラッシュ製品で小容量のマスク ROM 製品をエミュレートする場合に設定します。
0xFA	フラッシュメモリセキュリティ設定	Security Program の設定が可能です。

各コマンドの概要を以下に示します。詳細な動作については、22.8.1 以降を参照してください。

1. フラッシュメモリ消去コマンド

   Chip Erase（フラッシュメモリの全面消去）または Sector Erase（フラッシュメモリの 4K バイト単位の消去）のいずれかの方法でフラッシュメモリを消去することができます。消去されたエリアのデータは 0xFF となります。Security Program が設定されているとき、またはオプションコード EPFC_OP が 0xFF のとき、フラッシュ消去コマンドの Sector Erase は実行できません。Security Program 設定を解除するには、フラッシュ消去コマンドの Chip Erase を実行してください。なお、TMP89FM46A はブランク品または EPFC_OP が 0xFF の場合を除き、フラッシュメモリの消去を行う前にパスワード照合を行います。パスワードが一致しない限り、フラッシュメモリ消去コマンドは実行されません。

2. フラッシュメモリ 書き込みコマンド

   指定したフラッシュメモリのアドレスに、1 バイト単位で任意のデータを書き込むことができます。外部コントローラは、書き込みデータをインテル Hex フォーマットのバイナリデータとして送信してください。エンドレコードまでエラーがなければ、TMP89FM46A はフラッシュメモリ全領域(0x8000 ~ 0xFFFF) のチェックサムを計算し、その結果を返します。なお、フラッシュメモリ書き込みコマンドは、Security Program が設定されている場合、実行できません。この場合事前にフラッシュメモリ消去コマンドによって Chip Erase を実行してください。また、TMP89FM46A はブランク品の場合を除き、フラッシュメモリ書き込みコマンドを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ書き込みコマンドは実行されません。

3. フラッシュメモリ読み出しコマンド

   指定したフラッシュメモリのアドレスから 1 バイト単位でデータを読み出すことができます。外部コントローラは、読み出すメモリの開始アドレスとバイト数を送信してください。TMP89FM46A は指定したバイト数分のデータを出力した後、出力したデータのチェックサムを計算し、その結果を返します。なお、フラッシュメモリ読み出しコマンドは、Security Program が設定されている場合、実行できません。この場合事前にフラッシュメモリ消去コマンドによって Chip Erase を実行してください。また、TMP89FM46A はブランク品の場合を除き、フラッシュメモリ読み出しコマンドを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ読み出しコマンドは実行されません。

4. RAM ローダコマンド

   RAM ローダは、外部コントローラからインテル Hex フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了するとチェックサムを計算し、その結果を送信後、最初のデータレコードで指定された RAM のアドレスにジャンプし、ユーザープログラムの実行を開始します。なお、RAM ローダコマンドは、Security Program が設定されている場合、実行できません。

この場合事前にフラッシュメモリ消去コマンドによって Chip Erase を実行してください。また、TMP89FM46A はブランク品の場合を除き、RAM ローダコマンドを実行する前にパスワード照合を行います。パスワードが一致しない場合、RAM ローダコマンドは実行されません。

5. フラッシュメモリ SUM 出力コマンド

　フラッシュメモリ全領域(0x8000 ~ 0xFFFF) のチェックサムを計算し、その結果を返します。

6. 製品識別コード出力コマンド

　製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM、RAM の領域を示す情報を含んだデータで構成されます。外部コントローラはこのコードを読み取ることにより、書き込みを行う製品の識別をすることができます。

7. フラッシュメモリステータス出力コマンド

　0xFFE0 ~ 0xFFFF の状態と Security Program の状態が出力されます。外部コントローラはこのコードを読み取ることにより、フラッシュメモリの状態を識別することができます。

8. マスク ROM エミュレーション設定コマンド

　TMP89FM46A では機能しません。同コマンドは、フラッシュメモリが 96K バイト以上の製品で動作します。

9. フラッシュメモリセキュリティ設定コマンド

　パラレルモードでのフラッシュメモリデータの読み出しおよび書き込みを禁止します。シリアル PROM モードでは、フラッシュメモリ書き込みコマンド、RAM ローダーコマンドが禁止されます。フラッシュメモリ Security Program 設定を解除するにはフラッシュメモリ消去コマンドで、Chip Erase を実行してください。

22.8.1 フラッシュメモリ消去コマンド (0xF0)

表 22-6 にフラッシュメモリ消去コマンドを示します。

表 22-6 フラッシュメモリ消去コマンド

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ
	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	- (ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ (0xF0) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0xF0) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納先アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納先アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード数格納先アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error:何も送信しません
BOOT ROM	13 バイト目 14 バイト目	パスワード比較開始アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	15 バイト目 16 バイト目	パスワード比較開始アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	17 バイト目 18 バイト目	パスワード比較開始アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	19 バイト目 : m バイト目	パスワード列 -	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	n-2 バイト目	消去範囲指定	調整後のボーレート	-
	n-1 バイト目	-	調整後のボーレート	OK: チェックサム(上位) (注 3) Error: 何も送信しません
	n バイト目	-	調整後のボーレート	OK: チェックサム(下位) (注 3) Error: 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2) 消去範囲指定については「22.8.1.1 消去範囲指定」、チェックサムについては、「22.10 チェックサム(SUM)」、パスワードについては、「22.12.1 パスワード」を参照してください。

注 3) ブランク品またはフラッシュメモリの 0xFFFA が"0xFF"のときは、パスワード列を送信しないでください(パスワード数格納アドレス、パスワード比較開始アドレスは送信してください)。

注 4) フラッシュメモリの 0xFFFA が"0xFF"の場合、n-2 バイト目で 0x20 未満の値を送信(Sector Erase を実行)すると TMP89FM46A は動作停止状態となります。

注 5) パスワードエラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

22.8.1.1　消去範囲指定

フラッシュメモリ消去コマンドで、n-2 バイト目はフラッシュ領域の消去範囲を指定します。

ERASEC で消去する領域のアドレスを指定します。

0x20 未満のデータを指定すると、Sector Erase（フラッシュメモリの 4K バイト単位の消去）が実行されます。ただし 0xFFFA のメモリ内容が"0xFF"に設定された状態、または Security Program が設定された状態で Sector Erase を実行すると無限ループ状態となります。

0x20 以上のデータを指定すると、Chip Erase（フラッシュメモリの全面消去）が実行され、フラッシュメモリの Security Program が解除されます。よってフラッシュメモリの Security Program を解除するためには、Sector Erase ではなく Chip Erase を実行してください。

消去範囲指定データ（n-2 バイト目のデータ）

7	6	5	4	3	2	1	0
ERASEC							

ERASEC	消去領域開始アドレス	0x00	Reserved
		0x01	Reserved
		0x02	Reserved
		0x03	Reserved
		0x04	Reserved
		0x05	Reserved
		0x06	Reserved
		0x07	Reserved
		0x08	0x8000 ~ 0x8FFF
		0x09	0x9000 ~ 0x9FFF
		0x0A	0xA000 ~ 0xAFFF
		0x0B	0xB000 ~ 0xBFFF
		0x0C	0xC000 ~ 0xCFFF
		0x0D	0xD000 ~ 0xDFFF
		0x0E	0xE000 ~ 0xEFFF
		0x0F	0xF000 ~ 0xFFFF
		0x10	Reserved
		0x11	Reserved
		0x12	Reserved
		0x13	Reserved
		0x14	Reserved
		0x15	Reserved
		0x16	Reserved
		0x17	Reserved
		0x18	Reserved
		0x19	Reserved
		0x1A	Reserved
		0x1B	Reserved
		0x1C	Reserved
		0x1D	Reserved
		0x1E	Reserved
		0x1F	Reserved
		0x20 以上	Chip Erase(全領域の消去)

注 1)　フラッシュメモリの存在しない領域に対して Sector Erase を実行すると TMP89FM46A は通信を終了し動作停止状態となります。

注 2)　Reserved 設定のデータを送信すると、TMP89FM46A は通信を終了し動作停止状態となります。

22.8.2　フラッシュメモリ書き込みコマンド (動作コマンド: 0x30)

表 22-7 にフラッシュメモリ書き込みコマンドの転送フォーマットを示します。

表 22-7 フラッシュメモリ書き込みコマンド転送フォーマット

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	- (ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ (0x30) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x30) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納先アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納先アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード数格納先アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error:何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	15 バイト目 16 バイト目	パスワード比較開始アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	17 バイト目 18 バイト目	パスワード比較開始アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	19 バイト目 : m バイト目	パスワード列 注 -	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	m + 1 byte : n - 3 バイト目	インテル Hex フォーマット (Binary)	調整後のボーレート	- -
	n - 2 バイト目	-	調整後のボーレート	OK: 0x55 オーバライト検出: 0xAA
	n - 1 バイト目	-	調整後のボーレート	OK: チェックサム (High) (注 3) Error: 何も送信しません
	n バイト目	-	調整後のボーレート	OK: チェックサム (Low) (注 3) Error: 何も送信しません
	n + 1 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-

注 1)　“xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。 詳細は表 22-18 を参照してください。

注 2)　インテル Hex フォーマットについては、「22.11 インテル Hex フォーマット(Binary)」 、チェックサムについては、「22.10 チェックサム(SUM)」 、パスワードについては、「22.12.1 パスワード」 を参照してください。

注 3)　0xFFE0 ~ 0xFFFF の領域がすべて “0xFF” の場合、パスワード判定は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要です。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、

TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 5) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、$\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) フラッシュメモリのすべてのデータが同一データの場合、アドレス 0xFFE0 ~ 0xFFFF の領域にのみ書き込みを行わないでください。もし、この領域にのみ書き込みが行われるとパスワードエラーとなるため、以降の処理が実行できなくなります。

注 7) n-2 バイト目はオーバライトの検出フラグです。書き込み対象アドレスのメモリ内容がすでに 0xFF 以外だった場合、n-2 バイト目は 0xAA となります(そのアドレスに対して書き込みは行われず処理はスキップされます)。n-1、n バイト目のチェックサムは、書き込みを行わなかったメモリも含めて計算しますので、オーバライトを検出した場合、送信したデータのチェックサムと n-1、n バイト目のチェックサムは一致しません。

22.8.3　フラッシュメモリ読み出しコマンド(動作コマンド: 0x40)

表 22-10 にフラッシュメモリ読み出しコマンドの転送フォーマットを示します。

表 22-8 フラッシュメモリ読み出しコマンド転送フォーマット

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	- (ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ (0x40) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x40) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納先アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納先アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード数格納先アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error:何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	15 バイト目 16 バイト目	パスワード比較開始アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	17 バイト目 18 バイト目	パスワード比較開始アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	19 バイト目 : m バイト目	パスワード列 -	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	m + 1 バイト目 m + 2 バイト目	読み出し開始アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	m + 3 バイト目 m + 4 バイト目	読み出し開始アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	m + 5 バイト目 m + 6 バイト目	読み出し開始アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	m + 7 バイト目 m + 8 バイト目	読み出しバイト数 23-16	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	m + 9 バイト目 m + 10 バイト目	読み出しバイト数 15-08	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません

表 22-9 フラッシュメモリ読み出しコマンド転送フォーマット

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ
	m + 11 バイト目 m + 12 バイト目	読み出しバイト数 07-00	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
BOOT ROM	m + 13 バイト目 : n - 2 バイト目		調整後のボーレート 調整後のボーレート	メモリデータ メモリデータ
	n - 1 バイト目	-	調整後のボーレート	OK:チェックサム (High) Error: 何も送信しません
	n バイト目	-	調整後のボーレート	OK: チェックサム (Low) Error: 何も送信しません
	n + 1 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-

注 1) “xxH ¥ 3” を 3 バイト送信した後、動作停止状態となることを意味します。詳細は 表 22-18 を参照してください。

注 2) チェックサムについては、「22.10 チェックサム(SUM)」、パスワードについては、「22.12.1 パスワード」 を参照してください。

注 3) 0xFFE0 ~ 0xFFFF の領域がすべて“0xFF”の場合、パスワード判定は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要です。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 5) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、$\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) m+7, m+9, m+11 バイト目で 0x000000 または内蔵メモリサイズを超えたバイト数を受信した場合、TMP89FM46A は通信を終了し動作停止状態となります。

22.8.4　RAM ローダコマンド(動作コマンド: 0x60)

表 22-10 に RAM ローダコマンドの転送フォーマットを示します。

表 22-10 RAM ローダコマンド転送フォーマット

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ
	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	- (ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ (0x60) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x60) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納先アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納先アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード数格納先アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error:何も送信しません
BOOT ROM	13 バイト目 14 バイト目	パスワード比較開始アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	15 バイト目 16 バイト目	パスワード比較開始アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	17 バイト目 18 バイト目	パスワード比較開始アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	19 バイト目 : m バイト目	パスワード列 -	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	m + バイト目 : n - 2 バイト目	インテル Hex フォーマット (Binary)	調整後のボーレート 調整後のボーレート	- -
	n - 1 バイト目	-	調整後のボーレート	OK:チェックサム (High) (注 3) Error: 何も送信しません
	n バイト目	-	調整後のボーレート	OK: チェックサム (Low) (注 3) Error: 何も送信しません
RAM	-	書き込みを開始した RAM の先頭アドレスにジャンプしプログラムを実行します。		

注 1)　“xxH × 3” を 3 バイト送信した後、動作停止状態となることを意味します。詳細は 表 22-18 を参照してください。

注 2)　インテル Hex フォーマットについては 「22.11 インテル Hex フォーマット(Binary)」 、チェックサムについては、 「22.10 チェックサム(SUM)」、パスワードについては、「22.12.1 パスワード」 を参照してください。

注 3)　0xFFE0 ~ 0xFFFF の領域がすべて “0xFF” の場合、パスワード判定は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要です。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4)　パスワード列を送信した後、エンドレコードだけの送信を行わないようにしてください。もし、TMP89FM46A がパスワード列を受信した後にエンドレコードを受信した場合、正しく動作しないことがあります。

注 5)　フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、$\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

22.8.5　フラッシュメモリ SUM 出力コマンド (動作コマンド: 0x90)

表 22-11 にフラッシュメモリ SUM 出力コマンドの転送フォーマットを示します。

表 22-11 フラッシュメモリ SUM 出力コマンド転送フォーマット

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	- (ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ (0x90) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x90) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)
	7 バイト目	-	調整後のボーレート	0x55 : − 0xAA: 全てのデータが 0xFF
	8 バイト目	-	調整後のボーレート	OK: チェックサム (High) (注 2) Error: 何も送信しません
	9 バイト目	-	調整後のボーレート	OK: チェックサム (Low) (注 2) Error: 何も送信しません
	10 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-

注 1)　“xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は表 22-18 を参照してください。

注 2)　チェックサムについては「22.10 チェックサム(SUM)」を参照してください。

注 3)　7 バイト目は、チェックサムの対象データが全て 0xFF だった場合に 0xAA となります。1 バイトでも 0xFF 以外だった場合は 0x55 となります。.

22.8.6 製品識別コード出力コマンド(動作コマンド: 0xC0)

表 22-12 に製品識別コード出力コマンドの転送フォーマットを示します。

表 22-12 製品識別コード出力コマンド転送フォーマット

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ	
	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	-(ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません	
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK:エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません	
	5 バイト目 6 バイト目	動作コマンドデータ(0xC0) -	調整後のボーレート 調整後のボーレート	- OK:エコーバックデータ (0xC0) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)	
	7 バイト目		調整後のボーレート	0x3A	スタートマーク
	8 バイト目		調整後のボーレート	0x13	転送データ数 (9~27 バイト目までのバイト数)
	9 バイト目		調整後のボーレート	0x03	アドレス長 (3 バイト)
	10 バイト目		調整後のボーレート	0xFD	Reserved
	11 バイト目		調整後のボーレート	0x00	Reserved
	12 バイト目		調整後のボーレート	0x00	Reserved
	13 バイト目		調整後のボーレート	0x00	Reserved
BOOT ROM	14 バイト目(注 2)			0x80	ROM サイズコード
	15 バイト目		調整後のボーレート	0x01	ROM のブロック数 (1 ブロック)
	16 バイト目(注 3)		調整後のボーレート	0x00	ROM の先頭アドレス (上位)
	17 バイト目(注 3)		調整後のボーレート	0x80	ROM の先頭アドレス (中位)
	18 バイト目(注 3)		調整後のボーレート	0x00	ROM の先頭アドレス (下位)
	19 バイト目(注 3)		調整後のボーレート	0x00	ROM の終了アドレス (上位)
	20 バイト目(注 3)		調整後のボーレート	0xFF	ROM の終了アドレス (中位)
	21 バイト目(注 3)		調整後のボーレート	0xFF	ROM の終了アドレス (下位)
	22 バイト目(注 4)		調整後のボーレート	0x00	RAM の先頭アドレス (上位)
	23 バイト目(注 4)		調整後のボーレート	0x00	RAM の先頭アドレス (中位)
	24 バイト目(注 4)		調整後のボーレート	0x60	RAM の先頭アドレス (下位)
	25 バイト目(注 4)		調整後のボーレート	0x00	RAM の終了アドレス (上位)
	26 バイト目(注 4)		調整後のボーレート	0x08	RAM の終了アドレス (中位)
	27 バイト目(注 4)		調整後のボーレート	0x3F	RAM の終了アドレス (下位)
	28 バイト目		調整後のボーレート	0xYY	0xYY : 転送データのチェックサム (9 ~ 27 バイト目までの総和の 2 の補数)
	29 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-	

注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は表 22-18 を参照してください。

注 2) 14 バイト目の ROM サイズコードについては、表 22-13 を参照してください。

注 3) 16~21 バイト目は書き込み可能なフラッシュメモリのアドレス範囲を示します。

注 4) 22~27 バイト目は RAM ローダで利用可能なフラッシュメモリ領域と RAM 領域を示します。ここで示すアドレス範囲は BOOTROM で使用する作業領域を含みませんので、実際の製品に内蔵する RAM サイズよりも小さくなります。

表 22-13 ROM サイズコード(14 バイト目)

7	6	5	4	3	2	1	0	
ROMSIZE					"0"	"0"	"0"	TMP89FM46A 規定値(1000 0000)

ROMSIZE	フラッシュメモリサイズ情報	00010 : 4K バイト 00100 : 8K バイト 01000 : 16K バイト 10000 : 32K バイト 11000 : 48K バイト 11110 : 60K バイト 10001 : 96K バイト 11111 : 124K バイト	Read only

22.8.7 フラッシュメモリステータス出力コマンド (0xC3)

表 22-14 にフラッシュメモリステータス出力コマンドを示します。

表 22-14 フラッシュメモリステータス出力コマンド

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	-(ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません	
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK:エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません	
	5 バイト目 6 バイト目	動作コマンドデータ (0xC3) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0xC3) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)	
	7 バイト目		調整後のボーレート	0x3A	スタートマーク
	8 バイト目		調整後のボーレート	0x04	バイトカウント (9~12 バイト目までの数)
	9 バイト目		調整後のボーレート	0x00 ~ 0x7F	ステータスコード 1
	10 バイト目		調整後のボーレート	0x00	Reserved
	11 バイト目		調整後のボーレート	0x00	Reserved
	12 バイト目		調整後のボーレート	0x00	Reserved
	13 バイト目		調整後のボーレート	チェックサム (9~12 バイト目までの総和の 2 の補数)	
	14 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-	

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。.
注 2) ステータスコード 1 の詳細については、「22.8.7.1 フラッシュメモリステータスコード」を参照してください。

22.8.7.1　フラッシュメモリステータスコード

フラッシュメモリステータスコードは 7 バイトのデータで、フラッシュメモリ Security Program の状態、0xFFE0 から 0xFFFF の状態を示します。

表 22-15 フラッシュメモリステータスコード

データ	データの意味	TMP89FM46A の場合
1st	スタートマーク	0x3A
2nd	転送データ数 (3rd ~ 6th データの 4 バイト)	0x04
3rd	ステータスコード	0x00 ~ 0x1F (下記を参照)
4th	Reserved	0x00
5th	Reserved	0x00
6th	Reserved	0x00
7th	転送データのチェックサム (3th ~ 6th データまでの総和の 2 の補数)	3rd データが 0x00 のとき : 0x00 3rd データが 0x01 のとき : 0xFF 3rd データが 0x02 のとき : 0xFE 3rd データが 0x03 のとき : 0xFD :

ステータスコード 1

7	6	5	4	3	2	1	0	
				EPFC	DAFC	RPENA	BLANK	初期値(**** ****)

EPFC	フラッシュメモリ消去コマンド実行時のパスワード列判定 (0xFFFA の状態)	0: 1:	パスワード列の判定をスキップ(PNSA、PCSA のみ判定) パスワード列、PNSA、PCSA の判定を行う
DAFC	オンチップデバッグ機能(OCD)の Security Program チェック(0xFFFB の状態)	0: 1:	OCD 起動時に Security Program チェックをスキップする OCD 起動時に Security Program チェックを行う
RPENA	フラッシュメモリ Security Program 状態	0: 1:	Security Program が解除された状態 Security Program が設定された状態
BLANK	0xFFE0 ~ 0xFFFF の状態	0: 1:	0xFFE0 ~0xFFFF までの領域のデータがすべて 0xFF の場合 0xFFE0 ~ 0xFFFF までの領域のデータが上記以外の場合

ステータスコード 1 の内容によって、実行が制限されるコマンドがあります。詳細は以下の表を参照してください。Security Program が設定されると「フラッシュメモリ書き込みコマンド」、「RAM ローダコマンド」、「Sector Erase」は実行できなくなります。これらのコマンドを実行するためには事前にフラッシュの Chip Erase を実行してください。

RPENA	BLANK	EPFC	DAFC	フラッシュメモリ書き込み、読み出し、RAM ローダコマンド	フラッシュメモリ SUM 出力、製品識別出力、ステータス出力コマンド	フラッシュメモリ消去コマンド		フラッシュメモリセキュリティ設定コマンド
						Chip Erase	Sector Erase	
0	0	0	0	O	O	O	×	×
1	0	0	0	×	O	O	×	×
0	1	0	*	Pass	O	O	×	Pass
		1	*	Pass	O	Pass		Pass
1	1	0	*	×	O	O	×	Pass
		1	*	×	O	Pass	×	Pass

注) O : コマンド実行可能
Pass: コマンド実行にはパスワードが必要
×: コマンド実行不可
(コマンドのエコーバックを返した後、TMP89FM46A は通信を終了し動作停止状態となります)

22.8.8　マスク ROM エミュレーション設定コマンド (0xD0)

表 22-16 にマスク ROM エミュレーション設定コマンドを示します。

本コマンドは TMP89FM46A では機能しません。同コマンドは、フラッシュメモリが 96K バイト以上の製品で動作します。

表 22-16 マスク ROM エミュレーション設定変更コマンド

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	-(ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK:エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ (0xD0) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0xD0) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)
	7 バイト目 8 バイト目	設定値	調整後のボーレート 調整後のボーレート	- OK:エコーバックデータ (0xD1) Error: 何も送信しません
	9 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-

注 1)　"xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

22.8.9 フラッシュメモリセキュリティ設定コマンド (0xFA)

表 22-17 にフラッシュメモリセキュリティ設定コマンドを示します。

表 22-17 フラッシュメモリセキュリティ設定コマンド

	転送バイト数	外部コントローラから TMP89FM46A への転送データ	ボーレート	TMP89FM46A から 外部コントローラへの転送データ
	1 バイト目 2 バイト目	マッチングデータ 1 (0x86 or 0x30) -	自動調整 調整後のボーレート	- (ボーレート自動判定) OK:エコーバックデータ (0x86 or 0x30) Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 (0x79 or 0xCF) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0x79 or 0xCF) Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ (0xFA) -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ (0xFA) Error: 0xA1 × 3, 0xA3 × 3, 0x63 × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納先アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納先アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
BOOT ROM	11 バイト目 12 バイト目	パスワード数格納先アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error:何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレス 23-16	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	15 バイト目 16 バイト目	パスワード比較開始アドレス 15-08	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	17 バイト目 18 バイト目	パスワード比較開始アドレス 07-00	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	19 バイト目 : m バイト目	パスワード列 -	調整後のボーレート 調整後のボーレート	- OK:何も送信しません Error: 何も送信しません
	n バイト目	-	調整後のボーレート	OK: 0xFB (注 3) Error: 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-

注 1) "xxH × 3"の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2) パスワードについては、後述の「22.12.1 パスワード」を参照してください。

注 3) ブランク品に対してフラッシュメモリセキュリティ設定コマンドを実行した場合、また、非ブランク品でパスワードエラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) パスワードアドレス、列データ受信中に通信エラーが発生した場合、TMP89FM46A は通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 5) フラッシュメモリセキュリティが設定されていない場合は、パラレル PROM モードで ROM データが自由に読み出し可能となりますので量産時は必ずフラッシュメモリセキュリティを設定してください。

22.9　エラーコード

TMP89FM46A が各エラーを検出した場合に送信するエラーコードを表 22-18 に示します。

表 22-18 エラーコード一覧

送信データ	エラー内容
0x63, 0x63, 0x63	動作コマンドエラー
0xA1, 0xA1, 0xA1	受信データのフレーミングエラー
0xA3, 0xA3, 0xA3	受信データのオーバーランエラー

注)　パスワードエラーの場合は、エラーコードは送信されません。

22.10 チェックサム(SUM)

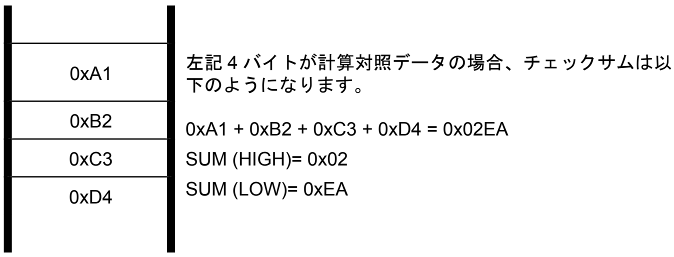
以下の動作コマンドでは、コマンド実行結果の正当性を確認するために、最後にチェックサムを返します。

- フラッシュメモリ消去コマンド(0xF0)
- フラッシュメモリ書き込みコマンド(0x30)
- フラッシュメモリ SUM 出力コマンド(0x30)
- フラッシュメモリ読み出しコマンド(0x40)
- RAM ローダコマンド(0x60)
- 製品識別コード出力コマンド(0xC0)
- フラッシュメモリステータス出力コマンド(0xC3)

22.10.1 計算方法

チェックサム (SUM) は byte + byte... + byte の結果をワードで返します。つまり、バイトでデータを読み出して計算し、その結果をワードで返します。

例）



ただし、製品識別コード出力コマンド、フラッシュメモリステータス出力コマンドは計算方法が異なります。詳細は表 22-19 を参照してください。

22.10.2 計算対象データ

表 22-19 に各コマンドにおけるチェックサムの計算対象データを示します。

表 22-19 チェックサムの計算対象データ

動作コマンド	計算対象データ	備考
フラッシュメモリ消去コマンド	消去したフラッシュメモリエリアの全データ（フラッシュメモリの全体または一部）	Chip Erase（全面消去）を行った場合は、フラッシュメモリの全領域がチェックサムの対象となります。Sector Erase を行った場合は、消去した領域のみがチェックサムの対象となります。
フラッシュメモリ書き込みコマンド	フラッシュメモリの全領域のデータ	フラッシュメモリの一部に書き込みを行った場合でも、フラッシュメモリ全領域(0x8000 ~ 0xFFFF)のチェックサムを計算します。なお、インテル Hex フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
フラッシュメモリ SUM 出力コマンド		
フラッシュメモリ読み出しコマンド	読み出しを行ったフラッシュメモリのデータ	
RAM ローダコマンド	最初に受信した RAM アドレスから最後に受信した RAM アドレスまでに書き込まれた RAM のデータ	インテル Hex フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
製品識別コード出力コマンド	転送データの 9~18 バイト目のデータ	詳細については、「22.8.6 製品識別コード出力コマンド(動作コマンド: 0xC0)」を参照してください。
フラッシュメモリステータス出力コマンド	転送データの 9~12 バイト目のデータ	詳細については、「表 22-14 フラッシュメモリステータス出力コマンド」を参照してください。

22.11 インテル Hex フォーマット(Binary)

以下の動作コマンドでは、転送フォーマットの一部にインテル Hex フォーマットを使用しています。

- フラッシュメモリ書き込みコマンド(0x30)
- RAM ローダコマンド(0x60)

インテル Hex フォーマットの定義については、表 22-20 を参照してください。

データは Binary で扱います。スタートマーク“:”は、0x3A の Binary データとして送信してください。

1. TMP89FM46A は各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク (0x3A “:”) 待ちとなりますので、外部コントローラがレコード間に 0x3A 以外のデータを送信してもそのデータは無視されます。
2. 外部コントローラは、エンドレコードのチェックサムを送信した後は何も送信せず、3 バイトの受信データ (オーバライト検出、チェックサムの上位と下位) 待ちとなるようにしてください。(フラッシュメモリ書き込みコマンドの場合。RAM ローダコマンド場合はチェックサムの上位と下位の 2 バイトです)
3. 受信エラーまたはインテル Hex フォーマットエラーが発生した場合は、エラーコードを送信せず、TMP89FM46A は動作停止状態となります。インテル Hex フォーマットエラーは以下の場合発生します。
   - レコードタイプが“0x00”、“0x01”、“0x02”以外の場合
   - インテル Hex フォーマットのチェックサムエラーが発生した場合
   - 拡張レコード(レコードタイプ = 0x02)のデータ長が 0x02 でない場合
   - 拡張レコード(レコードタイプ= 0x02)のセグメントアドレスが 0x2000 以上で、 その後データレコードを受信した場合
   - エンドレコード(レコードタイプ= 0x01)のデータ長が 0x00 でない場合
   - 拡張レコード(レコードタイプ= 0x02)のオフセットアドレスが 0x0000 以外の場合

表 22-20 インテル Hex フォーマットの定義

	(1)	(2)	(3)	(4)	(5)	(6)
	スタートマーク	データ長 (1 バイト)	オフセットアドレス (2 バイト)	レコードタイプ (1 バイト)	データ	チェックサム (1 バイト)
データレコード (レコードタイプ=00)	3A	データフィールドのデータ数	先頭バイトの 格納アドレス ※ビッグ・エンディアンで指定	00	データ (1 ~ 255 バイト)	(2)データ長 (3)オフセットアドレス (4)レコードタイプ (5)データ の合計の 2 の補数
エンドレコード (レコードタイプ=01)	3A	00	00 00	01	無し	(2) データ長 (3)オフセットアドレス (4)レコードタイプ の合計の 2 の補数
拡張レコード (レコードタイプ=02)	3A	02	00 00	02	セグメントアドレス (2 バイト) ※ビッグ・エンディアンで指定	(2)データ長 (3)オフセットアドレス (4)レコードタイプ (5)セグメントアドレス の合計の 2 の補数

22.12　セキュリティ

シリアル PROM モードでは、第三者の不正なメモリアクセスを禁止するために、「パスワード」、「Security Program」の 2 つのセキュリティ機能を利用することができます

22.12.1　パスワード

シリアル PROM モードとオンチップデバッグ機能(以下 OCD と表記)に対応したセキュリティ機能で、フラッシュメモリ内の任意のデータ(ユーザメモリの一部)を使用してパスワードを設定することができます。パスワードが設定されると、シリアル PROM モードでのフラッシュメモリの読み出しや書き込みなどの動作コマンドはパスワードの認証が必要となります。OCD ではシステムを起動するためにパスワードの認証が必要となります。

パラレル PROM モードではパスワードによるアクセス制限はありませんので、パラレル PROM モードも含めたアクセス制限を行う場合は、Security Program の設定を併用してください。

22.12.1.1　パスワードのしくみ

TMP89FM46A は、フラッシュメモリ内の任意のデータ (連続する 8 バイト以上のデータ) をパスワードとして設定することができ、外部コントローラから送信されるパスワード列と、パスワードが設定された MCU のメモリデータ列を比較することによりパスワード列の認証を行います。パスワードを指定できる領域は、フラッシュメモリ内のアドレス 0x8000 ~ 0xFEFF となります。

22.12.1.2　パスワードの構成

パスワードは、PNSA、PCSA、パスワード列の 3 つで構成されています。図 22-4 にパスワードの構成(送信例)を示します。

- PNSA (パスワード数格納アドレス)

  0x8000 ~ 0xFEFF 内のアドレスを 3 バイトでで指定します。指定されたアドレスのメモリデータがパスワード列のバイト数になります。メモリデータが 0x07 以下の場合、アドレスが範囲外の場合はパスワードエラーとなります。

  なお、ここで指定されたメモリデータは N と定義します。

- PCSA (パスワード比較開始アドレス)

  0x8000 ~ (0xFEFF - N)内のアドレスを 3 バイトで指定します。指定されたアドレスは、パスワード列と比較するための開始アドレスとなります。アドレスが範囲外の場合はパスワードエラーとなります。

- パスワード列

  8 ~ 255 (=N)バイトのデータを指定します。PCSA で指定されたアドレスを開始アドレスとして、メモリデータとパスワード列を N バイト分だけ比較します。比較の結果、不一致があった場合、または連続して 3 バイト以上同一のデータが指定された場合はパスワードエラーとなり、TMP89FM46A は動作停止状態となります。それ以降、外部デバイスは TMP89FM46A と通信ができなくなりますので、通信を再開する場合はリセット端子によってシリアル PROM モードを再起動してください。

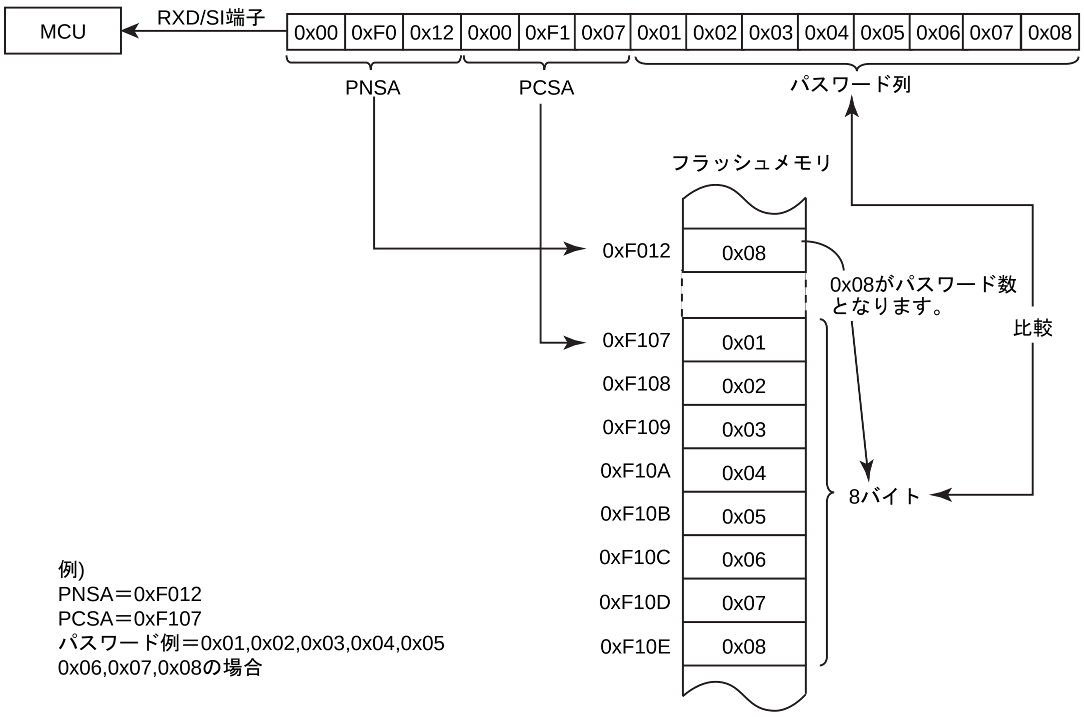


図 22-4 パスワードの構成(送信例)

22.12.1.3　パスワードの設定/解除/認証

- パスワードの設定

　パスワードはユーザプログラムの一部を利用することで実現しています。よって、パスワード設定のために特別な処理は不要で、フラッシュメモリにプログラムを書き込んだ時点でパスワードが設定されたことになります。

- パスワードの解除

　パスワードを解除するためにはフラッシュメモリの Chip Erase(全面消去)が必要です。フラッシュメモリがすべて 0xFF に初期化された時点でパスワードは解除されます。

- パスワードの認証

　TMP89FM46A のアドレス 0xFFE0 ~ 0xFFFF に書き込まれたデータが 1 バイトでも"0xFF"以外の場合、非ブランク品と判定され特定の動作コマンドを実行するにはパスワードの認証が必要となります。パスワードの認証には、PNSA、PCSA およびパスワード列を使用します。動作コマンドはパスワードの認証に成功したときだけ実行され、認証に失敗した場合 TMP89FM46A は動作停止状態となります。

　アドレス 0xFFE0 ~ 0xFFFF に書き込まれたデータがすべて “0xFF” の場合、ブランク品と判定されパスワードの認証は行われません。ただしブランク品の場合でも、特定の動作コマンドを実行するには PNSA、PCSA だけは必要です(パスワード列は不要です)。この場合 PNSA、PCSA は表 22-21 で定義された任意のアドレスを指定してください。

　ブランク品か非ブランク品かの判断は、「ステータス出力」コマンドを実行することで確認することができます。

　PNSA、PCSA、(パスワード列)が必要な動作コマンドを以下に示します。

- フラッシュメモリ消去コマンド(0xF0)
- フラッシュメモリ書き込みコマンド(0x30)
- フラッシュメモリ読み出しコマンド(0x40)
- RAM ローダコマンド(0x60)
- フラッシュメモリセキュリティ設定コマンド(0xFA)

22.12.1.4　パスワードの設定値、設定範囲

　パスワードは表 22-21 の条件に従って設定してください。この条件を満たさない場合パスワードエラーとなります。パスワードエラーが発生した場合、TMP89FM46A は何もデータを送信せず、動作停止状態となります。

表 22-21 パスワードの設定値、設定範囲

パスワード	ブランク品(注 1)	非ブランク品
PNSA (パスワード数格納アドレス)	0x8000 ≦PNSA ≦ 0xFEFF	0x8000 ≦PNSA ≦ 0xFEFF
PCSA (パスワード比較開始アドレス)	0x8000 ≦ PCSA ≦0xFEFF	0x8000 ≦ PCSA ≦0xFF00 - N
N (パスワード数)	*	8 ≦N
パスワード列	不要 (注 4, 5)	必要 (注 3)

注 1)　*: Don’t care.

注 2)　アドレス 0xFFE0 ~ 0xFFFF の領域がすべて“0xFF”となっている製品をブランク品とします。

注 3) 3 バイト以上同一となるデータは、パスワード列として設定できません (パスワード認証でエラーとなり、TMP89FM46A は何のデータも送信せず、停止状態となります)。

注 4) フラッシュメモリ書き込みコマンド、RAM ローダコマンドの時、ブランク品は PCSA の受信後、パスワード列の受信は行わず即座に Intel-Hex フォーマットの受信処理を行います。このとき外部コントローラはダミーのパスワード列を送信したとしても、TMP89FM46A は Intel-Hex フォーマットとしてスタートマーク(0x3A ":")を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に "0x3A"が含まれていると、誤ってスタートマークと検出されるためマイコンは動作停止状態となります。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

注 5) フラッシュメモリ消去コマンドでは、ブランク品に対してパスワード列を送信しないでください。

22.12.2 Security Program

パラレル PROM モード、シリアル PROM モード、OCD に対応したセキュリティ機能です。プロテクト用に専用のメモリを内蔵しており、設定するには特別なコマンドが必要です。Security Program が設定されると、パラレル PROM モードでのフラッシュメモリの読み出しが禁止されます。シリアル PROM モードでは、フラッシュメモリの読み出し、書き込みなどの動作コマンドの実行が禁止されます。OCD では、オプションコードによりシステムの起動を禁止するか、パスワード認証で起動するかを選択することができます。

22.12.2.1 Security Program のしくみ

TMP89FM46A は、専用メモリにプロテクト情報を書き込むことによって、フラッシュメモリのリードを抑制することができます。プロテクト情報は専用メモリに書き込まれますので、ユーザメモリのリソースを必要としません。

22.12.2.2 Security Program の設定/解除

- Security Program の設定

  Security Program を設定するには、「フラッシュメモリセキュリティ設定コマンド」を実行します。

- Security Program の解除

  Security Program を解除するには、「フラッシュメモリ消去コマンド」の Chip Erase を実行します。

22.12.3 オプションコード

割り込みベクタ領域内の特定のアドレスに規定のオプションコードを配置すると、フラッシュメモリ消去コマンド実行時のパスワード列認証の有無、および OCD を起動する時の Security Program チェック有無を切り替えることができます。

- 消去パスワードフリーコード EPFC_OP (0xFFFA)

  ソフトウエアの開発時は、頻繁にプログラムを変更することによってパスワードが分からなくなってしまうことがあります。このような場合は、消去パスワードフリーコード(EPFC_OP)を設定することにより「フラッシュメモリ消去コマンド(0xF0)」のパスワード列の認証を無効にすることができます。EPFC_OP は、ベクタ領域内の(0xFFFA)に割り当てられています。「フラッシュメモリ消去コマンド(0xF0)」のパスワード列を無効化するには、この EPFC_OP に 0xFF を配置するようにしてください。

  量産時は EPFC_OP に 0xFF 以外を配置することにより「フラッシュメモリ消去コマンド(0xF0)」のパスワード列の認証を有効にすることを推奨します。

  フラッシュメモリ消去コマンドでパスワード列の認証を無効にできるのは、Chip Erase のみです。EPFC_OP が 0xFF のときに Sector Erase を実行すると TMP89FM46A は動作停止状態となります。また、フラッシュメモリ消去コマンド以外のコマンドはパスワード列の認証を無効化することはできません。

- OCD Security Program フリーコード DAFC_OP (0xFFFB)

  TMP89FM46A は、第三者の不正なメモリアクセス防止するために Security Program を設定することができます。Security Program を設定するとメモリアクセスに関する動作コマンドに加え OCD の起動が制限されます。

  通常、製品の出荷時は Security Program を設定しますが、出荷後にメモリの内容を保持した状態で OCD を利用する可能性がある場合は、OCD Security Program フリーコード(DAFC_OP)を設定することにより、Security Program チェックをスキップして OCD を起動することができます(ただしパスワード列の認証は必要です)。

  DAFC_OP はベクタ領域内の(0xFFFB)に割り当てられています。OCD の起動時、Security Program チェックをスキップするには DAFC_OP に 0xFF を配置してください。この場合、Security Program のチェックは行われずパスワード列の認証のみで OCD を起動することができます。

  DAFC_OP に 0xFF 以外を配置すると、Security Program の状態によって OCD が利用できるかどうかが決定されます。Security Program が設定されている状態では OCD を起動することはできず TMP89FM46A は通信を終了し動作停止状態となります。この状態の TMP89FM46A で OCD を利用するには「フラッシュメモリ消去コマンド(0xF0)」によってフラッシュメモリの Chip Erase を実行する必要があります。Security Program が解除されているときは、パスワード列の認証のみで OCD を起動することができます。

表 22-22 オプションコード

シンボル	機能	アドレス	設定値
EPFC_OP	フラッシュメモリ消去コマンド実行時のパスワード列認証	0xFFFA	0xFF : パスワード列の認証をスキップ(PNSA、PCSA のみ認証) 0xFF 以外 : パスワード列、PNSA、PCSA の認証を行う
DAFC_OP	OCD 起動時の Security Program チェック	0xFFFB	0xFF : Security Program チェックをスキップする 0xFF 以外 : Security Program チェックを行う

（プログラム例）消去パスワード認証、OCD Security Program 認証を無効にする。

```
Vector Section romdata abs = 0xFFFA

    DB      0xFF        ; 消去時のパスワード列を無効 (EPFC_OP)
    DB      0xFF        ; OCD 起動時のアクセスを許可にする(DAFC_OP)
```

22.12.4　推奨設定

オプションコード、Security Program の推奨設定を表 22-23 に示します。

表 22-23 オプションコード、Security Program の推奨設定

<table>
<tr><th rowspan="2"></th><th colspan="3">デバイスの状態</th><th colspan="2">シリアル PROM モード</th><th colspan="2">パラレル PROM モード</th><th rowspan="2">OCD</th></tr>
<tr><th>EPFC_OP
(0xFFFA)</th><th>DAFC_OP
(0xFFFB)</th><th>Security
Program</th><th>メモリ
読み出し</th><th>消去</th><th>メモリ
読み出し</th><th>消去</th></tr>
<tr><td>ソフトウェア開発、
デバッグ時</td><td>0xFF</td><td>0xFF</td><td>解除</td><td>パスワード
列必要</td><td>可能</td><td>可能</td><td>可能</td><td>利用可能</td></tr>
<tr><td rowspan="4">量産時</td><td rowspan="2">0xFF</td><td>0xFF</td><td rowspan="4">設定</td><td rowspan="4">不可</td><td rowspan="2">可能</td><td rowspan="4">不可</td><td rowspan="4">可能</td><td>利用可能</td></tr>
<tr><td>0xFF 以外</td><td>利用不可</td></tr>
<tr><td rowspan="2">0xFF 以外</td><td>0xFF</td><td rowspan="2">パスワード
列必要</td><td>利用可能</td></tr>
<tr><td>0xFF 以外</td><td>利用不可</td></tr>
</table>

注 1)　オプションコードの設定に関係無く、パラレル PROM モードのときはチップ消去が可能です。

注 2)　Security Program が設定されていない場合は、パラレル PROM モードで ROM データが自由に読み出し可能となりますので量産時は必ず Security Program を設定してください。

22.13　フローチャート

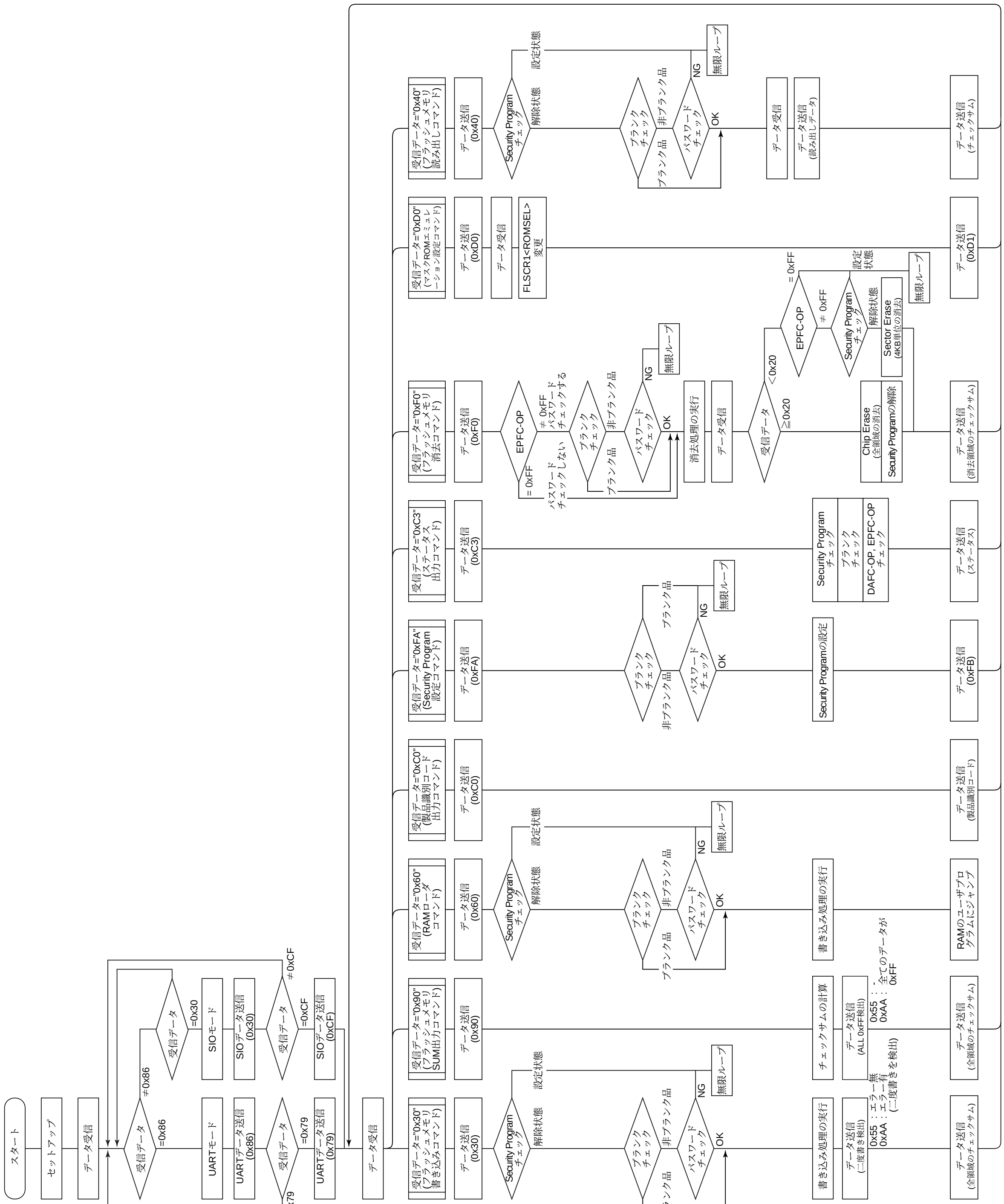


図 22-5 フローチャート

22.14　AC 特性 (UART)

表 22-24 UART タイミング-1

項目	記号	クロック数 (fcgck)	必要最低時間	
			At fcgck = 1 MHz	At fcgck = 10 MHz
MCU が 0x86 を受信してからエコーバックを送信するまでの時間	CMeb1	Approx. 660	660 µs	66 µs
MCU が 0x79 を 受信してからエコーバックを送信するまでの時間	CMeb2	Approx. 540	540 µs	54 µs
MCU が動作コマンド を受信してからエコーバックを送信するまでの時間	CMeb3	Approx. 300	300 µs	30 µs
チェックサム計算時間(フラッシュ)	CMfsm	Approx. 1493340 (32KB)	1.5 s	149 ms
チェックサム計算時間(RAM)	CMrsm	Approx. 160	160 µs	16 µs
MCU が Intel Hex データを受信してから、オーバライト検出データを送信するまでの時間	CMwr	Approx. 200	200 µs	20 µs
MCU が(読み出しバイト数の)データを受信してから、メモリデータを送信するまでの時間	CMrd	Approx. 430	430 µs	43 µs
MCU が(マスク ROM エミュレーション設定)データを受信してから、エコーバックを送信するまでの時間	CMem2	Approx. 420	420 µs	42 µs
Security Program 設定時間	CMrp	Approx. 1080	1.08 ms	108 µs

表 22-25 UART タイミング-2

項目	記号	クロック数 (fcgck)	必要最低時間	
			At fcgck = 1 MHz	At fcgck = 10 MHz
電源投入後、MODE, RESET 端子を L に保持する時間	RSsup	-	10 ms	
MODE, RESET 端子を H にした後、RXD が受信可能となるまでの時間	RXsup	-	20 ms	
MCU が 0x86 のエコーバックを送信してから RXD が受信可能となるまでの時間	CMtr1	Approx. 140	140 µs	14 µs
MCU が 0x79 のエコーバックを送信してから RXD が受信可能となるまでの時間	CMtr2	Approx. 90	90 µs	9 µs
MCU が動作コマンドのエコーバックを送信してから RXD が受信可能となるまでの時間	CMtr3	Approx. 270	270 µs	27 µs
現在のコマンドが終了した後、次の動作コマンドが受信可能となるまでの時間	CMnx	Approx. 1100	1.1 ms	110 µs

22.14.1 リセットタイミング

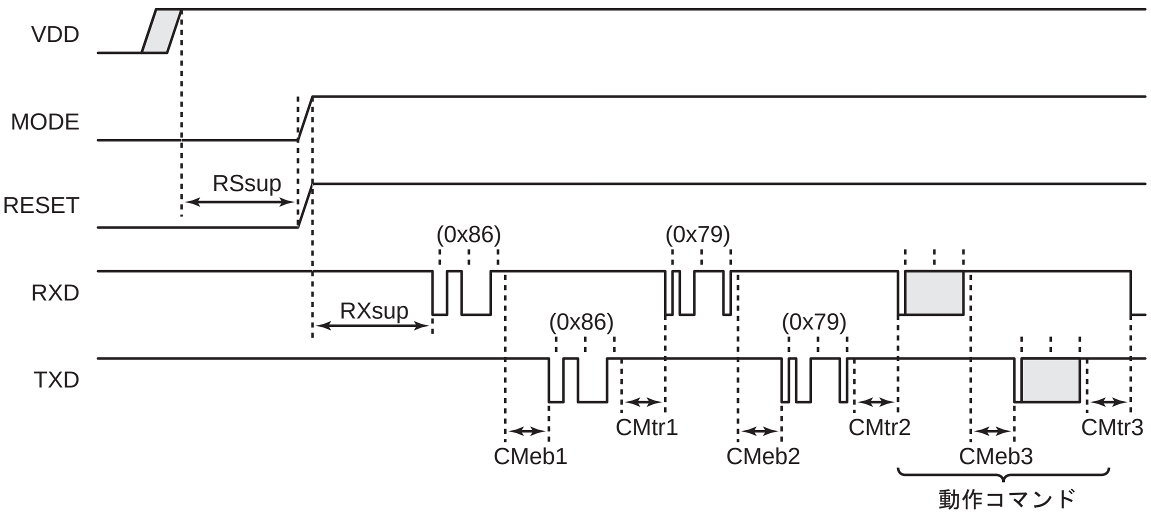


図 22-6 リセットタイミング

22.14.2 フラッシュメモリ消去コマンド (0xF0)

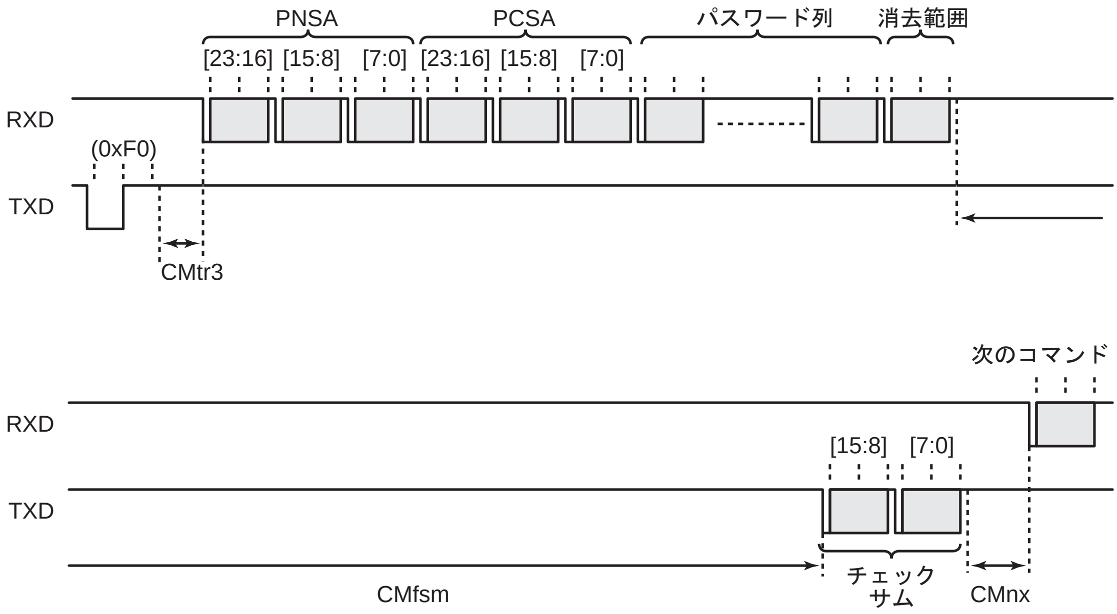


図 22-7 フラッシュメモリ消去コマンド

22.14.3　フラッシュメモリ書き込みコマンド (0x30)

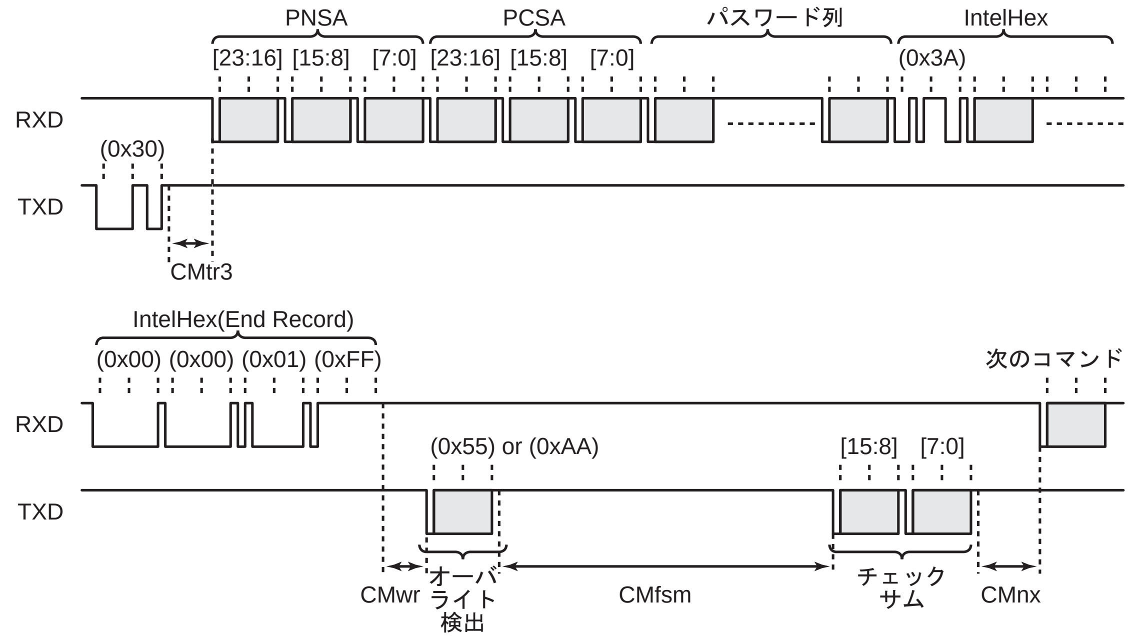


図 22-8 フラッシュメモリ書き込みコマンド

22.14.4　フラッシュメモリ読み出しコマンド (0x40)

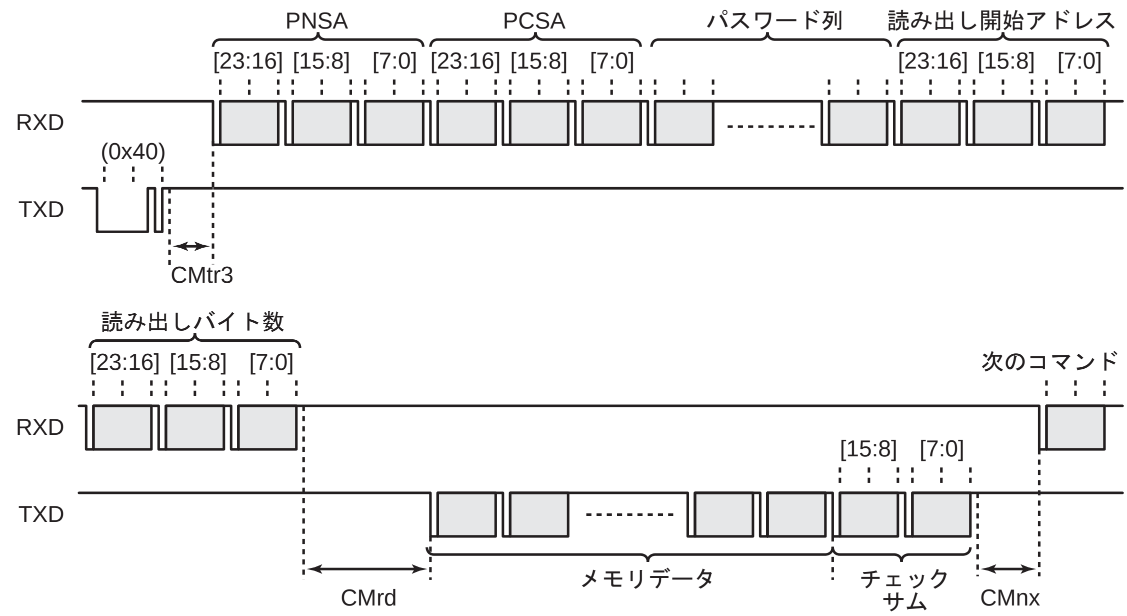


図 22-9 フラッシュメモリ読み出しコマンド

22.14.5　RAM ローダコマンド (0x60)

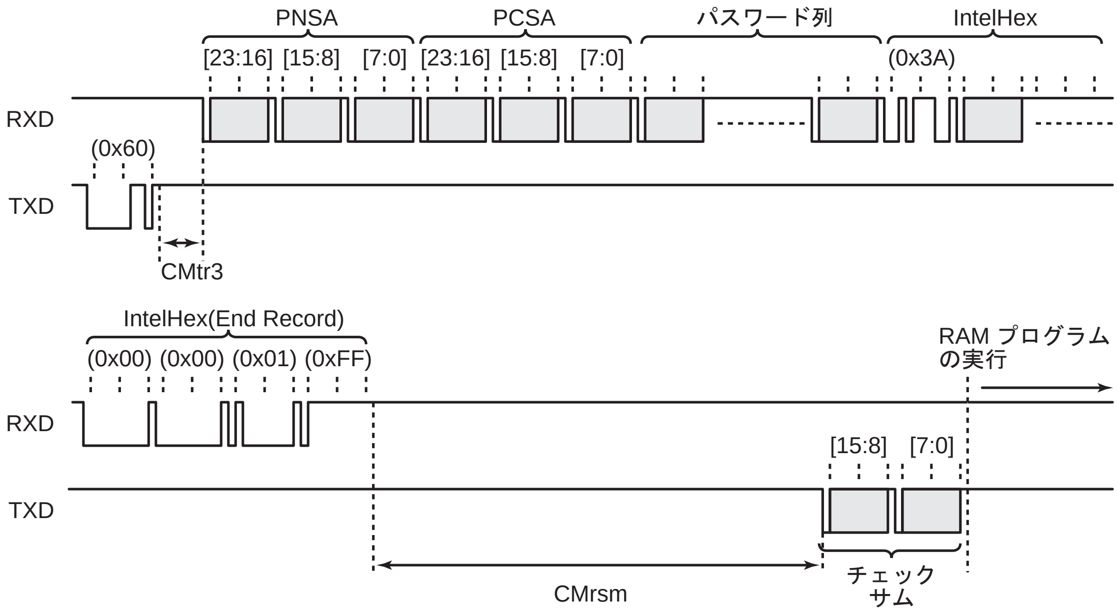


図 22-10 RAM ローダコマンド

22.14.6　フラッシュメモリ SUM 出力コマンド (0x90)

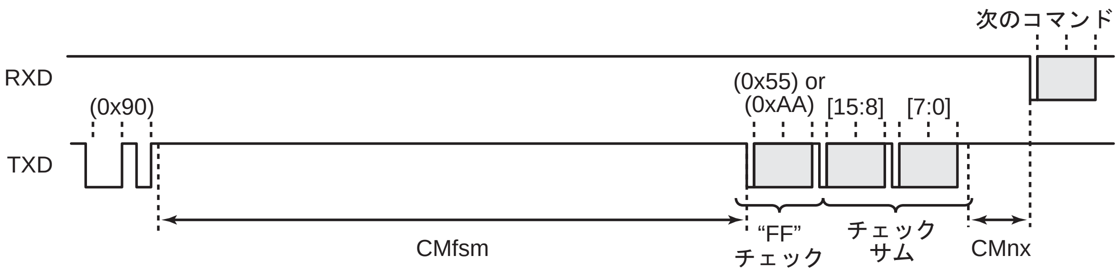


図 22-11 フラッシュメモリ SUM 出力コマンド

22.14.7　製品識別コード出力コマンド (0xC0)

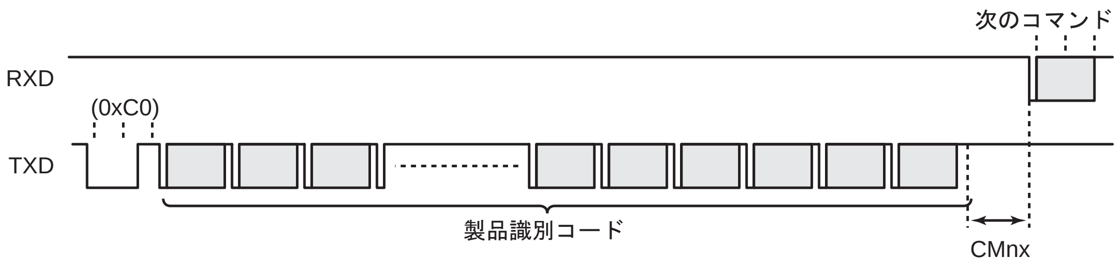


図 22-12 製品識別コード出力コマンド

22.14.8　フラッシュメモリステータス出力コマンド (0xC3)

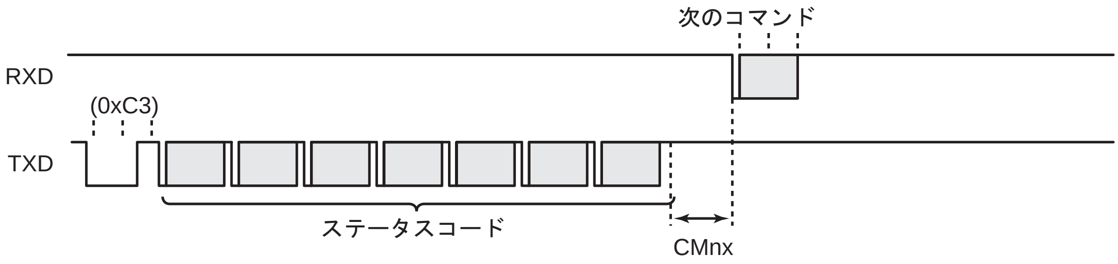


図 22-13 フラッシュメモリステータス出力コマンド

22.14.9　マスク ROM エミュレーション設定コマンド (0xD0)

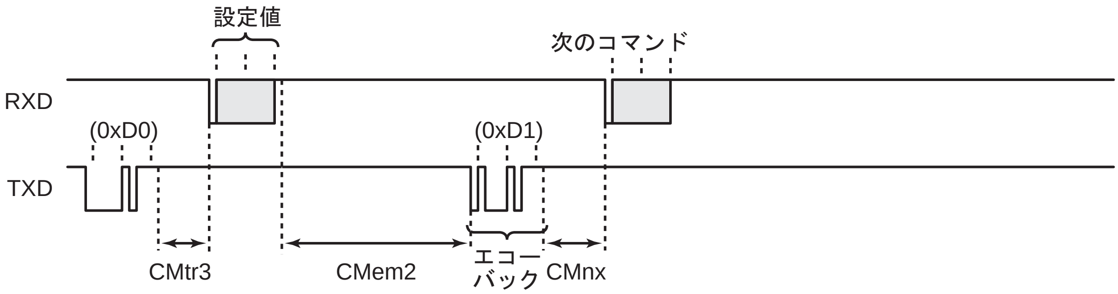


図 22-14 マスク ROM エミュレーション設定コマンド

22.14.10　フラッシュメモリセキュリティ設定コマンド (0xFA)

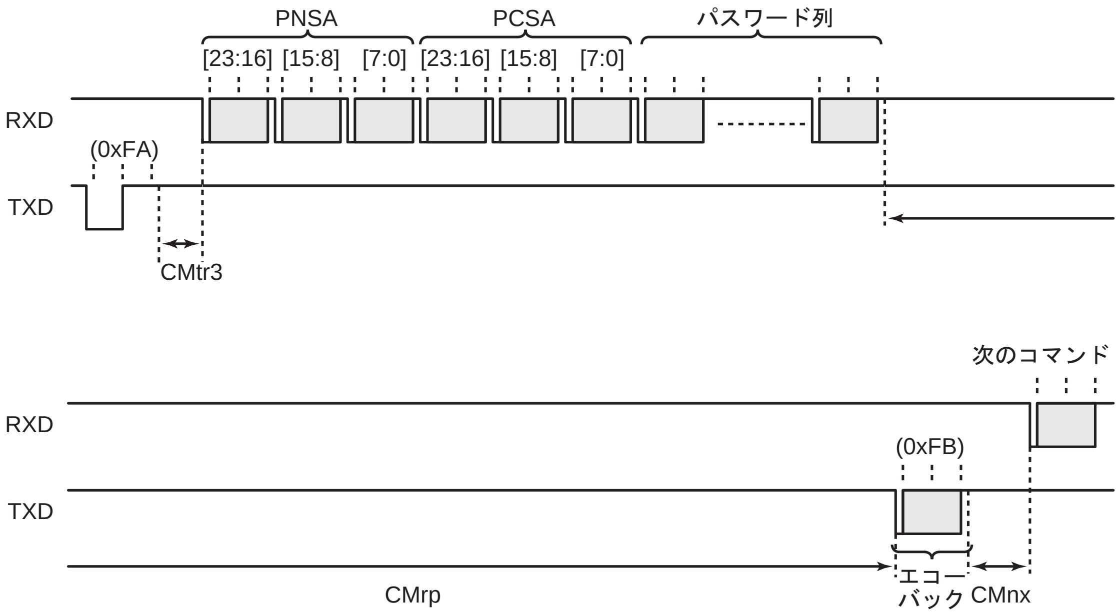


図 22-15 フラッシュメモリセキュリティ設定コマンド

第 23 章　オンチップデバッグ機能(OCD)

TMP89FM46A は、オンチップデバッグ機能を内蔵しています。当社の RTE870/C1 オンチップデバッグエミュレータを使用することによりオンボード環境でのソフトウェアデバッグ作業を行うことができます。PC 上のデバッガからから操作することで、応用プログラムのエミュレーション機能やプログラム修正に有効なデバッグ機能を使用することができます。

本章ではオンチップデバッグ機能を使用するために必要な制御端子や、ターゲットシステムの接続構成についてだけを示します。RTE870/C1 オンチップデバッグエミュレータの詳細な使用方法についてはエミュレータの取り扱い説明書を参照してください。

23.1　特長

TMP89FM46A のオンチップデバッグ機能には以下のような特長があります。

- MCU を実装した製品と同等の動作状態でデバッグが可能
- 2 本の通信制御端子でデバッグ機能を実現
- 豊富なオンチップデバッグ機能
    - ブレーク 8 本(1 本はイベントと兼用)
    - 最新 2 分岐をリアルタイムに格納できるトレース機能
    - 実行中のメモリ表示機能/実行中のメモリ書き替え機能
- 内蔵フラッシュメモリの消去、書き込みが可能

23.2　制御端子

オンチップデバッグ機能は、通信用として 2 端子、電源とリセット、モード制御用として 4 本の端子を使用します。オンチップデバッグ機能使用時の端子一覧を表 23-1 に示します。

なお、P20, P21 ポートはオンチップデバッグ機能の通信制御端子として使用されるため、RTE870/C1 オンチップデバッグエミュレータを使用するときは、ポート機能および兼用の UART0、SIO0 機能をデバッグすることはできません。ただし UART0, SIO0 機能は SERSEL<SRSEL2>によって別ポートに割り付けを変更できますので、同通信機能はオンチップデバッグ動作のときも利用可能です。詳しくは入出力ポートの章を参照してください。

表 23-1 オンチップデバッグ機能使用時の端子一覧

<table>
<tr><th>端子名
(オンチップデバッグ時)</th><th>入出力</th><th colspan="2">機能</th><th>端子名(MCU モード時)</th></tr>
<tr><td>OCDCK</td><td>出力</td><td>通信制御端子(クロック制御)</td><td rowspan="4">(注 1)</td><td>P20 / TXD0 / SO0</td></tr>
<tr><td>OCDIO</td><td>入力</td><td>通信制御端子(データ制御)</td><td>P21 / RXD0 / SI0</td></tr>
<tr><td>$\overline{\text{RESET}}$</td><td>入力</td><td>リセット制御端子</td><td>$\overline{\text{RESET}}$</td></tr>
<tr><td>MODE</td><td>入力</td><td>モード制御端子</td><td>MODE</td></tr>
<tr><td>VDD</td><td>電源</td><td colspan="3">4.3 V ~ 5.5 V (注 1)</td></tr>
<tr><td>VSS</td><td>電源</td><td colspan="3">0 V</td></tr>
<tr><td>P20, P21 以外の入出力ポート</td><td>入出力</td><td colspan="3">ターゲットシステムでアプリケーション用に利用可能です。</td></tr>
<tr><td>XIN</td><td>入力</td><td colspan="3" rowspan="2">発振子を取り付け自己発振させてください。</td></tr>
<tr><td>XOUT</td><td>出力</td></tr>
</table>

注 1)　オンチップデバッグの全機能を利用するには、電源電圧を 4.3 V ~ 5.5 V の範囲で使用する必要があります。2.2 V ~ 4.3 V で使用する場合は一部のデバッグ機能に制限が発生します。詳細はエミュレータの取り扱い説明書を参照してください。

23.3　接続方法

オンチップデバッグ機能を利用する場合は、あらかじめターゲットシステムの特定の端子を外部に接続できるようにしておく必要があります。

RTE870/C1 オンチップデバッグエミュレータとターゲットシステムの接続は、制御用 I/F ケーブルによって行われます。制御用 I/F ケーブルを接続するためのコネクタは当社のアクセサリツールとして用意されていますので、あらかじめターゲットシステム上に同コネクタを実装しておくとオンチップデバッグ機能を容易に利用することができます。

図 23-1 に RTE870/C1 オンチップデバッグエミュレータの接続例を示します。

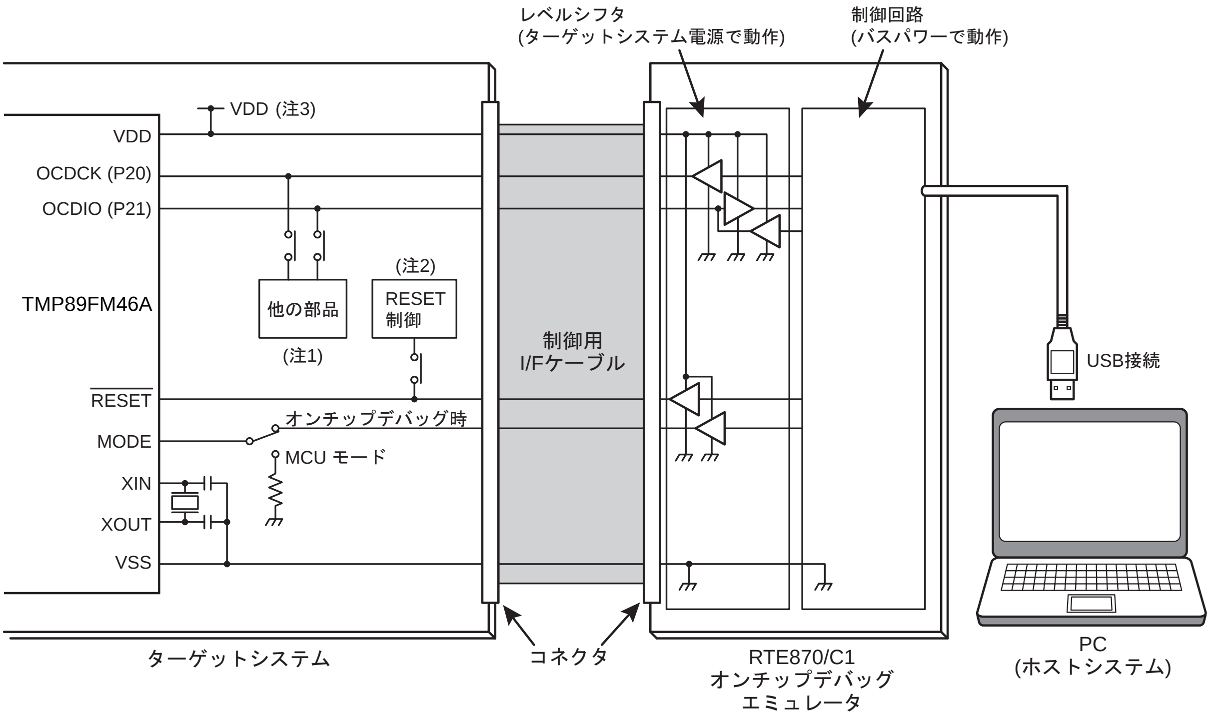


図 23-1 RTE870/C1 オンチップデバッグエミュレータの接続例

注 1)　P20, P21 ポートはオンチップデバッグ機能の通信制御端子として使用されるため、RTE870/C1 オンチップデバッグエミュレータを使用するときは、ポート機能および兼用の UART0、SIO0 機能をデバッグすることはできません。エミュレータを切り離し MCU 単体として使用するときは P20、P21 ポートの機能を利用することはできますが、オンチップデバッグ機能を使用するとき、他の部品が通信制御に影響を与える場合ジャンパやスイッチなどで切り離してください。

注 2)　アプリケーション基板上のリセット制御回路が、オンチップデバッグ機能の制御に影響を与える場合、ジャンパやスイッチ等で切り離してください。

注 3)　電源電圧 VDD は必ずターゲットシステム側で用意してください。エミュレータ側に VDD 端子を接続するのは、通信制御端子の電圧レベルをターゲットシステムの電源で生成するためで、エミュレータから電源電圧が供給されるわけではありません。

23.4　セキュリティについて

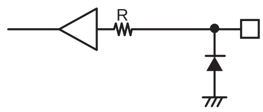
TMP89FM46A は、第三者の不正なメモリアクセスを禁止するために、「パスワード」および「セキュリティ」の 2 つのセキュリティ機能によってオンチップデバッグ機能の利用を制限することができます。TMP89FM46A に対して「パスワード」を設定すると、以降オンチップデバッグ機能を利用するにはパスワードの認証が必要となります。また「パスワード」と併用して「セキュリティ」を設定すると、オンチップデバッグ機能の利用を一切禁止することも可能です。さらに「オプションコード」を使用すると「セキュリティ」が設定された状態(シリアル、パラレル PROM モードでのアクセス制限を保持したまま)でオンチップデバッグ機能のみ利用を可能にすることも可能です(ただしこの場合パスワード認証は必要です)。

「パスワード」、「セキュリティ」および「オプションコード」の設定方法については、「シリアル PROM モード」の章を参照してください。

第 24 章　端子の入出力回路

24.1　制御端子

TMP89FM46A の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力	入出力ポートの章の P0 ポートを参照してください	
XTIN XTOUT	入力 出力	入出力ポートの章の P0 ポートを参照してください	
$\overline{\text{RESET}}$	入力	入出力ポートの章の P1 ポートを参照してください	
MODE	入力		R = 100 Ω (typ.)

第 25 章　電気的特性

25.1　絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(VSS = 0 V)

項　目	記号	端　子	規　格	単位
電源電圧	V_{DD}		−0.3 ~6.0	V
入力電圧	V_{IN1}	P0, P1, P2 (除く P23, P24), P4, P7, P8, P9,PB (トライステートポート)	−0.3 ~ V_{DD} + 0.3	V
	V_{IN2}	P23, P24 (オープンドレインポート)	−0.3 ~ V_{DD} + 0.3	
	V_{IN3}	AIN0~AIN7 (アナログ入力電圧)	−0.3 ~ A_{VDD}+ 0.3	
出力電圧	V_{OUT1}		−0.3 ~ V_{DD} + 0.3	V
出力電流 (1 端子当り)	I_{OUT1}	P0, P1, P2 (除く P23, P24), P4, P7, P8, P9,PB (トライステートポート)	−1.8	mA
	I_{OUT2}	P0, P1, P2, P4, P9 (プルアップ抵抗)	−0.4	
	I_{OUT3}	P0, P1, P2 , P4, P74~P77, P8, P9 (トライステートポート)	3.2	
	I_{OUT4}	P70 ~ P73, PB (大電流ポート)	30	
出力電流 (全端子総計)	$\sum I_{OUT1}$	P0, P1, P2 (除く P23, P24), P4, P7, P8, P9,PB (トライステートポート)	−30	
	$\sum I_{OUT2}$	P0, P1, P2, P4, P9 (プルアップ抵抗)	−4	
	$\sum I_{OUT3}$	P0, P1, P2, P4, P74~P77, P8, P9 (トライステートポート)	60	
	$\sum I_{OUT4}$	P70~P73, PB (大電流ポート)	120	
消費電力 [Topr = 85 °C]	P_D		250	mW
はんだ付け温度 (時間)	Tsld		260 (10 s)	°C
保存温度	Tstg		−55 ~ 125	
動作温度	Topr		−40 ~ 85	

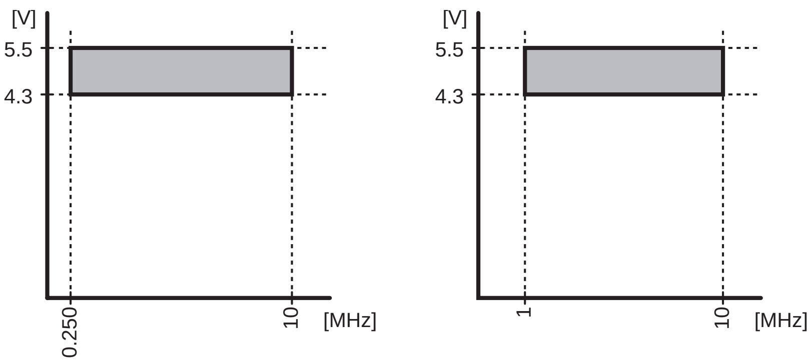
25.2　動作条件

動作条件とは、製品が一定の品質を保って正常に動作する使用条件です。動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように、応用機器の設計を行ってください。

25.2.1　MCU モード（フラッシュメモリの書き込みおよび消去動作時）

(V_{SS} = 0 V, Topr = −40 ~ 85°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V_{DD}		NORMAL1, 2 モード	4.3	5.5	V
高レベル入力電圧	V_{IH1}	MODE 端子	V_{DD} ≥ 4.3 V	V_{DD} × 0.70	V_{DD}	
	V_{IH2}	ヒステリシス入力		V_{DD} × 0.75		
低レベル入力電圧	V_{IL1}	MODE 端子	V_{DD} ≥ 4.3 V	0	V_{DD} × 0.30	
	V_{IL2}	ヒステリシス入力			V_{DD} × 0.25	
クロック周波数	fc	XIN, XOUT	V_{DD} ≥ 4.3 V	1.0	10.0	MHz
	fcgck			0.25	10.0	



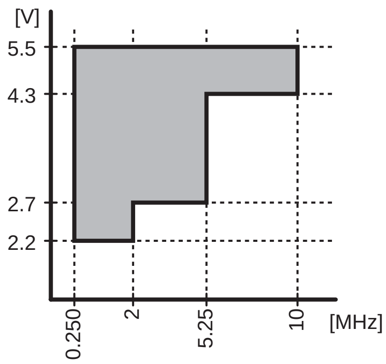
ギアクロック (fcgck) の周波数範囲　　高周波クロック (fc) の周波数範囲

図 25-1 ギアクロック (fcgck) と 高周波クロック (fc)

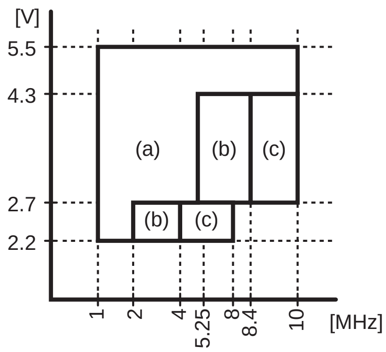
25.2.2 MCU モード（フラッシュメモリの書き込みおよび消去動作を除く）

(V_{SS} = 0 V, Topr = −40 ~ 85°C)

項目	記号	端子	条件		Min	Max	単位
電源電圧 (条件 1)	V_{DD}		fc = 10.0 MHz	NORMAL1, 2 モード IDLE0, 1, 2 モード	2.7	5.5	V
			fc = 8.0 MHz		2.2		
			fcgck = 10.0 MHz		4.3		
			fcgck = 5.25 MHz		2.7		
			fcgck = 2.0 MHz		2.2		
			fs = 32.768 kHz	SLOW1, 2 モード SLEEP0, 1 モード			
			STOP モード				
高レベル入力電圧	V_{IH1}	MODE 端子	V_{DD} ≥ 4.5 V		V_{DD} × 0.70	V_{DD}	V
	V_{IH2}	ヒステリシス入力			V_{DD} × 0.75		
	V_{IH3}		V_{DD} < 4.5 V		V_{DD} × 0.90		
低レベル入力電圧	V_{IL1}	MODE 端子	V_{DD} ≥ 4.5 V		0	V_{DD} × 0.30	
	V_{IL2}	ヒステリシス入力				V_{DD} × 0.25	
	V_{IL3}		V_{DD} < 4.5 V			V_{DD} × 0.10	
クロック周波数 (内蔵発振器)	f_{OSC}	内蔵高周波発振器	V_{DD} = 2.2 ~ 5.5 V	−40 ~ 85°C	4.25	5.25	MHz
			V_{DD} = 2.7 ~ 5.5 V	25°C	4.925	5.075	
				−10 ~ 85°C	4.85	5.15	
				−40 ~ 85°C	4.75	5.25	
クロック周波数	fc	XIN, XOUT	V_{DD} = 2.2 ~ 5.5 V		1.0	8.0	MHz
			V_{DD} = 2.7 ~ 5.5 V		1.0	10.0	
	fcgck		V_{DD} = 2.2 ~ 5.5 V		0.25	2.0	
			V_{DD} = 2.7 ~ 5.5 V			5.25	
			V_{DD} = 4.3 ~ 5.5 V			10.0	
	fs	XTIN, XTOUT	V_{DD} = 2.2 ~ 5.5 V		30.0	34.0	kHz



ギアクロック (fcgck) の周波数範囲



高周波クロック (fc) の周波数範囲

(a) fc, fc/2, fc/4 がギアクロック (fcgck) として選択可能

(b) fc/2, fc/4 がギアクロック (fcgck) として選択可能

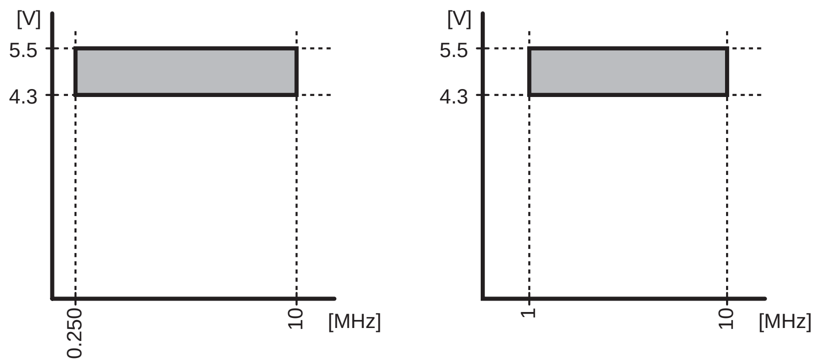
(c) fc/4 がギアクロック (fcgck) として選択可能

図 25-2 ギアクロック（fcgck）と高周波クロック（fc）

25.2.3　シリアル PROM モード

(V_{SS} = 0 V, Topr = −40 ~ 85°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V_{DD}		NORMAL1, 2 モード	4.3	5.5	V
高レベル入力電圧	V_{IH1}	MODE 端子	V_{DD} ≥ 4.3 V	V_{DD} × 0.70	V_{DD}	
	V_{IH2}	ヒステリシス入力		V_{DD} × 0.75		
低レベル入力電圧	V_{IL1}	MODE 端子	V_{DD} ≥ 4.3 V	0	V_{DD} × 0.30	
	V_{IL2}	ヒステリシス入力			V_{DD} × 0.25	
クロック周波数	fc	XIN, XOUT	V_{DD} ≥ 4.3 V	1.0	10.0	MHz
	fcgck			0.25	10.0	



ギアクロック (fcgck) の周波数範囲　　高周波クロック (fc) の周波数範囲

図 25-3 ギアクロック (fcgck) と 高周波クロック (fc)

25.3 DC 特性

(V_{SS} = 0 V, Topr = −40 ~ 85 °C)

項　　目	記号	端　　子	条　　件	Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力	V_{DD} = 5.5 V V_{IN} = V_{MODE} = 5.5 V/0 V	−	0.9	−	V
入力電流	I_{IN1}	MODE		−	−	±2	μA
	I_{IN2}	P0, P1, P2, P4, P5, P7, P8, P9, PB					
	I_{IN3}	$\overline{\text{RESET}}$, $\overline{\text{STOP}}$					
入力抵抗	R_{IN2}	$\overline{\text{RESET}}$ プルアップ	V_{DD} = 5.5 V, V_{IN} = V_{MODE} = 0 V	100	220	500	kΩ
	R_{IN3}	P0, P1, P2(除く P23, P24), P4, P9 プルアップ		30	50	100	
出力リーク電流	I_{LO1}	P23, P24(オープンドレインポート)	V_{DD} = 5.5 V, V_{OUT} = 5.5 V	−	−	2	μA
	I_{LO2}	P0, P1, P2 (除く P23, P24), P4, P5, P7, P8, P9,PB (トライステートポート)	V_{DD} = 5.5 V, V_{OUT} = 5.5 V/0 V	−	−	±2	
高レベル出力電圧	V_{OH}	除く P23, P24,XOUT, XTOUT	V_{DD} = 4.5 V, I_{OH} = −0.7 mA	4.1	−	−	V
低レベル出力電圧	V_{OL}	除く XOUT, XTOUT	V_{DD} = 4.5 V, I_{OL} = 1.6 mA	−	−	0.4	
低レベル出力電流	I_{OL}	P70~P73, PB (大電流ポート)	V_{DD} = 4.5 V, V_{OL} = 1.0 V	−	20	−	mA

注 1)　Typ.値は、条件に指定なき場合 Topr = 25℃, V_{DD} = 5.0 V 時の値を示します。

注 2)　入力電流 I_{IN3} : プルアップ抵抗による電流を除きます。

注 3)　V_{IN} : MODE 端子を除く端子に印可される電圧, V_{MODE} : MODE 端子に印可される電圧

(V_{SS} = 0 V, Topr = −40 ~ 85 °C)

項　　目	記号	端　　子	条　　件		Min	Typ.	Max	単位
NORMAL1, 2 モード時電源電流 (注 6)	I_{DD} (注 7)		V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2V V_{MODE} =5.3V/0.1V fcgck = 10.0 MHz fs = 32.768 kHz	フラッシュメモリでプログラムが動作しているとき	−	14.5	20.0	mA
				RAM でプログラムが動作しているとき	−	9.5	12.5	
IDLE0, 1, 2 モード時電源電流					−	5.5	7.5	
NORMAL1, 2 モード時電源電流 (注 6)			V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2V V_{MODE}=5.3V/0.1V fcgck = 8.0 MHz fs = 32.768 kHz	フラッシュメモリでプログラムが動作しているとき	−	13	−	
				RAM でプログラムが動作しているとき	−	8	−	
IDLE0, 1, 2 モード時電源電流					−	4.5	−	
NORMAL1, 2 モード時電源電流 （内蔵発振器動作） (注 6)			V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2V V_{MODE}=5.3V/0.1V fcgck = 5.0 MHz fs = 32.768 kHz	フラッシュメモリでプログラムが動作しているとき	−	10.5	−	
				RAM でプログラムが動作しているとき	−	6	−	
IDLE0, 1, 2 モード時電源電流 （内蔵発振器動作）					−	4	−	
SLOW1 モード時電源電流 (注 4、6)			V_{DD} = 3.0 V V_{IN} = 2.8 V/0.2 V V_{MODE}=2.8V/0.1V fs = 32.768 kHz	フラッシュメモリでプログラムが動作しているとき	−	20	39	μA
				RAM でプログラムが動作しているとき	−	11	30	
SLEEP1 モード時電源電流					−	10	24	
SLEEP0 モード時電源電流					−	9	22	
STOP モード時電源電流			V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V V_{MODE}= 5.3V/0.1V		−	10	20	
間欠動作ピーク電流 (注 6、8)	I_{DDRP-P}		V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V V_{MODE}=5.3V/0.1V	フラッシュメモリでプログラムが動作しているとき、またはフラッシュメモリからデータをリードしているとき	−	10	−	mA
			V_{DD} = 3.0V V_{IN} = 2.8 V/0.2 V V_{MODE}=2.8V/0.1V		−	2	−	
フラッシュメモリ書き込み、消去、セキュリティプログラム電流 (注 7、8)	I_{DDEW}		V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V V_{MODE}=5.3V/0.1V		−	26	−	

注 1)　Typ.値は、条件に指定なき場合 Topr = 25℃, V_{DD} = 5.0 V 時の値を示します。

注 2)　I_{DD} は、I_{REF} を含まず、周辺回路を動作させた状態の電流です。

注 3)　V_{IN} : MODE 端子を除く端子に印可される電圧, V_{MODE} : MODE 端子に印可される電圧

注 4)　SLOW1 モードではピーク電流と平均化された電流の差が大きくなります。

注 5)　SLOW2 モードの各電源電流は、IDLE0, IDLE1, IDLE2 モードと同等です。

注 6)　フラッシュメモリでプログラムが動作しているとき、またはフラッシュメモリからデータをリードしているとき、フラッシュメモリは間欠動作を行いますので、瞬間的に図 25-4 のようなピーク電流が流れます。よってこの場合の電源電流 I_{DD} (NORMAL1/2、SLOW1 モード時)は、ピーク電流を平均化した電流値と MCU 電流の和となります。

注 7)　フラッシュメモリに対して、書き込み、消去、あるいはセキュリティプログラムを行うと、瞬間的に図 25-5 のようなピーク電流が流れます。

注 8) 電源設計の際はピーク電流が供給可能な回路設計にしてください。また、このピーク電流によりデバイス内部の電源電圧が変動します。デバイスの安定動作のため、デバイスの電源近傍に 0.1μ F 程度のパスコンを接続してください。

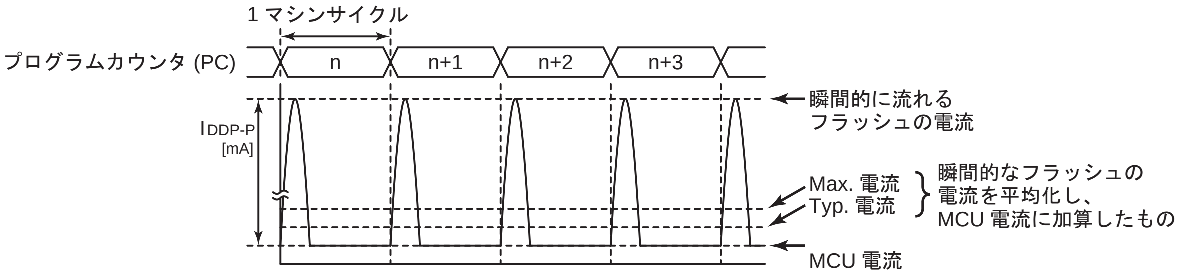


図 25-4 フラッシュメモリの間欠動作

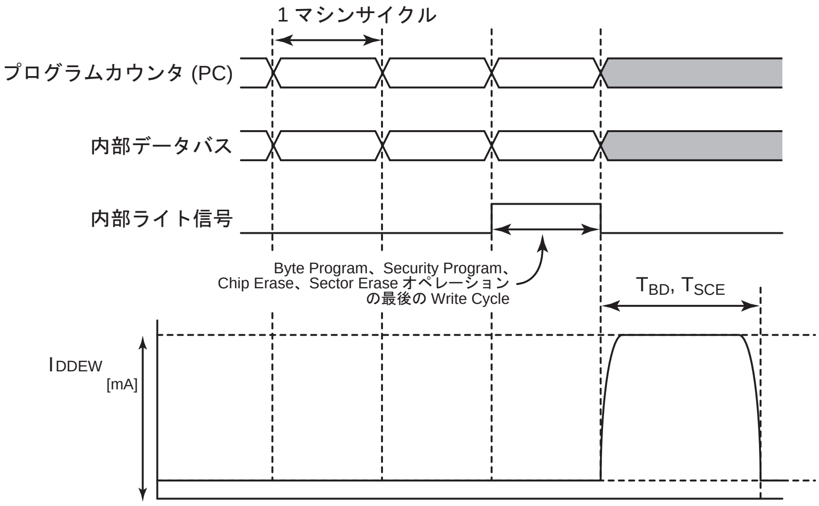


図 25-5 フラッシュメモリの消去、書き込み時の電流

25.4　AD 変換特性

(V_{SS} = 0.0 V, 4.5 V ≤ V_{DD} ≤ 5.5 V, Topr = −40 ~ 85 °C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} − 1.0	−	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}			V_{DD}		
アナログ基準電源電圧範囲 (注 4)	Δ V_{AREF}		3.5	−	−	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	−	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 5.5 V V_{SS} = A_{VSS} = 0.0 V	−	0.6	1.0	mA
非直線性誤差		V_{DD} = A_{VDD} = 5.0 V, V_{SS} = A_{VSS} = 0.0 V V_{AREF} = 5.0 V	−	−	±2	LSB
ゼロ誤差			−	−	±2	
フルスケール誤差			−	−	±2	
総合誤差			−	−	±2	

(V_{SS} = 0.0 V, 2.7 V ≤ V_{DD} < 4.5 V, Topr = −40 ~ 85 °C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} − 1.0	−	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}			V_{DD}		
アナログ基準電源電圧範囲 (注 4)	Δ V_{AREF}		2.5	−	−	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	−	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 4.5 V V_{SS} = A_{VSS} = 0.0 V	−	0.5	0.8	mA
非直線性誤差		V_{DD} = A_{VDD}= 2.7 V V_{SS} = A_{VSS} = 0.0 V V_{AREF} = 2.7 V	−	−	±2	LSB
ゼロ誤差			−	−	±2	
フルスケール誤差			−	−	±2	
総合誤差			−	−	±2	

(V_{SS} = 0.0 V, 2.2 V ≤ V_{DD} < 2.7 V, Topr = −40 ~ 85 °C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} − 0.9	−	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}			V_{DD}		
アナログ基準電源電圧範囲 (注 4)	Δ V_{AREF}		2.2	−	−	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	−	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 2.7 V V_{SS} = A_{VSS} = 0.0 V	−	0.3	0.5	mA
非直線性誤差		V_{DD} = A_{VDD} = 2.2 V V_{SS} = A_{VSS} = 0.0 V V_{AREF} = 2.2 V	−	−	±4	LSB
ゼロ誤差			−	−	±4	
フルスケール誤差			−	−	±4	
総合誤差			−	−	±4	

注 1)　総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2)　変換時間は電源電圧範囲によって推奨値が異なります。

注 3)　AIN 入力端子への入力電圧は V_{AREF} ~ V_{SS} 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャネルの変換値にも影響を与えます。

注 4)　アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - V_{SS}$

注 5)　AD コンバータを使用しない場合、A_{VDD} 端子と V_{AREF} 端子は V_{DD} レベルに固定してください。

25.5 パワーオンリセット回路特性

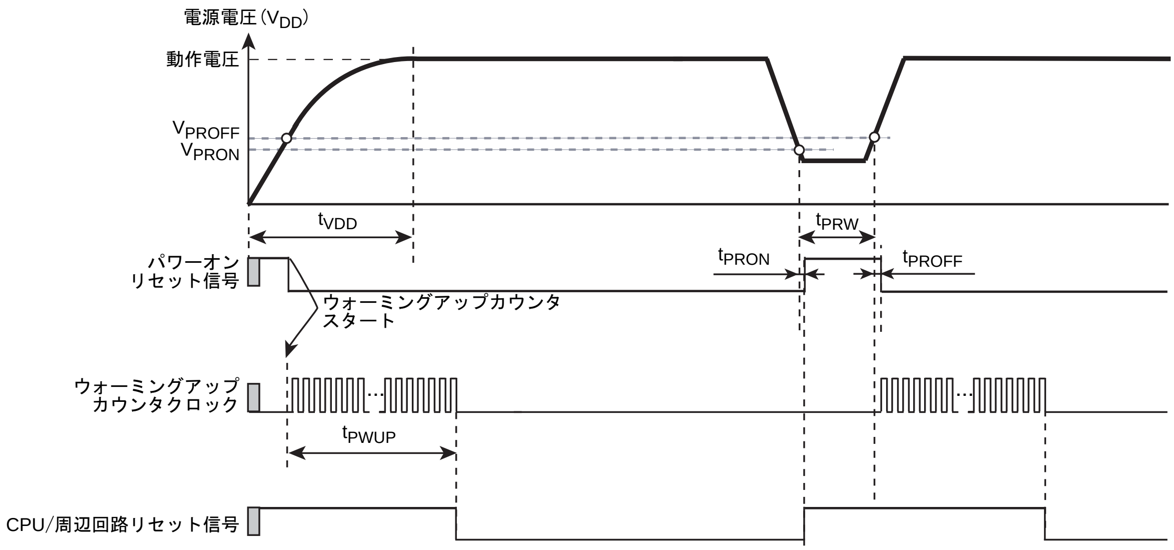


図 25-6 パワーオンリセットの動作タイミング

注) 電源電圧（V_{DD}）変動によってはパワーオンリセット回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

(V_{SS} = 0 V, Topr = −40 ~ 85°C)

記号	項目	Min	Typ.	Max	単位
V_{PROFF}	パワーオンリセット解除電圧注 1)	1.85	2.02	2.19	V
V_{PRON}	パワーオンリセット検出電圧注 1)	1.70	1.85	2.00	
t_{PROFF}	パワーオンリセット解除応答時間	−	0.01	0.1	ms
t_{PRON}	パワーオンリセット検出応答時間	−	0.01	0.1	
t_{PRW}	パワーオンリセット最小パルス幅	1.0	−	−	
t_{PWUP}	リセット解除後のウォーミングアップ時間	−	102 x 2^9/fc	−	s
t_{VDD}	電源立ち上がり時間	−	−	5	ms

注 1) パワーオンリセット解除電圧とパワーオンリセット検出電圧は、相対的に変動するため検出電圧が逆転することはありません。

注 2) ウォーミングアップカウンタの入力クロックに発振回路から出力されるクロックを使用します。発振回路が安定するまで発振周波数が安定しないため、ウォーミングアップ時間には誤差を含みます。

注 3) t_{VDD} < t_{PWUP} となるように電源電圧を立ち上げてください。

25.6　電圧検出回路特性

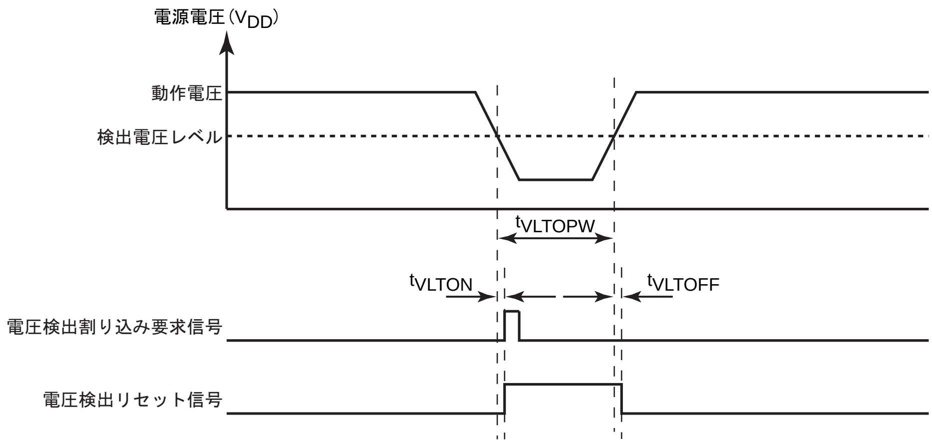


図 25-7 電圧検出回路の動作タイミング

注)　電源電圧（V_{DD}）変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

(V_{SS} = 0 V, Topr = −40 ~ 85°C)

記号	項目	Min	Typ.	Max	単位
t_{VLTOFF}	電圧検出回路解除応答時間	−	0.01	0.1	ms
t_{VLTON}	電圧検出回路検出応答時間	−	0.01	0.1	
t_{VLTPW}	電圧検出回路検出最小パルス幅	1.0	−	−	

25.7 AC 特性

25.7.1 MCU モード (フラッシュメモリの書き込みおよび消去動作時)

(V_{SS} = 0 V, V_{DD} = 4.3 V ~ 5.5 V, Topr = −40 ~ 85°C)

項　目	記号	条　件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL1, 2 モード時	0.100	−	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	−	133.3	
		SLEEP0, 1 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 10.0 MHz 時	−	50.0	−	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	−	15.26	−	μs
低レベルクロックパルス幅	t_{WSL}					

25.7.2 MCU モード (フラッシュメモリの書き込みおよび消去動作を除く)

(V_{SS} = 0 V, V_{DD} = 4.3 V ~ 5.5 V, Topr = −40 ~ 85°C)

項　目	記号	条　件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL1, 2 モード時	0.100	−	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	−	133.3	
		SLEEP0, 1 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 10.0MHz 時	−	50.0	−	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	−	15.26	−	μs
低レベルクロックパルス幅	t_{WSL}					

(V_{SS} = 0 V, V_{DD} = 2.7 V ~ 4.3 V, Topr = −40 ~ 85°C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL1, 2 モード時	0.190	−	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	−	133.3	
		SLEEP0, 1 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 10.0 MHz 時	−	50.0	−	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	−	15.26	−	μs
低レベルクロックパルス幅	t_{WSL}					

(V_{SS} = 0 V, V_{DD} = 2.2 V ~ 2.7 V, Topr = −40 ~ 85°C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL1, 2 モード時	0.500	−	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	−	133.3	
		SLEEP0, 1 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc =8.0 MHz 時	−	62.5	−	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	−	15.26	−	μs
低レベルクロックパルス幅	t_{WSL}					

25.7.3　シリアル PROM モード

(V_{SS} = 0 V, V_{DD} = 4.3 V ~ 5.5 V, Topr = −40 ~ 85°C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL1, 2 モード時	0.100	−	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	−	133.3	
		SLEEP0, 1 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 10.0MHz 時	−	50.0	−	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	−	15.26	−	μs
低レベルクロックパルス幅	t_{WSL}					

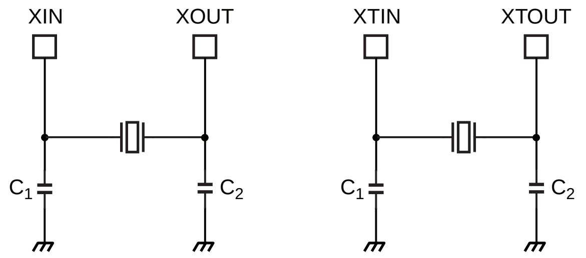
25.8 フラッシュ特性

25.8.1 書き込み特性

(V_{SS} = 0 V, Topr = −40 ~ 85°C)

項　目	条　件	Min	Typ.	Max.	単位
フラッシュメモリ消去/書き込み保証回数		–	–	100	回
フラッシュメモリ書き込み時間		–	–	40	μs
フラッシュメモリ消去時間	Chip Erase	–	–	30	ms
	Sector Erase	–	–	30	

25.9　発振条件



(1) 高周波発振　　(2) 低周波発振

注 1)　発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。

注 2)　村田製発振子は、型番 ・ 仕様の切り替えが随時行われております。
詳細につきましては、下記アドレスの同社ホームページをご参照ください。
http://www.murata.co.jp/

25.10 取り扱い上のご注意

- はんだ濡れ性についての注意事項

  試験項目

  はんだ付け性

  試験条件

  230°C　5 秒間 1 回 R タイプフラックス使用(Sn-37Pb 鉛はんだ使用時)

  245°C　5 秒間 1 回 R タイプフラックス使用(Sn-3.0Ag-0.5Cu はんだ使用時)

  備考

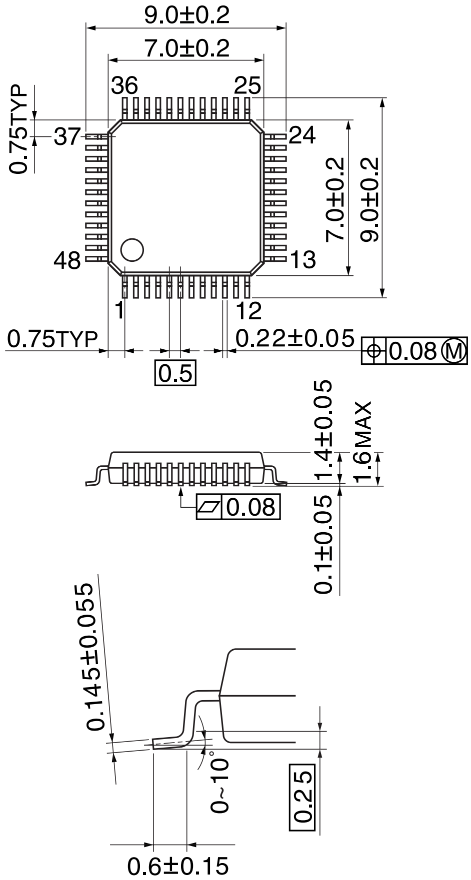
  フォーミングまでのはんだ付着率 95%を良品とする

- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

第 26 章　外形寸法

LQFP48-P-0707-0.50D Rev 01

Unit: mm



製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。当社は、適用可否に対する責任は負いません。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下″特定用途″という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途書面による契約がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本製品および技術情報に関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有･使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。