

TOSHIBA

**32 ビット TX System RISC
TX19A ファミリー**

TMP19A64F20BXBG

TMP19A64F20AXBG

Rev1.7 2008 年 3 月 17 日

目 次

TMP19A64F20 製品別マニュアル

対象製品 : TMP19A64F20BXBG , TMP19A64F20AXBG

- 1章. ・ 概要と特長
- 2章. ・ ピン配置とピン機能
- 3章. ・ FLASH 動作説明
- 4章. ・ 電気的特性

Not Recommended
for New Design

32 ビット RISC マイクロプロセッサ TX19 ファミリー TMP19A64F20BXXBG /TMP19A64F20AXBG

1. 概要と特長

TMP19A64 に搭載されている TX19A プロセッサコアは、米国 MIPS グループの高性能な 32 ビットの命令セットである MIPS32ISA と高コード効率の命令セットである MIPS16eISA に当社で命令を追加した拡張命令セットの MIPS16e-TX™ASE (Application Specific Extension)を追加して、当社で独自開発した高性能な 32 ビット RISC プロセッサファミリーです。

TMP19A64 は、TX19A プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A64 の特長は次の通りです。

(1) TX19A プロセッサコア

16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビット ISA モードの命令は、コード効率の優れた MIPS16e-TX とオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換
高性能化と低消費電力化を同時に実現

高性能化

- ほとんどの命令を 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 5 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算を 1 クロックで実行

当社半導体製品取り扱い上のお願ひ

060629TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いいたします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 “特定用途” という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。 030519_S

低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

(2) 内蔵プログラムメモリ/データメモリ

製品名	内蔵 ROM	内蔵 RAM
TMP19A64F20BXBG TMP19A64F20AXBG	2Mbyte(Flash)	64Kbyte
TMP19A64C1DXBG	1.5Mbyte	56Kbyte

- ROM コレクション機能：1word×8block、8word×4block
- バックアップ RAM：512byte

(3) 外部メモリ拡張

- 16M バイト(プログラム/データ共通)まで拡張可能
- 外部データバス：
 - セパレートバス/マルチプレクスバス : 8/16 ビット幅共存可能
- チップセレクト/ウェイトコントローラ : 6 チャンネル

(4) DMA コントローラ : 8 チャンネル

- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

(5) 16 ビットタイマ : 11 チャンネル

- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力
- インพุットキャプチャ機能
- 二相パルス入力カウンタ機能(専用 1 チャンネル): 4 逓倍モード

(6) 32 ビットタイマ

- 32 ビットインพุットキャプチャレジスタ : 4 チャンネル
- 32 ビットコンペアレジスタ : 10 チャンネル
- 32 ビットタイムベースタイマ : 1 チャンネル

(7) 時計用タイマ : 1 チャンネル

(8) 汎用シリアル・インタフェース : 7 チャンネル

- UART / 同期式モード選択可能

(9) シリアルバスインタフェース : 1 チャンネル

- I²C バスモード/クロック同期式モード選択可能

(10) 10 ビット A/D コンバータ (S/H 有) : 24 チャンネル

- 変換速度：54 クロック (7.85 μs@54MHz)
- 内部タイマトリガ起動
- チャンネル固定 / スキャンモード
- シングル / リピートモード

- 最優先変換モード
- タイマ監視機能

(11) ウォッチドックタイマ : 1チャンネル

(12) 割り込み機能

- CPU 2本 ……ソフトウェア割り込み命令
- 内部 50本 ……7レベルの優先順位設定可能
(ウォッチドックタイマ割り込みを除く)
- 外部 20本 ……7レベルの優先順位設定可能 (NMI 割り込みを除く)
8本は KWUP であり割り込み要因としては1本

(13) 入出力ポート …… 209 端子

(14) スタンバイ機能

- 4種類のスタンバイモード (IDLE, SLEEP, STOP, BACKUP)

(15) クロックジェネレータ

- PLL 内蔵 (4 逓倍)
- クロックギア機能: 高速クロックを 8/8, 7/8, 6/8, 5/8, 4/8, 2/8, 1/8 に分周
- サブクロック: SLOW / SLEEP / BACKUP モード (32.768kHz)

(16) エンディアン …… バイエンディアン (ビッグエンディアン / リトルエンディアン)

(17) 最大動作周波数

- 54MHz (PLL 逓倍)

(18) 動作電圧範囲

コア: 1.35V ~ 1.65V

I/O: 1.65V ~ 3.3V

ADC: 2.7V ~ 3.3V

バックアップブロック: 2.3V ~ 3.3V (通常動作時)

: 1.8V ~ 3.3V (BACKUP モード時)

(19) パッケージ

- P-FBGA281 (13mm×13mm, 0.65mm ピッチ)

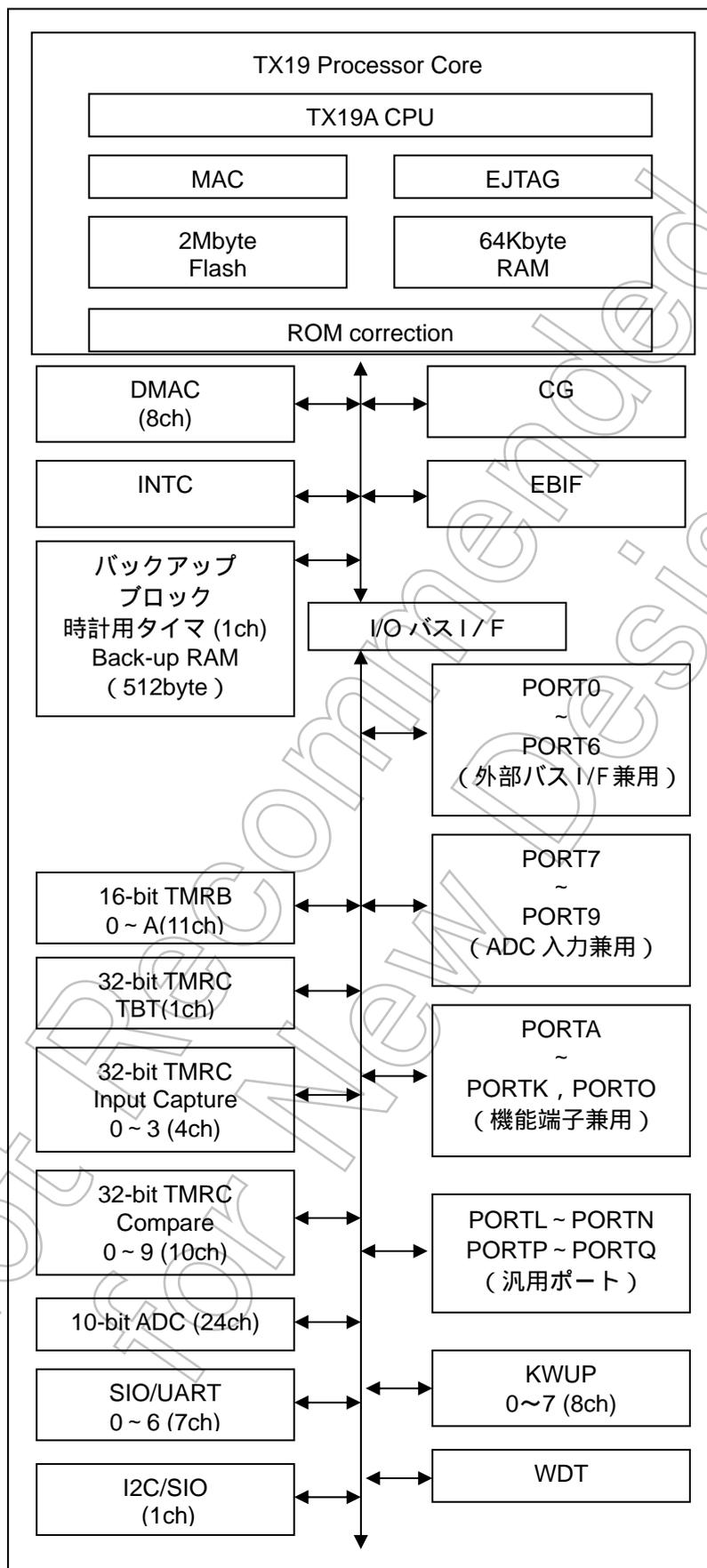


図 1.1 TMP19A64F20BXBG/TMP19A64F20AXBG ブロック図

2. ピン配置とピン機能

2.1 ピン配置図

TMP19A64 のピン配置図は、図 2.1.1 の通りです。

図 2.1.1 ピン配置図 (P-FBGA281)

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	A17	
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16	B17	B18
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16	C17	C18
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17	E18
F1	F2	F3	F4	F5		F7	F8	F9	F10	F11	F12		F14	F15	F16	F17	F18
G1	G2	G3	G4	G5	G6							G13	G14	G15	G16	G17	G18
H1	H2	H3	H4	H5	H6							H13	H14	H15	H16	H17	H18
J1	J2	J3	J4	J5	J6							J13	J14	J15	J16	J17	J18
K1	K2	K3	K4	K5	K6							K13	K14	K15	K16	K17	K18
L1	L2	L3	L4	L5	L6							L13	L14	L15	L16	L17	L18
M1	M2	M3	M4	M5	M6							M13	M14	M15	M16	M17	M18
N1	N2	N3	N4	N5		N7	N8	N9	N10	N11	N12		N14	N15	N16	N17	N18
P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16	P17	P18
R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16	R17	R18
T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18
U1	U2	U3	U4	U5	U6	U7	U8	U9	U10	U11	U12	U13	U14	U15	U16	U17	U18
	V2	V3	V4	V5	V6	V7	V8	V9	V10	V11	V12	V13	V14	V15	V16	V17	

TMP19A64 のピン番号とピン名称との関係は、表 2.1.2 の通りです。

表 2.1.2 ピン番号とピン名称 (1/2)

ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称
A1	N. C.	A13	PN2	B8	P75/AN5	C2	PCST3 (EJTAG)	C14	PM7
A2	VREFL	A14	PN0	B9	PL0	C3	P92/AN18	C15	PM3
A3	P90/AN16	A15	PM5	B10	PL3	C4	P95/AN21	C16	PK3/KEY3
A4	P93/AN19	A16	PM1	B11	PO5/TXD6	C5	P82/AN10	C17	CVCC15
A5	P80/AN8	A17	X2	B12	PO1/INT1	C6	P85/AN13	C18	XT2
A6	P83/AN11	B1	AVCC31	B13	PN3	C7	P72/AN2	D1	TDO (EJTAG)
A7	P70/ANO	B2	VREFH	B14	PN1	C8	AVSS	D2	PCST2 (EJTAG)
A8	P74/AN4	B3	P91/AN17	B15	PM4	C9	PL1	D3	DINT (EJTAG)
A9	PO7/SCLK6/CTS6	B4	P94/AN20	B16	PM0	C10	PL4	D4	DVCC15
A10	PL2	B5	P81/AN9	B17	CVSS/BVSS	C11	PO4/INT4	D5	P96/AN22
A11	PO6/RXD6	B6	P84/AN12	B18	X1	C12	PN6	D6	P86/AN14
A12	PO0/INT0	B7	P71/AN1	C1	PCST0 (EJTAG)	C13	PN4	D7	P73/AN3

表 2.1.1 ピン番号とピン名称 (2/2)

ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称
D8	DVCC15	F18	P46/SCOUT	K14	P11/INT1	N18	P14/D12/AD12/A12	T8	PD4/TXD4
D9	DVSS	G1	RESET	K15	P13/INT3	P1	PE4	T9	PC0/TXD0
D10	PL5	G2	TDI (EJTAG)	K16	P14/INT4	P2	PA2/TB00UT	T10	PC3/TXD1
D11	P03/INT3	G3	FVCC15	K17	DVCC30	P3	PA3/TB1IN0/INT7	T11	PH4/TCOUT8
D12	PN7	G4	DVSS	K18	P12/INT2	P4	PA4/TB1IN1/INT8	T12	PH6
D13	PN5	G5	TOVR/TSTA (EJTAG)	L1	FVCC3	P5	PA5/TB10UT	T13	P53/A3
D14	PM2	G6	BW0	L2	PQ1/TPD1/TPC1 (EJTAG)	P6	PB6/TBA1N0	T14	P61/A9
D15	DVCC34	G13	PK7/KEY7	L3	PQ2/TPD2/TPC2 (EJTAG)	P7	PG2/TC2IN	T15	P21/A17/A1/A17
D16	PK2/KEY2	G14	BRESET	L4	PQ3/TPD3/TPC3 (EJTAG)	P8	PD6/SCLK4/GTS4	T16	P23/A19/A3/A19
D17	PK4/KEY4	G15	P41/CS1	L5	PE6/INTA	P9	PC2/SCLK0/GTS0	T17	P00/DO/ADO
D18	XT1	G16	P37/ALE	L6	PE7/INTB	P10	PC5/SCLK1/GTS1	T18	P01/D1/AD1
E1	DCLK (EJTAG)	G17	P35/BUSAK	L13	P13/D11/AD11/A11	P11	P52/A2	U1	PB4/TB8OUT
E2	PCST1 (EJTAG)	G18	FVCC15	L14	P17/D15/AD15/A15	P12	P62/A10	U2	PB3/TB7OUT
E3	TRST (EJTAG)	H1	NMI	L15	FVCC15	P13	P65/A13	U3	PB7/TBA1N1
E4	PCST4 (EJTAG)	H2	DVCC31	L16	P10/INT0	P14	P26/A22/A6/A22	U4	PF1/SI/SCL
E5	ENDIAN	H3	PP7/TPD7 (EJTAG)	L17	P45/CS5	P15	P02/D2/AD2	U5	PF5/DREQ3
E6	P97/AN23	H4	BW1	L18	PJ3/DACK3	P16	P10/D8/AD8/A8	U6	PG1/TC1IN
E7	P87/AN15	H5	PLLOFF	M1	PQ0/TPD0/TPC0 (EJTAG)	P17	P12/D10/AD10/A10	U7	PD2/RXD3
E8	P76/AN6	H6	TCK (EJTAG)	M2	PQ7/TPD7/TPC7 (EJTAG)	P18	P11/D9/AD9/A9	U8	DVCC32
E9	P77/AN7	H13	TEST1	M3	PQ4/TPD4/TPC4 (EJTAG)	R1	PA0/TB0IN0/INT5	U9	PC7/RXD2
E10	PL6	H14	P31/WR	M4	PE3	R2	PA1/TB0IN1/INT6	U10	PH1/TCOUT5
E11	PL7	H15	P32/HWR	M5	PA7/TB3OUT	R3	PF3/DREQ2	U11	PH5/TCOUT9
E12	PM6	H16	P33/WAIT/RDY	M6	DVCC32	R4	PF4/DACK2	U12	P50/A0
E13	PK6/KEY6	H17	P30/RD	M13	P06/D6/AD6	R5	PF7/TBTIN	U13	P55/A5
E14	PK5/KEY5	H18	P40/CS0	M14	P07/D7/AD7	R6	PG7/TCOUT3	U14	DVCC33
E15	BVCC	J1	PP2/TPD2 (EJTAG)	M15	DVSS	R7	PG4/TCOUT0	U15	P64/A12
E16	PK1/KEY1	J2	PP3/TPD3 (EJTAG)	M16	PJ0/DREQ2	R8	PD5/RXD4	U16	P20/A16/A0/A16
E17	PK0/KEY0	J3	PP4/TPD4 (EJTAG)	M17	PJ2/DREQ3	R9	PC1/RXD0	U17	P24/A20/A4/A20
E18	DVCC15	J4	PP5/TPD5 (EJTAG)	M18	PJ1/DACK2	R10	PC4/RXD1	U18	FVCC3
F1	DVSS	J5	PP6/TPD6 (EJTAG)	N1	PE5	R11	PH3/TCOUT7	V2	PB5/TB9OUT
F2	TMS (EJTAG)	J6	FVCC15	N2	PE0/TXD5	R12	P51/A1	V3	PG0/TC0IN
F3	EJE (EJTAG)	J13	DVSS	N3	PE2/SCLK5/GTS5	R13	P57/A7	V4	PF0/S0/SDA
F4	BUSMD	J14	P47	N4	PE1/RXD5	R14	P66/A14	V5	PG3/TC3IN
F5	BOOT	J15	N. C.	N5	PA6/TB20UT	R15	P25/A21/A5/A21	V6	PG6/TCOUT2
F7	AVSS	J16	P44/CS4	N7	DVSS	R16	P03/D3/AD3	V7	PD1/TXD3
F8	AVSS	J17	P36/R/W	N8	PD7/INT9	R17	P04/D4/AD4	V8	PD0/SCLK2/GTS2
F9	AVCC32	J18	P34/BUSRQ	N9	DVCC15	R18	P05/D5/AD5	V9	PC6/TXD2
F10	DVCC34	K1	PP0/TPD0 (EJTAG)	N10	DVSS	T1	PB0/TB40UT	V10	PH2/TCOUT6
F11	P02/INT2	K2	PP1/TPD1 (EJTAG)	N11	P56/A6	T2	PB1/TB50UT	V11	PH0/TCOUT4
F12	DVSS	K3	PQ5/TPD5/TPC5 (EJTAG)	N12	DVSS	T3	PB2/TB60UT	V12	PH7
F14	BUPMD	K4	PQ6/TPD6/TPC6 (EJTAG)	N14	P27/A23/A7/A23	T4	PF2/SCK	V13	P54/A4
F15	P42/CS2	K5	DVSS	N15	P15/D13/AD13/A13	T5	PF6/DACK3	V14	P60/A8
F16	P43/CS3	K6	DVSS	N16	TEST3	T6	PG5/TCOUT1	V15	P63/A11
F17	DVCC33	K13	TEST2	N17	P16/D14/AD14/A14	T7	PD3/SCLK3/GTS3	V16	P67/A15
								V17	P22/A18/A2/A18

2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1 の通りです。

表 2.2.1 ピン名称と機能 (1/6)

ピン名称	ピン数	入出力	機能
P00~P07 D0~D7 AD0~AD7	8	入出力 入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート データ (下位): データバス 0~7 (セパレートバスモード) アドレスデータ (下位): アドレス・データバス 0~7 (マルチプレクスバスモード)
P10~P17 D8~D15 AD8~AD15 A8~A15	8	入出力 入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート データ (上位): データバス 8~15: (セパレートバスモード) アドレスデータ (上位): アドレス・データバス 8~15 (マルチプレクスバスモード) アドレス: アドレスバス 8~15 (マルチプレクスバスモード)
P20~P27 A16~A23 A0~A7 A16~A23	8	入出力 出力 出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 16~23 (セパレートバスモード) アドレス: アドレスバス 0~7 (マルチプレクスバスモード) アドレス: アドレスバス 16~23 (マルチプレクスバスモード)
P30 RD	1	出力 出力	ポート 30: 出力専用ポート リード: 外部メモリをリードするためのストロープ信号
P31 WR	1	出力 出力	ポート 31: 出力専用ポート ライト: D0~7 端子のデータをライトするためのストロープ信号
P32 HWR	1	入出力 出力	ポート 32: 入出力ポート (プルアップ付) 上位ライト: D8~15 端子のデータをライトするためのストロープ信号
P33 WAIT RDY	1	入出力 入力 入力	ポート 33: 入出力ポート (プルアップ付) ウェイト: CPU へのバスウェイト要求端子 レディ: CPU へのバスレディ通知端子
P34 BUSRQ	1	入出力 入力	ポート 34: 入出力ポート (プルアップ付) バスリクエスト: 外部マスタがバス制御権を CPU に要求する信号
P35 BUSAK	1	入出力 出力	ポート 35: 入出力ポート (プルアップ付) バスアクノリッジ: BUSRQ を受け CPU がバス制御権を解放しているのを通知する信号
P36 R/W	1	入出力 出力	ポート 36: 入出力ポート (プルアップ付) リード/ライト: "1" でリードサイクルまたはダミーサイクルを "0" でライトサイクルを示します。
P37 ALE	1	入出力 出力	ポート 37: 入出力ポート アドレスラッチイネーブル (外部メモリアクセス時のみイネーブル)
P40 CS0	1	入出力 出力	ポート 40: 入出力ポート (プルアップ付) チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力
P41 CS1	1	入出力 出力	ポート 41: 入出力ポート (プルアップ付) チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力
P42 CS2	1	入出力 出力	ポート 42: 入出力ポート (プルアップ付) チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力
P43 CS3	1	入出力 出力	ポート 43: 入出力ポート (プルアップ付) チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力
P44 CS4	1	入出力 出力	ポート 44: 入出力ポート (プルアップ付) チップセレクト 4: アドレスが指定したアドレス領域内なら "0" を出力
P45 CS5	1	入出力 出力	ポート 45: 入出力ポート (プルアップ付) チップセレクト 5: アドレスが指定したアドレス領域内なら "0" を出力
P46 SCOUT	1	入出力 出力	ポート 46: 入出力ポート システムクロック出力: CPU と同じ高速クロック、低速クロック出力など選択可能
P47	1	入出力	ポート 47: 入出力ポート
P50~P57 A0~A7	8	入出力 出力	ポート 5: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 0~7 (セパレートバスモード)
P60~P67 A8~A15	8	入出力 出力	ポート 6: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 8~15 (セパレートバスモード)

表 2.2.1 ピン名称と機能 (2/6)

ピン名称	ピン数	入出力	機能
P70~P77 AN0~AN7	8	入力 入力	ポート7: 入力専用ポート アナログ入力: A/D コンバータの入力
P80~P87 AN8~AN15	8	入力 入力	ポート8: 入力専用ポート アナログ入力: A/D コンバータの入力
P90~P97 AN16~AN23	8	入力 入力	ポート9: 入力専用ポート アナログ入力: A/D コンバータの入力
PA0 TBO1N0 INT5	1	入出力 入力 入力	ポートA0: 入出力ポート 16bit タイマ0 入力0: 16bit タイマ0 のカウント/キャプチャトリガ入力 割込み要求端子5: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PA1 TBO1N1 INT6	1	入出力 入力 入力	ポートA1: 入出力ポート 16bit タイマ0 入力1: 16bit タイマ0 のカウント/キャプチャトリガ入力 割込み要求端子6: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PA2 TBO0UT	1	入出力 出力	ポートA2: 入出力ポート 16bit タイマ0 出力: 16bit タイマ0 の出力端子
PA3 TB11N0 INT7	1	入出力 入力 入力	ポートA3: 入出力ポート 16bit タイマ1 入力0: 16bit タイマ1 のカウント/キャプチャトリガ入力 割込み要求端子7: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PA4 TB11N1 INT8	1	入出力 入力 入力	ポートA4: 入出力ポート 16bit タイマ1 入力1: 16bit タイマ1 のカウント/キャプチャトリガ入力 割込み要求端子8: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PA5 TB10UT	1	入出力 出力	ポートA5: 入出力ポート 16bit タイマ1 出力: 16bit タイマ1 の出力端子
PA6 TB20UT	1	入出力 出力	ポートA6: 入出力ポート 16bit タイマ2 出力: 16bit タイマ2 の出力端子
PA7 TB30UT	1	入出力 出力	ポートA7: 入出力ポート 16bit タイマ3 出力: 16bit タイマ3 の出力端子
PB0 TB40UT	1	入出力 出力	ポートB0: 入出力ポート 16bit タイマ4 出力: 16bit タイマ4 の出力端子
PB1 TB50UT	1	入出力 出力	ポートB1: 入出力ポート 16bit タイマ5 出力: 16bit タイマ5 の出力端子
PB2 TB60UT	1	入出力 出力	ポートB2: 入出力ポート 16bit タイマ6 出力: 16bit タイマ6 の出力端子
PB3 TB70UT	1	入出力 出力	ポートB3: 入出力ポート 16bit タイマ7 出力: 16bit タイマ7 の出力端子
PB4 TB80UT	1	入出力 出力	ポートB4: 入出力ポート 16bit タイマ8 出力: 16bit タイマ8 の出力端子
PB5 TB90UT	1	入出力 出力	ポートB5: 入出力ポート 16bit タイマ9 出力: 16bit タイマ9 の出力端子
PB6 TBA1N0	1	入出力 入力	ポートB6: 入出力ポート 16bit タイマA 入力0: 16bit タイマA のカウント/キャプチャトリガ入力 二相パルスカウンタ入力0
PB7 TBA1N1	1	入出力 入力	ポートB7: 入出力ポート 16bit タイマA 入力1: 16bit タイマA のカウント/キャプチャトリガ入力 二相パルスカウンタ入力1

表 2.2.1 ピン名称と機能 (3/6)

ピン名称	ピン数	入出力	機 能
PC0 TXD0	1	入出力 出力	ポート C0: 入出力ポート シリアル送信データ 0: プログラムによりオープンドレイン出力端子
PC1 RXD0	1	入出力 入力	ポート C1: 入出力ポート シリアル受信データ 0
PC2 SCLK0 CTS0	1	入出力 入出力 入力	ポート C2: 入出力ポート シリアルクロック入出力 0 シリアルデータ送信可能 0 (Clear To Send) : プログラムによりオープンドレイン出力端子
PC3 TXD1	1	入出力 出力	ポート C3: 入出力ポート シリアル送信データ 1: プログラムによりオープンドレイン出力端子
PC4 RXD1	1	入出力 入力	ポート C4: 入出力ポート シリアル受信データ 1
PC5 SCLK1 CTS1	1	入出力 入出力 入力	ポート C5: 入出力ポート シリアルクロック入出力 1 シリアルデータ送信可能 1 (Clear To Send) : プログラムによりオープンドレイン出力端子
PC6 TXD2	1	入出力 出力	ポート C6: 入出力ポート シリアル送信データ 2: プログラムによりオープンドレイン出力端子
PC7 RXD2	1	入出力 入力	ポート C7: 入出力ポート シリアル受信データ 2
PD0 SCLK2 CTS2	1	入出力 入出力 入力	ポート D0: 入出力ポート シリアルクロック入出力 2 シリアルデータ送信可能 2 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD1 TXD3	1	入出力 出力	ポート D1: 入出力ポート シリアル送信データ 3: プログラムによりオープンドレイン出力端子
PD2 RXD3	1	入出力 入力	ポート D2: 入出力ポート シリアル受信データ 3
PD3 SCLK3 CTS3	1	入出力 入出力 入力	ポート D3: 入出力ポート シリアルクロック入出力 3 シリアルデータ送信可能 3 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD4 TXD4	1	入出力 出力	ポート D4: 入出力ポート シリアル送信データ 4: プログラムによりオープンドレイン出力端子
PD5 RXD4	1	入出力 入力	ポート D5: 入出力ポート シリアル受信データ 4
PD6 SCLK4 CTS4	1	入出力 入出力 入力	ポート D6: 入出力ポート シリアルクロック入出力 4 シリアルデータ送信可能 4 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD7 INT9	1	入出力 入力	ポート D7: 入出力ポート 割込み要求端子 9: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子

表 2.2.1 ピン名称と機能 (4/6)

ピン名称	ピン数	入出力	機 能
PE0 TXD5	1	入出力 出力	ポート E0: 入出力ポート シリアル送信データ 5: プログラムによりオープンドレイン出力端子
PE1 RXD5	1	入出力 入力	ポート E1: 入出力ポート シリアル受信データ 5
PE2 SCLK5 CTS5	1	入出力 入出力 入力	ポート E2: 入出力ポート シリアルクロック入出力 5 シリアルデータ送信可能 5 (Clear To Send) : プログラムによりオープンドレイン出力端子
PE3~PE5	3	入出力	ポート E3~E5: ビット単位で入出力の設定ができる入出力ポート
PE6 INTA	1	入出力 入力	ポート E6: 入出力ポート 割込み要求端子 A: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PE7 INTB	1	入出力 入力	ポート E7: 入出力ポート 割込み要求端子 B: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PF0 S0 SDA	1	入出力 出力 入出力	ポート F0: 入出力ポート シリアルバスインタフェースの S10 モード時のデータ送信端子 シリアルバスインタフェースの I2C モード時のデータ受信端子 プログラムによりオープンドレイン出力端子 シュミット付き入力
PF1 S1 SCL	1	入出力 入力 入出力	ポート F1: 入出力ポート シリアルバスインタフェースの S10 モード時のデータ受信端子 シリアルバスインタフェースの I2C モード時のクロック入出力端子 プログラムによりオープンドレイン出力端子 シュミット付き入力
PF2 SCK	1	入出力 入出力	ポート F2: 入出力ポート シリアルバスインタフェースの S10 モード時のクロック入出力端子
PF3 DREQ2	1	入出力 入力	ポート F3: 入出力ポート DMA リクエスト信号 2: 外部 I/O デバイスから DMAC2 への DMA 転送要求入力
PF4 DACK2	1	入出力 出力	ポート F4: 入出力ポート DMA アクノリッジ信号 2: DREQ2 による DMA 転送要求に対するアクノリッジ信号
PF5 DREQ3	1	入出力 入力	ポート F5: 入出力ポート DMA リクエスト信号 3: 外部 I/O デバイスから DMAC3 への DMA 転送要求入力
PF6 DACK3	1	入出力 出力	ポート F6: 入出力ポート DMA アクノリッジ信号 3: DREQ3 による DMA 転送要求に対するアクノリッジ信号
PF7 TBTIN	1	入出力 入力	ポート F7: 入出力ポート 32bit タイムベースタイマ入力: 32bit タイムベースタイマのカウント入力
PG0~PG3 TC0IN~TC3IN	4	入出力 入力	ポート G0~G3: ビット単位で入出力の設定ができる入出力ポート 32bit タイマキャプチャトリガ入力
PG4~PG7 TCOUT0~TCOUT3	4	入出力 出力	ポート G4~G7: ビット単位で入出力の設定ができる入出力ポート 32bit タイマコンペア一致出力
PH0~PH5 TCOUT4~TCOUT9	6	入出力 出力	ポート H0~H5: ビット単位で入出力の設定ができる入出力ポート 32bit タイマコンペア一致出力
PH6~PH7	2	入出力	ポート H6~H7: ビット単位で入出力の設定ができる入出力ポート
PI0 INT0	1	入出力 入力	ポート I0: 入出力ポート 割込み要求端子 0: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI1 INT1	1	入出力 入力	ポート I1: 入出力ポート 割込み要求端子 1: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI2 INT2	1	入出力 入力	ポート I2: 入出力ポート 割込み要求端子 2: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子

表 2.2.1 ピン名称と機能 (5/6)

ピン名称	ピン数	入出力	機 能
PI3 INT3	1	入出力 入力	ポート I3: 入出力ポート 割込み要求端子 3: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI4 INT4	1	入出力 入力	ポート I4: 入出力ポート 割込み要求端子 4: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PJ0 DREQ2	1	入出力 入力	ポート J0: 入出力ポート DMA リクエスト信号 2: 外部 I/O デバイスから DMAC2 への DMA 転送要求入力
PJ1 DACK2	1	入出力 出力	ポート J1: 入出力ポート DMA アクノリッジ信号 2: DREQ2 による DMA 転送要求に対するアクノリッジ信号
PJ2 DREQ3	1	入出力 入力	ポート J2: 入出力ポート DMA リクエスト信号 3: 外部 I/O デバイスから DMAC3 への DMA 転送要求入力
PJ3 DACK3	1	入出力 出力	ポート J3: 入出力ポート DMA アクノリッジ信号 3: DREQ3 による DMA 転送要求に対するアクノリッジ信号
PK0~PK7 KEY0~KEY7	8	入出力 入力	ポート K: ビット単位で入出力の設定ができる入出力ポート KEY on wake up 入力 0~7 (プルアップ付き) シュミット付き入力
PL0~PL7	8	入出力	ポート L: ビット単位で入出力の設定ができる入出力ポート
PM0~PM7	8	入出力	ポート M: ビット単位で入出力の設定ができる入出力ポート
PN0~PN7	8	入出力	ポート N: ビット単位で入出力の設定ができる入出力ポート
P00 INT0	1	入出力 入力	ポート 00: 入出力ポート 割込み要求端子 0: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P01 INT1	1	入出力 入力	ポート 01: 入出力ポート 割込み要求端子 1: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P02 INT2	1	入出力 入力	ポート 02: 入出力ポート 割込み要求端子 2: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P03 INT3	1	入出力 入力	ポート 03: 入出力ポート 割込み要求端子 3: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P04 INT4	1	入出力 入力	ポート 04: 入出力ポート 割込み要求端子 4: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P05 TXD6	1	入出力 出力	ポート 05: 入出力ポート シリアル送信データ 6: プログラムによりオープンドレイン出力端子
P06 RXD6	1	入出力 入力	ポート 06: 入出力ポート シリアル受信データ 6
P07 SCLK6 CTS6	1	入出力 入出力 入力	ポート 07: 入出力ポート シリアルクロック入出力 6 シリアルデータ送信可能 6 (Clear To Send) : プログラムによりオープンドレイン出力端子
PP0~PP7 TPD0~TPD7	8	入出力 出力	ポート P: ビット単位で入出力の設定ができる入出力ポート データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号
PQ0~PQ7 TPC0~TPC7 TPD0~TPD7	8	入出力 出力 出力	ポート P: ビット単位で入出力の設定ができる入出力ポート プログラムカウンタのトレースデータの出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号

表 2.2.1 ピン名称と機能 (6/6)

ピン名称	ピン数	入出力	機 能
DCLK	1	出力	デバッグクロック : DSU-ICE 用信号
EJE	1	入力	EJTAG イネーブル : DSU-ICE 用信号 (シュミット付き入力、ノイズフィルタ内蔵)
PCST4~0	5	出力	PC トレースステータス : DSU-ICE 用信号
DINT	1	入力	デバッグインタラプト : DSU-ICE 用信号 (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
TOVR/TSTA	1	出力	PD データのオーバフローのステータス出力 : DSU-ICE 用信号
TCK	1	入力	テストクロック入力 : JTAG テスト用信号 (シュミット付き入力、プルアップ付き)
TMS	1	入力	テストモードセレクト入力 : JTAG テスト用信号 (シュミット付き入力、プルアップ付き)
TDI	1	入力	テストデータ入力 : JTAG テスト用信号 (シュミット付き入力、プルアップ付き)
TDO	1	出力	テストデータ出力 : JTAG テスト用信号
TRST	1	入力	テストリセット入力 : JTAG テスト用信号 (シュミット付き入力、プルダウン付き)
NMI	1	入力	ノンマスクブル割り込み要求端子 : 立ち下がリエッジの割り込み要求端子 シュミット付き入力、ノイズフィルタ内蔵
PLLOFF	1	入力	"H (DVCC15) レベル" に固定してください。 (シュミット付き入力)
RESET	1	入力	リセット : LSI を初期化 (プルアップ付) シュミット付き入力、ノイズフィルタ内蔵
X1/X2	2	入出力	高速発振子接続端子
XT1/XT2	2	入出力	低速発振子接続端子
BUPMD	1	入力	バックアップモードトリガ端子 : バックアップモード中は "L レベル" にしてください
BRESET	1	入力	バックアップモジュールリセット : バックアップモジュールを初期化 (プルアップ付) シュミット付き入力
BUSMD	1	入力	外部バスモード設定端子 : リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてマルチプレクスバスとして、リセット信号の立ち上がりで "L" をサンプリングしてセバレートバスとして動作します。使用するバスモードに従ってリセット時にプルアップまたはプルダウンしてください。
ENDIAN	1	入力	エンディアン設定端子 : この端子はモード設定に使用されます。リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてビッグエンディアンの動作を、リセット信号の立ち上がりで "L" をサンプリングしてリトルエンディアンの動作をします。使用するエンディアンに従ってリセット時にプルアップまたはプルダウンしてください。
BOOT	1	入力	シングルブートモード設定端子 : リセット信号の立ち上がりで "L" をサンプリングしてシングルブートモードになります。内蔵フラッシュメモリの書き換え時に使用します。リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてノーマル動作 (通常動作) します。通常使用時はリセット時にこの端子をプルアップしてください。
BW0~1	2	入力	BW0 = "H (DVCC15)", BW1 = "H (DVCC15)" に固定してください。 (シュミット付き入力)
VREFH	1	入力	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC31 に接続してください
VREFL	1	入力	A/D コンバータ用基準電源入力端子 (L) A/D コンバータを使用しないときは AVSS に接続してください
AVCC31~32	2	-	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。
AVSS	3	-	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。
TEST1~3	3	入力	TEST 用端子 : GND に固定してください
CVCC15	1	-	発振器用電源端 : 1.5V 系電源
CVSS/BVSS	1	-	発振器、バックアップモジュール用 GND 端子 (0V)
DVCC15	4	-	電源端子 : 1.5V 系電源
BVCC	1	-	バックアップモジュール専用電源端子 : 3V 系電源
DVCC30~34	8	-	電源端子 : 3V 系電源
DVSS	11	-	GND 端子 (0V)
FVCC15	4	-	電源端子 : 1.5V 系電源
FVCC3	2	-	電源端子 : 3V 系電源

(注1) BUSMD, ENDIAN, BOOT 端子に関して、リセット信号の立ち上がり前後1システムクロック分、各端子の説明通りの状態 (“H”レベルまたは“L”レベル) を保持してください。ただし、リセット端子は“L”レベル、“H”レベルともに安定した状態であることが必要です。

(注2) DREQ2, DACK2, DREQ3, DACK3 は PF3~PF6 か PJ0~PJ3 かどちらのポートを使用するかをポートファンクションレジスタで設定します。2つのポートから同じ機能を使用することはできません。INT0~INT4に対応するPI0~PI4とP00~P04についても同様です。

ピン名称と電源供給端子の関係は、表 2.2.2 の通りです。

表 2.2.2 ピン名称と電源

ピン名称	電源	ピン名称	電源
P0	DVCC33	PGST4~0	DVCC31
P1	DVCC33	DCLK	DVCC31
P2	DVCC33	$\overline{\text{EJE}}$	DVCC31
P3	DVCC33	$\overline{\text{TRST}}$	DVCC31
P4	DVCC33	TDI	DVCC31
P5	DVCC33	TDO	DVCC31
P6	DVCC33	TMS	DVCC31
P7	AVCC32	TCK	DVCC31
P8	AVCC32	$\overline{\text{DINT}}$	DVCC31
P9	AVCC31	TOV	DVCC31
PA	DVCC32	BUSMD	DVCC15
PB	DVCC32	$\overline{\text{BOOT}}$	DVCC15
PC	DVCC32	ENDIAN	DVCC15
PD	DVCC32	$\overline{\text{NMI}}$	DVCC15
PE	DVCC32	$\overline{\text{BRESET}}$	BVCC
PF	DVCC32	$\overline{\text{BUPMD}}$	BVCC
PG	DVCC32	X1、X2	CVCC15
PH	DVCC32	XT1、XT2	BVCC
PI	DVCC30	BW0~1	DVCC15
PJ	DVCC33	$\overline{\text{PLLOFF}}$	DVCC15
PK	DVCC34	$\overline{\text{RESET}}$	DVCC15
PL	DVCC34		
PM	DVCC34		
PN	DVCC34		
P0	DVCC34		
PP	DVCC31		
PQ	DVCC31		

- $2.7V \leq AVCC32 \leq AVCC31$

ピン番号と電源供給端子の関係は、表 2.2.3 の通りです。

表 2.2.3 ピン番号と電源

電源	ピン番号	電圧範囲
DVCC15	D4, D8, E18, N9	1.35V~1.65V
CVCC15	C17	1.35V~1.65V
DVCC30	K17	1.65V~3.3V
DVCC31	H2	1.65V~3.3V
DVCC32	M6, U8	1.65V~3.3V
DVCC33	F17, U14	1.65V~3.3V
DVCC34	D15, F10	1.65V~3.3V
AVCC31	B1	2.7V~3.3V
AVCC32	F9	2.7V~3.3V
FVCC15	G3, G18, J6, L15	1.35V~1.65V
FVCC3	L1, U18	2.7V~3.3V
BVCC	E15	2.3V~3.3V (通常動作時) 1.8V~3.3V (BACKUPモード時)

3. Flash動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。本デバイスは TMP19A64C1DXBG の内蔵 ROM を内蔵フラッシュメモリに置き換えたものです。その他の構成および機能は TMP19A64C1DXBG と同一です。ここに記載されていない機能については TMP19A64C1DXBG のデータシートを参照してください。

3.1 フラッシュメモリ

3.1.1 特長

1) メモリ容量

TMP19A64F20 はフラッシュメモリ 8M ビット (1M バイト) を 2 チップ搭載しています。構成は 16 ブロック (128K バイト × 16) になっており、各ブロック個別に書き込みを行なうことが可能です。CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。

2) 書き込み/消去

書き込み単位: 1 ページ(128 ワード) × 4K

消去単位: 128KB、512KB、1MB ごと選択可能

プロテクト単位: 512KB ごと選択可能

プロテクト解除: 1MB ごと選択可能

3) 書き込み/消去時間

書き込み時間: 8sec/2 チップ (Typ) 2msec/128word (Typ.)

消去時間: 1.6sec/2 チップ (Typ) 100msec/128Kbyte (Typ.)

プロテクトビット消去時間: 100msec/2bit (Typ)

(注) 上記値は理論時間を表しており、データ転送時間などは含まれていません。

チップ当たりの時間はユーザーの書き替え方法により異なります。

4) プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードと、EPROM ライタで書き替えを行うライタモードがあります。

- オンボードプログラムモード
 - 1) ユーザーブートモード
ユーザー独自の書き替え方法をサポート
 - 2) シングルブートモード
シリアル転送 (当社オリジナル) での書き替え方法をサポート

- ライタモード

汎用 EPROM ライタでの書き替えをサポート。

5) 書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

本デバイスでは、ライタでのフラッシュデータの読み出しを禁止する、セキュリティ機能を追加しています。一方、書き替え禁止を設定するプロテクトは、コマンド (ソフトウェア) による対応のみで 12 V 電圧を印加して設定する方式 (ハードウェア) には対応できません。前記セキュリティ機能は 4 エリア全てにプロテクトを掛けると自動的に有効になり、プロテクトの解除を行うと内部データが自動的に消去され、その後全てのプロテクトが解除されます。

JEDEC 準拠の機能	変更、追加、削除した機能
<ul style="list-style-type: none"> • 自動プログラム • 自動チップ消去 • 自動ブロック消去 • データポーリング/トグルビット 	<変更> ブロックプロテクト (ソフトウェアプロテクトのみサポート) <削除> 消去レジューム/サスペンド機能 自動マルチブロック消去(チップ単位までサポート)

3.1.2 ブロック図

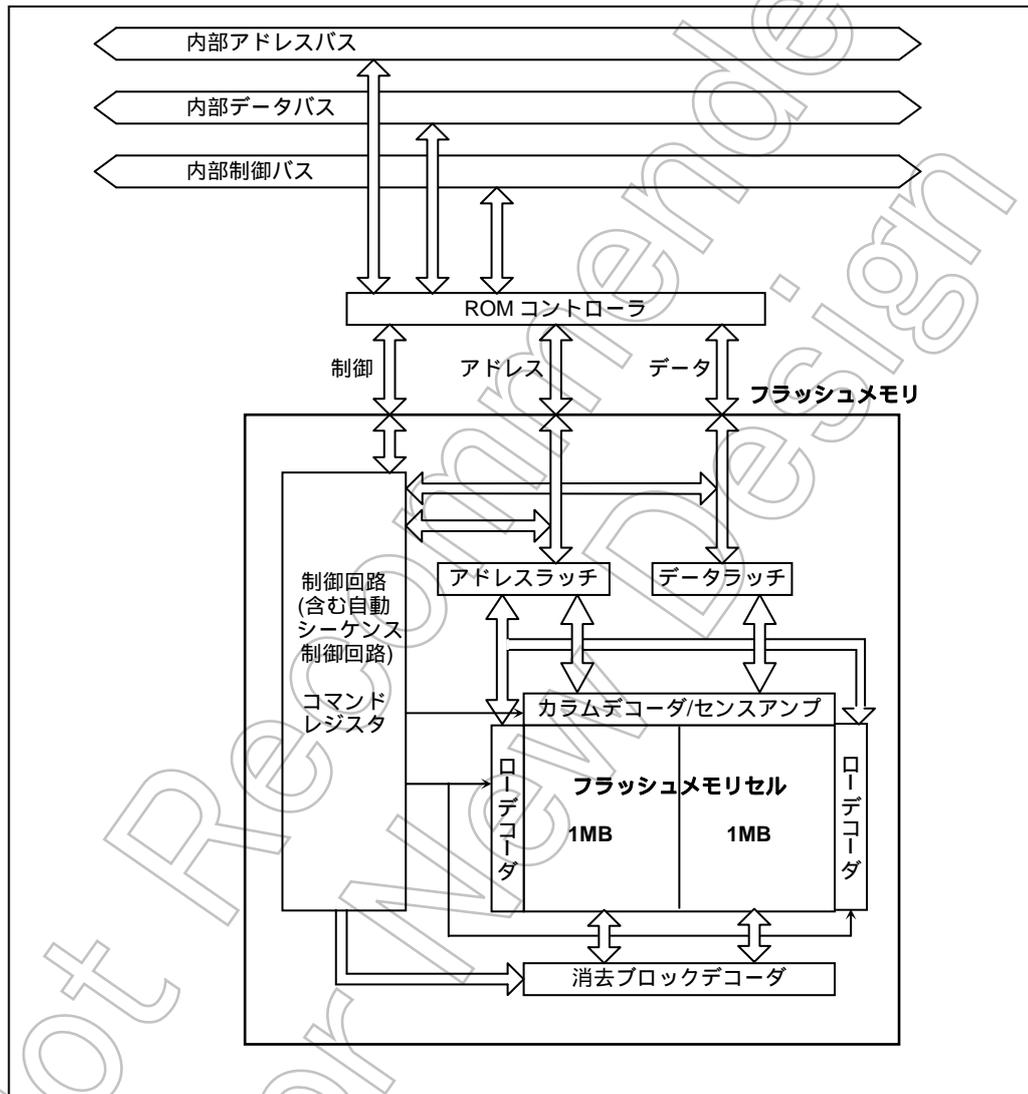


図 3.1.2.1 フラッシュ部ブロック図

3.3 動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、4通りの動作状態（モード）が存在します。

表 3.3.1.1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	
シングルブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えばポート 00 が '1' のときノーマルモード、'0' のときにユーザーブートモードというように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
ライターモード	リセット解除後、内蔵する Boot ROM (Mask ROM) から起動します。Boot ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。
ライターモード	汎用の EPROM ライタで内蔵フラッシュメモリを書き替えるためのモードです。規定のプログラムアダプタと、推奨するライタをご使用ください。

上記表でプログラムが可能なフラッシュメモリの動作モードは ユーザーブートモード、シングルブートモード、ライターモードの3つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この2つをオンボードプログラミングモードと定義します。

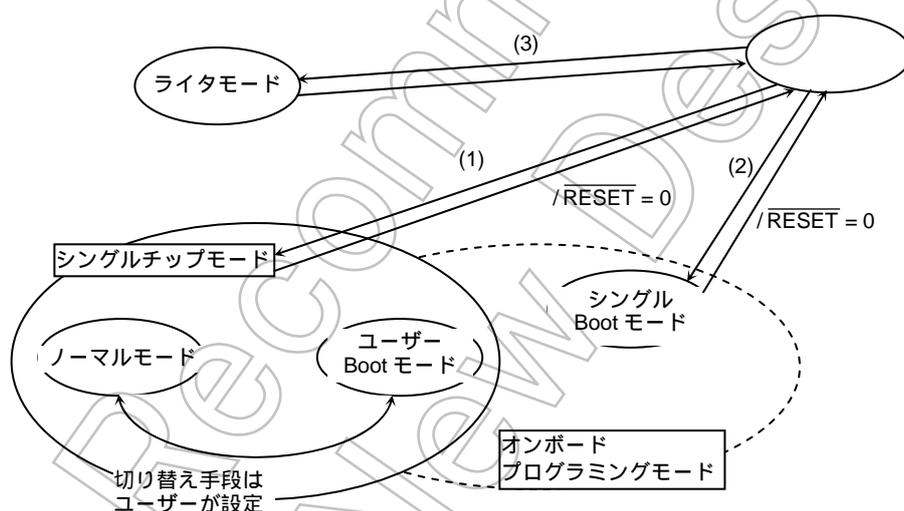
シングルチップ、シングルブートおよびライタの各動作モードは、リセット状態で入力端子 BW0、BW1、 $\overline{\text{BOOT}}$ のレベルを外部で設定することにより決定されます。

CPU はライタモードを除き、端子設定後リセットを解除することにより各動作モードで動作を開始します。ライタモードは $\overline{\text{RESET}} = "0"$ のまま使用します。それぞれモード設定後は動作中にレベルの変更がないようにしてください。以下に各動作モードの設定方法とモード遷移図を示します。

表 3.3.1.2 動作モード設定表

	動作モード	入力端子			
		RESET	BW0	BW1	BOOT
(1)	シングルチップモード	0 1	1	1	1
(2)	シングルブートモード	0 1	1	1	0
(3)	ライタモード	*1	*1	*1	*1

*1 : Don't Care (本章では条件設定の説明は致しません)



() 数字は上表の対応するモードの入力端子状態に設定することを意味します。

図 3.3.1.3 モード遷移図

3.3.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間 (54MHz 動作で 1.8 μs (リセット後は、クロックギア 1/8 モード)) $\overline{\text{RESET}}$ 入力を "0" にしてください。

- (注1) フラッシュメモリ内蔵製品のパワーオンリセットに関して
フラッシュメモリ内蔵製品は、動作周波数によらずパワーオン時に少なくとも 60 μs の間、 $\overline{\text{RESET}}$ 入力を "0" にする必要があります。
この期間は後で説明するプロテクトビットが、本来の状態によらず書き込まれた状態でロックしています。プロテクトビットの本来の値は、パワーオンリセット動作が正常に終了した後にレジスタ FLCS<BLPR03:0>を読むことで確認できます。
- (注2) FLASHのプログラム中は、システムクロックによらず0.5 μs 以上のリセット期間が必要となります。

3.3.2 DSU(EJTAG)-PROBE インターフェース

DSU-PROBE を利用してデバッグするときに使用します。DSU-PROBE と接続される専用 I/F です。DSU-PROBE を利用したデバッグの詳細に関しては、ご使用の DSU-PROBE の取扱説明書を参照してください。ここでは、DSU(EJTAG)モードでの DSU-PROBE 使用許可/禁止について説明します。

1) セキュリティ機能

本デバイスは、オンボード上で DSU-probe を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにするセキュリティ機能をもっています。セキュリティ機能を有効にすることにより、DSU-probe を使用して内蔵フラッシュの内容を読み出すことは不可能になります。後述の内蔵フラッシュ本体へのセキュリティ機能とあわせてご使用願います。

2) DSU-PROBE 使用許可/禁止機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにする DSU-PROBE 使用禁止機能（以下、**DSU 禁止機能**）をもっています。DSU 禁止機能を有効にすることにより、DSU-PROBE を使用することが不可能になります。

3) DSU 使用許可（DSU-PROBE を利用してのデバッグを有効）

DSU 禁止機能を解除する方法は、暴走などによる偶発解除を防ぐために二重構造になっており、DSU セキュリティモードレジスタ DSUSEC1<DSUOFF> = “0” にし、セキュリティコード “0x0000_00C5” を DSU セキュリティ制御レジスタ DSUSEC2 に書き込みます。この後、DSU-PROBE を使用したデバッグが有効になります。電源をオフしない状態で、DSUSEC1<DSUOFF> = “1” にし、DSUSEC2 レジスタに “0x0000_00C5” を書き込むことにより再びセキュリティ機能が有効になります。

表 3.3.2.1 DSU セキュリティモードレジスタ

DSUSEC1 (0xFFFF_E510)	7	6	5	4	3	2	1	0
	Bit Symbol							DSUOFF
	Read/Write							R/W
	パワーオンリセット後							0
	機能							1: DSU 使用不可 0: DSU 使用許可
	15	14	13	12	11	10	9	8
	Bit Symbol							
	Read/Write							R
	パワーオンリセット後							0
	機能							リードすると常に “0” が読めます
	23	22	21	20	19	18	17	16
	Bit Symbol							
	Read/Write							R
	パワーオンリセット後							0
	機能							
	31	30	29	28	27	26	25	24
	Bit Symbol							
	Read/Write							R
	パワーオンリセット後							0
	機能							リードすると常に “0” が読めます

(注) 本レジスタはパワーオンリセットのみで初期化されます。通常リセットでは初期化されません。
 (注) 本レジスタは 32 ビットアクセスを行なって下さい。

表 3.3.2.2 DSU セキュリティ制御レジスタ

	7	6	5	4	3	2	1	0
DSUSEC2 (0xFFFF_E514)	DSECODE07	DSECODE06	DSECODE05	DSECODE04	DSECODE03	DSECODE02	DSECODE01	DSECODE00
Bit Symbol								
Read/Write	W							
リセット後	0							
機能	“0x0000_00C5” をライトしてください。							
	15	14	13	12	11	10	9	8
Bit Symbol	DSECODE15	DSECODE14	DSECODE13	DSECODE12	DSECODE11	DSECODE10	DSECODE09	DSECODE08
Read/Write	W							
リセット後	0							
機能	“0x0000_00C5” をライトしてください							
	23	22	21	20	19	18	17	16
Bit Symbol	DSECODE23	DSECODE22	DSECODE21	DSECODE20	DSECODE19	DSECODE18	DSECODE17	DSECODE16
Read/Write	W							
リセット後	0							
機能	“0x0000_00C5” をライトしてください							
	31	30	29	28	27	26	25	24
Bit Symbol	DSECODE31	DSECODE30	DSECODE29	DSECODE28	DSECODE27	DSECODE26	DSECODE25	DSECODE24
Read/Write	W							
リセット後	0							
機能	“0x0000_00C5” をライトしてください							

(注) 本レジスタは 32 ビットアクセスを行なって下さい。

4) ユーザー使用例

本機能を使用した DSU-PROBE の使用例を以下に示します。

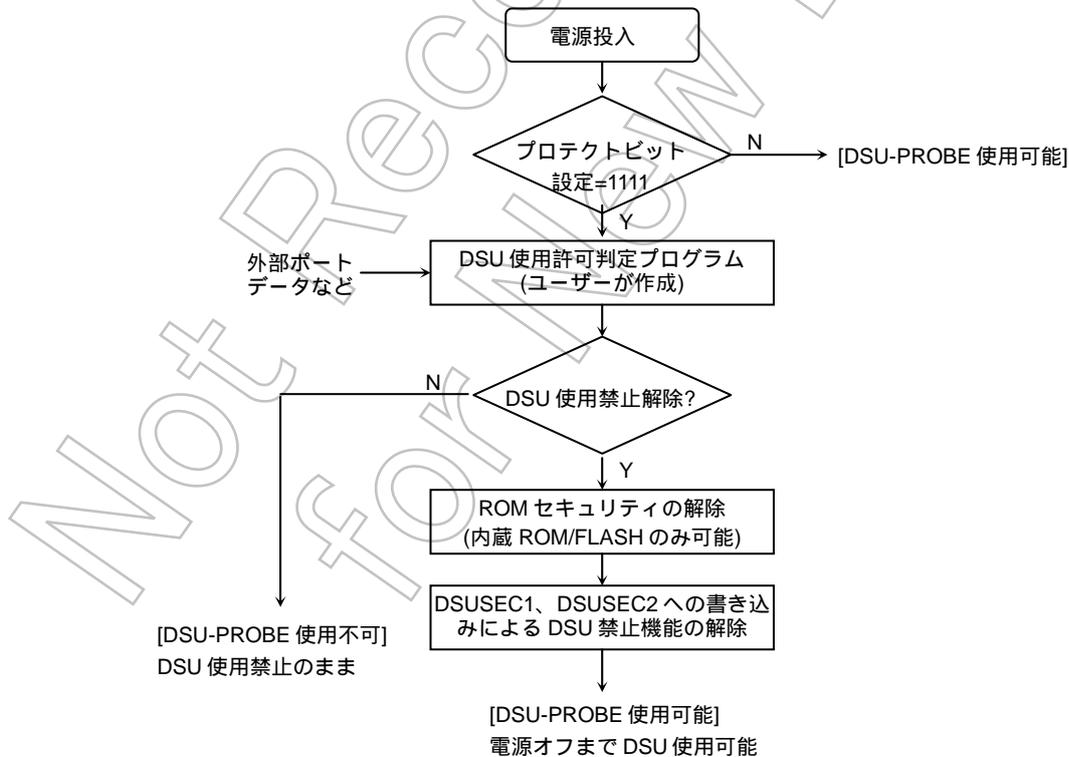


図 3.3.2.3 DSU 禁止機能の使用例

3.4 オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPUによりソフトウェア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵 RAM もしくは外部メモリ上で実行してください。この章では特に断りの無い限り、フラッシュメモリを仮想アドレスで表記します。

3.5 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。書き込み、消去を行う場合、CPU の SW 命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 3.5.1.1 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。(128ワード単位)
自動チップ消去	フラッシュメモリエリアの消去を1チップ単位にて自動で行います。(1Mバイト単位)
自動ブロック消去	ブロック単位での消去を自動で行います。(128Kバイト単位)
ライトプロテクト	エリア(512Kバイト)ごとに書き込みおよび消去を禁止することができます。全エリアにプロテクトを掛けると自動的にセキュリティ機能が有効になります。
セキュリティ機能	ライターモードで使用するとき、フラッシュメモリ本体の内容を読み出せなくするセキュリティ機能を内蔵しています。全4エリアにプロテクトを掛ける事によりセキュリティが有効になります。セキュリティを解除するには、ライトプロテクトの解除を行いこれにより自動的にフラッシュメモリ本体も一括消去されます。

ユーザーブートモードもしくは RAM 転送の詳細な動作説明は後述しますが、CPU とのインターフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。また、特に断りのない限りフラッシュメモリの書き込みは 32 ビット単位で行います。フラッシュメモリへの書き込みは、32 ビット (ワード) のデータ転送命令を用いてください。

(1) ブロック構成

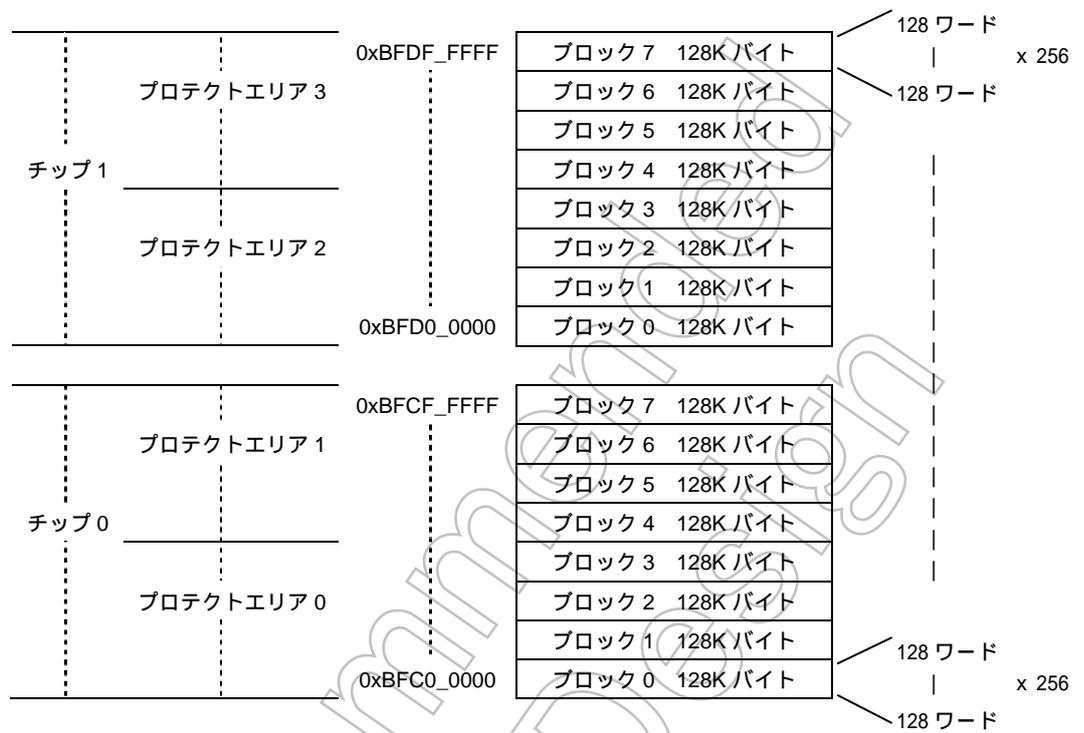


図 3.5.1.2 フラッシュメモリのブロック構成

Not Recommended for New

(2) 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリデータを読み出すモード (リードモード)
- メモリデータを自動的に消去/書き替えるモード (自動動作)

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中は DSU-PROBE 接続時のデバッグ例外とリセットを除いて、全ての例外を発生させないでください。ハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移行しません。

1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPU リセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述する Read/リセットコマンド (ソフトウェアリセット) もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- Read/リセットコマンド 及び Read コマンド(ソフトウェアリセット)

自動動作が異常終了した場合、フラッシュメモリは自動ではリードモードに復帰しません (FLCS<RDY/BSY>= "0" となっている状態では、フラッシュメモリの読み出し値は不定)。この場合、Read/リセットコマンドでフラッシュメモリをリードモードに復帰させます。また、途中までコマンドライトしたコマンドをキャンセルする場合も、Read/リセットコマンドでリードモードに復帰させる必要があります。Read コマンドは、フラッシュメモリの任意のアドレス、但し 0x001x_xxxx および 0x000x_xxxx の2箇所は 0x0000_00F0 データを SW 命令実行してリードモードに復帰するコマンドです。

- Read/リセットコマンドは第3バスライトサイクル終了後にリードモードになります。

2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します (コマンドシーケンス参照)。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

またコマンドを発行する場合、チップ 0、チップ 1 の判定を行なうためにアドレス[20:19]を必ず "1" または "0" に固定してください。

各コマンドはいくつかのバスサイクルで構成されており、フラッシュメモリに対して SW 命令を実行するものを“バスライトサイクル”と呼びます。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。各バスライトサイクルのアドレス[31:21]は、コマンドを実施する仮想アドレス[31:21]をコマンドライトします。アドレスの[20:8]に関しては後で説明します。

- (注意1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。
- (注意2) 本デバイスへのバスライトサイクル間隔は 15 システムクロック以上にしてください。フラッシュメモリのコマンドシーケンスがバスライトサイクルを認識するのに必要な時間があり、この時間内に複数のバスライトサイクルが実施されたときは、正常に動作しません。使用される動作周波数でのソフトウェアタイマ等によるバスライトサイクル間隔の調整は10) ID-Read を使用して確認してください。
- (注意3) 各バスライトサイクルの間に、フラッシュメモリに対するロード命令 (LW, LH, LB 命令等)およびフラッシュエリアをソースアドレスに指定して DMA 転送を実施しないでください。また、フラッシュメモリへの JUMP 命令を実行しないでください。各コマンドシーケンスの実行中にマスカブル割り込み、NMI を含む全ての割り込み(DSU-PROBE 接続時は、デバッグ例外を除く)を発生させないでください。
- これらの動作により、フラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンスがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性が有ります。
- (注意4) 各バスライトサイクルの SW 命令直後に SYNC 命令を実行してください。
- (注意5) コマンドシーケンスがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第1バスライトサイクル前に FLCS[0]RDY/BSY = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
- (注意6) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずシステムリセットもしくは、リセットコマンドを(各チップ0/チップに)発行して、一度リードモードに戻して下さい。

3) リセット

ハードウェアリセット

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力は CPU のリセット信号とつながっています。このため、本デバイスの RESET 入力端子が V_{IL} となるか、ウォッチドッグタイマのオーバフローなどにより CPU のリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。また、自動動作が異常終了したときや、コマンドを用いてセットしたモードを解除するときも CPU のリセットによりリードモードへ復帰します。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんが注意が必要です。再度、書き替えを行う処置をしてください。

CPU のリセット動作については、「3.1 章 リセット動作」を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

4) 自動ページプログラム

フラッシュメモリへの書き込みは、“1” データセルを “0” データにすることです。“0” データセルを “1” データにすることはできません。“0” データセルを “1” データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、128 ワードごとの書き込みとなります。この 128 ワードはアドレス[31:9]が同じで、先頭アドレス[8:0] = 0、最後のアドレス[8:0] = 0x1FF のグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)はレジスタ FLCS<RDY/BSY> にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して1回のみ可能で、“1”データセルであっても“0”データセルであってもページに対して2回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの2回以上ページプログラム実施はデバイス破損の可能性が有ります。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第4バスライトサイクル終了から開始します。第5バスライトサイクル以降は、第4バスライトサイクルで指定した次のアドレス(第4バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は32ビット単位で行います)。第4バスライトサイクル以降のコマンドライトは必ずSW命令を使用してください。このときSW命令はワード境界をまたいだ位置へ実施しないでください。第5バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第4バスライトサイクルのアドレス入力はページ先頭アドレスにしてください。この時“0”データセルにしたくない箇所は入力データを“1”にしてコマンドライトします。例えば、あるページ先頭アドレスの書き込みをしない場合、第4バスライトサイクルのデータ入力を0xFFFFFFFFとしてコマンドライトします。

第4バスライトサイクルを実行すると自動プログラム動作中となります。このことはレジスタ FLCS<RDY/BSY>をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんが注意してください。1ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時に FLCS<RDY/BSY> = “1” となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページ毎にページプログラムコマンドを実行する必要があります(1回の自動ページプログラムコマンドで書き込めるサイズは1ページです)。ページを跨ったデータ入力の自動ページプログラムは出来ません。

プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことは FLCS<RDY/BSY>をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリまたはデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注：自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

5) 自動チップ消去(1MB 単位)

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

FLCS<RDY/BSY>をモニタすることで確認できます。本デバイス内部で自動的なペリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのエリアがプロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

6) 自動ブロック消去(128KB 単位)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FLCS<RDY/BSY>をモニタすることで確認できます。本デバイス内部で自動的なペリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、プロテクトされたプロテクトエリアのブロックは、消去されません。コマンドシーケンスの最後のバスライトサイクル完了後にリードモードになります。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リセットコマンドかハードウェアリセットを用いてフラッシュメモリまたは、デバイスをリセットしてください。

注：チップ0のみコマンドを受け付けます。チップ1に対して自動プロテクトビットプログラム/消去を発行しても、プロテクトの設定/解除は行われません。

7) 自動プロテクトビットプログラム(512KB 単位)

本デバイスは4ビットのプロテクトビットを内蔵しています。自動プロテクトビットプログラムは1ビット単位で実行できます。ビットの指定は第7バスライトサイクルで行います。自動プロテクトビットプログラムにより、プロテクトエリアごとに書き込みと消去の動作を禁止することができます。各エリアのプロテクトの状態は後で説明するFLCS<PROTECT3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度プロテクトエリアの動作をやり直す必要があります。全てのプロテクトビットをプログラムした後は、内蔵RAM等のフラッシュメモリ以外のエリアからフラッシュメモリの読み出しを行うことはできません。この時FLCS<PROTECT3:0>= 0xFになっています(セキュリティ状態)。これ以降はコマンドライトも正常に実施できません。

注：チップ0のみコマンドを受け付けます。チップ1に対して自動プロテクトビットプログラム/消去を発行しても、プロテクトの設定/解除は行われません。

注：自動プロテクトビットプログラム第7バスライトサイクルでは、ソフトウェアリセットが無効になります。FLCS<RDY/BSY> は、第7バスライトサイクル入力後から、FLCS<RDY/BSY>=0 となります。

8) 自動プロテクトビット消去

プロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。コマンド実行前に FLCS<PROTECT3:0>= 0xF か、それ以外の値かで決まります。自動プロテクトビット消去コマンド実施前に必ず FLCS<PROTECT3:0>値を確認してください。

・ FLCS<PROTECT3:0>=0xF (全てのプロテクトビットがプログラムされている)の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第7バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続きプロテクトビットの全ビットの消去を行いません。この動作に関しては FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FLCS<PROTECT3:0>=0x0 となります。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第7バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合リードモードに復帰後、FLCS<PROTECT3:0>にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去或いは自動ブロック消去を実行する必要があります。

・ FLCS<PROTECT3:0> < 0xF(全てのプロテクトビットがプログラムされていない)の場合

自動プロテクトビット消去により、プロテクトの状態を解除することができます。本デバイスでは、プロテクトビットは2ビット単位で消去します。ビットの指定は第7バスライトサイクルで行い、コマンド終了後は2ビット消去状態となります。各ブロックのプロテクトの状態は後で説明する FLCS<PROTECT3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FLCS<PROTECT3:0>の消去選択した2つのプロテクトビットの値が“0”となります。

いずれの場合も、自動オプションビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動オプションビット消去動作が正常に終了した場合はリードモードに復帰します。

9) フラッシュコントロール/ステータスレジスタ
 フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 3.5.1.3 フラッシュコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PROTECT3	PROTECT2	PROTECT1	PROTECT0		ROMTYPE	PRGB	RDY/BSY
Read/Write	R				R	R	R/W	R
パワーオンリセット後	0	0	0	0	0	0	0	1
機能	プロテクトエリア設定(512KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : エリア 0 がプロテクト状態 xx1x : エリア 1 がプロテクト状態 x1xx : エリア 2 がプロテクト状態 1xxx : エリア 3 がプロテクト状態					ROM 識別ビット 0:Flash 1:MROM	プログラミングビット 0: 発行終了 1: 発行	Ready/Busy 0: 自動動作中 1: 自動動作終了
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	R							
パワーオンリセット後	0	0	0	0	0	0	0	0
機能								
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	R							
パワーオンリセット後	0	0	0	0	0	0	0	0
機能								
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	R							
パワーオンリセット後	0	0	0	0	0	0	0	0
機能								

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は“0”を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり“1”を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは“0”出力を継続します。電源投入時に“1”に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。

ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット 1: プログラミングビット

Flash へコマンドを発行することを Flash I/F へ通知するビットです。

内蔵Flashに対してコマンドを発行する場合、必ずこのビットを“1”に設定して下さい。また、全てのコマンド発行後に、<RDY/BSY>ビットが“1”であることを確認した後、このビットを“0”に設定して下さい。

ビット 2: ROM タイプ識別ビット

リセット後の値でフラッシュ ROM またはマスク ROM タイプの識別を行なうビットです。

フラッシュ ROM : “0”

マスク ROM : “1”

ビット[7:4]: プロテクトビット (x: エリアごとの組み合わせ設定可能)

プロテクトビット(4ビット)値は各エリアのプロテクト状態に対応します。該当ビットが“1”の時は対応するエリアがプロテクト状態であることを示します。プロテクト状態のエリアは書き換えはできません。

10) ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることが出来ます。第4バスライトサイクル以降でのフラッシュへのライトアドレス[15:14]の値によりロードされるデータが異なります(データ入力値は 0xF0 以外の任意のデータ)。第4バスライトサイクル以降でのフラッシュへの SW 命令後の LW 命令(任意のフラッシュメモリエリアを読み出します)で、ID の値がロードされます(LW 命令直後に SYNC 命令を実施してください)。ID-Read コマンド第4バスライトサイクル以降は自動的にリードモードに復帰しません。第4バスライトサイクルと LW +SYNC 命令を繰り返し実行できます。リードモードへの復帰はシステムリセットもしくは、Read コマンドまたは Read/リセットコマンドで行います。

ID-Read コマンドは、フラッシュメモリ内蔵タイプ製品とマスク ROM 内蔵タイプ製品を同一アプリケーション上で識別する必要があるときに使用できます。マスク ROM には、コマンドシーケンサが無い為、ID-Read コマンドがコマンドライトされても、マスク ROM に対して SW 命令と LW 命令が実施されたと認識する為です。マスク ROM 内蔵タイプで ID-Read コマンドを実行する場合はセキュリティ状態を考慮して、通常の LW 命令を実行して得られる rt 値がフラッシュメモリ内蔵タイプの ID-Read コマンド実行結果(ID)とは異なるアドレスを予め抽出しておく必要があります。

注：チップ0、チップ1へ対してのコマンド発行時に設定が必要です。(4)コマンドシーケンス一覧表を参照ください。

(4) コマンドシーケンス一覧

本製品は 1M バイト、2 チップ(1MB x 2) 構成のフラッシュ ROM を搭載しています。各コマンドを実行するにあたり、チップ 0,1 の識別を行なう必要があります。アドレスビット [20] にてその識別を行います。

表 3.5.1.2 内部 CPU によるフラッシュメモリアクセス

< フラッシュチップ 0 コマンドシーケンス : Addr. [20]=0 >

コマンド シーケンス	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.						
	Data						
Read	0xXX	RA					
	0xF0	RD					
Read/リセット	0x55XX	0xAAXX	0x55XX	RA			
	0xAA	0x55	0xF0	RD			
ID-Read	0x55XX	0xAAXX	0x55XX	IA	0xXX	-	
	0xAA	0x55	0x90	0x00	ID	-	
Auto ページ プログラム (注)	0x55XX	0xAAXX	0x55XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
Auto チップ消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	-
	0xAA	0x55	0x80	0xAA	0x55	0x10	-
Auto ブロック消去 (注)	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	BA	-
	0xAA	0x55	0x80	0xAA	0x55	0x30	-
プロテクトビット プログラム	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
プロテクトビット 消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

< フラッシュチップ 1 コマンドシーケンス : Addr. [20]=1 >

コマンド シーケンス	第 1 バス サイクル	第 2 バス サイクル	第 3 バス サイクル	第 4 バス サイクル	第 5 バス サイクル	第 6 バス サイクル	第 7 バス サイクル
	Addr.						
	Data						
Read	0xXX	RA					
	0xF0	RD					
Read/リセット	0x55XX	0xAAXX	0x55XX	RA			
	0xAA	0x55	0xF0	RD			
ID-Read	0x55XX	0xAAXX	0x55XX	IA	0xXX	-	
	0xAA	0x55	0x90	0x00	ID	-	
Auto ページ プログラム (注)	0x55XX	0xAAXX	0x55XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
Auto チップ消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	-
	0xAA	0x55	0x80	0xAA	0x55	0x10	-
Auto ブロック消去 (注)	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	BA	-
	0xAA	0x55	0x80	0xAA	0x55	0x30	-

- RA: リードアドレス RD: リードデータ
- IA: ID アドレス ID: ID データ
- PA: プログラム ページアドレス (Addr. [20:9] で指定)
- PD: プログラムデータ (32 ビットデータ)

第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力

- BA: ブロックアドレス PBA: プロテクトビットアドレス

- (注 1) メモリアクセスエリア(ブロック)の選択設定として、第一バスサイクルよりアドレスビット[20:19]へ"0"または"1"の設定を行なって下さい。
- (注 2) 全バスサイクル、アドレスビット[1:0]へは常に"0"を設定して下さい。(ビット[7:2]への設定値は未定義)
- (注 3) Read コマンドの第 2 バスサイクル、Read/リセットコマンドの第 4 バスサイクル、ID-Read コマンドの第 5 バスサイクル以外は全て"バスライトサイクル"です。バスライトサイクルは SW 命令で実施します。SW 命令の rt レジスタ[7:0]には表の"Data"を用います。各バスライトサイクルのアドレス[31:16]は コマンドシーケンス実施対象のフラッシュメモリのアドレス[31:16]を用います。アドレス[15:0]は表の"Addr."を用います。
- (注 4) 各バスライトサイクルの間隔を 15 システムクロック 以上あけて実行してください。
- (注 5) 各バスライトサイクル終了直後に"SYNC 命令"を実行してください。
- (注 6) ID-Read コマンド第 4 バスライトサイクル後の "LW 命令"直後に"SYNC 命令"を実施してください。

(5) バスライトサイクル時のアドレスビット構成

表 3.5.1.3 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:21]	Addr [20]	Addr [19]	Addr [18:17]	Addr [16]	Addr [15]	Addr [14]	Addr [13]	Addr [12:9]	Addr [8]	Addr [7:0]
通常 コマンド	通常のバスライトサイクルアドレス設定										
	フラッシュ 領域	チップ 選択	エリア 選択	"0" 推奨			コマンド				Addr[1:0]="0" 固定、 他ビットは "0" 推奨
ブロック 消去	BA: ブロックアドレス (ブロック消去の第 6 バスライトサイクルアドレス設定)										
	フラッシュ 領域	チップ 選択	エリア 選択	ブロック 選択	Addr[1:0]="0" 固定、他ビットは "0" 推奨						
Auto ページ プログラム	PA: プログラムページアドレス (ページプログラムの第 4 バスライトサイクルアドレス設定)										
	フラッシュ 領域	チップ 選択	エリア 選択	ブロック 選択	ページ選択					Addr[1:0]="0" 固定、他ビッ トは "0" 推奨	
ID-READ	IA: ID アドレス (ID-READの第 4 バスライトサイクルアドレス設定)										
	フラッシュ 領域	チップ 選択	"0" 推奨			ID アドレス		Addr[1:0]="0" 固定、他ビットは "0" 推奨			
プロテ クト ビット プログラ ム	PBA: プロテクトビットアドレス (プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)										
	フラッシュ 領域	"0" 固定	"0" 推奨			プロテクトビットライト "00": エリア 0 "01": エリア 1 "10": エリア 2 "11": エリア 3		Addr[1:0]="0" 固定、他ビットは "0" 推奨			
プロテ クト ビット 消去	PBA: プロテクトビットアドレス (プロテクトビット消去の第 7 バスライトサイクルアドレス設定)										
	フラッシュ 領域	"0" 固定	"0" 推奨			プロテクト消去 0: エリア 0,1 1: エリア 2,3		Addr[1:0]="0" 固定、他ビットは "0" 推奨			

- (注) 表 3.5.1.2 「内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。
- (注) 第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行なって下さい。
- (注) 「"0" 推奨」は適宜変更可能です。

表 3.5.1.4 ブロック消去アドレス表

選択領域			アドレス設定[20:17]				アドレス領域			サイズ
チップ	エリア	BA	[20]	[19]	[18]	[17]	フラッシュメモリアドレス	投影エリアに対して実施する 場合		
チップ1	エリア3	ブロック7	1	1	1	1	0xBFDE_0000-0xBFDF_FFFF	0x001E_0000-0x001F_FFFF	128KB	
		ブロック6	1	1	1	0	0xBFDC_0000-0xBFDD_FFFF	0x001C_0000-0x001D_FFFF	128KB	
		ブロック5	1	1	0	1	0xBFDA_0000-0xBFDB_FFFF	0x001A_0000-0x001B_FFFF	128KB	
		ブロック4	1	1	0	0	0xBF8_0000-0xBF9_FFFF	0x0018_0000-0x0019_FFFF	128KB	
	エリア2	ブロック3	1	0	1	1	0xBF6_0000-0xBF7_FFFF	0x0016_0000-0x0017_FFFF	128KB	
		ブロック2	1	0	1	0	0xBF4_0000-0xBF5_FFFF	0x0014_0000-0x0015_FFFF	128KB	
		ブロック1	1	0	0	1	0xBF2_0000-0xBF3_FFFF	0x0012_0000-0x0013_FFFF	128KB	
		ブロック0	1	0	0	0	0xBF0_0000-0xBF1_FFFF	0x0010_0000-0x0011_FFFF	128KB	
チップ0	エリア1	ブロック7	0	1	1	1	0xBFCE_0000-0xBFCE_FFFF	0x000E_0000-0x000F_FFFF	128KB	
		ブロック6	0	1	1	0	0xBFCC_0000-0xBFCD_FFFF	0x000C_0000-0x000D_FFFF	128KB	
		ブロック5	0	1	0	1	0xBFCA_0000-0xBFCE_FFFF	0x000A_0000-0x000B_FFFF	128KB	
		ブロック4	0	1	0	0	0xBF8_0000-0xBF9_FFFF	0x0008_0000-0x0009_FFFF	128KB	
	エリア0	ブロック3	0	0	1	1	0xBF6_0000-0xBF7_FFFF	0x0006_0000-0x0007_FFFF	128KB	
		ブロック2	0	0	1	0	0xBF4_0000-0xBF5_FFFF	0x0004_0000-0x0005_FFFF	128KB	
		ブロック1	0	0	0	1	0xBF2_0000-0xBF3_FFFF	0x0002_0000-0x0003_FFFF	128KB	
		ブロック0	0	0	0	0	0xBF0_0000-0xBF1_FFFF	0x0000_0000-0x0001_FFFF	128KB	

表 3.5.1.5 プロテクトビットプログラムアドレス表

PBA	第7バスライトサイクルのアドレス[15:14]	
	アドレス[15]	アドレス[14]
エリア0	0	0
エリア1	0	1
エリア2	1	0
エリア3	1	1

表 3.5.1.6 プロテクトビット消去アドレス表

PBA	第7バスライトサイクルのアドレス[15:14]	
	アドレス[15]	アドレス[14]
エリア0	0	X
エリア1	0	X
エリア2	1	X
エリア3	1	X

プロテクトビット消去コマンドは ビット0とビット1 を まとめて消去します。
同様にビット2 と ビット3 は まとめて消去します。

表 3.5.1.7 ID-Read コマンド第4バスライトサイクルの ID アドレス(IA) と
その後のLW 命令で読み出せるデータ(ID)

IA [15:14]	ID [7: 0]	Code
00b	0x98	メーカーコード
01b	0x5A	デバイスコード
11b	0x06	マクロコード
10b	Reserved	---

4. 電気的特性

4.1 絶対最大定格

計算式に使用している“x”は、SYSCR1<SYSCK>で選択されたクロック f_{sys} の周期を示しますのでクロックギアや低速発振器を選択すると“x”の値が異なります。なお、例としての計算値はシステムクロックは高速 (f_c) (SYSCR1 <SYSCK> = “0”)、ギア選択が 1/f_c (SYSCR1 <GEAR (2 : 0)> = “000”) のときの値です。

項目		記号	定格	単位
電源電圧		V _{CC15} (内部)	- 0.3~3.0	V
		V _{CC3} (I/O)	- 0.3~3.9	
		AVCC (A/D)	- 0.3~3.9	
		BVCC	- 0.3~3.9	
		FVCC3	- 0.3~3.9	
入力電圧		V _{IN}	- 0.3~V _{CC} +0.3	V
低レベル 出力電流	1 端子	I _{OL}	5	mA
	合計	ΣI _{OL}	50	
高レベル 出力電流	1 端子	I _{OH}	-5	
	合計	ΣI _{OH}	50	
消費電力(T _a = 85° C)		PD	600	mW
はんだ付け温度(10s)		T _{SOLDER}	260	°C
保存温度		T _{STG}	-40~125	°C
動作温度	Flash W/E 時を除く	T _{OPR}	-20~85	°C
	Flash W/E 時		0~70	
書き替え回数		N _{EW}	100	cycle

V_{CC15}=DVCC15=CVCC15=FVCC15、V_{CC3}=DVCC3n(n=0~4)、AVCC=AVCC3m(m=1~2)

V_{SS}=DVSS * =AVSS * =CVSS=FVSS と定義します。

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格（電流、電圧、消費電力、温度）を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC 電気的特性 (1/4)

Ta = -20~85°C

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
電源電圧 CVCC15=DVCC15 CVSS=DVSS=0V		DVCC15	fs : (fs)/2 or (fs)	1.35		1.65	V
		BVCC 注)	(fs): XT1 からの出力	1.8		3.3	
		DVCC3n (n=0~4)	fosc = 8~13.5MHz fsys = 15KHz~36KHz, 4MHz~54MHz PLLOFF="DVCC15"	1.65		3.3	
低レベル入力電圧	P7~P9	V _{IL1}	2.7V ≤ AVCC32 ≤ AVCC31 ≤ 3.6V			0.3AVCC3 1 0.3AVCC3 2	V
	ノーマルポート	V _{IL2}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~4)			0.3DVCC3 n	
			1.8V ≤ BVCC ≤ 3.3V			0.3BVCC	
	シュミット入力	V _{IL3}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~4) 1.8V ≤ BVCC ≤ 3.3V		-0.3	0.2DVCC3 n	
			1.35V ≤ DVCC15 ≤ 1.65V			0.1DVCC1 5	
	X1	V _{IL4}	1.35V ≤ CVCC15 ≤ 1.65V			0.1CVCC	
XT1	V _{IL5}	1.8V ≤ BVCC ≤ 3.3V			0.1CVCC		

注) BVCC の動作電圧範囲は、ノーマル動作時: 2.3V~3.3V、BACKUP モード時: 1.8V~3.3V

Ta = -20 ~ 85°C

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
高レベル入力電圧	P7~P9	V _{IH1}	2.7V ≤ AVCC32 ≤ AVCC31 ≤ 3.6V	0.7AVCC31 0.7AVCC32			V
	ノーマルポート	V _{IH2}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~4)	0.7DVCC3n	DVCC3n+0.3 BVCC+0.3 DVCC15+0.2 CVCC+0.2		
			1.8V ≤ BVCC ≤ 3.3V	0.7BVCC			
	シュミット入力	V _{IH3}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~4)	0.8DVCC3n			
			1.8V ≤ BVCC ≤ 3.3V	0.8BVCC			
			1.35V ≤ DVCC15 ≤ 1.65V	0.9DVCC15			
X1	V _{IH4}	1.35V ≤ CVCC ≤ 1.65V	0.9CVCC				
XT2	V _{IH4}	1.8V ≤ BVCC ≤ 3.3V	0.9BVCC				
低レベル出力電圧		V _{OL}	I _{OL} = 2mA DVCC3n ≥ 2.7V		0.4	V	
			I _{OL} = 500μA DVCC3n < 2.7V		0.2DVCC3n ≤ 0.4		
高レベル出力電圧		V _{OH}	I _{OH} = -2mA DVCC3n ≥ 2.7V	2.4			
			I _{OH} = -500μA DVCC3n < 2.7V	0.8DVCC3n			

- (1) Typ 値は特に指定のない限り Ta=25°C, DVCC15=1.5V、BVCC=3.0V、DVCC3n=3.0V、AVCC3m=3.3V の値です。

4.3 DC 電气的特性 (2/4)

Ta = -20~85°C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
入力リーク電流	I _{LI}	0.0 ≤ V _{IN} ≤ DVCC15 0.0 ≤ V _{IN} ≤ BVCC 0.0 ≤ V _{IN} ≤ DVCC3n (n=0~4) 0.0 ≤ V _{IN} ≤ AVCC31 0.0 ≤ V _{IN} ≤ AVCC32		0.02	±5	μA
出力リーク電流	I _{LO}	0.2 ≤ V _{IN} ≤ DVCC15-0.2 0.2 ≤ V _{IN} ≤ BVCC-0.2 0.2 ≤ V _{IN} ≤ DVCC3n-0.2 (n=0~4) 0.2 ≤ V _{IN} ≤ AVCC31-0.2 0.2 ≤ V _{IN} ≤ AVCC32-0.2		0.05	±10	
パワーダウン電圧 (@STOP, RAM バックアップ)	V _{STOP} (DVCC15)		1.35		1.65	V
	V _{STOP1} (BVCC)		1.8		3.3	
	V _{STOP2} (AVCC3)	V _{IL1} = 0.3AVCC31,32 V _{IH1} = 0.7AVCC31,32	2.7		3.6	
	V _{STOP3} (DVCC3)	V _{IL2} = 0.3DVCC3n, V _{IL3} = 0.1DVCC3n V _{IH2} = 0.7DVCC3n, V _{IH3} = 0.9DVCC3n (n=0~4)	1.65		3.3	
リセットプルアップ抵抗	RRST	DVCC15 = 1.5V ± 0.15V	20	50	150	kΩ
シュミット入力	V _{TH}	1.65V ≤ DVCC3n ≤ 3.3V (n=0~4) 1.8V ≤ BVCC ≤ 3.3V 1.35V ≤ DVCC15 ≤ 1.65V	0.3	0.6		V
プログラマブル プルアップ/ダウン抵抗	PKH	DVCC3n = 1.65V~3.3V (n=0~4) DVCC15 = 1.35V~1.65V BVCC = 1.8V~3.3V	20	50	150	kΩ
Pin 容量 (電源端子を除く)	C _{IO}	f _c = 1MHz			10	pF

(1) Typ 値は特に指定のない限り Ta=25°C、DVCC15=1.5V、BVCC=3.0V、DVCC3=3.0V、AVCC3m=3.3V の値です。

4.4 DC 電気的特性 (3/4)

DVCC15=CVCC15=VCC15=1.35V~1.65V, FVCC3=DVCC3n=2.7V~3.3V, AVCC3m=2.7V~3.3V,
BVCC=1.8V~3.3V

Ta = -20~85°C (n=0~4, m=1,2)

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL(注 2)ギア比 1/1	ICC	Fsys = 54 MHz (fosc = 13.5 MHz, PLLOFF="DVCC15")		50	60	mA
IDLE(Doze)				18	28	
IDLE(Halt)				14	23	
SLOW		f _{sys} = 32.768kHz (f _s = 32.768kHz)		300	970	μA
SLEEP		f _{sys} = 32.768kHz (f _s = 32.768kHz)		100	950	μA
STOP		DVCC15 = FVCC15 = CVCC15 = 1.35~1.65V BVCC = 1.8~3.3V DVCC3n = 1.65~3.3V AVCC3m = 2.7~3.6V FVCC3 = 2.7~3.6V		90	900	μA
BACKUP		BVCC = 1.8~2.5V		3	5	μA

(注1) Typ 値は、特に指定のない限り Ta=25°C、DVCC15=1.5V、BVCC=3.0V、DVCC3n=3.0V、
AVCC3m=3.3V の値です。

(注2) ICC NORMAL の測定条件 : CPUドライストン実行、内蔵周辺 I/O 全て動作
外部バス 16ビット幅 4 システムクロックで動作

(注3) ICC には DVCC15、BVCC、DVCC3n、CVCC15、AVCC3m に流れる電流が含まれます。

(注4) ICC IDLE の測定条件 : 内蔵周辺 I/O は非動作。

4.5 10ビット A/D 変換特性

DVCC15=CVCC15=1.35V~1.65V, AVCC3m=2.7V~3.3V,
AVSS=DVSS, Ta= -20~85°C

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH		2.7	AVCC	3.3	V
			AVCC3m-0.3		AVCC3m+0.3	
アナログ基準電圧(-)	VREFL		AVSS	AVSS	AVSS+0.2	V
アナログ入力電圧	VAIN		VREFL		VREFH	V
アナログ基準電圧電源電流	IREF	AVCC3m = VREFH = 3.0V ± 0.3V DVSS = AVSS = VREFL		1.15	1.8	mA
				0.1	10	μA
		AVCC3m = VREFH = 2.7~3.3V DVSS = AVSS = VREFL				
アナログ入力容量	—			1.0	2	pF
アナログ入力インピーダンス	—			2.0	3.5	kΩ
積分非直線性誤差	—	AVCC3m = VREFH = 3.0V ± 0.3V DVSS = AVSS = VREFL		±2	±3	LSB
微分直線性誤差	—	AIN 負荷抵抗 < 13.3kΩ AIN 負荷容量 < 20pF		±1	±3	LSB
オフセット誤差	—	AVCC3m 負荷容量 ≥ 10μF VREFH 負荷容量 ≥ 10μF 変換時間 ≥ 8μs		±2	±3	LSB
ゲイン誤差	—			±2	±4	LSB

(注 1) 1LSB = (VREFH - VREFL) / 1024[V]

(注 2) AVCC3m 端子に流れる電源電流は、デジタル電源端子の電源電流 :ICC に含まれます。

4.6 AC 電気的特性

[1]セパレートバスモード

(1) DVCC15=CVCC15=VCC15=1.35V~1.65V, VCC3=DVCC3n=2.3V~3.3V

SYSCR3<ALESEL> = "0", 自動2ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	18.5				ns
2	A0-23 有効→ \overline{RD} / \overline{WR} / \overline{HWR} 立ち下がり	t _{AC}	(1+ALE)x-20		17		ns
3	\overline{RD} / \overline{WR} / \overline{HWR} 立ち上がり → A0 - 23 保持	t _{CAR}	X-14		4.5		ns
4	A0 - 23 有効→ D0 - 15 入力	t _{AD}		$\frac{x(2+TW+ALE)-4}{2}$		50.5	ns
5	\overline{RD} 立ち下がり→ D0 - 15 入力	t _{RD}		$x(1+TW)-28$		27.5	ns
6	\overline{RD} Low パルス幅	t _{RR}	$x(1+TW)-10$		45.5		ns
7	\overline{RD} 立ち上がり→ D0 - 15 保持	t _{HR}	0		0		ns
8	\overline{RD} 立ち上がり→ A0 - 23 出力	t _{RAE}	x-15		3.5		ns
9	\overline{WR} / \overline{HWR} Low パルス幅	t _{WW}	$x(1+TW)-10$		45.5		ns
10	\overline{WR} / \overline{HWR} 立ち下がり→D0-15 有効	t _{DO}		12.3		12.3	ns
11	D0-15 有効→ \overline{WR} / \overline{HWR} 立ち上がり	t _{DW}	$x(1+TW)-18$		37.5		ns
12	\overline{WR} / \overline{HWR} 立ち上がり→ D0 - 15 保持	t _{WD}	x-15		3.5		ns
13	A0 - 23 有効→ \overline{WAIT} 入力	t _{AW}		$\frac{x+(ALE)x+(TW-1)}{x}-30$		25.5	ns
14	\overline{RD} / \overline{WR} / \overline{HWR} → \overline{WAIT} 保持	t _{CW}	$x(TW-3)-1$	$x(TW-1)-30$	17.5	25.5	ns

(注)項目 1~14 は、内部ウェイト“2”、ALE 出力幅“1”クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

(自動2ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(2) DVCC15=CVCC15=VCC15=1.35V~1.65V, VCC3=VCC3n=1.65V~1.95V

SYSCR3<ALESEL> = “0”, 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	18.5				ns
2	A0-23 有効→ \overline{RD} / \overline{WR} / \overline{HWR} 立ち下がり	t _{AC}	(1+ALE)x-20		17		ns
3	\overline{RD} / \overline{WR} / \overline{HWR} 立ち上がり → A0 - 23 保持	t _{CAR}	X-7		11.5		ns
4	A0 - 23 有効→ D0 - 15 入力	t _{AD}		x(2+TW+ALE)-42		50.5	ns
5	\overline{RD} 立ち下がり→ D0 - 15 入力	t _{RD}		x(1+TW)-28		27.5	ns
6	\overline{RD} Low パルス幅	t _{RR}	x(1+TW)-10		45.5		ns
7	\overline{RD} 立ち上がり→ D0 - 15 保持	t _{HR}	0		0		ns
8	\overline{RD} 立ち上がり→ A0 - 23 出力	t _{RAE}	x-15		3.5		ns
9	\overline{WR} / \overline{HWR} Low パルス幅	t _{WW}	x(1+TW)-10		45.5		ns
10	\overline{WR} / \overline{HWR} 立ち下がり→D0-15 有効	t _{DO}		12.3		12.3	ns
11	D0-15 有効→ \overline{WR} / \overline{HWR} 立ち上がり	t _{DW}	x(1+TW)-18		37.5		ns
12	\overline{WR} / \overline{HWR} 立ち上がり→ D0 - 15 保持	t _{WD}	x-15		3.5		ns
13	A0 - 23 有効→ \overline{WAIT} 入力	t _{AW}		x+(ALE)x+(TW-1) x-30		25.5	ns
14	\overline{RD} / \overline{WR} / \overline{HWR} → \overline{WAIT} 保持	t _{CW}	x(TW-3)-7	x(TW-1)-40	13.5	15.5	ns

(注)項目 1~14 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

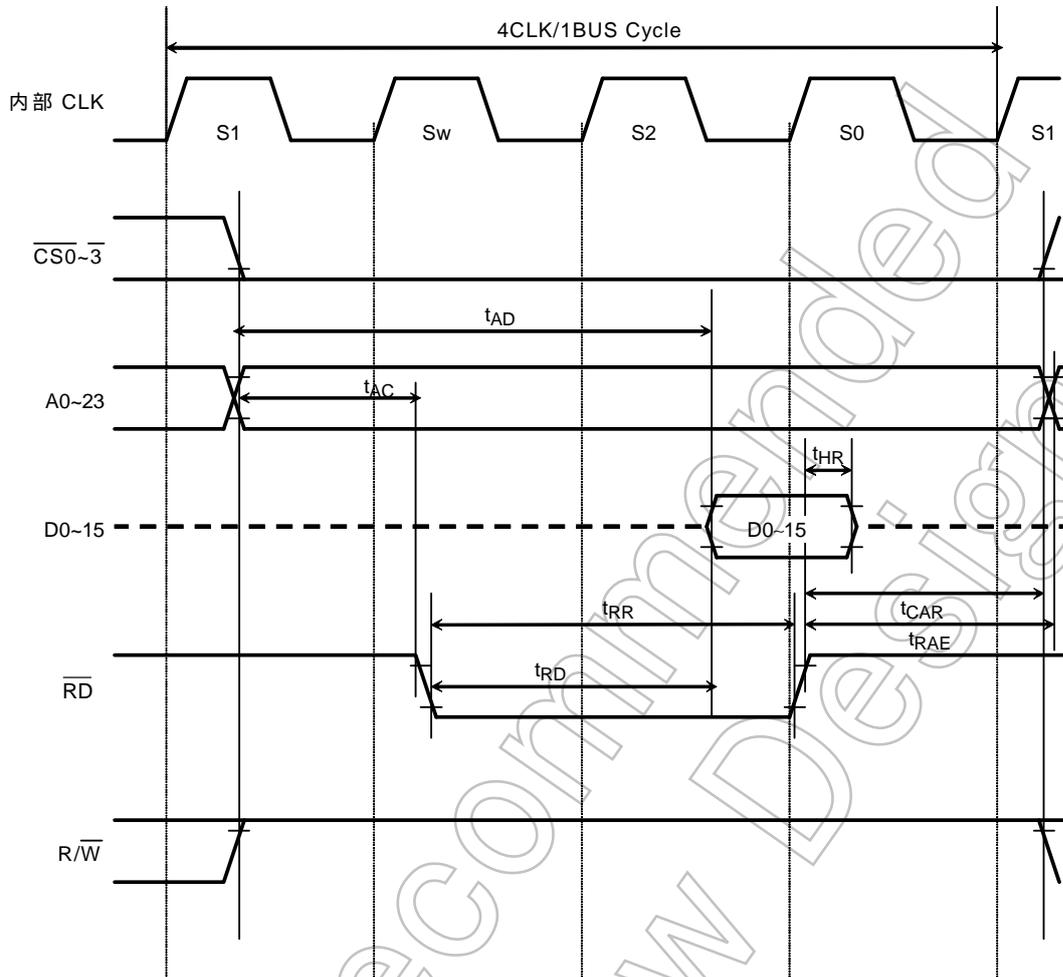
(自動 2 ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

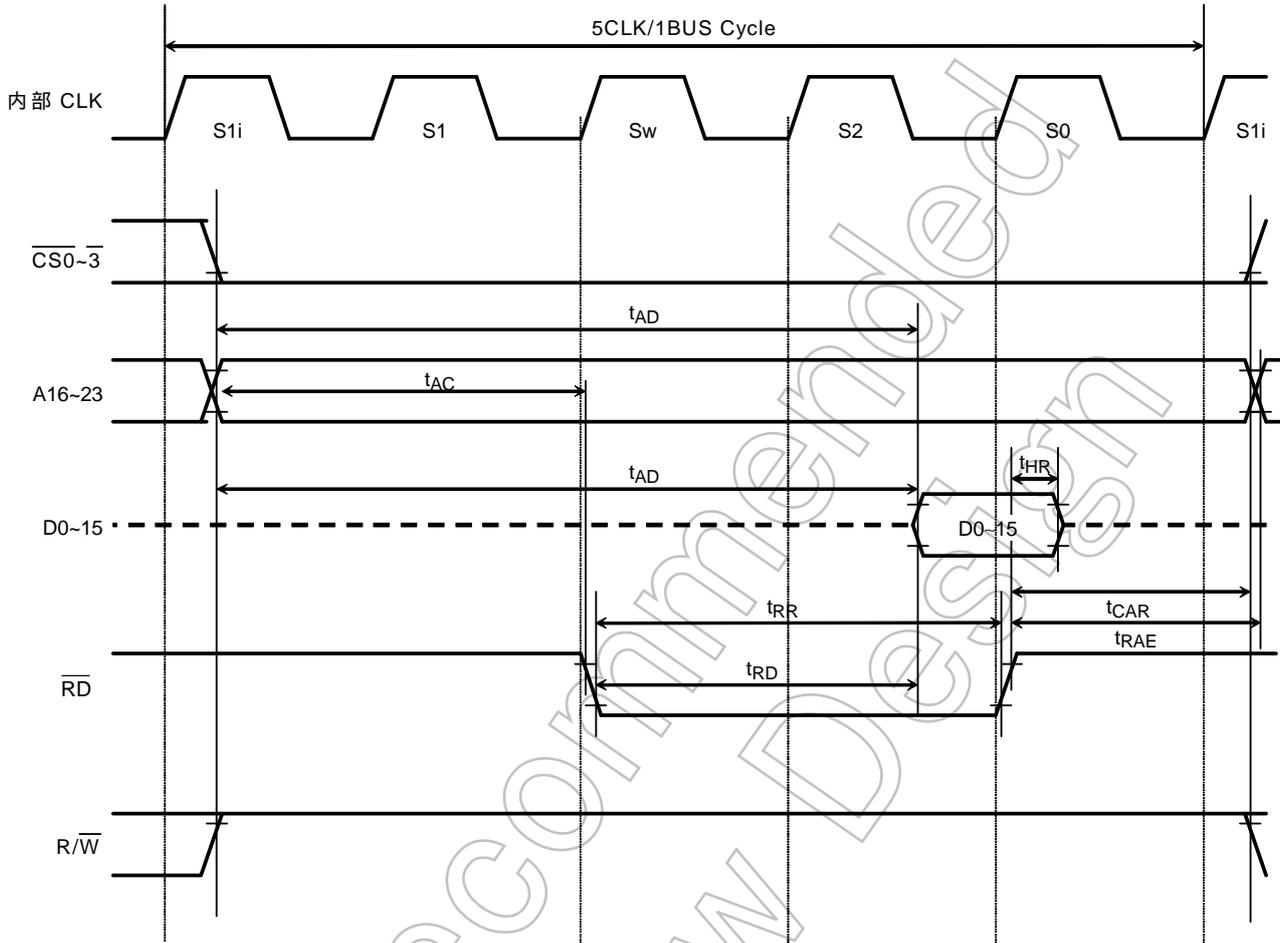
- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(1) リードタイミング (SYSCR3<ALESEL> = "0"、1 ウェイト (内部ウェイト))



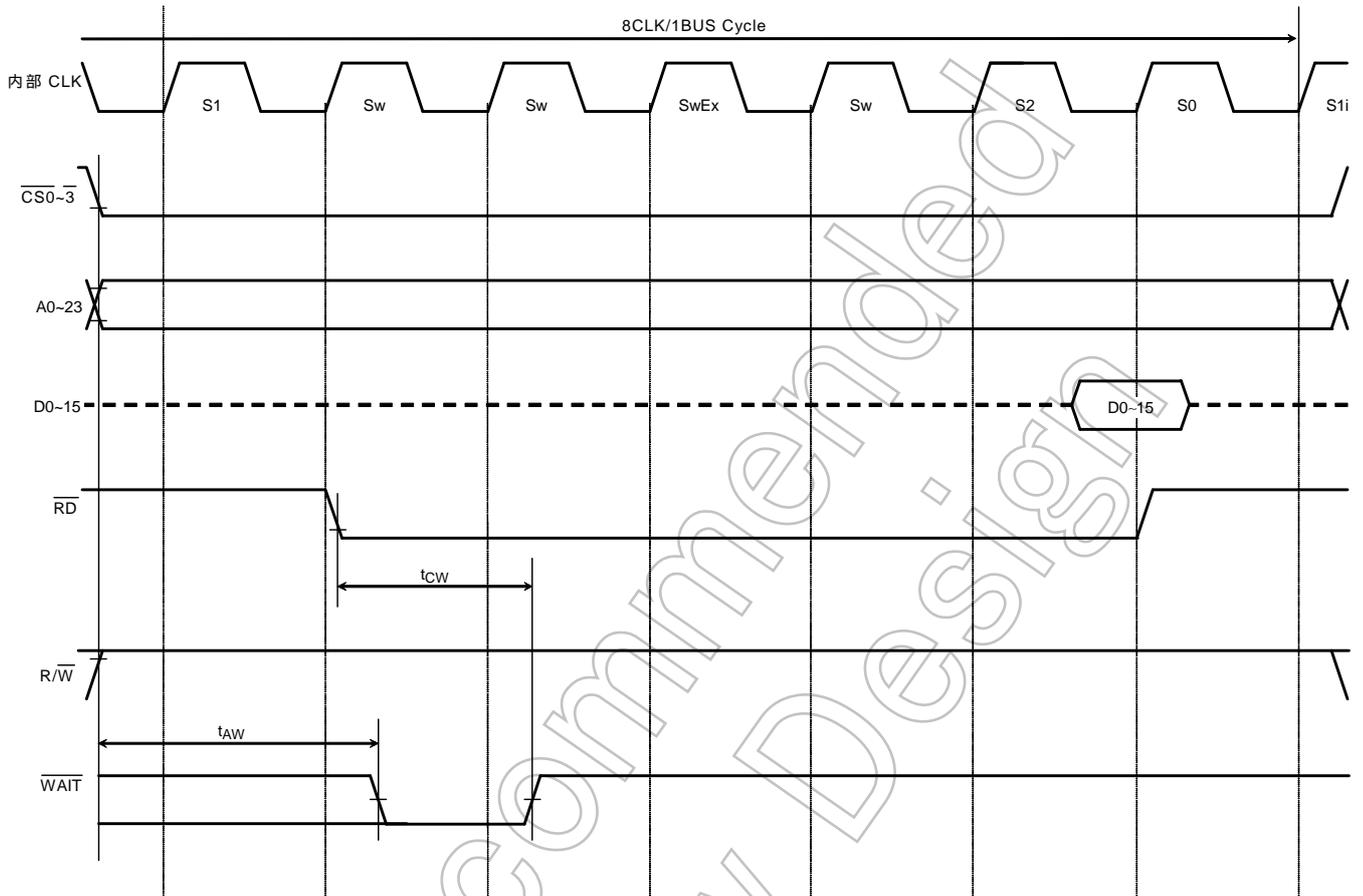
Not Recommended for New

(2) リードタイミング (SYSCR3<ALESEL> = "1"、1 ウェイト (内部ウェイト))

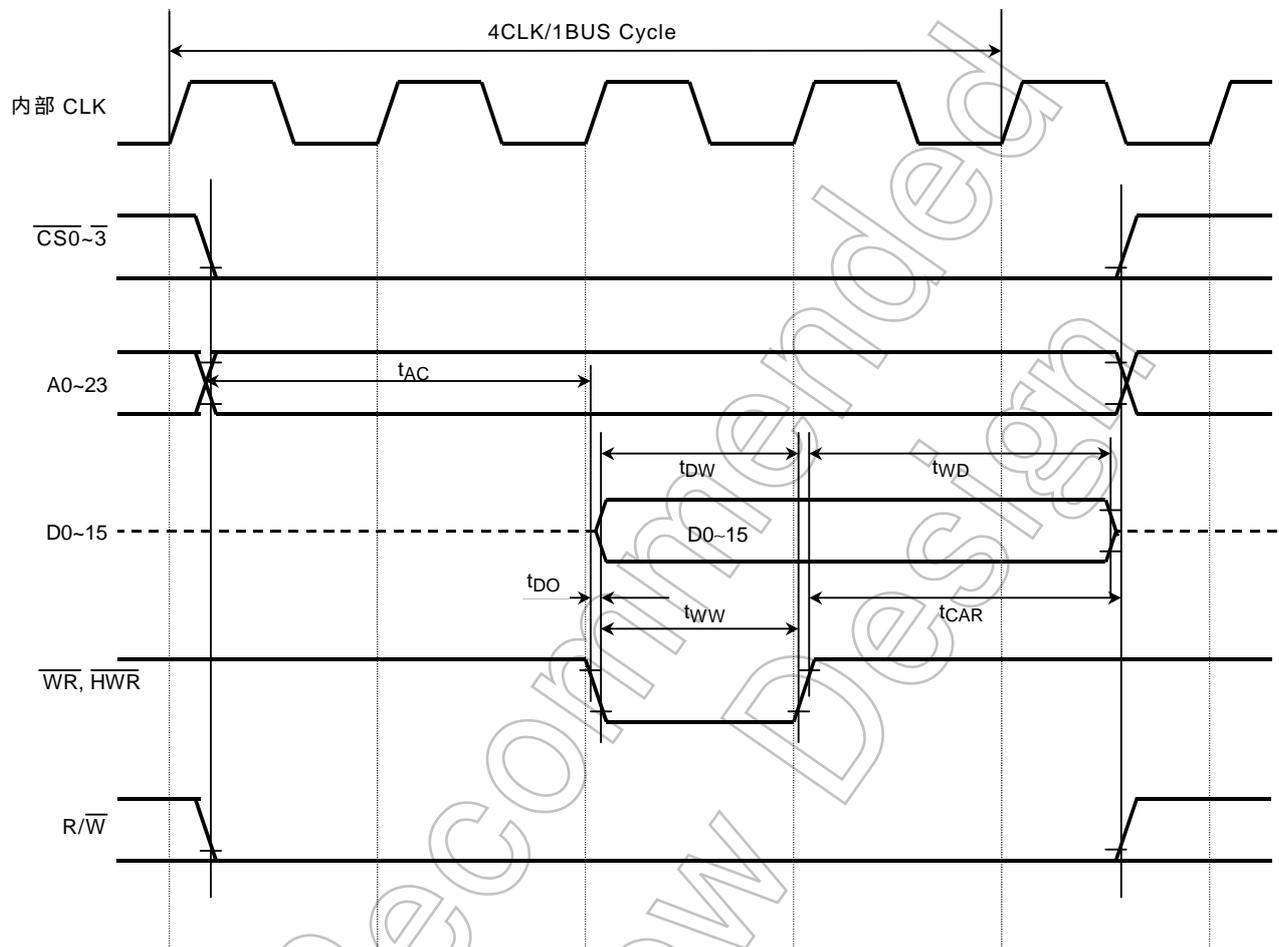


Not Recommended for New

(3)リードタイミング (SYSCR3<ALESEL> = "1", 4 ウェイト (外部 2+2N ウェイト、N = 1))



(4) ライトタイミング (SYSCR3<ALESEL> = "1", 0 ウェイト)



Not Recommended for New

[2] マルチプレクスバスモード

(1) DVCC15=CVCC15=VCC15=1.35V~1.65V, VCC3=DVCC3n=2.3V~3.3V

① ALE=1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	18.5				ns
2	A0-15 有効→ALE 立ち下がり	t _{AL}	(ALE)x-12		6.5		ns
3	ALE 立ち下がり→A0-15 保持	t _{LA}	x-8		10.5		ns
4	ALE High パルス幅	t _{LL}	(ALE)x-6		12.5		ns
5	ALE 立ち下がり → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-8		10.5		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →ALE 立ち上がり	t _{CL}	x-15		3.5		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-20		17.0		ns
8	A16-23 有効 → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-20		17.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →A16-23 保持	t _{CAR}	x-14		4.5		ns
10	A0-15 有効→D0-15 入力	t _{ADL}		x(2+TW+ALE)-42		50.5	ns
11	A16-23 有効→D0-15 入力	t _{ADH}		x(2+TW+ALE)-42		50.5	ns
12	\overline{RD} 立ち下がり→D0-15 入力	t _{RD}		x(1+TW)-28		27.5	ns
13	\overline{RD} Low パルス幅	t _{RR}	x(1+TW)-10		45.5		ns
14	\overline{RD} 立ち上がり→D0-15 保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり→A0-15 出力	t _{RAE}	x-15		3.5		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t _{WW}	x(1+TW)-10		45.5		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	x(1+TW)-18		37.5		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15 保持	t _{WD}	x-15		3.5		ns
19	A16-23 有効→ \overline{WAIT} 入力	t _{AWH}		x+(ALE)x+(TW-1)x-30		25.5	ns
20	A0-15 有効→ \overline{WAIT} 入力	t _{AWL}		x+(ALE)x+(TW-1)x-30		25.5	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → \overline{WAIT} 保持	t _{CW}	x(TW-3)-1	x(TW-1)-30	17.5	25.5	ns

(注) 項目 1~21 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

ALE = ALE の出力幅

項目 21 は、以下の条件の値です。

(自動 2 ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

(2) DVCC15=CVCC15=VCC15=1.35V~1.65V, VCC3=DVCC3n=1.65V~1.95V

ALE=1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	18.5				ns
2	A0-15 有効→ALE 立ち下がり	t _{AL}	(ALE)x-12		6.5		ns
3	ALE 立ち下がり→A0-15 保持	t _{LA}	x-8		10.5		ns
4	ALE High パルス幅	t _{LL}	(ALE)x-6		12.5		ns
5	ALE 立ち下がり → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-8		10.5		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →ALE 立ち上がり	t _{CL}	x-15		3.5		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-20		17.0		ns
8	A16-23 有効 → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-20		17.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →A16-23 保持	t _{CAR}	x-7		11.5		ns
10	A0-15 有効→D0-15 入力	t _{ADL}		x(2+TW+ALE)-42		50.5	ns
11	A16-23 有効→D0-15 入力	t _{ADH}		x(2+TW+ALE)-42		50.5	ns
12	\overline{RD} 立ち下がり→D0-15 入力	t _{RD}		x(1+TW)-28		27.5	ns
13	\overline{RD} Low パルス幅	t _{RR}	x(1+TW)-10		45.5		ns
14	\overline{RD} 立ち上がり→D0-15 保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり→A0-15 出力	t _{RAE}	x-15		3.5		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t _{WW}	x(1+TW)-10		45.5		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	x(1+TW)-18		37.5		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15 保持	t _{WD}	x-15		3.5		ns
19	A16-23 有効→ \overline{WAIT} 入力	t _{AWH}		x+(ALE)x+(TW-1)x-30		25.5	ns
20	A0-15 有効→ \overline{WAIT} 入力	t _{AWL}		x+(ALE)x+(TW-1)x-30		25.5	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → \overline{WAIT} 保持	t _{CW}	x(TW-3)-7	x(TW-1)-40	13.5	15.5	ns

(注)項目 1~21 は、内部ウェイト“2”、ALE 出力“1”クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

ALE= ALE の出力幅

項目 21 は、以下の条件の値です。

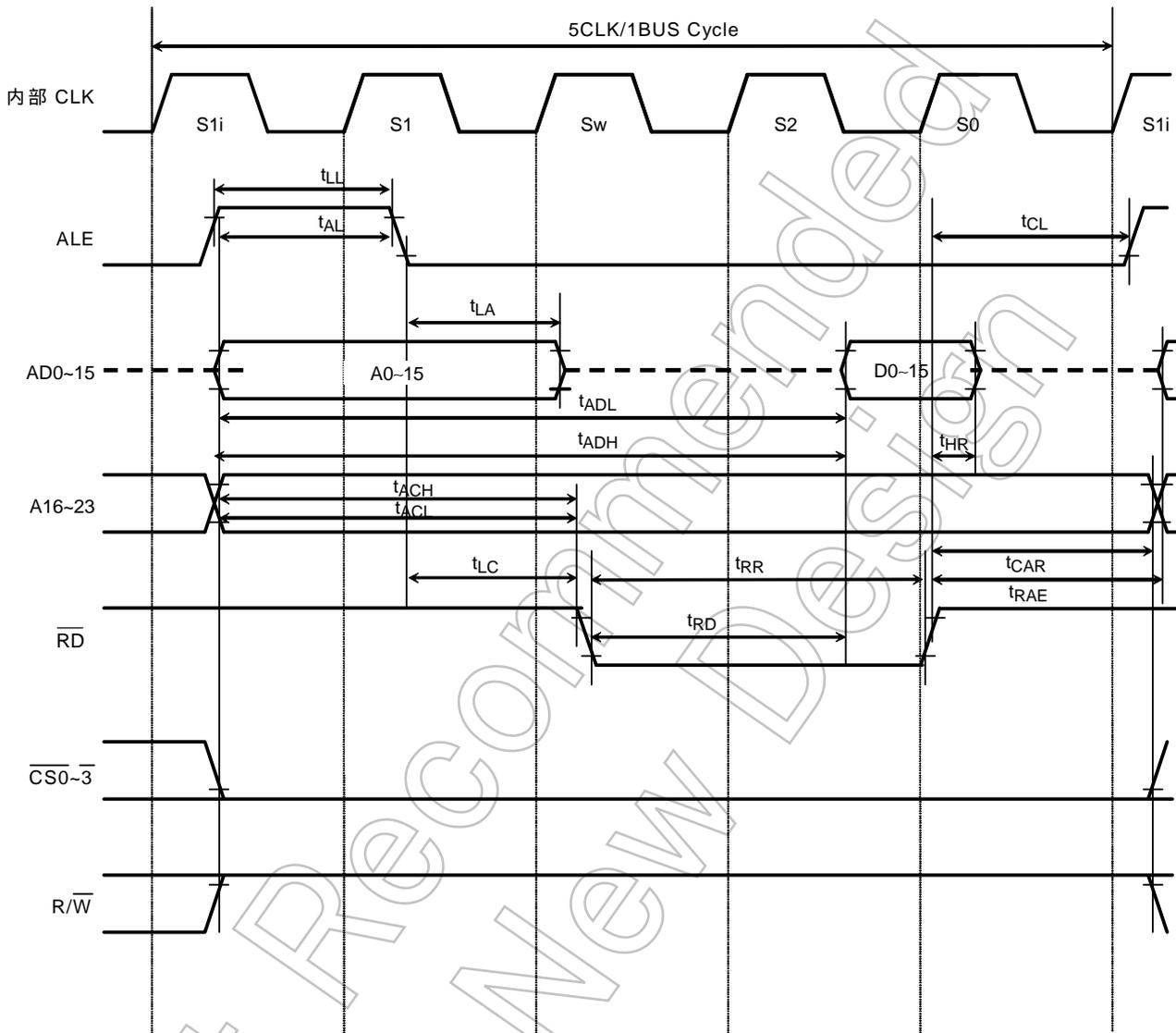
(自動 2 ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

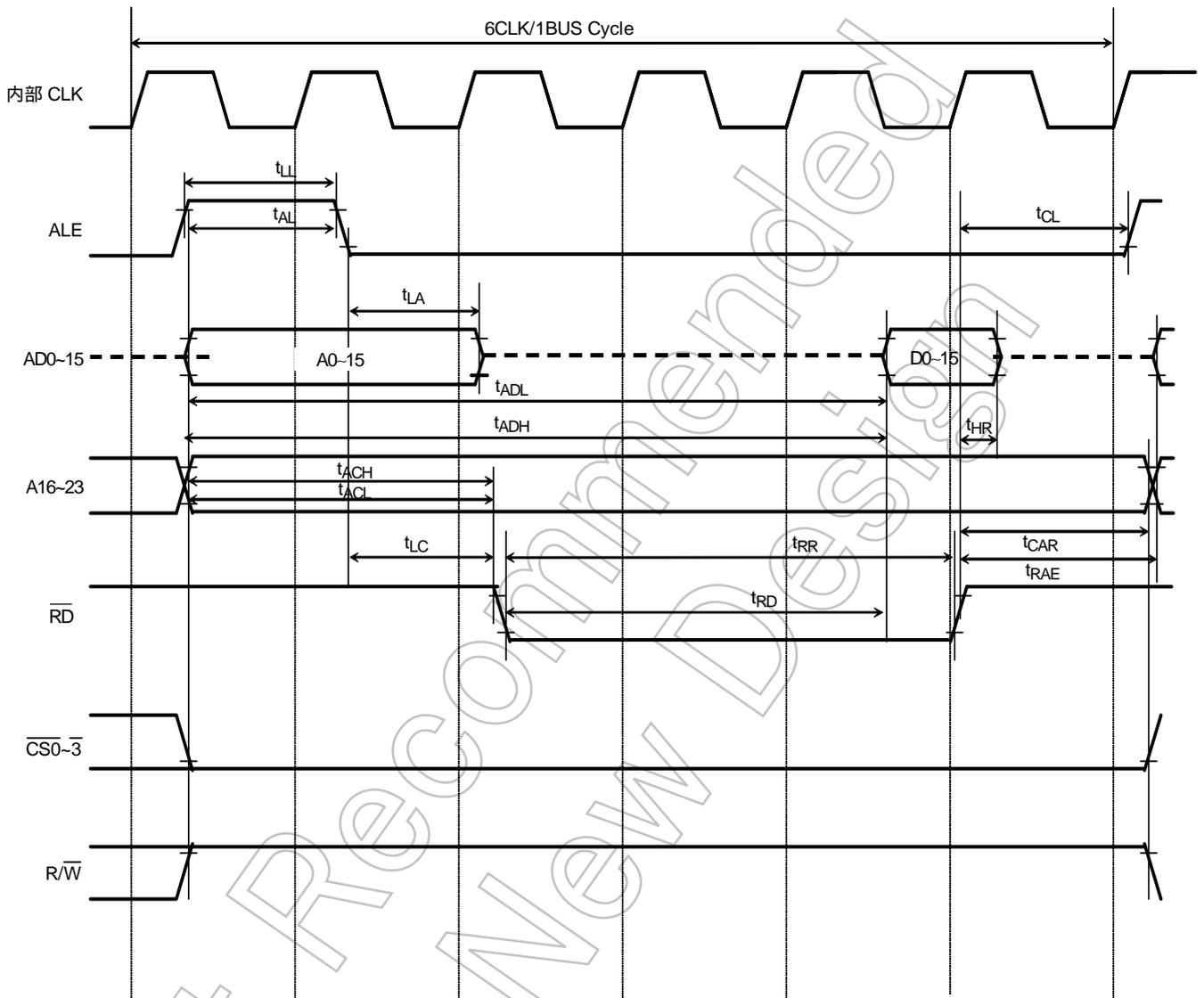
AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

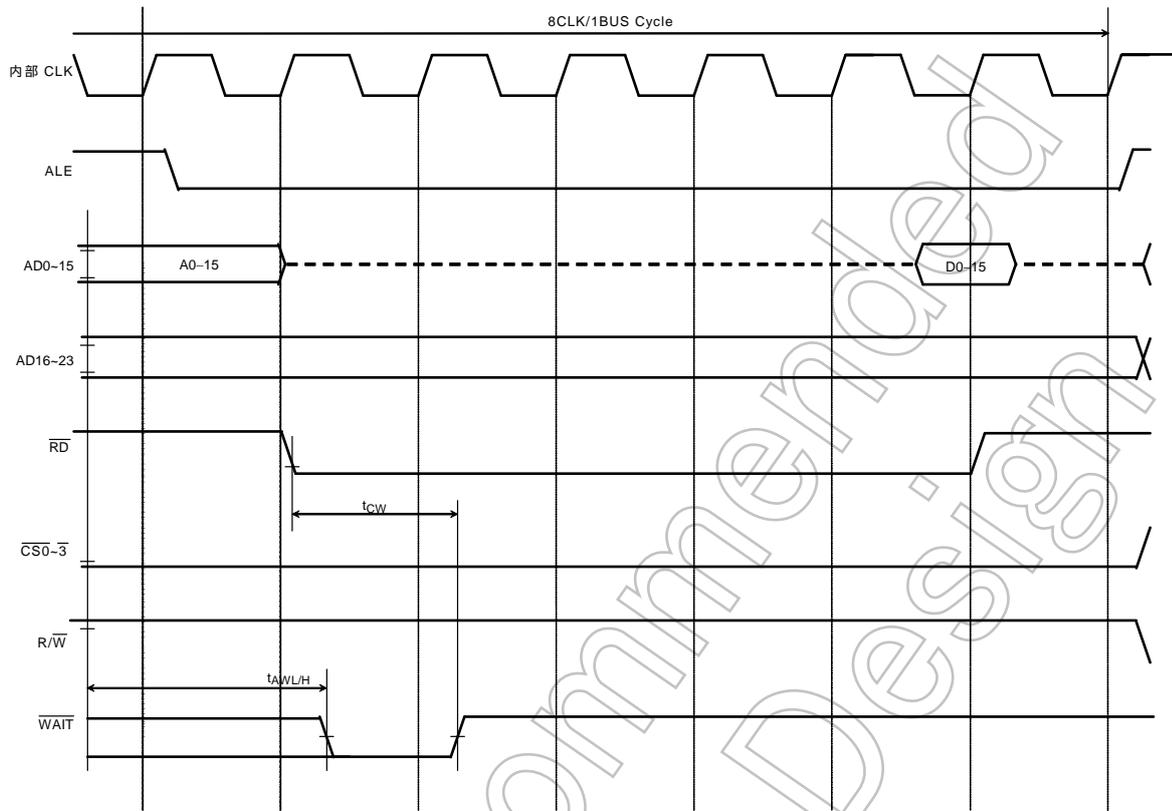
(1) リードタイミング (ALE = 1 クロック、1 ウェイト (内部ウェイト))



(2) リードタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))

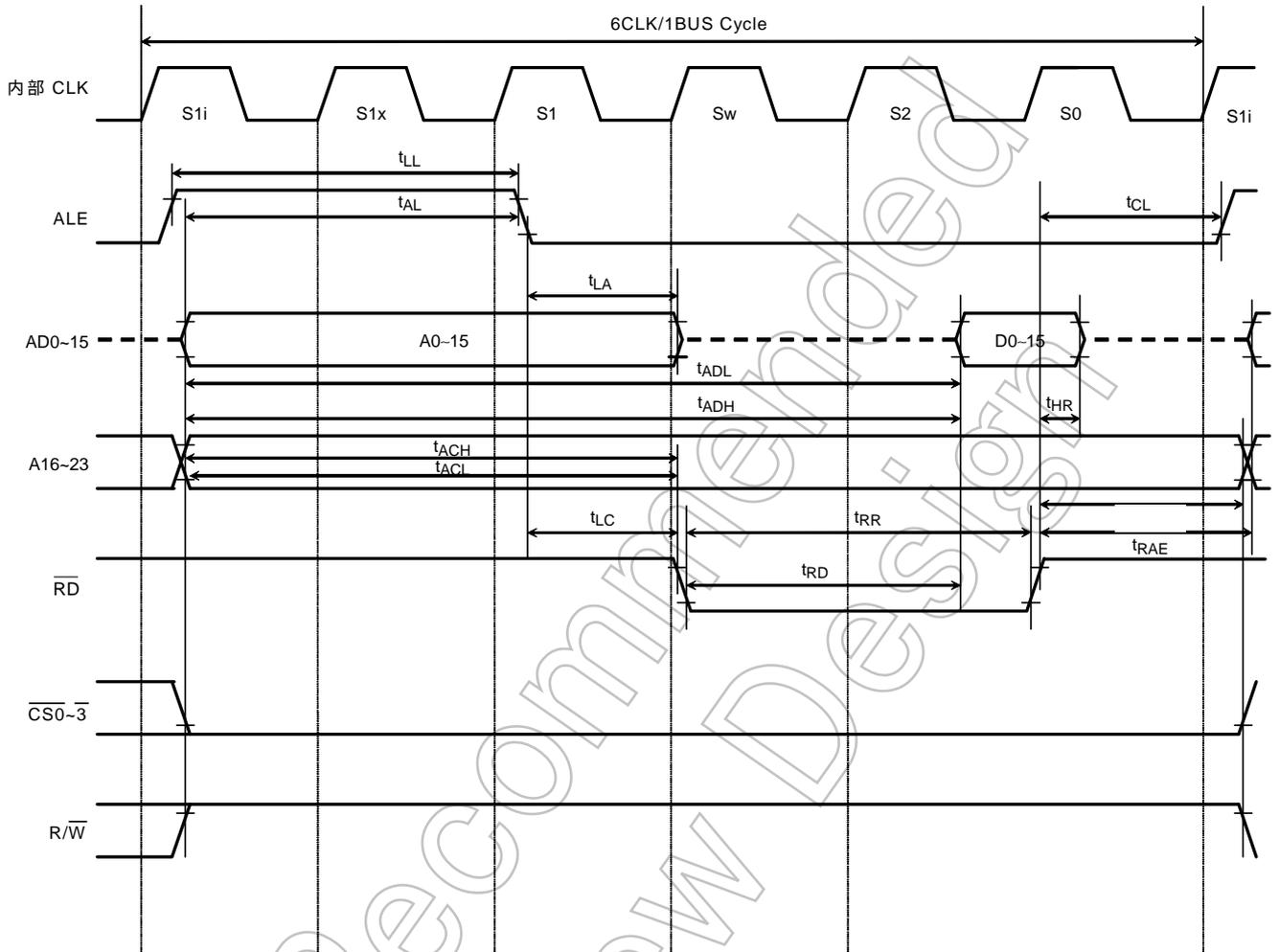


(3) リードタイミング (ALE = 1 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

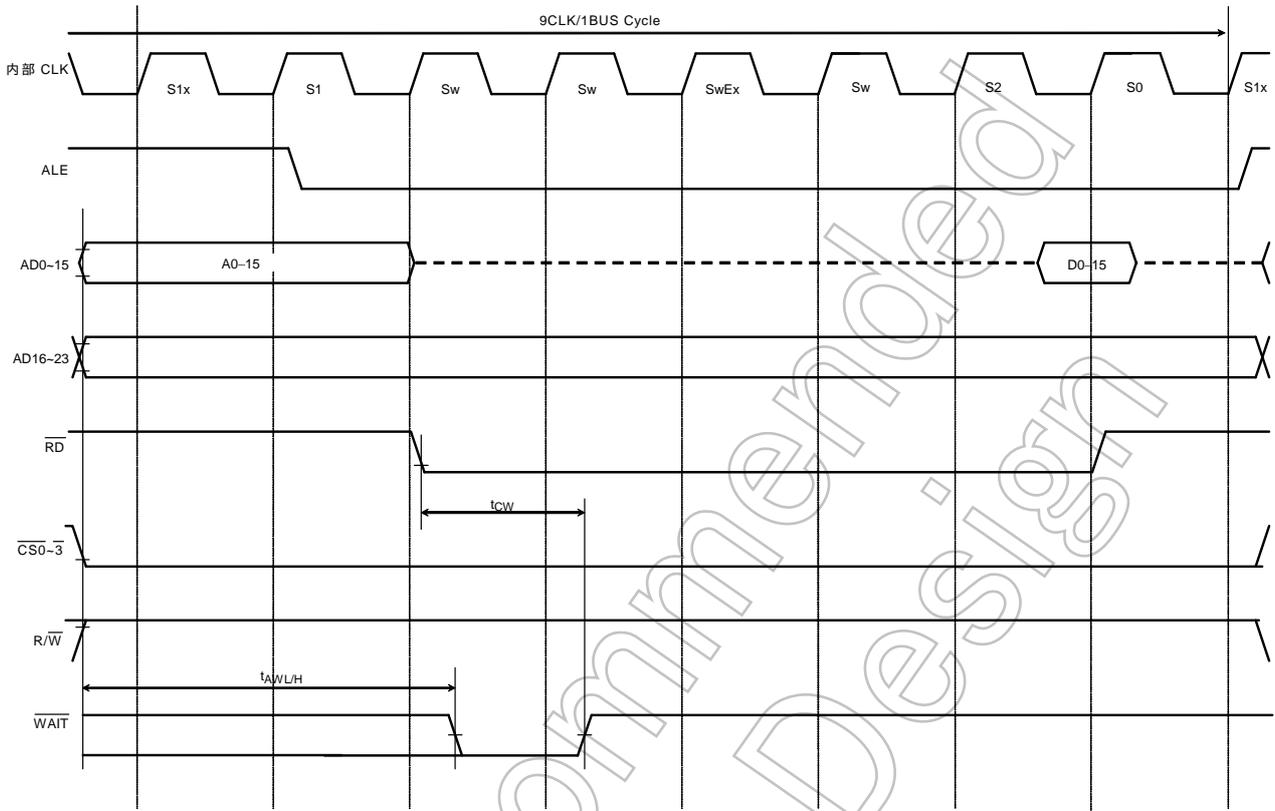


Not Recommended for New Design

(4) リードタイミング (ALE = 2 クロック、1 ウェイト (内部ウェイト))

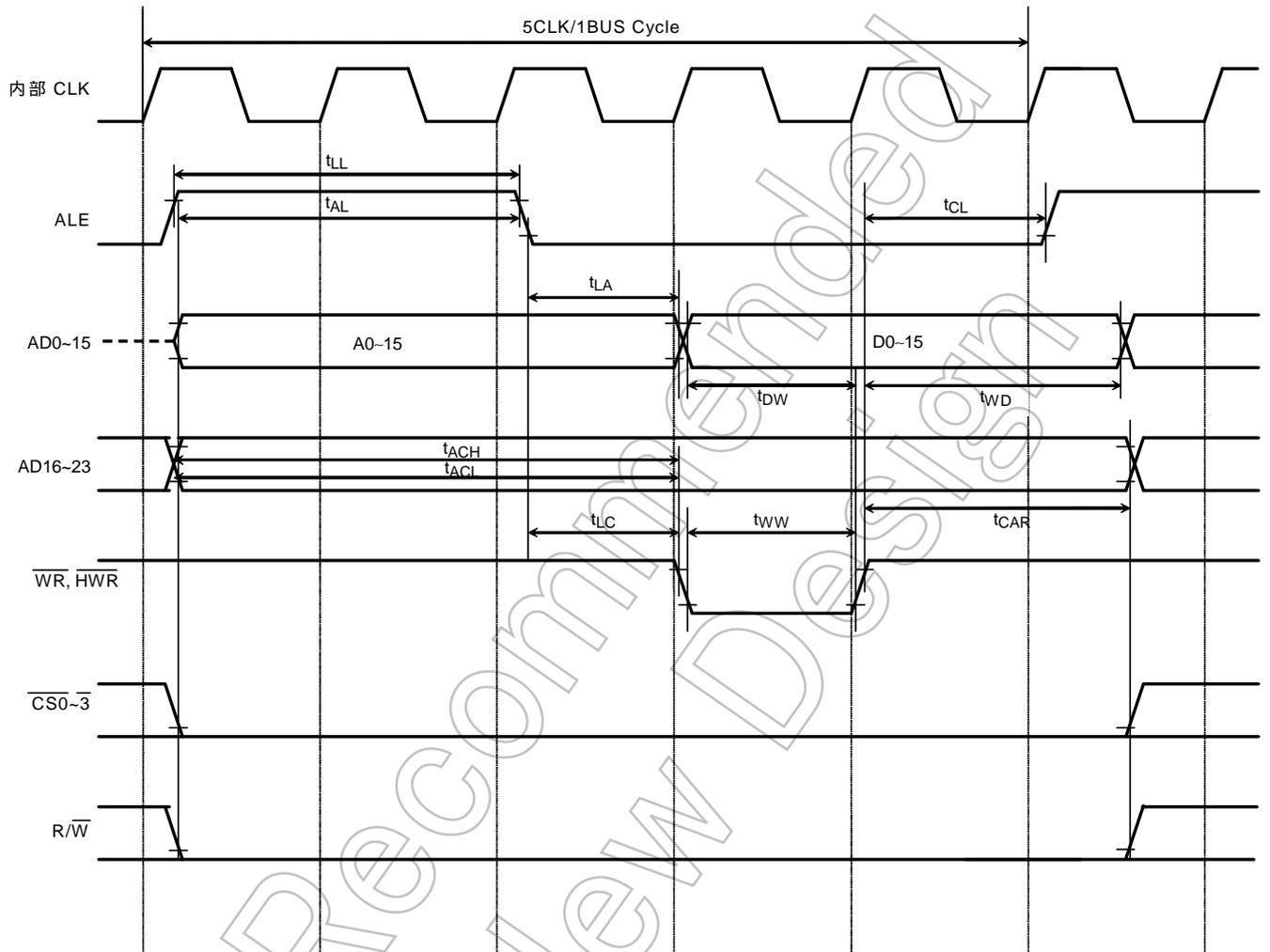


(5) リードタイミング (ALE = 2 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

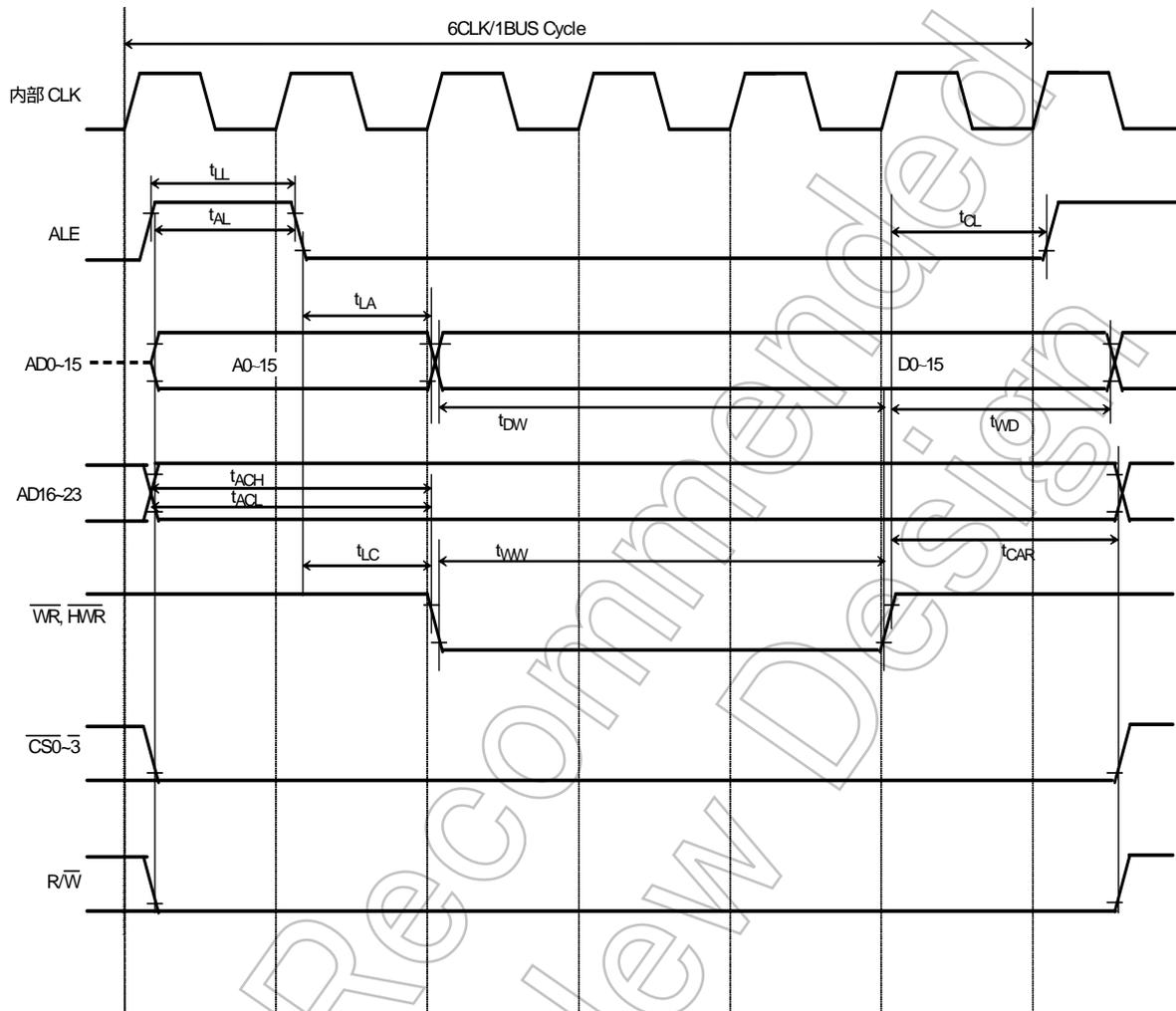


Not Recommended for New Design

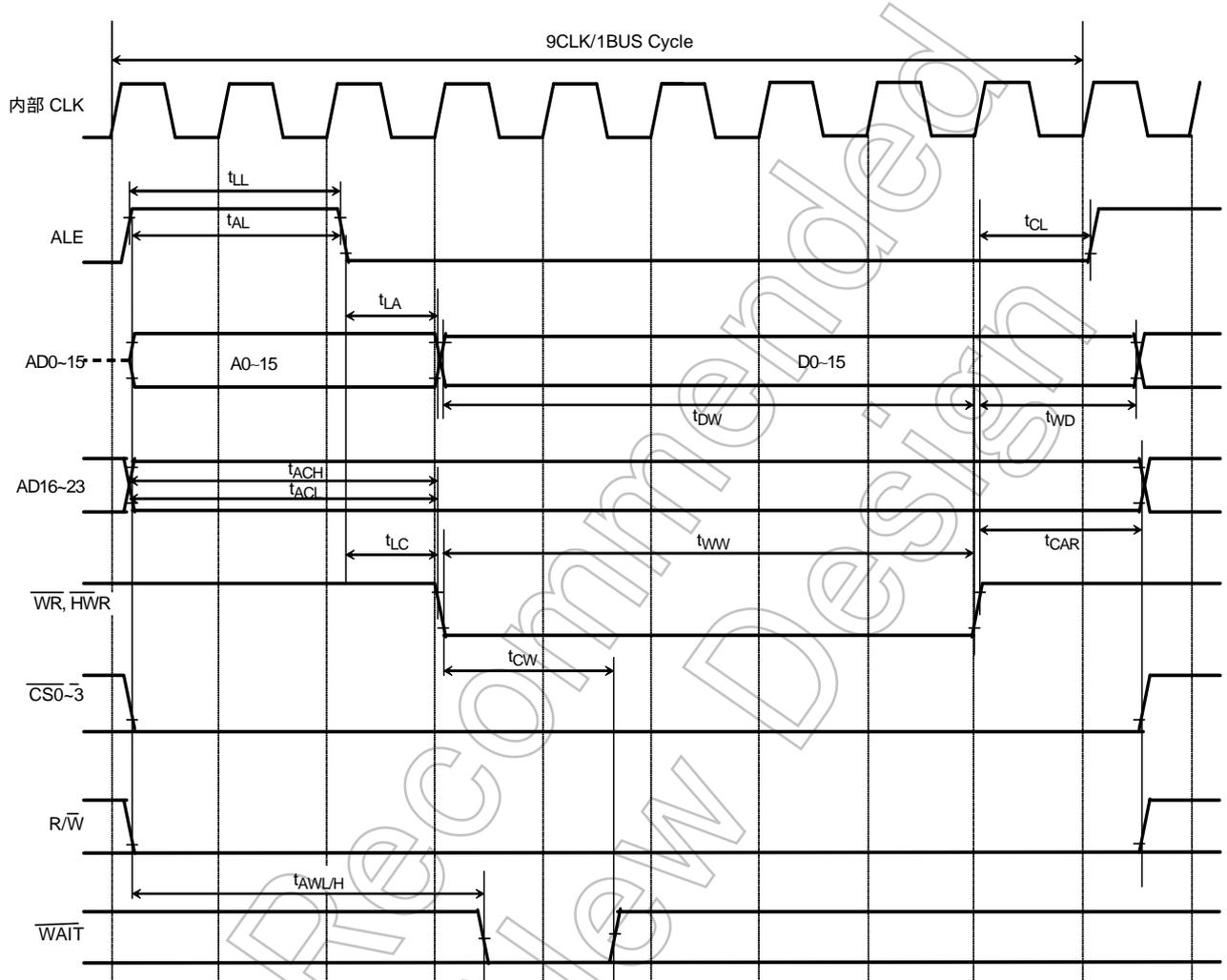
(6) ライトタイミング (ALE = 2 クロック、0 ウェイト)



(7) ライトタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



(8) ライトタイミング (ALE = 2 クロック、4 ウェイト(外部 2+2N ウェイト、N = 1))

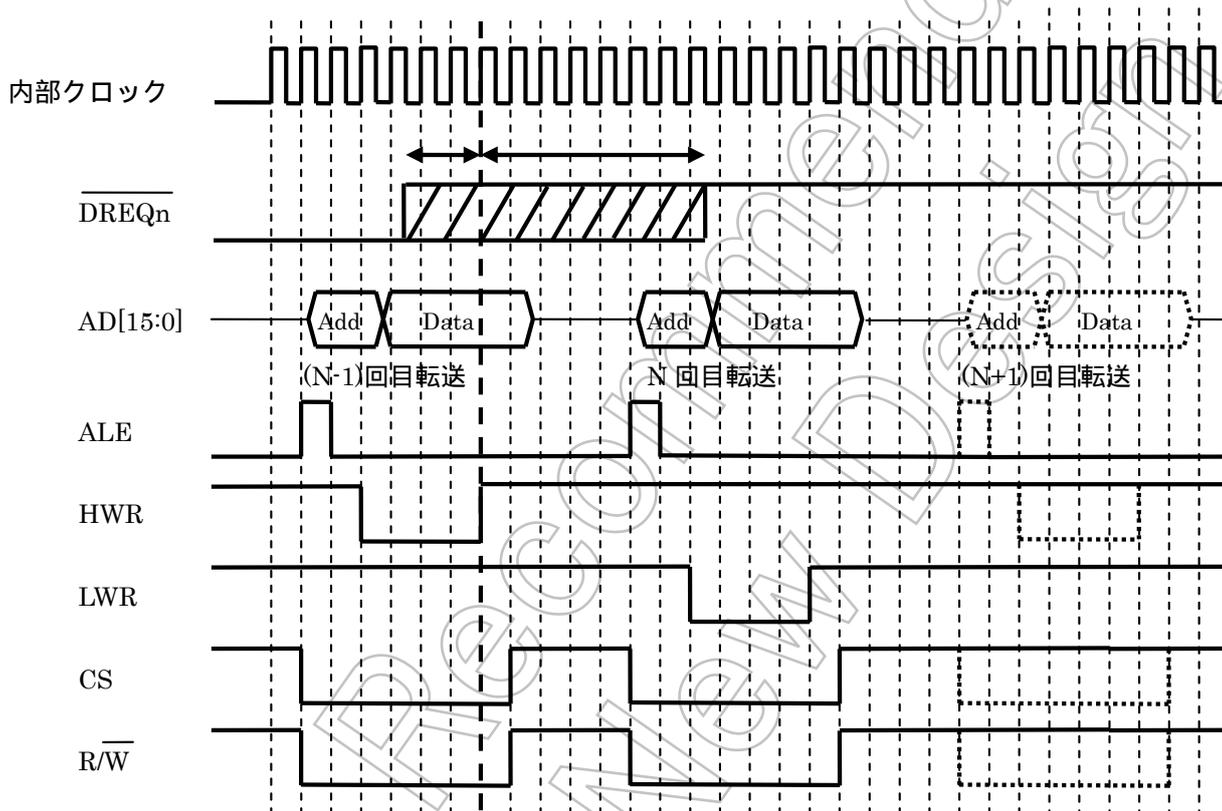


4.7 DMA リクエストを使用した転送

マルチプレクスバスモードで、内蔵 RAM と外部デバイスとの転送例を示します。

- ・ 16 ビットバス幅、リカバリタイムなし
- ・ DMA 転送モードはレベルモード
- ・ 転送単位(TrSiz) 16bit 、デバイスポートサイズ(DPS) 16bit
- ・ ソース/ディスティネーション : 内蔵 RAM/外部デバイス

内蔵 RAM to 外部デバイス(ライト時)(Mem to Mem 転送)のタイミングを図に示します。



- ① N 回目の転送が確実に行われるための条件
- ② N+1 回目の転送が行われないための条件

- (1) DVCC15=CVCC15=VCC15 = 1.35V~1.65V, AVCC3m=VCC3=2.7V~3.3V
 DVCC33=2.3V~3.3V, DVCC30/31/32/34=1.65V~3.3V, Ta= -20~85°C (m=1~2)

No.	項目	記号	計算式		54 MHz (fsys)		単位
			①Min	②Max	Min	Max	
2	\overline{RD} 立ち下がり→ \overline{DREQn} のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	$(W+1)x$	$(2W+ALE+8)x$ -51	37	152.5	ns
3	$\overline{WR}/\overline{HWR}$ 立ち上がり→ \overline{DREQn} のデアサート(内蔵 RAMto 外部デバイス)	tDREQ_w	$-(W+2)x$	$(5+WAIT)x-51.8$	-55.5	59.2	ns

- (2) DVCC15=CVCC15=VCC15 = 1.35V~1.65V, AVCC3m=VCC3=2.7V~3.3V
 DVCC33=1.65V~1.95V, DVCC30/31/32/34=1.65V~3.3V, Ta= -20~85°C (m=1~2)

No.	項目	記号	計算式		54 MHz (fsys)		単位
			①Min	②Max	Min	Max	
2	\overline{RD} 立ち下がり→ \overline{DREQn} のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	$(W+1)x$	$(2W+ALE+8)x$ -56	37	147.5	ns
3	$\overline{WR}/\overline{HWR}$ 立ち上がり→ \overline{DREQn} のデアサート(内蔵 RAMto 外部デバイス)	tDREQ_w	$-(W+2)x$	$(5+WAIT)x-56.8$	-55.5	54.2	ns

W: ウェイト数、例えば、外部 2+2N ウェイト(N=1)の場合は、W=4

ALE: ALE=1 クロックの時は ALE=1、ALE=2 クロックの時は ALE=2 を代入

表中の計算は、W=1、ALE=1として計算

4.8 シリアルチャネルタイミング

(1) I/O インタフェースモード(DVCC3=1.65V~3.3V)

表中の x はシステムクロック f_{sys} の周期を表します。この周期は、クロックギアの設定に依存します。

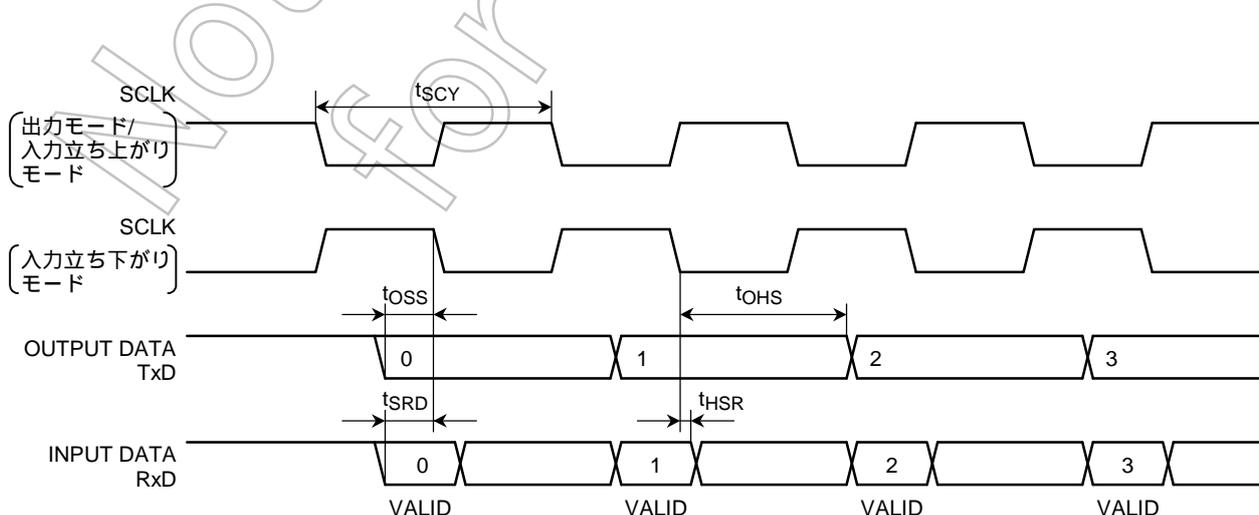
① SCLK 入力モード (SIO0~SIO6)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t _{SCY}	12x		222		ns
SCLK クロック High 幅(入力)	T _{scH}	6x		111		ns
SCLK クロック Low 幅(入力)	T _{scL}	6x		111		ns
Output Data ← SCLK 立ち上がり /立ち下がり*	t _{OSS}	2x-30		6		ns
SCLK 立ち上がり → Output Data 保持 /立ち下がり*	t _{OHS}	8x-15		129		ns
有効 Data 入力 ← SCLK 立ち上がり /立ち下がり*	t _{SRD}	30		30		ns
SCLK 立ち上がり → Input Data 保持 /立ち下がり*	t _{HSR}	2x+30		66		ns

*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード (SIO0~SIO6)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	8x		222		ns
Output Data ← SCLK 立ち上がり	t _{OSS}	4x-10		62		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	4x-10		62		ns
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	45		45		ns
SCLK 立ち上がり → Input Data 保持	t _{HSR}	0		0		ns



4.9 シリアルバスインタフェースタイミング

(1) I2C モード

表中の x はシステムクロック f_{sys} の周期を表します。

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出カクロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0		0	100	0	400	kHz
スタートコンディション保持	$t_{HD;STA}$			4.0		0.6		μs
SCL クロック Low 幅 (入力) (注1)	t_{LOW}			4.7		1.3		μs
SCL クロック High 幅 (入力) (注2)	t_{HIGH}			4.0		0.6		μs
再スタートコンディションセットアップ時間	$t_{SU;STA}$	ソフト (注5)		4.7		0.6		μs
データ保持時間(入力) (注3,4)	$t_{HD;DAT}$			0.0		0.0		μs
データセットアップ時間	$t_{SU;DAT}$			250		100		ns
ストップコンディションセットアップ時間	$t_{SU;STO}$			4.0		0.6		μs
ストップコンディションとスタートコンディション間のバスフリー時間	t_{BUF}	ソフト (注5)		4.7		1.3		μs

注1) SCL クロック LOW 幅(出力): $(2^{n-1} + 58) / (f_{sys} / 2)$

注2) SCL クロック HIGH 幅(出力): $(2^{n-1} + 12) / (f_{sys} / 2)$

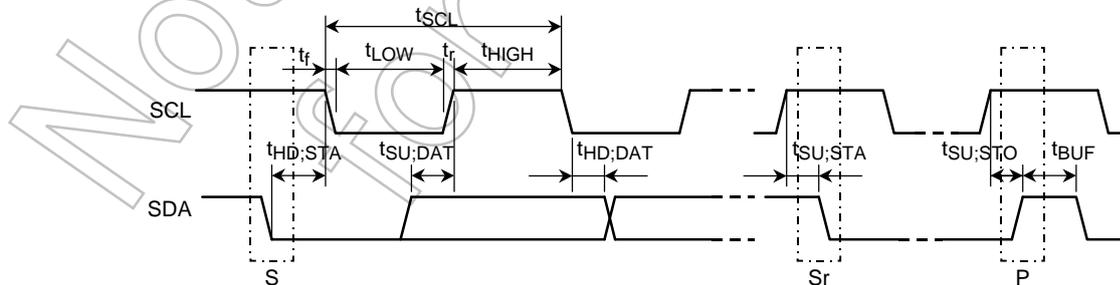
通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意願います。

注3) データ保持時間(出力)は内部 SCL から 12X の時間です。

注4) フィリップス仕様では内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の

不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロープコントロール機能をもっていません。従って、SCL/SDA の t_r/t_f を含めて BUS 上で上表のデータ保持時間(入力)を守る様に設計してください。

注5) ソフトウェアに依存します。



S: スタートコンディション
 Sr: 再スタートコンディション
 P: ストップコンディション

(2) クロック同期式 8 ビット SIO モード

表中の x はシステムクロック f_{sys} の周期を表します。

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

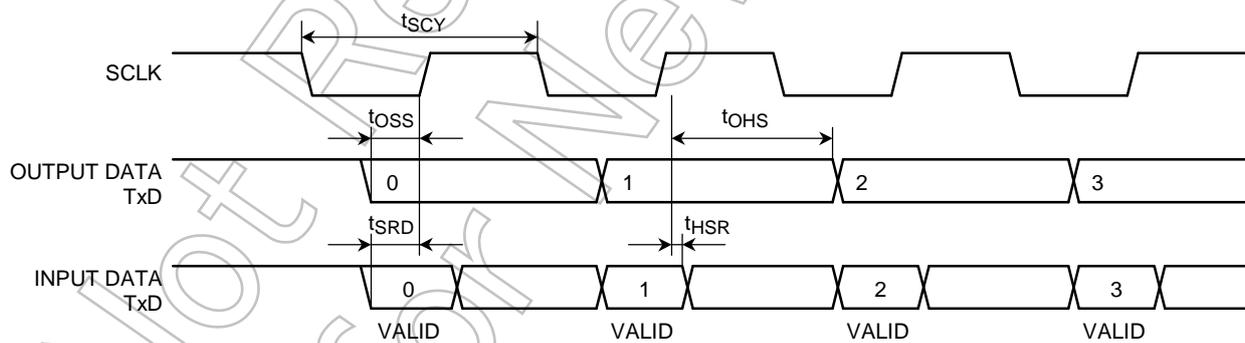
SCK デューティ 50% の場合

③ SCK 入力モード

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCK 周期	t _{SCY}	16x		296		ns
Output Data ← SCK 立ち上がり	t _{OSS}	(t _{SCY} /2) - (6x + 30)		7		ns
SCK 立ち上がり → Output Data 保持	t _{OHS}	(t _{SCY} /2) + 4x		222		ns
有効 Data 入力 ← SCK 立ち上がり	t _{SRD}	0		0		ns
SCK 立ち上がり → Input Data 保持	t _{HSR}	4x + 10		84		ns

④ SCK 出力モード

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	t _{SCY}	2 ⁿ · T		296		ns
Output Data ← SCK 立ち上がり	t _{OSS}	(t _{SCY} /2) - 20		128		ns
SCK 立ち上がり → Output Data 保持	t _{OHS}	(t _{SCY} /2) - 20		128		ns
有効 Data 入力 ← SCK 立ち上がり	t _{SRD}	2x + 30		67		ns
SCK 立ち上がり → Input Data 保持	t _{HSR}	0		0		ns



4.10 イベントカウンタ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2X + 100$		137		ns
クロック高レベルパルス幅	t_{VCKH}	$2X + 100$		137		ns

4.11 キャプチャ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2X + 100$		137		ns
高レベルパルス幅	t_{CPH}	$2X + 100$		137		ns

4.12 割り込み (INTC)

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
INT0~A 低レベルパルス幅	t_{INTAL}	$X + 100$		118.5		ns
INT0~A 高レベルパルス幅	t_{INTAH}	$X + 100$		118.5		ns

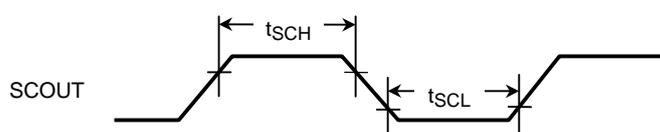
4.13 割り込み (NMI, STOP/SLEEP 解除割り込み)

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
NMI, INT0~4 低レベルパルス幅	t_{INTBL}	100		100		ns
INT0~4 高レベルパルス幅	t_{INTBH}	100		100		ns

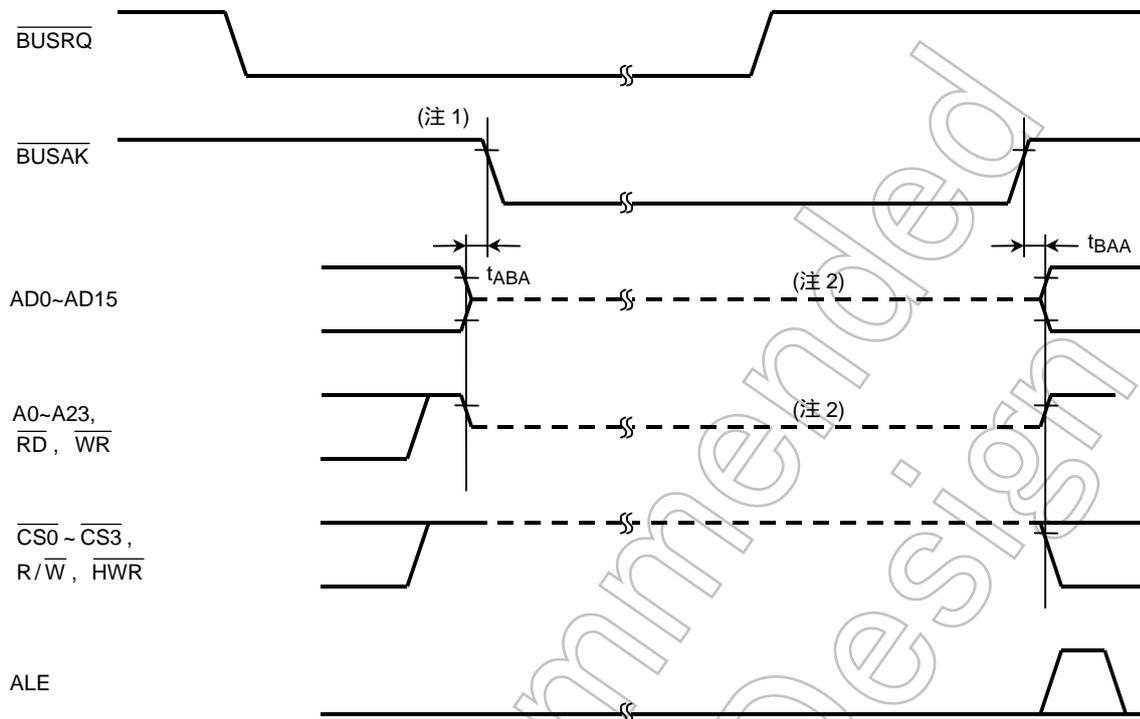
4.14 SCOUT 端子 AC 特性

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$		4.25		ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$		4.25		ns

(注) 表中の「T」は、SCOUT 出力波形の周期を示します。



4.15 バスリクエスト/ バスアクノリッジ



項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	80	0	80	ns

(注 1) $\overline{\text{BUSRQ}}$ を "Low" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

(注 2) この破線は出力バッファが OFF になっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

4.16 KWUP 入力

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
KEY0~D 低レベルパルス幅	tky _{TBL}	X+100		118		ns
KEY0~D 高レベルパルス幅	tky _{TBH}	X+100		118		ns

4.17 2相パルス入力

項目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
2相入力パルス周期	Tdcyc	8Y		296		ns
2相入力セットアップ	Tab _s	Y+20		57		ns
2相入力ホールド	Tab _h	Y+20		57		ns

Y : f_{sys}/2