

TOSHIBA

32 ビット TX System RISC

TX19A ファミリー

TMP19A64C1DXBG

Rev1.6 2007 年 3 月 16 日

目 次

TMP19A64C1D 製品別マニュアル

- 1章. • 概要と特長
- 2章. • ピン配置とピン機能
- 3章. • プロセッサコア
- 4章. • メモリマップ
- 5章. • クロック/スタンバイ制御
- 6章. • 割り込み
- 7章. • ポート機能
- 8章. • 外部バスインタフェース
- 9章. • チップセレクト/ウェイトコントローラ
- 10章. • DMA コントローラ (DMAC)
- 11章. • 16 ビットタイマ/イベントカウンタ (TMRB)
- 12章. • 32 ビットタイマ (TMRC)
- 13章. • シリアル チャネル (SIO)
- 14章. • シリアルバスインタフェース (SBI)
- 15章. • アナログ/デジタルコンバータ
- 16章. • ウォッチドッグタイマ (暴走検出用タイマ)
- 17章. • バックアップモジュール (時計用タイマ、バックアップ RAM)
- 18章. • KEY ON WAKE UP
- 19章. • ROM コレクション機能
- 20章. • セキュリティー機能
- 21章. • 特殊機能レジスター一覧表
- 22章. • 電気的特性
- 23章. • 使用上の注意、制限事項

32 ビット RISC マイクロプロセッサ TX19 ファミリー TMP19A64C1DXBG

1. 概要と特長

TX19 ファミリーは、高コード効率の拡張命令セットである MIPS16™ASE (Application Specific Extension)を追加して、当社で独自開発した高性能な 32 ビット RISC プロセッサファミリーです。

TMP19A64 は、TX19A プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A64 の特長は次の通りです。

(1) TX19A プロセッサコア

①16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビット ISA モードの命令は、コード効率の優れた MIPS16™ASE とオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

②高性能化と低消費電力化を同時に実現

●高性能化

- ほとんどの命令を 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 5 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算を 1 クロックで実行

●低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

当社半導体製品取り扱い上のお願ひ

060629TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D

③リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

(2) 内蔵プログラムメモリ／データメモリ

製品名	内蔵 ROM	内蔵 RAM
TMP19A64F20AXBG	2Mbyte(Flash)	64Kbyte
TMP19A64C1DXBG	1.5Mbyte	56Kbyte

- ROM コレクション機能：1word×8block、8word×4block
- バックアップ RAM：512byte

(3) 外部メモリ拡張

- 16M バイト(プログラム/データ共通)まで拡張可能
- 外部データバス：
 - セパレートバス／マルチプレクスバス : 8/16 ビット幅共存可能
- チップセレクト/ウェイトコントローラ : 6 チャンネル

(4) DMA コントローラ

: 8 チャンネル

- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

(5) 16 ビットタイマ

: 11 チャンネル

- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力
- インプットキャプチャ機能
- 二相パルス入力カウンタ機能 (専用 1 チャンネル) : 4 通倍モード

(6) 32 ビットタイマ

- 32 ビットインプットキャプチャレジスタ : 4 チャンネル
- 32 ビットコンペアレジスタ : 10 チャンネル
- 32 ビットタイムベースタイマ : 1 チャンネル

(7) 時計用タイマ

: 1 チャンネル

(8) 汎用シリアル・インタフェース

: 7 チャンネル

- UART / 同期式モード選択可能

(9) シリアルバスインタフェース

: 1 チャンネル

- I²C バスモード/クロック同期式モード選択可能

(10) 10 ビット A/D コンバータ (S/H 有)

: 24 チャンネル

- 変換速度：54 クロック (7.85 μ s@54MHz)
- 内部タイマトリガ起動
- チャンネル固定／スキャンモード
- シングル／リピートモード
- 最優先変換モード
- タイマ監視機能

- (11) ウォッチドッグタイマ : 1 チャンネル
- (12) 割り込み機能
- CPU 2 本 …… ソフトウェア割り込み命令
 - 内部 50 本 …… 7 レベルの優先順位設定可能
(ウォッチドッグタイマ割り込みを除く)
 - 外部 20 本 …… 7 レベルの優先順位設定可能 (NMI 割り込みを除く)
8 本は KWUP であり割り込み要因としては 1 本
- (13) 入出力ポート …… 209 端子
- (14) スタンバイ機能
- 4 種類のスタンバイモード (IDLE, SLEEP, STOP, BACKUP)
- (15) クロックジェネレータ
- PLL 内蔵 (4 逓倍)
 - クロックギア機能: 高速クロックを 8/8, 7/8, 6/8, 5/8, 4/8, 2/8, 1/8 に分周
 - サブクロック: SLOW/SLEEP/BACKUP モード (32.768kHz)
- (16) エンディアン …… バイエンディアン (ビッグエンディアン/リトルエンディアン)
- (17) 最大動作周波数
- 54MHz (PLL 逓倍)
- (18) 動作電圧範囲
- コア: 1.35V~1.65V
- I/O: 1.65V~3.3V
- ADC: 2.7V~3.3V
- バックアップブロック: 2.3V~3.3V (通常動作時)
- : 1.8V~3.3V (BACKUP モード時)
- (19) パッケージ
- P-FBGA281 (13mm×13mm, 0.65mm ピッチ)

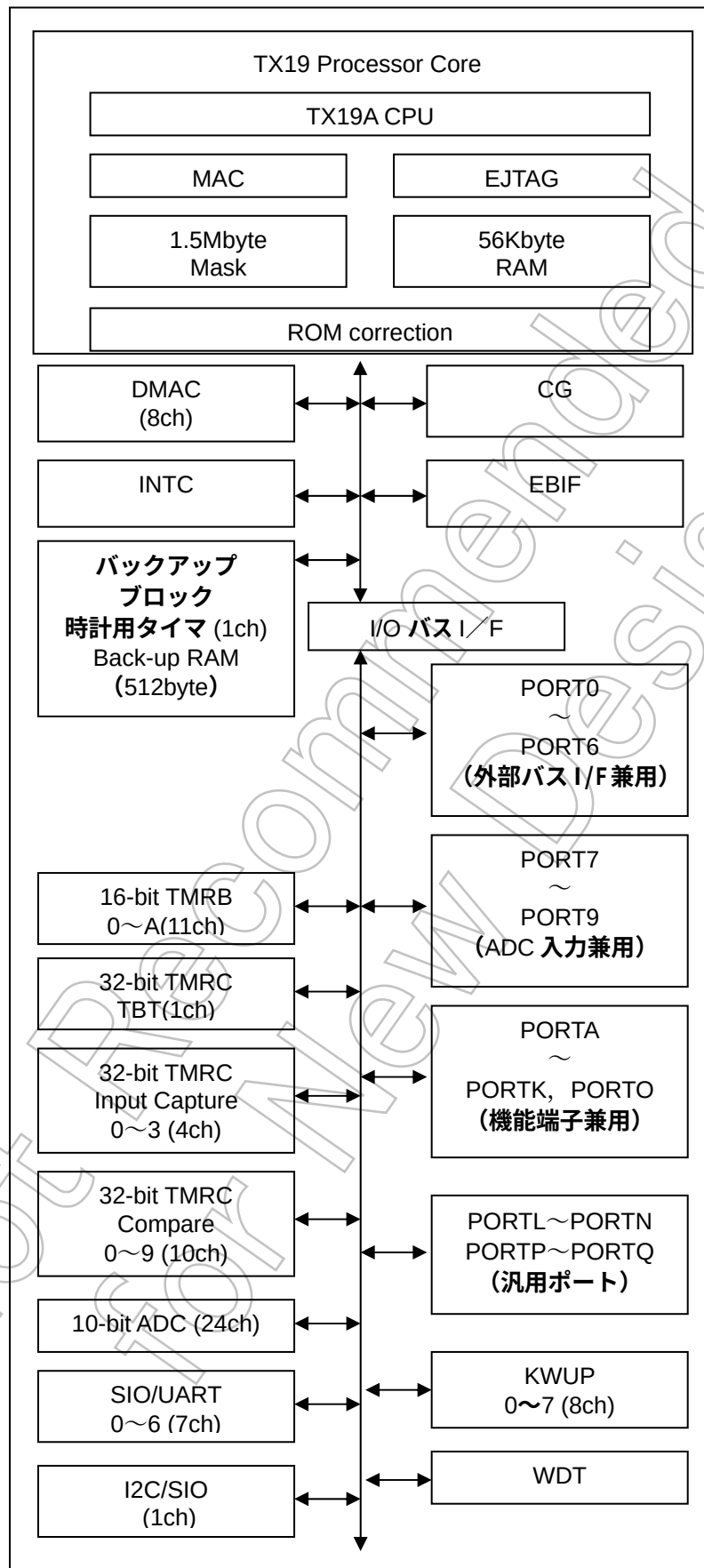


図 1.1 TMP19A64C1DXBG ブロック図

2. ピン配置とピン機能

2.1 ピン配置図

TMP19A64 のピン配置図は、図 2.1.1 の通りです。

図 2.1.1 ピン配置図 (P-FBGA281)

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	A17	
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16	B17	B18
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16	C17	C18
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17	E18
F1	F2	F3	F4	F5		F7	F8	F9	F10	F11	F12		F14	F15	F16	F17	F18
G1	G2	G3	G4	G5	G6							G13	G14	G15	G16	G17	G18
H1	H2	H3	H4	H5	H6							H13	H14	H15	H16	H17	H18
J1	J2	J3	J4	J5	J6							J13	J14	J15	J16	J17	J18
K1	K2	K3	K4	K5	K6							K13	K14	K15	K16	K17	K18
L1	L2	L3	L4	L5	L6							L13	L14	L15	L16	L17	L18
M1	M2	M3	M4	M5	M6							M13	M14	M15	M16	M17	M18
N1	N2	N3	N4	N5		N7	N8	N9	N10	N11	N12		N14	N15	N16	N17	N18
P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16	P17	P18
R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16	R17	R18
T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18
U1	U2	U3	U4	U5	U6	U7	U8	U9	U10	U11	U12	U13	U14	U15	U16	U17	U18
	V2	V3	V4	V5	V6	V7	V8	V9	V10	V11	V12	V13	V14	V15	V16	V17	

TMP19A64 のピン番号とピン名称との関係は、表 2.1.2 の通りです。

表 2.1.2 ピン番号とピン名称 (1/2)

ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称
A1	N.C.	A13	PN2	B8	P75/AN5	C2	PCST3 (EJTAG)	C14	PM7
A2	VREFL	A14	PN0	B9	PL0	C3	P92/AN18	C15	PM3
A3	P90/AN16	A15	PM5	B10	PL3	C4	P95/AN21	C16	PK3/KEY3
A4	P93/AN19	A16	PM1	B11	P05/TXD6	C5	P82/AN10	C17	CVCC15
A5	P80/AN8	A17	X2	B12	P01/INT1	C6	P85/AN13	C18	XT2
A6	P83/AN11	B1	AVCC31	B13	PN3	C7	P72/AN2	D1	TD0 (EJTAG)
A7	P70/AN0	B2	VREFH	B14	PN1	C8	AVSS	D2	PCST2 (EJTAG)
A8	P74/AN4	B3	P91/AN17	B15	PM4	C9	PL1	D3	DINT (EJTAG)
A9	P07/SCLK6/CTS6	B4	P94/AN20	B16	PM0	C10	PL4	D4	DVCC15
A10	PL2	B5	P81/AN9	B17	CVSS/BVSS	C11	P04/INT4	D5	P96/AN22
A11	P06/RXD6	B6	P84/AN12	B18	X1	C12	PN6	D6	P86/AN14
A12	P00/INT0	B7	P71/AN1	C1	PCST0 (EJTAG)	C13	PN4	D7	P73/AN3

表 2.1.1 ピン番号とピン名称 (2/2)

ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称
D8	DVCC15	F18	P46/SCOUT	K14	P11/INT1	N18	P14/D12/AD12/A12	T8	PD4/TXD4
D9	DVSS	G1	RESET	K15	P13/INT3	P1	PE4	T9	PC0/TXD0
D10	PL5	G2	TDI (EJTAG)	K16	P14/INT4	P2	PA2/TB00OUT	T10	PC3/TXD1
D11	P03/INT3	G3	DVCC15	K17	DVCC30	P3	PA3/TB1IN0/INT7	T11	PH4/TCOUT8
D12	PN7	G4	DVSS	K18	P12/INT2	P4	PA4/TB1IN1/INT8	T12	PH6
D13	PN5	G5	TOVR/TSTA (EJTAG)	L1	N.C	P5	PA5/TB1OUT	T13	P53/A3
D14	PM2	G6	BW0	L2	PQ1/TPD1/TPC1 (EJTAG)	P6	PB6/TBAIN0	T14	P61/A9
D15	DVCC34	G13	PK7/KEY7	L3	PQ2/TPD2/TPC2 (EJTAG)	P7	PG2/TC2IN	T15	P21/A17/A1/A17
D16	PK2/KEY2	G14	BRESET	L4	PQ3/TPD3/TPC3 (EJTAG)	P8	PD6/SCLK4/CTS4	T16	P23/A19/A3/A19
D17	PK4/KEY4	G15	P41/CS1	L5	PE6/INTA	P9	PC2/SCLK0/CTS0	T17	P00/D0/AD0
D18	XT1	G16	P37/ALE	L6	PE7/INTB	P10	PC5/SCLK1/CTS1	T18	P01/D1/AD1
E1	DCLK (EJTAG)	G17	P35/BUSAK	L13	P13/D11/AD11/A11	P11	P52/A2	U1	PB4/TB8OUT
E2	PCST1 (EJTAG)	G18	DVCC15	L14	P17/D15/AD15/A15	P12	P62/A10	U2	PB3/TB7OUT
E3	TRST (EJTAG)	H1	NMI	L15	DVCC15	P13	P65/A13	U3	PB7/TBAIN1
E4	PCST4 (EJTAG)	H2	DVCC31	L16	P10/INT0	P14	P26/A22/A6/A22	U4	PF1/SI/SCL
E5	ENDIAN	H3	PP7/TPD7 (EJTAG)	L17	P45/CS5	P15	P02/D2/AD2	U5	PF5/DREQ3
E6	P97/AN23	H4	BW1	L18	PJ3/DACK3	P16	P10/D8/AD8/A8	U6	PG1/TC1IN
E7	P87/AN15	H5	PLLOFF	M1	PQ0/TPD0/TPC0 (EJTAG)	P17	P12/D10/AD10/A10	U7	PD2/RXD3
E8	P76/AN6	H6	TCK (EJTAG)	M2	PQ7/TPD7/TPC7 (EJTAG)	P18	P11/D9/AD9/A9	U8	DVCC32
E9	P77/AN7	H13	TEST1	M3	PQ4/TPD4/TPC4 (EJTAG)	R1	PA0/TB0IN0/INT5	U9	PC7/RXD2
E10	PL6	H14	P31/WR	M4	PE3	R2	PA1/TB0IN1/INT6	U10	PH1/TCOUT5
E11	PL7	H15	P32/HWR	M5	PA7/TB3OUT	R3	PF3/DREQ2	U11	PH5/TCOUT9
E12	PM6	H16	P33/WAIT/RDY	M6	DVCC32	R4	PF4/DACK2	U12	P50/A0
E13	PK6/KEY6	H17	P30/RD	M13	P06/D6/AD6	R5	PF7/TB1IN	U13	P55/A5
E14	PK5/KEY5	H18	P40/CS0	M14	P07/D7/AD7	R6	PG7/TCOUT3	U14	DVCC33
E15	BVCC	J1	PP2/TPD2 (EJTAG)	M15	DVSS	R7	PG4/TCOUT0	U15	P64/A12
E16	PK1/KEY1	J2	PP3/TPD3 (EJTAG)	M16	PJ0/DREQ2	R8	PD5/RXD4	U16	P20/A16/A0/A16
E17	PK0/KEY0	J3	PP4/TPD4 (EJTAG)	M17	PJ2/DREQ3	R9	PC1/RXD0	U17	P24/A20/A4/A20
E18	DVCC15	J4	PP5/TPD5 (EJTAG)	M18	PJ1/DACK2	R10	PC4/RXD1	U18	N.C
F1	DVSS	J5	PP6/TPD6 (EJTAG)	N1	PE5	R11	PH3/TCOUT7	V2	PB5/TB9OUT
F2	TMS (EJTAG)	J6	DVCC15	N2	PE0/TXD5	R12	P51/A1	V3	PG0/TC0IN
F3	EJE (EJTAG)	J13	DVSS	N3	PE2/SCLK5/CTS5	R13	P57/A7	V4	PF0/S0/SDA
F4	BUSMD	J14	P47	N4	PE1/RXD5	R14	P66/A14	V5	PG3/TC3IN
F5	BOOT	J15	N.C.	N5	PA6/TB20OUT	R15	P25/A21/A5/A21	V6	PG6/TCOUT2
F7	AVSS	J16	P44/CS4	N7	DVSS	R16	P03/D3/AD3	V7	PD1/TXD3
F8	AVSS	J17	P36/ R/W	N8	PD7/INT9	R17	P04/D4/AD4	V8	PD0/SCLK2/CTS2
F9	AVCC32	J18	P34/BUSRQ	N9	DVCC15	R18	P05/D5/AD5	V9	PC6/TXD2
F10	DVCC34	K1	PP0/TPD0 (EJTAG)	N10	DVSS	T1	PB0/TB40OUT	V10	PH2/TCOUT6
F11	P02/INT2	K2	PP1/TPD1 (EJTAG)	N11	P56/A6	T2	PB1/TB50OUT	V11	PH0/TCOUT4
F12	DVSS	K3	PQ5/TPD5/TPC5 (EJTAG)	N12	DVSS	T3	PB2/TB60OUT	V12	PH7
F14	BUPMD	K4	PQ6/TPD6/TPC6 (EJTAG)	N14	P27/A23/A7/A23	T4	PF2/SCK	V13	P54/A4
F15	P42/CS2	K5	DVSS	N15	P15/D13/AD13/A13	T5	PF6/DACK3	V14	P60/A8
F16	P43/CS3	K6	DVSS	N16	TEST3	T6	PG5/TCOUT1	V15	P63/A11
F17	DVCC33	K13	TEST2	N17	P16/D14/AD14/A14	T7	PD3/SCLK3/CTS3	V16	P67/A15
								V17	P22/A18/A2/A18

2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1 の通りです。

表 2.2.1 ピン名称と機能 (1/6)

ピン名称	ピン数	入出力	機 能
P00~P07 D0~D7 AD0~AD7	8	入出力 入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート データ (下位): データバス 0~7 (セパレートバスモード) アドレスデータ (下位): アドレス・データバス 0~7 (マルチプレクスバスモード)
P10~P17 D8~D15 AD8~AD15 A8~A15	8	入出力 入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート データ (上位): データバス 8~15: (セパレートバスモード) アドレスデータ (上位): アドレス・データバス 8~15 (マルチプレクスバスモード) アドレス: アドレスバス 8~15 (マルチプレクスバスモード)
P20~P27 A16~A23 A0~A7 A16~A23	8	入出力 出力 出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 16~23 (セパレートバスモード) アドレス: アドレスバス 0~7 (マルチプレクスバスモード) アドレス: アドレスバス 16~23 (マルチプレクスバスモード)
P30 RD	1	出力 出力	ポート 30: 出力専用ポート リード: 外部メモリをリードするためのストロブ信号
P31 WR	1	出力 出力	ポート 31: 出力専用ポート ライト: D0~7 端子のデータをライトするためのストロブ信号
P32 HWR	1	入出力 出力	ポート 32: 入出力ポート (プルアップ付) 上位ライト: D8~15 端子のデータをライトするためのストロブ信号
P33 WAIT RDY	1	入出力 入力 入力	ポート 33: 入出力ポート (プルアップ付) ウェイト: CPU へのバスウェイト要求端子 レディ: CPU へのバスレディ通知端子
P34 BUSRQ	1	入出力 入力	ポート 34: 入出力ポート (プルアップ付) バスリクエスト: 外部マスタがバス制御権を CPU に要求する信号
P35 BUSAK	1	入出力 出力	ポート 35: 入出力ポート (プルアップ付) バスアクノリッジ: BUSRQ を受け CPU がバス制御権を解放しているのを通知する信号
P36 R/W	1	入出力 出力	ポート 36: 入出力ポート (プルアップ付) リード/ライト: “1” でリードサイクルまたはダミーサイクルを “0” でライトサイクルを示します。
P37 ALE	1	入出力 出力	ポート 37: 入出力ポート アドレスラッチイネーブル (外部メモリアクセス時のみイネーブル)
P40 CS0	1	入出力 出力	ポート 40: 入出力ポート (プルアップ付) チップセレクト 0: アドレスが指定したアドレス領域内なら “0” を出力
P41 CS1	1	入出力 出力	ポート 41: 入出力ポート (プルアップ付) チップセレクト 1: アドレスが指定したアドレス領域内なら “0” を出力
P42 CS2	1	入出力 出力	ポート 42: 入出力ポート (プルアップ付) チップセレクト 2: アドレスが指定したアドレス領域内なら “0” を出力
P43 CS3	1	入出力 出力	ポート 43: 入出力ポート (プルアップ付) チップセレクト 3: アドレスが指定したアドレス領域内なら “0” を出力
P44 CS4	1	入出力 出力	ポート 44: 入出力ポート (プルアップ付) チップセレクト 4: アドレスが指定したアドレス領域内なら “0” を出力
P45 CS5	1	入出力 出力	ポート 45: 入出力ポート (プルアップ付) チップセレクト 5: アドレスが指定したアドレス領域内なら “0” を出力
P46 SCOUT	1	入出力 出力	ポート 46: 入出力ポート システムクロック出力: CPU と同じ高速クロック、低速クロック出力など選択可能
P47	1	入出力	ポート 47: 入出力ポート
P50~P57 A0~A7	8	入出力 出力	ポート 5: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 0~7 (セパレートバスモード)
P60~P67 A8~A15	8	入出力 出力	ポート 6: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 8~15 (セパレートバスモード)

表 2.2.1 ピン名称と機能 (2/6)

ピン名称	ピン数	入出力	機 能
P70~P77 AN0~AN7	8	入力 入力	ポート 7: 入力専用ポート アナログ入力: A/D コンバータの入力
P80~P87 AN8~AN15	8	入力 入力	ポート 8: 入力専用ポート アナログ入力: A/D コンバータの入力
P90~P97 AN16~AN23	8	入力 入力	ポート 9: 入力専用ポート アナログ入力: A/D コンバータの入力
PA0 TB0IN0 INT5	1	入出力 入力 入力	ポート A0: 入出力ポート 16bit タイマ 0 入力 0: 16bit タイマ 0 のカウント/キャプチャトリガ入力 割込み要求端子 5: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PA1 TB0IN1 INT6	1	入出力 入力 入力	ポート A1: 入出力ポート 16bit タイマ 0 入力 1: 16bit タイマ 0 のカウント/キャプチャトリガ入力 割込み要求端子 6: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PA2 TB0OUT	1	入出力 出力	ポート A2: 入出力ポート 16bit タイマ 0 出力: 16bit タイマ 0 の出力端子
PA3 TB1IN0 INT7	1	入出力 入力 入力	ポート A3: 入出力ポート 16bit タイマ 1 入力 0: 16bit タイマ 1 のカウント/キャプチャトリガ入力 割込み要求端子 7: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PA4 TB1IN1 INT8	1	入出力 入力 入力	ポート A4: 入出力ポート 16bit タイマ 1 入力 1: 16bit タイマ 1 のカウント/キャプチャトリガ入力 割込み要求端子 8: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PA5 TB1OUT	1	入出力 出力	ポート A5: 入出力ポート 16bit タイマ 1 出力: 16bit タイマ 1 の出力端子
PA6 TB2OUT	1	入出力 出力	ポート A6: 入出力ポート 16bit タイマ 2 出力: 16bit タイマ 2 の出力端子
PA7 TB3OUT	1	入出力 出力	ポート A7: 入出力ポート 16bit タイマ 3 出力: 16bit タイマ 3 の出力端子
PB0 TB4OUT	1	入出力 出力	ポート B0: 入出力ポート 16bit タイマ 4 出力: 16bit タイマ 4 の出力端子
PB1 TB5OUT	1	入出力 出力	ポート B1: 入出力ポート 16bit タイマ 5 出力: 16bit タイマ 5 の出力端子
PB2 TB6OUT	1	入出力 出力	ポート B2: 入出力ポート 16bit タイマ 6 出力: 16bit タイマ 6 の出力端子
PB3 TB7OUT	1	入出力 出力	ポート B3: 入出力ポート 16bit タイマ 7 出力: 16bit タイマ 7 の出力端子
PB4 TB8OUT	1	入出力 出力	ポート B4: 入出力ポート 16bit タイマ 8 出力: 16bit タイマ 8 の出力端子
PB5 TB9OUT	1	入出力 出力	ポート B5: 入出力ポート 16bit タイマ 9 出力: 16bit タイマ 9 の出力端子
PB6 TBAIN0	1	入出力 入力	ポート B6: 入出力ポート 16bit タイマ A 入力 0: 16bit タイマ A のカウント/キャプチャトリガ入力 二相パルスカウンタ入力 0
PB7 TBAIN1	1	入出力 入力	ポート B7: 入出力ポート 16bit タイマ A 入力 1: 16bit タイマ A のカウント/キャプチャトリガ入力 二相パルスカウンタ入力 1

表 2.2.1 ピン名称と機能 (3/6)

ピン名称	ピン数	入出力	機 能
PC0 TXD0	1	入出力 出力	ポート C0: 入出力ポート シリアル送信データ 0: プログラムによりオープンドレイン出力端子
PC1 RXD0	1	入出力 入力	ポート C1: 入出力ポート シリアル受信データ 0
PC2 SCLK0 CTS0	1	入出力 入出力 入力	ポート C2: 入出力ポート シリアルクロック入出力 0 シリアルデータ送信可能 0 (Clear To Send) : プログラムによりオープンドレイン出力端子
PC3 TXD1	1	入出力 出力	ポート C3: 入出力ポート シリアル送信データ 1: プログラムによりオープンドレイン出力端子
PC4 RXD1	1	入出力 入力	ポート C4: 入出力ポート シリアル受信データ 1
PC5 SCLK1 CTS1	1	入出力 入出力 入力	ポート C5: 入出力ポート シリアルクロック入出力 1 シリアルデータ送信可能 1 (Clear To Send) : プログラムによりオープンドレイン出力端子
PC6 TXD2	1	入出力 出力	ポート C6: 入出力ポート シリアル送信データ 2: プログラムによりオープンドレイン出力端子
PC7 RXD2	1	入出力 入力	ポート C7: 入出力ポート シリアル受信データ 2
PD0 SCLK2 CTS2	1	入出力 入出力 入力	ポート D0: 入出力ポート シリアルクロック入出力 2 シリアルデータ送信可能 2 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD1 TXD3	1	入出力 出力	ポート D1: 入出力ポート シリアル送信データ 3: プログラムによりオープンドレイン出力端子
PD2 RXD3	1	入出力 入力	ポート D2: 入出力ポート シリアル受信データ 3
PD3 SCLK3 CTS3	1	入出力 入出力 入力	ポート D3: 入出力ポート シリアルクロック入出力 3 シリアルデータ送信可能 3 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD4 TXD4	1	入出力 出力	ポート D4: 入出力ポート シリアル送信データ 4: プログラムによりオープンドレイン出力端子
PD5 RXD4	1	入出力 入力	ポート D5: 入出力ポート シリアル受信データ 4
PD6 SCLK4 CTS4	1	入出力 入出力 入力	ポート D6: 入出力ポート シリアルクロック入出力 4 シリアルデータ送信可能 4 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD7 INT9	1	入出力 入力	ポート D7: 入出力ポート 割込み要求端子 9: “H” レベル/ “L” レベル/ 立ち上がり/ 下がりエッジ選択可能 シュミット付き入力端子

表 2.2.1 ピン名称と機能 (4/6)

ピン名称	ピン数	入出力	機 能
PE0 TXD5	1	入出力 出力	ポート E0: 入出力ポート シリアル送信データ 5: プログラムによりオープンドレイン出力端子
PE1 RXD5	1	入出力 入力	ポート E1: 入出力ポート シリアル受信データ 5
PE2 SCLK5 CTS5	1	入出力 入出力 入力	ポート E2: 入出力ポート シリアルクロック入出力 5 シリアルデータ送信可能 5 (Clear To Send) : プログラムによりオープンドレイン出力端子
PE3~PE5	3	入出力	ポート E3~E5: ビット単位で入出力の設定ができる入出力ポート
PE6 INTA	1	入出力 入力	ポート E6: 入出力ポート 割込み要求端子 A: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PE7 INTB	1	入出力 入力	ポート E7: 入出力ポート 割込み要求端子 B: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PF0 S0 SDA	1	入出力 出力 入出力	ポート F0: 入出力ポート シリアルバスインタフェースの SI0 モード時のデータ送信端子 シリアルバスインタフェースの I2C モード時のデータ受信端子 プログラムによりオープンドレイン出力端子 シュミット付き入力端子
PF1 SI SCL	1	入出力 入力 入出力	ポート F1: 入出力ポート シリアルバスインタフェースの SI0 モード時のデータ受信端子 シリアルバスインタフェースの I2C モード時のクロック入出力端子 プログラムによりオープンドレイン出力端子 シュミット付き入力端子
PF2 SCK	1	入出力 入出力	ポート F2: 入出力ポート シリアルバスインタフェースの SI0 モード時のクロック入出力端子
PF3 DREQ2	1	入出力 入力	ポート F3: 入出力ポート DMA リクエスト信号 2: 外部 I/O デバイスから DMAC2 への DMA 転送要求入力
PF4 DACK2	1	入出力 出力	ポート F4: 入出力ポート DMA アクノリッジ信号 2: DREQ2 による DMA 転送要求に対するアクノリッジ信号
PF5 DREQ3	1	入出力 入力	ポート F5: 入出力ポート DMA リクエスト信号 3: 外部 I/O デバイスから DMAC3 への DMA 転送要求入力
PF6 DACK3	1	入出力 出力	ポート F6: 入出力ポート DMA アクノリッジ信号 3: DREQ3 による DMA 転送要求に対するアクノリッジ信号
PF7 TBTIN	1	入出力 入力	ポート F7: 入出力ポート 32bit タイムベースタイマ入力: 32bit タイムベースタイマのカウント入力
PG0~PG3 TC0IN~TC3IN	4	入出力 入力	ポート G0~G3: ビット単位で入出力の設定ができる入出力ポート 32bit タイマキャプチャトリガ入力
PG4~PG7 TC0OUT~TC0UT3	4	入出力 出力	ポート G4~G7: ビット単位で入出力の設定ができる入出力ポート 32bit タイマコンペア一致出力
PH0~PH5 TC0UT4~TC0UT9	6	入出力 出力	ポート H0~H5: ビット単位で入出力の設定ができる入出力ポート 32bit タイマコンペア一致出力
PH6~PH7	2	入出力	ポート H6~H7: ビット単位で入出力の設定ができる入出力ポート
PI0 INT0	1	入出力 入力	ポート I0: 入出力ポート 割込み要求端子 0: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI1 INT1	1	入出力 入力	ポート I1: 入出力ポート 割込み要求端子 1: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI2 INT2	1	入出力 入力	ポート I2: 入出力ポート 割込み要求端子 2: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子

表 2.2.1 ピン名称と機能 (5/6)

ピン名称	ピン数	入出力	機 能
PI3 INT3	1	入出力 入力	ポート I3: 入出力ポート 割込み要求端子 3: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI4 INT4	1	入出力 入力	ポート I4: 入出力ポート 割込み要求端子 4: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PJ0 DREQ2	1	入出力 入力	ポート J0: 入出力ポート DMA リクエスト信号 2: 外部 I/O デバイスから DMAC2 への DMA 転送要求入力
PJ1 DACK2	1	入出力 出力	ポート J1: 入出力ポート DMA アクノリッジ信号 2: DREQ2 による DMA 転送要求に対するアクノリッジ信号
PJ2 DREQ3	1	入出力 入力	ポート J2: 入出力ポート DMA リクエスト信号 3: 外部 I/O デバイスから DMAC3 への DMA 転送要求入力
PJ3 DACK3	1	入出力 出力	ポート J3: 入出力ポート DMA アクノリッジ信号 3: DREQ3 による DMA 転送要求に対するアクノリッジ信号
PK0~PK7 KEY0~KEY7	8	入出力 入力	ポート K: ビット単位で入出力の設定ができる入出力ポート KEY on wake up 入力 0~7 (プルアップ付き、シュミット付き入力端子)
PL0~PL7	8	入出力	ポート L: ビット単位で入出力の設定ができる入出力ポート
PM0~PM7	8	入出力	ポート M: ビット単位で入出力の設定ができる入出力ポート
PN0~PN7	8	入出力	ポート N: ビット単位で入出力の設定ができる入出力ポート
P00 INT0	1	入出力 入力	ポート 00: 入出力ポート 割込み要求端子 0: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P01 INT1	1	入出力 入力	ポート 01: 入出力ポート 割込み要求端子 1: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P02 INT2	1	入出力 入力	ポート 02: 入出力ポート 割込み要求端子 2: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P03 INT3	1	入出力 入力	ポート 03: 入出力ポート 割込み要求端子 3: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P04 INT4	1	入出力 入力	ポート 04: 入出力ポート 割込み要求端子 4: “H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
P05 TXD6	1	入出力 出力	ポート 05: 入出力ポート シリアル送信データ 6: プログラムによりオープンドレイン出力端子
P06 RXD6	1	入出力 入力	ポート 06: 入出力ポート シリアル受信データ 6
P07 SCLK6 CTS6	1	入出力 入出力 入力	ポート 07: 入出力ポート シリアルクロック入出力 6 シリアルデータ送信可能 6 (Clear To Send) : プログラムによりオープンドレイン出力端子
PP0~PP7 TPD0~TPD7	8	入出力 出力	ポート P: ビット単位で入出力の設定ができる入出力ポート データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号
PQ0~PQ7 TPC0~TPC7 TPD0~TPD7	8	入出力 出力 出力	ポート P: ビット単位で入出力の設定ができる入出力ポート プログラムカウンタのトレースデータの出力: DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号

表 2.2.1 ピン名称と機能 (6/6)

ピン名称	ピン数	入出力	機 能
DCLK	1	出力	デバッグクロック：DSU-ICE 用信号
EJE	1	入力	EJTAG イネーブル：DSU-ICE 用信号 (シュミット付き入力端子、プルアップ付き、ノイズフィルタ内蔵)
PCST4~0	5	出力	PC トレースステータス：DSU-ICE 用信号
DINT	1	入力	デバッグインタラプト：DSU-ICE 用信号 (シュミット付き入力端子、プルアップ付き、ノイズフィルタ内蔵)
TOVR/TSTA	1	出力	PD データのオーバーフローのステータス出力：DSU-ICE 用信号
TCK	1	入力	テストクロック入力：JTAG テスト用信号 (シュミット付き入力端子、プルアップ付き)
TMS	1	入力	テストモードセレクト入力：JTAG テスト用信号 (シュミット付き入力端子、プルアップ付き)
TDI	1	入力	テストデータ入力：JTAG テスト用信号 (シュミット付き入力端子、プルアップ付き)
TDO	1	出力	テストデータ出力：JTAG テスト用信号
TRST	1	入力	テストリセット入力：JTAG テスト用信号 (シュミット付き入力端子、プルダウン付き)
NMI	1	入力	ノンマスカブル割り込み要求端子：立ち下がりエッジの割り込み要求端子 (シュミット付き入力端子、ノイズフィルタ内蔵)
PLLOFF	1	入力	"H (DVCC15) レベル"に固定してください。(シュミット付き入力端子)
RESET	1	入力	リセット：LSI を初期化 (シュミット付き入力端子、プルアップ付き、ノイズフィルタ内蔵)
X1/X2	2	入出力	高速発振子接続端子 (シュミット付き入力端子)
XT1/XT2	2	入出力	低速発振子接続端子 (シュミット付き入力端子)
BUPMD	1	入力	バックアップモードトリガ端子：バックアップモード中は "L レベル" にしてください (シュミット付き入力端子)
BRESET	1	入力	バックアップモジュールリセット：バックアップモジュールを初期化 (プルアップ付き、シュミット付き入力端子)
BUSMD	1	入力	外部バスモード設定端子：リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてマルチプレクスバスとして、リセット信号の立ち上がりで "L" をサンプリングしてセパレートバスとして動作します。使用するバスモードに従ってリセット時にプルアップまたはプルダウンしてください。(シュミット付き入力端子)
ENDIAN	1	入力	エンディアン設定端子：この端子はモード設定に使用されます。リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてビッグエンディアンの動作を、リセット信号の立ち上がりで "L" をサンプリングしてリトルエンディアンの動作をします。使用するエンディアンに従ってリセット時にプルアップまたはプルダウンしてください。(シュミット付き入力端子)
BOOT	1	入力	シングルブートモード設定端子：リセット信号の立ち上がりで "L" をサンプリングしてシングルブートモードになります。内蔵フラッシュメモリの書き換え時に使用します。リセット信号の立ち上がりで "H (DVCC15) レベル" をサンプリングしてノーマル動作 (通常動作) します。通常使用時はリセット時にこの端子をプルアップしてください。(シュミット付き入力端子)
BW0~1	2	入力	BW0 = "H (DVCC15) ", BW1 = "H (DVCC15) " に固定してください。 (シュミット付き入力端子)
VREFH	1	入力	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC31 に接続してください
VREFL	1	入力	A/D コンバータ用基準電源入力端子 (L) A/D コンバータを使用しないときは AVSS に接続してください
AVCC31~32	2	—	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。
AVSS	3	—	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。
TEST1~3	3	入力	TEST 用端子：GND に固定してください
CVCC15	1	—	発振器用電源端：1.5V 系電源
CVSS/BVSS	1	—	発振器、バックアップモジュール用 GND 端子 (0V)
DVCC15	8	—	電源端子：1.5V 系電源
BVCC	1	—	バックアップモジュール専用電源端子：3V 系電源
DVCC30~34	8	—	電源端子：3V 系電源
DVSS	11	—	GND 端子 (0V)

(注 1) BUSMD, ENDIAN, BOOT 端子に関して、リセット信号の立ち上がり前後 1 システムクロック分、各端子の説明通りの状態 ("H"レベルまたは"L"レベル) を保持してください。ただし、リセット端子は"L"レベル、"H"レベルともに安定した状態であることが必要です。

(注 2) DREQ2, DACK2, DREQ3, DACK3 は PF3~PF6 か PJ0~PJ3 かどちらのポートを使用するかをポートファンクションレジスタで設定します。2 つのポートから同じ機能を使用することはできません。INT0~INT4 に対応する PIO0~PIO4 と P00~P04 についても同様です。

ピン名称と電源供給端子の関係は、表 2.2.2 の通りです。

表 2.2.2 ピン名称と電源

ピン名称	電源	ピン名称	電源
P0	DVCC33	PCST4~0	DVCC31
P1	DVCC33	DCLK	DVCC31
P2	DVCC33	EJE	DVCC31
P3	DVCC33	TRST	DVCC31
P4	DVCC33	TDI	DVCC31
P5	DVCC33	TDO	DVCC31
P6	DVCC33	TMS	DVCC31
P7	AVCC32	TCK	DVCC31
P8	AVCC32	DINT	DVCC31
P9	AVCC31	TOV	DVCC31
PA	DVCC32	BUSMD	DVCC15
PB	DVCC32	BOOT	DVCC15
PC	DVCC32	ENDIAN	DVCC15
PD	DVCC32	NMI	DVCC15
PE	DVCC32	BRESET	BVCC
PF	DVCC32	BUPMD	BVCC
PG	DVCC32	X1、X2	CVCC15
PH	DVCC32	XT1、XT2	BVCC
PI	DVCC30	BW0~1	DVCC15
PJ	DVCC33	PLLOFF	DVCC15
PK	DVCC34	RESET	DVCC15
PL	DVCC34		
PM	DVCC34		
PN	DVCC34		
P0	DVCC34		
PP	DVCC31		
PQ	DVCC31		

● 2.7V ≤ AVCC32 ≤ AVCC31

ピン番号と電源供給端子の関係は、表 2.2.3 の通りです。

表 2.2.3 ピン番号と電源

電源	ピン番号	電圧範囲
DVCC15	D4, D8, E18, N9, L15, G18, G3, J6	1.35V~1.65V
CVCC15	C17	1.35V~1.65V
DVCC30	K17	1.65V~3.3V
DVCC31	H2	1.65V~3.3V
DVCC32	M6, U8	1.65V~3.3V
DVCC33	F17, U14	1.65V~3.3V
DVCC34	D15, F10	1.65V~3.3V
AVCC31	B1	2.7V~3.3V
AVCC32	F9	2.7V~3.3V
BVCC	E15	2.3V~3.3V (通常動作時) 1.8V~3.3V (BACKUP モード時)

3. プロセッサコア

TMP19A64 には、高性能 32 ビットプロセッサコア (TX19A プロセッサコア) が内蔵されています。プロセッサコアの動作については、“TX19A ファミリーアーキテクチャ” を参照してください。

ここでは、“TX19A ファミリーアーキテクチャ” にて説明されていない TMP19A64 独自の機能について説明します。

3.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、RESET 入力を少なくとも 12 システムクロック間 (1.78 μ s @外部 13.5MHz 動作時) “0” にしてください。

なお、リセット期間中に PLL 逡倍クロックは 4 逡倍され、クロックギアは 1/8 モードに初期化されます。

リセットが受け付けられると、

- TX19A プロセッサコアのシステム制御コプロセッサ (CP0) レジスタが初期化されます。詳細はアーキテクチャの章を参照してください。
- リセット例外処理を行った後、プログラムは例外ハンドラへ分岐します。分岐先アドレス (例外ハンドラ開始アドレス) を例外ベクタアドレスと呼び、リセット例外 (ノンマスカブル割り込みなど) の例外ベクタアドレスは 0xBF00_0000H 番地 (仮想アドレス) です。
- 内蔵 I/O のレジスタを初期化します。
- ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセット

(注 1) パワーオン時には RESET 端子を “0” にした状態でパワーオンし、電源電圧が動作範囲で十分安定した状態でリセット解除させてください。

(注 2) リセット動作により、内蔵 RAM の状態については変化する可能性があります。バックアップ RAM のデータは変化しません。

(注 3) 電源電圧が安定した状態から 500 μ s 以上経過してからリセット解除させてください。

(注 4) FLASH のプログラム中は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。

4. メモリマップ

TMP19A64 のメモリマップを図 4.1 に示します。

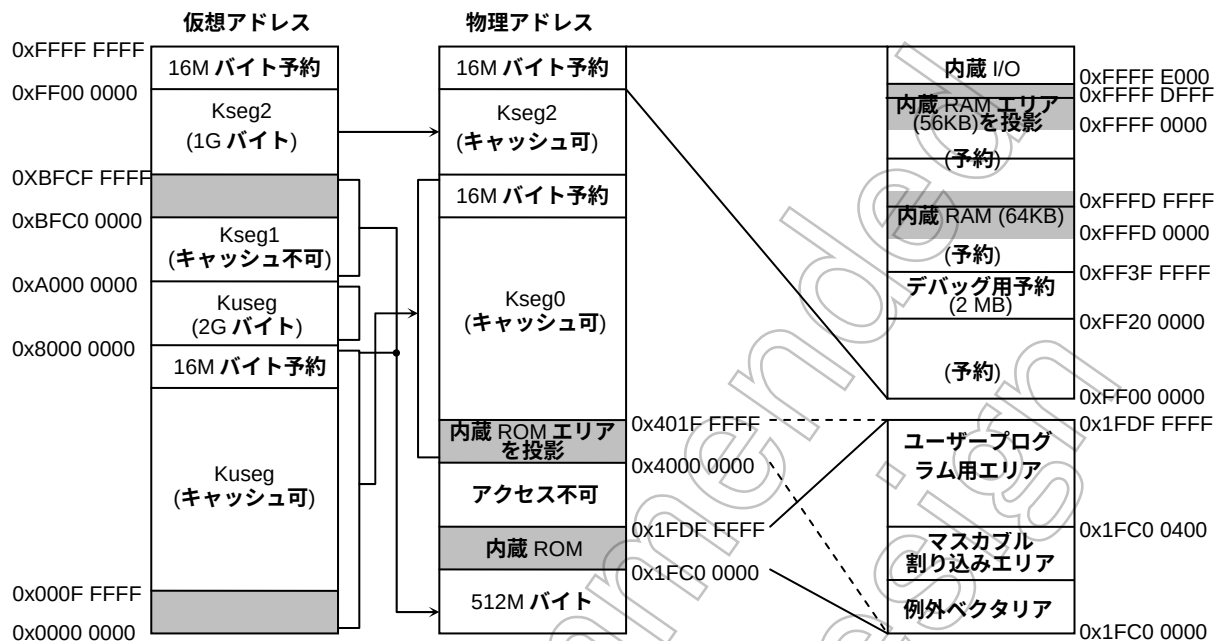


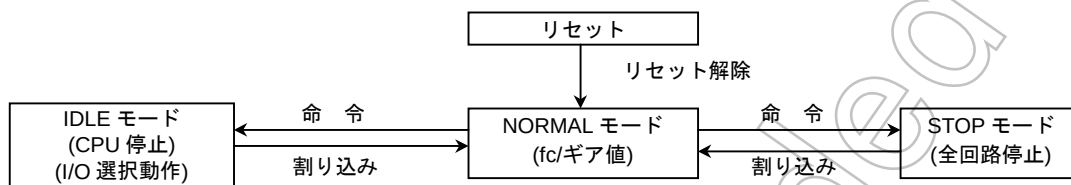
図 4.1 メモリマップ

- (注1) 内蔵 ROM は、
0x1FC0_0000~0x1FDF_FFFF (2MB)
内蔵 RAM は、
0xFFFD_0000~0xFFFD_FFFF (64KB)
に物理的に存在し、
0xFFFF_0000~0xFFFF_DFFF (56KB)
は投影領域になり、この領域をアクセスしても内蔵 RAM にアクセスできます。
また、内蔵 Back up RAM 領域は、
0xFFFF_E800~0xFFFF_E9FF (512B) となります。
- (注2) TMP19A64 では外部アドレス空間として 16M バイトの物理空間しかアクセスできません。
CPU の物理アドレス空間 3.5G バイト内で任意のチップセレクト領域に 16M バイトの物理
アドレス空間を配置することができます。ただし、内蔵メモリ、内蔵 I/O 空間および予約
エリアへのアクセスは優先され、このときに外部空間へのアクセスはできません。
- (注3) 物理領域の最後の 4 ワードには命令を置かないでください。
内蔵 ROM の場合：0x1FDF_FFF0~0x1FDF_FFFF
外部に ROM 拡張する場合はメモリの実装されている最後の 4 ワードが対象になります
(ユーザーのシステムによります)。

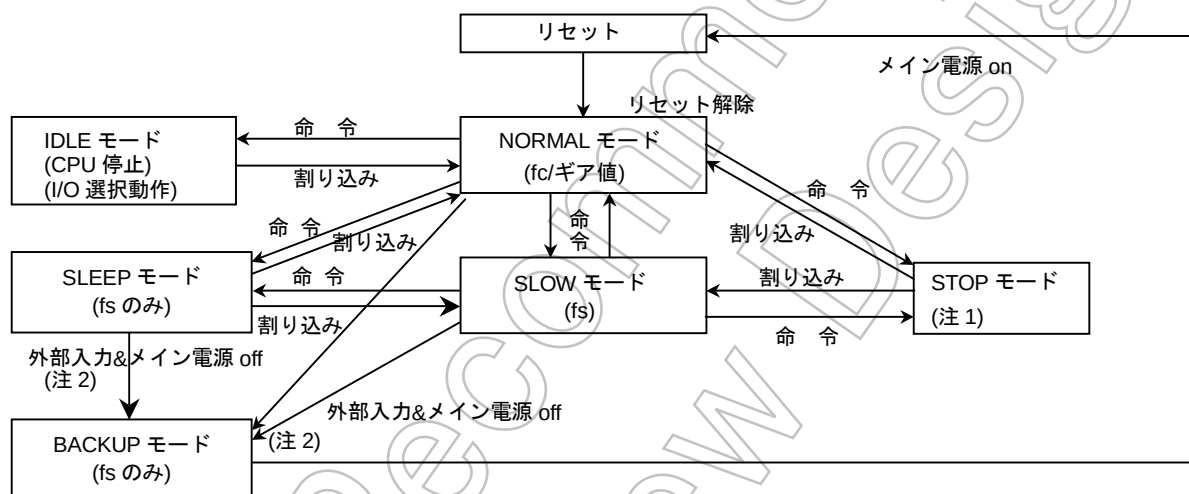
5. クロック/スタンバイ制御

5.1 システム動作モード

システムの動作モードにはプロセッサコアの動作を停止して低消費電力動作行うスタンバイモードがあります。図 5.1.1 に動作モード別状態遷移図を示します。



バックアップモジュールに電源供給なしの場合のクロックモード状態遷移図



バックアップモジュールに電源供給ありの場合のクロックモード状態遷移図

(注 1) STOP モード：バックアップモジュール以外の全回路停止。バックアップモジュールは動作継続 (fs は発振継続)。

(注 2) 外部入力：RESET 期間中に BUPMD 端子をアクティブにする必要があります。詳細はバックアップ RAM の章を参照下さい。

図 5.1.1 動作モード別状態遷移図

5.2 システムクロックの初期状態

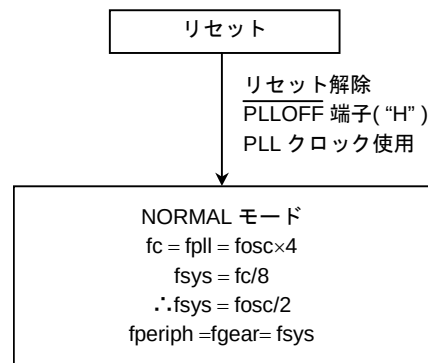


図 5.2.1 システムクロックの初期状態

fosc : X1, X2 端子より入力される高周波クロック周波数

fpll : PLL により逡倍 (4 逡倍) されたクロック周波数

fc : PLLOFF 端子が “H” の状態でのクロック周波数

fs : XT1, XT2 端子より入力される低周波クロック周波数

fgear : クロックジェネレータ部のシステムコントロールレジスタ SYSCR1<GEAR2:0>で選択されたクロック周波数

fsys : システムクロック周波数
CPU、ROM、RAM、DMAC、INTC の動作クロックです。内蔵周辺 I/O の動作クロックは fsys/2 になります。

fperiph : SYSCR1<FPSEL>で選択されたクロック周波数
(周辺 I/O のプリスケアラへの入力クロック)

5.3 クロック系統ブロック図

5.3.1 メイン・システム・クロック

- 発振子接続または外部クロック入力可能
- $\overline{\text{PLL0FF}}$ 端子 (PLL (4 通倍)) は、常に $\overline{\text{PLL0FF}} = \text{"H"}$ レベル固定で使用して下さい。
- クロックギア (8/8, 7/8, 6/8, 5/8, 4/8, 2/8, 1/8)
(デフォルトは 1/8 分周)
- 入力周波数 (高周波)

	入力周波数範囲	最大動作周波数	最低動作周波数
PLL 動作 (発振子、外部入力ともに)	8~13.5 (MHz)	54 MHz	4 MHz ※

※ 8MHz (Min) 入力時にクロックギア 1/8 (初期値) 使用

- 入力周波数 (低周波)

入力周波数範囲	最大動作周波数	最低動作周波数
30~34 (KHz)	34 KHz	30 KHz

(注) (高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、 $\text{SYSCR1} \langle \text{GEAR2:0} \rangle$ レジスタへ値を書き込むことにより実行されます。書き込んだ後、すぐには切り替わずに切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、ダミーの命令 (ライトサイクルが実行される命令) を挿入してください。

クロックギアを使用する場合、周辺 I/O の各ブロックのプリスケアラ出力 ϕT_n は必ず $\phi T_n < f_{\text{sys}}/2$

を満足するように時間設定 (ϕT_n が $f_{\text{sys}}/2$ よりも遅くなるように) してください。また、タイマカウンタなどの周辺 I/O 動作中にクロックギアを切り替えないようにしてください。

(注) クロックギア使用制限

クロックギアを使用して周辺 I/O を動作させる場合、8/8, 4/8, 2/8, 1/8 の分周比を使用して下さい。他の分周比を選択した場合、周辺 I/O は正常動作しません。

5.3.2 クロックギア

- 高速クロックを 8/8, 7/8, 6/8, 5/8, 4/8, 2/8, 1/8 に分周
- 内蔵 I/O 用プリスケールクロック $\Phi T0$: fperiph/2, fperiph/4, fperiph/8, fperiph /16

図 5.3.1 にシステムクロック遷移図を示します。

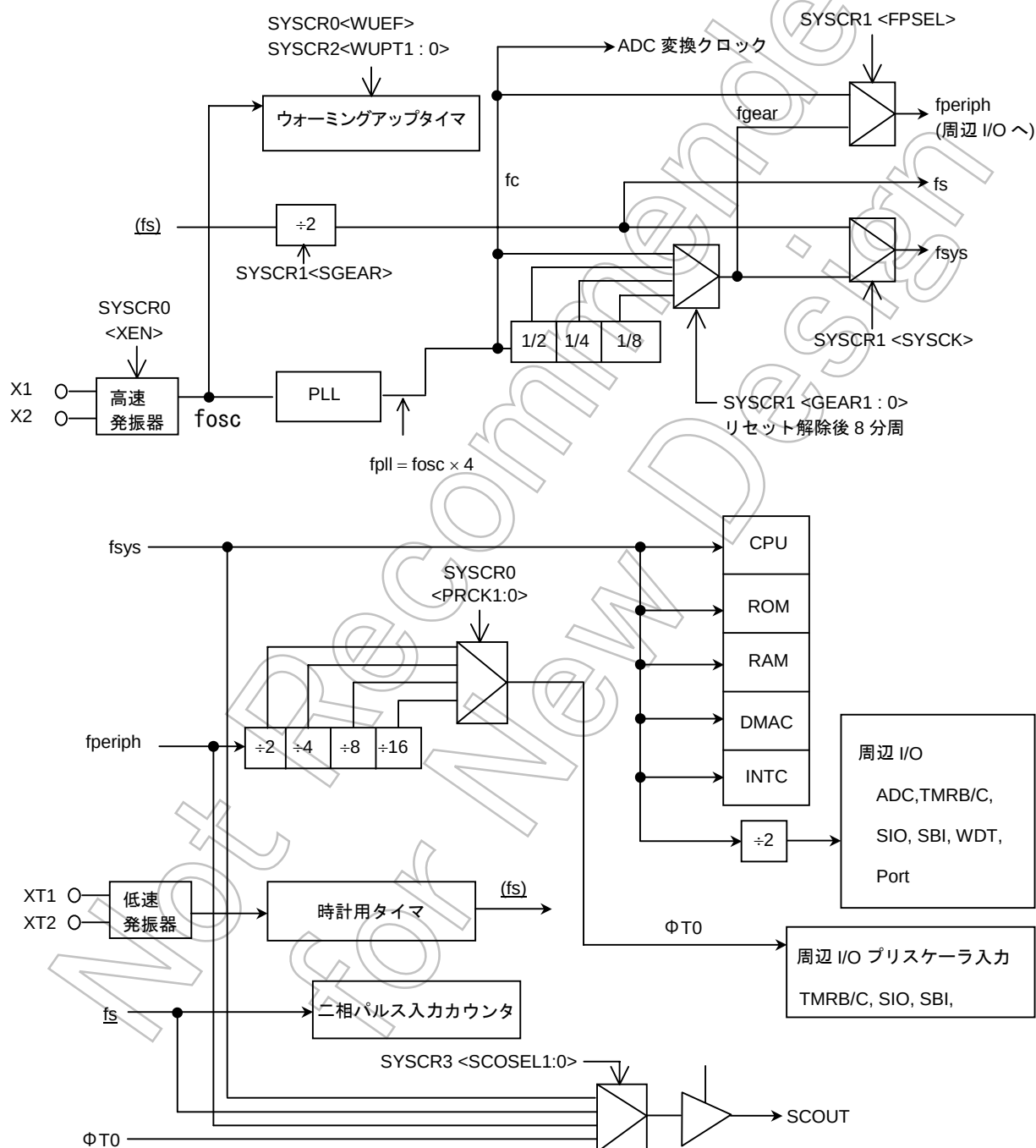


図 5.3.1 システムクロック遷移図

5.4 CG 関連レジスタ

5.4.1 システムコントロールレジスタ

SYSCR0 (0xFFFF_EE00)	bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	XEN	R/W	R/W	R/W	R	WUEF	PRCK1	PRCK0
	リセット後	1	1	1	1	0	0	0	0
	機能	高速発振器 0:停止 1:発振	“1”をライトしてください	STOP モード 解除後の 高速発振器 0:停止 1:発振	“1”をライトしてください	リードすると“0”が読めます	発振器用ウォーミングアップタイマ(WUP)制御 0ライト: don't care 1ライト: WUP スタート 0リード: WUP 終了 1リード: WUP 中	プリスケラックロック選択 00:fperiph/16 01:fperiph/8 10:fperiph/4 11:fperiph/2	
SYSCR1 (0xFFFF_EE01)	Bitsymbol	15	14	13	12	11	10	9	8
	Read/Write	R	R	R/W	R/W	R/W	GEAR2	GEAR1	GEAR0
	リセット後	0	0	0	0	0	1	1	1
	機能	リードすると“0”が読めます	システムクロック状態フラグ 0:高速(fc) 1:低速(fs)	システムクロック選択 0:高速(fc) 1:低速(fs)	fperiph 選択 0:fgear 1:fc	低速クロックギア選択 0:fs/1 1:fs/2	高速クロック(fc)のギア選択 000: fc 100: fc4/8 001: fc7/8 101: reserved 010: fc6/8 110: fc2/8 011: fc5/8 111: fc1/8		
SYSCR2 (0xFFFF_EE02)	Bitsymbol	23	22	21	20	19	18	17	16
	Read/Write	DRVOSCH	R/W	WUPT1	WUPT0	STBY1	STBY0		DRVE
	リセット後	0	0	1	0	1	1	0	0
	機能	高速発振器電流制御 0:能力大 1:能力小	0を書き込んでください	発振器用ウォーミングアップ時間選択 00:WUP 無し 01:2 ⁸ 入力周波数 10:2 ¹⁴ 入力周波数 11:2 ¹⁶ 入力周波数		スタンバイモード選択 00:Reserved 01:STOP 10:SLEEP 11:IDLE		リードすると“0”が読めます	1:STOP モード中でも端子をドライブします
SYSCR3 (0xFFFF_EE03)	Bitsymbol	31	30	29	28	27	26	25	24
	Read/Write	R	R/W	R/W	R/W	R			
	リセット後	0	0	1	1	0	0	0	0
	機能	リードすると“0”が読めます	SCOUT 出力選択 00:fs 01:fperiph 10:fsys 11:φTO	ALE 出力幅設定 0:fsys×1 1:fsys×2	リードすると“0”が読めます				

- ・ SYSCK と GEAR<2:0>を同時に切り替えないで下さい。
- ・ SYSCR2<DRVOSCH> 1:能力小状態で STOP に移行した場合、STOP 解除後は 0:能力大設定になります。必要な場合は、再設定してください。
- ・ SYSCK の切り替えは、XEN=“1”の時有効です。

(注) クロックギア使用制限

クロックギアを使用して周辺 I/O を動作させる場合、SYSCR1<GEAR2:0>の設定は fc, fc4/8, fc2/8, fc1/8 の分周比を使用して下さい。他の分周比を選択した場合、周辺 I/O は正常動作しません。

5.5 システムクロック制御部

リセットによりシングルクロックモードになり、 $\langle XEN \rangle = "1"$ 、 $\langle GEAR2:0 \rangle = "111"$ に初期化されるのでシステムクロック f_{sys} は $f_c/8$ となります (PLL にて原発振は 4 通倍されるので $f_c = f_{osc}$ (原発振周波数) $\times 4$)。例えば、X1, X2 端子に 13.5MHz の発振子を接続していると、リセットにより f_{sys} は $(13.5 \times 4 \times 1/8) = 6.25\text{MHz}$ となります。

発振子を接続しないで外部発振器などからクロックを入力する場合も同様に、 f_{sys} は入力周波数 $\times 4 \times 1/8$ の周波数になります。

(注) システムクロック周波数は初期設定で 4MHz 以上になるように設定してください。

5.5.1 発振安定時間 (NORMAL $\leftrightarrow$ SLOW モードの切り替え)

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認するためにウォーミングアップタイムがあります。ウォーミングアップ時間は発振子の特性に合わせて $\text{SYSCR2}\langle \text{WUPT1}:0 \rangle$ により選択できます。このスタート、終了確認は $\text{SYSCRO}\langle \text{WUEF} \rangle$ を使用しソフト (命令) により行います。ウォーミングアップ終了の確認後、システムクロックの切り替えを行ってください ($\text{SYSCR1}\langle \text{SYSCK} \rangle$)。

クロック切り替えが生じたときに、現在のシステムクロックは $\text{SYSCR1}\langle \text{SYSCKFLG} \rangle$ をモニタすることにより確認できます。

表 5.5.1 に切り替え時のウォーミングアップ時間を示します。

(注 1) クロックに発振器などを使用しており発振が安定している場合はウォーミングアップさせる必要はありません。

(注 2) ウォーミングアップタイムは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

表 5.5.1 ウォーミングアップ時間

ウォーミングアップタイム選択 $\text{SYSCR2}\langle \text{WUPT1} : 0 \rangle$	高速クロック (f_{osc})
01 (2^8 /発振周波数)	18.963 (μs)
10 (2^{14} /発振周波数)	1.214 (ms)
11 (2^{16} /発振周波数)	4.855 (ms)

計算値は $f_{osc} = 13.5\text{MHz}$ の場合です

<例 1> NORMAL モードから SLOW モードへの移行

SYSCR1<SYSCK>="1" : システムクロックを低速 (fs) に切り替え
 SYSCR1<SYSCKFLG>リード : "1" (現在のシステムクロックが fs) であることを確認
 SYSCRO<XEN>="0" : 高速発振 (fosc) ディセーブル

<例 2> SLOW モードから NORMAL モードへの移行

SYSCR2<WUPT1:0>="xx" : ウォーミングアップ時間選択
 SYSCRO<XEN>="1" : 高速発振 (fosc) イネーブル
 SYSCRO<WUEF>="1" : ウォーミングアップタイマ (WUP) スタート
 SYSCRO<WUEF>リード : "0" (WUP 終了) になるまでウェイト
 SYSCR1<SYSCK>="0" : システムクロックを高速 (fgear) に切り替え
 SYSCR1<SYSCKFLG>リード : "0" (現在のシステムクロックが fgear) であることを確認

(注) SLOW モードでは低速クロックで CPU が動作します。INTC、BackUP ブロック、二相パルス入力カウンタ、KWUP、I/O ポート、EBIF (外部バスインタフェース) の動作が可能です。他の内蔵周辺機能は SLOW モードへ遷移する前に停止してください。

5.5.2 システムクロックの端子出力機能

システムクロック fsys または fsys/2 または fs を P46/SCOUT 端子から出力できます。ポート 4 関係のレジスタ P4CR<P46C>="1", P4FC<P46F>="1" に設定することにより、P46/SCOUT 端子は SCOUT 出力端子になります。出力クロックの選択は SYSCR3<SCOSEL1:0>によって設定します。

表 5.5.2 に P46/SCOUT 端子を SCOUT 出力に設定した場合のスタンバイモード別端子状態を示します。

表 5.5.2 スタンバイモード別 SCOUT 出力状態

SCOUT 選択	モード	NORMAL	SLOW	スタンバイモード		
				IDLE	SLEEP	STOP
<SCOSEL1:0> = “00”		fs クロックを出力します				
<SCOSEL1:0> = “01”		fpriph クロックを出力します			“0” または “1” に固定されます	
<SCOSEL1:0> = “10”		fsys クロックを出力します				
<SCOSEL1:0> = “11”		ΦT0 クロックを出力します	“0” に固定されます	ΦT0 クロックを出力します	“0” に固定されます	

(注) SCOUT から出力されるシステムクロックは内部クロックとの位相差 (AC タイミング) は保証できません。

5.5.3 発振器のドライブ能力低減

発振子接続用端子に発振子を接続する場合に発振器から出力される発振ノイズの抑制、発振器の低消費電力化を目的とします。

SYSR2<DRVOSCH>を“1”にセットすることにより高速発振器のドライブ能力は低減（能力小）します。

リセットにより“0”に初期化されるので、電源投入時は通常（能力大）のドライブ能力で発振開始します。モード移行時の発振器の発振開始時はからず、ドライブ能力大（<DRVOSCH> = “0”）の状態に自動設定されます。

● 高速発振器のドライブ能力低減

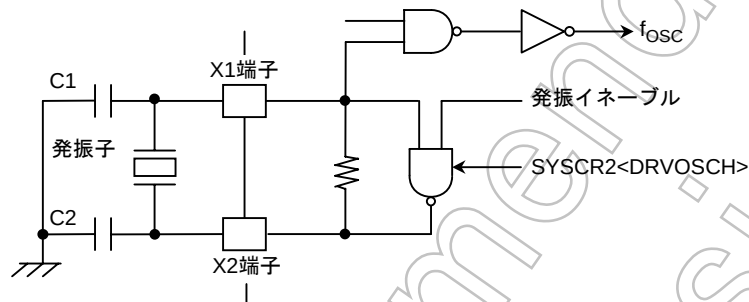


図 5.5.1 発振器のドライブ能力

5.5.4 システムクロック低速時のクロック分周

システムコントロールレジスタ SYSR1<SGEAR>を“1”に設定することにより、低速クロック (fs) を 2 分周できます。よって、SLOW モード時の消費電力を低減できます。また、クロック分周の設定は高速発振中に行なって下さい。

5.6 プリスケアラクロック制御部

内蔵 I/O (TMRB0~A, TMRC, SI00~6, SBI) には、それぞれにクロックを分周するプリスケアラがあります。これらのプリスケアラへ入力するクロック $\phi T0$ は、SYSCR1<FPSEL>と SYSCR0<PRCK1:0>から選択されたクロック fperiph を更に SYSCR0<PRCK1:0>にて分周されたクロックとなります。リセット後の $\phi T0$ は fperiph/16 が選択されます。詳細は図 5.3.1 システムクロック遷移図を参照下さい。

5.7 クロック逡倍回路 (PLL)

PLLOFF 端子は常に “H” レベルに固定して下さい。この端子は、高速発振器の出力クロック fosc を 4 逡倍した fpll クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

5.8 Flash アクセス制御回路 (PFB)

PFBWAIT レジスタにより、Flash メモリへのアクセス速度を選択することが可能です。使用される動作周波数に応じて適切な Flash アクセス速度の設定が必要です。

PFBWAIT (0xFFFF_E500)		31 ~ 2	1	0
	bit Symbol	-	PFBWAIT	
	Read/Write	R	R/W	R/W
	リセット後	0	1	1

PFBWAIT : WAIT 数

11:4clock アクセス / 10:3clock アクセス / 01:2clock アクセス

00:設定禁止

PFBWAIT<1:0>	動作周波数(f_c) MHz		
	40~	< 45	<=54
11	○	○	○
10	○	○	○
01	○	×	×
00	—	—	—

○ : 設定可 × : 設定不可 — : 設定禁止

注) 適切なアクセス速度が設定されていない場合にはプログラムが正常に動作しないことがあります。

5.9 スタンバイ制御部

TX19A コアには、いくつかの低消費モードがあります。STOP, SLEEP, IDLE (Halt モード、Doze) モードへは、CP0 の Status レジスタの RP ビットを設定し、その後 WAIT 命令を実行することで移行できます。

移行するに当たり、事前にスタンバイモードをシステムコントロールレジスタ (SYSCR2) にて選択しておく必要があります。

IDLE、SLEEP、STOP モードの特長は次の通りです。

IDLE: CPU のみ停止するモードです。

内蔵 I/O は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された内蔵 I/O は、IDLE モードへ遷移した時の状態で停止します。

表 5.8.1 に IDLE 設定レジスタの一覧を示します。

表 5.9.1 IDLE モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	IDLE モード設定レジスタ
TMRB0~A	TBxRUN<I2TBx>
TBT	TBTRUN<I2TBT>
S100~6	SCxMOD1<I2Sx>
SBI	SB1BRO<I2SBI>
A/D コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

(注 1) Halt モード (Status レジスタの中の RP ビット “0” をセットして WAIT コマンド実行にてスタンバイモードに遷移) では、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。内蔵 DMA からのバス制御権要求に対しては応答しませんので、バス制御権を占有したままの状態となります。

(注 2) Doze モード (Status レジスタの中の RP ビット “1” をセットしてスタンバイモードに遷移) では、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。プロセッサコア外部からのバス制御権要求に対して応答することができます。

SLEEP: 内部低速発振器と BackUP ブロック、二相パルス入力カウンタ回路のみ動作します。

STOP: すべての内部回路が停止します。

5.9.1 各モードでの CG の動作

表 5.9.1 各動作モードにおける CG の状態

クロックソース	モード	発振回路	PLL	周辺 I/O へのクロック供給	CPU へのクロック供給
発振子	Normal	○	○	○	○
	Slow	○	×	一部供給 (注)	○
	Idle (Halt)	○	○	Selectable	×
	Idle (Doze)	○	○	Selectable	×
	Sleep	fs のみ	×	BackUP ブロック/二相パルス入力カウンタ	×
	Stop	×	×	×	×

○ : 動作または、クロックを供給 × : 停止またはクロックを非供給

(注) SLOW モードで動作可能な周辺機能 : INTC, 外部バスインタフェース, I/O ポート, BackUP ブロック, 二相パルス入力カウンタ

5.9.2 各モードにおけるブロックの動作

表 5.9.2 各動作モードにおけるブロックの動作状態

ブロック	NORMAL	SLOW	IDLE (Doze)	IDLE (Halt)	SLEEP	STOP	BACKUP
TX19A プロセッサコア	○	○	×	×	×	×	×
DMAC	○	○	○	×	×	×	×
INTC	○	○	○	○	×	×	×
外部バス I/F	○	○	○	×	×	×	×
I/O ポート	○	○	○	×	×	×	×
ADC	○	×	モジュールごとに動作/停止 選択可能		×	×	×
SIO	○	×			×	×	×
I2C	○	×			×	×	×
TMRB	○	×			×	×	×
TMRC	○	×			×	×	×
WDT	○	×			×	×	×
二相カウンタ	○	○			○	×	×
BackUP ブロック	○	△ (注 1)			○	○ / × (注 3)	○
KWUP	○	○	○	○	×	○	×
CG	○	○	○	○	○	×	×
高速発振器 (fs)	○	△ (注 2)	○	○	×	×	×
低速発振器 (fs)	○	○	○	○	○	○	○

○ : 動作 × : 停止

- ・ 低速発振は、BVCC 印加時は動作、BVCC 遮断時は非動作となります。

注1) SLOW モード時の BackUP RAM へのアクセスは禁止となります。

注2) SLOW モードへの遷移では、高速発振器は SYSCR1<XEN>にて停止する必要があります。

注3) STOP モード時の BackUP ブロックは BUPMD 端子により動作が異なります。

5.9.3 スタンバイ状態からの解除

スタンバイ状態からの解除は、割り込み要求の場合は、割り込みレベルが割り込みマスクレベルより高い場合、またはリセットによって行うことができます。使用できるスタンバイ解除ソースは、TX19A プロセッサコアのシステム制御コプロセッサ (CP0) にあるステータスレジスタ (Status レジスタ) に割り付けられている割り込みマスクレジスタ<IM15:8>の状態と、スタンバイモードの組み合わせにより決まります。詳細を表 5.9.3 スタンバイ解除ソースとスタンバイ解除の動作に示します。

- 割り込み要求による解除

割り込み要求によるスタンバイ状態からの解除動作は、割り込み許可状態により異なります。スタンバイモード移行前に設定されている割り込みレベルが割り込みマスクレジスタの値以上であればスタンバイ解除後、その要因による割り込み処理を行い、スタンバイへ移行した命令 (WAIT 命令) の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合は、割り込み処理は行わず、スタンバイ移行命令 (WAIT 命令) の次の命令から処理をスタートします (割り込み要求フラグは“1”を保持します)。

ノンマスクابل割り込みでは、マスクレジスタの値に関係なくスタンバイ解除後、割り込み処理を行います。

- リセットによる解除

リセットにより、すべてのスタンバイ状態からの解除を行うことができます。ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間が必要です。(表 5.1 を参照ください)。

リセットによる解除では、BackUP RAM のデータは、スタンバイ状態に入る直前の状態を保持できますが、その他の設定は初期化されます (割り込みによる解除ではスタンバイ状態に入る直前の状態を保持します)。

STOP/SLEEP/IDLE 解除割り込み、通常の割り込みの詳細に関しては「6. 割り込み」の項をご参照ください。

表 5.9.3 スタンバイ解除ソースとスタンバイ解除の動作
(割り込みレベル) > (割り込みマスク)

割り込み受け付け状態			割り込み許可 EI= "1"			割り込み禁止 EI= "0"		
スタンバイモード			IDLE (プログラマブル)	SLEEP	STOP	IDLE (プログラマブル)	SLEEP	STOP
スタンバイ解除ソース	割り込み	INTWDT	◎	×	×	◎	—	—
		INT0~B	◎	◎	◎ (注1)	○	○	○ (注1)
		KWUP0~7	◎	◎	◎ (注1)	○	○	○ (注1)
		INTRTC	◎	◎	×	○	○	×
		INTTBA (注2)	◎	◎	×	○	○	×
		INTTB0~9	◎	×	×	○	×	×
		INTRX0~6, TX0~6	◎	×	×	○	×	×
		INTS	◎	×	×	○	×	×
		INTAD/ADHP/ADM	◎	×	×	○	×	×

◎: スタンバイ解除後、割り込み処理を開始します (RESET は LSI を初期化します)。

○: スタンバイ解除後、スタンバイ命令の次の番地から処理を開始します (割り込み処理は行いません)。

×: スタンバイ解除に使用できません。

—: ノンマスカブル割り込みは割り込みマスクでマスクできません。

(注1) ウォーミングアップ時間経過後にスタンバイ解除を行います。

(注2) 二相パルス入力カウンタモードの設定の時のみ該当します。それ以外の時は INTTB0~INTTB9 の場合と同様です。

- 割り込み許可状態において、レベルモードの割り込みによるスタンバイ解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。
- CPU で割り込みの受け付けを禁止している状態でスタンバイモードへ移行する場合は、移行前に割り込みコントローラ (INTC) で復帰要因以外の割り込みを禁止してください。禁止していないと復帰要因以外の割り込みでスタンバイ解除が行われる場合があります。
- CPU で割り込みの受け付けを禁止している状態でスタンバイモードから復帰する場合、(割り込みレベル) > (割り込みマスク) を設定してください。(割り込みレベル) = < (割り込みマスク) の場合スタンバイモードから復帰できなくなります。

5.9.4 STOP モード

STOP モードでは、内部発振器も含めてすべての内部回路が停止します。また、STOP モード時の端子状態は、SYSCR2<DRVE>の設定により異なります。STOP モード時の端子状態を表 5.9.6 に示します。STOP モードを解除する場合は、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後にシステムクロックの出力を開始します。STOP モードが解除されると、STOP モードへ移行する前の動作モードへ復帰（NORMAL または SLOW）し、動作を開始します。

これら設定は STOP モードに移行する命令を実行する前に行う必要があります。ウォーミングアップ時間の設定は、SYSCR2<WUPT1:0>で行います

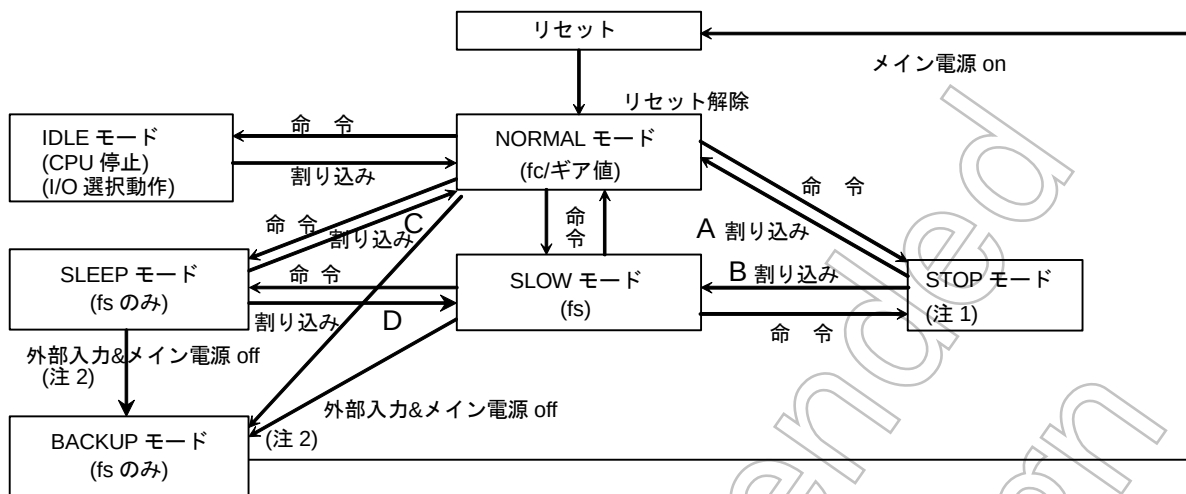
(注) TMP19A64 では NORMAL モードから STOP モードに移行する場合、ウォーミングアップ時間に SYSCR2<WUPT1:0>="00" または "01" を設定しないでください。STOP モードからの復帰時に内部システムの復帰時間が満たされません。

表 5.9.4 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL→IDLE	不要
NORMAL→SLEEP	不要
NORMAL→SLOW	不要
NORMAL→STOP	不要
IDLE→NORMAL	不要
SLEEP→NORMAL	必要
SLEEP→SLOW	不要
SLOW→NORMAL	必要 (注 1)
SLOW→SLEEP	不要
SLOW→STOP	不要
STOP→NORMAL	必要
STOP→SLOW	不要

注 1) SLOW モード時に高速発振器を停止している場合

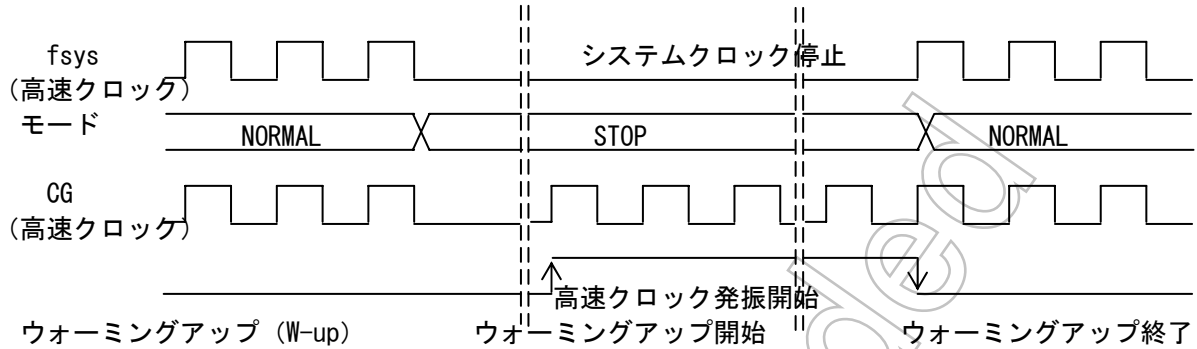
注) ウォーミングアップ後、wait 命令実行までに以下の時間が必要です。
詳細は図及び表を参照願います



WUP 要因	状態遷移	復帰後の状態遷移	wait 命令実行までに必要な時間(sec)
STOP 解除 WUP	A	STOP/SLEEP	64 / (fsys) @NORMAL モード
	B	STOP/SLEEP	16 / (fsys) @SLOW モード
SLEEP 解除 WUP	C	STOP/SLEEP	64 / (fsys) @NORMAL モード
	D	STOP/SLEEP	WUP 無いため問題無し

5.9.5 STOP/SLEEP モードからの復帰

1. NORMAL→STOP→NORMAL 動作モード遷移



@fosc=13.5MHz の場合

W-up時間選択 SYSCR2<WUPT1:0>	W-up時間 (fosc)
01 ($2^8/fosc$)	設定禁止
10 ($2^{14}/fosc$)	1.214ms
11 ($2^{16}/fosc$)	4.855ms

(注) @fosc=13.5MHz の場合、内部システムの復帰時間が満たされません。<WUPT1:0>="01"は設定しないでください。

2. NORMAL→SLEEP→NORMAL 動作モード遷移

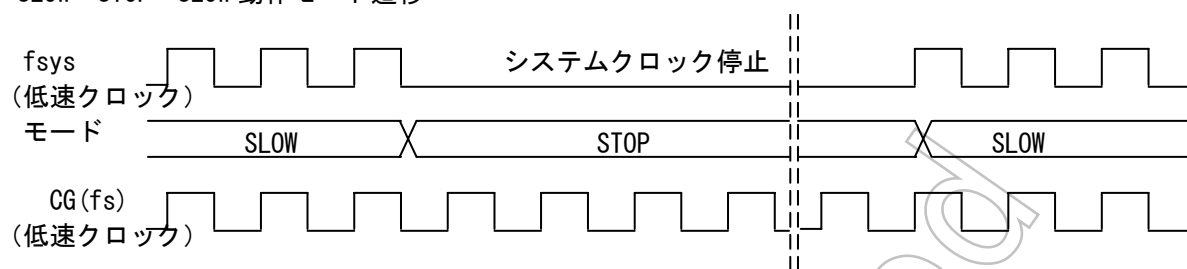


@fosc=13.5MHz の場合

W-up時間選択 SYSCR2<WUPT1:0>	W-up時間 (fosc)
01 ($2^8/fosc$)	設定禁止
10 ($2^{14}/fosc$)	1.214ms
11 ($2^{16}/fosc$)	4.855ms

(注) fosc=13.5MHz の場合、内部システムの復帰時間が満たされません。<WUPT1:0>="01"は設定しないでください。

3. SLOW→STOP→SLOW 動作モード遷移



(注) 低速クロック (f_s) は発振を継続し、ウォーミングアップの設定は必要ありません。

4. Slow→Sleep→Slow 動作モード遷移



(注) 低速クロック (f_s) は発振を継続し、ウォーミングアップの設定は必要ありません。

表 5.9.6 SYSCR2<DRVE>別の STOP モード時の端子状態 (1/2)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
P00~P07	入力モード 出力モード AD0~AD7, D0~D7	— — —	— 出力 —
P10~P17	入力モード 出力モード, A8~A15 AD8~AD15, D8~D15	— — —	— 出力 —
P20~P27	入力モード 出力モード, A0~A7/A16~A23	— — —	— 出力 —
P30 (/RD), P31 (/WR)	出力ピン	—	出力
P32, P35, P36	入力モード 出力モード, /HWR, /BUSAK, R/W_	PU* PU*	— 出力
P33	入力モード, /WAIT, /RDY 出力モード	PU* PU*	— 出力
P34	入力モード 出力モード BUSRQ	PU* PU* PU*	出力 出力 入力
P37 (ALE)	入力モード 出力モード ALE (出力モード)	— — “L” レベル出力	— 出力 “L” レベル出力
P40~P45	入力モード 出力モード, CS0~CS5	PU* PU*	入力 出力
P46 (SCOUT)	入力モード 出力モード	— —	入力 出力
P47	入力モード 出力モード	— —	入力 出力
P50~P57	入力モード 出力モード, A0~A7	— —	— 出力
P60~P67	入力モード 出力モード, A8~A15	— —	— 出力
P7, P8, P9	入力ピン, AN0~AN23	—	—
PA0, PA1, PA3, PA4	入力モード 出力モード INT5~INT8 (入力モード)	— — 入力	入力 出力 入力
cPA2, PA5, PA6, PA7	入力モード 出力モード, TB0OUT, TB1~3OUT	— —	入力 出力
PB0~PB7	入力モード, TBAIN1 出力モード, TB4~9OUT	— —	入力 出力
PC0~PC7	入力モード, SCLK0~1, RXD0~2, /CTS0~1 出力モード, SCLK0~1, TXD0~2	— —	入力 出力
PD0~PD6	入力モード, SCLK2~4, RXD3~4, /CTS2~4 出力モード, SCLK2~4, TXD3~4	— —	入力 出力
PD7	入力モード 出力モード INT9 (入力モード)	— — 入力	入力 出力 入力
PE0~PE2	入力モード, SCLK5, RXD5, /CTS5 出力モード, SCLK5, TXD5	— —	入力 出力
PE3~PE5	入力モード 出力モード	— —	入力 出力
PE6~PE7	入力モード 出力モード INTA~INTB (入力モード)	— — 入力	入力 出力 入力

表 5.9.6 SYSCR2<DRVE>別の STOP モード時の端子状態 (2/2)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
PF0~PF7	入力モード, SDA, SI, SCL, SCK, /DREQ2~3, TBT1IN 出力モード, SO, SDA, SCL, SCK, /DACK2~3	— —	入力 出力
PG0~PG7	入力モード, TC0~3IN 出力モード, TCOUT0~3	— —	入力 出力
PH0~PH5	入力モード 出力モード, TCOUT4~9	— —	入力 出力
PH6~PH7	入力モード 出力モード	— —	入力 出力
PI0~PI4	入力モード 出力モード INT0~INT4 (入力モード)	— 入力	入力 出力 入力
PJ0~PJ3	入力モード, /DREQ2~3 出力モード, /DACK2~3	— —	入力 出力
PK0~PK7	入力モード 出力モード KEY0~KEY7 (入力モード)	— 入力	入力 出力 入力
PL, PM, PN	入力モード 出力モード	— —	入力 出力
P00~P04	入力モード 出力モード INT0~INT4 (入力モード)	— 入力	入力 出力 入力
P05~P07	入力モード, RXD6, /CTS6 出力モード, TXD6,	— —	入力 出力
PP, PQ	入力モード 出力モード TPD0~7, TPC0~7	— 出力	入力 出力 出力
NMI	入力ピン	入力	入力
PLLOFF	入力ピン	入力	入力
RESET	入力ピン	入力	入力
BUPMD	入力ピン	入力	入力
BRESET	入力ピン	入力	入力
BUSMD	入力ピン	入力	入力
ENDIAN	入力ピン	入力	入力
BOOT	入力ピン	入力	入力
BW0~1	入力ピン	入力	入力
TEST1~3	入力ピン	入力	入力
X1	入力ピン	—	—
X2	出力ピン	“H” レベル出力	“H” レベル出力

— : 入力モード/入力ピンは、入力がディセーブルになり、出力モード/出力ピンは、ハイインピーダンスになることを示します。但し、ポートファンクションレジスタ (PxFC) = “1” かつ、ポートコントロールレジスタ (PxCR) = “0” の場合は入力はイネーブルになります。

入力 : 入力ゲートが働いています。入力ピンが浮かないよう入力電圧を、“L” レベルまたは、“H” レベルに固定してください。

出力 : 出力状態になっています。

PU* : プログラマブル Pull-up ピンです。常に入力ゲートがディセーブルになっています。ハイインピーダンスに設定されても貫通電流は流れません。

6. 割り込み

6.1 概要

TMP19A64 の割り込みには以下に示す特長があります。

- CPU 自身からの割り込み（ソフトウェア割り込み命令）…2 本
- 外部端子（NMT, INTO~INTB, KWUP0~7）…21 本
- 内蔵 I/O からの割り込み（WDT 割り込み含む）…51 本
- 割り込み要因ごとにベクトル生成
- 要因ごとに 7 段階の割り込みレベル
- DMAC の起動要因として設定可能

(1) 割り込み設定準備

- 割り込みを発生させる前に必要な設定
IVR に例外テーブルベースアドレス（マスカブル割り込みの飛び先アドレスの入ったテーブルのベースアドレス）をセットします。
「例外テーブルベースアドレス+IVR のオフセットアドレス」のメモリに割り込みの飛び先アドレスをセットします。
CP0 の Status レジスタの IM[4:2]=0x111 に設定します。
※ Status レジスタに関しては TX19A コアアーキテクチャ編を参照願います。

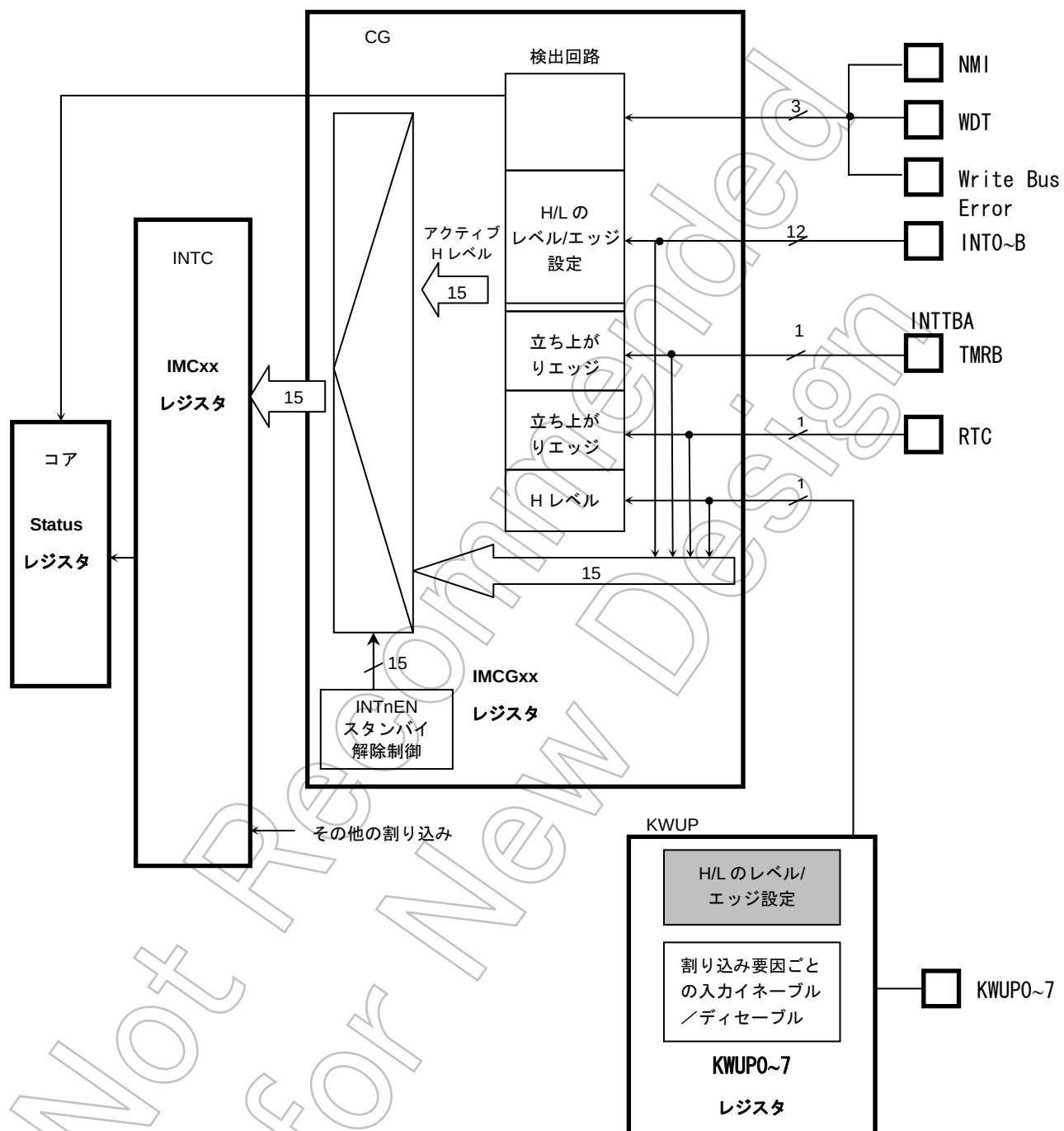


図 6.1.1 割り込み関係接続図

(2) 外部割り込み INT0~INTB および KWUP0~7

外部割り込みによるスタンバイ解除の設定を行なう場合、以下の順序で行なって下さい。

- ① ポート関係の設定
- ② 機能関係の設定
- ③ CG 部の設定
- ④ CG 部の EICRCG、INTCLR レジスタのクリア
- ⑤ INT 部の割り込みイネーブル

a) INT0~B

●STOP 解除として使用する場合は、

- IMCGx<EMCGx2:0> = “xxx” : 各 INT0~B スタンバイ解除要求アクティブに設定
(INTCG レジスタ参照)
- IMCGx<INTxEN> = “1” : 各 INT0~B 解除入力をイネーブルに設定
(INTCG レジスタ参照)
- EICRCG<ICRCG3:0> = “xxxx” : 各 INT0~B 割り込み要求をクリア
(INTCG レジスタ参照)
- INTCLR<EICLR8:0> = “000000100” : INT0~B 割り込み要求をクリア
(INTCG レジスタ参照)
- IMCx<EIMx1:0> = “01” : 各 INT0~B 割り込み要求を”H”レベルに設定
(INTC レジスタ参照)

b) KWUP0~7

●STOP 解除として使用する場合は、

- IMCGD<EMCGD1:0> = “01” : KWUP スタンバイ解除要求アクティブに設定
(INTCG レジスタ参照)
- IMCGD<KWUPEN> = “1” : KWUP 解除入力をイネーブルに設定
(INTCG レジスタ参照)
- IMC3<EIMD1:0> = “01” : KWUP 割り込み要求を”H”レベルに設定
(INTC レジスタ参照)
- EICRCG<ICRCG3:0> = “1100” : KWUP 割り込み要求をクリア
(INTCG レジスタ参照)
- INTCLR<EICLR8:0> = “000110100” : KWUP 割り込み要求をクリア
(INTCG レジスタ参照)
- KWUPST<KEYINT7:0> = “1” : 各 KWUP 割り込み要因ごとにイネーブルに設定
(KWUP レジスタ参照)

表 6.1.2 割り込み検知と設定レジスタ

割り込み		使用できる割り込み検知レベル
INT0~INTB, KWUP		使用する場合は INTC では立ち上がりエッジ (CG でエッジ検出の場合) もしくは”H”レベル (CG でレベル検出の場合) に設定してください。アクティブ状態の設定は CG で行ってください。CG のレジスタで”L”レベル、“H”レベル、立ち下がり、立ち上がりの設定ができます。
内蔵 I/O	その他	立ち下がりエッジ

(注1) 割り込みレベル 0 は割り込み禁止になります。

(3) 割り込み動作

●基本的な割り込みハンドリング

○割り込みハンドラ中（割り込みハンドラの開始アドレスは表 6.2.1 割り込み分岐先アドレス参照）で

- ・IVR の値を読む（図中では IVR の値は 0x8000）
- ・IVR の値を ICLR に代入し、割り込み要因をクリア
- ・IVR の値をテーブルの該当アドレス（図中では 0x8000）としてテーブルから例外処理の飛び先アドレスを得る（図中では飛び先アドレスは 0x9000）
- ・飛び先アドレスを使用して、例外処理ルーチンへジャンプ

○割り込み処理ルーチン中で

- ・割り込み処理を実行
- ・ $ILEV < MLEV = 0$ を設定し、例外発生前のマスクレベルに戻す
- ・“ERET” 命令で例外発生前のルーチンへ戻る

なお、例外処理ルーチン中は多重割り込み以外はすべて禁止されています。

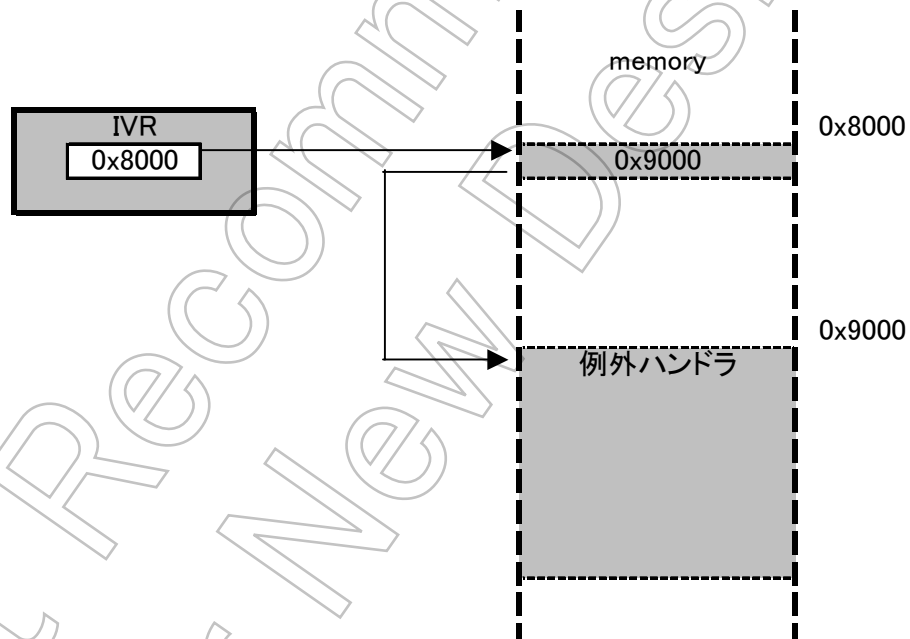


図 6.1.3 割り込みハンドラ中での処理のイメージ

6.2 割り込み要因

例外ベクタアドレスは、例外ハンドラの開始アドレスです。リセット例外、ノンマスカブル割り込み例外の例外ベクタアドレスは 0xBFC0_0000 です。デバッグ例外での例外ベクタアドレスは、0xBFC0_0480 (EJTAG ProbEn=0) です。その他の例外はシステム制御コプロセッサ (CP0) の Status レジスタ [23] の BEV ビット、Cause レジスタ [23] の IV ビットの状態により異なります。

Exception	BEV=0		BEV=1	
	仮想アドレス	論理アドレス	仮想アドレス	論理アドレス
Reset	0xBFC0_0000	0x1FC0_0000	0xBFC0_0000	0x1FC0_0000
EJTAG Debug (En=0)	0xBFC0_0480	0x1FC0_0480	0xBFC0_0480	0x1FC0_0480
EJTAG Debug (En=1)	0xFF20_0200	0xFF20_0200	0xFF20_0200	0xFF20_0200
Interrupt (IV=0)	0x8000_0180	0x0000_0180	0xBFC0_0380	0x1FC0_0380
Interrupt (IV=1)	0x8000_0200	0x0000_0200	0xBFC0_0400	0x1FC0_0400
All others	0x8000_0180	0x0000_0180	0xBFC0_0380	0x1FC0_0380

表 6.2.1 割り込み分岐先アドレス

- (注 1) ベクタアドレスを内蔵 ROM に置く場合にはシステム制御コプロセッサ (CP0) の Status レジスタの BEV ビットを “1” にしてください。
- (注 2) マスカブル割り込みの “ソフトウェア割り込み” は CP0 の Cause レジスタの IP[1:0] をセットすることにより発生します。この “ソフトウェア割り込み” はハードウェア割り込み要因のうちの “ソフトウェアセット” と異なります。 “ソフトウェアセット” は割り込みコントローラ (INTC) にある IMC0 レジスタの <IL02:0> を “0” 以外にすることにより割り込みが発生します。

表 6.2.2 ハードウェア割り込み要因一覧

割り込み番号	IVR[8:0]	割り込み要因	割り込み制御レジスタ	アドレス
0	0x000	ソフトウェアセット	IMC0	0xFFFF_E000
1	0x004	INT0 端子	IMC1	0xFFFF_E004
2	0x008	INT1 端子		
3	0x00C	INT2 端子		
4	0x010	INT3 端子		
5	0x014	INT4 端子		
6	0x018	INT5 端子	IMC2	0xFFFF_E008
7	0x01C	INT6 端子		
8	0x020	INT7 端子		
9	0x024	INT8 端子		
10	0x028	INT9 端子		
11	0x02C	INTA 端子	IMC3	0xFFFF_E00C
12	0x030	INTB 端子		
13	0x034	KWUP		
14	0x038	INTRX0 : シリアル受信 (channel. 0)		
15	0x03C	INTTX0 : シリアル送信 (channel. 0)		
16	0x040	INTRX1 : シリアル受信 (channel. 1)	IMC4	0xFFFF_E010
17	0x044	INTTX1 : シリアル送信 (channel. 1)		
18	0x048	INTRX2 : シリアル受信 (channel. 2)		
19	0x04C	INTTX2 : シリアル送信 (channel. 2)		
20	0x050	INTSBI : シリアルバスインタフェース 0		
21	0x054	INTADHP : 最優先 AD 変換終了割り込み	IMC5	0xFFFF_E014
22	0x058	INTADM : AD 変換監視機能割り込み		
23	0x05C	INTTB0 : 16 ビット・タイマ 0		
24	0x060	INTTB1 : 16 ビット・タイマ 1		
25	0x064	INTTB2 : 16 ビット・タイマ 2		
26	0x068	INTTB3 : 16 ビット・タイマ 3	IMC6	0xFFFF_E018
27	0x06C	INTTB4 : 16 ビット・タイマ 4		
28	0x070	INTCAPG : インプットキャプチャ・グループ		
29	0x074	INTCMP0 : コンペア割り込み 0		
30	0x078	INTCMP1 : コンペア割り込み 1		
31	0x07C	INTCMP2 : コンペア割り込み 2	IMC7	0xFFFF_E01C
32	0x080	INTCMP3 : コンペア割り込み 3		
33	0x084	INTCMP4 : コンペア割り込み 4		
34	0x088	reserved		
35	0x08C	INTRX3 : シリアル受信 (channel. 3)		
36	0x090	INTTX3 : シリアル送信 (channel. 3)	IMC8	0xFFFF_E020
37	0x094	INTRX4 : シリアル受信 (channel. 4)		
38	0x098	INTTX4 : シリアル送信 (channel. 4)		
39	0x09C	INTRX5 : シリアル受信 (channel. 5)		
40	0x0A0	INTTX5 : シリアル送信 (channel. 5)		
41	0x0A4	INTRX6 : シリアル受信 (channel. 6)	IMC9	0xFFFF_E024
42	0x0A8	INTTX6 : シリアル送信 (channel. 6)		
43	0x0AC	INTTB5 : 16 ビット・タイマ 5		
44	0x0B0	INTTB6 : 16 ビット・タイマ 6		
45	0x0B4	INTTB7 : 16 ビット・タイマ 7		
46	0x0B8	INTTB8 : 16 ビット・タイマ 8	IMCA	0xFFFF_E028
47	0x0BC	INTTB9 : 16 ビット・タイマ 9		
48	0x0C0	INTTBA : 16 ビット・タイマ A		
49	0x0C4	INTCMP5 : コンペア割り込み 5		
50	0x0C8	INTCMP6 : コンペア割り込み 6	IMCB	0xFFFF_E02C
51	0x0CC	INTCMP7 : コンペア割り込み 7		
52	0x0D0	INTCMP8 : コンペア割り込み 8		
53	0x0D4	INTCMP9 : コンペア割り込み 9		
54	0x0D8	INTRTC : 時計タイマ		
55	0x0DC	INTAD : A/D 変換終了	IMCC	0xFFFF_E030
56	0x0E0	INTDMA0 : DMA 転送終了 (channel. 0)		
57	0x0E4	INTDMA1 : DMA 転送終了 (channel. 1)		
58	0x0E8	INTDMA2 : DMA 転送終了 (channel. 2)		
59	0x0EC	INTDMA3 : DMA 転送終了 (channel. 3)		
60	0x0F0	INTDMA4 : DMA 転送終了 (channel. 4)	IMCD	0xFFFF_E034
61	0x0F4	INTDMA5 : DMA 転送終了 (channel. 5)		
62	0x0F8	INTDMA6 : DMA 転送終了 (channel. 6)		
63	0x0FC	INTDMA7 : DMA 転送終了 (channel. 7)		
			IMCE	0xFFFF_E038
			IMCF	0xFFFF_E03C

表 6.2.3 STOP/SLEEP/IDLE モード解除割り込み要因

番号	割り込み要因	補足
0	INT0	外部割り込み 0
1	INT1	外部割り込み 1
2	INT2	外部割り込み 2
3	INT3	外部割り込み 3
4	INT4	外部割り込み 4
5	INT5	外部割り込み 5
6	INT6	外部割り込み 6
7	INT7	外部割り込み 7
8	INT8	外部割り込み 8
9	INT9	外部割り込み 9
10	INTA	外部割り込み A
11	INTB	外部割り込み B
12	KWUP	Key on Wake up 割り込み
13	INTRTC	時計用タイマ割り込み
14	INTTBA	二相パルス入力カウンタ割り込み
15	reserved	

※番号 0～13 は STOP/SLEEP 解除可能な割り込み要因

※番号 14 は SLEEP 解除可能な割り込み要因

※IDLE モード解除は全ての要因で可能

6.3 割り込みの検出

STOP 解除に割り込みを使用する場合、INT0～INTB は割り込みのアクティブ状態を CG 内の IMCGx レジスタの EMCGxx フィールドで設定し、INTC 内の IMCx レジスタの EIMxx フィールドは “H” レベルに設定します。KWUP0～7 では、CG 内の IMCGD レジスタの EMCG フィールドを H レベルに、INTC 内の IMCx レジスタの EIMxx フィールドは “H” レベルに設定し、KWUPSTn で割り込みごとにアクティブ状態および許可/不許可を設定します。その他の割り込みでは INTC 内の IMCx レジスタの EIMxx フィールドで設定します。アクティブ状態には、“H” / “L” レベル、立ち上がり/立ち下がりエッジの 4 種類があり、TMP19A64 の割り込み検出回路は、設定された状態を認識すると、プロセッサコアあるいは INTC に割り込み要求を通知します。また、前述の STOP 解除に使用できる割り込みを、STOP 解除に使用しない場合は CG での設定は不用で、INT0～INTB は INTC でのみ設定、KWUP0～7 は INTC と KWUPSTx での設定となります。

割り込み信号のネゲートは割り込み要因を認識した後、割り込みハンドラで行います。

INT0～INTB は CG 内の EICRCG レジスタの ICRCG フィールドに該当する値を書き込み、次に INTC 内の INTCLR レジスタの EICLR フィールドに対応する値を書き込みます。KWUP0～7 は KWUPCLR を設定することによりネゲートされます。その他の割り込み信号のネゲートは、INTC 内の INTCLR レジスタの EICLR フィールドに該当する値を書き込みます。アクティブ状態がレベルに設定されている割り込み要因のネゲートは、INTx 信号をアサートした外部回路に対し INTx をネゲートするよう操作します。ただし、所定の割り込みベクタ (IVR) をリードするまでレベル入力をネゲートしないでください。

(注) 各設定においては、必ずアクティブ状態の設定、割り込み要求のクリア、割り込みの許可の順番で行ってください。

(INT0 を STOP 解除に設定する例)

IMCGA<EMCG01:00> = “10”	: INT0 を立ち下がりエッジ
EICRCG<ICRCG3:0> = “0000”	: INT0 割り込み要求をクリア
IMCGA<INTOEN> = “1”	: INT0 解除入力許可
IMC0<EIM11:10> = “01”	: INT0 を “H” レベル
INTCLR<EICLR8:0> = “000000100”	: INT0 割り込み要求をクリア
IMC0<IL12:10> = “101”	: 割り込みレベルを “5” の場合
Status<IE> = “1”, <IM> = “xxx”	: TX19A プロセッサコア

6.4 割り込みの優先度調停

(1) 7段階の割り込みレベル

7段階の優先度をもち、割り込み要因ごとに優先度を設定できます。

割り込みレベルは割り込みモードコントロールレジスタ (IMCx) で設定します。

3ビットのレベル設定フィールド (ILx) があります。IMCx<ILx2:0>に設定された値 (割り込みレベル) が大きいほど優先度が高くなります。値が“000”のとき (割り込みレベル 0) はその要因による割り込みは発生しません。

(2) 割り込みレベル通知

割り込みが発生していると、INTC は TX19A プロセッサコアにその割り込みのレベルを通知します。TX19A プロセッサコアは、Cause レジスタの IP フィールドの値を読み出すことによって割り込みレベルを認識します。複数の割り込み (レベルが異なる) が同時に発生している場合には、レベルの高い要因が通知され、レベルの低い要因は保持されます。

(3) 割り込みベクタ (要因通知)

割り込みが発生した場合、INTC はベクタレジスタ (IVR) 上に割り込み要因ベクタを設定します。TX19A プロセッサコアはベクタレジスタの値を読み出すことにより、割り込みの要因を知ることができます。複数の割り込み (同じレベル) が同時に発生している場合には、要求番号の小さな要因のベクタを通知します。割り込み要因がないときは IVR<8:2> フィールドは“0”になります (割り込み要求のクリアを行うと、IVR レジスタは“0”にクリアされます)。

6.5 INTC レジスタ

表 6.5.1 INTC レジスタマップ

アドレス	レジスタ 記号	レジスタ	対応割り込み番号
0xFFFF_E000	IMC0	割り込みモードコントロールレジスタ 0	3 - 0
0xFFFF_E004	IMC1	割り込みモードコントロールレジスタ 1	7 - 4
0xFFFF_E008	IMC2	割り込みモードコントロールレジスタ 2	11 - 8
0xFFFF_E00C	IMC3	割り込みモードコントロールレジスタ 3	15 - 12
0xFFFF_E010	IMC4	割り込みモードコントロールレジスタ 4	19 - 16
0xFFFF_E014	IMC5	割り込みモードコントロールレジスタ 5	23 - 20
0xFFFF_E018	IMC6	割り込みモードコントロールレジスタ 6	27 - 24
0xFFFF_E01C	IMC7	割り込みモードコントロールレジスタ 7	31 - 28
0xFFFF_E020	IMC8	割り込みモードコントロールレジスタ 8	35 - 32
0xFFFF_E024	IMC9	割り込みモードコントロールレジスタ 9	39 - 36
0xFFFF_E028	IMCA	割り込みモードコントロールレジスタ A	43 - 40
0xFFFF_E02C	IMCB	割り込みモードコントロールレジスタ B	47 - 44
0xFFFF_E030	IMCC	割り込みモードコントロールレジスタ C	51 - 48
0xFFFF_E034	IMCD	割り込みモードコントロールレジスタ D	55 - 52
0xFFFF_E038	IMCE	割り込みモードコントロールレジスタ E	59 - 56
0xFFFF_E03C	IMCF	割り込みモードコントロールレジスタ F	63 - 60
0xFFFF_E040	IVR	割り込みベクタレジスタ	
0xFFFF_E060	INTCLR	割り込み要求クリアレジスタ	
0xFFFF_E10C	ILEV	割り込みレベルレジスタ	

(注) 特に指定のない限り、この機能のレジスタはワード(32bit)アクセスで読み出し、書き込みを行なって下さい。

6.5.1 割り込みベクタレジスタ (IVR)

発生している各割り込み要因のベクタを示します。

IVR (0xFFFF_E040)		7	6	5	4	3	2	1	0
	bit Symbol	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	発生している割り込み要因のベクタがセットされます							
		15	14	13	12	11	10	9	8
	bit Symbol								IVR8
	Read/Write	R/W							R
	リセット後	0	0	0	0	0	0	0	0
	機 能								発生して いる割 り込 み要 因の ベク タが セッ トさ れま す
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能								
		31	30	29	28	27	26	25	24
	bit Symbol								
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能								

6.5.2 割り込みレベルレジスタ

ILEV
(0xFFFF_E10C)

	7	6	5	4	3	2	1	0
bit Symbol	—	PMASK0			—	CMASK		
Read/Write	R					R/W (注 1)		
リセット後	0	000			0	000		
機 能	読み出すと” 0” が読めます。	割り込みマスクレベル (前) 0			読み出すと” 0” が読めます。	割り込みマスクレベル (現)		
	15	14	13	12	11	10	9	8
bit Symbol	—	PMASK2			—	PMASK1		
Read/Write	R							
リセット後	0	000			0	000		
機 能	読み出すと” 0” が読めます。	割り込みマスクレベル (前) 2			読み出すと” 0” が読めます。	割り込みマスクレベル (前) 1		
	23	22	21	20	19	18	17	16
bit Symbol	—	PMASK4			—	PMASK3		
Read/Write	R							
リセット後	0	000			0	000		
機 能	読み出すと” 0” が読めます。	割り込みマスクレベル (前) 4			読み出すと” 0” が読めます。	割り込みマスクレベル (前) 3		
	31	30	29	28	27	26	25	24
bit Symbol	MLEV	PMASK6			—	PMASK5		
Read/Write	W	R						
リセット後	0	000			0	000		
機 能	割り込みレベルの変更 0: 割り込みレベルをひとつ戻す 1: CMASKの変更	割り込みマスクレベル (前) 6			読み出すと” 0” が読めます。	割り込みマスクレベル (前) 5		

注) このレジスタは 32bit でアクセスしてください。

注) 割り込みが発生するとその割り込みレベルが CMASK に格納され、それ以前に格納されていた値は「CMASK → PMASK0, PMASK0 → PMASK1…」のようにひとつずつずれます。

注 1) MLEV="1" の設定と同時に CMASK の値を設定して下さい。PMASKx の値は変わりません。

注) MLEV="0" を設定すると割り込みマスクレベルが「PMASK0 → CMASK, PMASK1 → PMASK0…」のようにひとつ前の状態に戻り、PMASK6 には"000"が格納されます。割り込み処理後に使用する場合は"ERET"命令を実行前に MLEV="0" にして下さい。

6.5.3 割り込みマスクレベルの遷移

割り込みレベルレジスタの遷移を示します。

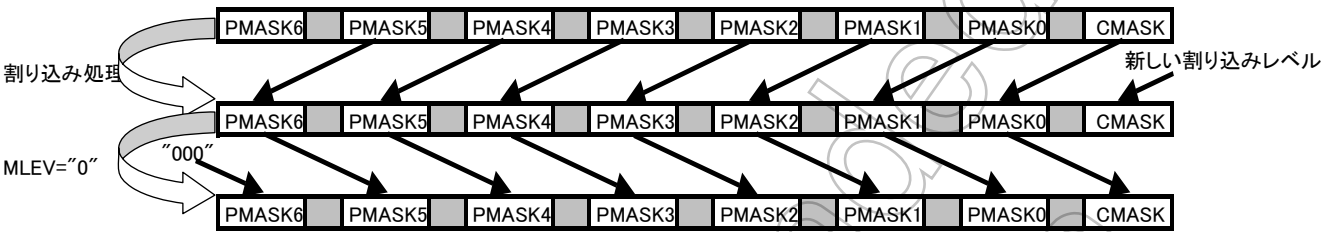


図 6.5.3 割り込みマスクレベルの遷移

6.5.4 割り込みレベルレジスタ (IMCx)

要因ごとの割り込みレベルとアクティブ状態、および DMAC 起動要因かどうかの設定を行います。

IMC0
(0xFFFF_E000)

	7	6	5	4	3	2	1	0
bit Symbol		EIM01	EIM00	DM0		IL02	IL01	IL00
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: 禁止 10: 禁止 11: 禁止 かならず"00"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号0を起動要因にする	リードすると"0"が読めます	DM0 = 0 のとき 割り込み番号0 (ソフトウェアセット) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM0 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM11	EIM10	DM1		IL12	IL11	IL10
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号1を起動要因にする	リードすると"0"が読めます	DM1 = 0 のとき 割り込み番号1 (INT0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM21	EIM20	DM2		IL22	IL21	IL20
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号2を起動要因にする	リードすると"0"が読めます	DM2 = 0 のとき 割り込み番号2 (INT1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM31	EIM30	DM3		IL32	IL31	IL30
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号3を起動要因にする	リードすると"0"が読めます	DM3 = 0 のとき 割り込み番号3 (INT2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		

IMC1
(0xFFFF_E004)

	7	6	5	4	3	2	1	0
bit Symbol		EIM41	EIM40	DM4		IL42	IL41	IL40
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 4 を起動要因にする	リードすると"0"が読めます	DM4 = 0 のとき 割り込み番号 4 (INT3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM51	EIM50	DM5		IL52	IL51	IL50
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 5 を起動要因にする	リードすると"0"が読めます	DM5 = 0 のとき 割り込み番号 5 (INT4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM61	EIM60	DM6		IL62	IL61	IL60
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 6 を起動要因にする	リードすると"0"が読めます	DM6 = 0 のとき 割り込み番号 6 (INT5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM6 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM71	EIM70	DM7		IL72	IL71	IL70
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 7 を起動要因にする	リードすると"0"が読めます	DM7 = 0 のとき 割り込み番号 7 (INT6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM7 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC2
(0xFFFF_E008)

	7	6	5	4	3	2	1	0
bit Symbol		EIM81	EIM80	DM8		IL82	IL81	IL80
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 8 を起動要因にする	リードすると"0"が読めます	DM8 = 0 のとき 割り込み番号 8 (INT7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM8 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM91	EIM90	DM9		IL92	IL91	IL90
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 9 を起動要因にする	リードすると"0"が読めます	DM9 = 0 のとき 割り込み番号 9 (INT8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM9 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIMA1	EIMA0	DMA		ILA2	ILA1	ILA0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 10 を起動要因にする	リードすると"0"が読めます	DMA = 0 のとき 割り込み番号 10 (INT9) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMA = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIMB1	EIMB0	DMB		ILB2	ILB1	ILB0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 11 を起動要因にする	リードすると"0"が読めます	DMB = 0 のとき 割り込み番号 11 (INTA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMB = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC3
(0xFFFF_E00C)

	7	6	5	4	3	2	1	0
bit Symbol		EIMC1	EIMC0	DMC		ILC2	ILC1	ILC0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 12 を起動要因にする	リードすると"0"が読めます	DMC = 0 のとき 割り込み番号 12 (INTB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMC = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIMD1	EIMD0	DMD		ILD2	ILD1	ILD0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル かならず"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 13 を起動要因にする	リードすると"0"が読めます	DMD = 0 のとき 割り込み番号 13 (KWUP) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMD = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIME1	EIME0	DME		ILE2	ILE1	ILE0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がリエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 14 を起動要因にする	リードすると"0"が読めます	DME = 0 のとき 割り込み番号 14 (INTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DME = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIMF1	EIMF0	DMF		ILF2	ILF1	ILF0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がリエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 15 を起動要因にする	リードすると"0"が読めます	DMF = 0 のとき 割り込み番号 15 (INTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMF = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC4
(0xFFFF_E010)

	7	6	5	4	3	2	1	0
bit Symbol		EIM101	EIM100	DM10		IL102	IL101	IL100
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号16を 起動要因にする	リードすると"0"が読めます	DM10 = 0 のとき 割り込み番号 16 (INTRX1) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM10 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM111	EIM110	DM11		IL112	IL111	IL110
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号17を 起動要因にする	リードすると"0"が読めます	DM11 = 0 のとき 割り込み番号 17 (INTTX1) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM11 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM121	EIM120	DM12		IL122	IL121	IL120
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号18を 起動要因にする	リードすると"0"が読めます	DM12 = 0 のとき 割り込み番号 18 (INTRX2) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM12 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM131	EIM130	DM13		IL132	IL131	IL130
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号19を 起動要因にする	リードすると"0"が読めます	DM13 = 0 のとき 割り込み番号 19 (INTTX2) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM13 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注：EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC5
(0xFFFF_E014)

	7	6	5	4	3	2	1	0
bit Symbol		EIM141	EIM140	DM14		IL142	IL141	IL140
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号20を起動要因にする	リードすると"0"が読めます	DM14=0のとき 割り込み番号20 (INTSBI) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM14=1のとき DMACのチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM151	EIM150	DM15		IL152	IL151	IL150
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号21を起動要因にする	リードすると"0"が読めます	DM15=0のとき 割り込み番号21 (INTADHP) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM15=1のとき DMACのチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM161	EIM160	DM16		IL162	IL161	IL160
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号22を起動要因にする	リードすると"0"が読めます	DM16=0のとき 割り込み番号22 (INTADM) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM16=1のとき DMACのチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM171	EIM170	DM17		IL172	IL171	IL170
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号23を起動要因にする	リードすると"0"が読めます	DM17=0のとき 割り込み番号23 (INTTBO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM17=1のとき DMACのチャネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC6
(0xFFFF_E018)

	7	6	5	4	3	2	1	0
bit Symbol		EIM181	EIM180	DM18		IL182	IL181	IL180
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号24を起動要因にする	リードすると"0"が読めます	DM18 = 0 のとき 割り込み番号 24 (INTTB1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM18 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM191	EIM190	DM19		IL192	IL191	IL190
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号25を起動要因にする	リードすると"0"が読めます	DM19 = 0 のとき 割り込み番号 25 (INTTB2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM19 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1A1	EIM1A0	DM1A		IL1A2	IL1A1	IL1A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号26を起動要因にする	リードすると"0"が読めます	DM1A = 0 のとき 割り込み番号 26 (INTTB3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1A = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1B1	EIM1B0	DM1B		IL1B2	IL1B1	IL1B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号27を起動要因にする	リードすると"0"が読めます	DM1B = 0 のとき 割り込み番号 27 (INTTB4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1B = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC7
(0xFFFF_E01C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM1C1	EIM1C0	DM1C		IL1C2	IL1C1	IL1C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号28を起動要因にする。	リードすると"0"が読めます	DM1C = 0 のとき 割り込み番号 28 (INTCAPG) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1C = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM1D1	EIM1D0	DM1D		IL1D2	IL1D1	IL1D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号29を起動要因にする	リードすると"0"が読めます	DM1D = 0 のとき 割り込み番号 29 (INTCMP0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1D = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1E1	EIM1E0	DM1E		IL1E2	IL1E1	IL1E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号30を起動要因にする	リードすると"0"が読めます	DM1E = 0 のとき 割り込み番号 30 (INTCMP1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1E = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1F1	EIM1F0	DM1F		IL1F2	IL1F1	IL1F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号31を起動要因にする	リードすると"0"が読めます	DM1F = 0 のとき 割り込み番号 31 (INTCMP2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1F = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC8
(0xFFFF_E020)

	7	6	5	4	3	2	1	0
bit Symbol		EIM201	EIM200	DM20		IL202	IL201	IL200
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 32 を起動要因にする	リードすると"0"が読めます	DM20 = 0 のとき 割り込み番号 32 (INTCMP3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM20 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM211	EIM210	DM21		IL212	IL211	IL210
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 33 を起動要因にする	リードすると"0"が読めます	DM21 = 0 のとき 割り込み番号 33 (INTCMP4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM21 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM221	EIM220	DM26		IL222	IL221	IL220
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	かならず"00"に設定してください。		かならず"0"に設定してください。	リードすると"0"が読めます	かならず"000"に設定してください。		
	31	30	29	28	27	26	25	24
bit Symbol		EIM231	EIM230	DM23		IL232	IL231	IL230
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 35 を起動要因にする。	リードすると"0"が読めます	DM23 = 0 のとき 割り込み番号 35 (INTRX3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM23 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注：EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC9
(0xFFFF_E024)

	7	6	5	4	3	2	1	0
bit Symbol		EIM241	EIM240	DM24		IL242	IL241	IL240
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 36 を 起動要因 にする	リードすると"0"が読めます	DM24 = 0 のとき 割り込み番号 36 (INTTX3) に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM24 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM251	EIM250	DM25		IL252	IL251	IL250
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 37 を 起動要因 にする	リードすると"0"が読めます	DM25 = 0 のとき 割り込み番号 37 (INTRX4) に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM25 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM261	EIM260	DM26		IL262	IL261	IL260
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 38 を 起動要因 にする	リードすると"0"が読めます	DM26 = 0 のとき 割り込み番号 38 (INTTX4) に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM26 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM271	EIM270	DM27		IL272	IL271	IL270
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 39 を 起動要因 にする。	リードすると"0"が読めます	DM27 = 0 のとき 割り込み番号 39 (INTRX5) に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM27 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注：EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCA
(0xFFFF_E028)

	7	6	5	4	3	2	1	0
bit Symbol		EIM281	EIM280	DM28		IL282	IL281	IL280
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号40を起動要因にする	リードすると"0"が読めます	DM28 = 0 のとき 割り込み番号 40 (INTTX5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM28 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM291	EIM290	DM29		IL292	IL291	IL290
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号41を起動要因にする	リードすると"0"が読めます	DM29 = 0 のとき 割り込み番号 41 (INTRX6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM29 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2A1	EIM2A0	DM2A		IL2A2	IL2A1	IL2A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号42を起動要因にする	リードすると"0"が読めます	DM2A = 0 のとき 割り込み番号 42 (INTTX6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2A = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2B1	EIM2B0	DM2B		IL2B2	IL2B1	IL2B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号43を起動要因にする	リードすると"0"が読めます	DM2B = 0 のとき 割り込み番号 43 (INTTB5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2B = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCB
(0xFFFF_E02C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM2C1	EIM2C0	DM2C		IL2C2	IL2C1	IL2C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず "11" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 44 を起動要因にする	リードすると "0" が読めます	DM2C = 0 のとき 割り込み番号 44 (INTTB6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2C = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM2D1	EIM2D0	DM2D		IL2D2	IL2D1	IL2D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず "11" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 45 を起動要因にする	リードすると "0" が読めます	DM2D = 0 のとき 割り込み番号 45 (INTTB7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2D = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2E1	EIM2E0	DM2E		IL2E2	IL2E1	IL2E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず "11" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 46 を起動要因にする	リードすると "0" が読めます	DM2E = 0 のとき 割り込み番号 46 (INTTB8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2E = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2F1	EIM2F0	DM2F		IL2F2	IL2F1	IL2F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず "11" に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 47 を起動要因にする	リードすると "0" が読めます	DM2F = 0 のとき 割り込み番号 47 (INTTB9) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2F = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCC
(0xFFFF_E030)

	7	6	5	4	3	2	1	0
bit Symbol		EIM301	EIM300	DM30		IL302	IL301	IL300
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル かならず"01"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 48 を起動要因にする	リードすると"0"が読めます	DM30 = 0 のとき 割り込み番号 48 (INTTBA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM30 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM311	EIM310	DM31		IL312	IL311	IL310
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 49 を起動要因にする	リードすると"0"が読めます	DM31 = 0 のとき 割り込み番号 49 (INTCMP5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM31 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM321	EIM320	DM32		IL322	IL321	IL320
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 50 を起動要因にする	リードすると"0"が読めます	DM32 = 0 のとき 割り込み番号 50 (INTCMP6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM32 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM331	EIM330	DM33		IL332	IL331	IL330
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 51 を起動要因にする	リードすると"0"が読めます	DM33 = 0 のとき 割り込み番号 51 (INTCMP7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM33 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCD
(0xFFFF_E034)

	7	6	5	4	3	2	1	0
bit Symbol		EIM341	EIM340	DM34		IL342	IL341	IL340
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 52 を 起動要因 にする	リードすると"0"が読めます	DM34 = 0 のとき 割り込み番号 52 (INTCMP8) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM34 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM351	EIM350	DM35		IL352	IL351	IL350
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 53 を 起動要因 にする	リードすると"0"が読めます	DM35 = 0 のとき 割り込み番号 53 (INTCMP9) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM35 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM361	EIM360	DM36		IL362	IL361	IL360
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル かならず"01"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 54 を 起動要因 にする	リードすると"0"が読めます	DM36 = 0 のとき 割り込み番号 54 (INTRTC) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM36 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM371	EIM370	DM37		IL372	IL371	IL370
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 55 を 起動要因 にする	リードすると"0"が読めます	DM37 = 0 のとき 割り込み番号 55 (INTAD) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM37 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		

注：EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCE
(0xFFFF_E038)

	7	6	5	4	3	2	1	0
bit Symbol		EIM381	EIM380	DM38		IL382	IL381	IL380
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立下りエッジ かならず"10"に設定してください		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号56を起動要因にする	リードすると"0"が読めます	DM38 = 0 のとき 割り込み番号 56 (INTDMA0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM38 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM391	EIM390	DM39		IL392	IL391	IL390
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立下りエッジ かならず"10"に設定してください		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号57を起動要因にする	リードすると"0"が読めます	DM39 = 0 のとき 割り込み番号 57 (INTDMA1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM39 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM3A1	EIM3A0	DM3A		IL3A2	IL3A1	IL3A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立下りエッジ かならず"10"に設定してください		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号58を起動要因にする	リードすると"0"が読めます	DM3A = 0 のとき 割り込み番号 58 (INTDMA2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3A = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM3B1	EIM3B0	DM3B		IL3B2	IL3B1	IL3B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立下りエッジ かならず"10"に設定してください		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号59を起動要因にする	リードすると"0"が読めます	DM3B = 0 のとき 割り込み番号 59 (INTDMA3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3B = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCF
(0xFFFF_E03C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM3C1	EIM3C0	DM3C		IL3C2	IL3C1	IL3C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立下りエッジ かならず"10"に設定してください		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号60を起動要因にする	リードすると"0"が読めます	DM3C = 0 のとき 割り込み番号 60 (INTDMA4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3C = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM3D1	EIM3D0	DM3D		IL3D2	IL3D1	IL3D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立下りエッジ かならず"10"に設定してください		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号61を起動要因にする	リードすると"0"が読めます	DM3D = 0 のとき 割り込み番号 61 (INTDMA5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3D = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM3E1	EIM3E0	DM3E		IL3E2	IL3E1	IL3E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立下りエッジ かならず"10"に設定してください		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号62を起動要因にする	リードすると"0"が読めます	DM3E = 0 のとき 割り込み番号 62 (INTDMA6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3E = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM3F1	EIM3F0	DM3F		IL3F2	IL3F1	IL3F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立下りエッジ かならず"10"に設定してください		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号63を起動要因にする	リードすると"0"が読めます	DM3F = 0 のとき 割り込み番号 63 (INTDMA7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3F = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

(注 1) 割り込み要求を許可する前に、かならずアクティブ状態を設定してください。

(注 2) 割り込み要求を DMAC の起動要因にする場合はかならず INTC を設定後に DMAC を待機状態にしてください。

6.5.5 割り込み要求クリアレジスタ

割り込み要求をクリアするレジスタです。IVR<IVR8:0>の値をセットすることにより割り込み要求はクリアされます。

INTCLR (0xFFFF_E060)		7	6	5	4	3	2	1	0
	bit Symbol	EICLR7	EICLR6	EICLR5	EICLR4	EICLR3	EICLR2	EICLR1	EICLR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	要求をクリアしたい割り込みに相当する IVR<8 : 0>の値をセット							
		15	14	13	12	11	10	9	8
	bit Symbol								EICLR8
	Read/Write	R							R/W
	リセット後	0							0
	機 能	リードすると"0"が読めます							
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write	R							
	リセット後	0							
	機 能	リードすると"0"が読めます							
		31	30	29	28	27	26	25	24
	bit Symbol								
	Read/Write	R							
	リセット後	0							
	機 能	リードすると"0"が読めます							

(注 1) IVR の値をリードする前に割り込み要求のクリアは行わないでください。割り込み要求をクリアすると IVR は"0"にクリアされます。

(注 2) 割り込みコントローラ (INTC) によって任意の割り込み要求を禁止する場合には、

- ① プロセッサコアの割り込み受け付けの禁止 (Status<IE>="0")
- ② INTC で割り込み受け付けの禁止 (IMCxx<ILx2:0>="000")
- ③ SYNC 命令の実行
- ④ プロセッサコアの割り込み受け付けの許可 (Status<IE>="1")

の順で行ってください。

```
例) mtc0 r0, r31 ; __DI();
      sb r0, IMC** ; IMC**=0;
      sync ; __SYNC();
      mtc0 $sp, r31 ; __EI();
```

(注 3) 割り込み要因による内部 DMA リクエストはクリアされません。リクエストを解除する場合、(IMCx)<DMxx>ビットの起動要因を解除して下さい。

6.5.6 INTCG レジスタ (STOP/SLEEP/IDLE モード解除割り込み)

- INTO～INTB、KWUP0～KWUP7 : STOP/SLEEP/IDLE
- INTRTC、INTTBA (二相パルス入力カウンタ) : SLEEP

IMCGA
(0xFFFF_EE10)

	7	6	5	4	3	2	1	0
bit Symbol			EMCG01	EMCG00				INT0EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT0スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT0解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCG11	EMCG10				INT1EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT1スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT1解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCG21	EMCG20				INT2EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT2スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT2解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol			EMCG31	EMCG30				INT3EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT3スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT3解除入力 0: ディセーブル 1: イネーブル

IMCGB
(0xFFFF_EE14)

	7	6	5	4	3	2	1	0
bit Symbol			EMCG41	EMCG40				INT4EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT4スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT4解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCG51	EMCG50				INT5EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT5スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT5解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCG61	EMCG60				INT6EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT6スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT6解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol			EMCG71	EMCG70				INT7EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	リードすると"0"が読めます	INT7スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT7解除入力 0: ディセーブル 1: イネーブル

IMCGC
(0xFFFF_EE18)

	7	6	5	4	3	2	1	0
bit Symbol			EMCG81	EMCG80				INT8EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能	リードすると"0"が読めます	リードすると"0"が読めます	INT8スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT8 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCG91	EMCG90				INT9EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能	リードすると"0"が読めます	リードすると"0"が読めます	INT9スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INT9 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCGA1	EMCGA0				INTAEN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能	リードすると"0"が読めます	リードすると"0"が読めます	INTAスタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INTA 解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol			EMCGB1	EMCGB0				INTBEN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能	リードすると"0"が読めます	リードすると"0"が読めます	INTBスタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INTB 解除入力 0: ディセーブル 1: イネーブル

IMCGD
(0xFFFF_EE1C)

	7	6	5	4	3	2	1	0
bit Symbol			EMCGC1	EMCGC0				KWUPEN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能	リードすると"0"が読めます	リードすると"0"が読めます	KWUP スタンバイ解除要求のアクティブ状態を設定 01: "H" レベル かならず"01"に設定してください。		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	KWUP 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCGD1	EMCGD0				INTRTCEN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能	リードすると"0"が読めます	リードすると"0"が読めます	INTRTC スタンバイ解除要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INTRTC 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCGE1	EMCGE0				INTTBAEN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0			0
機 能	リードすると"0"が読めます	リードすると"0"が読めます	INTTBA スタンバイ解除要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	INTTBA 解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0			0
機 能	リードすると"0"が読めます	リードすると"0"が読めます	未定義		リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	"1"をライトしてください

注：IMCGD では、スタンバイ解除要求の初期値が動作時の設定と違います。スタンバイ解除に使用される場合は必ず設定を行ってください。

STOP/SLEEP/IDLE 解除用に割り込みを許可する場合は、かならず解除要求のアクティブ状態を設定してください。

- (注1) 割り込みを使用する場合はかならず以下の順に設定してください。
- ① 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
 - ② 初期化時にアクティブ状態等の設定
 - ③ 割り込み要求のクリア
 - ④ 割り込みのイネーブル
- (注2) 各設定はかならず割り込みディセーブルの状態で行ってください。
- (注3) TMP19A64 は STOP/SLEEP/IDLE 解除割り込みとして INTO~INTB、INTRTC、INTTBA、KWUP (KWUP0~7) の 15 要因の設定が可能です。INT0~INTB は STOP/SLEEP/IDLE 解除割り込みとして使用するかどうか、およびアクティブ状態の Edge/Level は CG にて設定します。また、KWUP0~7 は STOP/SLEEP/IDLE 解除割り込みとして使用するかどうかは CG で設定し、アクティブ状態のエッジ/レベルは KWUPSTn<KEYn>で設定します。上記 15 要因は INTC で HIGH レベルに設定してください。

〈例〉 INTO 割り込みイネーブル

IMCGA<EMCG01:00> = "10"	}	CG ブロック
IMCGA<INTOEN> = "1"		(立ち下がりエッジで入力許可)
IMCO<EIM11:10> = "01"	}	INTC ブロック
IMCO<IL12:10> = "101"		("H" レベルでの割り込みをアクティブにし、割り込みレベルを 5 に設定)

STOP/SLEEP/IDLE 解除要求として割り当てられている以外の割り込み要因は、すべて INTC ブロックにて設定します。

- (注4) STOP/SLEEP/IDLE 解除要求割り込みに割り当てられる上記 15 要因のうち、INT0~INTB は通常割り込みとして使用する場合は CG での設定は不用で INTC でレベル/エッジを指定してください。KWUP0~7 は通常割り込みとして使用する場合は KWUPSTn でアクティブレベルを設定して INTC では HIGH レベルに設定してください。CG での設定は不用です。INTRTC は通常割り込みとして使用する場合は CG/INTC で設定してください。

STOP/SLEEP/IDLE 解除要求として割り当てられている以外の割り込み要因は、すべて INTC ブロックにて設定します。

EICRCG
(0xFFFF_EE20)

	7	6	5	4	3	2	1	0
bit Symbol					ICRCG3	ICRCG2	ICRCG1	ICRCG0
Read/Write	R				W/R			
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます				リードすると"0"が読めます 割り込み要求をクリア 0000: INT0 0101: INT5 1010: INTA 0001: INT1 0110: INT6 1011: INTB 0010: INT2 0111: INT7 1100: KWUP 0011: INT3 1000: INT8 1101: INTRTC 0100: INT4 1001: INT9 1110: INTTBA 1111: reserved			
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます							

(注5) STOP/SLEEP/IDLE 解除要求に割り当てられている上記 15 要因の割り込み要求のクリアは、

- ① KWUP の場合は KWUPST で行い、
- ② INTO～INTB、INTTBA、INTRTC の場合は上記 CG ブロックの EICRCG レジスタで行い、次に INTC ブロックの INTCLR レジスタの 2 ヶ所で行ないます。
- ③ その他の割り込み要求のクリアは INTCLR レジスタのみをクリアします。

NMIFLG
(0xFFFF_EE24)

	7	6	5	4	3	2	1	0
bit Symbol						NMI	WDT	WBER
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます					NMI 要因 1: NMI 端子 入力により NMI 発生	NMI 要因 1: WDT 割り込 みにより NMI 発生	NMI 要因 1: ライトバス エラーにより NMI 発生
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	リードすると"0"が読めます							

・ NMI, WDT, WBER は読み出すと"0"にクリアされます。

7. 入出力ポート

7.1 ポート 0 (P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の設定はコントロールレジスタ POCR によって行います。リセット動作により、POCR の全ビットは“0”にクリアされ、ポート 0 は入力モードになります。

汎用入出力ポート機能以外にデータバス (D0~D7) またはアドレスデータバス (AD0~AD7) 機能があります。外部メモリをアクセスする場合、自動的にデータバス (D0~D7) またはアドレスデータバス (AD0~AD7) として機能し、POCR はすべて“0”にクリアされます。

リセット時に BUSMD 端子を“L”レベルにすることでセパレートバスモード (D0~D7) に、“H”レベルにすることでマルチプレクスモード (AD0~AD7) になります。

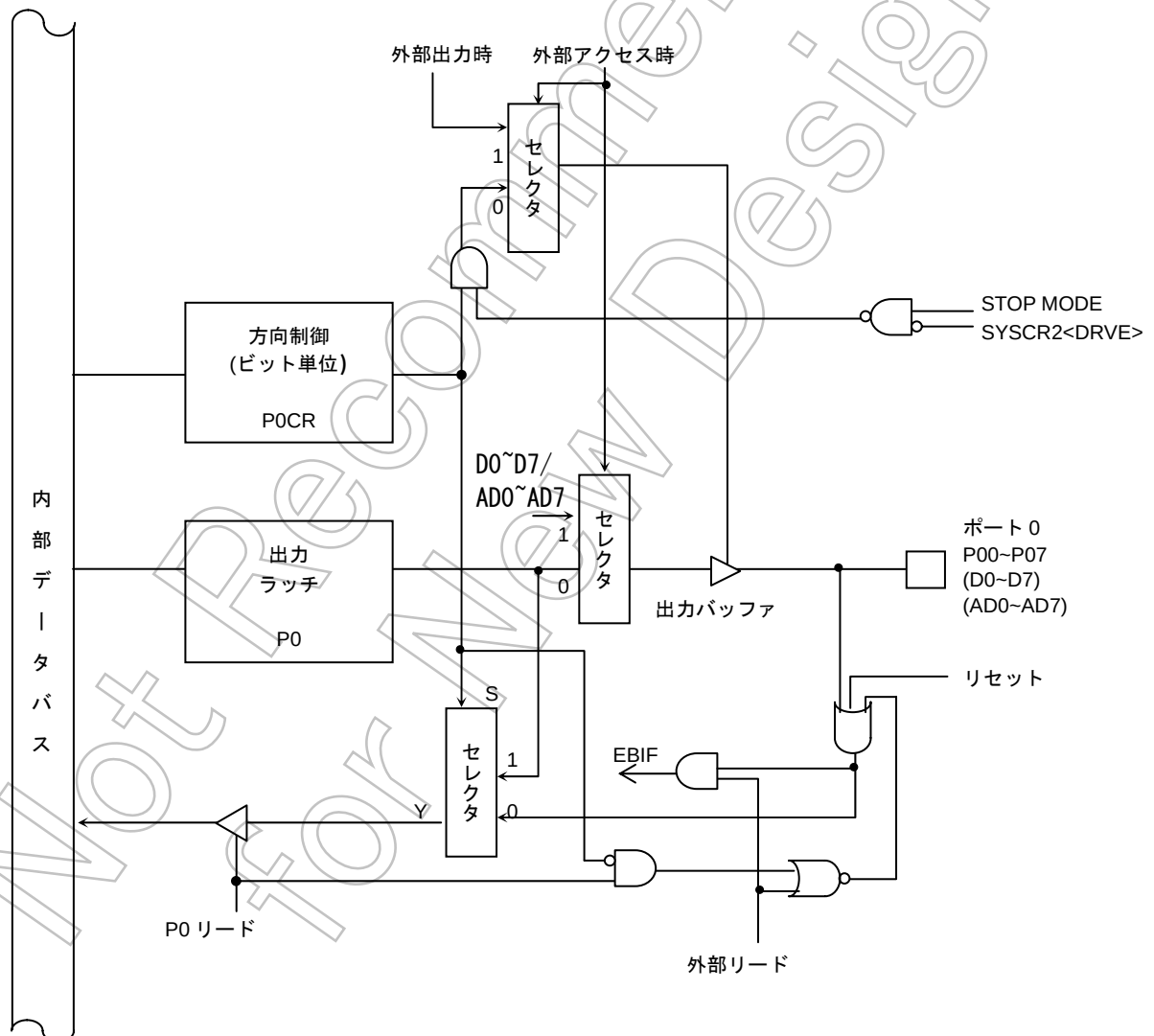


図 7.1.1 ポート 0 (P00~P07)

ポート 0 レジスタ

P0 (0xFFFF_F000)		7	6	5	4	3	2	1	0
	Bit Symbol	P07	P06	P05	P04	P03	P02	P01	P00
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは “0” にクリア）							

ポート 0 コントロールレジスタ

POCR (0xFFFF_F002)		7	6	5	4	3	2	1	0
	Bit Symbol	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力 (外部領域アクセス時、D7-0 または AD7-0 になり、このレジスタは “0” にクリアされます)							

図 7.1.2 ポート 0 関係のレジスタ

7.2 ポート 1 (P10~P17)

ポート 1 はビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の設定は、コントロールレジスタ P1CR とファンクションレジスタ P1FC によって行います。リセット動作により、出力ラッチ P1 の全ビットと P1CR と P1FC の全ビットは “0” にクリアされ、ポート 1 は入力モードになります。

汎用入出力ポート機能以外に、データバス (D8~15) またはアドレスデータバス (AD8~15) 機能とアドレスバス (A8~15) 機能があります。外部メモリをアクセスする場合、P1CR、P1FC によりアドレスバスまたはアドレスデータバスに設定する必要があります。

リセット時に BUSMD 端子を “L” レベルにすることでセパレートバスモード (D8~D15) に、“H” レベルにすることでマルチプレクスモード (AD8~AD15/A8~A15) になります。

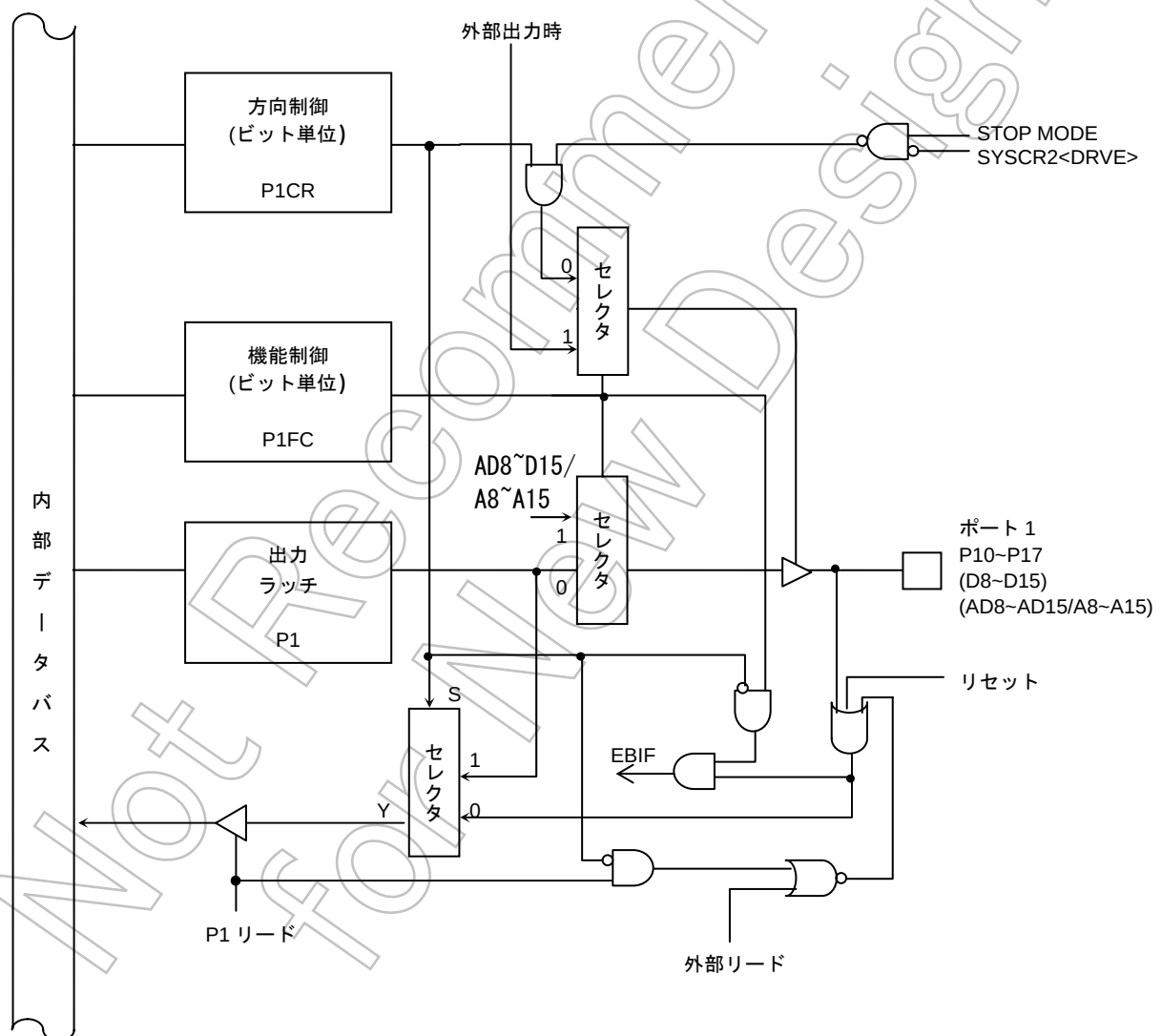


図 7.2.1 ポート 1 (P10~P17)

ポート 1 レジスタ

P1 (0xFFFF_F001)		7	6	5	4	3	2	1	0
	Bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは “0” にクリア)							

ポート 1 コントロールレジスタ

P1CR (0xFFFF_F004)		7	6	5	4	3	2	1	0
	Bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	<< P1FC の欄を参照 >>							

ポート 1 ファンクションレジスタ

P1FC (0xFFFF_F005)		7	6	5	4	3	2	1	0
	Bit Symbol	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	P1FC/P1CR = 00: 入力, 01: 出力, 10: D15-8 または AD15-8, 11: A15-8							

機能		P1FC の該当 BIT	P1CR の該当 BIT	使用 PORT
POR1 入力の設定		0	0	PORT1
POR1 出力の設定		0	1	PORT1
セパレートバス モード (BUSMD=" 0")	データバス (D15~D8) 入出力の設定	1	0	PORT1
	アドレスバス (A15~A8) 出力の設定	1	1	
マルチプレクスバス モード (BUSMD=" 1")	アドレスデータバス (AD15~AD8) 入出力の設定	1	0	PORT1
	アドレスバス (A15~A8) 出力の設定	1	1	

図 7.2.2 ポート 1 関係のレジスタ

7.3 ポート 2 (P20~P27)

ポート 2 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P2CR とファンクションレジスタ P2FC によって行います。リセット動作により出力ラッチ P2 の全ビットは“1”にセットされ、また、P2CR と P2FC の全ビットは“0”にクリアされ、ポート 2 は入力モードになります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能とアドレスバス (A16~A23) 機能があります。外部メモリをアクセスする場合、P2CR、P2FC によりアドレスバスに設定する必要があります。

リセット時に BUSMD 端子を”L”レベルにすることでセパレートバスモード (A16~A23) に、”H”レベルにすることでマルチプレクスモード (A0~A7/A16~A23) になります。

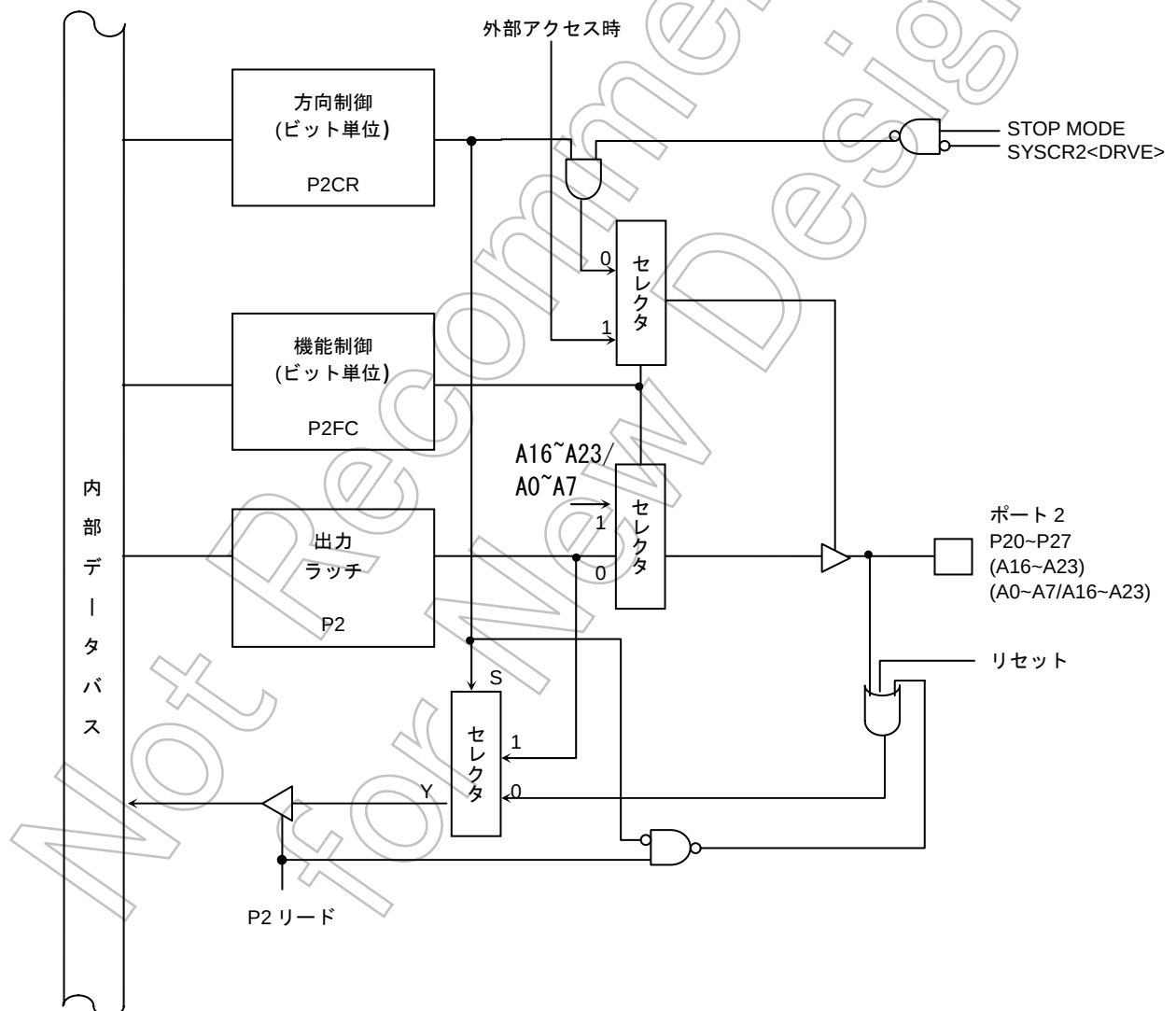


図 7.3.1 ポート 2 (P20~P27)

ポート 2 レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
Read/Write	R/W							
リセット後	入力モード（出力ラッチレジスタは “1” にクリア）							

P2
(0xFFFF_F012)

ポート 2 コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	<< P2FC の欄を参照 >>							

P2CR
(0xFFFF_F014)

ポート 2 ファンクションレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	P2FC/P2CR = 00: 入力, 01: 出力, 10: A7-0, 11: A23-16							

P2FC
(0xFFFF_F015)

機能	P2FC の該当 BIT	P2CR の該当 BIT	使用 PORT
POR2 入力の設定	0	0	PORT2
POR2 出力の設定	0	1	PORT2
アドレスバス (A7~A0) 出力の設定(*1)	1	0	PORT2
アドレスバス (A23~A16) 出力の設定(*1)	1	1	PORT2

(*1) アドレスバス (A7~A0/A23~A16) 出力の設定はセパレートバスモード、マルチプレクスバスモードの設定 (BUSMD= “0”, “1”) 共通です。

図 7.3.2 ポート 2 関係のレジスタ

7.4 ポート 3 (P30~P37)

ポート 3 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです (ただし、P30 と P31 は出力専用)。入出力の指定はコントロールレジスタ P3CR とファンクションレジスタ P3FC によって行います。

リセット動作により、出力ラッチ P30~P36 は “1” にセットされます。P37 は、リセット時に BUSMD 端子が “L” レベルの場合、セパレートバスモードになり出力ラッチが “1” にセット、リセット時に BUSMD 端子が “H” レベルの場合、マルチプレクスバスモードになり出力ラッチは “0” にクリアされます。P3CR (ビット 0 と 1 は未使用) は、ビット 2~ビット 6 は “0” にクリアされ、ビット 7 はセパレートバスモードの時、“0” にクリアされ、マルチプレクスバスモードの時は “1” にセットされます。P3FC の全ビットは “0” にクリアされ、P30 と P31 は “H” を出力し、P32~P36 は RESET 解除後にプルアップ抵抗付きの入力モードになります。P37 はセパレートバスモードの時は入力モード、マルチプレクスバスモードの時は出力モードになります。

汎用入出力ポート機能以外に CPU のコントロール/ステータス信号の入出力機能があります。P30 端子が $\overline{RD}$ 信号出力モードとして定義されているとき ($\langle P30F \rangle = “1”$ のとき)、外部アドレスエリアをアクセスしたときのみ $\overline{RD}$ ストローブは出力されます。P31 端子が $\overline{WR}$ 信号出力モードとして定義されているとき ($\langle P31F \rangle = “1”$ のとき) も同様に、外部アドレスエリアをアクセスしたときのみ $\overline{WR}$ ストローブは出力されます。

P32、P36 は $\langle P3xFC \rangle = “1”$ のとき、 $\overline{BUSAK} = “0”$ の場合に Pull-up がイネーブルになります。

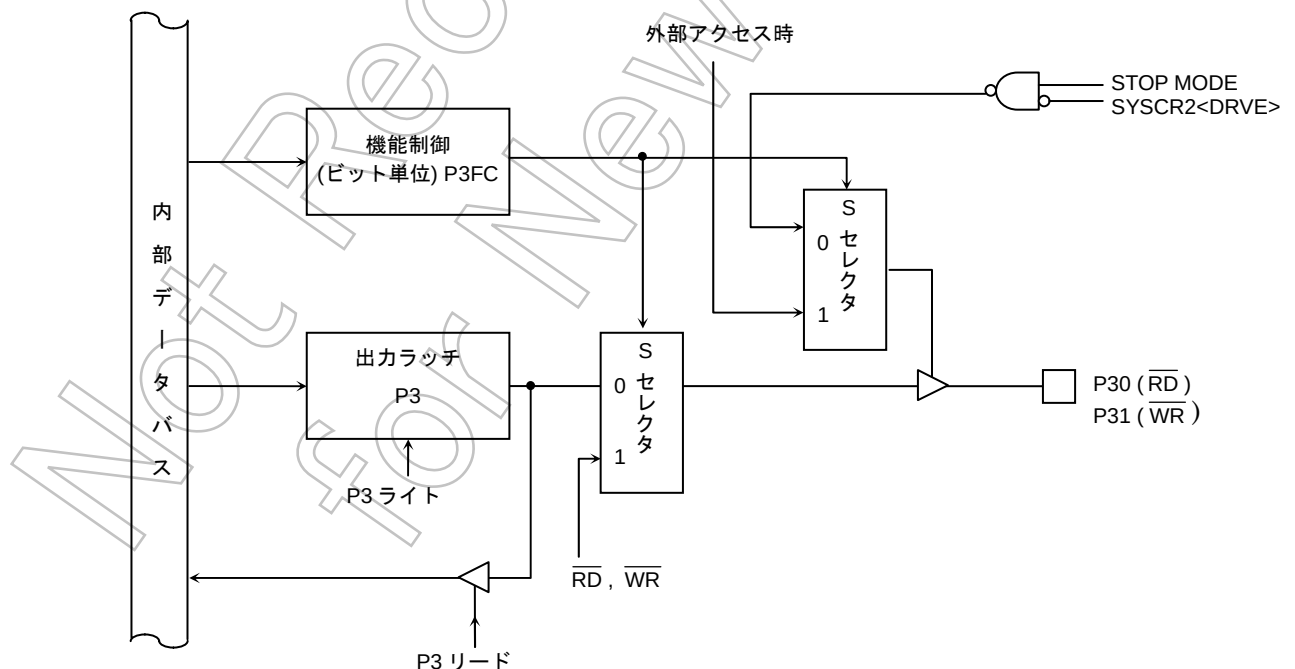


図 7.4.1 ポート 3 (P30, P31)

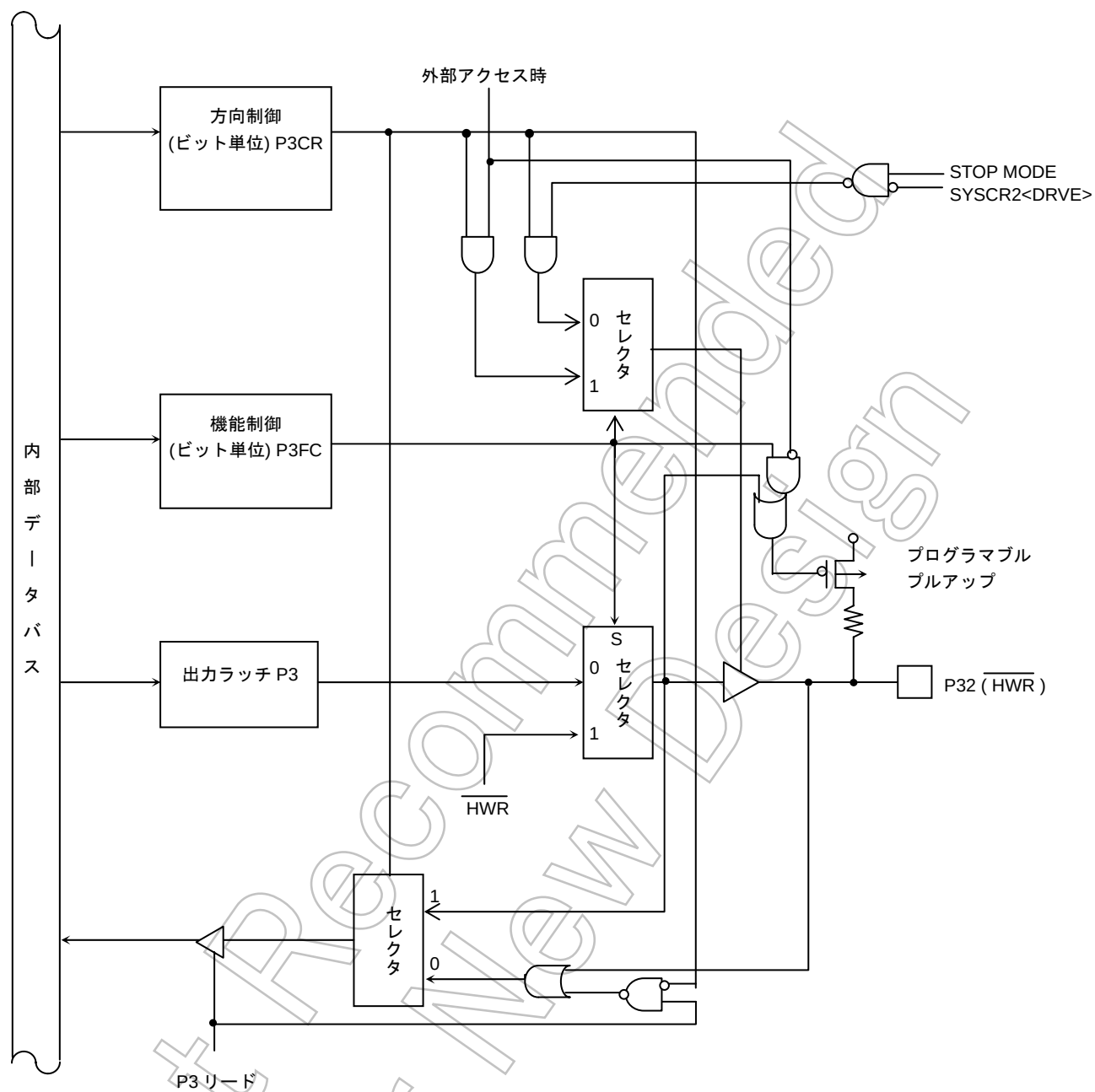


図 7.4.2 ポート 3 (P32)

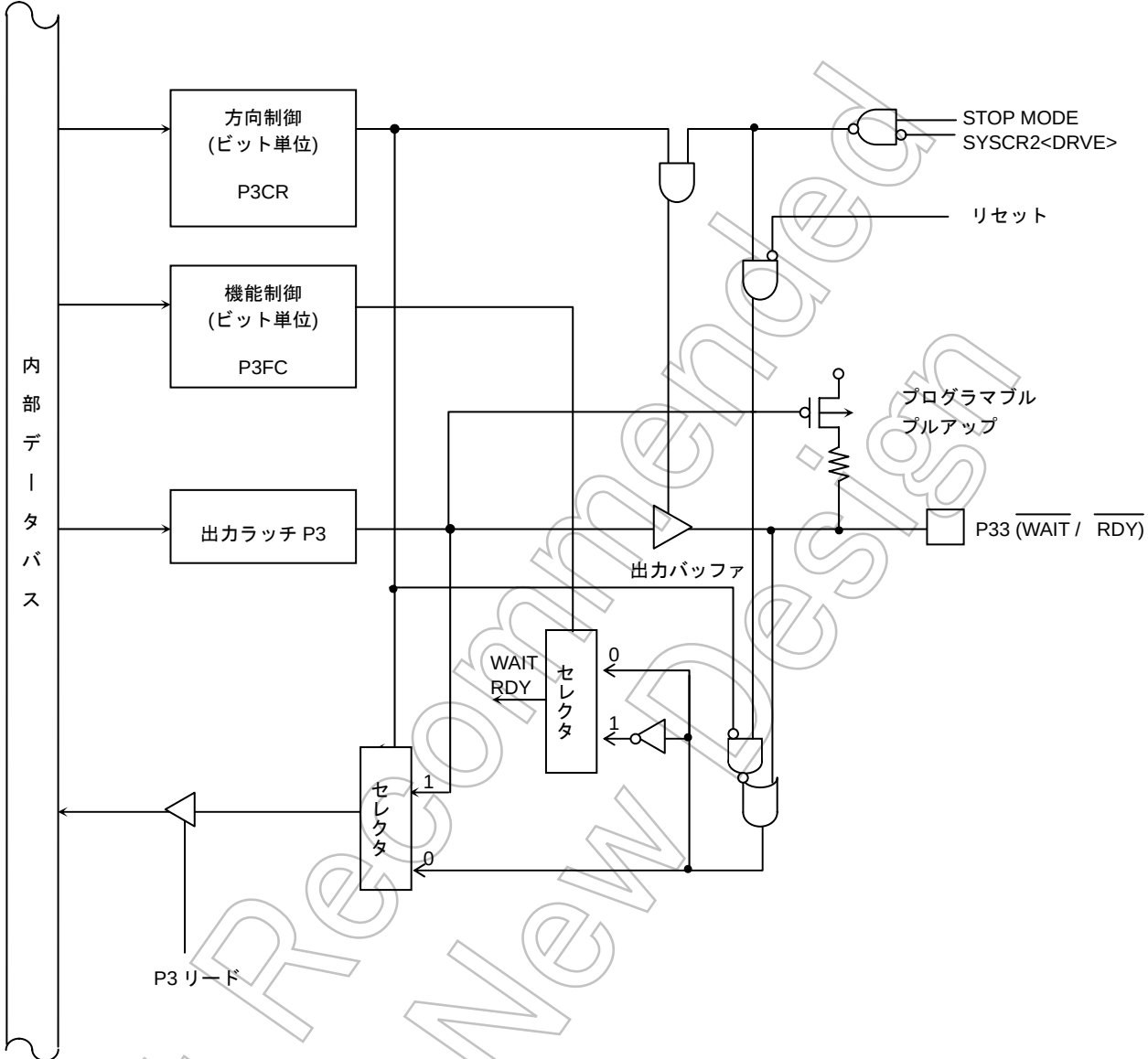


図 7.4.3 ポート 3 (P33)

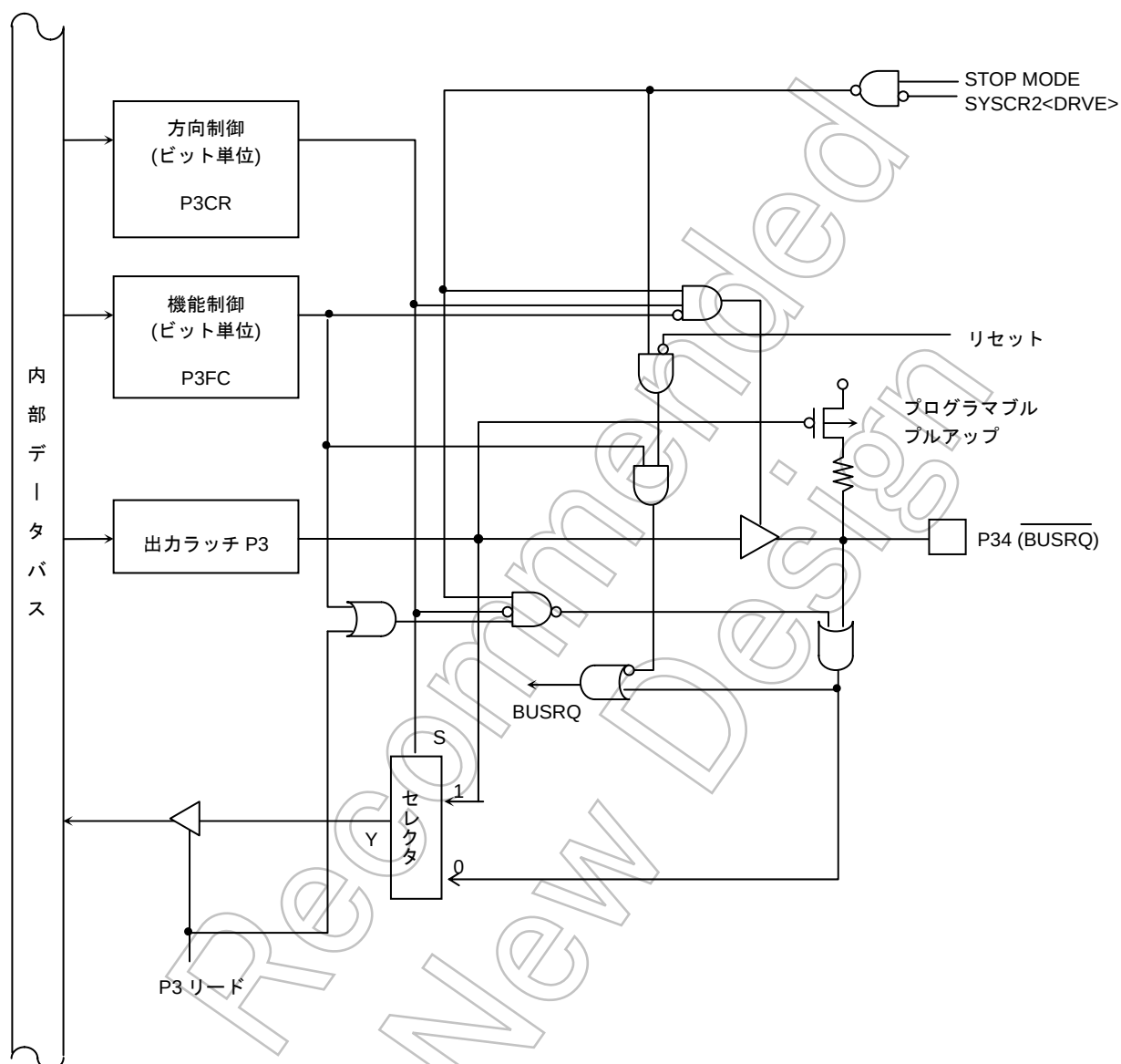


図 7.4.4 ポート 3 (P34)

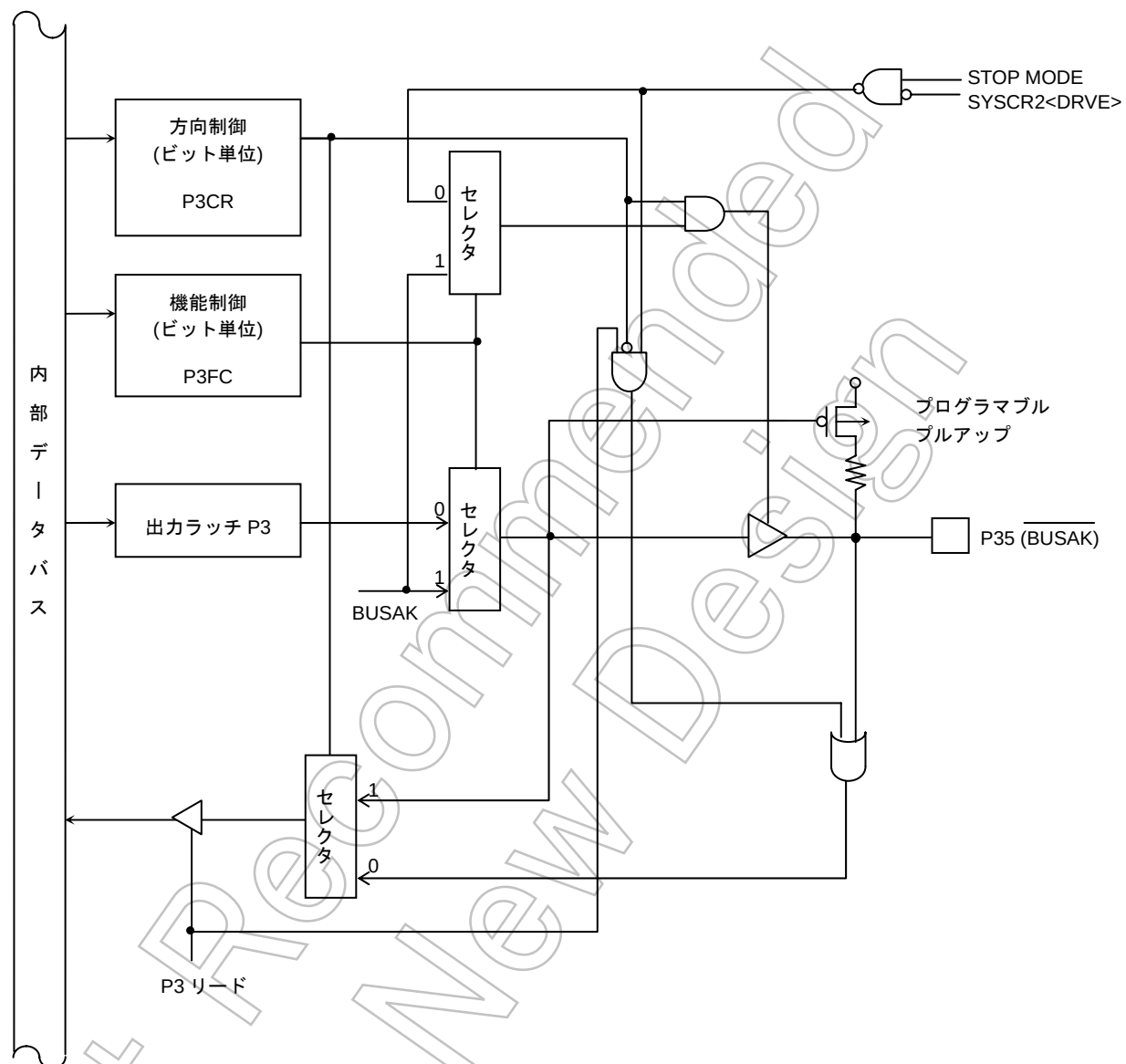


図 7.4.5 ポート 3 (P35)

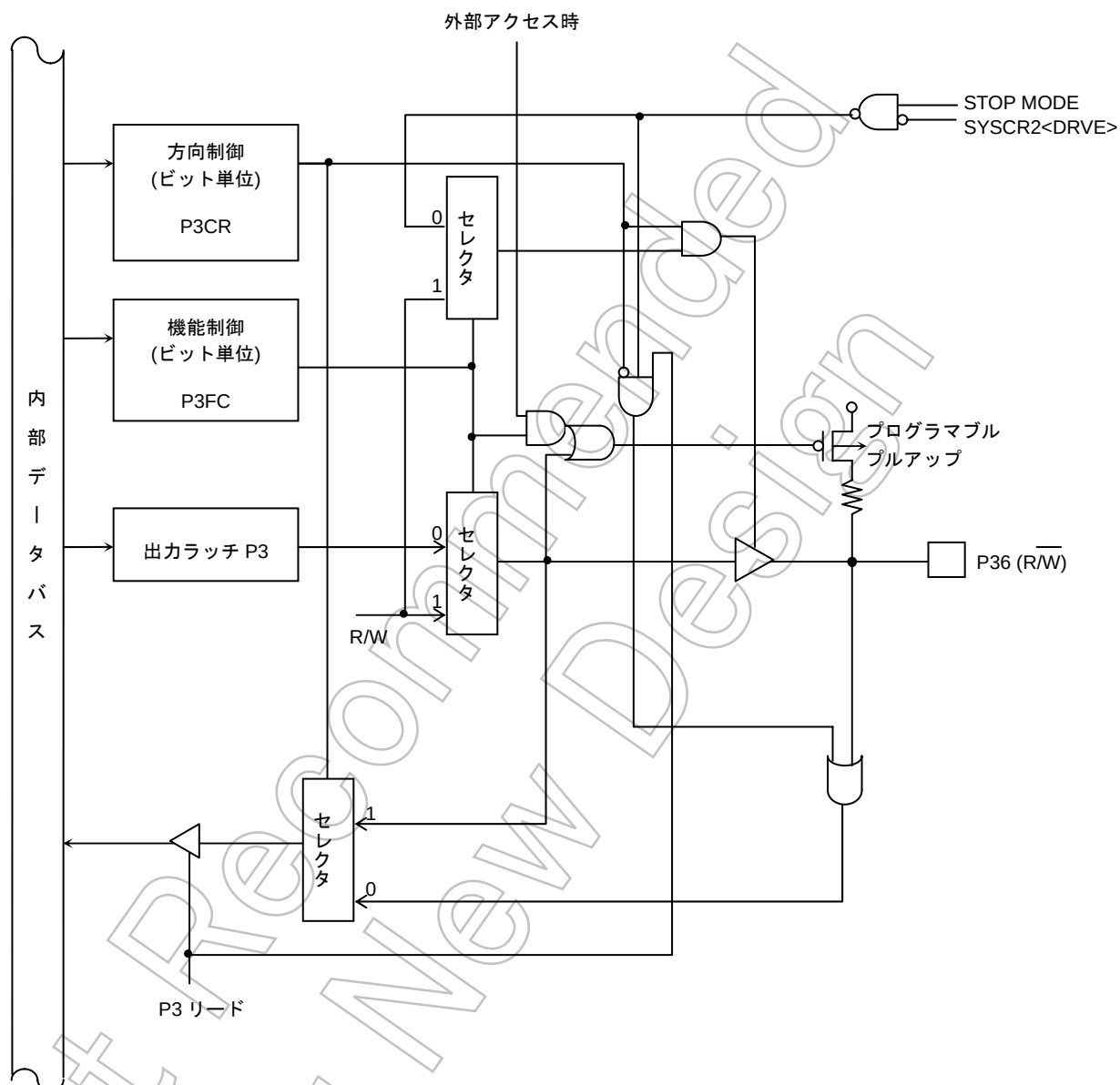


図 7.4.6 ポート 3 (P36)

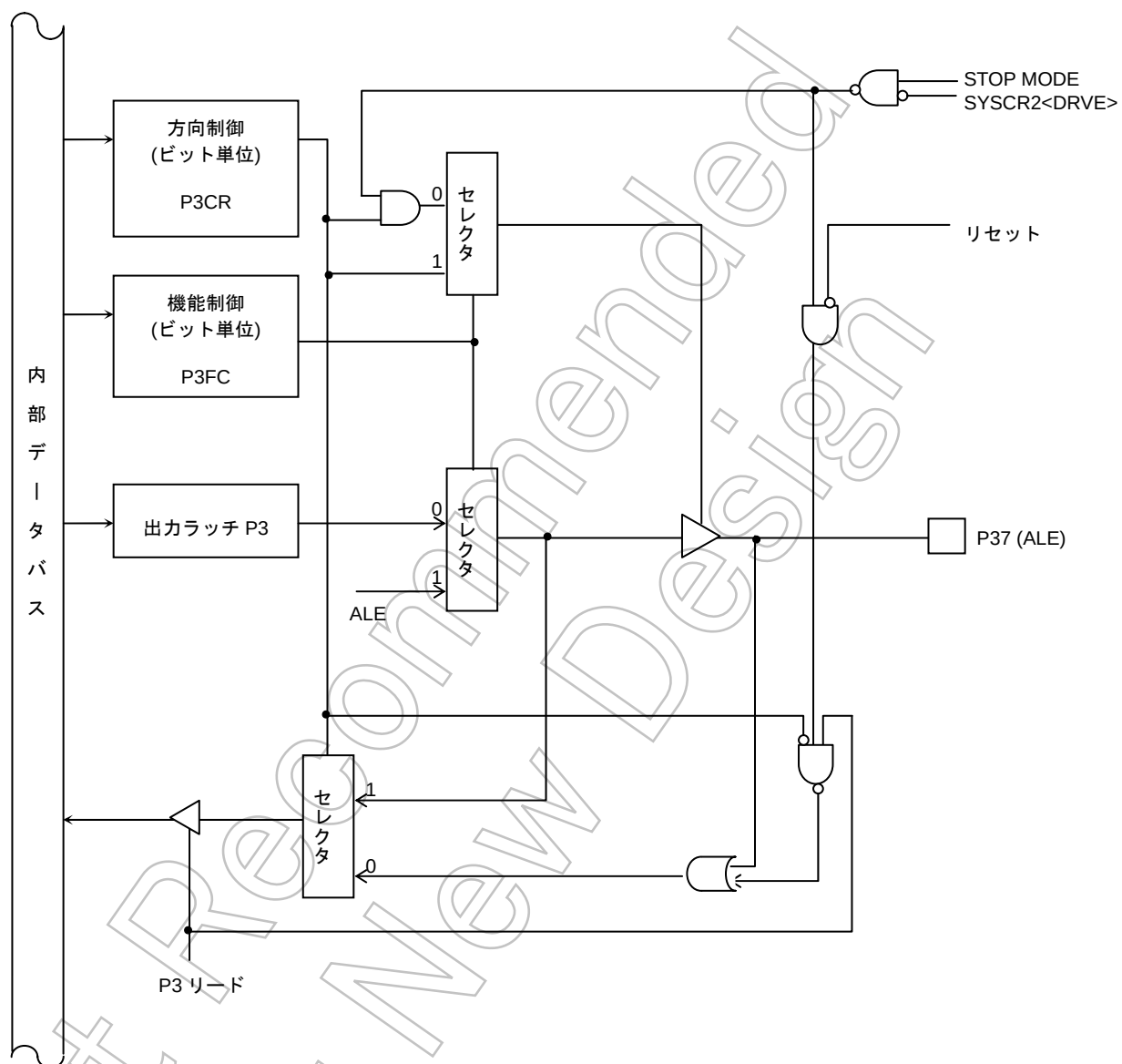


図 7.4.7 ポート 3 (P37)

ポート 3 レジスタ

P3 (0xFFFF_F018)		7	6	5	4	3	2	1	0
	Bit Symbol	P37	P36	P35	P34	P33	P32	P31	P30
	Read/Write	R/W							
	リセット後	バスモードにより 確定 (*1)	1	1	1	1	1	1	1

ポート 3 コントロールレジスタ

P3CR (0xFFFF_F01A)		7	6	5	4	3	2	1	0
	Bit Symbol	P37C	P36C	P35C	P34C	P33C	P32C	—	—
	Read/Write	R/W						R	
	リセット後 機能	バスモードにより 確定 (*1)	0	0	0	0	0	0	0

ポート 3 ファンクションレジスタ

P3FC (0xFFFF_F01B)		7	6	5	4	3	2	1	0
	Bit Symbol	P37F	P36F	P35F	P34F	P33F	P32F	P31F	P30F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

機能	P3FC の該当 BIT	P3CR の該当 BIT	使用 PORT
RD 出力の設定	1 (*2)	—	P30
WR 出力の設定	1 (*2)	—	P31
HWR 出力の設定	1	1	P32
WAIT 入力の設定	0	0	P33
RDY 入力の設定	1	0	
BUSRQ 入力の設定	1	0	P34
BUSAK 出力の設定	1	1	P35
R/W 出力の設定	1	1	P36
ALE 出力の設定 (BUSMD=" 1")	1 (*1)	1	P37

(*1) セパレートバスモード (BUSMD=" 0") の場合、ALE 出力はしません。コントロールレジスタ P3CR<P37C>ビットの設定により入出力ポートに設定されます。リセット後は入力ポートとなります。

マルチプレクスバスモード (BUSMD=" 1") の場合、リセット後は" L" 出力ポートとなります。

(*2) /RD、/WR 出力は外部アクセス時のみ出力します。

図 7.4.6 ポート 3 関係のレジスタ

7.5 ポート 4 (P40~P47)

ポート4はビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ P4CR とファンクションレジスタ P4FC によって行います。リセット動作により出力ラッチ P4 の全ビットは“1”にセットされ、P4CR の全ビットは“0”にリセットされます。P40FC～P46FC のビットは“0”にリセットされます。P40～P45 はプルアップ抵抗付きの入力モードに、P46、P47 は入力モードになります。

汎用入出力ポート機能以外に、ポート 40~45 はチップセレクト信号出力機能 (CS0~CS5)、ポート 46 は内部クロックを出力する SCOUT 出力端子としての機能があります。

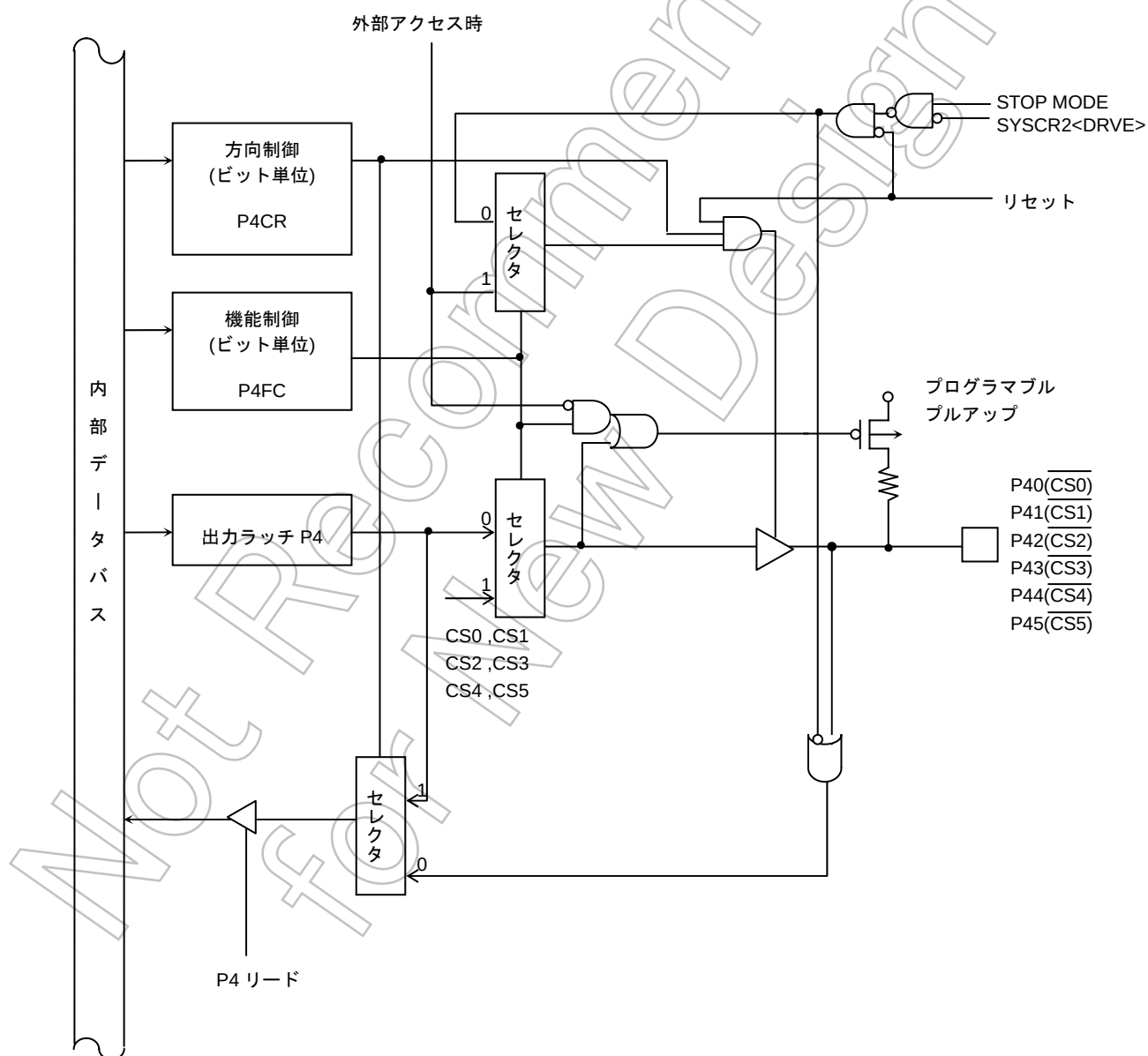


図 7.5.1 ポート 4 (P40~P45)

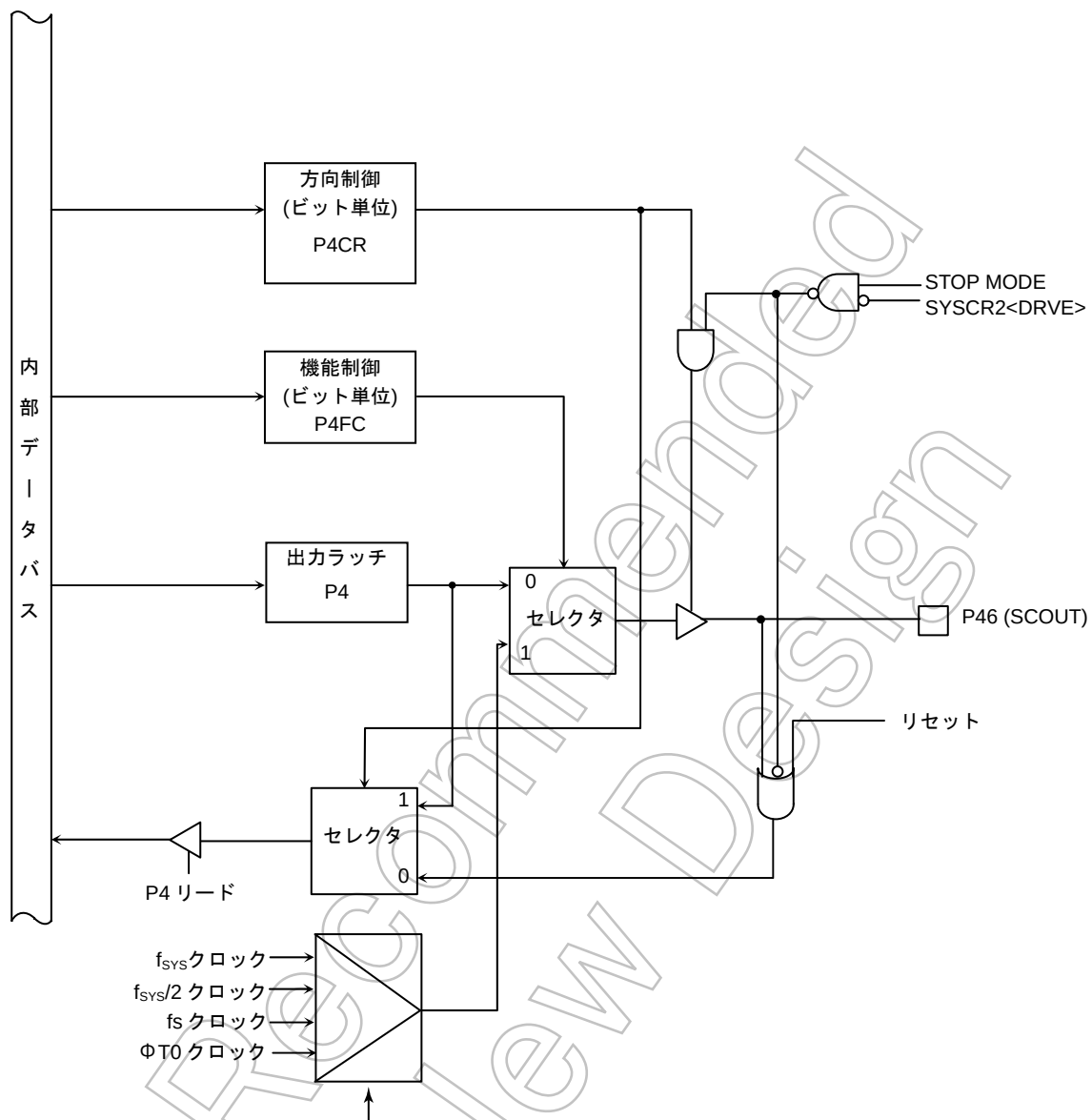


図 7.5.2 ポート 4 (P46)

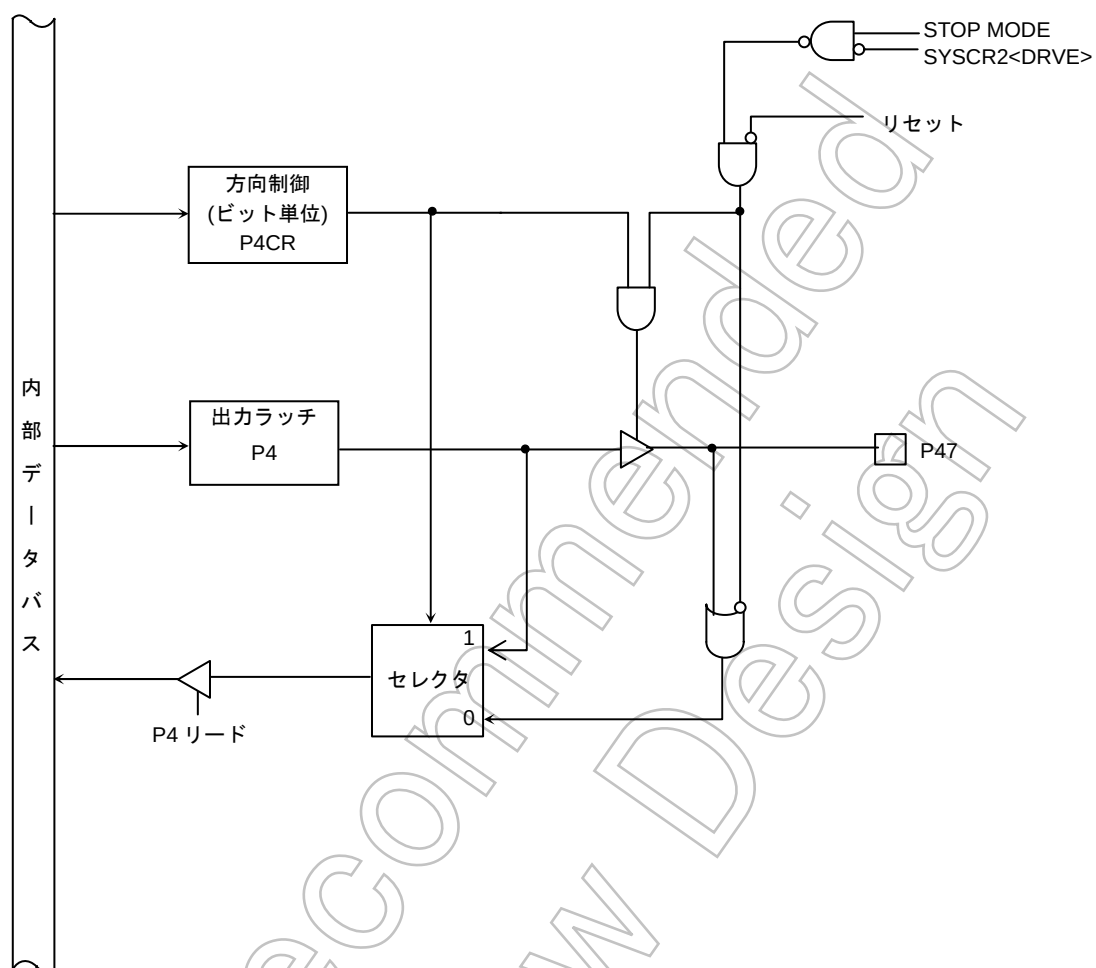


図 7.5.3 ポート 4 (P47)

ポート 4 レジスタ

P4 (0xFFFF_F01E)		7	6	5	4	3	2	1	0
	Bit Symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	リセット後	入力モード							
		1	1	1 (Pull-Up)	1 (Pull-Up)	1 (Pull-Up)	1 (Pull-Up)	1 (Pull-Up)	1 (Pull-Up)

ポート 4 コントロールレジスタ

P4CR (0xFFFF_F020)		7	6	5	4	3	2	1	0
	Bit Symbol	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
		0: 入力 1: 出力							

ポート 4 ファンクションレジスタ

P4FC (0xFFFF_F021)		7	6	5	4	3	2	1	0
	Bit Symbol	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT	0: PORT 1: SCOUT	0: PORT 1: CS5	0: PORT 1: CS4	0: PORT 1: CS3	0: PORT 1: CS2	0: PORT 1: CS1	0: PORT 1: CS0

機能	P4FC の該当 BIT	P4CR の該当 BIT	使用 PORT
CS0 出力の設定	1	1	P40
CS1 出力の設定	1	1	P41
CS2 出力の設定	1	1	P42
CS3 出力の設定	1	1	P43
CS4 出力の設定	1	1	P44
CS5 出力の設定	1	1	P45
SCOUT 出力の設定	1	1	P46

図 7.5.4 ポート 4 関係レジスタ

7.6 ポート 5 (P50~P57)

ポート 5 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P5CR とファンクションレジスタ P5FC によって行います。リセット動作により出力ラッチ P5 の全ビットは “1” にセットされ、また、P5CR と P5FC の全ビットは “0” にクリアされ、ポート 5 は入力モードになります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能があります。外部メモリをアクセスする時は、P5CR、P5FC によりアドレスバス機能に設定する必要があります。但し、アドレスバス機能が使用できるのはセパレートバスモード (リセット時に BUSMD 端子を “L” レベルにすることでセパレートバスモードになります) の時のみです。

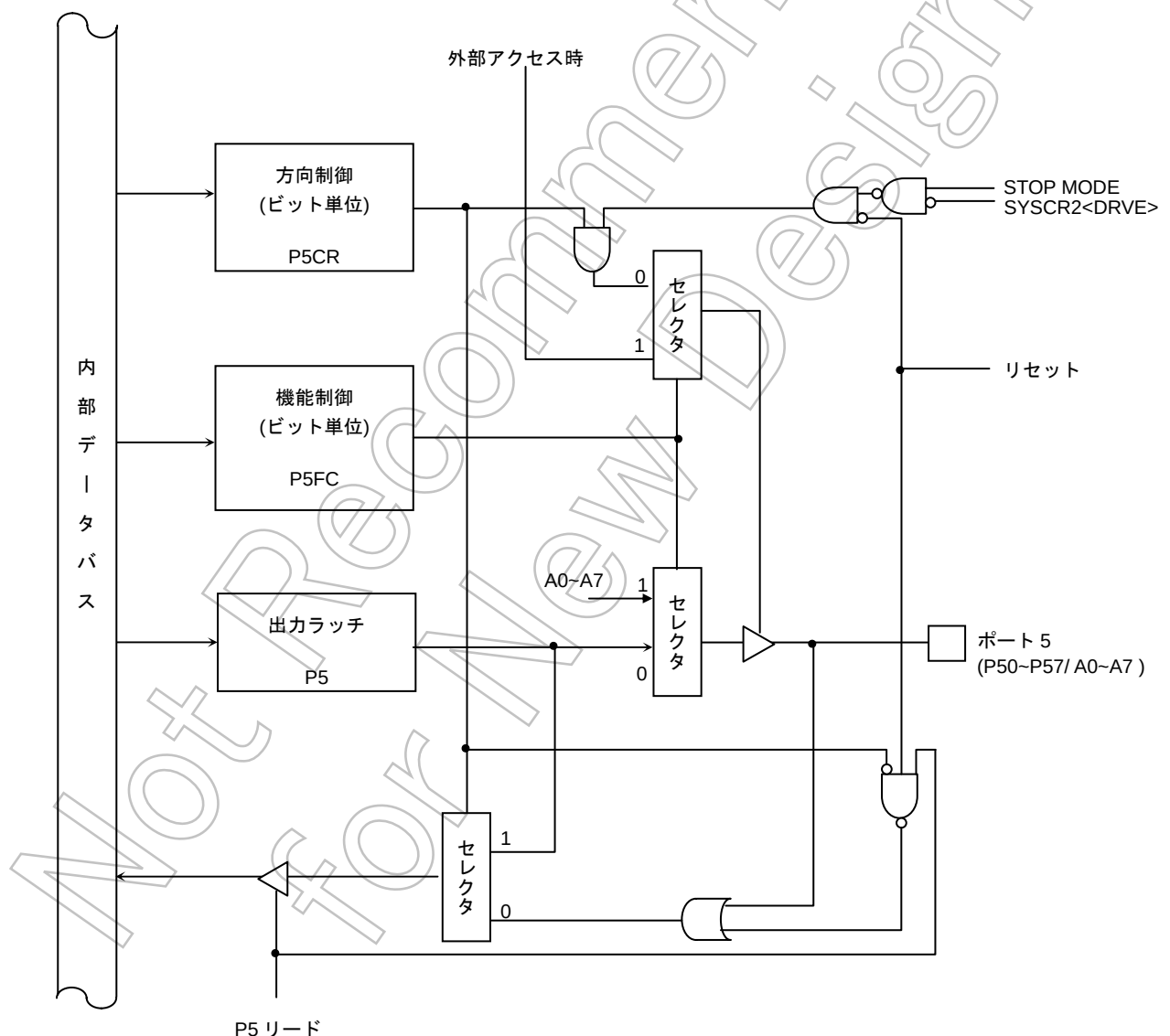


図 7.6.1 ポート 5 (P50~P57)

ポート 5 レジスタ

P5
(0xFFFF_F028)

	7	6	5	4	3	2	1	0
Bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは “1” にセット)							

ポート 5 コントロールレジスタ

P5CR
(0xFFFF_F02C)

	7	6	5	4	3	2	1	0
Bit Symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0:入力 1:出力							

ポート 5 ファンクションレジスタ

P5FC
(0xFFFF_F02D)

	7	6	5	4	3	2	1	0
Bit Symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: PORT 1: A7	0: PORT 1: A6	0: PORT 1: A5	0: PORT 1: A4	0: PORT 1: A3	0: PORT 1: A2	0: PORT 1: A1	0: PORT 1: A0

機能	P5FC の該当 BIT	P5CR の該当 BIT	使用 PORT
POR5 入力の設定	0	0	PORT5
POR5 出力の設定	0	1	PORT5
アドレスバス (A7~A0) 出力の設定 (*1)	1	1	PORT5

(*1) アドレスバス (A7~A0) 出力の設定はセパレートバスモード、マルチプレクスバスモードの設定 (BUSMD= “0” , “1”) 共通です。

図 7.6.2 ポート 5 関係レジスタ

7.7 ポート 6 (P60~P67)

ポート 6 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P6CR とファンクションレジスタ P6FC によって行います。リセット動作により出力ラッチ P6 の全ビットは“1”にセットされ、また、P6CR と P6FC の全ビットは“0”にクリアされ、ポート 6 は入力モードになります。

汎用入出力ポート機能以外にアドレスバス (A8~A15) 機能があります。外部メモリをアクセスする時は、P6CR、P6FC によりアドレスバス機能に設定する必要があります。但し、アドレスバス機能が使用できるのはセパレートバスモード (リセット時に BUSMD 端子を“L”レベルにすることでセパレートバスモードになります) の時のみです。

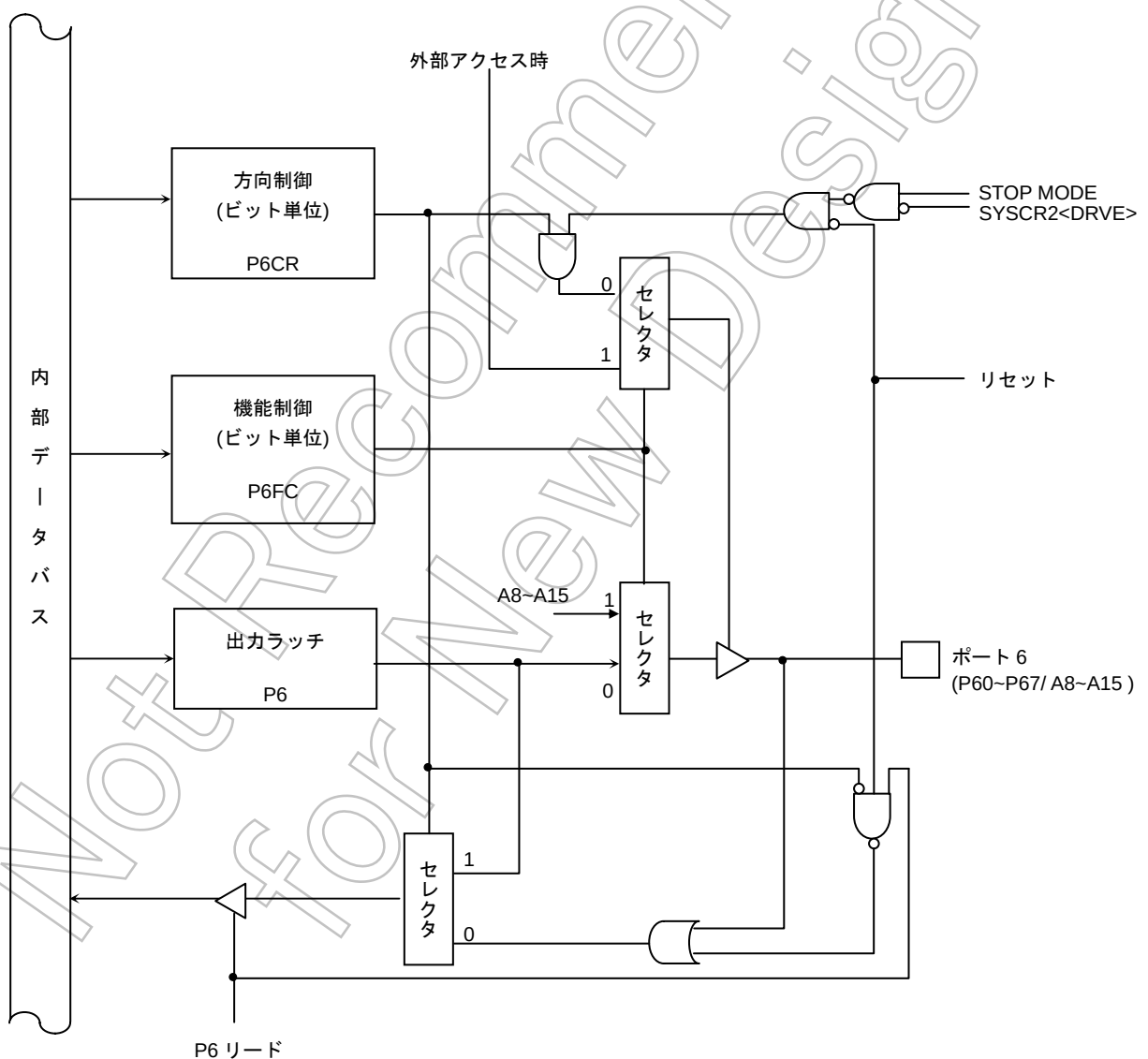


図 7.7.1 ポート 6 (P60~P67)

ポート 6 レジスタ

P6
(0xFFFF_F029)

	7	6	5	4	3	2	1	0
Bit Symbol	P67	P66	P65	P64	P63	P62	P61	P60
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは “1” にセット)							

ポート 6 コントロールレジスタ

P6CR
(0xFFFF_F02E)

	7	6	5	4	3	2	1	0
Bit Symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0:入力 1:出力							

ポート 6 ファンクションレジスタ

P6FC
(0xFFFF_F02F)

	7	6	5	4	3	2	1	0
Bit Symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: PORT 1: A15	0: PORT 1: A14	0: PORT 1: A13	0: PORT 1: A12	0: PORT 1: A11	0: PORT 1: A10	0: PORT 1: A9	0: PORT 1: A8

機能	P6FC の該当 BIT	P6CR の該当 BIT	使用 PORT
POR6 入力の設定	0	0	PORT6
POR6 出力の設定	0	1	PORT6
アドレスバス (A15~A8) 出力の設定 (*1)	1	1	PORT6

(*1) アドレスバス (A15~A8) 出力の設定はセパレートバスモード、マルチプレクスバスモードの設定 (BUSMD= “0” , “1”) 共通です。

図 7.7.2 ポート 6 関係のレジスタ

7.8 ポート 7 (P70~P77)、ポート 8 (P80~P87)、ポート 9 (P90~P97)

ポート 7~ポート 9 は、8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子と兼用になっています。入力の設定はファンクションレジスタ PnFC によって行います。リセット動作により、PnFC の全ビットは“0”にクリアされ、ポート 7~9 は入力モードになります。

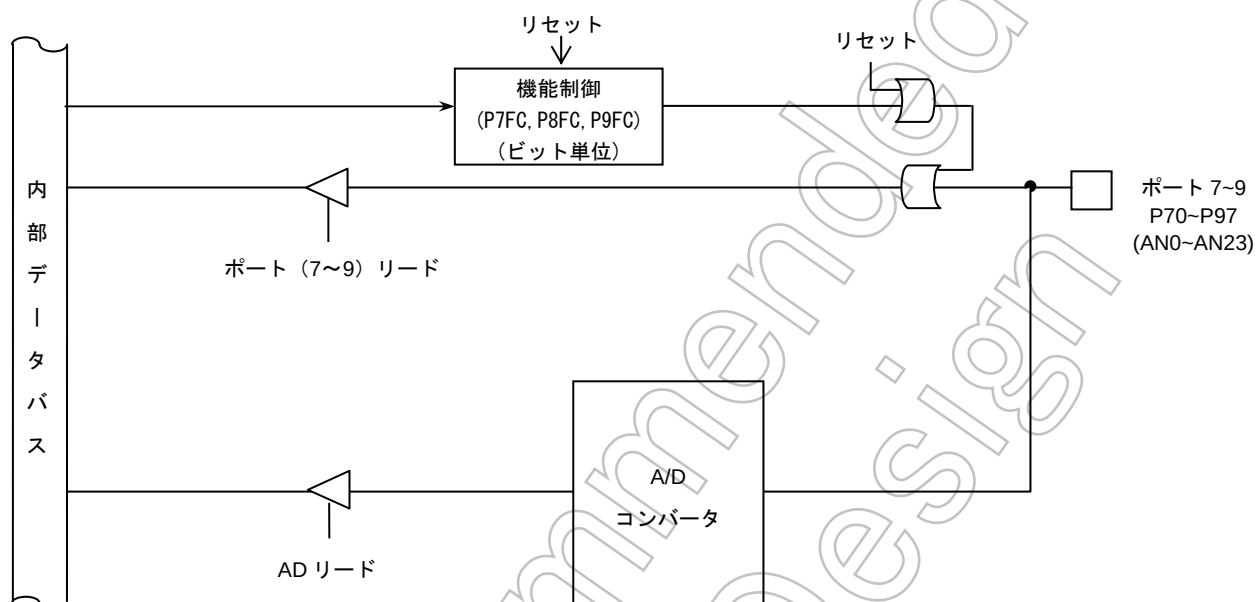


図 7.8.1 ポート 7~9 (P70~P77、P80~P87、P90~P97)

ポート 7 レジスタ

		7	6	5	4	3	2	1	0
P7 (0xFFFF_F040)	Bit Symbol	P77	P76	P75	P74	P73	P72	P71	P70
	Read/Write	R							
	リセット後	入力モード							

ポート 7 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P7FC (0xFFFF_F048)	Bit Symbol	P77F	P76F	P75F	P74F	P73F	P72F	P71F	P70F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: PORT 1: AN7	0: PORT 1: AN6	0: PORT 1: AN5	0: PORT 1: AN4	0: PORT 1: AN3	0: PORT 1: AN2	0: PORT 1: AN1	0: PORT 1: AN0

ポート 8 レジスタ

		7	6	5	4	3	2	1	0
P8 (0xFFFF_F041)	Bit Symbol	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R							
	リセット後	入力モード							

ポート 8 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P8FC (0xFFFF_F049)	Bit Symbol	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: PORT 1: AN15	0: PORT 1: AN14	0: PORT 1: AN13	0: PORT 1: AN12	0: PORT 1: AN11	0: PORT 1: AN10	0: PORT 1: AN9	0: PORT 1: AN8

ポート 9 レジスタ

	7	6	5	4	3	2	1	0	
P9 (0xFFFF_F042)	Bit Symbol	P97	P96	P95	P94	P93	P92	P91	P90
	Read/Write	R							
	リセット後	入力モード							

ポート 9 ファンクションレジスタ

P9FC (0xFFFF_F04A)		7	6	5	4	3	2	1	0
	Bit Symbol	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: PORT 1: AN23	0: PORT 1: AN22	0: PORT 1: AN21	0: PORT 1: AN20	0: PORT 1: AN19	0: PORT 1: AN18	0: PORT 1: AN17	0: PORT 1: AN16

機能	P7FC, P8FC, P9FC の該当 BIT
PORT7, 8, 9 入力の設定	0
AN23~0 入力の設定	1

図 7.8.2 ポート 7~9 関係レジスタ

7.9 ポート A (PA0~PA7)

ポート A はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PACR によって行います。リセット動作により、PACR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PA2/5/6/7 は 16 ビットタイマの出力機能、PA0/1/3/4 には 16 ビットタイマの入力、または外部割込み入力機能があり、PAFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PACR、PAFC は “0” にクリアされ、ポート A は入力ポートとなります。

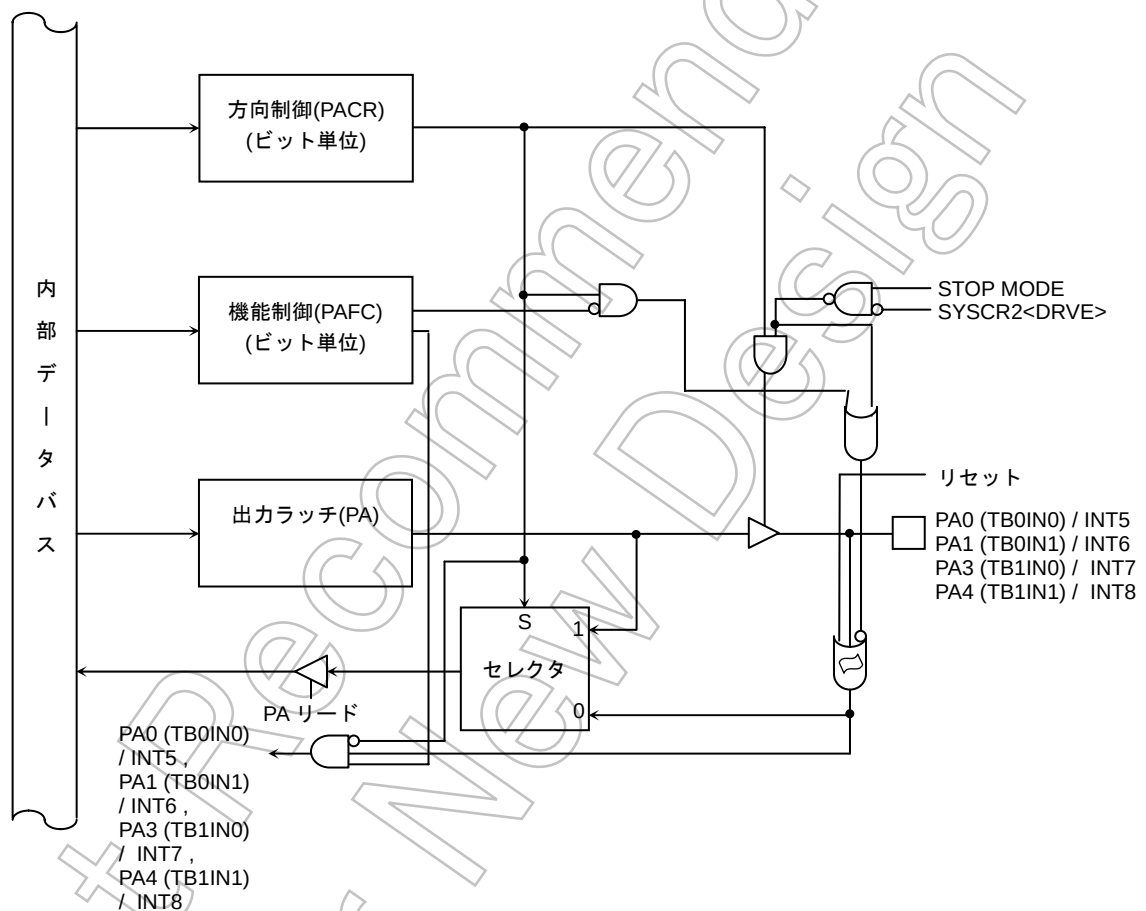


図 7.9.1 ポート A (PA0, PA1, PA3, PA4)

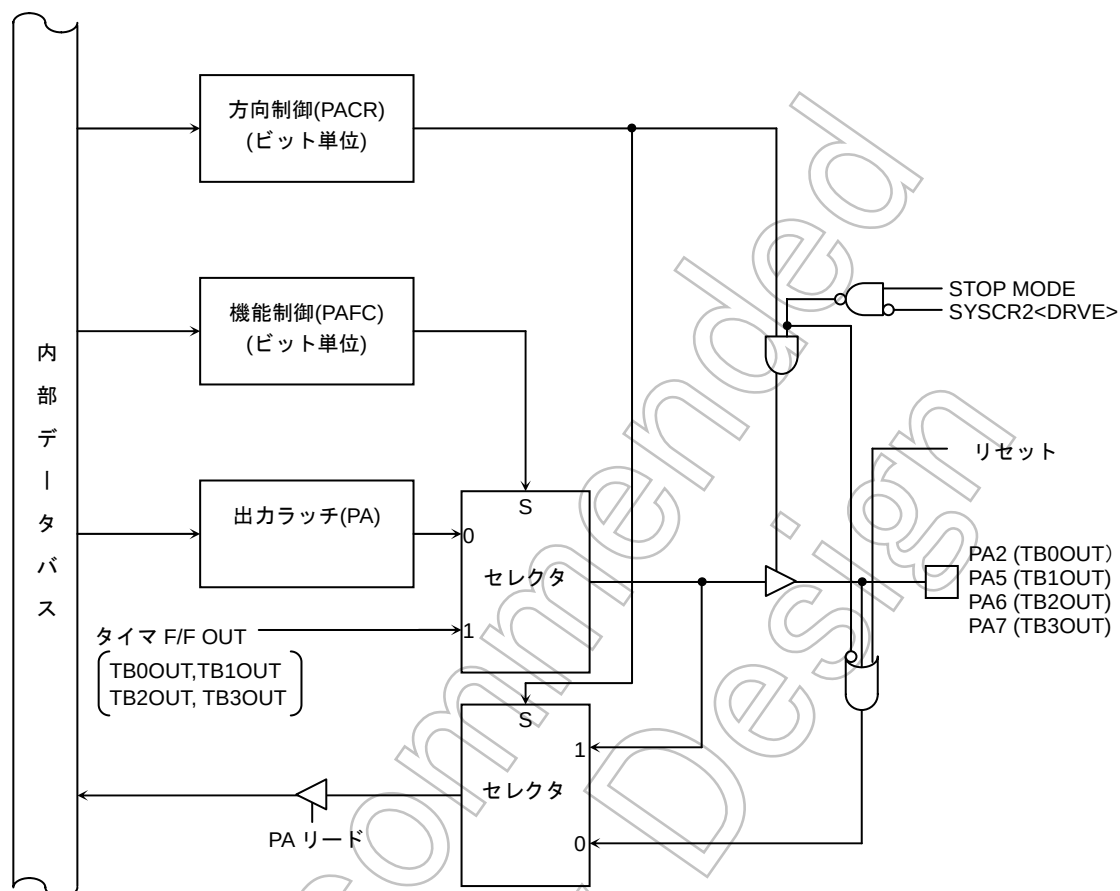


図 7.9.2 ポート A (PA2, PA5, PA6, PA7)

ポート A レジスタ

PA (0xFFFF_F043)		7	6	5	4	3	2	1	0
	Bit Symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート A コントロールレジスタ

PACR (0xFFFF_F047)		7	6	5	4	3	2	1	0
	Bit Symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート A ファンクションレジスタ

PAFC (0xFFFF_F04B)		7	6	5	4	3	2	1	0
	Bit Symbol	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: PORT 1: TB3OUT	0: PORT 1: TB2OUT	0: PORT 1: TB1OUT	0: PORT 1: TB1IN1 / INT8	0: PORT 1: TB1IN0 / INT7	0: PORT 1: TB0OUT	0: PORT 1: TB0IN1 / INT6	0: PORT 1: TB0IN0 / INT5

機能	PAFC の該当 BIT	PACR の該当 BIT	使用 PORT
TB0IN0 入力の設定	1	0	PA0
INT5 入力の設定	1(*1)	0	
TB0IN1 入力の設定	1	0	PA1
INT6 入力の設定	1(*1)	0	
TB0OUT 出力の設定	1	1	PA2
TB1IN0 入力の設定	1	0	PA3
INT7 入力の設定	1(*1)	0	
TB1IN1 入力の設定	1	0	PA4
INT8 入力の設定	1(*1)	0	
TB1OUT 出力の設定	1	1	PA5
TB2OUT 出力の設定	1	1	PA6
TB3OUT 出力の設定	1	1	PA7

(* 1) SYSCR<DRVE>=0 の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

(注) 1 端子に PORT 以外に 2 つの入力機能が割り当てられている場合、どちらの入力機能にするかは、各機能ブロックの許可設定で制御してください。

図 7.9.3 ポート A 関係のレジスタ

7.10 ポート B (PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PBCR によって行います。リセット動作により、PBCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PB0/1/2/3/4/5 は 16 ビットタイマの出力機能、PB6/7 は 16 ビットタイマの入力機能があり、PBFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PBCR、PBFC は “0” にクリアされ、ポート B は入力ポートとなります。

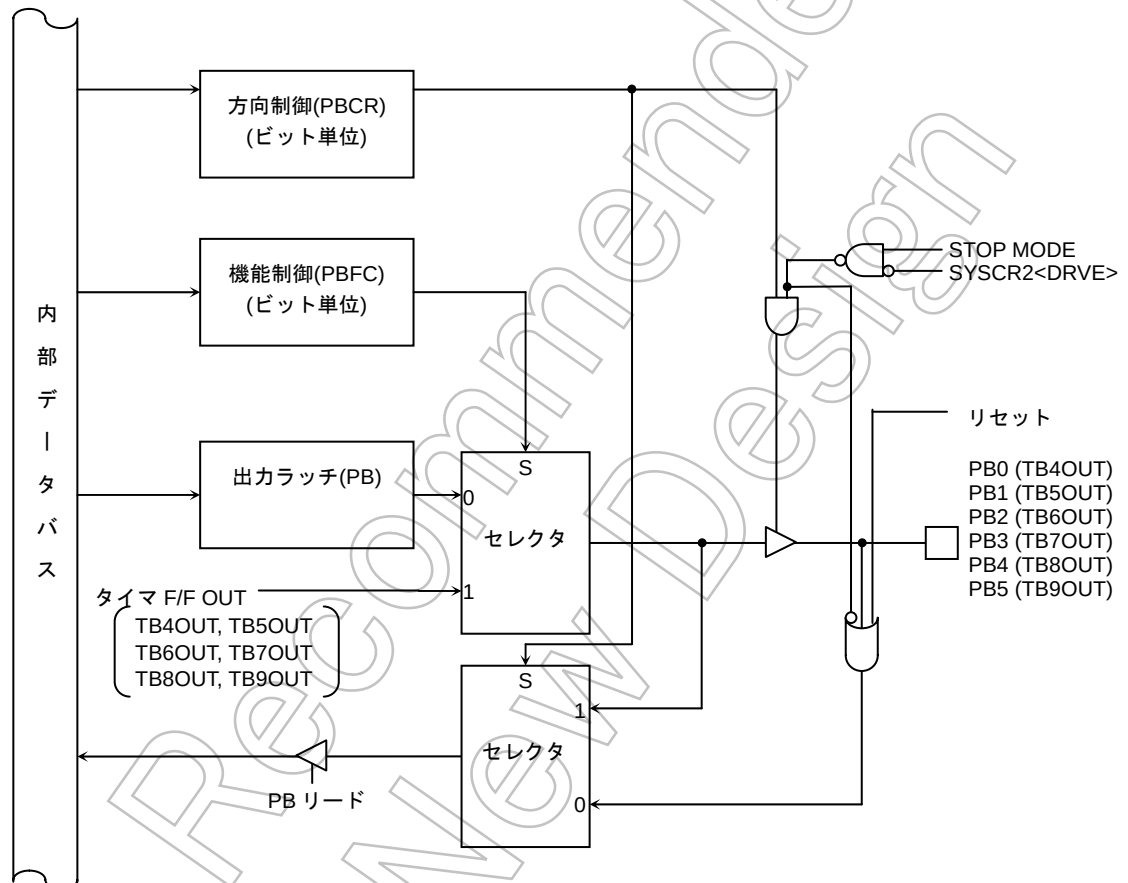


図 7.10.1 ポート B (PB0~PB5)

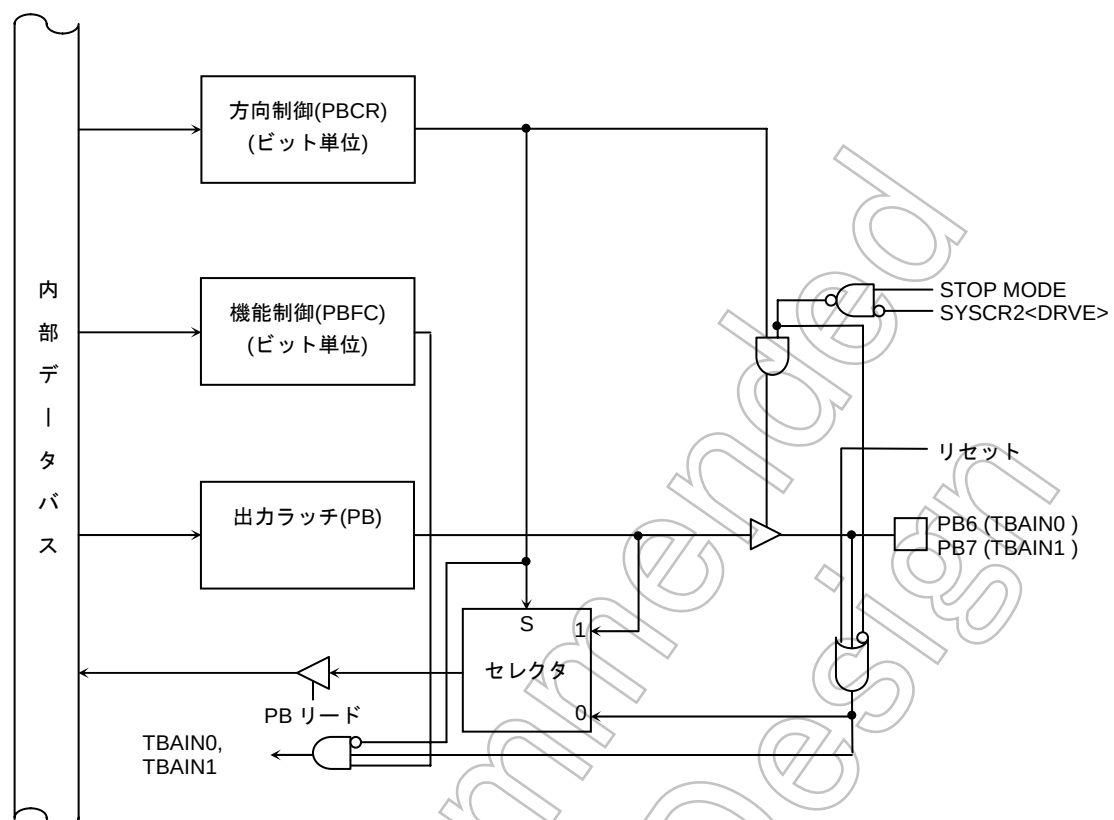


図 7.10.2 ポート B (PB6, PB7)

ポート B レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
Read/Write	R/W							
リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

PB
(0xFFFF_F050)

ポート B コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: 入力 1: 出力							

PBCR
(0xFFFF_F054)

ポート B ファンクションレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PB7F	PB6F	PB5F	PB4F	PB3F	PB2F	PB1F	PB0F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: PORT 1: TBAIN1	0: PORT 1: TBAIN0	0: PORT 1: TB9OUT	0: PORT 1: TB8OUT	0: PORT 1: TB7OUT	0: PORT 1: TB6OUT	0: PORT 1: TB5OUT	0: PORT 1: TB4OUT

PBFC
(0xFFFF_F058)

機能	PBFC の該当 BIT	PBCR の該当 BIT	使用 PORT
TB4OUT 出力の設定	1	1	PB0
TB5OUT 出力の設定	1	1	PB1
TB6OUT 出力の設定	1	1	PB2
TB7OUT 出力の設定	1	1	PB3
TB8OUT 出力の設定	1	1	PB4
TB9OUT 出力の設定	1	1	PB5
TBAIN0 入力の設定	1	0	PB6
TBAIN1 入力の設定	1	0	PB7

図 7.10.3 ポート B 関係のレジスタ

7.11 ポート C (PC0~PC7)

ポート C はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PCCR によって行います。リセット動作により、PCCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PC0/3/6 は SIO のデータ出力、PC1/4/7 は SIO のデータ入力、PC2/5 は SIO の CLK 入出力または GTS 入力機能があり、PCFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PCCR、PCFC は “0” にクリアされ、ポート C は入力ポートとなります。

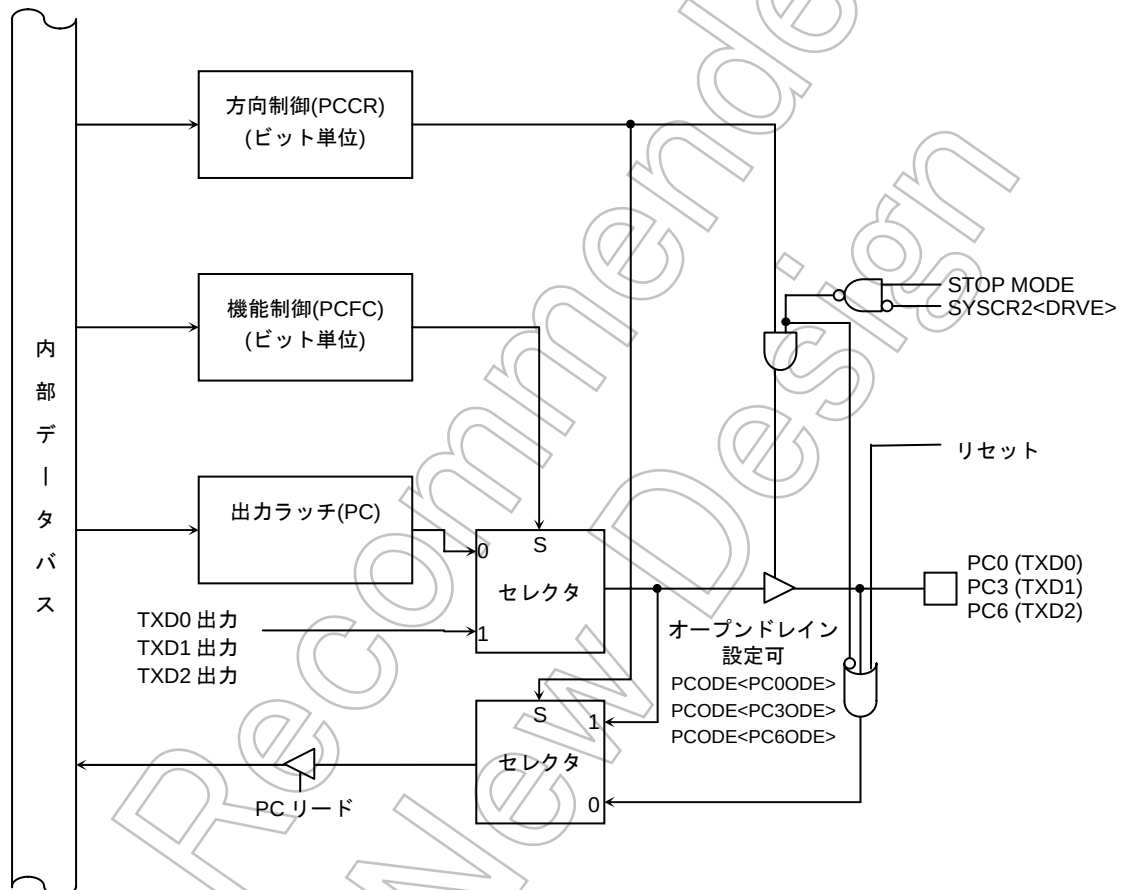


図 7.11.1 ポート C (PC0, PC3, PC6)

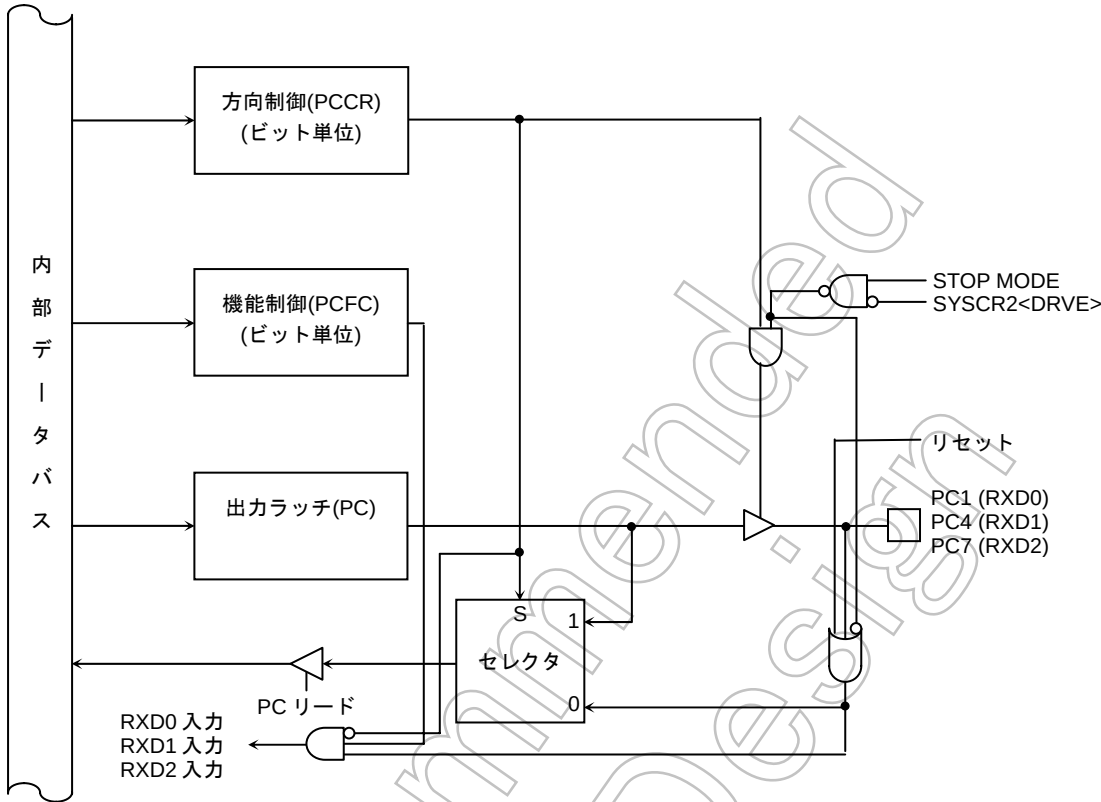


図 7.11.2 ポート C (PC1, PC4, PC7)

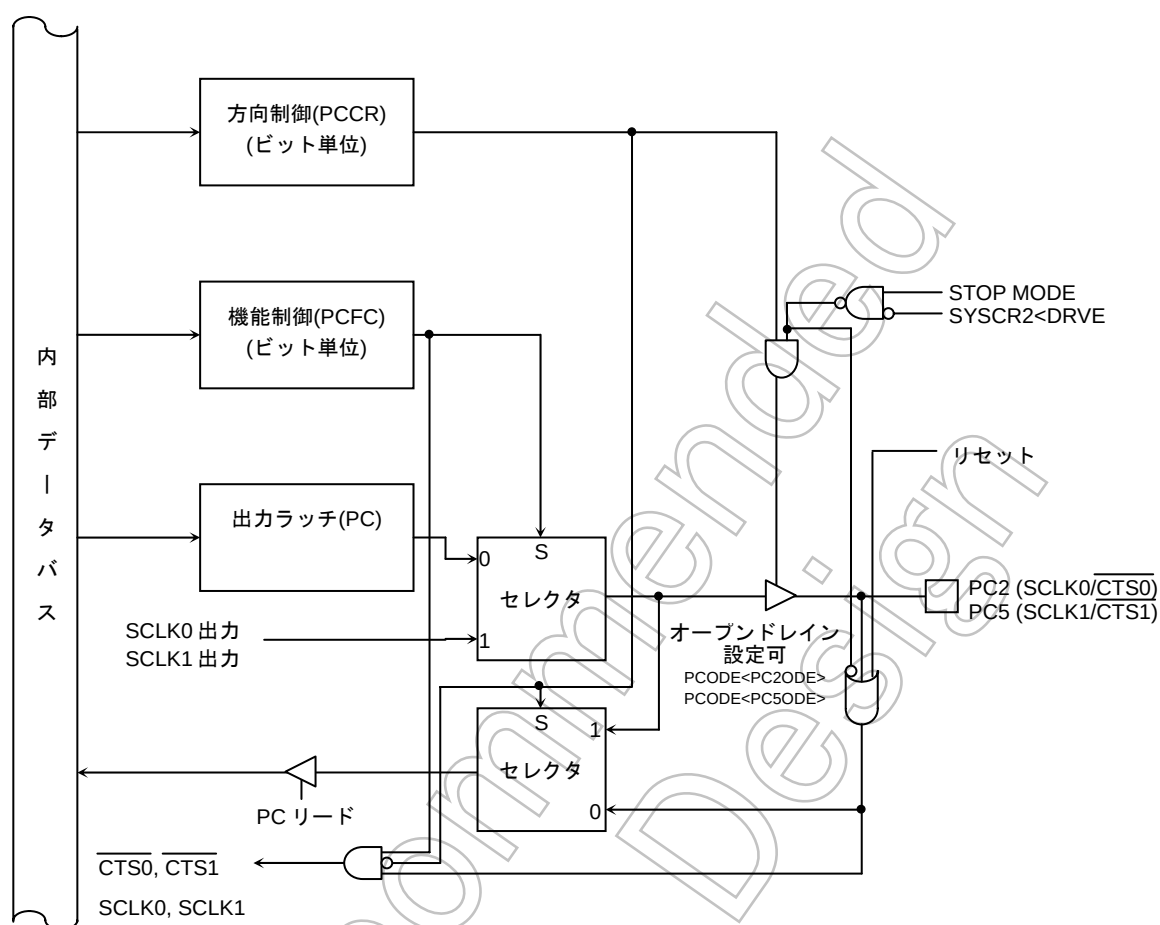


図 7.11.3 ポート C (PC2, PC5)

ポート C レジスタ

PC (0xFFFF_F051)		7	6	5	4	3	2	1	0
	Bit Symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート C コントロールレジスタ

PCCR (0xFFFF_F055)		7	6	5	4	3	2	1	0
	Bit Symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート C ファンクションレジスタ

PCFC (0xFFFF_F059)		7	6	5	4	3	2	1	0
	Bit Symbol	PC7F	PC6F	PC5F	PC4F	PC3F	PC2F	PC1F	PC0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: RXD2	0: PORT 1: TXD2	0: PORT 1: SCLK1 /CTS1	0: PORT 1: RXD1	0: PORT 1: TXD1	0: PORT 1: SCLK0 /CTS0	0: PORT 1: RXD0	0: PORT 1: TXD0

ポート C オープンドレイン制御レジスタ

PCODE (0xFFFF_F05D)		7	6	5	4	3	2	1	0
	Bit Symbol		PC6ODE	PC5ODE		PC3ODE	PC2ODE		PC0ODE
	Read/Write	R	R/W		R	R/W		R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	0: CMOS	0: CMOS 1: オープン ドレイン	0: CMOS 1: オープン ドレイン	0: CMOS	0: CMOS 1: オープン ドレイン	0: CMOS 1: オープン ドレイン	0: CMOS	0: CMOS 1: オープン ドレイン

機能	PCFC の該当 BIT	PCCR の該当 BIT	使用 PORT
TXD0 出力の設定	1	1	PC0
RXD0 入力の設定	1	0	PC1
SCLK0 出力の設定	1	1	PC2
SCLK0 入力の設定	1	0	
CTS0 入力の設定	1	0	
TXD1 出力の設定	1	1	PC3
RXD1 出力の設定	1	1	PC4
SCLK1 出力の設定	1	1	PC5
SCLK1 入力の設定	1	0	
CTS1 入力の設定	1	0	
TXD2 出力の設定	1	0	PC6
RXD2 入力の設定	1	0	PC7

図 7.11.4 ポート C 関係のレジスタ

7.12 ポート D (PD0~PD7)

ポート D はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PDGR によって行います。リセット動作により、PDGR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PD0/3/6 は SIO の CLK 入出力または CTS 入力、PD1/4 は SIO のデータ出力、PD2/5 は SIO のデータ入力、PD7 は外部割込み入力機能があり、PDFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PDGR、PDFC は “0” にクリアされ、ポート D は入力ポートとなります。

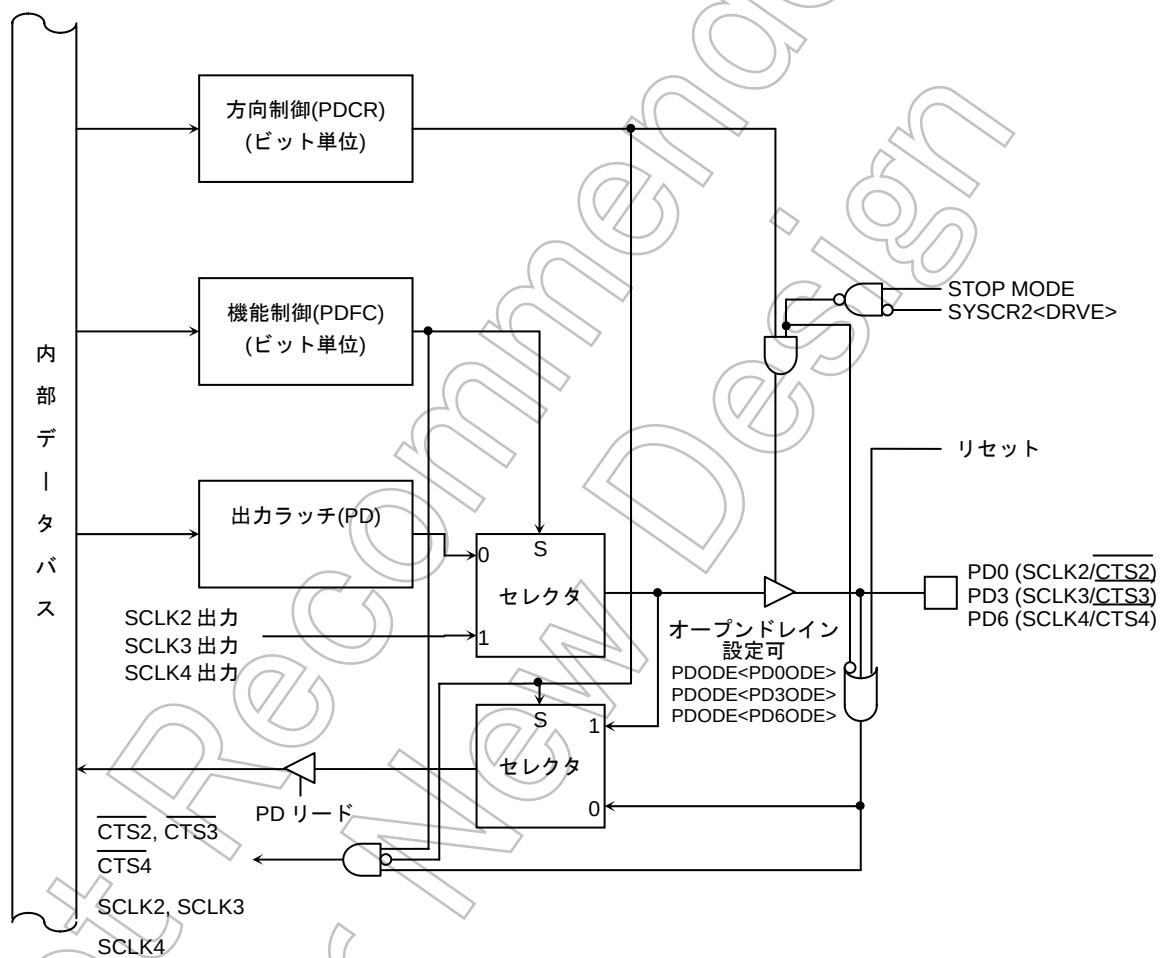


図 7.12.1 ポート D (PD0, PD3, PD6)

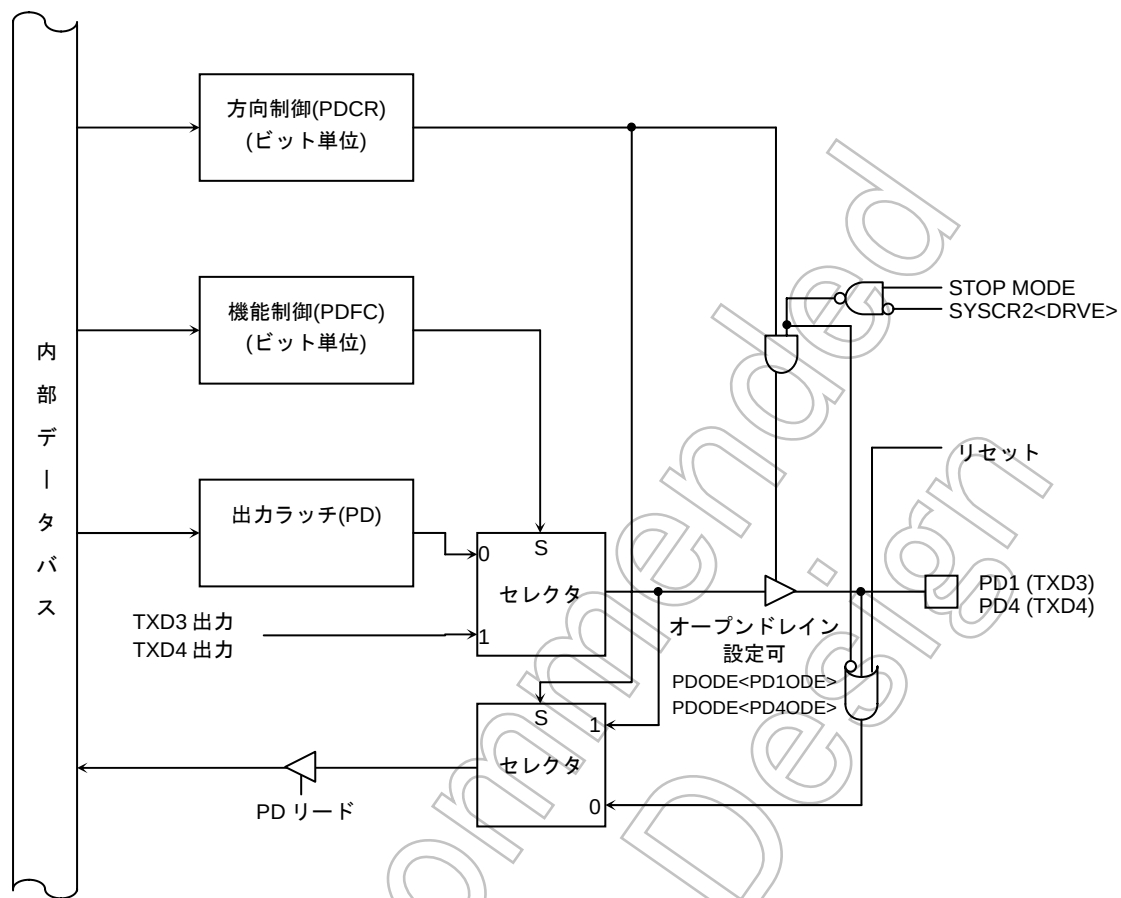


図 7.12.2 ポート D (PD1, PD4)

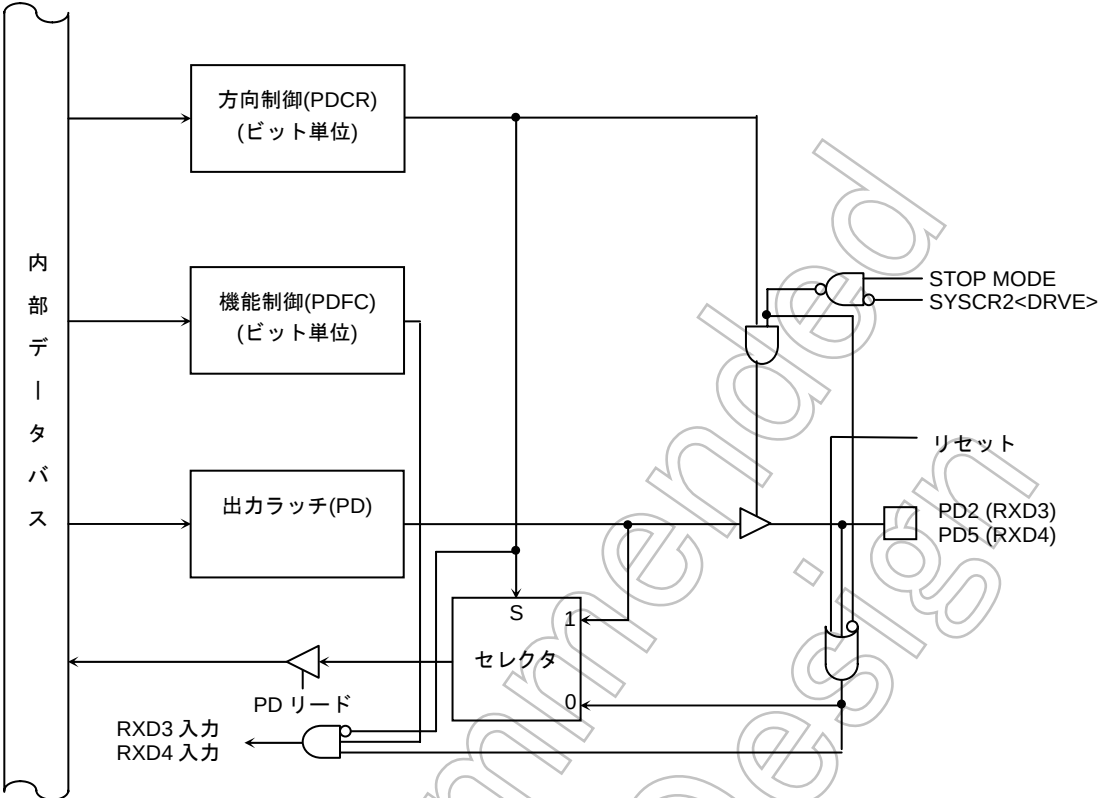


図 7.12.3 ポート D (PD2, PD5)

ポート D レジスタ

PD
(0xFFFF_F052)

	7	6	5	4	3	2	1	0
Bit Symbol	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
Read/Write	R/W							
リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート D コントロールレジスタ

PDCR
(0xFFFF_F056)

	7	6	5	4	3	2	1	0
Bit Symbol	PD7C	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: 入力 1: 出力							

ポート D ファンクションレジスタ

PDFC
(0xFFFF_F05A)

	7	6	5	4	3	2	1	0
Bit Symbol	PD7F	PD6F	PD5F	PD4F	PD3F	PD2F	PD1F	PD0F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: PORT 1: INT9	0: PORT 1: SCLK4 / CTS4	0: PORT 1: RXD4	0: PORT 1: TXD4	0: PORT 1: SCLK3 / CTS3	0: PORT 1: RXD3	0: PORT 1: TXD3	0: PORT 1: SCLK2 / CTS2

ポート D オープンドレイン制御レジスタ

PDDOE
(0xFFFF_F05E)

	7	6	5	4	3	2	1	0
Bit Symbol		PD6DOE		PD4DOE	PD3DOE		PD1DOE	PD0DOE
Read/Write	R	R/W	R	R/W		R	R/W	
リセット後	0	0	0	0	0	0	0	0
機 能	0: CMOS	0: CMOS 1: オープン ドレイン	0: CMOS	0: CMOS 1: オープン ドレイン	0: CMOS 1: オープン ドレイン	0: CMOS	0: CMOS 1: オープン ドレイン	0: CMOS 1: オープン ドレイン

機能	PDFC の該当 BIT	PDCR の該当 BIT	使用 PORT
SCLK2 出力の設定	1	1	PD0
SCLK2 入力の設定	1	0	
CTS2 入力の設定	1	0	
TXD3 出力の設定	1	1	PD1
RXD3 入力の設定	1	0	PD2
SCLK3 出力の設定	1	1	PD3
SCLK3 入力の設定	1	0	
CTS3 入力の設定	1	0	
TXD4 出力の設定	1	1	PD4
RXD4 出力の設定	1	1	PD5
SCLK4 出力の設定	1	1	PD6
SCLK4 入力の設定	1	0	
CTS4 入力の設定	1	0	
INT9 入力の設定	1(*1)	0	PD7

(* 1) SYSCR<DRVE>=0 の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

図 7.12.5 ポート D 関係のレジスタ

7.13 ポート E (PE0~PE7)

ポート E はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PECR によって行います。リセット動作により、PECR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PE0 は SIO のデータ出力、PE1 は SIO のデータ入力、PE2 は SIO の CLK 入出力または CTS 入力、PE6/7 は外部割込み入力機能があり、PEFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PECR、PEFC は “0” にクリアされ、ポート E は入力ポートとなります。

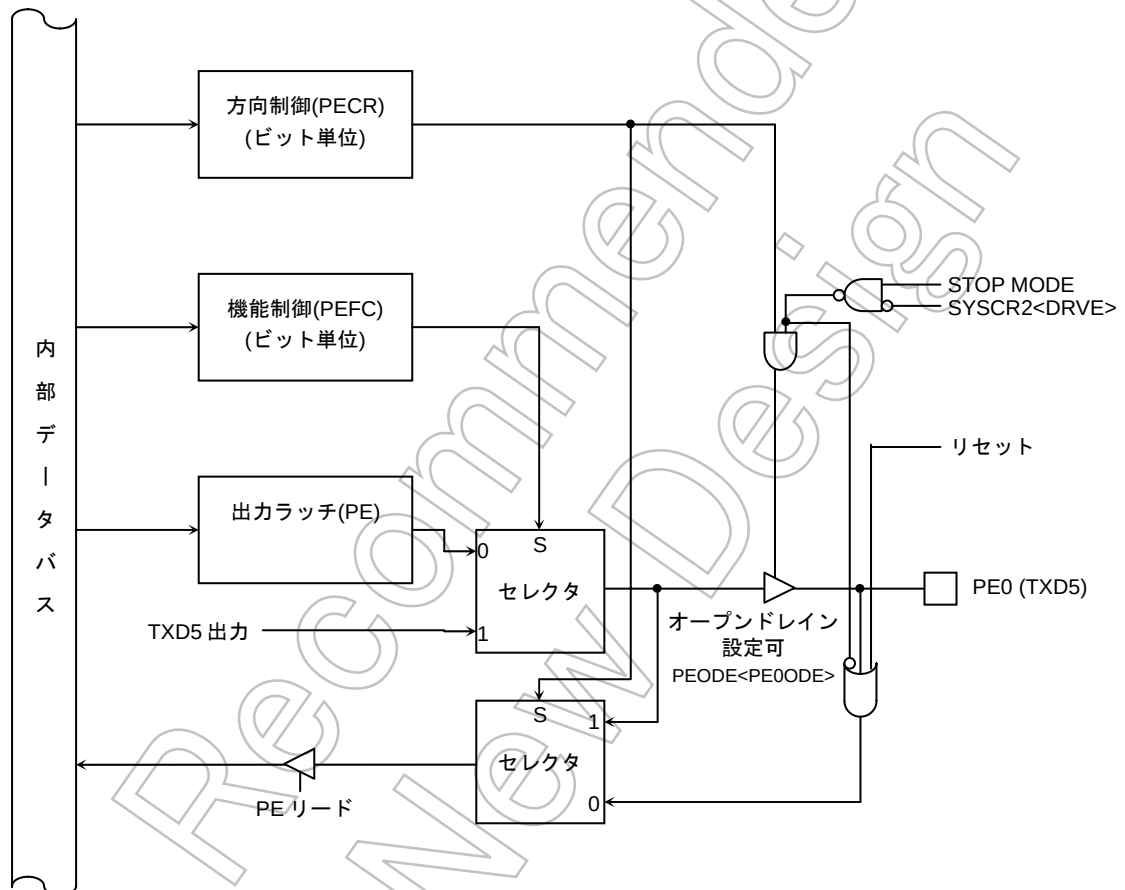


図 7.13.1 ポート E (PE0)

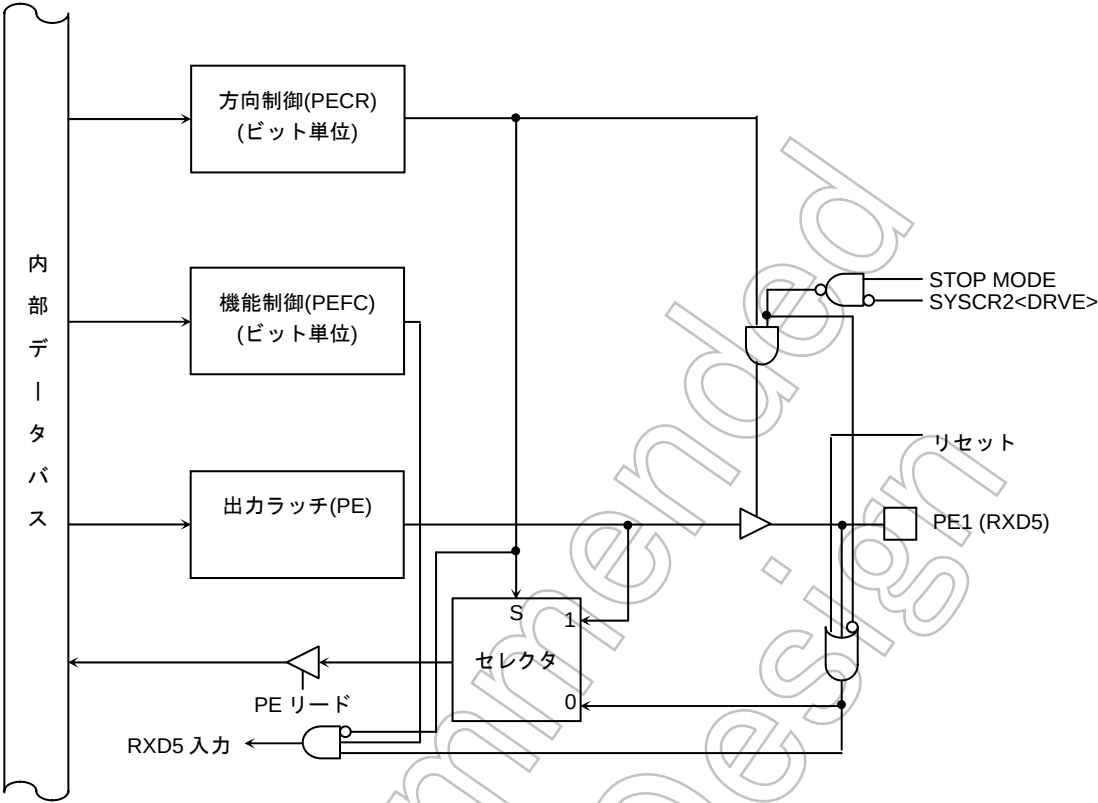


図 7.13.2 ポート E (PE1)

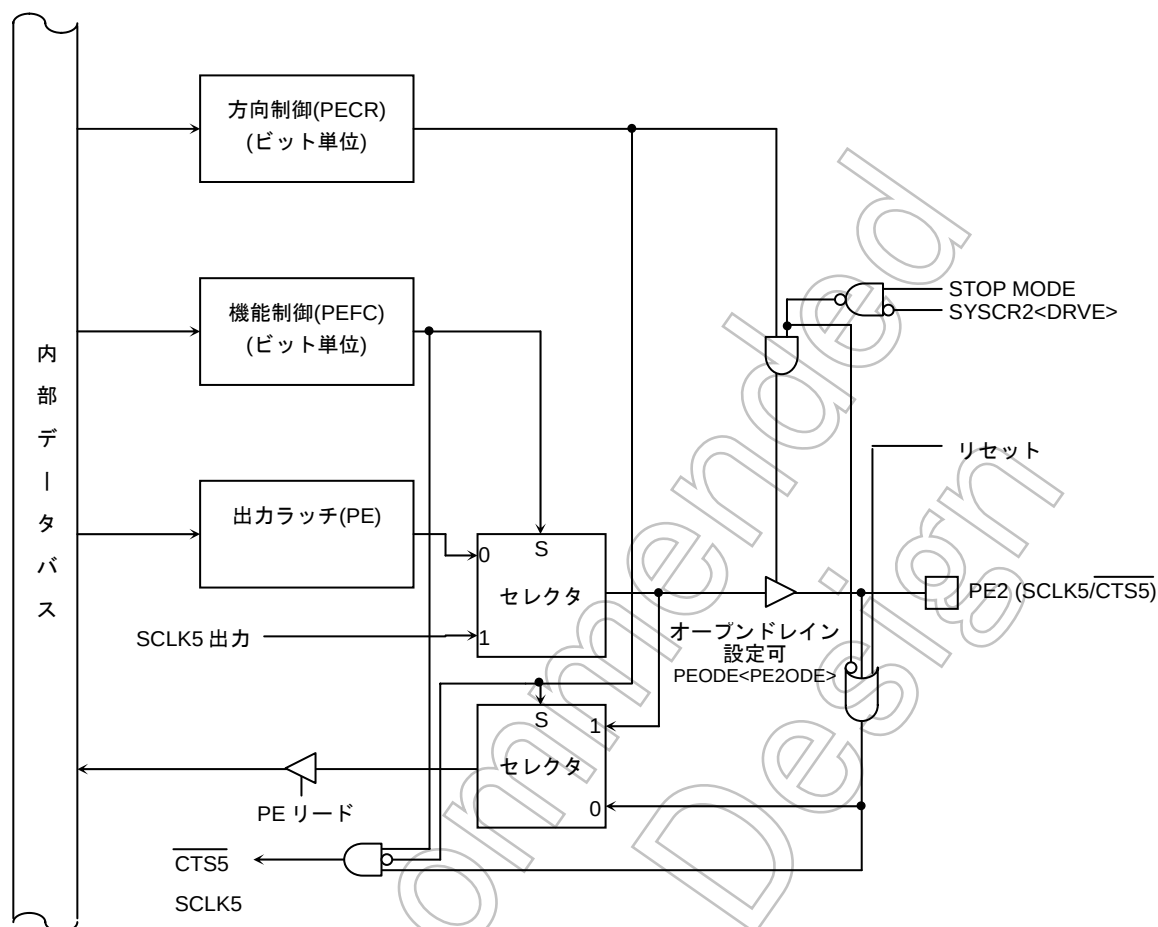


図 7.13.3 ポート E (PE2)

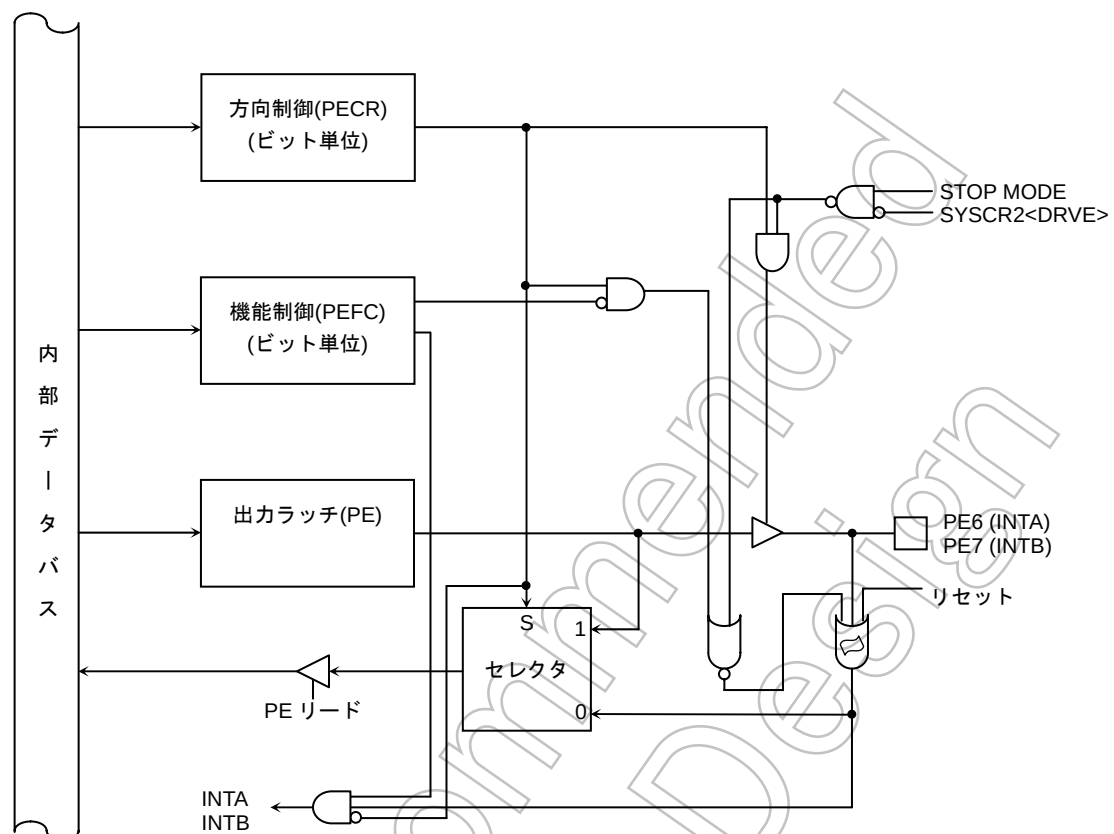


図 7.13.5 ポート E (PE6, PE7)

ポート E レジスタ

		7	6	5	4	3	2	1	0
PE (0xFFFF_F053)	Bit Symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート E コントロールレジスタ

PECR (0xFFFF_F057)		7	6	5	4	3	2	1	0
	Bit Symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート E ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PEFC (0xFFFF_F05B)	Bit Symbol	PE7F	PE6F	PE5F	PE4F	PE3F	PE2F	PE1F	PE0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機 能	0: PORT 1: INTB	0: PORT 1: INTA	0: PORT	0: PORT	0: PORT 1: SCLK5 /CTS5	0: PORT 1: RXD5	0: PORT 1: TXD5	

ポート E オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
PEODE (0xFFFF_F05F)	Bit Symbol					PE2ODE		PE0ODE
	Read/Write	R				R/W	R	R/W
	リセット後	0	0	0	0	0	0	0
	機 能	0: CMOS	0: CMOS	0: CMOS	0: CMOS	0: CMOS 1: オープン ドレイン	0: CMOS	0: CMOS 1: オープン ドレイン

機能	PEFC の該当 BIT	PECR の該当 BIT	使用 PORT
TXD5 出力の設定	1	1	PE0
RXD3 出力の設定	1	0	PE1
SCLK5 出力の設定	1	1	PE2
SCLK5 入力の設定	1	0	
CTS5 入力の設定	1	0	
INTA 入力の設定	1(*1)	0	PE6
INTB 入力の設定	1(*1)	0	PE7

(* 1) SYSCR<DRVE>=0 の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

図 7.13.6 ポート E 関係のレジスタ

7.14 ポート F (PF0～PF7)

ポート F はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PFCR によって行います。リセット動作により、PFCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PF0～PF2 は SBI の入出力機能、PF3/5 は DMA リクエスト信号入力機能、PF4/6 は DMA アクノリッジ信号出力機能、PF7 は 32 ビットタイムベースタイマの外部クロックソース入力機能があり、PFFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PFCR、PFFC は “0” にクリアされ、ポート F は入力ポートとなります。また、PF3～PF6 の DMAC 機能は PJ0～PJ3 の DMAC 機能と兼用しています。PFFC の該当ビットを “1” に設定すると PF0～PF3 の DMAC 機能が優先されます。

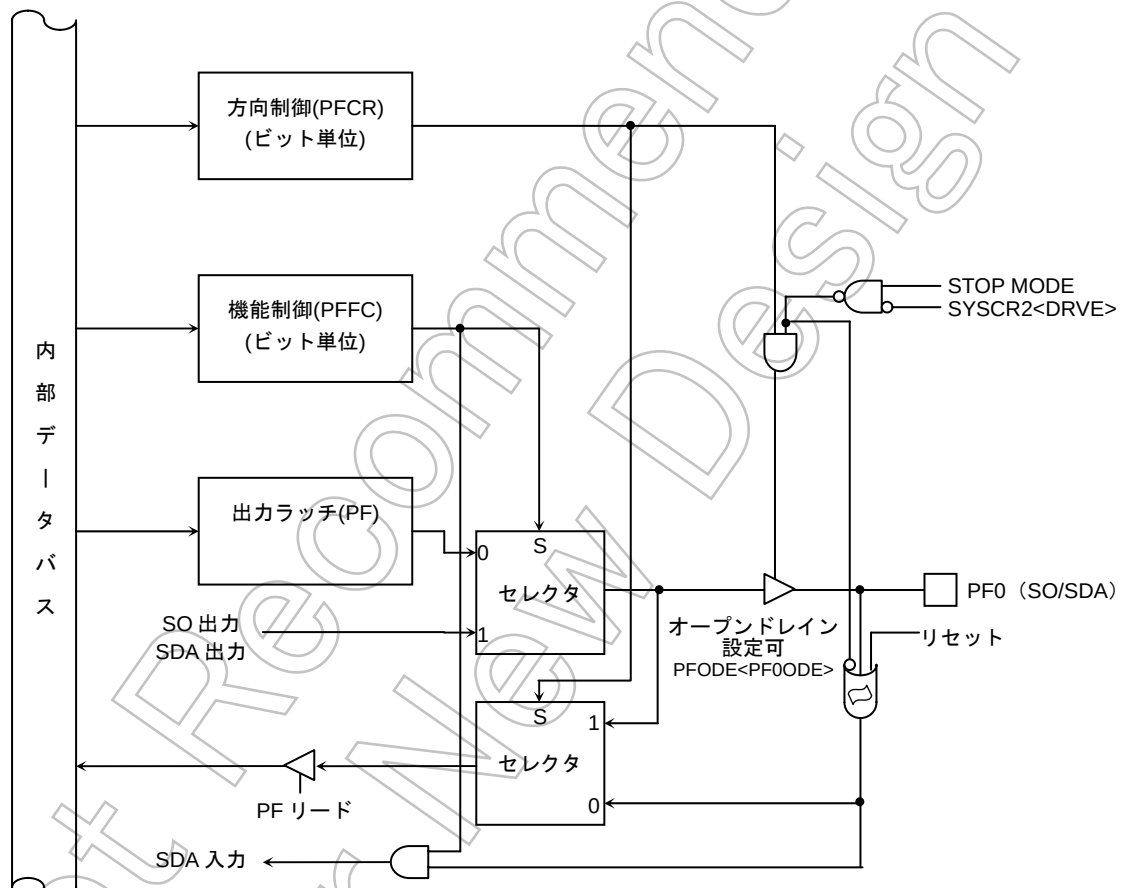


図 7.14.1 ポート F (PF0)

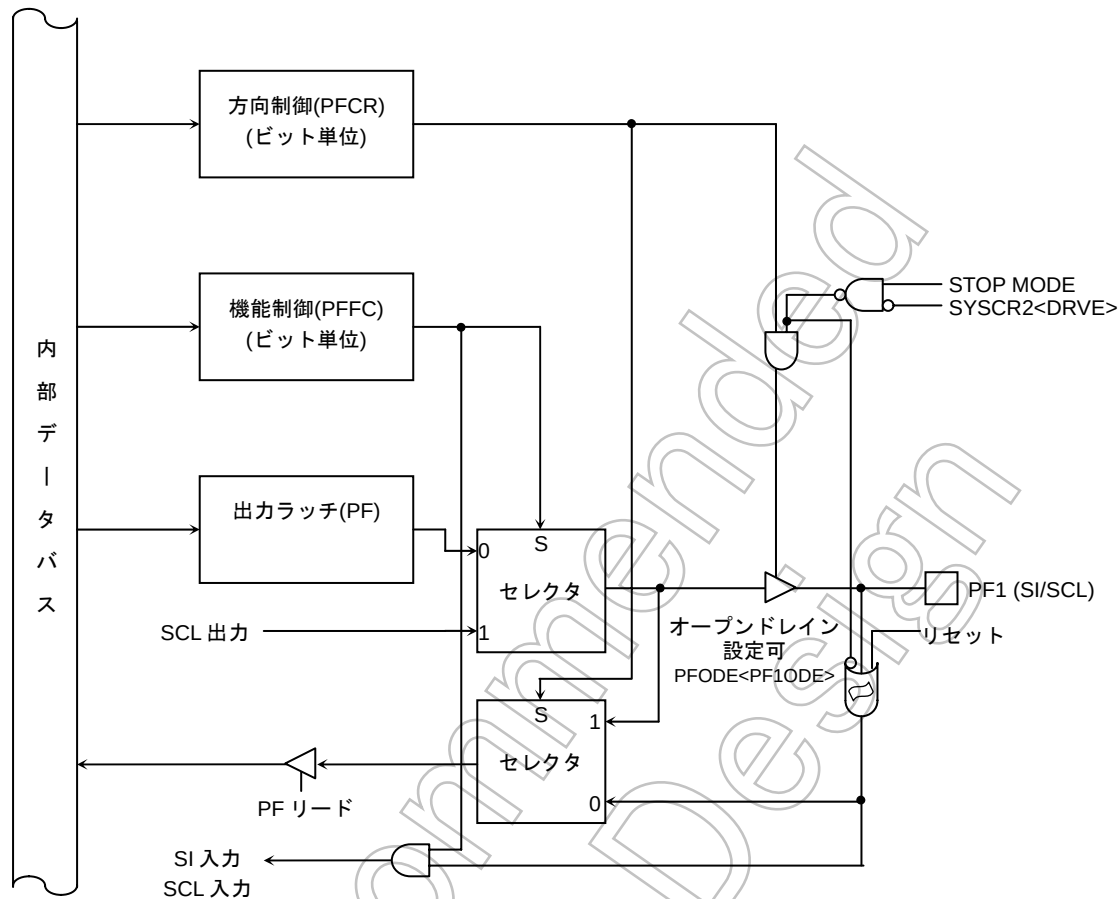


図 7.14.2 ポート F (PF1)

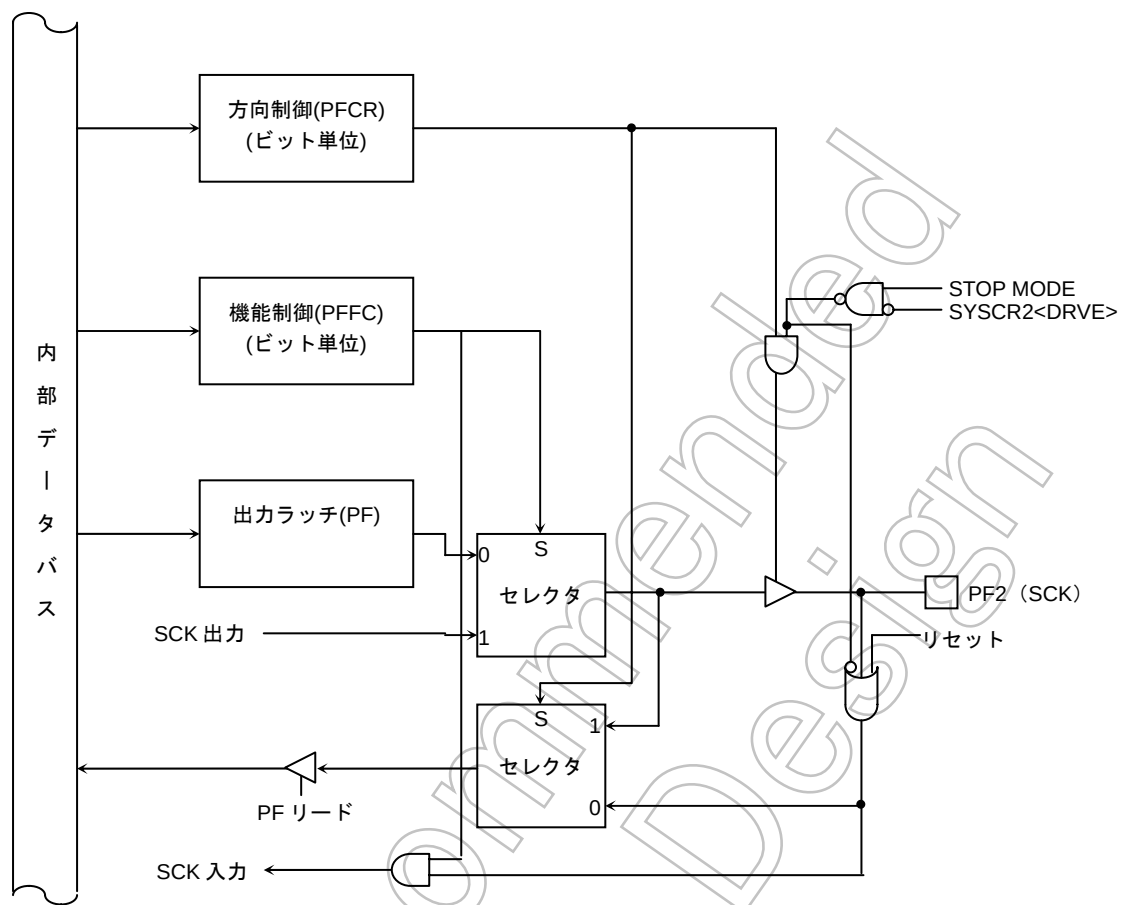


図 7.14.3 ポート F (PF2)

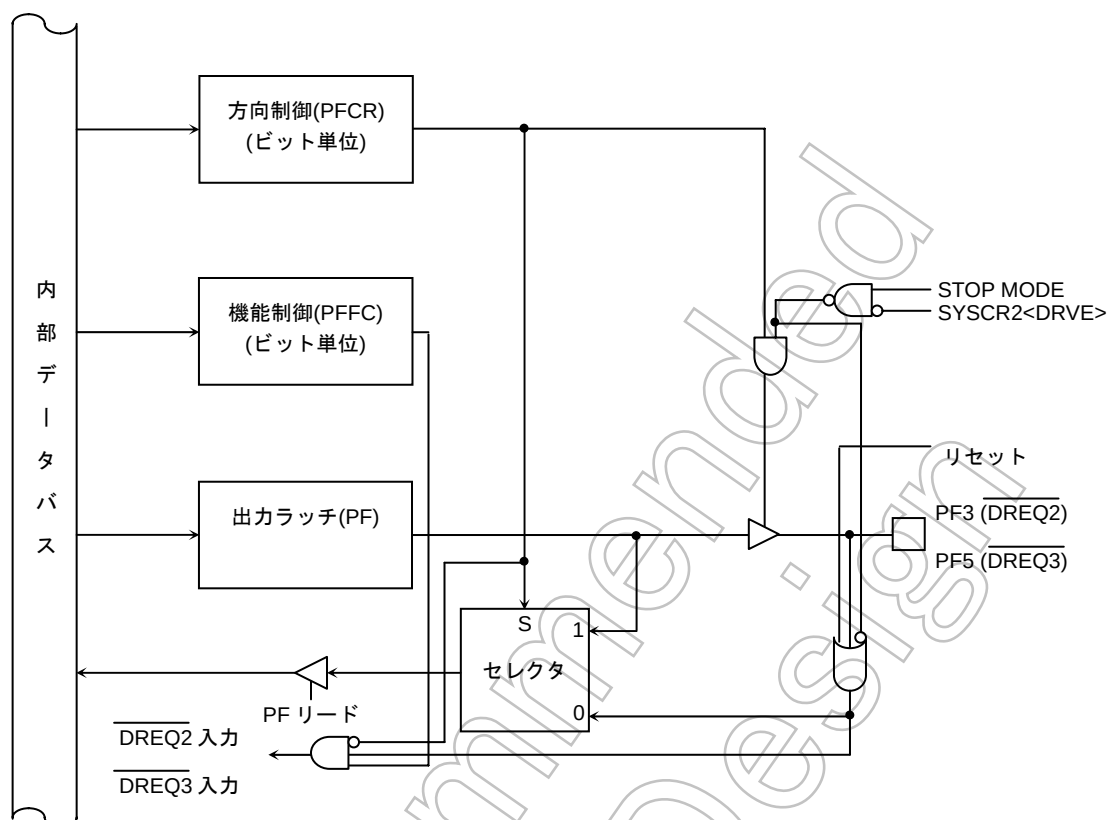


図 7.14.4 ポート F (PF3, PF5)

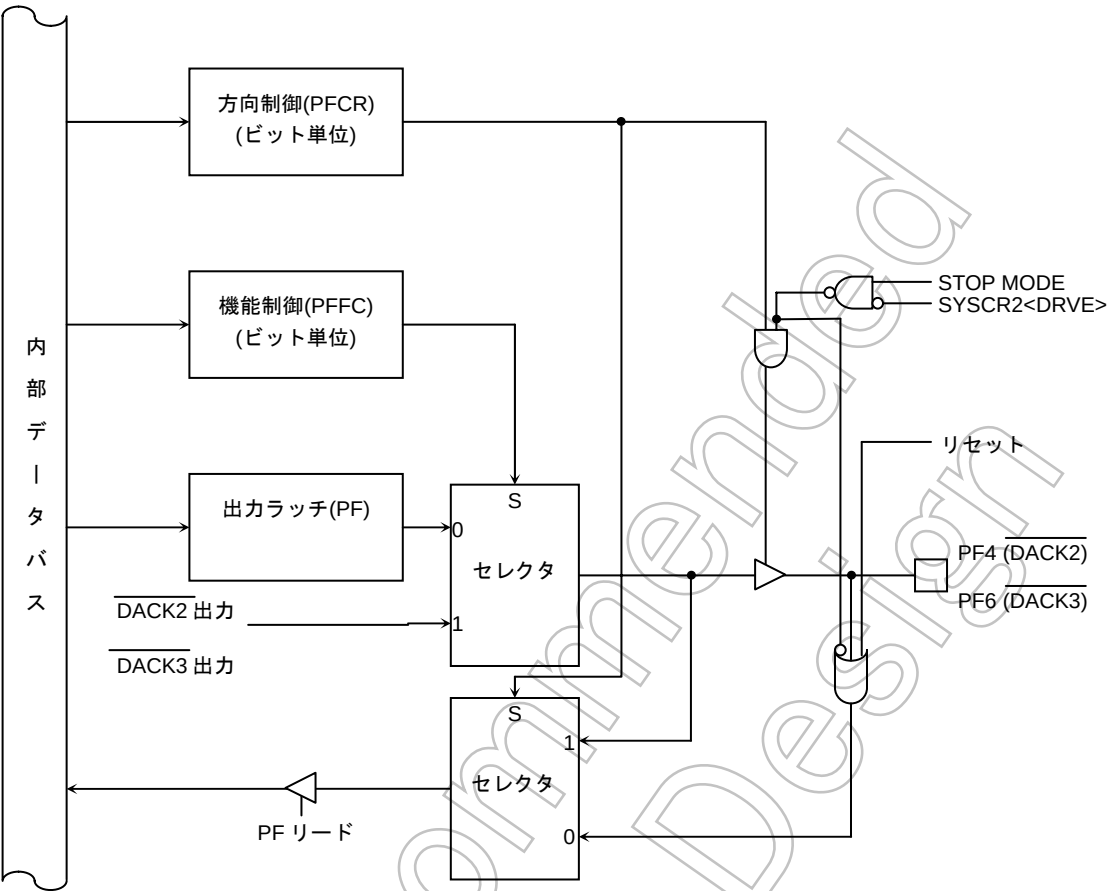


図 7.14.5 ポート F (PF4, PF6)

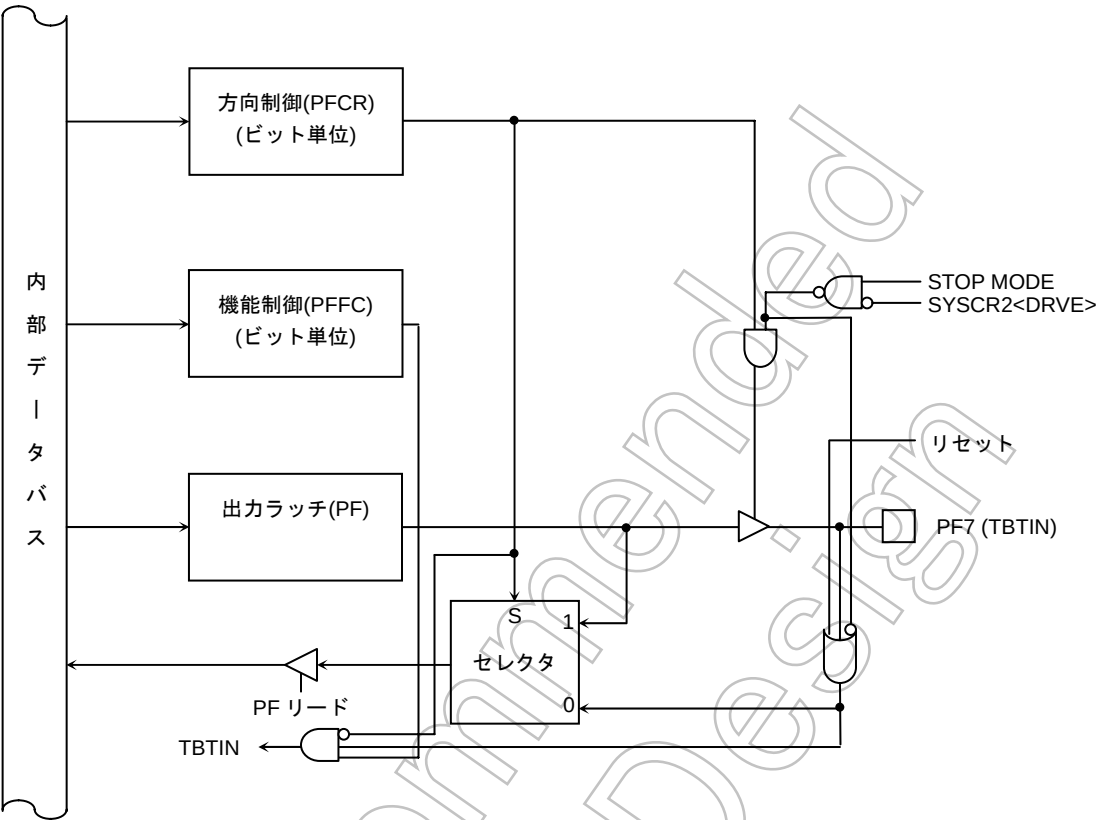


図 7.14.6 ポート F (PF7)

ポート F レジスタ

PF
(0xFFFF_F060)

	7	6	5	4	3	2	1	0
Bit Symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
Read/Write	R/W							
リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート F コントロールレジスタ

PFCR
(0xFFFF_F064)

	7	6	5	4	3	2	1	0
Bit Symbol	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: 入力 1: 出力							

ポート F ファンクションレジスタ

PFFC
(0xFFFF_F068)

	7	6	5	4	3	2	1	0
Bit Symbol	PF7F	PF6F	PF5F	PF4F	PF3F	PF2F	PF1F	PF0F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: PORT 1: TBTIN	0: PORT 1: DACK3	0: PORT 1: DREQ3	0: PORT 1: DACK2	0: PORT 1: DREQ2	0: PORT 1: SCK	0: PORT 1: SI / SCL	0: PORT 1: SO / SDA

ポート F オープンドレイン制御レジスタ

PFODE
(0xFFFF_F06C)

	7	6	5	4	3	2	1	0
Bit Symbol							PF1ODE	PF0ODE
Read/Write	R						R/W	
リセット後	0	0	0	0	0	0	0	0
機 能	0: CMOS	0: CMOS	0: CMOS	0: CMOS	0: CMOS	0: CMOS	0: CMOS 1: オープン ドレイン	0: CMOS 1: オープン ドレイン

機能	PFFC の該当 BIT	PFCR の該当 BIT	使用 PORT
SO 出力の設定	1	1	PF0
SDA 出力の設定	1	1	
SDA 入力の設定	1	0	
SI 入力の設定	1	0	PF1
SCL 出力の設定	1	1	
SCL 入力の設定	1	0	
SCLK5 出力の設定	1	1	PF2
SCLK5 入力の設定	1	0	
DREQ2 入力の設定	1	0	PF3
DACK2 出力の設定	1	1	PF4
DREQ3 入力の設定	1	0	PF5
DACK3 出力の設定	1	1	PF6
TBTIN 入力の設定	1	0	PF7

(注) ポート F とポート J の DMAC 機能は兼用しています。ポート F、ポート J 共に設定を行なった場合、ポート F の DMAC 機能が優先されます。

図 7.14.7 ポート F 関係のレジスタ

7.15 ポート G (PG0~PG7)

ポート G はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PGCR によって行います。リセット動作により、PGCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PG0~PG3 は 32 ビットインプットキャプチャトリガ入力機能、PG4~PG7 は 32 ビットアウトプットコンペア出力機能があり、PGFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PGCR、PGFC は “0” にクリアされ、ポート G は入力ポートとなります。

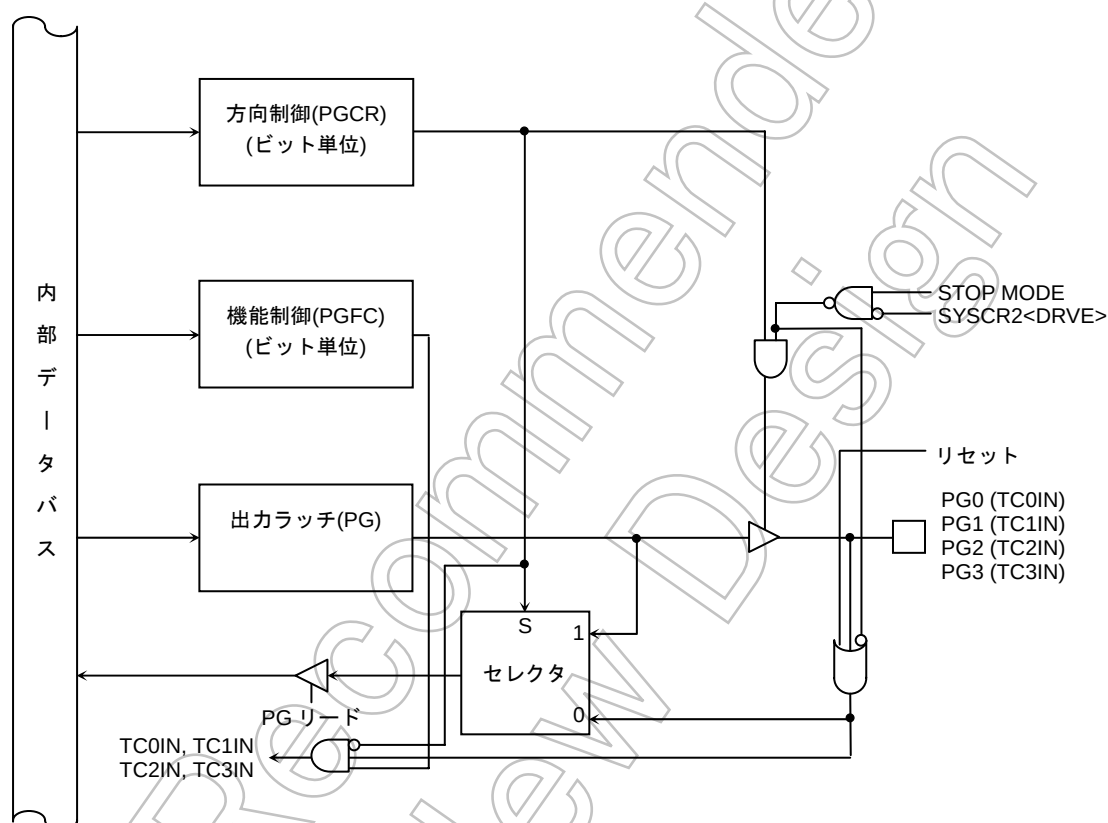


図 7.15.1 ポート G (PG0~PG3)

ポート G レジスタ

PG (0xFFFF_F061)		7	6	5	4	3	2	1	0
	Bit Symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート G コントロールレジスタ

PGCR (0xFFFF_F065)		7	6	5	4	3	2	1	0
	Bit Symbol	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート G ファンクションレジスタ

PGFC (0xFFFF_F069)		7	6	5	4	3	2	1	0
	Bit Symbol	PG7F	PG6F	PG5F	PG4F	PG3F	PG2F	PG1F	PG0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: PORT 1: TCOUT3	0: PORT 1: TCOUT2	0: PORT 1: TCOUT1	0: PORT 1: TCOUT0	0: PORT 1: TC3IN	0: PORT 1: TC2IN	0: PORT 1: TC1IN	0: PORT 1: TC0IN

機能	PGFC の該当 BIT	PGCR の該当 BIT	使用 PORT
TC0IN 入力の設定	1	0	PG0
TC1IN 入力の設定	1	0	PG1
TC2IN 入力の設定	1	0	PG2
TC3IN 入力の設定	1	0	PG3
TCOUT0 出力の設定	1	1	PG4
TCOUT1 出力の設定	1	1	PG5
TCOUT2 出力の設定	1	1	PG6
TCOUT3 出力の設定	1	1	PG7

図 7.15.2 ポート G 関係のレジスタ

7.16 ポート H (PH0~PH7)

ポート H はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PHCR によって行います。リセット動作により、PHCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PH0~PH5 は 32 ビットアウトプットコンペア出力機能があり、PHFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PHCR、PHFC は “0” にクリアされ、ポート H は入力ポートとなります。

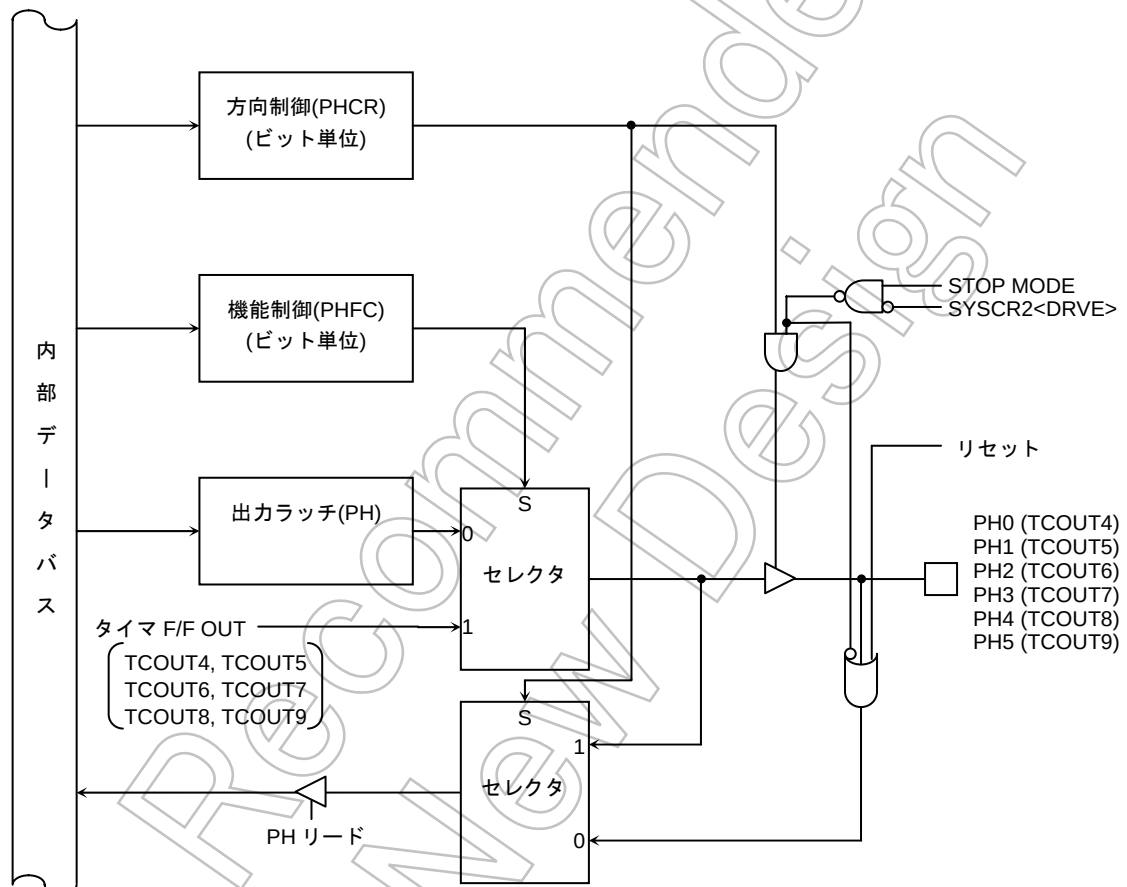


図 7.16.1 ポート H (PH0~PH5)

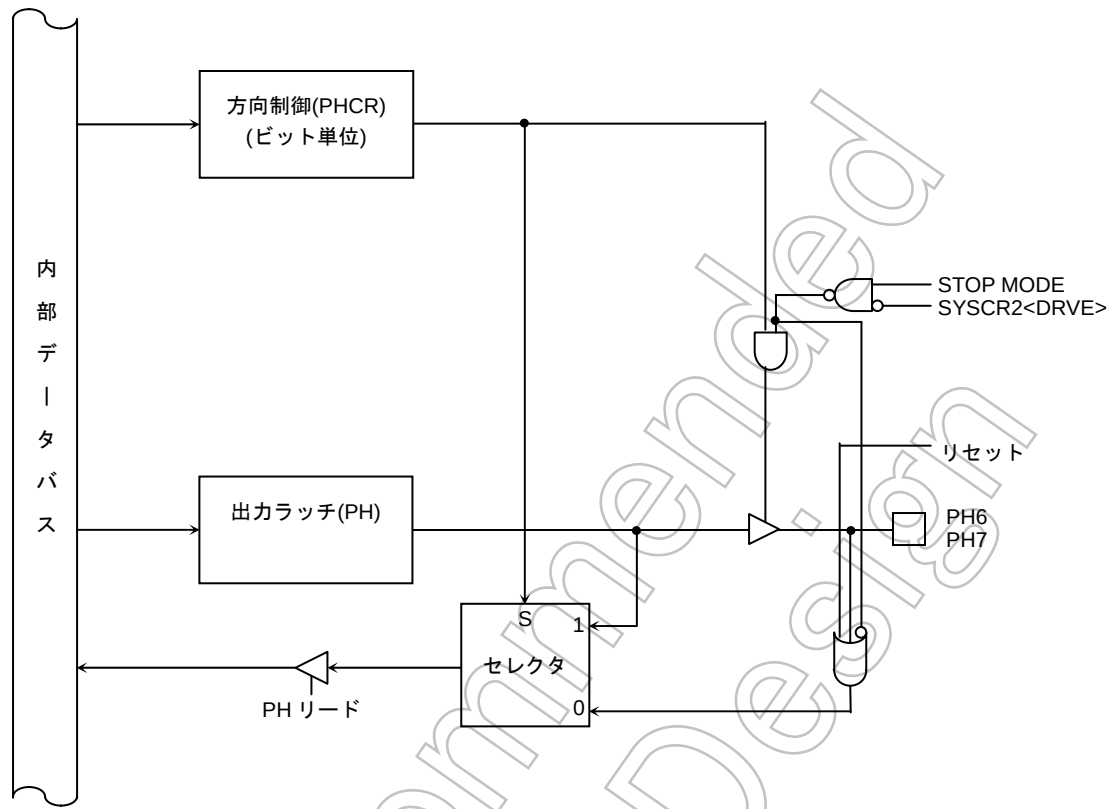


図 7.16.2 ポート H (PH6, PH7)

ポート H レジスタ

		7	6	5	4	3	2	1	0
PH	Bit Symbol	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
(0xFFFF_F062)	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート H コントロールレジスタ

		7	6	5	4	3	2	1	0
PHCR	Bit Symbol	PH7C	PH6C	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C
(0xFFFF_F066)	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート H ファンクションレジスタ

		7	6	5	4	3	2	1	0
PHFC	Bit Symbol			PH5F	PH4F	PH3F	PH2F	PH1F	PH0F
(0xFFFF_F06A)	Read/Write	R		R/W					
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: PORT	0: PORT	0: PORT 1: TCOUT9	0: PORT 1: TCOUT8	0: PORT 1: TCOUT7	0: PORT 1: TCOUT6	0: PORT 1: TCOUT5	0: PORT 1: TCOUT4

機能	PHFC の該当 BIT	PHCR の該当 BIT	使用 PORT
TCOUT4 出力の設定	1	1	PH0
TCOUT5 出力の設定	1	1	PH1
TCOUT6 出力の設定	1	1	PH2
TCOUT7 出力の設定	1	1	PH3
TCOUT8 出力の設定	1	1	PH4
TCOUT9 出力の設定	1	1	PH5

図 7.16.3 ポート H 関係のレジスタ

7.17 ポート I (PI0~PI4)

ポート1はビット単位で入出力の指定ができる5ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタPICRによって行います。リセット動作により、PICRは“0”にリセットされ入力ポートとなります。入出力ポート機能以外に、PI0～PI4は外部割り込み入力機能があり、PIFCの該当ビットを“1”に設定することによりこれらの機能が有効になります。リセット動作によりPICR、PIFCは“0”にクリアされ、ポート1は入力ポートとなります。また、PI0～PI4の外部割り込み機能はP00～P04の外部割り込み機能と兼用しています。POFCの該当ビットを割り込み機能に設定するとP00～P04の外部割り込み機能が優先されます。

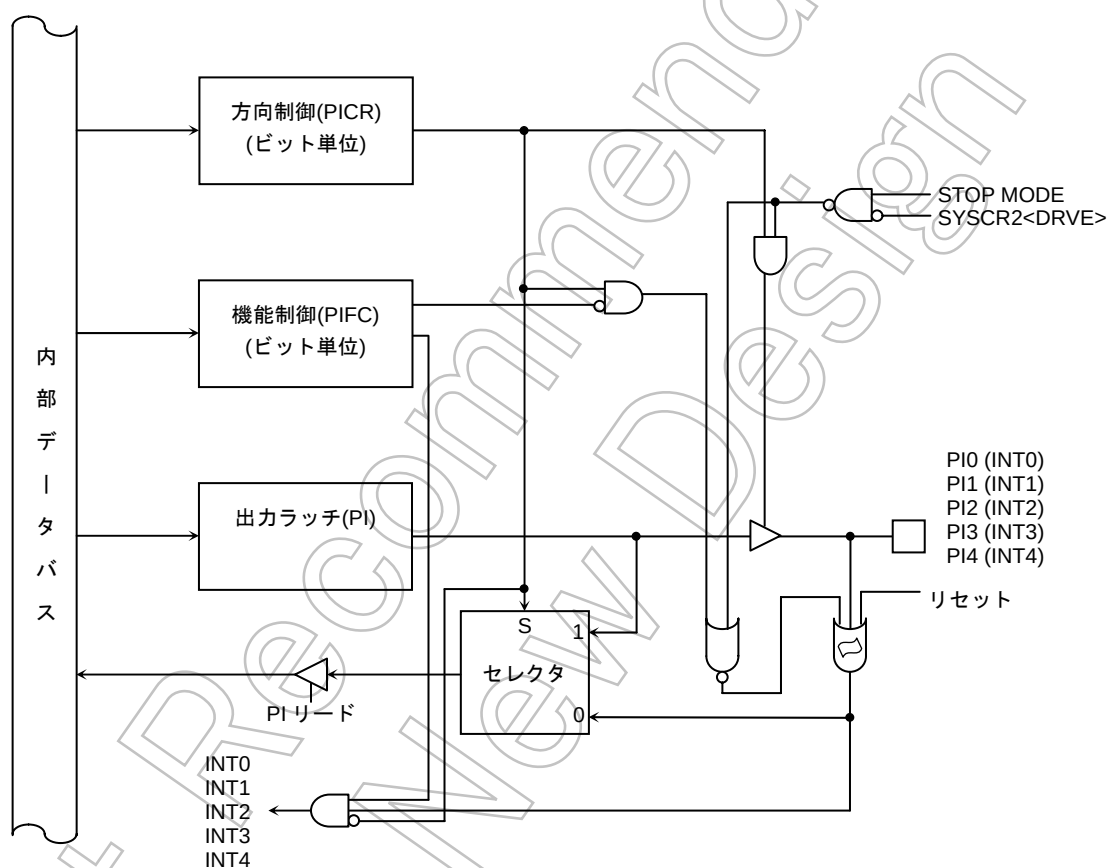


図 7.17.1 ポート I (PI0~PI4)

ポート I レジスタ

PI (0xFFFF_F063)		7	6	5	4	3	2	1	0
	Bit Symbol				PI4	PI3	PI2	PI1	PI0
	Read/Write	R			R/W				
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート I コントロールレジスタ

PICR (0xFFFF_F063)		7	6	5	4	3	2	1	0
	Bit Symbol				PI4C	PI3C	PI2C	PI1C	PI0C
	Read/Write	R			R/W				
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート I ファンクションレジスタ

PIFC (0xFFFF_F06B)		7	6	5	4	3	2	1	0
	Bit Symbol				PI4F	PI3F	PI2F	PI1F	PI0F
	Read/Write	R			R/W				
	リセット後	0	0	0	0	0	0	0	0
	機 能				0: PORT 1: INT4	0: PORT 1: INT3	0: PORT 1: INT2	0: PORT 1: INT1	0: PORT 1: INT0

機能	PIFC の該当 BIT	PICR の該当 BIT	使用 PORT
INT0 入力の設定	1 (*1)	0	PI0
INT1 入力の設定	1 (*1)	0	PI1
INT2 入力の設定	1 (*1)	0	PI2
INT3 入力の設定	1 (*1)	0	PI3
INT4 入力の設定	1 (*1)	0	PI4

(注*1) SYSCR<DRVE>=0 の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

(注) ポート I とポート 0 の外部割り込み機能は兼用しています。ポート I、ポート 0 共に設定を行なった場合、ポート 0 の外部割り込み機能が優先されます。

図 7.17.2 ポート I 関係のレジスタ

7.18 ポート J (PJ0~PJ3)

ポート J はビット単位で入出力の指定ができる 4 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PJCR によって行います。リセット動作により、PJCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PJ0/2 は DMA リクエスト信号入力機能、PJ1/3 は DMA アクノリッジ信号出力機能があり、PJFC の該当ビットを “1” に設定することにより有効になります。リセット動作により PJCR、PJFC は “0” にクリアされ、ポート J は入力ポートとなります。また、PJ0~PJ3 の DMAC 機能は PF3~PF6 の DMAC 機能と兼用しています。PFFC の該当ビットを “1” に設定すると PF0~PF3 の DMAC 機能が優先されます。

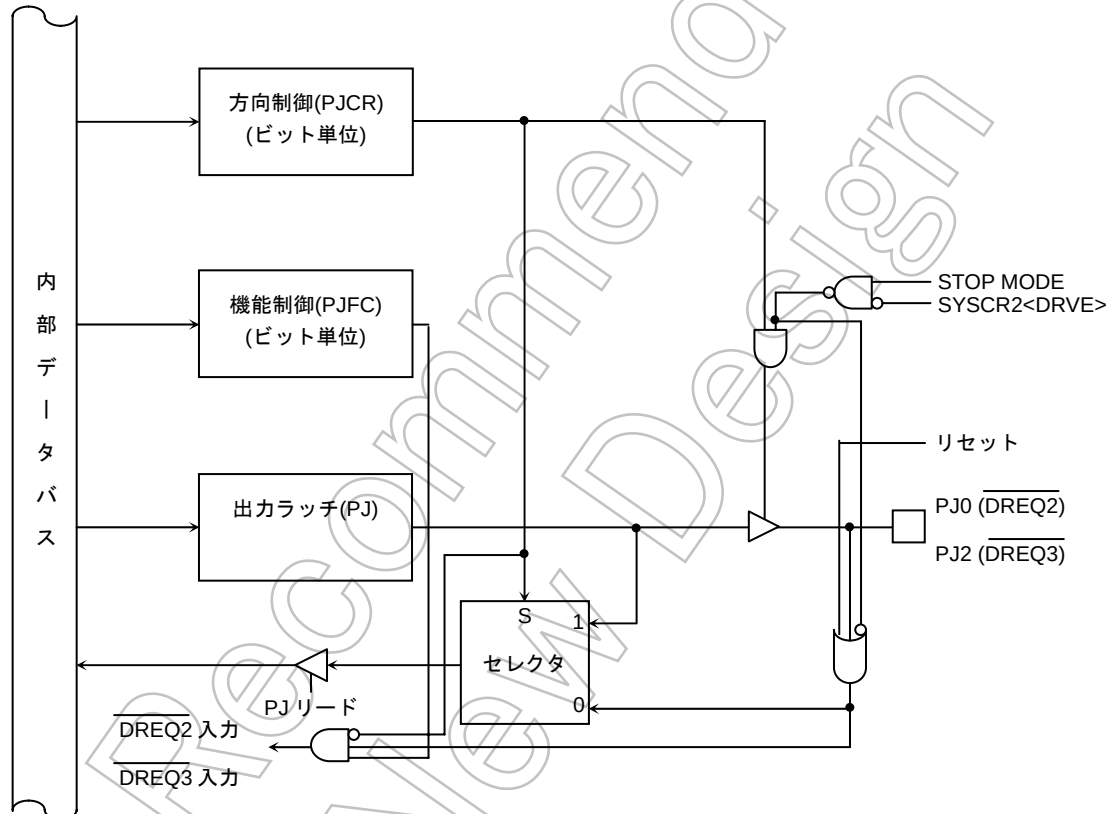


図 7.18.1 ポート J (PJ0, PJ2)

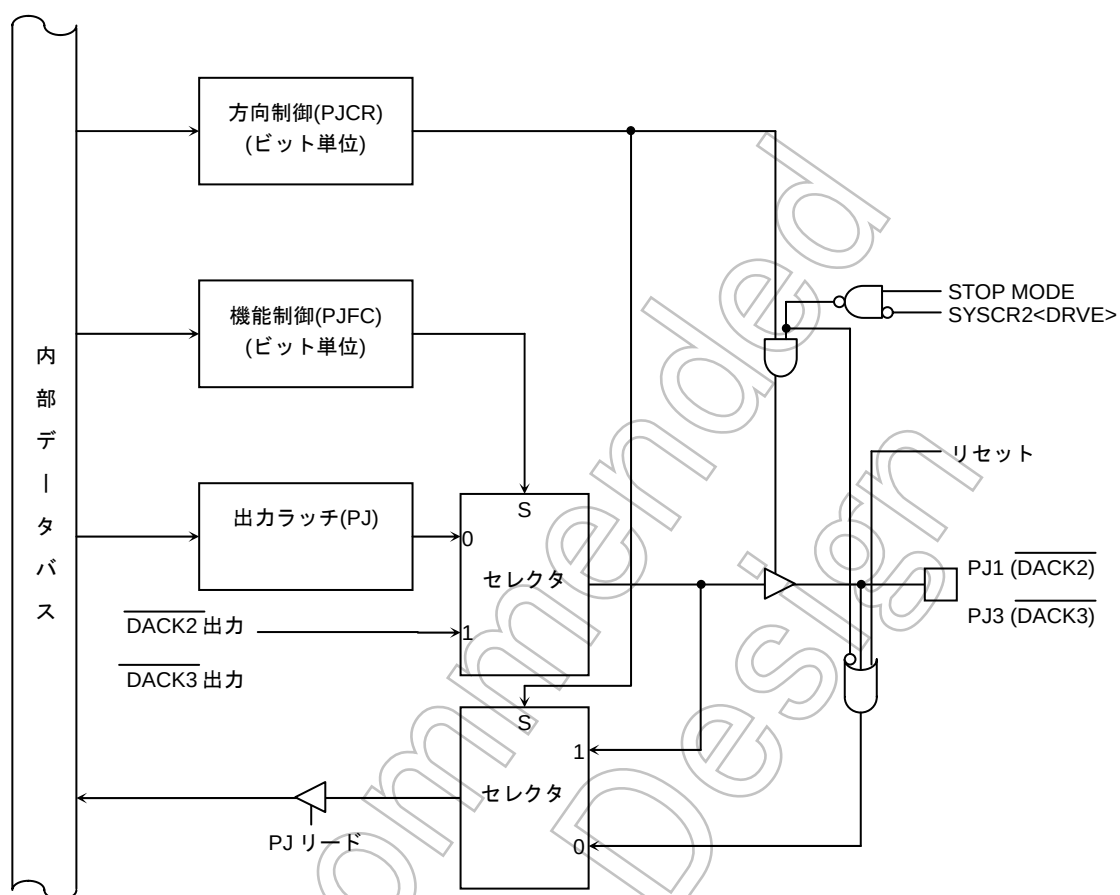


図 7.18.2 ポート J (PJ1, PJ3)

ポート J レジスタ

PJ (0xFFFF_F070)		7	6	5	4	3	2	1	0
	Bit Symbol					PJ3	PJ2	PJ1	PJ0
	Read/Write	R				R/W			
	リセット後	入力モード(出カラッチレジスタは"1"にセット)							

ポート J コントロールレジスタ

PJCR (0xFFFF_F074)		7	6	5	4	3	2	1	0
	Bit Symbol					PJ3C	PJ2C	PJ1C	PJ0C
	Read/Write	R				R/W			
	リセット後	0	0	0	0	0	0	0	0
	機 能					0: 入力 1: 出力			

ポート J ファンクションレジスタ

PJFC (0xFFFF_F078)		7	6	5	4	3	2	1	0
	Bit Symbol					PJ3F	PJ2F	PJ1F	PJ0F
	Read/Write	R				R/W			
	リセット後	0	0	0	0	0	0	0	0
	機 能					0: PORT 1: DACK3	0: PORT 1: DREQ3	0: PORT 1: DACK2	0: PORT 1: DREQ2

機能	PJFC の該当 BIT	PJCR の該当 BIT	使用 PORT
DREQ2 入力の設定	1	0	PJ0
DACK2 出力の設定	1	1	PJ1
DREQ3 入力の設定	1	0	PJ2
DACK3 出力の設定	1	1	PJ3

(注) ポート F とポート J の DMAC 機能は兼用しています。ポート F、ポート J 共に設定を行なった場合、ポート F の DMAC 機能が優先されます。

図 7.18.3 ポート J 関係のレジスタ

7.19 ポート K (PK0~PK7)

ポート K はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PKCR によって行います。リセット動作により、PKCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PK0~PK7 は KEY 入力機能があり、PKFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PKCR、PKFC は “0” にクリアされ、ポート K は入力ポートとなります。

また、ポート K0~K7 にプルアップ抵抗機能がありますが、KEY ON WAKE UP 回路の KUPPUP<KEYPUPn>を 1 に設定して、なおかつ KWUPSTn により KEY 入力許可と設定されている時のみ有効となります。詳しくは KEY ON WAKE UP の項を参照ください。ポート機能時にはプルアップ機能は動作しません。

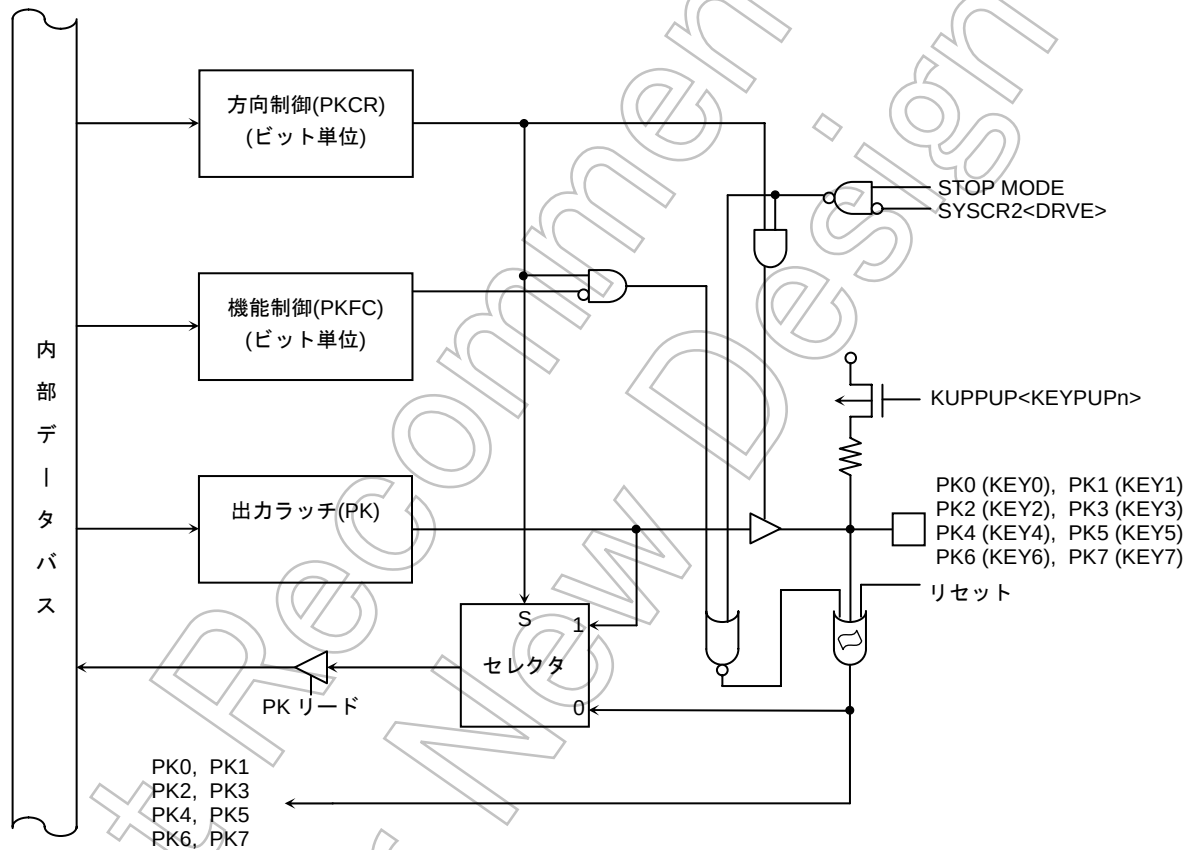


図 7.19.1 ポート K (PK0~PK7)

ポート K レジスタ

PK (0xFFFF_F071)		7	6	5	4	3	2	1	0
	Bit Symbol	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート K コントロールレジスタ

PKCR (0xFFFF_F075)		7	6	5	4	3	2	1	0
	Bit Symbol	PK7C	PK6C	PK5C	PK4C	PK3C	PK2C	PK1C	PK0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート K ファンクションレジスタ

PKFC (0xFFFF_F079)		7	6	5	4	3	2	1	0
	Bit Symbol	PK7F	PK6F	PK5F	PK4F	PK3F	PK2F	PK1F	PK0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: PORT 1: KEY7	0: PORT 1: KEY6	0: PORT 1: KEY5	0: PORT 1: KEY4	0: PORT 1: KEY3	0: PORT 1: KEY2	0: PORT 1: KEY1	0: PORT 1: KEY0

機能	PKFC の該当 BIT	PKCR の該当 BIT	使用 PORT
KEY0 入力の設定	1	0	PK0
KEY1 入力の設定	1	0	PK1
KEY2 入力の設定	1	0	PK2
KEY3 入力の設定	1	0	PK3
KEY4 入力の設定	1	0	PK4
KEY5 入力の設定	1	0	PK5
KEY6 入力の設定	1	0	PK6
KEY7 入力の設定	1	0	PK7

(* 1) SYSCR<DRVE>=0 の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

図 7.19.2 ポート K 関係のレジスタ

7.20 ポート L (PL0~PL7)

ポート L はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PLCR によって行います。リセット動作により、PLCR は “0” にリセットされ、入力ポートとなります。

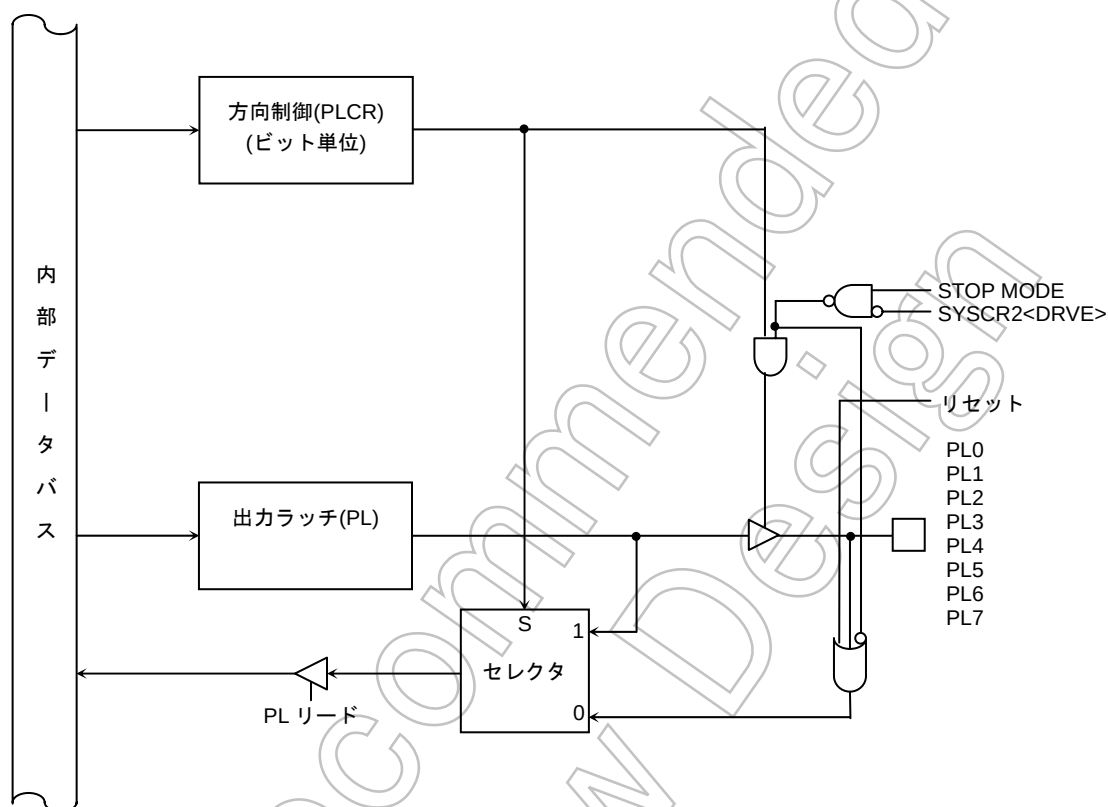


図 7.20.1 ポート L (PL0~PL7)

ポートLレジスタ

		7	6	5	4	3	2	1	0
PL (0xFFFF_F0C0)	Bit Symbol	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	Read/Write	R/W							
	リセット後	入力モード(出カラッチレジスタは"1"にセット)							

ポートLコントロールレジスタ

PLCR (0xFFFF_F0C4)		7	6	5	4	3	2	1	0
	Bit Symbol	PL7C	PL6C	PL5C	PL4C	PL3C	PL2C	PL1C	PL0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート M レジスタ

		7	6	5	4	3	2	1	0
PM	Bit Symbol	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0
(0xFFFF_F0C1)	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート M コントロールレジスタ

		7	6	5	4	3	2	1	0
PMCR	Bit Symbol	PM7C	PM6C	PM5C	PM4C	PM3C	PM2C	PM1C	PM0C
(0xFFFF_F0C5)	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

7.22 ポート N (PN0～PN7)

ポート N はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PNCR によって行います。リセット動作により、PNCR は “0” にリセットされ、入力ポートとなります。

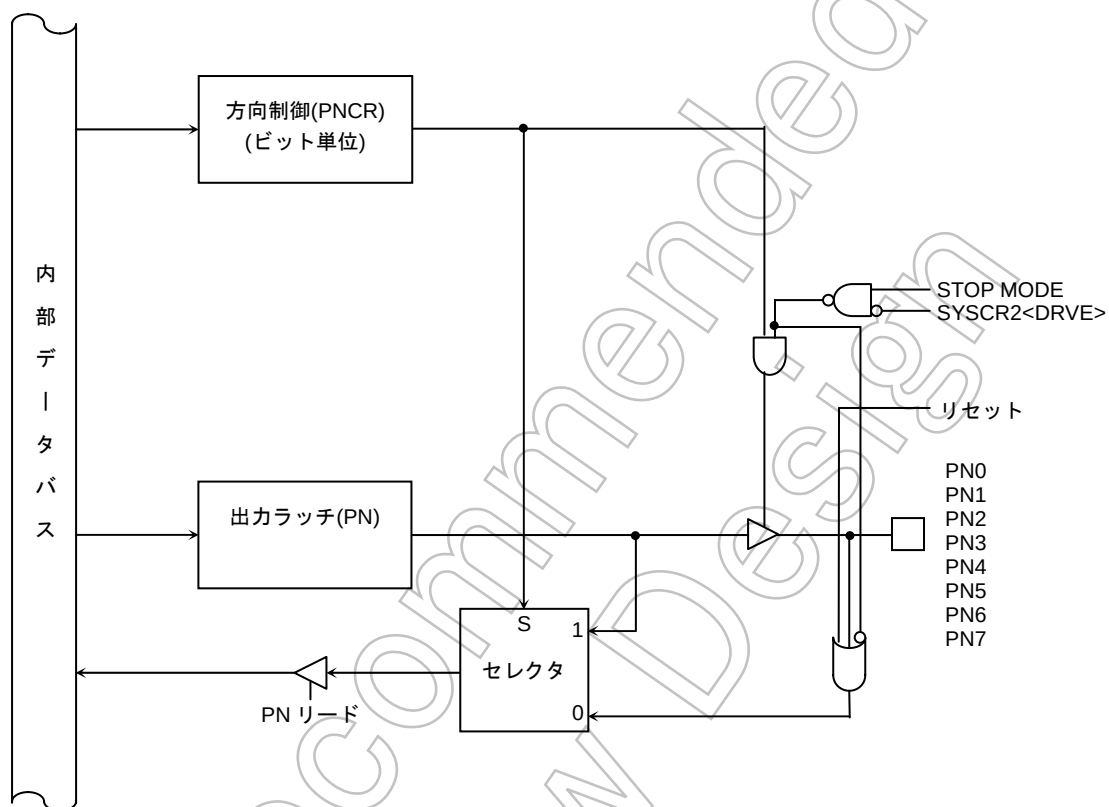


図 7.22.1 ポート N (PN0～PN7)

ポート N レジスタ

PN (0xFFFF_F0C2)		7	6	5	4	3	2	1	0
	Bit Symbol	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート N コントロールレジスタ

PNCR (0xFFFF_F0C6)		7	6	5	4	3	2	1	0
	Bit Symbol	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

7.23 ポート 0 (P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ POCR によって行います。入出力ポート機能以外に、P00~P04 は外部割り込み入力機能があり、POFC の該当ビットを“1”に設定することによりこれらの機能が有効になります。リセット動作により POCR、POFC は“0”にクリアされ、ポート 0 は入力ポートとなります。また、P00~P04 の外部割り込み機能は PI0~PI4 の外部割り込み機能と兼用しています。POFC の該当ビットを割り込み機能に設定すると P00~P04 の外部割り込み機能が優先されます。

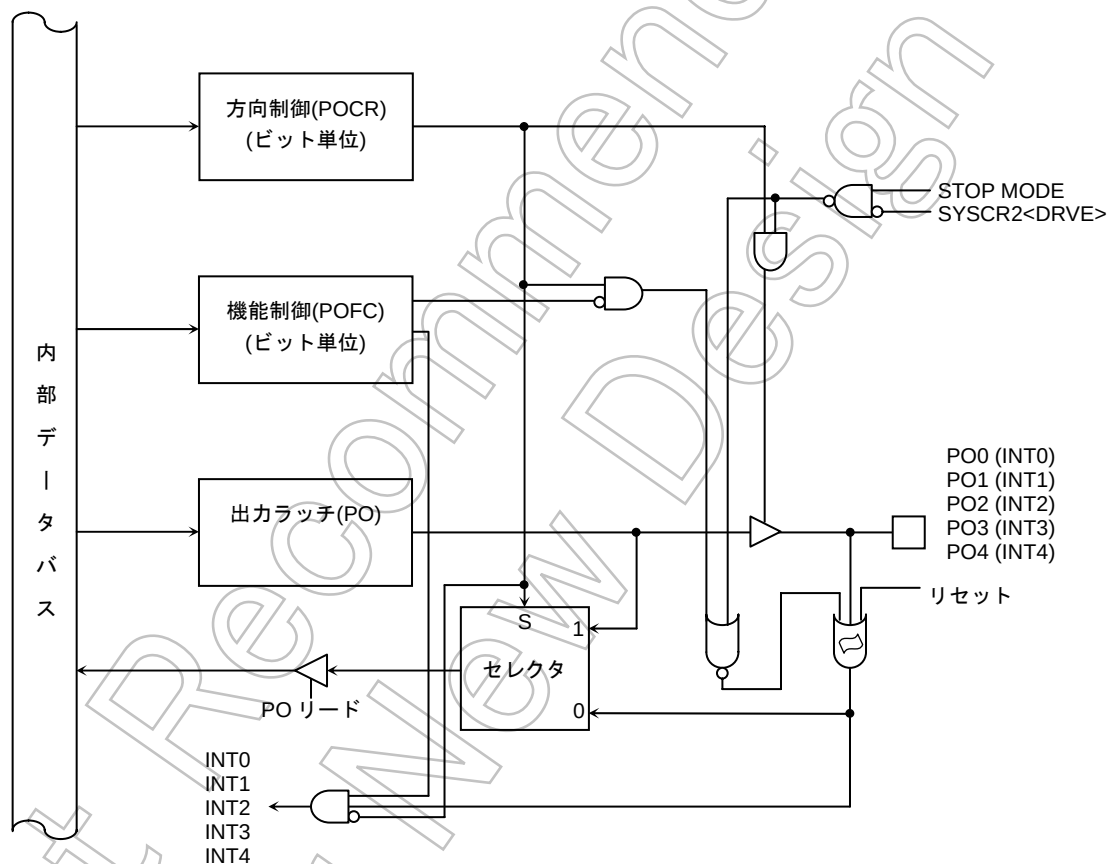


図 7.23.1 ポート 0 (P00~P04)

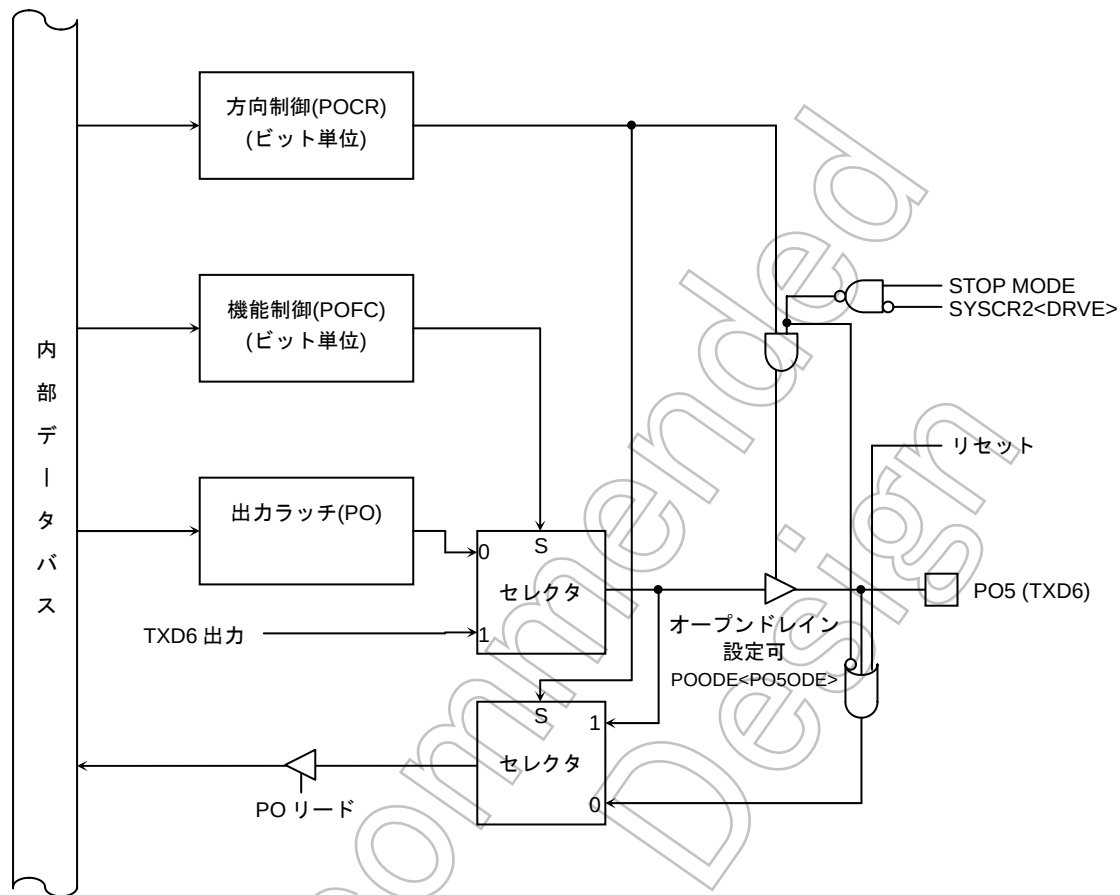


図 7.23.2 ポート 0 (P05)

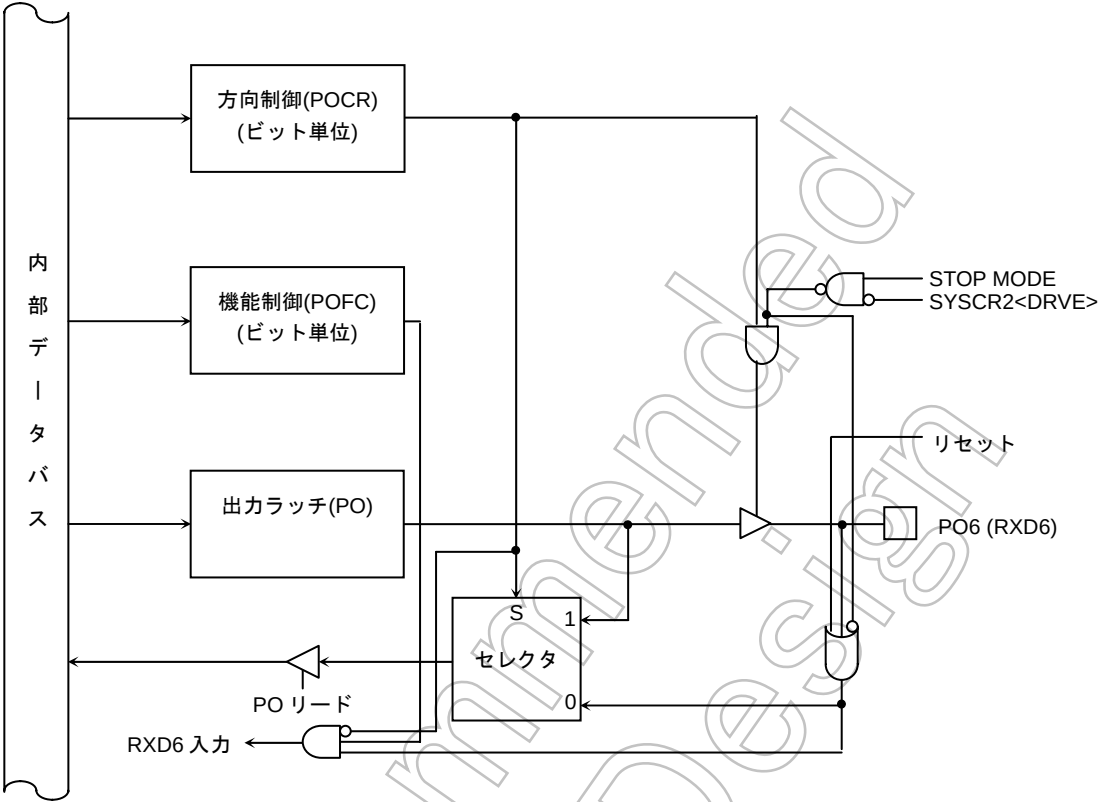


図 7.23.3 ポート 0 (P06)

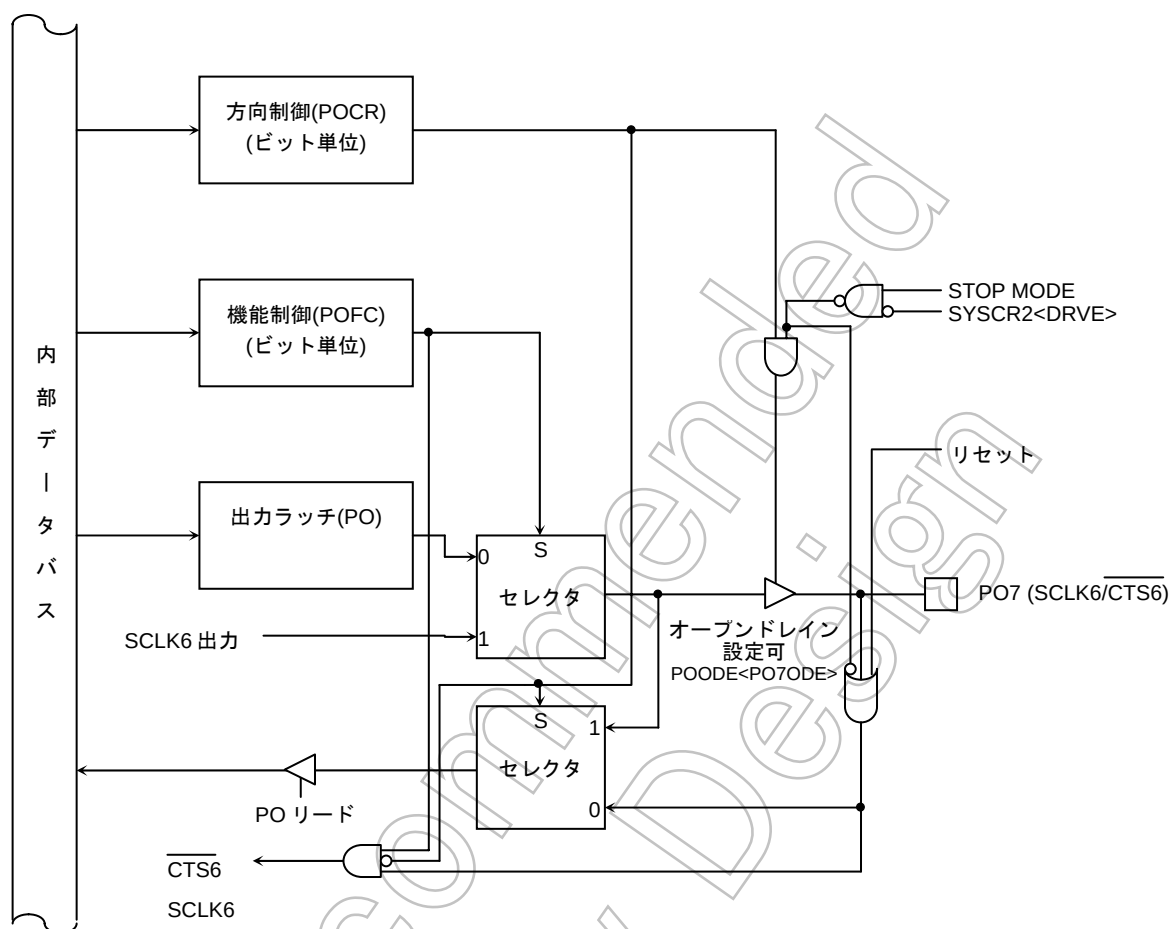


図 7.23.4 ポート 0 (P07)

ポート 0 レジスタ

PO (0xFFFF_F0C3)		7	6	5	4	3	2	1	0
	Bit Symbol	PO7	PO6	PO5	PO4	PO3	PO2	PO1	PO0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート 0 コントロールレジスタ

POCR (0xFFFF_F0C7)		7	6	5	4	3	2	1	0
	Bit Symbol	PO7C	PO6C	PO5C	PO4C	PO3C	PO2C	PO1C	PO0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート 0 ファンクションレジスタ

POFC (0xFFFF_F0CB)		7	6	5	4	3	2	1	0
	Bit Symbol				PO4F	PO3F	PO2F	PO1F	PO0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: PORT 1: SCLK6 CTS6	0: PORT 1: RXD6	0: PORT 1: TXD6	0: PORT 1: INT4	0: PORT 1: INT3	0: PORT 1: INT2	0: PORT 1: INT1	0: PORT 1: INT0

ポート 0 オープンドレイン制御レジスタ

POODE (0xFFFF_F0CF)		7	6	5	4	3	2	1	0
	Bit Symbol	PO7ODE		PO5ODE					
	Read/Write	R/W	R	R/W	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: CMOS 1: オープン ドレイン	0: CMOS	0: CMOS 1: オープン ドレイン	0: CMOS	0: CMOS	0: CMOS	0: CMOS	0: CMOS

機能	POFC 該当 BIT	POCR の該当 BIT	使用 PORT
INT0 入力設定	1(*1)	0	P00
INT1 入力設定	1(*1)	0	P01
INT2 入力設定	1(*1)	0	P02
INT3 入力設定	1(*1)	0	P03
INT4 入力設定	1(*1)	0	P04
TXD6 出力設定	1	1	P05
RTD6 入力設定	1	0	P06
SCLK6 出力設定	1	1	P07
SCLK6 入力設定	1	0	
CTS6 入力設定	1	0	

(*1) SYSCR<DRVE>=0 の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

(注) ポート 1 とポート 0 の外部割り込み機能は兼用しています。ポート 1、ポート 0 共に設定を行なった場合、ポート 0 の外部割り込み機能が優先されます。

図 7.23.5 ポート 0 関係のレジスタ

7.24 ポート P (PP0~PP7)

ポート P はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PPCR によって行います。入出力ポート機能以外に、PP0~PP7 は EJTAG 用信号出力機能があり、EJTAG デバッグレベル、及び PPFC の該当ビットの組合せで、これらの機能が有効になります。リセット動作により PPCR、PPFC は“0”にクリアされ、ポート P は入力ポートとなります。

デバッグ時に DSU-ICE を使用する場合、ポート P は EJTAG 用信号を出力します。よって、ポート P を入出力ポートとして使用されないことを推奨します。

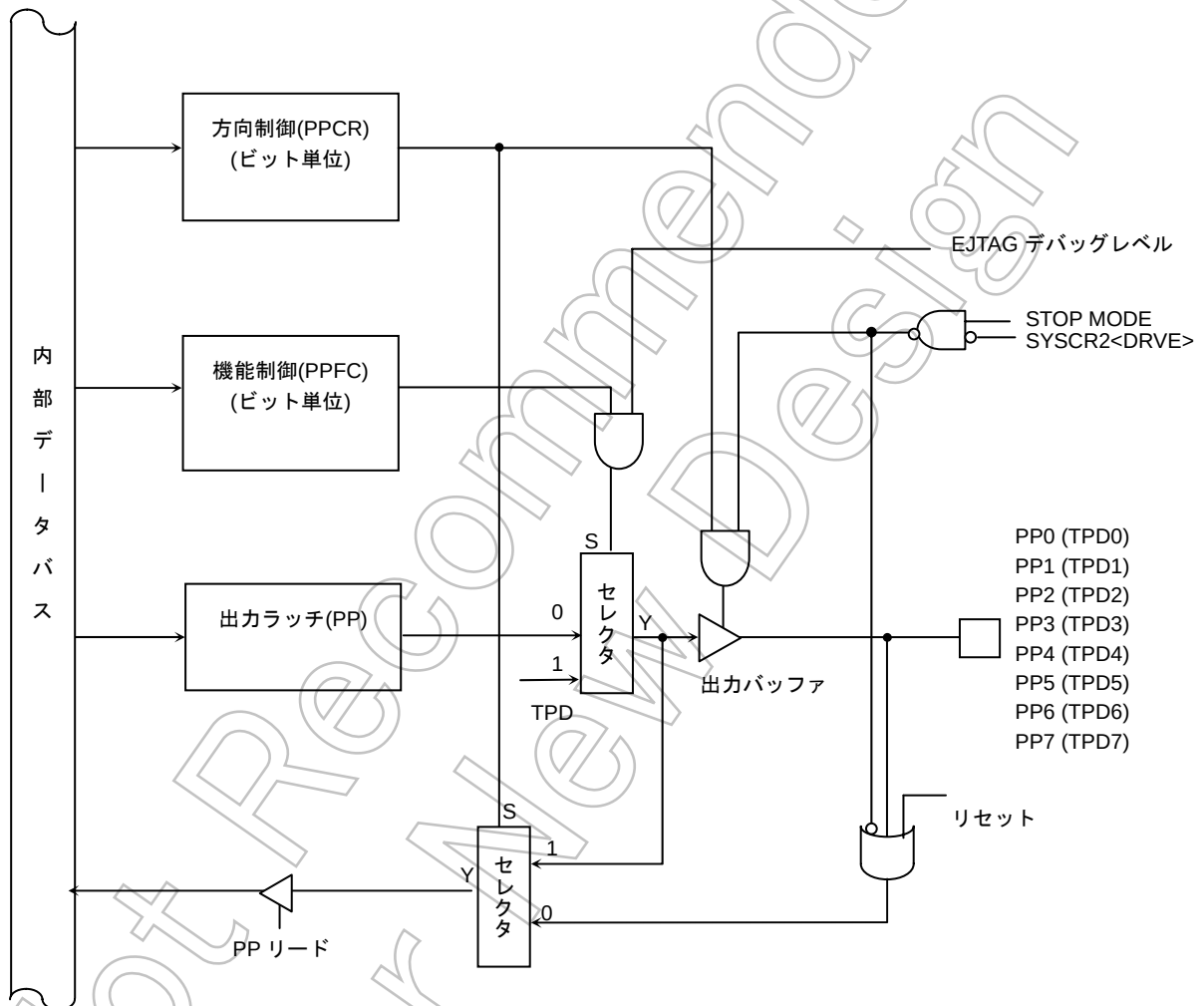


図 7.24.1 ポート P (PP0~PP7)

(注) 上記システム図はデバッグ機能に関しては表現していません。

ポート P レジスタ

PP (0xFFFF_F0D0)		7	6	5	4	3	2	1	0
	Bit Symbol	PP7	PP6	PP5	PP4	PP3	PP2	PP1	PP0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート P コントロールレジスタ

PPCR (0xFFFF_F0D4)		7	6	5	4	3	2	1	0
	Bit Symbol	PP7C	PP6C	PP5C	PP4C	PP3C	PP2C	PP1C	PP0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

ポート P ファンクションレジスタ

PPFC (0xFFFF_F0D8)		7	6	5	4	3	2	1	0
	Bit Symbol	PP7F	PP6F	PP5F	PP4F	PP3F	PP2F	PP1F	PP0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0:PORT 1:TPD7/TPC7	0:PORT 1:TPD6/TPC6	0:PORT 1:TPD5/TPC5	0:PORT 1:TPD4/TPC4	0:PORT 1:TPD3/TPC3	0:PORT 1:TPD2/TPC2	0:PORT 1:TPD1/TPC1	0:PORT 1:TPD0/TPC0

図 7.24.2 ポート P 関係のレジスタ

注) ポート P/ポート Q を EJTAG 用出力信号として使用する場合、ツール上で設定します。
PPFC レジスタの設定は必ずバイト単位で設定して下さい。

	レベル 0	レベル 1	レベル 2		レベル 3
			PPFC=#FF	PPFC≠#FF	
PORT P	PORT	PORT	TPD	PORT	TPD
PORT Q	PORT	TPC	PORT	TPD	TPC

図 7.24.3 デバッグレベルによるポート P, Q の機能

注) デバッグレベルなどの機能詳細は、DSU プローブ取り扱い説明書を参照して下さい。

7.25 ポート Q (PQ0~PQ7)

ポート Q はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PQCR によって行います。入出力ポート機能以外に、PQ0～PQ7 は EJTAG 用信号出力機能があり、EJTAG デバッグレベル、及び PPFC の該当ビットの組合せで、これらの機能が有効になります。リセット動作により PQCR、PPFC は“0”にクリアされ、ポート Q は入力ポートとなります。

デバッグ時に DSU-ICE を使用する場合、ポート Q は EJTAG 用信号を出力します。よって、ポート Q を入出力ポートとして使用されないことを推奨します。

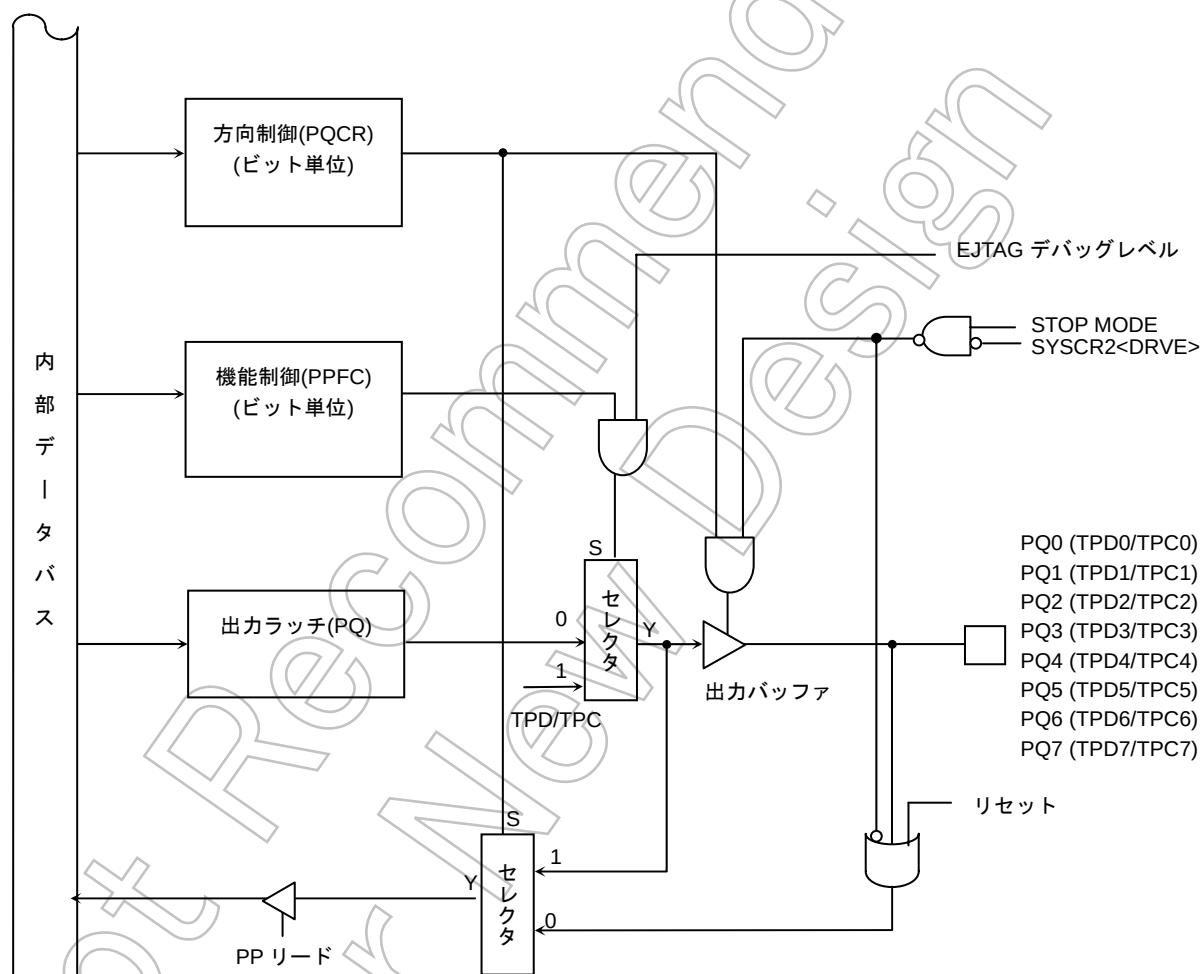


図 7.25.1 ポート Q (PQ0~PQ7)

(注) 上記システム図はデバッグ機能に関しては表現していません。

ポート Q レジスタ

PQ (0xFFFF_F0D1)		7	6	5	4	3	2	1	0
	Bit Symbol	PQ7	PQ6	PQ5	PQ4	PQ3	PQ2	PQ1	PQ0
	Read/Write	R/W							
	リセット後	入力モード(出力ラッチレジスタは"1"にセット)							

ポート Q コントロールレジスタ

PQCR (0xFFFF_F0D5)		7	6	5	4	3	2	1	0
	Bit Symbol	PQ7C	PQ6C	PQ5C	PQ4C	PQ3C	PQ2C	PQ1C	PQ0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	0: 入力 1: 出力							

図 7.25.2 ポート Q 関係のレジスタ

8. 外部バスインタフェース

TMP19A64 は、外部にメモリや I/Oなどを接続するための外部バスインタフェース機能を内蔵しています。外部バスインタフェース回路 (EBIF) と CS (チップセレクト)/ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 6 ブロックアドレス空間のマッピングアドレスの指定と、この 6 ブロックアドレス空間およびそれ以外の外部アドレス空間に対して、ウェイトおよびデータバス幅 (8 ビットか 16 ビット) を制御します。

外部バスインタフェース回路 (EBIF) は、CS/ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。ダイナミックバスサイジングや外部バスマスタとの間のバス裁停も EBIF が制御します。

●外部バスモード

アドレス、データセパレートバスモードまたはマルチプレクスモードの選択が可能

●ウェイト機能

各ブロックにて設定可能

- 最大 7 クロックまでのウェイトを自動挿入可能
- WAIT/RDY 端子によるウェイト挿入可能

●データバス幅

各ブロックにて 8 ビットか 16 ビットを設定可能

●リカバリサイクル (リード時/ライト時)

外部バスサイクルが連続するときに最大 2 クロックまでのダミーサイクルを挿入可能

各ブロックにて設定可能

●リカバリサイクル (チップセレクト)

外部バスをセレクトしているときに最大 1 クロックのダミーサイクルを挿入可能

各ブロックにて設定可能

●バス裁定機能

8.1 アドレス、データ端子

(1) アドレス、データ端子の設定

TMP19A64 はセパレートバスまたはマルチプレクスバスの設定が可能です。リセット時に BUSMD 端子を "L" レベルにすることでセパレートバスモードに、"H" レベルにすることで、マルチプレクスバスモードになります。外部デバイス（メモリ）接続のためにポート 0、ポート 1、ポート 2、ポート 5、ポート 6 端子がアドレスバス、データバス、アドレス・データバスになります。バスモードとアドレス、データ端子の関係を表 8.1 に示します。

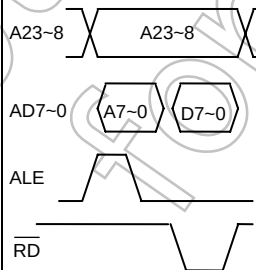
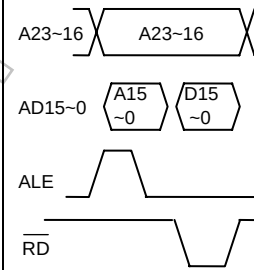
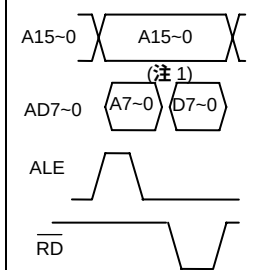
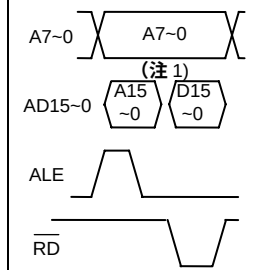
表 8.1.1 バスモードとアドレス、データ端子の関係

	セパレート BUSMD="L"	マルチプレクス BUSMD="H"
ポート 0 (P00~P07)	D0~D7	AD0~AD7
ポート 1 (P10~P17)	D8~D15	AD8~AD15 / A8~A15
ポート 2 (P20~P27)	A16~A23	A0~A7 / A16~A23
ポート 5 (P50~P57)	A0~A7	汎用ポート
ポート 6 (P60~P67)	A8~A15	汎用ポート
ポート 37 (P37)	汎用ポート	ALE

各ポートはリセット後、入力ポートとなっています。外部デバイスにアクセスする場合には、ポートコントロールレジスタ (PnCR)、ポートファンクションレジスタ (PnFC) によりアドレスバス、データバスの機能に設定してください。

マルチプレクスモード時には、ポートレジスタ (PnCR、PnFC) の設定により表 8.1.2 のように 4 通りの選択ができます。

表 8.1.2 マルチプレクスモード時のアドレス、データ端子の関係

		①	②	③	④
アドレスバス本数		max. 24 (~16MB)	max. 24 (~16MB)	max. 16 (~64KB)	max. 8 (~256B)
データバス本数		8	16	8	16
アドレス、データマルチプレクス本数		8	16	0	0
ポート機能	ポート 0	AD0~AD7	AD0~AD7	AD0~AD7	AD0~AD7
	ポート 1	A8~A15	AD8~AD15	A8~A15	AD8~AD15
	ポート 2	A16~A23	A16~A23	A0~A7	A0~A7
タイミング図					

(注 1): ③, ④の場合でもデータバス端子はアドレスバスと兼用となるためアドレスが出力されます。

(注 2): ポート 0~2 はリセット後、入力ポートとなっておりアドレス、データバス端子ではありません。

(注 3): P1CR、P1FC、P2CR、P2FC レジスタの設定により①~④のどれでも選択できます。

(2) 内部領域アクセス時のアドレス HOLD

内部領域アクセス時は、アドレスバスは以前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

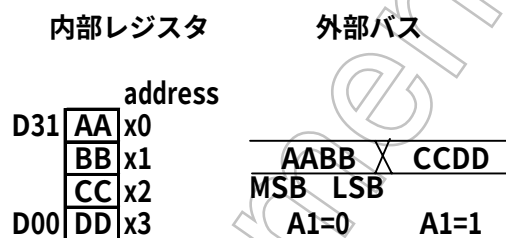
8.2 データ・フォーマット

TMP19A64 の内部レジスタと外部バスインタフェースとの関係を説明します。

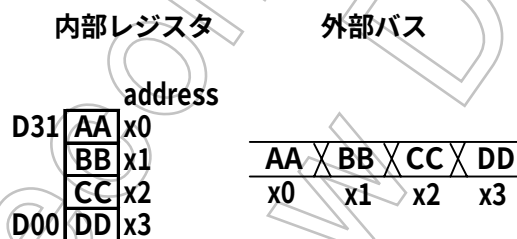
(1) ビッグエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

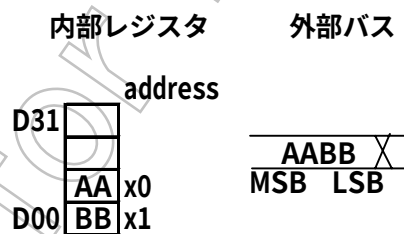


- 8 ビットバス幅の時



② ハーフワードアクセス

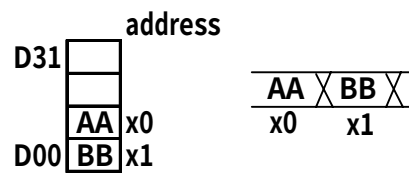
- 16 ビットバス幅の時



- 8 ビットバス幅の時

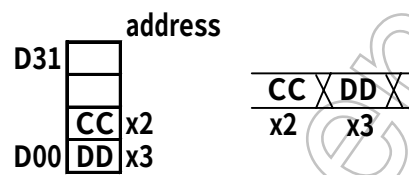
内部レジスタ

外部バス



内部レジスタ

外部バス

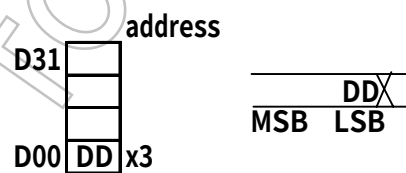
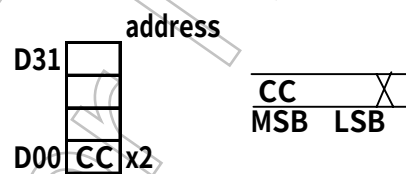


③ バイトアクセス

- 16 ビットバス幅の時

内部レジスタ

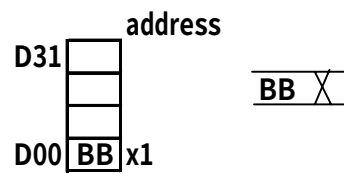
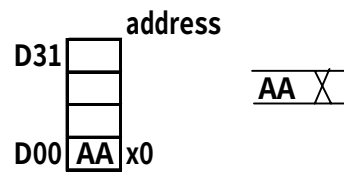
外部バス



- 8ビットバス幅の時

内部レジスタ

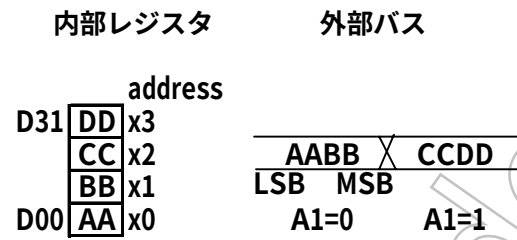
外部バス



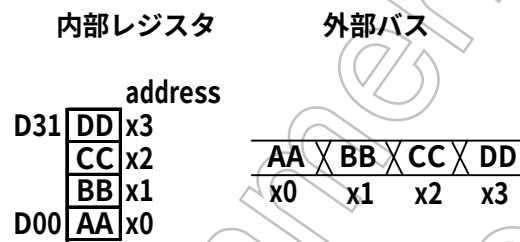
(2) リトルエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

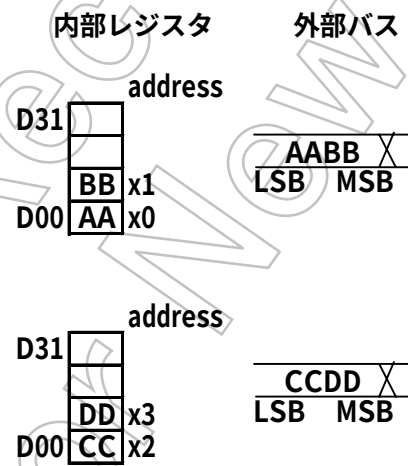


- 8 ビットバス幅の時



② ハーフワードアクセス

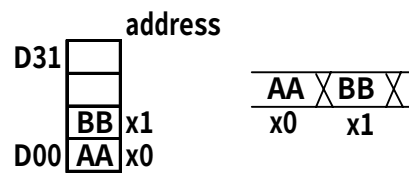
- 16 ビットバス幅の時



- 8ビットバス幅の時

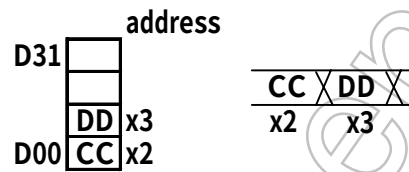
内部レジスタ

外部バス



内部レジスタ

外部バス

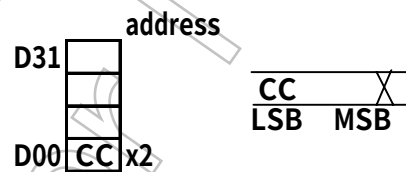


③ バイトアクセス

- 16ビットバス幅の時

内部レジスタ

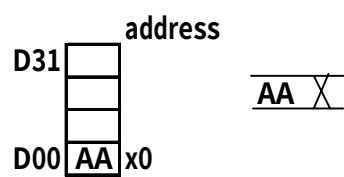
外部バス



- 8ビットバス幅の時

内部レジスタ

外部バス



8.3 外部バスオペレーション（セパレートバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23~A0, D15~D0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP19A64 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8.3.1 にリードバスタイミングを、図 8.3.2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり、 $\overline{RD}$ 、 $\overline{WR}$ などの制御信号もアクティブになりません。

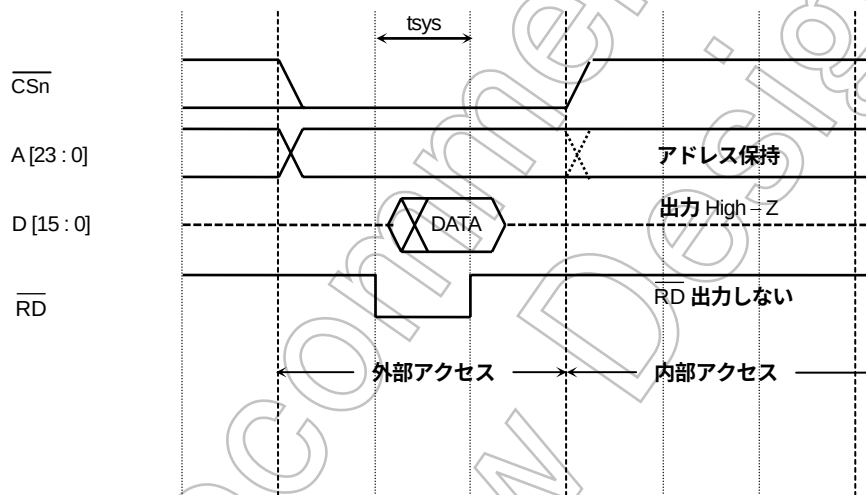


図 8.3.1 リードオペレーションタイミング図

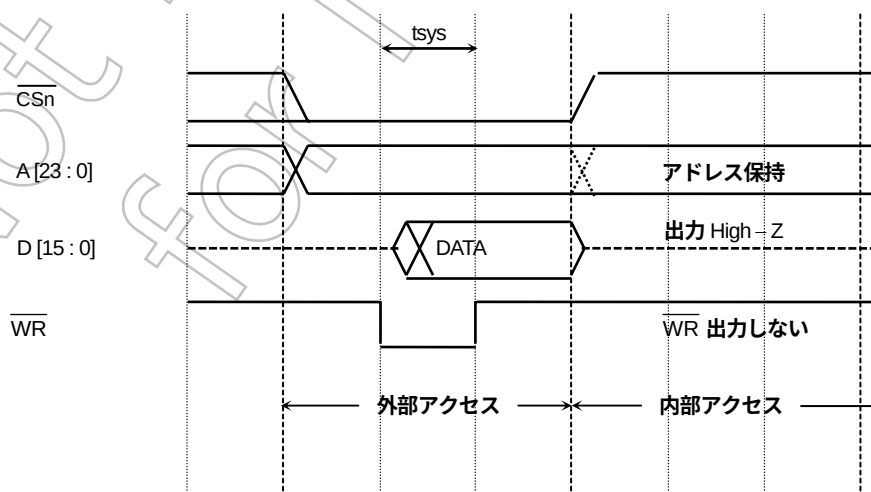


図 8.3.2 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/ウェイトコントローラにより各ブロックにウェイトサイクルを挿入することができます。

挿入できるウェイトには次の3種類があります。

- ① 最大7クロックまでの自動ウェイト挿入
- ② WAIT 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ $2N$ ：外部ウェイト挿入数)
- ③ RDY 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ $2N$ ：外部ウェイト挿入数)

自動ウェイト数、外部ウェイト入力の設定はCS/ウェイトコントロールレジスタ BmnCS<BnW>で設定します。

図 8.3.3～図 8.3.10 にウェイトを挿入したタイミング図を示します。

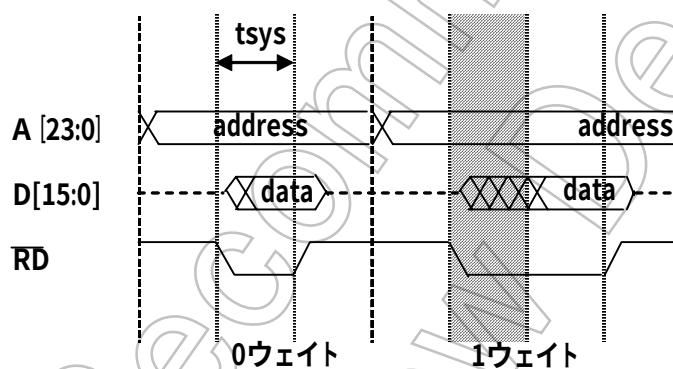


図 8.3.3 リードオペレーションタイミング図 (0 ウェイトおよび自動 1 ウェイト)

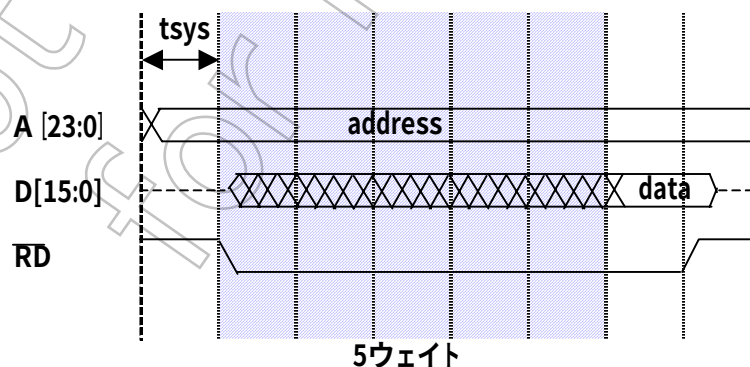


図 8.3.4 リードオペレーションタイミング図 (自動 5 ウェイト)

図 8.3.5 にセパレートバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

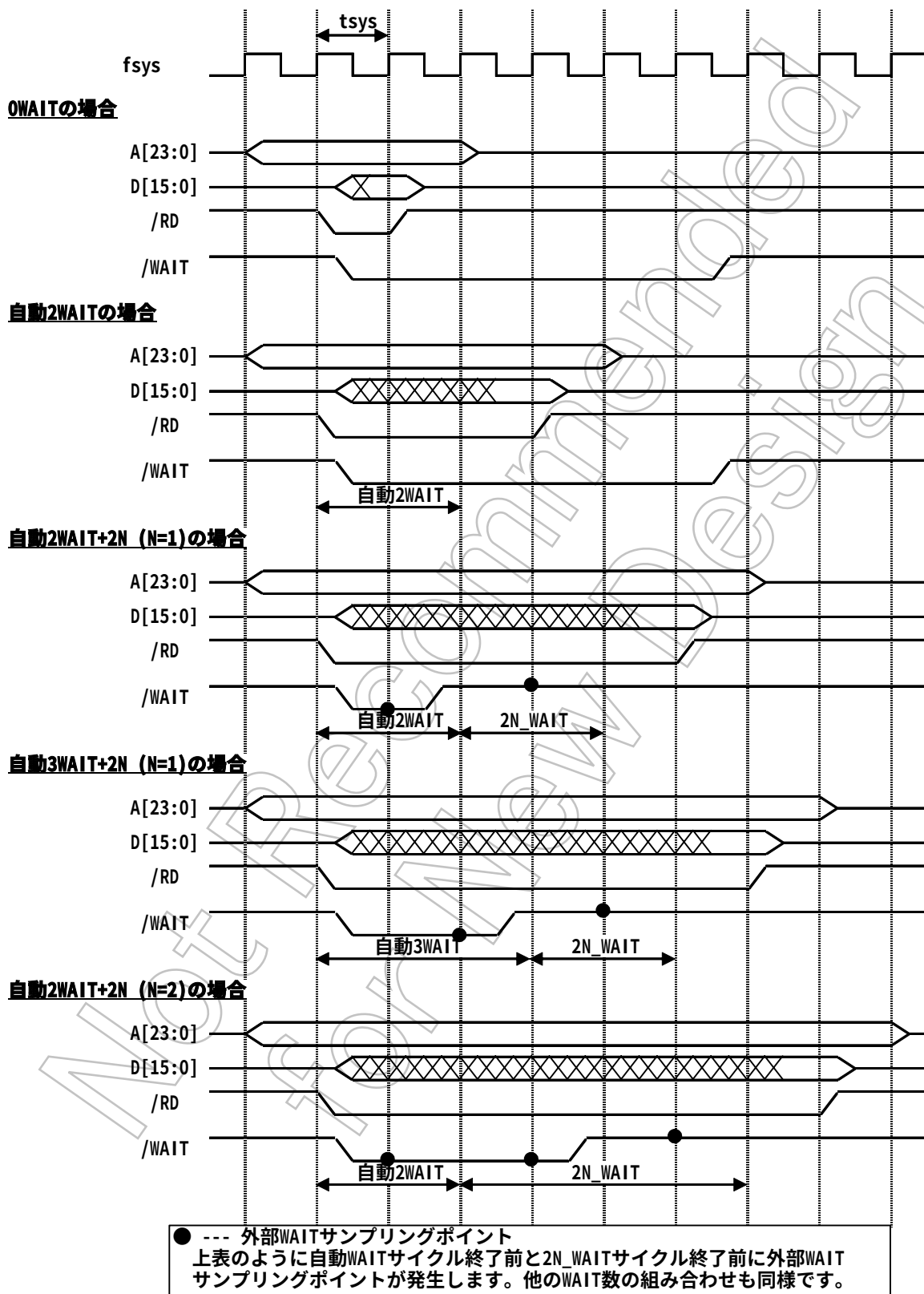


図 8.3.5 リードオペレーションタイミング図

図 8.3.6 にセパレートバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

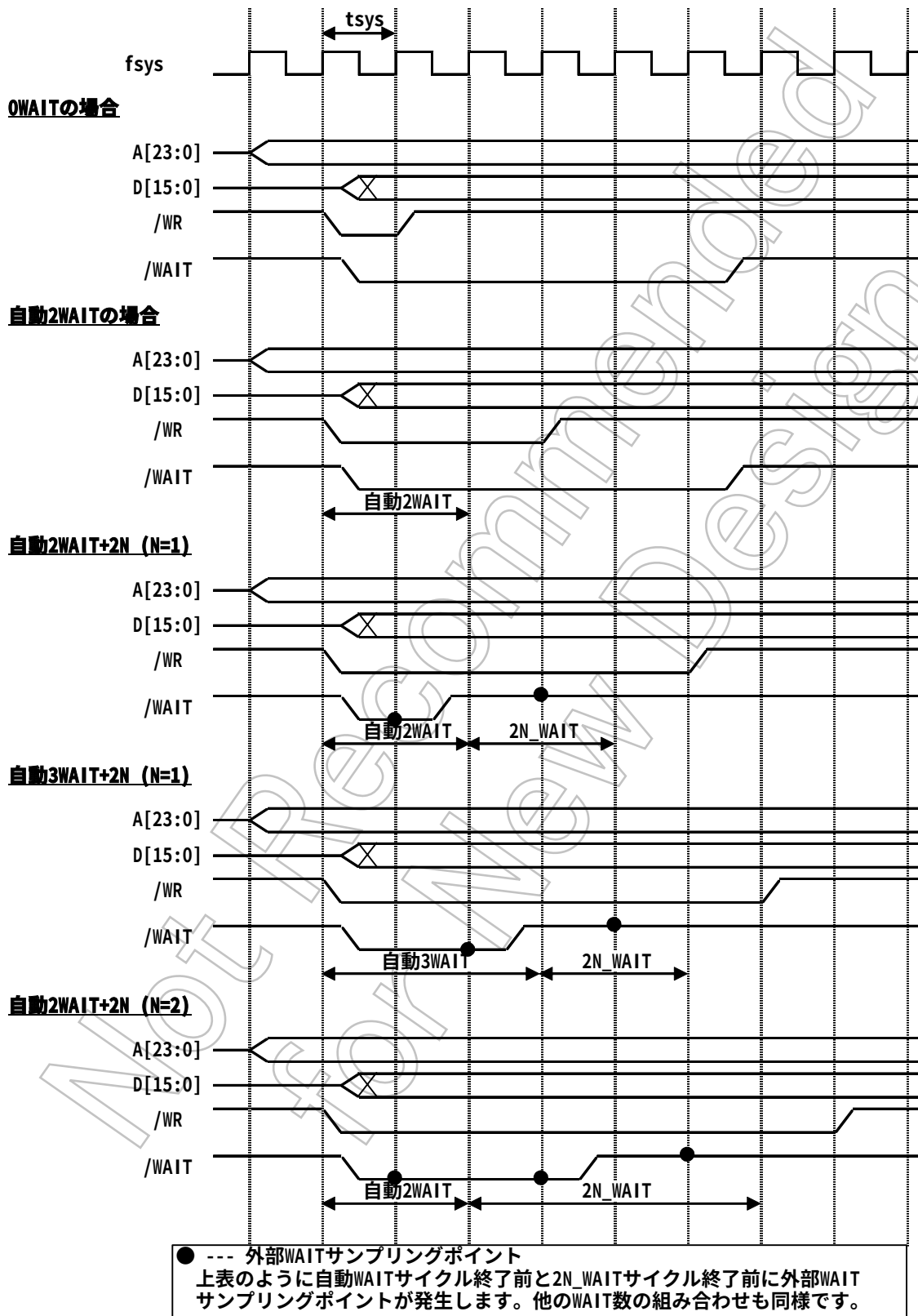


図 8.3.6 ライトオペレーションタイミング図

ポート3ファンクションレジスタ P3FC のビット 3<P33F>を "1" にセットすることにより、
 $\overline{\text{WAIT}}$ 入力端子 (P33) は $\overline{\text{RDY}}$ 入力端子としても機能します。

$\overline{\text{RDY}}$ 入力は $\overline{\text{WAIT}}$ 入力の論理的反転で外部バスインタフェース回路に入力されます。CS/ウェイトコントロールレジスタ BmnCS<BnW>でウェイト数の設定を行います。

図 8.3.7 に $\overline{\text{RDY}}$ 入力とウェイト数の関係を示します。

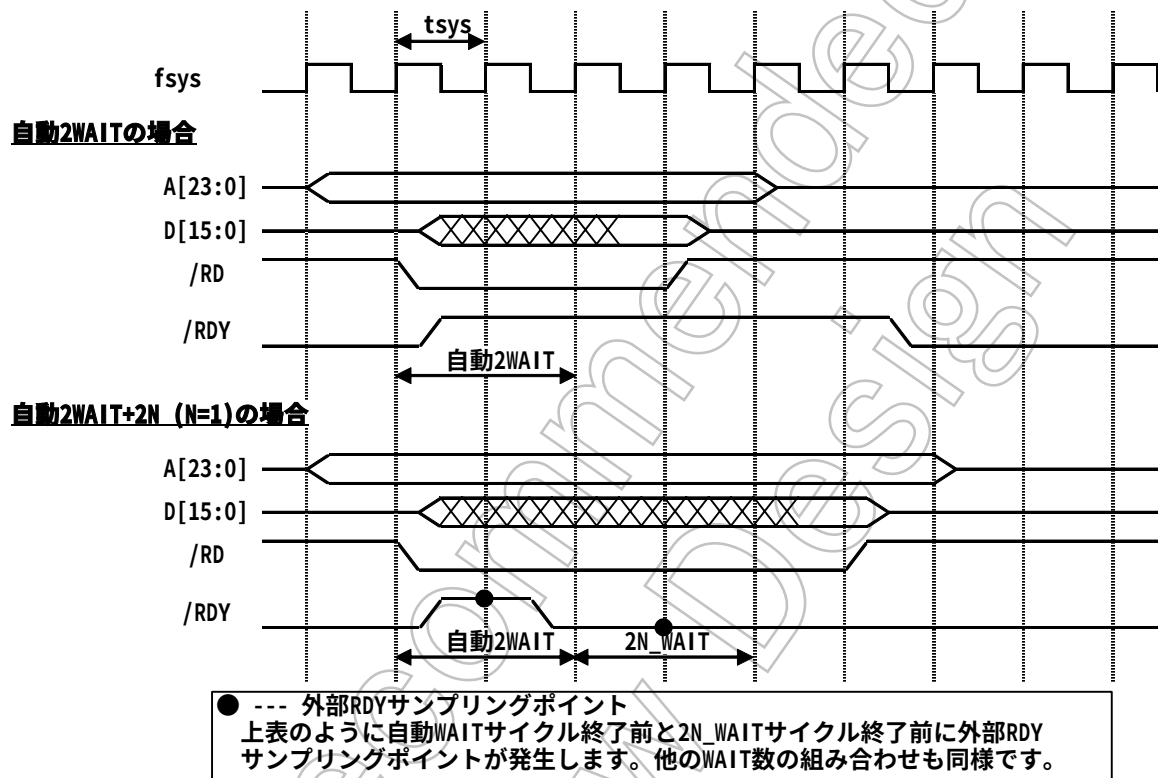


図 8.3.7 $\overline{\text{RDY}}$ 入力とウェイトオペレーションタイミング図

(3) ALE アサート時間

TMP19A64 の外部バスをマルチプレクスバスとして使用する時に ALE 幅（アサート時間）を設定できます。CG 部のシステムコントロールレジスタ SYSCR3 の<ALESEL>にて設定します。セバレートバスモードの場合には ALE は出力されませんが、SYSCR3<ALESEL>の値によりアドレス成立から $\overline{RD}$ または $\overline{WR}$ 信号のアサートされるまでの時間が変わります。リセット時は<ALESEL>= "1" にセットされ、アドレス成立から 2 システムクロック（内部）後に $\overline{RD}$ または $\overline{WR}$ 信号がアサートされます。<ALESEL>を "0" にクリアすると、アドレス成立から 1 システムクロック（内部）後に前述信号はアサートされます。この設定は外部エリアのブロック毎には設定できず、外部アドレス空間で共通です。

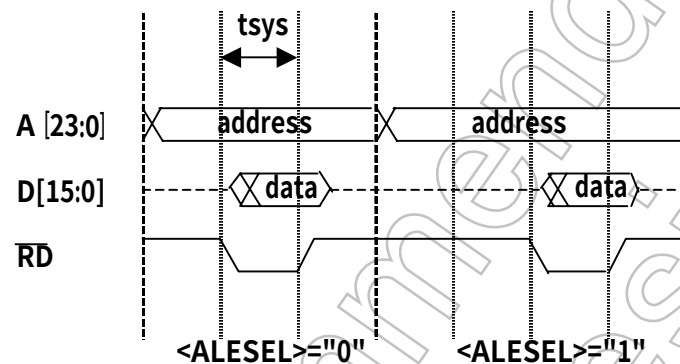


図 8.3.13 SYSCR3<ALESEL>設定値と外部バスオペレーション

(4) リカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については CS／ウェイトコントロールレジスタ BmnCS<BnWCV>（ライト・リカバリサイクル）、<BnRCV>（リード・リカバリサイクル）にて設定します。ダミーサイクル数は各ブロックごとに1システムクロック（内部）または2システムクロック（内部）を指定することができます。図 8.3.14 にリカバリタイム挿入時のタイミング図を示します。

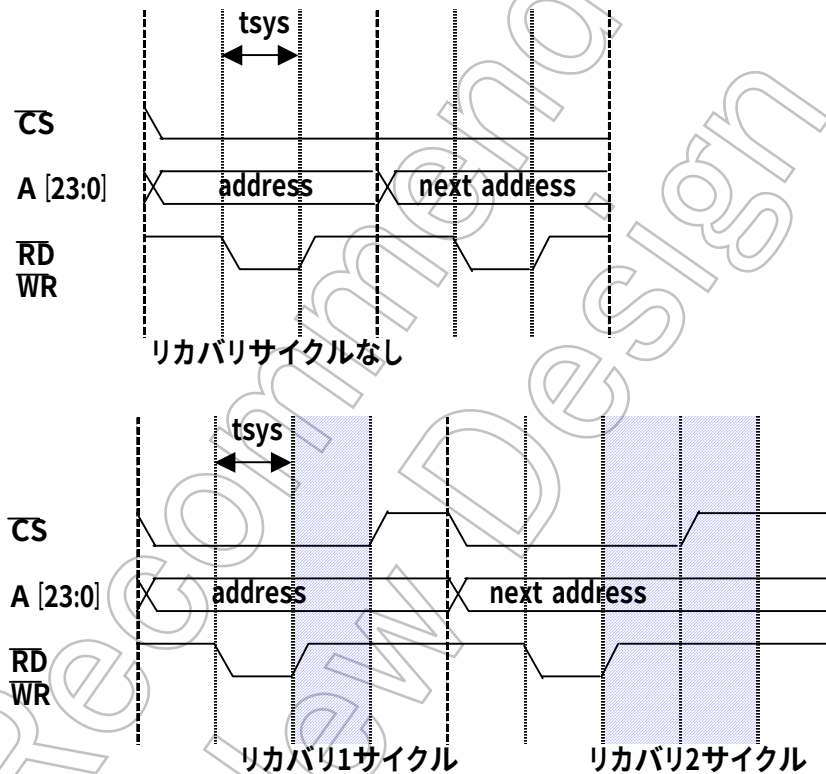


図 8.3.14 リカバリタイム挿入時のタイミング

(5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS／ウェイトコントロールレジスタ BmnCS<BnCSCV>にて設定します。ダミーサイクル数はブロックごとに1システムクロック（内部）を指定することができます。図 8.3.15 にリカバリタイム挿入時のタイミング図を示します。

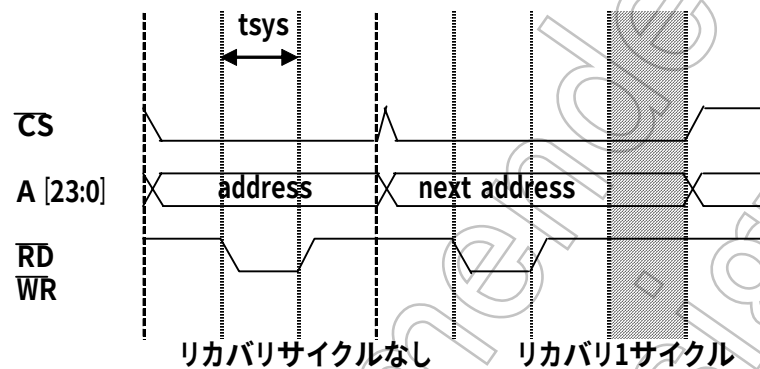


図 8.3.15 リカバリタイム挿入時のタイミング

8.4 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23~A16, AD15~AD0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP19A64 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8.4.1 にリードバスタイミングを、図 8.4.2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出しませんが、またアドレス/データバスはハイインピーダンスになり、 $\overline{RD}$ 、 $\overline{WR}$ などの制御信号もアクティブになりません。

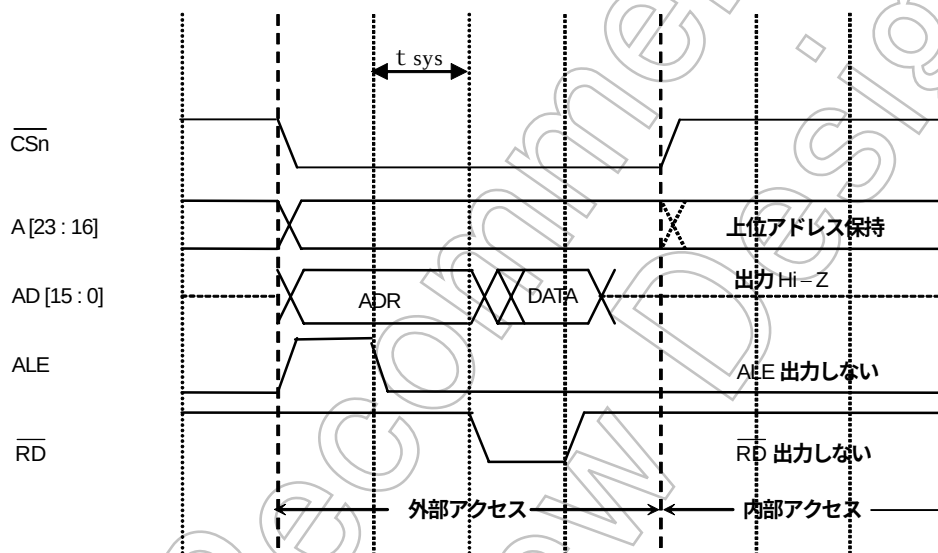


図 8.4.1 リードオペレーションタイミング図

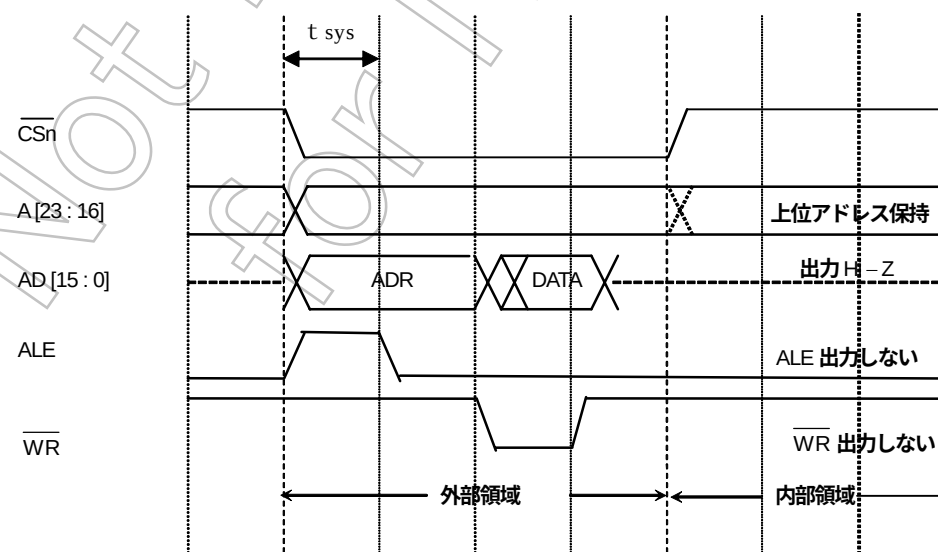


図 8.4.2 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/ウェイトコントローラにより各ブロックごとにウェイトサイクルを挿入することができます。挿入できるウェイトには次の3種類があります。

- ① 最大7クロックまでの自動ウェイト挿入
- ② $\overline{\text{WAIT}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ $2N$: 外部ウェイト挿入数)
- ③ $\overline{\text{RDY}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ $2N$: 外部ウェイト挿入数)

自動ウェイト数、外部ウェイト入力の設定はCS/ウェイトコントロールレジスタ $\text{BmnCS}<\text{BnW}>$ で設定します。

Not Recommended for New Design

図 8.4.3 にマルチプレスクバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

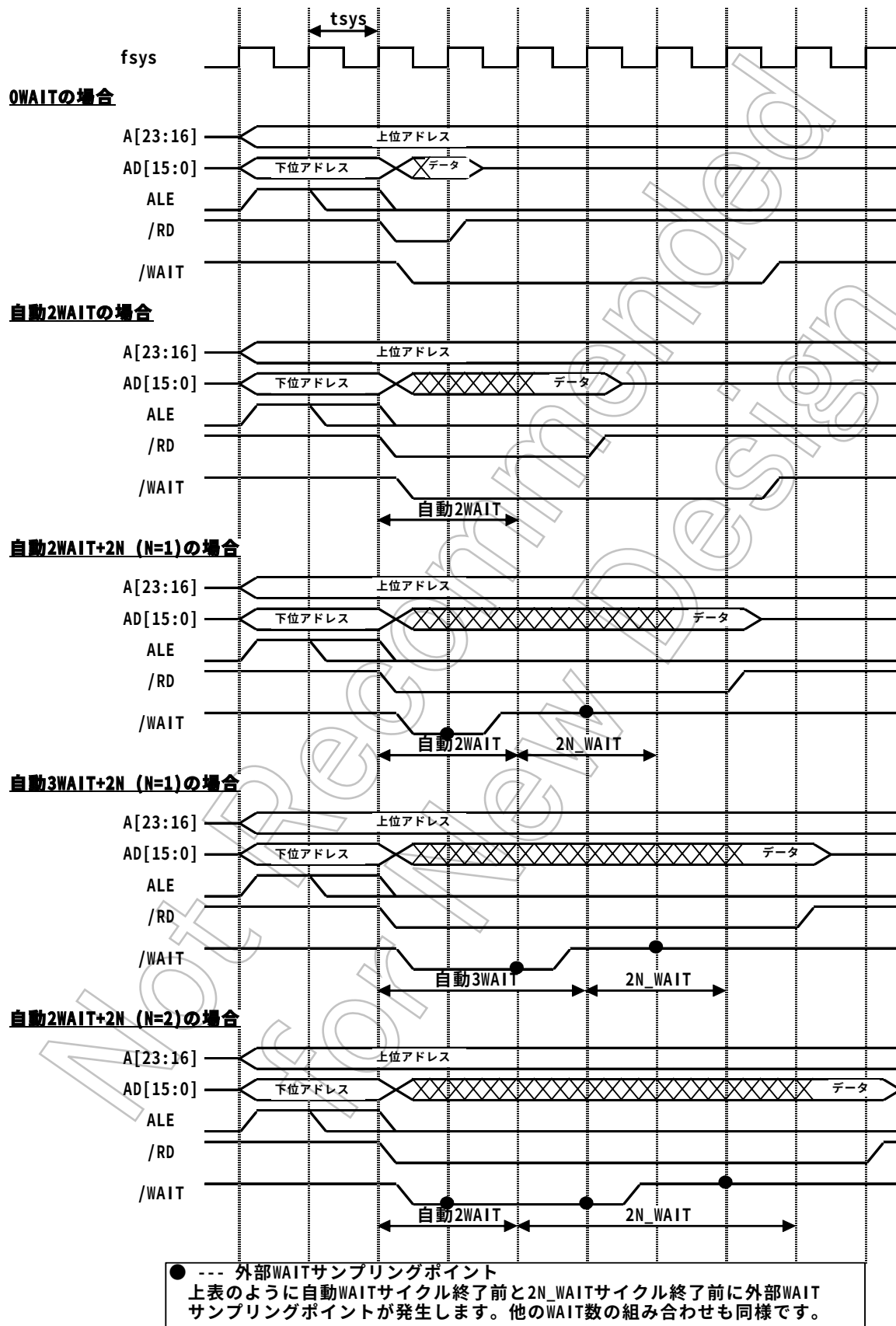


図 8.4.3 リードオペレーションタイミング図

図 8.4.4 にマルチプレスクバス時の 0 ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

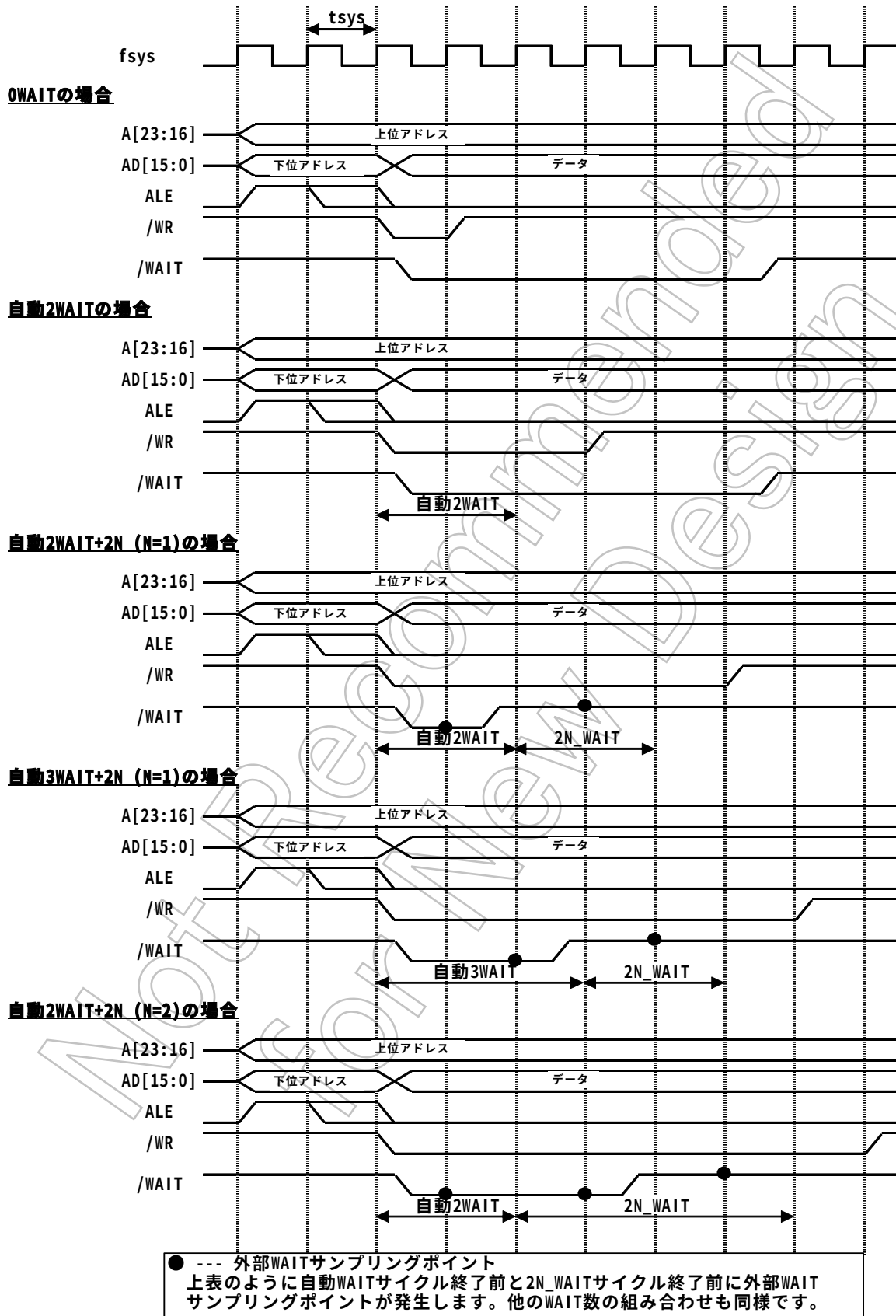


図 8.4.4 ライトオペレーションタイミング図

(3) ALE アサート時間

ALE アサート時間は、1 クロックと 2 クロックのどちらかを選択できます。設定用のビットはシステムクロック制御レジスタにあります。デフォルトは2 クロックです。この設定は外部エリアのブロックごとには設定できず、外部アドレス空間で共通です。

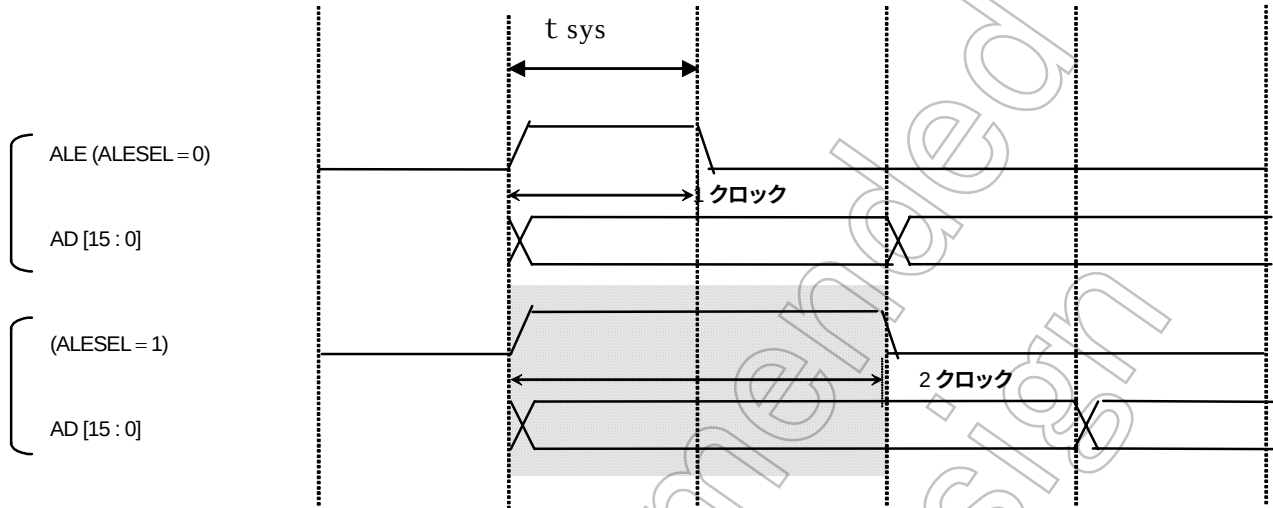


図 8.4.12 ALE のアサート時間

図 8.4.13 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

ALE 1クロック、2クロックの場合

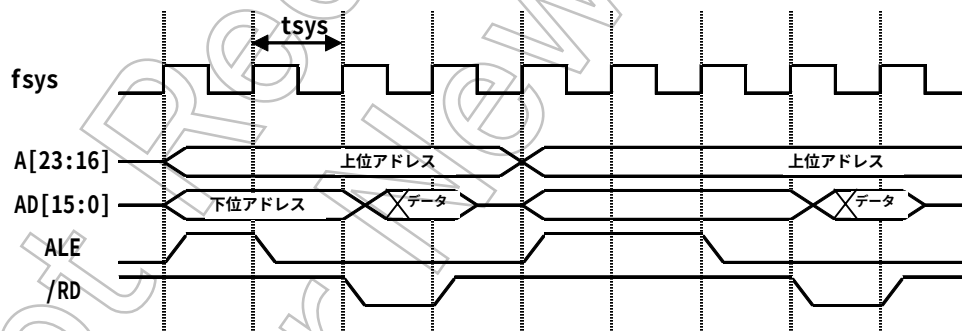


図 8.4.13 リードオペレーションタイミング図 (ALE 1 クロックおよび 2 クロック)

(4) リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については CS／ウェイトコントロールレジスタ BmnCS<BnWCV>（ライト・リカバリサイクル）、<BnRCV>（リード・リカバリサイクル）にて設定します。ダミーサイクル数はブロックごとに1システムクロック（内部）または2システムクロック（内部）を指定することができます。図 8.4.14 にリカバリタイム挿入時のタイミング図を示します。

リード/ライトリカバリ挿入時 (ALE幅:1fsys)の場合

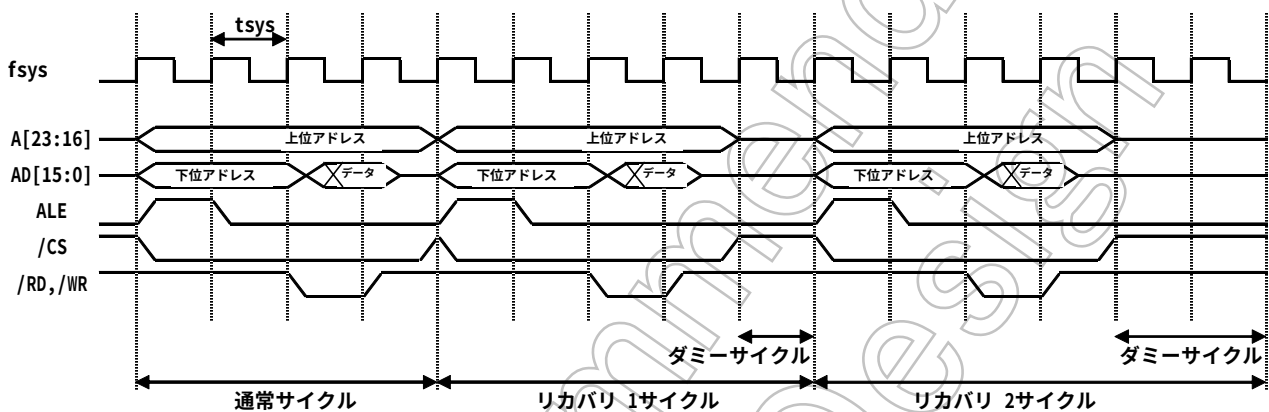


図 8.4.14 リカバリタイム挿入時のタイミング

(5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS／ウェイトコントロールレジスタ BmnCS<BnCSCV>にて設定します。ダミーサイクル数はブロックごとに1システムクロック（内部）を指定することができます。図 8.4.15 にリカバリタイム挿入時のタイミング図を示します。

CSリカバリ挿入時 (ALE幅:1fsys)の場合

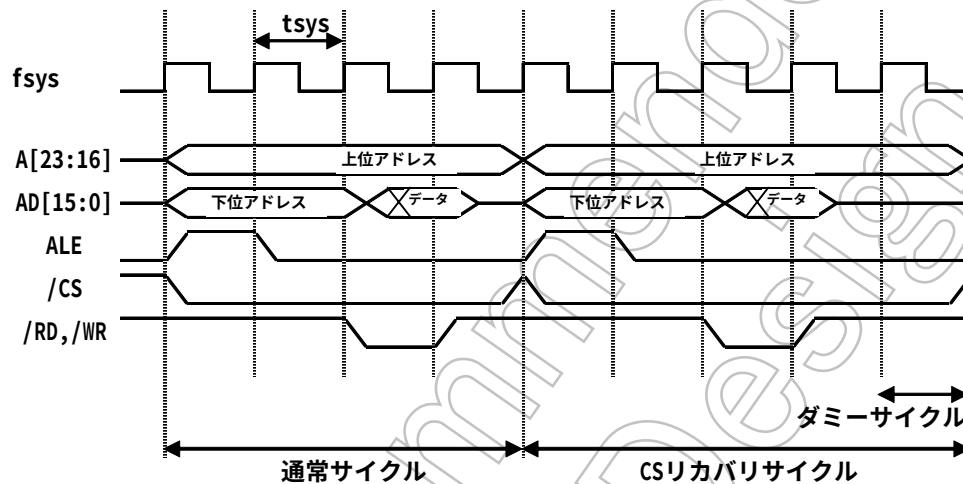


図 8.4.15 リカバリタイム挿入時のタイミング

8.5 バスアービトレーション

TMP19A64 は、外部にバスマスタを接続することができます。外部バスマスタとのバス制御権のアービトレーションは、 $\overline{\text{BUSRQ}}$ 、 $\overline{\text{BUSAK}}$ の 2 本の信号で行います。外部バスマスタが制御権を獲得できるバスは TMP19A64 の外部バスだけで、内部のバスは獲得できません。

(1) 外部バスマスタのアクセス範囲

外部バスマスタが制御権を獲得できるバスは TMP19A64 の外部バスだけで、内部のバス (G-BUS) は獲得できません。したがって外部バスマスタは、内蔵メモリおよび内蔵 I/O にアクセスすることはできません。この外部バスのバス権の調停は外部バスインタフェース回路 (EBIF) が行い、CPU や内蔵 DMAC は感知しません。外部バスマスタが外部のバス権を獲得しているときにも、CPU や内蔵 DMAC は内蔵の ROM、RAM やレジスタにはアクセスできません。他方、外部バスマスタが外部のバス権を獲得しているときに、CPU や内蔵 DMAC が外部のメモリにアクセスしようとする、外部バスマスタがバスを解放するまで、CPU や内蔵 DMAC のバスサイクルにウェイトがかかります。このため $\overline{\text{BUSRQ}}$ をアクティブにしたままにすると、TMP19A64 がロックする可能性があります。

(2) バス制御権の獲得

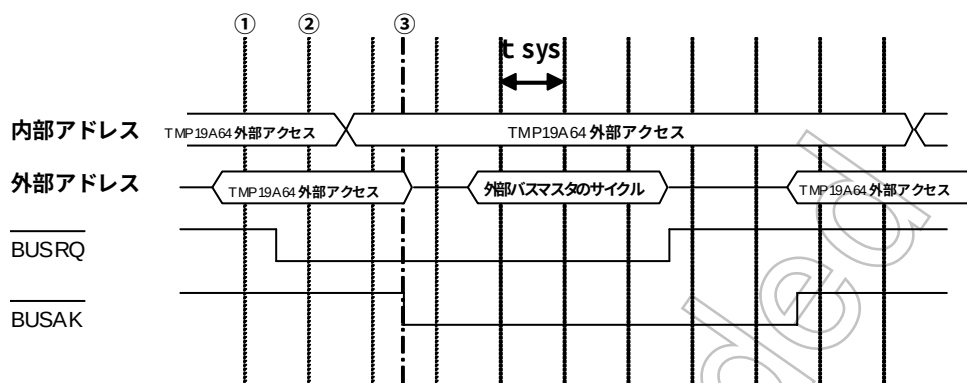
外部バスマスタは、 $\overline{\text{BUSRQ}}$ 信号をアサートすることで、TMP19A64 に対してバス制御権を要求します。TMP19A64 は、内部のバス (G-BUS) 上での外部バスサイクルの切れ目で $\overline{\text{BUSRQ}}$ 信号をサンプリングして、外部バスマスタにバス制御権を与えるかどうか判断します。バス制御権を外部バスマスタに与えるときは $\overline{\text{BUSAK}}$ 信号をアサートします。また同時にアドレスバス、データバスおよびバス制御信号 ($\overline{\text{RD}}$ 、 $\overline{\text{WR}}$) をハイインピーダンス状態にします ($\overline{\text{R/W}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{CSx}}$ は内蔵 Pull-up イネーブルの状態になります)。

ロード、ストアのデータサイズと外部メモリのバス幅の関係で、1 回のデータ転送に対して複数回のバスサイクルが発生することがあります (バスサイジング)。このときは最後のバスサイクルの終了時点が外部バスサイクルの切れ目になります。

TMP19A64 では、外部アクセスが連続した場合にダミーサイクルを挿入することができます。この場合にもバス要求が受け付けられるのは、内部バス (G-BUS) 上での外部バスサイクルの切れ目です。ダミーサイクル中にはすでに次の外部バスサイクルが内部バス上では起動されていますので、ダミーサイクル中に $\overline{\text{BUSRQ}}$ 信号がアサートされてもバスが解放されるのは次の外部バスサイクルが終了したときになります。

$\overline{\text{BUSRQ}}$ 信号は、バス制御権を解放するまでアサートし続けてください。

外部バスマスタによるバス制御権の獲得タイミングを図 8.5.1 に示します。



- ① $\overline{\text{BUSRQ}}$ が “H” レベルです。
- ② TMP19A64 は、 $\overline{\text{BUSRQ}}$ が “L” レベルであることを認識してバスサイクル終了時にバスを解放します。
- ③ TMP19A64 はバスの終了にともない $\overline{\text{BUSAK}}$ をアサートします。外部バスマスタは、 $\overline{\text{BUSAK}}$ が “L” レベルであることを認識してバス制御権を獲得し、バスオペレーションを開始します。

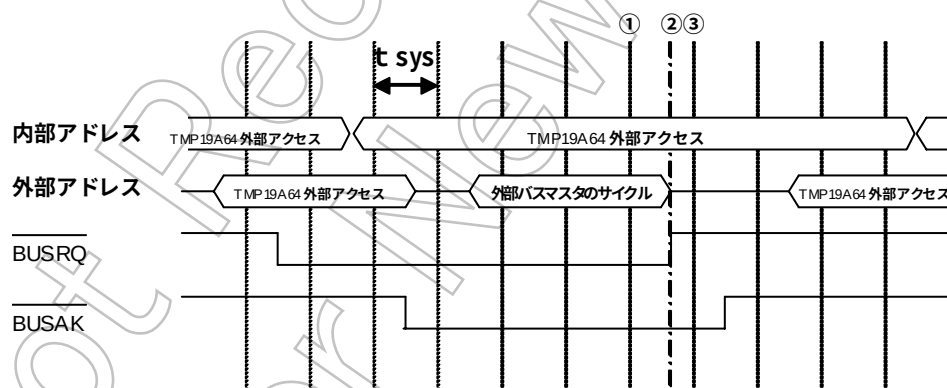
図 8.5.1 バス制御権の獲得タイミング

(3) バス制御権の解放

外部バスマスタがバス制御権を解放するのは、バス制御権が不要になった場合です。

外部バスマスタは、獲得していたバス制御権が不要になると、 $\overline{\text{BUSRQ}}$ 信号をデアサートしてバス制御権を TMP19A64 に返します。

バス制御不要による解放のタイミングを図 8.5.2 に示します。



- ① 外部バスマスタがバス制御権を持っています。
- ② 外部バスマスタはバス制御権が不要になったので、 $\overline{\text{BUSRQ}}$ をデアサートします。
- ③ TMP19A64 は、 $\overline{\text{BUSRQ}}$ が “H” レベルであることを認識して、 $\overline{\text{BUSAK}}$ をデアサートします。

図 8.5.2 バス制御権の解放タイミング

9. チップセレクト/ウェイトコントローラ

TMP19A64 は、外部デバイス（I/O デバイス、ROM、および、SRAM）に接続することができます。

TMP19A64 は、任意の 6 ブロックのアドレス空間（CS0～5 空間）を設定し、各アドレス空間とそれ以外のアドレス空間に対して、データバス幅、ウェイト数、ダミーサイクル数を指定することができます。

CS0～CS5（P40～P45 と兼用）は、CS0～CS5 空間に対応した出力端子です。この端子は、CPU 動作により CS0～CS5 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号（ROM/SRAM 用）を出力します。ただし、チップセレクト信号を出力するためには、ポート 4 コントロールレジスタ（P4CR）とポート 4 ファンクションレジスタ（P4FC）による設定が必要です。

CS0～CS5 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0～BMA5）にてベースアドレス（BA_n, n=0～5）とマスクアドレス（MA_n, n=0～5）の組み合わせにより行います。

各アドレス空間に対するマスタインーブル、データバス幅、ウェイト数、ダミーサイクル数は、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS、B45CS、BEXCS）で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子（WAIT）があります。

9.1 アドレス空間指定

CS0～CS5 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0～BMA5）により行います。

バスサイクルごとに、バス上のアドレスを CS0～CS5 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して CS0～CS5 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS、B45CS）で設定した動作を実行します（「9.2 チップセレクト/ウェイトコントロールレジスタ」を参照してください）。

9.1.1 ベース/マスクアドレス設定レジスタ

図 9.1.1～3 に、ベース/マスクアドレス設定レジスタを示します。ベースアドレス（BA0～BA5）には、CS0～CS5 空間のスタートアドレスを設定します。チップセレクト/ウェイトコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、マスクアドレス（MA0～MA5）でマスクされているアドレスビットはアドレスの比較対象にはなりません。マスクアドレスの設定によって、アドレス空間のサイズが決まります。

(1) ベースアドレス

ベースアドレス BA_n には、スタートアドレスの上位 16 ビット（A31～A16）を設定します。また、スタートアドレスの下位 16 ビット（A15～A0）には、常に“0”が設定されています。したがって、スタートアドレスは、0x0000_0000H から 64K バイトごとの値になります。

図 9.1.4 にスタートアドレスと BA_n の値の関係を示します。

(2) マスクアドレス

マスクアドレス（MA_n）は、アドレスのどのビットの値を比較するか、しないかを設定します。アドレスマスク MA_n に“0”をライトしたビットに対応するバス上のアドレスが、CS0～CS5 空間の領域かどうかの比較対照となり、“1”をライトしたビットは比較の非対称になります。

CS0～CS5 空間は、それぞれ MA0～MA5 によってマスクできるアドレスビットが異なります。

CS0 空間、CS1 空間: A29 ～ A14

CS2 空間、CS3 空間: A30 ～ A15

CS4 空間、CS5 空間: A30 ～ A15

(注) アドレス設定は物理アドレスを設定してください。

Not Recommended
for New Design

ベース/マスクアドレス設定レジスタ BMA0 (0xFFFF_E400H)～BMA5 (0xFFFF_E414H)

BMA0 (0xFFFF_E400H)		31	30	29	28	27	26	25	24
	bit Symbol	BA0							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スタートアドレス A31～A24 設定							
		23	22	21	20	19	18	17	16
	bit Symbol	BA0							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スタートアドレス A23～A16 設定							
		15	14	13	12	11	10	9	8
	bit Symbol	MA0							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	1	1
	機能	かならず“0”をライトしてください							
		7	6	5	4	3	2	1	0
	bit Symbol	MA0							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS0 空間サイズ設定 0:アドレス比較対照							
BMA1 (0xFFFF_E404H)		31	30	29	28	27	26	25	24
	bit Symbol	BA1							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スタートアドレス A31～A24 設定							
		23	22	21	20	19	18	17	16
	bit Symbol	BA1							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	スタートアドレス A23～A16 設定							
		15	14	13	12	11	10	9	8
	bit Symbol	MA1							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	1	1
	機能	かならず“0”をライトしてください							
		7	6	5	4	3	2	1	0
	bit Symbol	MA1							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS1 空間サイズ設定 0:アドレス比較対照							

(注) BMA0、BMA1 のビット 10～15 にはかならず“0”をライトしてください。
 CS0、CS1 空間は最小 16KB エリアから、最大 1GB エリアまで設定可能ですが、TMP19A64 では外部アドレス空間は 16MB なので A24～A29 のアドレスをマスクしないためビット 10～15 を“0”に設定します。

図 9.1.1 ベースアドレス/マスクアドレス設定レジスタ (BMA0, BMA1)

BMA2
 (0xFFFF_E408H)

	31	30	29	28	27	26	25	24
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機 能	かならず“0”をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol	MA2							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機 能	CS2 空間サイズ設定 0: アドレス比較対照							

 BMA3
 (0xFFFF_E40CH)

	31	30	29	28	27	26	25	24
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機 能	かならず“0”をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol	MA3							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機 能	CS3 空間サイズ設定 0: アドレス比較対照							

(注) BMA2、BMA3 のビット 9~15 にはかならず“0”をライトしてください。
 CS2、CS3 空間は最小 32KB エリアから、最大 2GB エリアまで設定可能ですが、TMP19A64 では外部
 アドレス空間は 16MB なので A24~A30 のアドレスをマスクしないためビット 9~15 を“0”に設定
 します。

図 9.1.2 ベースアドレス/マスクアドレス設定レジスタ (BMA2, BMA3)

BMA4
 (0xFFFF_E410H)

	31	30	29	28	27	26	25	24
bit Symbol	BA4							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA4							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA4							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機 能	かならず“0”をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol	MA4							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機 能	CS4 空間サイズ設定 0: アドレス比較対照							

 BMA5
 (0xFFFF_E414H)

	31	30	29	28	27	26	25	24
bit Symbol	BA5							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA5							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA5							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機 能	かならず“0”をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol	MA5							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機 能	CS5 空間サイズ設定 0: アドレス比較対照							

(注) BMA4、BMA5 のビット 9~15 にはかならず“0”をライトしてください。
 CS4、CS5 空間は最小 32KB エリアから、最大 2GB エリアまで設定可能ですが、TMP19A64 では外部アドレス空間は 16MB なので A24~A30 のアドレスをマスクしないためビット 9~15 を“0”に設定します。

図 9.1.3 ベースアドレス/マスクアドレス設定レジスタ (BMA4, BMA5)

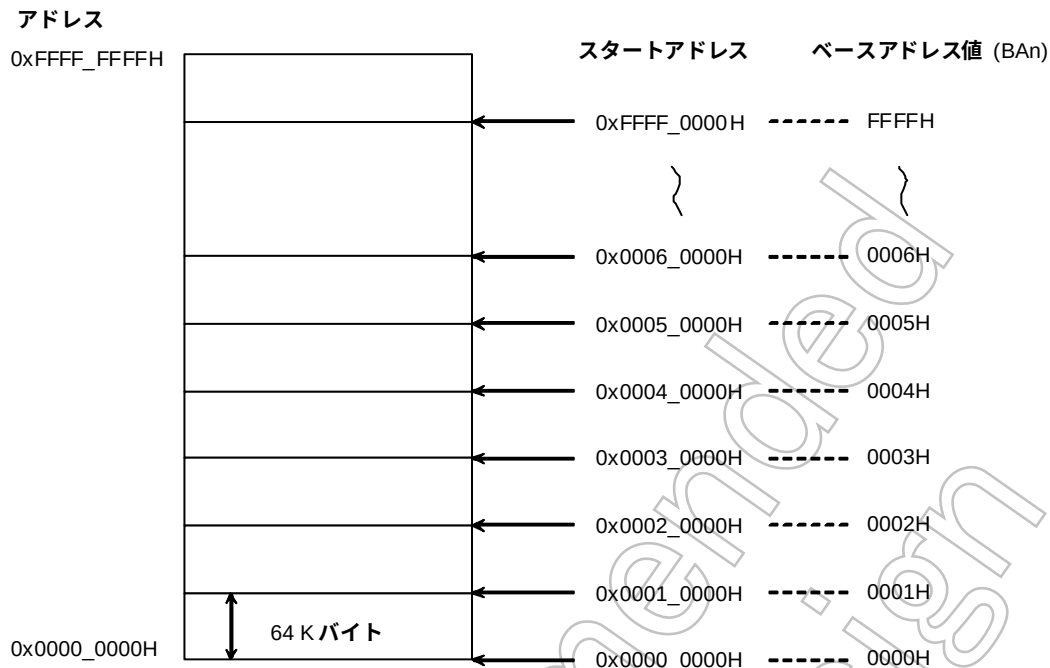
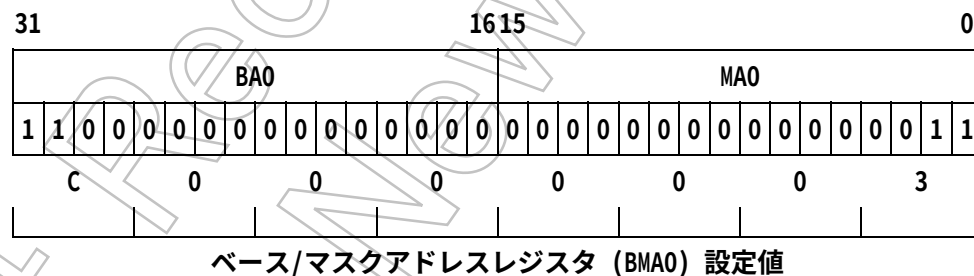


図 9.1.4 スタートアドレスとベースアドレスレジスタ値の関係

9.1.2 スタートアドレス、アドレス空間の設定方法

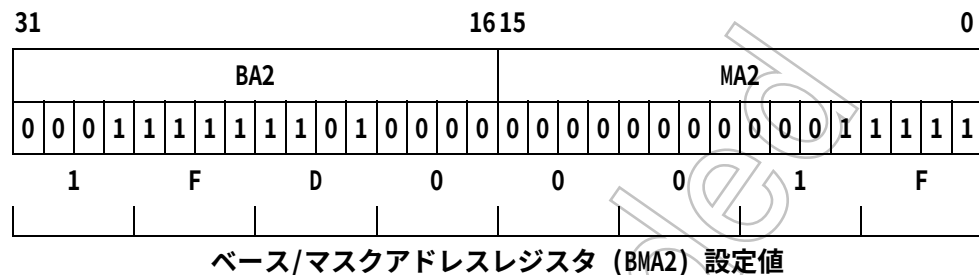
- CS0 空間を用いて、0xC000_0000 から始まる 64K バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA0) に、スタートアドレスの上位 16 ビットに相当する “0xC000” を設定します。マスクアドレス (MA0) は、A29～A14 のアドレス比較を行うか、行わないかを設定します。この場合 A29～A16 についてはかならず比較が行われるようにマスクアドレス (MA0) のビット 15～2 には “0” を設定します。なお A31, A30 のアドレスは常に比較が行われます。

上記のように設定すると、A31～A16 まではスタートアドレスとして設定された値と比較されます。この場合、A15～A0 はマスクされますので、0xC000_0000～0xC000_FFFF の 64K バイトが CS0 空間として設定され、バス上のアドレスと一致すれば CS0 信号がアサートされます。

- CS2 空間を用いて、0x1FD0_0000 から始まる 1M バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA2) に、スタートアドレスの上位 16 ビットに相当する “0x1FD0” を設定します。マスクアドレス (MA2) は、A30～A15 のアドレス比較を行うか、行わないかを設定します。この場合 A30～A20 についてはかならず比較が行われるようにマスクアドレス (MA2) のビット 15～5 には “0” を設定します。なお A31 はかならず比較が行われます。

上記のように設定すると、A31～A20 まではスタートアドレスとして設定された値と比較されます。この場合、A19～A0 はマスクされますので、0x1FD0_0000～0x1FDF_FFFF の 1M バイトが CS2 空間として設定されます。

(注) TMP19A64 では次のアドレス空間に対しては CSn 信号がアサートされません。

0x1FC0_0000 ～ 0x1FCF_FFFF

0x4000_0000 ～ 0x400F_FFFF

0xFFFFD_6000 ～ 0xFFFFD_FFFF、0xFFFF_6000 ～ 0xFFFF_DFFF

リセット後、CS0、CS1、CS3～5 空間はディセーブルになりますが、CS2 空間は全アドレス空間 (4GB) でイネーブルになります。

表 9.1.1 に CS 空間と空間サイズの関係を示します。なお、2 つ以上のアドレス空間を重ねて指定した場合には CS 空間番号の小さい方が優先的に選択されます。

(例) CS0 空間の開始アドレスを 0xC000_0000、空間サイズを 16K バイト
CS1 空間の開始アドレスを 0xC000_0000、空間サイズを 64K バイト

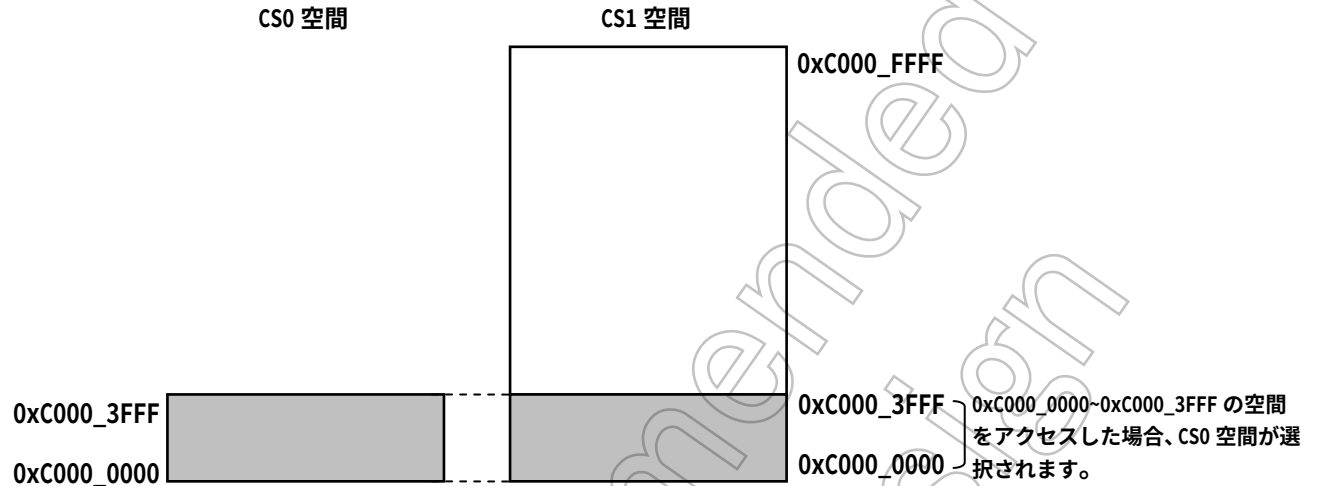


表 9.1.1 CS 空間と空間サイズ

サイズ (バイト) CS 空間	16 K	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M	16 M
CS0	○	○	○	○	○	○	○	○	○	○	○
CS1	○	○	○	○	○	○	○	○	○	○	○
CS2		○	○	○	○	○	○	○	○	○	○
CS3		○	○	○	○	○	○	○	○	○	○
CS4		○	○	○	○	○	○	○	○	○	○
CS5		○	○	○	○	○	○	○	○	○	○

9.2 チップセレクト/ウェイトコントローラ

図 9.2.1～図 9.2.4 に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間（CS0～CS5 空間と、それ以外のアドレス空間）は、それぞれのチップセレクト/ウェイトコントロールレジスタ（B01CS～B45CS、BEXCS）により、マスタイネーブル/ディセーブル、データバス幅選択、ウェイト数設定、ダミーサイクルの挿入を行うことができます。

また、2 つ以上のアドレス空間を重ねて設定した場合は、CS 空間番号の小さい方が優先的に選択されます。（優先順位は、CS0>CS1>CS2>CS3>CS4>CS5>EXCS となります。）

Not Recommended
for New Design

B01CS
 (FFFFE480H)

	7	6	5	4	3	2	1	0
bit Symbol	B00M			B0BUS	B0W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機 能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000,1001: reserved			
	15	14	13	12	11	10	9	8
bit Symbol		B0CSCV	B0WCV		B0E		B0RCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機 能		挿入ダミーサイクル数設定 (CS0 リカバリタイム) 1: 1サイクル 0: なし	挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止		CS0 イネーブル 0: ディセーブル 1: イネーブル		挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止	
	23	22	21	20	19	18	17	16
bit Symbol	B10M			B1BUS	B1W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機 能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000,1001: reserved			
	31	30	29	28	27	26	25	24
bit Symbol		B1CSCV	B1WCV		B1E		B1RCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機 能		挿入ダミーサイクル数設定 (CS1 リカバリタイム) 1: 1サイクル 0: なし	挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止		CS1 イネーブル 0: ディセーブル 1: イネーブル		挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止	

図 9.2.1 チップセレクト/ウェイトコントロールレジスタ

B23CS
 (0xFFFF_E484H)

	7	6	5	4	3	2	1	0
bit Symbol	B2OM			B2BUS	B2W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000,1001: reserved			
	15	14	13	12	11	10	9	8
bit Symbol		B2CSCV	B2WCV		B2E	B2M	B2RCV	
Read/Write	R	R/W	R/W				R/W	
リセット後	0	0	0	0	1	0	0	0
機能		挿入ダミーサイクル数設定 (CS2 リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS2 イネーブル 0: ディセーブル 1: イネーブル	CS2 空間選択 0: 4G バイト空間 1: CS 空間	挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	
	23	22	21	20	19	18	17	16
bit Symbol	B3OM			B3BUS	B3W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000,1001: reserved			
	31	30	29	28	27	26	25	24
bit Symbol		B3CSCV	B3WCV		B3E		B3RCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能		挿入ダミーサイクル数設定 (CS3 リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS3 イネーブル 0: ディセーブル 1: イネーブル		挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

図 9.2.2 チップセレクト/ウェイトコントロールレジスタ

B45CS
 (0xFFFF_E488H)

	7	6	5	4	3	2	1	0
bit Symbol	B40M			B4BUS	B4W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください			データバス 幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000,1001: reserved			
	15	14	13	12	11	10	9	8
bit Symbol		B4CSCV	B4WCV		B4E		B4RCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	1	0	0	0
機能		挿入ダミーサイ クル数設定 (CS4 リカバ リタイム) 1: 1 サイクル 0: なし	挿入ダミーサイクル数設定 (ライト・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS4 イネー ブル 0: ディセ ーブル 1: イネー ブル		挿入ダミーサイクル数設定 (リード・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	
	23	22	21	20	19	18	17	16
bit Symbol	B50M			B5BUS	B5W			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください			データバス 幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000,1001: reserved			
	31	30	29	28	27	26	25	24
bit Symbol		B5CSCV	B5WCV		B5E		B5RCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能		挿入ダミーサイ クル数設定 (CS5 リカバ リタイム) 1: 1 サイクル 0: なし	挿入ダミーサイクル数設定 (ライト・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS5 イネー ブル 0: ディセ ーブル 1: イネー ブル		挿入ダミーサイクル数設定 (リード・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

図 9.2.3 チップセレクト/ウェイトコントロールレジスタ

BEXCS
(0xFFFF_E48CH)

	7	6	5	4	3	2	1	0
bit Symbol	BEXOM			BEXBUS	BEXW			
Read/Write	R/W		R	R/W	R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000,1001: reserved			
	15	14	13	12	11	10	9	8
bit Symbol		BECSV	BEXWCV				BEXRCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能		挿入タミサイクル数設定 1: 1サイクル 0: なし	挿入タミサイクル数設定 (ライト・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止				挿入タミサイクル数設定 (リード・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止	
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能								
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R				R/W	R		
リセット後	0	0	0	0	0	0	0	0
機能								

図 9.2.4 チップセレクト/ウェイトコントロールレジスタ

TMP19A64 ではリセット後、ポート 4 コントロールレジスタ (P4CR) とポート 4 ファンクションレジスタ (P4FC) は“0”にされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P4FC、P4CR の順に必要なビットに“1”をセットしてください。また、CS 設定以外のエリアでの CS リカバリタイムの設定は可能ですが、CS 信号は出力されません。

10. DMA コントローラ (DMAC)

TMP19A64 は 8 チャンネルの DMA コントローラを内蔵しています。

10.1 特長

TMP19A64 に内蔵している DMAC には以下に示す特長があります。

- (1) 独立した 8 チャンネルの DMA
- (2) 2 種類のバス制御権要求: スヌープ要求有り/無し
- (3) 転送要求: 内部リクエスト (ソフトスタート)/外部リクエスト (外部割り込み、内蔵周辺 I/O からの割り込みによるリクエスト、 $\overline{\text{DREQ}}$ 端子によるリクエスト)
 $\overline{\text{DREQ}}$ 端子によるリクエスト (CH2, 3) : レベルモード (メモリ→メモリ)
エッジモード (メモリ→I/O、I/O→メモリ)
- (4) 転送モード: デュアルアドレスモード
- (5) 転送デバイス: メモリ→メモリ、メモリ→I/O、I/O→メモリ
- (6) デバイスサイズ: メモリ-32 ビット (CS/WAIT コントローラで 16/8 ビット指定も可能)
I/O-8、16、32 ビット
- (7) アドレス変化: 増加/減少/固定/変則増加/変則減少
- (8) チャンネル間優先度: 固定 (チャンネル番号の小さい順)
- (9) エンディアン切り換え機能

10.2 構成

10.2.1 TMP19A64 内部接続

TMP19A64 内部での DMAC の接続を図 10.2.1 に示します。

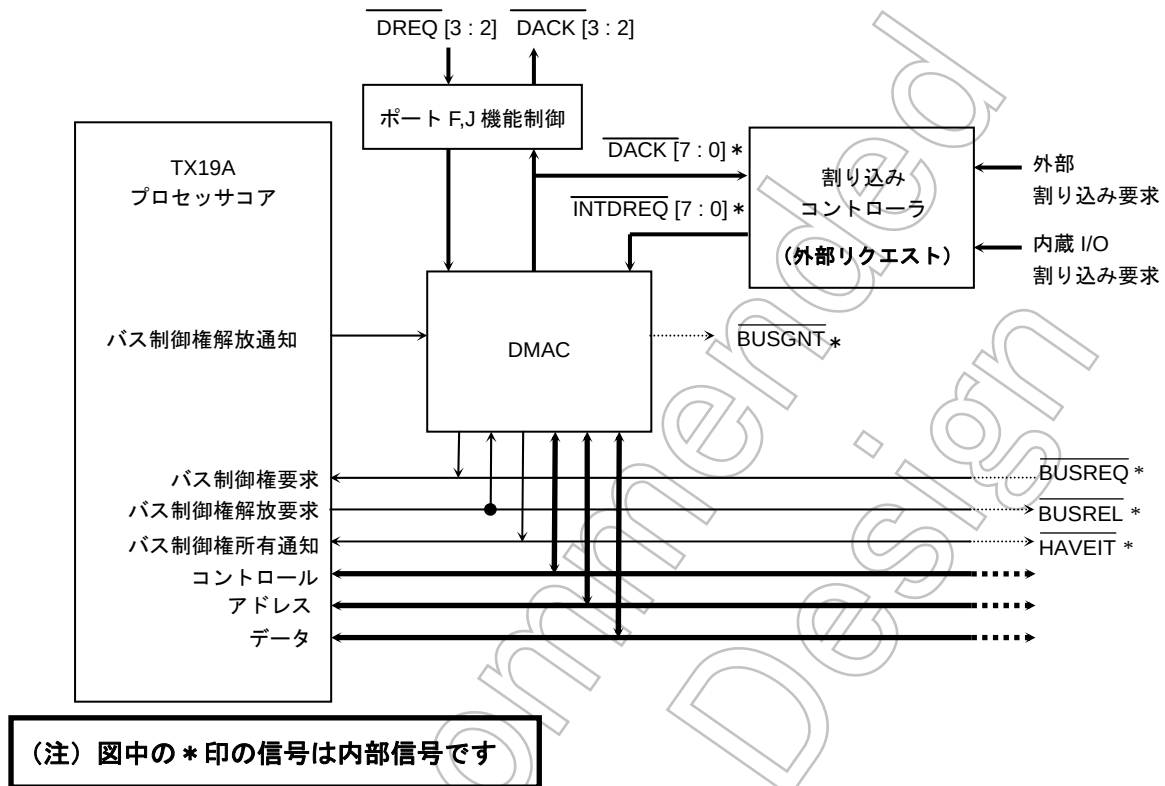


図 10.2.1 TMP19A64 内部での DMAC の接続

DMAC には 8 つの DMA チャンネルがあります。これら各チャンネルには割り込みコントローラからのデータ転送要求信号（INTDREQ_n）に対するアクノリッジ信号（DACK_n）があります。n はチャンネル番号で 0～7 を示します。また、外部端子（DREQ2、DREQ3）については内部にてポート F、ポート J 兼用チャンネルとなっており、機能制御レジスタ PFFC、PJFC にて選択します。両ポート機能を選択した場合はポート F の機能が優先されます。

外部端子（DREQ2、DREQ3）からのデータ転送要求とアクノリッジ信号出力端子（DACK2、DACK3）があります。チャンネル 0 の方がチャンネル 1 よりも優先度が高く、チャンネル 1 の方がチャンネル 2 よりも、チャンネル 2 の方がチャンネル 3 よりも優先度が高くなっています。以降のチャンネルについても同様です。

TX19A プロセッサコアにはスヌープ機能があります。スヌープ機能では、TX19A プロセッサコアはコアのデータバスを DMAC に対して開放します。したがって、DMAC はこのとき TX19A プロセッサコアにつながっている内蔵 ROM や内蔵 RAM にアクセスすることができます。DMAC はこのスヌープ機能を使用するかを選択することができます。スヌープ機能の詳細については「10.2.3 スヌープ機能」を参照ください。

DMAC はスヌープ機能の使用/不使用による 2 種類のバス制御権（SREQ、GREQ）があります。GREQ はスヌープ機能を使用しないバス制御権要求で、SREQ はスヌープ機能を使用するバス制御権要求です。この 2 種類のバス制御権要求では、SREQ の方が GREQ より優先度が高くなっています。

10.2.2 DMAC 内部ブロック

DMAC の内部ブロックを図 10.2.2 に示します。

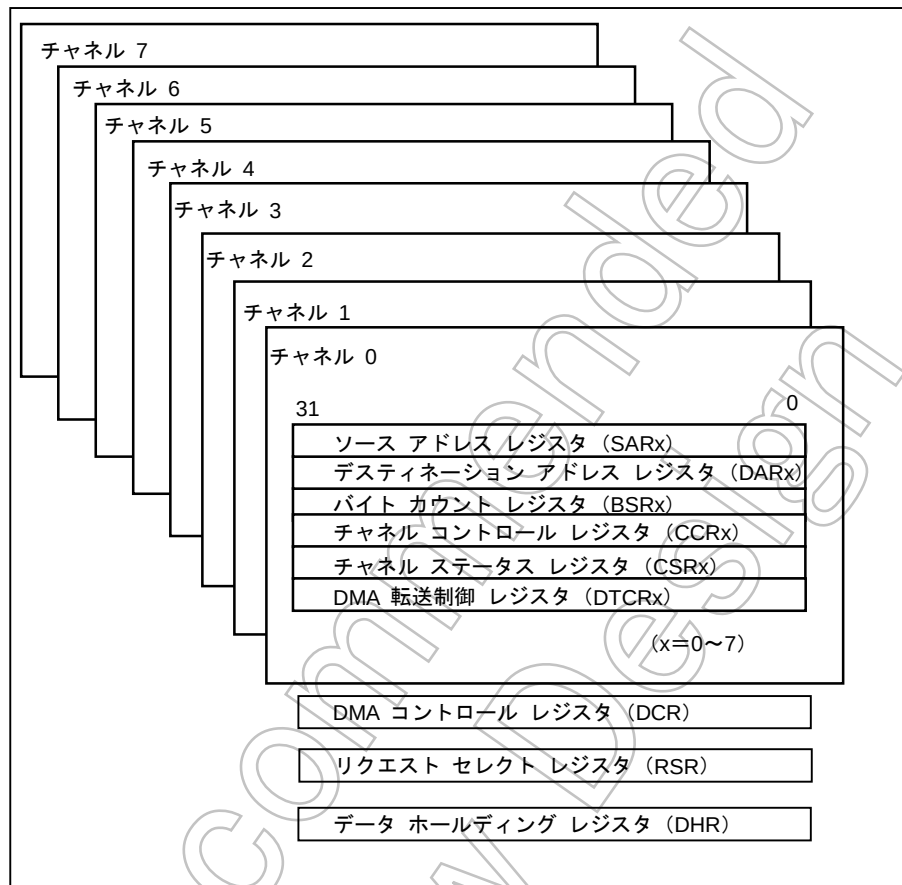


図 10.2.2 DMAC 内部ブロック

10.2.3 スヌープ機能

TX19A プロセッサコアには、スヌープ機能があります。

TX19A プロセッサコアは、スヌープ機能が働くとコアのデータバスを DMAC に対して開放します。コアは DMAC がバス制御権要求を取り下げるまで動作が停止します。スヌープ機能が働いているときに、DMAC は内蔵 RAM や内蔵 ROM にアクセスすることが可能になるので、ソースやデスティネーションとして指定することができます。

スヌープ機能を使用しない場合は、DMAC は内蔵 RAM、内蔵 ROM にアクセスできません。ただし、このときも G-Bus は DMAC へ開放していますので、TX19A プロセッサコアが G-Bus によりメモリもしくは I/O にアクセスしようとした場合には、DMAC がバス制御権開放要求に応えないかぎり、バスオペレーションを実行できないので、パイプラインはストールします。

(注) スヌープ機能を使用しないと、TX19A プロセッサコアはデータバスを DMAC に開放しません。この場合、DMAC のソースやデスティネーションに内蔵 RAM や内蔵 ROM を指定すると、DMAC の転送バスサイクルに対してアクノリッジ信号が返ってこないためバスがロックします。

10.3 レジスタ

DMAC は 51 本の 32 ビットレジスタを内蔵しています。表 10.3.1 に DMAC のレジスタマップを示します。

表 10.3.1 DMAC レジスタ一覧

アドレス	レジスタ記号	レジスタ名称
0xFFFF_E200	CCR0	チャネル制御レジスタ (ch. 0)
0xFFFF_E204	CSR0	チャネルステータスレジスタ (ch. 0)
0xFFFF_E208	SAR0	ソースアドレスレジスタ (ch. 0)
0xFFFF_E20C	DAR0	デスティネーションアドレスレジスタ (ch. 0)
0xFFFF_E210	BCR0	バイトカウントレジスタ (ch. 0)
0xFFFF_E218	DTCR0	DMA 転送制御レジスタ (ch. 0)
0xFFFF_E220	CCR1	チャネル制御レジスタ (ch. 1)
0xFFFF_E224	CSR1	チャネルステータスレジスタ (ch. 1)
0xFFFF_E228	SAR1	ソースアドレスレジスタ (ch. 1)
0xFFFF_E22C	DAR1	デスティネーションアドレスレジスタ (ch. 1)
0xFFFF_E230	BCR1	バイトカウントレジスタ (ch. 1)
0xFFFF_E238	DTCR1	DMA 転送制御レジスタ (ch. 1)
0xFFFF_E240	CCR2	チャネル制御レジスタ (ch. 2)
0xFFFF_E244	CSR2	チャネルステータスレジスタ (ch. 2)
0xFFFF_E248	SAR2	ソースアドレスレジスタ (ch. 2)
0xFFFF_E24C	DAR2	デスティネーションアドレスレジスタ (ch. 2)
0xFFFF_E250	BCR2	バイトカウントレジスタ (ch. 2)
0xFFFF_E258	DTCR2	DMA 転送制御レジスタ (ch. 2)
0xFFFF_E260	CCR3	チャネル制御レジスタ (ch. 3)
0xFFFF_E264	CSR3	チャネルステータスレジスタ (ch. 3)
0xFFFF_E268	SAR3	ソースアドレスレジスタ (ch. 3)
0xFFFF_E26C	DAR3	デスティネーションアドレスレジスタ (ch. 3)
0xFFFF_E270	BCR3	バイトカウントレジスタ (ch. 3)
0xFFFF_E278	DTCR3	DMA 転送制御レジスタ (ch. 3)
0xFFFF_E280	CCR4	チャネル制御レジスタ (ch. 4)
0xFFFF_E284	CSR4	チャネルステータスレジスタ (ch. 4)
0xFFFF_E288	SAR4	ソースアドレスレジスタ (ch. 4)
0xFFFF_E28C	DAR4	デスティネーションアドレスレジスタ (ch. 4)
0xFFFF_E290	BCR4	バイトカウントレジスタ (ch. 4)
0xFFFF_E298	DTCR4	DMA 転送制御レジスタ (ch. 4)
0xFFFF_E2A0	CCR5	チャネル制御レジスタ (ch. 5)
0xFFFF_E2A4	CSR5	チャネルステータスレジスタ (ch. 5)
0xFFFF_E2A8	SAR5	ソースアドレスレジスタ (ch. 5)
0xFFFF_E2AC	DAR5	デスティネーションアドレスレジスタ (ch. 5)
0xFFFF_E2B0	BCR5	バイトカウントレジスタ (ch. 5)
0xFFFF_E2B8	DTCR5	DMA 転送制御レジスタ (ch. 5)
0xFFFF_E2C0	CCR6	チャネル制御レジスタ (ch. 6)
0xFFFF_E2C4	CSR6	チャネルステータスレジスタ (ch. 6)
0xFFFF_E2C8	SAR6	ソースアドレスレジスタ (ch. 6)
0xFFFF_E2CC	DAR6	デスティネーションアドレスレジスタ (ch. 6)
0xFFFF_E2D0	BCR6	バイトカウントレジスタ (ch. 6)
0xFFFF_E2D8	DTCR6	DMA 転送制御レジスタ (ch. 6)

表 10.3.1 DMAC レジスタ一覧 (2)

0xFFFF_E2E0	CCR7	チャンネル制御レジスタ (ch. 7)
0xFFFF_E2E4	CSR7	チャンネルステータスレジスタ (ch. 7)
0xFFFF_E2E8	SAR7	ソースアドレスレジスタ (ch. 7)
0xFFFF_E2EC	DAR7	デスティネーションアドレスレジスタ (ch. 7)
0xFFFF_E2F0	BCR7	バイトカウントレジスタ (ch. 7)
0xFFFF_E2F8	DTCR7	DMA 転送制御レジスタ (ch. 7)
0xFFFF_E300	DCR	DMA 制御レジスタ (DMAC)
0xFFFF_E304	RSR	リクエストセレクトレジスタ (DMAC)
0xFFFF_E30C	DHR	データホールディングレジスタ (DMAC)

Not Recommended for New Design

10.3.1 DMA 制御レジスタ (DCR)

DCR
(0xFFFF_E300H)

	7	6	5	4	3	2	1	0
bit Symbol	Rst7	Rst6	Rst5	Rst4	Rst3	Rst2	Rst1	Rst0
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機 能	詳細説明を参照ください							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機 能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機 能								
	31	30	29	28	27	26	25	24
bit Symbol	Rstall							
Read/Write	W	R						
リセット後	0	0						
機 能	詳細説明を参照ください							

ビット	ニモニク	フィールド名	説 明
31	Rstall	リセットオール	DMAC のソフトウェアリセットを行います。Rstall ビットが 1 にセットされると、DMAC の内部レジスタの値はすべて初期値になります。また、すべての転送要求は取り消され、8 つのチャネルは停止状態になります。 0: Don't care 1: DMAC を初期化
7	Rst7	リセット 7	DMAC チャネル 7 のソフトウェアリセットを行います。Rst7 ビットが 1 にセットされると、DMAC チャネル 7 の内部レジスタと、RSR レジスタのチャネル 7 該当ビットは初期値になります。また、チャネル 7 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 7 を初期化
6	Rst6	リセット 6	DMAC チャネル 6 のソフトウェアリセットを行います。Rst6 ビットが 1 にセットされると、DMAC チャネル 6 の内部レジスタと、RSR レジスタのチャネル 6 該当ビットは初期値になります。また、チャネル 6 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 6 を初期化
5	Rst5	リセット 5	DMAC チャネル 5 のソフトウェアリセットを行います。Rst5 ビットが 1 にセットされると、DMAC チャネル 5 の内部レジスタと、RSR レジスタのチャネル 5 該当ビットは初期値になります。また、チャネル 5 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 5 を初期化

図 10.3.1 DMA 制御レジスタ (DCR) (1/2)

ビット	二モニク	フィールド名	説 明
4	Rst4	リセット 4	DMAC チャンネル 4 のソフトウェアリセットを行います。Rst4 ビットが 1 にセットされると、DMAC チャンネル 4 の内部レジスタと、RSR レジスタのチャンネル 4 該当ビットは初期値になります。また、チャンネル 4 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 4 を初期化
3	Rst3	リセット 3	DMAC チャンネル 3 のソフトウェアリセットを行います。Rst3 ビットが 1 にセットされると、DMAC チャンネル 3 の内部レジスタと、RSR レジスタのチャンネル 3 該当ビットは初期値になります。また、チャンネル 3 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 3 を初期化
2	Rst2	リセット 2	DMAC チャンネル 2 のソフトウェアリセットを行います。Rst2 ビットが 1 にセットされると、DMAC チャンネル 2 の内部レジスタと、RSR レジスタのチャンネル 2 該当ビットは初期値になります。また、チャンネル 2 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 2 を初期化
1	Rst1	リセット 1	DMAC チャンネル 1 のソフトウェアリセットを行います。Rst1 ビットが 1 にセットされると、DMAC チャンネル 1 の内部レジスタと、RSR レジスタのチャンネル 1 該当ビットは初期値になります。また、チャンネル 1 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 1 を初期化
0	Rst0	リセット 0	DMAC チャンネル 0 のソフトウェアリセットを行います。Rst0 ビットが 1 にセットされると、DMAC チャンネル 0 の内部レジスタと、RSR レジスタのチャンネル 0 該当ビットは初期値になります。また、チャンネル 0 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 0 を初期化

図 10.3.1 DMA 制御レジスタ (DCR) (2/2)

(注1) ソフトリセット機能を使用する時、DMA 転送の最後の転送が終了した直後に DCR レジスタへの書き込みが発生した場合、チャンネルレジスタ等の初期化は行われますが、DMA 転送終了割り込みはキャンセルされません。

(注2) DCR レジスタへの書き込み（ソフトリセット）を DMA 転送を利用して行うような使い方は避けてください。

10.3.2 チャンネル制御レジスタ (CCRn) (n=0~7)

CCRn (0xFFFF_E200H) (0xFFFF_E220H) (0xFFFF_E240H) (0xFFFF_E260H) (0xFFFF_E280H) (0xFFFF_E2A0H) (0xFFFF_E2C0H) (0xFFFF_E2E0H)		7	6	5	4	3	2	1	0
	bit Symbol	SAC	DIO	DAC		TrSiz		DPS	
	Read/Write	R/W	R/W	R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0
	機 能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
	bit Symbol		ExR	PosE	Lev	SReq	RelEn	SIO	SAC
	Read/Write	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機 能	常に "0" を設定してください	詳細説明を参照ください						
		23	22	21	20	19	18	17	16
	bit Symbol	NIE n	AbIE n					Big	
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
	リセット後	1	1	1	0	0	0	1	0
	機 能	詳細説明を参照ください		常に "0" を設定してください				詳細説明を参照ください	常に "0" を設定してください
		31	30	29	28	27	26	25	24
	bit Symbol	Str							
	Read/Write	W							W
	リセット後	0	0	0	0	0	0	0	0
	機 能	詳細説明を参照ください							常に "0" を設定してください

ビット	ニモニツク	フィールド名	説 明
31	Str	チャンネルスタート	Start (初期値:0) チャンネル動作を起動します。このビットに1をセットすることにより、チャンネルが待機状態になり、転送要求に応じてデータ転送を開始します。 Str ビットへの書き込みは1のみが有効で、0の書き込みは無視します。また、読み出すと常に0です。 1: チャンネル動作を起動
24	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
23	NIE n	正常終了割り込み許可	Normal Completion Interrupt Enable (初期値 1) 1: 正常終了割り込みを許可 0: 正常終了割り込みを禁止
22	AbIE n	異常終了割り込み許可	Abnormal Completion Interrupt Enable (初期値 1) 1: 異常終了割り込みを許可 0: 異常終了割り込みを禁止
21	—	(予約済み)	このビットは予約ビットです。初期値は "1" ですが、常に "0" を設定してください。
20	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
19	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
18	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。

図 10.3.2 チャンネル制御レジスタ (CCRn) (1/3)

ビット	ニモニク	フィールド名	説 明
17	Big	ビッグエンディアン	Big Endian (初期値 1) 1: チャンネルはビッグエンディアンで動作 0: チャンネルはリトルエンディアンで動作
16	—	(予約済み)	このビットは予約ビットです。常に “0” を設定してください。
15	—	(予約済み)	このビットは予約ビットです。常に “0” を設定してください。
14	ExR	外部リクエストモード	External Request Mode (初期値 0) 転送要求モードを指定します。 1: 外部転送要求 (割り込み要求または外部 DREQn 要求) 0: 内部転送要求 (ソフトスタート)
13	PosE	立ち上がりエッジ	Positive Edge (初期値 0) 転送要求信号 INTDREQn または DREQn の有効レベルを指定します。 転送要求が外部転送要求のとき (ExR ビットが 1) のみ有効です。 内部転送要求のとき (ExR ビットが 0) は PosE の値は無視されます。 INTDREQn、DREQn 信号は “L” レベルアクティブの信号なので、 この PosE ビットをかならず “0” に設定してください。 1: 設定禁止 0: INTDREQn、DREQn 信号の立ち下がり、または “L” レベルが 有効。DACKn 信号のアクティブレベルは “L” レベル
12	Lev	レベルモード	Level Mode (初期値 0) 外部転送要求の要求方法を指定します。転送要求として外部転送要求が設定されているとき (ExR ビットが 1) のみ有効です。内部転送要求が設定されているとき (ExR ビットが 0) は、Lev ビットの値は無視されます。INTDREQn 信号は “L” レベルアクティブの信号なので、この Lev ビットをかならず “1” に設定してください。 DREQn のアクティブの状態は Lev ビットの設定によります。 1: レベルモード。DREQn 信号のレベル (PosE ビットが 0 のとき “L” レベル) をデータ転送要求として認識します。 0: エッジモード。DREQn 信号の変化 (PosE ビットが 0 のとき立ち下がりエッジ) をデータ転送要求として認識します。
11	SReq	スヌープ要求	Snoop Request (初期値 0) バス制御権要求モードとしてスヌープ機能の使用を指定します。使用する場合、TX19A プロセッサコアのスヌープ機能が有効になり、DMAC はコアのデータバスを使用できます。使用しない場合、TX19A プロセッサコアのスヌープ機能は働きません。 1: スヌープ機能を使用する (SREQ)。 0: スヌープ機能を使用しない (GREQ)。
10	RelEn	バス制御権解放要求許可	Release Request Enable (初期値 0) TX19A プロセッサコアからのバス制御権解放要求に対して応答することを指定します。 この機能は GREQ のときのみ有効です。SREQ のときには TX19A プロセッサコアはバス制御権解放要求を出せないなのでこの機能は無効になります。 1: DMAC がバス権を所有しているときに、バス制御権解放要求に応えます。TX19A プロセッサコアがバス制御権解放要求を発行すると、DMAC はバスオペレーションの切れ目でバス制御権をコアに返します。 0: バス制御権解放要求に応えません。
9	SIO	ソース I/O	Source Type: I/O (初期値 0) ソースデバイスを指定します。 1: I/O デバイス 0: メモリ

図 10.3.2 チャンネル制御レジスタ (CCRn) (2/3)

ビット	ニモニク	フィールド名	説 明
8 : 7	SAC	ソースアドレスカウン ト	Source Address Count (初期値 00) ソースのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
6	DIO	デスティネーション I/O	Destination Type: I/O (初期値 0) デスティネーションデバイスを指定します。 1: I/O デバイス 0: メモリ
5 : 4	DAC	デスティネーションア ドレスカウント	Destination Address Count (初期値 00) デスティネーションのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
3 : 2	TrSiz	転送単位	Transfer Size (初期値 00) 1 回の転送要求に対する転送データ量を示します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト)
1 : 0	DPS	デバイスポートサイズ	Device Port Size (初期値 00) ソースデバイスもしくはデスティネーションデバイスとして指定 した I/O デバイスのバス幅を指定します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト)

図 10.3.2 チャンネル制御レジスタ (CCRn) (3/3)

(注 1) CCRn レジスタの設定は DMAC を待機状態にする前に行ってください。

(注 2) 内蔵 I/O をアクセスする場合、DREQ 端子要求による DMA 転送の場合は、転送単位<TrSiz>とデバイスポートサイズ<DPS>とをかならず同じサイズに設定してください。

(注 3) メモリ間転送の時には、DPS にセットされた値は無効になります。

10.3.3 リクエスト選択レジスタ (RSR)

RSR
(0xFFFF_E304H)

	7	6	5	4	3	2	1	0
bit Symbol					ReqS3	ReqS2		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機 能	常に"0"を設定してください				詳細説明を参照ください		常に"0"を設定してください	
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機 能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機 能								
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機 能								

ビット	ニモニク	フィールド名	説 明
3	ReqS3	リクエストセレクト (ch. 3)	Request Select (初期値 0) DMA チャンネル 3 に対する外部転送要求の選択を行います。 1: DREQ3 からの要求 0: 割り込みコントローラ (INTC) からの要求
2	ReqS2	リクエストセレクト (ch. 2)	Request Select (初期値 0) DMA チャンネル 2 に対する外部転送要求の選択を行います。 1: DREQ2 からの要求 0: 割り込みコントローラ (INTC) からの要求

図 10.3.3 DMA 制御レジスタ (RSR)

(注) RSR レジスタのビット 0、1、4～7 は常に"0"をライトしてください。

10.3.4 チャンネルステータスレジスタ (CSRn) (n=0~7)

CSRn (0xFFFF_E204H) (0xFFFF_E224H) (0xFFFF_E244H) (0xFFFF_E264H) (0xFFFF_E284H) (0xFFFF_E2A4H) (0xFFFF_E2C4H) (0xFFFF_E2E4H)		7	6	5	4	3	2	1	0
	bit Symbol								
	Read/Write	R					R/W	R/W	R/W
	リセット後	0					0	0	0
	機能						常に“0”を設定してください		
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能								
		23	22	21	20	19	18	17	16
	bit Symbol	NC	AbC		BES	BED	Conf		
	Read/Write	R/W	R/W	R/W	R	R	R		R
	リセット後	0	0	0	0	0	0		0
	機能	詳細説明を参照ください		常に“0”を設定してください		詳細説明を参照ください			
		31	30	29	28	27	26	25	24
	bit Symbol	Act							
	Read/Write	R				R			
	リセット後	0				0			
	機能	詳細説明を参照ください							

ビット	ニモニク	フィールド名	説明
31	Act	チャンネルアクティブ	Channel Active (初期値 0) チャンネルが待機状態であることを示します。 1: チャンネルは待機状態である。 0: チャンネルは待機状態でない。
23	NC	正常終了	Normal Completion (初期値 0) チャンネル動作が正常終了したことを示します。CCR レジスタによって正常終了時の割り込みが許可されている場合、NC ビットが“1”になると、DMAC は割り込みを要求します。 NC ビットに“0”を書き込むことによりクリアできます。正常終了により割り込みを要求していた場合、NC ビットが“0”になると、割り込み要求をとり下げます。 NC ビットが“1”のとき、Str ビットを“1”にセットしようとするエラーになります。次の転送を開始するときには、NC ビットを“0”にクリアしてください。“1”の書き込みは無視されます。 1: チャンネル動作が正常終了。 0: チャンネル動作が正常終了していない。

図 10.3.4 チャンネルステータスレジスタ (CSRn) (1/2)

ビット	ニモニック	フィールド名	説 明
22	AbC	異常終了	Abnormal Completion (初期値 0) チャンネル動作が異常終了したことを示します。CCR レジスタによって異常終了時の割り込みが許可されている場合、AbC ビットが”1”になると、DMAC は割り込みを要求します。AbC ビットは”0”を書き込むことによりクリアできます。異常終了により割り込みを要求していた場合、AbC ビットが”0”になると、割り込み要求を取り下げます。また、AbC ビットが”0”にクリアされると、BES、BED および Conf の各ビットを”0”にクリアします。 AbC ビットが”1”のとき、Str ビットを”1”にセットしようとするエラーになります。次の転送を開始するときには、AbC ビットを”0”にクリアしてください。”1”の書き込みは無視されます。 1: チャンネル動作が異常終了。 0: チャンネル動作が異常終了していない。
21	—	(予約済み)	このビットは予約ビットです。常に”0”を設定してください。
20	BES	ソースバスエラー	Source Bus Error (初期値 0) 1: ソースアクセス時にバスエラー発生。 0: ソースアクセス時にバスエラー発生していない。
19	BED	デスティネーションバスエラー	Destination Bus Error (初期値 0) 1: デスティネーションアクセス時にバスエラー発生した。 0: デスティネーションアクセス時にバスエラー発生していない。
18	Conf	コンフィグレーションエラー	Configuration Error (初期値 0) 1: コンフィグレーションエラー発生。 0: コンフィグレーションエラー発生していない。
2 : 0	—	(予約済み)	このビットは 3 ビットとも予約ビットです。すべてのビットに対して常に”0”を設定してください。

図 10.3.4 チャンネルステータスレジスタ (CSRn) (2/2)

10.3.5 ソースアドレスレジスタ (SARn) (n=0~7)

SARn (0xFFFF_E208H) (0xFFFF_E228H) (0xFFFF_E248H) (0xFFFF_E268H) (0xFFFF_E288H) (0xFFFF_E2A8H) (0xFFFF_E2C8H) (0xFFFF_E2E8H)		7	6	5	4	3	2	1	0
	bit Symbol	SAddr7	SAddr6	SAddr5	SAddr4	SAddr3	SAddr2	SAddr1	SAddr0
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
	bit Symbol	SAddr15	SAddr14	SAddr13	SAddr12	SAddr11	SAddr10	SAddr9	SAddr8
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		23	22	21	20	19	18	17	16
	bit Symbol	SAddr23	SAddr22	SAddr21	SAddr20	SAddr19	SAddr18	SAddr17	SAddr16
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		31	30	29	28	27	26	25	24
	bit Symbol	SAddr31	SAddr30	SAddr29	SAddr28	SAddr27	SAddr26	SAddr25	SAddr24
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							

ビット	ニモニク	フィールド名	説 明
31 : 0	SAddr	ソースアドレス	Source Address (初期値: 0) データ転送元となるソースのアドレスを物理アドレスで設定します。CCRn の SAC, TrSiz で指定された内容と、DTCRn の SACM で指定された内容に従ってアドレスが変化します。

図 10.3.51 ソースアドレスレジスタ (SARn)

10.3.6 デスティネーションアドレスレジスタ (DARn) (n=0~7)

DARn (0xFFFF_E20CH) (0xFFFF_E22CH) (0xFFFF_E24CH) (0xFFFF_E26CH) (0xFFFF_E28CH) (0xFFFF_E2ACH) (0xFFFF_E2CCH) (0xFFFF_E2ECH)		7	6	5	4	3	2	1	0
	bit Symbol	DAddr7	DAddr6	DAddr5	DAddr4	DAddr3	DAddr2	DAddr1	DAddr0
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
	bit Symbol	DAddr15	DAddr14	DAddr13	DAddr12	DAddr11	DAddr10	DAddr9	DAddr8
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		23	22	21	20	19	18	17	16
	bit Symbol	DAddr23	DAddr22	DAddr21	DAddr20	DAddr19	DAddr18	DAddr17	DAddr16
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		31	30	29	28	27	26	25	24
	bit Symbol	DAddr31	DAddr30	DAddr29	DAddr28	DAddr27	DAddr26	DAddr25	DAddr24
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							

ビット	ニモニク	フィールド名	説 明
31 : 0	DAddr	デスティネーションアドレス	Destination Address (初期値: 0) データ転送先となるデスティネーションのアドレスを物理アドレスで設定します。CCRn の DAC, TrSiz で指定された内容と、DTCRn の DACM で指定された内容に従ってアドレスが変化します。

図 10.3.6 デスティネーションアドレスレジスタ (DARn)

10.3.7 バイトカウントレジスタ (BCRn) (n=0~7)

BCRn (0xFFFF_E210H) (0xFFFF_E230H) (0xFFFF_E250H) (0xFFFF_E270H) (0xFFFF_E290H) (0xFFFF_E2B0H) (0xFFFF_E2D0H) (0xFFFF_E2F0H)		7	6	5	4	3	2	1	0
	bit Symbol	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
	bit Symbol	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		23	22	21	20	19	18	17	16
	bit Symbol	BC23	BC22	BC21	BC20	BC19	BC18	BC17	BC16
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		31	30	29	28	27	26	25	24
	bit Symbol								
	Read/Write	R							
	リセット後	0							
	機 能								

ビット	ニモニク	フィールド名	説 明
23 : 0	BC	バイトカウント	Byte Count (初期値: 0) データ転送するバイト数を設定します。転送したデータ数分ずつ (CCRn の TrSiz で指定した値ずつ) アドレスが減少します。

図 10.3.7 バイトカウントレジスタ (BCRn)

10.3.8 DMA 転送制御レジスタ (DTCRn) (n=0~7)

	7	6	5	4	3	2	1	0
DTCRn	bit Symbol							
(0xFFFF_E218H)	Read/Write	R						
(0xFFFF_E238H)	リセット後	0	0	0	0	0	0	0
(0xFFFF_E258H)	機 能							
(0xFFFF_E278H)								
(0xFFFF_E298H)	bit Symbol							
(0xFFFF_E2B8H)	Read/Write				R			
(0xFFFF_E2D8H)	リセット後				0			
(0xFFFF_E2F8H)	機 能							
	23	22	21	20	19	18	17	16
	bit Symbol							
	Read/Write				R			
	リセット後				0			
	機 能							
	31	30	29	28	27	26	25	24
	bit Symbol							
	Read/Write				R			
	リセット後				0			
	機 能							

ビット	ニモニク	フィールド名	説 明
5 : 3	DACM	デスティネーションアドレスカウントモード	Destination Address Count Mode デスティネーションアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止
2 : 0	SACM	ソースアドレスカウントモード	Source-Address Count Mode ソースアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止

図 10.3.8 DMA 転送制御レジスタ (DTCRn)

10.3.9 データホールディングレジスタ (DHR)

DHR (0xFFFF_E30CH)		7	6	5	4	3	2	1	0
	bit Symbol	DOT7	DOT6	DOT5	DOT4	DOT3	DOT2	DOT1	DOT0
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
	bit Symbol	DOT15	DOT14	DOT13	DOT12	DOT11	DOT10	DOT9	DOT8
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		23	22	21	20	19	18	17	16
	bit Symbol	DOT23	DOT22	DOT21	DOT20	DOT19	DOT18	DOT17	DOT16
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							
		31	30	29	28	27	26	25	24
	bit Symbol	DOT31	DOT30	DOT29	DOT28	DOT27	DOT26	DOT25	DOT24
	Read/Write	R/W							
	リセット後	0							
	機 能	詳細説明を参照ください							

ビット	ニモニク	フィールド名	説 明
31 : 0	DOT	転送データ	Data on Transfer (初期値: 0) デュアルアドレスモード転送で、ソースからリードしたデータ。

図 10.3.9 データホールディングレジスタ (DHR)

10.4 機能

10.4.1 概要

DMAC は TX19A プロセッサコアを用いたシステム内のデータ転送を、コアを介さずに高速に行うことができる 32 ビット DMA コントローラです。

(1) ソースとデスティネーション

DMAC は、メモリ-メモリ間、あるいはメモリ-I/O デバイス間のデータ転送を行います。データ転送元のデバイスをソースデバイス、データ転送先のデバイスをデスティネーションデバイスと呼びます。ソースデバイス、デスティネーションデバイスとして、メモリまたは I/O デバイスを指定できます。ただし、DMAC が転送するのは、メモリ→I/O デバイス、I/O デバイス→メモリ、メモリ→メモリであり、I/O デバイス→I/O デバイスの転送はできません。

メモリと I/O デバイスとの違いは、デバイスへのアクセス方法です。DMAC は I/O デバイスにアクセスする際、 $\overline{DACKn}$ 信号をアサートします。 $\overline{DACKn}$ 信号は 1 チャンネルあたり 1 本しかありませんので、転送時に扱うことができる I/O デバイスは 1 つに限られます。このため、I/O デバイス-I/O デバイス間の転送はできません。

DMAC への転送要求に割り込み要因を指定することができます。割り込み要因が発生すると割り込みコントローラ (INTC) が DMAC に対してリクエストを出します (このとき TX19A プロセッサコアに対しては割り込み要求は通知されません。詳しくは「割り込み」の項を参照してください)。この INTC からの要求は $\overline{DACKn}$ 信号によってクリアされます。したがって、転送デバイスとして I/O デバイスが設定されているときには DMAC への要求は 1 回の転送 (TrSiz で指定した転送サイズ分の転送) ごとに解除されます。これに対してメモリ→メモリ転送に設定した場合には転送バイト数 (BCRn レジスタの値) が “0” になったときだけ $\overline{DACKn}$ がアサートされるので、1 回の転送要求で連続してデータ転送を行います。

例えば、TMP19A64 の内蔵 I/O と内蔵 (外部) メモリ間で転送を行う場合、内蔵 I/O から DMAC へ要求は 1 回の転送ごとにクリアされますが、転送バイト数 (BCRn レジスタの値) が “0” にならない限り次の転送要求待ちの状態になります。したがって、BCRn レジスタの値が “0” になるまで DMA 転送を連続して行います。

(2) バス制御権の受け渡し (バスアービトレーション)

DMAC は、DMAC 内部からの転送要求により、TX19A プロセッサコアにバス制御権を要求します。応答信号がコアから返ってくると、バス制御権を獲得してデータ転送のバスサイクルを実行します。

DMAC のバス制御権要求には、TX19A プロセッサコアのデータバスを使用できるスヌープを要求するモードと要求しないモードとがあります。モードの選択はチャンネルごとに CCRn レジスタのビット 11 (SReq) で設定します。

また、TX19A プロセッサコアがバス制御権の解放を求める場合があります。この要求に応答するかはチャンネルごとに CCRn レジスタのビット 10 (RelEn) で設定します。ただし、この機能はスヌープを要求しないモード (GREQ) のときのみ有効です。スヌープを要求するモード (SREQ) のときには TX19A プロセッサコアはバス制御権解放要求を出せないでこの機能は無効になります。

転送要求がなくなると、DMAC はバス制御権を解放します。

(注 1) DMAC がバス制御権を獲得中は $\overline{\text{NMI}}$ も保留されます。

(注 2) DMAC 動作中は Halt 動作に移行しないでください。

(注 3) スヌープ機能を使用時は、IDLE (Doze) モードへ移行する前に DMAC を停止してください。

Not Recommended
for New Design

(3) 転送要求モード

DMAC の転送要求モードには、内部転送要求モードと外部転送要求モードとがあります。

内部転送要求モードは、DMAC 内部で転送要求が発生するモードです。DMAC 内蔵レジスタのスタートビット（チャンネル制御レジスタ CCRn の Str ビット）に “1” をセットすると転送要求が発生し、DMAC は転送動作を開始します。

外部転送要求モードはスタートビットに “1” をセットした後、INTC が出力する転送要求信号（INTDREQn）の入力または外部デバイスが出力する転送要求信号 DREQn の入力により転送要求が発生するモードです。DMAC は INTDREQn 信号の “L” レベル検出で転送要求が発生するレベルモードと、DREQn 信号の立下りエッジまたは “L” レベル検出で転送要求が発生するモードとがあります。

(4) アドレスモード

TMP19A64 の DMAC が持っているアドレスモードは、デュアルアドレスモードのみです。シングルアドレスモードはありません。

デュアルアドレスモードでは、メモリ-メモリ間またはメモリ-I/O デバイス間のデータ転送を行います。ソースデバイスおよびデスティネーションデバイスのアドレスは DMAC が出力します。I/O デバイスにアクセスする際、DMAC は DACKn 信号をアサートします。このモードでは、リードオペレーションとライトオペレーションの 2 つのバスオペレーションを実行します。なお、ソースデバイスから読み出した転送データは、DMAC 内部のデータホールディングレジスタ（DHR）にいったん取り込んだ後、デスティネーションデバイスへ書き込みます。

(5) チャンネル動作

DMAC には 8 つのチャンネル（チャンネル 0～チャンネル 7）があります。チャンネルは、チャンネル制御レジスタ（CCRn）のスタート（Str）ビットを “1” にセットすることにより起動され、待機状態になります。

チャンネルが待機状態のときに転送要求が発生すると、DMAC はバス制御権を獲得してデータ転送を行います。転送要求がなくなると、DMAC はバス制御権を解放して待機状態になります。転送が終了すると、チャンネルは停止状態になります。転送終了には、正常終了と、エラー発生などによる異常終了とがあります。転送終了時には割り込み信号が発生することができます。

チャンネル動作の状態遷移の概略を図 10.4.1 に示します。

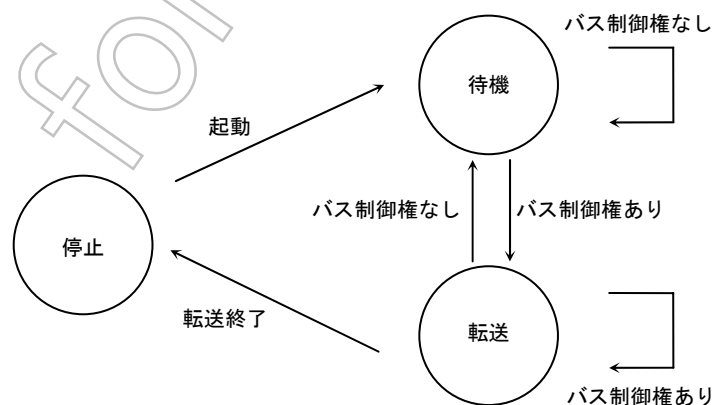


図 10.4.1 チャンネル動作の状態遷移

(6) 転送方式組み合わせまとめ

DMAC は各モードの組み合わせにより、下表の転送ができます。

転送要求	エッジ/レベル	アドレスモード	転送デバイス
内部	—	デュアル	メモリ→メモリ
外部	“L” レベル (INTDREQn)		メモリ→メモリ
			メモリ→I/O
			I/O→メモリ
外部	“L” レベル (DREQn) 立ち下がりエッジ (DREQn)		メモリ→メモリ
			メモリ→I/O
			I/O→メモリ

(7) アドレス変化

アドレス変化には大きくわけて増加、減少、固定の 3 タイプがあります。CCRn レジスタの SAC、DAC によりソースアドレスとデスティネーションアドレスごとに設定できます。デバイスがメモリの場合には増加、減少、固定とどれでも指定できますが、I/O デバイスは固定しか選択できません。ソースデバイスまたはデスティネーションデバイスに I/O デバイスを選択したときは CCRn レジスタの SAC または DAC の設定をアドレス固定にしてください。

アドレス変化に増加もしくは減少を選んだ場合、カウントするビット位置を DTCRn レジスタの SACM、DACM で設定できます。SACM がソースアドレスで、DACM がデスティネーションアドレスに対しての設定になります。アドレスをカウントするビット位置としてはビット 0, 4, 8, 12, 16 を指定できます。ビット 0 を選択したときは通常の増加、減少になります。ビット 4, 8, 12, 16 を指定することで変則増加、変則減少をさせることができます。

アドレス変化の例を示します。

例 1) ソースデバイスは単調増加、デスティネーションが変則増加のとき

SAC: アドレス増加

DAC: アドレス増加

TrSiz: 転送単位 32 ビット

ソースアドレス: 0xA000_1000

デスティネーションアドレス: 0xB000_0000

SACM: 000 → アドレスカウンターの 0 ビット目からカウントする。

DACM: 001 → アドレスカウンターの 4 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0xA000_1004	0xB000_0010
3 回目	0xA000_1008	0xB000_0020
4 回目	0xA000_100C	0xB000_0030

...

...

例 2) ソースデバイスは変則減少、デスティネーションが単調減少のとき

SAC: アドレス減少
 DAC: アドレス減少
 TrSiz: 転送単位 16 ビット
 ソースアドレス: 初期値 0xA000_1000
 デスティネーションアドレス: 0xB000_0000
 SACM: 010 → アドレスカウンターの 8 ビット目からカウントする。
 DACM: 000 → アドレスカウンターの 0 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0x9FFF_FF00	0xAFFF_FFFE
3 回目	0x9FFF_FE00	0xAFFF_FFFC
4 回目	0x9FFF_FD00	0xAFFF_FFFA
...	...	...

10.4.2 転送要求

DMAC でデータ転送を行うためには、DMAC に対して転送要求が発生する必要があります。DMAC の転送要求には、内部転送要求と外部転送要求との 2 種類があります。転送要求はチャンネルごとに設定できます。

どちらの転送要求の場合でも、チャンネル動作が起動された後に転送要求が発生すると DMAC はバス制御権を獲得してデータ転送を行います。

- 内部転送要求

CCRn の ExR ビットが “0” であるとき、CCR の Str ビットに “1” をセットすると、ただちに転送要求が発生します。この転送要求を内部転送要求と呼びます。

内部転送要求では、チャンネル動作が終了するまで転送要求がありますので、優先度の高いチャンネルへの遷移や、他の優先度の高いバスマスタへのバス制御権の遷移が起らない限り、連続してデータ転送を行います。

内部転送要求では、メモリ-メモリ間転送のみ可能です。

- 外部転送要求

CCRn の ExR ビットが “1” であるとき、CCR の Str ビットに “1” をセットしてチャンネルが待機状態になった後、チャンネルに対応する $\overline{\text{INTDREQn}}$ 信号または $\overline{\text{DREQn}}$ 信号により転送要求が $\overline{\text{INTC}}$ または外部デバイスから通知されると、転送要求が発生します。この転送要求を外部転送要求と呼びます。外部転送要求は、メモリ-メモリ間、メモリ-I/O デバイス間の転送に用います。

TMP19A64 のリクエスト信号の認識方法は、 $\overline{\text{INTDREQn}}$ 信号の “L” レベル検出、 $\overline{\text{DREQn}}$ 信号の立ち下がリエッジまたは “L” レベル検出のみです。

1 回の転送要求に対するデータ転送単位は CCRn の TrSiz フィールドで指定します。32 ビット、16 ビット、あるいは 8 ビットを指定できます。

$\overline{\text{INTDREQn}}$ 、 $\overline{\text{DREQn}}$ による転送要求の詳細を次に説明します。

① 割り込みコントローラ（INTC）からの要求

$\overline{DACKn}$ 信号によってクリアされます。この $\overline{DACKn}$ 信号は I/O デバイスへのバスサイクル、もしくはメモリ-メモリ間転送で転送バイト数（BCRn レジスタの値）が“0”になったときだけアサートされます。したがって、メモリ-I/O デバイス間転送では、転送要求ごとに $\overline{INTDREQn}$ がクリアされるので、TrSiz で指定した転送サイズ分の転送が1回行われるだけです。一方、メモリ-メモリ間転送では、転送バイト数（BCRn レジスタの値）が“0”になるまで $\overline{INTDREQn}$ がクリアされないため、1回の転送要求で連続してデータ転送が行えます。

なお、 $\overline{INTDREQn}$ に指定した割り込みを、DMAC が受け付けて DMA 転送を開始する前に INTC などでもクリアした場合には、タイミングによっては DMA 転送が割り込み要求がクリアされた後に1回実行されることがあります。

② 外部デバイスからの要求

外部端子（ $\overline{DREQ2}$ 、 $\overline{DREQ3}$ ）は、内部にてポート F、ポート J 兼用チャネルとなっています。機能制御レジスタ PEFc、PJFc にて外部端子を選択することができ、両ポート機能を選択した場合はポート F の機能が優先されます。

エッジモードでは転送要求ごとに、いったん $\overline{DREQn}$ 信号をデアサートしてからアサートして有効エッジを作る必要がありますが、レベルモードでは、有効レベルを保持することで、連続した転送要求を認識できます。メモリ-メモリ間の転送では”L”レベルモードのみ、I/O-メモリ間の転送では立下りエッジモードのみ使用可能です。

ーレベルモード

レベルモードでは、内部システムクロックの立ち上がりで $\overline{DREQn}$ 信号を”L”レベル検出します。チャネルが待機状態のときに、 $\overline{DREQn}$ 信号に”L”レベルを検出すると、DMAC は転送状態に移り、データ転送を開始します。 $\overline{DREQn}$ 信号のアクティブレベルは CCRn レジスタの PosE ビット (bit13) を”0”にして使用します。 $\overline{DACKn}$ 信号のアクティブレベルは $\overline{DREQn}$ 信号と同じ”L”アクティブです。

外部回路が $\overline{DREQn}$ 信号をアサートしたら、 $\overline{DACKn}$ 信号がアサートされるまで $\overline{DREQn}$ 信号を”L”レベルに保持してください。 $\overline{DACKn}$ 信号がアサートされる前に $\overline{DREQn}$ 信号をデアサートした場合には、転送要求が認識されないことがあります。

$\overline{DREQn}$ 信号が”L”レベルでないと、転送要求がないとして、他のチャネルの転送動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz フィールド (<bit3:2>) で指定します。

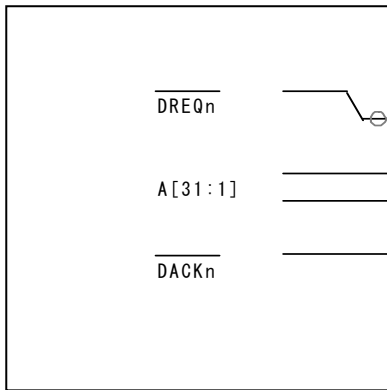


図 10.4.2.1 転送要求タイミング（レベルモード）

ーエッジモード

エッジモードでは、 $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを検出します。チャンネルが待機状態にあるときに内部システムクロックの立ち上がりで $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識する（1つ前のシステムクロックの立ち上がりでは”L”レベルではなかったが、現在は”L”レベルである場合）と、DMAC は転送要求があると認識して転送状態に移り、転送動作を開始します。 $\overline{\text{DREQn}}$ 信号の立ち下がりエッジは、CCRn レジスタの PosE ビット (bit13) を”0”に、Lev ビット (bit12) を”0”に設定します。 $\overline{\text{DACKn}}$ 信号のアクティブレベルは”L”レベルです。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識すると、続けて次のデータが転送されます。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジがない場合には、転送要求がないとして、他のチャンネル動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz ビット (<bit3:2>) で指定します。

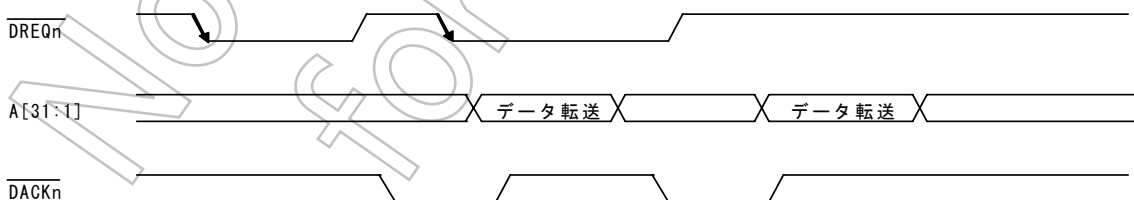


図 10.4.2.2 転送要求タイミング（エッジモード）

10.4.3 アドレスモード

アドレスモードは、DMAC がソースデバイス、デスティネーションデバイスの双方にアドレスを出力して転送動作を行うか、あるいは一方のデバイスにのみアドレスを出力して転送動作を行うかを指定します。前者をデュアルアドレスモード、後者をシングルアドレスモードと呼びます。TMP19A64 には前者のデュアルアドレスモードしかありません。

デュアルアドレスモードでは、DMAC はまずソースデバイスに対するリードオペレーションを実行します。このときソースデバイスが出力したデータを、DMAC 内部のレジスタ (DHR) にいったん格納します。次にデスティネーションデバイスに対するライトオペレーションを実行することによって、このデータを書き込み、ソースデバイスからデスティネーションデバイスへのデータ転送を実現します。

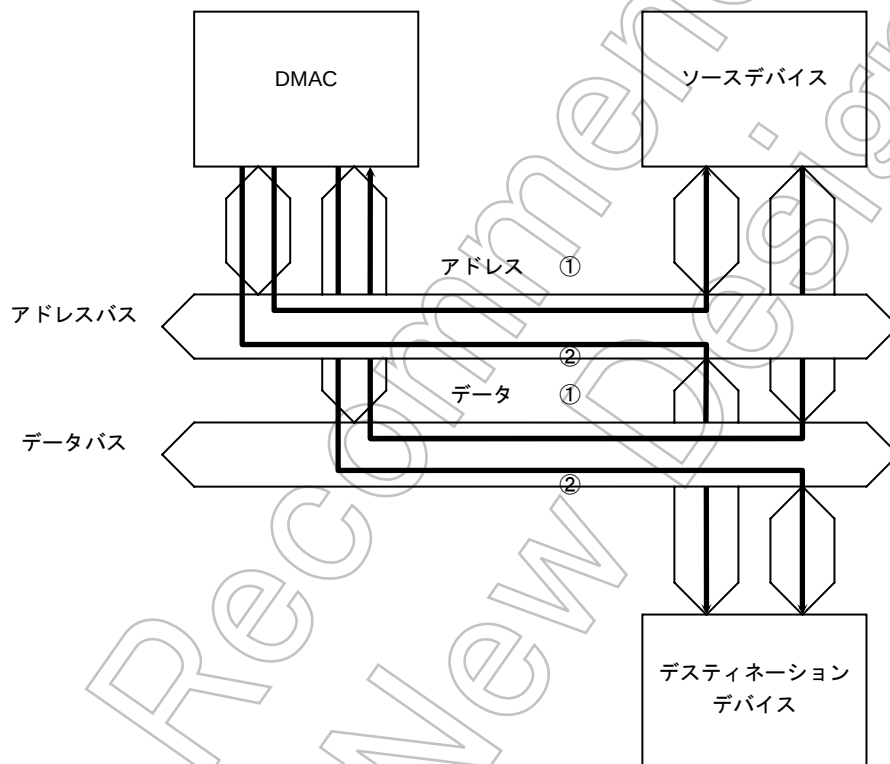


図 10.4.3.1 デュアルアドレスモード転送の概念図

DMAC のデータ転送単位は、CCRn の TrSiz フィールドで指定したデータ量 (32 ビット、16 ビットまたは 8 ビット) です。転送要求を認識することによりこの転送単位分のデータを転送します。

デュアルアドレスモードでは、データ転送単位分のデータをソースデバイスから DHR に読み込み、次にそのデータをデスティネーションデバイスに書き込みます。

メモリへのアクセスは設定したデータ転送単位で発生しますが、外部のメモリへのアクセスの場合、データ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 16 ビットの場合には 2 回の 16 ビットアクセスが発生することになります。同様にデータ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 8 ビットの場合には 4 回の 8 ビットアクセスが発生することになります。

メモリ→I/O デバイス、あるいは I/O デバイス→メモリのデータ転送では、データ転送単位とは別に I/O デバイスのバス幅 (デバイスポートサイズ) を CCRn の DPS フィールドで指定します (32 ビット、16 ビット、または 8 ビット)。

データ転送単位とデバイスポートサイズが等しい場合には、I/O デバイスに対して 1 回のリードオペレーションまたはライトオペレーションを行います。

データ転送単位よりデバイスポートサイズが小さい場合には、DMAC は I/O デバイスへ複数回のリードオペレーションあるいはライトオペレーションを行います。例えば、データ転送単位が 32 ビットで、デバイスポートサイズが 8 ビットの I/O からメモリへ転送を行う場合には、I/O デバイスから 8 ビットずつ 4 回データを読み出して DHR に格納し、次にメモリへ 32 ビット分のデータを 1 回（外部メモリでバス幅が 16 ビットの時には 2 回）で書き込みます。

アドレスはデータ転送単位ずつ変化します。BCRn の値もデータ転送単位ずつ変化します。データ転送単位よりもデバイスポートサイズが大きい設定は禁止です。まとめると、表 10.4.3.2 のようになります。

表 10.4.3.2 データ転送単位とデバイスポートサイズ（デュアルアドレスモード）

TrSiz	DPS	I/O デバイスに対する バスオペレーション
0x (32 ビット)	0x (32 ビット)	1 回
0x (32 ビット)	10 (16 ビット)	2 回
0x (32 ビット)	11 (8 ビット)	4 回
10 (16 ビット)	0x (32 ビット)	設定禁止
10 (16 ビット)	10 (16 ビット)	1 回
10 (16 ビット)	11 (8 ビット)	2 回
11 (8 ビット)	0x (32 ビット)	設定禁止
11 (8 ビット)	10 (16 ビット)	設定禁止
11 (8 ビット)	11 (8 ビット)	1 回

10.4.4 チャネル動作

チャネルは、各チャネルの CCRn の Str ビットが “1” にセットされると起動されます。チャネルが起動されると、起動のチェックが行われ、エラーがない場合にはそのチャネルは待機状態になります。

チャネルが待機状態であるときに転送要求が発生すると、DMAC はバス制御権を獲得して、転送動作を開始します。

チャネル動作の終了には、正常終了と、エラー発生などによる異常終了とがあります。終了したときの状態は、CSRn に示されます。

チャネル動作の開始

チャネルは CCRn の Str ビットが “1” にセットされると起動されます。

チャネルが起動されると、コンフィグレーションエラーのチェックを行い、エラーがなければ待機状態になります。エラーが検出されると、チャネルは異常終了します。チャネルが待機状態になると、そのチャネルの CSRn の Act ビットが “1” になります。

チャネルが内部転送要求に設定されている場合には、ただちに転送要求が発生し、DMAC はバス制御権を得てデータ転送を開始します。チャネルが外部転送要求に設定されている場合には、INTDREQn または DREQn がアサートされると DMAC はバス制御権を得てデータ転送を開始します。

チャネル動作の終了

チャネル動作の終了には、正常終了と異常終了とがあります。正常終了であるか異常終了であるかは、CSRn に示されます。

CSRn レジスタの NC ビットあるいは AbC ビットが “1” のときに CCRn レジスタの Str ビットに “1” をセットしようとする、チャネル動作は開始せず、異常終了となります。

正常終了

チャネルが正常終了するのは、次の場合です。なお、正常終了では、かならずデータ転送単位 (CCRn の TrSiz フィールドで設定した値) での転送終了後の終了となります。

- BCRn の内容が 0 になりデータ転送が終了した場合

異常終了

DMAC の異常終了には次のものがあります。

- コンフィグレーションエラーによる終了

コンフィグレーションエラーとは、DMA 転送の設定の誤りです。コンフィグレーションエラーはデータ転送動作を開始する前に発生しますので、SARn、DARn、BCRn の値は設定時のままです。コンフィグレーションエラーでチャネルが異常終了すると、CSRn の AbC ビットが “1” にセットされると同時に Conf ビットも “1” にセットされます。以下にコンフィグレーションエラーの要因を示します。

- SIO と DIO の両方に “1” をセットした。
- CSRn の NC ビットあるいは AbC ビットの値が “1” であるときに CCRn の Str ビットに “1” をセットした。
- BCRn にデータ転送単位で割り切れない値を設定した。
- SARn、DARn にデータ転送単位で割り切れない値を設定した。
- デバイSPORTサイズとデータ転送単位を禁止された組み合わせに設定した。
- BCRn の値が 0 のときに CCRn の Str ビットに “1” をセットした。

- バスエラーによる終了

バスエラーによる異常終了では、CSRn の AbC ビットに “1” がセットされると同時に、CSRn の BES ビットあるいは BED ビットに “1” がセットされます。

- データ転送中にバスエラーが通知された。

(注) バスエラーで終了した場合の BCR、SAR、DAR の値は保証されません。
バスエラーを起こす場合は後述の「21. 機能レジスタ一覧表」を参照してください。

10.4.5 チャンネルの優先順位

DMAC にある 8 つのチャンネルのうち、チャンネル番号の小さい方の優先度が常に高くなっています。このため、チャンネル 0 とチャンネル 1 と同時に転送要求が発生すると、チャンネル 0 の転送要求に対する転送動作をまず行います。チャンネル 0 の転送要求がなくなった時点でチャンネル 1 に依然として転送要求が発生していれば、チャンネル 1 の転送動作を実行します（内部転送要求では、転送要求は保持されています。外部転送要求では、割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定がエッジモードのときには割り込みコントローラが転送要求を保持していますが、レベルモードでは割り込みコントローラは転送要求を保持しません。割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定をレベルモードにした場合には、割り込み要求信号をアサートし続けてください）。

また、チャンネル 1 のデータ転送中にチャンネル 0 に転送要求が発生すると、チャンネル遷移が起こります。チャンネル 1 のデータ転送を一時中断し、チャンネル 0 の転送を開始します。チャンネル 0 の転送要求がなくなると、チャンネル 1 の転送動作を再開します。

チャンネル遷移が起こるタイミングは、データ転送単位の転送終了時です。すなわち、DHR 内のデータをすべて書き込んだときとなります。

割り込み

DMAC はチャンネル動作終了時に TX19A プロセッサコアに割り込み（INTDMA_n : DMA 転送終了割り込み）を要求することができます。割り込みには、正常終了割り込み、異常終了割り込みの 2 つがあります。

- 正常終了割り込み

チャンネル動作が正常終了すると、CSRn の NC ビットが “1” にセットされます。このとき CCRn の NIEn ビットで正常終了割り込みが許可されていると、TX19A プロセッサコアに割り込みを要求します。

- 異常終了割り込み

チャンネル動作が異常終了すると、CSRn の AbC ビットに “1” がセットされます。このとき CCRn の AbIEn ビットで異常終了割り込みが許可されていると TX19A プロセッサコアに割り込みを要求します。

10.5 動作

DMAC の動作は、内部システムクロックの立ち上がりエッジに同期して行われます。

10.5.1 デュアルアドレスモード

- メモリ→メモリ転送

外部メモリ（16 ビット幅）から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.5.1.1 に示します。実際にはデータは BCRn が “0” になるまで連続して転送されます。

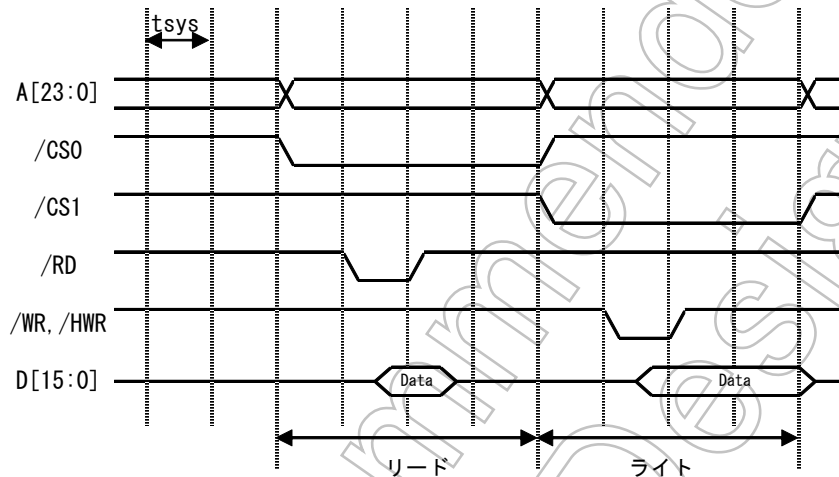


図 10.5.1.1 デュアルアドレスモード（メモリ→メモリ）

- メモリ→I/O デバイス転送

データ転送単位 16 ビット、デバイスポートサイズ 8 ビットに設定した場合の、メモリ→I/O デバイス転送のタイミング例を図 10.5.1.2 に示します。

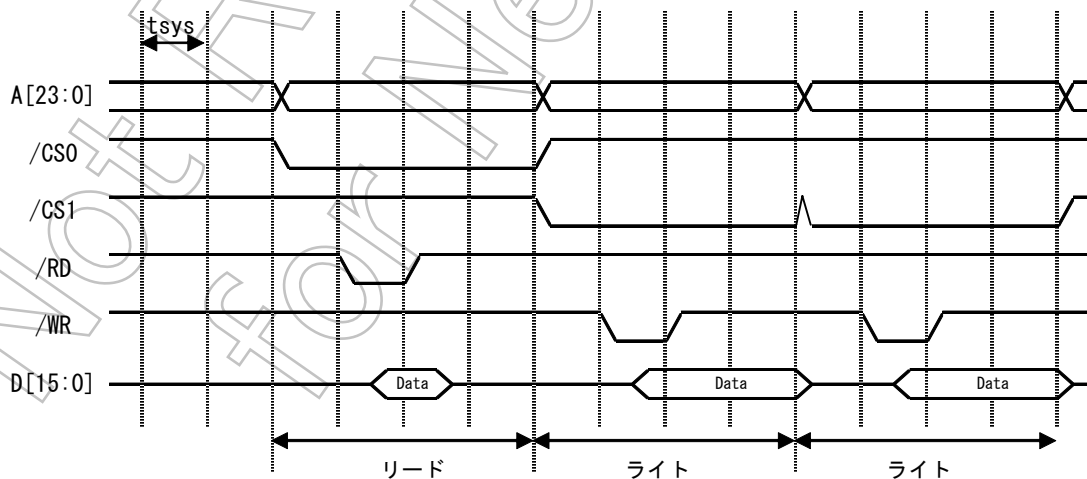


図 10.5.1.2 デュアルアドレスモード（メモリ→I/O デバイス）

- I/O デバイス→メモリ転送

データ転送単位 16 ビット、デバイスポートサイズ 8 ビットに設定した場合の、I/O デバイス→メモリ転送のタイミング例を図 10.5.1.3 に示します。

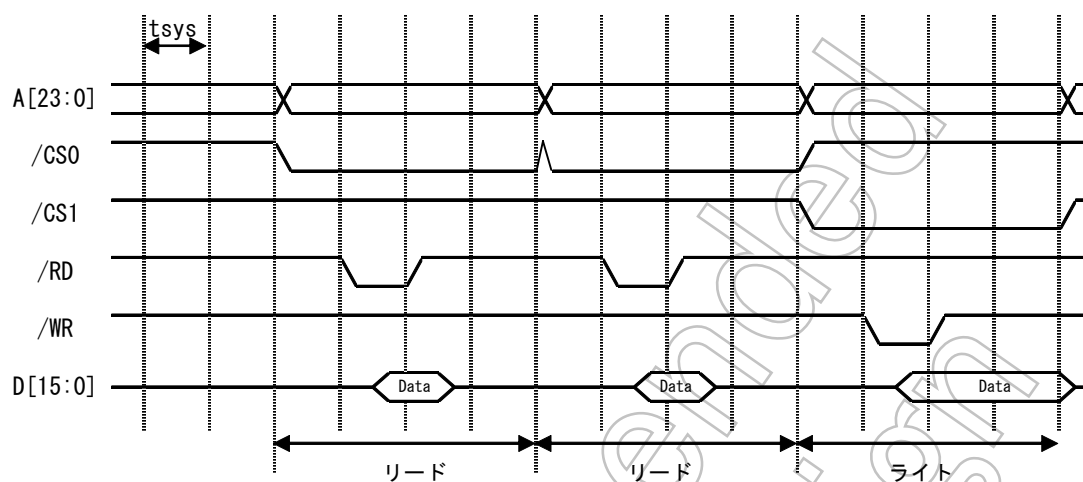


図 10.5.1.3 デュアルアドレスモード (I/O デバイス→メモリ)

10.5.2 DREQn による転送モード

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、レベルモード）
内蔵 RAM から 外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.5.2.1 に示します。

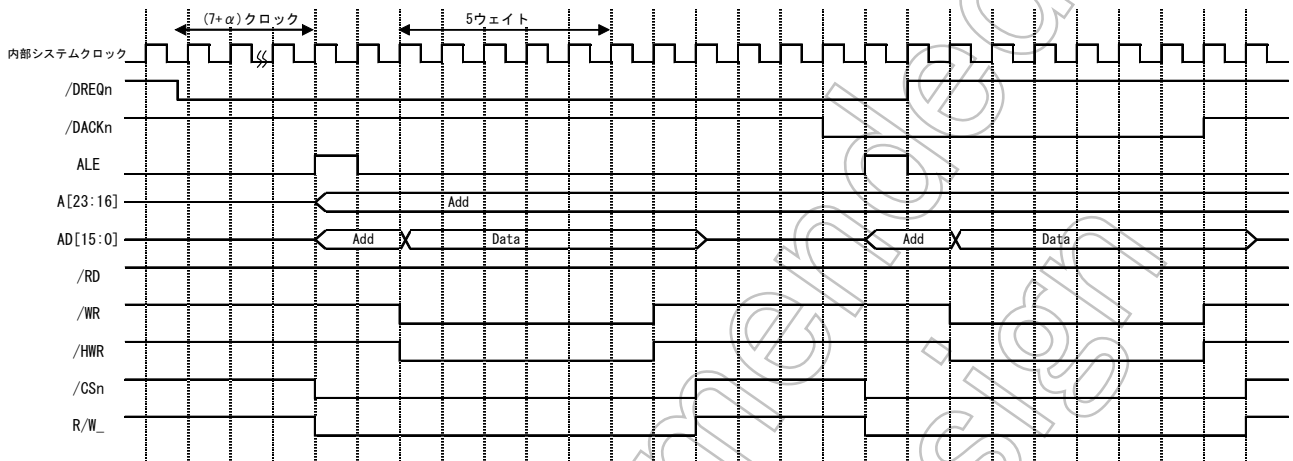


図 10.5.2.1 レベルモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、レベルモード）
外部メモリ（16 ビット幅）から内蔵 RAM へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.5.2.2 に示します。

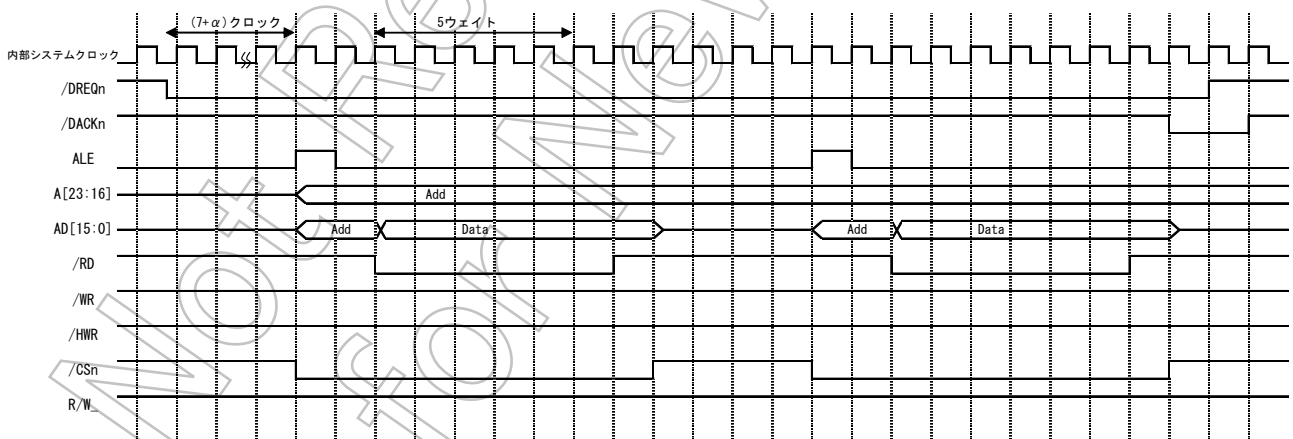


図 10.5.2.2 レベルモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、レベルモード）

内蔵 RAM から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.5.2.3 に示します。

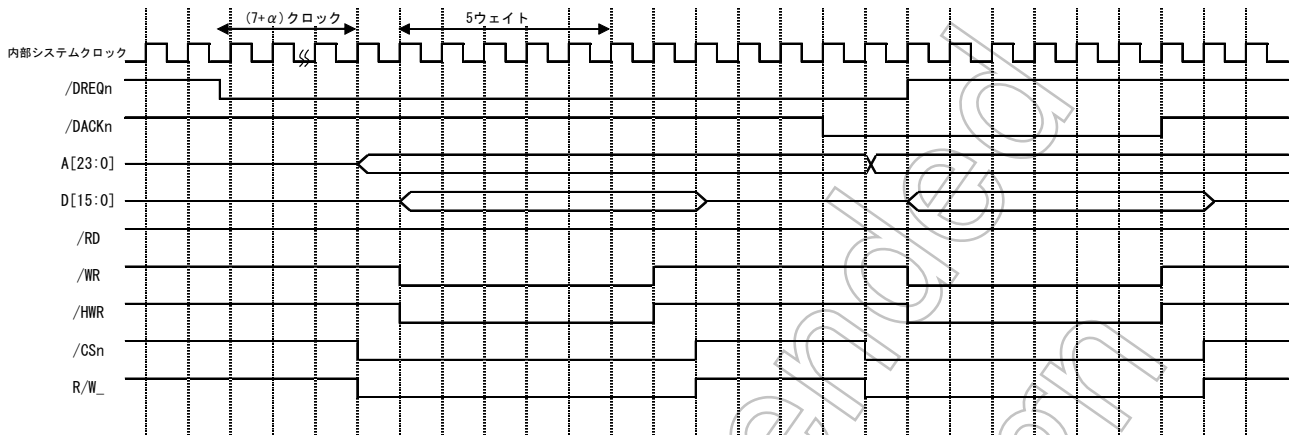


図 10.5.2.3 レベルモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、レベルモード）

外部メモリ（16 ビット幅）から内蔵 RAM へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.5.2.4 に示します。

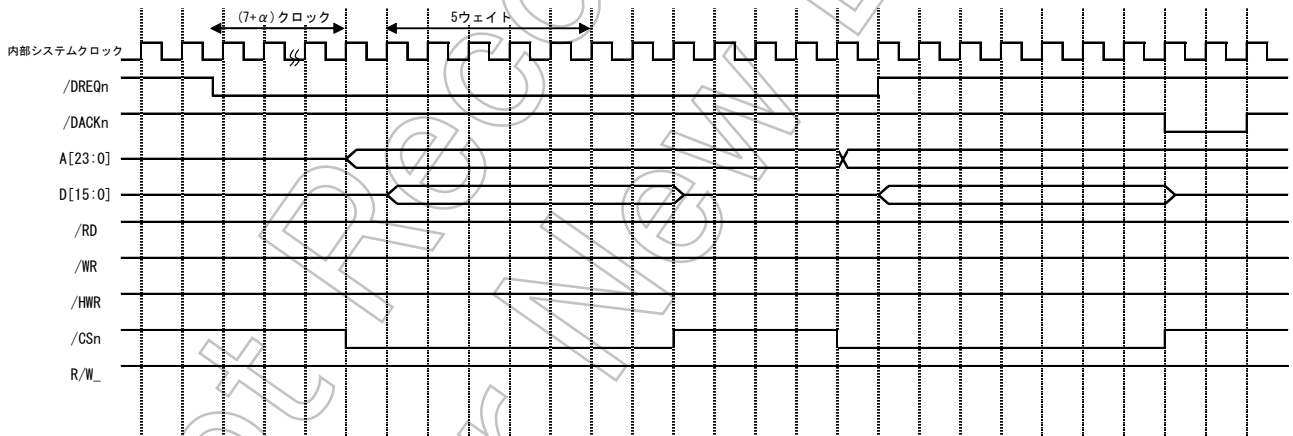


図 10.5.2.4 レベルモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）
内蔵 RAM から 外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.5.2.5 に示します。

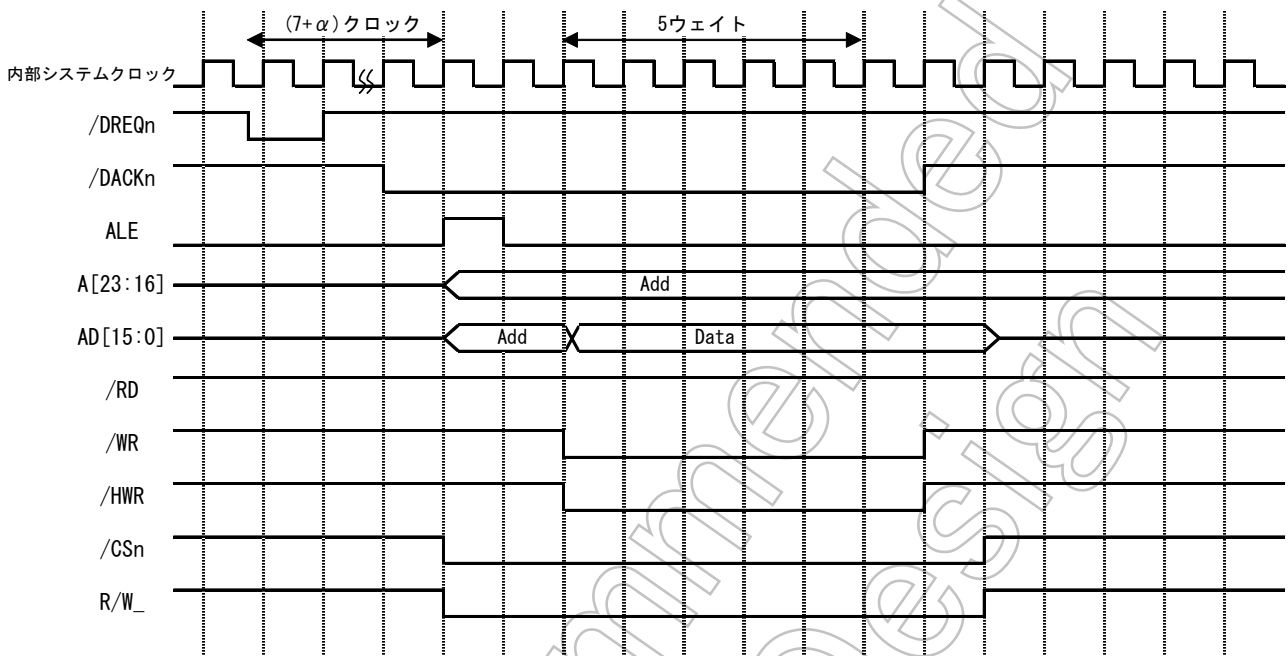


図 10.5.2.5 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）
外部メモリ（16 ビット幅）から内蔵 RAM へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.5.2.6 に示します。

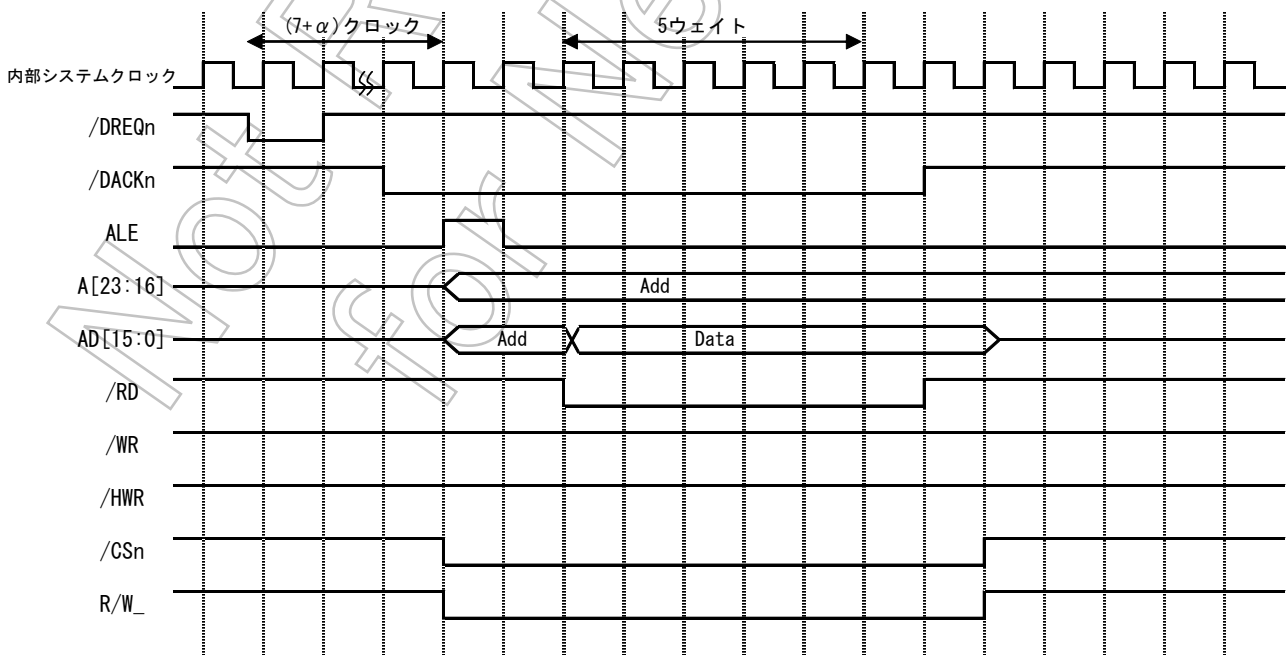


図 10.5.2.6 エッジモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、エッジモード）

内蔵 RAM から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.5.2.7 に示します。

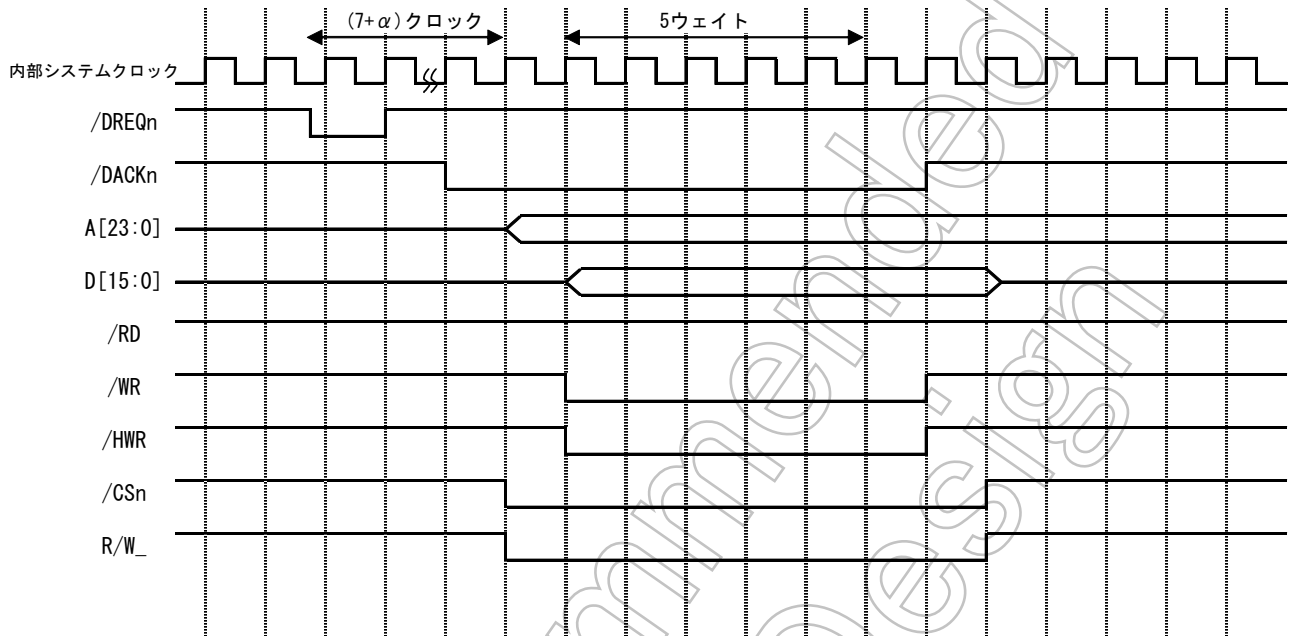


図 10.5.2.7 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、エッジモード）

外部メモリ（16 ビット幅）から内蔵 RAM へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.5.2.8 に示します。

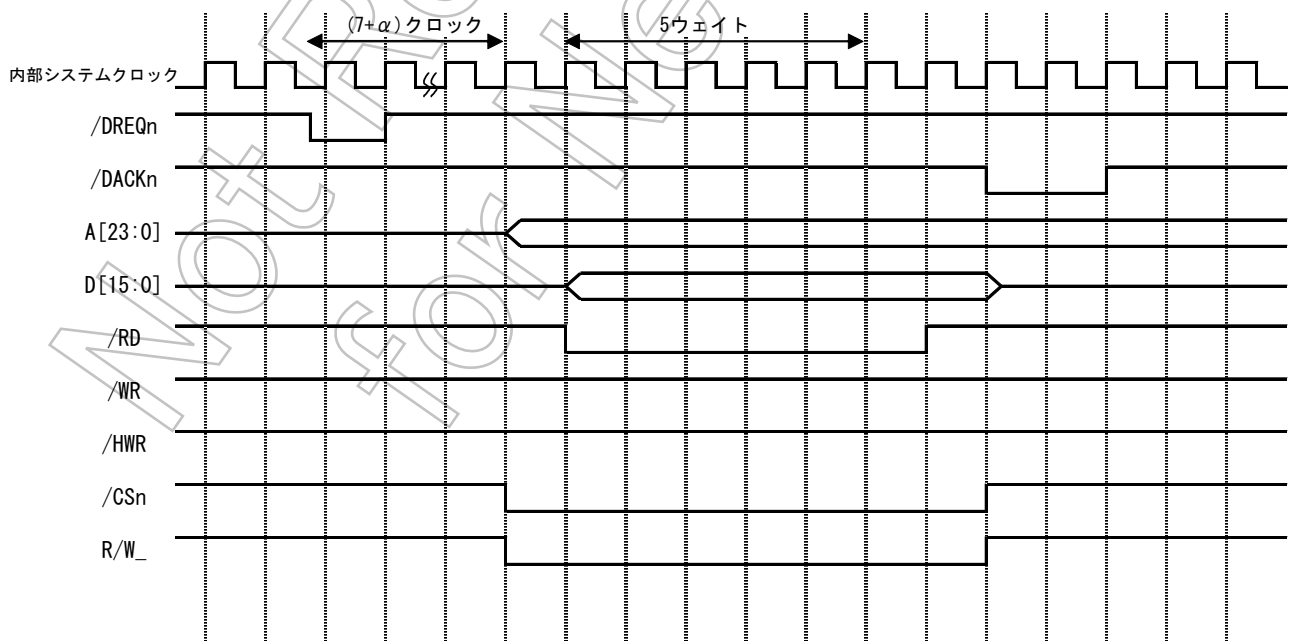


図 10.5.2.8 エッジモード（外部メモリ→内蔵 RAM）

10.6 設定例：シリアル受信データ（SCnBUF）を内蔵 RAM に DMA 転送する例

設定例では転送に DMA (ch. 0) を使用し、SIO1 の受信割り込みで DMA0 を起動します。

＜DMA 設定例＞

- 使用チャネル： 0
- ソースアドレス： SC1BUF
- デスティネーション：（物理アドレス） 0xFFFF_9800
- 転送バイト数： 256 バイト

＜シリアルチャネル設定例＞

- データ長 8 ビット： UART
- シリアルチャネル： ch1
- 転送レート： 9600bps

＜SIO ch.1 設定＞

IMC4	←	0xxxxx_xx70	/* DMC0 起動要因に割り当て */
INTCLR	←	0x40	/* IVR [9:4], INTRX1 割り込み要因 */
SC1MOD0	←	0x29	/* UART モード、8 ビット長、ボーレートジェネレータ */
SC1CR	←	0x00	
BR1CR	←	0x1F	/* @fc=54MHz、転送レート設定 */

＜DMA0 設定＞

DCR	←	0x8000_0000	/* DMA リセット */
IMCE	←	0xxxxx_xx40	/* 割り込み禁止設定 */
INTCLR	←	0xE0	/* IVR [8:0] の値 */
IMCE	←	0xxxxx_xx44	/* レベル = 4 (任意値) */
DTCRO	←	0x0000_0000	/* DACM = 000 */
			/* SACM = 000 */
SAR0	←	0xFFFF_F208	/* SC1BUF の物理アドレス */
DAR0	←	0xFFFF_9800	/* 転送先の物理アドレス */
BCR0	←	0x0000_00FF	/* 256 (転送バイト数) */
CCR0	←	0x80C0_5B0F	/* DMA ch.0 設定 */

11. 16ビットタイマ/イベントカウンタ (TMRB)

多機能 16 ビットタイマ/イベントカウンタを 11 チャンネル (TMRB0~TMRBA) 内蔵しています。TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- 2 相パルス入力カウンタモード (TMRBA、4 倍速)

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバツファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。

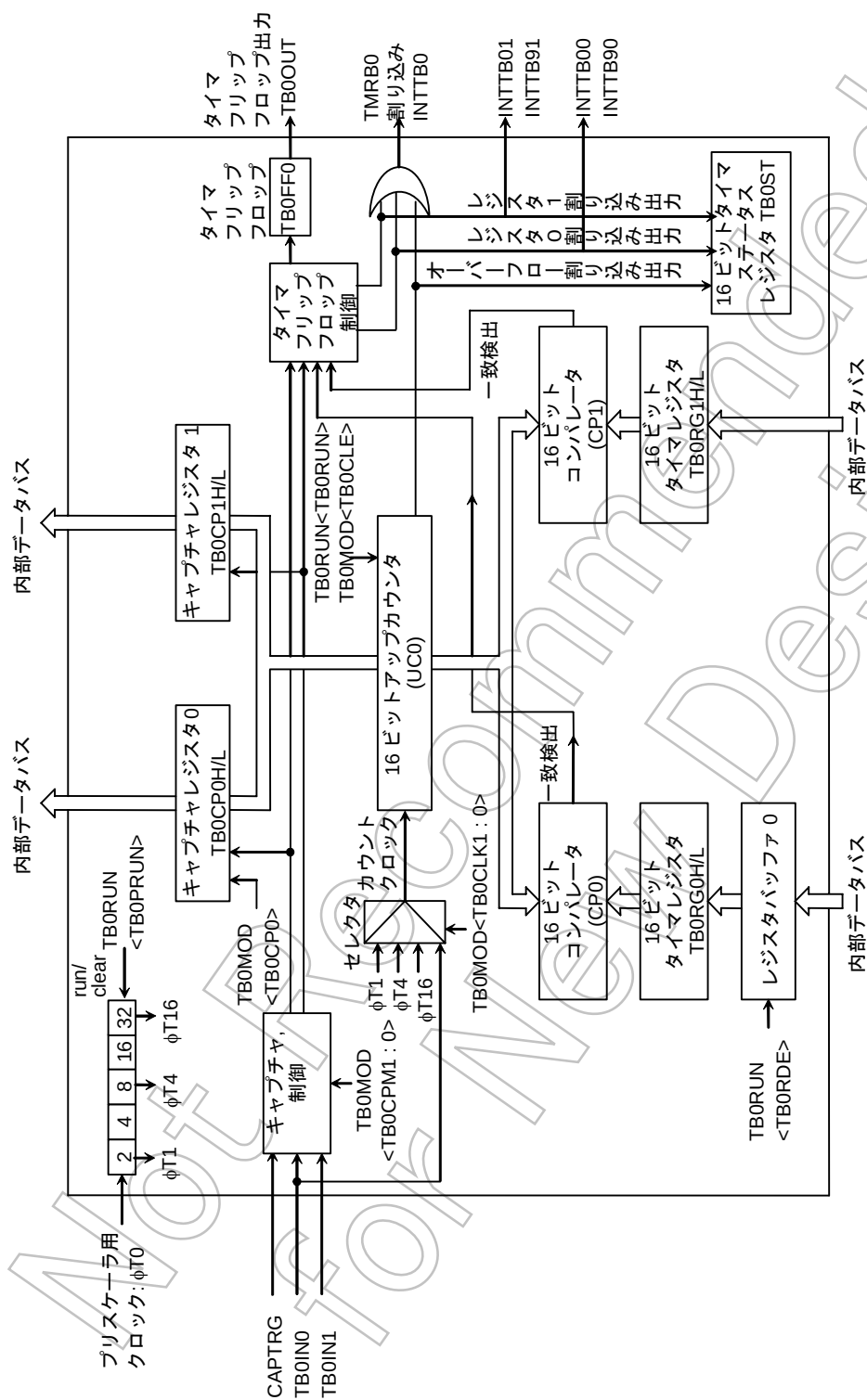
各チャンネル (TMRB0~TMRBA) はそれぞれ独立に動作します。いずれのチャンネルも表 11.1 に示される仕様相違点と 2 相パルスカウント機能を除いて同一の動作をしますので、動作説明は TMRB0 の場合と 2 相パルスカウント機能 TMRBA についてのみ説明します。

表 11.1 TMRB のチャンネル別仕様相違点

仕 様 \ チャンネル		TMRB0	TMRB1	TMRB2	TMRB3	TMRB4	TMRB5
外部端子	外部クロック/ キャプチャトリガ入力端子	TB0IN0 (PA0 と兼用) TB0IN1 (PA1 と兼用)	TB1IN0 (PA3 と兼用) TB1IN1 (PA4 と兼用)	—	—	—	—
	タイマフリップフロップ 出力端子	TB0OUT (PA2 と兼用)	TB1OUT (PA5 と兼用)	TB2OUT (PA6 と兼用)	TB3OUT (PA7 と兼用)	TB4OUT (PB0 と兼用)	TB5OUT (PB1 と兼用)
内部信号	キャプチャトリガ用タイマ	TB9OUT	TB9OUT	TB9OUT	TB9OUT	TB9OUT	TB3OUT
レジスタ名	タイマ RUN レジスタ	TBORUN	TB1RUN	TB2RUN	TB3RUN	TB4RUN	TB5RUN
	タイマコントロール レジスタ	TB0CR	TB1CR	TB2CR	TB3CR	TB4CR	TB5CR
	タイマモードレジスタ	TB0MOD	TB1MOD	TB2MOD	TB3MOD	TB4MOD	TB5MOD
	タイマフリップフロップ コントロールレジスタ	TB0FFCR	TB1FFCR	TB2FFCR	TB3FFCR	TB4FFCR	TB5FFCR
	タイマステータスレジスタ	TB0ST	TB1ST	TB2ST	TB3ST	TB4ST	TB5ST
	タイマ UC プリセット レジスタ	TB0UCL TB0UCH	TB1UCL TB1UCH	TB2UCL TB2UCH	TB3UCL TB3UCH	TB4UCL TB4UCH	TB5UCL TB5UCH
	タイマレジスタ	TB0RG0L	TB1RG0L	TB2RG0L	TB3RG0L	TB0RG0L	TB5RG0L
		TB0RG0H	TB1RG0H	TB2RG0H	TB3RG0H	TB4RG0H	TB5RG0H
		TB0RG1L	TB1RG1L	TB2RG1L	TB3RG1L	TB4RG1L	TB5RG1L
		TB0RG1H	TB1RG1H	TB2RG1H	TB3RG1H	TB4RG1H	TB5RG1H
	キャプチャレジスタ	TB0CP0L	TB1CP0L	TB2CP0L	TB3CP0L	TB4CP0L	TB5CP0L
		TB0CP0H	TB1CP0H	TB2CP0H	TB3CP0H	TB4CP0H	TB5CP0H
		TB0CP1L	TB1CP1L	TB2CP1L	TB3CP1L	TB4CP1L	TB5CP1L
		TB0CP1H	TB1CP1H	TB2CP1H	TB3CP1H	TB4CP1H	TB5CP1H

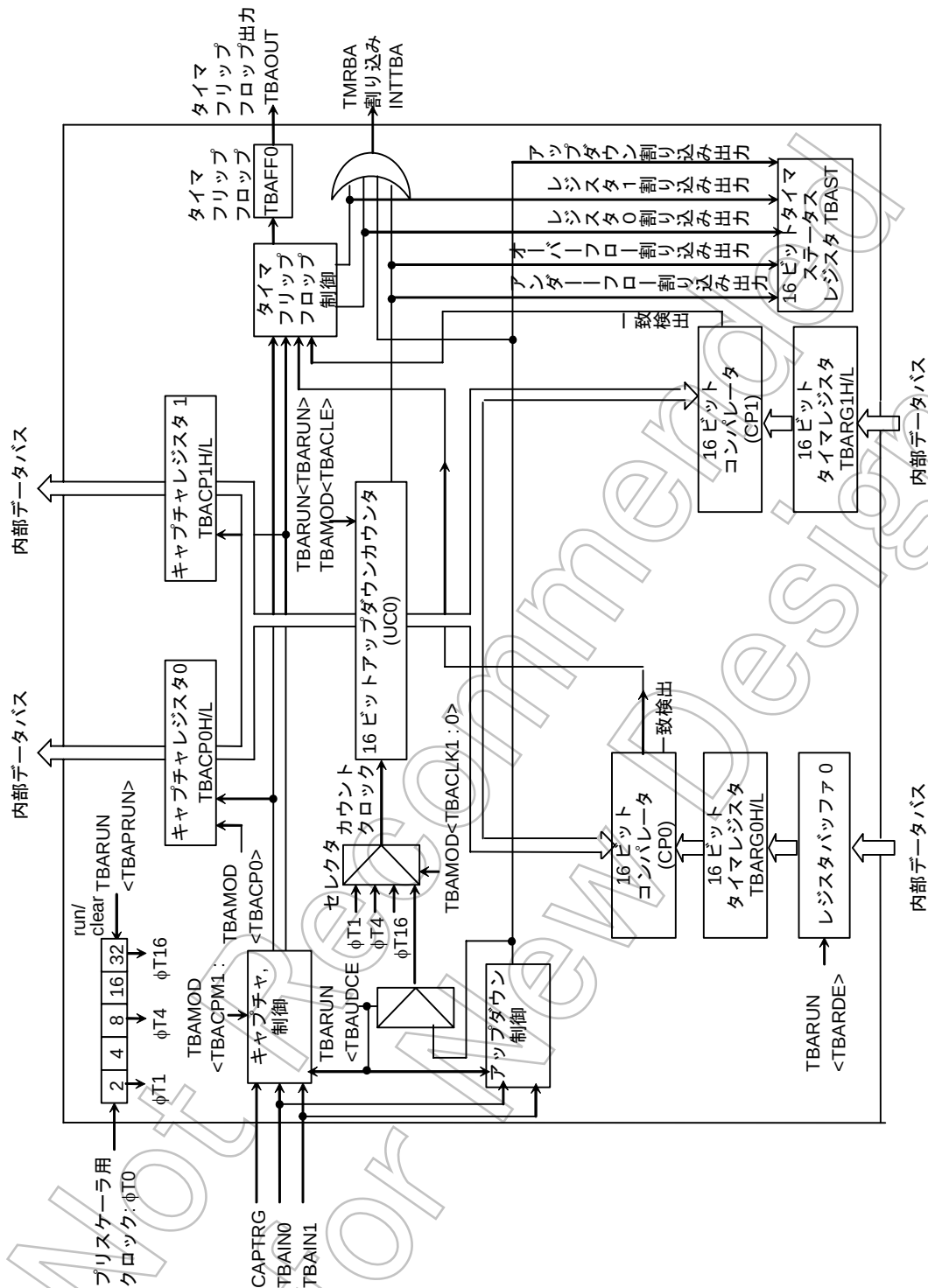
仕 様 \ チャンネル		TMRB6	TMRB7	TMRB8	TMRB9	TMRBA
外部端子	外部クロック/ キャプチャトリガ入力端子	—	—	—	—	TBAIN0 (PB6 と兼用) TBAIN1 (PB7 と兼用)
	タイマフリップフロップ 出力端子	TB6OUT (PB2 と兼用)	TB7OUT (PB3 と兼用)	TB8OUT (PB4 と兼用)	TB9OUT (PB5 と兼用)	—
内部信号	キャプチャトリガ用タイマ	TB3OUT	TB3OUT	TB3OUT	TB3OUT	TB3OUT
レジスタ名	タイマ RUN レジスタ	TB6RUN	TB7RUN	TB8RUN	TB9RUN	TBARUN
	タイマコントロール レジスタ	TB6CR	TB7CR	TB8CR	TB9CR	TBACR
	タイマモードレジスタ	TB6MOD	TB7MOD	TB8MOD	TB9MOD	TBAMOD
	タイマフリップフロップ コントロールレジスタ	TB6FFCR	TB7FFCR	TB8FFCR	TB9FFCR	TBAFFCR
	タイマステータスレジスタ	TB6ST	TB7ST	TB8ST	TB9ST	TBAST
	タイマ UC プリセット レジスタ	TB6UCL TB6UCH	TB7UCL TB7UCH	TB8UCL TB8UCH	TB9UCL TB9UCH	TBAUCL TBAUCH
	タイマレジスタ	TB6RG0L	TB7RG0L	TB8RG0L	TB9RG0L	TBARG0L
		TB6RG0H	TB7RG0H	TB8RG0H	TB9RG0H	TBARG0H
		TB6RG1L	TB7RG1L	TB8RG1L	TB9RG1L	TBARG1L
		TB6RG1H	TB7RG1H	TB8RG1H	TB9RG1H	TBARG1H
	キャプチャレジスタ	TB6CP0L	TB7CP0L	TB8CP0L	TB9CP0L	TBACP0L
		TB6CP0H	TB7CP0H	TB8CP0H	TB9CP0H	TBACP0H
		TB6CP1L	TB7CP1L	TB8CP1L	TB9CP1L	TBACP1L
		TB6CP1H	TB7CP1H	TB8CP1H	TB9CP1H	TBACP1H

11.1 チャネル別のブロック図



(注) TMRB2～TMRB9 には外部クロック、キャプチャトリガ入力機能はありません。

図 11.1.1 TMRB0 ブロック図 (チャネル 1~9 も同様)



(注) TBAOUT の外部出力はありません。

図 11.1.2 TMRBA ブロック図

11.2 回路別の動作説明

11.2.1 プリスケータ

TMRB0 のクロックソースを得るため、5 ビットプリスケータがあります。プリスケータへの入力クロック ϕ T0 は CG 部の SYSCR0<PRCK1:0> にて選択した fperiph/2、fperiph/4、fperiph/8、fperiph/16 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の SYSCR1<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケータは TBORUN<TBOPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し “0” をライトするとクリアされ停止します。プリスケータ出力クロックの分解能を表 11.2.1 に示します。

Not Recommended for New Design

表 11.2.1 プリスケアラ出力クロック分解能

@fc = 54MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケアラ クロック選択 <PRCK1 : 0>	プリスケアラ出力クロック分解能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	$f_c/2^3 (0.15 \mu s)$	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	$f_c/2^2 (0.07 \mu s)$	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$
	100 (fc/2)	00 (fperiph/16)	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$	$f_c/2^{10} (18.96 \mu s)$
		01 (fperiph/8)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		10 (fperiph/4)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		11 (fperiph/2)	$f_c/2^3 (0.15 \mu s)$	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
	110 (fc/4)	00 (fperiph/16)	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$	$f_c/2^{11} (37.93 \mu s)$
		01 (fperiph/8)	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$	$f_c/2^{10} (18.96 \mu s)$
		10 (fperiph/4)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		11 (fperiph/2)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
	111 (fc/8)	00 (fperiph/16)	$f_c/2^8 (4.74 \mu s)$	$f_c/2^{10} (18.96 \mu s)$	$f_c/2^{12} (75.85 \mu s)$
		01 (fperiph/8)	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$	$f_c/2^{11} (37.93 \mu s)$
		10 (fperiph/4)	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$	$f_c/2^{10} (18.96 \mu s)$
		11 (fperiph/2)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
1 (fc)	000 (fc)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	$f_c/2^3 (0.15 \mu s)$	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	$f_c/2^2 (0.07 \mu s)$	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$
	100 (fc/2)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	$f_c/2^3 (0.15 \mu s)$	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	—	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$
	110 (fc/4)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	—	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	—	$f_c/2^4 (0.30 \mu s)$	$f_c/2^6 (1.19 \mu s)$
	111 (fc/8)	00 (fperiph/16)	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$	$f_c/2^9 (9.48 \mu s)$
		01 (fperiph/8)	—	$f_c/2^6 (1.19 \mu s)$	$f_c/2^8 (4.74 \mu s)$
		10 (fperiph/4)	—	$f_c/2^5 (0.59 \mu s)$	$f_c/2^7 (2.37 \mu s)$
		11 (fperiph/2)	—	—	$f_c/2^6 (1.19 \mu s)$

(注1) プリスケアラ出力クロック ϕTn は、かならず $\phi Tn < f_{sys}/2$ を満足するように (ϕTn が $f_{sys}/2$ よりも遅くなるように) 選択してください。

(注2) タイマ動作中にクロックギアの切り換えはしないでください。

(注3) —: 設定禁止

11.2.2 アップカウンタ (UC0) , アップカウンタキャプチャレジスタ (TBOUCL, TBOUCH)

TBOMOD<TBOCLK1:0> で指定された入カクロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入カクロックは、3 種類のプリスケアラ出カクロック $\Phi T0$ 、 $\Phi T2$ 、 $\Phi T8$ 、または、TB0INO 端子の外部クロックのいずれかを選択できます。UC0 は、TBORUN<TBORUN> によってカウント/停止&クリアを設定します。UC0 は、タイマレジスタ TBORG1H / L と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、TBOMOD<TBOCLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。TBOUCL, TBOUCH レジスタを読み出すことにより、UC0 の現在のカウント値をキャプチャする事が可能です。

注：読み出す場合は必ず下位 → 上位の順で読み出してください。

UC0 のオーバーフローが発生した場合、オーバーフロー割り込み INTTB0 が発生します。

TMRBA には 2 相パルス入力カウント機能があり、TBARUN<TBAUDCE>によって 2 相パルスカウントモードになり、本カウンタはアップダウンカウンタとして機能し、カウンタは 0x7FFF に初期化されます。カウンタがオーバーフローすると、初期値 0x0000、またはアンダーフローすると初期値 0xFFFF がリロードされます。2 相パルスカウントモードではない場合はアップカウントのみとなります。

11.2.3 タイマレジスタ (TBORG0H/L, TBORG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TBORG0H/L、TBORG1H/L へのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

このタイマレジスタは、TBORG0 がダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。TBORG0 は TBORUN<TBORDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TBORDE> = “0” のときディセーブル、<TBORDE> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TBORG0 へのデータ転送は、UC0 と TBORG1 との一致時に行われます。

リセット動作により、TBORG0、TBORG1 は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。リセット動作により、TBORUN<TBORDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TBORDE> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TBORG0 とレジスタバッファは、同じアドレス 0xFFFF_F18A/0xFFFF_F18B に割り付けられています。<TBORDE> = “0” のときは、TBORG0 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<TBORDE> = “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

11.2.4 キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。キャプチャレジスタを読み出す場合は、1 バイトデータ転送命令を 2 回用いて必ず下位 → 上位の順に読み出しを行なって下さい。**(2 バイト転送命令でのデータリードは行なわないで下さい。)**

11.2.5 キャプチャ

アップカウンタ UC0 の値をキャプチャレジスタ TB0CP0、TB0CP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TB0MOD<TB0CPM1:0> で設定します。

また、ソフトウェアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0> に “0” を書き込むたびに、その時点の UC0 の値をキャプチャレジスタ TB0CP0 へキャプチャします。なお、プリスケールは、RUN 状態 (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

2 相パルスカウントモード (TMRBA) ではカウンタの値はソフトウェアキャプチャにより取り込みます。

(注1) キャプチャレジスタの下位 8 ビットをリードするとキャプチャ動作ができなくなります。続けて上位 8 ビットをリードするとキャプチャ動作ができるようになります。

(注2) 下位 8 ビットのみリードした状態でタイマストップすると、再スタート後もキャプチャできない状態が継続するので下位 8 ビットのみリードした状態でタイマをストップしないでください。

11.2.6 コンパレータ (CP0、CP1)

アップカウンタ UC0 と、タイマレジスタ TB0RG0、TB0RG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTTB0 を発生します。

11.2.7 タイマフリップフロップ (TB0FF0)

タイマフリップフロップ (TB0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TB0FFCR<TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1> によって設定できます。

リセット後、TB0FF0 の値は不定となります。TB0FFCR<TB0FF0C1:0> に “00” を書き込むことで反転、“01” を書き込むことで “1” にセット、“10” を書き込むことで “0” にクリアすることが可能です。

TB0FF0 の値は、タイマ出力端子 TB0OUT 端子 (PA2 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート A 関連レジスタ PACR、PAFC により、設定を行う必要があります。

11.3 レジスタ説明

TMRBn RUN レジスタ (n=0~9)

TBRnRUN (0xFFFF_F1x0)		7	6	5	4	3	2	1	0
	bit Symbol	TBRnRDE				I2TBRn	TBRnPRUN		TBRnRUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
機能		Double Buffer 0: 禁止 1: 許可	“0” をラ イトして ください。	“0” をラ イトして ください。	“0” をラ イトして ください。	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント ※1bit目は”0”が読めます		

<TBRnRUN> : TMRBn のカウント動作を制御します。

<TBRnPRUN> : TMRBn のプリスケアラの動作を制御します。

<I2TBRn> : IDLE モード時の動作を制御します。

<TBRnRDE> : ダブルバッファの許可／禁止を制御します。

TMRBA RUN レジスタ

TBRnRUN (0xFFFF_F1E0)		7	6	5	4	3	2	1	0
	bit Symbol	TBARDE		UDACK	TBAUDCE	I2TBA	TBAPRUN		TBARUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
機能		Double Buffer 0: 禁止 1: 許可	“0” をラ イトして ください。	サンプリ ングクロ ック 0: fs 1: $\phi T0/4$	2 相カウ ンタイ ネーブル 0: ディ セーブル 1: イ ネーブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント ※1bit目は”0”が読めます		

<TBRnRUN> : TMRBA のカウント動作を制御します。

<TBAPRUN> : TMRBA のプリスケアラの動作を制御します。

<I2TBA> : IDLE モード時の動作を制御します。

<TBAUDCE> : 2 相パルス入力カウント動作のイネーブル／ディセーブルを制御します。

イネーブル : カウンタはアップダウンカウントします。

ディセーブル : 通常のタイマーモードとしてカウンタはアップカウントのみになります。

<UDACK> : 2 相パルス入力のサンプリングクロックを選択します。

<TBARDE> : ダブルバッファの許可／禁止を制御します。

TMRBn コントロールレジスタ (n=0~A)

TBRnCR (0xFFFF_F1x1)		7	6	5	4	3	2	1	0
	bit Symbol	TBRnEN							
	Read/Write	R/W	R/W	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
機能		TMRBn 動作 0: 禁止 1: 許可	“0” をラ イトして ください。	リードす ると “0” が読めま す	リードす ると “0” が読めま す	リードする と “0” が 読めま す	リードする と “0” が 読めま す	リードする と “0” が 読めま す	リードする と “0” が 読めま す

＜TBRnEN＞：TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへのクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可（“1”）にしてください。TMRB を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

TMRBn モードレジスタ (n=0~A)

TBRnMOD (0xFFFF_F1x2)		7	6	5	4	3	2	1	0
	bit Symbol			TBRnCP0	TBRnCPM1	TBRnCPM0	TBRnCLE	TBRnCLK1	TBRnCLK0
	Read/Write	R		W			R/W		
	リセット後	0	0	1	0	0	0	0	0
機能		リードすると “0” が 読めます	ソフトウェア キャプチャ 制御 0: ソフト キャプチャ 1: Don't care	キャプチャタイミング 00: ディセーブル 01: TBRnINO ↑ TBRnIN1 ↑ 10: TBRnINO ↑ TBRnINO ↓ 11: CAPTRG ↑ CAPTRG ↓		アップ カウンタ制御 0: クリアデ ィセーブル 1: クリアイ ネーブル	ソースクロック選択 00: TBRnINO 端子入力 01: φT1 10: φT4 11: φT16		

＜TBRnCLK1:0＞：TMRBn のタイマカウンタクロックを選択します。

＜TBRnCLE＞：TMRBn のアップカウンタのクリア制御をおこないます。

“0”：アップカウンタのクリア禁止

“1”：タイマレジスタ 1（TBRnRG1）との一致でクリア

＜TBRnCPM1:0＞：TMRBn のキャプチャタイミングを設定します。

“00”：キャプチャ禁止

“01”：TBRnINO 端子入力の立ち上がりでキャプチャレジスタ 0（TBRnCP0）にカウント値を取り込み、
TBRnIN1 端子入力の立ち上がりでキャプチャレジスタ 1（TBRnCP1）にカウント値を取り込む

“10”：TBRnINO 端子入力の立ち上がりでキャプチャレジスタ 0（TBRnCP0）にカウント値を取り込み、
TBRnINO 端子入力の立ち下がりでキャプチャレジスタ 1（TBRnCP1）にカウント値を取り込む

“11”：キャプチャトリガ用タイマ出力（CAPTRG）の立ち上がりでキャプチャレジスタ 0（TBRnCP0）
にカウント値を取り込み、CAPTRG の立ち下がりでキャプチャレジスタ 1（TBRnCP1）にカウント
値を取り込む（CAPTRG は TMRB0~4 の場合 TB9OUT、TMRB5~A の場合 TB3OUT です。）

＜TBRnCP0＞：ソフトウェアキャプチャし、キャプチャレジスタ 0（TBRnCP0）にカウント値を取り込みます。

（注） TBRnMOD のビット 5 は、リードすると “1” が読み出されます。

TMRBn フリップフロップコントロールレジスタ (n=0~A)

TnBnFFCR (0xFFFF_F1x3)		7	6	5	4	3	2	1	0
	bit Symbol			TBnC1T1	TBnC0T1	TBnE1T1	TBnE0T1	TBnFF0C1	TBnFF0C0
	Read/Write	R		R/W				W	
	リセット後	1	1	0	0	0	0	1	1
機 能	読み出すと常に “11” になります。	TBnFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル		TBnCP1 へ のアップ カウンタ値 取り込み時		TBnCP0 へ のアップ カウンタ値 取り込み時	アップ カウンタと TBnRG1 との 一致時	アップ カウンタと TBnRG0 との 一致時	TBnFF0 の制御 00: Invert 01: Set 10: Clear 11: Don' t care ※ 読み出すと常に “11” になりま す。

<TBnFF0C1:0> : タイマフリップフロップを制御します。

“00” : TBnFF0 の値を反転（ソフト反転）します

“01” : TBnFF0 を” 1” にセットします

“10” : TBnFF0 を” 0” にクリアします

“11” : Don' t care

(注) 読み出すと常に “11” が読めます。

<TBnE1:0> : アップカウンタとタイマレジスタ 0, 1 (TBnRG0, 1) との一致時にタイマフリップフロップを反転します。

<TBnC1:0> : アップカウンタの値がキャプチャレジスタ 0, 1 (TBnCP0, 1) に取り込まれた時にタイマフリップフロップを反転します。

TMRBn ステータスレジスタ (1)

TMRBn ステータスレジスタ (n=0~9)

TBNST (0xFFFF_F1x4)		7	6	5	4	3	2	1	0
	bit Symbol						INTTB0Fn	INTTBn1	INTTBn0
	Read/Write	R					R		
	リセット後	0					0	0	0
	機 能	リードすると“0”が読めます					0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

<INTTBn0> : タイマレジスタ 0 (TBnRG0) との一致割り込み

<INTTBn1> : タイマレジスタ 1 (TBnRG1) との一致割り込み

<INTTB0Fn> : アップカウンタのオーバーフロー割り込み

(注) いずれかの割り込みが発生すると、TBnST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBnST レジスタをリードすると、フラグはクリアされます。

TMRBA ステータスレジスタ (2)

① TBARUN<TBAUDCE> = 0 のとき: 通常のタイマーモード

TBAST (0xFFFF_F1E4)		7	6	5	4	3	2	1	0	
	bit Symbol						INTTBOFA	INTTBA1	INTTBA0	
	Read/Write	R						R		
	リセット後	0						0	0	0
	機 能	リードすると“0”が読めます						0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

<INTTBA0> : タイマレジスタ 0 (TBARG0) との一致割り込み発生

<INTTBA1> : タイマレジスタ 1 (TBARG1) との一致割り込み発生

<INTTBOFA> : アップカウンタのオーバーフロー割り込み発生

② TBARUN<TBAUDCE> = 1 のとき: 2 相パルス入力カウントモード

TBAST (0xFFFF_F1E4)		7	6	5	4	3	2	1	0
	bit Symbol				INTTBUDA	INTTBUDFA	INTTBOUFA		
	Read/Write	R			R			R	
	リセット後	0			0	0	0	0	
	機 能	リードすると“0”が読めます			アップダウン カウンタ 0: 発生無し 1: 発生	アンダーフ ロー 0: 発生無し 1: 発生	オーバー フロー 0: 発生無し 1: 発生	リードすると“0”が 読めます	

<INTTBOVFA> : アップダウンカウンタのオーバーフロー割り込み発生

<INTTBUDFA> : アップダウンカウンタのアンダーフロー割り込み発生

<INTTBUDA> : アップまたはダウンカウンタ割り込み発生

(注) いずれかの割り込みが発生すると、TBAST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBAST レジスタをリードすると、フラグはクリアされます。

TBnRG0H/L、TBnRG1H/L タイマレジスタ

TBnRG0H/L タイマレジスタ (n=0~A)

	7	6	5	4	3	2	1	0
bit Symbol	TBnRG0L7	TBnRG0L6	TBnRG0L5	TBnRG0L4	TBnRG0L3	TBnRG0L2	TBnRG0L1	TBnRG0L0
Read/Write	W							
リセット後	不定							
機 能	タイマカウント値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0
bit Symbol	TBnRG0H7	TBnRG0H6	TBnRG0H5	TBnRG0H4	TBnRG0H3	TBnRG0H2	TBnRG0H1	TBnRG0H0
Read/Write	W							
リセット後	不定							
機 能	タイマカウント値 上位 8 ビットデータ							

(注) タイマレジスタへのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行なって下さい。

TBnRG1H/L タイマレジスタ (n=0~A)

	7	6	5	4	3	2	1	0
bit Symbol	TBnRG1L7	TBnRG1L6	TBnRG1L5	TBnRG1L4	TBnRG1L3	TBnRG1L2	TBnRG1L1	TBnRG1L0
Read/Write	W							
リセット後	不定							
機 能	タイマカウント値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0
bit Symbol	TBnRG1H7	TBnRG1H6	TBnRG1H5	TBnRG1H4	TBnRG1H3	TBnRG1H2	TBnRG1H1	TBnRG1H0
Read/Write	W							
リセット後	不定							
機 能	タイマカウント値 上位 8 ビットデータ							

(注) タイマレジスタへのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行なって下さい。

TBnCP0H/L、TBnCP1H/L キャプチャレジスタ

TBnCP0H/L キャプチャレジスタ (n=0~A)

	7	6	5	4	3	2	1	0
bit Symbol	TBnCP0L7	TBnCP0L6	TBnCP0L5	TBnCP0L4	TBnCP0L3	TBnCP0L2	TBnCP0L1	TBnCP0L0
Read/Write	R							
リセット後	不定							
機 能	タイマキャプチャ値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0
bit Symbol	TBnCP0H7	TBnCP0H6	TBnCP0H5	TBnCP0H4	TBnCP0H3	TBnCP0H2	TBnCP0H1	TBnCP0H0
Read/Write	R							
リセット後	不定							
機 能	タイマキャプチャ値 上位 8 ビットデータ							

(注) キャプチャレジスタへのデータを読み出す場合、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に読み出しを行なって下さい。
2 バイトデータ転送命令は行なわないで下さい。

TBnCP1H/L キャプチャレジスタ (n=0~A)

	7	6	5	4	3	2	1	0
bit Symbol	TBnCP1L7	TBnCP1L6	TBnCP1L5	TBnCP1L4	TBnCP1L3	TBnCP1L2	TBnCP1L1	TBnCP1L0
Read/Write	R							
リセット後	不定							
機 能	タイマキャプチャ値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0
bit Symbol	TBnCP1H7	TBnCP1H6	TBnCP1H5	TBnCP1H4	TBnCP1H3	TBnCP1H2	TBnCP1H1	TBnCP1H0
Read/Write	R							
リセット後	不定							
機 能	タイマキャプチャ値 上位 8 ビットデータ							

(注) キャプチャレジスタへのデータを読み出す場合、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に読み出しを行なって下さい。
2 バイトデータ転送命令は行なわないで下さい。

11.4 モード別動作説明

11.4.1 16 ビットインタバルタイマモード

<< 一定周期の割り込みを発生させる場合 >>

タイマレジスタ TBORG1 にインタバル時間を設定し、INTTB0 割り込みを発生します。

	7	6	5	4	3	2	1	0	
TBOCR	1	0	X	X	X	X	X	X	TMRB0 モジュールを起動します。
TBORUN	←	0	0	0	0	0	X	0	TMRB0 を停止します。
IMC5	←	X	1	1	0	X	1	0	INTTB0 をイネーブル、レベル 4 に設定します。
		X	—	—	0	X	—	—	(INTTB0 の設定のみ抜き出しておりますが、
		X	—	—	0	X	—	—	32bit レジスタの為、他の割り込み設定も同時に
		X	—	—	0	X	—	—	設定してください)
TBOFFCR	←	X	X	0	0	0	0	—	トリガをディセーブルします。
TBOMOD	←	X	X	1	0	0	1	*	入カクロックをプリスケアラ出カクロックにし、
TBORG1L	←	*	*	*	*	*	*	*	インタバル時間を設定します。
TBORG1H		*	*	*	*	*	*	*	(16 ビット)
TBORUN	←	0	0	0	0	—	1	X	TMRB0 を起動します。

X: Don't care —: no change

11.4.2 16 ビットイベントカウンタモード

<< 入カクロックを外部クロック (TB0IN0 端子入力) にし、イベントカウンタにする場合 >>

アップカウンタは TB0IN0 端子入力の立ち上がりエッジでカウントアップします。その時、ソフトウェアキャプチャでキャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0	
TBOCR	←	1	0	X	X	X	X	X	TMRB0 モジュールを起動します。
TBORUN	←	0	0	0	0	—	0	X	TMRB0 を停止します。
PACR	←	—	—	—	—	—	—	0	} PA0 を入力モードに設定します。
PAFC	←	—	—	—	—	—	—	1	
IMC5	←	X	1	1	0	X	1	0	INTTB0 をイネーブル、レベル 4 に設定します。
		X	—	—	0	X	—	—	(INTTB0 の設定のみ抜き出しておりますが、
		X	—	—	0	X	—	—	32bit レジスタの為、他の割り込み設定も同時に
		X	—	—	0	X	—	—	設定してください)
TBOFFCR	←	X	X	0	0	0	0	—	トリガディセーブルにします。
TBOMOD	←	X	X	1	0	0	1	0	入カクロックを TB0IN0 端子入力にします。
TBORUN	←	0	0	0	0	—	1	X	TMRB0 を起動します。
TBOMOD	←	X	X	0	0	0	1	0	ソフトウェアキャプチャを行いません。
TBOCPOL	←	*	*	*	*	*	*	*	下位 8 ビットのカウンタ値をリードします。
TBOCPOH	←	*	*	*	*	*	*	*	上位 8 ビットのカウンタ値をリードします。

X: Don't care —: no change

イベントカウンタとして使用する場合も、プリスケアラは “RUN” にしてください (TBORUN<TBOPRUN> = “1”)。

11.4.3 16 ビット PPG（プログラマブル矩形波）出力モード

任意周波数、任意デューティの矩形波（プログラマブル矩形波）を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ（UC0）とタイマレジスタ（TBORG0H/L、TBORG1H/L）への設定値との一致によりタイマフリップフロップ（TB0FF）の反転トリガをかけることで、プログラマブル矩形波を TB0OUT 端子より出力することができます。ただし、TBORG0H/L と TBORG1H/L の設定値は次の条件を満たす必要があります。

(TBORG0H/L への設定値) < (TBORG1H/L への設定値)

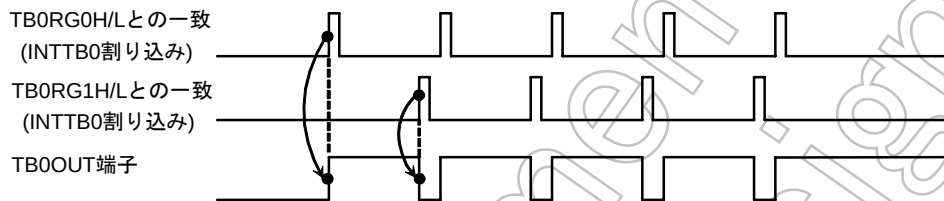


図 11.4.3.1 プログラマブル矩形波（PPG）出力波形例

このモードでは、TBORG0H/L のダブルバッファをイネーブルにすることにより、TBORG1H/L との一致で、レジスタバッファ 0 の値が TBORG0H/L へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

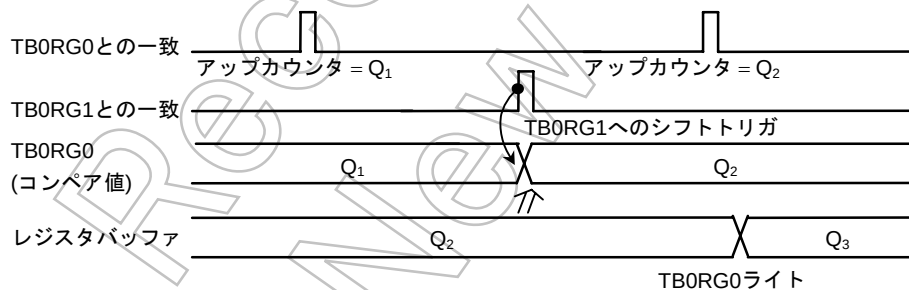


図 11.4.3.2 レジスタバッファの動作

16 ビット PPG (プログラマブル矩形波) 出力モードのブロック図を示します。

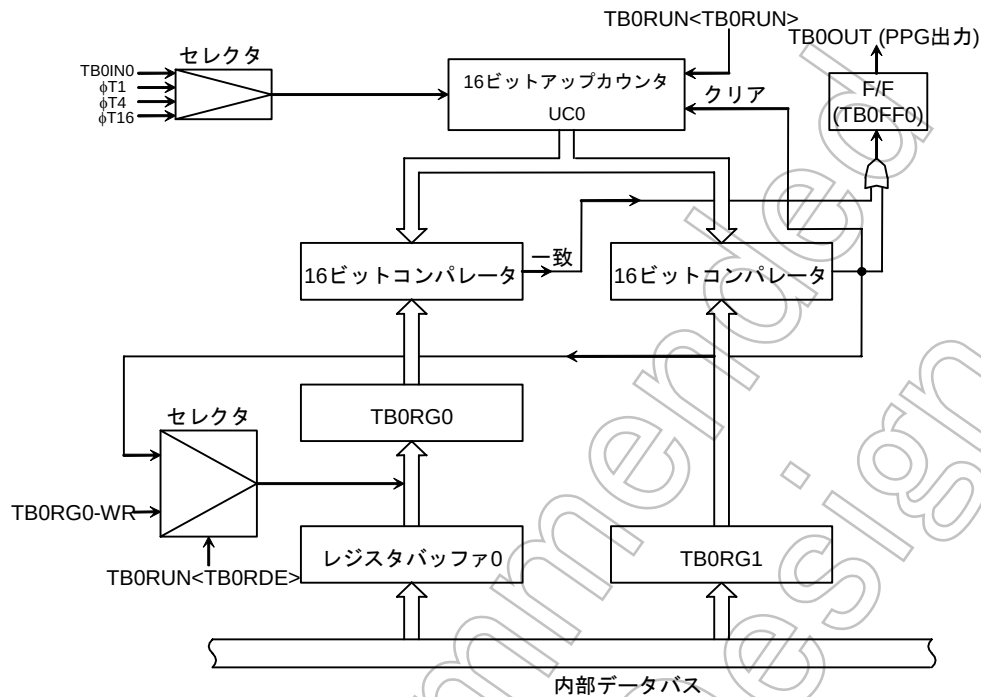


図 11.4.3.3 16 ビット PPG モードのブロック図

<< 16 ビット PPG 出力モード時の各レジスタの設定例 >>

	7	6	5	4	3	2	1	0	
TB0CR	← 1	0	X	X	X	X	X	X	TMRB0 モジュールを起動します。
TB0RUN	← 0	0	0	0	-	0	X	0	TB0RG0 のダブルバッファディセーブルおよび TMRB0 を停止します。
TB0RG0L	← *	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TB0RG0H	← *	*	*	*	*	*	*	*	
TB0RG1L	← *	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
TB0RG1H	← *	*	*	*	*	*	*	*	
TB0RUN	← 1	0	0	0	-	0	X	0	TB0RG0 のダブルバッファイネーブル (INTTB0 割り込みでデューティ/周期の変更)
TB0FFCR	← X	X	0	0	1	1	1	0	TB0FF0 を TB0RG0、TB0RG1 との一致検出で反転するように設定します。また、TB0FF0 の初期値を “0” にします。
TB0MOD	← X	X	1	0	0	1	*	*	入カクロックをプリスケアラ出カクロックにし、キャプチャ機能ディセーブルにします。
PACR	← -	-	-	-	-	1	-	-	} PA2 を TB0OUT に割り付けます。
PAFC	← -	-	-	-	-	1	-	-	
TB0RUN	← 1	0	0	0	-	1	X	1	TMRB0 を起動します。

X: Don' t care -; no change

11.4.4 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

- ① 外部トリガパルスからのワンショットパルス出力
- ② 周波数測定
- ③ パルス幅測定
- ④ 時間差測定

① 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC0 をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。TB0IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ (TB0CPOH/L) に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT5 が発生するように INTG で設定します。この割り込みで、タイマレジスタ (TB0RG0H/L) には、TB0CPOH/L の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。タイマレジスタ (TB0RG1H/L) には、TB0RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。

さらに、タイマフリップフロップコントロールレジスタ (TB0FFCR<TB0E1T1, TB0E0T1>) に “11” を設定し、UC0 と TB0RG0H/L との一致、および、TB0RG1H/L との一致により、タイマフリップフロップ (TB0FF0) が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB0 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、「図 11.4.4.1」の c、d、p と対応しています。

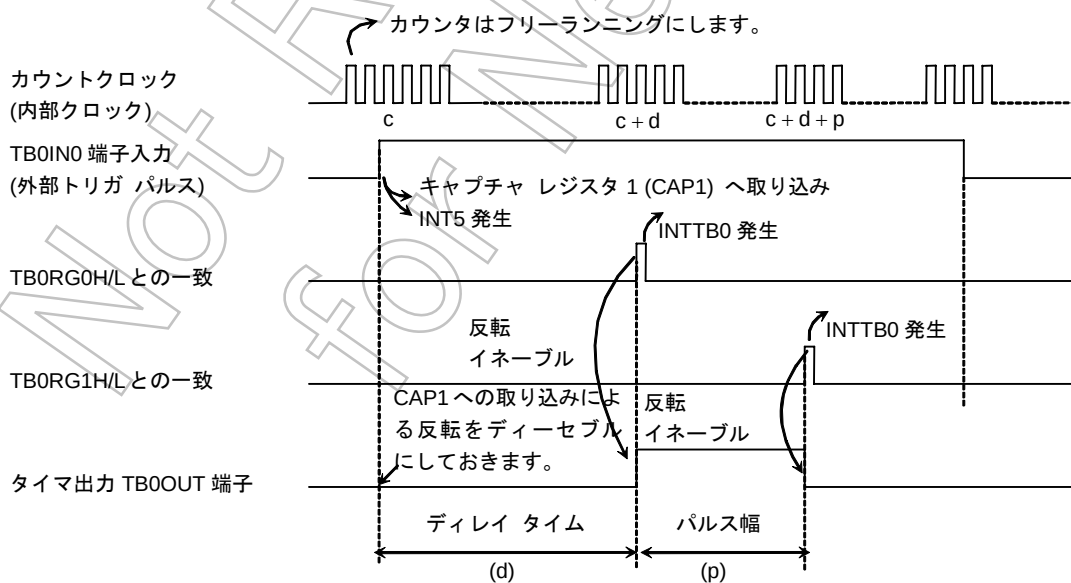


図 11.4.4.1 ワンショットパルス出力（ディレイあり）

設定例： TBOINO 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

※クロック条件

システムクロック : 高速 (f_c)
 高速クロックギア : 1 倍 (f_c)
 プリスケラクロック : $f_{periph}/4$ ($f_{periph} \cdot f_{sys}$)

メインでの設定

	7	6	5	4	3	2	1	0	
TBOCR	← 1	0	X	X	X	X	X	X	TMRB0 モジュールを起動します。
TBOMOD	← X	X	1	0	1	0	0	1	フリーランニングにし、 $\phi T1$ でカウントさせます。
									TBOINO 入力の立ち上がりで TBOCP0 へ取り込みます。
TBOFFCR	← X	X	0	0	0	0	1	0	TBOFF0 をゼロクリアします。
									TBOFF0 の反転をディセーブルにします。
PACR	← -	-	-	-	-	1	-	-	PA2 端子を TB0OUT に割り付けます。
PAFC	← -	-	-	-	-	1	-	-	
IMC1	← X	-	-	0	X	-	-	-	
									INT5 をイネーブルにします。
									32 ビットレジスタの為全ての処理を行ってください。
									INTTB0 をディセーブルにします。
IMC5	← X	1	1	0	X	0	0	0	
									32 ビットレジスタの為全ての処理を行ってください。
TBORUN	← -	0	0	0	-	1	X	1	TMRB0 を起動します。

INT0 での設定

TBORG0L	← *	*	*	*	*	*	*	*	TB0CP0 + 3ms/ $\phi T1$
TBORG0H	← *	*	*	*	*	*	*	*	
TBORG1L	← *	*	*	*	*	*	*	*	TB0RG0 + 2ms/ $\phi T1$
TBORG1H	← *	*	*	*	*	*	*	*	
TBOFFCR	← X	X	-	-	1	1	-	-	TBORG0, 1 との一致による TBOFF0 の反転をイネーブルにします。
IMC5	← X	1	1	0	X	1	0	0	INTTB0 をイネーブルにします。

INTTB0 での設定

TBOFFCR	← X	X	-	-	0	0	-	-	TBORG0, 1 との一致による TBOFF0 の反転をディセーブルにします。
IMC5	← X	1	1	0	X	0	0	0	INTTB0 をディセーブルにします。

X: Don't care —;no change

ディレイが不要な場合、TBOCP0H/L への取り込みによって TBOFF0 を反転させ、割り込み INT5 で TBOCP0H/L の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TBORG1L/H に設定します。TBOFF0 は、TBORG1L/H と UC0 の一致によって反転するように、反転イネーブルを選択します。また、INTTB0 割り込みでこれをディセーブルに戻します。

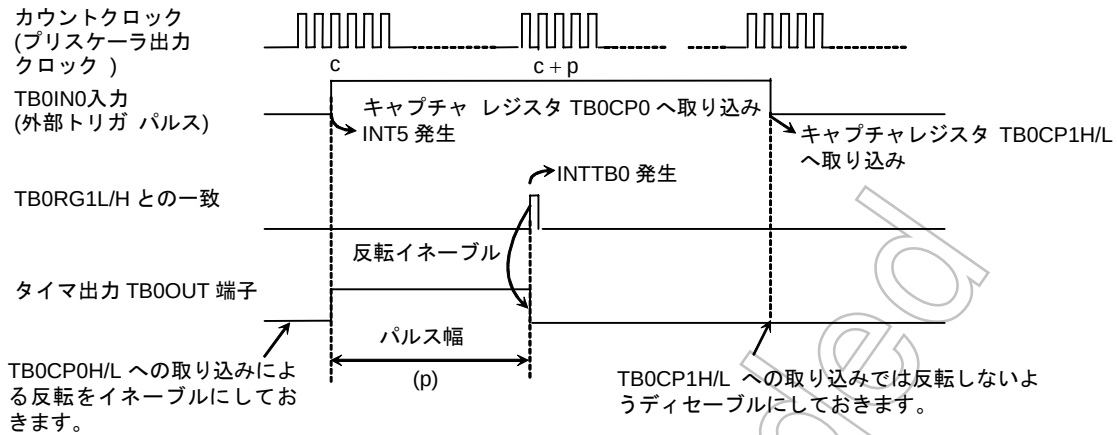


図 11.4.4.2 外部トリガパルスのワンショットパルス出力（ディレイなし）

② 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと他の 16 ビットタイマ (TMRB3) を組み合わせて行います (TMRB3 は、TB3FFCR を反転させることで測定時間の設定に用います)。

TMRB0 のカウントクロックは TB0IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD<TB0CPM1 : 0> には “11” を設定します。この設定により、16 ビットタイマ (TMRB3) のタイマフリップフロップ (TB3FFCR) の立ち上がりで、キャプチャレジスタ (TB0CP0) に 16 ビットアップカウンタ UC0 のカウンタ値を取り込み、16 ビットタイマ (TMRB3) の TB3FF の立ち下がりで、キャプチャレジスタ (TB0CP1H/L) に UC0 のカウンタ値の取り込みを行います。

周波数は、16 ビットタイマの割り込み INTTB3 で測定時間を基準にして TB0CP0H/L、TB0CP1H/L の差より求めます。

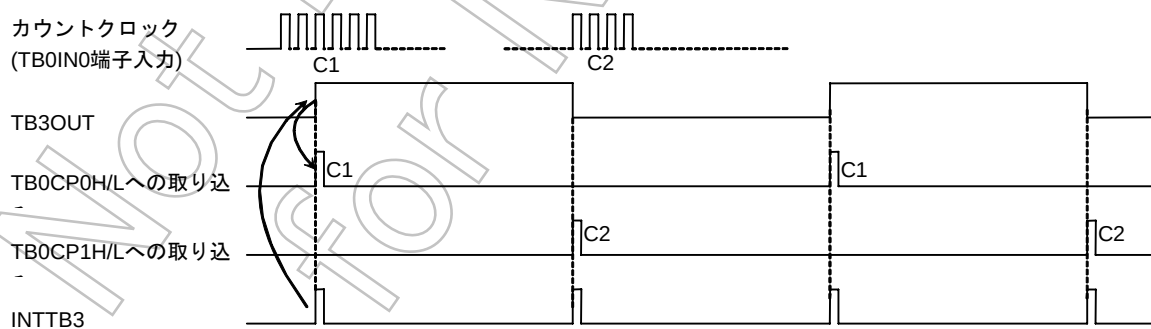


図 11.4.4.3 周波数測定

例えば、16 ビットタイマによる TB3FF の “1” レベル幅の設定値が 0.5 s で、TB0CP0H/L と TB0CP1H/L の差が 100 であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

③ パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB0IN0 端子より外部パルスを入力し、アップカウンタ (UC0) をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ (TB0CP0H/L, TB0CP1H/L) に取り込みます。TB0IN0 端子の立ち下がりにより、INT5 が発生するように INTC で設定します。

“H”レベルパルス幅は、TB0CP0H/L と TB0CP1H/L の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TB0CP0H/L と TB0CP1H/L の差が 100 で、プリスケアラ出力クロックの周期が $0.5 \mu s$ であれば、パルス幅は、 $100 \times 0.5 \mu s = 50 \mu s$ となります。

なお、クロックソースにより定まる UC0 の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

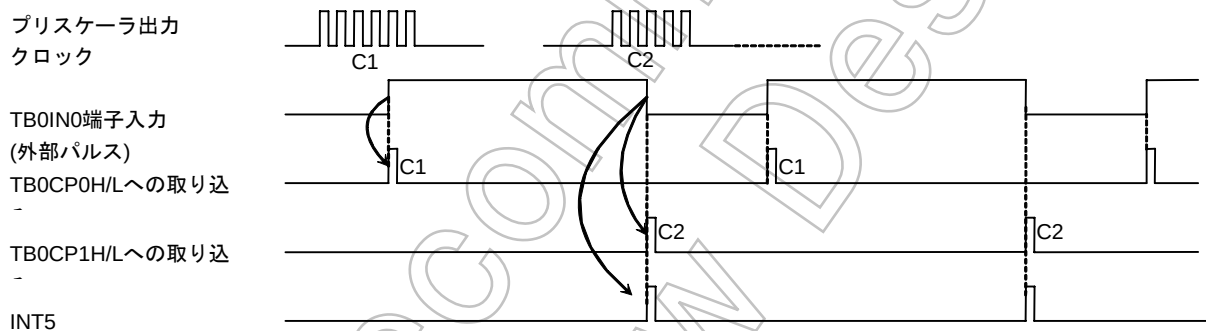


図 11. 4. 4. 4 パルス幅測定

また、外部パルスの“L”レベル幅を測定することもできます。この場合、「

図 11. 4. 4. 5 時間差測定」における、2 回目の INT5 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

④ 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ (UC0) をフリーランニングでカウントアップさせておきます。TB0IN0 端子の入力パルスの立ち上がりエッジで、UC0 の値をキャプチャレジスタ (TB0CP0H/L) に取り込みます。このとき、割り込み INT5 が発生するように INTC で設定します。

TB0IN1 端子の入力パルスの立ち上がりエッジで、UC0 の値をキャプチャレジスタ TB0CP1H/L に取り込みます。このとき、割り込み INT6 が発生するように INTC で設定します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB0CP1H/L から TB0CP0H/L を引いた値に、内部クロックの周期をかけて求めることができます。

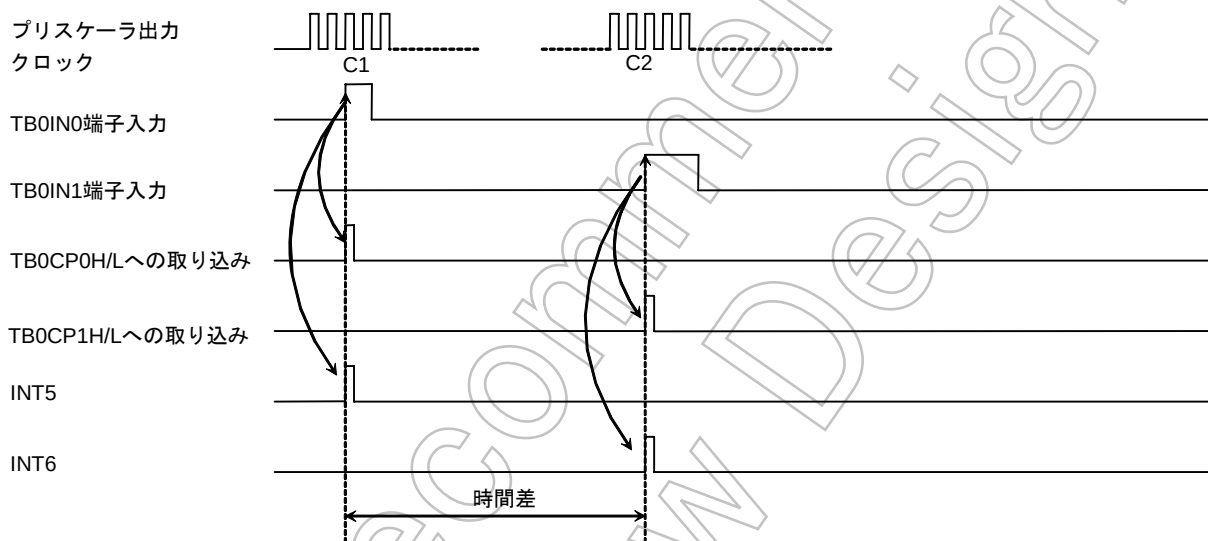


図 11.4.4.5 時間差測定

11.4.5 2相パルス入力カウントモード (TMRBA)

TBAIN0、TBAIN1 より入力される位相差のある2相クロックの状態遷移によりカウンタ+1、あるいはカウンタ-1を実行するモードです。アップダウンカウンタモード中にカウンタがオーバーフローあるいはアンダーフローしたとき、およびカウント動作を行うときに割り込みを出力します。

このカウントモードは全てのカウントでUP/DOWNを行なう4通倍モードです。

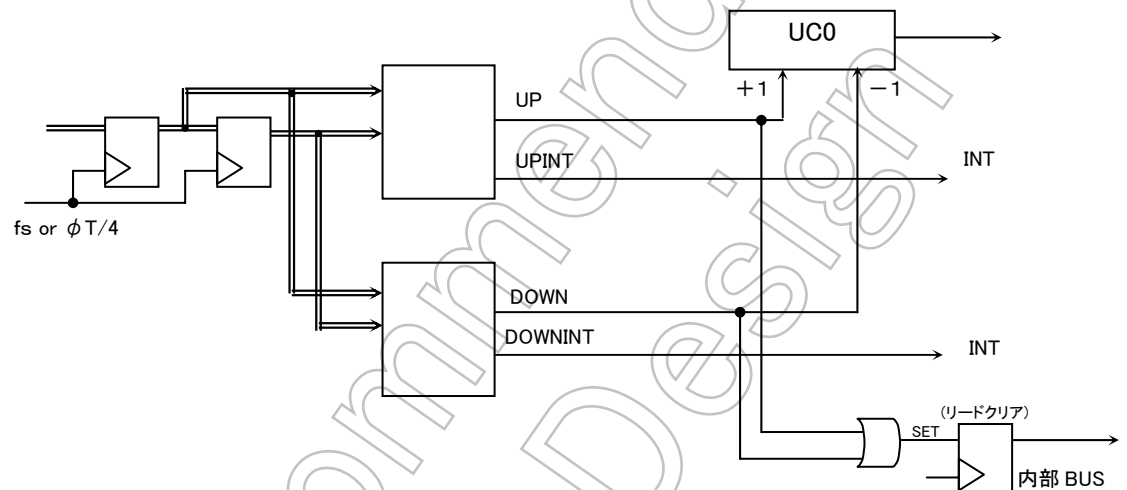
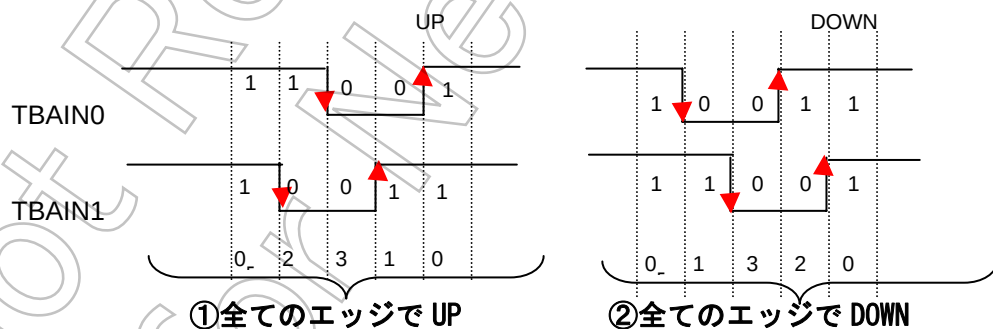


図 11.4.5.1 2相カウンタ カウント回路

11.4.6 4通倍モード



カウント条件	端子状態					
	UP			DOWN		
TBAIN0, TBAIN1	0	→	2	0	→	1
	2		3	1		3
	3		1	3		2
	1		0	2		0

TMRBA RUN レジスタ (TBARUN)

TBARUN
(0xFFFF_F1E0)

	7	6	5	4	3	2	1	0
bit Symbol	TBARDE		UDACK	TBAUDCE	I2TBA	TBAPRUN		TBARUN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
リセット後	0	0	0	0	0	0	0	0
機 能	Double Buffer 0: Disable 1: Enable	“0” をラ イトしてく ださい	サンプリング クロック選択 0: fs 1: $\phi T0/4$	2 相カウンタ イネーブル 0: ディゼー ブル 1: イネー ブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: Stop & Clear 1: Run (Count Up)		

図 11.4.6.1 2 相パルス入力カウントモード設定レジスタ

サンプリングクロックは TBARUN レジスタの第 5 ビット目<UDACK>を”1”に設定します。

<< SLEEP モードからの復帰 >>

SLEEP 解除の入力状態により、二相カウンタはカウントアップ、ダウンが行なわれます。

① 動作モード

TBAIN0、TBAIN1 入力端子からの外部入力信号を通常の 16 ビットタイマ（キャプチャ入力）およびアップダウンカウンタのどちらへ入力するかはレジスタ設定で選択します。

- アップダウンカウンタモード時キャプチャはソフトウェアキャプチャのみで、外部クロックタイミングによるキャプチャは行いません。
- アップダウンカウンタモード時コンパレータは無効になり、タイマレジスタとの比較は行いません。
- 入力クロックは fs (32KHz) または、高速クロック（システムクロック）でサンプリングします。最大入力周波数は fs の場合は 4KHz, 高速クロックの場合は $\phi T0/4$ [Hz] になります。

<< アップダウンカウンタ設定方法 >>

TBAMOD レジスタ<TBACLK0、TBACLK1> = “00”（プリスケアラ OFF）にします。次に、アップダウンカウンタとして動作させるか、従来の外部クロック入力のアップカウンタとして動作させるかを TBARUN レジスタの第 4 ビット目<TBAUDCE>に設定して決定します。

TBAUDCE（アップダウンカウンタイネーブル） = “0”：通常 16 ビットタイマ動作
= “1”：アップダウンカウンタ動作

② 割り込み

• NORMAL/SLOW モード時

割り込みコントローラ（INTC）にて INTTBA 割り込みをイネーブルにします。アップまたはダウンカウントにより割り込み INTTBA が発生します。割り込み処理の中で、ステータスレジスタ TBAST をリードすることにより、同時にオーバーフロー、アンダーフローが発生しているかを知ることができます。TBAST<INTTBOUFA> = “1” であればオーバーフローが発生、また<INTTBUDFA> = “1” であればアンダーフローが発生している状態です。このレジスタはリードするとクリアされます。またオーバーフローが発生するとカウンタは 0x0000 になり、アンダーフローが発生すると 0xFFFF になり、続けてカウンタ動作が行なわれます。

	7	6	5	4	3	2	1	0
bit Symbol				INTTBUDA	INTTBUDFA	INTTBOUFA		
Read/Write	R			R			R	
リセット後	0			0	0	0	0	
機 能	リードすると“0”が読めます			アップダウン カウント 0: 発生無し 1: 発生	アンダー フロー 0: 発生無し 1: 発生	オーバ ー フロー 0: 発生無し 1: 発生	リードすると“0”が 読めます	

図 11.4.6.2 TMRBA ステータスレジスタ

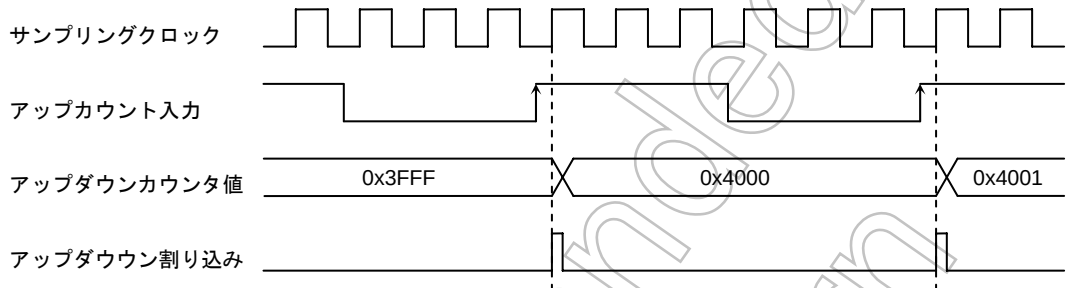
注：ステータスはレジスタを読み出す事でクリアされます。

• SLEEP モード時

割り込みコントローラ（INTC）にて INTTBA 割り込みをイネーブルにします。アップまたはダウンカウント入力により割り込み INTTBA が発生して SLEEP モードから復帰します。割り込み処理の中で、ステータスレジスタ TBAST をリードすることにより、同時にオーバーフロー、アンダーフローが発生しているかを知ることができます。

③ アップダウンカウンタ

二相入力カウントモードに設定 (TBARUN<TBAUDCE> = “1”) するとアップカウンタはアップダウンカウンタになり 0x7FFF に初期化されます。カウンタがオーバーフローした場合は 0x0000、アンダーフローした場合は 0xFFFF に戻り、続きをカウントします。したがって、割り込み発生後にカウンタ値とステータスフラグ TBAST をリードすることにより、状態を判別することができます。



(注 1) アップ (ダウン) カウント入力は入力前状態、入力後状態は “H” レベルにしてください。

(注 2) カウンタ値の読み出しは INTTBA の割り込み処理の中で行なってください。

12. 32ビットインプットキャプチャ (TMRC)

32ビットのタイムベースタイマ (TBT) を1チャンネルと32ビットインプットキャプチャレジスタを4チャンネル (TCCAP0~3)、32ビットのコンペアレジスタを10チャンネル (TCCMP0~9) を内蔵しています。

図 12.1 に TMRC のブロック図を示します。

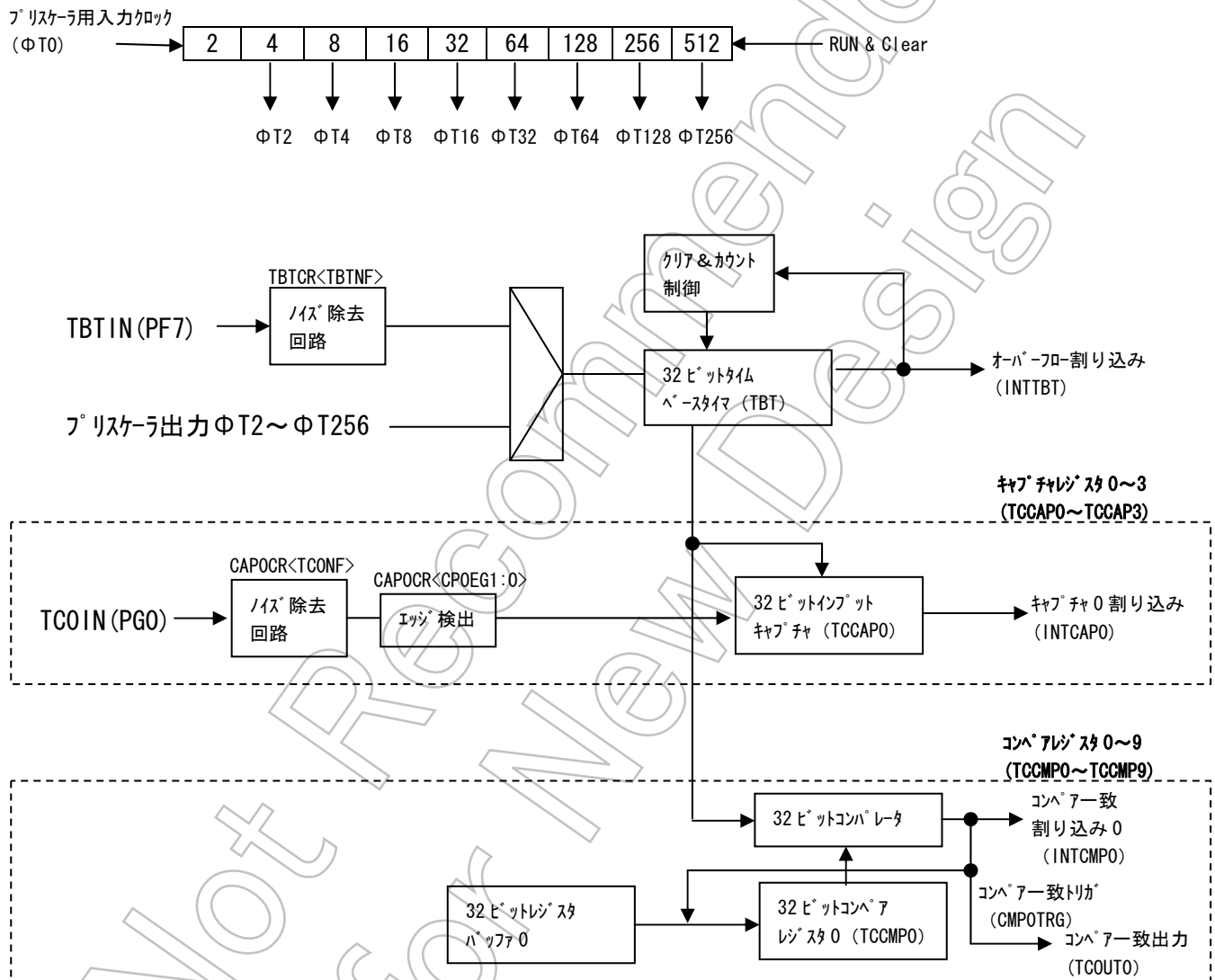


図 12.1 タイマ C のブロック図

12.1 回路別の動作説明

12.2.1 プリスケーラ

TMRC のクロックソースを得るためのプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、CG 部の SYSCRO<PRCK1 : 0> にて選択した $f_{\text{periph}}/2$, $f_{\text{periph}}/4$, $f_{\text{periph}}/8$, $f_{\text{periph}}/16$ のいずれかのクロックです。TMRC のプリスケーラ入力クロックは、 $\phi T0$ を分周した $\phi T2 \sim \phi T256$ までを TBTCR<TBTCCLK3:0> にて選択することが可能です。

f_{periph} は CG 部の SYSCR1<FPSEL> で選択されるクロック f_{gear} またはクロックギアで分周される前のクロック f_c のいずれかです。

プリスケーラは TBTRUN<TBTPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し、“0” をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 12.1 に示します。

表 12.1 プリスケアラ出カクロック分解能
(高速クロックギア選択 8/8、4/8、2/8、1/8 の場合)

@f_c = 54MHz

ペリフェラルクロック 選択<FPSEL>	クロックギア値 <GEAR2:0>	プリスケアラクロック 選択<PRCK1:0>	プリスケアラ出カクロック分解能			
			ΦT2	ΦT4	ΦT8	ΦT16
0 (fgear)	000 (f _c)	00 (fperiph/16)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)
		01 (fperiph/8)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)
		10 (fperiph/4)	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)
		11 (fperiph/2)	f _c /2 ³ (0.15 μs)	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)
	100 (f _c /2)	00 (fperiph/16)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)	f _c /2 ¹⁰ (18.96 μs)
		01 (fperiph/8)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)
		10 (fperiph/4)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)
		11 (fperiph/2)	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)
	110 (f _c /4)	00 (fperiph/16)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)	f _c /2 ¹⁰ (18.96 μs)	f _c /2 ¹¹ (37.93 μs)
		01 (fperiph/8)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)	f _c /2 ¹⁰ (18.96 μs)
		10 (fperiph/4)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)
		11 (fperiph/2)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)
	111 (f _c /8)	00 (fperiph/16)	f _c /2 ⁹ (9.48 μs)	f _c /2 ¹⁰ (18.96 μs)	f _c /2 ¹¹ (37.93 μs)	f _c /2 ¹² (75.85 μs)
		01 (fperiph/8)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)	f _c /2 ¹⁰ (18.96 μs)	f _c /2 ¹¹ (37.93 μs)
		10 (fperiph/4)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)	f _c /2 ¹⁰ (18.96 μs)
		11 (fperiph/2)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)
1 (f _c)	000 (f _c)	00 (fperiph/16)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)
		01 (fperiph/8)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)
		10 (fperiph/4)	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)
		11 (fperiph/2)	f _c /2 ³ (0.15 μs)	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)
	100 (f _c /2)	00 (fperiph/16)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)
		01 (fperiph/8)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)
		10 (fperiph/4)	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)
		11 (fperiph/2)	f _c /2 ³ (0.15 μs)	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)
	110 (f _c /4)	00 (fperiph/16)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)
		01 (fperiph/8)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)
		10 (fperiph/4)	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)
		11 (fperiph/2)	—	f _c /2 ⁴ (0.30 μs)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)
	111 (f _c /8)	00 (fperiph/16)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)	f _c /2 ⁹ (9.48 μs)
		01 (fperiph/8)	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)	f _c /2 ⁸ (4.74 μs)
		10 (fperiph/4)	—	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)	f _c /2 ⁷ (2.37 μs)
		11 (fperiph/2)	—	—	f _c /2 ⁵ (0.59 μs)	f _c /2 ⁶ (1.19 μs)

@fc = 54MHz

ペリフェラルクロック 選択<FPSEL>	クロックギア値 <GEAR2:0>	プリスケラクロック 選択<PRCK1:0>	プリスケラ出力クロック分解能			
			ΦT32	ΦT64	ΦT128	ΦT256
0 (fgear)	000 (fc)	00 (fperiph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fperiph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fperiph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fperiph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)
	100 (fc/2)	00 (fperiph/16)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)
		01 (fperiph/8)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		10 (fperiph/4)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		11 (fperiph/2)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
	110 (fc/4)	00 (fperiph/16)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)	fc/2 ¹⁵ (606.8 μs)
		01 (fperiph/8)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)
		10 (fperiph/4)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		11 (fperiph/2)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
	111 (fc/8)	00 (fperiph/16)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)	fc/2 ¹⁵ (606.8 μs)	fc/2 ¹⁶ (1213.6 μs)
		01 (fperiph/8)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)	fc/2 ¹⁵ (606.8 μs)
		10 (fperiph/4)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)	fc/2 ¹⁴ (303.4 μs)
		11 (fperiph/2)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
1 (fc)	000 (fc)	00 (fperiph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fperiph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fperiph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fperiph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)
	100 (fc/2)	00 (fperiph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fperiph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fperiph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fperiph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)
	110 (fc/4)	00 (fperiph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fperiph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fperiph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fperiph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)
	111 (fc/8)	00 (fperiph/16)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)	fc/2 ¹³ (151.7 μs)
		01 (fperiph/8)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)	fc/2 ¹² (75.85 μs)
		10 (fperiph/4)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)	fc/2 ¹¹ (37.93 μs)
		11 (fperiph/2)	fc/2 ⁷ (2.37 μs)	fc/2 ⁸ (4.74 μs)	fc/2 ⁹ (9.48 μs)	fc/2 ¹⁰ (18.96 μs)

(注1) プリスケラ出力クロックΦTnは、かならずΦTn<fsys/2を満足するように(ΦTnがfsys/2よりも遅くなるように)選択してください。

(注2) タイマ動作中はクロックギアの切り換えは行なわないでください。

(注3) 表中の“—”は設定禁止です。

12.2.2 ノイズ除去回路

タイムベースタイマ (TBT) の外部クロックソース入力 (TBTIN)、キャプチャトリガ入力 (TCnIN) に対してノイズ成分を除去します。ノイズ除去処理を行わない入力信号を出力することも可能です。

12.2.3 32 ビットタイムベースタイマ (TBT)

TBT コントロールレジスタ TBTCR で指定された入力クロックの立ち上がりによってカウントアップする 32 ビットのバイナリカウンタです。

入力クロックは、TBTIN 端子からの外部クロックと、8 種類のプリスケアラ出力クロック $\Phi T2$, $\Phi T4$, $\Phi T8$, $\Phi T16$, $\Phi T32$, $\Phi T64$, $\Phi T128$, $\Phi T256$ から、TBTCR<TBTCCLK3 : 0> の設定値に応じて選択されます。

アップカウンタは、TBTRUN<TBTRUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。カウントスタートするとフリーラン動作し、カウンタオーバーフローになるとオーバーフロー割り込み INTTBT を発生しカウンタ値は 0 にクリアされ再びアップカウント動作します。INTTBT は 32 ビットキャプチャレジスタの説明にある INTCAPn と同様にグルーピングされた TCGST、TCGIM で制御されます。

また、本カウンタはリードキャプチャが可能です。リードキャプチャ時は、TBT リードキャプチャレジスタ (TBTRDCAP) に対して 32bit 単位でリードアクセスをすることでカウンタ値を読み出すことが可能です。

ただし、本レジスタに対して、8bit 単位、16bit 単位でのリードアクセスをした場合にはカウンタ値はキャプチャされません。

12.2.4 エッジ検出回路

外部からのキャプチャ入力 (TCnIN) の入力エッジをサンプリング検出します。キャプチャコントロールレジスタ CAPnCR<CPnEG1:0>により、立ち上がり、立下り、両エッジ、キャプチャしない、の選択が可能です。図 12.2.4.1 にキャプチャ入力とエッジ検出回路の出力 (キャプチャ要因出力) の関係を示します。

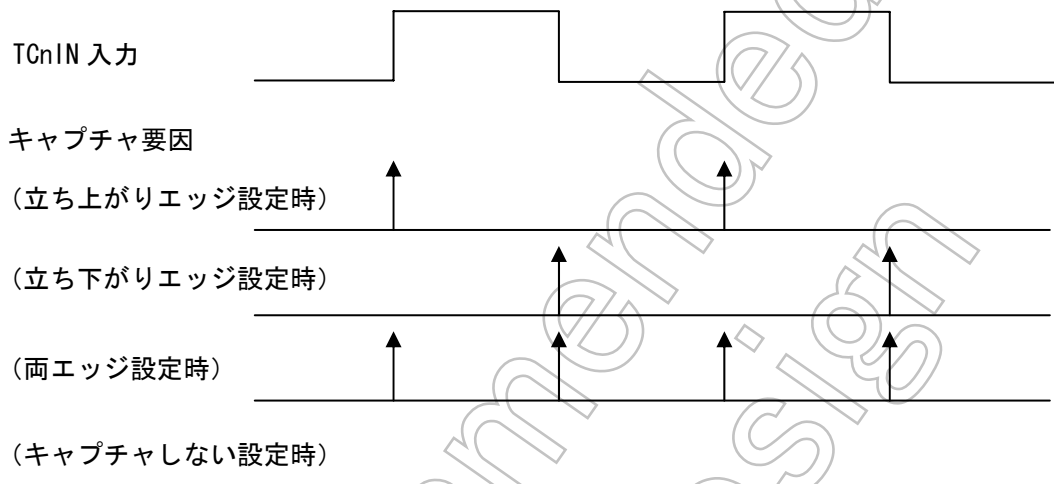


図 12.2.4.1 キャプチャ入力とキャプチャ要因出力 (エッジ検出回路出力)

12.2.5 32 ビットキャプチャレジスタ

キャプチャ要因をトリガにして TBT のカウント値が取り込まれる 32 ビットのレジスタです。キャプチャ動作が行われるとキャプチャ割り込み INTCAPn が発生します。割り込み要求 INTCAPO から INTCAP3 (4 本の要求は) は 1 つにグルーピングされ割り込みコントローラに伝えられます。割り込み処理の中でステータスレジスタ TCGST をリードすることによりいずれの割り込み要求かの判別が可能です。また、割り込みマスクレジスタ TCGIM の該当ビットをセットすることにより必要以外の要求による割り込み発生をマスクすることが可能です。キャプチャレジスタを読み出している時は、トリガがあってもキャプチャはされません。

12.2.6 32 ビットコンペアレジスタ

コンペア値を設定する 32 ビットレジスタで、TMRC には TCCMP0~TCCMP9 の 10 本内蔵されています。このコンペアレジスタへの設定値と、タイムベースタイマ TBT の値とが一致すると、コンパレータの一致検出信号がアクティブになります。コンペア制御レジスタ CMPCTL<CMPEN1:0>でコンペアイネーブル/ディセーブルを制御します。

TCCMPn へのデータ設定は、バイトデータ転送命令を 4 回用いて下位から上位ビットの順に行います。

このコンペアレジスタは、ダブルバッファ構成になっており、TCCMPn はレジスタバッファ n とペアになっています。ダブルバッファのイネーブル/ディセーブルはコンペア制御レジスタ CMPCTL <CMPRDn> によって制御します。<CMPRDn>= “0” のときディセーブル、<CMPRDn>= “1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ n からコンペアレジスタ TCCMPn へのデータ転送は、TBT と TCCMPn との一致時に行われます。

リセット時、TCCMPn は不定のためあらかじめデータを書き込む必要があります。リセット動作により、CMPCTL <CMPRDn>= “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、コンペアレジスタにデータを書き込み <CMPRDn>= “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TCCMPn とレジスタバッファは、同じアドレスに割り付けられています。<CMPRDn>= “0” のときは、TCCMPn とそれぞれのレジスタバッファに、同じ値が書き込まれ、<CMPRDn>= “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、コンペアレジスタに初期値を書き込むときには、ダブルバッファをディセーブルにしておく必要があります。

12.3 レジスタ説明

TMRC コントロールレジスタ

TCCR (FFFFF400H)		7	6	5	4	3	2	1	0
	bit Symbol	TCEN	I2TBT						
	Read/Write	R/W		R					
	リセット後	0	0	0	0	0	0	0	0
	機 能	TMRC 動作 0: 禁止 1: 許可	IDLE 0: 停止 1: 動作						

<I2TBT> : IDLE モード時の動作を制御します。

<TCEN> : TMRC の動作を指定します。動作禁止の状態では TMRC モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRC を使用する場合は、TMRC モジュールの各レジスタを設定する前に TMRC 動作許可（“1”）にしてください。TMRC を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

(注) TCCR のビット 0～5 は、リードすると“0”が読み出されます。

TBTRUN レジスタ

TBTRUN (FFFFF401H)		7	6	5	4	3	2	1	0
	bit Symbol						TBTCAP	TBTPRUN	TBTRUN
	Read/Write	R				R/W			
	リセット後	0	0	0	0	0	0	0	0
	機能					かならず “0”をライ トしてく ださい。	TBT カンタ リフキャプ チャ 0: D'ont Care 1: ソフトキャ プチャ	Timer Run/Stop Control 0: 停止&クリア 1: カウント	

<TBTRUN> : TBT のカウント動作を制御します。

<TBTPRUN> : TBT のプリスケールの動作を制御します。

<TBTCAP> : “1” を設定すると、その時の TBT のカウンタ値をキャプチャレジスタ TBTCAPn に取り込みます。

(注) TBTRUN のビット 4～7 は、リードすると“0”が読み出されます。

図 12.3.1 TMRC 関係のレジスタ

TBTコントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TBTNF				TBTCLK3	TBTCLK2	TBTCLK1	TBTCLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	TBTIN 入力ノイズ 除去 0:なし 1:あり	かならず"0"をライトしてください。			TBTソースクロック 0000: ϕ T2 0001: ϕ T4 0010: ϕ T8 0011: ϕ T16 0100: ϕ T32 0101: ϕ T64 0110: ϕ T128 0111: ϕ T256 1111: TBTIN 端子入力			

<TA0CLK3:0> : TBT の入力クロックです。"0000~0111"の時はプリスケアラ出力からの選択に、"1111"の時は TBTIN 端子入力になります。

<TBTNF> : TBTIN 端子入力のノイズ除去を制御します。

"0 (除去なし)"の場合は、TBTIN 端子入力に対して"H"レベル、"L"レベルともに $2/f_{sys}$ 以上 ($37ns@f_{periph}=f_c=54MHz$) で TBT のソースクロックとなります。

"1 (除去あり)"の場合は、TBTIN 端子入力に対して"H"レベル、"L"レベルともに $6/f_{sys}$ ($111ns@f_{periph}=f_c=54MHz$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

TBT キャプチャレジスタ (TBTCAP)

	7	6	5	4	3	2	1	0
bit Symbol	CAP07	CAP06	CAP05	CAP04	CAP03	CAP02	CAP01	CAP00
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	キャプチャデータ (ビット 7~0)							

	7	6	5	4	3	2	1	0
bit Symbol	CAP15	CAP14	CAP13	CAP12	CAP11	CAP10	CAP09	CAP08
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	キャプチャデータ (ビット 15~8)							

	7	6	5	4	3	2	1	0
bit Symbol	CAP23	CAP22	CAP21	CAP20	CAP19	CAP18	CAP17	CAP16
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	キャプチャデータ (ビット 23~16)							

	7	6	5	4	3	2	1	0
bit Symbol	CAP31	CAP30	CAP29	CAP28	CAP27	CAP26	CAP25	CAP24
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	キャプチャデータ (ビット 31~24)							

図 12.3.2 TMRC 関係のレジスタ

TBT リードキャプチャレジスタ (TBTRDCAP)

TBTRDCAP0 (FFFFF408H)		7	6	5	4	3	2	1	0
	bit Symbol	RDCAP07	RDCAP06	RDCAP05	RDCAP04	RDCAP03	RDCAP02	RDCAP01	RDCAP00
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャデータ (ビット 7~0)							
TBTRDCAP1 (FFFFF409H)		7	6	5	4	3	2	1	0
	bit Symbol	RDCAP17	RDCAP16	RDCAP15	RDCAP14	RDCAP13	RDCAP12	RDCAP11	RDCAP10
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャデータ (ビット 15~8)							
TBTRDCAP2 (FFFFF40AH)		7	6	5	4	3	2	1	0
	bit Symbol	RDCAP27	RDCAP26	RDCAP25	RDCAP24	RDCAP23	RDCAP22	RDCAP21	RDCAP20
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャデータ (ビット 23~16)							
TBTRDCAP3 (FFFFF40BH)		7	6	5	4	3	2	1	0
	bit Symbol	RDCAP37	RDCAP36	RDCAP35	RDCAP34	RDCAP33	RDCAP32	RDCAP31	RDCAP30
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャデータ (ビット 31~24)							

図 12.3.3 TMRC 関係のレジスタ

TMRC キャプチャ 0 コントロールレジスタ

CAP0CR (FFFFF410H)								
	7	6	5	4	3	2	1	0
	bit Symbol	TC0NF					CP0EG1	CP0EG0
	Read/Write	R/W						R/W
	リセット後	0	0	0	0	0	0	0
機能	TC0IN 入力ノイズ 除去 0:なし 1:あり						TC0IN 入力の有効エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ	

<CP0EG1:0>: キャプチャ 0 (TCCAP0) のトリガ入力端子 TC0IN の有効エッジを選択します。“00”を設定するとキャプチャ動作を行いません。

<TC0NF>: TC0IN 端子入力のノイズ除去を制御します。

“0 (除去なし)”の場合は、TC0IN 端子入力に対して“H”レベル、“L”レベルともに $2/f_{sys}$ 以上 ($37ns @ f_{periph}=f_c=54MHz$) で TCCAP0 のトリガ入力となります。

“1 (除去あり)”の場合は、TC0IN 端子入力に対して“H”レベル、“L”レベルともに $6/f_{sys}$ ($111ns @ f_{periph}=f_c=54MHz$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

(注) CAP0CR のビット 2~6 は、リードすると“0”が読み出されます。

TMRC キャプチャ 0 レジスタ (TCCAP0)

TCCAP0LL (FFFFF414H)		7	6	5	4	3	2	1	0
	bit Symbol	CAP007	CAP006	CAP005	CAP004	CAP003	CAP002	CAP001	CAP000
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ0データ (ビット7～0)							

TCCAP0LH (FFFFF415H)		7	6	5	4	3	2	1	0
	bit Symbol	CAP017	CAP016	CAP015	CAP014	CAP013	CAP012	CAP011	CAP010
	Read/Write					R			
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ0データ (ビット15～8)							

TCCAP0HL (FFFFF416H)		7	6	5	4	3	2	1	0
	bit Symbol	CAP027	CAP026	CAP025	CAP024	CAP023	CAP022	CAP021	CAP020
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 0 データ (ビット 23~16)							

TCCAP0HH (FFFFF417H)		7	6	5	4	3	2	1	0
	bit Symbol	CAP037	CAP036	CAP035	CAP034	CAP033	CAP032	CAP031	CAP030
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ0データ (ビット 31~24)							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12.3.4 TMRC 関係のレジスタ

TMRC キャプチャ 1 コントロールレジスタ

	7	6	5	4	3	2	1	0
CAP1CR (FFFFF418H)	bit Symbol	TC1NF					CP1EG1	CP1EG0
	Read/Write	R/W		R			R/W	
	リセット後	0	0	0	0	0	0	0
	機能	TC1IN 入力ノイズ 除去 0:なし 1:あり					TC1IN 入力の有功エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ	

<CP1EG1:0> : キャプチャ 1 (TCCAP1) のトリガ入力端子 TC1IN の有功エッジを選択します。"00"を
設定するとキャプチャ動作を行ないません。

<TC1NF> : TC1IN 端子入力のノイズ除去を制御します。

"0(除去なし)"の場合は、TC1IN 端子入力に対して"H"レベル、"L"レベルともに $2/f_{sys}$ 以上
(37ns@ $f_{periph}=f_c=54\text{MHz}$)で TCCAP1 のトリガ入力となります。

"1(除去あり)"の場合は、TC1IN 端子入力に対して"H"レベル、"L"レベルともに $6/f_{sys}$
(111ns@ $f_{periph}=f_c=54\text{MHz}$)に満たない入力はノイズとして除去します。クロックギアにより
システムクロックの変化に伴い除去幅がかわります。

(注) CAP1CR のビット 2~6 は、リードすると"0"が読み出されます。

TMRC キャプチャ 1 レジスタ (TCCAP1)

TCCAP1LL (FFFFF41CH)		7	6	5	4	3	2	1	0
	bit Symbol	CAP107	CAP106	CAP105	CAP104	CAP103	CAP102	CAP101	CAP100
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 1 データ (ビット 7～0)							

TCCAP1LH (FFFFF41DH)		7	6	5	4	3	2	1	0
	bit Symbol	CAP117	CAP116	CAP115	CAP114	CAP113	CAP112	CAP111	CAP110
	Read/Write					R			
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 1 データ (ビット 15~8)							

		7	6	5	4	3	2	1	0
TCCAP1HL (FFFFF41EH)	bit Symbol	CAP127	CAP126	CAP125	CAP124	CAP123	CAP122	CAP121	CAP120
	Read/Write	R							
	リセット後								
	機 能	キャプチャ 1 データ (ビット 23~16)							

TCCAP1HH (FFFFF41FH)		7	6	5	4	3	2	1	0
	bit Symbol	CAP137	CAP136	CAP135	CAP134	CAP133	CAP132	CAP131	CAP130
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 1 データ (ビット 31~24)							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12.3.5 TMRC 関係のレジスタ

TMRC キャプチャ 2 コントロールレジスタ

	7	6	5	4	3	2	1	0
CAP2CR (FFFFF420H)	bit Symbol	TC2NF					CP2EG1	CP2EG0
	Read/Write	R/W		R				R/W
	リセット後	0	0	0	0	0	0	0
	機能	TC2IN 入力ノイズ 除去 0:なし 1:あり					TC2IN 入力の有功エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ	

<CP2EG1:0> : キャプチャ 2 (TCCAP2) のトリガ入力端子 TC2IN の有功エッジを選択します。“00”を設定するとキャプチャ動作を行ないません。

<TC2NF> : TC2IN 端子入力のノイズ除去を制御します。

“0 (除去なし)”の場合は、TC2IN 端子入力に対して“H”レベル、“L”レベルともに $2/f_{sys}$ 以上 ($37ns @ f_{periph}=f_c=54MHz$) で TCCAP2 のトリガ入力となります。

“1 (除去あり)”の場合は、TC2IN 端子入力に対して“H”レベル、“L”レベルともに $6/f_{sys}$ ($111ns @ f_{periph}=f_c=54MHz$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

(注) CAP2CR のビット 2~6 は、リードすると“0”が読み出されます。

TMRC キャプチャ 2 レジスタ (TCCAP2)

TCCAP2LL (FFFFF424H)		7	6	5	4	3	2	1	0
	bit Symbol	CAP207	CAP206	CAP205	CAP204	CAP203	CAP202	CAP201	CAP200
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 2 データ (ビット 7～0)							

TCCAP2LH (FFFFF425H)		7	6	5	4	3	2	1	0
	bit Symbol	CAP217	CAP216	CAP215	CAP214	CAP213	CAP212	CAP211	CAP210
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 2 データ (ビット 15~8)							

		7	6	5	4	3	2	1	0
TCCAP2HL (FFFFF426H)	bit Symbol	CAP227	CAP226	CAP225	CAP224	CAP223	CAP222	CAP221	CAP220
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ2データ (ビット23~16)							

TCCAP2HH (FFFFF427H)		7	6	5	4	3	2	1	0
	bit Symbol	CAP237	CAP236	CAP235	CAP234	CAP233	CAP232	CAP231	CAP230
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 2 データ (ビット 31~24)							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12.3.6 TMRC 関係のレジスタ

TMRC キャプチャ 3 コントロールレジスタ

	7	6	5	4	3	2	1	0
CAP3CR (FFFFF428H)	bit Symbol	TC3NF					CP3EG1	CP3EG0
	Read/Write	R/W		R				R/W
	リセット後	0	0	0	0	0	0	0
	機能	TC3IN 入力ノイズ 除去 0:なし 1:あり					TC3IN 入力の有功エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ	

<CP3EG1:0> : キャプチャ 3 (TCCAP3) のトリガ入力端子 TC3IN の有功エッジを選択します。“00”を設定するとキャプチャ動作を行ないません。

<TC3NF> : TC3IN 端子入力のノイズ除去を制御します。

“0 (除去なし)”の場合は、TC3IN 端子入力に対して“H”レベル、“L”レベルともに $2/f_{sys}$ 以上 ($37ns@f_{periph}=f_c=54MHz$) で接 TCCAP3 のトリガ入力となります。

“1 (除去あり)”の場合は、TC3IN 端子入力に対して“H”レベル、“L”レベルともに $6/f_{sys}$ ($111ns@f_{periph}=f_c=54MHz$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

(注) CAP3CR のビット 2~6 は、リードすると“0”が読み出されます。

TMRC キャプチャ 3 レジスタ (TCCAP3)

TCCAP3LL (FFFFF42CH)		7	6	5	4	3	2	1	0
	bit Symbol	CAP307	CAP306	CAP305	CAP304	CAP303	CAP302	CAP301	CAP300
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ3データ (ビット7～0)							

TCCAP3LH (FFFFF42DH)		7	6	5	4	3	2	1	0
	bit Symbol	CAP317	CAP316	CAP315	CAP314	CAP313	CAP312	CAP311	CAP310
	Read/Write					R			
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 3 データ (ビット 15~8)							

TCCAP3HL (FFFFF42EH)		7	6	5	4	3	2	1	0
	bit Symbol	CAP327	CAP326	CAP325	CAP324	CAP323	CAP322	CAP321	CAP320
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ 3 データ (ビット 23~16)							

		7	6	5	4	3	2	1	0
TCCAP3HH (FFFFF42FH)	bit Symbol	CAP337	CAP336	CAP335	CAP334	CAP333	CAP332	CAP331	CAP330
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能	キャプチャ3データ (ビット31~24)							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12.3.7 TMRC 関係のレジスタ

TMRCG 割り込みマスクレジスタ

TCGIM (FFFFF40CH)		7	6	5	4	3	2	1	0
	bit Symbol				TBTIM	TCIM3	TCIM2	TCIM1	TCIM0
	Read/Write	R			R/W				
	リセット後	0	0	0	0	0	0	0	0
	機 能				1:INTTBT をマスク	1:INTCAP3 をマスク	1:INTCAP2 をマスク	1:INTCAP1 をマスク	1:INTCAP0 をマスク

(注) TCGIM のビット 5, 6, 7 はリードすると“0”が読み出されます。

TMRCG ステータスレジスタ

TCGST (FFFFF40DH)		7	6	5	4	3	2	1	0
	bit Symbol				INTTBT	INTCAP3	INTCAP2	INTCAP1	INTCAP0
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機 能				0:割り込み は発生 してい ない 1:割り込み が発生	0:割り込み は発生 してい ない 1:割り込み が発生	0:割り込み は発生 してい ない 1:割り込み が発生	0:割り込み は発生 してい ない 1:割り込み が発生	0:割り込み は発生 してい ない 1:割り込み が発生

(注 1) TCGST をリードすると、ビット 0, 1, 2, 3, 4 はクリアされます。

(注 2) TCGST のビット 5, 6, 7 はリードすると“0”が読み出されます。

図 12.3.8 TMRC 関係のレジスタ

TMRC コンペア制御レジスタ (CMPCTLn)

	7	6	5	4	3	2	1	0
CMPCTL0 (FFFFF470H)	bit Symbol	TCFFEN0	TCFFC01	TCFFC00			CMPRDE0	CMPEN0
	Read/Write	R	R/W		R		R/W	
	リセット後	0	0	1	1	0	0	0
	機能	TCFF0 反転 0: 禁止 1: 許可		TCFF0 の制御 00: 反転 01: セット 10: クリア 11: D'ont care		ダブルバッファ 0 0: 禁止 1: 許可		コンペア 0 イネーブル 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0
CMPCTL1 (FFFFF471H)	bit Symbol	TCFFEN1	TCFFC11	TCFFC10			CMPRDE1	CMPEN1
	Read/Write	R	R/W		R		R/W	
	リセット後	0	0	1	1	0	0	0
	機能	TCFF1 反転 0: 禁止 1: 許可		TCFF1 の制御 00: 反転 01: セット 10: クリア 11: D'ont care		ダブルバッファ 1 0: 禁止 1: 許可		コンペア 1 イネーブル 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0
CMPCTL2 (FFFFF472H)	bit Symbol	TCFFEN2	TCFFC21	TCFFC20			CMPRDE2	CMPEN2
	Read/Write	R	R/W		R		R/W	
	リセット後	0	0	1	1	0	0	0
	機能	TCFF2 反転 0: 禁止 1: 許可		TCFF2 の制御 00: 反転 01: セット 10: クリア 11: D'ont care		ダブルバッファ 2 0: 禁止 1: 許可		コンペア 2 イネーブル 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0
CMPCTL3 (FFFFF473H)	bit Symbol	TCFFEN3	TCFFC31	TCFFC30			CMPRDE3	CMPEN3
	Read/Write	R	R/W		R		R/W	
	リセット後	0	0	1	1	0	0	0
	機能	TCFF3 反転 0: 禁止 1: 許可		TCFF3 の制御 00: 反転 01: セット 10: クリア 11: D'ont care		ダブルバッファ 3 0: 禁止 1: 許可		コンペア 3 イネーブル 0: 禁止 1: 許可

<CMPENn> : コンペア一致検出のイネーブル/ディゼーブルを制御します。

<CMPRDEn> : コンペアレジスタのダブルバッファイネーブル/ディゼーブルを制御します。

<TCFFCn1:0> : コンペア一致出力 F/F の制御をします。

<TCFFENn> : コンペア一致出力 F/F の反転イネーブル/ディゼーブルを制御します。

(注) CMPCTLn のビット 7, 3~2 は、リードすると "0" が読み出されます。

図 12.3.9 TMRC 関係のレジスタ

TMRC コンペア制御レジスタ (CMPCTLn)

		7	6	5	4	3	2	1	0
	bit Symbol		TCFFEN4	TCFFC41	TCFFC40			CMPRDE4	CMPEN4
CMPCTL4 (FFFFF474H)	Read/Write	R	R/W			R		R/W	
	リセット後	0	0	1	1	0	0	0	0
	機能		TCFF4 反転 0:禁止 1:許可	TCFF4 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 4 0:禁止 1:許可	コンペア 4 イネーブル 0:禁止 1:許可

		7	6	5	4	3	2	1	0
	bit Symbol		TCFFEN5	TCFFC51	TCFFC50			CMPRDE5	CMPEN5
CMPCTL5 (FFFFF475H)	Read/Write	R	R/W			R		R/W	
	リセット後	0	0	1	1	0	0	0	0
	機能		TCFF5 反転 0:禁止 1:許可	TCFF5 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 5 0:禁止 1:許可	コンペア 5 イネーブル 0:禁止 1:許可

		7	6	5	4	3	2	1	0
	bit Symbol		TCFFEN6	TCFFC61	TCFFC60			CMPRDE6	CMPEN6
CMPCTL6 (FFFFF476H)	Read/Write	R	R/W			R		R/W	
	リセット後	0	0	1	1	0	0	0	0
	機能		TCFF6 反転 0:禁止 1:許可	TCFF6 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 6 0:禁止 1:許可	コンペア 6 イネーブル 0:禁止 1:許可

		7	6	5	4	3	2	1	0
	bit Symbol		TCFFEN7	TCFFC71	TCFFC70			CMPRDE7	CMPEN7
CMPCTL7 (FFFFF477H)	Read/Write	R	R/W			R		R/W	
	リセット後	0	0	1	1	0	0	0	0
	機能		TCFF7 反転 0:禁止 1:許可	TCFF7 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 7 0:禁止 1:許可	コンペア 7 イネーブル 0:禁止 1:許可

<CMPENn> : コンペア一致検出のイネーブル/ディゼーブルを制御します。

<CMPRDEn> : コンペアレジスタのダブルバッファイネーブル/ディゼーブルを制御します。

<TCFFCn1:0> : コンペア一致出力 F/F の制御をします。

<TCFFENn> : コンペア一致出力 F/F の反転イネーブル/ディゼーブルを制御します。

(注) CMPCTLn のビット 7, 3~2 は、リードすると"0"が読み出されます。

図 12.3.10 TMRC 関係のレジスタ

TMRC コンペア制御レジスタ (CMPCTLn)

		7	6	5	4	3	2	1	0
CMPCTL8 (FFFFF478H)	bit Symbol		TCFFEN8	TCFFC81	TCFFC80			CMPRDE8	CMPEN8
	Read/Write	R	R/W			R		R/W	
	リセット後	0	0	1	1	0	0	0	0
	機 能		TCFF8 反転 0: 禁止 1: 許可	TCFF8 の制御 00: 反転 01: セット 10: クリア 11: D'ont care				ダブルバッ ファ 8 0: 禁止 1: 許可	コンペア 8 イネーブル 0: 禁止 1: 許可

		7	6	5	4	3	2	1	0
CMPCTL9 (FFFFF479H)	bit Symbol		TCFFEN9	TCFFC91	TCFFC90			CMPRDE9	CMPEN9
	Read/Write	R	R/W			R		R/W	
	リセット後	0	0	1	1	0	0	0	0
	機 能		TCFF9 反転 0: 禁止 1: 許可	TCFF9 の制御 00: 反転 01: セット 10: クリア 11: D'ont care				ダブルバッ ファ 9 0: 禁止 1: 許可	コンペア 9 イネーブル 0: 禁止 1: 許可

<CMPENn> : コンペア一致検出のイネーブル/ディゼーブルを制御します。

<CMPRDEn> : コンペアレジスタのダブルバッファイネーブル/ディゼーブルを制御します。

<TCFFCn1:0> : コンペア一致出力 F/F の制御をします。

<TCFFENn> : コンペア一致出力 F/F の反転イネーブル/ディゼーブルを制御します。

(注) CMPCTLn のビット 7, 3~2 は、リードすると“0”が読み出されます。

図 12.3.11 TMRC 関係のレジスタ

TMRC コンペアレジスタ 0 (TCCMP0)

TCCMP0LL (FFFFF440H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP007	CMP006	CMP005	CMP004	CMP003	CMP002	CMP001	CMP000
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 0 データ (ビット 7~0)							

TCCMP0LH (FFFFF441H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP017	CMP016	CMP015	CMP014	CMP013	CMP012	CMP011	CMP010
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 0 データ (ビット 15~8)							

TCCMP0HL (FFFFF442H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP027	CMP026	CMP025	CMP024	CMP023	CMP022	CMP021	CMP020
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 0 データ (ビット 23~16)							

TCCMP0HH (FFFFF443H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP037	CMP036	CMP035	CMP034	CMP033	CMP032	CMP031	CMP030
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 0 データ (ビット 31~24)							

TMRC コンペアレジスタ 1 (TCCMP1)

TCCMP1LL (FFFFF444H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP107	CMP106	CMP105	CMP104	CMP103	CMP102	CMP101	CMP100
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 1 データ (ビット 7~0)							

TCCMP1LH (FFFFF445H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP117	CMP116	CMP115	CMP114	CMP113	CMP112	CMP111	CMP110
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 1 データ (ビット 15~8)							

TCCMP1HL (FFFFF446H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP127	CMP126	CMP125	CMP124	CMP123	CMP122	CMP121	CMP120
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 1 データ (ビット 23~16)							

TCCMP1HH (FFFFF447H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP137	CMP136	CMP135	CMP134	CMP133	CMP132	CMP131	CMP130
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 1 データ (ビット 31~24)							

図 12.3.12 TMRC 関係のレジスタ

TMRC コンペアレジスタ 2 (TCCMP2)

TCCMP2LL (FFFFF448H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP207	CMP206	CMP205	CMP204	CMP203	CMP202	CMP201	CMP200
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 2 データ (ビット 7~0)							

TCCMP2LH (FFFFF449H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP217	CMP216	CMP215	CMP214	CMP213	CMP212	CMP211	CMP210
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 2 データ (ビット 15~8)							

TCCMP2HL (FFFFF44AH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP227	CMP226	CMP225	CMP224	CMP223	CMP222	CMP221	CMP220
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 2 データ (ビット 23~16)							

TCCMP2HH (FFFFF44BH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP237	CMP236	CMP235	CMP234	CMP233	CMP232	CMP231	CMP230
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 2 データ (ビット 31~24)							

TMRC コンペアレジスタ 3 (TCCMP3)

TCCMP3LL (FFFFF44CH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP307	CMP306	CMP305	CMP304	CMP303	CMP302	CMP301	CMP300
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 3 データ (ビット 7~0)							

TCCMP3LH (FFFFF44DH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP317	CMP316	CMP315	CMP314	CMP313	CMP312	CMP311	CMP310
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 3 データ (ビット 15~8)							

	7	6	5	4	3	2	1	0	
TCCMP3HL (FFFFF44EH)	bit Symbol	CMP327	CMP326	CMP325	CMP324	CMP323	CMP322	CMP321	CMP320
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機 能	コンペアレジスタ 3 データ (ビット 23~16)							

TCCMP3HH (FFFFF44FH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP337	CMP336	CMP335	CMP334	CMP333	CMP332	CMP331	CMP330
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 3 データ (ビット 31~24)							

図 12.3.13 TMRC 関係のレジスタ

TMRC コンペアレジスタ 4 (TCCMP4)

TCCMP4LL (FFFFF450H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP407	CMP406	CMP405	CMP404	CMP403	CMP402	CMP401	CMP400
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 4 データ (ビット 7~0)							

TCCMP4LH (FFFFF451H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP417	CMP416	CMP415	CMP414	CMP413	CMP412	CMP411	CMP410
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 4 データ (ビット 15~8)							

TCCMP4HL (FFFFF452H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP427	CMP426	CMP425	CMP424	CMP423	CMP422	CMP421	CMP420
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 4 データ (ビット 23~16)							

	7	6	5	4	3	2	1	0	
TCCMP4HH (FFFFF453H)	bit Symbol	CMP437	CMP436	CMP435	CMP434	CMP433	CMP432	CMP431	CMP430
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 4 データ (ビット 31~24)							

TMRC コンペアレジスタ 5 (TCCMP5)

TCCMP5LL (FFFFF454H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP507	CMP506	CMP505	CMP504	CMP503	CMP502	CMP501	CMP500
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 5 データ (ビット 7~0)							

		7	6	5	4	3	2	1	0
TCCMP5LH (FFFFF455H)	bit Symbol	CMP517	CMP516	CMP515	CMP514	CMP513	CMP512	CMP511	CMP510
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 5 データ (ビット 15~8)							

TCCMP5HL (FFFFF456H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP527	CMP526	CMP525	CMP524	CMP523	CMP522	CMP521	CMP520
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 5 データ (ビット 23~16)							

TCCMP5HH (FFFFF457H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP537	CMP536	CMP535	CMP534	CMP533	CMP532	CMP531	CMP530
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 5 データ (ビット 31~24)							

図 12.3.14 TMRC 関係のレジスタ

TMRC コンペアレジスタ 6 (TCCMP6)

TCCMP6LL (FFFFF458H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP607	CMP606	CMP605	CMP604	CMP603	CMP602	CMP601	CMP600
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 6 データ (ビット 7~0)							

TCCMP6LH (FFFFF459H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP617	CMP616	CMP615	CMP614	CMP613	CMP612	CMP611	CMP610
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 6 データ (ビット 15~8)							

TCCMP6HL (FFFFF45AH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP627	CMP626	CMP625	CMP624	CMP623	CMP622	CMP621	CMP620
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 6 データ (ビット 23~16)							

	7	6	5	4	3	2	1	0	
TCCMP6HH (FFFFF45BH)	bit Symbol	CMP637	CMP636	CMP635	CMP634	CMP633	CMP632	CMP631	CMP630
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 6 データ (ビット 31~24)							

TMRC コンペアレジスタ 7 (TCCMP7)

TCCMP7LL (FFFFF45CH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP707	CMP706	CMP705	CMP704	CMP703	CMP702	CMP701	CMP700
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 7 データ (ビット 7~0)							

TCCMP7LH (FFFFF45DH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP717	CMP716	CMP715	CMP714	CMP713	CMP712	CMP711	CMP710
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 7 データ (ビット 15~8)							

	7	6	5	4	3	2	1	0	
TCCMP7HL (FFFFF45EH)	bit Symbol	CMP727	CMP726	CMP725	CMP724	CMP723	CMP722	CMP721	CMP720
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 7 データ (ビット 23~16)							

TCCMP7HH (FFFFF45FH)		7	6	5	4	3	2	1	0
	bit Symbol	CMP737	CMP736	CMP735	CMP734	CMP733	CMP732	CMP731	CMP730
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 7 データ (ビット 31~24)							

図 12.3.15 TMRC 関係のレジスタ

TMRC コンペアレジスタ 8 (TCCMP8)

TCCMP8LL (FFFFF460H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP807	CMP806	CMP805	CMP804	CMP803	CMP802	CMP801	CMP800
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 8 データ (ビット 7~0)							

TCCMP8LH (FFFFF461H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP817	CMP816	CMP815	CMP814	CMP813	CMP812	CMP811	CMP810
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 8 データ (ビット 15~8)							

TCCMP8HL (FFFFF462H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP827	CMP826	CMP825	CMP824	CMP823	CMP822	CMP821	CMP820
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 8 データ (ビット 23~16)							

	7	6	5	4	3	2	1	0	
TCCMP8HH (FFFFF463H)	bit Symbol	CMP837	CMP836	CMP835	CMP834	CMP833	CMP832	CMP831	CMP830
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 8 データ (ビット 31~24)							

TMRC コンペアレジスタ 9 (TCCMP9)

TCCMP9LL (FFFFF464H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP907	CMP906	CMP905	CMP904	CMP903	CMP902	CMP901	CMP900
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 9 データ (ビット 7~0)							

TCCMP9LH (FFFFF465H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP917	CMP916	CMP915	CMP914	CMP913	CMP912	CMP911	CMP910
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 9 データ (ビット 15~8)							

		7	6	5	4	3	2	1	0
TCCMP9HL (FFFFF466H)	bit Symbol	CMP927	CMP926	CMP925	CMP924	CMP923	CMP922	CMP921	CMP920
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 9 データ (ビット 23~16)							

TCCMP9HH (FFFFF467H)		7	6	5	4	3	2	1	0
	bit Symbol	CMP937	CMP936	CMP935	CMP934	CMP933	CMP932	CMP931	CMP930
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	コンペアレジスタ 9 データ (ビット 31~24)							

図 12.3.16 TMRC 関係のレジスタ

13. シリアル チャネル (SI0)

13.1 特長

シリアル入出力を7チャンネル内蔵 (SI00~SI06) しています。各チャンネルは、下記に示すように UART モード (非同期通信) および I/O インターフェースモード (同期通信) を選択できます。

I/O インターフェースモード	——	モード0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
非同期通信 (UART) モード	—	モード1: 送受信データ長 7 ビット
	—	モード2: 送受信データ長 8 ビット
	—	モード3: 送受信データ長 9 ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアル リンク (マルチ コントローラ システム) でスレーブ コントローラを起動させるためのウェイクアップ機能を有しています。図に、SI00 のブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャンネルは、それぞれ独立に動作します。

SI00~SI06 は同一の動作をしますので、SI00 の場合についてのみ説明します。

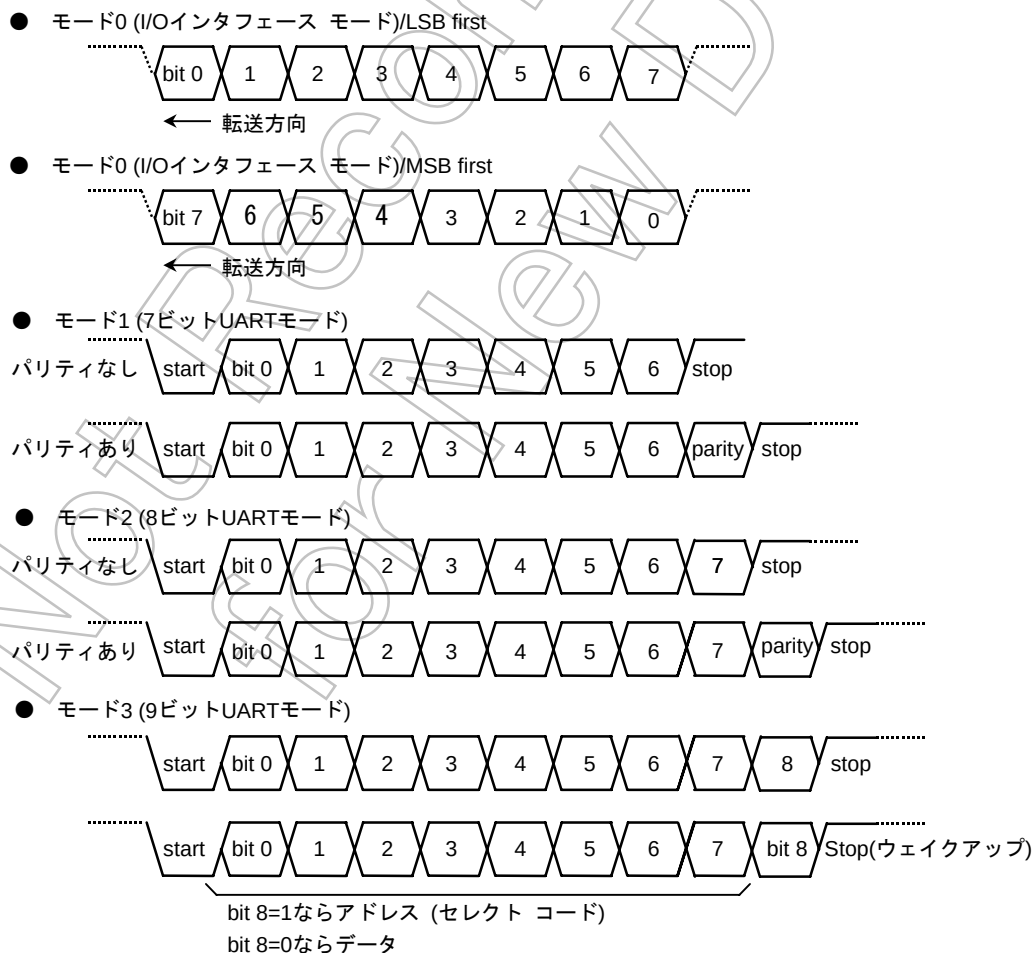


図 13.1 データフォーマット

13.2 ブロック図 (チャンネル0)

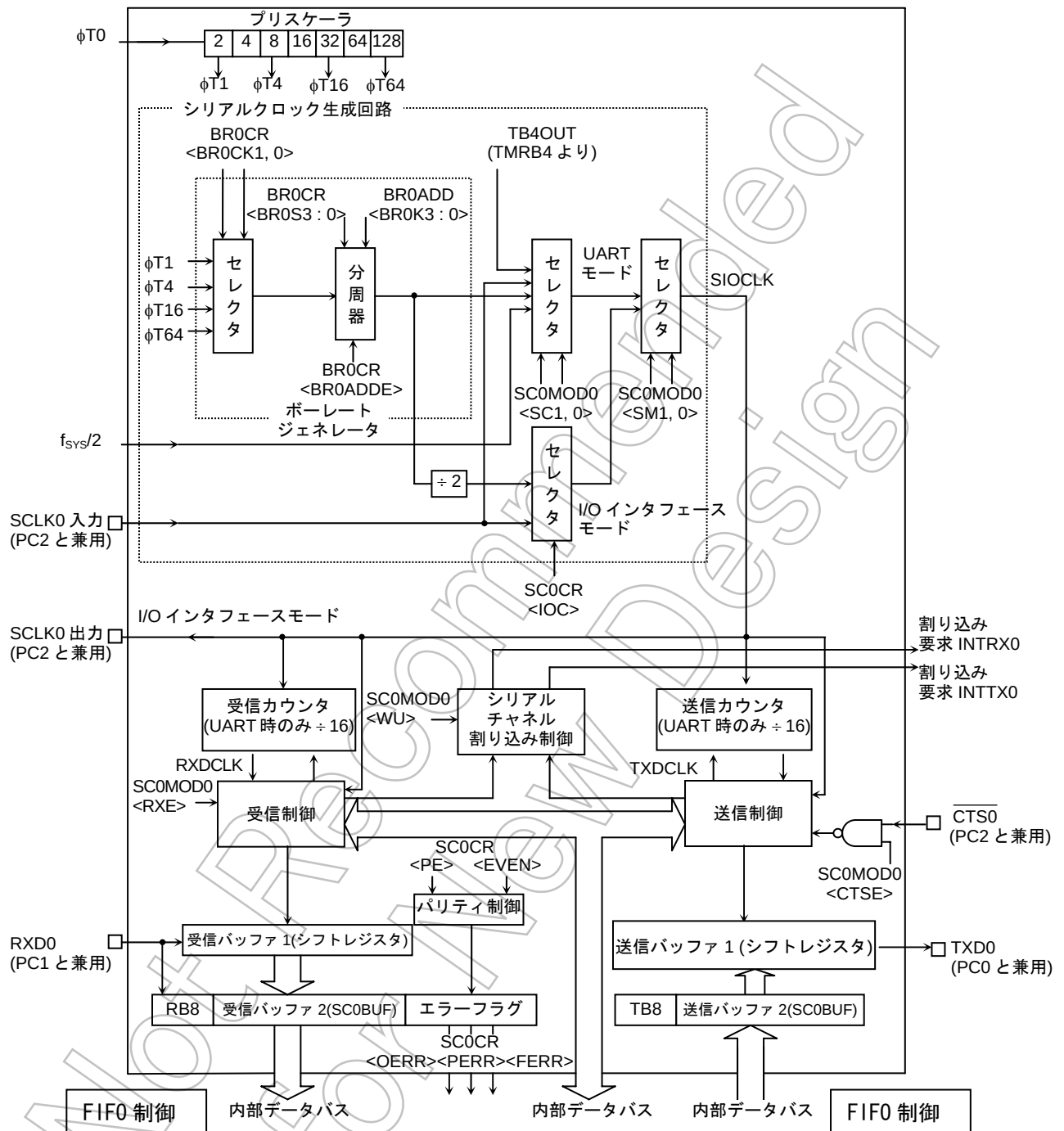


図 13.2.1 SI00 ブロック図

13.3 回路別の動作説明（チャンネル0）

13.3.1 プリスケアラ

SI00 の動作クロックを生成するために、7 ビットプリスケアラがあります。プリスケアラの入カクロック $\phi T0$ は、CG 部の SYSCR <PRCK1 : 0> にて選択した fperiph/2、fperiph/4、fperiph/8、fperiph/16 のいずれかのクロックです。fperiph は CG 部の SYSCR1 <FPSEL> で選択されるクロック fgear またはクロックギアで分周される前のクロック fc のいずれかです。

プリスケアラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ動作します。プリスケアラ出力クロックの分解能を表 13.3.1 に示します。

表 13.3.1 ボーレートジェネレータへの入力クロック分解能 @fc = 54MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケアラ クロック選択 <PRCK1 : 0>	プリスケアラ出力クロック分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	$fc/2^2$ (0.07 μ s)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	100 (fc/2)	00 (fperiph/16)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		01 (fperiph/8)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		10 (fperiph/4)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		11 (fperiph/2)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
	110 (fc/4)	00 (fperiph/16)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)	$fc/2^{13}$ (152 μ s)
		01 (fperiph/8)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		10 (fperiph/4)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		11 (fperiph/2)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
	111 (fc/8)	00 (fperiph/16)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)	$fc/2^{14}$ (303 μ s)
		01 (fperiph/8)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)	$fc/2^{13}$ (152 μ s)
		10 (fperiph/4)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)	$fc/2^{12}$ (75.9 μ s)
		11 (fperiph/2)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
1 (fc)	000 (fc)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	$fc/2^2$ (0.07 μ s)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	100 (fc/2)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	$fc/2^3$ (0.15 μ s)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	—	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	110 (fc/4)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	—	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	—	$fc/2^4$ (0.3 μ s)	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)
	111 (fc/8)	00 (fperiph/16)	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)	$fc/2^{11}$ (37.9 μ s)
		01 (fperiph/8)	—	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)	$fc/2^{10}$ (19.0 μ s)
		10 (fperiph/4)	—	$fc/2^5$ (0.6 μ s)	$fc/2^7$ (2.4 μ s)	$fc/2^9$ (9.5 μ s)
		11 (fperiph/2)	—	—	$fc/2^6$ (1.2 μ s)	$fc/2^8$ (4.7 μ s)

(注1) プリスケアラ出力クロック ϕTn は、かならず $\phi Tn < f_{sys}/2$ を満足するように (ϕTn が $f_{sys}/2$ よりも遅くなるように) 選択してください。

(注2) SI0 動作中はクロックギアの切り替えは行わないでください。

(注3) 表中 “—” は設定禁止です。

シリアルインタフェースボーレートジェネレータには、プリスケアラ出力クロックより $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ の4種類のクロックが用いられます。

13.3.2 ボーレート

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは7ビットプリスケアラより、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BROCR <BROCK1:0> で設定します。

ボーレートジェネレータは、 $1, N + \frac{m}{16}$ ($N=2\sim 15, m=0\sim 15$)、16 分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ BROCR<BROADDE><BROS3:0>、BROADD<BROK3:0> の設定に従い分周を行い転送速度を決定します。

- UARTモードの場合

- 1) BROCR<BROADDE>=0 の場合

BROADD<BROK3:0> の設定は無視され、BROCR<BROS3:0> に設定された値 “N” に従い N 分周を行います。 ($N=1, 2, 3 \dots 16$)

- 2) BROCR<BROADDE>=1 の場合

$N + (16-K)/16$ 分周機能がイネーブルになり BROCR<BROS3:0> に設定された値 “N” ($N=2, 3 \dots 15$)、BROADD<BROK3:0> に設定された値 “K” に従い $N + (16-K)/16$ 分周を行います。 ($K=1, 2, 3 \dots 15$)

(注) $N=1$ および 16 のときは $N + (16-K)/16$ 分周機能は禁止となりますのでかならず BROCR<BROADDE>= “0” に設定してください。

- I/Oインタフェースモードの場合

I/O インタフェースモード時は $N + (16-K)/16$ 分周機能は使用できません。かならず BROCR<BROADDE>= “0” に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 13.5MHz のときの 843.75kbps です。

また、シリアルクロックとしてシステムクロックを 2 分周した $f_{\text{sys}}/2$ を使用することもできます。この場合の最高ボーレートは 1.68Mbps@ $f_{\text{sys}}=54\text{MHz}$ です。

2) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 13.5MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値="1" の設定が可能なので、6.75Mbps になります（ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値="2" のときの、3.375Mbps が最高になります）。

- ボーレートの設定例

1) 整数分周（N 分周）の場合

fperiph に $f_c=54\text{MHz}$ を選択し、 $\phi T0$ を $f_{\text{periph}}/16$ に設定したとき、ボーレートジェネレータへの入力クロックを $\phi T1$ 、分周値 "N" ($\text{BROCR}\langle\text{BROS3:0}\rangle=4$ 、 $\text{BROCR}\langle\text{BROADDE}\rangle="0"$ の場合の UART モードのボーレートは、

※ クロック条件

システムクロック	: 高速 (f_c)
高速クロックギア	: 1 倍 (f_c)
プリスケアラクロック	: $f_{\text{periph}}/16$ ($f_{\text{periph}} = f_{\text{sys}}$)

$$\begin{aligned}\text{ボーレート} &= \frac{f_c/32}{4} \div 16 \\ &= 54 \times 10^6 \div 32 \div 4 \div 16 = 26367 \text{ (bps)} \text{ となります。}\end{aligned}$$

(注) $N+(16-K)/16$ 分周機能は禁止に設定されるため $\text{BROADD}\langle\text{BROK3:0}\rangle$ の設定は無視されます。

2) $N + (16-K)/16$ 分周（UART モードのみ）の場合

fperiph に $f_c=54\text{MHz}$ を選択し、 $\phi T0$ を $f_{\text{periph}}/16$ に設定したとき、ボーレートジェネレータへの入力クロックを $\phi T1$ 、分周値 "N" ($\text{BROCR}\langle\text{BROS3:0}\rangle=4$ 、 K " ($\text{BROADD}\langle\text{BROK3:0}\rangle=14$ 、 $\text{BROCR}\langle\text{BROADDE}\rangle=1$ の場合のボーレートは、

※ クロック条件

システムクロック	: 高速 (f_c)
高速クロックギア	: 1 倍 (f_c)
プリスケアラクロック	: $f_{\text{periph}}/16$ ($f_{\text{periph}} = f_{\text{sys}}$)

$$\begin{aligned}\text{ボーレート} &= \frac{f_c/32}{4 + \frac{(16-K)}{16}} \div 16 \\ &= 54 \times 10^6 \div 32 \div \left(4 + \frac{2}{16}\right) \div 16 = 25568 \text{ (bps)} \text{ となります。}\end{aligned}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレーートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレーートの算出方法

- 1) UART モード

ボーレート = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) $\geq 4/f_{sys}$ を満足する必要があります。

$f_{sys} = 54\text{MHz}$ のときの最高ボーレートは、 $54 \div 4 \div 16 = 844$ (kbps) になります。

- 2) I/O インタフェースモード

ボーレート = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) $> 12/f_{sys}$ を満足する必要があります。

従って、 $f_{sys} = 54\text{MHz}$ のときの最高ボーレートは、 $54 \div 12 = 4.5$ (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) $> 16/f_{sys}$ を満足する必要があります。

従って、 $f_{sys} = 54\text{MHz}$ のときの最高ボーレートは、 $54 \div 16 = 3.375$ (Mbps) 未満にする必要があります。

表 13.3.2.1 および 13.3.2.2 に UART モードのボーレーートの例を示します。

表 13.3.2.1 UART ボーレートの選択

(ボーレートジェネレータ使用、BROCR <BROADDE> = 0 の場合)

単位 (kbps)

fc [MHz]	分周値 N (BROCR<BROS3:0>に設定)	入力クロック	$\phi T1$ (fc/4)	$\phi T4$ (fc/16)	$\phi T16$ (fc/64)	$\phi T64$ (fc/256)
19.6608	1		307.200	76.800	19.200	4.800
↑	2		153.600	38.400	9.600	2.400
↑	4		76.800	19.200	4.800	1.200
↑	8		38.400	9.600	2.400	0.600
↑	0		19.200	4.800	1.200	0.300
24.576	5		76.800	19.200	4.800	1.200
↑	A		38.400	9.600	2.400	0.600
29.4912	1		460.800	115.200	28.800	7.200
↑	2		230.400	57.600	14.400	3.600
↑	3		153.600	38.400	9.600	2.400
↑	4		115.200	28.800	7.200	1.800
↑	6		76.800	19.200	4.800	1.200
↑	C		38.400	9.600	2.400	0.600

(注) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケール用クロックとして fperiph/2 を選択した場合の値です。

表 13.3.2.2 UART ボーレートの選択

(タイマ TMRB4 の出力 (内部 TB4OUT) 使用、タイマ TMRB4 の入力クロックが $\phi T0$ の場合)

単位 (kbps)

TB4RG0H/L	fc	29.4912 MHz	24.576 MHz	24 MHz	19.6608 MHz	16 MHz	12.288 MHz
0001H		230.4	192	187.5	153.6	125	96
0002H		115.2	96	93.75	76.8	62.5	48
0003H		76.8	64	62.5	51.2	41.67	32
0004H		57.6	48	46.88	38.4	31.25	24
0005H		46.08	38.4	37.5	30.72	25	19.2
0006H		38.4	32	31.25	25.6	20.83	16
0008H		28.8	24	23.44	19.2	15.63	12
000AH		23.04	19.2	18.75	15.36	12.5	9.6
0010H		14.4	12	11.72	9.6	7.81	6
0014H		11.52	9.6	9.38	7.68	6.25	4.8

ボーレートの算出方法 (タイマ TMRB4 を使用した場合)

$$\text{転送レート} = \frac{\text{SYSCR0<PRCK1:0>で選択されたクロック周波数}}{\text{TB4REG} \times 2 \times 16}$$

(タイマ TMRB4 の入力クロックが $\phi T1$ の場合)

(注1) I/O インタフェースモードでは、タイマ TMRB4 からの出力信号 (内部) を転送クロックとして使用できません。

(注2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケール用クロックとして fperiph/4 を選択した場合の値です。

13.3.3 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/Oインターフェースモードの場合

シリアルコントロールレジスタ $SCOCR<IOC>=“0”$ の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を2分周して、基本クロックをつくります。

$SCOCR<IOC>=“1”$ の SCLK 入力モードのときは、 $SCOCR<SCLKS>$ の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ $SCOMOD0<SC1:0>$ の設定により、前記ボーレートジェネレータからのクロックか、システムクロック ($f_{sys}/2$) か、タイマ (TMRB4) の内部出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK を生成します。

13.3.4 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ1ビットの受信に SIOCLK が16クロック用いられ7、8、9クロック目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

13.3.4 受信制御部

- I/Oインターフェースモードの場合

$SCOCR<IOC>=“0”$ の SCLK 出力モードのときは、SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。

$SCOCR<IOC>=“1”$ の SCLK 入力モードのときは、 $SCOCR<SCLKS>$ の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

13.3.5 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろもう一方の受信バッファ2 (SC0BUF) へ移されます。また、同時に受信バッファの full Flag ($SCOMOD2<RBFL>$) が“1”にセットされ、受信バッファ2に有効データが格納されていることを示します。但し受信 FIFO が有効にされている場合は受信データは受信 FIFO に移されこの Flag は直ぐにクリアされます。

受信 FIFO が有効にされていない場合 ($SC0FCNF<CNFG>=0$ で且つ $SCOMOD1<FDPX1:0>=01$) は同時に割り込み INTRX0 が発生します。受信 FIFO が有効にされている場合 ($SC0FCNF<CNFG>=1$ で且つ $SCOMOD1<FDPX1:0>=01/11$) は $SC0RFC<RIL2:0>$ の設定に従い割り込みが発生します。

CPU は受信バッファ2 (SC0BUF) または受信 FIFO (アドレスは受信バッファに同じ) を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full Flag ($SCOMOD2<RBFL>$) は“0”にクリアされます。CPU が受信バッファ2 (SC0BUF)

または受信 FIFO を読み出す前でも、次の受信データは受信バッファ 1 へ格納することができます。

また、I/O インターフェースモードで“SCLK 出力”に設定されている場合は、ダブルバッファ制御ビット SCOMOD2<WBUF>の設定により、受信バッファ 2 (SC0BUF) を許可または不許可にできます。

受信バッファ 2 (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (SC0FCNF<CNFG>=0 で且つ<FDPX1:0>=01)) により、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に SCLK 出力を停止します。この設定の場合には、CPU からの読み出し動作は受信バッファ 1 に対して行われます。読み出し動作が行なわれる事により、SCLK 出力を再開します。

受信バッファ 2 (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信バッファ 1 から 2 に移され、次に受信データの受信が終了して、受信バッファ 2 及び 1 に有効データが存在した状態になると、SCLK 出力を停止します。受信バッファ 2 の読み出しが行なわれると、受信バッファ 1 のデータが受信バッファ 2 に移され、受信割り込み INTRX が発生すると同時に SCLK 出力を再開します。従って、I/O インターフェースモードの SCLK 出力ではダブルバッファ制御ビット SCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ 2 (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (SC0FCNF<CNFG>=1 で且つ<FDPX1:0>=01/11) は受信 FIFO が FULL (SC0FCNF<RFST>の設定に従う) になり、受信バッファ 2 及び 1 に有効データが存在した状態になると SCLK 出力を停止します。またこの状態で SC0FCNF<RXTXCNT>=1 にしていると SCLK 出力停止と同時に受信制御ビット: RXE が自動的にクリアされます。“0”の場合は、自動クリアは行なわれません。

(注) このモードでは、SC0CR の<OEER>Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SC0CR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファ 2 の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ 2 および SC0CR <RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファ 2 に次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR <RB8> に格納されます。

9 ビット UART の場合、ウェイクアップ機能 SCOMOD0<WU> を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>= “1”のときのみ、割り込み INTRX0 が発生します。

13.3.6 受信 FIFO バッファ

前記ダブルバッファに加えて、受信 FIFO バッファを用いて、データの格納を行う事ができます。SC0FCNF レジスタの<CNFG>及び SC0MOD1 の<FDPX1:0>の設定で 4 バイトの受信バッファを有効にする事ができます。また、UART モード及び I/O インターフェースモードの場合は指定された fill レベルまでのデータが格納できます。受信 FIFO バッファを使用する場合はダブルバッファをイネーブルに設定してください。

また UART モードでパリティビットを含むデータを受信する場合、受信ごとにパリティエラーチェックを行なう必要があります。

13.3.7 受信 FIFO の動作

① I/O インターフェースモードで SCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

SC0RFC<7:6>=01 : 受信 FIFO のクリアと割り込み発生条件の設定

SC0RFC<1:0>=00 : 割り込み発生を fill レベル 4 に設定

SC0FCNF<1:0>=10111 : fill レベル到達後の継続受信自動禁止

受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ。

この状態で転送モードを半二重受信に設定して RXE ビットに 1 を書き込むと 4 バイトのデータ受信を開始します。4 バイト受信後に RXE を自動クリアして受信を終了 (SCLK を停止) します。

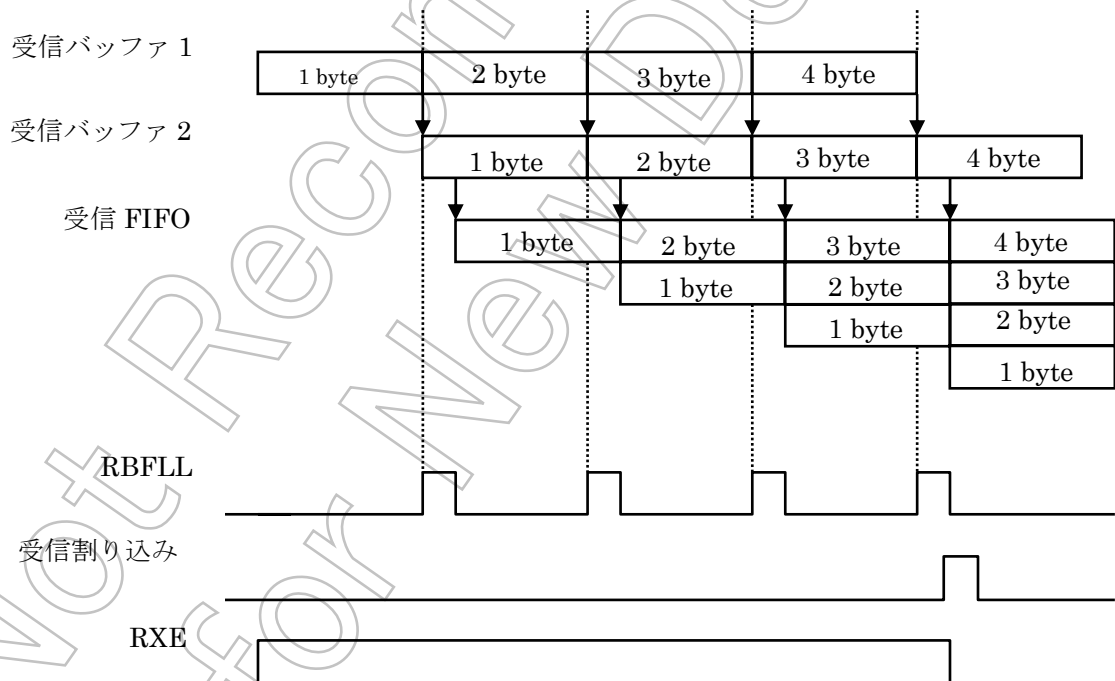


図 13.3.7.1 受信 FIFO の動作

② I/O インターフェースモードで SCLK 入力の場合

10 バイトのデータを受信する場合を例に説明します。

SCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

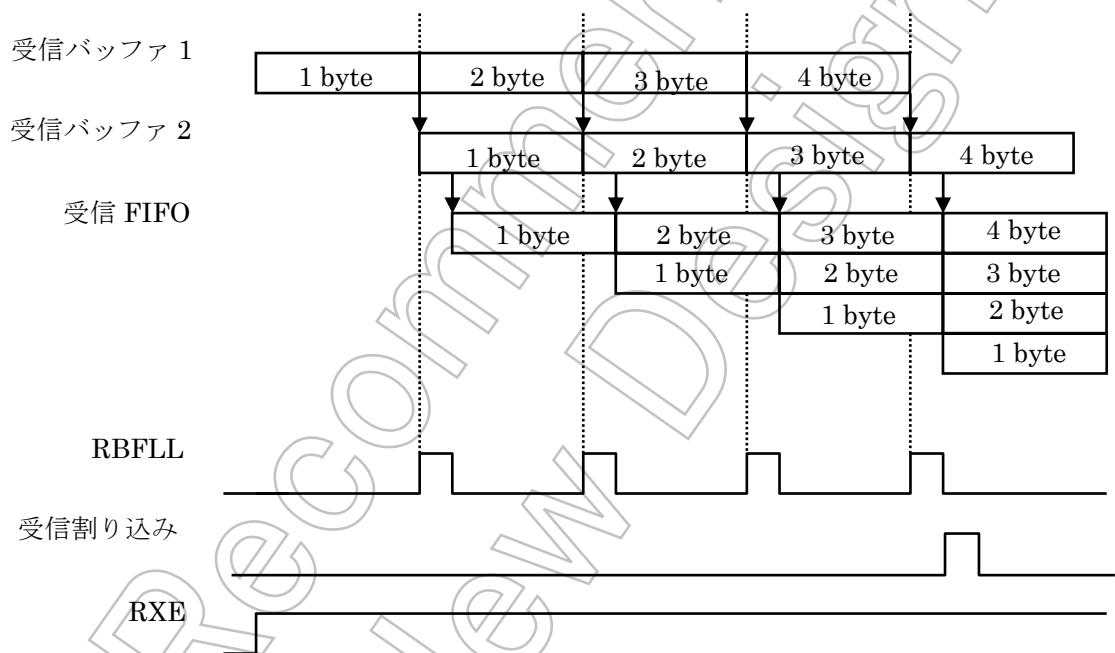
SCORFC<1:0>= 00 : 割り込み発生を fill レベル 4 に設定

SCOF CNF<1:0>=10101 : fill レベル到達後の継続受信自動許可

受信 FIFO の使用バイト数は最大構成

この状態で転送モードを半二重受信に設定して RXE ビットに 1 を書き込むと入力クロックに応じて 4 バイトのデータ受信を開始します。4 バイト受信後に受信 FIFO 割り込みが発生します。

また、この設定では次の受信に備えることもでき、全部のデータが FIFO から読み出される前に次の 4 バイトのデータの受信も可能です。



13.3.8 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

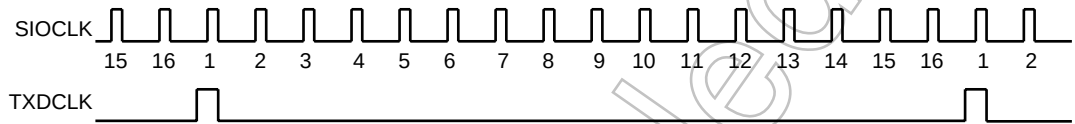


図 13.3.8.1 送信クロックの生成

13.3.9 送信制御部

- I/Oインターフェースモードの場合

SC0CR<IOC>= “0” の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR<IOC>= “1” の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD0 端子へ出力します。

- 非同期通信 (UART) モードの場合

送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (TXDSFT) を生成します。

- ハンドシェイク機能

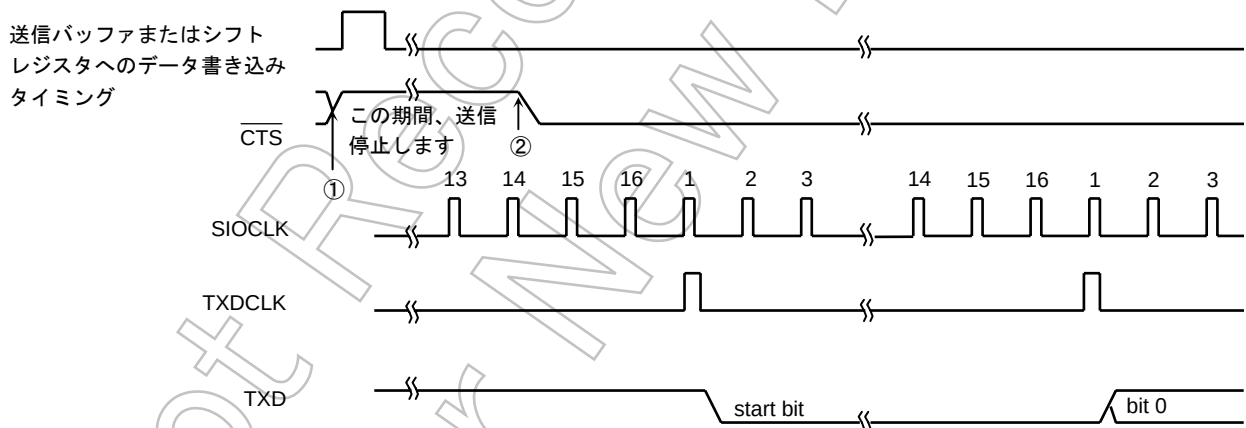
CTS 端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SCOMOD0 <CTSE> によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。



図 13.3.9.1 ハンドシェイク機能



- (注) ① 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 ② $\overline{\text{CTS}}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 13.3.9.2 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

13.3.10 送信バッファ

送信バッファ (SC0BUF) は 2 重構造になっています。シリアルモードコントロールレジスタ 2 (SC0MOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (SC0BUF) ヘデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。

送信 FIFO が有効にされていない場合 (SC0FCNF<CNFG>=0 or 1 で且つ<FDPX1:0>=01) は同時に送信割り込み INTTX が発生して、SC0MOD2 の送信バッファエンプティフラグ<TBEMP>が “1” にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込みが可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが “0” にクリアされます。

送信 FIFO が有効にされている場合 (SCNFCNF<CNFG>=1 で且つ<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに “0” にクリアされます。CPU は送信バッファ 2 または送信 FIFO ヘデータを書き込みます。

また I/O インターフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘデータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (SC0CR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インターフェースモードの SCLK 入力時に送信 FIFO が有効にされている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘデータが移されます。

I/O インターフェースモードの SCLK 出力時に送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移され、そのデータの送信が終了すると SCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インターフェースモードの SCLK 出力時に送信 FIFO が有効にされている場合は、送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると SCLK 出力を停止します。

注) I/O インタフェース SCLK 出力モードでは、SC0CR の<PEER> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SC0CR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み INTTX が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>=” 0” (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO の設定は行なわないでください。

13.3.11 送信 FIFO バッファ

前記ダブルバッファに加えて、送信 FIFO バッファを用いて、データの格納を行う事ができます。SC0FCNF レジスタの CNFG の設定及び SCOMOD1 の<FDPX1:0>で 4 バイトの送信バッファを有効にする事ができます。UART モード及び I/O インターフェースモードにおいて 4 バイトまでのデータが格納できます。

また UART モードでパリティビットを含むデータを送信する場合、受信側は受信ごとにパリティエラーチェックを行なう必要があります。

13.3.12 送信 FIFO の動作

① I/O インターフェースモードで SCLK 出力の場合（通常モード）

4 バイトのデータを送信する場合を例に説明します。

SC0TFC<7:6>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

SC0TFC<1:0>=00 : 割り込み発生時の fill レベルを 0 に設定

SC0FCNF<1:0>=01011 : fill レベル到達後の継続送信の禁止

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4 バイト分の送信データを書き込み、<TXE>ビットを”1”に設定する事によりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

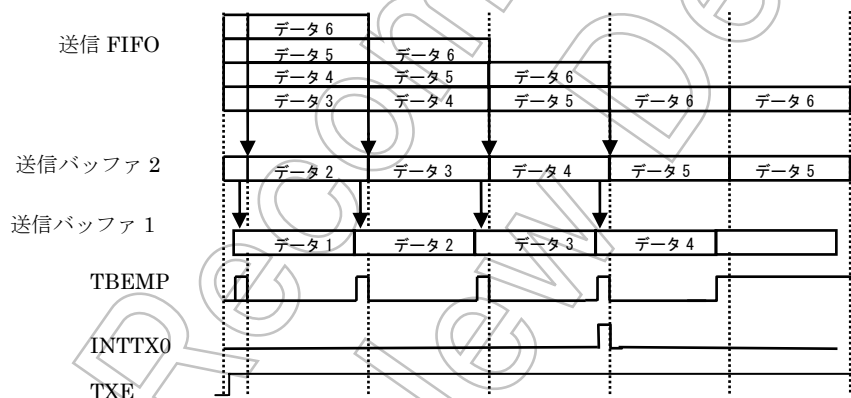


図 13.3.12.1 送信 FIFO の動作

② I/O インターフェースモードで SCLK 入力の場合（通常モード）

4 バイトのデータを送信する場合を例に説明します。

SCOTFC<1:0>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

SCOTFC<7:2>=000000 : 割り込み発生の fill レベルを 0 に設定

SC0FCNF<4:0>=01001 : fill レベル到達後の継続送信の許可

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4 バイト分の送信データを書き込み、<TXE>ビットを”1”に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生します。

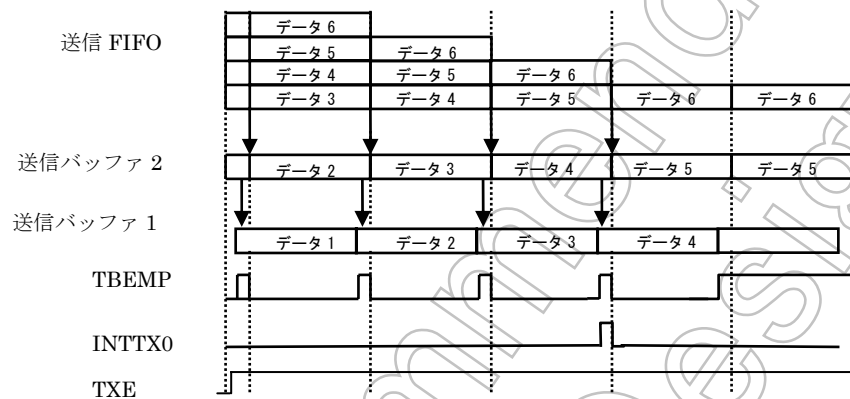


図 13.3.12.2 送信 FIFO の動作

13.3.13 パリティ制御回路

シリアルコントロールレジスタ (SCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SCOCR の <EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SCOBUF ビット 7<TB7> に、8 ビット UART モードのときはシリアルモードコントロールレジスタ SCOMOD のビット 7<TB8> にパリティがデータ送信後に格納されます。。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ 1 にシフトインされ、受信バッファ 2 (SCOBUF) に移されることによりパリティを自動発生します。7 ビット UART モードのときは、SCOBUF <RB7> と、8 ビット UART モードのときは、SCOCR レジスタのビット 7<RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SCOCR レジスタの<PERR> フラグがセットされます。

I/O インターフェースモードの時は SCOCR<PERR>はパリティフラグではなく、アンダーランエラーフラグの働きになります。

13.3.14 エラーフラグ

受信データの信頼性を上げるために3つのエラーフラグが用意されています。

1. オーバーランエラー <OERR> : シリアルコントロールレジスタ SCOCR のビット 4

UART、I/O インターフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が FULL (使用バイト数) になるまではオーバーランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インターフェースモードの SCLK 出力の設定ではオーバーランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

2. パリティエラー/アンダーランエラー<PERR> : SCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インターフェースモード時は、アンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (SCOMOD2) のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、SCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次の転送クロックが入力される前に、送信ダブルバッファヘッダがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信 FIFO が有効にされている場合は送信 FIFO からデータが移されます。送信 FIFO のデータが空になり、送信ダブルバッファのデータ空になると、アンダーランエラーが発生します。SCLK 出力モード時は、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファ 2 が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー〈FERR〉: SCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (SCOMOD2) の STOP ビット長設定ビット〈SBLLEN〉の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
I/O インタフェース (SCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1) 0 固定 (WBUF=0)
	FERR	0 固定
I/O インタフェース (SCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

13.3.15 データ転送方向

シリアルモードコントロールレジスタ 2 (SCOMOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インタフェースモード時に転送方向を MSB ファーストまたは LSB ファーストに切り替えることができます。転送動作中の切り替えは行わないでください。

13.3.16 STOP ビットの長さ

SCOMOD2 レジスタのビット 4<SBLEN>の設定により UART 送信モード時の 送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

13.3.17 ステータスフラグ

SCOMOD2 レジスタのビット 6<RBFL>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されとバッファ 2 が full (データが格納されている状態) であることを示すために "1" にセットされます。CPU/DMAC により受信バッファを読み出すと "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

SCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために "1" がセットされます。CPU/DMAC により送信バッファにデータをセットすると "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

13.3.18 送受信バッファの構成

		<WBUF> = 0	<WBUF> = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I ² O インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I ² O インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

13.3.19 各信号発生タイミング

① UART モードの場合

受信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング (<WBUF> = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (<WBUF> = 1)	送信バッファ1ヘデータを移した直後 (スタートビット送出の直前)	送信バッファ1ヘデータを移した直後 (スタートビット送出の直前)	送信バッファ1ヘデータを移した直後 (スタートビット送出の直前)

② I/O インターフェースモードの場合

受信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後 (受信バッファ2ヘデータを移した直後) または受信バッファ2からデータを読み出した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘデータを移した直後)
オーバランエラー発生タイミング	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後または送信バッファ1ヘデータを移した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘデータを移した直後
アンダーランエラー発生タイミング	SCLK 入力モード	次回 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信時 (受信許可の状態) に制御レジスタの変更は行なわないでください

注2) 受信動作中に受信動作を停止 (SCOMOD0<RXE>="0") しないでください

注3) 送信動作中に送信動作を停止 (SCOMOD1<TXE>="0") しないでください

13.4 レジスタ説明（チャンネル0 についてのみ説明します）

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データ ビット 8	ハンド シェイク 機能制御 0: CTS ディセー ブル 1: CTS イネーブ ル	受信制御 0: 受信禁 止 1: 受信許 可	ウェイク アップ機能 0: ディセ ーブル 1: イネー ブル	シリアル転送モード 00: I/O インタフェース モード 01: 7ビット長 UART モード 10: 8ビット長 UART モード 11: 9ビット長 UART モード	シリアル転送クロック (UART 用) 00: タイマ TB4OUT 01: ポーレート ジェネレータ 10: 内部クロック fsys/2 11: 外部クロック (SCLK0 入力)		

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC0CR) でクロックを選択します。

	9ビットUART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときのみ 割り込み	

	ハンドシェイク機能(CTS 端子)イネーブル
0	ディセーブル (常時送信可能)
1	イネーブル

注) <RXE>=" 0" の状態で各モードレジスタ (SCOMOD0、SCOMOD1、SCOMOD2) を設定してから最後に<RXE>=" 1" にしてください

図 13.4.1 シリアルモードコントロールレジスタ 0 (SI00 用、SCOMOD0)

	7	6	5	4	3	2	1	0
SC0MOD1 (0xFFFF_F265)	bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 000: 無し 100: 8SCLK 001: 1SCLK 101: 16SCLK 010: 2SCLK 110: 32SCLK 011: 4SCLK 111: 64SCLK			0 を書き込んでください

図 13.4.2 シリアルモードコントロールレジスタ 1 (S100 用、SC0MOD1)

<SINT2:0> : I/O インターフェースモード時で、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。UART モードおよび、外部 CLK 入力時は意味を持ちません。

<TXE> : 送信許可ビットです。全転送モードに有効です。送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<FDPX1:0> : I/O インターフェース時の転送モードを設定します。また合わせて FIFO が許可されている場合は FIFO の構成を指定します。UART モードの場合は FIFO 構成の指定のみ行われます。

<I2S0> : IDLE モード時の動作を指定します。

SC0MOD2
(0xFFFF_F266)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLEN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R/W						W	W
リセット後	1	0	0	0	0	0	0	0
機能	送信バッファ エンプティフラグ 0: full 1: Empty	受信バッファ フルフラグ 0: Empty 1: full	送信動作中 フラグ 0: 停止 1: 動作	STOP ビット 0: 1 ビット 1: 2 ビット	転送方向 設定 0: LSB first 1: MSB first	ダブルバッファ の許可 0: 不許可 1: 許可	ソフトウェアリセット “10” → “01” のライトでリセット	

〈SWRST1:0〉: “10” → “01” のライトによりソフトウェアリセットが発生します。これにより、モードレジスタの SC0MOD0<RXE>、SC0MOD1<TXE>、SC0MOD2<TBEMP>、〈RBFL〉、〈TXRUN〉、コントロールレジスタの SC0CR<OERR>、〈PERR>、〈FERR> 及び内部回路が初期化されます。

〈WBUF〉: I/O インターフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。その他のモードでは設定に関らず、常にダブルバッファは許可されます。

〈DRCHG〉: I/O インターフェースモード時に、転送方向を指定します。UART モード時は LSB first に設定します。

〈TXRUN〉: 送信シフト動作中を示すステータスフラグです。このビットが “1” の場合は送信動作中であることを示し、“0” の場合は、ビット 7<TBEMP>= “1” の時は送信が完全に終了している状態を、〈TBEMP>= “0” の時は送信バッファに次の送信データがあり送信待ちの状態を示します。

〈RBFL〉: 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

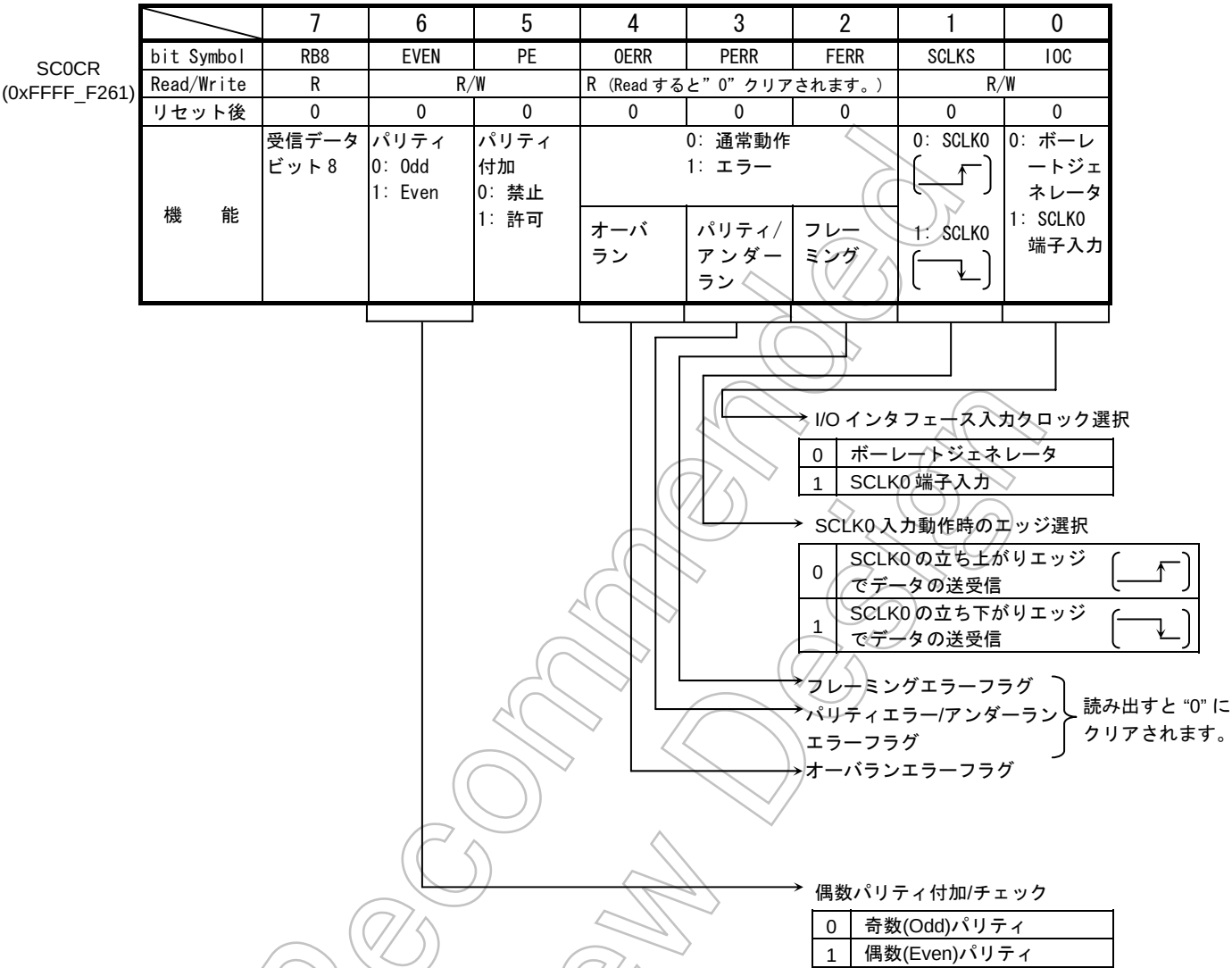
〈TBEMP〉: 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、empty になると “1” になり、送信データが書き込まれると “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

〈SBLEN〉: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

(注) 転送動作中にソフトリセットを掛ける場合は 2 回連続して実行してください。

図 13.4.3 シリアルモードコントロールレジスタ



(注) エラーフラグは読み出されるとすべてクリアされます。

図 13. 4. 4 シリアルコントロールレジスタ (SI00 用、SC0CR)

BR0CR
(0xFFFF_F263)

	7	6	5	4	3	2	1	0
bit Symbol		BROADDE	BROCK1	BROCK0	BROS3	BROS2	BROS1	BROS0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0” をライトしてください	$N + (16 - K) / 16$ 分周機能 0: ディセーブル 1: イネーブル	00: $\phi T1$ 01: $\phi T4$ 10: $\phi T16$ 11: $\phi T64$	分周値 “N” の設定				

ポーレートジェネレータの入カロックの選択

00	内部クロック $\phi T1$
01	内部クロック $\phi T4$
10	内部クロック $\phi T16$
11	内部クロック $\phi T64$

BROADD
(0xFFFF_F264)

	7	6	5	4	3	2	1	0
bit Symbol					BROK3	BROK2	BROK1	BROK0
Read/Write	R				R/W			
リセット後	0	0	0	0	0	0	0	0
機能	$N + (16 - K) / 16$ 分周の K 値の設定							

ポーレートジェネレータの分周値の設定

	BROCR<BROADDE> = 1		BROCR<BROADDE> = 0
BROCR <BROS3:0>	0000 (N = 16) ↓	0010 (N = 2) ↓	0001 (N = 1) (ONLY UART) ↓
BROADD <BROK3:0>	0001 (N = 1)	1111 (N = 15)	1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	
0001 (K = 1) ↓ 1111 (K = 15)	禁止	$N + \frac{(16-K)}{16}$ 分周	N 分周

(注1) UART モードでは、ポーレートジェネレータ分周値の “1” 分周は、 $N + (16 - K) / 16$ 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは、ポーレートジェネレータ分周値の “1” 分周は、ダブルバッファ使用時のみ設定可能です。

(注2) $N + (16 - K) / 16$ 機能を使用する場合、かならず BROADD <BROK3:0> に K 値 (K = 1~15) を設定後に BROCR <BROADDE> = “1” を設定してください。ただし、BROCR <BROS3:0> = “0000” または “0001” (N = 16 または 1) のとき $N + (16 - K) / 16$ 分周機能は使用しないでください。

(注3) $N + (16 - K) / 16$ 分周機能は UART モードのみ使用可能です。I/O インタフェースモードのときは BROCR <BROADDE> = “0” に設定し $N + (16 - K) / 16$ 分周機能を禁止してください。

図 13.4.5 ポーレートジェネレータコントロール (SI00 用、BR0CR、BROADD)

SC0BUF
(0xFFFF_F260)

	7	6	5	4	3	2	1	0
bit Symbol	TB7/RB7	TB6/RB6	TB5/RB5	TB4/RB4	TB3/RB3	TB2/RB2	TB1/RB1	TB0/RB0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	TB7~0 : 送信用バッファ + FIFO RB7~0 : 受信用バッファ + FIFO							

(注) : SC0BUF は、WR 時は送信バッファ、RD 時は受信バッファとして機能します。

図 13.4.6 SI00 送受信バッファレジスタ

SC0FCNF
(0xFFFF_F26C)

	7	6	5	4	3	2	1	0
bit Symbol				RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	必ず “000” を書き込んでください。			受信 FIFO 使用バイト数 0: 最大 1: 受信 FIFO の FILL レベルに同じ	送信 FIFO 使用時の送信割り込み許可 0: 禁止 1: 許可	受信 FIFO 使用時の受信割り込み許可 0: 禁止 1: 許可	RXE/TXE の自動禁止 0: 無し 1: 自動禁止	FIFO の許可 0: 禁止 1: 許可

<CNFG> : 許可の場合は FIFO の構成は SCOMOD1<FDPX1:0>の設定により

<FDPX1:0>=01 (半二重受信) -----4 バイト受信 FIFO

<FDPX1:0>=10 (半二重送信) -----4 バイト送信 FIFO

<FDPX1:0>=11 (全二重) -----2 バイト受信 FIFO+2 バイト送信 FIFO

に自動的にになります。

<RXTXCNT> : 0 受信許可ビット : RXE、送信許可ビット : TXE の自動禁止機能は無効

: 1 自動禁止の場合は SCOMOD1<FDPX1:0>の設定により

<FDPX1:0>=01 (半二重受信) -----受信 FIFO に指定された有効バイト数のデータが格納された時に以降の受信を禁止する為に自動的に RXE が “0” になります

<FDPX1:0>=10 (半二重送信) -----送信 FIFO が Empty になった時に、以降の送信を禁止する為に自動的に TXE が “0” になります

<FDPX1:0>=11 (全二重) -----前記 2 つの条件のどちらか片方が成立した時に、以降の送受信を禁止する為に自動的に RXE/TXE が “0” になります。

<RFIE> : 受信 FIFO が有効にされている時の受信割り込みの許可／不許可を切り替えます。

<TFIE> : 送信 FIFO が有効にされている時の送信割り込みの許可／不許可を切り替えます。

<RFST> : 受信 FIFO が有効にされている時の受信 FIFO の使用 BYTE 数を切り替えます。

0 : 構成されている FIFO の最大バイト数。<FDPX1:0>=01 (半二重受信) の時は 4 バイト、
<FDPX1:0>=11 (全二重) の時は 2 バイト

1 : SCORFC<RIL5:0>で指定される受信割り込み発生の為の FILL レベルに同じ

(注 1) 送信 FIFO は常に構成されている FIFO の最大バイト数を使用できます。
使用バイト数は送信 FIFO に書き込んだバイト数になります。

図 13.4.7 FIFO コンフィグレジスタ

		7	6	5	4	3	2	1	0
SC0RFC (0xFFFF_F268)	bit Symbol	RFCS	RFIS					RIL1	RIL0
	Read/Write	W	R/W	R				R/W	
	リセット後	0	0	0	0	0	0	0	0
	機能	受信 FIFO クリア 1:クリア リードすると常に“0”が読み出されます	割り込み発生条件選択					受信割り込みが発生する FIFO の fill レベル 00:4byte (全二重の場合は2バイト) 01:1 バイト 10:2 バイト 11:3 バイト 注: FDPX1:0=11 (全二重)の場合は RIL1 は無視されます	

- 0: 設定した fill レベルに到達した場合
1: 設定した fill レベルに到達した時、及び新規データが読み出された時に fill レベルを超えている場合

図 13.4.8 受信 FIFO コントロールレジスタ

		7	6	5	4	3	2	1	0
SC0TFC (0xFFFF_F269)	bit Symbol	TFCS	TFIS					TIL1	TIL0
	Read/Write	W	R/W	R				R/W	
	リセット後	0	0	0	0	0	0	0	0
	機能	送信 FIFO クリア 1:クリア リードすると常に“0”が読み出されます	割り込み発生条件選択					送信割り込みが発生する FIFO の fill レベル 00:Empty 01:1 バイト 10:2 バイト 11:3 バイト 注: FDPX1:0=11 (全二重)の場合は TIL1 は無視されます	

- 0: 設定した fill レベルに到達した場合
1: 設定した fill レベルに到達した時、及び新規データが書き込まれた時に fill レベルより低い場合

図 13.4.9 送信 FIFO コンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	ROR					RLVL2	RLVL1	RLVL0
Read/Write	R	R				R		
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO オーバーラン 1:発生					受信 FIFO の fill レベルのステータス 000:Empty 001:1 バイト 010:2 バイト 011:3 バイト 100:4 バイト		

(注) : <ROR>ビットは、SC0BUF レジスタの受信データをリードすると”0”にクリアされます。

図 13.4.10 受信 FIFO ステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TUR					TLVL2	TLVL1	TLVL0
Read/Write	R	R				R		
リセット後	1	0	0	0	0	0	0	0
機能	送信 FIFO アンダーラン 1:発生					送信 FIFO の fill レベルのステータス 000:Empty 001:1 バイト 010:2 バイト 011:3 バイト 100:4 バイト		

(注) : <TUR>ビットは、SC0BUF レジスタに送信データをライトすると”0”にクリアされます。

図 13.4.11 送信 FIFO ステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol								SIOE
Read/Write	R							R/W
リセット後	0	0	0	0	0	0	0	0
機能								SIO 動作 0:禁止 1:許可

<SIOE>: SIO の動作を指定します。動作禁止の状態では SIO モジュールのレジスタ部以外へのクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。SIO を使用する場合は、SIO モジュールの各レジスタを設定する前に SIO 動作許可（”1”）にしてください。SIO を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

図 13.4.12 SIO イネーブルレジスタ

13.5 モード別動作説明

13.5.1 モード0 (I/O インターフェースモード)

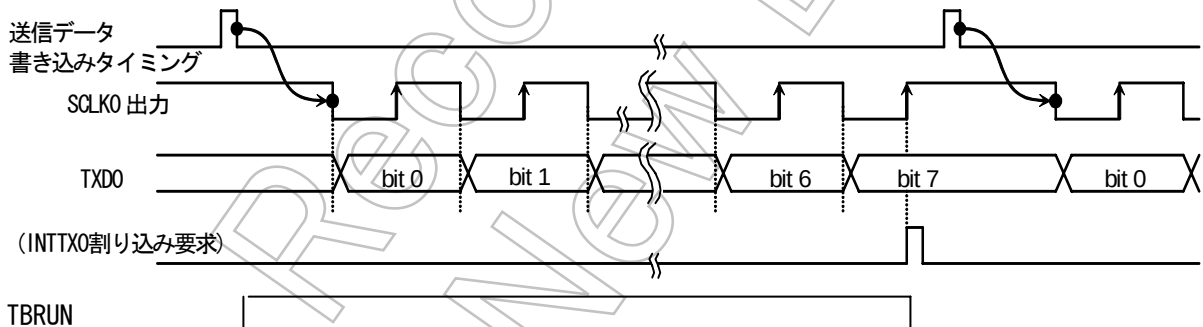
このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の章を参照してください。

① 送信

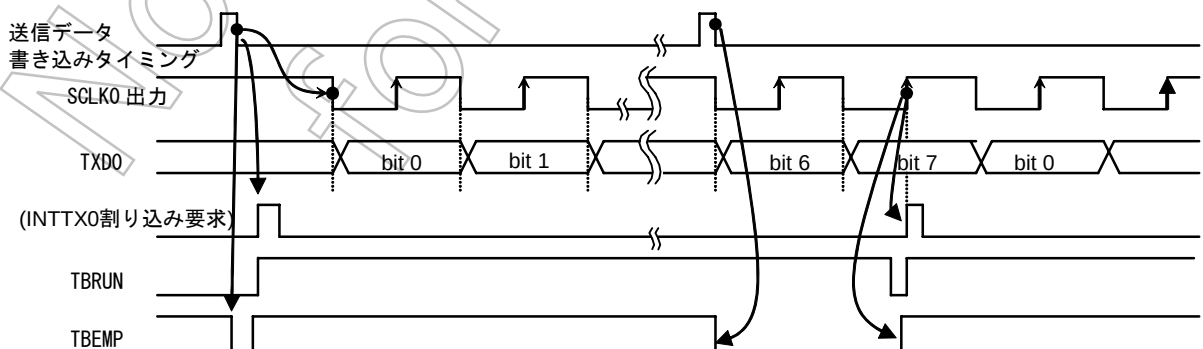
SCLK出力モード

SCLK 出力モードでは $SCOMOD2<WBUF> = "0"$ で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生します。

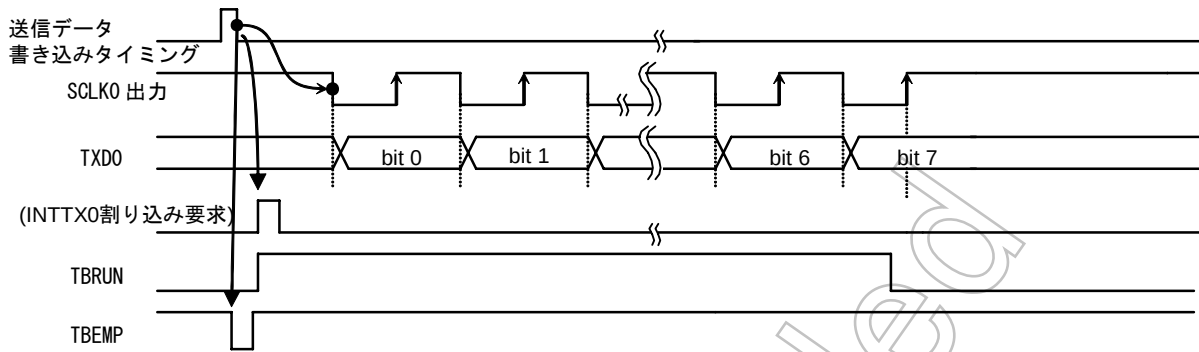
$SCOMOD2<WBUF> = "1"$ で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ $SCOMOD2<TBEMP>$ が "1" にセットされます。同時に、割り込み (INTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (INTTX0) を発生せず、SCLK0 出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可) の場合



<WBUF> = "1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



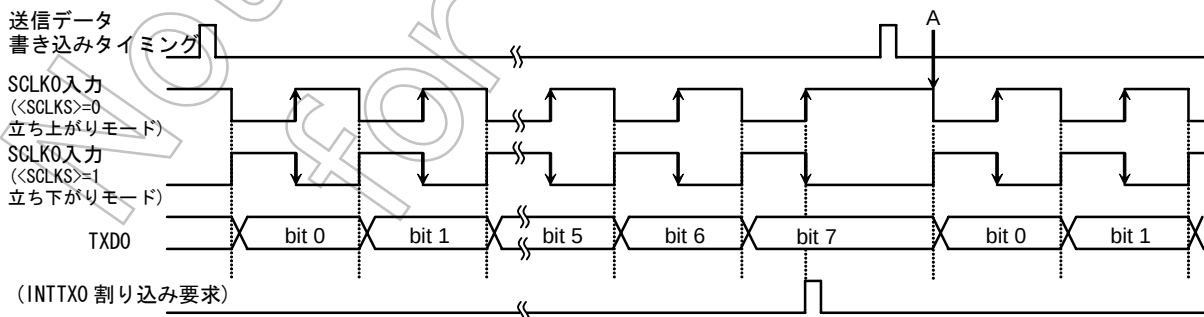
<WBUF> = “1” (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 13.5.1.1 I/O インターフェースモード送信動作 (SCLK0 出力モード)

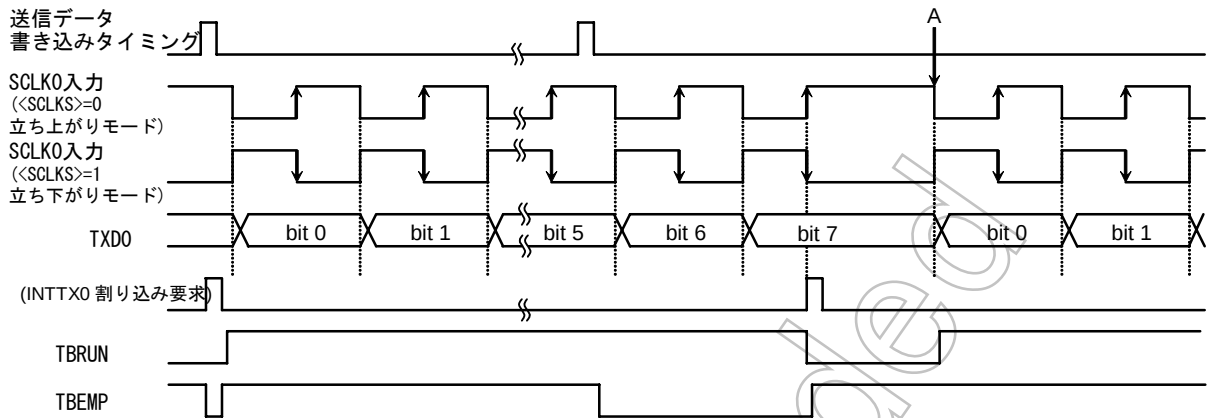
SCLK入力モード

SCLK 入力モードでは、SCOMOD2<WBUF>=“0” で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で SCLK0 入力アクティブになると、8 ビットのデータが TXD0 端子より出力されます。データがすべて出力されると割り込み INTTX0 が発生します。次の送信データは図 13.5.1.2 に示す A 点までに書き込んでください

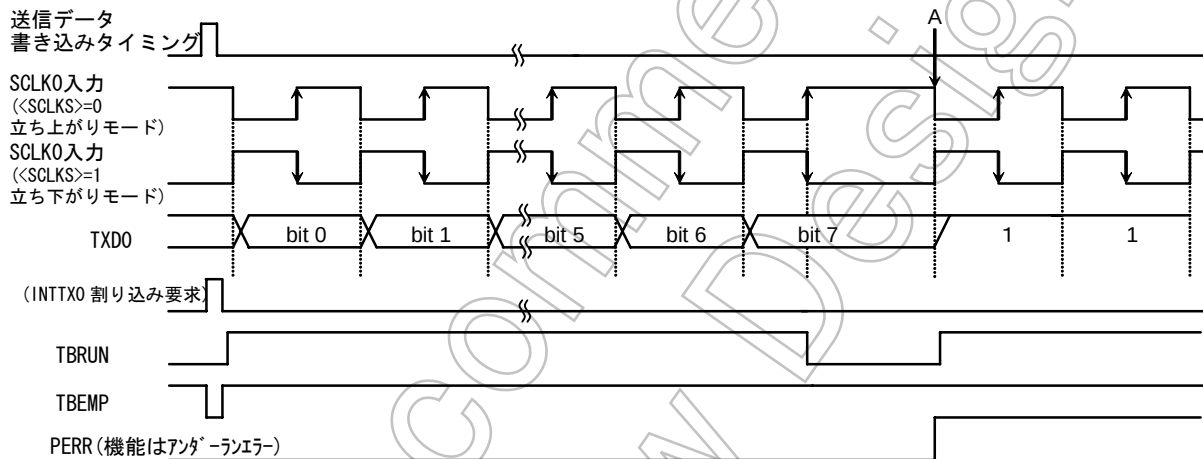
SCOMOD2<WBUF>=“1” で送信ダブルバッファが許可されている場合は、SCLK0 入力アクティブになる前に送信バッファにデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 のデータが送信バッファ 1 へ移されます。これと同時に送信バッファ empty フラグ SCOMOD2<TBEMP> が “1” にセットされ、割り込み (INTTX0) が発生します。送信バッファ 2 にデータが書き込まれていない状態で、SCLK0 入力アクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (FFh) を送出します。



<WBUF> = “0” (ダブルバッファ不許可) の場合



$\langle \text{WBUF} \rangle = "1"$ (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



$\langle \text{WBUF} \rangle = "1"$ (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 13.5.1.2 I/O インターフェースモード送信動作 (SCLK0 入力モード)

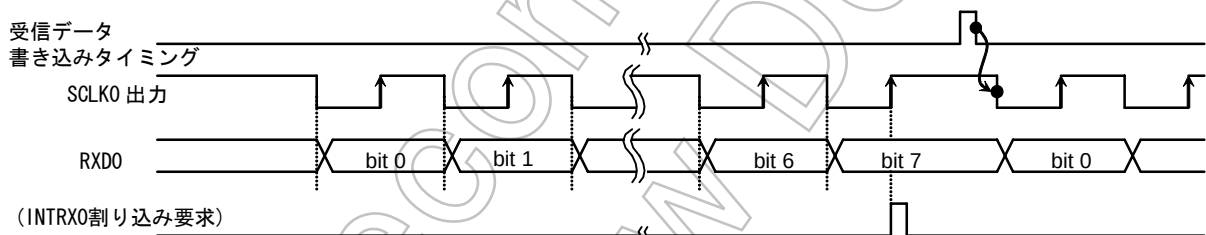
② 受信

SCLK出力モード

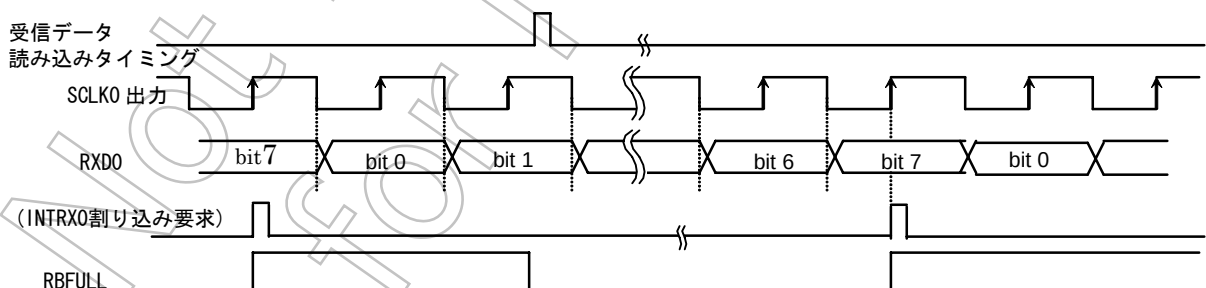
SCLK 出力モードでは SCOMOD2<WBUF>= “0” で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、受信許可ビット SCOMOD0<RXE>を “1” にセットすることで行います。また、SCOMOD2<WBUF>= “1” で受信ダブルバッファが許可の場合は、最初に受信したフレームは 受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ SCOMOD2<RBFULL>が “1” にセットされ、割り込み INTRX0 が発生します。

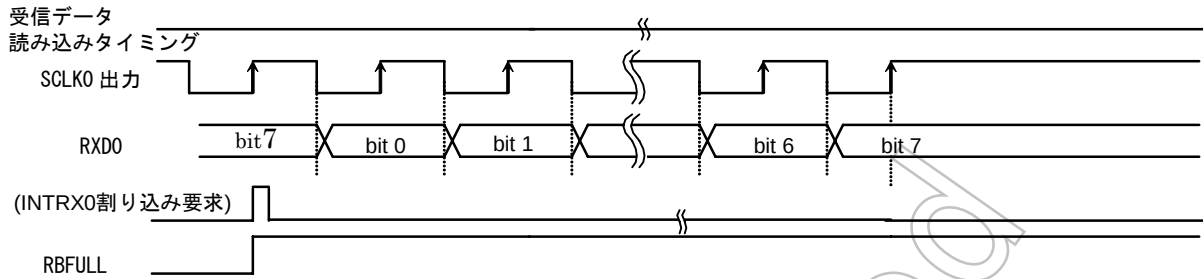
受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータを読み出されない場合は、割り込み INTRX0 が発生せず、SCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み INTRX0 を発生して受信を再開します。



<WBUF>= “0” (ダブルバッファ不許可) の場合



<WBUF>= “1” (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出した場合)



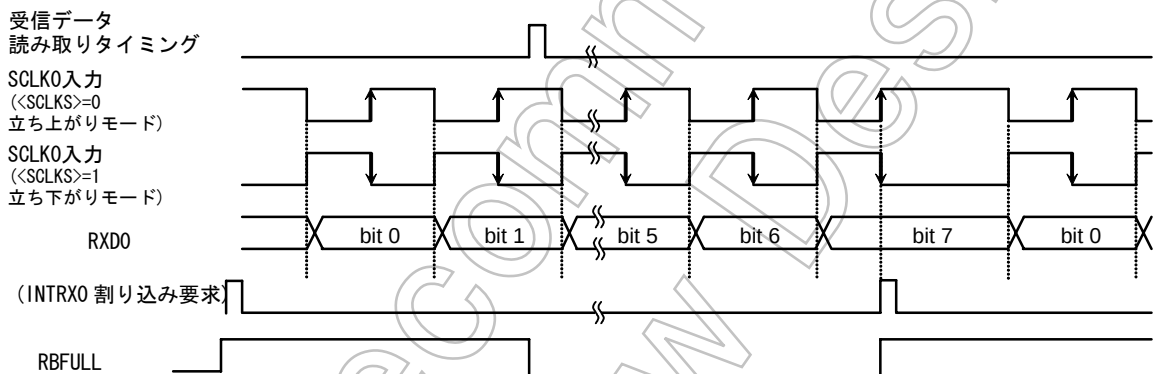
〈WBUF〉= “1” (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 13.5.1.3 I/O インターフェースモード受信動作 (SCLK0 出力モード)

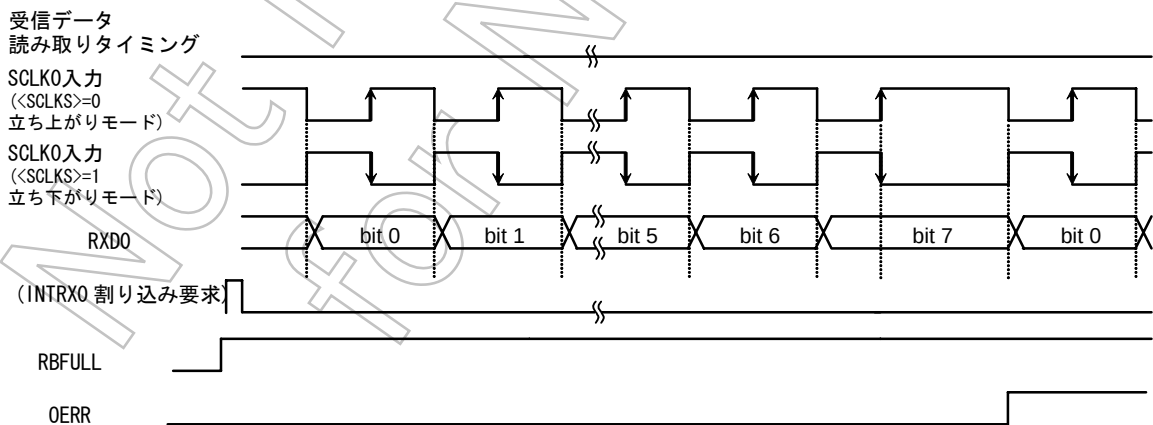
SCLK入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み INTRX が発生します。



バッファ 2 のデータを読み出した場合



バッファ 2 のデータが読み出されない場合

図 13.5.1.4 I/O インターフェースモード受信動作 (SCLK0 入力モード)

(注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 (SCOMOD 〈RXE〉 = “1”) に設定して下さい。

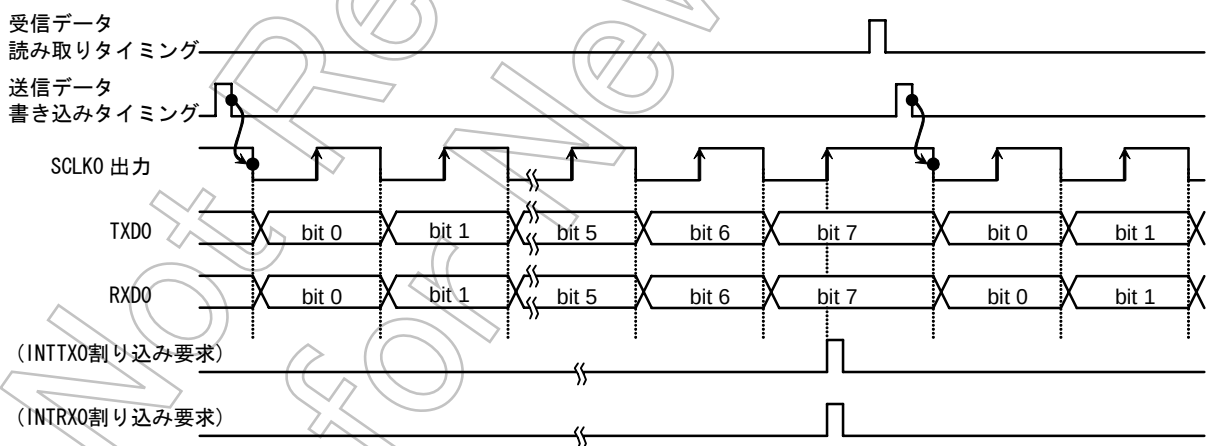
③ 送受信（全二重）

シリアルモードコントロールレジスタ 1 (SCOMOD1) のビット 6 <FDPX0> に “1” をセットすることにより全二重モードでの通信が可能になります。

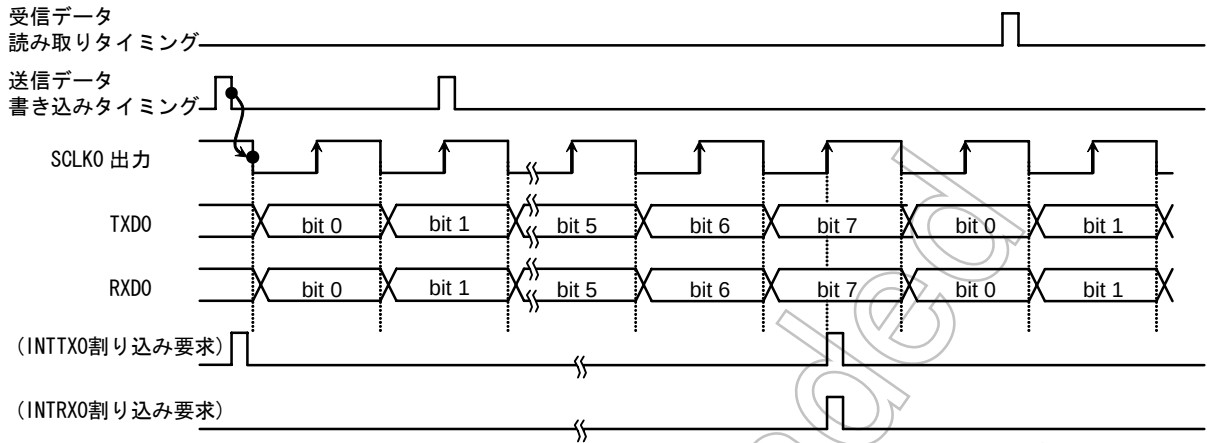
SCLK出力モード

SCLK 出力モードでは SCOMOD2<WBUF>= “0” で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み (INTRX0) が発生します。それと平行して送信バッファに書き込まれた 8 ビットデータが、TXD0 端子より出力され、全てのデータが送信されると送信割り込み (INTTX0) が発生します。この状態で SCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

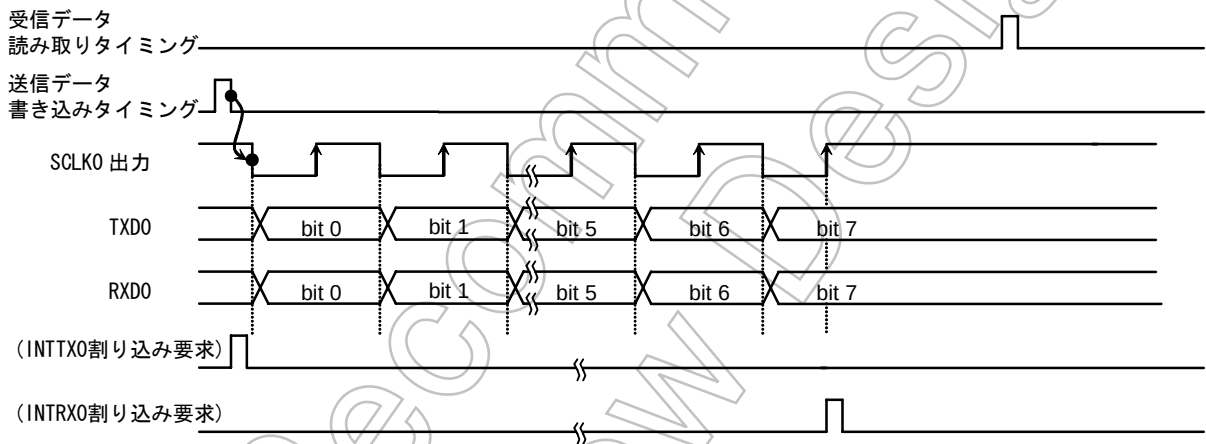
SCOMOD2<WBUF>= “1” で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (INTRX0) が発生します。8 ビットデータの受信と平行して 8 ビットデータが TXD0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない (SCOMOD2<TBEMP>= “1”) または受信バッファ 2 にデータが存在している (SCOMOD2<RBFULL>= “1”) 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。



<WBUF>= “0”（ダブルバッファ不許可）の場合



<WBUF> = “1” (ダブルバッファ許可) の場合



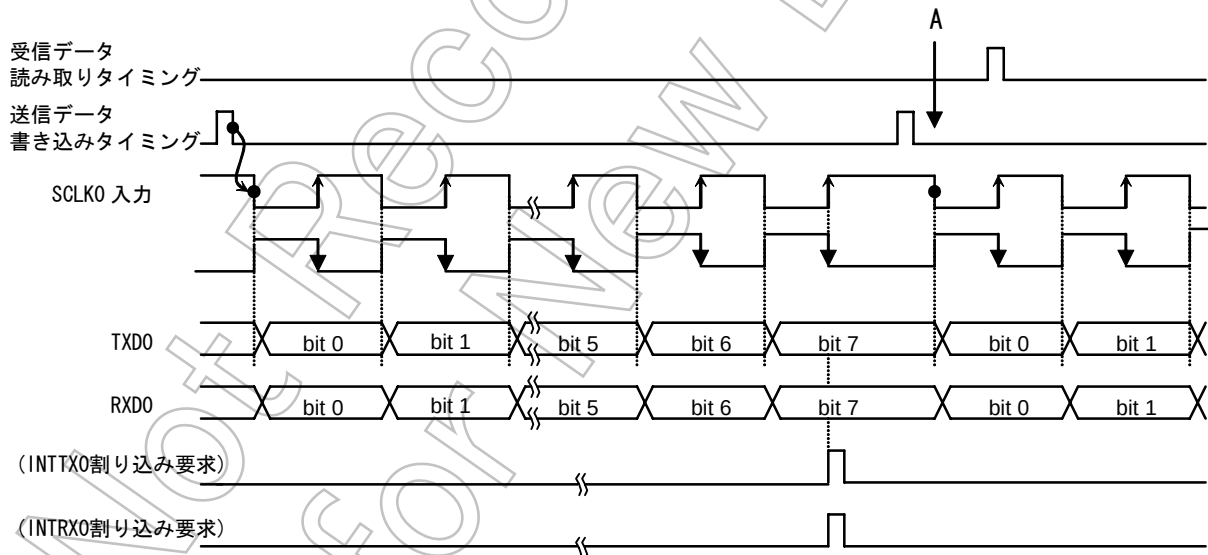
<WBUF> = “1” (ダブルバッファ許可) の場合

図 13.5.1.5 I/O インターフェースモード送受信動作 (SCLK0 出力モード)

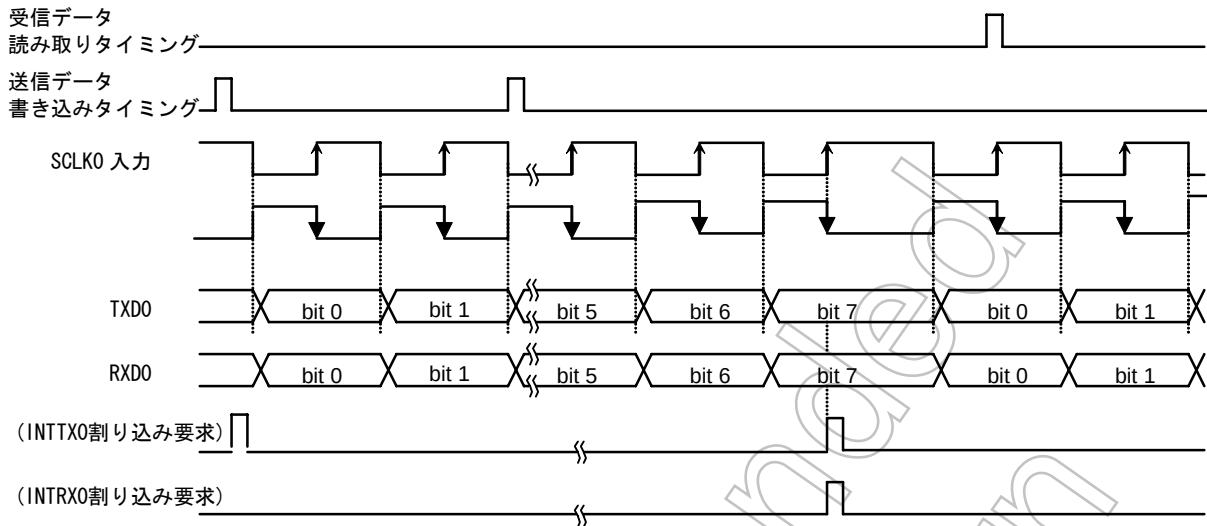
SCLK入力モード

SCLK 入力モードでは SCOMOD2<WBUF>= “0” で送信ダブルバッファが不許可（受信は設定に関わらずダブルバッファ有効）の場合は、送信バッファにデータが書き込まれている状態で SCLK 入力が入ると、8 ビットのデータが TXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み（INTTX0）が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み（INTRX0）が発生します。次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込む様にご確認ください（図 13.5.1.6 に示す A 点までに書き込んでください）。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

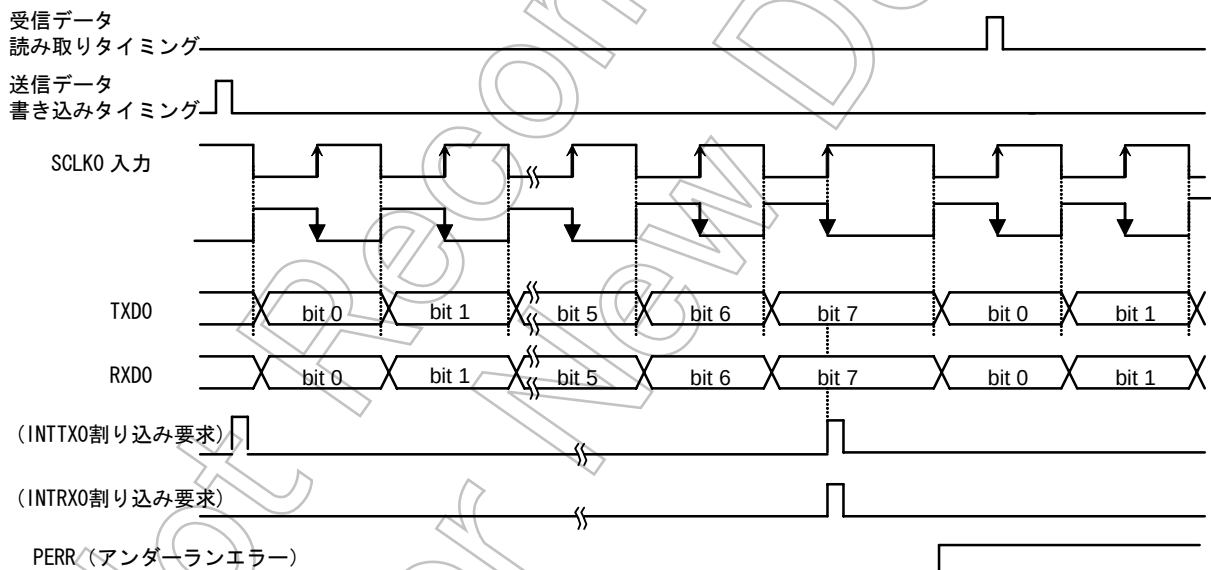
SCOMOD2<WBUF>= “1” で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み（INTRX0）が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み（INTRX0）が発生します。続けて次のフレームの SCLK が入力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。



<WBUF>= “0” （ダブルバッファ不許可）の場合



<WBUF> = “1” (ダブルバッファ許可)、の場合 (エラー無し)



<WBUF> = “1” (ダブルバッファ許可)、の場合 (エラー発生)

図 13.5.1.6 I/O インターフェースモード送受信動作 (SCLK0 入力モード)

13.5.2 モード1 (7ビットUARTモード)

シリアルモードコントロールレジスタ (SCOMOD <SM1, 0>) を“01” にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、SCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCOMOD2<SBLEN>で指定することができます。

例：下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



※ クロック条件

システムクロック	: 高速 (fc)
高速クロックギア	: 1 倍 (fc)
プリスケアラクロック	: fperiph/4 (fperiph=fsys)

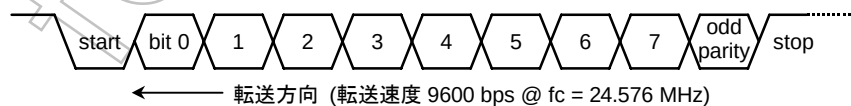
	7 6 5 4 3 2 1 0	
PCCR	← — — — — — 1	} PC0 を TXD0 端子とします。
PCFC	← — — — — — 1	
SCOMOD	← X 0 — X 0 1 0 1	7 ビット UART モードに設定します。
SCOCR	← X 1 1 X X X 0 0	偶数パリティを付加します。
BROCR	← 0 0 1 0 1 0 1 0	2400 bps に設定します。
IMC3	← — 1 1 — 0 1 0 0	32 ビットレジスタの<31:24>を INTTX0 割り込みをイネーブル、レベル 4 にします。
SCOBUF	← * * * * * * *	送信データをセットします。

(注) X: don' t care —: no change

13.5.3 モード2 (8ビットUARTモード)

SCOMOD0 <SM1:0> を“10” にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCOCR <PE>でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE>= “1” (イネーブル) のとき、SCOCR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例：下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



※ クロック条件

システムクロック	: 高速 (fc)
高速クロックギア	: 1 倍 (fc)
プリスケアラクロック	: fperiph/4 (fperiph=fsys)

メインルーチンでの設定

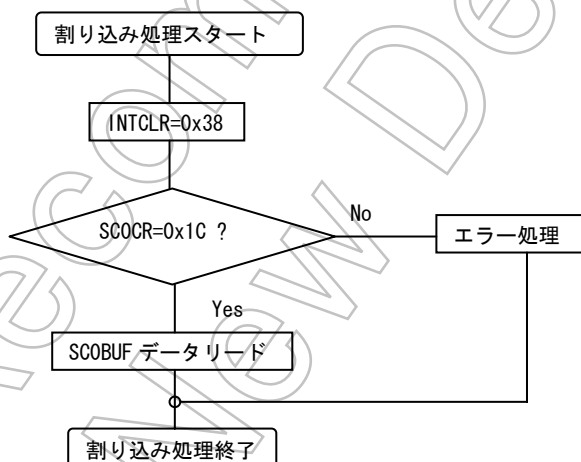
	7	6	5	4	3	2	1	0	
PCCR	←	—	—	—	—	—	0	—	} PC1 を RXD0 端子とします。
PCFC	←	—	—	—	—	—	1	—	
SCOMOD	←	—	0	0	X	1	0	0	} 8 ビット UART モードにします。
SCOCR	←	X	0	1	X	X	X	0	
BROCR	←	0	0	0	1	0	1	0	} 奇数パリティ付加に設定します。
IMC3	←	—	1	1	—	0	1	0	
									} 9600 bps に設定します。
									} 32 ビットレジスタの<23:16>を INTRX0 割り込みをイネーブル、レベル 4 に設定します。
SCOMOD	←	—	—	1	X	—	—	—	} 受信イネーブルにします。

割り込みルーチンでの処理例

```

INTCLR    0 0 0 1 1 1 0 0 0    割り込み要求をクリアします (0x0000_0038)。
Reg.      ← SCOCR AND 0x1C      } エラーチェックを行います。
if Reg. ≠ 0 then ERROR 処理      }
Reg.      ← SCOBUF              受信データを読み取ります。
割り込み処理終了
(注) X: don't care      -: no change

```



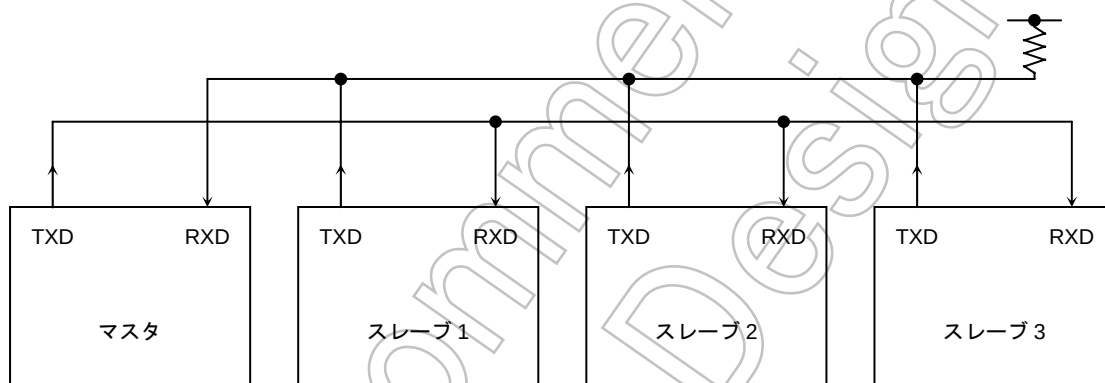
13.5.4 モード3 (9 ビット UART)

SCOMOD0 <SM1:0>を“11”にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加を禁止(SCOCR<PE>=“0”)してください。

最上位ビット(9ビット目)は、送信の場合シリアルモードコントロールレジスタ0(SCOMOD0)のビット7<TB8>に書き込み、受信の場合シリアルコントロールレジスタSCOCRのビット7<RB8>に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SCOBUFの方を後にします。STOPビットの長さはSCOMOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9ビットUARTモードでは、ウェイクアップ機能制御ビットSCOMOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR<RB8>=“1”のときのみ割り込み(INTRX0)が発生します。



(注) スレーブコントローラのTXD端子は、かならずODEレジスタを設定してオープンドレイン出力モードにしてください。

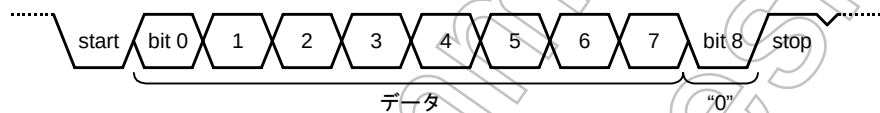
図 13.5.4.1 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはSCOMOD<WU>を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。

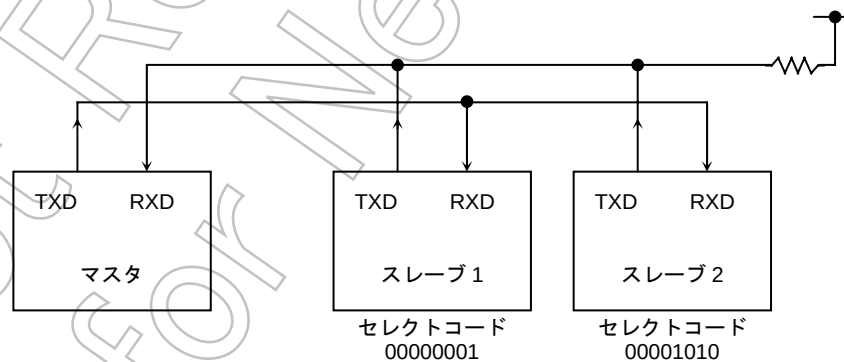


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>ビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(SCOMOD<WU>=“0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にします。



- ⑥ <WU>=“1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため、割り込み(INTRX0)が発生せず、受信データを無視します。
また、<WU>=“0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック $f_{sys}/2$ を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



① マスタコントローラの設定

メインルーチン

PCCR	← - - - - - 0 1	} PC0 を TXD0、PC1 を RXD0 端子にします。
PCFC	← - - - - - 1 1	
	← - 1 1 - 0 1 0 1	32 ビットレジスタの<23:16>を
IMC3	← - 1 1 - 0 1 0 0	INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
		32 ビットレジスタの<31:24>を
SCOMODO	← 1 0 1 0 1 1 1 0	INTTX0 をイネーブル、割り込みレベルを 4 に設定します。
SCOBUF	← 0 0 0 0 0 0 0 1	9 ビット UART モード、転送クロックを fsys/2 に設定します。
		スレーブ 1 のセレクトコードをセットします。

割り込みルーチン (INTTX0)

INTCLR	0 0 0 1 1 1 1 0 0	割り込み要求をクリアします (0x0000_003C)。
SCOMODO	← 0 - - - - - - -	TB8 を “0” にします。
SCOBUF	← * * * * * * *	送信データをセットします。

割り込み処理終了

② スレーブの設定

メインルーチン

PCCR	← - - - - - 0 1	} PC0 を TXD (オープンドレイン出力) PC1 を RXD にします。
PCFC	← - - - - - 1 1	
PCODE	← - - - - - 1	
IMC3	← - 1 1 - 0 1 1 0	INTTX0, INTRX0 をイネーブルにします。
	← - 1 1 - 0 1 0 1	
SCOMODO	← 0 0 1 1 1 1 1 0	9 ビット UART モード転送クロック fsys/2 で、<WU> = “1” に設定します。

割り込みルーチン (INTRX0)

INTCLR	0 0 0 1 1 1 0 0 0	割り込み要求をクリアします。
Reg.	← SCOBUF	
if Reg. = セレクトコード		
Then		
SCOMODO	← - - - 0 - - - -	<WU> = “0” にクリアします。

14. シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 1 チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I²C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I²C バスモードのときには、PF0 (SDA)、PF1 (SCL) を通して、外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、PF2 (SCK)、PF0 (SO)、PF1 (SI) を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

	PFODE <PFODE1:0>	PF0CR <PF2C, PF1C, PF0C>	PF0FC <PF2F, PF1F, PF0F>
I ² C バスモード	11	X11	011
クロック同期式 8 ビット SIO モード	XX	101 (クロック出力) 001 (クロック入力)	111

X: Don't care

14.1 構成

構成を図 14.1 に示します。

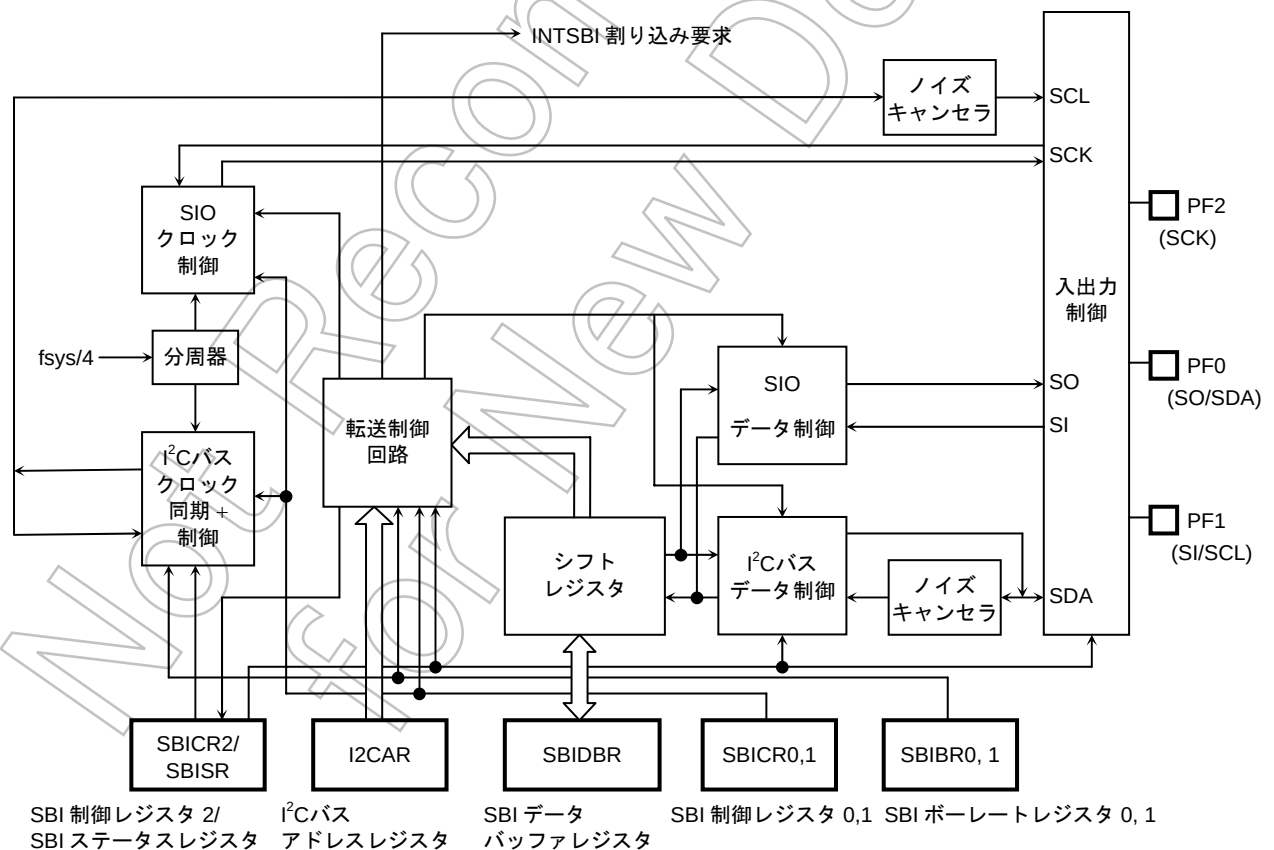


図 14.1 SBI のブロック図

14.2 制 御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

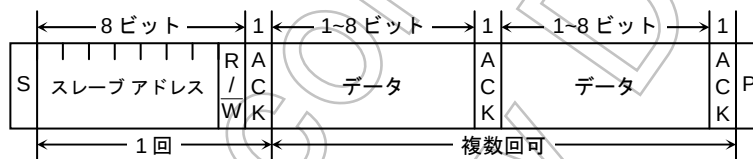
- ・ シリアルバスインタフェース制御レジスタ 0 (SBICR0)
- ・ シリアルバスインタフェース制御レジスタ 1 (SBICR1)
- ・ シリアルバスインタフェース制御レジスタ 2 (SBICR2)
- ・ シリアルバスインタフェースバッファレジスタ (SBIDBR)
- ・ I²C バスアドレスレジスタ (I2CAR)
- ・ シリアルバスインタフェースステータスレジスタ (SBISR)
- ・ シリアルバスインタフェースボーレートレジスタ 0 (SBIBR0)

上記レジスタは使用するモードによって、機能が異なります。詳細は「14.5 I²Cバスモード時の制御」および「14.7 クロック同期式 8 ビットSIOモード時の制御」を参照してください。

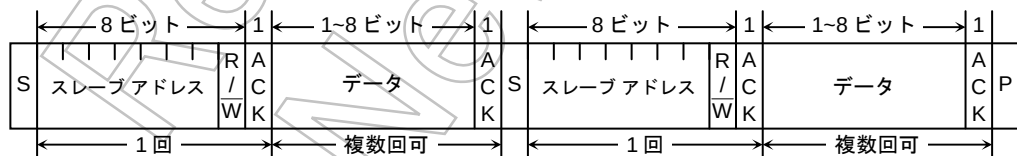
14.3 I²Cバスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図 14.3 に示します。

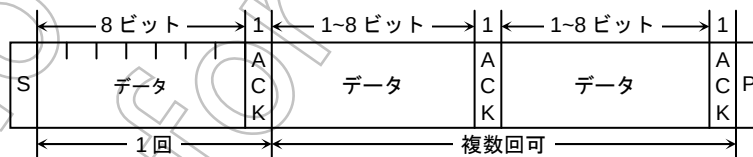
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタート有り)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S: スタートコンディション
R/W: 方向ビット
ACK: アクノリッジビット
P: ストップコンディション

図 14.3 I²Cバスモード時のデータフォーマット

14.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) をI²Cバスモードで使用する時の制御、および、動作状態のモニタは以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0								
SBICR0 (0xFFFF_F257)		7	6	5	4	3	2	1 0
	bit Symbol	SBIEN						
	Read/Write	R/W	R					
	リセット後	0	0	0	0	0	0	0
機 能		SBI 動作 0 : 禁止 1 : 許可						

<SBIEN> : SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可 (“1”) にしてください。

(注) SBICR0 のビット 0～ 6 は、リードすると“0”が読み出されます。

図 14.4.1 I²Cバスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 1

SBICR1 (0xFFFF_F250)	bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R/W			R/W	R	R/W		R/W
	リセット後	0	0	0	0	1	0	0	1
	機能	転送ビット数の選択 (注 1)			アクノリッ ジメント クロック 0: 発生 しない 1: 発生 する		内部 SCL 出力クロックの 周波数選択 (注 2) とリセット モニタ		

内部 SCL 出力クロックの周波数選択 <SCK2 : 0> @ライト

000	n=5	265 kHz	$\left. \begin{array}{l} \text{システムクロック: } f_{\text{sys}} \\ \text{クロックギア: } f_c/1 \end{array} \right\} \begin{array}{l} \text{周波数} = \frac{f_{\text{sys}}/2}{2^n + 70} \text{ [Hz]} \end{array}$
001	n=6	201 kHz	
010	n=7	136 kHz	
011	n=8	83 kHz	
100	n=9	46 kHz	
101	n=10	25 kHz	
110	n=11	13 kHz	
111		reserved	

→ ソフトウェアリセット状態モニタ <SWRMON> @リード

0	ソフトウェアリセット中
1	ソフトウェアリセット解除中

→ 転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

(注 1) クロック同期式 8 ビット SIO モードに切り替える前に<BC2:0>を“000”にクリアしてください。

(注 2) SCL ラインクロックの周波数については、「14.5.3 シリアルクロック」を参照してください。

(注 3) <SCK0/SWRMON>ビットは、リセット後“1”が読み出されますが、SBICR2 レジスタにて SIO モードに設定した場合、<SCK0>ビットの初期値は“0”になります。

図 14.4.2 I²Cバスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 2

SBICR2
(0xFFFF_F253)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W		W	
リセット後	0	0	0	1	0	0	0	0
機 能	マスタ/ スレーブの 選択 0: スレーブ 1: マスタ	送 信 / 受 信 の 選 択 0: 受信 1: 送信	スタート/ ストップ 状態の発生 0: ストップ 状態発生 1: スタート 状態発生	INTSBI 割り込み 要求解除 0: – 1: 割り込み 要求の 解除	シリアルバスインタフ ェースの動作モード選択 (注 2) 00: ポートモード 01: SI0モード 10: I ² Cバスモード 11: (予約)		ソフトウェアリセットの 発生 最 初 に “10”、次 に “01” をライとすると、 リセットが発生します。	

シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SI0 モード
10	I ² C バスモード
11	(予約)

(注 1) このレジスタをリードすると、SBISR レジスタとして機能します。

(注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。また、ポートモードからI²Cバスモード、クロック同期式 8 ビット SI0 への切り替えは、ポートの状態が “H” になっていることを確認してから行ってください。

図 14.4.3 I²Cバスモード関係のレジスタ

表 14.4.4 ベースクロック 分解能

@fsys = 54 MHz

クロックギア値 <GEAR2:0>	ベースクロック 分解能
000 (fc)	fsys/2 ² (0.07μs)
100 (fc/2)	fsys/2 ³ (0.14μs)
110 (fc/4)	fsys/2 ⁴ (0.28μs)
111 (fc/8)	fsys/2 ⁵ (0.58μs)

シリアルバスインタフェースステータスレジスタ

SBISR
(0xFFFF_F253)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機 能	マスタ/ スレーブ 選択 モニタ 0: スレーブ 1: マスタ	送信/受信 選択 モニタ 0: 受信 1: 送信	I ² Cバス 状態 モニタ 0: バス フリー 1: バス ビジー	INTSBI 割り込み 要求 モニタ 0: 割り込み 要求発生 状態 1: 割り込み 要求解除 状態	アービトラ ション ロスト検出 0: – 1: 検出	スレーブ アドレス 一致検出 0: – 1: 検出	ゼネラル コール 検 出 0: – 1: 検出	最終受信 ビット モニタ 0: “0” 1: “1”

→最終受信ビットモニタ

0	最終受信ビット “0”
1	最終受信ビット “1”

→スレーブアドレス一致検出

0	–
1	スレーブアドレス一致または ゼネラルコール検出

→アービトラションロスト検出

0	–
1	アービトラションロスト検出

(注) このレジスタをライトすると、SBICR2 として機能します。

図 14.4.5 I²Cバスモード関係のレジスタ

シリアルバスインタフェースボーレートレジスタ 0

SBIBR0
(0xFFFF_F254)

	7	6	5	4	3	2	1	0
bit Symbol		I2SB						
Read/Write	R	R/W	R					R/W
リセット後	1	0	1	1	1	1	1	0
機 能		IDLE 0: 停止 1: 動作						必ず "0" をラ イトして ください。

→ IDLE 時の動作

0	停止
1	動作

シリアルバスインタフェースデータバッファレジスタ

SBIDBR
(0xFFFF_F251)

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	0							

(注) 送信データを書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。

I²CバスアドレスレジスタI2CAR
(0xFFFF_F252)

	7	6	5	4	3	2	1	0
bit Symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレ ス認 識 モ ー ド の 指 定

アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 14.4.6 I²Cバスモード関係のレジスタ

14.5 I²Cバスモード時の制御

14.5.1 アクノリッジメントモードの指定

SBI0CR1 <ACK> を “1” にセットしておくくとアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を “L” レベルに引き、アクノリッジ信号を発生します。

<ACK> を “0” に設定しておくくと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

14.5.2 転送ビット数の選択

SBI0CR1 <BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより “000” にされるため、スレーブアドレス、方向ビットの転送はかならず 8 ビットで行われます。それ以外のときは <BC2:0> は一度設定された値を保持します。

14.5.3 シリアルクロック

① クロックソース

SBI0CR1 <SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

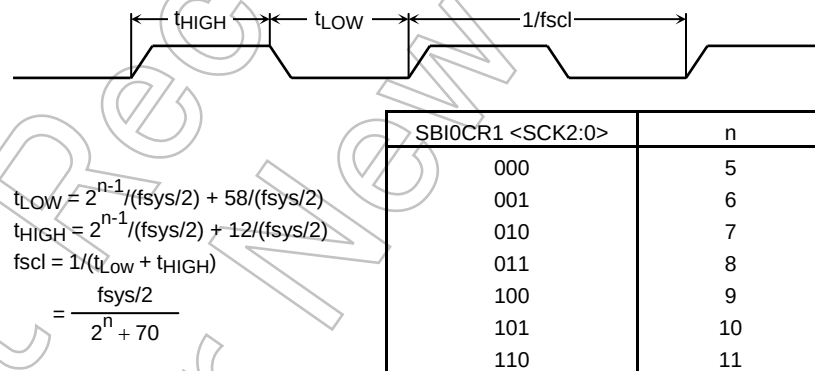


図 14.5.3.1 クロックソース

通信規格上、標準モード/高速モードの最高速は 100KHz/400KHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意ください。

② クロック同期化

I²Cバスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

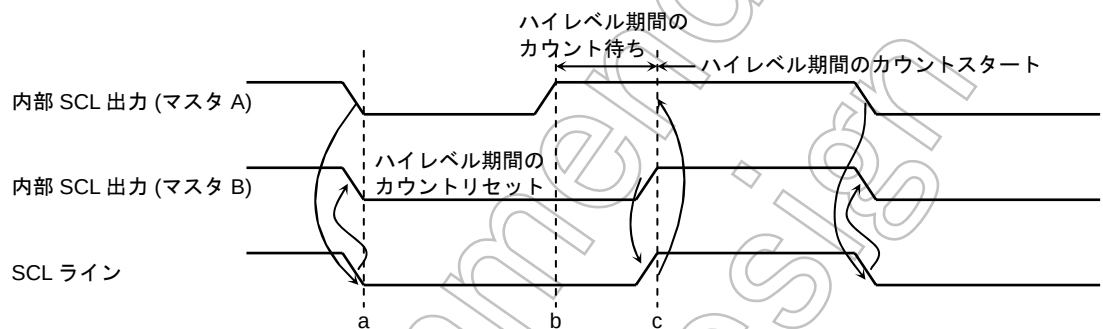


図 14.5.3.2 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントリセットし、内部 SCL 出力を“L”レベルに引きます。

b 点でマスタ A は“L”レベル期間のカウンタを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B がバスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウンタを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウンタを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと最も長い“L”レベル期間をもつマスタによって決定されます。

14.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2CAR にスレーブアドレス〈SA6 : 0〉と〈ALS〉を設定します。〈ALS〉に“0”を設定すると、アドレス認識モードになります。

14.5.5 マスタ/スレーブの選択

SBICR2<MST> を“1”に設定すると、マスタデバイスとして動作します。

<MST> を“0”に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にされます。

14.5.6 トランスミッタ/レシーバの選択

SBICR2 <TRX> を “1” に設定すると、トランスミッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。

スレーブモード時は

- アドレッシングフォーマットのデータ転送を行うとき、
- 受信したスレーブアドレスが I2CCR にセットした値と同じとき、
- ゼネラルコールを受信したとき、(スタートコンディション後の 8 ビットのデータがすべて “0”)

ハードウェアによりマスタデバイスから送られてくる方向ビット ($\overline{R/W}$) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより “0” にされます。

14.5.7 スタート/ストップコンディションの発生

SBISR<BB> が “0” のときに、SBICR2 <MST, TRX, BB, PIN> に “1” を書き込むと、バス上にスタートコンディションと、8 ビットのデータが出力されます。あらかじめ、<ACK> に “1” を設定してください。

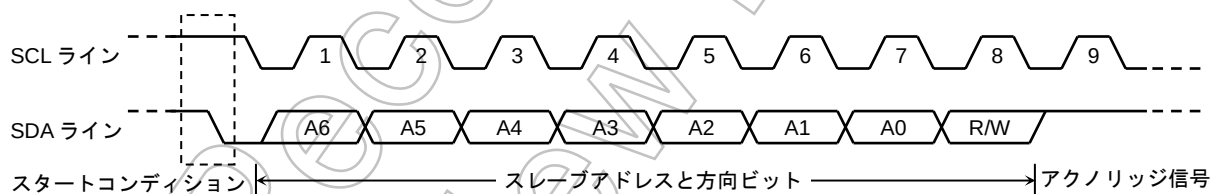


図 14.5.7.1 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

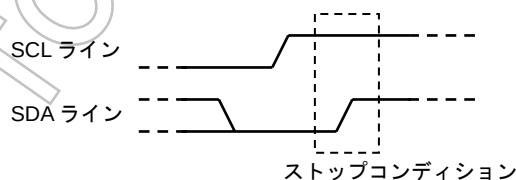


図 14.5.7.2 ストップコンディションの発生

また、SBISR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にされます (バスフリー状態)。

14.5.8 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBI) が発生すると、SBICR2 <PIN> が “0” にされます。<PIN> が “0” の間、SCL ラインを “L” レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると “0” にされ、SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと “1” にセットされます。<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2CAR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にされます。プログラムで SBICR2 <PIN> に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

14.5.9 シリアルバスインタフェースの動作モード

SBICR2 <SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。I²C バスモードで使用するときは、<SBIM1:0> を “10” に設定します。ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

14.5.10 アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合は SCL、SDA ラインには出力されずにアービトレーションロストが発生します。I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B と同じデータを出力し、a 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼びます、マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

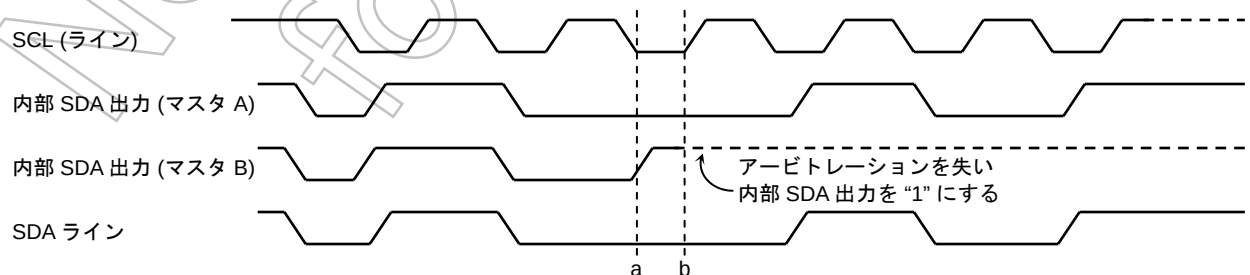


図 14.5.10.1 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBISR <AL> が “1” にセットされます。

<AL> が “1” にセットされると SBISR <MST, TRX> は “0” にされ、スレーブレシーバモードになります。<AL> は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICR2 にデータを書き込むと “0” にされます。

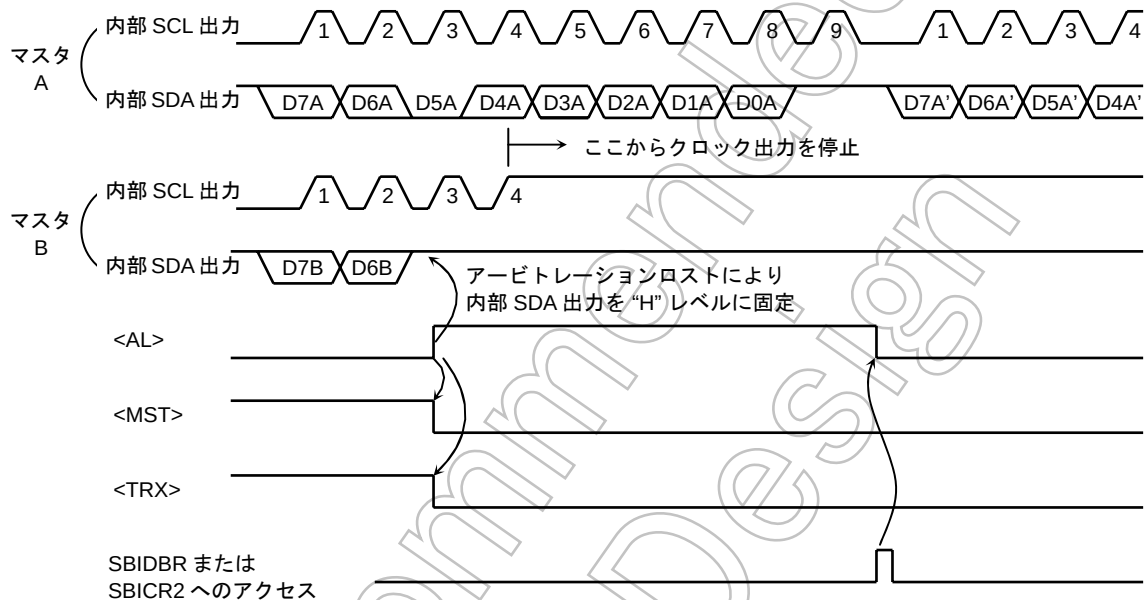


図 14.5.10.2 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

14.5.11 スレーブアドレス一致検出モニタ

SBISR <AAS> は、スレーブモード時、アドレス認識モード (I2CCR <ALS> = “0”) のとき、ゼネラルコールまたは I2CCR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると “1” にセットされます。<AAS> は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと “0” にされます。

14.5.12 ゼネラルコール検出モニタ

SBISR <AD0> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき “1” にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると “0” にされます。

14.5.13 最終受信ビットモニタ

SBISR <LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリジメントモードのとき、INTSBI 割り込み要求発生直後に SBISR <LRB> を読み出すと、ACK 信号が読み出されます。

14.5.14 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBICR2 <SWRST1:0> へ、最初に “10”、次に “01” をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に “0” にクリアされます。

(注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I²Cモードから同期通信モードになります。

14.5.15 シリアルバスインタフェースデータバッファレジスタ (SBIDBR)

SBIDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

14.5.16 I²CBUSアドレスレジスタ (I2CAR)

I2CAR<SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。また、I2COAR <ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

14.5.17 IDLE 設定レジスタ (SBIBR0)

SBIBR0<I2SBI>は IDLE モードに遷移した際に動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

14.6 I²C バスモード時のデータ転送手順

14.6.1 デバイスの初期化

最初に SBICR1<ACK, SCK2:0> を設定します。SBICR1 のビット 7~5, 3 には、“0” を書き込んでください。

次に I2CAR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

それから、SBICR2 <MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” を書き込み、初期状態をスレーブレシーバモードにします。

	7	6	5	4	3	2	1	0	
SBICR1	←	0	0	0	X	0	X	X	ACK および SCL クロックの設定をします。
I2CAR	←	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBICR2	←	0	0	0	1	1	0	0	スレーブレシーバモードにします。

(注) X: Don't care

14.6.2 スタートコンディション、スレーブアドレスの発生

① マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。次に、SBICR1 <ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBIDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBICR2 <MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロック出力します。最初の 8 クロックで、SBIDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がり、INTSBI 割り込み要求が発生し、<PIN> = “0” にされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
Reg. ← SBISR									バスがフリー状態になるまで確認します。
Reg. ← Reg. e 0x20									
if Reg. ≠ 0x00									
Then									
SBICR1	←	X	X	X	1	0	X	X	アクノリッジメントモードに設定します。
SBIDR1	←	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2	←	1	1	1	1	1	0	0	スタートコンディションの発生を行います。

INTSBI 割り込みルーチンでの処理例

INTCLR ← 0x50 割り込み要求をクリアします。

処理

割り込み終了

② スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを“L”レベルにひき、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBI 割り込み要求が発生し、〈PIN〉 = “0” にされます。スレーブモード時は、〈PIN〉 = “0” の間 SCL ラインを“L”レベルにひきます。

(注) DMA 転送を使用する場合は

- ・ マスタスレーブが 1 対 1
- ・ 送信または受信が連続して可能のときにのみ可能です。

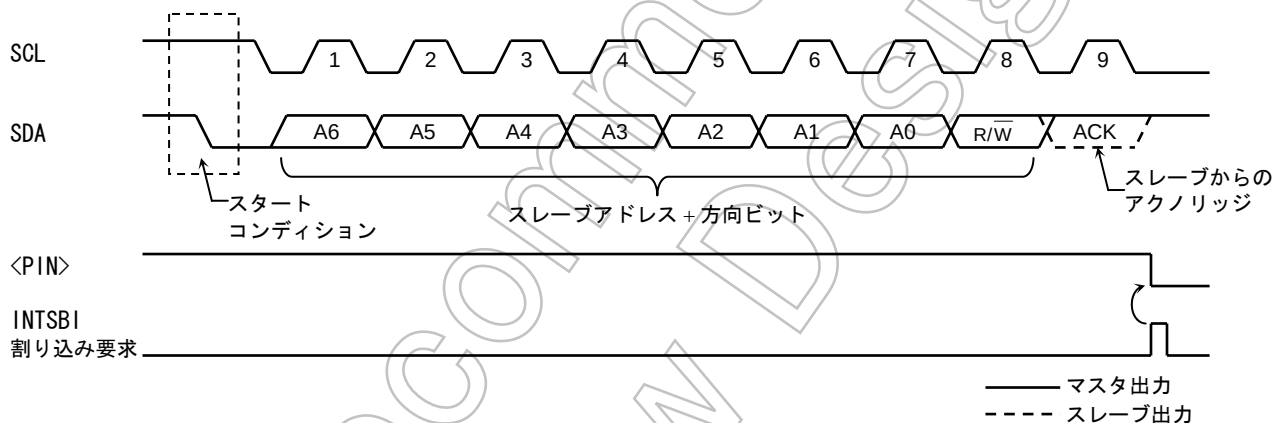


図 14.6.2.1 スタートコンディションとスレーブアドレスの発生

14.6.3 1 ワードのデータ転送

1 ワード転送終了の INTSBI 割り込みの処理で〈MST〉をテストし、マスタモード/スレーブモードの判断をします。

① マスタモードの場合 (〈MST〉 = “1”)

〈TRX〉をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 (〈TRX〉 = “1”)

〈LRB〉をテストします。〈LRB〉が“1”のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

〈LRB〉が“0”のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIDBR に転送データを書き込みます。8 ビット以外の場合は〈BC2:0〉、〈ACK〉を設定し、転送データを SBIDBR に書き込みます。データを書き込むと〈PIN〉が“1”になり SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTSBI 割り込み要求が発生し、〈PIN〉が“0”になり SCL 端子を“L”レベルに引きます。複数ワードの転送が必要な場合は上記〈LRB〉のテストから繰り返します。

INTSBI 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションが発生する処理へ移行
SBICR1 ← X X X X 0 X X X      転送ビット数および ACK を設定します。
SBIDBR ← X X X X X X X X      転送データを書き込みます。
割り込み処理終了
(注) X: Don't care

```

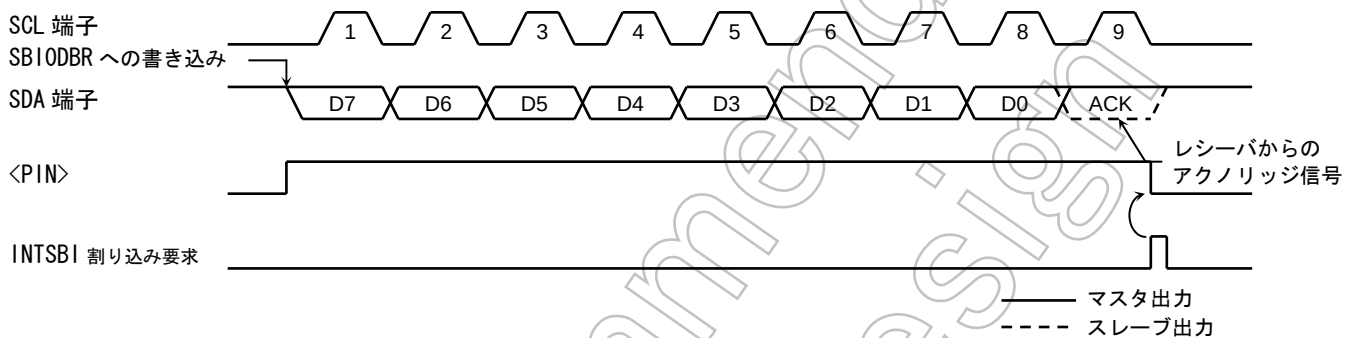


図 14.6.3.1 <BC2:0> = “000”, <ACK> = “1” の場合 (トランスマッタモード)

レシーバモードの場合 (<TRX> = “0”)

次に転送するデータのビット数が 8 ビットのときは SBIDBR に転送データを書き込みます。8 ビット以外のときは <BC2:0>、<ACK> を設定し、SCL ラインを解放するために SBIDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと <PIN> は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力します。最後のビットでアクノリッジ信号の “L” レベルのタイミングで “0” を SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

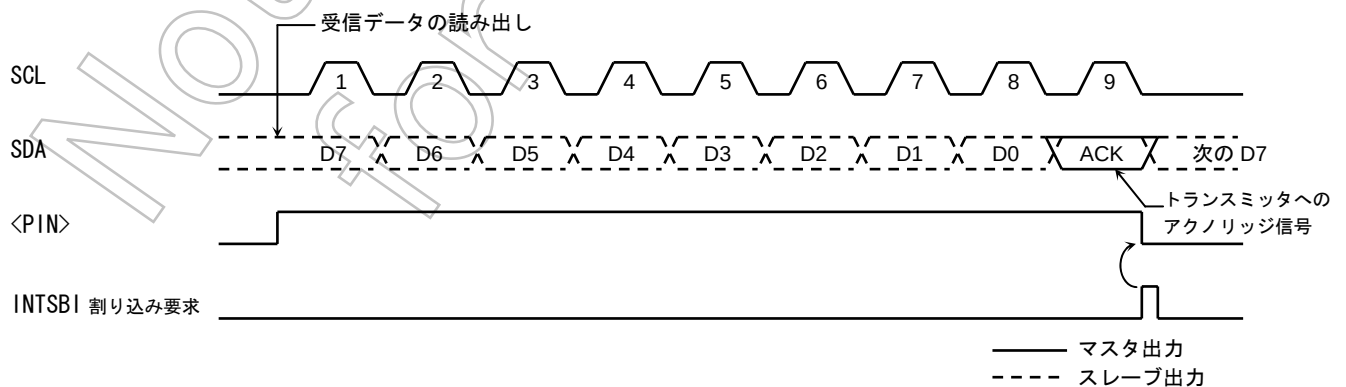


図 14.6.3.2 <BC2:0> = “000”, <ACK> = “1” の場合 (レシーバモード)

トランスマッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前に〈ACK〉を“0”にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、〈BC2:0〉=“001”に設定し、データを読み出すと、1ビット転送のためのクロックが発生します。このときマスタはレシーバなのでバスのSDAラインは“H”レベルを保ちます。トランスマッタはACK信号としてこの“H”レベルを受信するので、レシーバはトランスマッタへ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。



図 14.6.3.3 マスタレシーバモード時、データの送信を終了させるときの処理

例：データをN回受信する場合

INTSBI 割り込み（データ送信後）

7 6 5 4 3 2 1 0
SBIOCRI ← X X X X 0 X X X
Reg. ← SBIDCBR
割り込み終了

受信データのビット数およびACKを設定します。
ダミーデータを取り込みます。

INTSBI 割り込み（データ受信1～(N-2)回目）

7 6 5 4 3 2 1 0
Reg. ← SBIDBR
割り込み終了

1～(N-2)回目のデータを取り込みます。

INTSBI 割り込み（データ受信(N-1)回目）

7 6 5 4 3 2 1 0
SBIOCRI ← X X X 0 0 X X X
Reg. ← SBIDBR
割り込み終了

アクノリッジ信号のクロックを発生しないようにします。
(N-1)回目のデータを取り込みます。

INTSBI 割り込み（データ受信N回目）

7 6 5 4 3 2 1 0
SBIOCRI ← 0 0 1 0 0 X X X
Reg. ← SBIDBR
割り込み終了

1ビット転送のためのクロックを発生します。
N回目のデータを取り込みます。

INTSBI 割り込み（データ受信後）

ストップコンディションを発生する処理 データ転送を終了させます。
割り込み終了

(注) X: Don't care

② スレーブモードの場合（〈MST〉 = “0”）

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時にINTSBI割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時にINTSBI割り込み要求が発生します。INTSBI割り込み要求が発生すると〈PIN〉が“0”にされ、SCL端子を“L”レベルに引き込みます。SBIDBRにデータを書き込む、SBIDBRからデータを読み出す、または〈PIN〉に“1”を設定するとSCL端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBISR 〈AL〉、〈TRX〉、〈AAS〉、〈ADO〉をテストし、場合分けを行います。表 14. 6. 3. 4 にスレーブモード時の状態と必要な処理を示します。

例：スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが“1”の場合

INTSBI 割り込み

```
if TRX = 0
Then その他処理へ移行
if AL = 1
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
```

```
SBICR1  ← X X X 1 0 X X X
SBIDBR  ← X X X X 0 X X X
```

送信ビット数を設定します。
送信データをセットします。

(注) X: Don't care

表 14.6.3.4 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状 態	処 理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“1”のスレーブアドレスを受信	1ワードのビット数を<BC2:0>にセットし、送信するデータをSBIDBRに書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	LRBをテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に“1”をセット、<TRX>を“0”にリセットしバスを開放します。<LRB>が“0”にリセットされていた場合、レシーバが次のデータを要求しているので1ワードのビット数を<BC2:0>にセットし、送信するデータをSBIDBRに書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN>を“1”にセットするためにSBIDBRを読み出します。(ダミー読み出し)または<PIN>に“1”を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	1ワードのビット数を<BC2:0>にセットし、受信データをSBIDBRから読み出します。
		0	1/0	スレーブレシーバモード時、1ワードのデータの受信が終了	

14.6.4 ストップコンディションの発生

SBISR <BB> = “1” のときに、SBICR2 <MST, TRX, PIN> に “1”、<BB> に “0” を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

SBICR2 7 6 5 4 3 2 1 0
 ← 1 1 0 1 1 0 0 0 ストップコンディションを発生させます。

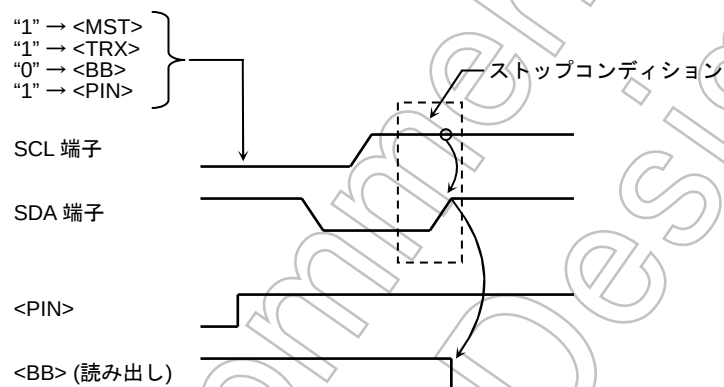


図 14.6.4.1 ストップコンディションの発生

14.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBICR2 <MST, TRX, BB> に“0”、<PIN> に“1”を書き込み、バスを開放します。このとき SDA 端子は“H”レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBISR <BB> をテストして“0”になるまで待ち、SCL 端子が開放されたことを確認します。次に <LRB> をテストして“1”になるまで待ち、他のデバイスがバスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記 (2) の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μ s (標準モード時) のソフトウェアによる待ち時間が必要です。

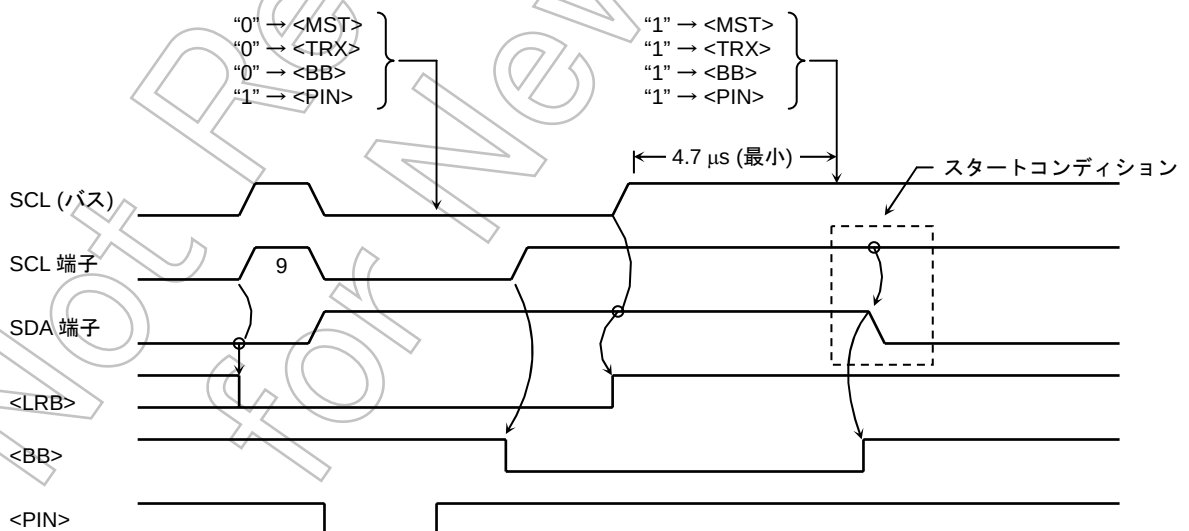
```

7 6 5 4 3 2 1 0
SBICR2 ← 0 0 0 1 1 0 0 0
if SBISR<BB> ≠ 0
Then
  if SBISR<LRB> ≠ 1
  Then
    4.7  $\mu$ s Wait
    SBICR1 ← X X X 1 0 X X X
    SBIDBR ← X X X X X X X X
    SBICR2 ← 1 1 1 1 1 0 0 0

```

バスを解放します。
SCL 端子の解放を確認します。
他のデバイスの SCL 端子 “L” レベルの確認を行います。
アクノリッジメントモードに設定します。
目的のスレーブのスレーブアドレスと方向をセットします。
スタートコンディションの発生を行います。

(注) X: Don't care



(注) <MST> = “0” の状態の時に <MST> = “0” をライトしないでください (再スタートできません)。

図 14.6.5.1 再スタートを発生する場合のタイミングチャート

14.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用する際の制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

SBICR0 (0xFFFF_F257)		7	6	5	4	3	2	1	0
	bit Symbol	SBIEN							
	Read/Write	R/W	R						
	リセット後	0	0	0	0	0	0	0	0
	機能	SBI 動作 0: 禁止 1: 許可							

<SBIEN> : SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可 (“1”) にしてください。

(注) SBICR0 のビット 0~6 は、リードすると “0” が読み出されます。

シリアルバスインタフェース制御レジスタ 1

SBICR1 (0xFFFF_F250)		7	6	5	4	3	2	1	0
	bit Symbol	SIOS	SIOINH	SIOIM1	SIOIM0		SCK2	SCK1	SCK0
	Read/Write	R/W				R	R/W		R/W
	リセット後	0	0	0	0	1	0	0	1
	機能	転送の 開始/終了 0: 終了 1: 開始	転送の 強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード 01: (予約) 10: 送受信モード 11: 受信モード		シリアルクロック周波数の選択			

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 4	1.69 MHz
001	n = 5	844 kHz
010	n = 6	422 kHz
011	n = 7	211 kHz
100	n = 8	105 kHz
101	n = 9	53 kHz
110	n = 10	26 kHz
111	—	外部クロック

}

システムクロック : fsys
(=54 MHz)

クロックギア : fc/1

周波数 = $\frac{fsys/2}{2^n}$ [Hz]

(注) 転送モード、シリアルクロックの設定時は、<SIOS>= “0”、および、<SIOINH>= “1” に設定してください。

(注) <SCK0>ビットは、リセット後 “1” が読み出されますが、SBICR2 レジスタにて SIO モードに設定した場合、<SCK0>ビットの初期値は “0” になります。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0xFFFF_F251)		7	6	5	4	3	2	1	0
	bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
	リセット後	0							

図 14.7.1.1 SIO モード関係のレジスタ

シリアルバスインタフェース制御レジスタ 2

SBICR2 (0xFFFF_F253)		7	6	5	4	3	2	1	0
	bit Symbol					SBIM1	SBIM0		
	Read/Write	R				W		R	
	リセット後	1	1	1	1	0	0	1	1
	機 能					シリアルバスインタフ ェースの動作モード選択 00: ポートモード 01: クロック同期式 8bit SIOモード 10: I ² Cバスモード 11: (予約)			

シリアルバスインタフェースレジスタ

SBISR (0xFFFF_F253)		7	6	5	4	3	2	1	0
	bit Symbol					SIOF	SEF		
	Read/Write	R				R		R	
	リセット後	1	1	1	1	0	0	1	1
	機 能					シリアル 転送動作 状態モニタ 0: 転送終了 1: 転送中	シフト動作 状態モニタ 0: シフト 動作終了 1: シフト 転送中		

シリアルバスインタフェースポーレートレジスタ 0

SBIBR0 (0xFFFF_F254)		7	6	5	4	3	2	1	0
	bit Symbol		I2SB						
	Read/Write	R	R/W	R					R/W
	リセット後	1	0	1	1	1	1	1	0
	機 能		IDLE 0: 停止 1: 動作						必ず “0” をライトし てください。

図 14.7.1.2 SIO モード関係のレジスタ

14.7.1 シリアルクロック

① クロックソース

SBICR1 <SCK2:0> により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み（送信時）またはデータの読み出し（受信時）がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

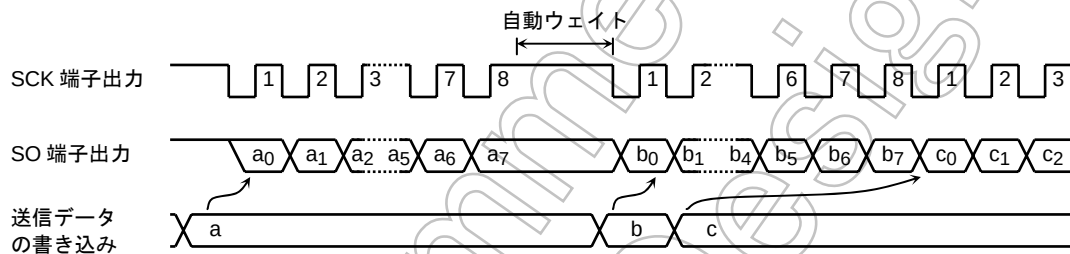


図 14.7.1.3 自動ウェイト機能

外部クロック（<SCK2:0> = “111”）

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベル幅は下記に示すパルス幅が必要です。

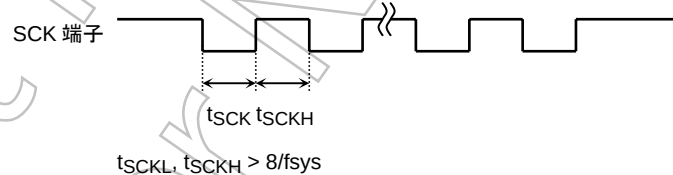


図 14.7.1.4 外部クロック入力時の最大転送周波数

② シフトエッジ

送信は前縁シフト， 受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁（SCK 端子入出力の立ち下がりエッジ）でデータをシフトします。

後縁シフト

シリアルクロックの後縁（SCK 端子入出力の立ち上がりエッジ）でデータをシフトします。

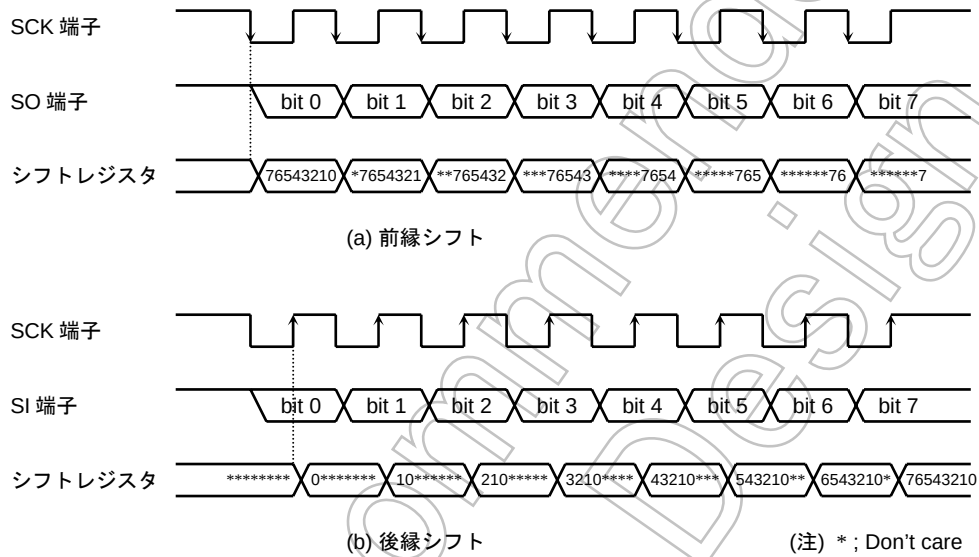


図 14.7.1.5 シフトエッジ

14.7.2 転送モード

SBICR1 <SIOM1:0> で、送信/受信/送受信モードを選択します。

① 8 ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBIDBR に書き込みます。

送信データの書き込み後、SBICR1 <SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBIDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から S0 端子に出力されます。送信データがシフトレジスタに移されると、SBIDBR が空になりますので、次の送信データを要求する INTSBI (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBISR <SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBI 割り込みサービスプログラムで <SIOS> = “0” を書き込むか <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIOSR <SIOF>で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合はただちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にする必要があります。もしシフトアウトする前に <SIOS> が “0” にされなかった場合は、ダミーのデータの送信後、停止します。

		7	6	5	4	3	2	1	0	
SBICR1	←	0	1	0	0	0	X	X	X	送信モードをセットします。
SBIDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBICR1	←	1	0	0	0	0	X	X	X	送信を開始します。

INTSBI 割り込み

SBIDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
--------	---	---	---	---	---	---	---	---	---	---------------

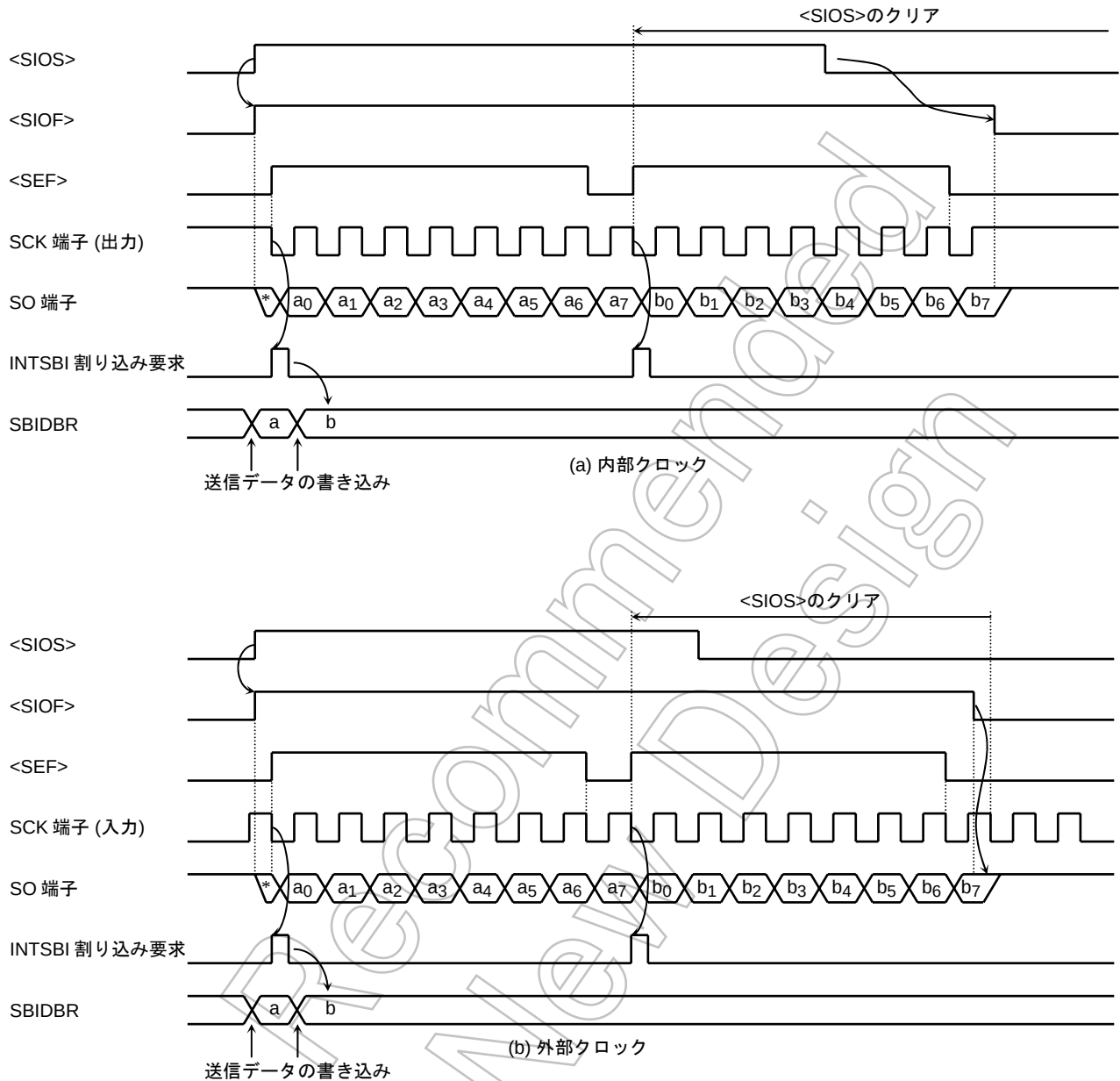


図 14.7.2.1 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合) の場合のプログラム例 (MIPS16)

```

          ADDIU    r3, r0, 0x04
STEST1    : LB      r2, (SBISR)           ; If SBISR<SEF> = 1 then loop
          AND      r2, r3
          BNEZ     r2, STEST1
          ADDIU    r3, r0, 0x20
STEST2    : LB      r2, (Px)             ; If SCK = 0 then loop
          AND      r2, r3
          BEQZ     r2, STEST2
          ADDIU    r3, r0, 0y00000111
          STB      r3, (SBICR1)          ; <SIOS> ← 0
  
```

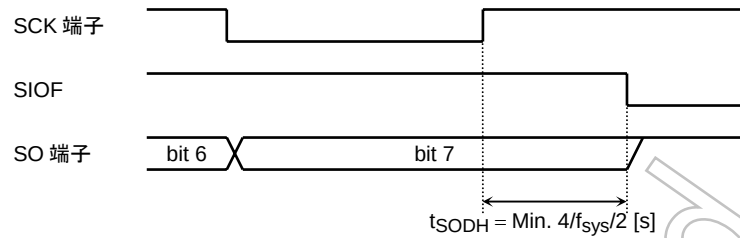


図 14.7.2.2 送信終了時の送信データ保持時間

② 8 ビット受信モード

制御レジスタに受信モードをセットした後、SBICR1 <SIOS> = “1” を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれるとシフトレジスタから SBIDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBI (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIDBR から読み出します。

内部クロック動作の場合、受信データが SBIDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBI 割り込みサービスプログラムで <SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが全ビット揃い、SBIDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は受信の終了で “0” にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH> = “1” を書き込んだ場合は、ただちに受信を打ち切り、<SIOF> は “0” になります (受信データは無効になりますので読み出す必要はありません)。

(注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

7 6 5 4 3 2 1 0	
SBICR1	← 0 1 1 1 0 X X X 受信モードをセットします。
SBICR1	← 1 0 1 1 0 0 0 0 受信を開始します。

INTSBI 割り込み

Reg.	← SBIDBR 受信データを取り込みます。
------	-----------------------------

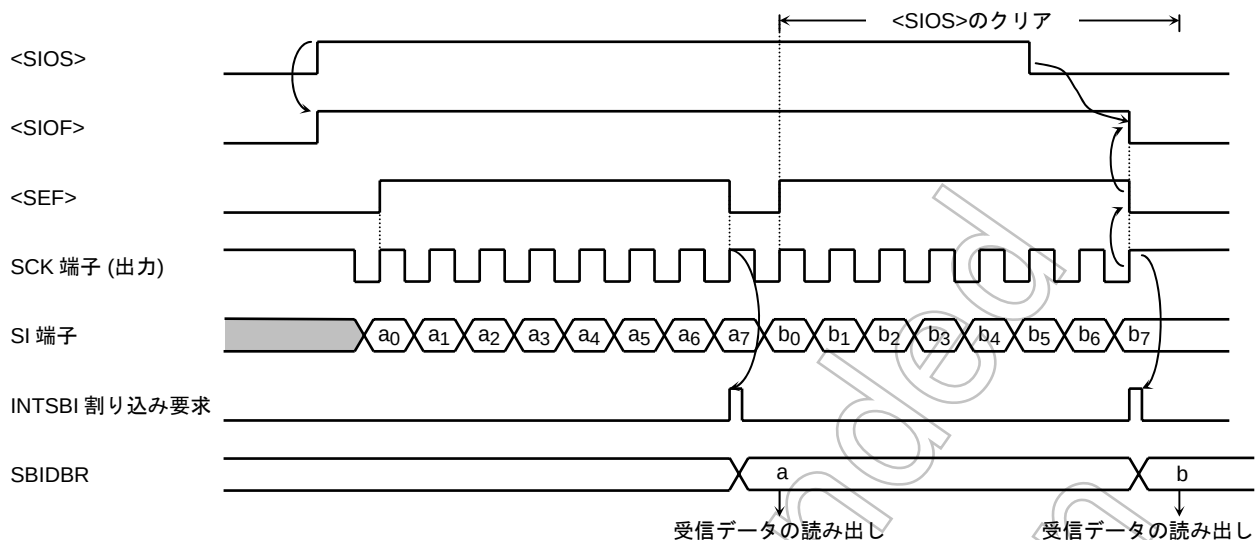


図 14.7.2.3 受信モード (例: 内部クロック)

③ 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBIDBR に書き込みます。その後、SBICR1 <SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりエッジで送信データが S0 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIDBR へ受信データが転送され、INTSBI 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBR は、送信/受信モードで兼用していますので、送信データは、かならず受信データを読み出ししてから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF> が“1”となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI 割り込みサービスプログラムで <SIOS> = “0” を書き込むか SBICR1 <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが揃い、SBIDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は送受信の終了で“0”にされます。<SIOINH> をセットした場合は、ただちに送受信を打ち切り、<SIOF> は“0”にされます。

(注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

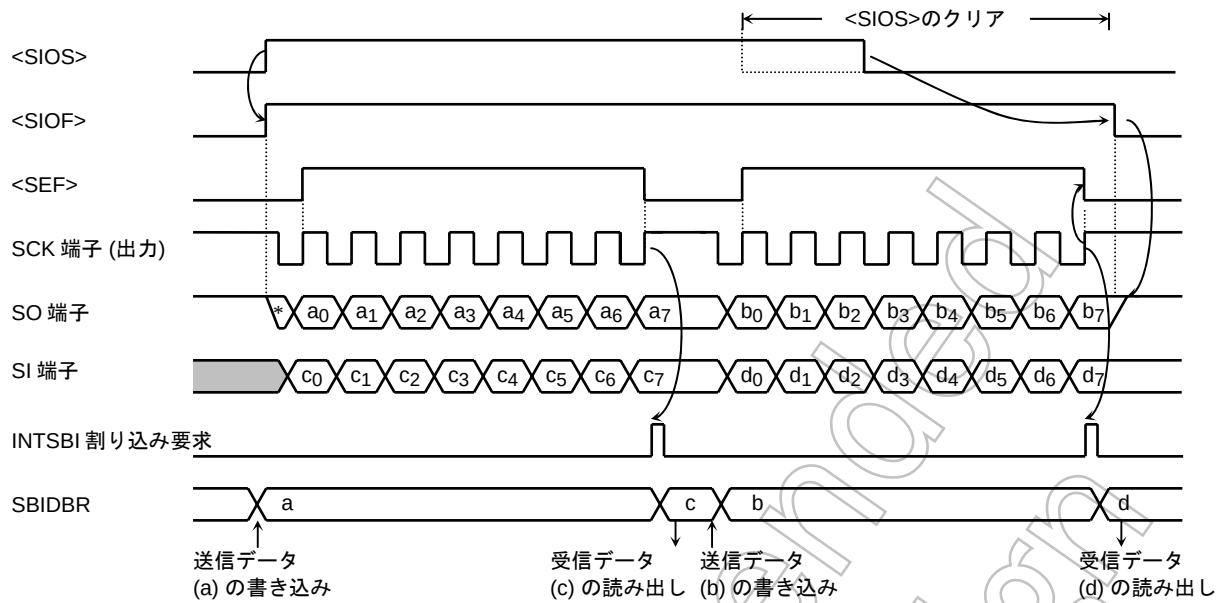


図 14.7.2.4 送受信モード (例: 内部クロック)

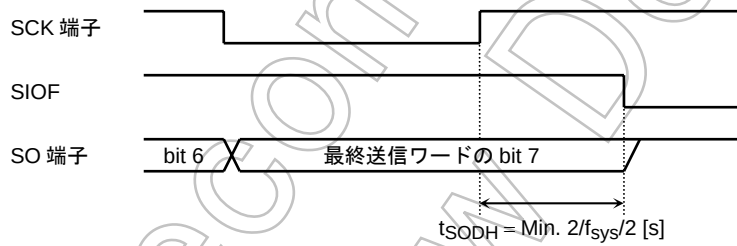


図 14.7.2.5 送受信終了時の送信データ保持時間 (送受信モード時)

	7 6 5 4 3 2 1 0	
SBICR1	← 0 1 1 0 0 X X X	送信モードをセットします。
SBIDBR	← X X X X X X X X	送信データを書き込みます。
SBICR1	← 1 0 1 0 0 X X X	送受信を開始します。
INTSBI 割り込み		
Reg.	← SBIDBR	受信データを取り込みます。
SBIDBR	← X X X X X X X X	送信データを書き込みます。

15. アナログ/デジタルコンバータ

TMP19A64 は、24 チャンネルのアナログ入力を持つ、10 ビット逐次変換方式アナログ/デジタルコンバータ (A/D コンバータ) を内蔵しています。

図 15.1 に、A/D コンバータのブロック図を示します。

24 チャンネルのアナログ入力端子 (AN0~AN23) は、入力専用ポートと兼用です。

(注) IDLE、SLEEP、SLOW、STOP モードにより電源電流を低減させる場合、以下の条件で 사용되는場合には、A/D コンバータの動作を停止して、スタンバイモードに遷移する命令を実行してください。

- 1) `ADMOD1<I2AD>=" 0"` で IDLE モードへ遷移する場合
- 2) `SLEEP`、`SLOW`、`STOP` モードへ遷移する場合

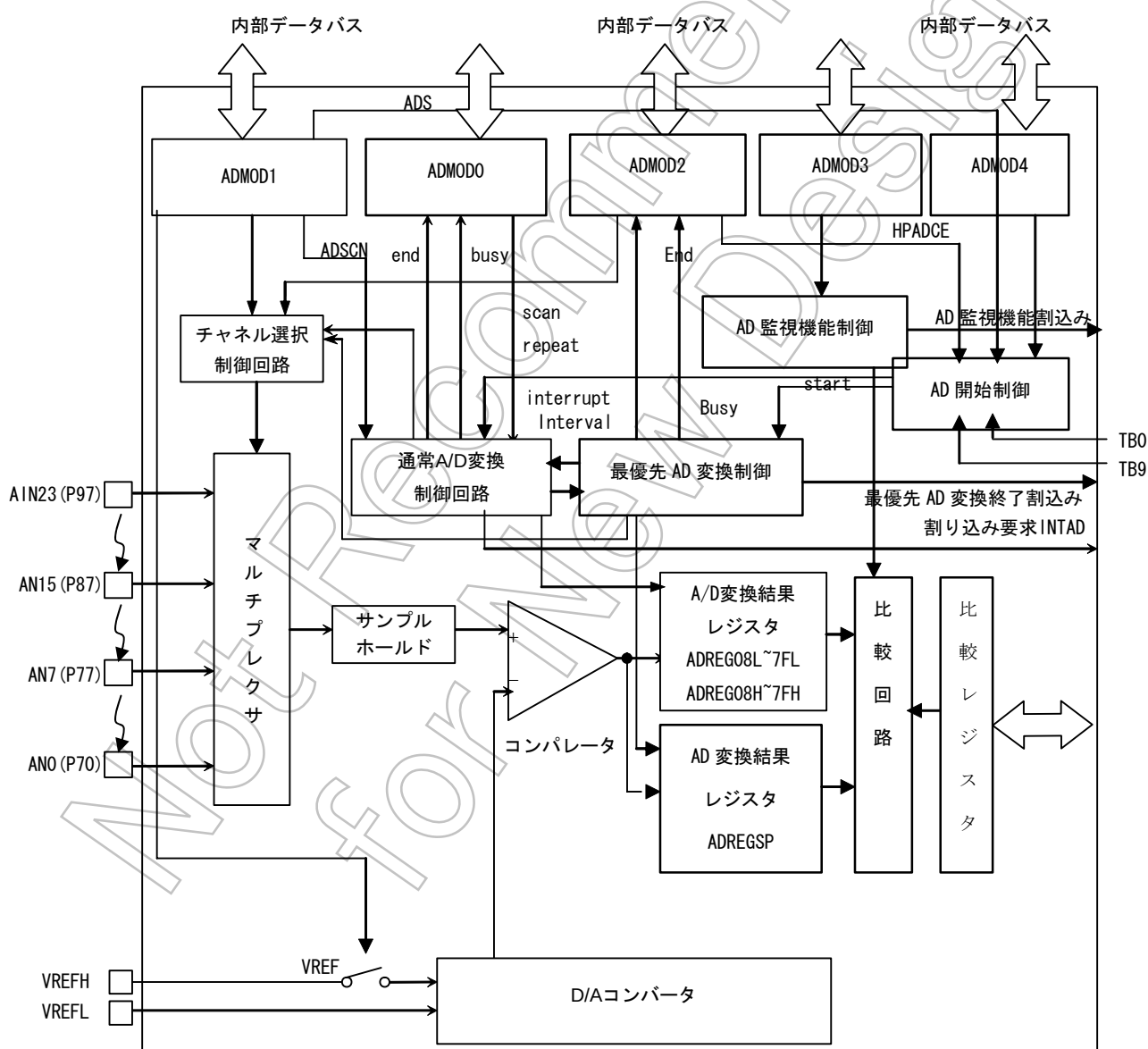


図 15.1 A/D コンバータのブロック図

15.1 コントロールレジスタ

A/D コンバータは、A/D モードコントロールレジスタ (ADMOD0、ADMOD1、ADMOD2、ADMOD3、ADMOD4) により制御されています。また、A/D 変換結果は、A/D 変換結果上位/下位レジスタ ADREG08H/L、～ADREG7FH/L の 16 個のレジスタに格納されます。また、最優先変換結果は ADREGSPH/L に格納されます。

図 15.1.1 に A/D コンバータ関係のレジスタを示します。

A/D モードコントロールレジスタ 0								
	7	6	5	4	3	2	1	0
bit Symbol	EOCFN	ADBFN		ITM1	ITM0	REPEAT	SCAN	ADS
Read/Write	R		R	R/W				
リセット後	0	0	0	0	0	0	0	0
機能	通常 AD 変換終了フラグ 0: 変換前または変換中 1: 終了	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中	リードすると "0" が読めます	チャンネル固定リピート変換モード時の割り込み指定	チャンネル固定リピート変換モード時の割り込み指定	リピートモード指定 0: シングル変換モード 1: リピート変換モード	スキャンモード指定 0: チャンネル固定モード 1: チャンネルスキャンモード	AD 変換スタート 0: Don't care 1: 変換開始 リードすると常に "0" が読み出されます。

チャンネル固定リピート変換モード時の AD 変換割り込み指定	
	チャンネル固定リピート変換モード <SCAN>= "0", <REPEAT>= "1"
00	1 回変換するごとに割り込み発生
01	4 回変換するごとに割り込み発生
10	8 回変換するごとに割り込み発生
11	設定禁止

図 15.1.1 A/D コンバータ関係のレジスタ

A/D モードコントロールレジスタ 1

ADMOD1
(0xFFFF_F315)

	7	6	5	4	3	2	1	0
bit Symbol	VREFON	I2AD	ADSCN	ADCH4	ADCH3	ADCH2	ADCH1	ADCH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	VREF 印加 制御 0: OFF 1: ON	IDLE 0: 停止 1: 動作	チャネルスキ ャン時の動作 モード設定 0: 4ch スキャン 1: 8ch スキャン	アナログ入力チャネル選択				

アナログ入力チャネル選択

<SCAN> <ADCH4, 3, 2, 1, 0>	0	1	1
	チャネル固定	4 チャネルスキャン (ADSCN=0)	8 チャネルスキャン (ADSCN=1)
00000	AN0	AN0	AN0
00001	AN1	AN0~AN1	AN0~AN1
00010	AN2	AN0~AN2	AN0~AN2
00011	AN3	AN0~AN3	AN0~AN3
00100	AN4	AN4	AN0~AN4
00101	AN5	AN4~AN5	AN0~AN5
00110	AN6	AN4~AN6	AN0~AN6
00111	AN7	AN4~AN7	AN0~AN7
01000	AN8	AN8	AN8
01001	AN9	AN8~AN9	AN8~AN9
01010	AN10	AN8~AN10	AN8~AN10
01011	AN11	AN8~AN11	AN8~AN11
01100	AN12	AN12	AN8~AN12
01101	AN13	AN12~AN13	AN8~AN13
01110	AN14	AN12~AN14	AN8~AN14
01111	AN15	AN12~AN15	AN8~AN15
10000	AN16	AN16	AN16
10001	AN17	AN16~AN17	AN16~AN17
10010	AN18	AN16~AN18	AN16~AN18
10011	AN19	AN16~AN19	AN16~AN19
10100	AN20	AN20	AN16~AN20
10101	AN21	AN20~AN21	AN16~AN21
10110	AN22	AN20~AN22	AN16~AN22
10111	AN23	AN20~AN23	AN16~AN23

(注 1) AD 変換をスタートさせる場合は、かならず<VREFON>ビットに”1”を書き込んだ後、内部基準電圧が安定するまでの3 μ s 待ってから、ADMOD0<ADS>ビットに”1”を書き込んでください。

(注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFON>を”0”に設定してください。

図 15.1.2 A/D コンバータ関係のレジスタ

A/D モードコントロールレジスタ 2

ADMOD2
(0xFFFF_F316)

	7	6	5	4	3	2	1	0
bit Symbol	EOCFHP	ADBFHP	HPADCE	HPADCH4	HPADCH3	HPADCH2	HPADCH1	HPADCH0
Read/Write	R			R/W				
リセット後	0	0	0	0	0	0	0	0
機能	最優先 AD 変換終了フラグ 0: 変換前または変換中 1: 終了	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中	最優先 AD 変換スタート 0: Don't care 1: 変換開始 リード時、常に"0"になります。	最優先 AD 変換起動時のアナログ入力チャネル選択				

<HPADCH4, 3, 2, 1, 0>	最優先 AD 変換時の アナログ入力チャネル
00000	AN0
00001	AN1
00010	AN2
00011	AN3
00100	AN4
00101	AN5
00110	AN6
00111	AN7
01000	AN8
01001	AN9
01010	AN10
01011	AN11
01100	AN12
01101	AN13
01110	AN14
01111	AN15
10000	AN16
10001	AN17
10010	AN18
10011	AN19
10100	AN20
10101	AN21
10110	AN22
10111	AN23

図 15.1.3 A/D コンバータ関係のレジスタ

A/D モードコントロールレジスタ 3

ADMOD3
(0xFFFF F317)

	7	6	5	4	3	2	1	0
bit Symbol			ADOBIC	REGS3	REGS2	REGS1	REGS0	ADBSV
Read/Write	R/W	R	R/W	R/W				R/W
リセット後	0	0	0	0	0	0	0	0
機 能	“0”を ライトして ください	リードすると “0”が読め ます	AD 監視機能割 込みの設定 0: 比較レジ スタより小 1: 比較レジ スタより大	AD 監視機能がイネーブル時に比較レジスタの内容と 比較される A/D 変換結果格納レジスタの選択ビット				AD 監視機能 0: ディセーブル 1: イネーブル

<REGS3, 2, 1, 0>	比較される AD 変換 格納レジスタ
0000	ADREG08
0001	ADREG19
0010	ADREG2A
0011	ADREG3B
0100	ADREG4C
0101	ADREG5D
0110	ADREG6E
0111	ADREG7F
1XXX	ADREGSP

A/D モードコントロールレジスタ 4

ADMOD4
(0xFFFF F318)

	7	6	5	4	3	2	1	0
bit Symbol	HADHS	HADHTG	ADHS	ADHTG			ADRST1	ADRST0
Read/Write	R/W				R		W	W
リセット後	0	0	0	0	0		0	0
機 能	最優先 AD 交換 の HW 起動 ソース 0: INTTB90 1: INTTB91	最優先 AD 交換 の HW 起動 0: ディセーブル 1: イネーブル	通常 AD 交換の HW 起動ソ ース 0: INTTB00 1: INTTB01	通常 AD 交換の HW 起動 0: ディセーブル 1: イネーブル	リードすると"0"が読めます		10~01 のライトで ADC を ソフトウェアリセットします。 ADCLK レジスタ以外は 全て初期化されます。	

(注 1) 16 ビットタイマの一致トリガ<ADHTG>、<HADHTG>に” 1 ”を設定して H/W 起動リソースによる AD 変換を行う場合、

- | | | |
|---|---------------------|------------------|
| ① | タイマ停止中に | |
| ② | H/W のソースを選択 | <ADHS>、<HADHS> |
| ③ | AD 変換の H/W 起動をイネーブル | <ADHTG>、<HADHTG> |
| ④ | タイマ動作 | |

の順に設定することにより、一定間隔での AD 起動が可能となります。

(注 2) 最優先 AD 変換、通常 AD 変換設定は同時に行わないで下さい。

図 15.1.4 A/D コンバータ関係のレジスタ

A/D 変換結果下位レジスタ 08

	7	6	5	4	3	2	1	0
bit Symbol	ADR01	ADR00					OVR0	ADR0RF
Read/Write	R		R				R	R
リセット後	0	0	1	1	1	1	0	0
機 能	A/D 変換結果下位 2 ビット格納		リードすると "1" が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

ADREG08L
(0xFFFF_F300)

A/D 変換結果上位レジスタ 08

	7	6	5	4	3	2	1	0
bit Symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	A/D 変換結果上位 8 ビット格納							

ADREG08H
(0xFFFF_F301)

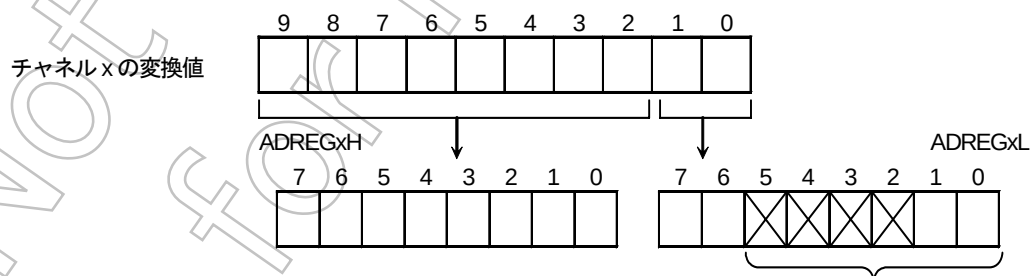
A/D 変換結果下位レジスタ 19

	7	6	5	4	3	2	1	0
bit Symbol	ADR11	ADR10					OVR1	ADR1RF
Read/Write	R		R				R	R
リセット後	0	0	1	1	1	1	0	0
機 能	A/D 変換結果下位 2 ビット格納		リードすると "1" が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

ADREG19L
(0xFFFF_F302)

A/D 変換結果上位レジスタ 19

	7	6	5	4	3	2	1	0
bit Symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	A/D 変換結果上位 8 ビット格納							

ADREG19H
(0xFFFF_F303)

- ADREG08L, ADREG19L レジスタのビット 5~2 を読み出すと、常に “1” になります。
- ADREG08L, ADREG19L レジスタのビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0” にクリアされます。
- ADREG08L, ADREG19L レジスタのビット 1 は over RUN flag <OVRx> です。両方の変換結果格納レジスタ (ADREGxH, ADREGxL) を Read する前に変換結果が上書きされると “1” にセットされます。Flag の Read により “0” にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図 15.1.5 A/D コンバータ関係のレジスタ

A/D 変換結果下位レジスタ 2A

ADREG2AL
(0xFFFF_F304)

	7	6	5	4	3	2	1	0
bit Symbol	ADR21	ADR20					OVR2	ADR2RF
Read/Write	R		R				R	R
リセット後	0	0	1	1	1	1	0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 2A

ADREG2AH
(0xFFFF_F305)

	7	6	5	4	3	2	1	0
bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							

A/D 変換結果下位レジスタ 3B

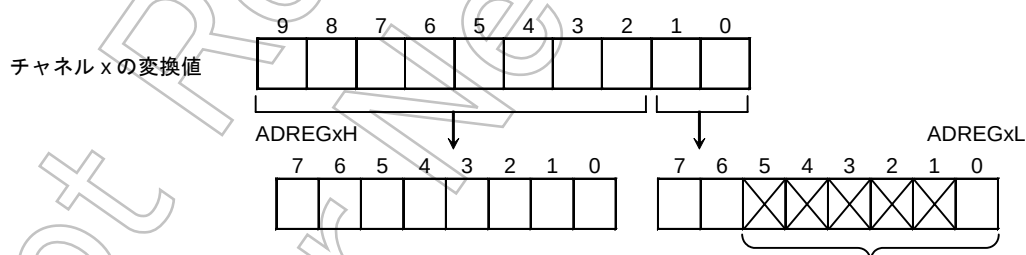
ADREG3BL
(0xFFFF_F306)

	7	6	5	4	3	2	1	0
bit Symbol	ADR31	ADR30					OVR3	ADR3RF
Read/Write	R		R				R	R
リセット後	0	0	1	1	1	1	0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 3B

ADREG3BH
(0xFFFF_F307)

	7	6	5	4	3	2	1	0
bit Symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納							



- ADREG2AL, ADREG3BL レジスタのビット 5~2 を読み出すと、常に “1” になります。
- ADREG2AL, ADREG3BL レジスタのビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0” にクリアされます。
- ADREG2AL, ADREG3BL レジスタのビット 1 は over RUN flag <OVR_x> です。両方の変換結果格納レジスタ (ADREG_xH, ADREG_xL) を Read する前に変換結果が上書きされると “1” にセットされます。Flag の Read により “0” にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図 15.1.6 A/D コンバータ関係のレジスタ

A/D 変換結果下位レジスタ 4C

ADREG4CL
(0xFFFF_F308)

	7	6	5	4	3	2	1	0
bit Symbol	ADR41	ADR40					OVR4	ADR4RF
Read/Write	R		R				R	R
リセット後	0	0	1	1	1	1	0	0
機 能	A/D 変換結果下位 2 ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 4C

ADREG4CH
(0xFFFF_F309)

	7	6	5	4	3	2	1	0
bit Symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	A/D 変換結果上位 8 ビット格納							

A/D 変換結果下位レジスタ 5D

ADREG5DL
(0xFFFF_F30A)

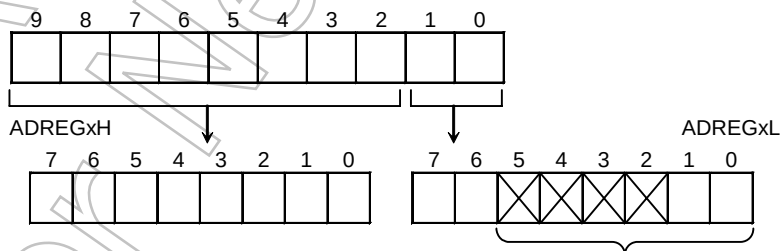
	7	6	5	4	3	2	1	0
bit Symbol	ADR51	ADR50					OVR5	ADR5RF
Read/Write	R		R				R	R
リセット後	0	0	1	1	1	1	0	0
機 能	A/D 変換結果下位 2 ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 5D

ADREG5DH
(0xFFFF_F30B)

	7	6	5	4	3	2	1	0
bit Symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	A/D 変換結果上位 8 ビット格納							

チャンネル x の変換値



- ADREG4CL, ADREG5DL レジスタのビット 5~2 を読み出すと、常に “1” になります。
- ADREG4CL, ADREG5DL レジスタのビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0” にクリアされます。
- ADREG4CL, ADREG5DL レジスタのビット 1 は over Run flag <OVR_x> です。両方の変換結果格納レジスタ (ADREG_xH, ADREG_xL) を Read する前に変換結果が書き込まれると 1 にセットされます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図 15.1.7 A/D コンバータ関係のレジスタ

A/D 変換結果下位レジスタ 6E

	7	6	5	4	3	2	1	0
bit Symbol	ADR61	ADR60					OVR6	ADR6RF
Read/Write	R		R				R	R
リセット後	0	0	1	1	1	1	0	0
機 能	A/D 変換結果下位 2 ビット格納		リードすると"1"が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

ADREG6EL
(0xFFFF_F30C)

A/D 変換結果上位レジスタ 6E

	7	6	5	4	3	2	1	0
bit Symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	A/D 変換結果上位 8 ビット格納							

ADREG6EH
(0xFFFF_F30D)

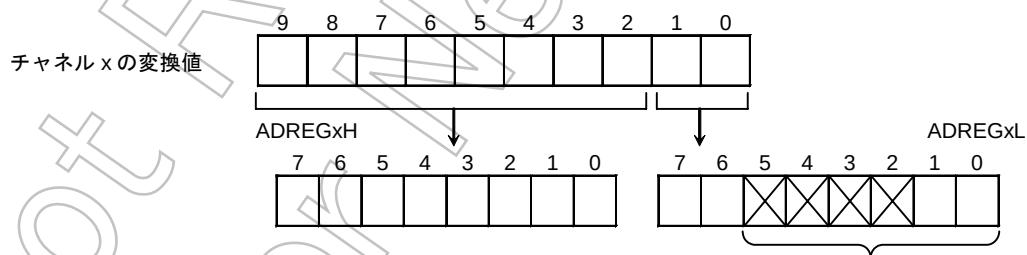
A/D 変換結果下位レジスタ 7F

	7	6	5	4	3	2	1	0
bit Symbol	ADR71	ADR70					OVR7	ADR7RF
Read/Write	R		R				R	R
リセット後	0	0	1	1	1	1	0	0
機 能	A/D 変換結果下位 2 ビット格納		リードすると"1"が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

ADREG7FL
(0xFFFF_F30E)

A/D 変換結果上位レジスタ 7F

	7	6	5	4	3	2	1	0
bit Symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	A/D 変換結果上位 8 ビット格納							

ADREG7FH
(0xFFFF_F30F)

- ADREG6EL, ADREG7FL レジスタのビット 5~2 を読み出すと、常に "1" になります。
- ADREG6EL, ADREG7FL レジスタのビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、"1" にセットされます。下位のレジスタ (ADREG_xL) をリードすると、"0" にクリアされます。
- ADREG6EL, ADREG7FL レジスタのビット 1 は over Run flag <OVR_x> です。両方の変換結果格納レジスタ (ADREG_xH, ADREG_xL) を Read する前に変換結果が上書きされると "1" にセットされます。Flag の Read により "0" にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

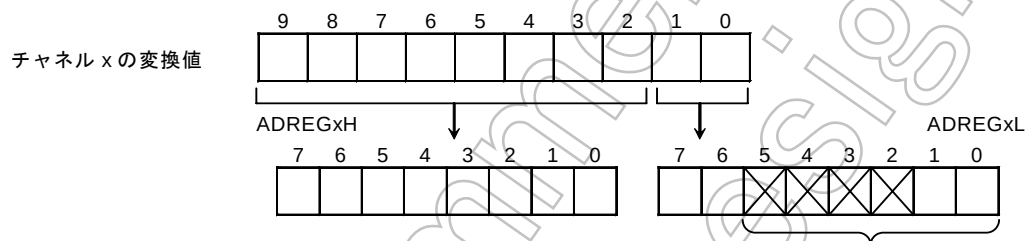
図 15.1.8 A/D コンバータ関係のレジスタ

A/D 変換結果下位レジスタ SP

ADREGSPL (0xFFFF_F310)		7	6	5	4	3	2	1	0
	bit Symbol	ADRSP1	ADRSP0					OVRSP	ADRSPRF
	Read/Write	R		R				R	R
	リセット後	0	0	1	1	1	1	0	0
機能	A/D 変換結果下位 2 ビット格納		リードすると"1"が読めます					Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ SP

ADREGSPH (0xFFFF_F311)		7	6	5	4	3	2	1	0
	bit Symbol	ADRSP9	ADRSP8	ADRSP7	ADRSP6	ADRSP5	ADRSP4	ADRSP3	ADRSP2
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果上位 8 ビット格納								



- ADREGSPL レジスタのビット 5~2 を読み出すと、常に "1" になります。
- ADREGSPL レジスタのビット 0 は、A/D 変換結果格納フラグ <ADRSPRF> です。A/D 変換値が格納されると、"1" にセットされます。下位のレジスタ (ADREGxL) をリードすると、"0" にクリアされます。
- ADREGSPL レジスタのビット 1 は over RUN flag <OVRSP> です。両方の変換結果格納レジスタ (ADREGxH, ADREGxL) を Read する前に変換結果が上書きされると "1" にセットされます。Flag の Read により "0" にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図 15.1.9 A/D コンバータ関係のレジスタ

A/D 変換結果比較下位レジスタ

ADCOMREG_L (0xFFFF_F312)		7	6	5	4	3	2	1	0
	bit Symbol	ADR21	ADR20						
	Read/Write	R/W		R					
	リセット後	0	0	0	0	0	0	0	0
	機能	A/D 変換結果比較下位 2ビット格納		リードすると"0"が読めます					

A/D 変換結果比較上位レジスタ

ADCOMREG_H (0xFFFF_F313)		7	6	5	4	3	2	1	0
	bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	A/D 変換結果比較上位 8ビット格納							

(注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止
(ADMOD3<ADOBSV>="0") した状態で行ってください

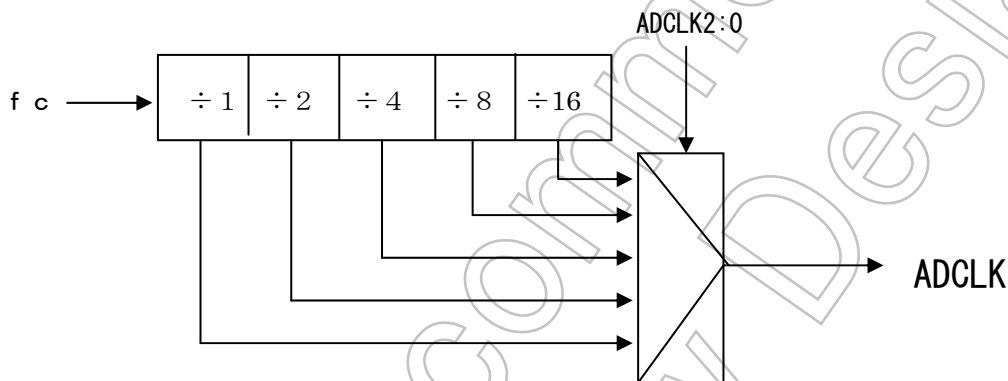
図 15.1.10 A/D コンバータ関係のレジスタ

15.2 変換クロック

- 変換時間は 41 変換クロック+サンプルホールド時間で算出されます。

A/D 変換クロック設定レジスタ

ADCLK (0xFFFF_F31C)								
	7	6	5	4	3	2	1	0
	bit Symbol	TSH2	TSH1	TSH0		ADCLK2	ADCLK1	ADCLK0
	Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	1	1
機能	"0"をライトしてください	A/D サンプルホールド時間選択 000:12 変換クロック 001:12×2 変換クロック 010:12×3 変換クロック 011:12×4 変換クロック 100:12×16 変換クロック 101:12×64 変換クロック 110:12×256 変換クロック 111:12×1024 変換クロック				A/D プリスケール出力選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 111: reserved		



変換 clock	サンプルホールド時間	tconv.
6.75MHz	変換 clk*12*1 (1.78us)	7.85us
	変換 clk*12*2 (3.56us)	9.63us
	変換 clk*12*3 (5.33us)	11.4us
	変換 clk*12*4 (7.11us)	13.2us
	変換 clk*12*16 (28.4us)	34.5us
	変換 clk*12*64 (114us)	120us
	変換 clk*12*256 (455us)	461us
	変換 clk*12*1024 (1.82ms)	1.83ms

15.3 動作説明

15.3.1 アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。ADMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH–VREFL 間のスイッチを OFF できます。AD 変換をスタートさせる場合は、かならず<VREFON>ビットに“1”を書き込んだ後、内部基準電圧が安定するまでの $3\mu\text{s}$ 待ってから、ADMOD0<ADS>ビットに“1”を書き込んでください。

15.3.2 アナログ入力チャネルの選択

アナログ入力チャネルの選択は、A/D コンバータの動作モードによって異なります。

(1) 通常 AD 変換時

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN>= “0”)
ADMOD1<ADCH4~0>の設定により、アナログ入力 AIN0~AIN23 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN>= “1”)
ADMOD1 <ADCH4~0> の設定および ADSCN により、24 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

(2) 最優先 AD 変換時

ADMOD2<HPADCH4~0>の設定により、アナログ入力 AIN0~AIN23 端子の中から 1 チャネルを選択します。

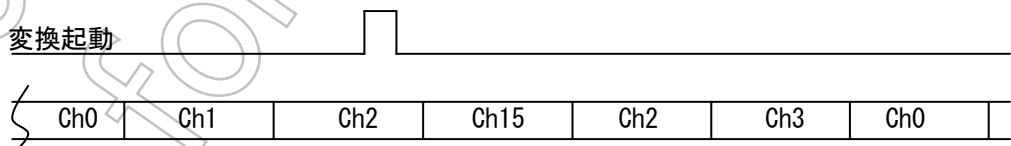
リセット後は ADMOD0<SCAN> は “0” に ADMOD1<ADCH3:0> は “0000” に初期化され、これにより選択が行なわれますので、ANO 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

通常 AD 変換中に最優先 AD 変換の起動が掛かると、通常 AD 変換は中断し、最優先 AD 変換が実行されて終了後に通常 AD 変換を再開します。

例) ADMOD0<REPEAT : SCAN>= “11”、ADMOD1<ADCH4:0>=00011 でチャネル AIN0~AIN3 までのリピートスキャン変換中に ADMOD2<HPADCH4:0>=01111 で AIN15 の最優先 AD 変換が起動された場合。

最優先 AD 変換起動

変換 Ch



15.3.3 A/D 変換開始

A/D 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。通常 AD 変換は ADMOD0<ADS> に“1”を設定することによりソフトで起動が掛かります。また、最優先 AD 変換は ADMOD2<HPADCE> に“1”を設定することによりソフトで起動が掛かります。通常 AD 変換は ADMOD0<2:1>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャンネル固定のシングル変換のみです。また、通常 AD 変換は ADMOD4<ADHS>、最優先 AD 変換は ADMOD4<HADHS>で選択される HW 起動ソースにより起動を掛けることができます。このビットが“0”の場合は、通常 AD 変換は 16 ビットタイマ 0 の INTTB00 で起動が掛かり、最優先 AD 変換の場合は 16 ビットタイマ 9 の INTTB90 で起動が掛かります。また、このビットが“1”の場合、通常 AD 変換は 16 ビットタイマ 0 の INTTB01 で起動が掛かり、最優先 AD 変換の場合は 16 ビットタイマ 9 の INTTB91 で起動が掛かります。H/W 起動が許可された場合でもソフトウェア起動は有効です。

通常 A/D 変換が開始されると、A/D 変換中を示す A/D 変換 Busy フラグ (ADMOD0<ADBF>) が“1”にセットされます。また、最優先 AD 変換が開始されると、AD 変換中を示す AD 変換 Busy フラグ (ADMOD2<ADBFHP>) が 1 にセットされます。このときに通常 AD 変換用の Busy フラグは、最優先 AD 変換の開始前の値を保持します。また、通常 AD 変換用の変換終了フラグ EOCFN も開始前の値を保持します。

(注) 最優先 A/D 変換中に通常 AD 変換を再起動させないでください (最優先 A/D 変換終了フラグがセットされません。また、以前の通常 A/D 変換のフラグがクリアされません)。

通常 A/D 変換を再起動する場合はソフトウェアリセット (ADMOD4<ADRST1:0>) を行ってから起動してください。HW による通常 A/D 変換の再起動は行わないでください。

通常 AD 変換中に ADMOD2<HPADCE>に“1”を設定すると、現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<3:0>で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADREGSP へ格納すると、続きから通常 AD 変換を再開します。

通常 AD 変換中に HW による最優先 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<3:0>で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADREGSP へ格納すると、続きから通常 AD 変換を再開します。

15.3.4 A/D 変換モードと A/D 変換終了割り込み

A/D 変換には、次の 4 つの動作モードが用意されています。通常 AD 変換の場合は ADMOD<2:1>の設定により選択ができます。最優先 AD 変換の場合は ADMOD<2:1>の設定によらず、チャンネル固定のシングル変換のみの動作です。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

(1) 通常 A/D 変換

動作モードの選択は、ADMOD<REPEAT, SCAN>で行います。A/D 変換が開始されると ADMOD<ADBFN>が“1”にセットされます。指定された AD 変換が終了すると、A/D 変換終了割り込み (INTAD) が発生し、A/D 変換終了を示す ADMOD<EOCF>が“1”にセットされます。<ADBFN>は<REPEAT>=“0”の時は EOCF のセットと同時に“0”に戻りますが、<REPEAT>=“1”の時は“1”の状態を保持して変換を続けます。

① チャンネル固定シングル変換モード

ADMOD <REPEAT, SCAN> に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD<EOCF>が“1”にセット、ADMOD<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事により 0 にクリアされます。

② チャンネルスキャンシングル変換モード

ADMOD <REPET, SCAN> に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD<EOCF>が“1”にセット、ADMOD<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事で 0 にクリアされます。

③ チャンネル固定リピート変換モード

ADMOD<REPEAT, SCAN>に“10”を設定するとチャンネル固定リピート変換モードになります。

このモードでは、選択した 1 チャンネルの変換を繰り返し行います。変換が終了した後、ADMOD <EOCF> が“1”にセットされます。ADMOD <ADBF> は“0”にされず“1”を保持します。INTAD の割り込み要求発生タイミングは ADMOD <ITM1:0> の設定により選択できます。<EOCF>がセットされるタイミングも割り込みのタイミングに連動します。

<EOCF>は読み出す事により“0”にクリアされます。

<ITM1:0> を“00”に設定すると A/D 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に格納レジスタの ADREG08 に格納されます。格納時点で EOCF は“1”になります。

<ITM1:0>を“01”に設定すると A/D 変換が 4 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタの ADREG08~ADREG3B に順次格納されます。ADREG3B に格納後<EOCF>は“1”にセットされ、再び ADREG08 から格納を始めます。<EOCF>は読み出す事により“0”にクリアされます。

〈ITM1:0〉を“10”に設定すると A/D 変換が 8 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタの ADREG08~ADREG7F に順次格納されます。ADREG7F 格納後〈EOCF〉は“1”にセットされ、再び ADREG08 から格納を始めます。

〈EOCF〉は読み出す事によりクリアされます。

④ チャネルスキャンリピート変換モード

ADMOD0 〈REPEAT, SCAN〉に“11”を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMOD0 〈EOCF〉が“1”にセットされ、INTAD 割り込み要求が発生します。ADMOD0 〈ADBF〉は“0”にされず“1”を保持します。〈EOCF〉は読み出す事により“0”にクリアされます。

リピート変換モード (③、④のモード) の動作を停止させたい場合は、ADMOD0 〈REPEAT〉に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0 〈ADBF〉は“0”にされます。

(2) 最優先 A/D 変換

動作モードはチャネル固定のシングル変換のみです。ADMOD0 〈REPEAT, SCAN〉の設定は関係ありません。起動条件が成立すると、ADMOD2 〈HPADCH3:0〉で指定されるチャネルの変換を一度だけ行います。変換が終了すると、最優先 AD 変換終了割り込みが発生して、ADMOD2 〈EOCFHP〉は“1”にセットされ、〈ADBFHP〉は“0”に戻ります。EOCFHP フラグは読み出すとクリアされます。

A/D変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード	割り込み発生 タイミング	EOCF セットタイミング (注)	ADBF (割り込 み発生 後)	ADMOD0		
				ITM1:0	REPEAT	SCAN
チャンネル固定 シングル変換	変換終了後	変換終了後	0	—	0	0
チャンネル固定 リピート変換	1回変換毎	変換が1回終了後	1	00	1	0
	4回変換毎	変換が4回終了後	1	01		
	8回変換毎	変換が8回終了後	1	10		
チャンネルスキャン シングル変換	スキャン変換 終了後	スキャン変換 終了後	1	—	0	1
チャンネルスキャン リピート変換	1回のスキャン 変換終了毎	1回のスキャン 変換終了後	1	—	1	1

(注) EOCF はリードするとクリアされます。

図 15.3.4.1 A/D変換モードと割り込み発生タイミング、フラグ動作の関係

15.3.5 最優先変換モード

通常 AD 変換に割り込んで、最優先 AD 変換を行う事ができます。最優先 AD 変換は ADMOD2<HPADCE>に“1”を設定するソフトによる起動と、ADMOD4<7:6>の設定により HW リソースを用いた起動ができます。通常 AD 変換中に最優先 AD 変換が起動されると、現在変換中の AD 変換は中断され、ADMOD2<3:0>で指定されるチャンネルのシングル変換を行います。変換結果は ADREGSP へ格納され、最優先 AD 変換割り込みが発生します。その後通常 AD 変換が続きから再開されます。また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

例えば チャンネル AN0~AN8 までのチャンネルリピート変換が起動されており、AN3 の変換中に<HPADCE>に“1”がセットされた場合は AN3 の変換が中断され、<HPADC3:0>で指定されたチャンネルの変換を行い、結果を ADREGSP へ格納後に AN3 からのチャンネルリピート変換を再開します。

15.3.6 AD 監視機能

ADMOD3<ADOBSV>に“1”を設定すると AD 監視機能が有効になり、REGS<3:0>で指定された変換結果格納レジスタの内容が比較レジスタの値より大または小（ADOBIC で大か小は指定）になると AD 監視機能割り込みが発生します。また、この比較動作は該当変換結果格納レジスタへ結果が格納されるごとに行われ、条件が成立すると割り込みが発生します。また、AD 監視機能に割り当てている格納レジスタは通常ではソフトで読み出しは行われませんので、オーバーランフラグ<OVRn>は常にセットされていることになり、変換結果格納フラグ<ADRnRF>もセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

15.3.7 A/D 変換時間

A/D 変換クロックは ADCLK<ADCLK2:0>によって、AD のプリスケアラ出力 f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ 、 $f_c/16$ の中から選択されます。保証精度を満足するためには AD 変換クロックを 6.75MHz 以下、すなわち AD 変換時間を $7.85\mu s$ 以上にする必要があります。

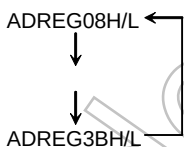
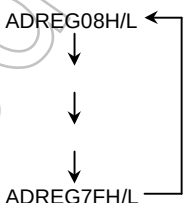
15.3.8 A/D 変換結果の格納と読み出し

A/D 変換結果は、通常 AD 変換の A/D 変換結果上位/下位レジスタ（ADREG08H/L～ADREG7FH/L）に格納されます。

チャンネル固定リピート変換モードでは、A/D 変換結果は、ADREG08H/L から ADREG7FH/L へと順次格納されます。ただし、割り込み発生を<ITM1:0>で1回ごとに指定した場合は ADREG08H/L のみに格納され、<ITM1:0>で4回ごとに指定した場合は ADREG08H/L～ADREG3BH/L へと順次格納されます。

表 15.3.8.1 にアナログ入力チャンネルと A/D 変換結果レジスタの対応を示します。

表 15.3.8.1 アナログ入力チャンネルと A/D 変換結果レジスタの対応

アナログ入力 チャンネル	A/D 変換結果レジスタ			
	右記以外の 変換モード	チャンネル固定リピート 変換モード (1 回)	チャンネル固定リピート 変換モード (4 回ごと)	チャンネル固定リピート 変換モード (8 回ごと)
AN0	ADREG08H/L	ADREG08H/L 固定		
AN1	ADREG19H/L			
AN2	ADREG2AH/L			
AN3	ADREG3BH/L			
AN4	ADREG4CH/L			
AN5	ADREG5DH/L			
AN6	ADREG6EH/L			
AN7	ADREG7FH/L			
AN8	ADREG08H/L			
AN9	ADREG19H/L			
AN10	ADREG2AH/L			
AN11	ADREG3BH/L			
AN12	ADREG4CH/L			
AN13	ADREG5DH/L			
AN14	ADREG6EH/L			
AN15	ADREG7FH/L			
AN16	ADREG08H/L			
AN17	ADREG19H/L			
AN18	ADREG2AH/L			
AN19	ADREG3BH/L			
AN20	ADREG4CH/L			
AN21	ADREG5DH/L			
AN22	ADREG6EH/L			
AN23	ADREG7FH/L			

15.3.9 データポーリング

割り込みを使用せずにデータポーリングで AD 変換結果を処理する場合は $ADMOD0 < EOCF >$ のポーリングをしてください。このフラグがセットされた場合は、所定の AD 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に AD 変換格納レジスタを読み出してください。この際にオーバーランを検出する為に、変換結果格納レジスタの上位を先に読み出し、次に下位を読み出してください。この結果、下位に存在する $0VRn=0$ 、 $ADRnRF=1$ であれば、正しい変換結果を得た事になります。

16. ウォッチドッグタイマ（暴走検出用タイマ）

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ（WDT）は、ノイズなどの原因により CPU が誤動作（暴走）を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット（チップ内部）へ接続することにより、強制的にリセット動作を行うことができます。

16.1 構成

図 16. 図 16.1 にウォッチドッグタイマのブロック図を示します。

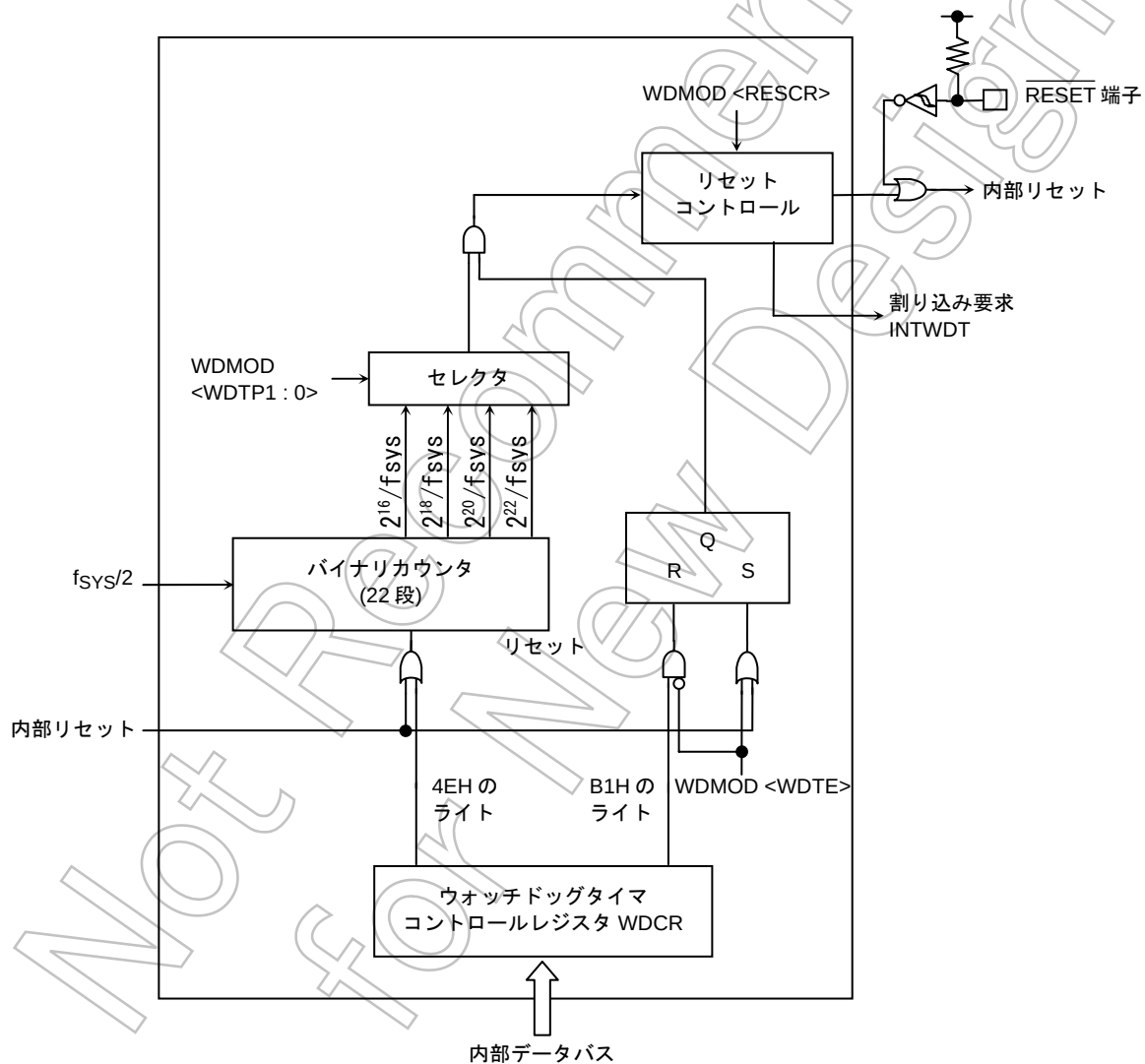


図 16.1 ウォッチドッグタイマのブロック図

16.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマは、システムクロック $f_{SYS/2}$ を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} 、 2^{17} 、 2^{19} および 2^{21} があります。このうちの 1 出力をWDMOD <WDTP1 : 0> で選択することにより、そのオーバーフロー時に、図 16.2.1 で示すように、ウォッチドッグタイマ割り込みが発生します。

また、ウォッチドッグタイマ割り込みはノンマスカブル割り込み要因のため、INTC 部の NMIFLG <WDT> にてウォッチドッグタイマ割り込みが識別する必要があります。

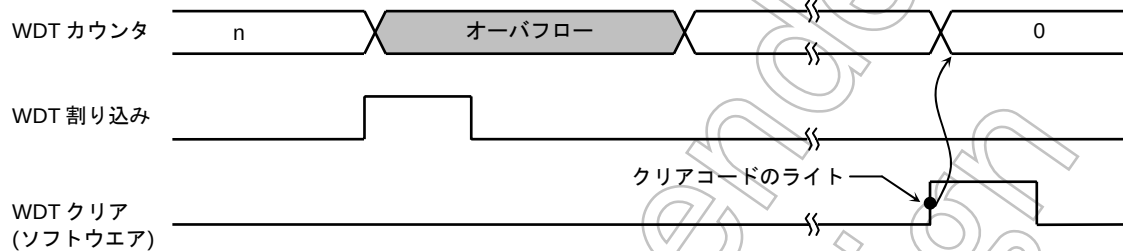


図 16.2.1 通常モード

また、オーバーフロー時にチップ自身をリセットすることも選択可能です。この場合、図 16.2.2 で示すように 32 ステートの期間、リセットを行います。なお、この場合（リセットされた場合）、入力クロック $f_{SYS/2}$ は、高速発振器のクロック f_C をクロックギアで 8 分周したクロック f_{SYS} が使われます。

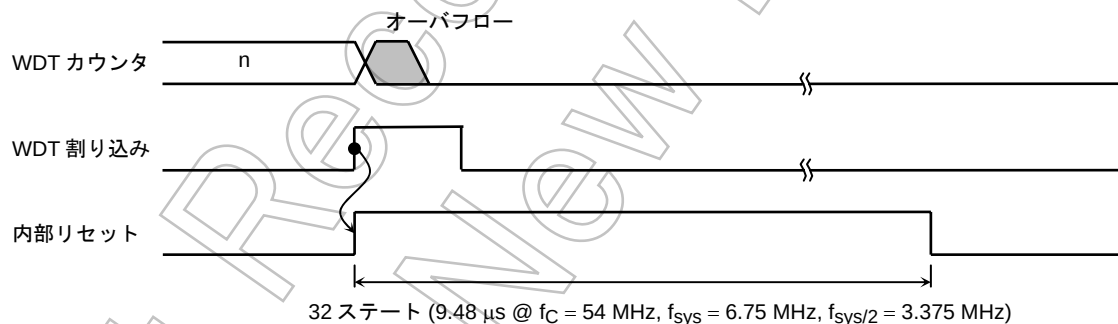


図 16.2.2 リセットモード

- (注1) ウォッチドッグタイマによるリセット時にも $\overline{\text{PLL0FF}}$ 端子の状態をサンプリングしますので、 $\overline{\text{PLL0FF}}$ 端子は “H” レベル固定で使用してください。
- (注2) 高周波発振子が止まっている状態では使用しないで下さい。ウォッチドッグタイマにより、システムリセットが動作しても、高周波発振子の発振が安定していない為に、正常に動作しません。

16.3 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2 つのコントロールレジスタ (WDMOD、WDCR) によって制御されています。

16.3.1 ウォッチドッグタイマ モードレジスタ (WDMOD)

① ウォッチドッグタイマ検出時間の設定 <WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD <WDTP1, 0> = “00” にイニシャライズされます。図 16.3.1.1 にウォッチドッグタイマの検出時間を示します。

② ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD <WDTE> = “1” にイニシャライズされますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にするとともに WDCR レジスタにディセーブル コード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを “1” にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出時のノンマスカブル割り込み (INTWDT)、または内部リセットの接続設定を行なうレジスタです。リセット後、WDMOD <RESCR> = “0” に初期化されノンマスカブル割り込みが設定されます。ノンマスカブル割り込みのステータスに関しては、第 6 章<割り込み>の NMIFLG レジスタを参照してください。

WDMOD
(0xFFFF_F090)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP1	WDTP0			I2WDT	RESCR	—
Read/Write	R/W	R/W		R	R	R/W		R/W
リセット後	1	0	0	0	0	0	0	0
機能	WDT 制御 0: 停止 1: 許可	WDT 検出時間の選択 00: $2^{16}/f_{\text{SYS}}$ 01: $2^{18}/f_{\text{SYS}}$ 10: $2^{20}/f_{\text{SYS}}$ 11: $2^{22}/f_{\text{SYS}}$				IDLE 0: 停止 1: 動作	内部 RESET 選択 0: NMI 接続 1: 内部リセ ット接続	“0” をラ イトして ください。

ウォッチドッグタイマアウトコントロール

0	NMI 割り込み
1	WDT アウトを内部リセットへ接続

→ ウォッチドッグタイマの検出時間

@ $f_c = 54 \text{ MHz}$

SYSCR1 クロックギア値 <GEAR2:0>	Watch Dog Timer 検出時間			
	WDMOD<WDTP1, 0>			
	00	01	10	11
000 (f_c)	1.2 ms	4.9 ms	19.4 ms	77.7 ms
100 ($f_c/2$)	2.4 ms	9.7 ms	38.8 ms	155.3 ms
110 ($f_c/4$)	4.9 ms	19.4 ms	77.7 ms	310.7 ms
111 ($f_c/8$)	9.7 ms	38.8 ms	155.3 ms	621.4 ms

→ ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

図 16.3.1.1 ウォッチドッグタイマモードレジスタ

16.3.2 ウォッチドッグタイマ コントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御
WDMOD <WDTE> を“0”にしたあと、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。

WDMOD	← 0 - - - - -	WDTE を“0” クリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) を書き込みます。

- イネーブル制御
WDMOD <WDTE> を“1”にする。
- ウォッチドッグタイマのクリア制御
WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード (4EH) を書き込みます。

(注) ディセーブルコード (B1H) を書き込むとバイナリカウンタはクリアされます。

WDCR
(0xFFFF_F091)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
リセット後	—							
機 能	B1H : WDT ディセーブルコード 4EH : WDT クリアコード 上記以外 : 無効 本レジスタは書き込み専用レジスタです。リードした場合は各ビット“0”が読み出されます。							

→ WDT のディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	—

図 16.3.2.1 ウォッチドッグタイマコントロールレジスタ

16.4 動作説明

ウォッチドッグタイマは、WDMOD <WDTP1, 0> レジスタで設定された検出時間後に割り込み (INTWDT) を発生させるタイマです。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWDT 割り込みが発生します。CPU は INTWDT 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。また、ウォッチドッグタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPU の誤動作 (暴走) に対処することができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、STOP モード中のウォッチドッグタイマはリセットされ停止しています。バス解放中 (BUSAK = "L") は、カウントを続けます。IDLE モードでは、WDMOD <I2WDT> の設定に依存します。必要に応じて、IDLE モードに入る前に WDMOD <I2WDT> を設定してください。

例: ① バイナリカウンタをクリアします。

```

      7 6 5 4 3 2 1 0
WDCR  ← 0 1 0 0 1 1 1 0   クリアコード (4EH) の書き込み

```

② ウォッチドッグタイマ検出時間を $2^{18}/f_{\text{sys}}$ に設定します。

```

      7 6 5 4 3 2 1 0
WDMOD  ← 1 0 1 - - - - -

```

③ ウォッチドッグタイマをディセーブルします。

```

      7 6 5 4 3 2 1 0
WDMOD  ← 0 - - - - -      WDTIE を "0" クリア
WDCR   ← 1 0 1 1 0 0 0 1   ディセーブルコード (B1H) の書き込み

```

注: 高周波発振子が止まっている状態では使用しないで下さい。

ウォッチドッグタイマにより、システムリセットが動作しても、高周波発振子の発振が安定していない為に、正常に動作いたしません。

17. バックアップモジュール（時計用タイマ、バックアップ RAM）

17.1 特 長

システムの動作モードの一つとして低消費電力動作を行うことが可能な、時計動作専用のタイマ、及びバックアップ用の RAM を内蔵するバックアップモジュール（バックアップモード）があります。

バックアップモジュール以外のブロック（CPU、他の周辺 I/O など）に対して全ての電源供給を遮断させることにより、バックアップモジュール部のみの通電となり、消費電流を大幅に削減することが可能となります。

17.2 ブロック概略図

図 17.2 にバックアップモジュールブロック図を示します。

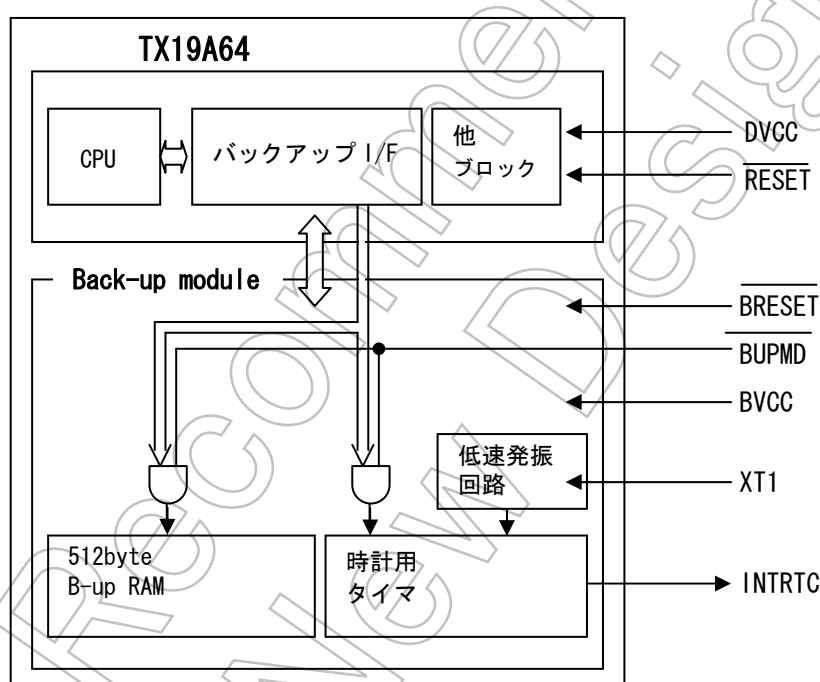


図 17.2 バックアップモジュールブロック図

バックアップモジュールを使用する場合は以下の点に注意してください。

- 電源 (BVCC) ON で低速発振開始、ソフトでの発振開始・停止は設定不可
- バックアップモード、通常動作への移行設定
- SLOW モードで動作中にバックアップ RAM へのアクセスは禁止
- BRESET で初期化される機能は以下の通りです

時計用タイマ：初期化

バックアップ RAM：不定

バックアップモジュールリセットフラグ：初期化

バックアップモジュール内レジスタ関係 (RTCFLG、RTCCR、RTCREG)

低速発振器：発振継続

- バックアップモジュールおよび低周波発振子を使用しない場合、下記端子の設定を行なって下さい。

電源レベル： BVCC, BRESET

GND レベル： XT1, BUPMD

17.3 バックアップモード

システムの動作モードとしてバックアップモジュール以外の全ての電源を遮断することで、低消費電力動作を行うことが可能なバックアップモードがあります。

図 17.3 にバックアップモードへの状態遷移図を示します。

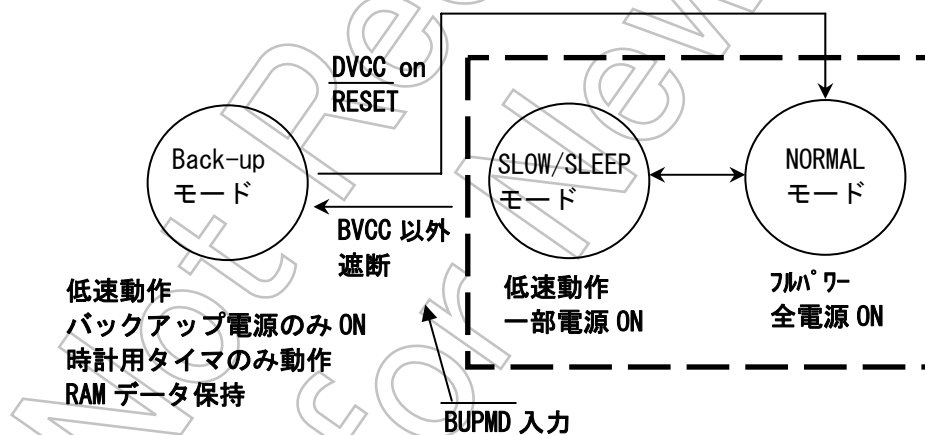


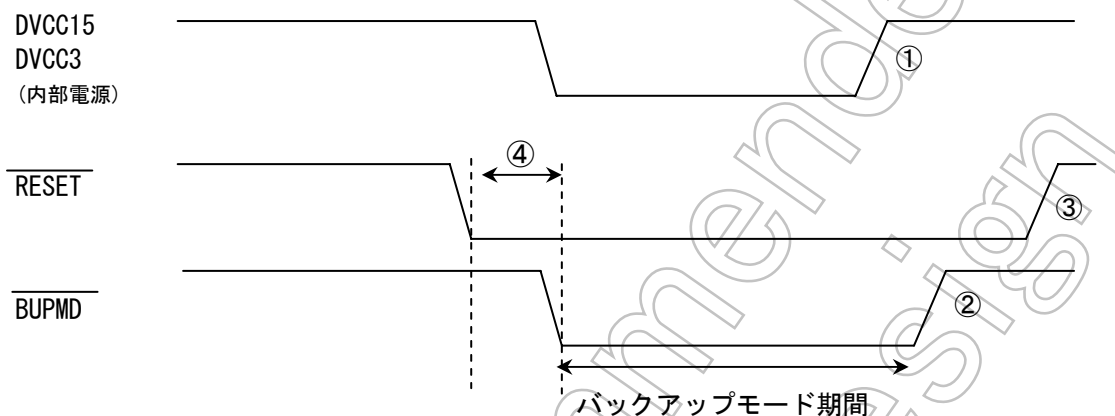
図 17.3 バックアップモジュールブロック図

13.4 バックアップモード動作

13.4.1 バックアップモードへの遷移

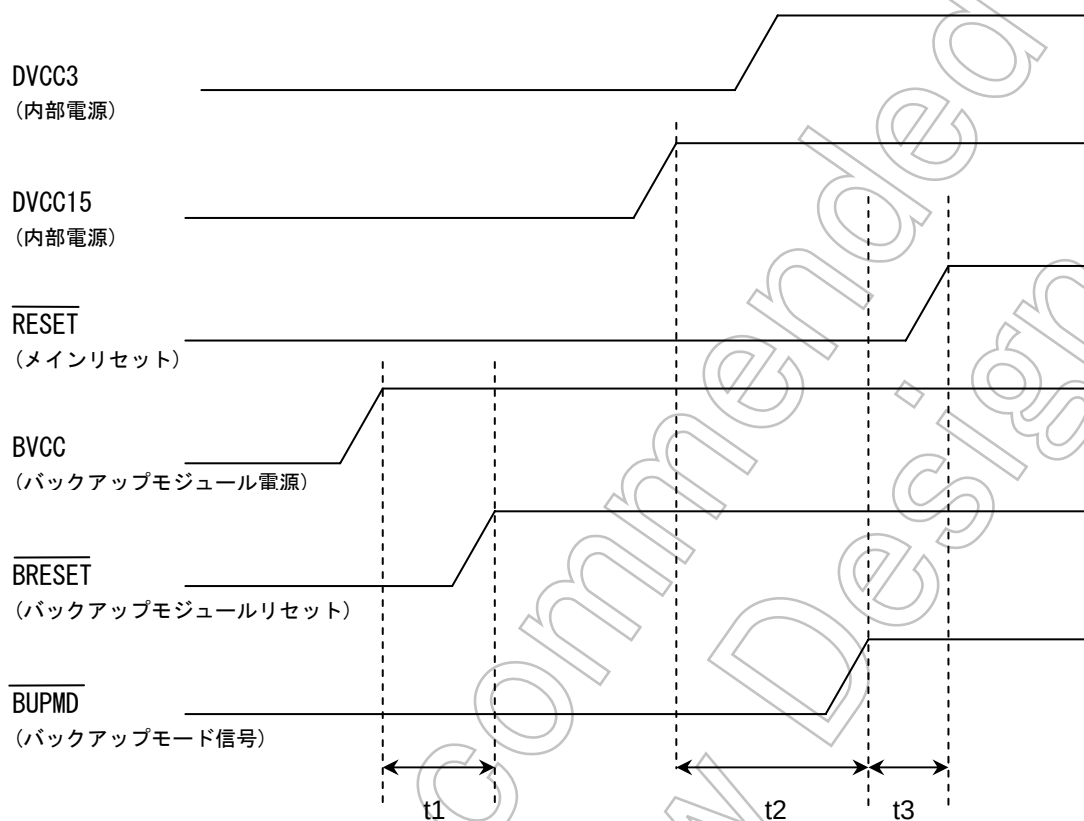
バックアップモードトリガ端子 (BUPMD) を“0”に設定後、メイン電源 (DVCC3, DVCC15) を遮断することによりバックアップモードになります。但しこのとき、バックアップ RAM 領域へ中
の場合がありますので、下記シーケンスに従って下さい。

また、バックアップモードからの復帰も下記シーケンスに従って、電源投入、信号処理を行
なってください。



- バックアップモードからの復帰時は、①⇒②⇒③の順で立ち上げてください。
- バックアップモジュールの RAM 領域内へデータをライト中の場合、データ保証は④の期間を 50 クロック (1 μ sec (@54MHz)) 以上空ける必要があります。

13.4.2 パワーオン(バックアップモードからの復帰) (例) DVCC15 と BVCC の電源立ち上げに差がある場合



- t1 : BVCC が安定した状態で 2ms*以上 BRESET を” L” (* : 発振子の特性による)
- t2 : 高速発振子ウォーミングアップ時間経過後に BUPMD を” H”
- t3 : BUPMD が” H” になってから RESET 解除
(初期ルーチンでバックアップモジュールを初期化)

＜ 通常動作モードから STOP モードへ遷移する場合の注意 ＞

STOP モードへ遷移する命令を実行しても、BVCC (バックアップモジュール電源) が供給されている状態では低速発振を継続します。従って、STOP モードへ遷移する命令を実行後に、BVCC を遮断してください。STOP モードからの復帰は、BVCC、BRESET、BUPMD をパワーオン時と同じ順序で立ち上げた後、STOP モード解除を行ってください。

17.5 バックアップ RAM

17.5.1 特 長

システムの動作モードの一つとして低消費電力動作を行うバックアップ用の RAM (512 バイト) を内蔵しています。この RAM 領域では、バックアップモード中のデータ保持およびリセットが起動されてもデータを保持します。

- バックアップ RAM 領域 (512 バイト) : 0xFFFF_E800 ~ 0xFFFF_E9FF
- バックアップモード中、バックアップ RAM 領域のデータは保持されます
- バックアップモード中にリセット (/RESET) が入力されてもバックアップ RAM 領域データは保持されます
- /BRESET 端子にてバックアップ RAM 領域は初期化 (不定値) を行ないます

(注意) バックアップ RAM 領域にアクセス (リード、ライト) を行なう場合、1 アクセス 10 システムクロックの処理時間が必要となります。

17.6 時計用タイマ

17.6.1 特 長

システムの動作モードの一つとして低消費電力動作を行う時計用タイマを内蔵しています。低周波クロックに 32.768 kHz を使用することにより、0.125s ごと、0.250s ごと、0.500s ごと、1.000s ごとに割り込みを発生することができ、時計機能を実現できます。

また、時計用タイマは、低周波発振を行なっているすべてのモードで動作可能です。時計用タイマ割り込みにより、各スタンバイモードからの復帰が可能です (STOP モードを除く)。また、時計用タイマ割り込み (INTRTC) を使用する時は、必ず CG 部の IMCGD レジスタを設定してください。

図 17.6.1 に時計用タイマのブロック図を示します。

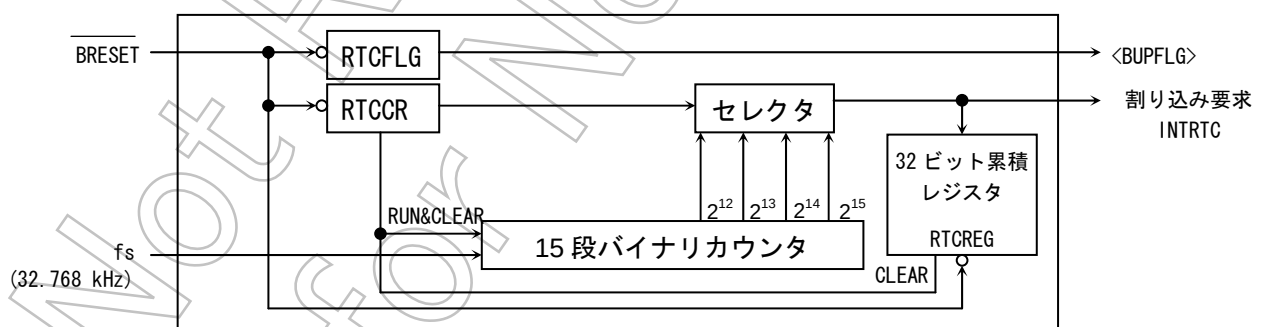


図 17.6.1 時計用タイマのブロック図

17.6.2 レジスタ

時計用タイマは、時計用タイマコントロールレジスタ (RTCCR)、バックアップモードフラグレジスタ (RTCFLG)、時計用カウント累積レジスタ (RTCREG) によって制御することができます。また、これらのレジスタは/BRESETにより初期化される 32 ビットレジスタです。

図 17.6.2.1 に時計用タイマコントロールレジスタを示します。

(fs = 32.768 kHz)

RTCCR
(0xFFFF_E704)

	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	R							
BRESET 後	0	0	0	0	0	0	0	0
機 能								
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	R							
BRESET 後	0	0	0	0	0	0	0	0
機 能								
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	R							
BRESET 後	0	0	0	0	0	0	0	0
機 能								
	7	6	5	4	3	2	1	0
Bit Symbol					RTCRLR	RTCSEL1	RTCSEL0	RTCUN
Read/Write	R/W	R/W	R		W	R/W		R/W
BRESET 後	0	0	0	0	0	0	0	0
機 能	“0” を ライトして ください	“0” を ライトして ください			累積レジス タクリア 0: クリア 1: Don' t Care	割り込み発生周期 00: 2 ¹⁵ /fs (1.000 s) 01: 2 ¹⁴ /fs (0.500 s) 10: 2 ¹³ /fs (0.250 s) 11: 2 ¹² /fs (0.125 s)		バイナリ カウンタ 0: 停止& クリア 1: カウント

図 17.6.2.1 時計用タイマコントロールレジスタ

(注) 本レジスタは 32 ビットアクセスを行なって下さい。

(注) /BRESET を起動するまでリード値は不定となります。

(注) RTCCR<RTCRLR>は常に” 1” が読み出されます。

(注) RTCCR<RTCSEL1:0>設定変更する場合は、RTCCR<RTCUN>=” 0” かつ
RTC 割り込み禁止の状態で行ってください。

バックアップモードフラグレジスタ (RTCFLG) は、/BRESET の起動を監視できる<BUPFLG>ビットを持ち、/BRESET により初期化される 32 ビットレジスタです。バックアップモジュールを起動する場合、/BRESET 後<BUPFLG>ビットに“1”を書き込むことにより/BRESET 起動モニタとして使用できるレジスタです。

図 17.6.2.2 に時計用タイマコントロールレジスタを示します。

RTCFLG
(0xFFFF_E700)

	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	R							
BRESET 後	0	0	0	0	0	0	0	0
機 能	(注)参照							
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	R							
BRESET 後	0	0	0	0	0	0	0	0
機 能	(注)参照							
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	R							
BRESET 後	0	0	0	0	0	0	0	0
機 能	(注)参照							
	7	6	5	4	3	2	1	0
Bit Symbol								BUPFLG
Read/Write	R							R/W
BRESET 後	0	0	0	0	0	0	0	0
機 能	(注)参照							BRESET モニタフラグ 0: BRESET 後 (注)参照

図 17.6.2.2 BACKUP モードフラグレジスタ

- (注) 本レジスタは、/BRESET を起動するまでリード値は不定となります。
- (注) 本レジスタは、32 ビットアクセスを行なって下さい。
- (注) <BUPFLG>ビットは、“1”のみ書き込み可能です。
- (注) <BUPFLG>ビットは、/BRESET 後“0”になります。よって、バックアップモジュールを起動する場合、/BRESET 後“1”を書き込むことにより /BRESET 起動モニタとして使用できます。

時計用タイマには時計用カウント累積レジスタ (RTCREG) があり、時計タイマの割り込み回数が累積されます。1.0 秒の割り込み発生周期が選択された場合、最大 4294967296 秒 (136 年 70 日 6 時間 28 分 16 秒) までの保持が可能です。

時計用カウント累積レジスタ

RTCREG (0xFFFF_E708)		31	30	29	28	27	26	25	24
	Bit Symbol	RUI31	RUI30	RUI29	RUI28	RUI27	RUI26	RUI25	RUI24
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	累積カウント値							
		23	22	21	20	19	18	17	16
	Bit Symbol	RUI23	RUI22	RUI21	RUI20	RUI19	RUI18	RUI17	RUI16
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	累積カウント値							
		15	14	13	12	11	10	9	8
	Bit Symbol	RUI15	RUI14	RUI13	RUI12	RUI11	RUI10	RUI9	RUI8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	累積カウント値							
		7	6	5	4	3	2	1	0
	Bit Symbol	RUI7	RUI6	RUI5	RUI4	RUI3	RUI2	RUI1	RUI0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機 能	累積カウント値							

図 17.6.2.3 時計用カウント累積レジスタ

- (注) 本レジスタは、/BRESET を起動するまでリード値は不定となります。
- (注) 本レジスタは、32 ビットアクセスを行なって下さい。
- (注) 累積レジスタへの書き込みでプリスケアラは初期化されます。
- (注) 書き込み時は割り込みを禁止してください。

例：時計用タイマ割り込みの設定例

初期設定

```

      7 6 5 4 3 2 1 0
IMCD  ← 0 0 1 0 0 0 0 0

RTCCR ← 0 0 0 0 X X X 0

IMCGD ← 0 0 1 1 0 0 0 1
EICRCG ← 0 0 0 0 1 1 0 1

INTCLR ← 0 1 1 1 1 0 0 0

RTCCR ← 0 0 0 0 1 X X 1

IMCD ← 0 0 1 0 0 X X X

```

INTRTC 割り込みを禁止します。
 32 ビットレジスタのビット<23:16>を設定します。
 RTC タイマカウンタを停止します。
 32 ビットレジスタのビット<7:0>を設定します。
 32 ビットレジスタのビット<15:8>を設定します。
 CG ブロックの割り込み要求をクリアします。
 32 ビットレジスタのビット<7:0>を設定します。
 INTC ブロックの割り込み要求をクリアします。
 32 ビットレジスタのビット<8:0>を設定します。
 タイマカウンタ開始します。
 32 ビットレジスタのビット<7:0>を設定します。
 割り込みレベルを設定します。
 32 ビットレジスタのビット<23:16>を設定します。

INTRTC 割り込み

```

      7 6 5 4 3 2 1 0
EICRCG ← 0 0 0 0 1 1 0 1

INTCLR ← 0 1 1 1 1 0 0 0

```

CG ブロックの割り込み要求をクリアします。
 32 ビットレジスタのビット<7:0>を設定します。
 INTC ブロックの割り込み要求をクリアします。
 32 ビットレジスタのビット<8:0>を設定します。

処理

割り込み終了

(注1) X: don' t care

(注2) スタンバイモードからの割り込みを禁止する際には IMCD, IMCGD の順に
 設定してください。

18. KEY ON Wake Up

18.1 概要

- 8本の入力KEY0~KEY7があり、STOP/SLEEP解除または外部割り込みとして使用可能です。ただし、8本の入力に対して割り込み要因は1要因として割り込み処理を行いません。また、個別にKEY入力の使用/未使用は設定可能です (KWUPSTn)。
- 立ち上がりエッジ/立ち下がりエッジ/Highレベル/Lowレベルは各入力個別に設定可能です (KWUPSTn)。
- 割り込み処理でKEY割り込み状態レジスタ KWUPSTを読み出すことにより割り込み要求をクリアします。
- KEY入力端子はプルアップ付きでKEY Pullup制御レジスタ KUPPUPによりプルアップイネーブル/ディセーブルを切り替えることが可能です。

18.2 KEY ON WAKE UP 動作

TMP19A64は8本のKEY入力端子 (KEY0~7) をもっています。KEY入力をSTOP/SLEEP解除に使用するか、通常割り込みに使用するかはCGのレジスタIMCGC0<KWUPEN>で設定します。<KWUPEN>="1"に設定することにより、KEY0~7はすべてSTOP/SLEEP解除割り込みになります。KEY入力ごとに割り込み入力許可/禁止をKWUPSTn<KEYnEN>で設定すると同時に、使用するKEY入力ごとにアクティブ状態をKWUPSTn<KEYn1: KEYn0>で設定してください。KEY入力の検出はこのKWUPブロックで行われ、検出結果はアクティブ状態HレベルとしてCG部のIMCGDレジスタへ通知されます。したがって、IMCGD<EMCGC1:CG>で検出レベルをHレベル ("01") に設定してください。また、CG部での検出結果もアクティブHレベルとして割り込みコントローラINTCへ通知されるために、INTCでも該当割り込みをHレベル ("01") に設定してください。IMCGD<KWUPEN>を0に設定する (デフォルト) ことによりKEY0~7はすべて通常割り込みになります。この場合はCGでの設定は不要でINTCで検出レベルをHレベルに設定してください。各KEY入力の許可/禁止、アクティブ状態はKWUPSTnと同様に設定します。割り込み処理の中で、KWUPSTをリードすることにより発生したKEY割り込み要求がクリアされます。

(注) 複数のKEY入力が発生した場合は、最初のKEY入力に対応した割り込み処理ルーチンで行なう割り込み要求クリアのシーケンス以前に発生した別の割り込み要求については同時にクリアされます。また、前述割り込み要求クリアシーケンスの後で発生した別の割り込み要求については再度KEY割り込みが発生します。

18.3 プルアップ機能

各KEY入力にはプルアップ機能があります。KUPPUP<KEYPUP0:7>を"1"に設定することにより、KEY入力KEY0~7をbitごとにプルアップできます。ただし、KEY入力をKWUPSTn<KEYnEN>で禁止に設定しているKEY入力に対しては、KUPPUP<KEYPUP>の設定によらずプルアップは行われません。

プルアップインーブルで KEY 入力を使用する場合の注意点

- A) 電源投入後最初に設定する場合
 - 1) KUPPUP の設定 ($\langle \text{KEYPUPn} \rangle = "1"$)
 - 2) 使用する KEYn 入力に該当する KWUPSTn $\langle \text{KEYnEN} \rangle = 1$
 - 3) プルアップが終了する時間を待つ
 - 4) 使用する KEYn 入力の該当する KWUPSTn でアクティブ状態の設定
 - 5) KWUPST をリードし、割り込み要求をクリア
 - 6) CG の設定、INTC の設定 (設定の方法は 6 章の割り込み章参照)
- B) 動作途中で KEY 入力のアクティブ状態を変更する場合
 - 1) INTC で KEY 割り込みの禁止 ($\text{IMC3} \langle \text{ILD2:D0} \rangle = 000$)
 - 2) 変更する KEYn 入力に該当する KWUPSTn でアクティブ状態変更
 - 3) KWUPST をリードし、割り込み要求をクリア
 - 4) INTC で KEY 割り込みの許可 ($\text{IMC3} \langle \text{ILD2:D0} \rangle$ を所定のレベルに設定)
- C) 動作途中で KEY 入力を許可する場合
 - 1) INTC で KEY 割り込みの禁止 ($\text{IMC3} \langle \text{ILD2:D0} \rangle = 000$)
 - 2) 使用する KEYn 入力に該当する KWUPSTn $\langle \text{KEYnEN} \rangle = 1$
 - 3) プルアップが終了する時間を待つ
 - 4) 使用する KEYn 入力の該当する KWUPSTn でアクティブ状態の設定
 - 5) KWUPST をリードし、割り込み要求をクリア
 - 6) INTC で KEY 割り込みの許可 ($\text{IMC3} \langle \text{ILD2:D0} \rangle$ を所定のレベルに設定)

プルアップディセーブルで KEY 入力を使用する場合の注意点

- A) 電源投入後最初に設定する場合
 - 1) KUPPUP の設定 ($\langle \text{KEYPUPn} \rangle = "0"$)
 - 2) 使用する KEYn 入力に該当する KWUPSTn でアクティブ状態の設定
 - 3) KWUPST をリードし、割り込み要求をクリア
 - 4) 使用する KEYn 入力に該当する KWUPSTn $\langle \text{KEYnEN} \rangle = 1$
 - 5) CG の設定、INTC の設定 (設定の仕方は 6 章の割り込み章参照)
- B) 動作途中で KEY 入力のアクティブ状態を変更する場合
 - 1) INTC で KEY 割り込みの禁止 ($\text{IMC3} \langle \text{ILD2:D0} \rangle = 000$)
 - 2) 変更する KEYn 入力に該当する KWUPSTn でアクティブ状態変更
 - 3) KWUPST をリードし、割り込み要求をクリア
 - 4) INTC で KEY 割り込みの許可 ($\text{IMC3} \langle \text{ILD2:D0} \rangle$ を所定のレベルに設定)
- C) 動作途中で KEY 入力を許可する場合
 - 1) INTC で KEY 割り込みの禁止 ($\text{IMC3} \langle \text{ILD2:D0} \rangle = 000$)
 - 2) 使用する KEYn 入力に該当する KWUPSTn でアクティブ状態の設定
 - 3) KWUPST をリードし、割り込み要求をクリア
 - 4) 使用する KEYn 入力に該当する KWUPSTn $\langle \text{KEYnEN} \rangle = 1$
 - 5) INTC で KEY 割り込みの許可 ($\text{IMC3} \langle \text{ILD2:D0} \rangle$ を所定のレベルに設定)

KEY Pullup 制御レジスタ: KUPPUP

KUPPUP
(0xFFFF_F371)

	7	6	5	4	3	2	1	0
bit Symbol	KEYPUP7	KEYPUP6	KEYPUP5	KEYPUP4	KEYPUP3	KEYPUP2	KEYPUP1	KEYPUP0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: プルアップ禁止 1: プルアップ許可	0: プルアップ禁止 1: プルアップ許可	0: プルアップ禁止 1: プルアップ許可	0: プルアップ禁止 1: プルアップ許可	0: プルアップ禁止 1: プルアップ許可	0: プルアップ禁止 1: プルアップ許可	0: プルアップ禁止 1: プルアップ許可	0: プルアップ禁止 1: プルアップ許可

18.4 KEY 入力の検出

1) <KEYPUPn> プルアップ禁止/許可

各 KEYn 入力のアクティブ状態は KWUPSTn<KEYn1:0>で H/L レベル/エッジの指定ができます。KEYn 入力のアクティブ状態の検出は常に行われています。

KWUPST0 (0xFFFF_F360)		7	6	5	4	3	2	1	0
	bit Symbol			KEY01	KEY00				KEY0EN
	Read/Write	R		R/W		R		R/W	
	リセット後	0	0	1	0	0	0	0	0
	機 能			KEY0 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ					KEY0 割り込み入力 0: 禁止 1: 許可
KWUPST1 (0xFFFF_F361)		7	6	5	4	3	2	1	0
	bit Symbol			KEY11	KEY10				KEY1EN
	Read/Write	R		R/W		R		R/W	
	リセット後	0	0	1	0	0	0	0	0
	機 能			KEY1 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ					KEY1 割り込み入力 0: 禁止 1: 許可
KWUPST2 (0xFFFF_F362)		7	6	5	4	3	2	1	0
	bit Symbol			KEY21	KEY20				KEY2EN
	Read/Write	R		R/W		R		R/W	
	リセット後	0	0	1	0	0	0	0	0
	機 能			KEY2 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ					KEY2 割り込み入力 0: 禁止 1: 許可
KWUPST3 (0xFFFF_F363)		7	6	5	4	3	2	1	0
	bit Symbol			KEY31	KEY30				KEY3EN
	Read/Write	R		R/W		R		R/W	
	リセット後	0	0	1	0	0	0	0	0
	機 能			KEY3 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がリエッジ 11: 立ち上がリエッジ					KEY3 割り込み入力 0: 禁止 1: 許可

KWUPST4
(0xFFFF_F364)

	7	6	5	4	3	2	1	0
bit Symbol			KEY41	KEY40				KEY4EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能			KEY0 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY4 割り込み 入力 0: 禁止 1: 許可

KWUPST5
(0xFFFF_F365)

	7	6	5	4	3	2	1	0
bit Symbol			KEY51	KEY50				KEY5EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能			KEY5 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY5 割り込み 入力 0: 禁止 1: 許可

KWUPST6
(0xFFFF_F366)

	7	6	5	4	3	2	1	0
bit Symbol			KEY61	KEY60				KEY6EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能			KEY6 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY6 割り込み 入力 0: 禁止 1: 許可

KWUPST7
(0xFFFF_F367)

	7	6	5	4	3	2	1	0
bit Symbol			KEY71	KEY70				KEY7EN
Read/Write	R		R/W		R			R/W
リセット後	0	0	1	0	0	0	0	0
機 能			KEY7 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY7 割り込み 入力 0: 禁止 1: 許可

18.5 KEY 入力割り込みの検出と要求のクリア

KEYnEN = 1 のときに KEYn にアクティブな信号が入力されると、KWUPST の該当チャネル KEYINTn に割り込みが入ったことを示す “1” が設定されます。KWUPST は読み出し専用レジスタで、本レジスタをリードすることにより、“1” に設定された該当 bit はクリアされます。アクティブ状態をレベルに設定した場合は、外部入力を取り下げない限り、KWUPST レジスタの該当 bit はリードした場合でもクリアされず “1” のままです。

KEY 割り込み状態レジスタ: KWUPST

	7	6	5	4	3	2	1	0
bit Symbol	KEYINT7	KEYINT6	KEYINT5	KEYINT4	KEYINT3	KEYINT2	KEYINT1	KEYINT0
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	KEY7 割り込み 状態 0:割り込み 発生なし 1:割り込み 発生あり	KEY6 割り込み 状態 0:割り込み 発生なし 1:割り込み 発生あり	KEY5 割り込み 状態 0:割り込み 発生なし 1:割り込み 発生あり	KEY4 割り込み 状態 0:割り込み 発生なし 1:割り込み 発生あり	KEY3 割り込み 状態 0:割り込み 発生なし 1:割り込み 発生あり	KEY2 割り込み 状態 0:割り込み 発生なし 1:割り込み 発生あり	KEY1 割り込み 状態 0:割り込み 発生なし 1:割り込み 発生あり	KEY0 割り込み 状態 0:割り込み 発生なし 1:割り込み 発生あり

19. ROM correction 機能

本章では TMP19A64 に内蔵されている ROM correction 機能について説明します。

19.1 特 長

- 1 箇所当たり 1 ワードのデータを 8 箇所、および 8 ワードのデータを 4 箇所置き替えることができます。
- アドレスレジスタに書き込まれたアドレス（下位 5 ビット、または 2 ビットは Don' t care）と PC、または DMAC が生成するアドレスが一致すると、前記アドレスレジスタに対応した RAM 上に置かれた ROM correction データレジスタからのデータが ROM データに置き換わります。
- ROM correction の許可は各アドレスレジスタにアドレスをセットすることにより自動的に行われます。

19.2 動 作

アドレスレジスタ ADDREGn に訂正したい ROM エリアの物理アドレス（含む投影エリア）をセットすることにより、ADDREGn に対応した RAM 上のデータレジスタからのデータを ROM データと置き換えることができます。この ADDREGn にアドレスをセットすることにより、自動的にこの ROM correction 機能は有効になり、無効にすることは出来ません。リセット後は全ての ROM correction 機能が禁止されています。したがって、リセット解除後の初期設定にて ROM correction を行う場合は、必要な ADDREG にアドレスをセットしてください。アドレスがセットされた ADDREG は ROM correction 機能が有効になり、CPU がバス権利を所有しているときは PC の値、DMAC がバス権利を所有しているときは DMAC が発行するソースまたはデスティネーションアドレスと一致すると ROM データと置き換えがされます。例えば、ADDREG0、ADDREG3 にアドレスをセットすると、このエリアの ROM correction 機能が有効になり、このアドレスレジスタに対して常に一致検出が行われ、一致すれば置き換えを行います。ADDREG1、ADDREG2、ADDREG4~7 に対しては行われません。また、アドレスレジスタのビットは <31:5> が存在しますが、アドレスの一致検出は A<20:5> に対して行われます。内部的には ROM エリアを示す ROMCS 信号と ROM コレクション回路の一致検出により置き換えが行なわれます。

8 ワードデータを置き換える場合の ROM correction のアドレスは 8 ワード単位の境界にのみ設定できます。従って、32 バイト単位での置き換えになりますので、その中の一部のみを置き換えるときは、置き換えの必要のないアドレスには置換え前と同じデータを書いてください。

ADDREGn と RAM エリアの対応は以下のようになっています。

レジスタ	アドレス	RAM エリアの対応	ワード数
ADDREG0	0xFFFF_E540	0xFFFFD_FF60 – 0xFFFFD_FF7F	8
ADDREG1	0xFFFF_E544	0xFFFFD_FF80 – 0xFFFFD_FF9F	8
ADDREG2	0xFFFF_E548	0xFFFFD_FFA0 – 0xFFFFD_FFBF	8
ADDREG3	0xFFFF_E54C	0xFFFFD_FFC0 – 0xFFFFD_FFDF	8
ADDREG4	0xFFFF_E550	0xFFFFD_FFE0	1
ADDREG5	0xFFFF_E554	0xFFFFD_FFE4	1
ADDREG6	0xFFFF_E558	0xFFFFD_FFE8	1
ADDREG7	0xFFFF_E55C	0xFFFFD_FFEC	1
ADDREG8	0xFFFF_E560	0xFFFFD_FFF0	1
ADDREG9	0xFFFF_E564	0xFFFFD_FFF4	1
ADDREGA	0xFFFF_E568	0xFFFFD_FFF8	1
ADDREGB	0xFFFF_E56C	0xFFFFD_FFFC	1

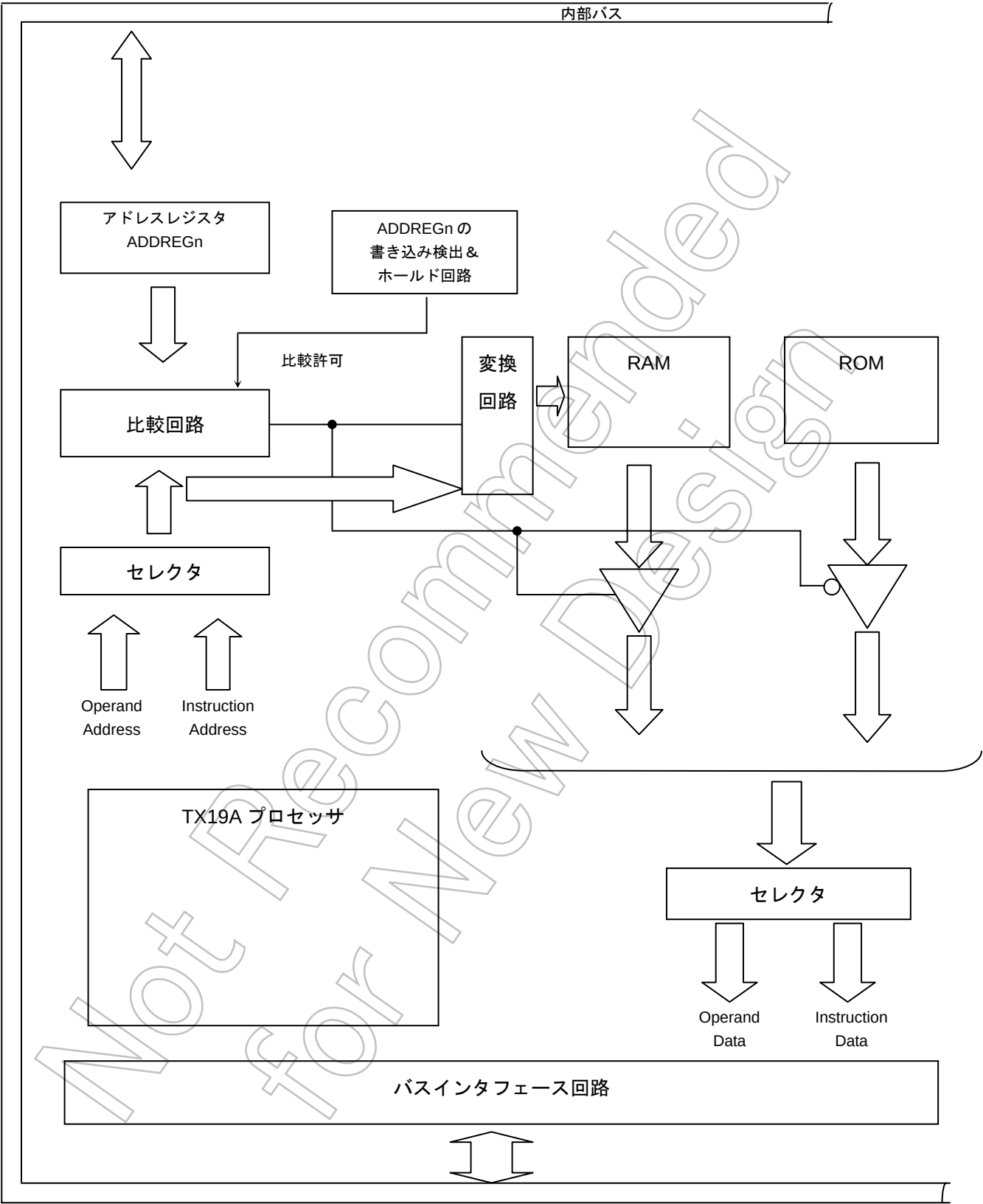


図 19.2.1 ROM correction システム図

19.3 レジスタ

(1) アドレスレジスタ

ADDREG0
(0xFFFF_E540)

	7	6	5	4	3	2	1	0
bit Symbol	ADD07	ADD06	ADD05					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD015	ADD014	ADD013	ADD012	ADD011	ADD010	ADD09	ADD08
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD023	ADD022	ADD021	ADD020	ADD019	ADD018	ADD017	ADD016
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD031	ADD030	ADD029	ADD028	ADD027	ADD026	ADD025	ADD024
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG1
(0xFFFF_E544)

	7	6	5	4	3	2	1	0
bit Symbol	ADD17	ADD16	ADD15					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD115	ADD114	ADD113	ADD112	ADD111	ADD110	ADD19	ADD18
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD123	ADD122	ADD121	ADD120	ADD119	ADD118	ADD117	ADD116
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD131	ADD130	ADD129	ADD128	ADD127	ADD126	ADD125	ADD124
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG2
(0xFFFF_E548)

	7	6	5	4	3	2	1	0
bit Symbol	ADD27	ADD26	ADD25					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD215	ADD214	ADD213	ADD212	ADD211	ADD210	ADD29	ADD28
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD223	ADD222	ADD221	ADD220	ADD219	ADD218	ADD217	ADD216
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD231	ADD230	ADD229	ADD228	ADD227	ADD226	ADD225	ADD224
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG3
(0xFFFF_E54C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD37	ADD36	ADD35					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD315	ADD314	ADD313	ADD312	ADD311	ADD310	ADD309	ADD308
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD323	ADD322	ADD321	ADD320	ADD319	ADD318	ADD317	ADD316
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD331	ADD330	ADD329	ADD328	ADD327	ADD326	ADD325	ADD324
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG4
(0xFFFF_E550)

	7	6	5	4	3	2	1	0
bit Symbol	ADD47	ADD46	ADD45	ADD44	ADD43	ADD42		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD415	ADD414	ADD413	ADD412	ADD411	ADD410	ADD409	ADD408
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD423	ADD422	ADD421	ADD420	ADD419	ADD418	ADD417	ADD416
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD431	ADD430	ADD429	ADD428	ADD427	ADD426	ADD425	ADD424
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG5
(0xFFFF_E554)

	7	6	5	4	3	2	1	0
bit Symbol	ADD57	ADD56	ADD55	ADD54	ADD53	ADD52		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD515	ADD514	ADD513	ADD512	ADD511	ADD510	ADD509	ADD508
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD523	ADD522	ADD521	ADD520	ADD519	ADD518	ADD517	ADD516
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD531	ADD530	ADD529	ADD528	ADD527	ADD526	ADD525	ADD524
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG6
(0xFFFF_E558)

	7	6	5	4	3	2	1	0
bit Symbol	ADD67	ADD66	ADD65	ADD64	ADD63	ADD62		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD615	ADD614	ADD613	ADD612	ADD611	ADD610	ADD69	ADD68
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD623	ADD622	ADD621	ADD620	ADD619	ADD618	ADD617	ADD616
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD631	ADD630	ADD629	ADD628	ADD627	ADD626	ADD625	ADD624
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG7
(0xFFFF_E55C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD77	ADD76	ADD75	ADD74	ADD73	ADD72		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD715	ADD714	ADD713	ADD712	ADD711	ADD710	ADD79	ADD78
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD723	ADD722	ADD721	ADD720	ADD719	ADD718	ADD717	ADD716
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD731	ADD730	ADD729	ADD728	ADD727	ADD726	ADD725	ADD724
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG8
(0xFFFF_E560)

	7	6	5	4	3	2	1	0
bit Symbol	ADD87	ADD86	ADD85	ADD84	ADD83	ADD82		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD815	ADD814	ADD813	ADD812	ADD811	ADD810	ADD89	ADD88
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD823	ADD822	ADD821	ADD820	ADD819	ADD818	ADD817	ADD816
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD831	ADD830	ADD829	ADD828	ADD827	ADD826	ADD825	ADD824
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG9
(0xFFFF_E564)

	7	6	5	4	3	2	1	0
bit Symbol	ADD97	ADD96	ADD95	ADD94	ADD93	ADD92		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD915	ADD914	ADD913	ADD912	ADD911	ADD910	ADD99	ADD98
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD923	ADD922	ADD921	ADD920	ADD919	ADD918	ADD917	ADD916
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD931	ADD930	ADD929	ADD928	ADD927	ADD926	ADD925	ADD924
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREGA
(0xFFFF_E568)

	7	6	5	4	3	2	1	0
bit Symbol	ADDA7	ADDA6	ADDA5	ADDA4	ADDA3	ADDA2		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADDA15	ADDA14	ADDA13	ADDA12	ADDA11	ADDA10	ADDA9	ADDA8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADDA23	ADDA22	ADDA21	ADDA20	ADDA19	ADDA18	ADDA17	ADDA16
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADDA31	ADDA30	ADDA29	ADDA28	ADDA27	ADDA26	ADDA25	ADDA24
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREGB
(0xFFFF_E56C)

	7	6	5	4	3	2	1	0
bit Symbol	ADDB7	ADDB6	ADDB5	ADDB4	ADDB3	ADDB2		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADDB15	ADDB14	ADDB13	ADDB12	ADDB11	ADDB10	ADDB9	ADDB8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADDB23	ADDB22	ADDB21	ADDB20	ADDB19	ADDB18	ADDB17	ADDB16
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADDB31	ADDB30	ADDB29	ADDB28	ADDB27	ADDB26	ADDB25	ADDB24
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

(注 1) アドレスレジスタへの DMA 転送はできません。RAM 上に配置される置き換えの為のデータ領域への DMA 転送は可能です。また ROM コレクションの置き換え機能は CPU アクセス時、DMA アクセス時いずれの場合も有効です。

(注 2) 初期値 “0x00” を書き戻すとリセットアドレスに対して置き換えを行います。

Not Recommended
for New Design

20. セキュリティ機能

20.1 概要

本製品は内蔵 ROM(Flash) 領域にセキュリティを設定できる ROM セキュリティ及び DSU(DSU-Probe)の使用を禁止する DSU セキュリティなどを内蔵しています。セキュリティ機能として、次の3つの機能をもっています。

- フラッシュセキュリティ
- ROM セキュリティ
- DSU セキュリティ

20.2 特長

20.2.1 フラッシュセキュリティ

フラッシュセキュリティ機能は、プロテクトエリア(512K バイト単位)ごとに内蔵 ROM データの書き込みと消去の動作を禁止する自動プロテクトビットプログラム機能 FLCS<PROTECT3:0>を全て有効にし、全エリアにプロテクトをかけた状態のことを称します。この場合、プロテクトビット消去コマンドを受け付けない内蔵RAM等のフラッシュメモリ以外のエリアからフラッシュメモリの読み出しを行うことはできません。これ以降はコマンドライトも正常に実施できません。フラッシュセキュリティ機能は、ROM セキュリティおよび DSU セキュリティ機能を有効にさせるために必要な機能でもあります。

また、セキュリティ状態で”自動プロテクトビット消去”を実施すると、本デバイス内部で自動的にフラッシュメモリの初期化を行います。このためセキュリティ状態に移行する際は十分ご注意ください。

20.2.2 ROM セキュリティ

ROM セキュリティ機能は内蔵 ROM に対してデータの読み出しや書き込みを禁止することができます。この機能はフラッシュセキュリティ機能とあわせて使用します。

ROM correction 機能で ROM 領域の命令と置き換えられた RAM 上の命令の PC はフラッシュ ROM の領域を示しますが、実際には RAM 領域にあるため、ROM セキュリティ状態でのデータの読み出しを行なうことは出来ません。置き換えた RAM 上の命令でデータを読み出す場合は ROM 領域のプログラムでそのデータ値を RAM にライトする等の対策を行なう必要があります。

ROM 領域に ROM セキュリティが掛かると以下の動作が出来なくなります。

- ROM 領域以外に置かれた命令からの ROM 領域のデータのロード及びストア
- DMAC による ROM 領域のデータ転送
- EJTAG による ROM 領域のデータのロード及びストア
- BOOT-ROM による ROM 領域のデータのロード及びストア
- フラッシュライターによる ROM 領域のデータのロード及びストア
- ROM 領域以外に置かれた命令からの ROM 領域のセキュリティ関連レジスタ (ROMSEC1、ROMSEC2) へのアクセス
- ライタモードでの自動ブロックプロテクト解除コマンド、自動ブロックセキュリティ解除コマンド以外のフラッシュコマンドシーケンス実行及びシングルモード、ブートモードでの ROM 領域のアドレスを指定したフラッシュコマンドシーケンス

また、ROM 領域に ROM セキュリティが掛かった状態でも、以下の動作は実行することが出来ます。

- ROM 領域に置かれた命令から ROM 領域のデータのロード
- すべての領域に置かれている命令から ROM 領域以外のデータのロード
- すべての領域に置かれている命令から ROM 領域への命令分岐
- EJTAG による ROM 領域の PC トレース (制限あり)、ブレーク

20.2.3 DSU セキュリティ

DSU セキュリティ機能は、オンボード上で DSU-probe を使用する際、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにする機能です。DSU セキュリティ機能を有効にすることにより、DSU-probe を使用して内蔵フラッシュの内容を読み出すことは不可能になります。この機能はフラッシュセキュリティ機能とあわせて使用します。

Not Recommended for New Design

20.3 セキュリティ概略図および対応表

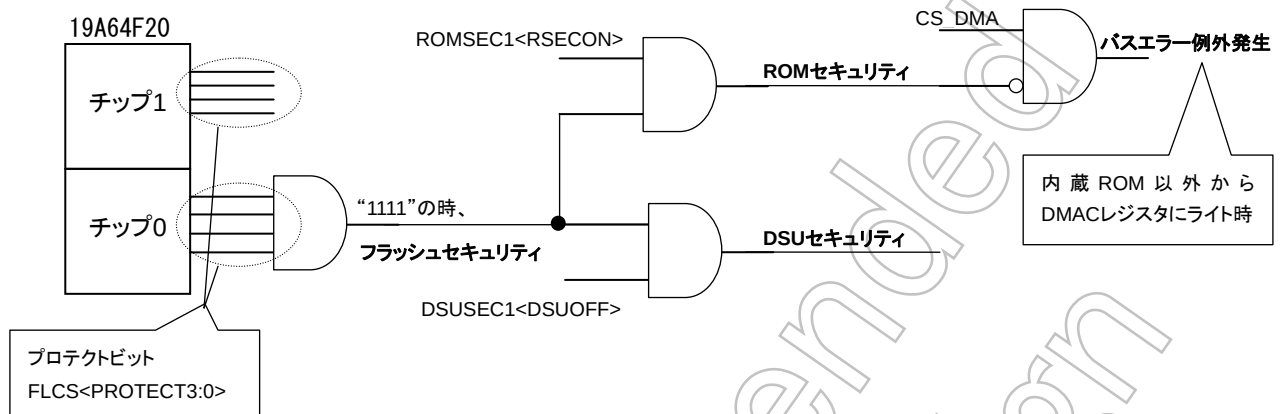


図 20.3.1 各種セキュリティ状態概略

表 20.3.2 各モードの各種セキュリティ状態

プロテクトビット設定 FLCS<PROTECT3:0>		1111				≠1111
ROMセキュリティイネーブルビット ROMSEC1<RSECON>		1	0	1	0	Don't Care
DSUセキュリティイネーブルビット DSUSEC1<DSUOFF>		1	0	1	0	Don't Care
フラッシュセキュリティ状態		ON				OFF
ROMセキュリティ状態		ON		OFF		OFF
DSUセキュリティ状態		ON	OFF	ON	OFF	OFF
シングル /シングルブート モード	内蔵 ROM からのフラッシュリード	○	○	○	○	○
	内蔵 ROM 以外からのフラッシュリード	× *1	× *1	○	○	○
	ROMセキュリティイネーブル解除 (ROM から)	○	○			○
	ROMセキュリティイネーブル解除 (ROM 以外から)	× *2	× *2			○
	DSUセキュリティイネーブル解除 (ROM から)	○		○		○
	DSUセキュリティイネーブル解除 (ROM 以外から)	× *3		○		○
	プロテクトビット消去コマンド発行	× *4	× *4	○ *8	○ *8	○
	プロテクトビット消去以外のコマンド発行	× *5	× *5	× *7	× *7	△ *9
	DMAC 設定レジスタへのライト (ROM から)	○	○	○	○	○
	DMAC 設定レジスタへのライト (ROM 以外から)	× *6	× *6	○	○	○
ライターモード	フラッシュリード	× *1	× *1	× *1	× *1	○
	プロテクトビット消去コマンド発行	○ *8	○ *8	○ *8	○ *8	△ *9
	プロテクトビット消去以外のコマンド発行	× *7	× *7	× *7	× *7	△ *9

*1: リードデータは常に 0x00000098 が読めます。

*2: ストアデータをマスクします。(レジスタにライト(クリア)出来ません)

*3: ストアデータをマスクします。(レジスタにライト(クリア)出来ません)

*4: コマンドアドレスをマスクし、フラッシュがコマンドを認識しません。

*5: コマンドアドレスをマスクし、フラッシュがコマンドを認識しません。

*6: バスエラー例外が発生します。(DMAC レジスタに設定時)

*7: フラッシュセキュリティ状態のため、コマンドは認識しません。

*8: フラッシュセキュリティ状態のため、フラッシュ全領域消去とプロテクトビット全消去に変換されます。

*9: プロテクトビットの状態と入力するコマンドによってはフラッシュ I/F 部分でコマンド変換が行われます。

20.4 レジスタ

フラッシュコントロール/ステータスレジスタ

フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 27.5.1.3 フラッシュコントロールレジスタ

FLCS (0xFFFF_E520)		7	6	5	4	3	2	1	0
	Bit Symbol	PROTECT3	PROTECT2	PROTECT1	PROTECT0		ROMTYPE	PRGB	RDY/BSY
	Read/Write	R				R	R	R/W	R
	パワーオン リセット後	0	0	0	0	0	0	0	1
	機 能	プロテクトエリア設定 (512KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : エリア 0 がプロテクト状態 xx1x : エリア 1 がプロテクト状態 x1xx : エリア 2 がプロテクト状態 1xxx : エリア 3 がプロテクト状態					ROM 識別 ビット 0:Flash 1:MR0M	プログラ ミングビット 0: 発行終了 1: 発行	Ready/Busy 0: 自動動作 中 1: 自動動作 終了
		15	14	13	12	11	10	9	8
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0	0	0	0	0	0	0	0
	機 能								
		23	22	21	20	19	18	17	16
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0	0	0	0	0	0	0	0
	機 能								
		31	30	29	28	27	26	25	24
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0	0	0	0	0	0	0	0
	機 能								

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は “0” を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり “1” を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは “0” 出力を継続します。電源投入時に “1” に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。

ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット 1: プログラミングビット

Flash へコマンドを発行することを Flash I/F へ通知するビットです。

内蔵Flashに対してコマンドを発行する場合、必ずこのビットを“1”に設定して下さい。また、全てのコマンド発行後に、〈RDY/BSY〉ビットが“1”であることを確認した後、このビットを“0”に設定して下さい。

ビット 2: ROM タイプ識別ビット

リセット後の値でフラッシュ ROM またはマスク ROM タイプの識別を行なうビットです。

フラッシュ ROM : “0”

マスク ROM : “1”

ビット [7:4]: プロテクトビット (x: エリアごとの組み合わせ設定可能)

プロテクトビット (4 ビット) 値は各エリアのプロテクト状態に対応します。該当ビットが “1” の時は対応するエリアがプロテクト状態であることを示します。プロテクト状態のエリアは書き換えはできません。

表 27.4.2 ROM セキュリティレジスタ

ROMSEC1 (0xFFFF_E518)		7	6	5	4	3	2	1	0
	Bit Symbol								RSECON
	Read/Write	R							R/W
	パワーオン リセット後	0							1
	機 能	リードすると常に"0"が読めます							ROM セキュリティ 1: ON 0: OFF (注)
		15	14	13	12	11	10	9	8
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0							
	機 能	リードすると常に"0"が読めます							
		23	22	21	20	19	18	17	16
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0							
	機 能								
		31	30	29	28	27	26	25	24
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0							
	機 能	リードすると常に"0"が読めます							

- (注) 本レジスタはパワーオンリセットのみで初期化されます。通常リセットでは初期化されません。
 (注) 本レジスタは 32 ビットアクセスを行なって下さい。

表 27.4.3 ROM セキュリティロックレジスタ

ROMSEC2
(0xFFFF_E51C)

	7	6	5	4	3	2	1	0
Bit Symbol								
Read/Write	W							
リセット後	不定							
機 能	(注) 参照願います							
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	W							
リセット後	不定							
機 能	(注) 参照願います							
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	W							
リセット後	不定							
機 能	(注) 参照願います							
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	W							
リセット後	不定							
機 能	(注) 参照願います							

(注) ROMSEC1<RSECON>を設定後、本レジスタに"0x0000_003D"を設定することにより、ROMSEC1<RSECON>に値がセットされます。

(注) ROMSEC1、ROMSEC2 レジスタは ROM 領域に ROM セキュリティがかかっている場合、ROM 領域に置かれている命令でのみアクセスすることが出来ます。

(注) 本レジスタは 32 ビットアクセスを行なって下さい。

(注) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

表 20.4.4 DSU セキュリティモードレジスタ

DSUSEC1 (0xFFFF_E510)		7	6	5	4	3	2	1	0
	Bit Symbol								DSUOFF
	Read/Write	R							R/W
	パワーオン リセット後	0							1
	機 能	リードすると常に"0"が読めます							1: DSU 使用不可 0: DSU 使用許可
		15	14	13	12	11	10	9	8
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0							
	機 能	リードすると常に"0"が読めます							
		23	22	21	20	19	18	17	16
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0							
	機 能								
		31	30	29	28	27	26	25	24
	Bit Symbol								
	Read/Write	R							
	パワーオン リセット後	0							
	機 能	リードすると常に"0"が読めます							

(注) 本レジスタはパワーオンリセットのみで初期化されます。通常リセットでは初期化されません。

(注) 本レジスタは 32 ビットアクセスを行なって下さい。

表 27.4.5 DSU セキュリティ制御レジスタ

DSUSEC2 (0xFFFF_E514)		7	6	5	4	3	2	1	0
	Bit Symbol	DSECODE07	DSECODE06	DSECODE05	DSECODE04	DSECODE03	DSECODE02	DSECODE01	DSECODE00
	Read/Write	W							
	リセット後	0							
	機 能	"0x0000_00C5" をライトしてください。							
		15	14	13	12	11	10	9	8
	Bit Symbol	DSECODE15	DSECODE14	DSECODE13	DSECODE12	DSECODE11	DSECODE10	DSECODE09	DSECODE08
	Read/Write	W							
	リセット後	0							
	機 能	"0x0000_00C5" をライトしてください							
		23	22	21	20	19	18	17	16
	Bit Symbol	DSECODE23	DSECODE22	DSECODE21	DSECODE20	DSECODE19	DSECODE18	DSECODE17	DSECODE16
	Read/Write	W							
	リセット後	0							
	機 能	"0x0000_00C5" をライトしてください							
		31	30	29	28	27	26	25	24
	Bit Symbol	DSECODE31	DSECODE30	DSECODE29	DSECODE28	DSECODE27	DSECODE26	DSECODE25	DSECODE24
	Read/Write	W							
	リセット後	0							
	機 能	"0x0000_00C5" をライトしてください							

(注) 本レジスタは 32 ビットアクセスを行なって下さい。

(注) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

20.5 セキュリティ設定方法

セキュリティ状態でフラッシュメモリの書き換え及びプロテクトビットの書換えの必要があるときは、自動プロテクトビット消去を行うか、ROM セキュリティ機能を解除してください。DSU セキュリティ状態では DSU を使用することができません。

自動プロテクトビットプログラム実行後にフラッシュセキュリティ状態になる場合は、予め DSU-PROBE 使用許可にしておく必要があります。

フラッシュセキュリティ状態で“自動プロテクトビット消去”を実施すると、本デバイス内部で自動的にフラッシュメモリの初期化を行います。このためセキュリティ状態に移行する際は十分ご注意ください。

20.5.1 フラッシュセキュリティ

フラッシュセキュリティの設定/解除を行なう場合、フラッシュメモリに対するコマンドシーケンス、プロテクトビットプログラムコマンドによって設定します。詳細は Flash 動作説明章のコマンドシーケンスを参照して下さい。

20.5.2 ROM セキュリティ

ROM セキュリティの設定および解除を行なう方法は、暴走などによる偶発解除を防ぐために二重構造の設定を行ないます。セキュリティをかける場合、ROM セキュリティレジスタ ROMSEC1<RSECON> = “1” をセットし、セキュリティコード “0x0000_003D” を ROM セキュリティロックレジスタ ROMSEC2 に書き込むことで ROM セキュリティとして機能します。また、ROM セキュリティを解除する場合も同様に、ROM セキュリティレジスタ ROMSEC1<RSECON> = “0” をセットし、セキュリティコード “0x0000_003D” を ROM セキュリティロックレジスタ ROMSEC2 に書き込むことで ROM セキュリティ機能を解除することが出来ます。

(注) ROM セキュリティレジスタはパワーオンリセット回路を備え、<RSECON>ビットは電源投入後 “1” がセットされます。このときフラッシュセキュリティがかかっている場合、自動的に ROM セキュリティが機能し、内蔵 ROM に対してデータの読み出しや書き込みを禁止することができます。

20.5.3 DSU セキュリティ

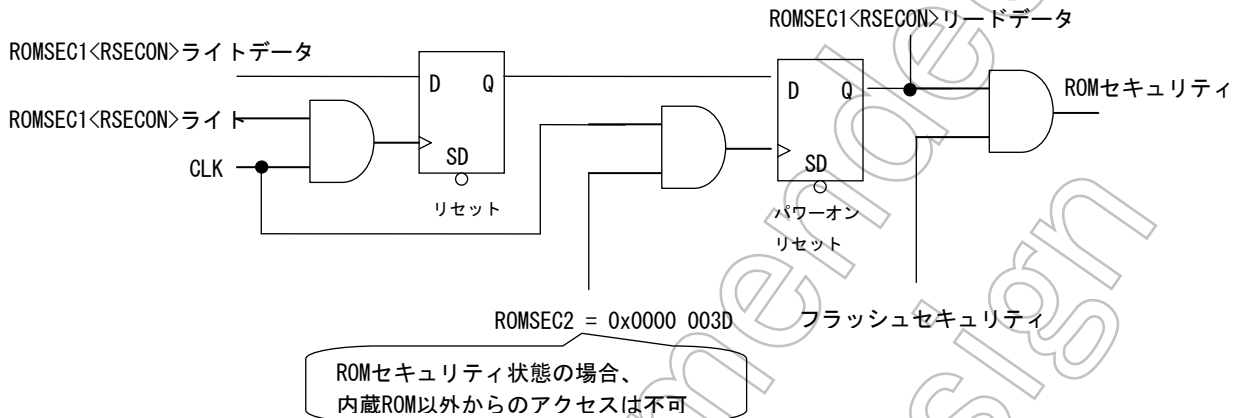
DSU 使用許可/禁止 (DSU-PROBE を利用してのデバッグを有効/無効)

DSU 禁止機能を解除する方法は、暴走などによる偶発解除を防ぐために二重構造の設定を行ないます。DSU セキュリティモードレジスタ DSUSEC1<DSUOFF> = “0” にし、セキュリティコード “0x0000_00C5” を DSU セキュリティ制御レジスタ DSUSEC2 に書き込みます。この後、DSU-PROBE を使用したデバッグが有効になります。電源をオフしない状態で、DSUSEC1<DSUOFF> = “1” にし、DSUSEC2 レジスタに “0x0000_00C5” を書き込むことにより再びセキュリティ機能が有効になります。

(注) DSU セキュリティモードレジスタはパワーオンリセット回路を備え、<DSUOFF>ビットは電源投入後 “1” がセットされます。このときフラッシュセキュリティがかかっている場合、自動的に DSU セキュリティが機能し、DSU-probe を使用して内蔵フラッシュの内容を読み出すことは不可能になります。

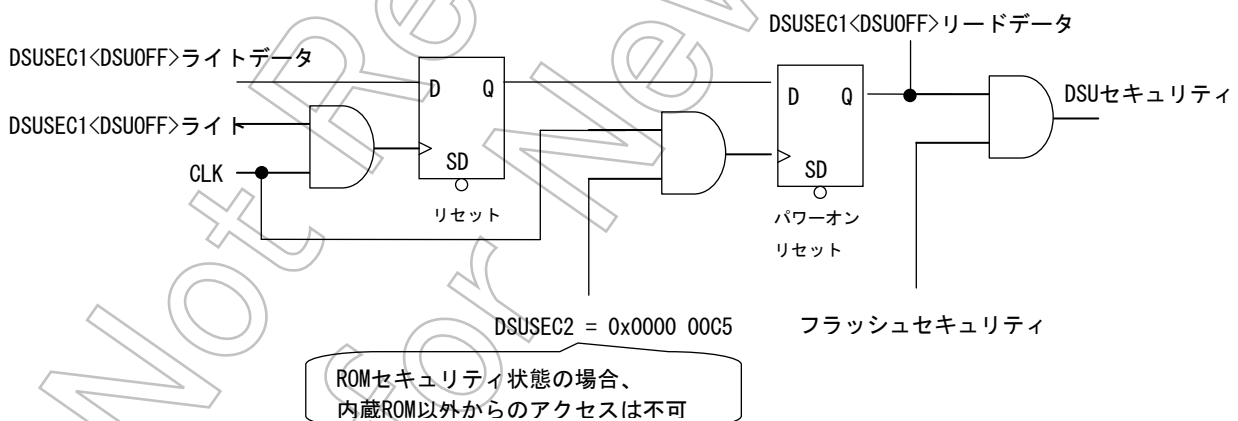
20.5.4 ROM セキュリティレジスタ : ROMSEC1<RSECON>

ROM セキュリティレジスタはパワーオンリセット回路を備えています。ROMSEC1<RSECON>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を下記に示します。



20.5.5 DSU セキュリティモードレジスタ : DSUSEC1<DSUOFF>

DSU セキュリティモードレジスタはパワーオンリセット回路を備えています。DSUSEC1<DSUOFF>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を下記に示します。



21. 特殊機能レジスタ一覧表

FFFFE000H~FFFFFFFFH の 8K バイトのアドレス空間に割り付けられています。

- [1] ポート関連
- [2] ウォッチドッグタイマ
- [3] 16 ビットタイマ
- [4] I²CBUS/シリアル チャネル
- [5] UART/シリアル チャネル
- [6] 10 ビット A/D コンバータ
- [7] キーオンウェイクアップ
- [8] 32 ビットインプットキャプチャ
- [9] 32 ビットコンペア
- [10] 割り込みコントローラ
- [11] DMA コントローラ
- [12] チップセレクト/ウェイトコントローラ
- [13] アクセス制御
- [14] セキュリティー制御
- [15] FLASH 制御
- [16] ROM コレクション
- [17] 時計用タイマ
- [18] クロックジェネレータ

(注) 0xFFFF_F000~0xFFFF_FFFF は リトルエンディアン
0xFFFF_E000~0xFFFF_EFFF は バイエンディアン のエリアになります。

(注) レジスタ長が 8 ビットの連続するレジスタは 16/32 ビットでアクセスすることが可能です。但し、16/32 ビットでアクセスする場合は、偶数アドレスへアクセスし且つ未定義領域(アドレス)を含まないようにして下さい。

リトルエンディアン

[1] PORT 関連

ADR	レジスタ名
FFFFF00H	P0
1H	P1
2H	P0CR
3H	
4H	P1CR
5H	P1FC
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF01H	
1H	
2H	P2
3H	
4H	P2CR
5H	P2FC
6H	
7H	
8H	P3
9H	
AH	P3CR
BH	P3FC
CH	
DH	
EH	P4
FH	

ADR	レジスタ名
FFFFF02H	P4CR
1H	P4FC
2H	
3H	
4H	
5H	
6H	
7H	
8H	P5
9H	P6
AH	
BH	
CH	P5CR
DH	P5FC
EH	P6CR
FH	P6FC

ADR	レジスタ名
FFFFF04H	P7
1H	P8
2H	P9
3H	PA
4H	
5H	
6H	
7H	PACR
8H	P7FC
9H	P8FC
AH	P9FC
BH	PAFC
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF05H	PB
1H	PC
2H	PD
3H	PE
4H	PBCR
5H	PCCR
6H	PDCR
7H	PECR
8H	PBFC
9H	PCFC
AH	PDFC
BH	PEFC
CH	
DH	PCODE
EH	PDODE
FH	PEODE

ADR	レジスタ名
FFFFF06H	PF
1H	PG
2H	PH
3H	PI
4H	PFCR
5H	PGCR
6H	PHCR
7H	PICR
8H	PFFC
9H	PGFC
AH	PHFC
BH	PIFC
CH	PFODE
DH	
EH	
FH	

ADR	レジスタ名
FFFFF07H	PJ
1H	PK
2H	
3H	
4H	PJCR
5H	PKCR
6H	
7H	
8H	PJFC
9H	PKFC
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0C0H	PL
1H	PM
2H	PN
3H	PO
4H	PLCR
5H	PMCR
6H	PNCR
7H	POCR
8H	
9H	
AH	
BH	POFC
CH	
DH	
EH	
FH	POODE

ADR	レジスタ名
FFFFF0D0H	PP
1H	PQ
2H	
3H	
4H	PPCR
5H	PQCR
6H	
7H	
8H	PPFC
9H	
AH	
BH	
CH	PPFC2
DH	PQFC2
EH	
FH	

リトルエンディアン

[2] WDT

ADR	レジスタ名
FFFFF090H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[3] 16bit タイマ

ADR	レジスタ名
FFFFF140H	TBORUN
1H	TB0CR
2H	TB0MOD
3H	TB0FFCR
4H	TB0ST
5H	
6H	TB0UCL
7H	TB0UCH
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

ADR	レジスタ名
FFFFF150H	TB1RUN
1H	TB1CR
2H	TB1MOD
3H	TB1FFCR
4H	TB1ST
5H	
6H	TB1UCL
7H	TB1UCH
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

ADR	レジスタ名
FFFFF160H	TB2RUN
1H	TB2CR
2H	TB2MOD
3H	TB2FFCR
4H	TB2ST
5H	
6H	TB2UCL
7H	TB2UCH
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

ADR	レジスタ名
FFFFF170H	TB3RUN
1H	TB3CR
2H	TB3MOD
3H	TB3FFCR
4H	TB3ST
5H	
6H	TB3UCL
7H	TB3UCH
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

ADR	レジスタ名
FFFFF180H	TB4RUN
1H	TB4CR
2H	TB4MOD
3H	TB4FFCR
4H	TB4ST
5H	
6H	TB4UCL
7H	TB4UCH
8H	TB4RG0L
9H	TB4RG0H
AH	TB4RG1L
BH	TB4RG1H
CH	TB4CP0L
DH	TB4CP0H
EH	TB4CP1L
FH	TB4CP1H

ADR	レジスタ名
FFFFF190H	TB5RUN
1H	TB5CR
2H	TB5MOD
3H	TB5FFCR
4H	TB5ST
5H	
6H	TB5UCL
7H	TB5UCH
8H	TB5RG0L
9H	TB5RG0H
AH	TB5RG1L
BH	TB5RG1H
CH	TB5CP0L
DH	TB5CP0H
EH	TB5CP1L
FH	TB5CP1H

ADR	レジスタ名
FFFFF1A0H	TB6RUN
1H	TB6CR
2H	TB6MOD
3H	TB6FFCR
4H	TB6ST
5H	
6H	TB6UCL
7H	TB6UCH
8H	TB6RG0L
9H	TB6RG0H
AH	TB6RG1L
BH	TB6RG1H
CH	TB6CP0L
DH	TB6CP0H
EH	TB6CP1L
FH	TB6CP1H

ADR	レジスタ名
FFFFF1B0H	TB7RUN
1H	TB7CR
2H	TB7MOD
3H	TB7FFCR
4H	TB7ST
5H	
6H	TB7UCL
7H	TB7UCH
8H	TB7RG0L
9H	TB7RG0H
AH	TB7RG1L
BH	TB7RG1H
CH	TB7CP0L
DH	TB7CP0H
EH	TB7CP1L
FH	TB7CP1H

リトルエンディアン

ADR	レジスタ名
FFFFF1C0H	TB8RUN
1H	TB8CR
2H	TB8MOD
3H	TB8FFCR
4H	TB8ST
5H	
6H	TB8UCL
7H	TB8UCH
8H	TB8RGOL
9H	TB8RG0H
AH	TB8RG1L
BH	TB8RG1H
CH	TB8CPOL
DH	TB8CPOH
EH	TB8CP1L
FH	TB8CP1H

ADR	レジスタ名
FFFFF1D0H	TB9RUN
1H	TB9CR
2H	TB9MOD
3H	TB9FFCR
4H	TB9ST
5H	
6H	TB9UCL
7H	TB9UCH
8H	TB9RGOL
9H	TB9RG0H
AH	TB9RG1L
BH	TB9RG1H
CH	TB9CPOL
DH	TB9CPOH
EH	TB9CP1L
FH	TB9CP1H

ADR	レジスタ名
FFFFF1E0H	TBARUN
1H	TBACR
2H	TBAMOD
3H	TBAFFCR
4H	TBAST
5H	
6H	TBAUCL
7H	TBAUCH
8H	TBARGOL
9H	TBARG0H
AH	TBARG1L
BH	TBARG1H
CH	TBACPOL
DH	TBACPOH
EH	TBACP1L
FH	TBACP1H

[4] I2C/SIO

ADR	レジスタ名
FFFFF250H	SB1CR1
1H	SB1DBR
2H	I2CAR
3H	SB1CR2/SR
4H	SB1BRO
5H	
6H	
7H	SB1CRO
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] UART/SIO

ADR	レジスタ名
FFFFF260H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	SC0MOD2
7H	SC0EN
8H	SC0RFC
9H	SC0TFC
AH	SC0RST
BH	SC0TST
CH	SC0FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF270H	SC1BUF
1H	SC1CR
2H	SC1MOD0
3H	BR1CR
4H	BR1ADD
5H	SC1MOD1
6H	SC1MOD2
7H	SC1EN
8H	SC1RFC
9H	SC1TFC
AH	SC1RST
BH	SC1TST
CH	SC1FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF280H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	SC2MOD2
7H	SC2EN
8H	SC2RFC
9H	SC2TFC
AH	SC2RST
BH	SC2TST
CH	SC2FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF290H	SC3BUF
1H	SC3CR
2H	SC3MOD0
3H	BR3CR
4H	BR3ADD
5H	SC3MOD1
6H	SC3MOD2
7H	SC3EN
8H	SC3RFC
9H	SC3TFC
AH	SC3RST
BH	SC3TST
CH	SC3FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2A0H	SC4BUF
1H	SC4CR
2H	SC4MOD0
3H	BR4CR
4H	BR4ADD
5H	SC4MOD1
6H	SC4MOD2
7H	SC4EN
8H	SC4RFC
9H	SC4TFC
AH	SC4RST
BH	SC4TST
CH	SC4FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2B0H	SC5BUF
1H	SC5CR
2H	SC5MOD0
3H	BR5CR
4H	BR5ADD
5H	SC5MOD1
6H	SC5MOD2
7H	SC5EN
8H	SC5RFC
9H	SC5TFC
AH	SC5RST
BH	SC5TST
CH	SC5FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2C0H	SC6BUF
1H	SC6CR
2H	SC6MOD0
3H	BR6CR
4H	BR6ADD
5H	SC6MOD1
6H	SC6MOD2
7H	SC6EN
8H	SC6RFC
9H	SC6TFC
AH	SC6RST
BH	SC6TST
CH	SC6FCNF
DH	
EH	
FH	

リトルエンディアン

[6] 10bitADC

ADR	レジスタ名
FFFFF300H	ADREG08L
1H	ADREG08H
2H	ADREG19L
3H	ADREG19H
4H	ADREG2AL
5H	ADREG2AH
6H	ADREG3BL
7H	ADREG3BH
8H	ADREG4CL
9H	ADREG4CH
AH	ADREG5DL
BH	ADREG5DH
CH	ADREG6EL
DH	ADREG6EH
EH	ADREG7FL
FH	ADREG7FH

ADR	レジスタ名
FFFFF310H	ADREGSPL
1H	ADREGSPH
2H	ADCOMREGL
3H	ADCOMREGH
4H	ADMOD0
5H	ADMOD1
6H	ADMOD2
7H	ADMOD3
8H	ADMOD4
9H	
AH	
BH	
CH	ADCLK
DH	
EH	
FH	

[7] KWUP

ADR	レジスタ名
FFFFF360H	KWUPST0
1H	KWUPST1
2H	KWUPST2
3H	KWUPST3
4H	KWUPST4
5H	KWUPST5
6H	KWUPST6
7H	KWUPST7
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF370H	KWUPST
1H	KUPPUP
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[8] 32bit インプットキャプチャ

ADR	レジスタ名
FFFFF400H	TCCR
1H	TBTRUN
2H	TBTCR
3H	
4H	TBTCAP0
5H	TBTCAP1
6H	TBTCAP2
7H	TBTCAP3
8H	TBTRDCAP0
9H	TBTRDCAP1
AH	TBTRDCAP2
BH	TBTRDCAP3
CH	TCCGIM
DH	TCCGST
EH	
FH	

ADR	レジスタ名
FFFFF410H	CAP0CR
1H	
2H	
3H	
4H	TCCAP0LL
5H	TCCAP0LH
6H	TCCAP0HL
7H	TCCAP0HH
8H	CAP1CR
9H	
AH	
BH	
CH	TCCAP1LL
DH	TCCAP1LH
EH	TCCAP1HL
FH	TCCAP1HH

ADR	レジスタ名
FFFFF420H	CAP2CR
1H	
2H	
3H	
4H	TCCAP2LL
5H	TCCAP2LH
6H	TCCAP2HL
7H	TCCAP2HH
8H	CAP3CR
9H	
AH	
BH	
CH	TCCAP3LL
DH	TCCAP3LH
EH	TCCAP3HL
FH	TCCAP3HH

[9] 32bit アウトプットコンペア

ADR	レジスタ名
FFFFF440H	TCCMP0LL
1H	TCCMP0LH
2H	TCCMP0HL
3H	TCCMP0HH
4H	TCCMP1LL
5H	TCCMP1LH
6H	TCCMP1HL
7H	TCCMP1HH
8H	TCCMP2LL
9H	TCCMP2LH
AH	TCCMP2HL
BH	TCCMP2HH
CH	TCCMP3LL
DH	TCCMP3LH
EH	TCCMP3HL
FH	TCCMP3HH

ADR	レジスタ名
FFFFF450H	TCCMP4LL
1H	TCCMP4LH
2H	TCCMP4HL
3H	TCCMP4HH
4H	TCCMP5LL
5H	TCCMP5LH
6H	TCCMP5HL
7H	TCCMP5HH
8H	TCCMP6LL
9H	TCCMP6LH
AH	TCCMP6HL
BH	TCCMP6HH
CH	TCCMP7LL
DH	TCCMP7LH
EH	TCCMP7HL
FH	TCCMP7HH

ADR	レジスタ名
FFFFF460H	TCCMP8LL
1H	TCCMP8LH
2H	TCCMP8HL
3H	TCCMP8HH
4H	TCCMP9LL
5H	TCCMP9LH
6H	TCCMP9HL
7H	TCCMP9HH
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF470H	CMPCTL0
1H	CMPCTL1
2H	CMPCTL2
3H	CMPCTL3
4H	CMPCTL4
5H	CMPCTL5
6H	CMPCTL6
7H	CMPCTL7
8H	CMPCTL8
9H	CMPCTL9
AH	
BH	
CH	
DH	
EH	
FH	

リトルエンディアン

[10] INTG

ADR	レジスタ名
FFFFE00H	IMC0
1H	"
2H	"
3H	"
4H	IMC1
5H	"
6H	"
7H	"
8H	IMC2
9H	"
AH	"
BH	"
CH	IMC3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE010H	IMC4
1H	"
2H	"
3H	"
4H	IMC5
5H	"
6H	"
7H	"
8H	IMC6
9H	"
AH	"
BH	"
CH	IMC7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE020H	IMC8
1H	"
2H	"
3H	"
4H	IMC9
5H	"
6H	"
7H	"
8H	IMCA
9H	"
AH	"
BH	"
CH	IMCB
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE030H	IMCC
1H	"
2H	"
3H	"
4H	IMCD
5H	"
6H	"
7H	"
8H	IMCE
9H	"
AH	"
BH	"
CH	IMCF
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE040H	IVR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE060H	INTCLR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE100H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	I LEV
DH	"
EH	"
FH	"

リトルエンディアン

[11] DMAC

ADR	レジスタ名
FFFE200H	CCR0
1H	"
2H	"
3H	"
4H	CSR0
5H	"
6H	"
7H	"
8H	SAR0
9H	"
AH	"
BH	"
CH	DAR0
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE210H	BCR0
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR0
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE220H	CCR1
1H	"
2H	"
3H	"
4H	CSR1
5H	"
6H	"
7H	"
8H	SAR1
9H	"
AH	"
BH	"
CH	DAR1
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE230H	BCR1
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE240H	CCR2
1H	"
2H	"
3H	"
4H	CSR2
5H	"
6H	"
7H	"
8H	SAR2
9H	"
AH	"
BH	"
CH	DAR2
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE250H	BCR2
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR2
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE260H	CCR3
1H	"
2H	"
3H	"
4H	CSR3
5H	"
6H	"
7H	"
8H	SAR3
9H	"
AH	"
BH	"
CH	DAR3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE270H	BCR3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR3
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE280H	CCR4
1H	"
2H	"
3H	"
4H	CSR4
5H	"
6H	"
7H	"
8H	SAR4
9H	"
AH	"
BH	"
CH	DAR4
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE290H	BCR4
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR4
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE2A0H	CCR5
1H	"
2H	"
3H	"
4H	CSR5
5H	"
6H	"
7H	"
8H	SAR5
9H	"
AH	"
BH	"
CH	DAR5
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE2B0H	BCR5
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

リトルエンディアン

ADR	レジスタ名
FFFFE2C0H	CCR6
1H	"
2H	"
3H	"
4H	CSR6
5H	"
6H	"
7H	"
8H	SAR6
9H	"
AH	"
BH	"
CH	DAR6
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2D0H	BCR6
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR6
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2E0H	CCR7
1H	"
2H	"
3H	"
4H	CSR7
5H	"
6H	"
7H	"
8H	SAR7
9H	"
AH	"
BH	"
CH	DAR7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2F0H	BCR7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR7
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

リトルエンディアン

[12] CS/WAIT コントローラ

ADR	レジスタ名
FFFFE400H	BMA0
1H	"
2H	"
3H	"
4H	BMA1
5H	"
6H	"
7H	"
8H	BMA2
9H	"
AH	"
BH	"
CH	BMA3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE410H	BMA4
1H	"
2H	"
3H	"
4H	BMA5
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE480H	B01CS
1H	"
2H	"
3H	"
4H	B23CS
5H	"
6H	"
7H	"
8H	B45CS
9H	"
AH	"
BH	"
CH	BEXCS
DH	"
EH	"
FH	"

[13] アクセス制御

ADR	レジスタ名
FFFFE500H	PFBWAIT
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[14] セキュリティ制御

ADR	レジスタ名
FFFFE510H	DSUSEC1
1H	"
2H	"
3H	"
4H	DSUSEC2
5H	"
6H	"
7H	"
8H	ROMSEC1
9H	
AH	
BH	
CH	ROMSEC2
DH	
EH	
FH	

[15] FLASH 制御

ADR	レジスタ名
FFFFE520H	FLCS
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[16] ROM コレクション

ADR	レジスタ名
FFFFE540H	ADDREG0
1H	"
2H	"
3H	"
4H	ADDREG1
5H	"
6H	"
7H	"
8H	ADDREG2
9H	"
AH	"
BH	"
CH	ADDREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE550H	ADDREG4
1H	"
2H	"
3H	"
4H	ADDREG5
5H	"
6H	"
7H	"
8H	ADDREG6
9H	"
AH	"
BH	"
CH	ADDREG7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE560H	ADDREG8
1H	"
2H	"
3H	"
4H	ADDREG9
5H	"
6H	"
7H	"
8H	ADDREGA
9H	"
AH	"
BH	"
CH	ADDREGB
DH	"
EH	"
FH	"

リトルエンディアン

[17] 時計用タイマ

ADR	レジスタ名
FFFE700H	RTCFLG
1H	"
2H	"
3H	"
4H	RTCCR
5H	"
6H	"
7H	"
8H	RTCREG
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE710H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[18] CG

ADR	レジスタ名
FFFFE00H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	SYSCR3
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE10H	IMCGA
1H	"
2H	"
3H	"
4H	IMCGB
5H	"
6H	"
7H	"
8H	IMCGC
9H	"
AH	"
BH	"
CH	IMCGD
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE20H	E1CRGG
1H	"
2H	"
3H	"
4H	NMIFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ビクエンディアン

[1] PORT 関連

ADR	レジスタ名
FFFFF00H	P0
1H	P1
2H	P0CR
3H	
4H	P1CR
5H	P1FC
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF01H	
1H	
2H	P2
3H	
4H	P2CR
5H	P2FC
6H	
7H	
8H	P3
9H	
AH	P3CR
BH	P3FC
CH	
DH	
EH	P4
FH	

ADR	レジスタ名
FFFFF02H	P4CR
1H	P4FC
2H	
3H	
4H	
5H	
6H	
7H	
8H	P5
9H	P6
AH	
BH	
CH	P5CR
DH	P5FC
EH	P6CR
FH	P6FC

ADR	レジスタ名
FFFFF04H	P7
1H	P8
2H	P9
3H	PA
4H	
5H	
6H	
7H	PACR
8H	P7FC
9H	P8FC
AH	P9FC
BH	PAFC
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF05H	PB
1H	PC
2H	PD
3H	PE
4H	PBCR
5H	PCCR
6H	PDCR
7H	PECR
8H	PBFC
9H	PCFC
AH	PDFC
BH	PEFC
CH	
DH	PCODE
EH	PDODE
FH	PEODE

ADR	レジスタ名
FFFFF06H	PF
1H	PG
2H	PH
3H	PI
4H	PFCR
5H	PGCR
6H	PHCR
7H	PICR
8H	PFFC
9H	PGFC
AH	PHFC
BH	PIFC
CH	PFODE
DH	
EH	
FH	

ADR	レジスタ名
FFFFF07H	PJ
1H	PK
2H	
3H	
4H	PJCR
5H	PKCR
6H	
7H	
8H	PJFC
9H	PKFC
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0C0H	PL
1H	PM
2H	PN
3H	PO
4H	PLCR
5H	PMCR
6H	PNCR
7H	POCR
8H	
9H	
AH	
BH	POFC
CH	
DH	
EH	
FH	POODE

ADR	レジスタ名
FFFFF0D0H	PP
1H	PQ
2H	
3H	
4H	PPCR
5H	PQCR
6H	
7H	
8H	PPFC
9H	
AH	
BH	
CH	PPFC2
DH	PQFC2
EH	
FH	

ビッグエンディアン

[2] WDT

ADR	レジスタ名
FFFFF090H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[3] 16bit タイマ

ADR	レジスタ名
FFFFF140H	TBORUN
1H	TBOCR
2H	TBOMOD
3H	TBOFFCR
4H	TBOST
5H	
6H	TBOUCL
7H	TBOUCH
8H	TBORG0L
9H	TBORG0H
AH	TBORG1L
BH	TBORG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

ADR	レジスタ名
FFFFF150H	TB1RUN
1H	TB1CR
2H	TB1MOD
3H	TB1FFCR
4H	TB1ST
5H	
6H	TB1UCL
7H	TB1UCH
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

ADR	レジスタ名
FFFFF160H	TB2RUN
1H	TB2CR
2H	TB2MOD
3H	TB2FFCR
4H	TB2ST
5H	
6H	TB2UCL
7H	TB2UCH
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

ADR	レジスタ名
FFFFF170H	TB3RUN
1H	TB3CR
2H	TB3MOD
3H	TB3FFCR
4H	TB3ST
5H	
6H	TB3UCL
7H	TB3UCH
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

ADR	レジスタ名
FFFFF180H	TB4RUN
1H	TB4CR
2H	TB4MOD
3H	TB4FFCR
4H	TB4ST
5H	
6H	TB4UCL
7H	TB4UCH
8H	TB4RG0L
9H	TB4RG0H
AH	TB4RG1L
BH	TB4RG1H
CH	TB4CP0L
DH	TB4CP0H
EH	TB4CP1L
FH	TB4CP1H

ADR	レジスタ名
FFFFF190H	TB5RUN
1H	TB5CR
2H	TB5MOD
3H	TB5FFCR
4H	TB5ST
5H	
6H	TB5UCL
7H	TB5UCH
8H	TB5RG0L
9H	TB5RG0H
AH	TB5RG1L
BH	TB5RG1H
CH	TB5CP0L
DH	TB5CP0H
EH	TB5CP1L
FH	TB5CP1H

ADR	レジスタ名
FFFFF1A0H	TB6RUN
1H	TB6CR
2H	TB6MOD
3H	TB6FFCR
4H	TB6ST
5H	
6H	TB6UCL
7H	TB6UCH
8H	TB6RG0L
9H	TB6RG0H
AH	TB6RG1L
BH	TB6RG1H
CH	TB6CP0L
DH	TB6CP0H
EH	TB6CP1L
FH	TB6CP1H

ADR	レジスタ名
FFFFF1B0H	TB7RUN
1H	TB7CR
2H	TB7MOD
3H	TB7FFCR
4H	TB7ST
5H	
6H	TB7UCL
7H	TB7UCH
8H	TB7RG0L
9H	TB7RG0H
AH	TB7RG1L
BH	TB7RG1H
CH	TB7CP0L
DH	TB7CP0H
EH	TB7CP1L
FH	TB7CP1H

ビクエンディアン

ADR	レジスタ名
FFFFF10H	TB8RUN
1H	TB8CR
2H	TB8MOD
3H	TB8FFCR
4H	TB8ST
5H	
6H	TB8UCL
7H	TB8UCH
8H	TB8RGOL
9H	TB8RGOH
AH	TB8RG1L
BH	TB8RG1H
CH	TB8CPOL
DH	TB8CPOH
EH	TB8CP1L
FH	TB8CP1H

ADR	レジスタ名
FFFFF1D0H	TB9RUN
1H	TB9CR
2H	TB9MOD
3H	TB9FFCR
4H	TB9ST
5H	
6H	TB9UCL
7H	TB9UCH
8H	TB9RGOL
9H	TB9RGOH
AH	TB9RG1L
BH	TB9RG1H
CH	TB9CPOL
DH	TB9CPOH
EH	TB9CP1L
FH	TB9CP1H

ADR	レジスタ名
FFFFF1E0H	TBARUN
1H	TBACR
2H	TBAMOD
3H	TBAFFCR
4H	TBAST
5H	
6H	TBAUCL
7H	TBAUCH
8H	TBARGOL
9H	TBARGOH
AH	TBARG1L
BH	TBARG1H
CH	TBACPOL
DH	TBACPOH
EH	TBACP1L
FH	TBACP1H

[4] I2C/SIO

ADR	レジスタ名
FFFFF250H	SB1CR1
1H	SB1DBR
2H	I2CAR
3H	SB1CR2/SR
4H	SB1BRO
5H	
6H	
7H	SB1CRO
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] UART/SIO

ADR	レジスタ名
FFFFF260H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	SC0MOD2
7H	SC0EN
8H	SC0RFC
9H	SC0TFC
AH	SC0RST
BH	SC0TST
CH	SC0FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF270H	SC1BUF
1H	SC1CR
2H	SC1MOD0
3H	BR1CR
4H	BR1ADD
5H	SC1MOD1
6H	SC1MOD2
7H	SC1EN
8H	SC1RFC
9H	SC1TFC
AH	SC1RST
BH	SC1TST
CH	SC1FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF280H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	SC2MOD2
7H	SC2EN
8H	SC2RFC
9H	SC2TFC
AH	SC2RST
BH	SC2TST
CH	SC2FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF290H	SC3BUF
1H	SC3CR
2H	SC3MOD0
3H	BR3CR
4H	BR3ADD
5H	SC3MOD1
6H	SC3MOD2
7H	SC3EN
8H	SC3RFC
9H	SC3TFC
AH	SC3RST
BH	SC3TST
CH	SC3FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2A0H	SC4BUF
1H	SC4CR
2H	SC4MOD0
3H	BR4CR
4H	BR4ADD
5H	SC4MOD1
6H	SC4MOD2
7H	SC4EN
8H	SC4RFC
9H	SC4TFC
AH	SC4RST
BH	SC4TST
CH	SC4FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2B0H	SC5BUF
1H	SC5CR
2H	SC5MOD0
3H	BR5CR
4H	BR5ADD
5H	SC5MOD1
6H	SC5MOD2
7H	SC5EN
8H	SC5RFC
9H	SC5TFC
AH	SC5RST
BH	SC5TST
CH	SC5FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2C0H	SC6BUF
1H	SC6CR
2H	SC6MOD0
3H	BR6CR
4H	BR6ADD
5H	SC6MOD1
6H	SC6MOD2
7H	SC6EN
8H	SC6RFC
9H	SC6TFC
AH	SC6RST
BH	SC6TST
CH	SC6FCNF
DH	
EH	
FH	

ビックエンディアン

[6] 10bitADC

ADR	レジスタ名
FFFFF300H	ADREG08L
1H	ADREG08H
2H	ADREG19L
3H	ADREG19H
4H	ADREG2AL
5H	ADREG2AH
6H	ADREG3BL
7H	ADREG3BH
8H	ADREG4CL
9H	ADREG4CH
AH	ADREG5DL
BH	ADREG5DH
CH	ADREG6EL
DH	ADREG6EH
EH	ADREG7FL
FH	ADREG7FH

[7] KWUP

ADR	レジスタ名
FFFFF310H	ADREGSPL
1H	ADREGSPH
2H	ADCOMREGL
3H	ADCOMREGH
4H	ADMOD0
5H	ADMOD1
6H	ADMOD2
7H	ADMOD3
8H	ADMOD4
9H	
AH	
BH	
CH	ADCLK
DH	
EH	
FH	

ADR	レジスタ名
FFFFF360H	KWUPST0
1H	KWUPST1
2H	KWUPST2
3H	KWUPST3
4H	KWUPST4
5H	KWUPST5
6H	KWUPST6
7H	KWUPST7
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF370H	KWUPST
1H	KUPPUP
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[8] 32bit インプットキャプチャ

ADR	レジスタ名
FFFFF400H	TCCR
1H	TBTRUN
2H	TBTCR
3H	
4H	TBTCAP0
5H	TBTCAP1
6H	TBTCAP2
7H	TBTCAP3
8H	TBTRDCAP0
9H	TBTRDCAP1
AH	TBTRDCAP2
BH	TBTRDCAP3
CH	TCGIM
DH	TCGST
EH	
FH	

ADR	レジスタ名
FFFFF410H	CAP0CR
1H	
2H	
3H	
4H	TCCAP0LL
5H	TCCAP0LH
6H	TCCAP0HL
7H	TCCAP0HH
8H	CAP1CR
9H	
AH	
BH	
CH	TCCAP1LL
DH	TCCAP1LH
EH	TCCAP1HL
FH	TCCAP1HH

ADR	レジスタ名
FFFFF420H	CAP2CR
1H	
2H	
3H	
4H	TCCAP2LL
5H	TCCAP2LH
6H	TCCAP2HL
7H	TCCAP2HH
8H	CAP3CR
9H	
AH	
BH	
CH	TCCAP3LL
DH	TCCAP3LH
EH	TCCAP3HL
FH	TCCAP3HH

[9] 32bit アウトプットコンペア

ADR	レジスタ名
FFFFF440H	TCCMP0LL
1H	TCCMP0LH
2H	TCCMP0HL
3H	TCCMP0HH
4H	TCCMP1LL
5H	TCCMP1LH
6H	TCCMP1HL
7H	TCCMP1HH
8H	TCCMP2LL
9H	TCCMP2LH
AH	TCCMP2HL
BH	TCCMP2HH
CH	TCCMP3LL
DH	TCCMP3LH
EH	TCCMP3HL
FH	TCCMP3HH

ADR	レジスタ名
FFFFF450H	TCCMP4LL
1H	TCCMP4LH
2H	TCCMP4HL
3H	TCCMP4HH
4H	TCCMP5LL
5H	TCCMP5LH
6H	TCCMP5HL
7H	TCCMP5HH
8H	TCCMP6LL
9H	TCCMP6LH
AH	TCCMP6HL
BH	TCCMP6HH
CH	TCCMP7LL
DH	TCCMP7LH
EH	TCCMP7HL
FH	TCCMP7HH

ADR	レジスタ名
FFFFF460H	TCCMP8LL
1H	TCCMP8LH
2H	TCCMP8HL
3H	TCCMP8HH
4H	TCCMP9LL
5H	TCCMP9LH
6H	TCCMP9HL
7H	TCCMP9HH
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF470H	CMPCTL0
1H	CMPCTL1
2H	CMPCTL2
3H	CMPCTL3
4H	CMPCTL4
5H	CMPCTL5
6H	CMPCTL6
7H	CMPCTL7
8H	CMPCTL8
9H	CMPCTL9
AH	
BH	
CH	
DH	
EH	
FH	

ビックエンディアン

[10] INTG

ADR	レジスタ名
FFFFE000H	IMC0
1H	"
2H	"
3H	"
4H	IMC1
5H	"
6H	"
7H	"
8H	IMC2
9H	"
AH	"
BH	"
CH	IMC3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE010H	IMC4
1H	"
2H	"
3H	"
4H	IMC5
5H	"
6H	"
7H	"
8H	IMC6
9H	"
AH	"
BH	"
CH	IMC7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE020H	IMC8
1H	"
2H	"
3H	"
4H	IMC9
5H	"
6H	"
7H	"
8H	IMCA
9H	"
AH	"
BH	"
CH	IMCB
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE030H	IMCC
1H	"
2H	"
3H	"
4H	IMCD
5H	"
6H	"
7H	"
8H	IMCE
9H	"
AH	"
BH	"
CH	IMCF
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE040H	IVR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE060H	INTCLR
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE100H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	I LEV
DH	"
EH	"
FH	"

ビックエンディアン

[11] DMAC

ADR	レジスタ名
FFFE200H	CCR0
1H	"
2H	"
3H	"
4H	CSR0
5H	"
6H	"
7H	"
8H	SAR0
9H	"
AH	"
BH	"
CH	DAR0
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE210H	BCR0
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR0
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE220H	CCR1
1H	"
2H	"
3H	"
4H	CSR1
5H	"
6H	"
7H	"
8H	SAR1
9H	"
AH	"
BH	"
CH	DAR1
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE230H	BCR1
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE240H	CCR2
1H	"
2H	"
3H	"
4H	CSR2
5H	"
6H	"
7H	"
8H	SAR2
9H	"
AH	"
BH	"
CH	DAR2
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE250H	BCR2
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR2
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE260H	CCR3
1H	"
2H	"
3H	"
4H	CSR3
5H	"
6H	"
7H	"
8H	SAR3
9H	"
AH	"
BH	"
CH	DAR3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE270H	BCR3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR3
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE280H	CCR4
1H	"
2H	"
3H	"
4H	CSR4
5H	"
6H	"
7H	"
8H	SAR4
9H	"
AH	"
BH	"
CH	DAR4
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE290H	BCR4
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR4
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE2A0H	CCR5
1H	"
2H	"
3H	"
4H	CSR5
5H	"
6H	"
7H	"
8H	SAR5
9H	"
AH	"
BH	"
CH	DAR5
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE2B0H	BCR5
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ビックエンディアン

ADR	レジスタ名
FFFE2C0H	CCR6
1H	"
2H	"
3H	"
4H	CSR6
5H	"
6H	"
7H	"
8H	SAR6
9H	"
AH	"
BH	"
CH	DAR6
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE2D0H	BCR6
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR6
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE2E0H	CCR7
1H	"
2H	"
3H	"
4H	CSR7
5H	"
6H	"
7H	"
8H	SAR7
9H	"
AH	"
BH	"
CH	DAR7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE2F0H	BCR7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR7
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

ビックエンディアン

[12] CS/WAIT コントローラ

ADR	レジスタ名
FFFFE400H	BMA0
1H	"
2H	"
3H	"
4H	BMA1
5H	"
6H	"
7H	"
8H	BMA2
9H	"
AH	"
BH	"
CH	BMA3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE410H	BMA4
1H	"
2H	"
3H	"
4H	BMA5
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE480H	B01CS
1H	"
2H	"
3H	"
4H	B23CS
5H	"
6H	"
7H	"
8H	B45CS
9H	"
AH	"
BH	"
CH	BEXCS
DH	"
EH	"
FH	"

[13] アクセス制御

ADR	レジスタ名
FFFFE500H	
1H	
2H	
3H	PFBWAIT
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[14] セキュリティ制御

ADR	レジスタ名
FFFFE510H	DSUSEC1
1H	"
2H	"
3H	"
4H	DSUSEC2
5H	"
6H	"
7H	"
8H	ROMSEC1
9H	
AH	
BH	
CH	ROMSEC2
DH	
EH	
FH	

[15] FLASH 制御

ADR	レジスタ名
FFFFE520H	FLCS
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[16] ROM コレクション

ADR	レジスタ名
FFFFE540H	ADDREG0
1H	"
2H	"
3H	"
4H	ADDREG1
5H	"
6H	"
7H	"
8H	ADDREG2
9H	"
AH	"
BH	"
CH	ADDREG3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE550H	ADDREG4
1H	"
2H	"
3H	"
4H	ADDREG5
5H	"
6H	"
7H	"
8H	ADDREG6
9H	"
AH	"
BH	"
CH	ADDREG7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE560H	ADDREG8
1H	"
2H	"
3H	"
4H	ADDREG9
5H	"
6H	"
7H	"
8H	ADDREGA
9H	"
AH	"
BH	"
CH	ADDREGB
DH	"
EH	"
FH	"

ビクエンディアン

[17] 時計用タイマ

ADR	レジスタ名
FFFE700H	RTCFLG
1H	"
2H	"
3H	"
4H	RTCCR
5H	"
6H	"
7H	"
8H	RTCREG
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE710H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[18] CG

ADR	レジスタ名
FFFFE00H	SYSCR3
1H	SYSCR2
2H	SYSCR1
3H	SYSCR0
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE10H	IMCGA
1H	"
2H	"
3H	"
4H	IMCGB
5H	"
6H	"
7H	"
8H	IMCGC
9H	"
AH	"
BH	"
CH	IMCGD
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE20H	E1CRGG
1H	"
2H	"
3H	"
4H	NMIFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

22. 電気的特性

22.1 絶対最大定格

計算式に使用している“X”は、SYSCR1<SYSCK>で選択されたクロック f_{sys} の周期を示しますのでクロックギアや低速発振器を選択すると“X”の値が異なります。なお、例としての計算値はシステムクロックは高速 (f_c) (SYSCR1 <SYSCK> = “0”)、ギア選択が $1/f_c$ (SYSCR1 <GEAR (1 : 0)> = “00”) のときの値です。

項目		記号	定格	単位
電源電圧		V _{cc15} (内部)	- 0.3~3.0	V
		V _{cc3} (I/O)	- 0.3~3.9	
		AVCC (A/D)	- 0.3~3.9	
		BVCC	- 0.3~3.9	
		FVCC3	- 0.3~3.9	
入力電圧		V _{IN}	- 0.3~V _{cc} +0.3	V
低レベル 出力電流	1 端子	I _{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル 出力電流	1 端子	I _{OH}	-5	
	合計	ΣI_{OH}	50	
消費電力 (Ta = 85° C)		PD	600	mW
はんだ付け温度 (10s)		T _{SOLDER}	260	°C
保存温度		T _{STG}	-40~125	°C
動作温度	Flash W/E 時を除く	T _{OPR}	-20~85	°C
	Flash W/E 時		0~70	
書き替え回数		N _{EW}	100	cycle

V_{cc15}=DVCC15=CVCC15=FVCC15、V_{cc3}=DVCC3n (n=0~4)、AVCC=AVCC3m (m=1~2)

V_{ss}=DVSS*=AVSS*=CVSS=FVSS と定義します。

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格（電流、電圧、消費電力、温度）を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

22.2 DC 電気的特性 (1/4)

 $T_a = -20 \sim 85^\circ\text{C}$

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
電源電圧 CVCC15=DVCC15 CVSS=DVSS=0V		DVCC15	$f_{osc} = 8 \sim 13.5\text{MHz}$ $f_s = 30\text{kHz} \sim 34\text{kHz}$ $f_{sys} = 30\text{kHz} \sim 54\text{MHz}$ PLLOFF="1"	1.35		1.65	V
		BVCC	$f_{sys} = 16\text{kHz} \sim 54\text{MHz}$	1.8		3.3	
		DVCC3n (n=0~4)	$f_{sys} = 4 \sim 54\text{MHz}$	1.65		3.3	
低レベル入力電圧	P7~P9	V_{IL1}	$2.7\text{V} \leq AVCC32 \leq AVCC31 \leq 3.6\text{V}$	-0.3		0.3AVCC31 0.3AVCC32	V
	ノーマルポート	V_{IL2}	$1.65\text{V} \leq DVCC3n \leq 3.3\text{V}$ (n=0~4)			0.3DVCC3n	
			$1.8\text{V} \leq BVCC \leq 3.3\text{V}$			0.3BVCC	
	シュミット入力	V_{IL3}	$1.65\text{V} \leq DVCC3n \leq 3.3\text{V}$ (n=0~4)			0.2DVCC3n	
			$1.8\text{V} \leq BVCC \leq 3.3\text{V}$			0.2BVCC	
			$1.35\text{V} \leq DVCC15 \leq 1.65\text{V}$			0.1DVCC15	
	X1	V_{IL4}	$1.35\text{V} \leq CVCC15 \leq 1.65\text{V}$			0.1CVCC	
	XT1	V_{IL5}	$1.8\text{V} \leq BVCC \leq 3.3\text{V}$			0.1CVCC	

注) BVCC の動作電圧範囲は、ノーマル動作時 : 2.3V~3.3V、BACKUP モード時 : 1.8V~3.3V

$T_a = -20 \sim 85^\circ\text{C}$

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
高レベル入力電圧	P7~P9	V_{IH1}	$2.7V \leq AVCC32 \leq AVCC31 \leq 3.6V$	0.7AVCC31 0.7AVCC32		$DVCC3n+0.3$ $BVCC+0.3$ $DVCC15+0.2$ $CVCC+0.2$	V
	ノーマルポート	V_{IH2}	$1.65V \leq DVCC3n \leq 3.3V \quad (n=0 \sim 4)$	0.7DVCC3n 0.7BVCC			
			$1.8V \leq BVCC \leq 3.3V$				
	シュミット入力	V_{IH3}	$1.65V \leq DVCC3n \leq 3.3V \quad (n=0 \sim 4)$ $1.8V \leq BVCC \leq 3.3V$	0.8DVCC3n 0.8BVCC			
			$1.35V \leq DVCC15 \leq 1.65V$	0.9DVCC15			
	X1	V_{IH4}	$1.35V \leq CVCC \leq 1.65V$	0.9CVCC			
XT2	V_{IH4}	$1.8V \leq BVCC \leq 3.3V$	0.9BVCC				
低レベル出力電圧		V_{OL}	$I_{OL} = 2mA$ $DVCC3n \geq 2.7V$			0.4	V
			$I_{OL} = 500\mu A$ $DVCC3n < 2.7V$			$0.2DVCC3n \leq 0.4$	
高レベル出力電圧		V_{OH}	$I_{OH} = -2mA$ $DVCC3n \geq 2.7V$	2.4			
			$I_{OH} = -500\mu A$ $DVCC3n < 2.7V$	0.8DVCC3n			

- (1) Typ 値は特に指定のない限り $T_a=25^\circ\text{C}$ 、 $\text{DVCC15}=1.5\text{V}$ 、 $\text{BVCC}=3.0\text{V}$ 、 $\text{DVCC3n}=3.0\text{V}$ 、 $\text{AVCC3m}=3.3\text{V}$ の値です。

22.3 DC 電気的特性 (2/4)

 $T_a = -20 \sim 85^\circ\text{C}$

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
入力リーク電流	I_{LI}	$0.0 \leq V_{IN} \leq DVCC15$ $0.0 \leq V_{IN} \leq BVCC$ $0.0 \leq V_{IN} \leq DVCC3n$ ($n=0 \sim 4$) $0.0 \leq V_{IN} \leq AVCC31$ $0.0 \leq V_{IN} \leq AVCC32$		0.02	± 5	μA
出力リーク電流	I_{LO}	$0.2 \leq V_{IN} \leq DVCC15 - 0.2$ $0.2 \leq V_{IN} \leq BVCC - 0.2$ $0.2 \leq V_{IN} \leq DVCC3n - 0.2$ ($n=0 \sim 4$) $0.2 \leq V_{IN} \leq AVCC31 - 0.2$ $0.2 \leq V_{IN} \leq AVCC32 - 0.2$		0.05	± 10	μA
パワーダウン電圧 (@STOP, RAM バックアップ)	V_{STOP} (DVCC15)		1.35		1.65	V
	V_{STOP1} (BVCC)		1.8		3.3	
	V_{STOP2} (AVCC3)	$V_{IL1} = 0.3AVCC31, 32$ $V_{IH1} = 0.7AVCC31, 32$	2.7		3.6	
	V_{STOP3} (DVCC3)	$V_{IL2} = 0.3DVCC3n, V_{IL3} = 0.1DVCC3n$ $V_{IH2} = 0.7DVCC3n, V_{IH3} = 0.9DVCC3n$ ($n=0 \sim 4$)	1.65		3.3	
リセットブルアップ抵抗	RRST	$DVCC15 = 1.5V \pm 0.15V$	20	50	150	$k\Omega$
シュミット入力	VTH	$1.65V \leq DVCC3n \leq 3.3V$ ($n=0 \sim 4$) $1.8V \leq BVCC \leq 3.3V$ $1.35V \leq DVCC15 \leq 1.65V$	0.3	0.6		V
プログラマブル ブルアップ/ダウン抵抗	PKH	$DVCC3n = 1.65V \sim 3.3V$ ($n=0 \sim 4$) $DVCC15 = 1.35V \sim 1.65V$ $BVCC = 1.8V \sim 3.3V$	20	50	150	$k\Omega$
Pin 容量 (電源端子を除く)	$C_{I/O}$	$F_{cyc} = 1\text{MHz}$			10	pF

(1) Typ 値は特に指定のない限り $T_a = 25^\circ\text{C}$ 、 $DVCC15 = 1.5V$ 、 $BVCC = 3.0V$ 、 $DVCC3 = 3.0V$ 、 $AVCC3m = 3.3V$ の値です。

22.4 DC 電気的特性 (3/4)

DVCC15=CVCC15=FVCC15=1.5V±0.15V, FVCC3=DVCC3n=3.0V±0.3V, AVCC3m=3.0V±0.3V,
BVCC=1.8V~3.3V

Ta=−20~85°C (n=0~4, m=1, 2)

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL (注 2) ギア比 1/1	ICC	Fsys = 54 MHz (fosc = 13.5 MHz, PLLOFF="DVCC15")		50	60	mA
IDLE (Doze)				18	28	
IDLE (HaIt)				14	23	
SLOW				300	970	μA
SLEEP				100	950	μA
STOP		DVCC15 = FVCC15 = CVCC15 = 1.35~1.65V BVCC = 1.8~3.3V DVCC3n = 1.65~3.3V AVCC3m = 2.7~3.6V FVCC3 = 2.7~3.6V		90	900	μA
BACKUP		BVCC = 1.8~2.5V		3	5	μA

(注1) Typ 値は、特に指定のない限り Ta=25°C、DVCC15=1.5V、BVCC=3.0V、DVCC3n=3.0V、
AVCC3m=3.3V の値です。

(注2) ICC NORMAL の測定条件 : CPU ドライストン実行、内蔵周辺 I/O 全て動作
外部バス 16 ビット幅 4 システムクロックで動作

(注3) ICC には DVCC15、BVCC、DVCC3n、CVCC15、AVCC3m に流れる電流が含まれます。

(注4) ICC IDLE の測定条件 : CPU ドライストン実行。内蔵周辺 I/O は非動作。

STOP	ICC	DVCC15 = FVCC15 = CVCC15 = 1.4V DVCC3n = 2.8V AVCC3m = 2.8V FVCC3 = 2.8V Ta=25°C		250		μA
------	-----	--	--	-----	--	----

22.5 10 ビット A/D 変換特性

DVCC15=CVCC15=1.5±0.15V, AVCC3m=3.0±0.3V,
AVSS=DVSS, Ta=−20~85°C

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH		2.7 AVCC3m−0.3	AVCC	3.6 AVCC3m+0.3	V
アナログ基準電圧(−)	VREFL		AVSS	AVSS	AVSS+0.2	V
アナログ入力電圧	VAIN		VREFL		VREFH	V
アナログ基準 電圧電源電流	A/D 変換時	IREF AVCC3m = VREFH = 3.0V ± 0.3V DVSS = AVSS = VREFL		1.15	1.8	mA
	A/D 非変換時			0.1	10	μA
アナログ入力容量	—			1.0	2	pF
アナログ入力インピーダンス	—			2.0	3.5	kΩ
積分非直線性誤差	—	AVCC3m = VREFH = 3.0V ± 0.3V DVSS = AVSS = VREFL		±2	3	LSB
微分直線性誤差	—	A _{IN} 負荷抵抗 ≤ 13.3kΩ A _{IN} 負荷容量 < 20pF AVCCm 負荷容量 ≥ 10μF VREFH 負荷容量 ≥ 10μF 変換時間 ≥ 8μs		±1	3	LSB
オフセット誤差	—			±2	3	LSB
ゲイン誤差	—			±2	4	LSB

(注 1) 1LSB = (VREFH − VREFL) / 1024 [V]

(注 2) AVCC3m 端子に流れる電源電流は、デジタル電源端子の電源電流 : ICC に含まれます。

22.6 AC 電気的特性

[1] セパレートバスモード

(1) DVCC15=CVCC15=FVCC15=1.35V~1.65V , FVCC3=DVCC3n=2.3V~ 3.3V

SYSCR3<ALESEL> = “0” , 自動2ウェイト挿入

No.	項目	記号	計算式		54 MHz (f _{sys})		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{sys}	18.5				ns
2	A0-23 有効→ $\overline{\text{RD}}/\overline{\text{WR}}/\overline{\text{HWR}}$ 立ち下がり	t _{AC}	(1+ALE)x-20		17		ns
3	$\overline{\text{RD}}/\overline{\text{WR}}/\overline{\text{HWR}}$ 立ち上がり → A0 - 23 保持	t _{CAR}	X-14		4.5		ns
4	A0 - 23 有効→ D0 - 15 入力	t _{AD}		x(2+W+ALE)-42		50.5	ns
5	$\overline{\text{RD}}$ 立ち下がり→ D0 - 15 入力	t _{RD}		x(1+W)-28		27.5	ns
6	$\overline{\text{RD}}$ Low パルス幅	t _{RR}	x(1+W)-10		45.5		ns
7	$\overline{\text{RD}}$ 立ち上がり→ D0 - 15 保持	t _{HR}	0		0		ns
8	$\overline{\text{RD}}$ 立ち上がり→ A0 - 23 出力	t _{RAE}	x-15		3.5		ns
9	$\overline{\text{WR}}/\overline{\text{HWR}}$ Low パルス幅	t _{WW}	x(1+W)-10		45.5		ns
10	$\overline{\text{WR}}/\overline{\text{HWR}}$ 立ち下がり→D0-15 有効	t _{DO}		12.3		12.3	ns
11	D0-15 有効→ $\overline{\text{WR}}/\overline{\text{HWR}}$ 立ち上がり	t _{DW}	x(1+W)-18		37.5		ns
12	$\overline{\text{WR}}/\overline{\text{HWR}}$ 立ち上がり→ D0 - 15 保持	t _{WD}	x-15		3.5		ns
13	A0 - 23 有効→ $\overline{\text{WAIT}}$ 入力	t _{AW}		x+(ALE)x+(w-1) x-30		25.5	ns
14	$\overline{\text{RD}}/\overline{\text{WR}}/\overline{\text{HWR}}$ → $\overline{\text{WAIT}}$ 保持	t _{CW}	x(TW-3)+7	x(TW-1)-17	25.5	38.5	ns

(注) 項目1~13は、内部ウェイト“2”、ALE出力“1”クロック、54MHz時の値です。

TW = (自動ウェイト数 + 2N)

項目14は、以下の条件の値です。

(自動2ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
 - 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V
- W : ウェイト挿入数 (内部ウェイトは W = 0 ~ 7)

(2) DVCC15=CVCC15=FVCC15=1.35V~1.65V, FVCC3=DVCC3n=1.65V~1.95V

SYSCR3<ALESEL> = “0”, 自動2ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期 (x)	t_{SYS}	18.5				ns
2	A0-23 有効→ $\overline{RD}$ / $\overline{WR}$ / $\overline{HWR}$ 立ち下がり	t_{AC}	$(1+ALE) \times -20$		17		ns
3	$\overline{RD}$ / $\overline{WR}$ / $\overline{HWR}$ 立ち上がり → A0 - 23 保持	t_{CAR}	$X-7$		11.5		ns
4	A0 - 23 有効→ D0 - 15 入力	t_{AD}		$x(2+W+ALE)-42$		50.5	ns
5	$\overline{RD}$ 立ち下がり→ D0 - 15 入力	t_{RD}		$x(1+W)-28$		27.5	ns
6	$\overline{RD}$ Low パルス幅	t_{RR}	$x(1+W)-10$		45.5		ns
7	$\overline{RD}$ 立ち上がり→ D0 - 15 保持	t_{HR}	0		0		ns
8	$\overline{RD}$ 立ち上がり→ A0 - 23 出力	t_{RAE}	$x-15$		3.5		ns
9	$\overline{WR}$ / $\overline{HWR}$ Low パルス幅	t_{WW}	$x(1+W)-10$		45.5		ns
10	$\overline{WR}$ / $\overline{HWR}$ 立ち下がり→D0-15 有効	t_{DO}		12.3		12.3	ns
11	D0-15 有効→ $\overline{WR}$ / $\overline{HWR}$ 立ち上がり	t_{DW}	$x(1+W)-18$		37.5		ns
12	$\overline{WR}$ / $\overline{HWR}$ 立ち上がり→ D0 - 15 保持	t_{WD}	$x-15$		3.5		ns
13	A0 - 23 有効→ $\overline{WAIT}$ 入力	t_{AW}		$x+(ALE) \times +(w-1)$ $x-30$		25.5	ns
14	$\overline{RD}$ / $\overline{WR}$ / $\overline{HWR}$ → $\overline{WAIT}$ 保持	t_{CW}	$x(TW-3)+7$	$x(TW-1)-17$	25.5	38.5	ns

(注) 項目1~13は、内部ウェイト“2”、ALE出力“1”クロック、54MHz時の値です。

$TW = (\text{自動ウェイト数} + 2N)$

項目14は、以下の条件の値です。

(自動2ウェイト挿入 + 2N)

よって、 $TW = 2 + 2 \times 1 = 4$

AC測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, $CL = 30 \text{ pF}$
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W: ウェイト挿入数 (内部ウェイトは $W = 0 \sim 7$)

(3) DVCC15=CVCC15=FVCC15=1.35V~1.65V , FVCC3=DVCC3n=2.3V~ 3.3V

SYSCR3<ALESEL> = “1” , 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t_{SYS}	18.5				ns
2	A0-23 有効→ $\overline{RD}$ / $\overline{WR}$ / $\overline{HWR}$ 立ち下がり	t_{AC}	$(1+ALE) \times 20$		17		ns
3	$\overline{RD}$ / $\overline{WR}$ / $\overline{HWR}$ 立ち上がり → A0 - 23 保持	t_{CAR}	$X-14$		4.5		ns
4	A0 - 23 有効→ D0 - 15 入力	t_{AD}		$x(2+W+ALE)-42$		50.5	ns
5	$\overline{RD}$ 立ち下がり→ D0 - 15 入力	t_{RD}		$x(1+W)-28$		27.5	ns
6	$\overline{RD}$ Low パルス幅	t_{RR}	$x(1+W)-10$		45.5		ns
7	$\overline{RD}$ 立ち上がり→ D0 - 15 保持	t_{HR}	0		0		ns
8	$\overline{RD}$ 立ち上がり→ A0 - 23 出力	t_{RAE}	$x-15$		3.5		ns
9	$\overline{WR}$ / $\overline{HWR}$ Low パルス幅	t_{WW}	$x(1+W)-10$		45.5		ns
10	$\overline{WR}$ / $\overline{HWR}$ 立ち下がり→D0-15 有効	t_{D0}		12.3		12.3	ns
11	D0-15 有効→ $\overline{WR}$ / $\overline{HWR}$ 立ち上がり	t_{DW}	$x(1+W)-18$		37.5		ns
12	$\overline{WR}$ / $\overline{HWR}$ 立ち上がり→ D0 - 15 保持	t_{WD}	$X-15$		3.5		ns
13	A0 - 23 有効→ $\overline{WAIT}$ 入力	t_{AW}		$x+(ALE) \times (w-1) \times -30$		25.5	ns
14	$\overline{RD}$ / $\overline{WR}$ / $\overline{HWR}$ → $\overline{WAIT}$ 保持	t_{CW}	$x(TW-3)+7$	$x(TW-1)-17$	25.5	38.5	ns

(注) 項目 1~13 は、自動 2 ウェイト挿入、外部ウェイト “0”、ALE 出力 “1” クロック、54MHz 時の値です。($W = 2 + 2 \times 0 = 2$)

$TW = (\text{自動ウェイト数} + 2N)$

項目 14 は、以下の条件の値です。

(自動 2 ウェイト挿入 + 2N)

よって、 $TW = 2 + 2 \times 1 = 4$

AC 測定条件

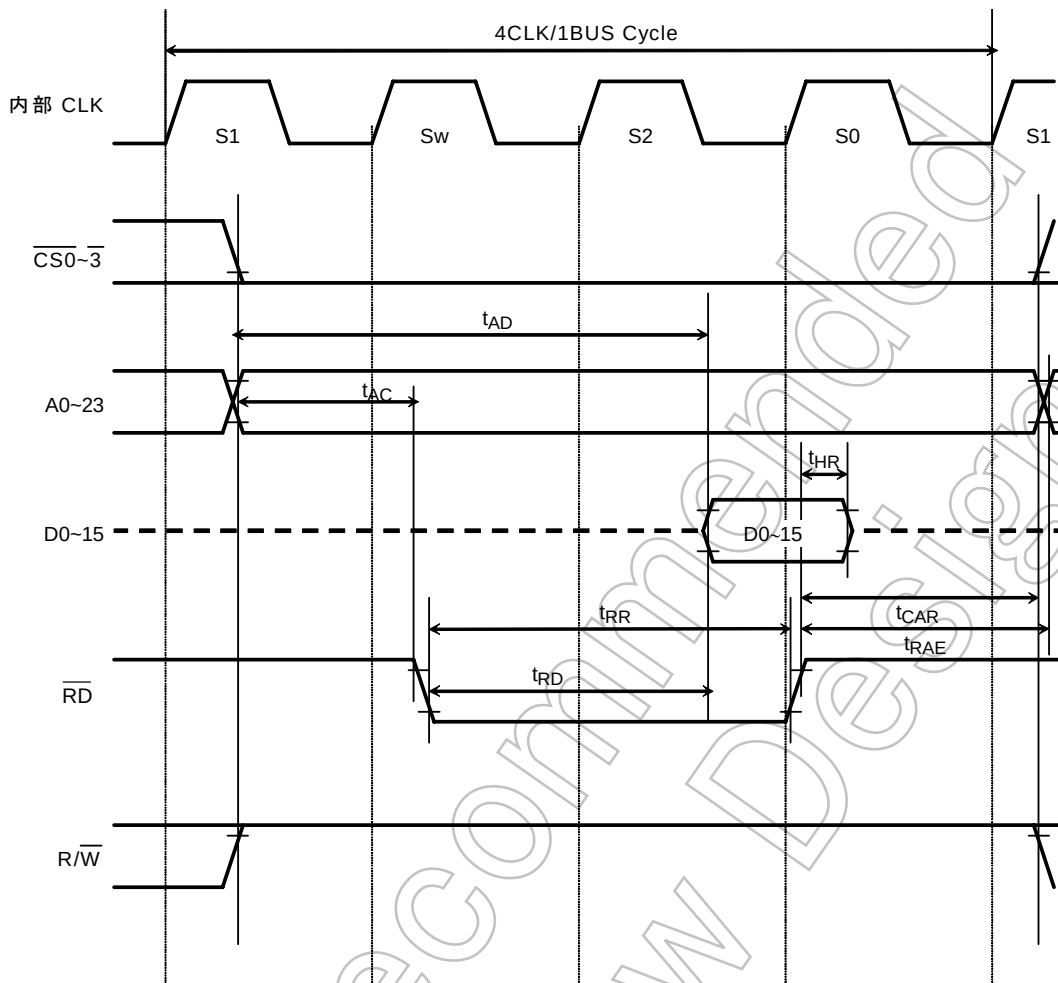
- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, $CL = 30 \text{ pF}$
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W : ウェイト挿入数 ($W = 2N + 2 \sim 7$)

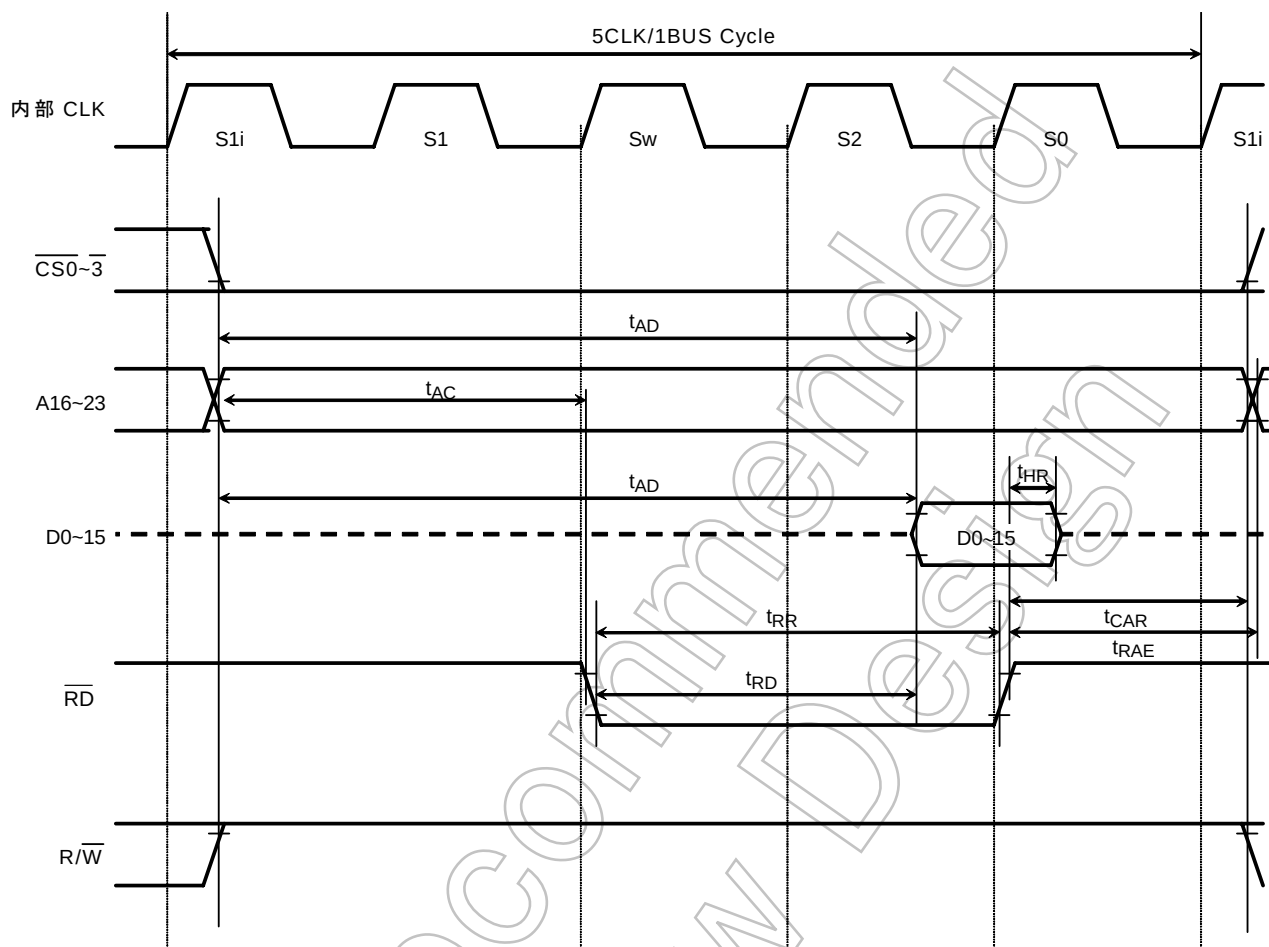
$2N$: 外部ウェイト挿入数

$2 \sim 7$: 自動ウェイト数

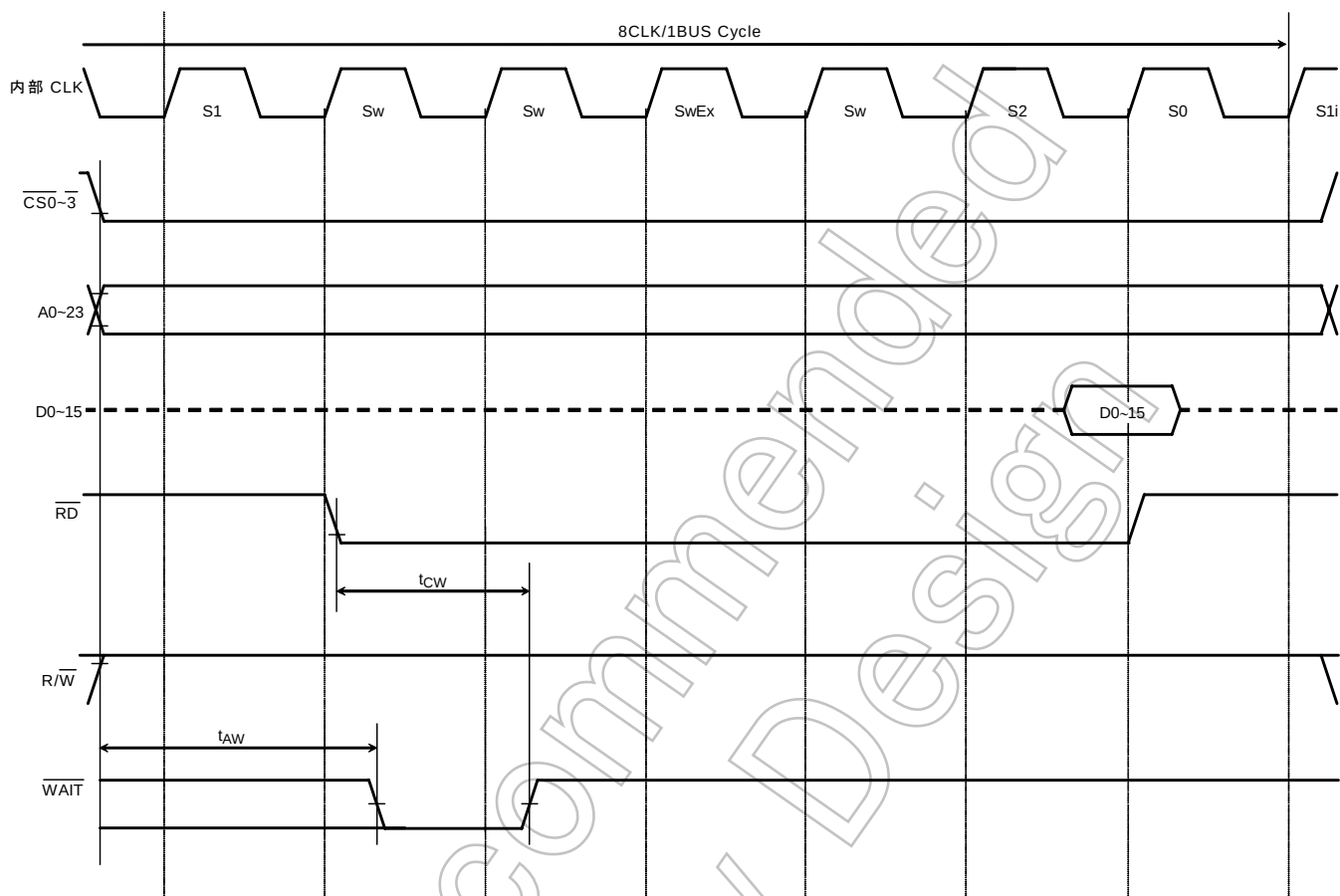
(1) リードタイミング (SYSCR3<ALESEL> = “0”、1 ウェイト (内部ウェイト))



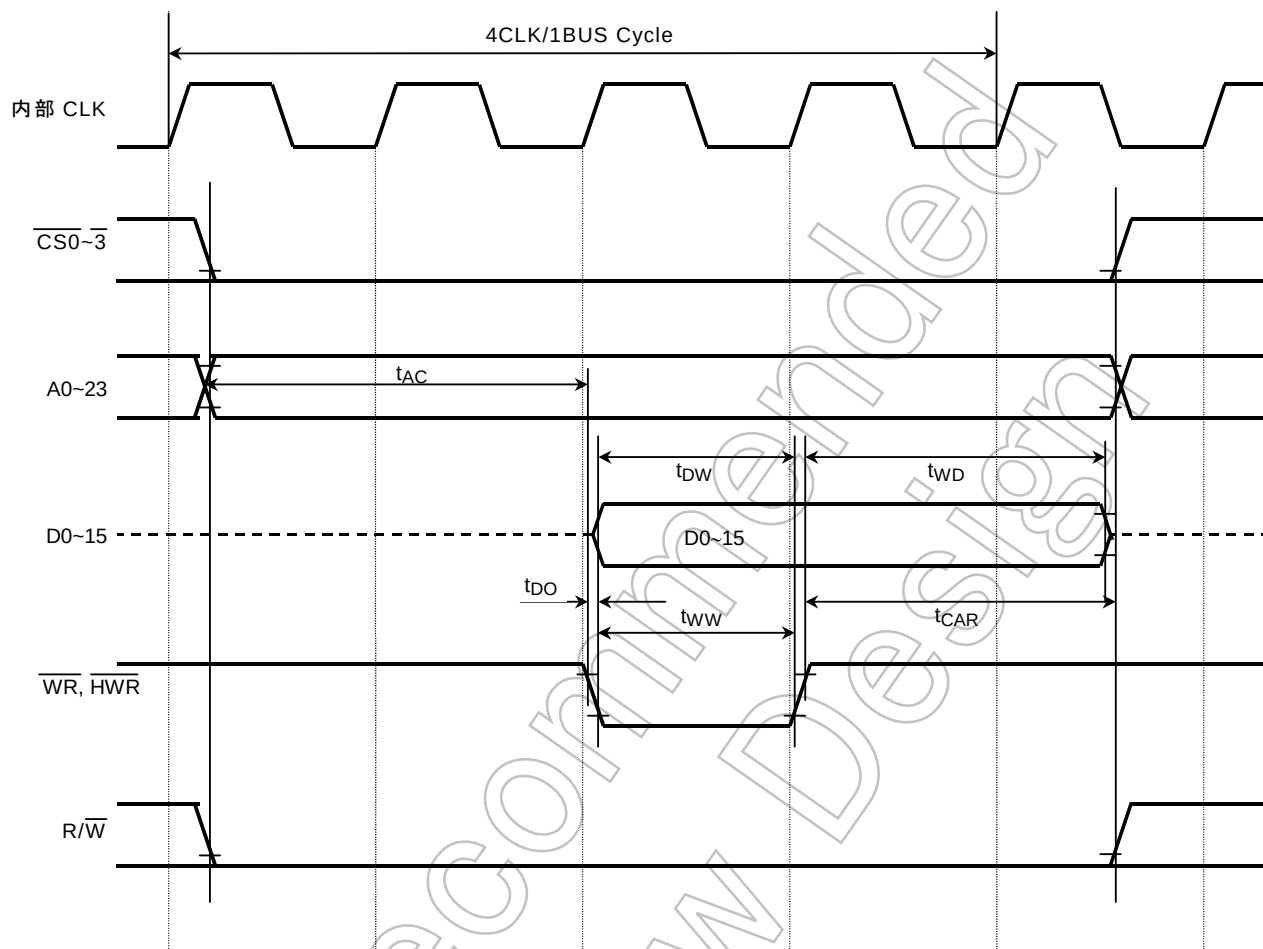
(2) リードタイミング (SYSCR3<ALESEL> = “1”、1 ウェイト (内部ウェイト))



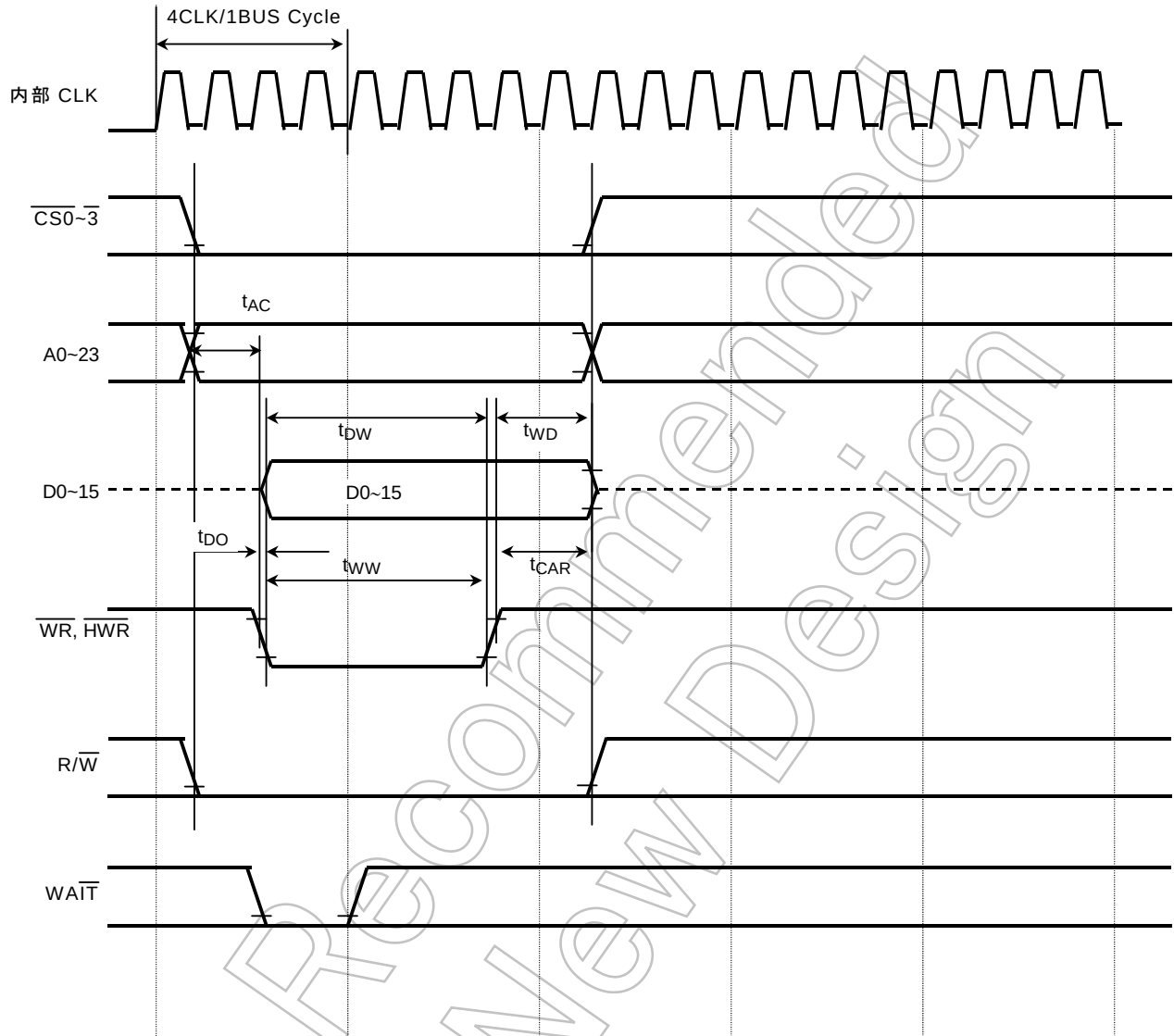
(3) リードタイミング (SYSCR3<ALESEL> = “1”、4 ウェイト (外部 2+2N ウェイト、N = 1))



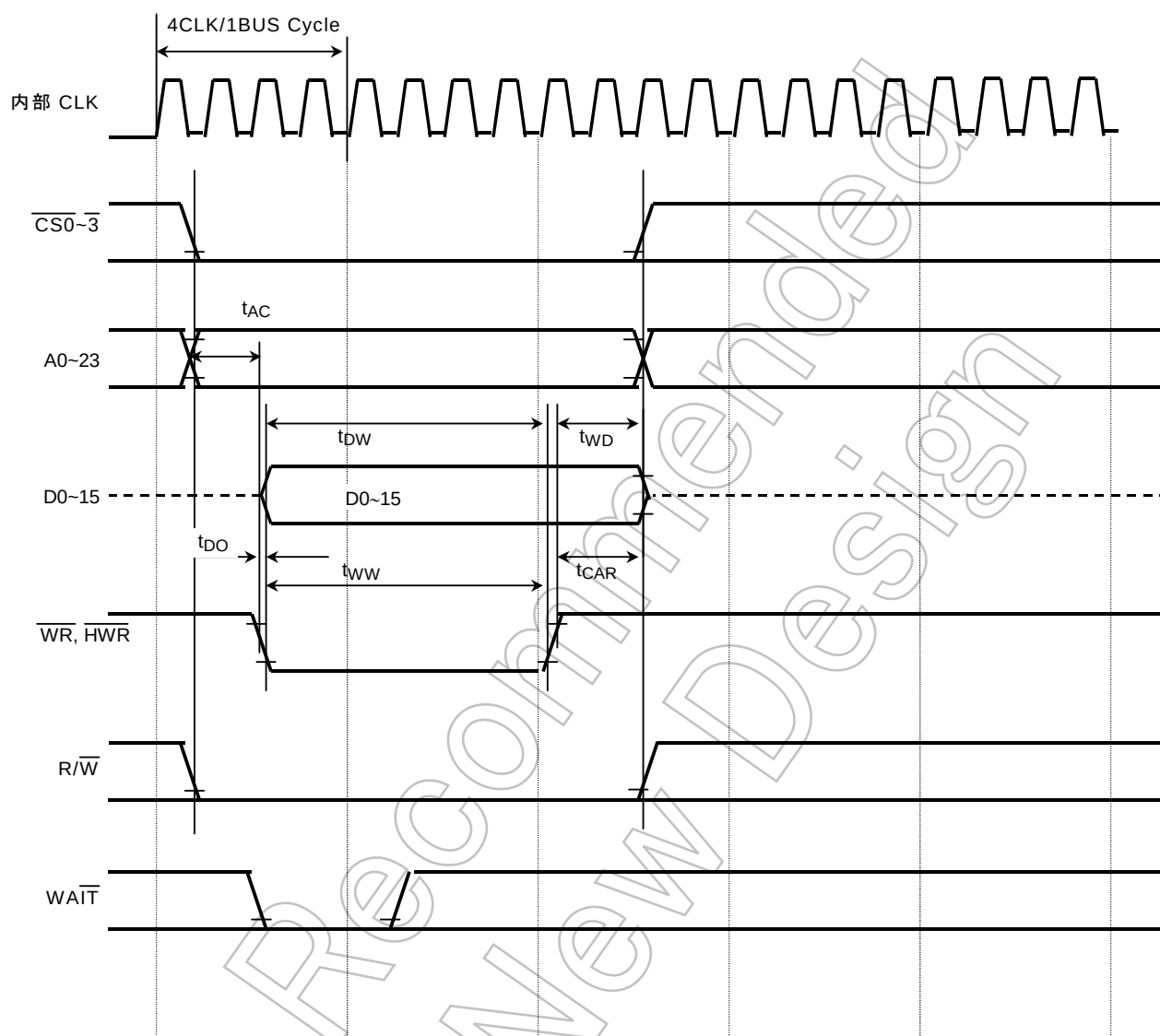
(4) ライトタイミング (SYSCR3<ALESEL> = “1”、0 ウェイト)



(5) ライトタイミング (SYSCR3<ALESEL> = “1”、自動 2 ウェイト+2N (N=1))



(6) ライトタイミング (SYSCR3<ALESEL> = “1”、自動3ウェイト+2N (N=1))



[2] マルチプレクスバスモード

(1) DVCC15=CVCC15=FVCC15=1.35V~1.65V, FVCC3=DVCC3n=2.3V~3.3V

① ALE=1 クロック、自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期 (x)	t_{SYS}	18.5				ns
2	A0-15 有効→ALE 立ち下がり	t_{AL}	$(ALE) x - 12$		6.5		ns
3	ALE 立ち下がり→A0-15 保持	t_{LA}	$x - 8$		10.5		ns
4	ALE High パルス幅	t_{LL}	$(ALE) x - 6$		12.5		ns
5	ALE 立ち下がり → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{LC}	$x - 8$		10.5		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →ALE 立ち上がり	t_{CL}	$x - 15$		3.5		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{ACL}	$2x - 20$		17.0		ns
8	A16-23 有効 → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{ACH}	$2x - 20$		17.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →A16-23 保持	t_{CAR}	$x - 14$		4.5		ns
10	A0-15 有効→D0-15 入力	t_{ADL}		$x(2+W+ALE) - 42$		50.5	ns
11	A16-23 有効→D0-15 入力	t_{ADH}		$x(2+W+ALE) - 42$		50.5	ns
12	$\overline{RD}$ 立ち下がり→D0-15 入力	t_{RD}		$x(1+W) - 28$		27.5	ns
13	$\overline{RD}$ Low パルス幅	t_{RR}	$x(1+W) - 10$		45.5		ns
14	$\overline{RD}$ 立ち上がり→D0-15 保持	t_{HR}	0		0		ns
15	$\overline{RD}$ 立ち上がり→A0-15 出力	t_{RAE}	$x - 15$		3.5		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t_{WN}	$x(1+W) - 10$		45.5		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t_{DW}	$x(1+W) - 18$		37.5		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15 保持	t_{WD}	$x - 15$		3.5		ns
19	A16-23 有効→ $\overline{WAIT}$ 入力	t_{ANH}		$x + (ALE) x + (W - 1) x - 30$		25.5	ns
20	A0-15 有効→ $\overline{WAIT}$ 入力	t_{ANL}		$x + (ALE) x + (W - 1) x - 30$		25.5	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → $\overline{WAIT}$ 保持	t_{CW}	$x(TW - 3) + 7$	$x(TW - 1) - 17$	25.5	38.5	ns

(注) 項目 1~21 は、内部ウェイト “2”、ALE 出力 “1” クロック、54MHz 時の値です。

 $TW = (\text{自動ウェイト数} + 2N)$

項目 21 は、以下の条件の値です。

(自動 2 ウェイト挿入 + 2N)

よって、 $TW = 2 + 2 \times 1 = 4$

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, $CL = 30 \text{ pF}$
 - 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V
- W : ウェイト挿入数 (内部ウェイトは $W = 0 \sim 7$)

(2) DVCC15=CVCC15=FVCC15=1.35V~1.65V, FVCC3=DVCC3n=1.65V~1.95V

ALE=1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期 (x)	t_{SYS}	18.5				ns
2	A0-15 有効→ALE 立ち下がり	t_{AL}	(ALE) x-12		6.5		ns
3	ALE 立ち下がり→A0-15 保持	t_{LA}	x-8		10.5		ns
4	ALE High パルス幅	t_{LL}	(ALE) x-6		12.5		ns
5	ALE 立ち下がり → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{LC}	x-8		10.5		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →ALE 立ち上がり	t_{CL}	x-15		3.5		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{ACL}	2x-20		17.0		ns
8	A16-23 有効 → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{ACH}	2x-20		17.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →A16-23 保持	t_{CAR}	x-7		11.5		ns
10	A0-15 有効→D0-15 入力	t_{ADL}		x (2+W+ALE) -42		50.5	ns
11	A16-23 有効→D0-15 入力	t_{ADH}		x (2+W+ALE) -42		50.5	ns
12	$\overline{RD}$ 立ち下がり→D0-15 入力	t_{RD}		x (1+W) -28		27.5	ns
13	$\overline{RD}$ Low パルス幅	t_{RR}	x (1+W) -10		45.5		ns
14	$\overline{RD}$ 立ち上がり→D0-15 保持	t_{HR}	0		0		ns
15	$\overline{RD}$ 立ち上がり→A0-15 出力	t_{RAE}	x-15		3.5		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t_{WW}	x (1+W) -10		45.5		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t_{DW}	x (1+W) -18		37.5		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15 保持	t_{WD}	x-15		3.5		ns
19	A16-23 有効→ $\overline{WAIT}$ 入力	t_{AWH}		x+ (ALE) x+ (W-1) x-30		25.5	ns
20	A0-15 有効→ $\overline{WAIT}$ 入力	t_{AWL}		x+ (ALE) x+ (W-1) x-30		25.5	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → $\overline{WAIT}$ 保持	t_{CW}	x (TW-3) +7	x (TW-1) -17	25.5	38.5	ns

(注) 項目 1~21 は、内部ウェイト “2”、ALE 出力 “1” クロック、54MHz 時の値です。

TW = (自動ウェイト数 + 2N)

項目 21 は、以下の条件の値です。

(自動 2 ウェイト挿入 + 2N)

よって、TW = 2 + 2*1 = 4

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
 - 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V
- W : ウェイト挿入数 (内部ウェイトは W = 0 ~ 7)

(3) DVCC15=CVCC15=FVCC15=1.35V~1.65V, FVCC3=DVCC3n=2.3V~3.3V

③ ALE=1 クロック, 自動2ウェイト挿入

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期 (x)	t_{SYS}	18.5				ns
2	A0-15 有効→ALE 立ち下がり	t_{AL}	(ALE) x-12		6.5		ns
3	ALE 立ち下がり→A0-15 保持	t_{LA}	x-8		10.5		ns
4	ALE High パルス幅	t_{LL}	(ALE) x-6		12.5		ns
5	ALE 立ち下がり → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{LC}	x-8		10.5		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →ALE 立ち上がり	t_{CL}	x-15		3.5		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{ACL}	2x-20		17.0		ns
8	A16-23 有効 → $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t_{ACH}	2x-20		17.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →A16-23 保持	t_{CAR}	x-14		4.5		ns
10	A0-15 有効→D0-15 入力	t_{ADL}		x (2+W+ALE) -42		50.5	ns
11	A16-23 有効→D0-15 入力	t_{ADH}		x (2+W+ALE) -42		50.5	ns
12	$\overline{RD}$ 立ち下がり→D0-15 入力	t_{RD}		x (1+W) -28		27.5	ns
13	$\overline{RD}$ Low パルス幅	t_{RR}	x (1+W) -10		45.5		ns
14	$\overline{RD}$ 立ち上がり→D0-15 保持	t_{HR}	0		0		ns
15	$\overline{RD}$ 立ち上がり→A0-15 出力	t_{RAE}	x-15		3.5		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t_{WW}	x (1+W) -10		45.5		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t_{DW}	x (1+W) -18		37.5		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15 保持	t_{WD}	x-15		3.5		ns
19	A16-23 有効→ $\overline{WAIT}$ 入力	t_{AMH}		x+ (ALE) x+ (W-1) x-30		25.5	ns
20	A0-15 有効→ $\overline{WAIT}$ 入力	t_{AML}		x+ (ALE) x+ (W-1) x-30		25.5	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → $\overline{WAIT}$ 保持	t_{CW}	x (TW-3) +7	x (TW-1) -17	25.5	38.5	ns

(注) 項目 1~20 は、自動2ウェイト挿入、内部ウェイト“0” ALE 出力“1” クロック、54MHz 時の値です。

$TW = (\text{自動ウェイト数} + 2N)$

項目 21 は、以下の条件の値です。

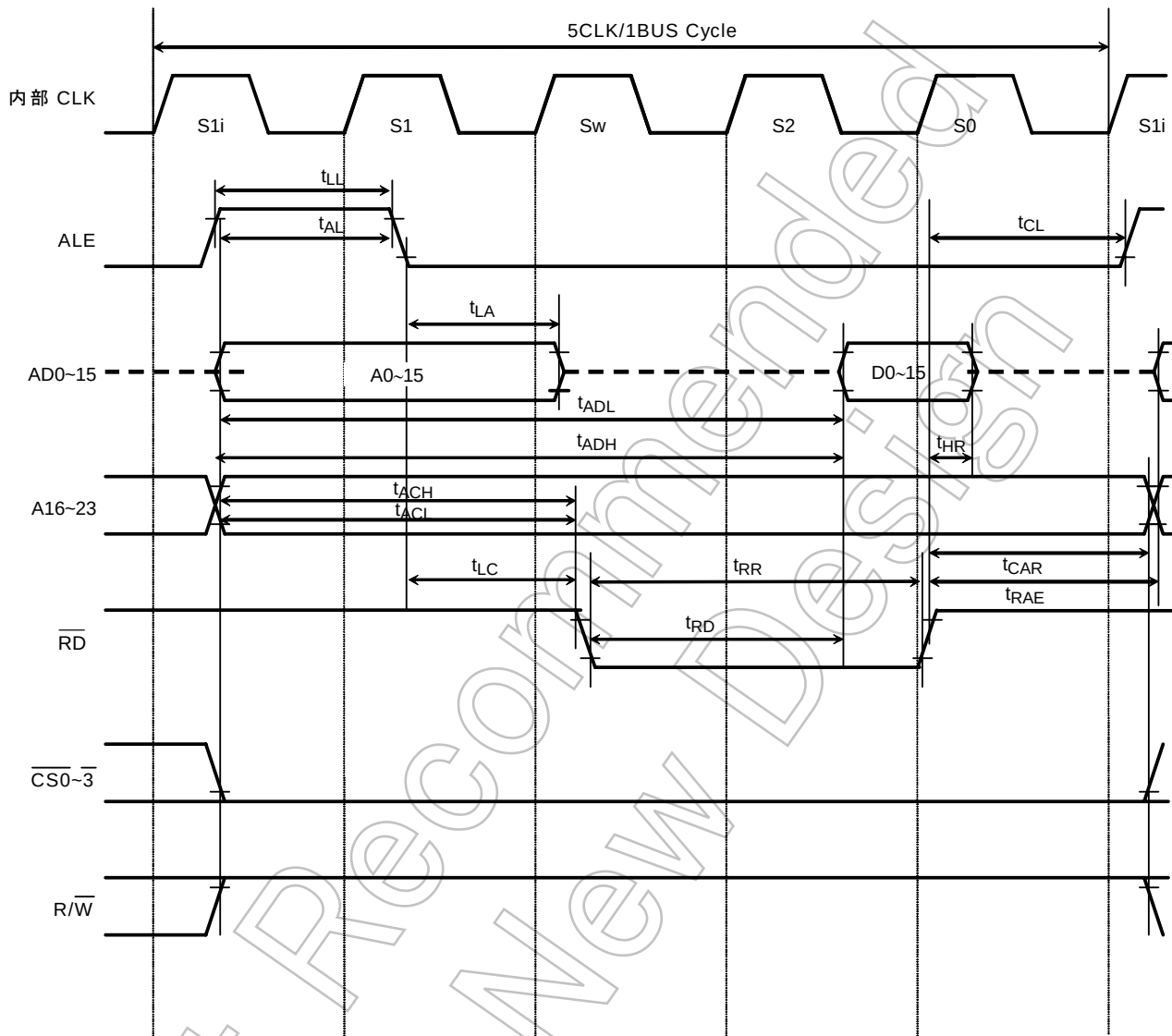
(自動2ウェイト挿入 + 2N)

よって、 $TW = 2 + 2 \times 1 = 4$

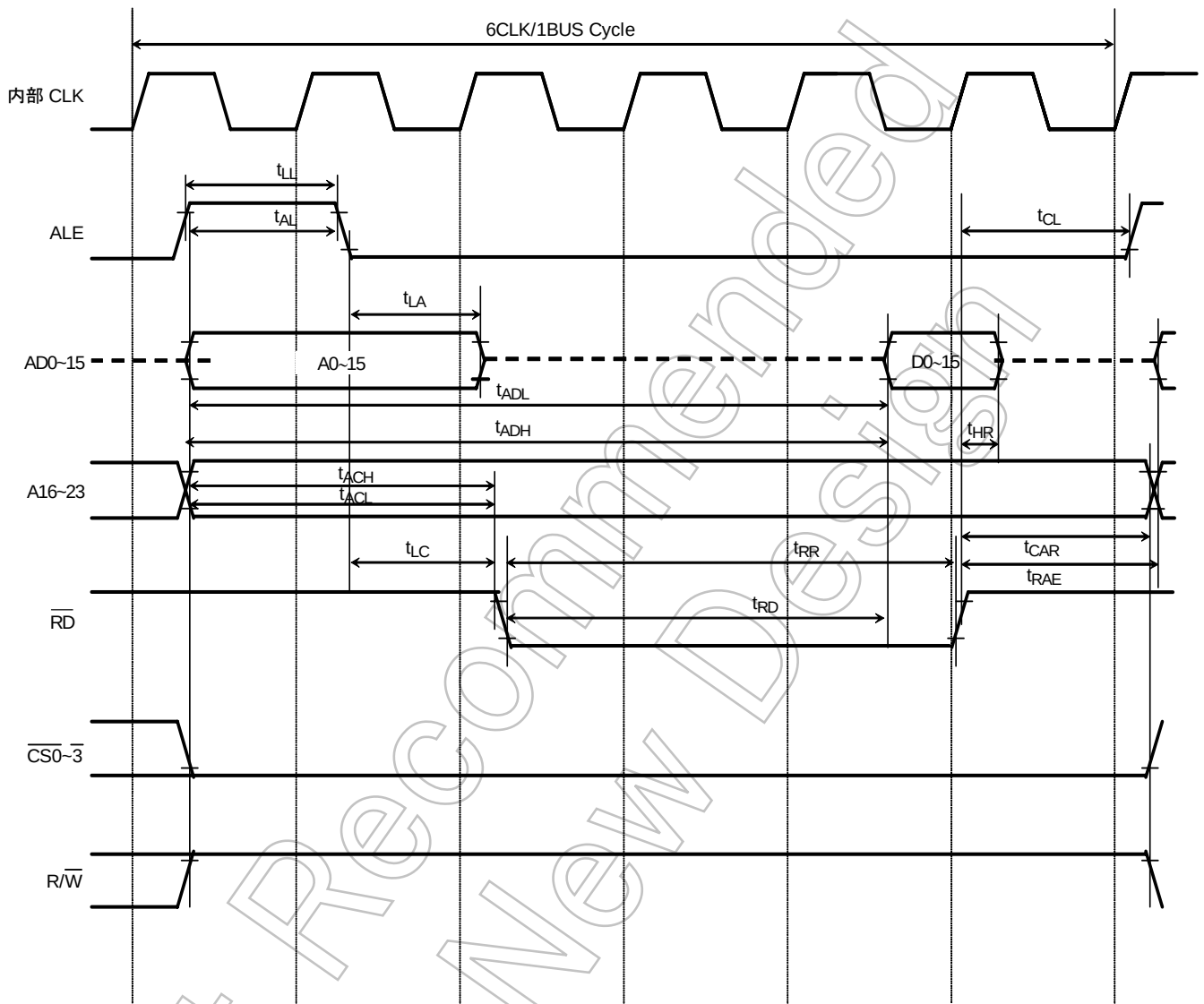
AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, $CL = 30 \text{ pF}$
 - 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V
- W : ウェイト挿入数 (内部ウェイトは $W = 0 \sim 7$)

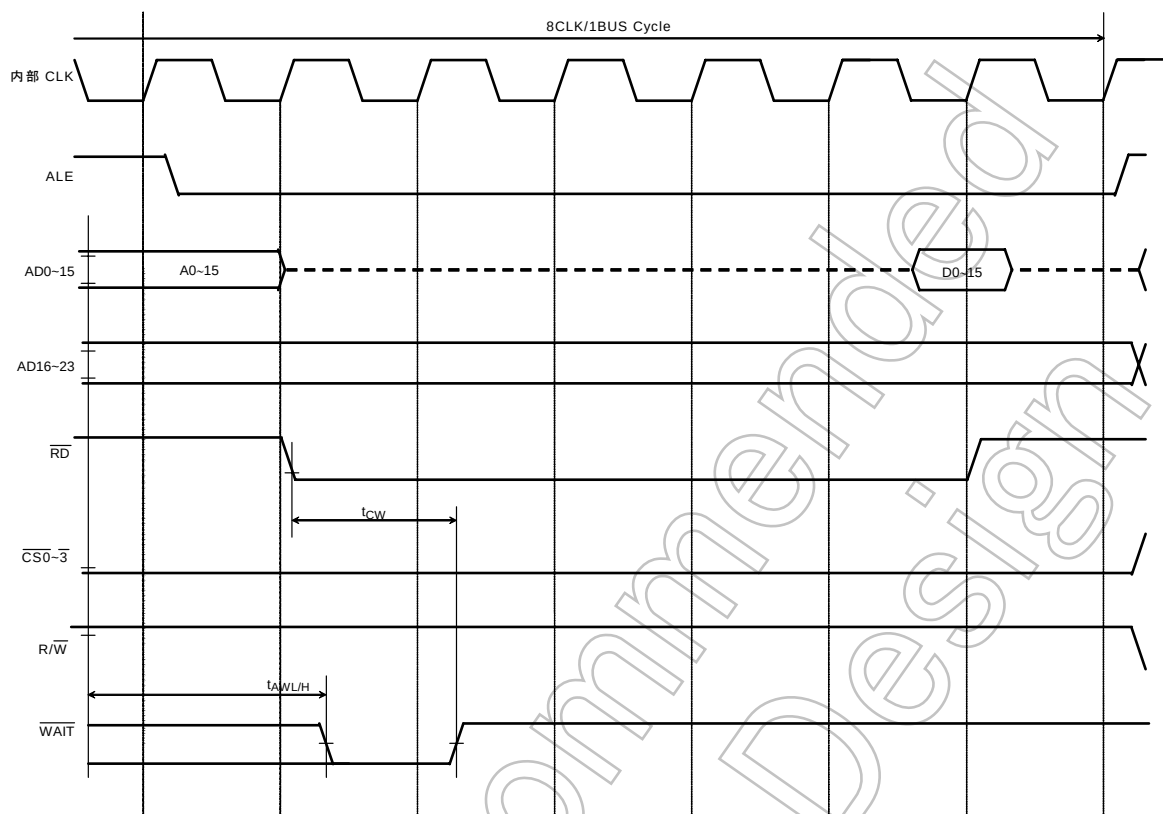
(1) リードタイミング (ALE = 1 クロック、1 ウェイト (内部ウェイト))



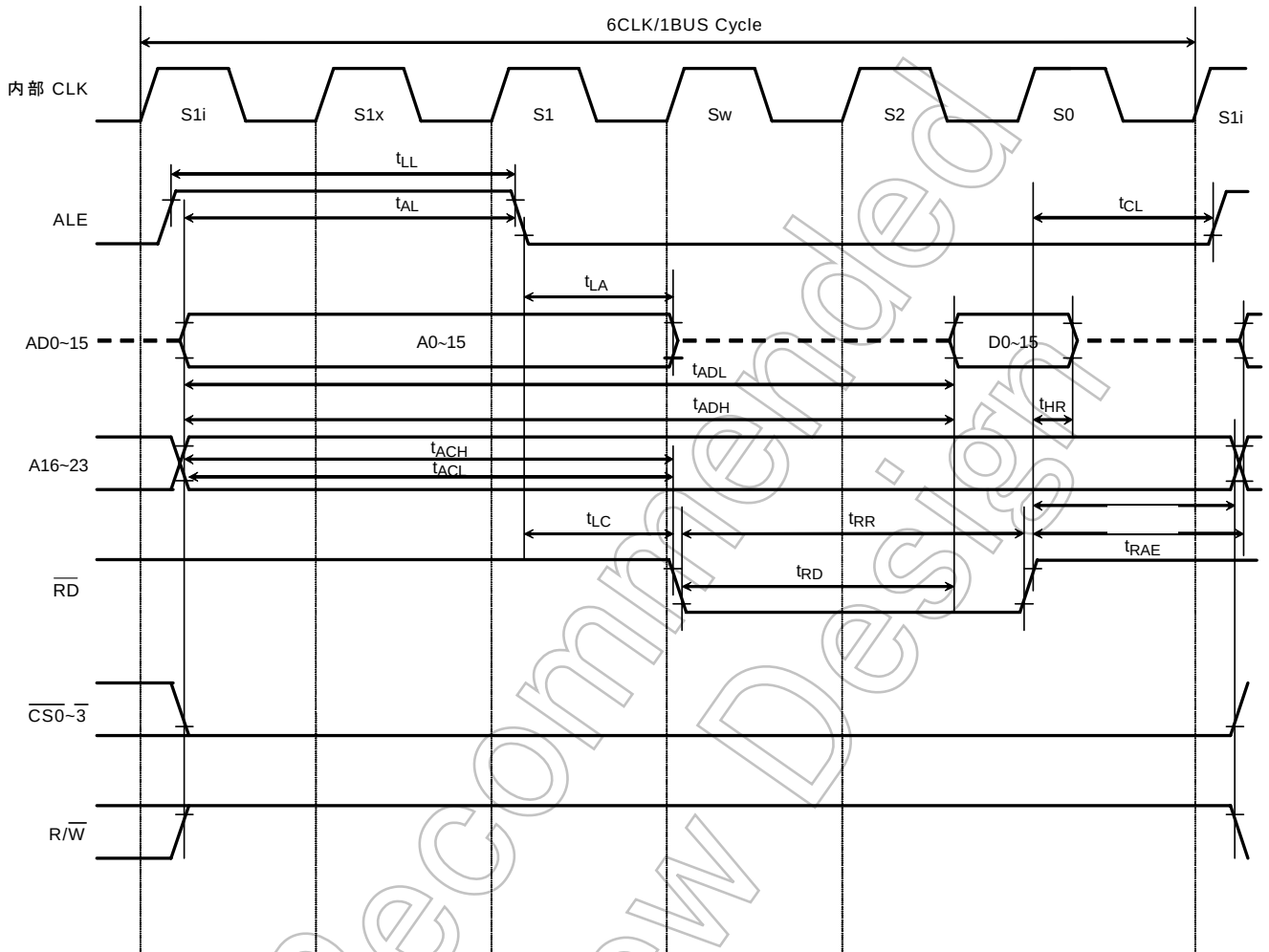
(2) リードタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



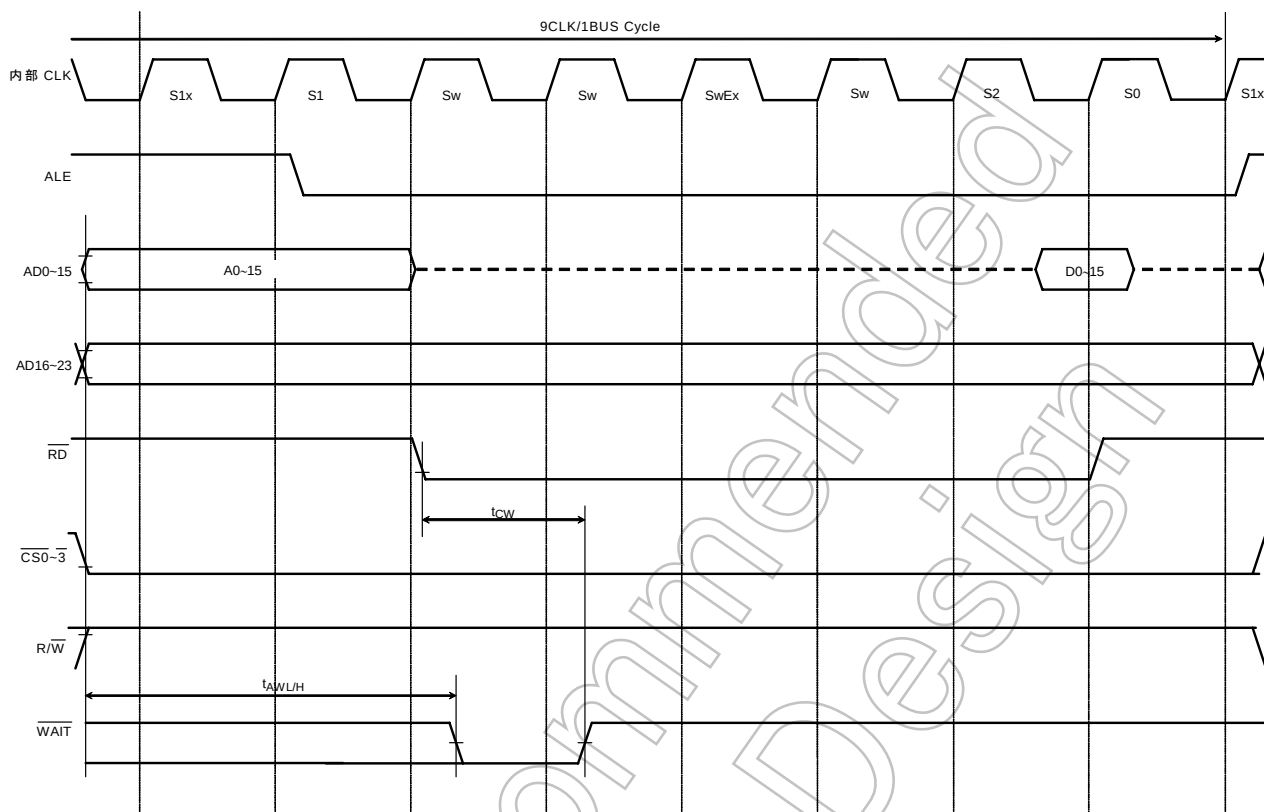
(3) リードタイミング (ALE = 1 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))



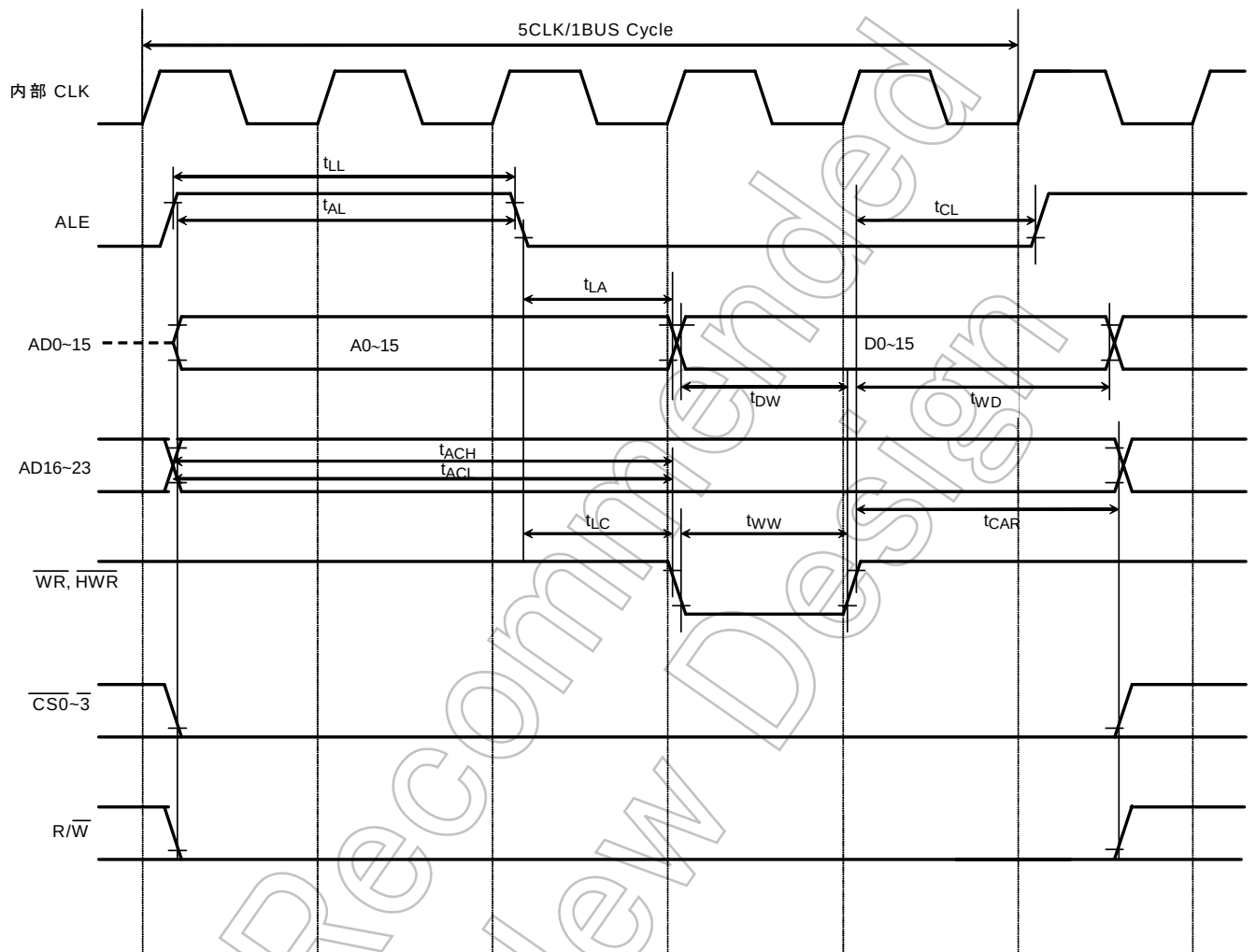
(4) リードタイミング (ALE = 2 クロック、1 ウェイト (内部ウェイト))



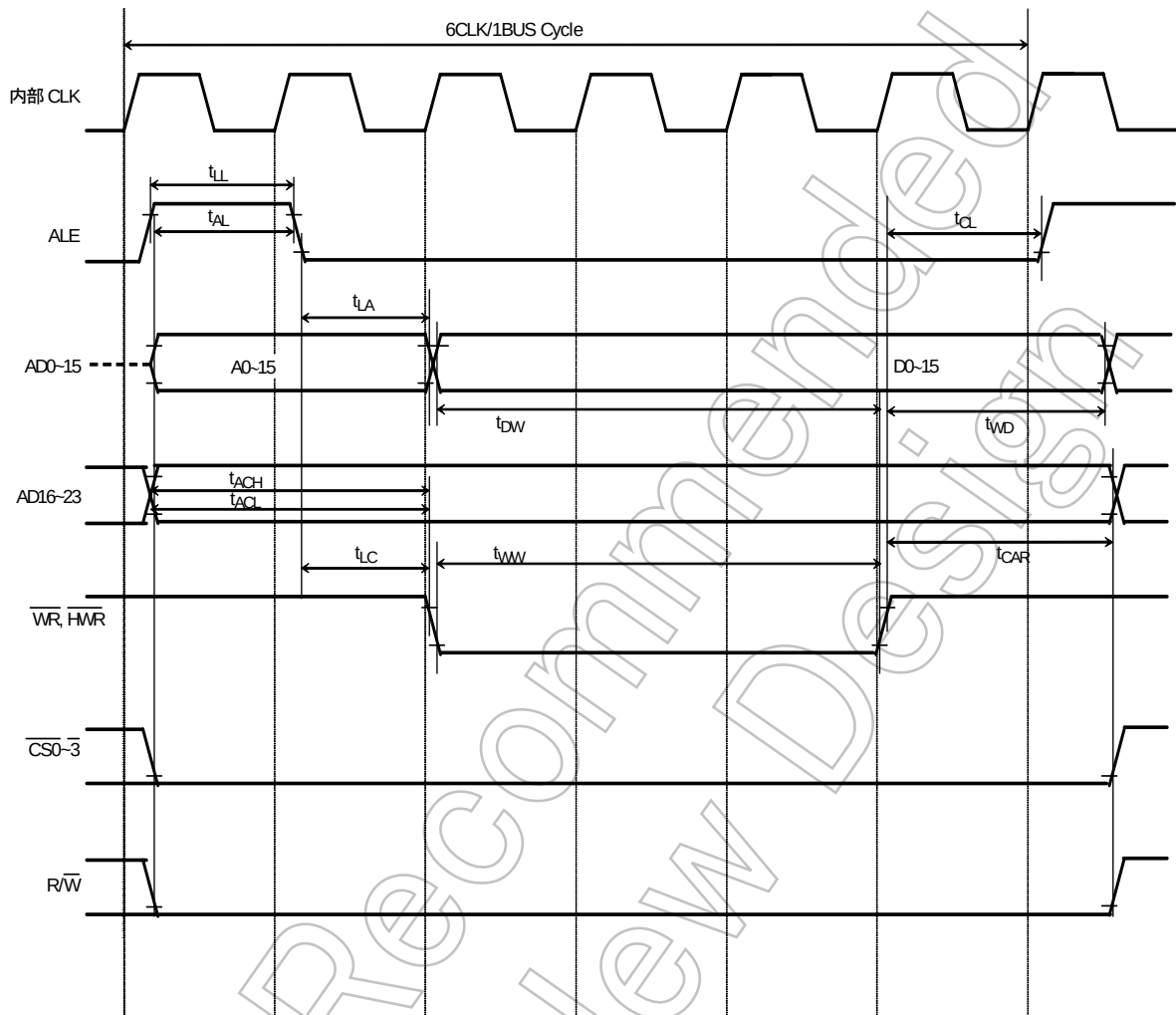
(5) リードタイミング (ALE = 2 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))



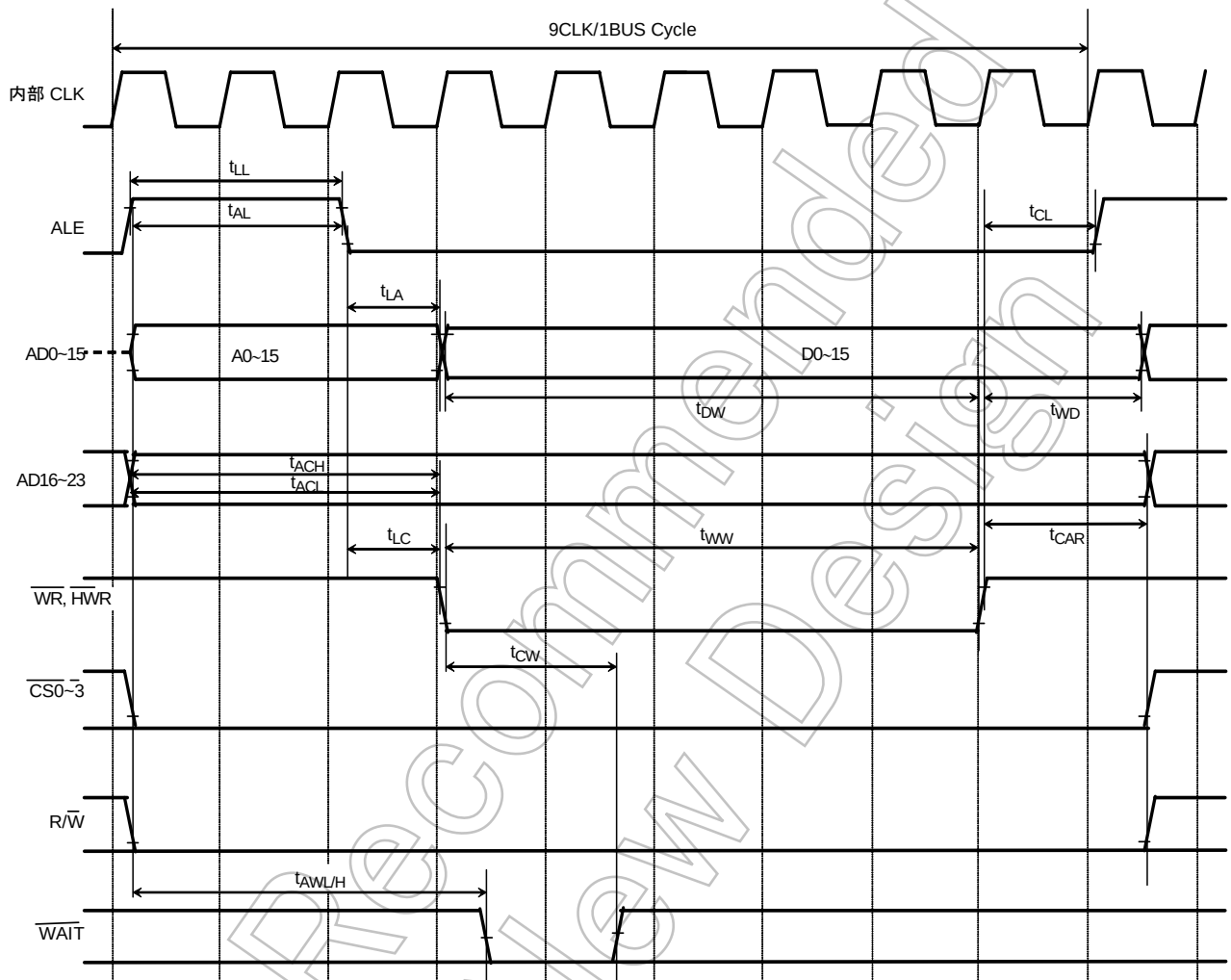
(6) ライトタイミング (ALE = 2 クロック、0 ウェイト)



(7) ライトタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



(8) ライトタイミング (ALE = 2 クロック、4 ウェイト(外部 2+2N ウェイト、N = 1))

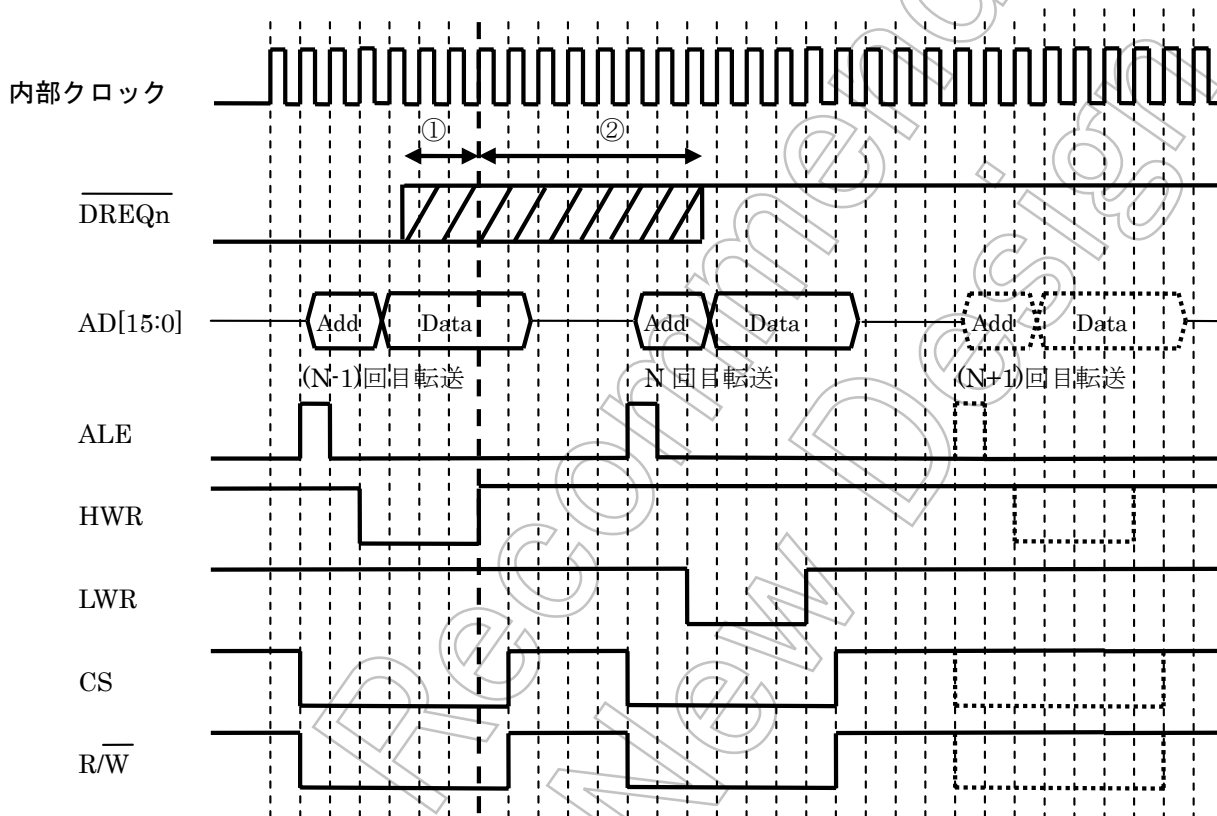


22.7 DMA リクエストを使用した転送

マルチプレクスバスモードで、内蔵 RAM と外部デバイスとの転送例を示します。

- ・ 16 ビットバス幅、リカバリタイムなし
- ・ DMA 転送モードはレベルモード
- ・ 転送単位 (TrSiz) 16bit 、デバイスポートサイズ (DPS) 16bit
- ・ ソース/ディスティネーション : 内蔵 RAM/外部デバイス

内蔵 RAM to 外部デバイス (ライト時) (Mem to Mem 転送) のタイミングを図に示します。



- ① N 回目の転送が確実に行われるための条件
- ② N+1 回目の転送が行われないための条件

(1) DVCC15=CVCC15=VCC15 = 1.35V~1.65V, AVCC3m=VCC3=2.7V~3.3V

DVCC33=2.3V~3.3V, DVCC30/31/32/34=1.65V~3.3V, Ta= -20~85°C (m=1~2)

No.	項目	記号	計算式		54 MHz (fsys)		単位
			①Min	②Max	Min	Max	
2	$\overline{RD}$ 立ち下がり→ $\overline{DREQ_n}$ のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	(W+1)x	(2W+ALE+8)x -51	37	152.5	ns
3	$\overline{WR}$ /HWR 立ち上がり→ $\overline{DREQ_n}$ のデアサート(内蔵 RAMto 外部デバイス)	tDREQ_w	-(W+2)x	(5+WAIT)x-51.8	-55.5	59.2	ns

No.	項目	記号	計算式		54 MHz (fsys)		単位
			①Min	②Max	Min	Max	
2	$\overline{RD}$ 立ち下がり→ $\overline{DREQ_n}$ のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	(W+1)x	(2W+ALE+8)x -51	37	152.5	ns
3	$\overline{WR}$ /HWR 立ち上がり→ $\overline{DREQ_n}$ のデアサート(内蔵 RAMto 外部デバイス)	tDREQ_w	-(W+2)x	(5+WAIT)x-51.8	-55.5	59.2	ns

(3) DVCC15=CVCC15=VCC15 = 1.35V~1.65V, AVCC3m=VCC3=2.7V~3.6V

DVCC33=1.65V~1.95V, DVCC30/31/32/34=1.65V~3.3V, Ta= -20~85°C (m=1~2)

No.	項目	記号	計算式		54 MHz (fsys)		単位
			Min	Max	Min	Max	
2	$\overline{RD}$ 立ち下がり→ $\overline{DREQ_n}$ のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	(W+1) x	(2W+ALE+8) x-56	37	147.5	ns
3	$\overline{WR}$ /HWR 立ち上がり→ $\overline{DREQ_n}$ のデアサート (内蔵 RAMto 外部デバイス)	tDREQ_w	-(W+2)x	(5+WAIT) x-56.8	-55.5	54.2	ns

No.	項目	記号	計算式		54 MHz (fsys)		単位
			①Min	②Max	Min	Max	
2	$\overline{RD}$ 立ち下がり→ $\overline{DREQ_n}$ のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	(W+1)x	(2W+ALE+8)x -56	37	147.5	ns
3	$\overline{WR}$ /HWR 立ち上がり→ $\overline{DREQ_n}$ のデアサート(内蔵 RAMto 外部デバイス)	tDREQ_w	-(W+2)x	(5+WAIT) x-56.8	-55.5	54.2	ns

W: ウェイト数、例えば、外部 2+2N ウェイト(N=1)の場合は、W=4

ALE: ALE=1 クロックの時は ALE=1、ALE=2 クロックの時は ALE=2 を代入

表中の計算は、W=1、ALE=1として計算

22.8 シリアルチャネルタイミング

(1) I/O インタフェースモード (DVCC3=1.65V~3.3V)

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

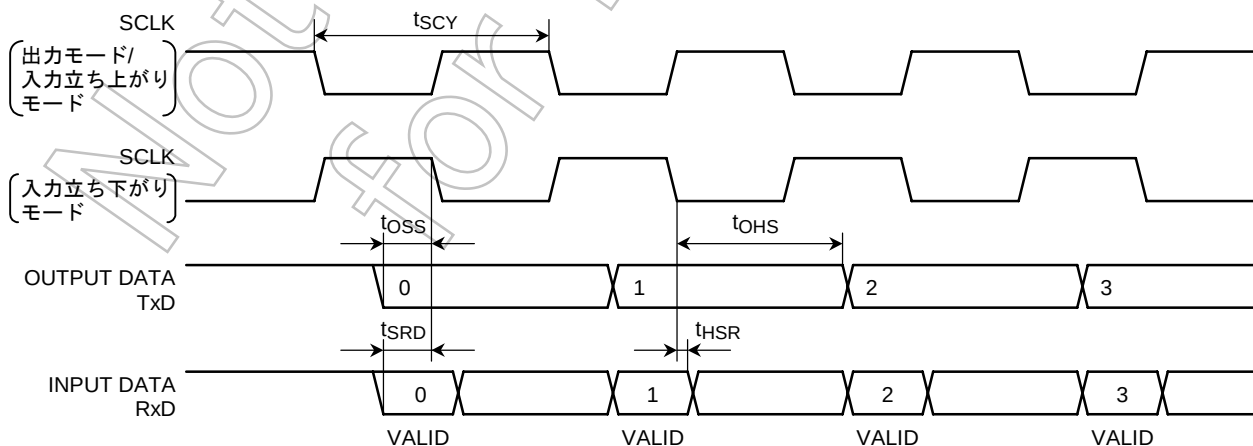
① SCLK 入力モード (S100~S106)

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16x		296		ns
Output Data ← SCLK 立ち上がり /立ち下がり*	t_{OSS}	$(t_{SCY}/2)-5x-23$		32.5		ns
SCLK 立ち上がり → Output Data 保持 /立ち下がり*	t_{OHS}	$(t_{SCY}/2)+3x$		203.5		ns
有効 Data 入力 ← SCLK 立ち上がり /立ち下がり*	t_{SRD}	2x+8		45		ns
SCLK 立ち上がり → Input Data 保持 /立ち下がり*	t_{HSR}	0		0		ns

*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりタイミングです。

② SCLK 出力モード (S100~S106)

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	16x		296		ns
Output Data ← SCLK 立ち上がり	t_{OSS}	$(t_{SCY}/2)-15$		133		ns
SCLK 立ち上がり → Output Data 保持	t_{OHS}	$(t_{SCY}/2)-15$		133		ns
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	X+23		41.5		ns
SCLK 立ち上がり → Input put Data 保持	t_{HSR}	0		0		ns



22.9 シリアルバスインタフェースタイミング

(1) I2C モード

表中の x はシステムクロック f_{sys} の周期を表します。

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

項 目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0		0	100	0	400	kHz
スタートコンディション保持	$t_{HD:STA}$			4.0		0.6		μs
SCL クロック Low 幅 (入力) (注 1)	t_{LOW}			4.7		1.3		μs
SCL クロック High 幅 (入力) (注 2)	t_{HIGH}			4.0		0.6		μs
再スタートコンディションセットアップ時間	$t_{SU:STA}$	ソフト (注 5)		4.7		0.6		μs
データ保持時間 (入力) (注 3, 4)	$t_{HD:DAT}$			0.0		0.0		μs
データセットアップ時間	$t_{SU:DAT}$			250		100		ns
ストップコンディションセットアップ時間	$t_{SU:STO}$			4.0		0.6		μs
ストップコンディションとスタートコンディション間のバスフリー時間	t_{BUF}	ソフト (注 5)		4.7		1.3		μs

注 1) SCL クロック LOW 幅(出力) : $(2^{n-1} + 58) / (f_{sys}/2)$

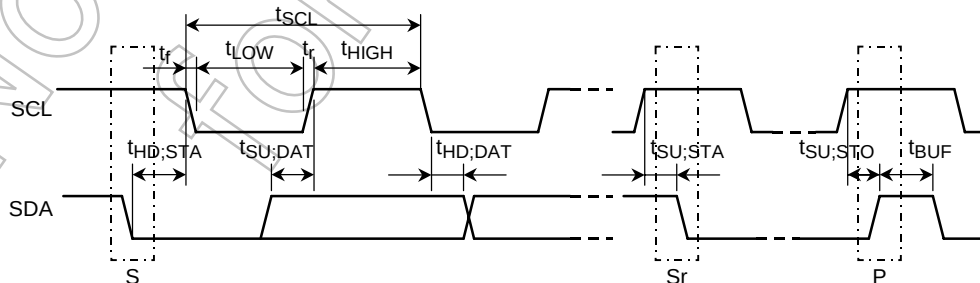
注 2) SCL クロック HIGH 幅(出力) : $(2^{n-1} + 12) / (f_{sys}/2)$

通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意願います。

注 3) データ保持時間 (出力) は内部 SCL から 1 2X の時間です。

注 4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロープコントロール機能をもっていません。従って、SCL/SDA の t_r/t_f を含めて BUS 上で上表のデータ保持時間 (入力) を守る様に設計してください。

注 5) ソフトウェアに依存します。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

(2) クロック同期式 8 ビット SIO モード

表中の x はシステムクロック f_{sys} の周期を表します。

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

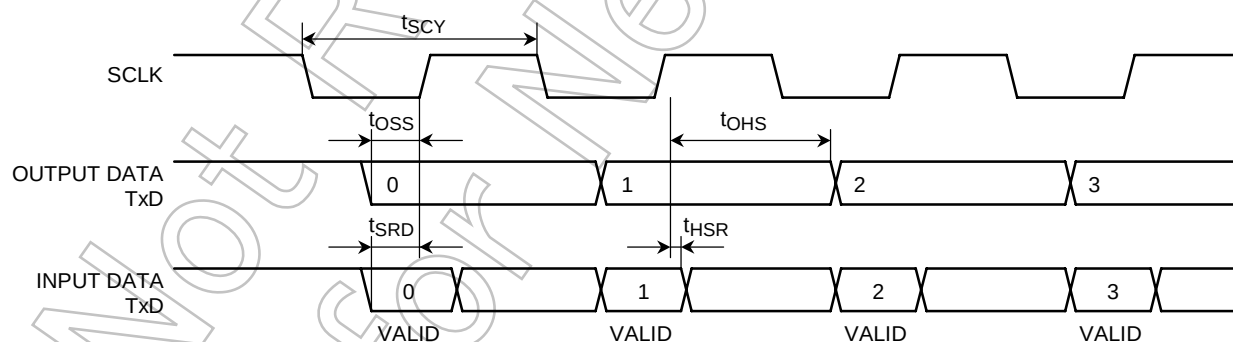
SCK デューティ 50%の場合

③ SCK 入力モード

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCK 周期	t_{SCY}	$16x$		296		ns
Output Data $\leftarrow$ SCK 立ち上がり	t_{OSS}	$(t_{SCY}/2) - (6x + 30)$		7		ns
SCK 立ち上がり $\rightarrow$ Output Data 保持	t_{OHS}	$(t_{SCY}/2) + 4x$		222		ns
有効 Data 入力 $\leftarrow$ SCK 立ち上がり	t_{SRD}	0		0		ns
SCK 立ち上がり $\rightarrow$ Input Data 保持	t_{HSR}	$4x + 10$		84		ns

④ SCK 出力モード

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
SCK 周期 (プログラマブル)	t_{SCY}	$2^n \cdot 2x$		591		ns
Output Data $\leftarrow$ SCK 立ち上がり	t_{OSS}	$(t_{SCY}/2) - 20$		128		ns
SCK 立ち上がり $\rightarrow$ Output Data 保持	t_{OHS}	$(t_{SCY}/2) - 20$		128		ns
有効 Data 入力 $\leftarrow$ SCK 立ち上がり	t_{SRD}	$2x + 30$		67		ns
SCK 立ち上がり $\rightarrow$ Input put Data 保持	t_{HSR}	0		0		ns



22.10 イベントカウンタ

表中の x はシステムクロック f_{sys} の周期を表します。

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2X + 100$		137		ns
クロック高レベルパルス幅	t_{VCKH}	$2X + 100$		137		ns

22.11 キャプチャ

表中の x はシステムクロック f_{sys} の周期を表します。

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2X + 100$		137		ns
高レベルパルス幅	t_{CPH}	$2X + 100$		137		ns

22.12 割り込み (INTC)

表中の x はシステムクロック f_{sys} の周期を表します。

項 目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
INT0~A 低レベルパルス幅	t_{INTAL}	$X + 100$		124.7		ns
INT0~A 高レベルパルス幅	t_{INTAH}	$X + 100$		124.7		ns

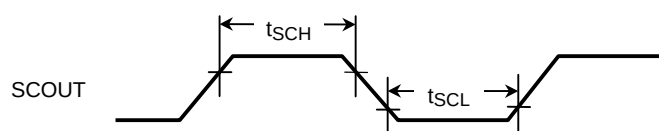
22.13 割り込み (NMI, STOP/SLEEP 解除割り込み)

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
$\overline{NMI}$, INT0~4 低レベルパルス幅	t_{INTBL}	100		100		ns
INT0~4 高レベルパルス幅	t_{INTBH}	100		100		ns

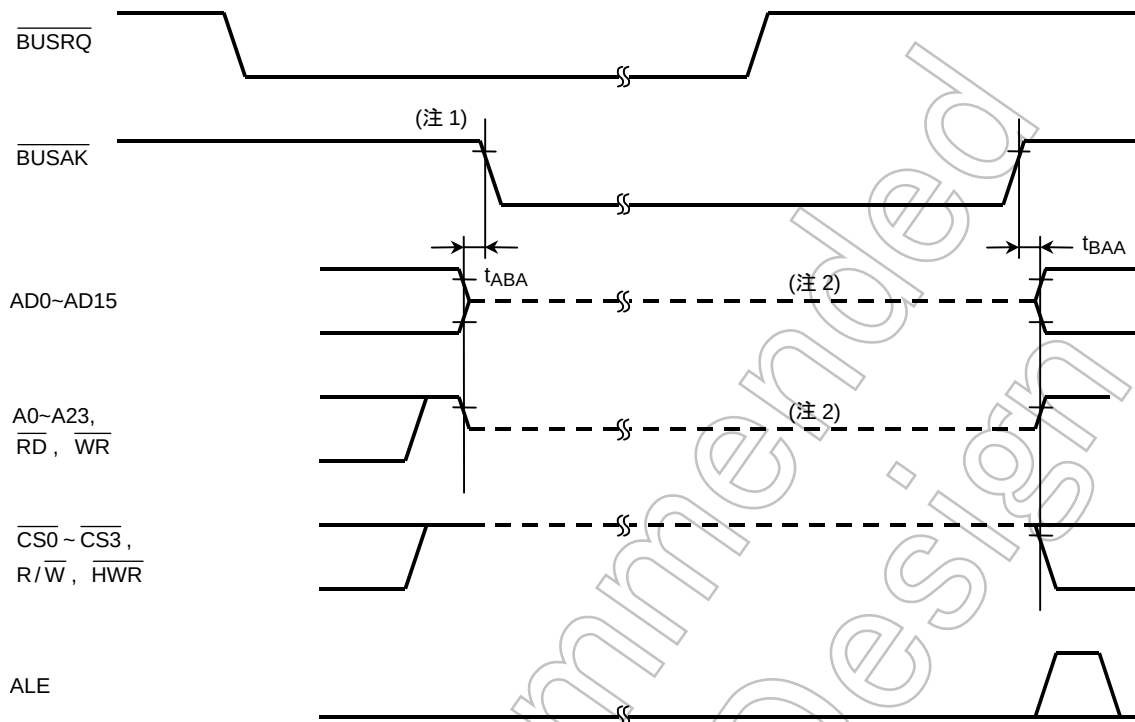
22.14 SCOUT 端子 AC 特性

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$		4.25		ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$		4.25		ns

(注) 表中の「T」は、SCOUT 出力波形の周期を示します。



22.15 バスリクエスト/ バスアクノリッジ



項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	80	0	80	ns

(注 1) BUSRQ を "Low" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

(注 2) この破線は出力バッファが OFF になっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

22.16 KWUP 入力

PULL UP 未使用時

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
KEY0~D 低レベルパルス幅	t_{ky_TBL}	100		100		ns
KEY0~D 高レベルパルス幅	t_{ky_TBH}	100		100		ns

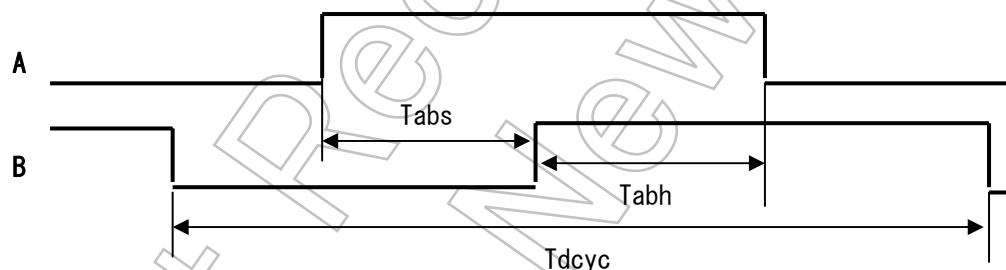
PULL UP 使用時

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
KEY0~D 低レベルパルス幅	t_{ky_TBL}	100		100		ns

22.17 2相パルス入力

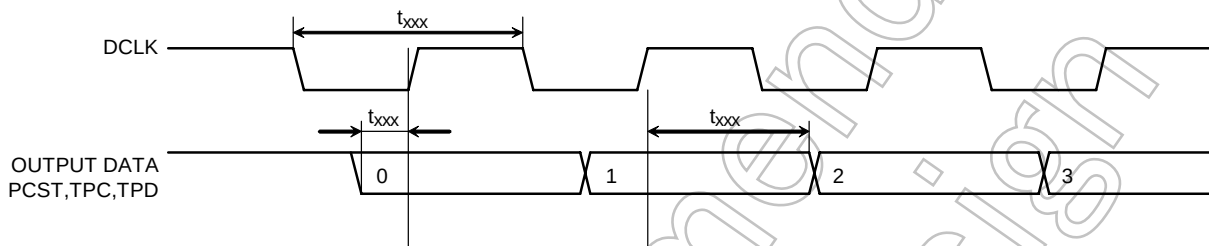
項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
2相入力パルス周期	T_{dcyc}	$8Y$		296		ns
2相入力セットアップ	T_{abs}	$Y+20$		57		ns
2相入力ホールド	T_{abh}	$Y+20$		57		ns

YはSampling clock。(fsys/2)



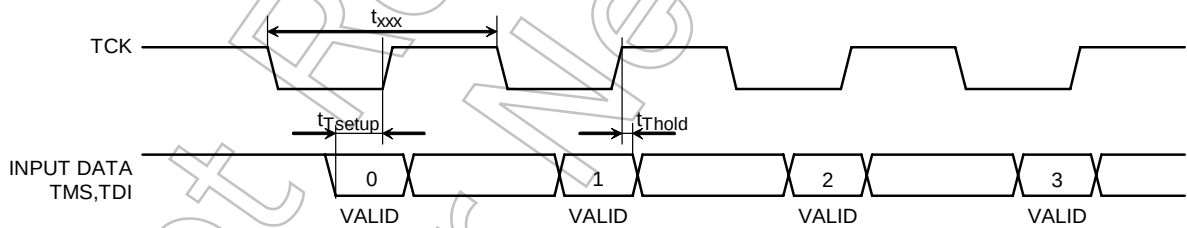
22.18 DSU

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
PCST 有効←DCLK 立ち上がり	t _{xxx}	11		11		ns
DCLK 立ち上がり→PCST 保持	t _{xxx}	0.5		0.5		ns
TPC 有効←DCLK 立ち上がり	t _{xxx}	11		11		ns
DCLK 立ち上がり→TPC 保持	t _{xxx}	0.5		0.5		ns
TPD 有効←DCLK 立ち上がり	t _{xxx}	11		11		ns
DCLK 立ち上がり→TPD 保持	t _{xxx}	0.5		0.5		ns



22.19 EJTAG

項 目	記号	計算式		54 MHz		単位
		Min	Max	Min	Max	
TMS/TDI 入力←TCK 立ち上がり	t _{Tsetup}	5		5		ns
TCK 立ち上がり→TMS/TDI 保持	t _{Thold}	3		3		ns



23. 使用上の注意、制限事項

23.1 特別な表記、言葉の説明

1. 内蔵 I/O レジスタの説明：レジスタシンボル <ビットシンボル>

例) TRUN<T0RUN> … レジスタ TRUN のビット T0RUN

2. fc, fs, fSYS, 1 ステート

fosc: X1/X2 端子より入力されるクロック周波数

fppll: PLL の出力するクロック周波数

fc: $\overline{\text{PLLOFF}}$ 端子で選択されたクロック

fgear: SYSCR1<GEAR1:0> で選択されたクロック周波数

fSYS: システムクロック周波数

また、この fSYS の 1 周期を 1 ステートと呼びます。

また SYSCR1<FPSEL> で選択されたクロック周波数を fperiph, SYSCR0<PRCK1:0> で選択されたプリスケラ用クロック周波数を $\phi T0$ と呼びます。

23.2 使用上の注意、制限事項

1. プロセッサ ID

TMP19A64C1D の TX19A コアの PRId は Processor Revision Identifier レジスタ (PRId): 0x0000_ です。

2. BW0~1 端子

本端子は、DVCC2 端子に接続し動作中にレベル変動のないようにしてください。

3. ウォーミングアップカウンタ

外部発振器を用いるシステムで STOP モードの解除を割り込みで行う際には、ウォーミングアップカウンタが動作するためシステムクロックが出力されるまでウォーミングアップ時間を要します。

4. プログラマブル プルアップ抵抗

このプルアップ抵抗は、ポートを入力ポートとして使用するときのみプログラマブルに付加/付加なしを選択できます。出力ポートとして使用するとき、プログラマブルに選択することはできません。

付加/付加なしの選択は該当ポートのデータレジスタで制御します。

5. バス開放機能

バス開放時の端子状態などについて、“7 章 ポート機能”の中で掲載してありますので参照してください。

6. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

バス開放機能使用した場合、開放要求中もウォッチドッグタイマなどの I/O ブロックは動作していますので注意が必要です。

7. A/D コンバータ

VREFH-VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能があります。STOP モードなど消費電力を下げる場合は、事前にプログラムで切り離してください。

8. 未定義の内蔵 I/O レジスタの扱い

定義されていない内蔵 I/O レジスタのビットは、リードを行うと、不定値が出力されます。そのため、プログラムを作成するときは、このビット状態に依存しないものにしてください。

9. ESD（静電気放電）耐圧

ESD 耐圧は以下の通りとなっております。開発時や生産工程での静電破壊の対策をお願い致します。尚、詳細はデータブック巻頭の「取り扱い上のご注意とお願い」をご参照ください。

TMP19A64C1DXBG(マスク品)

規格	耐圧
機械モデル：MM	±200V
人体モデル：HBM	−1750V～+2000V

TMP19A64F20AXBG/ BXBG(FLASH 品)

規格	耐圧
機械モデル：MM	±200V
人体モデル：HBM	−2000V～+2000V

10. MASK 品でのデバッグモード時について

マスク品 TMP19A64C1DXBG でのデバッグモード（CP0 レジスタの Debug<DM>="1"）時に SREQ で周辺機能にアクセスした場合、正常にアクセスが行われません。デバッグモード使用中は SREQ で周辺機能にアクセスしないようご注意願います。

11. 使用上の制限事項

限定条件: オーバーフロー例外使用**(現象)**

オーバーフロー例外で例外ハンドラへジャンプし、ハンドラの手元命令で再び例外が発生した場合、EPC (戻り番地) にはオーバーフロー例外ハンドラの手元の番地が格納されるはずであるが、オーバーフローが発生した命令の番地が格納される場合がある。

• 発生条件

命令がパイプラインにつまっている状態で、

ADD/ADDI/SUB <= オーバーフローが発生する命令

ジャンプ/分岐命令 <= スロットを有する命令

スロット

という命令列を実行しオーバーフロー例外ハンドラの手元で例外が発生した場合。

- * 東芝製コンパイラではオーバーフローが出る命令を使用していません。従って、上記条件が不成立となり本現象は発生しません。

(回避策)

オーバーフローが発生する命令 (ADD/ADDI/SUB) の直後にはジャンプ/分岐命令を置かない。

限定条件: LWL/LWR 命令実行時**(現象)**

LWL/LWR 命令の結果が不正になることがあります。

- 発生条件

【発生条件－①】

- ロード命令 (LB/LBU/LH/LHU/LW/LWL/LWR) と LWL/LWR 命令とのディスティネーションレジスタが同じ
- パイプラインに空きがない (ロード命令と LWL/LWR 命令が連続して実行される)
- DMAC をスヌープ機能を使用する設定で使っていて、ロード命令実行後に DMAC が転送を開始し、転送終了後に LWL/LWR 命令を実行

上記 a、b、c が同時に発生した場合

【発生条件－②】

- ロード命令 (LB/LBU/LH/LHU/LW/LWL/LWR) と LWL/LWR 命令とのディスティネーションレジスタが同じ
- ロード命令直前に Config レジスタの Doze ビットまたは Halt ビットに「1」をセット
- パイプラインに空きがない (ロード命令と LWL/LWR 命令が連続して実行される)
- ロード命令実行後に STOP/SLEEP/IDLE モードに遷移
- 割り込み要因で STOP/SLEEP/IDLE モードから復帰した後 LWL/LWR を実行

- * ただし、STOP/IDLE モードからの復帰で割り込み処理が発生しない設定の場合のみ該当します。

割り込み処理が発生しない設定とは、Status レジスタの IEc ビットが「0」 (割り込み禁止状態) か、IEc ビットが「1」で割り込み要因の割り込みレベルが Status レジスタの CMask に設定されたレベルより低い場合です。(STOP/IDLE モードは割り込み処理の発生しない設定でも割り込み要因で復帰可能です。)

上記 a、b、c、d、e が同時に発生した場合

(回避策)

LWL/LWR を使用する場合には、

- 1) ロード命令と LWL/LWR 命令の間に NOP を置く。

または、

- 2) LWL/LWR 命令を実行するときにはスヌープ機能を使用する設定で DMAC を起動しない。また、LWL/LWR 命令を実行する前に STOP/IDLE モードへの遷移を行わない。

限定条件: DSU プローブ使用時にオーバーフロー例外発生**(現象)**

オーバーフロー例外発生時のジャンプ先がリセット、ノンマスカブル例外のベクタアドレス 0xBF C0_0000 番地へジャンプしたように見える。

- 発生条件

DSU プローブ使用時にオーバーフロー例外が発生した場合。

- * 東芝製コンパイラではオーバーフローが出る命令を使用していません。従って、上記条件が不成立となり本現象は発生しません。

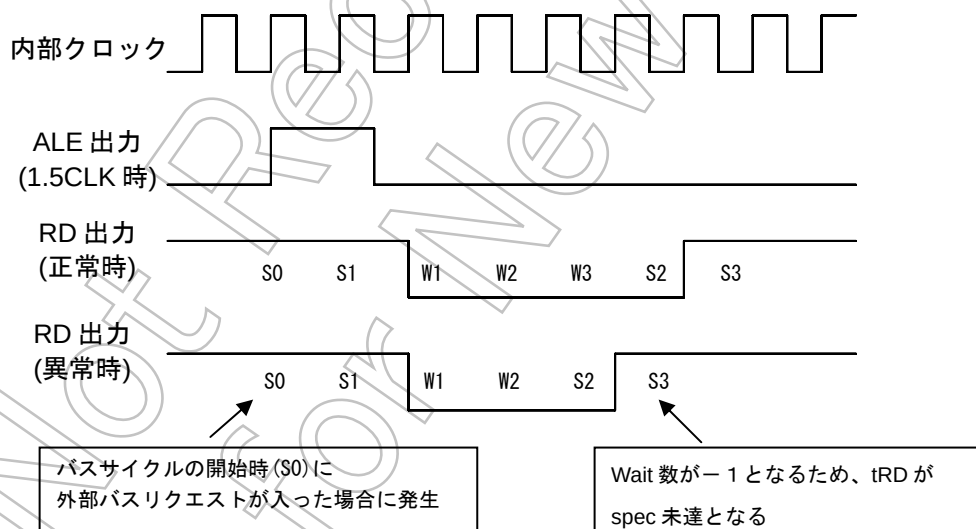
(回避策)

オーバーフローを発生する命令 (ADD/ADDI/SUB) の直後にはジャンプ/分岐命令を置かない。

限定条件: BUSREQ 使用時の WAIT 設定**(現象)**

外部バスにて自動ウェイト挿入機能を使用する際、外部バスリクエストが入るタイミングにより、挿入されるウェイト数が(設定数-1)となる場合があります。

[現象波形] (ALE 幅=1.5CLK, 自動 wait=3 時の例)



- [条件]

1. 外部バスにて自動ウェイト挿入機能を使用(+N ウェイト時も同様)
2. 外部バスリクエスト機能を使用

(回避策)

問題となる設定/システムで使用する場合には、予め wait 数を +1 と設定して下さい。