TOSHIBA

8 ビットマイクロコントローラ

TLCS-870/C シリーズ

TMP86CS49FG

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

● 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。021023_A

● 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品のうち外国為替および外国貿易法により、輸出または海外への提供が規制されているものがあります。021023_F

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

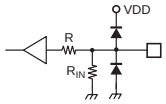
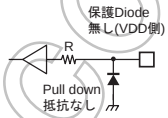
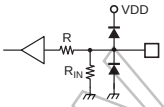
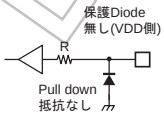
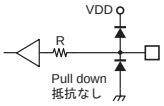
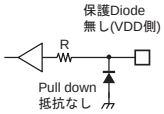
● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

Not Recommended for New Design

©TOSHIBA CORPORATION 2007
All Rights Reserved

製品の相違点

機能の相違点

	86CH49	86CM49	86PM49	86CS49	86FS49	86FS49A	86FS49B
ROM	16K バイト (MASK)	32K バイト (MASK)	32K バイト (OTP)	60K バイト (MASK)	60K バイト (FLASH)		
RAM	512 バイト	1K バイト	1K バイト	2K バイト	2K バイト		
DBR（注 1）	128 バイト (フラッシュ制御レジスタ無し)				128 バイト (フラッシュ制御レジスタ含む)		
I/O	56 端子						
大電流ポート	13 端子 (シンクオープンドレイン)						
割り込み	外部 :5 内部 :19						
タイマカウンタ	16 ビット : 2ch 8 ビット : 4ch						
UART	2ch						
SIO	2ch						
I2C	1ch						
キーオン ウェイクアップ	4ch						
10 ビット AD コンバータ（注 2）	16ch						
フラッシュ セキュリティ	設定はありません				リードプロテクト		リード／ライト プロテクト
TEST 端子の 構造						
対応エミュレーション チップ	TMP86C949XB						
パッケージ	QFP64-P-1414-0.80A	QFP64-P-1414-0.80A LQFP64-P-1010-0.50D SDIP64-P-750-1.78		QFP64-P-1414-0.80A LQFP64-P-1010-0.50D –			

注 1) フラッシュ製品 (86FS49,86FS49A,86FS49B) は、DBR 領域の 0FFFH にフラッシュ制御レジスタ (FLSCR) を内蔵しています。マスク /OTP 製品 / エミュレーションチップは FLSCR レジスタを内蔵していませんので、同レジスタをアクセスするプログラムを動作させても機能しません (フラッシュ製品と異なった動作をします)。

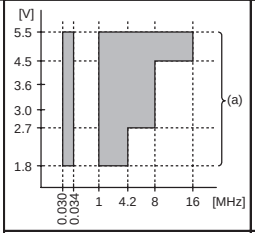
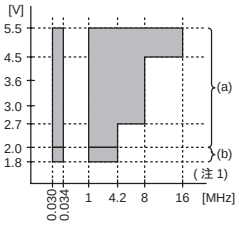
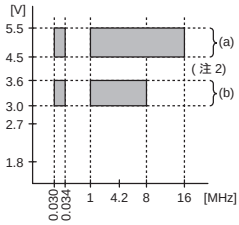
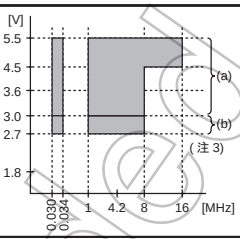
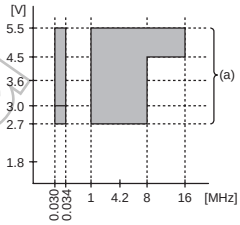
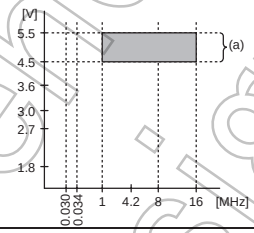
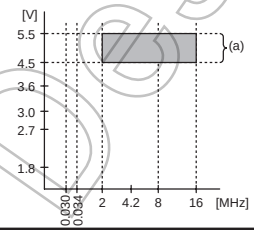
注 2) 本データシートでは、旧版のデータシートから以下の端子名、レジスタ名を変更しました。呼称は変更となりますが、機能的に変更はありません。

Not Recommended for New Design

	旧端子名	新端子名
AD コンバータ入力端子名	P60(AIN00) P61(AIN01) P62(AIN02) P63(AIN03) P64(AIN04) P65(AIN05) P66(AIN06) P67(AIN07) P70(AIN10) P71(AIN11) P72(AIN12) P73(AIN13) P74(AIN14) P75(AIN15) P76(AIN16) P77(AIN17)	P60(AIN0) P61(AIN1) P62(AIN2) P63(AIN3) P64(AIN4) P65(AIN5) P66(AIN6) P67(AIN7) P70(AIN8) P71(AIN9) P72(AIN10) P73(AIN11) P74(AIN12) P75(AIN13) P76(AIN14) P77(AIN15)
アナログ入力チャネル選択	0000:AIN00 0001:AIN01 0010:AIN02 0011:AIN03 0100:AIN04 0101:AIN05 0110:AIN06 0111:AIN07 1000:AIN10 1001:AIN11 1010:AIN12 1011:AIN13 1100:AIN14 1101:AIN15 1110:AIN16 1111:AIN17	0000:AIN0 0001:AIN1 0010:AIN2 0011:AIN3 0100:AIN4 0101:AIN5 0110:AIN6 0111:AIN7 1000:AIN8 1001:AIN9 1010:AIN10 1011:AIN11 1100:AIN12 1101:AIN13 1110:AIN14 1111:AIN15

Not Recommended for New Design

電気的特性の相違点

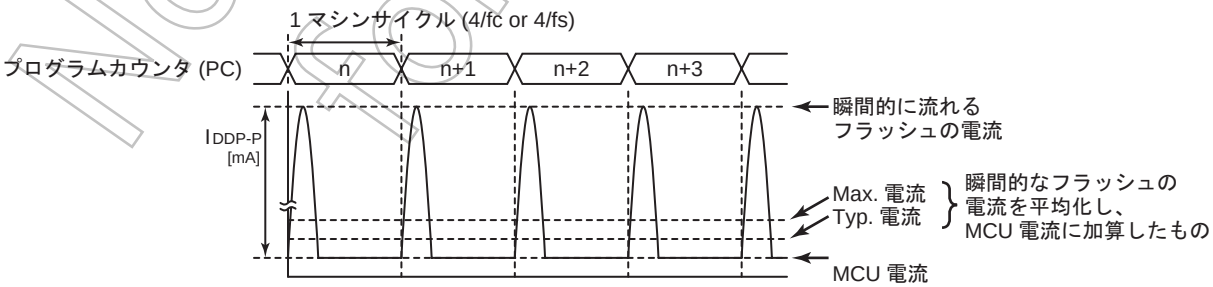
		86CH49 86CM49 86PM49	86CS49	86FS49	86FS49A	86FS49B
動作条件 (MCU モード)	リード / フェッチ時					
		(a) 1.8V ~ 5.5V (-40 ~ 85℃)	(a) 2.0V ~ 5.5V (-40 ~ 85℃) (b) 1.8V ~ 2.0V (-20 ~ 85℃)	(a) 4.5V ~ 5.5V (-40 ~ 85℃) (b) 3.0V ~ 3.6V (-40 ~ 85℃)	(a) 3.0V ~ 5.5V (-40 ~ 85℃) (b) 2.7V ~ 3.0V (-20 ~ 85℃)	(a) 2.7V ~ 5.5V (-40 ~ 85℃)
	消去 / 書き込み時	-	-			
		-	-	(a) 4.5V ~ 5.5V (-10 ~ 40℃)		
動作条件 (シリアル PROM モード)		-	-			
		-	-	(a) 4.5V ~ 5.5V (-10 ~ 40℃)		
動作電流		動作電流は製品によって異なりますので、詳しくは各製品のデータシート (電気的特性) を参照してください。				
					(注 4)	

注 1) 86CS49 の場合、電源電圧 VDD が 2.0V 未満のときの動作温度 (Topr) は - 20 ~ 85 ℃ となります。

注 2) 86FS49 の場合、電源電圧 VDD は、２つの非連続な電圧範囲となっています。MCU 動作中に電源電圧を (a) 領域から (b) 領域、または (b) 領域から (a) 領域に移行させないでください。

注 3) 86FS49A の場合、電源電圧 VDD が 3.0V 未満のときの動作温度 (Topr) は - 20 ~ 85 ℃ となります。

注 4) 86FS49A/B の場合、フラッシュメモリでプログラムが動作しているとき、またはフラッシュメモリからデータをリードしているとき、フラッシュメモリが間欠動作を行いますので、瞬間的に下図のようなピーク電流が流れます。よって電源電流 IDD(NORMAL1/2、SLOW1 モード時) は、ピーク電流を平均化した電流値と MCU 電流の和となります。



フラッシュメモリの間欠動作

Not Recommended for New Design

Not Recommended
for New Design

改訂履歴

日付	版	改訂理由
2006/3/27	1	First Release
2006/5/19	2	内容改訂
2007/6/27	3	内容改訂
2008/8/29	4	内容改訂

Not Recommended for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定(RXDNC設定)には以下の制約があります。"○"の箇所にて使用し、"－"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 （ノイズ除去なし）	01 （31/fc[s] 未満のパルス除去）	10 （63/fc[s] 未満のパルス除去）	11 （127/fc[s] 未満のパルス除去）
000	fc/13	○	○	○	－
110 （タイマカウンタ割り込みでの転送クロックが右記となる場合）	fc/8	○	－	－	－
	fc/16	○	○	－	－
	fc/32	○	○	○	－
上記以外		○	○	○	○

Not Recommended for New Design

Not Recommended
for New Design

目　次

製品の相違点

TMP86CS49FG

1.1　特　長 1
1.2　ピン配置図 3
1.3　ブロック図 4
1.4　端子機能 5

第 2 章　動作説明

2.1　CPU コア機能 9
2.1.1　メモリアドレスマップ 9
2.1.2　プログラムメモリ (MaskROM) 9
2.1.3　データメモリ (RAM) 10
2.2　システムクロック制御回路 11
2.2.1　クロックジェネレータ 11
2.2.2　タイミングジェネレータ 12
2.2.2.1　タイミングジェネレータの構成
2.2.2.2　マシンサイクル
2.2.3　動作モードの種類 13
2.2.3.1　シングルクロックモード
2.2.3.2　デュアルクロックモード
2.2.3.3　STOP モード
2.2.3.4　各動作モードの遷移
2.2.4　動作モードの制御 18
2.2.4.1　STOP モード
2.2.4.2　IDLE1/2 モード , SLEEP1/2 モード
2.2.4.3　IDLE0, SLEEP0 モード
2.2.4.4　SLOW モード
2.3　リセット回路 33
2.3.1　外部リセット入力 33
2.3.2　アドレストラップ リセット 34
2.3.3　ウォッチドッグタイマ リセット 34
2.3.4　システムクロックリセット 34

第 3 章　割り込み制御回路

3.1　割り込みラッチ (IL23 ~ IL2) 36
3.2　割り込み許可レジスタ (EIR) 37
3.2.1　割り込みマスタ許可フラグ (IMF) 37
3.2.2　割り込み個別許可フラグ (EF23 ~ EF4) 37
注 3)　. 39
3.3　割り込み処理 40
3.3.1　割り込み受け付け処理 40
3.3.2　汎用レジスタ退避 / 復帰処理 41

Not Recommended for New Design

3.3.2.1　プッシュ / ポップ命令による汎用レジスタの退避 / 復帰
3.3.2.2　転送命令による汎用レジスタの退避 / 復帰
3.3.3　割り込みリターン 42
3.4　ソフトウエア割り込み (INTSW) 44
3.4.1　アドレスエラー検出 44
3.4.2　デバッギング 44
3.5　未定義命令割り込み (INTUNDEF) 44
3.6　アドレストラップ割り込み (INTATRAP) 44
3.7　外部割り込み 45

第 4 章　スペシャルファンクションレジスタ

4.1　SFR 47
4.2　DBR 49

第 5 章　入出力ポート

5.1　P0 (P07 ～ P00) ポート 52
5.2　P1 (P17 ～ P10) ポート 54
5.3　P2 (P22 ～ P20) ポート 56
5.4　P3 (P37 ～ P30) ポート (大電流 , シンクオープンドレイン出力) 57
5.5　P4 (P47 ～ P40) ポート 58
5.6　P5 (P54 ～ P50) ポート　（大電流、シンクオープンドレイン出力） 60
5.7　P6 (P67 ～ P60) ポート 61
5.8　P7 (P77 ～ P70) ポート 64

第 6 章　ウォッチドッグタイマ (WDT)

6.1　ウォッチドッグタイマの構成 67
6.2　ウォッチドッグタイマの制御 67
6.2.1　ウォッチドッグタイマによる暴走検出の方法 67
6.2.2　ウォッチドッグタイマのイネーブル 69
6.2.3　ウォッチドッグタイマのディセーブル 69
6.2.4　ウォッチドッグタイマ割り込み (INTWDT) 70
6.2.5　ウォッチドッグタイマリセット 70
6.3　アドレストラップ 71
6.3.1　内蔵 RAM 領域のアドレストラップ選択 (ATAS) 71
6.3.2　アドレストラップ発生時の動作選択 (ATOUT) 71
6.3.3　アドレストラップ割り込み (INTATRAP) 71
6.3.4　アドレストラップリセット 72

第 7 章　タイムベースタイマ (TBT)

7.1　タイムベースタイマ 73
7.1.1　構成 73
7.1.2　制御 73
7.1.3　機能 74
7.2　デバイダ出力 (DVO) 75
7.2.1　構成 75
7.2.2　制御 75

Not Recommended for New Design

第 8 章　16 ビットタイマカウンタ 1 (TC1)

8.1　構成 77
8.2　制御 78
8.3　機能 80
8.3.1　タイマモード 80
8.3.2　外部トリガタイマモード 82
8.3.3　イベントカウンタモード 84
8.3.4　ウィンドウモード 85
8.3.5　パルス幅測定モード 86
8.3.6　プログラマブルパルスジェネレート (PPG) 出力モード 89

第 9 章　16 ビットタイマカウンタ 2 (TC2)

9.1　構成 93
9.2　制御 94
9.3　機能 95
9.3.1　タイマモード 95
9.3.2　イベントカウンタモード 97
9.3.3　ウィンドウモード 97

第 10 章　8 ビットタイマカウンタ (TC3, TC4)

10.1　構成 99
10.2　制御 100
10.3　機能 106
10.3.1　8 ビットタイマモード (TC3, 4) 106
10.3.2　8 ビットイベントカウンタモード (TC3, 4) 107
10.3.3　8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4) 107
10.3.4　8 ビットパルス幅変調 (PWM) 出力モード (TC3, 4) 110
10.3.5　16 ビットタイマモード (TC3 + 4) 112
10.3.6　16 ビットイベントカウンタモード (TC3 + 4) 113
10.3.7　16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4) 113
10.3.8　16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4) 116
10.3.9　ウォーミングアップカウンタモード 118
10.3.9.1　低周波ウォーミングアップカウンタモード
(NORMAL1 → NORMAL2 → SLOW2 → SLOW1)
10.3.9.2　高周波ウォーミングアップカウンタモード
(SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

第 11 章　8 ビットタイマカウンタ (TC5, TC6)

11.1　構成 121
11.2　制御 122
11.3　機能 128
11.3.1　8 ビットタイマモード (TC5, 6) 128
11.3.2　8 ビットイベントカウンタモード (TC5, 6) 129
11.3.3　8 ビットプログラマブル デバイダ出力 (PDO) モード (TC5, 6) 129
11.3.4　8 ビットパルス幅変調 (PWM) 出力モード (TC5, 6) 132
11.3.5　16 ビットタイマモード (TC5 + 6) 134
11.3.6　16 ビットイベントカウンタモード (TC5 + 6) 135
11.3.7　16 ビットパルス幅変調 (PWM) 出力モード (TC5 + 6) 135
11.3.8　16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC5 + 6) 138
11.3.9　ウォーミングアップカウンタモード 140
11.3.9.1　低周波ウォーミングアップカウンタモード

Not Recommended for New Design

(NORMAL1 → NORMAL2 → SLOW2 → SLOW1)
11.3.9.2　高周波ウォーミングアップカウンタモード
(SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

第 12 章　非同期型シリアルインターフェース (UART1)

12.1　構成 143
12.2　制御 144
12.3　転送データフォーマット 146
12.4　転送レート 147
12.5　データのサンプリング方法 147
12.6　STOP ビット長 148
12.7　パリティ 148
12.8　送受信動作 148
12.8.1　データ送信動作 148
12.8.2　データ受信動作 148
12.9　ステータスフラグ 149
12.9.1　パリティエラー 149
12.9.2　フレーミングエラー 149
12.9.3　オーバランエラー 149
12.9.4　受信バッファフル 150
12.9.5　送信バッファエンプティ 150
12.9.6　送信終了フラグ 151

第 13 章　非同期型シリアルインターフェース (UART2)

13.1　構成 153
13.2　制御 154
13.3　転送データフォーマット 156
13.4　転送レート 157
13.5　データのサンプリング方法 157
13.6　STOP ビット長 158
13.7　パリティ 158
13.8　送受信動作 158
13.8.1　データ送信動作 158
13.8.2　データ受信動作 158
13.9　ステータスフラグ 159
13.9.1　パリティエラー 159
13.9.2　フレーミングエラー 159
13.9.3　オーバランエラー 159
13.9.4　受信バッファフル 160
13.9.5　送信バッファエンプティ 160
13.9.6　送信終了フラグ 161

第 14 章　同期式シリアルインタフェース (SIO1)

14.1　構成 163
14.2　制御 164
14.3　機能 166
14.3.1　シリアルクロック 166
14.3.1.1　クロックソース
14.3.1.2　シフトエッジ
14.3.2　転送ビット方向 168
14.3.2.1　送信モード

Not Recommended for New Design

14.3.2.2　受信モード
14.3.2.3　送受信モード
14.3.3　転送モード 169
14.3.3.1　送信モード
14.3.3.2　受信モード
14.3.3.3　送受信モード

第 15 章　同期式シリアルインタフェース（SIO2）

15.1　構成 181
15.2　制御 182
15.3　機能 184
15.3.1　シリアルクロック 184
15.3.1.1　クロックソース
15.3.1.2　シフトエッジ
15.3.2　転送ビット方向 186
15.3.2.1　送信モード
15.3.2.2　受信モード
15.3.2.3　送受信モード
15.3.3　転送モード 187
15.3.3.1　送信モード
15.3.3.2　受信モード
15.3.3.3　送受信モード

第 16 章　シリアルバスインタフェース（I2C バス）ver.-D (SBI)

16.1　構成 199
16.2　制御 200
16.3　ソフトウエアリセット 200
16.4　I2C バスのデータフォーマット 201
16.5　シリアルバスインタフェースの制御 202
16.5.1　アクノリッジメントモードの指定 205
16.5.1.1　アクノリッジメントモード (ACK = “1”)
16.5.1.2　非アクノリッジメントモード (ACK = “0”)
16.5.2　転送ビット数の選択 206
16.5.3　シリアルクロック 206
16.5.3.1　クロックソース
16.5.3.2　クロック同期化
16.5.4　スレーブアドレスとアドレス認識モードの設定 207
16.5.5　マスタ / スレーブの選択 207
16.5.6　トランスミッタ / レシーバの選択 207
16.5.7　スタート / ストップコンディションの発生 208
16.5.8　割り込みサービス要求と解除 209
16.5.9　シリアルバスインタフェースの動作モード 209
16.5.10　アービトレーションロスト検出モニタ 209
16.5.11　スレーブアドレス一致検出モニタ 211
16.5.12　ゼネラルコール検出モニタ 211
16.5.13　最終受信ビットモニタ 211
16.6　I2C バスモード時のデータ転送手順 212
16.6.1　デバイスの初期化 212
16.6.2　スタートコンディション、スレーブアドレスの発生 212
16.6.3　1 ワードのデータ転送 213
16.6.3.1　MST が “1” のとき（マスタモード）
16.6.3.2　MST が “0” のとき（スレーブモード）
16.6.4　ストップコンディションの発生 216
16.6.5　再スタートの手順 216

第 17 章　10 ビット AD コンバータ (ADC)

17.1　構成 219

Not Recommended for New Design

17.2 制御 220
17.3 機能 223
17.3.1 ソフトウエアスタートモード 223
17.3.2 リピードモード 223
17.3.3 レジスタの設定 224
17.4 AD 変換時の STOP/SLOW モード 225
17.5 入力電圧と変換結果 226
17.6 AD コンバータの注意事項 227
17.6.1 AD 変換終了割り込み (INTADC) の使用に関する制限事項 227
17.6.2 アナログ入力端子電圧範囲 227
17.6.3 アナログ入力兼用端子 227
17.6.4 ノイズ対策 227

第 18 章 キーオンウェイクアップ (KWU)

18.1 構成 229
18.2 制御 229
18.3 機能 229

第 19 章 端子の入出力回路

19.1 制御端子 231
19.2 入出力ポート 232

第 20 章 電気的特性

20.1 絶対最大定格 235
20.2 動作条件 236
20.3 DC 特性 237
20.4 AD 変換特性 238
20.5 AC 特性 239
20.6 推奨発振条件 - 1 240
20.7 取り扱い上のご注意 240

第 21 章 外形寸法

Not Recommended for New Design

CMOS 8 ビット マイクロコントローラ

TMP86CS49FG

製品形名	ROM (マスク ROM)	RAM	パッケージ	フラッシュ内蔵品	エミュレーションチップ
TMP86CS49FG	61440 バイト	2048 バイト	QFP64-P-1414-0.80A	TMP86FS49AFG	TMP86C949XB

1.1 特　長

- 8 ビットシングルチップマイクロコントローラ : TLCS-870/C シリーズ
  - 最小実行時間 :

    0.25 μs (16 MHz 動作時)

    122 μs (32.768 kHz 動作時)
  - 基本機械命令 : 132 種類 731 命令
- 割り込み要因 24 要因 (外部 : 5, 内部 : 19)
- 入出力ポート (56 端子)

  大電流出力 13 端子 (Typ. 20mA)

- ウォッチドッグタイマ
  - 割り込み / 内部リセット発生の選択 (プログラマブル)
- プリスケーラ
  - タイムベースタイマ機能
  - デバイダ出力機能
- 16 ビットタイマカウンタ :1 チャネル
  - タイマ , イベントカウンタ ,PPG(プログラマブル矩形波) 出力 , パルス幅測定 , 外部トリガタイマ , ウィンドウモード
- 16 ビットタイマカウンタ :1 チャネル
  - タイマ , イベントカウンタ , ウィンドウモード
- 8 ビットタイマカウンタ : 4 チャネル
  - タイマ , イベントカウンタ
  - PDO (Programmable Divider Output) モード
  - PWM (パルス幅変調出力)

Not Recommended for New Design

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
  なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。021023 _ A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 " 特定用途 " という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023 _ B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106 _ Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023 _ C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023 _ E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023 _ D
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519 _ S

- PPG モード
- 16 ビットモード (タイマ 2 チャネルを組み合わせて使用)

• 8 ビット UART : 2 チャネル
• HSIO: 2 チャネル
• シリアルバスインタフェース (I^2C バス): 1 チャネル
• 10 ビット逐次比較方式 AD コンバータ
  - アナログ入力 : 16 チャネル
• キーオンウェイクアップ : 4 チャネル
• クロック発振回路 : 2 回路

  シングル / デュアルクロックモードの選択

• 低消費電力動作 (9 モード)
  - STOP モード : 発振停止 (バッテリー / コンデンサバックアップ)
  - SLOW1 モード : 低周波クロックによる低周波動作 (高周波停止)
  - SLOW2 モード : 低周波クロックによる低周波動作 (高周波発振)
  - IDLE0 モード : CPU 停止。

    周辺ハードウエアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - IDLE1 モード : CPU 停止。

    周辺ハードウエアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
  - IDLE2 モード : CPU 停止。

    周辺ハードウエアのみ動作 (高周波 / 低周波クロック) 継続し、割り込みで解除
  - SLEEP0 モード : CPU 停止。

    周辺ハードウエアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - SLEEP1 モード : CPU 停止。

    周辺ハードウエアのみ動作 (低周波クロック) 継続し、割り込みで解除。
  - SLEEP2 モード : CPU 停止。

    周辺ハードウエアのみ動作 (高周波 / 低周波クロック) 継続し、割り込みで解除。
• 動作電圧 :

  4.5 V~5.5 V @ 16MHz /32.768 kHz

  2.7 V~5.5 V @ 8 MHz /32.768 kHz

  1.8 V~5.5 V @ 4.2MHz /32.768 kHz

Not Recommended for New Design

1.2 ピン配置図

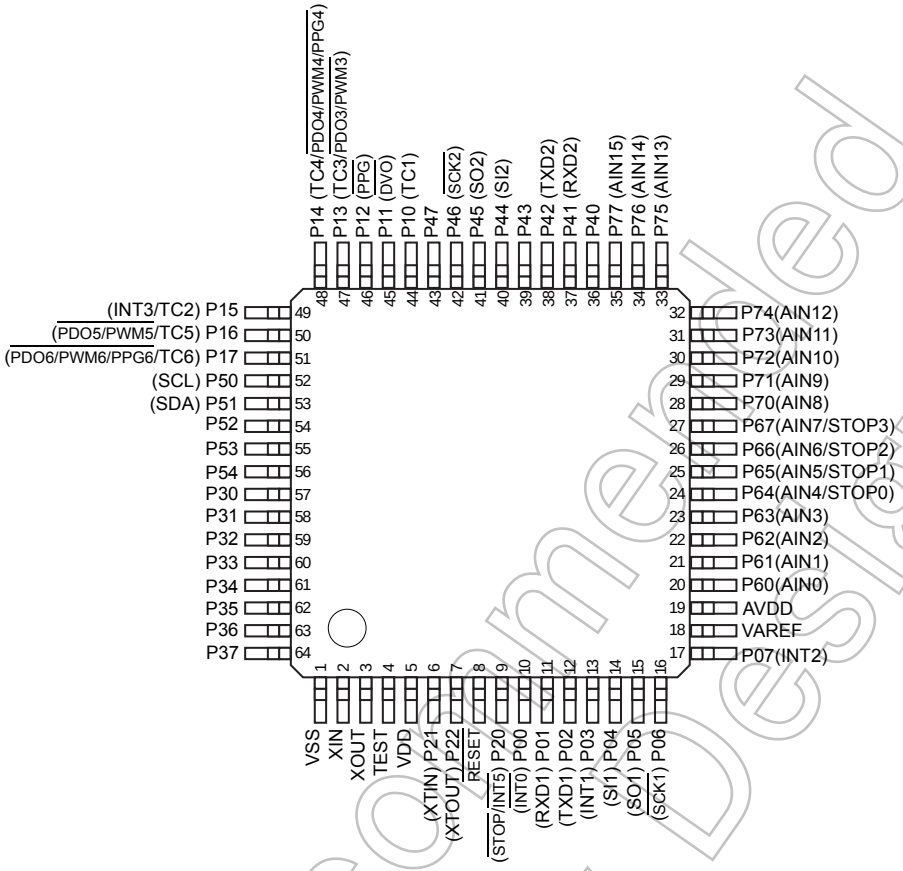


図 1-1 ピン配置図

Not Recommended for New Design

1.3 ブロック図

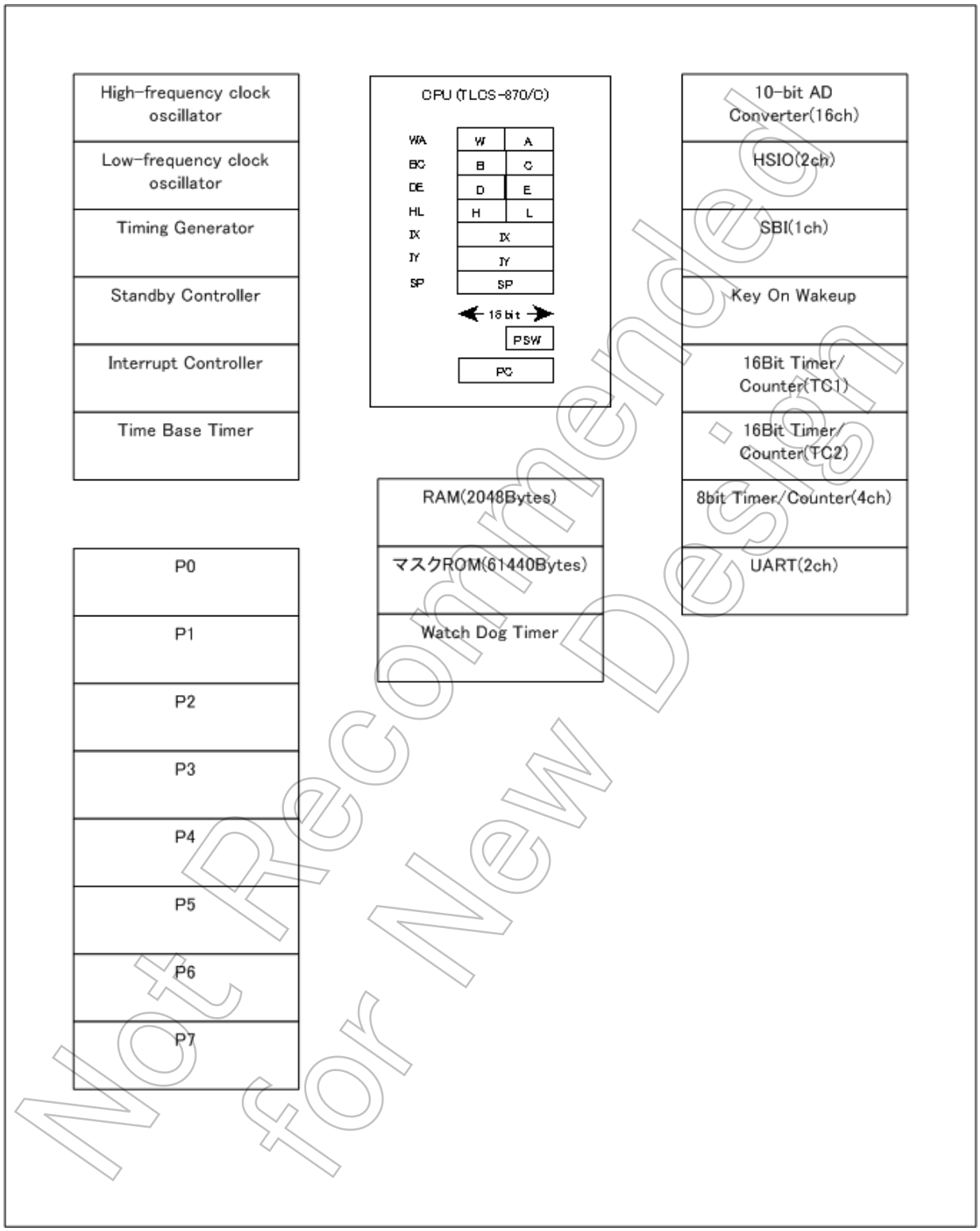


図 1-2 ブロック図

1.4 端子機能

表 1-1 端子機能表（１／３）

端子名	ピン番号	入出力	機能
P07 INT2	17	IO I	ポート 07 外部割り込み 2 入力
P06 $\overline{\text{SCK1}}$	16	IO IO	ポート 06 シリアルクロック入出力 1
P05 SO1	15	IO O	ポート 05 シリアルデータ出力 1
P04 SI1	14	IO I	ポート 04 シリアルデータ入力 1
P03 INT1	13	IO I	ポート 03 外部割り込み 1 入力
P02 TXD1	12	IO O	ポート 02 UART データ出力 1
P01 RXD1	11	IO I	ポート 01 UART データ入力 1
P00 $\overline{\text{INT0}}$	10	IO I	ポート 00 外部割り込み 0 入力
P17 TC6 $\overline{\text{PDO6/PWM6/PPG6}}$	51	IO I O	ポート 17 TC6 端子入力 PDO6/PWM6/PPG6 出力
P16 TC5 $\overline{\text{PDO5/PWM5}}$	50	IO I O	ポート 16 TC5 端子入力 PDO5/PWM5 出力
P15 TC2 INT3	49	IO I I	ポート 15 TC2 端子入力 外部割り込み 3 入力
P14 TC4 $\overline{\text{PDO4/PWM4/PPG4}}$	48	IO I O	ポート 14 TC4 端子入力 PDO4/PWM4/PPG4 出力
P13 TC3 $\overline{\text{PDO3/PWM3}}$	47	IO I O	ポート 13 TC3 端子入力 PDO3/PWM3 出力
P12 $\overline{\text{PPG}}$	46	IO O	ポート 12 PPG 出力
P11 $\overline{\text{DVO}}$	45	IO O	ポート 11 デバイダ出力
P10 TC1	44	IO I	ポート 10 TC1 端子入力
P22 XTOUT	7	IO O	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子

Not Recommended for New Design

表 1-1 端子機能表（２／３）

端子名	ピン番号	入出力	機能
P20 $\overline{\text{INT5}}$ $\overline{\text{STOP}}$	9	IO I I	ポート 20 外部割り込み 5 入力 STOP モード解除入力
P37	64	IO	ポート 37
P36	63	IO	ポート 36
P35	62	IO	ポート 35
P34	61	IO	ポート 34
P33	60	IO	ポート 33
P32	59	IO	ポート 32
P31	58	IO	ポート 31
P30	57	IO	ポート 30
P47	43	IO	ポート 47
P46 $\overline{\text{SCK2}}$	42	IO IO	ポート 46 シリアルクロック入出力 2
P45 SO2	41	IO O	ポート 45 シリアルデータ出力 2
P44 SI2	40	IO I	ポート 44 シリアルデータ入力 2
P43	39	IO	ポート 43
P42 TXD2	38	IO O	ポート 42 UART データ出力 2
P41 RXD2	37	IO I	ポート 41 UART データ入力 2
P40	36	IO	ポート 40
P54	56	IO	ポート 54
P53	55	IO	ポート 53
P52	54	IO	ポート 52
P51 SDA	53	IO IO	ポート 51 I2C バスデータ
P50 SCL	52	IO IO	ポート 50 I2C バスクロック
P67 AIN7 STOP3	27	IO I I	ポート 67 アナログ入力 7 STOP3 入力
P66 AIN6 STOP2	26	IO I I	ポート 66 アナログ入力 6 STOP2 入力
P65 AIN5 STOP1	25	IO I I	ポート 65 アナログ入力 5 STOP1 入力

Not Recommended for New Design

表 1-1 端子機能表（３／３）

端子名	ピン番号	入出力	機能
P64 AIN4 STOP0	24	IO I I	ポート 64 アナログ入力 4 STOP0 入力
P63 AIN3	23	IO I	ポート 63 アナログ入力 3
P62 AIN2	22	IO I	ポート 62 アナログ入力 2
P61 AIN1	21	IO I	ポート 61 アナログ入力 1
P60 AIN0	20	IO I	ポート 60 アナログ入力 0
P77 AIN15	35	IO I	ポート 77 アナログ入力 15
P76 AIN14	34	IO I	ポート 76 アナログ入力 14
P75 AIN13	33	IO I	ポート 75 アナログ入力 13
P74 AIN12	32	IO I	ポート 74 アナログ入力 12
P73 AIN11	31	IO I	ポート 73 アナログ入力 11
P72 AIN10	30	IO I	ポート 72 アナログ入力 10
P71 AIN9	29	IO I	ポート 71 アナログ入力 9
P70 AIN8	28	IO I	ポート 70 アナログ入力 8
XIN	2	I	発振子接続端子
XOUT	3	O	発振子接続端子
$\overline{\text{RESET}}$	8	I	リセット入力
TEST	4	I	出荷試験用端子。“L”レベルに固定してください。
VAREF	18	I	AD 変換用アナログ基準電圧入力端子
AVDD	19	I	アナログ電源
VDD	5	I	電源端子
VSS	1	I	GND 端子

Not Recommended for New Design

Not Recommended for New Design

第 2 章　動作説明

2.1　CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1　メモリアドレスマップ

TMP86CS49FG のメモリは、MaskROM, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86CS49FG のメモリアドレスマップを示します。

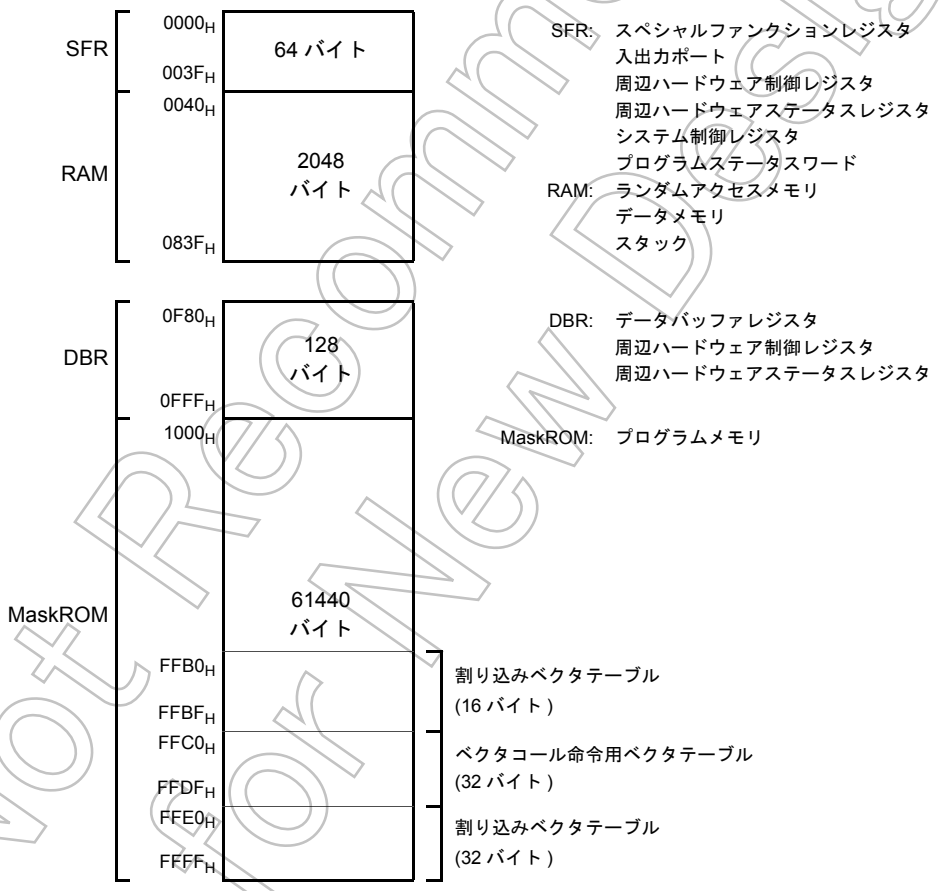


図 2-1 メモリアドレスマップ

2.1.2　プログラムメモリ (MaskROM)

TMP86CS49FG は 61440 バイト (アドレス 1000H~FFFFH) のプログラムメモリ (MaskROM) を内蔵しています。

Not Recommended for New Design

2.1.3　データメモリ (RAM)

TMP86CS49FG は、2048 バイト (アドレス 0040H~083FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

（プログラム例）TMP86CS49FG の RAM クリア

```
            LD      HL, 0040H       ; スタートアドレスの設定
            LD      A, H            ; 初期化データ (00H) の設定
            LD      BC,07FFH        ; バイト数 (–1) の設定
SRAMCLR:    LD      (HL), A
            INC     HL
            DEC     BC
            JRS     F, SRAMCLR
```

Not Recommended for New Design

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ , タイミングジェネレータおよび動作モード制御回路から構成されています。

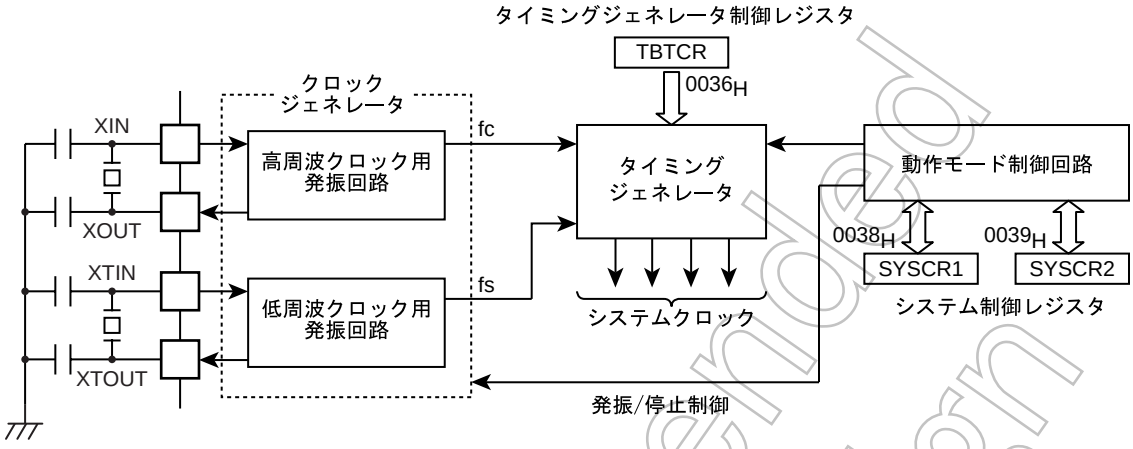


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロック ジェネレータは、CPU コアおよび周辺ハードウエアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 fc), 低周波クロック (周波数 fs) は、それぞれ XIN, XOUT 端子 , XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

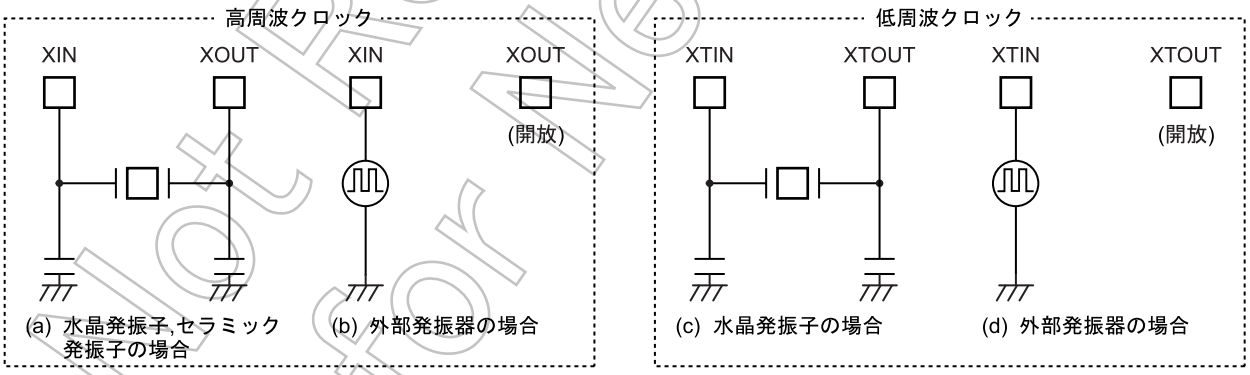


図 2-3 発振子の接続例

注) 基本クロックを外部にて直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態 , ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

Not Recommended for New Design

2.2.2　タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウエアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ($\overline{DVO}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

2.2.2.1　タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケーラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定 により図 2-4 のようになります。なお、リセット時および STOP モード起動 / 解除時プリスケーラおよびデバイダは “0” にクリアされます。

注)　TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

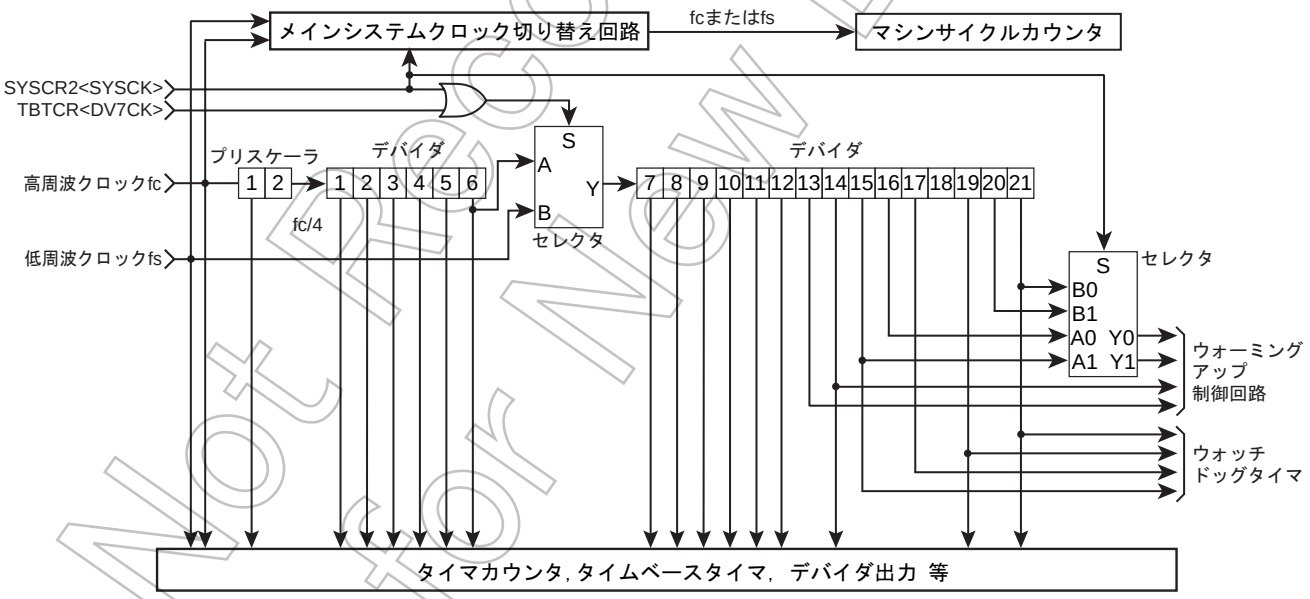


図 2-4 タイミングジェネレータの構成

Not Recommended for New Design

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	
	(DV0EN)	(DV0CK)		DV7CK	(TBTEN)	(TBTCK)			(初期値 : 0000 0000)

DV7CK	デバイダ 7 段目への 入力クロックの選択	0: fc/2^8[Hz] 1: fs	R/W

注 1) シングルクロックモード時は、DV7CK を “1” にセットしないでください。

注 2) 低周波クロックの発振安定前に DV7CK を “1” にセットしないでください。

注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], ∗: Don’t care

注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。

注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウエアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

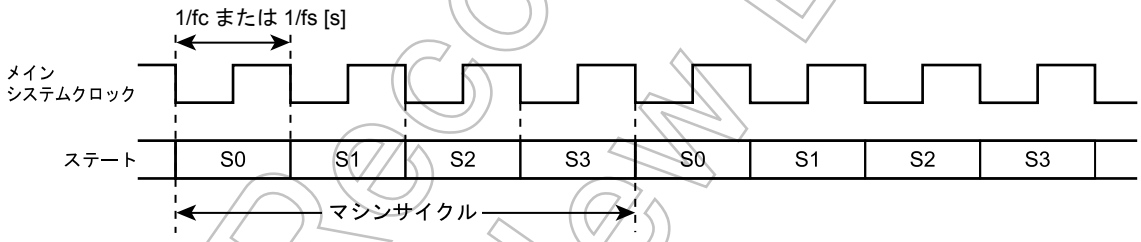


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用 , 低周波クロック用の各発振回路の発振 / 停止 および メインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは 4/fc [s] となります。

Not Recommended for New Design

（1） NORMAL1 モード

CPU コアおよび周辺ハードウエアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

（2） IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を “1” にセットすることで行います。周辺ハードウエアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

（3） IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を “1” にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。
なお、IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF7 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2　デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 4/fc [s]，SLOW, SLEEP モード時 4/fs [s] (122 μs @ fs = 32.768 kHz) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

（1） NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウエアは高周波 / 低周波の両クロックで動作します。

Not Recommended for New Design

（2） SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え , SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK> で行います。SLOW2 モード時、XTEN を “0” にクリアしないでください。

（3） SLOW1 モード

高周波クロックの発振を停止させ、CPU コア , 周辺ハードウエアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN> で行います。SLOW1, SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

（4） IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

（5） SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振しておりません。SLOW1, SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

（6） SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

（7） SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を “1” にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”, EF7 (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

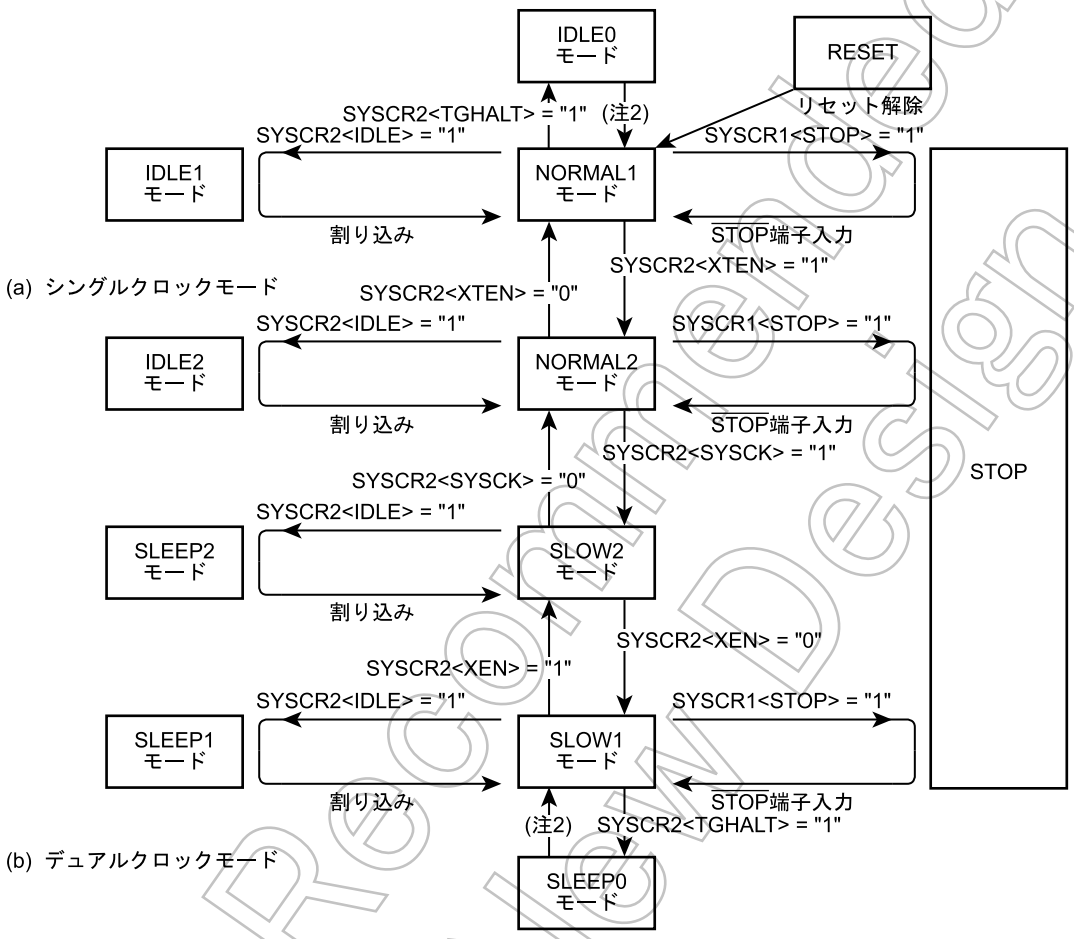
2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

Not Recommended for New Design

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、$\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.2.3.4　各動作モードの遷移



注 1)　NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。

注 2)　TBTCR<TBTCK> によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

Not Recommended for New Design

表 2-1 動作モードと各部の状態

<table>
<tr><th colspan="2" rowspan="2">動作モード</th><th colspan="2">発振回路</th><th rowspan="2">CPU コア</th><th rowspan="2">TBT</th><th rowspan="2">その他
周辺回路</th><th rowspan="2">マシンサイクルタイム</th></tr>
<tr><th>高周波</th><th>低周波</th></tr>
<tr><td rowspan="5">シングルクロック</td><td>RESET</td><td rowspan="4">発振</td><td rowspan="5">停止</td><td>リセット</td><td>リセット</td><td>リセット</td><td rowspan="4">4/fc [s]</td></tr>
<tr><td>NORMAL1</td><td>動作</td><td rowspan="3">動作</td><td rowspan="2">動作</td></tr>
<tr><td>IDLE1</td><td rowspan="3">停止</td></tr>
<tr><td>IDLE0</td><td rowspan="2">停止</td></tr>
<tr><td>STOP</td><td>停止</td><td>停止</td><td>—</td></tr>
<tr><td rowspan="8">デュアルクロック</td><td>NORMAL2</td><td rowspan="4">発振</td><td rowspan="6">発振</td><td>高周波動作</td><td rowspan="7">動作</td><td rowspan="7">動作</td><td>4/fc [s]</td></tr>
<tr><td>IDLE2</td><td>停止</td><td rowspan="6">4/fs [s]</td></tr>
<tr><td>SLOW2</td><td>低周波動作</td></tr>
<tr><td>SLEEP2</td><td>停止</td></tr>
<tr><td>SLOW1</td><td rowspan="4">停止</td><td>低周波動作</td></tr>
<tr><td>SLEEP1</td><td rowspan="3">停止</td></tr>
<tr><td>SLEEP0</td><td rowspan="2">停止</td></tr>
<tr><td>STOP</td><td>停止</td><td>停止</td><td>—</td></tr>
</table>

Not Recommended for New Design

2.2.4　動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値 : 0000 00**)

STOP	STOP モードの起動	0: CPU コア，周辺ハードウエア動作 1: CPU コア，周辺ハードウエア停止 (STOP モード起動)			R/W
RELM	STOP モードの解除方法の選択	0: エッジ解除モード ($\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除) 1: レベル解除モード ($\overline{\text{STOP}}$ 端子入力の “H” レベルで解除)			R/W
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る			R/W
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持			R/W
WUT	STOP モード解除時のウォーミングアップ時間 単位 : [s]		NORMAL1/2 モードへ戻る場合	SLOW1 モードへ戻る場合	R/W
		00	3×2^{16}/fc	3×2^{13}/fs	
		01	2^{16}/fc	2^{13}/fs	
		10	3×2^{14}/fc	3×2^{6}/fs	
		11	2^{14}/fc	2^{6}/fs	

注 1)　RETM は、NORMAL モードから STOP モードを起動する場合は必ず “0” にしてください。SLOW モードから STOP モードを起動する場合は必ず “1” にしてください。

注 2)　STOP モードを RESET 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。

注 3)　fc ; 高周波クロック [Hz], fs ; 低周波クロック [Hz], *; Don’t care

注 4)　SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。

注 5)　OUTEN = “0” の指定で STOP モードを起動すると、内部入力は “0” に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。

注 6)　キーオンウェイクアップ入力を使用する場合は、RELM を “1” に設定してください。

注 7)　P20 端子は STOP 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は Hi-z 状態となります。

注 8)　ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

Not Recommended for New Design

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値 : 1000 ∗0∗∗)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択 (write)/ モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。

注 2) WDT; ウォッチドッグタイマ , TG; タイミングジェネレータ , ∗ ; Don’t care

注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。

注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。

注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTCK> によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTCK> の時間よりも短くなります。

注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。

注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。

注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

Not Recommended for New Design

2.2.4.1　STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP3 ～ STOP0 によって制御されます。$\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を “1” にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波 , 低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケーラおよびデバイダを “0” にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1) . 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP3 ～ STOP0 を使用禁止に設定してください。

注 1)　なお、$\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2)　STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが “1” にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

（1）　レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への “H” レベル入力または STOP3 ～ STOP0 (STOPCR でビットごとに設定可能) 端子への “L” レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサ バックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が “H” レベルまたは STOP3 ～ STOP0 端子が “L” レベルの状態で STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、$\overline{\text{STOP}}$ 端子入力が “L” レベルであり、また STOP3 ～ STOP0 端子入力が “H” レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. INT5 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

（プログラム例 1 ）　P20 ポートをテストして NORMAL モードから STOP モードを起動

```
                LD      (SYSCR1), 01010000B     ; レベル解除モードにセットアップ
SSTOPH:         TEST    (P2PRD) . 0             ; STOP 端子入力が “L” レベルになるまでウエイト
                JRS     F, SSTOPH
                DI                              ; IMF←0
                SET     (SYSCR1) . 7            ; STOP モードを起動
```

Not Recommended for New Design

（プログラム例 2）　INT5 割り込みにより、NORMAL モードから STOP モードを起動

```
PINT5:    TEST    (P2PRD) . 0          ; ノイズ 除去のため P20 ポート入力が
          JRS     F, SINT5             ; "H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B  ; レベル解除モードにセットアップ
          DI                           ; IMF←0
          SET     (SYSCR1) . 7         ; STOP モードを起動
SINT5:    RETI
```

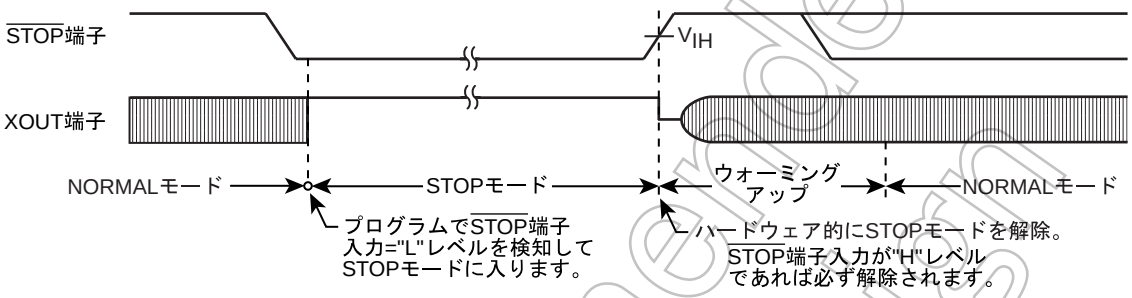


図 2-7 レベル解除モード

注 1)　ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP3 ～ STOP0 端子が "H" レベルになっても STOP モードには戻りません。

注 2)　エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

（2） エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、$\overline{\text{STOP}}$ 端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP3 ～ STOP0 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

（プログラム例）NORMAL モードから STOP モードを起動

```
          DI                           ; IMF←0
          LD      (SYSCR1) , 10010000B ; エッジ解除モードに設定して起動
```

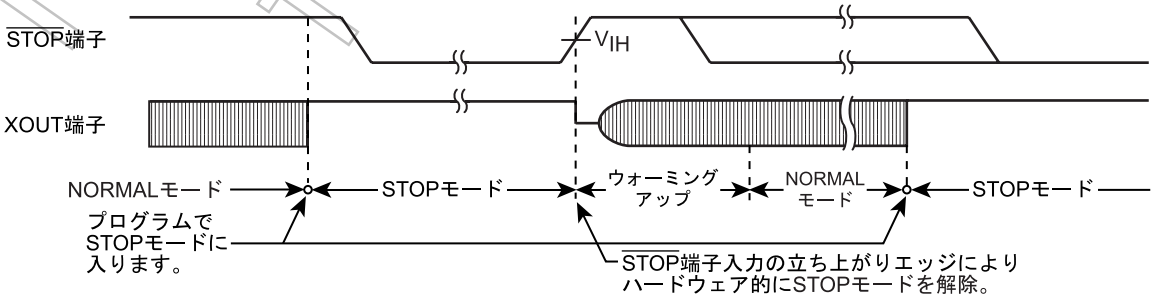


図 2-8 エッジ解除モード

Not Recommended for New Design

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW に戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で 4 種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1)　STOP モードを解除すると、タイミングジェネレータのプリスケーラおよびデバイダは "0" にクリアされた状態から始まります。

注 2)　STOP モードは、$\overline{\text{RESET}}$ 端子を “L” レベル にすることによっても解除され、直ちに通常のリセット動作を行います。

注 3)　低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。
STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、$\overline{\text{RESET}}$ 端子も “H” レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、$\overline{\text{RESET}}$ 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、$\overline{\text{RESET}}$ 端子の入力電圧レベルが、$\overline{\text{RESET}}$ 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

WUT	ウォーミングアップ時間 [ms]	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288	750
01	4.096	250
10	3.072	5.85
11	1.024	1.95

注 1)　ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

Not Recommended for New Design

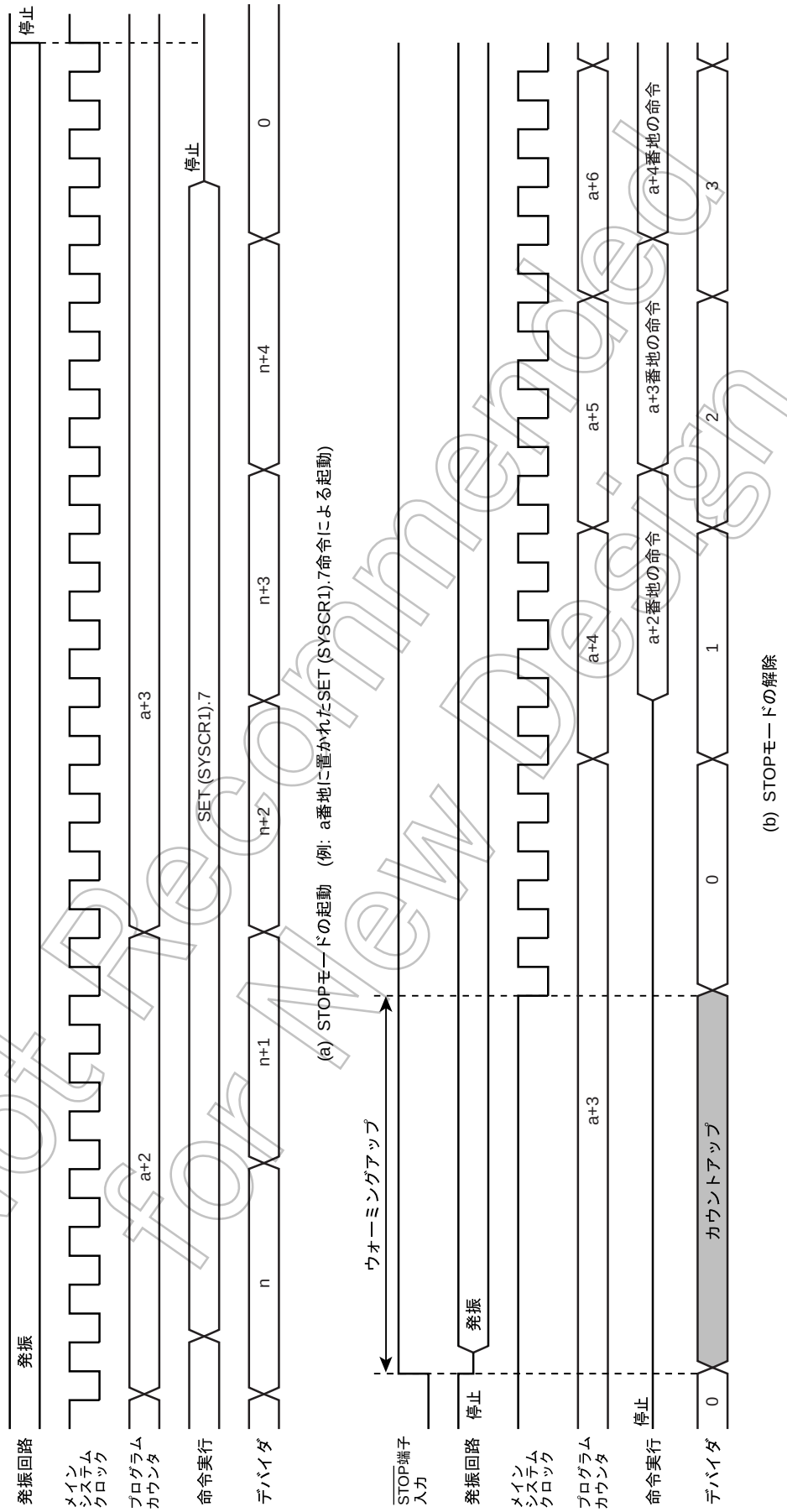


図 2-9 STOP モードの起動 / 解除

Not Recommended for New Design

2.2.4.2　IDLE1/2 モード , SLEEP1/2 モード

IDLE1/2 モード , SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1/2 モード , SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウエアは動作を継続します。
2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは、IDLE1/2 モード , SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード , SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

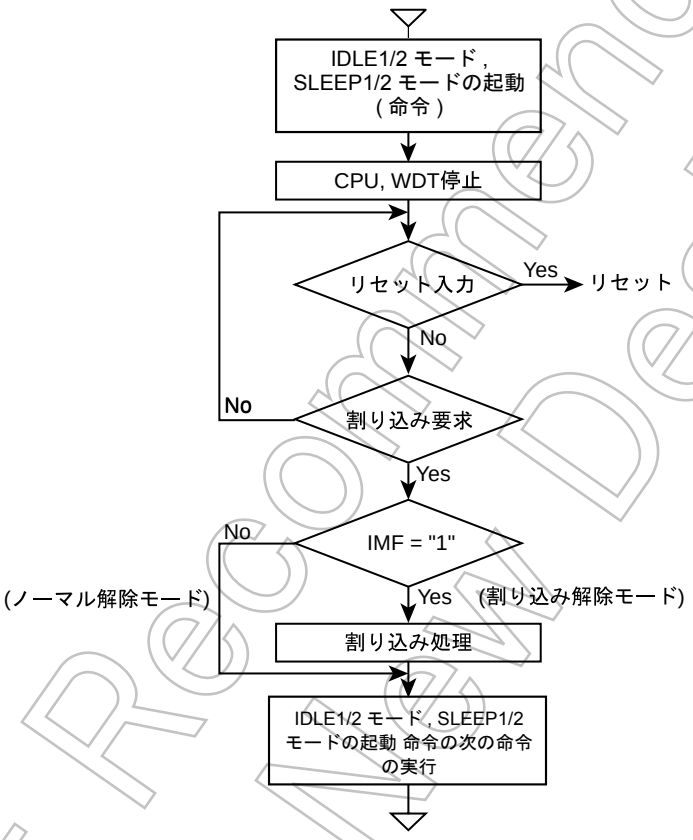


図 2-10 IDLE1/2 モード , SLEEP1/2 モード

Not Recommended for New Design

- IDLE1/2, SLEEP1/2 モードの起動

  割り込みマスタ許可フラグ (IMF) を “0” に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を “1” に設定します。

  IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を “1” に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

  IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に “0” にクリアされ、起動したモードに復帰します。

  なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF= “0” のとき)

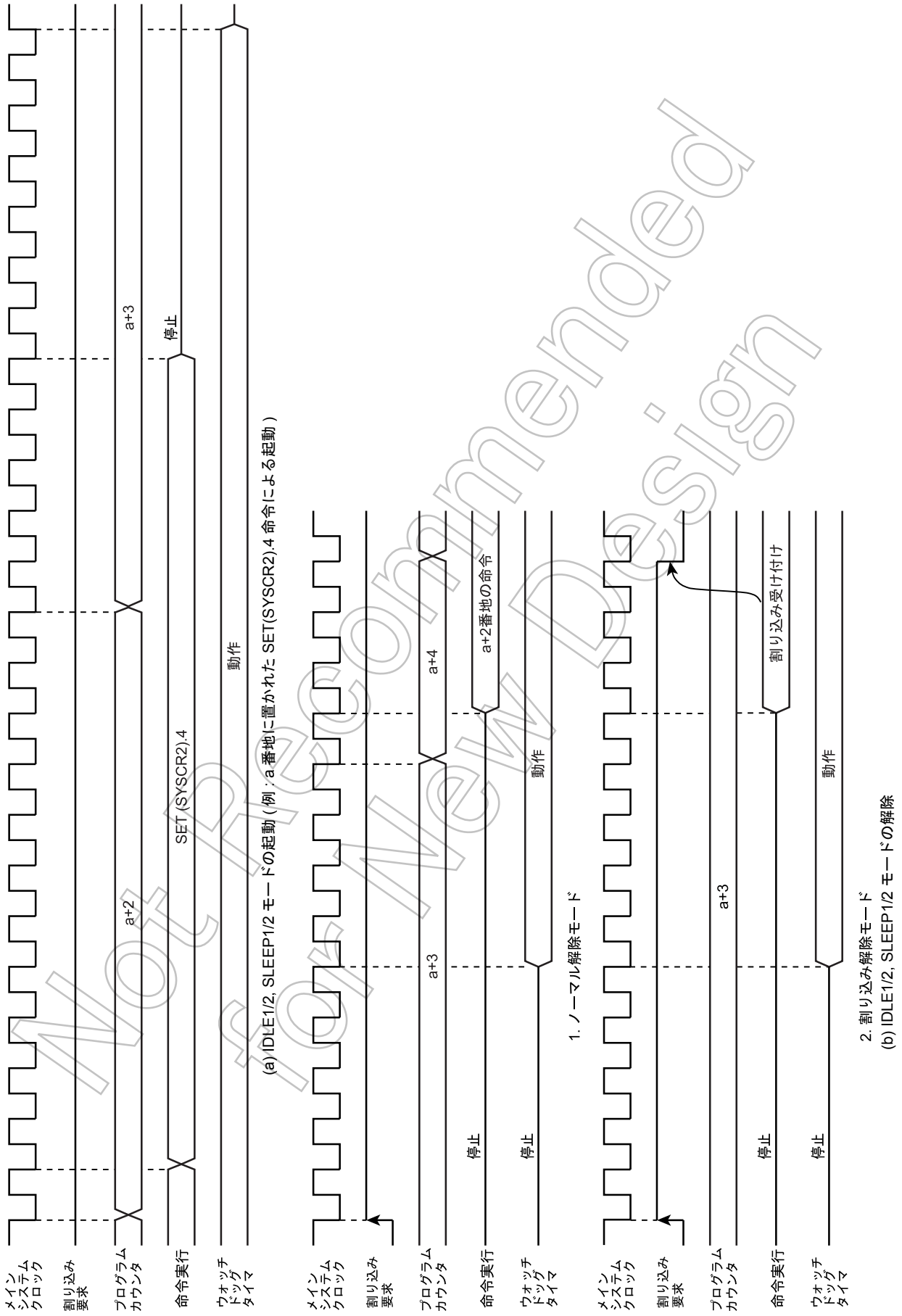
割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で “0” にクリアする必要があります。

(2) 割り込み解除モード (IMF= “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design



Not Recommended for New Design

図 2-11　IDLE1/2, SLEEP1/2 モードの起動 / 解除

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ，レジスタ，プログラムステータスワード，ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注） IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

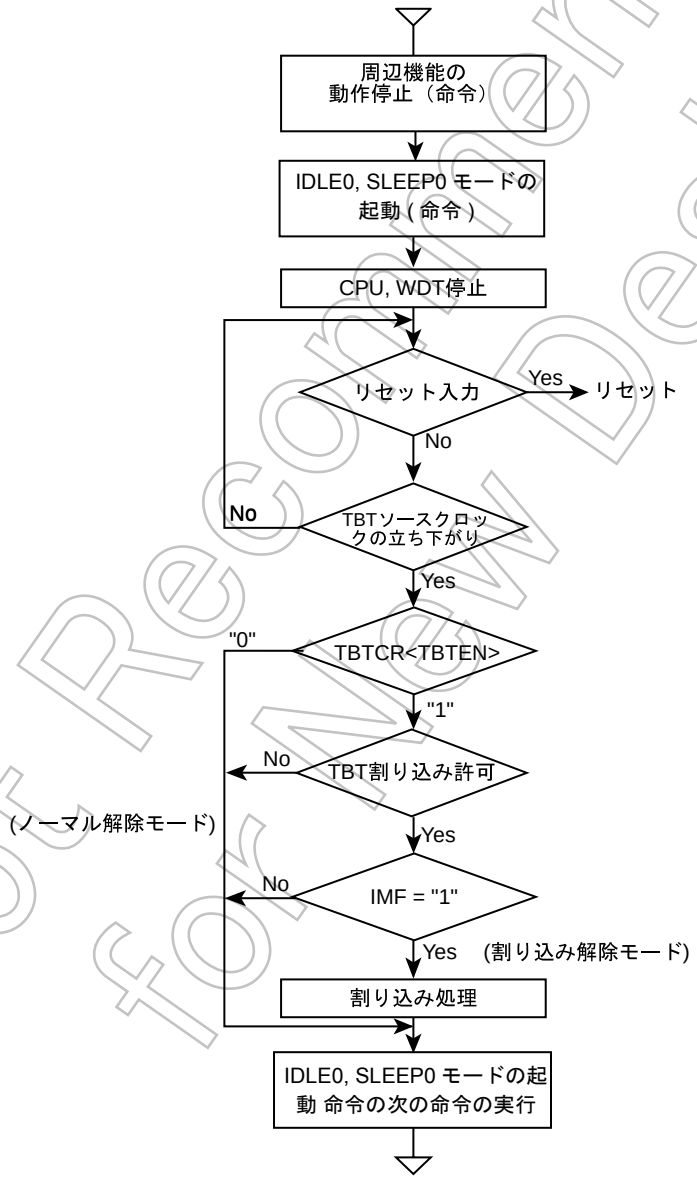


図 2-12 IDLE0, SLEEP0 モード

Not Recommended for New Design

- IDLE0, SLEEP0 モードの起動

  タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

  IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を “1” に設定します。

- IDLE0, SLEEP0 モードの解除

  IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) 、タイムベースタイマの割り込み個別許可フラグ (EF7) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に “0” にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が “1” にセットされていると INTTBT の割り込みラッチがセットされます。

  なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰します。

(1) ノーマル解除モード (IMF ・EF7 ・TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が “1” の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・EF7 ・TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1)　IDLE0, SLEEP0 モードは、TBTCR<TBTCK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTCK> の時間よりも短くなります。

注 2)　IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design

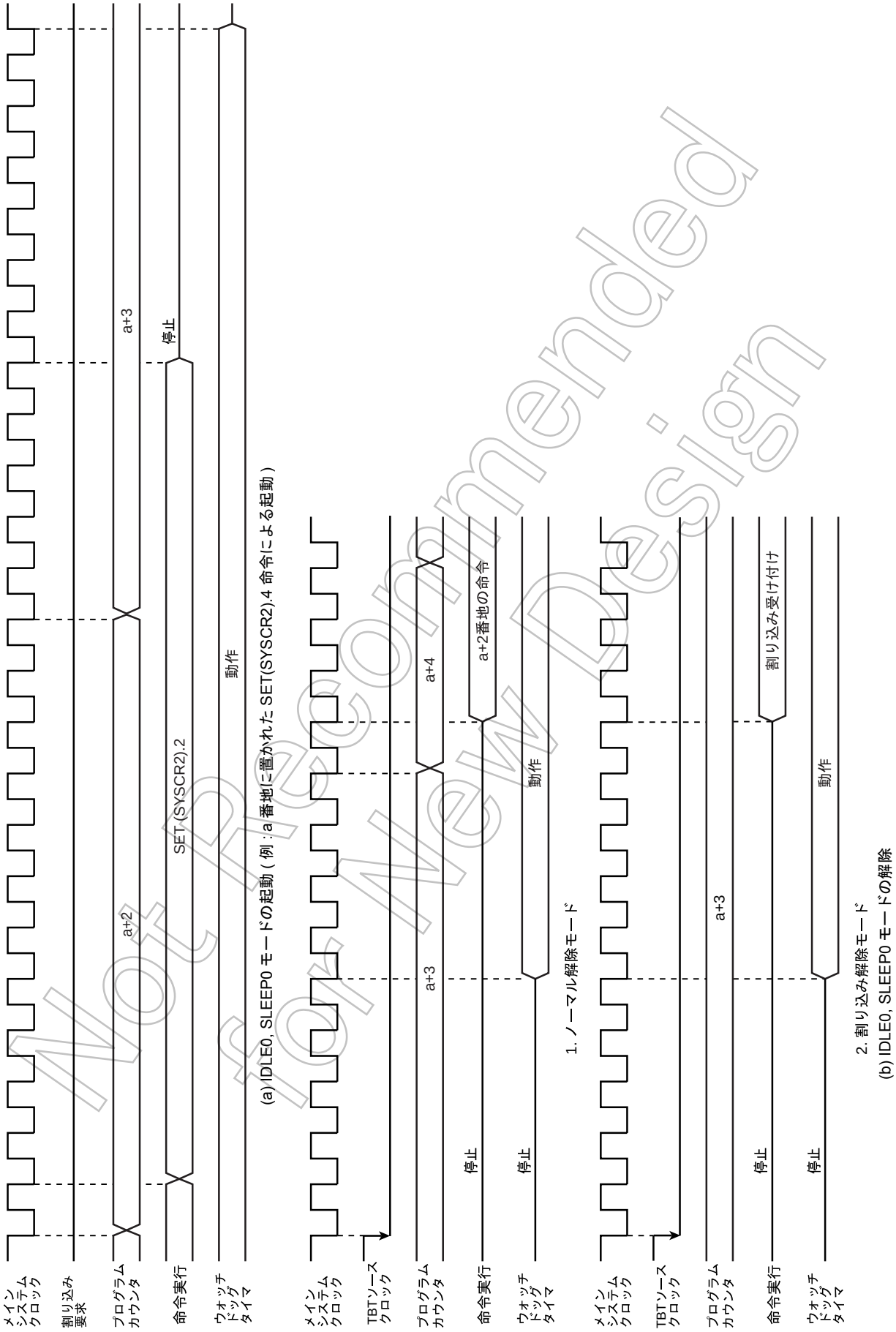


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

Not Recommended for New Design

2.2.4.4　SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

（1） NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に “1” を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN> を “0” にクリアして高周波発振器を停止します。

注） NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC6, TC5) を使用すると便利です。

（プログラム例 1）　NORMAL2 モードから SLOW1 モードへの切り替え

```
                                        ; SYSCR2<SYSCK>←1
        SET     (SYSCR2) . 5            ; ( システムクロックを低周波に切り替え
                                        ; (SLOW2 モードに ))
        CLR     (SYSCR2) . 7            ; SYSCR2<XEN>←0( 高周波クロック停止 )
```

（プログラム例 2）　TC6, TC5 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

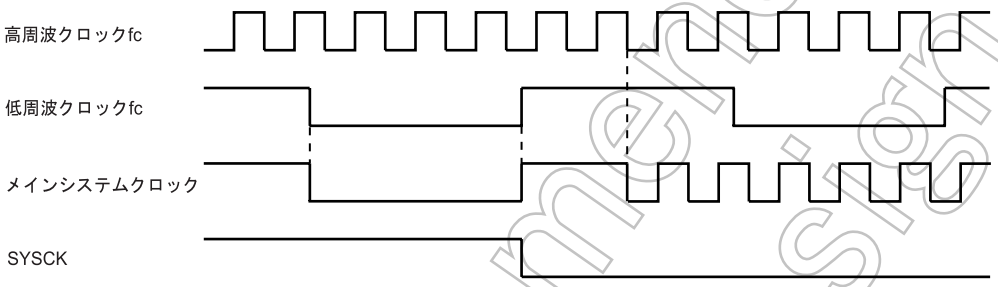
```
                SET     (SYSCR2). 6     ; SYSCR2<XTEN>←1
                                        ; ( 低周波クロック発振開始 )
                LD      (TC5CR), 43H    ; TC6, 5 のモードをセット
                LD      (TC6CR), 05H    ; ウォーミングアップカウントモードに設定
                LDW     (TTREG5),  8000H ; ウォーミングアップ時間をセット
                                        ; ( 発振子の特性で時間を決定します )
                DI                      ; IMF←0
                SET     (EIRE). 2       ; INTTC6 の割り込みを許可
                EI                      ; IMF←1
                SET     (TC6CR). 3      ; TC6, 5 スタート
                ¦
PINTTC6:        CLR     (TC6CR). 3      ; TC6, 5 ストップ
                                        ; SYSCR2<SYSCK>←1
                SET     (SYSCR2). 5     ; ( システムクロックを低周波に切り替え )
                CLR     (SYSCR2). 7     ; SYSCR2<XEN>←0( 高周波クロック停止 )
                RETI
                ¦
VINTTC6:        DW      PINTTC6         ; INTTC6 ベクタテーブル
```

Not Recommended for New Design

（2） SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN> を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC6, TC5) によって確保したあと、SYSCR2<SYSCK> を “0” にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注） SYSCK を “0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



（プログラム例）TC6, TC5 で SLOW1 モードから NORMAL2 モードへの切り替え
(fc = 16 MHz, ウォーミングアップ時間 = 4.0 ms)

```
            SET     (SYSCR2) . 7      ; SYSCR2<XEN>←1
                                      ;( 高周波クロック発振開始 )
            LD      (TC5CR), 63H      ; TC6, 5 のモードをセット
            LD      (TC6CR), 05H      ; ウォーミングアップカウンタモード , ソースクロック : fc)
            LD      (TTREG6), 0F8H    ; ウォーミングアップ時間をセット
                                      ; ( 周波数と発振子の特性で時間を決定します )
            DI                        ; IMF←0
            SET     (EIRE). 2         ; INTTC6 割り込みを許可
            EI                        ; IMF←1
            SET     (TC6CR). 3        ; TC6, 5 スタート
            ¦
PINTTC6     CLR     (TC6CR). 3        ; TC6, 5 ストップ
            CLR     (SYSCR2). 5       ; SYSCR2<SYSCK>←0
                                      ; ( システムクロックを高周波に切り替え )
            RETI
            ¦
VINTTC6:    DW      PINTTC6           ; INTTC6 ベクタテーブル
```

Not Recommended for New Design

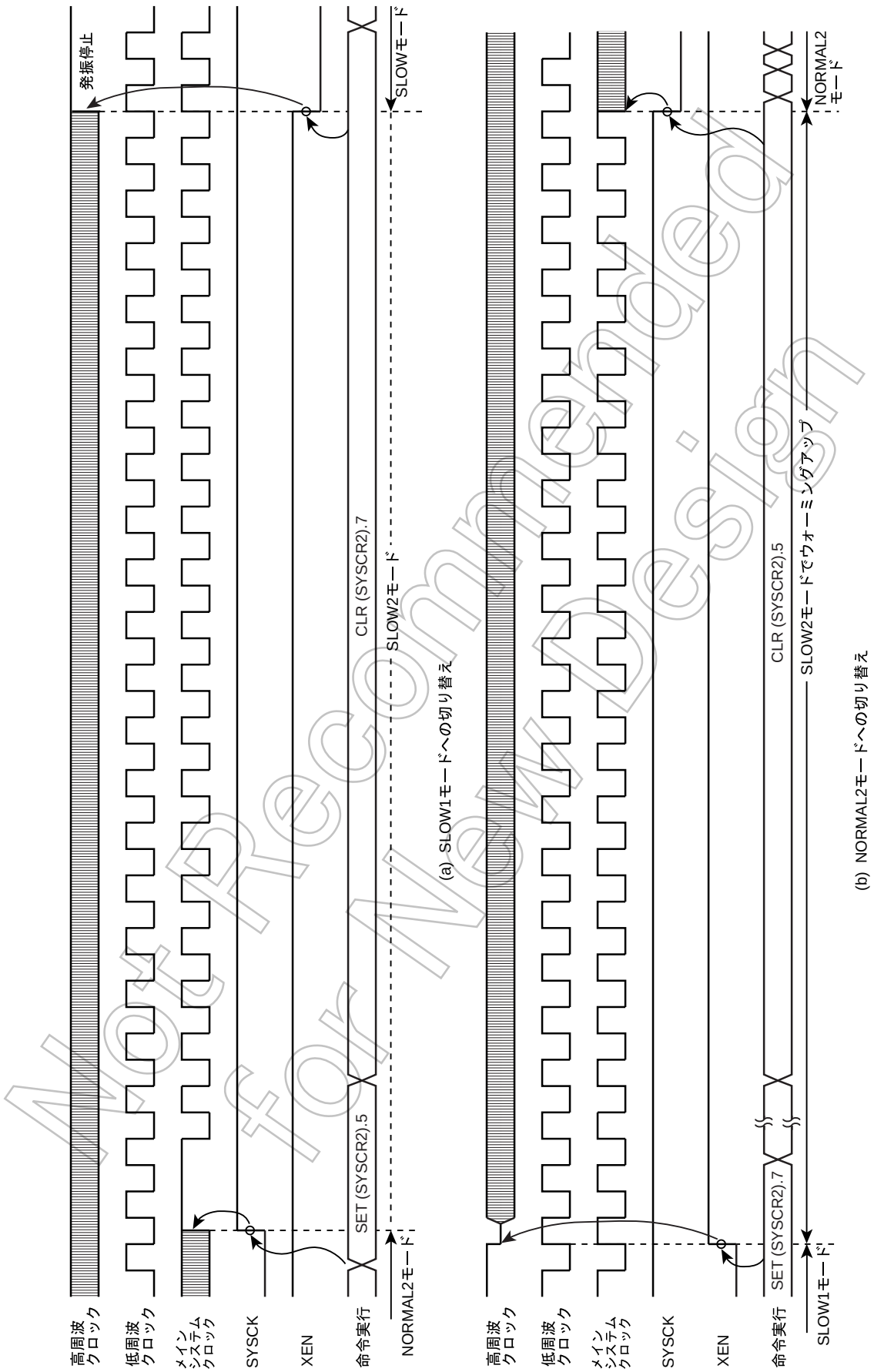


図 2-14 SLOW ↔ NORMAL2 モード切り替え

Not Recommended for New Design

2.3 リセット回路

TMP86CS49FG には外部リセット入力、アドレストラップ リセット、ウォッチドッグタイマ リセット、システムクロック リセットの 4 種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 24/fc[s] の期間リセット状態となります。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット , アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大 24/fc (1.5 μs @ 16.0 MHz) の期間リセット状態となる場合があります。

表 2-3 にリセット動作による内蔵ハードウエアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウエアの初期化

内蔵ハードウェア	初期値	内蔵ハードウエア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミング ジェネレータのプリススケーラおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプ ステータスフラグ (JF)	初期化されません	ウォッチドッグ タイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		RAM	初期化されません

2.3.1 外部リセット入力

$\overline{\text{RESET}}$ 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル (12/fc [s]) 以上の間 $\overline{\text{RESET}}$ 端子を “L” レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$ 端子入力が “H” レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

Not Recommended for New Design

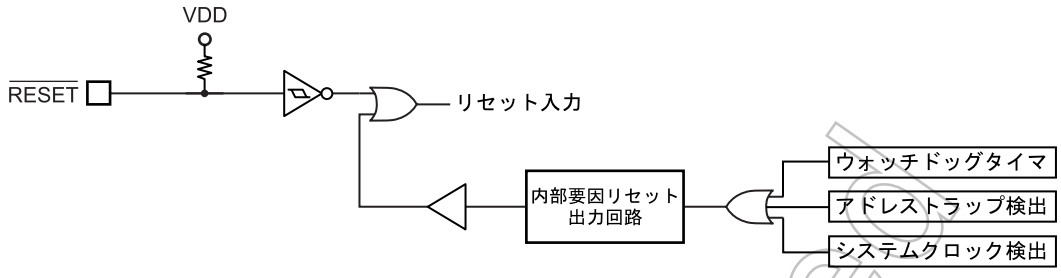
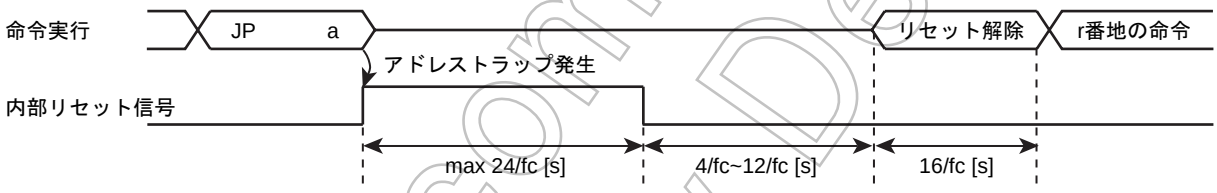


図 2-15 リセット回路

2.3.2　アドレストラップ リセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとするとリセット信号が発生します。リセット時間は、最大 24/fc [s](1.5 μs @ 16.0 MHz) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1)　a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。
注 2)　リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-16 アドレストラップリセット

2.3.3　ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4　システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 24/fc [s](1.5 μs @ 16.0 MHz) です。

Not Recommended for New Design

第 3 章　割り込み制御回路

TMP86CS49FG には、リセットを除き合計 24 種類の割り込み要因 があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により “1” にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可 / 禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウエアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部 / 外部	(リセット)	ノンマスカブル	–	FFFE	1
内部	INTSW (ソフトウエア割込み)	ノンマスカブル	–	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスカブル	–	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスカブル	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスカブル	IL3	FFF8	2
外部	$\overline{\text{INT0}}$	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
内部	INTTC1	IMF・EF5 = 1	IL5	FFF4	6
外部	INT1	IMF・EF6 = 1	IL6	FFF2	7
内部	INTTBT	IMF・EF7 = 1	IL7	FFF0	8
外部	INT2	IMF・EF8 = 1	IL8	FFEE	9
内部	INTTC4	IMF・EF9 = 1	IL9	FFEC	10
内部	INTTC3	IMF・EF10 = 1	IL10	FFEA	11
内部	INTSBI	IMF・EF11 = 1	IL11	FFE8	12
外部	INT3	IMF・EF12 = 1	IL12	FFE6	13
内部	INTSIO1	IMF・EF13 = 1	IL13	FFE4	14
内部	INTSIO2	IMF・EF14 = 1	IL14	FFE2	15
内部	INTADC	IMF・EF15 = 1	IL15	FFE0	16
内部	INTRXD1	IMF・EF16 = 1	IL16	FFBE	17
内部	INTTXD1	IMF・EF17 = 1	IL17	FFBC	18
内部	INTTC6	IMF・EF18 = 1	IL18	FFBA	19
内部	INTTC5	IMF・EF19 = 1	IL19	FFB8	20
内部	INTRXD2	IMF・EF20 = 1	IL20	FFB6	21
内部	INTTXD2	IMF・EF21 = 1	IL21	FFB4	22
内部	INTTC2	IMF・EF22 = 1	IL22	FFB2	23
外部	$\overline{\text{INT5}}$	IMF・EF23 = 1	IL23	FFB0	24

注 1)　アドレストラップ割り込み (INTATRAP) を使用するには WDTCR1<ATOUT> を "0" に設定してください (リセット解除後は " リセット要求 " に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注 2)　ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTCR1<WDTOUT> を "0" に設定してください (リセット解除後は " リセット要求 " に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

注 3)　割込みラッチ IL15(INTADC) より優先順位が低い割り込みが受け付けられた時点で INTADC 割り込み要求が発生した場合に、INTADC の割り込みラッチがクリアされ、割り込み動作を行わない場合があります。詳しくは AD コンバータの章の「AD コンバータの注意事項」を参照してください。

Not Recommended for New Design

3.1　割り込みラッチ (IL23 ~ IL2)

割り込みラッチは、ソフトウエア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により “1” にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは “0” にクリアされます。リセット時、割り込みラッチはすべて “0” に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH および 002EH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には “1” を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例 1)　割り込みラッチのクリア

```
DI                                      ; IMF ← 0
LDW     (ILL),  1110100000111111B       ; IL12,  IL10~IL6 ← 0
EI                                      ; IMF ← 1
```

(プログラム例 2)　割り込みラッチの読み出し

```
LD      WA,  (ILL)                      ; W ← ILH,  A ← ILL
```

(プログラム例 3)　割り込みラッチのテスト

```
TEST    (ILL). 7                        ; IL7 = 1 ならジャンプ
JR      F, SSET
```

Not Recommended for New Design

3.2 割り込み許可レジスタ (EIR)

ノンマスカブル割り込み (ソフトウエア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH および 002CH 番地に割り付けられており、命令でリード / ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスカブル割り込み全体に対して受け付けの許可 / 禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後 “0” にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令で リード / ライト できます。通常、割り込みマスタ許可フラグのセット / クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは “0” に初期化されます。

3.2.2 割り込み個別許可フラグ (EF23 ~ EF4)

各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可 / 禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが “1” なら割り込み受け付けを許可し、“0” なら禁止します。

なお、リセット時、割り込み個別許可フラグは "0" に初期化されます。個別許可フラグが "1" にセットされるまでマスカブル割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例 1)　割り込みの個別許可と IMF のセット

```
DI                                  ; IMF ← 0
LDW        (EIRL), 1110100010100000B ; EF15~EF13, EF11, EF7, EF5 ← 1
  :                                  ; 注 ) IMF はセットしない
  :
EI                                  ; IMF ← 1
```

(プログラム例 2)　コンパイラ記述例

```
unsigned int _io (3AH) EIRL;        /* 3AH は EIRL のアドレス */
_DI ( );
EIRL=10100000B;
  :
_EI ( );
```

Not Recommended for New Design

Not Recommended for New Design

割り込みラッチ

(初期値 : 00000000 000000**)

ILH,ILL (003DH, 003CH)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		

ILH (003DH) ILL (003CH)

(初期値 : 00000000)

ILE (002EH)

7	6	5	4	3	2	1	0
IL23	IL22	IL21	IL20	IL19	IL18	IL17	IL16

ILE (002EH)

		RD 時	WR 時	
IL23~IL2	割り込みラッチ	0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	R/W

注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず “1” を書き込んでください。

注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値 : 00000000 0000***0)

EIRH,EIRL (003BH, 003AH)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF

EIRH (003BH) EIRL (003AH)

(初期値 : 00000000)

EIRE (002CH)

7	6	5	4	3	2	1	0
EF23	EF22	EF21	EF20	EF19	EF18	EF17	EF16

EIRE (002CH)

EF23~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

注 1) *: Don’t care

注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を “1” にセットしないでください。

注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

Not Recommended for New Design

3.3　割り込み処理

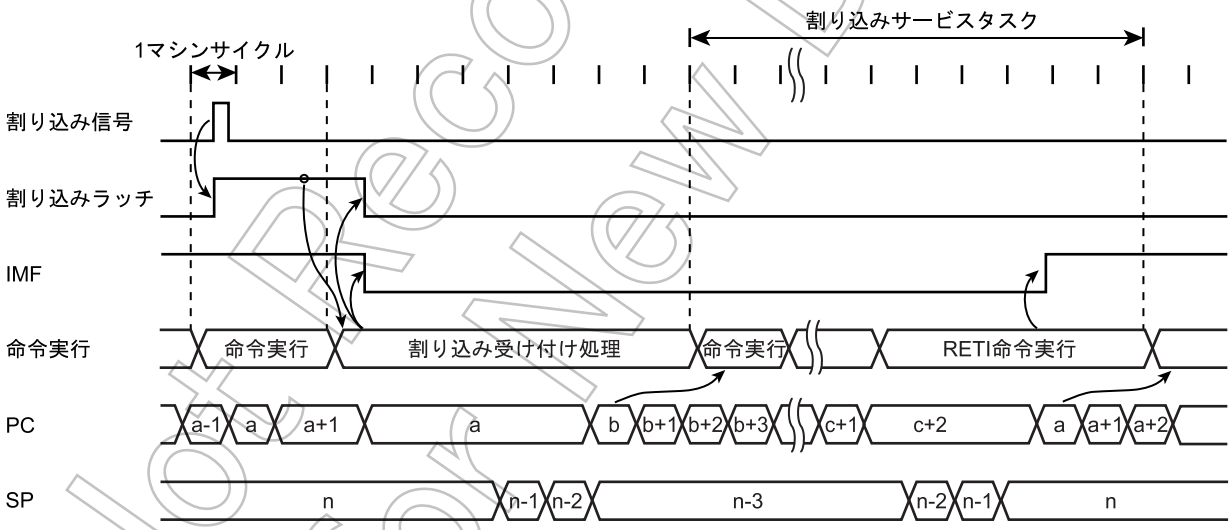
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが “0” にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2 µs　@16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.3.1　割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を “0” にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを “0” にクリアします。
3. プログラムカウンタ (PC) プログラム ステータス ワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避 します (PSW + IMF, PCH, PCL の順にプッシュダウンされます) 。スタックポインタ (SP) は 3 回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1)　a; 戻り番地　b; エントリーアドレス　c; RETI 命令が格納されているアドレス

注 2)　割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例 : INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

Not Recommended for New Design

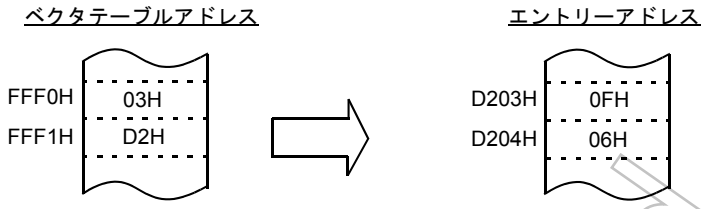


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが "1" にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを "1" にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを "1" にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.3.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやそのほかのレジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。
汎用レジスタの退避には、次の 2 つの方法があります。

3.3.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

（プログラム例）プッシュ / ポップによるレジスタの退避 / 復帰

```
PINTxx    PUSH    WA    ; WA レジスタペアをスタックに退避
          [割り込み処理]
          POP     WA    ; WA レジスタペアをスタックから復帰
          RETI          ; リターン
```

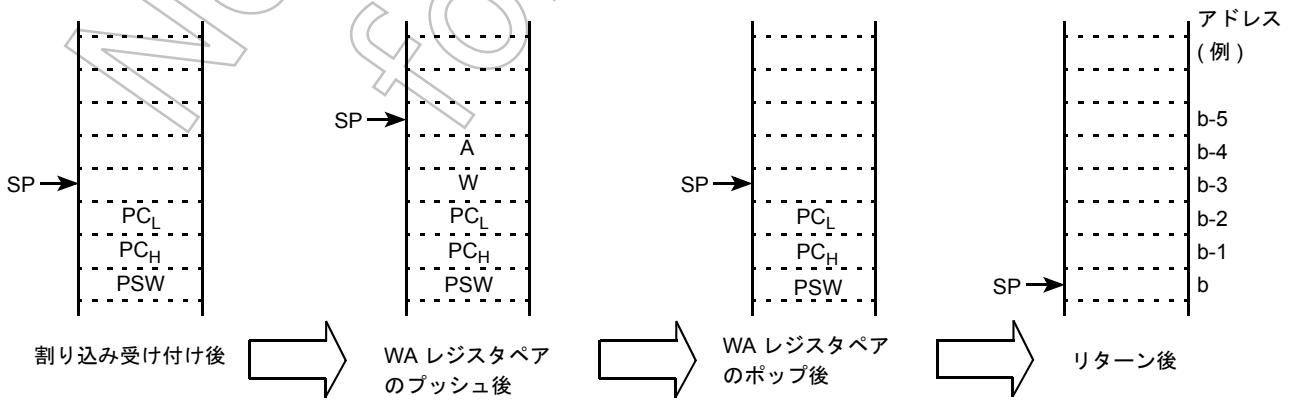


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

Not Recommended for New Design

3.3.2.2　転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

（プログラム例）データメモリとの転送命令によるレジスタの退避 / 復帰

```
PINTxx:   LD          (GSAVA), A      ; A レジスタの退避
          割り込み処理
          LD          A, (GSAVA)      ; A レジスタの復帰
          RETI                        ; リターン
```

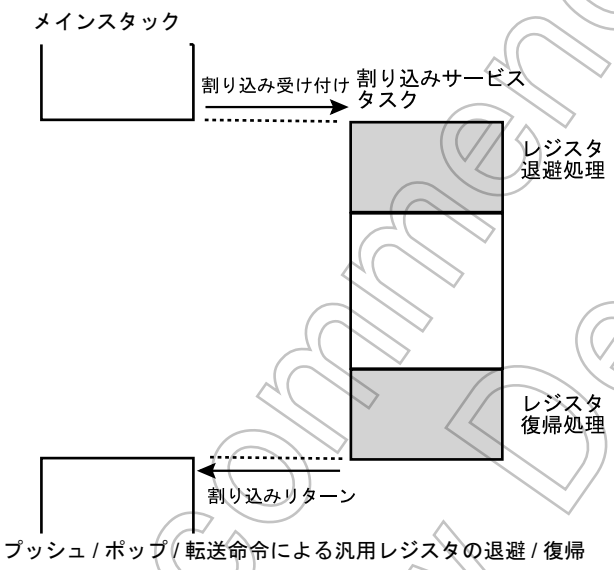


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.3.3　割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] / [RETN] 割り込みリターン
①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 ②スタックポインタを 3 回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注）これらを書き替えないままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
割り込みリターン後の PCL, PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

Not Recommended for New Design

（プログラム例 1）　アドレストラップ割り込みサービスプログラムからのリターン

```
PINTxx    POP     WA                  ; スタックポインタを 2 つ戻す
          LD      WA, RetrunAddress   ; WA レジスタに再開アドレスを代入する
          PUSH    WA                  ; スタックにプッシュダウンする
          [割り込み処理]
          RETN                        ; ノンマスカブル割り込みリターン命令
```

（プログラム例 2）　リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

```
PINTxx    INC     SP                  ; スタックポインタを 3 つ戻す
          INC     SP
          INC     SP
          [割り込み処理]
          LD      EIRL, data          ; IMF を "1" にセット、または "0" にクリア
          JP      RestartAddress      ; 復帰アドレスへジャンプ
```

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注 1)　アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメントする)。

注 2)　割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

Not Recommended for New Design

3.4　ソフトウエア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウエア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

3.4.1　アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレス トラップ リセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.4.2　デバッギング

SWI 命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

3.5　未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注)　未定義命令割り込み (INTUNDEF) は、ソフトウエア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.6　アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注)　アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

Not Recommended for New Design

3.7 外部割り込み

TMP86CS49FG には、5 本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

また、INT1 ～ INT3 端子は、エッジ選択が可能です。なお、$\overline{\text{INT0}}$/P00 端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択 , ノイズ除去の制御 および $\overline{\text{INT0}}$/P00 端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF4・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	IMF・EF6 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	IMF・EF8 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT3	INT3	IMF・EF12 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF23 = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注 1) NORMAL1, 2 または IDLE1, 2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注 2) INT0EN = “0” のとき、$\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

Not Recommended for New Design

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0	
(0037H)	INT1NC	INT0EN	-	-	INT3ES	INT2ES	INT1ES		(初期値 : 00** 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P00/INT0 の機能選択	0: P00 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P00 ポートは入力モードにしてください)	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

注 1)　fc; 高周波クロック [Hz] *; Don't care

注 2)　システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3)　INT1NC を切り替えた場合、最大 2^6/fc の期間ノイズキャンセル時間が切り替わらない事があります。

Not Recommended for New Design

第 4 章　スペシャルファンクションレジスタ

TMP86CS49FG は、メモリマップ I/O 方式で、周辺ハードウエアのデータ制御 / 転送はすべてスペシャル ファンクション レジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86CS49FG の SFR, DBR の一覧を示します。

4.1　SFR

アドレス	リード	ライト
0000H	P0DR	
0001H	P1DR	
0002H	P2DR	
0003H	P3DR	
0004H	P4DR	
0005H	P5DR	
0006H	P6DR	
0007H	P7DR	
0008H	P0OUTCR	
0009H	P1CR	
000AH	P4OUTCR	
000BH	P0PRD	-
000CH	P2PRD	-
000DH	P3PRD	-
000EH	P4PRD	-
000FH	P5PRD	-
0010H	TC1DRAL	
0011H	TC1DRAH	
0012H	TC1DRBL	
0013H	TC1DRBH	
0014H	TTREG3	
0015H	TTREG4	
0016H	TTREG5	
0017H	TTREG6	
0018H	PWREG3	
0019H	PWREG4	
001AH	PWREG5	
001BH	PWREG6	
001CH	ADCCR1	
001DH	ADCCR2	
001EH	ADCDR2	-
001FH	ADCDR1	-
0020H	SIO1CR	
0021H	SIO1SR	-
0022H	SIO1RDB	SIO1TDB
0023H	TC2CR	
0024H	TC2DRL	
0025H	TC2DRH	
0026H	TC1CR	

Not Recommended for New Design

アドレス	リード	ライト
0027H	TC3CR	
0028H	TC4CR	
0029H	TC5CR	
002AH	TC6CR	
002BH	SIO2RDB	SIO2TDB
002CH	EIRE	
002DH	Reserved	
002EH	ILE	
002FH	Reserved	
0030H	Reserved	
0031H	SIO2CR	
0032H	SIO2SR	-
0033H	Reserved	
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H	TBTCR	
0037H	EINTCR	
0038H	SYSCR1	
0039H	SYSCR2	
003AH	EIRL	
003BH	EIRH	
003CH	ILL	
003DH	ILH	
003EH	Reserved	
003FH	PSW	

注 1)　Reserved の番地はプログラムでアクセスしないでください。

注 2)　ー ; アクセスできません。

注 3)　書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

Not Recommended for New Design

4.2 DBR

アドレス	リード	ライト
0F80H	Reserved	
0F81H	Reserved	
0F82H	Reserved	
0F83H	Reserved	
0F84H	Reserved	
0F85H	Reserved	
0F86H	Reserved	
0F87H	Reserved	
0F88H	Reserved	
0F89H	Reserved	
0F8AH	Reserved	
0F8BH	Reserved	
0F8CH	Reserved	
0F8DH	Reserved	
0F8EH	Reserved	
0F8FH	Reserved	
0F90H	SBISRA	SBICRA
0F91H	SBIDBR	
0F92H	-	I2CAR
0F93H	SBISRB	SBICRB
0F94H	Reserved	
0F95H	UART1SR	UART1CR1
0F96H	-	UART1CR2
0F97H	RD1BUF	TD1BUF
0F98H	UART2SR	UART2CR1
0F99H	-	UART2CR2
0F9AH	RD2BUF	TD2BUF
0F9BH	P6CR1	
0F9CH	P6CR2	
0F9DH	P7CR1	
0F9EH	P7CR2	
0F9FH	-	STOPCR

アドレス	リード	ライト
0FA0H	Reserved	
: :	: :	
0FBFH	Reserved	

アドレス	リード	ライト
0FC0H	Reserved	
: :	: :	
0FDFH	Reserved	

アドレス	リード	ライト
0FE0H	Reserved	
: :	: :	
0FFFH	Reserved	

注 1) Reserved の番地はプログラムでアクセスしないでください。

Not Recommended for New Design

注 2)　ー ; アクセスできません。

注 3)　書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

Not Recommended for New Design

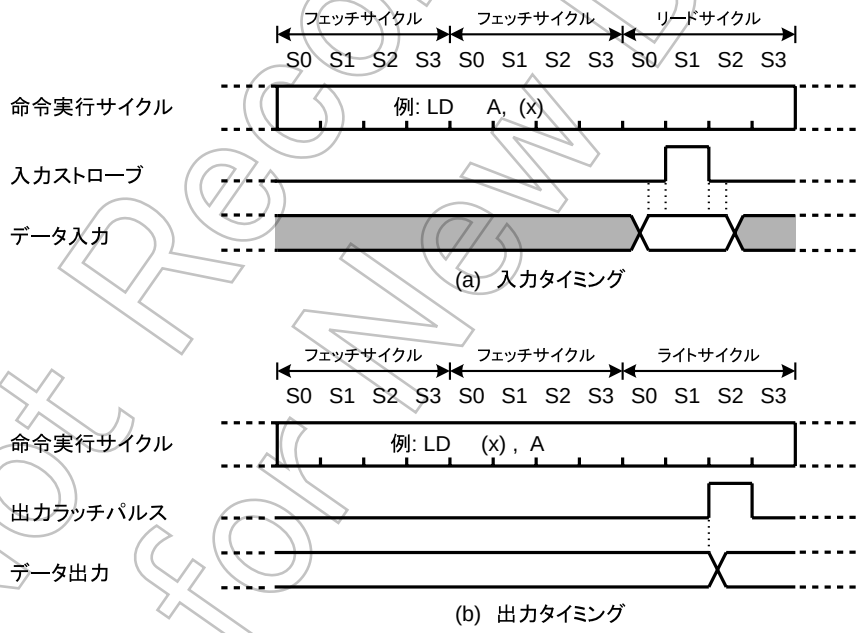
第 5 章　入出力ポート

TMP86CS49FG は、8 ポート 56 端子の入出力ポートを内蔵しています。

	主機能	兼用機能
P0 ポート	8 ビット入出力ポート	外部割り込み入力 , シリアルインタフェース入出力 , UART 入出力
P1 ポート	8 ビット入出力ポート	外部割り込み入力 , タイマカウンタ入出力 , デバイダ出力
P2 ポート	3 ビット入出力ポート	低周波発振子接続端子 , 外部割り込み入力 , STOP モード解除信号入力
P3 ポート	8 ビット入出力ポート	
P4 ポート	8 ビット入出力ポート	シリアルインタフェース入出力 , UART 入出力
P5 ポート	5 ビット入出力ポート	シリアルバスインタフェース入出力
P6 ポート	8 ビット入出力ポート	アナログ入力 , キーオンウェイクアップ入力
P7 ポート	8 ビット入出力ポート	アナログ入力

すべての出力ポートはラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード / ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

Not Recommended for New Design

5.1　P0 (P07 ～ P00) ポート

P0 ポートは 8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、UART 入出力と兼用です。入力ポートまたは外部割り込み入力、シリアルインタフェース入出力、UART 入出力として用いる場合は、出力ラッチ (P0DR) を "1" にセットします。リセット時、出力ラッチ (P0DR) は "1" に、プッシュプル制御 (P0OUTCR) は "0" に初期化されます。

P0 ポートは、P0OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

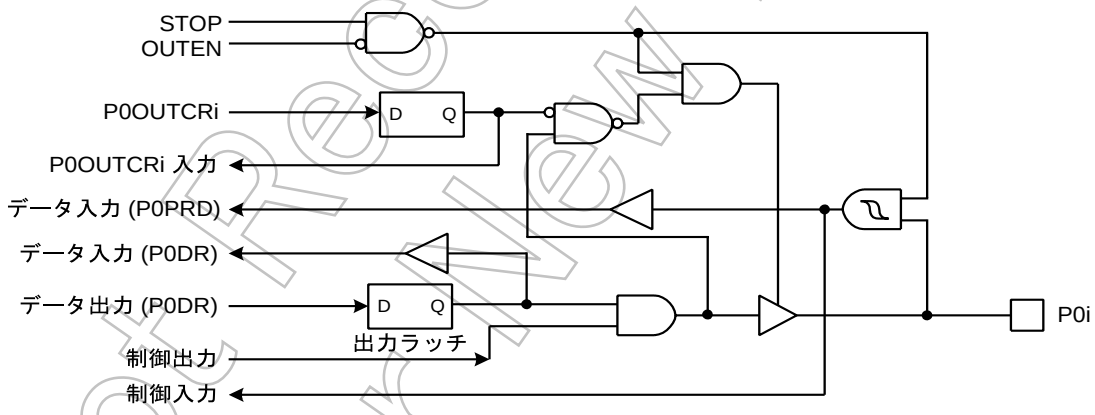
P0OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

入力ポートまたは シリアルインタフェース入力、UART 受信入力として使用する場合は、P0DR を "1" に設定した後、P0OUTCR の対応するビットを "0" に設定します。

P0 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P0DR レジスタを、端子の状態を読み込む場合は P0PRD レジスタをそれぞれ読み出してください。

表 5-1 各機能別のレジスタ設定値 (P07 ～ P00)

機能	設定値	
	P0DR	P0OUTCR
ポート入力、外部割り込み入力、シリアルインターフェース入力、UART 入力	“1”	“0”
ポート “0” 出力	“0”	各アプリケーション向けに設定
ポート “1” 出力、シリアルインターフェース出力、UART 出力	“1”	



注） i = 7 ～ 0

図 5-2 P0 ポート

Not Recommended for New Design

	7	6	5	4	3	2	1	0	
P0DR (0000H) R/W	P07 INT2	P06 $\overline{\text{SCK1}}$	P05 SO1	P04 SI1	P03 INT1	P02 TXD1	P01 RXD1	P00 $\overline{\text{INT0}}$	(初期値 : 1111 1111)
P0OUTCR (0008H)									(初期値 : 0000 0000)

P0OUTCR	P0 ポートの入出力制御 (各ビット単位で指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W

P0PRD (000BH) Read only	P07	P06	P05	P04	P03	P02	P01	P00

Not Recommended for New Design

5.2　P1 (P17 ～ P10) ポート

P1 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、タイマカウンタ入出力、外部割り込み入力、デバイダ出力と兼用です。

入出力の指定は、P1 ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CR は "0" に初期化され、P1 ポートは入力モードとなります。また、P1 ポート出力ラッチは "0" に初期化されます。

入力ポートまたはタイマカウンタ入力、外部割り込み入力として使用する場合は、P1CR の対応するビットを "0" に設定します。

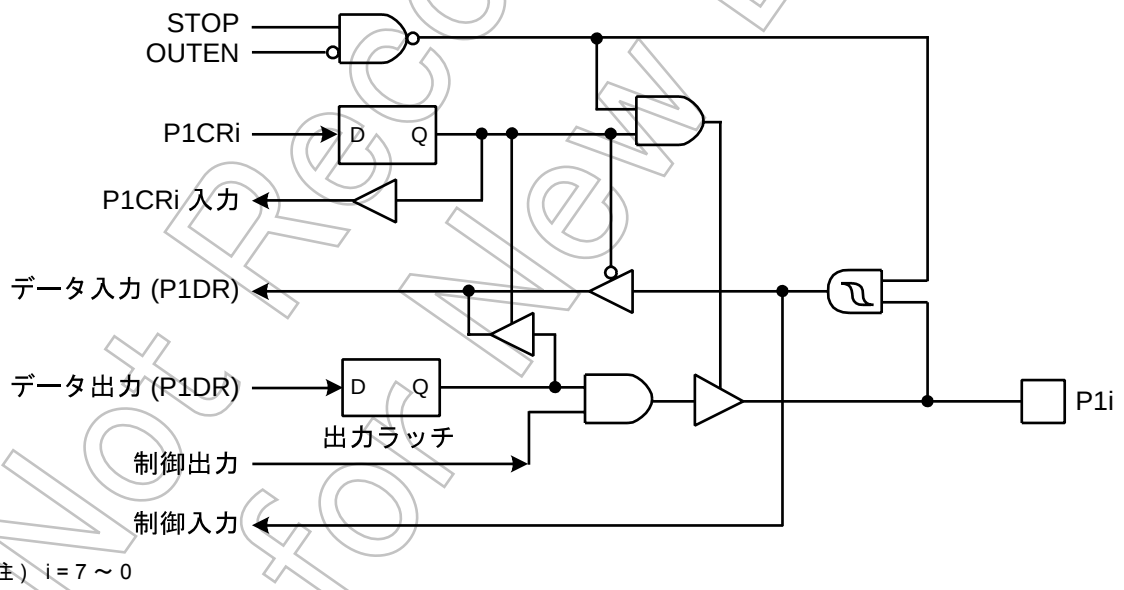
出力ポートとして使用する場合は、P1CR の対応するビットを "1" に設定します。

タイマカウンタ出力、デバイダ出力として使用する場合は、あらかじめ P1DR を "1" に設定した後、P1CR の対応するビットを "1" に設定します。

P1CR が "1" に設定されている場合、P1DR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。

表 5-2 各機能別のレジスタ設定値

機能	設定値	
	P1DR	P1CR
ポート入力、タイマカウンタ入力、外部割り込み入力	*	“0”
ポート “0” 出力	“0”	“1”
ポート “1” 出力、タイマ出力、デバイダ出力	“1”	“1”



注） i = 7 ～ 0

図 5-3 P1 ポート

注） 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容はビット操作命令の実行により書き替わることがあります。

Not Recommended for New Design

P1DR (0001H) R/W

7	6	5	4	3	2	1	0
P17 TC6 $\overline{\text{PWM6}}$ $\overline{\text{PDO6}}$ $\overline{\text{PPG6}}$	P16 TC5 $\overline{\text{PWM5}}$ $\overline{\text{PDO5}}$	P15 TC2 INT3	P14 TC4 $\overline{\text{PWM4}}$ $\overline{\text{PDO4}}$ $\overline{\text{PPG4}}$	P13 TC3 $\overline{\text{PWM3}}$ $\overline{\text{PDO3}}$	P12 $\overline{\text{PPG}}$	P11 $\overline{\text{DVO}}$	P10 TC1

(初期値 : 0000 0000)

P1CR (0009H)

7	6	5	4	3	2	1	0

(初期値 : 0000 0000)

P1CR	P1 ポートの入出力制御 (各ビット単位で指定)	0: 入力モード 1: 出力モード	R/W

Not Recommended for New Design

5.3　P2 (P22 ～ P20) ポート

P2 ポートは 3 ビットの入出力ポートで、外部割り込み入力 , STOP 解除信号入力 , 低周波発振子接続端子と兼用です。入力ポートまたは機能端子として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。出力ラッチ (P2DR) はリセット時 “1” に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力 , STOP 解除信号入力 , 入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりで割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P2DR レジスタを、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR, P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

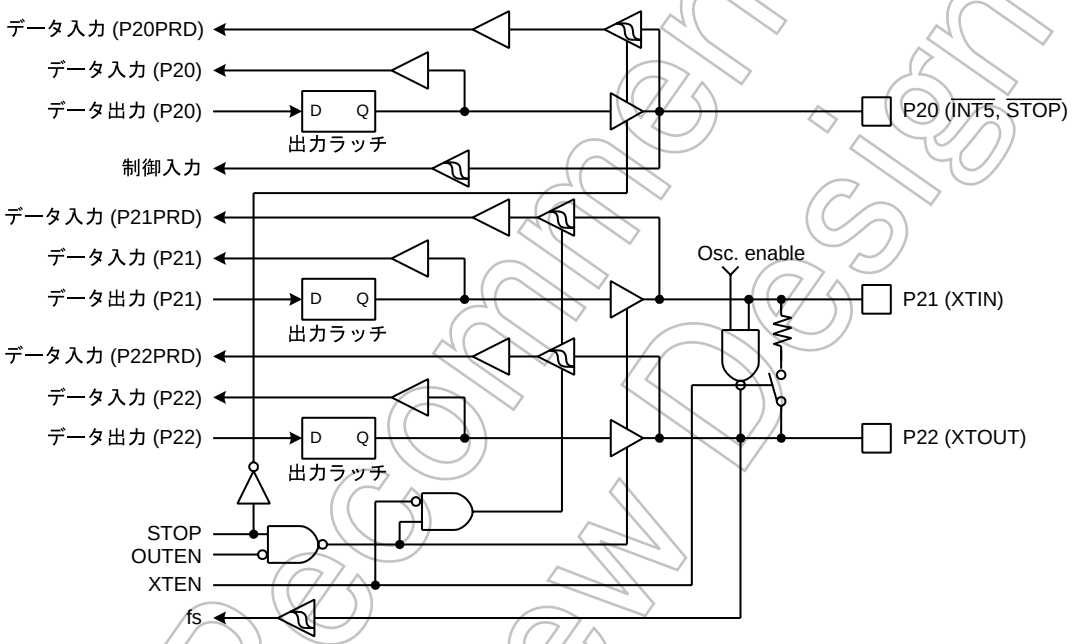
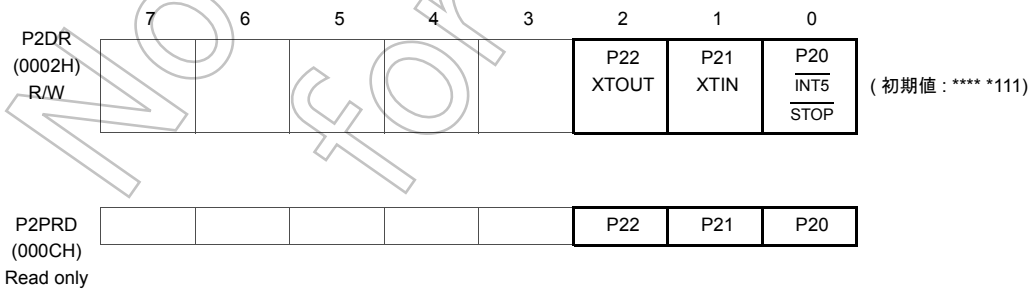


図 5-4 P2 ポート



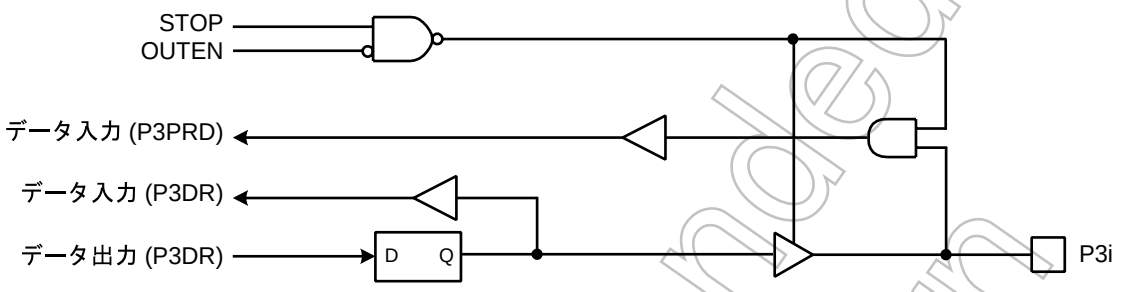
注) P20 端子は STOP 端子と兼用のため、STOP モードに入ると OUTEN の状態にもかかわらず、出力は High-Z 状態となります。

Not Recommended for New Design

5.4 P3 (P37 ～ P30) ポート（大電流，シンクオープンドレイン出力）

P3 ポートは 8 ビットの入出力ポートです。入力ポートとして用いる場合は、出力ラッチ (P3DR) を "1" にセットします。リセット時、出力ラッチ (P3DR) は "1" に初期化されます。

P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DR レジスタを、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。



注） i = 7 ～ 0

図 5-5 P3 ポート

	7	6	5	4	3	2	1	0	
P3DR (0003H) R/W	P37	P36	P35	P34	P33	P32	P31	P30	（初期値：1111 1111）
P3PRD (000DH) Read only	P37	P36	P35	P34	P33	P32	P31	P30	

Not Recommended for New Design

5.5　P4 (P47 ～ P40) ポート

P4 ポートは 8 ビットの入出力ポートで、シリアルインタフェース入出力、UART 入出力と兼用です。入力ポートまたはシリアルインタフェース入出力、UART 入出力として用いる場合は、出力ラッチ (P4DR) を "1" にセットします。リセット時、出力ラッチ (P4DR) は "1" に、プッシュプル制御 (P4OUTCR) は "0" に初期化されます。

P4 ポートは、P4OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

P4OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

入力ポートまたは シリアルインタフェース入力、UART 受信入力として使用する場合は、P4DR を "1" に設定した後、P4OUTCR の対応するビットを "0" に設定します。

P4 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P4DR レジスタを、端子の状態を読み込む場合は P4PRD レジスタをそれぞれ読み出してください。

表 5-3 各機能別のレジスタ設定値 (P47 ～ P40)

機能	設定値	
	P4DR	P4OUTCR
ポート入力、UART 入力、シリアルインターフェース入力	“1”	“0”
ポート “0” 出力	“0”	各アプリケーション向けに設定
ポート “1” 出力、UART 出力、シリアルインターフェース出力	“1”	

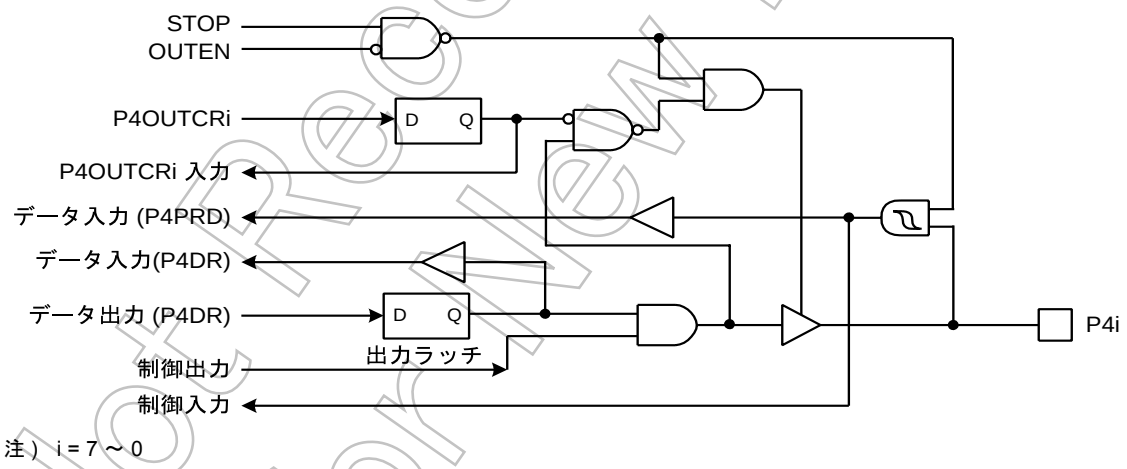


図 5-6 P4 ポート

Not Recommended for New Design

P4DR (0004H) R/W	7	6	5	4	3	2	1	0	
	P47	P46 $\overline{\text{SCK2}}$	P45 SO2	P44 SI2	P43	P42 TXD2	P41 RXD2	P40	(初期値 : 1111 1111)
P4OUTCR (000AH)									(初期値 : 0000 0000)

P4OUTCR	P4 ポートの入出力制御 (各ビット単位で指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W

P4PRD (000EH) Read only								
	P47	P46	P45	P44	P43	P42	P41	P40

Not Recommended for New Design

5.6　P5 (P54 ～ P50) ポート　（大電流、シンクオープンドレイン出力）

P5 ポートは 5 ビットの入出力ポートで、I^2C バス入出力と兼用です。入力ポートまたは I^2C バス入出力として用いる場合は、出力ラッチ (P5DR) を "1" にセットします。リセット時、出力ラッチ (P5DR) は "1" に初期化されます。

P5 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P5DR レジスタを、端子の状態を読み込む場合は P5PRD レジスタをそれぞれ読み出してください。

P5 ポートに対して P5DR、P5PRD のリード命令を実行した場合、ビット 7~5 は不定値が読み込まれます。

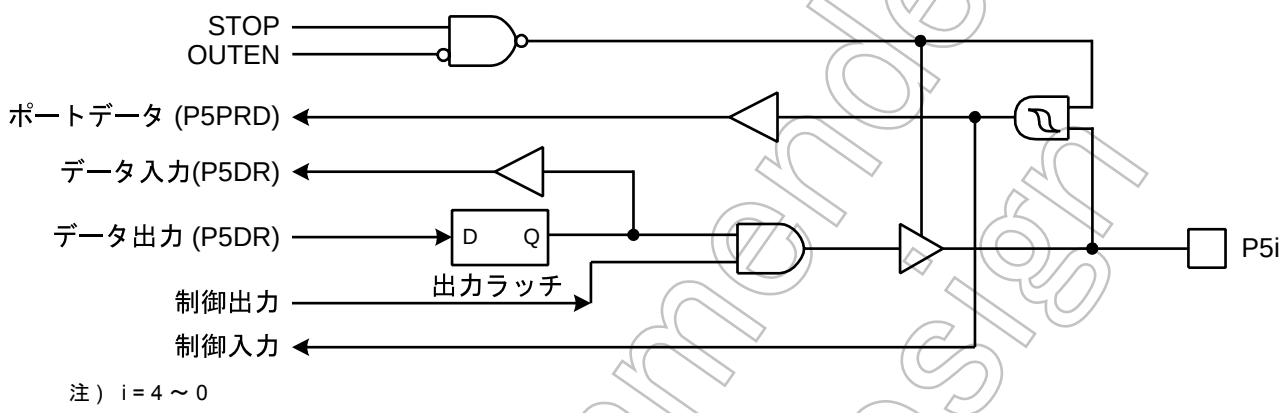
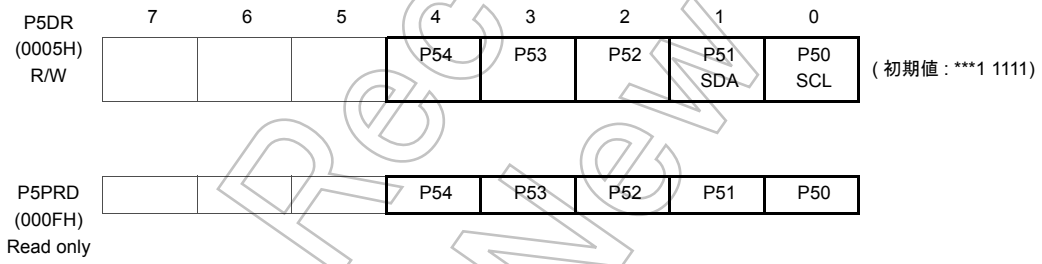


図 5-7 P5 ポート



Not Recommended for New Design

5.7 P6 (P67 ～ P60) ポート

P6 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。

入出力の指定は、P6 ポート入出力制御レジスタ (P6CR1) と P6 ポート入力制御レジスタ (P6CR2) によって行います。

リセット時、P6CR1 は "0" に、P6CR2 は "1" に初期化され、P6 ポートは入力モードとなります。また、P6 ポート出力ラッチは "0" に初期化されます。

出力ポートとして使用する場合は、P6CR1 の対応するビットを "1" に設定します。

入力ポートとして使用する場合は、P6CR1 を "0" に設定した後、P6CR2 を "1" に設定します。

キーオンウェイクアップ入力として使用する場合は、P6CR1 を "0" に設定した後、STOPkEN を "1" に設定します。

アナログ入力として使用する場合は、P6CR1 を "0" に設定した後、P6CR2 を "0" に設定します。

P6CR1 が "1" に設定されている場合、P6DR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。

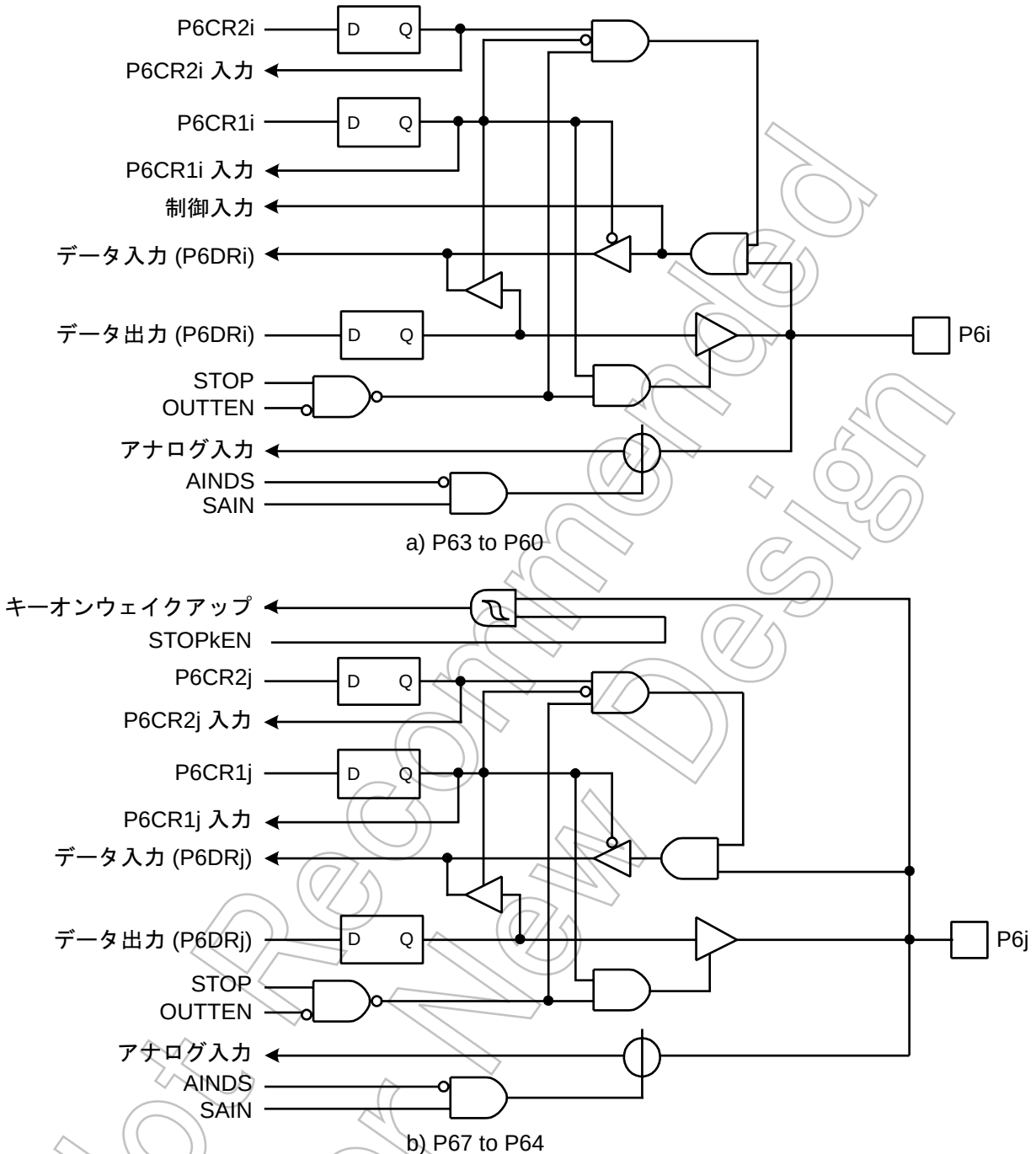
表 5-4 各機能別のレジスタ設定値

機能	設定値			
	P6DR	P6CR1	P6CR2	STOPkEN
ポート入力	*	“0”	“1”	*
キーオンウェイクアップ入力	*	"0"	*	“1”
アナログ入力	*	“0”	“0”	*
ポート “0” 出力	“0”	“1”	*	*
ポート “1” 出力	“1”	“1”	*	*

表 5-5 各レジスタ設定による P6DR の読み出し値

条件		P6DR の読み出し値
P6CR1	P6CR2	
“0”	“0”	“0”
“0”	“1”	端子の状態
“1”	“0”	出力ラッチの内容
	“1”	

Not Recommended for New Design



注 1)　i = 3 ～ 0, j = 7 ～ 4, k = 3 ～ 0
注 2)　STOP は SYSCR1 のビット 7
注 3)　SAIN は AD 入力選択信号
注 4)　STOPkEN はキーオンウェイクアップ機能での入力選択信号

図 5-8 P6 ポート

Not Recommended for New Design

P6DR (0006H) R/W

7	6	5	4	3	2	1	0
P67 AIN7 STOP3	P66 AIN6 STOP2	P65 AIN5 STOP1	P64 AIN4 STOP0	P63 AIN3	P62 AIN2	P61 AIN1	P60 AIN0

(初期値 : 0000 0000)

P6CR1 (0F9BH)

7	6	5	4	3	2	1	0

(初期値 : 0000 0000)

P6CR1	P6 ポートの入出力制御 (各ビット単位で指定))	0: 入力モードまたはアナログ入力 / キーオンウェイクアップ入力 1: 出力モード	R/W

P6CR2 (0F9CH)

7	6	5	4	3	2	1	0

(初期値 : 1111 1111)

P6CR2	P6 ポートの入力制御 (各ビット単位で指定)	0: アナログ入力 1: 入力モード	R/W

注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注 2) アナログ入出力端子は貫通電流対策のため、必ず P6CR2 の対応するビットを “0” にクリアしてください。

注 3) アナログ入力として使用する端子は外部信号とショートしますので、出力モード (P6CR1 = “1”) には設定しないでください。

注 4) アナログ入力として使用しないポートは、入出力ポートとして使用できます。ただし、ＡＤ 変換中は精度を保つ意味で出力命令を実行しないようにしてください。また、アナログ入力と近接するポートに ＡＤ 変換中、変化の激しい信号を入力しないようにしてください。

Not Recommended for New Design

5.8　P7 (P77 ～ P70) ポート

P7 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力と兼用です。

入出力の指定は、P7 ポート入出力制御レジスタ (P7CR1) と P7 ポート入力制御レジスタ (P7CR2) によって行います。

リセット時、P7CR1 は "0" に、P7CR2 は "1" に初期化され、P7 ポートは入力モードとなります。また、P7 ポート出力ラッチは "0" に初期化されます。

出力ポートとして使用する場合は、P7CR1 の対応するビットを "1" に設定します。

入力ポートとして使用する場合は、P7CR1 を "0" に設定した後、P7CR2 を "1" に設定します。

アナログ入力として使用する場合は、P7CR1 を "0" に設定した後、P7CR2 を "0" に設定します。

P7CR1 が "1" に設定されている場合、P7DR に対し読み出し命令を実行すると対応する出力ラッチの値が読み出されます。

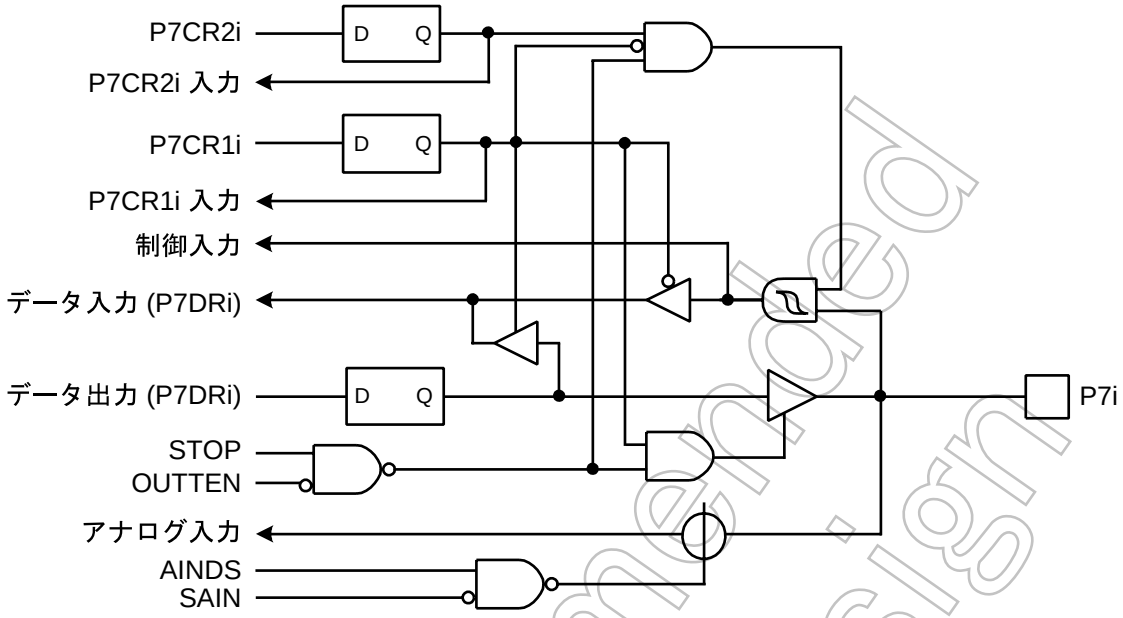
表 5-6 各機能別のレジスタ設定値

機能	設定値		
	P7DR	P7CR1	P7CR2
ポート入力	*	“0”	“1”
アナログ入力	*	“0”	“0”
ポート “0” 出力	“0”	“1”	*
ポート “1” 出力	“1”	“1”	*

表 5-7 各レジスタ設定による P7DR の読み出し値

条件		P7DR の読み出し値
P7CR1	P7CR2	
“0”	“0”	“0”
“0”	“1”	端子の状態
“1”	“0”	出力ラッチの内容
	“1”	

Not Recommended for New Design



注 1) i = 7 ～ 0

注 2) STOP は SYSCR1 のビット 7

注 3) SAIN は AD 入力選択信号

図 5-9 P7 ポート

P7DR (0007H) R/W

7	6	5	4	3	2	1	0
P77 AIN15	P76 AIN14	P75 AIN13	P74 AIN12	P73 AIN11	P72 AIN10	P71 AIN9	P70 AIN8

(初期値 : 0000 0000)

P7CR1 (0F9DH)

7	6	5	4	3	2	1	0

(初期値 : 0000 0000)

P7CR1	P7 ポートの入出力制御 (各ビット単位で指定)	0: 入力モードまたはアナログ入力 1: 出力モード	R/W

P7CR2 (0F9EH)

7	6	5	4	3	2	1	0

(初期値 : 1111 1111)

P7CR2	P7 ポートの入力制御 (各ビット単位で指定)	0: アナログ入力 1: 入力モード	R/W

注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注 2) アナログ入出力端子は貫通電流対策のため、必ず P7CR2 の対応するビットを “0” にクリアしてください。

注 3) アナログ入力として使用する端子は外部信号とショートしますので、出力モード (P7CR1 = “1”) には設定しないでください。

注 4) アナログ入力として使用しないポートは、入出力ポートとして使用できます。ただし、ＡＤ変換中は精度を保つ意味で出力命令を実行しないようにしてください。また、アナログ入力と近接するポートにＡＤ変換中、変化の激しい信号を入力しないようにしてください。

Not Recommended for New Design

Not Recommended for New Design

第 6 章　ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は 1 回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注 ） 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

6.1　ウォッチドッグタイマの構成

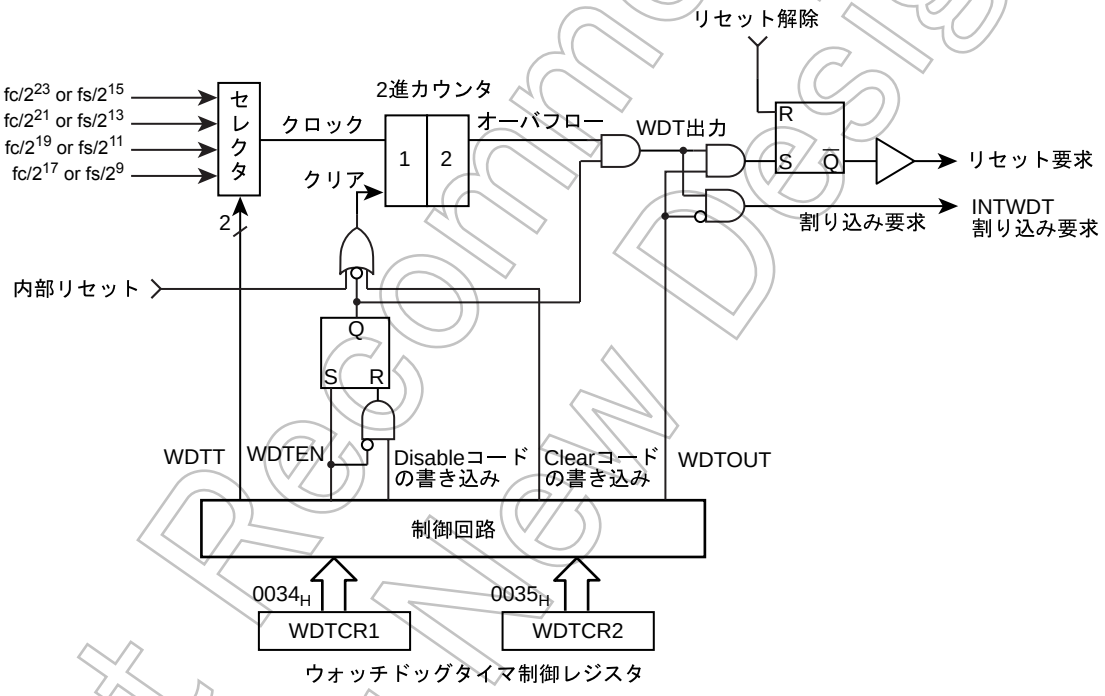


図 6-1 ウォッチドッグタイマの構成

6.2　ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドックタイマ制御レジスタ (WDTCR1、WDTCR2) によって制御されます。なおウォッチドックタイマはリセット解除後、自動的にイネーブルになります。

6.2.1　ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定 , 出力の選択および 2 進カウンタのクリア
2. 設定した検出時間以内ごとに 2 進カウンタのクリアを繰り返し行います。

Not Recommended for New Design

もし、何らかの原因で暴走またはデッドロック状態に陥り、2 進カウンタのクリアが行われない場合、2 進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウエアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォーミングアップ中を含む) または IDLE/SLEEP モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEP モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を 2^{21}/fc [s] に設定し、暴走検出リセットを行う。

```
                LD      (WDTCR2), 4EH          ; 2 進カウンタのクリア
                LD      (WDTCR1), 00001101B    ; WDTT ← 10, WDTOUT ← 1
                LD      (WDTCR2), 4EH          ; 2 進カウンタのクリア
WDT 検出        :                              ; WDTT 変更直前直後は必ずクリア ; します )
時間 3/4 以内   :
                LD      (WDTCR2), 4EH          ; 2 進カウンタのクリア
WDT 検出        :
時間 3/4 以内   LD      (WDTCR2), 4EH          ; 2 進カウンタのクリア
```

ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	—	—	(ATAS)	(ATOUT)	WDTEN	WDTT		WDTOUT	(初期値 : **11 1001)

WDTEN	ウォッチドッグタイマの許可 / 禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり 1: 許可				Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位 : [s]		NORMAL1/2 モード		SLOW1/2 モード	Write only
			DV7CK = 0	DV7CK = 1		
		00	2^{25}/fc	2^{17}/fs	2^{17}/fs	
		01	2^{23}/fc	2^{15}/fs	2^{15}fs	
		10	2^{21}fc	2^{13}/fs	2^{13}fs	
		11	2^{19}/fc	2^{11}/fs	2^{11}/fs	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求				Write only

注 1)　WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。

注 2)　fc; 高周波クロック [Hz]　fs; 低周波クロック [Hz]　*; Don’t care

注 3)　WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。

注 4)　STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。

注 5)　WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「6.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

Not Recommended for New Design

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値 : **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H	アドレストラップ領域選択有効	
		その他	無効	

注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。

注 2) *; Don’t care

注 3) ウォッチドッグタイマの 2 進カウンタのクリアは割り込みタスクで行わないでください。

注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

6.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

6.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの 2 進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI                          ; IMF ← 0
LD      (WDTCR2) , 04EH     ; 2 進カウンタのクリア
LDW     (WDTCR1) , 0B101H   ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 6-1 ウォッチドッグタイマ検出時間 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [S]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

Not Recommended for New Design

6.2.4　ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が“0”のときに 2 進カウンタがオーバフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず 割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

（プログラム例）ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 083FH              ; SP の設定
LD      (WDTCR1) , 00001000B   ; WDTOUT ← 0
```

6.2.5　ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が“1”のときに 2 進カウンタがオーバフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウエアはリセットされます。リセット時間は、最大 24/fc [s] (1.5 μs @ fc = 16.0 MHz) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は 最大で 24/fc (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

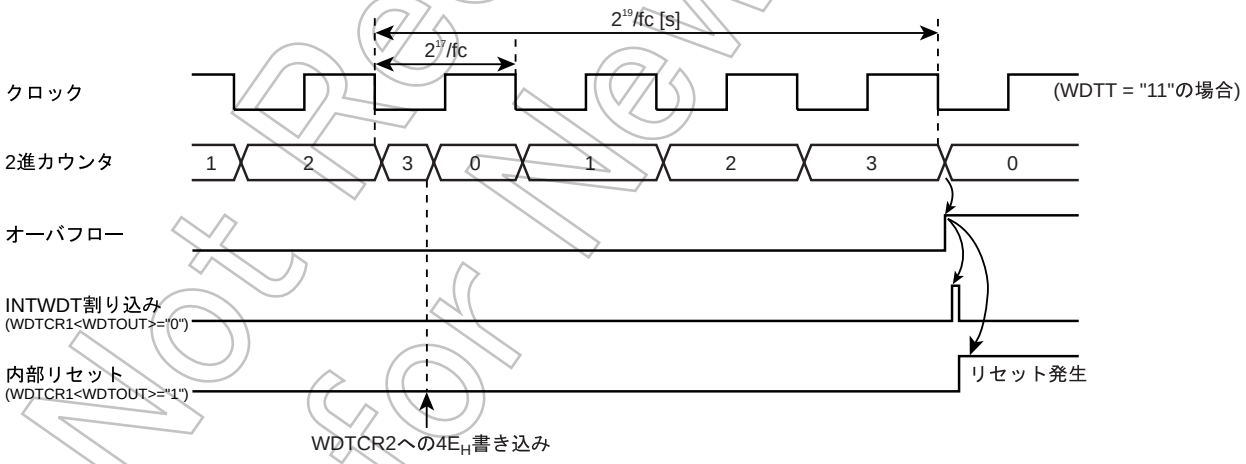


図 6-2 ウォッチドッグタイマ割り込み / リセット

Not Recommended for New Design

6.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)

7	6	5	4	3	2	1	0	
—	—	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	(初期値 : **11 1001)

ATAS	内蔵 RAM 領域のアドレストラップ選択	0: 1:	アドレストラップ発生しない アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	Write only
ATOUT	アドレストラップ発生時の動作選択	0: 1:	割り込み要求 リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)

7	6	5	4	3	2	1	0	
								(初期値 : **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	D2H: 4EH: B1H: その他 :	アドレストラップ領域選択有効 (ATRAP 設定コード) ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード) ウォッチドッグタイマのディセーブル (WDT ディセーブルコード) 無効	Write only

6.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレストラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレストラップが発生します。

6.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

6.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1 <ATAS> = “1” 時のみ), DBR または SFR 領域から命令をフェッチしようとするとアドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず 割り込みは受け付けられます。

Not Recommended for New Design

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

6.3.4　アドレストラップリセット

WDTCR1<ATOUT> が“1”の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1 <ATAS> =“1”時のみ), DBR または SFR 領域から命令をフェッチしようとするとアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウエアはリセットされます。リセット時間は、最大 24/fc [s] (1.5 μs @ fc = 16.0 MHz) です。

注)　SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は 最大で 24/fc (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

Not Recommended for New Design

第 7 章　タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

7.1　タイムベースタイマ

7.1.1　構成

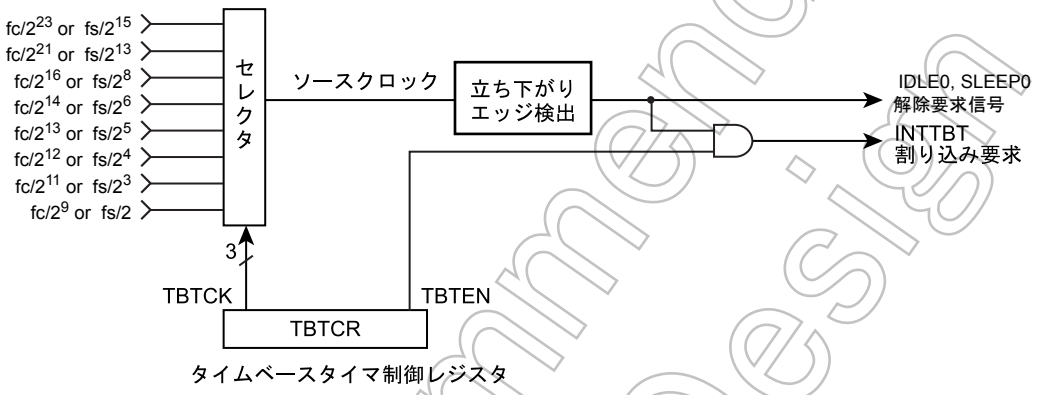


図 7-1 タイムベースタイマの構成

7.1.2　制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)		(DV7CK)	TBTEN	TBTCK			(初期値 : 0000 0000)

TBTEN	タイムベースタイマ の 許可 / 禁止	0: ディセーブル 1: イネーブル				
TBTCK	タイムベースタイマ割り込み周波数の選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1		
		000	fc/2^23	fs/2^15	fs/2^15	
		001	fc/2^21	fs/2^13	fs/2^13	
		010	fc/2^16	fs/2^8	–	
		011	fc/2^14	fs/2^6	–	
		100	fc/2^13	fs/2^5	–	
		101	fc/2^12	fs/2^4	–	
		110	fc/2^11	fs/2^3	–	
		111	fc/2^9	fs/2	–	

注 1)　fc; 高周波クロック [Hz], fs; 低周波クロック [Hz], *; Don't care

Not Recommended for New Design

注 2)　割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0") で行ってください（イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください）。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

（プログラム例）タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR) , 00000010B      ; TBTCK ← 010
LD      (TBTCR) , 00001010B      ; TBTEN ← 1
DI
SET     (EIRL) . 7
```

表 7-1 タイムベースタイマ割り込み周波数 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	–
011	976.56	512	–
100	1953.13	1024	–
101	3906.25	2048	–
110	7812.5	4096	–
111	31250	16384	–

7.1.3　機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち下がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 7-2 参照)。

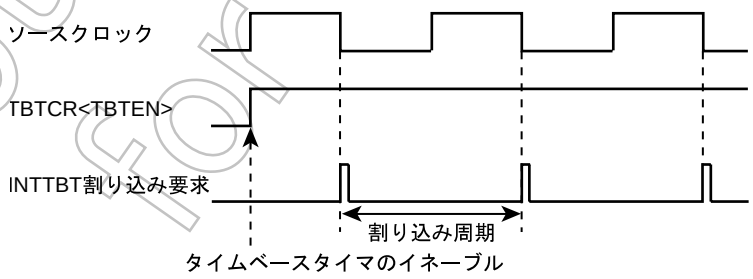


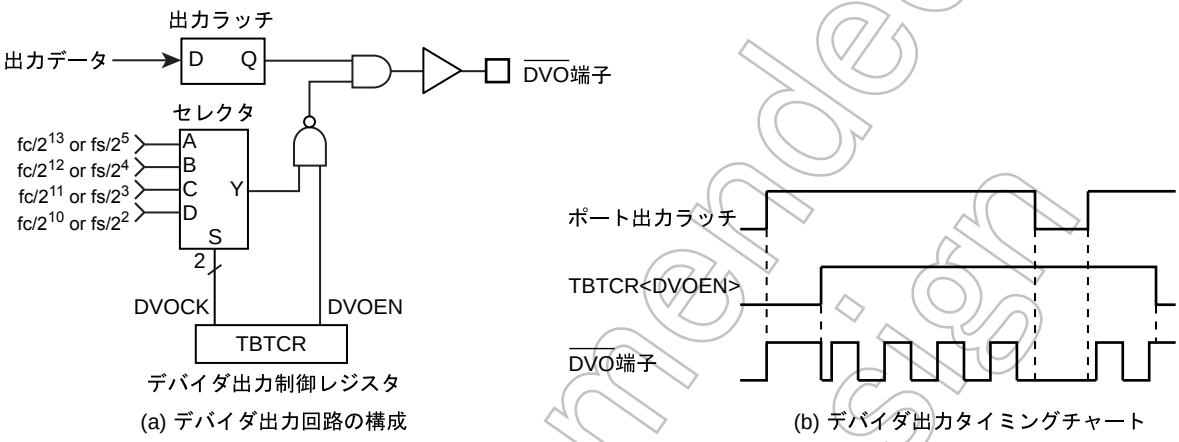
図 7-2 タイムベースタイマ割り込み

Not Recommended for New Design

7.2 デバイダ出力 ($\overline{\text{DVO}}$)

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、$\overline{\text{DVO}}$ 端子から出力されます。

7.2.1 構成



(a) デバイダ出力回路の構成　　(b) デバイダ出力タイミングチャート

図 7-3 デバイダ出力

7.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK		(DV7CK)	(TBTEN)	(TBTCK)			(初期値 : 0000 0000)

DVOEN	デバイダ出力の許可 / 禁止	0: ディセーブル 1: イネーブル				R/W
DVOCK	デバイダ出力 ($\overline{\text{DVO}}$ 端子) の周波数選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1		
		00	fc/2^13	fs/2^5	fs/2^5	
		01	fc/2^12	fs/2^4	fs/2^4	
		10	fc/2^11	fs/2^3	fs/2^3	
		11	fc/2^10	fs/2^2	fs/2^2	

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0") で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください)。

Not Recommended for New Design

（プログラム例）1.95 kHz のパルスを出力 (fc = 16.0 MHz)

```
        ポートを設定
LD      (TBTCR) , 00000000B        ; DVOCK ← "00"
LD      (TBTCR) , 10000000B        ; DVOEN ← "1"
```

表 7-2 デバイダ出力の周波数 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

Not Recommended for New Design

第 8 章　16 ビットタイマカウンタ 1 (TC1)

8.1　構成

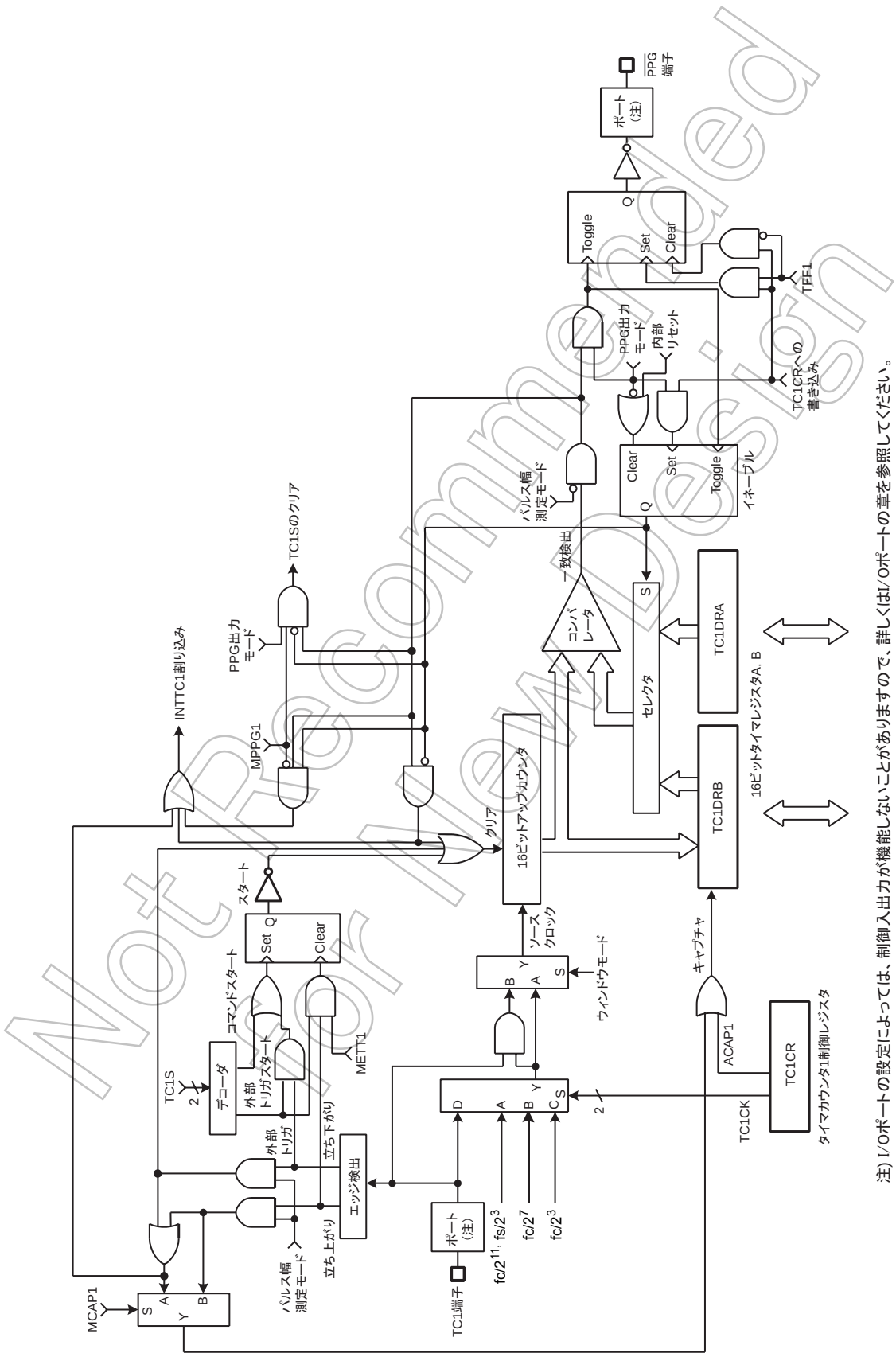


図 8-1 タイマカウンタ 1 (TC1)

Not Recommended for New Design

8.2　制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC1DRA (0011H, 0010H)	TC1DRAH (0011H)								TC1DRAL (0010H)							
	(初期値 : 1111 1111 1111 1111)								Read/Write							
TC1DRB (0013H, 0012H)	TC1DRBH (0013H)								TC1DRBL (0012H)							
	(初期値 : 1111 1111 1111 1111)								Read/Write (PPG 出力モード時のみ Write 可)							

タイマカウンタ 1 制御レジスタ

	7	6	5	4	3	2	1	0	
TC1CR (0026H)	TFF1	ACAP1 MCAP1 METT1 MPPG1	TC1S		TC1CK		TC1M		Read/Write (初期値 : 0000 0000)

TFF1	タイマ F/F1 制御	0: クリア	1: セット						R/W
ACAP1	自動キャプチャ制御	0: 自動キャプチャディセーブル	1: 自動キャプチャイネーブル						R/W
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ	1: 片エッジキャプチャ						
METT1	外部トリガタイマモード制御	0: トリガスタート	1: トリガスタート & ストップ						
MPPG1	PPG 出力制御	0: 連続	1: 単発						
TC1S	タイマカウンタ 1 のスタート制御		タイマ	外部	イベント	ウィンドウ	パルス	PPG	R/W
		00: ストップ & カウンタクリア	○	○	○	○	○	○	
		01: コマンドスタート	○	–	–	–	–	○	
		10: 立ち上がりエッジスタート (外部トリガ / パルス / PPG) 立ち上がりエッジカウント (イベント) 正論理カウント (ウィンドウ)	–	○	○	○	○	○	
		11: 立ち下がりエッジスタート (外部トリガ / パルス / PPG) 立ち下がりエッジカウント (イベント) 負論理カウント (ウィンドウ)	–	○	○	○	○	○	
TC1CK	タイマカウンタ 1 のソースクロックの選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード				デバイダ	SLOW, SLEEP モード	R/W
			DV7CK = 0	DV7CK = 1					
		00	$fc/2^{11}$	$fs/2^3$			DV9	$fs/2^3$	
		01	$fc/2^7$	$fc/2^7$			DV5	–	
		10	$fc/2^3$	$fc/2^3$			DV1	–	
		11	外部クロック (TC1 端子入力)						
TC1M	タイマカウンタ 1 の動作モードの選択	00: タイマ / 外部トリガタイマ / イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード							R/W

注 1)　fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

注 2)　タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH,TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

Not Recommended for New Design

注 3) モード , ソースクロック、PPG 出力制御 , タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイマスタートまでに設定してください。

注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。

注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)

注 6) PPG 出力モード以外の動作モードでは TFF1 を "0" に設定してください。

注 7) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。

注 8) STOP モードを起動するとスタート制御 (TC1S) は自動的に “00” にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。

注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。

注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design

8.3　機能

タイマカウンタ 1 には、タイマ , 外部トリガタイマ , イベントカウンタ , ウィンドウ , パルス幅測定 , プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

8.3.1　タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TC1DRA) の 設定値が一致すると INTTC1 割り込み要求が発生し､アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC1CR<ACAP1> を “1” にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 8-1 タイマカウンタ 1 の内部ソースクロック (例 : fc = 16 MHz, fs = 32.768 kHz 時)

TC1CK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1			
	分解能 [μs]	最大設定時間 [s]	分解能 [μs]	最大設定時間 [s]	分解能 [μs]	最大設定時間 [s]
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	–	–
10	0.5	32.77 m	0.5	32.77 m	–	–

(プログラム例 1)　ソースクロック $fc/2^{11}$ [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。(fc = 16 MHz, TBTCR<DV7CK> = “0” 時)

```
LDW     (TC1DRA), 1E84H     ; タイマレジスタの設定 (1 s ÷ 2^11/fc = 1E84H)
DI                          ; IMF= “0”
SET     (EIRL). 5           ; INTTC1 割り込みを許可
EI                          ; IMF= “1”
LD      (TC1CR), 00000000B  ; ソースクロック , モード選択
LD      (TC1CR), 00010000B  ; TC1 スタート
```

(プログラム例 2)　自動キャプチャ

```
LD      (TC1CR), 01010000B  ; ACAP1 ← 1
:       :                   :
LD      WA, (TC1DRB)        ; キャプチャ値の読み出し
```

注)　キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design

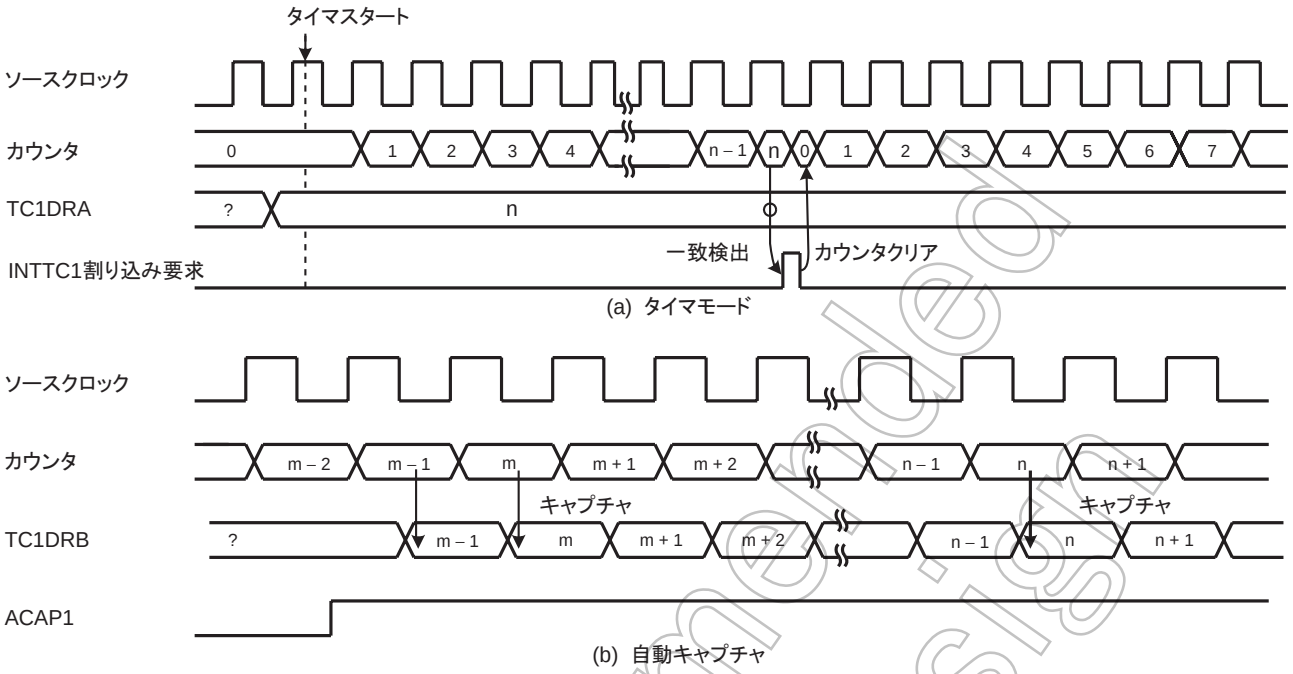


図 8-2 タイマモードタイミングチャート

Not Recommended for New Design

8.3.2　外部トリガタイマモード

外部トリガタイマモードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- TC1CR<METT1> が “1”(トリガスタート & ストップ) の場合

  タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

  ただしアップカウンタの値と TC1DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC1 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

  なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- TC1CR<METT1> が “0”(トリガスタート) の場合

  タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

  カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

  アップカウンタの値と TC1DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

なお、TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 4/fc [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、12/fc [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

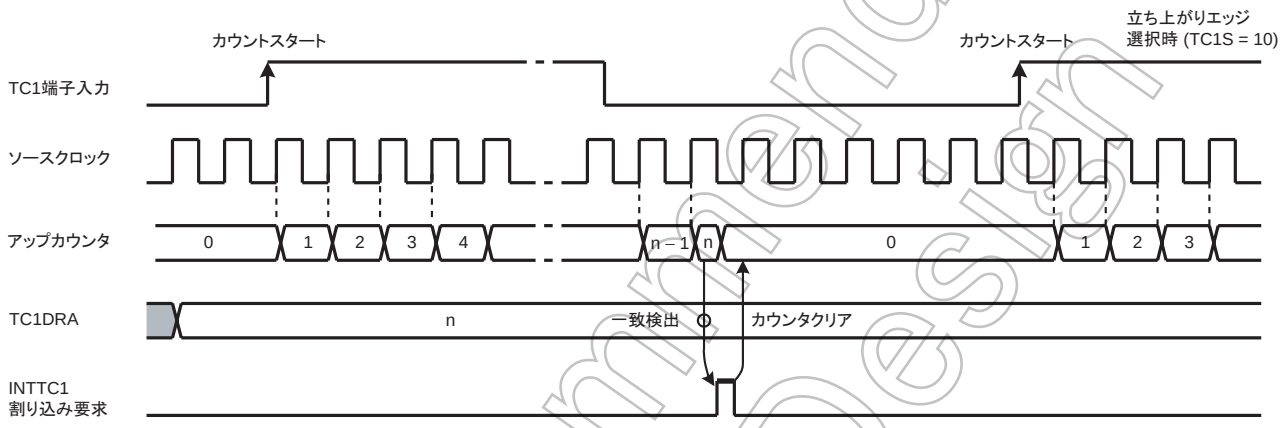
(プログラム例 1)　TC1 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。
(fc = 16 MHz 時)

```
LDW     (TC1DRA), 007DH      ; 1ms ÷ 2^7/fc = 7DH
DI                           ; IMF= “0”
SET     (EIRL). 5            ; INTTC1 割り込み許可
EI                           ; IMF= “1”
LD      (TC1CR), 00000100B   ; ソースクロック , モード選択
LD      (TC1CR), 00100100B   ; TC1 外部トリガスタート , METT1 = 0
```

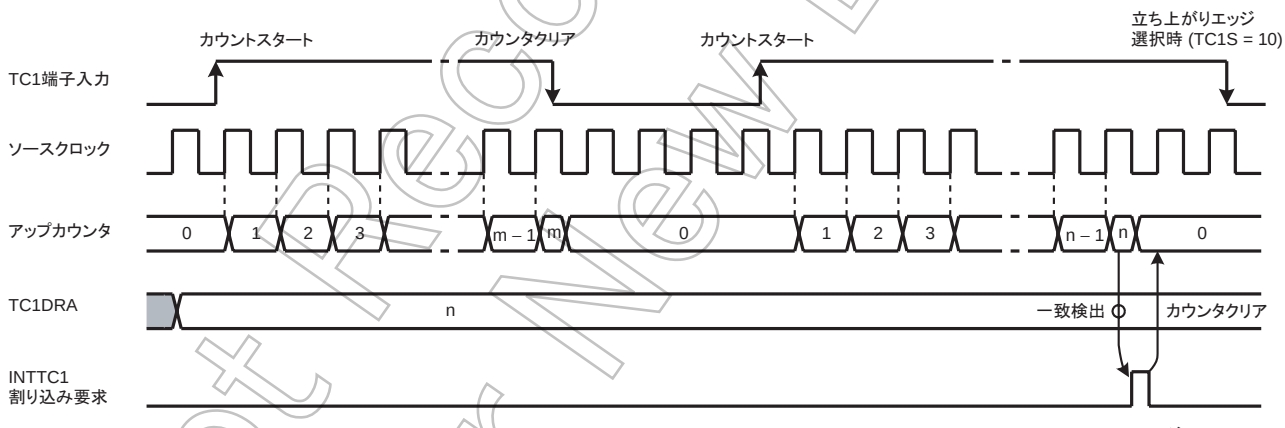
Not Recommended for New Design

（プログラム例 2） TC1 端子に “L” レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz 時)

```
LDW     (TC1DRA), 01F4H     ; 4 ms ÷ 2^7/fc = 1F4H
DI                          ; IMF= “0”
SET     (EIRL). 5           ; INTTC1 割り込み許可
EI                          ; IMF= “1”
LD      (TC1CR), 00000100B  ; ソースクロック , モード選択
LD      (TC1CR), 01110100B  ; TC1 外部トリガスタート , METT1 = 1
```



(a) トリガスタート (METT1 = 0)



注) m < n

(b) トリガスタート&ストップ (METT1 = 1)

図 8-3 外部トリガタイマモードタイミングチャート

Not Recommended for New Design

8.3.3　イベントカウンタモード

イベントカウンタモードは、TC1 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC1 端子入力のエッジごとにカウントアップを継続します。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC1 割り込み要求は、アップカウンタと TC1DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC1 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC1CR<ACAP1> を “1” にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

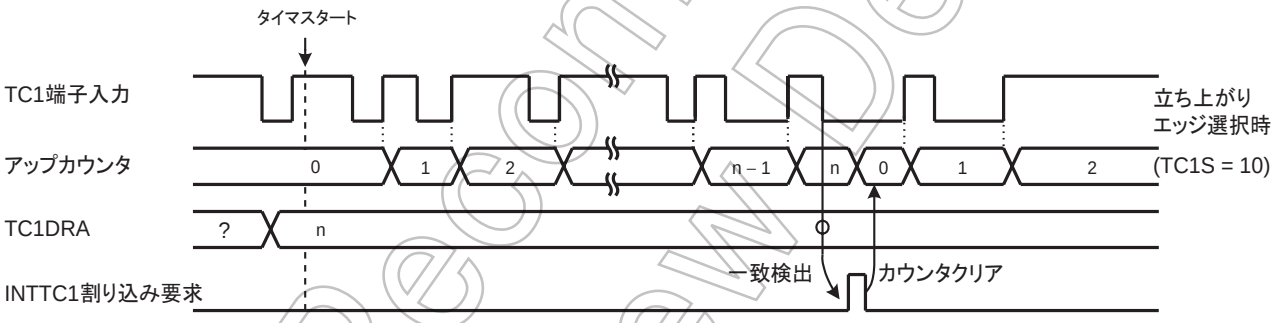


図 8-4 イベントカウンタモード タイミングチャート

表 8-2 タイマカウンタ 1 端子への入力パルス幅

	最小パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	2^3/fc	2^3/fs
“L” 幅	2^3/fc	2^3/fs

Not Recommended for New Design

8.3.4 ウィンドウモード

ウィンドウモードは、TC1 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、TC1CR<TC1S> によって正論理 (H レベルの期間カウントアップ) または負論理 (L レベルの期間カウントアップ) の選択をで行うことができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC1CR<TC1CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

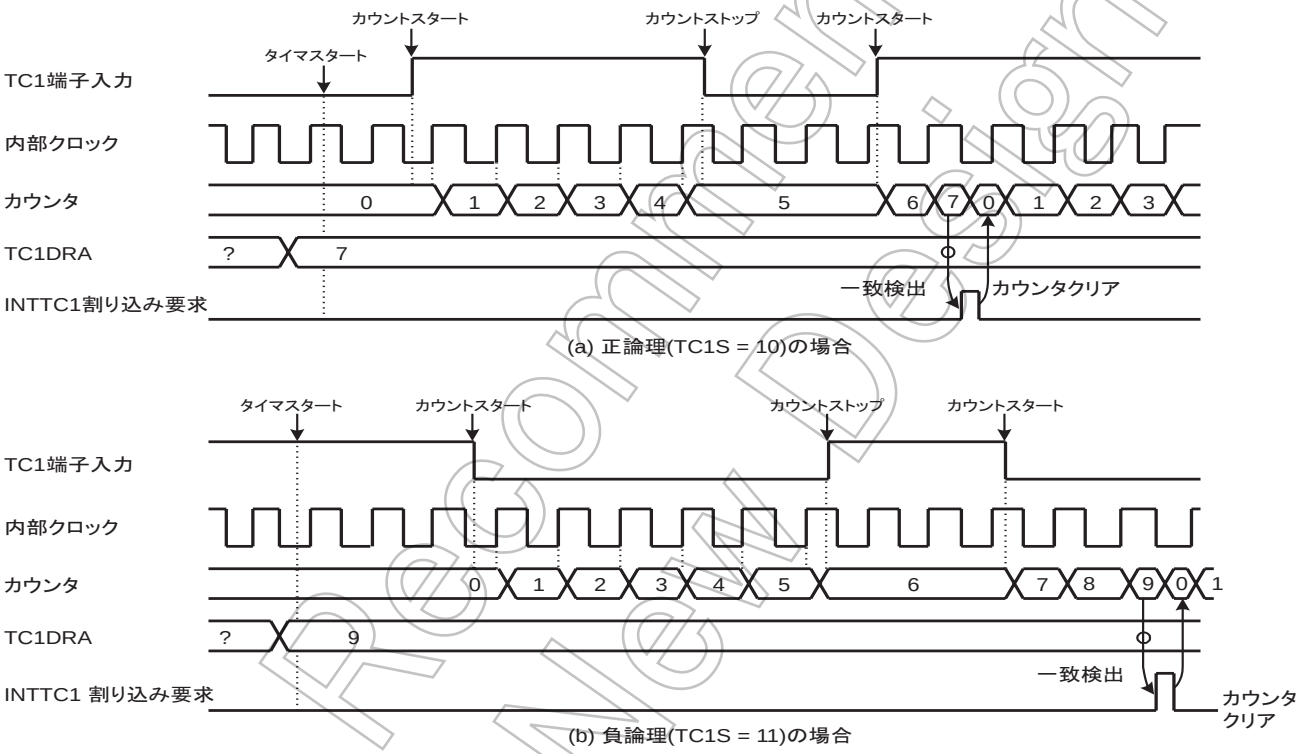


図 8-5 ウィンドウモード タイミングチャート

Not Recommended for New Design

8.3.5　パルス幅測定モード

パルス幅測定モードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC1CR<MCAP1> によって、片エッジまたは両エッジのいずれかを選択することができます。

- TC1CR<MCAP1>=“1”(片エッジキャプチャ) の場合

  H レベルまたは L レベルのいずれか一方の入力パルス幅を測定することができます。H レベルの入力パルス幅を測定する場合は TC1CR<TC1S> を立ち上がりエッジに、L レベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

  タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- TC1CR<MCAP1>=“0”(両エッジキャプチャ) の場合

  H レベルと周期、または L レベルと周期のいずれかの入力パルス幅を測定することができます。H レベルと周期を測定する場合は TC1CR<TC1S> を立ち上がりエッジに、L レベルと周期を測定する場合は TC1CR<TC1S> を立ち下がりエッジに設定してください。

  タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容を TC1DRB に取り込み、INTTC1 割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

注 1)　キャプチャ値は、次のトリガエッジが検出されるまでに TC1DRB から必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このとき TC1DRB は、16 ビットアクセス命令による読み出しを推奨します。

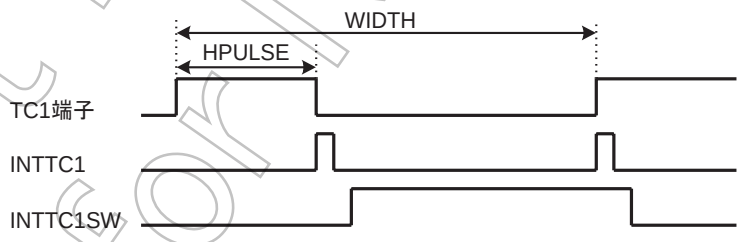
注 2)　片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで “1” で停止するため、2 回目のキャプチャ値は、スタート直後のキャプチャ値よりも “1” 大きくなります。

注 3)　タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の 1 回目のキャプチャ値は読み捨ててください。

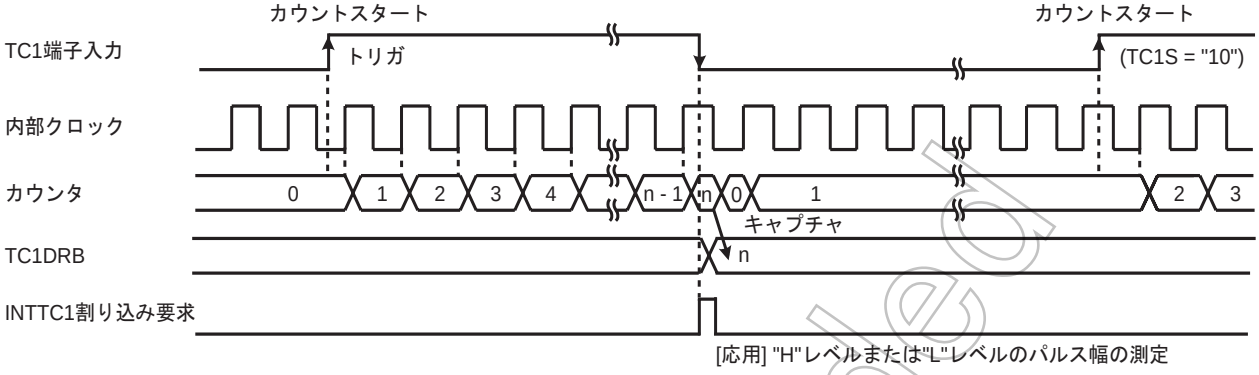
Not recommended for New Design

（プログラム例）デューティの測定。(分解能 $fc/2^7$ [Hz] 時)

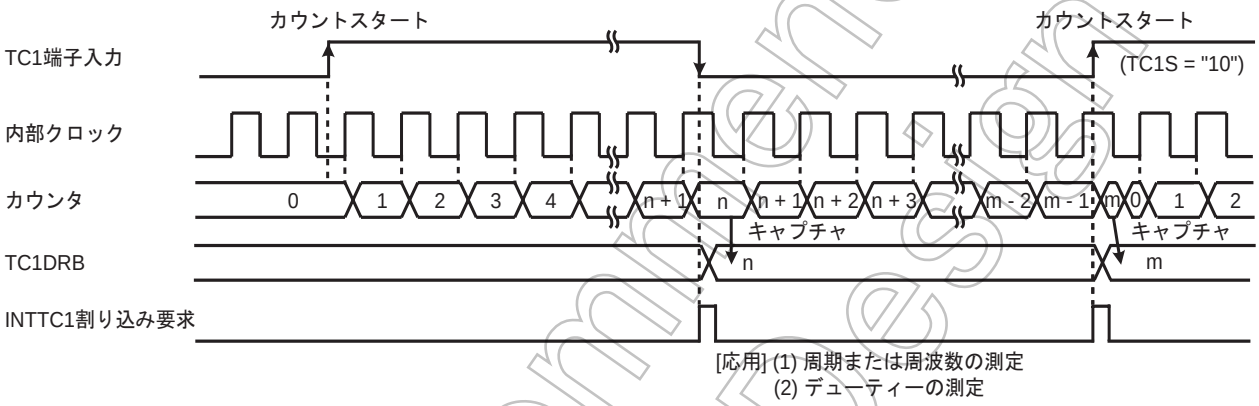
```
            CLR     (INTTC1SW). 0       ; INTTC1 のサービススイッチの初期設定 (INTTC1SW):
                                          INTTC1 ごとに反転するように設定したアドレス
            LD      (TC1CR), 00000110B  ; TC1 のモード , ソースクロックを設定
            DI                          ; IMF= “0”
            SET     (EIRL). 5           ; INTTC1 割り込みを許可。
            EI                          ; IMF= “1”
            LD      (TC1CR), 00100110B  ; MCAP1 = 0 で TC1 を外部トリガスタート。
            :
PINTTC1:    CPL     (INTTC1SW). 0       ; INTTC1 割り込み , INTTC1 のサービススイッチの
                                          反転 / テスト
            JRS     F, SINTTC1
            LD      A, (TC1DRBL)        ; TC1DRB の読み出し (“H” レベルパルス幅 )
            LD      W,(TC1DRBH)
            LD      (HPULSE), WA        ; “H” レベルパルス幅を RAM に格納
            RETI
SINTTC1:    LD      A, (TC1DRBL)        ; TC1DRB の読み出し ( 周期 )
            LD      W,(TC1DRBH)
            LD      (WIDTH), WA         ; 周期を RAM に格納
            :
            RETI                        ; デューティ計算
            :
VINTTC1:    DW      PINTTC1             ; INTTC1 割り込みベクタ設定
```



Not Recommended for New Design



(a) 片エッジキャプチャ (MCAP1 = "1")



(b) 両エッジキャプチャ (MCAP1 = "0")

図 8-6 パルス幅測定モード

Not Recommended for New Design

8.3.6 プログラマブルパルスジェネレート (PPG) 出力モード

PPG 出力モードは、内部クロックのカウントによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC1CR<TC1S> によって TC1 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC1CR<MPPG1> によって PPG を連続して出力するか単発で出力するかを選択することができます。

- TC1CR<MPPG1>="0"(連続) の場合

  タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベル が反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベル が反転し、INTTC1 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

  なお、PPG 出力中に TC1S を “00” に設定すると、$\overline{\text{PPG}}$ 端子は停止直前のレベルを保持します。

- TC1CR<MPPG1>="1"(単発) の場合

  タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベル が反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベル が反転し、INTTC1 割り込み要求が発生します。このとき TC1CR<TC1S> は自動的に “00” にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、$\overline{\text{PPG}}$ 端子は TC1CR<TFF1> によって出力レベルを設定することができますので、正論理 / 負論理いずれのパルスも出力することが可能です。なお、$\overline{\text{PPG}}$ 端子は、タイマ F/F1 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC1CR<TFF1> を "0" に、L レベルに設定する場合は TC1CR<TFF1> を "1" に設定してください。リセット時、タイマ F/F1 は "0" に初期化されます。

注 1) タイマ動作中に TC1DRA、TC1DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1> はタイマ動作中に変更しないでください。TC1CR<TFF1> は、初期設定時 (リセット後) のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1> は正しく設定することができなくなります (このとき TC1CR<TFF1> を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M> を一度タイマモードに変更し (タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1> を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。
TC1DRA > TC1DRB

注 4) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。

Not Recommended for New Design

（プログラム例）“H” レベル 800 μs, “L” レベル 200 μs のパルスを出力。(fc = 16 MHz 時)

```
                ポートを設定する
LD              (TC1CR), 10000111B      ; PPG 出力モードに設定 , ソースクロック選択
LDW             (TC1DRA), 007DH         ; 周期の設定 (1 ms ÷ 2^7/fc μs = 007DH)
LDW             (TC1DRB), 0019H         ; “L” レベルパルス幅の設定 (200 μs ÷ 2^7/fc = 0019H)
LD              (TC1CR), 10010111B      ; タイマスタート
```

（プログラム例）PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz 時)

```
                ポートを設定する
LD              (TC1CR), 10000111B      ; PPG 出力モードに設定 , ソースクロック選択
LDW             (TC1DRA), 007DH         ; 周期の設定 (1 ms ÷ 2^7/fc μs = 007DH)
LDW             (TC1DRB), 0019H         ; “L” レベルパルス幅の設定 (200 μs ÷ 2^7/fc = 0019H)
LD              (TC1CR), 10010111B      ; タイマスタート
:               :
LD              (TC1CR), 10000111B      ; タイマストップ
LD              (TC1CR), 10000100B      ; タイマモードに設定
LD              (TC1CR), 00000111B      ; PPG 出力モード、TFF1=0 に設定
LD              (TC1CR), 00010111B      ; タイマスタート
```

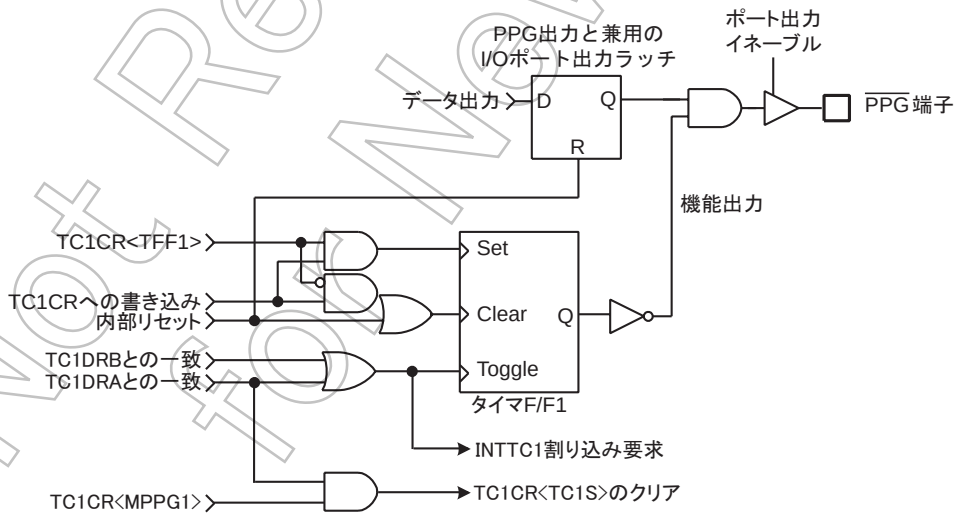


図 8-7　$\overline{\text{PPG}}$ 出力

Not Recommended for New Design

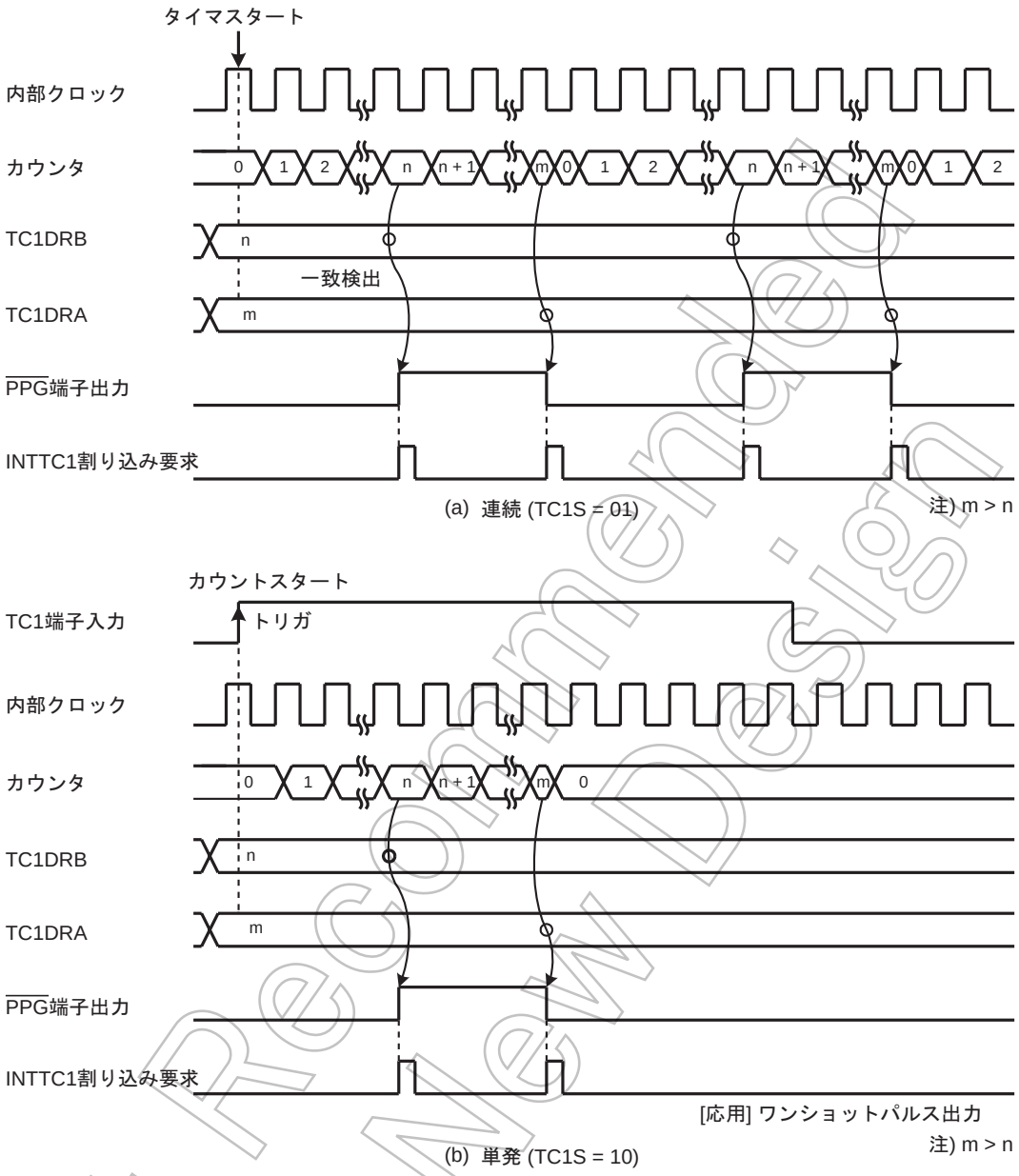


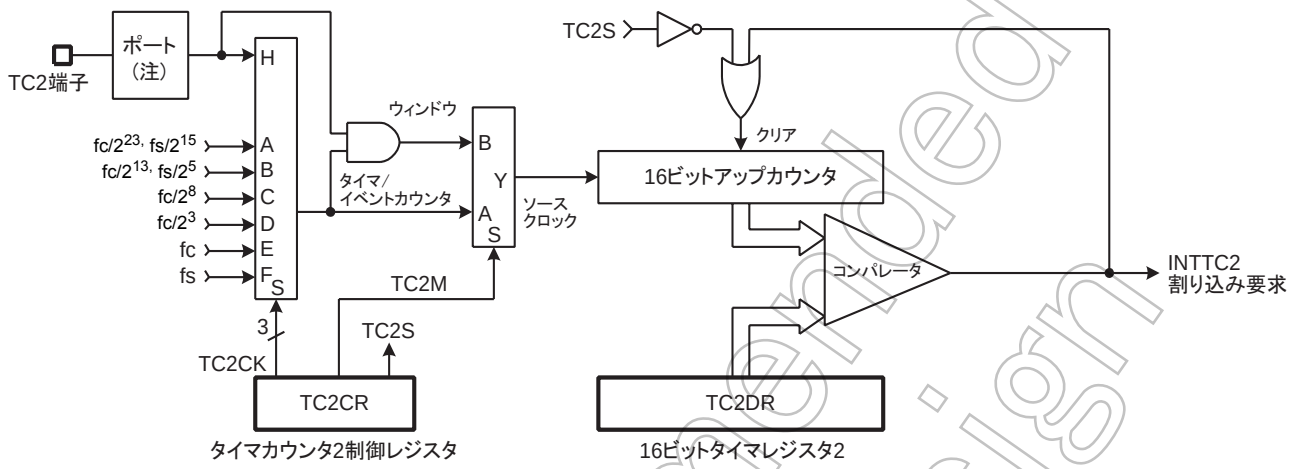
図 8-8 PPG 出力モード タイミングチャート

Not Recommended for New Design

Not Recommended for New Design

第 9 章　16 ビットタイマカウンタ 2 (TC2)

9.1　構成



注） I/O ポートの設定によっては、制御入力が機能しないことがありますので、詳しくは I/O ポートの章を参照してください。

図 9-1　タイマカウンタ 2 (TC2)

Not Recommended for New Design

9.2　制御

タイマカウンタ 2 は、タイマカウンタ 2 制御レジスタ (TC2CR) と 16 ビットのタイマレジスタ 2 (TC2DR) で制御されます。

TC2DR (0025H, 0024H)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC2DRH (0025H)								TC2DRL (0024H)							
	(初期値 : 1111 1111 1111 1111)								R/W							

TC2CR (0023H)	7	6	5	4	3	2	1	0
			TC2S	TC2CK				TC2M

(初期値 : **00 00*0)

TC2S	タイマカウンタ 2 の スタート制御	0: ストップ & カウンタクリア 1: スタート						R/W
TC2CK	タイマカウンタ 2 の ソースクロックの選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		デバイダ	SLOW1/2 モード	SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1				
		000	$fc/2^{23}$	$fs/2^{15}$	DV21	$fs/2^{15}$	$fs/2^{15}$	
		001	$fc/2^{13}$	$fs/2^{5}$	DV11	$fs/2^{5}$	$fs/2^{5}$	
		010	$fc/2^{8}$	$fc/2^{8}$	DV6	–	–	
		011	$fc/2^{3}$	$fc/2^{3}$	DV1	–	–	
		100	–	–	–	fc (注 1)	–	
		101	fs	fs	–	–	–	
		110	Reserved					
		111	外部クロック (TC2 端子入力)					
TC2M	タイマカウンタ 2 の 動作モードの選択	0: タイマ / イベントカウンタモード 1: ウィンドウモード						R/W

注 1)　fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

注 2)　タイマレジスタ 2(TC2DR) への書き込みは必ず下位側 (TC2DRL)、上位側 (TC2DRH) の順に行ってください。下位側または上位側のみの書き込みでは、設定値は反映されません。

注 3)　タイマレジスタ 2(TC2DR) の下位側 (TC2DRL) にデータを書き込むと、上位側 (TC2DR) にデータが書き込まれるまでの間、前回の設定値で一致検出を行います。

注 4)　モード , ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注 5)　タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC2DR>1 (ウォームアップのときは $TC2DR_{15}$~$TC2DR_{11}$>1)

注 6)　TC2CR にリード命令を実行すると、ビット 1,6,7 は不定値が読み込まれます。

注 7)　ソースクロックに fc は、SLOW2 モード時のタイマモードのみ使用することができます。

注 8)　STOP モードを起動すると、TC2S は自動的に "0" にクリアされ、タイマは停止します。従って STOP モード解除後、タイマカウンタ 2 を使用する場合は、TC2S を再設定してください。

Not Recommended for New Design

9.3 機能

タイマカウンタ 2 には、タイマ、イベントカウンタとウィンドウの 3 つの動作モードがあります。

またタイマモードでは、ソースクロックとして fc または fs を選択すると、SLOW1 モードと NORMAL2 モード間で動作モードを切り替えるとき、発振子が安定するまでのウォーミングアップ時間を生成することができます。

9.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 2 (TC2DR) の 設定値との一致で INTTC2 割り込み要求が発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOW2 モードでソースクロックに fc を選択すると、TC2DR の下位 11 ビットは比較対象とはならず、上位 5 ビットのみの一致で INTTC2 割り込み要求が発生します。従ってこの場合、TC2DRH の設定は必要ですが、TC2DRL の設定は不要です。

表 9-1 タイマカウンタ 2 の内部クロックソース (例 : fc = 16 MHz, fs = 32.768 kHz 時)

TC2CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2 モード		SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1					
	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間
000	524.29 [ms]	9.54 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]
001	512.0 [μs]	33.55 [s]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]
010	16.0 [μs]	1.05 [s]	16.0 [μs]	1.05 [s]	–	–	–	–
011	0.5 [μs]	32.77 [ms]	0.5 [μs]	32.77 [ms]	–	–	–	–
100	–	–	–	–	62.5 [ns]	–	–	–
101	30.52 [μs]	2 [s]	30.52 [μs]	2 [s]	–	–	–	–

注) ソースクロック fc は SLOW モード時のタイマモードでのみ使用可能です。これは SLOW1 モードから NORMAL2 モードに切り替える場合のウォーミングアップ用です。

(プログラム例) ソースクロック $fc/2^3$ [Hz] で、タイマモードにセットし、25 ms ごとに割り込みを発生させる。(fc = 16 MHz 時)

```
LDW     (TC2DR), 061AH      ; TC2DR の設定 (25 ms ÷ 2^8/fc = 061AH)
DI                          ; IMF= "0"
SET     (EIRE). 6           ; INTTC2 割り込みを許可
EI                          ; IMF= "1"
LD      (TC2CR), 00001000B  ; ソースクロック / モード選択
LD      (TC2CR), 00101000B  ; タイマスタート
```

Not Recommended for New Design

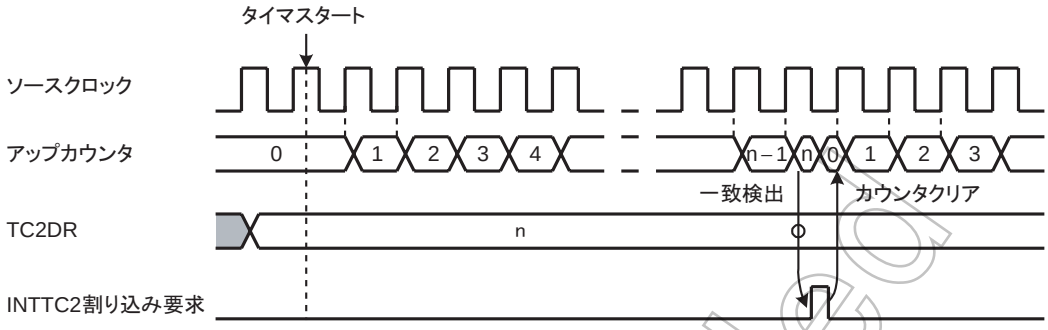


図 9-2 タイマモードタイミングチャート

Not Recommended for New Design

9.3.2 イベントカウンタモード

イベントカウンタモードは、TC2端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC2DR の設定値が一致すると INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC2 端子入力の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC2 端子入力の立ち下がりエッジで行われますので、INTTC2 割り込み要求は、アップカウンタと TC2DR が同値になった後の立ち下がりエッジで発生します。

TC2 端子への最小入力パルス幅は、表 9-2 のとおりです。“H”, “L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

（プログラム例）イベントカウンタモードにセットし、640 カウント後に INTTC2 割り込み要求を発生させる。

```
LDW     (TC2DR), 640          ; TC2DR の設定
DI                            ; IMF= “0”
SET     (EIRE). 6             ; INTTC2 割り込みを許可
EI                            ; IMF= “1”
LD      (TC2CR), 00011100B    ; TC2 ソースクロック / モード選択
LD      (TC2CR), 00111100B    ; TC2 スタート
```

表 9-2 タイマカウンタ 2 の外部クロックソース

	最小パルス幅	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	2^3/fc	2^3/fs
“L” 幅	2^3/fc	2^3/fs

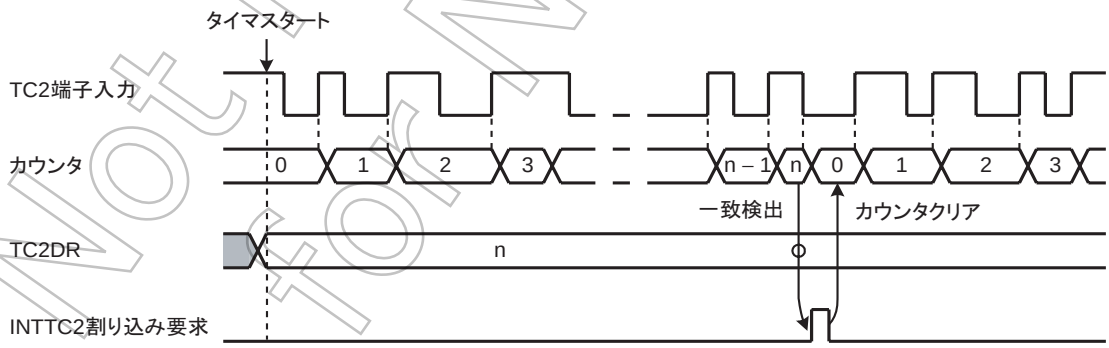


図 9-3 イベントカウンタモードタイミングチャート

9.3.3 ウィンドウモード

ウィンドウモードは、TC2 端子入力 (ウィンドウパルス) が “H” レベルの間、内部クロックでカウントアップするモードです。アップカウンタの値と TC2DR の設定値が一致すると、INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。

Not Recommended for New Design

なお、ウィンドウパルスは、TC2CR<TC2CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

注) ウィンドウモードは SLOW/SLEEP モードで動作しませんので、NORMAL モードでウィンドウモードを使用しているときは、SLOW/SLEEP モードを起動する前に TC2CR<TC2S> を “0” に設定してあらかじめタイマカウンタ 2 を停止してください。

(プログラム例) 120 ms 以上の “H” レベルパルスが入力されると割り込みを発生させる。
(fc = 16 MHz, TBTCR<DV7CK> = “0” 時)

```
LDW     (TC2DR), 00EAH      ; TC2DR の設定 (120 ms ÷ 2^13/fc = 00EAH)
DI                          ; IMF= “0”
SET     (EIRE). 6           ; INTTC2 割り込みを許可
EI                          ; IMF= “1”
LD      (TC2CR), 00000101B  ; TC2 ソースクロック / モード選択
LD      (TC2CR), 00100101B  ; TC2 スタート
```

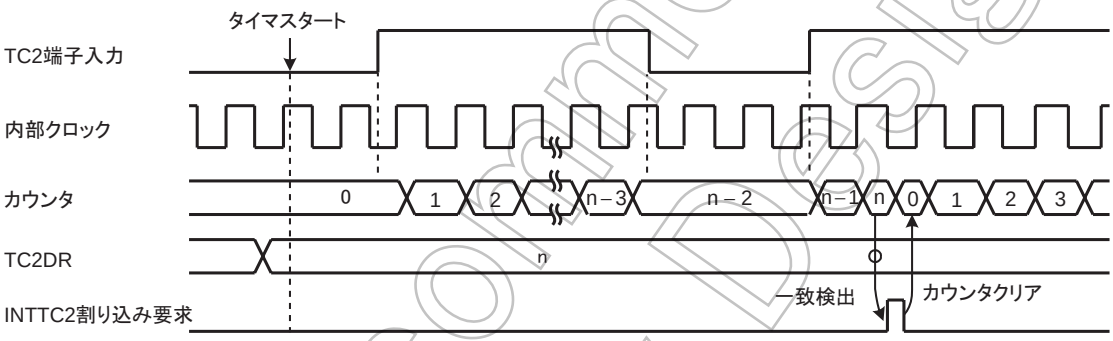


図 9-4 ウィンドウモードタイミングチャート

Not Recommended for New Design

第 10 章 8 ビットタイマカウンタ (TC3, TC4)

10.1 構成

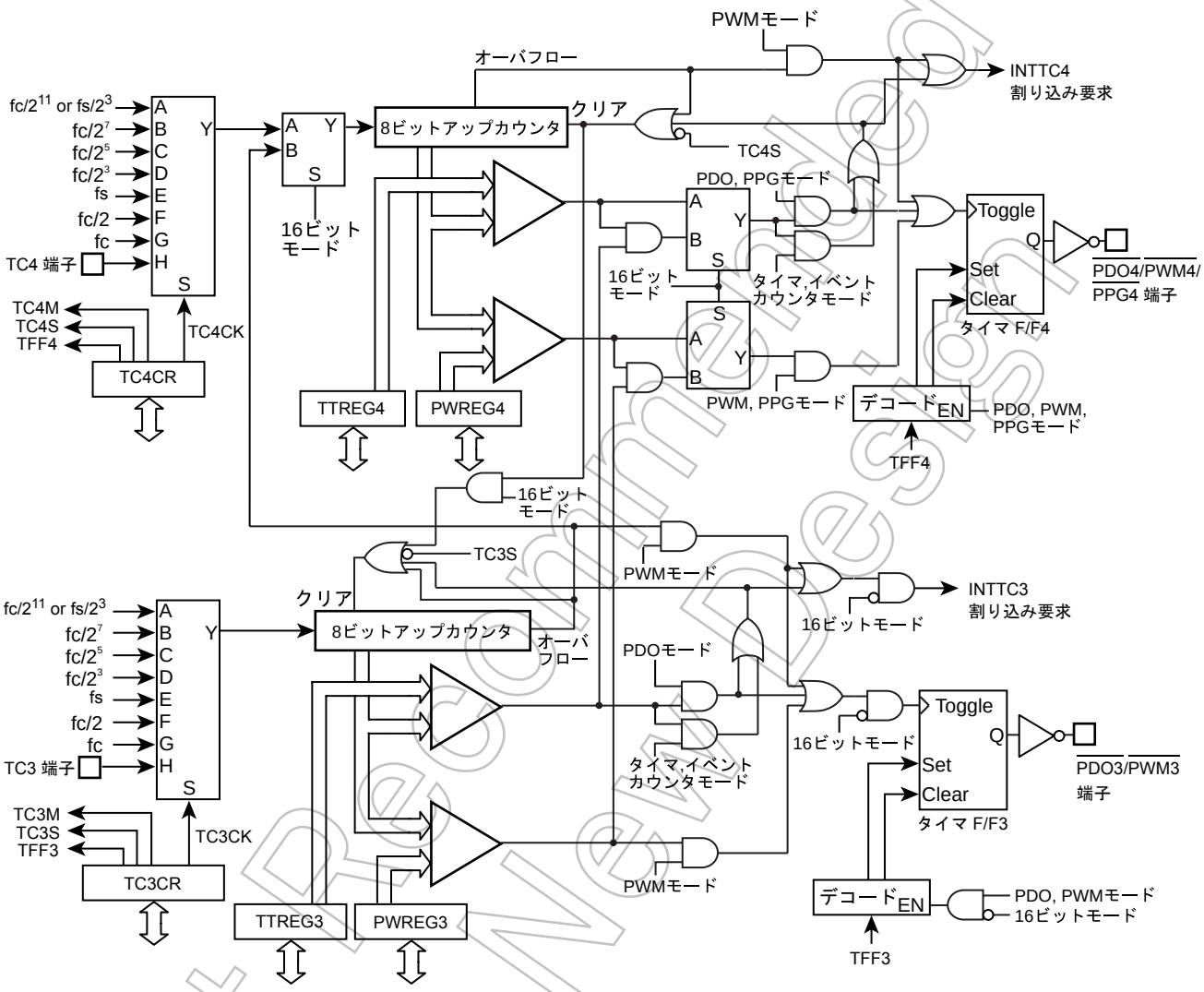


図 10-1 8 ビットタイマカウンタ 3, 4

Not Recommended for New Design

10.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ 3 のタイマレジスタ

TTREG3 (0014H) R/W	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

PWREG3 (0018H) R/W	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

注 1)　タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。

注 2)　8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ 3 制御レジスタ

TC3CR (0027H)	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)
	TFF3	TC3CK			TC3S	TC3M			

TFF3	タイマ F/F3 の制御	0:　クリア 1:　セット			R/W
TC3CK	動作クロック選択 [Hz]		NORMAL1/2, IDLE1/2 モード	SLOW1/2 SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1	
		000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	—
		010	$fc/2^5$	$fc/2^5$	—
		011	$fc/2^3$	$fc/2^3$	—
		100	fs	fs	fs
		101	fc/2	fc/2	—
		110	fc	fc	fc (注 8)
		111	TC3 端子入力		
TC3S	タイマスタート制御	0:　動作停止 & カウンタクリア 1:　動作開始			R/W
TC3M	動作モード選択	000:　8 ビットタイマ / イベントカウンタモード 001:　8 ビットプログラマブルデバイダ出力 (PDO) モード 010:　8 ビットパルス幅変調出力 (PWM) モード 011:　16 ビットモード (各モード選択は TC4M にて設定してください) 1**:　Reserved			R/W

注 1)　fc; 高周波クロック [Hz]　fs; 低周波クロック [Hz]

注 2)　タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。

注 3)　タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。
ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。

注 4)　16 ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M> にて行い、TC3M は "011" に固定してください。

注 5)　16 ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>、TC4CR<TFF4> にて設定してください。

注 6)　動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1, 表 10-2 を参照してください。

Not Recommended for New Design

注 7)　タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。
注 8)　SLOW, SLEEP モード時の動作クロック fc は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended for New Design

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ 4 のタイマレジスタ

TTREG4 (0015H) R/W	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

PWREG4 (0019H) R/W	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

注 1)　タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。

注 2)　8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ 4 制御レジスタ

TC4CR (0028H)	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)
	TFF4	TC4CK			TC4S	TC4M			

TFF4	タイマ F/F4 の制御	0: クリア 1: セット			R/W
TC4CK	動作クロック選択 [Hz]		NORMAL1/2, IDLE1/2 モード	SLOW1/2 SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1	
		000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	—
		010	$fc/2^5$	$fc/2^5$	—
		011	$fc/2^3$	$fc/2^3$	—
		100	fs	fs	fs
		101	fc/2	fc/2	—
		110	fc	fc	—
		111	TC4 端子入力		
TC4S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始			R/W
TC4M	動作モード選択	000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ / イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード			R/W

注 1)　fc; 高周波クロック [Hz]　fs; 低周波クロック [Hz]

注 2)　タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。

注 3)　タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。
ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。

注 4)　TC4M = 1** のとき (16 ビットモードの上位側のとき) は、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。

注 5)　16 ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M> は必ず "011" に設定してください。

Not Recommended for New Design

注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK> にて行い、タイマスタート制御、タイマ F/F の制御については TC4S、TFF4 にて設定してください。

注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1, 表 10-2 を参照してください .

注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。

Not Recommended for New Design

表 10-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TC3 端子入力	TC4 端子入力
8 ビットタイマ	○	○	○	○	–	–	–	–	–
8 ビットイベントカウンタ	–	–	–	–	–	–	–	○	○
8 ビット PDO	○	○	○	○	–	–	–	–	–
8 ビット PWM	○	○	○	○	○	○	○	–	–
16 ビットタイマ	○	○	○	○	–	–	–	–	–
16 ビットイベントカウンタ	–	–	–	–	–	–	–	○	–
ウォーミングアップカウンタ	–	–	–	–	○	–	–	–	–
16 ビット PWM	○	○	○	○	○	○	○	○	–
16 ビット PPG	○	○	○	○	–	–	–	○	–

注 1)　16 ビット動作 (16 ビットタイマ / イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 10-2 動作モードと使用できるソースクロック (SLOW1/2,SLEEP1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TC3 端子入力	TC4 端子入力
8 ビットタイマ	○	–	–	–	–	–	–	–	–
8 ビットイベントカウンタ	–	–	–	–	–	–	–	○	○
8 ビット PDO	○	–	–	–	–	–	–	–	–
8 ビット PWM	○	–	–	–	○	–	–	–	–
16 ビットタイマ	○	–	–	–	–	–	–	–	–
16 ビットイベントカウンタ	–	–	–	–	–	–	–	○	–
ウォーミングアップカウンタ	–	–	–	–	–	–	○	–	–
16 ビット PWM	○	–	–	–	○	–	–	○	–
16 ビット PPG	○	–	–	–	–	–	–	○	–

注 1)　16 ビット動作 (16 ビットタイマ / イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 10-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8 ビットタイマ / イベントカウンタ	1 ≦ (TTREGn) ≦ 255
8 ビット PDO	1 ≦ (TTREGn) ≦ 255
8 ビット PWM	2 ≦ (PWREGn) ≦ 254
16 ビットタイマ / イベントカウンタ	1 ≦ (TTREG4, 3) ≦ 65535
ウォーミングアップカウンタ	256 ≦ (TTREG4, 3) ≦ 65535
16 ビット PWM	2 ≦ (PWREG4, 3) ≦ 65534
16 ビット PPG	1 ≦ (PWREG4, 3) < (TTREG4, 3) ≦ 65535 かつ (PWREG4, 3) + 1 < (TTREG4, 3)

Not Recommended for New Design

注） n = 3~4

Not Recommended for New Design

10.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

10.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREGj) 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

注 1)　タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2)　タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGi を書き替えると想定している動作を得られない場合があります。

注 3)　j = 3, 4

表 10-4 タイマカウンタ 3, 4 のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
$fc/2^7$	$fc/2^7$	—	8 μs	—	2.0 ms	—
$fc/2^5$	$fc/2^5$	—	2 μs	—	510 μs	—
$fc/2^3$	$fc/2^3$	—	500 ns	—	127.5 μs	—

(プログラム例) ソースクロック $fc/2^7$[Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる
(タイマカウンタ 4、fc = 16.0 MHz 時)

```
LD      (TTREG4), 0AH          ; タイマレジスタの設定 (80 μs ÷ 2^7/fc = 0AH)
DI
SET     (EIRH). 1              ; INTTC4 割り込みを許可
EI
LD      (TC4CR), 00010000B     ; 動作クロックを fc/2^7 ,8 ビットタイマモードに設定
LD      (TC4CR), 00011000B     ;TC4 スタート
```

Not Recommended for New Design

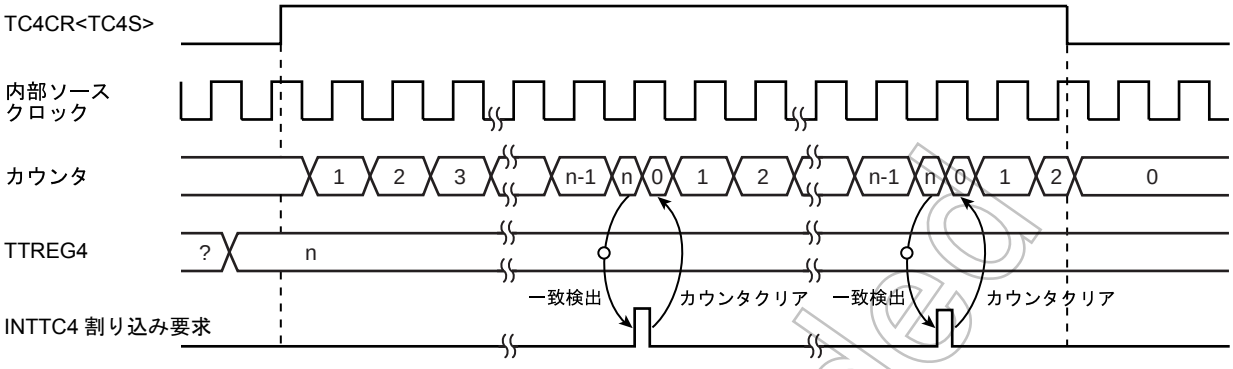


図 10-2 8 ビットタイマモードタイミングチャート (TC4 の場合)

10.3.2 8 ビットイベントカウンタモード (TC3, 4)

このモードは TCj 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREGj 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TCj 端子入力の立ち下がりエッジごとにカウントアップします。TCj 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1, 2 または IDLE1, 2 モード時で $fc/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $fs/2^4$ [Hz] となります。

注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、$\overline{PDOj}$/$\overline{PWMj}$/$\overline{PPGj}$ 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3) j = 3, 4

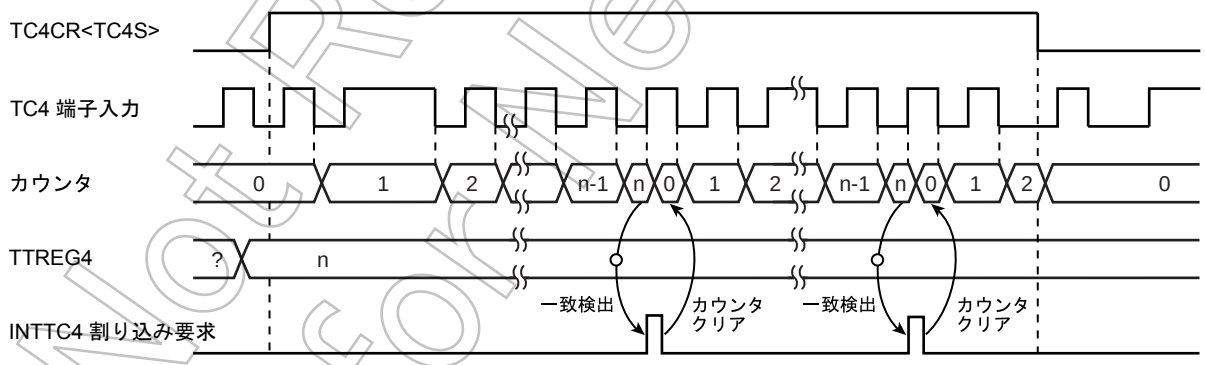


図 10-3 8 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

10.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは $\overline{PDOj}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREGj との一致ごとにタイマ F/Fj 値を反転しアップカウンタをクリアします。このとき INTTCj 割り込み要求が発生します。$\overline{PDOj}$ 端子からはタイマ F/Fj 値の反転レベルが出力されます。なお、タイマ F/Fj 値は TCjCR<TFFj> によって任意の値を設定することができます。リセット時、タイマ F/Fj 値は “0” に初期化されます。

Not Recommended for New Design

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

（プログラム例）TC4 を使用し、1024 Hz のパルスを出力 (fc = 16.0 MHz)

```
        ポートを設定
LD      (TTREG4),  3DH          ; 1/1024 ÷ 2^7/fc ÷ 2 = 3DH
LD      (TC4CR),   00010001B    ; 動作クロックを fc/2^7, 8 ビット PDO モードに設定
LD      (TC4CR),  00011001B     ; TC4 スタート
```

注 1)　プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 2)　PDO 出力中にタイマを停止すると、$\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例 : タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を“H”レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を“H”レベルに設定

注 3)　j = 3, 4

Not Recommended for New Design

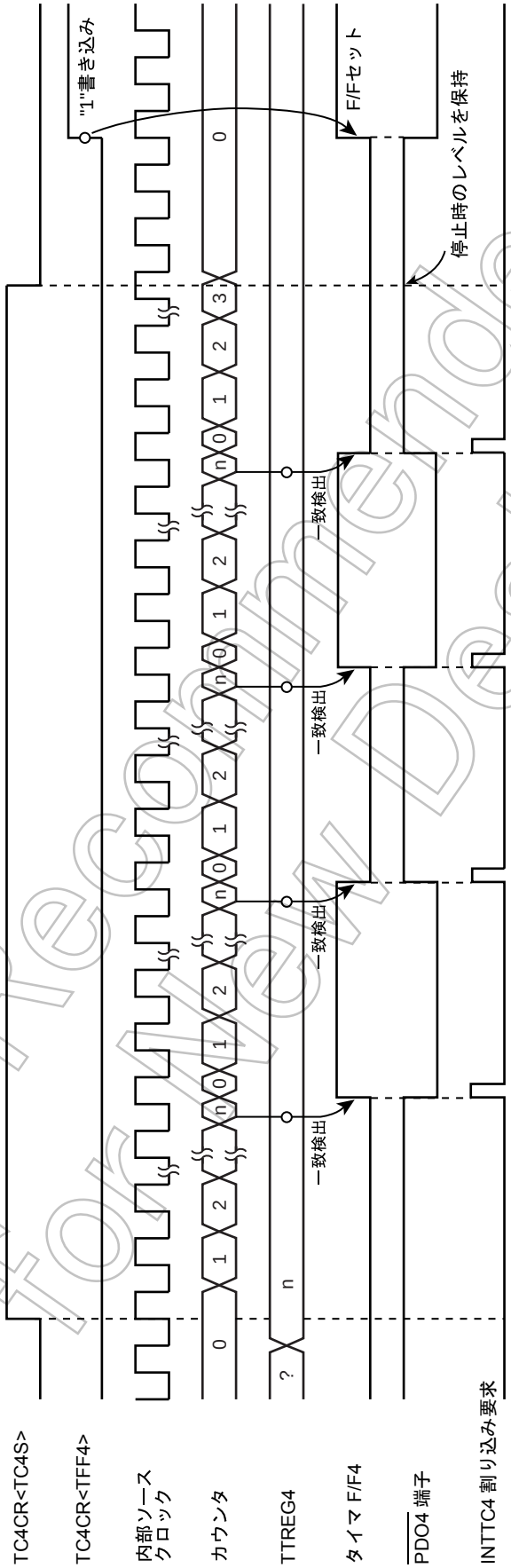


図 10-4 8 ビット PDO モードタイミングチャート (TC4 の場合)

Not Recommended for New Design

10.3.4 8 ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です 。リセット時、タイマ F/Fj は “0” にクリアされます。

($\overline{\text{PWMj}}$ 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

注 1)　PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。

注 2)　PWM 出力中にタイマを停止すると、$\overline{\text{PWMj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例 : タイマカウンタ停止時に $\overline{\text{PWMj}}$ 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PWMj}}$ 出力を “H” レベルに設定

注 3)　PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に $\overline{\text{PWMj}}$ 端子からパルスが出力されます。

注 4)　j = 3, 4

表 10-5 PWM 出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
$fc/2^7$	$fc/2^7$	–	8 μs	–	2.05 ms	–
$fc/2^5$	$fc/2^5$	–	2 μs	–	512 μs	–
$fc/2^3$	$fc/2^3$	–	500ns	–	128 μs	–
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	–	125 ns	–	32 μs	–
fc	fc	–	62.5 ns	–	16 μs	–

Not Recommended for New Design

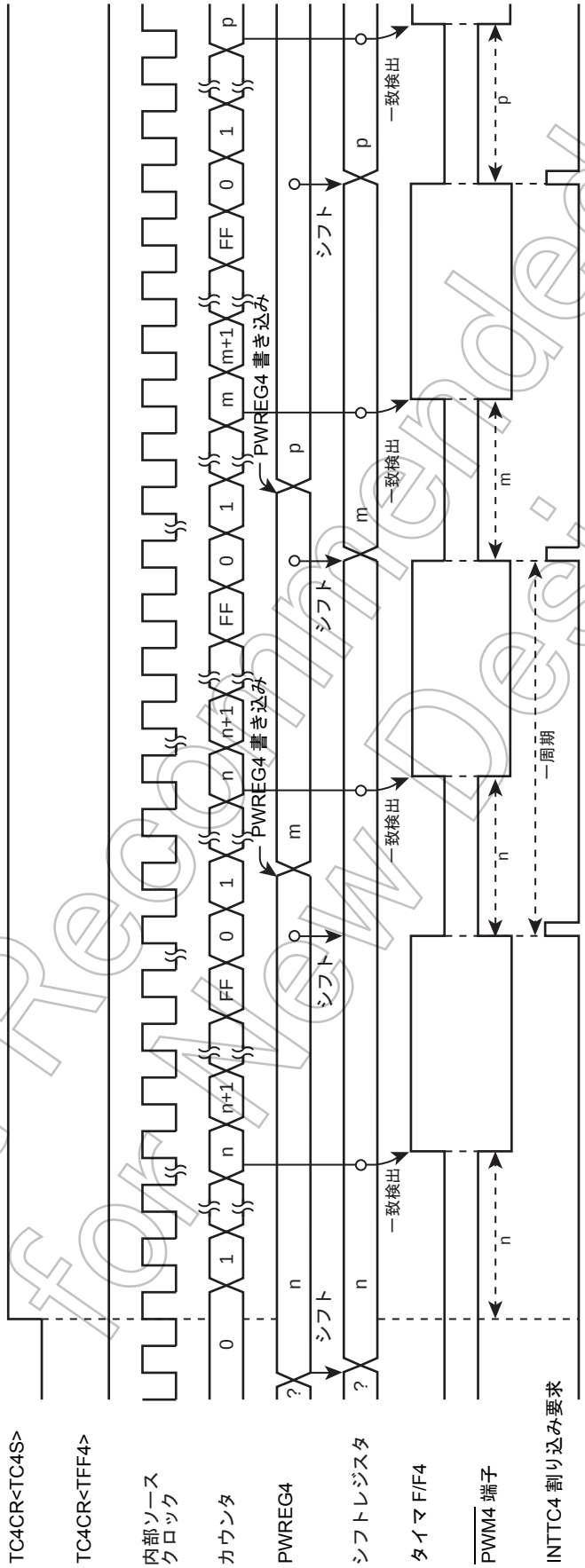


図 10-5 8 ビット PWM 出力モードタイミングチャート (TC4 の場合)

Not Recommended for New Design

10.3.5 16 ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 3 と 4 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3) 、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

注 1)　タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2)　タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3)　j = 3, 4

表 10-6 16 ビットタイマモードのソースクロック

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$	$fs/2^3$	$fs/2^3$	128 μs	244.14 μs	8.39 s	16s
$fc/2^7$	$fc/2^7$	–	8 μs	–	524.3 ms	–
$fc/2^5$	$fc/2^5$	–	2 μs	–	131.1 ms	–
$fc/2^3$	$fc/2^3$	–	500 ns	–	32.8 ms	–

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW     (TTREG3), 927CH     ; タイマレジスタの設定 (300 ms ÷ 2^7/fc = 927CH)
DI
SET     (EIRH). 1           ; INTTC4 割り込みを許可
EI
LD      (TC3CR), 13H        ; 動作クロックを fc/2^7、16 ビットタイマモード
                            ; ( 下位側 ) に設定
LD      (TC4CR), 04H        ; 16 ビットタイマモード ( 上位側 ) に設定
LD      (TC4CR), 0CH        ; タイマスタート
```

Not Recommended for New Design

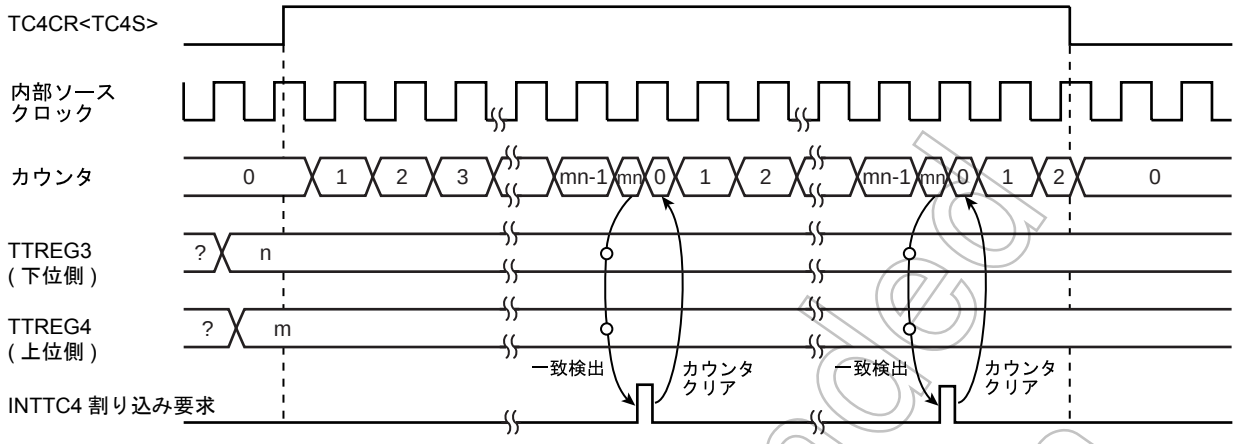


図 10-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

10.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです 。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の 設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で fc/ 2^4[Hz]、SLOW1, 2 または SLEEP1, 2 モード時で fs/2^4 [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3) 、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3) j = 3, 4

10.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で fc/ 2^4[Hz]、SLOW1, 2 または SLEEP1, 2 モード時で fs/2^4 [Hz] となります。

Not Recommended for New Design

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です 。リセット時、タイマ F/F4 は“0”にクリアされます。

($\overline{\text{PWM}}$4 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

注 1)　PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。

注 2)　PWM 出力中にタイマを停止すると、$\overline{\text{PWM}}$4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください (タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください)。
例 : タイマカウンタ停止時に $\overline{\text{PWM}}$4 端子を“H”レベルに固定する。
CLR (TC4CR).3 ; タイマ停止
CLR (TC4CR).7 ; $\overline{\text{PWM}}$4 端子を“H”レベルに設定

注 3)　STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に $\overline{\text{PWM}}$4 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 10-7 16 ビット PWM 出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	128 μs	244.14 μs	8.39 s	16 s
$fc/2^7$	$fc/2^7$	–	8 μs	–	524.3 ms	–
$fc/2^5$	$fc/2^5$	–	2 μs	–	131.1 ms	–
$fc/2^3$	$fc/2^3$	–	500ns	–	32.8 ms	–
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	–	125 ns	–	8.2 ms	–
fc	fc	–	62.5 ns	–	4.1 ms	–

(プログラム例) 周期 32.768 ms、“H”レベル幅 1 ms のパルスを出力する
(fc = 16.0 MHz 時)

```
                ポートを設定する
LDW     (PWREG3), 07D0H     ; パルス幅の設定
LD      (TC3CR), 33H        ; 動作クロックを fc/2^3、16 ビット PWM モード ( 下位側 )
                            ; に設定
LD      (TC4CR), 056H       ; TFF4 初期値 “0”、16 ビット PWM モード ( 上位側 )
                            ; に設定
LD      (TC4CR), 05EH       ; タイマスタート
```

Not Recommended for New Design

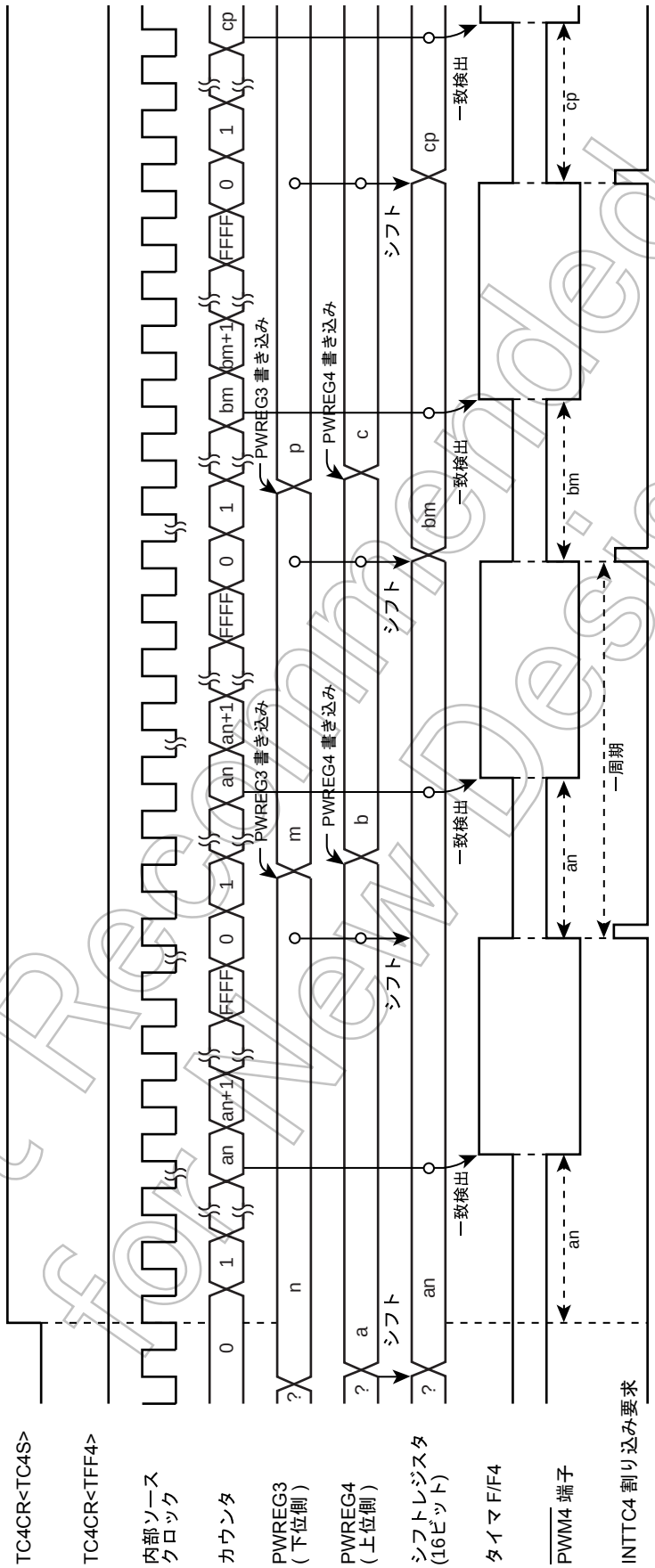


図 10-7 16 ビット PWM モードタイミングチャート (TC3 + TC4 の場合)

Not Recommended for New Design

10.3.8 16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で fc/ 2^4[Hz]、SLOW1, 2 または SLEEP1, 2 モード時で fs/2^4 [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です 。リセット時、タイマ F/F4 は “0” にクリアされます。

($\overline{\text{PPG}}$4 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

```
                ポートを設定する
LDW     (PWREG3), 07D0H         ; パルス幅の設定
LDW     (TTREG3), 8002H         ; 周期の設定
LD      (TC3CR), 33H            ; 動作クロックを fc/2^3、16 ビット PPG モード
                                ; ( 下位側 ) に設定
LD      (TC4CR), 057H           ; TFF4 初期値 “0”、16 ビット PPG モード
                                ; ( 上位側 ) に設定
LD      (TC4CR), 05FH           ; タイマスタート
```

注 1)　プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREGi, TTREGi の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREGi, TTREGi はシフトレジスタ構成となりませんので、PWREGi, TTREGi への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREGi, TTREGi を書き替えると想定している動作を得られない場合があります。

注 2)　PPG 出力中にタイマを停止すると、$\overline{\text{PPG}}$4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください。タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください。

例 : タイマカウンタ停止時に $\overline{\text{PPG}}$4 端子を “H” レベルに固定する。

```
CLR  (TC4CR).3; タイマ停止
CLR  (TC4CR).7; PPG4 端子を “H” レベルに設定
```

注 3)　i = 3, 4

Not Recommended for New Design

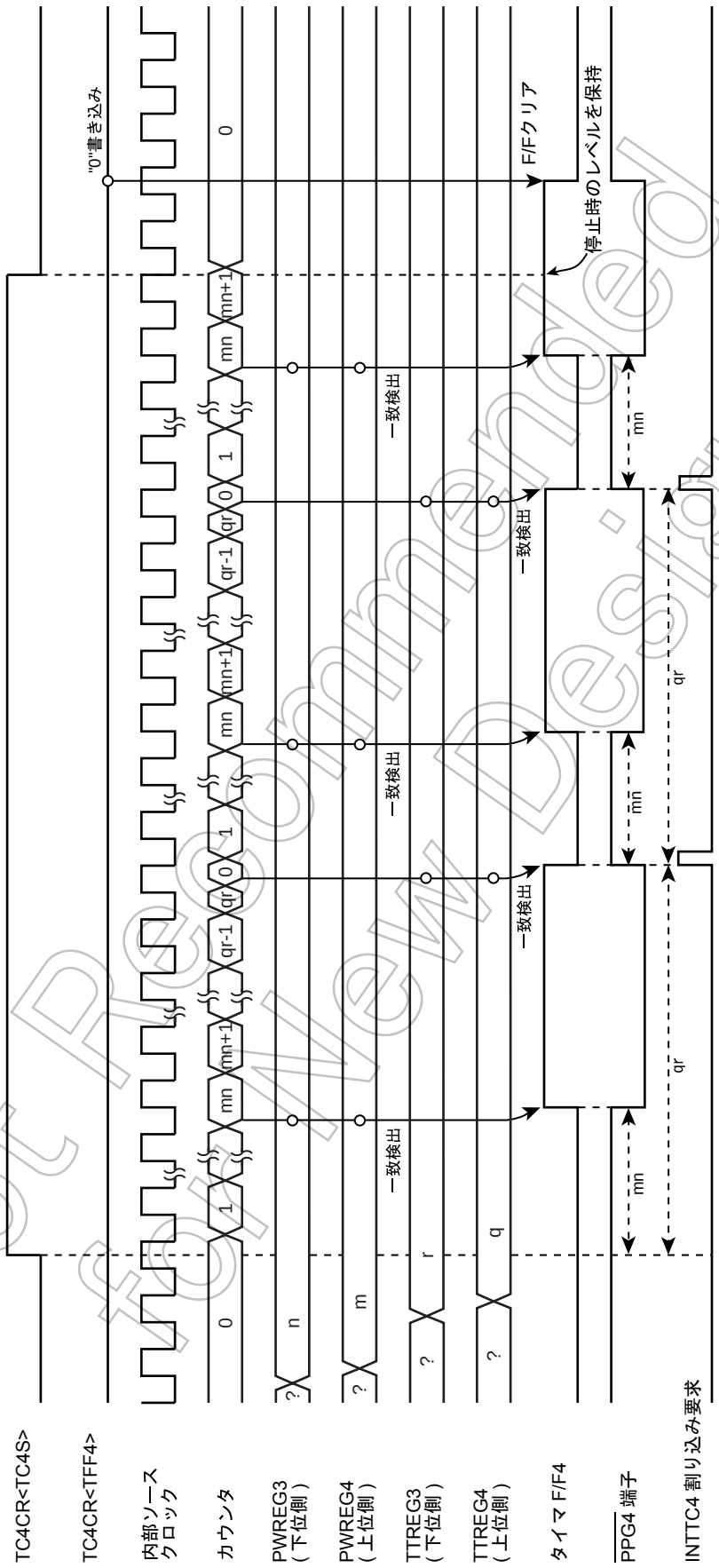


図 10-8 16 ビット PPG モードタイミングチャート (TC3 + TC4 の場合)

Not Recommended for New Design

10.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 3 と 4 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

注 1)　ウォーミングアップカウンタモード時は、TCiCR<TFFi> を“0”に固定してください。固定されない場合は、PDOi/PWMi/PPGi 端子からパルスが出力されることがあります。

注 2)　ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみの一致検出となります。

注 3)　i = 3, 4

10.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN> を“1”に設定し低周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN> を“0”に設定し、高周波クロックを停止します。

表 10-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```
            SET     (SYSCR2).6      ; SYSCR2<XTEN> ← “1”
            LD      (TC3CR), 43H    ; TFF3 = “0”, ソースクロック fs, 16 ビットモードに設定
            LD      (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモードに設定
            LD      (TTREG3), 8000H ; ウォーミングアップ時間をセット
                                    ; ( 発振器の特性で時間を決定します )
            DI                      ; IMF ← “0”
            SET     (EIRH). 1       ; INTTC4 割り込みを許可
            EI                      ; IMF ← “1”
            SET     (TC4CR).3       ; TC4, 3 スタート
              :         :
PINTTC4:    CLR     (TC4CR).3       ; TC4, 3 ストップ
            SET     (SYSCR2).5      ; SYSCR2<SYSCK> ← “1”
                                    ; ( システムクロックを低周波に切り替え )
            CLR     (SYSCR2).7      ; SYSCR2<XEN> ← “0”( 高周波クロック停止 )
            RETI
              :         :
VINTTC4:    DW      PINTTC4         ; INTTC4 ベクタテーブル
```

Not Recommended for New Design

10.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック fc が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 10-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
16 μs	4.08 ms

（プログラム例）TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```
            SET     (SYSCR2).7      ; SYSCR2<XEN> ← “1”
            LD      (TC3CR), 63H    ; TFF3 = “0”，ソースクロック fc,
                                    ; 16 ビットモードに設定
            LD      (TC4CR), 05H    ; TFF4 = “0”，ウォーミングアップカウンタモード
                                    ; に設定
            LD      (TTREG3), 0F800H ; ウォーミングアップ時間をセット
                                    ;( 発振器の特性で時間を決定します )
            DI                      ; IMF ← “0”
            SET     (EIRH). 1       ; INTTC4 割り込みを許可
            EI                      ; IMF ← “1”
            SET     (TC4CR).3       ; TC4, 3 スタート
            :       :
PINTTC4:    CLR     (TC4CR).3       ; TC4, 3 ストップ
            CLR     (SYSCR2).5      ; SYSCR2<SYSCK> ← “0”
                                    ;( システムクロックを高周波に切り替え )
            CLR     (SYSCR2).6      ; SYSCR2<XTEN> ← “0”
                                    ;( 低周波クロック停止 )
            RETI
            :       :
VINTTC4:    DW      PINTTC4         ; INTTC4 ベクタテーブル
```

Not Recommended for New Design

Not Recommended for New Design

第 11 章 8 ビットタイマカウンタ (TC5, TC6)

11.1 構成

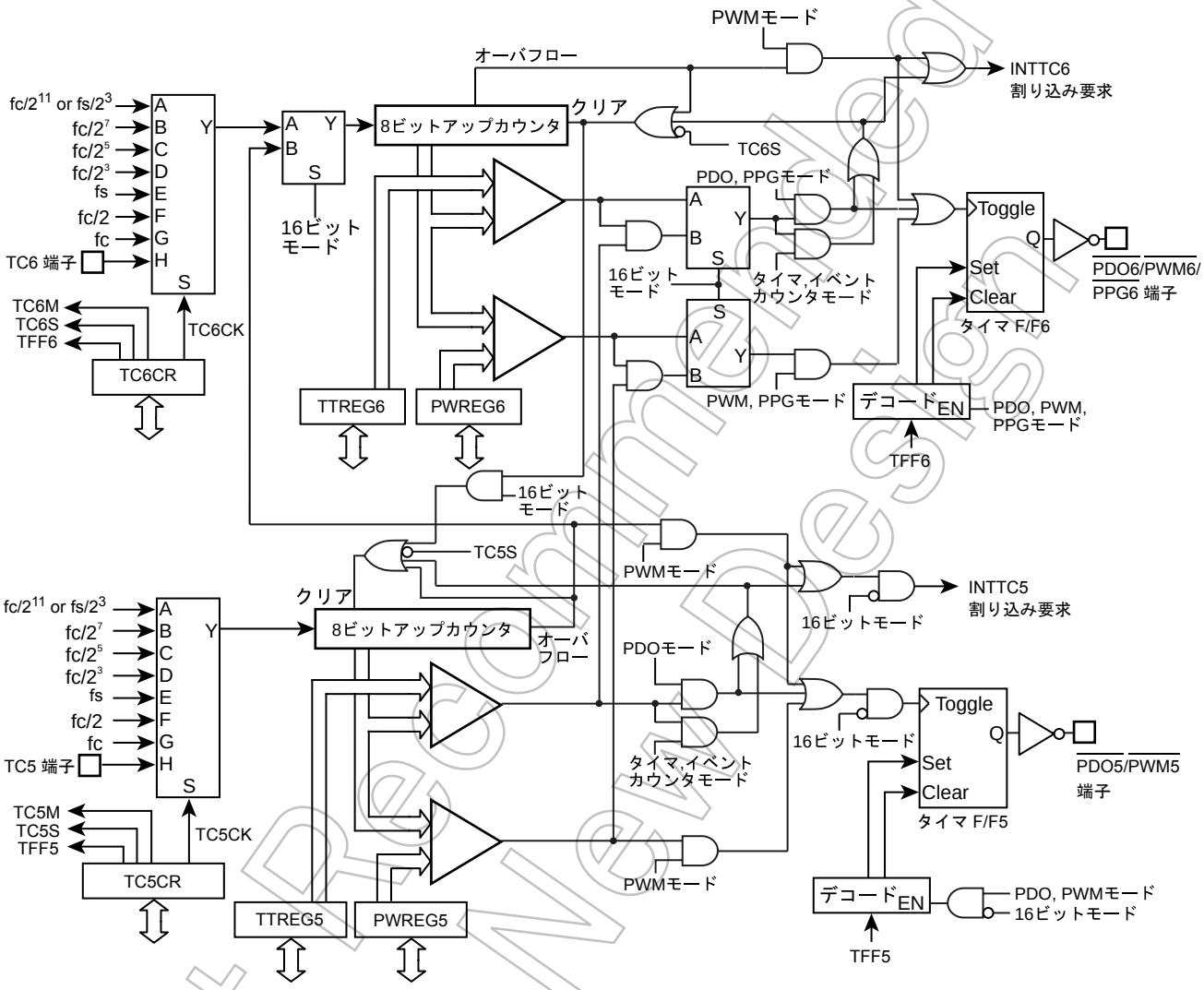


図 11-1 8 ビットタイマカウンタ 5, 6

Not Recommended for New Design

11.2 制御

タイマカウンタ5は、タイマカウンタ5制御レジスタ (TC5CR) と2本の8ビットタイマレジスタ (TTREG5, PWREG5) で制御されます。

タイマカウンタ 5 のタイマレジスタ

TTREG5 (0016H) R/W	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

PWREG5 (001AH) R/W	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

注 1)　タイマ動作中は、タイマレジスタ (TTREG5) の設定値を変更しないでください。

注 2)　8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG5) の設定値を変更しないでください。

タイマカウンタ 5 制御レジスタ

TC5CR (0029H)	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)
	TFF5	TC5CK			TC5S	TC5M			

TFF5	タイマ F/F5 の制御	0:　クリア 1:　セット			R/W
TC5CK	動作クロック選択 [Hz]		NORMAL1/2, IDLE1/2 モード	SLOW1/2 SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1	
		000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	—
		010	$fc/2^5$	$fc/2^5$	—
		011	$fc/2^3$	$fc/2^3$	—
		100	fs	fs	fs
		101	fc/2	fc/2	—
		110	fc	fc	fc (注 8)
		111	TC5 端子入力		
TC5S	タイマスタート制御	0:　動作停止 & カウンタクリア 1:　動作開始			R/W
TC5M	動作モード選択	000:　8 ビットタイマ / イベントカウンタモード 001:　8 ビットプログラマブルデバイダ出力 (PDO) モード 010:　8 ビットパルス幅変調出力 (PWM) モード 011:　16 ビットモード (各モード選択は TC6M にて設定してください) 1**:　Reserved			R/W

注 1)　fc; 高周波クロック [Hz]　fs; 低周波クロック [Hz]

注 2)　タイマ動作中は、TC5M, TC5CK, TFF5 の設定を変更しないでください。

注 3)　タイマを動作停止 (TC5S = "1" → "0") するときは、TC5M, TC5CK, TFF5 の設定を変更しないでください。
ただしタイマを動作開始 (TC5S = "0" → "1") するときは、TC5M, TC5CK, TFF5 の設定を変更することができます。

注 4)　16 ビットモードで使用する場合、動作モードの設定は TC6CR<TC6M> にて行い、TC5M は "011" に固定してください。

注 5)　16 ビットモードで使用する場合、ソースクロックの選択は TC5CK にて行い、タイマスタート制御、タイマ F/F の制御については TC6CR<TC6S>、TC6CR<TFF6> にて設定してください。

注 6)　動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 11-1, 表 11-2 を参照してください。

Not Recommended for New Design

注 7)　タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 11-3 を参照してください。
注 8)　SLOW, SLEEP モード時の動作クロック fc は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended for New Design

タイマカウンタ6は、タイマカウンタ6制御レジスタ (TC6CR) と2本の8ビットタイマレジスタ (TTREG6, PWREG6) で制御されます。

タイマカウンタ 6 のタイマレジスタ

TTREG6 (0017H) R/W	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

PWREG6 (001BH) R/W	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

注 1)　タイマ動作中は、タイマレジスタ (TTREG6) の設定値を変更しないでください。

注 2)　8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG6) の設定値を変更しないでください。

タイマカウンタ 6 制御レジスタ

TC6CR (002AH)	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)
	TFF6	TC6CK			TC6S	TC6M			

TFF6	タイマ F/F6 の制御	0: クリア 1: セット			R/W
TC6CK	動作クロック選択 [Hz]		NORMAL1/2, IDLE1/2 モード	SLOW1/2 SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1	
		000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	—
		010	$fc/2^5$	$fc/2^5$	—
		011	$fc/2^3$	$fc/2^3$	—
		100	fs	fs	fs
		101	fc/2	fc/2	—
		110	fc	fc	—
		111	TC6 端子入力		
TC6S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始			R/W
TC6M	動作モード選択	000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ / イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード			R/W

注 1)　fc; 高周波クロック [Hz]　fs; 低周波クロック [Hz]

注 2)　タイマ動作中は、TC6M, TC6CK, TFF6 の設定を変更しないでください。

注 3)　タイマを動作停止 (TC6S = "1" → "0") するときは、TC6M, TC6CK, TFF6 の設定を変更しないでください。
ただしタイマを動作開始 (TC6S = "0" → "1") するときは、TC6M, TC6CK, TFF6 の設定を変更することができます。

注 4)　TC6M = 1** のとき (16 ビットモードの上位側のとき) は、TC6CK の設定に関係なく、ソースクロックは TC5 オーバフロー信号になります。

注 5)　16 ビットモードで使用する場合、動作モードの選択は TC6M にて行います。そのとき、TC5CR<TC5M> は必ず "011" に設定してください。

Not Recommended for New Design

注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CR<TC5CK> にて行い、タイマスタート制御、タイマ F/F の制御については TC6S、TFF6 にて設定してください。

注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 11-1, 表 11-2 を参照してください .

注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 11-3 を参照してください。

Not Recommended for New Design

表 11-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TC5 端子入力	TC6 端子入力
8 ビットタイマ	○	○	○	○	–	–	–	–	–
8 ビットイベントカウンタ	–	–	–	–	–	–	–	○	○
8 ビット PDO	○	○	○	○	–	–	–	–	–
8 ビット PWM	○	○	○	○	○	○	○	–	–
16 ビットタイマ	○	○	○	○	–	–	–	–	–
16 ビットイベントカウンタ	–	–	–	–	–	–	–	○	–
ウォーミングアップカウンタ	–	–	–	–	○	–	–	–	–
16 ビット PWM	○	○	○	○	○	○	○	○	–
16 ビット PPG	○	○	○	○	–	–	–	○	–

注 1)　16 ビット動作 (16 ビットタイマ / イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 11-2 動作モードと使用できるソースクロック (SLOW1/2,SLEEP1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TC5 端子入力	TC6 端子入力
8 ビットタイマ	○	–	–	–	–	–	–	–	–
8 ビットイベントカウンタ	–	–	–	–	–	–	–	○	○
8 ビット PDO	○	–	–	–	–	–	–	–	–
8 ビット PWM	○	–	–	–	○	–	–	–	–
16 ビットタイマ	○	–	–	–	–	–	–	–	–
16 ビットイベントカウンタ	–	–	–	–	–	–	–	○	–
ウォーミングアップカウンタ	–	–	–	–	–	–	○	–	–
16 ビット PWM	○	–	–	–	○	–	–	○	–
16 ビット PPG	○	–	–	–	–	–	–	○	–

注 1)　16 ビット動作 (16 ビットタイマ / イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 11-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8 ビットタイマ / イベントカウンタ	1 ≦ (TTREGn) ≦ 255
8 ビット PDO	1 ≦ (TTREGn) ≦ 255
8 ビット PWM	2 ≦ (PWREGn) ≦ 254
16 ビットタイマ / イベントカウンタ	1 ≦ (TTREG6, 5) ≦ 65535
ウォーミングアップカウンタ	256 ≦ (TTREG6, 5) ≦ 65535
16 ビット PWM	2 ≦ (PWREG6, 5) ≦ 65534
16 ビット PPG	1 ≦ (PWREG6, 5) < (TTREG6, 5) ≦ 65535 かつ (PWREG6, 5) + 1 < (TTREG6, 5)

Not Recommended for New Design

注） n = 5~6

Not Recommended for New Design

11.3 機能

タイマカウンタ 5, 6 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 5, 6 (TC5, 6) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

11.3.1 8 ビットタイマモード (TC5, 6)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREGj) 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

注 1)　タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2)　タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGi を書き替えると想定している動作を得られない場合があります。

注 3)　j = 5, 6

表 11-4 タイマカウンタ 5, 6 のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
$fc/2^7$	$fc/2^7$	—	8 μs	—	2.0 ms	—
$fc/2^5$	$fc/2^5$	—	2 μs	—	510 μs	—
$fc/2^3$	$fc/2^3$	—	500 ns	—	127.5 μs	—

(プログラム例) ソースクロック $fc/2^7$[Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる
(タイマカウンタ 6、fc = 16.0 MHz 時)

```
LD      (TTREG6), 0AH          ; タイマレジスタの設定 (80 μs ÷ 2^7/fc = 0AH)
DI
SET     (EIRE). 2              ; INTTC6 割り込みを許可
EI
LD      (TC6CR), 00010000B     ; 動作クロックを fc/2^7 ,8 ビットタイマモードに設定
LD      (TC6CR), 00011000B     ;TC6 スタート
```

Not Recommended for New Design

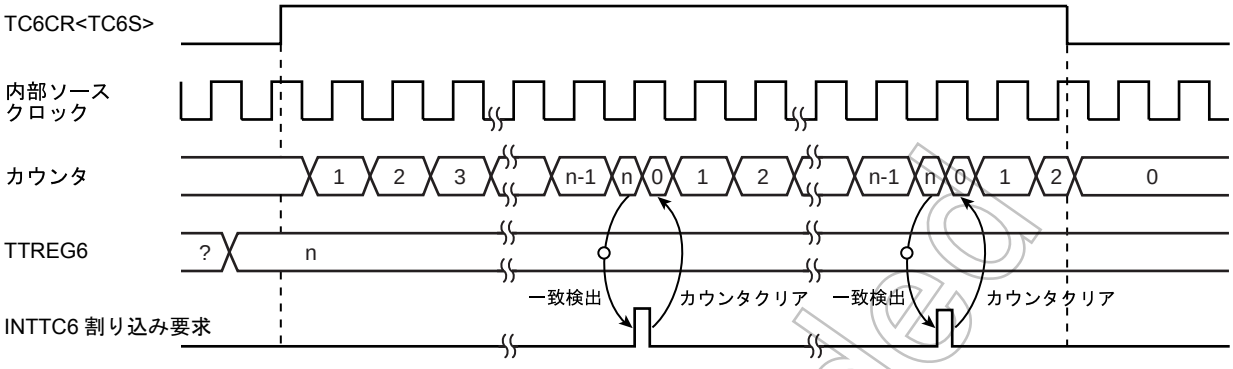


図 11-2 8 ビットタイマモードタイミングチャート (TC6 の場合)

11.3.2 8 ビットイベントカウンタモード (TC5, 6)

このモードは TCj 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREGj 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TCj 端子入力の立ち下がりエッジごとにカウントアップします。TCj 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1, 2 または IDLE1, 2 モード時で $fc/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $fs/2^4$ [Hz] となります。

注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、$\overline{PDOj}$/$\overline{PWMj}$/$\overline{PPGj}$ 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3) j = 5, 6

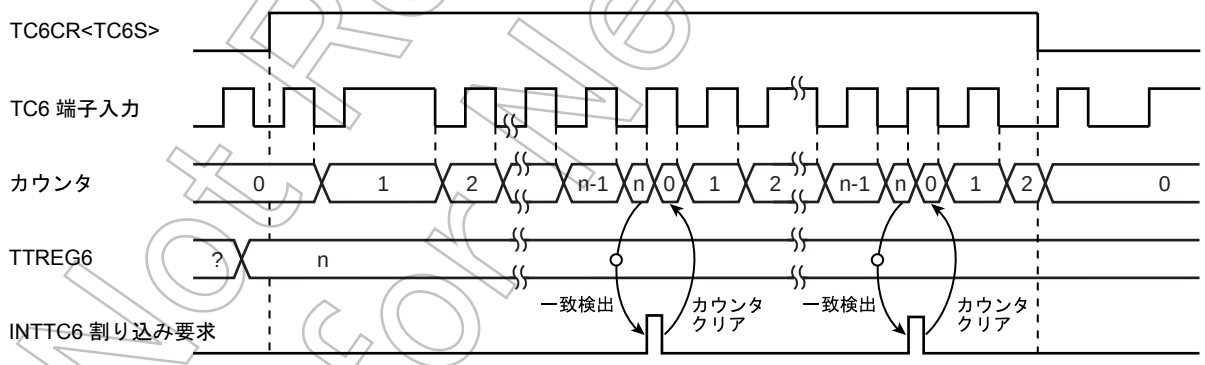


図 11-3 8 ビットイベントカウンタモードタイミングチャート (TC6 の場合)

11.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC5, 6)

このモードは $\overline{PDOj}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREGj との一致ごとにタイマ F/Fj 値を反転しアップカウンタをクリアします。このとき INTTCj 割り込み要求が発生します。$\overline{PDOj}$ 端子からはタイマ F/Fj 値の反転レベルが出力されます。なお、タイマ F/Fj 値は TCjCR<TFFj> によって任意の値を設定することができます。リセット時、タイマ F/Fj 値は “0” に初期化されます。

Not Recommended for New Design

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

（プログラム例）TC6 を使用し、1024 Hz のパルスを出力 (fc = 16.0 MHz)

```
        ポートを設定
LD      (TTREG6),  3DH          ; 1/1024 ÷ 2^7/fc ÷ 2 = 3DH
LD      (TC6CR),   00010001B    ; 動作クロックを fc/2^7, 8 ビット PDO モードに設定
LD      (TC6CR),  00011001B     ; TC6 スタート
```

注 1)　プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 2)　PDO 出力中にタイマを停止すると、$\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例 : タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を“H”レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を“H”レベルに設定

注 3)　j = 5, 6

Not Recommended for New Design

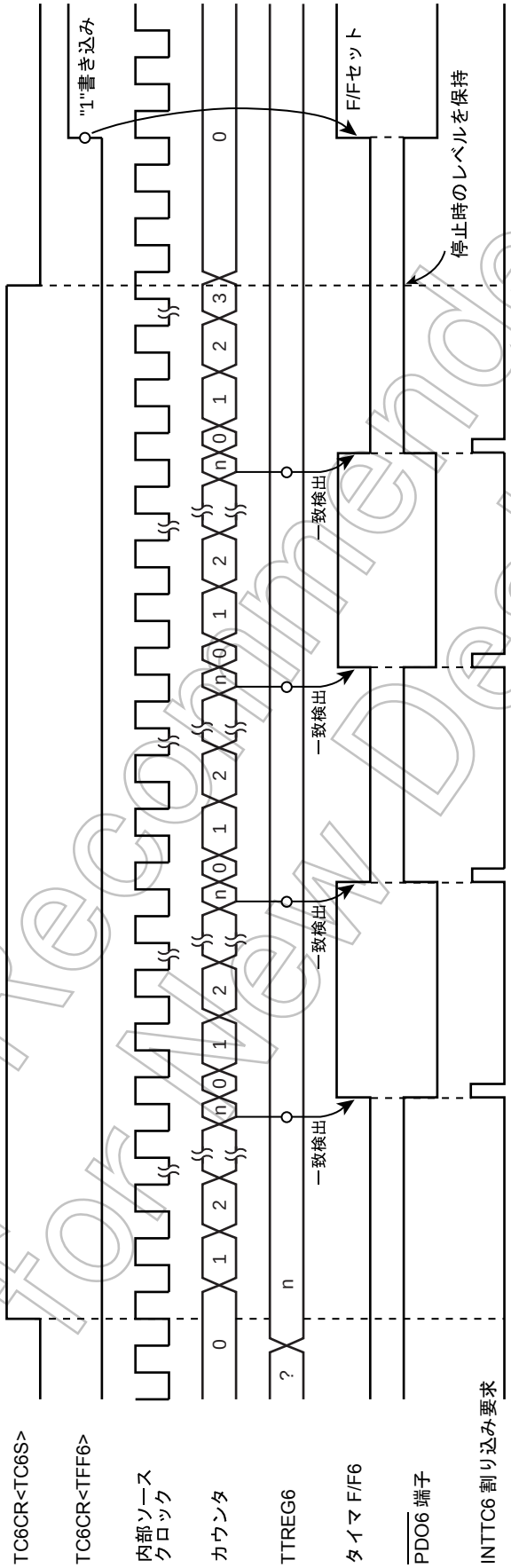


図 11-4 8 ビット PDO モードタイミングチャート (TC6 の場合)

Not Recommended for New Design

11.3.4　8 ビットパルス幅変調 (PWM) 出力モード (TC5, 6)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です 。リセット時、タイマ F/Fj は “0” にクリアされます。

($\overline{\text{PWMj}}$ 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

注 1)　PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。

注 2)　PWM 出力中にタイマを停止すると、$\overline{\text{PWMj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例 : タイマカウンタ停止時に $\overline{\text{PWMj}}$ 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PWMj}}$ 出力を “H” レベルに設定

注 3)　PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に $\overline{\text{PWMj}}$ 端子からパルスが出力されます。

注 4)　j = 5, 6

表 11-5 PWM 出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
$fc/2^7$	$fc/2^7$	–	8 μs	–	2.05 ms	–
$fc/2^5$	$fc/2^5$	–	2 μs	–	512 μs	–
$fc/2^3$	$fc/2^3$	–	500ns	–	128 μs	–
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	–	125 ns	–	32 μs	–
fc	fc	–	62.5 ns	–	16 μs	–

Not Recommended for New Design

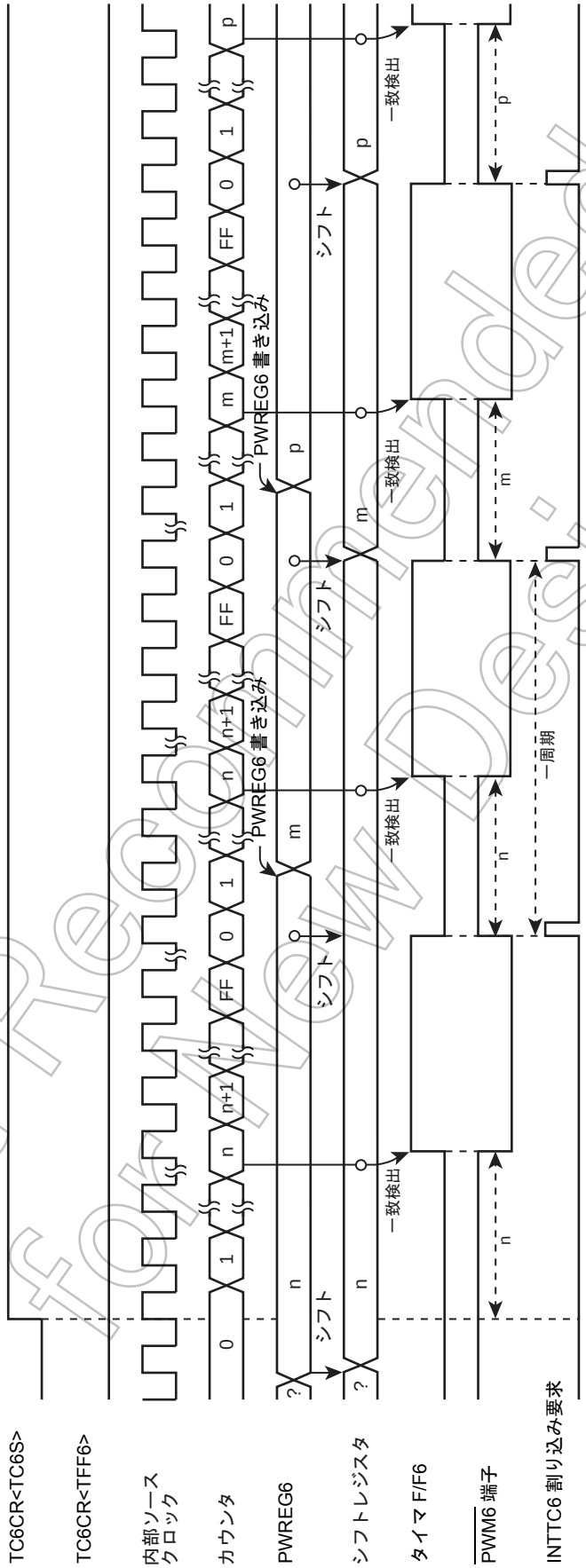


図 11-5 8 ビット PWM 出力モードタイミングチャート (TC6 の場合)

Not Recommended for New Design

11.3.5　16 ビットタイマモード (TC5 + 6)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 5 と 6 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC6CR<TC6S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) 設定値が一致すると INTTC6 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG5) 、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

注 1)　タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2)　タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3)　j = 5, 6

表 11-6 16 ビットタイマモードのソースクロック

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$	$fs/2^3$	$fs/2^3$	128 μs	244.14 μs	8.39 s	16s
$fc/2^7$	$fc/2^7$	–	8 μs	–	524.3 ms	–
$fc/2^5$	$fc/2^5$	–	2 μs	–	131.1 ms	–
$fc/2^3$	$fc/2^3$	–	500 ns	–	32.8 ms	–

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW     (TTREG5), 927CH     ; タイマレジスタの設定 (300 ms ÷ 2^7/fc = 927CH)
DI
SET     (EIRE). 2           ; INTTC6 割り込みを許可
EI
LD      (TC5CR), 13H        ; 動作クロックを fc/2^7、16 ビットタイマモード
                            ; ( 下位側 ) に設定
LD      (TC6CR), 04H        ; 16 ビットタイマモード ( 上位側 ) に設定
LD      (TC6CR), 0CH        ; タイマスタート
```

Not Recommended for New Design

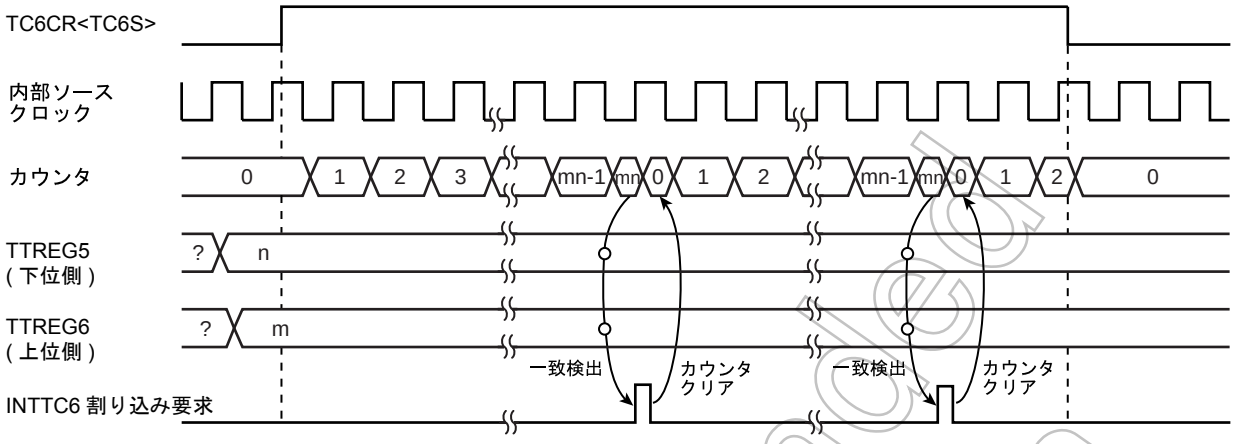


図 11-6 16 ビットタイマモードタイミングチャート (TC5 + TC6 の場合)

11.3.6 16 ビットイベントカウンタモード (TC5 + 6)

このモードは TC5 端子の立ち下がりエッジでカウントアップするモードです 。

タイマカウンタ 5 と 6 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC6CR<TC6S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) の 設定値が一致すると INTTC6 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC5 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC5 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で fc/ 2^4[Hz]、SLOW1, 2 または SLEEP1, 2 モード時で fs/2^4 [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG5) 、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3) j = 5, 6

11.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) 設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込みが発生します。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で fc/ 2^4[Hz]、SLOW1, 2 または SLEEP1, 2 モード時で fs/2^4 [Hz] となります。

Not Recommended for New Design

タイマ F/F6 は、TC6CR<TFF6> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です 。リセット時、タイマ F/F6 は“0”にクリアされます。

($\overline{\text{PWM}}$6 端子からはタイマ F/F6 値の反転レベルが出力されます)

PWM モード中の PWREG6, 5 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG6, 5 の設定値を変更することが可能です。タイマ動作中、PWREG6, 5 への設定値は INTTC6 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG6, 5 にデータを設定した直後にシフトされます。PWREG6, 5 の書き替えを行うときは、必ず下位側 (PWREG5)、上位側 (PWREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG6, 5 に対してリード命令を実行すると PWREG6, 5 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG6, 5 を設定してから INTTC6 割り込み要求までの間は、前回の PWREG6, 5 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

注 1)　PWM モード時、タイマレジスタ PWREG6, 5 への書き込みは、INTTC6 割り込み要求発生直後 (通常は INTTC6 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG6, 5 への書き込みと INTTC6 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC6 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。

注 2)　PWM 出力中にタイマを停止すると、$\overline{\text{PWM}}$6 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6> の操作を行ってください (タイマ停止と同時に TC6CR<TFF6> の設定を変更しないでください)。
例 : タイマカウンタ停止時に $\overline{\text{PWM}}$6 端子を“H”レベルに固定する。
CLR (TC6CR).3 ; タイマ停止
CLR (TC6CR).7 ; $\overline{\text{PWM}}$6 端子を“H”レベルに設定

注 3)　STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に $\overline{\text{PWM}}$6 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 11-7 16 ビット PWM 出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	128 μs	244.14 μs	8.39 s	16 s
$fc/2^7$	$fc/2^7$	–	8 μs	–	524.3 ms	–
$fc/2^5$	$fc/2^5$	–	2 μs	–	131.1 ms	–
$fc/2^3$	$fc/2^3$	–	500ns	–	32.8 ms	–
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	–	125 ns	–	8.2 ms	–
fc	fc	–	62.5 ns	–	4.1 ms	–

(プログラム例) 周期 32.768 ms、“H”レベル幅 1 ms のパルスを出力する
(fc = 16.0 MHz 時)

```
                ポートを設定する
LDW     (PWREG5), 07D0H     ; パルス幅の設定
LD      (TC5CR), 33H        ; 動作クロックを fc/2^3、16 ビット PWM モード ( 下位側 )
                            ; に設定
LD      (TC6CR), 056H       ; TFF6 初期値 “0”、16 ビット PWM モード ( 上位側 )
                            ; に設定
LD      (TC6CR), 05EH       ; タイマスタート
```

Not Recommended for New Design

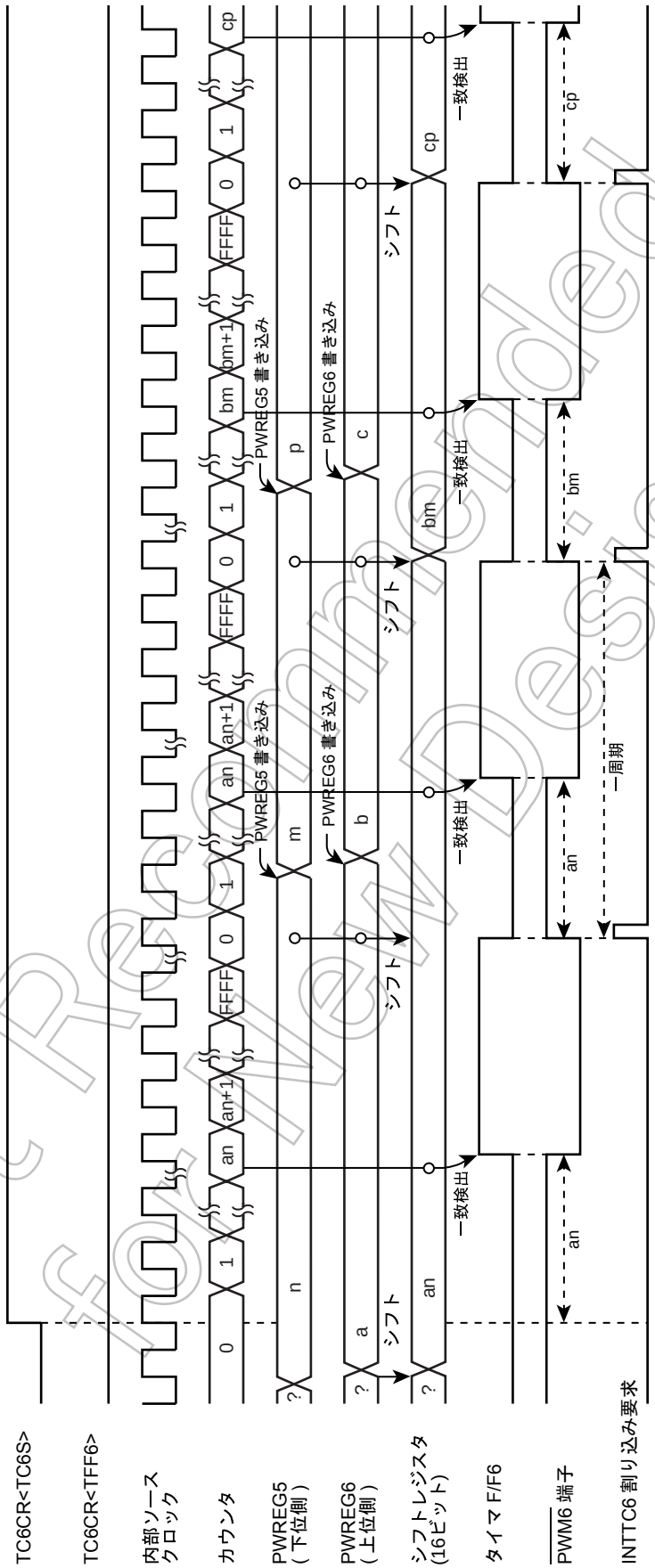


図 11-7 16 ビット PWM モードタイミングチャート (TC5 + TC6 の場合)

Not Recommended for New Design

11.3.8　16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) の設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG5, TTREG6) 設定との一致でタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込み要求が発生します。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で fc/ 2^4[Hz]、SLOW1, 2 または SLEEP1, 2 モード時で fs/2^4 [Hz] となります。

タイマ F/F6 は、TC6CR<TFF6> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です 。リセット時、タイマ F/F6 は “0” にクリアされます。

($\overline{\text{PPG6}}$ 端子からはタイマ F/F6 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG5 → TTREG6、PWREG5 → PWREG6) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

```
                ポートを設定する
LDW     (PWREG5), 07D0H         ; パルス幅の設定
LDW     (TTREG5), 8002H         ; 周期の設定
LD      (TC5CR), 33H            ; 動作クロックを fc/2^3、16 ビット PPG モード
                                ; ( 下位側 ) に設定
LD      (TC6CR), 057H           ; TFF6 初期値 “0”、16 ビット PPG モード
                                ; ( 上位側 ) に設定
LD      (TC6CR), 05FH           ; タイマスタート
```

注 1)　プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREGi, TTREGi の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREGi, TTREGi はシフトレジスタ構成となりませんので、PWREGi, TTREGi への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREGi, TTREGi を書き替えると想定している動作を得られない場合があります。

注 2)　PPG 出力中にタイマを停止すると、$\overline{\text{PPG6}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6> の操作を行ってください。タイマ停止と同時に TC6CR<TFF6> の設定を変更しないでください。

例 : タイマカウンタ停止時に $\overline{\text{PPG6}}$ 端子を “H” レベルに固定する。

```
CLR  (TC6CR).3; タイマ停止
CLR  (TC6CR).7; PPG6 端子を “H” レベルに設定
```

注 3)　i = 5, 6

Not Recommended for New Design

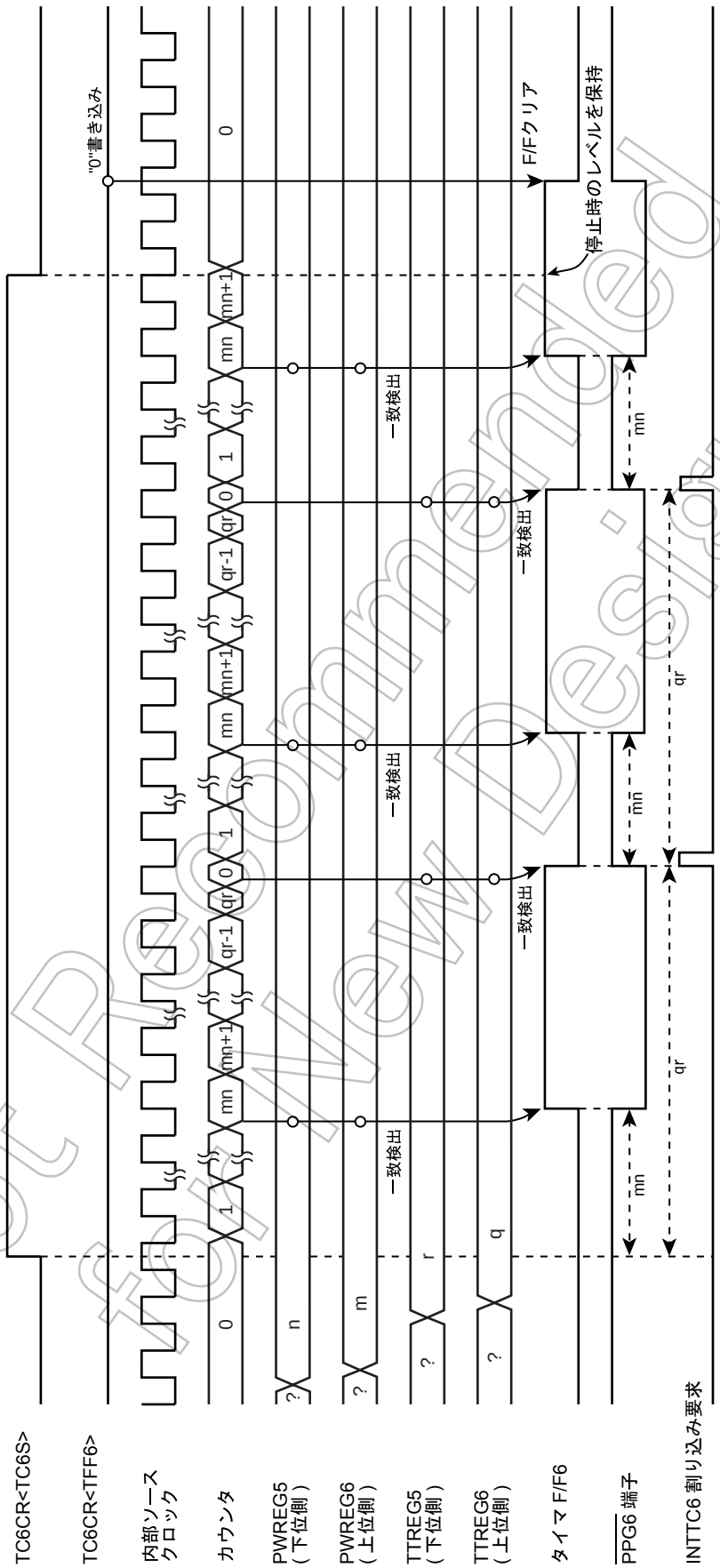


図 11-8 16 ビット PPG モードタイミングチャート (TC5 + TC6 の場合)

Not Recommended for New Design

11.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 5 と 6 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

注 1)　ウォーミングアップカウンタモード時は、TCiCR<TFFi> を“0”に固定してください。固定されない場合は、$\overline{\text{PDOi}}$/$\overline{\text{PWMi}}$/$\overline{\text{PPGi}}$ 端子からパルスが出力されることがあります。

注 2)　ウォーミングアップカウンタモード時は、タイマレジスタ TTREG6, 5 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみの一致検出となります。

注 3)　i = 5, 6

11.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN> を“1”に設定し低周波クロックを発振させます。TC6CR<TC6S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN> を“0”に設定し、高周波クロックを停止します。

表 11-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG6, 5 = 0100H)	最大設定時間 (TTREG6, 5 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC6, 5 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```
            SET     (SYSCR2).6          ; SYSCR2<XTEN> ← “1”
            LD      (TC5CR), 43H        ; TFF5 = “0”, ソースクロック fs, 16 ビットモードに設定
            LD      (TC6CR), 05H        ; TFF6 = “0”, ウォーミングアップカウンタモードに設定
            LD      (TTREG5), 8000H     ; ウォーミングアップ時間をセット
                                        ; ( 発振器の特性で時間を決定します )
            DI                          ; IMF ← “0”
            SET     (EIRE). 2           ; INTTC6 割り込みを許可
            EI                          ; IMF ← “1”
            SET     (TC6CR).3           ; TC6, 5 スタート
              :         :
PINTTC6:    CLR     (TC6CR).3           ; TC6, 5 ストップ
            SET     (SYSCR2).5          ; SYSCR2<SYSCK> ← “1”
                                        ; ( システムクロックを低周波に切り替え )
            CLR     (SYSCR2).7          ; SYSCR2<XEN> ← “0”( 高周波クロック停止 )
            RETI
              :         :
VINTTC6:    DW      PINTTC6             ; INTTC6 ベクタテーブル
```

Not Recommended for New Design

11.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック fc が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC6CR<TC6S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 11-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG6, 5 = 0100H)	最大設定時間 (TTREG6, 5 = FF00H)
16 μs	4.08 ms

（プログラム例）TC6, 5 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```
            SET     (SYSCR2).7          ; SYSCR2<XEN> ← “1”
            LD      (TC5CR), 63H        ; TFF5 = “0”，ソースクロック fc,
                                        ; 16 ビットモードに設定
            LD      (TC6CR), 05H        ; TFF6 = “0”，ウォーミングアップカウンタモード
                                        ; に設定
            LD      (TTREG5), 0F800H    ; ウォーミングアップ時間をセット
                                        ;( 発振器の特性で時間を決定します )
            DI                          ; IMF ← “0”
            SET     (EIRE). 2           ; INTTC6 割り込みを許可
            EI                          ; IMF ← “1”
            SET     (TC6CR).3           ; TC6, 5 スタート
            :       :
PINTTC6:    CLR     (TC6CR).3           ; TC6, 5 ストップ
            CLR     (SYSCR2).5          ; SYSCR2<SYSCK> ← “0”
                                        ;( システムクロックを高周波に切り替え )
            CLR     (SYSCR2).6          ; SYSCR2<XTEN> ← “0”
                                        ;( 低周波クロック停止 )
            RETI
            :       :
VINTTC6:    DW      PINTTC6             ; INTTC6 ベクタテーブル
```

Not Recommended for New Design

Not Recommended for New Design

第 12 章 非同期型シリアルインターフェース (UART1)

12.1 構成

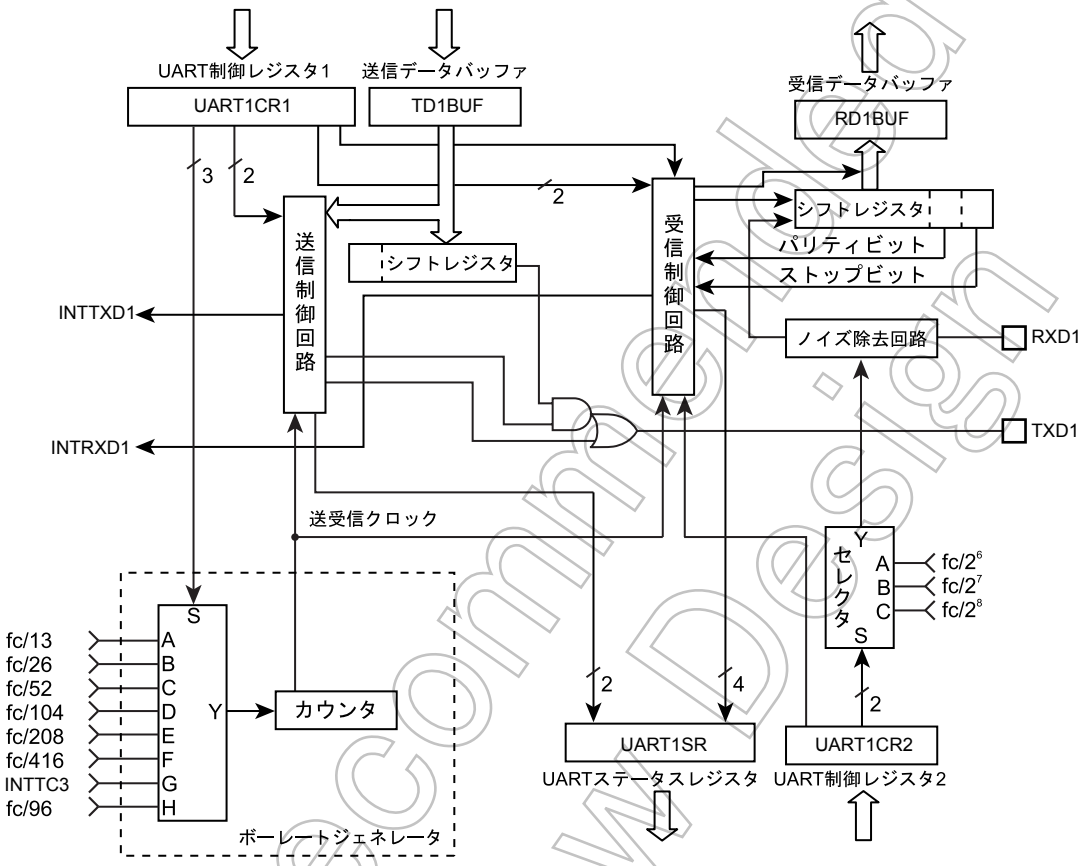


図 12-1 UART1 (非同期型シリアルインタフェース)

Not Recommended for New Design

12.2 制御

UART1 は、UART1 制御レジスタ 1, 2 (UART1CR1, UART1CR2) で制御されます。また UART1 ステータスレジスタ (UART1SR) により動作状態のモニタができます。

UART1 制御レジスタ 1

UART1CR1 (0F95H)

7	6	5	4	3	2	1	0
TXE	RXE	STBT	EVEN	PE	BRG		

(初期値 : 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC3 使用 (INTTC3 を入力) 111: fc/96	

注 1)　TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。

注 2)　転送クロックとパリティは送受信共通です。

注 3)　BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART1 制御レジスタ 2

UART1CR2 (0F96H)

7	6	5	4	3	2	1	0
					RXDNC	STOPBR	

(初期値 : **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

注)　RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

Not Recommended for New Design

UART1 ステータスレジスタ

UART1SR (0F95H)

7	6	5	4	3	2	1	0
PERR	FERR	OERR	RBFL	TEND	TBEP		

(初期値 : 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファエンプティフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファエンプティ	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART1 受信データバッファ

RD1BUF (0F97H)

7	6	5	4	3	2	1	0

Read only

(初期値 : 0000 0000)

UART1 送信データバッファ

TD1BUF (0F97H)

7	6	5	4	3	2	1	0

Write only

(初期値 : 0000 0000)

Not Recommended for New Design

12.3 転送データフォーマット

UART1 で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UART1CR1<STBT> でビット長の選択可)、パリティ UART1CR1<PE> でパリティ有無の選択可、UART1CR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

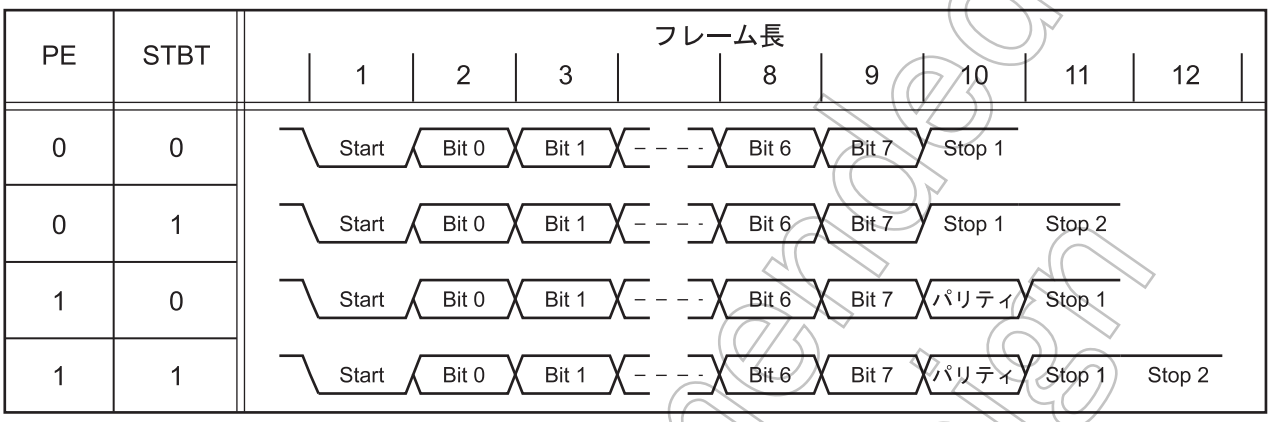


図 12-2 転送データフォーマット

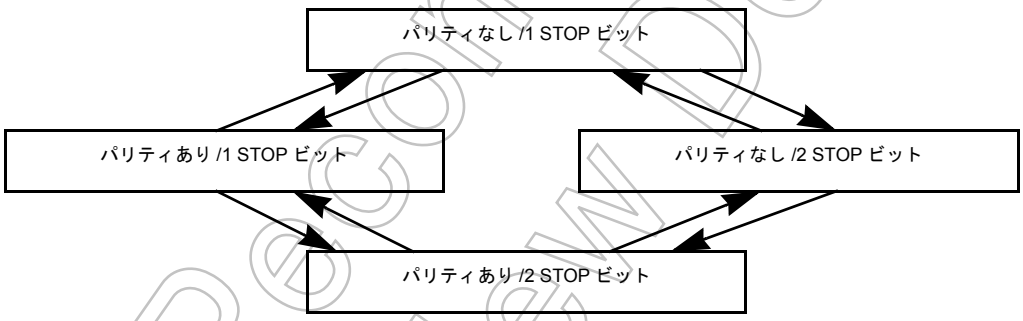


図 12-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 12-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

Not Recommended for New Design

12.4 転送レート

UART1 の転送レート (ボーレート) は UART1CR1<BRG> により設定されます。以下に転送レートの例を示します。

表 12-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART1 の転送レートとして TC3 使用を選択したとき (つまり UART1CR1<BRG>=“110” に設定したとき) 転送クロックおよび転送レートは

転送クロック [Hz] = TC3 ソースクロック [Hz] ÷ TTREG3 設定値

転送レート [baud] = 転送クロック [Hz] ÷ 16

となります。

12.5 データのサンプリング方法

UART1 のレシーバは、RXD1 端子入力にスタートビットが見つかるまで UART1CR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD1 端子の “L” レベルを検出し始まります。スタートビットが見つかるとスタートビット , データビット , ストップビット , パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

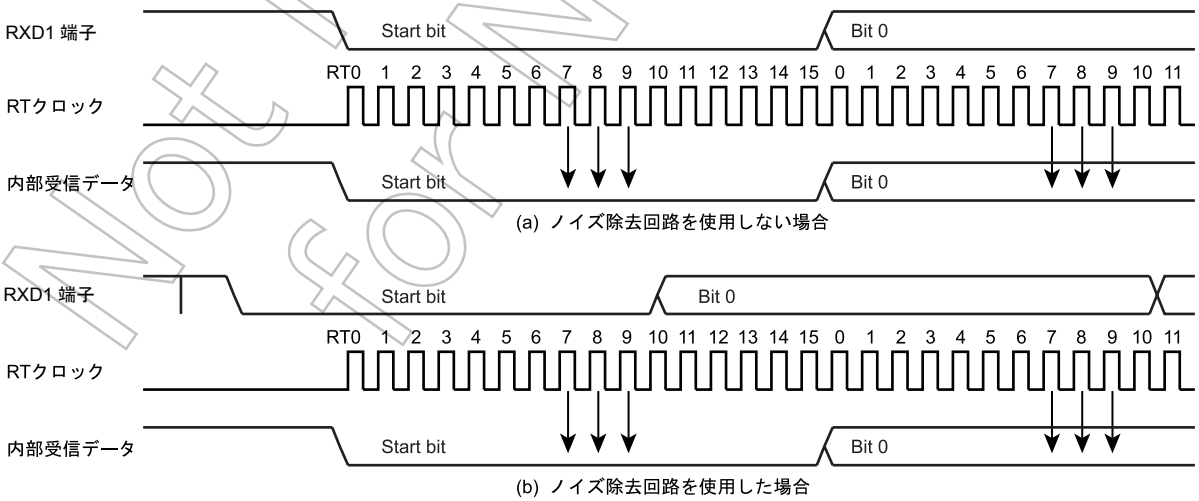


図 12-4 データのサンプリング方法

Not Recommended for New Design

12.6 STOP ビット長

UART1CR1<STBT> で送信ストップビット長 (1 ビット /2 ビット) の選択ができます。

12.7 パリティ

UART1CR1<PE> でパリティ付加の有無を、UART1CR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

12.8 送受信動作

12.8.1　データ送信動作

UART1CR1<TXE> を“1”にセットします。UART1SR を読み出し TBEP = “1” を確認後、TD1BUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UART1SR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD1 端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとUART1CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UART1CR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UART1SR<TBEP> は“1”にセットされ、INTTXD1 割り込みが発生します。

UART1CR1<TXE> が“0”の間および UART1CR1<TXE> に“1”を書き込んでから TD1BUF に送信データが書き込まれるまでの間、TXD1 端子は“H”レベルに固定されます。

送信を行う場合、UART1SR を読み出してから TD1BUF にデータを書き込んでください。読み出さないと、UART1SR<TBEP> が“0”にクリアされず送信が開始されません。

12.8.2　データ受信動作

UART1CR1<RXE> を“1”にセットします。その後、RXD1 端子からデータを受信すると、RD1BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RD1BUF (受信データバッファ) に転送された後、受信バッファフルフラグ UART1SR<RBFL> がセットされ、INTRXD1 割り込みが発生します。データ転送ボーレートは UART1CR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RD1BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD1BUF 内のデータは影響を受けません。

注)　UART1CR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

Not Recommended for New Design

12.9 ステータスフラグ

12.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART1SR<PERR> が“1”にセットされます。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<PERR> は“0”にクリアされます。

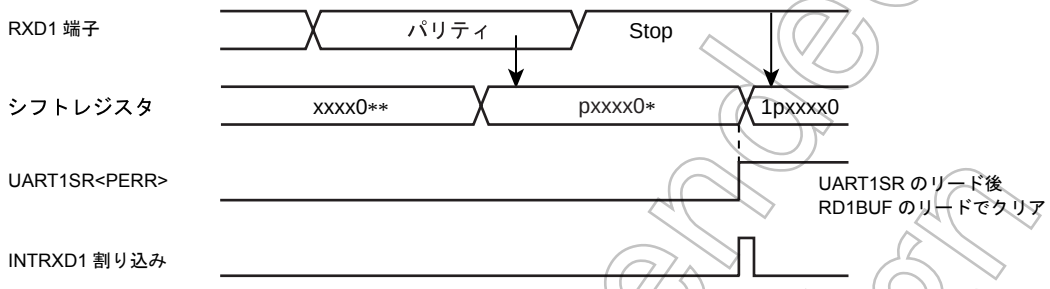


図 12-5 パリティエラーの発生

12.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UART1SR<FERR> が“1”にセットされます。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<FERR> は“0”にクリアされます。

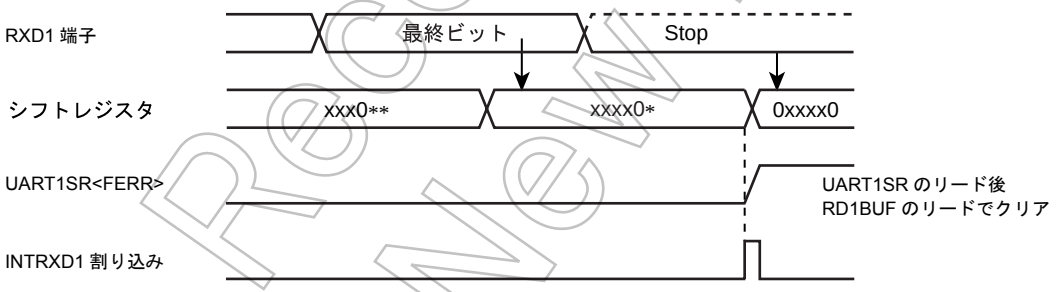


図 12-6 フレーミングエラーの発生

12.9.3 オーバランエラー

RD1BUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UART1SR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<OERR> は“0”にクリアされます。

Not Recommended for New Design

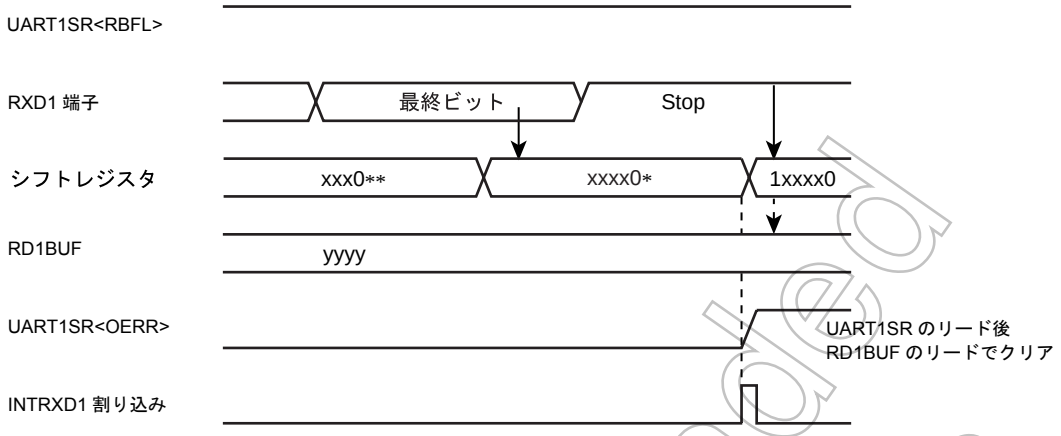


図 12-7 オーバランエラーの発生

注) オーバランエラーフラグ UART1SR<OERR> がクリアされるまで、受信動作は停止します。

12.9.4 受信バッファフル

受信データを RD1BUF に取り込むと UART1SR<RBFL> が“1”にセットされます。UART1SR を読み出した後、RD1BUF からデータを読み出すと UART1SR<RBFL> は“0”にクリアされます。

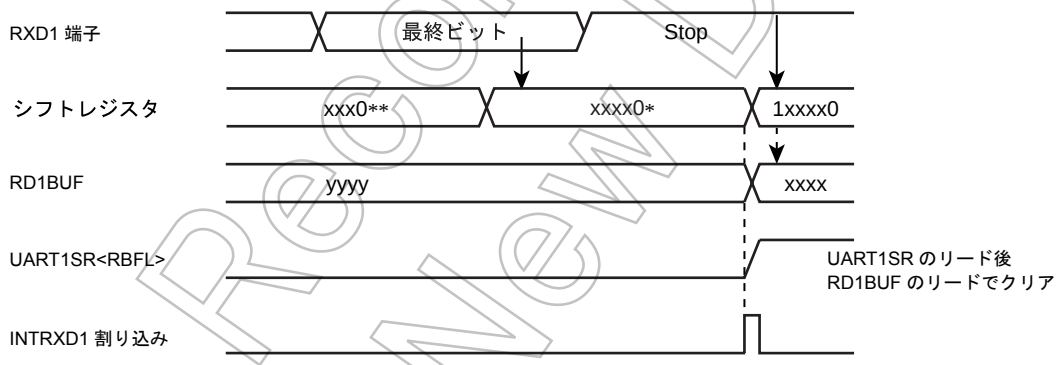


図 12-8 受信バッファフルの発生

注) 上記、UART1SR の読み出しから RD1BUF を読み出す間にオーバランエラーフラグ UART1SR<OERR> がセットされた場合、RD1BUF 読み出しだけではエラーフラグがクリアされません。再度 UART1SR を読み込み、エラーの確認を行ってください。

12.9.5 送信バッファエンプティ

TD1BUF にデータが存在しないとき、つまり TD1BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART1SR<TBEP> が“1”にセットされます。UART1SR を読み出した後、TD1BUF にデータを書き込むと UART1SR<TBEP> は“0”にクリアされます。

Not Recommended for New Design

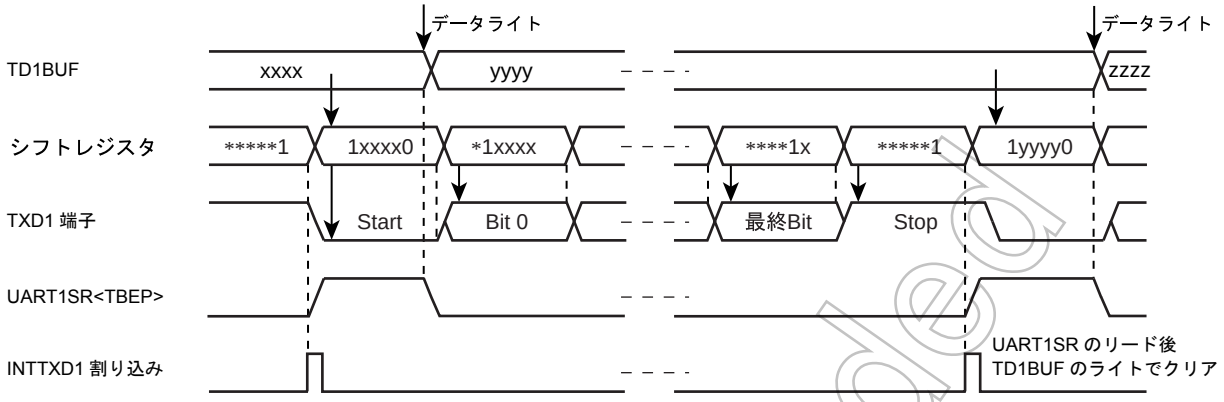


図 12-9 送信バッファエンプティの発生

12.9.6 送信終了フラグ

送信が終了し、TD1BUF 内に待機中のデータがないとき (UART1SR<TBEP>=“1”のとき) UART1SR<TEND> が“1”にセットされます。TD1BUF にデータを書き込んだ後、送信が開始されると UART1SR<TEND> は“0”にクリアされます。

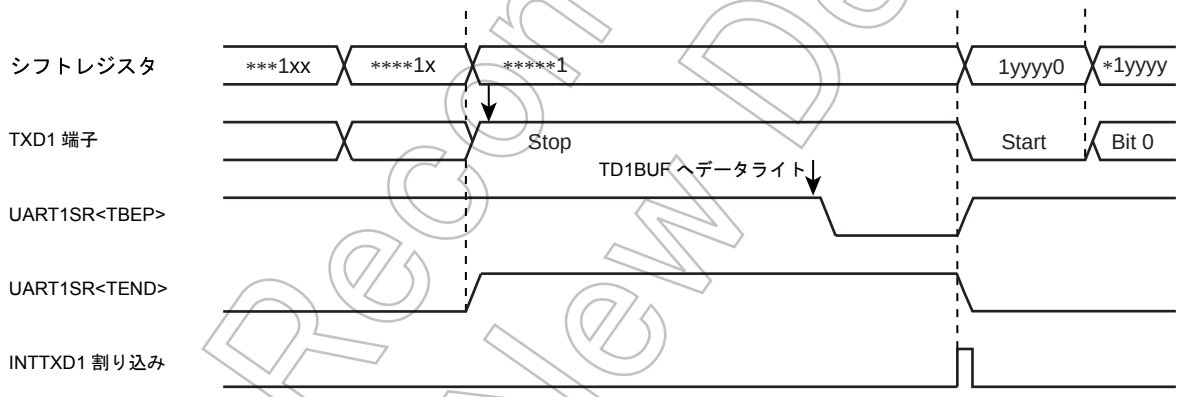


図 12-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended for New Design

Not Recommended for New Design

第 13 章 非同期型シリアルインターフェース (UART2)

13.1 構成

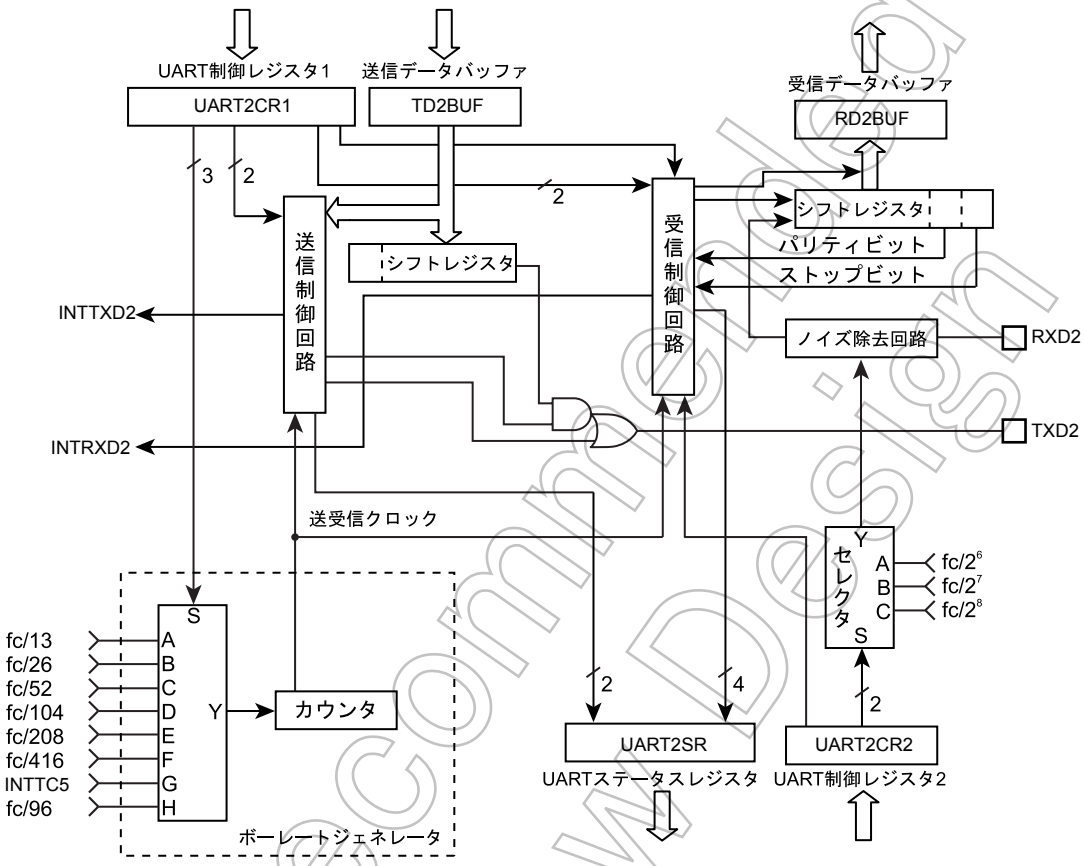


図 13-1 UART2 (非同期型シリアルインタフェース)

Not Recommended for New Design

13.2 制御

UART2 は、UART2 制御レジスタ 1, 2 (UART2CR1, UART2CR2) で制御されます。また UART2 ステータスレジスタ (UART2SR) により動作状態のモニタができます。

UART2 制御レジスタ 1

UART2CR1 (0F98H)

7	6	5	4	3	2	1	0
TXE	RXE	STBT	EVEN	PE	BRG		

(初期値 : 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5 使用 (INTTC5 を入力) 111: fc/96	

注 1)　TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。

注 2)　転送クロックとパリティは送受信共通です。

注 3)　BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART2 制御レジスタ 2

UART2CR2 (0F99H)

7	6	5	4	3	2	1	0
					RXDNC	STOPBR	

(初期値 : **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

注)　RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

Not Recommended for New Design

UART2 ステータスレジスタ

UART2SR (0F98H)

7	6	5	4	3	2	1	0
PERR	FERR	OERR	RBFL	TEND	TBEP		

(初期値 : 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファエンプティフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファエンプティ	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART2 受信データバッファ

RD2BUF (0F9AH)

7	6	5	4	3	2	1	0

Read only

(初期値 : 0000 0000)

UART2 送信データバッファ

TD2BUF (0F9AH)

7	6	5	4	3	2	1	0

Write only

(初期値 : 0000 0000)

Not Recommended for New Design

13.3 転送データフォーマット

UART2 で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UART2CR1<STBT> でビット長の選択可)、パリティ UART2CR1<PE> でパリティ有無の選択可、UART2CR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

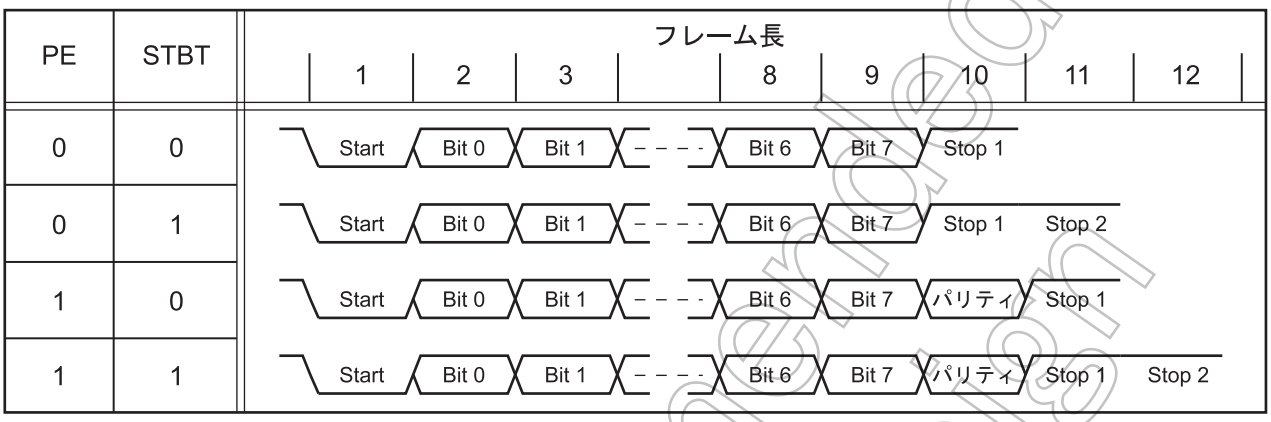


図 13-2 転送データフォーマット

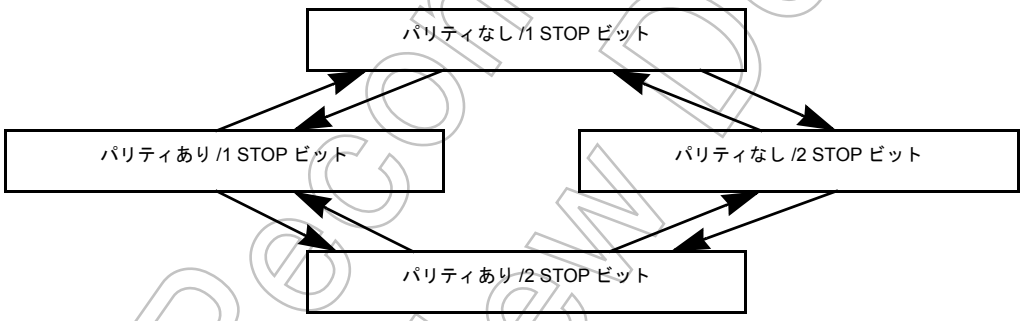


図 13-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 13-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

Not Recommended for New Design

13.4 転送レート

UART2 の転送レート (ボーレート) は UART2CR1<BRG> により設定されます。以下に転送レートの例を示します。

表 13-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART2 の転送レートとして TC5 使用を選択したとき (つまり UART2CR1<BRG>=“110” に設定したとき) 転送クロックおよび転送レートは

転送クロック [Hz] = TC5 ソースクロック [Hz] ÷ TTREG5 設定値

転送レート [baud] = 転送クロック [Hz] ÷ 16

となります。

13.5 データのサンプリング方法

UART2 のレシーバは、RXD2 端子入力にスタートビットが見つかるまで UART2CR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD2 端子の “L” レベルを検出し始まります。スタートビットが見つかるとスタートビット , データビット , ストップビット , パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

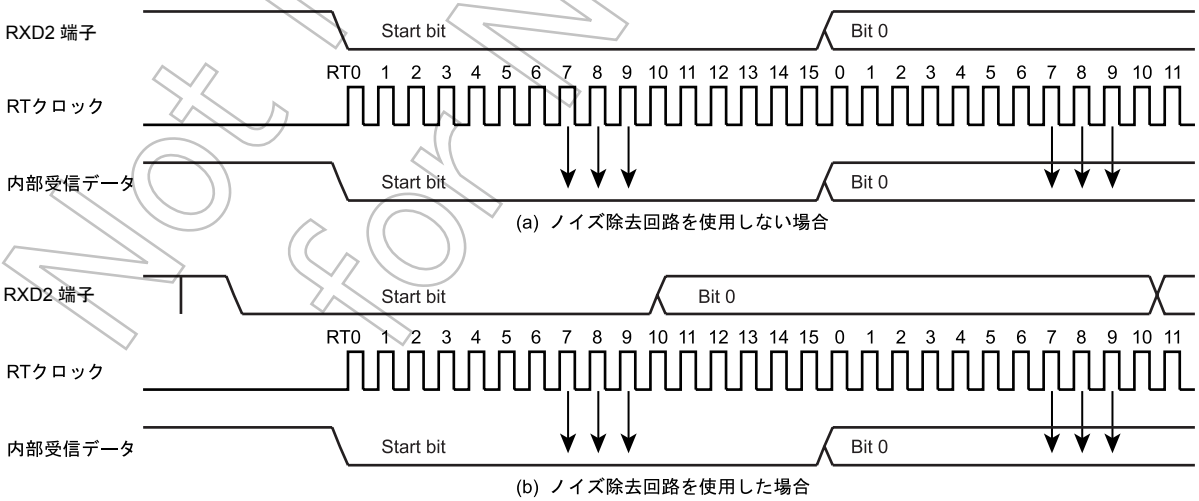


図 13-4 データのサンプリング方法

Not Recommended for New Design

13.6 STOP ビット長

UART2CR1<STBT> で送信ストップビット長 (1 ビット /2 ビット) の選択ができます。

13.7 パリティ

UART2CR1<PE> でパリティ付加の有無を、UART2CR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

13.8 送受信動作

13.8.1　データ送信動作

UART2CR1<TXE> を“1”にセットします。UART2SR を読み出し TBEP = “1” を確認後、TD2BUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UART2SR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD2 端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとUART2CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UART2CR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UART2SR<TBEP> は“1”にセットされ、INTTXD2 割り込みが発生します。

UART2CR1<TXE> が“0”の間および UART2CR1<TXE> に“1”を書き込んでから TD2BUF に送信データが書き込まれるまでの間、TXD2 端子は“H”レベルに固定されます。

送信を行う場合、UART2SR を読み出してから TD2BUF にデータを書き込んでください。読み出さないと、UART2SR<TBEP> が“0”にクリアされず送信が開始されません。

13.8.2　データ受信動作

UART2CR1<RXE> を“1”にセットします。その後、RXD2 端子からデータを受信すると、RD2BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RD2BUF (受信データバッファ) に転送された後、受信バッファフルフラグ UART2SR<RBFL> がセットされ、INTRXD2 割り込みが発生します。データ転送ボーレートは UART2CR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RD2BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD2BUF 内のデータは影響を受けません。

注)　UART2CR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

Not Recommended for New Design

13.9 ステータスフラグ

13.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART2SR<PERR> が“1”にセットされます。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<PERR> は“0”にクリアされます。

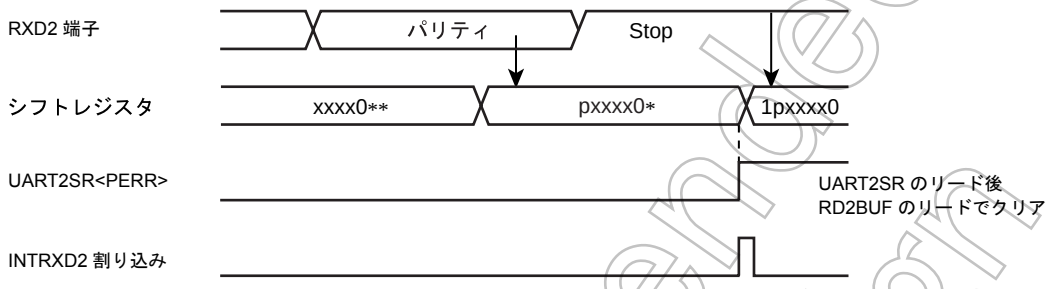


図 13-5 パリティエラーの発生

13.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UART2SR<FERR> が“1”にセットされます。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<FERR> は“0”にクリアされます。

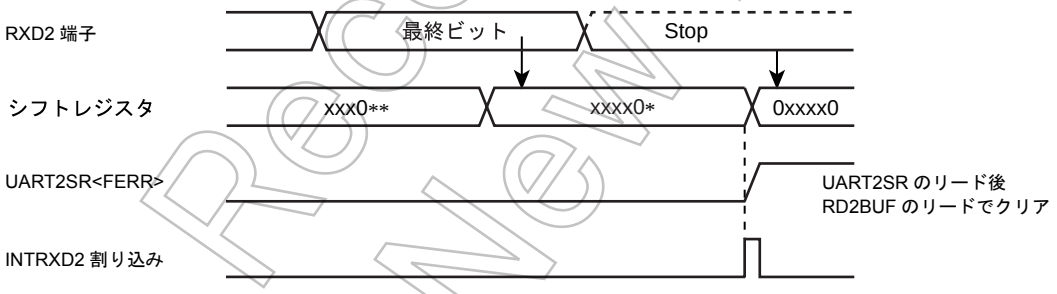


図 13-6 フレーミングエラーの発生

13.9.3 オーバランエラー

RD2BUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UART2SR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UART2SR を読み出した後、RD2BUF を読み出すと UART2SR<OERR> は“0”にクリアされます。

Not Recommended for New Design

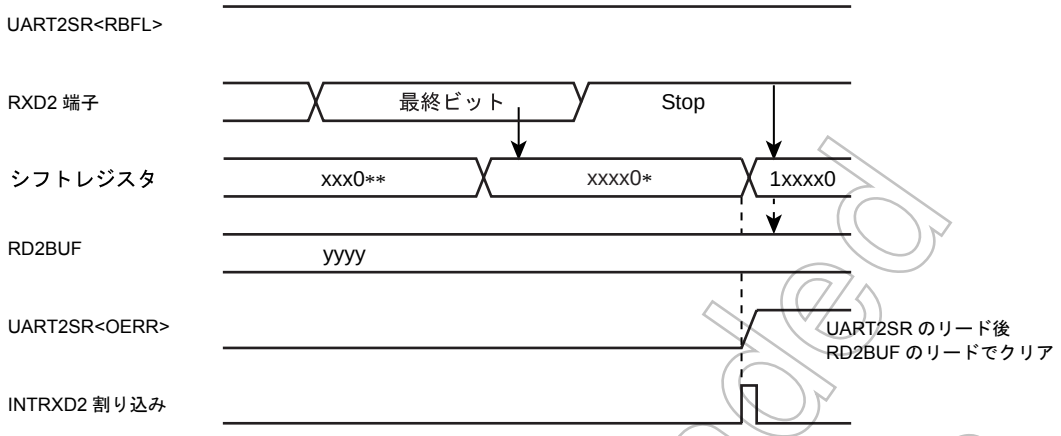


図 13-7 オーバランエラーの発生

注) オーバランエラーフラグ UART2SR<OERR> がクリアされるまで、受信動作は停止します。

13.9.4 受信バッファフル

受信データを RD2BUF に取り込むと UART2SR<RBFL> が“1”にセットされます。UART2SR を読み出した後、RD2BUF からデータを読み出すと UART2SR<RBFL> は“0”にクリアされます。

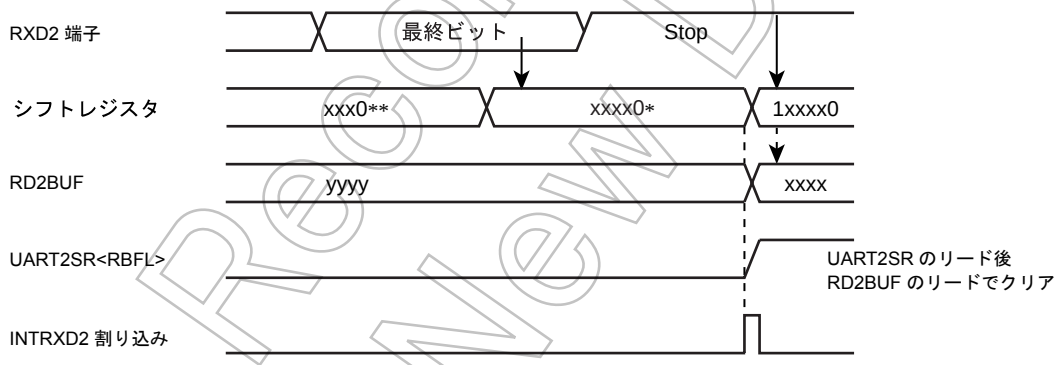


図 13-8 受信バッファフルの発生

注) 上記、UART2SR の読み出しから RD2BUF を読み出す間にオーバランエラーフラグ UART2SR<OERR> がセットされた場合、RD2BUF 読み出しだけではエラーフラグがクリアされません。再度 UART2SR を読み込み、エラーの確認を行ってください。

13.9.5 送信バッファエンプティ

TD2BUF にデータが存在しないとき、つまり TD2BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART2SR<TBEP> が“1”にセットされます。UART2SR を読み出した後、TD2BUF にデータを書き込むと UART2SR<TBEP> は“0”にクリアされます。

Not Recommended for New Design

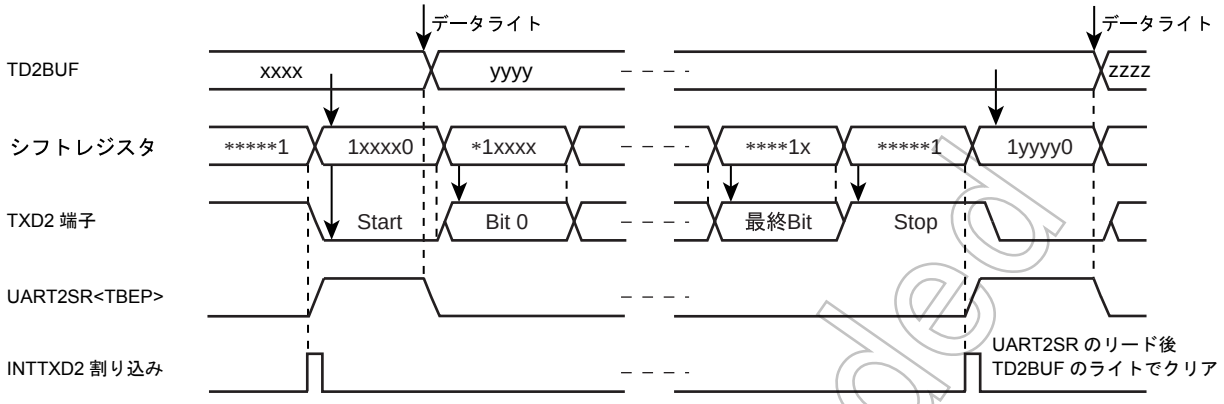


図 13-9 送信バッファエンプティの発生

13.9.6 送信終了フラグ

送信が終了し、TD2BUF 内に待機中のデータがないとき (UART2SR<TBEP>=“1”のとき) UART2SR<TEND> が“1”にセットされます。TD2BUF にデータを書き込んだ後、送信が開始されると UART2SR<TEND> は“0”にクリアされます。

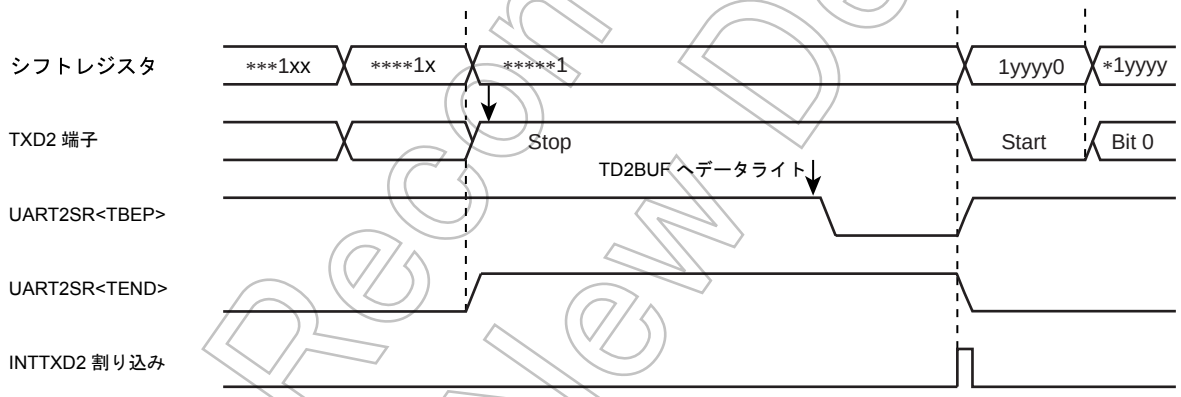


図 13-10 送信終了フラグと送信バッファエンプティの発生

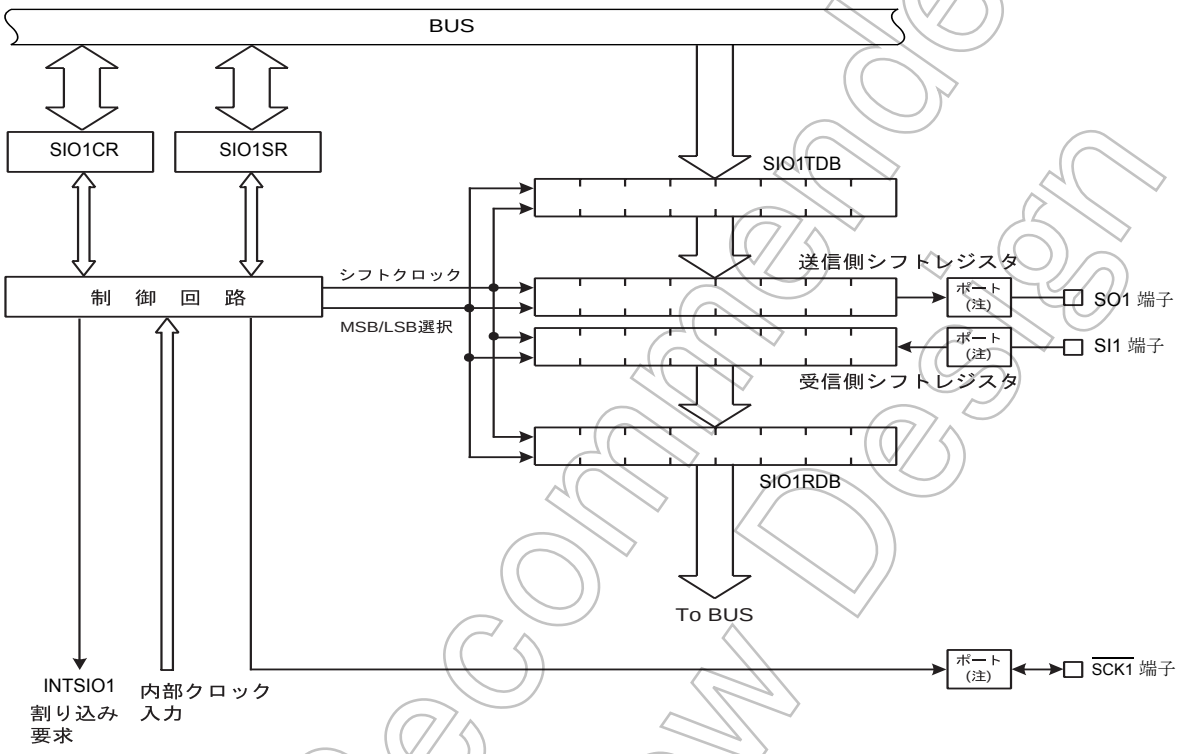
Not Recommended for New Design

Not Recommended for New Design

第 14 章 同期式シリアルインタフェース (SIO1)

SIO1 は SI1, SO1, $\overline{\text{SCK1}}$ 端子を通して外部デバイスと接続されます。これらの I/O 端子をシリアルインタフェース用の端子として使用する場合、対応するポートの出力ラッチを “1” にセットします。

14.1 構成



注 1) 兼用入出力端子の入出力制御を正しく設定してください。
詳しくは入出力ポート制御レジスタの項を参照してください。

図 14-1 同期式シリアルインタフェース (SIO)

Not Recommended for New Design

14.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIO1CR) で行います。また、ステータスレジスタ (SIO1SR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

シリアルインタフェース制御レジスタ

SIO1CR (0020H)

7	6	5	4	3	2	1	0
SIOS	SIOINH	SIOM		SIODIR	SCK		

(初期値 : 0000 0000)

SIOS	転送動作の開始 / 終了制御	0: 動作終了 1: 動作開始				R/W
SIOINH	転送の強制終了（注 1）	0: – 転送強制停止 (停止後自動的に “0” にクリア)				
SIOM	転送モードの選択	00: 送信モード 01: 受信モード 10: 送受信モード 11:Reserved				
SIODIR	転送方向の選択	0: MSB (ビット 7) から転送を行う 1: LSB (ビット 0) から転送を行う				
SCK	シリアルクロックの選択		NORMAL1/2 or IDLE1/2 モード		SLOW/SLEEP モード	
			TBTCR <DV7CK> = "0"	TBTCR <DV7CK> = "1"		
		000	$fc/2^{12}$	$fs/2^{4}$	$fs/2^{4}$	
		001	$fc/2^{8}$	$fc/2^{8}$	Reserved	
		010	$fc/2^{7}$	$fc/2^{7}$	Reserved	
		011	$fc/2^{6}$	$fc/2^{6}$	Reserved	
		100	$fc/2^{5}$	$fc/2^{5}$	Reserved	
		101	$fc/2^{4}$	$fc/2^{4}$	Reserved	
		110	$fc/2^{3}$	$fc/2^{3}$	Reserved	
		111	外部クロック ($\overline{SCK1}$ 端子から入力)			

注 1)　SIOINH に “1” を書き込んだ場合、SIO1CR <SIOS>, SIO1SR レジスタ , SIO1RDB レジスタ , SIO1TDB レジスタ が初期値に初期化されます。

注 2)　転送モード、転送方向、シリアルクロックの選択は、動作停止中 (SIO1SR<SIOF>= “0”) に行ってください。

注 3)　fc: 高周波クロック [Hz]、fs: 低周波クロック、*: Don't care

Not Recommended for New Design

シリアルインタフェースステータスレジスタ

	7	6	5	4	3	2	1	0	
SIO1SR (0021H)	SIOF	SEF	TXF	RXF	TXERR	RXERR			(初期値： 0010 00**)

SIOF	シリアル転送動作状態モニタ	0: 動作停止中 1: 動作中	Read only
SEF	クロック数モニタ	0: 8 クロック目 1: 1~7 クロック目	
TXF	送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	
RXF	受信バッファフルフラグ	0: 受信バッファにデータなし 1: 受信バッファにデータあり	
TXERR	送信エラーフラグ	Read 時 0: – (エラー発生なし) 1: 外部クロック動作時に送信バッファアンダーランが発生 Write 時」 0: フラグのクリア 1: – (ソフトで “1” を書き込むことはできません)	R/W
RXERR	受信エラーフラグ	Read 時 0: – (エラー発生なし) 1: 外部クロック動作時に受信バッファオーバランが発生 Write 時 0: フラグのクリア 1: – (ソフトで “1” を書き込むことはできません)	

注 1) TXERR, RXERR は、SIOS に “0” を書き込み、転送動作を終了しても “0” にクリアされません。従って TXERR, RXERR をクリアするには、これらのビットに “0” を書き込むか、SIO1CR <SIOINH> に “1” を書き込んでください。

注 2) *: Don't care

受信バッファレジスタ

	7	6	5	4	3	2	1	0	Read only
SIO1RDB (0022H)									(初期値： 0000 0000)

送信バッファレジスタ

	7	6	5	4	3	2	1	0	Write only
SIO1TDB (0022H)									(初期値： **** ****)

注 1) SIO1TDB は書き込み専用レジスタですので、ビット操作などリードモディファイライト命令でアクセスしないでください。

注 2) SIO1TDB は、SIO1SR <TXF> が “1” であることを確認した後にデータを書き込んでください。SIO1SR<TXF> が “0” のときにデータを書き込んでも、書き込んだデータは SIO1TDB に転送されません。

注 3) *: Don't care

Not Recommended for New Design

14.3 機能

14.3.1 シリアルクロック

14.3.1.1 クロックソース

シリアルクロックは、SIO1CR <SCK> によって選択されます。なお、シリアルクロックの変更は、SIO が動作停止中 (SIO1SR<SIOF>= “0”) に行ってください。

（1） 内部クロック

SIO1CR<SCK> に “111B” 以外を設定すると、“ 表 14-1 シリアルクロックレート (fc = 16 MHz, fs = 32.768 Hz) ” に示すクロックレートに従って、シリアルクロックが $\overline{\text{SCK1}}$ 端子から出力されます。なお、転送開始前および転送終了時、$\overline{\text{SCK1}}$ 端子は “H” レベルになります。

プログラムでのデータの書き込み (送信時) またはデータの読み取り (受信時) 処理が、このシリアルクロックレートに追従できない場合、“ 図 14-2 自動ウェイト機能 (送信モードの例) ” のように $\overline{\text{SCK1}}$ 端子を “H” レベルで一時停止し、データバッファへのアクセスが行われるまで、シフト動作を待機させる自動ウェイト機能を内蔵しています。データの書き込み、データの読み出しにより、自動ウェイトが解除され $\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されるまで、最大で、選択されているシリアルクロックの 1 周期かかります。

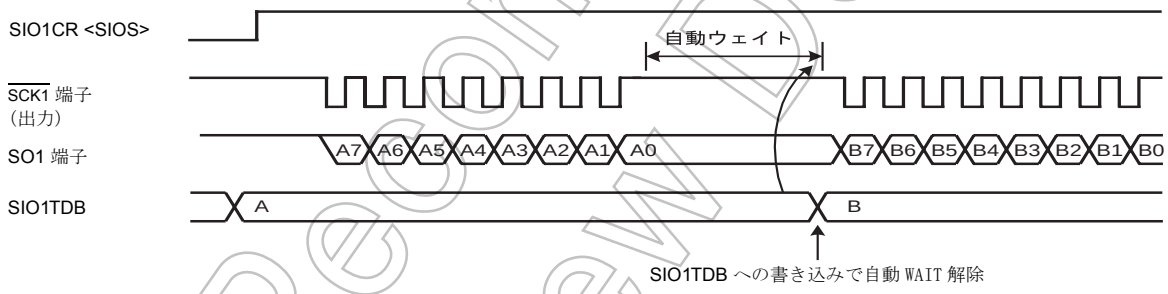


図 14-2　自動ウェイト機能 (送信モードの例)

表 14-1 シリアルクロックレート (fc = 16 MHz, fs = 32.768 Hz)

	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	TBTCR<DV7CK> = "0"		TBTCR<DV7CK> = "1"		シリアルクロック	転送速度
SCK	シリアルクロック	転送速度	シリアルクロック	転送速度		
000	$fc/2^{12}$	3.906 kbps	$fs/2^4$	2048 bps	$fs/2^4$	2048 bps
001	$fc/2^8$	62.5 kbps	$fc/2^8$	62.5 kbps	Reserved	–
010	$fc/2^7$	125 kbps	$fc/2^7$	125 kbps	Reserved	–
011	$fc/2^6$	250 kbps	$fc/2^6$	250 kbps	Reserved	–
100	$fc/2^5$	500 kbps	$fc/2^5$	500 kbps	Reserved	–
101	$fc/2^4$	1.00 Mbps	$fc/2^4$	1.00 Mbps	Reserved	–
110	$fc/2^3$	2.00 Mbps	$fc/2^3$	2.00 Mbps	Reserved	

Not Recommended for New Design

（2） 外部クロック

SIO1CR<SCK> に “111B” を設定すると、外部から $\overline{\text{SCK1}}$ 端子に供給されるクロックが、シリアルクロックとして使用されます。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は、“H” レベル、“L” レベルともに 4/fc 以上必要です。

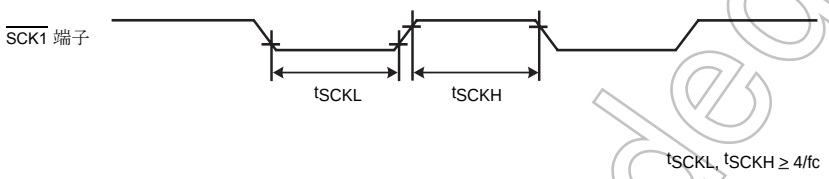


図 14-3 外部クロック

14.3.1.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

（1） 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK1}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

（2） 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK1}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

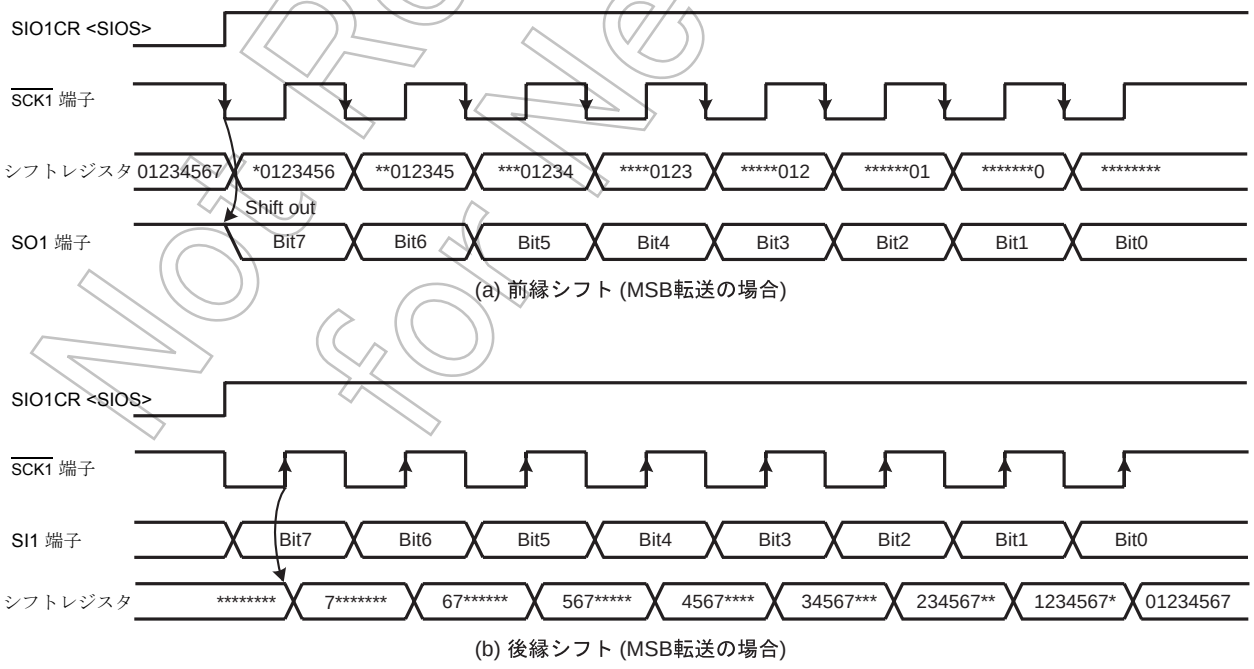


図 14-4 シフトエッジ

Not Recommended for New Design

14.3.2 転送ビット方向

転送ビット方向は、SIO1CR <SIODIR> によって選択されます。なお、データの転送方向は、送信、受信で個別に設定することはできません。また、転送ビット方向の変更は、SIO 動作停止中 (SIO1SR<SIOF>= “0”) に行ってください。

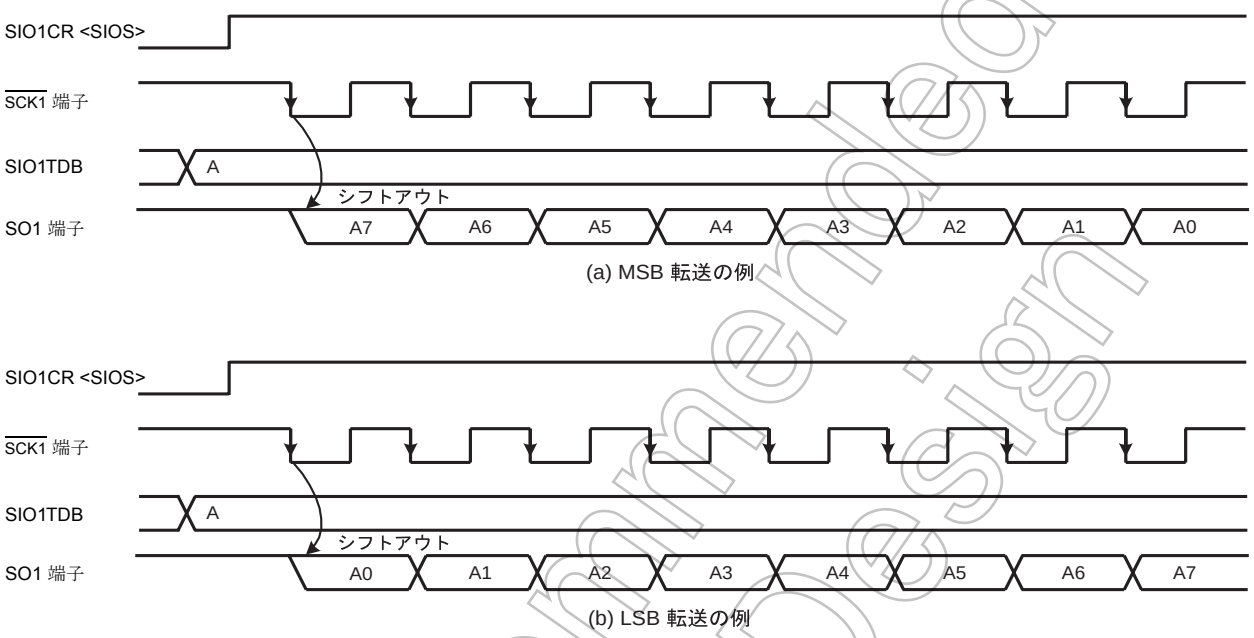


図 14-5 転送ビット方向 (送信モードの例)

14.3.2.1 送信モード

（1） MSB 転送

SIO1CR<SIODIR> に “0” を書き込むと MSB 送信モードとなり、SO1 端子から、送信データのビット 7 よりビット 0 へと順次送信されます。

（2） LSB 転送

SIO1CR <SIODIR> に “1” を書き込むと LSB 送信モードとなり、SO1 端子から、送信データのビット 0 よりビット 7 へと順次送信されます。

14.3.2.2 受信モード

（1） MSB 受信

SIO1CR <SIODIR> に “0” を書き込むと MSB 受信モードとなり、SI1 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

Not Recommended for New Design

（2） LSB 受信

SIO1CR <SIODIR> に “1” を書き込むと LSB 受信モードとなり、SI1 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

14.3.2.3 送受信モード

（1） MSB 送受信

SIO1CR <SIODIR> に “0” を書き込むと MSB 送受信モードとなり、SO1 端子から、送信データのビット 7 よりビット 0 へと順次送信され、SI1 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

（2） LSB 送受信

SIO1CR<SIODIR> に “1” を書き込むと LSB 送受信モードとなり、SO1 端子から、送信データのビット 0 よりビット 7 へと順次送信され、SI1 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

14.3.3 転送モード

転送モードは、SIO1CR <SIOM> によって送信 / 受信 / 送受信モードのいずれかを選択できます。

14.3.3.1 送信モード

SIO1CR <SIOM> に “00B” を設定すると、送信モードになります。

（1） 送信開始

SIO1CR <SIOM> に “00B” を書き込むことによって送信モードに設定し、SIO1CR <SCK> でシリアルクロックを、SIO1CR <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO1TDB) に送信データをセットすると、SIO1SR<TXF> が “0” にクリアされます。

SIO1CR<SIOS> に “1” を書き込むと、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1SR<SIOF> が “1” にセットされます。

SO1 端子から $\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1CR <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO1SR<SEF> が “1” にセットされます。

SIO1TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK1}}$ 端子の立ち上がりで、SIO1SR<TXF> が “1” にセットされます。また、次の $\overline{\text{SCK1}}$ 端子の立ち下がりで INTSIO1 割り込み要求が発生します。

注 1) 内部クロック動作の場合、送信バッファに送信データを書き込まれていない状態で SIO1CR <SIOS> に “1” をセットしても、送信は開始されません。

注 2) 内部クロック動作の場合、SIO1CR <SIOS> が “1” にセットされると、最大で、選択されているシリアルクロックの 1 周期後、SIO1TDB に書き込まれたデータがシフトレジスタに転送され、$\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されます。

Not Recommended for New Design

注 3)　外部クロック動作の場合、SIO1CR <SIOS> が “1” にセットされた後、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジが入力されると、直ちに SIO1TDB に書き込まれたデータがシフトレジスタに転送され、SO1 端子から、SIO1CR <SIODIR> で選択した転送ビット方向より順に送信が開始されます。

(2) 送信動作中

SIO1TDB にデータを書き込むと、SIO1SR<TXF> は “0” にクリアされます。

内部クロック動作において、8 ビットの送信データすべての送信が終了したとき、次に送信するデータが SIO1TDB に書き込まれていない場合、自動ウェイト機能が動作して $\overline{\text{SCK1}}$ 端子が “H” レベルになります。送信するデータを SIO1TDB に書き込むと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、送信動作が再開されます。

SIO1SR<TXF> が “1” のとき、8 ビットの送信データすべてを送信する前に SIO1TDB にデータを書き込むと、送信中のデータが送信された後、続けて書き込んだデータが送信されます。

外部クロック動作のとき、SIO1SR<TXF> が “1” にセットされてから、次のデータのシフト動作に入る前に、送信データを SIO1TDB に書き込む必要があります。送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO1SR<TXERR> が “1” にセットされ、INTSIO1 割り込み要求が発生します。

(3) 送信終了

送信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR<SIOS> に “0” を書き込む方法
  SIO1CR<SIOS> に “0” を書き込むと、すべての送信データが転送を終了した後、送信動作を停止します。送信動作が終了すると SIO1SR<SIOF> が “0” にクリアされ、SO1 端子が "H" レベルになります。
  外部クロック動作の場合、次の転送の開始によって SIO1SR<SEF> が “1” にセットされる前に、SIO1CR <SIOS> に “0” を書き込みます。
- SIO1CR<SIOINH> に “1” を書き込む方法
  SIO1CR<SIOINH> に “1” を書き込むと、直ちに送信を終了します。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

Not Recommended for New Design

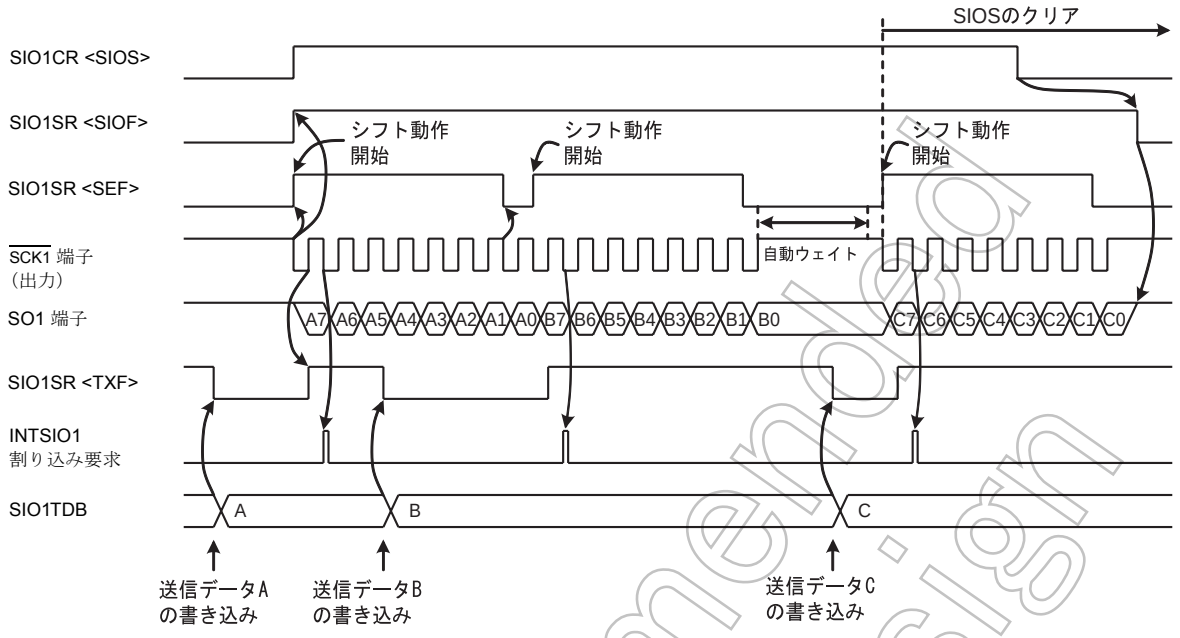


図 14-6 内部クロック、MSB 送信の例

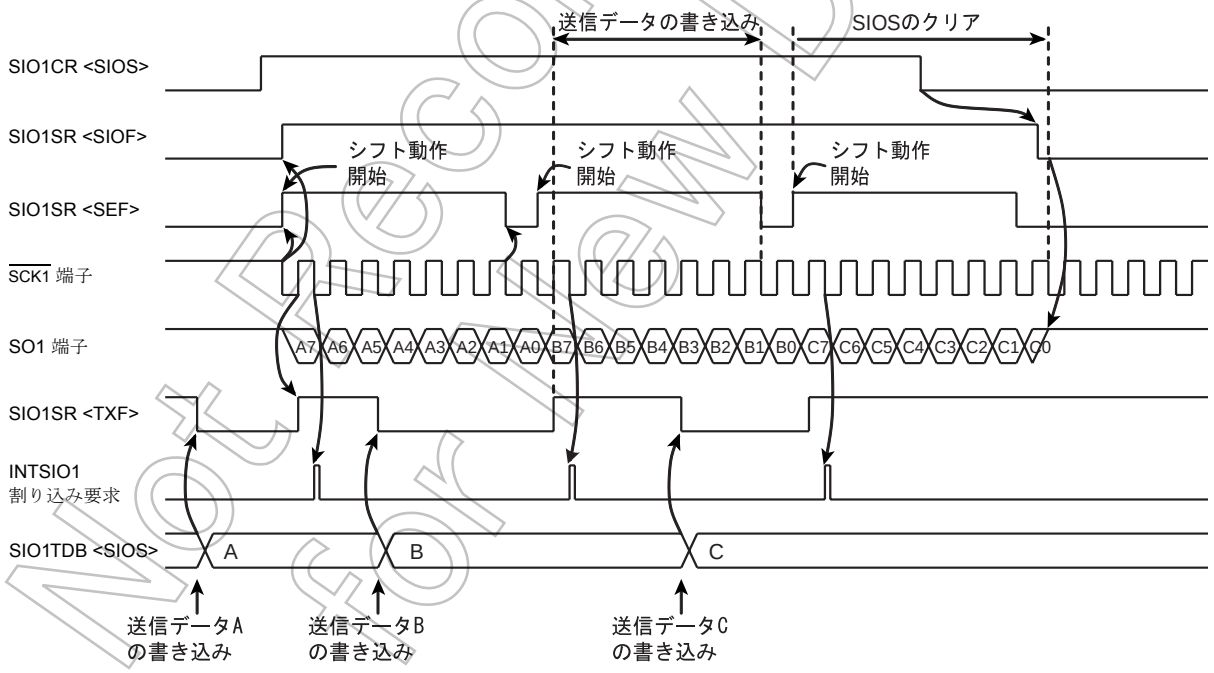


図 14-7 外部クロック、MSB 送信の例

Not Recommended for New Design

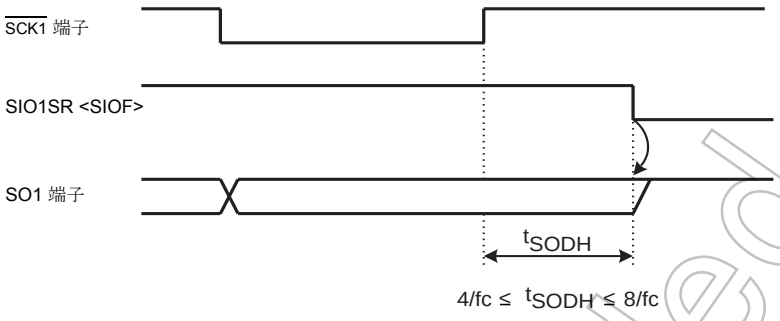


図 14-8 送信終了時のデータ保持時間

（4） 送信エラー処理

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、次の送信データを SIO1TDB に書き込む前に、シフト動作が開始された場合。
  送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO1SR <TXERR> が “1” にセットされ、シフト動作が行われた次のクロックの立ち下がりで INTSIO1 割り込み要求が発生します。
  SIO1CR <SIOS> を “1” にセットした後、SIO1TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO1SR<TXERR> が “1” にセットされると同時に、INTSIO1 割り込み要求が発生します。
  SIO1SR<TXERR> が “1” にセットされると、SO1 端子からは “H” レベルが出力されます。
  送信エラーが発生した場合、SIO1CR <SIOINH> に “1” を書き込み、送信動作を強制停止させます。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

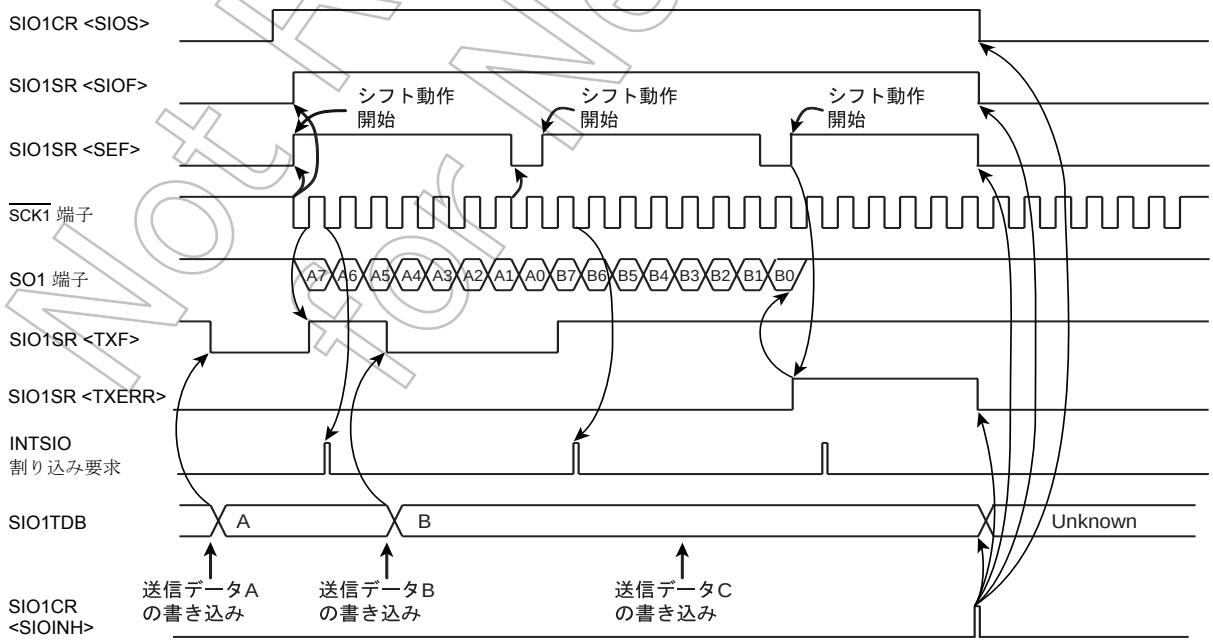


図 14-9 送信モードエラー処理の例

Not Recommended for New Design

14.3.3.2 受信モード

SIO1CR <SIOM> に “01B” を書き込むと、受信モードになります。

(1) 受信開始

SIO1CR の SIO1CR <SIOM> に、“01B” を書き込み受信モードに設定し、SIO1CR <SCK> でシリアルクロックを、SIO1CR <SIODIR> で転送ビット方向を設定します。

$\overline{\text{SCK1}}$ 端子の立ち上がりエッジに同期して、SI1 端子から SIO1CR <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりエッジまでの間、SIO1SR<SEF> が “1” にセットされます。

8 ビットのデータが受信されると受信データがシフトレジスタから SIO1RDB に転送され、SIO1SR<RXF> が “1” にセットされるとともに、INTSIO1 割り込み要求が発生します。

注） 内部クロック動作の場合、SIO1CR <SIOS> が “1” にセットされると、最大、選択されているシリアルクロックの 1 周期分後、$\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されます。

(2) 受信動作中

SIO1RDB からデータを読み出すと、SIO1SR<RXF> は “0” にクリアされます。

内部クロック動作において、8 ビットの受信データすべての受信が終了したとき、自動ウェイト機能が動作し $\overline{\text{SCK1}}$ 端子が “H” レベルになります。SIO1RDB から受信データを読み出すと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、受信動作が再開されます。

外部クロック動作のとき、SIO1SR<RXF> が “1” にセットされてから、次の受信データのシフト動作が終了する前に、SIO1RDB から受信データを読み出す必要があります。受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO1SR<RXERR> が “1” にセットされ、INTSIO1 割り込み要求が発生します。

(3) 受信終了

受信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR <SIOS> に “0” を書き込む方法
  SIO1CR <SIOS> に “0” を書き込むと、すべての受信データが転送を終了した後、受信動作を停止します。受信動作が終了すると、SIO1SR<SIOF> が “0” にクリアされます。
  外部クロック動作の場合、次の転送が開始によって SIO1SR<SEF> が “1” にセットされる前に、SIO1CR <SIOS> に “0” を書き込みます。
- SIO1CR <SIOINH> に “1” を書き込む方法
  SIO1CR <SIOINH> に “1” を書き込むと、直ちに受信を終了します。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

Not Recommended for New Design

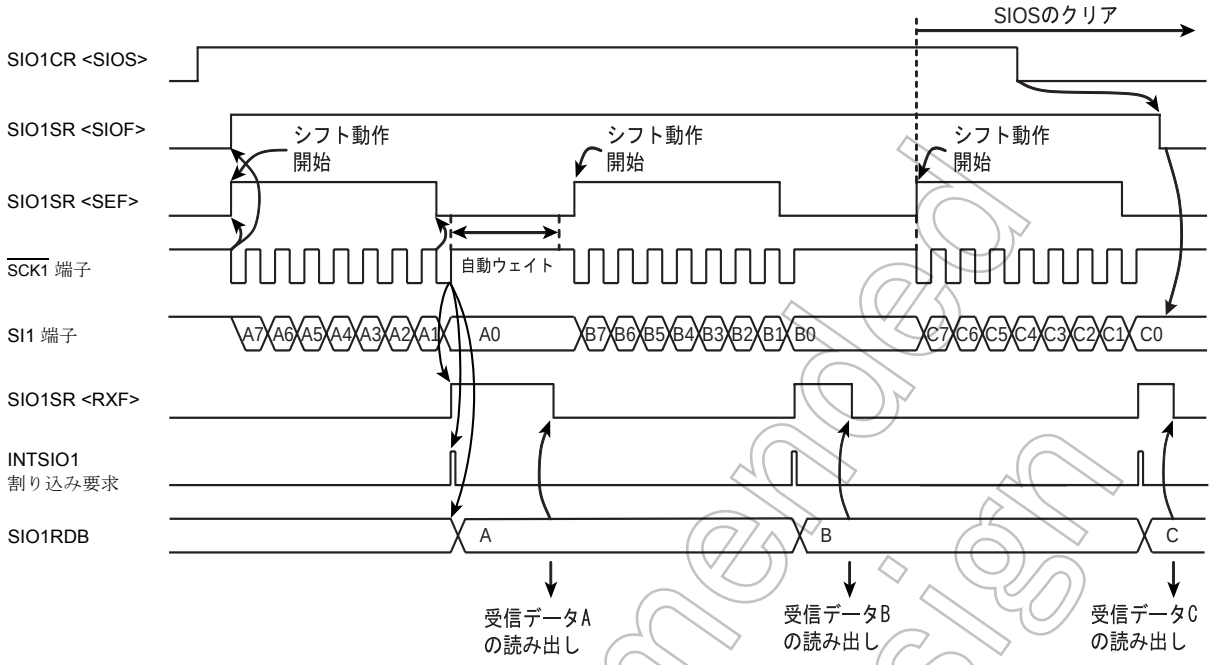


図 14-10 内部クロック、MSB 受信の例

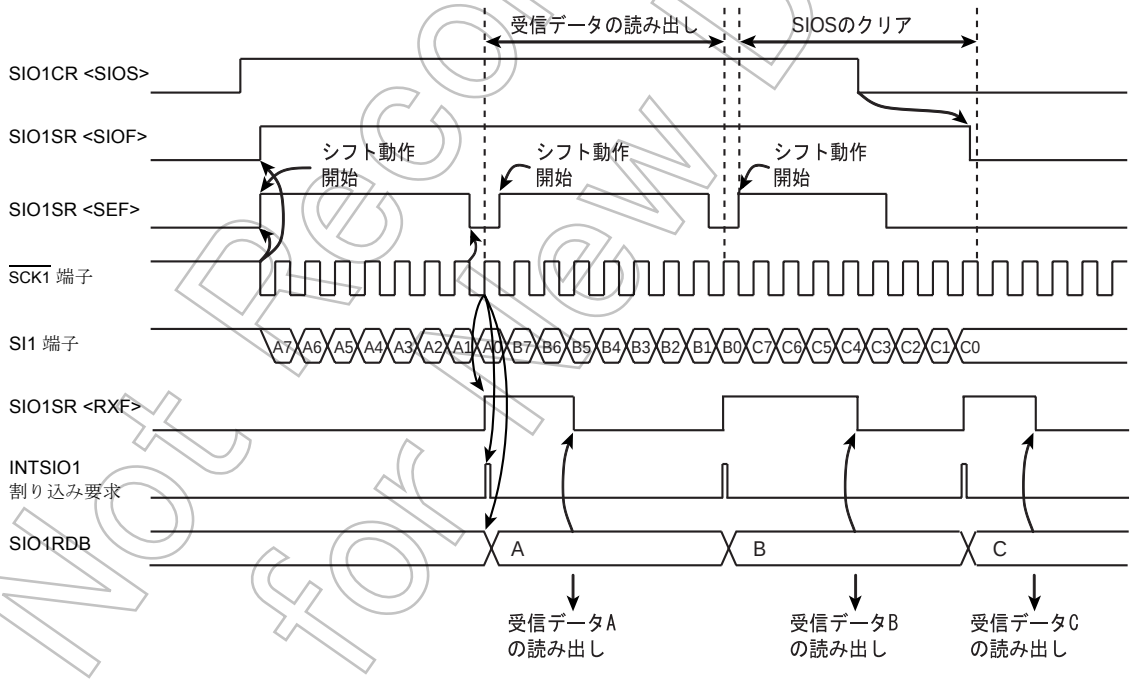


図 14-11 外部クロック、MSB 受信の例

Not Recommended for New Design

(4) 受信エラー処理

下記の状態が発生すると受信エラーとなり、SIO1SR<RXERR> が “1” にセットされ、SIO1RDB とシフトレジスタ内のデータを保護するため、エラー発生以降の受信データは無視されます。

- 外部クロック動作のとき、SIO1SR<RXF> が “1” の状態で、受信データを SIO1RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには SIO1CR <SIOS> に “0” を書き込み、受信動作を停止させます。次に、SIO1RDB からデータを読み出します。その後、再度 SIO1RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO1SR<RXERR> に “0” を書き込むと、SIO1SR<RXF> が “0” にクリアされます。SIO1CR <SIOS> を “0” にクリアした後、8 ビット分のシリアルクロックが $\overline{\text{SCK1}}$ 端子から入力されると、SIO1SR<SIOF> が “0” にクリアされ、受信動作は停止します。受信動作を再開する場合には、SIO1SR<SIOF> が “0” にクリアされたことを確認してから行ってください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO1CR <SIOINH> に “1” を書き込み、受信動作を強制停止させます。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

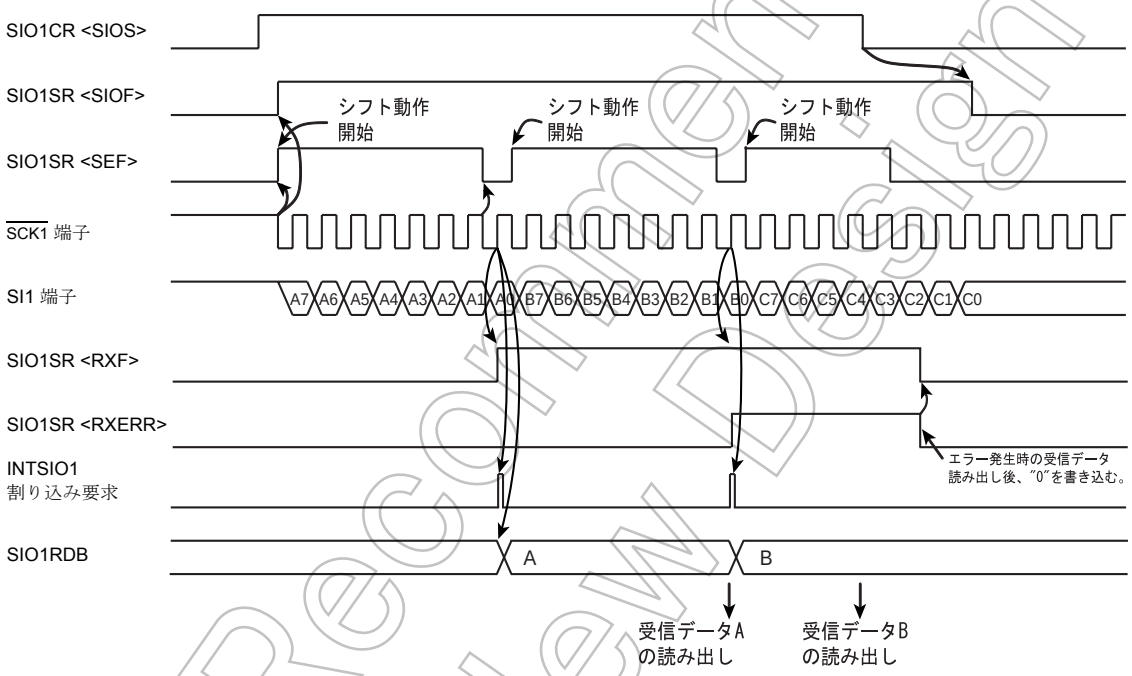


図 14-12 受信モードエラー処理の例

注） 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

14.3.3.3 送受信モード

SIO1CR <SIOM> に “10B” を書き込むと、送受信モードになります。

(1) 送受信開始

SIO1CR の SIO1CR <SIOM> に “10B” を書き込み、送受信モードに設定し、SIO1CR <SCK> でシリアルクロックを、SIO1CR <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO1TDB) に送信データをセットします。送信バッファレジスタにデータが書き込まれると、SIO1SR<TXF> が “0” にクリアされます。

SIO1CR <SIOS> に “1” を書き込むと、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1SR<SIOF> が “1” にセットされます。

Not Recommended for New Design

SO1 端子から $\overline{\text{SCK1}}$ 端子の立ち下がりに同期して、SIO1CR <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。また、$\overline{\text{SCK1}}$ 端子の立ち上がりに同期して、SIO1CR <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO1SR<SEF> が “1” にセットされます。

SIO1TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK1}}$ 端子の立ち上がりで、SIO1SR<TXF> が “1” にセットされます。また、8 ビットのデータが受信されると、受信データがシフトレジスタから SIO1RDB に転送され、SIO1SR<RXF> が “1” にセットされるとともに、INTSIO1 割り込み要求が発生します。

注 1)　内部クロック動作の場合、SIO1CR <SIOS> を “1” にセットすると、最大で、選択されているシリアルクロック 1 周期分後、SIO1TDB に書き込まれたデータがシフトレジスタに転送され、$\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されます。

注 2)　外部クロック動作の場合、SIO1CR <SIOS> を “1” にセットした後、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジが入力されると、直ちに SIO1TDB に書き込まれたデータがシフトレジスタに転送されます。また $\overline{\text{SCK1}}$ 端子の立ち上がりエッジが入力されると、受信動作を開始します。

(2) 送受信動作中

SIO1TDB にデータを書き込むと、SIO1SR<TXF> は “0” にクリアされます。また、SIO1RDB を読み出すと、SIO1SR<RXF> は “0” にクリアされます。

内部クロック動作において、8 ビットのデータすべての転送が終了したとき、以下に示す条件下では $\overline{\text{SCK1}}$ 端子が “H” レベルになり、自動ウェイト機能が動作します。

- SIO1RDB から受信データを読み出した後、次の送信データが SIO1TDB に書き込まれない場合
- 次の送信データを SIO1TDB に書き込んだ後、SIO1RDB から受信データが読み出されない場合
- 転送後、SIO1TDB、SIO1RDB ともにアクセスされない場合

SIO1RDB から受信データを読み出した後、送信データを SIO1TDB に書き込むか、送信データを SIO1TDB に書き込んだ後、SIO1RDB から受信データを読み出すと、最大で、選択されているシリアルクロック 1 周期分後、自動ウェイト状態は解除され、送受信が再開されます。

外部クロック動作のとき、次のシフト動作に入る前に、SIO1RDB から受信データを読み出し、送信データを SIO1TDB に書き込む必要があります。

SIO1SR<TXF> が “1” にセットされた後に、送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO1SR<TXERR> が “1” にセットされます。

また、SIO1SR<RXF> が “1” にセットされてから、次の受信データのシフト動作終了前に SIO1RDB から受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO1SR<RXERR> が “1” にセットされます。

(3) 送受信終了

送受信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR <SIOS> に “0” を書き込む方法
  SIO1CR <SIOS> に “0” を書き込むと、送受信しているデータがすべて転送された後、送受信動作を停止します。送受信が終了すると SIO1SR<SIOF> が “0” にクリアされ、SO1 端子が “H” レベルになります。
  外部クロック動作の場合、次のデータの転送が始まることによって SIO1SR<SEF> が “1” になる前に、SIO1CR <SIOS> に “0” を書き込みます。

Not Recommended for New Design

- SIO1CR <SIOINH> に “1” を書き込む方法
  SIO1CR <SIOINH> に “1” を書き込むと、直ちに送受信を終了します。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

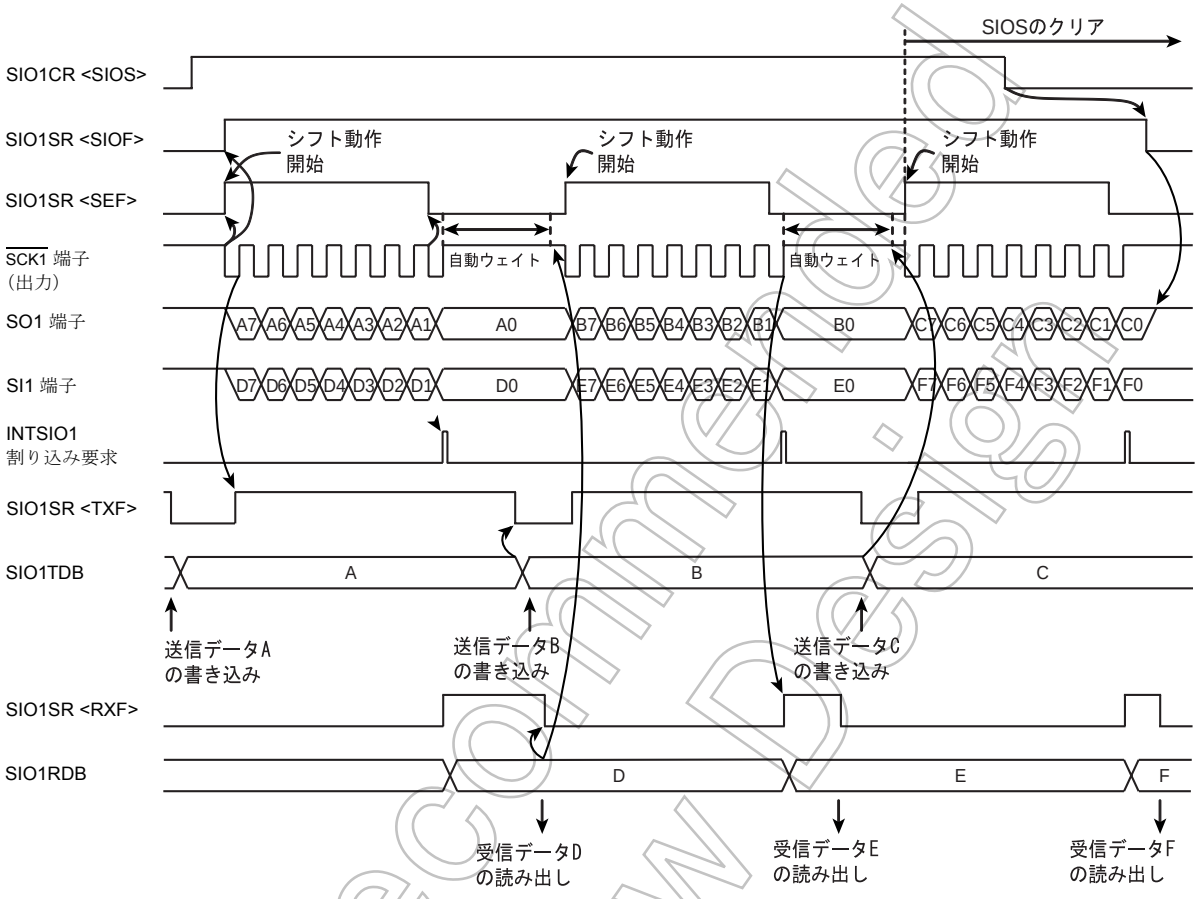


図 14-13 内部クロック、MSB 送受信の例

Not Recommended for New Design

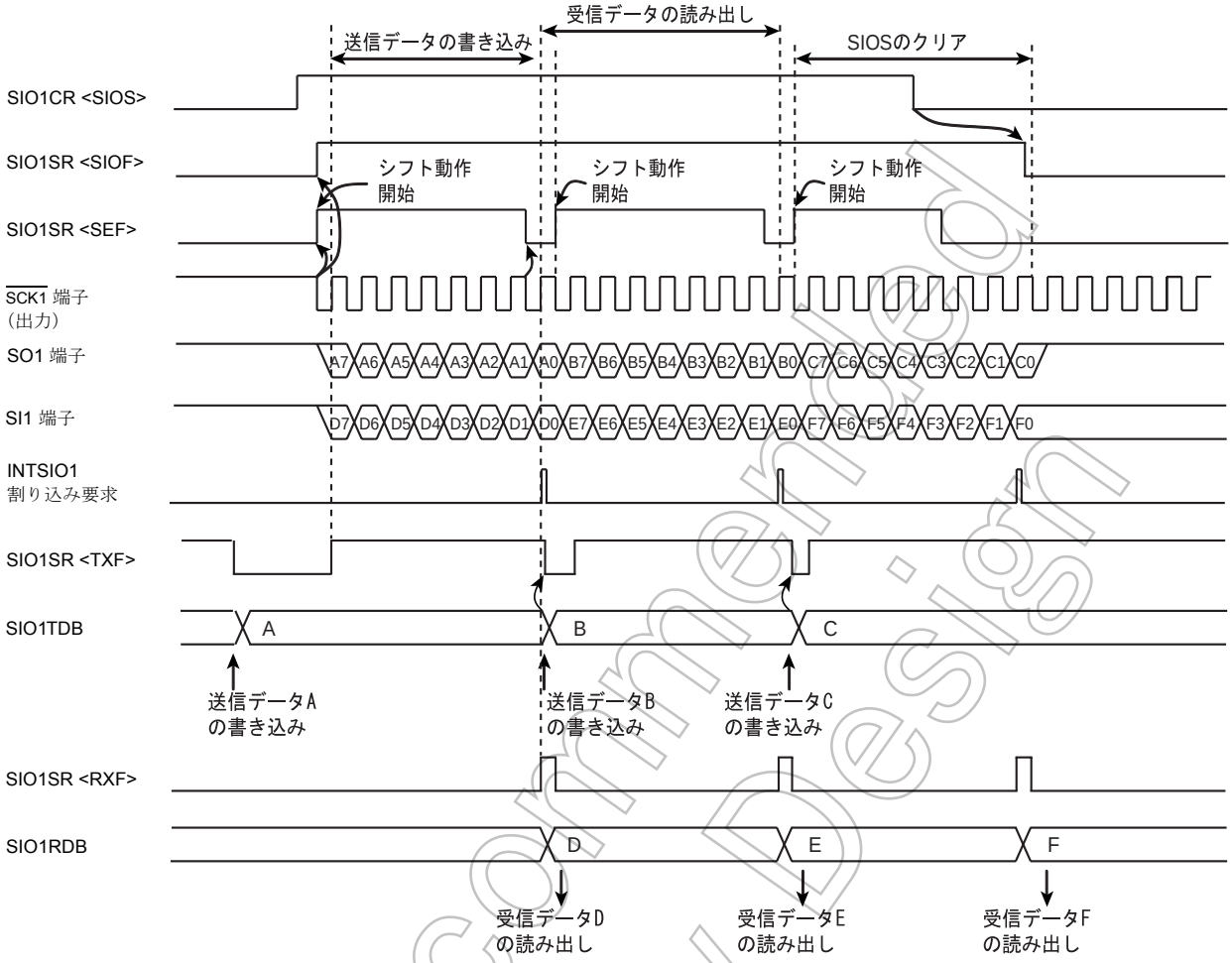


図 14-14 外部クロック、MSB 送受信の例

(4) 送受信エラー処理

下記の状態が発生すると、送受信エラーとなります。送信、受信のどちらでエラーが発生したかによって、エラー発生時の動作が異なります。

(a) 送信エラー

下記の状態が発生すると、送信エラーとなります。

・外部クロック動作のとき、送信データを SIO1TDB に書き込む前にシフト動作が開始された場合。

送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO1SR <TXERR> が “1” にセットされ、8 ビットのデータが受信された後、INTSIO1 割り込み要求が発生します。
SIO1CR <SIOS> を “1” にセットし、SIO1TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO1SR<TXERR> が “1” にセットされ、8 ビットのデータが受信された後に INTSIO1 割り込み要求が発生します。

SIO1SR<TXERR> が “1” にセットされると、SO1 端子からは “H” レベルが出力されます。

送信エラーが発生した場合は、受信データを読み出した後、SIO1CR <SIOINH> に “1” を書き込み、送受信動作を強制停止させます。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

Not Recommended for New Design

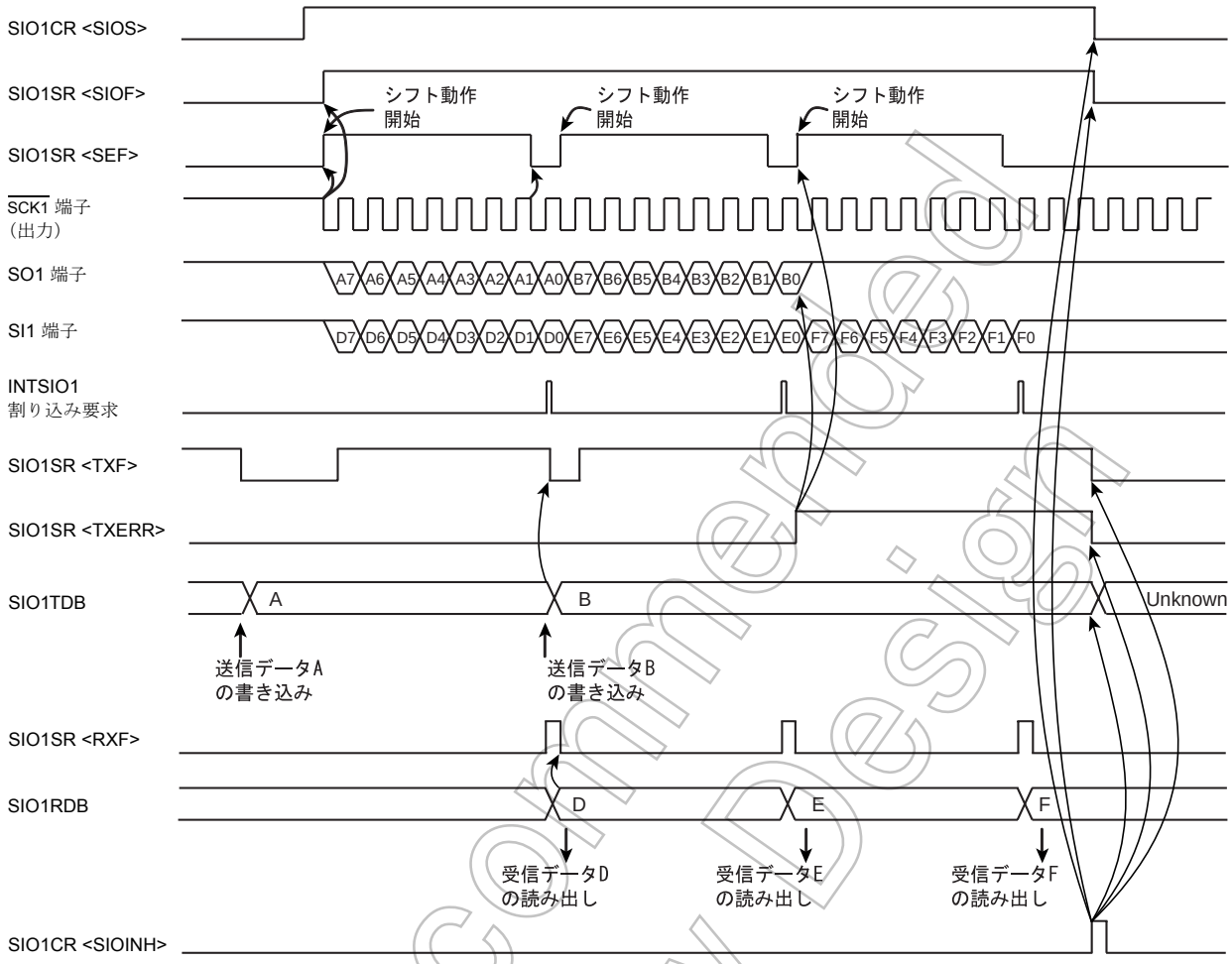


図 14-15 送受信モード (送信) エラー処理の例

(b) 受信エラー

下記の状態が発生すると受信エラーとなり、SIO1SR<RXERR> が “1” にセットされ、SIO1RDB とシフトレジスタ内のデータを保護するため、エラー発生以降のデータは無視されます。

・外部クロック動作のとき、SIO1SR<RXF> が “1” の状態で受信データを SIO1RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには、SIO1CR <SIOS> に “0” を書き込み受信を停止させます。次に、SIO1RDB からデータを読み出します。その後、再度 SIO1RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO1SR<RXERR> に “0” を書き込むと、SIO1SR <RXF> が “0” にクリアされます。SIO1CR <SIOS> を “0” にクリアした後、8 ビット分のシリアルクロックが $\overline{\text{SCK1}}$ 端子から入力されると、SIO1SR<SIOF> が “0” にクリアされ、受信動作は停止します。受信を再開する場合には、SIO1SR<SIOF> が “0” にクリアされたことを確認してください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO1CR <SIOINH> に “1” を書き込み、受信動作を強制停止させます。この場合、SIO1CR <SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

Not Recommended for New Design

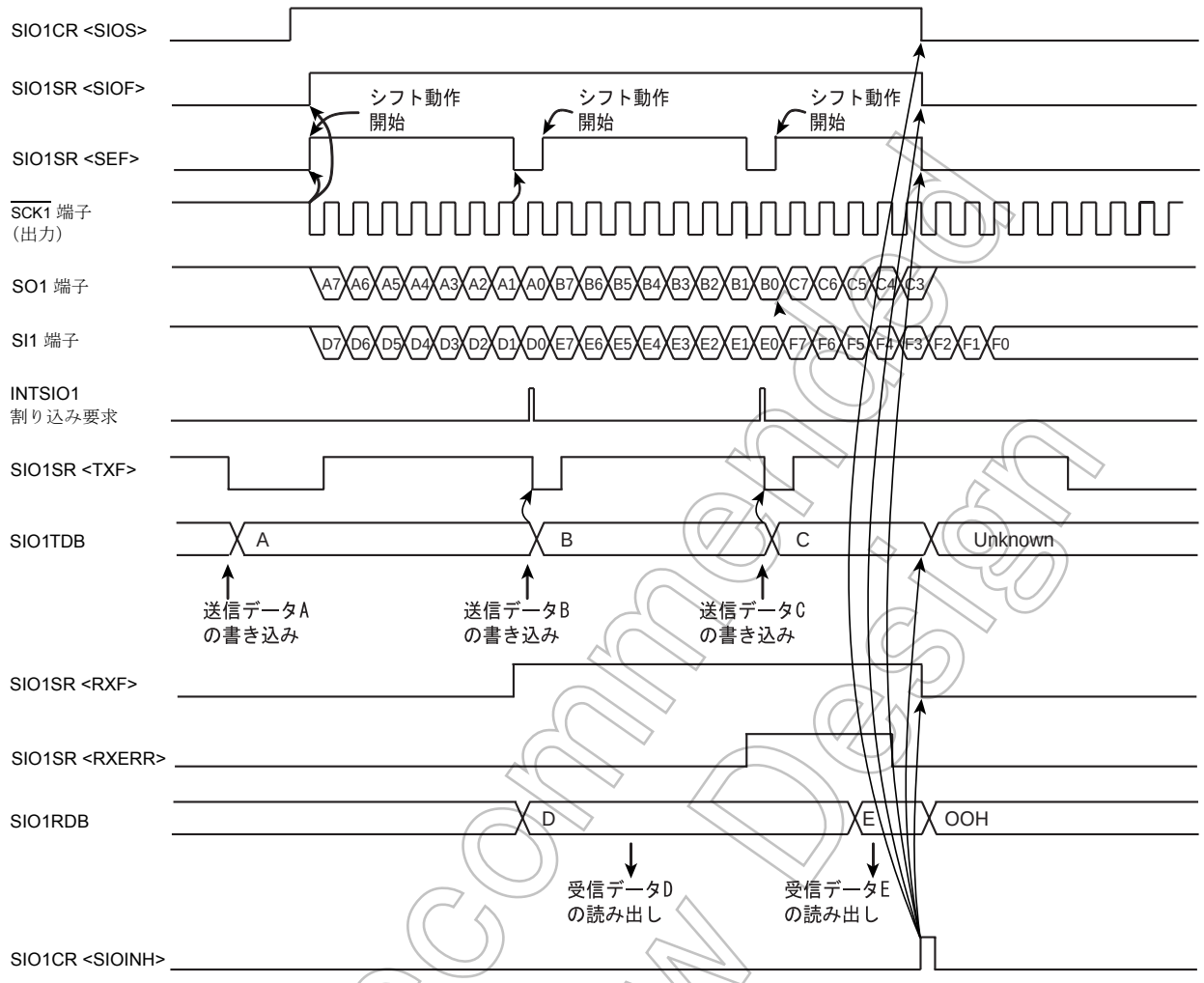


図 14-16 送受信モード (受信) エラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

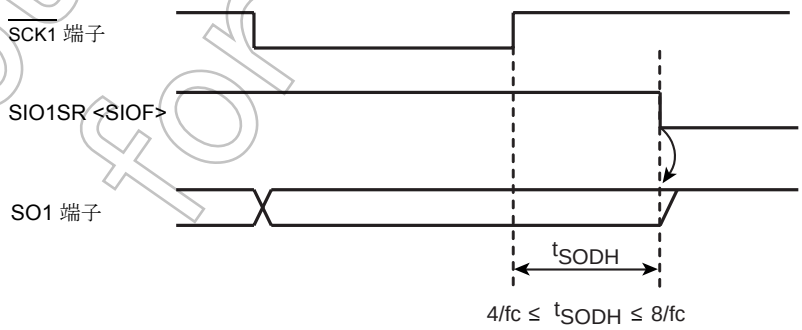


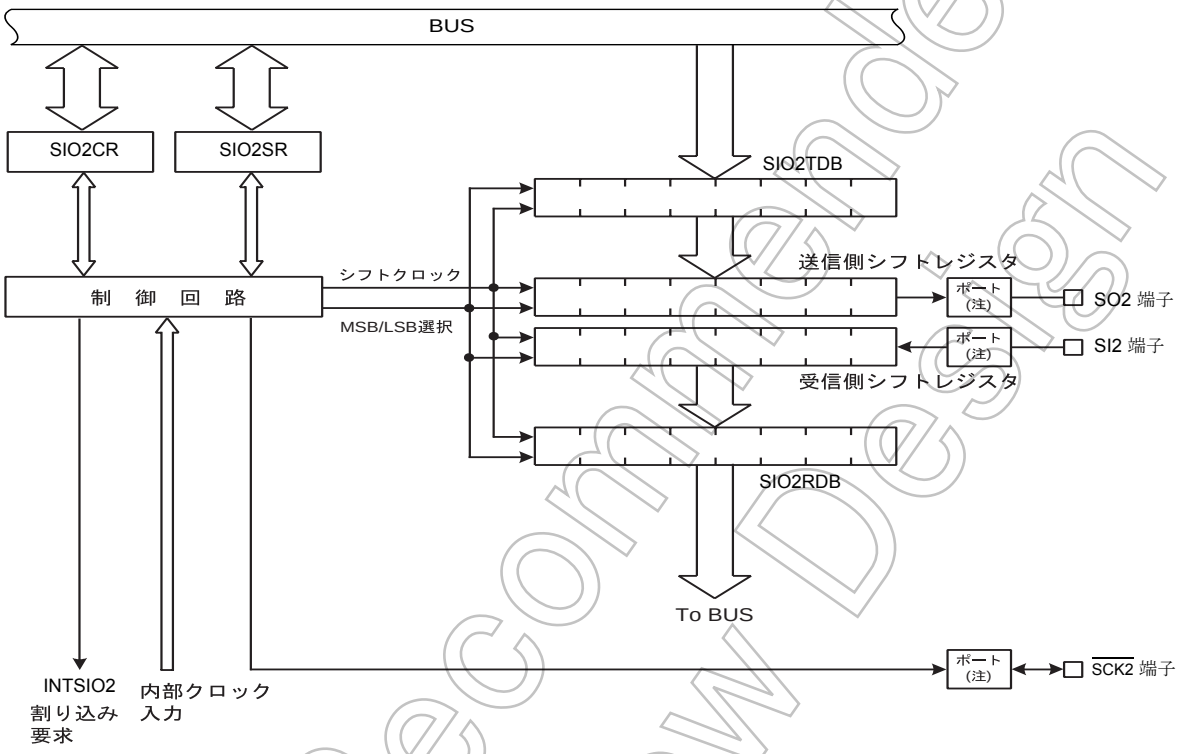
図 14-17 送受信終了時のデータ保持時間

Not Recommended for New Design

第 15 章 同期式シリアルインタフェース (SIO2)

SIO2 は ,SI2, SO2, $\overline{\text{SCK2}}$ 端子を通して外部デバイスと接続されます。これらの I/O 端子をシリアルインタフェース用の端子として使用する場合、対応するポートの出力ラッチを “1” にセットします。

15.1 構成



注 1) 兼用入出力端子の入出力制御を正しく設定してください。
詳しくは入出力ポート制御レジスタの項を参照してください。

図 15-1 同期式シリアルインタフェース (SIO)

Not Recommended for New Design

15.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIO2CR) で行います。また、ステータスレジスタ (SIO2SR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

シリアルインタフェース制御レジスタ

SIO2CR (0031H)

7	6	5	4	3	2	1	0
SIOS	SIOINH	SIOM		SIODIR	SCK		

(初期値 : 0000 0000)

SIOS	転送動作の開始 / 終了制御	0: 動作終了 1: 動作開始			R/W
SIOINH	転送の強制終了（注 1）	0: – 転送強制停止 (停止後自動的に “0” にクリア)			
SIOM	転送モードの選択	00: 送信モード 01: 受信モード 10: 送受信モード 11:Reserved			
SIODIR	転送方向の選択	0: MSB (ビット 7) から転送を行う 1: LSB (ビット 0) から転送を行う			
SCK	シリアルクロックの選択		NORMAL1/2 or IDLE1/2 モード		SLOW/SLEEP モード
			TBTCR <DV7CK> = "0"	TBTCR <DV7CK> = "1"	
		000	$fc/2^{12}$	$fs/2^{4}$	$fs/2^{4}$
		001	$fc/2^{8}$	$fc/2^{8}$	Reserved
		010	$fc/2^{7}$	$fc/2^{7}$	Reserved
		011	$fc/2^{6}$	$fc/2^{6}$	Reserved
		100	$fc/2^{5}$	$fc/2^{5}$	Reserved
		101	$fc/2^{4}$	$fc/2^{4}$	Reserved
		110	$fc/2^{3}$	$fc/2^{3}$	Reserved
		111	外部クロック（$\overline{SCK2}$ 端子から入力)		

注 1)　SIOINH に “1” を書き込んだ場合、SIO2CR <SIOS>, SIO2SR レジスタ , SIO2RDB レジスタ , SIO2TDB レジスタ が初期値に初期化されます。

注 2)　転送モード、転送方向、シリアルクロックの選択は、動作停止中 (SIO2SR <SIOF>= “0”) に行ってください。

注 3)　fc: 高周波クロック [Hz]、fs: 低周波クロック、*: Don’t care

Not Recommended for New Design

シリアルインタフェースステータスレジスタ

	7	6	5	4	3	2	1	0	
SIO2SR (0032H)	SIOF	SEF	TXF	RXF	TXERR	RXERR			(初期値： 0010 00**)

SIOF	シリアル転送動作状態モニタ	0: 動作停止中 1: 動作中	Read only
SEF	クロック数モニタ	0: 8 クロック目 1: 1~7 クロック目	
TXF	送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	
RXF	受信バッファフルフラグ	0: 受信バッファにデータなし 1: 受信バッファにデータあり	
TXERR	送信エラーフラグ	Read 時 0: – (エラー発生なし) 1: 外部クロック動作時に送信バッファアンダーランが発生 Write 時」 0: フラグのクリア 1: – (ソフトで “1” を書き込むことはできません)	R/W
RXERR	受信エラーフラグ	Read 時 0: – (エラー発生なし) 1: 外部クロック動作時に受信バッファオーバランが発生 Write 時 0: フラグのクリア 1: – (ソフトで “1” を書き込むことはできません)	

注 1) TXERR, RXERR は、SIOS に “0” を書き込み、転送動作を終了しても “0” にクリアされません。従って TXERR, RXERR をクリアするには、これらのビットに “0” を書き込むか、SIO2CR <SIOINH> に “1” を書き込んでください。

注 2) *: Don't care

受信バッファレジスタ

	7	6	5	4	3	2	1	0	Read only
SIO2RDB (002BH)									(初期値： 0000 0000)

送信バッファレジスタ

	7	6	5	4	3	2	1	0	Write only
SIO2TDB (002BH)									(初期値： **** ****)

注 1) SIO2TDB は書き込み専用レジスタですので、ビット操作などリードモディファイライト命令でアクセスしないでください。

注 2) SIO2TDB は、SIO2SR <TXF> が “1” であることを確認した後にデータを書き込んでください。SIO2SR <TXF> が “0” のときにデータを書き込んでも、書き込んだデータは SIO2TDB に転送されません。

注 3) *: Don't care

Not Recommended for New Design

15.3 機能

15.3.1 シリアルクロック

15.3.1.1 クロックソース

シリアルクロックは、SIO2CR <SCK> によって選択されます。なお、シリアルクロックの変更は、SIO が動作停止中 (SIO2SR <SIOF>= “0”) に行ってください。

（1） 内部クロック

SIO2CR <SCK> に “111B” 以外を設定すると、“ 表 15-1 シリアルクロックレート (fc = 16 MHz, fs = 32.768 Hz) ” に示すクロックレートに従って、シリアルクロックが $\overline{\text{SCK2}}$ 端子から出力されます。なお、転送開始前および転送終了時、$\overline{\text{SCK2}}$ 端子は “H” レベルになります。

プログラムでのデータの書き込み (送信時) またはデータの読み取り (受信時) 処理が、このシリアルクロックレートに追従できない場合、“ 図 15-2 自動ウェイト機能 (送信モードの例) ” のように $\overline{\text{SCK2}}$ 端子を “H” レベルで一時停止し、データバッファへのアクセスが行われるまで、シフト動作を待機させる自動ウェイト機能を内蔵しています。データの書き込み、データの読み出しにより、自動ウェイトが解除され $\overline{\text{SCK2}}$ 端子からシリアルクロックが出力されるまで、最大で、選択されているシリアルクロックの 1 周期かかります。

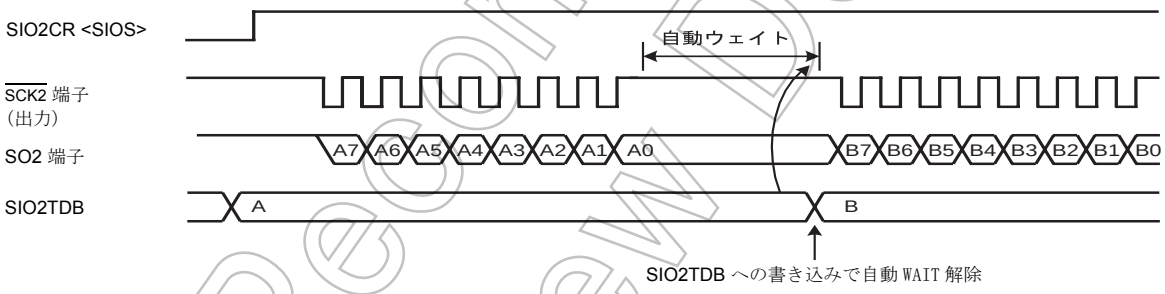


図 15-2　自動ウェイト機能 (送信モードの例)

表 15-1 シリアルクロックレート (fc = 16 MHz, fs = 32.768 Hz)

	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	TBTCR<DV7CK> = "0"		TBTCR<DV7CK> = "1"		シリアルクロック	転送速度
SCK	シリアルクロック	転送速度	シリアルクロック	転送速度		
000	$fc/2^{12}$	3.906 kbps	$fs/2^4$	2048 bps	$fs/2^4$	2048 bps
001	$fc/2^8$	62.5 kbps	$fc/2^8$	62.5 kbps	Reserved	–
010	$fc/2^7$	125 kbps	$fc/2^7$	125 kbps	Reserved	–
011	$fc/2^6$	250 kbps	$fc/2^6$	250 kbps	Reserved	–
100	$fc/2^5$	500 kbps	$fc/2^5$	500 kbps	Reserved	–
101	$fc/2^4$	1.00 Mbps	$fc/2^4$	1.00 Mbps	Reserved	–
110	$fc/2^3$	2.00 Mbps	$fc/2^3$	2.00 Mbps	Reserved	

Not Recommended for New Design

（2） 外部クロック

SIO2CR <SCK> に “111B” を設定すると、外部から $\overline{\text{SCK2}}$ 端子に供給されるクロックが、シリアルクロックとして使用されます。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は、“H” レベル、“L” レベルともに 4/fc 以上必要です。

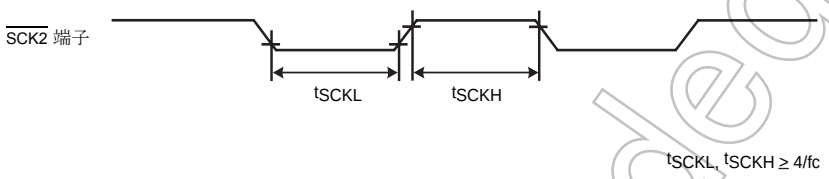


図 15-3 外部クロック

15.3.1.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

（1） 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK2}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

（2） 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK2}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

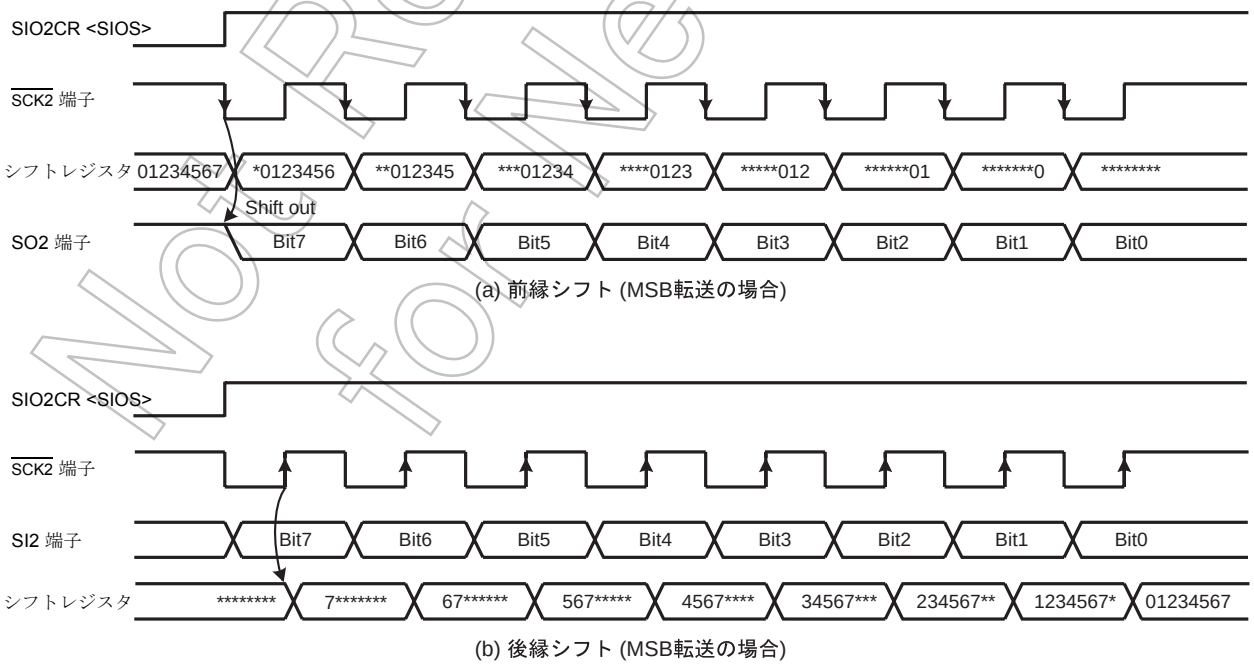


図 15-4 シフトエッジ

Not Recommended for New Design

15.3.2 転送ビット方向

転送ビット方向は、SIO2CR <SIODIR> によって選択されます。なお、データの転送方向は、送信、受信で個別に設定することはできません。また、転送ビット方向の変更は、SIO 動作停止中 (SIO2SR <SIOF>= “0”) に行ってください。

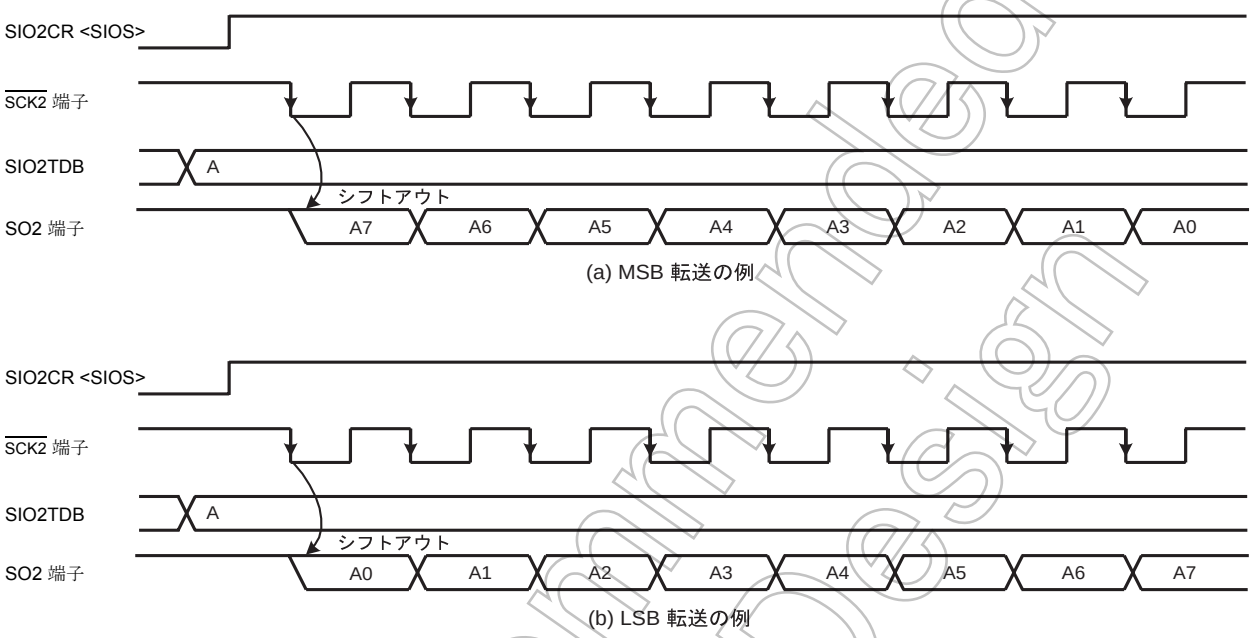


図 15-5 転送ビット方向 (送信モードの例)

15.3.2.1 送信モード

（1） MSB 転送

SIO2CR <SIODIR> に “0” を書き込むと MSB 送信モードとなり、SO2 端子から、送信データのビット 7 よりビット 0 へと順次送信されます。

（2） LSB 転送

SIO2CR <SIODIR> に “1” を書き込むと LSB 送信モードとなり、SO2 端子から、送信データのビット 0 よりビット 7 へと順次送信されます。

15.3.2.2 受信モード

（1） MSB 受信

SIO2CR <SIODIR> に “0” を書き込むと MSB 受信モードとなり、SI2 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

Not Recommended for New Design

（2） LSB 受信

SIO2CR <SIODIR> に “1” を書き込むと LSB 受信モードとなり、SI2 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

15.3.2.3 送受信モード

（1） MSB 送受信

SIO2CR <SIODIR> に “0” を書き込むと MSB 送受信モードとなり、SO2 端子から、送信データのビット 7 よりビット 0 へと順次送信され、SI2 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

（2） LSB 送受信

SIO2CR <SIODIR> に “1” を書き込むと LSB 送受信モードとなり、SO2 端子から、送信データのビット 0 よりビット 7 へと順次送信され、SI2 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

15.3.3 転送モード

転送モードは、SIO2CR <SIOM> によって送信 / 受信 / 送受信モードのいずれかを選択できます。

15.3.3.1 送信モード

SIO2CR <SIOM> に “00B” を設定すると、送信モードになります。

（1） 送信開始

SIO2CR <SIOM> に “00B” を書き込むことによって送信モードに設定し、SIO2CR <SCK> でシリアルクロックを、SIO2CR <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO2TDB) に送信データをセットすると、SIO2SR<TXF> が “0” にクリアされます。

SIO2CR <SIOS> に “1” を書き込むと、$\overline{\text{SCK2}}$ 端子の立ち下がりエッジに同期して、SIO2SR<SIOF> が “1” にセットされます。

SO2 端子から $\overline{\text{SCK2}}$ 端子の立ち下がりエッジに同期して、SIO2CR <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。

$\overline{\text{SCK2}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO2SR<SEF> が “1” にセットされます。

SIO2TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK2}}$ 端子の立ち上がりで、SIO2SR<TXF> が “1” にセットされます。また、次の $\overline{\text{SCK2}}$ 端子の立ち下がりで INTSIO2 割り込み要求が発生します。

注 1) 内部クロック動作の場合、送信バッファに送信データを書き込まれていない状態で SIO2CR <SIOS> に “1” をセットしても、送信は開始されません。

注 2) 内部クロック動作の場合、SIO2CR <SIOS> が “1” にセットされると、最大で、選択されているシリアルクロックの 1 周期後、SIO2TDB に書き込まれたデータがシフトレジスタに転送され、$\overline{\text{SCK2}}$ 端子からシリアルクロックが出力されます。

Not Recommended for New Design

注 3)　外部クロック動作の場合、SIO2CR <SIOS> が “1” にセットされた後、$\overline{\text{SCK2}}$ 端子の立ち下がりエッジが入力されると、直ちに SIO2TDB に書き込まれたデータがシフトレジスタに転送され、SO2 端子から、SIO2CR <SIODIR> で選択した転送ビット方向より順に送信が開始されます。

(2) 送信動作中

SIO2TDB にデータを書き込むと、SIO2SR<TXF> は “0” にクリアされます。

内部クロック動作において、8 ビットの送信データすべての送信が終了したとき、次に送信するデータが SIO2TDB に書き込まれていない場合、自動ウェイト機能が動作して $\overline{\text{SCK2}}$ 端子が “H” レベルになります。送信するデータを SIO2TDB に書き込むと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、送信動作が再開されます。

SIO2SR <TXF> が “1” のとき、8 ビットの送信データすべてを送信する前に SIO2TDB にデータを書き込むと、送信中のデータが送信された後、続けて書き込んだデータが送信されます。

外部クロック動作のとき、SIO2SR<TXF> が “1” にセットされてから、次のデータのシフト動作に入る前に、送信データを SIO2TDB に書き込む必要があります。送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO2SR<TXERR> が “1” にセットされ、INTSIO2 割り込み要求が発生します。

(3) 送信終了

送信動作を終了させるには、以下の 2 つの方法があります。

- SIO2CR <SIOS> に “0” を書き込む方法
  SIO2CR <SIOS> に “0” を書き込むと、すべての送信データが転送を終了した後、送信動作を停止します。送信動作が終了すると SIO2SR<SIOF> が “0” にクリアされ、SO2 端子が "H" レベルになります。
  外部クロック動作の場合、次の転送の開始によって SIO2SR<SEF> が “1” にセットされる前に、SIO2CR <SIOS> に “0” を書き込みます。
- SIO2CR <SIOINH> に “1” を書き込む方法
  SIO2CR <SIOINH> に “1” を書き込むと、直ちに送信を終了します。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

Not Recommended for New Design

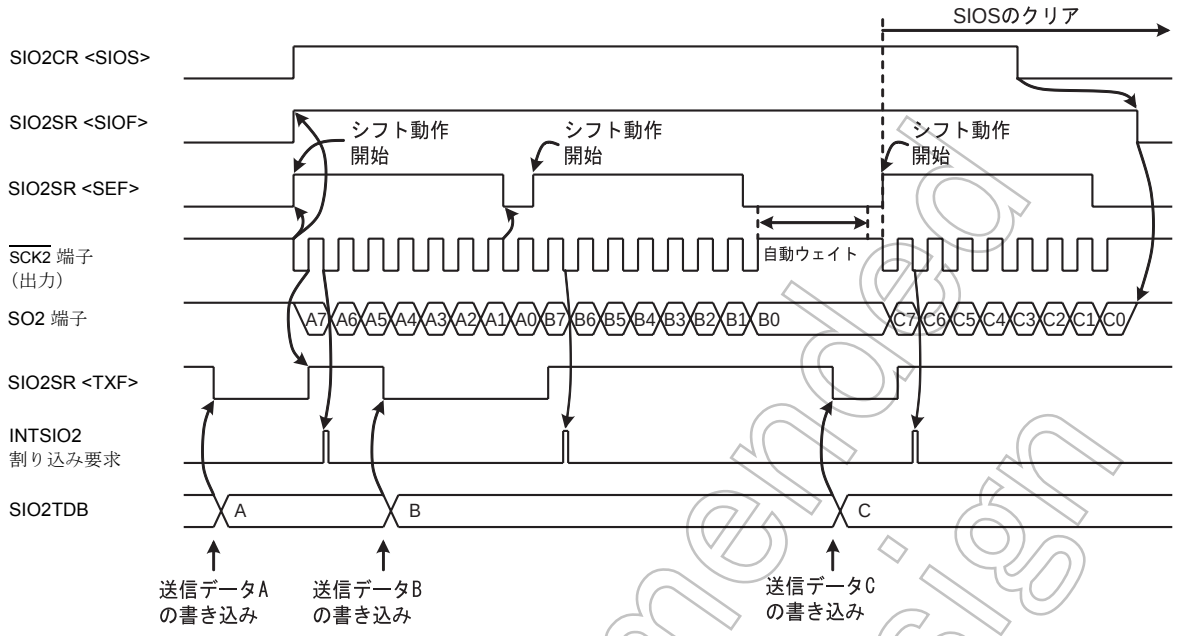


図 15-6 内部クロック、MSB 送信の例

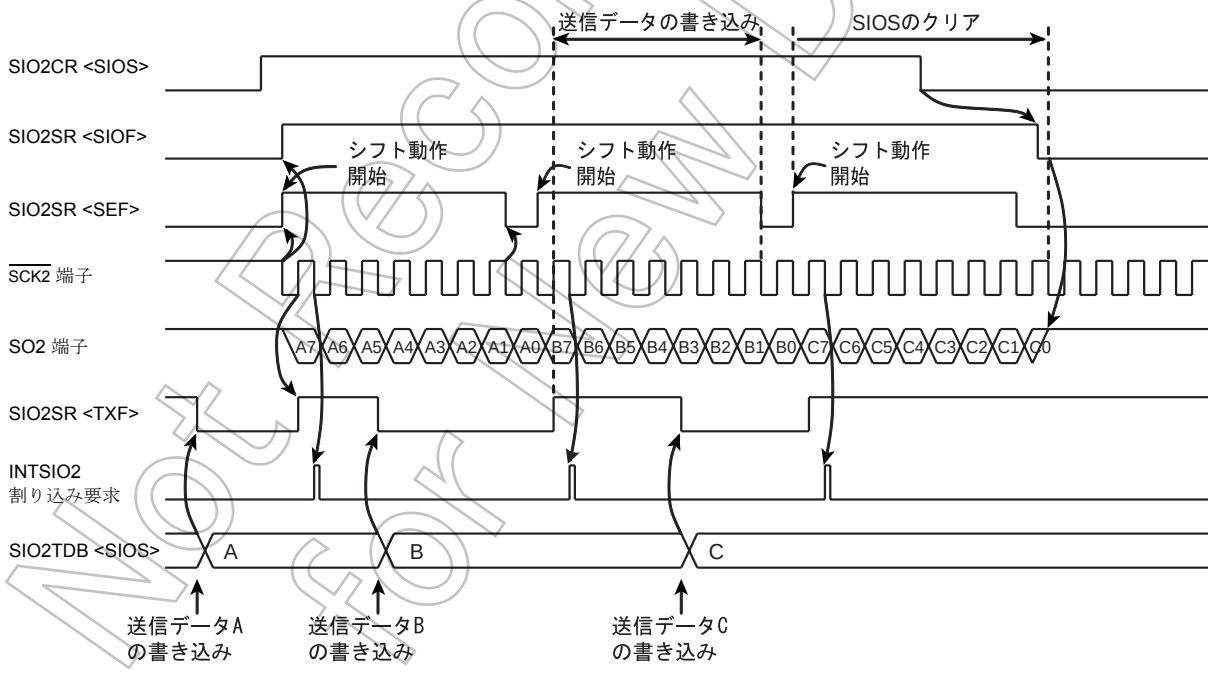


図 15-7 外部クロック、MSB 送信の例

Not Recommended for New Design

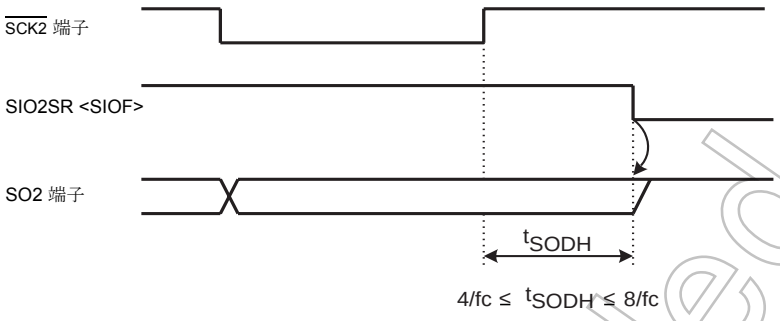


図 15-8 送信終了時のデータ保持時間

(4) 送信エラー処理

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、次の送信データを SIO2TDB に書き込む前に、シフト動作が開始された場合。
  送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO2SR <TXERR> が “1” にセットされ、シフト動作が行われた次のクロックの立ち下がりで INTSIO2 割り込み要求が発生します。
  SIO2CR <SIOS> を “1” にセットした後、SIO2TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO2SR<TXERR> が “1” にセットされると同時に、INTSIO2 割り込み要求が発生します。
  SIO2SR <TXERR> が “1” にセットされると、SO2 端子からは “H” レベルが出力されます。
  送信エラーが発生した場合、SIO2CR <SIOINH> に “1” を書き込み、送信動作を強制停止させます。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

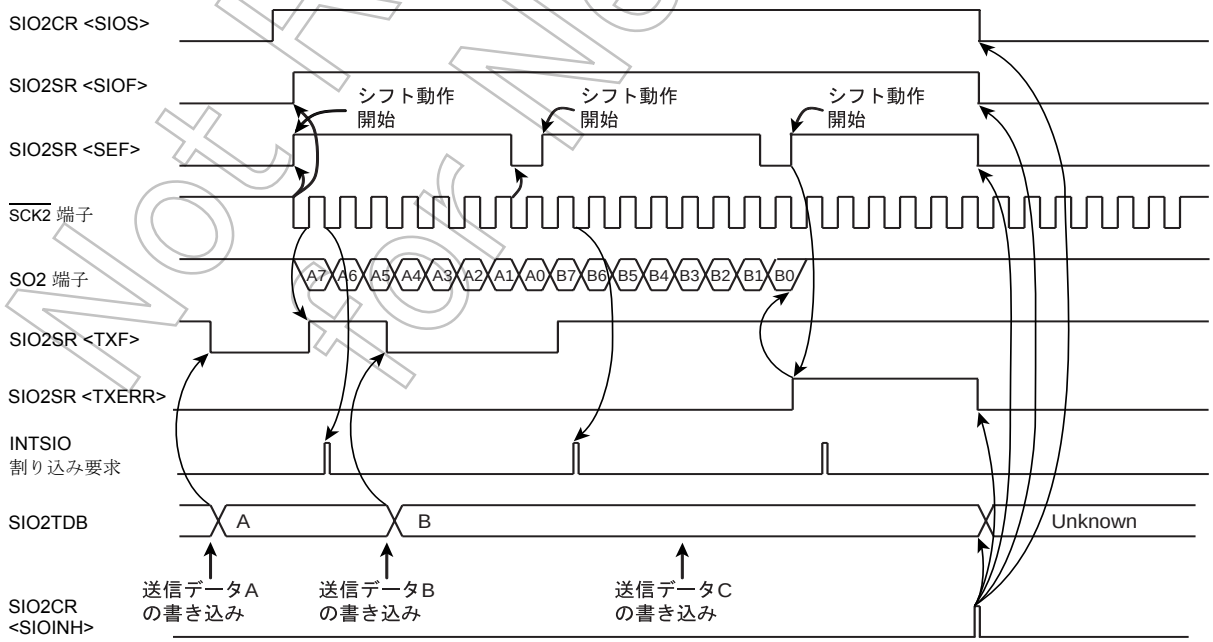


図 15-9 送信モードエラー処理の例

Not Recommended for New Design

15.3.3.2 受信モード

SIO2CR <SIOM> に “01B” を書き込むと、受信モードになります。

(1) 受信開始

SIO2CR の SIO2CR <SIOM> に、“01B” を書き込み受信モードに設定し、SIO2CR <SCK> でシリアルクロックを、SIO2CR <SIODIR> で転送ビット方向を設定します。

$\overline{\text{SCK2}}$ 端子の立ち上がりエッジに同期して、SI2 端子から SIO2CR <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK2}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりエッジまでの間、SIO2SR<SEF> が “1” にセットされます。

8 ビットのデータが受信されると受信データがシフトレジスタから SIO2RDB に転送され、SIO2SR<RXF> が “1” にセットされるとともに、INTSIO2 割り込み要求が発生します。

注） 内部クロック動作の場合、SIO2CR <SIOS> が “1” にセットされると、最大、選択されているシリアルクロックの 1 周期分後、$\overline{\text{SCK2}}$ 端子からシリアルクロックが出力されます。

(2) 受信動作中

SIO2RDB からデータを読み出すと、SIO2SR<RXF> は “0” にクリアされます。

内部クロック動作において、8 ビットの受信データすべての受信が終了したとき、自動ウェイト機能が動作し $\overline{\text{SCK2}}$ 端子が “H” レベルになります。SIO2RDB から受信データを読み出すと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、受信動作が再開されます。

外部クロック動作のとき、SIO2SR<RXF> が “1” にセットされてから、次の受信データのシフト動作が終了する前に、SIO2RDB から受信データを読み出す必要があります。受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO2SR<RXERR> が “1” にセットされ、INTSIO2 割り込み要求が発生します。

(3) 受信終了

受信動作を終了させるには、以下の 2 つの方法があります。

- SIO2CR <SIOS> に “0” を書き込む方法
  SIO2CR <SIOS> に “0” を書き込むと、すべての受信データが転送を終了した後、受信動作を停止します。受信動作が終了すると、SIO2SR<SIOF> が “0” にクリアされます。
  外部クロック動作の場合、次の転送が開始によって SIO2SR<SEF> が “1” にセットされる前に、SIO2CR <SIOS> に “0” を書き込みます。
- SIO2CR <SIOINH> に “1” を書き込む方法
  SIO2CR <SIOINH> に “1” を書き込むと、直ちに受信を終了します。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

Not Recommended for New Design

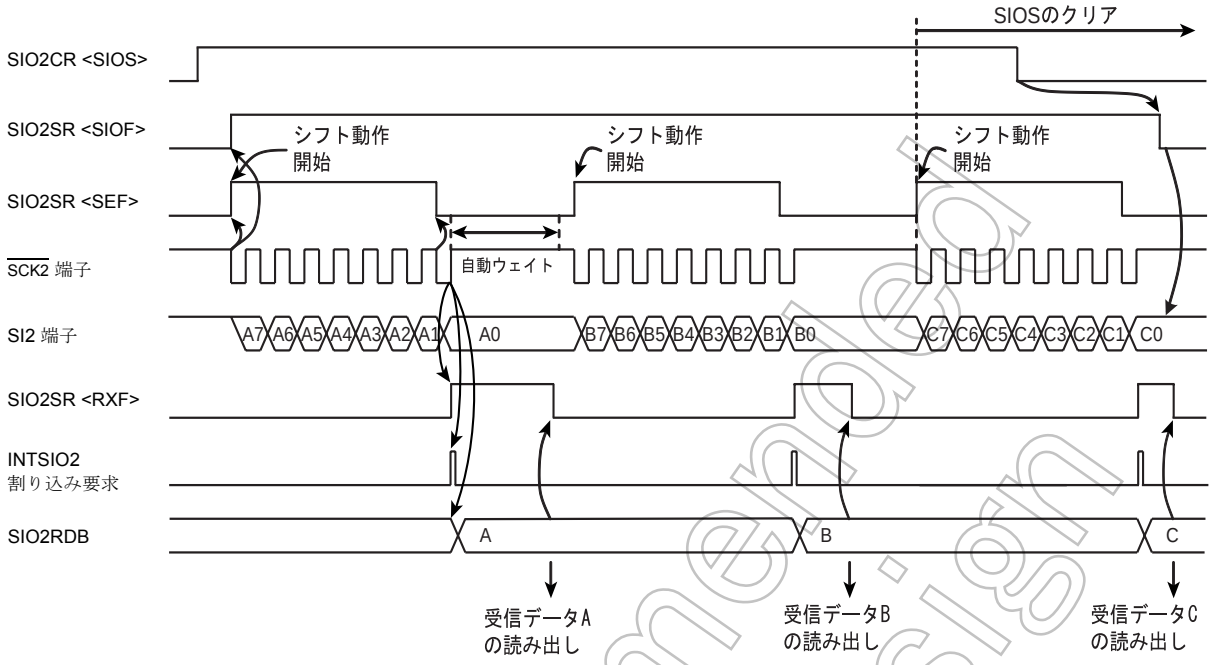


図 15-10 内部クロック、MSB 受信の例

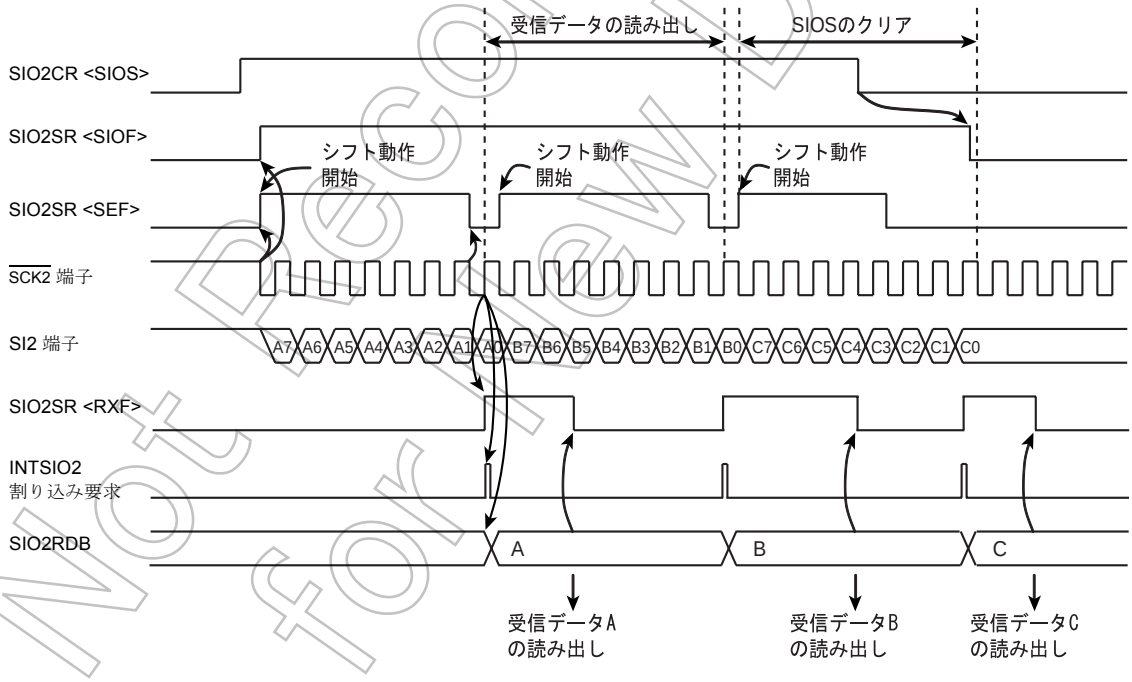


図 15-11 外部クロック、MSB 受信の例

(4) 受信エラー処理

下記の状態が発生すると受信エラーとなり、SIO2SR<RXERR> が “1” にセットされ、SIO2RDB とシフトレジスタ内のデータを保護するため、エラー発生以降の受信データは無視されます。

- 外部クロック動作のとき、SIO2SR<RXF> が “1” の状態で、受信データを SIO2RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

Not Recommended for New Design

受信エラーが発生した場合、エラー直前の受信データを読み出すには SIO2CR <SIOS> に “0” を書き込み、受信動作を停止させます。次に、SIO2RDB からデータを読み出します。その後、再度 SIO2RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO2SR<RXERR> に “0” を書き込むと、SIO2SR<RXF> が “0” にクリアされます。SIO2CR <SIOS> を “0” にクリアした後、8 ビット分のシリアルクロックが $\overline{\text{SCK2}}$ 端子から入力されると、SIO2SR<SIOF> が “0” にクリアされ、受信動作は停止します。受信動作を再開する場合には、SIO2SR<SIOF> が “0” にクリアされたことを確認してから行ってください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO2CR <SIOINH> に “1” を書き込み、受信動作を強制停止させます。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

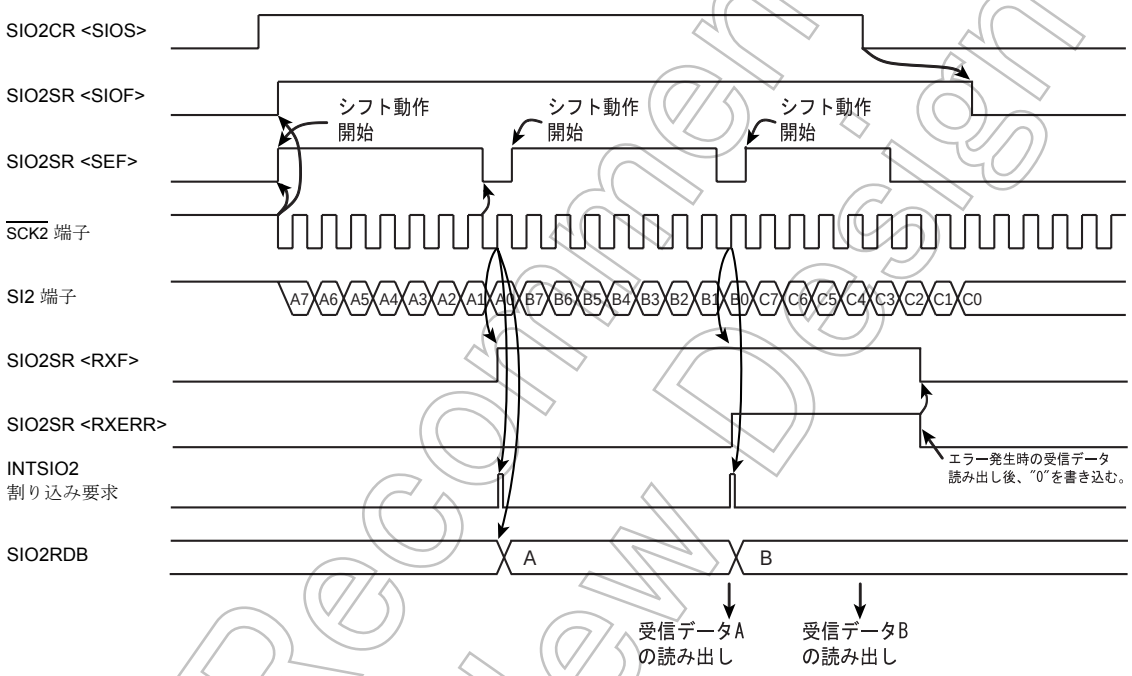


図 15-12 受信モードエラー処理の例

注） 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

15.3.3.3 送受信モード

SIO2CR <SIOM> に “10B” を書き込むと、送受信モードになります。

(1) 送受信開始

SIO2CR の SIO2CR <SIOM> に “10B” を書き込み、送受信モードに設定し、SIO2CR <SCK> でシリアルクロックを、SIO2CR <SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO2TDB) に送信データをセットします。送信バッファレジスタにデータが書き込まれると、SIO2SR<TXF> が “0” にクリアされます。

SIO2CR <SIOS> に “1” を書き込むと、$\overline{\text{SCK2}}$ 端子の立ち下がりエッジに同期して、SIO2SR<SIOF> が “1” にセットされます。

Not Recommended for New Design

SO2 端子から $\overline{\text{SCK2}}$ 端子の立ち下がりに同期して、SIO2CR <SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。また、$\overline{\text{SCK2}}$ 端子の立ち上がりに同期して、SIO2CR <SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK2}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO2SR<SEF> が “1” にセットされます。

SIO2TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK2}}$ 端子の立ち上がりで、SIO2SR<TXF> が “1” にセットされます。また、8 ビットのデータが受信されると、受信データがシフトレジスタから SIO2RDB に転送され、SIO2SR<RXF> が “1” にセットされるとともに、INTSIO2 割り込み要求が発生します。

注 1)　内部クロック動作の場合、SIO2CR <SIOS> を “1” にセットすると、最大で、選択されているシリアルクロック 1 周期分後、SIO2TDB に書き込まれたデータがシフトレジスタに転送され、$\overline{\text{SCK2}}$ 端子からシリアルクロックが出力されます。

注 2)　外部クロック動作の場合、SIO2CR <SIOS> を “1” にセットした後、$\overline{\text{SCK2}}$ 端子の立ち下がりエッジが入力されると、直ちに SIO2TDB に書き込まれたデータがシフトレジスタに転送されます。また $\overline{\text{SCK2}}$ 端子の立ち上がりエッジが入力されると、受信動作を開始します。

(2) 送受信動作中

SIO2TDB にデータを書き込むと、SIO2SR<TXF> は “0” にクリアされます。また、SIO2RDB を読み出すと、SIO2SR<RXF> は “0” にクリアされます。

内部クロック動作において、8 ビットのデータすべての転送が終了したとき、以下に示す条件下では $\overline{\text{SCK2}}$ 端子が “H” レベルになり、自動ウェイト機能が動作します。

- SIO2RDB から受信データを読み出した後、次の送信データが SIO2TDB に書き込まれない場合
- 次の送信データを SIO2TDB に書き込んだ後、SIO2RDB から受信データが読み出されない場合
- 転送後、SIO2TDB、SIO2RDB ともにアクセスされない場合

SIO2RDB から受信データを読み出した後、送信データを SIO2TDB に書き込むか、送信データを SIO2TDB に書き込んだ後、SIO2RDB から受信データを読み出すと、最大で、選択されているシリアルクロック 1 周期分後、自動ウェイト状態は解除され、送受信が再開されます。

外部クロック動作のとき、次のシフト動作に入る前に、SIO2RDB から受信データを読み出し、送信データを SIO2TDB に書き込む必要があります。

SIO2SR <TXF> が “1” にセットされた後に、送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO2SR<TXERR> が “1” にセットされます。

また、SIO2SR<RXF> が “1” にセットされてから、次の受信データのシフト動作終了前に SIO2RDB から受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO2SR<RXERR> が “1” にセットされます。

(3) 送受信終了

送受信動作を終了させるには、以下の 2 つの方法があります。

- SIO2CR <SIOS> に “0” を書き込む方法
  SIO2CR <SIOS> に “0” を書き込むと、送受信しているデータがすべて転送された後、送受信動作を停止します。送受信が終了すると SIO2SR<SIOF> が “0” にクリアされ、SO2 端子が “H” レベルになります。
  外部クロック動作の場合、次のデータの転送が始まることによって SIO2SR<SEF> が “1” になる前に、SIO2CR <SIOS> に “0” を書き込みます。

Not Recommended for New Design

- SIO2CR <SIOINH> に “1” を書き込む方法
  SIO2CR <SIOINH> に “1” を書き込むと、直ちに送受信を終了します。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

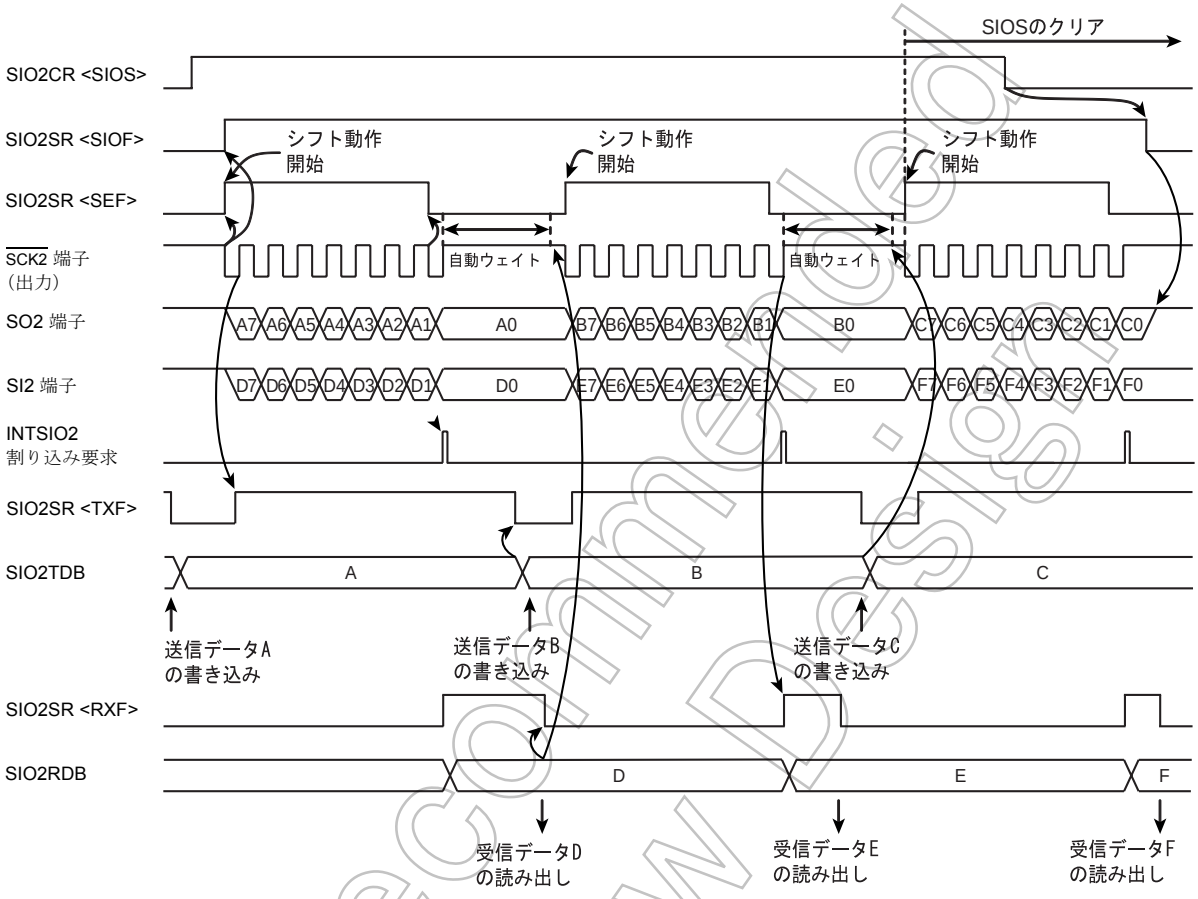


図 15-13 内部クロック、MSB 送受信の例

Not Recommended for New Design

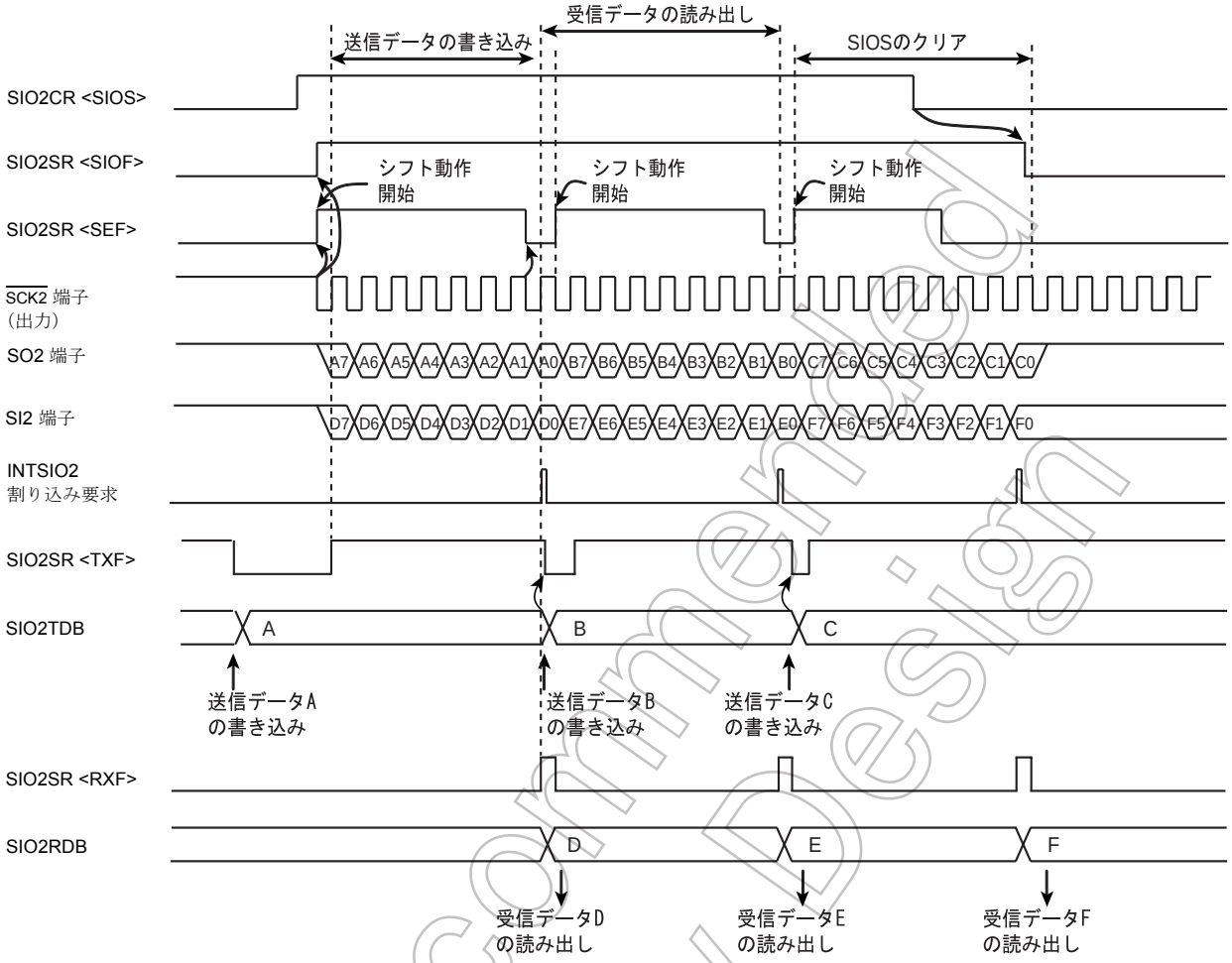


図 15-14 外部クロック、MSB 送受信の例

(4) 送受信エラー処理

下記の状態が発生すると、送受信エラーとなります。送信、受信のどちらでエラーが発生したかによって、エラー発生時の動作が異なります。

(a) 送信エラー

下記の状態が発生すると、送信エラーとなります。

・外部クロック動作のとき、送信データを SIO2TDB に書き込む前にシフト動作が開始された場合。

送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO2SR <TXERR> が “1” にセットされ、8 ビットのデータが受信された後、INTSIO2 割り込み要求が発生します。

SIO2CR <SIOS> を “1” にセットし、SIO2TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO2SR<TXERR> が “1” にセットされ、8 ビットのデータが受信された後に INTSIO2 割り込み要求が発生します。

SIO2SR<TXERR> が “1” にセットされると、SO2 端子からは “H” レベルが出力されます。

送信エラーが発生した場合は、受信データを読み出した後、SIO2CR <SIOINH> に “1” を書き込み、送受信動作を強制停止させます。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

Not Recommended for New Design

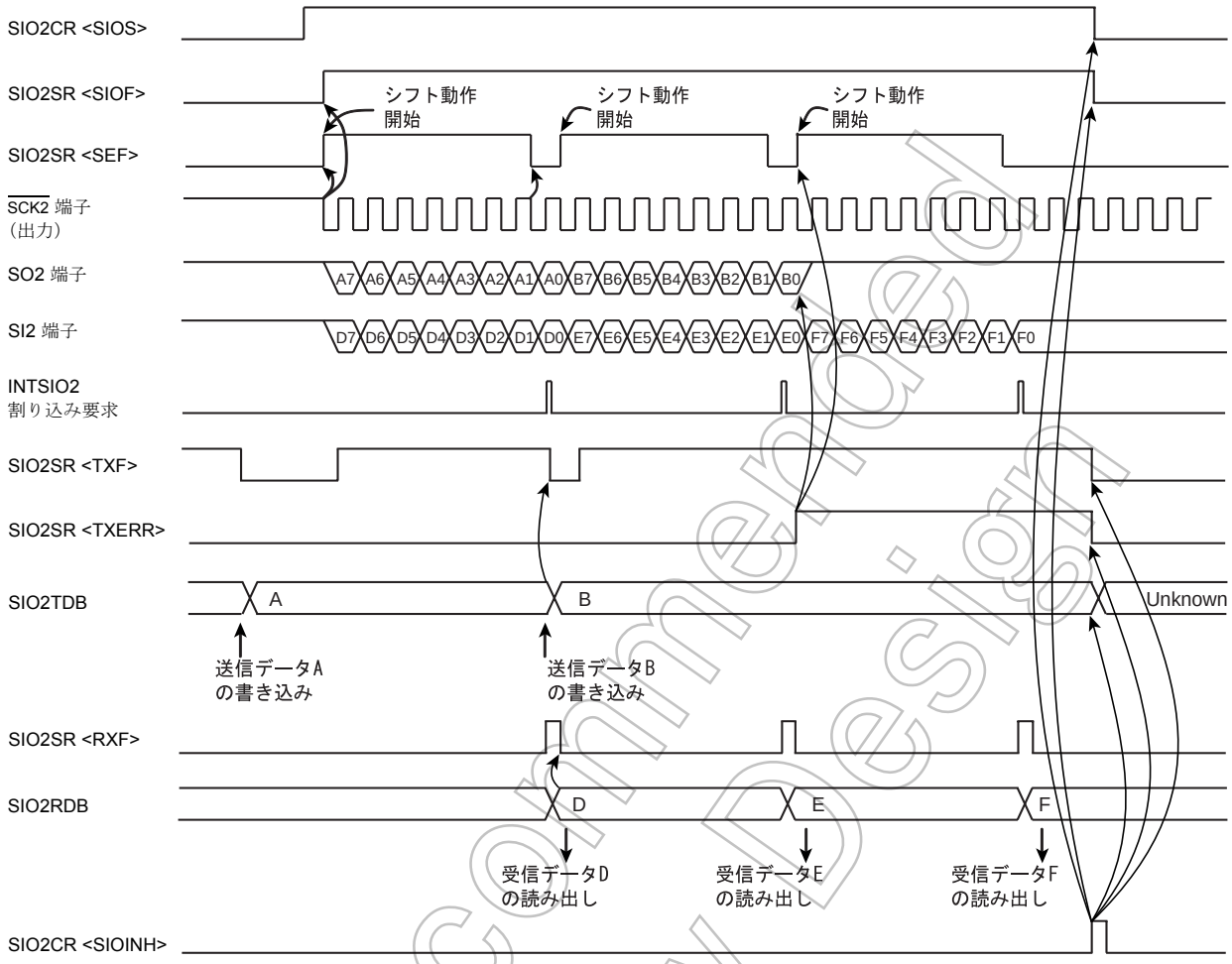


図 15-15 送受信モード (送信) エラー処理の例

(b) 受信エラー

下記の状態が発生すると受信エラーとなり、SIO2SR<RXERR> が “1” にセットされ、SIO2RDB とシフトレジスタ内のデータを保護するため、エラー発生以降のデータは無視されます。

・外部クロック動作のとき、SIO2SR<RXF> が “1” の状態で受信データを SIO2RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには、SIO2CR <SIOS> に “0” を書き込み受信を停止させます。次に、SIO2RDB からデータを読み出します。その後、再度 SIO2RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO2SR<RXERR> に “0” を書き込むと、SIO2SR <RXF> が “0” にクリアされます。SIO2CR <SIOS> を “0” にクリアした後、8 ビット分のシリアルクロックが $\overline{\text{SCK2}}$ 端子から入力されると、SIO2SR<SIOF> が “0” にクリアされ、受信動作は停止します。受信を再開する場合には、SIO2SR<SIOF> が “0” にクリアされたことを確認してください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO2CR <SIOINH> に “1” を書き込み、受信動作を強制停止させます。この場合、SIO2CR <SIOS>、SIO2SR レジスタ、SIO2RDB レジスタ、SIO2TDB レジスタが初期化されます。

Not Recommended for New Design

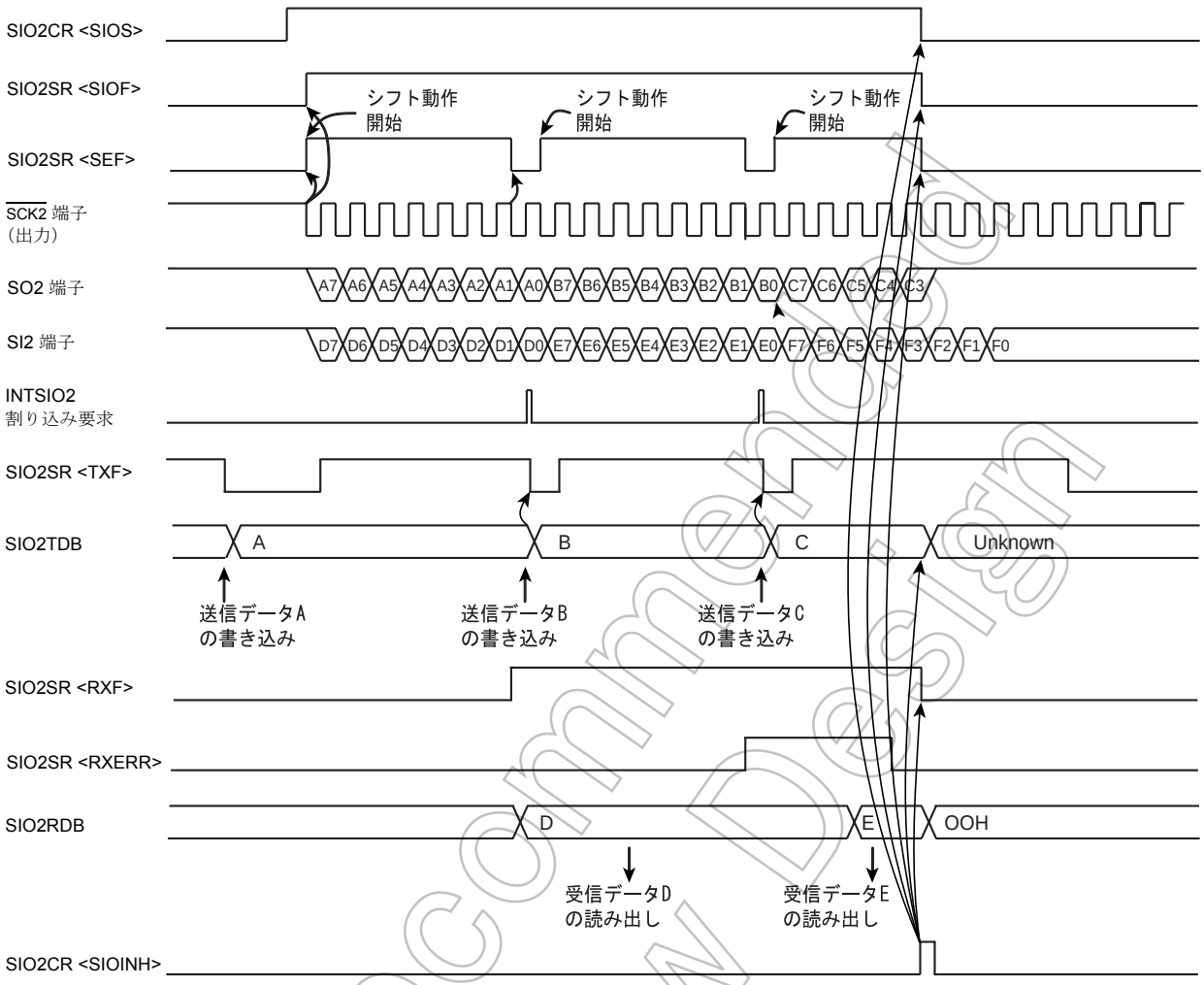


図 15-16 送受信モード (受信) エラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

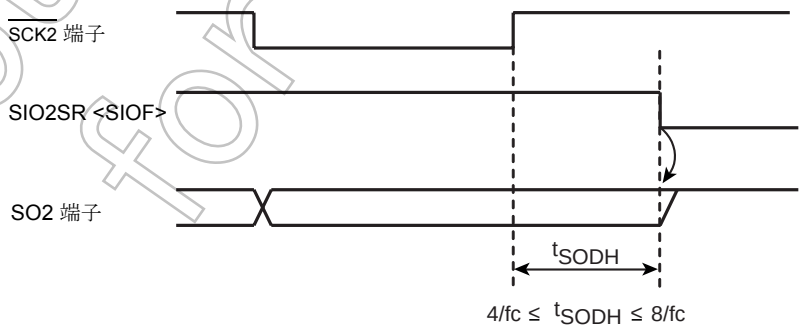


図 15-17 送受信終了時のデータ保持時間

Not Recommended for New Design

第 16 章 シリアルバスインタフェース（I²C バス）ver.-D (SBI)

TMP86CS49FG は、I²C バスとして機能するシリアルバスインタフェースを内蔵しています。シリアルバスインタフェースは、SDA と SCL を通して外部デバイスと接続されます。

シリアルバスインタフェース端子はポートと兼用で、シリアルバスインタフェース端子として使用する場合、対応するポートの出力ラッチを “1” にセットします。シリアルバスインタフェース端子として使用しない場合は、ポートは通常の入出力ポートとして使用できます。

注 1) シリアルバスインタフェースは、NORMAL1/2 と IDLE1/2 モード時のみ使用できます。IDLE0、SLOW1/2、SLEEP0/1/2 モードでは使用できませんので、これらのモードに遷移するときには必ずシリアルバスインタフェースを停止してください。.

注 2) TMP86CS49FG の I²C バスは標準モードでのみ使用できます。高速モード、ハイスピードモードでは使用できません。

注 3) ポート設定の詳細については、I/O ポートの章を参照ください。

16.1 構成

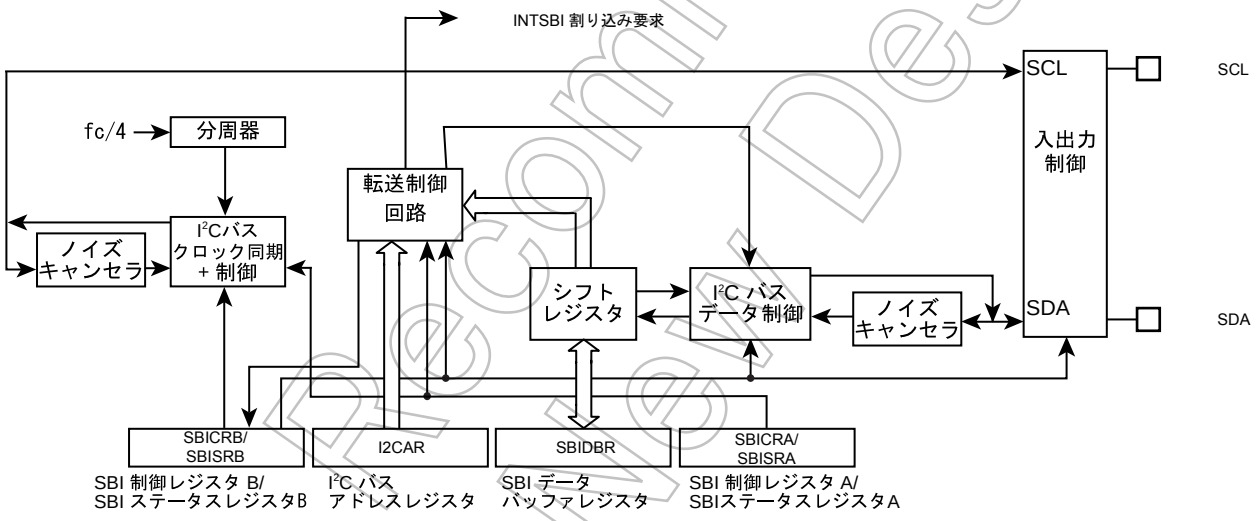


図 16-1 シリアルバスインタフェース (SBI)

Not Recommended for New Design

16.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ A (SBICRA)
- シリアルバスインタフェース制御レジスタ B (SBICRB)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I^2C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ A (SBISRA)
- シリアルバスインタフェースステータスレジスタ B (SBISRB)

16.3 ソフトウエアリセット

シリアルバスインタフェース回路は、シリアルバスインタフェース回路を初期化するソフトウエアリセット機能を持っています。ノイズなどによりシリアルバスインタフェース回路がロックしたとき、この機能を使うことでシリアルバスインタフェース回路を初期化することができます。

シリアルバスインタフェース回路をリセットする場合、SWRST (SBICRB のビット 1、0) に “10”、“01” の順に書き込みを行います。

また、SBISRA<SWRMON> を読み出すことで、リセット信号が入力されているかをモニタすることができます。

Not Recommended for New Design

16.4 I²C バスのデータフォーマット

I²C バスのデータフォーマットを図 16-2 に示します。

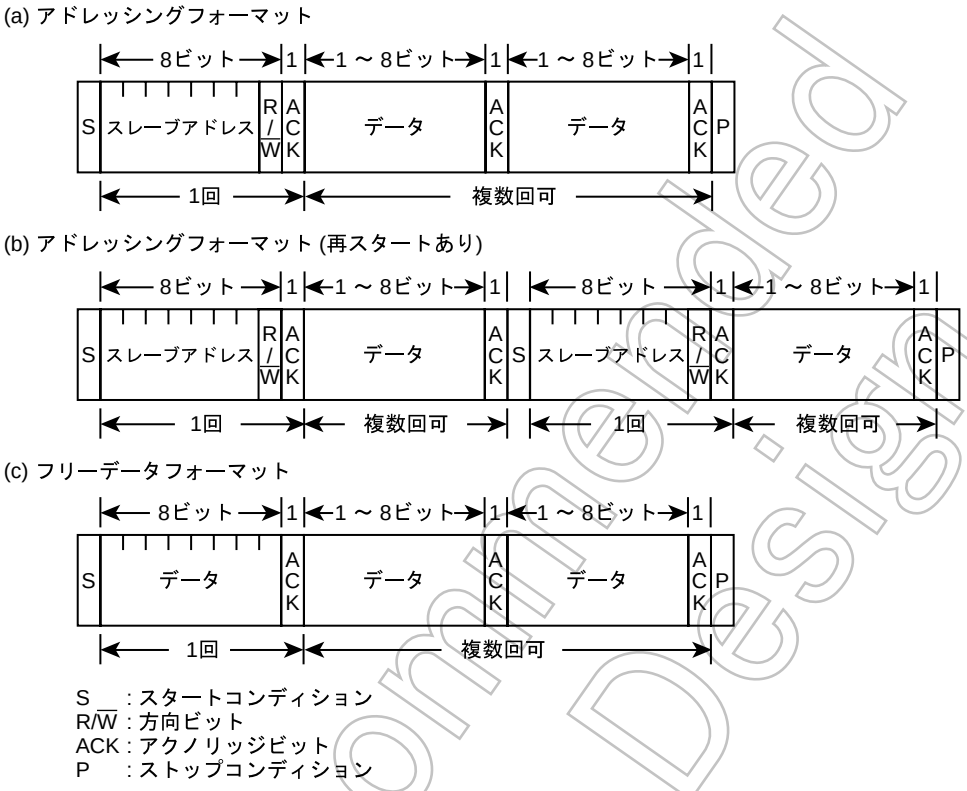


図 16-2 I²C バスのデータフォーマット

Not Recommended for New Design

16.5 シリアルバスインタフェースの制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ A

SBICRA (0F90H)

7	6	5	4	3	2	1	0
BC			ACK		SCK		

(初期値 : 0000 *000)

		BC	ACK = 0 のとき		ACK = 1 のとき		
			クロック数	データ長	クロック数	データ長	
BC	転送ビット数の選択	000:	8	8	9	8	Write only
		001:	1	1	2	1	
		010:	2	2	3	2	
		011:	3	3	4	3	
		100:	4	4	5	4	
		101:	5	5	6	5	
		110:	6	6	7	6	
		111:	7	7	8	7	
ACK	アクノリッジメントのためのクロック発生の選択	ACK	マスタモード		スレーブモード		R/W
		0:	アクノリッジのためのクロックを発生しない。		アクノリッジのためのクロック数をカウントしない。		
		1:	アクノリッジのためのクロックを発生する。		アクノリッジのためのクロック数をカウントする。		
SCK	シリアルクロック (fscl) 周波数の選択 (SCL 端子への出力) [fscl = 1/(2^{n+1}/fc + 8/fc)]	SCK	n	fc = 16 MHz 時	fc = 8 MHz 時	fc = 4 MHz 時	Write only
		000:	4	Reserved	Reserved	100.0 kHz	
		001:	5	Reserved	Reserved	55.6 kHz	
		010:	6	Reserved	58.8 kHz	29.4 kHz	
		011:	7	60.6 kHz	30.3 kHz	15.2 kHz	
		100:	8	30.8 kHz	15.4 kHz	7.7 kHz	
		101:	9	15.5 kHz	7.8 kHz	3.9 kHz	
		110:	10	7.8 kHz	3.9 kHz	1.9 kHz	
		111:	Reserved				

注 1)　*: Don’t care、fc: 高周波クロック [Hz]

注 2)　SBICRA は、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3)　SCK は 100kHz を超える値に設定しないでください。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0F91H)

7	6	5	4	3	2	1	0

(初期値 : **** ****) R/W

注 1)　送信データを書き込むときには、データを MSB (ビット 7) 側につめて書き込んでください。

注 2)　SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3)　*: Don't care

I^2C バスアドレスレジスタ

I2CAR (0F92H)

7	6	5	4	3	2	1	0
スレーブアドレス							ALS
SA6	SA5	SA4	SA3	SA2	SA1	SA0	

(初期値 : 0000 0000)

Not Recommended for New Design

SA	スレーブアドレスの設定		Write only
ALS	アドレス認識モードの設定	0: スレーブアドレスを認識 1: スレーブアドレスを認識しない	

注 1) I2CAR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 2) I2CAR を “00H” に設定しないでください (“00H” に設定した場合、スレーブモードで I^2C バス規格の START バイト (“01H”) を受信したときにスレーブアドレスが一致したと判断します。)。

シリアルバスインタフェース制御レジスタ B

SBICRB (0F93H)

7	6	5	4	3	2	1	0
MST	TRX	BB	PIN	SBIM		SWRST1	SWRST0

(初期値 : 0001 0000)

MST	マスタ / スレーブの選択	0: スレーブ 1: マスタ	Write only
TRX	送信 / 受信の選択	0: レシーバ 1: トランスミッタ	
BB	スタート / ストップコンディションの発生	0: ストップコンディション発生 (MST, TRX, PIN が “1” のとき) 1: スタートコンディション発生 (MST, TRX, PIN が “1” のとき)	
PIN	割り込みサービス要求の解除	0: – (“0” にクリアすることはできません) 1: 割り込みサービス要求の解除	
SBIM	シリアルバスインタフェースの動作モード選択	00: ポートモード (シリアルバスインタフェースの出力禁止) 01: Reserved 10: I^2C バスモード 11: Reserved	
SWRST1 SWRST0	ソフトウエアリセット開始ビット	最初に “10” 、次に “01” を書き込むとソフトウエアリセットが発生する	

注 1) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

注 2) ポートモードから I^2C バスモードへの切り替えは、ポートの状態が “H” になっていることを確認後行ってください。

注 3) SBICRB は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 4) SWRST (レジスタ SBICRB のビット 1, 0) に “10”, “01” を書き込むと、ソフトウエアリセットが起こります。この場合、SBIM 以外の SBICRB レジスタの各ビットと、SBICRA, I2CAR, SBISRA, SBISRB レジスタが初期化されます。

Not Recommended for New Design

シリアルバスインタフェースステータスレジスタ A

SBISRA (0F90H)

7	6	5	4	3	2	1	0
							SWRMON

(初期値 : **** ***1)

SWRMON	ソフトウエアリセットモニタ	0:　ソフトウエアリセット中 1:　– (初期値)	Read only

シリアルバスインタフェースステータスレジスタ B

SBISRB (0F93H)

7	6	5	4	3	2	1	0
MST	TRX	BB	PIN	AL	AAS	AD0	LRB

(初期値 : 0001 0000)

MST	マスタ / スレーブ選択状態モニタ	0:　スレーブ 1:　マスタ	Read only
TRX	トランスミッタ / レシーバ選択状態モニタ	0:　レシーバ 1:　トランスミッタ	
BB	バス状態モニタ	0:　バスフリー 1:　バスビジー	
PIN	割り込みサービス要求状態モニタ	0:　割り込みサービス要求中 1:　割り込みサービス要求解除中	
AL	アービトレーションロスト検出モニタ	0:　– 1:　アービトレーションロスト検出	
AAS	スレーブアドレス一致検出モニタ	0:　– 1:　スレーブアドレス一致またはゼネラルコール検出	
AD0	ゼネラルコール検出モニタ	0:　– 1:　ゼネラルコール検出	
LRB	最終受信ビットモニタ	0:　最終受信ビット “0” 1:　最終受信ビット “1”	

Not Recommended for New Design

16.5.1 アクノリッジメントモードの指定

16.5.1.1 アクノリッジメントモード (ACK = “1”)

シリアルバスインタフェース回路をアクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を “1” にセットします。アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときは、アクノリッジ信号のためのクロックをカウントします。

シリアルバスインタフェース回路がマスタトランスミッタモードのとき、アクノリッジのためのクロック期間中、SDA 端子はレシーバからのアクノリッジ信号を受信するために端子を開放します。マスタレシーバモードのときは、クロック期間中、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスと I2CAR に設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。スレーブアドレス一致またはゼネラルコール受信後のデータ転送において、トランスミッタモードのときには、アクノリッジのためのクロック期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。表 16-1 にアクノリッジメントモードにおける SCL 端子と SDA 端子の状態を示します。

表 16-1 アクノリッジメントモードでの SCL 端子と SDA 端子の状態

<table>
<tr><th>モード</th><th colspan="2">端子</th><th>トランスミッタ</th><th>レシーバ</th></tr>
<tr><td rowspan="2">マスタ</td><td colspan="2">SCL</td><td colspan="2">アクノリッジのためのクロックを付加 .</td></tr>
<tr><td colspan="2">SDA</td><td>アクノリッジ信号受信のために端子を開放</td><td>アクノリッジ信号として端子に “L” を出力</td></tr>
<tr><td rowspan="3">スレーブ</td><td colspan="2">SCL</td><td colspan="2">アクノリッジのためのクロックをカウント</td></tr>
<tr><td rowspan="2">SDA</td><td>スレーブアドレスが一致したとき、またはゼネラルコールを受信したとき</td><td>–</td><td>アクノリッジ信号として端子に “L” を出力</td></tr>
<tr><td>スレーブアドレスが一致したとき、またはゼネラルコール受信後の通信時</td><td>アクノリッジ信号受信のために端子を開放</td><td>アクノリッジ信号として端子に “L” を出力</td></tr>
</table>

16.5.1.2 非アクノリッジメントモード (ACK = “0”)

シリアルバスインタフェース回路を非アクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を “0” にクリアします。非アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを発生しません。スレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

Not Recommended for New Design

16.5.2 転送ビット数の選択

BC (SBICRA のビット 7~5) により、次に送受信するデータのビット数を選択します。

BC はスタートコンディションにより “000” にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、BC は一度設定された値を保持します。

16.5.3 シリアルクロック

16.5.3.1 クロックソース

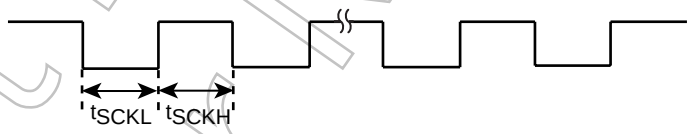
SCK (SBICRA のビット 2~0) で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

なお、マスタモード / スレーブモードともに外部から入力されるクロックの “H” レベル、“L” レベルは 4 マシンサイクル以上のパルス幅が必要です。

注) TMP86CS49FG の I^2C バスは、高速モードおよびハイスピードモードでは使用できませんので、SCK を 100 kHz を超える値に設定しないでください。

$t_{LOW} = 2^n/fc$
$t_{HIGH} = 2^n/fc + 8/fc$
$fscl = 1/(t_{LOW} + t_{HIGH})$

SCK (SBICRA のビット 2~0)	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10



$t_{SCKL}, t_{SCKH} > 4$ tcyc

Note 1: fc = 高周波クロック
Note 2: tcyc = 4/fc (NORMAL, IDLE モード時)

図 16-3 クロックソース

16.5.3.2 クロック同期化

I^2C バスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に “L” レベルに引いたマスタが、“H” レベルを出力しているマスタのクロックを無効にします。このため、“H” レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

Not Recommended for New Design

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。

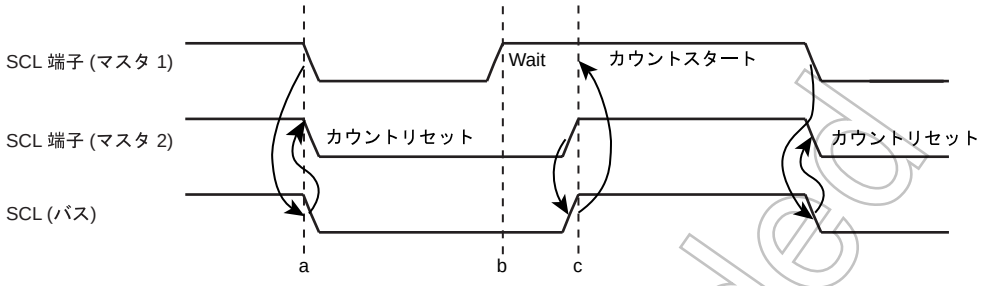


図 16-4 クロック同期化の例

a 点でマスタ 1 が SCL 端子を “L” レベルに引くことで、バスの SCL ラインは “L” レベルになります。マスタ 2 はこれを検出し、マスタ 2 の “H” レベル期間のカウントをリセットし、SCL 端子を “L” レベルに引きます。

b 点でマスタ 1 は “L” レベル期間のカウントを終わり、SCL 端子を “H” レベルにします。しかしマスタ 2 がバスの SCL ラインを “L” レベルに保持し続けているので、マスタ 1 は “H” レベル期間のカウントを始めません。マスタ 1 は、c 点でマスタ 2 が SCL 端子を “H” レベルにし、バスの SCL ラインが “H” レベルになったことを検出後、“H” レベル期間のカウントを始めます。その後、“H” レベル期間のカウントを終了したマスタが SCL 端子を “L” に引くことで、バスの SCL ラインは “L” レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い “H” レベル期間をもつマスタと、最も長い “L” レベル期間をもつマスタによって決定されます。

16.5.4 スレーブアドレスとアドレス認識モードの設定

シリアルバスインタフェース回路を、スレーブアドレスを認識するアドレッシングフォーマットで使用するときには、ALS (I2CAR のビット 0) を “0” にクリアし、SA (I2CAR のビット 7~1) にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには、ALS を “1” にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

16.5.5 マスタ / スレーブの選択

MST (SBICRB のビット 7) を “1” にセットすると、シリアルバスインタフェース回路はマスタデバイスとして動作します。

MST を “0” にクリアすると、スレーブデバイスとして動作します。MST はバス上のストップコンディションを検出したとき、またはアービトレーションロストを検出したとき、ハードウエアにより “0” にクリアされます。

16.5.6 トランスミッタ / レシーバの選択

TRX (SBICRB のビット 6) を “1” にセットすると、シリアルバスインタフェース回路はトランスミッタとして動作し、TRX を “0” にクリアするとレシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、ハードウエアによりマスタデバイスから送られてくる方向ビット (R/$\overline{W}$) が “1” の場合、TRX は “1” にセットされ、“0” の場合、TRX は “0” にク

Not Recommended for New Design

リアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより送信した方向ビットが “1” の場合、TRX は “0” にクリアされ、“0” の場合、TRX は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

TRX はバス上のストップコンディションを検出したとき、またはアービトレーションロストが検出されると、ハードウエアにより “0” にクリアされます。“ 表 16-2 各モードでの TRX の動作 ” に各モードでの TRX の変化条件と変化後の TRX の値を示します。

表 16-2 各モードでの TRX の動作

モード	方向ビット	変化条件	変化後の TRX
スレーブモード	"0"	受信したスレーブアドレスが I2CAR に設定された値と同じとき	"0"
	"1"		"1"
マスタモード	"0"	ACK 信号が返ってきたとき	"1"
	"1"		"0"

シリアルバスインタフェース回路を、フリーデータフォーマットで使用している場合、スレーブアドレス , 方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われるために、TRX はハードウエアによって変化することはありません。

16.5.7 スタート / ストップコンディションの発生

BB (SBISRB のビット 5) が “0” のときに、MST, TRX, BB, PIN に “1” を書き込むと、バス上に、スタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと、方向ビットが出力されます。あらかじめ ACK に “1” をセットしておいてください。

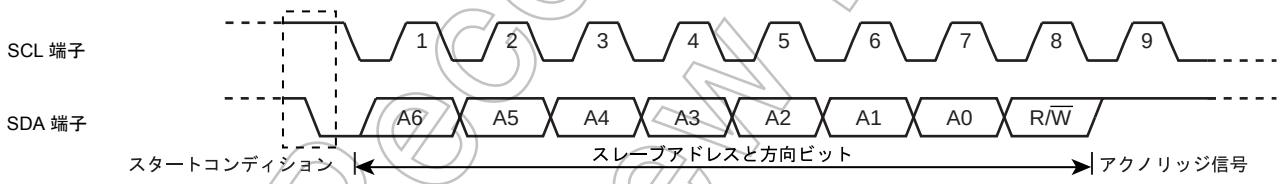


図 16-5 スタートコンディションの発生とスレーブアドレスの発生

BB=“1” のときに、MST と TRX, PIN に “1” を、BB に “0” を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB の内容を書き替えないでください。

ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより “L” レベルに引かれていた場合、SCL ラインが開放された後に、ストップコンディションが発生します。

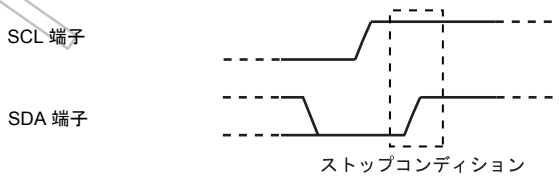


図 16-6 ストップコンディションの発生

また、BB (SBISRB のビット 5) を読み出すことで、バスの状態を知ることができます。BB は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にクリアされます (バスフリー状態)。

Not Recommended for New Design

16.5.8 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、BC と ACK によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求 (INTSBI) が発生します。スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

シリアルバスインタフェース割り込み要求が発生すると、PIN (SBISRB のビット 4) が “0” にクリアされます。PIN が “0” の間、SCL 端子が “L” レベルに引かれます。

SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと PIN が “1” にセットされます。なお、PIN が “1” にセットされてから SCL 端子が開放されるまで、t_{LOW} の時間がかかります。プログラムで PIN (SBICRB のビット 4) に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

注) マスタモードでアービトレーションロストが発生したとき、スレーブアドレスが一致しなかった場合は、PIN は “0” にクリアされません (INTSBI は発生します)。

16.5.9 シリアルバスインタフェースの動作モード

SBIM (SBICRB のビット 3~2) でシリアルバスインタフェースの動作モードを設定します。I^2C バスモードで使用するときは、シリアルバスインタフェース端子の状態が “H” になっていることを確認後、SBIM を “10” にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

16.5.10 アービトレーションロスト検出モニタ

I^2C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。

I^2C バスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。a 点のビットまでマスタ 1、マスタ 2 ともに同じデータを出力し、a 点でマスタ 1 がデータ “1” を出力、マスタ 2 がデータ “0” を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスタ 2 によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ 2 のデータを取り込みます。このときマスタ 1 の出力したデータは無効になります。マスタ 1 のこの状態を “ アービトレーションロスト ” と呼び、アービトレーションを失ったマスタは、SDA 端子 , SCL 端子を開放し、アービトレーションを失っていない、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが、1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は 2 ワード目以降も継続されます。

Not Recommended for New Design

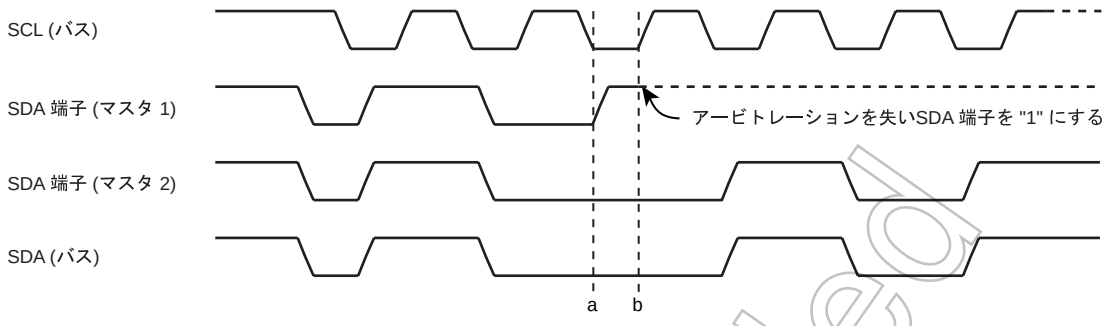


図 16-7 アービトレーションロスト

シリアルバスインタフェース回路では、バスの SDA ラインのレベルとシリアルバスインタフェース回路の SDA 端子のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、AL (SBISRB のビット 3) が “1” にセットされます。

AL が “1” にセットされると MST, TRX は “0” にリセットされ、スレーブレシーバモードになります。そのため、AL が “1” にセットされた後のデータの転送では、シリアルバスインタフェース回路はクロックの出力を停止します。

AL は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICRB にデータを書き込むと “0” にリセットされます。

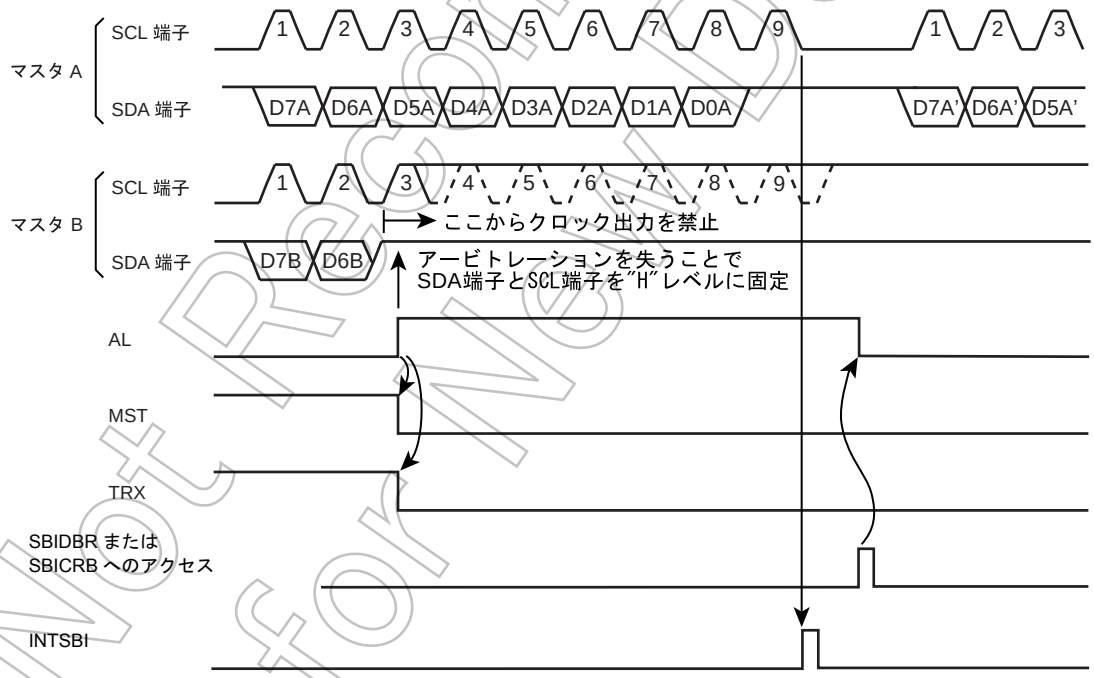


図 16-8 シリアルバスインタフェース回路がマスタ B の場合

Not Recommended for New Design

16.5.11 スレーブアドレス一致検出モニタ

AAS (SBISRB のビット 2) は、スレーブモード時、アドレッシングフォーマット (ALS="0") の場合、ゼネラルコールまたは、I2CAR にセットした値と同じスレーブアドレスを受信すると、"1" にセットされます。フリーデータフォーマット (ALS="1") のときは、最初の 1 ワードが受信されると "1" にセットされます。AAS は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと "0" にクリアされます。

16.5.12 ゼネラルコール検出モニタ

AD0 (SBISRB のビット 1) はスレーブモード時、ゼネラルコール (スタートコンディション直後に受信した 8 ビットのデータがすべて "0") のとき、"1" にセットされます。AD0 は、バス上のスタートコンディションまたはストップコンディションが検出されると、"0" にクリアされます。

16.5.13 最終受信ビットモニタ

LRB (SBISRB のビット 0) には、バス上の SCL ラインの立ち上がりで取り込まれたバス上の SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に LRB を読み出すと、アクノリッジ信号が読み出されます。

Not Recommended for New Design

16.6 I²C バスモード時のデータ転送手順

16.6.1 デバイスの初期化

最初に SBICRA の ACK に “1” を、BC に “000” を書き込むことによって、アクノリッジのためのクロック数を “ カウントする、” データ長を “8 ビット ” に設定します。また、SCK に転送周波数を設定します。

次に I2CAR の SA にスレーブアドレスを設定します。

その後、シリアルバスインタフェース端子の状態が “H” になっていることを確認し、SBICRB の MST, TRX, BB に “0” を、PIN に “1” を、SBIM に “10” を、SWRST1,0 に “00” を設定し、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に、ほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

16.6.2 スタートコンディション、スレーブアドレスの発生

バスフリー (BB=“0”) 状態を確認します。

ACK を “1” にセットし、SBIDBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PIN に “1” を書き込むと、バス上にスタートコンディションと、SBIDBR に設定したスレーブアドレスと、方向ビットが出力されます。なお、スタートコンディション出力後、SCL 端子が立ち下がるまで、t_{LOW} かかります。

この後、SCL の 9 クロック目の立ち下がりで INTSBI 割り込み要求が発生し、PIN が “0” にクリアされます。PIN が “0” の間、SCL 端子を “L” レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウエアにより、INTSBI 割り込み要求タイミングで TRX が方向ビットに合わせて変化します。

注 1) スレーブアドレスを出力するために SBIDBR を書き込むときは、事前に、ソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注 2) 出力するスレーブアドレスの書き込みから 98.0 μs (I²C バス規格による最短の転送時間) 以内に、再度ソフトウエアによるバスフリーの確認を行い、バスフリーが確認できたときのみ SBICRB の MST, TRX, BB, PIN に “1” を書き込み、スタートコンディションを発生させてください。この制約が守られない場合、SBIDBR へ出力するスレーブアドレスを書き込んでから SBICRB の MST, TRX, BB, PIN に “1” を書き込みスタートコンディションを発生させるまでの間に、ほかのマスタによる転送が行われ、SBIDBR に書き込んだスレーブアドレスが破壊されることがあります。

図 16-9 スタートコンディションとスレーブアドレスの発生

Not Recommended for New Design

16.6.3 1 ワードのデータ転送

1 ワード転送終了の INTSBI 割り込みの処理で、MST をテストし、マスタモード / スレーブモードの判断をします。

16.6.3.1 MST が “1” のとき (マスタモード)

TRX をテストし、トランスミッタ / レシーバの判断をします。

(1) TRX が “1” のとき (トランスミッタモード)

LRB をテストします。LRB が “1” のとき、レシーバはデータを要求していないので、ストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

LRB が “0” のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が 8 ビット以外のときは BC を再設定し、ACK を “1” にセットした後、送信データを SBIDBR に書き込みます。データを書き込むと PIN が “1” になり、SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生し、SDA 端子から 1 ワードのデータが送信されます。送信終了後、INTSBI 割り込み要求が発生し、PIN が “0” になり、SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は、上記 LRB のテストから繰り返します。

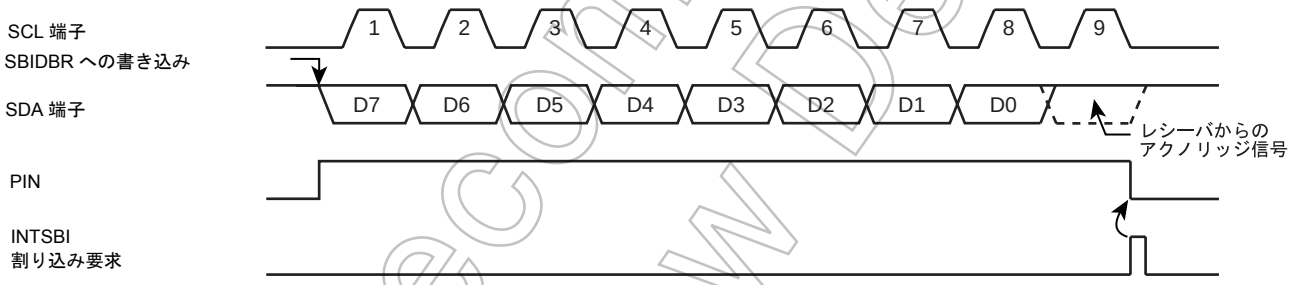


図 16-10 BC=“000”, ACK=“1” の場合

(2) TRX が “0” のとき (レシーバモード)

次に転送するデータのビット数が、8 ビット以外のときは BC を再設定し、ACK に “1” をセットした後、SBIDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと PIN は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで “L” レベルを SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、PIN が “0” になります。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

Not Recommended for New Design

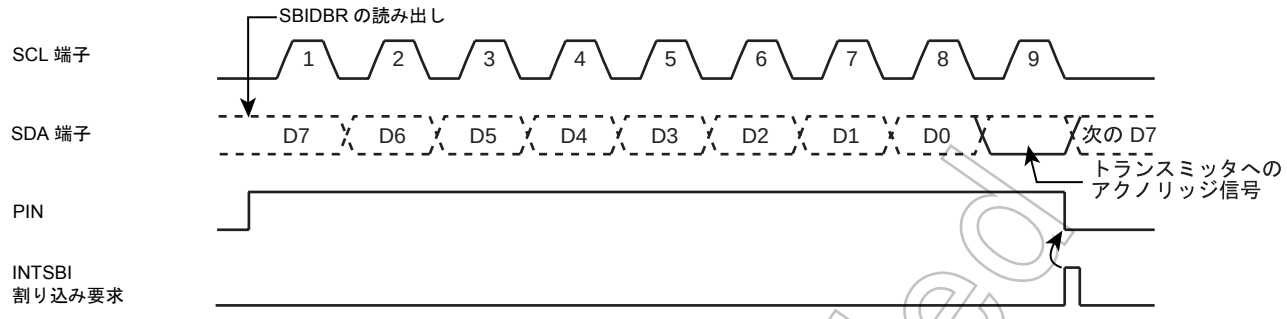


図 16-11 BC="000"，ACK="1" の場合

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に、ACK を "0" にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC="001" に設定し、データを読み出すと PIN が "1" にセットされ、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなので、バスの SDA ラインは "H" レベルを保ちます。トランスミッタはアクノリッジ信号としてこの "H" レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

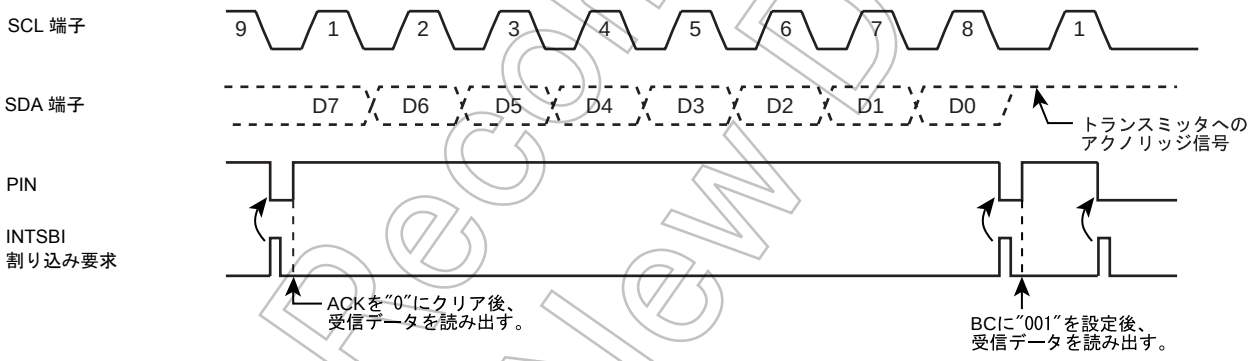


図 16-12 マスタレシーバモード時、データの送信を終了させるときの処理

16.6.3.2 MST が "0" のとき (スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理またはシリアルバスインタフェース回路が、アービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致またはゼネラルコール受信後における、データ転送終了時

シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTSBI 割り込み要求が発生します。アービトレーションを失った後の INTSBI と PIN の動作を表 16-3 に示します。

Not Recommended for New Design

表 16-3 アービトレーションロスト時の INTSBI 割り込み要求と PIN の動作

	マスタモード時、スレーブアドレス送信中にアービトレーションを失った場合	マスタトランスミットモード時、データ送信中にアービトレーションを失った場合
INTSBI 割り込み要求	ワード転送終了時に INTSBI 割り込み要求発生	
PIN	I2CAR に設定されたスレーブアドレスと一致した場合、PIN は “0” にクリアされます。スレーブアドレスが一致しなかった場合は PIN は “1” を保持します。.	PIN は “1” を保持 (“0” にクリアされません)。

INTSBI 割り込み要求が発生すると、PIN (SBICRB のビット 4) が “0” にリセットされ、SCL 端子を “L” レベルに引きます。SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すか、または PIN を “1” にセットすると SCL 端子が t_{LOW} 後に開放されます。

AL (SBISRB のビット 3)、TRX (SBISRB のビット 6)、AAS (SBISRB のビット 2)、AD0 (SBISRB のビット 1) をテストし、場合分けを行います。“ 表 16-4 スレーブモード時の処理 ” にスレーブモード時の状態と必要な処理を示します。

表 16-4 スレーブモード時の処理

TRX	AL	AAS	AD0	状　態	処　理
1	1	1	0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが “1” のシリアルバスインタフェース回路のスレーブアドレスを受信	1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。.
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが “1” のシリアルバスインタフェース回路のスレーブアドレスを受信 .	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了 .	LRB をテストし、“1” にセットされていた場合、レシーバが次のデータを要求していないので PIN に “1” をセット、TRX を “0” にリセットしバスを開放します。LRB が “0” にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが “0” のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信 .	PIN を “1” にセットするために SBIDBR を読み込みます (ダミー読み出し)。または PIN に “1” を書き込みます。
		0	0	シリアルバスインタフェース回路が、スレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	シリアルバスインタフェース回路はスレーブモードとなっています。AL を “0” にクリアするためには、SBIDBR を読み出すか、SBIDBR へ書き込みを行ってください。
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが “0” のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信 .	PIN を “1” にセットするために、SBIDBR を読み込みます (ダミー読み出し)。または PIN に “1” を書き込みます。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を BC にセットし、受信データを SBIDBR から読み込みます。

注) スレーブモードで I2CAR が “00H” に設定されている場合、I^2C バス規格の START バイト (“01H”) を受信したときにスレーブアドレスが一致したと判断し、TRX が “1” にセットされます。

Not Recommended for New Design

16.6.4 ストップコンディションの発生

BB="1" のときに、MST, TRX, PIN に "1"、BB に "0" を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、MST, TRX, BB, PIN の内容を書き替えないでください。

また、ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放された後、ストップコンディションが発生します。

SCL ラインが解放されてからストップコンディションが発生するまで、t_{LOW} かかります。

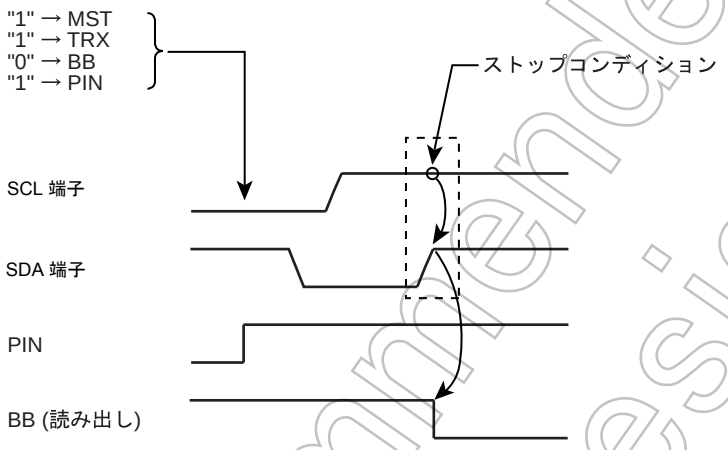


図 16-13 ストップコンディションの発生

16.6.5 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときに使用します。再スタートを発生させる場合の手順を以下に示します。

まず、MST, TRX, BB に "0" を、PIN に "1" を書き込むと、SDA 端子は "H" レベルを保ち、SCL 端子が開放されます。このときバス上にストップコンディションは発生されないため、ほかのデバイスからみると、バスはビジー状態のままです。この後 BB をテストして、"0" になるまで待ち、シリアルバスインタフェース回路の SCL 端子が開放されたことを確認します。次に LRB をテストして "1" になるまで待ち、ほかのデバイスが、バスの SCL ラインを "L" レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 " 16.6.2 スタートコンディション、スレーブアドレスの発生 " の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、最低 4.7 μs のソフトウエアによる待ち時間が必要です。

注）マスタデバイスがレシーバの時、再スタートを発生させる前に、トランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"H" レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の LRB は "1" となり、再スタートの手順で、LRB が "1" であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するには、ポートを読み出してください。

Not Recommended for New Design

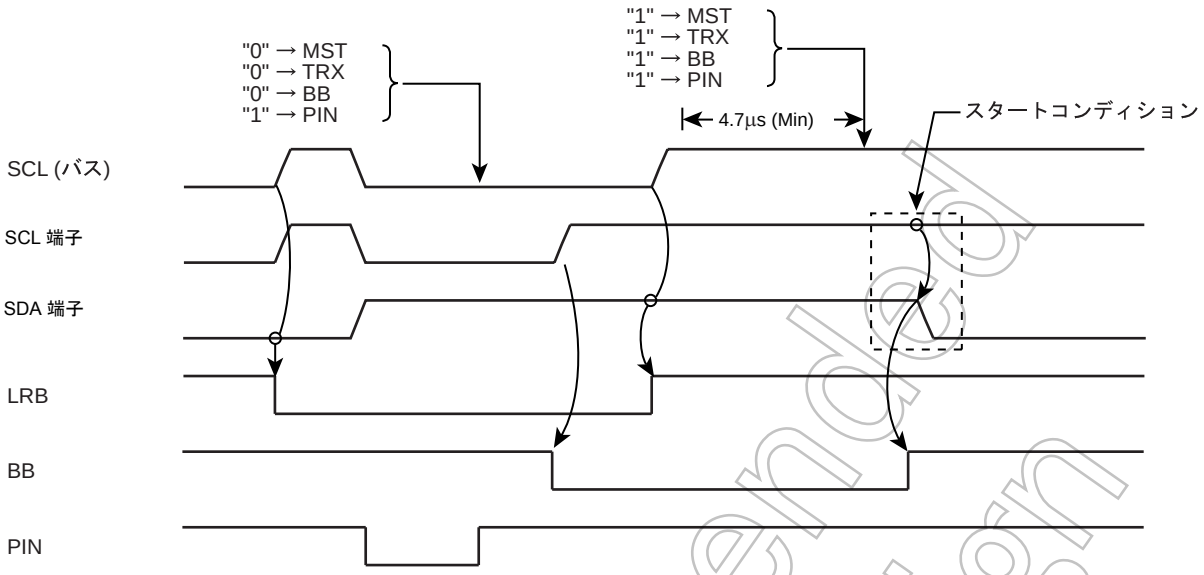


図 16-14 再スタートを発生させる場合のタイミングチャート

Not Recommended for New Design

Not Recommended for New Design

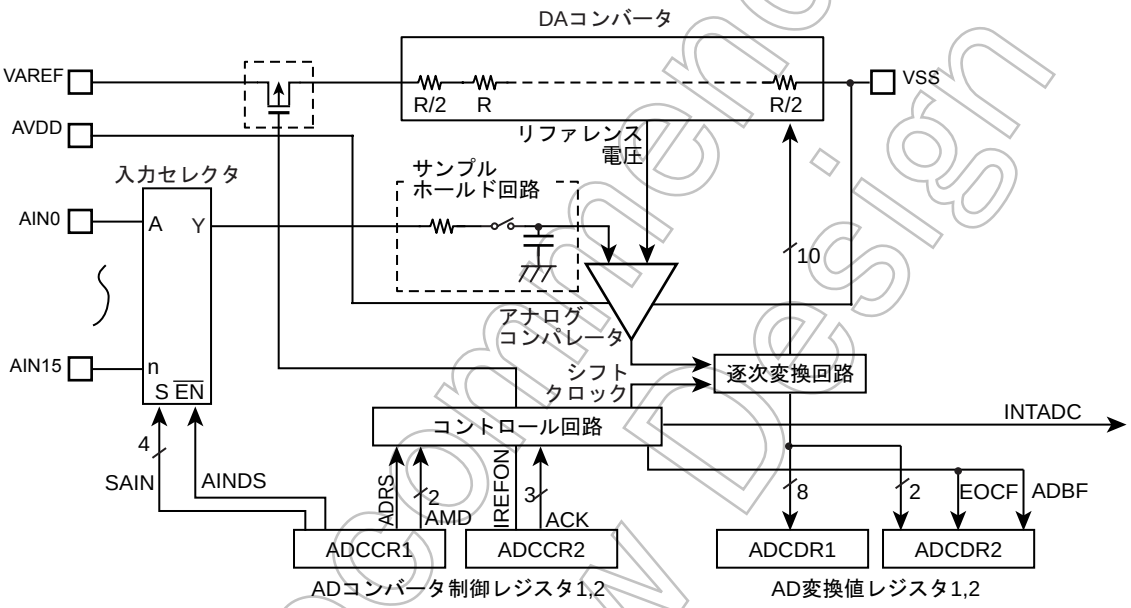
第 17 章 10 ビット AD コンバータ (ADC)

TMP86CS49FG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

17.1 構成

10 ビット AD コンバータの回路構成を図 17-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注） AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 17-1 10 ビット AD コンバータ

Not Recommended for New Design

17.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

   AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

   AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

   AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

   AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (001CH)

7	6	5	4	3	2	1	0
ADRS	AMD		AINDS	SAIN			

(初期値 : 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウエアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力イネーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 1000: AIN8 1001: AIN9 1010: AIN10 1011: AIN11 1100: AIN12 1101: AIN13 1110: AIN14 1111: AIN15	

注 1)　アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。

注 2)　アナログ入力チャネルをすべてディゼーブルにする場合は、AINDS を "1" に設定してください。

注 3)　アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。

注 4)　ADRS は、AD 変換開始後、自動的に "0" にクリアされます。

注 5)　AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。

注 6)　STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

Not Recommended for New Design

AD コンバータ制御レジスタ 2

ADCCR2 (001DH)	7	6	5	4	3	2	1	0	
			IREFON	"1"	ACK			"0"	(初期値 : **0* 000*)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。

注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。

注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 17-1 ACK 設定と周波数別の変換時間

条件 ACK	変換時間	16MHz	8MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	78/fc	—	—	19.5 μs	39.0 μs	—	15.6 μs	31.2 μs
011	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
110	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
111	Reserved							

注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数

注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VAREF = 2.7 ~ 5.5 V 時 31.2 μs 以上
- VAREF = 1.8 ~ 5.5 V 時 124.8 μs 以上

AD 変換値レジスタ 1

ADCDR1 (001FH)	7	6	5	4	3	2	1	0	
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値 : 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (001EH)	7	6	5	4	3	2	1	0	
	AD01	AD00	EOCF	ADBF					(初期値 : 0000 ****)

Not Recommended for New Design

EOCF	AD 変換終了フラグ	0:　変換前または変換中 1:　変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0:　AD 変換停止中 1:　AD 変換実行中	

注 1)　EOCF は、AD 変換値レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。

注 2)　ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モード を起動するときにもクリアされます。

注 3)　ADCDR2 を読み出した場合、ビット 3 ~ 0 は不定となります。

Not Recommended for New Design

17.3 機能

17.3.1 ソフトウエアスタートモード

ADCCR1<AMD> を“01”(ソフトウエアスタートモード) に設定後、ADCCR1<ADRS> を“1”に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1”をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

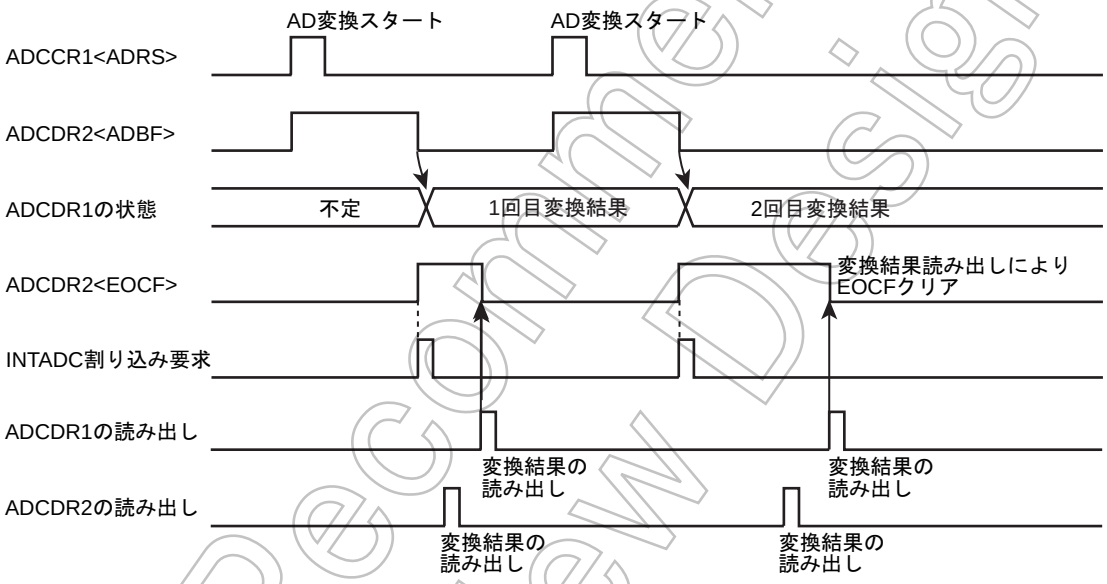


図 17-2　ソフトウエアスタートモード

17.3.2 リピードモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD> を“11”（リピートモード) に設定後、ADCCR1<ADRS> を“1”に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1”をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピートモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に“00”(ディセーブルモード）を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

Not Recommended for New Design

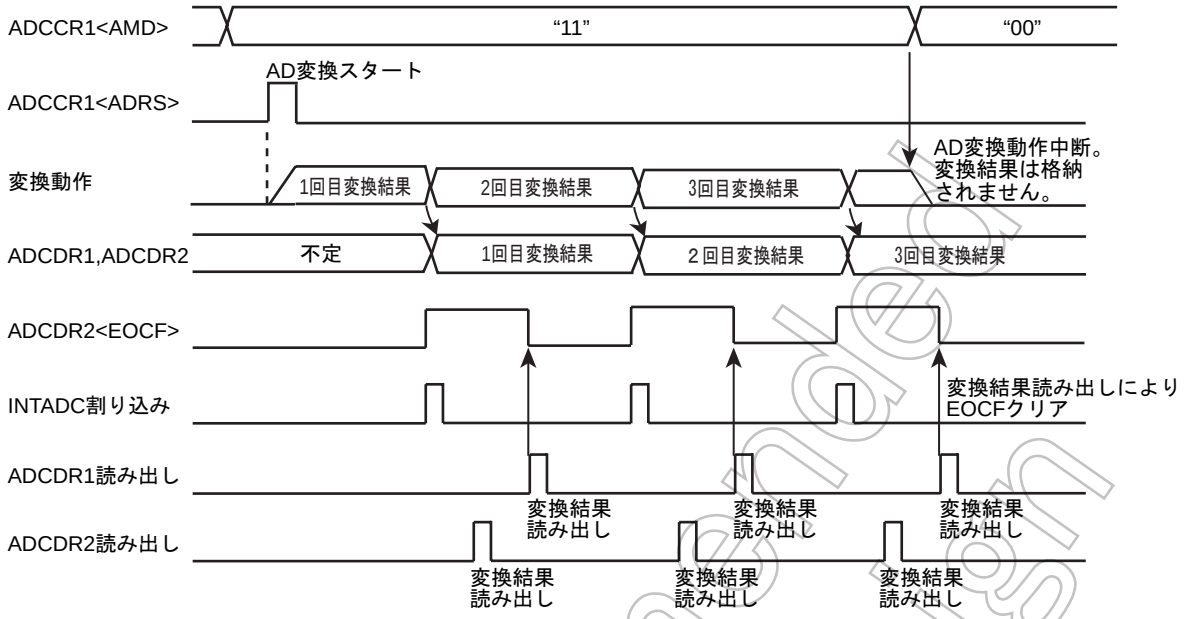


図 17-3　リピートモード

17.3.3　レジスタの設定

1. AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
   - AD 入力チャネル選択 (SAIN) により AD 変換するチャネルを選択してください。
   - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
   - AD コンバータ制御の動作モード (ソフトウエア、リピートモード) を (AMD) にて指定してください。
2. AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
   - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 17-1 をご参照ください。
   - DA コンバータの制御 (IREFON) を選択してください。
3. 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、ソフトウエアスタートの場合、直ちに AD 変換を開始します。
4. AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF) が "1" にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1) 、AD 変換値レジスタ 2(ADCDR2) に格納されます。また、このとき INTADC 割り込み要求が発生します。
5. AD 変換値レジスタ 1 (ADCDR1) から変換結果を読み出すと EOCF は "0" にクリアされます。ただし、AD 変換値レジスタ 1 (ADCDR1) を読み出す前に再変換を行った場合は、EOCF は "0" にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

Not Recommended for New Design

（プログラム例）変換時間 19.5 μs @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウエアスタートモードです。

```
        : ( ポートの設定 )   :                          ; AD コンバータのレジスタを設定する前にポート
        :                    :                           レジスタを適切に設定してください。
        :                    :                           ( 詳細は I/O ポートの章を参照してください )
        LD                   (ADCCR1) ,  00100011B      ; AIN3 を選択
        LD                   (ADCCR2) ,  11011000B      ; 変換時間 (312/fc), 動作モードを選択

        SET                  (ADCCR1) . 7               ; ADRS = 1(AD 変換開始 )
SLOOP :  TEST                (ADCDR2) . 5               ; EOCF = 1 ?
        JRS                  T, SLOOP

        LD                   A , (ADCDR2)               ; 変換結果の読み出し
        LD                   (9EH) , A
        LD                   A , (ADCDR1)               ; 変換結果の読み出し
        LD                   (9FH), A
```

17.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードをを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

Not Recommended for New Design

17.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 17-4 のように対応します。

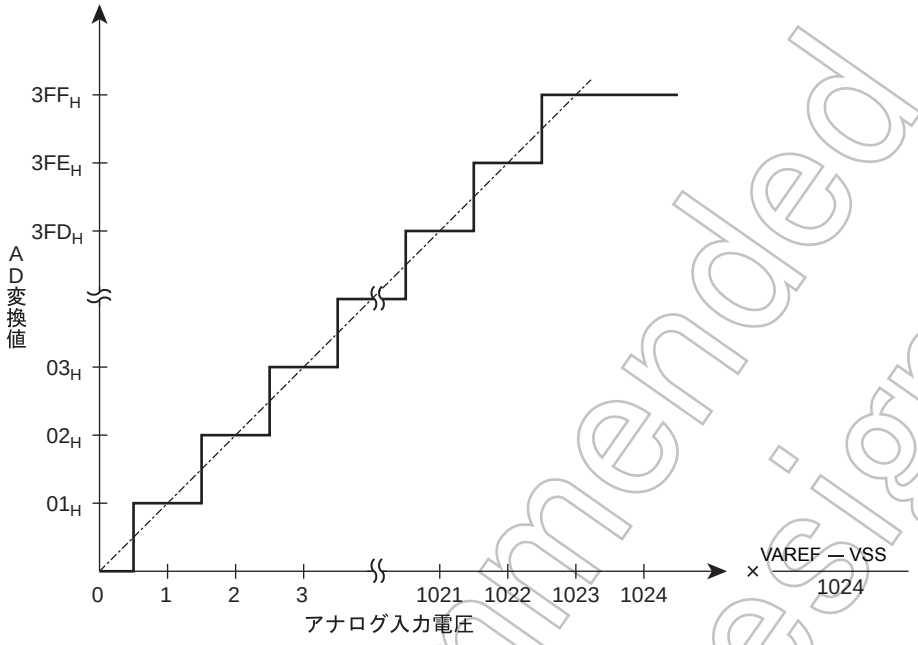


図 17-4　アナログ入力電圧と AD 変換値 (typ.) の関係

Not Recommended for New Design

17.6 AD コンバータの注意事項

17.6.1 AD 変換終了割り込み (INTADC) の使用に関する制限事項

AD 変換終了割り込み (INTADC) を使用する場合、作製されたプログラムの構成によっては割り込み動作を行わないことがあります。例えば、割り込みラッチ IL15(INTADC) より優先順位の低い割り込みが受け付けられた時点で INTADC 割り込みが発生した場合に、INTADC の割り込みラッチがクリアされ、割り込み動作を行わない場合があります。

AD 変換終了を検知するには下記方法があります。

（1）AD 変換終了割り込み (INTADC) を使用しない方法
ソフトウエアにて AD 変換終了フラグ (EOCF) をモニタすることで AD 変換終了を検出することが出来ますので、AD 変換開始後に EOCF フラグをポーリング処理する、もしくは一定周期で EOCF フラグをモニタする等を行ってください。

（2）AD 変換終了割り込み (INTADC) より優先順位の低い割り込み処理中に変換終了を検出する方法
割り込み優先順位が INTADC より低い割り込み処理中に AD 変換終了フラグ (EOCF) および割り込みラッチ IL15 を確認し、IL15=0 かつ EOCF=1 の条件が成立した場合には、PUSH/POP 操作に注意した上で AD 処理ルーチンを CALL してください。
なおこの際、INTADC より高い優先順位の割り込み要求がセットされている場合は、割り込み優先順位に反して AD 割り込み処理ルーチンを先に実行することになりますので、必要に応じて INTADC より上位の割り込み要求を確認した上で処理を行うことを推奨します。

17.6.2 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN15) は、VAREF ~ VSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

17.6.3 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN15) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

17.6.4 ノイズ対策

アナログ入力端子の内部等価回路は、図 17-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは 5 kΩ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

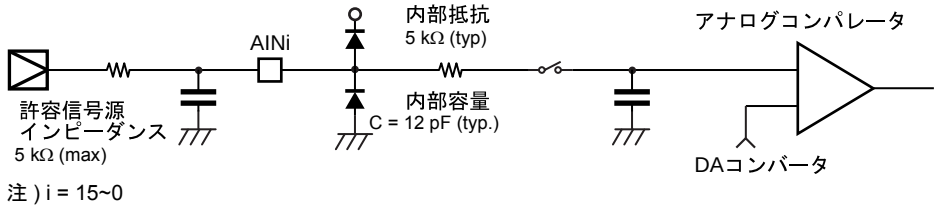


図 17-5　アナログ入力等価回路と入力端子処理例

Not Recommended for New Design

Not Recommended for New Design

第 18 章 キーオンウェイクアップ (KWU)

TMP86CS49FG は、P20($\overline{INT5}$/$\overline{STOP}$) 端子以外に STOP0 ~ STOP3 の 4 つの端子でも STOP モードの解除が可能です。

STOP0 ～ STOP3 の入力で STOP モードを解除する場合、$\overline{STOP}$ 端子の論理に注意が必要です。詳細については、後述の “ 18.2 制御 ” を参照してください。

18.1 構成

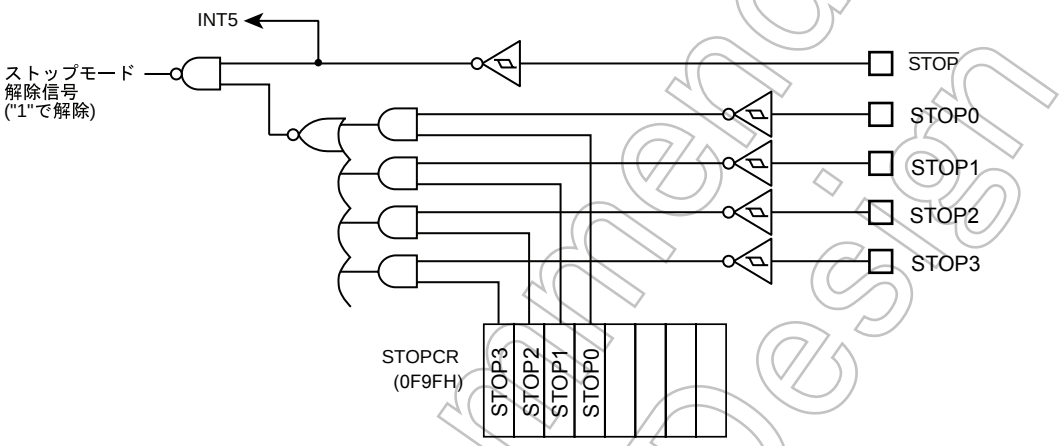


図 18-1 キーオンウェイクアップ回路

18.2 制御

STOP0 ～ STOP3 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可 / 禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ

STOPCR	7	6	5	4	3	2	1	0	
(0F9FH)	STOP3	STOP2	STOP1	STOP0					(初期値 : 0000 ****)

STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP1	STOP1 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP0	STOP0 端子による STOP モード解除	0: 禁止 1: 許可	Write only

18.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP0 ～ STOP3 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

Not Recommended for New Design

また、STOP0 ～ STOP3 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが “H” レベルになっていることを確認してください (注 2,3)。

注 1)　STOP モードの解除をエッジ解除モード (SYSCR1<RELM> = “0”) で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP0 ～ STOP3 入力をすべて禁止にするか、入力が許可されている STOP0 ～ STOP3 端子を STOP モード中 “H” レベルに固定してください。

注 2)　レベル解除の場合、$\overline{\text{STOP}}$ 端子および STOP0 ～ STOP3 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。

注 3)　キーオンウェイクアップ入力とポート入力は入力回路が別系統となりますので、入力電圧のしきい値がそれぞれ異なります。従って STOP モード起動前にポート入力によって確認した値は、キーオンウェイクアップ入力の検出レベルと異なる場合があります。(図 18-2)

注 4)　$\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP0 ～ STOP3 入力によって STOP モードを解除する場合も、$\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。

注 5)　キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。

注 6)　STOP0 ～ STOP3 入力によって STOP モードを解除する (“L” レベル) 場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず “L” レベルに固定してください。(図 18-3)

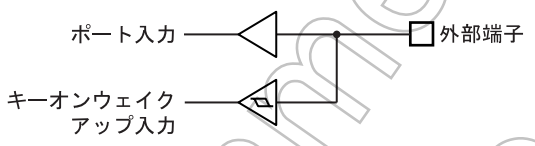


図 18-2 キーオンウェイクアップ入力とポート入力

図 18-3 $\overline{\text{STOP}}$ 端子と STOP0 ～ STOP3 端子の優先順位

表 18-1 STOP モードの解除レベル (エッジ)

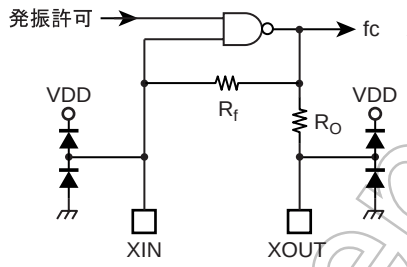
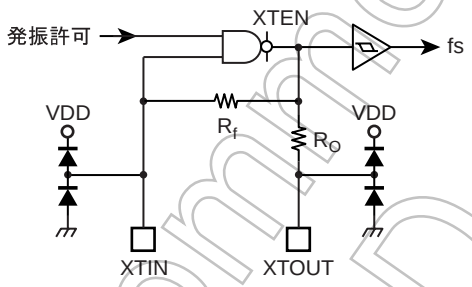
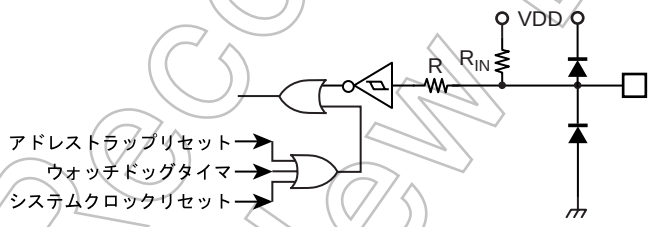
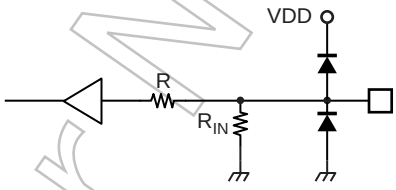
端子名	解除レベル (エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H" レベル	立ち上がりエッジ
STOP0	"L" レベル	使用禁止 (注 1)
STOP1	"L" レベル	使用禁止 (注 1)
STOP2	"L" レベル	使用禁止 (注 1)
STOP3	"L" レベル	使用禁止 (注 1)

Not Recommended for New Design

第 19 章 端子の入出力回路

19.1 制御端子

TMP86CS49FG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 R_f = 1.2 MΩ (typ.) R_O = 0.5 kΩ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 R_f = 6 MΩ (typ.) R_O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 R_{IN} = 220 kΩ (typ.) R = 100 Ω (typ.)
TEST	入力		プルダウン抵抗内蔵 R_{IN} = 70 kΩ (typ.) R = 100 Ω (typ.)

Not Recommended for New Design

19.2 入出力ポート

ポート	入出力	入出力回路およびコード	備考
P1	入出力	初期値 "ハイインピーダンス" データ出力 出力禁止 端子入力 VDD R	トライステート入出力 ヒステリシス入力 R = 100 Ω (typ.)
P3	入出力	初期値 "ハイインピーダンス" データ出力 出力ラッチ入力 端子入力 R	シンクオープンドレイン出力 大電流出力 R = 100 Ω (typ.)
P2	入出力	初期値 "ハイインピーダンス" データ出力 出力ラッチ入力 端子入力 VDD R	シンクオープンドレイン出力 ヒステリシス入力 R = 100 Ω (typ.)
P5	入出力	初期値 "ハイインピーダンス" データ出力 出力ラッチ入力 端子入力 R	シンクオープンドレイン出力 大電流出力 ヒステリシス入力 R = 100 Ω (typ.)
P0 P4	入出力	初期値 "ハイインピーダンス" P-ch 制御 データ出力 出力ラッチ入力 出力禁止 端子入力(制御入力) VDD R	シンクオープンドレイン出力 または C-MOS 出力 ヒステリシス入力 R = 100 Ω (typ.)

Not Recommended for New Design

ポート	入出力	入出力回路およびコード	備考
P67 P66 P65 P64	入出力	初期値 "ハイインピーダンス" アナログ入力 データ出力 出力ラッチ入力 出力禁止 端子入力 キーオンウェイクアップ VDD R	トライステート入出力 R = 100 Ω (typ.)
P63 P62 P61 P60 P7	入出力	初期値 "ハイインピーダンス" アナログ入力 データ出力 出力ラッチ入力 出力禁止 端子入力 VDD R	トライステート入出力 R = 100 Ω (typ.)

Not Recommended for New Design

Not Recommended for New Design

第 20 章 電気的特性

20.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂 ・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(VSS = 0 V)

項　　目	記号	端　　子	規　格	単位
電源電圧	V_{DD}		–0.3 ~ 6.5	V
入力電圧	V_{IN}		–0.3 ~ V_{DD} + 0.3	V
出力電圧	V_{OUT1}		–0.3 ~ V_{DD} + 0.3	V
出力電流 (1 端子当り)	I_{OUT1}	P0, P1, P4, P6, P7 ポート	–1.8	mA
	I_{OUT2}	P0, P1, P2, P4, P6, P7 ポート	3.2	
	I_{OUT3}	P3, P5 ポート	30	
出力電流 (全端子総計)	Σ I_{OUT1}	P0, P1, P2, P4, P6, P7 ポート	60	
	Σ I_{OUT2}	P3, P5 ポート	80	
消費電力 [Topr = 85 °C]	P_D		250	mW
はんだ付け温度 (時間)	Tsld		260 (10 s)	°C
保存温度	Tstg		–55 ~ 125	
動作温度	Topr		–40 ~ 85	

Not Recommended for New Design

20.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 V, Topr = -40 ~ 85°C)

項目	記号	端子	条件		Min	Max	単位
電源電圧	V_{DD}		fc = 16 MHz	NORMAL1, 2 モード IDLE0, 1, 2 モード	4.5	5.5	V
			fc = 8 MHz	NORMAL1, 2 モード IDLE0, 1, 2 モード	2.7		
			fc = 4.2 MHz	NORMAL1, 2 モード IDLE0, 1, 2 モード	1.8 (注 1)		
			fs = 32.768 kHz	SLOW1, 2 モード SLEEP0, 1, 2 モード			
			STOP モード				
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD} ≧ 4.5 V		V_{DD} × 0.70	V_{DD}	
	V_{IH2}	ヒステリシス入力			V_{DD} × 0.75		
	V_{IH3}		V_{DD} < 4.5 V		V_{DD} × 0.90		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD} ≧ 4.5 V		0	V_{DD} × 0.30	
	V_{IL2}	ヒステリシス入力				V_{DD} × 0.25	
	V_{IL3}		V_{DD} < 4.5 V			V_{DD} × 0.10	
クロック周波数	fc	XIN, XOUT	1.8 ≦ V_{DD} ≦ 5.5 V (注 1)		1.0	4.2	MHz
			2.7 ≦ V_{DD} ≦ 5.5 V			8.0	
			4.5 ≦ V_{DD} ≦ 5.5 V			16.0	
	fs	XTIN, XTOUT			30.0	34.0	kHz

注 1)　電源電圧 VDD が 1.8 ~ 2.0V の場合、動作温度 (Topr) は -20 ~ 85°C の範囲内で使用してください。

Not Recommended for New Design

20.3 DC 特性

(V_{SS} = 0 V, Topr = -40 ~ 85 °C)

項　　目	記号	端　　子	条　　件	Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力	V_{DD} = 5.5 V, V_{IN} = 5.5 V/0 V	—	0.9	—	V
入力電流	I_{IN1}	TEST		—	—	±2	μA
	I_{IN2}	シンクオープンドレイン，トライステートポート					
	I_{IN3}	$\overline{RESET}$, $\overline{STOP}$					
入力抵抗	R_{IN1}	$\overline{TEST}$ プルダウン	V_{DD} = 5.5 V, V_{IN} = 5.5 V	—	70	—	kΩ
	R_{IN2}	$\overline{RESET}$ プルアップ	V_{DD} = 5.5 V, V_{IN} = 0 V	100	220	450	
出力リーク電流	I_{LO1}	シンクオープンドレイン	V_{DD} = 5.5 V, V_{OUT} = 5.5 V	—	—	2	μA
	I_{LO2}	トライステートポート	V_{DD} = 5.5 V, V_{OUT} = 5.5 V/0 V	—	—	±2	
高レベル出力電圧	V_{OH}	トライステートポート	V_{DD} = 4.5 V, I_{OH} = −0.7 mA	4.1	—	—	V
低レベル出力電圧	V_{OL}	XOUT, P3, P5 ポートを除く	V_{DD} = 4.5 V, I_{OL} = 1.6 mA	—	—	0.4	
低レベル出力電流	I_{OL}	大電流 (P3, P5 ポート)	V_{DD} = 4.5 V, V_{OL} = 1.0 V	—	20	—	mA
NORMAL1, 2 モード時電源電流	I_{DD}		V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V fc = 16 MHz fs = 32.768 kHz	—	8.5	11.5	mA
IDLE0,1, 2 モード時電源電流				—	6.0	8.5	
SLOW1 モード時電源電流			V_{DD} = 3.0 V V_{IN} = 2.8 V/0.2 V fs = 32.768 kHz	—	8.5	20.0	μA
SLEEP1 モード時電源電流				—	6.1	15.0	
SLEEP0 モード時電源電流				—	5.0	11.0	
STOP モード時電源電流			V_{DD} = 5.5 V VIN = 5.3 V/0.2 V	—	0.5	10	

注 1)　Typ. 値は、条件に指定なき場合 Topr = 25 ℃，V_{DD} = 5.0 V 時の値を示します。

注 2)　入力電流 I_{IN1}, I_{IN3}：プルアップまたはプルダウン抵抗による電流を除きます。

注 3)　I_{DD} は、I_{REF} を含みません。

注 4)　SLOW2, SLEEP2 モードの各電源電流は、IDLE0, IDLE1, IDLE.2 モードと同等です。

Not Recommended for New Design

20.4 AD 変換特性

(V_{SS} = 0.0 V, 4.5 V ≦ V_{DD} ≦ 5.5 V, Topr = -40 ~ 85 °C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} - 1.0	—	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		3.5	—	—	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	—	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF}$ = 5.5 V V_{SS} = 0.0 V	—	0.6	1.0	mA
非直線性誤差		$V_{DD} = A_{VDD}$ = 5.0 V, V_{SS} = 0.0 V V_{AREF} = 5.0 V	—	—	±2	LSB
ゼロ誤差			—	—	±2	
フルスケール誤差			—	—	±2	
総合誤差			—	—	±2	

(V_{SS} = 0 V, 2.7 V ≦ V_{DD} ＜ 4.5 V, Topr = -40 ~ 85°C)

項　　目	記号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} - 1.0	—	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.5	—	—	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	—	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF}$ = 4.5 V V_{SS} = 0.0 V	—	0.5	0.8	mA
非直線性誤差		$V_{DD} = A_{VDD}$ = 2.7 V V_{SS} = 0.0 V V_{AREF} = 2.7 V	—	—	±2	LSB
ゼロ誤差			—	—	±2	
フルスケール誤差			—	—	±2	
総合誤差			—	—	±2	

(V_{SS} = 0 V, 2.0 V ≦ V_{DD} ＜ 2.7 V, Topr = -40 ~ 85°C) (注 6)

(V_{SS} = 0 V, 1.8 V ≦ V_{DD} ＜ 2.0 V, Topr = -10 ~ 85°C) (注 6)

項　　目	記号	条　　件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} - 0.9	—	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}	1.8 V ≦ VDD ＜ 2.0 V	1.8	—	—	
		2.0 V ≦ VDD ＜ 2.7 V	2.0	—	—	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	—	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF}$ = 2.7 V V_{SS} = 0.0 V	—	0.3	0.5	mA
非直線性誤差		$V_{DD} = A_{VDD}$ = 1.8 V V_{SS} = 0.0 V V_{AREF} = 1.8 V	—	—	±4	LSB
ゼロ誤差			—	—	±4	
フルスケール誤差			—	—	±4	
総合誤差			—	—	±4	

注 1)　総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2)　変換時間は電源電圧範囲によって推奨値が異なります。

注 3)　AIN 入力端子への入力電圧は V_{AREF} ~ V_{SS} 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャネルの変換値にも影響を与えます。

注 4)　アナログ基準電源電圧範囲 : $\Delta V_{AREF} = V_{AREF} - V_{SS}$

注 5)　AD コンバータを使用しない場合、AVDD 端子と VAREF 端子は V_{DD} レベルに固定してください。

注 6)　V_{DD} = 2.0V 未満で AD を使用する場合、動作電圧によって温度保証範囲が異なります。

Not Recommended for New Design

20.5 AC 特性

(V_{SS} = 0 V, 4.5 V ≦ V_{DD} ≦ 5.5 V, Topr = -40 ~ 85°C)

項　　目	記号	条　件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL1, 2 モード時	0.25	—	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	—	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 16 MHz 時	—	31.25	—	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	—	15.26	—	μs
低レベルクロックパルス幅	t_{WSL}					

(V_{SS} = 0 V, 2.7 V ≦ V_{DD} < 4.5 V, Topr = -40 ~ 85°C)

項　　目	記号	条　件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL1, 2 モード時	0.5	—	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	—	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 8 MHz 時	—	62.5	—	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	—	15.26	—	μs
低レベルクロックパルス幅	t_{WSL}					

(V_{SS} = 0 V, 2.0 V ≦ V_{DD} < 2.7 V, Topr = -40 ~ 85°C) (注 1)

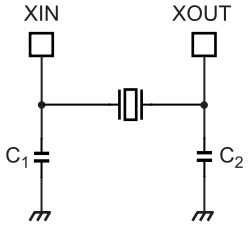
(V_{SS} = 0 V, 1.8 V ≦ V_{DD} < 2.0 V, Topr = -20 ~ 85°C) (注 1)

項　　目	記号	条　件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL1, 2 モード時	0.95	—	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	—	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 4.2 MHz 時	—	119.05	—	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	—	15.26	—	μs
低レベルクロックパルス幅	t_{WSL}					

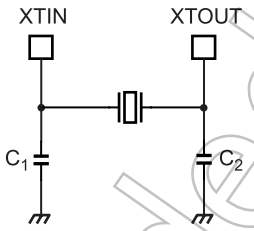
注 1)　電源電圧 VDD が 1.8 ~ 2.0V の場合、動作温度 (Topr) は -20 ~ 85°C の範囲内で使用してください。

Not Recommended for New Design

20.6 推奨発振条件 - 1



(1) 高周波発振



(2) 低周波発振

注 1)　高周波発振に水晶振動子を使用するときは、動作電圧 VDD が 2.7V 以上のときのみとなります。動作電圧 VDD が 2.7V 未満のときは、セラミック発振子を使用してください。

注 2)　発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。

注 3)　ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

注 4)　村田製発振子は、型番 ・仕様の切り替えが随時行われております。
詳細につきましては、下記アドレスの同社ホームページをご参照ください。
http://www.murata.co.jp

20.7 取り扱い上のご注意

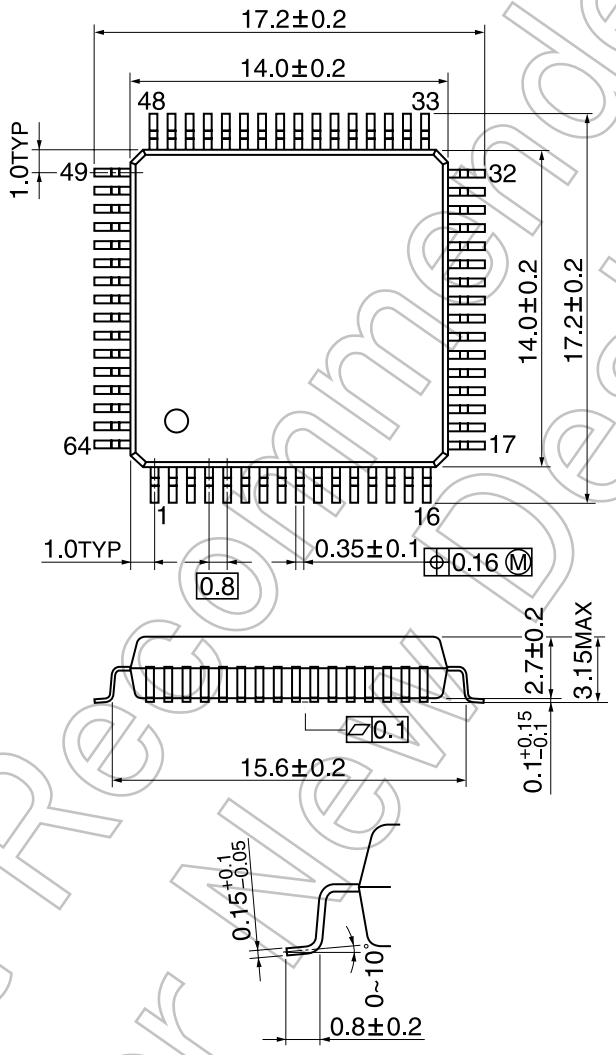
- 鉛フリー品 (G 付製品）へのはんだ濡れ性についての注意事項
  試験項目
    はんだ付け性
  試験条件
    230°C　5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)
    245°C　5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
  備考
    フォーミングまでのはんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

Not Recommended for New Design

第 21 章 外形寸法

QFP64-P-1414-0.80A Rev 01

Unit: mm



Not Recommended for New Design

Not Recommended for New Design

あとがき

この資料は TMP86CS49FG のハードウエア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウエア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウエアを用意しております。

これらの開発ツールはマイコンハードウエア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウエア / ソフトウエアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚しいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

２００７年 6 月 ２７日

Not Recommended for New Design

Not Recommended for New Design

8 ビットマイクロコントローラ

TMP86CS49FG

発行年月日	２００７年 ６月 ２７日
発行	株式会社東芝セミコンダクター社
編集	東芝 LSI システムサポート株式会社