

TOSHIBA

東芝 オリジナル CMOS 16ビット マイクロコントローラ

TLCS-900/L1 シリーズ

TMP91C829

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社 16 ビットマイクロコントローラ TLCS-900/L1 シリーズ、TMP91C829 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されませうことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホルト状態からの解除に関する注意事項

通常は、割り込みによってホルト状態を解除することができませんが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 ($f_{\text{FPH}5}$ クロックの間) に、HALT モードを解除可能な割り込み ($\overline{\text{NMI}}$, INTO~INT4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

低電圧/低消費電力

CMOS 16 ビット マイクロコントローラ TMP91C829FG

1. 概要と特長

TMP91C829 は、中規模から大規模機器までの各種制御用として開発された、高速 16 ビットマイクロコントローラです。内蔵ブート ROM を内蔵しており、オンボードでの外フラッシュメモリ消去・書き替えができます。

TMP91C829FG は、100 ピンフラットパッケージ製品です。特長は次のとおりです。

- (1) 高速 16 ビット CPU (900/L1 CPU 使用)
 - TLCS-90/900 と命令ニモニックで上位互換
 - 16 M バイトのリニアアドレス空間
 - 汎用レジスタ、レジスタバンク方式
 - 16 ビット乗除算命令、ビット転送/演算命令
 - マイクロ DMA: 4 チャンネル (444 ns/2 バイト @ 36 MHz)
- (2) 最小命令実行時間: 111 ns @ 36 MHz
- (3) 内蔵 RAM: 8 K バイト
- (4) 外部メモリ拡張
 - 16 M バイト (プログラム/データ共通) まで拡張可能
 - 外部データバス 8/16 ビット幅共存可能ダイナミックデータバスサイジング
- (5) 8 ビットタイマ: 6 チャンネル
 - イベントカウント機能 (2 チャンネル)

当社半導体製品取り扱い上のごお願い

060116TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下「特定用途」という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。 030519_S

- (6) 16ビットタイマ/イベントカウンタ: 1チャンネル
- (7) 汎用シリアルインタフェース: 2チャンネル
- (8) 10ビットADコンバータ: 8チャンネル
- (9) ウォッチドッグタイマ
- (10) チップセレクト/ウェイトコントローラ: 4ブロック
- (11) 割り込み機能: 割り込み要因 35本
 - CPU 9本.... ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 19本... 7レベルの優先順位設定が可能
 - 外部 7本..... 7レベルの優先順位設定が可能 (エッジ/レベル、立ち上がり/立ち下がり選択可能)
- (12) 入出力ポート: 46端子 (データバス 8ビット、アドレスバス 16ビット、 \overline{RD} 端子除く)
- (13) スタンバイ機能: 3種類の HALT モード (IDLE2 (プログラマブル), IDLE1, STOP)
- (14) 動作電圧: $V_{CC} = 4.75 \sim 5.25$ V (内部用 $V_{CC} = 3.0 \sim 3.6$ V)
- (15) パッケージ: 100ピン QFP (P-LQFP100-1414-0.50F)

電源の投入としゃ断

電源の投入およびしゃ断は、5V系電源と3V系電源をなるべく同時に行ってください。
なお、同時に電源投入が行えない場合は、3.1.2章「電源投入としゃ断」の図3.1.2のスペック範囲にて電源投入およびしゃ断を行ってください。
これは、片方のみの電源が投入された状態では貫通電流が流れる可能性があるためです。
貫通電流が流れるのをそのままにしておくと、消費電力が増えるだけでなくLSIの寿命を縮めることにもつながります。このため、片方の電源だけ投入した状態を長く続けることを避けてください。

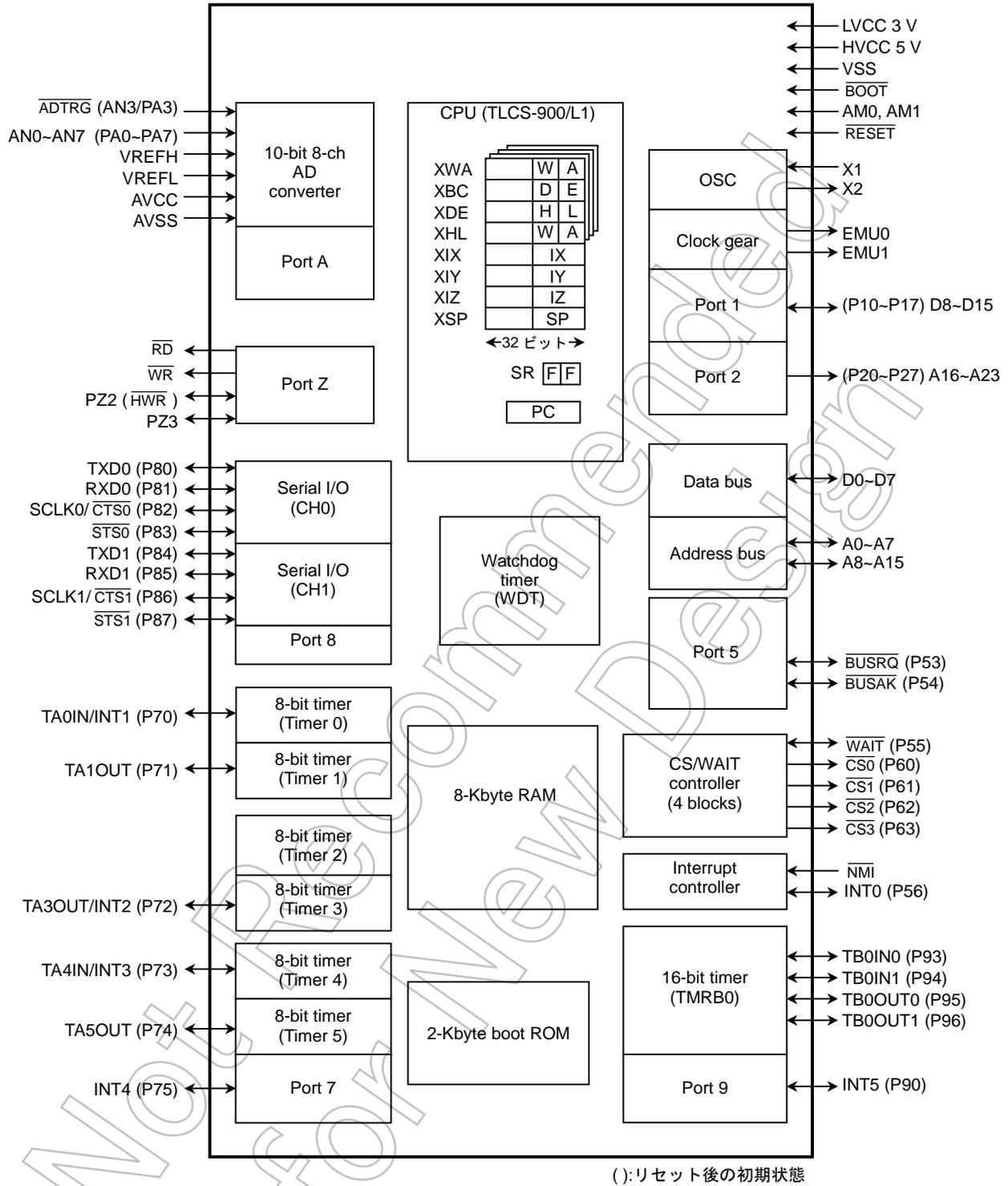


図 1.1 TMP91C829 ブロック図

2. ピン配置とピン機能

TMP91C829 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP91C829FGピン配置図は、図 2.1.1のとおりです。

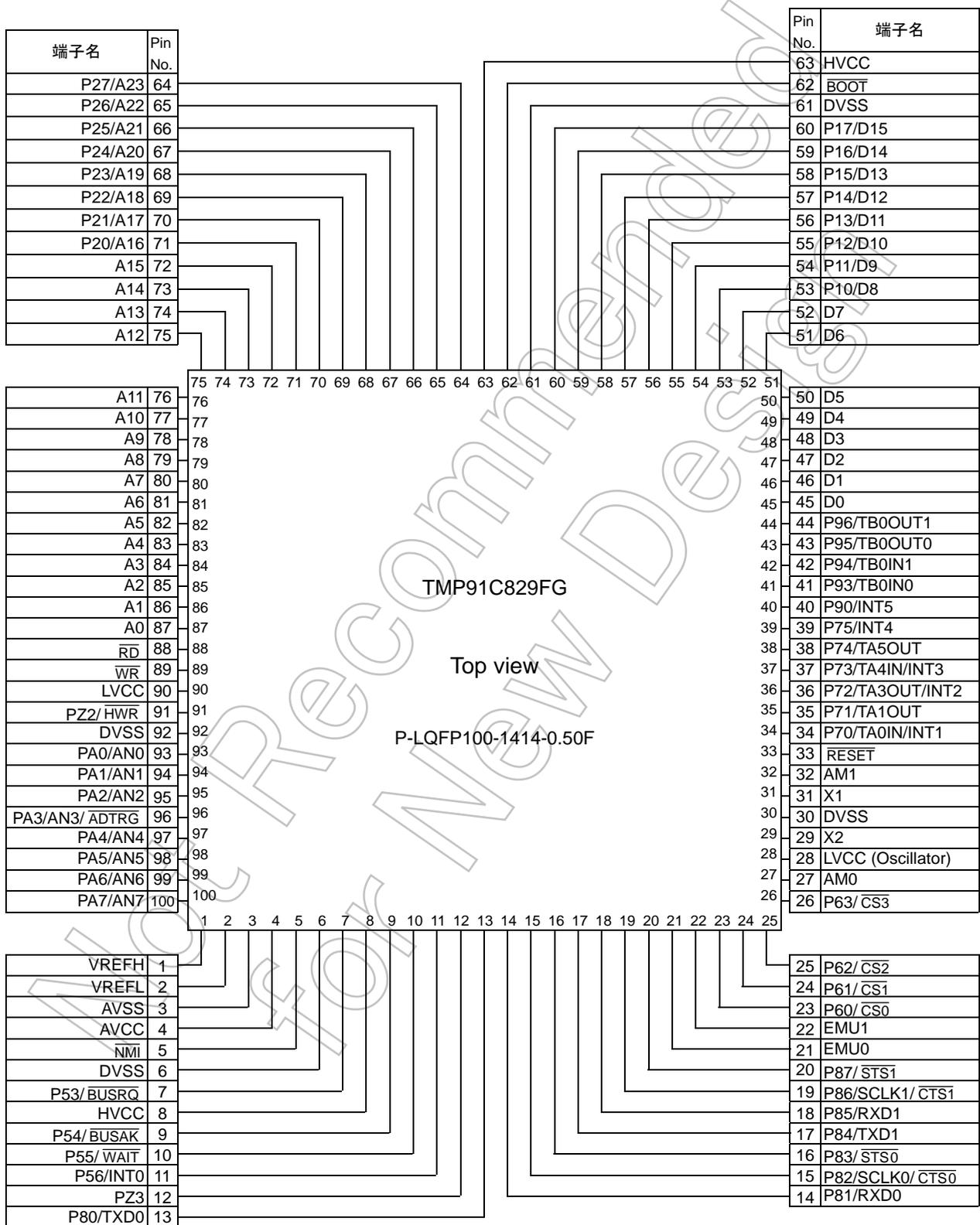


図 2.1.1 ピン配置図 (100 ピン QFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1~表 2.2.3 のとおりです。

表 2.2.1 ピン名称と機能 (1/3)

ピン名称	ピン数	入出力	機能
D0~D7	8	入出力	データ (下位): データバス 0~7 です。
P10~P17 D8~D15	8	入出力 入出力	ポート 1: ビット単位で入出力の設定ができる入出力ポートです。 外部 8 ビットバスで使用する際に使用できます。 データ (上位): データバス 8~15 です。
P20~P27 A16~A23	8	出力 出力	ポート 2: ポートです。 アドレス: アドレスバス 16~23 です。
A8~A15	8	出力	アドレス: アドレスバス 8~15 です。
A0~A7	8	出力	アドレス: アドレスバス 0~7 です。
\overline{RD}	1	出力	リード: 外部メモリをリードするためのストローブ信号です。
\overline{WR}	1	出力	ライト: D0~D7 端子のデータをライトするためのストローブ信号です。
P53 \overline{BUSRQ}	1	入出力 入力	ポート 53: 入出力ポートです (プルアップ付き)。 バスリクエスト: D0~D15, A0~A23, \overline{RD} , \overline{WR} , \overline{HWR} , $\overline{CS0}$ ~ $\overline{CS3}$ 端子をハイインピーダンスにすることを要求する信号です (外付け DMAC 用)。
P54 \overline{BUSAk}	1	入出力 出力	ポート 54: 入出力ポートです (プルアップ付き)。 バスアックノリッジ \overline{BUSRQ} を受けて D0~D15, A0~A23, \overline{RD} , \overline{WR} , \overline{HWR} , $\overline{CS0}$ ~ $\overline{CS3}$ 端子が、ハイインピーダンスになったことを示す信号です (外付け DMAC 用)。
P55 \overline{WAIT}	1	入出力 入力	ポート 55: 入出力ポートです (プルアップ付き)。 ウェイト: CPU へのバスウェイト要求端子です ((1 + N) WAIT モード)。
P56 INT0	1	入出力 入力	ポート 56: 入出力ポートです (プルアップ付き)。 割り込み要求端子 0: プログラマブル割り込み (レベルまたは立ち上がり/立ち下がリエッジ) 要求端子です。
P60 $\overline{CS0}$	1	出力 出力	ポート 60: 出力ポートです。 チップセレクト 0: アドレスが指定したアドレス領域内なら 0 を出力します。
P61 $\overline{CS1}$	1	出力 出力	ポート 61: 出力ポートです。 チップセレクト 1: アドレスが指定したアドレス領域内なら 0 を出力します。
P62 $\overline{CS2}$	1	出力 出力	ポート 62: 出力ポートです。 チップセレクト 2: アドレスが指定したアドレス領域内なら 0 を出力します。
P63 $\overline{CS3}$	1	出力 出力	ポート 63: 出力ポートです。 チップセレクト 3: アドレスが指定したアドレス領域内なら 0 を出力します。
P70 TA0IN INT1	1	入出力 入力 入力	ポート 70: 入出力ポートです。 8 ビットタイマ 0 入力: タイマ 0 の入力です。 割り込み要求端子 1: プログラマブル割り込み (レベルまたは立ち上がり/立ち下がリエッジ) 要求端子です。
P71 TA1OUT	1	入出力 出力	ポート 71: 入出力ポートです。 8 ビットタイマ 1 出力: タイマ 0 またはタイマ 1 の出力です。
P72 TA3OUT INT2	1	入出力 出力 入力	ポート 72: 入出力ポートです。 8 ビットタイマ 3 出力: タイマ 2 またはタイマ 3 の出力です。 割り込み要求端子 2: プログラマブル割り込み (レベルまたは立ち上がり/立ち下がリエッジ) 要求端子です。
P73 TA4IN INT3	1	入出力 入力 入力	ポート 73: 入出力ポートです。 8 ビットタイマ 4 入力: タイマ 4 入力です。 割り込み要求端子 3: プログラマブル割り込み (レベルまたは立ち上がり/立ち下がリエッジ) 要求端子です。
P74 TA5OUT	1	入出力 出力	ポート 74: 入出力ポートです。 8 ビットタイマ 5 出力: タイマ 4 またはタイマ 5 の出力です。
P75 INT4	1	入出力 入力	ポート 75: 入出力ポートです。 割り込み要求端子 4: プログラマブル割り込み (レベルまたは立ち上がり/立ち下がリエッジ) 要求端子です。

表 2.2.2 ピン名称と機能 (2/3)

ピン名称	ピン数	入出力	機 能
P80 TXD0	1	入出力 出力	ポート 80: 入出力ポートです (プルアップ付き)。 シリアル送信データ 0 プログラムによりオープンドレイン出力端子となります。
P81 RXD0	1	入出力 入力	ポート 81: 入出力ポートです (プルアップ付き)。 シリアル受信データ 0
P82 SCLK0 CTS0	1	入出力 入出力 入力	ポート 82: 入出力ポートです (プルアップ付き)。 シリアルクロック入出力 0 シリアルデータ送信可能 0 (Clear to send)
P83 STS0	1	入出力 出力	ポート 83: 入出力ポートです (プルアップ付き)。 シリアルデータ要求信号 0
P84 TXD1	1	入出力 出力	ポート 84: 入出力ポートです (プルアップ付き)。 シリアル送信データ 1 プログラムによりオープンドレイン出力端子となります。
P85 RXD1	1	入出力	ポート 85: 入出力ポートです (プルアップ付き)。 シリアル受信データ 1
P86 SCLK1 CTS0	1	入出力 入出力 入力	ポート 86: 入出力ポートです (プルアップ付き)。 シリアルクロック入出力 1 シリアルデータ送信可能 1 (Clear to send)
P87 STS1	1	入出力 出力	ポート 87: 入出力ポートです (プルアップ付き)。 シリアルデータ要求信号 1
P90 INT5	1	入出力 入力	ポート 90: 入出力ポートです。 割り込み要求端子 5: プログラマブル割り込み (レベルまたは立ち上がり/立ち下が りエッジ) 要求端子です。
P93 TB0IN0	1	入出力 入力	ポート 93: 入出力ポートです。 16 ビットタイマ 0 入力 0: 16 ビットタイマ 0 のカウント/キャプチャトリガ入力に なります。
P94 TB0IN1	1	入出力 入力	ポート 94: 入出力ポートです。 16 ビットタイマ 0 入力 1: 16 ビットタイマ 0 のカウント/キャプチャトリガ入力に なります。
P95 TB0OUT0	1	入出力 出力	ポート 95: 入出力ポートです。 16 ビットタイマ 0 出力 0: 16 ビットタイマ 0 の出力端子です。
P96 TB0OUT1	1	入出力 出力	ポート 96: 入出力ポートです。 16 ビットタイマ 0 出力 1: 16 ビットタイマ 0 の出力端子です。
PA0-PA7 AN0-AN7 ADTRG	8	入力 入力 入力	ポート A0-A7: 入力専用ポートです。 アナログ入力: AD コンバータの入力です。 AD トリガ: AD コンバータの外部スタート要求端子です (PA3 と兼用)。
PZ2 HWR	1	入出力 出力	ポート Z2: 入出力ポートです (プルアップ付き)。 上位ライト: D8-D15 端子のデータをライトするためのストローブ信号です。
PZ3	1	入出力	ポート Z3: 入出力ポートです (プルアップ付き)。
BOOT	1	入力	マルチブートモード設定端子です (プルアップ付き)。
NMI	1	入力	ノンマスク割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プ ログラムにより、立ち上がりエッジでも割り込み要求可能となります。
AM0-AM1	2	入力	動作モード: (外部 16 ビットバス固定、もしくは外部 8/16 ビットバス混在時) AM1 = 0, AM0 = 1 に固定してください。 (外部 8 ビットバス固定時) AM1 = 0, AM0 = 0 に固定してください。
EMU0	1	出力	“開放” してください。
EMU1	1	出力	“開放” してください。
RESET	1	入力	リセット: LSI を初期化します (プルアップ付き)。
VREFH	1	入力	AD コンバータ用基準電源入力端子です。(H)
VREFL	1	入力	AD コンバータ用基準電源入力端子です。(L)
AVCC	1		AD コンバータ電源端子
AVSS	1		AD コンバータ GND 端子 (0 V)

表 2.2.3 ピン名称と機能 (3/3)

ピン名称	ピン数	入出力	機能
X1 X2	2	入力 出力	発振子接続端子
HVCC	2		5 V 系電源端子 (全 HVCC 端子を 5 V 系電源に接続してください。)
LVCC	2		3 V 系電源端子 (全 LVCC 端子を 3 V 系電源に接続してください。)
DVSS	3		GND 端子 (全 DVSS 端子を GND (0 V) に接続してください。)

- 注 1) $\overline{\text{BUSRQ}}$, $\overline{\text{BUSAK}}$ 端子による外付け DMA コントローラでは、本デバイスの内部メモリおよび内蔵 I/O は、アクセスできません。
- 注 2) 内蔵プルアップ抵抗付きの全端子 (RESET, $\overline{\text{BOOT}}$ 端子を除く) は、ソフトウェアによつて端子名で内蔵プルアップ抵抗を切断することが可能です。

Not Recommended
for New Design

3. 動作説明

ここでは、TMP91C829 の機能および基本動作について、ブロックごとに説明します。

なお、本章の最後に 7.「使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますのでご確認ください。

3.1 CPU

TMP91C829 には、高性能な 16 ビット CPU (900/L1 CPU) が内蔵されています。CPU の動作については、前章の“TLCS-900/L1 CPU”を参照してください。

ここでは、“TLCS-900/L1 CPU”で説明されていない TMP91C829 独自の CPU 機能について説明します。

3.1.1 リセット動作

本デバイスにリセットをかけるには電源電圧が動作範囲内であり、内部高周波発振器の発振が安定した状態で少なくとも 10 システムクロック間 (36 MHz クロック発振時で 8.89 μ s)、 $\overline{\text{RESET}}$ 入力を“Low”レベルにしてください。また、電源投入時は $\overline{\text{RESET}}$ 入力が“Low”レベルで電源電圧が動作範囲内になり、内部高周波発振器の発振が安定した状態で少なくとも 10 システムクロック間、 $\overline{\text{RESET}}$ 入力の“Low”レベルを保持してください。

なお、リセット動作にてクロックギアは 1/16 モードに初期化されるので、システムクロック f_{SYS} は $f_c/32 (= f_c/16 \times 1/2)$ となります。

リセットが受け付けられると、CPU は、

- プログラムカウンタ PC をアドレス FFFF00H~FFFF02H に格納されているリセットベクタに従いセット:
 PC<0:7> ← アドレス FFFF00H の値
 PC<8:15> ← アドレス FFFF01H の値
 PC<16:23> ← アドレス FFFF02H の値
- スタックポインタ XSP を 100H にセット
- ステータスレジスタ SR の IFF2~IFF0 ビットを 111 にセット (割り込みレベルのマスクレジスタをレベル 7 にセット)
- ステータスレジスタ SR の MAX ビットを 1 にセット (マキシマムモードにセット)
- ステータスレジスタ SR の RFP2~RFP0 ビットを 000 にクリア (レジスタバンクを 0 にクリア)

を行い、リセットが解除されると、セットされた PC に従い命令の実行を開始します。

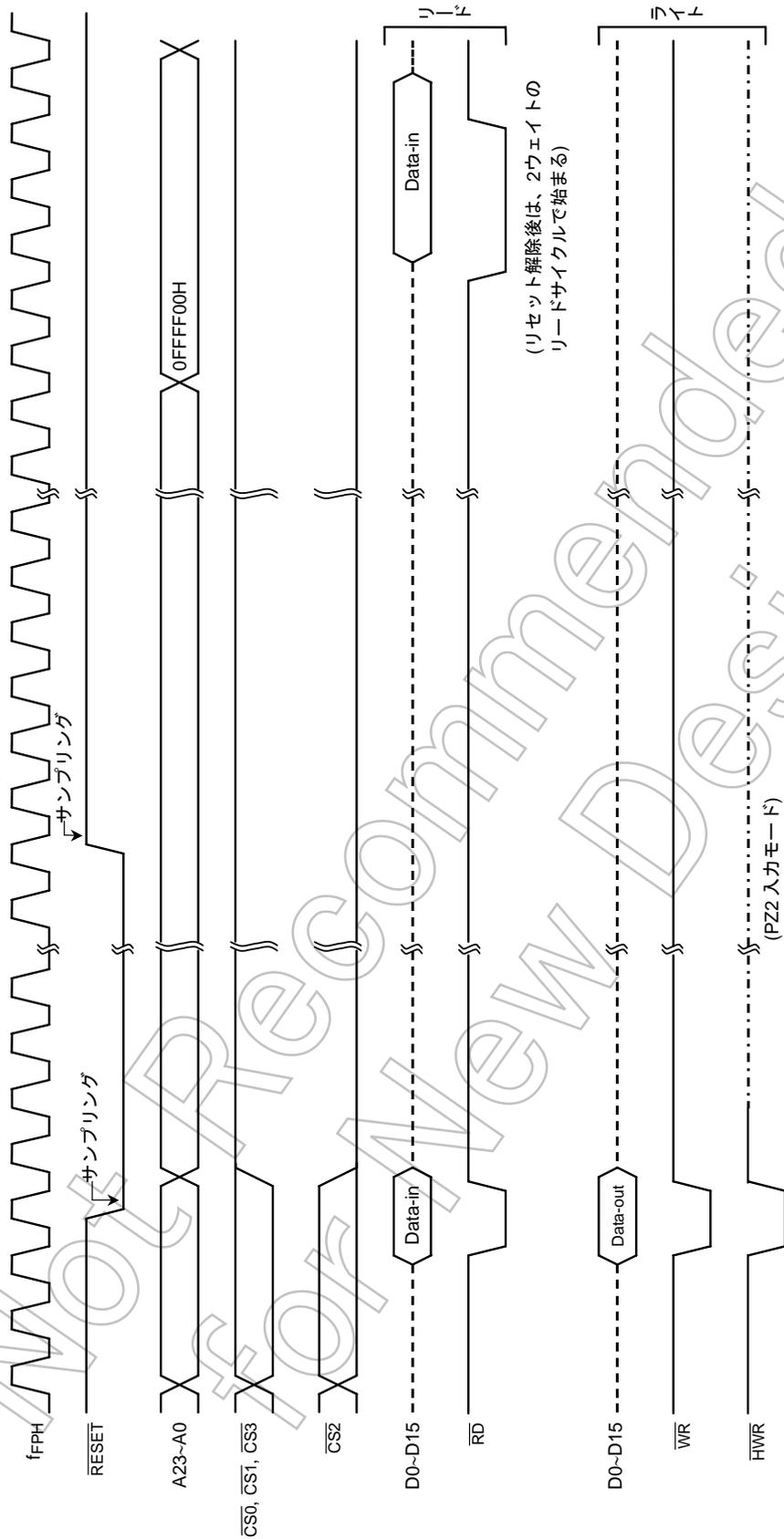
なお、上記以外の CPU 内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵 I/O およびポート、その他の端子は、下記のとおりとなります。

- 内蔵 I/O のレジスタを初期化
- ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセット

注) リセット動作により、CPU の PC, SR, XSP 以外のレジスタ、内蔵 RAM のデータは変化しません。

図 3.1.1 に TMP91C829 のリセットタイミングチャートを示します。



..... 内部でプルアップを示します。
 - - - - - ハイインピーダンスを示します。

図 3.1.1 TMP91C829 リセットタイミングチャート

3.1.2 電源投入としゃ断

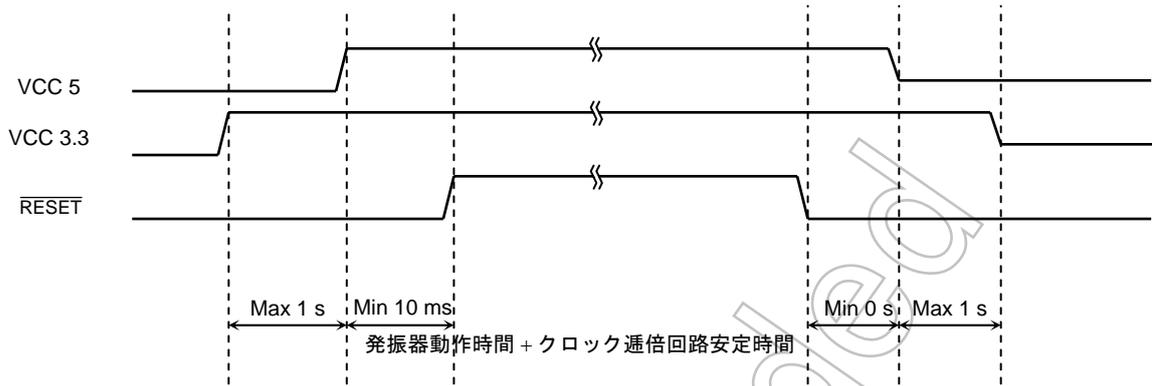


図 3.1.2 電源投入およびしゃ断タイミング

Not Recommended for New Design

3.2 動作モード

動作モードには、マルチチップモード、マルチブートモードがあります。各モードは、リセット解除時の端子状態により設定されます。

- マルチチップモード： 通常動作を行うモードです。リセット解除後、外メモリプログラムの実行を開始します。
- マルチブートモード： 外フラッシュメモリの書き換えをシリアル転送 (UART) で行うモードです。リセット解除後、内蔵ブート ROM が起動し、オンボード書き換えプログラムが実行されます。

表 3.2.1 動作モード設定表

動作モード	モード設定入力端子	
	RESET	BOOT
マルチチップ		H
マルチブート		L

3.3 メモリマップ

TMP91C829 のメモリマップを 図 3.3.1 に示します。

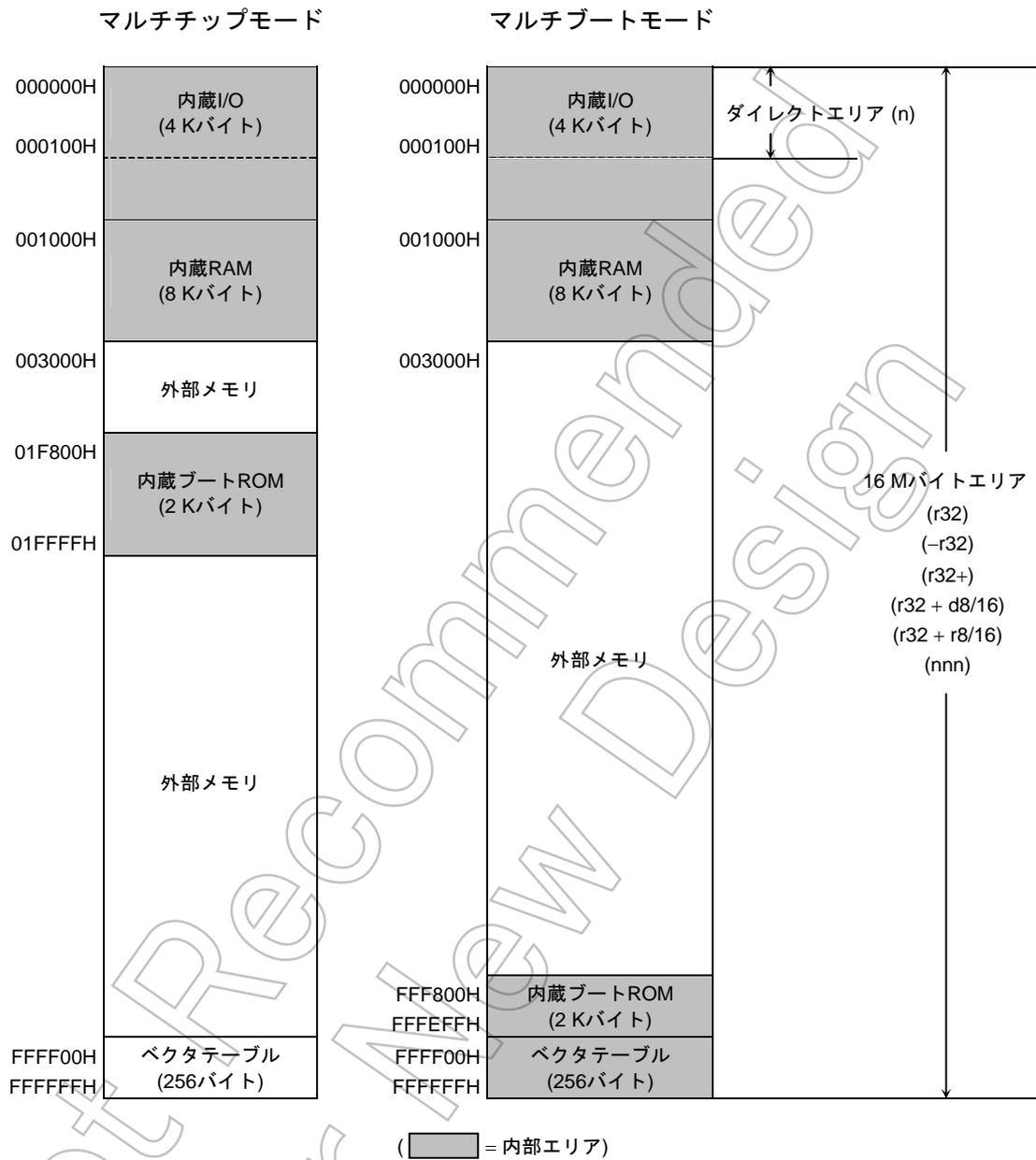


図 3.3.1 TMP91C829 メモリマップ

3.4 スタンバイ制御、ノイズ低減機能

低消費電力、低ノイズ化のために、クロックギア、スタンバイ制御回路、ノイズ低減回路などを内蔵しています。

クロックの動作モードとしては、シングルクロックモード (X1, X2 端子のみ) があります。

図 3.4.1 に動作モード状態遷移図を示します。

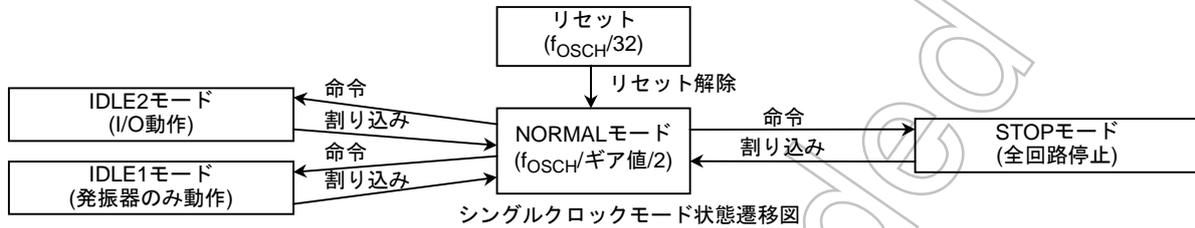


図 3.4.1 動作モード別状態遷移図

X1, X2 端子より入力されるクロック周波数を f_{OSCH} 、 f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.4.1 クロック系統ブロック図

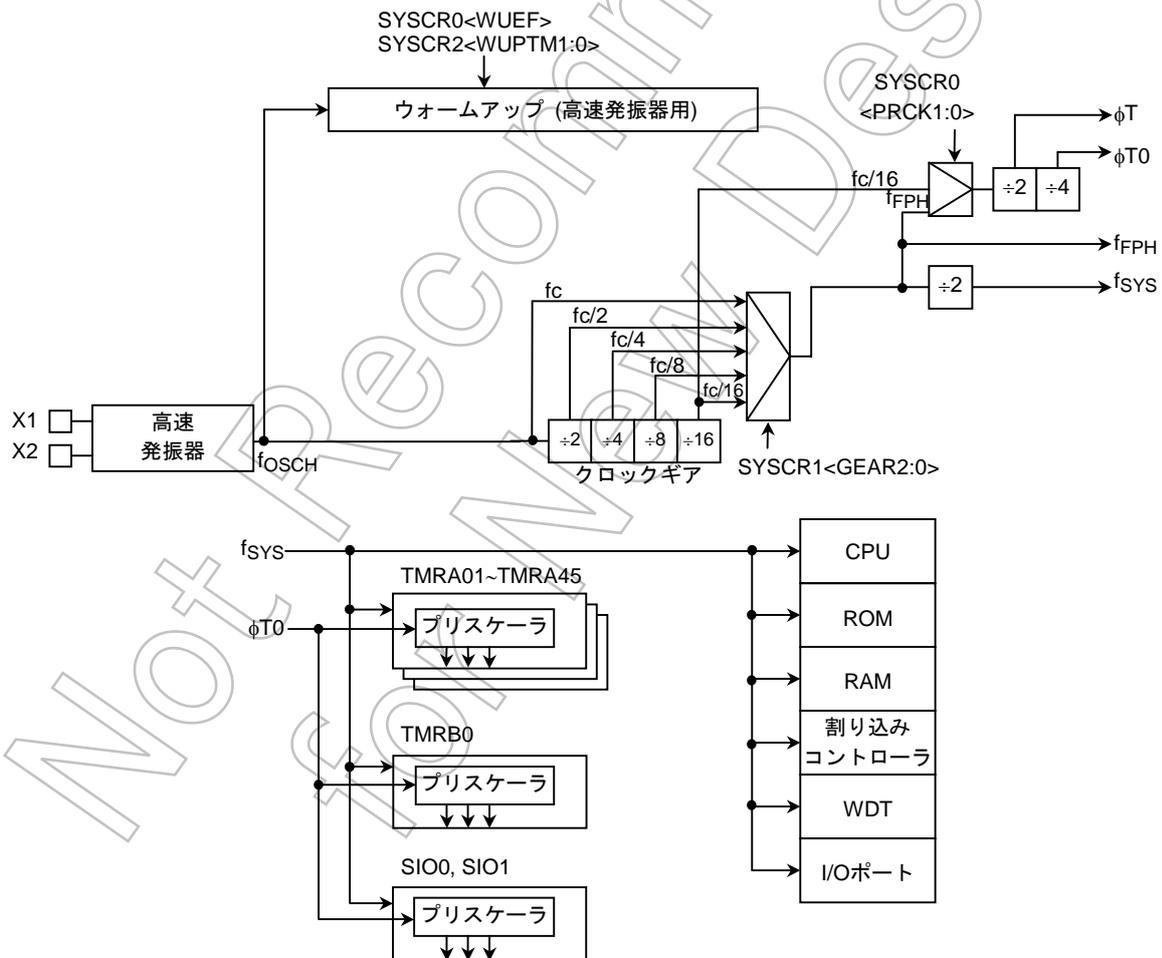


図 3.4.2 スタンバイ関連のブロック図

3.4.2 SFR 説明

		7	6	5	4	3	2	1	0	
SYSCR0 (00E0H)	Bit symbol	-	-	-	-	-	WUEF	PRCK1	PRCK0	
	Read/Write	R/W								
	リセット後	1	0	1	0	0	0	0	0	
	機能	"1" をライトしてください。	"0" をライトしてください。	"1" をライトしてください。	"0" をライトしてください。	"0" をライトしてください。	発振器用ウォームアップタイマ (WUP) 制御 0 ライト: Don't care 1 ライト: WUP スタート 0 リード: WUP 終了 1 リード: WUP 中	プリスケールクロック選択 00: fFPH 01: Reserved 10: fc/16 11: Reserved		
		7	6	5	4	3	2	1	0	
SYSCR1 (00E1H)	Bit symbol						-	GEAR2	GEAR1	GEAR0
	Read/Write	R/W								
	リセット後						0	0	0	0
	機能						"0" をライトしてください。	高速クロックのギア選択 000: 高速クロック 001: 高速クロック /2 010: 高速クロック /4 011: 高速クロック /8 100: 高速クロック /16 101: } 110: } Reserved 111: }		
		7	6	5	4	3	2	1	0	
SYSCR2 (00E2H)	Bit symbol	-	-	WUPTM1	WUPTM0	HALTM1	HALTM0			DRVE
	Read/Write	R/W		R/W	R/W	R/W	R/W			R/W
	リセット後	0		1	0	1	1			0
	機能	"0" をライトしてください。	発振器用 WUP 時間選択 00: Reserved 01: 2 ⁸ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数			HALT モード選択 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード			1: STOP モード中も端子をドライブします。	

図 3.4.3 クロック関係 SFR

	7	6	5	4	3	2	1	0	
EMCCR0 (00E3H)	Bit symbol	PROTECT	-	-	-	-	EXTIN	-	-
	Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	1	0	0	0	1	1
	機能	プロテクト フラグ 0: OFF 1: ON	"0" をライト してください。	"1" をライト してください。	"0" をライト してください。	"0" をライト してください。	1: fc外部 クロック	"1" をライト してください。	"1" をライト してください。
EMCCR1 (00E4H)	Bit symbol	"1FH" をライトでプロテクト OFF "1FH" 以外をライトでプロテクト ON							
	Read/Write								
	リセット後								
	機能								

図 3.4.4 ノイズ関係 SFR

3.4.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{sys}) を生成する回路です。高速発振回路 から出力される f_c クロックを入力として、SYSCR1<GEAR2:0> で高速クロックのギアを 1, 2, 4, 8, 16 段 (f_c, f_c/2, f_c/4, f_c/8, f_c/16) に切り替え、消費電力の低減を図ることができます。

リセットにより <GEAR2:0> = 100 に初期化されますので、システムクロック f_{sys} は f_c/32 (= f_c/16 × 1/2) となります。例えば、X1, X2 端子に 36 MHz の発振子を接続していると、リセットにより f_{sys} は 1.125 MHz となります。

クロックギア切り替え

クロックギア選択レジスタ SYSCR1<GEAR2:0> により、f_{FPH} を f_c, f_c/2, f_c/4, f_c/8, f_c/16 のいずれかに設定できます。クロックギアを使用して f_{FPH} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

設定例: 高速クロックギアの切り替え

```
SYSCR1 EQU 00E1H
LD (SYSCR1), XXXX0000B ; システムクロック fsys を fc/2 へ切り替え
```

X: Don't care

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0> レジスタへ値を書き込むことにより実行されますが、書き込んだ後すぐには切り替わらず、数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令 (ライトサイクルが実行される命令) を挿入してください。

```
(例)
SYSCR1 EQU 00E1H
LD (SYSCR1), XXXX0001B ; fsys を fc/4 へ切り替え
LD (DUMMY), 00H ; ダミー命令
切り替え後のクロックギアで実行すべき命令
```

3.4.4 プリスケーラクロック制御部

内蔵 I/O (TMRA01~TMRA45, TMRB0, SIO0, SIO1) には、それぞれにクロックを分周するプリスケーラがあります。

これらのプリスケーラへ入力するクロック $\phi T0$ は、 f_{FPH} , $f_c/16$ の 2 種類から $SYSCR0<PRCK1:0>$ で選択されたクロックを 4 分周したクロックです。

3.4.5 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

- (1) 高速発振器のシングルドライブ化
- (2) プロテクトレジスタによる暴走対策

(1)~(2)は、EMCCR0~EMCCR1 レジスタによる設定が必要です。

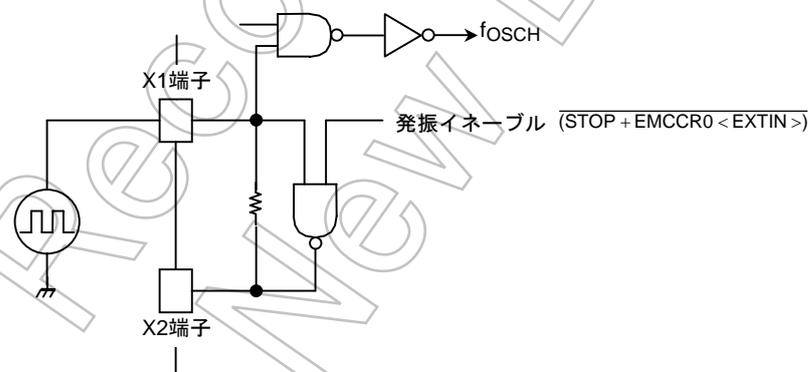
以下に (1)~(2) について説明します。

(1) 高速発振器のシングルドライブ化

(目的)

外部に発振器を接続する際のツインドライブの不要化、および X2 端子開放時のノイズ混入による誤動作防止。

(ブロック図)



(設定方法)

EMCCR0<EXTIN> に 1 をライトすることにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2 端子からは、1 が出力される状態となります。

リセットにより、<EXTIN> は 0 に初期化されます。

注) 外部に発振子を接続している場合は、EMCCR0<EXTIN>に “1” をライトしないでください。

(2) プロテクトレジスタによる暴走対策

(目的)

ノイズ混入などによるプログラムの暴走時の対策。

暴走時の対策プログラムがクロックの停止や、メモリ制御レジスタ (CS/WAIT コントローラ) の変更などにより、フェッチ不可能な状態になることを防止するためプロテクトをかけると、特定の SFR をライト動作禁止にします。

特定の SFR 一覧

- | |
|--|
| <p>1. CS/WAIT コントローラ</p> <p>B0CS, B1CS, B2CS, B3CS, BEXCS,
MSAR0, MSAR1, MSAR2, MSAR3,
MAMR0, MAMR1, MAMR2, MAMR3</p> <p>2. クロックギア (EMCCR1 のみはライト可能です)</p> <p>SYSCR0, SYSCR1, SYSCR2, EMCCR0</p> |
|--|

(ブロック図)



(設定方法)

EMCCR1 レジスタに 1FH 以外のコードをライトすると、プロテクト ON 状態となります。それにより特定の SFR へのライト動作ができなくなります。

EMCCR1 レジスタに 1FH をライトすると、プロテクト OFF 状態となります。プロテクトの状態は、EMCCR0<PROTECT> をリードすることにより確認できます。

リセットにより、プロテクト OFF 状態となります。

3.4.6 スタンバイ制御部

(1) HALT モード

HALT 命令を実行すると、SYSCR2<HALTM1:0> の設定により、IDLE2, IDLE1, STOP のいずれかの HALT モードになります。

IDLE2, IDLE1, STOP モードの特長は、次のとおりです。

a. IDLE2: CPUのみ停止するモードです。

内蔵I/Oは、SFRの中にIDLE2 モード時の動作/停止設定レジスタを1ビット持ち、IDLE2 モードでの動作設定が可能です。

図 3.4.2にIDLE2 設定レジスタの表を示します。

表 3.4.1 IDLE2 モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
TMRA45	TA45RUN<I2TA45>
TMRB0	TB0RUN<I2TB0>
SIO0	SC0MOD1<I2S0>
SIO1	SC1MOD1<I2S0>
AD コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

b. IDLE1: 内部発振器のみ動作します。

c. STOP: すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.4.2に示します。

表 3.4.2 ホルト状態での各ブロックの動作

HALT モード		IDLE2	IDLE1	STOP
SYSCR2<HALTM1:0>		11	10	01
動作 ブロック	CPU	停止		
	I/O ポート	HALT 命令実行時の状態を保持		表 3.4.5,表 3.4.6 参照
	TMRA, TMRB	動作するブロックをプログラマブルに 選択可		
	SIO			
	AD コンバータ			
	WDT			
割り込みコントローラ	動作			

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求またはリセットにより行うことができます。使用できるホルト解除ソースは、CPUのステータスレジスタSRに割り付けられている割り込みマスクレジスタ<IFF2:0>の状態と、HALTモードの組み合わせにより決まります。詳細を表 3.4.3に示します。

● 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合は、ホルト解除を行いません（ノンマスクブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います）。

ただし、INT0~INT4割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合割り込み処理は行わず、HALT 命令の次の命令から処理をスタートします（割り込み要求フラグは1を保持します）。

注) 通常は割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1, STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{PH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み (NMI, INT0~INT4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

● リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOPモードの解除では、発振器動作が安定するための十分なリセット時間 (表 3.4.4を参照) が必要です。

リセットによる解除では、内蔵 RAM のデータは、ホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます (割り込みによる解除では、ホルト状態に入る直前の状態を保持します)。

表 3.4.3 ホルト解除ソースとホルト解除の動作

割り込み受け付け状態		割り込み許可 (割り込みレベル) ≥ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)			
		プログラマブル IDLE2	IDLE1	STOP	プログラマブル IDLE2	IDLE1	STOP	
ホルト解除ソース	割り込み	NMI	◆	◆	◆ ^{*1}	-	-	-
		INTWDT	◆	×	×	-	-	-
		INT0~INT4 (注 1)	◆	◆	◆ ^{*1}	○	○	○ ^{*1}
		INT5	◆	×	×	×	×	×
		INTTA0~INTTA5	◆	×	×	×	×	×
		INTTB00, INTTB01, INTTBOF0	◆	×	×	×	×	×
		INTRX0, INTTX0	◆	×	×	×	×	×
		INTRX1, INTTX1	◆	×	×	×	×	×
		INTAD	◆	×	×	×	×	×
	RESET		LSI を初期化します。					

◆: ホルト解除後、割り込み処理を開始します。

○: ホルト解除後、HALT 命令の次のアドレスから処理を開始します (割り込み処理は行いません)。

×: ホルト解除に使用できません。

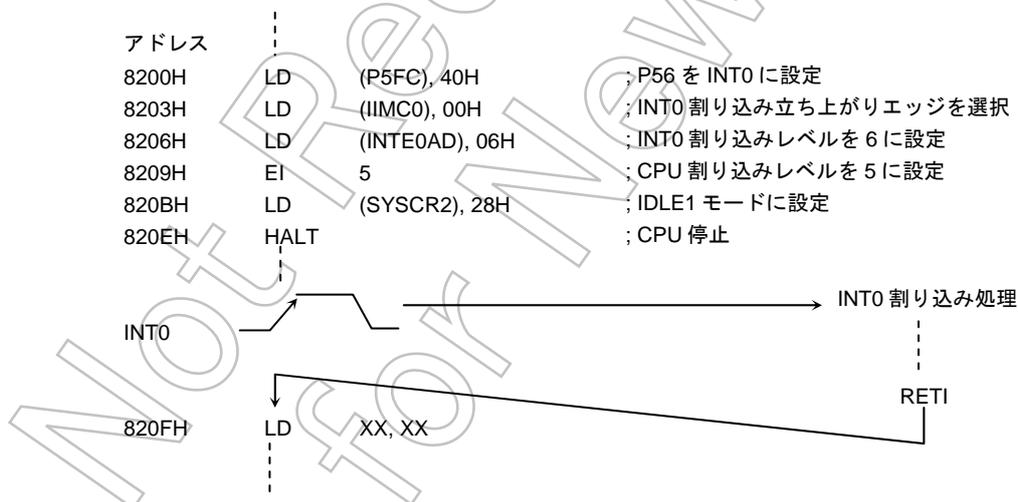
-: ノンマスク割り込みの優先順位レベル (割り込み要求レベル) は最優先の 7 に固定されているため、この組み合わせはありません。

*1: ウォームアップ時間経過後にホルト解除を行います。

注) 割り込み許可状態において、レベルモードの INT0~INT4 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまでそのレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

(ホルト状態からの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合。



(3) 各モードの動作

a. IDLE2モード

IDLE2モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2モードの割り込みによるホルト解除のタイミング例を図 3.4.5に示します。

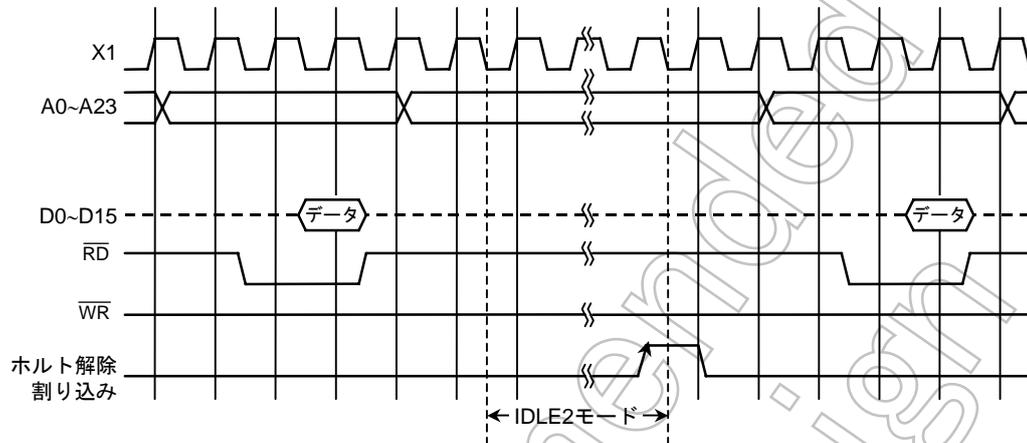


図 3.4.5 割り込みによるホルト解除のタイミング例 (IDLE2モード時)

b. IDLE1モード

IDLE1モードでは内部発振器のみ動作し、システムクロックは停止します。

ホルト状態での割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1モードの割り込みによるホルト解除のタイミング例を図 3.4.6に示します。

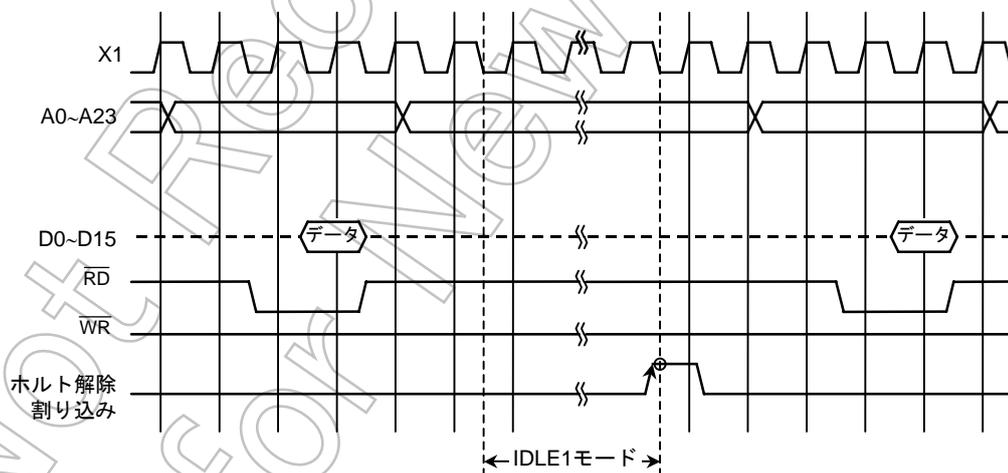


図 3.4.6 割り込みによるホルト解除のタイミング例 (IDLE1モード時)

c. STOP モード

STOPモードでは、内部発振器も含めてすべての内部回路が停止します。また、STOPモード時の端子状態は、SYSCR2<SELDRV, DRVE>の設定により異なります。STOPモード時の端子状態を表 3.4.5, 表 3.4.6に示します。

STOPモードを解除する場合は、内部発振器の安定化のためウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。このウォームアップ時間の設定は、SYSCR2<WUPTM1:0>で行います。表 3.4.4に設定例を示します。

STOPモードの割り込みによるホルト解除のタイミング例を図 3.4.7に示します。

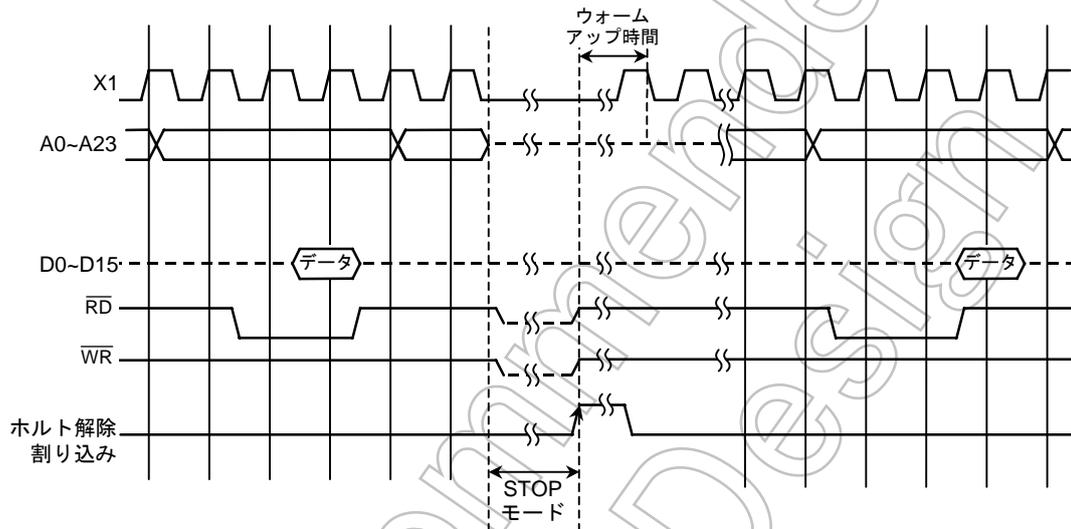


図 3.4.7 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.4.4 ウォームアップ時間の設定例 (STOP モード解除時)

@ f_{OSCH} = 36 MHz

SYSCR2<WUPTM1:0>		
01 (2 ⁸)	10 (2 ¹⁴)	11 (2 ¹⁶)
7.1 μs	0.455 ms	1.820 ms

表 3.4.5 入力バッファ状態表

ポート名	入力機能名	入力バッファ状態								
		リセット中	CPU 動作中		HALT 中 (IDLE1/2)		HALT 中 (STOP)			
			機能設定時	入力ポート設定時	機能設定時	入力ポート設定時	DRVE = 1		DRVE = 0	
						機能設定時	入力ポート設定時	機能設定時	入力ポート設定時	
-	D0~D7	OFF	*1	-	OFF	-	OFF	-	OFF	-
P10~P17	D8~D15			ON		OFF	OFF	OFF	OFF	OFF
P53 (*6)	$\overline{\text{BUSRQ}}$	ON	ON	ON	ON	ON	ON	ON	ON	OFF
P54 (*6)	-	OFF	-	*2	-	OFF	-	OFF	-	OFF
P55 (*6)	$\overline{\text{WAIT}}$									OFF
P56 (*6)	INT0		ON	ON	ON	ON	ON	ON	ON	ON
P70	TA0IN									*3
	INT1									ON
P71	-		-	*2	-	OFF	-	OFF	-	-
P72	INT2		ON	ON	ON	ON	ON	ON	ON	ON
P73	TA4IN		ON	ON	ON	ON	ON	ON	ON	*3
	INT3									ON
P74	-		-	*2	-	OFF	-	OFF	-	-
P75	INT4		ON	ON	ON	ON	ON	ON	ON	ON
P80 (*6)	-		-		-	-	-	-	-	-
P81 (*6)	RXD0		ON	ON	ON	ON	ON	ON	ON	OFF
P82 (*6)	SCLK0		ON	ON	ON	ON	ON	ON	ON	OFF
	$\overline{\text{CTS0}}$									-
P83~P84 (*6)	-		-		-	-	-	-	-	-
P85 (*6)	RXD1		ON	ON	ON	ON	ON	ON	ON	OFF
P86 (*6)	SCLK1		ON	ON	ON	ON	ON	ON	ON	OFF
	$\overline{\text{CTS1}}$									-
P87 (*6)	-		-		-	-	-	-	-	-
P90	INT5		ON	ON	ON	ON	ON	ON	ON	OFF
P93	TB0IN0		ON	ON	ON	ON	ON	ON	ON	OFF
P94	TB0IN1		ON	ON	ON	ON	ON	ON	ON	OFF
P95~P96	-		-		-	-	-	-	-	-
PA0~PA2 (*7)	AN0~AN2		*4	*5	*4	OFF	OFF	OFF	OFF	*4
PA3 (*7)	AN3	OFF	ON	*5	ON	OFF	OFF	OFF	OFF	ON
	ADTRG									*4
PA4~PA7 (*7)	AN4~AN7		*4		*4					*4
PZ2~PZ3 (*6)	-		-	*2	-	-	-	-	-	-
BOOT (*6)	-		-		-	-	-	-	-	-
NMI	-		-		-	-	-	-	-	-
RESET (*6)	-	ON	-	ON	-	ON	-	ON	-	ON
AM0, AM1	-		-		-	-	-	-	-	-
X1	-		-		-	-	-	OFF	-	OFF

ON: 常時バッファが ON しているため、入力端子がドライバされてないと入力バッファに貫通電流が流れます。

OFF: 常時バッファが OFF しています。

-: 対象なし

*1: 外部リード時 ON となります。

*2: ポートアクセス時 ON となります。

*3: FC レジスタ = 0 で OFF、FC レジスタ = 1 で ON となります。

*4: 常に入力許可です。

*5: ポートリード時 ON となります。

*6: プルアップ抵抗付きポートです (プログラマブル)。

*7: AIN 入力では貫通電流が流れません。

表 3.4.6 出力バッファ状態表

ポート名	出力機能名	出力バッファ状態								
		リセット中	CPU 動作中		HALT 中 (IDLE1/2)		HALT 中 (STOP)			
							DRVE = 1		DRVE = 0	
			機能設定時	出力ポート設定時	機能設定時	出力ポート設定時	機能設定時	出力ポート設定時	機能設定時	出力ポート設定時
-	D0~D7	-	*1	-	OFF	-	OFF	-	-	
P10~P17	D8~D15	-	-	ON	OFF	ON	OFF	ON	OFF	
P20~P27	A16~A23	-	-	-	ON	-	ON	-	OFF	
-	A8~A15	ON	ON	-	ON	-	ON	-	-	
-	A0~A7	-	-	-	ON	-	ON	-	-	
-	RD	-	-	-	ON	-	ON	-	-	
-	WR	-	-	-	ON	-	ON	-	-	
P53	-	-	-	-	ON	-	ON	-	OFF	
P54	BUSAK	-	ON	-	ON	-	ON	-	OFF	
P55~P56	-	-	-	-	ON	-	ON	-	OFF	
P60	CS0	ON	ON	-	ON	-	ON	-	OFF	
P61	CS1	-	-	-	ON	-	ON	-	OFF	
P62	CS2	-	-	-	ON	-	ON	-	OFF	
P63	CS3	-	-	-	ON	-	ON	-	OFF	
P70	-	-	-	-	ON	-	ON	-	OFF	
P71	TA1OUT	-	ON	-	ON	-	ON	-	OFF	
P72	TA3OUT	-	-	-	ON	-	ON	-	OFF	
P73	-	-	-	-	ON	-	ON	-	OFF	
P74	TA5OUT	-	ON	-	ON	-	ON	-	OFF	
P75	-	-	-	-	ON	-	ON	-	OFF	
P80	TXD0	-	ON	ON	ON	ON	ON	ON	OFF	
P81	-	-	-	-	ON	-	ON	-	OFF	
P82	SCLK0	-	ON	ON	ON	-	ON	-	OFF	
P83	STS0	-	ON	ON	ON	-	ON	-	OFF	
P84	TXD1	-	-	-	ON	-	ON	-	OFF	
P85	-	-	-	-	ON	-	ON	-	OFF	
P86	SCLK1	-	ON	ON	ON	-	ON	-	OFF	
P87	STS1	-	ON	ON	ON	-	ON	-	OFF	
P90	-	-	-	-	ON	-	ON	-	OFF	
P93~P94	-	-	-	-	ON	-	ON	-	OFF	
P95	TBOOUT0	-	ON	ON	ON	-	ON	-	OFF	
P96	TBOOUT1	-	ON	ON	ON	-	ON	-	OFF	
PZ2	HWR	-	-	-	ON	-	ON	-	OFF	
PZ3	-	-	-	-	ON	-	ON	-	OFF	
X2	-	ON	-	-	ON	-	ON	*3	*3	

ON: 常時バッファが ON しています。ただし、バス開放時は特定の端子の出力バッファは OFF します。
 OFF: 常時バッファが OFF しています。
 -: 対象なし

*1: 外部ライト時 ON となります。
 *2: ブルアップ抵抗付きポートです (プログラマブル)。
 *3: High レベルを出力します。

3.5 割り込み

割り込みは、CPU の割り込みマスクレジスタ $SR<IFF2:0>$ と、内蔵の割り込みコントローラによって制御されます。

割り込み要因には、下記に示す合計 35 本があります。

- | |
|---|
| <ul style="list-style-type: none">• CPU からの割り込み 9 本
(ソフトウェア割り込み、未定義命令実行違反)• 外部端子 (\overline{NMI}, $INT0\sim INT5$) 7 本• 内蔵 I/O からの割り込み 19 本 |
|---|

各割り込み要因ごとに、個別の割り込みベクタ番号(固定)が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位(可変)を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の 7 に固定されています。

割り込みが発生すると、割り込みコントローラはその割り込み要因の優先順位値を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスカブル割り込みの 7)を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ $<IFF2:0>$ の値を比較し、送られてきた優先順位値が割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。 $<IFF2:0>$ の値は EI 命令 (EI num/IFF $<2:0>$ の内容が num) を使用して書き替えることができます。例えば、EI3 とプログラムすると、割り込みコントローラに設定された優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令 ($<IFF2:0>$ が 7) は動作的には EI7 と同じですが、マスカブル割り込みの優先順位値が 0~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後、直ちに有効となります。

上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を高速に行うことができます。

さらに、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトで要求をかける“ソフトスタート機能”があります。

図 3.5.1 に割り込み処理全体のフローを示します。

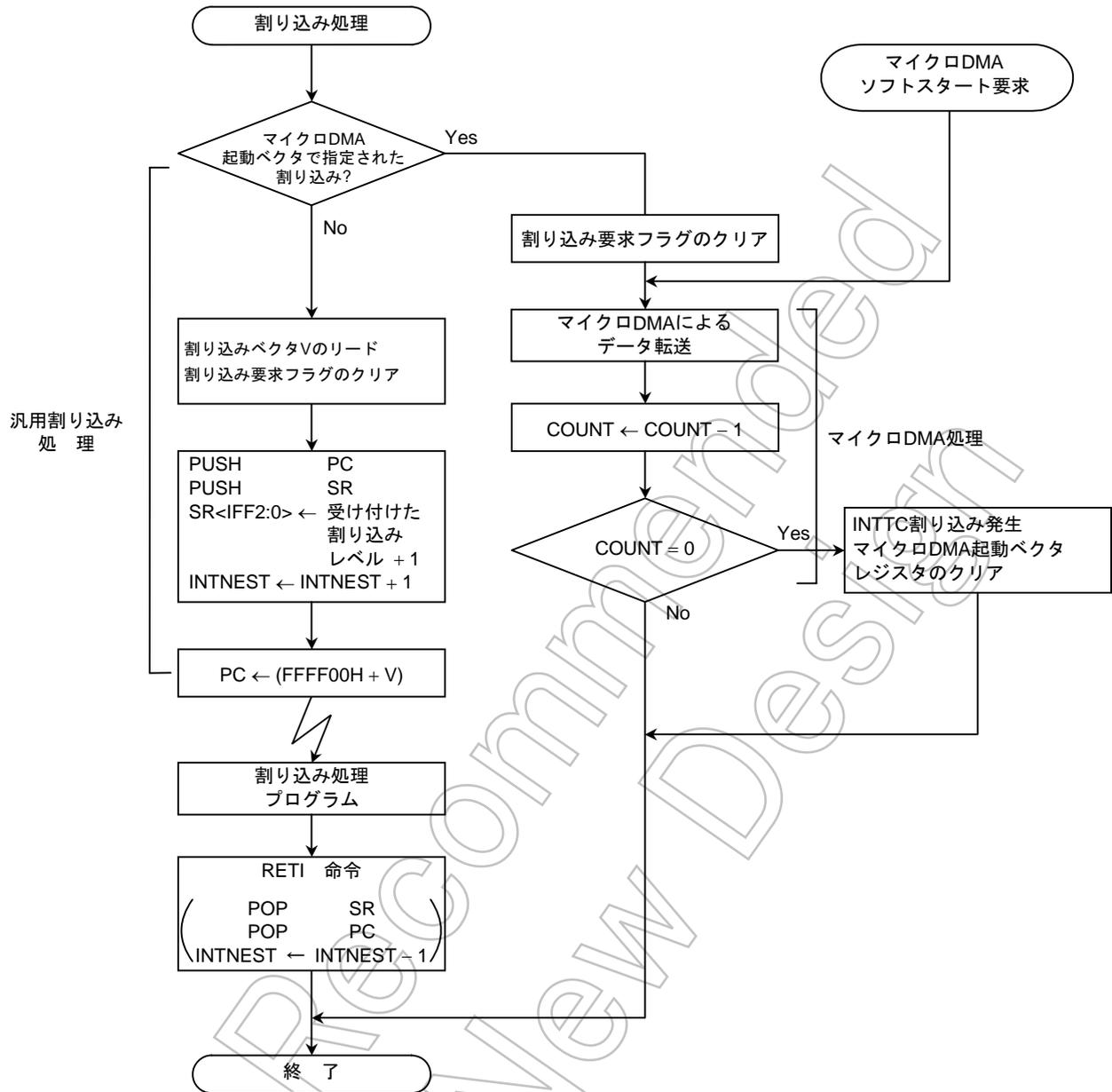


図 3.5.1 割り込み処理全体のフロー

3.5.1 汎用割り込み処理

CPU が割り込みを受け付けると下記の動作をします。なお、この動作は TLCS-900/L、TLCS-900/H と同様です。

- (1) CPU は、割り込みコントローラから割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定: ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。
- (2) CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域 (XSP が示す領域) へ PUSH します。
- (3) CPU の割り込みマスクレジスタ <IFF2:0> の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が7のときは、インクリメントせず7をセットします。
- (4) 割り込みネスティングカウンタ INTNEST を、+1します。
- (5) CPU は、「FFFF00H + 割り込みベクタ」のデータで示されるアドレスへジャンプし、割り込み処理ルーチンを開始します。

上記の処理時間は、ベストケース (メモリ 16 ビット, データバス幅 0 ウェイト) の場合、18 ステート (1.0 μ s @ 36 MHz) です。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容を復帰し、割り込みネスティングカウンタ INTNEST を-1 します。

ノンマスクابل割り込みは、プログラムによって割り込み受け付けを禁止することができません。一方マスクابل割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます。CPU が持つ <IFF2:0> の値以上の優先順位値を持つ割り込み要求があると、割り込みを受け付けます。次に、CPU の <IFF2:0> に、受け付けた優先順位に 1 を加えた値をセットします。従って、割り込み処理中に現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 (1)~(5) までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスクابل割り込みのネスティングを禁止することができます。

リセット後、CPU の <IFF2:0> は 7 に初期化されているため、マスクابل割り込み禁止状態になっています。

アドレス FFFF00H~FFFFFFH (256 バイト) が、割り込みベクタ領域に割り当てられています。表 3.5.1 「TMP91C829 の割り込みテーブル」に割り込みテーブルを示します。

表 3.5.1 TMP91C829 の割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ	
1	ノン マスクابل	リセットまたは SWI0 命令	0000H	FFFF00H	-	
2		SWI1 命令	0004H	FFFF04H	-	
3		INTUNDEF: 未定義命令実行違反、または SWI2 命令	0008H	FFFF08H	-	
4		SWI3 命令	000CH	FFFF0CH	-	
5		SWI4 命令	0010H	FFFF10H	-	
6		SWI5 命令	0014H	FFFF14H	-	
7		SWI6 命令	0018H	FFFF18H	-	
8		SWI7 命令	001CH	FFFF1CH	-	
9		$\overline{\text{NMI}}$ 端子	0020H	FFFF20H	-	
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	-	
-		(マイクロ DMA)	-	-	-	
11	マスクابل	INT0 端子	0028H	FFFF28H	0AH	
12		INT1 端子	002CH	FFFF2CH	0BH	
13		INT2 端子	0030H	FFFF30H	0CH	
14		INT3 端子	0034H	FFFF34H	0DH	
15		INT4 端子	0038H	FFFF38H	0EH	
16		INT5 端子	003CH	FFFF3CH	0FH	
17		(Reserved)	0040H	FFFF40H	10H	
18		(Reserved)	0044H	FFFF44H	11H	
19		(Reserved)	0048H	FFFF48H	12H	
20		INTTA0: 8 ビットタイマ 0	004CH	FFFF4CH	13H	
21		INTTA1: 8 ビットタイマ 1	0050H	FFFF50H	14H	
22		INTTA2: 8 ビットタイマ 2	0054H	FFFF54H	15H	
23		INTTA3: 8 ビットタイマ 3	0058H	FFFF58H	16H	
24		INTTA4: 8 ビットタイマ 4	005CH	FFFF5CH	17H	
25		INTTA5: 8 ビットタイマ 5	0060H	FFFF60H	18H	
26		(Reserved)	0064H	FFFF64H	19H	
27		(Reserved)	0068H	FFFF68H	1AH	
28		INTTB00: 16 ビットタイマ 0 (TBORG0)	006CH	FFFF6CH	1BH	
29		INTTB01: 16 ビットタイマ 0 (TBORG1)	0070H	FFFF70H	1CH	
30		(Reserved)	0074H	FFFF74H	1DH	
31		(Reserved)	0078H	FFFF78H	1EH	
32		INTTBOF0: 16 ビットタイマ 0 (オーバフロー)	007CH	FFFF7CH	1FH	
33		(Reserved)	0080H	FFFF80H	20H	
34		INTRX0: シリアル受信 (チャンネル 0)	0084H	FFFF84H	21H	
35		INTTX0: シリアル送信 (チャンネル 0)	0088H	FFFF88H	22H	
36		INTRX1: シリアル受信 (チャンネル 1)	008CH	FFFF8CH	23H	
37		INTTX1: シリアル送信 (チャンネル 1)	0090H	FFFF90H	24H	
38		(Reserved)	0094H	FFFF94H	25H	
39		(Reserved)	0098H	FFFF98H	26H	
40		INTAD: AD 変換終了	009CH	FFFF9CH	27H	
41		INTTC0: マイクロ DMA 終了 (チャンネル 0)	00A0H	FFFA0H	28H	
42		INTTC1: マイクロ DMA 終了 (チャンネル 1)	00A4H	FFFA4H	29H	
43		INTTC2: マイクロ DMA 終了 (チャンネル 2)	00A8H	FFFA8H	2AH	
44		INTTC3: マイクロ DMA 終了 (チャンネル 3)	00ACH	FFFACH	2BH	
-			(Reserved)	00B0H	FFFB0H	-
5			:	:	:	:
-		(Reserved)	00FCH	FFFFFCH	-	

3.5.2 マイクロ DMA

汎用割り込み処理に加えて、マイクロ DMA 機能があります。マイクロ DMA に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベルで処理を行います。

マイクロ DMA は 4 チャンネル用意されており、バースト指定により連続転送が可能です。

なお、マイクロ DMA 機能は CPU の協調動作によって実現されているため、CPU が HALT 命令を実行しスタンバイ状態になると、マイクロ DMA の要求は無視(保留)されます。

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。<IFF2:0> = 7 のときは、マイクロ DMA の要求は受け付けられません。

マイクロ DMA は 4 チャンネル用意されており、同時に 4 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回 (1/2/4 バイト) 行われ、転送数カウンタをデクリメントします。デクリメントした結果が 0 ならば、CPU はマイクロ DMA 転送終了を割り込みコントローラに伝え、割り込みコントローラは、マイクロ DMA 転送終了割り込み (INTTCn) を発生させ、かつ、マイクロ DMA 起動ベクタレジスタ DMA_nV の値を 0 にクリアして、次のマイクロ DMA 起動を禁止し、マイクロ DMA 処理を終了します。デクリメントした結果が "0" でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを 0 にしておく必要があります。これは、マイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。割り込み要因をマイクロ DMA と汎用割り込みの起動で兼用する場合は、その割り込み要因の割り込みレベルを、ほかのすべての割り込み要因の割り込みレベルより低くする必要があります。なお、その割り込み要因は、エッジ割り込みに限られます。

マイクロ DMA 転送終了割り込みはほかのマスカブル割り込みと同様に、割り込みレベルとデフォルトプライオリティにより優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります (CH0 (高) → CH3 (低))。

転送元/転送先アドレスを設定するレジスタは 32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は 16 M バイトとなります。

注) マイクロ DMA 要因の割り込みレベルを他の割り込みレベルより高くすると、下記のような動作をする場合があります。

下記設定にて INT_{xxx} 割り込みが先に発生し、割り込み処理フロー (図 3.5.1 参照) で、"マイクロ DMA 起動ベクタで指定された割り込み" の確認後で、"割り込みベクタ V のリード" の間に INT_{yyy} が発生した場合、INT_{yyy} の割り込みレベルのほうが高いため、その時点ではベクタ V は INT_{yyy} のベクタ V に変化してしまいます。割り込み処理フローでは、マイクロ DMA の確認が終了しているため、割り込みベクタ V がすり替わる形となり、CPU はそのまま INT_{yyy} のベクタ V をリードしてしまい、マイクロ DMA の転送カウンタにかかわらず INT_{yyy} が発生してしまいます。

INT_{xxx}: レベル 1 DMA 設定なし

INT_{yyy}: レベル 6 DMA 設定あり

転送モードは 1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後の転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O のデータ転送を簡単に行えます。転送モードの詳細は、(4)「転送モードレジスタ」を参照してください。

転送数カウンタは 16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回 (転送カウンタの初期値が 0000H のとき最大) のマイクロ DMA 処理を行うことができます。

マイクロ DMA 処理を行うことのできる割り込み要因は、表 3.5.1 でマイクロ DMA 起動ベクタのある 23 種類の割り込みと、ソフトスタートによる計 24 種類です。

転送先アドレス INC モード 2 バイト転送 (カウンタモード以外は同様) のマイクロ DMA サイクルを図 3.5.2 に示します (全アドレスエリア 16 ビットバス, 0 ウェイト、ソース/デスティネーションアドレスとも偶数の場合)。

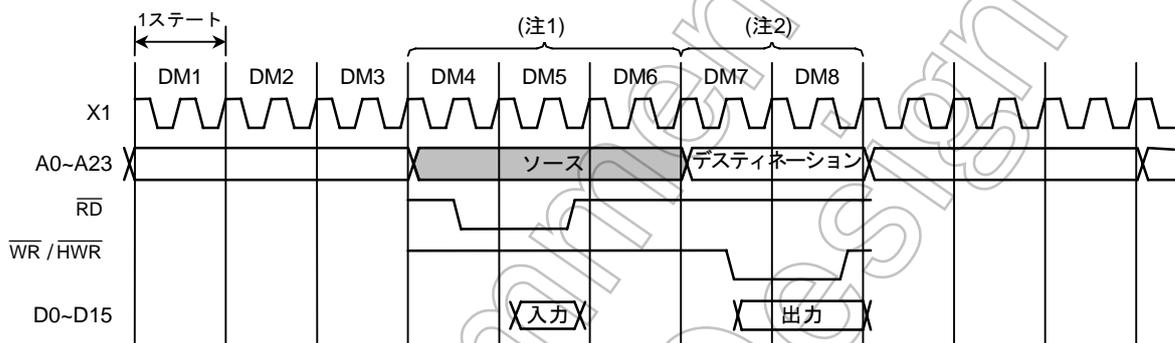


図 3.5.2 マイクロ DMA サイクル図

第 1~3 ステート: 命令フェッチサイクル (次の命令コードを先取りします。)

命令キューバッファに 3 バイト以上の命令コードが入ると、このサイクルはダミーサイクルになります。

第 4~5 ステート: マイクロ DMA リードサイクル

第 6 ステート: ダミーサイクル (アドレスバスは第 5 ステート状態のままです。)

第 7~8 ステート: マイクロ DMA ライトサイクル

注 1) ソースアドレスエリアが 8 ビットバスの場合、+2 ステートされます。

また、ソースアドレスエリアが 16 ビットバスで奇数アドレスから始まる場合も、+2 ステートされます。

注 2) デスティネーションアドレスエリアが 8 ビットバスの場合、+2 ステートされます。

また、デスティネーションアドレスエリアが 16 ビットバスで奇数アドレスから始まる場合も、+2 ステートされます。

(2) ソフトスタート機能

割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへの書き込みサイクルが発生したことにより、マイクロ DMA を起動する“マイクロ DMA ソフトスタート機能”があります。

DMAR レジスタの各ビットに 1 を書き込むことにより、マイクロ DMA を一回起動することができます(0 をライトしても変化しません)。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に 0 にクリアされます。なお、仕様書の制限として一度に 1 チャンネルしか起動できません (複数のビットに 1 を書き込まないでください)。

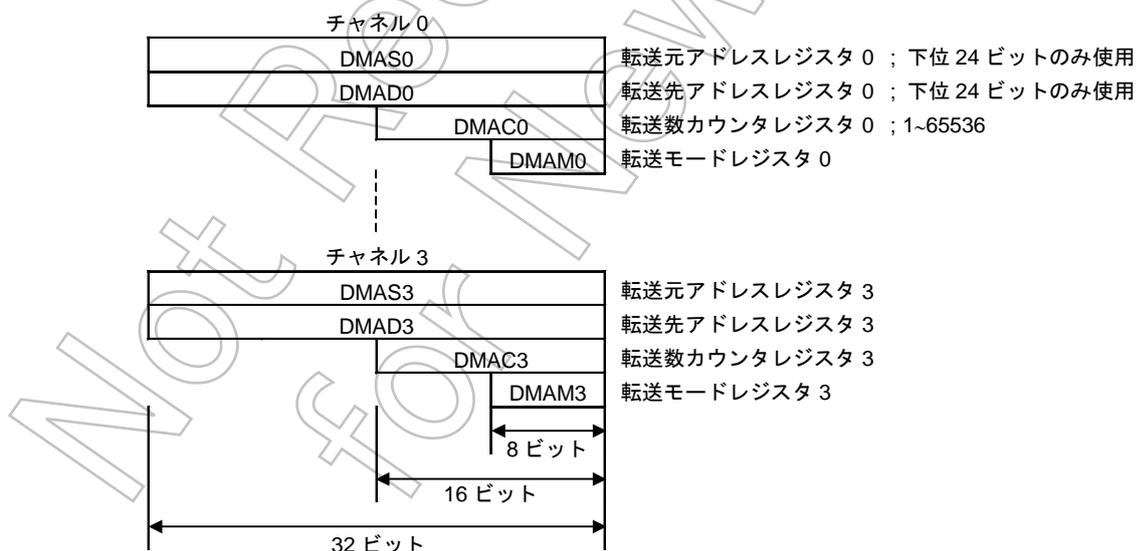
また、再度 DMAR レジスタに 1 を書き込む場合は、そのビットが 0 であることを確認してから行ってください。リードした値が 1 には、まだマイクロ DMA 転送が開始されていません。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが 0 になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトスタートを実行しても、リードモディファイライト命令は使わないでください。

記号	名称	アドレス	7	6	5	4	3	2	1	0				
DMAR	DMA request register	89H (RMW 禁)	/				DMAR3		DMAR2	DMAR1	DMAR0			
							/				R/W			
											0	0	0	0
DMA 要求														

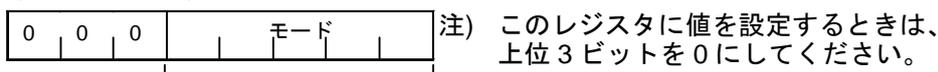
(3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記の CPU 内レジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



(4) 転送モードレジスタ: DMAM0~DMAM3

(DMAM0~DMAM3)



ZZ: 0=バイト転送、1=ワード転送、2=4バイト転送、3=Reserved

0	0	0	Z	Z	転送先アドレス INC モード.....I/O to メモリ用 (DMADn+) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC 発生	8 ステート(444 ns) @バイト/ワード転送 12 ステート(667 ns) @4 バイト転送
0	0	1	Z	Z	転送先アドレス DEC モード.....I/O to メモリ用 (DMADn-) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC 発生	8 ステート(444 ns) @バイト/ワード転送 12 ステート(667 ns) @4 バイト転送
0	1	0	Z	Z	転送元アドレス INC モード.....メモリ to I/O 用 (DMADn) ← (DMASn+) DMACn ← DMACn - 1 if DMACn = 0 then INTTC 発生	8 ステート(444 ns) @バイト/ワード転送 12 ステート(667 ns) @4 バイト転送
0	1	1	Z	Z	転送元アドレス DEC モード.....メモリ to I/O 用 (DMADn) ← (DMASn-) DMACn ← DMACn-1 if DMACn = 0 then INTTC 発生	8 ステート(444 ns) @バイト/ワード転送 12 ステート(667 ns) @4 バイト転送
1	0	0	Z	Z	アドレス固定モード.....I/O to I/O 用 (DMADn) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC 発生	8 ステート(444 ns) @バイト/ワード転送 12 ステート(667 ns) @4 バイト転送
1	0	1	0	0	カウンタモード.....割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn - 1 if DMACn = 0 then INTTC 発生	5 ステート (278 ns)

注 1) n: 対応するマイクロ DMA チャンネル 0~3

DMADn+ / DMASn+: ポストインクリメント (転送後レジスタの値をインクリメント)

DMADn- / DMASn-: ポストデクリメント (転送後レジスタの値をデクリメント)

表中の I/O とは固定されたアドレス、メモリとは INC, DEC されるアドレスを意味します。

注 2) 実行時間: 転送元/転送先アドレス空間が 16 ビットバス幅、0 ウェイトに設定されている場合を示します。クロック条件は fc = 36 MHz、高速クロックギア: 1 倍 (fc) です。

注 3) 転送モードレジスタへは上記以外のコードを設定しないでください。

3.5.3 割り込みコントローラの制御

図 3.5.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路と、ホルト解除回路を示しています。

割り込みコントローラは各割り込みチャンネルごと(合計 26 チャンネル)に、割り込み要求フラグ、割り込みレベルレジスタ、マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタをリード
- 割り込みをクリアする命令の実行 (INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA を受け付けたとき
- その割り込みでのマイクロ DMA バースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込みレベルレジスタ (INTE0AD, INTE12 … など) にそれぞれのレベルを設定できます。設定できる割り込みレベルは、1 から 6 までの 6 レベルです。レベルを 0 (または 7) にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスクابل割り込み (NMI 端子, ウォッチドッグタイマ) のレベルは 7 に固定されています。また、同時に同一レベルの割り込み要求が発生した場合にはデフォルトプライオリティに従い、割り込みを受け付けます。なお、割り込みレベルレジスタのビット 3, ビット 7 を読むと、割り込み要求フラグの状態が読み出され、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU はステータスレジスタ (SR) に割り付けられている割り込みマスクレジスタ <IFF2:0> と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、SR<IFF2:0> に受け付けた割り込みレベル+1 の値をセットし、この値以上の割り込み要求だけが多重に受け付けられる割り込み要因となります。割り込み処理の終了 (RETI 命令の実行) により、SR<IFF2:0> には、スタックに退避されていた割り込み発生以前の割り込みマスクレジスタの値がリストアされます。

割り込みコントローラには、マイクロ DMA の起動ベクタを格納するレジスタ (4 チャンネル) が用意されています。このレジスタに起動ベクタ (表 3.6.1 参照) を書き込むことにより、該当する割り込み要求が発生することによってマイクロ DMA が起動されます。なお、このマイクロ DMA 処理の前に、マイクロ DMA パラメータ用レジスタ (DMAS, DMAD など) に値を設定しておく必要があります。

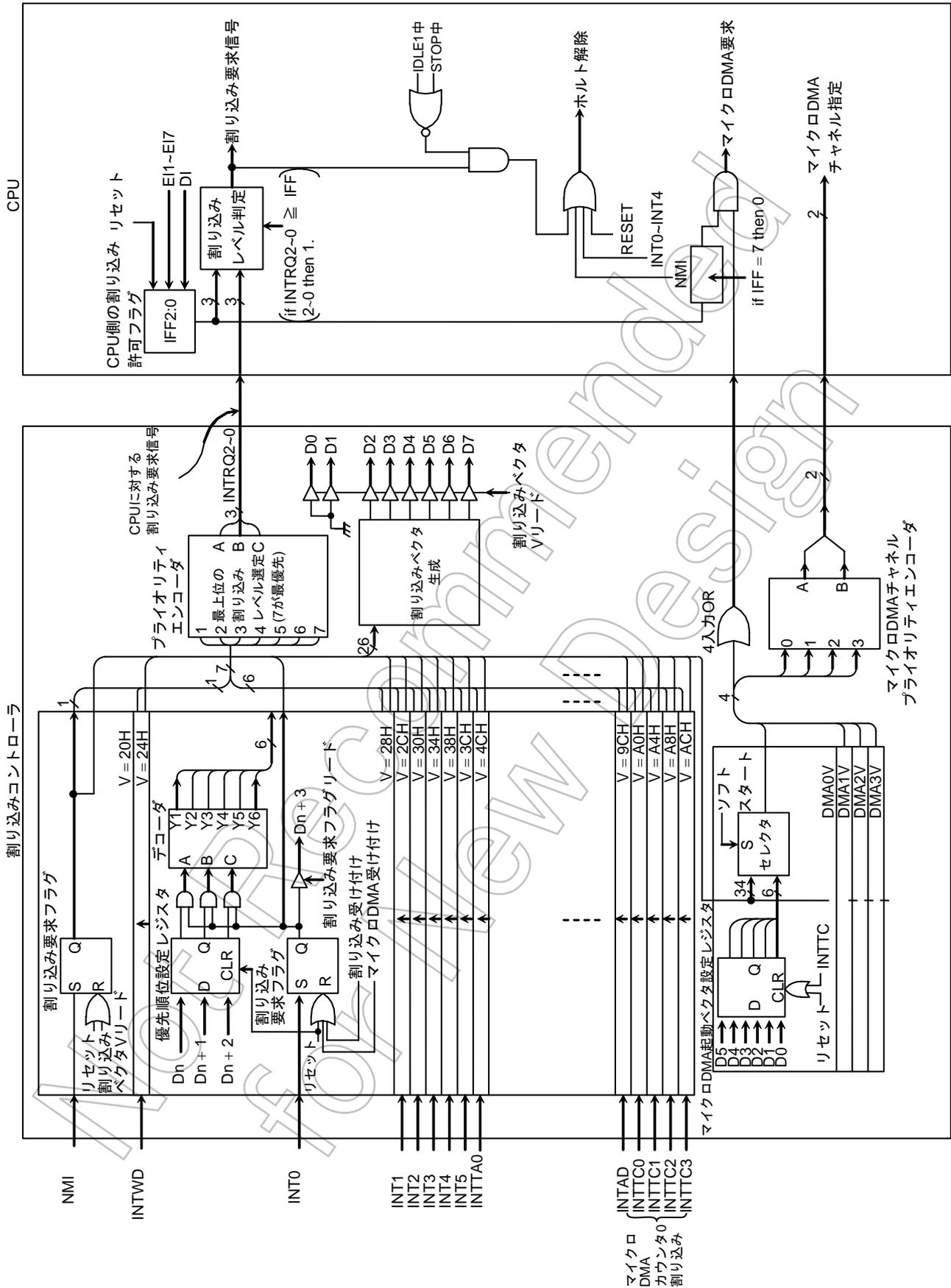


図 3.5.3 割り込みコントローラブロック図

(1) 割り込みレベル設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD enable	90H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE12	INT1 & INT2 enable	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	92H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE5	INT5 enable	93H	/				INT5			
							I5C	I5M2	I5M1	I5M0
							R	R/W		
							0	0	0	0
INTEA01	INTTA0 & INTTA1 enable	95H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA23	INTTA2 & INTTA3 enable	96H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA45	INTTA4 & INTTA5 enable	97H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み要求フラグ

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを 1 に設定
0	1	0	割り込みレベルを 2 に設定
0	1	1	割り込みレベルを 3 に設定
1	0	0	割り込みレベルを 4 に設定
1	0	1	割り込みレベルを 5 に設定
1	1	0	割り込みレベルを 6 に設定
1	1	1	割り込み要求を禁止に設定

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETB0	Interrupt enable TMRB0	99H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETB0V	Interrupt enable TMRB0V (オーバーフロー)	9BH	(Reserved)				INTTBOF0 (オーバーフロー)			
			/				ITF0C	ITF0M2	ITF0M1	ITF0M0
			/				R	R/W		
			/				0	0	0	0
INTES0	Interrupt enable serial 0	9CH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	Interrupt enable serial 1	9DH	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC01	INTTC0 & INTTC1 enable	A0H	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 enable	A1H	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

割り込み要求フラグ

ixxM2	ixxM1	ixxM0	機能(ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを 1 に設定
0	1	0	割り込みレベルを 2 に設定
0	1	1	割り込みレベルを 3 に設定
1	0	0	割り込みレベルを 4 に設定
1	0	1	割り込みレベルを 5 に設定
1	1	0	割り込みレベルを 6 に設定
1	1	1	割り込み要求を禁止に設定

(2) 外部割り込みの制御

記号	名称	アドレス	7	6	5	4	3	2	1	0		
IIMC0	Interrupt input mode control 0	8CH (RMW 禁)	—	I2EDGE	I2LE	I1EDGE	I1LE	I0EDGE	I0LE	NMIREE		
			W									
			0	0	0	0	0	0	0	0		
			“0”をライトしてください。	INT2エッジ 0: 立ち上がり 1: 立ち下がり	INT2 0: エッジ 1: レベル	INT1エッジ 0: 立ち上がり 1: 立ち下がり	INT1 0: エッジ 1: レベル	INT0エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0: エッジ 1: レベル	1: NMI 立ち上がりでも動作。		

INT2 レベルイネーブル

0	エッジ検出割り込み
1	Hレベル割り込み

INT1 レベルイネーブル

0	エッジ検出割り込み
1	Hレベル割り込み

INT0 レベルイネーブル

0	エッジ検出割り込み
1	Hレベル割り込み

NMI 立ち上がりエッジイネーブル

0	立ち下がりエッジで割り込み要求発生
1	立ち上がり/立ち下がり両方のエッジで割り込み要求発生

記号	名称	アドレス	7	6	5	4	3	2	1	0	
IIMC1	Interrupt input mode control 0	8DH (RMW 禁)		I5EDGE	I5LE	I4EDGE	I4LE	I3EDGE	I3LE		
			W								
			0	0	0	0	0	0	0		
			INT5エッジ 0: 立ち上がり 1: 立ち下がり	INT5 0: エッジ 1: レベル	INT4エッジ 0: 立ち上がり 1: 立ち下がり	INT4 0: エッジ 1: レベル	INT3エッジ 0: 立ち上がり 1: 立ち下がり	INT3 0: エッジ 1: レベル			

INT5 レベルイネーブル

0	エッジ検出割り込み
1	Hレベル割り込み

INT4 レベルイネーブル

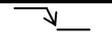
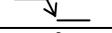
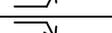
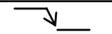
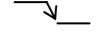
0	エッジ検出割り込み
1	Hレベル割り込み

INT3 レベルイネーブル

0	エッジ検出割り込み
1	Hレベル割り込み

IIMC0, IIMC1 のレジスタの切り替えは、INT 機能を持つポートの各 FC レジスタを 0 にしてから行ってください。

外部割り込み端子の機能設定

割り込み端子	モード	設定方法
NMI	 立ち下がりエッジ	<NMIREE> = 0
	 立ち下がり/立ち上がり両エッジ	<NMIREE> = 1
INT0	 立ち上がりエッジ	<I0LE> = 0, <I0EDGE> = 0
	 立ち下がりエッジ	<I0LE> = 0, <I0EDGE> = 1
	 High レベル	<I0LE> = 1, <I0EDGE> = 0
	 Low レベル	<I0LE> = 1, <I0EDGE> = 1
INT1	 立ち上がりエッジ	<I1LE> = 0, <I1EDGE> = 0
	 立ち下がりエッジ	<I1LE> = 0, <I1EDGE> = 1
	 High レベル	<I1LE> = 1, <I1EDGE> = 0
	 Low レベル	<I1LE> = 1, <I1EDGE> = 1
INT2	 立ち上がりエッジ	<I2LE> = 0, <I2EDGE> = 0
	 立ち下がりエッジ	<I2LE> = 0, <I2EDGE> = 1
	 High レベル	<I2LE> = 1, <I2EDGE> = 0
	 Low レベル	<I2LE> = 1, <I2EDGE> = 1
INT3	 立ち上がりエッジ	<I3LE> = 0, <I3EDGE> = 0
	 立ち下がりエッジ	<I3LE> = 0, <I3EDGE> = 1
	 High レベル	<I3LE> = 1, <I3EDGE> = 0
	 Low レベル	<I3LE> = 1, <I3EDGE> = 1
INT4	 立ち上がりエッジ	<I4LE> = 0, <I4EDGE> = 0
	 立ち下がりエッジ	<I4LE> = 0, <I4EDGE> = 1
	 High レベル	<I4LE> = 1, <I4EDGE> = 0
	 Low レベル	<I4LE> = 1, <I4EDGE> = 1
INT5	 立ち上がりエッジ	<I5LE> = 0, <I5EDGE> = 0
	 立ち下がりエッジ	<I5LE> = 0, <I5EDGE> = 1
	 High レベル	<I5LE> = 1, <I5EDGE> = 0
	 Low レベル	<I5LE> = 1, <I5EDGE> = 1

(3) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタにマイクロ DMA 起動ベクタを書くことで行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH INT0 割り込み要求フラグのクリア

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt clear control	88H (RMW 禁)			CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
					W					
					0	0	0	0	0	0
割り込みベクタ										

(4) マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因を、マイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが 0 になると、割り込みコントローラに、そのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

従って、2 チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します(マイクロ DMA のチェーン)。

記号	名称	アドレス	7	6	5	4	3	2	1	0			
DMA0V	DMA0 start vector	80H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0			
					R/W								
					0	0	0	0	0	0			
					DMA0 開始ベクタ								
DMA1V	DMA1 start vector	81H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0			
					R/W								
					0	0	0	0	0	0			
					DMA1 開始ベクタ								
DMA2V	DMA2 start vector	82H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0			
					R/W								
					0	0	0	0	0	0			
					DMA2 開始ベクタ								
DMA3V	DMA3 start vector	83H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0			
					R/W								
					0	0	0	0	0	0			
					DMA3 開始ベクタ								

(5) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1 回のマイクロ DMA 起動で転送カウンタレジスタが 0 になるまで、連続転送を行うことが可能です。DMAB レジスタのマイクロ DMA チャンネルに対応するビットを 1 にすることで、バースト指定できます。

記号	名称	アドレス	7	6	5	4	3	2	1	0			
DMAR	DMA software request register	89H (RMW 禁)					DMAR3	DMAR2	DMAR1	DMAR0			
							R/W				R/W	R/W	R/W
							0	0	0	0			
							1: DMA のソフト要求						
DMAB	DMA burst register	8AH					DMAB3	DMAB2	DMAB1	DMAB0			
							R/W						
							0	0	0	0			
							1: DMA のバースト要求						

(6) 注意事項

CPU は、命令実行ユニットとバスインタフェースユニットが分かれています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令(注)を実行するということがあり得ます。この場合、CPU は要因消滅ベクタ 0008H を読み込み、アドレス FFFF08H の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を書き込むようにしてください。クリアする命令を実行した後に再び EI 命令で割り込みをイネーブルにするときは、クリア命令後、必ず 1 命令以上間を置いてから EI 命令を実行してください。クリア命令後すぐに EI 命令を実行すると、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル(ステータスレジスタ SR の<IFF2:0>)を書き替えるときは、必ず DI 命令により割り込みを禁止した後で POP SR 命令を実行してください。

その他、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0~INT5のレベルモード	<p>エッジタイプの割り込みではないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更(エッジ → レベル)を行った場合、以前の割り込み要求フラグは自動的にクリアされます。</p> <p>(INT0 を例に説明) INT0 を 0 から 1 にすることによって CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を 1 のままにしておく必要があります。また、INT0 のレベルモードをホルトの解除に使用する場合も、一度 0 から 1 にした場合は、ホルトが解除されるまで必ず 1 を保持しておく必要があります(ノイズによって途中で 0 が入ることがないようにしてください)。レベルモードからエッジモードへ切り替えたとき、レベルモード時に受け付けた割り込み要求フラグはクリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。</p> <pre>DI LD (IIMCO), 00H; レベルからエッジへ切り替える LD (INTCLR), 0AH; INT0 割り込み要求フラグをクリア NOP; EI の実行待ち EI</pre>
INTRX	<p>割り込み要求用フリップフロップをクリアするには、リセット動作またはシリアルチャネルの受信バッファをリードする必要があります。INTCLR レジスタライトによるクリアはできません。</p>

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0~INT5: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令
レベルモードでの割り込み要求発生後の端子入力変化 (H → L)

INTRX: 受信バッファをリードする命令

3.6 ポート機能

合計 53 ビットの入出力ポートがあります。

また、これらのポート端子は汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表 3.6.1に各ポート端子の機能を、表 3.6.2~表 3.6.3に各端子の設定方法を示します。

表 3.6.1 ポート機能

(R: ↑ = プログラマブルプルアップ抵抗付き)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
Port 1	P10~P17	8	入出力	-	ビット	D8~D15
Port 2	P20~P27	8	出力	-	ビット	A16~A23
Port 5	P53	1	入出力	↑	ビット	BUSRQ
	P54	1	入出力	↑	ビット	BUSAK
	P55	1	入出力	↑	ビット	WAIT
	P56	1	入出力	↑	ビット	INT0
Port 6	P60	1	出力	-	ビット	CS0
	P61	1	出力	-	ビット	CS1
	P62	1	出力	-	ビット	CS2
	P63	1	出力	-	ビット	CS3
Port 7	P70	1	入出力	-	ビット	TA0IN /INT1
	P71	1	入出力	-	ビット	TA1OUT
	P72	1	入出力	-	ビット	TA3OUT/INT2
	P73	1	入出力	-	ビット	TA4IN/INT3
	P74	1	入出力	-	ビット	TA5OUT
	P75	1	入出力	-	ビット	INT4
Port 8	P80	1	入出力	↑	ビット	TXD0
	P81	1	入出力	↑	ビット	RXD0
	P82	1	入出力	↑	ビット	SCLK0/CTS0
	P83	1	入出力	↑	ビット	STS0
	P84	1	入出力	↑	ビット	TXD1
	P85	1	入出力	↑	ビット	RXD1
	P86	1	入出力	↑	ビット	SCLK1/CTS1
	P87	1	入出力	↑	ビット	STS1
Port 9	P90	1	入出力	-	ビット	INT5
	P93	1	入出力	-	ビット	TB0IN0
	P94	1	入出力	-	ビット	TB0IN1
	P95	1	入出力	-	ビット	TB0OUT0
	P96	1	入出力	-	ビット	TB0OUT1
Port A	PA0~PA7	8	入力	-	(Fixed)	AN0~AN7
Port Z	PZ2	1	入出力	↑	ビット	HWR
	PZ3	1	入出力	↑	ビット	

表 3.6.2 I/O ポート設定一覧表 (1/2)

ポート名	ピン名称	仕様	I/O レジスタ設定値		
			Pn	PnCR	PnFC
Port 1	P10~P17	入力ポート	×	0	0
		出力ポート	×	1	0
		D8~D15 パス	×	1	1
Port 2	P20~P27	出力ポート	×	1	0
		A16~A23 出力	×	1	1
Port Z	PZ2	入力ポート (プルアップなし)	0	0	0
		入力ポート (プルアップあり)	1	0	0
		出力ポート	×	1	0
		HWR 出力	×	1	1
	PZ3	入力ポート (プルアップなし)	0	0	None
		入力ポート (プルアップあり)	1	0	
		出力ポート	×	1	
Port 5	P53	入力ポート (プルアップなし)	0	0	0
		入力ポート (プルアップあり)	1	0	0
		出力ポート	×	1	0
		$\overline{\text{BUSRQ}}$ 入力 (プルアップなし)	0	0	1
		$\overline{\text{BUSRQ}}$ 入力 (プルアップあり)	1	0	1
	P54	入力ポート (プルアップなし)	0	0	0
		入力ポート (プルアップあり)	1	0	0
		出力ポート	×	1	0
		$\overline{\text{BUSAK}}$ 出力	×	1	1
	P55	入力ポート/ウェイト入力 (プルアップなし)	0	0	None
		入力ポート/ウェイト入力 (プルアップあり)	1	0	
		出力ポート	×	1	
	P56	入力ポート/INT0 入力 (プルアップなし)	0	0	1
		入力ポート/INT0 入力 (プルアップあり)	1	0	1
		出力ポート	×	1	0
Port 6	P60~P63	出力ポート	×	None	0
	P60	$\overline{\text{CS0}}$ 出力	×		1
	P61	$\overline{\text{CS1}}$ 出力	×		1
	P62	$\overline{\text{CS2}}$ 出力	×		1
	P63	$\overline{\text{CS3}}$ 出力	×		1
Port 7	P70~P75	入力ポート	×	0	0
		出力ポート	×	1	0
	P70	TA0IN 入力	×	0	None
		INT1 入力	×	0	1
	P71	TA1OUT 出力	×	1	1
	P72	TA3OUT 出力	×	1	1
		INT2 入力	×	0	1
	P73	TA4IN 入力	×	0	None
		INT3 入力	×	0	1
	P74	TA5OUT 出力	×	1	1
P75	INT4 入力	×	0	1	

X: Don't care

表 3.6.3 I/O ポート設定一覧表 (2/2)

ポート名	ピン名称	仕様	I/O レジスタ設定値		
			Pn	PnCR	PnFC
Port 8	P80	入力ポート (プルアップなし)	0	0	0
		入力ポート (プルアップあり)	1	0	0
		出力ポート	×	1	0
		TXD0 出力	×	1	1
	P81	入力ポート/RXD0 入力 (プルアップなし)	0	0	None
		入力ポート/RXD0 入力 (プルアップあり)	1	0	
		出力ポート	×	1	
	P82	入力ポート/SCLK0/CTS0 入力 (プルアップなし)	0	0	0
		入力ポート/SCLK0/CTS0 入力 (プルアップあり)	1	0	0
		出力ポート	×	1	0
		SCLK0 出力	×	1	1
	P83	入力ポート (プルアップなし)	0	0	0
		入力ポート (プルアップあり)	1	0	0
		出力ポート	×	1	0
		STS0 出力	×	1	1
	P84	入力ポート (プルアップなし)	0	0	0
		入力ポート (プルアップあり)	1	0	0
		出力ポート	×	1	0
		TXD1 出力	×	1	1
	P85	入力ポート/RXD1 入力 (プルアップなし)	0	0	None
		入力ポート/RXD1 入力 (プルアップあり)	1	0	
		出力ポート	×	1	
	P86	入力ポート/SCLK1/CTS1 入力 (プルアップなし)	0	0	0
		入力ポート/SCLK1/CTS1 入力 (プルアップあり)	1	0	0
出力ポート		×	1	0	
SCLK1 出力		×	1	1	
P87	入力ポート (プルアップなし)	0	0	0	
	入力ポート (プルアップあり)	1	0	0	
	出力ポート	×	1	0	
	STS1 出力	×	1	1	
Port 9	P90	入力ポート	×	0	0
		出力ポート	×	1	0
		INT5 入力	×	0	1
	P93~P96	入力ポート	×	0	None
		出力ポート	×	1	
	P93	TB0IN0 入力	×	0	
	P94	TB0IN1 入力	×	0	
	P95	TB0OUT0 出力	×	1	1
	P96	TB0OUT1 出力	×	1	1
	Port A	PA3	入力ポート	×	None
ADTRG 入力			×		
PA0~PA7		入力ポート	×		
		AN0~AN7	×		

X: Don't care

注 1) PA0~PA7 を AD コンバータの入力チャネルとして使用する場合は、チャンネル選択は、ADMOD1<ADCH2:0> で設定します。

注 2) PA3 を $\overline{\text{ADTRG}}$ 入力として使用する場合は、ADMOD1<ADTRGE> にて外部トリガ許可の設定をします。

リセット動作により、これらのポート端子は汎用入出力ポートとなります。
 なお、入力と出力がプログラマブルな入出力端子は、入力ポートになります。
 内蔵機能用にポート端子を使うときは、プログラムによる設定が必要です。

バス解放中のプログラマブルプルアップ使用時の注意事項

バス解放時 ($\overline{\text{BUSAK}} = 0$)、D0~D15, A0~A23, バスコントロール信号 ($\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{HWR}}$, $\overline{\text{CS0}} \sim \overline{\text{CS3}}$) の出力バッファを OFF し、ハイインピーダンス状態にします。ただし、内蔵のプログラマブルプルアップ抵抗は、働き続けます。このプログラマブルプルアップ抵抗は、入力モードで利用するときのみ、プログラマブルに付加/付加なしを選択できます。出力モードで利用するときは、プログラマブルに選択することはできません。

表 3.6.4 にバス解放時の端子状態を示します。

表 3.6.4 バス解放時の端子状態

端子名	バス解放時の端子状態	
	ポートモード	ファンクションモード
P10~P17 (D8~D15)	状態は変化しません (ハイインピーダンスになりません)。	ハイインピーダンスになります。
P20~P27 (A16~A23)	状態は変化しません (ハイインピーダンスになりません)。	出力バッファは OFF します (一度 High にしてから)。
$\overline{\text{RD}}$ $\overline{\text{WR}}$	↑	↑
PZ2 (HWR)	↑	出力バッファは OFF します。出力ラッチの値に関係なく内蔵プルアップが付加されます。
P60 (CS0) P61 (CS1) P62 (CS2) P63 (CS3)	↑	↑

図 3.6.1 にバス解放機能使用時の上記信号の外部インタフェース例を示します。

なお、バス解放状態では内蔵メモリおよび内蔵 I/O はアクセスできませんが、内蔵 I/O の動作は継続します。従って、ウォッチドッグタイマはカウントを継続しますので、バス解放機能を使用する場合は、バス解放時間を考慮して暴走検出時間を設定してください。

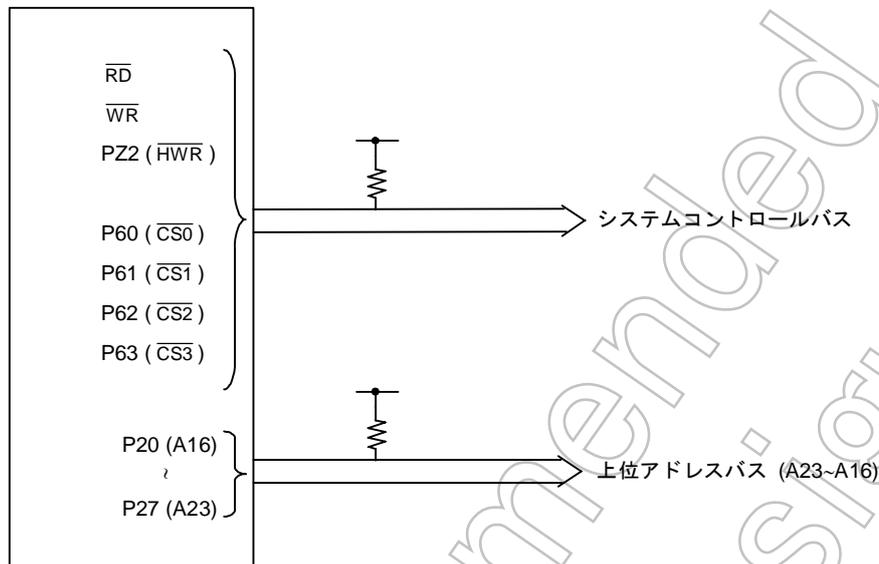


図 3.6.1 バス解放機能使用時 外部バスインタフェース例

バス解放時の信号レベルを確定させるために、外部にプルアップ抵抗を付加させる場合、上図のような回路が必要になります。

リセット動作により、 \overline{RD} 、 \overline{WR} 、P60~P63 ($\overline{CS0}$ ~ $\overline{CS3}$) は出力モードになり、PZ2 (\overline{HWR}) と P54 (\overline{BUSAK}) は、プルアップ抵抗付きの入力モードになります。

3.6.1 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P1CR によって行います。リセット動作により、P1CR の全ビットは 0 にリセットされ、ポート 1 は入力モードになります。

汎用入出力ポート以外には、データバス (D8~D15) 機能があります。

なお、AM1 端子が 0, AM0 端子が 1 の場合 (外部 16 ビットデータバス)、P1CR の設定値に関係なく常にデータバス (D8~D15) として機能します。

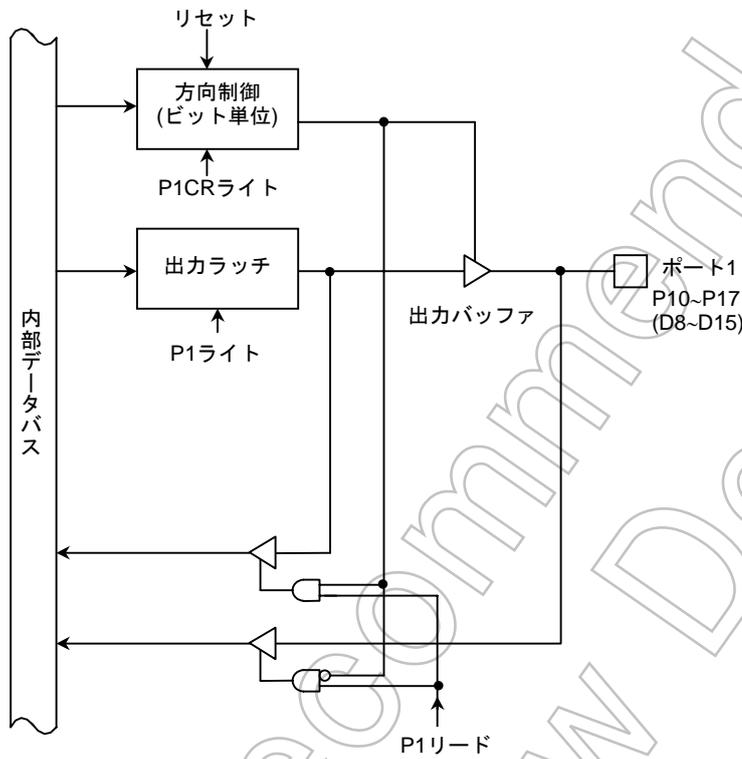


図 3.6.2 ポート 1

ポート 1 レジスタ

	7	6	5	4	3	2	1	0
P1 (0001H)	P17	P16	P15	P14	P13	P12	P11	P10
Bit symbol								
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは 0 にクリアされます。)							

ポート 1 コントロールレジスタ

	7	6	5	4	3	2	1	0
P1CR (0004H)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
Bit symbol								
Read/Write	W							
リセット後 (注)	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
機能	0: 入力 1: 出力							

- 注1) P1CR はリードモディファイライトできません。
- 注2) AM 端子の状態によって、リセット後、ポートがデータバスに変わります。

ポート 1 の入力/出力設定	
0	入力
1	出力

図 3.6.3 ポート 1 関係のレジスタ

3.6.2 ポート 2 (P20~P27)

ポート 2 は、8 ビットの出力ポートです。

出力ポート機能以外には、アドレスバス (A16~A23) 機能があります。この指定は、P2FC レジスタによって行います。ビット単位で出力ポートとアドレスバス出力の選択が可能です。

リセット動作により P2FC の全ビットは 1 にセットされ、アドレスバス (A16~A23) として機能します。

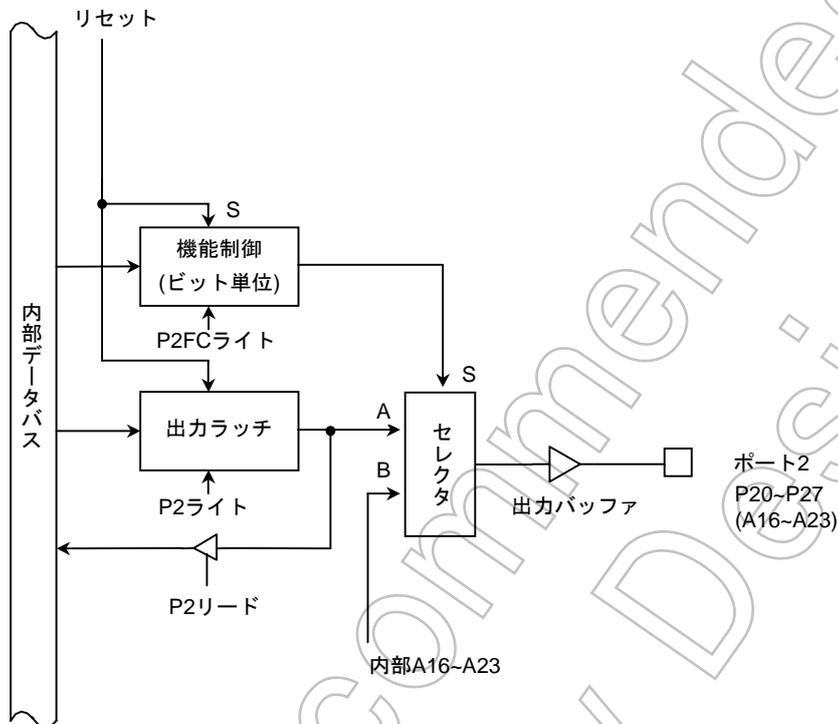


図 3.6.4 ポート 2

ポート 2 レジスタ

	7	6	5	4	3	2	1	0
P2 (0006H)								
Bit symbol	P27	P26	P25	P24	P23	P22	P21	P20
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

ポート 2 ファンクションレジスタ

	7	6	5	4	3	2	1	0
P2FC (0009H)								
Bit symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
Read/Write	W							
リセット後	1	1	1	1	1	1	1	1
機能	0: ポート 1: アドレスバス (A23~A16)							

注) P2FC はリードモディファイライトできません。

図 3.6.5 ポート 2 関係のレジスタ

3.6.3 ポート 5 (P53~P56)

ポート 5 は、ビット単位で入出力の設定ができる 4 ビットの汎用入出力ポートです。

入出力の指定は P5CR と P5FC によって行います。リセット動作により、出力ラッチ P5 の全ビットは 1 にセットされ、P5CR と P5FC の全ビットは 0 にリセットされ、P53~P56 はプルアップ抵抗付きの入力モードになります。また、ポート 56 には INTO の外部割り込み入力機能があります。外部割り込みのエッジ選択は割り込みコントローラ部にある IIMC0 レジスタにて設定します。

汎用入出力ポート以外には、CPU のコントロール/ステータス信号の入出力機能があります。

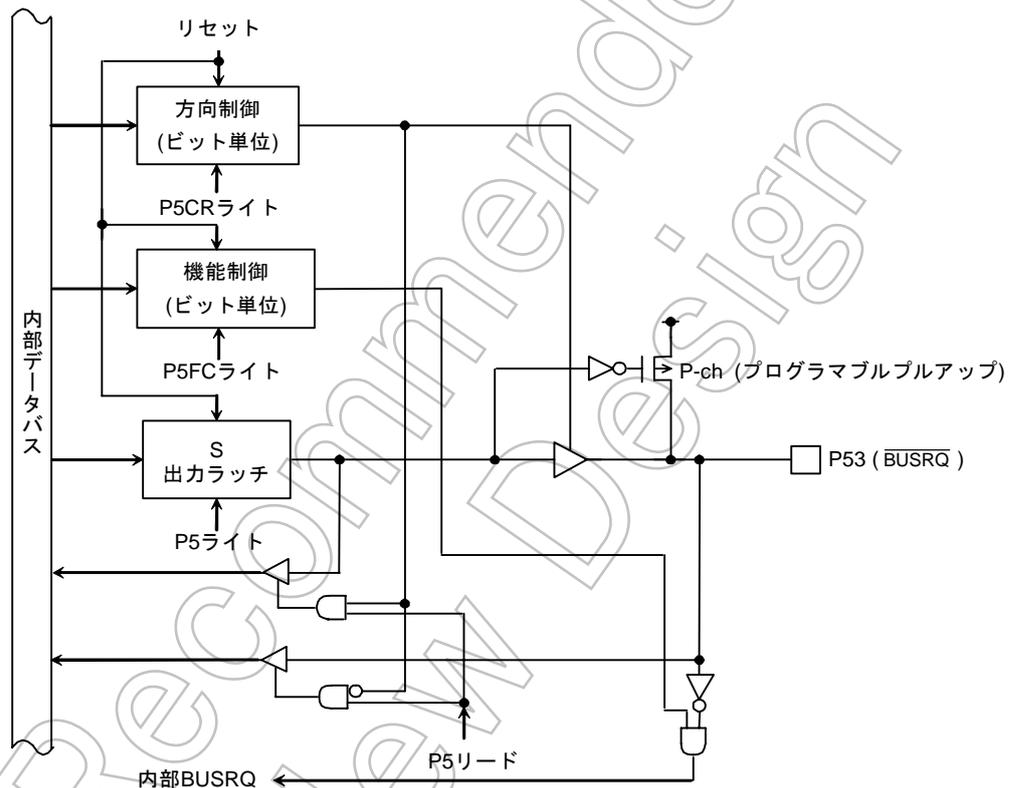


図 3.6.6 ポート 53

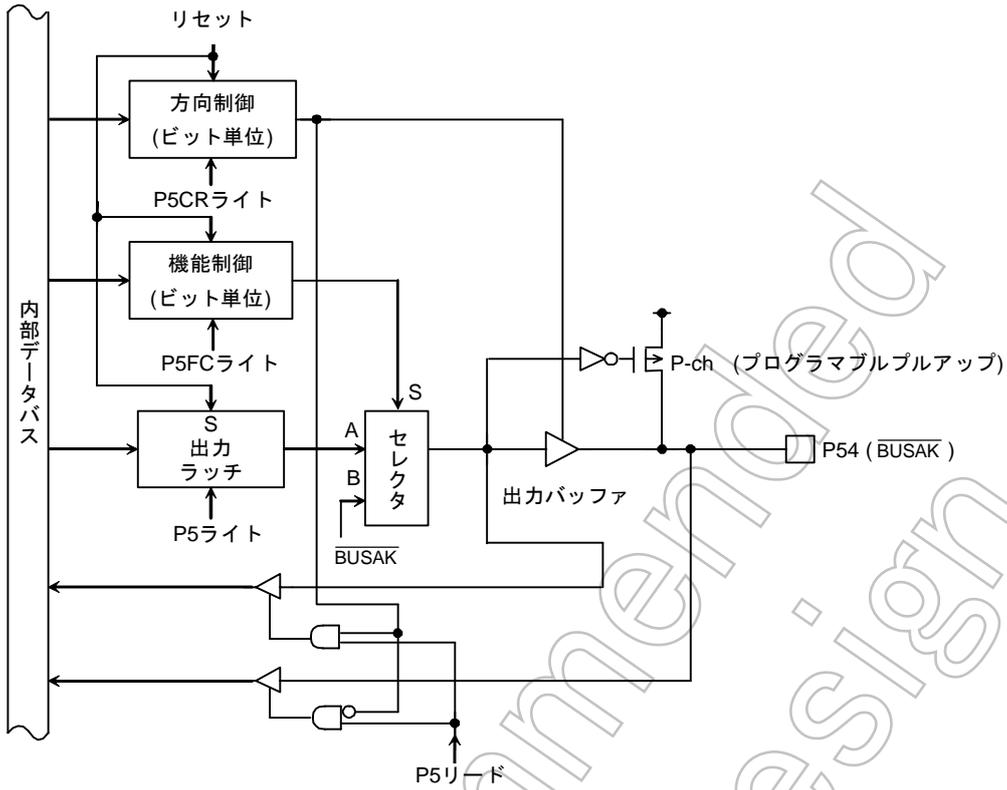


図 3.6.7 ポート 54

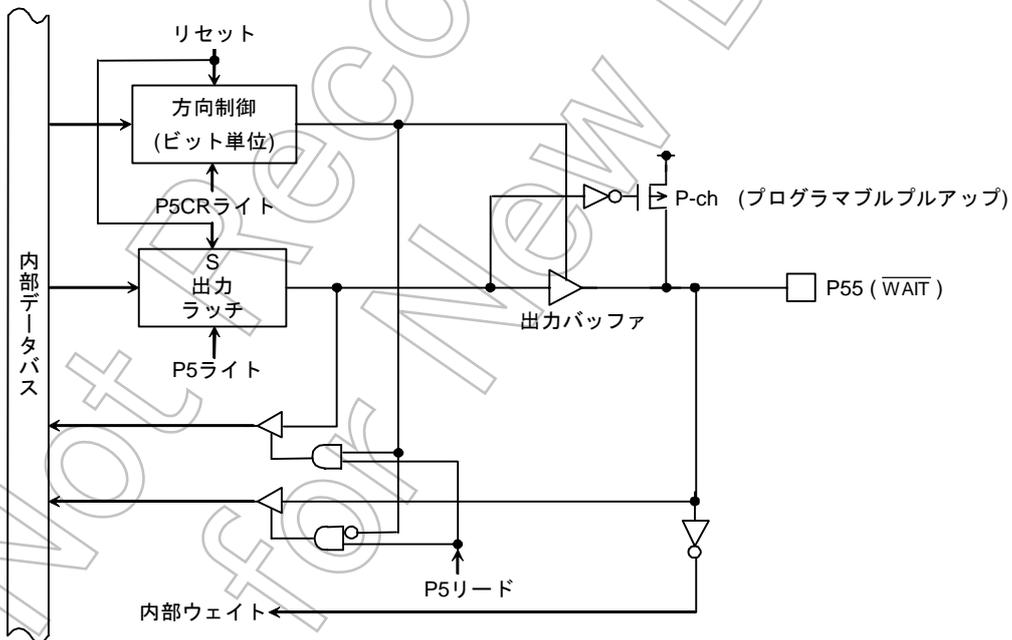


図 3.6.8 ポート 55

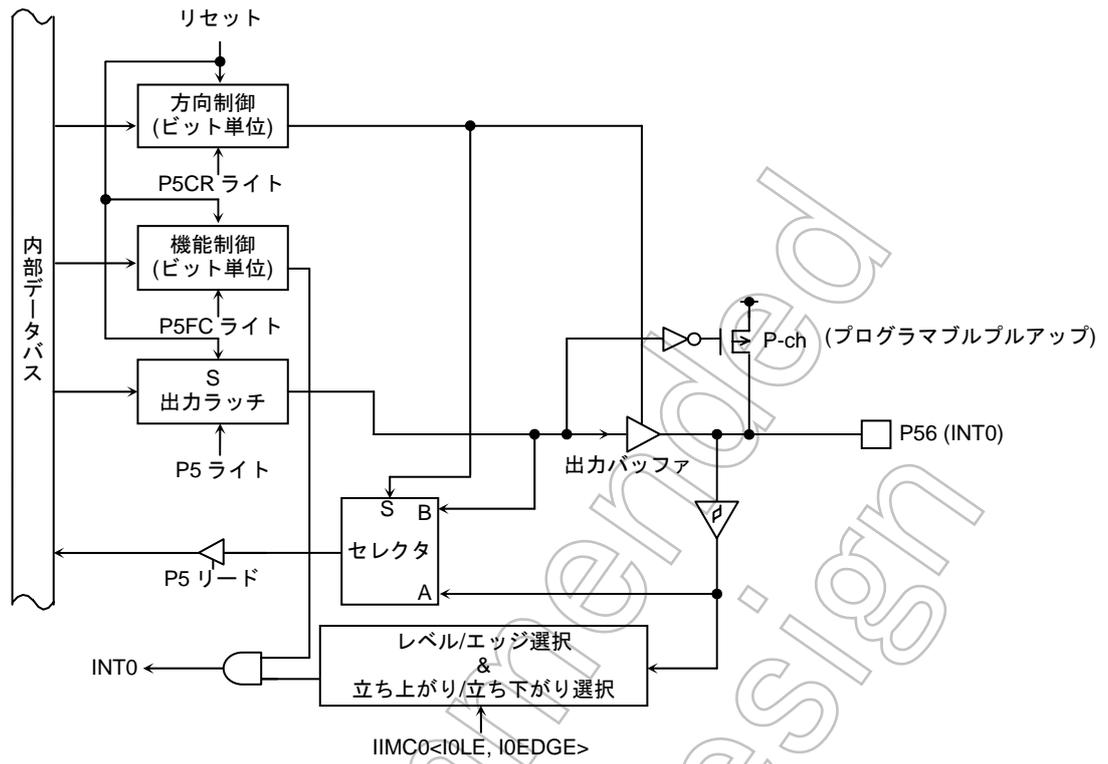


図 3.6.9 ポート 56

Not Recommended for New Design

ポート 5 レジスタ

		7	6	5	4	3	2	1	0
P5 (000DH)	Bit symbol		P56	P55	P54	P53			
	Read/Write		R/W						
	リセット後		外部端子データ (出力ラッチレジスタは1にセットされます。)						
	機能		0(出力ラッチレジスタ): プルアップ抵抗 OFF 1(出力ラッチレジスタ): プルアップ抵抗 ON						

ポート 5 コントロールレジスタ

		7	6	5	4	3	2	1	0
P5CR (0010H)	Bit symbol		P56C	P55C	P54C	P53C			
	Read/Write		W						
	リセット後		0	0	0	0			
	機能		0: 入力 1: 出力						

→ 入力/出力設定

0	入力
1	出力

ポート 5 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P5FC (0011H)	Bit symbol		P56F		P54F	P53F			
	Read/Write		W		W				
	リセット後		0		0	0			
	機能		0: ポート 1: INT0 入力		0: ポート 1: $\overline{\text{BUSAK}}$	0: ポート 1: $\overline{\text{BUSRQ}}$			

- 注 1) P5CR, P5FC はリードモディファイライトできません。
- 注 2) ポート 5 を入力モードで使用する場合、内蔵プルアップ抵抗は P5 レジスタにて制御します。入力モードあるいは入出力モードを混在させて使用する場合 (1 ビットでも入力端子が存在するとき) にはリードモディファイライト命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。
- 注 3) P55/WAIT 端子を WAIT 端子として使用する場合は、P5CR<P55C> を 0 に、チップセレクト/ウェイトコントロールレジスタのビット 3, 2<BnW2:0> を 010 に設定する必要があります。

図 3.6.10 ポート 5 関係のレジスタ

3.6.4 ポート 6 (P60~P63)

ポート 6 は、4 ビットの出力ポートです。リセット動作により、P62 ラッチは 0 にクリアされ、P60~P61, P63 の出力ラッチは 1 にセットされます。

出力ポート機能以外に、標準チップセレクト信号出力機能 ($\overline{CS0} \sim \overline{CS3}$) があります。これらの設定は P6FC によって行います。リセットにより P6FC の全ビットは 0 にクリアされ、出力ポートモードになります。

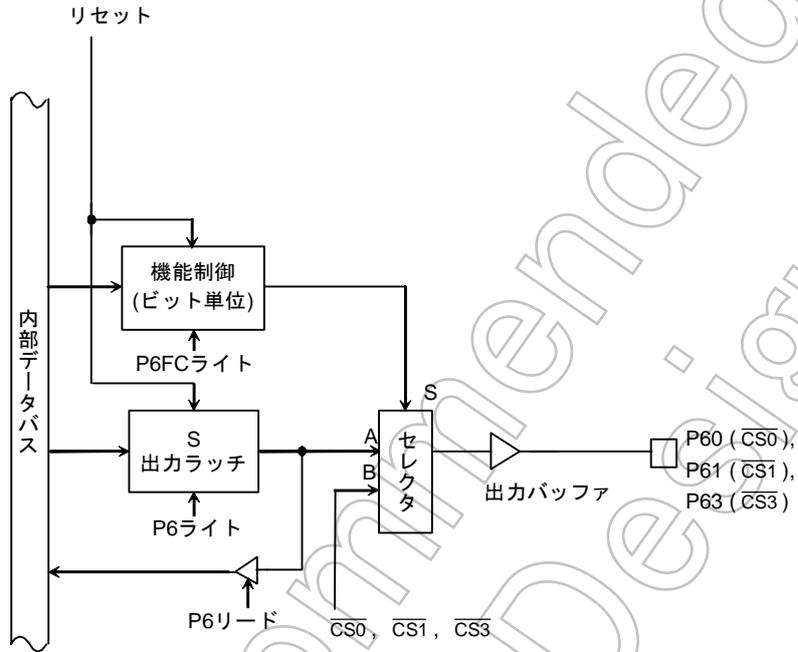


図 3.6.11 ポート 60, 61, 63

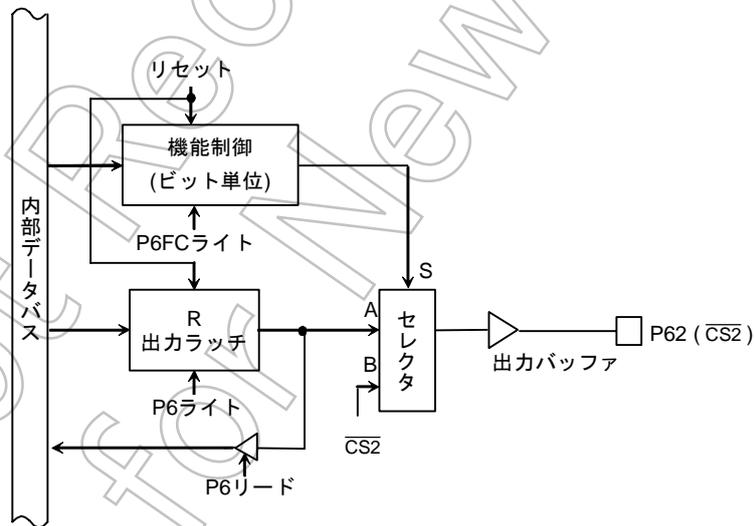


図 3.6.12 ポート 62

ポート 6 レジスタ

	7	6	5	4	3	2	1	0
P6 (0012H)	Bit symbol				P63	P62	P61	P60
	Read/Write				R/W			
	リセット後				1	0	1	1

ポート 6 ファンクションレジスタ

	7	6	5	4	3	2	1	0
P6FC (0015H)	Bit symbol				P63F	P62F	P61F	P60F
	Read/Write				W			
	リセット後				0	0	0	0
	機能				0: ポート 1: \overline{CS}			

注) P6FC はリードモディファイライトできません。

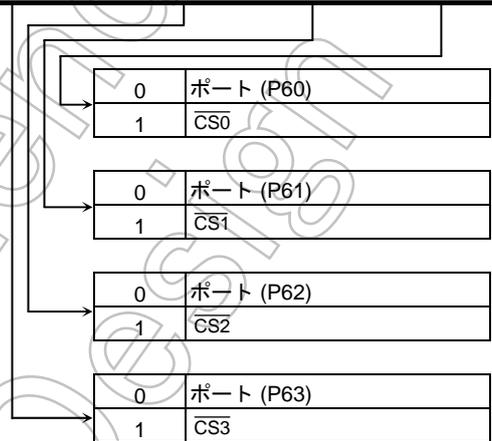


図 3.6.13 ポート 6 関係のレジスタ

3.6.5 ポート 7 (P70~P75)

ポート 7 はビット単位で入出力指定ができる、6 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。入出力ポート機能以外にポート 70, 73 は 8 ビットタイマ 0, 4 のクロック入力端子 TA0IN, TA4IN、ポート 71, 72, 74 はそれぞれ 8 ビットタイマ出力 TA1OUT, TA3OUT, TA5OUT 端子の機能を持っています。このタイマ出力機能はポート 7 ファンクションレジスタ P7FC の該当ビットへ 1 を書き込むことにより可能となります。また、ポート 70, 72, 73, 75 は INT1~INT4 の外部割り込み入力機能があります。外部割り込みのエッジ選択は、割り込みコントローラ部にある IIMC0~IIMC1 レジスタにて設定します。リセット動作により P7CR, P7FC の値は 0 にリセットされ、全ビットが入力ポートとなります。

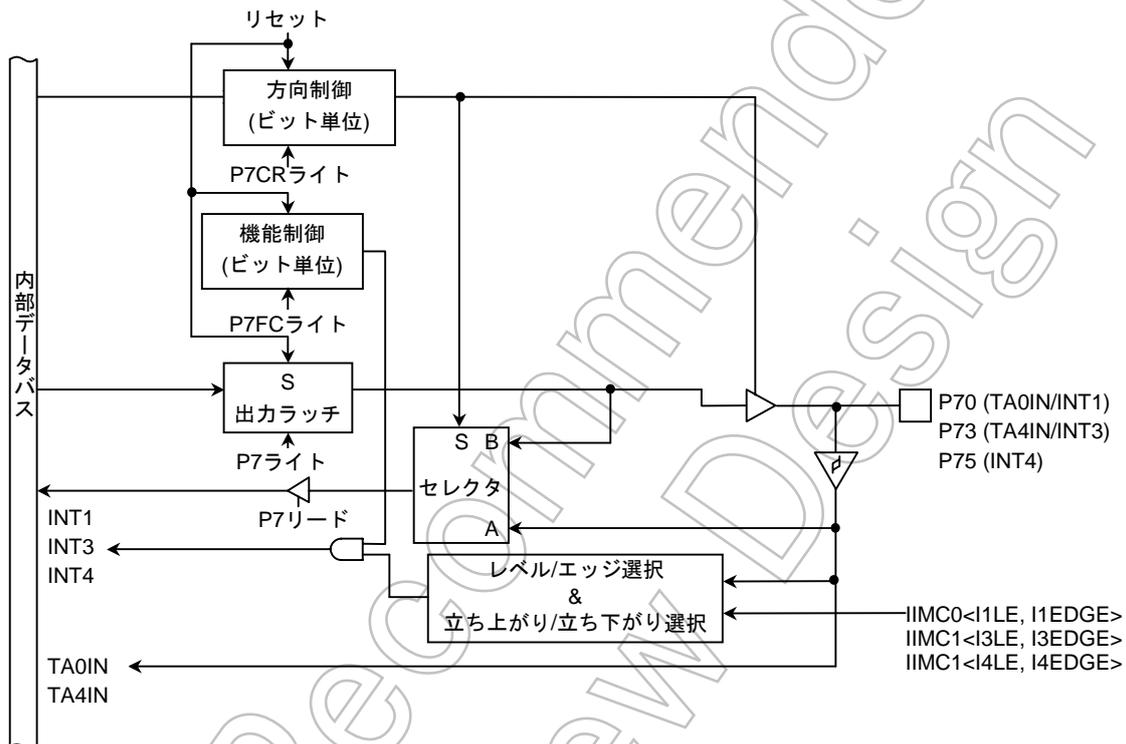


図 3.6.14 ポート 70, 73, 75

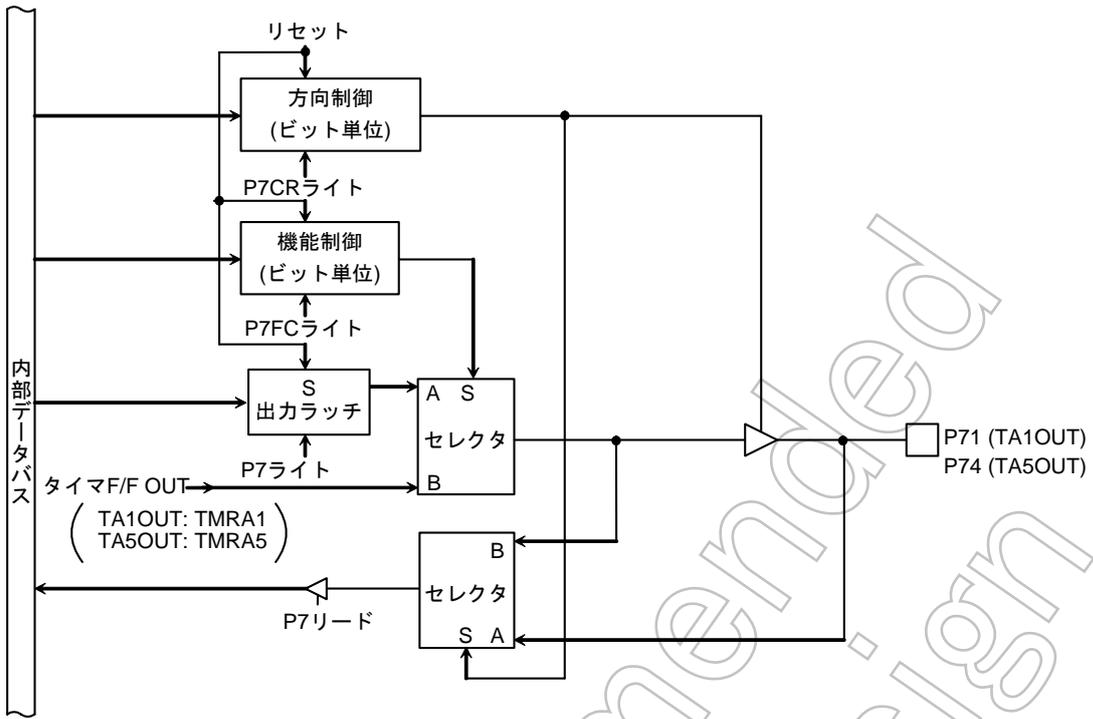


図 3.6.15 ポート 71, 74

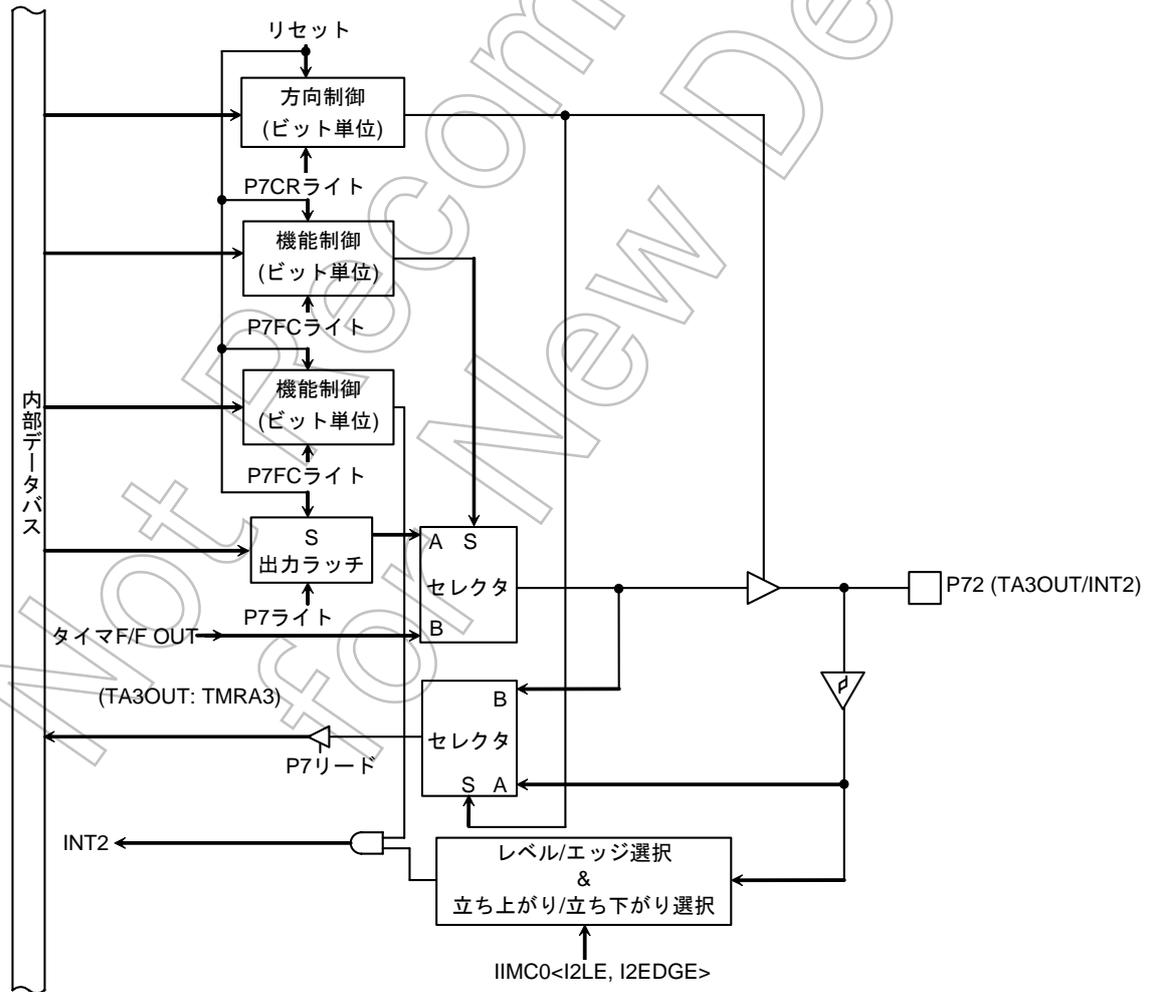


図 3.6.16 ポート 72

ポート7レジスタ

		7	6	5	4	3	2	1	0
P7 (0013H)	Bit symbol			P75	P74	P73	P72	P71	P70
	Read/Write			R/W					
	リセット後			外部端子データ (出力ラッチレジスタは1にセットされます。)					

ポート7コントロールレジスタ

		7	6	5	4	3	2	1	0
P7CR (0016H)	Bit symbol			P75C	P74C	P73C	P72C	P71C	P70C
	Read/Write			W					
	リセット後			0	0	0	0	0	0
	機能			0: 入力 1: 出力					

→ ポート7の入力/出力設定

0	入力
1	出力

ポート7ファンクションレジスタ

		7	6	5	4	3	2	1	0
P7FC (0017H)	Bit symbol		P72F2	P75F	P74F	P73F	P72F1	P71F	P70F
	Read/Write		W		W	W		W	W
	リセット後		0	0	0	0	0	0	0
	機能		0: ポート 1: INT2 入力	0: ポート 1: INT4 入力	0: ポート 1: TA5OUT	0: ポート 1: INT3 入力	0: ポート 1: TA3OUT	0: ポート 1: TA1OUT	0: ポート 1: INT1 入力

注) P7CR, P7FC はリードモディファイライト
できません。

→ P71 の TA1OUT 出力設定

P7FC<P71F>	1
P7CR<P71C>	1

→ P72 の TA3OUT 出力設定

P7FC<P72F1>	1
P7CR<P72C>	1

→ P74 の TA5OUT 出力設定

P7FC<P74F>	1
P7CR<P74C>	1

図 3.6.17 ポート7関係のレジスタ

3.6.6 ポート 8 (P80~P87)

ポート 80~87 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。

また、出力ラッチレジスタの全ビットは 1 へセットされます。

入出力ポート以外には、シリアルチャネル 0 の入出力機能があります。

この機能は、ポート 8 ファンクションレジスタ P8FC の該当ビットへ 1 を書き込むことにより、各ファンクションが可能となります。

リセット動作により P8CR, P8FC の値は 0 にリセットされ、全ビットがプルアップ抵抗付きの入力ポートとなります。

(1) ポート 80 (TXD0), 84 (TXD1)

ポート 80, 84 は入出力ポート以外に、シリアルチャネルの TXD 出力端子としての機能を持ちます。

このポートは、プログラマブルオープンドレイン機能を持っています。

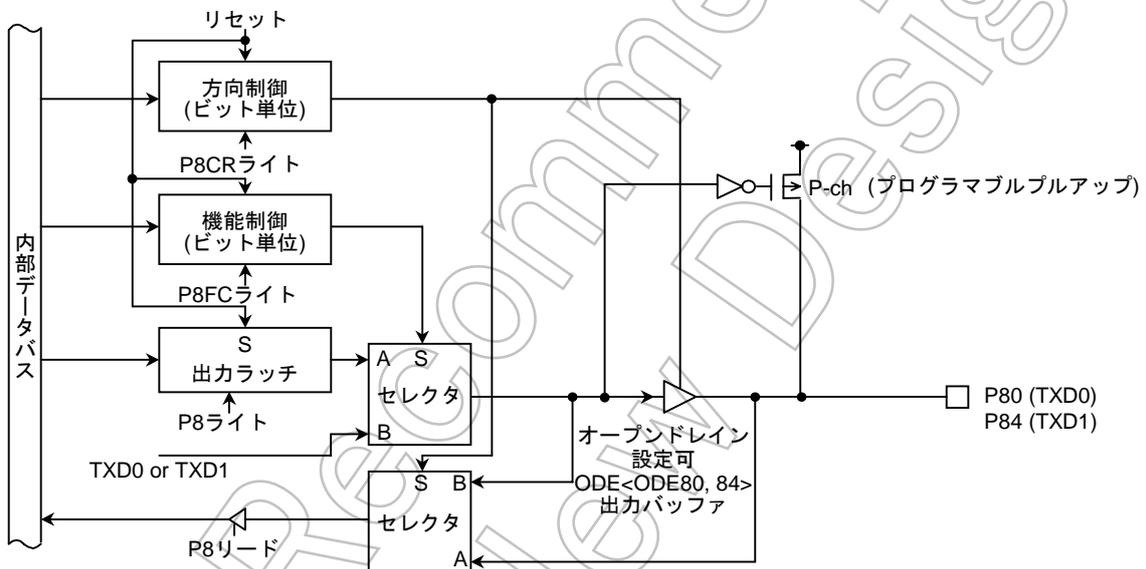


図 3.6.18 ポート 80, 84

(2) ポート 81 (RXD0), 85 (RXD1)

ポート 81, 85 は入出力ポート以外に、シリアルチャネルの RXD 入力端子としての機能を持っています。

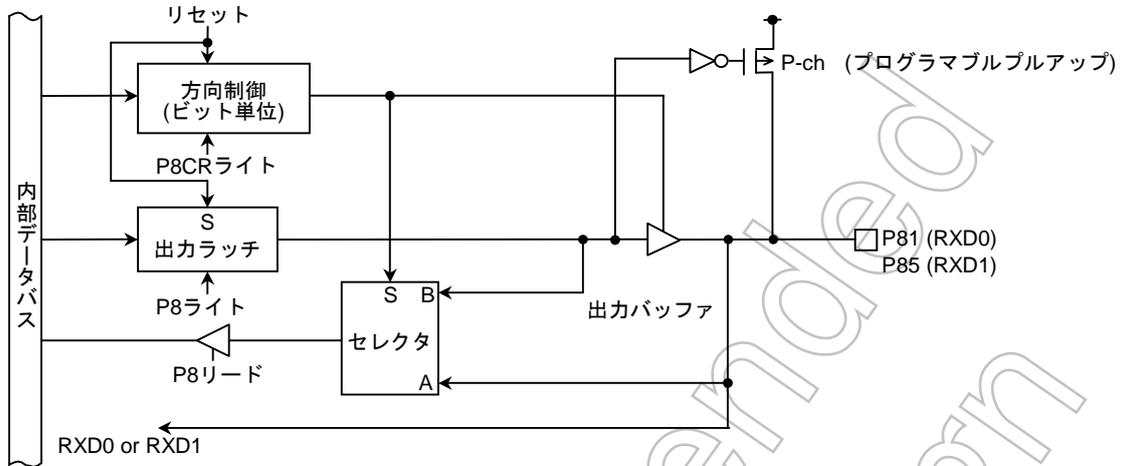


図 3.6.19 ポート 81, 85

(3) ポート 82 ($\overline{CTS0}$ /SCLK0), 86 ($\overline{CTS1}$ /SCLK1)

ポート 82, 86 は入出力ポート以外に、シリアルチャネルの \overline{CTS} 入力端子または SCLK 入出力端子としての機能を持っています。

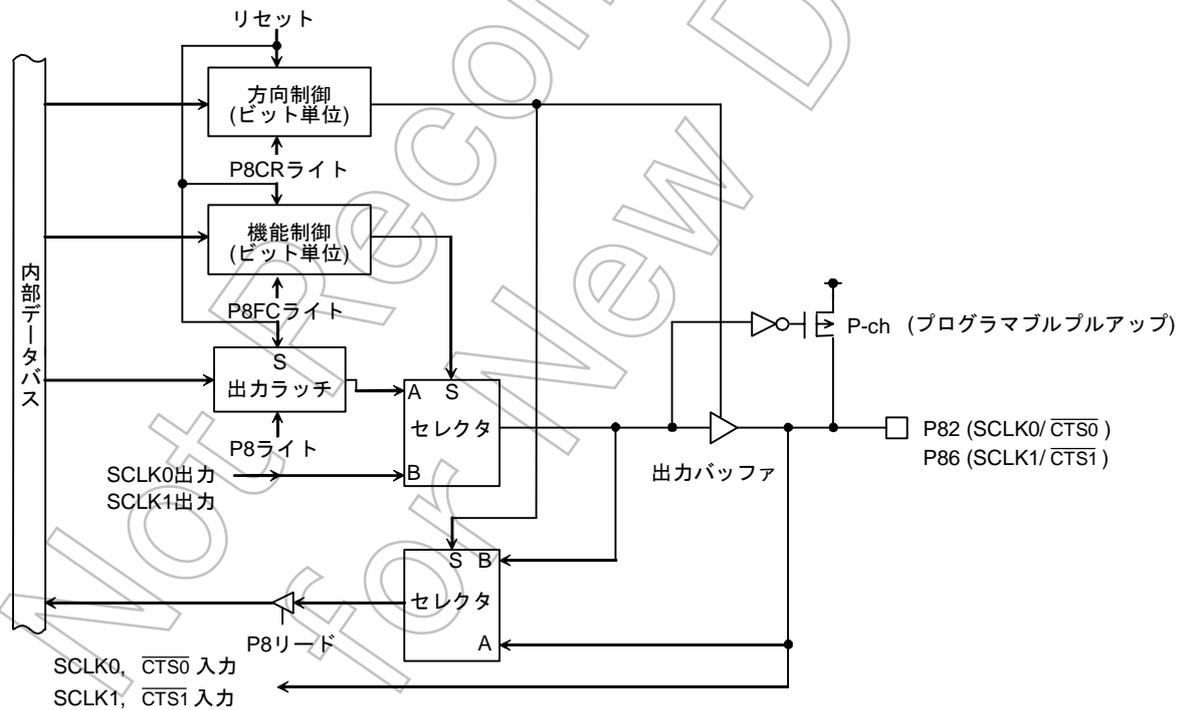


図 3.6.20 ポート 82, 86

(4) ポート 83 ($\overline{STS0}$), 87 ($\overline{STS1}$)

ポート 83, 87 は入出力ポート以外に、受信データ要求信号を出力する \overline{STS} 出力端子としての機能を持っています。

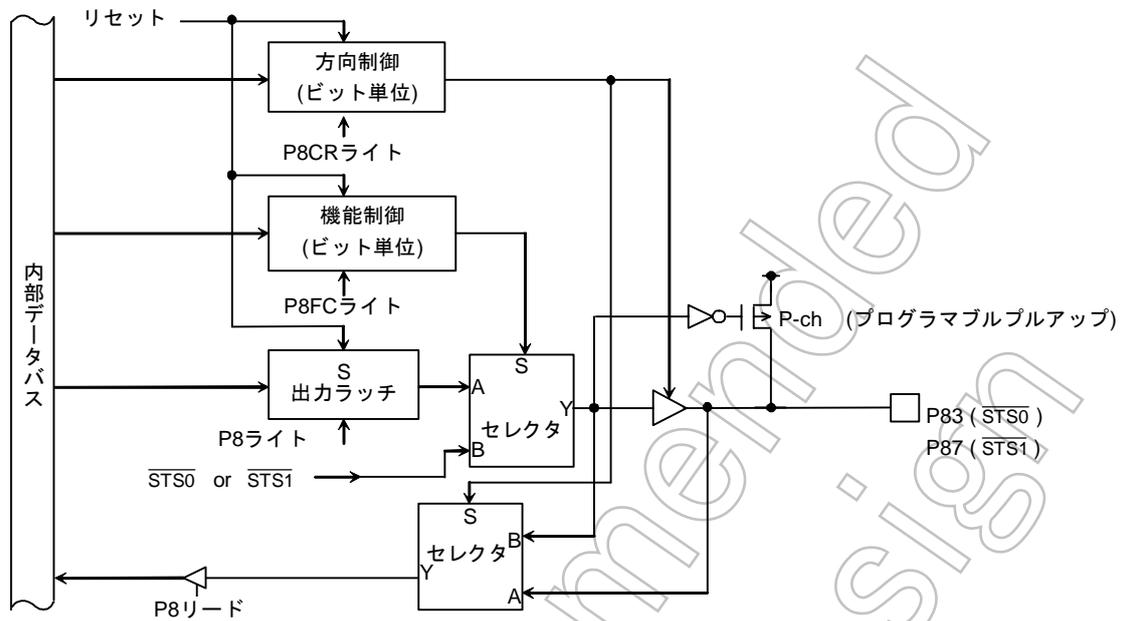


図 3.6.21 ポート 83, 87

ポート 8 レジスタ

	7	6	5	4	3	2	1	0	
P8 (0018H)	Bit symbol	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R/W							
	リセット後	外部端子データ (出カラッチレジスタは 1 にセットされます。)							
	機能	0(出カラッチレジスタ): プルアップ抵抗 OFF 1(出カラッチレジスタ): プルアップ抵抗 ON							

ポート 8 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P8CR (001AH)	Bit symbol	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: 入力 1: 出力							

ポート 8 入力/出力設定

0	入力
1	出力

ポート 8 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P8FC (001BH)	Bit symbol	P87F	P86F		P84F	P83F	P82F		P80F
	Read/Write	W	W		W	W	W		W
	リセット後	0	0		0	0	0		0
	機能	0: ポート 1: STS1 出力	0: ポート 1: SCLK1 出力		0: ポート 1: TXD1 出力	0: ポート 1: STS0 出力	0: ポート 1: SCLK0 出力		0: ポート 1: TXD0 出力

P80, P84 の TXD0, TXD1 出力設定

P8FC<P80F><P84F>	1
P8CR<P80C><P84C>	1

P82, P86 の SCLK0, SCLK1 出力設定

P8FC<P82F><P86F>	1
P8CR<P82C><P86C>	1

P83, P87 の STS0, STS1 出力設定

P8FC<P83F><P87F>	1
P8CR<P83C><P87C>	1

- 注 1) P8CR, P8FC はリードモディファイライトできません。
- 注 2) TXD0, TXD1 端子をオープンドレイン出力に設定するには、ODE レジスタのビット 0, 4 をライトします。P81/RXD0, P85/RXD1 端子は、ポート/ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でも、シリアル受信データとして SIO へ入力されます。

図 3.6.22 ポート 8 関係のレジスタ

3.6.7 ポート 9 (P90, P93~P96)

ポート 9 はビット単位で入出力の指定ができる、5 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。また、出力ラッチレジスタ P9 の全ビットは 1 へセットされます。入出力ポート以外には、16 ビットタイマのクロック入力、16 ビットタイマフリップフロップの出力および INT5 入力機能があります。この機能はファンクションレジスタ P9FC の該当ビットへ 1 を書き込むことにより、各ファンクションが可能となります。リセット動作により P9CR, P9FC の値は 0 にリセットされ、全ビットが入力ポートとなります。

(1) P90

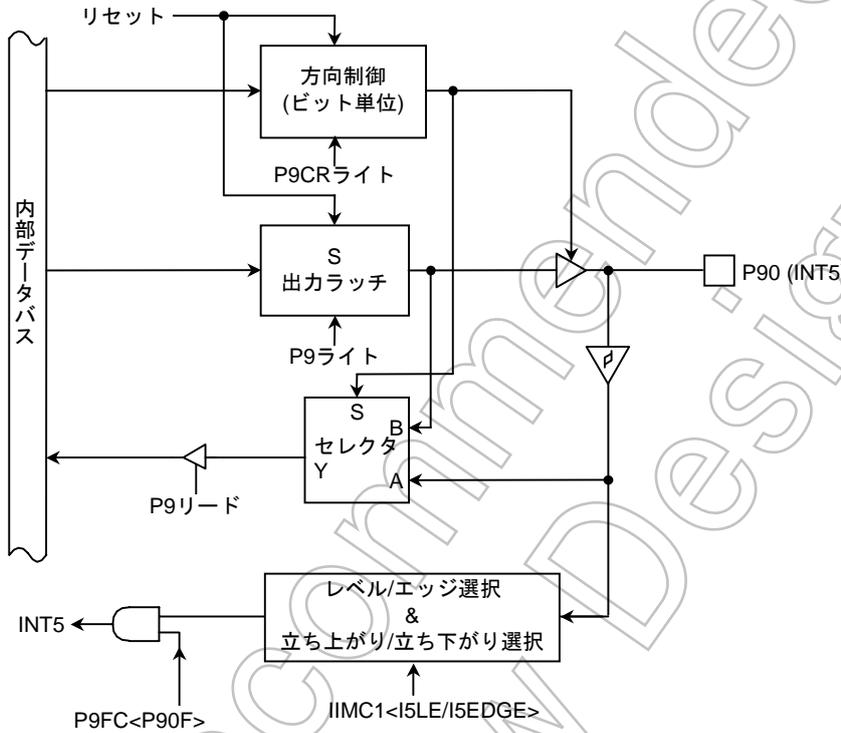


図 3.6.23 ポート 90

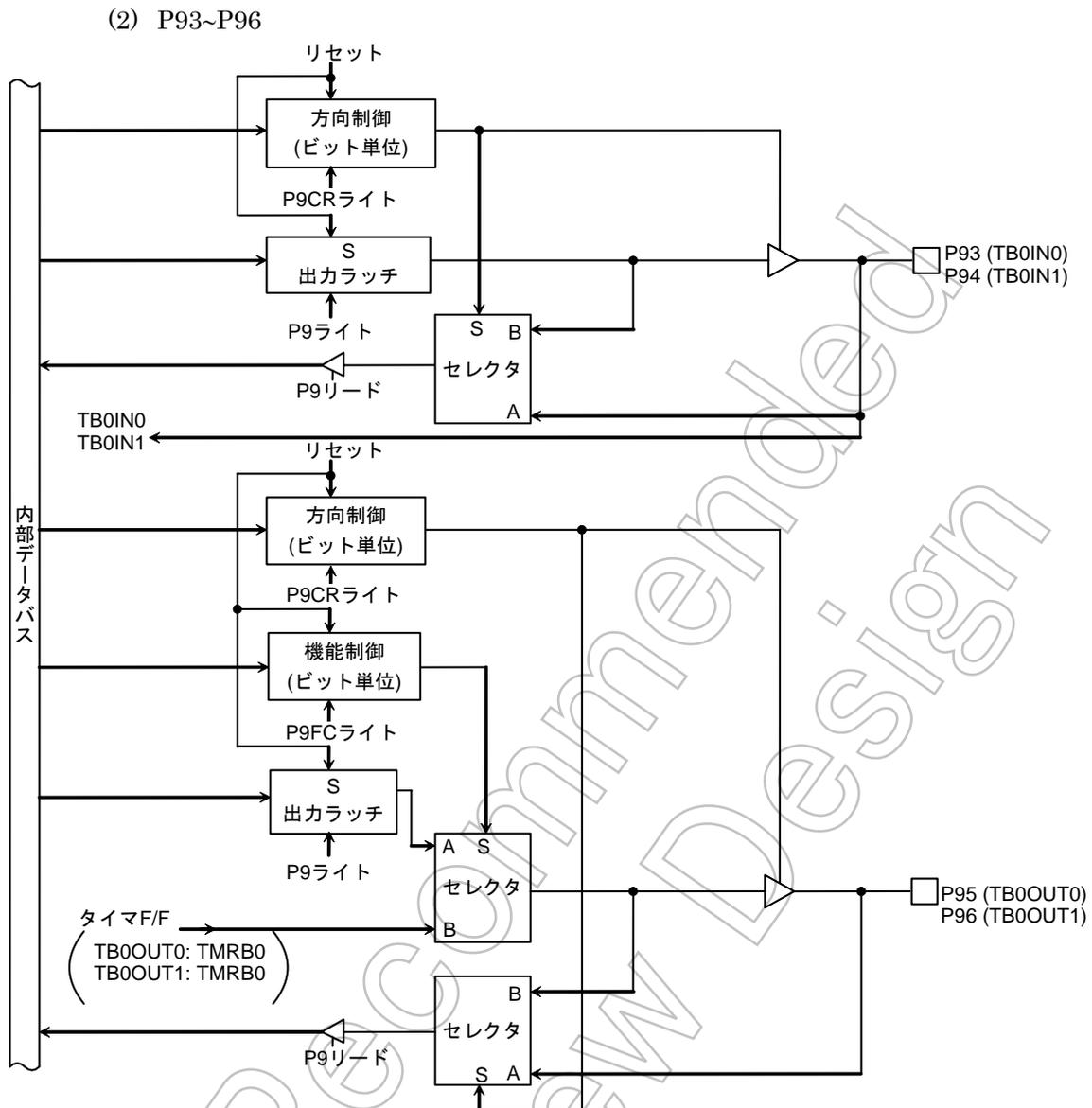


図 3.6.24 ポート P93~P96

ポート 9 レジスタ

	7	6	5	4	3	2	1	0	
P9 (0019H)	Bit symbol	P96	P95	P94	P93			P90	
	Read/Write	R/W							R/W
	リセット後	外部端子データ (出力ラッチレジスタは 1 にセットされます。)							外部端子データ (出力ラッチレジスタは 1 にセットされます。)

ポート 9 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P9CR (001CH)	Bit symbol	P96C	P95C	P94C	P93C			P90C	
	Read/Write	W							W
	リセット後	0	0	0	0			0	
	機能	0: 入力 1: 出力							0: 入力 1: 出力

ポート 9 入力/出力設定

0	入力
1	出力

ポート 9 ファンクションレジスタ

	7	6	5	4	3	2	1	0
P9FC (001DH)	Bit symbol	P96F	P95F					P90F
	Read/Write	W	W					W
	リセット後	0	0					0
	機能	0: ポート 1: TB0OUT1	0: ポート 1: TB0OUT0					0: ポート 1: INT5 入力

P95 の TB0OUT0 出力設定

1	P9FC<P95F>
1	P9CR<P95C>

P96 の TB0OUT1 出力設定

1	P9FC<P96F>
1	P9CR<P96C>

注) P9CR, P9FC はリードモディファイライトできません。

図 3.6.25 ポート 9 関係のレジスタ

3.6.8 ポート A (PA0~PA7)

ポート A は 8 ビットの入力専用ポートで、AD コンバータのアナログ入力端子と兼用になっています。また、PA3 と兼用で AD コンバータの AD トリガ入力端子になっています。

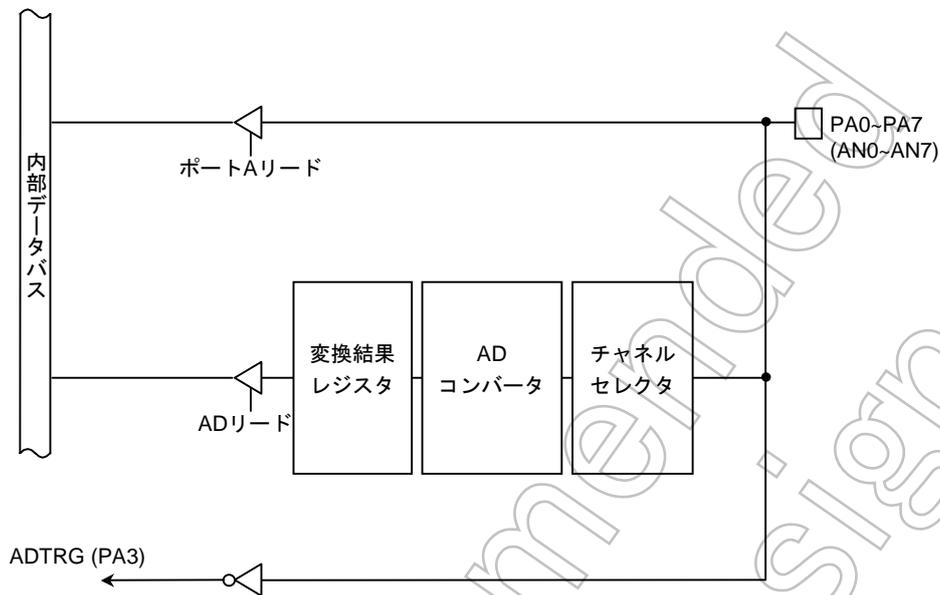


図 3.6.26 ポート A

ポート A レジスタ

	7	6	5	4	3	2	1	0
PA (001EH)	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
Bit symbol								
Read/Write	R							
リセット後	外部端子データ							

注) AD コンバータの入力チャンネル選択、PA3 の AD トリガ入力許可の設定は、AD コンバータモードレジスタ ADMOD1 にて設定します。

図 3.6.27 ポート A

3.6.9 ポート Z (PZ2, PZ3)

ポート Z はビット単位で入出力の設定ができる、2 ビットの汎用入出力ポートです。

入出力の指定は、PZCR と PZFC によって行います。リセット動作により、出力ラッチ PZ の全ビットは 1 にセットされ、PZCR と PZFC の全ビットは 0 にリセットされ、PZ2, PZ3 はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート以外に、CPU のコントロール/ステータス信号の入出力機能があります。

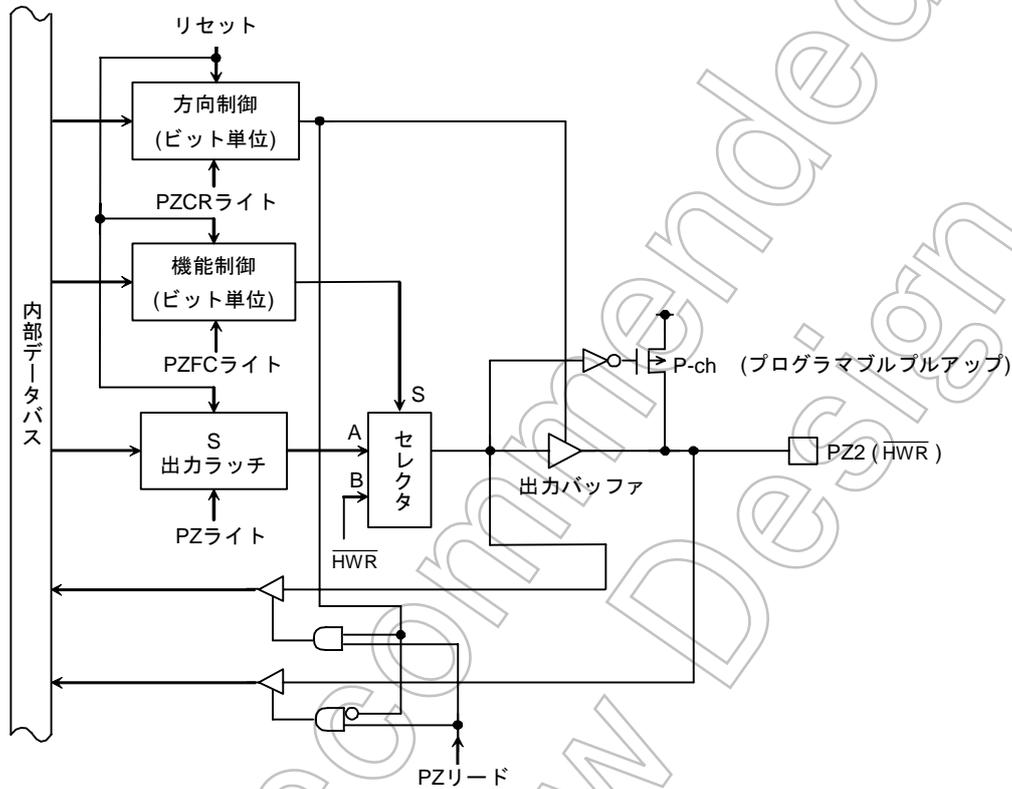


図 3.6.28 ポート Z2

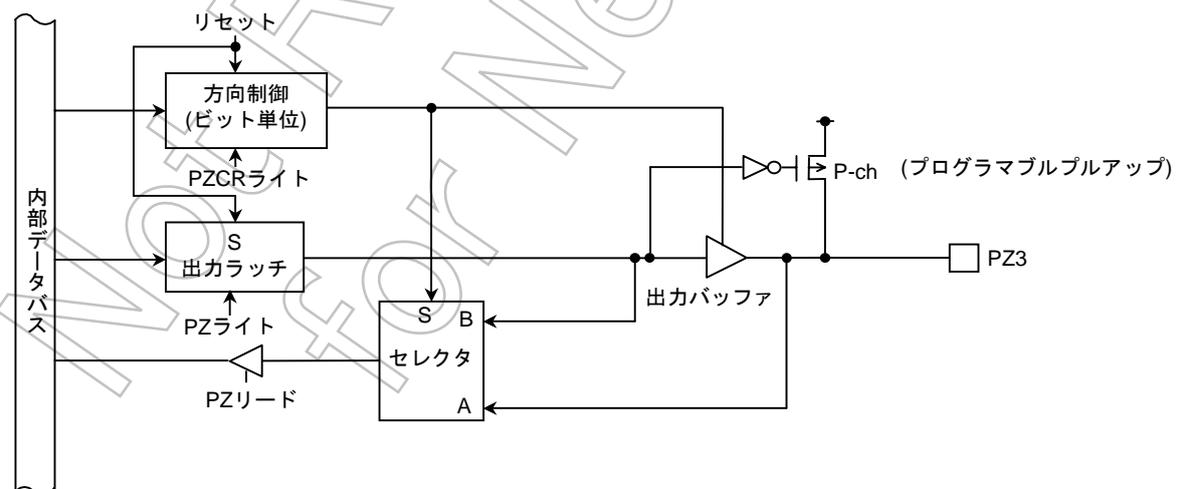


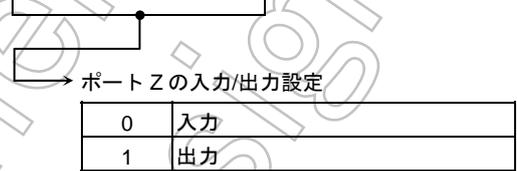
図 3.6.29 ポート Z3

ポート Z レジスタ

		7	6	5	4	3	2	1	0
PZ (007DH)	Bit symbol					PZ3	PZ2		
	Read/Write					R/W			
	リセット後					外部端子データ (出力ラッチレジスタは1にセットされます。)			

ポート Z コントロールレジスタ

		7	6	5	4	3	2	1	0
PZCR (007EH)	Bit symbol					PZ3	PZ2		
	Read/Write					W			
	リセット後					0	0		
	機能					0: 入力 1: 出力			



ポート Z コントロールレジスタ

		7	6	5	4	3	2	1	0
PZFC (007FH)	Bit symbol						PZ2F		
	Read/Write						W		
	リセット後						0		
	機能						0: ポート 1: HWR		

図 3.6.30 ポート Z 関係のレジスタ

3.7 チップセレクト/ウェイトコントローラ

任意の4ブロックのアドレス空間 (CS0~CS3 空間) を設定し、各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) に対して、データバス幅およびウェイト数を指定することができます。

$\overline{CS0} \sim \overline{CS3}$ (P60~P63 と兼用) は、CS0~CS3 空間に対応した出力端子です。この端子は、CPU 動作により CS0~CS3 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号 (ROM/SRAM 用) を出力します。ただし、チップセレクト信号を出力するためには、ポート 6 ファンクションレジスタ P6FC による設定が必要です。TMP91C829 は ROM および SRAM に接続することができます。

CS0~CS3 空間の指定は、メモリストार्टアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数は、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS, BEXCS で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子 (\overline{WAIT}) があります。

3.7.1 アドレス空間指定

CS0~CS3 空間の指定は、スタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 により行います。

バスサイクルごとに、バス上のアドレスを CS0~CS3 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して $\overline{CS0} \sim \overline{CS3}$ 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS で設定した動作を実行します (3.7.2 「チップセレクト/ウェイトコントロールレジスタ」を参照)。

(1) メモリスタートアドレスレジスタ

図 3.7.1に、メモリスタートアドレスレジスタを示します。メモリスタートアドレスレジスタMSAR0~MSAR3は、CS0~CS3空間のスタートアドレスを設定するレジスタです。<S23:16>には、スタートアドレスの上位8ビット(A23~A16)を設定します。また、スタートアドレスの下位16ビット(A15~A0)には、常に0が設定されています。従って、スタートアドレスは、000000Hから64Kバイトごとの値になります。図3.7.2に、スタートアドレスとスタートアドレスレジスタ値の関係を示します。

メモリスタートアドレスレジスタ (CS0~CS3 空間)

	7	6	5	4	3	2	1	0	
MSAR0 (00C8H)/ MSAR1 (00CAH)	Bit symbol	S23	S22	S21	S20	S19	S18	S17	S16
	Read/Write	R/W							
MSAR2 (00CCH)/ MSAR3 (00CEH)	リセット後	1	1	1	1	1	1	1	1
	機能	スタートアドレス A23~A16 設定							

CS0~CS3 空間のスタートアドレス設定

図 3.7.1 メモリスタートアドレスレジスタ

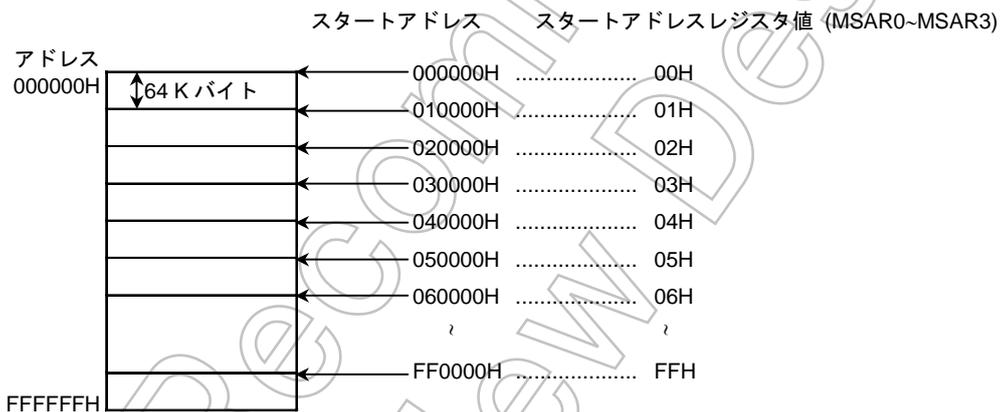


図 3.7.2 スタートアドレスとスタートアドレスレジスタ値の関係

(2) メモリアドレスマスクレジスタ

図 3.7.3 に、メモリアドレスマスクレジスタを示します。メモリアドレスマスクレジスタ MAMR0~MAMR3 は、メモリスタートアドレスレジスタ MSAR0~MSAR3 で設定したスタートアドレスの各ビットに対しマスク指定を行うことで、CS0~CS3 空間サイズを設定しています。0 をライトしたビットに対応するバス上のアドレスが、CS0~CS3 空間の領域かどうかの比較対照となります。

また、CS0~CS3 空間は、それぞれ MAMR0~MAMR3 によってマスクできるアドレスビットが異なります。従って、設定できる空間サイズも異なります。

メモリアドレスマスクレジスタ (CS0 空間)

		7	6	5	4	3	2	1	0
MAMR0 (00C9H)	Bit symbol	V20	V19	V18	V17	V16	V15	V14~V9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS0 空間サイズ設定 0: アドレス比較対照							

CS0 空間は最小 256 バイトエリアから、最大 2 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS1 空間)

		7	6	5	4	3	2	1	0
MAMR1 (00CBH)	Bit symbol	V21	V20	V19	V18	V17	V16	V15~V9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS1 空間サイズ設定 0: アドレス比較対照							

CS1 空間は最小 256 バイトエリアから、最大 4 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS2, CS3 空間)

		7	6	5	4	3	2	1	0
MAMR2 (00CDH) MAMR3 (00CFH)	Bit symbol	V22	V21	V20	V19	V18	V17	V16	V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS2, CS3 空間サイズ設定 0: アドレス比較対照							

CS2 および CS3 空間は、最小 32 K バイトから、最大 8 M バイトエリアを設定できます。

図 3.7.3 メモリアドレスマスクレジスタ

(3) メモリスタートアドレス、アドレス空間の設定方法

図 3.7.4にCS0 空間を用いて、010000Hから始まる 64 Kバイトの空間を指定する場合を例として説明します。

メモリスタートアドレスレジスタ MSAR0<S23:16> に、スタートアドレスの上位 8 ビットに相当する 01H を設定します。次に、終了アドレス (01FFFFH) とスタートアドレスとの差を計算により求めます。この結果のビット 20~8 は、CS0 空間を指定する際のマスク値に相当します。この値をメモリアドレスマスクレジスタ MAMR0<V20:8> に設定することで、空間サイズを設定できます。

この例では MAMR0 に 07H を設定し、64 K バイト空間を指定しています。



図 3.7.4 CS0 空間の設定例

なお、リセット後、MSAR0~MSAR3 およびMAMR0~MAMR3 は、FFHにセットされます。一方、B0CS<B0E>, B1CS<B1E>, B3CS<B3E> は 0 にリセットされるため、CS0, CS1, CS3 空間はディセーブルになります。ただし、B2CS<B2M> は 0 にリセットされ、B2CS<B2E> は 1 にセットされるため、CS2 空間はTMP91C829 では 003000H~01F7FFH, 020000H~FFFFFFH の空間でイネーブルになります。また、指定されたCS0~CS3 空間以外のアドレスでは、BEXCSで指定されたバス幅およびウェイトにより動作します (3.7.2 「チップセレクト/ウェイトコントロールレジスタ」を参照)。

(4) アドレス空間サイズ指定

表 3.7.1にCS空間と空間サイズの関係を示します。“Δ”は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを意味します。“Δ”で示す組み合わせを用いて空間サイズを設定する場合、000000Hから希望のサイズステップで、スタートアドレスを設定してください。

なお、CS2空間を16Mバイト空間に設定、または2つ以上のアドレス空間を重ねて設定した場合には、CS空間番号の小さい方が優先的に選択されます。

例: CS0空間を128Kバイトエリアに設定する場合

a. 設定できるスタートアドレス

000000H } 128 K バイト
 020000H } 128 K バイト
 040000H } 128 K バイト
 060000H } 128 K バイト
 ⋮

この場合、いずれのスタートアドレスも設定可能です。

b. 設定できないスタートアドレス

000000H } 64 K バイト
 010000H } 128 K バイト
 030000H } 128 K バイト
 050000H }
 ⋮

設定サイズ以外のサイズステップであり、このケースでは、以降のスタートアドレスは、希望の空間サイズを設定できません。

表 3.7.1 CS空間と空間サイズ

サイズ (バイト)	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	Δ	Δ	Δ	Δ	Δ		
CS1	○	○		○	Δ	Δ	Δ	Δ	Δ	Δ	
CS2			○	○	Δ	Δ	Δ	Δ	Δ	Δ	Δ
CS3			○	○	Δ	Δ	Δ	Δ	Δ	Δ	Δ

3.7.2 チップセレクト/ウェイトコントロールレジスタ

図 3.7.5に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) は、それぞれのチップセレクト/ウェイトコントロールレジスタ B0CS~B3CS, BEXCSにより、マスタインーブル/ディセーブル, チップセレクト出力波形選択, データバス幅選択, ウェイト数設定を行うことができます。

チップセレクト/ウェイトコントロールレジスタ

	7	6	5	4	3	2	1	0	
B0CS (00C0H)	Bit symbol	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
	Read/Write	W		W					
リードモディファイライトはできません。	リセット後	0		0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: } 10: } Don't care 11: }	データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 100: } 001: 1 ウェイト 101: } Reserved 010: (1+N) ウェイト 110: } 011: 0 ウェイト 111: }			
B1CS (00C1H)	Bit symbol	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
	Read/Write	W		W					
リードモディファイライトはできません。	リセット後	0		0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: } 10: } Don't care 11: }	データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 100: } 001: 1 ウェイト 101: } Reserved 010: (1+N) ウェイト 110: } 011: 0 ウェイト 111: }			
B2CS (00C2H)	Bit symbol	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
	Read/Write	W							
リードモディファイライトはできません。	リセット後	1	0	0	0	0	0	0	0
	機能	0: 禁止 1: 許可	CS2 空間選択 0: 16 M バイト空間 1: CS 空間	チップセレクト出力波形選択 00: ROM/SRAM 用 01: } 10: } Don't care 11: }	データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 100: } 001: 1 ウェイト 101: } Reserved 010: (1+N) ウェイト 110: } 011: 0 ウェイト 111: }			
B3CS (00C3H)	Bit symbol	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
	Read/Write	W		W					
リードモディファイライトはできません。	リセット後	0		0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: } 10: } Don't care 11: }	データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 100: } 001: 1 ウェイト 101: } Reserved 010: (1+N) ウェイト 110: } 011: 0 ウェイト 111: }			
BEXCS (00C7H)	Bit symbol					BEXBUS	BEXW2	BEXW1	BEXW0
	Read/Write	W							
リードモディファイライトはできません。	リセット後					0	0	0	0
	機能					データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 ウェイト 100: } 001: 1 ウェイト 101: } Reserved 010: (1+N) ウェイト 110: } 011: 0 ウェイト 111: }		

マスタインーブルビット

0	CS エリア禁止
1	CS エリア許可

CS2 空間選択

0	16 M バイトエリア
1	アドレス指定エリア

チップセレクト出力波形選択

00	ROM/SRAM 用
01	Don't care
10	
11	

アドレス空間ウェイト数設定
(3.7.2 (3) 「ウェイトコントロール」 参照)

データバス幅選択

0	16 ビットデータバス
1	8 ビットデータバス

図 3.7.5 チップセレクト/ウェイトコントロールレジスタ

(1) マスタイネーブルビット

チップセレクト/ウェイトコントロールレジスタのビット 7 (<B0E>, <B1E>, <B2E>, <B3E>) は、各アドレス空間に対する設定のイネーブル/ディセーブルを指定するマスタビットです。このビットに 1 を書き込むと、イネーブルになります。リセットにより、<B0E>, <B1E>, <B3E> はディセーブル 0、<B2E> はイネーブル 1 になります (リセット動作により、CS2 空間のみイネーブルになります)。

(2) データバス幅選択

チップセレクト/ウェイトコントロールレジスタのビット 3 (<B0BUS>, <B1BUS>, <B2BUS>, <B3BUS>, <BEXBUS>) は、データバス幅を指定するビットです。このビットを 0 にすると、16 ビットのデータバス幅でメモリをアクセスします。1 にすると、8 ビットのデータバス幅でメモリをアクセスします。

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。このバス動作の詳細を、図 3.7.2 に示します。

表 3.7.2 ダイナミックバスサイジング

オペランド データバス幅	オペランド スタート アドレス	メモリ側 データバス幅	CPU アドレス	CPU データ	
				D15~D8	D7~D0
8 ビット	2n+0 (偶数)	8 ビット	2n+0	xxxxx	b7~b0
		16 ビット	2n+0	xxxxx	b7~b0
	2n+1 (奇数)	8 ビット	2n+1	xxxxx	b7~b0
		16 ビット	2n+1	b7~b0	xxxxx
16 ビット	2n+0 (偶数)	8 ビット	2n+0	xxxxx	b7~b0
			2n+1	xxxxx	b15~b8
		16 ビット	2n+0	b15~b8	b7~b0
	2n+1 (奇数)	8 ビット	2n+1	xxxxx	b7~b0
			2n+2	xxxxx	b15~b8
		16 ビット	2n+1	b7~b0	xxxxx
32 ビット	2n+0 (偶数)	8 ビット	2n+0	xxxxx	b7~b0
			2n+1	xxxxx	b15~b8
			2n+2	xxxxx	b23~b16
			2n+3	xxxxx	b31~b24
		16 ビット	2n+0	b15~b8	b7~b0
	2n+1 (奇数)	8 ビット	2n+1	xxxxx	b7~b0
			2n+2	xxxxx	b15~b8
			2n+3	xxxxx	b23~b16
			2n+4	xxxxx	b31~b24
		16 ビット	2n+1	b7~b0	xxxxx
			2n+2	b23~b16	b15~b8
			2n+4	xxxxx	b31~b24

xxxxx: リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号はノンアクティブのままであることを示します。

(3) ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタのビット 2~0 (<B0W2:0>, <B1W2:0>, <B2W2:0>, <B3W2:0>, <BEXW2:0>) は、ウェイト数を指定するビットです。これらのビットの組み合わせにより、次のようなウェイト動作を実行します。ただし、下記の組み合わせ以外は設定しないでください。

表 3.7.3 ウェイト動作の設定

<BxW2:0>	ウェイト数	ウェイト動作
000	2ウェイト	WAIT 端子の状態に関係なく、2ステート分のウェイトが挿入されます。
001	1ウェイト	WAIT 端子の状態に関係なく、1ステート分のウェイトが挿入されます。
010	(1+N)ウェイト	1ステート分のウェイトを挿入した後、WAIT 端子の状態をサンプリングし、端子がLレベルならウェイトを挿入し続け、端子がHレベルになるまでそのバスサイクルを引き延ばします。
011	0ウェイト	WAIT 端子の状態に関係なく、ウェイトなしで、そのバスサイクルを完了します。
1xx	Reserved	設定しないでください。

リセットにより、これらのビットは 000 (2ウェイト) になります。

(4) CS0~CS3 空間外バス幅ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタ BEXCS は、任意の 4 ブロックアドレス空間 (CS0~CS3 空間) 外のアドレス空間がアクセスされたときの、データバス幅選択とウェイト数を設定するレジスタです。このレジスタの設定は CS0~CS3 空間外のエリアに対して、常にイネーブルです。

(5) 16 M バイト空間/アドレス設定空間選択

チップセレクト/ウェイトコントロールレジスタ B2CS<B2M> を 0 にすることにより、16 M バイト空間 (002000H~01F7FFH, 020000H~FFFFFFH) で、CS2 空間が選択されます。B2CS<B2M> を 1 にすると、CS0, CS1, CS3 空間と同様に、スタートアドレスレジスタ MSAR2, およびアドレスマスクレジスタ MAMR2 の設定エリアに従い、CS2 空間が選択されます。リセットによりこのビットは 0 にクリアされ、16 M バイト空間が選択されます。

(6) チップセレクト/ウェイトコントローラ設定手順

チップセレクト/ウェイトコントロール機能を使用する場合は、以下の手順でレジスタの設定を行ってください。

1. メモリスタートアドレスレジスタ MSAR0~MSAR3 の設定

CS0~CS3 空間のスタートアドレスを設定します。

2. メモリアドレスマスクレジスタ MAMR0~MAMR3 の設定

CS0~CS3 空間のサイズを設定します。

3. コントロールレジスタ B0CS~B3CS の設定

CS0~CS3 空間のチップセレクト出力波形, データバス幅, ウェイト数, マスタイネーブル/ディセーブルを設定します。

$\overline{CS0} \sim \overline{CS3}$ 端子は、P60~P63 端子と兼用になっています。チップセレクト信号をこれらの端子から出力するには、ポート 6 ファンクションレジスタ P6FC の該当するビットを、1 に設定する必要があります。

なお CS0~CS3 空間として設定したアドレスが、内蔵の I/O, RAM エリアを指定した場合、 $\overline{CS0} \sim \overline{CS3}$ 端子はチップセレクト信号を出力せず、CPU は内部エリアをアクセスします。

(設定例)

CS0 空間を、010000H~01FFFFH (64 K バイト空間), 16 ビットデータバス, 0 ウェイトに設定する場合

MSAR0 = 01H..... スタートアドレス: 010000H

MAMR0 = 07H..... アドレス空間: 64 K バイト

B0CS = 83H ROM/SRAM 16 ビットデータバス, 0 ウェイト,
CS0 空間設定イネーブル

3.7.3 使用例

図 3.7.6は、TMP91C829 による外部メモリの接続例です。この例ではROMを16ビット幅で接続し、RAMとI/Oを8ビット幅で接続しています。

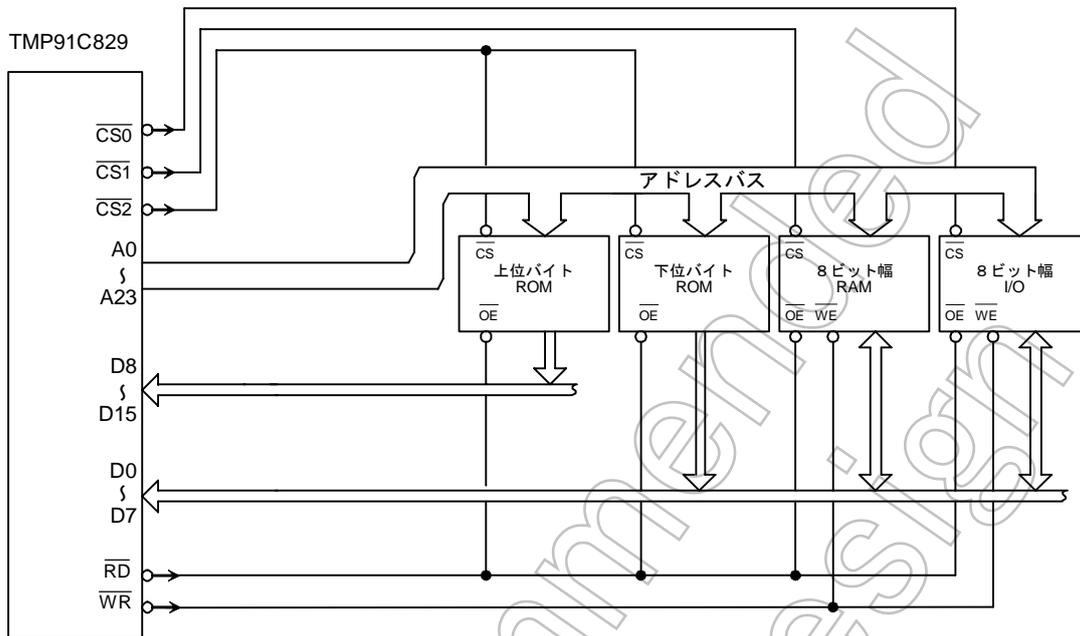


図 3.7.6 外部メモリ接続例 (ROM = 16ビット幅、RAM & I/O = 8ビット幅)

TMP91C829 ではリセット後、ポート6ファンクションレジスタ P6FC が0にクリアされているため、CS信号出力はディセーブルとなっています。CS信号を出力する場合、P6CR, P6FCの必要なビットに1をセットしてください。

3.8 8ビットタイマ (TMRA)

8ビットタイマを6チャンネル(TMRA0~TMRA5)内蔵しています。

TMRAは2チャンネルを1モジュールとし、3モジュールで構成され、それぞれTMRA01, TMRA23, TMRA45と呼びます。各モジュールは次の4種類のモードを持っています。

- 8ビットインタバルタイマモード
- 16ビットインタバルタイマモード
- 8ビットプログラマブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード
- 8ビット PWM (パルス幅変調: 固定周期で可変デューティ) 出力モード

表 3.8.1~3.8.3 にTMRA01, TMRA23, TMRA45 のブロック図を示します。

各チャンネルは主に8ビットアップカウンタ、8ビットコンパレータ、および8ビットタイマレジスタで構成され、2チャンネルに1つのプリスケアラ、タイマフリップフロップで構成されています。

タイマの動作モードやタイマフリップフロップは5バイトのレジスタ (SFR) で制御されます。

3つの各モジュール (TMRA01, TMRA23, TMRA45) は、それぞれ独立に動作します。いずれのモジュールも 表 3.8.1 に示される仕様相違点を除いて同一の動作をしますので、動作説明は TMRA01 の場合についてのみ説明します。

表 3.8.1 TMRA のモジュール別仕様相違点

仕様		モジュール	TMRA01	TMRA23	TMRA45
外部端子	外部クロック 入力端子		TA0IN (P70と兼用)	なし	TA4IN (P73と兼用)
	タイマフリップ フロップ出力端子		TA1OUT (P71と兼用)	TA3OUT (P72と兼用)	TA5OUT (P74と兼用)
SFR名 (アドレス)	タイマRUNレジスタ		TA01RUN (0100H)	TA23RUN (0108H)	TA45RUN (0110H)
	タイマレジスタ		TA0REG (0102H)	TA2REG (010AH)	TA4REG (0112H)
			TA1REG (0103H)	TA3REG (010BH)	TA5REG (0113H)
	タイマモードレジスタ		TA01MOD (0104H)	TA23MOD (010CH)	TA45MOD (0114H)
タイマフリップフロップ コントロールレジスタ		TA1FFCR (0105H)	TA3FFCR (010DH)	TA5FFCR (0115H)	

3.8.1 モジュール別のブロック図

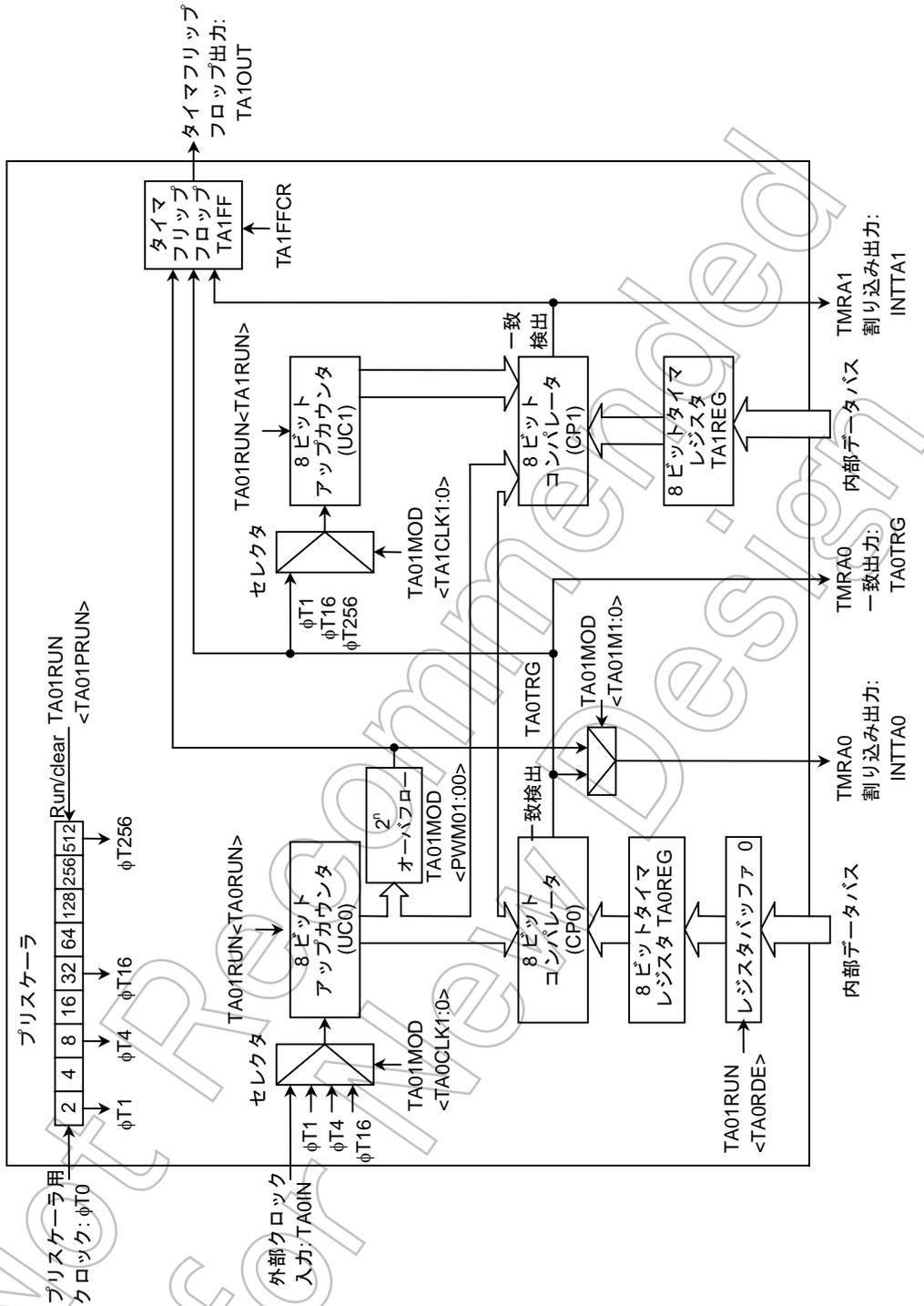


図 3.8.1 TMRA01 ブロック図

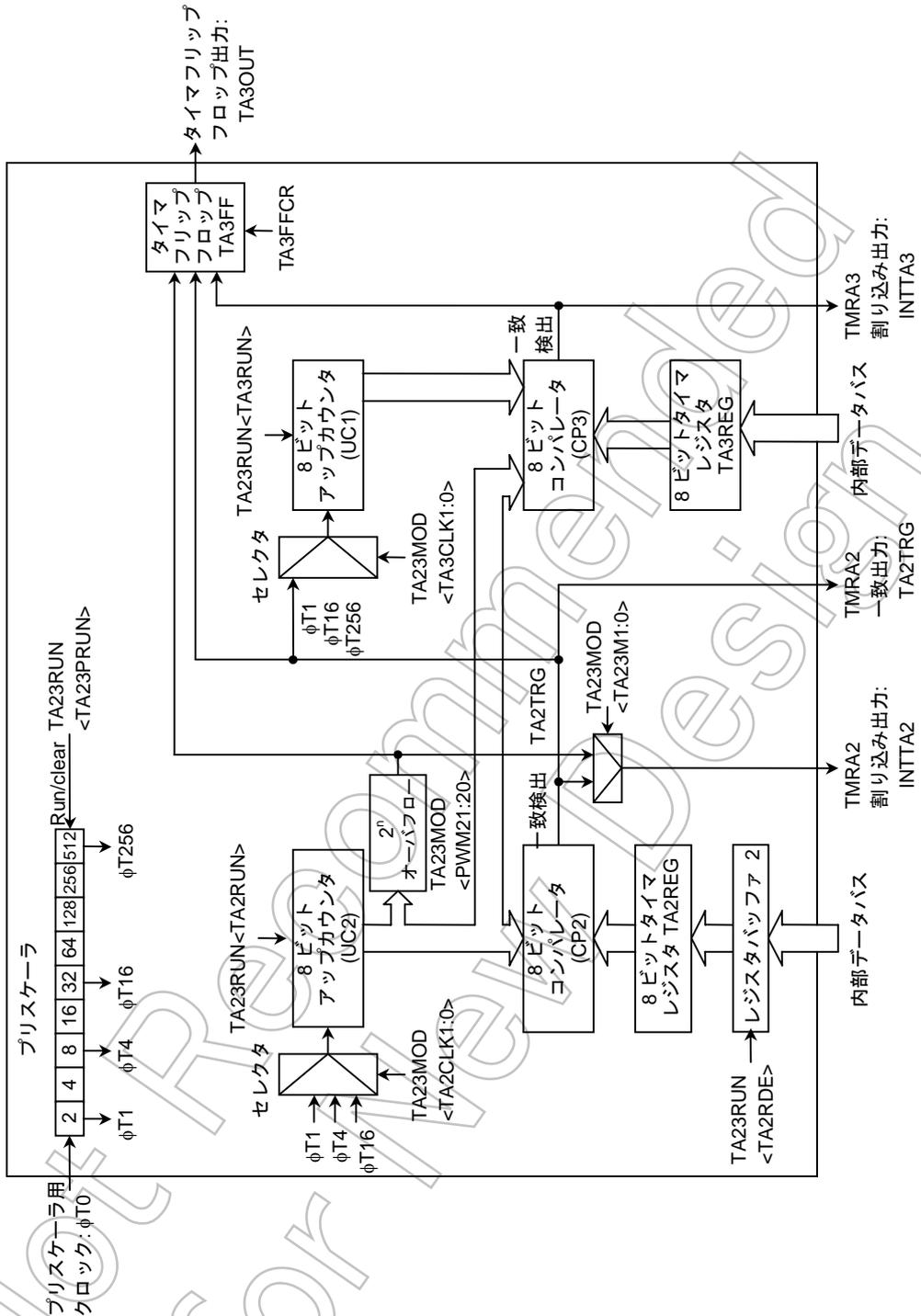


図 3.8.2 TMRA23 ブロック図

3.8.2 回路別の動作説明

(1) プリスケーラ

TMRA01のクロックソースを得るため、9ビットプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、クロックギア部のSYSCR0<PRCK1:0>にて選択したクロックを4分周したクロックです。

プリスケーラはTA01RUN<TA0PRUN>により動作/停止の設定をします。1をライトするとカウント開始し、0をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表3.8.2に示します。

表 3.8.2 プリスケーラ出力クロック分解能

@ fc = 36 MHz

プリスケーラ用 クロック選択 <PRCK1:0>	クロックギア値 <GEAR2:0>	プリスケーラ出力クロック分解能			
		$\phi T1$	$\phi T4$	$\phi T16$	$\phi T256$
(fFPH)	000 (fc)	$2^3/fc$ (0.22 μs)	$2^5/fc$ (0.9 μs)	$2^7/fc$ (3.6 μs)	$2^{11}/fc$ (57 μs)
	001 (fc/2)	$2^4/fc$ (0.4 μs)	$2^6/fc$ (1.8 μs)	$2^8/fc$ (7.1 μs)	$2^{12}/fc$ (114 μs)
	010 (fc/4)	$2^5/fc$ (0.9 μs)	$2^7/fc$ (3.6 μs)	$2^9/fc$ (14 μs)	$2^{13}/fc$ (228 μs)
	011 (fc/8)	$2^6/fc$ (1.8 μs)	$2^8/fc$ (7.1 μs)	$2^{10}/fc$ (28 μs)	$2^{14}/fc$ (455 μs)
	100 (fc/16)	$2^7/fc$ (3.6 μs)	$2^9/fc$ (14 μs)	$2^{11}/fc$ (57 μs)	$2^{15}/fc$ (910 μs)
10 (fc/16クロック)	XXX	$2^7/fc$ (3.6 μs)	$2^9/fc$ (14 μs)	$2^{11}/fc$ (57 μs)	$2^{15}/fc$ (910 μs)

xxx: Don't care

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ TA01MODで指定された入力クロックによってカウントアップする、8ビットのバイナリカウンタです。

UC0の入力クロックはTA0IN端子からの外部クロックと、3種類のプリスケーラ出力クロック $\phi T1$, $\phi T4$, $\phi T16$ から、TA01MOD<TA0CLK1:0>の設定値に応じて選択されます。

UC1の入力クロックは動作モードによって異なります。16ビットタイマモードに設定した場合は、アップカウンタUC0のオーバーフロー出力が入力クロックとなり、16ビットタイマモード以外の設定の場合は、TA01MOD<TA1CLK1:0>の設定によりプリスケーラ出力クロック $\phi T1$, $\phi T16$, $\phi T256$ と、TMRA0のコンパレータ出力(一致検出)の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>, <TA1RUN>によってカウント/停止 & クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。

(3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する 8 ビットのレジスタです。このタイマレジスタへの設定値とアップカウンタ値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバーフロー時に、一致信号がアクティブになります。

TA0REG はダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファの制御は、TA01RUN<TA0RDE> の設定により行います。<TA0RDE> = 0 のときはディセーブル、<TA0RDE> = 1 のときはイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの 2nd オーバーフロー、または PPG モードの周期のコンパレータ一致時です。従ってタイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TA0RDE> = 0 に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタに設定値を書き込み、<TA0RDE> = 1 に設定した後、次の設定値を書き込んでください。

図 3.8.4 に TA0REG の構成を示します。

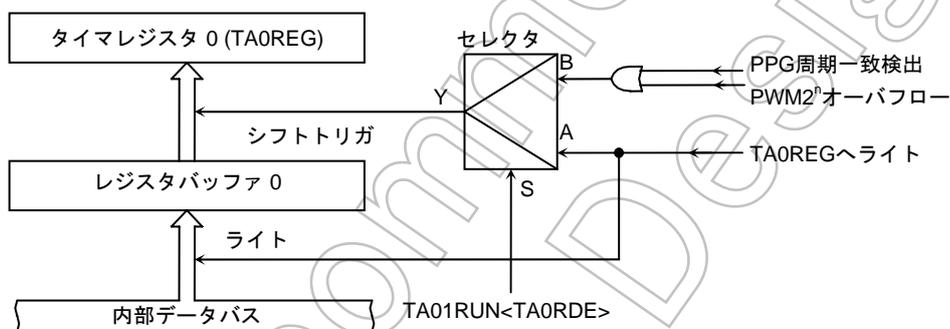


図 3.8.4 タイマレジスタ 0 (TA0REG) の構成

注) TA0REG にデータをライト時、タイマレジスタとレジスタバッファは同じアドレスに割り付けられています。

<TA0RDE> = 0 のときは、レジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、<TA0RDE> = 1 のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのアドレスは次のとおりです。

TA0REG: 000102H TA1REG: 000103H

TA2REG: 00010AH TA3REG: 00010BH

TA4REG: 000112H TA5REG: 000113H

各レジスタとも書き込み専用のレジスタで、リードできません。

(4) コンパレータ (CP0)

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタを 0 にクリアするとともに、割り込み INTTA0, INTTA1 を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ TA1FF は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、TA1FFCR<TA1FFIE> により設定できます。

リセットにより、TA1FF1 は 0 になります。TA1FFCR<TA1FFC1:0> に 01、または 10 を書き込むことで、TA1FF の値を 1 または 0 に設定することができます。また、このビットに 00 を書き込むことにより、TA1FF の値を反転させることができます(ソフト反転)。

TA1FF の値は、タイマフリップフロップ出力端子 TA1OUT (P71 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 7 関連レジスタ P7CR, P7FC により、設定を行う必要があります。

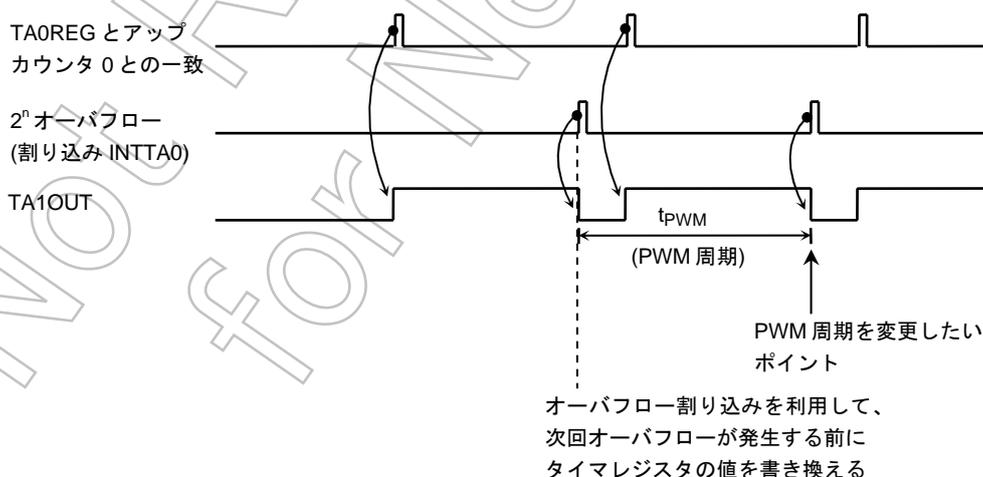
注) 8 ビットタイマにおいて PWM モードや PPG モードを使用時にダブルバッファを利用する場合は、注意が必要です。

タイマレジスタの設定値と、アップカウンタが一致して、オーバフロー発生するタイミング直前にレジスタバッファのデータ更新を行うと、設定値と異なる波形信号が出力される場合があります。

そのため、PWM モードではオーバフロー割込みを利用し、次回のオーバフローが発生する 6 サイクル前までに($f_{\text{SYS}} \times 6$)、レジスタバッファの更新を終了するようにしてください。

また、PPG モードを使用の際も同様に、周期のコンペアー一致割込みを使用し、次回の周期コンペアーが一致する 6 サイクル前までに、レジスタバッファの更新を終了するようにしてください。

PWM モード時の例



3.8.3 SFR 説明

TMRA01Run レジスタ

		7	6	5	4	3	2	1	0
TA01RUN (0100H)	Bit symbol	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
	Read/Write	R/W				R/W			
	リセット後	0				0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	8ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		

TA0REG ダブルバッファの制御

0	禁止
1	許可

→ カウント動作

0	停止 & クリア
1	カウント

I2TA01: IDLE2 モード時の動作
 TA01PRUN: プリスケーラの動作
 TA1RUN: TMRA1 の動作
 TA0RUN: TMRA0 の動作

注) TA01RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

TMRA23Run レジスタ

		7	6	5	4	3	2	1	0
TA23RUN (0108H)	Bit symbol	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
	Read/Write	R/W				R/W			
	リセット後	0				0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	8ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		

TA2REG ダブルバッファの制御

0	禁止
1	許可

→ カウント動作

0	停止 & クリア
1	カウント

I2TA23: IDLE2 モード時の動作
 TA23PRUN: プリスケーラの動作
 TA3RUN: TMRA3 の動作
 TA2RUN: TMRA2 の動作

注) TA23RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

図 3.8.5 TMRA 関係のレジスタ

TMRA45RUN レジスタ

	7	6	5	4	3	2	1	0
TA45RUN (0110H)	Bit symbol	TA4RDE			I2TA45	TA45PRUN	TA5RUN	TA4RUN
	Read/Write	R/W				R/W		
	リセット後	0			0	0	0	0
	機能	ダブルバッファ			IDLE2 0: 停止 1: 動作	8ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		

TA4REG ダブルバッファの制御

0	禁止
1	許可

→ カウント動作

0	停止 & クリア
1	カウント

I2TA45: IDLE2 モード時の動作

TA45PRUN: プリスケアラの動作

TA5RUN: TMRA5の動作

TA4RUN: TMRA4の動作

注) TA45RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

図 3.8.6 TMRA 関係のレジスタ

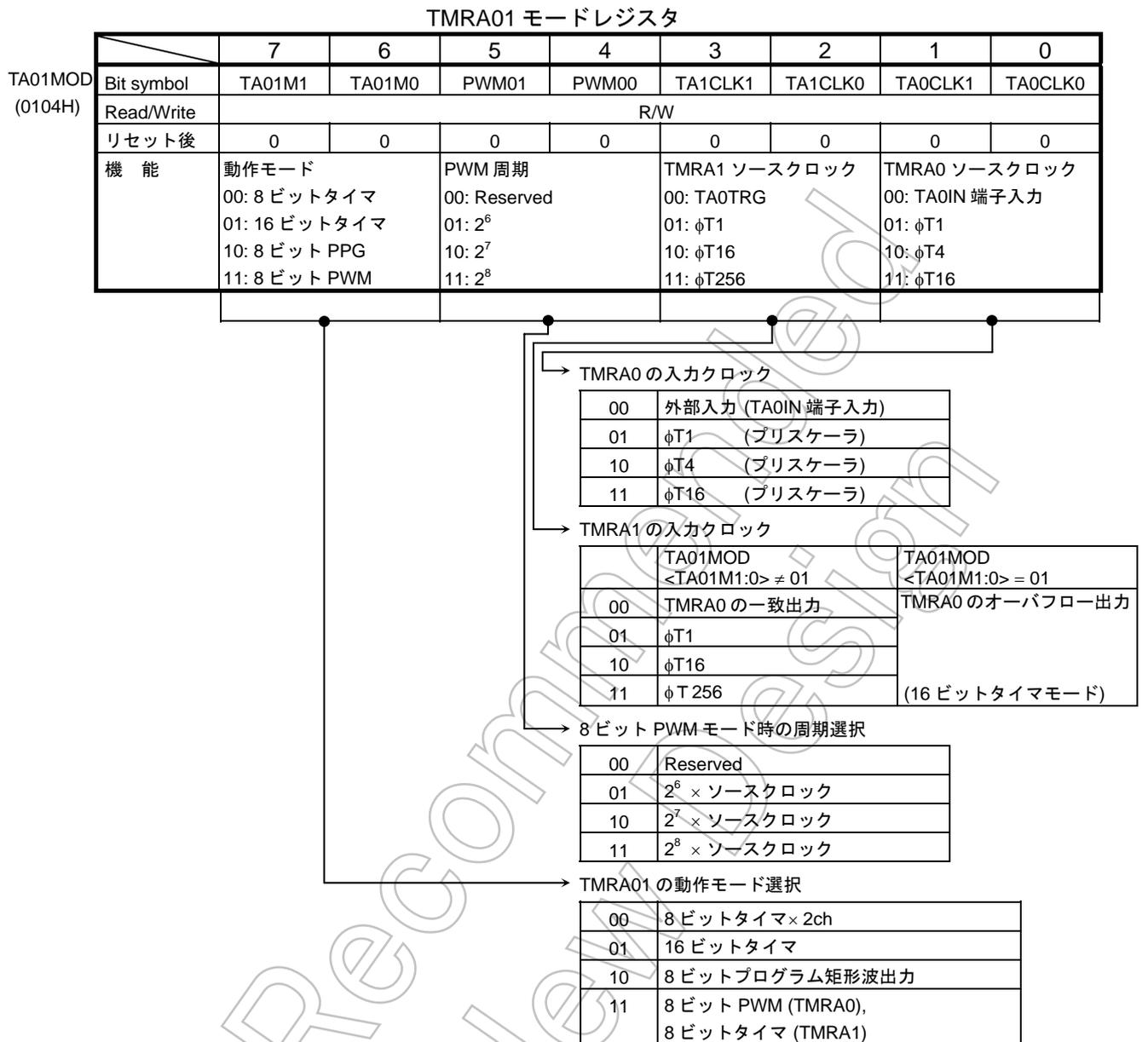


図 3.8.7 TMRA 関係のレジスタ

TMRA23 モードレジスタ

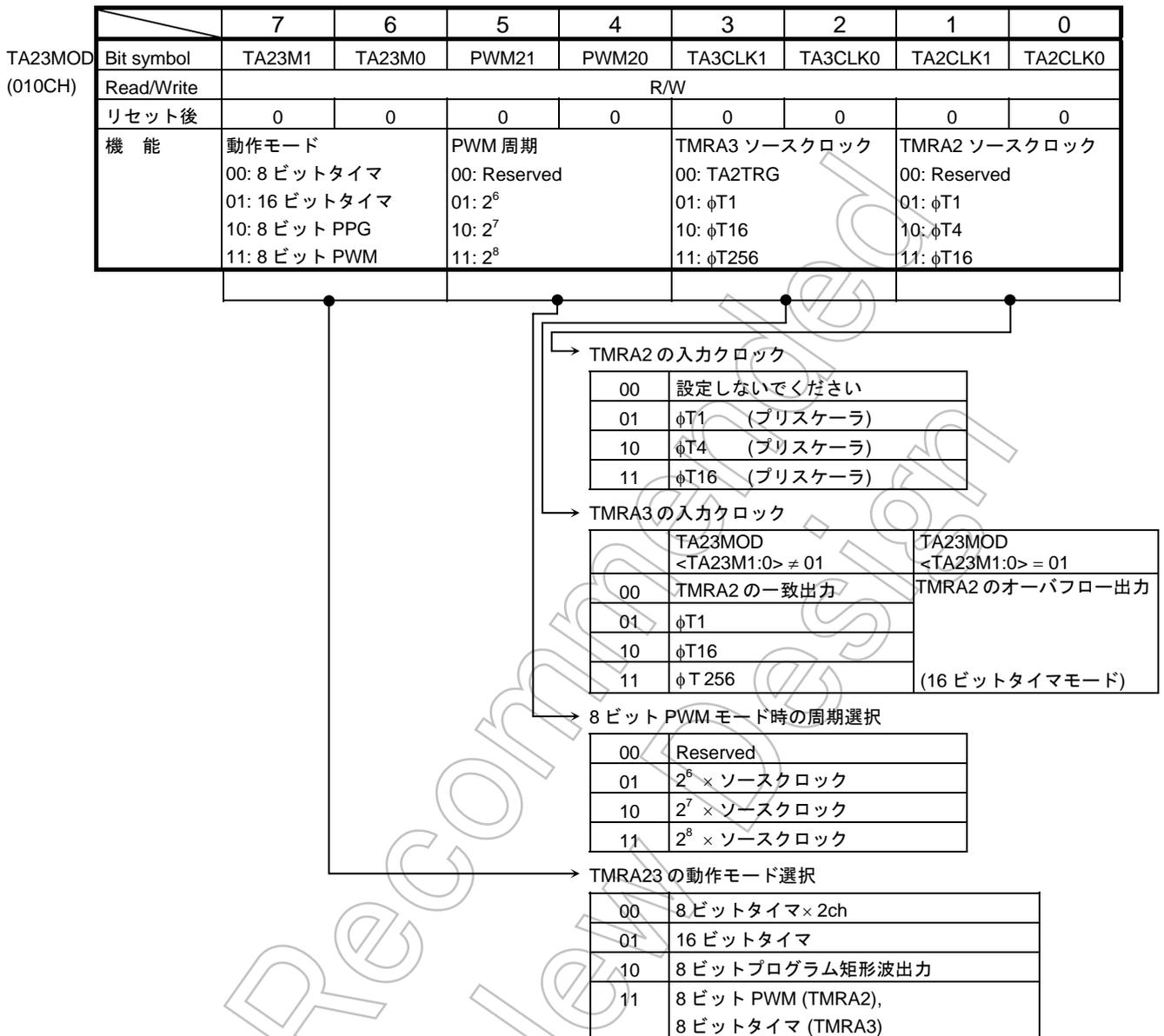


図 3.8.8 TMRA関係のレジスタ

TMRA45 モードレジスタ

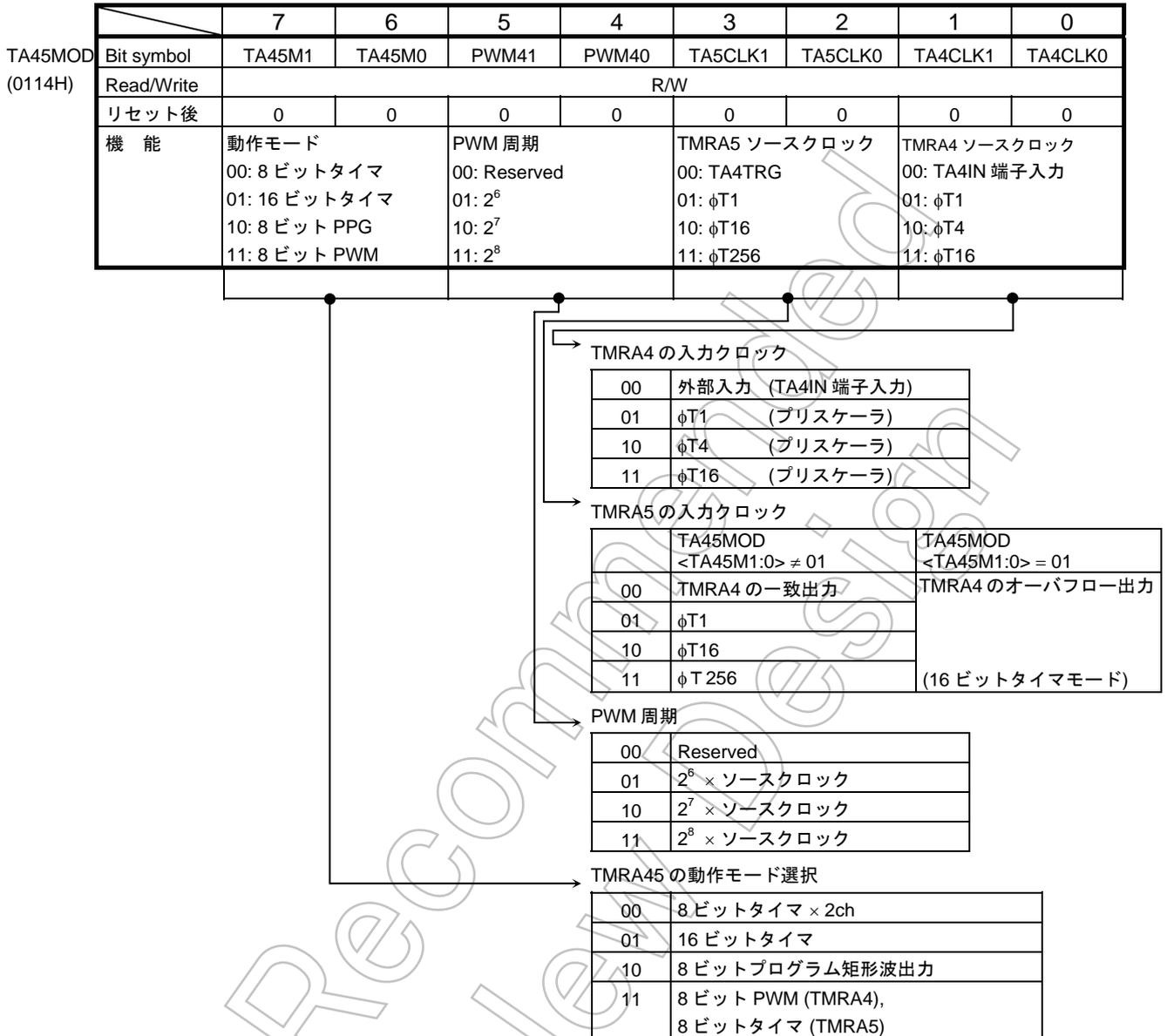


図 3.8.9 TMRA 関係のレジスタ

TMRA1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA1FFCR (0105H)	Bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
	機能					00: TA1FF の反転 01: TA1FF のセット 10: TA1FF のクリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号 セレクト 0: TMRA0 1: TMRA1

リードモ
ディファ
イライト
はできま
せん。



図 3.8.10 TMRA 関係のレジスタ

Not Recommended for New Design

TMRA3 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA3FFCR (010DH)	Bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
	機能					00: TA3FF の反転 01: TA3FF のセット 10: TA3FF のクリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号 セレクト 0: TMRA2 1: TMRA3

リードモ
ディファ
イライト
はできま
せん。

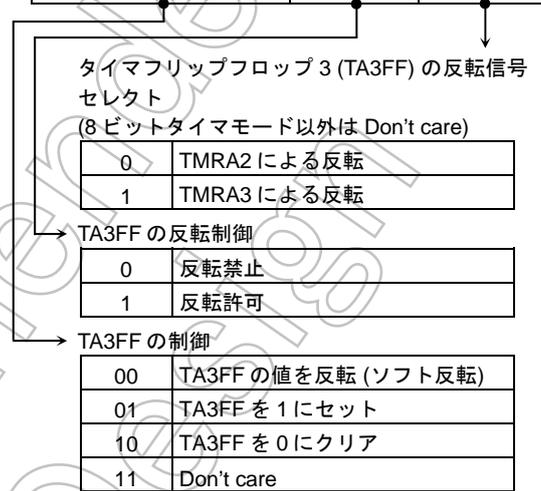


図 3.8.11 TMRA 関係のレジスタ

Not Recommended for New Design

TMRA5 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA5FFCR (0115H)	Bit symbol					TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS
	Read/Write					R/W		R/W	
	リセット後					1	1	0	0
リードモ ディファイ アイト はできま せん。	機能					00: TA5FF の反転 01: TA5FF のセット 10: TA5FF のクリア 11: Don't care	TA5FF 反転制御 0: 禁止 1: 許可	TA5FF 反転信号 セレクト 0: TMRA4 1: TMRA5	

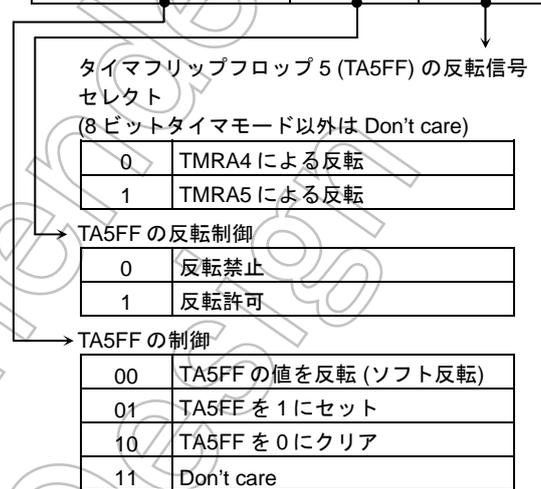


図 3.8.12 TMRA 関係のレジスタ

Not Recommended for New Design

タイマレジスタ

		7	6	5	4	3	2	1	0
TA0REG (0102H)	bit Symbol					—			
	Read/Write					W			
	リセット後					不定			
TA1REG (0103H)	bit Symbol					—			
	Read/Write					W			
	リセット後					不定			
TA2REG (010AH)	bit Symbol					—			
	Read/Write					W			
	リセット後					不定			
TA3REG (010BH)	bit Symbol					—			
	Read/Write					W			
	リセット後					不定			
TA4REG (0112H)	bit Symbol					—			
	Read/Write					W			
	リセット後					不定			
TA5REG (0113H)	bit Symbol					—			
	Read/Write					W			
	リセット後					不定			

注) 上記レジスタは、リードモディファイライトは禁止です。

図 3.8.13 8 ビットタイマ関係のレジスタ

3.8.4 モード別動作説明

(1) 8ビットタイマ

TMRA0, TMRA1は、それぞれ独立した8ビットインタバルタイマとして使用できます。機能およびカウントデータの設定を行う場合は、TMRA0, TMRA1を停止させた状態で行ってください。

a. 一定周期の割り込みを発生させる場合

ここでは TMRA1 を使用した例を示します。TMRA1 を用いて、一定周期ごとに TMRA1 割り込み INTTA1 を発生させる場合、まずタイマ 1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD, TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、タイマ 1 をカウントさせます。

例: $f_c = 36 \text{ MHz}$ で $8.8 \mu\text{s}$ ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

*クロック条件

システムクロック: 高速 (f_c)
プリスケラクロック: f_{PPH}

	MSB							LSB		
	7	6	5	4	3	2	1	0		
TA01RUN	←	-	X	X	X	-	-	0	-	TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	X	X	8 ビットタイマモードにし、入力クロックを $\phi T1((2^3/f_c)\text{s} @ f_c = 36 \text{ MHz})$ に設定します。
TA1REG	←	0	0	1	0	1	0	0	0	TA1REG に $8.8 \mu\text{s} \div \phi T1(2^3/f_c) = 40 (28\text{H})$ を書き込みます。
INTETA01	←	X	1	0	1	-	-	-	-	INTTA1 を許可、割り込みレベル 5 に設定します。
TA01RUN	←	-	X	X	X	-	1	1	-	TMRA1 をカウントさせます。

X: Don't care、-: No change

入力クロックの選択は表 3.8.4 を参考にしてください。

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。

TMRA0: TA0IN 端子入力、 $\phi T1$, $\phi T4$, $\phi T16$

TMRA1: TMRA0 の一致検出信号、 $\phi T1$, $\phi T16$, $\phi T256$

b. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ TA1FF の値を反転させ、この値をタイマフリップフロップ出力端子 TA1OUT へ出力します。

例: $f_c = 36 \text{ MHz}$ で周期 $1.32 \mu\text{s}$ の矩形波を TA1OUT 端子から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を用いますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

* クロック条件

システムクロック: 高速 (f_c)
 高速クロックギア: 1 倍 (f_c)
 プリスケアラクロック: f_{FPH}

	7	6	5	4	3	2	1	0
TA01RUN	← -	X	X	X	-	-	0	-
TA01MOD	← 0	0	X	X	0	1	-	-
TA1REG	← 0	0	0	0	0	0	1	1
TA1FFCR	← X	X	X	X	1	0	1	1
P7CR	← X	X	-	-	-	-	1	-
P7FC	← X	X	-	-	X	-	1	X
TA01RUN	← -	X	X	X	-	1	1	-

TMRA1 を停止し、0 にクリアします。
 8 ビットタイマモードにし、入力クロックを $\phi T1$ ($(2^3/f_c)s$ @ $f_c = 36 \text{ MHz}$) に設定します。
 TA1REG に $1.32 \mu\text{s} \div \phi T1(2^3/f_c)s \div 2 = 3$ をセットします。
 TA1FF を 0 にクリアし、TMRA1 からの一致検出信号で反転するように設定します。
 P71 を TA1OUT 出力端子に設定します。
 TMRA1 のカウントを開始させます。

X: Don't care、-: No change

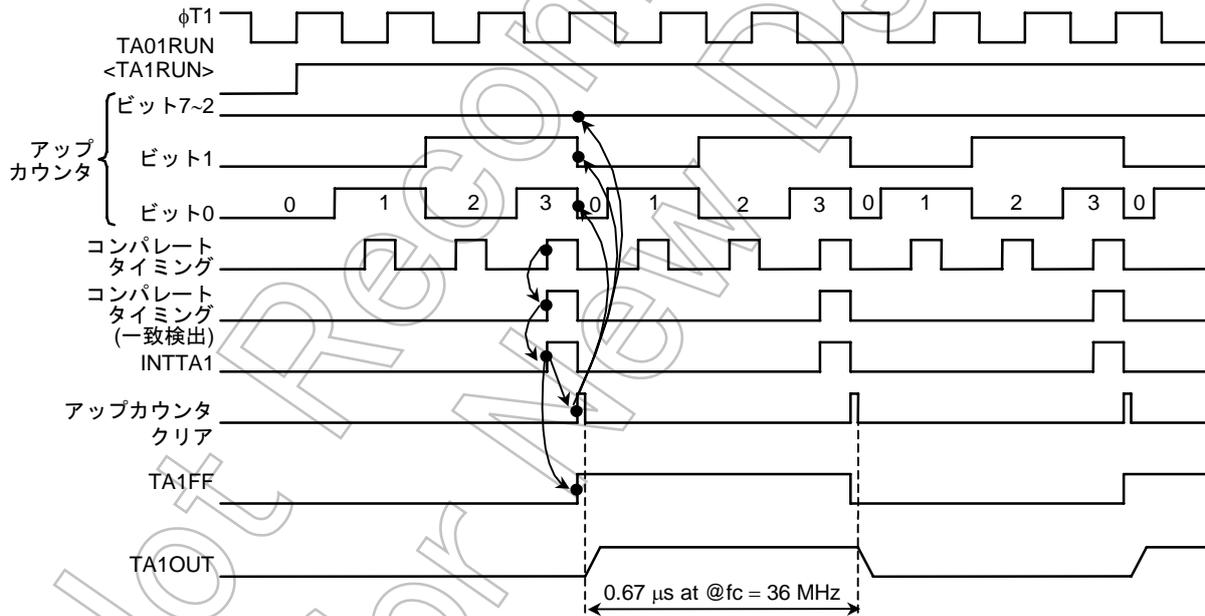


図 3.8.14 矩形波 (デューティ 50%) 出力のタイミングチャート

c. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

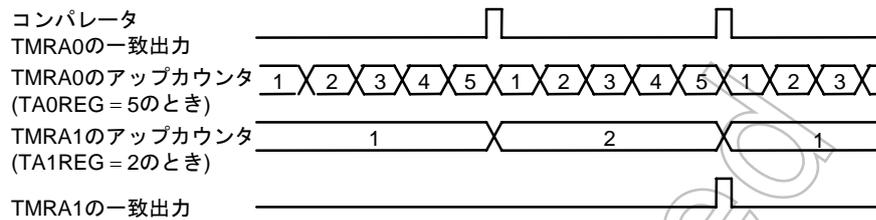


図 3.8.15 TMRA0 による TMRA1 のカウントアップ

(2) 16 ビットタイマ

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。

TA01MOD<TA01M1:0> を 01 に設定することで、16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバフロー出力になります。TMRA0 の入力クロックの選択は表 3.8.4 を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、必ず TA0REG から先に設定してください (TA0REG にデータを書き込むとコンペアが一時禁止され、TA1REG へのデータ書き込みでコンペアが開始されるためです)。

例: $f_c = 36 \text{ MHz}$ で 0.22 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG, TA1REG には次の値を設定します。

* クロック条件

$\left\{ \begin{array}{l} \text{システムクロック: } \text{高速 } (f_c) \\ \text{高速クロックギア: } 1 \text{ 倍 } (f_c) \\ \text{プリスケアラクロック: } f_{PPH} \end{array} \right.$

$\phi T_{16} (= (2^7/f_c)s @ 36 \text{ MHz})$ を入力クロックとしてカウントすると

$$0.22 \text{ s} \div (2^7/f_c)s \approx 62500 = \text{F424H}$$

従って TA1REG = F4H, TA0REG = 24H を設定します。

TMRA0のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。また、このとき INTTA0 は発生しません。

TMRA1のコンパレータは、アップカウンタ UC1 と TA1REG とが一致すると、コンパレータタイミング時、毎回一致検出信号が出力されます。TMRA0, TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0, UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例: TA1REG = 04H, TA0REG = 80H の場合

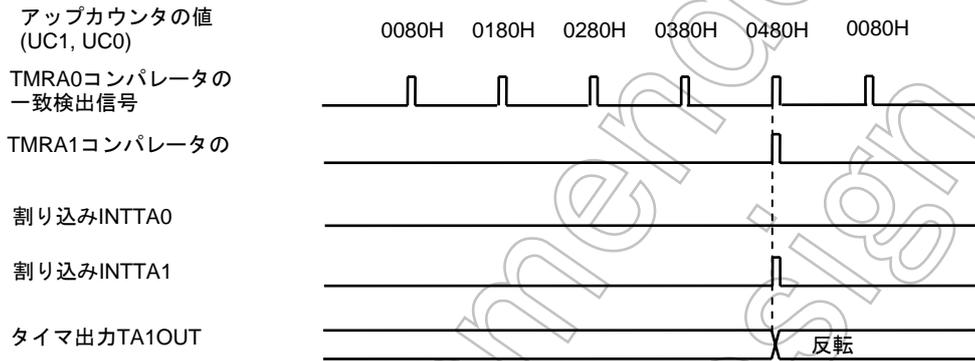


図 3.8.16 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスは Low アクティブ、High アクティブどちらの設定も可能です。

このモードに設定した場合、TMRA1 は使用できません。

矩形波は TA1OUT (P71 と兼用) へ出力されます。

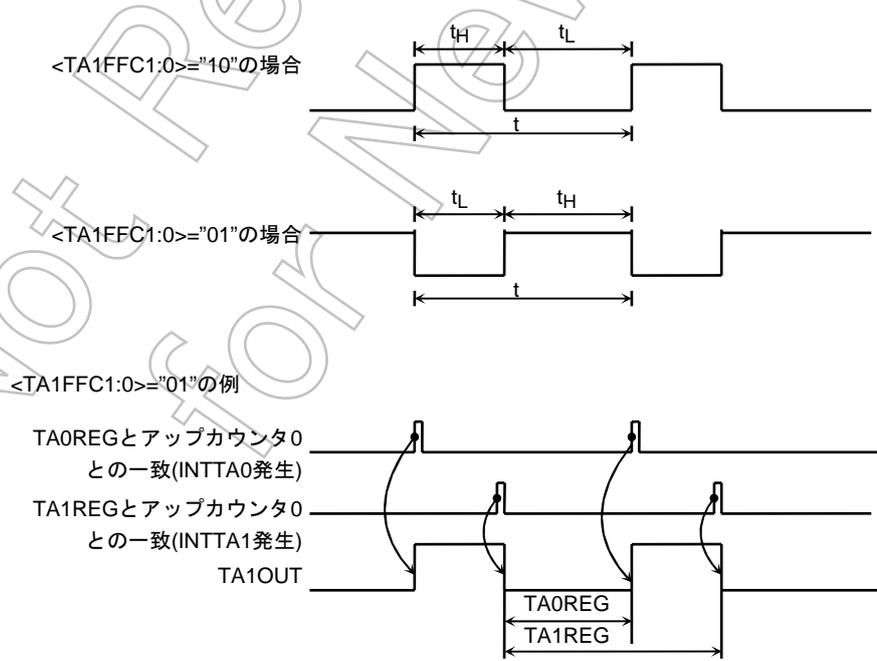


図 3.8.17 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ UC0 がタイマレジスタ TA0REG、および TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN < TA1RUN > = 1 に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと 図 3.8.18 のようになります。

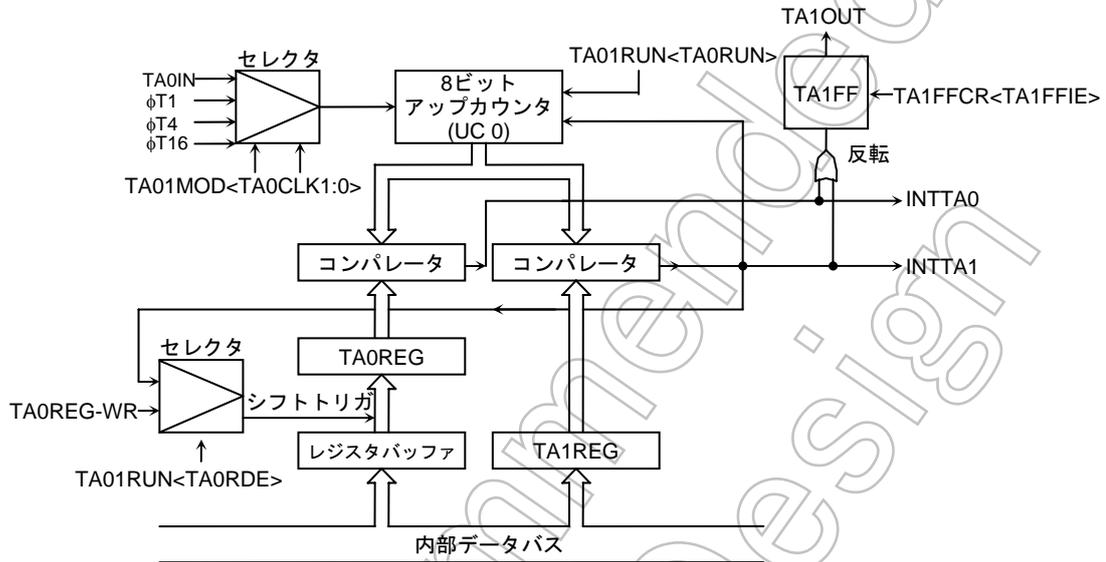


図 3.8.18 8ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

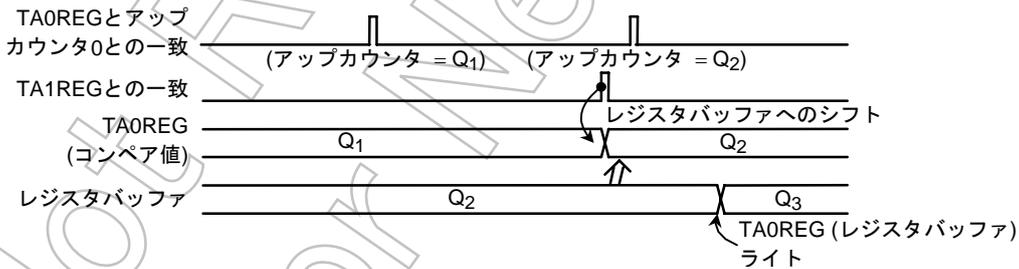
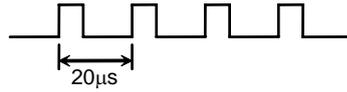


図 3.8.19 レジスタバッファの動作

例: デューティ 1/4 の 50 kHz のパルスを出力する場合($f_c = 36 \text{ MHz}$)



- * クロック条件
- システムクロック: 高速 (f_c)
 - 高速クロックギア: 1倍 (f_c)
 - プリスケアラクロック: f_{PPH}

タイマレジスタへの設定値を求めます。

周波数を 50 kHz にするには、周期 $t = 1/50 \text{ kHz} = 20 \mu\text{s}$ の波形をつくります。

$\phi T1 = (2^3/f_c)s$ (@ $f_c = 36 \text{ MHz}$) を用いると、

$$20 \mu\text{s} \div (2^3/f_c) s \approx 90$$

従って TA1REG を、TA1REG = 90 = 5AH

次にデューティを 1/4 にするには、 $t \times 1/4 = 20 \mu\text{s} \times 1/4 = 5 \mu\text{s}$

$$5 \mu\text{s} \div (2^3/f_c) s \approx 22$$

従って TA0REG = 22 = 16H に設定します。

	7	6	5	4	3	2	1	0	
TA01RUN	← 0	X	X	X	-	0	0	0	TMRA0, TMRA1 を停止し、0にクリアします。
TA01MOD	← 1	0	X	X	X	X	0	1	8ビット PPG モードにし、入力クロックを $\phi T1$ にします。
TA0REG	← 0	0	0	1	0	1	1	0	16H を書き込みます。
TA1REG	← 0	1	0	1	1	0	1	0	5AH を書き込みます。
TA1FFCR	← X	X	X	X	0	1	1	X	TA1FF をセットし、反転許可にします。
									10 にすると負論理の出力波形が得られます。
P7CR	← X	X	-	-	-	-	1	-	} P71 を TA1OUT 端子に設定します。
P7FC	← X	X	-	-	X	-	1	X	
TA01RUN	← 1	X	X	X	-	1	1	1	TMRA0, TMRA1 のカウントを開始します。

X: Don't care, -: No change

(4) 8ビット PWM 出力モード

TMRA0 にのみ可能なモードで、分解能 8ビットまでの PWM を出力することができます。PWM 出力は TA1OUT 端子 (P71 と兼用) へ出力されます。

このモードでは、TMRA1 は 8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタ UC0 がタイマレジスタ TA0REG の設定値と一致したときと、 2^n ($n = 6, 7, 8$ のいずれかを TA01MOD<PWM01:00> で指定) カウンタオーバーフロー発生時に起こります。また、UC0 は 2^n カウンタのオーバーフローによってクリアされます。

なお、この PWM モードを使用する場合、次の条件を満たさなければなりません。

$$(\text{TA0REG の設定値}) < (2^n \text{ カウンタのオーバーフロー設定値})$$

$$(\text{TA0REG の設定値}) \neq 0$$

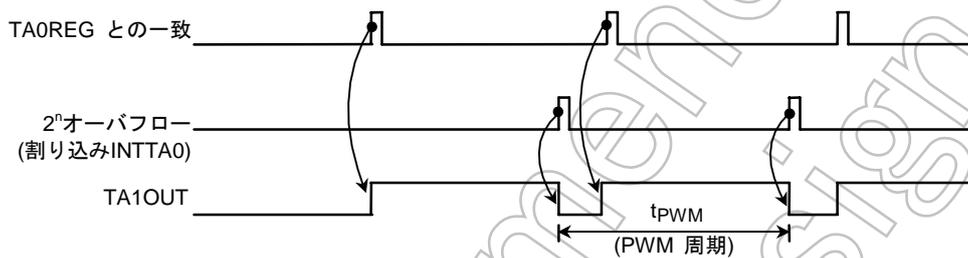


図 3.8.20 8ビット PWM 出力波形

このモードをブロック図で示すと図 3.8.21 のようになります。

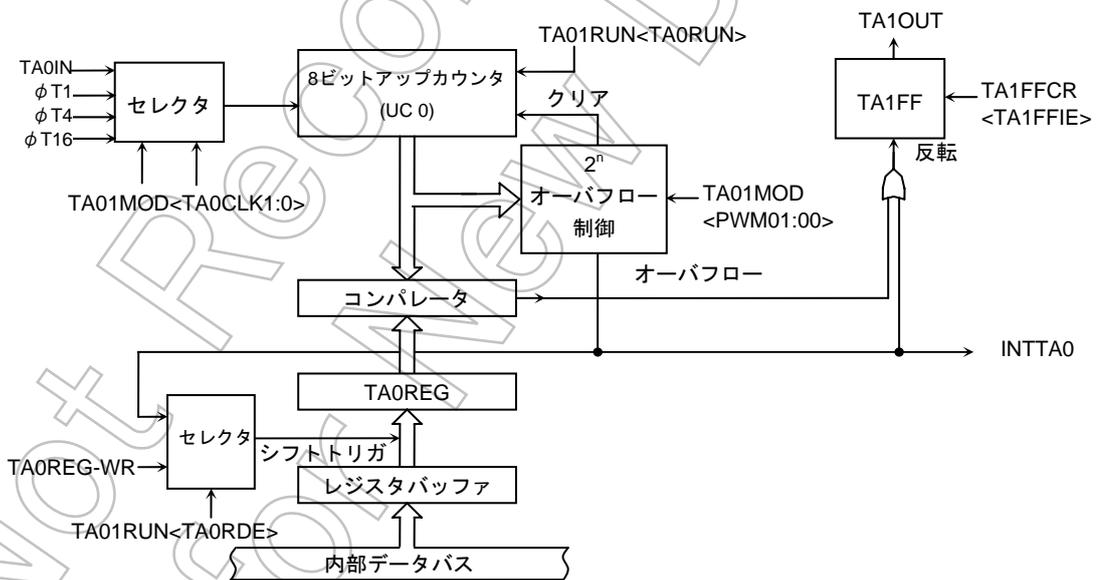


図 3.8.21 8ビット PWM 出力モードのブロック図

このモードでは、TA0REG をダブルバッファインプブルにすることにより、2ⁿ オーバフロー検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

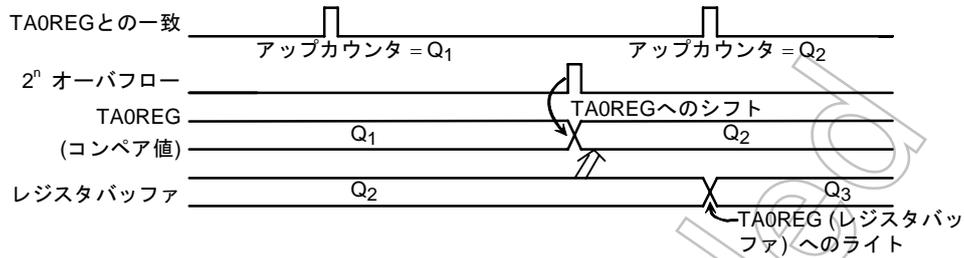
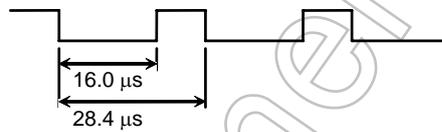


図 3.8.22 レジスタバッファの動作

例: $f_c = 36 \text{ MHz}$ 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合



- * クロック条件
- システムクロック: 高速 (f_c)
 - 高速クロックギア: 1倍 (f_c)
 - プリスケラクロック: f_{PH}

PWM 周期 $28.4 \mu\text{s}$ を $\phi T1 = (2^3/f_c)\text{s}$ ($@ f_c = 36 \text{ MHz}$) で実現する場合

$$28.4 \mu\text{s} \div (2^3/f_c) \text{s} \approx 128 = 2^n$$

従って $n = 7$ に設定します。

L レベルの期間は $16.0 \mu\text{s}$ ですから、 $\phi T1 = (2^3/f_c) \text{s}$ では

$$16.0 \mu\text{s} \div (2^3/f_c) \text{s} \approx 72 = 48H$$

を TA0REG に設定します。

	MSB	7	6	5	4	3	2	1	0	LSB
TA01RUN	←	-	X	X	X	-	-	-	0	
TA01MOD	←	1	1	1	0	-	-	0	1	
TA0REG	←	0	1	0	0	1	0	0	0	
TA1FFCR	←	X	X	X	X	1	0	1	X	
P7CR	←	X	X	-	-	-	-	1	-	
P7FC	←	X	X	-	-	X	-	1	X	
TA01RUN	←	1	X	X	X	-	1	1	1	

X: Don't care、 -: No change

- TMRA0 を停止し、0 にクリアします。
- 8ビット PWM モード (周期 = 2^7) にし、入力クロックを $\phi T1$ にします。
- 48H を書き込みます。
- TA1FF をクリアし、反転許可にします。
- P71 を TA1OUT 端子に設定します。
- TMRA0 のカウントを開始します。

表 3.8.3 PWM 周期

@ fc = 36 MHz

プリスケラ用 クロック選択 <PRCK1:0>	クロックギア値 <GEAR2:0>	PWM 周期								
		2 ⁶			2 ⁷			2 ⁸		
		φT1	φT4	φT16	φT1	φT4	φT16	φT1	φT4	φT16
00 (f _{FPH})	000 (fc)	14.2 μs	56.8 μs	227 μs	28.4 μs	113 μs	455 μs	56.8 μs	227 μs	910 μs
	001 (fc/2)	28.4 μs	113 μs	455 μs	56.8 μs	227 μs	910 μs	113 μs	455 μs	1820 μs
	010 (fc/4)	56.8 μs	227 μs	910 μs	113 μs	455 μs	1820 μs	227 μs	910 μs	3640 μs
	011 (fc/8)	113 μs	455 μs	1820 μs	227 μs	910 μs	3640 μs	455 μs	1820 μs	7281 μs
	100 (fc/16)	227 μs	910 μs	3640 μs	455 μs	1820 μs	7281 μs	910 μs	3640 μs	14563 μs
10 (fc/16 クロック)	XXX	227 μs	910 μs	3640 μs	455 μs	1820 μs	7281 μs	910 μs	3640 μs	14563 μs

XXX: Don't care

(5) 動作モード設定一覧

TMRA0, TMRA1 の各モードをまとめると、表 3.8.4 のような設定になります。

表 3.8.4 各タイマモードの設定レジスタ

レジスタ名 <レジスタ中の機能名>	TA01MOD				TA1FFCR
	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	TA1FFIS
機能	タイマモード	PWM 周期	上位タイマ 入力クロック	下位タイマ 入力クロック	タイマ F/F 反転 信号セレクト
8 ビットタイマ × 2 ch	00	—	下位タイマ一致 φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16 ビットタイマモード	01	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビット PPG × 1 ch	10	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビット PWM × 1 ch	11	2 ⁶ , 2 ⁷ , 2 ⁸ (01, 10, 11)	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビット PWM × 1 ch	11	—	φT1, φT16, φT256 (01, 10, 11)	—	出力不可

—: Don't care

3.9 16ビットタイマ/イベントカウンタ (TMRB)

多機能 16ビットタイマ/イベントカウンタを 1チャンネル (TMRB0) 内蔵しています。TMRBは、次の 3つの動作モードを持っています。

- 16ビットインタバルタイマモード
- 16ビットイベントカウンタモード
- 16ビットプログラマブル矩形波出力 (PPG) モード

図 3.9.1にTMRB0 のブロック図を示します。

主に 16ビットアップカウンタ、16ビットタイマレジスタ 2本 (1本はダブルバッファ構造)、16ビットのキャプチャレジスタ 2本、コンパレータ 2個、およびキャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップは 11バイトのレジスタ (SFR) で制御されます。

表 3.9.1 TMRB の仕様

仕様		チャンネル	TMRB0	
外部端子	外部クロック/ キャプチャトリガ入力端子		TB0IN0 (P93 と兼用)	
			TB0IN1 (P94 と兼用)	
	タイマフリップフロップ 出力端子		TB0OUT0 (P95 と兼用)	
			TB0OUT1 (P96 と兼用)	
SFR 名 (アドレス)	タイマ RUN レジスタ		TB0RUN (0180H)	
	タイマモードレジスタ		TB0MOD (0182H)	
	タイマフリップフロップ コントロールレジスタ		TB0FFCR (0183H)	
	タイマレジスタ			TB0RG0L (0188H)
				TB0RG0H (0189H)
				TB0RG1L (018AH)
				TB0RG1H (018BH)
	キャプチャレジスタ			TB0CP0L (018CH)
				TB0CP0H (018DH)
				TB0CP1L (018EH)
				TB0CP1H (018FH)

3.9.1 TMRBのブロック図

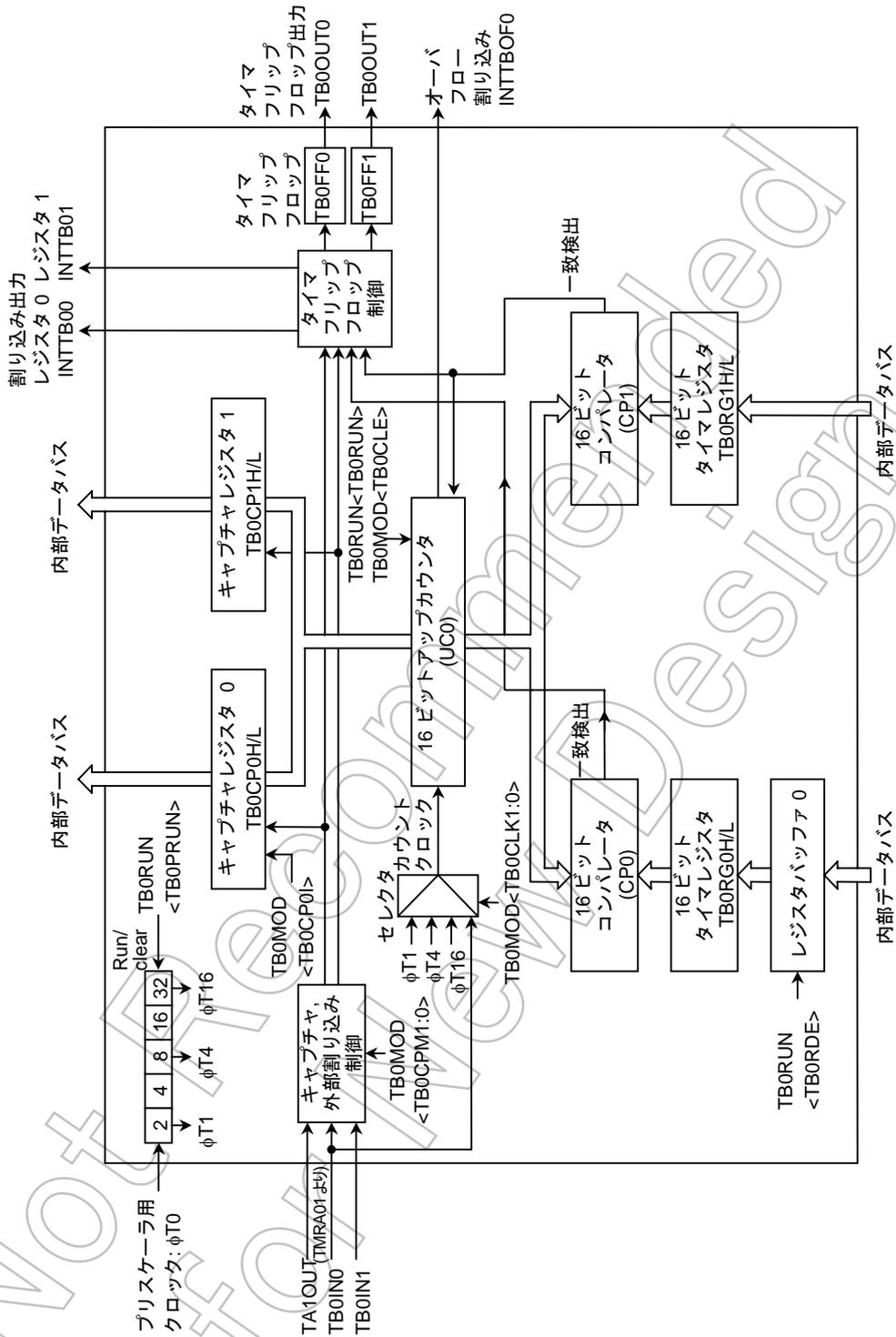


図 3.9.1 TMRB0 ブロック図

3.9.2 回路別の動作説明

(1) プリスケーラ

TMRB0 のクロックソースを得るため、5 ビットプリスケーラがあります。プリスケーラへの入力クロック $\phi T0$ は、クロックギア部の SYSCR0<PRCK1:0> にて選択したクロックを 4 分周したクロックです。

プリスケーラは TB0RUN<TB0RUN> により動作/停止の設定をします。1 をライトするとカウントを開始し、0 をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.9.2 に示します。

表 3.9.2. プリスケーラ出力クロック分解能

@ fc = 36 MHz

プリスケーラ用クロック 選択<PRCK1:0>	クロックギア値 <GEAR2:0>	プリスケーラ出力クロック分解能		
		$\phi T1$	$\phi T4$	$\phi T16$
00 (f _{PH})	000 (fc)	$2^3/fc$ (0.2 μ s)	$2^5/fc$ (0.9 μ s)	$2^7/fc$ (3.6 μ s)
	001 (fc/2)	$2^4/fc$ (0.4 μ s)	$2^6/fc$ (1.8 μ s)	$2^8/fc$ (7.1 μ s)
	010 (fc/4)	$2^5/fc$ (0.9 μ s)	$2^7/fc$ (3.6 μ s)	$2^9/fc$ (14.2 μ s)
	011 (fc/8)	$2^6/fc$ (1.8 μ s)	$2^8/fc$ (7.1 μ s)	$2^{10}/fc$ (28.4 μ s)
	100 (fc/16)	$2^7/fc$ (3.6 μ s)	$2^9/fc$ (14.2 μ s)	$2^{11}/fc$ (56.9 μ s)
10 (fc/16 clock)	XXX	$2^7/fc$ (3.6 μ s)	$2^9/fc$ (14.2 μ s)	$2^{11}/fc$ (56.9 μ s)

XXX: Don't care

(2) アップカウンタ (UC0)

TB0MOD<TB0CLK1:0> で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入力クロックは、3 種類のプリスケーラ出力クロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、または TB0IN0 端子の外部クロックのいずれかを選択できます。

UC0 は、TB0RUN<TB0RUN> によってカウント/停止&クリアを設定します。

UC0 が、タイマレジスタ TBORG1H/L と一致したとき、クリアイネーブルであれば 0 クリアされ、クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE> で設定します。

また、UC0 のオーバフローが発生した場合、オーバフロー割り込み INTTBOF0 が発生します。

(3) タイマレジスタ (TBORG0H/L, TBORG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値とアップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TBORG0H/L, TBORG1H/L へのデータ設定は、必ず上位と下位の 2 バイトのデータ設定が必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット, 上位 8 ビットの順に行います。

このタイマレジスタは、TBORG0 がダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。TBORG0 は TBORUN<TBORDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TBORDE> = 0 のときディセーブル、<TBORDE> = 1 のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TBORG0 へのデータ転送は、UC0 と TBORG1 との一致時に行われます。

リセット動作により、TBORG0, TBORG1 は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。

リセット動作により、TBORUN<TBORDE> = 0 に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TBORDE> = 1 に設定した後、レジスタバッファへ次のデータを書き込んでください。

TBORG0 とレジスタバッファは、同じアドレス 0188H/0189H に割り付けられています。<TBORDE> = 0 のときは、TBORG0 とそれぞれのレジスタバッファに同じ値が書き込まれ、<TBORDE> = 1 のときは、それぞれのレジスタバッファにのみ書き込まれます。従って、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

タイマレジスタのアドレスは次のとおりです。



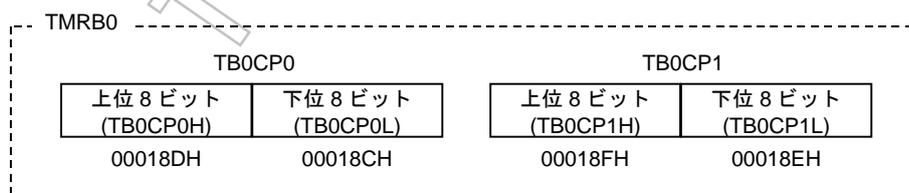
TBORG0 は書き込み専用レジスタのため、読み出すことはできません。

(4) キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。

このキャプチャレジスタの値は必ず上位と下位の 2 バイトのデータリードが必要です。キャプチャレジスタを読み出す場合は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 バイト, 上位 8 バイトの順に読み出してください。

各キャプチャレジスタのアドレスは次のとおりです。



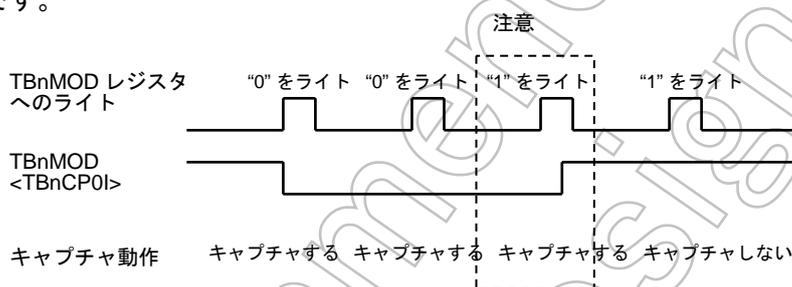
TB0CP0 は読み出し専用レジスタです。プログラムによる書き込みはできません。

(5) キャプチャ

アップカウンタ UC0 の値を、キャプチャレジスタ TB0CP0, TB0CP1 にラッチするタイミング発生を制御する回路です。キャプチャレジスタのラッチタイミングは、TB0MOD<TB0CPM1:0> で設定します。

また、ソフトウェアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0I> に 0 を書き込むたびに、その時点の UC0 の値をキャプチャレジスタ TB0CP0 へキャプチャします。なお、プリスケアラは RUN 状態 (TB0RUN<TB0PRUN> = 1) にしておく必要があります。

注) TB0MOD<TB0CP0I> ビットへ 0 を書き込むたびに、アップカウンタの現在の値がキャプチャレジスタ TB0CP0 へ取り込まれますが、TB0MOD<TB0CP0I> ビットへ 0 が書き込まれている状態から TB0MOD<TB0CP0I> ビットへ 1 を書き込んで、アップカウンタの現在の値がキャプチャレジスタ TB0CP0 へ取り込まれますので注意が必要です。



(6) コンパレータ (CP0, CP1)

アップカウンタ UC0 と、タイマレジスタ TB0RG0, TB0RG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。

一致すると、それぞれ割り込み INTTB00, INTTB01 を発生します。

(7) タイマフリップフロップ (TB0FF0, TB0FF1)

タイマフリップフロップ (TB0FF0, TB0FF1) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TB0FFCR<TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1> によって設定できます。

リセット後、TB0FF0, TB0FF1 の値は不定となります。TB0FFCR<TB0FF0C1:0>, <TB0FF1C1:0> に 00 を書き込むことで反転、01 を書き込むことで 1 にセット、10 を書き込むことで 0 にクリアすることが可能です。

TB0FF0, TB0FF1 の値は、タイマ出力端子 TB0OUT0 端子 (P95 と兼用), TB0OUT1 端子 (P96 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 9 関連レジスタ P9CR, P9FC により、設定を行う必要があります。

3.9.3 SFR 説明

TMRB0 RUN レジスタ

		7	6	5	4	3	2	1	0
TB0RUN (0180H)	Bit symbol	TB0RDE	–			I2TB0	TB0PRUN		TB0RUN
	Read/Write	R/W	R/W			R/W	R/W		R/W
	リセット後	0	0			0	0		0
	機能	ダブルバッファ	“0” をライトしてください。			IDLE2 0: 停止 1: 動作	8ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		

→ カウント動作

0	停止 & クリア
1	カウント

I2TB0: IDLE2 モード時の動作
 TB0PRUN: プリスケーラの動作
 TB0RUN: TMRB0 の動作

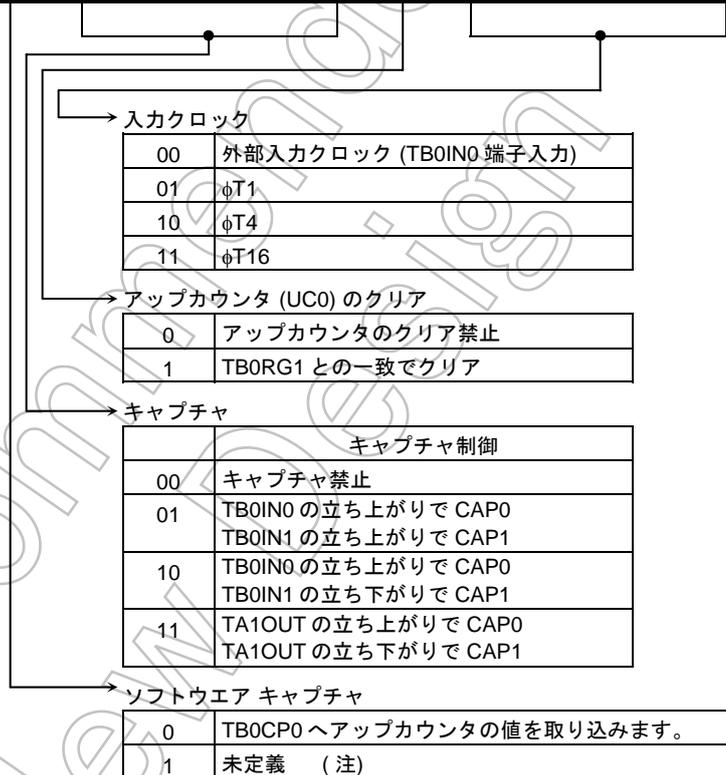
注) TB0RUN のビット 1, 4, 5 は、リードすると不定値がリードされます。

図 3.9.2 TMRB 関係のレジスタ

TMRB0 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TB0CT1	TB0ET1	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
Read/Write	R/W		W*	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	TB0FF1 反転トリガ 0: トリガ禁止 1: トリガ許可 キャプチャレジスタ 1 へのキャプチャ時	UC0 とタイマレジスタ 1 の一致時	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: TB0IN0 ↑ TB0IN1 ↑ 10: TB0IN0 ↑ TB0IN0 ↓ 11: TA1OUT ↑ TA1OUT ↓	アップカウンタ制御 0: クリア禁止 1: クリア許可	ソースクロック選択 00: TB0IN0 端子入力 01: φT1 10: φT4 11: φT16		

リードモディファイライトはできません。



注) TB0MOD<TB0CP0I> ビットへ 0 を書き込むたびに、アップカウンタの現在の値がキャプチャレジスタ TB0CP0 へ取り込まれますが、TB0MOD<TB0CP0I> ビットへ 0 が書き込まれている状態から TB0MOD<TB0CP0I> ビットへ 1 を書き込んで、アップカウンタの現在の値がキャプチャレジスタ TB0CP0 へ取り込まれますので注意が必要です。

図 3.9.3 TMRB 関係のレジスタ

TMRB0 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TB0FFCR (0183H)	Bit symbol	TB0FF1C1	TB0FF1C0	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
	Read/Write	W*		R/W				W*	
	リセット後	0	0	1	0	0	0	0	0
リードモ ディファイ アイト はできま せん。	機能	TB0FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に "11" になります。		TB0FF0 反転トリガ 0: トリガ禁止 1: トリガ許可 TB0CP1 へのアップ カウンタ値 取り込み時				TB0FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に "11" になります。	
				TB0CP0 へのアップ カウンタ値 取り込み時	アップ カウンタと TB0RG1 と の一致時	アップ カウンタと TB0RG0 と の一致時			

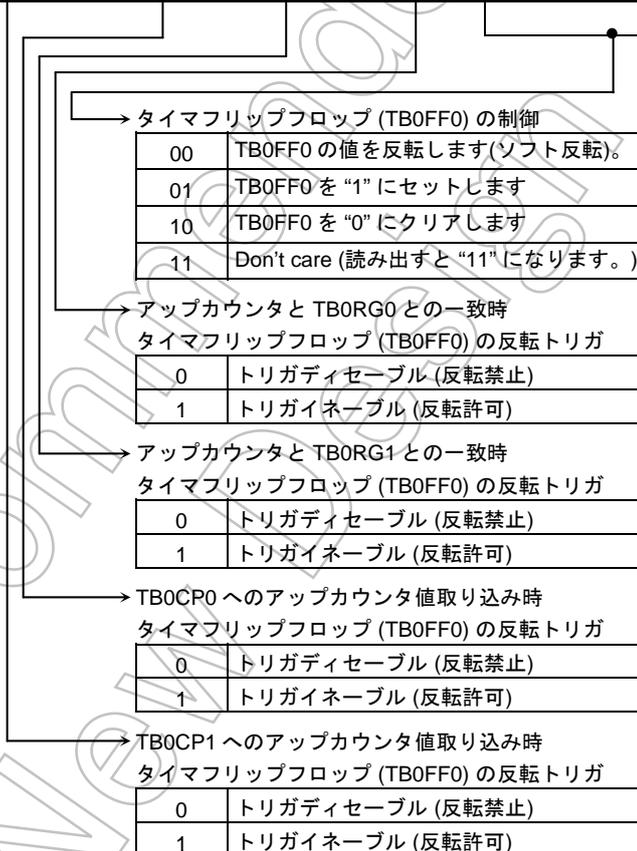


図 3.9.4 TMRB 関係のレジスタ

		7	6	5	4	3	2	1	0
TB0RG0L (0188H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG0H (0189H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1L (018AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1H (018BH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							

注) 上記レジスタは、リードモディファイライトは禁止です。

図 3.9.5 TMRB 関係のレジスタ

3.9.4 モード別動作説明

(1) 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TBORG1 にインタバル時間を設定し、INTTB01 割り込みを発生します。

	7	6	5	4	3	2	1	0		
TBORUN	←	0	0	X	X	-	0	X	0	TMRB0 を停止します。
INTETB01	←	X	1	0	0	X	0	0	0	INTTB01 を許可, レベル 4 に設定し、INTTB00 を禁止します。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガをディセーブルにします。
TB0MOD	←	0	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能を禁止にします。
										(** = 01, 10, 11)
TBORG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。
										(16 ビット)
TBORUN	←	0	0	X	X	-	1	X	1	TMRB0 を起動します。

X: Don't care、 -: No change

(2) 16ビットイベントカウンタモード

入力クロックを外部クロック (TB0IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB0IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウエアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0		
TBORUN	←	0	0	X	X	-	0	X	0	TMRB0 を停止します。
P8CR	-	-	-	-	0	-	-	-	-	P93 を入力モードに設定します。
INTETB01	←	X	1	0	0	X	0	0	0	INTTB01 を許可 (レベル 4) に、INTTB00 を禁止にします。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガ禁止にします。
TB0MOD	←	0	0	1	0	0	1	0	0	入力クロックを TB0IN0 端子入力にします。
TBORG1	←	*	*	*	*	*	*	*	*	カウント数を設定します。
										(16 ビット)
TBORUN	←	0	0	X	X	-	1	X	1	TMRB0 を起動します。

X = Don't care、 -: No change

イベントカウンタとして使用する場合も、プリスケアラは RUN にしてください (TBORUN<TBOPRUN>=1)。

(3) 16ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、Low アクティブ、High アクティブどちらでも可能です。

アップカウンタ UC0 とタイマレジスタ TB0RG0, TB0RG1 への設定値との一致によりタイマフリップフロップ TB0FF の反転トリガをかけることで、プログラマブル矩形波を TB0OUT0 端子より出力することができます。ただし、TB0RG0 と TB0RG1 の設定値は次の条件を満たす必要があります。

$$(TB0RG0 \text{ への設定値}) < (TB0RG1 \text{ への設定値})$$

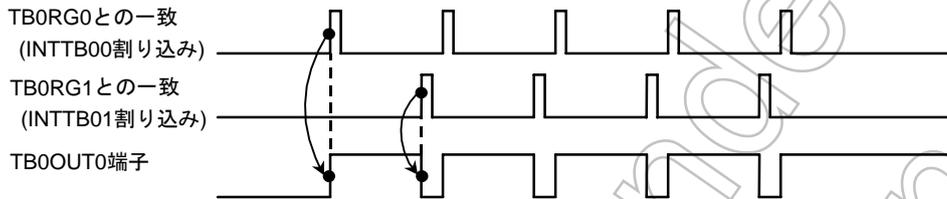


図 3.9.5 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TB0RG0 のダブルバッファをイネーブルにすることにより、TB0RG1 との一致でレジスタバッファ 0 の値が TB0RG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

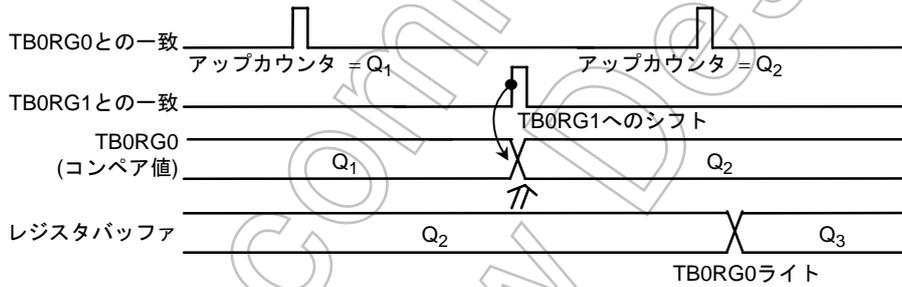


図 3.9.6 レジスタバッファの動作

このモードのブロック図を示します。

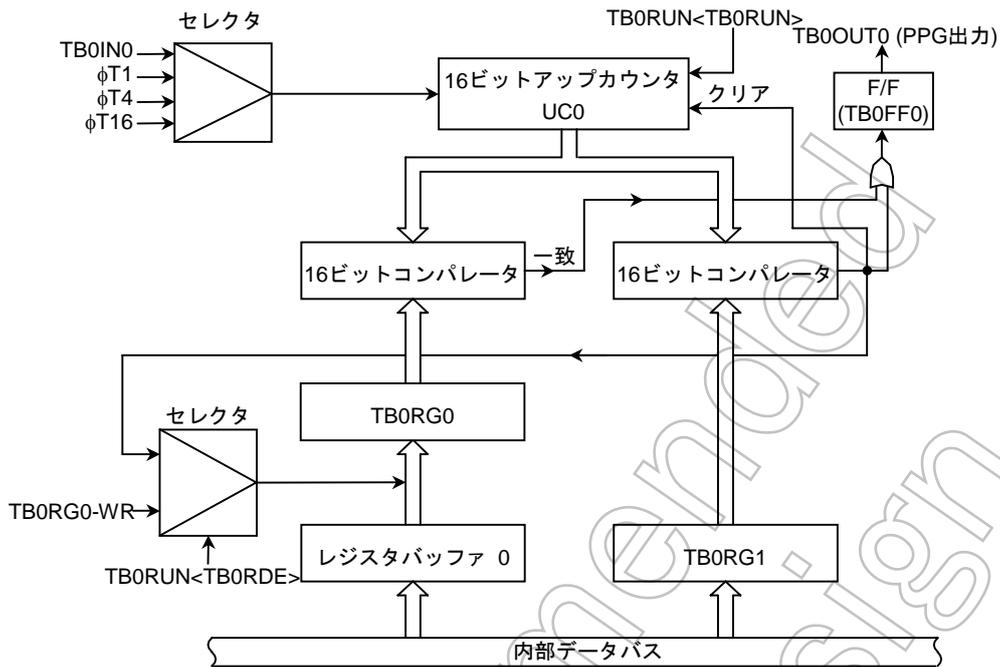


図 3.9.7 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TB0RUN	← 0	0	X	X	-	0	X	0	TB0REG のダブルバッファディセーブルおよび TMRB0 を停止します。
TB0RG0	← *	*	*	*	*	*	*	*	
TB0RG1	← *	*	*	*	*	*	*	*	(16 ビット)
TB0RUN	← 1	0	X	X	-	0	X	0	デューティを設定します。
TB0FFCR	← X	X	0	0	1	1	1	0	(16 ビット)
TB0MOD	← 0	0	1	0	0	1	*	*	TB0RG0 をダブルバッファディセーブルにします。
					(** = 01, 10, 11)				(INTTB01 割り込みでデューティ/周期の変更。)
P9CR	← -	-	1	-	-	-	-	-	TB0FF0 を、TB0RG0, TB0RG1 との一致検出で反転するように設定します。また TB0FF0 の初期値を 0 にします。
P9FC	← X	-	1	-	-	-	X	-	
TB0RUN	← 1	0	X	X	-	1	X	1	キャプチャ機能ディセーブルにします。

X: Don't care, -: No change

} P95 を TB0OUT0 に割り付けます。

TMRB0 を起動します。

3.10 シリアルチャネル (SIO)

シリアル入出力を2チャンネル内蔵しています。SIO0, SIO1 と呼び、下記に示すように UART (非同期通信) モードおよび I/O インタフェース (同期通信) モードを選択できます。

- I/O インタフェースモード—— モード0: I/O を拡張するための I/O データの送受信と、その同期信号 (SCLK) の送受信を行うモード
- UART モード
 - モード1: 送受信データ長 7ビット
 - モード2: 送受信データ長 8ビット
 - モード3: 送受信データ長 9ビット

このうち、モード1とモード2はパリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) で、スレーブコントローラを起動させるためのウェイクアップ機能を持っています。

図 3.10.2~図 3.10.3に、SIO0, SIO1 のブロック図を示します。

主に、プリスケアラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

表 3.10.1 SIO の仕様

	チャンネル0	チャンネル1
対応端子	TXD0 (P80) RXD0 (P81) CTS0 /SCLK0 (P82) STS0 (P83)	TXD1 (P84) RXD1 (P85) CTS0 /SCLK1 (P86) STS1 (P87)

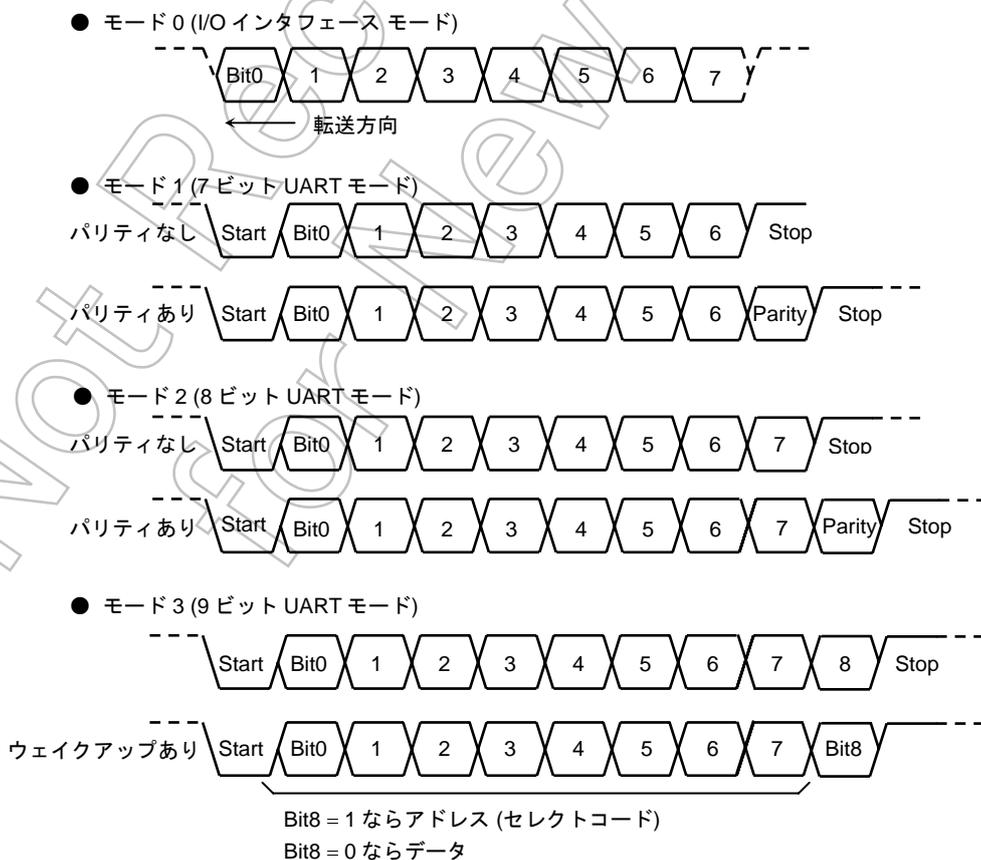
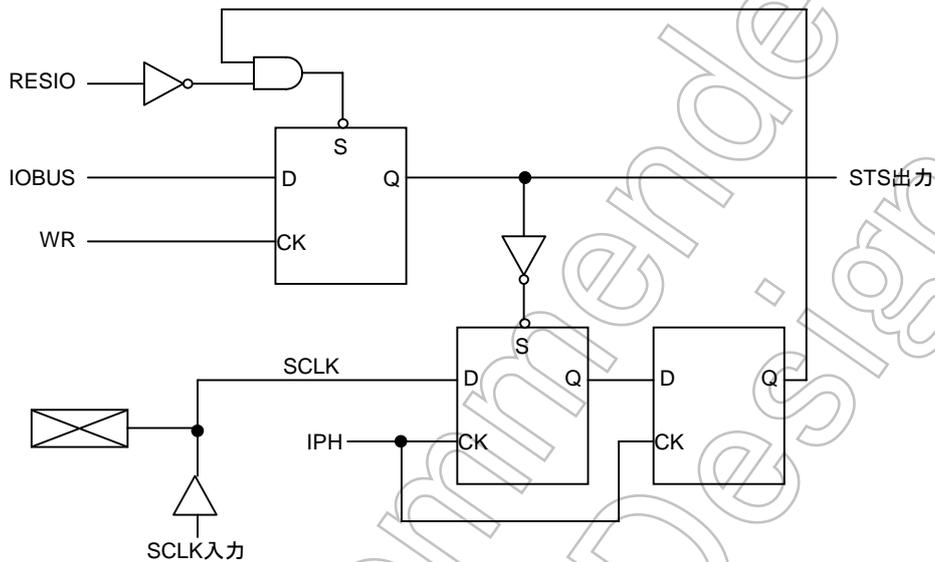


図 3.10.1 データフォーマット

また、P83, P87には STS0, STS1 端子が内蔵されています。この STS 端子はデータ要求信号です。P8CR を出力モード、P8FC を STS 使用モードに設定し、SC0MOD1(SC1MOD1)の1ビット目に0をライトすることで、STS がイネーブルになり、通信が開始されます。SCLK 入力信号のはじめの立ち上がりによりディセーブルになります。また、8ビットのデータ転送が終了したら、STS をイネーブルにし、次のデータを相手側に要求します。

SCLK 出力モードでは、通信の主導権はマイクロコントローラ側にあるので、STS 機能は使用しません (SCLK 出力モードでは動作しません)。



3.10.1 チャンネル別のブロック図

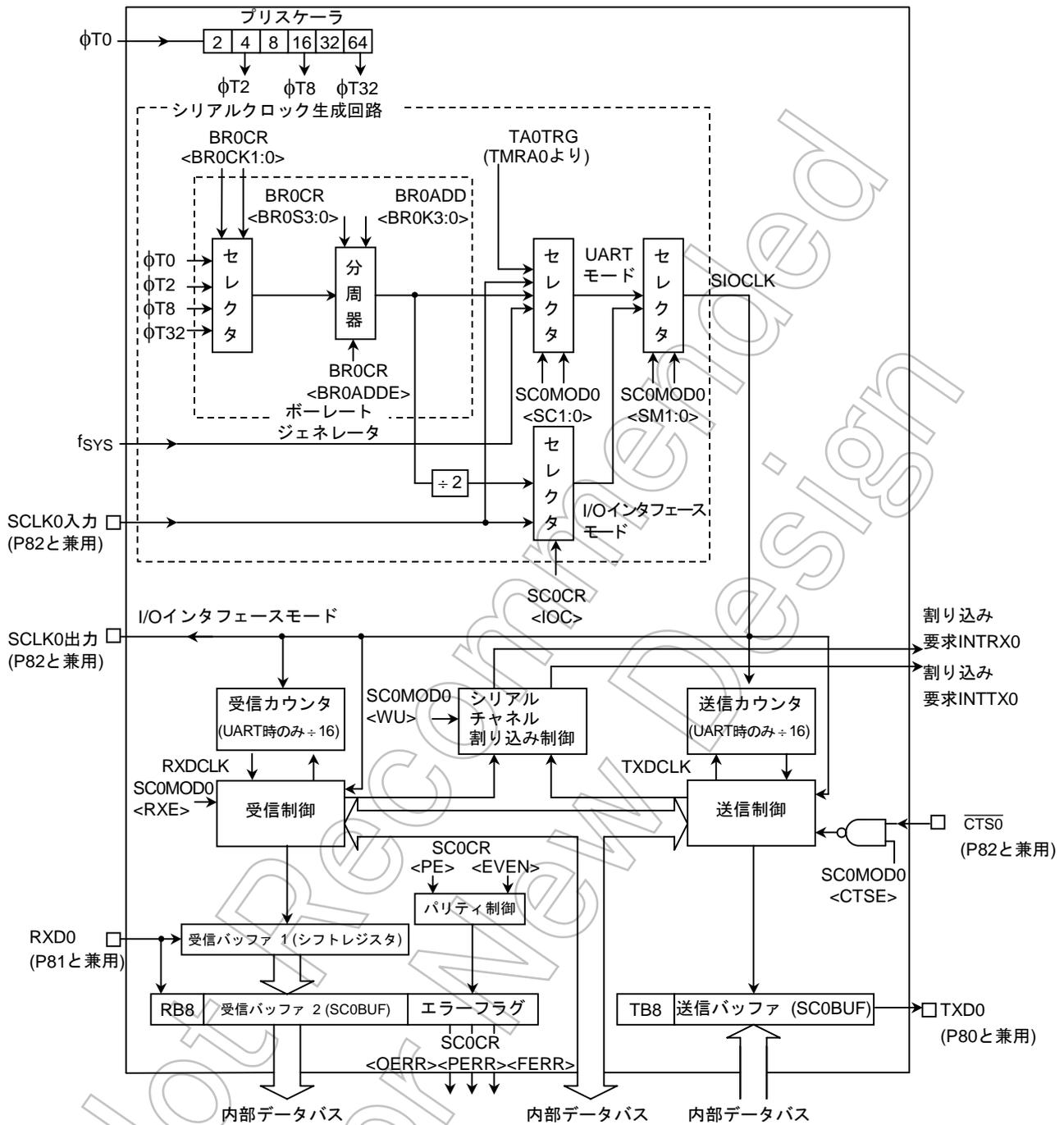


図 3.10.2 SIO0 ブロック図

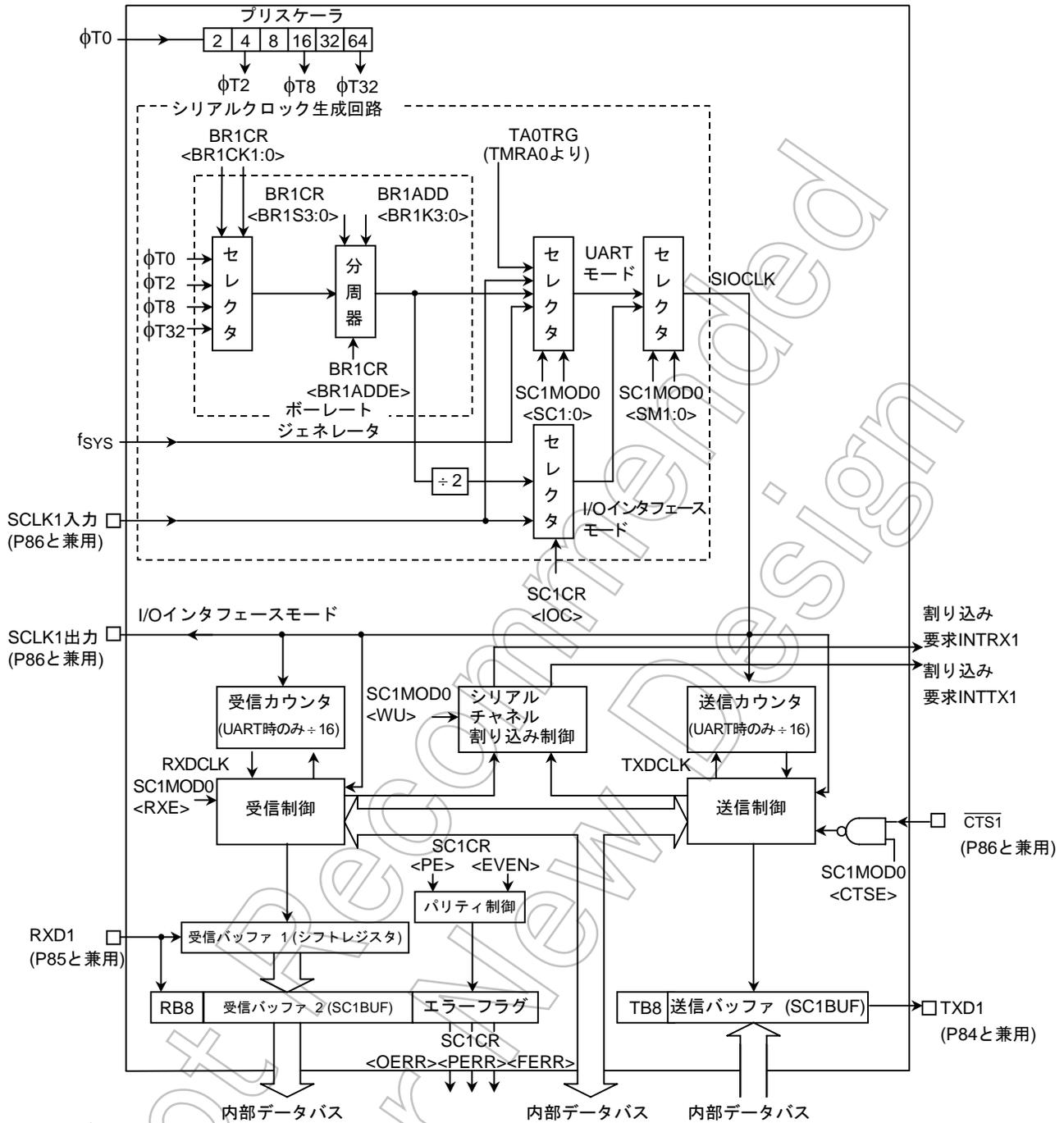


図 3.10.3 SIO1 ブロック図

3.10.2 回路別の動作説明

(1) プリスケーラ

SIO0, SIO1 の動作クロックを生成するために、6 ビットプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、クロックギア部の SYSCR<PRCK1:0> にて選択したクロックを4分周したクロックです。

プリスケーラは、シリアル転送クロックにボーレートジェネレータを選択した場合にのみ、動作します。プリスケーラ出力クロックの分解能を表 3.10.2 に示します。

表 3.10.2 ボーレートジェネレータへの入力クロック分解能

プリスケーラ用 クロック選択 <PRCK1:0>	クロックギア値 <GEAR2:0>	入力クロック分解能			
		$\phi T0$	$\phi T2$	$\phi T8$	$\phi T32$
00 (FPH)	000 (fc)	$2^2/fc$	$2^4/fc$	$2^6/fc$	$2^8/fc$
	001 (fc/2)	$2^3/fc$	$2^5/fc$	$2^7/fc$	$2^9/fc$
	010 (fc/4)	$2^4/fc$	$2^6/fc$	$2^8/fc$	$2^{10}/fc$
	011 (fc/8)	$2^5/fc$	$2^7/fc$	$2^9/fc$	$2^{11}/fc$
	100 (fc/16)	$2^6/fc$	$2^8/fc$	$2^{10}/fc$	$2^{12}/fc$
10 (fc/16 clock)	XXX	-	$2^8/fc$	$2^{10}/fc$	$2^{12}/fc$

XXX: Don't care、-: 使用不可

シリアルインタフェースボーレートジェネレータには、プリスケーラ出力クロックより $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ の4種類のクロックが用いられます。

(2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは、6ビットプリスケアラより $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ $BR0CR<BR0CK1:0>$ で設定します。

ボーレートジェネレータは、 $1, N + (16 - K)/16$, 16分周が可能な分周器を内蔵しており、 $BR0CR<BR0ADDE><BR0S3:0>$, $BR0ADD<BR0K3:0>$ の設定に従って分周を行い、転送速度を決定します。

- UART モードの場合

- (1) $BR0CR<BR0ADDE> = 0$ の場合

$BR0ADD<BR0K3:0>$ の設定は無視され、 $BR0CR<BR0S3:0>$ に設定された値 N に従い N 分周を行います。 $(N = 1, 2, 3 \dots 16)$

- (2) $BR0CR<BR0ADDE> = 1$ の場合

$N + (16 - K)/16$ 分周機能がイネーブルになり、 $BR0CR<BR0S3:0>$ に設定された値 N ($N = 2, 3 \dots 15$)、 $BR0ADD<BR0K3:0>$ に設定された値 K に従い、 $N + (16 - K)/16$ 分周を行います。 $(K = 1, 2, 3 \dots 15)$

注) $N = 1$ および 16 のときは $N + (16 - K)/16$ 分周機能は禁止となりますので、必ず $BR0CR<BR0ADDE> = 0$ に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は、 $N + (16 - K)/16$ 分周機能は使用できません。必ず $BR0CR<BR0ADDE> = 0$ に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- In I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

$f_c = 12.288 \text{ MHz}$ で入力クロック $\phi T2$ 、分周値 N ($BR0CR<BR0S3:0> = 5$ 、 $BR0CR<BR0ADDE> = 0$) の場合の UART モードのボーレートは、

* クロック条件

{	システムクロック:	高速 (f_c)
	高速クロックギア:	1倍 (f_c)
	プリスケアラクロック:	f_{FPH}

$$\begin{aligned} \text{ボーレート} &= \frac{f_c / 16}{5} \div 16 \\ &= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600 \text{ (bps)} \end{aligned}$$

注) $N + (16 - K)/16$ 分周機能は禁止に設定されるため、 $BR0ADD<BR0K3:0>$ の設定は無視されます。

- $N + (16 - K)/16$ 分周 (UART モードのみ) の場合

$f_c = 4.8 \text{ MHz}$ で入力クロック ϕT_0 、分周値 N ($BR0CR\langle BR0S3:0 \rangle = 7$ 、 K ($BR0ADD\langle BR0K3:0 \rangle = 3$ 、 $BR0CR\langle BR0ADDE \rangle = 1$ の場合のボーレートは、

* クロック条件

$\left\{ \begin{array}{ll} \text{システムクロック:} & \text{高速 (} f_c \text{)} \\ \text{高速クロックギア:} & \text{1倍 (} f_c \text{)} \\ \text{プリスケアラクロック:} & f_{FPH} \end{array} \right.$

$$\begin{aligned} \text{ボーレート} &= \frac{f_c/4}{7 + \frac{(16-3)}{16}} \div 16 \\ &= 4.8 \times 10^6 \div 4 \div \left(7 + \frac{13}{16}\right) \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

表 3.10.3 に UART モードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます (シリアルチャネル 0~1)。この場合のボーレートの算出方法を示します。

- UART モード

ボーレート = 外部クロック入力 $\div 16$

ただし、(外部クロック入力周期) $\geq 4/f_c$ を満たす必要があります。

- I/O インタフェースモード

ボーレート = 外部クロック入力

ただし、(外部クロック入力周期) $\geq 16/f_c$ を満たす必要があります。

Not Recommended for New Design

表 3.10.3 UART ボーレートの選択
(ボーレートジェネレータ使用、BR0CR<BR0ADDE> = 0 の場合)

単位 (kbps)

fc [MHz]	入力クロック				
	分周値 N (BR0CR<BR0S3:0> に設定)	φT0	φT2	φT8	φT32
9.830400	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	0	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.745600	2	115.200	28.800	7.200	1.800
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	10	19.200	4.800	1.200	0.300
22.1184	3	115.200	28.800	7.200	1.800
24.576	1	384.000	96.000	24.000	6.000
↑	2	192.000	48.000	12.000	3.000
↑	4	96.000	24.000	6.000	1.500
↑	5	76.800	19.200	4.800	1.200
↑	8	48.000	12.000	3.000	0.750
↑	A	38.400	9.600	2.400	0.600
↑	10	24.000	6.000	1.500	0.375
27.0336	B	38.400	9.600	2.400	0.600
29.4912	1	460.800	115.200	28.800	7.200
↑	3	153.600	38.400	9.600	2.400
↑	4	115.200	28.800	7.200	1.800
↑	6	76.800	19.200	4.800	1.200
↑	9	51.200	12.800	3.200	1.800
↑	C	38.400	9.600	2.400	1.600
↑	F	30.720	7.680	1.920	1.480
↑	10	28.800	7.200	1.800	0.450
31.9488	D	38.400	9.600	2.400	0.600
34.4064	7	76.800	19.200	4.800	1.200

注 1) I/O インタフェースモード時の転送レートは、本表の値の 8 倍になります。

注 2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケール用クロックとして f_{FPH} を選択した場合の値です。

UART モード時、シリアル送信クロックにタイマの一致出力(TA0TRG)が使用できます。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

$$\text{TA0TRG の周波数} = \text{ボーレート} \times 16$$

注) I/O インタフェースモードでは、タイマ TMRA0 からのトリガ信号を転送クロックとして使用できません。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

SC0CR<IOC> = 0 の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR<IOC> = 1 の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- UART (非同期通信) モードの場合

SC0MOD0<SC1:0> の設定により、前記ボーレートジェネレータからのクロックか、システムクロック fsys か、タイマ TMRA0 のトリガ出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ、7, 8, 9 発目でデータをサンプリングします。

3 回のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが 1, 0, 1 であれば受信データは 1 と判断され、0, 0, 1 であれば 0 と判断されます。

(5) 受信制御部

- I/O インタフェースモードの場合

SC0CR<IOC> = 0 の SCLK 出力モードのときは、SC0CR<SCLKS> の設定に従って SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。

SC0CR<IOC> = 1 の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

- UART (非同期通信) モードの場合

受信制御部は多数決論理によるスタートビット検出回路を持ち、3 回のサンプリング中、2 回以上 0 であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中も、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろると、もう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) の方を読み出します。CPU が受信バッファ 2 (SC0BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければ、オーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR<RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは、SC0CR<RB8> に格納されます。

9 ビット UART の場合、SC0MOD0<WU> を 1 にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8> = 1 のときのみ、割り込み INTRX0 が発生します。

(7) 送信カウンタ

送信カウンタは UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

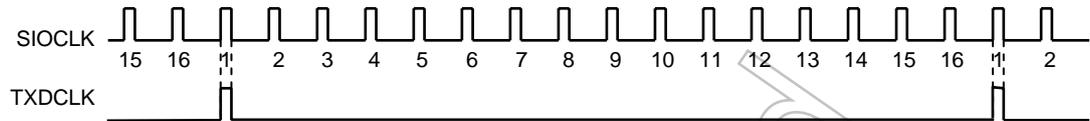


図 3.10.4 送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

SC0CR<IOC> = 0 の SCLK 出力モードのときは、SC0CR<SCLKS> の設定に従って SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR<IOC> = 1 の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- UART (非同期通信) モード

送信バッファに CPU から送信データが書き込まれると次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック TXDSFT をつくります。

ハンドシェイク機能

$\overline{\text{CTS}}$ 端子を使用することにより 1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は、 $\text{SC0MOD}<\text{CTSE}>$ によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS}}$ 端子が H レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS}}$ 端子が L レベルに戻るまで送信を停止します。ただし INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機をします。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを H レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

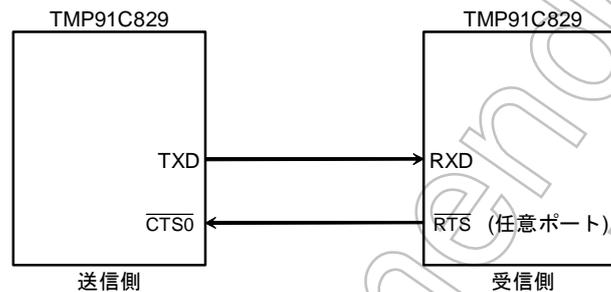
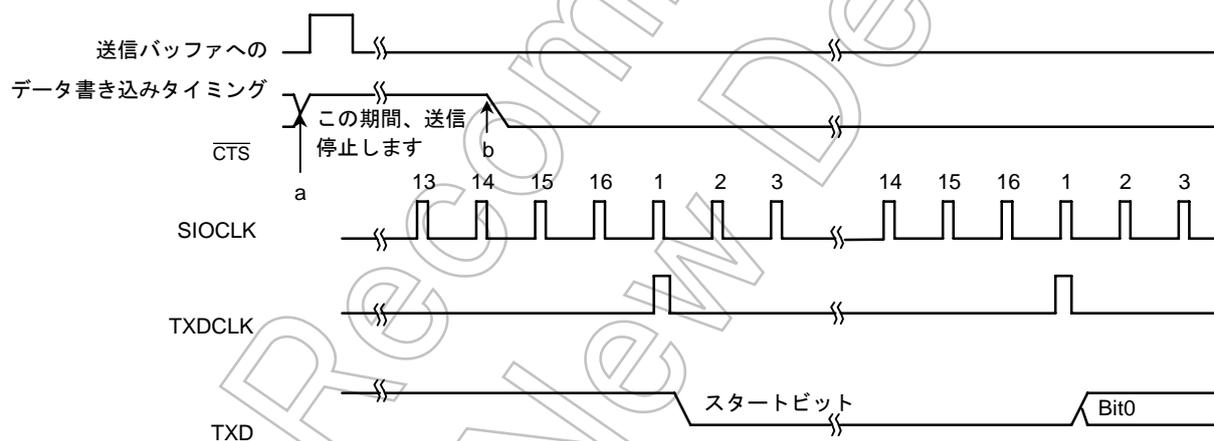


図 3.10.5 ハンドシェイク機能



- 注 1) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 注 2) $\overline{\text{CTS}}$ 信号立ち下がり後、最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.10.6 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

(9) 送信バッファ

送信バッファ SC0BUF は CPU から書き込まれた送信データを、送信制御部で生成される送信シフトクロック TXDSFT により最下位ビットから順にシフトアウトし、送出されます。全ビットがシフトアウトされると、送信バッファエンプティで INTTX0 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE> を 1 にすると、パリティ付加の送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN> レジスタによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC0BUF<TB7> に、8 ビット UART モードのときは SC0MOD0<TB8> にパリティを格納して送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータによりパリティを自動発生し、7 ビット UART モードのときは、SC0BUF<RB7> のパリティと、8 ビット UART モードのときは、SC0CR<RB8> のパリティとが比較され、異なっているとパリティエラーが発生し、SC0CR<PERR> フラグがセットされます。

(11) エラーフラグ

受信データの信頼性を上げるために、3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR>

受信バッファ 2 (SC0BUF) に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されると、オーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

- 1) 受信バッファをリードする
- 2) エラーフラグをリードする
- 3) if <OERR> = 1

then

- (ア) 受信禁止に設定 (<RXE> に 0 をライト)
- (イ) 現フレームの終了待ち
- (ウ) 受信バッファのリード
- (エ) エラーフラグのリード
- (オ) 受信許可に設定 (<RXE> に 1 をライト)
- (カ) 再送信要求

4) その他処理

2. パリティエラー <PERR>

受信バッファ 2 (SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー <FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が 0 の場合、フレーミングエラーが発生します。

(12) 各信号発生タイミング

a. UART モードの場合

受信

モード	9ビット	8ビット+パリティ	8ビット, 7ビット+パリティ, 7ビット
割り込み発生 タイミング	最終ビット (Bit8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中央付近	ストップビットの 中央付近	ストップビットの中央付近
パリティエラー 発生タイミング	-	最終ビット (パリティ ビット) の中央付近	←
オーバランエラー 発生タイミング	最終ビット (Bit8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近

注) 9ビットモード、8ビット+パリティモードでは、割り込みは9ビット目と同時に発生します。そのため、割り込み発生後、1ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

送信

モード	9ビット	8ビット+パリティ	8ビット, 7ビット+パリティ, 7ビット
割り込み発生 タイミング	ストップビット 送出の直前	←	←

b. I/O インタフェースモードの場合

送信割り込み 発生タイミング	SCLK 出力モード	最終ビット終了直後 (図 3.10.19参照)
	SCLK 入力モード	最終SCLKの立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (図 3.10.20参照)
受信割り込み 発生タイミング	SCLK 出力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.10.21参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.10.22参照)

3.10.3 SFR 説明

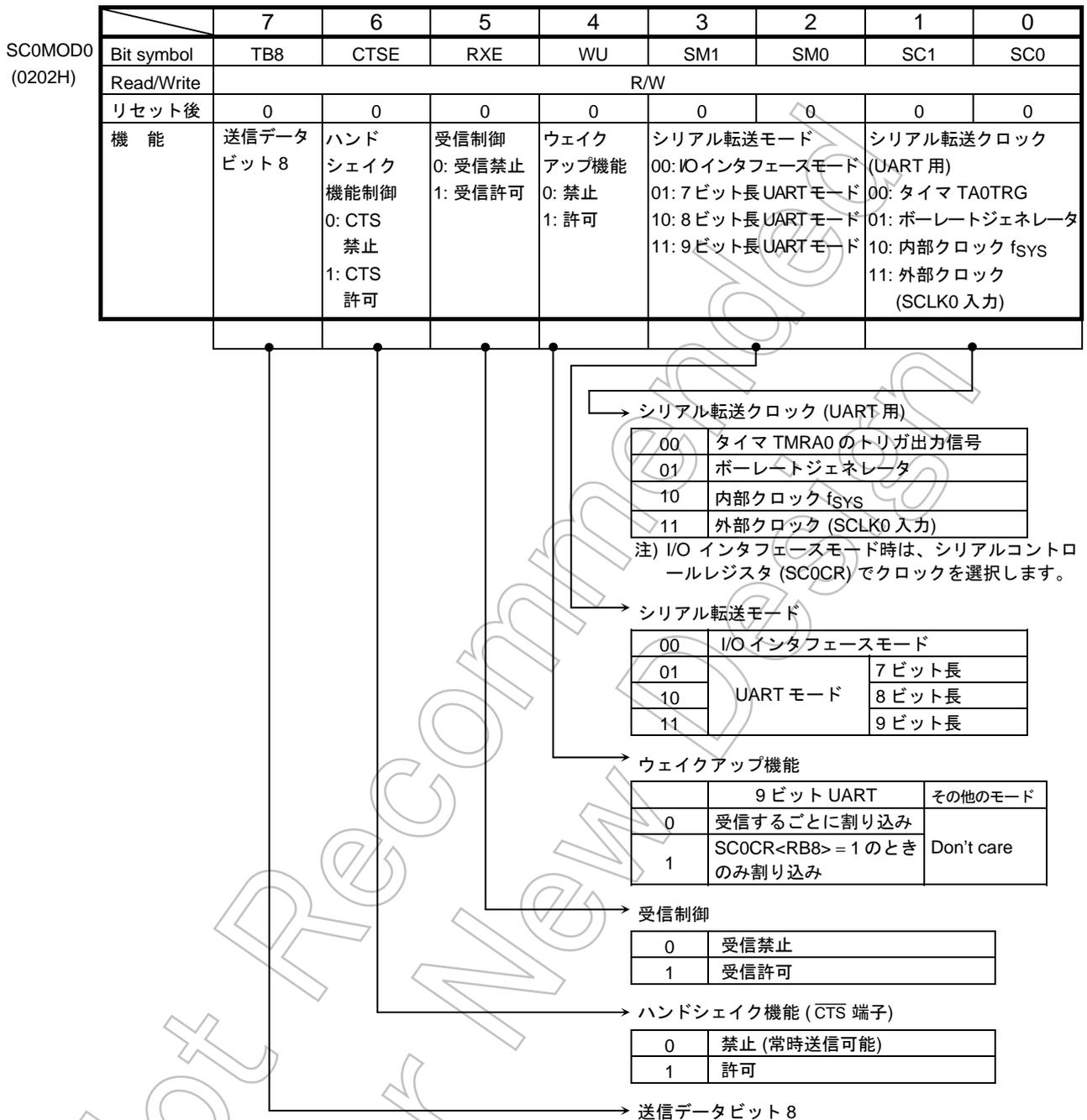


図 3.10.7 シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

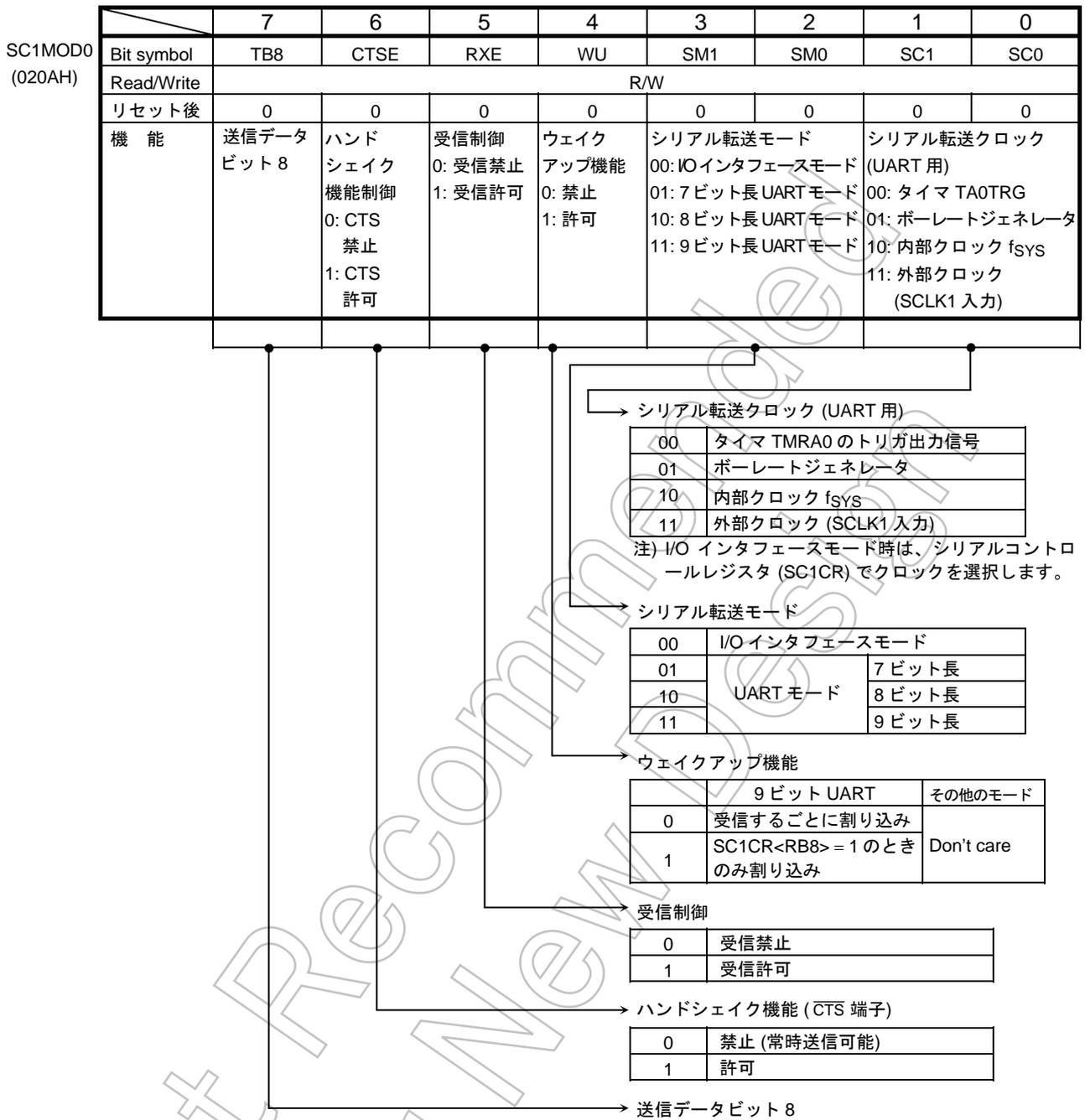
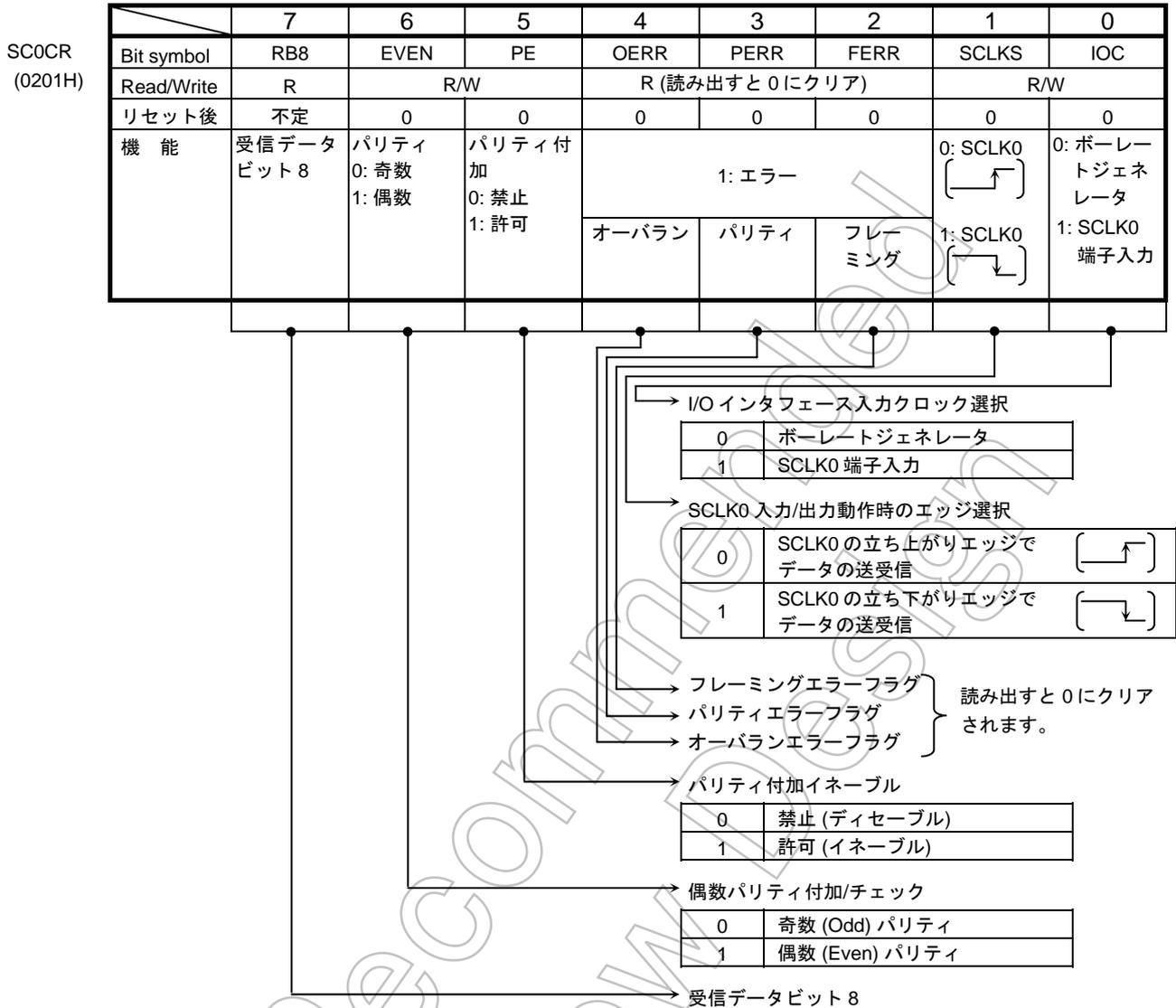
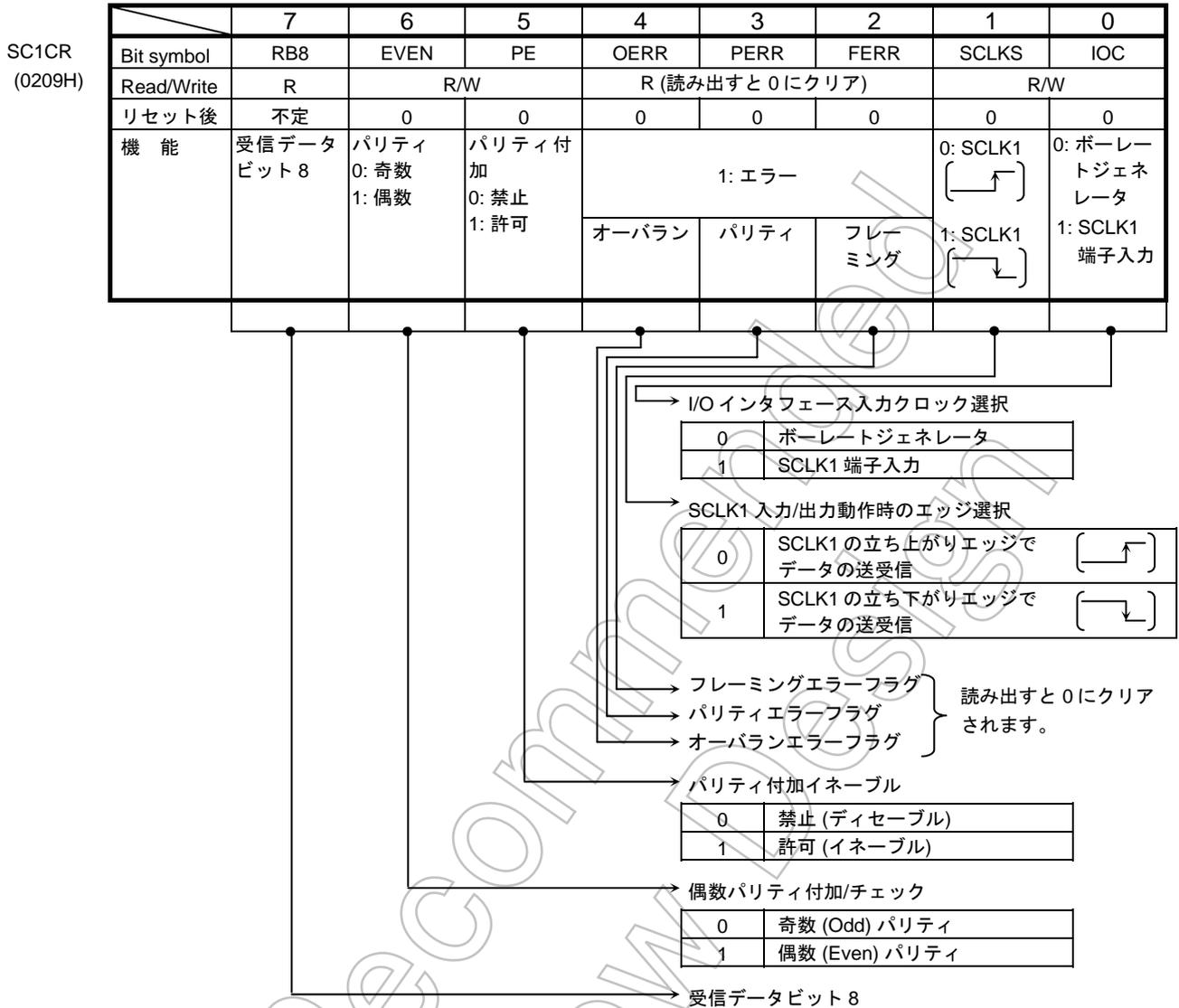


図 3.10.8 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD0)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのためのテストは行わないでください。

図 3.10.9 シリアルコントロールレジスタ (SIO0 用、SC0CR)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのためのテストは行わないでください。

図 3.10.10 シリアルコントロールレジスタ (SIO1 用、SC1CR)



注 1) + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の"1"分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR0ADD <BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = "1" を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.10.11 ポーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)



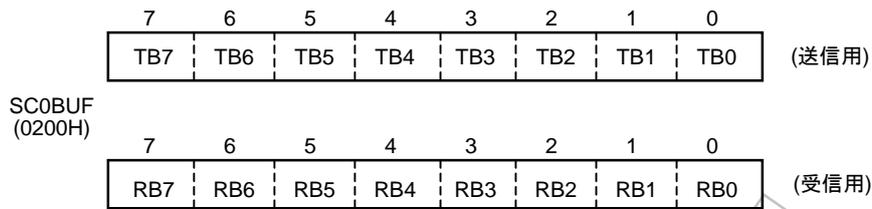
注 1) + (16 - K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の"1"分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR1ADD <BR1K3:0> に K 値 (K = 1~15) を設定後に BR1CR <BR1ADDE> = "1" を設定してください。BR1ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.10.12 ポーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)

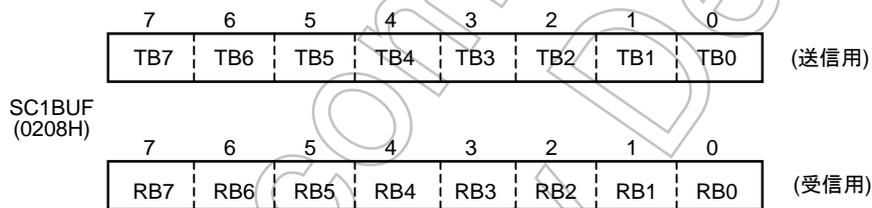


注) SC0BUF はリードモディファイライトできません。

図 3.10.13 シリアル送受信バッファレジスタ (SIO0 用、BR0CR)

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0						STSEN0
Read/Write	R/W	R/W						W
リセット後	0	0						1
機能	IDLE2 0: 停止 1: 動作	Duplex 0: 半二重 1: 全二重						STS0 0: 許可 1: 禁止

図 3.10.14 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)



注) SC1BUF はリードモディファイライトできません。

図 3.10.15 シリアル送受信バッファレジスタ (SIO1 用、BR1CR)

	7	6	5	4	3	2	1	0
Bit symbol	I2S1	FDPX1						STSEN1
Read/Write	R/W	R/W						W
リセット後	0	0						1
機能	IDLE2 0: 停止 1: 動作	Duplex 0: 半二重 1: 全二重						STS1 0: 許可 1: 禁止

図 3.10.16 シリアルモードコントロールレジスタ 1 (SIO0 用、SC1MOD1)

3.10.4 モード別動作説明

(1) モード 0 (I/O インタフェース モード)

このモードは入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

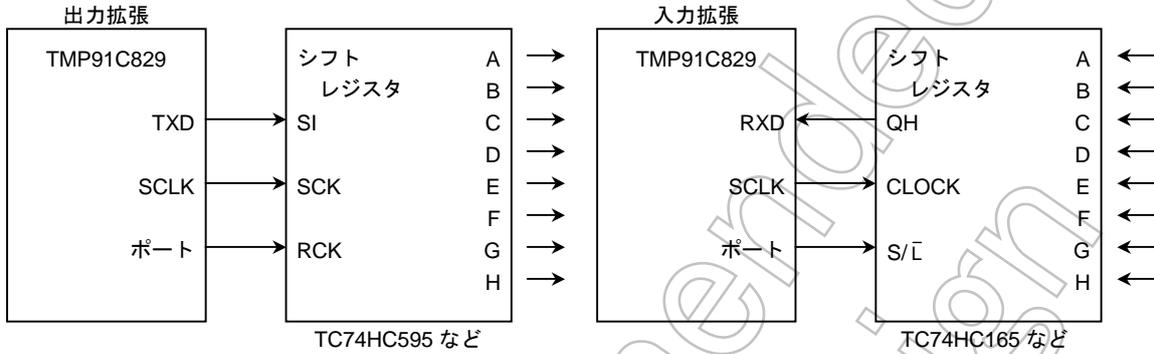


図 3.10.17 SCLK 出力モード接続例

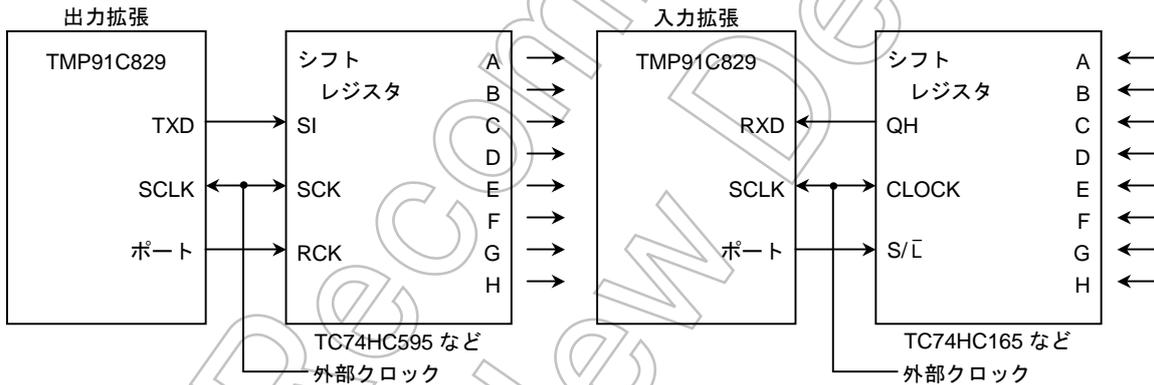


図 3.10.18 SCLK 入力モード接続例

a. 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0<ITX0C> がセットされ、割り込み INTTX0 が発生します。

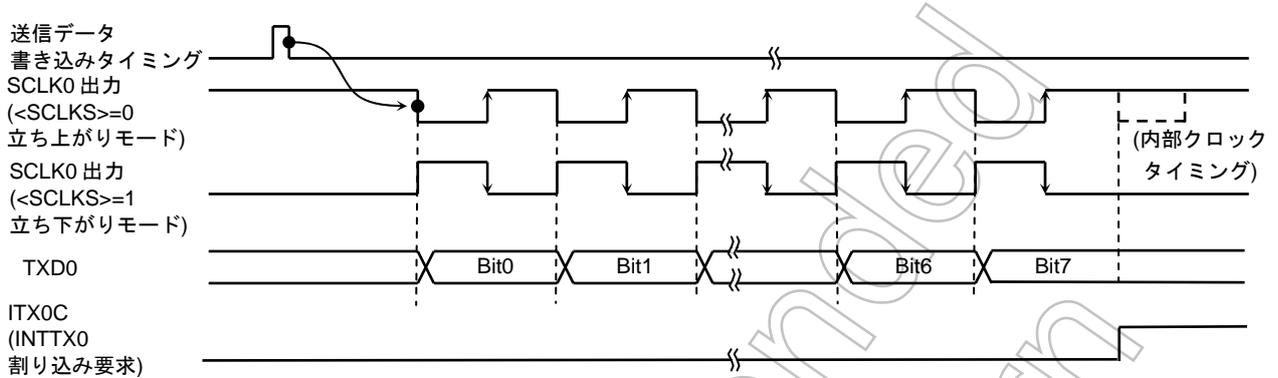


図 3.10.19 I/O インタフェース モード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0<ITX0C> がセットされ、割り込み INTTX0 が発生します。

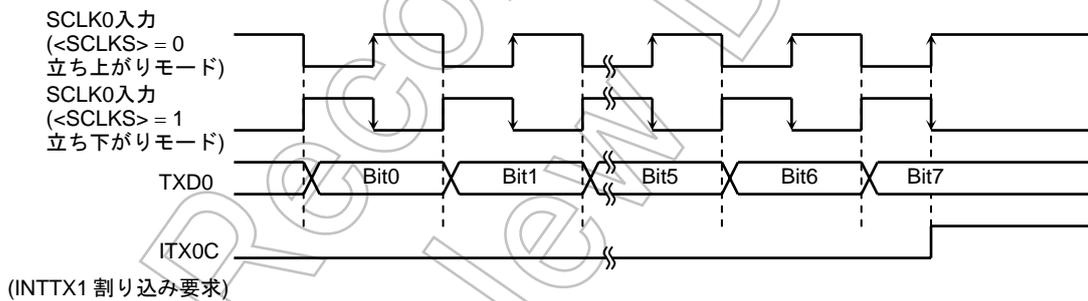


図 3.10.20 I/O インタフェース モード送信動作 (SCLK0 入力モード)

b. 受信

SCLK 出力モードでは受信データが CPU に読み取られ、受信割り込みフラグ $INTES0<IRX0C>$ がクリアされるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び $INTES0<IRX0C>$ がセットされて割り込み $INTRX0$ が発生します。

最初の SCLK 出力の開始は、 $SC0MOD0<RXE>$ を 1 にセットすることで行います。

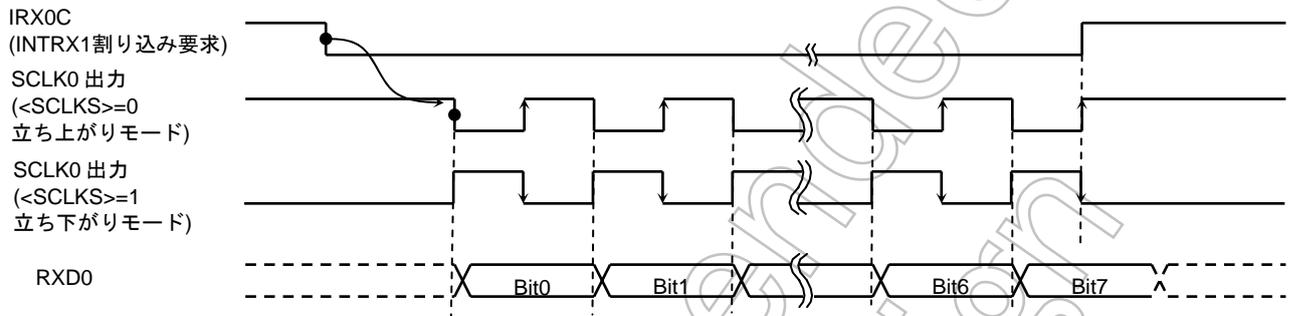


図 3.10.21 I/O インタフェース モード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ $INTES0<IRX0C>$ がクリアされている状態で SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び $INTES0<IRX0C>$ がセットされて割り込み $INTRX0$ が発生します。

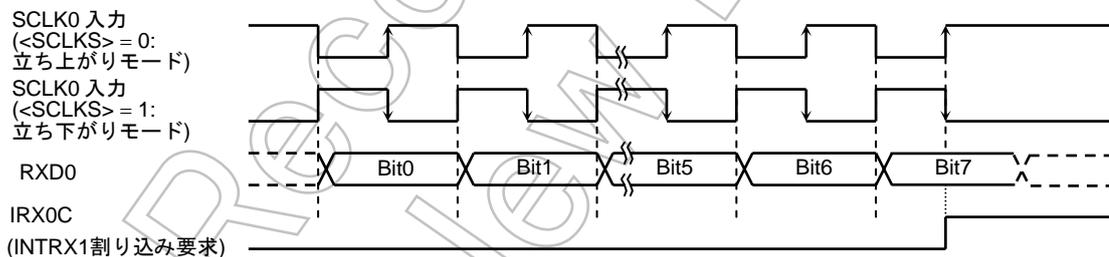


図 3.10.22 I/O インタフェース モード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には、SCLK 入力/出力どちらのモードでも受信イネーブル状態 ($SC0MOD<RXE> = 1$) にしておく必要があります。

c. 送受信 (全二重)

全二重モードで送受信を行う場合は、必ず受信割り込みレベルを 0 に設定し、送信割り込みのみに割り込みレベル (1~6 のいずれか) を設定してください。
受信処理は送信割り込み処理ルーチン内で、上記例のように送信データセットの前に行ってください。

例: チャンネル 0, SCLK 出力
9600 bps で送受信を行う場合
 $f_c = 14.7456 \text{ MHz}$

* クロック条件

システム条件システムクロック: 高速 (f_c)
高速クロックギア: 1 倍 (f_c)
プリスケアラクロック: f_{FPH}

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTES0	0	0	0	1	0	0	0	0	送信割り込みレベルを設定し、受信割り込みを禁止します。
P8CR	-	-	-	-	-	1	0	1	P80 (TXD0), P81 (RXD0), P82 (SCLK0) に設定。
P8FC	-	-	-	-	-	1	-	1	I/O インタフェースに設定。
SCOMOD0	0	0	0	0	0	0	0	0	全二重モードにセットします。
SCOMOD1	1	1	0	0	0	0	0	0	SCLK 出力、立ち上がり受信立ち下がり送信。
SCOCR	0	0	0	0	0	0	0	0	9600 bps に設定。
BROCR	0	0	1	1	0	0	1	1	受信許可にします。
SCOMOD0	0	0	1	0	0	0	0	0	送信データをセットします。
SC0BUF	*	*	*	*	*	*	*	*	

送信割り込みルーチン

Acc SC0BUF									受信データを読みます。
SC0BUF	*	*	*	*	*	*	*	*	送信データをセットします。

-: No change

(2) モード1 (7ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD<SM1:0> を 01 にセットすると、7ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE> = 1 (イネーブル) のときは、SC0CR<EVEN> で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



* クロック条件

- システムクロック: 高速 (fc)
- 高速クロックギア: 1倍 (fc)
- プリスケアラクロック: fFPH

		7	6	5	4	3	2	1	0	
P8CR	←	-	-	-	-	-	-	-	1	} P80 を TXD0 端子とします。
P8FC	←	-	-	-	-	-	-	-	1	
SC0MOD	←	X	0	-	X	0	1	0	1	} 7ビット UART モードに設定します。
SC0CR	←	X	1	1	X	X	X	0	0	} 偶数パリティを付加します。
BR0CR	←	0	0	1	0	0	1	0	1	} 2400 bps に設定します。
INTES0	←	1	1	0	0	-	-	-	-	} INTTX0 割り込みをイネーブル、レベル4にします。
SC0BUF	←	*	*	*	*	*	*	*	*	} 送信データをセットします。

X: Don't care, -: No change

(3) モード2 (8ビット UART モード)

SC0MOD0<SM1:0> を 10 にセットすると、8ビット UART モードになります。このモードではパリティビットの付加が可能で、SC0CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = 1 (イネーブル) のとき、SC0CR<EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の、各コントロールレジスタの設定を示します。



* クロック条件
 { システムクロック: 高速 (fc)
 高速クロックギア: 1倍 (fc)
 プリスケアラクロック: f_{FPH}

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
P8CR	←	-	-	-	-	-	-	0	-
SC0MOD0	←	-	0	1	X	1	0	0	1
SC0CR	←	X	0	1	X	X	X	0	0
BR0CR	←	0	0	0	1	0	1	0	1
INTES0	←	-	-	-	-	1	1	0	0

8ビットUARTモード、受信許可にします。
 奇数パリティ付加に設定します。
 9600 bps に設定します。
 INTTX0 割り込みを許可、レベル4に設定します。

割り込みルーチンでの処理例

```
Acc ← SC0CR AND 00011100 } エラーチェックを行います。
if Acc ≠ 0 then ERROR      }
Acc ← SC0BUF               } 受信データを読み取ります。
```

X: Don't care、 -: No change

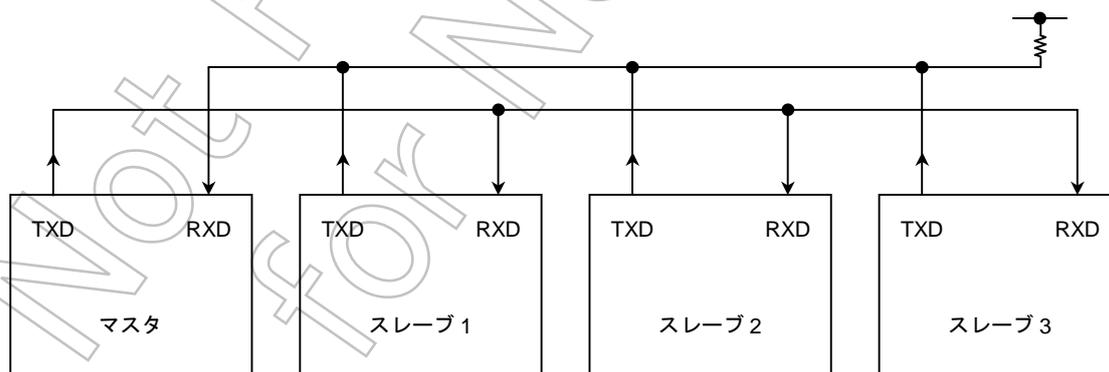
(4) モード3 (9ビットUART)

SC0MOD0<SM1:0> を11にセットすると、9ビットUARTモードになります。このモードではパリティビットの付加はできません。

最上位ビット (9ビット目) は、送信の場合シリアルチャネルモードレジスタの<TB8>に書き込み、受信の場合シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対する書き込み、読み出しは、必ず最上位ビットの方を先に行い、SC0BUFの方を後にします。

ウェイクアップ機能

9ビットUARTモードでは、SC0MOD0<WU>を1にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8> = 1のときのみ割り込みINTRX0が発生します。



注) スレーブコントローラのTXD端子は、必ずODEレジスタを設定してオープンドレイン出力モードにしてください。

図 3.10.23 ウェイクアップ機能によるシリアルリンク

プロトコル

- マスタおよびスレーブコントローラは9ビットUARTモードにします。
- 各スレーブコントローラはSC0MOD<WU>を1にセットし、受信可能状態とします。
- マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき、最上位ビット(ビット8)<TB8>は1にします。

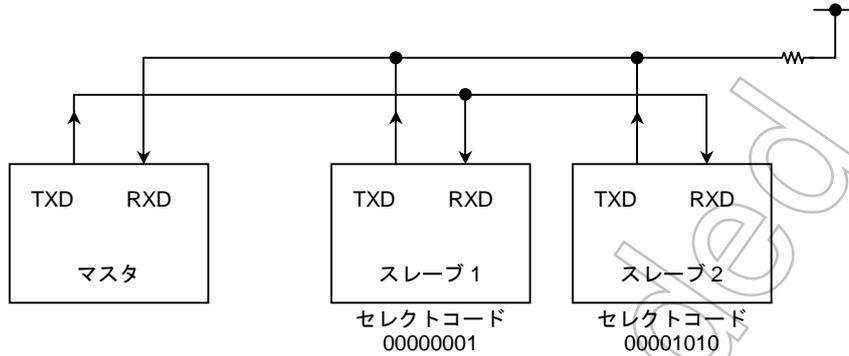


- 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを0にクリアします。
- マスタコントローラは指定したスレーブコントローラ(SC0MOD<WU>=0にクリアされたコントローラ)に対し、データを送信します。このとき、最上位ビット(ビット8)<TB8>は0にします。



- WU=1のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が0であるため、割り込みINTRX0が発生せず受信データを無視します。また、<WU>=0になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{SYS} を転送クロックとして、2つのスレーブコントローラとシリアルリンクさせる場合



● マスタコントローラの設定

メインルーチン

```

P8CR    ← - - - - - 0 1 } P80をTXD0、P81をRXD0端子にします。
P8FC    ← - - - - - X 1 }
INTES0  ← 1 1 0 0 1 1 0 1 } INTTX0をイネーブル、割り込みレベルを4に設定します。
                                     INTTX0をイネーブル、割り込みレベルを5に設定します。

SC0MOD0 ← 1 0 1 0 1 1 1 0 } 9ビットUARTモード、転送クロックをfSYSに設定します。
SC0BUF  ← 0 0 0 0 0 0 0 1 } スレーブ1のセレクトコードをセットします。
    
```

割り込みルーチン (INTTX0)

```

SC0MOD0 ← 0 - - - - - } TB8を0にします。
SC0BUF  ← * * * * * } 送信データをセットします。
    
```

● スレーブの設定

メインルーチン

```

P8CR    ← - - - - - 0 1 } P80をTXD (オープンドレイン出力)、P81をRXDにします。
P8FC    ← - - - - - X 1 }
PCODE   ← X X X X - X X 1 }
INTES0  ← 1 1 0 1 1 1 1 0 } INTTX0, INTRX0をイネーブルにします。
SC0MOD0 ← 0 0 1 1 1 1 1 0 } 9ビットUARTモード転送クロックfSYSで、<WU>=1に設定します。
    
```

割り込みルーチン (INTRX0)

```

Acc ← SC0BUF
if Acc = セレクトコード
Then SC0MOD0 ← - - - - 0 - - - - <WU> = 0にクリアします。
    
```

3.11 アナログ/デジタルコンバータ

8チャンネルのアナログ入力を持つ、10ビット逐次比較方式アナログ/デジタルコンバータ (ADコンバータ) を内蔵しています。

図 3.11.1に、ADコンバータのブロック図を示します。

8チャンネルのアナログ入力端子 (AN0~AN7) は、入力専用ポート A と兼用で入力ポートとしても使用できます。

注) IDLE2, IDLE1, STOP モードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので、ADコンバータの動作が停止していることを確認してから HALT 命令を実行してください。

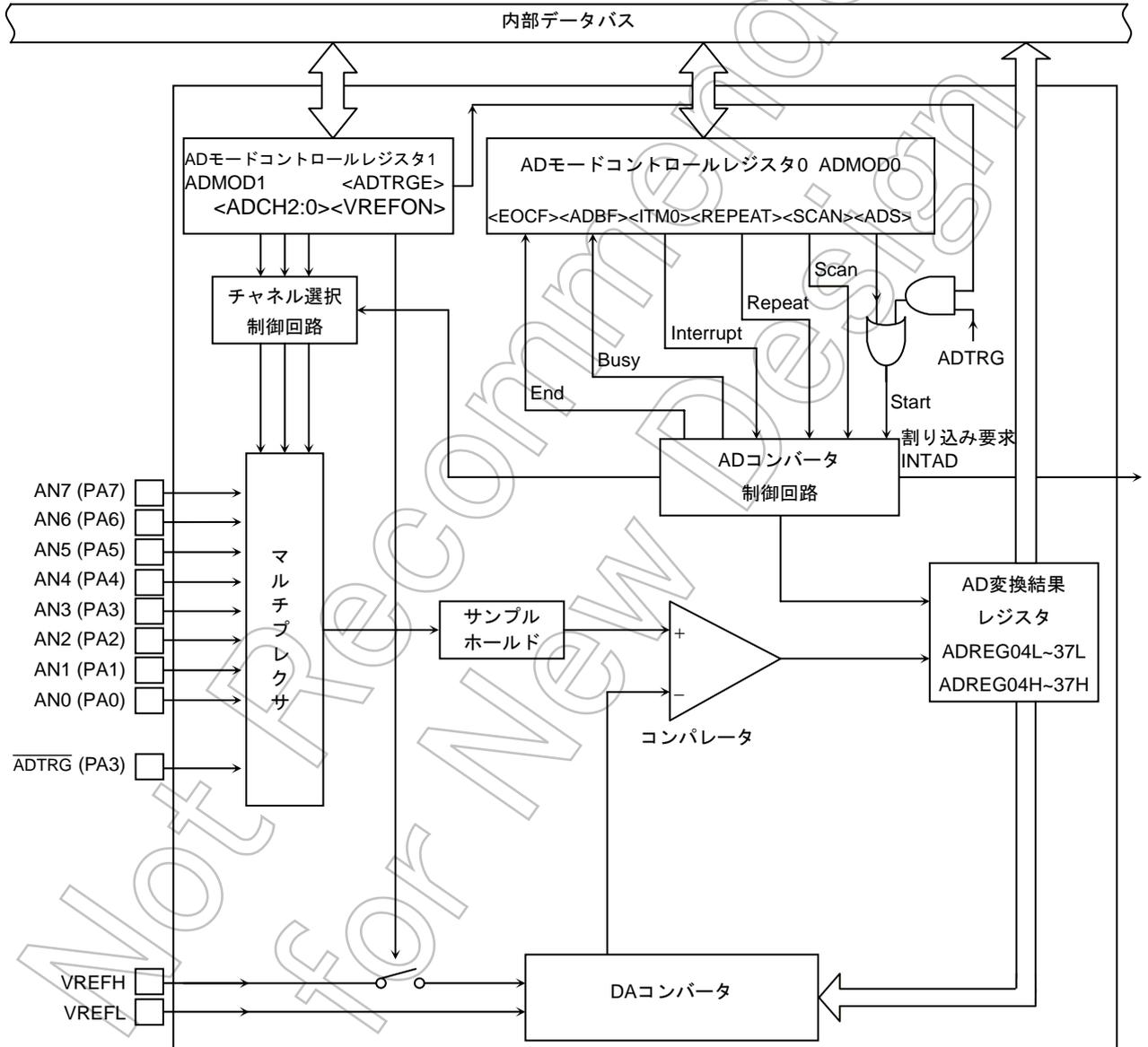


図 3.11.1 ADコンバータのブロック図

3.11.1 コントロールレジスタ

AD コンバータは、AD モードコントロールレジスタ (ADMOD0, ADMOD1) により制御されています。また AD 変換結果は、AD 変換結果上位/下位レジスタ ADREG04H/L、ADREG15H/L, ADREG26H/L, ADREG37H/L の 8 つのレジスタに格納されます。

図 3.11.2にADコンバータ関係のレジスタを示します。



図 3.11.2 AD コンバータ関係のレジスタ

AD モードコントロールレジスタ 1

	7	6	5	4	3	2	1	0	
ADMOD1 (02B1H)	Bit symbol	VREFON	I2AD			ADTRGE	ADCH2	ADCH1	ADCH0
	Read/Write	R/W	R/W			R/W			
	リセット後	0	0			0	0	0	0
	機能	VREF 印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作			AD 外部 トリガ スタート 制御 0: 禁止 1: 許可	アナログ入力チャネル選択		

アナログ入力チャネル選択

	<SCAN>	0 (チャネル 固定)	1 (チャネル スキャン)
<ADCH2:0>	000	AN0	AN0
	001	AN1	AN0 → AN1
	010	AN2	AN0 → AN1 → AN2
	011	AN3	AN0 → AN1 → AN2 → AN3
	100	AN4	AN4
	101	AN5	AN4 → AN5
	110	AN6	AN4 → AN5 → AN6
	111	AN7	AN4 → AN5 → AN6 → AN7

外部トリガ (ADTRG 入力) による AD 変換スタート制御

0	ディセーブル
1	イネーブル

IDLE2 制御

0	停止
1	動作

AD コンバータ用基準電圧印加制御

0	OFF
1	ON

変換スタート前 (ADMOD0<ADS> に 1 を書き込む前) に <VREFON> を 1 に設定してください。

AD モードコントロールレジスタ 2

	7	6	5	4	3	2	1	0	
ADMOD2 (2B2H)	Bit symbol	ADM27	ADM26	ADM25	ADM24	ADM23	ADM22	ADM21	ADM20
	Read/Write	R/W							
	リセット後	0	0	0	1	0	0	0	1
	機能	1E をライトしてください。							

AD モードコントロールレジスタ 3

	7	6	5	4	3	2	1	0	
ADMOD3 (2B3H)	Bit symbol	ADM37	ADM36	ADM35	ADM34	ADM33	ADM32	ADM31	ADM30
	Read/Write	R/W							
	リセット後	1	1	0	0	1	1	1	1
	機能	CF をライトしてください。							

図 3.11.3 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 0/4

		7	6	5	4	3	2	1	0
ADREG04L (02A0H)	Bit symbol	ADR01	ADR00						ADR0RF
	Read/Write	R							R
	リセット後	不定							0
	機能	AD 変換結果下位 2ビット格納							AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 0/4

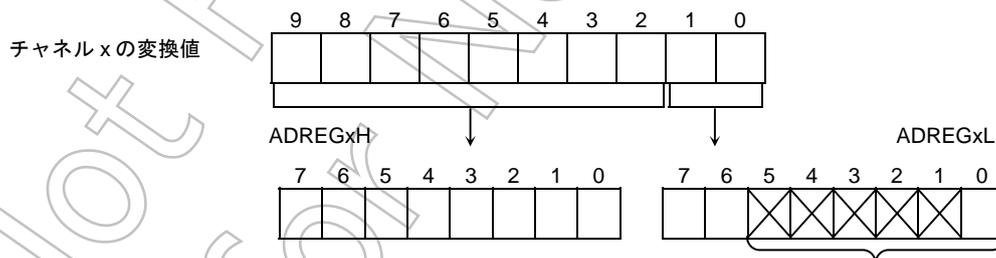
		7	6	5	4	3	2	1	0
ADREG04H (02A1H)	Bit symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8ビット格納							

AD 変換結果下位レジスタ 1/5

		7	6	5	4	3	2	1	0
ADREG15L (02A2H)	Bit symbol	ADR11	ADR10						ADR1RF
	Read/Write	R							R
	リセット後	不定							0
	機能	AD 変換結果下位 2ビット格納							AD変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果下位レジスタ 1/5

		7	6	5	4	3	2	1	0
ADREG15H (02A3H)	Bit symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8ビット格納							



- ビット5~1を読み出すと、常に1になります。
- ビット0は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、1にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、0にクリアされます。

図 3.11.4 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 2/6

		7	6	5	4	3	2	1	0	
ADREG26L (02A4H)	Bit symbol	ADR21	ADR20						ADR2RF	
	Read/Write	R								R
	リセット後	不定								0
	機能	AD変換結果下位 2ビット格納								AD変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 2/6

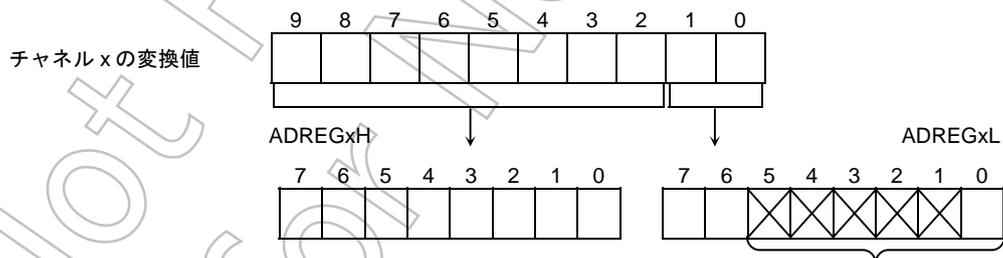
		7	6	5	4	3	2	1	0
ADREG26H (02A5H)	Bit symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8ビット格納							

AD 変換結果下位レジスタ 3/7

		7	6	5	4	3	2	1	0	
ADREG37H (02A6H)	Bit symbol	ADR31	ADR30						ADR3RF	
	Read/Write	R								R
	リセット後	不定								0
	機能	AD 変換結果下位 2ビット格納								AD変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 3/7

		7	6	5	4	3	2	1	0
ADREG37H (02A7H)	Bit symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8ビット格納							



- ビット5~1を読み出すと、常に1になります。
- ビット0は、AD 変換結果格納フラグ <ADRxRF> です。AD 変換値が格納されると、1にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、0にクリアされます。

図 3.11.5 AD コンバータ関係のレジスタ

3.11.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の H レベル側を VREFH 端子に、L レベル側を VREFL 端子に印加します。VREFH~VREFL 間の基準電圧をストリング抵抗により 1024 分割し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON> ビットに 0 を書き込むことにより、VREFH~VREFL 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず <VREFON> に 1 を書き込んだ後、内部基準電圧が安定するまでの 3 μ s (システムクロック周波数に関係ありません) 待ち、ADMOD0<ADS> に 1 を書き込んでください。

(2) アナログ入力チャンネルの選択

アナログ入力チャンネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャンネルを固定で使用する場合 (ADMOD0<SCAN> = 0)
ADMOD1<ADCH2:0> の設定により、アナログ入力 AN0~AN7 の中から 1 チャンネルを選択します。
- アナログ入力チャンネルをスキャンで使用する場合 (ADMOD0<SCAN> = 1)
ADMOD1<ADCH2:0> の設定により、8 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.11.1 に、動作モード別のアナログ入力チャンネルの選択を示します。

リセット後、ADMOD0<SCAN> は 0 に、ADMOD1<ADCH2:0> は 000 に初期化されますので、AN0 端子のチャンネル固定入力を選択されます。なお、アナログ入力チャンネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.11.1 アナログ入力チャンネルの選択

<ADCH2:0>	チャンネル固定 <SCAN> = 0	チャンネルスキャン <SCAN> = 1
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011	AN3	AN0 → AN1 → AN2 → AN3
100	AN4	AN4
101	AN5	AN4 → AN5
110	AN6	AN4 → AN5 → AN6
111	AN7	AN4 → AN5 → AN6 → AN7

(3) AD 変換開始

AD 変換は、ADMOD0<ADS> に 1 を設定するか、ADMOD1<ADTRGE> に 1 を設定し、 $\overline{\text{ADTRG}}$ 端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換ビジーフラグ (ADMOD0<ADBF>) が 1 にセットされます。

AD 変換中に <ADS> に 1 を設定すると、再起動がかかります。その時点の AD 変換のデータが保証されているかどうかは、変換結果格納フラグ ADREGxL<ADR_xRF> を確認して判断してください。

また、AD 変換中に $\overline{\text{ADTRG}}$ 端子に立ち下がりエッジを入力しても無視されます。

(4) AD 変換モードと AD 変換終了割り込み

AD 変換には、次の 4 つのモードが用意されています。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

AD 変換モードの選択は、ADMOD0<REPEAT, SCAN>で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す ADMOD0<EOCF> が 1 にセットされます。

a. チャンネル固定シングル変換モード

ADMOD0<REPEAT, SCAN> に 00 を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF> が 1 にセット、ADMOD0<ADBF> が 0 にクリアされ、INTAD の割り込み要求が発生します。

b. チャンネルスキャンシングル変換モード

ADMOD0<REPEAT, SCAN> に 01 を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD0<EOCF> が 1 にセット、ADMOD0<ADBF> が 0 にクリアされ、INTAD の割り込み要求が発生します。

c. チャンネル固定リピート変換モード

ADMOD0<REPEAT, SCAN> に 10 を設定すると、チャンネル固定リピート変換モードになります。

このモードでは、選択した 1 チャンネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCF> が 1 にセットされます。ADMOD0<ADBF> は 0 にクリアされず、1 を保持します。INTAD の割り込み要求発生タイミングは、ADMOD0<ITM0> の設定により選択できます。

<ITM0> を 0 に設定すると、AD 変換が 1 回終了するごとに割り込み要求が発生します。

<ITM0> を 1 に設定すると、AD 変換が 4 回終了するごとに割り込み要求が発生します。

d. チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN> に 11 を設定すると、チャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1回のスキャン変換が終了するごとに ADMOD0<EOCF> が 1 にセットされ、INTAD 割り込み要求が発生します。ADMOD0<ADBF> は 0 にクリアされず、1 を保持します。

リピート変換モード (c, d のモード) の動作を停止させたい場合は、ADMOD0<REPEAT> に 0 を書き込んでください。実行中の変換を終了した時点でリピート変換モードは終了し、ADMOD0<ADBF> は 0 にクリアされます。

ADMOD1<I2AD> = 0 の場合の IDLE2, IDLE1, STOP モードのホルト状態へ移行すると、AD 変換中でも AD コンバータは直ちに動作を停止します。ホルト解除後、リピート変換モード (c, d) では AD 変換を最初から開始します。シングル変換モード (a, b) では、変換動作を再開しません (停止したままです)。

表 3.11.2 に AD 変換モードと割り込み要求の関係を示します。

表 3.11.2 AD 変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPEAT>	<SCAN>
チャンネル固定 シングル変換モード	変換終了後	X	0	0
チャンネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャンネル固定 リピート変換モード	1回変換すること	0	1	0
	4回変換すること	1		
チャンネルスキャン リピート変換モード	1回のスキャン変換が終了すること	X	1	1

X: Don't care

(5) AD 変換時間

1チャンネル当たりの AD 変換ステートは、84 ステート (4.7 μ s @ fOSCH = 36 MHz) です。

(6) AD 変換結果の格納と読み出し

AD 変換結果は、AD 変換結果上位/下位レジスタ (ADREG04H/L~ADREG37H/L) に格納されます (ADREG04H/L~ADREG37H/L は、読み出し専用のレジスタです)。

チャンネル固定リピート変換モードでは、AD 変換結果は ADREG04H/L から ADREG37H/L へと順次格納されます。それ以外のモードでは、チャンネル AN0 と AN4, AN1 と AN5, AN2 と AN6, AN3 と AN7 の変換結果がそれぞれ ADREG04H/L, ADREG15H/L, ADREG26H/L, ADREG37H/L に格納されます。

表 3.11.3 にアナログ入力チャネルと AD 変換結果レジスタの対応を示します。

表 3.11.3 アナログ入力チャンネルと AD 変換結果レジスタの対応

アナログ入力 チャンネル (ポート A)	AD 変換結果レジスタ	
	右記以外の変換モード	チャンネル固定リピー ト変換モード (<ITM0>=1)
AN0 AN4 AN1 AN5 AN2 AN6 AN3 AN7	ADREG04H/L ADREG15H/L ADREG26H/L ADREG37H/L	

AD 変換結果格納フラグ <ADRxRF> は、その AD 変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD 変換結果レジスタに変換値が格納されると 1 にセットされ、どちらかの AD 変換結果レジスタ (ADREGxH, ADREGxL) を読み出すと 0 にクリアされます。

また、AD 変換結果の読み出しに伴い、AD 変換終了フラグ ADMOD0<EOCF> は 0 にクリアされます。

設定例:

- a. AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 0800H のメモリへ書き込む場合

メインルーチンでの設定

```

          7 6 5 4 3 2 1 0
INTE0AD ← X 1 0 0 - - - -
ADMOD1  ← 1 1 X X 0 0 1 1
ADMOD0  ← X X 0 0 0 0 0 1

```

INTAD をイネーブルにし、レベルを 4 に設定します。
アナログ入力チャンネルを AN3 に設定します。
チャンネル固定シングル変換モードで変換を開始します。

割り込みルーチンでの処理例

```

WA ← ADREG37
WA >> 6
(0800H) ← WA

```

汎用レジスタ WA (16 ビット) へ ADREG37L, ADREG37H の値を読み出します。
WA に読み出した内容を右へ 6 回シフトし、上位ビットに 0 を入れます。
アドレス 0800H へ WA の内容を書き込みます。

- b. AN0~AN2 の 3 端子のアナログ入力電圧を、チャンネルスキャンリピート変換モードで AD 変換し続ける場合

```

INTE0AD ← X 0 0 0 - - - -
ADMOD1  ← 1 1 X X 0 0 1 0
ADMOD0  ← X X 0 0 0 1 1 1

```

INTAD を禁止します。
アナログ入力チャンネルを AN0~AN2 に設定します。
チャンネルスキャンリピート変換モードで変換を開始します。

X: Don't care、-: No change

3.12 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合にこれを検出し、正常な状態に戻すことを目的としています。暴走を検出すると、ノンマスクابل割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。(外部の $\overline{\text{RESET}}$ 端子レベルは変化しません。)

3.12.1 構成

図 3.12.1 にウォッチドッグタイマのブロック図を示します。

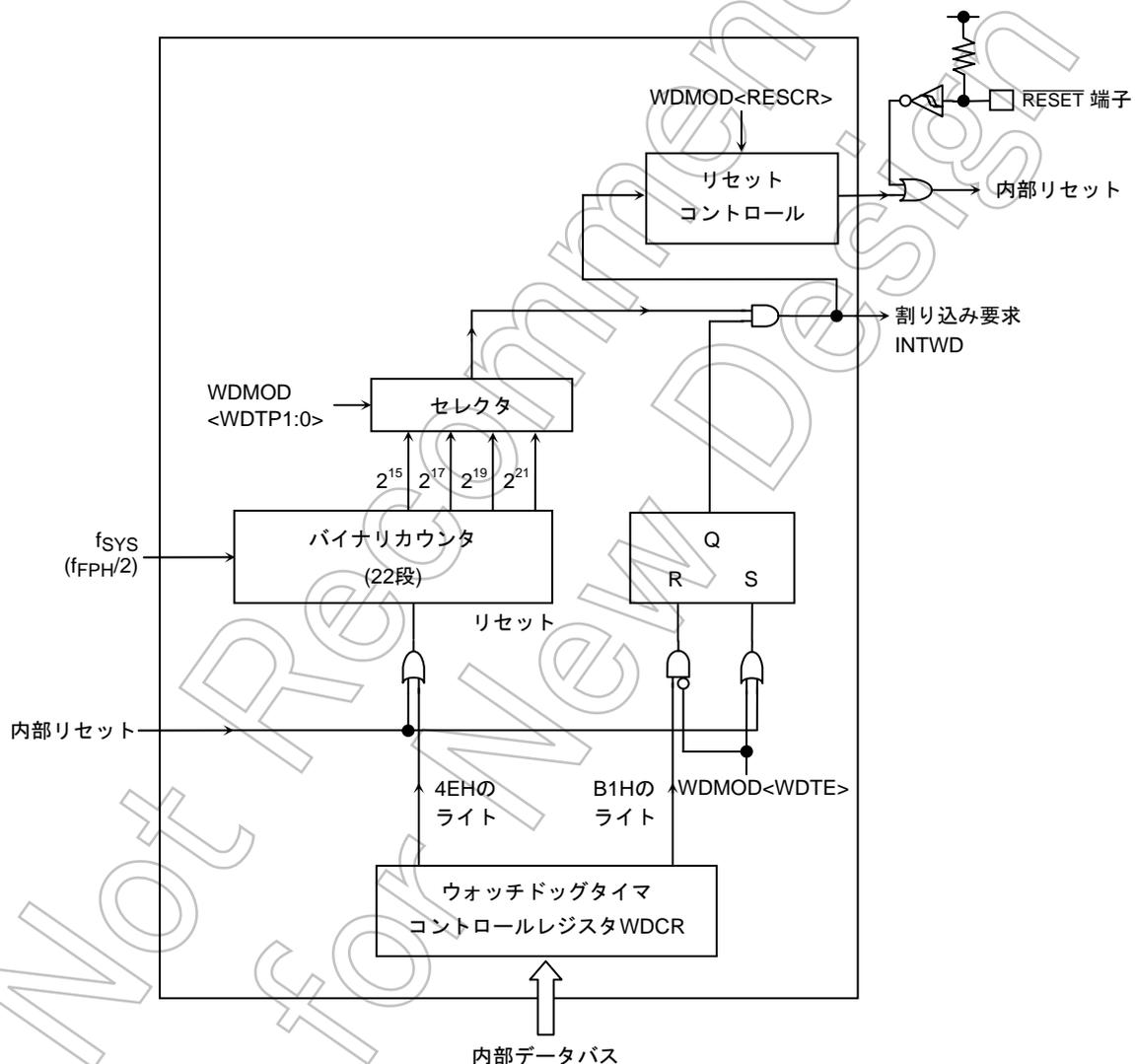


図 3.12.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によりウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} , 2^{17} , 2^{19} および 2^{21} があります。

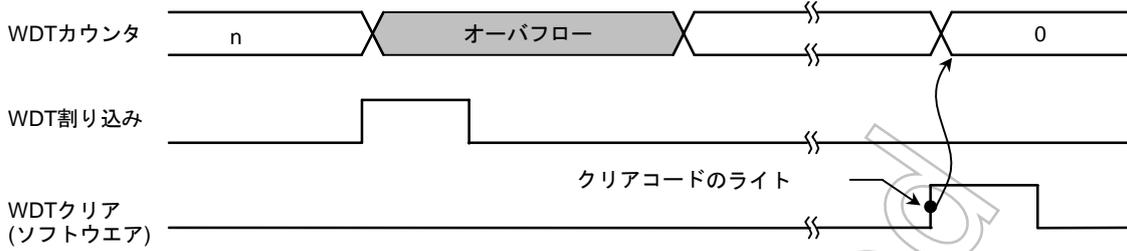


図 3.12.2 通常モード

また、オーバーフロー時に、本LSIをリセットすることも選択可能です。この場合、図 3.12.3 で示すように、22~29 ステート ($19.6\sim 25.8 \mu s @ f_{OSCH} = 36 \text{ MHz}, f_{FPH} = 2.25 \text{ MHz}$) の期間リセットを行います。なお、この場合 (リセットされた場合)、システムクロック f_{SYS} (1 周期 = 1 ステート) は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周したクロック f_{FPH} を基に、それを 2 分周して生成されたものが使われます。

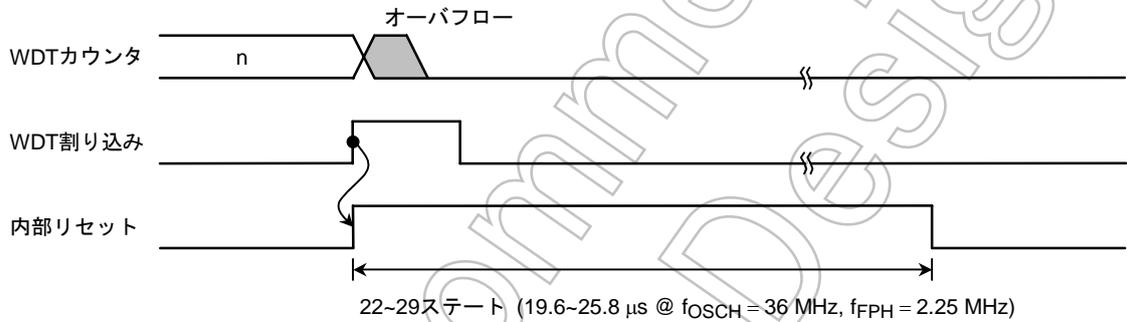


図 3.12.3 リセットモード

Not Recommended for New

3.12.2 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマモードレジスタ WDMOD

a. ウォッチドッグタイマ検出時間の設定 <WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時、WDMOD<WDTP1, 0> = 00 に初期化されます。

ウォッチドッグタイマの検出時間を図 3.12.4 に示します。

b. ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時は WDMOD<WDTE> = 1 に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを 0 にクリアした後に、WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生しにくくなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを 1 にセットするだけでイネーブルとなります。

c. ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により本 LSI 自体をリセットするか否かを設定するレジスタです。リセット時は WDMOD<RESCR> = 0 に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマ コントロールレジスタ WDCR

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

• ディセーブル制御

WDMOD<WDTE> を 0 にクリアした後、この WDCR レジスタにディセーブルコード (B1H) を書き込むと、ウォッチドッグタイマをディセーブルにすることができます。

WDMOD	← 0 - - - - -	WDTE を 0 にクリア。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) を書き込みます。

• イネーブル制御

WDMOD<WDTE> を 1 にする。

• ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) を書き込みます。
------	-------------------	-----------------------

注1) ディセーブル制御をする際には一旦クリアコード(4EH)をライトした後ディセーブル制御をしてください。(設定例を参照してください)

注2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

	7	6	5	4	3	2	1	0
WDMOD (0300H)	Bit symbol	WDTE	WDTP1	WDTP0		I2WDT	RESCR	-
	Read/Write	R/W	R/W			R/W		R/W
	リセット後	1	0	0		0	0	0
	機能	WDT 制御 1: 許可	WDT 検出時間の選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$			IDLE2 0: 停止 1: 動作	1: リセット 端子に WDT 出力を内部 接続	"0" をライト してください。

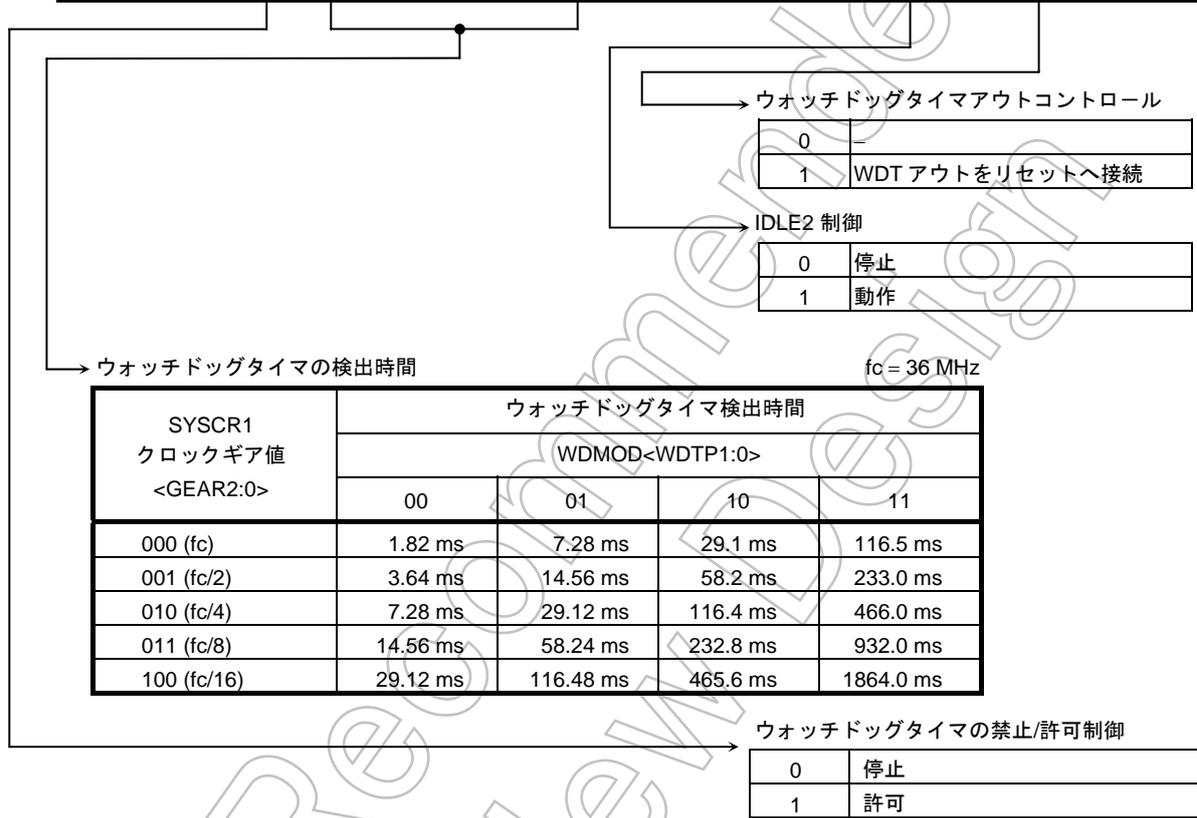


図 3.12.4 ウォッチドッグタイマモードレジスタ

	7	6	5	4	3	2	1	0
WDCR (0301H)	Bit symbol	-						
	Read/Write	W						
	リセット後	-						
	機能	B1H: WDT ディセーブルコード 4EH: WDT クリアコード						

リードモ
ディファイ
アイト
はできま
せん。

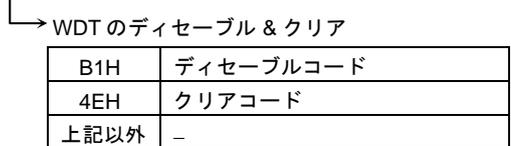


図 3.12.5 ウォッチドッグタイマコントロールレジスタ

3.12.3 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0> レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを、INTWD 割り込みが発生する前に 0 にクリアする必要があります。もし、CPU がノイズなどの原因で誤動作 (暴走) し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後直ちに動作を開始します。

また、IDLE1 モードおよび STOP モード中のウォッチドッグタイマは、リセットされ停止しています。バス解放中 ($\overline{\text{BUSAK}} = \text{L}$) は、カウントを続けます。

IDLE2 モードでは、WDMOD<I2WDT> の設定に依存します。必要に応じて IDLE2 モードに入る前に、WDMOD<I2WDT> を設定してください。

例: a. バイナリカウンタをクリアします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード (4EH) を書き込みます。

b. ウォッチドッグタイマ検出時間を $2^{17}/f_{\text{SYS}}$ に設定します。

WDMOD ← 1 0 1 - - - - -

c. ウォッチドッグタイマをディセーブルします。

WDMOD ← 0 - - - - - X X WDTL を 0 にクリアします。

WDCR ← 1 0 1 1 0 0 0 1 ディセーブルコード (B1H) を書き込みます。

3.13 マルチベクタコントロール

3.13.1 マルチベクタコントローラ

(1) 概要

マルチベクタコントロールレジスタ (MVEC0, MVEC1) の値を書き替えることにより、任意にベクタ領域を移動することができます。

(2) コントロールレジスタ

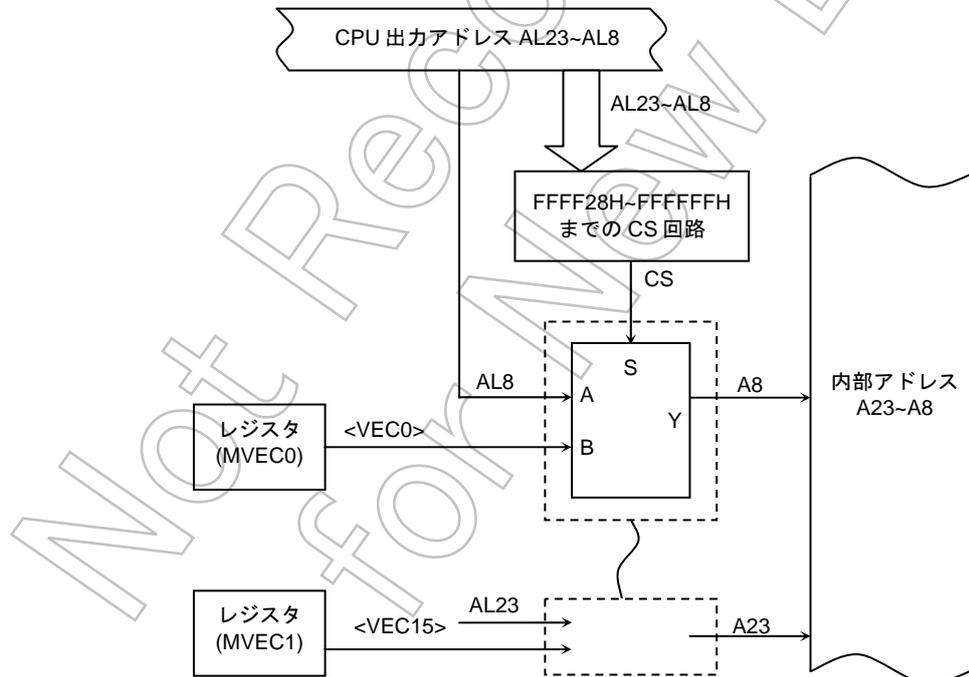
ベクタコントロールレジスタ (MVEC0, MVEC1) に設定された値より 228 バイト分が、割り込みベクタ領域になります。

ベクタコントロールレジスタ構成

	7	6	5	4	3	2	1	0
MVEC0 (00AEH)	VEC7	VEC6	VEC5	VEC4	VEC3	VEC2	VEC1	VEC0
Bit symbol	VEC7	VEC6	VEC5	VEC4	VEC3	VEC2	VEC1	VEC0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	1	1	1	1	1	1	1	1
機能	ベクタアドレス A15~A8							

	7	6	5	4	3	2	1	0
MVEC0 (00AFH)	VEC15	VEC14	VEC13	VEC12	VEC11	VEC10	VEC9	VEC8
Bit symbol	VEC15	VEC14	VEC13	VEC12	VEC11	VEC10	VEC9	VEC8
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	1	1	1	1	1	1	1	1
機能	ベクタアドレス A23~A16							

回路構成



注) MVEC1, MVEC0 の書き替えは、割り込み禁止状態にした後で行ってください。

3.13.2 マルチブートモード

(1) 概要

TMP91C829には、オンボードプログラミングを行うための動作モードとして、マルチブートモードがあります。マルチブートモードにすることにより、ブートROMがメモリ空間にマッピングされます。ブートROMは、オンボードでフラッシュメモリ書き替えを行うプログラムを内蔵したマスクROMです。

オンボードプログラミングは、TMP91C829のSIOと書き込みTOOL（コントローラ）を接続し、コントローラ側からコマンドを送出することにより実行されます。ブートROMに内蔵したブートプログラムには、TMP91C829の内蔵RAMに外部からプログラムデータを転送するローダ機能のみ存在します。

内蔵RAMの1000Hから105FHはブートプログラムの作業領域です。この作業領域にはプログラムデータを転送しないでください。

図 3.13.1に書き込みコントローラとターゲットボードの接続例を示します（ROMが16ビットデータバスの場合）。

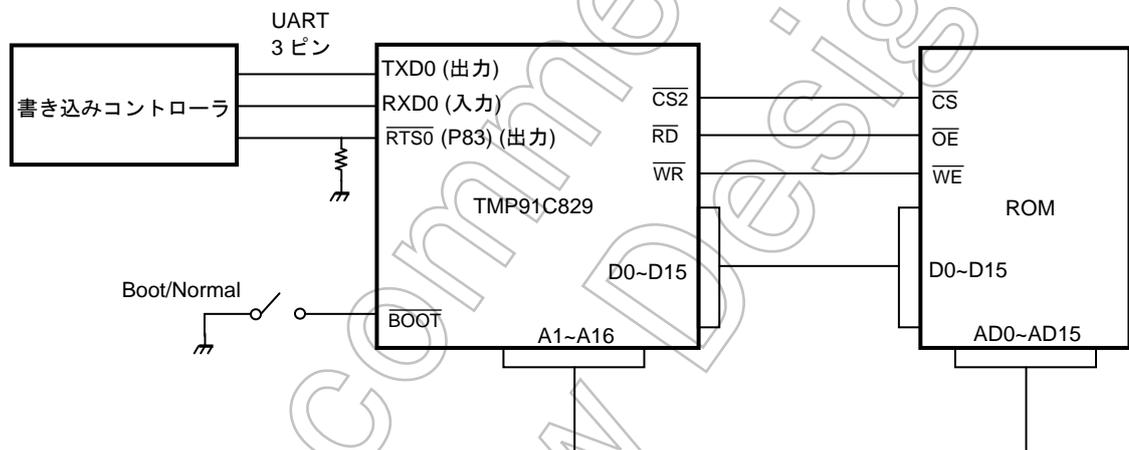


図 3.13.1 オンボードプログラミング接続例

(2) モード設定

オンボードプログラミングを実行するためには、TMP91C829をマルチブートモードで立ち上げます。マルチブートモードで立ち上げるための設定を次に示します。

$\overline{\text{BOOT}} = \text{L}$

$\overline{\text{RESET}} = \text{↑}$

$\overline{\text{BOOT}}$ の各端子をあらかじめ上記条件に設定しておき、 $\overline{\text{RESET}}$ 端子に立ち上がりエッジを入力すると、TMP91C829はマルチチップモードで起動します。

(3) メモリマップ

マルチチップモードとマルチブートモードのメモリマップの比較を 図 3.13.2 に示します。マルチブートモードにすると、内蔵ブートROMはFFF800Hからマッピングされ、ブートROMが起動します。

また、マルチチップモードの場合には内蔵ブートROMは1F800Hにマッピングされていますので、ユーザーによって任意に動作させることができます。ブートROMのプログラム起動アドレスは、1F800Hです。

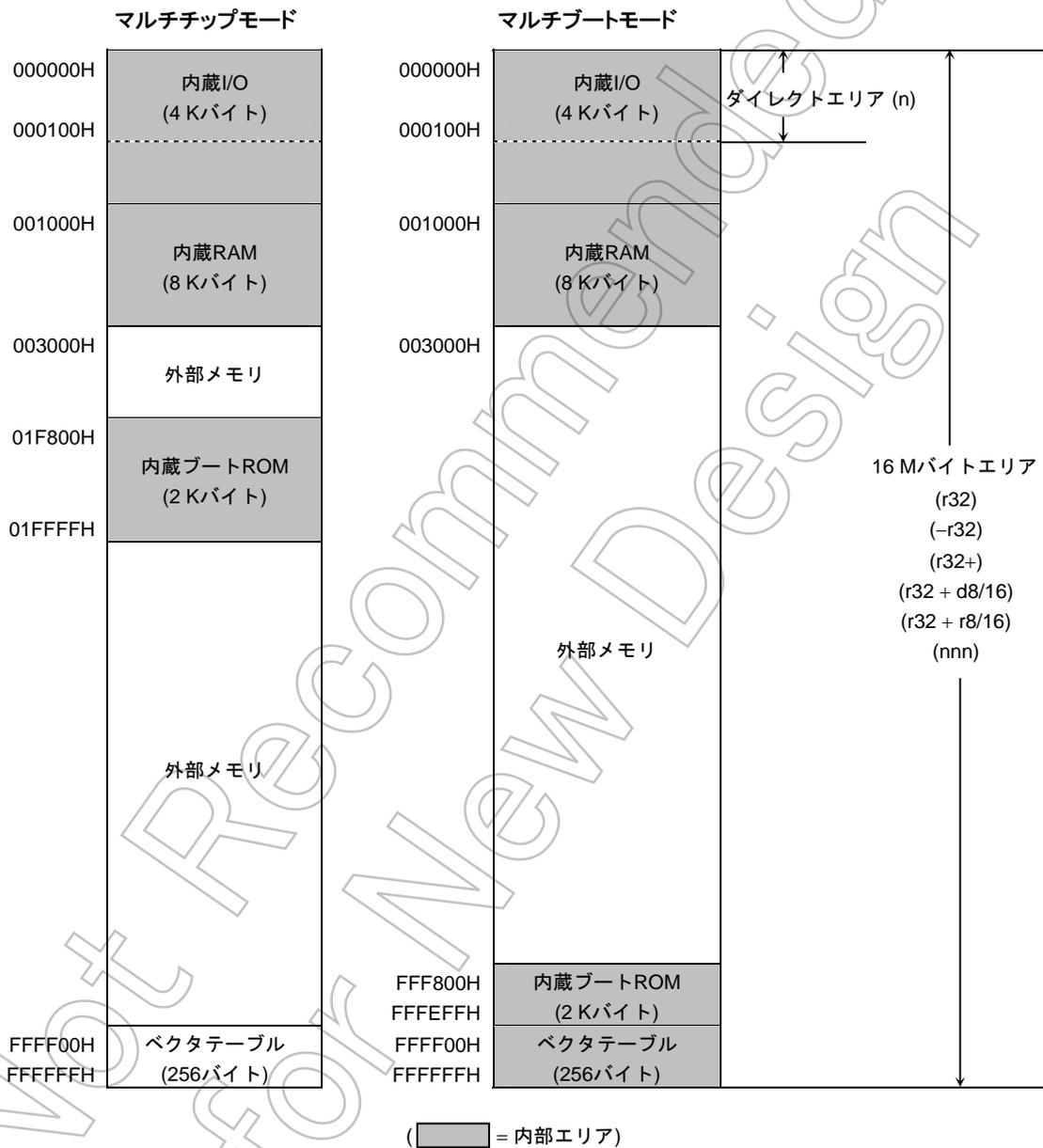


図 3.13.2 TMP91C829 メモリマップ

(4) SIO インタフェース仕様

マルチブートモードでの SIO 通信フォーマットを以下に示します。

オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

なお、ボーレートは初期設定 9600 bps ですが、表 3.13.3 のように変更することが可能です。

シリアル転送モード: UART (非同期通信) モード、全二重通信

データ長: 8ビット

パリティビット: なし

STOP ビット: 1ビット

ハンドシェイク: マイクロコントローラ (P83) → 書き込みコントローラ

ボーレート(初期値): 9600 bps

(5) SIO データ転送フォーマット

対応周波数、転送フォーマット、ボーレート変更コマンド、動作コマンド、バージョン管理情報、周波数測定結果、およびデータの格納位置をそれぞれ表 3.13.1~3.13.6 に示します。

後述の(6)「SIO ブートプログラム動作説明」と合わせてお読みください。

表 3.13.1 対応周波数

16.000 MHz	20.000 MHz	22.579 MHz	25.000 MHz	32.000 MHz	33.868 MHz	36.000 MHz
------------	------------	------------	------------	------------	------------	------------

表 3.13.2 転送フォーマット

	転送バイト数	コントローラ → TMP91C829 への転送データ	ボーレート	TMP91C829 → コントローラへの転送データ
BOOT ROM	1 バイト目	マッチングデータ (5AH)	9600 bps	- (周波数測定・ボーレート自動設定)
	2 バイト目	-	9600 bps	OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目	-	9600 bps	バージョン管理情報 (表 3.13.5 参照)
	⋮			
	6 バイト目	-		
	7 バイト目	-	9600 bps	周波数情報 (表 3.13.6 参照)
	8 バイト目	ボーレート変更コマンド (表 3.13.3 参照)	9600 bps	-
	9 バイト目	-	9600 bps	OK: エコーバックデータ Error: エラーコード × 3
	10 バイト目	ユーザープログラム	変更後ボーレート	Error: チェックサムエラーで動作停止
	⋮	拡張 Intel Hex フォーマット (Binary)		
n-4 バイト目	-	変更後ボーレート	OK: SUM (High) ((6) c. 「SUM の注意点」 参照)	
n-3 バイト目	-	変更後ボーレート	OK: SUM (Low)	
n-2 バイト目	-	変更後ボーレート	OK: SUM (Low)	
n-1 バイト目	ユーザープログラム開始コマンド (C0H) (表 3.13.4 参照)	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (C0H) Error: エラーコード × 3	
n バイト目	-			
RAM	-	ユーザープログラムの先頭アドレスヘジャンプ		

エラーコード × 3 はエラーコードを 3 回送信することです。例えば、エラーコードが 62H のとき、62H を 3 回送信します。エラーコードの詳細は (6) b. 「エラーコード」を参照してください。

表 3.13.3 ボーレート変更コマンド

ボーレート (bps)	9600	19200	38400	57600	115200
変更コマンド	28H	18H	07H	06H	03H

表 3.13.4 動作コマンド

動作コマンド	動作
C0H	ユーザープログラム開始

表 3.13.5 バージョン管理情報

バージョン管理情報	ASCII コード
FRM1	46H, 52H, 4DH, 31H

表 3.13.6 周波数測定結果データ

発振子の周波数 (MHz)	16.000	20.000	22.579	25.000	32.000	33.868	36.000
1000H (RAM 格納アドレス)	00H	01H	02H	03H	04H	05H	06H

(6) SIO ブートプログラム動作説明

TMP91C829 をマルチブートモードで立ち上げると、ブートプログラムが起動します。ブートプログラムは以下の RAM ロード機能を提供します。

RAM ロード

RAM ロードは、コントローラから拡張 Intel Hex フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了すると、SUM を計算し、その結果を送信後、ユーザープログラムの実行を開始します。実行開始アドレスは、最初に受信したアドレスとなります。

この RAM ロード機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、接続するフラッシュメモリコマンドシーケンスを使う必要があります (マルチブートモード時のフラッシュメモリアドレスに合わせる必要があります)。

a. RAM ロードの動作手順

- シリアルケーブルの接続をしてください。必ずマイクロコントローラのリセット前に行ってください。
- $\overline{\text{BOOT}}$ 端子を Boot に設定し、マイクロコントローラをリセットします。
- 1 バイト目の受信データはマッチングデータです。マルチブートモードで起動すると、ブートプログラムはマッチングデータの受信待ちの状態に入ります。マッチングデータを受信することで、シリアルチャネルの初期ボーレートを 9600 bps に自動的に合わせます。マッチングデータは 5AH になります。
- 2 バイト目は、1 バイト目のボーレート自動設定が完了すると、エコーバック送信 (5AH) します。ボーレート自動設定に失敗した場合は、動作停止状態に入ります。
- 3 バイト目から 6 バイト目は、ブートプログラムのバージョン管理情報を ASCII コードで送信します。コントローラは正しいバージョンのブートプログラムであることを確認してください。
- 7 バイト目は測定した周波数情報を送信します。コントローラは発振子の周波数が正しく測定されていることを確認してください。

7. 8 バイト目の受信データはボーレート変更データになります。ボーレート変更データは表 3.13.3 に示した 5 種類があります。ボーレートの変更を行わない場合でも、初期値のボーレートデータ (28H: 9600 bps) を送信してください。ボーレートの変更はエコーバック送信が終了後、有効となります。
8. 9 バイト目は、8 バイト目に受信したデータが動作周波数に対応したボーレート変更データのいずれかに該当する場合に、受信データをエコーバック送信します。その後、ボーレートの変更を行います。該当しない場合はボーレート変更エラーコード (62H) を 3 バイト送信後、動作停止状態に入ります。
9. 10 バイト目~ $n - 4$ バイト目の受信データは、拡張 Intel Hex フォーマットの binary のデータとして受信されます。また、エコーバックは行いません。
RAM ロード処理ルーチンは、拡張 Intel Hex フォーマットのスタートマーク (3AH, “:”) を受信するまで受信データを無視し、エラーコードの送信も行いません。スタートマークを受信後、データ長からチェックサムまでを受信します。受信した書き込みデータは、逐次 RAM の指定されたアドレスへ書き込みます。スタートマークからチェックサムまでの 1 レコードを受信した後、再びスタートマーク待ち状態になります。
受信エラーまたは拡張 Intel Hex フォーマットのチェックサムエラーが発生した場合は、何も送信しないで動作停止状態に入ります。
RAM ロード処理ルーチンは、エンドレコードを検出すると SUM の計算ルーチンを実行しますので、コントローラはエンドレコードを送信後、SUM の受信待ち状態になるようにしてください。
10. $n - 3$ バイト目と $n - 2$ バイト目は、SUM の値を上位、下位の順序で 2 バイト送信します。SUM の計算方法については、後述の c. 「SUM の注意点」を参照してください。SUM の計算は、エンドレコードを検出し、受信エラーまたは拡張 Intel Hex フォーマットのチェックサムエラーがなかった場合のみ行われます。SUM データは、計算後すぐ送信されます。コントローラは、エンドレコードを送信後、SUM の値が送られてくるか否かで、RAM への書き込みが正常に終了したかどうかを判断してください。
11. SUM 送信後は、ユーザープログラム開始コードの受信状態になります。SUM の値が正しかった場合、コントローラは $n - 1$ バイト目にユーザープログラム開始コマンドを送信してください。ユーザープログラム開始コマンドは C0H になります。
12. n バイト目はユーザープログラム開始コードをエコーバック送信します。エコーバック送信後、スタックポインタを 105FH にセットし、拡張 Intel Hex フォーマットで最初にデータとして受信したアドレスへジャンプします。
13. ユーザープログラム開始コードが間違っていたり、受信エラーが発生した場合は、エラーコードを 3 バイト送信後、動作停止状態に入ります。

b. エラーコード

ブートプログラムは、処理状況を各種コードによってコントローラに送信します。以下にエラーコードの一覧を示します。

表 3.13.7 エラーコード

エラーコード	エラーコードの意味
62H	未対応なボーレートである
64H	動作コマンドが不適である。
A1H	受信データにフレーミングエラーが発生した。
A3H	受信データにオーバーランエラーが発生した。

*1: ユーザープログラム受信中に受信エラーが発生した場合は、エラーコードは送信しません。

*2: エラーコード送信後、動作停止状態になります。

c. SUM の注意点

1. 計算方法

SUM は、byte + byte … + byte の結果を word で返します。つまり、バイトでデータを読み出して計算をし、その結果をワードで返します。

例:

A1H
B2H
C3H
D4H

左記4バイトが計算対象データの場合、SUMは

$$A1H + B2H + C3H + D4H = 02EAH$$

$$\text{SUM (HIGH)} = 02H$$

$$\text{SUM (LOW)} = EAH$$

となります。

2. 計算対象データ

計算対象データは、最初に受信したアドレスから最後に受信したアドレスまでの RAM データになります。

SUM の計算対象データは、受信した RAM への書き込みデータのみではありません。受信アドレスが不連続で書き込まないエリアがあった場合でも、SUM の計算対象のデータとなります。ユーザープログラムは不連続にならないように作成してください。

d. 拡張 Intel Hex フォーマット (Binary) の注意点

- レコードのチェックサム受信後は、次のレコードのスタートマーク (3AH, “”) 待ち状態になりますので、レコード間に 3AH 以外のデータを送信しても、そのデータは無視します。
- コントローラのプログラムは、エンドレコードのチェックサム送信後は、何も送信しないで、必ず 2 バイト分の受信データ (SUM の上位と下位のデータ) 待ち状態になるようにしてください。ブートプログラムは、エンドレコードのチェックサム受信後、SUM の計算を行い、その計算結果を 2 バイトで返すためです。
- 内部 RAM 以外の領域に書き込み動作を行うことは誤動作の原因になります。従って、拡張レコードを転送する場合、パラグラフアドレスは必ず 0000H にしてください。
- 最初に転送するレコードタイプは必ずしも拡張レコードである必要はありません。アドレスポインタの初期値が 00H になっているためです。
- ユーザープログラムは ASCII コードではなく binary で転送してください。ただし、スタートマーク “” は 3AH (ASCII コード) です。

(7) ブートプログラムのポート設定

ブートプログラムでは表 3.13.9のポートのみ設定しています。ブートプログラム使用时には、システムに影響が出ないように注意してください。ブートプログラムを使用するシステムでは $\overline{CS0}$ 空間とP60 は使用しないでください。

その他のポートは設定をしていません。リセット状態、もしくはブートプログラム起動時の状態になっています。

表 3.13.9 ポート設定一覧

ポート	機能	入力/出力	High/Low	備考
P60	$\overline{CS0}$	出力	-	$\overline{CS0}$ 空間は 20000H-201FFH
P61	ポート	出力	-	
P62	ポート	出力	High	
P63	ポート	出力	-	
P80	ポート	入力	High	オープンドレインではありません。 マッチングデータ受信後、TXD0 になります。
P81	RXD0	入力	High	
P82	ポート	入力	-	
P83	ポート	入力	Low	マッチングデータ受信後出力に設定され、RTS0 になります。
P84	ポート	入力	-	
P85	ポート	入力	-	
P86	ポート	入力	-	
P87	ポート	入力	-	

-: 未設定

(8) マイクロコントローラ周辺の設定方法

P83 には $\overline{RTS0}$ の機能を持たせていますが、初期状態では $\overline{RTS0}$ として設定されておらず、ハイインピーダンス状態になっています。シリアル通信を確立させるために、P83 にプルダウン抵抗を取り付けてください。

4. 電気的特性

4.1 最大定格

項目	記号	定格	単位
電源電圧 (5 V)	HVcc	-0.5~5.75	V
電源電圧 (3 V)	LVcc	-0.5~4.0	
入力電圧	VIN	-0.5~Vcc + 0.5	
出力電流 (1 端子当たり)	IOL	2	mA
出力電流 (1 端子当たり)	IOH	-2	
出力電流 (合計)	ΣIOL	80	
出力電流 (合計)	ΣIOH	-80	
消費電力 (Ta = 85°C)	PD	600	mW
はんだ付け温度 (10 s)	TSOLDER	260	°C
保存温度	TSTG	-65~150	
動作温度	TOPR	-20~70	

注) 最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず定格を超えないように、応用機器の設計を行ってください。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	

4.2 DC 電気的特性 (1/2)

項目	記号	条件	Min	Typ. (注)	Max	単位
電源電圧 (5 V) (AVcc = HVcc) (AVss = DVss = 0 V)	HVCC	fc = 10~36 MHz	4.75		5.25	V
電源電圧 (3V)	LVCC	fc = 10~36 MHz	3.0		3.6	V
低レベル入力電圧	D0~D7, P10~P17 (D8~D15)	V _{IL}			0.8	V
	その他のポート	V _{IL1}			0.3 HVcc	
	RESET, NMI P56 (INT0), P70 (INT1) P72 (INT2), P73 (INT3) P75 (INT4), P90 (INT5)	V _{IL2}		-0.3	0.25 HVcc	
	AM0~AM1	V _{IL3}			0.3	
	X1	V _{IL4}			0.2 LVcc	
	高レベル入力電圧	D0~D7, P10~P17 (D8~D15)	V _{IH}		2.2	
その他のポート		V _{IH1}		0.7 HVcc		
RESET, NMI P56 (INT0), P70 (INT1) P72 (INT2), P73 (INT3) P75 (INT4), P90 (INT5)		V _{IH2}		0.75 HVcc		
AM0~AM1		V _{IH3}		HVcc - 0.3		
X1		V _{IH4}		0.8 LVcc		
						LVcc + 0.3
低レベル出力電圧	V _{OL}	I _{OL} = 1.6 mA			0.45	V
高レベル出力電圧	V _{OH}	I _{OH} = -400 μA	4.2			
入力リーク電流	I _{LI}	0.0 ≤ VIN ≤ HVcc		0.02	±5	μA
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ HVcc - 0.2		0.05	±10	
パワーダウン電圧 (@STOP, RAM バックアップ)	VSTOP	V _{IL2} = 0.2 HVcc, V _{IH2} = 0.8 HVcc	2.0		6.0	V
RESET プルアップ抵抗	RRST	HVcc = 5 V ± 5%	40		200	kΩ
端子容量	CIO	fc = 1 MHz			10	pF
シュミット幅 RESET, NMI, INT0~INT5	VTH		0.4	1.0		V
プログラマブルプルアップ抵抗	RKH	HVcc = 5 V ± 5%	40		200	kΩ
NORMAL (注 2)	I _{CC}	HVcc = 5 V ± 5% LVcc = 3.0~3.6 V fc = 36 MHz			40	mA
IDLE2					20	
IDLE1					14	
STOP		HVcc = 5 V ± 5% LVcc = 3.0~3.6 V Ta ≤ 70°C			100	μA

注 1) Typ.値は特に指定のない限り、Ta = 25°C, HVcc = 5.0 V, LVcc = 3.3 V です。

注 2) ICC NORMAL の測定条件: すべて動作、出力端子は開放、入力端子はレベル固定。

4.3 AC 電気的特性

(1) $HV_{CC} = 5.0\text{ V} \pm 5\%$, $LV_{CC} = 3.0\sim 3.6\text{ V}$

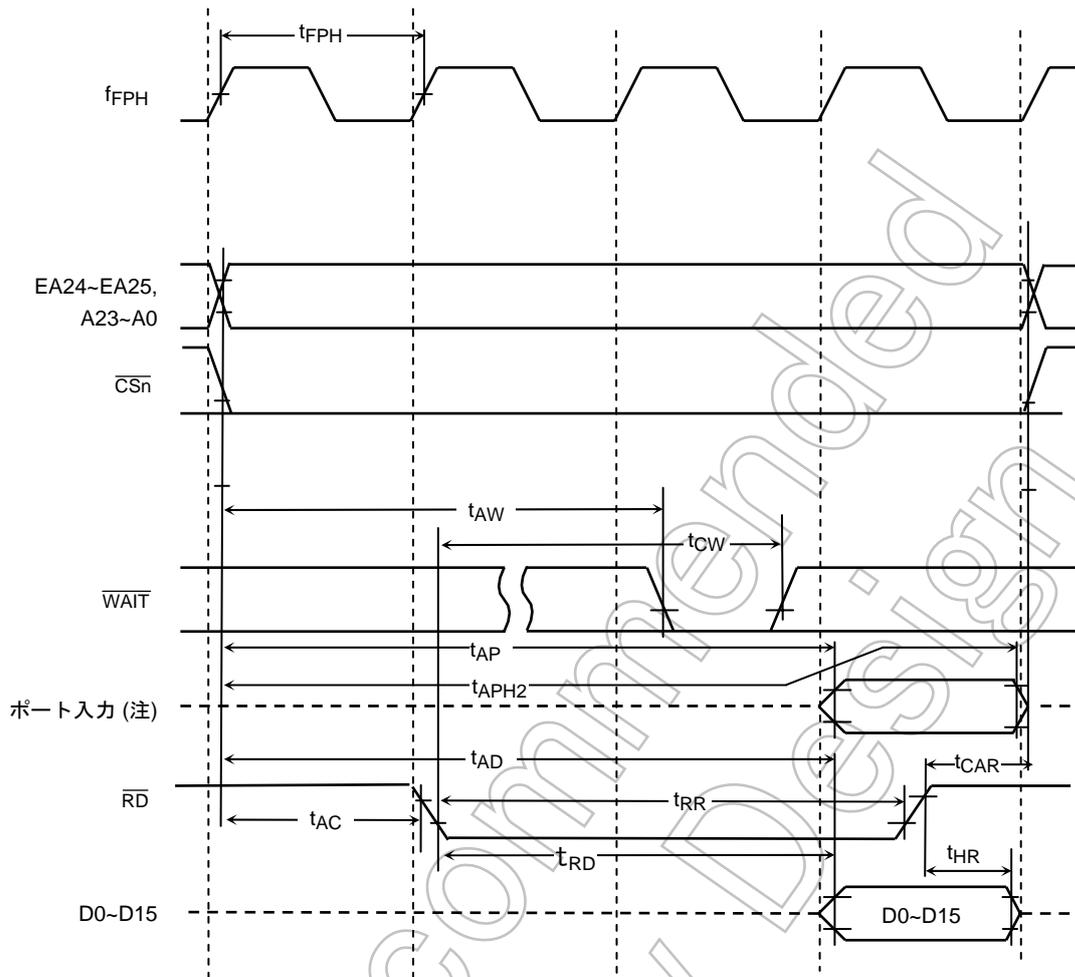
No.	項目	記号	計算式		$f_{FPH} = 36\text{ MHz}$		単位
			Min	Max	Min	Max	
1	f_{FPH} 周期 (= x)	t_{FPH}	27.6	100	27.6		ns
2	A0~A23 有効 → \overline{RD} / \overline{WR} 立ち下がり	t_{AC}	$x - 26$		1.6		ns
3	\overline{RD} 立ち上がり → A0~A23 保持	t_{CAR}	$0.5x$ -13.8		0.0		ns
4	\overline{WR} 立ち上がり → A0~A23 保持	t_{CAW}	$x - 13$		14.6		ns
5	A0~A23 有効 → D0~D15 入力	t_{AD}		$3.5x - 40$		56.6	ns
6	\overline{RD} 立ち下がり → D0~D15 入力	t_{RD}		$2.5x - 34$		35.0	ns
7	\overline{RD} Low パルス幅	t_{RR}	$2.5x - 25$		44.0		ns
8	\overline{RD} 立ち上がり → D0~D15 保持	t_{HR}	0		0		ns
9	\overline{WR} Low Width	t_{WW}	$2.0x - 25$		30.2		ns
10	D0~D15 有効 → \overline{WR} 立ち上がり	t_{DW}	$1.5x - 35$		6.4		ns
11	\overline{WR} 立ち上がり → D0~D15 保持	t_{WD}	$x - 25$		2.6		ns
12	A0~A23 有効 → \overline{WAIT} 入力 ((1 + N) WAIT モード)	t_{AW}		$3.5x - 60$		36.6	ns
13	\overline{RD} / \overline{WR} 立ち下がり → \overline{WAIT} 保持 ((1 + N) WAIT モード)	t_{CW}	$2.5x + 0$		69.0		ns
14	A0~A23 有効 → ポート入力	t_{APH}		$3.5x - 76$		20.6	ns
15	A0~A23 有効 → ポート保持	t_{APH2}	$3.5x$		96.6		ns
16	A0~A23 有効 → ポート有効	t_{APO}		$3.5x + 60$		156.6	ns

AC 測定条件

- ・ 出力レベル: High 2.2 V/Low 0.8 V, $CL = 50\text{ pF}$
- ・ 入力レベル: High 2.4 V/Low 0.45 V (D0~D15)
: High 0.8 V_{CC}/Low 0.2 V_{CC} (D0~D15 を除く)

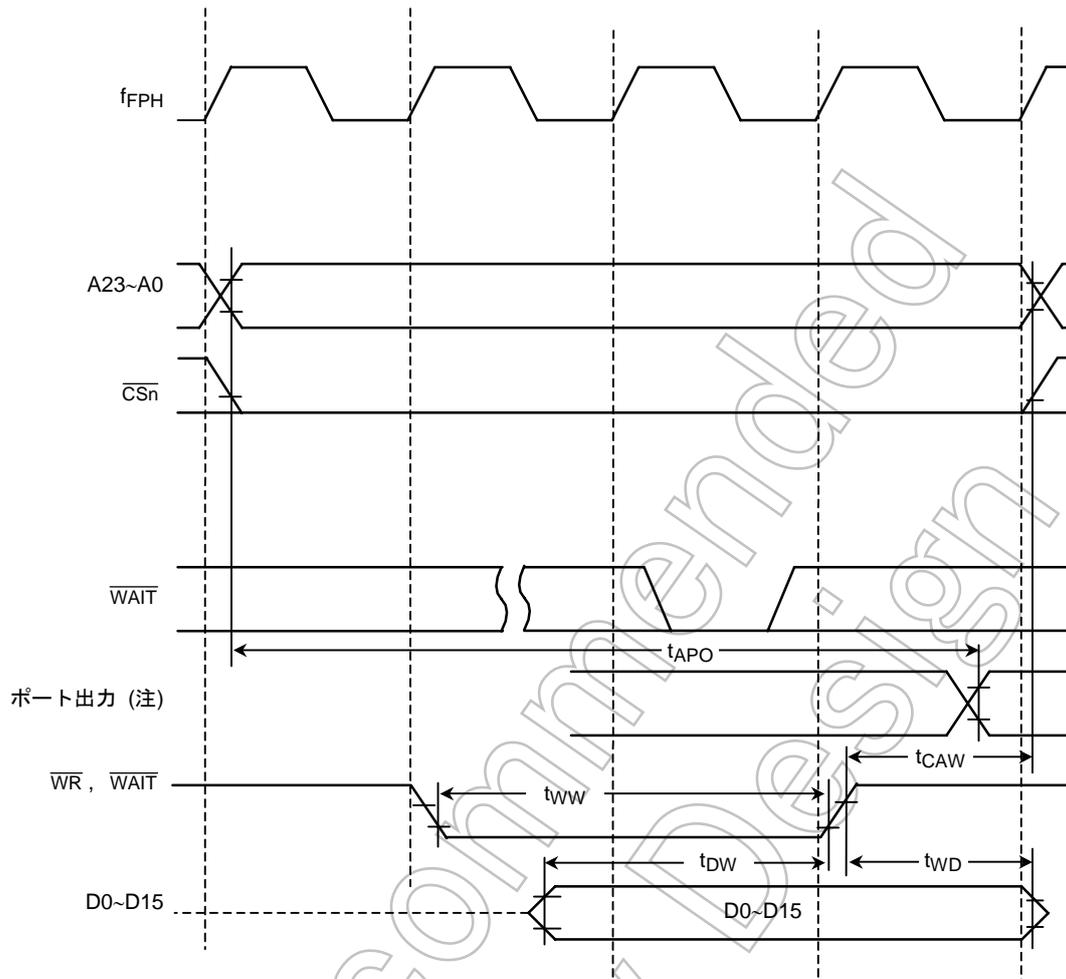
注) 表中の「x」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定に依存します。

(2) リードサイクル



注) ポートのデータリードは内蔵エリアへのアクセスとなるため、外部端子の制御信号RD、CS信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。また、上記ポート入出力タイミングおよびAC特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

(3) ライトサイクル



注) ポートのデータライトは内蔵エリアへのアクセスとなるため、外部端子の制御信号 \overline{WR} 、 \overline{CS} 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

4.4 AD 変換特性

AV_{CC} = HV_{CC}, AV_{SS} = V_{SS}

項目	記号	Min	Typ.	Max	単位
アナログ基準電圧 (+)	VREFH	HV _{CC} - 0.2 V	HV _{CC}	HV _{CC}	V
アナログ基準電圧 (-)	VREFL	DV _{SS}	DV _{SS}	DV _{SS} + 0.2 V	
アナログ入力電圧	VAIN	VREFL		VREFH	
アナログ基準電圧電源電流 <VREFON> = 1	IREF (VREFL = 0 V)		0.85	1.20	mA
<VREFON> = 0			0.02	5.0	μA
総合誤差 (量子誤差を含まず)	-		± 1.0	± 4.0	LSB

注 1) 1LSB = (VREFH - VREFL)/1024 [V]

注 2) AV_{CC} 端子より流れる電源電流は、HV_{CC} 端子の電源電流 (I_{CC}) に含まれます。

Not Recommended for New Design

4.5 シリアルチャネルタイミング (I/O インタフェースモード)

注) 表中の「X」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期はクロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

(1) SCLK 入力モード

項目	記号	計算式		36 MHz (注)		単位
		Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X		0.44		μs
出力データ → SCLK 立ち上がり/立ち下がり*	t_{OSS}	$t_{SCY}/2 - 4X - 85$		25		ns
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t_{OHS}	$t_{SCY}/2 + 2X + 0$		276		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t_{HSR}	$3X + 10$		92		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t_{SRD}		$t_{SCY} - 0$		440	ns
有効データ入力 → SCLK 立ち上がり/立ち下がり*	t_{RDS}	0		0		ns

*) SCLK 立ち上がり/立ち下がり: SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

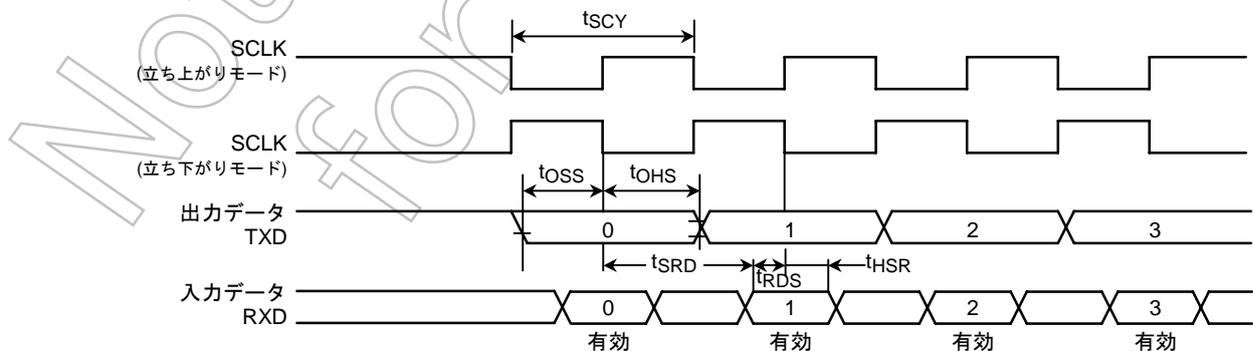
注) 36 MHz は $t_{SCY} = 16X$ のときの値です。

(2) SCLK 出力モード

項目	記号	計算式		36 MHz (注)		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	16X	8192X	0.44		μs
出力データ → SCLK 立ち上がり/立ち下がり*	t_{OSS}	$t_{SCY}/2 - 40$		180		ns
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t_{OHS}	$t_{SCY}/2 - 40$		180		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t_{HSR}	0		0		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t_{SRD}		$t_{SCY} - 1X - 90$		324	ns
有効データ入力 → SCLK 立ち上がり/立ち下がり*	t_{RDS}	$1X + 90$		117		ns

*) SCLK 立ち上がり/立ち下がり: SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注) 36 MHz は $t_{SCY} = 16X$ のときの値です。



4.6 タイマ入力パルス (TA0IN, TA4IN, TB0IN0, TB0IN1)

項目	記号	計算式		36 MHz		単位
		Min	Max	Min	Max	
クロック周期	t _{VCK}	8X + 100		320		ns
クロック低レベルパルス幅	t _{VCKL}	4X + 40		150		ns
クロック高レベルパルス幅	t _{VCKH}	4X + 40		150		ns

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定に依存します。

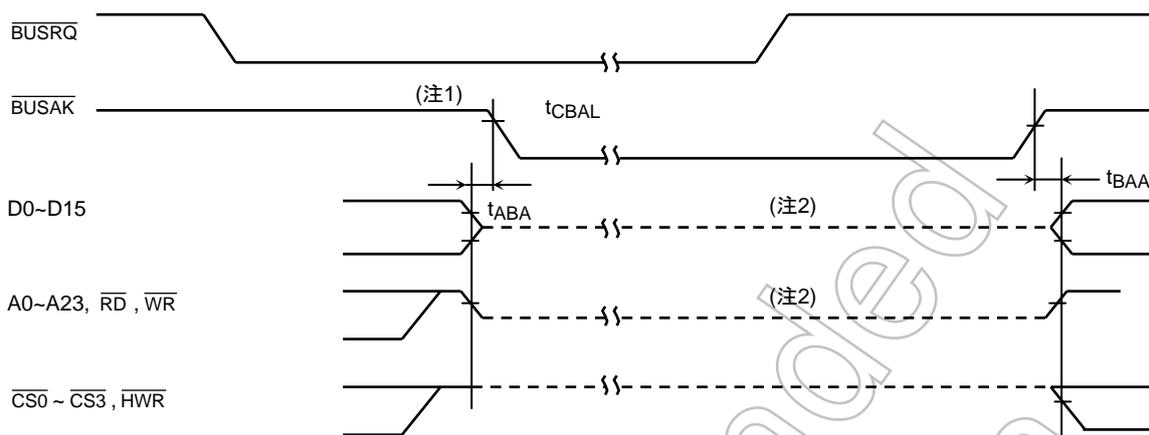
4.7 割り込み

注) 表中の「x」は、クロック f_{FPH} の周期を示します。f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定に依存します。

(1) $\overline{\text{NMI}}$, INT0~INT5 割り込み

項目	記号	計算式		36 MHz		単位
		Min	Max	Min	Max	
$\overline{\text{NMI}}$, INT0~INT5 低レベルパルス幅	t _{INTAL}	4X + 40		150		ns
$\overline{\text{NMI}}$, INT0~INT5 高レベルパルス幅	t _{INTAH}	4X + 40		150		ns

4.8 バスリクエスト/バスアクノリッジ



項目	記号	計算式		36 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	80	0	80	ns

注 1) $\overline{\text{BUSRQ}}$ を Low にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

注 2) この破線は、出力バッファが OFF になっていることだけを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定 (CR の時定数) が遅れますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて働き続けています。

5. 特殊機能レジスタ一覧表

特殊機能レジスタ: (SFR: Special function register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~000FFFFH の 4 K バイトのアドレス空間に割り付けられています。

- (1) 入出力ポート
- (2) 入出力ポート制御
- (3) 割り込み制御
- (4) チップセレクト/ウェイトコントローラ
- (5) クロック制御
- (6) 8 ビットタイマ制御
- (7) 16 ビットタイマ制御
- (8) UART/シリアルチャネル
- (9) AD コンバータ制御
- (10) ウォッチドッグタイマ

表の構成

記号	名称	アドレス	ビット											
			7	6	...				1	0				

→ Bit symbol
 → Read/Write
 → リセット時の初期値
 → 備考

* 表中の“RMW 禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例: PxCR レジスタのビット 0 のみを 1 にしたい場合、通常は“SET 0, (PxCR)”ですが、このレジスタは“RMW 禁”のため、LD (転送) 命令にて 8 ビットに対して書き込む必要があります。

記号の意味

R/W: リード/ライト可能

R: リードのみ可能

W: ライトのみ可能

W*: リード/ライト可能 (ただし、リードした場合、1 が出ます。)

RMW 禁: リードモディファイライトできません。(EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD 命令の使用不可)。

R/W*: 該当ポートのプルアップ制御の際には、リードモディファイライト命令は使用できません。

表 5.1 SFR アドレスマップ

[1] ポート

アドレス	レジスタ名
0000H	
1H	P1
2H	
3H	
4H	P1CR
5H	
6H	P2
7H	
8H	
9H	P2FC
AH	
BH	
CH	
DH	P5
EH	
FH	

アドレス	レジスタ名
0010H	P5CR
1H	P5FC
2H	P6
3H	P7
4H	P6CR
5H	P6FC
6H	P7CR
7H	P7FC
8H	P8
9H	P9
AH	P8CR
BH	P8FC
CH	P9CR
DH	P9FC
EH	PA
FH	

アドレス	レジスタ名
0020H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	ODE

アドレス	レジスタ名
0070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	PZ
EH	PZCR
FH	PZFC

[2] INTC

アドレス	レジスタ名
0080H	DMA0V
1H	DMA1V
2H	DMA2V
3H	DMA3V
4H	
5H	
6H	
7H	
8H	INTCLR
9H	DMAR
AH	DMAB
BH	
CH	IIMC0
DH	IIMC1
EH	
FH	

アドレス	レジスタ名
0090H	INTE0AD
1H	INTE12
2H	INTE34
3H	INTE5
4H	
5H	INTETA01
6H	INTETA23
7H	INTETA45
8H	
9H	INTETB0
AH	
BH	INTETB0V
CH	INTES0
DH	INTES1
EH	
FH	

アドレス	レジスタ名
00A0H	INTETC01
1H	INTETC23
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	MVEC0
FH	MVEC1

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[3] CS/WAIT

アドレス	レジスタ名
00C0H	B0CS
1H	B1CS
2H	B2CS
3H	B3CS
4H	
5H	
6H	
7H	BEXCS
8H	MSAR0
9H	MAMR0
AH	MSAR1
BH	MAMR1
CH	MSAR2
DH	MAMR2
EH	MSAR3
FH	MAMR3

[4] CGEAR, DFM

アドレス	レジスタ名
00E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] TMRA

アドレス	レジスタ名
0100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

アドレス	レジスタ名
0110H	TA45RUN
1H	
2H	TA4REG
3H	TA5REG
4H	TA45MOD
5H	TA5FFCR
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[6] TMRB

アドレス	レジスタ名
0180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

[7] UART/SIO

アドレス	レジスタ名
0200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	

[8] 10ビットADC

アドレス	レジスタ名
02A0H	ADREG04L
1H	ADREG04H
2H	ADREG15L
3H	ADREG15H
4H	ADREG26L
5H	ADREG26H
6H	ADREG37L
7H	ADREG37H
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
02B0H	ADM0D0
1H	ADM0D1
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[9] WDT

アドレス	レジスタ名
0300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Not Recommended
for New Design

(1) 入出力ポート

記号	名称	アドレス	7	6	5	4	3	2	1	0		
P1	Port 1	01H	P17	P16	P15	P14	P13	P12	P11	P10		
			R/W									
			外部端子データ (出力ラッチレジスタは0にクリアされます。)									
P2	Port 2	06H	P27	P26	P25	P24	P23	P22	P21	P20		
			R/W									
			1	1	1	1	1	1	1	1		
P5	Port 5	0DH		P56	P55	P54	P53					
			R/W*									
			外部端子データ (出力ラッチレジスタは1にセットされます。) 0(出力ラッチレジスタ): プルアップ抵抗 OFF 1(出力ラッチレジスタ): プルアップ抵抗 ON									
P6	Port 6	12H					P63	P62	P61	P60		
			R/W									
							1	0	1	1		
P7	Port 7	13H			P75	P74	P73	P72	P71	P70		
			R/W									
			外部端子データ (出力ラッチレジスタは1にセットされます。)									
P8	Port 8	18H	P87	P86	P85	P84	P83	P82	P81	P80		
			R/W									
			外部端子データ (出力ラッチレジスタは1にセットされます。) 0(出力ラッチレジスタ): プルアップ抵抗 OFF 1(出力ラッチレジスタ): プルアップ抵抗 ON									
P9	Port 9	19H		P96	P95	P94	P93			P90		
			R/W									
			外部端子データ (出力ラッチレジスタは1にセットされます。)									外部端子データ (出力ラッチレジスタは1にセットされます。)
PA	Port A	1EH	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0		
			R/W									
			外部端子データ									
PZ	Port Z	7DH					PZ3	PZ2				
			R/W									
			外部端子データ (出力ラッチレジスタは1にセットされます。)									

(2) 入出力ポート制御 (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P1CR	Port 1 control	04H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
			0: 入力 1: 出力							
P2FC	Port 2 function	09H (RMW 禁)	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			1	1	1	1	1	1	1	1
			0: ポート, 1: アドレスバス (A23-A16)							
P5CR	Port 5 control	10H (RMW 禁)	/	P56C	P55C	P54C	P53C	/	/	/
			W							
			/	0	0	0	0	/	/	/
			0: 入力 1: 出力							
P5FC	Port 5 function	11H (RMW 禁)	/	P56F	/	P54F	P53F	/	/	/
			/	W	/	W	/	/	/	
			/	0	/	0	0	/	/	/
			0: ポート 1: INT0	/	0: ポート 1: BUSAK	0: ポート 1: BUSRQ	/	/	/	
P6FC	Port 6 function	15H (RMW 禁)	/	/	/	/	P63F	P62F	P61F	P60F
			W							
			/	/	/	0	0	0	0	
			/	/	/	0: ポート 1: CS3	0: ポート 1: CS2	0: ポート 1: CS1	0: ポート 1: CS0	
P7CR	Port 7 control	16H (RMW 禁)	/	/	P75C	P74C	P73C	P72C	P71C	P70C
			W							
			/	/	0	0	0	0	0	
			0: 入力 1: 出力							
P7FC	Port 7 function	17H (RMW 禁)	/	P72F2	P75F	P74F	P73F	P72F1	P71F	P70F
			/	W	W	W	W	W	W	W
			/	0	0	0	0	0	0	
			0: ポート 1: INT2	0: ポート 1: INT4	0: ポート 1: TA5OUT	0: ポート 1: INT3	0: ポート 1: TA3OUT	0: ポート 1: TA1OUT	0: ポート 1: INT1	
P8CR	Port 8 control	1AH (RMW 禁)	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C
			W							
			0	0	0	0	0	0	0	
			0: 入力 1: 出力							
P8FC	Port 8 function	1BH (RMW 禁)	P87F	P86F	/	P84F	P83F	P82F	/	P80F
			W	W	/	W	W	W	/	W
			0	0	/	0	0	0	/	0
			0: ポート 1: STS1	0: ポート 1: SCLK1	/	0: ポート 1: TXD1	0: ポート 1: STS0	0: ポート 1: SCLK0	/	0: ポート 1: TXD0

入出力ポート制御 (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P9CR	Port 9 control	1CH (RMW 禁)		P96C	P95C	P94C	P93C			P90C
				W						W
				0	0	0	0			0
				0: 入力 1: 出力						0: 入力 1: 出力
P9FC	Port 9 function	1DH (RMW 禁)		P96F	P95F					P90F
				W	W				W	
				0	0				0	
				0: ポート 1: TB0OUT1	0: ポート 1: TB0OUT0				0: ポート 1: INT5	
PZCR	Port Z control	7EH (RMW 禁)					PZ3C	PZ2C		
							W			
							0	0		
						0: 入力 1: 出力				
PZFC	Port Z function	7FH (RMW 禁)						PZ2F		
							W			
							0			
							0: ポート 1: HWR			
ODE	Serial open drain	2FH (RMW 禁)				ODE84				ODE80
						W			W	
						0			0	
						1: P84ODE			1: P80ODE	

(3) 割り込み制御 (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	Interrupt enable 0 & AD	90H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTAD	割り込み要求レベル			1: INT0	割り込み要求レベル		
INTE12	Interrupt enable 2/1	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT2	割り込み要求レベル			1: INT1	割り込み要求レベル		
INTE34	Interrupt enable 4/3	92H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT4	割り込み要求レベル			1: INT3	割り込み要求レベル		
INTE5	Interrupt enable 5	93H	INT5				I5C	I5M2	I5M1	I5M0
			R/W				R	R/W		
			0				0	0	0	0
			1: INT5				割り込み要求レベル			
INTEA01	Interrupt enable timer A 1/0	95H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA1	割り込み要求レベル			1: INTTA0	割り込み要求レベル		
INTEA23	Interrupt enable timer A 3/2	96H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA3	割り込み要求レベル			1: INTTA2	割り込み要求レベル		
INTEA45	Interrupt enable timer A 5/4	97H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA5	割り込み要求レベル			1: INTTA4	割り込み要求レベル		
INTETB0	Interrupt enable timer B0	99H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB01	割り込み要求レベル			1: INTTB00	割り込み要求レベル		
INTETB0V	Interrupt enable timer B0 (オーバーフロー)	9BH	INTTBOF0 (TMRB0 オーバフロー)				ITF0C	ITF0M2	ITF0M1	ITF0M0
			R/W				R	R/W		
			0				0	0	0	0
			1: INTTBOF0				割り込み要求レベル			

割り込み制御 (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTES0	Interrupt enable serial 0	9CH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX0	割り込み要求レベル			1: INTRX0	割り込み要求レベル		
INTES1	Interrupt enable serial 1	9DH	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX1	割り込み要求レベル			1: INTRX1	割り込み要求レベル		
INTETC01	Interrupt enable TC0/1	A0H	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	Interrupt enable TC2/3	A1H	INTTC3				ITC2M0			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

Not Recommended for New Designs

割り込み制御 (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA 0 request vector	80H	/	/	DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
			/	/	R/W					
			/	/	0	0	0	0	0	0
			/	/	DMA0 起動ベクタ					
DMA1V	DMA 1 request vector	81H	/	/	DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
			/	/	R/W					
			/	/	0	0	0	0	0	0
			/	/	DMA1 起動ベクタ					
DMA2V	DMA 2 request vector	82H	/	/	DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
			/	/	R/W					
			/	/	0	0	0	0	0	0
			/	/	DMA2 起動ベクタ					
DMA3V	DMA 3 request vector	83H	/	/	DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
			/	/	R/W					
			/	/	0	0	0	0	0	0
			/	/	DMA3 起動ベクタ					
INTCLR	Interrupt clear control	88H (RMW 禁)	/	/	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
			/	/	W					
			/	/	0	0	0	0	0	0
			/	/	DMA 起動ベクタの書き込みにより、割り込み要求クリア					
DMAR	DMA software request register	89H (RMW 禁)	/	/	/	/	DMAR3	DMAR2	DMAR1	DMAR0
			/	/	/	/	R/W	R/W	R/W	R/W
			/	/	/	/	0	0	0	0
			/	/	1: DMA のソフト要求					
DMAB	DMA burst request register	8AH	/	/	/	/	DMAB3	DMAB2	DMAB1	DMAB0
			/	/	/	/	R/W	R/W	R/W	R/W
			/	/	/	/	0	0	0	0
			/	/	1: DMA のバースト要求					
IIMC0	Interrupt input mode control 0	8CH (RMW 禁)	-	I2EDGE	I2LE	I1EDGE	I1LE	I0EDGE	I0LE	NMIREE
			W	W	W	W	W	W	W	
			0	0	0	0	0	0	0	
			“0” をライトしてください。	INT2 エッジ 0: 立ち上がり 1: 立ち下がり	INT2 0: エッジ 1: レベル	INT1 エッジ 0: 立ち上がり 1: 立ち下がり	INT1 0: エッジ 1: レベル	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0: エッジ 1: レベル	1: NMI 立ち上がりでも動作。
IIMC1	Interrupt input mode control 1	8DH (RMW 禁)	/	I5EDGE	I5LE	I4EDGE	I4LE	I3EDGE	I3LE	/
			/	W	W	W	W	W	W	
			/	0	0	0	0	0	0	
			/	INT5 エッジ 0: 立ち上がり 1: 立ち下がり	INT5 0: エッジ 1: レベル	INT4 エッジ 0: 立ち上がり 1: 立ち下がり	INT4 0: エッジ 1: レベル	INT3 エッジ 0: 立ち上がり 1: 立ち下がり	INT3 0: エッジ 1: レベル	

(4) チップセレクト/ウェイトコントローラ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
B0CS	Block 0 CS/WAIT control register	C0H (RMW 禁)	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0		
			W		W	W	W	W	W	W		
			0		0	0	0	0	0	0		
			0: 禁止 1: 許可		00: ROM/SRAM 01: } 10: } Reserved 11: }	データバス 幅選択 0: 16ビット 1: 8ビット	000: 2ウェイト 001: 1ウェイト 010: (1+N)ウェイト 011: 0ウェイト	100: Reserved 101: 3ウェイト 110: 4ウェイト 111: 8ウェイト				
B1CS	Block 1 CS/WAIT control register	C1H (RMW 禁)	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0		
			W		W	W	W	W	W	W		
			0		0	0	0	0	0	0		
			0: 禁止 1: 許可		00: ROM/SRAM 01: } 10: } Reserved 11: }	データバス 幅選択 0: 16ビット 1: 8ビット	000: 2ウェイト 001: 1ウェイト 010: (1+N)ウェイト 011: 0ウェイト	100: Reserved 101: 3ウェイト 110: 4ウェイト 111: 8ウェイト				
B2CS	Block 2 CS/WAIT control register	C2H (RMW 禁)	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0		
			W	W	W	W	W	W	W	W		
			1	0	0	0	0	0	0	0		
			0: 禁止 1: 許可	0: 16 M 空間 1: エリア 設定	00: ROM/SRAM 01: } 10: } Reserved 11: }	データバス 幅選択 0: 16ビット 1: 8ビット	000: 2ウェイト 001: 1ウェイト 010: (1+N)ウェイト 011: 0ウェイト	100: Reserved 101: 3ウェイト 110: 4ウェイト 111: 8ウェイト				
B3CS	Block 3 CS/WAIT control register	C3H (RMW 禁)	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0		
			W		W	W	W	W	W	W		
			0		0	0	0	0	0	0		
			0: 禁止 1: 許可		00: ROM/SRAM 01: } 10: } Reserved 11: }	データバス 幅選択 0: 16ビット 1: 8ビット	000: 2ウェイト 001: 1ウェイト 010: (1+N)ウェイト 011: 0ウェイト	100: Reserved 101: 3ウェイト 110: 4ウェイト 111: 8ウェイト				
BEXCS	External CS/WAIT control register	C7H (RMW 禁)					BEXBUS	BEXW2	BEXW1	BEXW0		
							W	W	W	W		
							0	0	0	0		
							データバス 幅選択 0: 16ビット 1: 8ビット	000: 2ウェイト 001: 1ウェイト 010: (1+N)ウェイト 011: 0ウェイト	100: Reserved 101: 3ウェイト 110: 4ウェイト 111: 8ウェイト			
MSAR0	Memory start address register 0	C8H	S23	S22	S21	S20	S19	S18	S17	S16		
			R/W									
			1	1	1	1	1	1	1	1	1	
スタートアドレス A23-A16 設定												
MAMR0	Memory address mask register 0	C9H	V20	V19	V18	V17	V16	V15	V14-9	V8		
			R/W									
			1	1	1	1	1	1	1	1	1	
CS0 空間サイズ設定 0: アドレス比較対照												
MSAR1	Memory start address register 1	CAH	S23	S22	S21	S20	S19	S18	S17	S16		
			R/W									
			1	1	1	1	1	1	1	1	1	
スタートアドレス A23-A16 設定												
MAMR1	Memory address mask register 1	CBH	V21	V20	V19	V18	V17	V16	V15-9	V8		
			R/W									
			1	1	1	1	1	1	1	1	1	
CS1 空間サイズ設定 0: アドレス比較対照												

チップセレクト/ウェイトコントローラ (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory start address register 2	CCH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23-A16 設定							
MAMR2	Memory address mask register 2	CDH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS2 空間サイズ設定 0: アドレス比較対照							
MSAR3	Memory start address register 3	CEH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23-A16 設定							
MAMR3	Memory address mask register 3	CFH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS3 空間サイズ設定 0: アドレス比較対照							

Not Recommended for New Design

(5) クロック制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
SYSCR0	System clock control register 0	E0H	-	-	-	-	-	WUEF	PRCK1	PRCK0
			R/W							
			1	0	1	0	0	0	0	0
			"1" をライトしてください。	"0" をライトしてください。	"1" をライトしてください。	"0" をライトしてください。	"0" をライトしてください。	ウォームアップ 0 ライト: Don't care 1 ライト: スタート 0 リード: WUP 終了 1 リード: WUP 中	プリスケールクロック選択 00: f _{FPH} 01: Reserved 10: fc/16 11: Reserved	
SYSCR1	System clock control register 1	E1H	/	/	/	/	/	GEAR2	GEAR1	GEAR0
			R/W							
			0	1	0	0	"0" をライトしてください。 高速クロックのギア選択 000: 高速クロック 001: 高速クロック /2 010: 高速クロック /4 011: 高速クロック /8 100: 高速クロック /16 その他: Reserved			
SYSCR2	System clock control register 2	E2H	/	-	WUPTM1	WUPTM0	HALTM1	HALTM0	/	DRVE
			/	R/W	R/W	R/W	R/W	R/W	/	R/W
			0	1	0	1	1	"0" をライトしてください。 発振器用 WUP 時間選択 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード 1: STOP 中でも端子をドライブ。		
EMCCR0	EMC control register 0	E3H	PROTECT	-	-	-	-	EXTIN	-	-
			R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	1	0	0	0	1	1
			プロテクトフラグ 0: OFF 1: ON	"0" をライトしてください。	"1" をライトしてください。	"0" をライトしてください。	"0" をライトしてください。	1: fc 外部クロック	"1" をライトしてください。	"1" をライトしてください。
EMCCR1	EMC control register 1	E4H	"1FH" をライトでプロテクト OFF "1FH" 以外をライトでプロテクト ON							

注) EMCCR1

プロテクト ON 設定により、下記に示す特定の SFR へのライト動作ができなくなります。

(ライト動作ができなくなる SFR)

1. CS/WAIT コントローラ
B0CS, B1CS, B2CS, B3CS, BEXCS,
MSAR0/1/2/3, MAMR0/1/2/3
2. クロックギア (EMCCR1 のみはライト可能です。)
SYSCR0, SYSCR1, SYSCR2, EMCCR0

(6) 8ビットタイマ制御 (1/2)

(6-1) TMRA01

記号	名称	アドレス	7	6	5	4	3	2	1	0		
TA01RUN	8-bit timer RUN	100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN		
			R/W				R/W	R/W	R/W	R/W		
			0				0	0	0	0		
			ダブルパツファ				IDLE2	8ビットタイマ動作/停止制御				
			0: 禁止			0: 停止	0: 停止 & クリア					
			1: 許可			1: 動作	1: 動作 (カウントアップ)					
TA0REG	8-bit timer register 0	102H (RMW 禁)	-									
			W									
			不定									
TA1REG	8-bit timer register 1	103H (RMW 禁)	-									
			W									
			不定									
TA01MOD	8-bit timer source CLK & mode	104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			00: 8ビットタイマ		00: Reserved		00: TA0TRG		00: TA0IN 端子入力			
01: 16ビットタイマ		01: 2 ⁶ PWM 周期		01: φT1		01: φT1						
10: 8ビットPPG		10: 2 ⁷		10: φT16		10: φT4						
11: 8ビットPWM		11: 2 ⁸		11: φT256		11: φT16						
TA1FFCR	8-bit timer flip-flop control	105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS		
			R/W								R/W	
							1	1	0	0		
			00: TA1FFの反転				1: TA1FF反転イネーブル				0: TMRA0	
01: TA1FFのセット				10: TA1FFのクリア				1: TMRA1				
11: Don't care								による反転				

(6-2) TMRA23

記号	名称	アドレス	7	6	5	4	3	2	1	0		
TA23RUN	8-bit timer RUN	108H	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN		
			R/W				R/W	R/W	R/W	R/W		
			0				0	0	0	0		
			ダブルパツファ				IDLE2	8ビットタイマ動作/停止制御				
			0: 禁止			0: 停止	0: 停止 & クリア					
			1: 許可			1: 動作	1: 動作 (カウントアップ)					
TA2REG	8-bit timer register 0	10AH (RMW 禁)	-									
			W									
			不定									
TA3REG	8-bit timer register 1	10BH (RMW 禁)	-									
			W									
			不定									
TA23MOD	8-bit timer source CLK & mode	10CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			00: 8ビットタイマ		00: Reserved		00: TA2TRG		00: Reserved			
01: 16ビットタイマ		01: 2 ⁶ PWM 周期		01: φT1		01: φT1						
10: 8ビットPPG		10: 2 ⁷		10: φT16		10: φT4						
11: 8ビットPWM		11: 2 ⁸		11: φT256		11: φT16						
TA3FFCR	8-bit timer flip-flop control	10DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS		
			R/W								R/W	
							1	1	0	0		
			00: TA3FFの反転				1: TA3FF反転イネーブル				0: TMRA2	
01: TA3FFのセット				10: TA3FFのクリア				1: TMRA3				
11: Don't care								による反転				

(7) 16ビットタイマ制御

(7-1) TMRB0

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB0RUN	16-bit timer control	180H	TB0RDE	-			I2TB0	TB0PRUN		TB0RUN
			R/W	R/W			R/W	R/W		R/W
			0	0			0	0		0
			ダブルバッファ	"0" をライトしてください。			IDLE2 0: 停止 1: 動作	16ビットタイマ動作/停止制御 0: 停止 & クリア 1: 動作 (カウントアップ)		
TB0MOD	16-bit timer source CLK & mode	182H (RMW 禁)	TB0CT1	TB0ET1	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
			R/W		W*		R/W			
			0	0	1	0	0	0	0	0
			TB0FF1 INV TRG 0: TRG 禁止 1: TRG 許可		0: ソフトキャプチャ 1: 未定義	キャプチャタイミング (TB0IN0, TB0IN1) 00: 禁止 01: ↑, ↑ 10: ↑, ↓ 11: ↑, ↓ (TA1OUT)		1: UC0 クリア許可	ソースクロック 00: TB0IN0 入力 01: φT1 10: φT4 11: φT16	
TB0FFCR	16-bit timer flip-flop control	183H (RMW 禁)	TB0FF1C1	TB0FF1C0	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
			W*		R/W		W*			
			1	1	0	0	0	0	0	0
			TB0FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に "11" になります。		TB0FF0 反転トリガ 0: トリガ禁止 1: トリガ許可		TB0CP1 へのアップ カウンタ値 取り込み時	TB0CP0 へのアップ カウンタ値 取り込み時	アップカウンタと TB0RG1 と の一致時	アップカウンタと TB0RG0 と の一致時
TB0RG0L	16-bit timer register 0L	188H (RMW 禁)				-	W			
TB0RG0H	16-bit timer register 0H	189H (RMW 禁)				-	W			
TB0RG1L	16-bit timer register 1L	18AH (RMW 禁)				-	W			
TB0RG1H	16-bit timer register 1H	18BH (RMW 禁)				-	W			
TB0CP0L	Capture register 0L	18CH				-	R			
TB0CP0H	Capture register 0H	18DH				-	R			
TB0CP1L	Capture register 1L	18EH				-	R			
TB0CP1H	Capture register 1H	18FH				-	R			

(8) UART/シリアルチャネル

(8-1) UART/SIO チャネル 0

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC0BUF	Serial channel 0 buffer	200H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0		
			R (受信)/W (送信)								不定	
SC0CR	Serial channel 0 control	201H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC		
			R	R/W		R (読み出すと“0”にクリアされます。)				R/W		
			不定	0	0	0	0	0	0	0	0	
			受信データビット 8	パリティ 0: 奇数 1: 偶数	1: パリティ許可	1: エラー オーパラン			パリティ	フレーミング	0: SCLK0↑ 1: SCLK0↓	1: SCLK0 端子入力
SC0MOD0	Serial channel 0 mode 0	202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			送信データビット 8	1: CTS 許可	1: レシーブ許可	1: ウェイクアップ許可	00: I/O インタフェース 01: UART 7ビット 10: UART 8ビット 11: UART 9ビット		00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{SYS} 11: 外部クロック SCLK0			
BR0CR	Baud rate control	203H	-	BR0ADD	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			“0”をライトしてください。	1: (16 - K) / 16 分周許可	00: φT0 01: φT2 10: φT8 11: φT32		分周値設定 0-F					
BR0ADD	Serial channel 0 K setting register	204H					BR0K3	BR0K2	BR0K1	BR0K0		
			R/W									
							0	0	0	0	0	
SC0MOD1	Serial channel 0 mode 1	205H	I2S0	FDPX0							STSEN0	
			R/W	R/W							W	
			0	0							1	
			IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重							STS0 1: 出力 0: 停止	

(8-2) UART/SIO チャンネル 1

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC1BUF	Serial channel 1 buffer	208H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0		
			R (受信)/W (送信)									
			不定									
SC1CR	Serial channel 1 control	209H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC		
			R	R/W		R (読み出すと“0”にクリアされます。)				R/W		
			不定	0	0	0	0	0	0	0	0	
			受信データビット 8	パリティ 0: 奇数 1: 偶数	1: パリティ許可	1: エラー オーバーラン		パリティ	フレーミング	0: SCLK1↑ 1: SCLK1↓	1: SCLK1 端子入力	
SC1MOD0	Serial channel 1 mode 0	20AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			送信データビット 8	1: CTS 許可	1: レシーブ許可	1: ウェイクアップ許可	00: I/O インタフェース 01: UART 7ビット 10: UART 8ビット 11: UART 9ビット		00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{SYS} 11: 外部クロック SCLK1			
BR1CR	Baud rate control	20BH	-	BR1ADD	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0		
			R/W									
			0	0	0		0	0	0	0	0	
			“0”をライトしてください。	1: (16 - K) / 16 分周許可	00: φT0 01: φT2 10: φT8 11: φT32		分周値設定 0~F					
BR1ADD	Serial channel 1 K setting register	20CH					BR1K3	BR1K2	BR1K1	BR1K0		
			R/W									
			0	0	0	0	ボーレート 0 K 値設定 (1~F)					
SC1MOD1	Serial channel 1 mode 1	20DH	I2S1	FDPX1						STSEN1		
			R/W	R/W						W		
			0	0						1		
			IDLE2 0: 停止 1: 動作	同期式 1: 全二重 0: 半二重						STS1 1: 出力 0: 停止		

Not Ready for New

(9) AD コンバータ制御

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ADMOD0	AD mode register 0	2B0H	EOCF	ADBF	-	-	ITM0	REPEAT	SCAN	ADS		
			R		R/W	R/W	R/W	R/W	R/W	R/W		
			0	0	0	0	0	0	0	0		
			1: End	1: Busy	"0"をライトしてください。	"0"をライトしてください。	リピート時のINTタイミング	1: Repeat	1: Scan	1: Start		
ADMOD1	AD mode register 1	2B1H	VREFON	I2AD			ADTRGE	ADCH2	ADCH1	ADCH0		
			R/W	R/W			R/W	R/W				
			0	0			0	0	0	0		
			1: VREF ON	IDLE2 0: 停止 1: 動作			1: 外部トリガ許可	入力チャネル選択 000: AN0 AN0 001: AN1 AN0 → AN1 010: AN2 AN0 → AN1 → AN2 011: AN3 AN0 → AN1 → AN2 → AN3 100: AN4 AN4 101: AN5 AN4 → AN5 110: AN6 AN4 → AN5 → AN6 111: AN7 AN4 → AN5 → AN6 → AN7				
ADMOD2	AD mode register 2	2B2H	ADM27	ADM26	ADM25	ADM24	ADM23	ADM22	ADM21	ADM20		
			R/W									
			0	0	0	1	0	0	0	1		
ADMOD3	AD mode register 3	2B3H	ADM37	ADM36	ADM35	ADM34	ADM33	ADM32	ADM31	ADM30		
			R/W									
			1	1	0	0	1	1	1	1		
ADREG04L	AD result register 0/4 low	2A0H	ADR01	ADR00						ADR0RF		
			R							R		
			不定							0		
ADREG04H	AD result register 0/4 high	2A1H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02		
			R									
ADREG15L	AD result register 1/5 low	2A2H	ADR11	ADR10						ADR1RF		
			R							R		
			不定							0		
ADREG15H	AD result register 1/5 high	2A3H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12		
			R									
ADREG26L	AD Result register 2/6 low	2A4H	ADR21	ADR20						ADR2RF		
			R							R		
			不定							0		
ADREG26H	AD result register 2/6 high	2A5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22		
			R									
ADREG37L	AD result register 3/7 low	2A6H	ADR31	ADR30						ADR3RF		
			R							R		
			不定							0		
ADREG37H	AD result register 3/7 high	2A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32		
			R									
			不定									

(10) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT mode register	300H	WDTE	WDTP1	WDTP0			I2WDT	RESCR	-
			R/W	R/W	R/W			R/W	R/W	R/W
			1	0	0			0	0	0
			1: WDT 許可	00: 2 ¹⁵ /fSYS 01: 2 ¹⁷ /fSYS 10: 2 ¹⁹ /fSYS 11: 2 ²¹ /fSYS					IDLE2 0: Abort 1: Operate	1: リセット端子に WDT 出力を内部接続
WDCR	WDT control	301H (RMW 禁)	-							
			W							
			-							
			B1H: WDT ディセーブル				4EH: WDT クリア			

(11) マルチベクタコントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0
MVEC0	MULTI vector control	00AEH	VEC7	VEC6	VEC5	VEC4	VEC3	VEC2	VEC1	VEC0
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			1	1	1	1	1	1	1	1
			ベクタアドレス A15-A8							

記号	名称	アドレス	7	6	5	4	3	2	1	0
MVEC1	MULTI vector control	00AFH	VEC15	VEC14	VEC13	VEC12	VEC11	VEC10	VEC9	VEC8
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			1	1	1	1	1	1	1	1
			ベクタアドレス A23-A16							

注) MVEC1, MVEC0 への書き込みは、DI 状態で行ってください。

6. ポート部等価回路図

- 回路図の見方

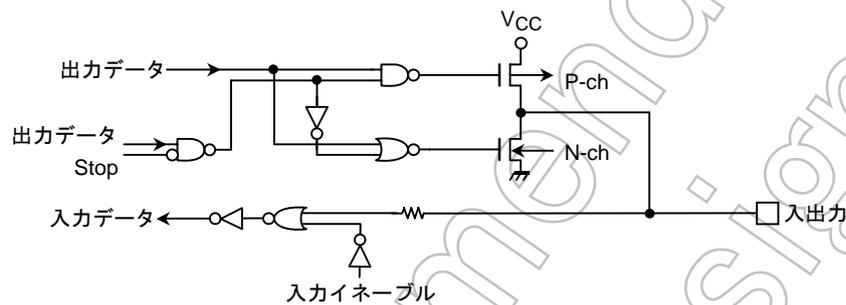
基本的に、標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。信号名の中で、特殊なものについては下記に示します。

STOP: この信号は、HALT モード設定レジスタを「STOP」モード (SYSCR2<HALTM1:0> = 0, 1) にして、CPU が HALT 命令を実行したときアクティブ 1 になります。

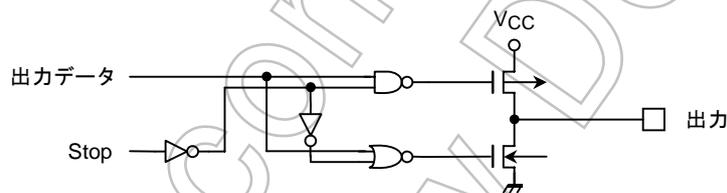
ただし、ドライブイネーブルビット SYSCR2<DRVE> が 1 にセットされているときは、STOP は 0 のままです。

- 入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

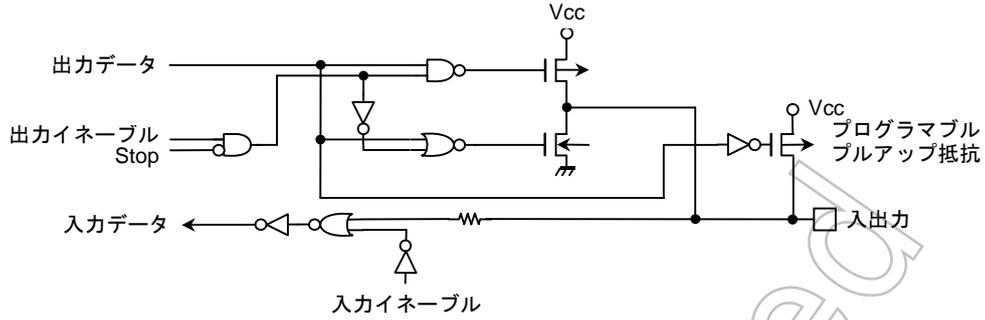
- D0~D7, P10~P17, P20~P27, A0~A15, P71, P74, P90, P93~P96



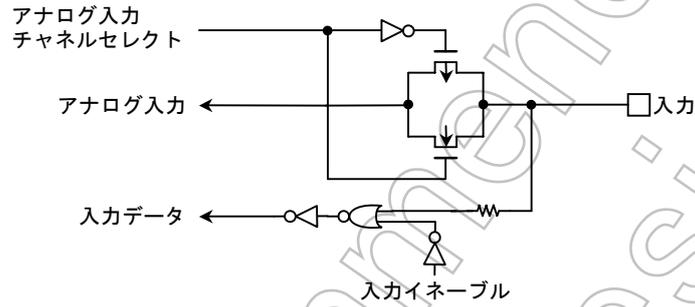
- \overline{RD} , \overline{WR} , P60~P63



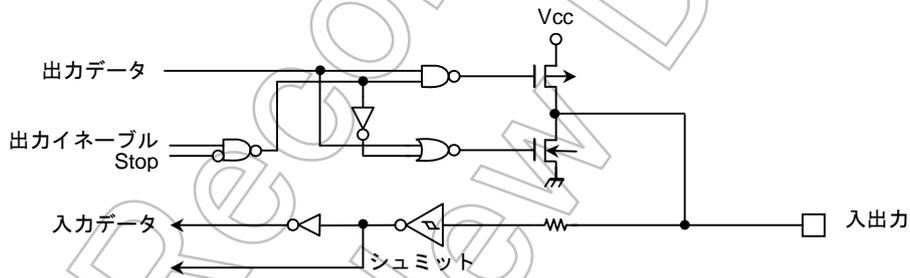
■ P53~P55, P80~P87, PZ2, PZ3



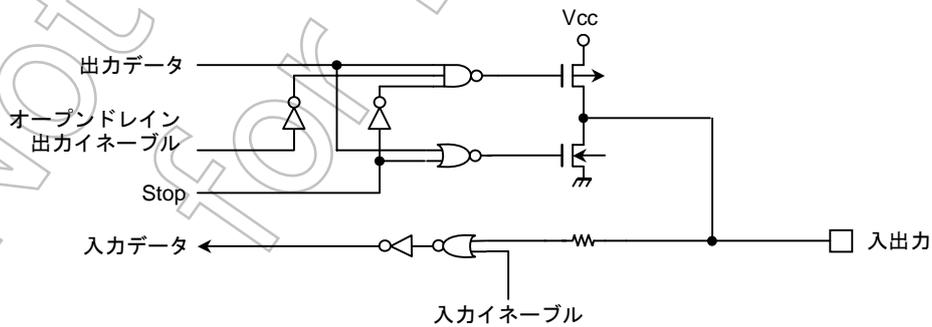
■ PA (AN0~AN7)



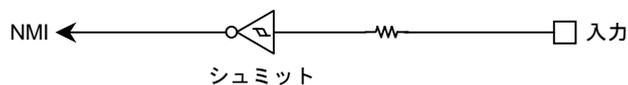
■ P56 (INT0), P70 (INT1), P72 (INT2), P73 (INT3), P75 (INT4), P90 (INT5),



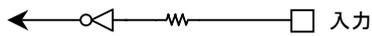
■ P80 (TXD0)



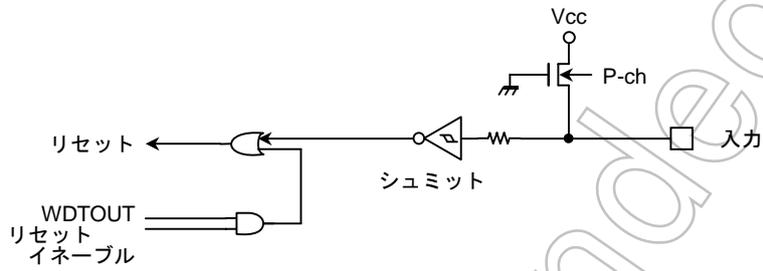
■ $\overline{\text{NMI}}$



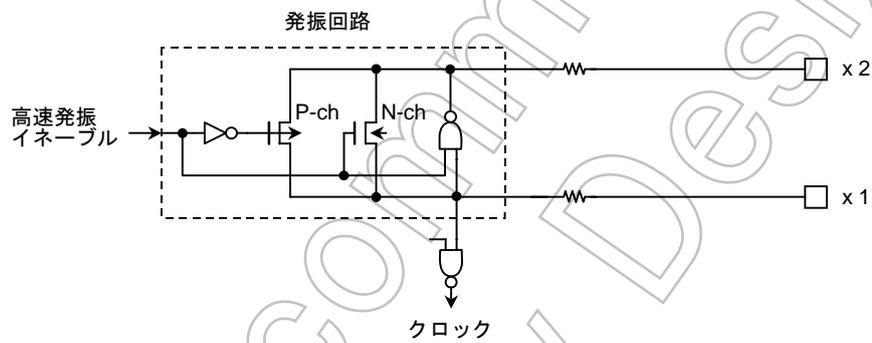
■ AM0~AM1



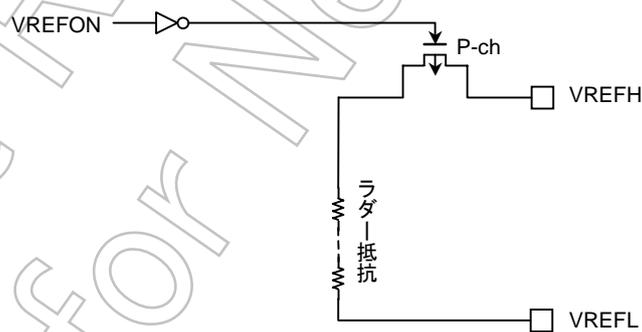
■ $\overline{\text{RESET}}$



■ X1, X2



■ VREFH, VREFL



7. 使用上の注意、制限事項

(1) 特別な表記、言葉の説明

- a. 内蔵 I/O レジスタの説明: レジスタシンボル <ビットシンボル>

例: TRUN<TORUN> … レジスタ TRUN のビット TORUN

- b. リードモディファイライト命令

CPU が 1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例 1: SET 3, (TRUN) … TRUN レジスタのビット 3 をセットする。

例 2: INC 1, (100H) … アドレス 100H のデータを +1 する。

- TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術演算

ADD (mem), R/# ADC (mem), R/#

SUB (mem), R/# SBC (mem), R/#

INC #3, (mem) DEC #3, (mem)

論理演算

AND (mem), R/# OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem) RES #3, (mem)

SET #3, (mem) CHG #3, (mem)

TSET #3, (mem)

ローテート、シフト

RLC (mem) RRC (mem)

RL (mem) RR (mem)

SLA (mem) SRA (mem)

SLL (mem) SRL (mem)

RLD (mem) RRD (mem)

- c. f_c , f_{FPH} , f_{SYS} , 1 ステート

X1/X2 端子より入力されるクロック周波数を f_c (f_{OSCH})、SYSCR1<SYSCK> で選択されたクロックを f_{FPH} 、 f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と呼びます。また、この f_{SYS} の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a. AM0~AM1 端子

本端子は HVcc 端子に接続し、動作中にレベル変動のないようにしてください。

b. EMU0~EMU1 端子

EMU0~EMU1 端子は“開放”して使用してください。

c. アドレス空間の予約領域

本製品では予約領域はありません。

d. スタンバイモード (IDLE1)

IDLE1 モード (発振器のみ動作) に設定し、HALT 命令を実行した場合、内蔵の時計用タイマは動作イネーブル状態ですので、必要に応じて時計用タイマの制御レジスタ RTCCR<RTCRUN> を 0 にして止めてください。

e. ウォームアップカウンタ

外部発振器を用いるシステムで STOP モードの解除を割り込みなどで行う際には、ウォームアップカウンタが動作するため、システムクロックが出力されるまでウォームアップ時間を要します。

f. プログラマブルプルアップ/プルダウン抵抗

プルアップ/プルダウン抵抗は、ポートを入力ポートとして使用するときのみ、プログラマブルに付加/付加なしを選択できます。出力ポートとして使用するときには、プログラマブルに選択することはできません。

付加/付加なしの選択は、該当ポートのデータレジスタ (例: P6 レジスタ) で制御しますが、その際にはリードモディファイライト命令は使用できませんので、転送命令を使用してください。

g. バス解放機能

バス解放時の端子状態などについて、3.6「ポート機能」の中で注意事項として掲載してありますので参照してください。

h. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作イネーブル状態となっているため、ウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

i. ウォッチドッグタイマ

バス解放機能を使用した場合、解放要求中もウォッチドッグタイマなどの I/O ブロックは動作していますので注意が必要です。

j. AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能がありますので、STOP モードなど消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

k. CPU (マイクロ DMA)

CPU 内にある転送元レジスタ (DMASn) などのコントロールレジスタへのデータ書き込み、読み出しは、“LDC cr, r”, “LDC r, cr” 命令のみで行えません。

l. 未定義の内蔵 I/O レジスタの扱い

定義されていない内蔵 I/O レジスタのビットは、リードを行うと不定値が出力されます。そのため、プログラムを作成するときは、このビット状態に依存しないものにしてください。

m. 「POP SR」命令

「POP SR」命令の実行は、DI 状態で行ってください。

n. 割り込み要求によるホルト状態からの解除

通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み ($\overline{\text{NMI}}$ 、INT0~INT4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

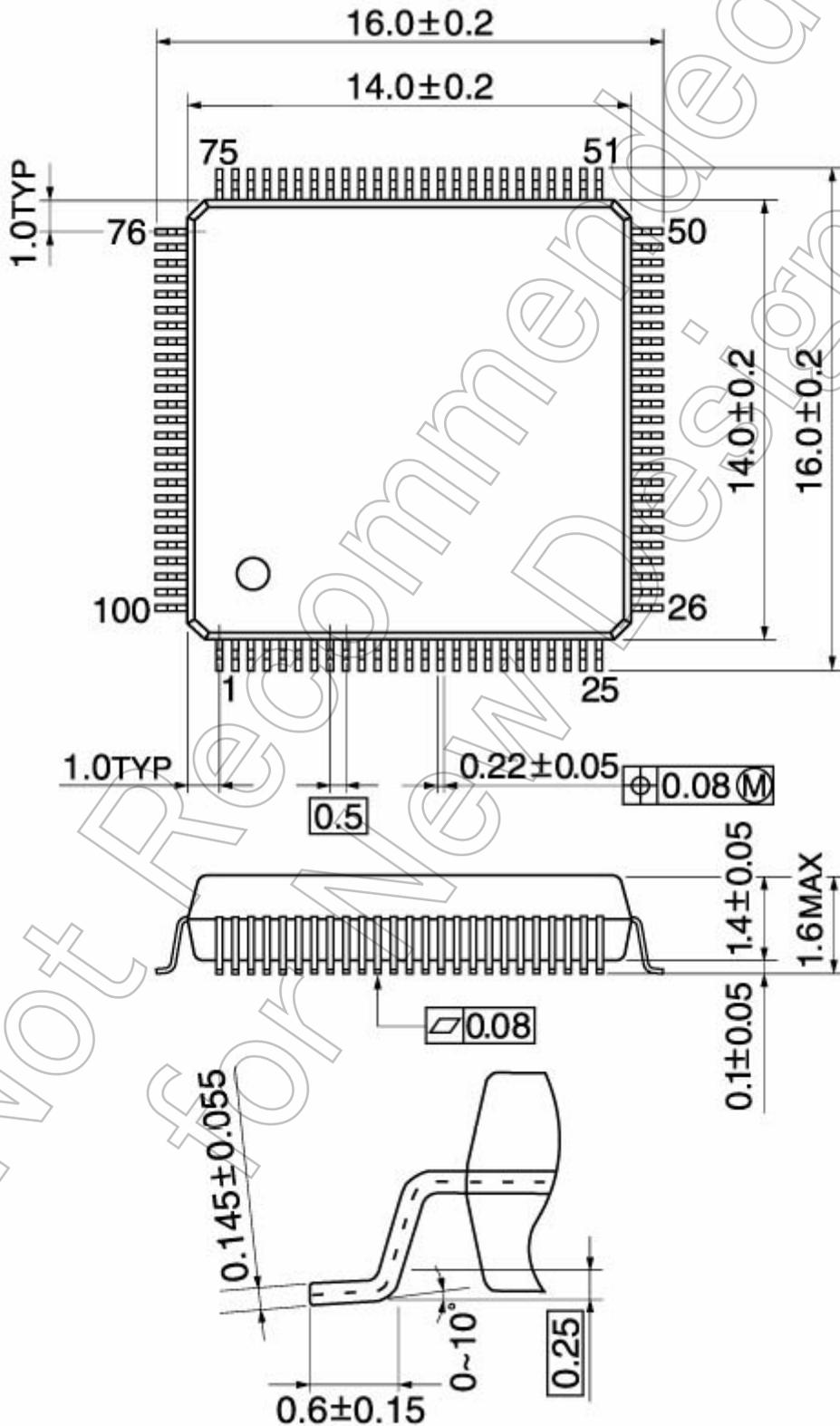
HALT モードへ完全に移行された後に再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended
for New Design

8. パッケージ外形寸法図

P-LQFP100-1414-0.50F

Unit: mm



Not Recommended
for New Design