32 ビット TX System RISC TX19 ファミリー TMP1962F10AXBG

REV1.5 2006年2月21日



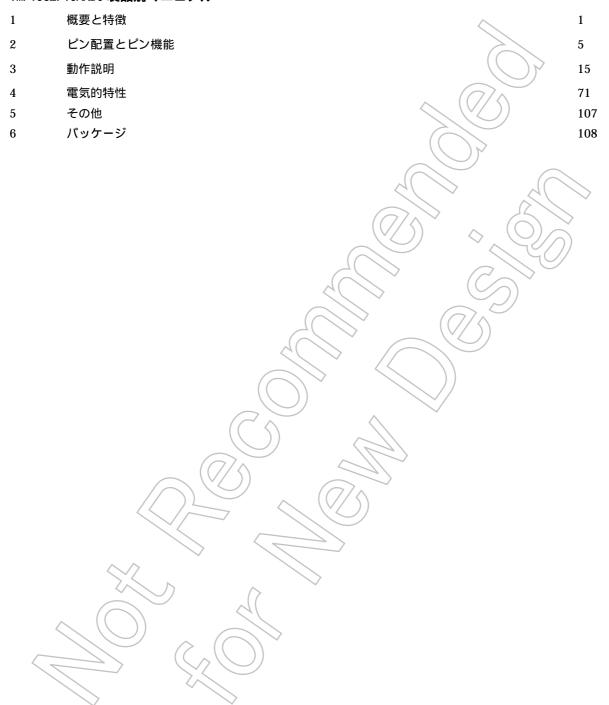
当社半導体製品取り扱い上のお願い

030519TBP

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下"特定用途"という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- ◆ 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されている ものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に 使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

目 次

TMP1962F10AXBG 製品別マニュアル



32 ビット RISC マイクロプロセッサ TX19 ファミリー TMP1962F10AXBG

1. 概要と特長

TX19 ファミリーは、米国 MIPS グループの RISC マイクロプロセッサである R3000A™をベースにして 当社が開発した TX39 プロセッサに、高コード効率の拡張命令セットである MIPS16™ASE (Application Specific Extension)を追加して、当社で独自開発した高性能な 32 ビット RISC プロッセサファミリーです。

TMP1962 は、TX19 プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP1962 の特長は次のとおりです。

(1) TX19 プロセッサコア

16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

16 ビット ISA モードの命令は、コード効率の優れた MIPS16™ASE とオブジェクトレベルで互換 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

高性能化と低消費電力化を同時に実現

高性能化

ほとんどの命令を1クロックで実行 3オペランドの演算命令により高性能を実現 5段パイプライン

高速メモリを内蔵

DSP 機能: 32 ビット積和演算を 1 クロックで実行

低消費電力化

低消費電力ライブラリを使用した最適化設計 プロセッサコアの動作を停止させるスタンバイ機能 リアルタイム制御に向いた高速割り込み応答 エントリーアドレスを独立化

割り込みマスクレベルを自動更新

要因別のベクタアドレスを自動生成

(2) 内蔵プログラムメモリ / データメモリ

製品名	内蔵 ROM	内蔵 RAM
TMP1962C10BXBG	1Mbyte	40Kbyte
TMP1962F10AXBG	1Mbyte(Flash)	40Kbyte

ROM コレクション機能(8ワード×8ブロック)

(3)外部メモリ拡張

16M バイト(プログラム/データ共通)まで拡張可能 外部データバス

セパレートバス / マルチプレクスバス : 8/16 ビット幅共存可能

4チャネル

(4) DMA コントローラ : 8 チャネル

割り込みもしくはソフトウエアにて起動

転送対象は内蔵メモリ、内蔵 1/0、外部メモリ及び外部 1/0

(5) 8 ビットタイマ (... 12 チャネル

8/16/24/32 ビットインターバルタイマモード

8ビットPWMモード

8ビットPPGモード

(6)16 ビットタイマ

16 ビットインターバルタイマモード

16 ビットイベントカウンタモード

16 ビット PPG 出力

インプットキャプチャ機能

二相パルス入力カウンタ機能(2チャネル)

(7)32 ビットインプットキャプチャ

32 ビットインプットキャプチャレジスタ 8 チャネル

32 ビットコンペアレジスタ (7/ヘ: 8チャネル

32 ビットタイムベースタイマ : 1チャネル

(8) 汎用シリアル・インタフェース : 7チャネル

UART/同期式モード選択可能

(9) シリアルバスインタフェース : 1チャネル

I²C バスモード/クロック同期式モード選択可能

(10) 10 ビット A/D コンバータ (S/H 有) : 24 チャネル

外部トリガスタート可能

チャネル固定/スキャンモード

シングル/リピートモード

タイマ監視機能

(11) ウォッチドックタイマ : 1チャネル

(12) チップセレクト/ウェイトコントローラ : 4 チャネル

(13)割り込み機能

CPU 4本 ····ソフトウエア割り込み命令

内部 55 本 ・・・・ 7 レベルの優先順位設定可能

(ウォッチドッグタイマ割り込みを除く)

外部 25 本 ···· 7 レベルの優先順位設定可能 (NMI 割り込みを除く)

またこの内、14本は KWUP であり割込み要因としては1本

(14) 入出力ポート ・・・・ 202 端子

(15)スタンバイ機能

2種類のスタンバイモード (IDLE, STOP)

(16) クロックジェネレータ

PLL 内蔵 (3 逓倍)

クロックギア機能: 高速クロックを 1/2, 1/4, 1/8 に分周

(17)エンディアン ・・・・ バイエンディアン

ビッグエンディアンの場合

,,,,			(∨ /)) /	\ \\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\
上位アドレス	31 24	23 16	3 15 8	1/ c	^ ワードアビレス)
↑	8	9	10	11	8
	4	5	6	7 /	4>
	0	1 <	2	3	0) 0

下位アドレス

バイト 0 が最上位バイト (ビット 31-24) です。

ワードのアドレスは、最上位バイト (バイト 0) のアドレスで指定します。

リトルエンディアンの場合

上位アドレス	31	24	23	16 15	8	7	0	ワードアドレス
↑	,	11	7 10		9/	8		8
		7 ((6		5	4		4
		3	$-$ / $_2$		1	0		0
ナムコル・コ						7		

下位アドレス

バイト 0 が最下位バイト (ビット 7-0) です。

ワードのアドレスは、最下位バイト (バイトの)のアドレスで指定します。

(18)動作周波数

40.5MHz ($Vcc = 2.2V \sim 2.7V$)

(19)パッケージ

P-FBGA281 (13mm×13mm, 0.65mm ピッチ)

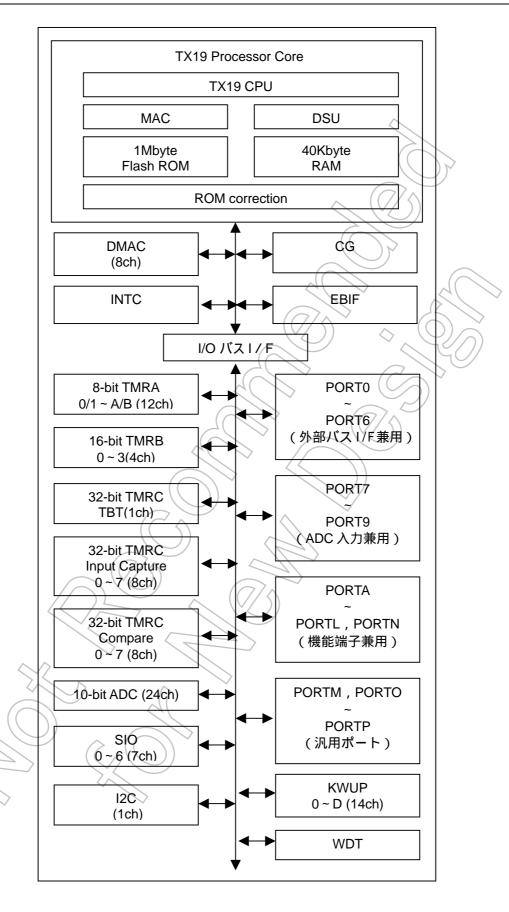


図 1.1 TMP1962F10AXBG ブロック図



2. ピン配置とピン機能

TMP1962 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図 (Top view)

TMP1962 のピン配置図は、図 2.1.1 のとおりです。

																	-
A1	A2	А3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	A17	
B1	B2	В3	B4	B5	В6	В7	B8	В9	B10	B11	B12	B13	B14	B15	B16	B17	B18
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16	C17	C18
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D 15	D16	D17	D18
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	£13	E14	E15	E16	E17	E18
F1	F2	F3	F4	F5		F7	F8	F9	F10	F11	F12		F14	F15	F16<	F17	F18
G1	G2	G3	G4	G5	G6							G13	G14	G15	G16	G17	G18
H1	H2	НЗ	H4	H5	Н6						V	H13	H14	H15	H16	H17))H18
J1	J2	J3	J4	J5	J6					1		J13	J14	J15	J16	J17	J18
K1	K2	K3	K4	K5	K6				2			K13	K14	K15	K16	K17	K18
L1	L2	L3	L4	L5	L6							L13	(14)	L45	L16	L17	L18
M1	M2	M3	M4	M5	M6							M13	M14	M15	M16	M17	M18
N1	N2	N3	N4	N5		N7	N8	N9	N10	N11	N12		N14	N15	N16	N17	N18
P1	P2	P3	P4	P5	P6	P7	P8 (P9	P10	P11	P12	P13	P14	P15	P16	P17	P18
R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	.R12	R13	R14	R15	R16	R17	R18
T1	T2	Т3	T4	T5	Т6	T7(T8	Т9	T10	T11	T12	T13	T14	T15	T16	T17	T18
U1	U2	U3	U4	U5	U6	[7)	U9	U10	U11	U12	U13	U14	U15	U16	U17	U18
	V2	V3	V4	V5	V6	V7) _{V8}	V9	V10	/\11	V12	V13	V14	V15	V16	V17	

図 2.1.1 ピン配置図 (P-FBGA281)

TMP1962 のピン番号とピン名称との関係はは、表 2.1.1 のとおりです。

表 2.1.1 ピン番号とピン名称 (1/2)

ピン番 号 <i>(</i>	ピン名称	ピン番 号	ピン名称	ピン番 号	ピン名称	ピン番 号	ピン名称	ピン番 号	ピン名称
A1	NC	A13	PK1/KEY1	B8	P75/AIN5	C2	PCST3 (DSU)	C14	PK6/KEY6
A2	VREFL	A14	PI1/INT1	B9	PL0/TA4IN	C3	P92/AIN18	C15	PI5/INT9
A3	P90/AIN16	A15	PI3/INT3	B10	PL3/TAAIN	C4	P95/AIN21	C16	TCK (JTAG)
A4	P93/AIN19	A16	PI6/INTA	B11	PM1	C5	P82/AIN10	C17	CVCC2
A5	P80/AIN8	A17	X2	B12	PM4	C6	P85/AIN13	C18	XT2
A6	P83/AIN11	B1	AVCC31	B13	PK2/KEY2	C7	P72/AIN2	D1	SDAO/TPC (DSU)
A7	P70/AIN0	B2	VREFH	B14	PI2/INT2	C8	AVSS	D2	PCST2 (DSU)
A8	P74/AIN4	В3	P91/AIN17	B15	PI4/INT4	C9	PL1/TA6IN	D3	SDI/DINT (DSU)
A9	NC	B4	P94/AIN20	B16	PI7	C10	PL4/TB0IN0	D4	DVCC2
A10	PL2/TA8IN	B5	P81/AIN9	B17	CVSS	C11	PM2	D5	P96/AIN22
A11	PM0	B6	P84/AIN12	B18	X1	C12	PM5	D6	P86/AIN14
A12	PK0/KEY0	В7	P71/AIN1	C1	PCST0 (DSU)	C13	PK3/KEY3	D7	P73/AIN3

表 2.1.2 ピン番号とピン名称 (2/2)

ピン番 号	ピン名称	ピン番 号	ピン名称	ピン番 号	ピン名称	ピン番 号	ピン名称	ピン番 号	ピン名称
D8	DVCC2	F18	P44/SCOUT	K14	P12/D10/AD10	N18	DVSS	T8	PD4/TXD4
D9	DVSS	G1	RESET	K15	P13/D11/AD11	P1	PP0	T9	PC0/TXD0
D10	PL5/TB0IN1	G2	TEST5	K16	P14/D12/AD12	P2	PB2/TB2IN0/INT5	T10	PC3/TXD1
D11	PM3	G3	FVCC2	K17	DVCC33	P3	PB3/TB2IN1/INT6	T11	PH4/TCOUT4
D12	PM6	G4	FVSS	K18	P15/D13/AD13	P4	PB4/TB2OUT	T12	PE2/SCLK5/CTS5
D13	PK4/KEY4	G5	PJ0/INT0	L1	FVCC3	P5	PB5/TB3IN0/INT7	T13	PE5/KEYB
D14	PK7/KEY7	G6	BW0	L2	PO1	P6	PG5/TC5IN	T14	P53/A3
D15	DVCC34	G13	TRST	L3	PO2	P7	PG7/TC7IN	T15	P56/A6
D16	TDI (JTAG)	G14	CAP1	L4	PO3	P8	PD6/SCLK4/CTS4	T16	P62/A10
D17	TDO (JTAG)	G15	P41/CS1	L5	PO4	P9 (PC2/SCLK0/CTS0	T17	P65/A13
D18	XT1	G16	P37/ALE	L6	P07	P10	PC5/SCLK1/CTS1	T18	P20/A16/A0
E1	DCLK (DSU)	G17	P35/BUSAK	L13	TEST3	P11	PH6/TCOUT6	U1	PA0/TA0IN
E2	PCST1 (DSU)	G18	FVCC2	L14	P06/D6/AD6 <	R12	→ NC △	(U2	PA3/TA3OUT
E3	DBGE	H1	NMI	L15	FVCC2	P13	P50/A0	U3	PA6/TA9OUT
E4	PJ3/INTLV	H2	DVCC31	L16	P07/D7/AD7	₽14	P51/A1	U4	PF1/SI/SCL
E5	PJ4/ENDIAN	НЗ	PN7	L17	P10/D8/AD8	P15	P54/A4	U5	PF5/DREQ3
E6	P97/AIN23	H4	BW1	L18	P11/D9/AD9	P16	P23/A19/A3	1 U6/	PG2/TC2IN
E7	P87/AIN15	H5	PLLOFF	M1	P00	P17	P24/A20/A4	U7	PD2/RXD3
E8	P76/AIN6	H6	TEST1	M2	PP5	P18	P25/A21/A5	U8	DVCC32
E9	<u>P7</u> 7/AIN7	H13	TEST2	М3	PP6	R1	PB0/TB00UT	U9	PC7/RXD2
E10	PL6/TB1IN0	H14	P31/WR	M4	PP7	R2	PB1/TB1OUT	U10	PH1/TCOUT1
E11	PL7/TB1IN1	H15	P32/HWR	M5	PB7/TB3OUT	R3	PF3/DREQ2	U11	PH3/TCOUT3
E12	PM7	H16	P33/WAIT/RDY	M6	DVCC32	R4	PF4/DACK2	U12	PE1/RXD5
E13	PK5/KEY5	H17	P30/RD	M13	TEST4	R5	PF7/TBTIN	U13	PE4/KEYA
E14	NC	H18	P40/CS0 (M14	P02/D2/AD2	R6	// PG4/TC4IN	U14	DVCC32
E15	TMS (JTAG)	J1	PN2/SCLK6/CTS6	M15	FVSS	R7	PG6/TC6IN	U15	P57/A7
E16	CVCCH	J2	PN3	M16	P03/D3/AD3	R8	PD5/RXD4	U16	P63/A11
E17	NC	J3	PN4	M17	P04/D4/AD4	R9	PC1/RXD0	U17	P66/A14
E18	DVCC2	J4	PN5	M18	P05/D5/AD5	, R10	PC4/RXD1	U18	DVCC33
F1	DVSS	J5	PN6	N1	PP1	R11	PH5/TCOUT5	V2	PA2/TA2IN
F2	DRESET	J6	DVCC2	N2	PP2	R12	PH7/TCOUT7	V3	PA5/TA7OUT
F3	SYSRDY	J13	FVSS	N3	(/PP3)	R13	PE6/KEYC	V4	PF0/SO/SDA
F4	PJ1/BUSMD	J14	P16/D14/AD14	N4	PP4	R14	P52/A2	V5	PG0/TC0IN
F5	PJ2/BOOT	J15	DVSS	N5	PB6/TB3IN1/INT8	R15	P55/A5	V6	PG1/TC1IN
F7	AVSS	J16	P17/D15/AD15	N7	DVSS	R16	P61/A9	V7	PD1/TXD3
F8	AVSS	J17	P36/ R/W	N8	PD7/KEY8	R17	P21/A17/A1	V8	PD0/SCLK2/CTS2
F9	AVCC32	J18	P34/BUSRQ	N9	DVCC2	R18	P22/A18/A2	V9	PC6/TXD2
F10	DVCC34	¥	PN0/TXD6	N10	DVSS	T1	PA1/TA1OUT	V10	PH0/TCOUT0
F11	PI0/ADTRG	∖ K2	PN1/RXD6	N11	RSTPUP	T2	PA4/TA5OUT	V11	PH2/TCOUT2
F12	DVSS	/кз	PO5	N12	DVSS	T3	PA7/TABOUT	V12	PE0/TXD5
F14	CAP2	K4	P06	N14	P26/A22/A6	T4	PF2/SCK	V13	PE3/KEY9
F15	P42/CS2	K5	FVSS	N15	P27/A23/A7	T5	PF6/DACK3	V14	PE7/KEYD
F16	P43/CS3	K6	DVSS	N16	P00/D0/AD0	T6	PG3/TC3IN	V15	P60/A8
F17	DVCC33	K13	TEST0	N17	P01/D1/AD1	T7	PD3/SCLK3/CTS3	V16	P64/A12
								V17	P67/A15



2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1 のとおりです。

表 2.2.1 ピン名称と機能 (1/6)

ピン名称	ピン数	入出力	機能
P00~P07	8	入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート
D0~D7		入出力	データ (下位) : データバス 0~7(セパレートバスモード)
AD0~D7		入出力	アドレスデータ (下位) : アドレス・データバス 0~7 (マルチプレクスバスモード)
P10~P17	8	入出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート
D8~D15		入出力	データ (上位): データバス 8~15: (セパレートバスモード)
AD8~AD15		入出力	アドレスデータ (上位): アドレス・データパス 8~15 (マルチプレクスバスモード)
A8~A15		出力	アドレス: アドレスバス 8~15(マルチプレクスバスモード)
P20~P27	8	入出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 15~23(セパレートバスモード)
A16~A23 A0~A7		出力	アドレス: アドレスバス 15~23(セパレードバスモード) アドレス: アドレスバス 0~7(マルチプレクスバスモード)
A16~A23		出力	アドレス: アドレスバス 0~7(マルチプレクスバスモード)
P30	1	出力	ポート 30: 出力専用ポート
RD		出力	リード: 外部メモリをリードするためのストローブ信号
P31	1	出力	ポート 31: 出力専用ポート
\overline{WR}		出力	ライト: D0~7 端子のデータをライトするためのストローブ信号
P32	1	入出力	ポート 32: 入出力ポート (ブルアップ付)
HWR		出力	上位ライト: D8~15 端子のデータをライトするためのストローブ信号
P33	1	入出力	ポート 33: 入出力ポート (プルアップ付)
WAIT		入力	ウェイト: CPU へのバスウェイト要求端子
RDY		入力	レディ: CPU へのバスレディ通知端子
P34	1	入出力	ポート 34: 入出力ポート (プルアップ付)
BUSRQ		入力	バスリクエスト: 外部マスタがバス制御権を CPU に要求する信号
P35	1	入出力	ポート 35: 入出力ポート (プルアップ付)
BUSAK		出力	バスアクノリッジ: BUSRQ を受け CPU がバス制御権を解放しているのを通知する信号
P36	1	入出力	ポート 36: 入出力ポート (プルアップ付)
R/\overline{W}		出力	リード/ライト: "1" でリードサイグルまたはダミーサイクルを "0" でライトサイクルを
			示します。
P37	1 //	入出力	ポート 37: 入出力ポート
ALE		出力	アドレスラッチイネーブル(外部メモリアクセス時のみイネーブル)
P40	1	入出力	ポート 40: 入出力ポート (プルアップ付)
CS0		出力	チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力
P41	_ 1	入出力	ポート 41: 入出力ポート (プルアップ付)
CS1	><	出力	チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力
P42	4	入出力	ポート 42: 入出力ポート (プルアップ付)
CS2		出力	チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力
P43	1))	入出力	ポート 43: 入出力ポート (プルアップ付)
CS3		出力〉((チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力
P44	<u></u>	入出力/〉	ポート 44: 入出力ポート
SCOUT		出力	システムクロック出力: CPU と同じ高速クロック、またはその 1/2、または低速クロックを出力
P50~P57	8	入出力	クを出力 ポート 5: ビット単位で入出力の設定ができる入出力ポート
A0~A7	0	出力	アドレス: アドレスバス 0~7(セパレートバスモード)
P60~P67	8	入出力	ポート 6: ビット単位で入出力の設定ができる入出力ポート
A8~A15	U	出力	アドレス: アドレスバス 8~15 (セパレートバスモード)
710-7110		ш/)	ZIVAZIVANA O (CAV INAC I)



表 2.2.2 ピン名称と機能(2/6)

ピン名称	ピン数	入出力	機能
P70~P77	8	入力	ポート 7: 入力専用ポート
AN0~AN7		入力	アナログ入力: A/D コンバータの入力
P80~P87	8	入力	ポート 8: 入力専用ポート
AN8~AN15		入力	アナログ入力: A/D コンバータの入力
P90~P97	8	入力	ポート 9: 入力専用ポート
AN16~AN23		入力	アナログ入力: A/D コンバータの入力
PI0	1	入出力	ポート 10: 入出力ポート
ADTRG		入力	A/D トリガ: A/D コンバータの外部スタート要求端子
			シュミット付き入力端子
PI1	1	入出力	ポート I1: 入出力ポート
INT1		入力	割込み要求端子1:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI2	1	入出力	ポート 12: 入出力ポート
INT2		入力	割込み要求端子 2:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能
			シュミット付き入力端子
PI3	1	入出力	ポート 13: 入出力ポート
INT3		入力	割込み要求端子 3:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能
			シュミット付き入力端子
PI4	1	入出力	ポート 14: 入出力ポート
INT4		入力	割込み要求端子 4:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能
			シュミット付き入力端子
PI5	1	入出力	ポート 15: 入出力ポート
INT9		入力	割込み要求端子 9:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能
			シュミット付き入力端子
PI6	1	入出力	ポート 16: 入出力ポート
INTA		入力	割込み要求端子 A:"H" レベル/"L" レベル/立ち上がり/下がりエッジ選択可能
DIZ	4	入出力	シュミット付き入力端子 ポート (7: 入出力ポート
PI7 PA0	1	入出力	ポート 40: 人出力ポート
TAOIN	'	入山力	ルード AU. 八山ガルード 8bit タイマ 0 入力: 8bit タイマ 0 の入力端子。
PA1	1	入出力	ポート A1: 入出力ポート
TA1OUT	'	出力	8bit タイマ 01 出力: 8bit タイマ 0 または 1 の出力端子。
PA2	1	入出力(7)	ポート A2: 入出力ポート
TA2IN	'	$\lambda \lambda $	8bit タイマ 2 入力: 8bit タイマ 2 の入力端子。
PA3	1 //	入出力	ボート A3: 入出力ボート
TA3OUT	. <<	出力	8bit タイマ 23 出力: 8bit タイマ 2 または 3 の出力端子。
PA4	1	入出力	ポート A4: 入出力ポート
TA5OUT	·	出力	8bit タイマ 45 出力: 8bit タイマ 4 または 5 の出力端子。
PA5	1,	入出力	ポート A5: 入出力ポート
TA7OUT	~/?	出力	8bit タイマ 67 出力: 8bit タイマ 6 または 7 の出力端子。
PA6	(1)	入出力	ポート A6: 入出力ポート
TA9OUT		入力	8bit タイマ 89 出力: 8bit タイマ 8 または 9 の出力端子。
PA7 \ (1))	入出力	ポートA7: 入出力ポート
TABOUT		出力	8bit タイマ AB 出力: 8bit タイマ A または B の出力端子。
PB0	1	入出力	ポート B0: 入出力ポート
TB00UT		出为	16bjt タイマ 0 出力: 18bit タイマ 0 の出力端子。
PB1	1	入出力	ポート B1: 入出力ポート
TB1OUT		出力	
PB2	1	入出力	ポート B2: 入出力ポート
TB2IN0		入力	16bit タイマ2入力 0: 16bit タイマ2のカウント/キャプチャトリガ入力
INT5		入力	割込み要求端子 5:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能
PB3	1	入出力	ポート B3: 入出力ポート
TB2IN1		入力	16bit タイマ 2 入力 1: 16bit タイマ 2 キャプチャトリガ入力
INT6		入力	割込み要求端子 6:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能

表 2.2.3 ピン名称と機能(3/6)

ピン名称	ピン数	入出力	機 能
PB4	1	入出力	ポート B4: 入出力ポート
TB2OUT		出力	16bit タイマ 2 出力: 16bit タイマ 2 の出力端子。
PB5	1	入出力	ポート B5: 入出力ポート
TB3IN0		入力	16bit タイマ3入力 0: 16bit タイマ3のカウント/キャプチャトリガ入力
INT7		入力	割込み要求端子 7:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能
PB6	1	入出力	ポート B6: 入出力ポート
TB3IN1		入力	16bit タイマ 3 入力 1: 16bit タイマ 3 キャプチャトリガ入力
INT8		入力	割込み要求端子8:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能
PB7	1	入出力	ポート B7: 入出力ポート
TB3OUT		出力	16bit タイマ 3 出力: 16bit タイマ 3 の出力端子。
PC0	1	入出力	ポート C0: 入出力ポート
TXD0		出力	シリアル送信データ 0:プログラムによりオープンドレイン出力端子
PC1	1	入出力	ポート C1: 入出力ポート
RXD0		入力	シリアル受信データ 0
PC2	1	入出力	ポート C2: 入出力ポート
SCLK0		入力	シリアルクロック入出力 0
CTS0		入力	シリアルデータ送信可能 0 (Clear To Send) :
			プログラムによりオープンドレイン出力端子
PC3	1	入出力	ポート C3: 入出力ポート
TXD1		出力	シリアル送信データ 1:プログラムによりオープンドレイン出力端子
PC4	1	入出力	ポート C4: 入出力ポート
RXD1		入力	シリアル受信データ1
PC5	1	入出力	ポート C5: 入出力ポート
SCLK1		入力	シリアルクロック入出力1
CTS1		入力	シリアルデータ送信可能 1 (Clear To Send):
			プログラムによりオープンドレイン出力端子
PC6	1	入出力	ポート C6: 入出力ポート
TXD2		出力	シリアル送信データ 2:プログラムによりオープンドレイン出力端子
PC7	1	入出力	ポート C7: 入出力ポート
RXD2		入力	シリアル受信データ2
PD0	1	入出力	ポート 00: 入出力ポート
SCLK2		入力	シリアルクロック入出力 2
CTS2		入力(()	シリアルデータ送信可能 2 (Clear To Send):
			プログラムによりオープンドレイン出力端子
PD1	1 //	入出力	ポート D1: 入出力ポート
TXD3		出为	シリアル送信データ 3:プログラムによりオープンドレイン出力端子
PD2	1	入出力	ポート D2: 入出力ポート
RXD3		入力	シリアル受信データ3
PD3	1,	入出力	ポート D3: 入出力ポート
SCLK3	5.4	入力	シリアルクロック入出力 3
CTS3		入力	シリアルデータ送信可能 3 (Clear To Send) :
			プログラムによりオープンドレイン出力端子
PD4 ((1))	入出力	ポート D4: 入出力ポート
TXD4		出力	シリアル送信データ 4:プログラムによりオープンドレイン出力端子
PD5	1	入出力	ポート D5: 入出力ポート
RXD4	>	入为	シリアル受信データ 4
PD6	1	入出力	ポート D6: 入出力ポート
SCLK4		入力	シリアルクロック入出力4
CTS4		入力	シリアルデータ送信可能 4 (Clear To Send) :
	<u> </u>		プログラムによりオープンドレイン出力端子
PD7	1	入出力	ポート D7: 入出力ポート
KEY8		入力	KEY on wake up 入力 8:(Dynamic pull up 選択可能)(プルアップ付き)
			シュミット付き入力

表 2.2.4 ピン名称と機能(4/6)

ピン名称	ピン数	入出力	機能
PE0	1	入出力	ポート E0: 入出力ポート
TXD5		出力	シリアル送信データ 5:プログラムによりオープンドレイン出力端子
PE1	1	入出力	ポート E1: 入出力ポート
RXD5		入力	シリアル受信データ 5
PE2	1	入出力	ポート E2: 入出力ポート
SCLK5		入力	シリアルクロック入出力 5
CTS5		入力	シリアルデータ送信可能 5 (Clear To Send):
		N . I . I	プログラムによりオープンドレイン出力端子
PE3	1	入出力	ポート E3: 入出力ポート
KEY9		入力	KEY on wake up 入力 9:(Dynamic pull up 選択可能)(プルアップ付き)
DE 4		入出力	シュミット付き入力 ポート E4: 入出力ポート
PE4	1	入山刀入力	バート E4: 八田川ホート KEY on wake up 入力 A:(Dynamic pull up 選択可能)(プルアップ付き)
KEYA		八刀	RET OIT WARE UP 入力 A. (Dyriatriic puit up 選款可能) (フルア シンドさ) シュミット付き入力
PE5	1	入出力	ポート E5: 入出力ポート
KEYB	ı	入山力	ホード E.S. 八田ガホード KEY on wake up 入力 B:(Dynamic pull up 選択可能)(プルアップ付き)
KEID		7(7)	シュミット付き入力
PE6	1	入出力	ポート E6: 入出力ポート
KEYC		入力	KEY on wake up 入力 C: (Dynamic pull up 選択可能) (プルアップ付き)
			シュミット付き入力
PE7	1	入出力	ポート C7: 入出力ポート
KEYD		入力	KEY on wake up 入力 D:(Dynamic pull up 選択可能)(プルアップ付き)
			シュミット付き入力
PF0	1	入出力	ポート F0: 入出力ポート
SO		出力	シリアルバスインタフェースの SIO モード時のデータ送信端子
SDA		入出力	シリアルバスインタフェースの I2C モード時のデータ送受信端子
			プログラムによりオープンドレイン出力端子
			シュミット付き入力
PF1	1	入出力	ポート F1: 入出力ポート
SI		入力	シリアルバスインタフェースの SIO モード時のデータ受信端子
SCL		入出力	シリアルバスインタフェースの I2C モード時のクロック入出力端子 プログラムによりオープンドレイン出力端子
			/ シュミット付き入力
PF2	1	入出力	ポート F2: 入出力ポート
SCK	'//	入出力	シリアルバスインタフェースの SIO モード時のクロック入出力端子
PF3	4<	入出力	ポート F3: 入出力ポート
DREQ2		入力	DMA リクエスト信号 2:外部 I/O デバイスから DMAC2 への DMA 転送要求入力
PF4	1	入出力	ポート F4: 入出力ポート
DACK2		出力	DMA アクノリッジ信号 2:DREQ2 による DMA 転送要求に対するアクノリッジ信号
PF5	<u>/</u> /)1	入出力	ポート F5: 入出力ポート
DREQ3	N	入力	DMA リクエスト信号 3:外部 I/O デバイスから DMAC3 への DMA 転送要求入力
PF6	$\sqrt{1}$	入出力	ポート F6: 入出力ポート
DACK3		出力	DMA アクノリッジ信号 3:DREQ3 による DMA 転送要求に対するアクノリッジ信号
PF7	リナー	入出力	ポート F7: 入出力ポート
TBTIN	_	入力 ((32bit タイムベースタイマ入力: 32bit タイムベースタイマのカウント入力
PG0~PG7	8	入出力	ポート G: ビット単位で入出力の設定ができる入出力ポート
TC0IN ~ TC7IN		入力	32bit タイマキャプチャトリガ入力
PH0 ~ PH7	8	入出力	ポート H: ビット単位で入出力の設定ができる入出力ポート
TCOUT0 ~ TCOUT7		出力	32bit タイマコンペア一致出力
PJ0	1	入出力	ポート JO: 入出力ポート
INT0		入力	割込み要求端子 0:"H" レベル/ "L" レベル/立ち上がり/下がりエッジ選択可能
			シュミット付き入力端子

表 2.2.5 ピン名称と機能(5/6)

ピン名称	ピン数	入出力	機能
PJ1	1	入出力	ポート J1: 入出力ポート
BUSMD		入力	外部バスモード設定端子: リセット信号の立ち上がりで"H (DVCC21) レベル"をサン
			プリングしてマルチプレクスバスとして、リセット信号の立ち上がりで"L"をサンプリ
			ングしてセパレートバスとして動作します。使用するバスモードに従ってリセット時
			にプルアップまたはプルダウンしてください。
PJ2	1	入出力	ポート J2: 入出力ポート
BOOT		入力	シングルブートモード設定端子:リセット信号の立ち上がりで"L"をサンプリングして
			シングルブートモードになります。内蔵フラッシュメモリの書き換え時に使用します。
			リセット信号の立ち上がりで"H(DVCC21)レベル"をサンプリングしてノーマル動作 (通常動作)します。通常使用時はリセット時にこの端子をプルアップしてください。
PJ3	1	入出力	(週帯動作) ひより。 週帯使用時はりとりで時にとめ端子をフルアップしてください。 ポート J3: 入出力ポート
INTLV	'	入山力	ハード 33. 八山/ハルード インターリーブモード設定端子:リセット信号の立ち上がりで"H(DVCC21)レベル"
IINILV		7(7)	をサンプリングします。この端子はリセット時にプルアップしてください。
PJ4	1	入出力	ポート J4: 入出力ポート
ENDIAN	'	入力	この端子はモード設定に使用されます。リセット信号の立ち上がりで"H(DVCC21)
21401/114		7 (7)	レベル"をサンプリングしてビッグエンディアンの動作を、リセット信号の立ち上がり
			で"L"をサンプリングしてリトルエンディアンの動作をします。使用するエンディアン
			に従ってリセット時にプルアップまたはプルダウンしてください。
PK0 ~ PK7	8	入出力	ポート K: ビット単位で入出力の設定ができる入出力ポート
KEY0 ~ KEY7		入力	KEY on wake up 入力 0~7:(Dynamic pull up 選択可能)(プルアップ付き)
			シュミット付き入力
PL0	1	入出力	ポート LO: 入出力ポート
TA4IN		入力	8bit タイマ 4 入力: 8bit タイマ 4 の入力端子。
PL1	1	入出力	ポート L1: 入出力ポート
TA6IN		入力	8bit タイマ 6 入力: 8bit タイマ 6 の入力端子。
PL2	1	入出力	ポート L2: 入出力ポート
TA8IN		入力	8bit タイマ 8 入力: 8bit タイマ 8 の入力端子。
PL3	1	入出力	ポート L3: 入出力ポート
TAAIN		入力	8bit タイマ A 入力: 8bit タイマ A の入力端子。
PL4	1	入出力	ポートレ4: 入出力ポート
TB0IN0	4	入力	16bit タイマ 0 入力 0: 16bit タイマ 0 のカウント/キャプチャトリガ入力
PL5 TB0IN1	1	入出力入力	ポート L5: 入出力ポート /16bit タイマ 0 入力 1: 16bit タイマ 0 キャプチャトリガ入力
PL6		入出力	ポート L6: 入出力ポート
TB1IN0	1 /	入力	がート L6. 八四月が一下 16bit タイマ 1 入力 0:/16bit タイマ 1 のカウント/キャプチャトリガ入力
PL7	1 (入出力	ポートレス入出力ポート
TB1IN1	' \	XX	16bit タイマ 1 入力 1: 16bit タイマ 1 キャプチャトリガ入力
PM0 ~ PM7	8	入出力	ポート M: ビット単位で入出力の設定ができる入出力ポート
PN0	1.	入出力	ポート N0: 入出力ポート
TXD6		出力	シリアル送信データ 6:プログラムによりオープンドレイン出力端子
PN1	1	入出力	ポート N1: 入出力ポート
RXD6		人力	シリアル受信データ 6
PN2 \ ((1	入出力	ポート N2: 入出力ポート
SCLK6		入力	シリアルクロック入出力 6
CTS6		入ガ〉 ((シリアルデータ送信可能 6 (Clear To Send) :
	>		プログラムによりオープンドレイン出力端子
PN3~PN7	5	入出力	ボート N3~N7: ビット単位で入出力の設定ができる入出力ポート
P00 ~ P07	8	入出力	ポート O: ビット単位で入出力の設定ができる入出力ポート
PP0 ~ PP7	8	入出力	ポート P: ビット単位で入出力の設定ができる入出力ポート

11

表 2.2.6 ピン名称と機能(6/6)

ピン名称	ピン数	入出力	機 能
NMI	1	入力	ノンマスカブル割り込み要求端子: 立ち下がりエッジの割り込み要求端子 シュミット付き入力
PLLOFF	1	入力	PLL 逓倍クロックを使用する場合は"H (DVCC21) "レベルに、使用しない場合は "L" レベルに固定してください。 (シュミット付き入力)
RSTPUP	1	入力	リセット時"H(DVCC32)"でポート 3、4PullUp イネーブル、"L"でディゼーブル シュミット付き入力
RESET	1	入力	リセット: LSI を初期化 (プルアップ付) シュミット付き入力
X1/X2	2	入出力	高速発振子接続端子
XT1/XT2	2	入出力	オープンにしてください
DRESET	1	入力	デバッグリセット:DSU-ICE 用信号(シュミット付き入力、プルアップ付き)
DCLK	1	出力	デバッグクロック:DSU-ICE 用信号
DBGE	1	入力	デバッガイネーブル:DSU-ICE 用信号(シュミット付き入力、プルアップ付き)
PCST3~0	4	出力	PC トレースステータス:DSU-ICE 用信号
SDI/DINT	1	入力	シリアルデータインプット/デバッグインタラプト:DSU-ICE 用信号
SDAO/TPC	1	出力	(シュミット付き入力、プルアップ付き) シリアルデータ・アドレスアウトプット/ターゲット PC:DSU-ICE 用信号
TCK	1	入力	テストクロック入力:JTAG テスト用信号(シュミット付き入力、プルアップ付き)
TMS	1	入力	テストモードセレクト入力: JTAG テスト用信号(シュミット付き入力、プルアップ付き)
TDI	1	入力	テストデータ入力:JTAG テスト用信号(シュミット付き入力、プルアップ付き)
TDO	1	出力	テストデータ出力:JTAG テスト用信号
TRST	1	入力	テストリセット入力:JTAG テスト用信号(シュミット付き入力、プルダウン付き)
BW0~1	2	入力	BW0="H(DVCC21)"、BW1="H(DVCC21)" に固定してください。 (シュミット付き入力)
VREFH	1	入力	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC に接続してください
VREFL	1	入力	A/D コンバータ用基準電源入力端子 (L) A/D コンバータを使用しないときは AVSS に接続してください
AVCC31 ~ 32	2 /	$\rightarrow //$	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。
AVSS	3 //		A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。
TEST0	1	\\-\-\-\-\-\-\-\-\-\-\-\-\-\-\-\-\-\-\	TEST 用端子:オープンまたは GND に固定してください
TEST1	1	入力	TEST 用端子 GND に固定してください
TEST2	. 1	-	TEST 用端子:オープンまたは GND に固定してください
TEST3	\ 1	-	TEST 用端子:オープンまたは GND に固定してください
TEST4		刀 -	TEST 用端子:オープンまたは GND に固定してください
TEST5	1	入力	TEST 用端子:GND に固定してください
SYSRDY	1))	出力	Flash メモリへのアクセス許可信号
CVCC2		\triangle	発振器用電源端:2.5V 系電源
CVSS	1	(- ^	発振器用 GND 端子(0V)
CVCCH	- 1	77	オープンにしてください
CAP1	1	<u>-</u>	オープンにしてください
CAP2	1	-	オープンにしてください
FVCC2	3	-	Flash 用電源端子: 2.5V 系電源
FVCC3	1	-	Flash 用電源端子: 3V 系電源
FVSS	4	-	Flash 用 GND 端子 (0V)
DVCC21 ~ 22	5	-	電源端子: 2.5V 系電源
DVCC31 ~ 34	9	-	電源端子: 3V 系電源
DVSS	9	-	GND 端子 (0V)

- (注 1) PJ1, PJ2, PJ3, PJ4 に関して、リセット信号の立ち上がり前後 1 システムクロック分、各端子の説明通りの状態("H (DVCC21)"レベルまたは"L"レベル)を保持してください。ただし、リセット端子は"L"レベル、"H"レベルともに安定した状態であることが必要です。
- (注 2) フラッシュ内蔵タイプ (TMP1962F10AXBG) では DSU プローブを接続してのデバッグが可能です。マスク ROM 内蔵タイプ (TMP1962C10BXBG) では DSU プローブを接続できますが、内蔵 ROM の読み出し、プロセッサコア以外のレジスタ / 内蔵メモリ / 外部への書き込みはできません。

ピン名称と電源供給端子の関係は、表 2.2.2 のとおりです。

表 2.2.2 ピン名称と電源

	電源			電源			
ピン名称	マスク品	フラッシュ品	ピン名称	マスク品	フラッシュ品		
P0	P0 DVCC33 DVCC33		PO _	DVCC31	DVCC31		
P1	DVCC33	DVCC33	PP((//	DVCC31	DVCC31		
P2	DVCC33	DVCC33	X1	CVCC15	CVCC2		
P3	DVCC33	DVCC33	X2	CVCC15	CVCC2		
P4	DVCC33	DVCC33	RESET	DVCC2((DVCC21		
P5	DVCC33	DVCC33	NMI	DVCC2	DVCC21		
P6	DVCC33	DVCC33	PLLOFF	DVCC2	DVCC21		
P7	AVCC32	AVCC32	DRESET	DVCC2	DVCC21		
P8	AVCC32	AVCC32	DCLK	DVCC2	DVCC21		
P9	P9 AVCC31		DBGE	DVCC2	DVCC21		
PA	DVCC32	DVCC32	PCST3~0	DVCC2	DVCC21		
PB	PB DVCC32		SDI/DINT	DVCC2	DVCC21		
PC	DVCC32	DVCC32	SDAO/TPC TCK	DVCC2	DVCC21		
PD	DVCC32	DVCC32		DVCC34	DVCC34		
PE /	DVCC32	DVCC32 /	TMS	DVCC34	DVCC34		
PF <<	DVCC32	DVCC32	\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\\	DVCC34	DVCC34		
PG	DVCC32	DVCC32	TDO	DVCC34	DVCC34		
PH	DVCC32	DVCC32	TRST	DVCC34	DVCC34		
<\PI\^	DVCC34	DVCC34	BW1 ~ 0	DVCC2	DVCC21		
PJ	DVCC2	/DVCC21	RSTPUP	DVCC32	DVCC32		
PK	DVCC34	DVCC34					
PL	PL DVCC34 PM DVCC34						
PM							
ÝΝ	DVCC31	DVCC31					

電源供給端子の動作電圧範囲を、表2.2.3に示します。

表 2.2.3 電源供給端子の動作電圧範囲

電源供給端子	動作電圧範囲	対応関係
DVCC15	1.35V ~ 1.65V	(
CVCC15	1.35V ~ 1.65V	マスク品
DVCC2	2.3V ~ 3.3V	
DVCC21	2.2V ~ 2.7V	
DVCC22	2.2V ~ 2.7V	
CVCC2	2.2V ~ 2.7V	フラッシュ品
FVCC2	2.2V ~ 2.7V	
FVCC3	2.9V ~ 3.6V	
DVCC31 ~ 34	1.65V ~ 3.3V	マネケ /
AVCC31 ~ 32	2.7V ~ 3.3V	フラッシュ共通

(注1) AVCC32 AVCC31

- · P7~P9をAD入力として使用する場合は、2.7V // AVCC3*
- P9 (AVCC31 系)を AD 入力として使用、P7、P8 (AVCC32 系)をポートとして使用する場合は

2.7V AVCC31 3.3V 1.65V AVCC32 AVCC31

・ P7 (AVCC32 系) を AD 入力として使用、P8 (AVCC32 系) P9 (AVCC31 系)をポートとして使用する場合は

2.7V AVCC32 AVCC31 3.3V

として使用してください。

(注2) TMP1962 は CPU、内部ロジック用電源(マスク品: DVCC15 / DVCC2 / CVCC15 / 、Flash 品: DVCC21 / DVCC22 / CVCC2 / FVCC3) が印加された状態で、他の I/O (ポート) 用電源を遮断することが可能です。但し、フラッシュ品 TMP1962F10A ではアナログ用電源 AVCC31 を遮断すると OV に安定するまでの過渡期に貫通電流が発生します。AVCC31 電源を遮断する前に変換結果 OV の AD 変換を行うことにより貫通電流を抑制することが可能ですが、応用機器での対応をお願い致します。

3. 動作説明

Flash 機能について、ハードウエアの構成およびその動作を説明します。本デバイスは TMP1962C10BXBG の内蔵 ROM を内蔵フラッシュメモリに置き換えたものです。その他の構成および機能は TMP1962C10BXBG と同一です。ここに記載されていない機能については TMP1962C10BXBG のデータシートを参照してください。

3.1 フラッシュメモリ

3.1.1 特長

1) メモリ容量

TMP1962 はフラッシュメモリ 8 Mビット (1024K バイト) を搭載しています。構成は 8 ブロック (128K バイト \times 8) になっており、各ブロック個別に書き込み/消去を禁止することができます。 CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。ライタにより書き替えを行う場合 (ライタモード) は 16 ビット幅のアクセスとなります。

- フラッシュメモリアクセス 本デバイスではインタリーブアクセスです。
- 3) 書き込み/消去時間

書き込み時間 (Verify 含む): 15 秒/Chip (Typ)

消去 (Verify 含む): 40 秒/Chip (Typ)

(注)上記値は理論時間を表しており、データ転送時間などは含まれていません。 Chip 当たりの時間はユーザーの書き替え方法により異なります。

4) プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードと、EPROM ライタで書き替えを行うライタモードがあります。

• オンボードプログラムモード 一

- 1) ユーザーブートモード

ユーザー独自の書き替え方法をサポート

2) シングルブートモード

シリアル転送 (当社オリジナル) での書き 替え方法をサポート

ライタモード

汎用 EPROM ライタでの書き替えをサポート。

5) 書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

本デバイスでは、ライタでのフラッシュデータの読み出しを禁止する、セキュリティ機能を追加しています。一方、書き替え禁止を設定するプロックプロテクトは、コマンド (ソフトウエア) による対応のみで 12 V 電圧を印加して設定する方式 (ハードウエア) には対応できません。前記セキュリテイ機能は全8BLOCK全てにブロックプロテクトを掛けると自動的に有効になり、ブロックプロテクトの解除を行うと内部データが自動的に消去され、その後にブロックプロテクトが解除されます。

JEDEC 準拠の機能	変更、追加、削除した機能
	<変更> ブロックプロテクト (ソフトウエアプロテクトのみサポート) <削除> 消去レジューム/サスペンド機能

3.1.2 フラッシュ部ブロック部

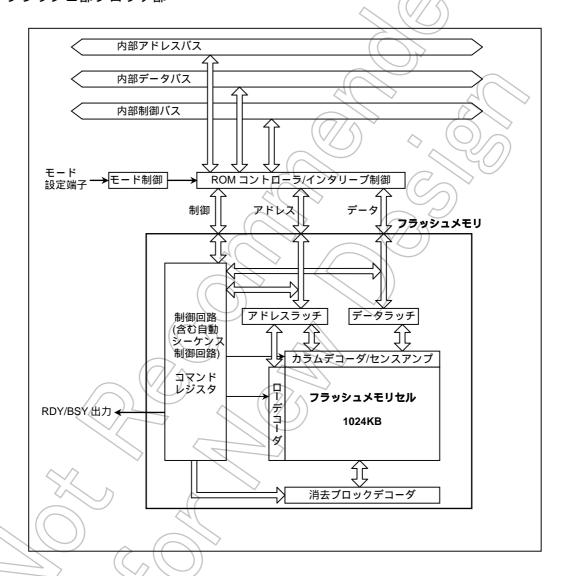


図 3.1.1 フラッシュ部ブロック図

3.2 動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、5 通りの動作状態 (モード) が存在します。

表 3.2.1 動作モード説明

動作モード名	動作の内容
動作で一下名	動IFの内台
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
	リセット立ち上がり時には INTLV 端子の"H"レベルの状態にしてください。
	$\langle \langle \langle \langle \rangle \rangle \rangle$
	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット
ノーマルモード	上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、
	後者を「ユーザーブートモード」と呼びます。
	この両者の切り替えはユーザーが独自に設定できます。
ユーザーブートモード	例えばポート 00 が '1' のときノーマルモード、'0' のときにユーザーブートモードというように自由に
	設計することが可能です。
	ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してくだ
	til.
シングルブートモード	リセット解除後、内蔵する Boot ROM (Mask ROM) から起動します。Boot ROM には、本デバイスのシ
	リアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラ
	ムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を
	行うことで内蔵フラッシュの書き替えが実行できます。
ライタモード	汎用の EPROM ライタで内蔵フラッッシュメモリを書き替えるためのモードです。規定のプログラムア
	ダプタと、推奨するライタをご使用ください。

上記表において、プログラムが可能なフラッシュメモリの動作モードは ユーザーブートモード、シングルブートモード、ライタモードの3つです。このうち、ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この2つを総称してオンボードプログラミングモードと定義します。



シングルチップ、シングルブートおよびライタの各動作モードは、リセット状態で入力端子 BW0、 BW1、 $\overline{\mathrm{BOOT}}$ 、 $\overline{\mathrm{INTLV}}$ のレベルを外部で設定することにより決定されます。 $\overline{\mathrm{PJ2}}(\overline{\mathrm{BOOT}})$ および PA 2 ($\overline{\mathrm{INTLV}}$)はリセット解除後には汎用ポートとして使用できます。

CPU はライタモードを除き、状態設定後リセットを解除することにより各動作モードで動作を開始します。ライタモードはRESET = "0" のまま使用します。それぞれモード設定後は動作中にレベルの変更がないようにしてください。以下に各動作モードの設定方法とモード遷移図を示します。

	F1	
	動作モード	入力端子
	±311 C 1	RESET BWO BW1 BOOT INTLY
(1)	シングルチップモード	0 1 1 1 1
(2)	シングルブートモード	0 1 1 1 0 *1
(3)	ライタモード	0 0 1 *1 *1

表 3.2.2 動作モード設定表

*1 Don't Care。 ただし、0 もしくは 1 に固定。

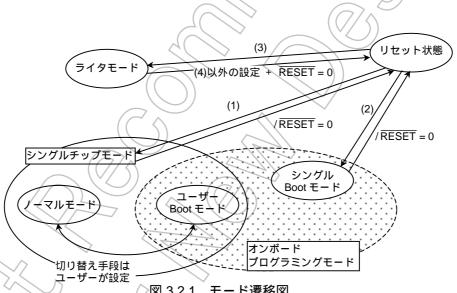


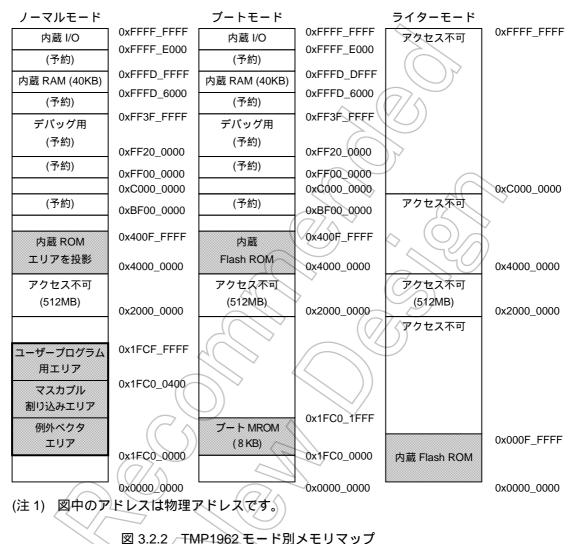
図 3.2.1 モード遷移図
()数字は上表の対応するモードの入力端子状態に設定することを意味します。

3.2.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間 (40.5 MHz 動作で PLL 使用時は 2.37 (40.5 RESET) 入力を "0" にしてください。

3.2.2 モード別メモリマップ

本製品では動作モードごとにメモリマップが変わります。以下に、各動作モードごとのメモ リマップを示します。



128KB Block-0 128KB Block-1 Block-2 128KB Block-3 128KB Block-4 128KB Block-5 128KB

Block-6 128KB Block-7 128KB 1024KB

図 3.2.3 ブロック分割

表 3.2.3 モード	別ブトック	フアドレス	節用表
-------------	-------	-------	-----

	ユーザ Boot モード	Boot モード	ライタモード
Block-0	0x1FC0_0000 ~ 0x1FC 1_FFFF (または 0x4000_0000 ~ 0x4001_FFFF)	0x1FC0_0000~0x1FC1_FFFF	0x0000_0000 ~ 0x0001_FFFF
Block-1	0x1FC2_0000 ~ 0x1FC3_FFFF (または 0x4002_0000 ~ 0x4003_FFFF)	0x1FC2_0000 ~ 0x1FC3_FFFF	0x0000_8000 ~ 0x0003_FFFF
Block-2	0x1FC4_0000 ~ 0x1FC5_FFFF (または 0x40040000 ~ 0x4005_FFFF)	0x1FC4_0000 ~ 0x1FC5_FFFF	0x0001_0000 ~ 0x0005_FFFF
Block-3	0x1FC6_0000 ~ 0x1FC7_FFFF (または 0x4006_0000 ~ 0x4007_FFFF)	0x1FC6_0000 ~ 0x1FC7_FFFF	0x0001_8000 ~ 0x0007_FFFF
Block-4	0x1FC8_0000 ~ 0x1FC9_FFFF (または0x4008_0000 ~ 0x4009_FFFF)	0x1FC8_0000 ~ 0x1FC9_FFFF	0x0002_0000 ~ 0x0009_FFFF
Block-5	0x1FCA_0000 ~ 0x1FCB_FFFF (または 0x400A_0000 ~ 0x400B_FFFF)	0x1FCA_0000 ~ 0x1FCB_FFFF	0x0002_8000 ~ 0x000A_FFFF
Block-6	0x1FCC_0000 ~ 0x1FCD_FFFF (または 0x400C_0000 ~ 0x400D_FFFF)	0x1FCC_0000 ~ 0x1FCD_FFFF	0x0003_0000 ~ 0x000B_FFFF
Block-7	0x1FCE_0000 ~ 0x1FCF_FFFF (または 0x400E_0000 ~ 0x400F_FFFF)	0x1FCE_0000 ~ 0x1FCF_FFFF	0x0003_8000 ~ 0x000C_FFFF

3.2.3 インターリーブ

リセット信号の立ち上がりでポート J3(PJ3)の "H" レベルをサンプリングしてインターリーブモードになります。本デバイスでは PJ3 を "H" レベルに設定してください。

3.2.4 ブロックプロテクト

ブロック分割されたそれぞれのブロック(128KB×8)は、独立したプロテクトビットを有し、ブロックプロテクトコマンドを使用することによりプログラム/消去を無効にする(ロックする)ことが可能です。チップ消去、もしくはプロテクトされたブロックを含むマルチブロック消去を行った場合は、プロテクトされたブロックのみ消去されずにほかのブロックは消去されます。ブロックプロテクトはフラッシュメモリセルで操作するために電源オフしてもプロテクト情報は保持されます。また、全 Blaock にプロテクトを掛けると、後述のライターモードでの読み出し動作も禁止されて、セキュリテイ機能を実現できます。



3.2.5 DSU-probe インタフェース

DSU-probe を利用してデバッグするときに使用します。DSU-probe と接続される専用 I/Fです。DSU-probe を利用したデバッグの詳細に関しては、ご使用の DSU-probe の取扱説明書を参照してください。ここでは、DSU モードに関するセキュリティ機能について説明します。

(1) セキュリティ機能

本デバイスは、オンボード上で DSU-probe を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにするセキュリティ機能をもっています。セキュリティ機能を有効にすることにより、DSU-probeを使用して内蔵フラッシュの内容を読み出すことは不可能になります。後述の内蔵フラッシュ本体へのセキュリティ機能とあわせてご使用願います。

(2) セキュリティオン (DSU-probe を使用してのデバッグを無効)

ユーザーはプログラムデバッグ完了時に、ブラッシュの全8ブロック全でに後述のプロテクトコマンドを発行してプロテクトをかける事により、フラッシュ本体に対してセキュリティ機能を有効にします。この状態ではライタを使用してリードを行っても内蔵フラッシュのデータはリードできません。電源オフ後、次のパワーオン時にセキュリティ機能がセットされ、セキュリティが解除されるまで DSU-probe を使用してのデバッグは不可能となります。

(3) セキュリティオフ (DSU-probe を利用してのデバッグを有効)

セキュリティを解除する方法は、暴走などによる偶発解除を防ぐために二重構造になっており、セキュリティモードレジスタ SEQMOD<SEQON> = "0" にし、セキュリティコード "0x0000_00C5" をセキュリティ制御レジスタ SEQCNT に書き込みます。この後、DSU-probe を使用したデバッグが有効になります。電源をオフしない状態で、SEQMOD<SEQON> = "1"にし、SEQCNTに "0x0000_00C5" を書き込むことにより再びセキュリティ機能が有効になります。

SEQMOD (0xFFFF_E510)

					100				
		31	30	29	28	→ 27	26	25	24
	bit Symbol				7				
	Read/Write)	-(O	$/\wedge$				
	リセット後								
	機能								
		23	22 —	21	20	19	18	17	16
	bit Symbol	\							
4	Read/Write								
	リセット後		\wedge						
	機能		AI.						
	***	15	14	13	12	11	10	9	8
	bit Symbol	> ((
/	Read/Write		\cup)						
	リセット後)						
	機能	, ///							
		7	6	5	4	3	2	1	0
	bit Symbol								SEQON
	Read/Write								R/W
	リセット後								1
	機能								1: セキュリティ
									オン
									0: セキュリティ
									オフ

(注) 本レジスタは32 ビットのアクセスになり、ビット1 からビット31 はリードすると0 になります。

SEQCNT (0xFFFF_E514)

	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	W								
リセット後									
機能			"0x0000	_00C5" をラ	イトしてく	ださい。			
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write				V	٧				
リセット後									
機能	"0x0000_00C5" をライトして <i>くだ</i> さい								
	15	14	13	12	11	(10)	9	8	
bit Symbol									
Read/Write				V	v ((15			
リセット後						7)			
機能			"0x000	0_00C5"を	ライトしてく	ください			
	7	6	5	4	3	2	d(1)	0	
bit Symbol									
Read/Write				. ((//v	v\	, ((7)		
リセット後						0,6			
機能	"0x0000_00C5" をライトしてください								

- (注1) 本レジスタは32ピットのアクセスになります。
- (注 2) 本セキュリティ機能は保証できるものではなく、内蔵 ROM の守秘が第一の場合には、マスク ROM 内蔵タイプの使用をお願い致します。
 - (4) ユーザー使用例

本セキュリティ機能を使用した DSU-probe の使用例を以下に示します。

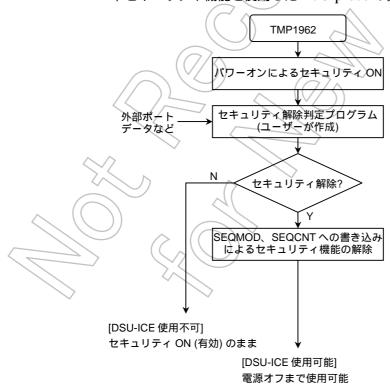


図 3.2.4 セキュリティ機能の使用例

3.3 オンボードプログラミングモード

ユーザーのシステムセット上で書き替えができるオンボードプログラミングモードは、シリアル I/O を利用した当社独自の書き替え方式をサポートするシングルブートモード、シングルチップモード内においてユーザーが独自に書き替え方式を構築できるユーザーブートモードがあります。

また、本デバイスはライタモード中に、ROM データの読み出しを禁止する「セキュリティ機能」を持っています。オンボードプログラミング完了時にセキュリティ機能をオンにしておくことで、第三者への ROM データ流出を最小限にすることができます。

3.3.1 ユーザーブートモード (シングルチップモード)

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。したがって、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード(通常動作モード)中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにプロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスカブルを含めたすべての割り込み発生を禁止してください。

書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A)、(1-B) にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「3.4 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

ユーザーブートモード

(1-A) 書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

(Step-1)

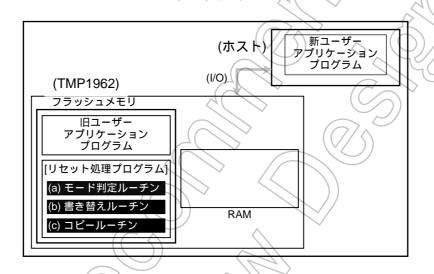
ユーザーは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す3つのプログラムを書き込んでおきます。

(a) モード判定ルーチン: 書き替え動作に移るためのプログラム

(b) フラッシュ書き換えルーチン: 書き替えデータを外部から取り込み、フラッシュメモリを書

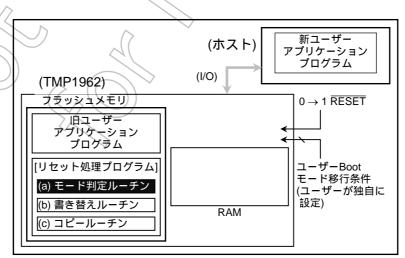
き替えるためのプログラム

(c) コピールーチン: 上記 (b) を内蔵 RAM または外部メモリにコピーするための プログラム



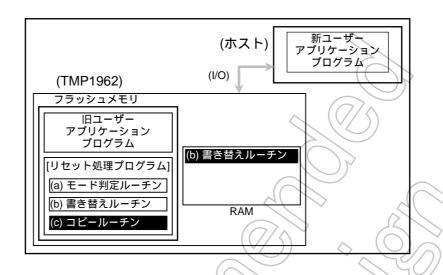
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降 NMI を含む割り込みを使わないでください。)



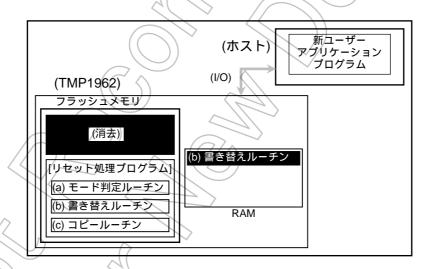
(Step-3)

ユーザーブートモードに移ると、(c) コピールーチンを使用して、(b) 書き替えルーチンを内部 RAM もしくは外部メモリにコピーします。(下図は内部 RAM ヘコピーした場合を示します。)



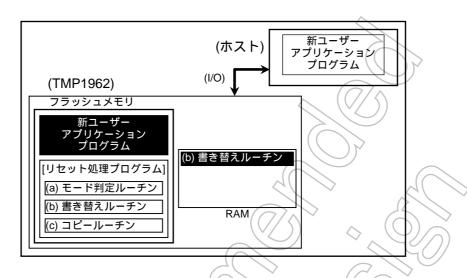
(Step-4)

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライトプロテクトを解除して、消去(ブロック単位)を行います。



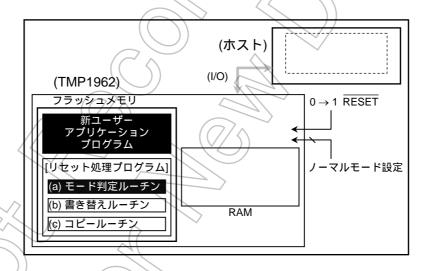
(Step-5)

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。



(Step-6)

RESET入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。





(1-B) <u>書き替えルーチンを外部から転送する手順例</u>

(Step-1)

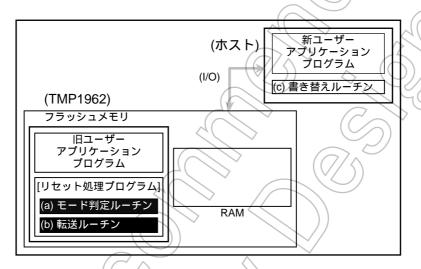
ユーザーは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン: 書き替え動作に移るためのプログラム

(b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

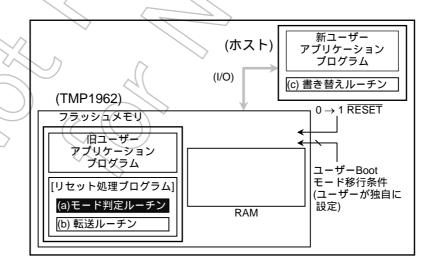
また、下記に示すプログラムはホスト上に用意します。

(c) 書き替えルーチン: 書き替えを行うためのプログラム



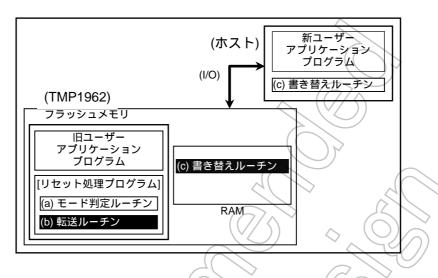
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降 NMI を含む割り込みを使わないでください。)



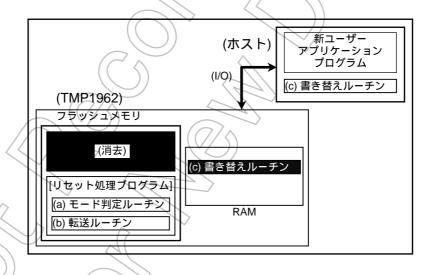
(Step-3)

ユーザーブートモードに移ると、(b) 転送ルーチンを使用して、転送元 (ホスト) より (c) 書き替えルーチンを内部 RAM もしくは外部メモリにロードします。(下図は内部 RAM ヘコピーした場合を示します。)



(Step-4)

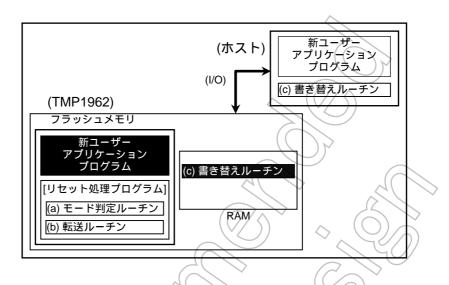
RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライトプロテクトを解除して、消去(ブロック単位)を行います。





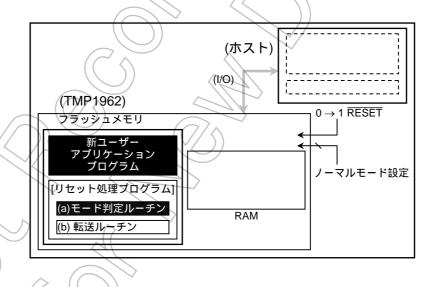
(Step-5)

さらに、RAM 上の (c) 書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーシションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。



(Step-6)

RESET入力端子を "0" にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



3.3.2 シングルブートモード

内蔵ブート ROM (マスク ROM) を起動して、ブート ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵ブート ROM が割り込みベクタテーブルを含む領域にマッピングされ、ブート ROM プログラムが実行されます。また、フラッシュメモリはブート ROM 領域とは別のアドレス空間にマッピングされます。(図 3.2.2参照)

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (SIO0) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、NMI を含む割り込み禁止状態で行います。シングルボートモード時、ブート ROMのプログラムは NORMAL モードで動作します。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにプロテクトをかけておくことを推奨します。フラッシュメモリへの書き込み/消去の方法は、「3.4 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

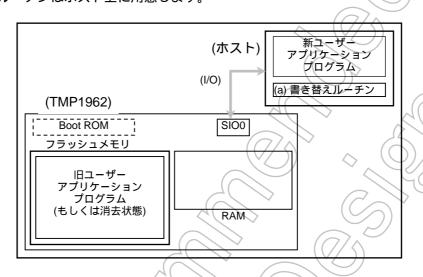


ブートモード

(2-A)内蔵ブート ROM の書き替えアルゴリズムを利用する場合

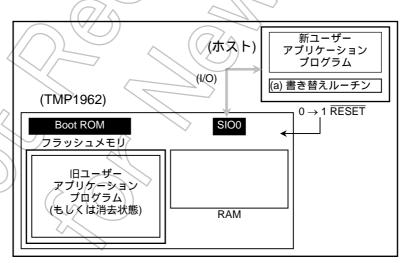
(Step-1)

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0) を経由して行いますので、ボード上で本デバイスの SIO (SIO0) と外部ホストとをつなげます。書き替えを行うための(a) 書き替えルーチンはホスト上に用意します。



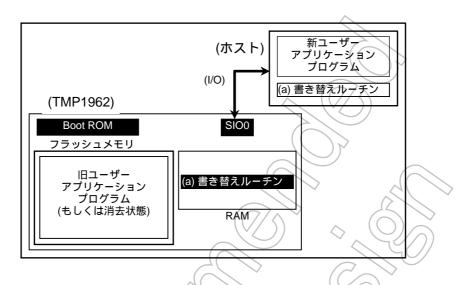
(Step-2)

ブートモードの端子条件設定でリセットを解除し、ブート ROM で起動します。ブートモードの手順に従い、SIO を経由して転送元 (ホスト) より (a) 書き替えルーチンの転送を行いますが、最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データをパスワードとして照合を行います。)



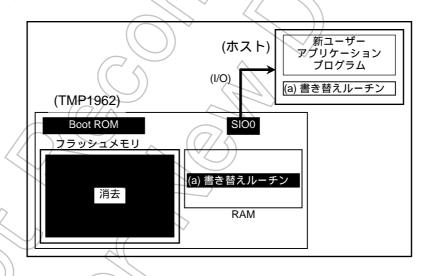
(Step-3)

パスワードの照合が終了すると、転送元 (ホスト) から (a) 書き替えルーチンを転送します。ブート ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス $0xFFFD_6000\sim0xFFFD_EFFF$ の範囲に格納してください。



(Step-4)

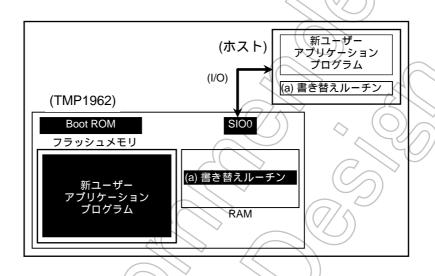
RAM 上の (a) 書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



(Step-5)

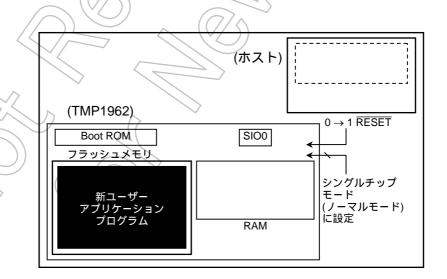
さらに、RAM 上の (a) 書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーシションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。 書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO 経由で書き替えデータも 転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を 設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててくだ さい。



(Step-6)

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。 この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザーアプ リケーションプログラムを実行します。



(1) シングルブードモードでの接続例

ブートモードでは、シリアル転送によるフラッシュメモリの書き替えを行います。したがって、オンボードプログラミングは本デバイスの SIO (チャネル 0) とホスト (書き込みツール) を接続し、コントローラ側からコマンドを送出することにより実行します。図 3.3.1に書き込みコントローラとターゲットボードの接続例を示します。

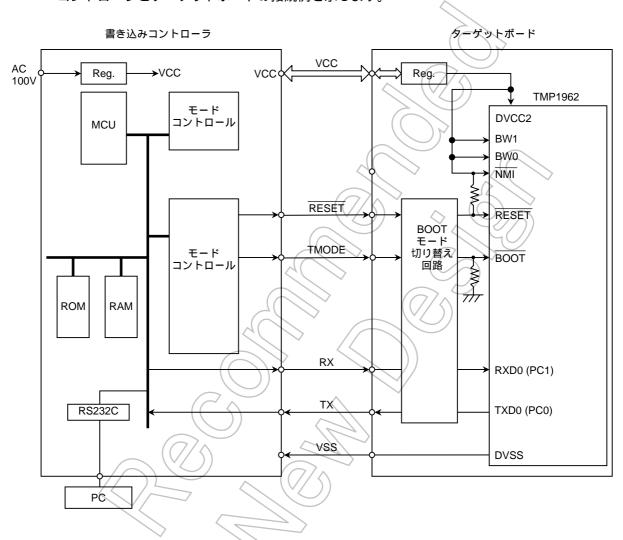


図 3.3.1 シングルブートモードでの外部コントローラとの接続例 (UART で通信する場合)



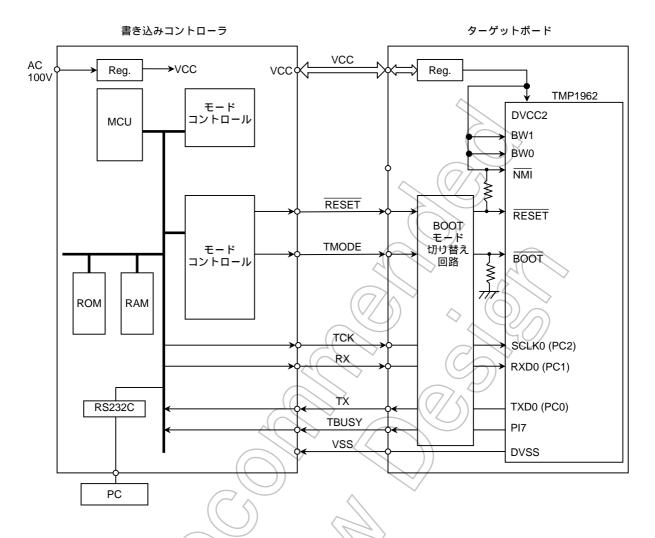


図 3.3.2 シングルブートモードでの外部コントローラとの接続例 (同期式 SIO で通信する場合)



(2) モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

BW0 = 1 BW1 = 1 $\overline{BOOT} = 0$ $\overline{RESET} = 0 \rightarrow 1$

RESET 入力端子を "0" の状態にして、BW0、BW1、 $\overline{\text{BOOT}}$ (PJ2) の各端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

(3) メモリマップ

図 3.3.3にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは物理アドレス $(0x4000_0000\sim0x400F_FFFF$ 番地)、仮想アドレス $(0x0000_0000\sim0x000F_FFFF$ 番地) にマッピングされます。また、 $0x1FC0_0000$ 番地から $0x1FC0_1FFF$ 番地にはブート ROM (マスク ROM) がマッピングされます。

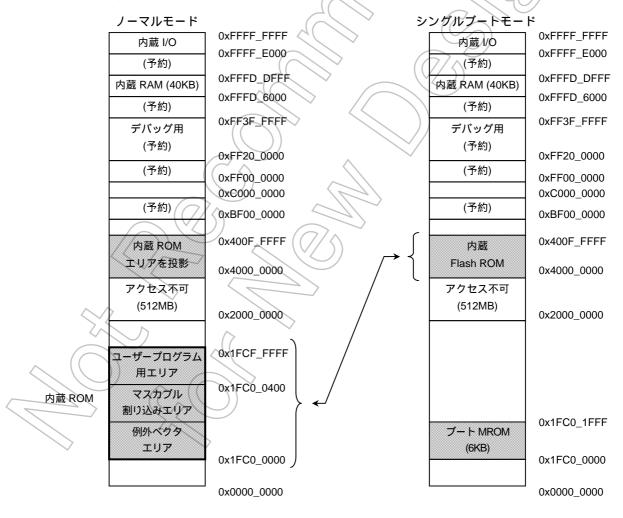


図 3.3.3 メモリマップの比較

(4) インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

UART で通信する場合

通信チャネル : SIO チャネル 0

シリアル転送モード : UART (非同期通信) モード、全二重通信

データ長 : 8 ビット パリティビット : なし STOP ビット : 1 ビット

ボーレート: 任意のボーレート

• I/O インタフェースモードで通信する場合(

通信チャネル : SIO チャネル 0

シリアル転送モード: I/O インタフェースモード、半二重通信

同期信号 (SCLK0) : 入力

ハンドシェイク端子 : 出力ポード PI7 ボーレート : 任意のボーレート

表 3.3.1 端子の接続

	/		\ \ \ / / / /
端	子	インタラ	フェース
		UART	I/O インタフェース モード
電源系端子	DVCC2 (2.5V)	0	0
	DVSS	0	0
モード設定端子	BOOT	(0)	0
リセット端子	RESET		0
通信端子	TXD0		0
//)]	RXD0	((// 6)	0
	SCLK0	×	○ (入力モード)
\"\	P87	×	○ (出力ポート)

(5) データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 3.3.2 ~ 表 3.3.6に示します。後述の「ブートプログラム動作説明」とあわせてお読みください。

表 3.3.2 動作コマンドデータ

動作コマンドデータ	動作モード
10H	RAM 転送
20H	フラッシュメモリ SUM
30H	製品情報読み出し

表 3.3.3 シングルブートプログラムの転送フォーマット [RAM 転送の場合]

	転送バイト数	コントローラ 本デバイスへの	ボーレート	本デバイス コントローラへの
		転送データ		転送データ
BOOT ROM	1 バイト目	シリアル動作モード & ボーレート設定	指定された	_
			ボーレート *1	\wedge
		I/O インタフェースの場合 30H		
	2 バイト目	_		シリアル動作モードに対する ACK 応答
				UART の場合
				正常 (設定可能) の場合 86H (ボーレートの設定が不可能と判断した
			^	場合は動作停止)
				1/O インタフェースの場合
			/	正常の場合 30H
	3 バイト目	動作コマンドデータ (10H)	\	() P –
	4 バイト目	_		動作コマンドに対する ACK 応答 *2
			7(正常の場合 10H
				異常の場合 × 1H
				通信異常の場合 × 8H
	5 バイト目 ~	PASS WORD データ (12 バイト)		\$ (Q)
	16 バイト目	(0x4000_03F4~0x4000_03FF)		901
	17 バイト目	5~16 バイト目の CHECK SUM 値 🦳		
	18 バイト目			CHECK SUM 値に対する ACK 応答 *2
				正常の場合 10H
			\supset	異常の場合 11H
	19 バイト目	RAM 格納開始アドレス 31~24		通信異常の場合 18H
	20 バイト目	RAM 格納開始アドレス 23~16		_
21 バイト目 RAM 格納開始アドレス 15~8			_	
22 バイト目 RAM 格納開始アドレス 7~0				
22 バイト目 RAM 格納バイト数 15~8				
	24 バイト目	RAM 格納バイト数 7~0		
	25 バイト目	19~24 バイト目の CHECK SUM 値		_
	26 バイト目		163)	CHECK SUM 値に対する ACK 応答 *2
		_ ((7/\)	7/	正常の場合 10H
				異常の場合 11H
				通信異常の場合 18H
	27 バイト目	RAM 格納データ		_
	~			
	m バイト目 m + 1 バイト目	27~m バイト目の CHECK SUM 値		
	m + 1 八 1 下目 m + 2 バイト目	ZI ~ III 八寸 I T日の CHECK SOIW ill		 CHECK SUM 値に対する ACK 応答 *2
	III + 2 / VI F H	7 ~		CRECK SOM 個に対する ACK 心容 *2 正常の場合 10H
				異常の場合 11H
_				通信異常の場合 18H
RAM	m + 3 バイト目			JUMP RAM 格納開始アドレス

- *1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。
- *2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信 異常の場合は発生しません。
- *3: 19 バイト目~25 バイト目のデータは、RAM 上のアドレス 0xFFFD_6000~0xFFFD_EFFF の領域内に納まるようにプログラムしてください。

表 3.3.4 ブートプログラムの転送フォーマット [フラッシュメモリ SUM の場合]

	転送バイト数	コントローラ 本デバイス	への	ボーレート	本デバイス コントローラ	への
	1442711144	転送データ	,		転送データ	,
BOOT ROM	1 バイト目	シリアル動作モード & ボーレート	設定	指定された	_	
		UART の場合	86H	ボーレート *1	^	
		I/O インタフェースの場合	30H			
	2 バイト目	_			シリアル動作モードに対する ACK 応	答
					UARTの場合	
					正常 (設定可能) の場合	86H
					(ボーレートの設定が不可能と判	断した
					場合は動作停止)	
					I/O インタフェースの場合	
					正常の場合	30H
	3 バイト目	動作コマンドデータ	(20H)	\		
	4 バイト目	_			動作コマンドに対する ACK 応答 *2	
				7	正常の場合	20H
					異常の場合	x1H
					通信異常の場合	x8H
	5 バイト目	_			SUM (上位)	
	6 バイト目	_			SUM (下位)	
	7 バイト目	_	(/		5~6 バイト目の CHECK SUM 値	
	8 バイト目	(次の動作コマンドデータ待ち)				

*1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

*2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信 異常の場合は発生しません。



2005-04-18



表 3.3.5 ブートプログラムの転送フォーマット [デバイス情報読み出しの場合] (1/2)

	転送バイト数	コントローラ 本デバイスへの 転送データ	ボーレート	本デバイス コントローラへの 転送データ
		,,,,_,	11×2+1-1	#ALC 7 /
BOOT ROM	1 八イト目		指定された	_
			ボーレート *1	
	 2 バイト目	I/O インタフェースの場合 30H		シリアル動作モードに対する ACK 応答
	2//1/19	_		UART の場合
				正常 (設定可能) の場合 86H
				(ボーレートの設定が不可能と判断した
			_	場合は、動作停止)
				VOインタフェースの場合
				正常の場合 30H
	3 バイト目	動作コマンドデータ (30H)		
	4 バイト目			動作コマンドに対する ACK 応答 *2
	.,,,,,		^((正常の場合 10H
			(1)	異常の場合 × 1H
				通信異常の場合 × 8H
	5 バイト目	_	((// \)	フラッシュメモリデータ (0x4000_03F0 番地)
	6 バイト目	_		フラッシュメモリデータ (0x4000_03F1 番地)
	7 バイト目	_ (フラッシュメモリデータ (0x4000_03F2 番地)
	8 バイト目			フラッシュメモリデータ (0x4000_03F3 番地)
	9バイト目			製品名 (アスキーコート・、12 バイト)
	~			9 バイト目から TX1962F10
	20 バイト目		\supset	
	21 バイト目			Password 比較開始アドレス (4 バイト)
	~			21 バイト自から F4H, 03H, 00H, 00H
	24 バイト目			Ди, т. т. ди в т. т., сог., сог., сог.
	25 バイト目	4		RAM 開始アドレス (4 バイト)
	~	(())		25 バイト目から 00H,60H, FDH, FFH
	28 バイト目			V
	29 バイト目			ダミーデータ (4 バイト)
	~			29 バイト目から FFH, 6FH, FDH, FFH
	32 バイト目		163)	
	33 バイト目		7/	RAM 終了アドレス (4 バイト)
	~ /			33 バイト目から FFH, DFH, FDH, FFH
	36 バイト目 //		$\langle \cdot \rangle$	
	37 バイト目			ダミーデータ (4 バイト)
	~			37 バイト目から 00H, 70H, FDH, FFH
	40 バイト目			
	41 バイト目			ダミーデータ (4 バイト)
	~			41 バイト目から FFH, EFH, FDH, FFH
	44 バイト自	/) >		
	45 バイト目	A+		FUSE 情報 (2 バイト)
	~ ((, _))			45 バイト目から 01H, 00H
	46パイト目			
	47バイト目			フラッシュメモリ開始アドレス (4 バイト)
	~			47 バイト目から 00H, 00H, 00H, 00H
	50 バイト目		1	
	51 バイト目			フラッシュメモリ終了アドレス (4 バイト)
	~ 54 バストロ			51 バイト目から FFH, FFH, 0FH, 00H
	54 バイト目			フラッシュメエリプロックハ刺粉桂却
	55 バイト目	_		フラッシュメモリブロック分割数情報
	~ 56 バイト目			(2 バイト) 55 バイト目から 08H, 00H
	57 バイト目		1	フラッシュメモリ同一ブロックサイズの
	3/ NA FE	_		フラッシュメモリ同一フロックサイスの 開始アドレス (4 バイト)
	~ 60 バイト目			開始アトレス (4 ハイト) 57 バイト目から 00H, 00H, 00H, 00H
L	00 /\1 I H		<u> </u>	OF A STEED TO DOIN, OUR, OUR, OUR

表 3.3.6 ブートプログラムの転送フォーマット [デバイス情報読み出しの場合] (2/2)

	転送バイト数	コントローラ 本デバイスへの	ボーレート	
		転送データ		転送データ
BOOT ROM	61 バイト目	_		フラッシュメモリ同一ブロックサイズの
	~			サイズ (ハーフワード表現) (4 バイト)
	64 バイト目			61 バイト目から 00H, 00H, 01H, 00H
	65 バイト目	_		フラッシュメモリ同一ブロックサイズの
				個数 (1 バイト) 08H
	66 バイト目	_		5~65 バイト目の CHECK SUM 値
	67 バイト目	(次の動作コマンドデータ待ち)		(O/A) –

*1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート÷ 16 で行ってください。

*2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信 異常の場合は発生しません。

(6) ブートプログラム

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。 詳細は、1) RAM 転送コマンド \sim 3) 製品情報読み出しコマンドに記載してありますので、参照 してください。

以下、特にことわりのない限りアドレスは仮想アドレスで表記します。

RAM 転送コマンド

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラムのサイズは、最大 36K バイト、実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボートプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、後章 3.5 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。 RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

2. フラッシュメモリ SUM コマンド

フラッシュメモリ 1024k バイトの SUM を計算しその結果を返します。ブートプログラムではフラッシュメモリの全エリアのデータを読み出す動作コマンドはサポートしていません。その代わりに、このフラッシュメモリ SUM コマンドがあります。SUM を読み出すことで、アプリケーションプログラムのレビジョンを管理することができます。

3. 製品情報読み出しコマンド

本デバイスの製品名やメモリ情報などを返します。デバイス情報読み出しコマンドでは、フラッシュメモリの一部エリア (0x0000_03F0~0x0000_03F3 番地) のデータを返します。フラッシュメモリ SUM コマンド以外に、このデータを用いることで、アプリケーションプログラムのレビジョンを管理することができます。



2005-04-18

1) RAM 転送コマンド (表 3.3.3参照)

1. 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 (SCOMOD<RXE>=0) にしています。

UART で通信を行いたい場合

コントローラからターゲットボードへは、UARTの設定で、所望のボーレートでデータを86Hにして送信してください。シリアルの動作モードの判定でUARTと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。

I/O インタフェースで通信を行いたい場合

コントローラからターゲットボードへは、同期式の設定で、所望のボーレート÷ 16 でデータを 30H にして送信してください。2 バイト目も同様に、所望のボーレート÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目 (動作コマンドデータ) からにしてください。

I/O インタフェースの場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。したがって、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート ÷ 16 で指定します。 I/O インタフェースと判定した場合、SCLK 入力モードになります。 コントローラは、AC タイミングを満足するボーレートで送信を行ってください。 I/O インタフェースの場合、受信エラーフラグのチェックは行いません。したがって、ACK 応答データの通信異常 ACK (bit 3) (x8H) はありません。

2. 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定 が可能な場合 86H を、I/O インタフェースと判定された場合 30H を送信します。

UART と判定された場合

ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、BROCR の値を書き替え、86H を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間 (5 秒) を設けます。タイムアウト時間内に、データ (86H) を正常受信できなければ、通信不能と判断してください。受信を許可 (SCOMOD<RXE>=1) するタイミングは、送信バッファにデータ (86H) を書き込む前に行っています。

I/O インタフェースと判定された場合

I/O インタフェースの設定になるように SC0MOD、SC0CR の値を書き替え、SC0BUFに 30H を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数m秒)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行

い、受信データが 30H なら、通信可能と判断してください。3 バイト目からは 所望のボーレートで行ってください。受信を許可 (SC0MOD<RXE>= 1) するタ イミングは、送信バッファにデータ (30H) を書き込む前に行っています。

- 3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ (10H) になります。
- 4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) x8H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 3.3.2の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ) します。この場合、10H をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) x1H を送信して、次の動作コマンド(3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

- 5. 5 バイト目~16 バイト目の受信データは、パスワードデータ (12 バイト) になります。 5 バイト目の受信データはフラッシュメモリの 0x0000_03F4 番地のデータと照合し、 6 バイト目の受信データはフラッシュメモリの 0x0000_03F5 番地のデータと照合します。同様に 16 バイト目の受信データはフラッシュメモリの 0x0000_03FF 番地のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
- 6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
- 7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、"1" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 17 バイト目までの受信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ち

になります。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、FFH 以外の同一データの場合。
- 5バイト目~16バイト目のパスワードデータの照合がすべてが一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 10H を送信します。

- 8. 19 バイト目 ~ 22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。 19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、 22 バイト目が 7 ビット ~ 0 ビットに対応します。
- 9. 23 バイト目、24 バイト目の受信データは、ブロック転送するバイト数を表します。 23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット~0 ビット目に対応します。
- 10. 25 バイト目の受信データは、CHECK SUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた 下位 8 ビット値の 2 の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
- 11. 26 バイト目の送信データは、19 バイト目~25 バイト目のデータに対する ACK 応答 データ (CHECK SUM 値に対する ACK 応答) になります。最初に、19 バイト目~25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、25 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19 バイト目 \sim 25 バイト目までの受信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

 19 バイト目 ~ 25 バイト目のデータは RAM 上のアドレス 0xFFFD 6000~0xFFFD EFFF の領域に納まるようにプログラムしてください。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 10H を送信します。

- 12. 27 バイト目~m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。
- 13. m+1 バイト目の受信データは、CHECK SUM データになります。27 バイト目 $\sim m$ バイト目の送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
- 14. m+2 バイト目の送信データは、27 バイト目~1 バイト目のデータに対する ACK 応答データ (CHECK SUM に対する ACK 応答) になります。最初に 27 バイト目~m+1 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド(3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので "1" になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、m+1 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目 $\sim m+1$ バイト目までの受信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 10H を送信します。

15. m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ 10H を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐 (32ISA) します。





- 2) フラッシュメモリ SUM コマンド (表 3.3.4参照)
 - 1. 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。
 - 2. 3 バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュ メモリ SUM コマンドデータ (20 H) になります。
 - 3. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) x8H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 3.3.2の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ) します。この場合、20H をエコーバック送信して、フラッシュメモリ SUM 処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) x1H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データ上位 4 ビットは不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

- 4. 5 バイト目の送信データは SUM 値の上位データ、6 バイト目の送信データは SUM 値の下位データになります。SUM の計算方法は、後述の「SUM の計算方法」を参照してください。
- 5. 7 バイト目の送信データは、CHECK SUM データになります。5 バイト目から 6 バイト目の送信データを符号なし 8 ビット加算 (オーバフローを無視) を行い、得られた下位 8 ビット値の 2 の補数を送信します。
- 6. 8 バイト目の受信データは、次の動作コマンドデータになります。



- 3) 製品情報読み出しコマンド (表 3.3.5参照)
 - 1. 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。
 - 2. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、製品情報 読み出しコマンドデータ (30H) になります。
 - 3. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) x8H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 3.3.2の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ) します。この場合、30H をエコーバック送信して、製品情報読み出し処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) x1H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

- 4. 5 バイト目 ~ 8 バイト目の送信データは、フラッシュメモリのデータ (0x0000_03F0 番地~0x0000_03F3 番地のデータ) になります。この番地にソフトなどの ID 情報を書き込んでおくことにより、書き込んだソフトのバージョン管理をすることができます。
- 5. 9 バイト目 ~ 20 バイト目の送信データは製品名になります。9 バイト目から、アスキーコードで、 $^\prime$ TX1962F10_ _ $^\prime$ を送信します。
- 6. 21 バイト目 ~ 24 バイト目の送信データはパスワード比較開始アドレスになります。 21 バイト目から、F4H、03H、00H、00H を送信します。
- 7. 25 バイト目 ~ 28 バイト目の送信データは RAM 開始アドレスになります。25 バイト目から、00H、 6 0H、FDH、FFH を送信します。
- 8. 29 バイト目 ~ 32 バイト目の送信データはダミーデータになります。29 バイト目から、FFH、6 FH、FDH、FFH を送信します。
- 9. 33 バイト目~36 バイト目の送信データは RAM 終了アドレスになります。33 バイト 目から、FFH、FFH、FDH、FFH を送信します。
- 10. 37 バイト目~40 バイト目の送信データは、00H、70H、FDH、FFH になります。 41 バイト目~44 バイト目の送信データは、FFH、EFH、FDH、FFH になります。
- 11. 45 バイト目~46 バイト目の送信データは、セキュリティビットやプロテクトビットの有無やフラッシュメモリがブロック分割されているかどうかを各ビットに割り付けたデータにります。0 ビット目は、セキュリティビットの有無を示します。"0"はセキュリティビットがあることを、"1"はセキュリティビットがないことを示します。1 ビット目は、プロテクトビットの有無を示します。"0" はプロテクトビットがある

ことを、"1" はプロテクトビットがないことを示します。2 ビット目は、フラッシュメモリがブロック分割されているかどうかを示します。"0" は分割されていることを、"1" は分割されていないことを示します。3 ビット目 \sim 15 ビット目は未定義です。45 バイト目から、01H、00H を送信します。

- 12. 47 バイト目~50 バイト目の送信データは、フラッシュメモリ開始アドレスになります。47 バイト目から、00H、00H、00H、00H を送信します。
- 13. 51 バイト目 ~ 54 バイト目の送信データは、フラッシュメモリ終了アドレスになります。51 バイト目から、FFH、FFH、0FH、00H を送信します。
- 14. 55 バイト目 ~ 56 バイト目の送信データは、フラッシュメモリのブロック分割数になります。55 バイト目から、08H、00H を送信します。
- 15. 57 バイト目~92 バイト目の送信データは、フラッシュメモリのブロック情報になります。ブロック情報は、フラッシュメモリ開始アドレスから見たとき、同一ブロックサイズが何ブロック続いているかを一単位とし、同一ブロックサイズの先頭の開始アドレスとブロックサイズ (ハーフワード単位) およびブロックの個数で表します。

57 バイト目~65 バイト目の送信データは、128k バイトのブロック (Block0~Block7)を を表します。送信データについては、表 3.3.5を参照してください。

- 16. 66 バイト目の送信データは、CHECK SUM データになります。5 バイト目から 65 バイト目の送信データを符号なし8 ビット加算 (オーバフローを無視) して、得られた下位8 ビット値の2の補数を送信します。
- 17. 67 バイト目の受信データは、次の動作コマンドデータになります。



4) ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 3.3.7から表 3.3.9に各受信データに対する ACK 応答データを示します。ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUM エラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 3.3.7 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
86H	UARTでの通信が可能と判定した。 *1
30H	I/O インタフェースでの通信が可能と判定した。

*1: UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を 停止します。

表 3.3.8 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
x8H *1	動作コマンドデータに受信エラーが発生した。
x1H *1	未定義の動作コマンドデータを正常受信した。
10H	RAM転送コマンドと判定した。
20H	フラッシュメモリ SUM コマンドと判定した。
30H	製品情報読み出しコマンドと判定した。

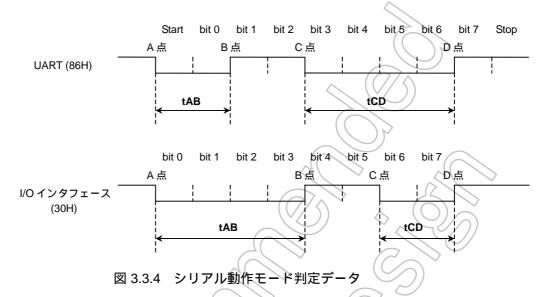
*1: 上位4ビットは、直前の動作コマンドデータの上位4ビットになります。

表 3.3.9 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
18H	受信エラーが発生していた。
11H //	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
10H <	CHECK SUM 値は正常な値と判定した。

5) シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 86H にし、I/O インタフェースで通信したい場合、所望のボーレート \div 16 で 1 バイト目を 30H にして送信してください。図 3.3.4にそれぞれの場合の波形を示します。



ブードプログラムは、リセット解除後の1 バイト目のシリアル動作モード判定データ (86H、30H) を受信禁止状態にして、図 3.3.6 に示すフローチャートで、図 3.3.4の tAB、tAC と、tAD の時間を求めています。図 3.3.6 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB、tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート \div 16 にして送信してください。

図 3.3.5のクローチャートに示すように、シルアル動作モードの判定は、受信端子が "L" レベルのときの時間幅の大小関係で判定しています。 $tAB \le tCD$ の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。 tAB > tCD の場合、I/O インタフェースと判定します。 なお、先に述べたように、tAB、tAC、tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が遅い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 86H を正常受信できなければ通信不可能と判断してください。また、I/O インタフェースで通信したい場合 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 30H でなければ通信不可能と判断してください。

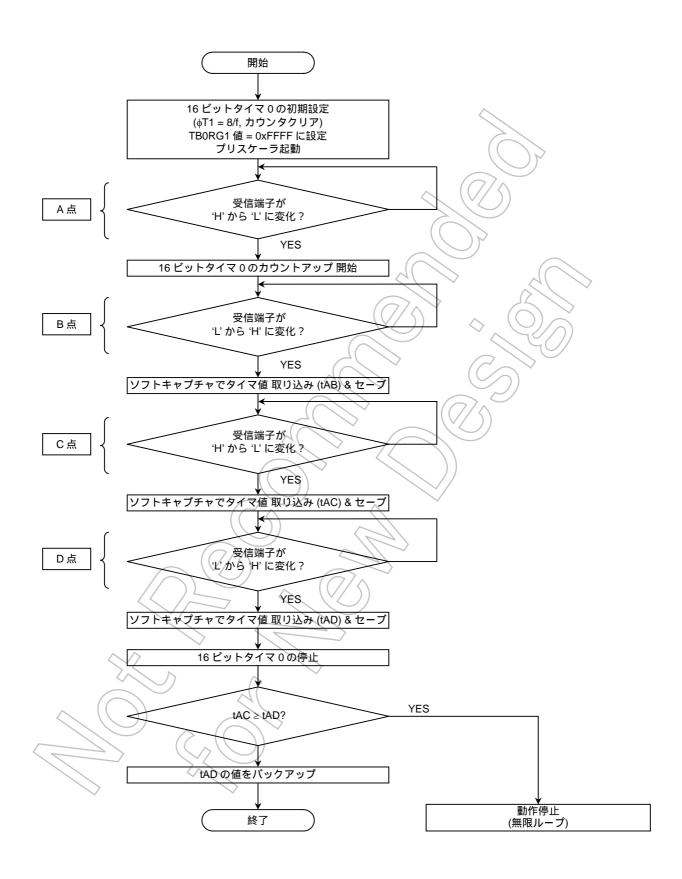
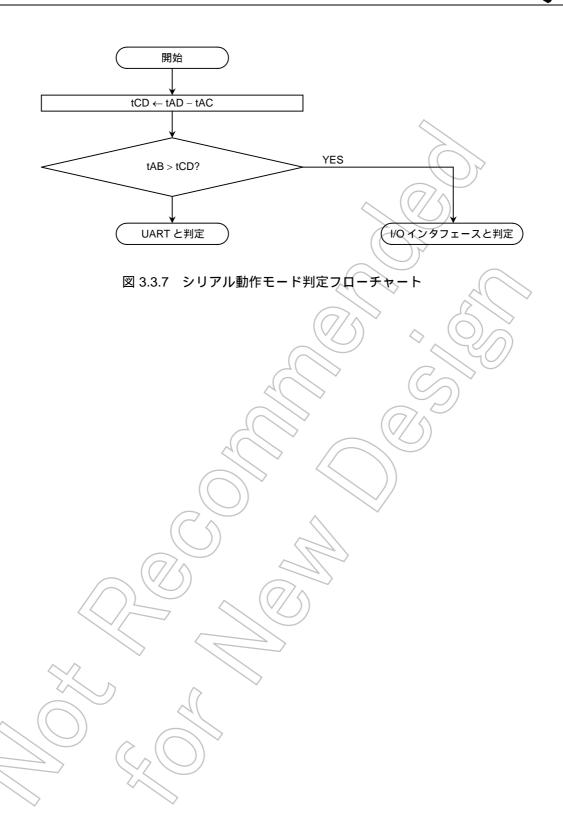


図 3.3.6 シリアル動作モード受信フローチャート



6) パスワードについて

動作コマンドデータが RAM 転送コマンド (10H) の場合、パスワードのチェックを行います。まず、動作コマンドデータをエコーバック送信 (10H) 後、パスワードエリア ($0x4000_03F4$ 番 地 $\sim 0x4000_03FF$ 番地) のデータ (12 バイト) をチェックします。図 3.3.8に示すようにパスワードエリアのデータが、FFH 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 11H を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。表 3.3.10に対応表を示します。12 バイト分すべてが一致しないと、パスワードエラーになります。 パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、 パスワードエラーとなります。

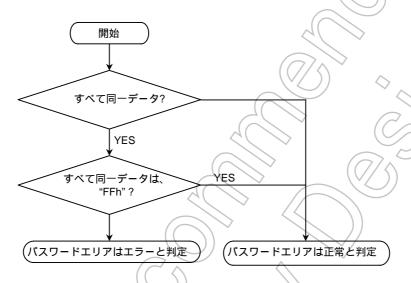


図 3.3.8 パスワードエリアチェックフローチャート

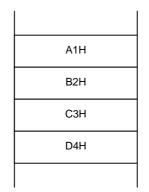
表 3.3.10 受信データと照合するデータの対応

_		
	受信データ	照合するデータ
	5 バイト目	0x0000_03F4 番地のデータ
	6 バイト目	0x0000_03F5 番地のデータ
	7 バイト目	0x0000_03F6 番地のデータ
۲.	8 バイト貝	0x0000_03F7 番地のデータ
	9 バイト目	0x0000_03F8 番地のデータ
	10 バイト目	0x0000_03F9 番地のデータ
	11 バイト目	0x0000_03FA 番地のデータ
	> 12 バイト目	0x0000_03FB 番地のデータ
	13パイト目	0x0000_03FC 番地のデータ
	14 バイト目	0x0000_03FD 番地のデータ
	15 バイト目	0x0000_03FE 番地のデータ
	16 バイト目	0x0000_03FF 番地のデータ

7) SUM の計算方法

SUM の計算方法は、バイト+バイト+バイト+……+バイトの結果をワードで返します。 つまり、バイトでデータを読み出して符号なし8ビット加算を行い、計算結果をワードで求めています。 コントローラへは、SUM の上位8ビットデータ、下位8ビットデータの順番で送信します。 SUM の計算対象のデータは、フラッシュメモリ全エリア(512k バイト)のデータになります。 フラッシュメモリ SUM コマンドを実行したときに返される SUM は、本計算方法を使用しています。

例)



左記 4 バイトが計算対象データの場合、SUM の値は、 A1H + B2H + C3H + D4H = 02EAH となるので、 SUM の上位のデータは、02H、 SUM の下位のデータは、EAH になります。 したがって、コントローラには 02H、EAH の順番で送信 します。

8) CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数値を求めています。フラッシュメモリ SUM コマンド、製品情報読み出しコマンドを実行したときに返される CHECK SUM は、本計算方法を使用しています。また、コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例) クラッシュメモリ SUM コマンドのときを例に説明します。

SUM の上位 8 ビットデータが E5H、下位 8 ビットデータが F6H の場合の CHECK SUM 値を求めます。

まず、符号なし8ビット加算して得られた値を求めます。

E5H + F6H = 1DBH

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。したがって、コントローラには 25H を送信します。 0-DBH=25H

(7) ブートプログラム全体フローチャート

図 3.3.9にブートブロクラム全体フローチャートを示します。

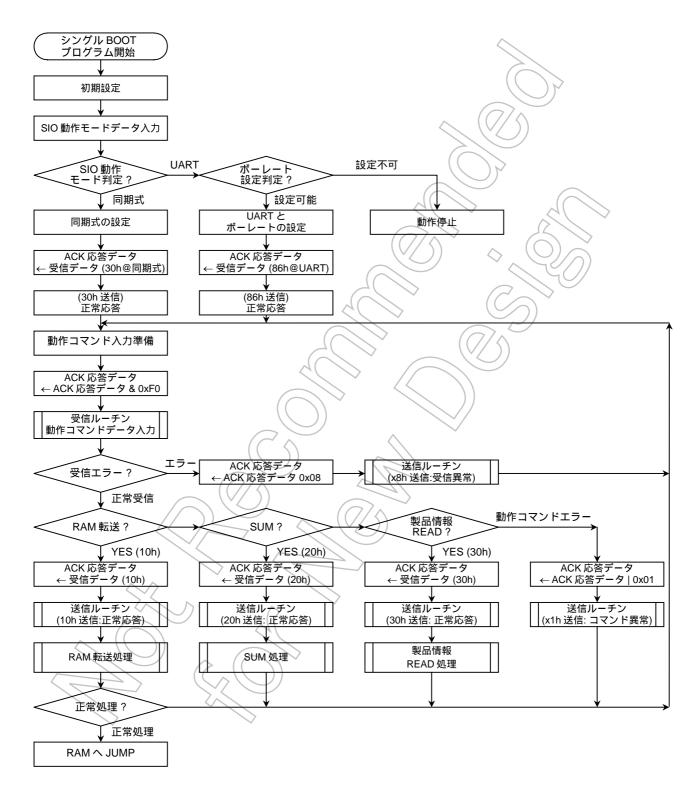


図 3.3.9 ブートプログラム全体フローチャート

3.4 オンボードプログラミングでのフラッシュメモリ書き込み/消去

本デバイスのフラッシュメモリは標準的な E²PROM の JEDEC 標準コマンドコントロール方式 を採用しています。このため、ユーザーブートモードおよびブートモードでの RAM 転送動作では、 CPU によりソフトウエア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。 この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードもしくは RAM 転送に移行後、書き込み/消去制御プログラムは内蔵 RAM もしくは外部メモリ上で実行してください。

3.4.1 フラッシュメモリ

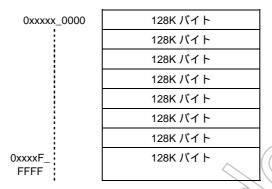
一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。書き込み、消去を行う場合、CPU の SW 命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。また、消去動作は一括消去の他、ブロック単位または複数のブロック単位で行えます。

主な機能	説明
自動プログラム	ワード単位でのデータ書き込みおよび書き込みベリファイを自動で行います。
自動チップ消去	フラッシュメモリ全エリアの一括消去および消去ベリファイを自動で行います。
自動ブロック消去	プロック単位での消去およびベリファイを自動で行います。
自動マルチブロック消去	複数プロックの消去およびベリファイを自動で行います。
ハードウエアシーケンスフラグ	データポーリング、トグルビットなどのフラグをモニタすることで、フラッシュメモリが書き
	込み中、あるいは消去中であるかどうかの確認ができます。
セキュリティ機能	ライタモードで使用するときに、フラッシュメモリ本体の内容を読み出せなくするセキュリテ
	│ィ機能を内蔵しています。全8BLOCK 全てのブロックプロテクトを掛ける事によりセキュリ│
	ティが有効になります。セキュリティを解除するするには、ブロックプロテクトの解除を行い
	これにより自動的にフラッシュメモリ本体も一括消去されます。
ブロックプロテクト	ブロックごとに書き込みおよび消去を禁止することができます。全 BLOCK にプロテクトを掛
	けると自動的にセキュリティ機能が有効になります。

表 3.4.1 フラッシュメモリの機能

ユーザーブートモードもしくは RAM 転送の詳細な動作説明は後述しますが、CPU とのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。また、特に断りのない限りフラッシュメモリの書き込みは 32 ビット単位で行います。フラッシュメモリへの書き込みは、32 ビット (ワード) のデータ転送命令を用いてください。

(1) ブロック構成



xx: マイコンの動作モードにより異なります。

図 3.4.1 フラッシュメモリのブロック構成

(2) オンボードプログラミング時

内部インタフェースの概念図を図 3.4.2に示します。ただし、以下の図は CPU-フラッシュメモリ間のイメージ図であり、実際の回路とは異なります。

「シングルチップ: 0x1FC0_0000~0x1FCF_FFFF (物理アドレス) Boot モード: 0x4000_0000~0x400F_FFFF (物理アドレス)

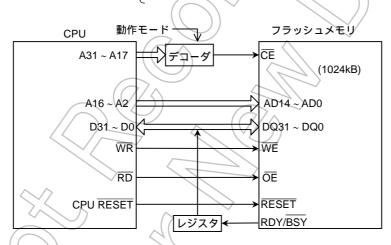


図 3.4.2 フラッシュメモリ内部インタフェース

(3) 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリデータを読み出すモード (リードモード)
- メモリデータを自動的に消去/書き替えるモード (自動動作モード)

リードモード中にコマンドシーケンスを実行することで、自動動作モードに写ることができます。自動動作モードでは、メモリデータを読み出せません。

1) リード

データを読み出す場合、フラッシュメモリをリードモードにセットします。電源投入直後、CPU リセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述するリード/リセットコマンド (ソフトウエアリセット) もしくはハードウエアリセットを用います。

2) コマンドライト

このフラッシュメモリは、標準的な E*PROM の JEDEC 標準コマンドコントロール方式 を用いています。コマンドレジスタへのライトは、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、人力されたアドレスとデータ をコマンドレジスタにラッチし、命令を実行します。(表 3.4.3、表 3.4.4参照)

コマンドシーケンスの入力途中でコマンド入力をキャンセルしたい場合は、リセットコマンドを入力します。リセットコマンドを受け付けると、フラッシュメモリはコマンドレジスタをリセットし、リードモードになります。また、間違ったコマンドシーケンスを入力した場合も、フラッシュメモリはコマンドレジスタをリセットし、リードモードになります。

3) リセット

 リード/リセットコマンド (ソフトウエアリセット) 自動動作が異常終了した場合、フラッシュメモリは自動ではリードモードに復帰しません。 この場合、リード/リセットコマンドでフラッシュメモリをリードモードに復帰させます。 また、途中まで入力したコマンドをキャンセルする場合、リード/リセットコマンドでコマンドレジスタの内容をクリアできます。

ハードウエアリセット

図 3.4.2のように、本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力は CPU のリセット信号とつながっています。このため、本デバイスの RESET 入力端子が VIL となるか、ウォッチドッグタイマのオーバフローなどにより CPU のリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。

また、自動動作が異常終了したときや、コマンドを用いてセットしたモードを解除するときも CPU のリセットによりリードモードへ復帰します。なお、自動動作の実行中にハードウエアリセットが入った場合は、データの書き換えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

CPUのリセット動作については、「3.1 リセット動作」を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

4) 自動プログラム

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

ユーザーブートモードもしくは RAM 転送では、フラッシュメモリの書き込みも 32 ビット単位 (ワード) で行います。自動プログラム動作は、コマンドサイクルの第 4 バスライトサイクルでプログラムアドレスとプログラムデータ (ワード) をラッチします。フラッシュメモリはプログラムデータをラッチしたときから自動プログラムを開始します。 32 ビット単位で書き込みを行うのでプログラムアドレスは「4 の倍数アドレス」ごとに与えるようにします。

32 ビット以下のデータをフラッシュメモリに書き込む場合は、書き込みを行わないビットについても注意が必要です。フラッシュメモリが消去されている状態で 32 ビット以下の書き込みを行う場合は、書き込まないビットをすべて "1" にして、32 ビット単位で書き込みを行います。

例) メモリが消去状態で、最下位バイトに 55H を書き込む場合、データを 0xFFFF_FF55 として書き込みを行う。

注)フラッシュメモリにデータの上書きは出来ません。

プログラム動作を開始すると、プログラムおよびプログラムベリファイは内部で自動的に行います。自動プログラムの動作状態は、ハードウエアシーケンスフラグをモニタすることで確認できます (表 3.4.6)。自動プログラム動作中は、コマンドシーケンスの入力を受け付けません。動作を中止する場合は、ハードウエアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。

プロテクトされたブロック内のアドレスへの書き込みはできません。この場合デバイスは、自動プログラムを実行せず、コマンドシーケンスの第 4 バスライトサイクル終了から約 3μs 後にリードモードになります。自動プログラムが正常終了すると、自動的にリードモードに復帰します。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。この状態はハードウエアシーケンスフラグで確認できます。

リード状態に復帰させるにはリセットコマンドかハードウエアリセットでフラッシュメモリまたはデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

5) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。 $Block0 \sim 3$ (Flash0) と $Block4 \sim 7$ (Flash1) の2 つのエリアに分かれ、各エリア毎に自動消去を行います。 Flash0 は A[19] (PFLATE 19) = "0" を、Flash1 は A[19] = "1" を各バスサイクルで入力します。動作を開始すると、フラッシュメモリ内部で自動的にすべてのアドレスに"0" データのプリプログラムを行い、続けて消去と消去ベリファイを実行します。自動チップ消去動作の状態は、ハードウエアシーケンスフラグをモニタすることで確認できます (表 3.4.5)。 自動チップ消去動作中は、コマンドシーケンス入力を受け

付けません。動作を中止する場合は、ハードウエアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行わなくてはなりません。

また、プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了時から約100 µs 後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。この状態はハードウエアシーケンスフラグで確認できます。

リードモードに復帰させるにはリセットコマンドかハードウエアリセットでフラッシュ メモリもしくはデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

6) 自動ブロック消去/自動マルチブロック消去 自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から消去ホールドタイムの後に開始します。動作を開始すると、選択したブロック内のすべてのアドレスにデバイス内部で自動的に "0" データのプリプログラムを行い、続けて消去と消去ベリファイを実行します。複数のブロックを消去する場合は、第6バスライトサイクルを繰り返し、それぞれのブロックアドレスと自動ブロック消去コマンドを消去ホールドタイム内に入力します。マルチブロックは、Flash0 エリアの中で、または Flash1 エリアの中でのみ選択が可能です。

消去ホールドタイム中に自動ブロック消去以外のコマンドシーケンスを入力した場合、フラッシュメモリはリセットされ、リードモードになります。消去ホールドタイムは 50 μsで (または、ハードウエアシーケンスプラグ DQ3 を確認してください)、第 6 バスライトサイクル終了ごとにカウントを開始します。自動ブロック消去動作の状態は、ハードウエアシーケンスプラグをモニタすることで確認できます(表 3.4.6)。自動ブロック消去中はその他のコマンドシーケンスの入力は受け付けません。動作を中止する場合は、ハードウエアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去を行いません。選択したすべてのブロックがプロテクトされている場合は、自動ブロック消去を実行せず、コマンドシーケンスの最後のバスライトサイクル完了から約 100 μs 後にリードモードになります。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。この状態はハードウエアシーケンスフラグで確認できます。リセットコマンドかハードウエアリセットを用いてフラッシュメモリまたは、デバイスをリセットしてください。複数のブロックを選択して不良が発生した場合、デバイスの使用を中止するか、個々にブロック消去を行った上で不良ブロックを特定し、その不良ブロックは使用しないことを推奨します。

選択された全ブロックの動作完了後、リードモードへ復帰

7) ブロックプロテクト

ブロックプロテクトにより、ブロックごとに書き込みと消去の動作を禁止することができます。第7バスライトサイクル終了後に、ブロックプロテクト動作中は FLCS < bit2 > = "1"になります。

プロテクトの状態と実行動作	実行動作の結果
プロテクトされたブロックへのプログラム実行	プログラムされずに自動的にリードモードへ復帰
プロテクトされたプロックへの消去実行	消去されずに自動的にリードモードへ復帰
全ブロックプロテクトされた状態でチップ消去実行	消去されずに自動的にリードモードへ復帰
	プロテクトされていないブロックのみ消去実施
	全ブロック完了後、リードモードへ復帰

複数ブロックがプロテクトされた状態でマルチブロック|プロテクトされていないブロックのみ消去実施

表 3.4.2 ブロックプロテクトの状態と書き替え動作の関係

ブロックプロテクト動作中はその他のコマンドシーケンスの入力は受け付けません。動作を中止する場合は、ハードウエアを用います。この場合、プロテクトの設定は正常に行えませんので、再度ブロックプロテクトの動作をやり直す必要があります。

8) ブロックプロテクトの解除

消去実行

ブロックプロテクトの解除は、各エリア (Flasho、Flashi) 毎に行います。所定のバスサイクルでプロテクト解除するエリアに応じて A[19]を入力します。 第 7 バスライトサイクルの後、プロテクト解除中は FLCS < bit2 > = "0"になり、プロ

第 7 バスライトサイクルの後、プロテクト解除中は FLCS < bit2 > = "0"になり、プロテクト解除動作終了後に FLCS < bit2 > = "1"になります。

ブロックプロテクトを解除している間はその他のコマンドシーケンスの入力は受け付けません。動作を中止する場合は、ハードウエアリセットを用います。この場合、プロテクトの解除は正常に行えませんので、再度全ブロックのプロテクトをかけるところから実行し直してください。プロテクトが解除されたことを確認するには、ベリファイブロックプロテクトを用います。

9) ベリファイブロックプロテクト

ベリファイブロックプロテクトは、ブロックプロテクト状態かどうかを確認するために用います。コマンドシーケンスの第 4 バスリードサイクルで、確認するブロックのアドレスを入力します。このとき、ブロックアドレスには A0 = A1 = A2 = A3 = "0"、A4 = "1"、A6 = "0"となるアドレスを指定し、ワードで読み出しを行ってください。そのブロックがプロテクト状態であれば、データには $0x00000_0001$ が出力されます。逆に、プロテクト解除の状態であれば データは $0x00000_00000$ が読み出されます。

引き続き他のブロックプロテクトのベリファイを行う場合は、第4バスリードサイクルのみを繰り返して読み出すことが可能です。所望のブロックアドレスに変更してワードで読み出しを行ってください。なお、ベリファイブロックプロテクトが完了した後、フラッシュメモリの読み出し、もしくは他のコマンド入力に戻るときは、リード/リセットあるいはハードウエアリセットを行う必要があります。

10) ハードウエアシーケンスフラグ (表 3.4.6参照)

フラッシュメモリの自動動作実行状態は、ハードウエアシーケンスフラグにより確認できます。自動動作中にリードモードと同じタイミングでデータの読み出しができます。フラッシュメモリは自動動作を終了すると自動的にリードモードに復帰します。動作の状態は、自動動作実行中はハードウエアシーケンスフラグ、終了後は読み出したデータがセルデータと一致することで確認できます。ハードウエアシーケンスフラグの読み出しは自動動作開始(FLCS < bit2 > = "0")を確認してから行います。

自動プログラム動作時のハードウエアシーケンスフラグの読み出しは、書き込んでいるアドレスと同じアドレスを指定 (A0 = A1 = 0) して読み出しを行ってください。また、自動消去動作中のハードウエアシーケンスフラグの読み出しも A0 = A1 = 0 となるアドレスを指定して読み出しを行ってください。

DQ7 (データポーリング)

データポーリング機能により、フラッシュメモリの自動動作状態を確認できます。データポーリングの出力は、自動動作コマンドシーケンスの最後のバスライトサイクル終了から開始します。自動プログラム動作中は DQ7 に書き込んだデータの反転データを出力し、終了後は DQ7 のセルデータを出力しますので、DQ7 を読み出すことで動作状態の識別ができます。自動消去動作中は DQ7 から "0" を出力し、終了後は "1" (セルデータ) を出力します。また、自動動作の結果が不良であった場合、DQ7 は自動動作中のデータをそのまま継続して出力します。したがって、不良の判定は後述の DQ5 (内部タイマ超過) を併用して行います。(図 3.4.7 参照)

フラッシュメモリは、動作が終了した時点でアドレスラッチを解除しますので、データを 読み出す際は書き込みを行ったアドレス、または消去中のプロテクトされてない任意のブ ロックアドレスを与える必要があります。

• DQ5 (内部タイマ超過)

フラッシュメモリは自動動作を正常に行っているとき、DQ5 に "0" を出力します。もし、自動動作がフラッシュメモリ内部で規定した時間を超えた場合は、DQ5 の出力は "1" に変わります。これは、自動動作が正常に終了しなかったことを示し、フラッシュメモリが不良である可能性があります。また、このフラッシュメモリは、プログラムモードで "1" データセルを "0" データにすることはできますが、"0" データセルを "1" データにすることはできません。このため、"0" データセルに対して "1" データを書き込んだ場合は、規定時間を超えても正しくデータを書き込めずに、結果的には DQ5 に "1" を出力しフラッシュメモリが不良と判定した状態になります。

この場合、DQ5 はフラッシュメモリの不良を示すのではなく、使用方法が正しくないことを示しています。自動動作が正常に終了しなかった場合、フラッシュメモリはロックされ、リードモードには復帰しません。リセットコマンドでフラッシュメモリをリセットしてください。

• DQ3 (ブロック消去タイマ)

自動ブロック消去は、コマンドサイクルの第 6 バスライトサイクル終了からブロック消去ホールドタイム (50 µs) 後に開始します。フラッシュメモリはブロック消去ホールドタイム中であれば、DQ3 に "0"、消去を開始すると "1" を出力します。消去するブロックを追加する場合は、ブロック消去ホールドタイム中に入力します。フラッシュメモリは、それぞれのブロックのブロック消去コマンドを入力するごとにブロック消去ホールドタイムをリセットし、最初からカウントします。自動動作の結果が不良であった場合は DQ3 に "1" を出力します

11) フラッシュコントロール/ステータスレジスタ

フラッシュメモリのステータスモニタと、セキュリティ制御を兼ねた 8 ビットのレジス タです。

FLCS (0xFFFF_E520)

		7	6	5	4	3	2	1	0
bit	t Symbol	FLRMSK					RDY/BSY		
0) Re	ead/Write	R/W					R		
IJ	セット後	0					1 (9	
機	能	FlashのRESET Mask					Ready/Busy	かならず、	
		1:フラッシュ制御回					0: 自動動作中	"0"を設定	
		路をりセットする					1: 自動動作終了	レてくだ	
		0:フラッシュ制御回						さい	
		路をリセットしない					() }		

ビット 2: Ready/Busy フラグビット

ライタモードでは、自動動作の状態をホスト側から認識する方法として、RDY/BSY出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であるとことを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。 ハードウエアリセットにより "1" に復帰します。

本ビットは、自動動作コマンドサイクルの最後のバスライトサイクル完了時点から "0" を出力します。ただし、自動ブロック消去の場合は消去ホールドタイム終了時から "0" を出力します。本ビットが "0" の状態のときは、コマンドシーケンスの入力を受け付けません。

ビット7:フラッシュリセットマスクビット

電源投入時にはリセット解除してから $30\mu s$ (T.B.D.) 経過後にプロセッサコアは動作を開始します。この時間は内蔵 Flash 制御回路を初期化するために必要な時間です。プロセッサコアの動作開始を 1962 の外部から知るために " SYSRDY "信号が出力されます。プロセッサコアがリセット解除されると SYSRDY 信号が "L"から "H"に変化します。電源投入以降の(電源オフしない)リセット動作は、Flash 制御部のフラッシュコントロール / ステータスレジスタ (FLCS) の bit7 (<FLRMSK>) によって制御されます。<FLRMSK>ビットが "0 (初期値)"のとき、常に Flash 制御回路を初期化します。<FLRMSK>ビットを "1"に設定すると、Flash 制御回路を初期化しません(内蔵 Flash メモリからのデータリードは正常に行えます)。この場合、リセット解除後に前述の Flash 制御回路の安定までの期間、" $30\mu s$ (T.B.D.)")は不要になり、直ちにプロセッサコアは動作を開始し、"SYSRDY "信号も"H"に変化します。<FLRMSK>ビットへの設定値は電源オフするまで保持されます。通常はリセット解除後の初期設定で<FLRMSK> = "1"にセットして使用します。

(注) 本レジスタは32 ビットでのアクセスになります。

図 3.4.3 フラッシュコントロールレジスタ

12) セキュリティ

本デバイスは、オンボードプログラミングだけでなく、汎用のライタ上でフラッシュメモリの書き替えを行うこともできます。このため、ユーザー以外の第三者が容易にデータを読み出せないようにすることが必要です。本デバイスは、全8ブロック全てにプロテクを掛ける事によりセキュリティ機能が有効になり、ライタ上でフラッシュメモリの内容が読み出せなくなります。

• セキュリティオン (読み出し禁止)

セキュリティをオンにすることにより、ライタを用いてもフラッシュメモリの内容が読み出せなくなります。セキュリティをオンにするには、フラッシュメモリ本体をプログラムした後、全8ブロックのプロテクトを掛けてください。これによりセキュリティオンになります。一つでもプロテクトが掛かっていないブロックが存在する場合はセキュリティはオンしません。

オンボード状態ではセキュリティがオンでも、CPU からのフラッシュメモリの読み出しは可能です。なお、セキュリティがオンであれば、ライタでリードを行っても常時 0x0098

(ワード)が出力されます。

セキュリティオフ (読み出し許可)

セキュリティはライタ上での読み出しを禁止する機能です。ユーザーのボード上で CPU からフラッシュメモリをリードするのはセキュリティのオン/オフに関わらず可能ですが、この場合はユーザーアプリケーションプログラムが制御しますので第三者が容易にフラッシュメモリの内容を読み出すことはできません。したがって、ユーザーアプリケーション上での使用に限定すればセキュリティオフ機能は本来必要ありませんが、本デバイスではこのセキュリティオフ機能についても対応しています。ブロックプロテクトを解除する事により、セキュリティオフになります。

セキュリティオフ動作ではセキュリティのオフに先立ちフラッシュメモリ本体の消去を 無条件で行います。本体消去が終了した後に、ブロックプロテクトビットの消去を行い一 連のセキュリティオフ動作が終了します。



(4) コマンドシーケンス一覧

表 3.4.3 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	バス サイクル	第 1 ライトt		-	バス ナイクル	-		リードも	バス もしくは ナイクル	第 5 ライトt	
	数		Doto	۸۵۵۳	Doto	۸۵۵۳	Doto	/		۸۵۵۳	Doto
		Addr.	Data	Addr.	Data	Addr.	Data	Addr.	Data	Addr.	Data
リード/リセット	1	0xXXXX	F0H					((
リード/リセット	3	0x5554	AAH	0xAAA8	55H	0x5554	F0H	RA	RD		
自動プログラム	4	0x5554	AAH	0xAAA8	55H	0x5554	A0H	PA	PD		
自動チップ消去	6	0x5554	AAH	0xAAA8	55H	0x5554	80H	0x5554	AAH	0xAAA8	55H
自動	6										
ブロック消去	О	0x5554	AAH	0xAAA8	55H	0x5554	80H	0x5554	AAH	0xAAA8	55H
ブロック	7							15			
プロテクト	,	0x5554	AAH	0xAAA8	55H	0x5554	9AH	0x5554	AAH	0xAAA8	55H
ブロック	7										
プロテクト解除	,	0x5554	AAH	0xAAA8	55H	0x5554<	6AH	0x5554	AAH	0xAAA8	55H
ID read/ブロッ									^		
クプロテクトヴ	4					(O)					
ェリファイ		0x5554	AAH	0xAAA8	55H	0x5554	90H	IA/BPA	(ID/BD)		

(つづき)

コマンドシーケンス	バス サイクル	第 6 ライト !			バス ナイクル
, ,,,	数	Addr.	Data	Addr.	Data
リード/リセット	1			40	
リード/リセット	3				
自動プログラム	4				
自動チップ消去	6	0x5554	10H		
自動 ブロック消去	6	ВА	30H	\mathcal{O})
ブロック プロテクト	7	0x5554	9AH	ВРА	9AH
ブロック プロテクト解除	7	0x5554	6AH)	0x5554	6AH
自動セキュリ ティオン (*1)	4 /			^	

- (注1) 各バスライトサイクル入力後に"SYNC"命令、"NOP"命令を順に実行してください。
- (注2) 各バスライトサイクルの 16 ピットから 19 ピットには Flash メモリアドレスに対応した値を入力します。

CPU 側からアクセスするアドレスは以下のようになります。

表 3.4.4

コマンド	_	CPU アドレス: A23~A0															
アドレス		01 0 7 1 VX. A23°A0															
Addr.	A23~A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	А3	A2	A1	Α0
0xXXX0	フラッシュ	Χ	Х	X	Х	Χ	Х	Х	Х	Χ	Χ	Х	Χ	0	0	0	0
0x0000	メモリ	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xAAA8	アドレス	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	0
0x5554	エリア	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0

(5) 補足説明

• F0H, AAH, 55H, A0H, 80H, 10H, 30H: コマンドデータ。バイト単位で書き込みます。

RA: リードアドレス RD: リードデータ出力

PA: プログラムアドレスPD: プログラムデータ入力

4 の倍数アドレス/ワード単位でデータを 書き込みます。

• BA: ブロックアドレス (BA0~BA6)

• BPA: ベリファイブロック

プロテクトアドレス

設定をするプロックの消去アドレス範囲の中で、A6=0、A4=1、A3=0、A1=A0=0のアドレスを指定し、ワードで読み出します。

ブロック消去アドレス表 3.4.5を参照ください。

• BD: ブロックプロテクトデータ

プロテクトされている場合、0x0000_0001。 プロテクトされていない場合、0x0000_0000 で読み出します。

• IA: ID Read Address

• ID: ID Data

表 3.4.5 ブロック消去アドレス表

		ユーザ Boot モード	Boot モード	(A19	A18	A17
Flash0	Block-0	0x1FC0_0000 ~ 0x1FC 1_FFFF (または 0x4000_0000 ~ 0x4001_FFFF)	0x1FC0_0000~0x1FC 1_FFFF	128kbyte	0	0	0
	Block-1	0x1FC2_0000 ~ 0x1FC3_FFFF (または 0x4002_0000 ~ 0x4003_FFFF)	0x1FC2_0000 ~ 0x1FC3_FFFF	128kbyte	0	0	1
	Block-2	0x1FC4_0000 ~ 0x1FC5_FFFF (または 0x4004_0000 ~ 0x4005_FFFF)	0x1FC4_0000 ~ 0x1FC5_FFFF	128kbyte	0	1	0
	Block-3	0x1FC6_0000 ~ 0x1FC7_FFFF (または 0x4006_0000 ~ 0x4007_FFFF)	0x1FC6_0000 ~ 0x1FC7_FFFF	128kbyte	0	1	1
Flash1	Block-4	0x1FC8_0000 ~ 0x1FC9_FFFF (または 0x4008_0000 ~ 0x4009_FFFF)	0x1FC8_0000 ~ 0x1FC9_FFFF	128kbyte	1	0	0
	Block-5	0x1FCA_0000 ~ 0x1FCB_FFFF (または 0x400A_0000 ~ 0x400B_FFFF)	0x1FCA_0000 ~ 0x1FCB_FFFF	128kbyte	1	0	1
	Block-6	0x1FCC_0000 ~ 0x1FCD_FFFF (または 0x400C_0000 ~ 0x400D_FFFF)	0x1FCC_0000 ~ 0x1FCD_FFFF	128kbyte	1	1	0
	Block-7	0x1FCE_0000 ~ 0x1FCF_FFFF (または 0x400E_0000 ~ 0x400E_FFFF)	0x1FCE_0000 ~ 0x1FCF_FFFF	128kbyte	1	1	1

選択するブロックの範囲内のアドレスを入力します。ただし、A0 = A1 = 0 となるアドレスを入力してください。

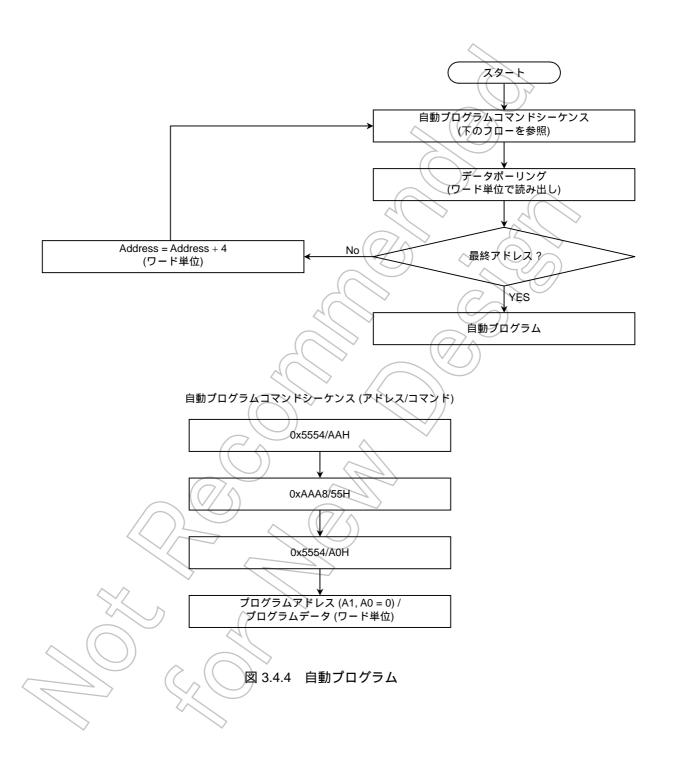
例: BA0 を選択する場合、ユーザーブートモードでは 0x1FC0_0000~0x1FC1_FFFF で任意の 1 アドレスを入力します。

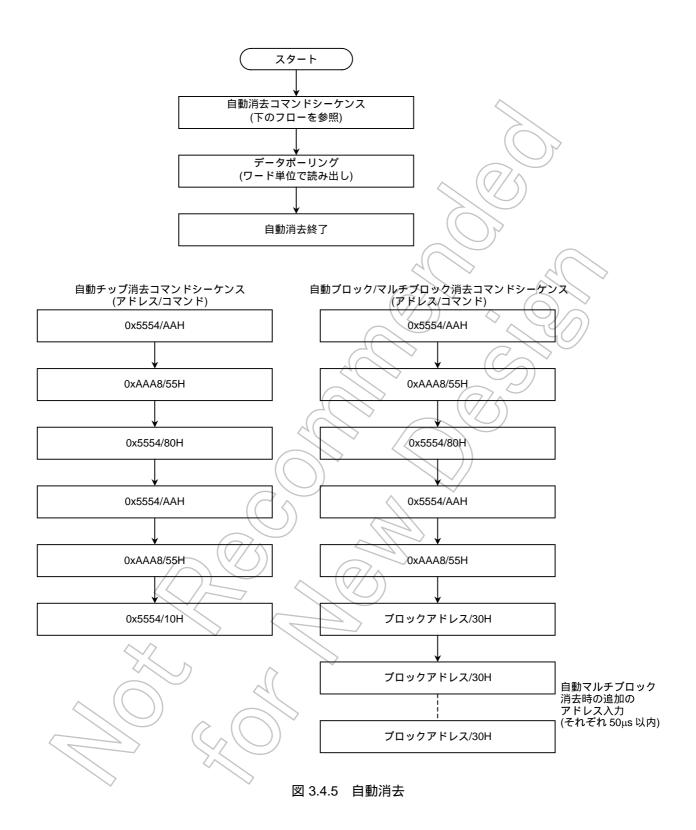
表 3.4.6 ハードウエアシーケンスフラグ一覧

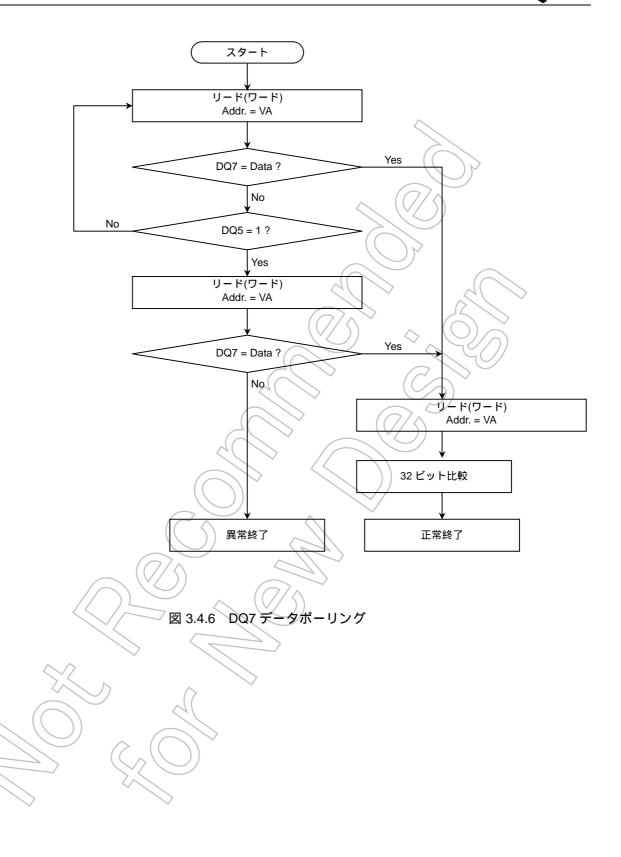
\supset	状態	D7 (DQ7)	D5 (DQ5)	D3 (DQ3)
	自動プログラム	DQ7 反転	0	0
自動動作実行中	自動消去 (消去ホールドタイム中)	0	0	0
口到到IF大门门	自動消去	0	0	1
タイムアウト	自動プログラム	DQ7 反転	1	1
(自動動作不良)	自動消去	0	1	1

注意) D31~D8、D6、D4、D2~D0 は Don't care。

(6) フローチャート









4. 電気的特性

4.1 絶対最大定格

計算式に使用している"X"は、SYSCR1<SYSCK>で選択されたクロック fsys の周期を示しますのでクロックギアや低速発振器を選択すると"X"の値が異なります。なお、例としての計算値はシステムクロックは高速 (fc) (SYSCR1 <SYSCK> = "0")、ギア選択が1/fc (SYSCR1 <GEAR (1:0)> = "00") のときの値です。

	項目	記号	定格	単位
電源電圧		V _{CC2} (内部)	- 0.3~3.6	
		Vcc3 (I/O)	-0.3~4.0	
		AVCC (A/D)	- 0.3~3.6	
		FVCC3(L1端子)	-0,3~4.0	
入力電圧		V _{IN}	- 0.3~V _{CC} + 0.3)) 🗸
低レベル	1 端子	I _{OL}	5	40)
出力電流	合計	ΣΙΟΙ	50	mA
高レベル	1 端子	IOH (-5	IIIA
出力電流	合計	ΣΙΟΗ	50	
消費電力(Ta	= 85°C)	PD	600	mW
はんだ付け温	度(10s)	TSOLDER	260	°C
保存温度		Tstg	-65~150	°C
動作温度	Flash W/E 時を除く	Topp	-20 ~ 85	°C
到作風汉	Flash W/E 時	TOPR	10~60	C
書き替え回数		NEW	100	cycle

 $V_{CC}2$ = DVCC21 = DVCC22 = FVCC2 = CVCC2、 $V_{CC}3$ = DVCC3n (n = 1 ~ 4) AVCC = AVCC31 = AVCC32 V_{SS} = DVSS = FVSS = AVSS = CVSS と定義します。

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格 (電流、電圧、消費電力、温度) を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。





4.2 DC 電気的特性 (1/4)

Ta = - 20 ~ 85

	項目	記号	条件	Min.	Typ. (注 1)	Max.	単 位
電源電圧 FVCC2 = CVCC2		DVCC2m (m = 1 ~ 2)	fosc = 10~13.5MHz fsys = 3.75~40.5MHz PLLON、INTLV="H"	2.2		2.7	V
	CC21 = DVCC22 =CVSS = DVSS = 0V	DVCC3n (n=1~4)	fsys =3.75 ~40.5MHz	1.65	\mathcal{O}	3.3	V
		FVCC3	fsys =3.75 ~40.5MHz	2.9		3.6	
	P7~P9 (ポートとして使用)	V _{IL1}	2.7V AVCC32 AVCC31 3.5V 1.65 AVCC32 < 2.7V			0.3 AVCC31 0.3 AVCC32	
	P0~P6, PA~PC, PD0~PD6,		1.65V DVCC3n 3.3V (n=1~4)	\Diamond		0.3 DVCC3n	
低レベ	PE0~PE2, PF2~PF7, VIL2 PG~PH, PI7, PJ1~PJ4, PL~PP		2.2V DVCC2m 2.7V (m=1~2)			0.2 DVCC2m	
低レベル入力電圧	PD7, PE3~PE7, PF0~PF1, PI0~PI6, PJ0, PK, PLLOFF, RSTPUP, RESET	V _{IL3}	2.7V DVCC3n 3.3V (n=1~4)	0.3)	0.15 DVCC3n	V
	DRESET, DBGE SDI/DINT, TCK, TMS, TDI, TRST NMI, BW0,BW1	ILS	1.65V DVCC3n < 2.7V (n=1 ~ 4) 2.2V DVCC2m 2.7V (m=1 ~ 2)			0.1 DVCC3n 0.1 DVCC2m	
	X1	V _{IL4}	2.2V CVCC2 2.7V			0.1 CVCC2	

Ta = - 20 ~ 85

	項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
	P7~P9	V _{IH1}	2.7V AVCC32 AVCC31 3.5V	0.7 AVCC31			
	(ポートとして使用)		1.65 AVCC32 < 2.7V	0.7 AVCC32			
	P0~P6, PA~PC, PD0~PD6,		1.65V DVCC3n 3.3V (n=1~4)	0.7 DVCC3n		\supset	
ヘル入力電圧	PE0~PE2, PF2~PF7, PG~PH, PI7, PJ1~PJ4, PL~PP	V _{IH2}	2.2V DVCC2m 2.7V (m=1 ~ 2)	0.8 DVCC2m)		
	PD7, PE3~PE7, PF0~PF1, PI0~PI6, PJ0, PK, PLLOFF, RSTPUP, RESET DRESET, DBGE SDI/DINT, TCK, TMS, TDI, TRST NMI, BW0,BW1	V _{IH3}	2.7V DVCC3n 3.3V (n=1~4)	0.85 DVCC3n	_<	DVCC2m+0.3	V
			1.65V DVCC3n < 2.7V (n=1~4) 2.2V DVCC2m 2.7V (m=1~2)	0.9 DVCC3n 0.9 DVCC2m		DVCC3n + 0.3	
	X1	V _{IH4}	2.2V CVCC2 2.7V	0.9 CVCC2)		
低レベ	ル出力電圧	V _{OL}	I _{OL} = 2mA DVCC3n 2.7V I _{OL} = 500 μA DVCC3n < 2.7V DVCC2m 2.7V			0.4 0.2 DVCC3n 0.4 0.2 DVCC2 0.4	V
高レベ	ル出力電圧	VOH	OH = 2mA DVCC3n 2.7V DVCC3n 2.7V DVCC2m 2.7V DV	2.4 0.8 DVCC3n 0.8 DVCC2			

(注1)Typ 値は特に指定のない限り Ta = 25°C, DVCC3n = 3.0V, DVCC2m=2.5V, AVCC3=3.3V の値です。





4.3 DC 電気的特性 (2/4)

Ta = - 20 ~ 85

項目	記号	条件	Min.	Тур.	Max.	単位
				(注 1)		177
入力リーク電流	I _{LI}	0.0 V _{IN} D VCC2m (m=1~2) 0.0 V _{IN} D VCC3n (n=1~4) 0.0 V _{IN} AVCC31 0.0 V _{IN} AVCC32		0.02	± 5	
出力リーク電流	I _{LO}	0.2 V _{IN} DVCC2m - 0.2 (m=1 ~ 2) 0.2 V _{IN} DVCC3n - 0.2 (n=1 ~ 4) 0.2 V _{IN} AVCC31 - 0.2 0.2 V _{IN} AVCC32 - 0.2)}	0.05	± 10	ήΑ
パワーダウン電圧 (@STOP,RAM バックアップ)	V _{STOP} (DVCC2)	$V_{IL2} = 0.2DVCC2m, V_{IL3} = 0.1DVCC2m$ $V_{IH2} = 0.8DVCC2m, V_{IH3} = 0.9DVCC2m$	2.2	2	2.7	V
リセットプルアップ抵抗	RRST	2.2V DVCC21 2.7V	20	50	240	k
Schmitt W ldth PD7, PE3~PE7, PF0~PF1, PI0~PI6, PJ0, PK, PLLOFF,	VTH	2.7V DVCC3n 3.3V (n=2,4)	0.4	0.9	/	V
RSTPUP, RESET, DRESET, DBGE, SDI/DINT, TCK, TMS, TDI, TRST, NMI, BW0, BW1	VIH	1.65V DVCC3n < 2.7V (n=2,4) 2.2V DVCG2m 2.7V (m=1~2)	0.3	0.6		V
プログラマブル プルアップ / ダウン抵抗		DVCC3n = 3.0V ± 0.3V (n=2~4)	15	50	100	
P32 ~ P37,P40 ~ P43 KEY0 ~ KEYD, DRESET,	PKH	DVCC3n = 2.5V ± 0.2V (n=2 ~ 4)	20	50	240	k
DBGE, SDI/DINT, TCK, TMS, TDI, TRST		DVCC3n = 2.0V ± 0.2V (n=2~4)	25	160	600	
Pin 容量(電源端子を除く)	CIO	fc = 1MHz			10	pF

(注1)Typ 値は特に指定のない限り Ta = 25°C, DVCC3n = 3.0V, DVCC2m=2.5V, AVCC3=3.3V の値です。





4.4 DC 電気的特性 (3/4)

DVCC2m = FVCC2 = CVCC2 = 2.5V \pm 0.2V, FVCC3 = 3.3V \pm 0.3V , DVCC3n = 3.0V \pm 0.3V AVCC3m = 3.3V \pm 0.2V

Ta = $-20 \sim 85$ (n = 1 ~ 4 , m = 1,2)

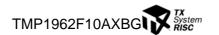
			/	1 P		
項目	記号	条件	Min.	<i>—</i> Тур.	Max.	単
		\wedge	(7/	(注 1)		位
NORMAL(注 2)ギア比 1/1		f _{sys} =40.5 MHz		90	110	
IDLE(Doze)		(f _{OSC} = 13.5 MHz , PLLON)		40	60	mA
IDLE(Halt)	l _{CC}	INTLV="H"	$\bigcup Y$	33	50	
		DVCC2m = FVCC2= CVCC2 =2.2~2.7V				
STOP		DVCC3n = 1.65~3.3V		55	900	μА
3131		AVCC3m = 2.7~3.5V		00/	300	μΛ
		FVCC3 = 3.0~3.6V			\supset	

- (注1) Typ 値は、特に指定のない限り Ta = 25 °C, DVCC2m = 2.5 V, DVCC3n= 3.0 V AVCC3m= 3.3 V の値です。
- (注2) I_{CC} NORMAL の測定条件: CPU ドライストン実行、内蔵周辺 I/O 全で動作

外部バス 16 ビット幅 4 システムクロックで動作

(注3) I_{CC} には DVCC2m、FVCC2、DVCC3n、CVCC2、FVCC3、AVCC3m に流れる電流が含まれます。





4.5 10 ビット A/D 変換特性

DVCC15= CVCC15= 1.5 ± 0.15 V, DVCC2= 2.5 ± 0.2 V, DVCC3n = 3.0 ± 0.3 V,

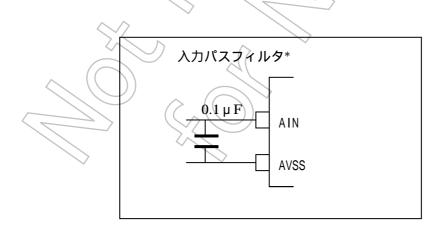
 $AVCC3m = 3.0 \pm 0.3V$

AVSS = DVSS, $Ta = -20 \sim 85$

					(()')		
項	目	記号	条件	Min	Тур	Max	単位
アナログ基準電	连(+)	VREFH		2.7 AVCCm- 0.3	AVCC	3.3 AVCCm+ 0.3	V
アナログ基準電	注(-)	VREFL		AVSS	AVSS	AVSS + 0.2	V
アナログ入力電	注	VAIN		VREFL	>	VREFH	V
アナログ基準	A/D 変換時	IREF	AVCCm = VREFH = 3.0V ± 0.3V DVSS = AVSS = VREFL		0.35	1.0	mA
電圧電源電流	A/D 非変換時		AVCCm = VREFH = 3.0± 0.3V DVSS = AVSS = VREF		0.02	10	μΑ
アナログ入力容	量				5.0		pF
アナログ入力イ	ンピーダンス				5,0		k
積分非直線性誤	差		AVCCm = VREFH = 3.0± 0.3V DVSS = AVSS = VREFL		±1	±3	LSB
微分直線性誤差	•		AIN 負荷抵抗 < 13.3k AIN 負荷容量 < 20pF		± 1.5	±3	LSB
オフセット誤差	•	_ (AVCCm負荷容量 10 μ F VREFH負荷容量 10 μ F 変換時間 7.9 μ s		± 2	±3	LSB
ゲイン誤差			入力パスフィルタ*=0.î μF	>	± 2	±6	LSB

(注 1) 1LSB = (VREFH - VREFL) / 1024[V]

(注 2) AVCCm端子に流れる電源電流は、デジタル電源端子の電源電流:ICC に含みます。





4.6 AC 電気的特性

[1]マルチプレクスバスモード

(1) DVCC2m = FVCC2 = CVCC2 = $2.5V \pm 0.2V$, FVCC3 = $3.3V \pm 0.3V$, AVCC3m= $3.3 \pm 0.2V$ DVCC33 = $3.0V \pm 0.3V$, Ta = $-20 \sim 85$ °C (m = $1 \sim 2$)

ALE = 0.5 クロック, 自動 1 ウェイト挿入

			T		\ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ 		
			計	算式 ()	40.5		
No.	項目	記号			(fsys))(注)	単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6	(()>			ns
2	A0 – 15 有効 ALE 立ち下がり	t _{AL}	0.5x - 4.3		8		ns
3	ALE 立ち下がり A0 – 15 保持	t_{LA}	0.5x - 1.8	$\mathcal{A}(\mathbb{R})$	10.5		ns
4	ALE High パルス幅	t _{LL}	0.5x - 0.3		12		ns
5	ALE 立ち下がり RD/WR /HWR 立ち 下がり	tLC	0.5x - 2.3		(10)	\Rightarrow	ns
6	RD / WR /HWR 立ち上がり ALE 立ち上がり	t _{CL}	x – 0.6		24		ns
7	A0-15 有効 RD / WR /HWR 立ち下がり	t _{ACL}	x - 5.1		19.5		ns
8	A16-23 有効 RD / WR /HWR 立ち下がり	^t ACH	x-5.1		19.5		ns
9	RD / WR /HWR 立ち上がり A16 – 23 保持	tCAR	x – 1.6		23		ns
10	A0 – 15 有効 D0 – 15 入力	t _{ADL}		x (2 + W) - 35.8		38	ns
11	A16 - 23 有効 D0 - 15 入力	tADH		x (2 + W) - 35.8		38	ns
12	RD 立ち下がり D0 - 15 入力	tRD		x (1 + W) - 30.7		18.5	ns
13	RD Low パルス幅	t _{RR}	x (1 + W) - 2.7		46.5		ns
14	RD 立ち上がり D0 – 15 保持	tHR	0	\rightarrow	0		ns
15	RD 立ち上がり A0 — 15 出力//	t _{RAE}	x= 0.1		24.5		ns
16	WR /HWR Low パルス幅	t _{WW}	x (1 + W) - 3.2		46		ns
17	D0-15 有効 WR /HWR 立ち上がり	t _{DW}	x (1 + W) – 4.2		45		ns
18	WR /HWR 立ち上がり D0 – 15 保持	twp	x – 0.1		24.5		ns
19	A16 – 23 有効 WAIT 入力	taWH		x (3 + 0.5) – 21.6		64.5	ns
20	A0 – 15 有効 / WAIT 入力	t _{AWL}		x (3 + 0.5) – 21.6		64.5	ns
21	RD/WR/HWR WAIT 保持	tcw	x (0.5 + 3 + N-2) - 4.1	x (1.5 + 3 + N-2) - 18.7	57.4	67.4	ns

(注)項目 1~18 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 19~20 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

₩: ウェイト挿入数 (内部ウェイトは W = 0~7)



ALE = 1.5 クロック, 自動 1 ウェイト挿入

No.	項目	記号	計	·算式	40.5 (fsys		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6				ns
2	A0 – 15 有効 ALE 立ち下がり	t _{AL}	1.5x - 3.9		33		ns
3	ALE 立ち下がり A0 – 15 保持	t_{LA}	0.5x - 1.8		10.5		ns
4	ALE High パルス幅	t _{LL}	1.5x - 0.4		36.5		ns
5	ALE 立ち下がり RD / WR /HWR 立ち下がり	tLC	0.5x - 2.4) 10		ns
6	RD / WR /HWR 立ち上がり ALE 立ち上がり	t _{CL}	x – 0.6		24		ns
7	A0-15 有効 RD / WR /HWR 立ち下がり	t _{ACL}	2x - 5.2		44		ns
8	A16-23 有効 RD / WR /HWR 立ち下がり	t _{ACH}	2x - 5.2		44		ns
9	RD / WR /HWR 立ち上がり A16 – 23 保持	tCAR	x – 1.6		23/))	ns
10	A0 – 15 有効 D0 – 15 入力	t _{ADL}		x (3 + W) - 35.9		62.5	ns
11	A16 – 23 有効 D0 – 15 入力	t _{ADH}		x (3 + W) - 35.9))	62.5	ns
12	RD 立ち下がり D0 – 15 入力	t _{RD}		x (1 + W) – 30.7		18.5	ns
13	RD Low パルス幅	t _{RR}	x (1 + W) – 2.7		46.5		ns
14	 RD 立ち上がり	tHR	0		0		ns
15	RD 立ち上がり A0 – 15 出力	tRAE	x <<		24.6		ns
16	WR /HWR Low パルス幅	tww	x (1 + W) – 3.2		46		ns
17	D0-15 有効 WR /HWR 立ち上がり	t _{DW}	x (1 + W) – 4.2	<u> </u>	45		ns
18	WR /HWR 立ち上がり D0 – 15 保持	twp	x – 0.1		24.5		ns
19	A16 – 23 有効 WAIT 入力	tawh		x (4 + 0.5) – 21.7		89	ns
20	A0 - 15 有効 WAIT 入力	tAWL		x (4 + 0.5) – 21.7		89	ns
21	RD / WR /HWR WAIT 保持	t _{CW}	x (0.5 + 3 + N-2)	x (1.5 + 3 + N-2) - 18.7	57.4	67.4	ns

(注)項目 1~18 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 19~20 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W: ウェイト挿入数 (内部ウェイトは W = 0~7)



(2) DVCC2m = FVCC2 = CVCC2 = $2.5V \pm 0.2V$, FVCC3 = $3.3V \pm 0.3V$, AVCC3m= $3.3 \pm 0.2V$ DVCC33 = $2.5V \pm 0.2V$, Ta = $-20 \sim 85$ °C (m = $1 \sim 2$)

ALE = 0.5 クロック, 自動 1 ウェイト挿入

No.	項目	記号	計	·算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6				ns
2	A0 – 15 有効 ALE 立ち下がり	t _{AL}	0.5x - 2.3		10		ns
3	ALE 立ち下がり A0 – 15 保持	t _{LA}	0.5x - 1.8		10.5		ns
4	ALE High パルス幅	t _{LL}	0.5x - 0.3		12		ns
5	ALE 立ち下がり RD / WR /HWR 立ち下がり	t _{LC}	0.5x - 2.3		10		ns
6	RD / WR /HWR 立ち上がり ALE 立ち上がり	t _{CL}	x – 0.6		24		ns
7	A0-15 有効 RD / WR /HWR 立ち下がり	tACL	x – 5.1		19.5	<i>></i> (ns
8	A16-23 有効 RD / WR /HWR 立ち下がり	tACH	x – 5.1		19.5		ns
9	RD / WR /HWR 立ち上がり A16 – 23 保持	tCAR	x-1.6		23		ns
10	A0 – 15 有効 D0 – 15 入力	t _{ADL}	7()	x (2 + W) - 36.8		37	ns
11	A16 - 23 有効 D0 - 15 入力	tADH		x (2 + W) - 36.8		37	ns
12	RD 立ち下がり D0 – 15 入力	t _{RD}	\ \ \ ((x (1 + W) – 31.7		17.5	ns
13	RD Low パルス幅	tRR	x (1 + W) – 2.2		47		ns
14	RD 立ち上がり D0 – 15 保持	tHR	0		0		ns
15	RD 立ち上がり A0 – 15 出力	t _{RAE}	x – 0.1	,	24.5		ns
16	WR /HWR Low パルス幅	tww	x (1 + W) – 2.7		46.5		ns
17	D0-15 有効 WR /HWR 立ち上がり	tow	x (1 + W) – 3.8	\supset	45.5		ns
18	WR /HWR 立ち上がり D0 – 15 保持	t _{WD}	x -0.1		24.5		ns
19	A16 – 23 有効 WAIT 入力	tawh	(7/4)	x (3 + 0.5) – 22.6		63.5	ns
20	A0 – 15 有効 WAIT 入力	tAWL		x (3 + 0.5) – 22.6		63.5	ns
21	RD/WR/HWR WAIT 保持	tcw	x (0.5 + 3 + N-2) - 5.1	x (1.5 + 3 + N-2) - 19.7	56.4	66.4	ns

(注)項目 1~18 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 19~20 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件/

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

₩: ウェイト挿入数 (内部ウェイトは W = 0~7)

ALE = 1.5 クロック, 自動 1 ウェイト挿入

No.	項目	記号	計	·算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6	<u> </u>			ns
2	A0 – 15 有効 ALE 立ち下がり	t _{AL}	1.5x - 2.4		34.5		ns
3	ALE 立ち下がり A0 – 15 保持	t _{LA}	0.5x - 1.8		10.5		ns
4	ALE High パルス幅	t _{LL}	1.5x - 0.4		36.5		ns
5	ALE 立ち下がり RD / WR /HWR 立ち下がり	tLC	0.5x - 2.4		10		ns
6	RD / WR /HWR 立ち上がり ALE 立ち上がり	t _{CL}	x – 0.6		24		ns
7	A0-15 有効 RD / WR /HWR 立ち下がり	tACL	2x - 5.2		44		ns
8	A16-23 有効 RD / WR /HWR 立ち下がり	tACH	2x - 5.2		44	/	ns
9	RD / WR /HWR 立ち上がり A16 – 23 保持	tCAR	x – 1.6		23) (C	ns
10	A0 – 15 有効 D0 – 15 入力	t _{ADL}		x (3 + W) - 36.9		61.5	ns
11	A16 - 23 有効 D0 - 15 入力	t _{ADH}		x (3 + W) - 36.9		61.5	ns
12	 	t _{RD}		x (1 + W) - 31.7))	17.5	ns
13	RD Low パルス幅	t _{RR}	x (1 + W) - 2.2		47		ns
14	 立ち上がり D0 – 15 保持	t _{HR}	2 0		0		ns
15	 RD 立ち上がり A0 – 15 出力	tRAE	x - 0.1		24.5		ns
16	WR /HWR Low パルス幅	tw₩	x (1 + W) - 2.7		46.5		ns
17	D0-15 有効 WR /HWR 立ち上がり	tpw	x (1 + W) – 3.8		45.5		ns
18	WR /HWR 立ち上がり D0 – 15 保持	twD	x −0.1	~	24.5		ns
19	A16 – 23 有効 WAIT 入力	tawn		x (4 + 0.5) – 22.6		88.1	ns
20	A0 – 15 有効 WAIT 入力	tAWL		x (4 + 0.5) – 22.6		88.1	ns
21	RD / WR /HWR WAIT 保持	tcw	x (0.5 + 3 + N-2) - 5.1	x (1.5 + 3 + N-2) - 19.7	56.4	66.4	ns

(注)項目 1~18 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 19~20 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

- 出力レベル High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W: ウェイト挿入数 (内部ウェイトは W = 0~7)



(3) DVCC2m = FVCC2 = CVCC2 = $2.5V \pm 0.2V$, FVCC3 = $3.3V \pm 0.3V$, AVCC3m= $3.3 \pm 0.2V$ DVCC33 = $1.8V \pm 0.15V$, Ta = $-20 \sim 85^{\circ}$ C (m = $1 \sim 2$)

ALE = 0.5 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計	·算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6	33333			ns
2	A0 – 15 有効 ALE 立ち下がり	t _{AL}	0.5x - 2.3		10		ns
3	ALE 立ち下がり A0 – 15 保持	t _{LA}	0.5x - 1.8		10.5		ns
4	ALE High パルス幅	tLL	0.5x - 0.3		12		ns
5	ALE 立ち下がり RD / WR /HWR 立ち下がり	tLC	0.5x - 2.3		10		ns
6	RD / WR /HWR 立ち上がり ALE 立ち上がり	tCL	x – 0.6		24	/	ns
7	A0-15 有効 RD / WR /HWR 立ち下がり	^t ACL	x – 5.1		19.5) (C	ns
8	A16-23 有効 RD / WR /HWR 立ち下がり	^t ACH	x – 5.1		19.5		ns
9	RD / WR /HWR 立ち上がり A16 – 23 保持	tCAR	x-1.6		23		ns
10	A0 – 15 有効 D0 – 15 入力	t _{ADL}	7(//	x (2 + W) - 42.4		56	ns
11	A16 – 23 有効 D0 – 15 入力	tADH		x (2 + W) - 42.4		56	ns
12	RD 立ち下がり D0 – 15 入力	t _{RD}	\ \ \ (<	x (1 + W) - 37.3		36.5	ns
13	RD Low パルス幅	tRR	x (1 + W) – 2.3		71.5		ns
14	RD 立ち上がり D0 – 15 保持	tHR	0		0		ns
15	RD 立ち上がり A0 – 15 出力	t _{RAE}	x – 0.1	Ť	24.5		ns
16	WR /HWR Low パルス幅	tww	x (1 + W) – 2.8		71		ns
17	D0-15 有効 WR /HWR 立ち上がり	-t _{DW}	x (1 + W) – 3.8	\rightarrow	70		ns
18	WR /HWR 立ち上がり D0 – 15 保持	t _{WD}	x – 0.1		24.5		ns
19	A16 – 23 有効 WAIT 入力	t _{AWH}	(O/Δ)	x (3 + 0.5) – 28.1		58	ns
20	A0 – 15 有効 WAIT 入力	t _{AWL}		x (3 + 0.5) – 28.1		58	ns
21	RD / WR /HWR WAIT 保持	tcw	x (0.5 + 3 + N -2) - 6.1	x (1.5 + 3 + N-2) - 24.7	55.4	61.4	ns

(注)項目 1~18 の 40.5MHz 時の値は内部ウェイト"2"の場合、項目 19~20 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件/

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W: ウェイト挿入数 (内部ウェイトは W = 0~7)

ALE = 1.5 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計	·算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6	\wedge			ns
2	A0 – 15 有効 ALE 立ち下がり	t _{AL}	1.5x - 2.4		34.5		ns
3	ALE 立ち下がり A0 – 15 保持	t_{LA}	0.5x - 1.8		10.5		ns
4	ALE High パルス幅	t _{LL}	1.5x - 0.4		36.5		ns
5	ALE 立ち下がり RD / WR /HWR 立ち下がり	tLC	0.5x - 2.3		10		ns
6	RD / WR /HWR 立ち上がり ALE 立ち上がり	t _{CL}	x – 0.6		24		ns
7	A0-15 有効 RD / WR /HWR 立ち下がり	tACL	2x - 5.2		44		ns
8	A16-23 有効 RD / WR /HWR 立ち下がり	tACH	2x - 5.2		44	/	ns
9	RD / WR /HWR 立ち上がり A16 – 23 保持	tCAR	x – 1.6		23) (C	ns
10	A0 – 15 有効 D0 – 15 入力	t _{ADL}		x (3 + W) - 42.5		80.5	ns
11	A16 - 23 有効 D0 - 15 入力	t _{ADH}		x (3 + W) - 42.5		80.5	ns
12	 	t _{RD}		x (1 + W) - 37.3))	36.5	ns
13	RD Low パルス幅	t _{RR}	x (1 + W) - 2.3		71.5		ns
14	 RD 立ち上がり	t _{HR}	7 0>		0		ns
15	 RD 立ち上がり A0 – 15 出力	tRAE	x - 0.1		24.5		ns
16	WR /HWR Low パルス幅	tw₩	x (1 + W) – 2.8		71		ns
17	D0-15 有効 WR /HWR 立ち上がり	tow	x (1 + W) – 3.8		70		ns
18	WR /HWR 立ち上がり D0 – 15 保持	twD) x – 0.1	~	24.5		ns
19	A16 – 23 有効 WAIT 入力	tawn		x (4 + 0.5) – 28.1		82.6	ns
20	A0 – 15 有効 WAIT 入力	tawL		x (4 + 0.5) – 28.1		82.6	ns
21	RD / WR /HWR WAIT 保持	tcw	x (0.5 + 3 + N -2) - 6.1	x (1.5 + 3 + N-2) - 24.7	55.4	61.4	ns

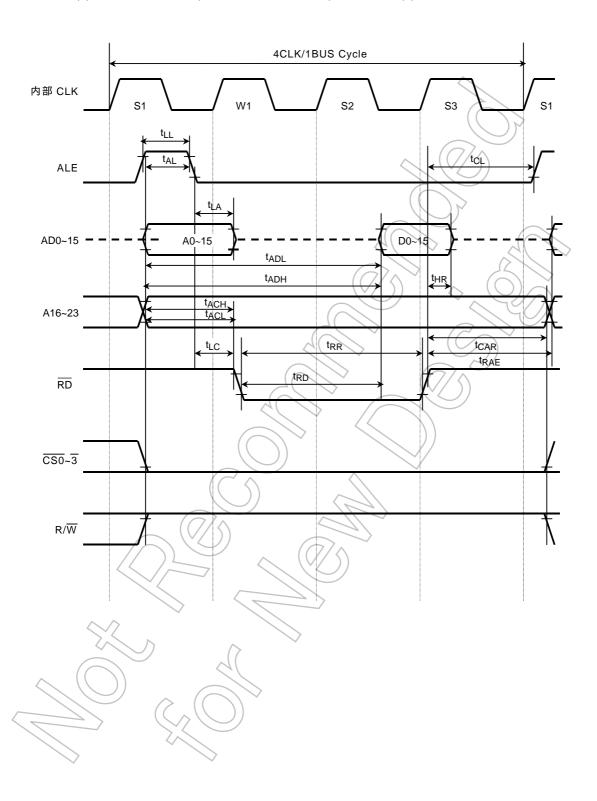
(注)項目 1~18 の 40.5MHz 時の値は内部ウェイト"2"の場合、項目 19~20 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

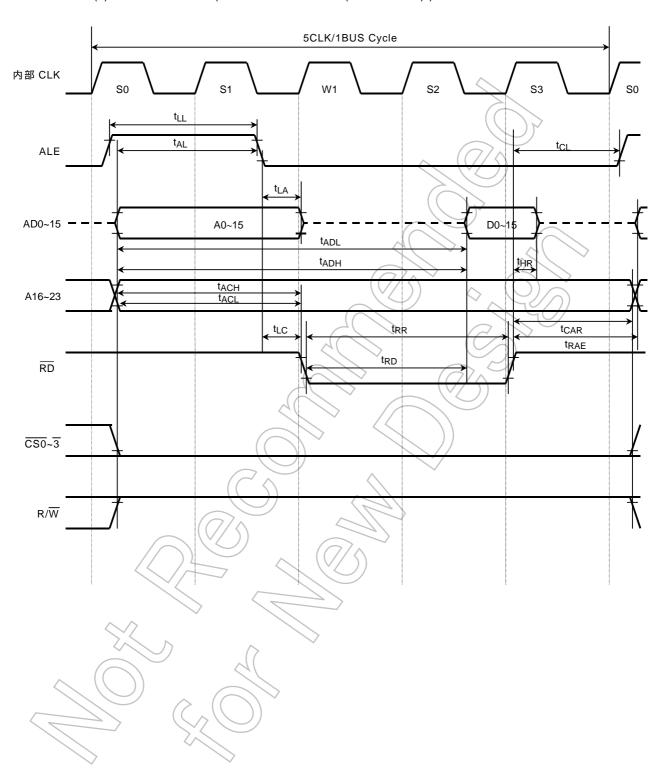
- 出力レベル High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W: ウェイト挿入数 (内部ウェイトは W = 0~7)

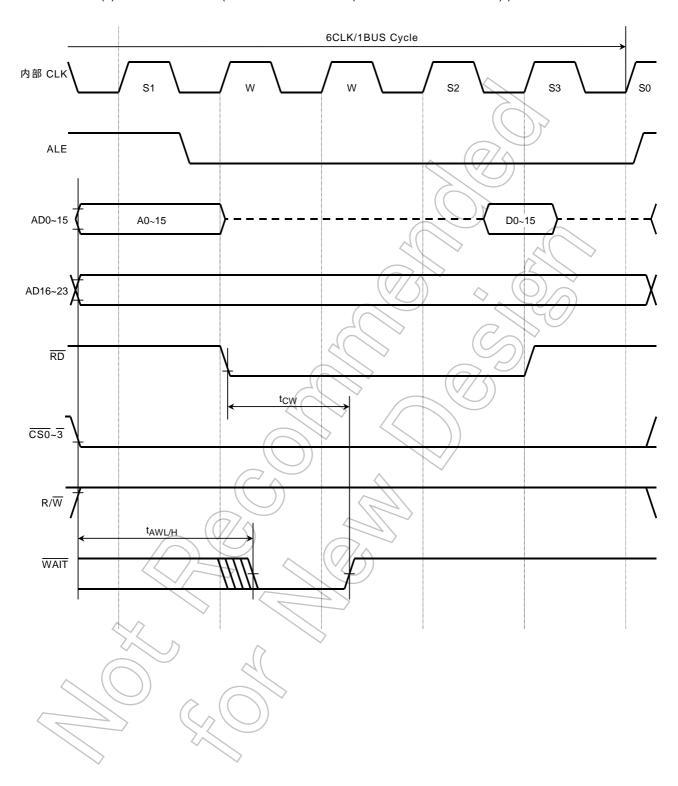
(1) リードタイミング (ALE = 0.5、1 ウェイト (内部ウェイト))

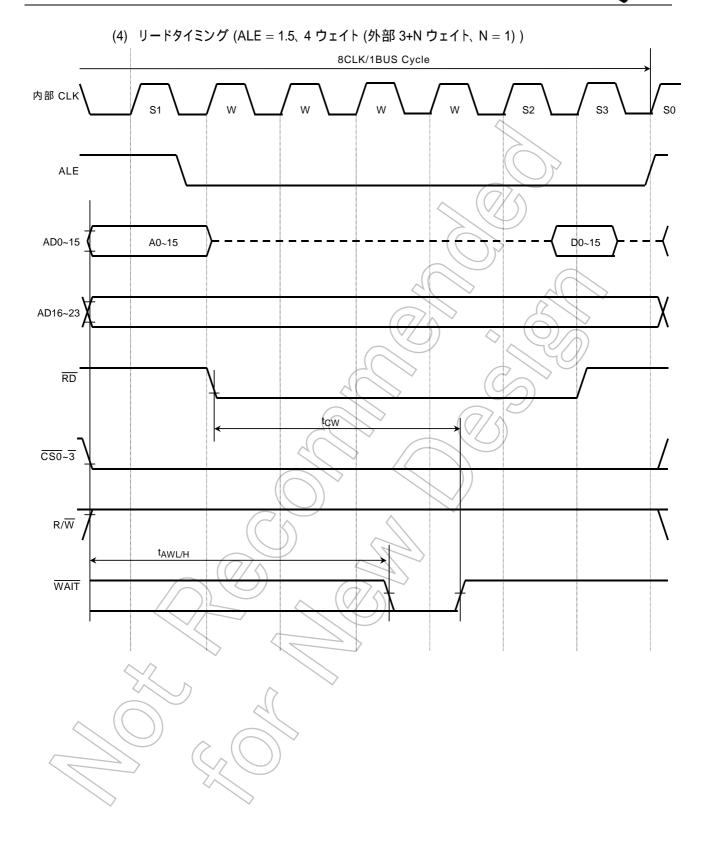


(2) リードタイミング (ALE = 1.5、1 ウェイト (内部ウェイト))

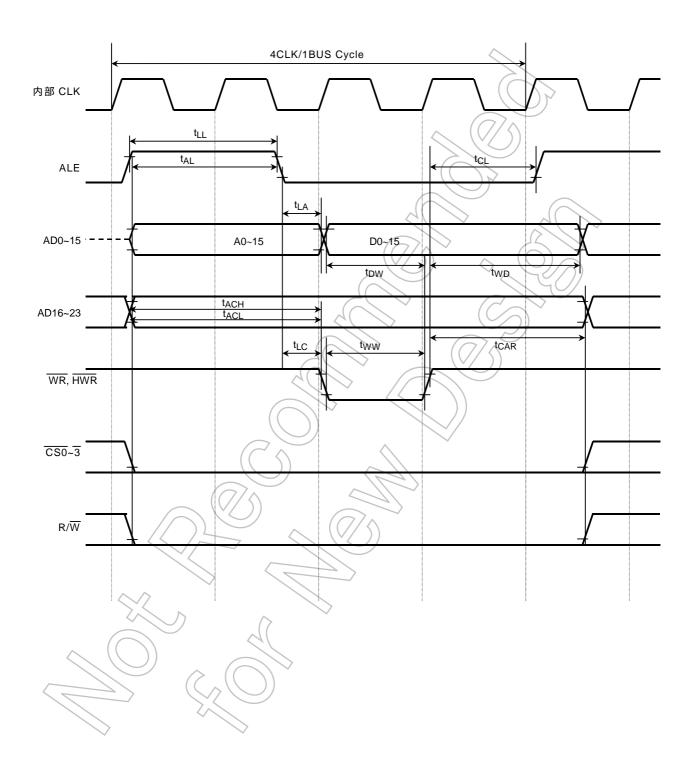


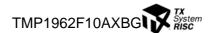
(3) リードタイミング (ALE = 1.5、2 ウェイト (外部 1+N ウェイト、N = 1))





(5) ライトタイミング (ALE = 1.5、0 ウェイト)





[2]セパレートバスモード

(1) DVCC2m = FVCC2 = CVCC2 = $2.5V \pm 0.2V$, FVCC3 = $3.3V \pm 0.3V$, AVCC3m= $3.3 \pm 0.2V$ DVCC33 = $3.0V \pm 0.3V$, Ta = $-20 \sim 85^{\circ}$ C (m = $1 \sim 2$)

SYSCR3<ALESEL> = "0", 自動 1 ウェイト挿入

No.	項目	記号	計	-算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6)		ns
2	A0-23 有効 RD / WR /HWR 立ち下がり	t _{AC}	x – 5.1		19.5		ns
3	RD / WR /HWR 立ち上がり A0 – 23 保持	tCAR	x – 1.6		23		ns
4	A0 - 23 有効 D0 - 15 入力	t _{AD}		x (2 + W) - 35.8	12	38	ns
5	RD 立ち下がり D0 – 15 入力	t _{RD}	6	x (1 + W) – 30.7	15	18.5	ns
6	RD Low パルス幅	t _{RR}	x (1 + W) - 2.7	()) 💍	46.5	Š	ns
7	 立ち上がり D0 – 15 保持	t _{HR}	0		0	"	ns
8	 	t _{RAE}	x=0.1		24.5		ns
9	WR /HWR Low パルス幅	t _{WW}	x (1 + W) - 3.2		46		ns
10	U WR /HWR 立ち下がり D0-15 有効	t _{DO}				1	ns
11	D0-15 有効 WR /HWR 立ち上がり	t _{DW}	x (1 + W) - 4.2	(7/4)	45		ns
12	MR /HWR 立ち上がり	twD	x – 0.1		24.5		ns
13	A0 – 23 有効 WAIT 入力	t _{AW}		x (3 + 0.5) – 21.6		64.5	ns
14	RD / WR /HWR WAIT 保持	fcw	x (0.5 + 3 + N-2) - 4.1	x (1.5 + 3 + N-2) - 18.7	57.4	67.4	ns

(注)項目 1~12 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 13~14 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W: ウェイト挿入数 (内部ウェイトは W = 0~7)



SYSCR3<ALESEL> = "1", 自動 1 ウェイト挿入

No.	項目	記号	計	算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6	\wedge			ns
2	A0-23 有効 RD / WR /HWR 立ち下がり	t _{AC}	2x - 5.2		44		ns
3	RD / WR /HWR 立ち上がり A0 – 23 保持	tCAR	x – 1.6		23		ns
4	A0 - 23 有効 D0 - 15 入力	t _{AD}		x (3 + W) - 35.9		62.5	ns
5	 	t _{RD}		x (1 + W) - 30.7	/	18.5	ns
6	 RD Low パルス幅	t _{RR}	x (1 + W) – 2.7		46.5		ns
7	 D 立ち上がり D0 – 15 保持	t _{HR}	0		0		ns
8	RD 立ち上がり A0 – 23 出力	t _{RAE}	х		24.6		ns
9	WR /HWR Low パルス幅	t _{WW}	x (1 + W) – 3.2		46		ns
10	 WR /HWR 立ち下がり D0-15 有効	t _{DO}	\mathcal{C}	· ·) 1	ns
11	D0-15 有効 WR /HWR 立ち上がり	t _{DW}	x (1 + W) - 4.2		(45)		ns
12	WR /HWR 立ち上がり D0 − 15 保持	t _{WD}	x - 0.1		24.5		ns
13	A0 – 23 有効 WAIT 入力	t _{AW}	20	x (4 + 0.5) – 21.7		89	ns
14	RD / WR /HWR WAIT 保持	t _{CW}	x (0.5 + 3 + N-2) - 4.1	x (1.5 + 3 + N-2.) - 18.7	57.4	67.4	ns

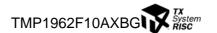
(注)項目 1~12 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 13~14 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W:ウェイト挿入数 (内部ウェイトは W = 0~7)





(2) DVCC2m = FVCC2 = CVCC2 = $2.5V \pm 0.2V$, FVCC3 = $3.3V \pm 0.3V$, AVCC3m= $3.3 \pm 0.2V$ DVCC33 = $2.5V \pm 0.2V$, Ta = $-20 \sim 85^{\circ}$ C (m = 1 \sim 2)

SYSCR3<ALESEL> = "0", 自動 1 ウェイト挿入

No.	項目	記号	計	·算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6)		ns
2	A0-23 有効 RD / WR /HWR 立ち下がり	t _{AC}	x – 5.1		19.5		ns
3	RD / WR /HWR 立ち上がり A0 – 23 保持	tCAR	x – 1.6		23		ns
4	A16 - 23 有効 D0 - 15 入力	t _{AD}		x (2 + W) - 36.8		37	ns
5	 RD 立ち下がり D0 – 15 入力	t _{RD}		x (1 + W) – 31.7	11	17,5	ns
6	 RD Low パルス幅	t _{RR}	x (1 + W) – 2.2		47		ns
7	 立ち上がり D0 – 15 保持	t _{HR}	0 (/		$(\bigcirc 0)$	7	ns
8	 RD 立ち上がり A0 – 23 出力	t _{RAE}	x – 0.1		24.5))	ns
9	WR /HWR Low パルス幅	t _{WW}	x (1 + W) - 2.7		46.5		ns
10	 WR /HWR 立ち下がり D0-15 有効	t _{DO}		· (C/		1.5	ns
11	D0-15 有効 WR /HWR 立ち上がり	t _{DW}	x (1 + W) - 3.8		45.5		ns
12	WR /HWR 立ち上がり D0 – 15 保持	t _{WD}	x-0.1	$(7/\wedge)$	24.5		ns
13	A16 – 23 有効 WAIT 入力	t _{AW}		x (3 + 0.5) - 22.6		63.5	ns
14	RD / WR /HWR WAIT 保持	t _{CW}	x (0.5 + 3 + N-2) - 5.1	x (1.5 + 3 + N-2) - 19.7	56.4	66.4	ns

(注)項目 1~12 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 13~14 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W: ウェイト挿入数 (内部ウェイトは W = 0~7)

N: 3WAIT + Nwait モード時の N 値

90 2006-02-21



SYSCR3<ALESEL> = "1", 自動 1 ウェイト挿入

No.	項目	記号	計	算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6	\wedge			ns
2	A0-23 有効 RD / WR /HWR 立ち下がり	t _{AC}	2x - 5.2		44		ns
3	RD / WR /HWR 立ち上がり A0 – 23 保持	tCAR	x – 1.6		23		ns
4	A16 – 23 有効 D0 – 15 入力	t _{AD}		x (3 + W) - 36.9		61.5	ns
5	 	t _{RD}		x (1 + W) - 31.7	/	17.5	ns
6	ND Low パルス幅	t _{RR}	x (1 + W) – 2.2		47		ns
7	 D 立ち上がり D0 – 15 保持	t _{HR}	0		0		ns
8	RD 立ち上がり A0 – 23 出力	t _{RAE}	x – 0.1		24.5		ns
9	WR /HWR Low パルス幅	t _{WW}	x (1 + W) – 2.7		46.5		ns
10	 WR /HWR 立ち下がり D0-15 有効	t _{DO}	\mathcal{C}	· ·		1.5	ns
11	D0-15 有効 WR /HWR 立ち上がり	t _{DW}	x (1 + W) – 3.8		45.5		ns
12	WR /HWR 立ち上がり D0 – 15 保持	t _{WD}	x -0.1		24.5		ns
13	A0 – 23 有効 WAIT 入力	t _{AW}	20	x (4 + 0.5) – 22.6		88.1	ns
14	RD / WR /HWR WAIT 保持	t _{CW}	x (0.5 + 3 + N-2) - 5.1	x (1.5 + 3 + N-2) - 19.7	56.4	66.4	ns

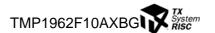
(注)項目 1~12 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 13~14 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W:ウェイト挿入数 (内部ウェイトは W = 0~7)





(3) DVCC2m = FVCC2 = CVCC2 = $2.5V \pm 0.2V$, FVCC3 = $3.3V \pm 0.3V$, AVCC3m= $3.3 \pm 0.2V$ DVCC33 = $1.8V \pm 0.15V$, Ta = $-20 \sim 85^{\circ}$ C (m = 1 ~ 2)

SYSCR3<ALESEL> = "0", 自動 2 ウェイト挿入

No.	項目	記号	討	·算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6				ns
2	A0-23 有効 RD / WR /HWR 立ち下がり	t _{AC}	x – 5.1		19.5		ns
3	RD / WR /HWR 立ち上がり A0 – 23 保持	tCAR	x – 1.6		23		ns
4	A0 - 23 有効 D0 - 15 入力	t _{AD}		x (2 + W) - 42.4		56	ns
5	 RD 立ち下がり D0 – 15 入力	t _{RD}		x (1 + W) – 37.3	21	36.5	ns
6	 RD Low パルス幅	t _{RR}	x (1 + W) – 2.3		71.5		ns
7	 立ち上がり D0 – 15 保持	t _{HR}	o ((/		$(\bigcirc 0)$	7	ns
8	 RD 立ち上がり A0 – 23 出力	t _{RAE}	x – 0.1		24.5))	ns
9	WR /HWR Low パルス幅	t _{WW}	x (1 + W) – 2.8		71		ns
10	 WR /HWR 立ち下がり D0-15 有効	t _{DO}		· (C/		2	ns
11	D0-15 有効 WR /HWR 立ち上がり	t _{DW}	x (1 + W) - 3.8		70		ns
12	WR /HWR 立ち上がり D0 – 15 保持	t _{WD}	(x-0.1	$(7/\wedge)$	24.5		ns
13	A0 – 23 有効 WAIT 入力	tawh		x (3 + 0.5) - 28.1		58	ns
14	RD / WR /HWR WAIT 保持	t _{CW}	x (0.5 + 3 + N -2) - 6.1	x (1.5 + 3 + N-2) - 24.7	55.4	61.4	ns

(注)項目 1~12 の 40.5MHz 時の値は内部ウェイト"2"の場合、項目 13~14 は外部ウェイト入力 3+N (N=1)の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W: ウェイト挿入数 (内部ウェイトは W = 0~7)

N: 3WAIT + Nwait モード時の N 値

92 2006-02-21

SYSCR3<ALESEL> = "1", 自動 2 ウェイト挿入

No.	項目	記号	計	算式	40.5 (fsys)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	tsys	24.6	\wedge			ns
2	A0-23 有効 RD / WR /HWR 立ち下がり	t _{AC}	2x - 5.2		44		ns
3	RD / WR /HWR 立ち上がり A0 – 23 保持	tCAR	x – 1.6		23		ns
4	A16 - 23 有効 D0 - 15 入力	t _{AD}		x (3 + W) - 42.5		80.5	ns
5	 	t _{RD}		x (1 + W) - 37.3		36.5	ns
6	 RD Low パルス幅	t _{RR}	x (1 + W) – 2.3		71.5		ns
7	 D 立ち上がり	t _{HR}	0		0		ns
8	RD 立ち上がり A0 – 23 出力	t _{RAE}	x – 0.1		24.5		ns
9	WR /HWR Low パルス幅	t _{WW}	x (1 + W) – 2.8		XJ/		ns
10	 WR /HWR 立ち下がり D0-15 有効	t _{DO}	\mathcal{C}	· ·	25	2	ns
11	D0-15 有効 WR /HWR 立ち上がり	t _{DW}	x (1 + W) – 3.8		(70)	6	ns
12	WR /HWR 立ち上がり D0 – 15 保持	t _{WD}	x – 0.1		24.5		ns
13	A0 – 23 有効 WAIT 入力	t _{AWH}	20	x (4 + 0.5) – 28.1		82.6	ns
14	RD / WR /HWR WAIT 保持	t _{CW}	x (0.5 + 3 + N -2) -6.1	x (1.5 + 3 + N-2.) - 24.7	55.4	61.4	ns

(注)項目 1~12 の 40.5MHz 時の値は内部ウェイト"2"の場合、項目 13~14 は外部ウェイト入力 3+N (N=1)の場合

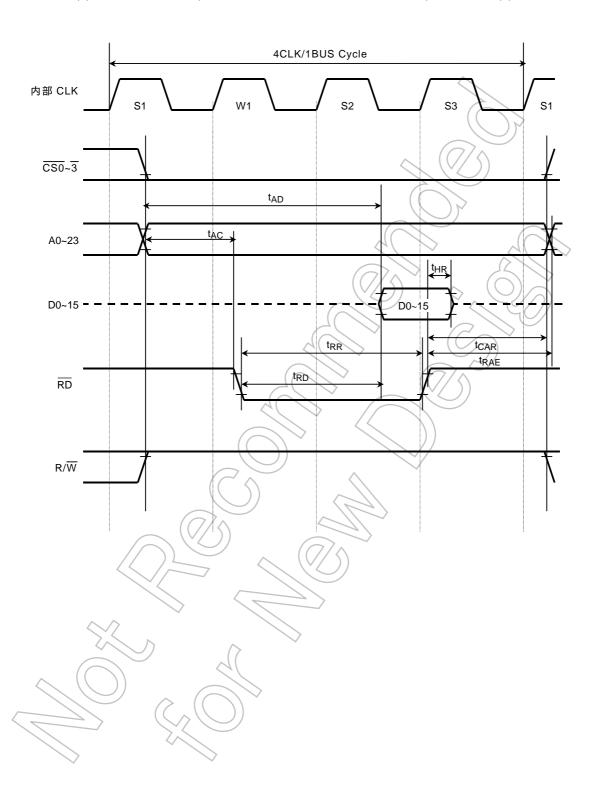
AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

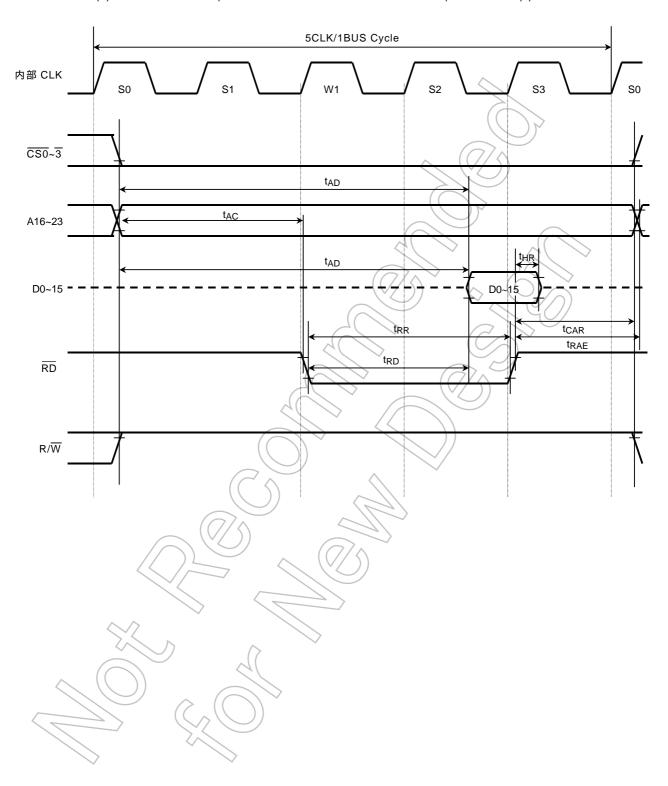
W:ウェイト挿入数 (内部ウェイトは W = 0~7)



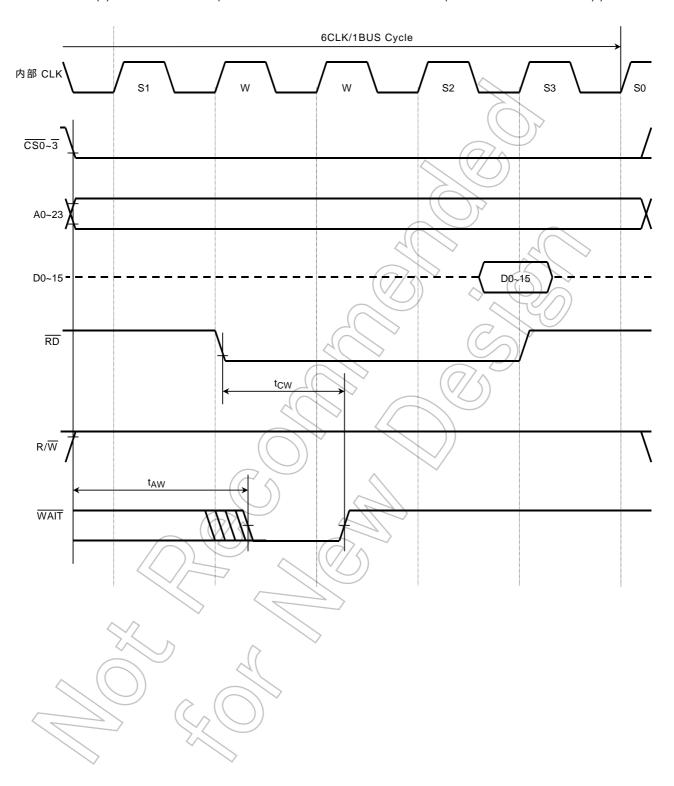
(1) リードタイミング (SYSCR3<ALESEL> = "0"、1 ウェイト (内部ウェイト))

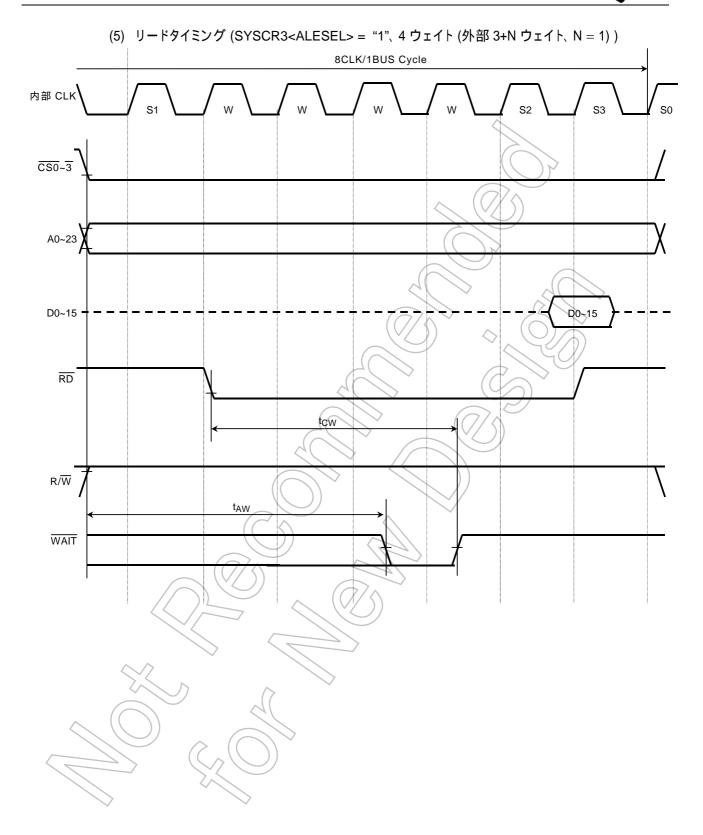


(2) リードタイミング (SYSCR3<ALESEL> = "1"、1 ウェイト (内部ウェイト))

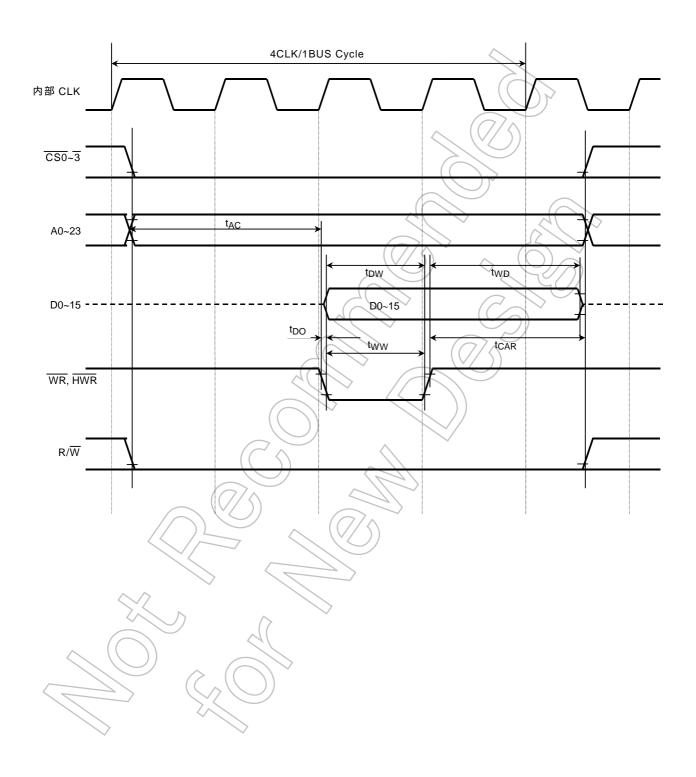


(3) リードタイミング (SYSCR3<ALESEL> = "1"、2 ウェイト (外部 1+N ウェイト、N = 1))





(5) ライトタイミング (SYSCR3<ALESEL> = "1"、0 ウェイト)

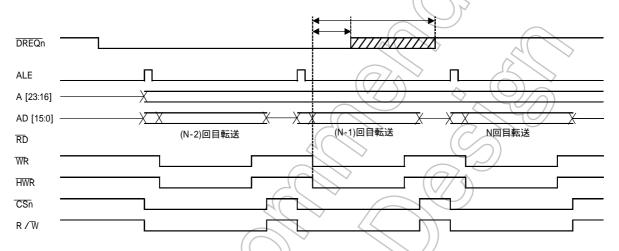


4.7 DMA リクエストを使用した転送

マルチプレクスバスモードで、内蔵 RAM と外部デバイスとの転送例を示します。

- ・ 16 ビットバス幅、リカバリタイムなし
- ・ DMA 転送モードはレベルモード
- ・ 転送単位 (TrSiz) 16bit 、デバイスポートサイズ (DPS) 16bit
- ソース / ディスティネーション : 内蔵 RAM / 外部デバイス

内蔵 RAM to 外部デバイス (ライト時) (Mem to Mem 転送) のタイミングを図に示します。



N 回目の転送が確実に行われるための条件 N+1 回目の転送が行われないための条件

(1) DVCC2m = FVCC2 = CVCC2 = $2.5V \pm 0.2V$, FVCC3 = $3.3V \pm 0.3V$, AVCC3m= $3.3 \pm 0.2V$ DVCC32 = 2.3V - 3.3V, Ta = $20 - 85^{\circ}$ C (m = 1 - 2)

No.	項目	記号	計算式		40.5 (fsys)		単位
			Min	Max	Min	Max	
2	RD 立ち下がり DREQnのデアサート	tDREQ_r	Wx-4.2	(2W+ALE+6)	45	195	ns
	(外部デバイス to 内蔵 RAM)		7	x - 51			
3	WR /HWR 立ち上がり DREQn のデ	tDREQ_w	0	(2W + ALE + 4)	0	145	ns
	アサート(内蔵 RAMto 外部デバイス)			x - 51.8			

(2) DVCC2m = FVCC2 = CVCC2 = $2.5V \pm 0.2V$, FVCC3 = $3.3V \pm 0.3V$, AVCC3m= $3.3 \pm 0.2V$ DVCC32 = $1.8V \pm 0.15V$, Ta = $-20 \sim 85$ °C (m = 1 ~ 2)

No.	項目	記号	言十拿	40.5 (fsys	単位		
			Min	Max	Min	Max	
2	RD 立ち下がり DREQn のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	Wx-6.2	(2W + ALE + 6) x - 56	43	190	ns
3	WR /HWR 立ち上がり DREQn のデアサート(内蔵 RAMto 外部デバイス)	tDREQ_w	0	(2W+ALE+4) x - 56.8	0	140	ns

W: ウェイト数、例えば、外部 1+N ウェイト (N=1) の場合は、W=2

ALE: ALE0.5 クロックの時は ALE=0、ALE=1.5 クロックの時は ALE=1 を代入

表中の計算は、W=2、ALE=0として計算

4.8 シリアルチャネルタイミング

(1) I/O $4 \times 97 = -3.0 \times 10^{-1}$ (DVCC3n = 3.0×10^{-1} (DVCC3n =

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

SCLK 入力モード (SIO0~SIO6)

項		記号	計算式	-	40.5	MHz	単位
Ą	Н		Min	Max	Min	Max	+ III
SCLK 周期		tscy	12x		296)	ns
Output Data	← SCLK 立ち上がり /立ち下がり*	toss	2x-45		4)}	ns
SCLK 立ち上がり /立ち下がり*	→ Output Data 保持	tons	8x-15		182		ns
有効 Data 入力	← SCLK 立ち上がり /立ち下がり*	tSRD	30		30		ns
SCLK 立ち上がり /立ち下がり*	→ Input Data 保持	tHSR	2x-30		19		ns

^{*)} SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がり モードの場合は SCLK 立ち下がりのタイミングです。

SCLK 出力モード (SIO0~SIO6)

項	目	記号	計算式		40.5	MHz	単位
均	P		Min	Max	Min	Max	丰世
SCLK 周期 (プログ	ラマブル)	tscy)) 8x		197		ns
Output Data	← SCLK 立ち上がり	toss	4x-10		88		ns
SCLK 立ち上がり	→ Output Data 保持	tons	4x-10		88		ns
有効 Data 入力	← SCLK 立ち上がり	tsrd	45		45		ns
SCLK 立ち上がり	→ Input put Data 保持	tHSR	0		0		ns



表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

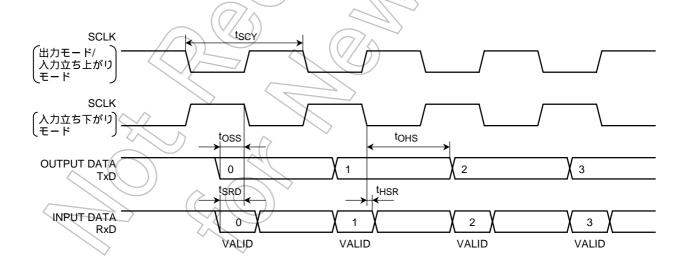
SCLK 入力モード (SIO0~SIO6)

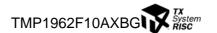
項		記号	計算式		40.5 MHz		単位
75	Н		Min	Max	Min	Max	+ 12
SCLK 周期		tscy	16x		395		ns
Output Data	← SCLK 立ち上がり /立ち下がり*	toss	4x-60		38	7/5	ns
SCLK 立ち上がり /立ち下がり*	→ Output Data 保持	tons	10x-15		232		ns
有効 Data 入力	← SCLK 立ち上がり /立ち下がり*	tsrd	30		30)	ns
SCLK 立ち上がり /立ち下がり*	→ Input Data 保持	tHSR	2x+10	4	59		ns

*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がり モードの場合は SCLK 立ち下がりのタイミングです。

SCLK 出力モード (SIO0~SIO6)

		2 1				
項目		計算	式	40.5	MHz	単位
		Min	Max	Min	Max	+ 11 7
SCLK 周期 (プログラマブル)	tscy	8x		197		ns
Output Data ← SCLK 立	zち上がり t _{OSS}	4x-10		88		ns
SCLK 立ち上がり → Output	Data 保持 toHS	4x-10		88		ns
有効 Data 入力 ← SCLK 立	zち上がり t _{SRD}	60		60		ns
SCLK 立ち上がり → Input pu	ıt Data 保持 t _{HSR}	0		0		ns





4.9 シリアルバスインタフェースタイミング

(1) I2C モード

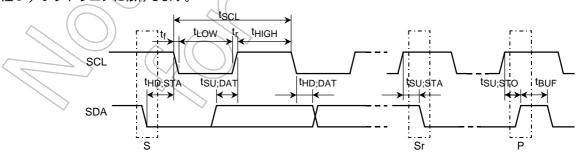
表中の x はシステムクロック fsys の周期を、T は $\phi T0$ を表します。 n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算	式	標準モ f _{SYS} = 8 M		ファース f _{SYS} = 32 N		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t _{SC L}	0		0	100	0	400	kHz
スタートコンディション保持	t _{HD:STA}			4.0		0.6		μS
SCL クロック Low 幅 (入力) (注 1)	t _{LOW}			4.7		1.3		μS
SCL クロック High 幅 (入力) (注 2)	tHIGH			4.0		0.6		μS
再スタートコンディションセットア ップ時間	t _{SU;STA}	ソフト (注 5)		4.7		0.6		μS
データ保持時間(入力)(注3,4)	tHD;DAT			0.0	<	0.0		μS
データセットアップ時間	tsu;dat			250		100		ns
ストップコンディションセットアッ プ時間	tsu;sto	-		4.0		0.6		μS
ストップコンディションとスタート コンディション間のバスフリー時間	t _{BUF}	ソフト (注5)		4.7		1.3		μS

注1)SCL クロック LOW 幅(出力)は($2^{(n-1)}$ + 4) T で計算されて、標準モード: 6 usec@Typ (fsys= 8 MHZ、n=4)

注 2) SCL クロック HIGH 幅(出力)は(2⁽ⁿ⁻¹⁾) T で計算されて、標準モード: 4 usec@Typ (fsys= 8 MHZ、n= 4)

- 注3)データ保持時間(出力)は内部 SCL から12X の時間です。
- 注4)フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロープコントロール機能をもっていません。従って、SCL / SDA の tr/tf を含めて BUS 上で上表のデータ保持時間 (入力))を守る様に設計してください。
- 注5) ソフトウエアに依存します。



S: スタートコンディション Sr: 再スタートコンディション P; ストップコンディション

ファーストモードでは、fsys 20 MHz、スタンダードモードでは、fsys 4 MHz で使用ください。

(2) クロック同期式 8 ビット SIO モード

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

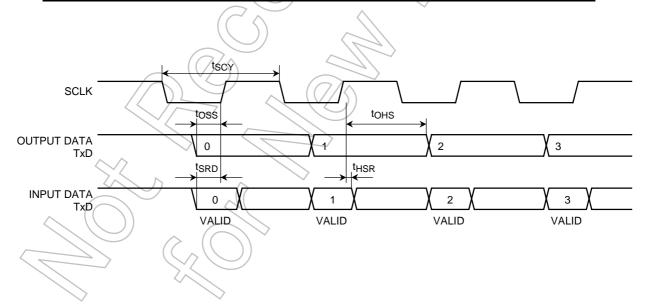
SCK デューティ 50%の場合

SCK 入力モード

項目		記号	計算式	40.5	単位		
			Min	Max	Min	Max	+12
SCK 周期		tscy	16x		(395)		ns
Output Data	← SCK 立ち上がり	toss	(t _{SCY} /2) - (6x + 30)		19		ns
SCK 立ち上がり	→ Output Data 保持	tons	(t _{SCY} /2) + 4x))	296		ns
有効 Data 入力	← SCK 立ち上がり	tSRD	0 2		0		ns
SCK 立ち上がり	→ Input Data 保持	tHSR	4x + 10		108		ns

SCK 出力モード

頂	į B	記号〈	計算式	(32 N	ИНZ	単位
			Min	Max	Min	Max	
SCK 周期(プログラ	マブル)	tscy	2 ⁿ ⋅ T	((//	1000		ns
Output Data	← SCK 立ち上がり	toss	(t _{SCY} /2) - 20		480		ns
SCK 立ち上がり	→ Output Data 保持	tons	(t _{SCY} /2) - 20		480		ns
有効 Data 入力	← SCK 立ち上がり	tSRD	2x + 30))	92		ns
SCK 立ち上がり	→ Input put Data 保持	tHSR	0	$\checkmark/$	0		ns



4.10 イベントカウンタ

表中のxはシステムクロックfsysの周期を表します。

項目	目記号		拿式	40.5	単位	
		Min	Max	Min	Max <	≠四
クロック低レベルパルス幅	tvckl	2X + 100		149		ns
クロック高レベルパルス幅	tvckh	2X + 100		149		ns

4.11 キャプチャ

表中のxはシステムクロックfsysの周期を表します。

項目	記号	計算	拿式	40.5	MHz	単位
以 口 ————————————————————————————————————		Min	Max	Min	Max	+12
低レベルパルス幅	tCPL	2X + 100		149		ns 🔷
高レベルパルス幅	tCPH	2X + 100	•	149 🔷	\	ns

4.12 割り込み (INTC)

表中のxはシステムクロックfsysの周期を表します。

項目	記号	計算式	40.5 MHz	単位
块 口	마그	Min Max	Min Max	
INT0~A 低レベルパルス幅	tINTAL	X + 100	125	ns
INT0~A 高レベルパルス幅	tINTAH	X + 100	125	ns

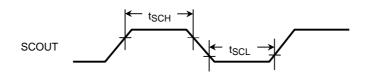
4.13 割り込み (NMI, STOP 解除割り込み)

項		記号〈	計算式 40.5 MHz				
块		(BE)	Min	Max	Min	Max	単位
NMI , INT0~4 低レ	ベルパルス幅	tINTBL	100	(\vee)	100		ns
INT0~4高レベル/	パルス幅	tINTBH	100		100		ns

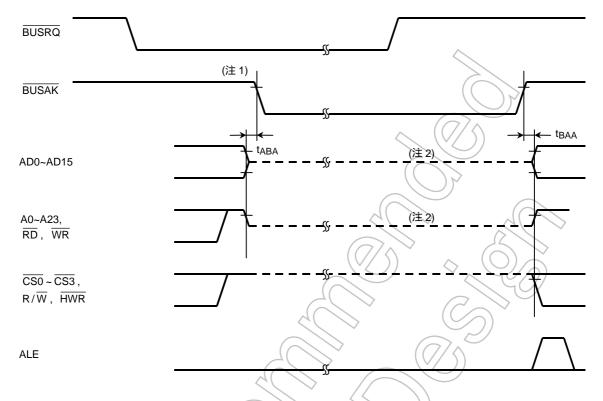
4.14 SCOUT 端子 AC 特性

項目	記号《計算	章式	40.5	MHz	単位	
**(1)	Min	Max	Min	Max	— III	
高レベルパルス幅	t _{SCH} 0.5T - 5		7.4		ns	
低レベルパルス幅	t _{SCL} 0.5T - 5		7.4		ns	

(注) 表中の「T」は、SCOUT出力波形の周期を示します。



4.15 バスリクエスト/ バスアクノリッジ



項	計算式 40.5 MHz					単位	
-	B (Min	Max	Min	Max	干世
BUSAK 立ち下が ティング時間	りまでのフロー	t _{ABA}	0 <	80	0	80	ns
BUSAK 立ち上が ティング時間	りからのフロー	t _{BAA}	0	80	0	80	ns

- (注 1) BUSRQ を"Low" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。
- (注 2) この破線は出力バッファが OFF になっていることだけを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CRの時定数)ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

4.16 KWUP 入力

PULL UP 未使用時

項目	記号	計算	章式	40.5	単位	
ж н		Min	Max	Min	Max	十四
KEY0~D低レベルパルス幅	tky _{TBL}	100		100	<	ns
KEY0~D 高レベルパルス幅	tky _{TBH}	100		100		ns

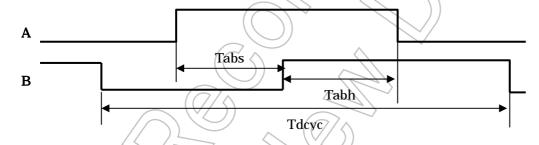
PULL UP 使用時

項目	記号	計算	章式	40.5	MHz
块 · 口	配与	Min	Max	Min	Max
KEY0~D 低レベルパルス幅	tky _{TBL}	100		100	ns

4.17 2相パルス入力

項目	記号	計算	単位			
		Min	Max	Min	Max	+
2相入力パルス周期	Tdcyc	8Y		395		ns
2相入力セットアップ	Tabs	Y + 20		70	(\bigcap)	ns
2相入力ホールド	Tabh	Y + 20		70		ns

Y & Sampling clock, (fsys/2)



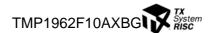
4.18 ADTRG 入力

項目	記号	計算式		40.5 MHz		単位
(記与	Min	Max	Min	Max	半世
ADTRG 低レベルパルス幅	tadL	fsysy/2 + 20		32.4		ns
ADTRG 高レベルパルス間隔	Tadh	fsysy/2 + 20		32.4		ns

5. その他

TMP1962F10AXBG の ESD 耐圧は以下の通りとなっております。開発時や生産工程での静電破壊の対策をお願い致します。尚、詳細はデータブック巻頭の「取り扱い上のご注意とお願い」をご参照ください。

ださい。			
	規格	耐圧	
	機械モデル:MM	200V	
	機械モデル: MM 人体モデル: HBM	1200V	$\langle (\mathcal{O}/\mathcal{O}) \rangle$
		4	>> \(\lambda(\)
			4.00
			(7/6)
			\ /
	$\sim (C/s)$		
		(7)	
^ ^			
		\supset	
_	7_		



6.パッケージ

P-FBGA281-1313-0.65B6

