32 ビット TX System RISC
TX19 ファミリー
TMP1962C10BXBG

Not Recommended for New Design

REV1.5　2006 年 2 月 21 日

Not Recommended for New Design

当社半導体製品取り扱い上のお願い

030519TBP

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命･身体･財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
  なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質･信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 “特定用途” という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

目　次

TMP1962C10BXBG 製品別マニュアル

1.	概要と特長	1
2.	ピン配置とピン機能	5
3.	プロセッサコア	15
4.	メモリマップ	17
5.	クロック/スタンバイ制御	19
6.	割り込み	40
7.	ポート機能	72
8.	外部バスインタフェース	138
9.	チップセレクト/ウェイトコントローラ	163
10.	DMA コントローラ (DMAC)	172
11.	8 ビットタイマ (TMRA)	203
12.	16 ビットタイマ/イベントカウンタ (TMRB)	239
13.	32 ビットタイマ (TMRC)	261
14.	シリアル チャネル (SIO)	284
15.	シリアルバスインタフェース (SBI)	318
16	アナログ/デジタルコンバータ	348
17	ウォッチドッグタイマ (暴走検出用タイマ)	363
18	KEY ON WAKE UP	369
19	ROM コレクション	375
20	DSU インタフェース	381
21	JTAG インタフェース	383
22	電気的特性	397
23	機能レジスタ一覧表	433
24	ポート等価回路図	452
25	使用上の注意、制限事項	457

Not Recommended for New Design

32 ビット RISC マイクロプロセッサ　TX19 ファミリー
TMP1962C10BXBG

1. 概要と特長

TX19 ファミリーは、米国 MIPS グループの RISC マイクロプロセッサである R3000A™ をベースにして当社が開発した TX39 プロセッサに、高コード効率の拡張命令セットである MIPS16™ASE (Application Specific Extension)を追加して、当社で独自開発した高性能な 32 ビット RISC プロッセサファミリーです。

TMP1962 は、TX19 プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP1962 の特長は次のとおりです。

(1) TX19 プロセッサコア

①16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビット ISA モードの命令は、コード効率の優れた MIPS16™ASE とオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

②高性能化と低消費電力化を同時に実現

●高性能化

- ほとんどの命令を 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 5 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算を 1 クロックで実行

●低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

③リアルタイム制御に向いた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

Not Recommended for New Design

(2) 内蔵プログラムメモリ／データメモリ

製品名	内蔵 ROM	内蔵 RAM
TMP1962C10BXBG	1Mbyte	40Kbyte
TMP1962F10AXBG	1Mbyte(Flash)	40Kbyte

- ROM コレクション機能（8 ワード×8 ブロック）

(3)外部メモリ拡張

- 16M バイト(プログラム/データ共通)まで拡張可能
- 外部データバス

  セパレートバス／マルチプレクスバス　：　8/16 ビット幅共存可能

(4) DMA コントローラ　：　8 チャネル

- 割り込みもしくはソフトウエアにて起動
- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

(5) 8 ビットタイマ　：　12 チャネル

- 8/16/24/32 ビットインターバルタイマモード
- 8 ビット PWM モード
- 8 ビット PPG モード

(6)16 ビットタイマ　：　4 チャネル

- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力
- インプットキャプチャ機能
- 二相パルス入力カウンタ機能（2 チャネル）

(7)32 ビットインプットキャプチャ

- 32 ビットインプットキャプチャレジスタ　：　8 チャネル
- 32 ビットコンペアレジスタ　：　8 チャネル
- 32 ビットタイムベースタイマ　：　1 チャネル

(8)　汎用シリアル・インタフェース　：　7 チャネル

- UART／同期式モード選択可能

(9)　シリアルバスインタフェース　：　1 チャネル

- I^2C バスモード/クロック同期式モード選択可能

(10)　10 ビット A/D コンバータ（S/H 有）　：　24 チャネル

- 外部トリガスタート可能
- チャネル固定／スキャンモード
- シングル／リピートモード
- タイマ監視機能

(11)　ウォッチドックタイマ　：　1 チャネル

(12)　チップセレクト/ウェイトコントローラ　：　4 チャネル

Not Recommended for New Design

(13)割り込み機能

- CPU　4 本　····ソフトウエア割り込み命令
- 内部　55 本　···· 7 レベルの優先順位設定可能
  (ウォッチドッグタイマ割り込みを除く)
- 外部　25 本　···· 7 レベルの優先順位設定可能 (NMI 割り込みを除く)
  またこの内、14 本は KWUP であり割込み要因としては 1 本

(14)入出力ポート　····　202 端子

(15)スタンバイ機能

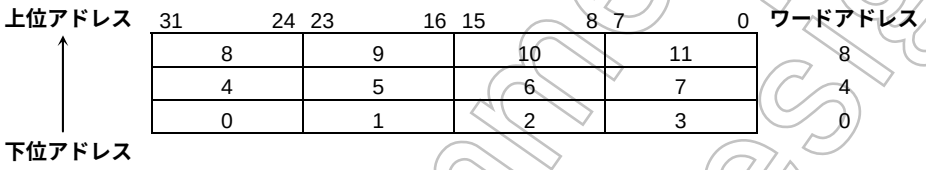
- 2 種類のスタンバイモード (IDLE，STOP)

(16)クロックジェネレータ

- PLL 内蔵 (3 逓倍)
- クロックギア機能: 高速クロックを 1/2，1/4，1/8 に分周

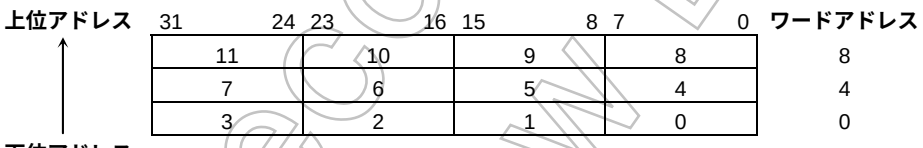
(17)エンディアン　····　バイエンディアン

ビッグエンディアンの場合



- バイト 0 が最上位バイト (ビット 31-24) です。
- ワードのアドレスは、最上位バイト (バイト 0) のアドレスで指定します。

リトルエンディアンの場合



- バイト 0 が最下位バイト (ビット 7-0) です。
- ワードのアドレスは、最下位バイト (バイト 0) のアドレスで指定します。

(18)動作周波数

- 40.5MHz (Vcc = 1.35V～1.65V)

(19)パッケージ

- P-FBGA281 (13mm×13mm，0.65mm ピッチ)

Not Recommended for New Design

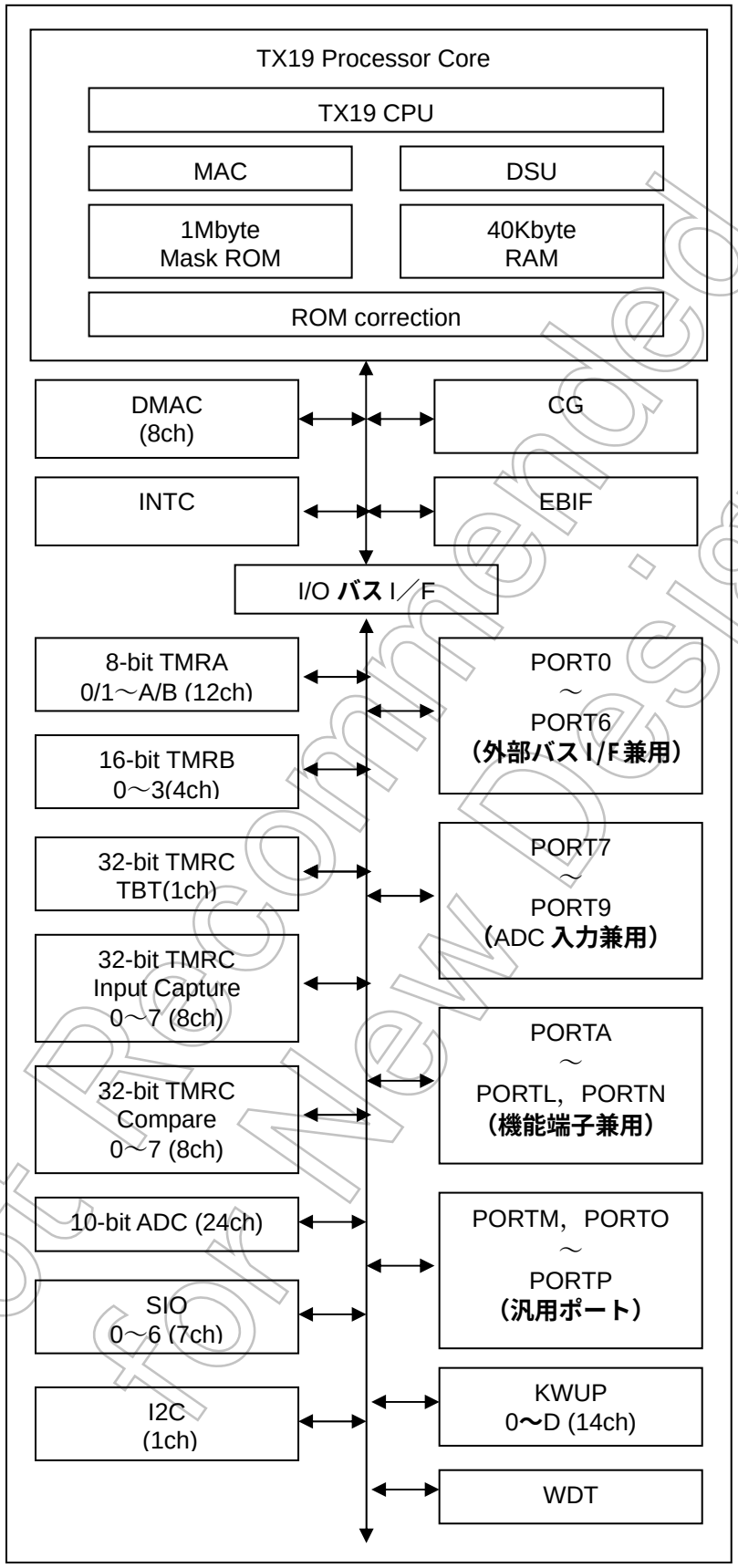


図１．１　TMP1962C10B ブロック図

Not Recommended for New Design

2. ピン配置とピン機能

TMP1962 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図（Top view）

TMP1962 のピン配置図は、図 2.1.1 のとおりです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	A17	
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16	B17	B18
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11	C12	C13	C14	C15	C16	C17	C18
D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18
E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17	E18
F1	F2	F3	F4	F5		F7	F8	F9	F10	F11	F12		F14	F15	F16	F17	F18
G1	G2	G3	G4	G5	G6							G13	G14	G15	G16	G17	G18
H1	H2	H3	H4	H5	H6							H13	H14	H15	H16	H17	H18
J1	J2	J3	J4	J5	J6							J13	J14	J15	J16	J17	J18
K1	K2	K3	K4	K5	K6							K13	K14	K15	K16	K17	K18
L1	L2	L3	L4	L5	L6							L13	L14	L15	L16	L17	L18
M1	M2	M3	M4	M5	M6							M13	M14	M15	M16	M17	M18
N1	N2	N3	N4	N5		N7	N8	N9	N10	N11	N12		N14	N15	N16	N17	N18
P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16	P17	P18
R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15	R16	R17	R18
T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17	T18
U1	U2	U3	U4	U5	U6	U7	U8	U9	U10	U11	U12	U13	U14	U15	U16	U17	U18
	V2	V3	V4	V5	V6	V7	V8	V9	V10	V11	V12	V13	V14	V15	V16	V17	

図 2.1.1 ピン配置図（P-FBGA281）

TMP1962 のピン番号とピン名称との関係はは、表 2.1.1 のとおりです。

表 2.1.1 ピン番号とピン名称（1/2）

ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称
A1	NC	A13	PK1/KEY1	B8	P75/AIN5	C2	PCST3 (DSU)	C14	PK6/KEY6
A2	VREFL	A14	PI1/INT1	B9	PL0/TA4IN	C3	P92/AIN18	C15	PI5/INT9
A3	P90/AIN16	A15	PI3/INT3	B10	PL3/TAAIN	C4	P95/AIN21	C16	TCK (JTAG)
A4	P93/AIN19	A16	PI6/INTA	B11	PM1	C5	P82/AIN10	C17	CVCC15 (CVCC2)
A5	P80/AIN8	A17	X2	B12	PM4	C6	P85/AIN13	C18	NC (XT2)
A6	P83/AIN11	B1	AVCC31	B13	PK2/KEY2	C7	P72/AIN2	D1	SDAO/TPC (DSU)
A7	P70/AIN0	B2	VREFH	B14	PI2/INT2	C8	AVSS	D2	PCST2 (DSU)
A8	P74/AIN4	B3	P91/AIN17	B15	PI4/INT4	C9	PL1/TA6IN	D3	SDI/$\overline{\text{DINT}}$ (DSU)
A9	NC	B4	P94/AIN20	B16	PI7	C10	PL4/TB0IN0	D4	DVCC15 (DVCC22)
A10	PL2/TA8IN	B5	P81/AIN9	B17	CVSS	C11	PM2	D5	P96/AIN22
A11	PM0	B6	P84/AIN12	B18	X1	C12	PM5	D6	P86/AIN14
A12	PK0/KEY0	B7	P71/AIN1	C1	PCST0 (DSU)	C13	PK3/KEY3	D7	P73/AIN3

Not Recommended for New Design

表 2.1.2　ピン番号とピン名称（2/2）

ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称
D8	DVCC15 (DVCC22)	F18	P44/SCOUT	K14	P12/D10/AD10	N18	DVSS	T8	PD4/TXD4
D9	DVSS	G1	$\overline{\text{RESET}}$	K15	P13/D11/AD11	P1	PP0	T9	PC0/TXD0
D10	PL5/TB0IN1	G2	TEST5	K16	P14/D12/AD12	P2	PB2/TB2IN0/INT5	T10	PC3/TXD1
D11	PM3	G3	DVCC2 (FVCC2)	K17	DVCC33	P3	PB3/TB2IN1/INT6	T11	PH4/TCOUT4
D12	PM6	G4	NC (FVSS)	K18	P15/D13/AD13	P4	PB4/TB2OUT	T12	PE2/SCLK5/$\overline{\text{CTS5}}$
D13	PK4/KEY4	G5	PJ0/INT0	L1	NC (FVCC3)	P5	PB5/TB3IN0/INT7	T13	PE5/KEYB
D14	PK7/KEY7	G6	$\overline{\text{BW0}}$	L2	PO1	P6	PG5/TC5IN	T14	P53/A3
D15	DVCC34	G13	$\overline{\text{TRST}}$	L3	PO2	P7	PG7/TC7IN	T15	P56/A6
D16	TDI (JTAG)	G14	NC (CAP1)	L4	PO3	P8	PD6/SCLK4/$\overline{\text{CTS4}}$	T16	P62/A10
D17	TDO (JTAG)	G15	P41/$\overline{\text{CS1}}$	L5	PO4	P9	PC2/SCLK0/$\overline{\text{CTS0}}$	T17	P65/A13
D18	NC (XT1)	G16	P37/ALE	L6	PO7	P10	PC5/SCLK1/$\overline{\text{CTS1}}$	T18	P20/A16/A0
E1	DCLK (DSU)	G17	P35/$\overline{\text{BUSAK}}$	L13	NC (TEST3)	P11	PH6/TCOUT6	U1	PA0/TA0IN
E2	PCST1 (DSU)	G18	NC (FVCC2)	L14	P06/D6/AD6	P12	NC	U2	PA3/TA3OUT
E3	$\overline{\text{DBGE}}$	H1	$\overline{\text{NMI}}$	L15	NC (FVCC2)	P13	P50/A0	U3	PA6/TA9OUT
E4	PJ3/INTLV	H2	DVCC31	L16	P07/D7/AD7	P14	P51/A1	U4	PF1/SI/SCL
E5	PJ4/ENDIAN	H3	PN7	L17	P10/D8/AD8	P15	P54/A4	U5	PF5/$\overline{\text{DREQ3}}$
E6	P97/AIN23	H4	BW1	L18	P11/D9/AD9	P16	P23/A19/A3	U6	PG2/TC2IN
E7	P87/AIN15	H5	$\overline{\text{PLLOFF}}$	M1	PO0	P17	P24/A20/A4	U7	PD2/RXD3
E8	P76/AIN6	H6	NC (TEST1)	M2	PP5	P18	P25/A21/A5	U8	DVCC32
E9	P77/AIN7	H13	NC (TEST2)	M3	PP6	R1	PB0/TB0OUT	U9	PC7/RXD2
E10	PL6/TB1IN0	H14	P31/$\overline{\text{WR}}$	M4	PP7	R2	PB1/TB1OUT	U10	PH1/TCOUT1
E11	PL7/TB1IN1	H15	P32/$\overline{\text{HWR}}$	M5	PB7/TB3OUT	R3	PF3/$\overline{\text{DREQ2}}$	U11	PH3/TCOUT3
E12	PM7	H16	P33/WAIT/RDY	M6	DVCC32	R4	PF4/$\overline{\text{DACK2}}$	U12	PE1/RXD5
E13	PK5/KEY5	H17	P30/$\overline{\text{RD}}$	M13	NC (TEST4)	R5	PF7/TBTIN	U13	PE4/KEYA
E14	NC	H18	P40/$\overline{\text{CS0}}$	M14	P02/D2/AD2	R6	PG4/TC4IN	U14	DVCC32
E15	TMS (JTAG)	J1	PN2/SCLK6/$\overline{\text{CTS6}}$	M15	NC (FVSS)	R7	PG6/TC6IN	U15	P57/A7
E16	NC (CVCCH)	J2	PN3	M16	P03/D3/AD3	R8	PD5/RXD4	U16	P63/A11
E17	NC	J3	PN4	M17	P04/D4/AD4	R9	PC1/RXD0	U17	P66/A14
E18	DVCC15 (DVCC22)	J4	PN5	M18	P05/D5/AD5	R10	PC4/RXD1	U18	DVCC33
F1	DVSS	J5	PN6	N1	PP1	R11	PH5/TCOUT5	V2	PA2/TA2IN
F2	$\overline{\text{DRESET}}$	J6	DVCC15 (DVCC22)	N2	PP2	R12	PH7/TCOUT7	V3	PA5/TA7OUT
F3	SYSRDY	J13	NC (FVSS)	N3	PP3	R13	PE6/KEYC	V4	PF0/SO/SDA
F4	PJ1/BUSMD	J14	P16/D14/AD14	N4	PP4	R14	P52/A2	V5	PG0/TC0IN
F5	PJ2/$\overline{\text{BOOT}}$	J15	DVSS	N5	PB6/TB3IN1/INT8	R15	P55/A5	V6	PG1/TC1IN
F7	AVSS	J16	P17/D15/AD15	N7	DVSS	R16	P61/A9	V7	PD1/TXD3
F8	AVSS	J17	P36/ R/$\overline{\text{W}}$	N8	PD7/KEY8	R17	P21/A17/A1	V8	PD0/SCLK2/$\overline{\text{CTS2}}$
F9	AVCC32	J18	P34/$\overline{\text{BUSRQ}}$	N9	DVCC15 (DVCC22)	R18	P22/A18/A2	V9	PC6/TXD2
F10	DVCC34	K1	PN0/TXD6	N10	DVSS	T1	PA1/TA1OUT	V10	PH0/TCOUT0
F11	PI0/$\overline{\text{ADTRG}}$	K2	PN1/RXD6	N11	RSTPUP	T2	PA4/TA5OUT	V11	PH2/TCOUT2
F12	DVSS	K3	PO5	N12	DVSS	T3	PA7/TABOUT	V12	PE0/TXD5
F14	NC (CAP2)	K4	PO6	N14	P26/A22/A6	T4	PF2/SCK	V13	PE3/KEY9
F15	P42/$\overline{\text{CS2}}$	K5	NC (FVSS)	N15	P27/A23/A7	T5	PF6/$\overline{\text{DACK3}}$	V14	PE7/KEYD
F16	P43/$\overline{\text{CS3}}$	K6	DVSS	N16	P00/D0/AD0	T6	PG3/TC3IN	V15	P60/A8
F17	DVCC33	K13	NC (TEST0)	N17	P01/D1/AD1	T7	PD3/SCLK3/$\overline{\text{CTS3}}$	V16	P64/A12
								V17	P67/A15

（注）（ ）内は Flash 内蔵タイプ TMP1962F10AXBG の場合の端子名です（但し、”DSU”、”JTAG” は除く。Mask ROM 内蔵タイプと Flash 内蔵タイプと共通です。）。

Not Recommended for New Design

2.2 ピン名称と機能

入出力ピンの名称と機能は、表 2.2.1 のとおりです。

表 2.2.1 ピン名称と機能（1/6）

ピン名称	ピン数	入出力	機　能
P00~P07 D0~D7 AD0~D7	8	入出力 入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート データ (下位) : データバス 0~7（セパレートバスモード） アドレスデータ (下位) : アドレス・データバス 0~7（マルチプレクスバスモード）
P10~P17 D8~D15 AD8~AD15 A8~A15	8	入出力 入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート データ (上位) : データバス 8~15：（セパレートバスモード） アドレスデータ (上位) : アドレス・データバス 8~15（マルチプレクスバスモード） アドレス: アドレスバス 8~15（マルチプレクスバスモード）
P20~P27 A16~A23 A0~A7 A16~A23	8	入出力 出力 出力 出力	ポート 2: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 15~23（セパレートバスモード） アドレス: アドレスバス 0~7（マルチプレクスバスモード） アドレス: アドレスバス 16~23（マルチプレクスバスモード）
P30 $\overline{RD}$	1	出力 出力	ポート 30: 出力専用ポート リード: 外部メモリをリードするためのストローブ信号
P31 $\overline{WR}$	1	出力 出力	ポート 31: 出力専用ポート ライト: D0~7 端子のデータをライトするためのストローブ信号
P32 $\overline{HWR}$	1	入出力 出力	ポート 32: 入出力ポート (プルアップ付) 上位ライト: D8~15 端子のデータをライトするためのストローブ信号
P33 $\overline{WAIT}$ RDY	1	入出力 入力 入力	ポート 33: 入出力ポート (プルアップ付) ウェイト: CPU へのバスウェイト要求端子 レディ: CPU へのバスレディ通知端子
P34 $\overline{BUSRQ}$	1	入出力 入力	ポート 34: 入出力ポート (プルアップ付) バスリクエスト: 外部マスタがバス制御権を CPU に要求する信号
P35 $\overline{BUSAK}$	1	入出力 出力	ポート 35: 入出力ポート (プルアップ付) バスアクノリッジ: $\overline{BUSRQ}$ を受け CPU がバス制御権を解放しているのを通知する信号
P36 R/$\overline{W}$	1	入出力 出力	ポート 36: 入出力ポート (プルアップ付) リード/ライト: “1” でリードサイクルまたはダミーサイクルを “0” でライトサイクルを示します。
P37 ALE	1	入出力 出力	ポート 37: 入出力ポート アドレスラッチイネーブル（外部メモリアクセス時のみイネーブル）
P40 $\overline{CS0}$	1	入出力 出力	ポート 40: 入出力ポート (プルアップ付) チップセレクト 0: アドレスが指定したアドレス領域内なら “0” を出力
P41 $\overline{CS1}$	1	入出力 出力	ポート 41: 入出力ポート (プルアップ付) チップセレクト 1: アドレスが指定したアドレス領域内なら “0” を出力
P42 $\overline{CS2}$	1	入出力 出力	ポート 42: 入出力ポート (プルアップ付) チップセレクト 2: アドレスが指定したアドレス領域内なら “0” を出力
P43 $\overline{CS3}$	1	入出力 出力	ポート 43: 入出力ポート (プルアップ付) チップセレクト 3: アドレスが指定したアドレス領域内なら “0” を出力
P44 SCOUT	1	入出力 出力	ポート 44: 入出力ポート システムクロック出力: CPU と同じ高速クロック、またはその 1/2、または低速クロックを出力
P50~P57 A0~A7	8	入出力 出力	ポート 5: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 0~7（セパレートバスモード）
P60~P67 A8~A15	8	入出力 出力	ポート 6: ビット単位で入出力の設定ができる入出力ポート アドレス: アドレスバス 8~15（セパレートバスモード）

Not Recommended for New Design

表 2.2.2　ピン名称と機能（2/6）

ピン名称	ピン数	入出力	機　能
P70~P77 AN0~AN7	8	入力 入力	ポート 7: 入力専用ポート アナログ入力: A/D コンバータの入力
P80~P87 AN8~AN15	8	入力 入力	ポート 8: 入力専用ポート アナログ入力: A/D コンバータの入力
P90~P97 AN16~AN23	8	入力 入力	ポート 9: 入力専用ポート アナログ入力: A/D コンバータの入力
PI0 $\overline{\text{ADTRG}}$	1	入出力 入力	ポート I0: 入出力ポート A/D トリガ: A/D コンバータの外部スタート要求端子 シュミット付き入力端子
PI1 INT1	1	入出力 入力	ポート I1: 入出力ポート 割込み要求端子 1：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI2 INT2	1	入出力 入力	ポート I2: 入出力ポート 割込み要求端子 2：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI3 INT3	1	入出力 入力	ポート I3: 入出力ポート 割込み要求端子 3：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI4 INT4	1	入出力 入力	ポート I4: 入出力ポート 割込み要求端子 4：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI5 INT9	1	入出力 入力	ポート I5: 入出力ポート 割込み要求端子 9：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI6 INTA	1	入出力 入力	ポート I6: 入出力ポート 割込み要求端子 A：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子
PI7	1	入出力	ポート I7: 入出力ポート
PA0 TA0IN	1	入出力 入力	ポート A0: 入出力ポート 8bit タイマ 0 入力: 8bit タイマ 0 の入力端子。
PA1 TA1OUT	1	入出力 出力	ポート A1: 入出力ポート 8bit タイマ 01 出力: 8bit タイマ 0 または 1 の出力端子。
PA2 TA2IN	1	入出力 入力	ポート A2: 入出力ポート 8bit タイマ 2 入力: 8bit タイマ 2 の入力端子。
PA3 TA3OUT	1	入出力 出力	ポート A3: 入出力ポート 8bit タイマ 23 出力: 8bit タイマ 2 または 3 の出力端子。
PA4 TA5OUT	1	入出力 出力	ポート A4: 入出力ポート 8bit タイマ 45 出力: 8bit タイマ 4 または 5 の出力端子。
PA5 TA7OUT	1	入出力 出力	ポート A5: 入出力ポート 8bit タイマ 67 出力: 8bit タイマ 6 または 7 の出力端子。
PA6 TA9OUT	1	入出力 入力	ポート A6: 入出力ポート 8bit タイマ 89 出力: 8bit タイマ 8 または 9 の出力端子。
PA7 TABOUT	1	入出力 出力	ポート A7: 入出力ポート 8bit タイマ AB 出力: 8bit タイマ A または B の出力端子。
PB0 TB0OUT	1	入出力 出力	ポート B0: 入出力ポート 16bit タイマ 0 出力: 18bit タイマ 0 の出力端子。
PB1 TB1OUT	1	入出力 出力	ポート B1: 入出力ポート 16bit タイマ 1 出力: 16bit タイマ 1 の出力端子。
PB2 TB2IN0 INT5	1	入出力 入力 入力	ポート B2: 入出力ポート 16bit タイマ 2 入力 0: 16bit タイマ 2 のカウント/キャプチャトリガ入力 割込み要求端子 5：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能
PB3 TB2IN1 INT6	1	入出力 入力 入力	ポート B3: 入出力ポート 16bit タイマ 2 入力 1: 16bit タイマ 2 キャプチャトリガ入力 割込み要求端子 6：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能

Not Recommended for New Design

表 2.2.3　ピン名称と機能（3/6）

ピン名称	ピン数	入出力	機　能
PB4 TB2OUT	1	入出力 出力	ポート B4: 入出力ポート 16bit タイマ 2 出力: 16bit タイマ 2 の出力端子。
PB5 TB3IN0 INT7	1	入出力 入力 入力	ポート B5: 入出力ポート 16bit タイマ 3 入力 0: 16bit タイマ 3 のカウント/キャプチャトリガ入力 割込み要求端子 7：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能
PB6 TB3IN1 INT8	1	入出力 入力 入力	ポート B6: 入出力ポート 16bit タイマ 3 入力 1: 16bit タイマ 3 キャプチャトリガ入力 割込み要求端子 8：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能
PB7 TB3OUT	1	入出力 出力	ポート B7: 入出力ポート 16bit タイマ 3 出力: 16bit タイマ 3 の出力端子。
PC0 TXD0	1	入出力 出力	ポート C0: 入出力ポート シリアル送信データ 0:プログラムによりオープンドレイン出力端子
PC1 RXD0	1	入出力 入力	ポート C1: 入出力ポート シリアル受信データ 0
PC2 SCLK0 CTS0	1	入出力 入力 入力	ポート C2: 入出力ポート シリアルクロック入出力 0 シリアルデータ送信可能 0 (Clear To Send) : プログラムによりオープンドレイン出力端子
PC3 TXD1	1	入出力 出力	ポート C3: 入出力ポート シリアル送信データ 1:プログラムによりオープンドレイン出力端子
PC4 RXD1	1	入出力 入力	ポート C4: 入出力ポート シリアル受信データ 1
PC5 SCLK1 CTS1	1	入出力 入力 入力	ポート C5: 入出力ポート シリアルクロック入出力 1 シリアルデータ送信可能 1 (Clear To Send) : プログラムによりオープンドレイン出力端子
PC6 TXD2	1	入出力 出力	ポート C6: 入出力ポート シリアル送信データ 2:プログラムによりオープンドレイン出力端子
PC7 RXD2	1	入出力 入力	ポート C7: 入出力ポート シリアル受信データ 2
PD0 SCLK2 CTS2	1	入出力 入力 入力	ポート D0: 入出力ポート シリアルクロック入出力 2 シリアルデータ送信可能 2 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD1 TXD3	1	入出力 出力	ポート D1: 入出力ポート シリアル送信データ 3:プログラムによりオープンドレイン出力端子
PD2 RXD3	1	入出力 入力	ポート D2: 入出力ポート シリアル受信データ 3
PD3 SCLK3 CTS3	1	入出力 入力 入力	ポート D3: 入出力ポート シリアルクロック入出力 3 シリアルデータ送信可能 3 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD4 TXD4	1	入出力 出力	ポート D4: 入出力ポート シリアル送信データ 4:プログラムによりオープンドレイン出力端子
PD5 RXD4	1	入出力 入力	ポート D5: 入出力ポート シリアル受信データ 4
PD6 SCLK4 CTS4	1	入出力 入力 入力	ポート D6: 入出力ポート シリアルクロック入出力 4 シリアルデータ送信可能 4 (Clear To Send) : プログラムによりオープンドレイン出力端子
PD7 KEY8	1	入出力 入力	ポート D7: 入出力ポート KEY on wake up 入力 8:（Dynamic pull up 選択可能）（プルアップ付き） シュミット付き入力

Not Recommended for New Design

表 2.2.4　ピン名称と機能（4/6）

ピン名称	ピン数	入出力	機　能
PE0 TXD5	1	入出力 出力	ポート E0: 入出力ポート シリアル送信データ 5:プログラムによりオープンドレイン出力端子
PE1 RXD5	1	入出力 入力	ポート E1: 入出力ポート シリアル受信データ 5
PE2 SCLK5 CTS5	1	入出力 入力 入力	ポート E2: 入出力ポート シリアルクロック入出力 5 シリアルデータ送信可能 5 (Clear To Send) : プログラムによりオープンドレイン出力端子
PE3 KEY9	1	入出力 入力	ポート E3: 入出力ポート KEY on wake up 入力 9:（Dynamic pull up 選択可能）（プルアップ付き） シュミット付き入力
PE4 KEYA	1	入出力 入力	ポート E4: 入出力ポート KEY on wake up 入力 A:（Dynamic pull up 選択可能）（プルアップ付き） シュミット付き入力
PE5 KEYB	1	入出力 入力	ポート E5: 入出力ポート KEY on wake up 入力 B:（Dynamic pull up 選択可能）（プルアップ付き） シュミット付き入力
PE6 KEYC	1	入出力 入力	ポート E6: 入出力ポート KEY on wake up 入力 C:（Dynamic pull up 選択可能）（プルアップ付き） シュミット付き入力
PE7 KEYD	1	入出力 入力	ポート C7: 入出力ポート KEY on wake up 入力 D:（Dynamic pull up 選択可能）（プルアップ付き） シュミット付き入力
PF0 SO SDA	1	入出力 出力 入出力	ポート F0: 入出力ポート シリアルバスインタフェースの SIO モード時のデータ送信端子 シリアルバスインタフェースの I2C モード時のデータ送受信端子 プログラムによりオープンドレイン出力端子 シュミット付き入力
PF1 SI SCL	1	入出力 入力 入出力	ポート F1: 入出力ポート シリアルバスインタフェースの SIO モード時のデータ受信端子 シリアルバスインタフェースの I2C モード時のクロック入出力端子 プログラムによりオープンドレイン出力端子 シュミット付き入力
PF2 SCK	1	入出力 入出力	ポート F2: 入出力ポート シリアルバスインタフェースの SIO モード時のクロック入出力端子
PF3 DREQ2	1	入出力 入力	ポート F3: 入出力ポート DMA リクエスト信号 2:外部 I/O デバイスから DMAC2 への DMA 転送要求入力
PF4 DACK2	1	入出力 出力	ポート F4: 入出力ポート DMA アクノリッジ信号 2:DREQ2 による DMA 転送要求に対するアクノリッジ信号
PF5 DREQ3	1	入出力 入力	ポート F5: 入出力ポート DMA リクエスト信号 3:外部 I/O デバイスから DMAC3 への DMA 転送要求入力
PF6 DACK3	1	入出力 出力	ポート F6: 入出力ポート DMA アクノリッジ信号 3:DREQ3 による DMA 転送要求に対するアクノリッジ信号
PF7 TBTIN	1	入出力 入力	ポート F7: 入出力ポート 32bit タイムベースタイマ入力: 32bit タイムベースタイマのカウント入力
PG0～PG7 TC0IN～TC7IN	8	入出力 入力	ポート G: ビット単位で入出力の設定ができる入出力ポート 32bit タイマキャプチャトリガ入力
PH0～PH7 TCOUT0～TCOUT7	8	入出力 出力	ポート H: ビット単位で入出力の設定ができる入出力ポート 32bit タイマコンペア一致出力
PJ0 INT0	1	入出力 入力	ポート J0: 入出力ポート 割込み要求端子 0：“H” レベル/ “L” レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子

Not Recommended for New Design

表 2.2.5　ピン名称と機能（5/6）

ピン名称	ピン数	入出力	機　能
PJ1 BUSMD	1	入出力 入力	ポート J1: 入出力ポート 外部バスモード設定端子：リセット信号の立ち上がりで"H（DVCC2）レベル"をサンプリングしてマルチプレクスバスとして、リセット信号の立ち上がりで"L"をサンプリングしてセパレートバスとして動作します。使用するバスモードに従ってリセット時にプルアップまたはプルダウンしてください。
PJ2	1	入出力 入力	ポート J2: 入出力ポート シングルブートモード設定端子:リセット信号の立ち上がりで"L"をサンプリングしてシングルブートモードになります。内蔵フラッシュメモリの書き換え時に使用します。リセット信号の立ち上がりで"H（DVCC2）レベル"をサンプリングしてノーマル動作（通常動作）します。通常使用時はリセット時にこの端子をプルアップしてください。
PJ3	1	入出力 入力	ポート J3: 入出力ポート インターリーブモード設定端子:リセット信号の立ち上がりで"H（DVCC2）レベル"をサンプリングします。この端子はリセット時にプルアップしてください。
PJ4 ENDIAN	1	入出力 入力	ポート J4: 入出力ポート この端子はモード設定に使用されます。リセット信号の立ち上がりで"H（DVCC2）レベル"をサンプリングしてビッグエンディアンの動作を、リセット信号の立ち上がりで"L"をサンプリングしてリトルエンディアンの動作をします。使用するエンディアンに従ってリセット時にプルアップまたはプルダウンしてください。
PK0～PK7 KEY0～KEY7	8	入出力 入力	ポート K: ビット単位で入出力の設定ができる入出力ポート KEY on wake up 入力 0～7:（Dynamic pull up 選択可能）（プルアップ付き） シュミット付き入力
PL0 TA4IN	1	入出力 入力	ポート L0: 入出力ポート 8bit タイマ 4 入力: 8bit タイマ 4 の入力端子。
PL1 TA6IN	1	入出力 入力	ポート L1: 入出力ポート 8bit タイマ 6 入力: 8bit タイマ 6 の入力端子。
PL2 TA8IN	1	入出力 入力	ポート L2: 入出力ポート 8bit タイマ 8 入力: 8bit タイマ 8 の入力端子。
PL3 TAAIN	1	入出力 入力	ポート L3: 入出力ポート 8bit タイマ A 入力: 8bit タイマ A の入力端子。
PL4 TB0IN0	1	入出力 入力	ポート L4: 入出力ポート 16bit タイマ 0 入力 0: 16bit タイマ 0 のカウント/キャプチャトリガ入力
PL5 TB0IN1	1	入出力 入力	ポート L5: 入出力ポート 16bit タイマ 0 入力 1: 16bit タイマ 0 キャプチャトリガ入力
PL6 TB1IN0	1	入出力 入力	ポート L6: 入出力ポート 16bit タイマ 1 入力 0: 16bit タイマ 1 のカウント/キャプチャトリガ入力
PL7 TB1IN1	1	入出力 入力	ポート L7: 入出力ポート 16bit タイマ 1 入力 1: 16bit タイマ 1 キャプチャトリガ入力
PM0～PM7	8	入出力	ポート M: ビット単位で入出力の設定ができる入出力ポート
PN0 TXD6	1	入出力 出力	ポート N0: 入出力ポート シリアル送信データ 6:プログラムによりオープンドレイン出力端子
PN1 RXD6	1	入出力 入力	ポート N1: 入出力ポート シリアル受信データ 6
PN2 SCLK6 CTS6	1	入出力 入力 入力	ポート N2: 入出力ポート シリアルクロック入出力 6 シリアルデータ送信可能 6 (Clear To Send) : プログラムによりオープンドレイン出力端子
PN3～PN7	5	入出力	ポート N3～N7: ビット単位で入出力の設定ができる入出力ポート
PO0～PO7	8	入出力	ポート O: ビット単位で入出力の設定ができる入出力ポート
PP0～PP7	8	入出力	ポート P: ビット単位で入出力の設定ができる入出力ポート

Not Recommended for New Design

表 2.2.6　ピン名称と機能（6/6）

ピン名称	ピン数	入出力	機　　能
$\overline{\text{NMI}}$	1	入力	ノンマスカブル割り込み要求端子: 立ち下がりエッジの割り込み要求端子 シュミット付き入力
$\overline{\text{PLLOFF}}$	1	入力	PLL 逓倍クロックの設定端子です。"H（DVCC2）レベル"に固定してください。 （シュミット付き入力）
RSTPUP	1	入力	リセット時"H（DVCC32）レベル"でポート 3、4PullUp イネーブル、"L"でディゼーブル シュミット付き入力
$\overline{\text{RESET}}$	1	入力	リセット: LSI を初期化 (プルアップ付) シュミット付き入力
X1/X2	2	入出力	高速発振子接続端子
$\overline{\text{DRESET}}$	1	入力	デバッグリセット:DSU-ICE 用信号（シュミット付き入力、プルアップ付き）
DCLK	1	出力	デバッグクロック:DSU-ICE 用信号
$\overline{\text{DBGE}}$	1	入力	デバッガイネーブル:DSU-ICE 用信号（シュミット付き入力、プルアップ付き）
PCST3～0	4	出力	PC トレースステータス:DSU-ICE 用信号
SDI/$\overline{\text{DINT}}$	1	入力	シリアルデータインプット/デバッグインタラプト:DSU-ICE 用信号 （シュミット付き入力、プルアップ付き）
SDAO/TPC	1	出力	シリアルデータ・アドレスアウトプット/ターゲット PC:DSU-ICE 用信号
TCK	1	入力	テストクロック入力:JTAG テスト用信号（シュミット付き入力、プルアップ付き）
TMS	1	入力	テストモードセレクト入力: JTAG テスト用信号（シュミット付き入力、プルアップ付き）
TDI	1	入力	テストデータ入力:JTAG テスト用信号（シュミット付き入力、プルアップ付き）
TDO	1	出力	テストデータ出力:JTAG テスト用信号
$\overline{\text{TRST}}$	1	入力	テストリセット入力:JTAG テスト用信号（シュミット付き入力、プルダウン付き）
BW0~1	2	入力	BW0 = “H（DVCC2）”、BW1 = “H（DVCC2）” に固定してください。 （シュミット付き入力）
VREFH	1	入力	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC31 に接続してください
VREFL	1	入力	A/D コンバータ用基準電源入力端子 (L) A/D コンバータを使用しないときは AVSS に接続してください
AVCC31～32	2	−	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。
AVSS	3	−	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。
TEST5	1	入力	TEST 用端子:GND に固定してください
SYSRDY	1	出力	Flash メモリへのアクセス許可信号（Flash 内蔵タイプ TMP1962F10AXBG の場合）
CVCC15	1	−	発振器用電源端:1.5V 系電源
CVSS	1	−	発振器用 GND 端子(0V)
DVCC15	5	−	電源端子: 1.5V 系電源
DVCC2	1	−	電源端子: 2.5V 系電源
DVCC31～34	9	−	電源端子: 3V 系電源
DVSS	9	−	GND 端子 (0V)

（注 1）PJ1，PJ2，PJ3，PJ4 に関して、リセット信号の立ち上がり前後 1 システムクロック分、各端子の説明通りの状態（"H"レベルまたは"L"レベル）を保持してください。ただし、リセット端子は"L"レベル、"H"レベルともに安定した状態であることが必要です。

Not Recommended for New Design

ピン名称と電源供給端子の関係は、表 2.2.2 のとおりです。

表 2.2.2　ピン名称と電源

ピン名称	電源		ピン名称	電源	
	マスク品	フラッシュ品		マスク品	フラッシュ品
P0	DVCC33	DVCC33	PO	DVCC31	DVCC31
P1	DVCC33	DVCC33	PP	DVCC31	DVCC31
P2	DVCC33	DVCC33	X1	CVCC15	CVCC2
P3	DVCC33	DVCC33	X2	CVCC15	CVCC2
P4	DVCC33	DVCC33	$\overline{\text{RESET}}$	DVCC2	DVCC21
P5	DVCC33	DVCC33	$\overline{\text{NMI}}$	DVCC2	DVCC21
P6	DVCC33	DVCC33	$\overline{\text{PLLOFF}}$	DVCC2	DVCC21
P7	AVCC32	AVCC32	$\overline{\text{DRESET}}$	DVCC2	DVCC21
P8	AVCC32	AVCC32	DCLK	DVCC2	DVCC21
P9	AVCC31	AVCC31	$\overline{\text{DBGE}}$	DVCC2	DVCC21
PA	DVCC32	DVCC32	PCST3～0	DVCC2	DVCC21
PB	DVCC32	DVCC32	SDI/$\overline{\text{DINT}}$	DVCC2	DVCC21
PC	DVCC32	DVCC32	SDAO/TPC	DVCC2	DVCC21
PD	DVCC32	DVCC32	TCK	DVCC34	DVCC34
PE	DVCC32	DVCC32	TMS	DVCC34	DVCC34
PF	DVCC32	DVCC32	TDI	DVCC34	DVCC34
PG	DVCC32	DVCC32	TDO	DVCC34	DVCC34
PH	DVCC32	DVCC32	$\overline{\text{TRST}}$	DVCC34	DVCC34
PI	DVCC34	DVCC34	BW1～0	DVCC2	DVCC21
PJ	DVCC2	DVCC21	RSTPUP	DVCC32	DVCC32
PK	DVCC34	DVCC34	G3	DVCC2	FVCC2
PL	DVCC34	DVCC34	G18	NC	FVCC2
PM	DVCC34	DVCC34	K5	NC	FVSS
PN	DVCC31	DVCC31	L1	NC	FVCC
			L15	NC	FVCC2
			M15	NC	FVSS

電源供給端子の動作電圧範囲を、表 2.2.3 に示します。

表 2.2.3　電源供給端子の動作電圧範囲

電源供給端子	動作電圧範囲	対応関係
DVCC15	1.35V～1.65V	マスク品
CVCC15	1.35V～1.65V	
DVCC2	2.3V～3.3V	
DVCC21	2.2V～2.7V	フラッシュ品
DVCC22	2.2V～2.7V	
CVCC2	2.2V～2.7V	
FVCC2	2.2V～2.7V	
FVCC3	2.9V～3.6V	
DVCC31～34	1.65V～3.3V	マスク／フラッシュ共通
AVCC31～32	2.7V～3.3V	

Not Recommended for New Design

（注 1）AVCC32 ≦ AVCC31
- P7～P9 を AD 入力として使用する場合は、2.7V ≦ AVCC3*
- P9（AVCC31 系）を AD 入力として使用、P7、P8（AVCC32 系）をポートとして使用する場合は
  2.7V ≦ AVCC31 ≦ 3.3V
  1.65V ≦ AVCC32 ≦ AVCC31
- P7（AVCC32 系）を AD 入力として使用、P8（AVCC32 系）、P9（AVCC31 系）をポートとして使用する場合は
  2.7V ≦ AVCC32 ≦ AVCC31 ≦ 3.3V

として使用してください。

（注 2）TMP1962 は CPU、内部ロジック用電源（マスク品：DVCC15／DVCC2／CVCC15／、Flash 品：DVCC21／DVCC22／CVCC2／FVCC2／FVCC3）が印加された状態で、他の I/O（ポート）用電源を遮断することが可能です。但し、フラッシュ品 TMP1962F10AXBG ではアナログ用電源 AVCC31 を遮断すると 0V に安定するまでの過渡期に貫通電流が発生します。AVCC31 電源を遮断する前に変換結果 0V の AD 変換を行うことにより貫通電流を抑制することが可能ですが、機器での対応をお願い致します。

Not Recommended for New Design

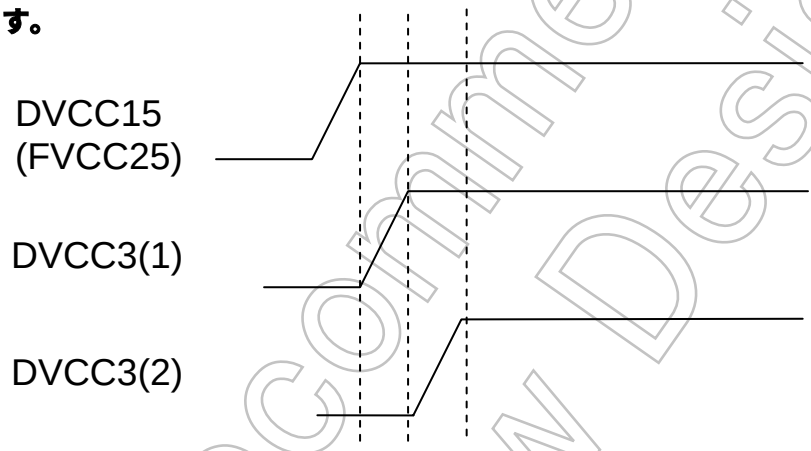
3. プロセッサコア

TMP1962 には、高性能 32 ビットプロッセッサコア（TX19 プロセッサコア）が内蔵されています。プロセッサコアの動作については、“TX19 ファミリーアーキテクチャ”を参照してください。ここでは、“TX19 ファミリーアーキテクチャ”にて説明されていない TMP1962 独自の機能について説明します。

注１）本文中で説明するレジスタのアドレスは全てビッグエンディアンで動作する場合表します。

推奨） 電源投入順序

本デバイスに電源を投入する場合は Flash 製品は DVCC25、Mask 製品は DVCC15 を先に立ち上げることを推奨します。投入順序が守られない場合は、出力バッファの状態が不定となる為、外部デバイスとの干渉が起こる可能性があり、AIN 入力セレクタの状態も不定となります。



DVCC3(1)、(2)･･･I/O 電源、AD 電源（AVCC：アナログ入力兼用ポートの電源）

3.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、$\overline{\text{RESET}}$ 入力を少なくとも 12 システムクロック間 (40.5 MHz 動作、PLL 使用時 2.37μs)“0”にしてください。リセット解除後、PLL 逓倍クロックは $\overline{\text{PLLOFF}}$ 端子の設定に基づき逓倍され、クロックギアは 1/8 モードに初期化されます。

リセットが受け付けられると、

- TX19 プロセッサコアのシステム制御コプロセッサ（CP0）レジスタが初期化されます。詳細はアーキテクチャの章を参照してください。
- リセット例外処理を行った後、プログラムは例外ハンドラへ分岐します。分岐先アドレス（例外ハンドラ開始アドレス）を例外ベクタアドレスと呼び、リセット例外（ノンマスカブル割り込みなど）の例外ベクタアドレスは 0xBFC0_0000H 番地（仮想アドレス）です。
- 内蔵 I/O のレジスタを初期化します。
- ポート端子（内蔵 I/O 用にも使える兼用端子を含む）を、汎用入力ポートまたは汎用出力ポートのモードにセット

Not Recommended for New Design

(注 1) パワーオン時には $\overline{\text{RESET}}$ 端子を ”0” にした状態でパワーオンし、電源電圧が動作範囲で十分安定した状態でリセット解除させてください。

(注 2) 電源電圧が安定した状態から 500μs 以上経過してからリセット解除させてください。

FLASH 製品をご使用の場合

電源投入時にはリセット解除してから 30μs 経過後にプロセッサコアは動作を開始します。

この時間は内蔵 Flash 制御回路を初期化するために必要な時間です。プロセッサコアの動作開始を TMP1962 の外部から知るために ”SYSRDY” 信号が出力されます。プロセッサコアがリセット解除されると SYSRDY 信号が ”L” から ”H” に変化します。電源投入以降の（電源オフしない）リセット動作は、Flash 制御部のフラッシュコントロール／ステータスレジスタ（FLCS）の bit7（<FLRMSK>）によって制御されます。<FLRMSK>ビットが ”0（初期値）” のとき、常に Flash 制御回路を初期化します。<FLRMSK>ビットを ”1” に設定すると、Flash 制御回路を初期化しません（内蔵 Flash メモリからのデータリードは正常に行えます)。この場合、リセット解除後に前述の Flash 制御回路の安定までの期間（30μs）は不要になり、直ちにプロセッサコアは動作を開始し、 ”SYSRDY“ 信号も ”H” に変化します。<FLRMSK>ビットへの設定値は電源オフするまで保持されます。通常はリセット解除後の初期設定で<FLRMSK>＝ ”1” にセットして使用します

FLCS (0xFFFF_E520)

	7	6	5	4	3	2	1	0
bit Symbol	FLRMSK	-				RDY/BSY	-	-
Read/Write	W	-				R	W	-
リセット後	0	-				1	0	-
機　能	フラッシュリセットマスク 0: フラッシュ制御回路をリセットしない 1:フラッシュ制御回路をリセットする	不定値が読めます				Ready/Busy 0: 自動動作中 1: 自動動作終了	かならず “0” を設定してください	不定値が読めます

（FLCS レジスタは 32 ビットのレジスタです。）

図 3.1.1　フラッシュコントロール/ステータスレジスタ

注）マスク ROM 内蔵タイプには FLCS レジスタは存在いたしません。
リードすると不定値が読まれます

Not Recommended for New Design

4. メモリマップ

TMP1962 のメモリマップを図 4.1 に示します。

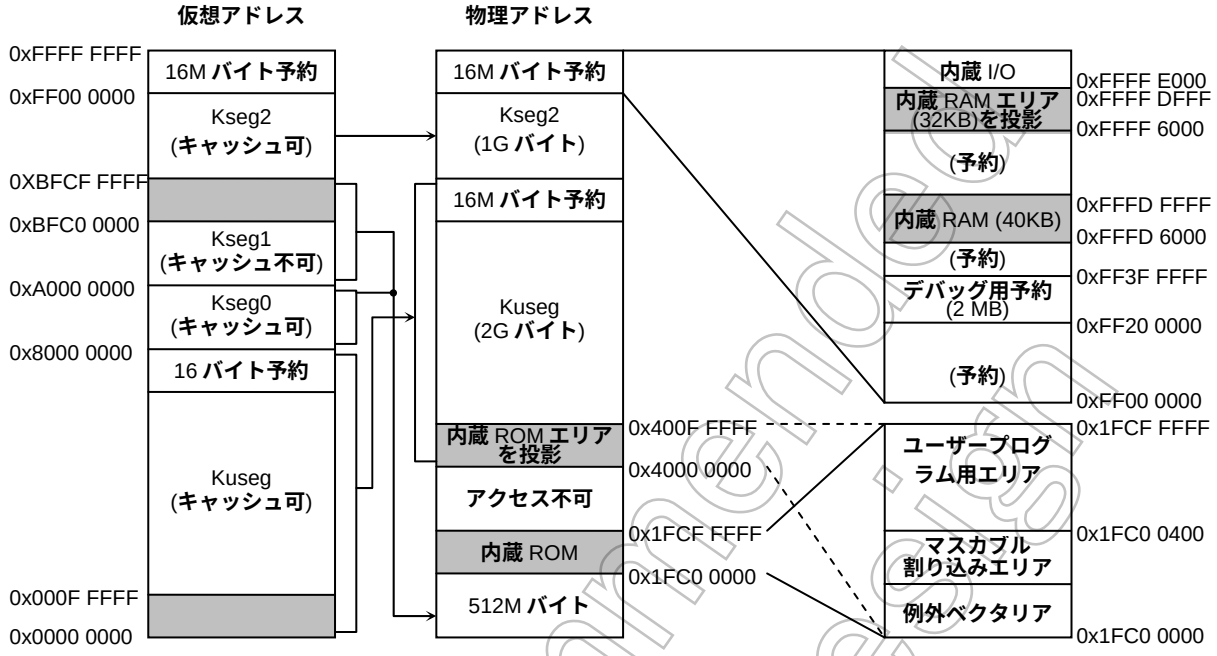


図 4.1 メモリマップ

(注1) 内蔵 ROM は、
0x1FC0_0000~0x1FCF_FFFF (1MB)
内蔵 RAM は、
0xFFFD_6000~0xFFFD_FFFF (40KB)
にマッピングされます。

(注2) 内蔵 ROM は物理アドレスの 0x1FC0_0000 以降の空間に連続して配置します。
例外ベクタアドレスを内蔵 ROM に置く場合には、システム制御コプロセッサ (CP0) が持つ Status レジスタの BEV ビットを “1” のまま (デフォルトのまま) 使用します(BEV = 0 では、例外ベクタアドレスが分散されるため)。外部にメモリを拡張する場合は BEV ビットを"0"にして使用できます。
仮想アドレスで 0x0000_0000 ± 32 KB 空間のアクセスを利用することでコードの増加を抑制できます。仮想アドレスの 0x0000_0000 に対応する物理アドレスの 0x4000_0000 から内蔵 ROM のサイズの空間 (斜線部) に関しては、ここをアクセスしても内蔵 ROM にアクセスできるようになっています。

例) (32bit ISA の場合)

- 0x0000_0000±32KB の領域へのアクセス

```
ADDIU  r2, r0, 7          ; r 2← (0x0000_0007)
SW     r2, Io (_t) (r0)   ; 0x0000_xxxx← (r2)   ←1 命令でメモリアクセス可能
```

- 0x0000_0000±32KB 以外の領域へのアクセス

```
LUI    r3, hi (_f)        ; ← 上位アドレスを r3 に設定
ADDIU  r2, r0, 8          ; r 2← (0x0000_0008)
SW     r2, Io (_f) (r3)   ; 下位アドレス設定後メモリアクセス
```

Not Recommended for New Design

(注3) TMP1962 の内蔵 RAM は、

0xFFFD_6000~0xFFFD_FFFF (40KB)

に物理的に存在しますが、

0xFFFF_6000~0xFFFF_DFFF (32KB)

は投影領域になり、この領域をアクセスしても内蔵 RAM にアクセスできます。

(注4) TMP1962 では外部アドレス空間として 16 M バイトの物理空間しかアクセスできません。CPU の物理アドレス空間 3.5 G バイト内で任意のチップセレクト領域に 16 M バイトの物理アドレス空間を配置することができます。
ただし、内蔵メモリ、内蔵 I/O 空間および予約エリアへのアクセスは優先され、このときに外部空間へのアクセスはできません。

(注5) 物理領域の最後の 4 ワードには命令を置かないでください。

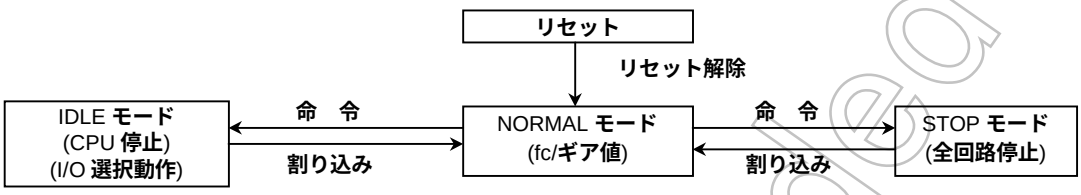
内蔵 ROM の場合：0x1FCF_FFF0~0x1FCF_FFFF
外部に ROM 拡張する場合はメモリの実装されている最後の 4 ワードが対象になります（ユーザーのシステムによります）。

Not Recommended for New Design

5. クロック/スタンバイ制御

システムの動作モードにはプロセッサコアの動作を停止して低消費電力動作行うスタンバイモードがあります。

図 5.1 に動作モード別状態遷移図を示します。



クロックモード状態遷移図

図 5.1 動作モード別状態遷移図

図 5.2 システムクロックのデフォルトの状態

fosc : X1, X2 端子より入力されるクロック周波数
fpll : PLL により逓倍 (3 逓倍) されたクロック周波数
fc : $\overline{\text{PLLOFF}}$ 端子の設定により選択されたクロック周波数
fgear : クロックジェネレータ部のシステムコントロールレジスタ SYSCR1<GEAR1:0> で選択されたクロック周波数
fsys :システムクロック周波数
CPU、ROM、RAM、DMAC、INTC の動作クロックです。内蔵周辺 I/O の動作クロックは fsys/2 になります。
fperiph : SYSCR1<FPSEL>で選択されたクロック周波数(周辺 I/O のプリスケーラへの入力クロック)

Not Recommended for New Design

5.1 クロック系統ブロック図

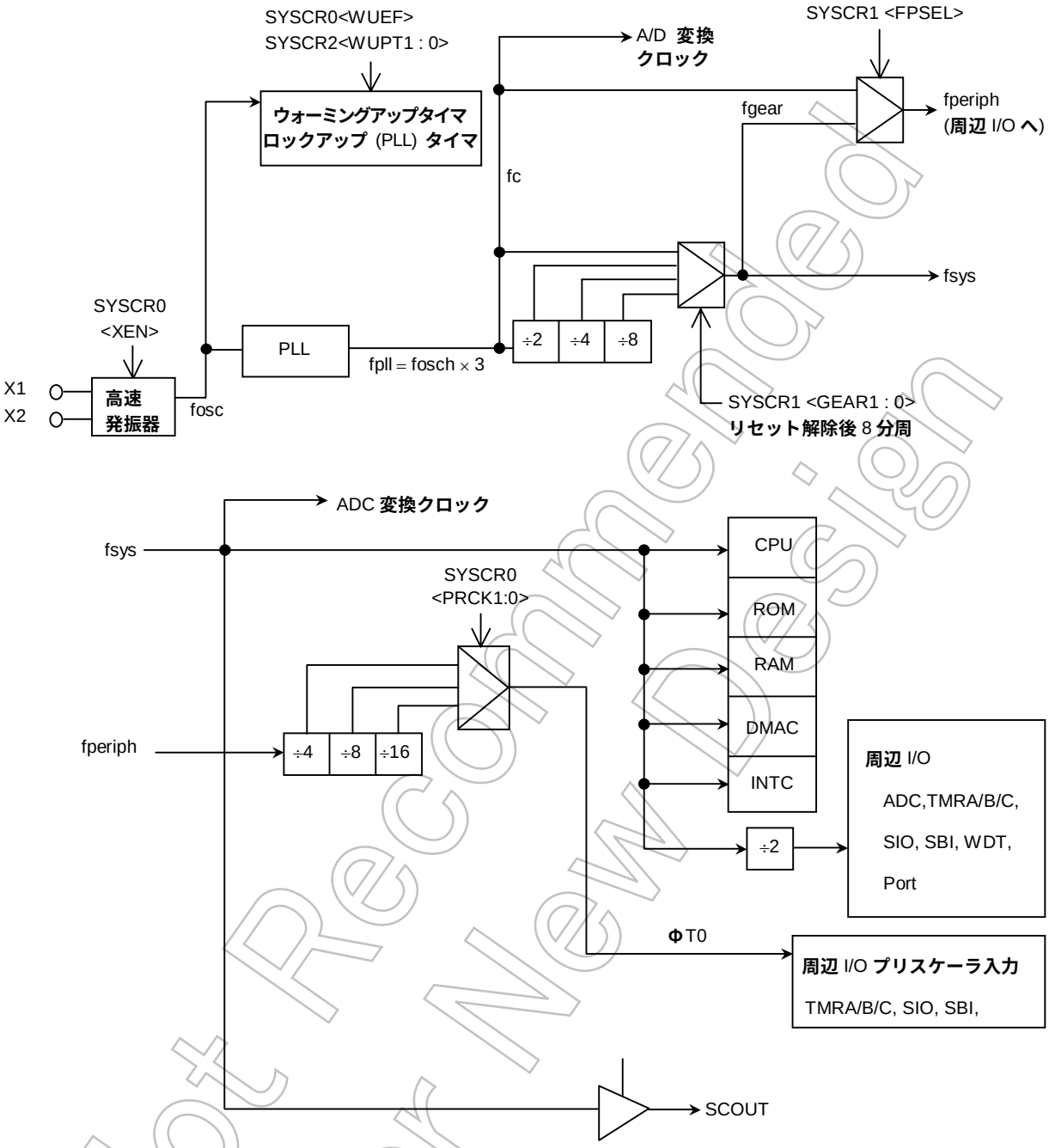
5.1.1 メイン・システム・クロック

- 発振子接続または外部クロック入力可能
- PLLON (3 逓倍)をリセット時 $\overline{\text{PLLOFF}}$ 端子により設定
- クロックギア (1，1/2，1/4，1/8) (デフォルトは 1/8 分周)
- 入力周波数

	入力周波数範囲	最大動作周波数	最低動作周波数
PLLON (発振子、外部入力ともに)	10～13.5 (MHz)	40.5 MHz	3.75 MHz

Not Recommended for New Design

5.1.2 ブロック図



(注 1)クロックギアを使用してシステムクロック周波数を低下させる場合、周辺 I/O の各ブロックでのプリスケーラ出力のϕTn（周辺 I/O ブロックで設定）はかならず

ϕTn<fsys/2

を満足するように時間設定 （ϕTn が fsys/2 よりも遅くなるように） してください。

(注 2)内蔵周辺機能使用中にプリスケーラ入力クロックΦT0 の変更は行なわないでください。

図 5.3 クロック、スタンバイ関連ブロック図

Not Recommended for New Design

5.2 CG（クロックジェネレータ）関連レジスタ

5.2.1 クロック関係：システムコントロールレジスタ

SYSCR3 (0xFFFFEE00)

	31	30	29	28	27	26	25	24
bit Symbol		SCOSEL1	SCOSEL0	ALESEL			LUPFG	LUPTM
Read/Write		R/W			R			R/W
リセット後	0	0	1	1	1	1	0	0
機　能		SCOUT 出力選択 00: (reserved) 01: fsys/2 10: fsys 11: (reserved)		ALE 出力幅設定 0: fsys × 0.5 1: fsys × 1.5	かならず "0" に設定してください (Flash 品の場合)。	かならず "0" に設定してください (Flash 品の場合)。	ロックアップフラグ 0:LUP 終了 1:LUP 中	ロックアップ時間選択 0:2^{16}/入力周波数 1:2^{12}/入力周波数

SYSCR2 (0xFFFFEE01)

	23	22	21	20	19	18	17	16
bit Symbol	DRVOSCH		WUPT1	WUPT0	STBY1	STBY0		DRVE
Read/Write	R/W		R/W					R/W
リセット後	0	0	1	0	1	1	0	0
機　能	高速発振器のドライブ能力制御 0:能力大 1:能力小	かならず "0" に設定してください (Flash 品の場合)。	発振器用ウォーミングアップ時間選択（注 2） 00: WUP なし 01: 2^8/入力周波数 10: 2^{14}/入力周波数 11: 2^{16}/入力周波数		スタンバイモード選択（注 1） 00: reserved 01: STOP モード 10: reserved 11: IDLE モード			0: STOP モード中に端子をドライブしない 1: STOP モード中に端子をドライブする （表 3.3.9 参照）

SYSCR1 (0xFFFFEE02)

	15	14	13	12	11	10	9	8
bit Symbol				FPSEL			GEAR1	GEAR0
Read/Write				R/W			R/W	
リセット後	0	0	0	0	0	0	1	1
機　能			かならず "0" に設定してください (Flash 品の場合)。	fperiph 選択 0: fgear 1: fc		かならず "0" に設定してください (Flash 品の場合)。	高速クロック (fc) のギア選択 00: fc 01: fc/2 10: fc/4 11: fc/8	

SYSCR0 (0xFFFFEE03)

	7	6	5	4	3	2	1	0
bit Symbol							PRCK1	PRCK0
Read/Write							R/W	
リセット後	1	0	1	0	0	0	0	0
機　能	かならず "1" に設定してください (Flash 品の場合)。	かならず "0" に設定してください (Flash 品の場合)。	かならず "1" に設定してください (Flash 品の場合)。	かならず "0" に設定してください (Flash 品の場合)。		かならず "0" に設定してください。	プリスケーラクロック選択 00: fperiph/16 01: fperiph/8 10: fperiph/4 11: (reserved)	

Not Recommended for New Design

(注1) スタンバイモード選択時、CP0 内の Config レジスタの Doze、Halt ビットにより、
Halt ビット "1" →<STBY1 : 0>で選択されたモードに遷移
Doze ビット "1" →IDLE モード固定

(注2) ウォーミングアップ中の＜WUPT1:0＞の書き換え、ロックアップ中の<LUPTM>の書き替えは行なわないでください。

(注3) PLL ロックアップタイマはウォーミングアップタイマと兼用です。

(注4) PLL を使用する場合は、＜WUPT1:0＞＝"00"（WUP なし）は選択しないでください。

(注5) PLLOFF 端子が "L" レベルの時は、<LUPFG>は常に"0"が読み出されます。

5.2.2 STOP モード解除割り込み（INTCG レジスタ）

IMCGA0 (0xFFFF_EE10)

	31	30	29	28	27	26	25	24
bit Symbol			EMCG31	EMCG30				INT3EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT3 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT3 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCG21	EMCG20				INT2EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT2 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT2 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCG11	EMCG10				INT1EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT1 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT1 解除入力 0: ディセーブル 1: イネーブル
	7	6	5	4	3	2	1	0
bit Symbol			EMCG01	EMCG00				INT0EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT0 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT0 解除入力 0: ディセーブル 1: イネーブル

Not Recommended for New Design

IMCGB0
(0xFFFF_EE14)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write			R/W					R/W
リセット後			1	1				0
機　能								かならず"0"をライトしてください

	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write			R/W					R/W
リセット後			1	0				0
機　能								かならず"0"をライトしてください

	15	14	13	12	11	10	9	8
bit Symbol			EMCG51	EMCG50				KWUPEN
Read/Write			R/W					R/W
リセット後			0	1				0
機　能			KWUP スタンバイ解除要求のアクティブ状態を設定 00: 禁止 01: “H” レベル 10: 禁止 11: 禁止 かならず"01"に設定してください。					KWUP 解除入力 0: ディセーブル 1: イネーブル

	7	6	5	4	3	2	1	0
bit Symbol			EMCG41	EMCG40				INT4EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT4 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT4 解除入力 0: ディセーブル 1: イネーブル

Not Recommended for New Design

IMCGC0
(0xFFFF_EE18)

	31	30	29	28	27	26	25	24
bit Symbol			EMCGB1	EMCGB0				INT6EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT6 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT6 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCGA1	EMCGA0				INT5EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT5 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT5 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write			R/W					R/W
リセット後			1	1				0
機　能								かならず"0"をライトしてください
	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write			R/W					R/W
リセット後			1	1				0
機　能								かならず"0"をライトしてください

Not Recommended for New Design

IMCGD0
(0xFFFF_EE1C)

	31	30	29	28	27	26	25	24
bit Symbol			EMCGF1	EMCGF0				INTAEN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INTA スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INTA 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCGE1	EMCGE0				INT9EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT9 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT9 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCGD1	EMCGD0				INT8EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT8 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT8 解除入力 0: ディセーブル 1: イネーブル
	7	6	5	4	3	2	1	0
bit Symbol			EMCGC1	EMCGC0				INT7EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT7 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT7 解除入力 0: ディセーブル 1: イネーブル

Not Recommended for New Design

(注1) STOP 解除用に割り込みを許可する場合は、かならず解除要求のアクティブ状態を設定してください。

(注2) 割り込みを使用する場合はかならず以下の順に設定してください。
① 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
② 初期化時にアクティブ状態等の設定
③ 割り込み要求のクリア
④ 割り込みのイネーブル

(注3) 各設定はかならず割り込みディゼーブルの状態で行なってください。

(注4) TMP1962 は STOP 解除割り込みとして INT0～INTA、KWUP0~D の 12 要因の設定が可能です。INT0～INTA は STOP 解除割り込みとして使用するかどうか、およびアクティブ状態の Edge/Level は CG にて設定します。また、KWUP0～D は STOP 解除割り込みとして使用するかどうかは CG で設定し、アクティブ状態のエッジ/レベルは KWUPSTx で設定します。上記 12 要因は INTC で HIGH レベルに設定してください。

<例> INT0 割り込みイネーブル

IMCGA0<EMCG01:00> = “10” } CG ブロック
IMCGA0<INT0EN> = “1” } (立ち下がりエッジで入力許可)
IMC0L<EIM11:10> = “01” } INTC ブロック
IMC0L<IL12:10> = “101” } (“H” レベルでの割り込みをアクティブにし、割り込みレベルを 5 に設定)

(注5) STOP 解除要求割り込みに割り当てられる上記 12 要因のうち、INT0～INTA は通常割り込みとして使用する場合は CG での設定は不用で INTC でレベル/エッジを指定してください。KWUP0~D は通常割り込みとしてして使用する場合は KWUPSTn でアクティブレベルを設定して INTC では HIGH レベルに設定してくだい。CG での設定は不用です。

STOP 解除要求として割り当てられている以外の割り込み要因は、すべて INTC ブロックにて設定します。

Not Recommended for New Design

5.2.3 STOP モード解除割り込み要求クリアレジスタ（EICRCG レジスタ）

EICRCG (0xFFFF_EE20)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write								
リセット後								
機　能								
	23	22	21	20				
bit Symbol								
Read/Write								
リセット後								
機　能								
	15	14	13	12				
bit Symbol								
Read/Write								
リセット後								
機　能								
	7	6	5	4	3	2	1	0
bit Symbol					ICRCG3	ICRCG2	ICRCG1	ICRCG0
Read/Write					W			
リセット後					—	—	—	—
機　能					解除割り込み要求をクリア 0000: INT0　0101: KWUP　1010: INT5 0001: INT1　0110: reserved　1011: INT6 0010: INT2　0111: reserved　1100: INT7 0011: INT3　1000: reserved　1101: INT8 0100: INT4　1001: reserved　1110: INT9 1111: INTA			

(注6) STOP 解除要求に割り当てられている上記 12 要因の割り込み要求のクリアは、

① KWUP の場合は KWUPCLR で行い、

② INT0～INTA の場合は上記 CG ブロックの EIRCG レジスタで行い、次に INTC ブロックの INTCLR レジスタの 2 ヶ所でかならず行ってください。

③ その他の割り込み要求のクリアは INTCLR レジスタのみをクリアします。

Not Recommended for New Design

5.3 システムクロック制御部

リセットによりシングルクロックモードになり、<XEN>=“1”,<XTEN>=“0”, <GEAR1：0>=“11”に初期化されるのでシステムクロック fsys は fc/8 となります（PLL にて原発振は 3 逓倍されるので fc=fosc (原発振周波数)×3)。例えば、X1, X2 端子に 13.5MHz の発振子を接続していると、リセットにより fsys は（13.5×3×1/8=）5.0625MHz となります。

（注）システムクロック周波数は初期設定で 3.75MHz 以上になるように設定してください。

5.3.1 発振安定時間

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認するためにウォーミングアップタイマがあります。ウォーミングアップ時間は発振子の特性に合わせて SYSCR2<WUPT1:0>により選択できます。

表 5.1に切り替え時のウォーミングアップ時間を示します。

(注 1) クロックに発振器などを使用しており発振が安定している場合はウォーミングアップさせる必要はありません。
(注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

表 5.1 ウォーミングアップ時間

ウォーミングアップタイム選択 SYSCR2<WUPT1 : 0>	高速クロック (fosc)
01 (2^8/発振周波数)	19.0 (μs)
10 (2^{14}/発振周波数)	1.214 (ms)
11 (2^{16}/発振周波数)	4.855 (ms)

計算値は fosc = 13.5 MHz, の場合です

Not Recommended for New Design

5.3.2 システムクロックの端子出力機能

システムクロック fsys または fsys/2 を P44/SCOUT 端子から出力できます。ポート 4 関係のレジスタ P4CR<P44C>=“1”, P4FC<P44F>=“1” に設定することにより、P44/SCOUT 端子は SCOUT 出力端子になります。出力クロックの選択は SYSCR3<SCOSEL1:0>によって設定します。

表 5.2に P44/SCOUT 端子を SCOUT 出力に設定した場合の端子状態を示します。

表 5.2 スタンバイモード別 SCOUT 出力状態

モード / SCOUT 選択	NORMAL	スタンバイモード	
		IDLE	STOP
<SCOSEL1:0> = “01”	fsys/2 クロックを出力します	“0” または “1” に固定されます	
<SCOSEL1:0> = “10”	fsys クロックを出力します		

(注) SCOUT から出力されるシステムクロックは内部クロックとの位相差（AC タイミング）は保証できません。

Not Recommended for New Design

5.3.3 発振器のドライブ能力低減

発振子接続用端子に発振子を接続する場合に発振器から出力される発振ノイズの抑制、発振器の低消費電力化を目的とします。

SYSCR2<DRVOSCH>を“1”にセットすることにより高速発振器のドライブ能力は低減（能力小）します。

リセットによりこのビットは“0”に初期化されるので、電源投入時は通常（能力大）のドライブ能力で発振開始します。モード移行時の発振器の発振開始時はからなず、ドライブ能力大（<DRVOSCH> =“0”）の状態に設定してください。

● 高速発振器のドライブ能力低減

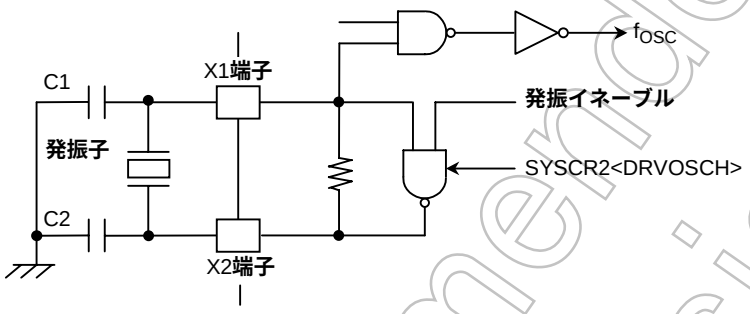


図 5.4 発振器のドライブ能力

Not Recommended for New Design

5.4 プリスケーラクロック制御部

内蔵 I/O (TMRA01～AB，TMRB0～3，TMRC，SIO0～6，SBI) には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロックφT0 は、fgear，fc の 2 種類から SYSCR1<FPSEL>で選択されたクロック fperiph を SYSCR0<PRCK1:0>の設定にて 16 分周、8 分周、4 分周のうちから選択されたクロックです。リセット後は fperiph として fgear が、φT0 として fperiph/16 が選択されます。

5.5 クロック逓倍回路（PLL)

高速発振器の出力クロック fosc を 3 逓倍した fpll クロックを出力する回路です。これにより、発振器の周波数は低く内部クロックは高速にすることが可能です。PLL を使用するために $\overline{\text{PLLOFF}}$ 端子を“H”レベルに固定してください。

この PLL はアナログ回路で構成されるため、動作可能後に発振器と同じように安定時間(ロックアップタイム) が必要となります。

ロックアップタイマは発振器のウォーミングアップタイマと兼用します。ロックアップタイムは、

ロックアップタイム ≧ ウォーミングアップタイム

となるよう SYSCR3 <LUPTM> に設定します。デフォルトは 2^{16}/入力周波数となります。

ロックアップタイマの起動は高速発振器のウォーミングアップ開始で起動され、起動開始からロックアップ終了までロックアップフラグ SYSCR3<LUPTM>は “1” のままで、終了すると“0”にクリアされます。

スタンバイモードなどでアンロック状態が発生した場合に、リアルタイム処理などのソフトウエアの実行速度に依存する制御においては動作開始してから (ウォーミングアップが終了してから) ソフトウエアでかならずロックアップフラグを判定し、クロックの安定を待ってから処理を開始しなければなりません。

(注１) $\overline{\text{PLLOFF}}$ 端子を“H” レベルに固定してください。

(注 2) (高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、SYSCR1<GEAR1: 0>レジスタへ値を書き込むことにより実行されます。書き込んだ後、すぐには切り替わらずに切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、ダミーの命令 (ライトサイクルが実行される命令)を挿入してください。

クロックギアを使用する場合、周辺 I/O の各ブロックのプリスケーラ出力φTn はかならず

φTn<fsys/2

を満足するように時間設定（φTn が fsys/2 よりも遅くなるように）してください。また、タイマカウンタなどの周辺 I/O 動作中にクロックギアを切り替えないようにしてください。

Not Recommended for New Design

5.6 スタンバイ制御部

NORMAL モードで TX19 プロセッサコアの Config レジスタの Halt ビットをセットすると、SYSCR2<STBY1:0>の内容により IDLE、STOP のいずれかのスタンバイモードになります。Config レジスタの Doze ビットをセットした場合は、SYSCR2<STBY1:0>の内容に関わらず IDLE モードになります。

IDLE、STOP モードの特長は次のとおりです。

IDLE: CPU のみ停止するモードです。

内蔵 I/O は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された内蔵 I/O は、IDLE モードへ遷移した時の状態で停止します。

表 5.3に IDLE 設定レジスタの一覧を示します。

表 5.3 IDLE モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	IDLE モード設定レジスタ
TMRA01～AB	TAxxRUN<I2TAxx>
TMRB0～3	TBxRUN<I2TBx>
TBT	TBTRUN<I2TBT>
SIO0～6	SCxMOD1<I2Sx>
SBI	SBIBR1<I2SBIx>
A/D コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

(注 1) Halt モード（Config レジスタの中の Halt ビットをセットしてスタンバイモードに遷移）では、TX19 プロッセサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。内蔵 DMA からのバス制御権要求に対しては応答しませんので、バス制御権を占有したままの状態となります。

(注 2) Doze モード（Config レジスタの中の Doze ビットをセットしてスタンバイモードに遷移）では、TX19 プロッセサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。プロセッサコア外部からのバス制御権要求に対して応答することができます。

STOP: すべての内部回路が停止します。

Not Recommended for New Design

5.6.1 各モードでの動作状態

表 5.4 各動作モードでの状態

動作モード	動作状態
NORMAL	TX19 プロセッサコア、内蔵周辺 I/O とも CG ブロックで設定された周波数で動作
IDLE (Halt)	プロセッサ動作停止、DMAC 停止、周辺 I/O 選択動作（DMAC を除く）
IDLE (Doze)	プロセッサ停止、DMAC 動作、周辺 I/O 選択動作（DMAC を含む）
STOP	プロセッサ、周辺 I/O すべて停止

5.6.2 各モードでの CG の動作

表 5.5 各動作モードにおける CG の状態

クロックソース	モード	発振回路	PLL	周辺 I/O へのクロック供給	CPU へのクロック供給
発振子	Normal	○	○	○	○
	Idle (Halt)	○	○	Selectable	×
	Idle (Doze)	○	○	Selectable	×
	Stop	×	×	×	×
外部入力	Normal	×	○	○	○
	Idle (Halt)	×	○	Selectable	×
	Idle (Doze)	×	○	Selectable	×
	Stop	×	×	×	×

○：動作または、クロックを供給　　×：停止またはクロックを非供給

5.6.3 各モードにおけるブロックの動作

表 5.6 各動作モードにおけるブロックの動作状態

ブロック	クロックソース	IDLE (Doze)	IDLE (Halt)	STOP
TX19 プロセッサコア	fsys	×	×	×
DMAC		○	×	×
INTC		○	○	×
外部バス I/F		○	×	×
外部バス権		○	×	×
IO ポート		○	×	×
ADC		モジュールごとに動作/停止選択可能		×
SIO				×
I2C				×
TMRA				×
TMRB				×
TMRC				×
WDT				×
二相パルス入力ウンタ				×
CG	—	○	○	×

○：動作　　×：停止

Not Recommended for New Design

5.6.4 スタンバイ状態からの解除

スタンバイ状態からの解除は、割り込み要求またはリセットによって行うことができます。使用できるスタンバイ解除ソースは、TX19 プロセッサコアのシステム制御コプロセッサ（CP0）にあるステータスレジスタ（Status レジスタ）に割り付けられている割り込みマスクレジスタ<CMask15：13>の状態と、スタンバイモードの組み合わせにより決まります。詳細を表 5.7に示します。

● 割り込み要求による解除

割り込み要求によるスタンバイ状態からの解除動作は、割り込み許可状態により異なります。スタンバイモード移行前に設定されている割り込みレベルが割り込みマスクレジスタの値以上であればスタンバイ解除後、その要因による割り込み処理を行い、スタンバイへ移行した命令（Config レジスタへの該当ビット指定）の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合は、割り込み処理は行わず、スタンバイ移行命令（Config レジスタへの該当ビット指定）の次の命令から処理をスタートします（割り込み要求フラグは“1”を保持します)。

ノンマスカブル割り込みでは、マスクレジスタの値に関係なくスタンバイ解除後、割り込み処理を行います。

● リセットによる解除

リセットにより、すべてのスタンバイ状態からの解除を行うことができます。
ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間が必要です 。 (表 5.1 を参照ください)。

STOP 解除割り込み、通常の割り込みの詳細に関しては「6. 割り込み」の項をご参照ください。

Not Recommended for New Design

表 5.7　スタンバイ解除ソースとスタンバイ解除の動作

割り込み受け付け状態			割り込み処理許可 (割り込みレベル) ＞(割り込みマスク)		割り込み処理禁止 (割り込みレベル) ≦(割り込みマスク)	
スタンバイモード			IDLE (プログラマブル)	STOP	IDLE (プログラマブル)	STOP
スタンバイ解除ソース	割り込み	$\overline{NMI}$	◎	◎(注 1)	◎	◎(注 1)
		INTWDT	◎	×	◎	×
		INT0～A	◎	◎(注 1)	○	○(注 1)
		KWUP0～D	◎	◎(注 1)	○	○(注 1)
		INTTB0～3	◎	×	○	×
		INTTA0～D	◎	×	○	×
		INTRX0～6, TX0～6	◎	×	○	×
		INTS	◎	×	○	×
		INTAD/ADHP/ADM	◎	×	○	×
	RESET		◎	◎	◎	◎

◎: スタンバイ解除後、割り込み処理を開始します (RESET は LSI を初期化します)。

○: スタンバイ解除後、スタンバイ命令の次の番地から処理を開始します (割り込み処理は行いません)。

×: スタンバイ解除に使用できません。

(注1)　ウォーミングアップ時間経過後にスタンバイ解除を行います。

(注2)　割り込み許可状態において、レベルモードの割り込みによるスタンバイ解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

(注3)　CPU で割り込みの受け付けを禁止している状態でスタンバイモードへ移行する場合は、移行前に割り込みコントローラ（INTC）で復帰要因以外の割り込みを禁止してください。禁止していないと復帰要因以外の割り込みでスタンバイ解除が行われる場合があります。

5.6.5 STOP モード

STOP モードでは、内部発振器も含めてすべての内部回路が停止します。また、STOP モード時の端子状態は、SYSCR2<DRVE>の設定により異なります。STOP モード時の端子状態を表 5.8 に示します。STOP モードを解除する場合は、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後にシステムクロックの出力を開始します。STOP モードが解除されると、STOP モードへ移行する前の動作モードへ復帰 (NORMAL) し 動作を開始します。

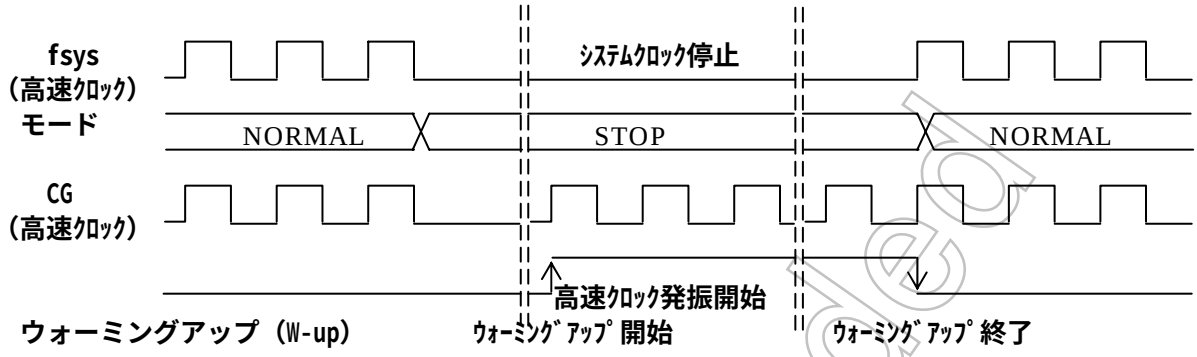
これら設定は STOP モードに移行する命令を実行する前に行う必要があります。ウォーミングアップ時間の設定は、SYSCR2<WUPT1:0>で行います

(注)　NORMAL モードから STOP モードに移行する場合、ウォーミングアップ時間に SYSCR2<WUPT1:0>＝”00”または”01”を設定しないでください。STOP モードからの復帰時に内部システムの復帰時間が必要です。

Not Recommended for New Design

5.6.6 STOP モードからの復帰

1. Normal→Stop→Normal 動作ﾓｰﾄﾞ遷移



@fosc=13.5MHz の場合

W-up時間選択 SYSCR2<WUPT1:0>	W-up時間 (fosc)
01(2^8/fosc)	設定禁止
10(2^{14}/fosc)	1.214ms
11(2^{16}/fosc)	4.855ms

（注）内部システムの復帰時間が満たされないので、＜WUPT1:0＞＝"01"は設定しないでください。

Not Recommended for New Design

表 5.8 SYSCR2<DRVE>別の STOP モード時の端子状態（1/2）

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
P00～07	入力モード	—	—
	出力モード	—	出力
	AD0～AD7, D0～D7	—	—
P10～17	入力モード	—	—
	出力モード, A8～A15	—	出力
	AD8～AD15, D8～D15	—	—
P20～27	入力モード	—	—
	出力モード, A0～A7/A16～A23	—	出力
P30 (/RD), P31 (/WR)	出力ピン	—	出力
P32～36	入力モード	PU*	入力
	出力モード	PU*	出力
P37 (ALE)	入力モード	—	入力
	出力モード	—	出力
	ALE（出力モード）	“L” レベル出力	“L” レベル出力
P40～43	入力モード	PU*	入力
	出力モード	PU*	出力
P44 (SCOUT)	入力モード	—	入力
	出力モード	—	出力
P50～57	入力モード	—	—
	出力モード, A0～A7	—	出力
P60～67	入力モード	—	—
	出力モード, A8～A15	—	出力
P7, P8, P9	入力ピン	—	—
PA0～PA7	入力モード	—	入力
	出力モード	—	出力
PB0, PB1, PB4, PB7	入力モード	—	入力
	出力モード	—	出力
PB2, PB3, PB5, PB6	入力モード	—	入力
	出力モード	—	出力
	INT5～INT8（入力モード）	入力	入力
PC0～PC7	入力モード	—	入力
	出力モード	—	出力
PD0～PD6	入力モード	—	入力
	出力モード	—	出力
PD7	入力モード	—	入力
	出力モード	—	出力
	KEY8（入力モード）	入力	入力
PE0～PE2	入力モード	—	入力
	出力モード	—	出力
PE3～PE7	入力モード	—	入力
	出力モード	—	出力
	KEY9～KEYD（入力モード）	入力	入力
PF, PG, PH, PI0, PI7	入力モード	—	入力
	出力モード	—	出力
PI1～PI6	入力モード	—	入力
	出力モード	—	出力
	INT1～4,INT9,INTA（入力モード）	入力	入力
PJ0	入力モード	—	入力
	出力モード	—	出力
	INT0（入力モード）	入力	入力
PJ1～PJ4	入力モード	—	入力
	出力モード	—	出力
PK0～PK7	入力モード	—	入力
	出力モード	—	出力
	KEY0～7（入力モード）	入力	入力

Not Recommended for New Design

表 5.9 SYSCR2<DRVE>別の STOP モード時の端子状態（2/2）

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
PL, PM, PN, PO, PP	入力モード 出力モード	— —	入力 出力
$\overline{\text{NMI}}$	入力ピン	入力	入力
$\overline{\text{RESET}}$	入力ピン	入力	入力
BM0, BM1	入力ピン	入力	入力
$\overline{\text{PLLOFF}}$	入力ピン	入力	入力
RSTPUP	入力ピン	入力	入力
SYSRDY	出力ピン	“H” レベル出力	“H” レベル出力
X1	入力ピン	—	—
X2	出力ピン	“H” レベル出力	“H” レベル出力

— :入力モード/入力ピンは、入力がディセーブルになり、出力モード/出力ピンは、ハイインピーダンスになることを示します。但し、ポートファンクションレジスタ（PxFC）＝”1”かつ、ポートコントロールレジスタ（PxCR）＝”0”の場合は入力はイネーブルになります。

入力 :入力ゲートが働いています。入力ピンが浮かないよう入力電圧を、“L”レベルまたは、“H”レベルに固定してください。

出力 :出力状態になっています。

PU* :プログラマブル Pull-up ピンです。常に入力ゲートがディセーブルになっています。ハイインピーダンスに設定されても貫通電流は流れません。

Not Recommended for New Design

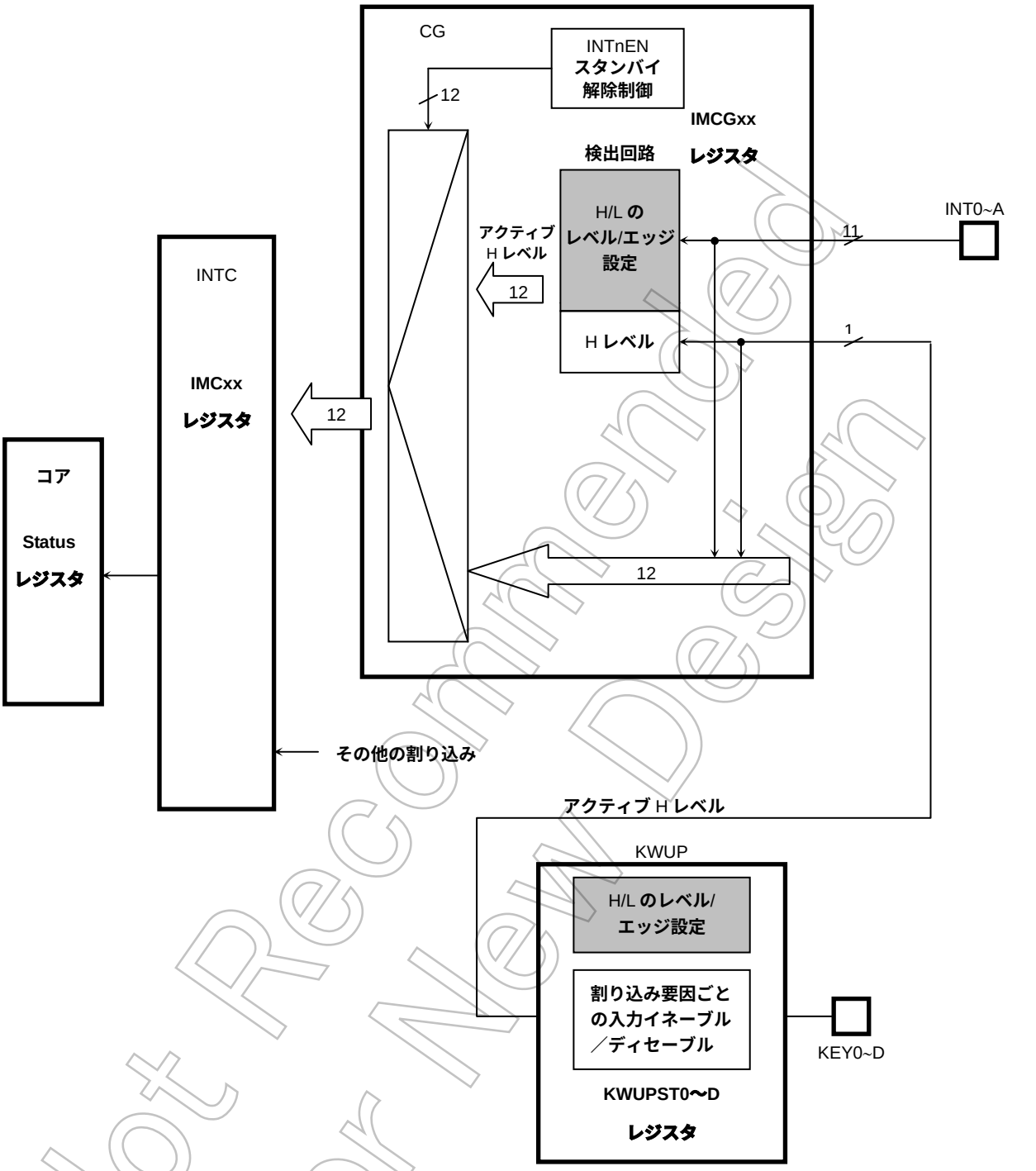
6. 割り込み

割り込みは CP0 のステータスレジスタ（Status）に割り付けられている割り込みマスクレベルフィールド<CMask15:13>、割り込み許可ビット＜IEc＞と、内蔵割り込みコントローラ、CG によって制御されます。“ TX19 アーキテクチャ ” 編の「第 9 章　例外処理」の章をあわせてご参照ください。

TMP1962 の割り込みには以下に示す特長があります。

- CPU 自身からの割り込み（ソフトウエア割り込み命令)…4 本
- 外部端子（$\overline{\text{NMI}}$、INT0~INTA、KWUP0~D）…26 本
- 内蔵 I/O からの割り込み（WDT 割り込み含む）…56 本
- 割り込み要因ごとにベクトル生成
- 要因ごとに 7 段階の割り込みレベル
- DMAC の起動要因として設定可能

Not Recommended for New Design



Not Recommended for New Design

（注）割り込み要因のイネーブル／ディセーブル、アクティブの状態は
① 割り込みコントローラ（INTC）では、割り込みモードコントロールレジスタ（IMCxx）
② クロックジェネレータ（CG）では、INTCG レジスタ（IMCGxx）
③ キーオンウェイクアップ（KWUP）では、KWUP ステータスレジスタ（KWUPSTx）
で設定します。

図 6.1 割り込み関係接続図

(1) 外部割り込み INT0～INTA および KWUP0～D

1) INT0～A

●STOP 解除として使用する場合は、

・CG ブロックの INTCG レジスタでアクティブ状態を設定 (IMCGxx<EMCGxx>に該当値をセット) (5.2.2 INTCG レジスタ参照)

・CG ブロックの INTCG レジスタで解除入力のイネーブル(IMCGxx<INTxEN>を "1") (5.2.2 INTCG レジスタ参照)

・INTC ブロックの割り込みモードコントロールレジスタで該当割り込み要因のアクティブ状態を"H"レベル(IMCxx<EIMxx>を "01") に設定 (6.4 INTC レジスタ参照)

します。

●STOP 解除として使用しない場合は、

・INTC ブロックの INTC レジスタでアクティブ状態を設定 (IMCxx<EIMxx>に該当値をセット) (6.4 INTC レジスタ参照)

します。

2) KWUP0~D

●STOP 解除として使用する場合は、

・CG ブロックの INTCG レジスタでアクティブ状態を"H"レベル(IMCGB0<EMCG51:50>を "01") に設定 (5.2.2 INTCG レジスタ参照)

・CG ブロックの INTCG レジスタで解除入力をイネーブル (IMCGB0<KWUPEN>を "1") (5.2.2 INTCG レジスタ参照)

・INTC ブロックの INTC レジスタで該当割り込み要因のアクテイブ状態"H"レベル (IMC1<EIM61:60> を "01")に設定 (6.4 INTC レジスタ参照)

・割り込み要因ごとに KWUP ブロックの KWUPSTx レジスタでアクティブ状態、割り込みのイネーブル/ディセーブルを設定

します。

●STOP 解除として使用しない場合は、

・INTC ブロックの INTC レジスタで該当割り込み要因のアクティブ状態を"H"レベル (IMC1<EIM61:60> を "01")に設定 (6.4 INTC レジスタ参照)

・割り込み要因ごとに KWUP ブロックの KWUPSTx レジスタでアクティブ状態、割り込みのイネーブル/ディセーブルを設定

します。

Not Recommended for New Design

(2) 内部割り込み信号：すべて INTC ブロックで設定します。

INTC は割り込み要因の優先度調停を行い、最も優先度の高い割り込みを TX19 プロセッサコアに通知します。

割り込み		設定場所	使用できる割り込み検知レベル
INT0～INTA		IMCGx reg.in CG IMCx reg.in INTC	STOP 解除に使用する場合は INTC では H レベルに設定し、アクティブ状態の設定は CG で行ってください。STOP 解除に使用しない場合はアクテイブ状態の設定は INTC で行なってください。どちらの場合も”L”レベル、“H”レベル、立ち下がり、立ち上がりの設定ができます。
KWUP0～D		IMCGx reg.in CG IMCx reg.in INTC KWUPSTn	INTC では常に H レベルに設定してください。STOP 解除に使用する場合は CG では H レベルに設定し、アクテイブ状態の設定は KWUPnST で行ってください。STOP 解除に使用しない場合は CG での設定は不要です。どちらの場合も”L”レベル、“H”レベル、立ち下がり、立ち上がりの設定ができます。
内蔵 I/O	INTDMAn	IMCx reg.in INTC	立ち下がりエッジ
	その他	IMCx reg.in INTC	立ち上がりエッジ

- 割り込み設定例

  INT0 を STOP 解除入力（立ち下がりエッジ）として使用する場合。

  a. 割り込みをイネーブル

```
IMCGA0<EMCG01:00> = “10”      : INT0 を立ち下がりエッジ
EICRCG<ICRCG2:0> = “000”      : INT0 割り込み要求をクリア   } CG ブロック
IMCGA0<INT0EN> = “1”          : INT0 解除入力許可
IMC0L<EIM11:10> = “01”        : INT0 を “H” レベル
INTCLR<EICLR5:0> = “000001”   : INT0 割り込み要求をクリア   } INTC ブロック
IMC0L<IL12:10> = “101”        : 割り込みレベルを “5”
Status<IEc> = “1”, <CMask> = “xxx”                          TX19 プロセッサコア
```

  b. 割り込みをディゼーブル

```
Status<IEc> = “0”                                           TX19 プロセッサコア
IMC0L<IL12:10> = “000”        : INT0 割り込み禁止           } INTC ブロック
INTCLR<EICLR5:0> = “000001”   : INT0 割り込み要求をクリア
IMCGA0<INT0EN> = “0”          : INT0 解除入力禁止           } CG ブロック
EICRCG<ICRCG2:0> = “000”      : INT0 割り込み要求をクリア
```

Not Recommended for New Design

6.1 割り込み要因

TMP1962 の割り込み要因には次にものがあります。

(1) リセット、ノンマスカブル割り込み･･･ $\overline{\text{RESET}}$, $\overline{\text{NMI}}$, INTWDT (ウォッチドッグタイマ割り込み)

ベクタアドレス: 0xBFC0_0000 (仮想アドレス)

(2) マスカブル割り込み･･･ソフトウエア、ハードウエア割り込み

ベクタアドレス: 0xBFC0_0210 (仮想アドレス) ～ 0xBFC0_0260 (仮想アドレス)

割り込み要因		ベクタアドレス (仮想アドレス)
リセット		0xBFC0_0000
ノンマスカブル		
マスカブル	ソフトウエア Swi0	0xBFC0_0210
	Swi1	0xBFC0_0220
	Swi2	0xBFC0_0230
	Swi3	0xBFC0_0240
	ハードウエア	0xBFC0_0260

(注 1) ベクタアドレスを内蔵 ROM に置く場合にはシステム制御コプロセッサ (CP0) の Status レジスタの BEV ビットを “1” にしてください。

(注 2) マスカブル割り込みの “ソフトウエア割り込み” は CP0 の Cause レジスタの <Sw3：0>をセットすることにより発生します。この “ソフトウエア割り込み” はハードウエア割り込み要因のうちの “ソフトウエアセット” と異なります。“ソフトウエアセット” は割り込みコントローラ (INTC) にある IMC0 レジスタの<IL02 ： 0>を “0” 以外にすることにより割り込みが発生します。

Not Recommended for New Design

表 6.1 ハードウエア割り込み要因一覧

割り込み番号	IVR[9 : 0]	割り込み要因	割り込み制御レジスタ	アドレス
0	000	ソフトウエアセット	IMC0	0xFFFF_E000
1	010	INT0 端子		
2	020	INT1 端子		
3	030	INT2 端子		
4	040	INT3 端子	IMC1	0xFFFF_E004
5	050	INT4 端子		
6	060	KWUP		
7	070	reserved		
8	080	INTRX6 : シリアル受信 (channel.6)	IMC2	0xFFFF_E008
9	090	INTTX6 : シリアル送信 (channel.6)		
10	0A0	INT5 端子		
11	0B0	INT6 端子		
12	0C0	INT7 端子	IMC3	0xFFFF_E00C
13	0D0	INT8 端子		
14	0E0	INT9 端子		
15	0F0	INTA 端子		
16	100	INTRX0 : シリアル受信 (channel.0)	IMC4	0xFFFF_E010
17	110	INTTX0 : シリアル送信 (channel.0)		
18	120	INTRX1 : シリアル受信 (channel.1)		
19	130	INTTX1 : シリアル送信 (channel.1)		
20	140	INTS0 : シリアルバスインタフェース 0	IMC5	0xFFFF_E014
21	150	INTRX2 : シリアル受信 (channel.2)		
22	160	INTTX2 : シリアル送信 (channel.2)		
23	170	INTADHP ：最優先 AD 変換終了割り込み		
24	180	INTADM ：AD 変換監視機能割り込み	IMC6	0xFFFF_E018
25	190	INTTAG0 : 8 ビット･タイマ･グループ 0		
26	1A0	INTTAG1 : 8 ビット･タイマ･グループ 1		
27	1B0	INTTAG2 : 8 ビット･タイマ･グループ 2		
28	1C0	reserved	IMC7	0xFFFF_E01C
29	1D0	INTTB0 : 16 ビット･タイマ 0		
30	1E0	INTTB1 : 16 ビット･タイマ 1		
31	1F0	INTRX3 : シリアル受信 (channel.3)		
32	200	INTTX3 : シリアル送信 (channel.3)	IMC8	0xFFFF_E020
33	210	INTRX4 : シリアル受信 (channel.4)		
34	220	INTTX4 : シリアル送信 (channel.4)		
35	230	INTRX5 : シリアル受信 (channel.5)		
36	240	INTTX5 : シリアル送信 (channel.5)	IMC9	0xFFFF_E024
37	250	reserved		
38	260	reserved		
39	270	reserved		
40	280	INTCAPG0 : インプットキャプチャ･グループ 0	IMCA	0xFFFF_E028
41	290	INTCAPG1 : インプットキャプチャ･グループ 1		
42	2A0	reserved		
43	2B0	INTCMP0 : コンペア割り込み 0		
44	2C0	INTCMP1 : コンペア割り込み 1	IMCB	0xFFFF_E02C
45	2D0	INTCMP2 : コンペア割り込み 2		
46	2E0	INTCMP3 : コンペア割り込み 3		
47	2F0	INTCMP4 : コンペア割り込み 4		
48	300	INTCMP5 : コンペア割り込み 5	IMCC	0xFFFF_E030
49	310	INTTB2 : 16 ビット･タイマ 2		
50	320	INTTB3 : 16 ビット･タイマ 3		
51	330	INTCMP6 : コンペア割り込み 6		
52	340	INTCMP7 : コンペア割り込み 7	IMCD	0xFFFF_E034
53	350	reserved		
54	360	INTDMA0 : DMA 転送終了 (channel.0)		
55	370	INTDMA1 : DMA 転送終了 (channel.1)		
56	380	INTDMA2 : DMA 転送終了 (channel.2)	IMCE	0xFFFF_E038
57	390	INTDMA3 : DMA 転送終了 (channel.3)		
58	3A0	reserved		
59	3B0	INTAD : A/D 変換終了		
60	3C0	INTDMA4 : DMA 転送終了 (channel.4)	IMCF	0xFFFF_E03C
61	3D0	INTDMA5 : DMA 転送終了 (channel.5)		
62	3E0	INTDMA6 : DMA 転送終了 (channel.6)		
63	3F0	INTDMA7 : DMA 転送終了 (channel.7)		

Not Recommended for New Design

6.2 割り込みの検出

STOP 解除に使用する場合は、INT0～INTA による割り込みは、割り込みのアクティブの状態を CG 内の IMCGxx レジスタの EMCGxx フィールドで設定し、INTC 内の IMCx レジスタの EIMxx フィールドは“H”レベルに設定します。KWUP0～D は、CG 内の IMCGB レジスタの EMCG フィールドを H レベルに、INTC 内の IMCx レジスタの EIMxx フィールドは“H”レベルに設定にし、KWUPSTn で割り込みごとにアクテイブ状態および許可/不許可を設定します。その他の割り込みは INTC 内の IMCx レジスタの EIMxx フィールドで設定します。アクティブ状態には、“H”/“L”レベル、立ち上がり/立ち下がりエッジの 4 種類あり、TMP1962 の割り込み検出回路は、設定された状態を認識すると、プロッセッサコアあるいは INTC に割り込み要求を通知します。また、前述 STOP 解除に使用できる割り込みを STOP 解除に使用しない場合は CG での設定は不用で、INT0～INTA は INTC でのみ設定、KWUP0～D は INTC と KWUPSTx での設定となります。

割り込み信号のネゲートは割り込み要因を認識した後、割り込みハンドラで行います。

INT0～INTA は CG 内の EICRCG レジスタの ICRCG フィールドに該当する値を書き込み、次に INTC 内の INTCLR レジスタの EICLR フィールドに対応する値を書き込みます。KWUP0～D は KWUPCLR を設定することによりネゲートされます。その他の割り込み信号のネゲートは、INTC 内の INTCLR レジスタの EICLR フィールドに該当する値を書き込みます。アクティブ状態がレベルに設定されている割り込み要因のネゲートは、INTx 信号をアサートした外部回路に対し INTx をネゲートするよう操作します。ただし、所定の割り込みベクタ（IVR）をリードするまでレベル入力をネゲートしないでください。

（注）各設定においては、必ずアクティブ状態の設定、割り込み要求のクリア、割り込みの許可の順番で行なってください。

（INT0 を STOP 解除に設定する例）

```
IMCGA0<EMCG01:00> = “10”      : INT0 を立ち下がりエッジ
EICRCG<ICRCG2:0> = “000”      : INT0 割り込み要求をクリア } CG ブロック
IMCGA0<INT0EN> = “1”          : INT0 解除入力許可
IMC0L<EIM11:10> = “01”        : INT0 を “H” レベル
INTCLR<EICLR5:0> = “000001”   : INT0 割り込み要求をクリア } INTC ブロック
IMC0L<IL12:10> = “101”        : 割り込みレベルを “5”
Status<IEc> = “1”, <CMask> = “xxx”                    TX19 プロセッサコア
```

Not Recommended for New Design

6.3 割り込みの優先度調停

(1) 7 段階の割り込みレベル

7 段階の優先度をもち、割り込み要因ごとに優先度を設定できます。

割り込みレベルは割り込みモードコントロールレジスタ（IMCx）で設定します。3 ビットのレベル設定フィールド（ILx）があります。IMC<ILx2:0>に設定された値（割り込みレベル）が大きいほど優先度が高くなります。値が“000”のとき（割り込みレベル 0）はその要因による割り込みは発生しません。

(2) 割り込みレベル通知

割り込みが発生していると、INTC は TX19 プロセッサコアにその割り込みのレベルを通知します。TX19 プロセッサコアは、Cause レジスタの IL フィールドの値を読み出すことによって割り込みレベルを認識します。複数の割り込み（レベルが異なる）が同時に発生している場合には、レベルの高い要因が通知されます。

(3) 割り込みベクタ（要因通知）

割り込みが発生た場合、INTC はベクタレジスタ（IVR）上に割り込み要因ベクタを設定します。TX19 プロセッサコアはベクタレジスタの値を読み出すことにより、割り込みの要因を知ることができます。複数の割り込み（同じレベルの）が同時に発生している場合には、要求番号の小さな要因のベクタを通知します。割り込み要因がないときは、IVR<9：4>フィールドは“0”になります（割り込み要求のクリアを行うと、IVR レジスタは”0”にクリアされます）。

TX19 プロセッサコがベクタレジスタの値を読み出すときになると、INTC はそれをプロセッサコアに知らせ、プロセッサコアはその時点の割り込みレベル値を Status<CMask>に設定します。

Not Recommended for New Design

6.4 INTC レジスタ

表 6.2 INTC レジスタマップ

アドレス	レジスタ記号	レジスタ	対応割り込み番号
0xFFFF_E060	INTCLR	割り込み要求クリアコントロール	ALL (63 – 0)
0xFFFF_E040	IVR	割り込みベクタレジスタ	ALL (63 – 0)
0xFFFF_E03C	IMCF	割り込みモードコントロールレジスタ F	63 – 60
0xFFFF_E038	IMCE	割り込みモードコントロールレジスタ E	59 – 56
0xFFFF_E034	IMCD	割り込みモードコントロールレジスタ D	55 – 52
0xFFFF_E030	IMCC	割り込みモードコントロールレジスタ C	51 – 48
0xFFFF_E02C	IMCB	割り込みモードコントロールレジスタ B	47 – 44
0xFFFF_E028	IMCA	割り込みモードコントロールレジスタ A	43 – 40
0xFFFF_E024	IMC9	割り込みモードコントロールレジスタ 9	39 – 36
0xFFFF_E020	IMC8	割り込みモードコントロールレジスタ 8	35 – 32
0xFFFF_E01C	IMC7	割り込みモードコントロールレジスタ 7	31 – 28
0xFFFF_E018	IMC6	割り込みモードコントロールレジスタ 6	27 – 24
0xFFFF_E014	IMC5	割り込みモードコントロールレジスタ 5	23 – 20
0xFFFF_E010	IMC4	割り込みモードコントロールレジスタ 4	19 – 16
0xFFFF_E00C	IMC3	割り込みモードコントロールレジスタ 3	15 – 12
0xFFFF_E008	IMC2	割り込みモードコントロールレジスタ 2	11 – ・8
0xFFFF_E004	IMC1	割り込みモードコントロールレジスタ 1	7 – 4
0xFFFF_E000	IMC0	割り込みモードコントロールレジスタ 0	3 – 0

6.4.1 割り込みベクタレジスタ (IVR)

発生している各割り込み要因のベクタを示します。割り込み要求をクリアすると IVR は”0”にクリアされます。

IVR (0xFFFF_E040)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								
	15	14	13	12	11	10	9	8
bit Symbol							IVR9	IVR8
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	0	0
機 能							発生している割り込み要因のベクタがセットされます	
	7	6	5	4	3	2	1	0
bit Symbol	IVR7	IVR6	IVR5	IVR4				
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機 能	発生している割り込み要因のベクタがセットされます							

Not Recommended for New Design

6.4.2 割り込みモードコントロールレジスタ（IMCx）

各要因ごとの割り込みレベルとアクティブ状態、および DMAC 起動要因かどうかの設定を行います。

IMC0 (0xFFFF_E000)

	31	30	29	28	27	26	25	24
bit Symbol			EIM31	EIM30	DM3	IL32	IL31	IL30
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 3 を起動要因にする	DM3 = 0 のとき 割り込み番号 3（INT2）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM3 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM21	EIM20	DM2	IL22	IL21	IL20
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 2 を起動要因にする	DM2 = 0 のとき 割り込み番号 2（INT1）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM2 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM11	EIM10	DM1	IL12	IL11	IL10
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 1 を起動要因にする	DM1 = 0 のとき 割り込み番号 1（INT0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM1 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM01	EIM00	DM0	IL02	IL01	IL00
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: 禁止 10: 禁止 11: 禁止 **かならず ”00” に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 0 を起動要因にする	DM0 = 0 のとき 割り込み番号 0（ソフトウエアセット）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM0 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMC1
(0xFFFF_E004)

	31	30	29	28	27	26	25	24
bit Symbol			EIM71	EIM70	DM7	IL72	IL71	IL70
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			かならず”00”を設定してください。		かならず”0”を設定してください。	かならず”000”を設定してください。		

	23	22	21	20	19	18	17	16
bit Symbol			EIM61	EIM60	DM6	IL62	IL61	IL60
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: “H” レベル 10: 禁止 11: 禁止 **かならず”01”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 6 を起動要因にする	DM6= 0 のとき 割り込み番号 6（KWUP）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM6 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM51	EIM50	DM5	IL52	IL51	IL50
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 5 を起動要因にする	DM5 = 0 のとき 割り込み番号 5（INT4）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM5 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM41	EIM40	DM4	IL42	IL41	IL40
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 4 を起動要因にする	DM4 = 0 のとき 割り込み番号 4（INT3）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM4 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMC2
(0xFFFF_E008)

	31	30	29	28	27	26	25	24
bit Symbol			EIMB1	EIMB0	DMB	ILB2	ILB1	ILB0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 11 を起動要因にする	DMB = 0 のとき 割り込み番号 11 (INT6) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DMB = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIMA1	EIMA0	DMA	ILA2	ILA1	ILA0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 10 を起動要因にする	DMA= 0 のとき 割り込み番号 10 (INT5) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DMA = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM91	EIM90	DM9	IL92	IL91	IL90
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず ”11” に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 9 を起動要因にする	DM9 = 0 のとき 割り込み番号 9 (INTTX6) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM9 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM81	EIM80	DM8	IL82	IL81	IL80
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず ”11” に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 8 を起動要因にする	DM8 = 0 のとき 割り込み番号 8 (INTRX6) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM8 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMC3
(0xFFFF_E00C)

	31	30	29	28	27	26	25	24
bit Symbol			EIMF1	EIMF0	DMF	ILF2	ILF1	ILF0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号15を起動要因にする	DMF = 0 のとき 割り込み番号15（INTA）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DMF = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIME1	EIME0	DME	ILE2	ILE1	ILE0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号14を起動要因にする	DME= 0 のとき 割り込み番号14（INT9）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DME = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIMD1	EIMD0	DMD	ILD2	ILD1	ILD0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号13を起動要因にする	DMD = 0 のとき 割り込み番号13（INT8）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DMD = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIMC1	EIMC0	DMC	ILC2	ILC1	ILC0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号12を起動要因にする	DMC = 0 のとき 割り込み番号12（INT7）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DMC = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMC4
(0xFFFF_E010)

	31	30	29	28	27	26	25	24
bit Symbol			EIM131	EIM130	DM13	IL132	IL131	IL130
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号19を起動要因にする	DM13 = 0のとき 割り込み番号19（INTTX1）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM13 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM121	EIM120	DM12	IL122	IL121	IL120
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号18を起動要因にする	DM12= 0のとき 割り込み番号18（INTRX1）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM12 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM111	EIM110	DM11	IL112	IL111	IL110
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号17を起動要因にする	DM11 = 0のとき 割り込み番号17（INTTX0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM11 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM101	EIM100	DM10	IL102	IL101	IL100
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号16を起動要因にする	DM10 = 0のとき 割り込み番号16（INTRX0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM10 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMC5
(0xFFFF_E014)

	31	30	29	28	27	26	25	24
bit Symbol			EIM171	EIM170	DM17	IL172	IL171	IL170
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号23を起動要因にする	DM17 = 0のとき 割り込み番号23（INTADHP）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM17 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM161	EIM160	DM16	IL162	IL161	IL160
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号22を起動要因にする	DM16= 0のとき 割り込み番号22（INTTX2）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM16 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM151	EIM150	DM15	IL152	IL151	IL150
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号21を起動要因にする	DM15 = 0のとき 割り込み番号21（INTRX2）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM15 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM141	EIM140	DM14	IL142	IL141	IL140
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号20を起動要因にする	DM14 = 0のとき 割り込み番号20（INTS0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM14 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMC6
(0xFFFF_E018)

	31	30	29	28	27	26	25	24
bit Symbol			EIM1B1	EIM1B0	DM1B	IL1B2	IL1B1	IL1B0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 27 を起動要因にする	DM1B = 0 のとき 割り込み番号 27（INTTAG2）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM1B = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM1A1	EIM1A0	DM1A	IL1A2	IL1A1	IL1A0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 26 を起動要因にする	DM1A= 0 のとき 割り込み番号 26（INTTAG1）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM1A = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM191	EIM190	DM19	IL192	IL191	IL190
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 25 を起動要因にする	DM19 = 0 のとき 割り込み番号 25（INTTAG0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM19 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM181	EIM180	DM18	IL182	IL181	IL180
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 24 を起動要因にする	DM18 = 0 のとき 割り込み番号 24（INTADM）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM18 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMC7
(0xFFFF_E01C)

	31	30	29	28	27	26	25	24
bit Symbol			EIM1F1	EIM1F0	DM1F	IL1F2	IL1F1	IL1F0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号31を起動要因にする	DM1F = 0のとき 割り込み番号31（INTRX3）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM1F = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM1E1	EIM1E0	DM1E	IL1E2	IL1E1	IL1E0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号30を起動要因にする	DM1E= 0のとき 割り込み番号30（INTTB1）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM1E = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM1D1	EIM1D0	DM1D	IL1D2	IL1D1	IL1D0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号29を起動要因にする	DM1D = 0のとき 割り込み番号29（INTTB0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM1D = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM1C1	EIM1C0	DM1C	IL1C2	IL1C1	IL1C0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			かならず”00”に設定してください。		かならず”0”に設定してください。	かならず”000”に設定してください。		

Not Recommended for New Design

IMC8
(0xFFFF_E020)

	31	30	29	28	27	26	25	24
bit Symbol			EIM231	EIM230	DM23	IL232	IL231	IL230
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号35を起動要因にする	DM23 = 0のとき 割り込み番号35（INTRX5）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM23 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM221	EIM220	DM22	IL222	IL221	IL220
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号34を起動要因にする	DM22= 0のとき 割り込み番号34（INTTX4）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM22 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM211	EIM210	DM21	IL212	IL211	IL210
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号33を起動要因にする	DM21 = 0のとき 割り込み番号33（INTRX4）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM21 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM201	EIM200	DM20	IL202	IL201	IL200
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号32を起動要因にする	DM20 = 0のとき 割り込み番号32（INTTX3）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM20 = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMC9
(0xFFFF_E024)

	31	30	29	28	27	26	25	24
bit Symbol			EIM271	EIM270	DM27	IL272	IL271	IL270
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			かならず”00”に設定してください。		かならず”0”に設定してください。	かならず”000”に設定してください。		
	23	22	21	20	19	18	17	16
bit Symbol			EIM261	EIM260	DM26	IL262	IL261	IL260
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			かならず”00”に設定してください。		かならず”0”に設定してください。	かならず”000”に設定してください。		
	15	14	13	12	11	10	9	8
bit Symbol			EIM251	EIM250	DM25	IL252	IL251	IL250
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			かならず”00”に設定してください。		かならず”0”に設定してください。	かならず”000”に設定してください。		
	7	6	5	4	3	2	1	0
bit Symbol			EIM241	EIM240	DM24	IL242	IL241	IL240
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 36 を起動要因にする	DM24 = 0 のとき 割り込み番号 36 (INTTX5) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM24 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMCA (0xFFFF_E028)

	31	30	29	28	27	26	25	24
bit Symbol			EIM2B1	EIM2B0	DM2B	IL2B2	IL2B1	IL2B0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 43 を起動要因にする	DM2B = 0 のとき 割り込み番号 43（INTCMP0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM2B = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM2A1	EIM2A0	DM2A	IL2A2	IL2A1	IL2A0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			かならず”00”に設定してください。		かならず”0”に設定してください。	かならず”000”に設定してください。		

	15	14	13	12	11	10	9	8
bit Symbol			EIM291	EIM290	DM29	IL292	IL291	IL290
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 41 を起動要因にする	DM29 = 0 のとき 割り込み番号 41（INTCAPG1）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM29 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM281	EIM280	DM28	IL282	IL281	IL280
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 40 を起動要因にする	DM28 = 0 のとき 割り込み番号 40（INTCAPG0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM28 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMCB (0xFFFF_E02C)

	31	30	29	28	27	26	25	24
bit Symbol			EIM2F1	EIM2F0	DM2F	IL2F2	IL2F1	IL2F0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号47を起動要因にする	DM2F = 0のとき 割り込み番号47（INTCMP4）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM2F = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM2E1	EIM2E0	DM2E	IL2E2	IL2E1	IL2E0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号46を起動要因にする	DM2E = 0のとき 割り込み番号46（INTCMP3）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM2E = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM2D1	EIM2D0	DM2D	IL2D2	IL2D1	IL2D0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号45を起動要因にする	DM2D = 0のとき 割り込み番号45（INTCMP2）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM2D = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM2C1	EIM2C0	DM2C	IL2C2	IL2C1	IL2C0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号44を起動要因にする	DM2C = 0のとき 割り込み番号44（INTCMP1）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM2C = 1のとき DMACのチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMCC (0xFFFF_E030)

	31	30	29	28	27	26	25	24
bit Symbol			EIM331	EIM330	DM33	IL332	IL331	IL330
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号51を起動要因にする	DM33 = 0 のとき 割り込み番号 51 (INTCMP6) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM33 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM321	EIM320	DM32	IL322	IL321	IL320
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: “H” レベル 10: 禁止 11: 立ち上がりエッジ **STOP/SLEEP 解除入力として使用する場合は”01”を、それ以外の時は”11”を設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号50を起動要因にする	DM32 = 0 のとき 割り込み番号 50 (INTTB3) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM32 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM311	EIM310	DM31	IL312	IL311	IL310
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: “H” レベル 10: 禁止 11: 立ち上がりエッジ **STOP/SLEEP 解除入力として使用する場合は”01”を、それ以外の時は”11”を設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号49を起動要因にする	DM31 = 0 のとき 割り込み番号 49 (INTTB2) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM31 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM301	EIM300	DM30	IL302	IL301	IL300
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号48を起動要因にする	DM30 = 0 のとき 割り込み番号 48 (INTCMP5) に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM30 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMCD (0xFFFF_E034)

	31	30	29	28	27	26	25	24
bit Symbol			EIM371	EIM370	DM37	IL372	IL371	IL370
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 立ち下がりエッジ 11: 禁止 **かならず”10”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 55 を起動要因にする	DM37 = 0 のとき 割り込み番号 55（INTDMA1）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM37 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM361	EIM360	DM36	IL362	IL361	IL360
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 立ち下がりエッジ 11: 禁止 **かならず”10”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 54 を起動要因にする	DM36 = 0 のとき 割り込み番号 54（INTDMA0）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM36 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM351	EIM350	DM35	IL352	IL351	IL350
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			かならず”00”に設定してください。		かならず”0”に設定してください。	かならず”000”に設定してください。		

	7	6	5	4	3	2	1	0
bit Symbol			EIM341	EIM340	DM34	IL342	IL341	IL340
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 52 を起動要因にする	DM34 = 0 のとき 割り込み番号 52（INTCMP7）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM34 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMCE (0xFFFF_E038)

	31	30	29	28	27	26	25	24
bit Symbol			EIM3B1	EIM3B0	DM3B	IL3B2	IL3B1	IL3B0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 禁止 11: 立ち上がりエッジ **かならず”11”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 59 を起動要因にする	DM3B = 0 のとき 割り込み番号 59（INTAD）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM3B = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM3A1	EIM3A0	DM3A	IL3A2	IL3A1	IL3A0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			かならず”00”に設定してください。		かならず”0”に設定してください。	かならず”000”に設定してください。		

	15	14	13	12	11	10	9	8
bit Symbol			EIM391	EIM390	DM39	IL392	IL391	IL390
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 立ち下がりエッジ 11: 禁止 **かならず”10”に設定してください**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 57 を起動要因にする	DM39 = 0 のとき 割り込み番号 57（INTDMA3）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM39 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM381	EIM380	DM38	IL382	IL381	IL380
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 立ち下がりエッジ 11: 禁止 **かならず”10”に設定してください**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 56 を起動要因にする	DM38 = 0 のとき 割り込み番号 56（INTDMA2）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM38 = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

IMCF (0xFFFF_E03C)

	31	30	29	28	27	26	25	24
bit Symbol			EIM3F1	EIM3F0	DM3F	IL3F2	IL3F1	IL3F0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 立ち下がりエッジ 11: 禁止 **かならず”10”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 63 を起動要因にする	DM3F = 0 のとき 割り込み番号 63（INTDMA7）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM3F = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	23	22	21	20	19	18	17	16
bit Symbol			EIM3E1	EIM3E0	DM3E	IL3E2	IL3E1	IL3E0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 立ち下がりエッジ 11: 禁止 **かならず”10”に設定してください。.**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 62 を起動要因にする	DM3E = 0 のとき 割り込み番号 62（INTDMA6）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM3E = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	15	14	13	12	11	10	9	8
bit Symbol			EIM3D1	EIM3D0	DM3D	IL3D2	IL3D1	IL3D0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 立ち下がりエッジ 11: 禁止 **かならず”10”に設定してください。**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 61 を起動要因にする	DM3D = 0 のとき 割り込み番号 61（INTDMA5）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM3D = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

	7	6	5	4	3	2	1	0
bit Symbol			EIM3C1	EIM3C0	DM3C	IL3C2	IL3C1	IL3C0
Read/Write			R/W					
リセット後			0	0	0	0	0	0
機　能			割り込み要求のアクティブ状態を設定 00: 禁止 01: 禁止 10: 立ち下がりエッジ 11: 禁止 **かならず”10”に設定してください**		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号 60 を起動要因にする	DM3C = 0 のとき 割り込み番号 60（INTDMA4）に対する割り込みレベルを設定 000: 割り込み禁止 001～111: 1～7 DM3C = 1 のとき DMAC のチャネル選択 000～011: 0～3 100～111: 4～7		

Not Recommended for New Design

(注 1) 割り込み要求を許可する前に、かならずアクティブ状態を設定してください。

(注 2) 割り込み要求を DMAC の起動要因にする場合はかならず INTC を設定後に DMAC を待機状態にしてください。

6.4.3 割り込み要求クリアレジスタ

要求をクリアしたい割り込みに相当する IVR<LIVR9 : 4>の値をセット

INTCLR (0xFFFF_E060)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write								
リセット後								
機　能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write								
リセット後								
機　能								
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write								
リセット後								
機　能								
	7	6	5	4	3	2	1	0
bit Symbol			EICLR5	EICLR4	EICLR3	EICLR2	EICLR1	EICLR0
Read/Write			W					
リセット後			—	—	—	—	—	—
機　能			要求をクリアしたい割り込みに相当する IVR<9 : 4>の値をセット					

(注 1) IVR の値をリードする前に割り込み要求のクリアは行わないでください。割り込み要求をクリアすると IVR は"0"にクリアされます。

(注 2) 割り込みコントローラ（INTC）によって任意の割り込み要求を禁止する場合には、
① プロセッサコアの割り込み受け付けの禁止（Status<IEc>="0"）
② INTC で割り込み受け付けの禁止（IMCxx<ILx2:0>="000"）
③ SYNC 命令の実行
④ プロセッサコアの割り込み受け付けの許可（Status<IEc>="1"）
の順で行ってください。

```
例)  mtc0   r0,   r31      ; __DI ();
     sb     r0,   IMC**    ; IMC**=0;
     sync                  ; __SYNC ();
     mtc0   $sp,  r31      ; __EI ();
```

Not Recommended for New Design

6.4.4 INTCG レジスタ（STOP 解除割り込み）

STOP モード解除割り込み

IMCGA0 (0xFFFF_EE10)

	31	30	29	28	27	26	25	24
bit Symbol			EMCG31	EMCG30				INT3EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT3 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT3 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCG21	EMCG20				INT2EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT2 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT2 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCG11	EMCG10				INT1EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT1 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT1 解除入力 0: ディセーブル 1: イネーブル
	7	6	5	4	3	2	1	0
bit Symbol			EMCG01	EMCG00				INT0EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT0 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT0 解除入力 0: ディセーブル 1: イネーブル

Not Recommended for New Design

IMCGB0
(0xFFFF_EE14)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write			R/W					R/W
リセット後			1	1				0
機　能								かならず"0"をライトしてください

	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write			R/W					R/W
リセット後			1	0				0
機　能								かならず"0"をライトしてください

	15	14	13	12	11	10	9	8
bit Symbol			EMCG51	EMCG50				KWUPEN
Read/Write			R/W					R/W
リセット後			0	1				0
機　能			KWUP スタンバイ解除要求のアクティブ状態を設定 00: 禁止 01: “H” レベル 10: 禁止 11: 禁止 かならず"01"に設定してください。					KWUP 解除入力 0: ディセーブル 1: イネーブル

	7	6	5	4	3	2	1	0
bit Symbol			EMCG41	EMCG40				INT4EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT4 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT4 解除入力 0: ディセーブル 1: イネーブル

Not Recommended for New Design

IMCGC0
(0xFFFF_EE18)

	31	30	29	28	27	26	25	24
bit Symbol			EMCGB1	EMCGB0				INT6EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT6 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT6 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCGA1	EMCGA0				INT5EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT5 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT5 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write			R/W					R/W
リセット後			1	1				0
機　能								かならず"0"をライトしてください
	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write			R/W					R/W
リセット後			1	1				0
機　能								かならず"0"をライトしてください

Not Recommended for New Design

IMCGD0
(0xFFFF_EE1C)

	31	30	29	28	27	26	25	24
bit Symbol			EMCGF1	EMCGF0				INTAEN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INTA スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INTA 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCGE1	EMCGE0				INT9EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT9 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT9 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCGD1	EMCGD0				INT8EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT8 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT8 解除入力 0: ディセーブル 1: イネーブル
	7	6	5	4	3	2	1	0
bit Symbol			EMCGC1	EMCGC0				INT7EN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			INT7 スタンバイ解除要求のアクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					INT7 解除入力 0: ディセーブル 1: イネーブル

Not Recommended for New Design

(注1) STOP 解除用に割り込みを許可する前に、かならず解除要求のアクティブ状態を設定してください。

(注2) 割り込みを使用する場合はかならず以下の順に設定してください。
① 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
② 初期化時にアクティブ状態等の設定
③ 割り込み要求のクリア
④ 割り込みのイネーブル

(注3) 各設定はかならず割り込みディゼーブルの状態で行なってください。

(注4) TMP1962 は STOP 解除割り込みとして INT0～INTA、KWUP0~D の 12 要因の設定が可能です。INT0～INTA は STOP 解除割り込みとして使用するかどうか、およびアクテブ状態の Edge/Level は CG にて設定します。また、KWUP0～D は STOP 解除割り込みとして使用するかどうかは CG で設定し、アクテブ状態のエッジ/レベルは KWUPSTx で設定します。上記 12 要因は INTC で HIGH レベルに設定してください。

<例> INT0 割り込みイネーブル

```
IMCGA0<EMCG01:00> = “10”  }  CG ブロック
IMCGA0<INT0EN> = “1”      }  (立ち下がりエッジで入力許可)
IMC0L<EIM11:10> = “01”    }  INTC ブロック
IMC0L<IL12:10> = “101”    }  (“H” レベルでの割り込みをアクティブにし、割り込みレベルを 5 に設定)
```

(注5) STOP 解除要求割り込みに割り当てられる上記 12 要因のうち、INT0～INTA は通常割り込みとして使用する場合は CG での設定は不用で INTC でレベル/エッジを指定してください。KWUP0~D は通常割り込みとしてして使用する場合は KWUPSTn でアクテブレベルを設定して INTC では HIGH レベルに設定してくだい。CG での設定は不用です。
STOP 解除要求として割り当てられている以外の割り込み要因は、すべて INTC ブロックにて設定します。

Not Recommended for New Design

EICRCG (0xFFFF_EE20)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write								
リセット後								
機　能								
	23	22	21	20				
bit Symbol								
Read/Write								
リセット後								
機　能								
	15	14	13	12				
bit Symbol								
Read/Write								
リセット後								
機　能								
	7	6	5	4	3	2	1	0
bit Symbol					ICRCG3	ICRCG2	ICRCG1	ICRCG0
Read/Write					W			
リセット後					—	—	—	—
機　能					割り込み要求をクリア 0000: INT0　0101:KWUP　1010: INT5 0001: INT1　0110: reserved　1011: INT6 0010: INT2　0111: reserved　1100: INT7 0011: INT3　1000: reserved　1101: INT8 0100: INT4　1001: reserved　1110: INT9 1111:INTA			

(注6)　STOP 解除要求に割り当てられている上記 12 要因の割り込み要求のクリアは、

① KWUP の場合は KWUPCLR で行い、

② INT0～INTA の場合は上記 CG ブロックの EIRCG レジスタで行い、次に INTC ブロックの INTCLR レジスタの 2 ヶ所でかならず行ってください。

③ その他の割り込み要求のクリアはこの INTCLR レジスタのみをクリアします。

Not Recommended for New Design

7. 入出力ポート

7.1 ポート 0 (P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の設定はコントロールレジスタ P0CR によって行います。リセット動作により、P0CR の全ビットは“0”にクリアされ、ポート 0 は入力モードになります。

汎用入出力ポート機能以外にデータバス (D0～D7) またはアドレスデータバス (AD0～AD7) 機能があります。外部メモリをアクセスするときは、自動的にデータバス (D0～D7) またはアドレスデータバス (AD0～AD7) として機能し、P0CR はすべて“0”にクリアされます。

リセット時に BUSMD 端子 (ポート J1) を”L”レベルにすることでセパレートバスモード (D0～D7) に、”H”レベルにすることでマルチプレクスモード (AD0～AD7) になります。

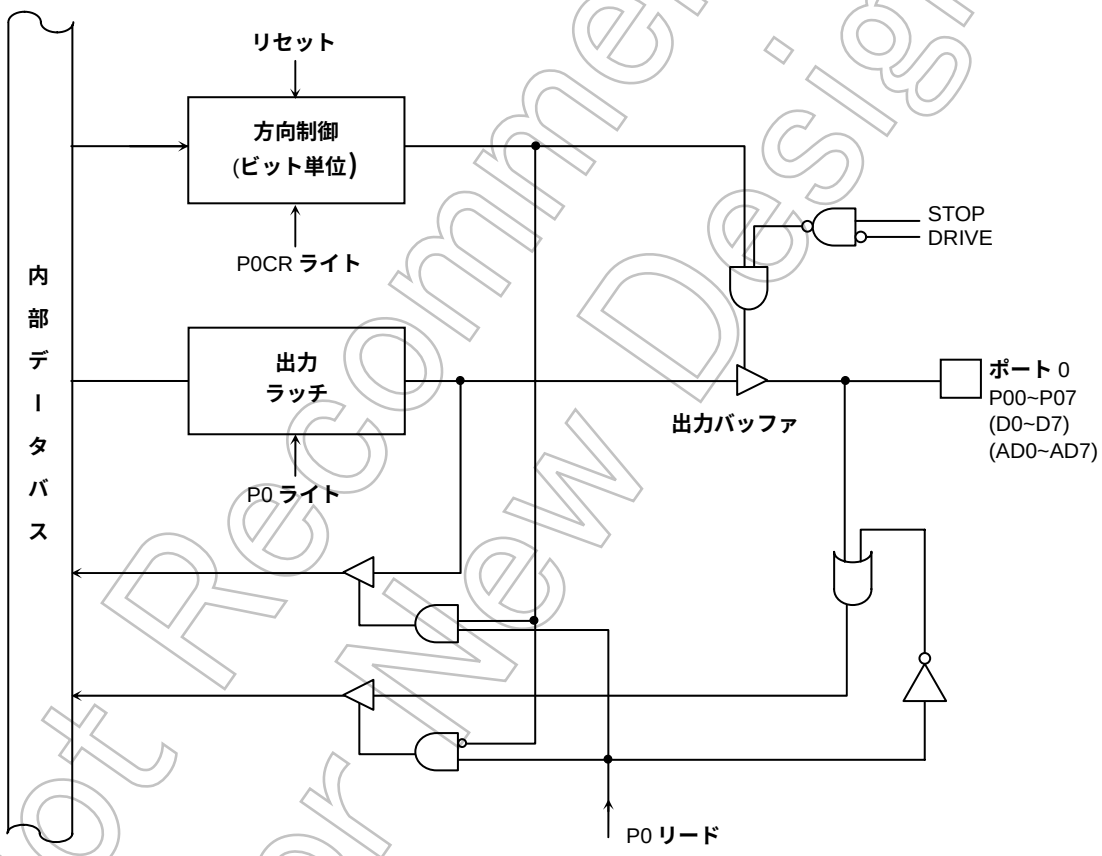


図 7.1 ポート 0 (P00~P07)

(注) 上記システム図はアドレス/データバス機能に関しては表現していません。

Not Recommend for New Design

ポート 0 レジスタ

		7	6	5	4	3	2	1	0
P0	Bit Symbol	P07	P06	P05	P04	P03	P02	P01	P00
(0xFFFF_F003)	Read/Write	R/W							
	リセット後	**入力モード (出力ラッチレジスタは** “0” **にクリア)**							

ポート 0 コントロールレジスタ

		7	6	5	4	3	2	1	0
P0CR	Bit Symbol	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
(0xFFFF_F001)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	0: **入力**　1: **出力** (**外部領域アクセス時、**D7-0 **または** AD7-0 **になり、このレジスタは** 0 **にクリアされます**)							

図 7.2 **ポート** 0 **関係のレジスタ**

Not Recommended for New Design

7.2 ポート 1 (P10~P17)

ポート 1 はビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の設定は、コントロールレジスタ P1CR とファンクションレジス P1FC によって行います。リセット動作により、出力ラッチ P1 の全ビットと P1CR と P1FC の全ビットは“0”にクリアされ、ポート 1 は入力モードになります。

汎用入出力ポート機能以外に、データバス（D8～15）またはアドレスデータバス (AD8～15) 機能とアドレスバス (A8～15) 機能があります。外部メモリをアクセスするときは、P1CR、P1FC によりアドレスバスまたはアドレスデータバスに設定する必要があります。

リセット時に BUSMD 端子（ポート J1）を”L”レベルにすることでセパレートバスモード（D8～D15）に、”H”レベルにすることでマルチプレクスモード（AD8～AD15／A8～A15）になります。

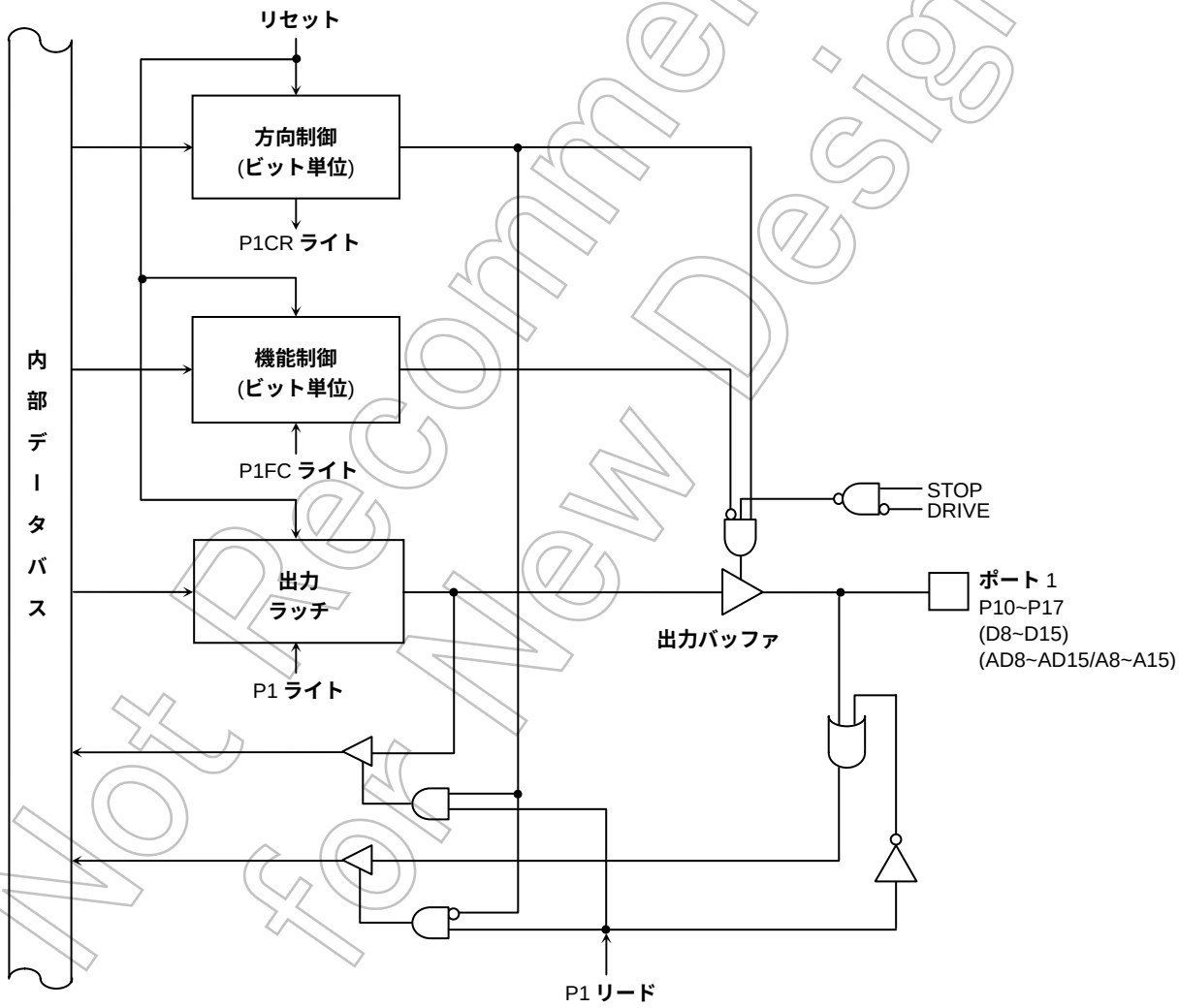


図 7.3 ポート 1 (P10~P17)

(注) 上記システム図はアドレス/データバス機能に関しては表現していません。

Not Recommend for New Design

ポート 1 レジスタ

		7	6	5	4	3	2	1	0
P1	Bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
(0xFFFF_F002)	Read/Write	R/W							
	リセット後	**入力モード (出力ラッチレジスタは** “0” **にクリア)**							

ポート 1 コントロールレジスタ

		7	6	5	4	3	2	1	0
P1CR	Bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
(0xFFFF_F007)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	<< P1FC **の欄を参照** >>							

ポート 1 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P1FC	Bit Symbol	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
(0xFFFF_F006)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	P1FC/P1CR = 00: **入力**, 01: **出力**, 10: D15-8 **または** AD15-8, 11: A15-8							

→ **ポート 1 の機能設定**

	P1CR <P1xC>	P1FC<P1xF> 0	P1FC<P1xF> 1
セパレートバスモード (BUSMD=”L”)	0	**入力ポート**	**データバス**(D15-8)
	1	**出力ポート**	**アドレスバス** (A15-8)
マルチプレクスバスモード (BUSMD=”H”)	0	**入力ポート**	**アドレスデータバス** (AD15-8)
	1	**出力ポート**	**アドレスバス** (A15-8)

図 7.4 **ポート** 1 **関係のレジスタ**

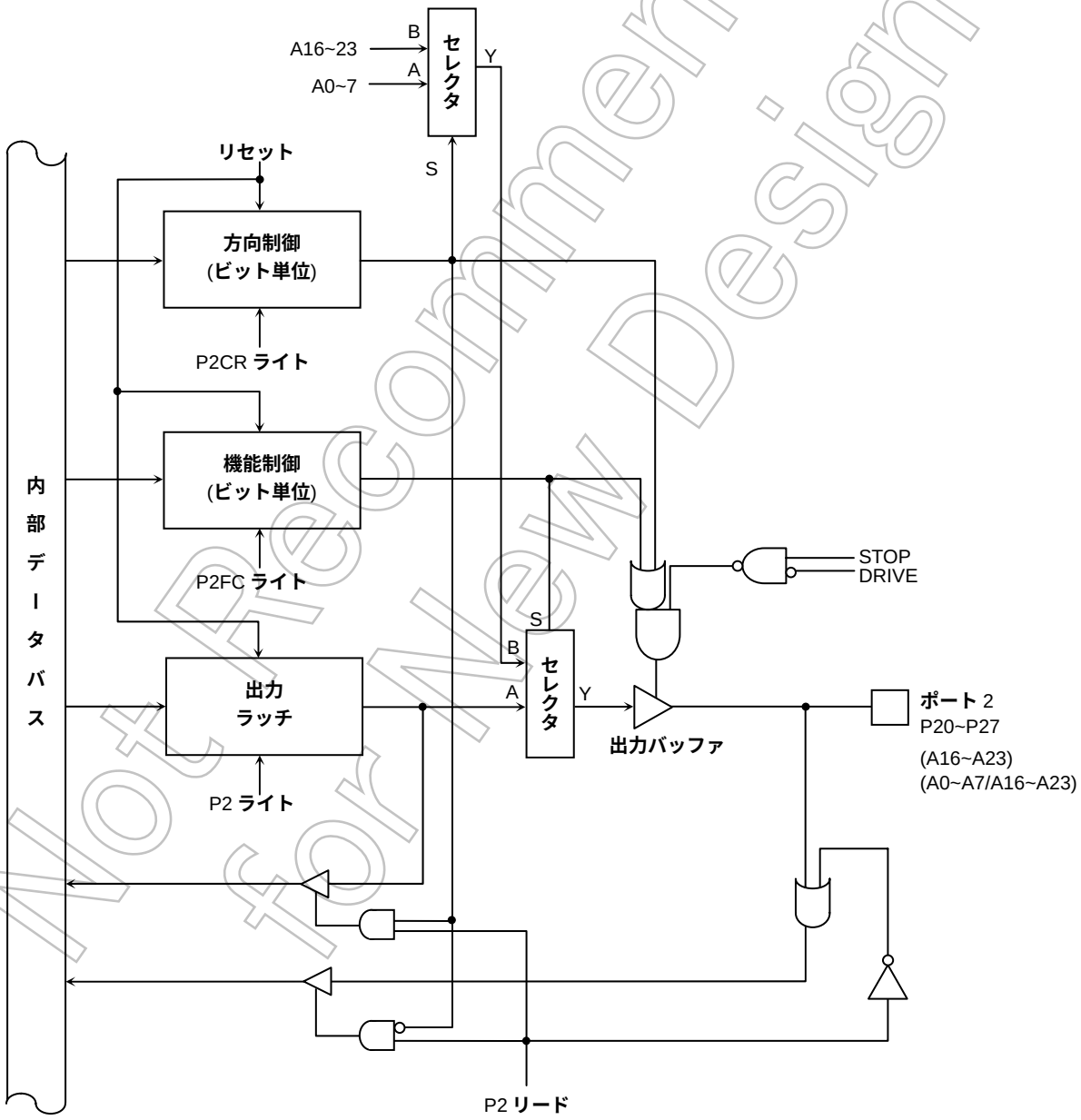
Not Recommended for New Design

7.3 ポート 2 (P20~P27)

ポート 2 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P2CR とファンクションレジスタ P2FC によって行います。リセット動作により出力ラッチ P2 の全ビットは“1”にセットされ、また、P2CR と P2FC の全ビットは“0”にクリアされ、ポート 2 は入力モードになります。

汎用入出力ポート機能以外にアドレスバス（A0～A7）機能とアドレスバス（A16～A23）機能があります。外部メモリをアクセスする時は、P2CR、P2FC によりアドレスバスに設定する必要があります。

リセット時に BUSMD 端子（ポート J1）を”L”レベルにすることでセパレートバスモード（A16～A23）に、”H”レベルにすることでマルチプレクスモード（A0～A7／A16～A23）になります。



Not Recommended for New Design

図 7.5 ポート 2 (P20~P27)

ポート 2 レジスタ

		7	6	5	4	3	2	1	0
P2	Bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
(0xFFFF_F011)	Read/Write	R/W							
	リセット後	**入力モード (出力ラッチレジスタは** “1” **にクリア**)							

ポート 2 コントロールレジスタ

		7	6	5	4	3	2	1	0
P2CR	Bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
(0xFFFF_F017)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	<< P2FC **の欄を参照** >>							

ポート 2 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P2FC	Bit Symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
(0xFFFF_F016)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	P2FC/P2CR = 00: **入力**, 01: **出力**, 10: A7-0, 11: A23-16							

ポート 2 の機能設定

	P2CR	P2FC<P2xF>	
	<P2xC>	0	1
セパレートバスモード (BUSMD=”L”)	0	**入力ポート**	**アドレスバス** (A7-0)
	1	**出力ポート**	**アドレスバス** (A23-16)
マルチプレクスバスモード (BUSMD=”H”)	0	**入力ポート**	**アドレスバス** (A7-0)
	1	**出力ポート**	**アドレスバス** (A23-16)

図 7.6 **ポート** 2 **関係のレジスタ**

Not Recommended for New Design

7.4 ポート 3 (P30~P37)

ポート 3 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです（ただし、P30 と P31 は出力専用)。入出力の指定はコントロールレジスタ P3CR とファンクションレジタ P3FC によって行います。

リセット動作により、出力ラッチ P30,31 は“1”にセットされます。出力ラッチ P32~P36 は、RSTPUP 端子が“H”であれば“1”にセット、“L”であれば“0”にクリアされます。P37 は、リセット時に BUSMD 端子（ポート J1）が”L”レベルの時にセパレートバスモードになり出力ラッチが“1”にセット、リセット時に BUSMD 端子が”H”レベルの時にマルチプレクスバスモードになり出力ラッチは“0”にクリアされます。P3CR（ビット 0 と 1 は未使用)は、ビット 2～ビット 6 は“0”にクリアされ、ビット 7 はセパレートバスモードの時は “0”にクリアされ、マルチプレクスバスモードの時は“1”にセットされます。P3FC の全ビットは“0”にクリアされ、P30 と P31 は“H”を出力し、P32～P36 は RSTPUP 端子が“H”の場合はプルアップ抵抗付きの入力モード、”L”の場合はプルアップなしの入力モード、P37 はセパレートバスモードの時は入力モード、マルチプレクスバスモードの時は出力モードになります。

汎用入出力ポート機能以外に CPU のコントロール/ステータス信号の入出力機能があります。P30 端子が $\overline{RD}$ 信号出力モードとして定義されているとき (<P30F>=“1”のとき)、外部アドレスエリアをアクセスしたときのみ $\overline{RD}$ ストローブは出力されます。P31 端子が $\overline{WR}$ 信号出力モードとして定義されているとき (<P31F>=“1”のとき) も同様に、外部アドレスエリアをアクセスしたときのみ $\overline{WR}$ ストローブは出力されます。

P32、P36 は<P3xFC> = “1” のとき、$\overline{BUSAK}$ = “0” の場合に Pull-up がイネーブルになります。

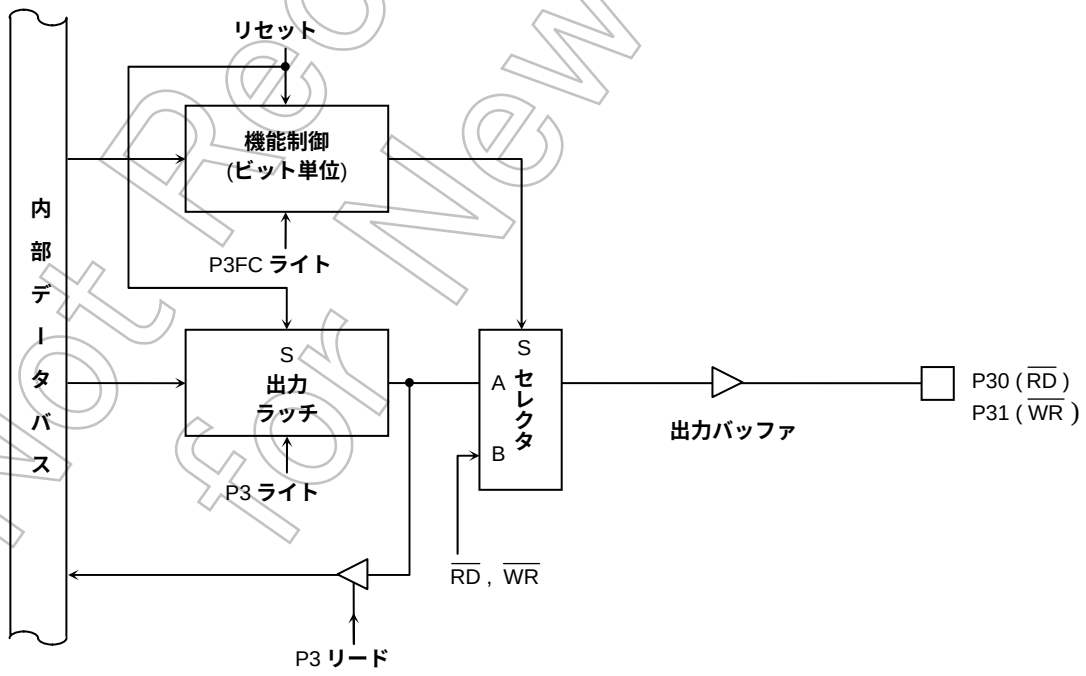


図 7.7 ポート 3 (P30, P31)

Not Recommended for New Design

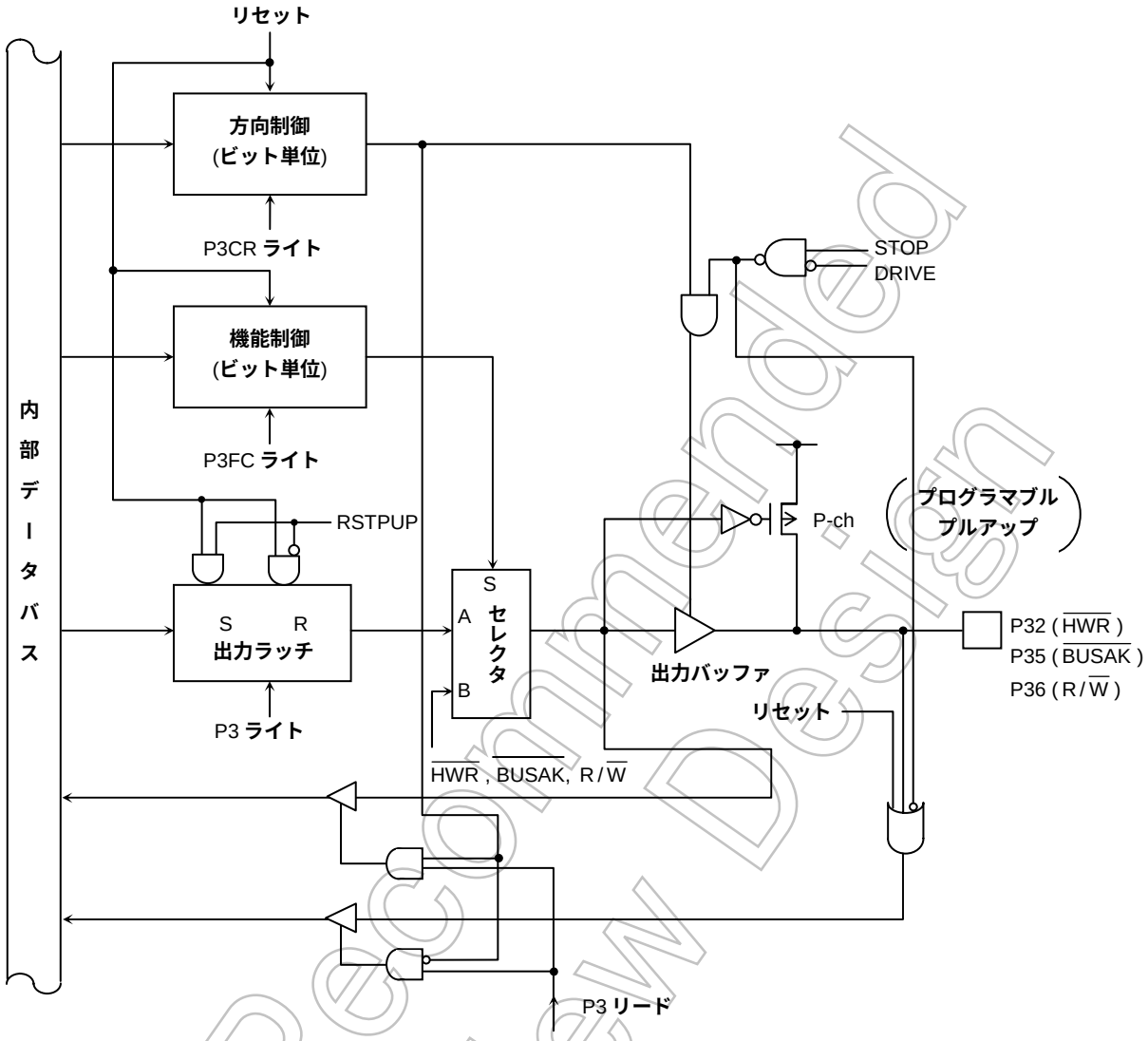


図 7.8 **ポート** 3 (P32, P35, P36)

Not Recommended for New Design

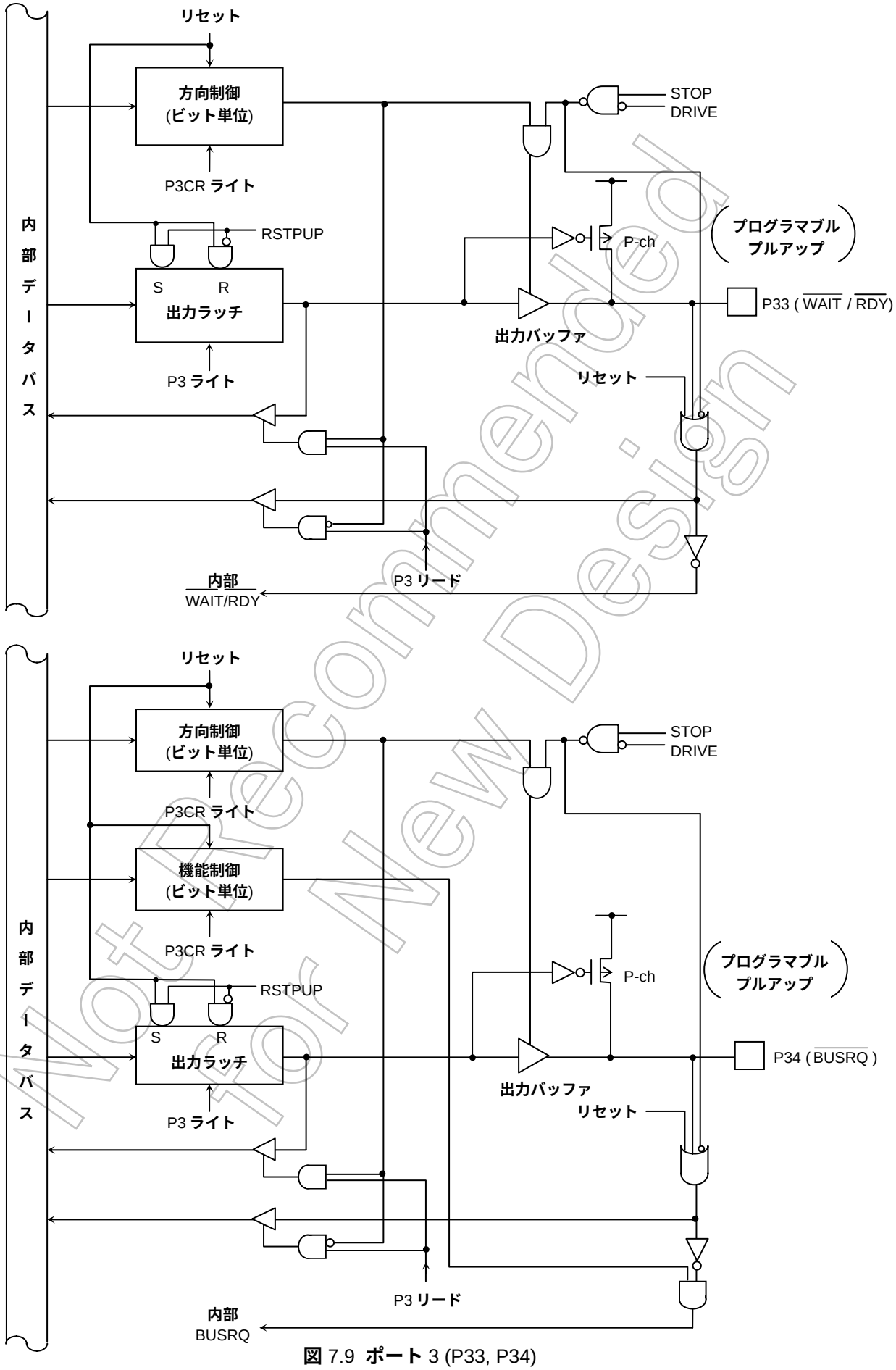


図 7.9 **ポート** 3 (P33, P34)

Not Recommended for New Design

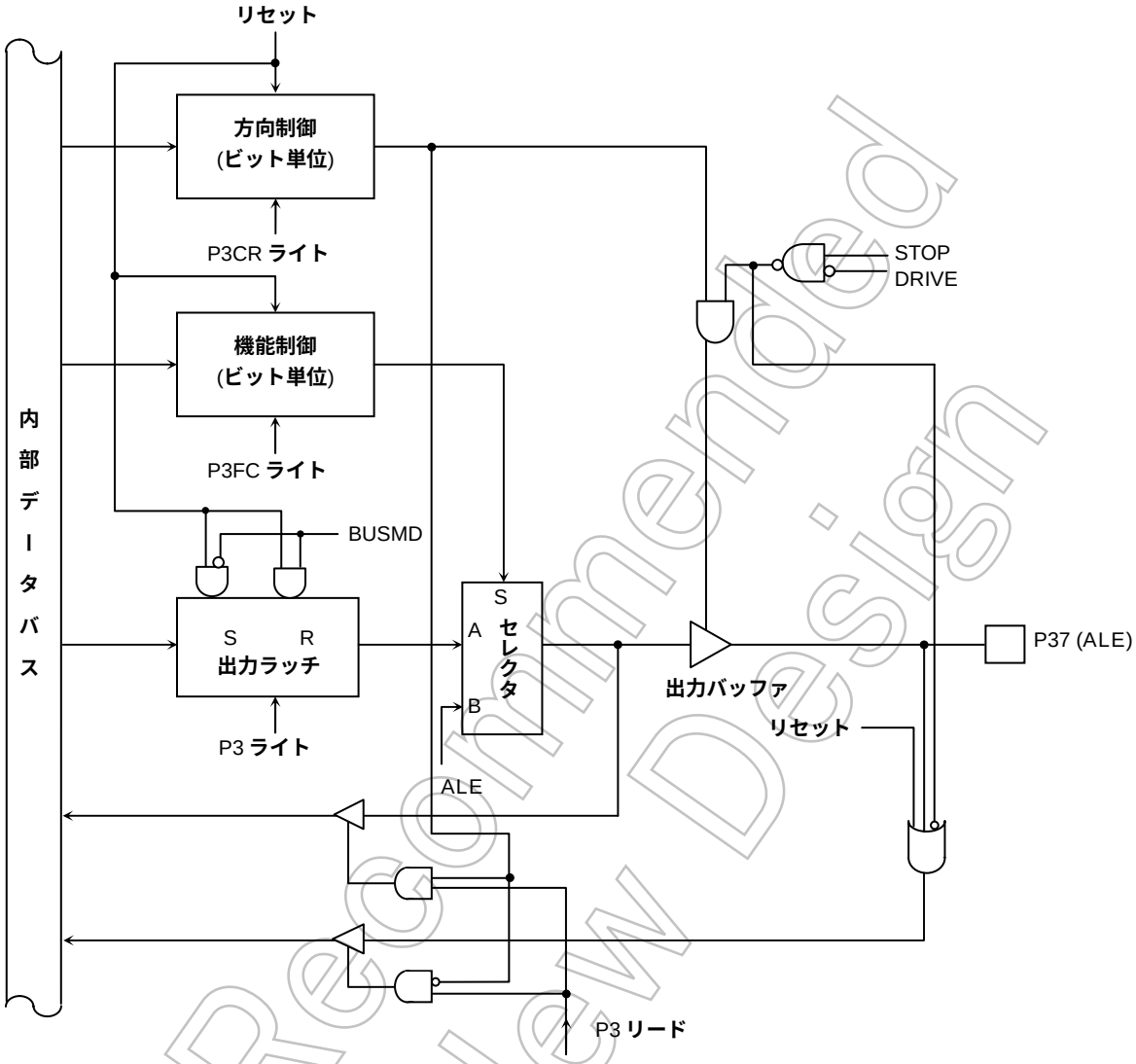


図 7.10 **ポート** 3 (P37)

Not Recommended for New Design

ポート 3 レジスタ

		7	6	5	4	3	2	1	0
P3	Bit Symbol	P37	P36	P35	P34	P33	P32	P31	P30
(0xFFFF_F01B)	Read/Write	R/W							
	リセット後	バスモードにより確定	入力モード					出力モード	
	RSTPUP = 1		1 (Pull-UP)	1 (Pull-UP)	1 (Pull-UP)	1 (Pull-UP)	1 (Pull-UP)	1	1
	RSTPUP = 0		0	0	0	0	0		

ポート 3 コントロールレジスタ

		7	6	5	4	3	2	1	0
P3CR	Bit Symbol	P37C	P36C	P35C	P34C	P33C	P32C	—	—
(0xFFFF_F019)	Read/Write	W							
	リセット後	バスモードによる	0	0	0	0	0		
	機　能		0: 入力　1: 出力						

ポート 3 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P3FC	Bit Symbol	P37F	P36F	P35F	P34F	P33F	P32F	P31F	P30F
(0xFFFF_F018)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	0: PORT 1: ALE	0: PORT 1: R/$\overline{W}$	0: PORT 1: $\overline{BUSAK}$	0: PORT 1: $\overline{BUSRQ}$	0: PORT/$\overline{WAIT}$ 1: PORT/$\overline{RDY}$	0: PORT 1: $\overline{HWR}$	0: PORT 1: $\overline{WR}$	0: PORT 1: $\overline{RD}$

$\overline{BUSRQ}$ **の設定**

P3FC<P34F>	1
P3CR<P34C>	0

$\overline{BUSAK}$ **の設定**

P3FC<P35F>	1
P3CR<P35C>	1

R/$\overline{W}$ **の設定**

P3FC<P36F>	1
P3CR<P36C>	1

P37（ALE）**のファンクション設定**

	P3CR <P37C>	P3FC<P37F>	
		0	1
セパレートバスモード (BUSMD="L")	0	**入力ポート**	
	1	**出力ポート**	
マルチプレクスバスモード (BUSMD="H")	0	**入力**	—
	1	**出力**	ALE **出力**

セパレートバスモード：リセット後、入力ポート
マルチプレクスバスモード：リセット後、出力ポート（"0"出力）

P30 ($\overline{RD}$) **ファンクション設定**

	<P30>	
<P30F>	0	1
0	"0" **出力**	"1" **出力**
1	**外部アクセス時のみ** $\overline{RD}$ **出力**	

P31 ($\overline{WR}$) **ファンクション設定**

	<P31>	
<P31F>	0	1
0	"0" **出力**	"1" **出力**
1	**外部アクセス時のみ** $\overline{WR}$ **出力**	

$\overline{HWR}$ **の設定**

P3FC<P32F>	1
P3CR<P32C>	1

$\overline{WAIT}$ / $\overline{RDY}$ **の設定**

	<P33F>	
	~~0~~	~~1~~
<P33C>="0"	WAIT	RDY

Not Recommended for New Design

図 7.11 ポート 3 関係のレジスタ

7.5 ポート 4 (P40~P44)

ポート 4 はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ P4CR とファンクションレジスタ P4FC によって行います。リセット動作により、P41～P44 の出力ラッチレジスタは RSTPUP が “H” の場合は “1” にセット、“L” の場合は “0” にクリアされます。P44 の出力ラッチレジスタは RSTPUP に関らず “1” にセットされます。P4CR と P4FC の全ビットは “0” にリセットされ、P40～P43 は RSTPUP が “1” の場合はプルアップ抵抗付きの入力モード、“0” の場合はプルアップなしの入力モードになり、P44 は RSTPUP によらずプルアップなしの入力モードになります。

汎用入出力ポート機能以外に、ポート 40～43 はチップセレクト信号出力機能 ($\overline{CS0}$ ～ $\overline{CS3}$)、ポート 44 は内部クロックを出力する SCOUT 出力端子としての機能があります。

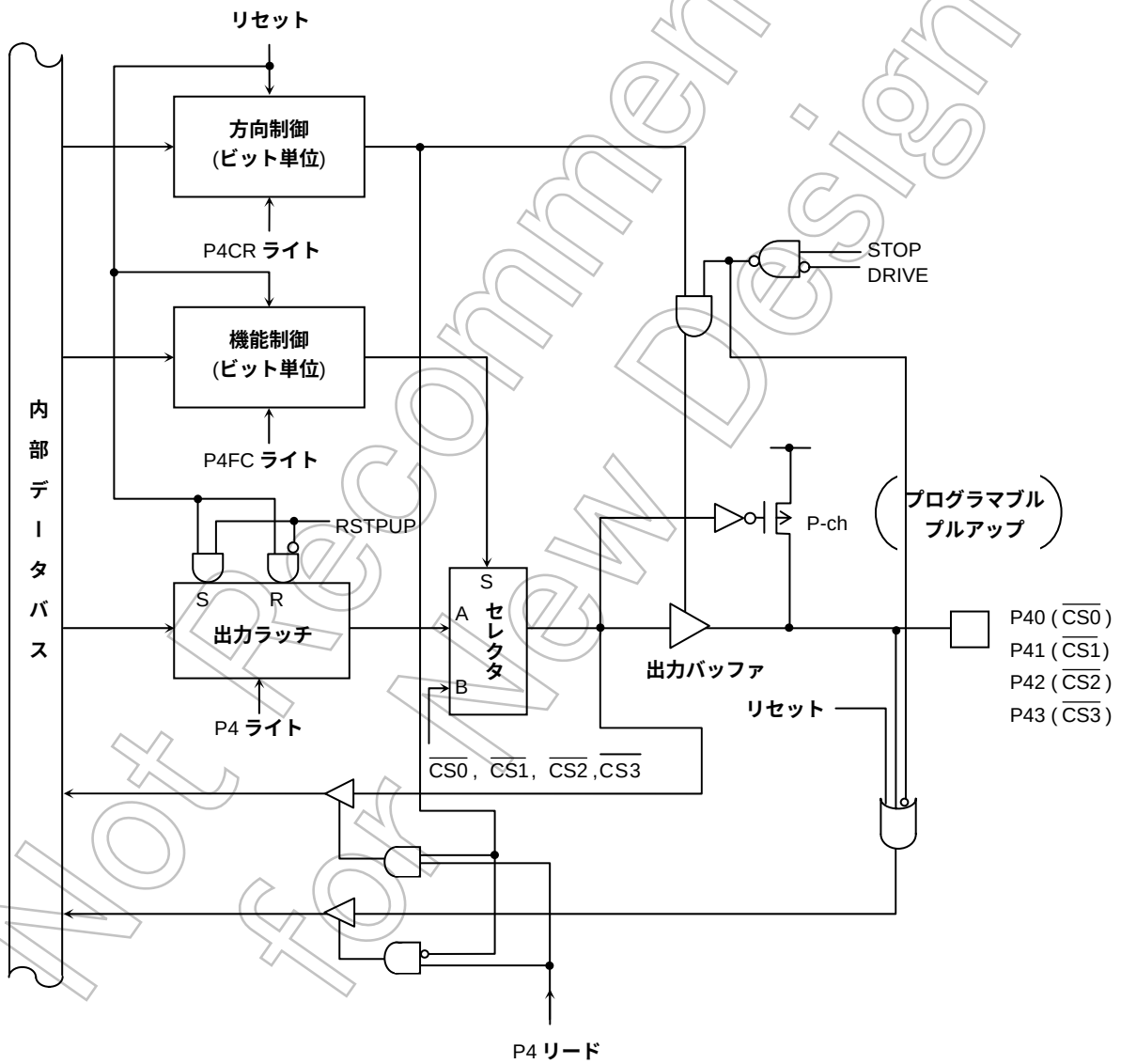


図 7.12 ポート 4 (P40~P43)

Not Recommended for New Design

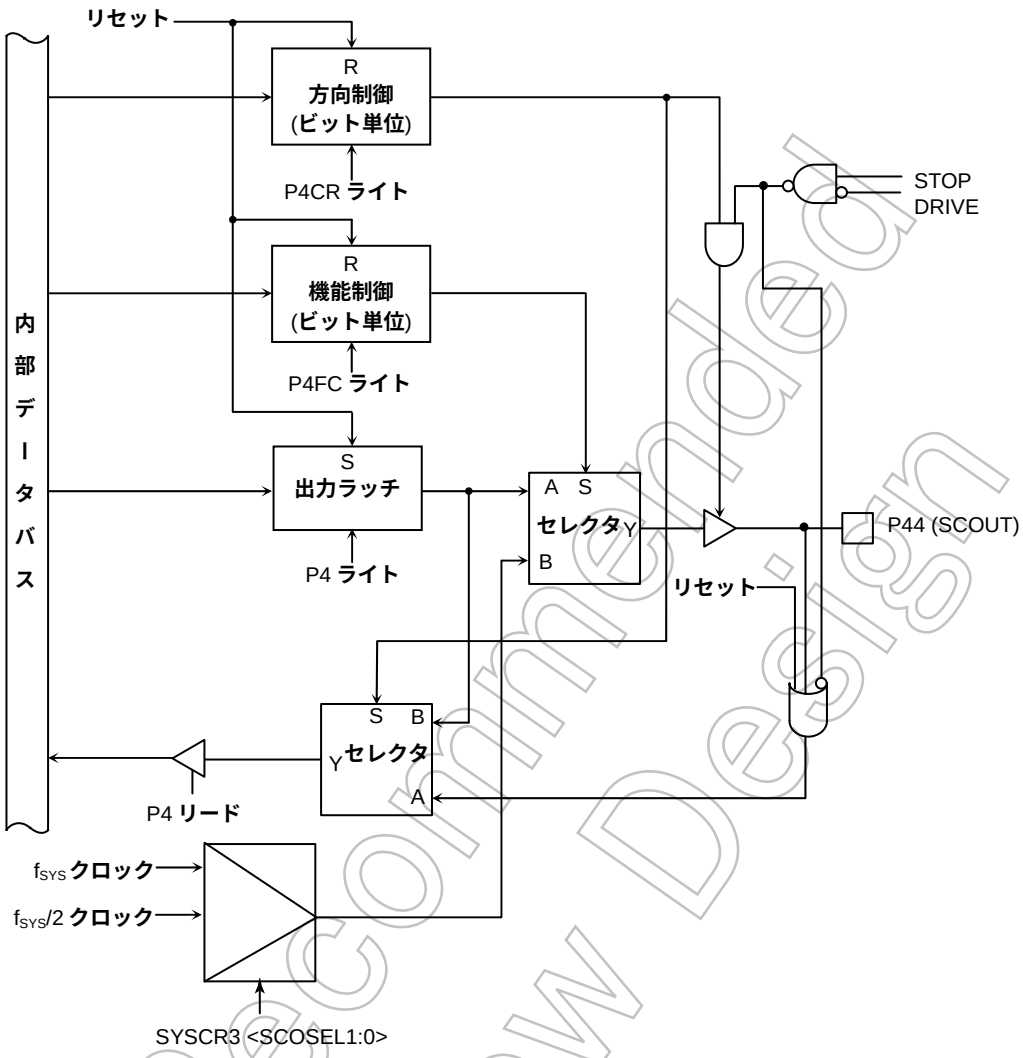


図 7.13 **ポート** 4 (P44)

Not Recommended for New Design

ポート 4 レジスタ

		7	6	5	4	3	2	1	0
P4	Bit Symbol	—	—	—	P44	P43	P42	P41	P40
(0xFFFF_F01D)	Read/Write				R/W				
	リセット後				**入力モード**				
	RSTPUP=1				1	1 (Pull-Up)	1 (Pull-Up)	1 (Pull-Up)	1 (Pull-Up)
	RSTPUP=0				1	0	0	0	0

ポート 4 コントロールレジスタ

		7	6	5	4	3	2	1	0
P4CR	Bit Symbol	—	—	—	P44C	P43C	P42C	P41C	P40C
(0xFFFF_F023)	Read/Write				W				
	リセット後				0	0	0	0	0
					0: **入力** 1: **出力**				

ポート 4 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P4FC	Bit Symbol	—	—	—	P44F	P43F	P42F	P41F	P40F
(0xFFFF_F022)	Read/Write				W				
	リセット後				0	0	0	0	0
	機　能				0: PORT 1: SCOUT		0: PORT 1: $\overline{CS}$		

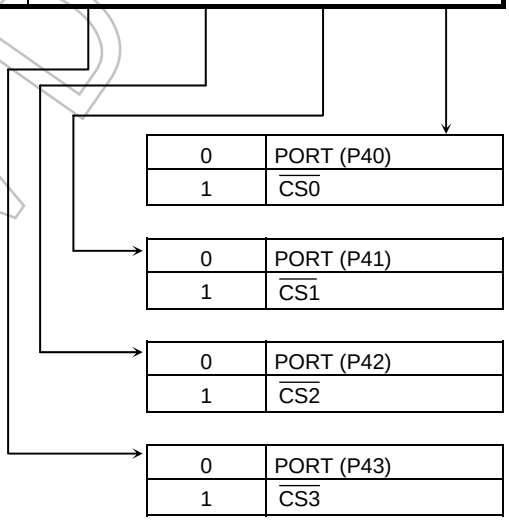


図 7.14 **ポート 4 関係レジスタ**

Not Recommended for New Design

7.6 ポート 5 (P50~P57)

ポート 5 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P5CR とファンクションレジスタ P5FC によって行います。リセット動作により出力ラッチ P5 の全ビットは“1”にセットされ、また、P5CR と P5FC の全ビットは“0”にクリアされ、ポート 5 は入力モードになります。

汎用入出力ポート機能以外にアドレスバス（A0～A7）機能があります。外部メモリをアクセスする時は、P5CR、P5FC によりアドレスバスに設定する必要があります。但し、アドレスバス機能が使用できるのはセパレートバスモード（リセット時に BUSMD 端子（ポート J1）を”L”レベルにすることでセパレートバスモードになります）の時のみです。

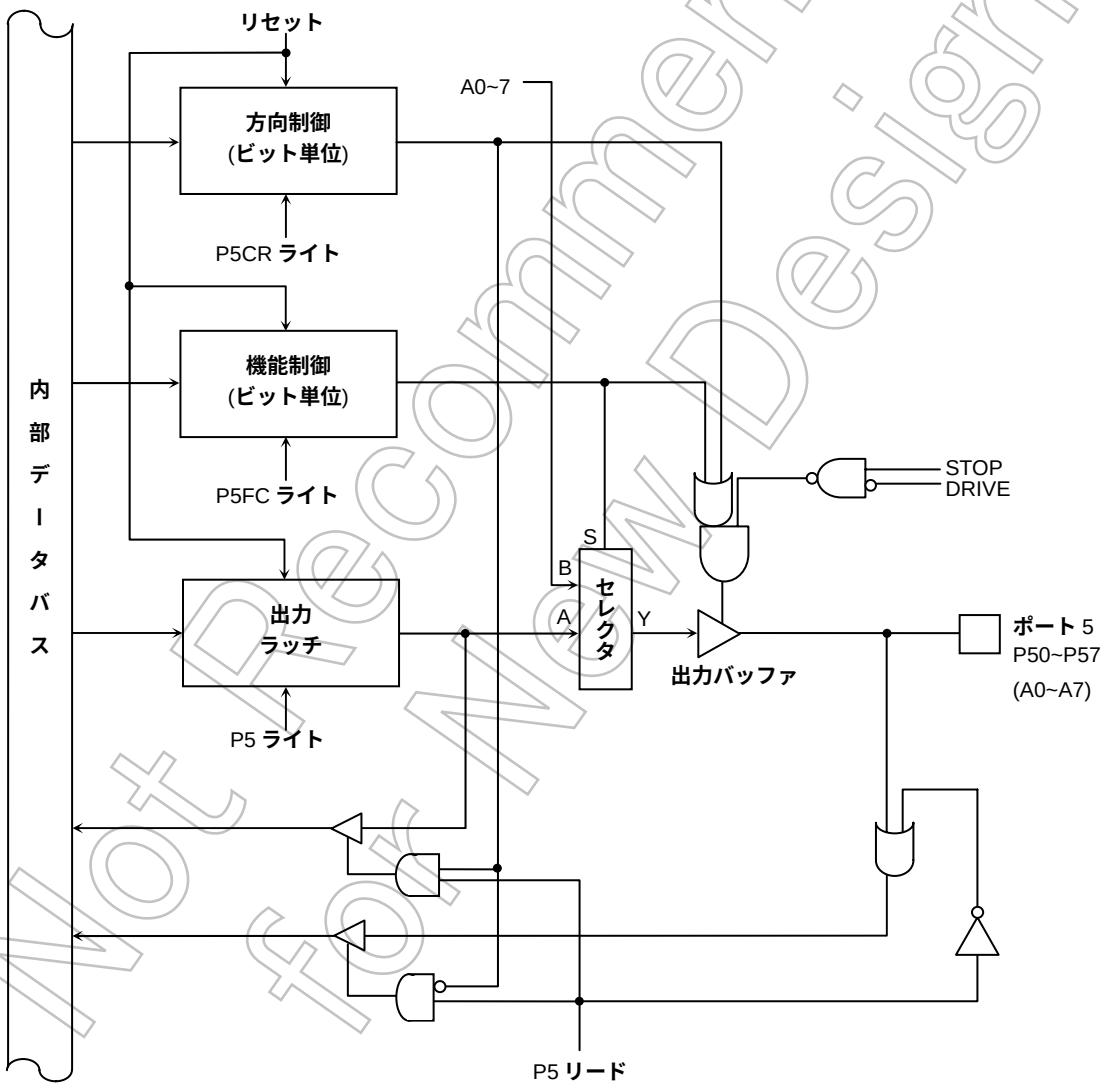


図 7.15 ポート 5 (P50~P57)

Not Recommended for New Design

ポート 5 レジスタ

		7	6	5	4	3	2	1	0
P5	Bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
(0xFFFF_F02B)	Read/Write	R/W							
	リセット後	**入力モード (出力ラッチレジスタは** “1” **にクリア)**							

ポート 5 コントロールレジスタ

		7	6	5	4	3	2	1	0
P5CR	Bit Symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
(0xFFFF_F02F)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	<< P5FC **の欄を参照** >>							

ポート 5 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P5FC	Bit Symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
(0xFFFF_F02E)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	P5FC/P5CR = 00: **入力**, 01: **出力**, 10: **入力**, 11: A7-0							

→ **ポート 5 の機能設定**

	P5CR	P5FC<P5xF>	
	<P5xC>	0	1
セパレートバスモード (BUSMD=”L”**)**	0	**入力ポート**	
	1	**出力ポート**	**アドレスバス** (A7-0)
マルチプレクスバスモード (BUSMD=”H”**)**	0	**入力ポート**	
	1	**出力ポート**	**アドレスバス** (A7-0)

図 7.16 **ポート 5 関係レジスタ**

Not Recommended for New Design

7.7 ポート 6(P60~P67)

ポート 6 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P6CR とファンクションレジスタ P6FC によって行います。リセット動作により出力ラッチ P6 の全ビットは“1”にセットされ、また、P6CR と P6FC の全ビットは“0”にクリアされ、ポート 6 は入力モードになります。

汎用入出力ポート機能以外にアドレスバス（A8～A15）機能があります。外部メモリをアクセスする時は、P6CR、P6FC によりアドレスバスに設定する必要があります。但し、アドレスバス機能が使用できるのはセパレートバスモード（リセット時に BUSMD 端子（ポート J1）を”L”レベルにすることでセパレートバスモードになります）の時のみです。

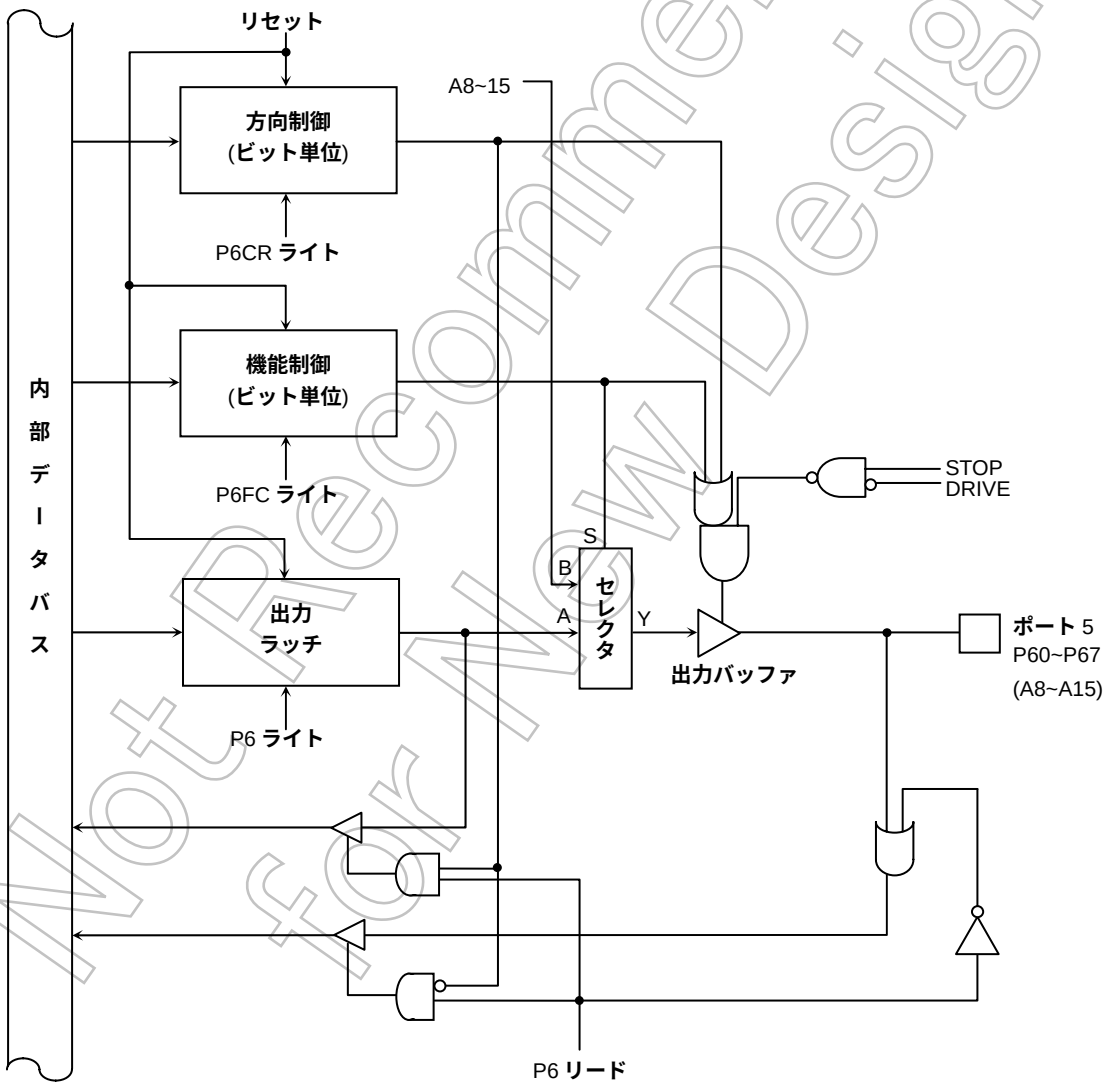


図 7.17 ポート 6 (P60~P67)

Not Recommended for New Design

ポート 6 レジスタ

		7	6	5	4	3	2	1	0
P6	Bit Symbol	P67	P66	P65	P64	P63	P62	P61	P60
(0xFFFF_F02A)	Read/Write	R/W							
	リセット後	**入力モード (出力ラッチレジスタは** “1” **にクリア)**							

ポート 6 コントロールレジスタ

		7	6	5	4	3	2	1	0
P6CR	Bit Symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
(0xFFFF_F02D)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	<< P6FC **の欄を参照** >>							

ポート 6 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P6FC	Bit Symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
(0xFFFF_F02C)	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	P6FC/P6CR = 00: **入力**, 01: **出力**, 10: **入力**, 11: A15-8							

→ **ポート 6 の機能設定**

	P6CR	P6FC<P6xF>	
	<P6xC>	0	1
セパレートバスモード (BUSMD=”L”**)**	0	**入力ポート**	
	1	**出力ポート**	**アドレスバス** (A15-8)
マルチプレクスバスモード (BUSMD=”H”**)**	0	**入力ポート**	
	1	**出力ポート**	**アドレスバス** (A15-8)

図 7.18 **ポート 6 関係のレジスタ**

Not Recommended for New Design

7.8 ポート 7 (P70~P77)、ポート 8 (P80~P87)、ポート 9(P90~P97)

ポート 7～ポート 9 は、8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子と兼用になっています。

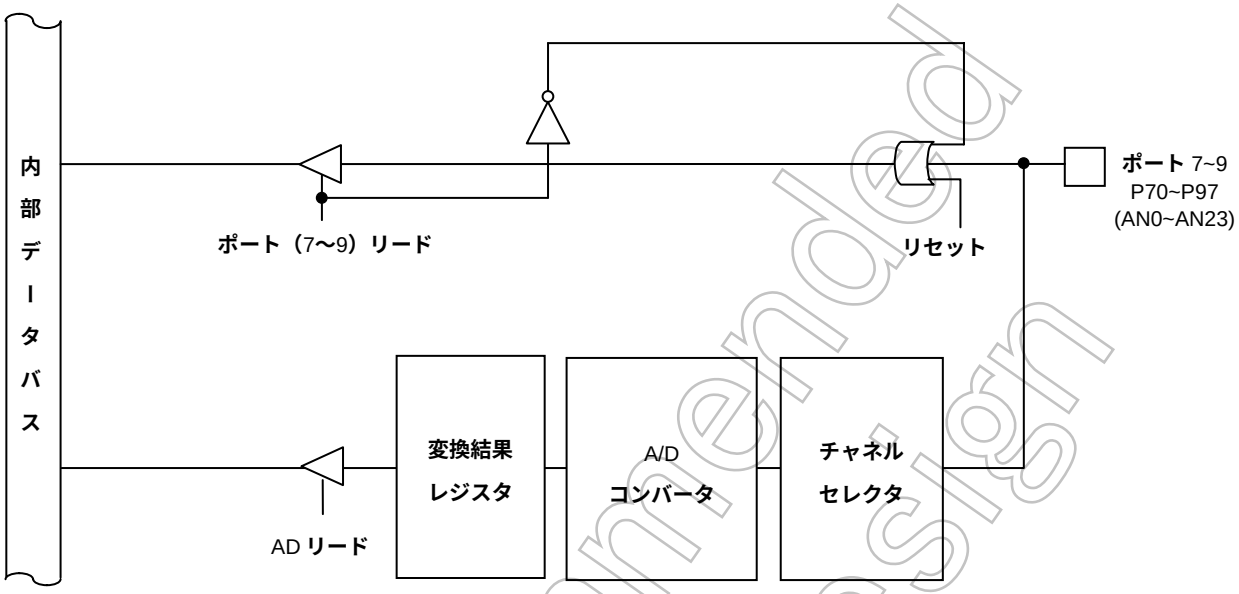


図 7.19 ポート 7 ～9(P70~P77、P80~P87、P90~P97)

Not Recommended for New Design

ポート 7 レジスタ

P7		7	6	5	4	3	2	1	0
0xFFFF_F043	Bit Symbol	P77	P76	P75	P74	P73	P72	P71	P70
	Read/Write	R							
	リセット後	入力モード							

ポート 8 レジスタ

P8		7	6	5	4	3	2	1	0
0xFFFF_F042	Bit Symbol	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R							
	リセット後	入力モード							

ポート 9 レジスタ

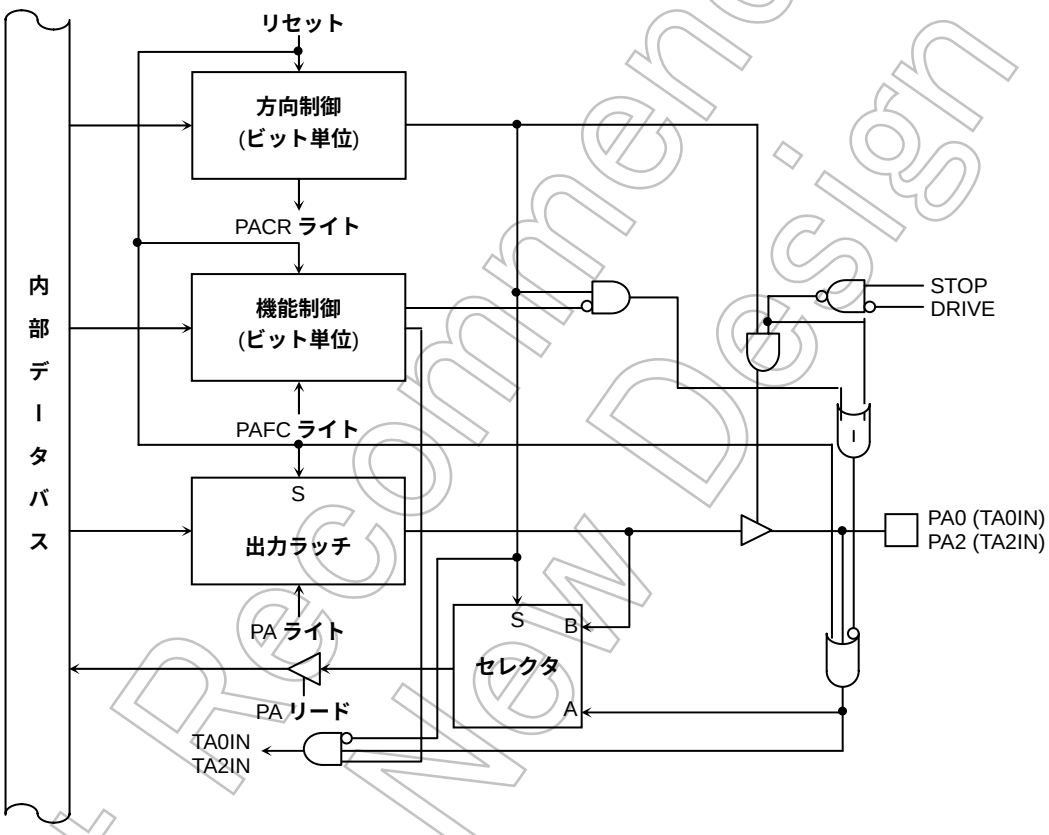
P9		7	6	5	4	3	2	1	0
0xFFFF_F041	Bit Symbol	P97	P96	P95	P94	P93	P92	P91	P90
	Read/Write	R							
	リセット後	入力モード							

図 7.20 ポート 7～9 関係レジスタ

Not Recommended for New Design

7.9 ポート A(PA0~PA7)

ポート A はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PACR によって行います。リセット動作により、PACR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PA0/2 は 8 ビットタイマの入力、PA1/3/4/5/6/7 は 8 ビットタイマの出力機能があり、PAFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PACR、PAFC は “0” にクリアされてポート A は入力ポートとなります。



Not Recommended for New Design

図 7.21 ポート A(PA0, PA2)

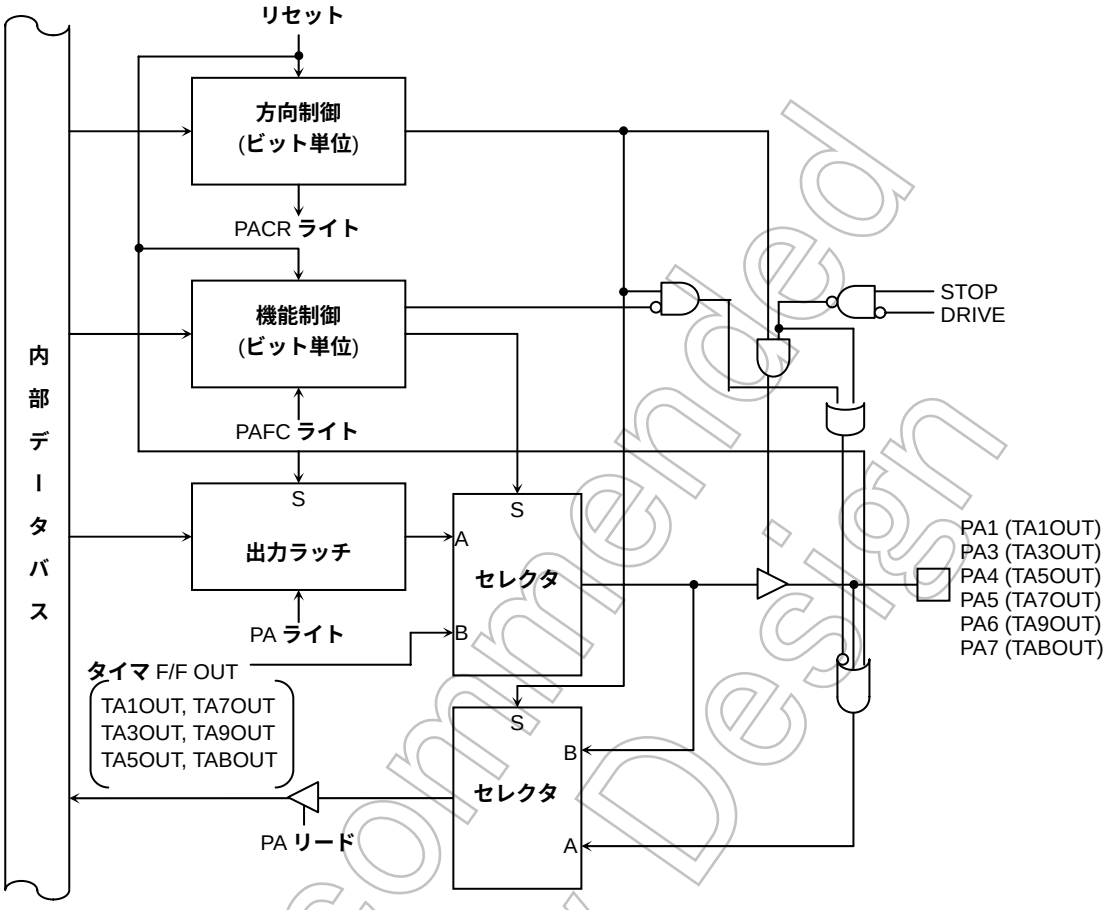


図 7.22 ポート A (PA1, PA3, PA4, PA5, PA6, PA7)

Not Recommended for New Design

ポート A レジスタ

PA		7	6	5	4	3	2	1	0
0xFFFF_F040	Bit Symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは"1"にセット)							

ポート A コントロールレジスタ

PACR		7	6	5	4	3	2	1	0
0xFFFF_F044	Bit Symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポート A ファンクションレジスタ

PAFC		7	6	5	4	3	2	1	0
0xFFFF_F048	Bit Symbol	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TABOUT	0:PORT 1:TA9OUT	0:PORT 1:TA7OUT	0:PORT 1:TA5OUT	0:PORT 1:TA3OUT	0:PORT 1:TA2IN	0:PORT 1:TA1OUT	0:PORT 1:TA0IN

図 7.23 ポート A 関係のレジスタ

Not Recommended for New Design

7.10 ポート B(PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PBCR によって行います。リセット動作により、PBCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PB0/1/4/7 は 16 ビットタイマの出力機能、PB2/3/5/6 は 16 ビットタイマの入力または外部割り込み入力機能があり、PBFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PBCR、PBFC は “0” にクリアされてポート B は入力ポートとなります。

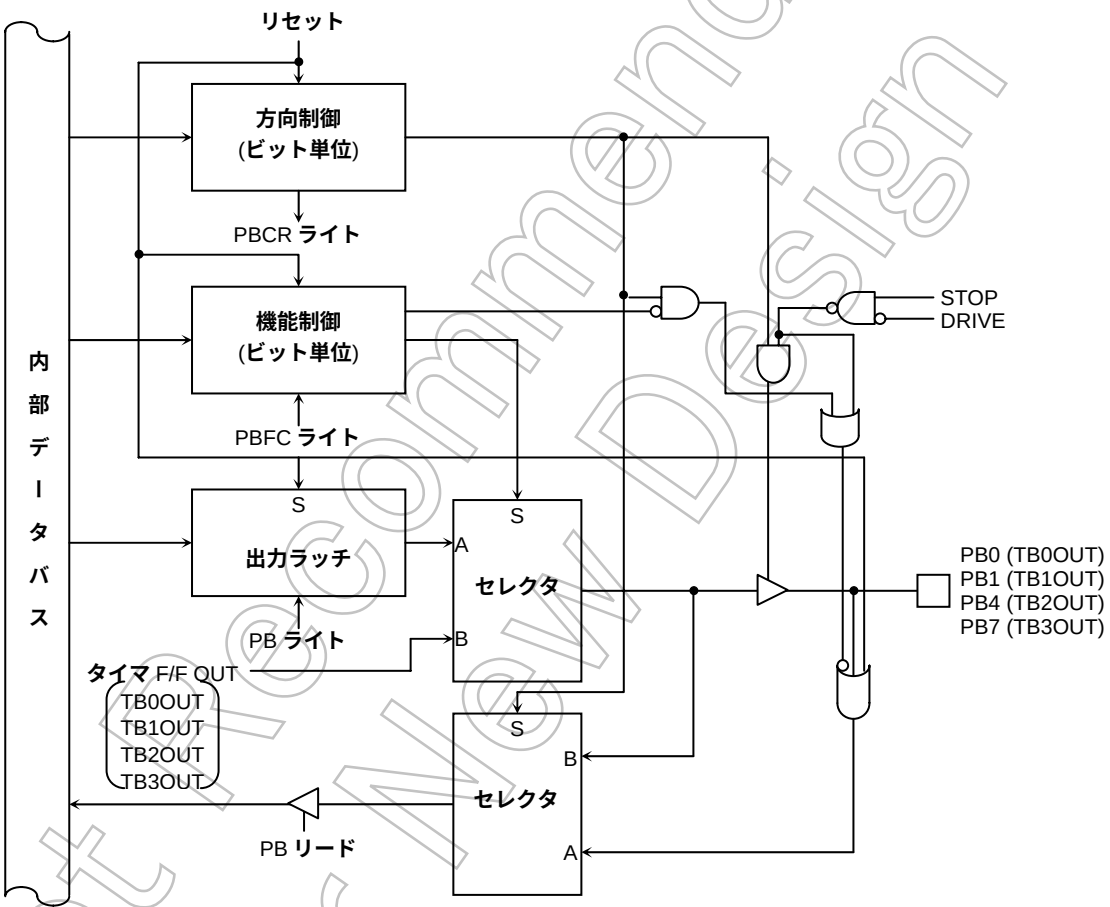


図 7.24 ポート B (PB0, PB1, PB4, PB7)

Not Recommended for New Design

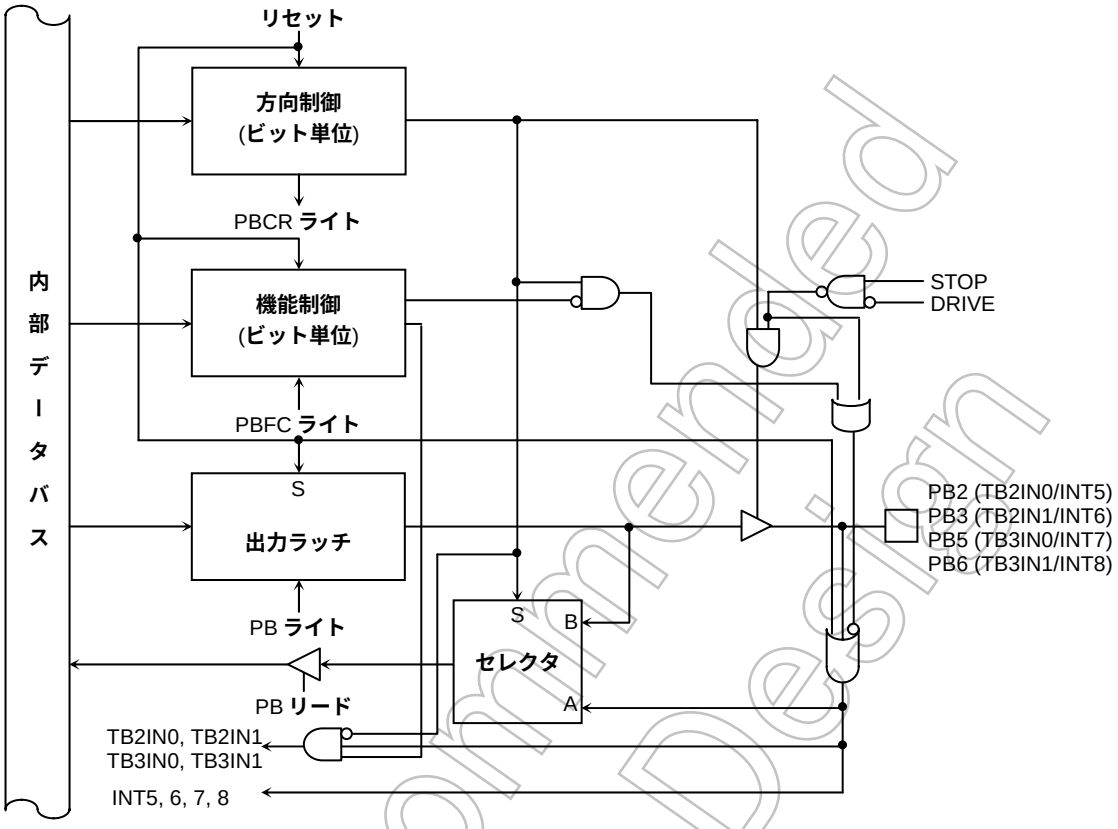


図 7.25 **ポート** B (PB2, PB3, PB5, PB6)

Not Recommended for New Design

ポート B レジスタ

PB		7	6	5	4	3	2	1	0
0xFFFF_F053	Bit Symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは"1"にセット）							

ポート B コントロールレジスタ

PBCR		7	6	5	4	3	2	1	0
0xFFFF_F057	Bit Symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：入力　1：出力							

ポート B ファンクションレジスタ

PBFC		7	6	5	4	3	2	1	0
0xFFFF_F05B	Bit Symbol	PB7F	PB6F	PB5F	PB4F	PB3F	PB2F	PB1F	PB0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：PORT 1：TB3OUT	0：PORT 1：TB3IN1 INT8	0：PORT 1：TB3IN0 INT7	0：PORT 1：TB2OUT	0：PORT 1：TB2IN1 INT6	0：PORT 1：TB2IN0 INT5	0：PORT 1：TB1OUT	0：PORT 1：TB0OUT

機能	PBFC の該当 BIT	PBCR の該当 BIT	使用 PORT
TB0OUT 出力の設定	1	1	PB0
TB1OUT 出力の設定	1	1	PB1
TB2IN0 入力の設定	1	0	PB2
INT5 入力の設定	1 (*1)	0	
TB2IN1 入力の設定	1	0	PB3
INT6 入力の設定	1 (*1)	0	
TB2OUT 出力の設定	1	1	PB4
TB3IN0 入力の設定	1	0	PB5
INT7 入力の設定	1 (*1)	0	
TB3IN1 入力の設定	1	0	PB6
INT8 入力の設定	1 (*1)	0	
TB3OUT 出力の設定	1	1	PB7

（＊１）SYSCR＜DRVE＞＝0 の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

（注）１端子に PORT 以外に２つの入力機能が割り当てられている場合、どちらの入力機能にするかは、各機能ブロックの許可設定で制御してください。

図 7.26　ポート B 関係のレジスタ

Not recommended for New Design

7.11 ポート C(PC0~PC7)

ポート C はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PCCR によって行います。リセット動作により、PCCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PC0/3/6 は SIO のデータ出力、PC1/4/7 は SIO のデータ入力、PC2/5 は SIO の CLK 入出力または CTS 入力機能があり、PCFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PCCR、PCFC は “0” にクリアされてポート C は入力ポートとなります。

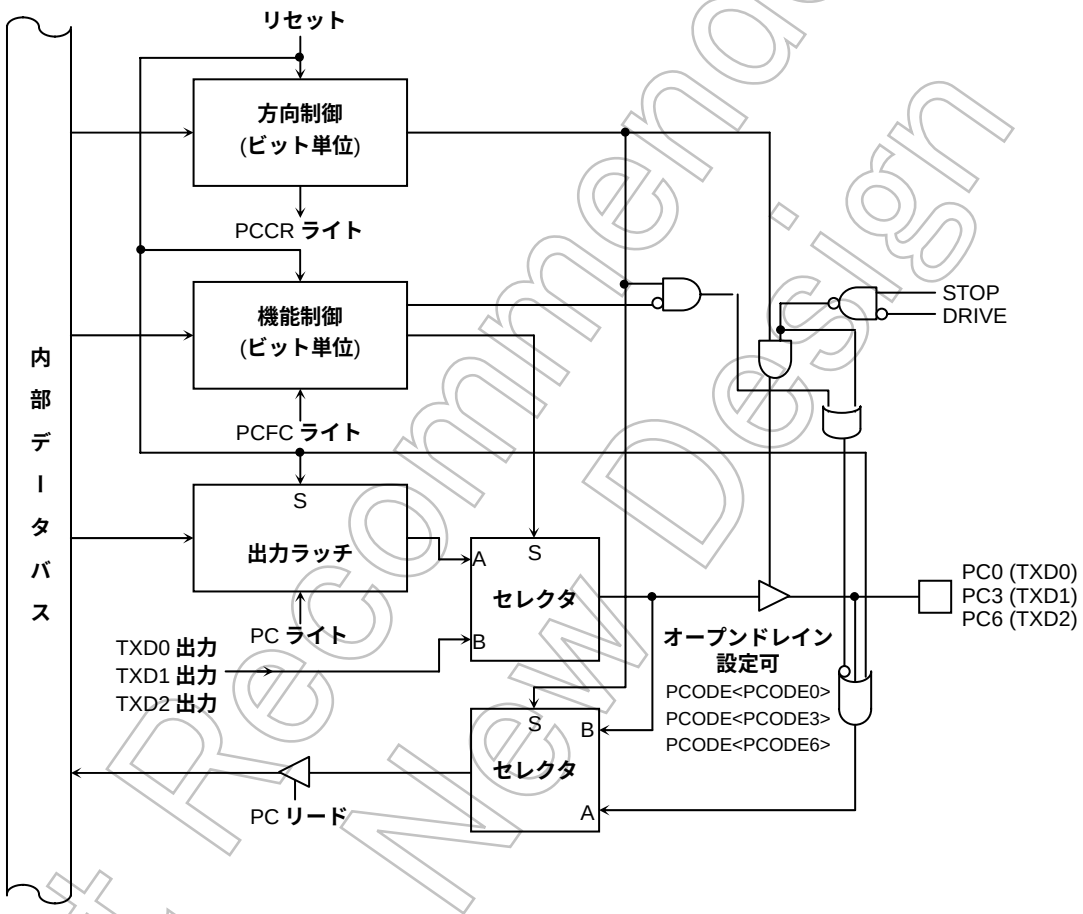


図 7.27 ポート C (PC0, PC3, PC6)

Not Recommended for New Design

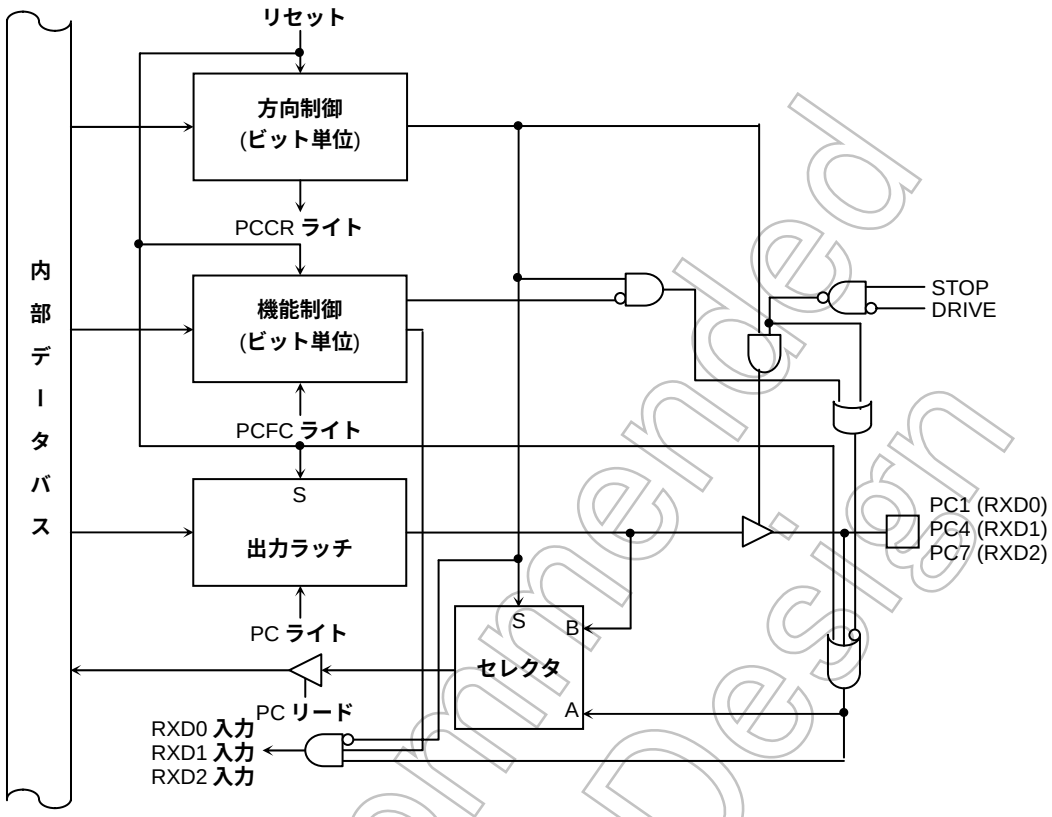


図 7.28 **ポート** C (PC1, PC4, PC7)

Not Recommended for New Design

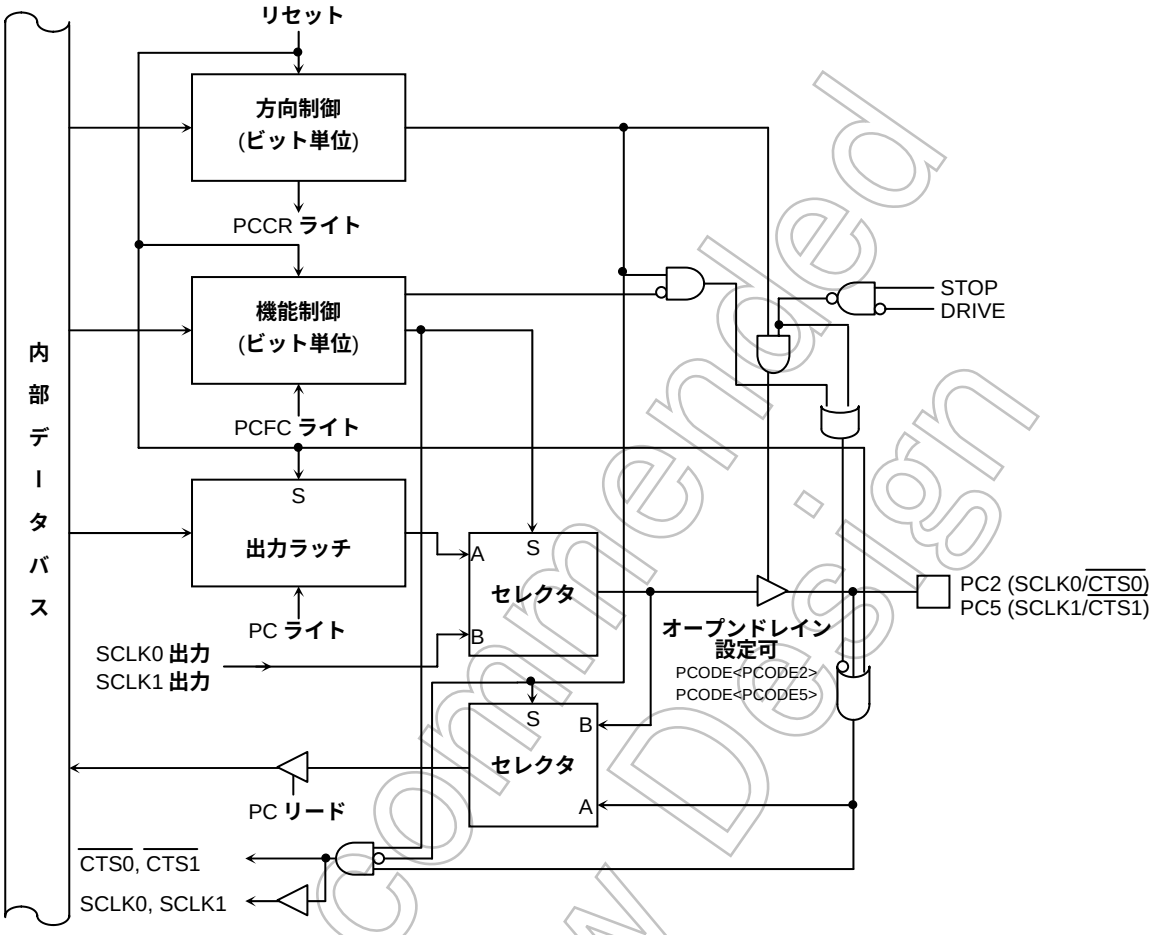


図 7.29 ポート C (PC2, PC5)

Not Recommended for New Design

ポート C レジスタ

PC		7	6	5	4	3	2	1	0
0xFFFF_F052	Bit Symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは"1"にセット)							

ポート C コントロールレジスタ

PCCR		7	6	5	4	3	2	1	0
0xFFFF_F056	Bit Symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポート C ファンクションレジスタ

PCFC		7	6	5	4	3	2	1	0
0xFFFF_F05A	Bit Symbol	PC7F	PC6F	PC5F	PC4F	PC3F	PC2F	PC1F	PC0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:RXD2	0:PORT 1:TXD2	0:PORT 1:SCLK1 $\overline{\text{CTS1}}$	0:PORT 1:RXD1	0:PORT 1:TXD1	0:PORT 1:SCLK0 $\overline{\text{CTS0}}$	0:PORT 1:RXD0	0:PORT 1:TXD0

ポート C オープンドレイン制御レジスタ

PCODE		7	6	5	4	3	2	1	0
0xFFFF_F05E	Bit Symbol	-	PCODE6	PCODE5	-	PCODE3	PCODE2	-	PCODE0
	Read/Write		W			W			W
	リセット後		0	0		0	0		0
	機能		0:CMOS 1:オープンドレイン	0:CMOS 1:オープンドレイン		0:CMOS 1:オープンドレイン	0:CMOS 1:オープンドレイン		0:CMOS 1:オープンドレイン

図 7.30 ポート C 関係のレジスタ

Not Recommended for New Design

7.12 ポート D(PD0~PD7)

ポート D はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PDCR によって行います。リセット動作により、PDCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PD0/3/6 は SIO の CLK 入出力または CTS 入力、PD1/4 は SIO のデータ出力、PD2/5 は SIO のデータ入力、PD7 はキーオンウェイクアップ入力機能があり、PCFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PDCR、PDFC は “0” にクリアされてポート D は入力ポートとなります。

また、ポート D7 にプルアップ抵抗機能がありますが、KEY ON WAKE UP 回路の KWUPCNT<KYPE> を 1 に設定して、なおかつ KWUPSTn により KEY 入力許可と設定されている時のみ有効となります。詳しくは KEY ON WAKE UP の項を参照ください。ポート機能時はプルアップ機能は動作しません。

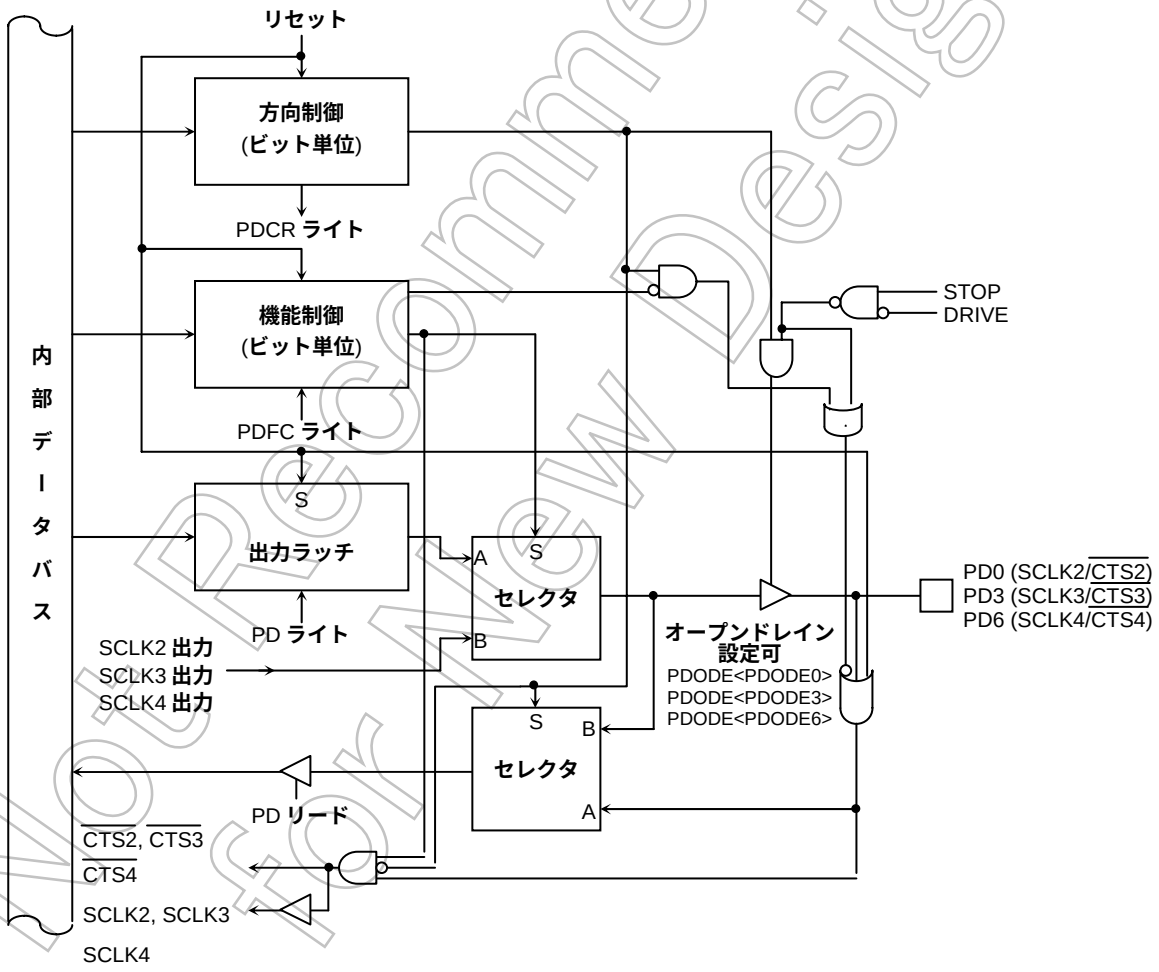


図 7.31 ポート D (PD0, PD3, PD6)

Not Recommended for New Design

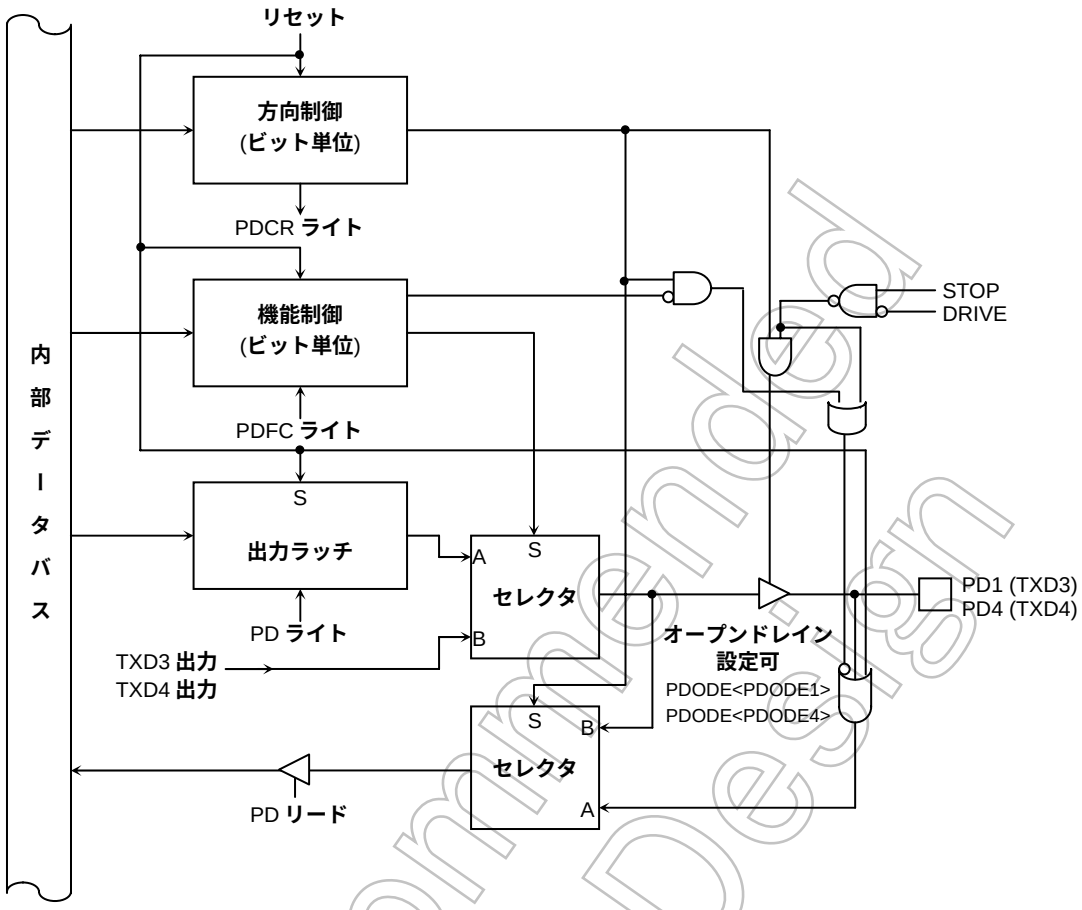


図 7.32 **ポート** D (PD1, PD4)

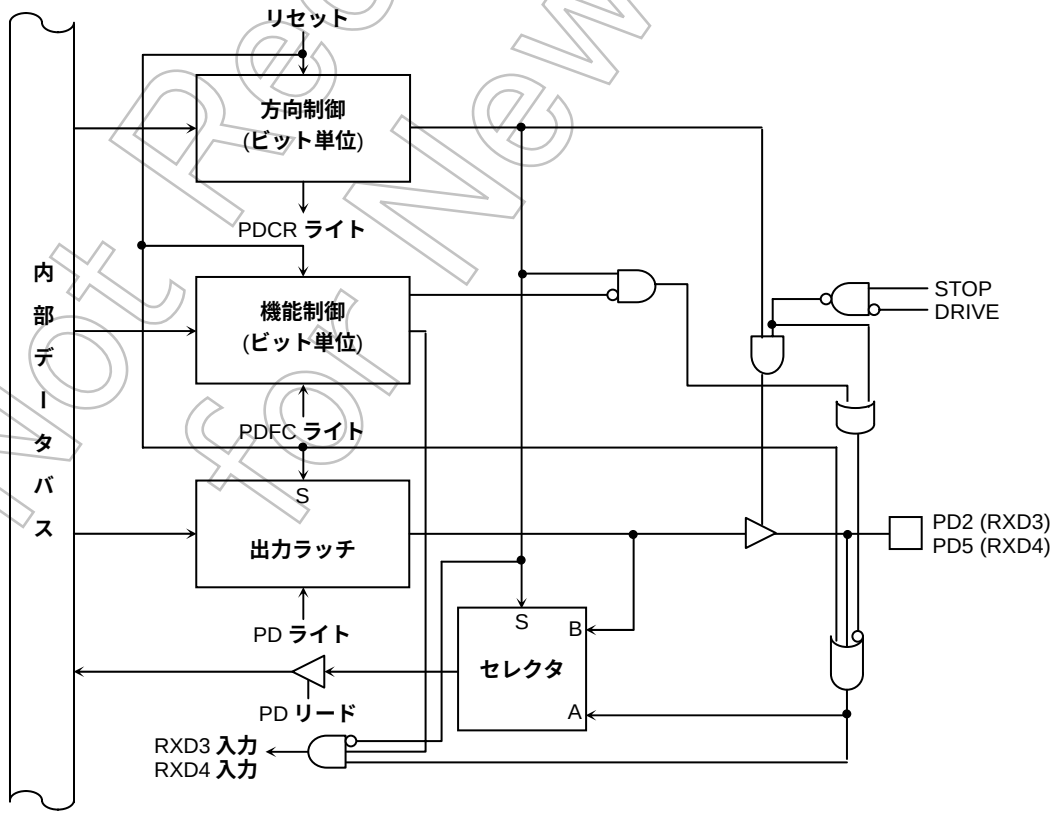


図 7.33 **ポート** D (PD2, PD5)

Not Recommended for New Design

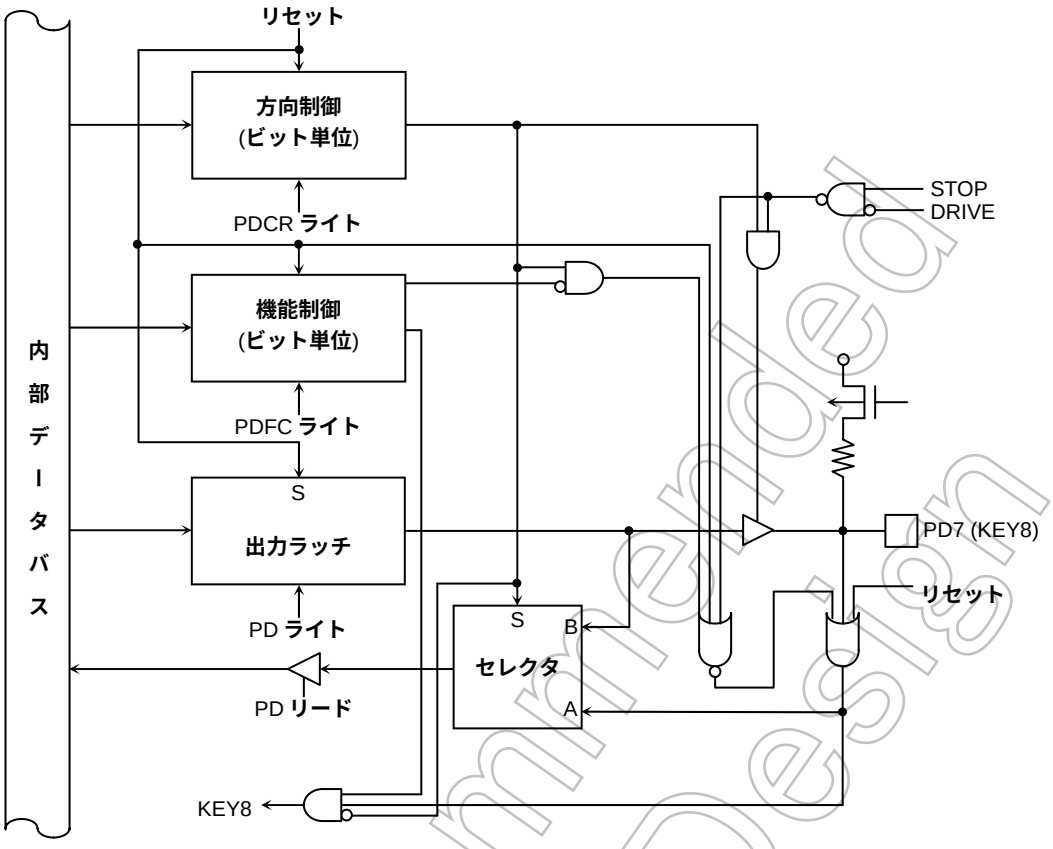


図 7.34 **ポート** D (PD7)

Not Recommended for New Design

ポート D レジスタ

PD		7	6	5	4	3	2	1	0
0xFFFF_F051	Bit Symbol	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは"1"にセット)							

ポート D コントロールレジスタ

PDCR		7	6	5	4	3	2	1	0
0xFFFF_F055	Bit Symbol	PD7C	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポート D ファンクションレジスタ

PDFC		7	6	5	4	3	2	1	0
0xFFFF_F059	Bit Symbol	PD7F	PD6F	PD5F	PD4F	PD3F	PD2F	PD1F	PD0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:KEY8	0:PORT 1:SCLK4 $\overline{\text{CTS4}}$	0:PORT 1:RXD4	0:PORT 1:TXD4	0:PORT 1:SCLK3 $\overline{\text{CTS3}}$	0:PORT 1:RXD3	0:PORT 1:TXD3	0:PORT 1:SCLK2 $\overline{\text{CTS2}}$

ポート D オープンドレイン制御レジスタ

PDODE		7	6	5	4	3	2	1	0
0xFFFF_F05D	Bit Symbol	-	PDODE6	-	PDODE4	PDODE3	-	PDODE1	PDODE0
	Read/Write		W		W			W	
	リセット後		0		0	0		0	0
	機能		0:CMOS 1:オープンドレイン		0:CMOS 1:オープンドレイン	0:CMOS 1:オープンドレイン		0:CMOS 1:オープンドレイン	0:CMOS 1:オープンドレイン

図 7.35 ポート D 関係のレジスタ

Not Recommended for New Design

7.13 ポート E(PE0~PE7)

ポート E はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PECR によって行います。リセット動作により、PECR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PE0 は SIO のデータ出力、PE1 は SIO のデータ入力、PE2 は SIO の CLK 入力または CTS 入力、PE3/4/5/6/7 はキーオンウェイクアップ入力機能があり、PEFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PECR、PEFC は “0” にクリアされてポート E は入力ポートとなります。

また、ポート E3～E7 にプルアップ抵抗機能がありますが、KEY ON WAKE UP 回路の KWUPCNT<KYPE>を 1 に設定して、なおかつ KWUPSTn により KEY 入力許可と設定されている時のみ有効となります。詳しくは KEY ON WAKE UP の項を参照ください。ポート機能時はプルアップ機能は動作しません。

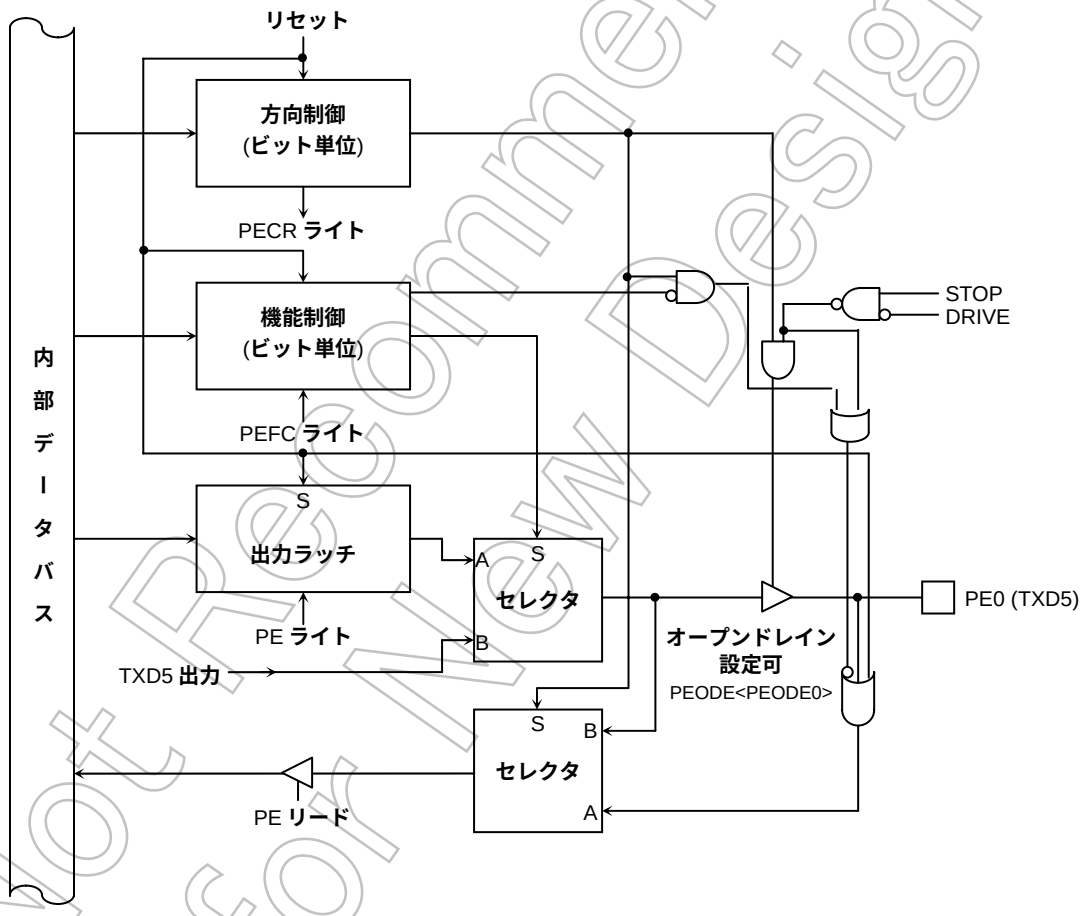


図 7.36 ポート E (PE0)

Not Recommended for New Design

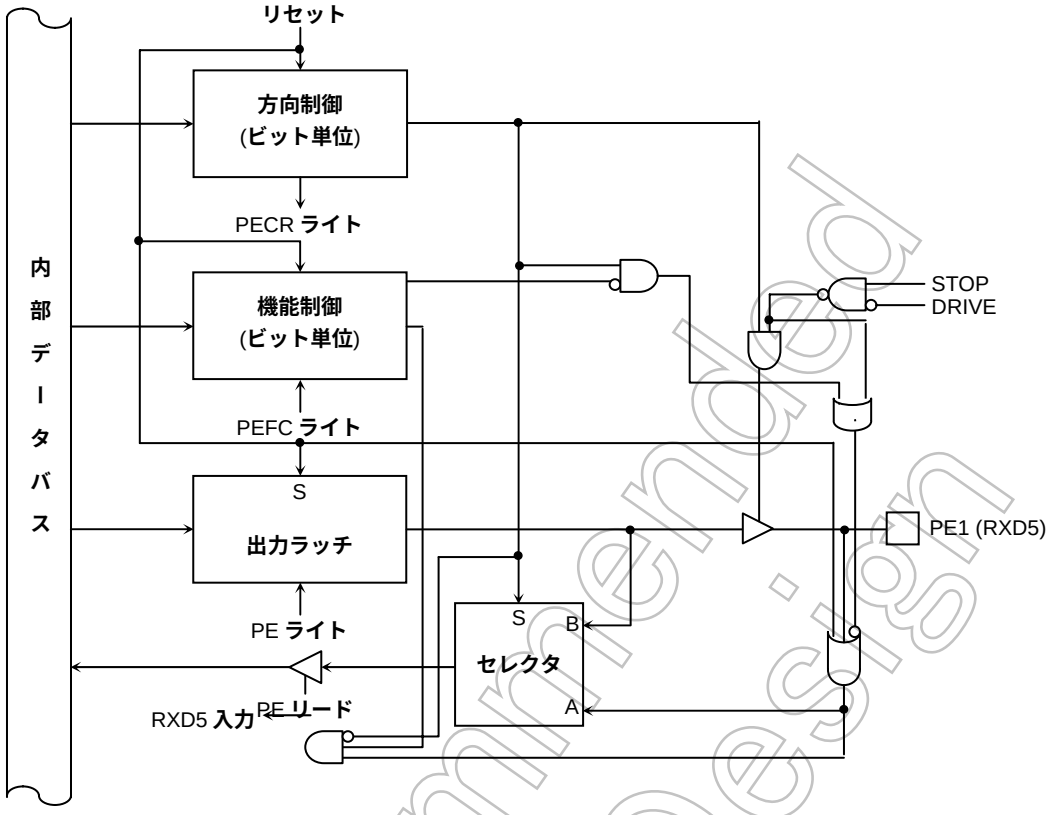


図 7.37 **ポート** E (PE1)

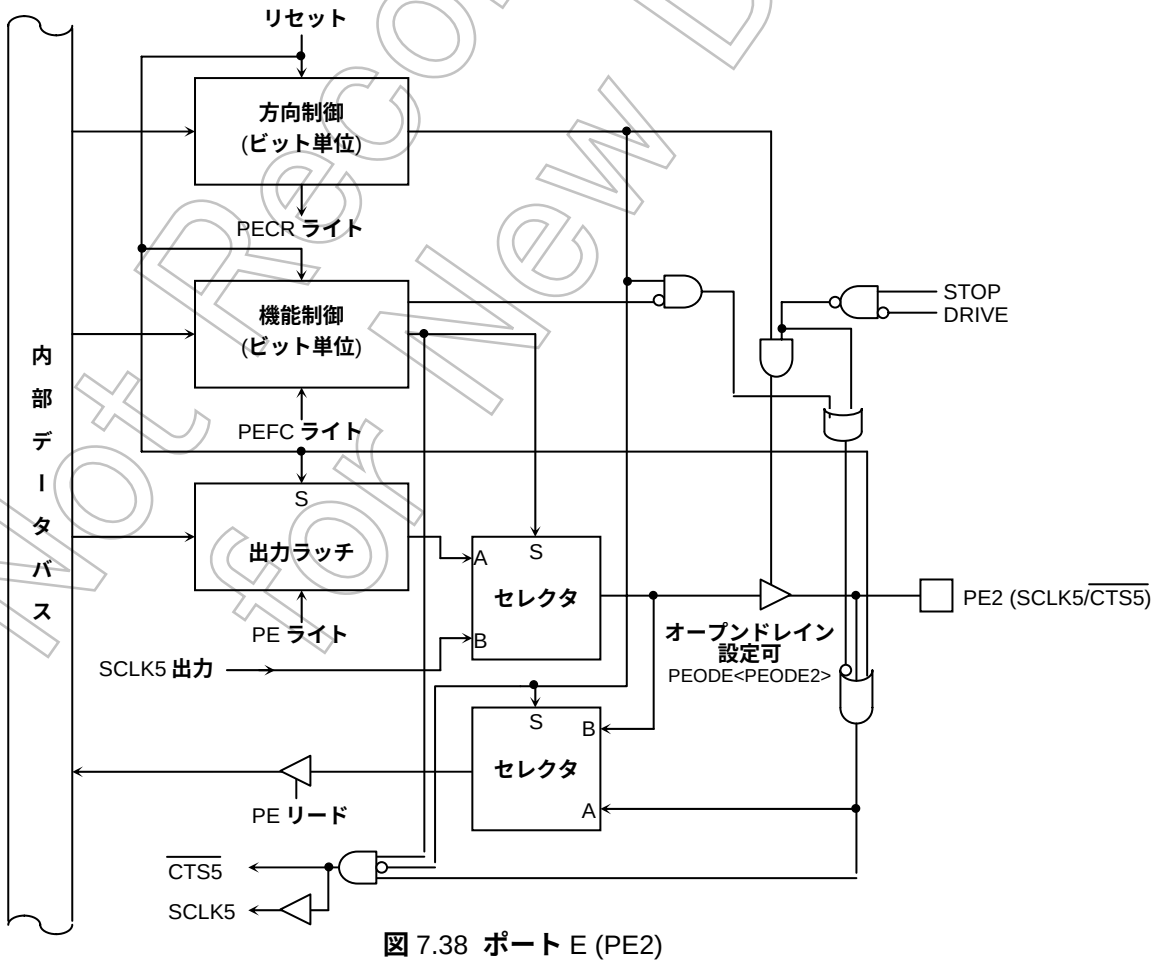


図 7.38 **ポート** E (PE2)

Not Recommended for New Design

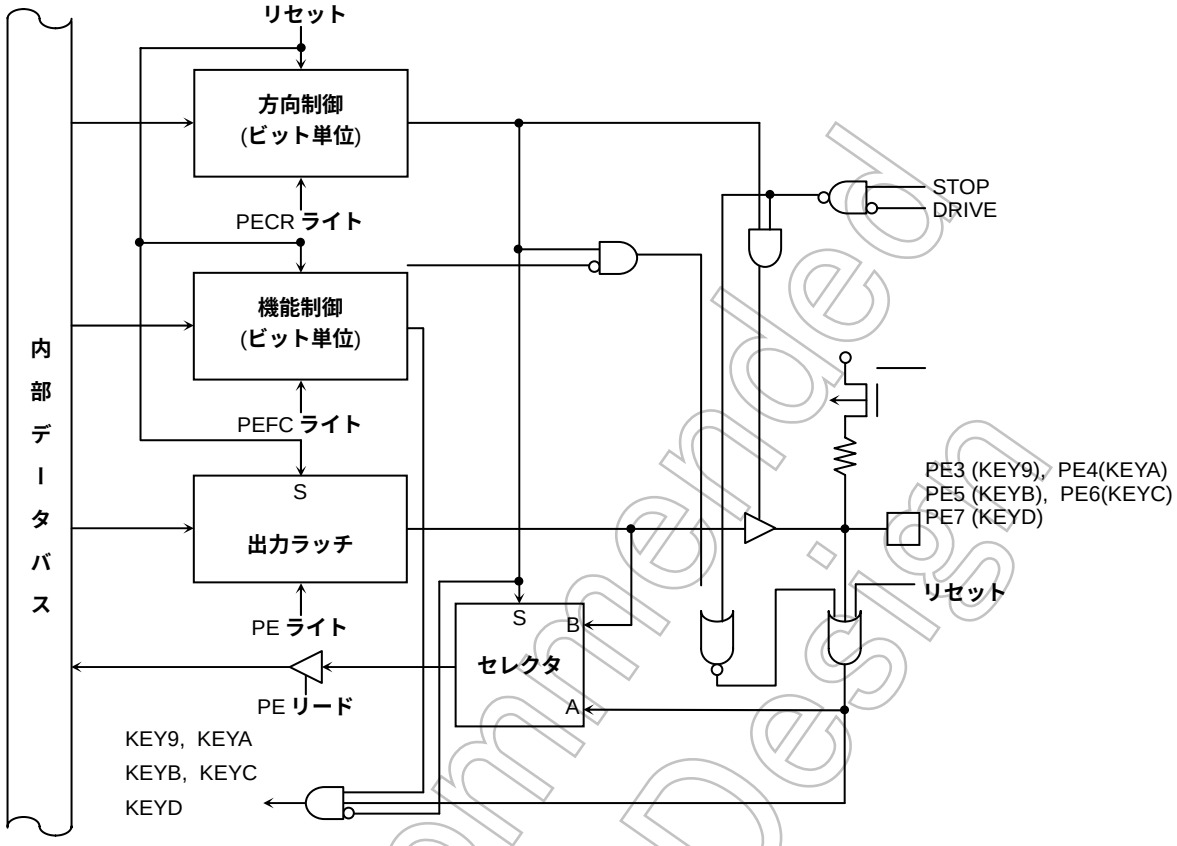


図 7.39 **ポート** E (PE3, PE4, PE5, PE6, PE7)

Not Recommended for New Design

ポート E レジスタ

PE

	7	6	5	4	3	2	1	0
0xFFFF_F050 Bit Symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは"1"にセット)							

ポート E コントロールレジスタ

PECR

	7	6	5	4	3	2	1	0
0xFFFF_F054 Bit Symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0:入力 1:出力							

ポート E ファンクションレジスタ

PEFC

	7	6	5	4	3	2	1	0
0xFFFF_F058 Bit Symbol	PE7F	PE6F	PE5F	PE4F	PE3F	PE2F	PE1F	PE0F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:KEYD	0:PORT 1:KEYC	0:PORT 1:KEYB	0:PORT 1:KEYA	0:PORT 1:KEY9	0:PORT 1:SCLK5 $\overline{\text{CTS5}}$	0:PORT 1:RXD5	0:PORT 1:TXD5

ポート E オープンドレイン制御レジスタ

PEODE

	7	6	5	4	3	2	1	0
0xFFFF_F05C Bit Symbol	-	-	-	-	-	PEODE2	-	PEODE0
Read/Write						W		W
リセット後						0		0
機能						0:CMOS 1:オープンドレイン		0:CMOS 1:オープンドレイン

図 7.40 ポート E 関係のレジスタ

Not Recommended for New Design

7.14 ポート F(PF0~PF7)

ポート F はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PFCR によって行います。リセット動作により、PFCR は“0”にリセットされ入力ポートとなります。入出力ポート機能以外に、PF0～PF2 は SBI の入出力機能、PF3/5 は DMA リクエスト信号入力機能、PF4/6 は DMA アクノリッジ信号出力機能、PF7 は 32 ビットタイムベースタイマの外部クロックソース入力機能があり、PJFC の該当ビットを“1”に設定することによりこれらの機能が有効になります。リセット動作により PFCR、PFFC は“0”にクリアされてポート F は入力ポートとなります。

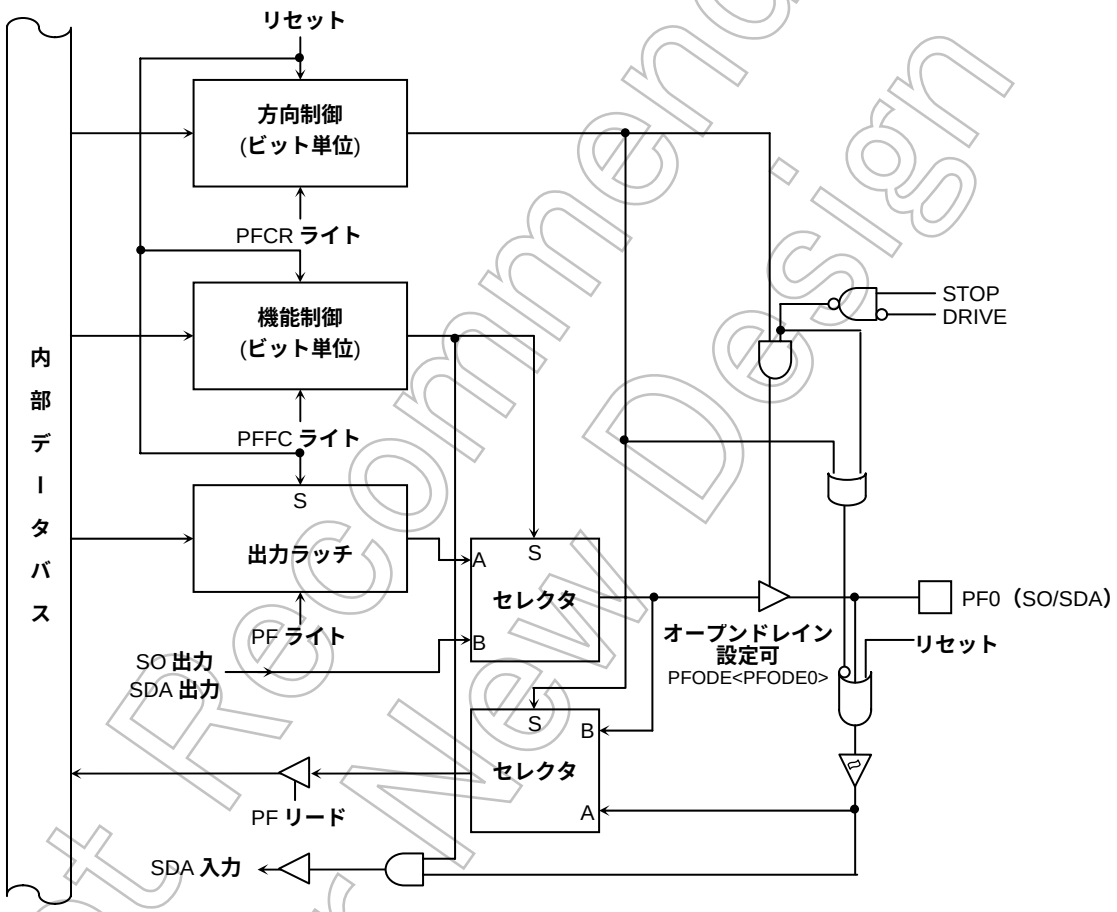


図 7.41 ポート F (PF0)

Not Recommended for New Design

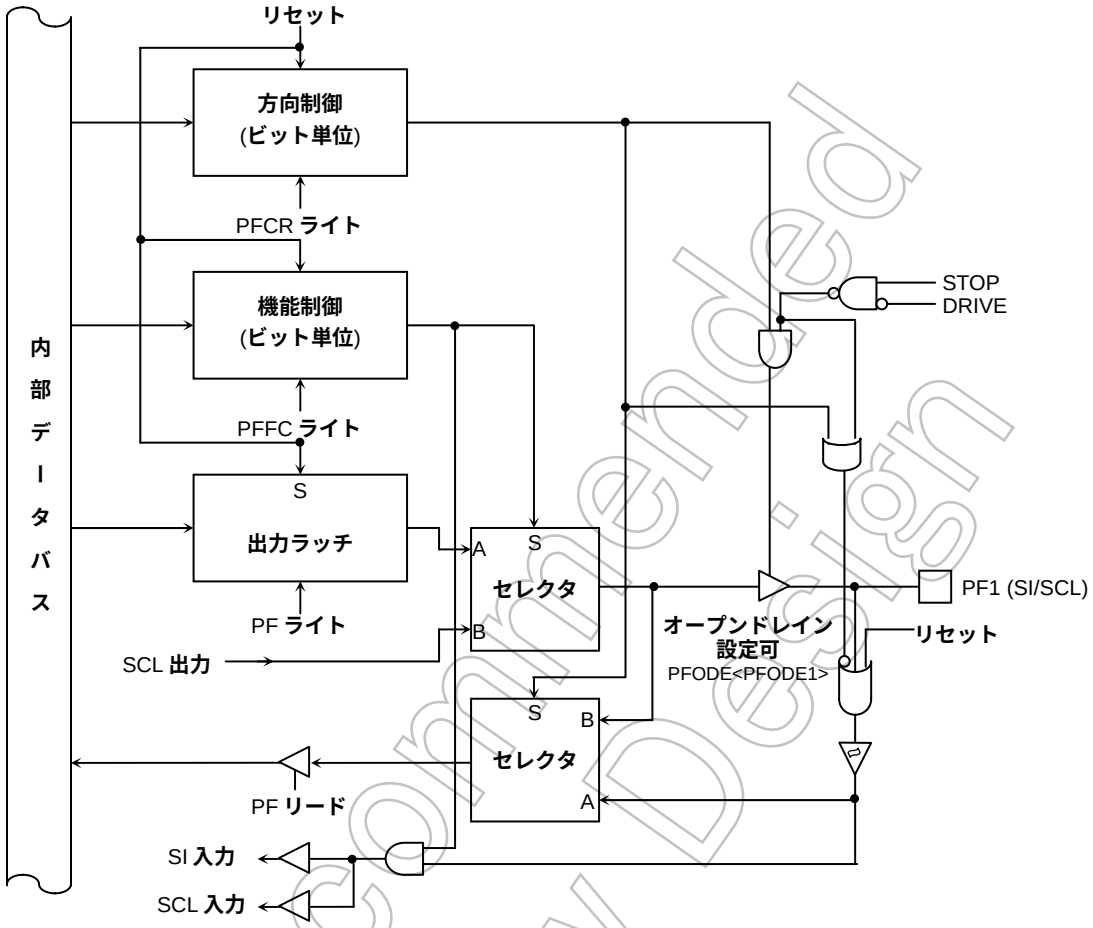


図 7.42 **ポート** F (PF1)

Not Recommended for New Design

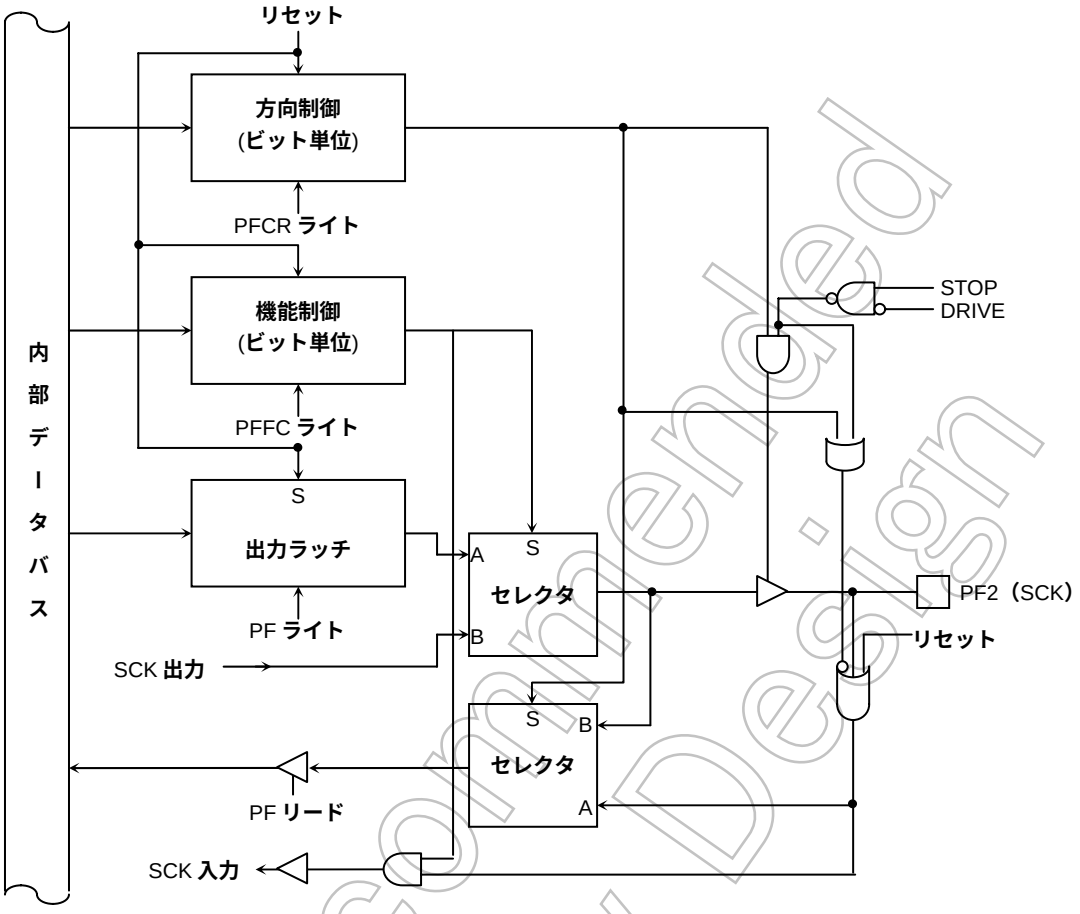


図 7.43 **ポート** F (PF2)

Not Recommended for New Design

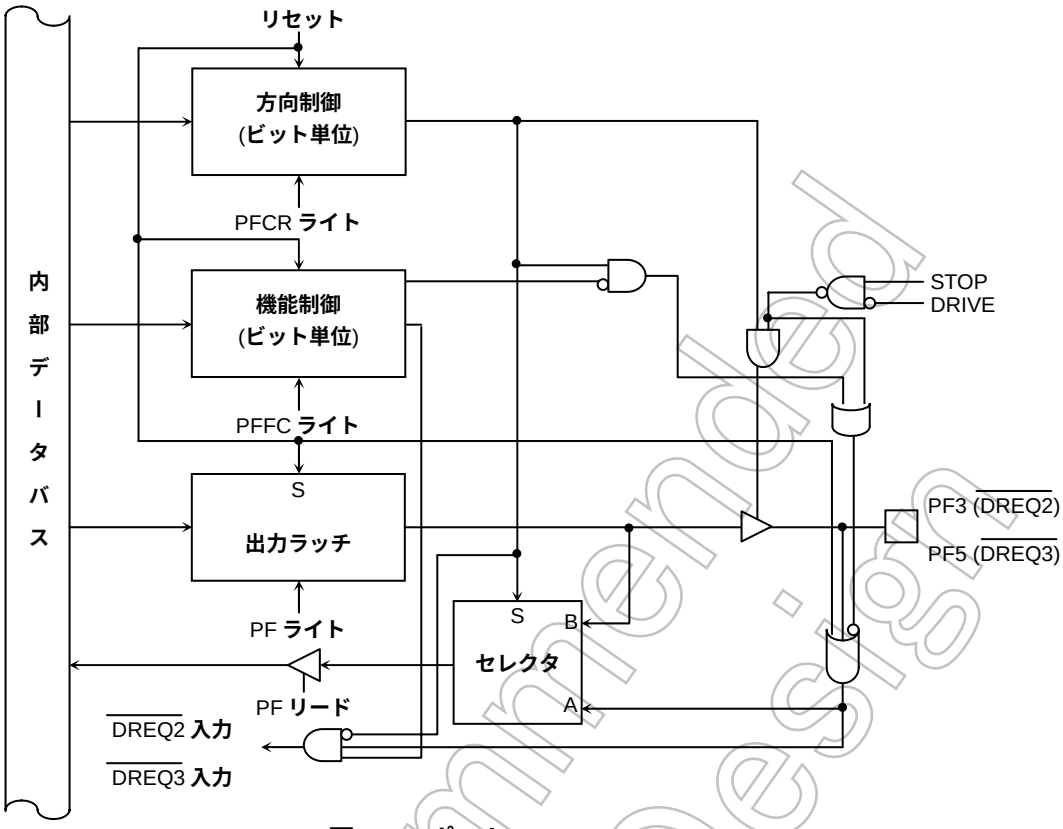


図 7.44 **ポート** F (PF3, PF5)

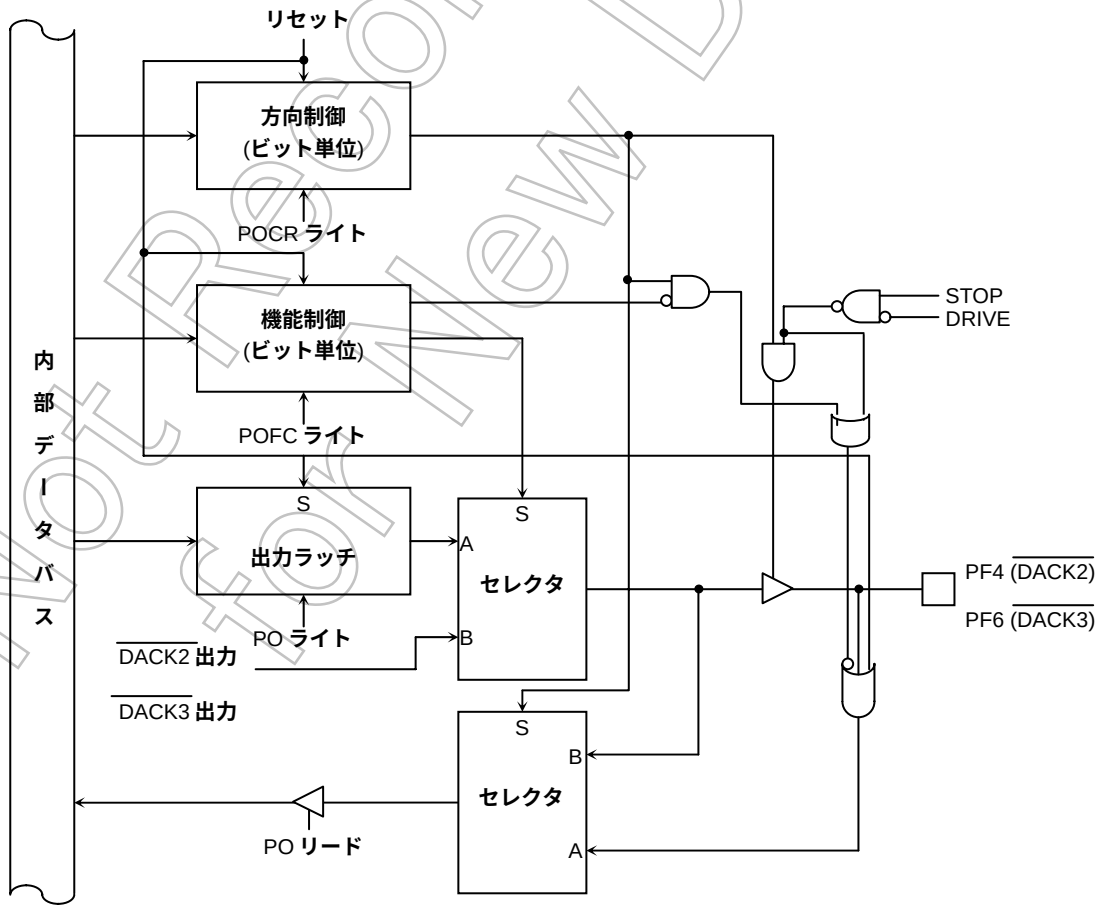


図 7.45 **ポート** F (PF4, PF6)

Not Recommended for New Design

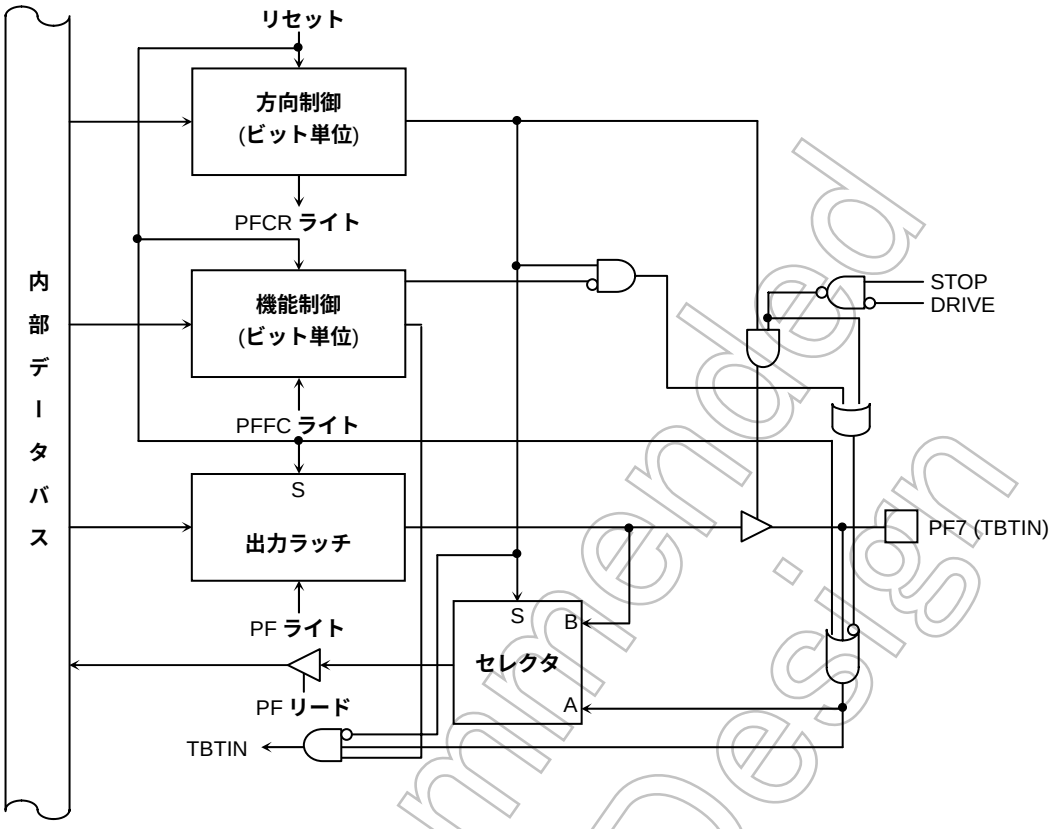


図 7.46 **ポート** F (PF7)

Not Recommended for New Design

ポート F レジスタ

PF		7	6	5	4	3	2	1	0
0xFFFF_F063	Bit Symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは"1"にセット)							

ポート F コントロールレジスタ

PFCR		7	6	5	4	3	2	1	0
0xFFFF_F067	Bit Symbol	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポート F ファンクションレジスタ

PFFC		7	6	5	4	3	2	1	0
0xFFFF_F06B	Bit Symbol	PF7F	PF6F	PF5F	PF4F	PF3F	PF2F	PF1F	PF0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TBTIN	0:PORT 1:$\overline{DACK3}$	0:PORT 1:$\overline{DREQ3}$	0:PORT 1:$\overline{DACK2}$	0:PORT 1:$\overline{DREQ2}$	0:PORT 1:SCK	0:PORT 1:SI SCL	0:PORT 1:SO SDAO

ポート F オープンドレイン制御レジスタ

PFODE		7	6	5	4	3	2	1	0
0xFFFF_F06F	Bit Symbol	-	-	-	-	-	-	PFODE1	PFODE0
	Read/Write							W	
	リセット後							0	0
	機能							0:CMOS 1:オープンドレイン	0:CMOS 1:オープンドレイン

図 7.47 ポート F 関係のレジスタ

Not Recommended for New Design

7.16 ポート G(PG0~PG7)

ポート G はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PGCR によって行います。リセット動作により、PGCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PG0～PG7 は 32 ビットインプットキャプチャトリガ入力機能があり、PGFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PGCR、PGFC は “0” にクリアされてポート G は入力ポートとなります。

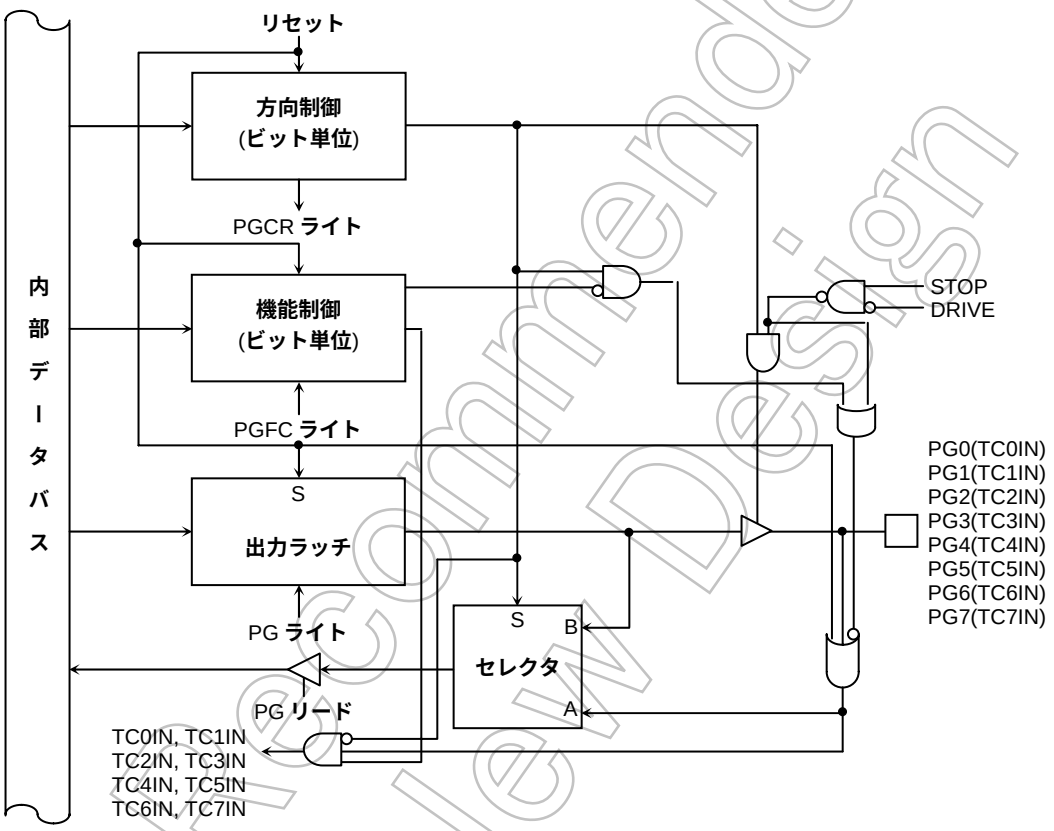


図 7.48 ポート G (PG0～PG7)

Not Recommended for New Design

ポート G レジスタ

PG		7	6	5	4	3	2	1	0
0xFFFF_F062	Bit Symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは"1"にセット)							

ポート G コントロールレジスタ

PGCR		7	6	5	4	3	2	1	0
0xFFFF_F066	Bit Symbol	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポート G ファンクションレジスタ

PGFC		7	6	5	4	3	2	1	0
0xFFFF_F06A	Bit Symbol	PG7F	PG6F	PG5F	PG4F	PG3F	PG2F	PG1F	PG0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TC7IN	0:PORT 1:TC6IN	0:PORT 1:TC5IN	0:PORT 1:TC4IN	0:PORT 1:TC3IN	0:PORT 1:TC2IN	0:PORT 1:TC1IN	0:PORT 1:TC0IN

図 7.49 ポート G 関係のレジスタ

Not Recommended for New Design

7.17 ポート H(PH0~PH7)

ポート H はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PHCR によって行います。リセット動作により、PHCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PH0～PH7 は 32 ビットアウトプットコンペア出力機能があり、PHFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PHCR、PHFC は “0” にクリアされてポート H は入力ポートとなります。

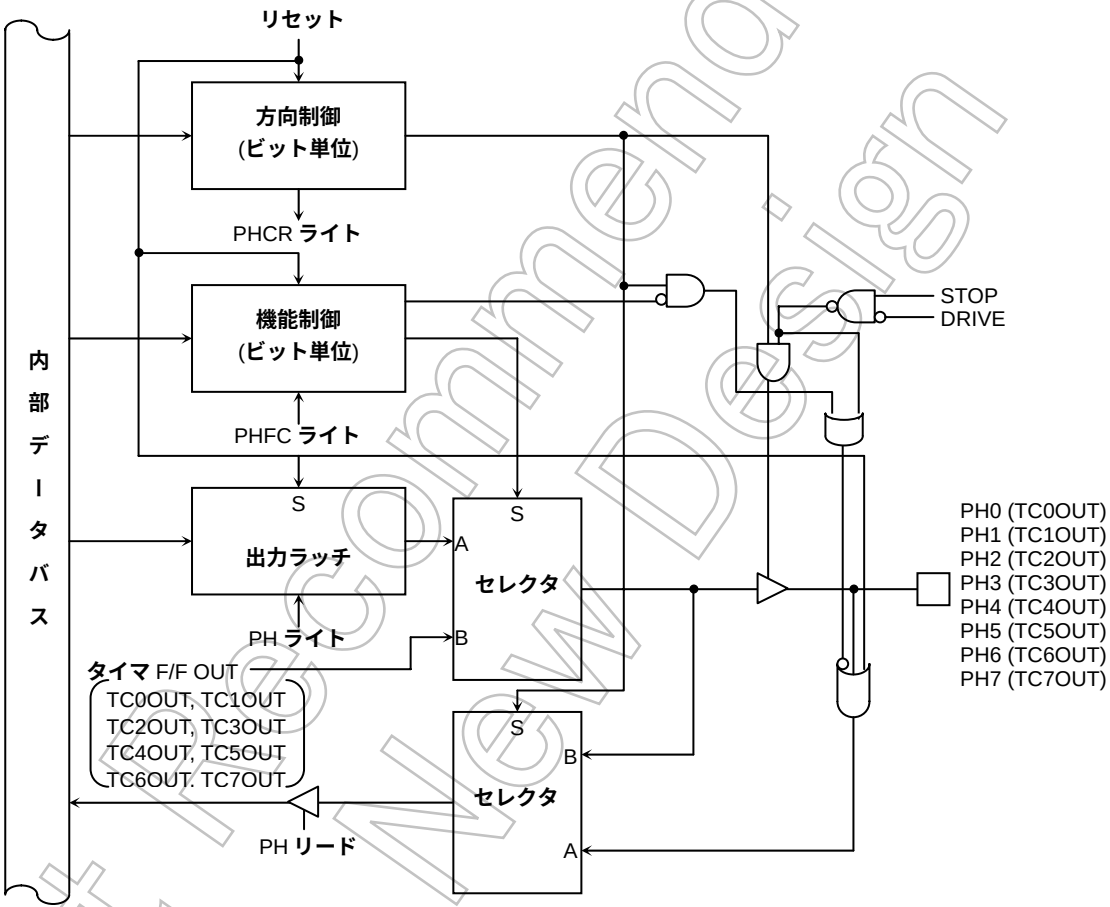


図 7.50 ポート H (PH0～PH7)

Not Recommended for New Design

ポート H レジスタ

PH		7	6	5	4	3	2	1	0
0xFFFF_F061	Bit Symbol	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは"1"にセット）							

ポート H コントロールレジスタ

PHCR		7	6	5	4	3	2	1	0
0xFFFF_F065	Bit Symbol	PH7C	PH6C	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：入力　1：出力							

ポート H ファンクションレジスタ

PHFC		7	6	5	4	3	2	1	0
0xFFFF_F069	Bit Symbol	PH7F	PH6F	PH5F	PH4F	PH3F	PH2F	PH1F	PH0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：PORT 1：TCOUT7	0：PORT 1：TCOUT6	0：PORT 1：TCOUT5	0：PORT 1：TCOUT4	0：PORT 1：TCOUT3	0：PORT 1：TCOUT2	0：PORT 1：TCOUT1	0：PORT 1：TCOUT0

図 7.51　ポート H 関係のレジスタ

Not Recommended for New Design

7.18 ポート I(PI0~PI7)

ポート I はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PICR によって行います。リセット動作により、PICR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PI0 は A/D コンバータの A/D トリガ入力、PI1～PI6 は外部割り込み入力機能があり、PIFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PICR、PIFC は “0” にクリアされてポート I は入力ポートとなります。

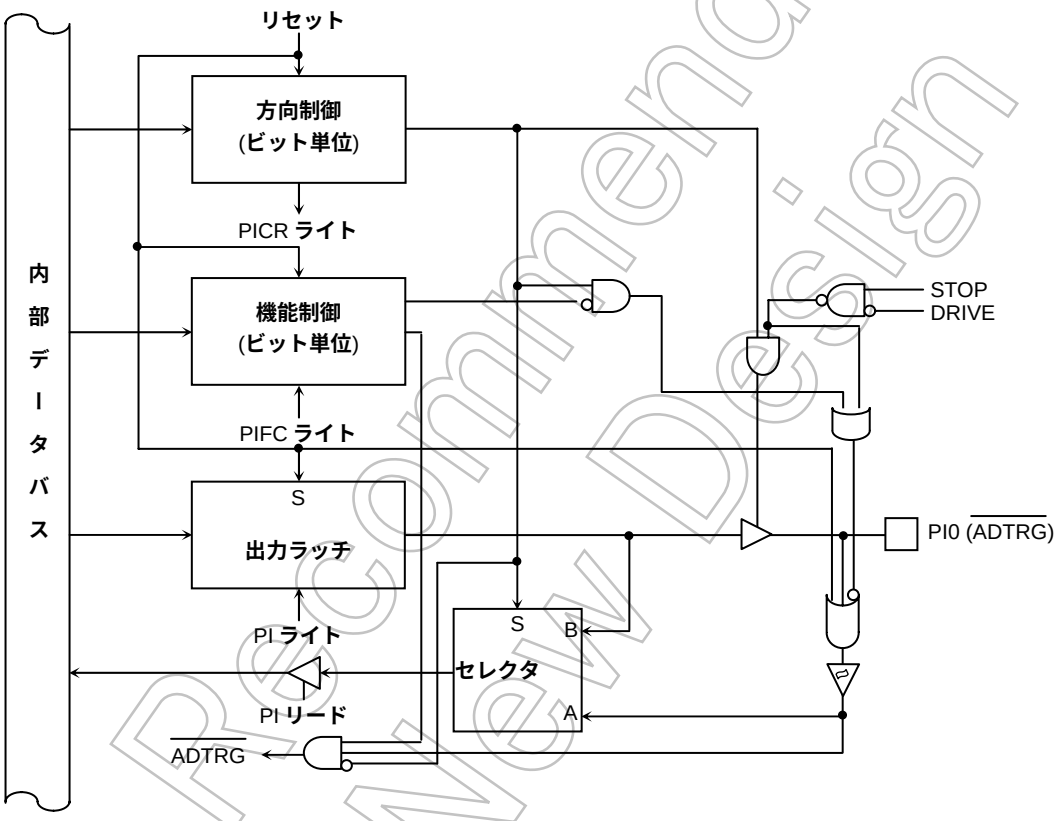


図 7.52 ポート I (PI0)

Not Recommended for New Design

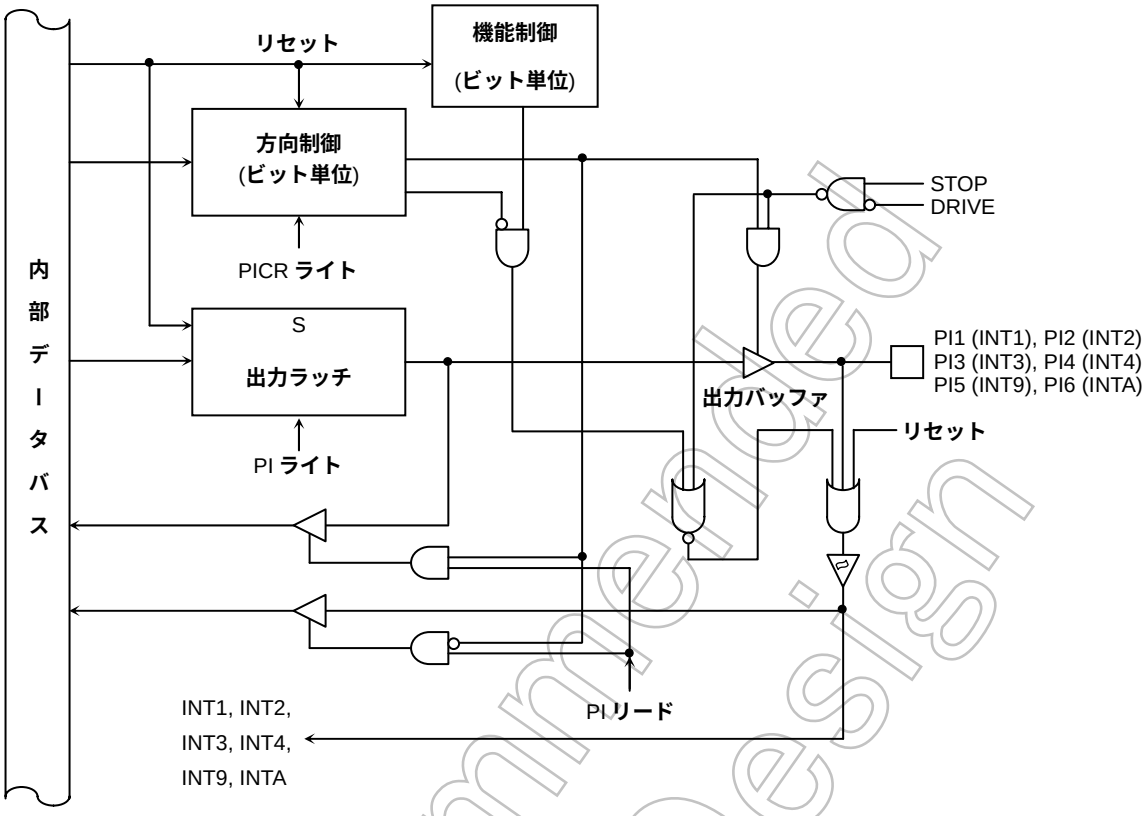


図 7.53 **ポート** I (PI1～PI6)

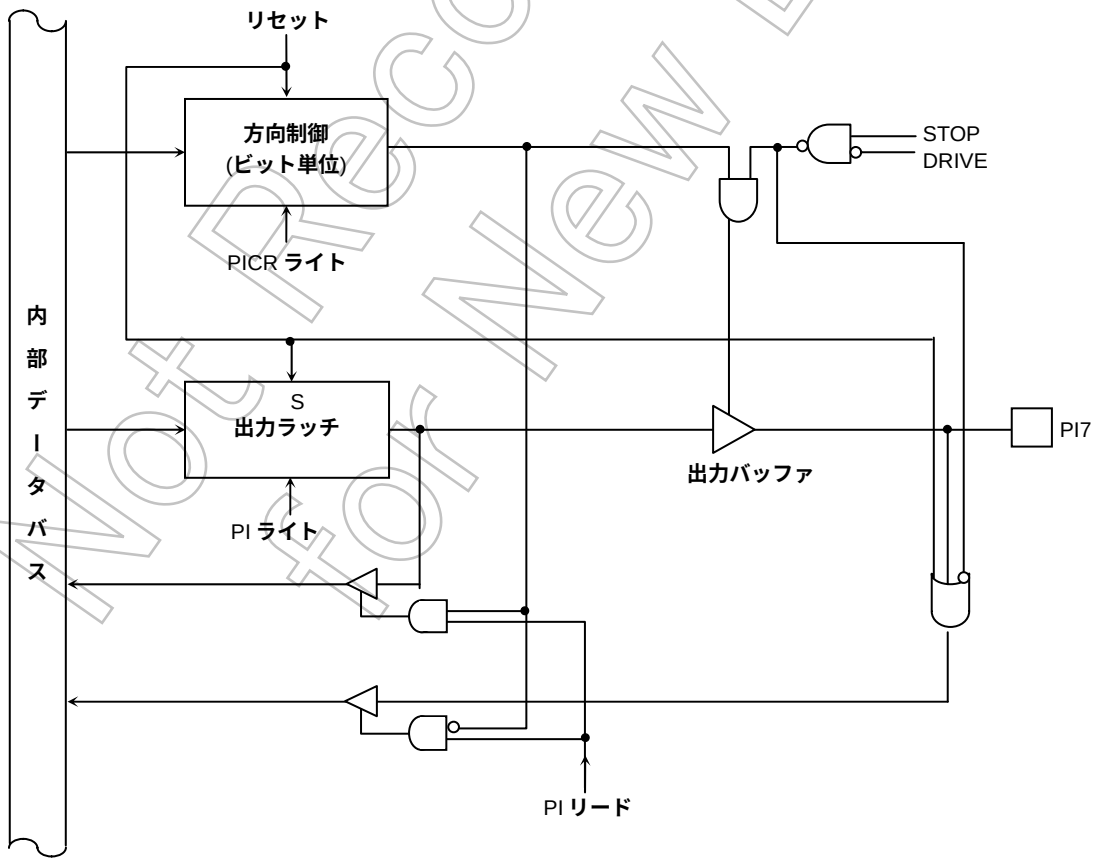


図 7.54 **ポート** I (PI7)

Not Recommended for New Design

ポート I レジスタ

PI
0xFFFF_F060

	7	6	5	4	3	2	1	0
Bit Symbol	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは"1"にセット)							

ポート I コントロールレジスタ

PICR
0xFFFF_F064

	7	6	5	4	3	2	1	0
Bit Symbol	PI7C	PI6C	PI5C	PI4C	PI3C	PI2C	PI1C	PI0C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0:入力 1:出力							

ポート I ファンクションレジスタ

PIFC
0xFFFF_F068

	7	6	5	4	3	2	1	0
Bit Symbol	-	PI6F	PI5F	PI4F	PI3F	PI2F	PI1F	PI0F
Read/Write		W						
リセット後		0	0	0	0	0	0	0
機能		0:PORT 1:INTA	0:PORT 1:INT9	0:PORT 1:INT4	0:PORT 1:INT3	0:PORT 1:INT2	0:PORT 1:INT1	0:PORT 1:*ADTRG

機能	PIFC の該当 BIT	PICR の該当 BIT	使用 PORT
$\overline{\text{ADTRG}}$ 出力の設定	1	0	PI0
INT1 入力の設定	1 (*1)	0	PI1
INT2 入力の設定	1 (*1)	0	PI2
INT3 入力の設定	1 (*1)	0	PI3
INT4 力の設定	1 (*1)	0	PI4
INT9 入力の設定	1 (*1)	0	PI5
INTA 入力の設定	1 (*1)	0	PI6

(注*1) SYSCR<DRVE>＝0の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

図 7.55 ポート I 関係のレジスタ

Not Recommended for New Design

7.19 ポート J(PJ0~PJ4)

ポート J はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PJCR によって行います。リセット動作により、PJCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PJ0 は外部割り込み入力機能があり、PJFC の該当ビットを “1” に設定することにより有効になります。リセット動作により PJCR、PJFC は “0” にクリアされてポート J は入力ポートとなります。

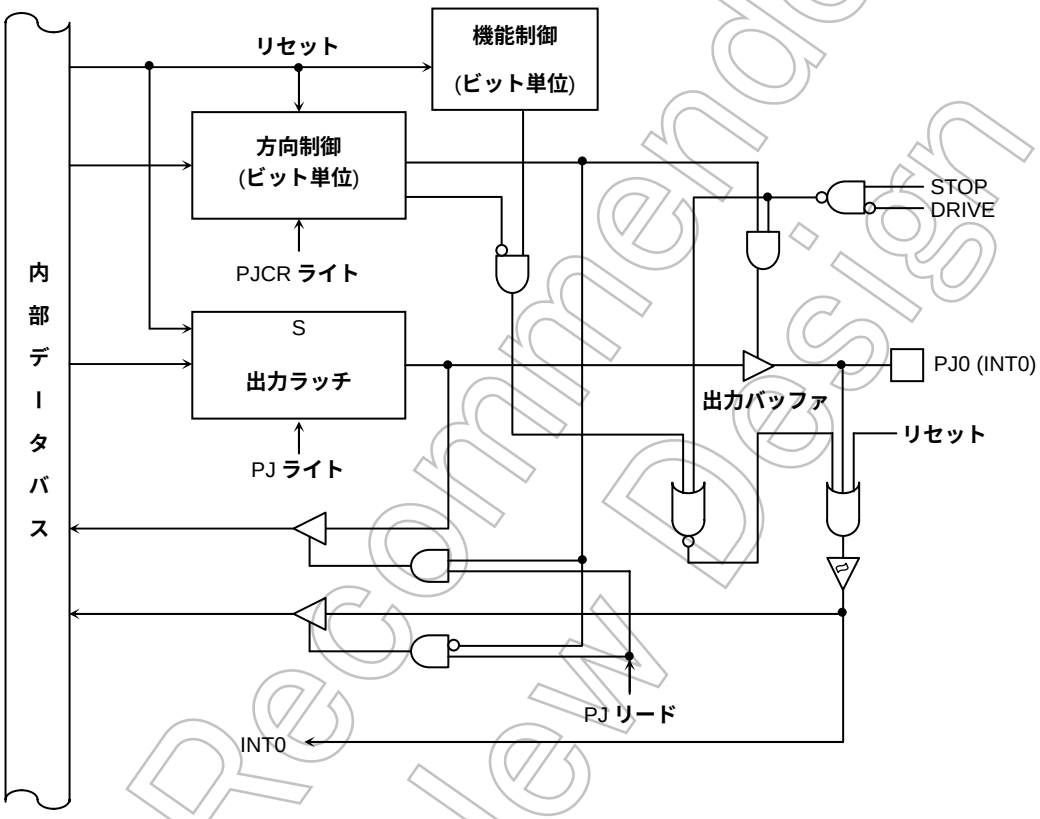


図 7.56 ポート J (PJ0)

Not Recommended for New Design

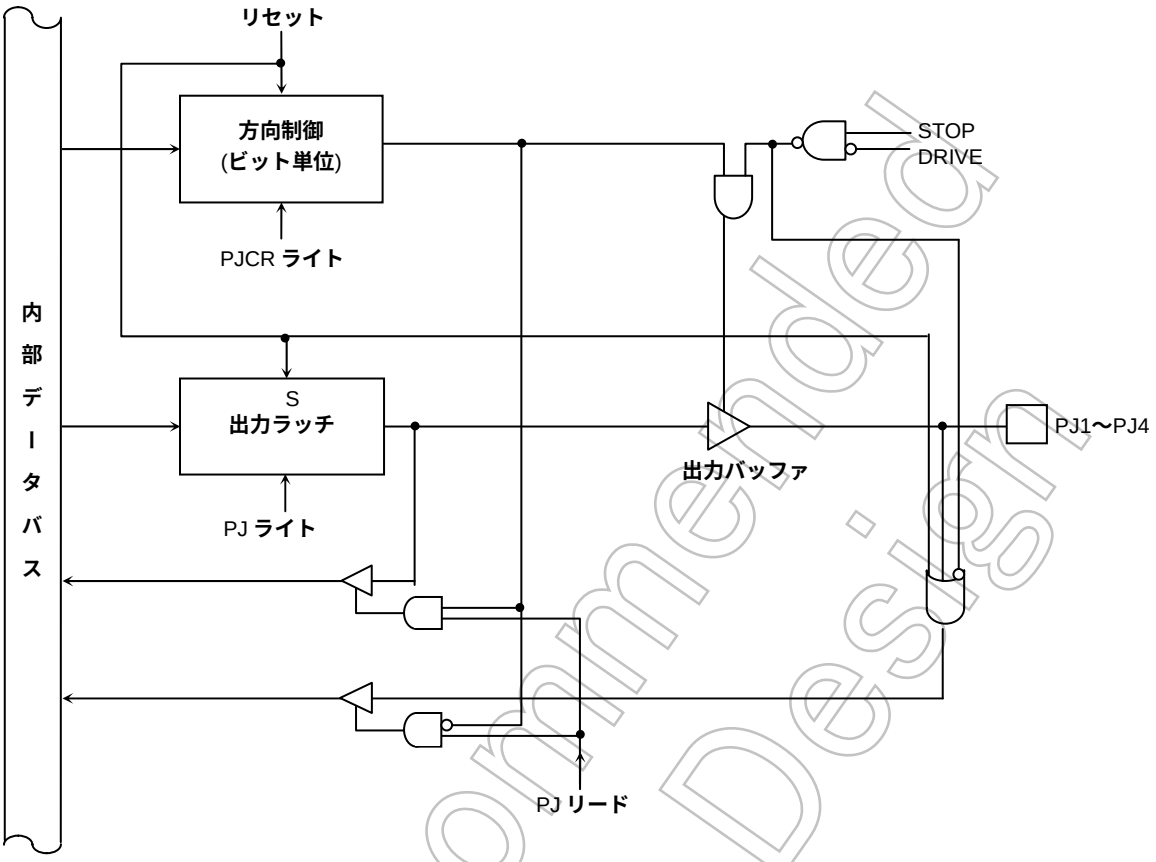


図 7.57 ポート J (PJ1～PJ4)

Not Recommended for New Design

ポート J レジスタ

PJ		7	6	5	4	3	2	1	0
0xFFFF_F0C3	Bit Symbol	-	-	-	PJ4	PJ3	PJ2	PJ1	PJ0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは"1"にセット)							

ポート J コントロールレジスタ

PJCR		7	6	5	4	3	2	1	0
0xFFFF_F0C7	Bit Symbol	-	-	-	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポート J ファンクションレジスタ

PJFC		7	6	5	4	3	2	1	0
0xFFFF_F0CB	Bit Symbol	-	-	-	-	-	-	-	PJ0F
	Read/Write								W
	リセット後								0
	機能								0:PORT 1:INT0

機能	PJFC の該当 BIT	PJCR の該当 BIT	使用 PORT
INT0 入力の設定	1 (*1)	0	PJ0

(注*1) SYSCR<DRVE>=0 の設定で STOP 解除割り込みとして使用する場合は設定してください。それ以外の場合は設定不要です。

図 7.58 ポート J 関係のレジスタ

Not Recommended for New Design

7.20 ポート K(PK0~PK7)

ポート K はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PKCR によって行います。リセット動作により、PKCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PK0～PK7 は KEY 入力機能があり、PKFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PKCR、PKFC は “0” にクリアされてポート K は入力ポートとなります。

また、ポート K0～K7 にプルアップ抵抗機能がありますが、KEY ON WAKE UP 回路の KWUPCNT<KYPE>を 1 に設定して、なおかつ KWUPSTn により KEY 入力許可と設定されている時のみ有効となります。詳しくは KEY ON WAKE UP の項を参照ください。ポート機能時はプルアップ機能は動作しません。

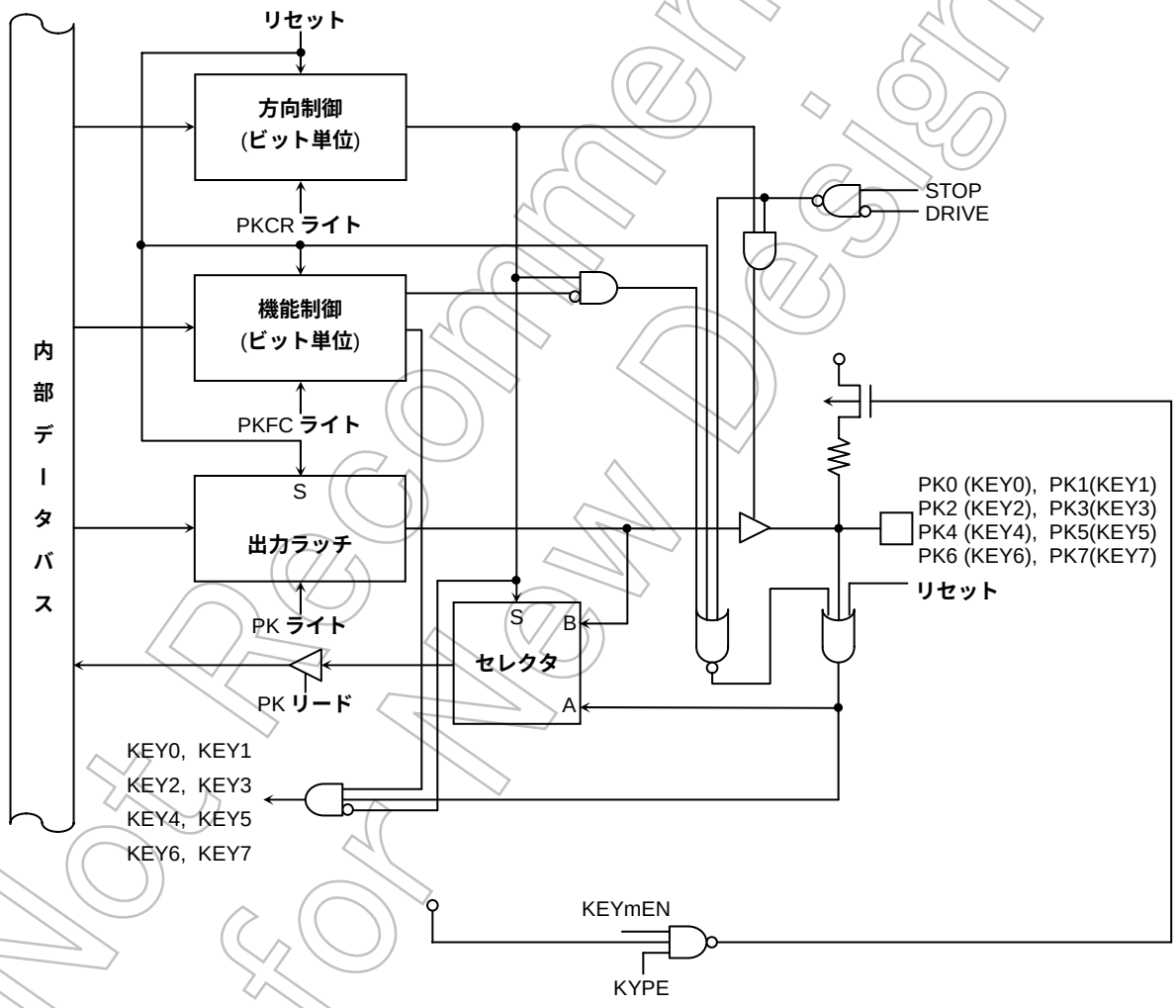


図 7.59 ポート K (PK0～PK7)

Not Recommended for New Design

ポート K レジスタ

PK		7	6	5	4	3	2	1	0
0xFFFF_F0C2	Bit Symbol	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは"1"にセット）							

ポート K コントロールレジスタ

PKCR		7	6	5	4	3	2	1	0
0xFFFF_F0C6	Bit Symbol	PK7C	PK6C	PK5C	PK4C	PK3C	PK2C	PK1C	PK0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：入力　1：出力							

ポート K ファンクションレジスタ

PKFC		7	6	5	4	3	2	1	0
0xFFFF_F0CA	Bit Symbol	PK7F	PK6F	PK5F	PK4F	PK3F	PK2F	PK1F	PK0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：PORT 1：KEY7	0：PORT 1：KEY6	0：PORT 1：KEY5	0：PORT 1：KEY4	0：PORT 1：KEY3	0：PORT 1：KEY2	0：PORT 1：KEY1	0：PORT 1：KEY0

図 7.60　ポート K 関係のレジスタ

Not Recommended for New Design

7.21 ポート L(PL0~PL7)

ポート L はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PLCR によって行います。リセット動作により、PLCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PL0～PL3 は 8 ビットタイマの入力機能、PL4～PL7 は 16 ビットタイマの入力機能があり、PLFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PLCR、PLFC は “0” にクリアされてポート L は入力ポートとなります。

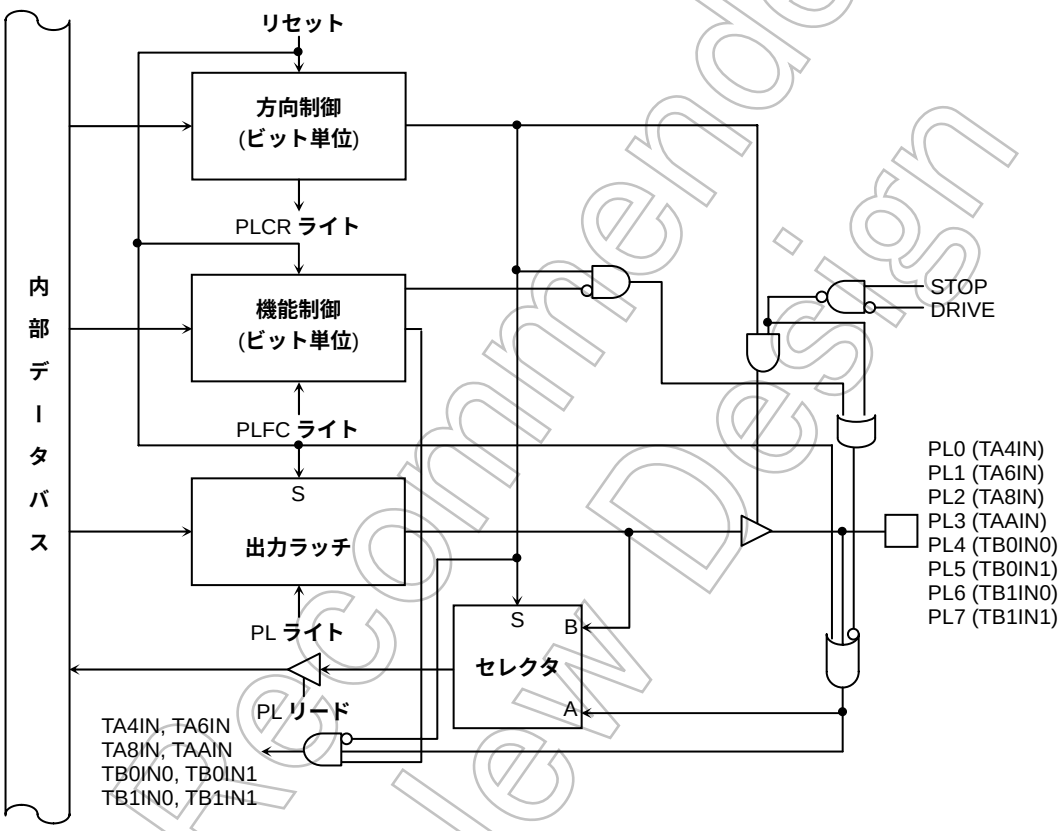


図 7.61 ポート L(PL0～PL7)

Not Recommended for New Design

ポート L レジスタ

PL		7	6	5	4	3	2	1	0
0xFFFF_F0C1	Bit Symbol	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは"1"にセット）							

ポート L コントロールレジスタ

PLCR		7	6	5	4	3	2	1	0
0xFFFF_F0C5	Bit Symbol	PL7C	PL6C	PL5C	PL4C	PL3C	PL2C	PL1C	PL0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：入力　1：出力							

ポート L ファンクションレジスタ

PLFC		7	6	5	4	3	2	1	0
0xFFFF_F0C9	Bit Symbol	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：PORT 1：TB1IN1	0：PORT 1：TB1IN0	0：PORT 1：TB0IN1	0：PORT 1：TB0IN0	0：PORT 1：TAAIN	0：PORT 1：TA8IN	0：PORT 1：TA6IN	0：PORT 1：TA4IN

図 7.62　ポート L 関係のレジスタ

Not Recommended for New Design

7.22 ポート M(PM0~PM7)

ポート M はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PMCR によって行います。リセット動作により、PMCR は “0” にリセットされ入力ポートとなります。リセット動作により PMCR “0” にクリアされてポート M は入力ポートとなります。

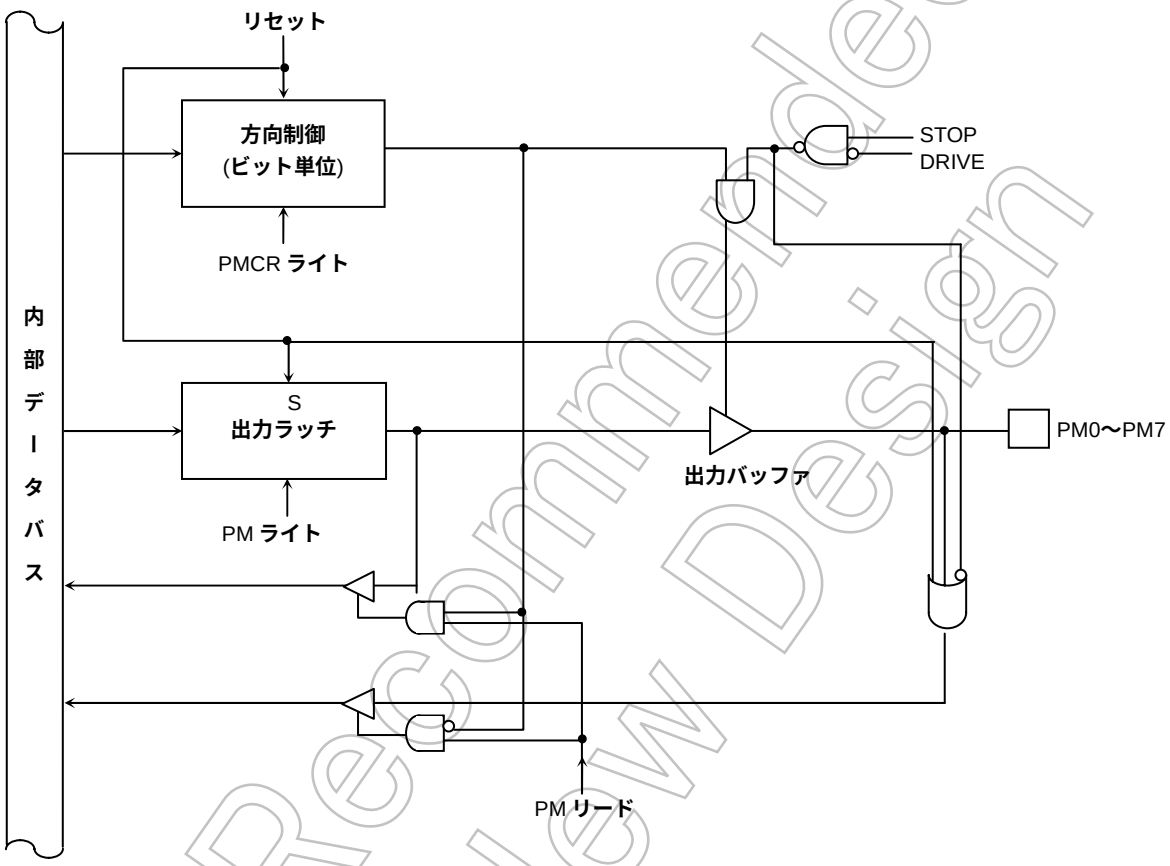


図 7.63 ポート M(PM0〜PM7)

Not Recommended for New Design

ポート M レジスタ

PM		7	6	5	4	3	2	1	0
0xFFFF_F0C0	Bit Symbol	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは"1"にセット）							

ポート M コントロールレジスタ

PMCR		7	6	5	4	3	2	1	0
0xFFFF_F0C4	Bit Symbol	PM7C	PM6C	PM5C	PM4C	PM3C	PM2C	PM1C	PM0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：入力　1：出力							

図 7.64　ポート M 関係のレジスタ

Not Recommended for New Design

7.23 ポート N(PN0~PN7)

ポート N はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ PNCR によって行います。リセット動作により、PNCR は “0” にリセットされ入力ポートとなります。入出力ポート機能以外に、PN0 は SIO のデータ出力機能、PN1 は SIO のデータ入力機能、PN2 は SIO の CLK 入出力または CTS 入力機能があり、PNFC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により PNCR、PNFC は “0” にクリアされてポート N は入力ポートとなります。

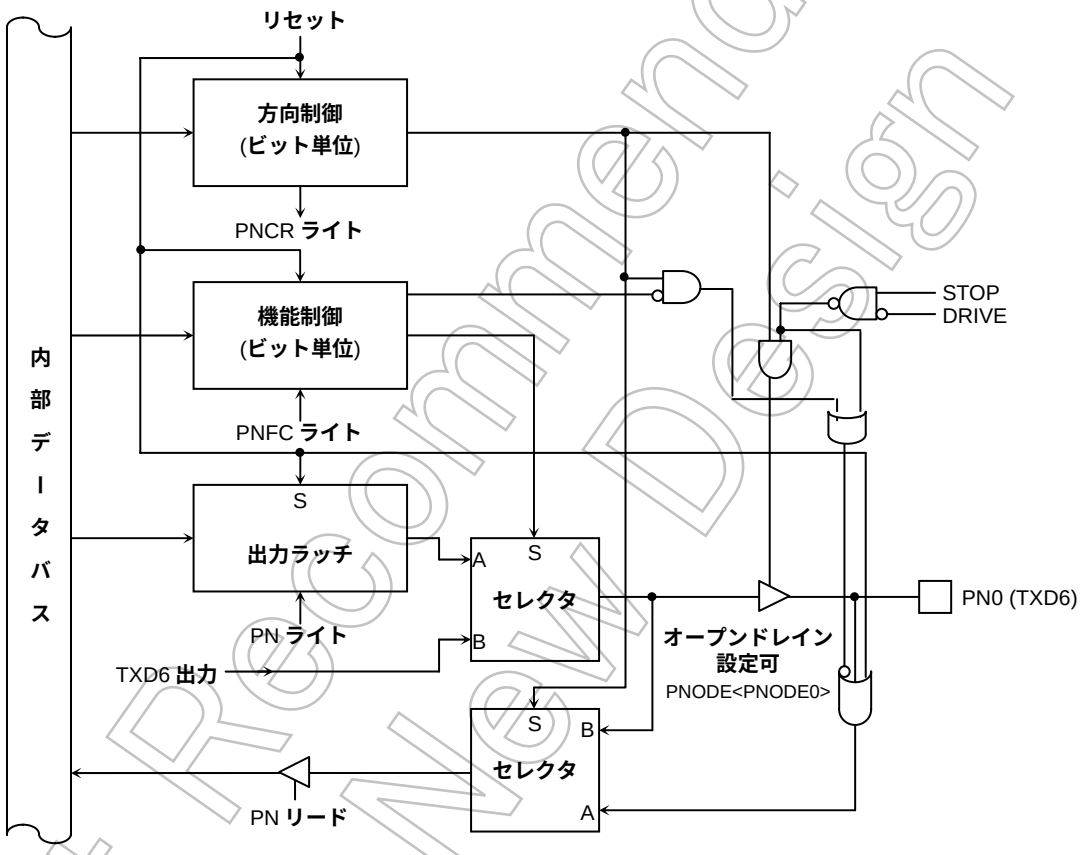


図 7.65 ポート N(PN0)

Not Recommended for New Design

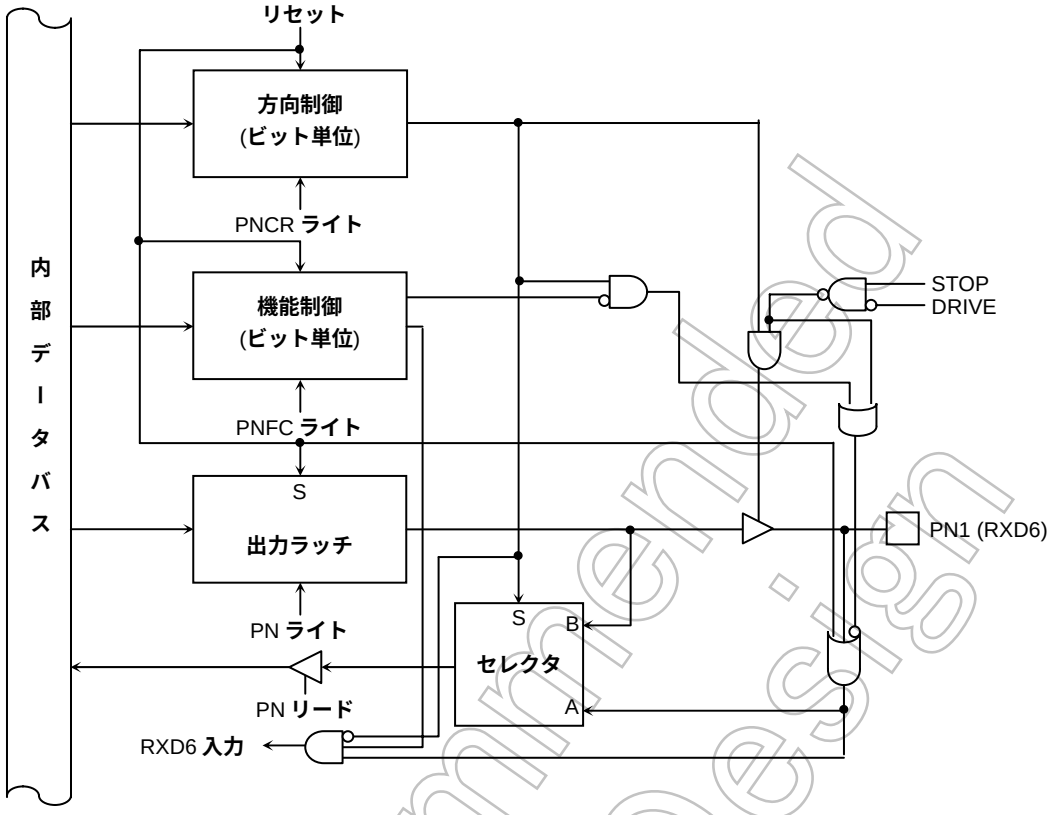


図 7.66 ポート N(PN1)

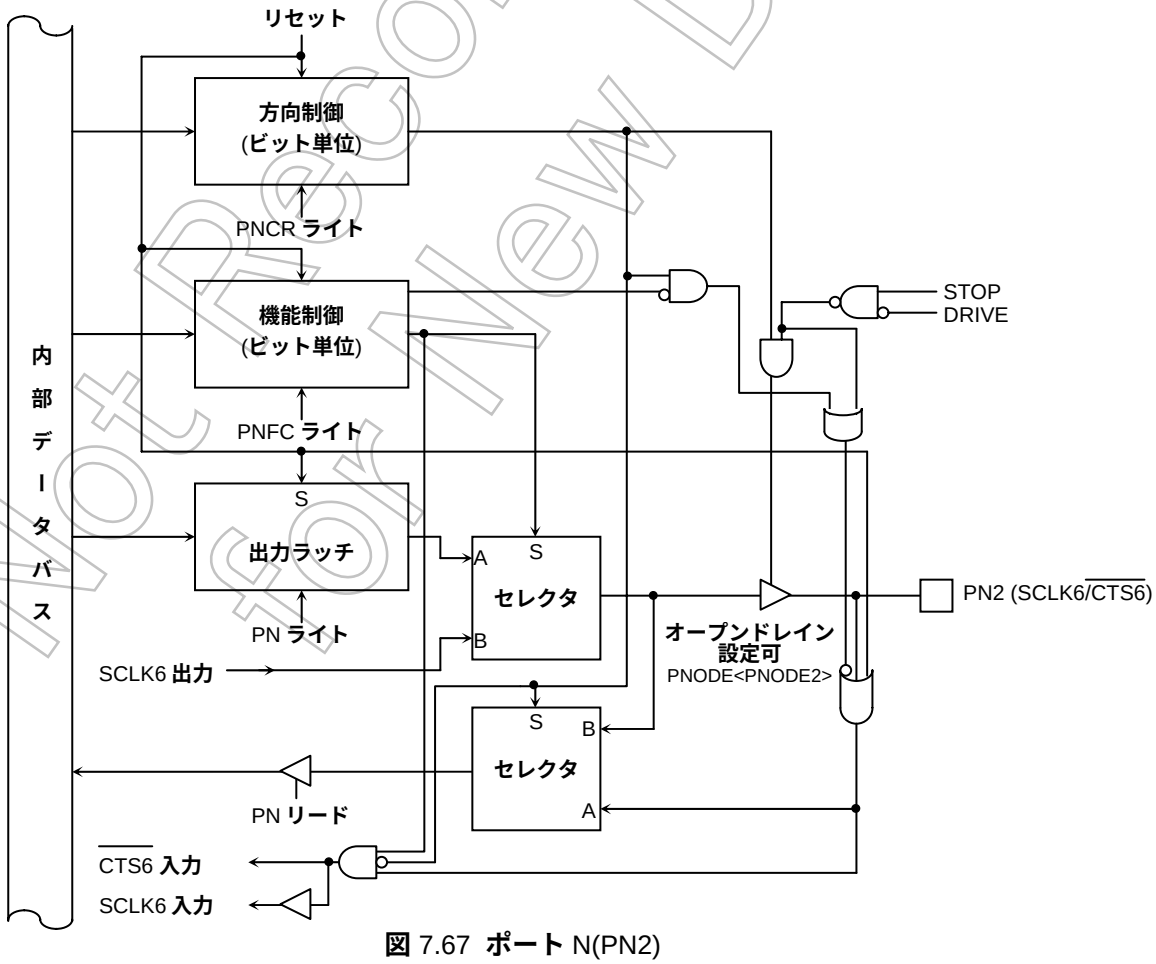


図 7.67 ポート N(PN2)

Not Recommended for New Design

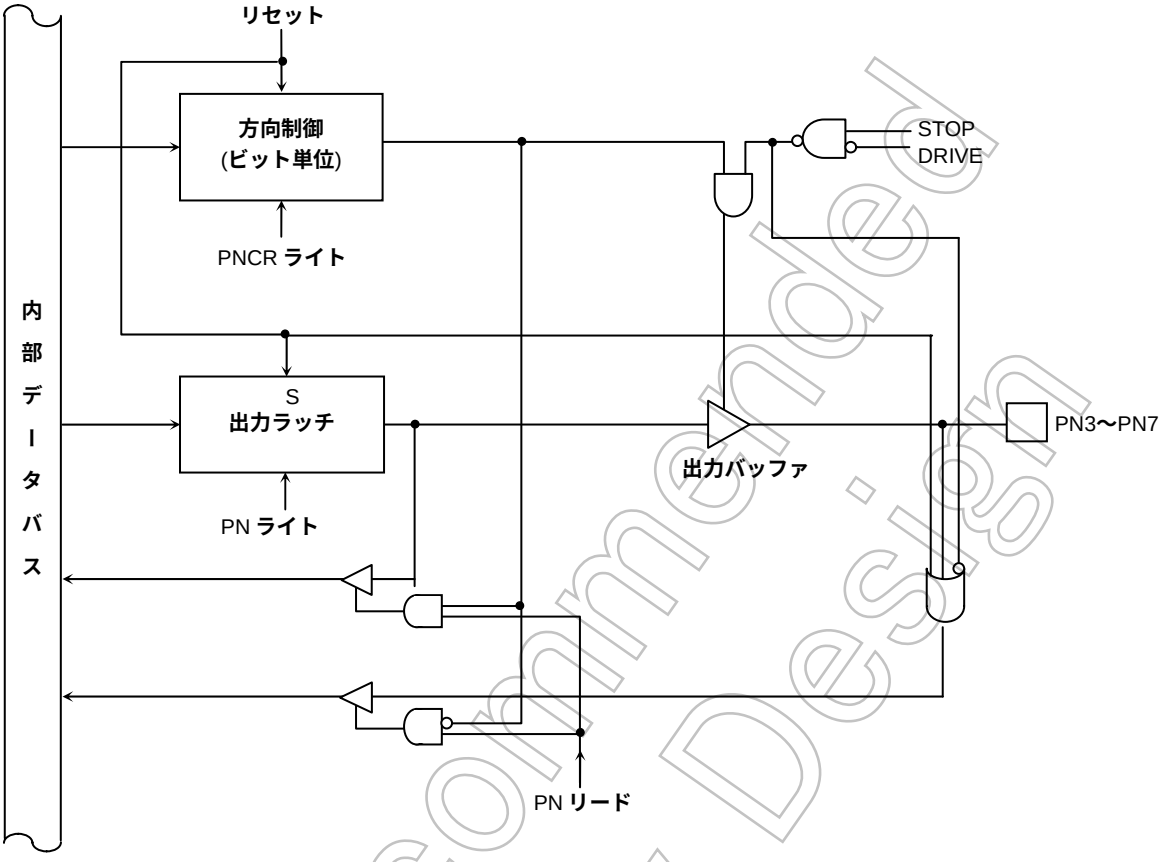


図 7.68 **ポート** N(PN3〜PN7)

Not Recommended for New Design

ポート N レジスタ

PN		7	6	5	4	3	2	1	0
0xFFFF_F0D3	Bit Symbol	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは"1"にセット）							

ポート N コントロールレジスタ

PNCR		7	6	5	4	3	2	1	0
0xFFFF_F0D7	Bit Symbol	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：入力　1：出力							

ポート N ファンクションレジスタ

PNFC		7	6	5	4	3	2	1	0
0xFFFF_F0DB	Bit Symbol	-	-	-	-	-	PN2F	PN1F	PN0F
	Read/Write						W		
	リセット後						0	0	0
	機能						0：PORT 1：SCLK6 *CTS6	0：PORT 1：RXD6	0：PORT 1：TXD6

ポート N オープンドレイン制御レジスタ

PNODE		7	6	5	4	3	2	1	0
0xFFFF_F0DF	Bit Symbol	-	-	-	-	-	PNODE2	-	PNODE0
	Read/Write						W		W
	リセット後						0		0
	機能						0：CMOS 1：オープンドレイン		0：CMOS 1：オープンドレイン

図 7.69　ポート N 関係のレジスタ

Not Recommended for New Design

7.24 ポート O、P(PO0~PO7，PP0~PP7)

ポート O、P はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ POCR/PPCR によって行います。リセット動作により、POCR/PPCR は “0” にリセットされ入力ポートとなります。リセット動作により POCR/PPCR は “0” にクリアされてポート O、P は入力ポートとなります。

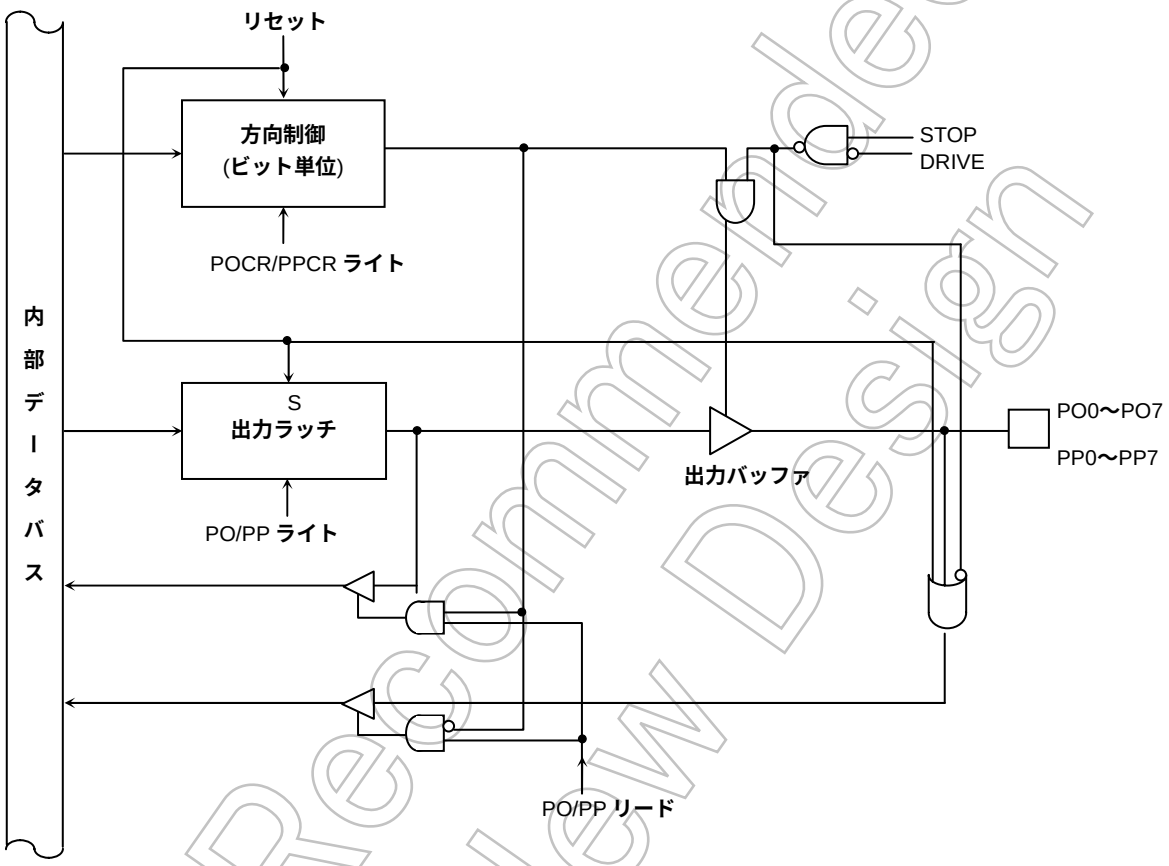


図 7.70 ポート O、P(PO0～PO7, PP0～PP7)

Not Recommended for New Design

ポート O レジスタ

PO		7	6	5	4	3	2	1	0
0xFFFF_F0D2	Bit Symbol	PO7	PO6	PO5	PO4	PO3	PO2	PO1	PO0
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは"1"にセット）							

ポート O コントロールレジスタ

POCR		7	6	5	4	3	2	1	0
0xFFFF_F0D6	Bit Symbol	PO7C	PO6C	PO5C	PO4C	PO3C	PO2C	PO1C	PO0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：入力　1：出力							

図 7.71　ポート 0 関係のレジスタ

ポート P レジスタ

PP		7	6	5	4	3	2	1	0
0xFFFF_F0D1	Bit Symbol	PP7	PP6	PP5	PP4	PP3	PP2	PP1	PP0
	Read/Write	R/W							
	リセット後	入力モード（出力ラッチレジスタは"1"にセット）							

ポート P コントロールレジスタ

PPCR		7	6	5	4	3	2	1	0
0xFFFF_F0D5	Bit Symbol	PP7C	PP6C	PP5C	PP4C	PP3C	PP2C	PP1C	PP0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0：入力　1：出力							

図 7.72　ポート P 関係のレジスタ

Not Recommended for New Design

8. 外部バスインタフェース

TMP1962 は、外部にメモリや I/O などを接続するための外部バスインタフェース機能を内蔵しています。外部バスインタフェース回路 (EBIF) と CS (チップセレクト)/ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 4 ブロックアドレス空間のマッピングアドレスの指定と、この 4 ブロックアドレス空間およびそれ以外の外部アドレス空間に対して、ウェイトおよびデータバス幅（8 ビットか 16 ビット）を制御します。

外部バスインタフェース回路（EBIF）は、CS/ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。ダイナミックバスサイジングや外部バスマスタとの間のバス裁停も EBIF が制御します。

●外部バスモード

アドレス、データセパレートバスモードまたはマルチプレクスモードの選択が可能

●ウェイト機能

各ブロックごとに設定可能

- 最大 7 クロックまでのウェイトを自動挿入可能
- $\overline{\text{WAIT}}$ ／ $\overline{\text{RDY}}$ 端子によるウェイト挿入可能

●データバス幅

各ブロックごとに 8 ビットか 16 ビットを設定可能

●リカバリサイクル（リード時／ライト時）

外部バスサイクルが連続するときに最大２クロックまでのダミーサイクルを挿入可能

各ブロックごとに設定可能

●バス裁定機能

Not Recommended for New Design

8.1 アドレス、データ端子

(1) アドレス、データ端子の設定

TMP1962 はセパレートバスまたはマルチプレクスバスの設定が可能です。リセット時に BUSMD 端子（ポート J1）を”L”レベルにすることでセパレートバスモードに、”H”レベルにすることで、マルチプレクスバスモードになります。外部デバイス（メモリ）接続のためにポート 0、ポート 1、ポート 2、ポート 5、ポート 6 端子がアドレスバス、データバス、アドレス・データバスになります。バスモードとアドレス、データ端子の関係を表 3.6.1 に示します。

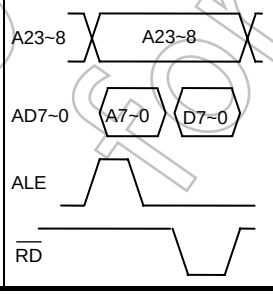
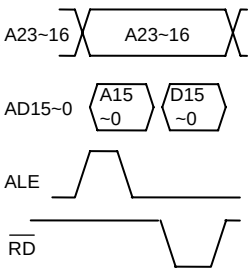
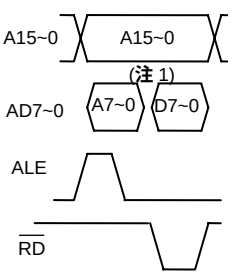
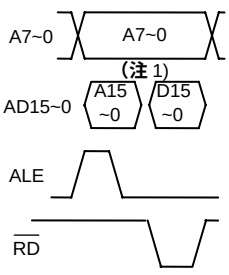
表 8.1 バスモードとアドレス、データ端子の関係

	セパレート BUSMD="L"	マルチプレクス BUSMD="H"
ポート0 (P00～P07)	D0～D7	AD0～AD7
ポート1 (P10～P17)	D8～D15	AD8～AD15／A8～A15
ポート2 (P20～P27)	A16～A23	A0～A7／A16～A23
ポート5 (P50～P57)	A0～A7	汎用ポート
ポート6 (P60～P67)	A8～A15	汎用ポート
ポート37 (P37)	汎用ポート	ALE

各ポートはリセット後、入力ポートとなっています。外部デバイスにアクセスする場合には、ポートコントロールレジスタ（PnCR）、ポートファンクションレジスタ（PnFC）によりアドレスバス、データバスの機能に設定してください。

マルチプレクスモード時には、ポートレジスタ（PnCR、PnFC）の設定により表 3.6.2 のように 4 通りの選択ができます。

表 8.2 マルチプレクスモード時のアドレス、データ端子の関係

		①	②	③	④
アドレスバス本数		max.24 (~16 MB)	max.24 (~16 MB)	max.16 (~64 KB)	max.8 (~256 B)
データバス本数		8	16	8	16
アドレス，データマルチプレクス本数		8	16	0	0
ポート機能	ポート 0	AD0~AD7	AD0~AD7	AD0~AD7	AD0~AD7
	ポート 1	A8~A15	AD8~AD15	A8~A15	AD8~AD15
	ポート 2	A16~A23	A16~A23	A0~A7	A0~A7
タイミング図					

(注 1): ③,④の場合でもデータバス端子はアドレスバスと兼用となるためアドレスが出力されます。

(注 2): ポート 0~2 はリセット後、入力ポートとなっておりアドレス、データバス端子ではありません。

(注 3): P1CR、P1FC、P2CR、P2FC レジスタの設定により①~④のどれでも選択できます。

Not Recommended for New Design

(2) 内部領域アクセス時のアドレス HOLD

内部領域アクセス時は、アドレスバスは以前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

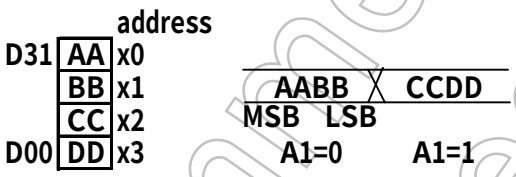
8.2 データ・フォーマット

TMP1962 の内部レジスタと外部バスインタフェースとの関係を説明します。

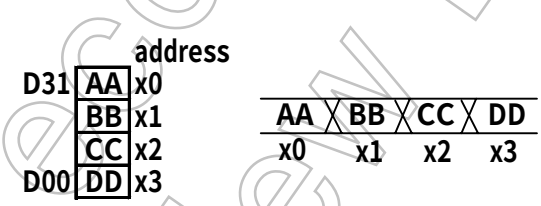
(1) ビッグエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

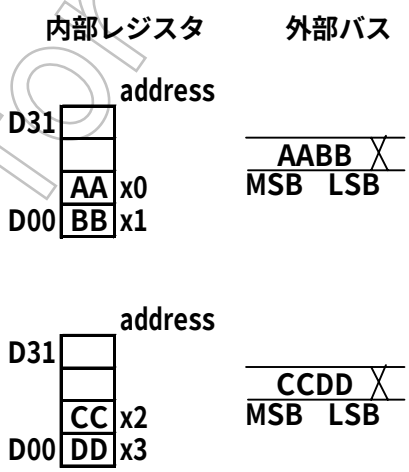


- 8 ビットバス幅の時



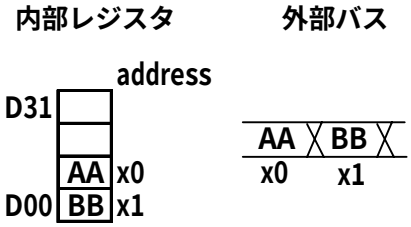
② ハーフワードアクセス

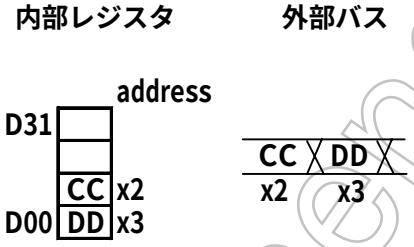
- 16 ビットバス幅の時



Not Recommended for New Design

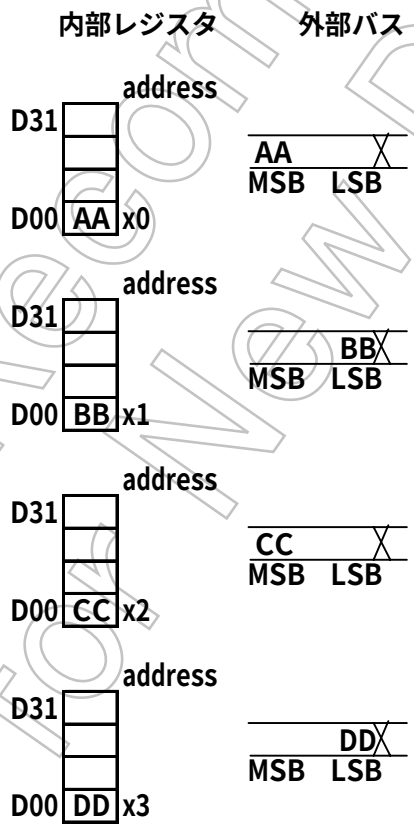
- 8 ビットバス幅の時





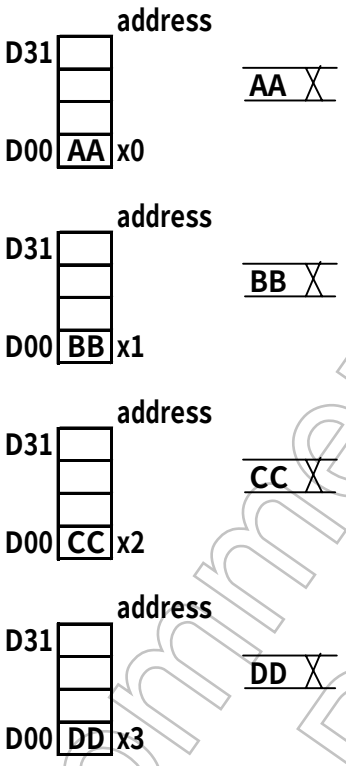
③ バイトアクセス

- 16 ビットバス幅の時



Not Recommended for New Design

- 8 ビットバス幅の時

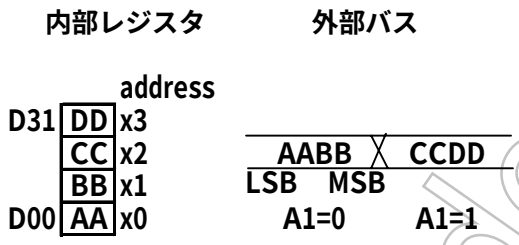


Not Recommended for New Design

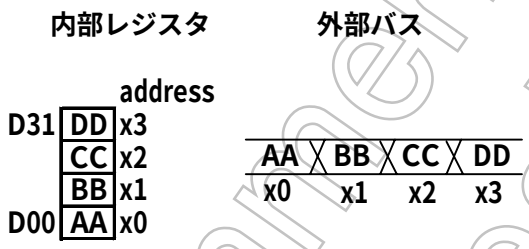
(2) リトルエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

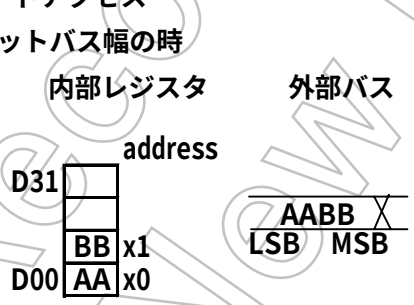


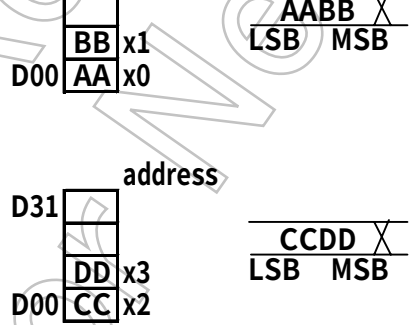
- 8 ビットバス幅の時



② ハーフワードアクセス

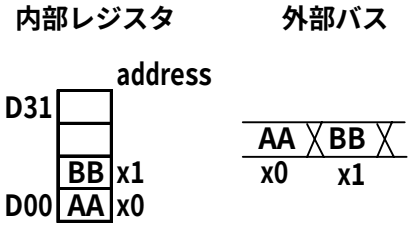
- 16 ビットバス幅の時

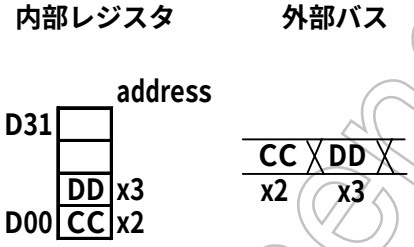




Not Recommended for New Design

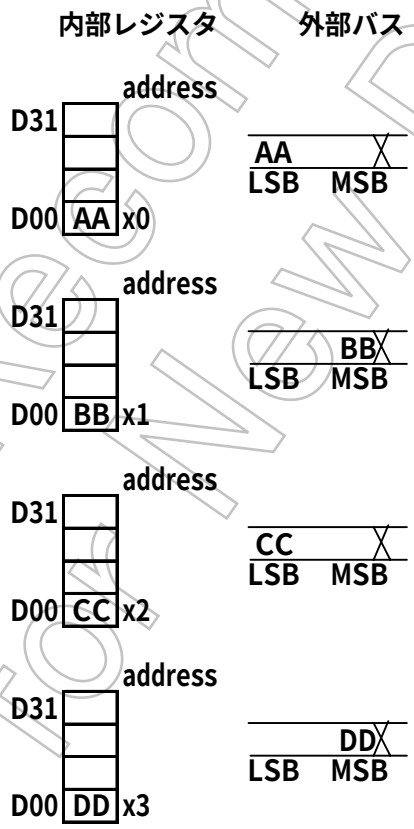
- 8 ビットバス幅の時





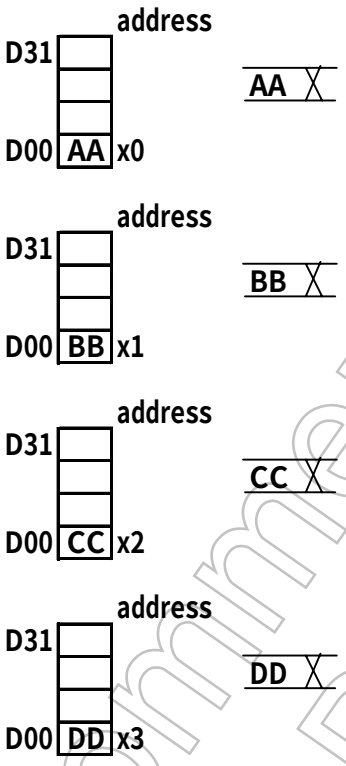
③ バイトアクセス

- 16 ビットバス幅の時



Not Recommended for New Design

- 8 ビットバス幅の時



Not Recommended for New Design

8.3 外部バスオペレーション（セパレートバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23～A0，D15～D0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP1962 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8.1にリードバスタイミングを、図 8.2にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり、$\overline{RD}$、$\overline{WR}$ などの制御信号もアクティブになりません。

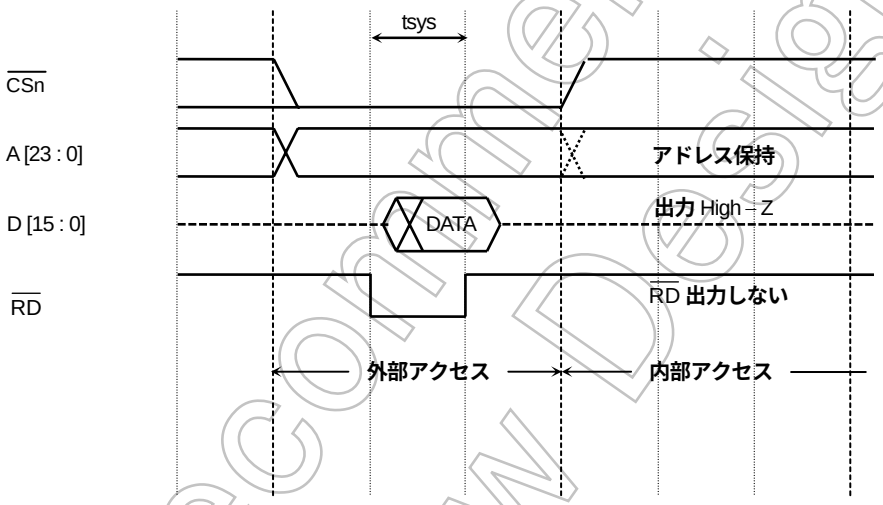


図 8.1 リードオペレーションタイミング図

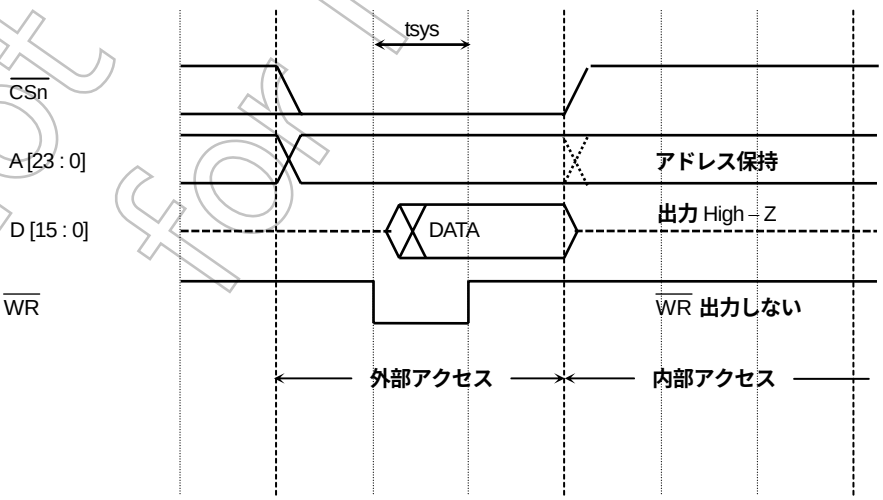


図 8.2 ライトオペレーションタイミング図

Not Recommended for New Design

(2) ウェイトタイミング

CS/ウェイトコントローラにより各ブロックごとにウェイトサイクルを挿入することができます。

挿入できるウェイトには次の 3 種類があります。

①最大 7 クロックまでの自動ウェイト挿入

② $\overline{\text{WAIT}}$ 端子によるウェイト挿入（1＋N、3＋N、5＋N、7＋N　N：外部ウェイト挿入数）

③$\overline{\text{RDY}}$端子によるウェイト挿入（1＋N、3＋N、5＋N、7＋N　N：外部ウェイト挿入数）

自動ウェイト数、外部ウェイト入力の設定は CS/ウェイトコントロールレジスタ BmnCS<BnW>で設定します。

注:「ALE 幅= fsys x 1.5 かつ BUSRQ 使用時には、wait 数を"+1"として設定して下さい。」

図 8.3～図 8.12 にウェイトを挿入したタイミング図を示します。

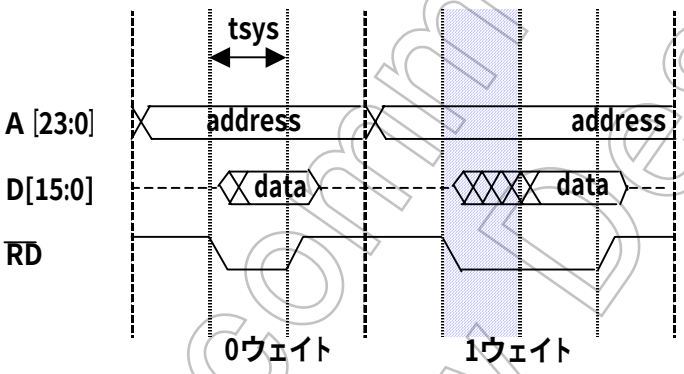


図 8.3 リードオペレーションタイミング図 (0 ウェイトおよび自動 1 ウェイト)

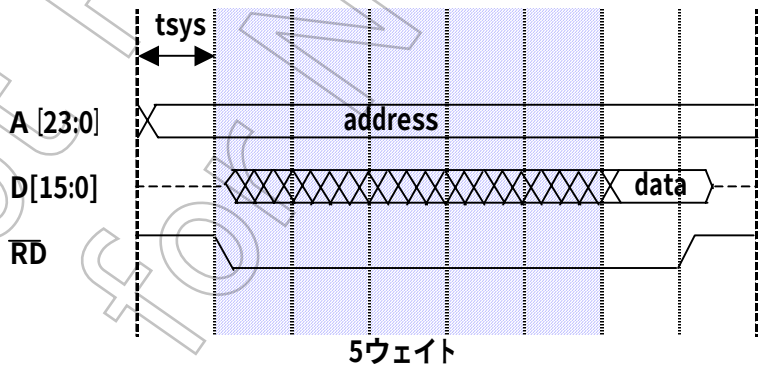


図 8.4 リードオペレーションタイミング図 (自動 5 ウェイト)

Not Recommended for New Design

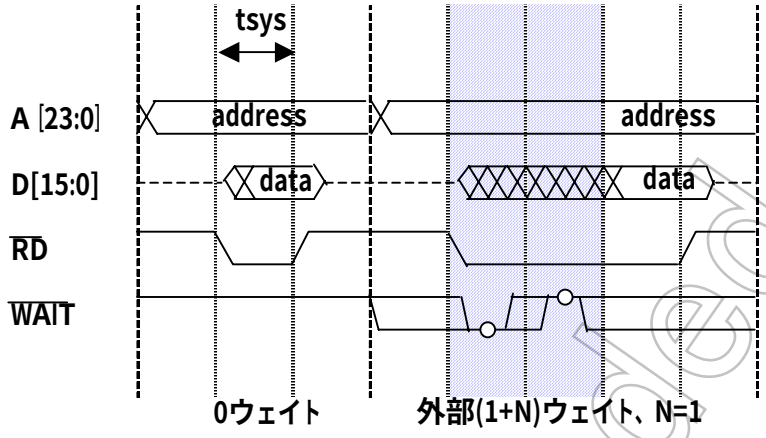


図 8.5 リードオペレーションタイミング図 (外部挿入(1 + N)ウェイト, N = 1)

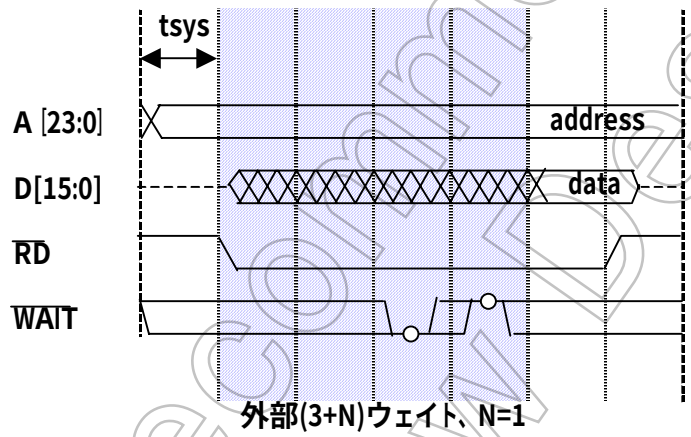


図 8.6 リードオペレーションタイミング図 (外部(3 + N)ウェイト, N = 1)

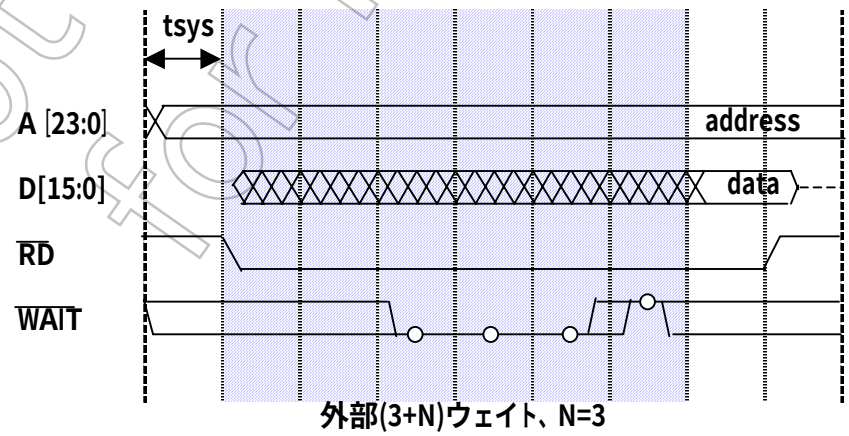


図 8.7 リードオペレーションタイミング図 (外部(3 + N)ウェイト, N =3)

Not Recommended for New Design

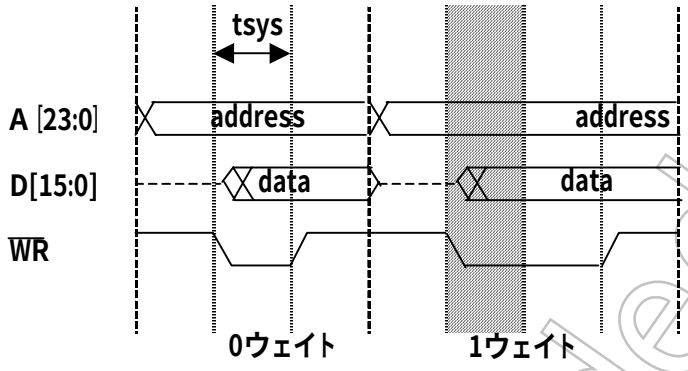


図 8.8 ライトオペレーションタイミング図 (0 ウェイトおよび自動 1 ウェイト)

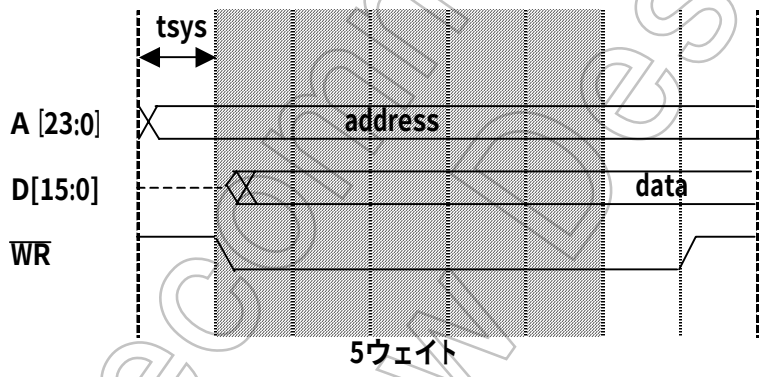


図 8.9 ライトオペレーションタイミング図 (自動 5 ウェイト)

Not Recommended for New Design

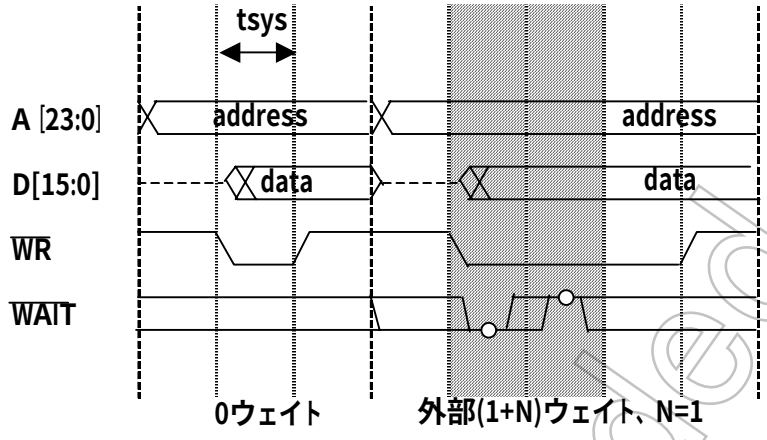


図 8.10 **ライトオペレーションタイミング図 (外部**(1 + N)**ウェイト**, N = 1)

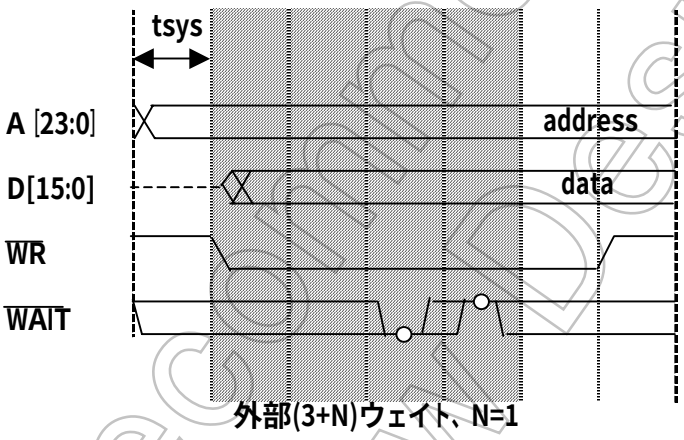


図 8.11 **ライトオペレーションタイミング図 (外部**(3 + N)**ウェイト**, N = 1)

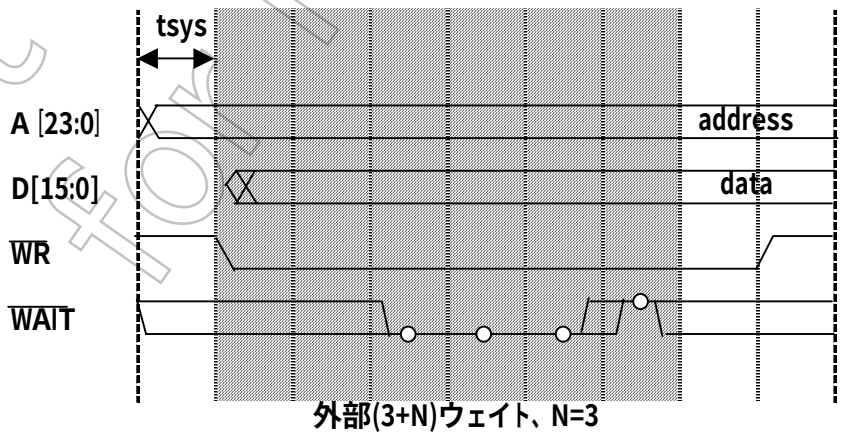


図 8.12 **ライトオペレーションタイミング図 (外部**(3 + N)**ウェイト**, N =3)

Not Recommended for New Design

ポート 3 ファンクションレジスタ P3FC のビット 3<P33F>を ”1” にセットすることにより、$\overline{\text{WAIT}}$ 入力端子（P33）は $\overline{\text{RDY}}$ 入力端子としても機能します。

$\overline{\text{RDY}}$ 入力は $\overline{\text{WAIT}}$ 入力の論理的反転で外部バスインタフェース回路に入力されます。CS/ウェイトコントロールレジスタ BmnCS<BnW>でウェイト数の設定を行います。

図 8.13～図 8.15 に $\overline{\text{RDY}}$ 入力とウェイト数の関係を示します。

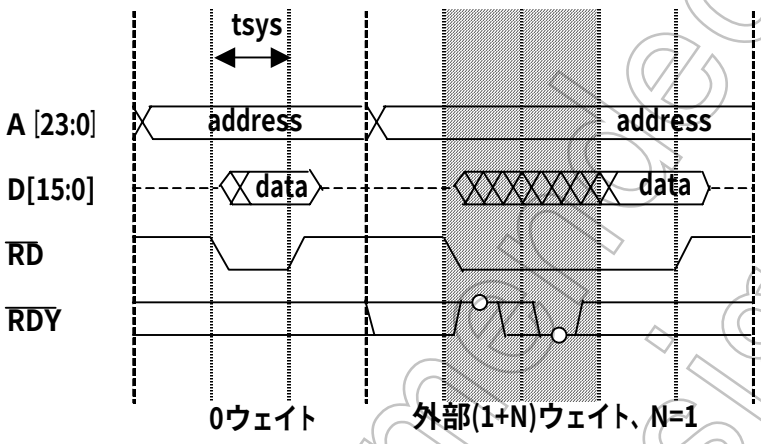


図 8.13 $\overline{\text{RDY}}$ 入力タイミング図 (外部(1 + N)ウェイト, N = 1)

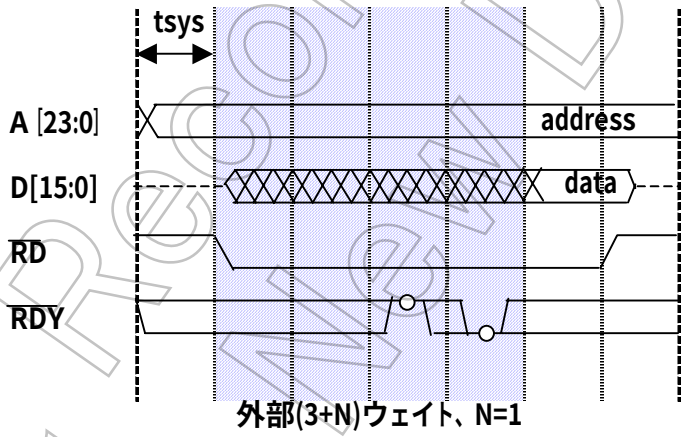


図 8.14 $\overline{\text{RDY}}$ 入力タイミング図 (外部(3 + N)ウェイト, N = 1)

Not Recommended for New Design

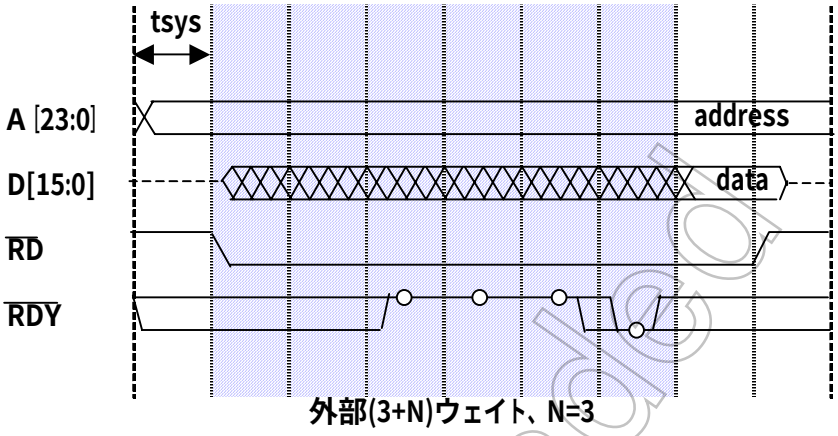


図 8.15 $\overline{\text{RDY}}$ 入力タイミング図 (外部(3＋N)ウェイト, N＝3)

(3) ALE アサート時間

TMP1962 の外部バスをマルチプレクスバスとして使用する時に ALE 幅（アサート時間）を設定できます。CG 部のシステムコントロールレジスタ SYSCR3 の<ALESEL>にて設定します。セパレートバスモードの場合には ALE は出力されませんが、SYSCR3<ALESEL>の値によりアドレス成立から $\overline{\text{RD}}$ または $\overline{\text{WR}}$ 信号のアサートされるまでの時間が変わります。リセット時は<ALESEL>＝”1”にセットされ、アドレス成立から 2 システムクロック（内部）後に $\overline{\text{RD}}$ または $\overline{\text{WR}}$ 信号がアサートされます。<ALESEL>を”0”にクリアすると、アドレス成立から 1 システムクロック（内部）後に前述信号はアサートされます。この設定は外部エリアのブロック毎には設定できず、外部アドレス空間で共通です。

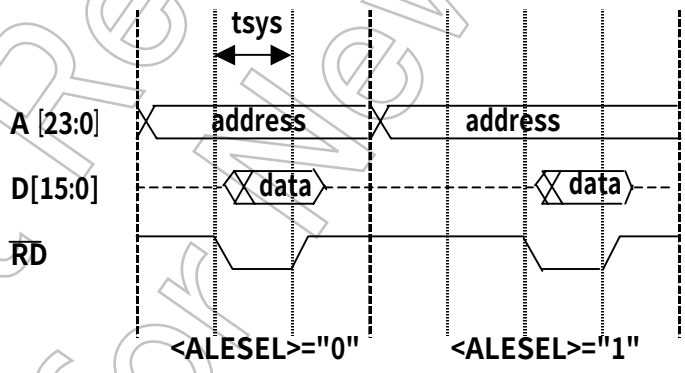


図 8.16 SYSCR3<ALESEL>設定値と外部バスオペレーション

注:「ALE 幅= fsys x 1.5 かつ BUSRQ 使用時には、wait 数を"+1"として設定して下さい。」

Not Recommended for New Design

(4) リカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については CS／ウェイトコントロールレジスタ BmnCS<BnWCV>（ライト・リカバリサイクル）、<BnRCV>（リード・リカバリサイクル）にて設定します。ダミーサイクル数は各ブロックごとに 1 システムクロック（内部）または 2 システムクロック（内部）を指定できます。図 8.17 にリカバリタイム挿入時のタイミング図を示します。

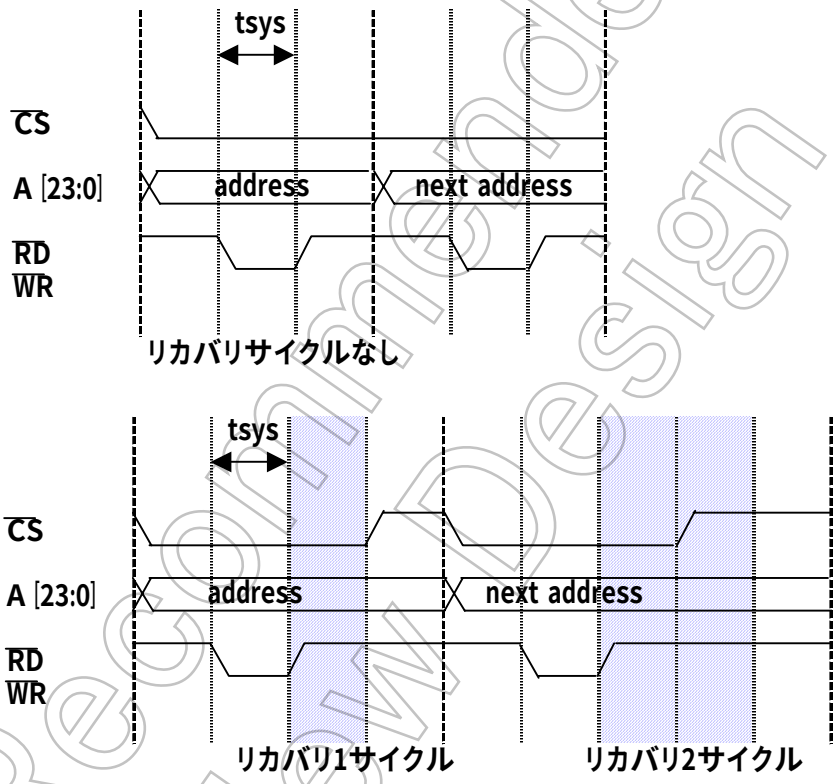


図 8.17 リカバリタイム挿入時のタイミング

Not Recommended for New Design

8.4 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23～A16，AD15～AD0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP1962 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8.18 にリードバスタイミングを、図 8.19 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出力しません。またアドレス/データバスはハイインピーダンスになり、$\overline{RD}$、$\overline{WR}$ などの制御信号もアクティブになりません。

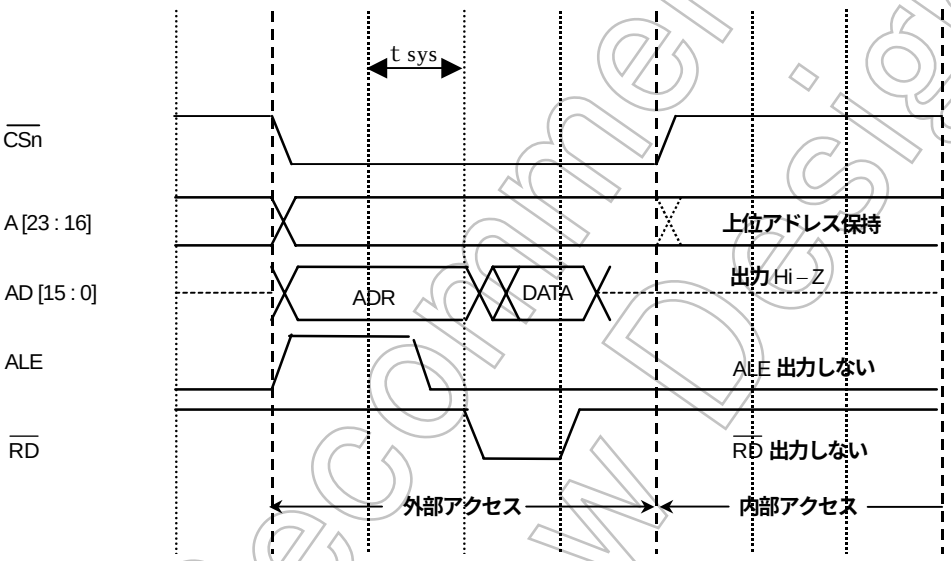


図 8.18 リードオペレーションタイミング図

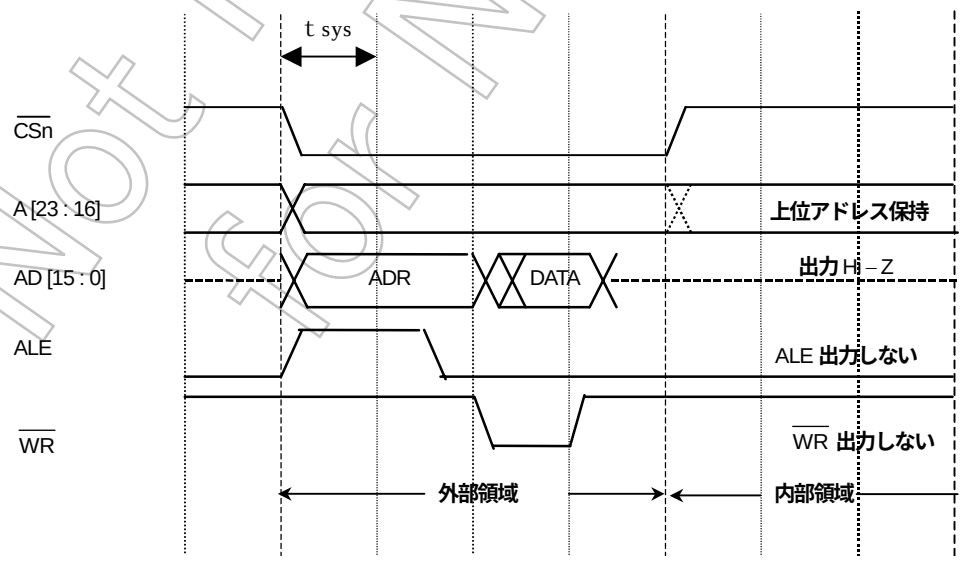


図 8.19 ライトオペレーションタイミング図

Not Recommended for New Design

(2) ウェイトタイミング

CS/ウェイトコントローラにより各ブロックごとにウェイトサイクルを挿入することができます。挿入できるウェイトには次の 3 種類があります。

①最大 7 クロックまでの自動ウェイト挿入

② $\overline{\text{WAIT}}$ 端子によるウェイト挿入（1＋N、3＋N、5＋N、7＋N　N：外部ウェイト挿入数）

③$\overline{\text{RDY}}$端子によるウェイト挿入（1＋N、3＋N、5＋N、7＋N　N：外部ウェイト挿入数）

自動ウェイト数、外部ウェイト入力の設定は CS/ウェイトコントロールレジスタ BmnCS<BnW>で設定します。

注:「ALE 幅= fsys x 1.5 かつ BUSRQ 使用時には、wait 数を"+1"として設定して下さい。」

図 8.20～図 8.29 にウェイトを挿入したタイミング図を示します。

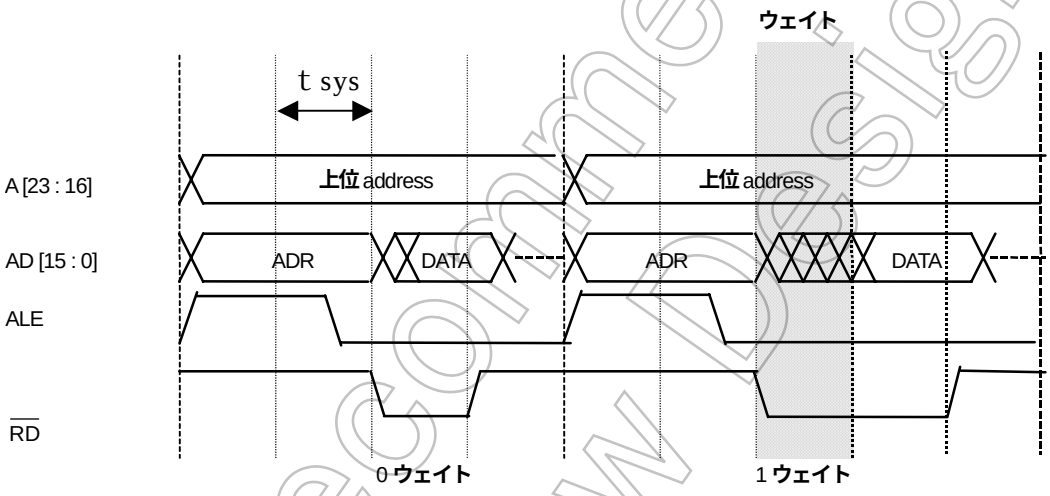


図 8.20 リードオペレーションタイミング図 (0 ウェイトおよび 1 ウェイト)

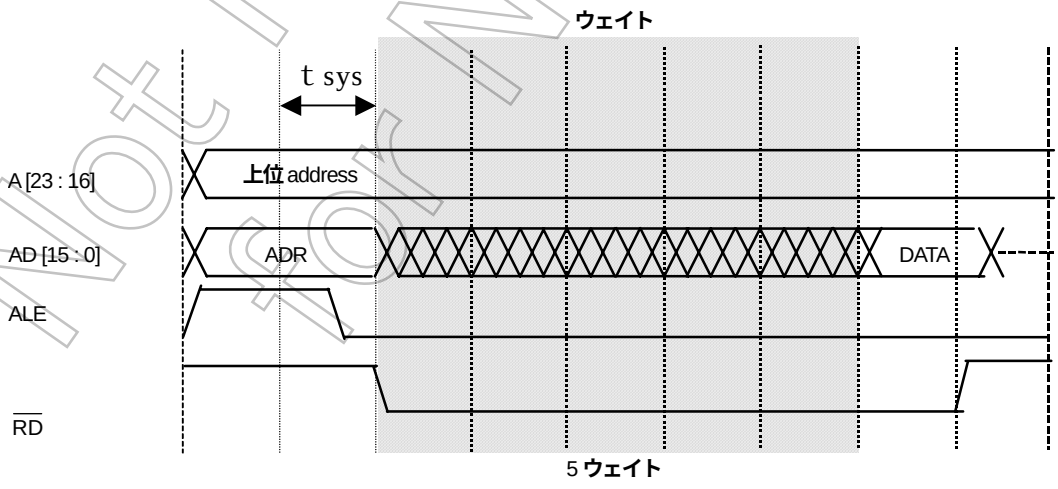


図 8.21 リードオペレーションタイミング図 (5 ウェイト)

Not Recommended for New Design

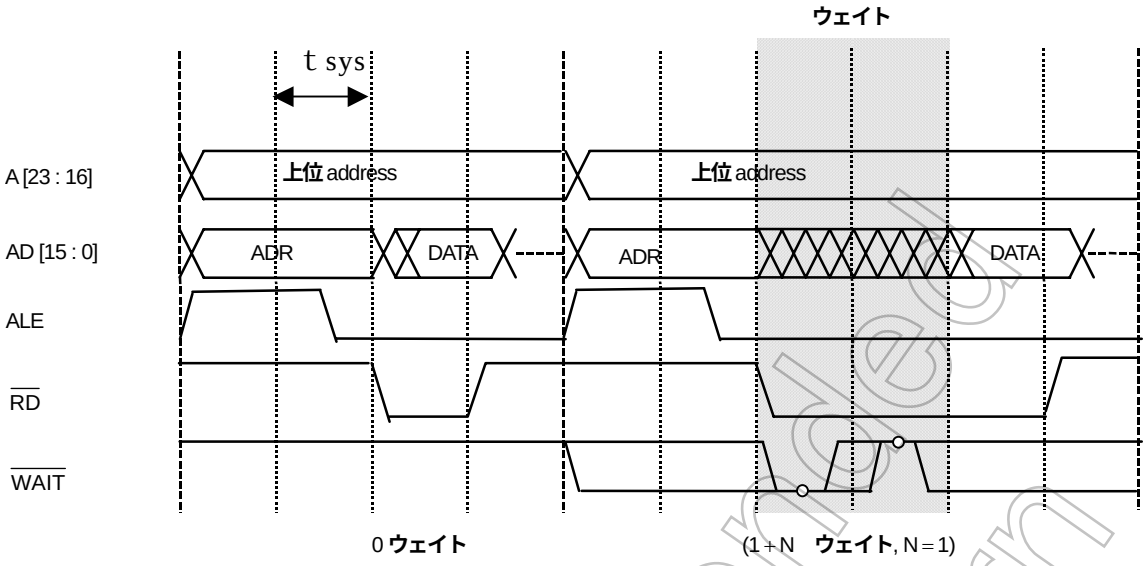


図 8.22 **リードオペレーションタイミング図** (1 + N **ウェイト**, N = 1)

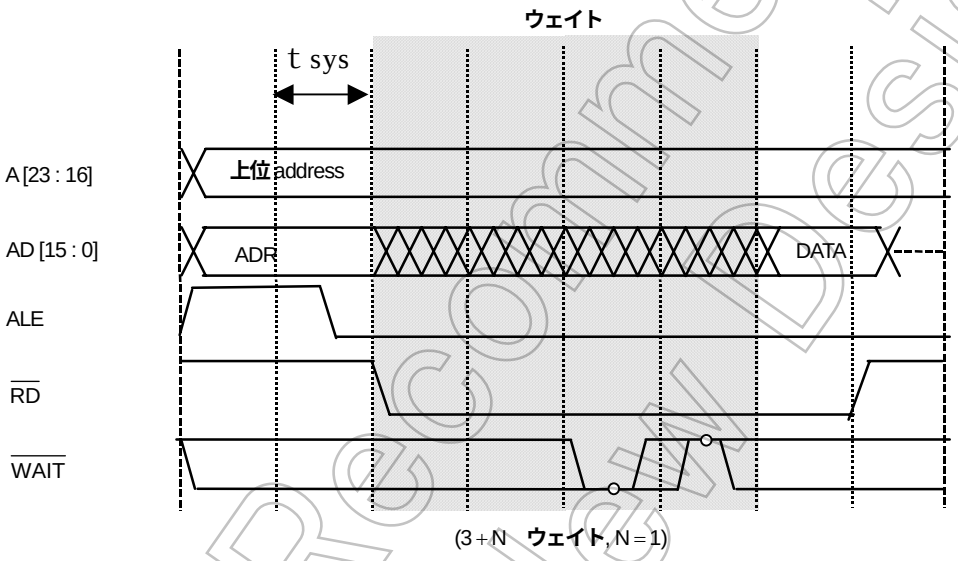


図 8.23 **リードオペレーションタイミング図** (3 + N **ウェイト**, N = 1)

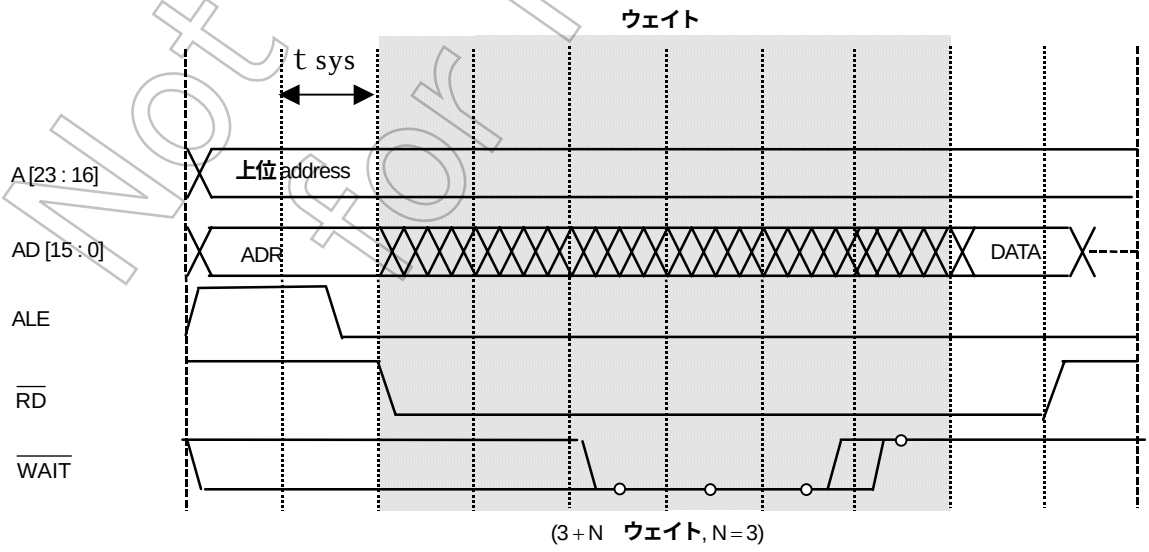


図 8.24 **リードオペレーションタイミング図** (3 + N **ウェイト**, N =3)

Not Recommended for New Design

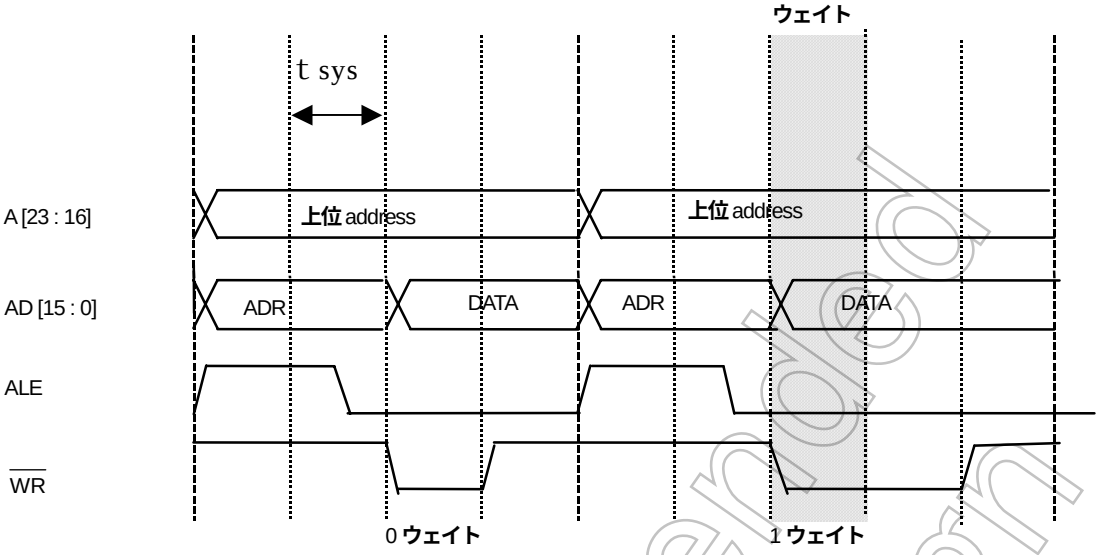


図 8.25 ライトオペレーションタイミング図 (0 ウェイトおよび 1 ウェイト)

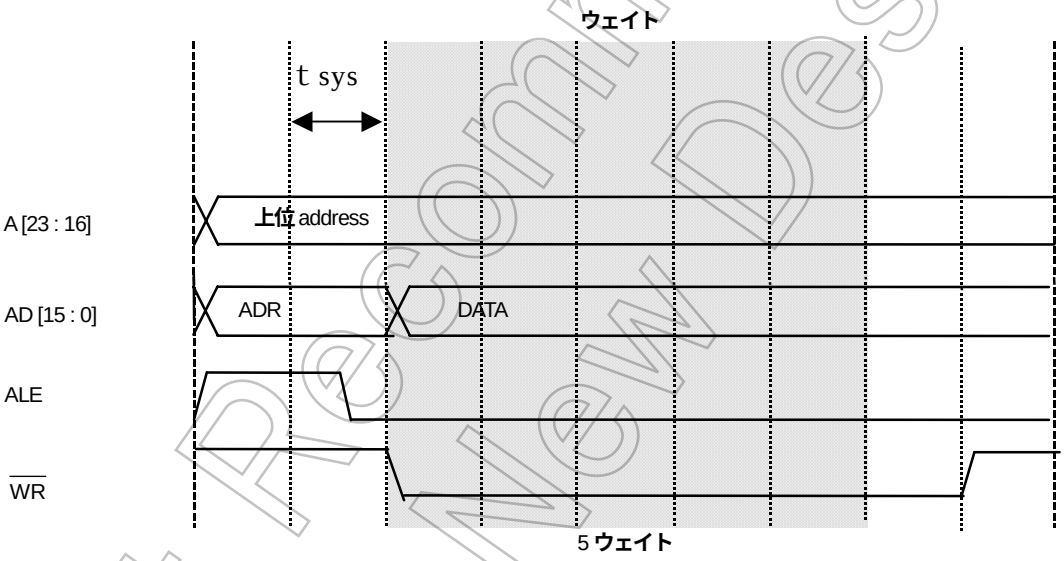


図 8.26 ライトオペレーションタイミング図 (5 ウェイト)

Not Recommended for New Design

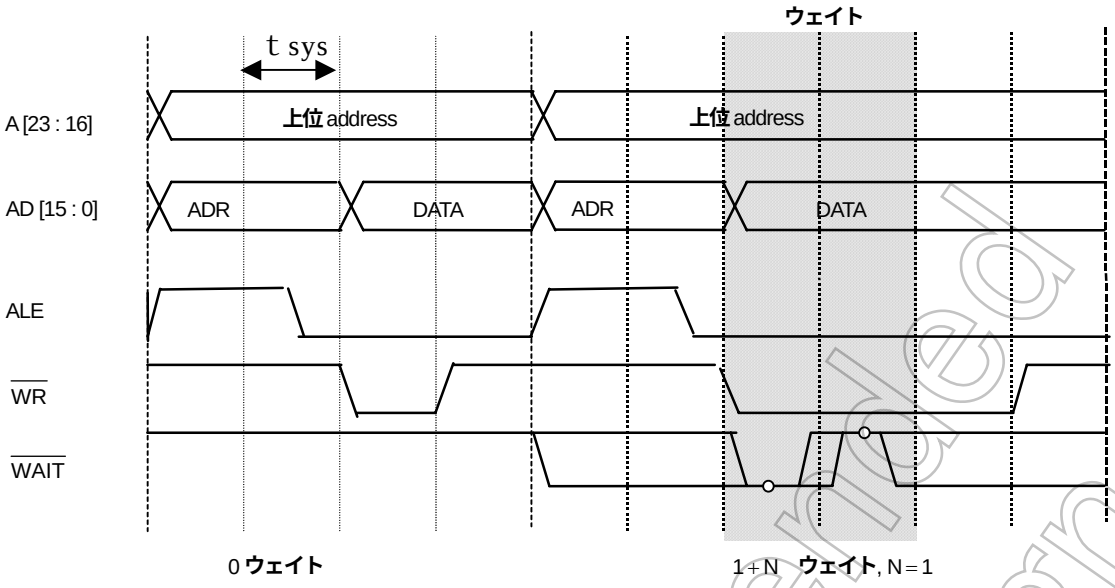


図 8.27 **ライトオペレーションタイミング図** (1 + N **ウェイト**, N = 1)

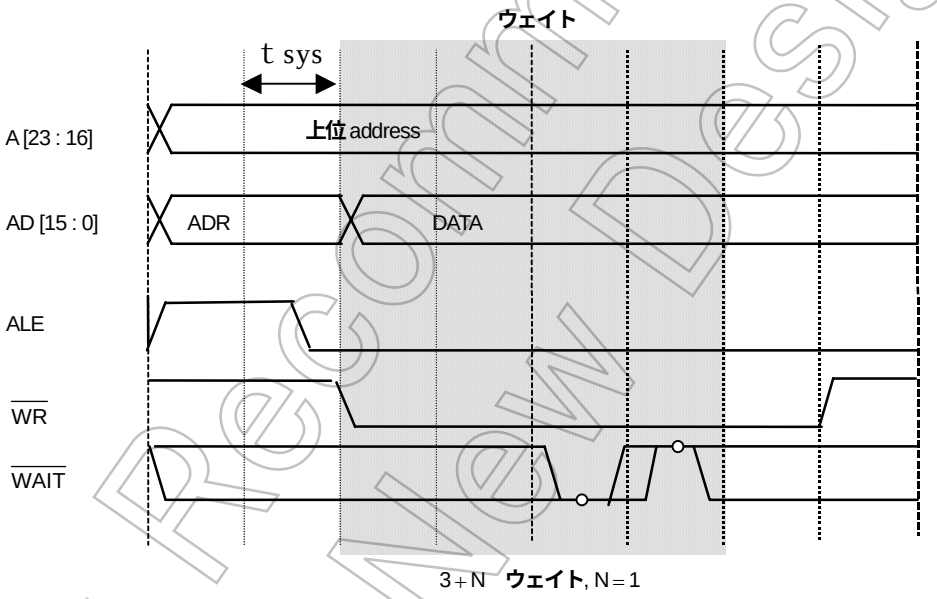


図 8.28 **ライトオペレーションタイミング図** (3 + N **ウェイト**, N = 1)

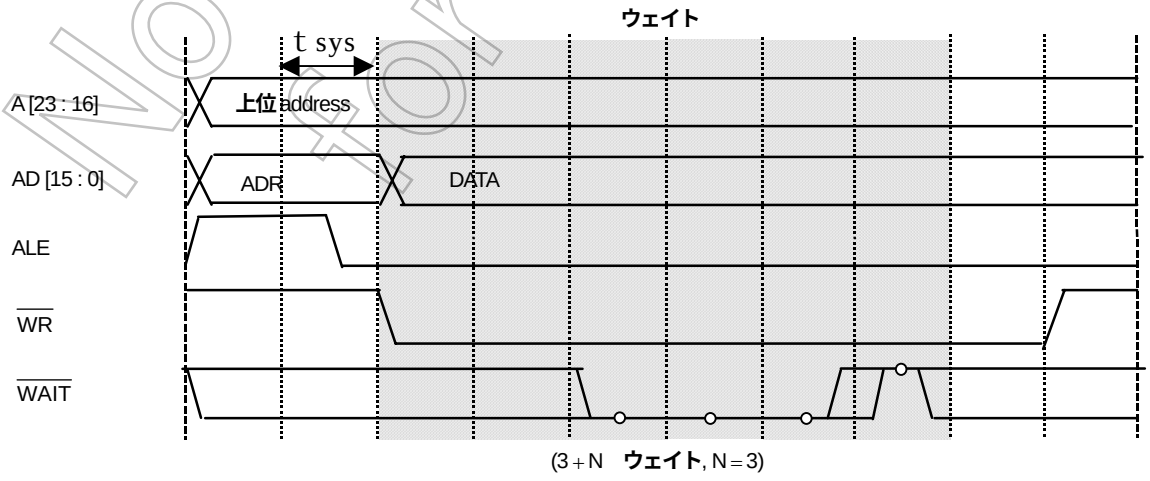


図 8.29 **ライトオペレーションタイミング図** (3 + N **ウェイト**, N =3)

Not Recommended for New Design

(3) ALE アサート時間

ALE アサート時間は、0.5 クロックと 1.5 クロックのどちらかを選択できます。設定用のビットはシステムクロック制御レジスタにあります。デフォルトは 1.5 クロックです。この設定は外部エリアのブロックごとには設定できず、外部アドレス空間で共通です。

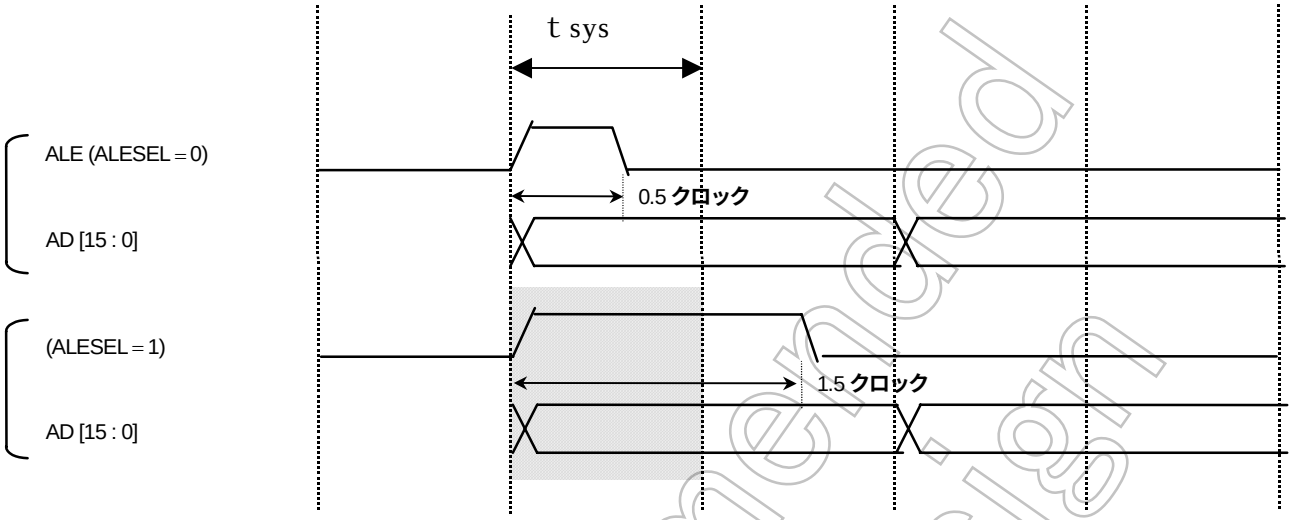


図 8.30 ALE のアサート時間

図 3.6.31 に ALE が 0.5 クロックのときと 1.5 クロックのときのタイミングを示します。

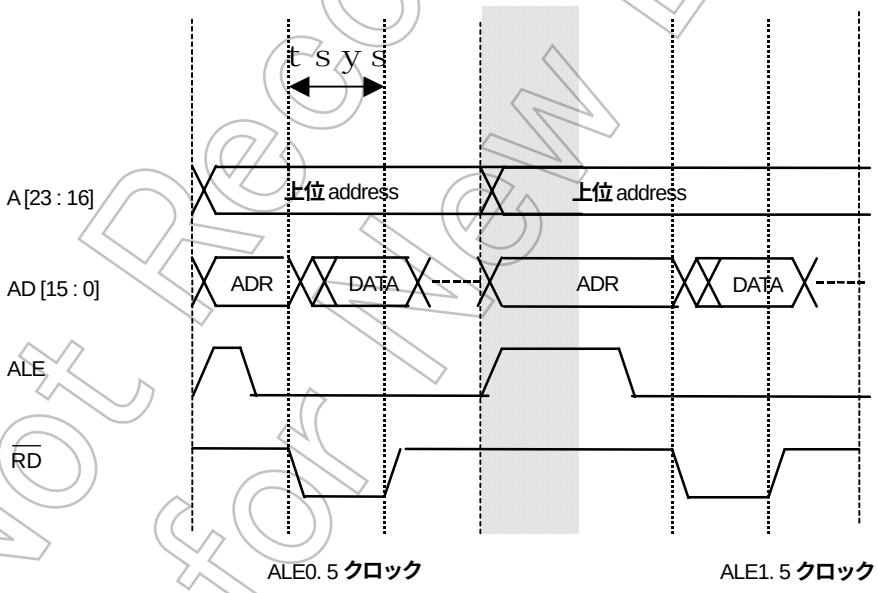


図 8.31 リードオペレーションタイミング図 (ALE 0.5 クロックおよび 1.5 クロック)

注:「ALE 幅= fsys x 1.5 かつ BUSRQ 使用時には、wait 数を"+1"として設定して下さい。」

Not Recommended for New Design

(4) リカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については CS／ウェイトコントロールレジスタ BmnCS<BnWCV>（ライト・リカバリサイクル）、<BnRCV>（リード・リカバリサイクル）にて設定します。ダミーサイクル数は各ブロックごとに 1 システムクロック（内部）または 2 システムクロック（内部）を指定できます。図 8.32 にリカバリタイム挿入時のタイミング図を示します。

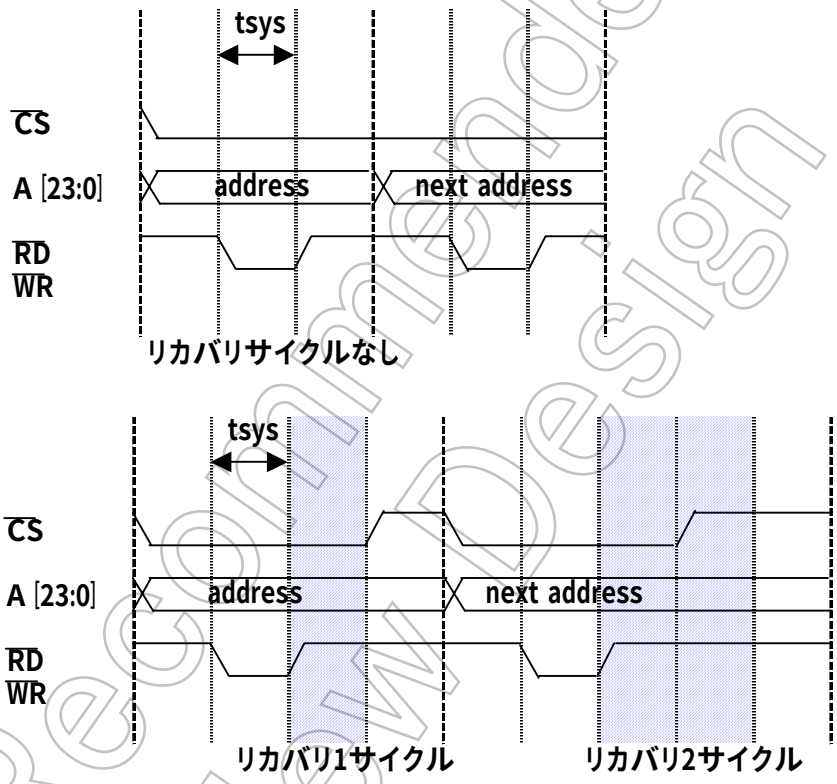


図 8.32 リカバリタイム挿入時のタイミング

Not Recommended for New Design

バスアービトレーション

TMP1962 は、外部にバスマスタを接続することができます。外部バスマスタとのバス制御権のアービトレーションは、$\overline{\text{BUSRQ}}$, $\overline{\text{BUSAK}}$ の 2 本の信号で行います。外部バスマスタが制御権を獲得できるバスは TMP1962 の外部バスだけで、内部のバスは獲得できません。

(1) 外部バスマスタのアクセス範囲

外部バスマスタが制御権を獲得できるバスは TMP1962 の外部バスだけで、内部のバス (G-BUS) は獲得できません。したがって外部バスマスタは、内蔵メモリおよび内蔵 I/O にアクセスすることはできません。この外部バスのバス権の調停は外部バスインタフェース回路 (EBIF) が行い、CPU や内蔵 DMAC は感知しません。外部バスマスタが外部のバス権を獲得しているときにも、CPU や内蔵 DMAC は内蔵の ROM,RAM やレジスタにはアクセスできます。他方、外部バスマスタが外部のバス権を獲得しているときに、CPU や内蔵 DMAC が外部のメモリにアクセスしようとすると、外部バスマスタがバスを解放するまで、CPU や内蔵 DMAC のバスサイクルにウェイトがかかります。このため $\overline{\text{BUSRQ}}$ をアクティブにしたままにすると、TMP1962 がロックする可能性があります。

(2) バス制御権の獲得

外部バスマスタは、$\overline{\text{BUSRQ}}$ 信号をアサートすることで、TMP1962 に対してバス制御権を要求します。TMP1962 は、内部のバス (G-BUS) 上での外部バスサイクルの切れ目で $\overline{\text{BUSRQ}}$ 信号をサンプリングして、外部バスマスタにバス制御権を与えるかどうか判断します。バス制御権を外部バスマスタに与えるときは $\overline{\text{BUSAK}}$ 信号をアサートします。また同時にアドレスバス、データバスおよびバス制御信号 ($\overline{\text{RD}}$、$\overline{\text{WR}}$) をハイインピーダンス状態にします (R/$\overline{\text{W}}$、$\overline{\text{HWR}}$、$\overline{\text{CSx}}$ は内蔵 Pull-up イネーブルの状態になります)。

ロード，ストアのデータサイズと外部メモリのバス幅の関係で、１回のデータ転送に対して複数回のバスサイクルが発生することがあります (バスサイジング)。このときは最後のバスサイクルの終了時点が外部バスサイクルの切れ目になります。

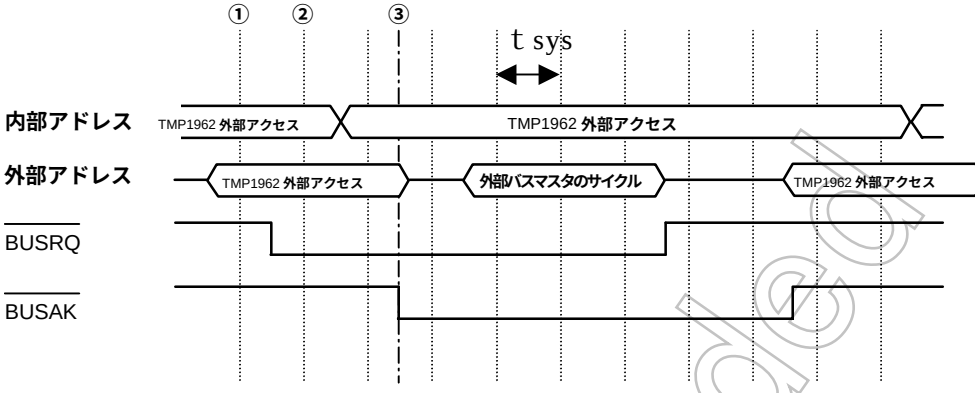
TMP1962 では、外部アクセスが連続した場合にダミーサイクルを挿入することができます。この場合にもバス要求が受け付けられるのは、内部バス (G-BUS) 上での外部バスサイクルの切れ目です。ダミーサイクル中にはすでに次の外部バスサイクルが内部バス上では起動されていますので、ダミーサイクル中に $\overline{\text{BUSRQ}}$ 信号がアサートされてもバスが解放されるのは次の外部バスサイクルが終了したときになります。

$\overline{\text{BUSRQ}}$ 信号は、バス制御権を解放するまでアサートし続けてください。

外部バスマスタによるバス制御権の獲得タイミングを図 8.33 に示します。

注:「ALE 幅= fsys x 1.5 かつ BUSRQ 使用時には、wait 数を"+1"として設定して下さい。」

Not Recommended for New Design



① $\overline{\text{BUSRQ}}$ **が** "H" **レベルです。**

② TMP1962 **は、**$\overline{\text{BUSRQ}}$ **が** "L" **レベルであることを認識してバスサイクル終了時にバスを解放します。**

③ TMP1962 **はバスの終了にともない**$\overline{\text{BUSAK}}$ **をアサートします。外部バスマスタは、**$\overline{\text{BUSAK}}$ **が** "L" **レベルであることを認識してバス制御権を獲得し、バスオペレーションを開始します。**

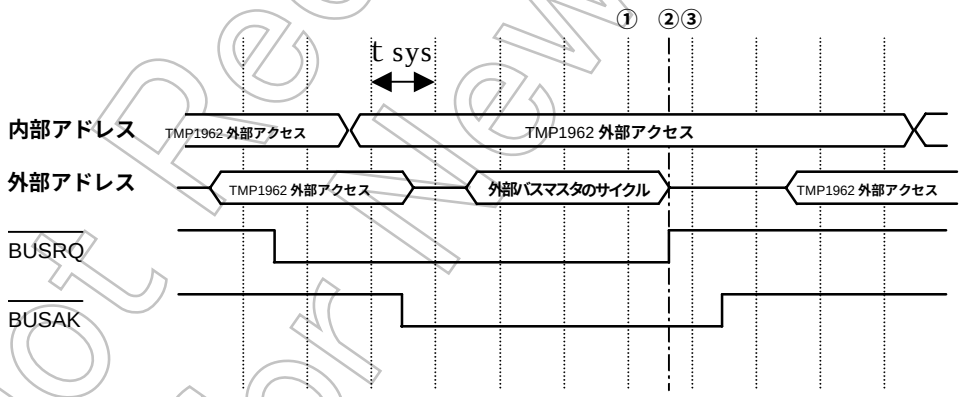
図 8.33 **バス制御権の獲得タイミング**

(3) バス制御権の解放

外部バスマスタがバス制御権を解放するのは、バス制御権が不要になった場合です。

外部バスマスタは、獲得していたバス制御権が不要になると、$\overline{\text{BUSRQ}}$ 信号をデアサートしてバス制御権を TMP1962 に返します。

バス制御不要による解放のタイミングを図 3.6.34 に示します。



① **外部バスマスタがバス制御権を持っています。**

② **外部バスマスタはバス制御権が不要になったので、**$\overline{\text{BUSRQ}}$ **をデアサートします。**

③ TMP1962 **は、**$\overline{\text{BUSRQ}}$ **が** "H" **レベルであることを認識して、**$\overline{\text{BUSAK}}$ **をデアサートします。**

図 8.34 **バス制御権の解放タイミング**

Not Recommended for New Design

9. チップセレクト/ウェイトコントローラ

TMP1962 は、外部デバイス（I/O デバイス、ROM、および、SRAM）に接続することができます。

TMP1962 は、任意の 4 ブロックのアドレス空間（CS0～3 空間）を設定し、各アドレス空間とそれ以外のアドレス空間に対して、データバス幅、ウェイト数、ダミーサイクル数を指定することができます。

$\overline{CS0}$～$\overline{CS3}$（P40～P43 と兼用）は、CS0～CS3 空間に対応した出力端子です。この端子は、CPU 動作により CS0～CS3 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号（ROM/SRAM 用）を出力します。ただし、チップセレクト信号を出力するためには、ポート 4 コントロールレジスタ（P4CR）とポート 4 ファンクションレジスタ（P4FC）による設定が必要です。

CS0～CS3 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0～BMA3）にてベースアドレス(BAn，n=0～3）とマスクアドレス（MAn，n=0～3）の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数、ダミーサイクル数は、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS、BEXCS）で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子（$\overline{WAIT}$）があります。

9.1 アドレス空間指定

CS0~CS3 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0~BMA3）により行います。

バスサイクルごとに、バス上のアドレスを CS0~CS3 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して $\overline{CS0}$~$\overline{CS3}$ 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS）で設定した動作を実行します（「9.2 チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

9.1.1 ベース/マスクアドレス設定レジスタ

図 9.1,図 9.2 に、ベース/マスクアドレス設定レジスタを示します。ベースアドレス(BA0~BA3）には、CS0~CS3 空間のスタートアドレスを設定します。チップセレクト/ウェイトコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、マスクアドレス（MA0 ~ MA3）でマスクされているアドレスビットはアドレスの比較対象にはなりません。マスクアドレスの設定によって、アドレス空間のサイズが決まります。

(1) ベースアドレス

ベースアドレス BAn には、スタートアドレスの上位 16 ビット（A31~A16）を設定します。また、スタートアドレスの下位 16 ビット（A15~A0）には、常に “0” が設定されています。したがって、スタートアドレスは、0x0000_0000 から 64 K バイトごとの値になります。

図 9.3にスタートアドレスと BAn の値の関係を示します。

(2) マスクアドレス

マスクアドレス（MAn）は、アドレスのどのビットの値を比較するか、しないかを設定します。アドレスマスク MAn に “0” をライトしたビットに対応するバス上のアドレスが、CS0~CS3 空間の領域かどうかの比較対照となり、“1” をライトしたビットは比較の非対称になります。

CS0~CS3 空間は、それぞれ MA0~MA3 によってマスクできるアドレスビットが異なります。

CS0 空間、CS1 空間: A29 ~ A14

CS2 空間、CS3 空間: A30 ~ A15

(注) アドレス設定は物理アドレスを設定してください。

Not Recommended for New Design

ベース/マスクアドレス設定レジスタ　BMA0（0xFFFF_E400H)～BMA3（0xFFFF_E40CH)

BMA0
(0xFFFF_E400)

	31	30	29	28	27	26	25	24
bit Symbol	BA0							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA0							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA0							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	1	1
機　能	かならず "0" をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol	MA0							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	CS0 空間サイズ設定　0:アドレス比較対照							

BMA1
(0xFFFF_E404)

	31	30	29	28	27	26	25	24
bit Symbol	BA1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	1	1
機　能	かならず "0" をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol	MA1							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	CS1 空間サイズ設定　0: アドレス比較対照							

(注)　BMA0、BMA1 のビット 10~15 にはかならず "0" をライトしてください。
CS0、CS1 空間は最小 16 KB エリアから、最大 1 GB エリアまで設定可能ですが、TMP1962 では外部アドレス空間は 16 MB なので A24~A29 のアドレスをマスクしないためビット 10~15 を "0" に設定します。

図 9.1 ベースアドレス/マスクアドレス設定レジスタ (BMA0, BMA1)

Not Recommended for New Design

BMA2 (0xFFFF_E408)

	31	30	29	28	27	26	25	24
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機　能	かならず “0” をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol	MA2							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	CS2 空間サイズ設定　0: アドレス比較対照							

BMA3 (0xFFFF_E40C)

	31	30	29	28	27	26	25	24
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	スタートアドレス A31~A24 設定							
	23	22	21	20	19	18	17	16
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	スタートアドレス A23~A16 設定							
	15	14	13	12	11	10	9	8
bit Symbol	MA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機　能	かならず “0” をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol	MA3							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	CS3 空間サイズ設定　0: アドレス比較対照							

(注)　BMA2、BMA3 のビット 9~15 にはかならず “0” をライトしてください。
CS2、CS3 空間は最小 32 KB エリアから、最大 2 GB エリアまで設定可能ですが、TMP1962 では外部アドレス空間は 16 MB なので A24~A30 のアドレスをマスクしないためビット 9~15 を “0” に設定します。

図 9.2 **ベースアドレス/マスクアドレス設定レジスタ** (BMA2, BMA3)

Not Recommended for New Design

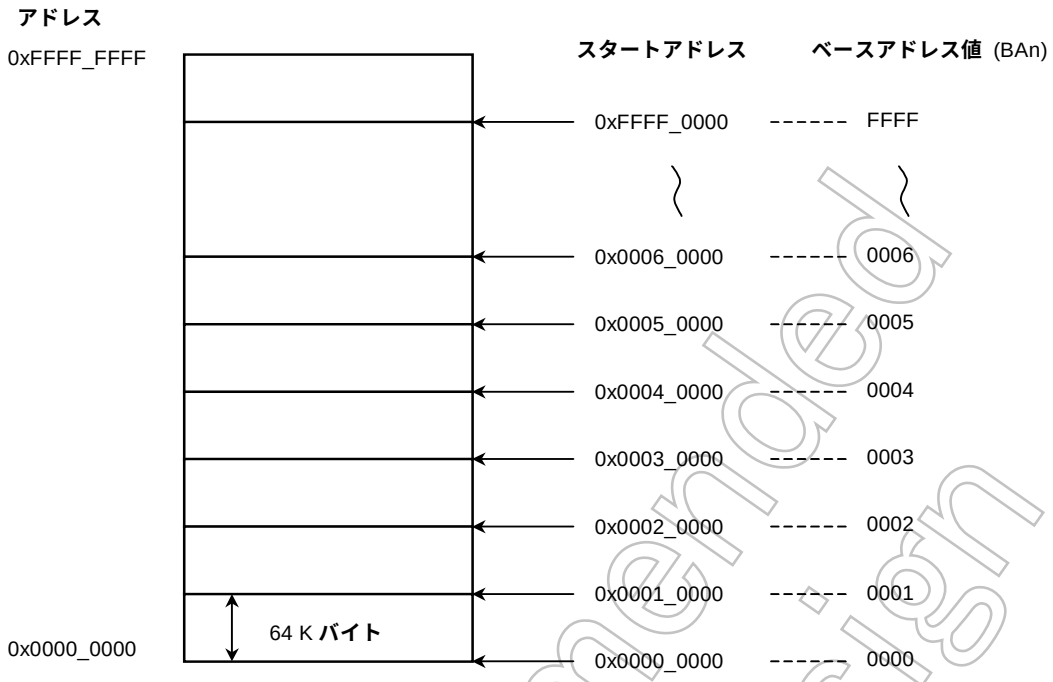
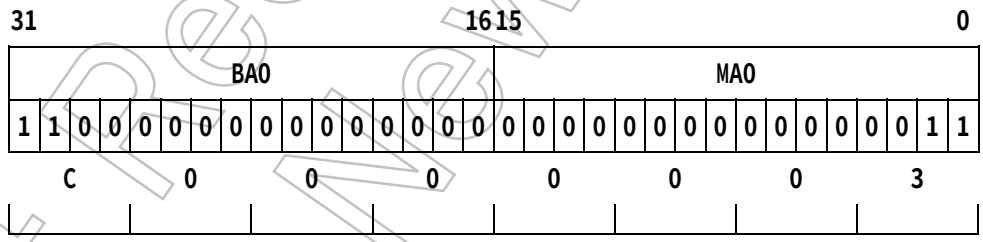


図 9.3 スタートアドレスとベースアドレスレジスタ値の関係

9.1.2 スタートアドレス、アドレス空間の設定方法

- **CS0 空間を用いて、0xC000_0000 から始まる 64 K バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。**



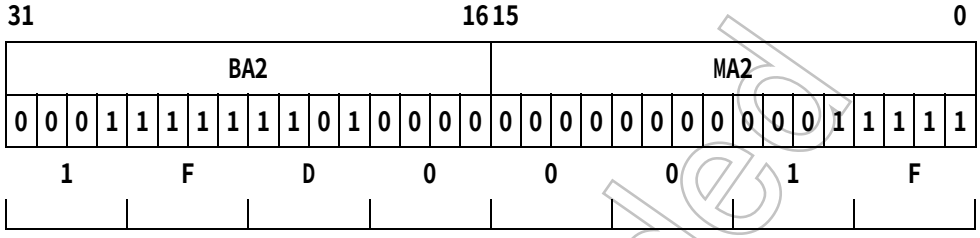
ベース/マスクアドレスレジスタ（BMA0）設定値

ベースアドレス（BA0）に、スタートアドレスの上位 16 ビットに相当する “ 0xC000 ” を設定します。マスクアドレス（MA0）は、A29 ~ A14 のアドレス比較を行うか、行わないかを設定します。A31、A30 はかならず比較が行われ、A29 ~ A24 についてはかならず比較が行われるようにマスクアドレス（MA0）のビット 15 ~ 10 には “ 0 ” を設定します。

上記のように設定すると、A31 ~ A16 までがスタートアドレスとして設定された値と比較されます。従って、0xC000_0000 ~ 0xC000_FFFF の 64 K バイトが CS0 空間として設定され、バス上のアドレスと一致すれば $\overline{\text{CS0}}$ 信号がアサートされます。

Not Recommended for New Design

- CS2 空間を用いて、0x1FD0_0000 から始まる 1 M バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベース/マスクアドレスレジスタ（BMA2）設定値

ベースアドレス（BA2）に、スタートアドレスの上位 16 ビットに相当する “0x1FD0” を設定します。マスクアドレス（MA2）は、A30 ~ A15 のアドレス比較を行うか、行わないかを設定します。A31 はかならず比較が行われ、A30 ~ A20 についてはかならず比較が行われるようにマスクアドレス（MA2）のビット 15 ~ 5 には “0” を設定します。

上記のように設定すると、A31 ~ A20 までがスタートアドレスとして設定された値と比較されます。この場合、A19 ~ A0 はマスクされるので、0x1FD0_0000 ~ 0x1FDF_FFFF の 1 M バイトが CS2 空間として設定されます。

(注) TMP1962 では次のアドレス空間に対しては $\overline{CSn}$ 信号がアサートされません。
0x1FC0_0000 ~ 0x1FCF_FFFF
0x4000_0000 ~ 0x400F_FFFF
0xFFFD_6000 ~ 0xFFFD_FFFF、0xFFFF_6000 ~ 0xFFFF_DFFF

リセット後、CS0、CS1、CS3 空間はディセーブルになりますが、CS2 空間は全アドレス空間（4 GB）でイネーブルになります。

Not Recommended for New Design

表 9表 9.1 に CS 空間と空間サイズの関係を示します。なお、2 つ以上のアドレス空間を重ねて指定した場合には CS 空間番号の小さい方が優先的に選択されます。

(例) CS0 空間の開始アドレスを 0xC000_0000、空間サイズを 16 K バイト
CS1 空間の開始アドレスを 0xC000_0000、空間サイズを 64 K バイト

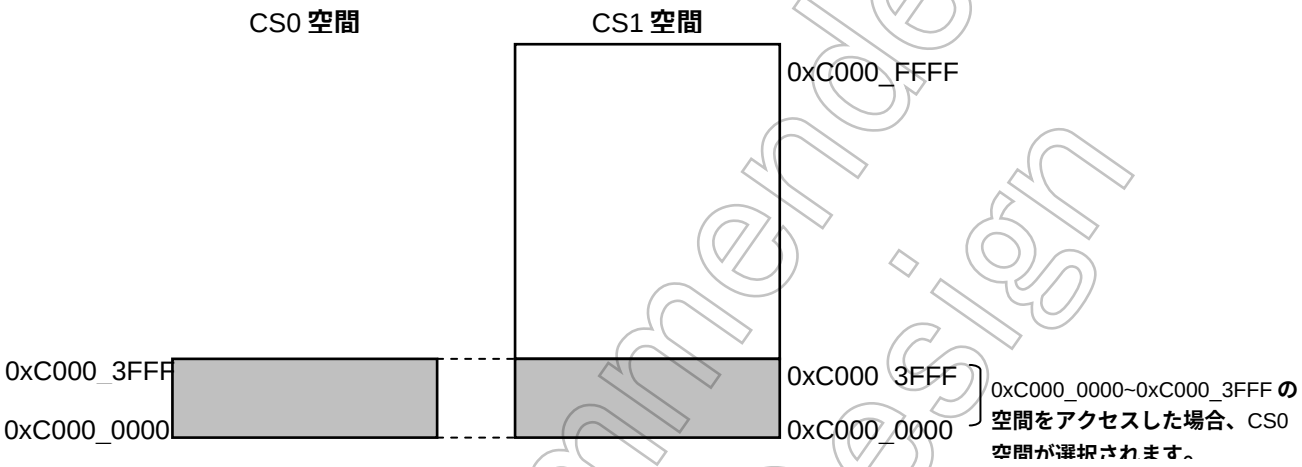


表 9.1 CS 空間と空間サイズ

CS 空間 \ サイズ (バイト)	16 K	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M	16 M
CS0	○	○	○	○	○	○	○	○	○	○	○
CS1	○	○	○	○	○	○	○	○	○	○	○
CS2		○	○	○	○	○	○	○	○	○	○
CS3		○	○	○	○	○	○	○	○	○	○

Not Recommended for New Design

9.2 チップセレクト/ウェイトコントローラ

図 9.6－図 9.8 に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間（CS0~CS3 空間と、それ以外のアドレス空間）は、それぞれのチップセレクト/ウェイトコントロールレジスタ（B01CS~B23CS、BEXCS）により、マスタイネーブル/ディセーブル、、データバス幅選択、ウェイト数設定、ダミーサイクルの挿入を行うことができます。

また、2 つ以上のアドレス空間を重ねて設定した場合は、CS 空間番号の小さい方が優先的に選択されます。（優先順位は、CS0>CS1>CS2>CS3>EXCS）

B01CS (0xFFFF_E480), B23CS (0xFFFF_E484), BEXCS (0xFFFF_E488)

B01CS (FFFFE480)

	31	30	29	28	27	26	25	24
bit Symbol			B1WCV		B1E		B1RCV	
Read/Write			R/W		R/W		R/W	
リセット後			0	0	0		0	0
機　能			挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾗｲﾄ・ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS1 イネーブル 0: ディセーブル 1: イネーブル		挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾘｰﾄﾞ・ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

	23	22	21	20	19	18	17	16
bit Symbol	B1OM			B1BUS	B1W			
Read/Write	R/W			R/W				
リセット後	0	0		0	0	1	0	1
機　能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 （自動 WAIT 挿入） 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT （外部 WAIT 入力） 1001: (1+N) WAIT 1011: (3+N) WAIT 1101: (5+N) WAIT 1111: (7+N) WAIT 1000,1010,1100,1110: reserved			

	15	14	13	12	11	10	9	8
bit Symbol			B0WCV		B0E		B0RCV	
Read/Write			R/W		R/W		R/W	
リセット後			0	0	0		0	0
機　能			挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾗｲﾄ・ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS0 イネーブル 0: ディセーブル 1: イネーブル		挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾘｰﾄﾞ・ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

	7	6	5	4	3	2	1	0
bit Symbol	B0OM			B0BUS	B0W			
Read/Write	R/W			R/W				
リセット後	0	0		0	0	1	0	1
機　能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 （自動 WAIT 挿入） 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT （外部 WAIT 入力） 1001: (1+N) WAIT 1011: (3+N) WAIT 1101: (5+N) WAIT 1111: (7+N) WAIT 1000,1010,1100,1110: reserved			

図 9.6 チップセレクト/ウェイトコントロールレジスタ

注:「ALE 幅= fsys x 1.5 かつ BUSRQ 使用時には、wait 数を"+1"として設定して下さい。」

Not Recommended for New Design

B23CS
(0xFFFF_E484)

	31	30	29	28	27	26	25	24
bit Symbol			B3WCV		B3E		B3RCV	
Read/Write			R/W		R/W		R/W	
リセット後			0	0	0		0	0
機　能			挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾗｲﾄ･ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS3 イネーブル 0: ディセーブル 1: イネーブル		挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾘｰﾄﾞ･ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

	23	22	21	20	19	18	17	16
bit Symbol	B3OM			B3BUS	B3W			
Read/Write	R/W			R/W				
リセット後	0	0		0	0	1	0	1
機　能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 （自動 WAIT 挿入） 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT （外部 WAIT 入力） 1001: (1+N) WAIT 1011: (3+N) WAIT 1101: (5+N) WAIT 1111: (7+N) WAIT 1000,1010,1100,1110: reserved			

	15	14	13	12	11	10	9	8
bit Symbol			B2WCV		B2E	B2M	B2RCV	
Read/Write			R/W		R/W			
リセット後			0	0	1	0	0	0
機　能			挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾗｲﾄ･ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS2 イネーブル 0: ディセーブル 1: イネーブル	CS2 空間選択 0: 4G バイト空間 1: CS 空間	挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾘｰﾄﾞ･ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

	7	6	5	4	3	2	1	0
bit Symbol	B2OM			B2BUS	B2W			
Read/Write	R/W			R/W				
リセット後	0	0		0	0	1	0	1
機　能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 （自動 WAIT 挿入） 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT （外部 WAIT 入力） 1001: (1+N) WAIT 1011: (3+N) WAIT 1101: (5+N) WAIT 1111: (7+N) WAIT 1000,1010,1100,1110: reserved			

図 9.7　**チップセレクト/ウェイトコントロールレジスタ**

注:「ALE 幅= fsys x 1.5 かつ BUSRQ 使用時には、wait 数を"+1"として設定して下さい。」

Not Recommended for New Design

BEXCS (0xFFFF_E48A)

	15	14	13	12	11	10	9	8
bit Symbol			BEXWCV				BEXRCV	
Read/Write			R/W		R/W		R/W	
リセット後			0	0	0		0	0
機　能			挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾗｲﾄ･ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止				挿入ﾀﾞﾐｰｻｲｸﾙ数設定 (ﾘｰﾄﾞ･ﾘｶﾊﾞﾘﾀｲﾑ) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

	7	6	5	4	3	2	1	0
bit Symbol	BEXOM			BEXBUS	BEXW			
Read/Write	R/W			R/W				
リセット後	0	0		0	0	1	0	1
機　能	チップセレクト出力波形選択 00: ROM/RAM 他は設定しないでください			データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 （自動 WAIT 挿入） 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT （外部 WAIT 入力） 1001: (1+N) WAIT 1011: (3+N) WAIT 1101: (5+N) WAIT 1111: (7+N) WAIT 1000,1010,1100,1110: reserved			

図 9.8　**チップセレクト/ウェイトコントロールレジスタ**

注:「ALE 幅=fsys x 1.5 かつ BUSRQ 使用時には、wait 数を"+1"として設定して下さい。」

TMP1962 ではリセット後、ポート 4 コントロールレジスタ（P4CR）とポート 4 ファンクションレジスタ (P4FC) は“0”にされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P4FC、P4CR の順に必要なビットに “1” をセットしてください。

Not Recommended for New Design

10. DMA コントローラ (DMAC)

TMP1962 は 8 チャネルの DMA コントローラを内蔵しています。

10.1 特長

TMP1962 に内蔵している DMAC には以下に示す特長があります。

(1) 独立した 8 チャネルの DMA
(2) 2 種類のバス制御権要求: スヌープ要求有り/無し
(3) 転送要求: 内部リクエスト (ソフトスタート)/外部リクエスト (外部割り込み、内蔵周辺 I/O からの割り込みによるリクエスト、$\overline{\text{DREQ}}$ 端子によるリクエスト)
$\overline{\text{DREQ}}$ 端子によるリクエスト: レベルモード (メモリ→メモリ)
エッジモード (メモリ→I/O、I/O→メモリ)
(4) 転送モード: デュアルアドレスモード
(5) 転送デバイス: メモリ→メモリ、メモリ→I/O、I/O→メモリ
(6) デバイスサイズ: メモリ-32 ビット (CS/WAIT コントローラで 16/8 ビット指定も可能)
I/O-8、16、32 ビット
(7) アドレス変化: 増加/減少/固定/変則増加/変則減少
(8) チャネル間優先度: 固定
(9) エンディアン切り換え機能

Not Recommended for New Design

10.2 構成

10.2.1 TMP1962 内部接続

TMP1962 内部での DMAC の接続を
図 10.1に示します。

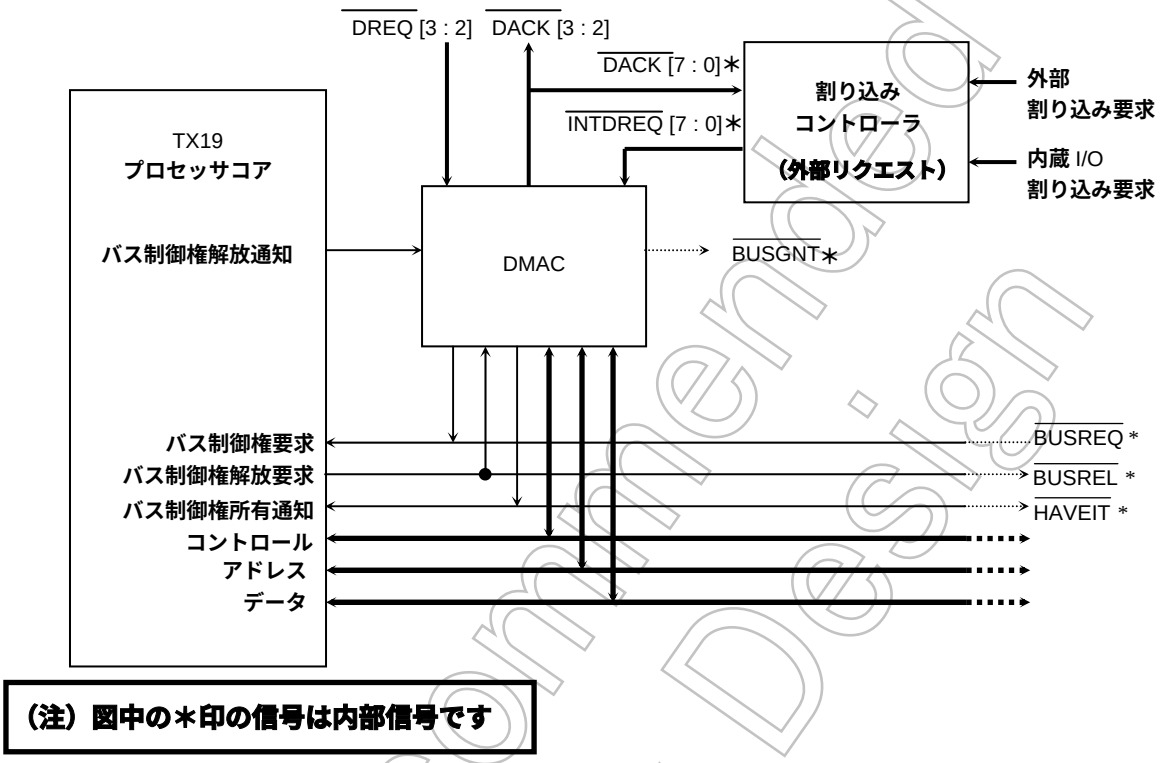


図 10.1 TMP1962 内部での DMAC の接続

DMAC には 8 つの DMA チャネルがあります。これら各チャネルには割り込みコントローラからのデータ転送要求信号 (INTDREQn) と INTDREQn に対するアクノリッジ信号 (DACKn) とがあります。n はチャネル番号で 0～7 を示します。また、チャネル 2、3 については外部端子 (DREQ2、DREQ3) からのデータ転送要求とアクノリッジ信号出力端子 (DACK2、DACK3) とがあります。チャネル 0 の方がチャネル 1 よりも優先度が高く、チャネル 1 の方がチャネル 2 よりも、チャネル 2 の方がチャネル 3 よりも優先度が高くなっています。以降のチャネルについても同様です。

TX19 プロセッサコアにはスヌープ機能があります。スヌープ機能では、TX19 プロセッサコアはコアのデータバスを DMAC に対して開放します。したがって、DMAC はこのとき TX19 プロセッサコアにつながっている内蔵 ROM や内蔵 RAM にアクセスすることができます。DMAC はこのスヌープ機能を使用するかを選択することができます。スヌープ機能の詳細については「10.2.3　10.2.3　　スヌープ機能」を参照ください。

DMAC はスヌープ機能の使用/不使用による 2 種類のバス制御権（SREQ，GREQ）があります。GREQ はスヌープ機能を使用しないバス制御権要求で、SREQ はスヌープ機能を使用するバス制御権要求です。この 2 種類のバス制御権要求では、SREQ の方が GREQ より優先度が高くなっています。

Not Recommended for New Design

10.2.2 DMAC 内部ブロック

DMAC の内部ブロックを図 10.2に示します。

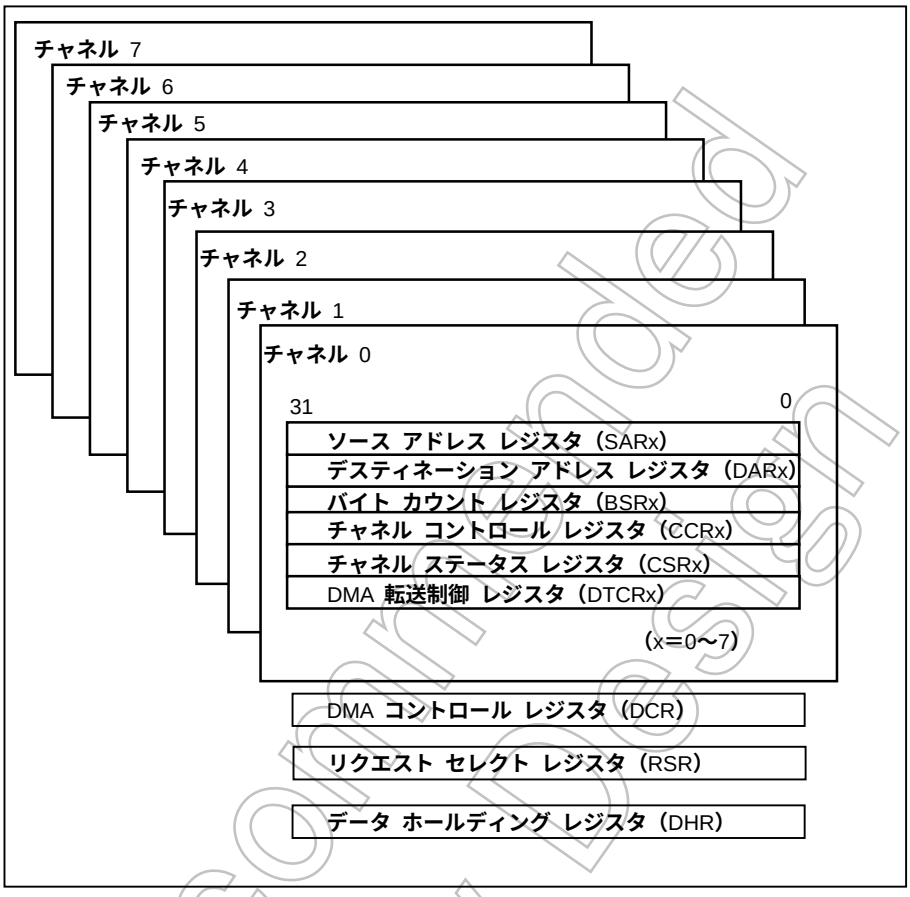


図 10.2 DMAC 内部ブロック

10.2.3 スヌープ機能

TX19 プロセッサコアには、スヌープ機能があります。

TX19 プロセッサコアは、スヌープ機能が働くとコアのデータバスを DMAC に対して開放します。コアは DMAC がバス制御権要求を取り下げるまで動作が停止します。スヌープ機能が働いているときに、DMAC は内蔵 RAM や内蔵 ROM にアクセスすることが可能になるので、ソースやデスティネーションとして指定することができます。

スヌープ機能を使用しない場合は、DMAC は内蔵 RAM、内蔵 ROM にアクセスできません。ただし、このときも G-Bus は DMAC へ開放していますので、TX19 プロセッサコアが G-Bus によりメモリもしくは I/O にアクセスしようとした場合には、DMAC がバス制御権開放要求に応えないかぎり、バスオペレーションを実行できないので、パイプラインはストールします。

（注）スヌープ機能を使用しないと、TX19 プロセッサコアはデータバスを DMAC に開放しません。この場合、DMAC のソースやデスティネーションに内蔵 RAM や内蔵 ROM を指定してあると、DMAC の転送バスサイクルに対してアクノリッジ信号が返ってこないためバスがロックします。

Not Recommended for New Design

10.3 レジスタ

DMAC は 51 本の 32 ビットレジスタを内蔵しています。表 10.1に DMAC のレジスタマップを示します。

表 10.1 DMAC レジスター一覧

アドレス	レジスタ記号	レジスタ名称
0xFFFF_E200	CCR0	チャネル制御レジスタ (ch. 0)
0xFFFF_E204	CSR0	チャネルステータスレジスタ (ch. 0)
0xFFFF_E208	SAR0	ソースアドレスレジスタ (ch. 0)
0xFFFF_E20C	DAR0	デスティネーションアドレスレジスタ (ch. 0)
0xFFFF_E210	BCR0	バイトカウントレジスタ (ch. 0)
0xFFFF_E218	DTCR0	DMA 転送制御レジスタ (ch. 0)
0xFFFF_E220	CCR1	チャネル制御レジスタ (ch. 1)
0xFFFF_E224	CSR1	チャネルステータスレジスタ (ch. 1)
0xFFFF_E228	SAR1	ソースアドレスレジスタ (ch. 1)
0xFFFF_E22C	DAR1	デスティネーションアドレスレジスタ (ch. 1)
0xFFFF_E230	BCR1	バイトカウントレジスタ (ch. 1)
0xFFFF_E238	DTCR1	DMA 転送制御レジスタ (ch. 1)
0xFFFF_E240	CCR2	チャネル制御レジスタ (ch. 2)
0xFFFF_E244	CSR2	チャネルステータスレジスタ (ch. 2)
0xFFFF_E248	SAR2	ソースアドレスレジスタ (ch. 2)
0xFFFF_E24C	DAR2	デスティネーションアドレスレジスタ (ch. 2)
0xFFFF_E250	BCR2	バイトカウントレジスタ (ch. 2)
0xFFFF_E258	DTCR2	DMA 転送制御レジスタ (ch. 2)
0xFFFF_E260	CCR3	チャネル制御レジスタ (ch. 3)
0xFFFF_E264	CSR3	チャネルステータスレジスタ (ch. 3)
0xFFFF_E268	SAR3	ソースアドレスレジスタ (ch. 3)
0xFFFF_E26C	DAR3	デスティネーションアドレスレジスタ (ch. 3)
0xFFFF_E270	BCR3	バイトカウントレジスタ (ch. 3)
0xFFFF_E278	DTCR3	DMA 転送制御レジスタ (ch. 3)
0xFFFF_E280	CCR4	チャネル制御レジスタ (ch. 4)
0xFFFF_E284	CSR4	チャネルステータスレジスタ (ch. 4)
0xFFFF_E288	SAR4	ソースアドレスレジスタ (ch. 4)
0xFFFF_E28C	DAR4	デスティネーションアドレスレジスタ (ch. 4)
0xFFFF_E290	BCR4	バイトカウントレジスタ (ch. 4)
0xFFFF_E298	DTCR4	DMA 転送制御レジスタ (ch. 4)
0xFFFF_E2A0	CCR5	チャネル制御レジスタ (ch. 5)
0xFFFF_E2A4	CSR5	チャネルステータスレジスタ (ch. 5)
0xFFFF_E2A8	SAR5	ソースアドレスレジスタ (ch. 5)
0xFFFF_E2AC	DAR5	デスティネーションアドレスレジスタ (ch. 5)
0xFFFF_E2B0	BCR5	バイトカウントレジスタ (ch. 5)
0xFFFF_E2B8	DTCR5	DMA 転送制御レジスタ (ch. 5)
0xFFFF_E2C0	CCR6	チャネル制御レジスタ (ch. 6)
0xFFFF_E2C4	CSR6	チャネルステータスレジスタ (ch. 6)
0xFFFF_E2C8	SAR6	ソースアドレスレジスタ (ch. 6)
0xFFFF_E2CC	DAR6	デスティネーションアドレスレジスタ (ch. 6)
0xFFFF_E2D0	BCR6	バイトカウントレジスタ (ch. 6)
0xFFFF_E2D8	DTCR6	DMA 転送制御レジスタ (ch. 6)

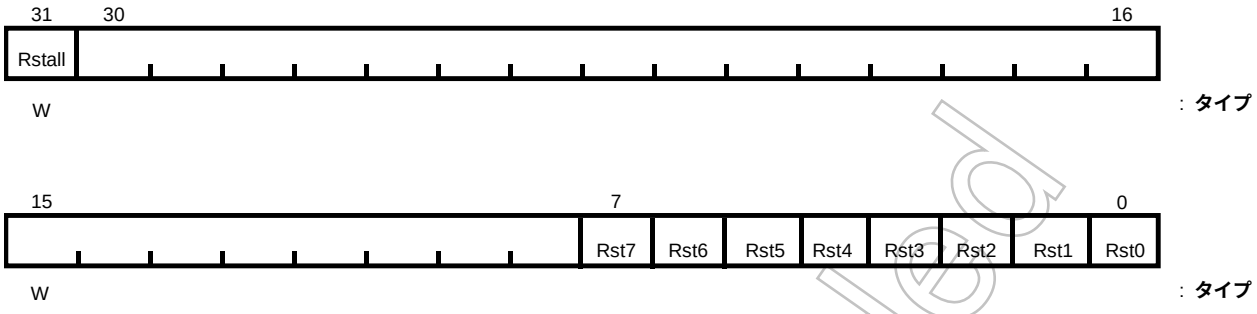
Not Recommended for New Design

表 10.2 DMAC レジスター覧（つづき）

0xFFFF_E2E0	CCR7	チャネル制御レジスタ (ch. 7)
0xFFFF_E2E4	CSR7	チャネルステータスレジスタ (ch. 7)
0xFFFF_E2E8	SAR7	ソースアドレスレジスタ (ch. 7)
0xFFFF_E2EC	DAR7	デスティネーションアドレスレジスタ (ch. 7)
0xFFFF_E2F0	BCR7	バイトカウントレジスタ (ch. 7)
0xFFFF_E2F8	DTCR7	DMA 転送制御レジスタ (ch. 7)
0xFFFF_E300	DCR	DMA 制御レジスタ (DMAC)
0xFFFF_E304	RSR	リクエストセレクトレジスタ (DMAC)
0xFFFF_E30C	DHR	データホールディングレジスタ (DMAC)

Not Recommended for New Design

10.3.1 DMA 制御レジスタ (DCR)



ビット	ニモニック	フィールド名	説　明
31	Rstall	リセットオール	DMAC のソフトウエアリセットを行います。Rstall ビットが 1 にセットされると、DMAC の内部レジスタの値はすべて初期値になります。また、すべての転送要求は取り消され、8 つのチャネルは停止状態になります。 0: Don't care 1: DMAC を初期化
7	Rst7	リセット 7	DMAC チャネル 7 のソフトウエアリセットを行います。Rst7 ビットが 1 にセットされると、DMAC チャネル 7 の内部レジスタと、RSR レジスタのチャネル 7 該当ビットは初期値になります。また、チャネル 7 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 7 を初期化
6	Rst6	リセット 6	DMAC チャネル 6 のソフトウエアリセットを行います。Rst6 ビットが 1 にセットされると、DMAC チャネル 6 の内部レジスタと、RSR レジスタのチャネル 6 該当ビットは初期値になります。また、チャネル 6 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 6 を初期化
5	Rst5	リセット 5	DMAC チャネル 5 のソフトウエアリセットを行います。Rst5 ビットが 1 にセットされると、DMAC チャネル 5 の内部レジスタと、RSR レジスタのチャネル 5 該当ビットは初期値になります。また、チャネル 5 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 5 を初期化
4	Rst4	リセット 4	DMAC チャネル 4 のソフトウエアリセットを行います。Rst4 ビットが 1 にセットされると、DMAC チャネル 4 の内部レジスタと、RSR レジスタのチャネル 4 該当ビットは初期値になります。また、チャネル 4 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 4 を初期化
3	Rst3	リセット 3	DMAC チャネル 3 のソフトウエアリセットを行います。Rst3 ビットが 1 にセットされると、DMAC チャネル 3 の内部レジスタと、RSR レジスタのチャネル 3 該当ビットは初期値になります。また、チャネル 3 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 3 を初期化

Not Recommended for New Design

ビット	ニモニック	フィールド名	説　明
2	Rst2	リセット 2	DMAC チャネル 2 のソフトウエアリセットを行います。Rst2 ビットが 1 にセットされると、DMAC チャネル 2 の内部レジスタと、RSR レジスタのチャネル 2 該当ビットは初期値になります。また、チャネル 2 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 2 を初期化
1	Rst1	リセット 1	DMAC チャネル 1 のソフトウエアリセットを行います。Rst1 ビットが 1 にセットされると、DMAC チャネル 1 の内部レジスタと、RSR レジスタのチャネル 1 該当ビットは初期値になります。また、チャネル 1 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 1 を初期化
0	Rst0	リセット 0	DMAC チャネル 0 のソフトウエアリセットを行います。Rst0 ビットが 1 にセットされると、DMAC チャネル 0 の内部レジスタと、RSR レジスタのチャネル 0 該当ビットは初期値になります。また、チャネル 0 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャネル 0 を初期化

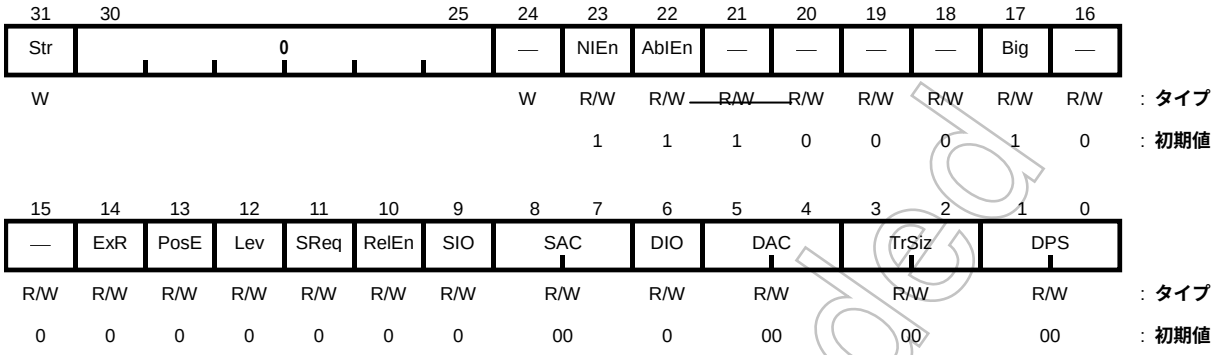
図 10.3 DMA 制御レジスタ (DCR)

（注1） ソフトリセット機能を使用する時、DMA 転送の最後の転送が終了した直後に DCR レジスタへの書き込みが発生した場合、チャネルレジスタ等の初期化は行われますが、DMA 転送終了割り込みはキャンセルされません。

（注2） DCR レジスタへの書き込み（ソフトリセット）を DMA 転送を利用して行うような使い方は避けてください。

Not Recommended for New Design

10.3.2 チャネル制御レジスタ (CCRn)



ビット	ニモニック	フィールド名	説　明
31	Str	チャネルスタート	Start (初期値－) チャネル動作を起動します。このビットに 1 をセットすることにより、チャネルが待機状態になり、転送要求に応じてデータ転送を開始します。 Str ビットへの書き込みは 1 のみが有効で、0 の書き込みは無視します。また、読み出すと常に 0 です。 1: チャネル動作を起動
24	—	(予約済み)	このビットは予約ビットです。常に “0” を設定してください。
23	NIEn	正常終了割り込み許可	Normal Completion Interrupt Enable (初期値 1) 1: 正常終了割り込みを許可 0: 正常終了割り込みを禁止
22	AbIEn	異常終了割り込み許可	Abnormal Completion Interrupt Enable (初期値 1) 1: 異常終了割り込みを許可 0: 異常終了割り込みを禁止
21	—	(予約済み)	このビットは予約ビットです。初期値は “1” ですが、常に “0” を設定してください。
20	—	(予約済み)	このビットは予約ビットです。常に “0” を設定してください。
19	—	(予約済み)	このビットは予約ビットです。常に “0” を設定してください。
18	—	(予約済み)	このビットは予約ビットです。常に “0” を設定してください。
17	Big	ビッグエンディアン	Big Endian (初期値 1) 1: チャネルはビッグエンディアンで動作 0: チャネルはリトルエンディアンで動作
16	—	(予約済み)	このビットは予約ビットです。常に “0” を設定してください。
15	—	(予約済み)	このビットは予約ビットです。常に “0” を設定してください。
14	ExR	外部リクエストモード	External Request Mode (初期値 0) 転送要求モードを指定します。 1: 外部転送要求 (割り込み要求または外部 $\overline{\text{DREQn}}$ 要求) 0: 内部転送要求 (ソフトスタート)
13	PosE	立ち上がりエッジ	Positive Edge (初期値 0) 転送要求信号 INTDREQn または $\overline{\text{DREQn}}$ の有効レベルを指定します。転送要求が外部転送要求のとき (ExR ビットが 1) のみ有効です。内部転送要求のとき (ExR ビットが 0) は PosE の値は無視されます。INTDREQn、DREQn 信号は “L” レベルアクティブの信号なので、この PosE ビットをかならず “0” に設定してください。 1: 設定禁止 0: $\overline{\text{INTDREQn}}$、$\overline{\text{DREQn}}$ 信号の立ち下がり、または “L” レベルが有効。$\overline{\text{DACKn}}$ 信号のアクティブレベルは “L” レベル

図 10.4 チャネル制御レジスタ (CCRn) (1/3)

Not Recommended for New Design

ビット	ニモニック	フィールド名	説　明
12	Lev	**レベルモード**	Level Mode (**初期値** 0) **外部転送要求の要求方法を指定します。転送要求として外部転送要求が設定されているとき** (ExR **ビットが** 1) **のみ有効です。内部転送要求が設定されているとき** (ExR **ビットが** 0) **は、**Lev **ビットの値は無視されます。**INTDREQn **信号は** "L" **レベルアクティブの信号なので、この** Lev **ビットをかならず** "1" **に設定してください。**DREQn **のアクティブの状態は** Lev **ビットの設定によります。** 1: **レベルモード。**DREQn **信号のレベル** (PosE **ビットが** 0 **のとき** "L" **レベル) をデータ転送要求として認識します。** 0: **エッジモード。**DREQn **信号の変化** (PosE **ビットが** 0 **のとき立ち下がりエッジ) をデータ転送要求として認識します。**
11	SReq	**スヌープ要求**	Snoop Request (**初期値** 0) **バス制御権要求モードとしてスヌープ機能の使用を指定します。使用する場合、**TX19 **プロセッサコアのスヌープ機能が有効になり、**DMAC **はコアのデータバスを使用できます。使用しない場合、**TX19 **プロセッサコアのスヌープ機能は働きません。** 1: **スヌープ機能を使用する** (SREQ)**。** 0: **スヌープ機能を使用しない** (GREQ)**。**
10	RelEn	**バス制御権解放要求許可**	Release Request Enable (**初期値** 0) TX19 **プロセッサコアからのバス制御権解放要求に対して応答することを指定します。** **この機能は** GREQ **のときのみ有効です。**SREQ **のときには** TX19 **プロセッサコアはバス制御権解放要求を出せないのでこの機能は無効になります。** 1: DMAC **がバス権を所有しているときに、バス制御権解放要求に応えます。**TX19 **プロセッサコアがバス制御権解放要求を発行すると、**DMAC **はバスオペレーションの切れ目でバス制御権をコアに返します。** 0: **バス制御権解放要求に応えません。**
9	SIO	**ソース** I/O	Source Type: I/O (**初期値** 0) **ソースデバイスを指定します。** 1: I/O **デバイス** 0: **メモリ**
8 : 7	SAC	**ソースアドレスカウント**	Source Address Count (**初期値** 00) **ソースのアドレス変化を指定します。** 1x: **アドレス固定** 01: **アドレス減少** 00: **アドレス増加**
6	DIO	**デスティネーション** I/O	Destination Type: I/O (**初期値** 0) **デスティネーションデバイスを指定します。** 1: I/O **デバイス** 0: **メモリ**
5 : 4	DAC	**デスティネーションアドレスカウント**	Destination Address Count (**初期値** 00) **デスティネーションのアドレス変化を指定します。** 1x: **アドレス固定** 01: **アドレス減少** 00: **アドレス増加**

図 10.5 **チャネル制御レジスタ** (CCRn) (2/3)

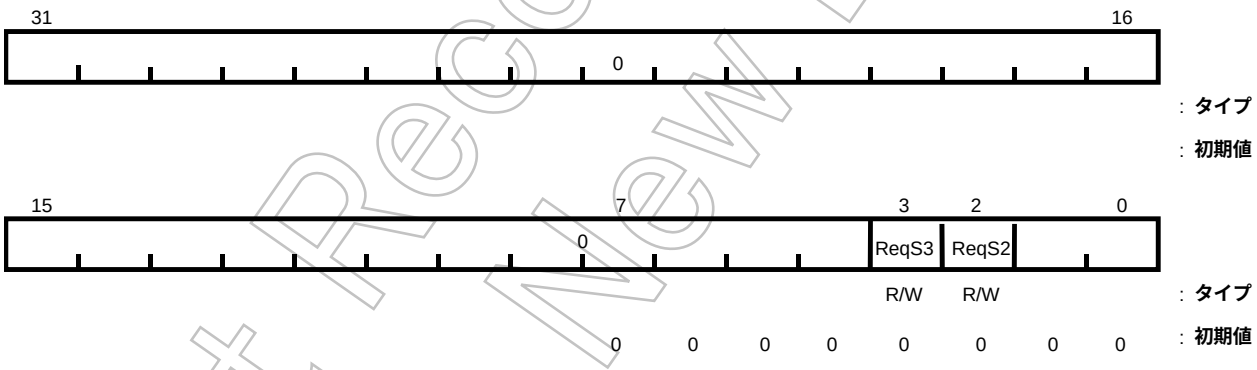
Not Recommended for New Design

ビット	ニモニック	フィールド名	説　明
3 : 2	TrSiz	転送単位	Transfer Size (初期値 00) 1 回の転送要求に対する転送データ量を示します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト)
1 : 0	DPS	デバイスポートサイズ	Device Port Size (初期値 00) ソースデバイスもしくはデスティネーションデバイスとして指定した I/O デバイスのバス幅を指定します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト)

図 10.6 チャネル制御レジスタ (CCRn) (3/3)

（注 1）CCRn レジスタの設定は DMAC を待機状態にする前に行ってください。
（注 2）内蔵 I/O をアクセスする場合、DREQ 端子要求による DMA 転送の場合は、転送単位<TrSiz>とデバイスポートサイズ<DPS>とをかならず同じサイズに設定してください。
（注 3）メモリ間転送の時には、DPS にセットされた値は無効になります。

10.3.3 リクエスト選択レジスタ (RSR)



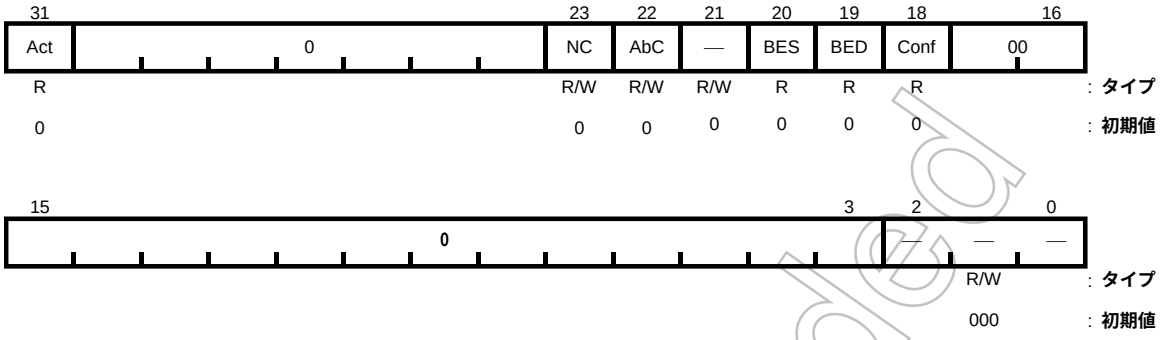
ビット	ニモニック	フィールド名	説　明
3	ReqS3	リクエストセレクト (ch.3)	Request Select (初期値 0) DMA チャネル 3 に対する外部転送要求の選択を行います。 1: DREQ3 からの要求 0: 割り込みコントローラ（INTC）からの要求
2	ReqS2	リクエストセレクト (ch.2)	Request Select (初期値 0) DMA チャネル 2 に対する外部転送要求の選択を行います。 1: DREQ2 からの要求 0: 割り込みコントローラ（INTC）からの要求

（注）RSR レジスタのビット 0、1、4～7 はかならず"0"をライトしてください。

図 10.7 DMA 制御レジスタ (RSR)

Not Recommended for New Design

10.3.4 チャネルステータスレジスタ (CSRn)



ビット	ニモニック	フィールド名	説　明
31	Act	チャネルアクティブ	Channel Active (初期値 0) チャネルが待機状態であることを示します。 1: チャネルは待機状態である。 0: チャネルは待機状態でない。
23	NC	正常終了	Normal Completion (初期値 0) チャネル動作が正常終了したことを示します。CCR レジスタによって正常終了時の割り込みが許可されている場合、NC ビットが"1"になると、DMAC は割り込みを要求します。 NC ビットに"0"を書き込むことによりクリアできます。正常終了により割り込みを要求していた場合、NC ビットが"0"になると、割り込み要求をとりさげます。 NC ビットが"1"のとき、Str ビットを"1"にセットしようとするとエラーになります。次の転送を開始するときには、NC ビットを"0"にクリアしてください。"1"の書き込みは無視されます。 1: チャネル動作が正常終了。 0: チャネル動作が正常終了していない。
22	AbC	異常終了	Abnormal Completion (初期値 0) チャネル動作が異常終了したことを示します。CCR レジスタによって異常終了時の割り込みが許可されている場合、AbC ビットが"1"になると、DMAC は割り込みを要求します。AbC ビットは"0"を書き込むことによりクリアできます。異常終了により割り込みを要求していた場合、AbC ビットが"0"になると、割り込み要求をとりさげます。また、AbC ビットが"0"にクリアされると、BES、BED および Conf の各ビットを"0"にクリアします。 AbC ビットが"1"のとき、Str ビットを"1"にセットしようとするとエラーになります。次の転送を開始するときには、AbC ビットを"0"にクリアしてください。"1"の書き込みは無視されます。 1: チャネル動作が異常終了。 0: チャネル動作が異常終了していない。
21	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
20	BES	ソースバスエラー	Source Bus Error (初期値 0) 1: ソースアクセス時にバスエラー発生。 0: ソースアクセス時にバスエラー発生していない。
19	BED	デスティネーションバスエラー	Destination Bus Error (初期値 0) 1: デスティネーションアクセス時にバスエラー発生した。 0: デスティネーションアクセス時にバスエラー発生していない。

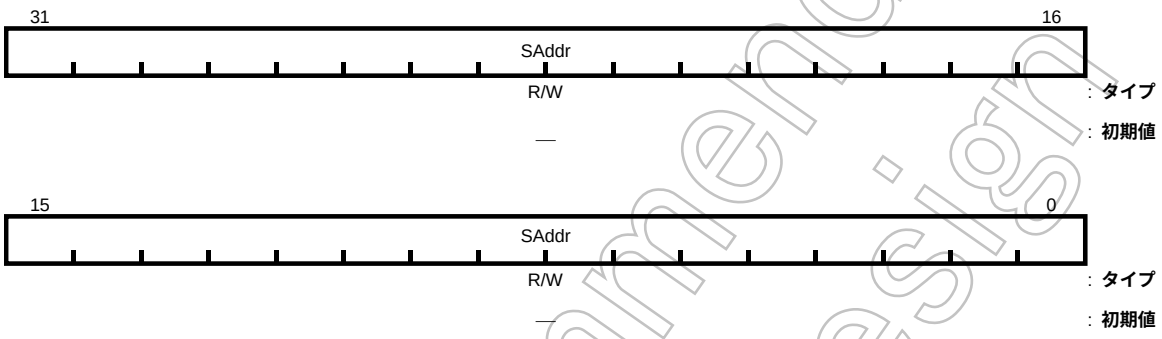
図 10.8 チャネルステータスレジスタ (CSRn) (1/2)

Not Recommended for New Design

ビット	ニモニック	フィールド名	説　明
18	Conf	コンフィグレーションエラー	Configuration Error (初期値 0) 1: コンフィグレーションエラー発生。 0: コンフィグレーションエラー発生していない。
2 : 0	—	(予約済み)	このビットは 3 ビットとも予約ビットです。すべてのビットに対して常に “0” を設定してください。

図 10.9 チャネルステータスレジスタ (CSRn) (2/2)

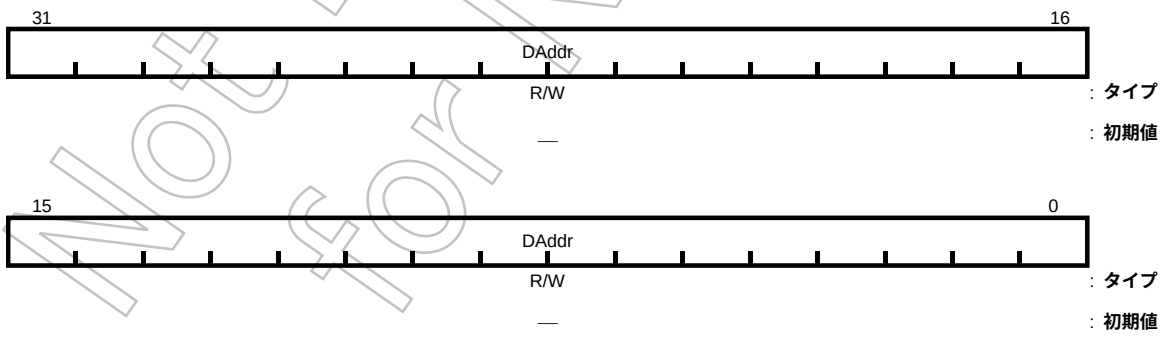
10.3.5 ソースアドレスレジスタ (SARn)



ビット	ニモニック	フィールド名	説　明
31 : 0	SAddr	ソースアドレス	Source Address (初期値－) データ転送元となるソースのアドレスを物理アドレスで設定します。CCRn の SAC,TrSiz で指定された内容と、DTCRn の SACM で指定された内容に従ってアドレスが変化します。

図 10.10 ソースアドレスレジスタ (SARn)

10.3.6 デスティネーションアドレスレジスタ (DARn)

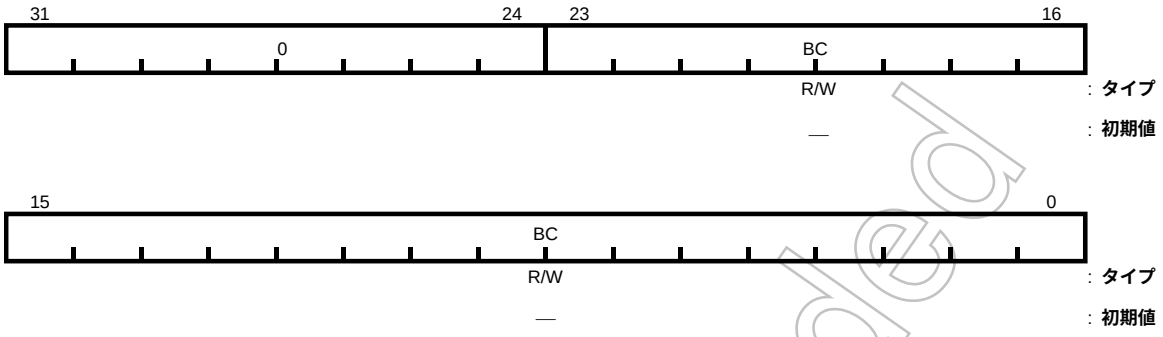


ビット	ニモニック	フィールド名	説　明
31 : 0	DAddr	デスティネーションアドレス	Destination Address (初期値－) データ転送先となるデスティネーションのアドレスを物理アドレスで設定します。CCRn の DAC,TrSiz で指定された内容と、DTCRn の DACM で指定された内容に従ってアドレスが変化します。

図 10.11 デスティネーションアドレスレジスタ (DARn)

Not Recommended for New Design

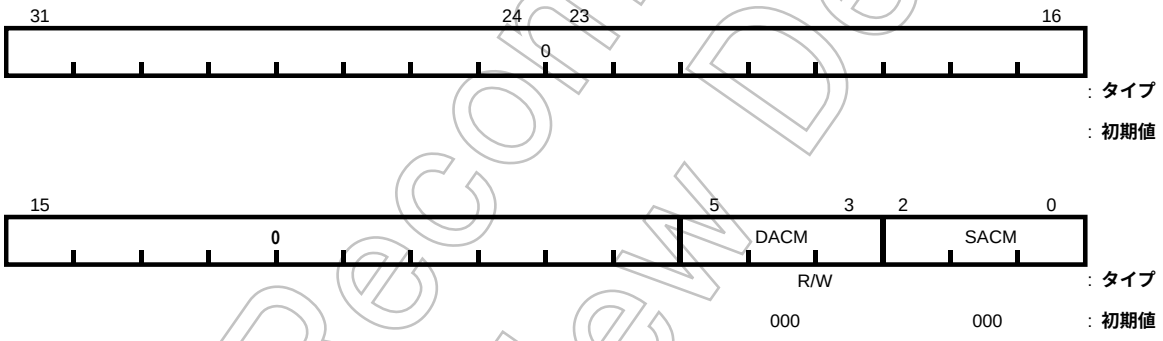
10.3.7 バイトカウントレジスタ (BCRn)



ビット	ニモニック	フィールド名	説　明
23 : 0	BC	バイトカウント	Byte Count (初期値－) データ転送するバイト数を設定します。転送したデータ数分ずつ (CCRn の TrSiz で指定した値ずつ) アドレスが減少します。

図 10.12 バイトカウントレジスタ (BCRn)

10.3.8 DMA 転送制御レジスタ (DTCRn)

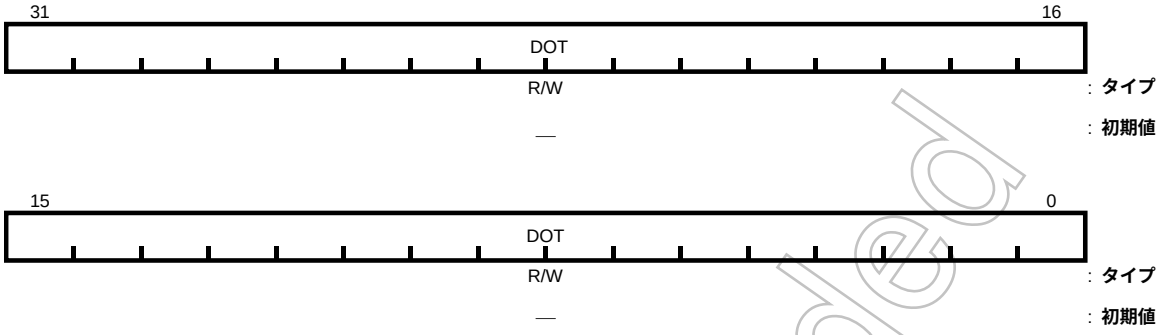


ビット	ニモニック	フィールド名	説　明
5 : 3	DACM	デスティネーションアドレスカウントモード	Destination Address Count Mode デスティネーションアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 予約済み 110: 予約済み 111: 予約済み
2 : 0	SACM	ソースアドレスカウントモード	Source Address Count Mode ソースアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 予約済み 110: 予約済み 111: 予約済み

図 10.13 DMA 転送制御レジスタ (DTCRn)

Not Recommended for New Design

10.3.9 データホールディングレジスタ (DHR)



ビット	ニモニック	フィールド名	説　明
31 : 0	DOT	転送データ	Data on Transfer (初期値－) デュアルアドレスモードでの転送で、ソースからリードしたデータです。

図 10.14 データホールディングレジスタ (DHR)

Not Recommended for New Design

10.4 機能

10.4.1 概要

DMAC は TX19 プロセッサコアを用いたシステム内のデータ転送を、コアを介さずに高速に行うことができる 32 ビット DMA コントローラです。

(1) ソースとデスティネーション

DMAC は、メモリ-メモリ間、あるいはメモリ-I/O デバイス間のデータ転送を行います。データ転送元のデバイスをソースデバイス、データ転送先のデバイスをデスティネーションデバイスと呼びます。ソースデバイス、デスティネーションデバイスとして、メモリまたは I/O デバイスを指定できます。ただし、DMAC が転送するのは、メモリ→I/O デバイス、I/O デバイス→メモリ、メモリ→メモリであり、I/O デバイス→I/O デバイスの転送はできません。

メモリと I/O デバイスとの違いは、デバイスへのアクセス方法です。DMAC は I/O デバイスにアクセスする際、$\overline{\text{DACKn}}$ 信号をアサートします。$\overline{\text{DACKn}}$ 信号は 1 チャネルあたり 1 本しかありませんので、転送時に扱うことができる I/O デバイスは 1 つに限られます。このため、I/O デバイス-I/O デバイス間の転送はできません。

DMAC への転送要求に割り込み要因を指定することができます。割り込み要因が発生すると割り込みコントローラ（INTC）が DMAC に対してリクエストを出します（このとき TX19 プロセッサコアに対しては割り込み要求は通知されません。詳しくは「割り込み」の項を参照してください)。この INTC からの要求は $\overline{\text{DACKn}}$ 信号によってクリアされます。したがって、転送デバイスとして I/O デバイスが設定されているときには DMAC への要求は１回の転送（TrSiz で指定した転送サイズ分の転送）ごとに解除されます。これに対してメモリ→メモリ転送に設定した場合には転送バイト数 (BCRn レジスタの値）が “0” になったときだけ $\overline{\text{DACKn}}$ がアサートされるので、１回の転送要求で連続してデータ転送を行います。

例えば、TMP1962 の内蔵 I/O と内蔵（外部）メモリ間で転送を行う場合、内蔵 I/O から DMAC へ要求は 1 回の転送ごとにクリアされますが、転送バイト数 (BCRn レジスタの値) が “0” にならない限り次の転送要求待ちの状態になります。したがって、BCRn レジスタの値が “0” になるまで DMA 転送を連続して行います。

(2) バス制御権の受け渡し (バスアービトレーション)

DMAC は、DMAC 内部からの転送要求により、TX19 プロセッサコアにバス制御権を要求します。応答信号がコアから返ってくると、バス制御権を獲得してデータ転送のバスサイクルを実行します。

DMAC のバス制御権要求には、TX19 プロセッサコアのデータバスを使用できるスヌープを要求するモードと要求しないモードとがあります。モードの選択はチャネルごとに CCRn レジスタのビット 11（SReq）で設定します。

また、TX19 プロセッサコアがバス制御権の解放を求める場合があります。この要求に応答するかはチャネルごとに CCRn レジスタのビット 10（RelEn）で設定します。ただし、この機能はスヌープを要求しないモード (GREQ) のときのみ有効です。スヌープを要求するモード（SREQ）のときには TX19 プロセッサコアはバス制御権解放要求を出せないのでこの機能は無効になります。

転送要求がなくなると、DMAC はバス制御権を解放します。

（注 1）DMAC がバス制御権を獲得中は $\overline{\text{NMI}}$ も保留されます。
（注 2）DMAC 動作中は Halt 動作に移行しないでください。
（注 3）スヌープ機能を使用時は、IDLE（Doze）モードへ移行する前に DMAC を停止してください。

Not Recommended for New Design

(3) 転送要求モード

DMAC の転送要求モードには、内部転送要求モードと外部転送要求モードとがあります。

内部転送要求モードは、DMAC 内部で転送要求を発生するモードです。DMAC 内蔵レジスタのスタートビット (チャネル制御レジスタ CCRn の Str ビット) に “1” をセットすると転送要求が発生し、DMAC は転送動作を開始します。

外部転送要求モードはスタートビットに “1” をセットした後、INTC が出力する転送要求信号 ($\overline{\text{INTDREQn}}$) の入力または外部デバイスが出力する転送要求信号 $\overline{\text{DREQn}}$ の入力により転送要求が発生するモードです。DMAC は $\overline{\text{INTDREQn}}$ 信号の ”L” レベル検出で転送要求が発生するレベルモードと、$\overline{\text{DREQn}}$ 信号の立下りエッジまたは ”L” レベル検出で転送要求が発生するモードとがあります。

(4) アドレスモード

TMP1962 の DMAC が持っているアドレスモードは、デュアルアドレスモードのみです。シングルアドレスモードはありません。

デュアルアドレスモードでは、メモリ-メモリ間またはメモリ-I/O デバイス間のデータ転送を行います。ソースデバイスおよびデスティネーションデバイスのアドレスは DMAC が出力します。I/O デバイスにアクセスする際、DMAC は $\overline{\text{DACKn}}$ 信号をアサートします。このモードでは、リードオペレーションとライトオペレーションの 2 つのバスオペレーションを実行します。なお、ソースデバイスから読み出した転送データは、DMAC 内部のデータホールディングレジスタ (DHR) にいったん取り込んだ後、デスティネーションデバイスへ書き込みます。

(5) チャネル動作

DMAC には 8 つのチャネル (チャネル 0～チャネル 7) があります。チャネルは、チャネル制御レジスタ (CCRn) のスタート (Str) ビットを “1” にセットすることにより起動され、待機状態になります。

チャネルが待機状態のときに転送要求が発生すると、DMAC はバス制御権を獲得してデータ転送を行います。転送要求がなくなると、DMAC はバス制御権を解放して待機状態になります。転送が終了すると、チャネルは停止状態になります。転送終了には、正常終了と、エラー発生などによる異常終了とがあります。転送終了時には割り込み信号を発生することができます。

チャネル動作の状態遷移の概略を図 10.15に示します。

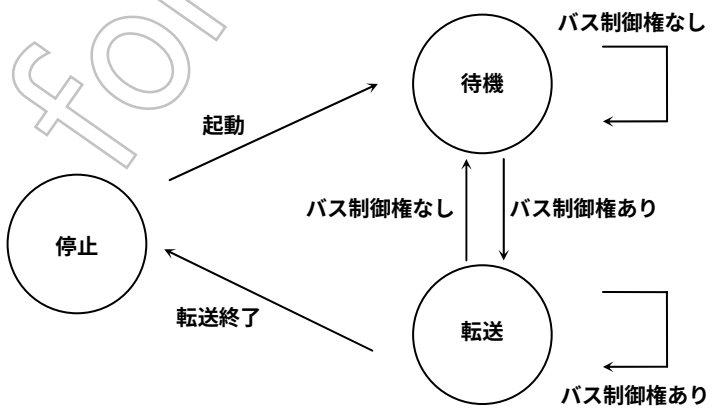


図 10.15 チャネル動作の状態遷移

Not Recommended for New Design

(6) 転送方式組み合わせまとめ

DMAC は各モードの組み合わせにより、下表の転送ができます。

転送要求	エッジ/レベル	アドレスモード	転送デバイス
内部	―	デュアル	メモリ→メモリ
外部	“L” レベル (INTDREQn)		メモリ→メモリ
			メモリ→I/O
			I/O→メモリ
外部	“L” レベル (DREQn)		メモリ→メモリ
	立ち下がりエッジ (DREQn)		メモリ→I/O
			I/O→メモリ

(7) アドレス変化

アドレス変化には大きくわけて増加、減少、固定の 3 タイプがあります。CCRn レジスタの SAC、DAC によりソースアドレスとデスティネーションアドレスごとに設定できます。デバイスがメモリの場合には増加、減少、固定とどれでも指定できますが、I/O デバイスは固定しか選択できません。ソースデバイスまたはデスティネーションデバイスに I/O デバイスを選択したときは CCRn レジスタの SAC または DAC の設定をアドレス固定にしてください。

アドレス変化に増加もしくは減少を選んだ場合、カウントするビット位置を DTCRn レジスタの SACM、DACM で設定できます。SACM がソースアドレスで、DACM がデスティネーションアドレスに対しての設定になります。アドレスをカウントするビット位置としてはビット 0，4，8，12，16 を指定できます。ビット 0 を選択したときは通常の増加、減少になります。ビット 4，8，12，16 を指定することで変則増加、変則減少をさせることができます。

アドレス変化の例を示します。

例 1) ソースデバイスは単調増加、デスティネーションが変則増加のとき

SAC: アドレス増加
DAC: アドレス増加
TrSiz: 転送単位 32 ビット
ソースアドレス: 0xA000_1000
デスティネーションアドレス: 0xB000_0000
SACM: 000 → アドレスカウンターの 0 ビット目からカウントする。
DACM: 001 → アドレスカウンターの 4 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0xA000_1001	0xB000_0010
3 回目	0xA000_1002	0xB000_0020
4 回目	0xA000_1003	0xB000_0030
	…	…

Not Recommended for New Design

例 2) ソースデバイスは変則減少、デスティネーションが単調減少のとき

SAC: アドレス減少
DAC: アドレス減少
TrSiz: 転送単位 16 ビット
ソースアドレス: 初期値 0xA000_1000
デスティネーションアドレス: 0xB000_0000
SACM: 010 → アドレスカウンターの 8 ビット目からカウントする。
DACM: 000 → アドレスカウンターの 0 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0x9FFF_FF00	0xAFFF_FFFE
3 回目	0x9FFF_FE00	0xAFFF_FFFC
4 回目	0x9FFF_FD00	0xAFFF_FFFA
	…	…

10.4.2 転送要求

DMAC でデータ転送を行うためには、DMAC に対して転送要求を発生する必要があります。DMAC の転送要求には、内部転送要求と外部転送要求との 2 種類があります。転送要求はチャネルごとに設定できます。

どちらの転送要求の場合でも、チャネル動作が起動された後に転送要求が発生すると DMAC はバス制御権を獲得してデータ転送を行います。

- 内部転送要求

  CCRn の ExR ビットが “0” であるとき、CCR の Str ビットに “1” をセットすると、ただちに転送要求が発生します。この転送要求を内部転送要求と呼びます。

  内部転送要求では、チャネル動作が終了するまで転送要求がありますので、優先度の高いチャネルへの遷移や、他の優先度の高いバスマスタへのバス制御権の遷移が起こらない限り、連続してデータ転送を行います。

  内部転送要求では、メモリ-メモリ間転送のみ可能です。

- 外部転送要求

  CCRn の ExR ビットが “1” であるとき、CCR の Str ビットに “1” をセットしてチャネルが待機状態になった後、チャネルに対応する $\overline{\text{INTDREQn}}$ 信号または $\overline{\text{DREQn}}$ 信号により転送要求が INTC または外部デバイスから通知されると、転送要求が発生します。この転送要求を外部転送要求と呼びます。外部転送要求は、メモリ-メモリ間、メモリ-I/O デバイス間の転送に用います。

  TMP1962 のリクエスト信号の認識方法は、$\overline{\text{INTDREQn}}$ 信号の “L” レベル検出、$\overline{\text{DREQn}}$ 信号の立ち下がりエッジまたは “L” レベル検出のみです。

  1 回の転送要求に対するデータ転送単位は CCRn の TrSiz フィールドで指定します。32 ビット、16 ビット、あるいは 8 ビットを指定できます。

  $\overline{\text{INTDREQn}}$、$\overline{\text{DREQn}}$ による転送要求の詳細を次に説明します。

Not Recommended for New Design

① 割り込みコントローラ（INTC）からの要求

$\overline{\text{DACKn}}$ 信号によってクリアされます。この $\overline{\text{DACKn}}$ 信号は I/O デバイスへのバスサイクル、もしくはメモリ-メモリ間転送で転送バイト数 (BCRn レジスタの値) が“0”になったときだけアサートされます。したがって、メモリ-I/O デバイス間転送では、転送要求ごとに $\overline{\text{INTDREQn}}$ がクリアされるので、TrSiz で指定した転送サイズ分の転送が 1 回行われるだけです。一方、メモリ-メモリ間転送では、転送バイト数 (BCRn レジスタの値) が“0”になるまで $\overline{\text{INTDREQn}}$ がクリアされないので、1 回の転送要求で連続してデータ転送が行えます。

なお、$\overline{\text{INTDREQn}}$ に指定した割り込みを、DMAC が受け付けて DMA 転送を開始する前に INTC などでクリアした場合には、タイミングによっては DMA 転送が割り込み要求がクリアされた後に 1 回実行されることがあります。

② 外部デバイスからの要求

エッジモードでは転送要求ごとに、いったん $\overline{\text{DREQn}}$ 信号をデアサートしてからアサートして有効エッジを作る必要がありますが、レベルモードでは、有効レベルを保持することで、連続した転送要求を認識できます。メモリ-メモリ間の転送では”L”レベルモードのみ、I/O-メモリ間の転送では立下りエッジモードのみ使用可能です。

－レベルモード

レベルモードでは、内部システムクロックの立ち上がりで $\overline{\text{DREQn}}$ 信号を”L”レベル検出します。チャネルが待機状態のときに、$\overline{\text{DREQn}}$ 信号に”L”レベルを検出すると、DMAC は転送状態に移り、データ転送を開始します。$\overline{\text{DREQn}}$ 信号のアクティブレベルは CCRn レジスタの PosE ビット (bit13) を”0”にして使用します。$\overline{\text{DACKn}}$ 信号のアクティブレベルは $\overline{\text{DREQn}}$ 信号と同じ”L”アクティブです。

外部回路が $\overline{\text{DREQn}}$ 信号をアサートしたら、$\overline{\text{DACKn}}$ 信号がアサートされるまで $\overline{\text{DREQn}}$ 信号を”L”レベルに保持してください。$\overline{\text{DACKn}}$ 信号がアサートされる前に $\overline{\text{DREQn}}$ 信号をデアサートした場合には、転送要求が認識されないことがあります。

$\overline{\text{DREQn}}$ 信号が”L”レベルでないと、転送要求がないとして、他のチャネルの転送動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz フィールド（<bit3:2>）で指定します。

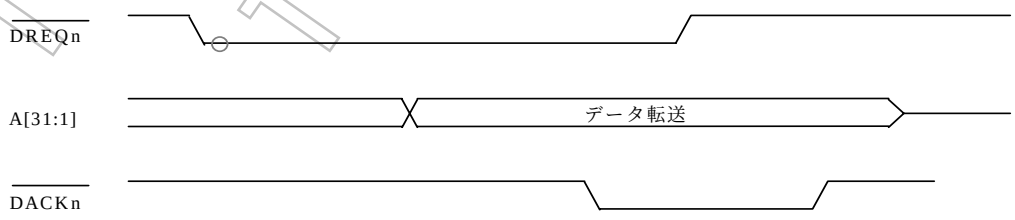


図 10.16　転送要求タイミング（レベルモード）

Not Recommended for New Design

－エッジモード

エッジモードでは、$\overline{\text{DREQn}}$ 信号の立ち下がりエッジを検出します。チャネルが待機状態にあるときに内部システムクロックの立ち上がりで $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識する（1 つ前のシステムクロックの立ち上がりでは ”L” レベルではなかったが、現在は ”L” レベルである場合）と、DMAC は転送要求があると認識して転送状態に移り、転送動作を開始します。$\overline{\text{DREQn}}$ 信号の立ち下がりは、CCRn レジスタの PosE ビット(bit13)を ”0” に、Lev ビット(bit12)を ”0” に設定します。$\overline{\text{DACKn}}$ 信号のアクティブレベルは ”L” レベルです。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識すると、続けて次のデータが転送されます。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジがない場合には、転送要求がないとして、他のチャネル動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz ビット（<bit3:2>）で指定します。

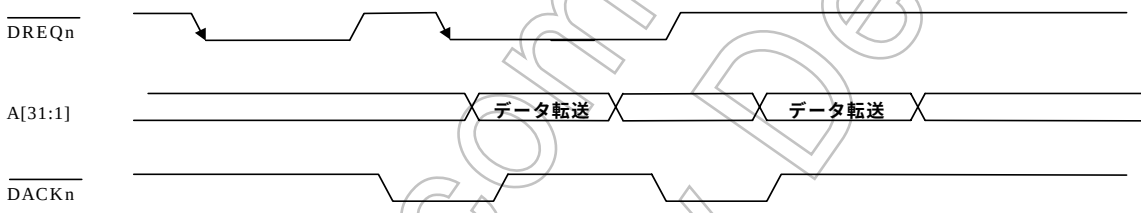


図 10.17　転送要求タイミング（エッジモード）

Not Recommended for New Design

10.4.3 アドレスモード

アドレスモードは、DMAC がソースデバイス、デスティネーションデバイスの双方にアドレスを出力して転送動作を行うか、あるいは一方のデバイスにのみアドレスを出力して転送動作を行うかを指定します。前者をデュアルアドレスモード、後者をシングルアドレスモードと呼びます。TMP1962 には前者のデュアルアドレスモードしかありません。

デュアルアドレスモードでは、DMAC はまずソースデバイスに対するリードオペレーションを実行します。このときソースデバイスが出力したデータを、DMAC 内部のレジスタ (DHR) にいったん格納します。次にデスティネーションデバイスに対するライトオペレーションを実行することによって、このデータを書き込み、ソースデバイスからデスティネーションデバイスへのデータ転送を実現します。

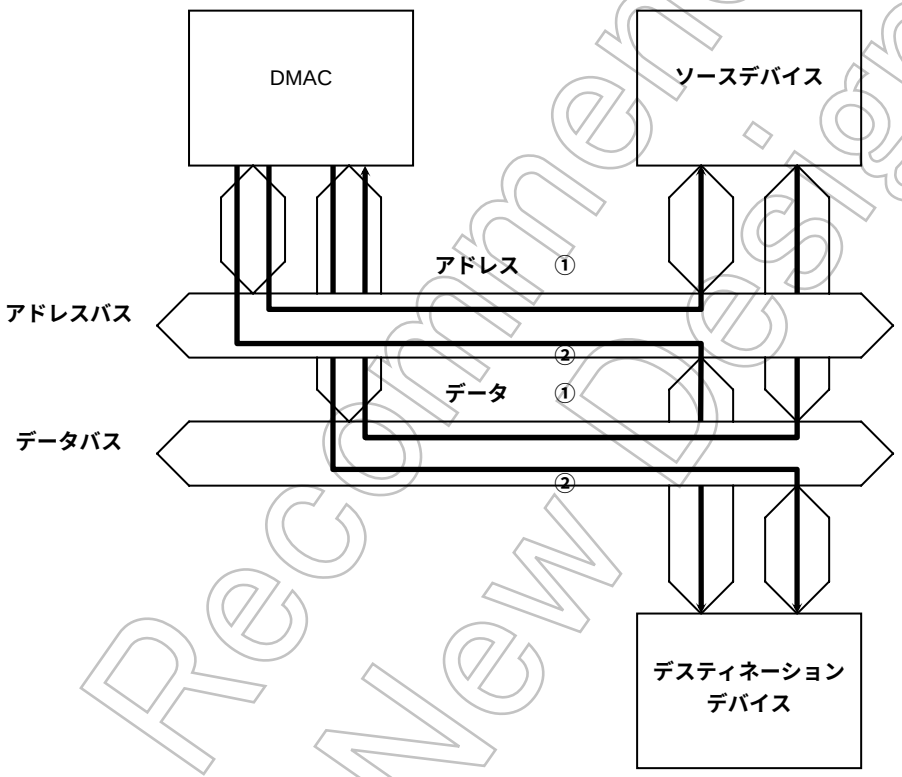


図 10.18 デュアルアドレスモード転送の概念図

DMAC のデータ転送単位は、CCRn の TrSiz フィールドで指定したデータ量 (32 ビット、16 ビットまたは 8 ビット) です。転送要求を認識するごとにこの転送単位分のデータを転送します。

デュアルアドレスモードでは、データ転送単位分のデータをソースデバイスから DHR に読み込み、次にそのデータをデスティネーションデバイスに書き込みます。

メモリへのアクセスは設定したデータ転送単位で発生しますが、外部のメモリへのアクセスの場合、データ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 16 ビットの場合には 2 回の 16 ビットアクセスが発生することになります。同様にデータ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 8 ビットの場合には 4 回の 8 ビットアクセスが発生することになります。

メモリ→I/O デバイス、あるいは I/O デバイス→メモリのデータ転送では、データ転送単位とは別に I/O デバイスのバス幅 (デバイスポートサイズ) を CCRn の DPS フィールドで指定します (32 ビット、16 ビット、または 8 ビット)。

Not Recommended for New Design

データ転送単位とデバイスポートサイズが等しい場合には、I/O デバイスに対して 1 回のリードオペレーションまたはライトオペレーションを行います。

データ転送単位よりデバイスポートサイズが小さい場合には、DMAC は I/O デバイスへ複数回のリードオペレーションあるいはライトオペレーションを行います。例えば、データ転送単位が 32 ビットで、デバイスポートサイズが 8 ビットの I/O からメモリへ転送を行う場合には、I/O デバイスから 8 ビットずつ 4 回データを読み出して DHR に格納し、次にメモリへ 32 ビット分のデータを 1 回（外部メモリでバス幅が 16 ビットの時には 2 回）で書き込みます。

アドレスはデータ転送単位ずつ変化します。BCRn の値もデータ転送単位ずつ変化します。データ転送単位よりもデバイスポートサイズが大きい設定は禁止です。まとめると、表 10.3のようになります。

表 10.3 データ転送単位とデバイスポートサイズ（デュアルアドレスモード）

TrSiz	DPS	I/O デバイスに対するバスオペレーション
0x（32 ビット）	0x（32 ビット）	1 回
0x（32 ビット）	10（16 ビット）	2 回
0x（32 ビット）	11（8 ビット）	4 回
10（16 ビット）	0x（32 ビット）	設定禁止
10（16 ビット）	10（16 ビット）	1 回
10（16 ビット）	11（8 ビット）	2 回
11（8 ビット）	0x（32 ビット）	設定禁止
11（8 ビット）	10（16 ビット）	設定禁止
11（8 ビット）	11（8 ビット）	1 回

Not Recommended for New Design

10.4.4 チャネル動作

チャネルは､各チャネルの CCRn の Str ビットが “1” にセットされると起動されます。チャネルが起動されると､起動のチェックが行われ､エラーがない場合にはそのチャネルは待機状態になります。

チャネルが待機状態であるときに転送要求が発生すると、DMAC はバス制御権を獲得して、転送動作を開始します。

チャネル動作の終了には、正常終了と、エラー発生などによる異常終了とがあります。終了したときの状態は、CSRn に示されます。

チャネル動作の開始

チャネルは CCRn の Str ビットが “1” にセットされると起動されます。

チャネルが起動されると、コンフィグレーションエラーのチェックを行い、エラーがなければ待機状態になります。エラーが検出されると、チャネルは異常終了します。チャネルが待機状態になると、そのチャネルの CSRn の Act ビットが “1” になります。

チャネルが内部転送要求に設定されている場合には、ただちに転送要求が発生し、DMAC はバス制御権を得てデータ転送を開始します。チャネルが外部転送要求に設定されている場合には、$\overline{\text{INTDREQn}}$ または $\overline{\text{DREQn}}$ がアサートされると DMAC はバス制御権を得てデータ転送を開始します。

チャネル動作の終了

チャネル動作の終了には、正常終了と異常終了とがあります。正常終了であるか異常終了であるかは、CSRn に示されます。

CSRn レジスタの NC ビットあるいは AbC ビットが “1” のときに CCRn レジスタの Str ビットに “1” をセットしようとすると、チャネル動作は開始せず、異常終了となります。

正常終了

チャネルが正常終了するのは、次の場合です。なお、正常終了では、かならずデータ転送単位（CCRn の TrSiz フィールドで設定した値）での転送終了後の終了となります。

- BCRn の内容が 0 になりデータ転送が終了した場合

異常終了

DMAC の異常終了には次のものがあります。

- コンフィグレーションエラーによる終了

コンフィグレーションエラーとは、DMA 転送の設定の誤りです。コンフィグレーションエラーはデータ転送動作を開始する前に発生しますので、SARn、DARn、BCRn の値は設定時のままです。コンフィグレーションエラーでチャネルが異常終了すると、CSRn の AbC ビットが “1” にセットされると同時に Conf ビットも “1” にセットされます。以下にコンフィグレーションエラーの要因を示します。

- SIO と DIO の両方に “1” をセットした。
- CSRn の NC ビットあるいは AbC ビットの値が “1” であるときに CCRn の Str ビットに “1” をセットした。
- BCRn にデータ転送単位で割り切れない値を設定した。
- SARn、DARn にデータ転送単位で割り切れない値を設定した。
- デバイスポートサイズとデータ転送単位を禁止された組み合わせに設定した。
- BCRn の値が 0 のときに CCRn の Str ビットに “1” をセットした。

Not Recommended for New Design

- バスエラーによる終了

バスエラーによる異常終了では、CSRn の AbC ビットに “1” がセットされると同時に、CSRn の BES ビットあるいは BED ビットに “1” がセットされます。

– データ転送中にバスエラーが通知された。

（注）バスエラーで終了した場合の BCR、SAR、DAR の値は保証されません。
バスエラーを起こす場合は後述の「21．機能レジスター覧表」を参照してください。

10.4.5 チャネルの優先順位

DMAC にある 8 つのチャネルのうち、チャネル番号の小さい方の優先度が常に高くなっています。このため、チャネル 0 とチャネル 1 と同時に転送要求が発生すると、チャネル 0 の転送要求に対する転送動作をまず行います。チャネル 0 の転送要求がなくなった時点でチャネル 1 に依然として転送要求が発生していれば、チャネル 1 の転送動作を実行します (内部転送要求では、転送要求は保持されています。外部転送要求では、割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定がエッジモードのときには割り込みコントローラが転送要求を保持していますが、レベルモードでは割り込みコントローラは転送要求を保持しません。割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定をレベルモードにした場合には、割り込み要求信号をアサートし続けてください)。

また、チャネル 1 のデータ転送中にチャネル 0 に転送要求が発生すると、チャネル遷移が起こります。チャネル 1 のデータ転送を一時中断し、チャネル 0 の転送を開始します。チャネル 0 の転送要求がなくなると、チャネル 1 の転送動作を再開します。

チャネル遷移が起こるタイミングは、データ転送単位の転送終了時です。すなわち、DHR 内のデータをすべて書き込んだときとなります。

<u>割り込み</u>

DMAC はチャネル動作終了時に TX19 プロセッサコアに割り込み（INTDMAn：DMA 転送終了割り込み）を要求することができます。割り込みには、正常終了割り込み、異常終了割り込みの 2 つがあります。

- 正常終了割り込み

チャネル動作が正常終了すると、CSRn の NC ビットが “1” にセットされます。このとき CCRn の NIEn ビットで正常終了割り込みが許可されていると、TX19 プロセッサコアに割り込みを要求します。

- 異常終了割り込み

チャネル動作が異常終了すると、CSRn の AbC ビットに “1” がセットされます。このとき CCRn の AbIEn ビットで異常終了割り込みが許可されていると TX19 プロセッサコアに割り込みを要求します。

Not Recommended for New Design

10.5 動作

DMAC の動作は、内部システムクロックの立ち上がりエッジに同期して行われます。

10.5.1 デュアルアドレスモード

- メモリ→メモリ転送

  外部メモリ（16 ビット幅）から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.19に示します。実際にはデータは BCRn が“0”になるまで連続して転送されます。

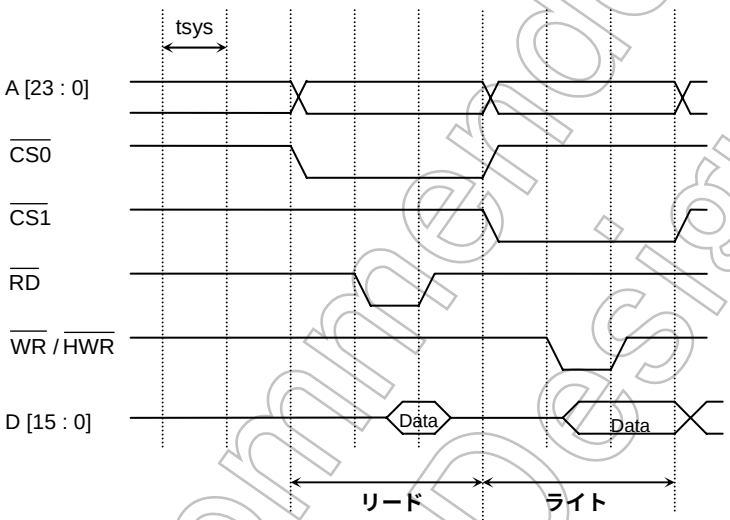


図 10.19 デュアルアドレスモード（メモリ→メモリ）

- メモリ→I/O デバイス転送

  データ転送単位 16 ビット、デバイスポートサイズ 8 ビットに設定した場合の、メモリ→I/O デバイス転送のタイミング例を図 10.20に示します。

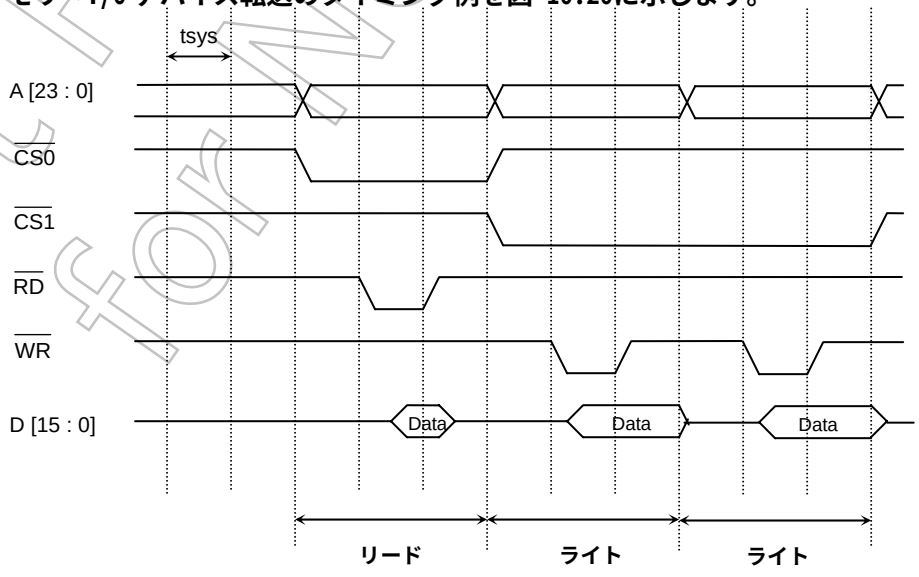


図 10.20 デュアルアドレスモード（メモリ→I/O デバイス）

Not Recommended for New Design

- **I/O デバイス→メモリ転送**

  データ転送単位 16 ビット、デバイスポートサイズ 8 ビットに設定した場合の、I/O デバイス→メモリ転送のタイミング例を図 10.21に示します。

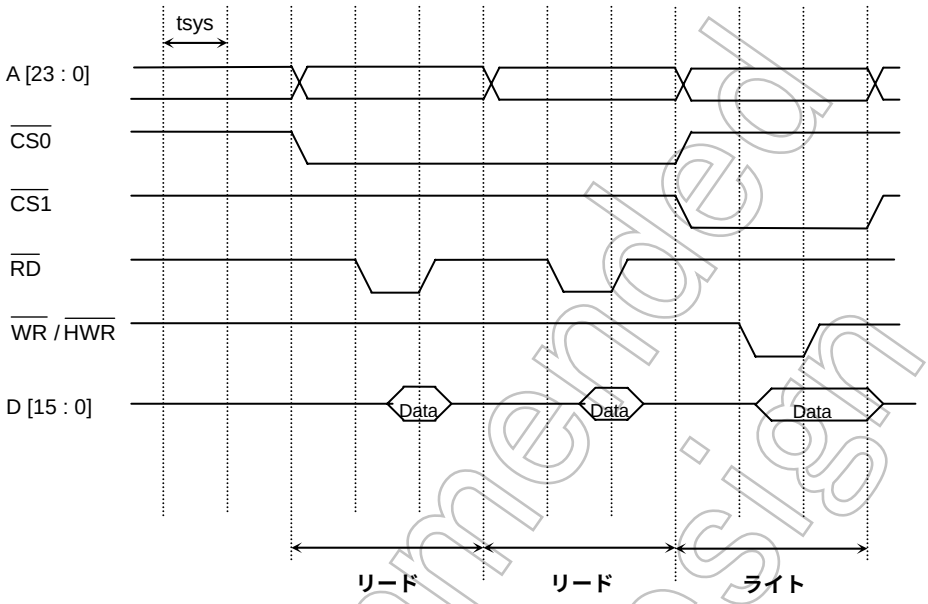


図 10.21　デュアルアドレスモード（I/O デバイス→メモリ）

Not Recommended for New Design

10.5.2 DREQn による転送モード

- **内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、レベルモード）**

  内蔵 RAM から から外部メモリ (16 ビット幅) へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.22 に示します。

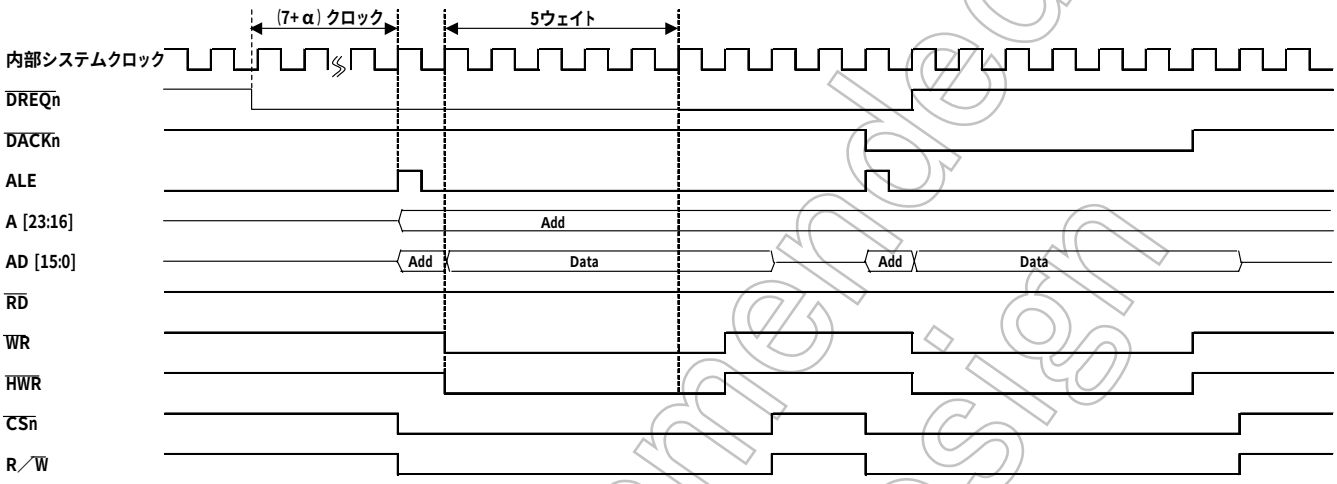


図 10.22 レベルモード (内蔵 RAM→外部メモリ)

- **外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、レベルモード）**

  外部メモリ (16 ビット幅)から内蔵 RAM へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.23 に示します。

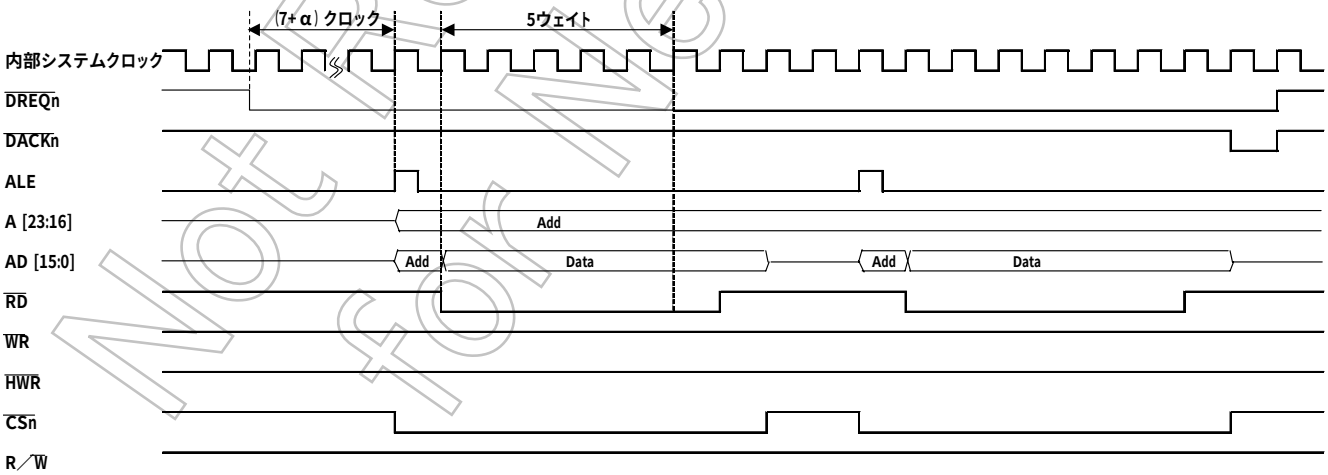


図 10.23 レベルモード (外部メモリ→内蔵 RAM)

Not Recommended for New Design

- **内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、レベルモード）**

  内蔵 RAM から から外部メモリ (16 ビット幅) へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.24 に示します。

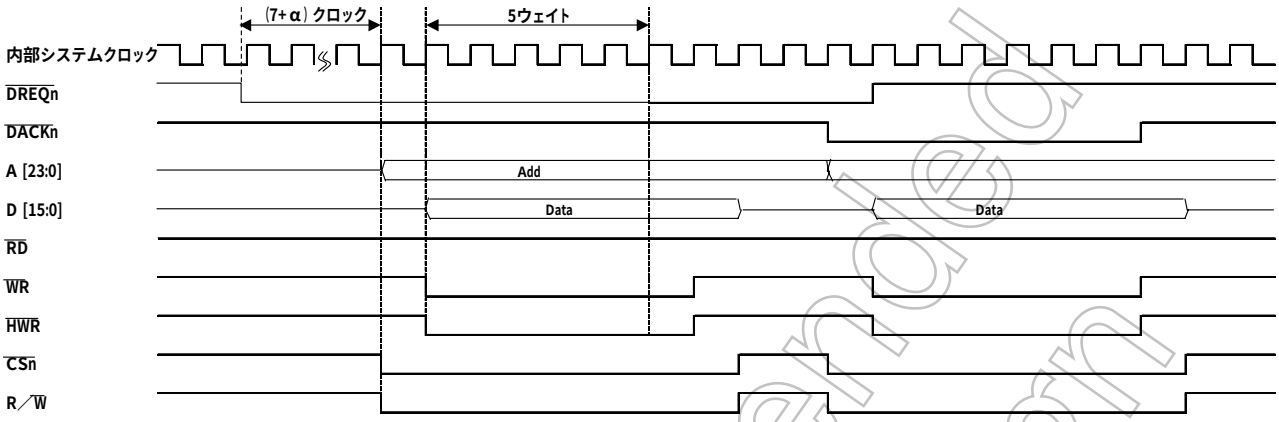


図 10.24　レベルモード (内蔵 RAM→外部メモリ)

- **外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、レベルモード）**

  外部メモリ (16 ビット幅)から内蔵 RAM へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10.25 に示します。

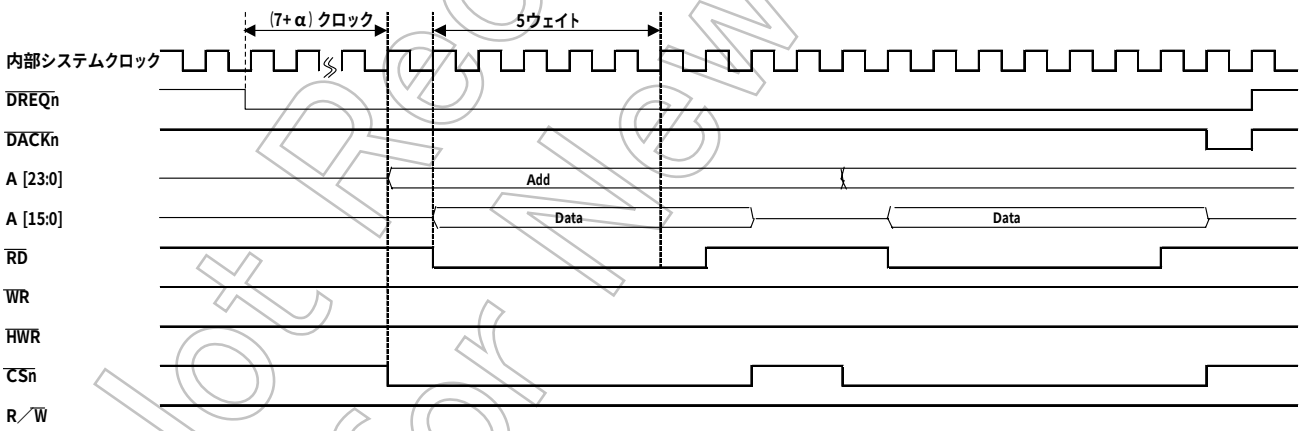


図 10.25　レベルモード (外部メモリ→内蔵 RAM)

Not Recommended for New Design

- **内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）**

  内蔵 RAM から から外部メモリ (16 ビット幅) へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.26 に示します。

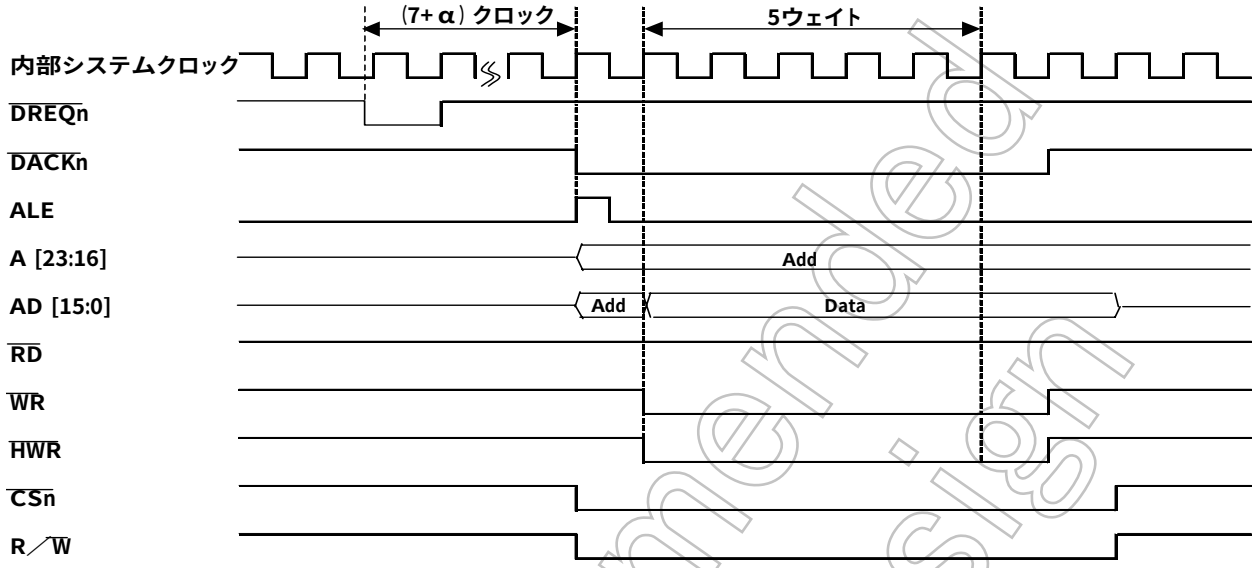


図 10.26　エッジモード (内蔵 RAM→外部メモリ)

- **外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）**

  外部メモリ (16 ビット幅)から内蔵 RAM へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.27 に示します。

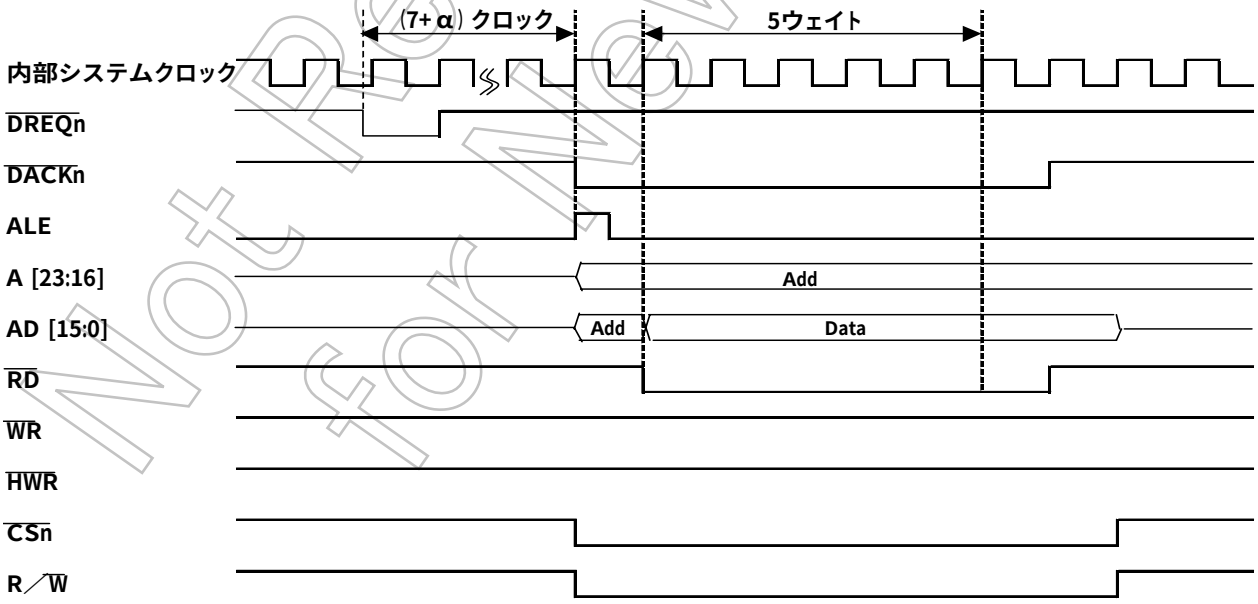


図 10.27　エッジモード (外部メモリ→内蔵 RAM)

Not Recommended for New Design

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、エッジモード）

  内蔵 RAM から から外部メモリ (16 ビット幅) へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.28 に示します。

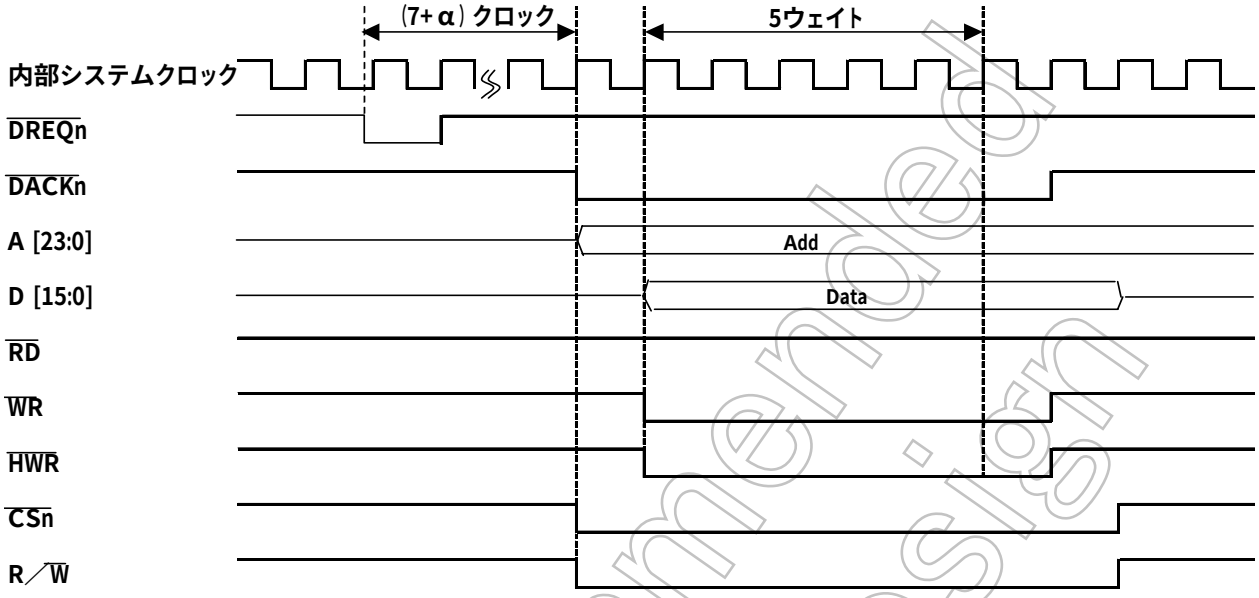


図 10.28　エッジモード (内蔵 RAM→外部メモリ)

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、エッジモード）

  外部メモリ (16 ビット幅)から内蔵 RAM へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10.29 に示します。

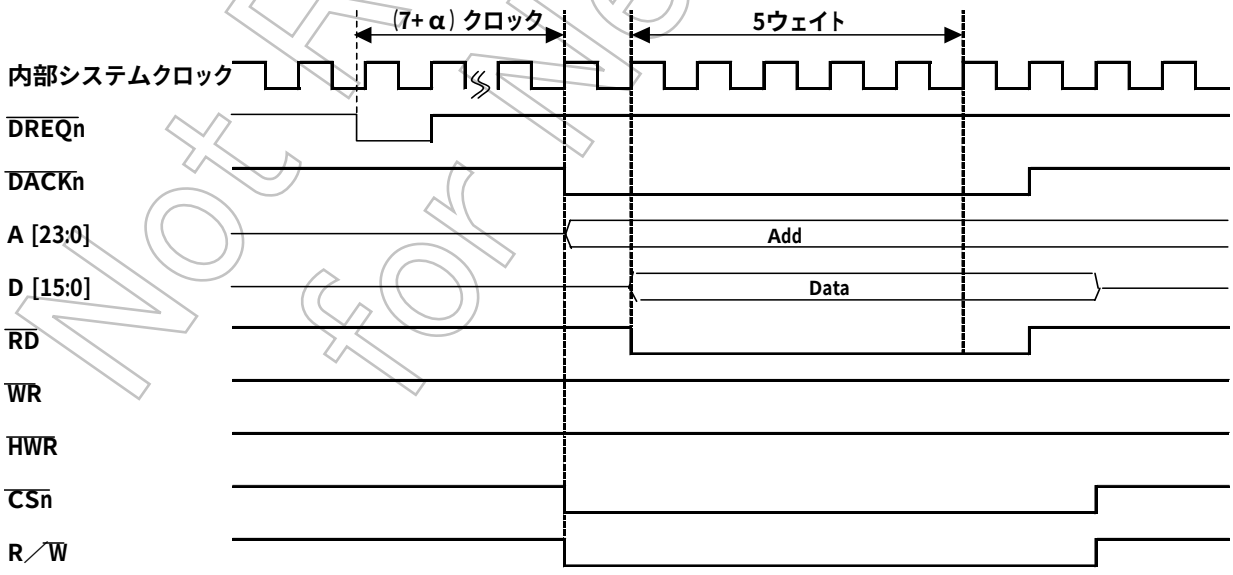


図 10.29　エッジモード (外部メモリ→内蔵 RAM)

Not Recommended for New Design

10.6 設定例：シリアル受信データ (SCnBUF) を内蔵 RAM に DMA 転送する例

<DMA 設定例>

- 使用チャネル：0
- ソースアドレス：SC1BUF
- ディスティネーション：(物理アドレス) 0xFFFF_9800
- 転送バイト数：256 バイト

<シリアルチャネル設定例>

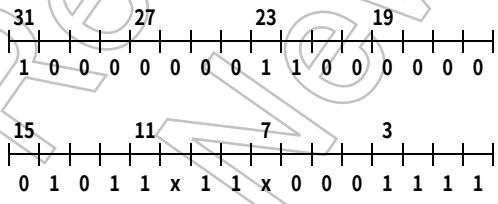
- データ長 8 ビット：UART
- シリアルチャネル：ch1
- 転送レート：9600bps

転送には DMA(ch.0) を使い、SIO1 の受信割り込みで DMA0 を起動します。

<DMA0 設定>

```
DCR      ←   0x8000_0000              /* DMA リセット * /
IMCD     ←   31          23
             xxxx, xxxx, xx10, x100   /* レベル = 4 (任意値) * /
INTCLR   ←   0x36                     /* IVR [9:4] の値 * /
DTCR0    ←   0x0000_0000 /* DACM = 000 * /
                                      /* SACM = 000 * /
SAR0     ←   0xFFFF_F208 /* SC1BUF の物理アドレス */
DAR0     ←   0xFFFF_9800 /* 転送先の物理アドレス */
BCR0     ←   0x0000_00FF /* 256 (転送バイト数) /
CCR0     ←   0x80C0_5B0F
```

(内容)



<SIO ch.1 設定>

```
IMC4     ←   31          23
             xxxx, xxxx, xx11, 1000   /* DMC0 起動要因に割り当て * /
INTCLR   ←   0x12                     /* IVR [9:4], INTRX1 割り込み要因 * /
SC1MOD0  ←   0x29                     /* UART モード, 8 ビット長、ボーレートジェネレータ * /
SC1CR    ←   0x00
BR1CR    ←   0x1F                     /* @fc = 40.5 MHz, 約 1.05 Mbps */
```

Not Recommended for New Design

11. 8 ビットタイマ (TMRA)

8 ビットタイマを 12 チャネル（TMRA0～B）内蔵しています。

TMRA は 2 チャネルを 1 モジュールとし、6 モジュールで構成され、それぞれ TMRA01，TMRA23，TMRA45，TMRA67，TMRA89，TMRAAB と呼びます。各モジュールは次の 3 種類のモードを持っています。

- 8／16／24／32 ビットインタバルタイマモード
- 8 ビットプログラマブル矩形波（PPG：可変周期で可変デューティ）出力モード
- 8 ビット PWM（パルス幅変調：固定周期で可変デューティ）出力モード

図 11.1に TMRA01 のブロック図を示します。

各チャネルは主に 8 ビットアップカウンタ、8 ビットコンパレータ、および、8 ビットタイマレジスタで構成され、2 チャネルに 1 つのプリスケーラ、タイマフリップフロップで構成されています。

タイマの動作モードやタイマフリップフロップは 8 バイトのレジスタで制御されます。

6 つの各モジュール（TMRA01，TMRA23 TMRA45，TMRA67，TMRA89，TMRAAB）は、それぞれ独立に動作します。いずれのモジュールも表 11.1～3 に示される仕様相違点を除いて同一の動作をしますので動作説明は TMRA01 の場合を中心に説明します。

表 11.1 TMRA のモジュール別仕様相違点

仕様 ＼ モジュール		TMRA01	TMRA23
外部端子	外部クロック入力端子	TA0IN (PA0 と兼用)	TA2IN (PA2 と兼用)
	タイマフリップフロップ出力端子	TA1OUT (PA1 と兼用)	TA3OUT (PA3 と兼用)
レジスタ名 (アドレス)	タイマ RUN レジスタ	TA01RUN (0xFFFFF103)	TA23RUN (0xFFFFF10B)
	タイマコントロールレジスタ	TA01CR (0xFFFFF102)	TA23CR (0xFFFFF10A)
	タイマレジスタ	TA0REG (0xFFFFF101) TA1REG (0xFFFFF100)	TA2REG (0xFFFFF109) TA3REG (0xFFFFF108)
	タイマモードレジスタ	TA01MOD (0xFFFFF107)	TA23MOD (0xFFFFF10F)
	タイマフリップフロップコントロールレジスタ	TA1FFCR (0xFFFFF106)	TA3FFCR (0xFFFFF10E)
	タイマ割り込みマスクレジスタ	TA0IM (0xFFFFF105)	
	タイマ割り込みステータスレジスタ	TA0ST (0xFFFFF104)	

Not Recommended for New Design

表 11.2 TMRA のモジュール別仕様相違点

仕様 \ モジュール		TMRA45	TMRA67
外部端子	外部クロック入力端子	TA4IN (PL0 と兼用)	TA6IN (PL1 と兼用)
	タイマフリップフロップ出力端子	TA5OUT (PA4 と兼用)	TA7OUT (PA5 と兼用)
レジスタ名 (アドレス)	タイマ RUN レジスタ	TA45RUN (0xFFFFF113)	TA67RUN (0xFFFFF11B)
	タイマコントロールレジスタ	TA45CR (0xFFFFF112)	TA67CR (0xFFFFF11A)
	タイマレジスタ	TA4REG (0xFFFFF111) TA5REG (0xFFFFF110)	TA6REG (0xFFFFF119) TA7REG (0xFFFFF118)
	タイマモードレジスタ	TA45MOD (0xFFFFF117)	TA67MOD (0xFFFFF11F)
	タイマフリップフロップコントロールレジスタ	TA5FFCR (0xFFFFF116)	TA7FFCR (0xFFFFF11E)
	タイマ割り込みマスクレジスタ	TAG1IM (0xFFFFF115)	
	タイマ割り込みステータスレジスタ	TAG1ST (0xFFFFF114)	

表 11.3 TMRA のモジュール別仕様相違点

仕様 \ モジュール		TMRA89	TMRAAB
外部端子	外部クロック入力端子	TA8IN (PL2 と兼用)	TAAIN (PL3 と兼用)
	タイマフリップフロップ出力端子	TA9OUT (PA6 と兼用)	TABOUT (PA7 と兼用)
レジスタ名 (アドレス)	タイマ RUN レジスタ	TA89RUN (0xFFFFF123)	TAABRUN (0xFFFFF12B)
	タイマコントロールレジスタ	TA89CR (0xFFFFF122)	TAABCR (0xFFFFF12A)
	タイマレジスタ	TA8REG (0xFFFFF121) TA9REG (0xFFFFF120)	TAAREG (0xFFFFF129) TABREG (0xFFFFF128)
	タイマモードレジスタ	TA89MOD (0xFFFFF127)	TAABMOD (0xFFFFF12F)
	タイマフリップフロップコントロールレジスタ	TA9FFCR (0xFFFFF126)	TABFFCR (0xFFFFF12E)
	タイマ割り込みマスクレジスタ	TAG2IM (0xFFFFF125)	
	タイマ割り込みステータスレジスタ	TAG2ST (0xFFFFF124)	

Not Recommended for New Design

11.1 TMRA のブロック図

TMRA01～AB とも同様なのでここでは TMRA01 のブロックのみ説明します。

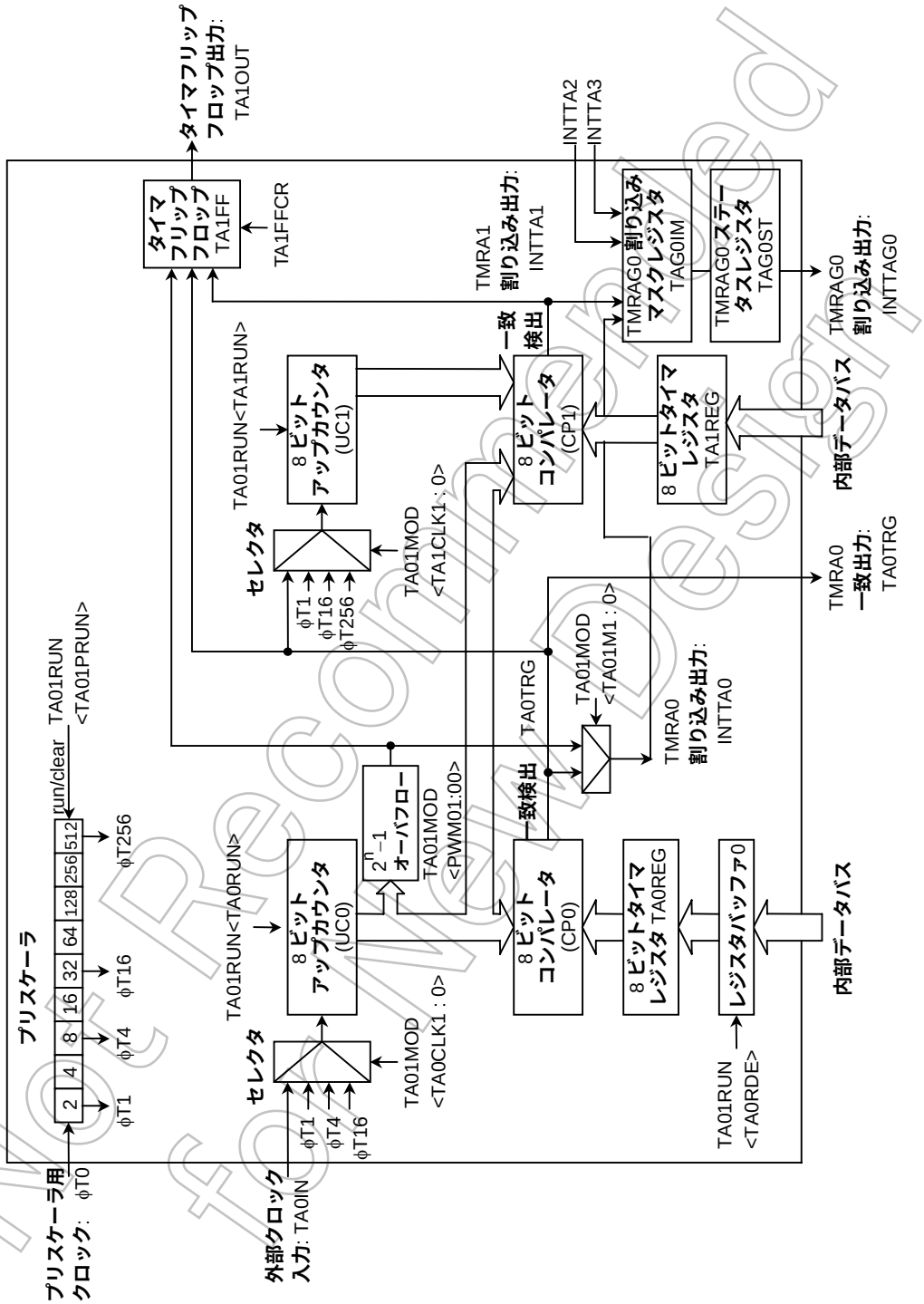


図 11.1 TMRA01 **ブロック図**

Not Recommended for New Design

11.2 回路別の動作説明

11.2.1 プリスケーラ

TMRA01 のクロックソースを得るため 9 ビットプリスケーラがあります。プリスケーラの入力クロックφT0 は、CG 部の SYSCR0<PRCK1:0> にて選択した fperiph/4, fperiph/8, fperiph/16 のいずれかのクロックです。

fperiph は CG 部の SYSCR1<FPSEL>で選択されるクロック fgear またはクロックギアで分周される前のクロック fc のいずれかです。

プリスケーラは TA01RUN<TA0PRUN> により動作/停止の設定をします。“1”をライトするとカウント開始し、“0”をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 11.4 に示します。

表 11.4 プリスケーラ出力クロック分解能

@fc = 40.5MHz

ﾍﾟﾘﾌｪﾗﾙｸﾛｯｸ選択<FPSEL>	ｸﾛｯｸｷﾞｱ値<GEAR1:0>	ﾌﾟﾘｽｹｰﾗｸﾛｯｸ 選択<PRCK1:0>	プリスケーラ出力クロック分解能			
			ΦT1	ΦT4	ΦT16	ΦT256
0(fgear)	00(fc)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{13}(202μs)
		01(fperiph/8)	fc/2^4(0.4μs)	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{12}(101μs)
		10(fperiph/4)	fc/2^3(0.2μs)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^{11}(50.6μs)
	01(fc/2)	00(fperiph/16)	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{10}(25.3μs)	fc/2^{14}(405μs)
		01(fperiph/8)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{13}(202μs)
		10(fperiph/4)	fc/2^4(0.4μs)	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{12}(101μs)
	10(fc/4)	00(fperiph/16)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{11}(50.6μs)	fc/2^{15}(809μs)
		01(fperiph/8)	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{10}(25.3μs)	fc/2^{14}(405μs)
		10(fperiph/4)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{13}(202μs)
	11(fc/8)	00(fperiph/16)	fc/2^8(6.32μs)	fc/2^{10}(25.3μs)	fc/2^{12}(101μs)	fc/2^{16}(1618μs)
		01(fperiph/8)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{11}(50.6μs)	fc/2^{15}(809μs)
		10(fperiph/4)	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{10}(25.3μs)	fc/2^{14}(405μs)
1(fc)	00(fc)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{13}(202μs)
		01(fperiph/8)	fc/2^4(0.4μs)	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{12}(101μs)
		10(fperiph/4)	fc/2^3(0.2μs)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^{11}(50.6μs)
	01(fc/2)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{13}(202μs)
		01(fperiph/8)	fc/2^4(0.4μs)	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{12}(101μs)
		10(fperiph/4)	fc/2^3(0.2μs)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^{11}(50.6μs)
	10(fc/4)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{13}(202μs)
		01(fperiph/8)	fc/2^4(0.4μs)	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{12}(101μs)
		10(fperiph/4)	−	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^{11}(50.6μs)
	11(fc/8)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^9(12.6μs)	fc/2^{13}(202μs)
		01(fperiph/8)	−	fc/2^6(1.58μs)	fc/2^8(6.32μs)	fc/2^{12}(101μs)
		10(fperiph/4)	−	fc/2^5(0.79μs)	fc/2^7(3.16μs)	fc/2^{11}(50.6μs)

(注1) プリスケーラ出力クロックΦTn は、かならずφTn<fsys/2 を満足するように (φTn が fsys/2 よりも遅くなるように) 選択してください。

(注2) タイマ動作中はクロックギアの切り換えは行なわないでください。

(注3) 表中の"−"は設定禁止です。

Not Recommended for New Design

11.2.2 アップカウンタ（UC0，UC1）

タイマモードレジスタ TA01MOD で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA0IN 端子からの外部クロックと、3 種類のプリスケーラ出力クロックφT1，φT4，φT16 から、TA01MOD<TA0CLK1 ： 0> の設定値に応じて選択されます。

UC1 の入力クロックは動作モードによって異なります。カスケード接続しない場合は、TA01MOD<TA1CLK1：0> の設定によりプリスケーラ出力クロックφT1，φT16，φT256 と、TMRA0 のコンパレータ出力（一致検出）の中から選択されます。

カスケード接続して 16 ビットタイマモードに設定した場合は、UC1 の入力クロックはアップカウンタ UC0 のオーバフロー出力が入力クロックとなり、24 ビットタイマモードに設定した場合は、アップカウンタ UC1 のオーバフロー出力が TMRA23 の UC2 の入力クロックとなり、32 ビットタイマモードに設定した場合は、アップカウンタ UC2 のオーバフロー出力が UC3 の入力クロックとなります。

アップカウンタは、TA01RUN<TA0RUN>，<TA1RUN> によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。

11.2.3 タイマレジスタ（TA0REG，TA1REG）

インタバル時間を設定する 8 ビットのレジスタです。このタイマレジスタへの設定値と、アップカウンタの値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファの制御は、TA01RUN<TA0RDE> の設定により行います。<TA0RDE>=“0”のときディセーブル、<TA0RDE> = “1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの 2^n-1 オーバフロー、または、PPG モードの周期のコンペア一致時です。したがって、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TA0RDE>=“0”に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタに設定値を書き込み、<TA0RDE>=“1”に設定した後、次の設定値を書き込んでください。

図 11.2に TA0REG の構成を示します。

Not Recommended for New Design

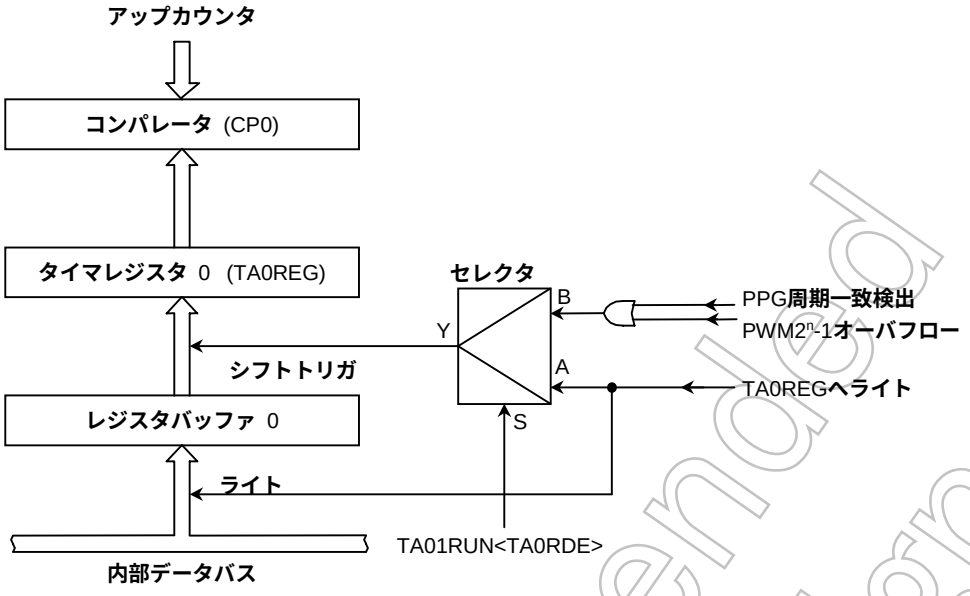


図 11.2 タイマレジスタ 0 (TA0REG) の構成

(注 1) TA0REG にデータをライト時、タイマレジスタとレジスタバッファは同じアドレスに割り付けられています。
<TA0RDE> = “0”のときは、レジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、
<TA0RDE> = “1”のときは、レジスタバッファにのみ書き込まれます。

(注 2) タイマレジスタは書き込み専用のレジスタでリードできません。

11.2.4 コンパレータ (CP0,CP1)

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタをゼロクリアするとともに、割り込み INTTA0, INTTA1 を発生します。また、タイマフリップフロップ反転イネーブルであれば同時にタイマフリップフロップの値を反転させます。

11.2.5 タイマフリップフロップ (TA1FF)

タイマフリップフロップ TA1FF は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、TA1FFCR<TAFF1IE> により設定できます。

リセットにより、TA1FF1 は “0” になります。TA1FFCR<TAFF1C1 : 0> に “01”、または、“10” を書き込むことで、TA1FF の値を “1”、または、“0” に設定することができます。また、このビットに “00” を書き込むことにより、TA1FF の値を反転させることができます (ソフト反転)。

TA1FF の値は、タイマフリップフロップ出力端子 TA1OUT (PA1 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート A 関連レジスタ PACR, PAFC により、設定を行う必要があります。

Not Recommended for New Design

11.2.6 割り込みマスクレジスタ(TAGOIM)

TMRA の割り込みは次の 4 つにグルーピングされています。

割り込みグループ 0（INTTAG0）：INTTA0、INTTA1、INTTA2、INTTA3
割り込みグループ 1（INTTAG1）：INTTA4、INTTA5、INTTA6、INTTA7
割り込みグループ 2（INTTAG2）：INTTA8、INTTA9、INTTAA、INTTAB

割り込み要因は各グループから 1 要因として割り込みコントローラ（INTC）に伝えられます。各グループ単位に割り込みマスクレジスタ（TAGnIM）があります。TAGOIM の各割り込みに該当するビットに”1”をセットすることにより割り込みを発生させたくない要因を INTC に対してマスクすることができます。リセット後はすべての割り込み要因が有効（マスクしない）の状態です。

11.2.7 割り込みステータスレジスタ(TAGOST)

割り込みグループ単位に割り込みステータスレジスタ（TAGOST）があります。割り込みが発生すると、発生した割り込み要因フラグが該当するビットにセット（”1”）されます。TAGOST をリードするとセットされたフラグはすべてクリアされます。割り込みマスクレジスタ（TAGOIM）でマスクした割り込み要因はフラグセットされますが、要因はマスクされます。

(注) TAGOST をリード中に INTTA0～INTTA3 のいずれかの割り込みが発生した時のフラグは
（フラグのセットとリードが同時に起こった場合）
“1”がリードされた場合はフラグはクリア
“0”がリードされた場合はリード後にフラグはセット
となります。

Not Recommended for New Design

11.3 レジスタ説明

TMRA01RUN レジスタ

TA01RUN (0xFFFFF103)

	7	6	5	4	3	2	1	0
bit Symbol	TA0RDE	TA01C1	TA01C0		I2TA01	TA01PRUN	TA1RUN	TA0RUN
Read/Write	R/W				R/W			
リセット後	0	0	0		0	0	0	0
機　能	Double Buffer 0: 禁止 1: 許可	カスケード接続 00: 8or16 bit モード 01: 設定禁止 10: 設定禁止 11: カスケード前段			IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

＜TA0RUN＞：TMRA0 のカウント動作を制御します。

＜TA1RUN＞：TMRA1 のカウント動作を制御します。

＜TA01PRUN＞：TMRA01 のプリスケーラの動作を制御します。

＜I2TA01＞：IDLE モード中の動作許可／禁止は TMRA0～3 単位になります。

＜TA01C1:0＞：TMRA01 のカスケード接続状態を設定します。8or16 ビットモード時は TMRA01 モードレジスタの＜TA01M1:0＞の設定に基ずきモードが選択されます。カスケード前段を指定すると、タイマ A23 との組み合わせで 24 ビットまたは 32 ビットタイマの構成が設定できます。

＜TA0RDE＞：ダブルバッファの許可／禁止を設定します。

(注)　TA01RUN のビット 4 は、読み出される値は不定です。

TMRA01CR レジスタ

TA01CR (0xFFFFF102)

	7	6	5	4	3	2	1	0
bit Symbol	TA01EN							
Read/Write	R/W							
リセット後	0	0	0					
機　能	TMRA 動作 0: 禁止 1: 許可	かならず"00"をライトしてください"						

＜TA01EN＞：TMRA01 の動作を指定します。動作禁止の状態では TMRA01 モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRA01 を使用する場合は、TMRA01 モジュールの各レジスタを設定する前に TMRA 動作許可（"1"）にしてください。TMRA01 を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。この動作許可／禁止は TMRA0～3 単位になります（TMRA0～3 をすべて許可または禁止にしてください）。

(注)　TA01CR のビット 5、6 は、"0"が読み出されます。

Not Recommended for New Design

TMRA0 レジスタ

TA0REG (0xFFFFF101)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA0REG のビット７～0 は、読み出される値は不定です。

TMRA1 レジスタ

TA1REG (0xFFFFF100)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA1REG のビット７～0 は、読み出される値は不定です。

TMRA01 モードレジスタ

TA01MOD (0xFFFFF107)

	7	6	5	4	3	2	1	0
bit Symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: reserved 01: 2^6-1 10: 2^7-1 11: 2^8-1		TMRA1 ソースクロック 00: TA0TRG 01: φT1(プリスケーラ) 10: φT16(プリスケーラ) 11: φT256(プリスケーラ)		TMRA0 ソースクロック 00: TA0IN 端子入力 01: φT1(プリスケーラ) 10: φT4(プリスケーラ) 11: φT16(プリスケーラ)	

< TA0CLK1:0 > ：TMRA0 の入力クロックです。

< TA1CLK1:0 > ：TMRA1 の入力クロックです（＜TA01M1:0＞＝”01”以外の時）。＜TA01M1:0＞＝”01”の時は設定値に関係なく TMRA0 のオーバーフロー出力がソースクロックになります。

< PWM01:0 > ：8 ビット PWM モード時の周期を選択します。周期は(2^n-1)×クロックソースになります。

< TA01M1:0 > ：TMRA01 の動作モードを選択します。”00”を選択すると、独立した 2 本の 8 ビットタイマ TMRA0、TMRA1 として動作します。

Not Recommended for New Design

TMRA1 フリップフロップコントロールレジスタ

TA1FFCR (0xFFFFF106)

	7	6	5	4	3	2	1	0
bit Symbol					TAFF1C1	TAFF1C0	TAFF1IE	TAFF1IS
Read/Write					R/W			
リセット後					1	1	0	0
機　能					00: TA1FF の値を反転 (ソフト反転) 01: TA1FF を “1” にセット 10: TA1FF を “0” にクリア 11: Don’t care (読み出した場合はかならず “11” になっています)		TA1FF 反転制御 0: 反転禁止 1: 反転許可	TA1FF 反転信号セレクト 0: TMRA0 1: TMRA1

< TAFF1IS > ：タイマフリップフロップ 1(TA1FF)の反転信号として、TMRA0 の一致検出か TMRA1 の一致検出かを選択します。8 ビットタイマモード以外は Don’t care です。

(注)　TA1FFCR のビット 4, 5, 6, 7 は、読み出される値は不定です。

TMRAG0 割り込みマスクレジスタ

TAG0IM (0xFFFFF105)

	7	6	5	4	3	2	1	0
bit Symbol					TAIM3	TAIM2	TAIM1	TAIM0
Read/Write					R/W			
リセット後					0	0	0	0
機　能					1:INTTA3 をマスク	1:INTTA2 をマスク	1:INTTA1 をマスク	1:INTTA0 をマスク

(注)　TAG0IM のビット 4, 5, 6, 7 は読み出すと不定になります。

TMRAG0 ステータスレジスタ

TAG0ST (0xFFFFF104)

	7	6	5	4	3	2	1	0
bit Symbol					INTTA3	INTTA2	INTTA1	INTTA0
Read/Write					R			
リセット後					0	0	0	0
機　能					0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生

(注 1)　TAG0ST をリードすると、ビット 0, 1, 2, 3 はクリアされます。

(注 2)　TAG0ST のビット 4, 5, 6, 7 は読み出すと不定になります。

(注 3)　マスクされた要因のステータスフラグはセットされますが、割り込みは通知されません。

Not Recommended for New Design

TMRA23RUN レジスタ

TA23RUN (0xFFFFF10B)

	7	6	5	4	3	2	1	0
bit Symbol	TA2RDE	TA23C1	TA23C0		I2TA23	TA23PRUN	TA3RUN	TA2RUN
Read/Write	R/W				R/W			
リセット後	0	0	0		0	0	0	0
機　能	Double Buffer 0: 禁止 1: 許可	カスケード接続 00: 8or16 bit モード 01: 24bit カスケード 10: 32bit カスケード 11: 設定禁止			IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

＜TA2RUN＞：TMRA2 のカウント動作を制御します。

＜TA2RUN＞：TMRA3 のカウント動作を制御します。

＜TA23PRUN＞：TMRA23 のプリスケーラの動作を制御します。

＜I2TA23＞：IDLE モード中の動作許可／禁止は TMRA0～3 単位になります。

＜TA23C1:0＞：TMRA23 のカスケード接続状態を設定します。8or16 ビットモード時は TMRA23 モードレジスタの＜TA23M1:0＞の設定に基ずきモードが選択されます。24 ビットモード時は TMRA2 が TMRA01 とカスケードされます。32 ビットモード時は TMRA0～TMRA3 がカスケードされます。

＜TA2RDE＞：ダブルバッファの許可／禁止を設定します。

(注)　TA23RUN のビット 4 は、読み出される値は不定です。

TMRA23CR レジスタ

TA23CR (0xFFFFF10A)

	7	6	5	4	3	2	1	0
bit Symbol	TA23EN							
Read/Write	R/W							
リセット後	0	0	0					
機　能	TMRA 動作 0: 禁止 1: 許可	かならず"00"をライトしてください"						

＜TA23EN＞：TMRA23 の動作を指定します。動作禁止の状態では TMRA23 モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRA23 を使用する場合は、TMRA23 モジュールの各レジスタを設定する前に TMRA 動作許可（"1"）にしてください。TMRA23 を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。この動作許可／禁止は TMRA0～3 単位になります（TMRA0～3 をすべて許可または禁止にしてください）。

(注)　TA23CR のビット 5、6 は、"0"が読み出されます。

Not Recommended for New Design

TMRA2 レジスタ

TA2REG (0xFFFFF109)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA2REG のビット７～0 は、読み出される値は不定です。

TMRA3 レジスタ

TA3REG (0xFFFFF108)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA3REG のビット７～0 は、読み出される値は不定です。

TMRA23 モードレジスタ

TA23MOD (0xFFFFF10F)

	7	6	5	4	3	2	1	0
bit Symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: reserved 01: 2^6-1 10: 2^7-1 11: 2^8-1		TMRA3 ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2 ソースクロック 00: TA2IN 01: φT1 10: φT4 11: φT16	

< TA2CLK1:0 >：TMRA2 の入力クロックです。

< TA3CLK1:0 >：TMRA3 の入力クロックです（＜TA23M1:0＞＝”01”以外の時）。＜TA23M1:0＞＝”01”の時は設定値に関係なく TMRA2 のオーバーフロー出力がソースクロックになります。

< PWM21:0 >：8 ビット PWM モード時の周期を選択します。周期は(2^n-1)×クロックソースになります。

< TA23M1:0 >：TMRA23 の動作モードを選択します。”00”を選択すると、独立した 2 本の 8 ビットタイマ TMRA2、TMRA3 として動作します。

Not Recommended for New Design

TMRA3 フリップフロップコントロールレジスタ

TA3FFCR (0xFFFFF10E)

	7	6	5	4	3	2	1	0
bit Symbol					TAFF3C1	TAFF3C0	TAFF3IE	TAFF3IS
Read/Write					R/W			
リセット後					1	1	0	0
機　能					00: TA3FF の値を反転 (ソフト反転) 01: TA3FF を “1” にセット 10: TA3FF を “0” にクリア 11: Don’t care (読み出した場合はかならず “11” になっています)		TA3FF 反転制御 0: 反転禁止 1: 反転許可	TA3FF 反転信号セレクト 0: TMRA2 1: TMRA3

< TAFF3IS > ：タイマフリップフロップ 3(TA3FF)の反転信号として、TMRA2 の一致検出か TMRA3 の一致検出かを選択します。8 ビットタイマモード以外は Don’t care です。

(注)　TA3FFCR のビット 4, 5, 6, 7 は読み出すと不定になります。

Not Recommended for New Design

TMRA45RUN レジスタ

TA45RUN (0xFFFFF113)

	7	6	5	4	3	2	1	0
bit Symbol	TA4RDE	TA45C1	TA45C0		I2TA45	TA45PRUN	TA5RUN	TA4RUN
Read/Write	R/W				R/W			
リセット後	0	0	0		0	0	0	0
機　能	Double Buffer 0: 禁止 1: 許可	カスケード接続 00: 8or16 bit モード 01: 設定禁止 10: 設定禁止 11: カスケード前段			IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

＜TA4RUN＞：TMRA4 のカウント動作を制御します。

＜TA5RUN＞：TMRA5 のカウント動作を制御します。

＜TA45PRUN＞：TMRA45 のプリスケーラの動作を制御します。

＜I2TA45＞：IDLE モード中の動作許可／禁止は TMRA4～7 単位になります。

＜TA45C1:0＞：TMRA45 のカスケード接続状態を設定します。8or16 ビットモード時は TMRA45 モードレジスタの＜TA45M1:0＞の設定に基ずきモードが選択されます。カスケード前段を指定すると、タイマ A67 との組み合わせで 24 ビットまたは 32 ビットタイマの構成が設定できます。

＜TA4RDE＞：ダブルバッファの許可／禁止を設定します。

(注)　TA45RUN のビット 4 は、読み出される値は不定です。

TMRA45CR レジスタ

TA45CR (0xFFFFF112)

	7	6	5	4	3	2	1	0
bit Symbol	TA45EN							
Read/Write	R/W							
リセット後	0	0	0					
機　能	TMRA 動作 0: 禁止 1: 許可	かならず"00"をライトしてください"						

＜TA45EN＞：TMRA45 の動作を指定します。動作禁止の状態では TMRA45 モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRA45 を使用する場合は、TMRA45 モジュールの各レジスタを設定する前に TMRA 動作許可（"1"）にしてください。TMRA45 を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。この動作許可／禁止は TMRA4～7 単位になります（TMRA4～7 をすべて許可または禁止にしてください）。

(注)　TA45CR のビット 5、6 は、"0"が読み出されます。

Not Recommended For New Design

TMRA4 レジスタ

TA4REG (0xFFFFF111)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA4REG のビット７～0 は、読み出される値は不定です。

TMRA5 レジスタ

TA5REG (0xFFFFF110)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA5REG のビット７～0 は、読み出される値は不定です。

TMRA45 モードレジスタ

TA45MOD (0xFFFFF117)

	7	6	5	4	3	2	1	0
bit Symbol	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: reserved 01: 2^6-1 10: 2^7-1 11: 2^8-1		TMRA5 ソースクロック 00: TA4TRG 01: φT1 10: φT16 11: φT256		TMRA4 ソースクロック 00: TA4IN 01: φT1 10: φT4 11: φT16	

< TA4CLK1:0 > ：TMRA4 の入力クロックです。

< TA5CLK1:0 > ：TMRA5 の入力クロックです（＜TA45M1:0＞＝”01”以外の時）。＜TA45M1:0＞＝”01”の時は設定値に関係なく TMRA4 のオーバーフロー出力がソースクロックになります。

< PWM41:0 > ：8 ビット PWM モード時の周期を選択します。周期は(2^n-1)×クロックソースになります。

< TA45M1:0 > ：TMRA45 の動作モードを選択します。”00”を選択すると、独立した 2 本の 8 ビットタイマ TMRA4、TMRA5 として動作します。

Not Recommended for New Design

TMRA5 フリップフロップコントロールレジスタ

TA5FFCR (0xFFFFF116)

	7	6	5	4	3	2	1	0
bit Symbol					TAFF5C1	TAFF5C0	TAFF5IE	TAFF5IS
Read/Write					R/W			
リセット後					1	1	0	0
機　能					00: TA5FF の値を反転 (ソフト反転) 01: TA5FF を “1” にセット 10: TA5FF を “0” にクリア 11: Don’t care (読み出した場合はかならず “11” になっています)		TA5FF 反転制御 0: 反転禁止 1: 反転許可	TA5FF 反転信号セレクト 0: TMRA4 1: TMRA5

＜TAFF5IS＞：タイマフリップフロップ 5(TA5FF)の反転信号として、TMRA4 の一致検出か TMRA5 の一致検出かを選択します。8 ビットタイマモード以外は Don’t care です。

(注)　TA5FFCR のビット 4，5，6，7 は読み出すと不定になります。

TMRAG1 割り込みマスクレジスタ

TAG1IM (0xFFFFF115)

	7	6	5	4	3	2	1	0
bit Symbol					TAIM7	TAIM6	TAIM5	TAIM4
Read/Write					R/W			
リセット後					0	0	0	0
機　能					1:INTTA7 をマスク	1:INTTA6 をマスク	1:INTTA5 をマスク	1:INTTA4 をマスク

(注)　TAG1IM のビット 4, 5, 6, 7 は読み出すと不定になります。

TMRAG1 ステータスレジスタ

TAG1ST (0xFFFFF114)

	7	6	5	4	3	2	1	0
bit Symbol					INTTA7	INTTA6	INTTA5	INTTA4
Read/Write					R			
リセット後					0	0	0	0
機　能					0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生

(注 1)　TAG1ST をリードすると、ビット 0, 1, 2, 3 はクリアされます。

(注 2)　TAG1ST のビット 4, 5, 6, 7 は読み出すと不定になります。

(注 3)　マスクされた要因のステータスフラグはセットされますが、割り込みは通知されません。

Not Recommended for New Design

TMRA67RUN レジスタ

TA67RUN (0xFFFFF 11B)

	7	6	5	4	3	2	1	0
bit Symbol	TA6RDE	TA67C1	TA67C0		I2TA67	TA67PRUN	TA7RUN	TA6RUN
Read/Write	R/W				R/W			
リセット後	0	0	0		0	0	0	0
機　能	Double Buffer 0: 禁止 1: 許可	カスケード接続 00: 8or16 bit モード 01: 24bit カスケード 10: 32bit カスケード 11: 設定禁止			IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

＜TA6RUN＞：TMRA6 のカウント動作を制御します。

＜TA7RUN＞：TMRA7 のカウント動作を制御します。

＜TA67PRUN＞：TMRA67 のプリスケーラの動作を制御します。

＜I2TA67＞：IDLE モード中の動作許可／禁止は TMRA4～7 単位になります。

＜TA67C1:0＞：TMRA67 のカスケード接続状態を設定します。8or16 ビットモード時は TMRA67 モードレジスタの＜TA67M1:0＞の設定に基ずきモードが選択されます。24 ビットモード時は TMRA6 が TMRA45 とカスケードされます。32 ビットモード時は TMRA4～TMRA7 がカスケードされます。

＜TA6RDE＞：ダブルバッファの許可／禁止を設定します。

(注)　TA67RUN のビット 4 は、読み出される値は不定です。

TMRA67CR レジスタ

TA67CR (0xFFFFF11A)

	7	6	5	4	3	2	1	0
bit Symbol	TA67EN							
Read/Write	R/W							
リセット後	0	0	0					
機　能	TMRA 動作 0: 禁止 1: 許可	かならず"00"をライトしてください"						

＜TA67EN＞：TMRA67 の動作を指定します。動作禁止の状態では TMRA67 モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRA67 を使用する場合は、TMRA67 モジュールの各レジスタを設定する前に TMRA 動作許可（"1"）にしてください。TMRA67 を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。この動作許可／禁止は TMRA4～7 単位になります（TMRA4～7 をすべて許可または禁止にしてください）。

(注)　TA67CR のビット 5、6 は、"0"が読み出されます。

Not Recommended for New Design

TMRA6 レジスタ

TA6REG (0xFFFFF119)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA6REG のビット７～0 は、読み出される値は不定です。

TMRA7 レジスタ

TA7REG (0xFFFFF118)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA7REG のビット７～0 は、読み出される値は不定です。

TMRA67 モードレジスタ

TA67MOD (0xFFFFF11F)

	7	6	5	4	3	2	1	0
bit Symbol	TA67M1	TA67M0	PWM61	PWM60	TA7CLK1	TA7CLK0	TA6CLK1	TA6CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: reserved 01: 2^6-1 10: 2^7-1 11: 2^8-1		TMRA7 ソースクロック 00: TA6TRG 01: φT1 10: φT16 11: φT256		TMRA6 ソースクロック 00: TA6IN 01: φT1 10: φT4 11: φT16	

< TA6CLK1:0 >：TMRA6 の入力クロックです。

< TA7CLK1:0 >：TMRA7 の入力クロックです（＜TA67M1:0＞＝”01”以外の時）。＜TA67M1:0＞＝”01”の時は設定値に関係なく TMRA6 のオーバーフロー出力がソースクロックになります。

< PWM61:0 >：8 ビット PWM モード時の周期を選択します。周期は(2^n-1)×クロックソースになります。

< TA67M1:0 >：TMRA67 の動作モードを選択します。”00”を選択すると、独立した 2 本の 8 ビットタイマ TMRA6、TMRA7 として動作します。

Not Recommended for New Design

TMRA7 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA7FFCR (0xFFFFF11E)	bit Symbol					TAFF7C1	TAFF7C0	TAFF7IE	TAFF7IS
	Read/Write					R/W			
	リセット後					1	1	0	0
	機　能					00: TA7FF の値を反転 (ソフト反転) 01: TA7FF を “1” にセット 10: TA7FF を “0” にクリア 11: Don’t care (読み出した場合はかならず “11” になっています)		TA7FF 反転制御 0: 反転禁止 1: 反転許可	TA7FF 反転信号セレクト 0: TMRA6 1: TMRA7

< TAFF7IS > ：タイマフリップフロップ 7(TA7FF)の反転信号として、TMRA6 の一致検出か TMRA7 の一致検出かを選択します。8 ビットタイマモード以外は Don’t care です。

(注)　TA7FFCR のビット 4, 5, 6, 7 は読み出すと不定になります。

Not Recommended for New Design

TMRA89RUN レジスタ

TA89RUN (0xFFFFF123)

	7	6	5	4	3	2	1	0
bit Symbol	TA8RDE	TA89C1	TA89C0		I2TA89	TA89PRUN	TA9RUN	TA8RUN
Read/Write	R/W				R/W			
リセット後	0	0	0		0	0	0	0
機　能	Double Buffer 0: 禁止 1: 許可	カスケード接続 00: 8or16 bit モード 01: 設定禁止 10: 設定禁止 11: カスケード前段			IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

＜TA8RUN＞：TMRA8 のカウント動作を制御します。

＜TA9RUN＞：TMRA9 のカウント動作を制御します。

＜TA89PRUN＞：TMRA89 のプリスケーラの動作を制御します。

＜I2TA89＞：IDLE モード中の動作許可／禁止は TMRA8～B 単位になります。

＜TA89C1:0＞：TMRA89 のカスケード接続状態を設定します。8or16 ビットモード時は TMRA89 モードレジスタの＜TA89M1:0＞の設定に基ずきモードが選択されます。カスケード前段を指定すると、タイマ AAB との組み合わせで 24 ビットまたは 32 ビットタイマの構成が設定できます。

＜TA8RDE＞：ダブルバッファの許可／禁止を設定します。

(注)　TA89RUN のビット 4 は、読み出される値は不定です。

TMRA89CR レジスタ

TA89CR (0xFFFFF122)

	7	6	5	4	3	2	1	0
bit Symbol	TA89EN							
Read/Write	R/W							
リセット後	0	0	0					
機　能	TMRA 動作 0: 禁止 1: 許可	かならず"00"をライトしてください"						

＜TA89EN＞：TMRA89 の動作を指定します。動作禁止の状態では TMRA89 モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRA89 を使用する場合は、TMRA89 モジュールの各レジスタを設定する前に TMRA 動作許可（"1"）にしてください。TMRA89 を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。この動作許可／禁止は TMRA8～B 単位になります（TMRA8～B をすべて許可または禁止にしてください）。

(注)　TA89CR のビット 5、6 は、"0"が読み出されます。

Not Recommended for New Design

TMRA8 レジスタ

TA8REG (0xFFFFF121)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA8REG のビット７～0 は、読み出される値は不定です。

TMRA9 レジスタ

TA9REG (0xFFFFF120)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TA9REG のビット７～0 は、読み出される値は不定です。

TMRA89 モードレジスタ

TA89MOD (0xFFFFF127)

	7	6	5	4	3	2	1	0
bit Symbol	TA89M1	TA89M0	PWM81	PWM80	TA9CLK1	TA9CLK0	TA8CLK1	TA8CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: reserved 01: 2^6-1 10: 2^7-1 11: 2^8-1		TMRA9 ソースクロック 00: TA8TRG 01: φT1 10: φT16 11: φT256		TMRA8 ソースクロック 00: TA8IN 01: φT1 10: φT4 11: φT16	

< TA8CLK1:0 >：TMRA8 の入力クロックです。

< TA9CLK1:0 >：TMRA9 の入力クロックです（＜TA89M1:0＞＝”01”以外の時）。＜TA89M1:0＞＝”01”の時は設定値に関係なく TMRA8 のオーバーフロー出力がソースクロックになります。

< PWM81:0 >：8 ビット PWM モード時の周期を選択します。周期は(2^n-1)×クロックソースになります。

< TA89M1:0 >：TMRA89 の動作モードを選択します。”00”を選択すると、独立した 2 本の 8 ビットタイマ TMRA8、TMRA9 として動作します。

Not Recommended for New Design

TMRA9 フリップフロップコントロールレジスタ

TA9FFCR (0xFFFFF126)

	7	6	5	4	3	2	1	0
bit Symbol					TAFF9C1	TAFF9C0	TAFF9IE	TAFF9IS
Read/Write					R/W			
リセット後					1	1	0	0
機　能					00: TA9FF の値を反転 (ソフト反転) 01: TA9FF を “1” にセット 10: TA9FF を “0” にクリア 11: Don't care (読み出した場合はかならず “11” になっています)		TA9FF 反転制御 0: 反転禁止 1: 反転許可	TA9FF 反転信号セレクト 0: TMRA8 1: TMRA9

<TAFF9IS>：タイマフリップフロップ 9(TA9FF)の反転信号として、TMRA8 の一致検出か TMRA9 の一致検出かを選択します。8 ビットタイマモード以外は Don't care です。

(注)　TA9FFCR のビット 4，5，6，7 は読み出すと不定になります。

TMRAG2 割り込みマスクレジスタ

TAG2IM (0xFFFFF125)

	7	6	5	4	3	2	1	0
bit Symbol					TAIMB	TAIMA	TAIM9	TAIM8
Read/Write					R/W			
リセット後					0	0	0	0
機　能					1:INTTAB をマスク	1:INTTAA をマスク	1:INTTA9 をマスク	1:INTTA8 をマスク

(注)　TAG2IM のビット 4, 5, 6, 7 は読み出すと不定になります。

TMRAG2 ステータスレジスタ

TAG2ST (0xFFFFF124)

	7	6	5	4	3	2	1	0
bit Symbol					INTTAB	INTTAA	INTTA9	INTTA8
Read/Write					R			
リセット後					0	0	0	0
機　能					0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生

(注 1)　TAG2ST をリードすると、ビット 0, 1, 2, 3 はクリアされます。

(注 2)　TAG2ST のビット 4, 5, 6, 7 は読み出すと不定になります。

(注 3)　マスクされた要因のステータスフラグはセットされますが、割り込みは通知されません。

Not Recommended for New Design

TMRAABRUN レジスタ

TAABRUN (0xFFFFF 12B)

	7	6	5	4	3	2	1	0
bit Symbol	TAARDE	TAABC1	TAABC0		I2TAAB	TAABPRUN	TABRUN	TAARUN
Read/Write	R/W				R/W			
リセット後	0	0	0		0	0	0	0
機　能	Double Buffer 0: 禁止 1: 許可	カスケード接続 00: 8or16 bit モード 01: 24bit カスケード 10: 32bit カスケード 11: 設定禁止			IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

＜TAARUN＞：TMRAA のカウント動作を制御します。

＜TABRUN＞：TMRAB のカウント動作を制御します。

＜TAABPRUN＞：TMRAAB のプリスケーラの動作を制御します。

＜I2TAAB＞：IDLE モード中の動作許可／禁止は TMRA8～B 単位になります。

＜TAABC1:0＞：TMRAAB のカスケード接続状態を設定します。8or16 ビットモード時は TMRAAB モードレジスタの＜TAABM1:0＞の設定に基ずきモードが選択されます。24 ビットモード時は TMRAA が TMRA89 とカスケードされます。32 ビットモード時は TMRA8～TMRAB がカスケードされます。

＜TAARDE＞：ダブルバッファの許可／禁止を設定します。

(注)　TAABRUN のビット 4 は、読み出される値は不定です。

TMRAABCR レジスタ

TAABCR (0xFFFFF12A)

	7	6	5	4	3	2	1	0
bit Symbol	TAABEN							
Read/Write	R/W							
リセット後	0	0	0					
機　能	TMRA 動作 0: 禁止 1: 許可	かならず"00"をライトしてください"						

＜TAABEN＞：TMRAAB の動作を指定します。動作禁止の状態では TMRAAB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRAAB を使用する場合は、TMRAAB モジュールの各レジスタを設定する前に TMRA 動作許可（"1"）にしてください。TMRAAB を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。この動作許可／禁止は TMRA8～B 単位になります（TMRA8～B をすべて許可または禁止にしてください）。

(注)　TAABCR のビット 6 は、"0"が読み出されます。

Not Recommended for New Design

TMRAA レジスタ

TAAREG (0xFFFFF129)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TAAREG のビット 7～0 は、読み出される値は不定です。

TMRAB レジスタ

TABREG (0xFFFFF128)

	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
機　能	タイマレジスタ							

(注)　TABREG のビット 7～0 は、読み出される値は不定です。

TMRAAB モードレジスタ

TAABMOD (0xFFFFF12F)

	7	6	5	4	3	2	1	0
bit Symbol	TAABM1	TAABM0	PWMA1	PWMA0	TABCLK1	TABCLK0	TAACLK1	TAACLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: reserved 01: 2^6-1 10: 2^7-1 11: 2^8-1		TMRAB ソースクロック 00: TAATRG 01: φT1 10: φT16 11: φT256		TMRAA ソースクロック 00: TAAIN 01: φT1 10: φT4 11: φT16	

< TAACLK1:0 >：TMRAA の入力クロックです。

< TABCLK1:0 >：TMRAB の入力クロックです（＜TAABM1:0＞＝"01"以外の時）。＜TAABM1:0＞＝"01"の時は設定値に関係なく TMRAA のオーバーフロー出力がソースクロックになります。

< PWMA1:0 >：8 ビット PWM モード時の周期を選択します。周期は(2^n-1)×クロックソースになります。

< TAABM1:0 >：TMRAAB の動作モードを選択します。"00"を選択すると、独立した 2 本の 8 ビットタイマ TMRAA、TMRAB として動作します。

Not Recommended for New Design

TMRAB フリップフロップコントロールレジスタ

TABFFCR (0xFFFFF12E)

	7	6	5	4	3	2	1	0
bit Symbol					TAFFBC1	TAFFBC0	TAFFBIE	TAFFBIS
Read/Write					R/W			
リセット後					1	1	0	0
機　能					00: TABFF の値を反転 (ソフト反転) 01: TABFF を “1” にセット 10: TABFF を “0” にクリア 11: Don’t care (読み出した場合はかならず “11” になっています)		TABFF 反転制御 0: 反転禁止 1: 反転許可	TABFF 反転信号セレクト 0: TMRAA 1: TMRAB

< TAFFBIS > ：タイマフリップフロップ B(TABFF)の反転信号として、TMRAA の一致検出か TMRAB の一致検出かを選択します。8 ビットタイマモード以外は Don’t care です。

(注)　TABFFCR のビット 4, 5, 6, 7 は読み出すと不定になります。

Not Recommended for New Design

11.4 モード別動作説明

11.4.1 8 ビットタイマモード

TMRA0, TMRA1 は、それぞれ独立に 8 ビットインタバルタイマとして使用できます。機能、および、カウントデータの設定を行う場合、TMRA0, TMRA1 を停止させた状態で行ってください。

① 一定周期の割り込みを発生させる場合

ここでは TMRA1 を使用した例を示します。TMRA1 を用いて、一定周期ごとに TMRA1 割り込み INTTA1 を発生させる場合、まずタイマ 1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD、TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、タイマ 1 をカウントさせます。

例: fc=40.5MHz で 20μs ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

※ クロック条件
- システムクロック : 高速 (fc)
- プリスケーラクロック : fperiph/4 (fperiph=fsys)

	MSB 7	6	5	4	3	2	1	LSB 0	
TA01RUN	← –	0	0	X	–	–	0	–	TMRA1 を停止し、ゼロクリアします。
TA01MOD	← 0	0	X	X	1	0	X	X	8 ビットタイマモードにし、入力クロックを φT1 (0.2μs 分解能、@fc=40.5MHz) に設定します。
TA1REG	← 0	1	1	0	0	1	0	0	TA1REG に 20μs÷φT1=100(64H) を書き込みます。
IMC6LH	← X	X	1	1	0	1	0	1	INTTAGA0 をイネーブル、割り込みレベル 5, 立ち上がりエッジ検出に設定します。
TA01RUN	← –	–	–	X	–	1	1	–	TMRA1 をカウントさせます。

X: Don't care –;no change

入力クロックの選択は表 11.4 を参考にしてください。

(注) TMRA0 と TMRA1 の入力クロックは下記のように異ります。
TMRA0: TA0IN 端子入力、φT1、φT4、φT16
TMRA1: TMRA0 の一致検出信号、φT1、φT16、φT256

Not Recommended for New Design

② デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ TA1FF の値を反転させ、この値をタイマフリップフロップ出力端子 TA1OUT へ出力します。

例: fc=40.5MHz で周期 1.2μs の矩形波を TA1OUT 端子から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を用いますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

※ クロック条件

システムクロック	:	高速 (fc)
高速クロックギア	:	1倍 (fc)
プリスケーラクロック	:	fperiph/4 (fperiph=fsys)

		7	6	5	4	3	2	1	0	
TA01RUN	←	–	0	0	X	–	–	0	–	TMRA1 を停止し、ゼロクリアします。
TA01MOD	←	0	0	X	X	0	1	–	–	8 ビットタイマモードにし、入力クロックを φT1 (0.2μs @fc=40.5MHz) に設定します。
TA1REG	←	0	0	0	0	0	0	1	1	TA1REG に 1.2μs÷φT1÷2=3 をセットします。
TA1FFCR	←	X	X	X	X	1	0	1	1	TA1FF を “0” にクリアし、TMRA1 からの一致検出信号で反転するように設定します。
PACR	←	–	–	–	–	–	–	1	–	PA1 を TA1OUT 出力端子に設定します。
PAFC	←	–	–	–	–	–	–	1	–	
TA01RUN	←	–	–	–	X	–	1	1	–	TMRA1 のカウントを開始させます。

X: Don't care –;no change

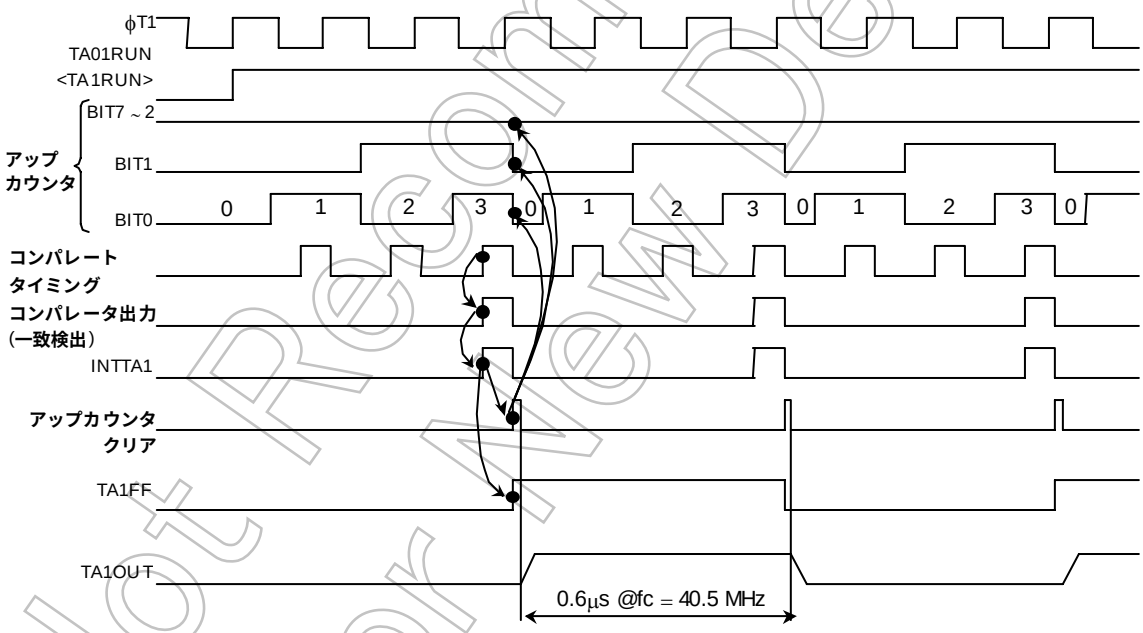


図 11.3 矩形波 (デューティ 50%) 出力のタイミングチャート

Not Recommended for New Design

③ TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

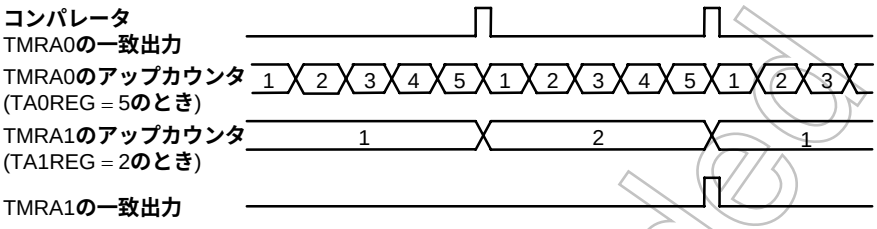


図 11.4 TMRA0 による TMRA1 のカウントアップ

11.4.2 16/24/32 ビットタイマモード

①16 ビットタイマモード

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。

TA01MOD<TA01M1：0> を “01” に設定することで 16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1：0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバフロー出力になります。TMRA0 の入力クロックの選択は表 11.4 を参考にしてください。TA01RUN＜bit2:0＞＝”111”に設定して動作開始します。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG1 に上位 8 ビットを順に設定します。タイマレジスタへの設定はタイマを停止させた状態で行なってください。

例: fc=40.5MHz で 0.1 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG，TA1REG には次の値を設定します。

※ クロック条件
- システムクロック : 高速 (fc)
- 高速クロックギア : 1 倍 (fc)
- プリスケーラクロック : fperiph/4 (fperiph＝fsys)

φT16 (=3.16μs @40.5MHz) を入力クロックとしてカウントすると

0.1s÷3.16μs=31646=7B9EH

したがって TA1REG=7BH， TA0REG=9EH を設定します。

Not Recommended for New Design

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。また、このとき INTTA0 は発生しません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG と一致すると、コンパレートタイミング時、毎回一致検出信号が出力されます。TMRA0, 1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0, 1 がゼロクリアされ、割り込み INTTA1 が発生します。また反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例: TA1REG=04H, TA0REG=80H の場合

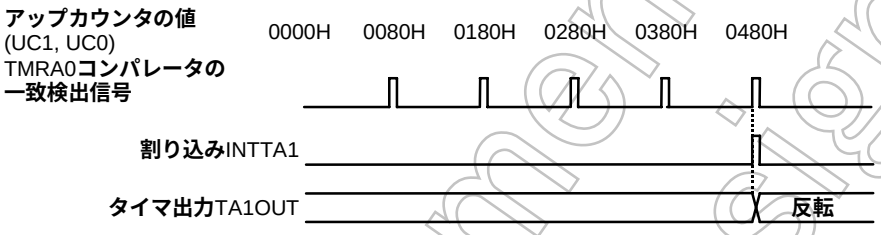


図 11.5 16 ビットタイマモードによるタイマ出力

②24 ビットタイマモード

TMRA0 と TMRA1 のペアに対して、TMRA2 をカスケード接続することで、24 ビットインタバルタイマとして使用できます。

TA01RUN<TA01C1:0> を “11” に、TA23RUN<TA23C1:0> を “01” に設定することで 24 ビットタイマモードとなります。

24 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバフロー出力になり、TA23MOD<TA2CLK1:0> の設定値にかかわらず、TMRA2 の入力クロックは、TMRA1 のオーバフロー出力になります。TMRA0 の入力クロックの選択は表 11.4 を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に最下位 8 ビットを、TA1REG に 8 ビットを、TA2REG に最上位 8 ビットを順に設定します。タイマレジスタへの設定はタイマを停止させた状態で行なってください。

②32 ビットタイマモード

TMRA0 と TMRA1 のペアと TMRA2 と TMRA3 のペアをカスケード接続することで、32 ビットインタバルタイマとして使用できます。

TA01RUN<TA01C1:0> を “11” に、TA23RUN<TA23C1:0> を “10” に設定することで 32 ビットタイマモードとなります。

32 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバフロー出力になり、TA23MOD<TA2CLK1:0> の設定値にかかわらず、TMRA2 の入力クロックは、TMRA1 のオーバフロー出力になり、TMRA3 の入力クロックは、TMRA2 のオーバフロー出力になります。TMRA0 の入力クロックの選択は表 11.4 を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に最下位 8 ビットを、TA1REG に 8 ビットを、TA2REG に 8 ビットを、TA3REG に最上位 8 ビットを順に設定します。

タイマレジスタへの設定はタイマを停止させた状態で行なってください。

Not Recommended for New Design

③カスケード接続の組み合わせ

16 ビットインターバルタイマとして使用する場合

上位	下位
TMRA3	TMRA2
TMRA7	TMRA6
TMRAB	TMRAA

上位	下位
TMRA1	TMRA0
TMRA5	TMRA4
TMRA9	TMRA8

24 ビットインターバルタイマとして使用する場合

最上位		最下位
TMRA2	TMRA1	TMRA0
TMRA6	TMRA5	TMRA4
TMRAA	TMRA9	TMRA8

（注）24 ビットインターバルタイマとしてカスケード接続されない TMRA3、TMRA7、TMRAB は独立した 8 ビットタイマとして動作可能です。

32 ビットインターバルタイマとして使用する場合

最上位			最下位
TMRA3	TMRA2	TMRA1	TMRA0
TMRA7	TMRA6	TMRA5	TMRA4
TMRAB	TMRAA	TMRA9	TMRA8

11.4.3 8 ビット PPG（プログラマブル矩形波）出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスはローアクティブ、ハイアクティブどちらの設定も可能です。

このモードに設定した場合 TMRA1 は使用できません。

矩形波は TA1OUT（PA1 と兼用）へ出力されます。

Not Recommended for New Design

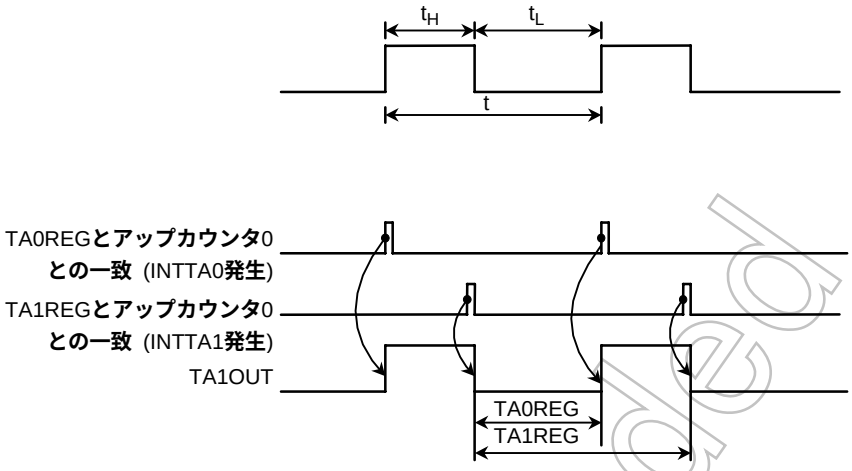


図 11.6 8 ビット PPG 出力波形

このモードは、8 ビットアップカウンタ UC0 が、タイマレジスタ TA0REG、および、TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは、TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN <TA1RUN>=1 に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと図 11.7 のようになります。

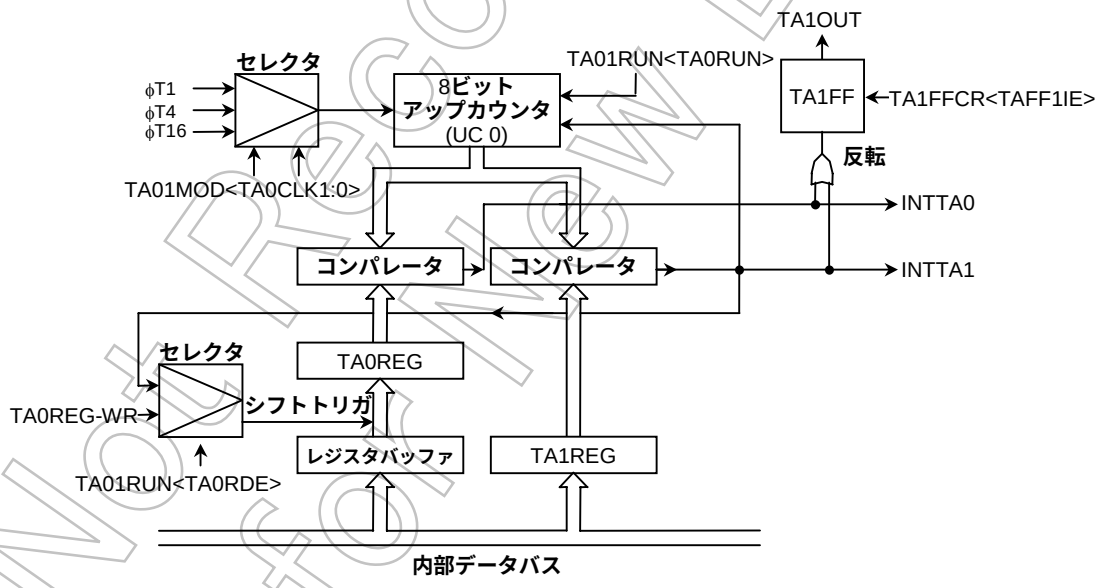


図 11.7 8 ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、動作中にデューティを変更することができます。

Not Recommended for New Design

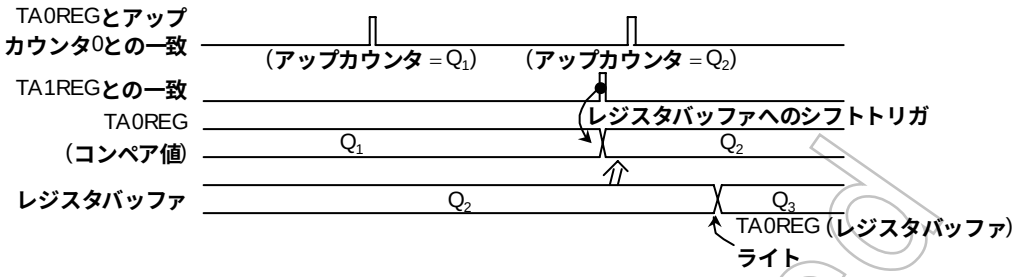
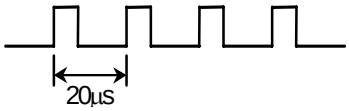


図 11.8 レジスタバッファの動作

例: デューティ 1/4 の 50 kHz のパルスを出力する場合(fc=40.5MHz)



※ クロック条件

システムクロック	:	高速 (fc)
高速クロックギア	:	1 倍 (fc)
プリスケーラクロック	:	fperiph/4 (fperiph = fsys)

タイマレジスタへの設定値を求めます。
周波数を 50kHz にするには、周期 t=1/50kHz=20μs の波形をつくります。
φT1=0.2μs (@fc=40.5MHz) を用いると、

20μs÷0.2μs=100

したがって TA1REG を、TA1REG=100=64H
次にデューティを 1/4 にするには、t×1/4=20μs×1/4=5μs

5μs÷0.2μs=25

したがって TA0REG=25=19H に設定します。

		7	6	5	4	3	2	1	0	
TA01RUN	←	0	0	0	X	–	0	0	0	TMRA0, 1 を停止し、ゼロクリアします。
TA01MOD	←	1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックをφT1 にします。
TA0REG	←	0	0	0	1	1	0	0	1	19H を書き込みます。
TA1REG	←	0	1	1	0	0	1	0	0	64H を書き込みます。
TA1FFCR	←	X	X	X	X	0	1	1	X	TA1FF をセットし反転イネーブルにします。
										“10”にすると負論理の出力波形が得られます。
PACR	←	–	–	–	–	–	–	1	–	PA1 を TA1OUT 端子に設定します。
PAFC	←	–	–	–	–	–	–	1	–	
TA01RUN	←	1	–	–	X	–	1	1	1	TMRA0, 1 のカウントを開始します。

X: Don't care –; no change

Not Recommended for New Design

11.4.4 8 ビット PWM 出力モード

TMRA0 にのみ可能なモードです。分解能 8 ビットまでの PWM を出力することができます。PWM 出力は TA1OUT 端子（PA1 と兼用）へ出力されます。

このモードでは、TMRA1 は 8 ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタ UC0 がタイマレジスタ TA0REG の設定値と一致したときと、2^n-1（n=6,7,8 のいずれかを TA01MOD <PWM01:00> で指定）カウンタオーバフロー発生時に起こります。また、UC0 は 2^n-1 カウンタのオーバフローによってクリアされます。

なお、この PWM モードを使用する場合、次の条件を満たさなければなりません。

(TA0REG の設定値) ＜ (2^n-1 カウンタのオーバフロー設定値)

(TA0REG の設定値) ≠ 0

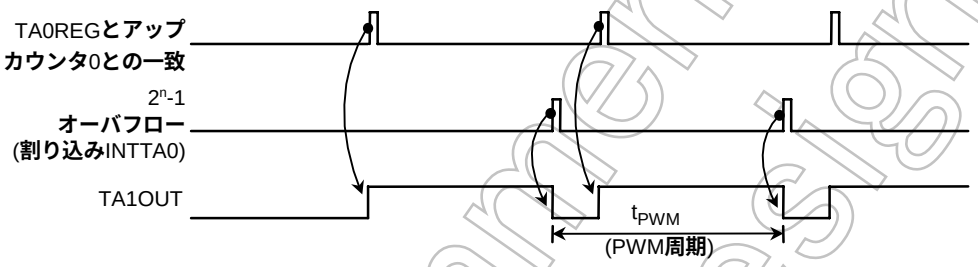


図 11.9 8 ビット PWM 出力波形

このモードをブロック図で示すと図 11.10 のようになります。

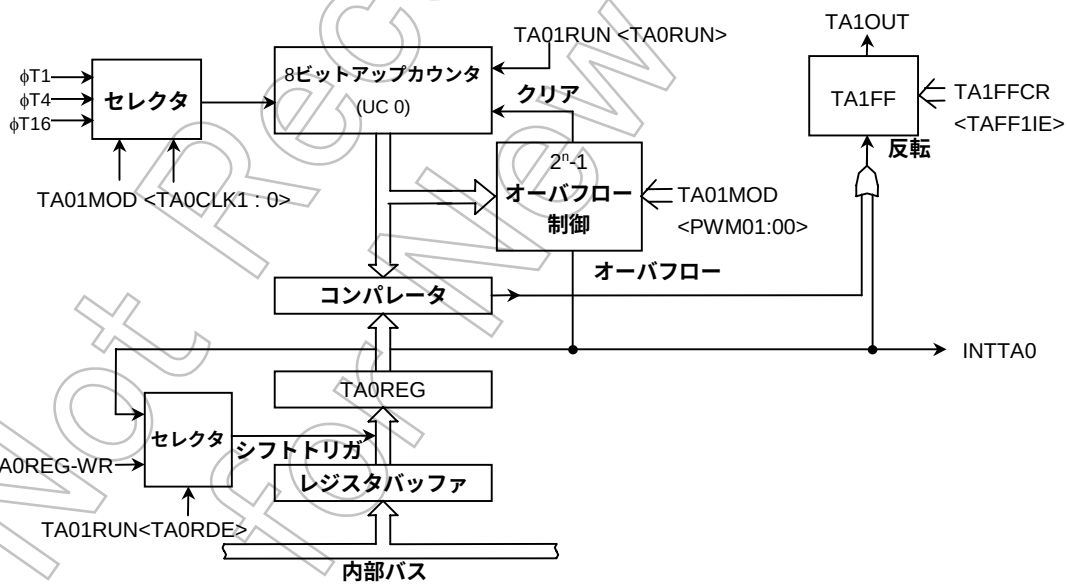


図 11.10 8 ビット PWM 出力モードのブロック図

Not Recommended for New Design

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、2^n–1 オーバフロー検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、動作中にデューティを変更することができます。

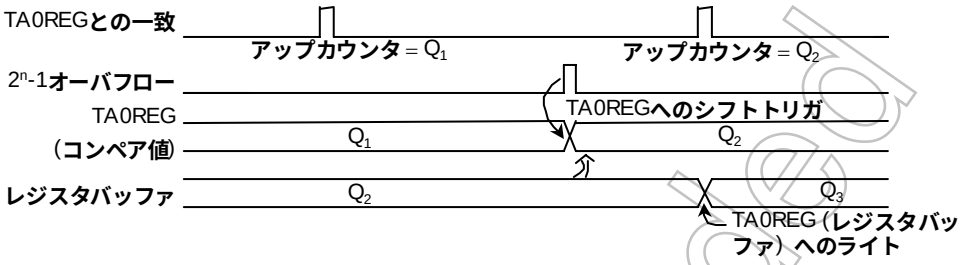
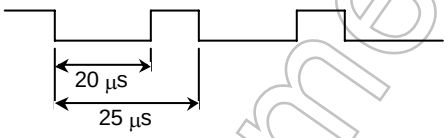


図 11.11 レジスタバッファの動作

例: fc=40.5MHz 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合



※ クロック条件
- システムクロック : 高速 (fc)
- 高速クロックギア : 1 倍 (fc)
- プリスケーラクロック : fperiph/4 (fperiph=fsys)

PWM 周期 25μs をφT1=0.2(0.197)μs (@fc=40.5MHz) で実現する場合

25μs÷0.197μs=127=2^n-1

したがって n=7 に設定します。

“L” レベルの期間は 20μs ですからφT1=0.2μs では、

20μs÷0.2μs=100=64H

を TA0REG に設定します。

	MSB							LSB	
	7	6	5	4	3	2	1	0	
TA01RUN	← –	0	0	X	–	–	–	0	TMRA0 を停止し、ゼロクリアします。
TA01MOD	← 1	1	1	0	–	–	0	1	8 ビット PWM モード (周期 = 2^7–1)にし、入力クロックをφT1 にします。
TA0REG	← 0	1	1	0	0	1	0	0	64H を書き込みます。
TA1FFCR	← X	X	X	X	1	0	1	X	TA1FF をクリアし、反転イネーブルにします。
PACR	← –	–	–	–	–	–	1	–	PA1 を TA1OUT 端子に設定します。
PAFC	← –	–	–	–	–	–	1	–	
TA01RUN	← 1	–	–	X	–	1	–	1	TMRA0 のカウントを開始します。

X: Don't care –: no change

Not Recommended for New Design

表 11.5 PWM 周期

@fc = 40.5 MHz

ﾍﾟﾘﾌｪﾗﾙｸﾛｯｸ 選択<FPSEL>	ｸﾛｯｸｷﾞｱ値 <GEAR1:0>	ﾌﾟﾘｽｹｰﾗｸﾛｯｸ選択 <PRCK1:0>	PWM周期								
			2^6-1			2^7-1			2^8-1		
			ΦT1	ΦT4	ΦT16	ΦT1	ΦT4	ΦT16	ΦT1	ΦT4	ΦT16
0(fgear)	00(fc)	00(fperiph/16)	49.8 µs	199 µs	796 µs	100 µs	401 µs	1.61ms	201 µs	806 µs	3.22ms
		01(fperiph/8)	24.9 µs	99.6 µs	398 µs	50.2 µs	201 µs	803 µs	101 µs	403 µs	1.61ms
		10(fperiph/4)	12.4 µs	49.8 µs	199 µs	25.1 µs	100 µs	401 µs	50.3 µs	201 µs	806 µs
	01(fc/2)	00(fperiph/16)	99.6 µs	398 µs	1.59ms	201 µs	803 µs	3.21ms	403 µs	1.61ms	6.45ms
		01(fperiph/8)	49.8 µs	199 µs	796 µs	100 µs	401 µs	1.61ms	201 µs	806 µs	3.22ms
		10(fperiph/4)	24.9 µs	99.6 µs	398 µs	50.2 µs	201 µs	803 µs	101 µs	403 µs	1.61ms
	10(fc/4)	00(fperiph/16)	199 µs	796 µs	3.19ms	401 µs	1.61ms	6.42ms	806 µs	3.22ms	12.9ms
		01(fperiph/8)	99.6 µs	398 µs	1.59ms	201 µs	803 µs	3.21ms	403 µs	1.61ms	6.45ms
		10(fperiph/4)	49.8 µs	199 µs	796 µs	100 µs	401 µs	1.61ms	201 µs	806 µs	3.22ms
	11(fc/8)	00(fperiph/16)	398 µs	1.59ms	6.37ms	803 µs	3.21ms	12.8ms	1.61ms	6.45ms	25.8ms
		01(fperiph/8)	199 µs	796 µs	3.19ms	401 µs	1.61ms	6.42ms	806 µs	3.22ms	12.9ms
		10(fperiph/4)	99.6 µs	398 µs	1.59ms	201 µs	803 µs	3.21ms	403 µs	1.61ms	6.45ms
1(fc)	00(fc)	00(fperiph/16)	49.8 µs	199 µs	796 µs	100 µs	401 µs	1.61ms	201 µs	806 µs	3.22ms
		01(fperiph/8)	24.9 µs	99.6 µs	398 µs	50.2 µs	201 µs	803 µs	101 µs	403 µs	1.61ms
		10(fperiph/4)	12.4 µs	49.8 µs	199 µs	25.1 µs	100 µs	401 µs	50.3 µs	201 µs	806 µs
	01(fc/2)	00(fperiph/16)	49.8 µs	199 µs	796 µs	100 µs	401 µs	1.61ms	201 µs	806 µs	3.22ms
		01(fperiph/8)	24.9 µs	99.6 µs	398 µs	50.2 µs	201 µs	803 µs	101 µs	403 µs	1.61ms
		10(fperiph/4)	12.4 µs	49.8 µs	199 µs	25.1 µs	100 µs	401 µs	50.3 µs	201 µs	806 µs
	10(fc/4)	00(fperiph/16)	49.8 µs	199 µs	796 µs	100 µs	401 µs	1.61ms	201 µs	806 µs	3.22ms
		01(fperiph/8)	24.9 µs	99.6 µs	398 µs	50.2 µs	201 µs	803 µs	101 µs	403 µs	1.61ms
		10(fperiph/4)	—	49.8 µs	199 µs	—	100 µs	401 µs	—	201 µs	806 µs
	11(fc/8)	00(fperiph/16)	49.8 µs	199 µs	796 µs	100 µs	401 µs	1.61ms	201 µs	806 µs	3.22ms
		01(fperiph/8)	—	99.6 µs	398 µs	—	201 µs	803 µs	—	403 µs	1.61ms
		10(fperiph/4)	—	49.8 µs	199 µs	—	100 µs	401 µs	—	201 µs	806 µs

(注 1) プリスケーラ出力ΦTn は、かならずϕTn<fsys/2 を満足するように (ϕTn が fsys/2 よりも遅くなるように) 選択してください。

(注 2) 表中の”ー” の部分は設定禁止です。

Not Recommended for New Design

11.4.5 動作モード設定一覧

TMRA01 の各モードをまとめると表 11.6 のような設定になります。

表 11.6 各タイマモードの設定レジスタ

レジスタ名	TA01RUN	TA01MOD				TA1FFCR
<レジスタ中の機能名>	<TA01C1 : 0>	<TA01M1 : 0>	<PWM01 : 00>	<TA1CLK1 : 0>	<TA0CLK1 : 0>	TAFF1IS
機　　能	カスケード接続	タイマモード	PWM 周期	上位タイマ入力クロック	下位タイマ入力クロック	タイマ F/F 反転信号セレクト
8 ビットタイマ × 2ch	00	00	—	下位タイマ一致 φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16 ビットタイマモード	00	01	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
24 ビットタイマモード	11	—	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11	—
32 ビットタイマモード	11	—	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11	—
8 ビット PPG × 1ch	00	10	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビット PWM × 1ch 8 ビットタイマ(注 2)	00	11	2^6-1, 2^7-1, 2^8-1 (01, 10, 11)	φT1, φT16 , φT256 (01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	PWM 出力

(注1) —: Don't care

(注2) このモードでは上位タイマは 8 ビットタイマとして使用できますが、下位タイマの一致をクロック入力として使用できません。また、タイマ出力も使用できません。

Not Recommend for New Design

12. 16 ビットタイマ/イベントカウンタ (TMRB)

多機能 16 ビットタイマ/イベントカウンタを 4 チャネル（TMRB0~TMR3）内蔵しています。TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力（PPG）モード
- 2 相パルス入力カウンタモード（TMRB2、TMRB3 のみ）

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

各チャネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本（1 本はダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップは 13 バイトのレジスタで制御されます。

各チャネル（TMRB0~TMRB3）はそれぞれ独立に動作します。いずれのチャネルも表 12.1に示される仕様相違点と 2 相パルスカウント機能を除いて同一の動作をしますので、動作説明は TMRB0 の場合と 2 相パルスカウント機能（TMRB2、TMRB3）についてのみ説明します。

表 12.1 TMRB のチャネル別仕様相違点

仕様 ＼ チャネル		TMRB0	TMRB1	TMRB2	TMRB3
外部端子	外部クロック/キャプチャトリガ入力端子	TB0IN0 (PL4 と兼用) TB0IN1 (PL5 と兼用)	TB1IN0 (PL6 と兼用) TB1IN1 (PL7 と兼用)	TB2IN0 (PB2 と兼用) TB2IN1 (PB3 と兼用)	TB3IN0 (PB5 と兼用) TB3IN1 (PB6 と兼用)
	キャプチャトリガ用タイマ	TA3OUT	TA3OUT	TA3OUT	TA3OUT
	タイマフリップフロップ出力端子	TB0OUT (PB0 と兼用)	TB1OUT (PB1 と兼用)	TB2OUT(PB4 と兼用)	TB3OUT (PB7 と兼用)
レジスタ名 (アドレス)	タイマ RUN レジスタ	TB0RUN (0xFFFF_F143)	TB1RUN (0xFFFF_F153)	TB2RUN (0xFFFF_F163)	TB3RUN (0xFFFF_F173)
	タイマコントロールレジスタ	TB0CR (0xFFFF_F142)	TB1CR (0xFFFF_F152)	TB2CR (0xFFFF_F162)	TB3CR (0xFFFF_F172)
	タイマモードレジスタ	TB0MOD (0xFFFF_F141)	TB1MOD (0xFFFF_F151)	TB2MOD (0xFFFF_F161)	TB3MOD (0xFFFF_F171)
	タイマフリップフロップコントロールレジスタ	TB0FFCR (0xFFFF_F140)	TB1FFCR (0xFFFF_F150)	TB2FFCR(0xFFFF_F160)	TB3FFCR (0xFFFF_F170)
	タイマステータスレジスタ	TB0ST (0xFFFF_F147)	TB1ST (0xFFFF_F157)	TB2ST (0xFFFF_F167)	TB3ST (0xFFFF_F177)
	タイマレジスタ	TB0RG0L (0xFFFF_F14B) TB0RG0H (0xFFFF_F14A) TB0RG1L (0xFFFF_F149) TB0RG1H (0xFFFF_F148)	TB1RG0L (0xFFFF_F15B) TB1RG0H (0xFFFF_F15A) TB1RG1L (0xFFFF_F159) TB1RG1H (0xFFFF_F158)	TB2RG0L (0xFFFF_F16B) TB2RG0H (0xFFFF_F16A) TB2RG1L (0xFFFF_F169) TB2RG1H (0xFFFF_F168)	TB3RG0L (0xFFFF_F17B) TB3RG0H (0xFFFF_F17A) TB3RG1L (0xFFFF_F179) TB3RG1H (0xFFFF_F178)
	キャプチャレジスタ	TB0CP0L (0xFFFF_F14F) TB0CP0H (0xFFFF_F14E) TB0CP1L (0xFFFF_F14D) TB0CP1H (0xFFFF_F14C)	TB1CP0L (0xFFFF_F15F) TB1CP0H (0xFFFF_F15E) TB1CP1L (0xFFFF_F15D) TB1CP1H (0xFFFF_F15C)	TB2CP0L (0xFFFF_F16F) TB2CP0H (0xFFFF_F16E) TB2CP1L (0xFFFF_F16D) TB2CP1H (0xFFFF_F16C)	TB3CP0L (0xFFFF_F17F) TB3CP0H (0xFFFF_F17E) TB3CP1L (0xFFFF_F17D) TB3CP1H (0xFFFF_F17C)

Not Recommended for New Design

12.1 チャネル別のブロック図

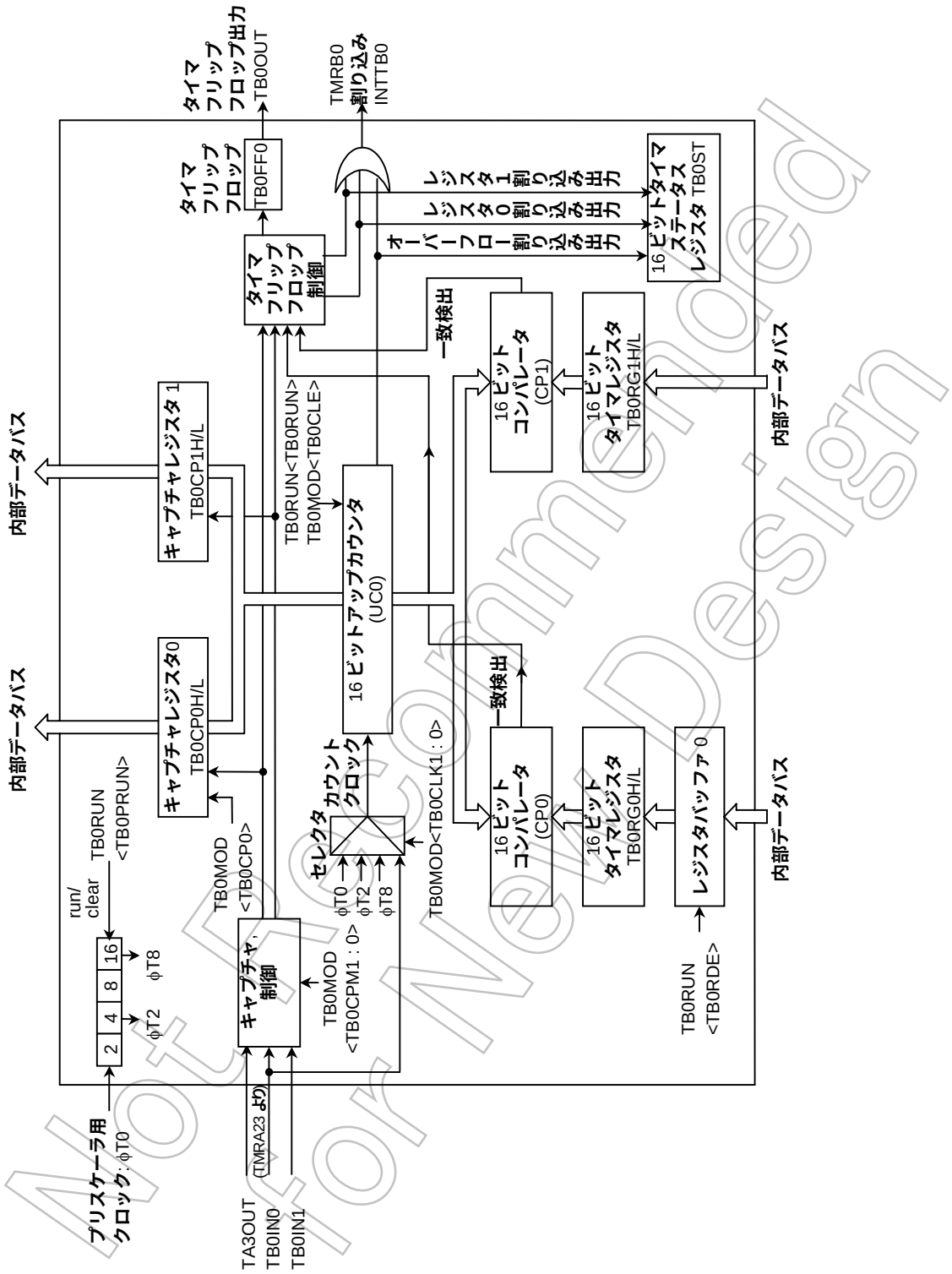


図 12.1 TMRB0 **ブロック図（チャネル** 1 **も同様）**

Not Recommended for New Design

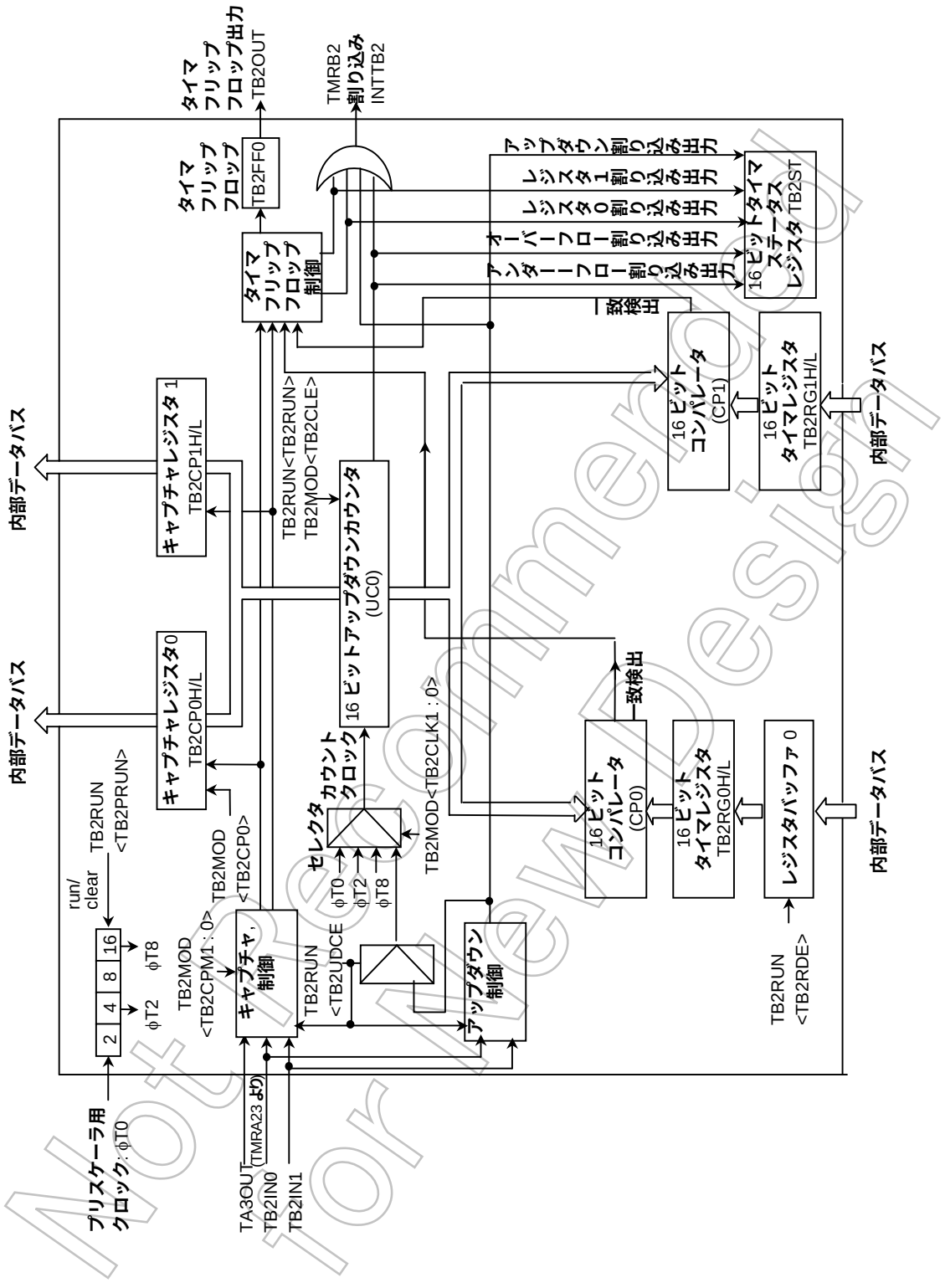


図 12.2 TMRB2 **ブロック図（チャネル** 3 **も同様）**

Not Recommended for New Design

12.2 回路別の動作説明

12.2.1 プリスケーラ

TMRB0 のクロックソースを得るため、5 ビットプリスケーラがあります。プリスケーラへの入力クロックφT0 は CG 部の SYSCR0<PRCK1:0> にて選択した fperiph/4、fperiph/8、fperiph/16 のいずれかのクロックです。

このペリフェラルクロック fperiph は CG 部の SYSCR1<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBORUN<TB0PRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し “0” をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.10.2 に示します。

表 12.2 プリスケーラ出力クロック分解能

@fc = 40.5 MHz

ペリフェラルクロック選択 <FPSEL>	クロックギア値 <GEAR1 : 0>	プリスケーラクロック選択 <PRCK1 : 0>	プリスケーラ出力クロック分解能		
			φT0	φT2	φT8
0 (fgear)	00 (fc)	00 (fperiph/16)	fc/2^4(0.4 μs)	fc/2^6(1.58 μs)	fc/2^8 (6.32 μs)
		01 (fperiph/8)	fc/2^3(0.2 μs)	fc/2^5(0.8 μs)	fc/2^7 (3.16 μs)
		10 (fperip/4)	fc/2^2(0.1 μs)	fc/2^4(0.4 μs)	fc/2^6 (1.58 μs)
	01 (fc/2)	00 (fperiph/16)	fc/2^5(0.8 μs)	fc/2^7(3.16 μs)	fc/2^9 (12.6 μs)
		01 (fperiph/8)	fc/2^4(0.4 μs)	fc/2^6(1.58 μs)	fc/2^8 (6.32 μs)
		10 (fperip/4)	fc/2^3(0.2 μs)	fc/2^5(0.8 μs)	fc/2^7 (3.16 μs)
	10 (fc/4)	00 (fperiph/16)	fc/2^6(1.58 μs)	fc/2^8(6.32 μs)	fc/2^{10} (25.3 μs)
		01 (fperiph/8)	fc/2^5(0.8 μs)	fc/2^7(3.16 μs)	fc/2^9 (12.6 μs)
		10 (fperip/4)	fc/2^4(0.4 μs)	fc/2^6(1.58 μs)	fc/2^8 (6.32 μs)
	11 (fc/8)	00 (fperiph/16)	fc/2^7(3.16 μs)	fc/2^9(12.6 μs)	fc/2^{11} (50.6 μs)
		01 (fperiph/8)	fc/2^6(1.58 μs)	fc/2^8(6.32 μs)	fc/2^{10} (25.3 μs)
		10 (fperip/4)	fc/2^5(0.8 μs)	fc/2^7(3.16 μs)	fc/2^9 (12.6 μs)
1 (fc)	00 (fc)	00 (fperiph/16)	fc/2^4(0.4 μs)	fc/2^6(1.58 μs)	fc/2^8 (6.32 μs)
		01 (fperiph/8)	fc/2^3(0.2 μs)	fc/2^5(0.8 μs)	fc/2^7 (3.16 μs)
		10 (fperip/4)	fc/2^2(0.1 μs)	fc/2^4(0.4 μs)	fc/2^6 (1.58 μs)
	01 (fc/2)	00 (fperiph/16)	fc/2^4(0.4 μs)	fc/2^6(1.58 μs)	fc/2^8 (6.32 μs)
		01 (fperiph/8)	fc/2^3(0.2 μs)	fc/2^5(0.8 μs)	fc/2^7 (3.16 μs)
		10 (fperip/4)	−	fc/2^4(0.4 μs)	fc/2^6 (1.58 μs)
	10 (fc/4)	00 (fperiph/16)	fc/2^4(0.4 μs)	fc/2^6(1.58 μs)	fc/2^8 (6.32 μs)
		01 (fperiph/8)	−	fc/2^5(0.8 μs)	fc/2^7 (3.16 μs)
		10 (fperip/4)	−	fc/2^4(0.4 μs)	fc/2^6 (1.58 μs)
	11 (fc/8)	00 (fperiph/16)	−	fc/2^6(1.58 μs)	fc/2^8 (6.32 μs)
		01 (fperiph/8)	−	fc/2^5(0.8 μs)	fc/2^7 (3.16 μs)
		10 (fperip/4)	−	−	fc/2^6 (1.58 μs)

(注1) プリスケーラ出力クロックφTn は、かならずφTn<fsys/2 を満足するように (φTn が fsys/2 よりも遅くなるように) 選択してください。

(注2) タイマ動作中にクロックギアの切り換えはしないでください。

(注3) —: 設定禁止

Not Recommended for New Design

12.2.2 アップカウンタ (UC0)

TB0MOD<TB0CLK1 : 0> で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入力クロックは、3 種類のプリスケーラ出力クロックΦT0、ΦT2、ΦT8、または、TB0IN0 端子の外部クロックのいずれかを選択できます。UC0 は、TB0RUN<TB0RUN> によってカウント/停止&クリアを設定します。UC0 は、タイマレジスタ TB0RG1H / L と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

また、UC0 のオーバフローが発生した場合、オーバフロー割り込み INTTB01 が発生します。

TMRB2、TMRB3 には 2 相パルス入力カウント機能があり、TB2RUN<TB2UDCE>によって 2 相パルスカウントモードになり、本カウンタはアップ・ダウンカウンタとして機能し、カウンタは 0x7FFF に初期化されます。カウンタがオーバフローすると、初期値 0x0000、またはアンダーフローすると初期値 0xFFFF がリロードされます。2 相パルスカウントモードではない場合はアップカウントのみとなります。

12.2.3 タイマレジスタ (TB0RG0H/L、TB0RG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本づつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TB0RG0H/L、TB0RG1H/L へのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

このタイマレジスタは、TB0RG0 がダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。TB0RG0 は TB0RUN<TB0RDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TB0RDE> = “0” のときディセーブル、<TB0RDE> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TB0RG0 へのデータ転送は、UC0 と TB0RG1 との一致時に行われます。

リセット動作により、TB0RG0、TB0RG1 は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。リセット動作により、TB0RUN <TB0RDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TB0RDE> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TB0RG0 とレジスタバッファは、同じアドレス 0xFFFF_F18A/0xFFFF_F18B に割り付けられています。<TB0RDE> = “0” のときは、TB0RG0 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<TB0RDE> = “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

12.2.4 キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。キャプチャレジスタを読み出す場合は、2 バイトデータ転送命令を用いるか 1 バイトデータ転送命令を用いて読み出す場合は必ず下位 → 上位の順で読み出してください。

Not Recommended for New Design

12.2.5 キャプチャ

アップカウンタ UC0 の値をキャプチャレジスタ TB0CP0、TB0CP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TB0MOD<TB0CPM1：0>で設定します。

また、ソフトウエアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0> に “0” を書き込むたびに、その時点の UC0 の値をキャプチャレジスタ TB0CP0 へキャプチャします。なお、プリスケーラは、RUN 状態 (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

2 相パルスカウントモード (TMRB2、TMRB3 のみ) ではカウンタの値はソフトウエアキャプチャにより取り込みます。

(注1) キャプチャレジスタの下位 8 ビットをリードするとキャプチャ動作ができなくなります。続けて上位 8 ビットをリードするとキャプチャ動作ができるようになります。

(注2) 下位 8 ビットのみリードした状態でタイマストップすると、再スタート後もキャプチャできない状態が継続するので下位 8 ビットのみリードした状態でタイマをストップしないでください。

12.2.6 コンパレータ (CP0、CP1)

アップカウンタ UC0 と、タイマレジスタ TB0RG0、TB0RG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTTB0 を発生します。

12.2.7 タイマフリップフロップ (TB0FF0)

タイマフリップフロップ (TB0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TB0FFCR<TB0C1T1，TB0C0T1，TB0E1T1，TB0E0T1> によって設定できます。

リセット後、TB0FF0 の値は不定となります。TB0FFCR<TB0FF0C1 : 0>に “00” を書き込むことで反転、“01” を書き込むことで “1” にセット、“10” を書き込むことで “0” にクリアすることが可能です。

TB0FF0 の値は、タイマ出力端子 TB0OUT 端子 (PB0 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート A 関連レジスタ PBCR、PBFC により、設定を行う必要があります。

Not Recommended for New Design

12.3 レジスタ説明

TMRBn RUN レジスタ（n=0、1）

TBnRUN (0xFFFF_F1x3)

	7	6	5	4	3	2	1	0
bit Symbol	TBnRDE	—			I2TBn	TBnPRUN		TBnRUN
Read/Write	R/W	R/W		R/W	R/W	R/W		R/W
リセット後	0	0		0	0	0		0
機　能	Double Buffer 0: 禁止 1: 許可	“0” をライトしてください。		“0” をライトしてください。	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

＜TBnRUN＞：TMRB0 のカウント動作を制御します。

＜TBnPRUN＞：TMRB0 のプリスケーラの動作を制御します。

＜I2TBn＞：IDLE モード時の動作を制御します。

＜TBnRDE＞：ダブルバッファの許可／禁止を制御します。

(注)　TBnRUN のビット 1, 5 は、リードすると"0"が読み出されます。

TMRBm RUN レジスタ（m=2、3）

TBmRUN (0xFFFF_F1x3)

	7	6	5	4	3	2	1	0
bit Symbol	TBmRDE	—	—	TBmUDCE	I2TBm	TBmPRUN		TBmRUN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W		R/W
リセット後	0	0	0	0	0	0		0
機　能	Double Buffer 0: 禁止 1: 許可	“0” をライトしてください。	“1” をライトしてください。	2 相カウンタイネーブル 0: ディゼーブル 1: イネーブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント		

＜TBmRUN＞：TMRB0 のカウント動作を制御します。

＜TBmPRUN＞：TMRB0 のプリスケーラの動作を制御します。

＜I2TBm＞：IDLE モード時の動作を制御します。

＜TBmUDCE＞：2 相パルス入力カウント動作のイネーブル／ディゼーブルを制御します。

＜UDmCK＞：2 相パルス入力のサンプリングクロックを選択します。

＜TBmRDE＞：ダブルバッファの許可／禁止を制御します。

(注1)　TBmRUN のビット 1 は、リードすると"0"が読み出されます。

(注2)　TBmRUN のビット 4 を 1 にセットすると 2 相パルス入力カウントモードになり、カウンタはアップダウンカウントします。0 にクリアすると、通常のタイマーモードになりカウンタはアップカウントのみになります。

図 12.3 TMRB 関係のレジスタ

Not Recommended for New Design

TMRBn コントロールレジスタ（n=0～3）

TBnCR (0xFFFF_F1x2)

	7	6	5	4	3	2	1	0
bit Symbol	TBnEN	—						
Read/Write	R/W	R/W						
リセット後	0	0						
機　能	TMRBn 動作 0: 禁止 1: 許可	"0" をライトしてください。						

＜TBnEN＞：TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可（"1"）にしてください。TMRB を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

(注)　TBnCR のビット 0～5 は、リードすると"0"が読み出されます。

TMRBn モードレジスタ（n=0～3）

TBnMOD (0xFFFF_F1x1)

	7	6	5	4	3	2	1	0
bit Symbol	—	—	TBnCP0	TBnCPM1	TBnCPM0	TBnCLE	TBnCLK1	TBnCLK0
Read/Write			W	R/W				
リセット後	0	0	1	0	0	0	0	0
機　能	かならず "00" を設定してください。		ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00: ディセーブル 01: TBnIN0 ↑ TBnIN1 ↑ 10: TBnIN0 ↑ TBnIN0 ↓ 11: TA3OUT ↑ TA3OUT ↓		アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル	ソースクロック選択 00: TBnIN0 端子入力 01: φT0 10: φT2 11: φT8	

＜TBnCLK1:0＞：TMRBn のタイマカウントクロックを選択します。

＜TBnCLE＞：TMRBn のアップカウンタのクリア制御をおこないます。

"0"：アップカウンタのクリア禁止

"1"：タイマレジスタ 1（TBnRG1）との一致でクリア

＜TBnCPM1:0＞：TMRBn のキャプチャタイミングを設定します。

"00"：キャプチャ禁止

"01"：TBnIN0 端子入力の立ち上がりでキャプチャレジスタ 0（TBnCP0）にカウント値を取り込み、TBnIN1 端子入力の立ち上がりでキャプチャレジスタ 1（TBnCP1）にカウント値を取り込む

"10"：TBnIN0 端子入力の立ち上がりでキャプチャレジスタ 0（TBnCP0）にカウント値を取り込み、TBnIN0 端子入力の立ち下がりでキャプチャレジスタ 1（TBnCP1）にカウント値を取り込む

"11"：8 ビットタイマー致出力（TA3OUT）の立ち上がりでキャプチャレジスタ 0（TBnCP0）にカウント値を取り込み、TA3OUT の立ち下がりでキャプチャレジスタ 1（TBnCP1）にカウント値を取り込む（TMRB0~3：TA3OUT）

＜TBnCP0＞：ソフトウェアキャプチャし、キャプチャレジスタ 0（TBnCP0）にカウント値を取り込ます。

(注)　TBnMOD のビット 5 は、リードすると"1"が読み出されます。

図 12.4 TMRB 関係のレジスタ

Not Recommended for New Design

TMRBn フリップフロップコントロールレジスタ（n=0~3）

		7	6	5	4	3	2	1	0
TBnFFCR (0xFFFF_F1x0)	bit Symbol	—	—	TBnC1T1	TBnC0T1	TBnE1T1	TBnE0T1	TBnFF0C1	TBnFF0C0
	Read/Write	W*		R/W				W*	
	リセット後	1	1	0	0	0	0	1	1
	機　能	かならず “11” を設定してください。 ※読み出すと常に “11” になります。		TBnFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル				TBnFF0 の制御 00: Invert 01: Set 10: Clear 11: Don’t care ※ 読み出すと常に “11” になります。	
				TBnCP1 へのアップカウンタ値取り込み時	TBnCP0 へのアップカウンタ値取り込み時	アップカウンタと TBnRG1 との一致時	アップカウンタと TBnRG0 との一致時		

＜TBnFF0C1:0＞：タイマフリップフロップを制御します。

“00”：TBnFF0 の値を反転（ソフト反転）します

“01”： TBnFF0 を”1”にセットします

“10”： TBnFF0 を”0”にクリアします

“11”：Don’t care

＜TBnE1:0＞：アップカウンタとタイマレジスタ 0,1（TBnRG0,1）との一致時にタイマフリップフロップを反転します。

＜TBnC1:0＞：アップカウンタの値がキャプチャレジスタ 0,1（TBnCP0,1）に取り込まれた時にタイマフリップフロップを反転します。

図 12.5 TMRB 関係のレジスタ

Not Recommended for New Design

TMRBn ステータスレジスタ（n=0,1）

		7	6	5	4	3	2	1	0
TBnST (0xFFFF_F1x7)	bit Symbol						INTTBOFn	INTTBn1	INTTBn0
	Read/Write						R		
	リセット後						0	0	0
	機　能						0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

＜INTTBn0＞：タイマレジスタ 0（TBnRG0）との一致割り込み
＜INTTBn1＞：タイマレジスタ 1（TBnRG1）との一致割り込み
＜INTTBOFn＞：アップカウンタのオーバーフロー割り込み

（注）いずれかの割り込みが発生すると、TBnST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBnST レジスタをリードすると、フラグはクリアされます。

TMRBm ステータスレジスタ（m=2,3）

① TBmRUN＜TBmUDCE＞ = 0 のとき: 通常のタイマーモード

		7	6	5	4	3	2	1	0
TBmST (0xFFFF_F1x7)	bit Symbol						INTTBOFm	INTTBm1	INTTBm0
	Read/Write						R		
	リセット後						0	0	0
	機　能						0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

＜INTTBm0＞：タイマレジスタ 0（TBmRG0）との一致割り込み発生
＜INTTBm1＞：タイマレジスタ 1（TBmRG1）との一致割り込み発生
＜INTTBOFm＞：アップカウンタのオーバーフロー割り込み発生

（注）いずれかの割り込みが発生すると、TBmST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBmST レジスタをリードすると、フラグはクリアされます。

② TBmRUN＜TBmUDCE＞ = 1 のとき: 2 相パルス入力カウントモード

		7	6	5	4	3	2	1	0
TBmST (0xFFFF_F1x7)	bit Symbol				INTTBUDm	INTTBUDFm	INTTBOUFm		
	Read/Write				R				
	リセット後				0	0	0		
	機　能				アップダウンカウント 0: 発生無し 1: 発生	アンダーフロー 0: 発生無し 1: 発生	オーバーフロー 0: 発生無し 1: 発生		

INTTBUDF2: アップダウンカウンタのアンダーフロー発生
INTTBOVF2: アップダウンカウンタのオーバフロー発生
INTTBUD2: アップまたはダウンカウント発生

＜INTTBOVFm＞：アップダウンカウンタのオーバーフロー割り込み発生
＜INTTBUDFm＞：アップダウンカウンタのアンダーフロー割り込み発生
＜INTTBUDm＞：アップまたはダウンカウント割り込み発生

（注）いずれかの割り込みが発生すると、TBmST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBmST レジスタをリードすると、フラグはクリアされます。

図 12.6 TMRB 関係のレジスタ

Not Recommended for New Design

12.4 モード別動作説明

12.4.1 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TB0RG1 にインタバル時間を設定し、INTTB01 割り込みを発生します。

```
                    7  6  5  4  3  2  1  0
TB0RUN      ←       0  0  X  0  –  0  X  0      TMRB0 を停止します。

IMC7LH      ←       X  X  1  1  0  1  0  0      INTTB0 をイネーブル、レベル 4 に設定します。
TB0FFCR     ←       1  1  0  0  0  0  1  1      トリガをディセーブルします。
TB0MOD      ←       0  0  1  0  0  1  *  *      入力クロックをプリスケーラ出力クロックにし、
                              (** = 01, 10, 11)  キャプチャ機能をディセーブルにします。
TB0RG1      ←       *  *  *  *  *  *  *  *      インタバル時間を設定します。
                    *  *  *  *  *  *  *  *      (16 ビット)
TB0RUN      ←       0  0  X  0  –  1  X  1      TMRB0 を起動します。
```

X; Don't care –; no change

12.4.2 16 ビットイベントカウンタモード

入力クロックを外部クロック (TB0IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB0IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウエアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

```
                    7  6  5  4  3  2  1  0
TB0RUN      ←       0  0  X  0  –  0  X  0      TMRB0 を停止します。
PLCR        ←       –  –  –  0  –  –  –  –  }
PLFC        ←       –  –  –  1  –  –  –  –  }   PL4 を入力モードに設定します。

IMC7LH      ←       X  X  1  1  0  1  0  0      INTTB0 をイネーブル(レベル 4)にします。
TB0FFCR     ←       1  1  0  0  0  0  1  1      トリガディセーブルにします。
TB0MOD      ←       0  0  1  0  0  1  0  0      入力クロックを TB0IN0 端子入力にします。
TB0RG1      ←       *  *  *  *  *  *  *  *      カウント数を設定します。(16 ビット)
TB0RUN      ←       0  0  X  0  –  1  X  1      TMRB0 を起動します。
```

X; Don't care –; no change

イベントカウンタとして使用する場合も、プリスケーラは “RUN” にしてください (TB0RUN<TB0PRUN> = “1”)。

Not Recommend for New Design

12.4.3 16 ビット PPG（プログラマブル矩形波）出力モード

任意周波数、任意デューティの矩形波（プログラマブル矩形波)を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ（UC0）とタイマレジスタ（TB0RG0、TB0RG1）への設定値との一致によりタイマフリップフロップ（TB0FF）の反転トリガをかけることで、プログラマブル矩形波を TB0OUT 端子より出力することができます。ただし、TB0RG0 と TB0RG1 の設定値は次の条件を満たす必要があります。

(TB0RG0 への設定値) < (TB0RG1 への設定値)

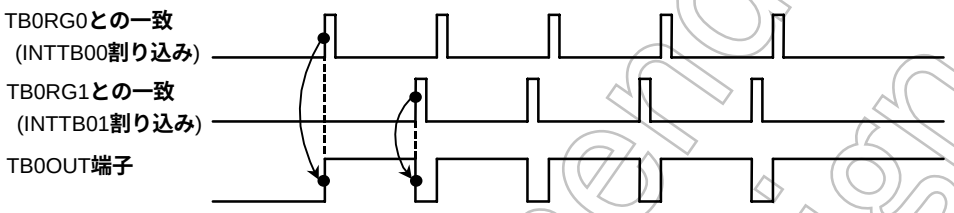


図 12.7 プログラマブル矩形波（PPG）出力波形例

このモードでは、TB0RG0 のダブルバッファをイネーブルにすることにより、TB0RG1 との一致で、レジスタバッファ 0 の値が TB0RG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

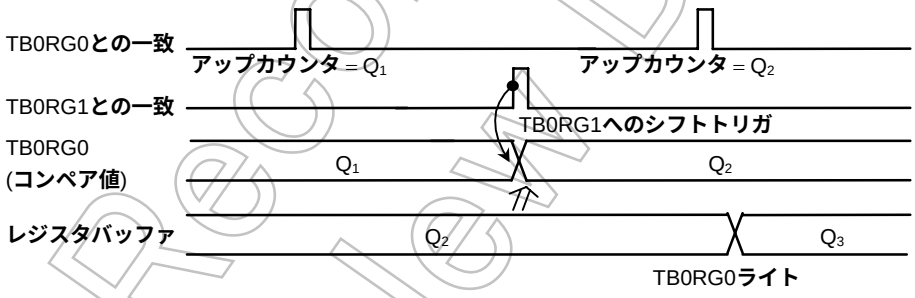


図 12.8 レジスタバッファの動作

Not Recommended for New Design

このモードのブロック図を示します。

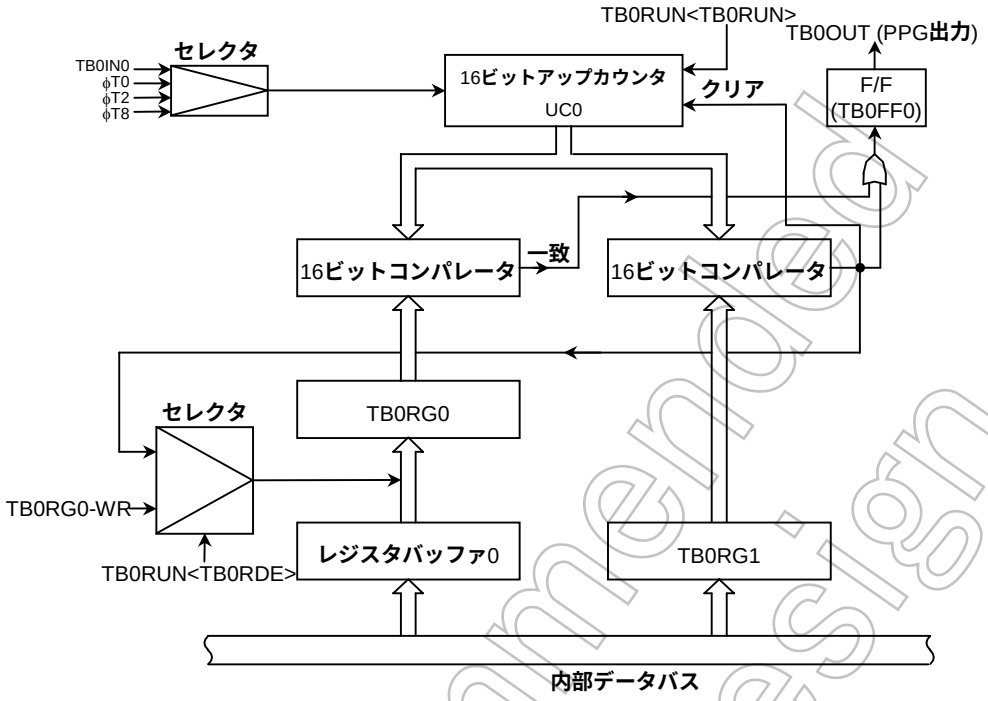


図 12.9　16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TB0RUN	←	0	0	X	0	–	0	X	0	TB0RG0 のダブルバッファディセーブルおよび TMRB0 を停止します。
TB0RG0	←	*	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TB0RG1	←	*	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
TB0RUN	←	1	0	X	0	–	0	X	0	TB0RG0 のダブルバッファイネーブル (INTTB01 割り込みでデューティ/周期の変更)
TB0FFCR	←	X	X	0	0	1	1	1	0	TB0FF0 を TB0RG0、TB0RG1 との一致検出で反転するように設定します。また、TB0FF0 の初期値を “0” にします。
TB0MOD	←	0	0	1	0	0	1	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
						(** = 01, 10, 11)				
PBCR	←	–	–	–	–	–	–	–	1	PB0 を TB0OUT に割り付けます。
PBFC	←	–	–	–	–	–	–	–	1	
TB0RUN	←	1	0	X	0	–	1	X	1	TMRB0 を起動します。

X; Don't care –; no change

Not Recommended for New Design

12.4.4 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

① 外部トリガパルスからのワンショットパルス出力
② 周波数測定
③ パルス幅測定
④ 時間差測定

① 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC2 をプリスケーラ出力クロックを用いてフリーランニングでカウントアップさせておきます。TB2IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ（TB2CP0）に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT5 が発生するように INTC で設定します。この割り込みで、タイマレジスタ（TB2RG0）には、TB2CP0 の値（c）とディレイタイム（d）を加算した値（c + d）を設定します。タイマレジスタ（TB2RG1）には、TB2RG0 の値とワンショットパルスのパルス幅（p）を加算した値（c + d + p）を設定します。

さらに、タイマフリップフロップコントロールレジスタ（TB2FFCR<TB2E1T1, TB2E0T1>）に “11” を設定し、UC2 と TB2RG0 との一致、および、TB2RG1 との一致により、タイマフリップフロップ（TB2FF0）が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB2 の割り込み処理により、これをディセーブルに戻します。

なお、文中の（c）、（d）、（p）は、「図 12.10 ワンショットパルス出力（ディレイあり）」の c、d、p と対応しています。

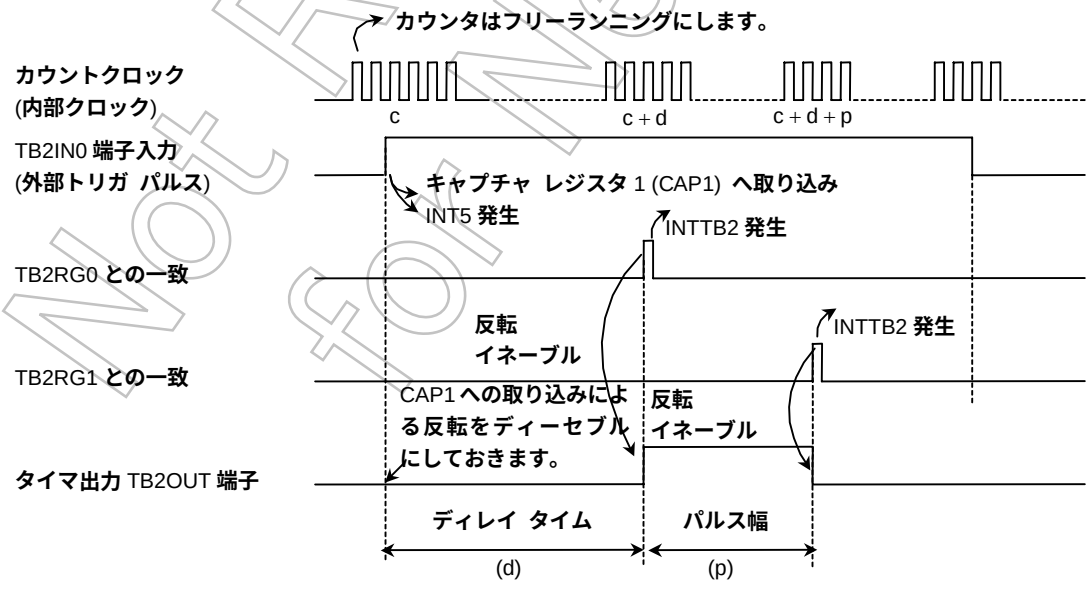


図 12.10 ワンショットパルス出力 (ディレイあり)

Not Recommended for New Design

設定例: TB2IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

※クロック条件

システムクロック : 高速 (fc)
高速クロックギア : 1倍 (fc)
プリスケーラクロック : fperiph/4 (fperiph ・ fsys)

メインでの設定

```
                    7  6  5  4  3  2  1  0
TB2MOD      ←       X  X  1  0  1  0  0  1
TB2FFCR     ←       X  X  0  0  0  0  1  0
PBCR        ←       –  -  –  1  –  –  –  –
PBFC        ←       –  -  –  1  –  –  –  –
IMC2HL      ←       X  X  1  1  0  1  0  0
IMCCLH      ←       X  X  1  1  0  0  0  0
TB2RUN      ←       –  0  X  0  –  1  X  1
```

フリーランニングにします。
φT0 でカウントさせます。
TB2IN0 入力の立ち上がりで TB2CP0 へ取り込みます。
TB2FF0 をゼロクリアします。
TB2FF0 の反転をディセーブルにします。
PB4 端子を TB2OUT に割り付けます。
INT5 をイネーブルに、INTTB2 をディセーブルにします。
TMRB2 を起動します。

INT5 での設定

```
TB2RG0      ←   TB0CP0 + 3ms/φT1
TB2RG1      ←   TB0RG0 + 2ms/φT1
TB2FFCR     ←   X  X  –  –  1  1  –  –
IMCCLH      ←   X  X  1  1  0  1  0  0
```

TB2RG0, 1 との一致による TB2FF0 の反転をイネーブルにします。
INTTB2 をイネーブルにします。

INTTB2 での設定

```
TB2FFCR     ←   X  X  –  –  0  0  –  –
IMCCLH      ←   X  X  1  1  0  0  0  0
```

TB2RG0, 1 との一致による TB2FF0 の反転をディセーブルにします。
INTTB2 をディセーブルにします。

X; Don't care —;no change

ディレイが不要な場合、TB2CP0 への取り込みによって TB2FF0 を反転させ、割り込み INT5 で TB2CP0 の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TB2RG1 に設定します。TB2FF0 は、TB2RG1 と UC2 の一致によって反転するように、反転イネーブルを選択します。また、INTTB2 割り込みでこれをディセーブルに戻します。

Not Recommended for New Design

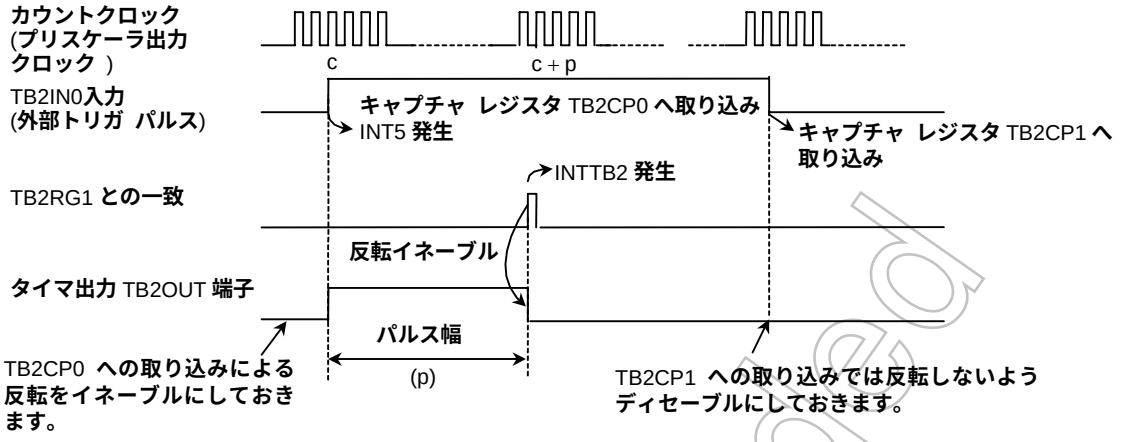


図 12.11 外部トリガパルスのワンショットパルス出力 (ディレイなし)

② 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと 8 ビットタイマ (TMRA01) を組み合わせて行います (TMRA01 は、TA1FF を反転させることで測定時間の設定に用います)。

TMRB0 のカウントクロックは TB0IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD<TB0CPM1 : 0> には “11” を設定します。この設定により、8 ビットタイマ (TMRA01) のタイマフリップフロップ (TA1FF) の立ち上がりで、キャプチャレジスタ (TB0CP0) に 16 ビットアップカウンタ UC0 のカウンタ値を取り込み、8 ビットタイマ (TMRA01) の TA1FF の立ち下がりで、キャプチャレジスタ (TB0CP1) に UC0 のカウンタ値の取り込みを行います。

周波数は、8 ビットタイマの割り込み INTTA0、または、INTTA1 で測定時間を基準にして TB0CP0、TB0CP1 の差より求めます。

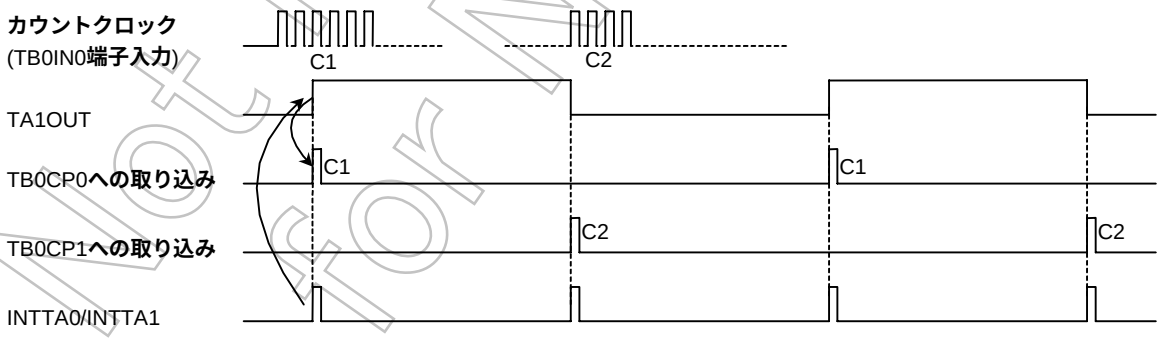


図 12.12 周波数測定

例えば、8 ビットタイマによる TA1FF の “1” レベル幅の設定値が 0.5 s で、TB0CP0 と TB0CP1 の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

Not Recommended for New Design

③ パルス幅測定

キャプチャ機能を用いて、外部パルスの “H” レベル幅を測定することができます。TB2IN0 端子より外部パルスを入力し、アップカウンタ (UC2) をプリスケーラ出力クロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ (TB2CP0, TB2CP1) に取り込みます。TB2IN0 端子の立ち下がりにより、INT5 が発生するように INTC で設定します。

“H” レベルパルス幅は、TB2CP0 と TB2CP1 の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TB2CP0 と TB2CP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、クロックソースにより定まる UC2 の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウエアによる処理を行ってください。

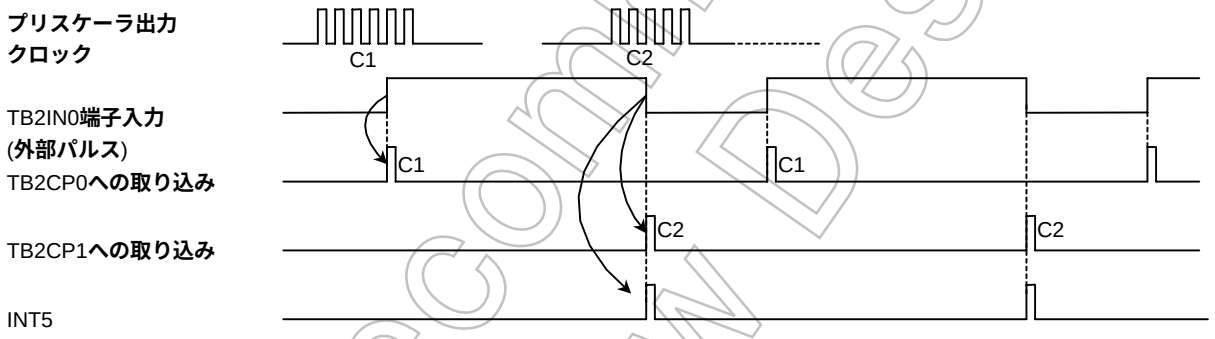


図 12.13 パルス幅測定

また、外部パルスの “L” レベル幅を測定することもできます。この場合、「図 12.14 時間差測定」における、2 回目の INT5 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

Not Recommended for New Design

④ 時間差測定

キャプチャ機能を用いて、2 つの事象の時間差を測定することができます。プリスケーラ出力クロックを用いて、アップカウンタ（UC2）をフリーランニングでカウントアップさせておきます。TB2IN0 端子の入力パルスの立ち上がりエッジで、UC2 の値をキャプチャレジスタ（TB2CP0）に取り込みます。このとき、割り込み INT5 が発生するように INTC で設定します。

TB2IN1 端子の入力パルスの立ち上がりエッジで、UC2 の値をキャプチャレジスタ TB2CP1 に取り込みます。このとき、割り込み INT6 が発生するように INTC で設定します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB2CP1 から TB2CP0 を引いた値に、内部クロックの周期をかけて求めることができます。

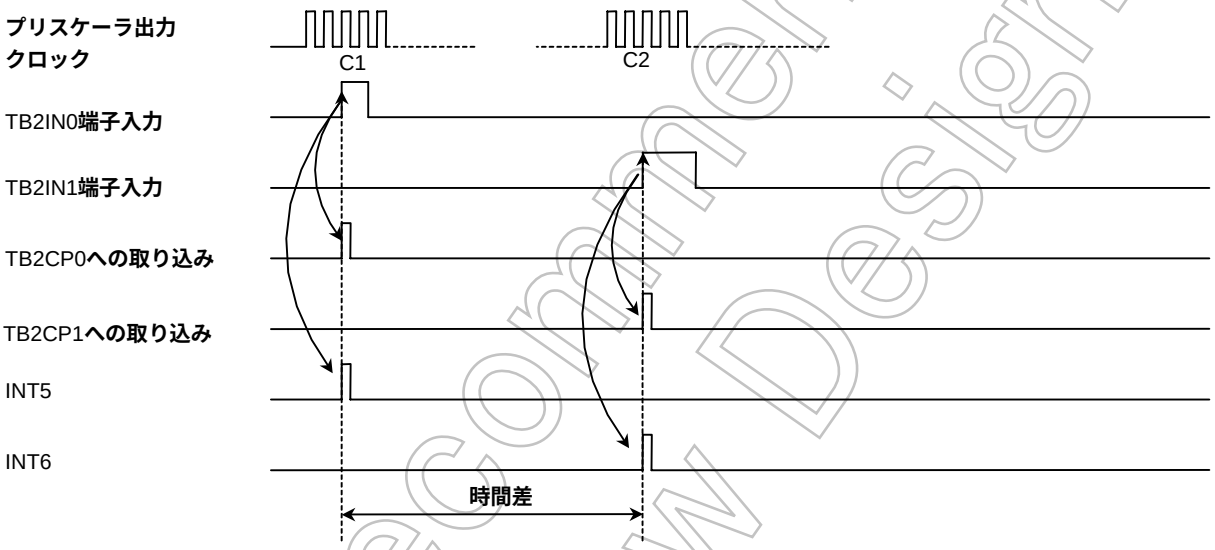


図 12.14 時間差測定

Not Recommended for New Design

12.4.5 2 相パルス入力カウントモード（TMRB2、TMRB3）

（TMRB2、3 の動作は共通ですので、ここでは TMRB2 について説明します）

TB2IN0、TB2IN1 より入力される位相差ある 2 相クロックの状態遷移によりカウンタ+1、あるいはカウンタ−1 を実行するモードです。アップダウンカウンタモード中にカウンタがオーバフローあるいはアンダーフローしたとき、およびカウント動作を行うときに割り込みを出力します。

① カウント動作

- カウントアップ

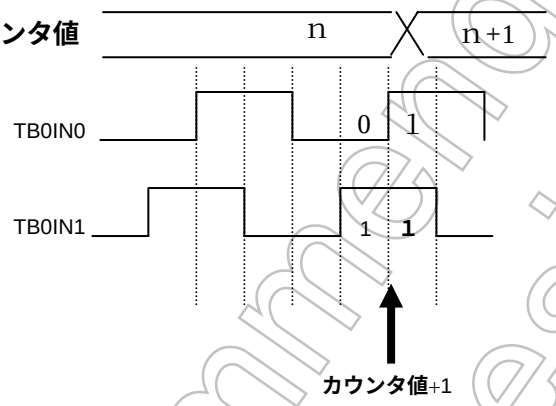


図 12.15 アップカウント

- カウントダウン

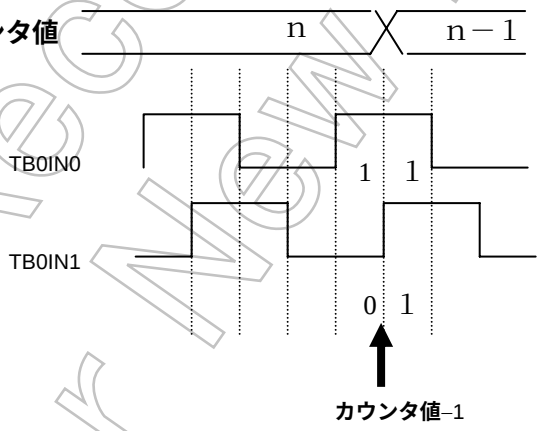


図 12.16 ダウンカウント

-

TMRB2RUN レジスタ (TB2RUN)

	7	6	5	4	3	2	1	0
bit Symbol	TB2RDE		UD2CK	TB2UDCE	I2TB2	TB2PRUN		TB2RUN
Read/Write	R/W		R/W	R/W	R/W	R/W		R/W
リセット後	0		0	0	0	0		0
機　能	Double Buffer 0: Disable 1: Enable		サンプリングクロック選択 0:設定禁止 1:fsys/2	2 相カウンタイネーブル 0: ディゼーブル 1: イネーブル	IDLE 0:停止 1:動作	Timer Run/Stop Control 0: Stop & Clear 1: Run (Count Up)		

図 12.17 2 相パルス入力カウントモード設定レジスタ

Not Recommended for New Design

サンプリングクロックは TB2RUN レジスタの第 5 ビット目<UD2CK>を ”1” に設定します。

UD2CK（サンプリングクロック選択）= ”1”:fsys/2 選択（fsys/8 Hz サンプリング）

STOP モードからの復帰

二相カウンタは前の状態を保持したまま STOP モードに入ります。従って、STOP モード解除に使用された入力状態と保持された状態との関係でカウントアップまたはダウンの条件が成立すると、STOP 解除後にカウンタ値は＋１または－１されます。STOP 解除後の状態を一定に保つ必要がある場合は、STOP 解除後に二相カウンタを初期化（TB2RUN＜TB2UDCE＞＝ ”0” にして、再び ”1” にする事によりカウンタは “0x7FFF” に初期化されます。）してください

② 動作モード

TB2IN0、TB2IN1 入力端子からの外部入力信号を通常の 16 ビットタイマ（キャプチャ入力）およびアップダウンカウンタのどちらへ入力するかはレジスタ設定で選択します。

- アップダウンカウンタモード時キャプチャはソフトウエアキャプチャのみで、外部クロックタイミングによるキャプチャは行いません。
- アップダウンカウンタモード時コンパレータは無効になり、タイマレジスタとの比較は行いません。
- 入力クロックは高速クロック（システムクロック）でサンプリングします。最大入力周波数は fsys／16［Hz］になります。

アップダウンカウンタ設定方法

TB2MOD レジスタ<TB2CLK0、TB2CLK1> = “00”（プリスケーラ OFF）にします。次に、アップダウンカウンタとして動作させるか、従来の外部クロック入力のアップカウンタとして動作させるかを TB2RUN レジスタの第 4 ビット目<TB2UDCE>に設定して決定します。

TB2UDCE（アップダウンカウンタイネーブル）= “0”: 通常 16 ビットタイマ動作
= “1”: アップダウンカウンタ動作

TMRB2RUN レジスタ (TB2RUN)

	7	6	5	4	3	2	1	0
bit Symbol	TB2RDE		UD2CK	TB2UDCE	I2TB2	TB2PRUN		TB2RUN
Read/Write	R/W		R/W	R/W	R/W	R/W		R/W
リセット後	0		0	0	0	0		0
機　能	Double Buffer 0: Disable 1: Enable		サンプリングクロック選択 0:設定禁止 1:fsys/2	2 相カウンタイネーブル 0: ディゼーブル 1: イネーブル	IDLE 0:停止 1:動作	Timer Run/Stop Control 0: Stop & Clear 1: Run (Count Up)		

図 12.18　アップダウンカウンタ設定レジスタ

Not Recommended for New Design

③ 割り込み

- NORMAL モード時

割り込みコントローラ（INTC）にて INTTB2 割り込みをイネーブルにします。アップまたはダウンカウントにより割り込み INTTB2 が発生します。割込み処理の中で、ステータスレジスターTB2ST をリードすることにより、同時にオーバフロー、アンダーフローが発生しているかを知ることができます。TB2ST<INTTBOUF2> = "1" であればオーバフローが発生、また<INTTBUDF2> = “１” であればアンダーフローが発生している状態です。このレジスタはリードするとクリアされます。またオーバーフローが発生するとカウウンタは 0x0000 になり、アンダーフローが発生すると 0xFFFF になり、続けてカウウント動作が行なわれます。-

TB2ST (0xFFFF_F167)

	7	6	5	4	3	2	1	0
bit Symbol				INTTBUD2	INTTBUDF2	INTTBOUF2		
Read/Write				R				
リセット後				0	0	0		
機　能				アップダウンカウント 0: 発生無し 1: 発生	アンダーフロー 0: 発生無し 1: 発生	オーバーフロー 0: 発生無し 1: 発生		

図 12.19 TMRB2 ステータスレジスタ

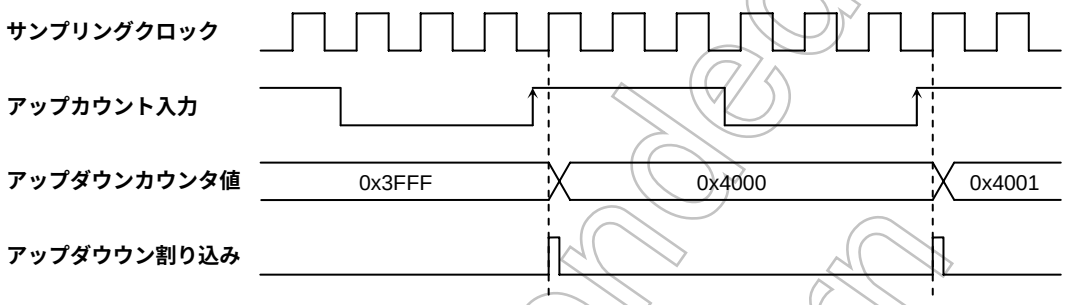
- STOP モード時

二相入力パルス入力カウンタは停止しています。クロックジェネレータ部（CG）にて INT5、INT6 解除入力をイネーブルにします。、アップまたはダウンカウント入力により割り込み INT5 または INT6 により STOP モードから復帰します。解除入力後、ウォーミングアップ時間経過後に NORMAL モードに遷移後カウント動作を再開します。STOP モード解除に使用された入力状態と保持された状態との関係でカウントアップまたはダウンの条件が成立すると、STOP 解除後にカウンタ値は＋１または－１されます。

Not Recommended for New Design

④ アップダウンカウンタ

二相入力カウントモードに設定（TB2RUN<TB2UDCE> = “1”）するとアップカウンタはアップダウンカウンタになり 0x7FFF に初期化されます。カウンタがオーバフローした場合は 0x0000、アンダーフローした場合は 0xFFFF に戻り、続きをカウントします。したがって、割込み発生後にカウンタ値とステータスフラグ TB2ST を Read することにより、状態を判別することができます。



(注 1) アップ (ダウン) カウント入力は入力前状態、入力後状態は “H” レベルにしてください。
(注 2) カウンタ値の読み出しは INTTB2 の割り込み処理の中で行なってください。
STOP 解除の INT5 または INT6 の割り込み処理で読み出した場合は、条件成立／非成立により、また復帰からカウント動作までの時間差等により値が変わります。

Not Recommended for New Design

13. 32 ビットインプットキャプチャ (TMRC)

32 ビットのタイムベースタイマ（TBT）を 1 チャネルと 32 ビットインプットキャプチャレジスタを 8 チャネル（TCCAP0～7）、32 ビットのコンペアレジスタを 8 チャネル（TCCMP0～7）を内蔵しています。

図 13.1 に TMRC のブロック図を示します。

13.1 TMRC のブロック図

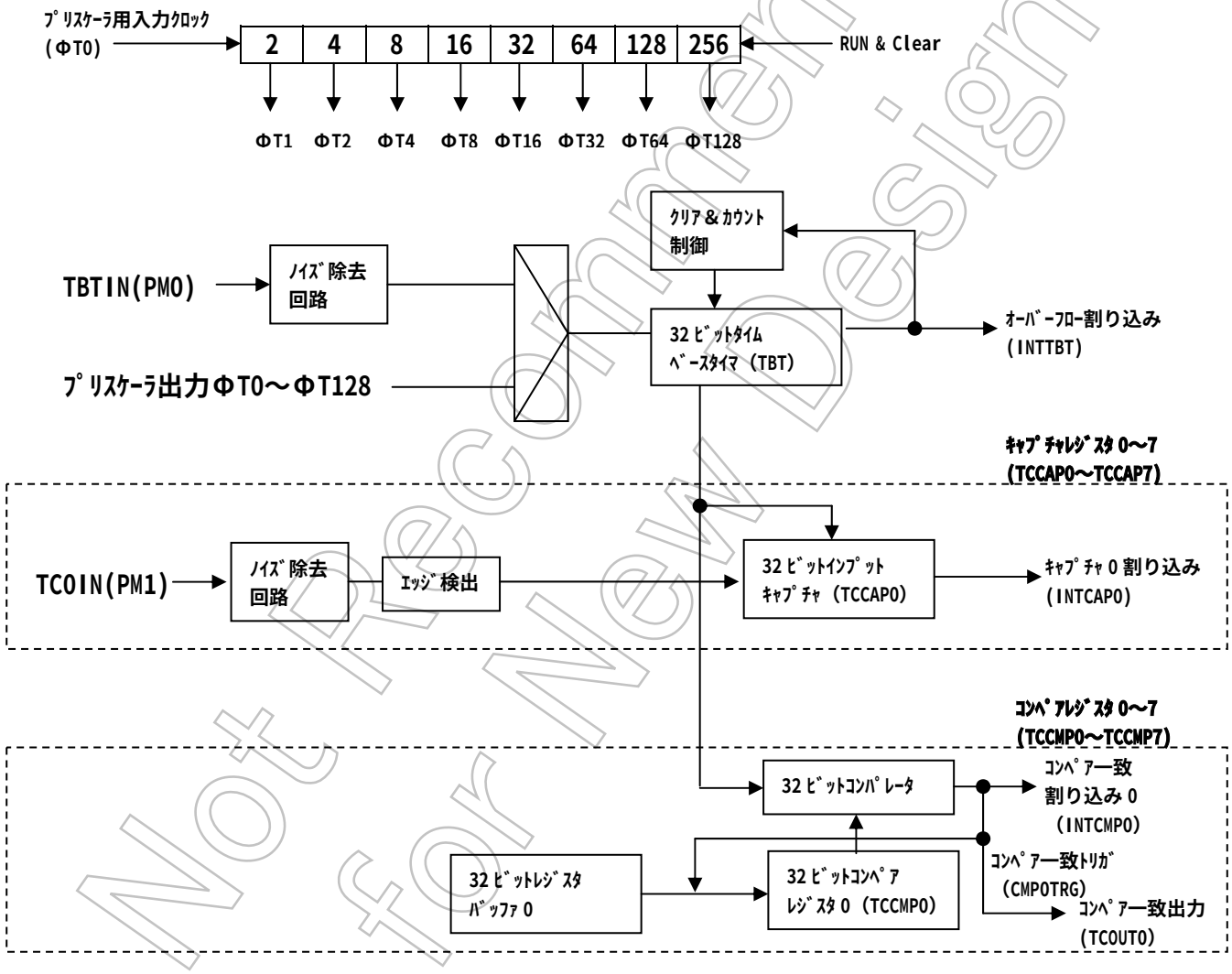


図 13.1 タイマ C のブロック図

Not Recommended for New Design

13.2 回路別の動作説明

13.2.1 プリスケーラ

TMRC のクロックソースを得るため 8 ビットプリスケーラがあります。プリスケーラの入力クロックφT0 は、CG 部の SYSCR0<PRCK1：0> にて選択した fperiph/4, fperiph/8, fperiph/16 のいずれかのクロックです。

fperiph は CG 部の SYSCR1<FPSEL>で選択されるクロック fgear またはクロックギアで分周される前のクロック fc のいずれかです。

プリスケーラは TBTRUN<TBTPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し、“0” をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.11.1 に示します。

表 13.1 プリスケーラ出力クロック分解能

@fc = 40.5MHz

ﾍﾟﾘﾌｪﾗﾙｸﾛｯｸ選択<FPSEL>	ｸﾛｯｸｷﾞｱ値<GEAR1:0>	ﾌﾟﾘｽｹｰﾗｸﾛｯｸ 選択<PRCK1:0>	プリスケーラ出力クロック分解能			
			ΦT1	ΦT2	ΦT4	ΦT8
0(fgear)	00(fc)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)
		01(fperiph/8)	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)
		10(fperiph/4)	fc/2^3(0.20μs)	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)
	01(fc/2)	00(fperiph/16)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)
		01(fperiph/8)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)
		10(fperiph/4)	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)
	10(fc/4)	00(fperiph/16)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)
		01(fperiph/8)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)
		10(fperiph/4)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)
	11(fc/8)	00(fperiph/16)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)
		01(fperiph/8)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)
		10(fperiph/4)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)
1(fc)	00(fc)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)
		01(fperiph/8)	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)
		10(fperiph/4)	fc/2^3(0.20μs)	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)
	01(fc/2)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)
		01(fperiph/8)	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)
		10(fperiph/4)	fc/2^3(0.20μs)	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)
	10(fc/4)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)
		01(fperiph/8)	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)
		10(fperiph/4)	−	fc/2^4(0.40μs)	fc/2^5(0.79μs)	fc/2^6(1.58μs)
	11(fc/8)	00(fperiph/16)	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)	fc/2^8(6.32μs)
		01(fperiph/8)	−	fc/2^5(0.79μs)	fc/2^6(1.58μs)	fc/2^7(3.16μs)
		10(fperiph/4)	−	−	fc/2^5(0.79μs)	fc/2^6(1.58μs)

Not Recommended for New Design

@fc = 40.5MHz

ﾍﾟﾘﾌｪﾗﾙｸﾛｯｸ選択<FPSEL>	ｸﾛｯｸｷﾞｱ値<GEAR1:0>	ﾌﾟﾘｽｹｰﾗｸﾛｯｸ 選択<PRCK1:0>	プリスケーラ出力クロック分解能			
			ΦT16	ΦT32	ΦT64	ΦT128
0(fgear)	00(fc)	00(fperiph/16)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)
		01(fperiph/8)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)
		10(fperiph/4)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)
	01(fc/2)	00(fperiph/16)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)	fc/2^{13}(202μs)
		01(fperiph/8)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)
		10(fperiph/4)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)
	10(fc/4)	00(fperiph/16)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)	fc/2^{13}(202μs)	fc/2^{14}(405μs)
		01(fperiph/8)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)	fc/2^{13}(202μs)
		10(fperiph/4)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)
	11(fc/8)	00(fperiph/16)	fc/2^{12}(101μs)	fc/2^{13}(202μs)	fc/2^{14}(405μs)	fc/2^{15}(809μs)
		01(fperiph/8)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)	fc/2^{13}(202μs)	fc/2^{14}(405μs)
		10(fperiph/4)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)	fc/2^{13}(202μs)
1(fc)	00(fc)	00(fperiph/16)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)
		01(fperiph/8)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)
		10(fperiph/4)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)
	01(fc/2)	00(fperiph/16)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)
		01(fperiph/8)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)
		10(fperiph/4)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)
	10(fc/4)	00(fperiph/16)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)
		01(fperiph/8)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)
		10(fperiph/4)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)
	11(fc/8)	00(fperiph/16)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)	fc/2^{12}(101μs)
		01(fperiph/8)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)	fc/2^{11}(50.6μs)
		10(fperiph/4)	fc/2^7(3.16μs)	fc/2^8(6.32μs)	fc/2^9(12.6μs)	fc/2^{10}(25.3μs)

(注1) プリスケーラ出力クロックΦTnは、かならずφTn<fsys/2を満足するように（φTnがfsys/2よりも遅くなるように）選択してください。

(注2) タイマ動作中はクロックギアの切り換えは行なわないでください。

(注3) 表中の"－"は設定禁止です。

Not Recommended for New Design

13.2.2 ノイズ除去回路

タイムベースタイマ（TBT）の外部クロックソース入力（TBTIN)、キャプチャトリガ入力（TCnIN）に対してノイズ成分を除去します。ノイズ除去処理を行なわない入力信号を出力することも可能です。

13.2.3 32 ビットタイムベースタイマ（TBT)

TBT コントロールレジスタ TBTCR で指定された入力クロックの立ち上がりによってカウントアップする 32 ビットのバイナリカウンタです。

入力クロックは、TBTIN 端子からの外部クロックと、8 種類のプリスケーラ出力クロックΦT1，ΦT2，ΦT4，ΦT8，ΦT16，ΦT32，ΦT64，ΦT128 から、TBTCR<TBTCLK3 : 0> の設定値に応じて選択されます。

アップカウンタは、TBTRUN<TBTRUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。カウントスタートするとフリーラン動作し､カウンタオーバーフローになるとオーバーフロー割り込み INTTBT を発生しカウンタ値は 0 にクリアされ再びアップカウント動作します。INTTBT は(5)32 ビットキャプチャレジスタの説明にある INTCAPn と同様にグルーピングされた TCG1ST、TCG1IM で制御されます。

13.2.4 エッジ検出回路

外部からのキャプチャ入力（TCnIN）の入力エッジをサンプリング検出します。キャプチャコントロールレジスタ CAPnCR＜CPnEG1:0＞により、立ち上がり、立下り、両エッジ、キャプチャしない、の選択が可能です。 図 13.2 にキャプチャ入力とエッジ検出回路の出力（キャプチャ要因出力）の関係を示します。

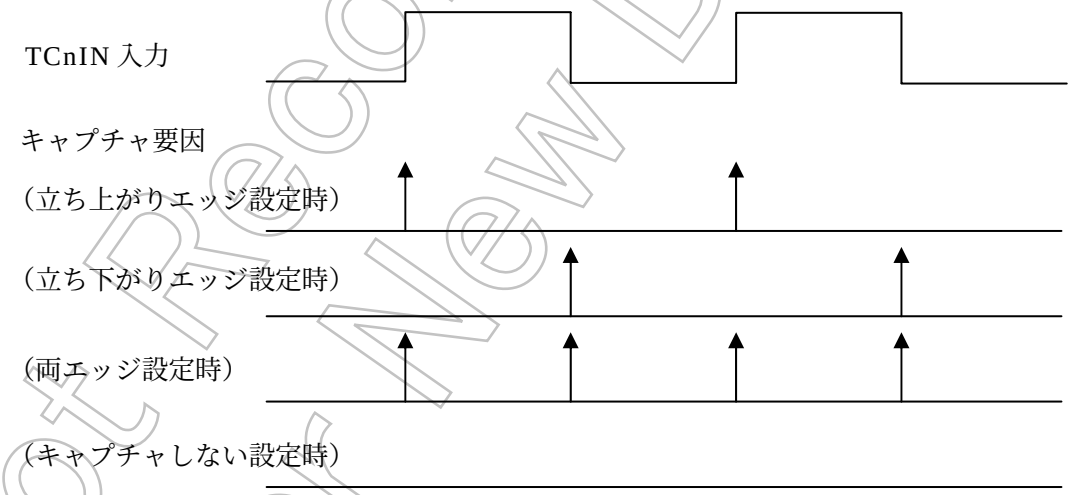


図 13.2 キャプチャ入力とキャプチャ要因出力（エッジ検出回路出力）

13.2.5 32 ビットキャプチャレジスタ

キャプチャ要因をトリガにして TBT のカウント値が取り込まれる 32 ビットのレジスタです。キャプチャ動作が行われるとキャプチャ割り込み INTCAPn が発生します。割り込み要求 INTCAP0 から INTCAP3（4 本の要求は）は 1 つにグルーピングされ割り込みコントローラに伝えられます。割り込み処理の中でステータスレジスタ TCG0ST をリードすることによりいずれの割り込み要求かの判別が可能です。また、割り込みマスクレジスタ TCG0IM の該当ビットをセットすることにより必要以外の要求による割り込み発生をマスクすることが可能です。キャプチャレジスタを読み出している時は、トリガがあってもキャプチャはされません。

Not Recommended for New Design

13.2.6 32 ビットコンペアレジスタ

コンペア値を設定する 32 ビットレジスタで、TMRC には TCCMP0～TCCMP7 の 8 本内蔵されています。このコンペアレジスタへの設定値と、タイムベースタイマ TBT の値とが一致すると、コンパレータの一致検出信号がアクティブになります。コンペア制御レジスタ CMPCTL<CMPEN1:0>でコンペアイネーブル／ディゼーブルを制御します。

TCCMPn へのデータ設定は、ワード転送命令を用いるか、ハーフワード転送送命令を 2 回用いるか、バイトデータ転送命令を 4 回用いて下位から上位ビットの順に行います。

このコンペアレジスタは、ダブルバッファ構成になっており、TCCMPn はレジスタバッファ n とペアになっています。ダブルバッファのイネーブル/ディセーブルはコンペア制御レジスタ CMPCTL <CMPRDEn> によってを制御します。<CMPRDEn>=“0” のときディセーブル、 <CMPRDEn>=“1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ n からコンペアレジスタ TCCMPn へのデータ転送は、TBT と TCCMPn との一致時に行われます。

リセット時、TCCMPn は不定のためあらかじめデータを書き込む必要があります。リセット動作により、CMPCTL <CMPRDEn>=“0”に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、コンペアレジスタにデータを書き込み <CMPRDEn>=“1”に設定した後、レジスタバッファへ次のデータを書き込んでください。

TCCMPn とレジスタバッファは、同じアドレスに割り付けられています。<CMPRDEn>=“0”のときは、TCCMPn とそれぞれのレジスタバッファに、同じ値が書き込まれ、<CMPRDEn>=“1”のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、コンペアレジスタに初期値を書き込むときには、ダブルバッファをディセーブルにしておく必要があります。

Not Recommended for New Design

13.3 レジスタ説明

TMRC コントロールレジスタ

TCCR (0xFFFFF403)

	7	6	5	4	3	2	1	0
bit Symbol	TCEN	I2TBT						
Read/Write	R/W							
リセット後	0	0						
機　能	TMRC 動作 0: 禁止 1: 許可	IDLE 0: 停止 1: 動作						

＜I2TBT＞：IDLE モード時の動作を制御します。

＜TCEN＞：TMRC の動作を指定します。動作禁止の状態では TMRC モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRC を使用する場合は、TMRC モジュールの各レジスタを設定する前に TMRC 動作許可（"1"）にしてください。TMRC を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

(注)　TCCR のビット 0～6 は、リードすると"0"が読み出されます。

TBTRUN レジスタ

TBTRUN (0xFFFFF402)

	7	6	5	4	3	2	1	0
bit Symbol						TBTCAP	TBTPRUN	TBTRUN
Read/Write						W	R/W	
リセット後					0	0	0	0
機　能					かならず"0"をライトしてください。	TBT カウンタソフトキャプチャ 0: D'ont Care 1: ソフトキャプチャ	TimerRun/Stop Control 0: 停止&クリア 1: カウント	

＜TBTRUN＞：TBT のカウント動作を制御します。

＜TBTPRUN＞：TBT のプリスケーラの動作を制御します。

＜TBTCAP＞："1"を設定すると、その時の TBT のカウンタ値をキャプチャレジスタ TBTCAPn に取り込みます。

図 13.6　TMRC 関係のレジスタ

Not Recommended for New Design

TBT コントロールレジスタ

TBTCR (0xFFFFF401)

	7	6	5	4	3	2	1	0
bit Symbol	TBTNF				TBTCLK3	TBTCLK2	TBTCLK1	TBTCLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	TBTIN 入力ノイズ除去 0:なし 1:あり	かならず"0"をライトしてください。			TBT ソースクロック 0000: φT1 0001: φT2 0010: φT4 0011: φT8 0100: φT16 0101: φT32 0110: φT64 0111: φT128 1xxx: TBTIN 端子入力			

< TA0CLK3:0 > ：TBT の入力クロックです。"0000～0111"の時はプリスケーラ出力からの選択に、"1xxx"の時は TBTIN 端子入力になります。

< TBTNF > ：TBTIN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TBTIN 端子入力が直接 TBT のソースクロックになります。"1（除去あり）"の場合は、TBTIN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

TBT キャプチャレジスタ（TBTCAP）

TBTCAP3 (0xFFFFF404)

	31	30	29	28	27	26	25	24
bit Symbol	CAP031	CAP030	CAP029	CAP028	CAP027	CAP026	CAP025	CAP024
Read/Write	R							
リセット後								
機　能	キャプチャデータ							

TBTCAP2 (0xFFFFF405)

	23	22	21	20	19	18	17	16
bit Symbol	CAP023	CAP022	CAP021	CAP020	CAP019	CAP018	CAP017	CAP016
Read/Write	R							
リセット後								
機　能	キャプチャデータ							

TBTCAP1 (0xFFFFF406)

	15	14	13	12	11	10	9	8
bit Symbol	CAP015	CAP014	CAP013	CAP012	CAP011	CAP010	CAP09	CAP08
Read/Write	R							
リセット後								
機　能	キャプチャデータ							

TBTCAP0 (0xFFFFF407)

	7	6	5	4	3	2	1	0
bit Symbol	CAP07	CAP06	CAP05	CAP04	CAP03	CAP02	CAP01	CAP00
Read/Write	R							
リセット後								
機　能	キャプチャデータ							

Not Recommended for New Design

図 13.7　TMRC 関係のレジスタ

TMRC キャプチャ 0 コントロールレジスタ

CAP0CR (0xFFFFF413)

	7	6	5	4	3	2	1	0
bit Symbol	TC0NF						CP0EG1	CP0EG0
Read/Write	R/W						R/W	
リセット後	0						0	0
機　能	TC0IN 入力ノイズ除去 0:なし 1:あり						TC0IN 入力の有功エッジ選択 00：キャプチャしない 01：立ち上がり 10：立ち下がり 11：両エッジ	

< CP0EG1:0 > ：キャプチャ 0（TCCAP0）のトリガ入力端子 TC0IN の有功エッジを選択します。"00"を設定するとキャプチャ動作を行ないません。

< TC0NF > ：TC0IN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TC0IN 端子入力が直接 TCCAP0 のトリガ入力になります。"1（除去あり）"の場合は、TC0IN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

(注)　CAP0CR のビット 2～6 は、リードすると"0"が読み出されます。

図 13.8　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC キャプチャ 0 レジスタ（TCCAP0）

		31	30	29	28	27	26	25	24
TCCAP0HH (0xFFFFF414)	bit Symbol	CAP031	CAP030	CAP029	CAP028	CAP027	CAP026	CAP025	CAP024
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 0 データ							
		23	22	21	20	19	18	17	16
TCCAP0HL (0xFFFFF415)	bit Symbol	CAP023	CAP022	CAP021	CAP020	CAP019	CAP018	CAP017	CAP016
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 0 データ							
		15	14	13	12	11	10	9	8
TCCAP0LH (0xFFFFF416)	bit Symbol	CAP015	CAP014	CAP013	CAP012	CAP011	CAP010	CAP09	CAP08
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 0 データ							
		7	6	5	4	3	2	1	0
TCCAP0LL (0xFFFFF417)	bit Symbol	CAP07	CAP06	CAP05	CAP04	CAP03	CAP02	CAP01	CAP00
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 0 データ							

（注 1）TCCAP0 のリセット後の値は不定です。
（注 2）キャプチャレジスタを読み出し中はキャプチャされません。

TMRCG0 割り込みマスクレジスタ

		7	6	5	4	3	2	1	0
TCG0IM (0xFFFFF40B)	bit Symbol					TCIM3	TCIM2	TCIM1	TCIM0
	Read/Write					R/W			
	リセット後					0	0	0	0
	機　能					1:INTCAP3 をマスク	1:INTCAP2 をマスク	1:INTCAP1 をマスク	1:INTCAP0 をマスク

(注)　TCG0IM のビット 4~ 7 はリードすると"0"が読み出されます。

TMRCG0 ステータスレジスタ

		7	6	5	4	3	2	1	0
TCG0ST (0xFFFFF40A)	bit Symbol					INTCAP3	INTCAP2	INTCAP1	INTCAP0
	Read/Write					R			
	リセット後					0	0	0	0
	機　能					0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生

(注 1) TCG0ST をリードすると、ビット 0，1，2，3 はクリアされます。
(注2) TAG0ST のビット 4，5，6，7 はリードすると"0"が読み出されます。

図 13.9　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC キャプチャ 1 コントロールレジスタ

		7	6	5	4	3	2	1	0
CAP1CR (0xFFFFF41B)	bit Symbol	TC1NF						CP1EG1	CP1EG0
	Read/Write	R/W						R/W	
	リセット後	0						0	0
	機　能	TC1IN 入力ノイズ除去 0:なし 1:あり						TC1IN 入力の有功エッジ選択 00：キャプチャしない 01：立ち上がり 10：立ち下がり 11：両エッジ	

< CP1EG1:0 > ：キャプチャ 1（TCCAP1）のトリガ入力端子 TC1IN の有功エッジを選択します。"00"を設定するとキャプチャ動作を行ないません。

< TC1NF > ：TC1IN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TC1IN 端子入力が直接 TCCAP1 のトリガ入力になります。"1（除去あり）"の場合は、TC1IN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

(注)　CAP1CR のビット 2～6 は、リードすると"0"が読み出されます。

TMRC キャプチャ 1 レジスタ（TCCAP1）

		31	30	29	28	27	26	25	24
TCCAP1HH (0xFFFFF41C)	bit Symbol	CAP131	CAP130	CAP129	CAP128	CAP127	CAP126	CAP125	CAP124
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 1 データ							
		23	22	21	20	19	18	17	16
TCCAP1HL (0xFFFFF41D)	bit Symbol	CAP123	CAP122	CAP121	CAP120	CAP119	CAP118	CAP117	CAP116
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 1 データ							
		15	14	13	12	11	10	9	8
TCCAP1LH (0xFFFFF41E)	bit Symbol	CAP115	CAP114	CAP113	CAP112	CAP111	CAP110	CAP19	CAP18
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 1 データ							
		7	6	5	4	3	2	1	0
TCCAP1LL (0xFFFFF41F)	bit Symbol	CAP17	CAP16	CAP15	CAP14	CAP13	CAP12	CAP11	CAP10
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 1 データ							

（注 1）TCCAP1 のリセット後の値は不定です。

（注 2）キャプチャレジスタを読み出し中はキャプチャされません。

図 13.10　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC キャプチャ 2 コントロールレジスタ

		7	6	5	4	3	2	1	0
CAP2CR (0xFFFFF423)	bit Symbol	TC2NF						CP2EG1	CP2EG0
	Read/Write	R/W						R/W	
	リセット後	0						0	0
	機　能	TC2IN 入力ノイズ除去 0:なし 1:あり						TC2IN 入力の有功エッジ選択 00：キャプチャしない 01：立ち上がり 10：立ち下がり 11：両エッジ	

< CP2EG1:0 > ：キャプチャ 2（TCCAP2）のトリガ入力端子 TC2IN の有功エッジを選択します。"00"を設定するとキャプチャ動作を行ないません。

< TC2NF > ：TC2IN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TC2IN 端子入力が直接 TCCAP2 のトリガ入力になります。"1（除去あり）"の場合は、TC2IN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

(注)　CAP2CR のビット 2～6 は、リードすると"0"が読み出されます。

TMRC キャプチャ 2 レジスタ（TCCAP2）

		31	30	29	28	27	26	25	24
TCCAP2HH (0xFFFFF424)	bit Symbol	CAP231	CAP230	CAP229	CAP228	CAP227	CAP226	CAP225	CAP224
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 2 データ							
		23	22	21	20	19	18	17	16
TCCAP2HL (0xFFFFF425)	bit Symbol	CAP223	CAP222	CAP221	CAP220	CAP219	CAP218	CAP217	CAP216
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 2 データ							
		15	14	13	12	11	10	9	8
TCCAP2LH (0xFFFFF426)	bit Symbol	CAP215	CAP214	CAP213	CAP212	CAP211	CAP210	CAP29	CAP28
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 2 データ							
		7	6	5	4	3	2	1	0
TCCAP2LL (0xFFFFF427)	bit Symbol	CAP27	CAP26	CAP25	CAP24	CAP23	CAP22	CAP21	CAP20
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 2 データ							

(注1)　TCCAP2 のリセット後の値は不定です。

(注2)　キャプチャレジスタを読み出し中はキャプチャされません。

図 13.11　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC キャプチャ 3 コントロールレジスタ

		7	6	5	4	3	2	1	0
CAP3CR (0xFFFFF42B)	bit Symbol	TC3NF						CP3EG1	CP3EG0
	Read/Write	R/W						R/W	
	リセット後	0						0	0
	機　能	TC3IN 入力ノイズ除去 0:なし 1:あり						TC3IN 入力の有功エッジ選択 00：キャプチャしない 01：立ち上がり 10：立ち下がり 11：両エッジ	

< CP3EG1:0 > ：キャプチャ 3（TCCAP3）のトリガ入力端子 TC3IN の有功エッジを選択します。"00"を設定するとキャプチャ動作を行ないません。

< TC3NF > ：TC3IN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TC3IN 端子入力が直接 TCCAP3 のトリガ入力になります。"1（除去あり）"の場合は、TC3IN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

(注)　CAP3CR のビット 2～6 は、リードすると"0"が読み出されます。

TMRC キャプチャ 3 レジスタ（TCCAP3）

		31	30	29	28	27	26	25	24
TCCAP3HH (0xFFFFF42C)	bit Symbol	CAP331	CAP330	CAP329	CAP328	CAP327	CAP326	CAP325	CAP324
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 3 データ							
		23	22	21	20	19	18	17	16
TCCAP3HL (0xFFFFF42D)	bit Symbol	CAP323	CAP322	CAP321	CAP320	CAP319	CAP318	CAP317	CAP316
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 3 データ							
		15	14	13	12	11	10	9	8
TCCAP3LH (0xFFFFF42E)	bit Symbol	CAP315	CAP314	CAP313	CAP312	CAP311	CAP310	CAP39	CAP38
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 3 データ							
		7	6	5	4	3	2	1	0
TCCAP3LL (0xFFFFF42F)	bit Symbol	CAP37	CAP36	CAP35	CAP34	CAP33	CAP32	CAP31	CAP30
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 3 データ							

（注1）　TCCAP3 のリセット後の値は不定です。

（注 2）キャプチャレジスタを読み出し中はキャプチャされません。

図 13.12　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC キャプチャ 4 コントロールレジスタ

		7	6	5	4	3	2	1	0
CAP4CR (0xFFFFF433)	bit Symbol	TC4NF						CP4EG1	CP4EG0
	Read/Write	R/W						R/W	
	リセット後	0						0	0
	機　能	TC4IN 入力ノイズ除去 0:なし 1:あり						TC4IN 入力の有功エッジ選択 00：キャプチャしない 01：立ち上がり 10：立ち下がり 11：両エッジ	

< CP4EG1:0 >：キャプチャ 4（TCCAP4）のトリガ入力端子 TC4IN の有功エッジを選択します。"00"を設定するとキャプチャ動作を行ないません。

< TC4NF >：TC4IN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TC4IN 端子入力が直接 TCCAP4 のトリガ入力になります。"1（除去あり）"の場合は、TC4IN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

(注)　CAP4CR のビット 2～6 は、リードすると"0"が読み出されます。

TMRC キャプチャ 4 レジスタ（TCCAP4）

		31	30	29	28	27	26	25	24
TCCAP4HH (0xFFFFF434)	bit Symbol	CAP431	CAP430	CAP429	CAP428	CAP427	CAP426	CAP425	CAP424
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 4 データ							
		23	22	21	20	19	18	17	16
TCCAP4HL (0xFFFFF435)	bit Symbol	CAP423	CAP422	CAP421	CAP420	CAP419	CAP418	CAP417	CAP416
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 4 データ							
		15	14	13	12	11	10	9	8
TCCAP4LH (0xFFFFF436)	bit Symbol	CAP415	CAP414	CAP413	CAP412	CAP411	CAP410	CAP49	CAP48
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 4 データ							
		7	6	5	4	3	2	1	0
TCCAP4LL (0xFFFFF437)	bit Symbol	CAP47	CAP46	CAP45	CAP44	CAP43	CAP42	CAP41	CAP40
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 4 データ							

(注 1) TCCAP4 のリセット後の値は不定です。

(注 2) キャプチャレジスタを読み出し中はキャプチャされません。

図 13.13　TMRC 関係のレジスタ

Not Recommended for New Design

TMRCG1 割り込みマスクレジスタ

		7	6	5	4	3	2	1	0
TCG1IM (0xFFFFF409)	bit Symbol				TBTIM	TCIM7	TCIM6	TCIM5	TCIM4
	Read/Write				R/W				
	リセット後				0	0	0	0	0
	機　能				1:INTTBT をマスク	1:INTCAP7 をマスク	1:INTCAP6 をマスク	1:INTCAP5 をマスク	1:INTCAP4 をマスク

(注)　TCG1IM のビット 4，5，6，7 はリードすると"0"が読み出されます。

TMRCG1 ステータスレジスタ

		7	6	5	4	3	2	1	0
TCG1ST (0xFFFFF408)	bit Symbol				INTTBT	INTCAP7	INTCAP6	INTCAP5	INTCAP4
	Read/Write				R				
	リセット後				0	0	0	0	0
	機　能				0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生	0:割り込みは発生していない 1:割り込みが発生

(注 1) TCG1ST をリードすると、ビット 0，1，2，3，4 はクリアされます。

(注 2)　TAG1ST のビット 5，6，7 はリードすると"0"が読み出されます。

図 13.14　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC キャプチャ 5 コントロールレジスタ

CAP5CR (0xFFFFF43B)

	7	6	5	4	3	2	1	0
bit Symbol	TC5NF						CP5EG1	CP5EG0
Read/Write	R/W						R/W	
リセット後	0						0	0
機　能	TC5IN 入力ノイズ除去 0:なし 1:あり						TC5IN 入力の有功エッジ選択 00：キャプチャしない 01：立ち上がり 10：立ち下がり 11：両エッジ	

< CP5EG1:0 > ：キャプチャ 5（TCCAP5）のトリガ入力端子 TC5IN の有功エッジを選択します。"00"を設定するとキャプチャ動作を行ないません。

< TC5NF > ：TC5IN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TC5IN 端子入力が直接 TCCAP5 のトリガ入力になります。"1（除去あり）"の場合は、TC5IN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

(注)　CAP5CR のビット 2～6 は、リードすると"0"が読み出されます。

TMRC キャプチャ 5 レジスタ（TCCAP5）

TCCAP5HH (0xFFFFF43C)

	31	30	29	28	27	26	25	24
bit Symbol	CAP531	CAP530	CAP529	CAP528	CAP527	CAP526	CAP525	CAP524
Read/Write	R							
リセット後								
機　能	キャプチャ 5 データ							

TCCAP5HL (0xFFFFF43D)

	23	22	21	20	19	18	17	16
bit Symbol	CAP523	CAP522	CAP521	CAP520	CAP519	CAP518	CAP517	CAP516
Read/Write	R							
リセット後								
機　能	キャプチャ 5 データ							

TCCAP5LH (0xFFFFF43E)

	15	14	13	12	11	10	9	8
bit Symbol	CAP515	CAP514	CAP513	CAP512	CAP511	CAP510	CAP59	CAP58
Read/Write	R							
リセット後								
機　能	キャプチャ 5 データ							

TCCAP5LL (0xFFFFF43F)

	7	6	5	4	3	2	1	0
bit Symbol	CAP57	CAP56	CAP55	CAP54	CAP53	CAP52	CAP51	CAP50
Read/Write	R							
リセット後								
機　能	キャプチャ 5 データ							

(注 1) TCCAP5 のリセット後の値は不定です。
(注 2) キャプチャレジスタを読み出し中はキャプチャされません。

図 13.15　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC キャプチャ 6 コントロールレジスタ

CAP6CR (0xFFFFF443)

	7	6	5	4	3	2	1	0
bit Symbol	TC6NF						CP6EG1	CP6EG0
Read/Write	R/W						R/W	
リセット後	0						0	0
機　能	TC6IN 入力ノイズ除去 0:なし 1:あり						TC6IN 入力の有功エッジ選択 00：キャプチャしない 01：立ち上がり 10：立ち下がり 11：両エッジ	

< CP6EG1:0 > ：キャプチャ 6（TCCAP6）のトリガ入力端子 TC6IN の有功エッジを選択します。"00"を設定するとキャプチャ動作を行ないません。

< TC6NF > ：TC6IN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TC6IN 端子入力が直接 TCCAP6 のトリガ入力になります。"1（除去あり）"の場合は、TC6IN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

(注)　CAP6CR のビット 2～6 は、リードすると"0"が読み出されます。

TMRC キャプチャ 6 レジスタ（TCCAP6）

		31	30	29	28	27	26	25	24
TCCAP6HH (0xFFFFF444)	bit Symbol	CAP631	CAP630	CAP629	CAP628	CAP627	CAP626	CAP625	CAP624
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 6 データ							
		23	22	21	20	19	18	17	16
TCCAP6HL (0xFFFFF445)	bit Symbol	CAP623	CAP622	CAP621	CAP620	CAP619	CAP618	CAP617	CAP616
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 6 データ							
		15	14	13	12	11	10	9	8
TCCAP6LH (0xFFFFF446)	bit Symbol	CAP615	CAP614	CAP613	CAP612	CAP611	CAP610	CAP69	CAP68
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 6 データ							
		7	6	5	4	3	2	1	0
TCCAP6LL (0xFFFFF447)	bit Symbol	CAP67	CAP66	CAP65	CAP64	CAP63	CAP62	CAP61	CAP60
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 6 データ							

（注1）　TCCAP6 のリセット後の値は不定です。

（注 2）キャプチャレジスタを読み出し中はキャプチャされません。

図 13.16　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC キャプチャ 7 コントロールレジスタ

CAP7CR (0xFFFFF44B)

	7	6	5	4	3	2	1	0
bit Symbol	TC7NF						CP7EG1	CP7EG0
Read/Write	R/W						R/W	
リセット後	0						0	0
機　能	TC7IN 入力ノイズ除去 0:なし 1:あり						TC7IN 入力の有功エッジ選択 00：キャプチャしない 01：立ち上がり 10：立ち下がり 11：両エッジ	

< CP7EG1:0 > ：キャプチャ 7（TCCAP7）のトリガ入力端子 TC7IN の有功エッジを選択します。"00"を設定するとキャプチャ動作を行ないません。

< TC7NF > ：TC7IN 端子入力のノイズ除去を制御します。"0（除去なし）"の場合は、TC7IN 端子入力が直接 TCCAP7 のトリガ入力になります。"1（除去あり）"の場合は、TC7IN 端子入力に対して"H"レベル、"L"レベルともに 4／fsys（99ns@fperiph＝fc＝40.5MHz）に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅がかわります。

(注)　CAP7CR のビット 2～6 は、リードすると"0"が読み出されます。

TMRC キャプチャ 7 レジスタ（TCCAP7）

		31	30	29	28	27	26	25	24
TCCAP7HH (0xFFFFF44C)	bit Symbol	CAP731	CAP730	CAP729	CAP728	CAP727	CAP726	CAP725	CAP724
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 7 データ							
		23	22	21	20	19	18	17	16
TCCAP7HL (0xFFFFF44D)	bit Symbol	CAP723	CAP722	CAP721	CAP720	CAP719	CAP718	CAP717	CAP716
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 7 データ							
		15	14	13	12	11	10	9	8
TCCAP7LH (0xFFFFF44E)	bit Symbol	CAP715	CAP714	CAP713	CAP712	CAP711	CAP710	CAP79	CAP78
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 7 データ							
		7	6	5	4	3	2	1	0
TCCAP7LL (0xFFFFF44F)	bit Symbol	CAP77	CAP76	CAP75	CAP74	CAP73	CAP72	CAP71	CAP70
	Read/Write	R							
	リセット後								
	機　能	キャプチャ 7 データ							

(注 1) TCCAP7 のリセット後の値は不定です。
(注 2) キャプチャレジスタを読み出し中はキャプチャされません。

図 13.17　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC コンペア制御レジスタ（CMPCTL）

CMPCTL7 (0xFFFFF474)

	31	30	29	28	27	26	25	24
bit Symbol		TCFFEN7	TCFFC71	TCFFC70			CMPRDE7	CMPEN7
Read/Write		R/W	W				R/W	
リセット後	0	0	1	1	0	0	0	0
機　能		TCFF7 反転 0:禁止 1:許可	TCFF7 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 7 0:禁止 1:許可	コンペア 7 イネーブル 0:禁止 1:許可

CMPCTL6 (0xFFFFF475)

	23	22	21	20	19	18	17	16
bit Symbol		TCFFEN6	TCFFC61	TCFFC60			CMPRDE6	CMPEN6
Read/Write		R/W	W				R/W	
リセット後	0	0	1	1	0	0	0	0
機　能		TCFF6 反転 0:禁止 1:許可	TCFF6 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 6 0:禁止 1:許可	コンペア 6 イネーブル 0:禁止 1:許可

CMPCTL5 (0xFFFFF476)

	15	14	13	12	11	10	9	8
bit Symbol		TCFFEN5	TCFFC51	TCFFC50			CMPRDE5	CMPEN5
Read/Write		R/W	W				R/W	
リセット後	0	0	1	1	0	0	0	0
機　能		TCFF5 反転 0:禁止 1:許可	TCFF5 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 5 0:禁止 1:許可	コンペア 5 イネーブル 0:禁止 1:許可

CMPCTL4 (0xFFFFF477)

	7	6	5	4	3	2	1	0
bit Symbol		TCFFEN4	TCFFC41	TCFFC40			CMPRDE4	CMPEN4
Read/Write		R/W	W				R/W	
リセット後	0	0	1	1	0	0	0	0
機　能		TCFF4 反転 0:禁止 1:許可	TCFF4 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 4 0:禁止 1:許可	コンペア 4 イネーブル 0:禁止 1:許可

Not Recommended for New Design

TMRC コンペア制御レジスタ（CMPCTL）

		31	30	29	28	27	26	25	24
CMPCTL3 (0xFFFFF470)	bit Symbol		TCFFEN3	TCFFC31	TCFFC30			CMPRDE3	CMPEN3
	Read/Write		R/W	W				R/W	
	リセット後	0	0	1	1	0	0	0	0
	機　能		TCFF3 反転 0:禁止 1:許可	TCFF3 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 3 0:禁止 1:許可	コンペア 3 イネーブル 0:禁止 1:許可
		23	22	21	20	19	18	17	16
CMPCTL2 (0xFFFFF471)	bit Symbol		TCFFEN2	TCFFC21	TCFFC20			CMPRDE2	CMPEN2
	Read/Write		R/W	W				R/W	
	リセット後	0	0	1	1	0	0	0	0
	機　能		TCFF2 反転 0:禁止 1:許可	TCFF2 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 2 0:禁止 1:許可	コンペア 2 イネーブル 0:禁止 1:許可
		15	14	13	12	11	10	9	8
CMPCTL1 (0xFFFFF472)	bit Symbol		TCFFEN1	TCFFC11	TCFFC10			CMPRDE1	CMPEN1
	Read/Write		R/W	W				R/W	
	リセット後	0	0	1	1	0	0	0	0
	機　能		TCFF1 反転 0:禁止 1:許可	TCFF1 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 1 0:禁止 1:許可	コンペア 1 イネーブル 0:禁止 1:許可
		7	6	5	4	3	2	1	0
CMPCTL0 (0xFFFFF473)	bit Symbol		TCFFEN0	TCFFC01	TCFFC00			CMPRDE0	CMPEN0
	Read/Write		R/W	W				R/W	
	リセット後	0	0	1	1	0	0	0	0
	機　能		TCFF0 反転 0:禁止 1:許可	TCFF0 の制御 00:反転 01:セット 10:クリア 11:D'ont care				ダブルバッファ 0 0:禁止 1:許可	コンペア 0 イネーブル 0:禁止 1:許可

< CMPENn > ：コンペアー致検出のイネーブル／ディゼーブルを制御します。

< CMPRDEn > ：コンペアレジスタのダブルバッファイネーブル／ディゼーブルを制御します。

< TCFFCn1:0 > ：コンペアー致出力 F/F の制御をします。

< TCFFENn > ：コンペアー致出力 F/F の反転イネーブル／ディゼーブルを制御します。

(注)　CMPCTL のビット 31、27～26、23、19～18、15、11～10、7、3～2 は、リードすると"0"が読み出されます。

図 13.18　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC コンペアレジスタ 0（TCCMP0）

		31	30	29	28	27	26	25	24
TCCMP0HH (0xFFFFF450)	bit Symbol	CMP031	CMP030	CMP029	CMP028	CMP027	CMP026	CMP025	CMP024
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 0 データ							
		23	22	21	20	19	18	17	16
TCCMP0HL (0xFFFFF451)	bit Symbol	CMP023	CMP022	CMP021	CMP020	CMP019	CMP018	CMP017	CMP016
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 0 データ							
		15	14	13	12	11	10	9	8
TCCMP0LH (0xFFFFF452)	bit Symbol	CMP015	CMP014	CMP013	CMP012	CMP011	CMP010	CMP09	CMP08
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 0 データ							
		7	6	5	4	3	2	1	0
TCCMP0LL (0xFFFFF453)	bit Symbol	CMP07	CMP06	CMP05	CMP04	CMP03	CMP02	CMP01	CMP00
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 0 データ							

（注）TCCMP0 は書き込み専用のレジスタで、リセット後の値は不定です。

TMRC コンペアレジスタ 1（TCCMP1）

		31	30	29	28	27	26	25	24
TCCMP1HH (0xFFFFF454)	bit Symbol	CMP131	CMP130	CMP129	CMP128	CMP127	CMP126	CMP125	CMP124
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 1 データ							
		23	22	21	20	19	18	17	16
TCCMP1HL (0xFFFFF455)	bit Symbol	CMP123	CMP122	CMP121	CMP120	CMP119	CMP118	CMP117	CMP116
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 1 データ							
		15	14	13	12	11	10	9	8
TCCMP1LH (0xFFFFF456)	bit Symbol	CMP115	CMP114	CMP113	CMP112	CMP111	CMP110	CMP19	CMP18
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 1 データ							
		7	6	5	4	3	2	1	0
TCCMP1LL (0xFFFFF457)	bit Symbol	CMP17	CMP16	CMP15	CMP14	CMP13	CMP12	CMP11	CMP10
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 1 データ							

（注）TCCMP1 は書き込み専用のレジスタで、リセット後の値は不定です。

図 13.19　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC コンペアレジスタ 2（TCCMP2）

		31	30	29	28	27	26	25	24
TCCMP2HH (0xFFFFF458)	bit Symbol	CMP231	CMP230	CMP229	CMP228	CMP227	CMP226	CMP225	CMP224
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 2 データ							
		23	22	21	20	19	18	17	16
TCCMP2HL (0xFFFFF459)	bit Symbol	CMP223	CMP222	CMP221	CMP220	CMP219	CMP218	CMP217	CMP216
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 2 データ							
		15	14	13	12	11	10	9	8
TCCMP2LH (0xFFFFF45A)	bit Symbol	CMP215	CMP214	CMP213	CMP212	CMP211	CMP210	CMP29	CMP28
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 2 データ							
		7	6	5	4	3	2	1	0
TCCMP2LL (0xFFFFF45B)	bit Symbol	CMP27	CMP26	CMP25	CMP24	CMP23	CMP22	CMP21	CMP20
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 2 データ							

（注）TCCMP2 は書き込み専用のレジスタで、リセット後の値は不定です。

TMRC コンペアレジスタ 3（TCCMP3）

		31	30	29	28	27	26	25	24
TCCMP3HH (0xFFFFF45C)	bit Symbol	CMP331	CMP330	CMP329	CMP328	CMP327	CMP326	CMP325	CMP324
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 3 データ							
		23	22	21	20	19	18	17	16
TCCMP3HL (0xFFFFF45D)	bit Symbol	CMP323	CMP322	CMP321	CMP320	CMP319	CMP318	CMP317	CMP316
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 3 データ							
		15	14	13	12	11	10	9	8
TCCMP3LH (0xFFFFF45E)	bit Symbol	CMP315	CMP314	CMP313	CMP312	CMP311	CMP310	CMP39	CMP38
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 3 データ							
		7	6	5	4	3	2	1	0
TCCMP3LL (0xFFFFF45F)	bit Symbol	CMP37	CMP36	CMP35	CMP34	CMP33	CMP32	CMP31	CMP30
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 3 データ							

（注）TCCMP3 は書き込み専用のレジスタで、リセット後の値は不定です。

図 13.20　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC コンペアレジスタ 4（TCCMP4）

		31	30	29	28	27	26	25	24
TCCMP4HH (0xFFFFF460)	bit Symbol	CMP431	CMP430	CMP429	CMP428	CMP427	CMP426	CMP425	CMP424
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 4 データ							
		23	22	21	20	19	18	17	16
TCCMP4HL (0xFFFFF461)	bit Symbol	CMP423	CMP422	CMP421	CMP420	CMP419	CMP418	CMP417	CMP416
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 4 データ							
		15	14	13	12	11	10	9	8
TCCMP4LH (0xFFFFF462)	bit Symbol	CMP415	CMP414	CMP413	CMP412	CMP411	CMP410	CMP49	CMP48
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 4 データ							
		7	6	5	4	3	2	1	0
TCCMP4LL (0xFFFFF463)	bit Symbol	CMP47	CMP46	CMP45	CMP44	CMP43	CMP42	CMP41	CMP40
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 4 データ							

（注）TCCMP4 は書き込み専用のレジスタで、リセット後の値は不定です。

TMRC コンペアレジスタ 5（TCCMP5）

		31	30	29	28	27	26	25	24
TCCMP5HH (0xFFFFF464)	bit Symbol	CMP531	CMP530	CMP529	CMP528	CMP527	CMP526	CMP525	CMP524
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 5 データ							
		23	22	21	20	19	18	17	16
TCCMP5HL (0xFFFFF465)	bit Symbol	CMP523	CMP522	CMP521	CMP520	CMP519	CMP518	CMP517	CMP516
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 5 データ							
		15	14	13	12	11	10	9	8
TCCMP5LH (0xFFFFF466)	bit Symbol	CMP515	CMP514	CMP513	CMP512	CMP511	CMP510	CMP59	CMP58
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 5 データ							
		7	6	5	4	3	2	1	0
TCCMP5LL (0xFFFFF467)	bit Symbol	CMP57	CMP56	CMP55	CMP54	CMP53	CMP52	CMP51	CMP50
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 5 データ							

（注）TCCMP5 は書き込み専用のレジスタで、リセット後の値は不定です。

図 13.21　TMRC 関係のレジスタ

Not Recommended for New Design

TMRC コンペアレジスタ 6（TCCMP6）

		31	30	29	28	27	26	25	24
TCCMP6HH (0xFFFFF468)	bit Symbol	CMP631	CMP630	CMP629	CMP628	CMP627	CMP626	CMP625	CMP624
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 6 データ							
		23	22	21	20	19	18	17	16
TCCMP6HL (0xFFFFF469)	bit Symbol	CMP623	CMP622	CMP621	CMP620	CMP619	CMP618	CMP617	CMP616
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 6 データ							
		15	14	13	12	11	10	9	8
TCCMP6LH (0xFFFFF46A)	bit Symbol	CMP615	CMP614	CMP613	CMP612	CMP611	CMP610	CMP69	CMP68
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 0 データ							
		7	6	5	4	3	2	1	0
TCCMP6LL (0xFFFFF46B)	bit Symbol	CMP67	CMP66	CMP65	CMP64	CMP63	CMP62	CMP61	CMP60
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 6 データ							

（注）TCCMP6 は書き込み専用のレジスタで、リセット後の値は不定です。

TMRC コンペアレジスタ 7（TCCMP7）

		31	30	29	28	27	26	25	24
TCCMP7HH (0xFFFFF46C)	bit Symbol	CMP731	CMP730	CMP729	CMP728	CMP727	CMP726	CMP725	CMP724
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 7 データ							
		23	22	21	20	19	18	17	16
TCCMP7HL (0xFFFFF46D)	bit Symbol	CMP723	CMP722	CMP721	CMP720	CMP719	CMP718	CMP717	CMP716
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 7 データ							
		15	14	13	12	11	10	9	8
TCCMP7LH (0xFFFFF46E)	bit Symbol	CMP715	CMP714	CMP713	CMP712	CMP711	CMP710	CMP79	CMP78
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 7 データ							
		7	6	5	4	3	2	1	0
TCCMP7LL (0xFFFFF46F)	bit Symbol	CM77	CMP76	CMP75	CMP74	CMP73	CMP72	CMP71	CMP70
	Read/Write	W							
	リセット後								
	機　能	コンペアレジスタ 7 データ							

（注）TCCMP7 は書き込み専用のレジスタで、リセット後の値は不定です。

図 13.22　TMRC 関係のレジスタ

Not Recommended for New Design

14. シリアル チャネル (SIO)

シリアル入出力を 7 チャネル内蔵（SIO0～SIO6）しています。各チャネルは、下記に示すように UART モード（非同期通信）および I/O インタフェースモード（同期通信）を選択できます。

- I/O インタフェース モード ―― モード 0: I/O を拡張するための I/O データの送受信とその同期信号（SCLK）の送受信を行うモード
- 非同期通信（UART）モード
  - モード 1: 送受信データ長 7 ビット
  - モード 2: 送受信データ長 8 ビット
  - モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアル リンク（マルチ コントローラ システム）でスレーブ コントローラを起動させるためのウェイクアップ機能を有しています。図 14.2に、SIO0 のブロック図を示します。

各チャネルは主に、プリスケーラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャネルは、それぞれ独立に動作します。いずれのチャネルも同一の動作をしますので、SIO0 の場合についてのみ説明します。

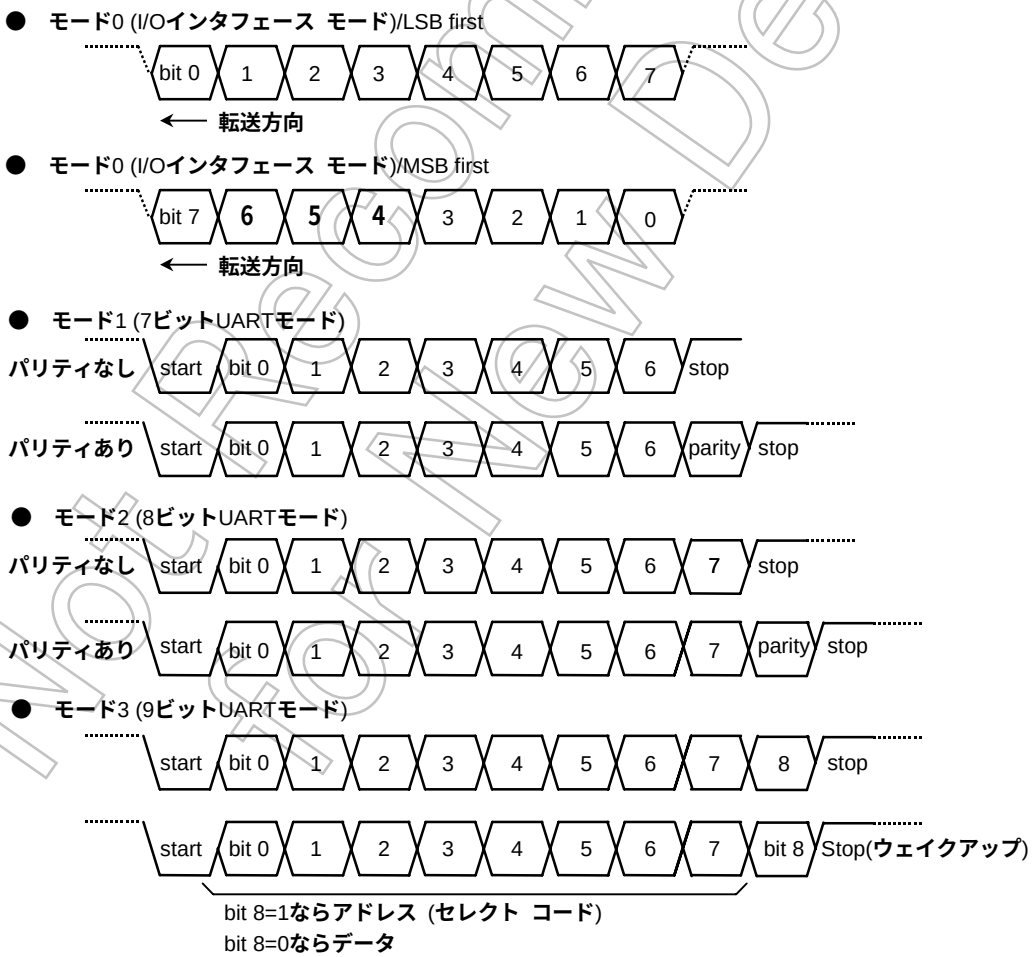


図 14.1 データフォーマット

Not Recommended for New Design

3.11.1 ブロック図（チャネル０）

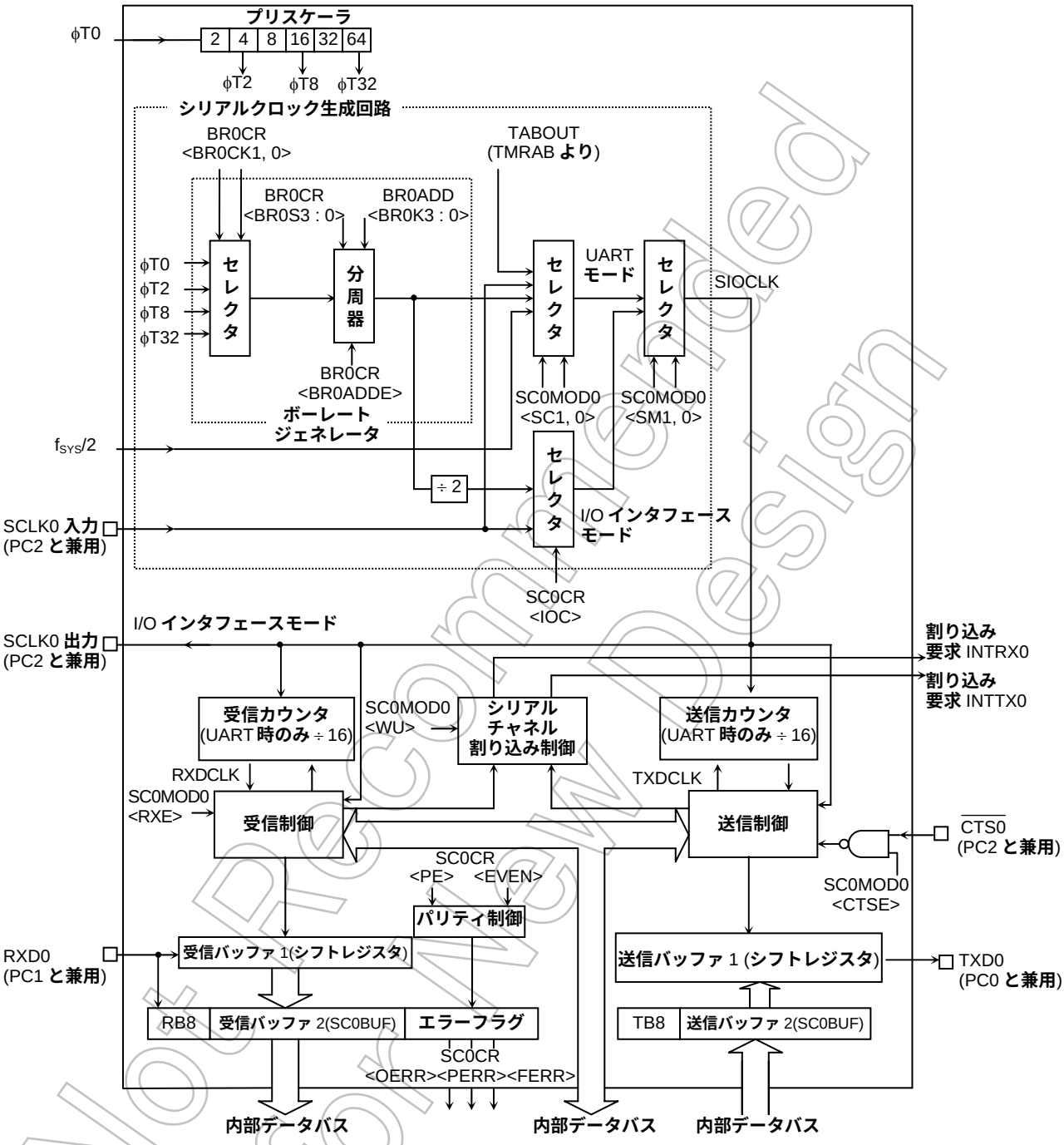


図 14.2 SIO0 **ブロック図**

Not Recommended for New Design

14.2 回路別の動作説明（チャネル０）

14.2.1 プリスケーラ

SIO0 の動作クロックを生成するために、6 ビットプリスケーラがあります。プリスケーラの入力クロックφT0 は、CG 部の SYSCR <PRCK1：0> にて選択した fperiph/4、fperiph/8、fperiph/16 のいずれかのクロックです。

fperiph は CG 部の SYSCR1<FPSEL>で選択されるクロック fgear またはクロックギアで分周される前のクロック fc のいずれかです。

プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ動作します。プリスケーラ出力クロックの分解能を表 14.1に示します。

表 14.1 ボーレートジェネレータへの入力クロック分解能

@ = 40.5MHz

ペリフェラルクロック解除 <FPSEL>	クロックギア値 <GEAR1 : 0>	プリスケーラクロック選択 <PRCK1 : 0>	プリスケーラ出力クロック分解能			
			φT0	φT2	φT8	φT32
0 (fgear)	00 (fc)	00(fperiph/16)	fc/2^4(0.4μs)	fc/2^6(1.6 μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)
		01(fperiph/8)	fc/2^3(0.2μs)	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9(12.6μs)
		10(fperiph/4)	fc/2^2(0.1μs)	fc/2^4(0.4μs)	fc/2^6(1.6μs)	fc/2^8(6.3 μs)
	01 (fc/2)	00(fperiph/16)	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9 (12.6μs)	fc/2^{11}(50.6μs)
		01(fperiph/8)	fc/2^4(0.4μs)	fc/2^6(1.6 μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)
		10(fperiph/4)	fc/2^3(0.2μs)	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9(12.6μs)
	10 (fc/4)	00(fperiph/16)	fc/2^6(1.6 μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)	fc/2^{12} (101 μs)
		01(fperiph/8)	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9(12.6μs)	fc/2^{11}(50.6μs)
		10(fperiph/4)	fc/2^4(0.4μs)	fc/2^6(1.6μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)
	11 (fc/8)	00(fperiph/16)	fc/2^7(3.2μs)	fc/2^9 (12.6μs)	fc/2^{11}(50.6μs)	fc/2^{13}(202μs)
		01(fperiph/8)	fc/2^6(1.6 μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)	fc/2^{12} (101μs)
		10(fperiph/4)	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9(12.6μs)	fc/2^{11}(50.6μs)
1 (fc)	00 (fc)	00(fperiph/16)	fc/2^4(0.4μs)	fc/2^6(1.6 μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)
		01(fperiph/8)	fc/2^3(0.2μs)	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9(12.6μs)
		10(fperiph/4)	fc/2^2(0.1μs)	fc/2^4(0.4μs)	fc/2^6(1.6μs)	fc/2^8(6.3 μs)
	01 (fc/2)	00(fperiph/16)	fc/2^4(0.4μs)	fc/2^6(1.6 μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)
		01(fperiph/8)	fc/2^3(0.2μs)	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9(12.6μs)
		10(fperiph/4)	—	fc/2^4(0.4μs)	fc/2^6(1.6μs)	fc/2^8(6.3 μs)
	10 (fc/4)	00(fperiph/16)	fc/2^4(0.4μs)	fc/2^6(1.6 μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)
		01(fperiph/8)	—	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9(12.6μs)
		10(fperiph/4)	—	fc/2^4(0.4μs)	fc/2^6(1.6μs)	fc/2^8(6.3 μs)
	11 (fc/8)	00(fperiph/16)	—	fc/2^6(1.6 μs)	fc/2^8(6.3 μs)	fc/2^{10}(25.3 μs)
		01(fperiph/8)	—	fc/2^5(0.8μs)	fc/2^7(3.2μs)	fc/2^9(12.6μs)
		10(fperiph/4)	—	—	fc/2^6(1.6μs)	fc/2^8(6.3 μs)

(注1) プリスケーラ出力クロックφTn は、かならずφTn<fsys/2 を満足するように (φTn が fsys/2 よりも遅くなるように) 選択してください。

(注2) SIO 動作中はクロックギアの切り替えは行わないでください。

(注3) 表中 “ — ” は設定禁止です。

シリアルインタフェースボーレートジェネレータには、プリスケーラ出力クロックよりφT0、φT2、φT8、φT32 の 4 種類のクロックが用いられます。

Not Recommended for New Design

14.2.2 ボーレート

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは 6 ビットプリスケーラより、φT0、φT2、φT8、φT32 を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BROCR <BROCK1:0>で設定します。

ボーレートジェネレータは、1、$N+\frac{m}{16}$ (N=2~15、m=0~15)、16 分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ BROCR<BROADDE><BROS3:0>、BROADD<BROK3:0>の設定に従い分周を行い転送速度を決定します。

- UART モードの場合

1) BROCR<BROADDE>=0 の場合

BROADD<BROK3:0>の設定は無視され、BROCR<BROS3:0>に設定された値“N”に従い N 分周を行います。(N=1、2、3 … 16)

2) BROCR<BROADDE>=1 の場合

N+(16 − K)/16 分周機能がイネーブルになり BROCR<BROS3:0>に設定された値“N”(N = 2、3 … 15)、BROADD<BROK3:0>に設定された値“K”に従い N+(16−K)/16 分周を行います。 (K=1、2、3 … 15)

(注) N=1 および 16 のときは N+(16−K)/16 分周機能は禁止となりますのでかならず BROCR<BROADDE>=“0”に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は N+(16 − K)/16 分周機能は使用できません。かならず BROCR<BROADDE>=“0”に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

1) UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、φT0 が 10.125 MHz のときの 632.8 kbps です。

ボーレートジェネレータの出力ではない fsys/2 をシリアルクロックとして使用できます。この場合の最高ボーレートは 1.266Mbps@fsys=40.5MHZ

Not Recommended for New Design

2) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、φT0 が 10.125 MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値="1" の設定が可能なので、5.06Mbps になります（ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値="2"のときの、2.53Mbps が最高になります）。

- <u>ボーレートの設定例</u>

1) 整数分周（N 分周）の場合

fperiph に fc=40.5 MHz を選択し、φT0 を fperiph/16 に設定したとき、ボーレートジェネレータへの入力クロックをφT2、分周値“N”(BROCR<BROS3:0>)=4、BROCR<BROADDE>=“0”の場合の UART モードのボーレートは、

※ クロック条件
- システムクロック : 高速（fc）
- 高速クロックギア : 1 倍（fc）
- プリスケーラクロック : $f_{periph}/16$ ($f_{periph} = f_{sys}$)

$$\text{ボーレート} = \frac{fc/64}{4} \div 16$$

$= 40.5 \times 10^6 \div 64 \div 4 \div 16 = 9888$ (bps)となります。

(注) +(16-K)/16 分周機能は禁止に設定されるため BROADD <BROK3 : 0> の設定は無視されます。

2) N + (16-K)/16 分周（UART モードのみ）の場合

fperiph に fc=19.2MHz を選択し、φT0 を fperiph/16 に設定したとき、ボーレートジェネレータへの入力クロックをφT2、分周値“N”(BROCR<BROS3:0>)=4、K”(BROADD<BROK3:0>)=14、BROCR<BROADDE>=1 の場合のボーレートは、

※ クロック条件
- システムクロック : 高速（fc）
- 高速クロックギア : 1 倍（fc）
- プリスケーラクロック : $f_{periph}/4$ ($f_{periph} = f_{sys}$)

$$\text{ボーレート} = \frac{fc/64}{4+\frac{(16-14)}{16}} \div 16$$

$= 40.5 \times 10^6 \div 64 \div \left(4 + \frac{2}{16} \right) \div 16 = 9588$ (bps)　となります。

Not Recommended for New Design

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレートの算出方法

1) UART モード

Baud Rate = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) ≧ 4/fsys を満足する必要があります。

fsys＝40.5MHz のときの最高ボーレートは、40.5÷4÷16＝632.8（kbps）になります。

2) I/O インタフェースモード

Baud Rate = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) ＞ 12/fsys を満足する必要があります。

従って、fsys＝40.5MHz のときの最高ボーレートは、40.5÷12＝3.375（Mbps）未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) ＞ 16/fsys を満足する必要があります。

従って、fsys＝40.5MHz のときの最高ボーレートは、40.5÷16＝2.53（Mbps）未満にする必要があります。

表 14.2～表 14.3に UART モードのボーレートの例を示します。

Not Recommend for New Design

表 14.2 UART ボーレートの選択

(ボーレートジェネレータ使用、BR0CR <BR0ADDE> = 0 の場合) 単位 (kbps)

fc [MHz]	入力クロック / 分周値 N (BR0CR <BR0S3 : 0>に設定)	φT0 (fc/4)	φT2 (fc/16)	φT8 (fc/64)	φT32 (fc/256)
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	0	19.200	4.800	1.200	0.300
24.576	5	76.800	19.200	4.800	1.200
↑	A	38.400	9.600	2.400	0.600
29.4912	1	460.800	115.200	28.800	7.200
↑	2	230.400	57.600	14.400	3.600
↑	3	153.600	38.400	9.600	2.400
↑	4	115.200	28.800	7.200	1.800
↑	6	76.800	19.200	4.800	1.200
↑	C	38.400	9.600	2.400	0.600

(注) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケーラ用クロックとして f_{periph}/4 を選択した場合の値です。

表 14.3 UART ボーレートの選択

(タイマ TMRAB の出力（内部 TABOUT）使用, タイマ TMRAB の入力クロックがφT1 の場合)

単位 (kbps)

TA0REG \ fc	29.4912 MHz	24.576 MHz	24 MHz	19.6608 MHz	16 MHz	12.288 MHz
1H	230.4	192	187.5	153.6	125	96
2H	115.2	96	93.75	76.8	62.5	48
3H	76.8	64	62.5	51.2	41.67	32
4H	57.6	48	46.88	38.4	31.25	24
5H	46.08	38.4	37.5	30.72	25	19.2
6H	38.4	32	31.25	25.6	20.83	16
8H	28.8	24	23.44	19.2	15.63	12
AH	23.04	19.2	18.75	15.36	12.5	9.6
10H	14.4	12	11.72	9.6	7.81	6
14H	11.52	9.6	9.38	7.68	6.25	4.8

ボーレートの算出方法（タイマ TMRAB を使用した場合）

$$\text{転送レート} = \frac{\text{SYSCR0<PRCK1:0>で選択されたクロック周波数}}{\text{TABREG} \times 2 \times 16}$$

2 ← (タイマ TMRAB の入力クロックがφT1 の場合)

(注1) I/O インタフェースモードでは、タイマ TMRAB からの出力信号(内部)を転送クロックとして使用できません。

(注2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケーラ用クロックとして f_{periph}/4 を選択した場合の値です。

Not Recommended for New Design

14.2.3 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

  シリアルコントロールレジスタ SC0CR<IOC>=“0”の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

  SC0CR<IOC>=“1”の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- 非同期通信（UART)モードの場合

  シリアルモードコントロールレジスタ SC0MOD0<SC1:0>の設定により、前記ボーレートジェネレータからのクロックか、システムクロック（f_{SYS}/2）か、タイマ（TMRAB）の内部出力信号か、または外部クロック(SCLK0 端子)のいずれかを選択し、基本クロック SIOCLK をつくります。

14.2.4 受信カウンタ

受信カウンタは、非同期通信（UART）モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ 7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

14.2.5 受信制御部

- I/O インタフェースモードの場合

  SC0CR<IOC>=“0”の SCLK 出力モードのときは、SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。

  SC0CR <IOC>=1”の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ RXD0 端子をサンプリングします。

- 非同期通信（UART)モードの場合

  受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

14.2.6 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1（シフトレジスタ型）に受信データが 1 ビットずつ格納され、データがそろうともう一方の受信バッファ 2（SC0BUF）へ移されるとともに割り込み INTRX0 が発生します。また、同時に受信バッファの full Flag（SC0MOD2<RBFLL>）が“1”にセットされ、受信バッファ 2 に有効データが格納されていることを示します。

CPU は受信バッファ 2（SC0BUF）の方を読み出します。また、この読み出しにより受信バッファの full Flag <RBFLL>は“0”にクリアされます。CPU が受信バッファ 2（SC0BUF）を読み出す前でも、次の受信データは受信バッファ 1 へ格納することができます。

Not Recommended for New Design

また、IO インタフェースモードで SCLK 出力に設定されている場合は、ダブルバッファ制御ビット SCOMOD2<WBUF>の設定により、受信バッファ 2（SCOBUF）を許可または不許可にできます。受信バッファ 2（ダブルバッファ）を不許可にすることにより、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に SCLK 出力を停止します。この設定の場合には、CPU からの読み出し動作は受信バッファ 1 に対して行われます。読み出し動作が行なわれる事により、SCLK 出力を再開します。また、受信バッファ 2（ダブルバッファ）を許可にした場合は最初の受信データが受信バッファ 1 から 2 に移され、次に受信データの受信が終了して、受信バッファ 2 及び 1 に有効データが存在した状態になると、SCLK 出力を停止します。受信バッファ 2 の読み出しが行なわれると、受信バッファ 1 のデータが受信バッファ 2 に移され、受信割り込み INTRX が発生すると同時に SCLK 出力を再開します。従って、IO インタフェースモードの SCLK 出力ではダブルバッファ制御ビット SCOMOD2<WBUF>の設定に関わらずオーバランエラーは発生しません。

(注）このモードでは、SCOCR の＜OEER＞ Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファ 2 の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SCOBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SCOCR <RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SCOCR <RB8> に格納されます。

9 ビット UART の場合、ウェイクアップ機能 SCOMODO<WU> を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR<RB8>=“1”のときのみ、割り込み INTRX0 が発生します。

Not Recommended for New Design

14.2.7 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック (TXDCLK) を生成します。

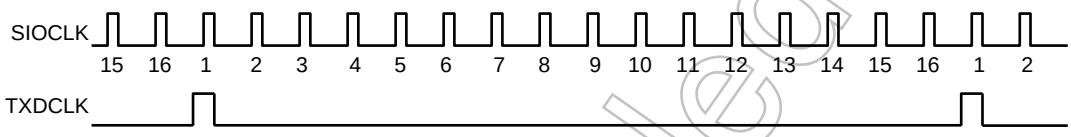


図 14.3 送信クロックの生成

14.2.8 送信制御部

- I/O インタフェースモードの場合

  SCOCR<IOC>=“0”の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

  SCOCR<IOC>=“1”の SCLK 入力モードのときは、SCOCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD0 端子へ出力します。

- 非同期通信 (UART) モードの場合

  送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (TXDSFT) をつくります。

Not Recommended for New Design

ハンドシェイク機能

$\overline{\text{CTS}}$ 端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SCOMOD <CTSE> によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が“H”レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTS0}}$ 端子が“L”レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを“H”レベルにして、 送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

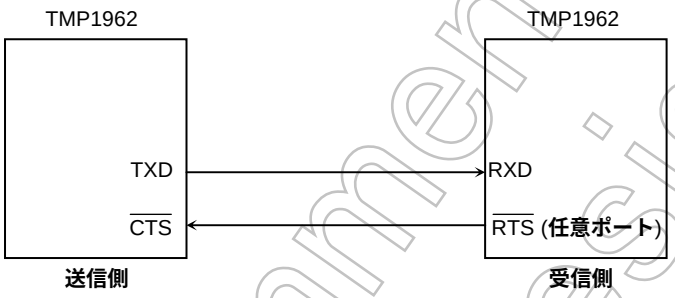
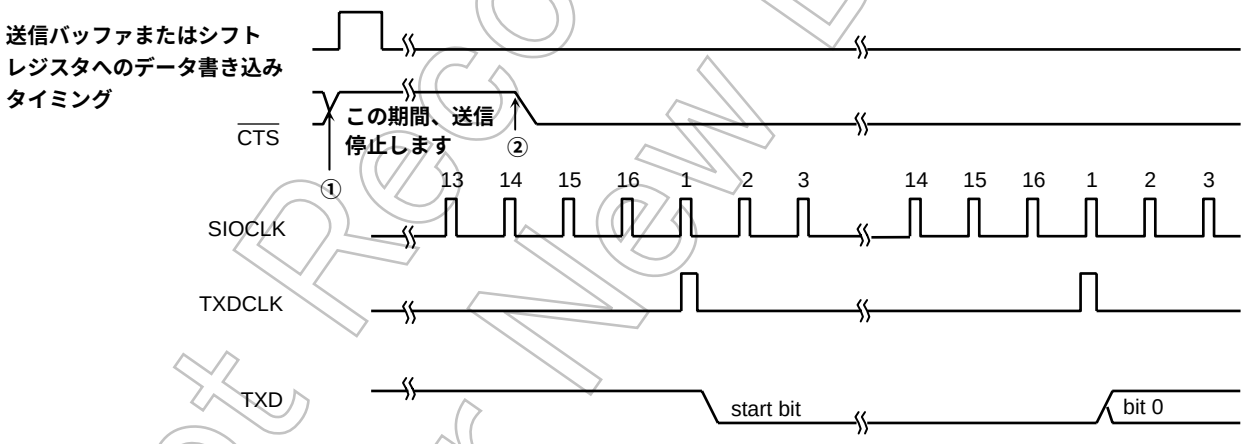


図 14.4 ハンドシェイク機能



(注) ① 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

② $\overline{\text{CTS}}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 14.5 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

Not Recommended for New Design

14.2.9 送信バッファ

送信バッファ (SCOBUF) は 2 重構造になっています。シリアルモードコントロールレジスタ 2（SCOMOD2）のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (SCOBUF) へデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されると同時に送信割り込み INTTX が発生して、SCOMOD2 の送信バッファエンプティフラグ<TBEMP>フラグが “1” にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込み可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが “0” にクリアされます。

また I/O インターフェースモードの SCLK 入力時は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 へデータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ(SCOCR)のパリティ／アンダーランフラグ＜PERR＞がセットされます。I/O インターフェースモードの SCLK 出力の時は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると SCLK 出力が停止します。従ってアンダーランエラーは発生しません。

注）I/O インタフェース SCLK 出力モードでは、SCOCR の＜PEER＞ Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み INTTX が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>=”0”（不許可）に設定して送信バッファ 2 の機能を無効にしてください。また、ハンドシェイクなしの連続送信の場合は<WBUF>=”1”(許可)として送信バッファ 2 を有効にして、パフォーマンスを向上することが可能となります。

14.2.10 パリティ制御回路

シリアルコントロールレジスタ(SCOCR)のパリティ付加ビット<PE>を “1” にするとパリティ付きの送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SCOCR の <EVEN>ビットによって偶数（奇数）パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SCOBUF ビット 7<TB7> に、8 ビット UART モードのときはシリアルモードコントロールレジスタ SCOMOD のビット 7 <TB8> にパリティがデータ送信後に格納されます。。なお、 <PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ 1 にシフトインされ、受信バッファ 2 (SCOBUF) に移されることによりパリティを自動発生します。7 ビット UART モードのときは、SCOBUF <RB7> と、8 ビット UART モードのときは、SCOCR レジスタのビット 7 <RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SCOCR レジスタの<PERR> フラグがセットされます。

I/O インターファースモードの時は SCOCR＜PERR＞はパリテイフラグではなく、アンダーランエラーフラグの働きになります。

Not Recommended for New Design

14.2.11 エラーフラグ

受信データの信頼性を上げるために 3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR> ：シリアルコントロールレジスタ SCOCR のビット 4

UART、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インタフェースモードの SCLK 出力の設定ではオーバーランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

2. パリティエラー/アンダーランエラー<PERR>：SCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インタフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ(SCOMOD2)のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、SCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファへデータがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。また SCLK 出力モード時はアンダーランエラーは発生しなために、このフラグは機能せず動作定義は未定となります。送信バッファ 2 が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー <FERR>：SCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2(SCOMOD2)の STOP ビット長設定ビット＜SBLEN＞の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリテイエラーフラグ
	FERR	フレーミングエラーフラグ
IO インタフェース (SCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ（WBUF＝1）
		0 固定（WBUF＝0）
	FERR	0 固定
IO インタフェース (SCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

Not Recommended for New Design

14.2.12 データ転送方向

シリアルモードコントロールレジスタ 2(SCOMOD2)の転送方向設定ビット<DRCHG>の設定により、I/O インタフェースモード時に転送方向を MSB ファースト/LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

14.2.13 STOP ビットの長さ

SCOMOD2 レジスタのビット 4<SBLEN>の設定により UART 送信モード時の 送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

14.2.14 ステータスフラグ

SCOMOD2 レジスタのビット 6<RBFLL>はダブルバッファ有効（SCOMOD2<WBUF>=”1”）時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されとバッファ 2 が full (データが格納されている状態) であることを示すために“1”にセットされます。CPU/DMAC により受信バッファを読み出すと“0”にクリアされます。<WBUF>=”0”のときは意味を持ちませんのでステータスフラグとして使用しないでください。SCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効（SCOMOD2<WBUF>=”1”）時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために“1”がセットされます。CPU/DMAC により送信バッファにデータをセットすると“0”にクリアされます。<WBUF>=”0”のときは意味を持ちませんのでステータスフラグとして使用しないでください。

14.2.15 送受信バッファの構成

		WBUF = 0	WBUF = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
IO インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
IO インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

Not Recommended for New Design

14.2.16 各信号発生タイミング

① UART モードの場合

受信

モード	9 ビット	8 ビット + パリティ	8 ビット， 7 ビット + パリティ，7 ビット
割り込み発生タイミング	第 1 ストップビットの中央付近	第 1 ストップビットの中央付近	第 1 ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット（パリティビット）の中央付近	最終ビット（パリティビット）の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9 ビット	8 ビット + パリティ	8 ビット， 7 ビット + パリティ，7 ビット
割り込み発生タイミング (WBUF = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (WBUF = 1)	送信バッファ 1 へデータを移した直後 (スタートビット送出の直前)	送信バッファ 1 へデータを移した直後（スタートビット送出の直前）	送信バッファ 1 へデータを移した直後 (スタートビット送出の直前)

② I/O インタフェースモードの場合

受信

割り込み発生タイミング (WBUF = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後 (受信バッファ 2 へデータを移した直後) または受信バッファ 2 からデータを読み出した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ 2 へデータを移した直後)
オーバランエラー発生タイミング	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (WBUF = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後または送信バッファ 1 へデータを移した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ 1 へデータを移した直後
アンダーランエラー発生タイミング	SCLK 入力モード	次回 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注１） 送信、受信中（受信許可の状態）に制御レジスタの変更は行なわないでください
注２） 受信動作中に受信動作を停止（SCOMODO<RXE>＝”0”）しないでください

Not Recommended for New Design

14.3 レジスタ説明（チャネル 0 についてのみ説明します）

SC0MOD0 (0xFFFF_F261)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	送信データビット 8	ハンドシェイク機能制御 0: CTS ディセーブル 1: CTS イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード		シリアル転送クロック (UART 用) 00: タイマ TA6TRG 01: ボーレートジェネレータ 10: 内部クロック $f_{SYS}/2$ 11: 外部クロック (SCLK0 入力)	

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC0CR) でクロックを選択します。

→ ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときのみ割り込み	

→ ハンドシェイク機能($\overline{\text{CTS}}$ 端子)イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

注）<RXE>＝”0”の状態で各モードレジスタ（SC0MOD0、SC0MOD1、SC0MOD2）を設定してから最後に<RXE>＝”1”にしてください

図 14.6　シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

SC0MOD1 (0xFFFF_F266)

	7	6	5	4	3	2	1	0
bit Symbol	I2S0	FDPX0	SIOEN					
Read/Write	R/W	R/W	R/W					
リセット後	0	0	0					
機　能	IDLE 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重	SIO 動作 0: 禁止 1: 許可					

<SIOEN>: SIO モジュールのレジスタ部以外へのクロック供給の許可/不許可

注）SC0MOD1 レジスタを設定する場合は、まずビット 5<SIOEN>を“1”に設定した後に、他のビット<I2S0>、<FDPX0>を設定してください

図 14.7　シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)

Not Recommended for New Design

SC0MOD2
(0xFFFF_F265)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R/W						W	W
リセット後	1	0	0	0	0	0	0	0
機　能	送信 buffer empty flag 0: full 1: Empty	受信 Buffer full FLAG 0: Empty 1: full	送信動作中 FLAG 0: 停止 1: 動作	STOP ビット 0: 1 ビット 1: 2 ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10”、“01” のライトで RESET	

<SWRST1:0>: “10” → “01” のライトによりソフトウエアリセットが発生します。これにより、モードレジスタの SC0MOD0＜RXE＞、SC0MOD2＜TBEMP＞,＜RBFLL＞,＜TXRUN＞、コントロールレジスタの SC0CR＜0ERR＞、＜PERR＞、＜FERR＞及び内部回路が初期化されます。

<WBUF>: IO インタフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信の Double buffer の許可/不許可を指定します。その他のモードでは設定に関らず、常に Double buffer は許可されます。

<DRCHG>: IO インタフェースモード時に、転送方向を指定します。UART モード時は LSB first に設定です。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。このビットが 1 の場合は送信動作中である事を示し、0 の場合は、ビット 7<TBEMP>＝ ”1 ” の時は送信が完全に終了している状態を、<TBEMP>＝ ”0 ” の時は送信バッファに次の送信データがあり送信待ちの状態を示します。

<RBFLL>: 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

<TBEMP>: 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、empty になると “1” になり、送信データが書き込まれると “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

<SBLEN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

（注）転送動作中にソフトリセットを掛ける場合は 2 回連続して実行してください。

図 14.8　シリアルモードコントロールレジスタ

Not Recommended for New Design

SC0CR (0xFFFF_F262)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Read すると 0 クリアされます。)			R/W	
リセット後		0	0	0	0	0	0	0
機　能	受信データビット 8	パリティ 0: Odd 1: Even	パリティ付加 0: 禁止 1: 許可	1: エラー			0: SCLK0 1: SCLK0	0: ボーレートジェネレータ 1: SCLK0 端子入力
				オーバラン	パリティ/アンダーラン	フレーミング		

I/O インタフェース入力クロック選択

0	ボーレートジェネレータ
1	SCLK0 端子入力

SCLK0 入力動作時のエッジ選択（注 1）

0	SCLK0 の立ち上がりエッジでデータの送受信
1	SCLK0 の立ち下がりエッジでデータの送受信

フレーミングエラーフラグ
パリティエラー/アンダーランエラーフラグ
オーバランエラーフラグ
} 読み出すと “0” にクリアされます。

偶数パリティ付加/チェック

0	奇数(Odd)パリティ
1	偶数(Even)パリティ

（注 1）SCLK0 出力時はかならず<SCLKS>=”0”に設定してください。

（注 2）エラーフラグは読み出されるとすべてクリアされます。

図 14.9　シリアルコントロールレジスタ (SIO0 用、SC0CR)

Not Recommended for New Design

BR0CR (0xFFFF_F260)

	7	6	5	4	3	2	1	0
bit Symbol	−	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	"0" をライトしてください	N + (16 − K)/16 分周機能 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32		分周値 "N" の設定			

ボーレートジェネレータの入力クロックの選択

00	内部クロックφT0
01	内部クロックφT2
10	内部クロックφT8
11	内部クロックφT32

BR0ADD (0xFFFF_F267)

	7	6	5	4	3	2	1	0
bit Symbol					BR0K3	BR0K2	BR0K1	BR0K0
Read/Write					R/W			
リセット後					0	0	0	0
機　能					N + (16 − K)/16 分周の K 値の設定			

ボーレートジェネレータの分周値の設定

	BR0CR<BR0ADDE> = 1		BR0CR<BR0ADDE> = 0
BR0CR <BR0S3:0> / BR0ADD <BR0K3:0>	0000(N = 16) 〜 0001(N = 1)	0010(N = 2) 〜 1111(N = 15)	0001(N = 1) (ONLY UART) 〜 1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	
0001(K = 1) 〜 1111(K = 15)	禁止	N + (16−K)/16 分周	N 分周

(注 1) UART モードでは、ボーレートジェネレータ分周値の "1" 分周は、N + (16 − K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは、ボーレートジェネレータ分周値の "1" 分周は、ダブルバッファ使用時のみ設定可能です。

(注 2) N + (16 − K)/16 機能を使用する場合、かならず BR0ADD <BR0K3 : 0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = "1" を設定してください。ただし、BR0CR <BR0S3 : 0> = "0000" または "0001" (N = 16 または 1) のとき N + (16 − K)/16 分周機能は使用しないでください。

(注 3) N + (16 − K)/16 分周機能は UART モードのみ使用可能です。I/O インタフェースモードのときは BR0CR <BR0ADDE> = "0" に設定し N + (16 − K)/16 分周機能を禁止してください。

図 14.10　ボーレートジェネレータコントロール (SIO0 用、BR0CR、BR0ADD)

Not Recommended for New Design

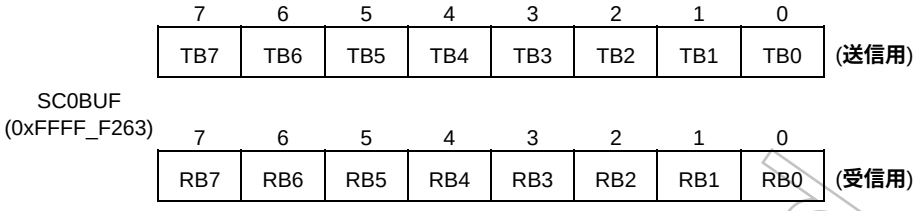


図 14.11 **シリアル送受信バッファレジスタ** (SIO0 **用、**SC0BUF)

Not Recommended for New Design

14.4 モード別動作説明

14.4.1 モード 0 (I/O インタフェース モード)

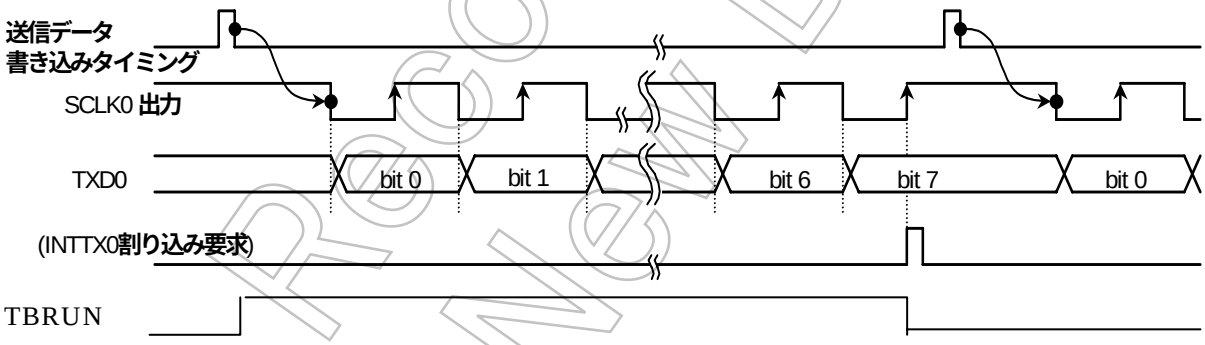
このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

① 送信

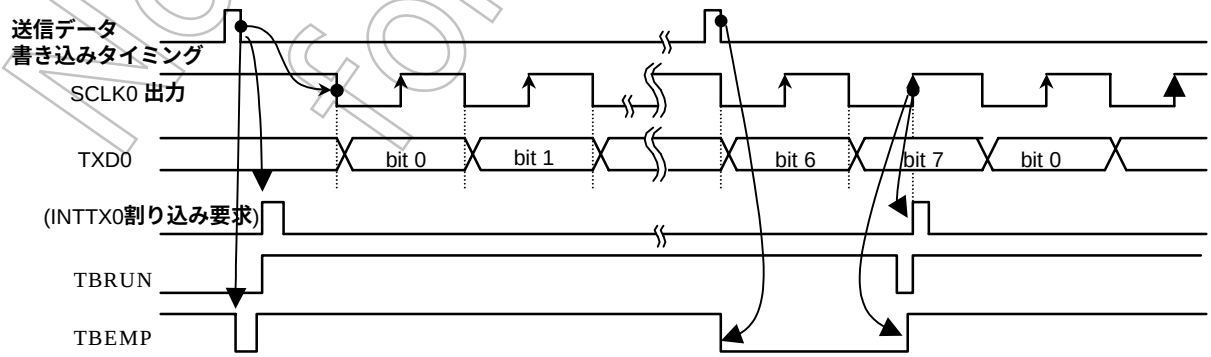
SCLK 出力モード

SCLK 出力モードでは SCOMOD2<WBUF>=”0”で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると割り込み(INTTX0) が発生します。

SCOMOD2<WBUF>=”1”で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ SCOMOD2<TBEMP>が“1”にセットされます。同時に、割り込み (INTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (INTTX0)を発生せず、SCLK0 出力も停止します。

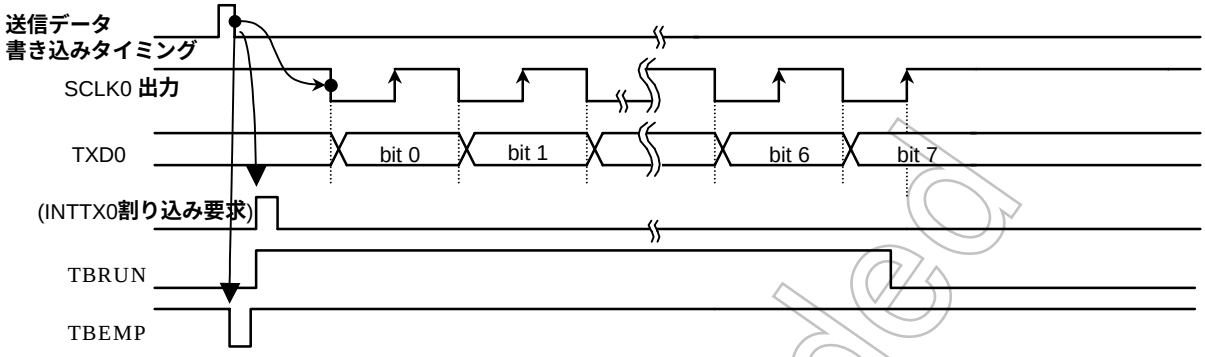


<WBUF>=”0”（ダブルバッファ不許可）の場合



<WBUF>=”1”（ダブルバッファ許可）の場合（バッファ 2 にデータがある場合）

Not Recommended for New Design



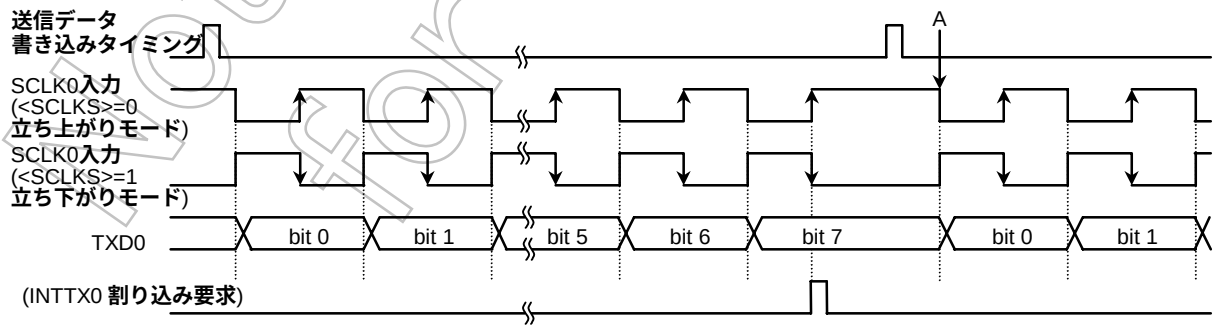
<WBUF>＝”1”（ダブルバッファ許可）の場合（バッファ 2 にデータがない場合）

図 14.12 I/O インタフェース モード送信動作（SCLK0 出力モード）

SCLK 入力モード

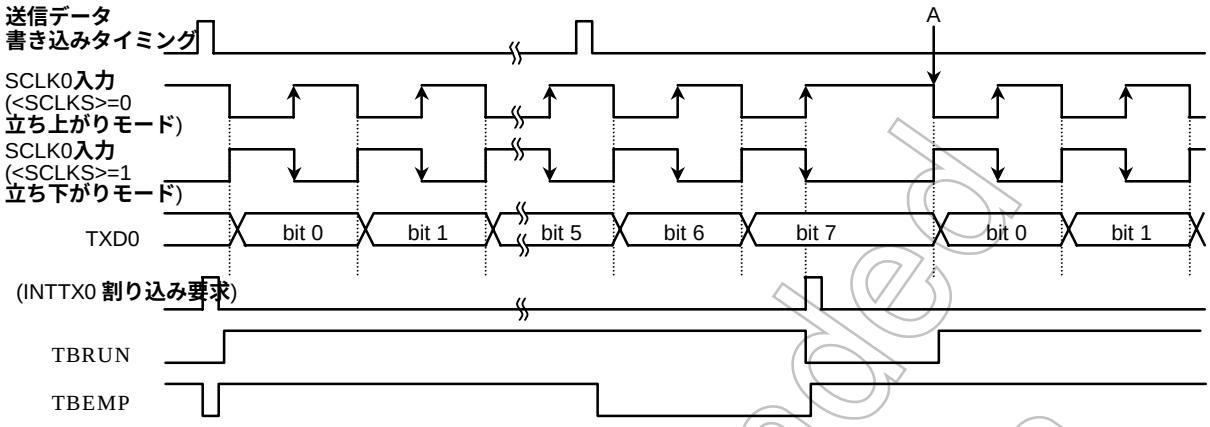
SCLK 入力モードでは、SCOMOD2<WBUF>=”0”で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。データがすべて出力されると割り込み INTTX0 が発生します。次の送信データは A 点までに書き込んでください

SCOMOD2<WBUF>=”1”で送信ダブルバッファが許可されている場合は、SCLK0 入力がアクティブになる前に送信バッファにデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 のデータが送信バッファ 1 へ移されます。これと同時に送信バッファ empty フラグ SCOMOD2<TBEMP>が“1”にセットされ、割り込み (INTTX0) が発生します。送信バッファ 2 にデータが書き込まれていない状態で、SCLK0 入力がアクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ(FFh)を送出します。

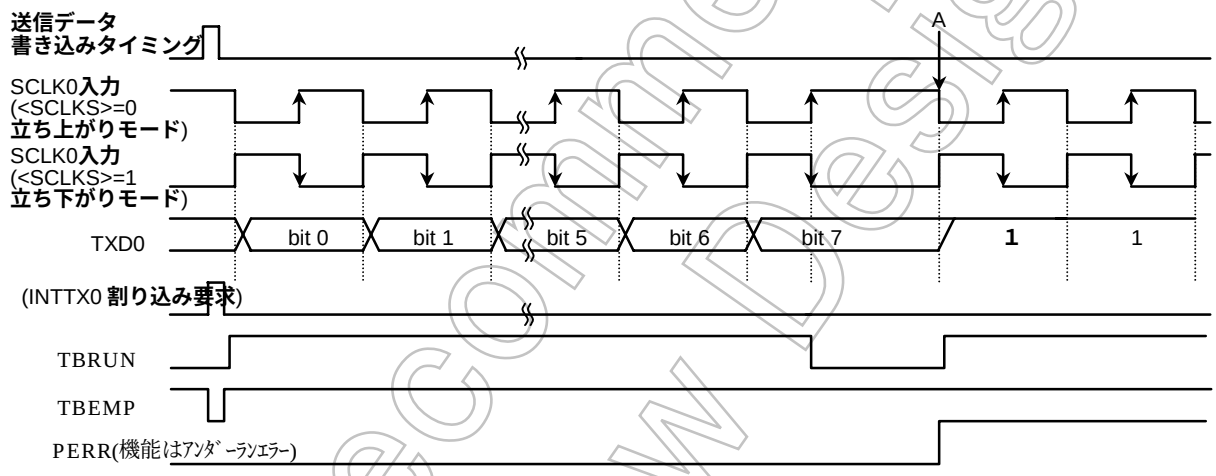


<WBUF>＝”0”（ダブルバッファ不許可）の場合

Not Recommended for New Design



<WBUF>＝”1”（ダブルバッファ許可）の場合（バッファ 2 にデータがある場合）



<WBUF>＝”1”（ダブルバッファ許可）の場合（バッファ 2 にデータがない場合）

図 14.13 I/O インタフェース モード送信動作（SCLK0 入力モード）

Not Recommended for New Design

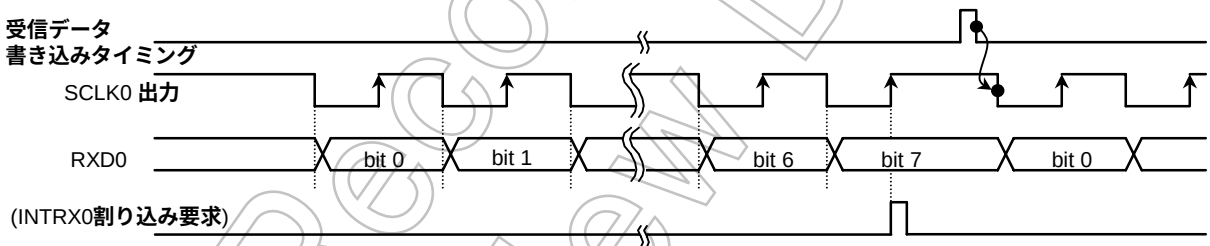
② 受信

SCLK 出力モード

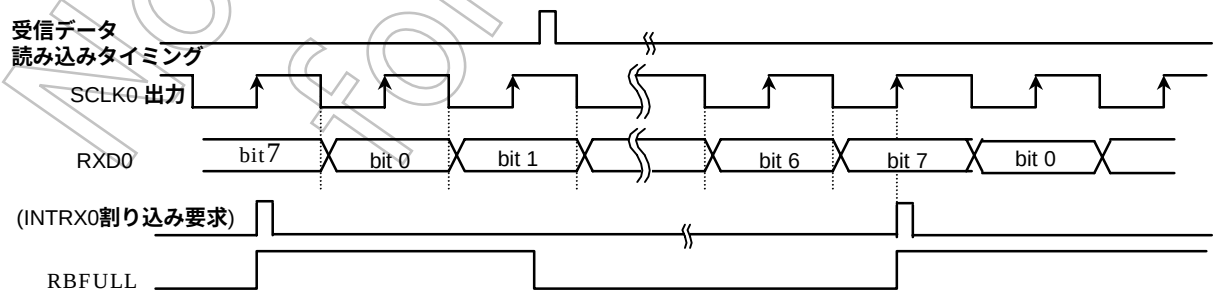
SCLK 出力モードでは SCOMOD2<WBUF>=”0”で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、受信許可ビット SCOMOD0<RXE>を“1”にセットすることで行います。また、SCOMOD2<WBUF>=”1”で受信ダブルバッファが許可の場合は、最初に受信したフレームは 受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ SCOMOD2<RBFULL>が“1”にセットされ、割り込み INTRX0 が発生します。

受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータが読み出されない場合は、割り込み INTRX0 が発生せず、SCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み INTRX0 を発生して受信を再開します。

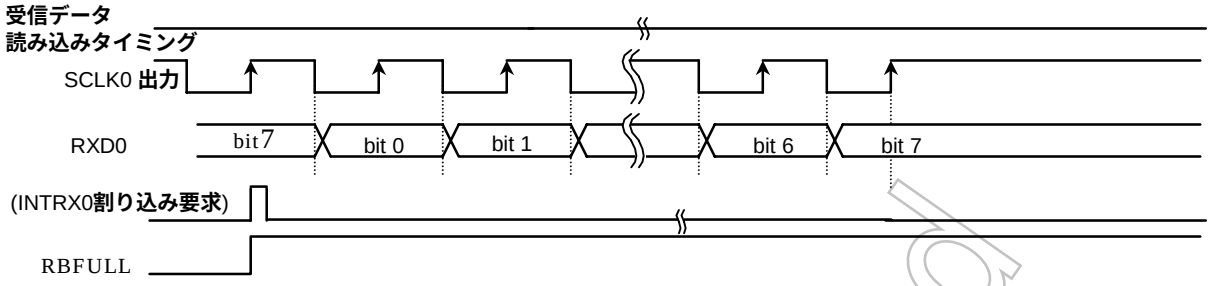


<WBUF>＝”0”（ダブルバッファ不許可）の場合



<WBUF>＝”1”（ダブルバッファ許可）の場合（バッファ 2 のデータを読み出した場合）

Not Recommended for New Design



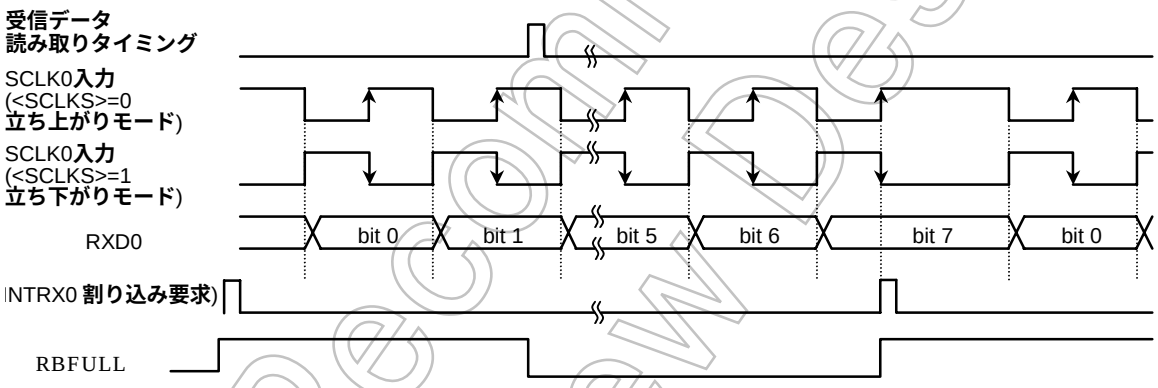
<WBUF>＝”1”（ダブルバッファ許可）の場合（バッファ 2 のデータを読み出されない場合）

図 14.14 I/O インタフェース モード受信動作（SCLK0 出力モード）

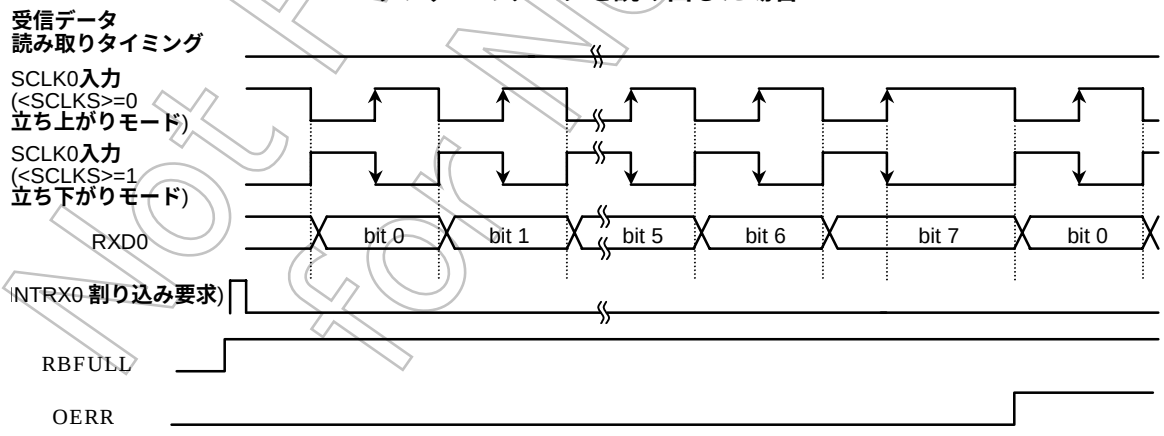
SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み INTRX が発生します。



バッファ 2 のデータを読み出した場合



バッファ２のデータが読み出されない場合

図 14.15 I/O インタフェース モード受信動作（SCLK0 入力モード）

(注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態(SCOMOD <RXE> = 1) にしておく必要があります。

Not Recommended for New Design

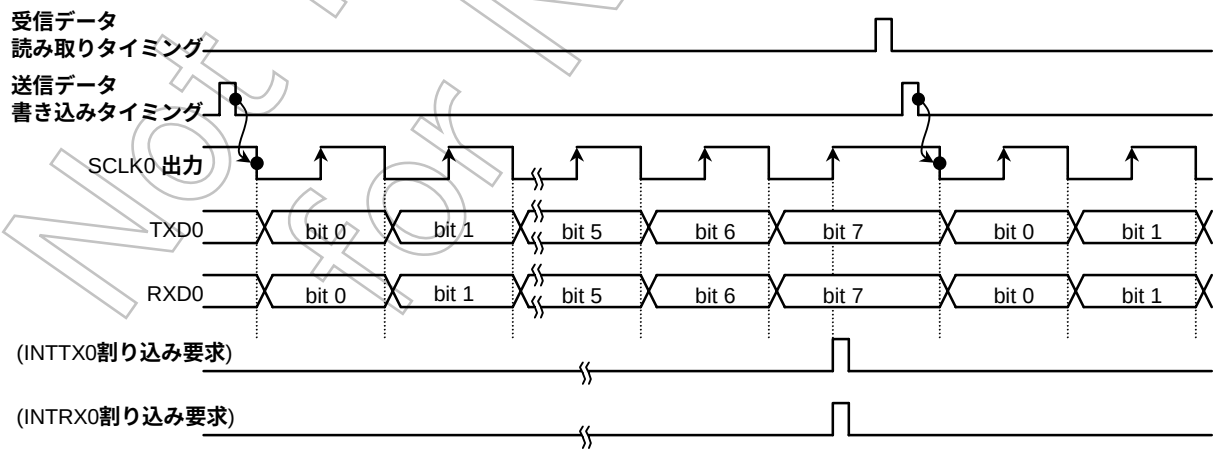
③ 送受信（全二重）

シリアルモードコントロールレジスタ 1(SCOMOD1)のビット 6<FDPX0>に"1"をセットすることにより全二重モードでの通信が可能になります。

SCLK 出力モード

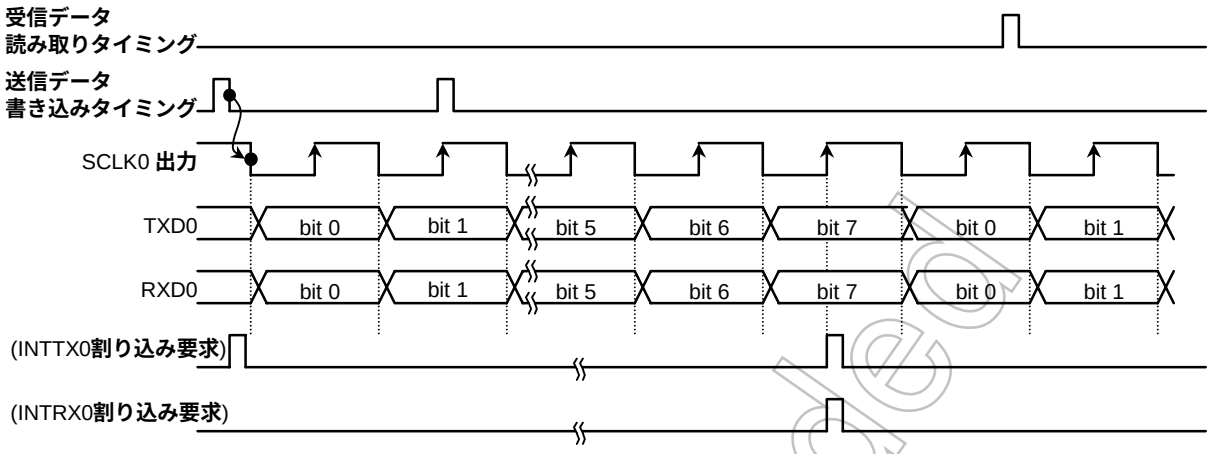
SCLK 出力モードでは SCOMOD2<WBUF>＝”0”で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み（INTRX0）が発生します。それと平行して送信バッファに書き込まれた 8 ビットデータが、TXD0 端子より出力され、全てのデータが送信されると送信割り込み（INTTX0）が発生します。この状態で SCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

SCOMOD2<WBUF>＝”1”で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (INTRX0) が発生します。8 ビットデータの受信と平行して 8 ビットデータが TXD0 端子より出力されます。データがすべて出力されると割り込み(INTTX0)が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない（SCOMOD2<TBEMP>＝”1”）または受信バッファ 2 にデータが存在している（SCOMOD2<RBFULL>＝”1”）場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。

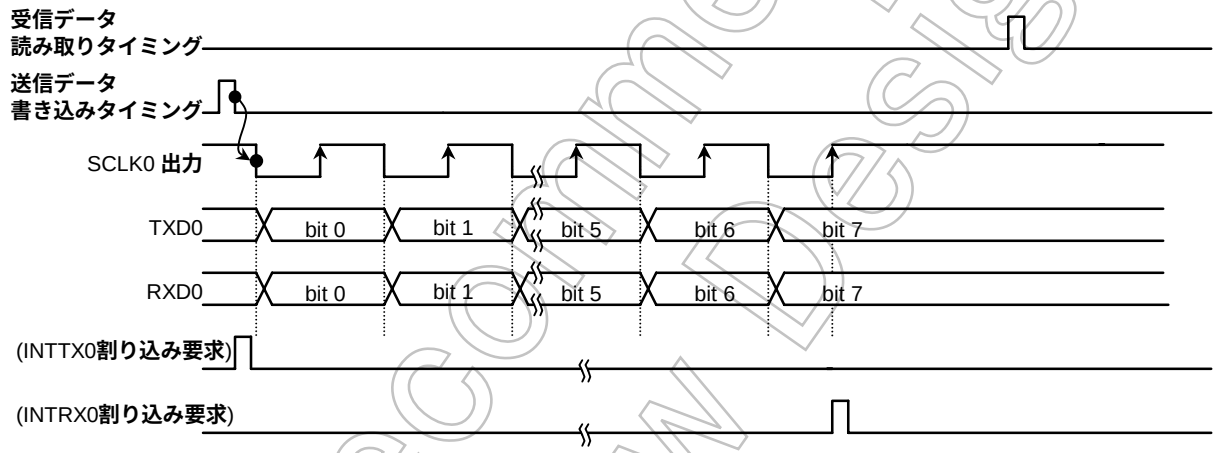


<WBUF>＝”0”（ダブルバッファ不許可）の場合

Not Recommended for New Design



<WBUF>＝”1”（ダブルバッファ許可）の場合



<WBUF>＝”1”（ダブルバッファ許可）の場合

図 14.16 I/O インタフェースモード送受信動作（SCLK0 出力モード）

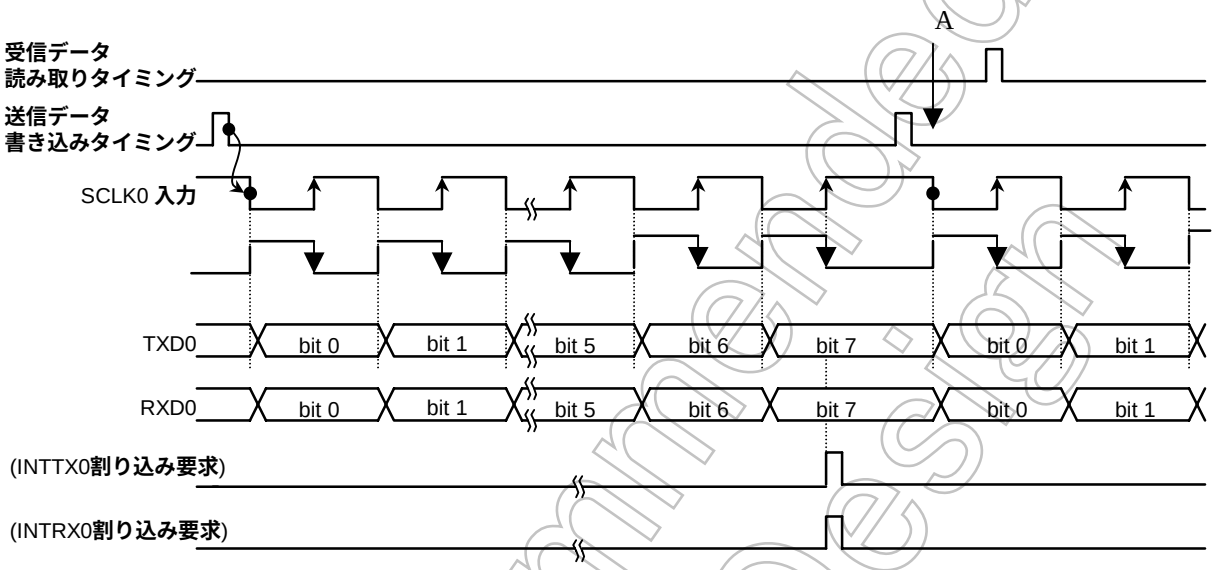
SCLK 入力モード

SCLK 入力モードでは SCOMOD2<WBUF>＝”0”で送信ダブルバッファが不許可（受信は設定に関わらずダブルバッファ有効）の場合は、送信バッファにデータが書き込まれている状態で SCLK 入力がアクテイブになると、8 ビットのデータが TXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み（INTTX0）が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み（INTRX0）が発生します。次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込む様にしてください（A 点までに書き込んでください）。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

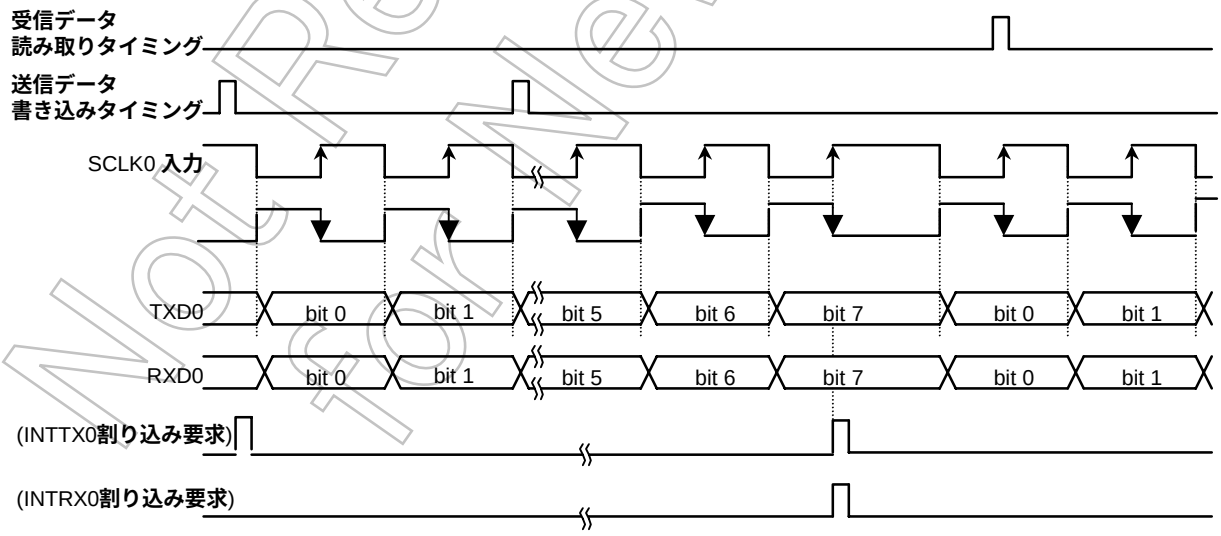
SCOMOD2<WBUF>＝”1”で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み（INTRX0）が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み（INTRX0）が発生します。続けて次のフレームの SCLK が入

Not Recommended for New Design

力されると､送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。

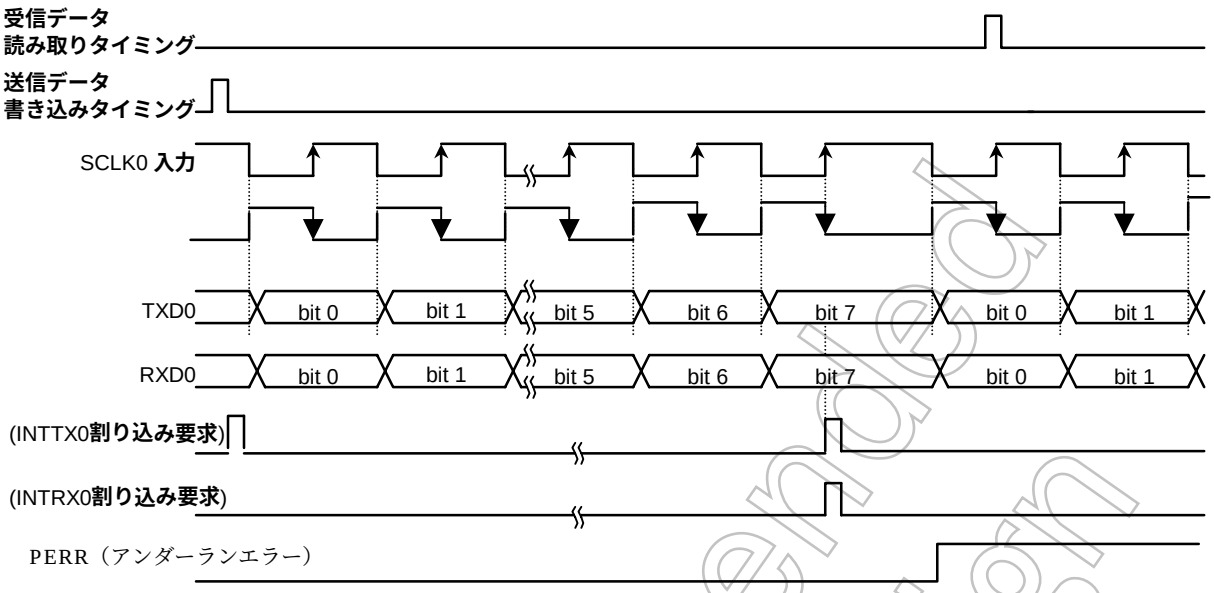


<WBUF>＝”0”（ダブルバッファ不許可）の場合



<WBUF>＝”1”（ダブルバッファ許可)、の場合（エラー無し）

Not Recommended for New Design



<WBUF>＝”1”（ダブルバッファ許可）、の場合（エラー発生）

図 14.17 I/O インタフェースモード送受信動作（SCLK0 入力モード）

Not Recommended for New Design

14.4.2 モード 1 (7 ビット UART モード)

シリアルモードコントロールレジスタ (SCOMOD <SM1, 0>) を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>=“1” (イネーブル) のときは、SCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCOMOD2<SBLEN>で指定することができます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。

※ クロック条件

システムクロック	:	高速 (fc)
高速クロックギア	:	1 倍 (fc)
プリスケーラクロック	:	$f_{periph/4}$ (f_{periph} = fsys)

	7	6	5	4	3	2	1	0	
PGCR	←	−	−	−	−	−	−	1	−
PGFC	←	−	−	−	−	−	−	1	−
SCOMOD	←	X	0	−	X	0	1	0	1
SCOCR	←	X	1	1	X	X	X	0	0
BROCR	←	0	0	1	0	1	0	1	0
IMC4LH	←	−	−	1	1	0	1	0	0
SCOBUF	←	*	*	*	*	*	*	*	*

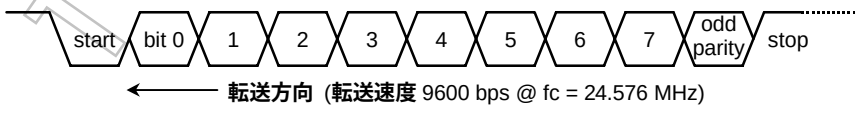
PGCR, PGFC: PG1 を TXD0 端子とします。
SCOMOD: 7 ビット UART モードに設定します。
SCOCR: 偶数パリティを付加します。
BROCR: 2400 bps に設定します。
IMC4LH: INTTX0 割り込みをイネーブル、レベル 4 にします。
SCOBUF: 送信データをセットします。

(注) X: don't care −: no change

14.4.3 モード 2 (8 ビット UART モード)

SCOMODO <SM1 : 0> を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCOCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、SCOCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



※ クロック条件

システムクロック	:	高速 (fc)
高速クロックギア	:	1 倍 (fc)
プリスケーラクロック	:	$f_{periph/4}$ (f_{periph} = fsys)

Not Recommended for New Design

- **メインルーチンでの設定**

```
                7 6 5 4 3 2 1 0
PGCR      ← − − − − − 0 − −   }  PG2 を RXD0 端子とします。
PGFC      ← − − − − − 1 − −   }
SCOMOD    ← − 0 0 X 1 0 0 1      8 ビット UART モードにします。
SCOCR     ← X 0 1 X X X 0 0      奇数パリティ付加に設定します。
BROCR     ← 0 0 0 1 0 1 0 1      9600 bps に設定します。
IMC4LL    ← − − 1 1 0 1 0 0      INTRX0 割り込みをイネーブル、レベル 4 に設定します。
SCOMOD    ← − − 1 X − − − −      受信イネーブルにします。
```

- **割り込みルーチンでの処理例**

```
INTCLR    ← X X 0 1 0 0 0 0      割り込み要求をクリアします。
Reg.      ← SCOCR AND 0x1C       }
if Reg. ≠  0 then ERROR 処理     }  エラーチェックを行います。
Reg.      ← SCOBUF               受信データを読み取ります.
割り込み処理終了
(注)  X: don ' t care        −: no change
```

Not Recommended for New Design

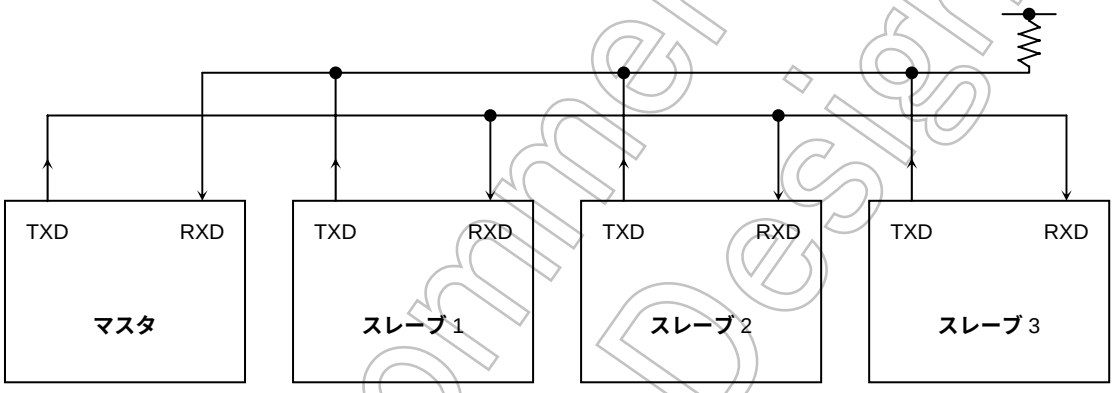
14.4.4 モード 3 (9 ビット UART)

SCOMODO <SM1 : 0> を “11” にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止 (SCOCR<PE> = “0”) してください。

最上位ビット (9 ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (SCOMODO) の ビット 7<TB8> に書き込み、受信の場合シリアルコントロールレジスタ SCOCR のビット 7 <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SCOBUF の方を後にします。STOP ビットの長さは SCOMOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCOMODO<WU>を “1” にすることによって、スレーブ コントローラのウェイク アップ動作が可能で、SCOCR<RB8>=“1” のときのみ割り込み (INTRX0) が発生します。



(注) スレーブコントローラの TXD 端子は、かならず ODE レジスタを設定してオープンドレイン出力モードにしてください。

図 14.18 ウェイクアップ機能によるシリアルリンク

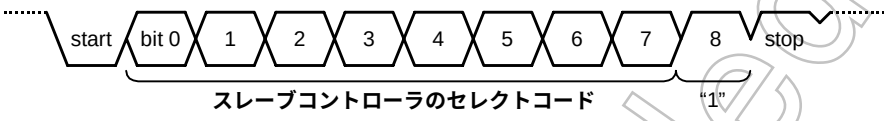
Not Recommended for New Design

プロトコル

① マスタおよびスレーブコントローラは 9 ビット UART モードにします。

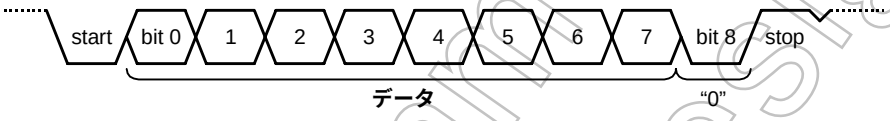
② 各スレーブコントローラは SCOMOD <WU> を “1” にセットし、受信可能状態とします。

③ マスタコントローラは、スレーブコントローラのセレクトコード (8 ビット) を含む 1 フレームを送信します。このとき最上位ビット (ビット 8) <TB8> は “1” にします。



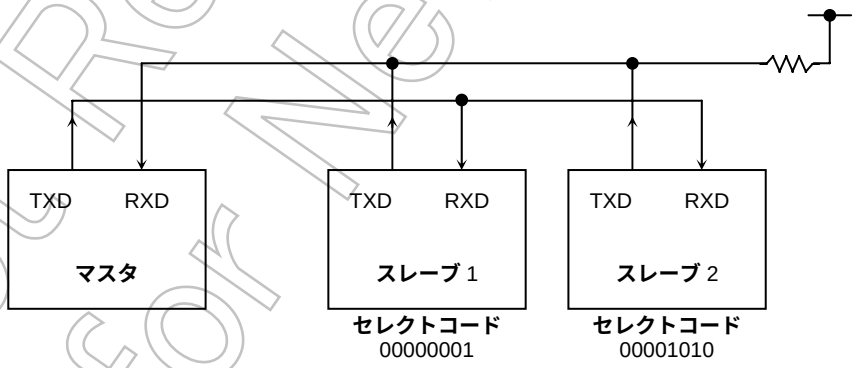
④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WU ビットを “0” にクリアします。

⑤ マスタコントローラは指定したスレーブコントローラ (SCOMOD <WU> = “0” にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット 8) <TB8> は “0” にします。



⑥ <WU>=”1”のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の <RB8> が “0” であるため、割り込み (INTRX0) が発生せず、受信データを無視します。また、<WU> = “0” になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック $f_{SYS}/2$ を転送クロックとして 2 つのスレーブコントローラとシリアルリンクさせる場合



Not Recommended for New Design

3) マスタコントローラの設定

メインルーチン

```
PGCR    ← − − − − − 0 1 −   } PG1 を TXD0、PG2 を RXD0 端子にします。
PGFC    ← − − − − − 1 1 −   }
IMC4LL  ← − − 1 1 0 1 0 1   INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
IMC4LH  ← − − 1 1 0 1 0 0   INTTX0 をイネーブル、割り込みレベルを 4 に設定します。
SCOMOD0 ← 1 0 1 0 1 1 1 0   9 ビット UART モード、転送クロックを fSYS/2 に設定します。
SCOBUF  ← 0 0 0 0 0 0 0 1   スレーブ 1 のセレクトコードをセットします。
```

割り込みルーチン（INTTX0）

```
INTCLR  ← X X 0 1 0 0 0 1   割り込み要求をクリアします。
SCOMOD0 ← 0 − − − − − − −   TB8 を “0” にします。
SCOBUF  ← * * * * * * * *   送信データをセットします。
割り込み処理終了
```

4) スレーブの設定

メインルーチン

```
PDCR    ← − − − − − 0 1 −   }
PDFC    ← − − − − − 1 1 −   } PD0 を TXD（オープンドレイン出力）PD1 を RXD にします。
PGODE   ← − − − − − − 1 −   }
IMC4LL  ← − − 1 1 0 1 1 0   INTTX0，INTRX0 をイネーブルにします。
IMC4LH  ← − − 1 1 0 1 0 1
SCOMOD0 ← 0 0 1 1 1 1 1 0   9 ビット UART モード転送クロック fSYS/2 で、<WU> = “1” に
                            設定します。
```

割り込みルーチン（INTRX0）

```
INTCLR  ← X X 0 1 0 0 0 0   割り込み要求をクリアします。
Reg.    ← SCOBUF
if  Reg. = セレクトコード
Then
SCOMOD0 ← − − − 0 − − − −   <WU> = “0” にクリアします。
```

Not Recommended for New Design

15. シリアルバスインタフェース (SBI)

シリアルバスインタフェース（SBI）を 1 チャネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I^2C バスモード（マルチマスタ）
- クロック同期式 8 ビット SIO モード

I^2C バスモードのときには、PF0（SDA）、PF1（SCL）を通して、外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、PF2（SCK）、PF0（SO）、PF1（SI）を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

	PFODE <PFODE1:0>	PFCR <PF2C, PF1C, PF0C>	PFFC <PF2F, PF1F, PF0F>
I^2C バスモード	11	X11	011
クロック同期式 8 ビット SIO モード	XX	101（クロック出力） 001（クロック入力）	111

X: Don't care

15.1 構成

構成を図 15.1 に示します。

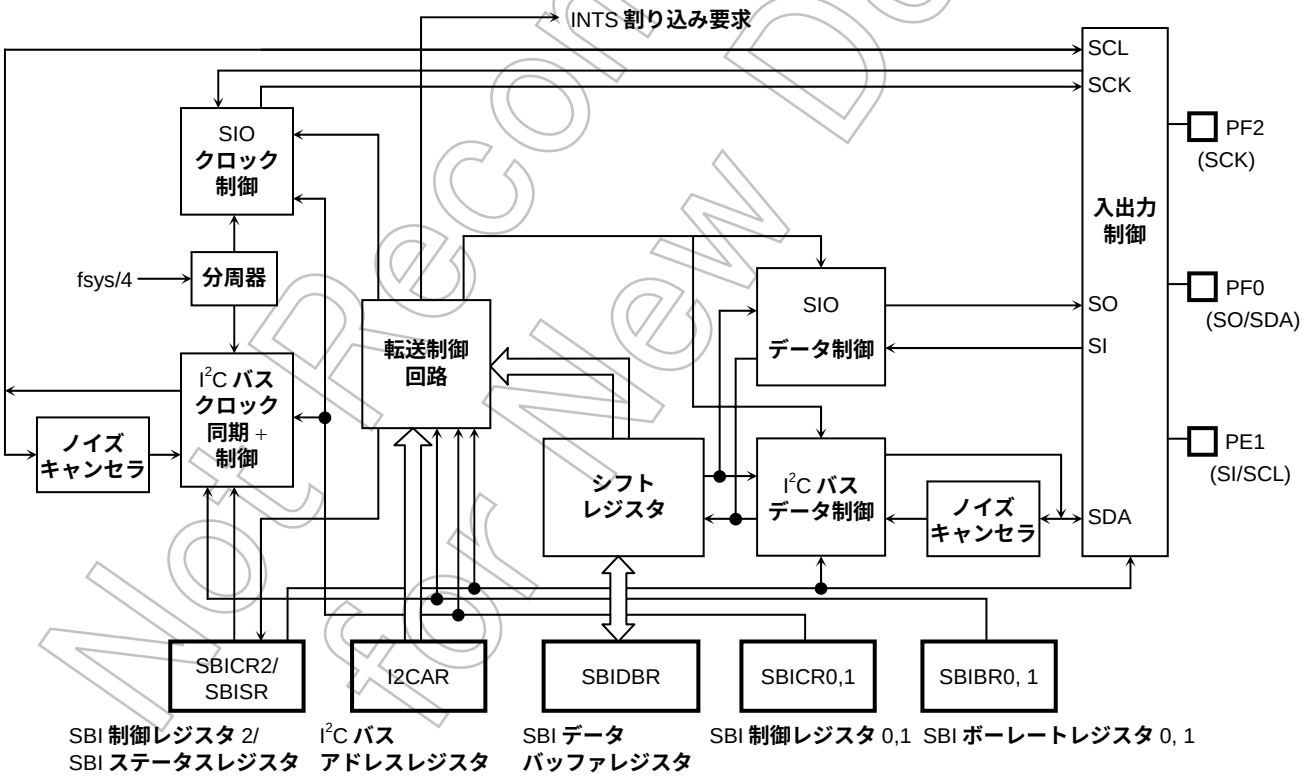


図 15.1 SBI のブロック図

Not Recommended for New Design

15.2 制 御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

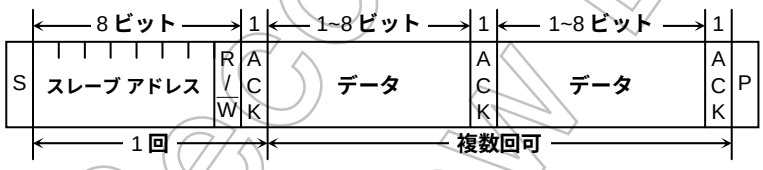
- シリアルバスインタフェース制御レジスタ 0 (SBICR0)
- シリアルバスインタフェース制御レジスタ 1 (SBICR1)
- シリアルバスインタフェース制御レジスタ 2 (SBICR2)
- シリアルバスインタフェースバッファレジスタ (SBIDBR)
- I^2C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)
- シリアルバスインタフェースボーレートレジスタ 0 (SBIBR0)
- シリアルバスインタフェースボーレートレジスタ 1 (SBIBR1)

上記レジスタは使用するモードによって、機能が異なります。詳細は「3.12.4 I^2C バスモード時の制御」および「3.12.7 クロック同期式 8 ビット SIO モード時の制御」を参照してください。

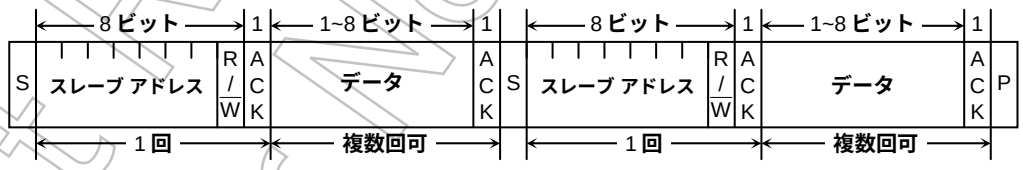
15.3 I^2C バスモード時のデータフォーマット

I^2C バスモード時のデータフォーマットを図 15.2に示します。

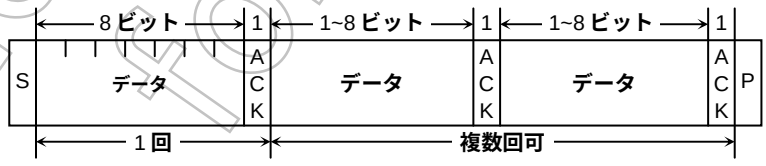
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタート有り)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S: スタートコンディション
R/$\overline{W}$: 方向ビット
ACK: アクノリッジビット
P: ストップコンディション

図 15.2 I^2C バスモード時のデータフォーマット

Not Recommended for New Design

15.4 I^2C バスモード時のコントロールレジスタ

シリアルバスインタフェース（SBI）を I^2C バスモードで使用するときの制御、および、動作状態のモニタは以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

SBICR0 (0xFFFF_F254)

	7	6	5	4	3	2	1	0
bit Symbol	SBIEN							
Read/Write	R/W							
リセット後	0							
機　能	SBI 動作 0：禁止 1：許可							

＜SBIEN＞：SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可（"1"）にしてください。

(注 1) 本ビット（＜SBIEN＞）を許可（"1"）した後は禁止（"0"）にしないでください。

(注 2) SBICR0 のビット 0～6 は、リードすると"0"が読み出されます。

図 15.3 I^2C バスモード関係のレジスタ

Not Recommended for New Design

シリアルバスインタフェース制御レジスタ 1

SBICR1
(0xFFFF_F253)

	7	6	5	4	3	2	1	0
bit Symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	W			R/W		W		R/W
リセット後	0	0	0	0		0	0	1
機　能	転送ビット数の選択（注 1）			アクノリッジメントクロック 0: 発生しない 1: 発生する		内部 SCL 出力クロックの周波数選択（注 2）とリセットモニタ		

内部 SCL 出力クロックの周波数選択 <SCK2 : 0> @ライト

000	n=4	506 kHz
001	n=5	281 kHz
010	n=6	149 kHz
011	n=7	77 kHz
100	n=8	39 kHz
101	n=9	20 kHz
110	n=10	10 kHz
111		reserved

システムクロック: fsys (=40.5 MHz)
クロックギア : fc/1
周波数 = $\frac{fsys/4}{2^{n}+4}$ [Hz]

ソフトウエアリセット状態モニタ <SWRMON> @リード

0	ソフトウエアリセット中
1	ソフトウエアリセット解除中

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

(注 1) クロック同期式 8 ビット SIO モードに切り替える前に<BC2:0>を“000”にクリアしてください。

(注 2) SCL ラインクロックの周波数については、「3.12.5 (3) シリアルクロック」を参照してください。

図 15.4　I²C バスモード関係のレジスタ

Not Recommended for New Design

シリアルバスインタフェース制御レジスタ 2

SBICR2 (0xFFFF_F250)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W (注 1)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機　能	マスタ/スレーブの選択 0: スレーブ 1: マスタ	送信/受信の選択 0: 受信 1: 送信	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生	INTSBI 割り込み要求解除 0: ー 1: 割り込み要求の解除	シリアルバスインタフェースの動作モード選択 (注 2) 00: ポートモード 01: SIO モード 10: I²C バスモード 11: (予約)		ソフトウエアリセットの発生 最初に "10"、次に "01" をライとすると、リセットが発生します。	

→ シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I²C バスモード
11	(予約)

(注 1)　このレジスタをリードすると、SBISR レジスタとして機能します。

(注 2)　ポートモードへの切り替えは、バスフリーを確認してから行ってください。また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が "H" になっていることを確認してから行ってください。

図 15.5　I²C **バスモード関係のレジスタ**

表 15.1　**ベースクロック 分解能**

@fsys = 40.5 MHz

クロックギア値 <GEAR1:0>	ベースクロック分解能
00 (fc)	fsys/2² (0.1 μs)
01 (fc/2)	fsys/2³ (0.2 μs)
10 (fc/4)	fsys/2⁴ (0.4 μs)
11 (fc/8)	fsys/2⁵ (0.8 μs)

Not Recommended for New Design

シリアルバスインタフェースステータスレジスタ

SBISR (0xFFFF_F250)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機　能	マスタ/スレーブ選択モニタ 0:スレーブ 1:マスタ	送信/受信選択モニタ 0: 受信 1: 送信	I^2C バス状態モニタ 0: バスフリー 1: バスビジー	INTS 割り込み要求モニタ 0:割り込み要求発生状態 1:割り込み要求解除状態	アービトレーションロスト検出 0: ー 1: 検出	スレーブアドレス一致検出 0: ー 1: 検出	ゼネラルコール検出 0: ー 1: 検出	最終受信ビットモニタ 0: "0" 1: "1"

最終受信ビットモニタ

0	最終受信ビット "0"
1	最終受信ビット "1"

スレーブアドレス一致検出

0	ー
1	スレーブアドレス一致またはゼネラルコール検出

アービトレーションロスト検出

0	ー
1	アービトレーションロスト検出

(注)　このレジスタをライトすると、SBICR2 として機能します。

図 15.6　I^2C バスモード関係のレジスタ

Not Recommended for New Design

シリアルバスインタフェースボーレートレジスタ 0

SBIBR0 (0xFFFF_F257)

	7	6	5	4	3	2	1	0
bit Symbol		I2SBI0						
Read/Write		R/W						W
リセット後		0						0
機　能		IDLE 0: 停止 1: 動作						必ず "0" をライトしてください。（注）

IDLE 時の動作

0	停止
1	動作

（注）SIO モード時は"1"がリードされます。

シリアルバスインタフェースボーレートレジスタ 1

SBIBR1 (0xFFFF_F256)

	7	6	5	4	3	2	1	0
bit Symbol	P4EN							
Read/Write	R/W							
リセット後	0							
機　能	内部クロック 0: 停止 1: 動作							

内部ボーレート回路制御

0	停止
1	動作

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0xFFFF_F252)

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

(注)　送信データを書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。

I^2C バスアドレスレジスタ

I2CAR (0xFFFF_F251)

	7	6	5	4	3	2	1	0
bit Symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス認識モードの指定

アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

Not Recommended for New Design

図 15.7　I^2C バスモード関係のレジスタ

15.5 I²C バスモード時の制御

15.5.1 アクノリッジメントモードの指定

SBICR1 <ACK> を “1” にセットしておくとアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を “L” レベルに引き、アクノリッジ信号を発生します。

<ACK> を “0” に設定しておくと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

15.5.2 転送ビット数の選択

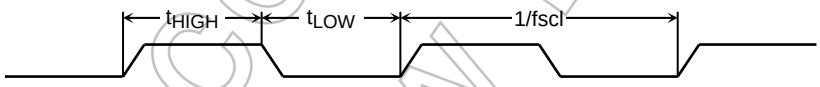
SBICR1 <BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより “000” にされるため、スレーブアドレス、方向ビットの転送はかならず 8 ビットで行われます。それ以外のときは <BC2:0> は一度設定された値を保持します。

15.5.3 シリアルクロック

① クロックソース

SBICR1 <SCK2:0>で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。



$t_{LOW} = 2^{n-1}/(fsys/4)$

$t_{HIGH} = 2^{n-1}/(fsys/4) + 4/(fsys/4)$

$fscl = 1/(t_{Low} + t_{HIGH})$

$$= \frac{fsys/4}{2^n + 4}$$

SBI0CR1 <SCK2:0>	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10

図 15.8 クロックソース

Not Recommended for New Design

② クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

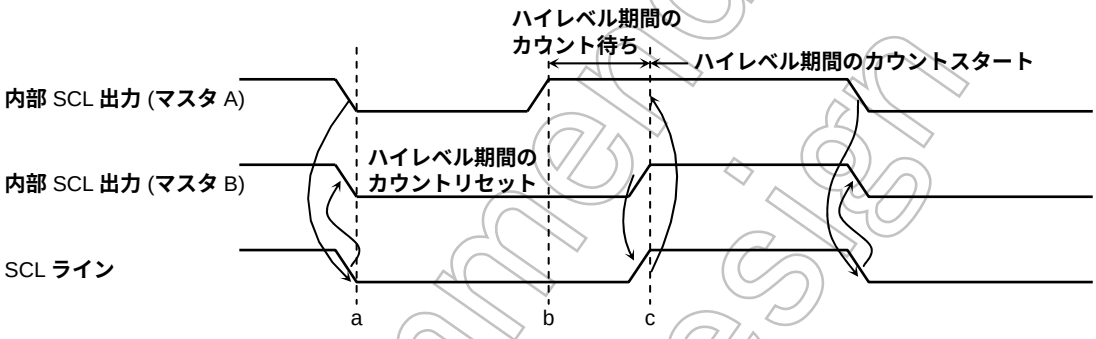


図 15.9 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の “H” レベル期間のカウントをリセットし、内部 SCL 出力を “L” レベルに引きます。

b 点でマスタ A は “L” レベル期間のカウントを終わり、内部 SCL 出力を “H” レベルにします。しかし、マスタ B がバスの SCL ラインを “L” レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を “H” レベルにし、バスの SCL ラインが “H” レベルになったことを検出後、“H” レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと最も長い “L” レベル期間をもつマスタによって決定されます。

15.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2CAR にスレーブアドレス <SA6 : 0> と <ALS> を設定します。<ALS> に “0” を設定すると、アドレス認識モードになります。

15.5.5 マスタ/スレーブの選択

SBICR2<MST> を “1” に設定すると、マスタデバイスとして動作します。

<MST> を “0” に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより “0” にされます。

Not Recommended for New Design

15.5.6 トランスミッタ/レシーバの選択

SBICR2 <TRX> を “1” に設定すると、トランスミッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。

スレーブモード時は

- アドレッシングフォーマットのデータ転送を行うとき、
- 受信したスレーブアドレスが I2CCR にセットした値と同じとき、
- ゼネラルコールを受信したとき、(スタートコンディション後の 8 ビットのデータがすべて “0”)

ハードウエアによりマスタデバイスから送られてくる方向ビット ($R/\overline{W}$) が “1” の場合、<TRX> は “1” にセットされ、 “0” の場合、<TRX> は “0” にされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより “0” にされます。

15.5.7 スタート/ストップコンディションの発生

SBISR<BB> が “0” のときに、SBICR2 <MST, TRX, BB, PIN> に “1” を書き込むと、バス上にスタートコンディションと、8 ビットのデータが出力されます。あらかじめ、<ACK> に “1” を設定してください。

図 15.10 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

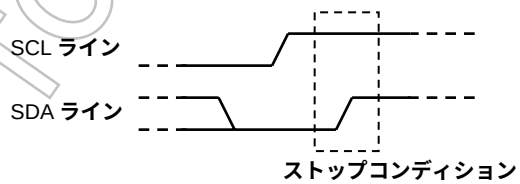


図 15.11 ストップコンディションの発生

また、SBISR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にされます (バスフリー状態)。

Not Recommended for New Design

15.5.8 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求（INTS）が発生すると、SBICR2 <PIN> が“0”にされます。<PIN> が“0”の間、SCL ラインを“L”レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると“0”にされ、SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと“1”にセットされます。<PIN> が“1”にセットされてから、SCL ラインが開放されるまで、t_{LOW} の時間がかかります。

アドレス認識モード（<ALS> = “0”）では、受信したスレーブアドレスが I2COCR にセットした値と同じとき、またはゼネラルコール（スタートコンディション後の 8 ビットのデータがすべて“0”）を受信したときに、<PIN> が“0”にされます。プログラムで SBICR2 <PIN> に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

15.5.9 シリアルバスインタフェースの動作モード

SBICR2 <SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。I^2C バスモードで使用するときは、<SBIM1:0> を“10”に設定します。ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

15.5.10 アービトレーションロスト検出モニタ

I^2C バスではマルチマスタ（1 つのバス上で同時に 2 つ以上のマスタが存在する）が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合は SCL、SDA ラインには出力されずにアービトレーションロストが発生します。I^2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B とも同じデータを出力し、a 点でマスタ A が“L”レベルを出力、マスタ B が“H”レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A よって“L”レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を“アービトレーションロスト”と呼びます、マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

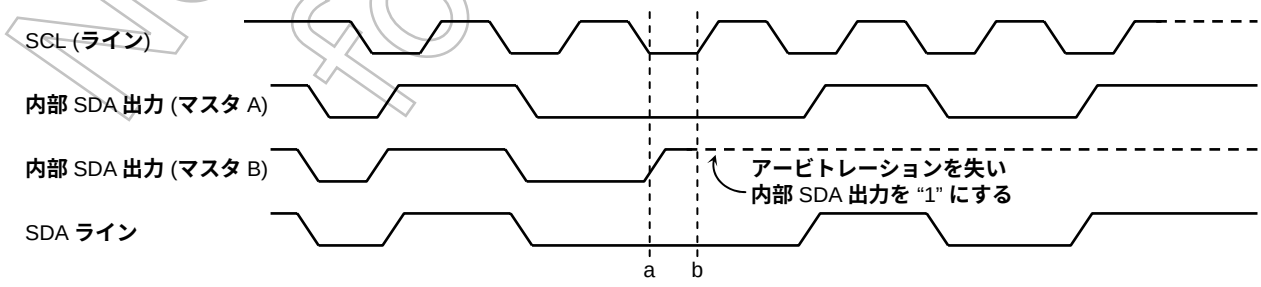


図 15.12 アービトレーションロスト

Not Recommended for New Design

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIOSR <AL> が “1” にセットされます。

<AL> が “1” にセットされると SBISR <MST, TRX> は “0” にされ、スレーブレシーバモードになります。<AL> は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICR2 にデータを書き込むと “0” にされます。

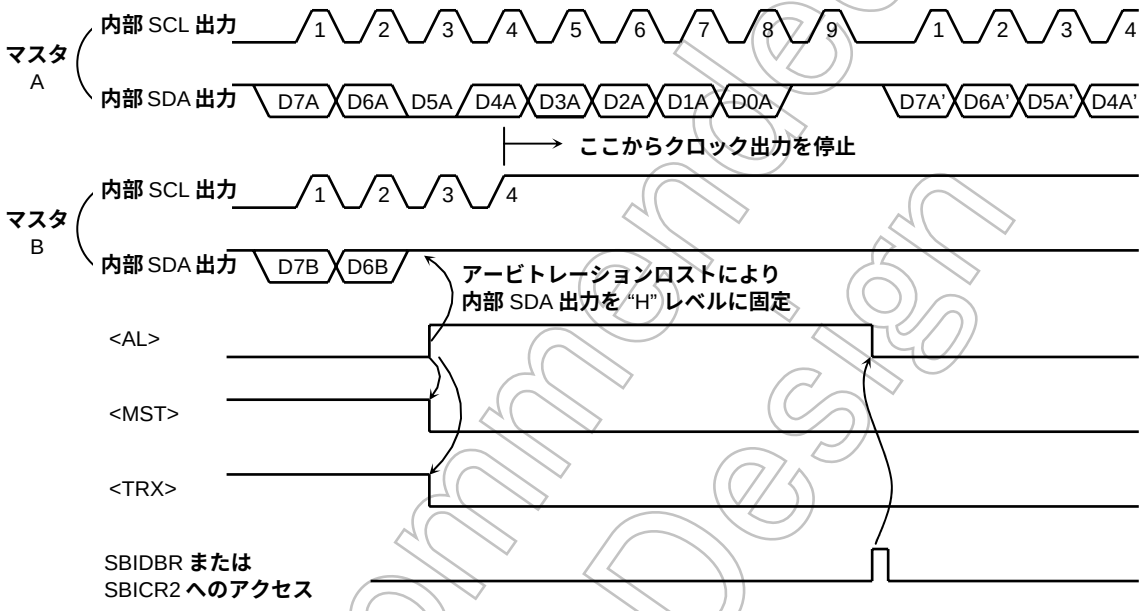


図 15.13 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

15.5.11 スレーブアドレス一致検出モニタ

SBISR <AAS> は、スレーブモード時、アドレス認識モード (I2CCR <ALS> = “0”) のとき、ゼネラルコールまたは I2CCR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると “1” にセットされます。<AAS> は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと “0” にされます。

15.5.12 ゼネラルコール検出モニタ

SBISR <AD0> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき “1” にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると “0” にされます。

15.5.13 最終受信ビットモニタ

SBISR <LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTS2 割り込み要求発生直後に SBISR <LRB> を読み出すと、ACK 信号が読み出されます。

Not Recommended for New Design

15.5.14 ソフトウエアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBICR2 <SWRST1:0> へ、最初に “10”、次に “01” をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に “0” にクリアされます。

(注) ソフトウエアリセットをかけると動作モード選択もリセットされ、I^2C モードから同期通信モードになります。

15.5.15 シリアルバスインタフェースデータバッファレジスタ (SBIDBR)

SBIDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

15.5.16 I^2CBUS アドレスレジスタ (I2CAR)

I2CAR<SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。また、I2COAR <ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

15.5.17 ボーレートレジスタ (SBIBR1)

I^2CBUS を使用する前に、ボーレート回路制御レジスタ SBIBR1 <P4EN> に “1” を書き込んでください。

15.5.18 IDLE 設定レジスタ (SBIBR0)

SBIBR0<I2SBI>は IDLE モードに遷移した際に動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

Not Recommended for New Design

15.6 I^2C バスモード時のデータ転送手順

15.6.1 デバイスの初期化

最初に SBIBR1 <P4EN>, SBICR1<ACK, SCK2:0> を設定します。SBIBR1<P4EN> = “1”を、SBICR1 のビット 7 ~ 5, 3 には、“0” を書き込んでください。

次に I2CAR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

それから、SBICR2 <MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” を書き込み、初期状態をスレーブレシーバモードにします。

```
                7 6 5 4 3 2 1 0
SBIBR1    ← 1 0 0 0 0 0 0 0     内部ボーレート回路を動作させます。
SBICR1    ← 0 0 0 X 0 X X X     ACK および SCL クロックの設定をします。
I2CAR     ← X X X X X X X X     スレーブアドレスおよびアドレス認識モードの設定をします。
SBICR2    ← 0 0 0 1 1 0 0 0     スレーブレシーバモードにします。
(注)  X: Don ' t care
```

15.6.2 スタートコンディション、スレーブアドレスの発生

① マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。次に、SBICR1 <ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBIDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBICR2 <MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBIDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTS 割り込み要求が発生し、<PIN> = “0” にされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTS0 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

メインルーチンでの設定

```
                7 6 5 4 3 2 1 0
Reg.      ← SBISR
Reg.      ← Reg. e 0x20
if Reg.   ≠ 0x00                  バスがフリー状態になるまで確認します。
Then
SBICR1    ← X X X 1 0 X X X     アクノリッジメントモードに設定します。
SBIDR1    ← X X X X X X X X     目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2    ← 1 1 1 1 1 0 0 0     スタートコンディションの発生を行います。
```

INTS 割り込みルーチンでの処理例

```
INTCLR ← 0X14                      割り込み要求をクリアします。
処理
割り込み終了
```

Not Recommended for New Design

② スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルにひき、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTS 割り込み要求が発生し、<PIN> = “0” にされます。スレーブモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。

(注) DMA 転送を使用する場合は
・マスタースレーブが 1 対 1
・送信または受信が連続して可能
のときにのみ可能です。

図 15.14 スタートコンディションとスレーブアドレスの発生

15.6.3 1 ワードのデータ転送

1 ワード転送終了の INTS 割り込みの処理で <MST> をテストし、マスタモード/スレーブモードの判断をします。

① マスタモードの場合 (<MST> = “1”)

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 (<TRX> = “1”)

<LRB> をテストします。<LRB> が “1” のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

<LRB> が “0” のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIDBR に転送データを書き込みます。8 ビット以外のときは <BC2:0>、 <ACK> を設定し、転送データを SBIDBR に書き込みます。データを書き込むと <PIN> が “1” になり SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTS 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は上記 <LRB> のテストから繰り返します。

Not Recommended for New Design

INTS 割り込み

```
if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBICR1   ← X X X X 0 X X X      転送ビット数および ACK を設定します。
SBIDBR   ← X X X X X X X X      転送データを書き込みます。
割り込み処理終了
(注) X: Don't care
```

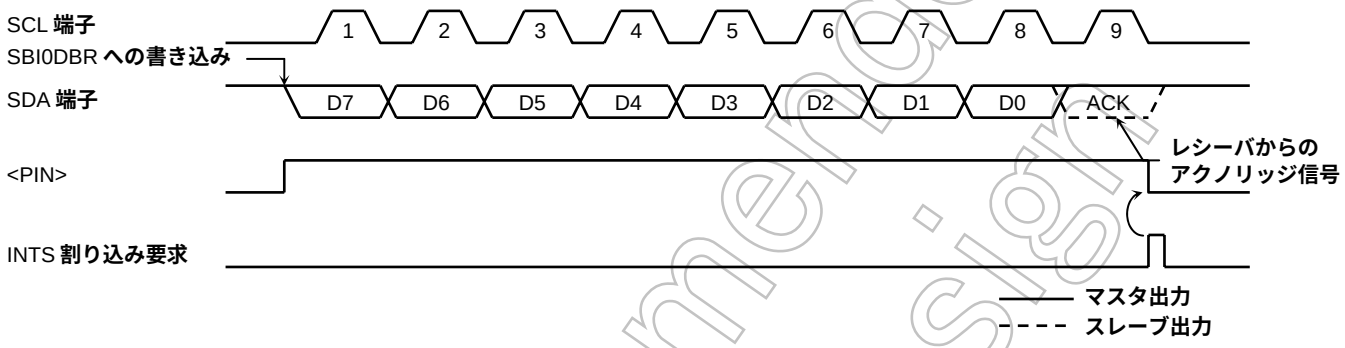


図 15.15 <BC2:0> = “000”, <ACK> = “1” のときの例（トランスミッタモード）

レシーバモードの場合（ <TRX> = “0” ）

次に転送するデータのビット数が 8 ビットのときは SBIDBR に転送データを書き込みます。8 ビット以外のときは <BC2:0>、<ACK> を設定し、SCL ラインを解放するために SBIDBR から受信データを読み出します（スレーブアドレス送信直後のリードデータは不定です）。データを読み出すと <PIN> は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力します。最後のビットでアクノリッジ信号の “L” レベルのタイミングで “0” を SDA 端子に出力します。

その後、INTS 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

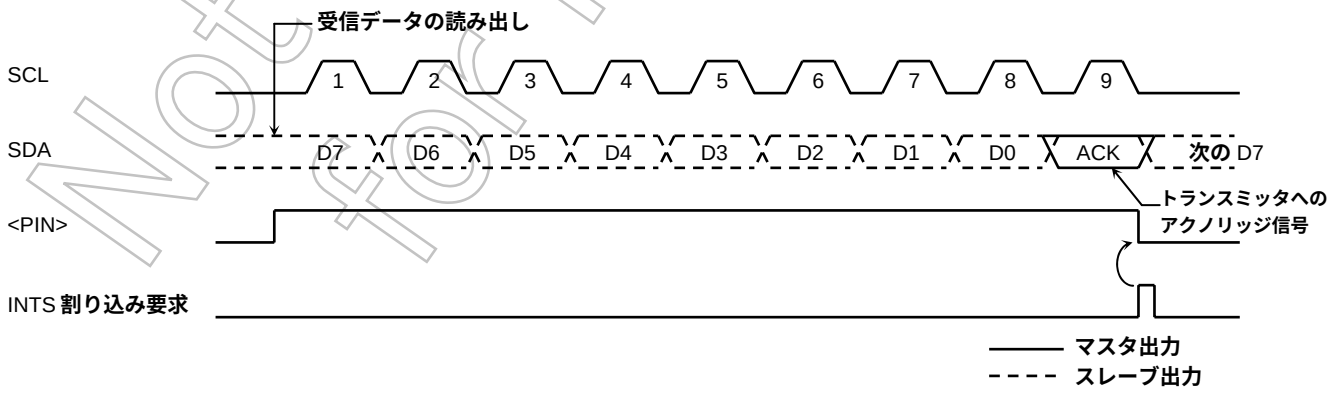


図 15.16 <BC2:0> = “000”, <ACK> = “1” のときの例（レシーバモード）

Not Recommended for New Design

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に <ACK> を “0” にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = “001” に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

図 15.17 マスタレシーバモード時、データの送信を終了させるときの処理

例: データを N 回受信する場合

INTS 割り込み (データ送信後)

```
                  7 6 5 4 3 2 1 0
SBICR1    ← X X X X 0 X X X      受信データのビット数および ACK を設定します。
Reg.      ← SBIOCBR              ダミーデータを取り込みます。
割り込み終了
```

INTS 割り込み (データ受信 1~ (N−2) 回目)

```
                  7 6 5 4 3 2 1 0
Reg.      ← SBIDBR               1~ (N−2) 回目のデータを取り込みます。
割り込み終了
```

INTS 割り込み (データ受信 (N−1) 回目)

```
                  7 6 5 4 3 2 1 0
SBIOCR1   ← X X X 0 0 X X X      アクノリッジ信号のクロックを発生しないようにします。
Reg.      ← SBIDBR               (N−1) 回目のデータを取り込みます。
割り込み終了
```

INTS 割り込み (データ受信 N 回目)

```
                  7 6 5 4 3 2 1 0
SBIOCR1   ← 0 0 1 0 0 X X X      1 ビット転送のためのクロックを発生します。
Reg.      ← SBIDBR               N 回目のデータを取り込みます。
割り込み終了
```

INTS 割り込み (データ受信後)

```
ストップコンディションを発生する処理    データ転送を終了させます。
割り込み終了
```

(注) X: Don't care

Not Recommended for New Design

② スレーブモードの場合 (<MST> = “0”)

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTS 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTS 割り込み要求が発生します。INTS 割り込み要求が発生すると <PIN> が “0” にされ、SCL 端子を “L” レベルに引きます。SBIDBR にデータを書き込む、SBIDBR からデータを読み出す、または<PIN> に “1” を設定すると SCL 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBISR <AL>、<TRX>、<AAS>、<ADO> をテストし、場合分けを行います。表 15.2にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが “1” の場合

INTS 割り込み

```
if TRX = 0
Then その他処理へ移行
if AL = 1
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBICR1    ← X X X 1 0 X X X        送信ビット数を設定します。
SBIDBR    ← X X X X 0 X X X        送信データをセットします。

(注) X: Don't care
```

Not Recommended for New Design

表 15.2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状 態	処 理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが “1” のスレーブアドレスを受信	1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBI0DBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが “1” のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	LRB をテストし、“1” にセットされていた場合、レシーバが次のデータを要求していないので <PIN> に “1” をセット、<TRX> を “0” にリセットしバスを開放します。<LRB> が “0” にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが “0” のスレーブアドレス、またはゼネラルコールを受信	<PIN> を “1” にセットするために SBIDBR を読み出します。(ダミー読み出し) または <PIN> に “1” を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが “0” のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を <BC2:0> にセットし、受信データを SBIDBR から読み出します。

Not Recommended for New Design

15.6.4 ストップコンディションの発生

SBISR <BB> = “1” のときに、SBICR2 <MST, TRX, PIN> に “1” 、<BB> に “0” を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

```
                7 6 5 4 3 2 1 0
SBICR2    ← 1 1 0 1 1 0 0 0      ストップコンディションを発生させます。
```

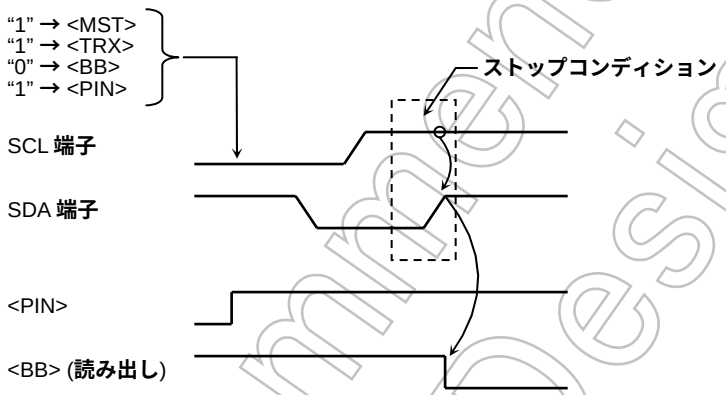


図 15.18 ストップコンディションの発生

Not Recommended for New Design

15.6.5 再スタートの手順

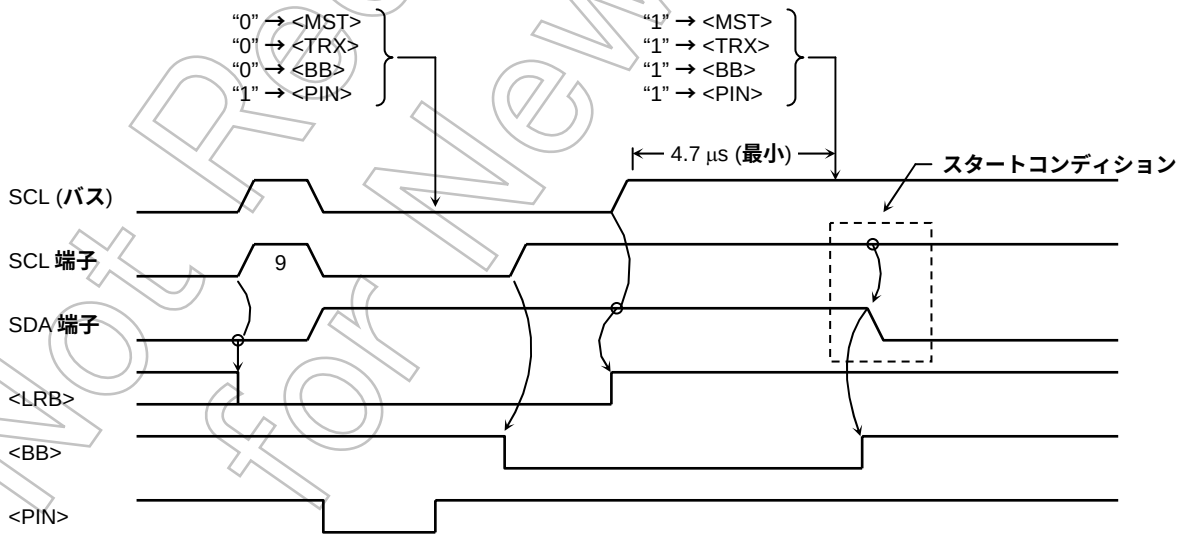
再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBICR2 <MST, TRX, BB> に “0”、<PIN> に “1” を書き込み、バスを開放します。このとき SDA 端子は “H” レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBISR <BB> をテストして “0” になるまで待ち、SCL 端子が開放されたことを確認します。次に <LRB> をテストして “1” になるまで待ち、他のデバイスがバスの SCL ラインを “L” レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記 (2) の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7μs (標準モード時) のソフトウエアによる待ち時間が必要です。

```
                    7 6 5 4 3 2 1 0
SBICR2      ← 0 0 0 1 1 0 0 0      バスを解放します。
if SBISR<BB> ≠ 0                   SCL 端子の解放を確認します。
Then
if SBISR<LRB> ≠ 1                  他のデバイスの SCL 端子 “L” レベルの確認を行います。
Then
4.7 μs Wait
SBICR1      ← X X X 1 0 X X X      アクノリッジメントモードに設定します。
SBIDBR      ← X X X X X X X X      目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2      ← 1 1 1 1 1 0 0 0      スタートコンディションの発生を行います。

(注) X: Don't care
```



(注) <MST>＝”0”の状態の時に<MST>＝”0”をライトしないでください（再スタートできません)。

図 15.19 再スタートを発生する場合のタイミングチャート

Not Recommended for New Design

15.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

SBICR0 (0xFFFF_F254)

	7	6	5	4	3	2	1	0
bit Symbol	SBIEN							
Read/Write	R/W							
リセット後	0							
機　能	SBI 動作 0：禁止 1：許可							

＜SBIEN＞：SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可（"1"）にしてください。

(注 1) 本ビット（＜SBIEN＞）を許可（"1"）した後は禁止（"0"）にしないでください。

(注 2) SBICR0 のビット 0～6 は、リードすると"0"が読み出されます。

シリアルバスインタフェース制御レジスタ 1

SBICR1 (0xFFFF_F253)

	7	6	5	4	3	2	1	0
bit Symbol	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
Read/Write	W					W		R/W
リセット後	0	0	0	0		0	0	1
機　能	転送の 開始/終了 0:終了 1:開始	転送の 強制停止 0:転送継続 1:強制停止	転送モードの選択 00: 送信モード 01: (予約) 10: 送受信モード 11: 受信モード			シリアルクロック周波数の選択		

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 3	1.27 MHz
001	n = 4	633 kHz
010	n = 5	316 kHz
011	n = 6	158 kHz
100	n = 7	79 kHz
101	n = 8	40 kHz
110	n = 9	20 kHz
111	—	外部クロック

システムクロック : fsys (=40.5 MHz)
クロックギア : fc/1
周波数 $= \frac{fsys/4}{2^n}$ [Hz]

(注) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1" に設定してください。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0xFFFF_F252)

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

図 15.20 SIO モード関係のレジスタ

Not Recommended for New Design

シリアルバスインタフェース制御レジスタ 2

SBICR2
(0xFFFF_F250)

	7	6	5	4	3	2	1	0
bit Symbol					SBIM1	SBIM0		
Read/Write					W			
リセット後					0	0		
機　能					**シリアルバスインタフェースの動作モード選択** 00: **ポートモード** 01: **クロック同期式** 8bit SIO **モード** 10: I^2C **バスモード** 11: (**予約**)			

シリアルバスインタフェースレジスタ

SBISR
(0xFFFF_F250)

	7	6	5	4	3	2	1	0
bit Symbol					SIOF	SEF		
Read/Write					R			
リセット後					0	0		
機　能					**シリアル転送動作状態モニタ** 0: **転送終了** 1: **転送中**	**シフト動作状態モニタ** 0: **シフト動作終了** 1: **シフト転送中**		

シリアルバスインタフェースボーレートレジスタ 0

SBIBR0
(0xFFFF_F257)

	7	6	5	4	3	2	1	0
bit Symbol		I2SBI						
Read/Write		R/W						W
リセット後		0						
機　能		IDLE 0: **停止** 1: **動作**						**必ず** "0" **をライトしてください。**

シリアルバスインタフェースボーレートレジスタ 1

SBIBR1
(0xFFFF_F256)

	7	6	5	4	3	2	1	0
bit Symbol	P4EN							
Read/Write	R/W							
リセット後	0							
機　能	**内部クロック** 0: **停止** 1: **動作**							

図 15.21　SIO **モード関係のレジスタ**

Not Recommended for New Design

15.7.1 シリアルクロック

① クロックソース

SBICR1 <SCK2:0> により、次の選択ができます。

内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは SCK 端子より外部に出力されます。なお、転送開始時 SCK 端子出力は “H” レベルになります。

プログラムでデータの書き込み（送信時）またはデータの読み出し（受信時）がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

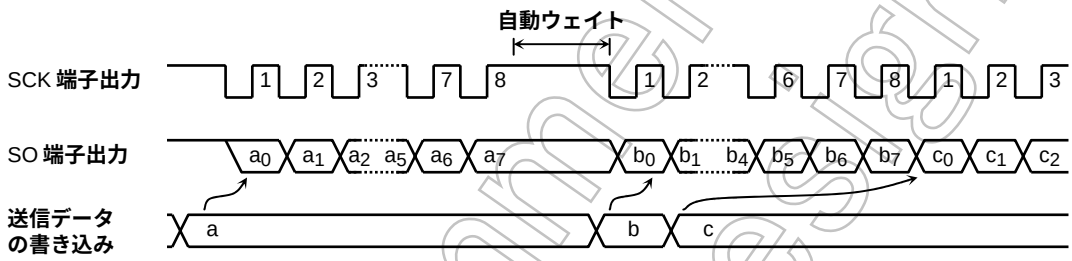


図 15.22 自動ウェイト機能

外部クロック (<SCK2:0> = “111”)

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実に行うためには、シリアルクロックの “H” レベル、“L” レベル幅は下記に示すパルス幅が必要です。

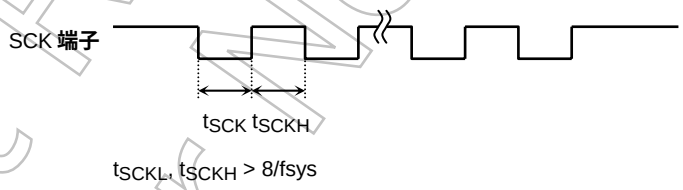


図 15.23 外部クロック入力時の最大転送周波数

Not Recommended for New Design

② シフトエッジ

送信は前縁シフト， 受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁（SCK 端子入出力の立ち下がりエッジ）でデータをシフトします。

後縁シフト

シリアルクロックの後縁（SCK 端子入出力の立ち上がりエッジ）でデータをシフトします。

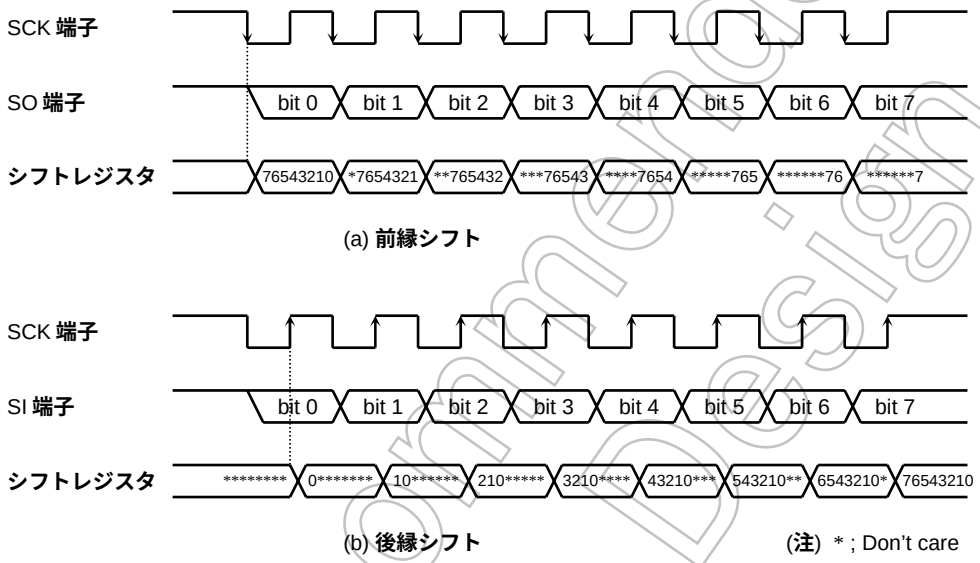


図 15.24 シフトエッジ

Not Recommended for New Design

15.7.2 転送モード

SBICR1 <SIOM1:0> で、送信/受信/送受信モードを選択します。

① 8 ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBIDBR に書き込みます。

送信データの書き込み後、SBICR1 <SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBIDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット（LSB）側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIDBR が空になりますので、 次の送信データを要求する INTSBI（バッファエンプティ）割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBISR <SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTS 割り込みサービスプログラムで <SIOS> = “0” を書き込むか <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIOSR <SIOF> で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合はただちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にする必要があります。もしシフトアウトする前に <SIOS> が “0” にされなかった場合は、ダミーのデータの送信後、停止します。

```
                7 6 5 4 3 2 1 0
SBICR1    ← 0 1 0 0 0 X X X      送信モードをセットします。

SBIDBR    ← X X X X X X X X      送信データを書き込みます。
SBICR1    ← 1 0 0 0 0 X X X      送信を開始します。
```

INTS 割り込み

```
SBIDBR    ← X X X X X X X X      送信データを書き込みます。
```

Not Recommended for New Design

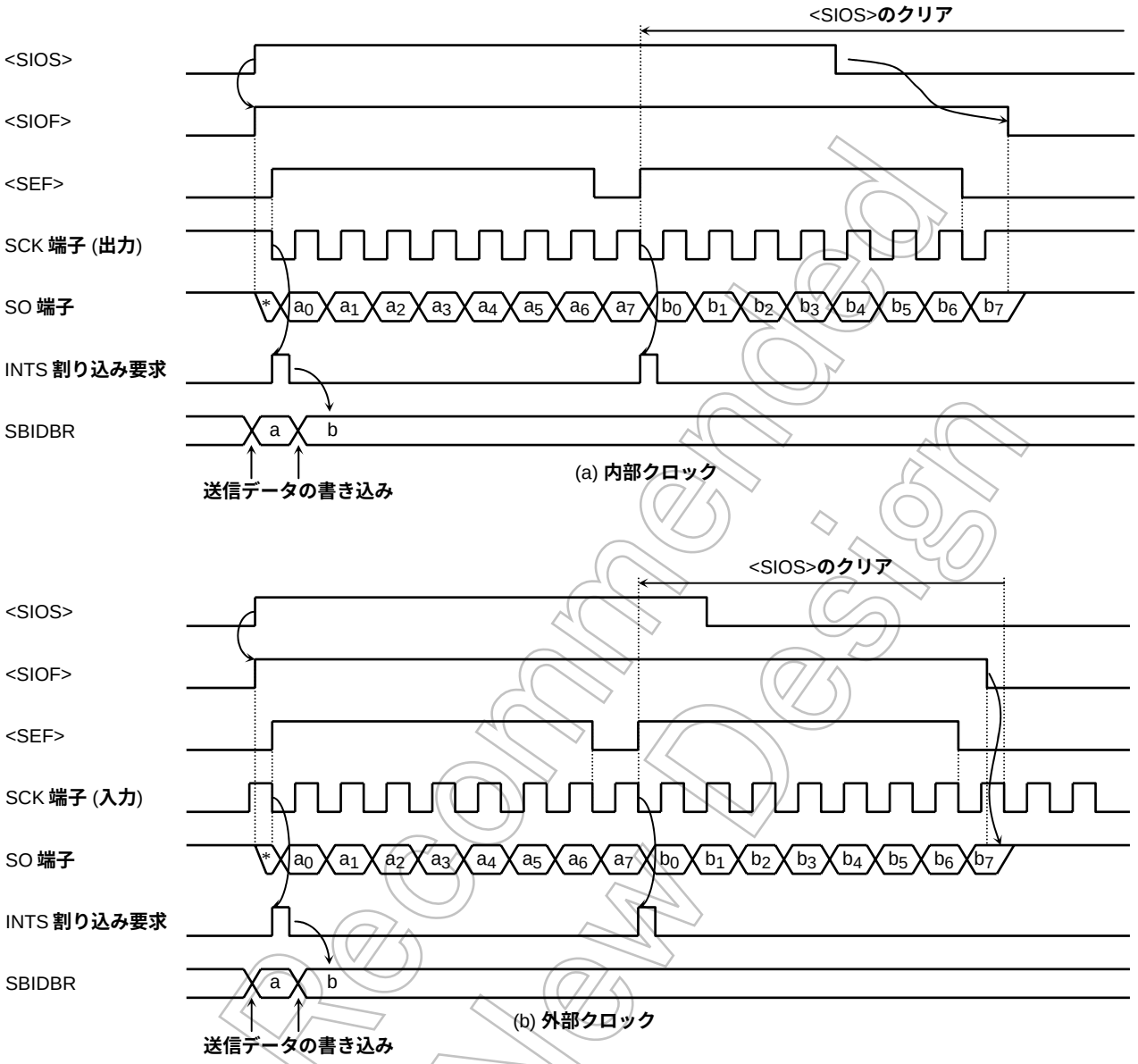


図 15.25 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合) の場合のプログラム例 (MIPS16)

```
            ADDIU   r3,  r0,  0x04
STEST1  :   LB      r2, (SBISR)         ; If SBISR<SEF> = 1 then loop
            AND     r2,  r3
            BNEZ    r2,  STEST1
            ADDIU   r3,  r0,  0x20
STEST2  :   LB      r2, (PA)            ; If SCK = 0 then loop
            AND     r2,  r3
            BEQZ    r2,  STEST2
            ADDIU   r3,  r0,  0y00000111
            STB     r3, (SBICR1)        ; <SIOS> ← 0
```

Not Recommended for New Design

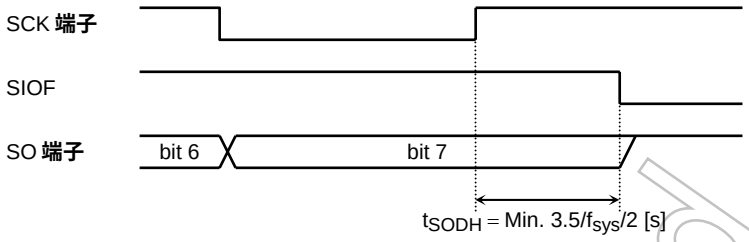


図 15.26　送信終了時の送信データ保持時間

② 8 ビット受信モード

制御レジスタに受信モードをセットした後、SBICR1 <SIOS> = “1” を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれるとシフトレジスタから SBIDBR に受信データが書き込まれ、受信データの読み出しを要求する INTS0（バッファフル）割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIDBR から読み出します。

内部クロック動作の場合、受信データが SBIDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTS 割り込みサービスプログラムで <SIOS> = “0” を書き込むか、 <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが全ビット揃い、SBIDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は受信の終了で “0” にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH> = “1” を書き込んだ場合は、ただちに受信を打ち切り、<SIOF> は “0” になります (受信データは無効になりますので読み出す必要はありません)。

(注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

```
                7 6 5 4 3 2 1 0
SBICR1    ← 0 1 1 1 0 X X X        受信モードをセットします。

SBICR1    ← 1 0 1 1 0 0 0 0        受信を開始します。
```

INTS 割り込み

```
Reg.      ← SBIDBR                 受信データを取り込みます。
```

Not Recommended for New Design

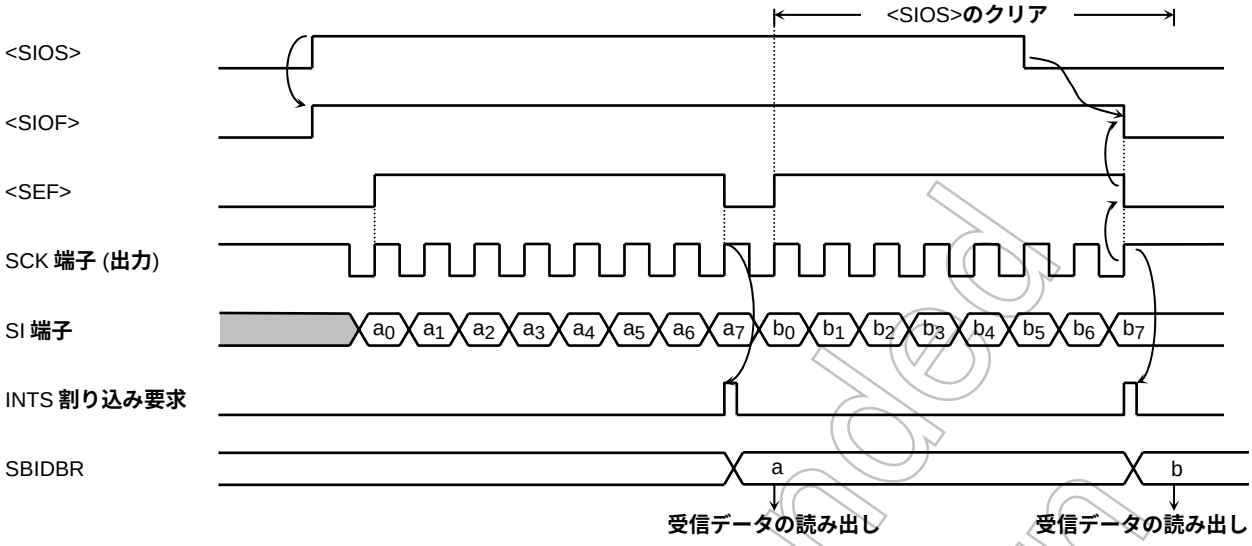


図 15.27　受信モード (例: 内部クロック)

③　8 ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBIDBR に書き込みます。その後、SBICR1 <SIOS> に “1” をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SO 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIDBR へ受信データが転送され、INTS 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBR は、送信/受信モードで兼用していますので、送信データは、かならず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、 次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTS 割り込みサービスプログラムで <SIOS> = “0” を書き込むか SBICR1 <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが揃い、SBIDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は送受信の終了で “0” にされます。<SIOINH> をセットした場合は、ただちに送受信を打ち切り、<SIOF> は “0” にされます。

(注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

Not Recommended for New Design

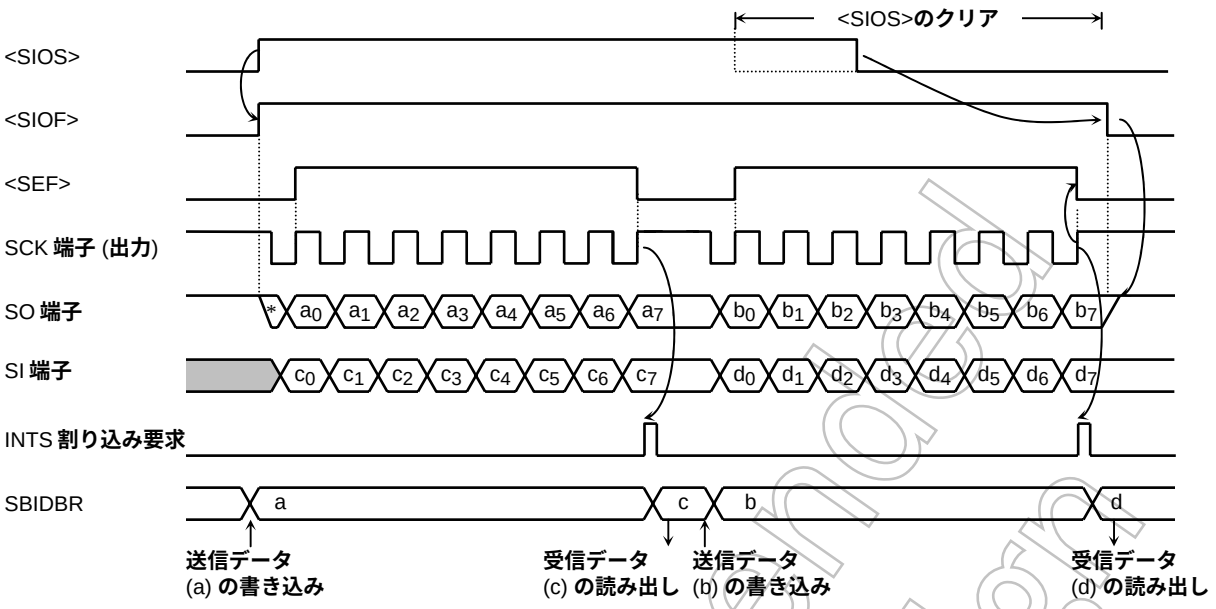


図 15.28 送受信モード (例: 内部クロック)

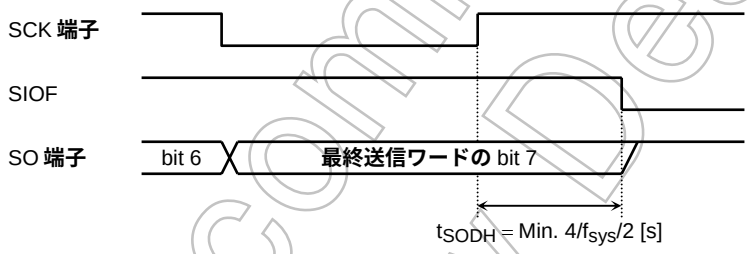


図 15.29 送受信終了時の送信データ保持時間 (送受信モード時)

```
                7 6 5 4 3 2 1 0
SBICR1  ← 0 1 1 0 0 X X X      送信モードをセットします。

SBIDBR  ← X X X X X X X X      送信データを書き込みます。
SBICR1  ← 1 0 1 0 0 X X X      送受信を開始します。
```

INTS 割り込み

```
Reg.    ← SBIODBR              受信データを取り込みます。
SBIDBR  ← X X X X X X X X      送信データを書き込みます。
```

Not Recommended for New Design

16. アナログ/デジタルコンバータ

TMP1962 は、24 チャネルのアナログ入力を持つ、10 ビット逐次変換方式アナログ/デジタルコンバータ（A/D コンバータ）を内蔵しています。

図 16.1に、A/D コンバータのブロック図を示します。

24 チャネルのアナログ入力端子（AN0～AN23）は、入力専用ポートと兼用です。

（注） IDLE、STOP モードに遷移する場合は、A/D コンバータの動作を停止させて下さい。

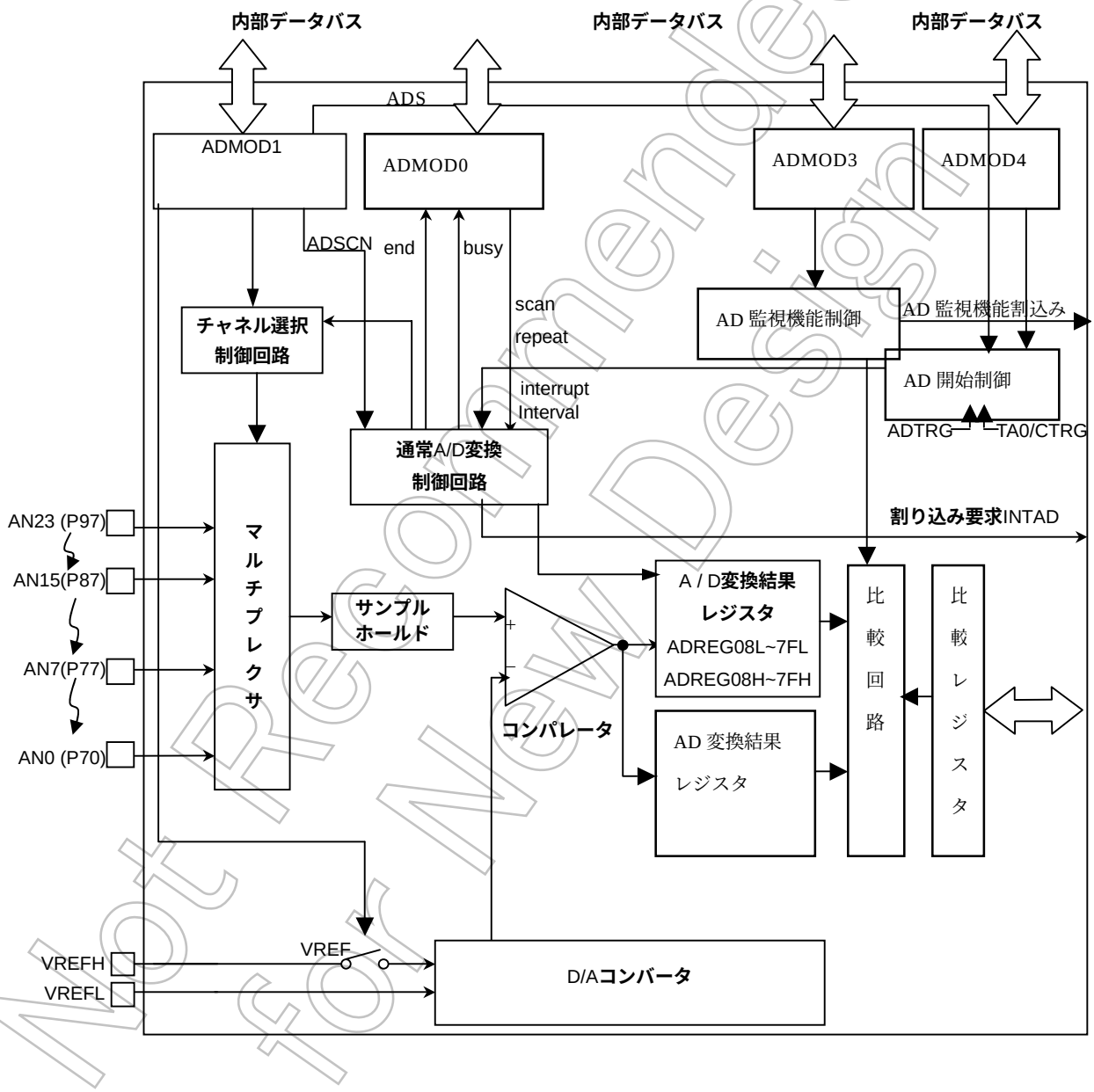


図 16.1 A/D コンバータのブロック図

Not Recommended for New Design

16.1 コントロールレジスタ

A/D コンバータは、A/D モードコントロールレジスタ (ADMOD0、ADMOD1、ADMOD3,ADMOD4) により制御されています。また、A/D 変換結果は、A/D 変換結果上位/下位レジスタ ADREG08H/L、～ADREG7FH/L の 16 個のレジスタに格納されます。

図 16.1に A/D コンバータ関係のレジスタを示します。

A/D モードコントロールレジスタ 0

ADMOD0 (0xFFFF F31B)

	7	6	5	4	3	2	1	0
bit Symbol	EOCFN	ADBFN		ITM1	ITM0	REPEAT	SCAN	ADS
Read/Write	R			R/W				
リセット後	0	0		0	0	0	0	0
機　能	A/D 変換終了フラグ 0 : 変換前または変換中 1 : 終了	A/D 変換 BUSY フラグ 0 : 変換停止 1 : 変換中		チャネル固定リピート変換モード時の割り込み指定	チャネル固定リピート変換モード時の割り込み指定	リピートモード指定 0: シングル変換モード 1 : リピート変換モード	スキャンモード指定 0 : チャネル固定モード 1 : チャネルスキャンモード	A/D 変換スタート 0 : Don 't care 1 : 変換開始 リードすると常に "0" が読み出されます。

チャネル固定リピート変換モード時の A/D 変換割り込み指定

	チャネル固定リピート変換モード <SCAN> = "0", <REPEAT> = "1"
00	1 回変換するごとに割り込み発生
01	4 回変換するごとに割り込み発生
10	8 回変換するごとに割り込み発生
11	設定禁止

図 16.1　A/D コンバータ関係のレジスタ

Not Recommended for New Design

A/D モードコントロールレジスタ 1

ADMOD1 (0xFFFF F31A)

	7	6	5	4	3	2	1	0
bit Symbol	VREFON	I2AD	ADSCN	ADCH4	ADCH3	ADCH2	ADCH1	ADCH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	VREF 印加制御 0 : OFF 1 : ON	IDLE 0 : 停止 1 : 動作	チャネルスキャン時の動作モード設定 0: 4ch ｽｷｬﾝ 1: 8ch ｽｷｬﾝ	アナログ入力チャネル選択				

アナログ入力チャネル選択

<SCAN> / <ADCH4,3.2, 1, 0>	0 チャネル固定	1 チャネルスキャン (ADSCN=0)	1 チャネルスキャン (ADSCN=1)
0000	AN0	AN0	AN0
0001	AN1	AN0～AN1	AN0～AN1
0010	AN2	AN0～AN2	AN0～AN2
0011	AN3	AN0～AN3	AN0～AN3
0100	AN4	AN4	AN0～AN4
0101	AN5	AN4～AN5	AN0～AN6
0110	AN6	AN4～AN6	AN0～AN6
0111	AN7	AN4～AN7	AN0～AN7
1000	AN8	AN8	AN8
1001	AN9	AN8～AN9	AN8～AN9
1010	AN10	AN8～AN10	AN8～AN10
1011	AN11	AN8～AN11	AN8～AN11
1100	AN12	AN12	AN8～AN12
1101	AN13	AN12～AN13	AN8～AN13
1110	AN14	AN12～AN14	AN8～AN14
1111	AN15	AN12～AN15	AN8～AN15
10000	AN16	AN16	AN16
10001	AN17	AN16～AN17	AN16～AN17
10010	AN18	AN16～AN18	AN16～AN18
10011	AN19	AN16～AN19	AN16～AN19
10100	AN20	AN20	AN16～AN20
10101	AN21	AN20～AN21	AN16～AN21
10110	AN22	AN20～AN22	AN16～AN22
10111	AN23	AN20～AN23	AN16～AN23

(注 1) AD 変換スタート前 (ADMOD0<ADS>=”1”を書き込む前、または外部トリガスタートがかかる前) に<VREFON>を”1”に設定してください。

(注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFON>を”0”に設定してください。

図 16.2　A/D コンバータ関係のレジスタ

Not Recommended for New Design

A/D モードコントロールレジスタ 3

ADMOD3 (0xFFFF F318)

	7	6	5	4	3	2	1	0
bit Symbol			ADOBIC		REGS2	REGS1	REGS0	ADOBSV
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機　能	0 をライトしてください		AD 監視機能割込みの設定 0：比較 Regi より小 1：比較 Regi より大	0 をライトしてください	AD 監視機能が Enable 時に比較 Regi の内容と比較される AD 変換結果格納 Regi の選択 BIT			AD 監視機能 0：Disable 1：Enable

<REGS.2, 1, 0>	比較される AD 変換格納 Regi
0000	ADREG08
0001	ADREG19
0010	ADREG2A
0011	ADREG3B
0100	ADREG4C
0101	ADREG5D
0110	ADREG6E
0111	ADREG7F

A/D モードコントロールレジスタ 4

ADMOD4 (0xFFFF F31F)

	7	6	5	4	3	2	1	0
bit Symbol			ADHS	ADHTG			ADRST1	ADRST0
Read/Write	R/W						W	W
リセット後	0		0	0			−	−
機　能	"0"をライトしてください。		AD 変換の HW 起動ソース 0：外部 TRG 1：TA0TRG	AD 変換の HW 起動 0：Disable 1：Enable			10→01 のライトで ADC を software reset する	

（注 1）<ADHTG>に 1 を設定して H/W 起動リソースにより AD 変換を行う場合、外部 TRG の場合は許可をする前に PIFC<P10F>を”1”（$\overline{\text{ADTRG}}$）に設定してください。また 8 ビットタイマの一致トリガの場合は、タイマ動作の停止中に、まず<ADHS>を”1”に設定して、トリガ要因にタイマを選択して、次に<ADHTG>を”1”に設定して許可を行ってください。最後にタイマを動作させる事により、一定間隔での AD 起動が可能となります。

（注 2）外部 TRG（$\overline{\text{ADTRG}}$）での AD 変換の起動を途中で中止する場合は、最初に H/W 起動を禁止（<ADHTG>=0）してから、PIFC<P10F>を 0 にして汎用 PORT に設定してください。

Not Recommended for New Design

A/D 変換結果下位レジスタ 08

ADREG08L (0xFFFF F303)

	7	6	5	4	3	2	1	0
bit Symbol	ADR01	ADR00					OVR0	ADR0RF
Read/Write	R						R	R
リセット後	不定						0	0
機　能	A/D 変換結果下位 2 ビット格納						Over RUN flag 0：発生無し 1：発生	A/D 変換結果格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 08

ADREG08H (0xFFFF F302)

	7	6	5	4	3	2	1	0
bit Symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
Read/Write	R							
リセット後	不定							
機　能	A/D 変換結果上位 8 ビット格納							

A/D 変換結果下位レジスタ 19

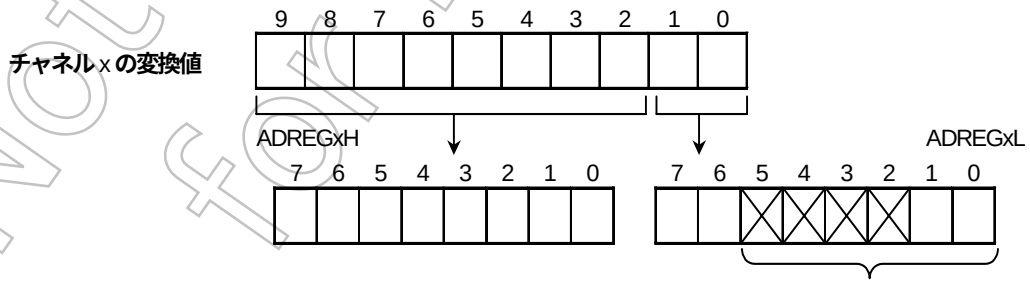
ADREG19L (0xFFFF F301)

	7	6	5	4	3	2	1	0
bit Symbol	ADR11	ADR10					OVR1	ADR1RF
Read/Write	R						R	R
リセット後	不定						0	0
機　能	A/D 変換結果下位 2 ビット格納						Over RUNflag 0：発生無し 1：発生	A/D 変換結果格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 19

ADREG19H (0xFFFF F300)

	7	6	5	4	3	2	1	0
bit Symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
Read/Write	R							
リセット後	不定							
機　能	A/D 変換結果上位 8 ビット格納							



- ビット 5~2 を読み出すと、常に "1" になります。
- ビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、"1" にセットされます。下位のレジスタ (ADREGxL) をリードすると、"0" にされます。
- ビット 1 は over RUN flag<OVRx>です。両方の変換結果格納レジスタ（ADREGxH,ADREGxL）を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリヤされます。

図 16.3　A/D コンバータ関係のレジスタ

Not Recommended for New Design

A/D 変換結果下位レジスタ 2A

ADREG2AL (0xFFFF F307)

	7	6	5	4	3	2	1	0
bit Symbol	ADR21	ADR20					OVR2	ADR2RF
Read/Write	R						R	R
リセット後	不定						0	0
機　能	A/D 変換結果下位 2 ビット格納						Over RUN flag 0：発生無し 1：発生	A/D 変換結果格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 2A

ADREG2AH (0xFFFF F306)

	7	6	5	4	3	2	1	0
bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	不定							
機　能	A/D 変換結果上位 8 ビット格納							

A/D 変換結果下位レジスタ 3B

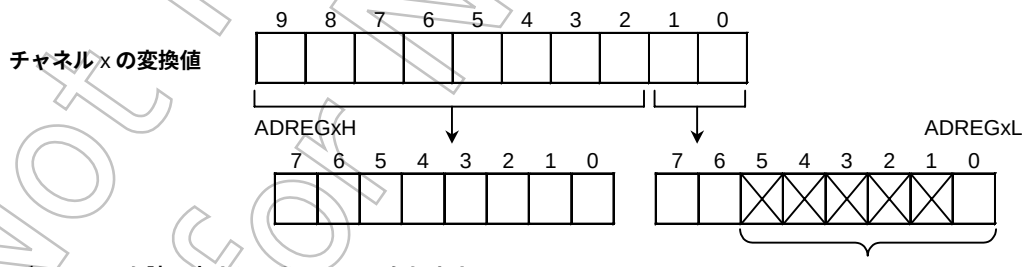
ADREG3BL (0xFFFF F305)

	7	6	5	4	3	2	1	0
bit Symbol	ADR31	ADR30					OVR3	ADR3RF
Read/Write	R						R	R
リセット後	不定						0	0
機　能	A/D 変換結果下位 2 ビット格納						Over RUN flag 0：発生無し 1：発生	A/D 変換結果格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 3B

ADREG3BH (0xFFFF F304)

	7	6	5	4	3	2	1	0
bit Symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	不定							
機　能	A/D 変換結果上位 8 ビット格納							



- ビット 5~2 を読み出すと、常に “1” になります。
- ビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0” にされます。
- ビット 1 は over RUN flag＜OVRx＞です。両方の変換結果格納レジスタ（ADREGxH,ADREGxL）を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリヤされます。

図 16.4 A/D コンバータ関係のレジスタ (1/2)

Not Recommended for New Design

A/D 変換結果下位レジスタ 4C

ADREG4CL (0xFFFF F30B)

	7	6	5	4	3	2	1	0
bit Symbol	ADR41	ADR40					OVR4	ADR4RF
Read/Write	R						R	R
リセット後	不定						0	0
機　能	A/D 変換結果下位 2 ビット格納						Over RUN flag 0：発生無し 1：発生	A/D 変換結果格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 4C

ADREG4CH (0xFFFF F30A)

	7	6	5	4	3	2	1	0
bit Symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
Read/Write	R							
リセット後	不定							
機　能	A/D 変換結果上位 8 ビット格納							

A/D 変換結果下位レジスタ 5D

ADREG5DL (0xFFFF F309)

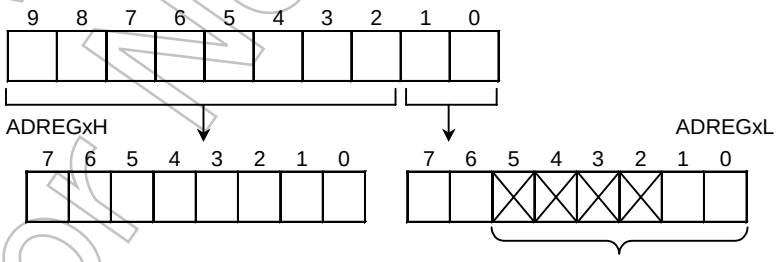
	7	6	5	4	3	2	1	0
bit Symbol	ADR51	ADR50					OVR5	ADR5RF
Read/Write	R						R	R
リセット後	不定						0	0
機　能	A/D 変換結果下位 2 ビット格納						Over RUN flag 0：発生無し 1：発生	A/D 変換結果格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 5D

ADREG5DH (0xFFFF F308)

	7	6	5	4	3	2	1	0
bit Symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
Read/Write	R							
リセット後	不定							
機　能	A/D 変換結果上位 8 ビット格納							

チャネル x の変換値



- ビット 5~2 を読み出すと、常に “1” になります。
- ビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0” にされます。
- ビット 1 は over Run flag＜OVRx＞です。両方の変換結果格納レジスタ（ADREGxH,ADREGxL）を Read する前に変換結果が上書きされると１に Set されます。Flag の Read により 0 にクリヤされます。

Not Recommended for New Design

A/D 変換結果下位レジスタ 6E

ADREG6EL (0xFFFF F30F)

	7	6	5	4	3	2	1	0
bit Symbol	ADR61	ADR60					OVR6	ADR6RF
Read/Write	R						R	R
リセット後	不定						0	0
機　能	A/D 変換結果下位 2 ビット格納						Over RUN flag 0：発生無し 1：発生	A/D 変換結果格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 6E

ADREG6EH (0xFFFF F30E)

	7	6	5	4	3	2	1	0
bit Symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
Read/Write	R							
リセット後	不定							
機　能	A/D 変換結果上位 8 ビット格納							

A/D 変換結果下位レジスタ 7F

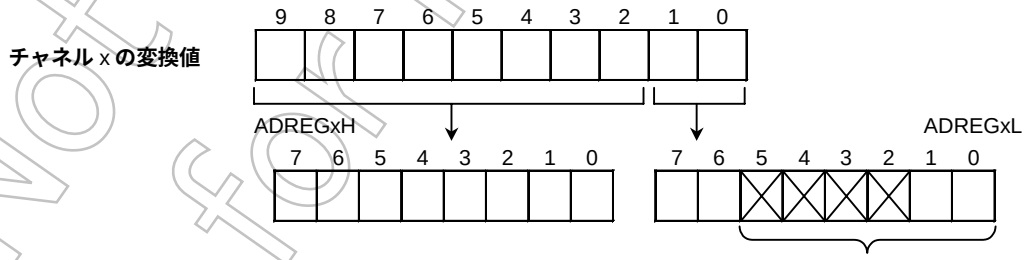
ADREG7FL (0xFFFF F30D)

	7	6	5	4	3	2	1	0
bit Symbol	ADR71	ADR70					OVR7	ADR7RF
Read/Write	R						R	R
リセット後	不定						0	0
機　能	A/D 変換結果下位 2 ビット格納						Over RUNflag 0：発生無し 1：発生	A/D 変換結果格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 7F

ADREG7FH (0xFFFF F30C)

	7	6	5	4	3	2	1	0
bit Symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
Read/Write	R							
リセット後	不定							
機　能	A/D 変換結果上位 8 ビット格納							



- ビット 5~2 を読み出すと、常に “1” になります。
- ビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREGxL) をリードすると、“0” にされます。
- ビット 1 は over Run flag＜OVRx＞です。両方の変換結果格納レジスタ（ADREGxH,ADREGxL）を Read する前に変換結果が上書きされると１に Set されます。Flag の Read により 0 にクリヤされます。

Not Recommended for New Design

A/D 変換結果比較下位レジスタ

ADCOMREGL (0xFFFF F317)

	7	6	5	4	3	2	1	0
bit Symbol	ADR21	ADR20						
Read/Write	R/W							
リセット後	0							
機　能	A/D 変換結果比較下位 2 ビット格納							

A/D 変換結果比較上位レジスタ

ADCOMREGH (0xFFFF F316)

	7	6	5	4	3	2	1	0
bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R/W							
リセット後	0							
機　能	A/D 変換結果比較上位 8 ビット格納							

（注）このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止（ADMOD3<ADOBSV>＝”0”）した状態で行ってください

Not Recommended for New Design

A/D 変換クロック設定レジスタ

ADCLK (0xFFFF F31C)

	7	6	5	4	3	2	1	0
bit Symbol						ADCLK2	ADCLK1	ADCLK0
Read/Write						R/W	R/W	R/W
リセット後						0	0	0
機　能						A/D プリスケーラ出力選択 000: fc　　1XX：fc／16 001: fc／2 010: fc／4 011: fc／8		

（注 1）ADC 変換は上記レジスタで選択されたクロックで実行されますが、保証精度を満足するためには AD 変換クロックを 20.25MHz 以下になるように変換クロックを選択する必要があります。

例）fc＝40.5MHz、＜ADCLK2:0＞＝“001”の時　⇒　変換時間 7.95μs

（注 2）AD 変換中は変換クロックを切り替えないでください。

（注 3）Flash 内蔵タイプ TMP1962F10AXBG と変換時間とレジスタ設定値の関係は相関があります。

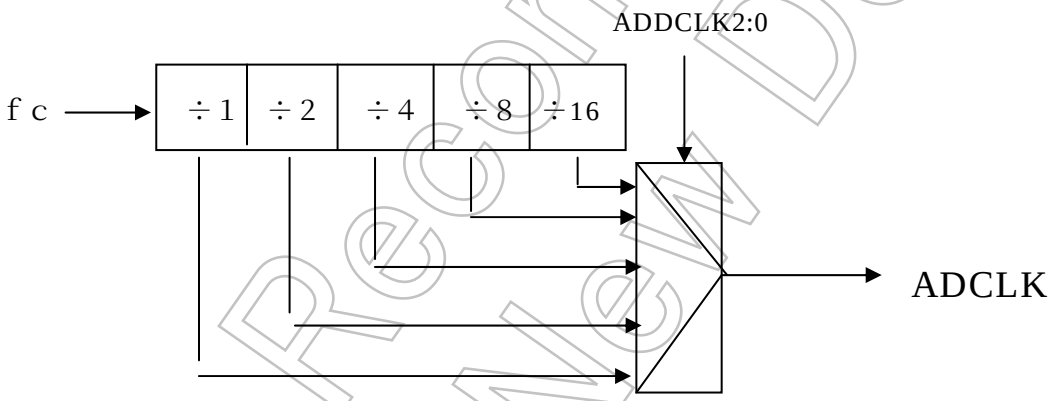


図 16.5　A/D コンバータ関係のレジスタ（2/2）

Not Recommended for New Design

16.2 動作説明

16.2.1 アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。ADMOD1<VREFON>ビットに”0”を書き込むことにより、VREFH－VREFL 間のスイッチを OFF できます。AD 変換をスタートさせる場合は、かならず<VREFON>ビットに”1”を書き込んだ後、内部基準電圧が安定するまでの 3μs 待ってから、ADMOD0<ADS>ビットに”1”を書き込んでください。

16.2.2 アナログ入力チャネルの選択

アナログ入力チャネルを固定で使用する場合（ADMOD0<SCAN>=“0”）

ADMOD1<ADCH4～0>の設定により、アナログ入力 AIN0 ～ AIN23 端子の中から 1 チャネルを選択します。

- アナログ入力チャネルをスキャンで使用する場合（ADMOD0<SCAN>=“1”）

  ADMOD1 <ADCH4～0> の設定および ADSCN により、24 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

リセット後は ADMOD0<SCAN> は“0”に ADMOD1<ADCH3:0> は “0000” に初期化され、これにより選択が行なわれますので、AN0 端子のチャネル固定入力が選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

16.2.3 A/D 変換開始

AD 変換は ADMOD0<ADS> に “1” を設定することによりソフトで起動が掛かります。ADMOD0<2:1>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。また、ADMOD4<ADHS>で選択される HW 起動ソースにより起動を掛けることができます。このビットが‘0’の場合は、$\overline{\text{ADTRG}}$ 端子より立ち下がりエッジの入力により起動が掛かり、このビットが‘1’の場合は 8 ビットタイマ 0 からの TA0TRG で起動が掛かります。H/W 起動が許可された場合でもソフトウエア起動は有効です。

A/D 変換が開始されると、A/D 変換中を示す A/D 変換 Busy フラグ（ADMOD0<ADBF>）が“1”にセットされます。

A/D 変換中に ADMOD0<ADS> に “1” を設定すると AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに中止されます。ただし、全てのサンプリング動作が終了している場合は、変換結果が格納されるのを待ってから起動が掛かります。

（注）A/D 変換を再起動する場合はソフトウェアリセット（ADMOD4＜ADRST1:0＞）を行ってから起動してください。HW による通常 A/D 変換の再起動は行わないでください。

Not Recommended for New Design

16.2.4 A/D 変換モードと A/D 変換終了割り込み

A/D 変換には、次の 4 つの動作モードが用意されています。ADMOD0<2：1>の設定により選択ができます。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

動作モードの選択は、 ADMOD0<REPEAT, SCAN> で行います。A/D 変換が開始されると ADMOD0<ADBFN>が“1”にセットされます。指定された AD 変換が終了すると、A/D 変換終了割り込み (INTAD) が発生し、A/D 変換終了を示す ADMOD0<EOCF> が“1”にセットされます。<ADBFN>は<REPEAT>＝”0”の時は EOCF のセットと同時に“0”に戻りますが、<REPEAT>＝”1”の時は“1”の状態を保持して変換を続けます。

① チャネル固定シングル変換モード

ADMOD0 <REPEAT, SCAN> に“00”を設定すると、チャネル固定シングル変換モードになります。

このモードでは、選択した 1 チャネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF>が“1”にセット、ADMOD0<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。＜EOCF＞は読み出す事により 0 にクリアされます。

② チャネルスキャンシングル変換モード

ADMOD0 <REPET,SCAN> に“01”を設定すると、チャネルスキャンシングル変換モードになります。このモードでは、選択したスキャンチャネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD0<EOCF>が“1”にセット、ADMOD0<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。＜EOCF＞は読み出す事で 0 にクリアされます。

③ チャネル固定リピート変換モード

ADMOD0<REPEAT,SCAN>に“10”を設定するとチャネル固定リピート変換モードになります。

このモードでは、選択した 1 チャネルの変換を繰り返し行います。変換が終了した後、ADMOD <EOCF> が “1” にセットされます。ADMOD0 <ADBF> は “0” にされず “1” を保持します。INTAD の割り込み要求発生タイミングは ADMOD0 <ITM1:0> の設定により選択できます。＜EOCF＞が Set されるタイミングも割込みのタイミングに連動します。

＜EOCF＞は読み出す事により 0 にクリアされます。

<ITM1:0> を “00” に設定すると A/D 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に格納 Register の ADREG08 に格納されます。格納

時点で EOCF は１になります。

<ITM1:0> を “01” に設定すると A/D 変換が 4 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納 Register の ADREG08～ADREG3B に順次格納されます。ADREG3B に格納後＜EOCF＞は 1 に SET され、再び ADREG08 から格納を始めます。＜EOCF＞は読み出す事により 0 にクリアされます。

<ITM1:0> を “10” に設定すると A/D 変換が８ 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納 register の ADREG08～ADREG7F に順次格納されます。、DREG7F 格納後＜EOCF＞は１に set され、再び ADREG08 から格納を始めます。

＜EOCF＞は読み出す事によりクリアされます。

Not Recommended for New Design

④ チャネルスキャンリピート変換モード

ADMOD0 <REPEAT, SCAN> に “11” を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1回のスキャン変換が終了するごとに ADMOD0 <EOCF> が “1” にセットされ、INTAD 割り込み要求が発生します。ADMOD0 <ADBF> は “0” にされず “1” を保持します。<EOCF>は読み出す事により ”0” にクリアされます。

リピート変換モード (③、④のモード) の動作を停止させたい場合は、ADMOD0 <REPEAT> に “0” を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0 <ADBF> は “0” にされます。

IDLE、STOP モード等のスタンバイ状態へ移行する場合は、スタンバイ状態へ移行する前に A/D 変換を停止していることを確認してから（または、停止させてから）移行してください。

Not Recommended for New Design

ＡＤ変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード	割り込み発生タイミング	EOCF セットﾀｲﾐﾝｸﾞ（注）	ADBF（割り込み発生後）	ADMOD0		
				ITM1:0	REPEAT	SCAN
チャネル固定シングル変換	変換終了後	変換終了後	0	――	0	0
チャネル固定リピート変換	１回変換毎	変換が１回終了後	1	00	1	0
	４回変換毎	変換が４回終了後	1	01		
	８回変換毎	変換が８回終了後	1	10		
チャネルスキャンシングル変換	スキャン変換終了後	スキャン変換終了後	0	――	0	1
チャネルスキャンリピート変換	１回のスキャン変換終了毎	１回のスキャン変換終了後	1	――	1	1

（注）EOCF はリードするとクリアされます。

16.2.5 AD 監視機能

ADMOD3<ADOBSV>に 1 を設定すると AD 監視機能が有効になり、REGS<3:0>で指定された変換結果格納レジスタの内容が比較レジスタの値より大または小 (ADOBIC で大か小は指定) になると AD 監視機能割り込みが発生します。また、この比較動作は該当変換結果格納レジスタへ結果が格納されるごとに行われ、条件が成立すると割り込みが発生します。また、AD 監視機能に割り当てている格納レジスタは通常ではソフトで読み出しは行われませんので、overrun flag<OVRn>は常にセットされていることになり、変換結果格納フラグ＜ADRnRF＞もセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

16.2.6 A/D 変換時間

A/D 変換クロックは ADCLK<ADCLK2:0>によって、AD のプリスケーラ出力 fc、fc/2、fc/4、fc/8、fc/16 の中から選択されます。保証精度を満足するためには AD 変換クロックを 20.25MHz 以下、すなわち AD 変換時間を 7.95μs 以上にする必要があります。

16.2.7 A/D 変換結果の格納と読み出し

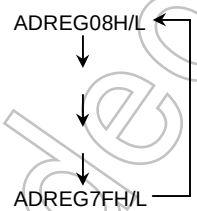
A/D 変換結果は、通常 AD 変換の A/D 変換結果上位/下位レジスタ (ADREG08H/L～ ADRG7FH/L) に格納されます。

チャネル固定リピート変換モードでは、A/D 変換結果は、ADREG08H/L から ADREG7FH/L へと順次格納されます。ただし、割り込み発生を<ITM1:0>で 1 回ごとに指定した場合は ADREG08H/L のみに格納され、<ITM1:0>で 4 回ごとに指定した場合は ADREG08H/L～ ADREG3BH/L へと順次格納されます。

表 16.1 アナログ入力チャネルと A/D 変換結果レジスタの対応を示します。

Not Recommended for New Design

表 16.1　アナログ入力チャネルと A/D 変換結果レジスタの対応

アナログ入力チャネル（ポート A）	A/D 変換結果レジスタ	
	右記以外の変換モード	チャネル固定リピート変換モード（8 回ごと）
AN0	ADREG08H/L	
AN1	ADREG19H/L	
AN2	ADREG2AH/L	
AN3	ADREG3BH/L	
AN4	ADREG4CH/L	
AN5	ADREG5DH/L	
AN6	ADREG6EH/L	
AN7	ADREG7FH/L	
AN8	ADREG08H/L	
AN9	ADREG19H/L	
AN10	ADREG2AH/L	
AN11	ADREG3BH/L	
AN12	ADREG4CH/L	
AN13	ADREG5DH/L	
AN14	ADREG6EH/L	
AN15	ADREG7FH/L	
AN16	ADREG08H/L	
AN17	ADREG19H/L	
AN18	ADREG2AH/L	
AN19	ADREG3BH/L	
AN20	ADREG4CH/L	
AN21	ADREG5DH/L	
AN22	ADREG6EH/L	
AN23	ADREG7FH/L	

16.2.8　データポーリング

割り込みを使用せずにデータポーリングで AD 変換結果を処理する場合は ADMOD0＜EOCF＞のポーリングをしてください。この Flasg がセットされた場合は、所定の AD 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に AD 変換格納レジスタを読み出してください。この際に Over　RUN を検出する為に、変換結果格納レジスタの上位を先に読み出し、次に下位を読み出してください。この結果、下位に存在する OVRｎ＝０、ADRｎRF＝１であれば、正しい変換結果を得た事になります。

Not Recommended for New Design

17. ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ（WDT）は、ノイズなどの原因により CPU が誤動作（暴走）を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット（チップ内部）へ接続することにより、強制的にリセット動作を行うことができます。

17.1 構　成

図 17.1にウォッチドッグタイマのブロック図を示します。

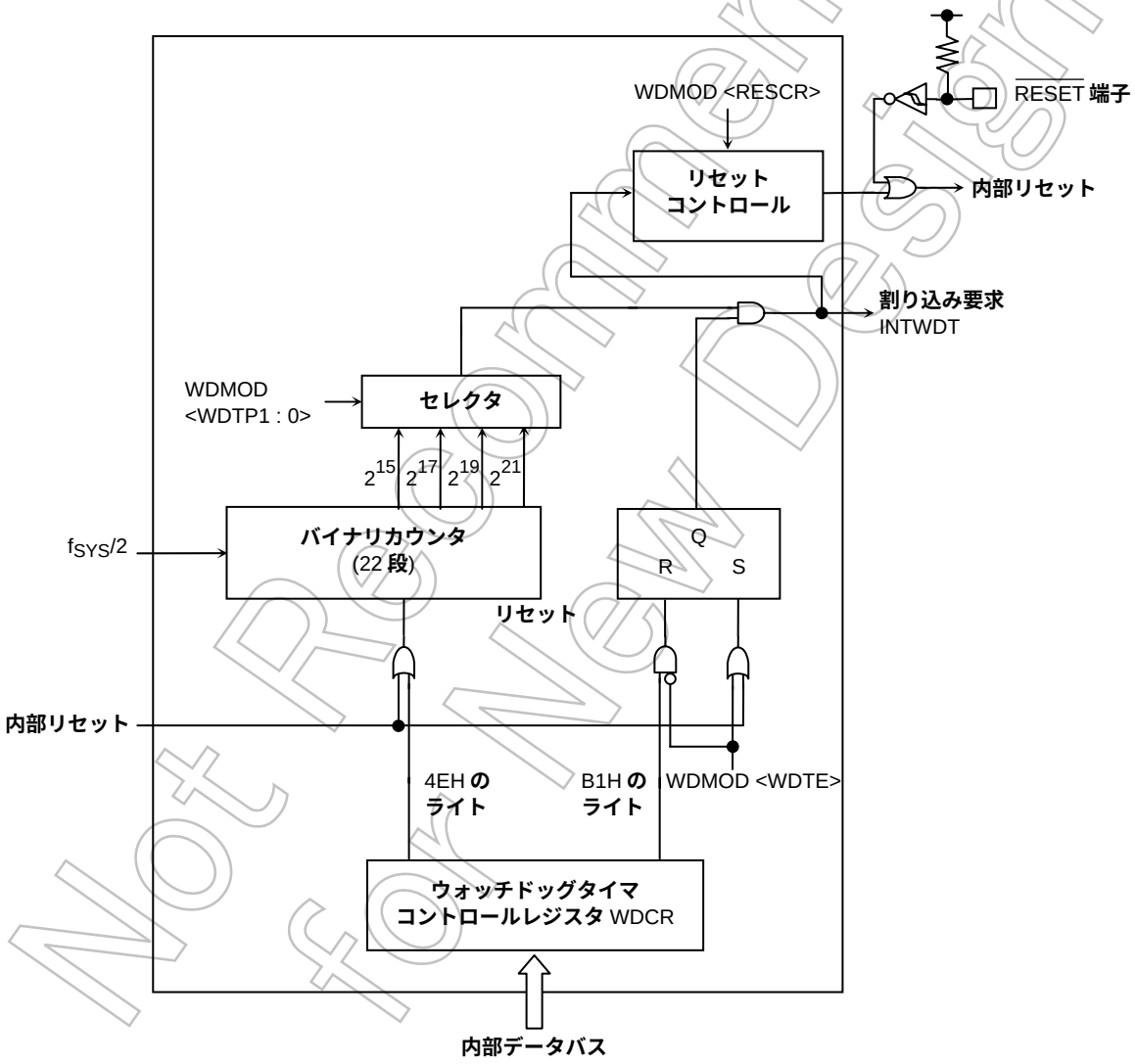


図 17.1　ウォッチドッグタイマのブロック図

Not Recommended for New Design

ウォッチドッグタイマは、システムクロック $f_{SYS/2}$ を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15}、2^{17}、2^{19} および 2^{21} があります。このうちの 1 出力を WDMOD <WDTP1：0> で選択することにより、そのオーバフロー時に、図 17.2 で示すように、ウォッチドッグタイマ割り込みを発生します。

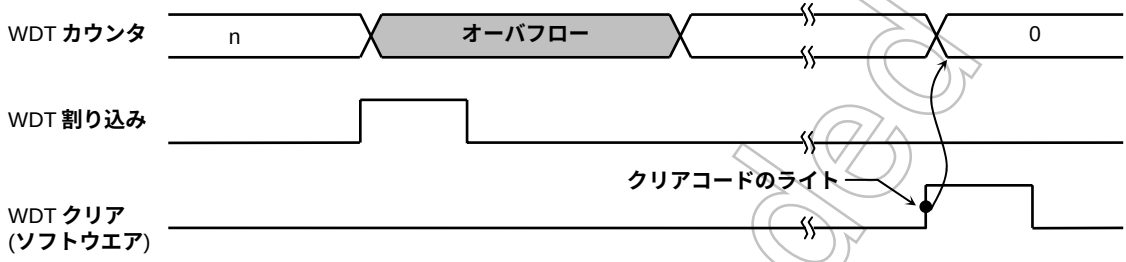


図 17.2　通常モード

また、オーバフロー時にチップ自身をリセットすることも選択可能です。この場合、図 17.3 で示すように 22～29 ステートの期間、リセットを行います。なお、この場合（リセットされた場合）、入力クロック $f_{SYS/2}$ は、高速発振器のクロック f_C をクロックギアで 8 分周したクロック f_{SYS} が、使われます。

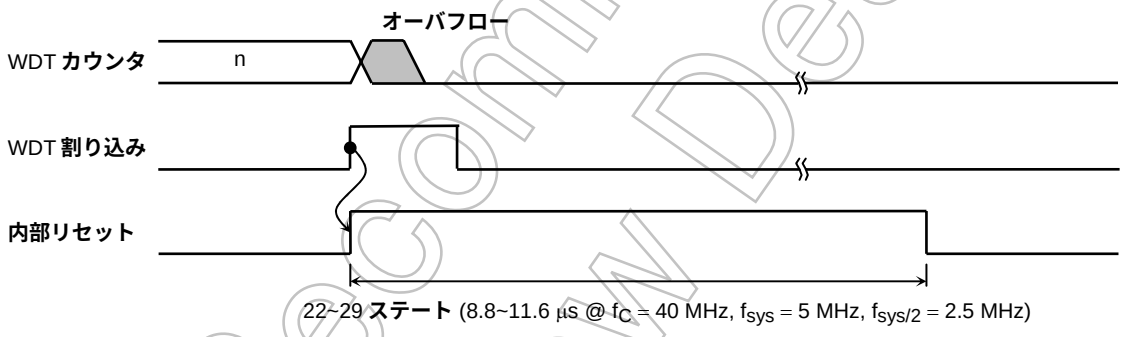


図 17.3　リセットモード

(注)　ウォッチドッグタイマによるリセット時にも $\overline{\text{PLLOFF}}$ 端子の状態をサンプリしますので、$\overline{\text{PLLOFF}}$ 端子は “H” レベル固定で使用してください。

Not Recommended for New Design

17.2 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2 つのコントロールレジスタ (WDMOD、WDCR) によって制御されています。

17.2.1 ウォッチドッグ タイマ モードレジスタ (WDMOD)

① ウォッチドッグ タイマ検出時間の設定 <WDTP1: 0>

暴走検出のためのウォッチドッグ タイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD <WDTP1, 0> = “00” にイニシャライズされます。図 17.4 にウォッチドッグ タイマの検出時間を示します。

② ウォッチドッグ タイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD <WDTE> = “1” にイニシャライズされますので、ウォッチドッグ タイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にするとともに WDCR レジスタにディセーブル コード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグ タイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを “1” にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により自分自身をリセットするかどうかを設定するレジスタです。リセット時 WDMOD <RESCR> = “0” に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

17.2.2 ウォッチドッグ タイマ コントロールレジスタ (WDCR)

ウォッチドッグ タイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD <WDTE> を “0” にしたあと、この WDCR レジスタにディセーブル コード (B1H) を書き込むとウォッチドッグ タイマをディセーブルにすることができます。

```
WDMOD   ← 0 − − − − − − −   WDTE を “0” クリアします。
WDCR    ← 1 0 1 1 0 0 0 1   ディセーブルコード (B1H) を書き込みます。
```

- イネーブル制御

WDMOD <WDTE> を “1” にする。

- ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

```
WDCR    ← 0 1 0 0 1 1 1 0   クリア コード (4EH) を書き込みます。
```

(注) ディセーブルコード (B1H) を書き込むとバイナリカウンタはクリアされます。

Not Recommended for New Design

WDMOD
(0xFFFF_F093)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP1	WDTP0			I2WDT	RESCR	—
Read/Write	R/W	R/W				R/W		R/W
リセット後	1	0	0			0	0	0
機　　能	WDT 制御 1: 許可	WDT 検出時間の選択 00: $2^{16}/f_{SYS}$ 01: $2^{18}/f_{SYS}$ 10: $2^{20}/f_{SYS}$ 11: $2^{22}/f_{SYS}$				IDLE 0: 停止 1: 動作	1: リセット端子に WDT 出力を内部接続	"0" をライトしてください。

ウォッチドッグタイマアウトコントロール

0	—
1	WDT アウトをリセットへ接続

ウォッチドッグタイマの検出時間　@ fc = 40.5 MHz

SYSCR1 クロックギア値 <GEAR1 : 0>	Watch Dog Timer 検出時間 WDMOD<WDTP1, 0>			
	00	01	10	11
00 (fc)	1.6 ms	6.5 ms	25.9 ms	104 ms
01 ($fc/_2$)	3.2 ms	12.9 ms	51.8 ms	207 ms
10 ($fc/_4$)	6.5 ms	25.9 ms	104 ms	414 ms
11 ($fc/_8$)	12.9 ms	51.8 ms	207 ms	829 ms

ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

図 17.4　ウォッチドッグタイマモードレジスタ

Not Recommended for New Design

WDCR
(0xFFFF_F092)

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	W							
リセット後	—							
機　能	B1H : WDT ディセーブルコード 4EH : WDT クリアコード							

→ WDT のディーゼブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	—

図 17.5　ウォッチドッグタイマコントロールレジスタ

Not Recommended for New Design

17.3 動作説明

ウォッチドッグタイマは、WDMOD <WDTP1，0> レジスタで設定された検出時間後に割り込み (INTWD) を発生させるタイマです。ソフトウエア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。また、ウォッチドッグタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPU の誤動作 (暴走) に対処することができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、STOP モード中のウォッチドッグタイマはリセットされ停止しています。バス解放中 ($\overline{\text{BUSAK}}$ = “L”) は、カウントを続けます。IDLE モードでは、WDMOD <I2WDT> の設定に依存します。必要に応じて、IDLE モードに入る前に WDMOD <I2WDT> を設定してください。

例: ① バイナリカウンタをクリアします。

```
                  7 6 5 4 3 2 1 0
WDCR        ← 0 1 0 0 1 1 1 0     クリアコード (4EH) の書き込み
```

② ウォッチドッグタイマ検出時間を $2^{18}/f_{SYS}$ に設定します。

```
                  7 6 5 4 3 2 1 0
WDMOD       ← 1 0 1 − − − − −
```

③ ウォッチドッグタイマをディセーブルします。

```
                  7 6 5 4 3 2 1 0
WDMOD       ← 0 − − − − − − −     WDTE を “0” クリア
WDCR        ← 1 0 1 1 0 0 0 1     ディセーブルコード (B1H) の書き込み
```

注:高周波発振子が止まっている状態では使用しないで下さい。
ウォッチドックタイマにより、システムリセットが動作しても、高周波発振子の発振が安定していない為に、正常に動作いたしません。

Not Recommended for New Design

18. KEY ON Wake up 回路

18.1 概要

- 14 本の入力 KEY0 ~ KEYD があり、STOP 解除または外部割り込みとして使用可能です。ただし、14 本の入力に対して割り込み要因は 1 要因として割り込み処理を行ないます(CG ブロック内で設定)。また、個別に KEY 入力の使用/未使用は設定可能です (KWUPSTn)。
- 立ち上がりエッジ/立ち下がりエッジ/High レベル/Low レベルは各入力個別に設定 可能です(KWUPSTn)。
- 割り込み処理で KEY 割り込み要求クリアレジスタ KWUPCLR を設定することにより割り込み要求をクリアします。
- KEY 入力端子はプルアップ付きで KWUPCNT のビット 0 (PE) によりプルアップイネーブル/ディセーブルを切り替えることが可能です。これらの設定は 14 入力同時の設定になります。

18.2 KEY ON WAKE UP 動作

TMP1962 は 14 本の KEY 入力端子 (KEY0～D) をもっています。KEY 入力を STOP 解除に使用するか、通常割り込みに使用するかは CG のレジスタ IMCGB1<KWUPEN>で設定します。<KWUPEN>="1" に設定することにより、KEY0 ～D はすべて STOP 解除割り込みになります。KEY 入力ごとに割り込み入力許可／禁止を KWUPSTn<KEYnEN>で設定すると同時に、使用する KEY 入力ごとにアクティブ状態を KWUPSTn<KEYn1: KEYn0>で設定してください。KEY 入力の検出はこの KWUP ブロックで行われ、検出結果はアクティブ状態 H レベルとして CG 部の IMCGB1 レジスタへ通知されます。したがって、IMCGB1<EMCG51:50>で検出レベルを H レベル ("01") に設定してください。また、CG 部での検出結果もアクティブ H レベルとして割り込みコントローラ INTC へ通知されるために、INTC でも該当割り込みを H レベル ("01")に設定してください。IMCGB1<KWUPEN>を 0 に設定する (デフォルト) ことにより KEY0～D はすべて通常割り込みになります。この場合は CG での設定は不用で INTC で検出レベルを H レベルに設定してください。各 KEY 入力の許可/禁止、アクティブ状態は KWUPSTn で同様に設定します。割り込み処理の中で、KWUPCLR に"1010" をライトすることによりすべての KEY 割り込み要求がクリアされます。

(注) 複数の KEY 入力が発生した場合は、最初の KEY 入力に対応した割り込み処理ルーチンで行なう割り込み要求クリアのシーケンス以前に発生した別の割り込み要求については同時にクリアされます。また、前述割り込み要求クリアシーケンスの後で発生した別の割り込み要求については再度 KEY 割り込みが発生します。

18.3 プルアップ機能

各 KEY 入力にはプルアップ機能があります。KWUPCNT<KYPE>を"1"に設定することにより、KEY 入力 KEY0 ~ D のすべてがプルアップされます。ただし、KEY 入力を KWUPSTn<KEYnEN>で禁止に設定している KEY 入力に対しては、KWUPCNT<KYPE>の設定によらずプルアップは行われません。

Not Recommended for New Design

プルアップイネーブルで KEY 入力を使用する場合の注意点

A）電源投入後最初に設定する場合
1）KWUPCNT の設定（<KYPE>＝“1”）
2）使用する KEY 入力に該当する KWUPSTn<KEYnEN>＝1
3）プルアップが終了する時間を待つ
4）使用する KEY 入力の該当する KWUPSTn でアクティブ状態の設定
5）KWUPCLR で割り込み要求のクリア
6）CG の設定、INTC の設定（設定の仕方は 3.4 章の割り込み設定参照）

B）動作途中で KEY 入力のアクティブ状態を変更する場合
1）INTC で KEY 割り込みの禁止（IMC1<IL62:60>＝000）
2）変更する KEY 入力に該当する KWUPSTn でアクティブ状態変更
3）KWUPCLR で割り込み要求のクリア
4）INTC で KEY 割り込みの許可（IMC1<IL62:60>を所定のレベルに設定）

C）動作途中で KEY 入力を許可する場合
1）INTC で KEY 割り込みの禁止（IMC1<IL62:60>＝000）
2）使用する KEY 入力に該当する KWUPSTn<KEYnEN>＝1
3）プルアップが終了する時間を待つ
4）使用する KEY 入力の該当する KWUPSTn でアクティブ状態の設定
5）KWUPCLR で割り込み要求のクリア
6）INTC で KEY 割り込みの許可（IMC1<18:16>を所定のレベルに設定）

プルアップディセーブルで KEY 入力を使用する場合の注意点

A）電源投入後最初に設定する場合
1）KWUPCNT の設定（<KYPE>＝0）
2）使用する KEY 入力に該当する KWUPSTn でアクティブ状態の設定
3）KWUPCLR で割り込み要求のクリア
4）使用する KEY 入力に該当する KWUPSTn<KEYnEN>＝1
5）CG の設定、INTC の設定（設定の仕方は 3.4 章の割り込み設定参照）

B）動作途中で KEY 入力のアクティブ状態を変更する場合
1）INTC で KEY 割り込みの禁止（IMC1<IL62:60>＝000）
2）変更する KEY 入力に該当する KWUPSTn でアクティブ状態変更
3）KWUPCLR で割り込み要求のクリア
4）INTC で KEY 割り込みの許可（IMC1<IL62:60>を所定のレベルに設定）

C）動作途中で KEY 入力を許可する場合
1）INTC で KEY 割り込みの禁止（IMC1<IL62:60>＝000）
2）使用する KEY 入力に該当する KWUPSTn でアクティブ状態の設定
3）KWUPCLR で割り込み要求のクリア
4）使用する KEY 入力に該当する KWUPSTn<KEYnEN>＝1
5）INTC で KEY 割り込みの許可（IMC1<IL62:60>を所定のレベルに設定）

Not Recommended for New Design

KEY ON WAKE UP コントロール: KWUPCNT

(0xFFFF_F372)

	7	6	5	4	3	2	1	0
bit Symbol								KYPE
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機　能	0 を必ず書いてください		かならず"00"に設定してください。		かならず"00"に設定してください。		かならず"0"に設定してください。	0: プルアップ禁止 1: プルアップ許可

18.4 KEY 入力の検出と検出タイミング

1) <KYPE> = 0 でプルアップ禁止の場合

各 KEY 入力のアクティブ状態は KWUPSTn<KEYn1:0>で H/L レベル/エッジの指定ができます。KEY 入力のアクティブ状態の検出は常に行われています。

2) <KYPE> = 1 でプルアップ許可の場合

各 KEY 入力のアクティブ状態は KWUPSTn<KEYn1:0>で H/L　レベル/エッジの指定ができます。KEY 入力のアクティブ状態の検出は常に行われています。

Not Recommended for New Design

		7	6	5	4	3	2	1	0
KWUPST0	bit Symbol			KEY01	KEY00				KEY0EN
(0xFFFF_F363)	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY0 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY0 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST1	bit Symbol			KEY11	KEY10				KEY1EN
(0xFFFF_F362)	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY1 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY1 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST2	bit Symbol			KEY21	KEY20				KEY2EN
(0xFFFF_F361)	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY2 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY2 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST3	bit Symbol			KEY31	KEY30				KEY3EN
(0xFFFF_F360)	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY3 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY3 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST4	bit Symbol			KEY41	KEY40				KEY4EN
(0xFFFF_F367)	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY0 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY4 割り込み入力 0: 禁止 1: 許可

Not Recommended for New Design

		7	6	5	4	3	2	1	0
KWUPST5 (0xFFFF_F366)	bit Symbol			KEY51	KEY50				KEY5EN
	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY5 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY5 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST6 (0xFFFF_F365)	bit Symbol			KEY61	KEY60				KEY6EN
	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY6 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY6 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST7 (0xFFFF_F364)	bit Symbol			KEY71	KEY70				KEY7EN
	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY7 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY7 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST8 (0xFFFF_F36B)	bit Symbol			KEY81	KEY80				KEY8EN
	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY8 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY8 割り込み入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST9 (0xFFFF_F36A)	bit Symbol			KEY91	KEY90				KEY9EN
	Read/Write			R/W					R/W
	リセット後			1	0				0
	機　能			KEY9 アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEY9 割り込み入力 0: 禁止 1: 許可

Not Recommended for New Design

KWUPSTA (0xFFFF_F369)

	7	6	5	4	3	2	1	0
bit Symbol			KEYA1	KEYA0				KEYAEN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			KEYA アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEYA 割り込み入力 0: 禁止 1: 許可

KWUPSTB (0xFFFF_F368)

	7	6	5	4	3	2	1	0
bit Symbol			KEYB1	KEYB0				KEYBEN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			KEYB アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEYB 割り込み入力 0: 禁止 1: 許可

KWUPSTC (0xFFFF_F36F)

	7	6	5	4	3	2	1	0
bit Symbol			KEYC1	KEYC0				KEYCEN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			KEYC アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEYC 割り込み入力 0: 禁止 1: 許可

KWUPSTD (0xFFFF_F36E)

	7	6	5	4	3	2	1	0
bit Symbol			KEYD1	KEYD0				KEYDEN
Read/Write			R/W					R/W
リセット後			1	0				0
機　能			KEYD アクティブ状態を設定 00: “L” レベル 01: “H” レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ					KEYD 割り込み入力 0: 禁止 1: 許可

KWUPCLR (0xFFFF_F373)

	7	6	5	4	3	2	1	0
bit Symbol					KEYCLR3	KEYCLR2	KEYCLR1	KEYCLR0
Read/Write					W			
リセット後								
機　能					1010 をライトすることにより Key の全要因クリア			

Not Recommended for New Design

19. ROM correction 機能

本節では TMP1962 に内蔵されている ROM correction 機能について説明します。

19.1 特長

- １箇所当たり 8 ワードのデータを 8 箇所置き替えることができます。
- アドレスレジスタに書き込まれたアドレス（下位 5 ビットは Don't care）と PC、または DMAC が生成するアドレスが一致すると、前記アドレスレジスタに対応した RAM 上に置かれた ROM correction データレジスタからのデータが ROM データに置き換わります。
- ROM correction の許可は各アドレスレジスタにアドレスをセットすることにより自動的行われます。
- プログラムの変更など 8 ワードで訂正ができない場合は、RAM 上のデータ レジスタへ RAM へのジャンプ命令を置き、RAM 上で訂正することができます。

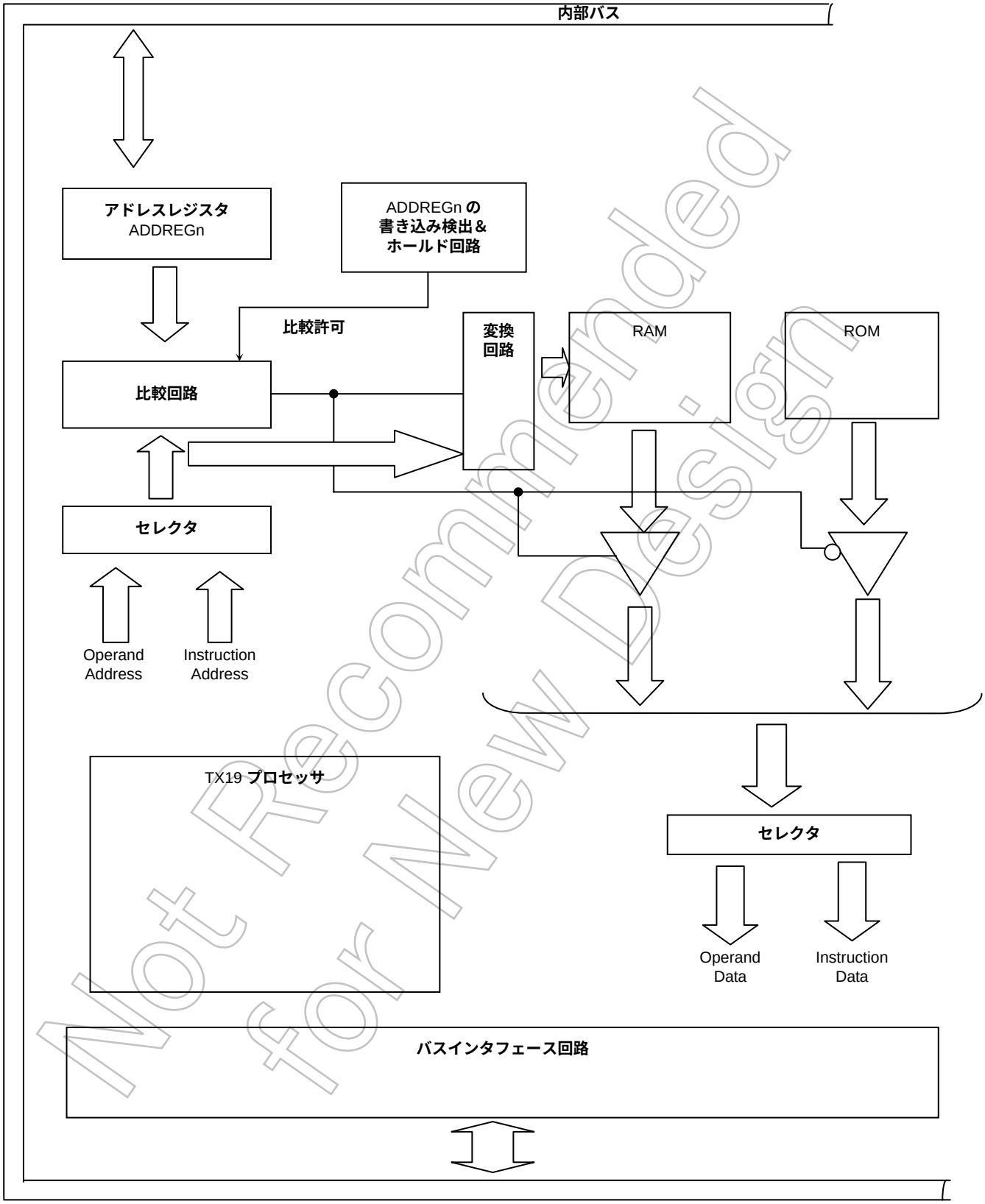
19.2 動作

アドレスレジスタ ADDREGn に訂正したい ROM エリアの物理アドレス（含む投影エリア）をセットすることにより、ADDREGn に対応した RAM 上のデータレジスタからのデータを ROM データと置き替えることができます。この ADDREGn にアドレスをセットすることにより、自動的この ROM correction 機能は有効になります。リセット後は全ての ROM correction 機能が禁止されています。したがって、リセット解除後の Initial routine にて ROM correction を行う場合は、必要な ADDREG にアドレスをセットしてください。アドレスがセットされた ADDREG は ROM correction 機能が有効になり、CPU がバス権利を所有しているときは PC の値、DMAC がバス権利を所有しているときは DMAC が発行するソースまたはデスティネーションアドレスと一致すると ROM データと置き換えがされます。例えば、ADDREG0、ADDREG3 にアドレスをセットすると、このエリアの ROM correction 機能が有効になり、このアドレスレジスタに対して常に一致検出が行われ、一致すれば置き換えます。ADDREG1、ADDREG2、ADDREG4～7 に対しては行われません。また、アドレスレジスタのビットは＜31:5＞が存在しますが、アドレスの一致検出は回路簡略の為に A<19:5>に対して行われます。内部的には ROM エリアを示す ROMCS 信号と ROM コレクション回路の一致検出の論理積が取られて置き換えが行なわれます。ROM correction のアドレスは 8 ワード単位の境界（すなわち A0 ～ A4 は 0）にのみ設定できます。従って、32 バイト単位での置き換えになりますので、その中の一部のみを置き換えるときは、置き換えの必要のないアドレスは同じデータを書いてください。

ADDREGn と RAM エリアの対応は以下のようになっています。

アドレスレジスタ	RAM エリアの対応
ADDREG0	0xFFFD_FF00 ~ 0xFFFD_FF1F
ADDREG1	0xFFFD_FF20 ~ 0xFFFD_FF3F
ADDREG2	0xFFFD_FF40 ~ 0xFFFD_FF5F
ADDREG3	0xFFFD_FF60 ~ 0xFFFD_FF7F
ADDREG4	0xFFFD_FF80 ~ 0xFFFD_FF9F
ADDREG5	0xFFFD_FFA0 ~ 0xFFFD_FFBF
ADDREG6	0xFFFD_FFC0 ~ 0xFFFD_FFDF
ADDREG7	0xFFFD_FFE0 ~ 0xFFFD_FFFF

Not Recommended for New Design



Not Recommended for New Design

図 19.1　ROM correction システム図

19.3 レジスタ

(1) アドレスレジスタ

ADDREG0 (0xFFFF_E540)

	7	6	5	4	3	2	1	0
bit Symbol	ADD07	ADD06	ADD05					
Read/Write	R/W							
リセット後	0	0	0					
機 能								

	15	14	13	12	11	10	9	8
bit Symbol	ADD015	ADD014	ADD013	ADD012	ADD011	ADD010	ADD09	ADD08
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								

	23	22	21	20	19	18	17	16
bit Symbol	ADD023	ADD022	ADD021	ADD020	ADD019	ADD018	ADD017	ADD016
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								

	31	30	29	28	27	26	25	24
bit Symbol	ADD031	ADD030	ADD029	ADD028	ADD027	ADD026	ADD025	ADD024
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								

ADDREG1 (0xFFFF_E544)

	7	6	5	4	3	2	1	0
bit Symbol	ADD17	ADD16	ADD15					
Read/Write	R/W							
リセット後	0	0	0					
機 能								

	15	14	13	12	11	10	9	8
bit Symbol	ADD115	ADD114	ADD113	ADD112	ADD111	ADD110	ADD19	ADD18
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								

	23	22	21	20	19	18	17	16
bit Symbol	ADD123	ADD122	ADD121	ADD120	ADD119	ADD118	ADD117	ADD116
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								

	31	30	29	28	27	26	25	24
bit Symbol	ADD131	ADD130	ADD129	ADD128	ADD127	ADD126	ADD125	ADD124
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								

Not Recommended for New Design

ADDREG2 (0xFFFF_E548)

	7	6	5	4	3	2	1	0
bit Symbol	ADD27	ADD26	ADD25					
Read/Write	R/W							
リセット後	0	0	0					
機　能								

	15	14	13	12	11	10	9	8
bit Symbol	ADD215	ADD214	ADD213	ADD212	ADD211	ADD210	ADD29	ADD28
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	23	22	21	20	19	18	17	16
bit Symbol	ADD223	ADD222	ADD221	ADD220	ADD219	ADD218	ADD217	ADD216
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	31	30	29	28	27	26	25	24
bit Symbol	ADD231	ADD230	ADD229	ADD228	ADD227	ADD226	ADD225	ADD224
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

ADDREG3 (0xFFFF_E54C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD37	ADD36	ADD35					
Read/Write	R/W							
リセット後	0	0	0					
機　能								

	15	14	13	12	11	10	9	8
bit Symbol	ADD315	ADD314	ADD313	ADD312	ADD311	ADD310	ADD39	ADD38
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	23	22	21	20	19	18	17	16
bit Symbol	ADD323	ADD322	ADD321	ADD320	ADD319	ADD318	ADD317	ADD316
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	31	30	29	28	27	26	25	24
bit Symbol	ADD331	ADD330	ADD329	ADD328	ADD327	ADD326	ADD325	ADD324
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

Not Recommended for New Design

ADDREG4 (0xFFFF_E550)

	7	6	5	4	3	2	1	0
bit Symbol	ADD47	ADD46	ADD45					
Read/Write	R/W							
リセット後	0	0	0					
機　能								

	15	14	13	12	11	10	9	8
bit Symbol	ADD415	ADD414	ADD413	ADD412	ADD411	ADD410	ADD49	ADD48
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	23	22	21	20	19	18	17	16
bit Symbol	ADD423	ADD422	ADD421	ADD420	ADD419	ADD418	ADD417	ADD416
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	31	30	29	28	27	26	25	24
bit Symbol	ADD431	ADD430	ADD429	ADD428	ADD427	ADD426	ADD425	ADD424
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

ADDREG5 (0xFFFF_E554)

	7	6	5	4	3	2	1	0
bit Symbol	ADD57	ADD56	ADD55					
Read/Write	R/W							
リセット後	0	0	0					
機　能								

	15	14	13	12	11	10	9	8
bit Symbol	ADD515	ADD514	ADD513	ADD512	ADD511	ADD510	ADD59	ADD58
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	23	22	21	20	19	18	17	16
bit Symbol	ADD523	ADD522	ADD521	ADD520	ADD519	ADD518	ADD517	ADD516
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	31	30	29	28	27	26	25	24
bit Symbol	ADD531	ADD530	ADD529	ADD528	ADD527	ADD526	ADD525	ADD524
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

Not Recommended for New Design

ADDREG6 (0xFFFF_E558)

	7	6	5	4	3	2	1	0
bit Symbol	ADD67	ADD66	ADD65					
Read/Write	R/W							
リセット後	0	0	0					
機　能								

	15	14	13	12	11	10	9	8
bit Symbol	ADD615	ADD614	ADD613	ADD612	ADD611	ADD610	ADD69	ADD68
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	23	22	21	20	19	18	17	16
bit Symbol	ADD623	ADD622	ADD621	ADD620	ADD619	ADD618	ADD617	ADD616
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	31	30	29	28	27	26	25	24
bit Symbol	ADD631	ADD630	ADD629	ADD628	ADD627	ADD626	ADD625	ADD624
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

ADDREG7 (0xFFFF_E55C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD77	ADD76	ADD75					
Read/Write	R/W							
リセット後	0	0	0					
機　能								

	15	14	13	12	11	10	9	8
bit Symbol	ADD715	ADD714	ADD713	ADD712	ADD711	ADD710	ADD79	ADD78
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	23	22	21	20	19	18	17	16
bit Symbol	ADD723	ADD722	ADD721	ADD720	ADD719	ADD718	ADD717	ADD716
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

	31	30	29	28	27	26	25	24
bit Symbol	ADD731	ADD730	ADD729	ADD728	ADD727	ADD726	ADD725	ADD724
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能								

(注 1) アドレスレジスタへの DMA 転送はできません。RAM 上に配置される置き換えの為のデータ領域への DMA 転送はできます。また ROM コレクションの置き換え機能は CPU アクセス時、DMA アクセス時いずれの時も有効です。

(注 2) 初期値“0x00”を書き戻すとリセットアドレスに対して置き換えを行います。

Not Recommended for New Design

20. DSU インタフェース

DSU-probe を利用してデバッグするときに使用します。DSU-probe と接続される専用 I/F です。DSU-probe を利用したデバッグの詳細に関しては、ご使用の DSU-probe の取扱説明書を参照してください。ここでは、DSU モードに関するセキュリティ機能について説明します。

(1) セキュリティ機能

本デバイスは、オンボード上で DSU-probe を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易にデバッグできないようにするセキュリティ機能をもっています。ユーザー自身がセキュリティ機能を解除にすることにより、DSU-probe を使用したデバッグが可能になります。

(2) セキュリティオン (DSU-probe を使用したデバッグを無効)

デバイスの初期状態はセキュリティオンの状態です。セキュリティが解除されるまで DSU-probe を使用したデバッグは不可能となります。

(3) セキュリティオフ (DSU-probe を利用してのデバッグを有効)

セキュリティを解除する手段は、暴走などによる偶発解除を防ぐために二重構造になっており、セキュリティモードレジスタ SEQMOD<SEQON> = “0” にし、セキュリティコード “0x0000_00C5” をセキュリティ制御レジスタ SEQCNT に書き込みます。この後、DSU-probe を使用したデバッグが有効になります。但し、内蔵 ROM の読み出し、プロセッサコア以外のレジスタ／内蔵メモリ／外部への書き込みはできません。デバイスがリセットされると再びセキュリティが解除されるまでセキュリティオン状態になります。

SEQMOD (0xFFFF_E510)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write								
リセット後								
機　能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write								
リセット後								
機　能								
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write								
リセット後								
機　能								
	7	6	5	4	3	2	1	0
bit Symbol								SEQON
Read/Write								R/W
リセット後								1
機　能								1: セキュリティオン 0: セキュリティオフ

(注)　本レジスタは 32 ビットのアクセスになります。ビット 1 からビット 31 はリードすると 0 になります。

Not Recommended for New Design

SEQCNT (0xFFFF_E514)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	W							
リセット後								
機　能	“0x0000_00C5” をライトしてください。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	W							
リセット後								
機　能	“0x0000_00C5” をライトしてください							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	W							
リセット後								
機　能	“0x0000_00C5” をライトしてください							
	7	6	5	4	3	2	1	0
bit Symbol								
Read/Write	W							
リセット後								
機　能	“0x0000_00C5” をライトしてください							

(注)　本レジスタは 32 ビットのアクセスになります。

(4) ユーザー使用例

本セキュリティ機能を使用した DSU-probe の使用例を以下に示します。

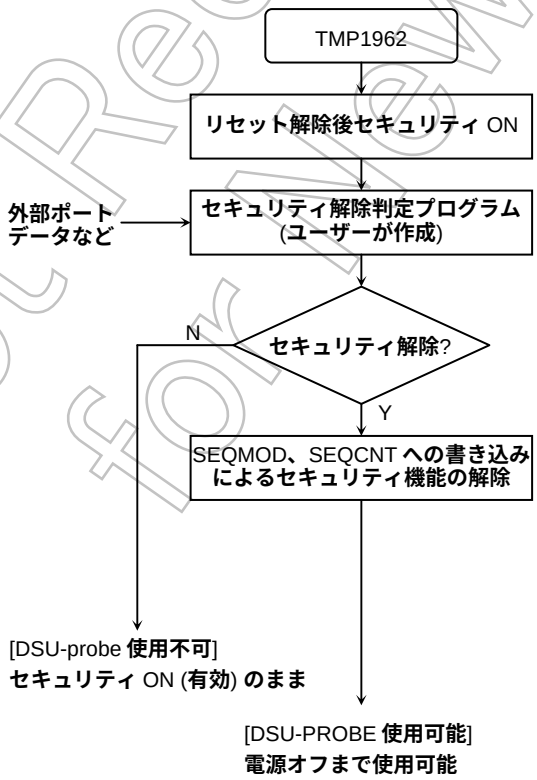


図.1　セキュリティ機能の使用例

Not Recommended for New Design

21. JTAG インタフェース

TMP1962 には、Joint Test Action Group (JTAG) 規格に適合するバウンダリスキャンインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE 規格 1149.1/D6 が使われています。本章では、バウンダリスキャン、インタフェースで使われるピンと信号、およびテストアクセスポート (TAP) に触れながら、このインタフェースについて説明しています。

21.1 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC) 、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の 1 つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことです (図 21.1を参照)。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TDI、TDO、TMS、TCK および $\overline{\text{TRST}}$ という 5 種類の信号が使われます。これらの信号については次の節で説明します。

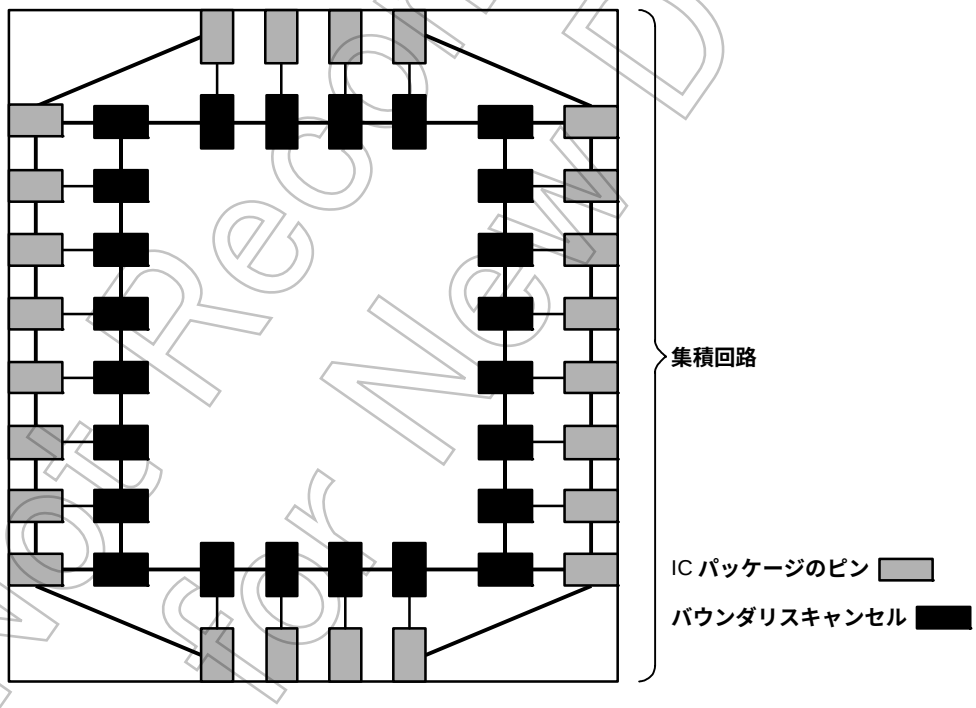


図 21.1 JTAG バウンダリスキャンセル

Not Recommended for New Design

21.2 信号の要約

JTAG インタフェース信号は次のとおりです (図 21.2参照)。

- TDI　　JTAG シリアルデータ入力
- TDO　　JTAG シリアルデータ出力
- TMS　　JTAG テストモード選択
- TCK　　JTAG シリアルクロック入力
- $\overline{\text{TRST}}$　　JTAG テストリセット入力

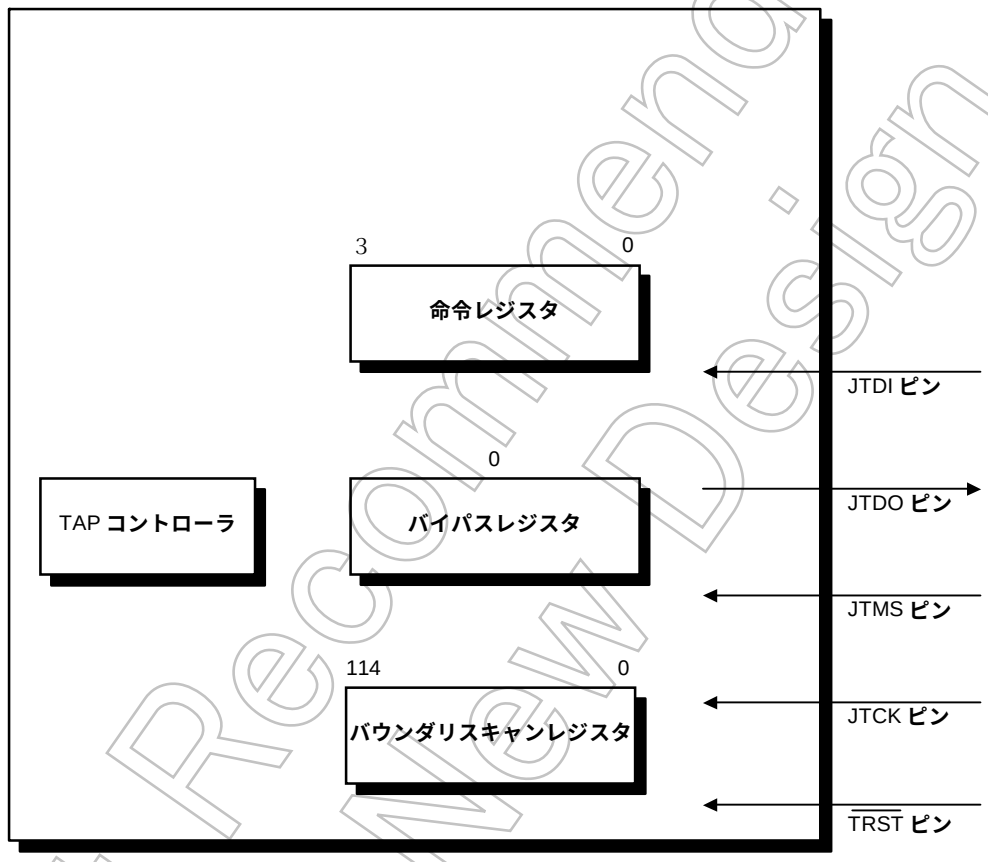


図 21.2　JTAG インタフェース信号とレジスタ

JTAG バウンダリスキャンメカニズム (本章では「JTAG メカニズム」と呼びます) により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムには、プロセッサ自体をテストする機能はありません。

Not Recommended for New Design

21.3 JTAG コントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- 命令レジスタ
- バウンダリスキャンレジスタ
- バイパスレジスタ
- デバイス識別レジスタ
- テストアクセスポート (TAP) コントローラ

JTAG の基本動作は、TAP コントローラステートマシンが JTMS 入力信号をモニタすることです。実行が開始されると、TAP コントローラは実行されるテスト機能を決定します。これは、表 21.31に示すように、JTAG 命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされるとき、JTMS ピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

21.3.1 命令レジスタ

JTAG の命令レジスタには、シフトレジスタを基本とする 4 個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 21.31の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 21.31 JTAG の命令レジスタのビット構成

命令コード 最上位→最下位	命令	選択されるデータレジスタ
0000	EXTEST	バウンダリスキャンレジスタ
0001	SAMPLE/PRELOAD	バウンダリスキャンレジスタ
0010 ~1110	予約	予約
1111	BYPASS	バイパスレジスタ

命令レジスタのフォーマットは図 21.3のとおりです。

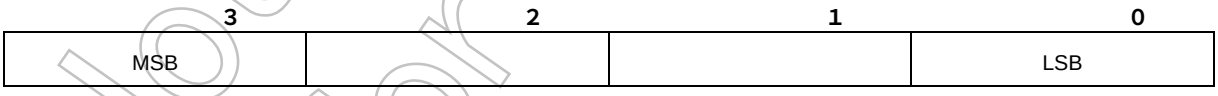


図 21.3 命令レジスタ

Not Recommended for New Design

命令コードは、最下位ビットから命令ジレスタにシフトされます。

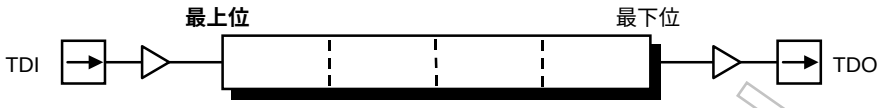


図 21.34　**命令レジスタのシフト方向**

21.3.2　バイパスレジスタ

バイパスレジスタは1ビット幅です。TAP コントローラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要でない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は、図 21.35 のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

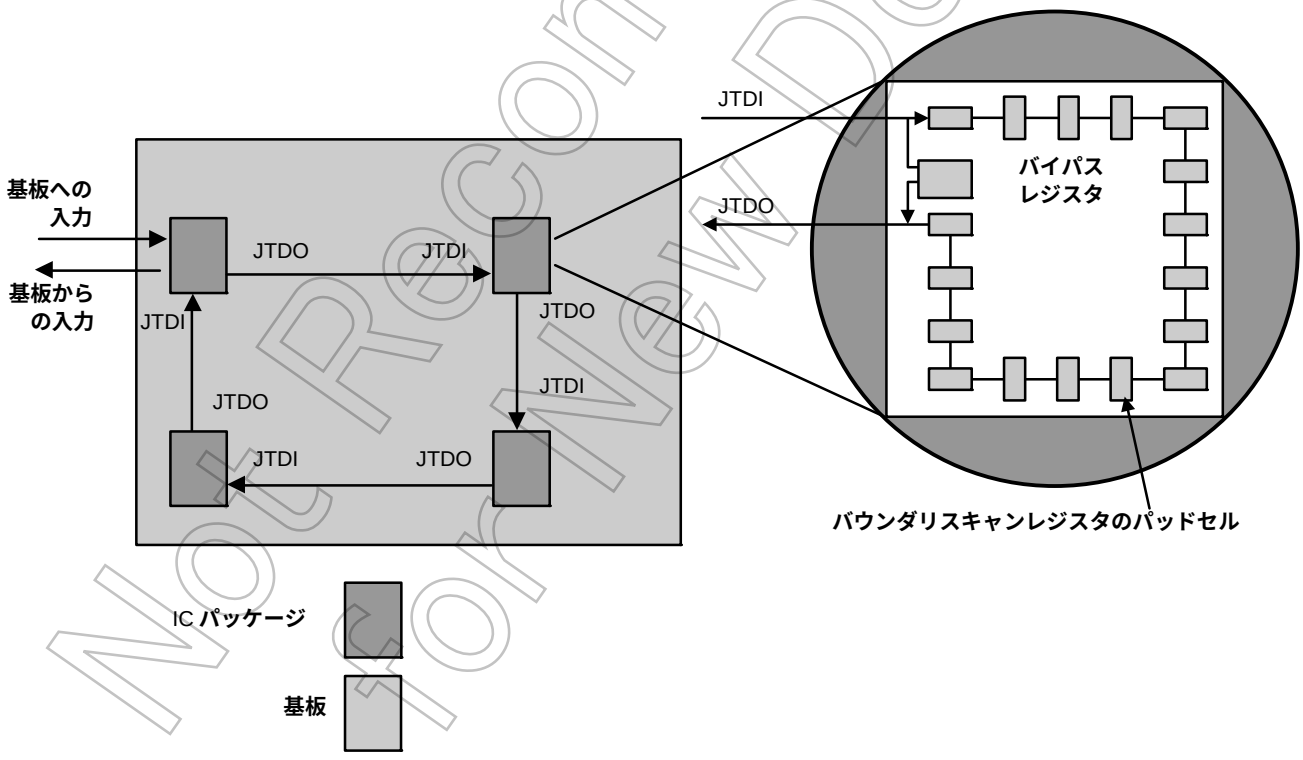


図 21.35　**バイパスレジスタの機能**

Not Recommended for New Design

21.3.3 バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMP1962 の入出力があります。TMP1962 のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、単一の 115 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、TMP1962 のすべての入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

21.3.4 テストアクセスポート (TAP)

テストアクセスポート (TAP) は、5 個の信号ピン $\overline{\text{TRST}}$、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます

図 21.36 のように、データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

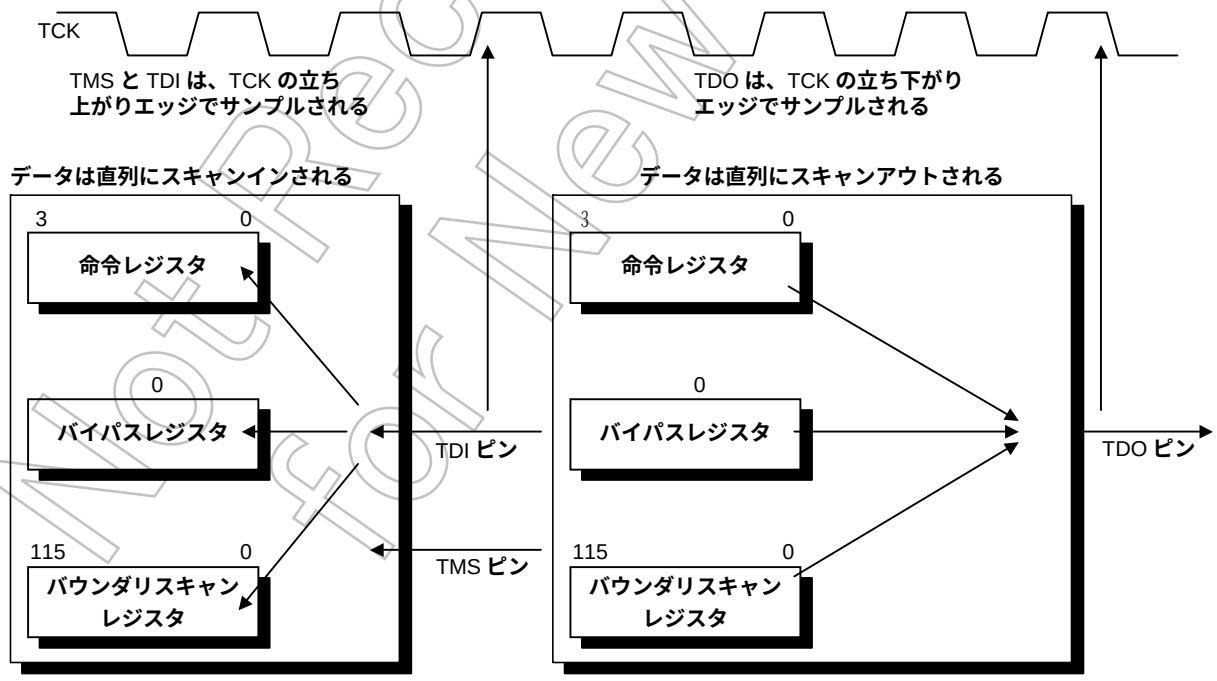


図 21.36 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

Not Recommended for New Design

21.3.5 TAP コントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

21.3.6 コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

- $\overline{\text{TRST}}$ 信号入力のアサート (Low) により、TAP コントローラはリセットされる。
- プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続 5 個使用して入力信号 TMS をアサートし続ける。

TMS をアサート状態に保てば、リセット状態が保たれます。

Not Recommended for New Design

21.3.7 コントローラの状態

図 21.37 に TAP コントローラの状態遷移図を示します。TCK の立ち上がりエッジで、TMS が 0 か 1 のどちらの値を取るかによって TAP コントローラの状態が変化します。状態の遷移を示す矢印のわきに TMS の取る値を示します。

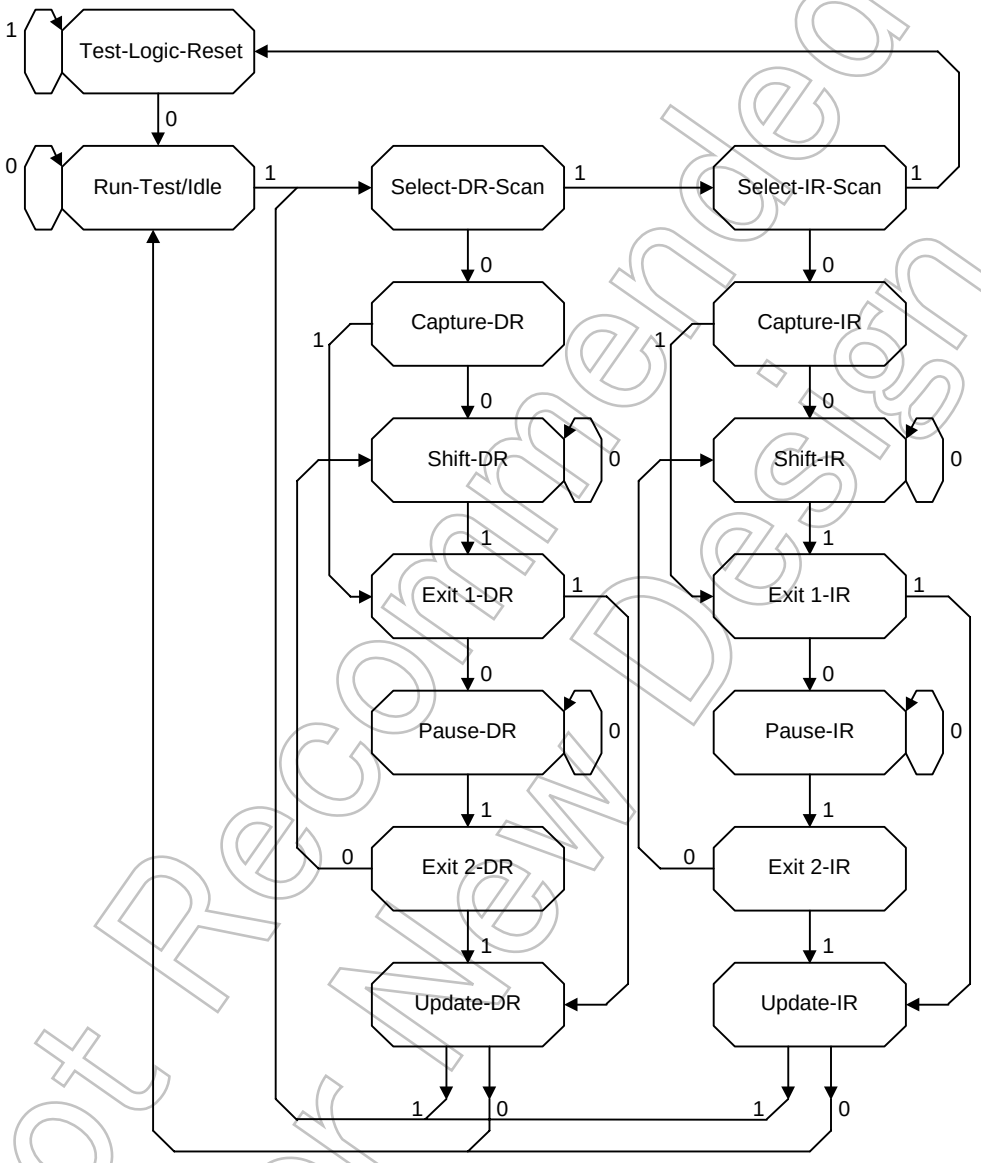


図 21.37 TAP コントローラの状態遷移図

Not Recommended for New Design

以下コントローラの各状態について説明します。図 21.37 の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR)、命令レジスタ (IR) を表します。

- Test-Logic-Reset
  TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは 0 にクリアされ、出力はディセーブルされます。

  TMS が「1」の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に「0」を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。

- Run-Test/Idle
  Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。

  TMS が「0」の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に「1」を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。

- Select-DR-Scan
  Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。

  TAP コントローラが Select-DR-Scan 状態のとき TMS に「0」を入力すると Capture-DR 状態に遷移します。TMS に「1」を入力すると命令カラムの Select-IR-Scan 状態に遷移します。

- Select-IR-Scan
  Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。

  TAP コントローラが Select-IR-Scan 状態のとき、TMS に「0」を入力すると Capture-IR 状態に遷移します。TMS に「1」を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。

- Capture-DR
  TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタがパラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。

  TAP コントローラが Capture-DR 状態のとき TMS に「0」を入力すると、Shift-DR 状態に遷移します。TMS に「1」を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

Not Recommended for New Design

- Shift-DR
  TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。

  TAP コントローラが Shift-DR 状態のとき、TMS が「0」のあいだ Shift-DR 状態を保持します。TMS に「1」を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- Exit 1-DR
  Exit 1-DR 状態は TAP コントローラの一時的な状態です。

  TAP コントローラが Exit 1-DR 状態のとき、TMS に「0」を入力すると Pause-DR 状態に遷移します。TMS に「1」を入力すると Update-DR 状態に遷移します。

- Pause-DR
  Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。

  TAP コントローラが Pause-DR 状態のとき、TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると Exit 2-DR 状態に遷移します。

- Exit 2-DR
  Exit 2-DR 状態は TAP コントローラの一時的な状態です。

  TAP コントローラが Exit 2-DR 状態のとき、TMS に「0」を入力すると、Shift-DR 状態に戻ります。TMS に「1」を入力すると Update-DR 状態に遷移します。

- Update-DR
  Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することはなく、この状態でのみデータを出力します。

  TAP コントローラが Update-DR 状態のとき TMS に「0」を入力すると Run-Test/Idle 状態に遷移します。TMS に「1」を入力すると Select-DR-Scan 状態に遷移します。

- Capture-IR
  Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは 0001 です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。

  TAP コントローラが Capture-IR 状態のとき TMS に「0」を入力すると Shift-IR 状態に遷移します。TMS に「1」を入力すると Exit 1-IR 状態に遷移します。

- Shift-IR
  Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。

  TAP コントローラが Shift-IR 状態のとき TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると、Exit 1-IR 状態に遷移します。

Not Recommended for New Design

- Exit 1-IR
  Exit 1-IR 状態は TAP コントローラの一時的な状態です。

  TAP コントローラが Exit 1-IR 状態のとき TMS に「0」を入力すると、Pause-IR 状態に遷移します。TMS に「1」を入力すると Update-IR 状態に遷移します。

- Pause-IR
  Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。

  TAP コントローラが Pause-IR 状態のとき、TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると Exit 2-IR 状態に遷移します。

- Exit 2-IR
  Exit 2-IR 状態は TAP コントローラの一時的な状態です。

  TAP コントローラが Exit 2-IR 状態のとき、TMS に「0」を入力すると、Shift-IR 状態に遷移します。TMS に「1」を入力すると Update-IR 状態に遷移します。

- Update-IR
  Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。

  TAP コントローラが Update-IR 状態のとき、TMS に「0」を入力すると、Run-Test/Idle 状態に遷移します。TMS に「1」を入力すると、Select-DR-Scan 状態に遷移します。

プロセッサ信号に対するバウンダリスキャン順序は、表 21.31のとおりです。

表 21.31　TMP1962 プロセッサのピンに対する JTAG スキャン順序

[TDI]	1:PJ4	2: PJ2	3:PCST3	4: PSCT0	5:PJ3	6:SDI/$\overline{\text{DINT}}$
7: PCST2	8: SDAO/TPC	9: BW0	10: $\overline{\text{DBGE}}$	11: DCLK	12: PJ0	13: PCST1
14: SYSRDY	15: PJ1	16: $\overline{\text{DRESET}}$	17: TEST5	18:$\overline{\text{RESET}}$	19: $\overline{\text{PLLOFF}}$	20: $\overline{\text{NMI}}$
21: BW1	22: PN7	23:PN2	24: PN6	25: PN5	26: PN3	27: PN4
28: PN1	29: PO5	30: PN0	31: PO6	32: PO3	33: PO2	34: PO1
35: PP6	36: PO0	37: PP5	38: PP7	39: PO4	40:PP3	41: PP1
42: PP2	43: PO7	44: PP4	45: PP0	46: PB2	47: PB3	48: PB7
49: PB0	50: PB1	51:PB6	52:PB4	53:PA1	54:PA4	55:PF3
56: PA7	57: PA3	58: PA0	59: PF4	60: PA2	61: PB5	62: PG5
63: PA6	64: PA5	65: PF7	66: PF2	67: PF1	68: PF0	69: PG7
70: PF6	71: PG0	72:PF5	73: PD7	74: PG3	75: PG1	76:PG4
77:PG2	78:PD6	79: PD3	80:PD1	81:PD2	82: PG6	83: PD5
84: PD0	85: PD4	86: PC2	87: PC6	88:PC1	89:PC0	90:PC7
91:PH1	92:PC3	93:PH0	94:PC4	95:PH5	96:PH4	97:PH3
98:PH2	99:PC5	100:PE2	101:PE0	102:PE1	103:PH7	104:PH6
105:PE5	106:PE3	107:PE4	108:RSTPUP	109:PE6	110:PE7	111:P53
112:P60	113:P57	114:P50	115:P52	116:P64	117:P63	118:P56
119:P67	120:P62	121:P66	122:P55	123:P51	124:P26	125:P65
126:P20	127:P54	128:P61	129:P21	130:P22	131:P02	132:P23
133:P25	134:P24	135:P00	136:P27	137:P01	138:P06	139:P03
140:P05	141:P04	142:P11	143:P10	144:P07	145:P12	146:P15
147:P13	148:P14	149:P36	150:P17	151:P34	152:P40	153:P32

Not Recommended for New Design

154:P33	155:P30	156:P16	157:P41	158:P35	159:P44	160:P37
161:P31	162:P43	163:P42	164:PK5	165:PI7	166:PI6	167:PK7
168:PI5	169:PI4	170:PI3	171:PM7	172:PK6	173:PI1	174:PI2
175:PI0	176:PK3	177:PK1	178:PK4	179:PK2	180:PL7	181:PM5
182:PK0	183:PM4	184:PM6	185:PM3	186:PM0	187:PM1	188:PM2
189:PL6	190:PL2	191:PL5	192:PL4	193:PL0	194:PL3	195:PL1
196:P75	197:P74	198:P77	199:P73	200:P70	201:P71	202:P72
203:P86	204:P84	205:P83	206:P85	207:P76	208:P82	209:P80
210:P81	211:P87	212:P97	213:P93	214:P94	215:P96	216:P90
217:P95	218:P91	219:P92	【TDO】:			

Not Recommended for New Design

21.4 JTAG コントローラセルでサポートしている命令

この項では、TMP1962 の JTAG コントローラセルでサポートしている命令について説明します。

21.4.1 EXTEST 命令

EXTEST 命令は外部接続テストに使用します。EXTEST 命令では、出力端子の BSR セルは Update-DR 時にテストパターンを出力し、入力端子の BSR セルは Capture-DR 時にテスト結果を取り込みます。

通常、EXTEST 命令を選択するまえに SAMPLE/PRELOAD 命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR 状態において不確定なデータが伝送され、IC 間でバスのコンフリクトが起こる可能性があります。EXTEST 命令が選択されているあいだのデータの流れを図 21.48 に示します。

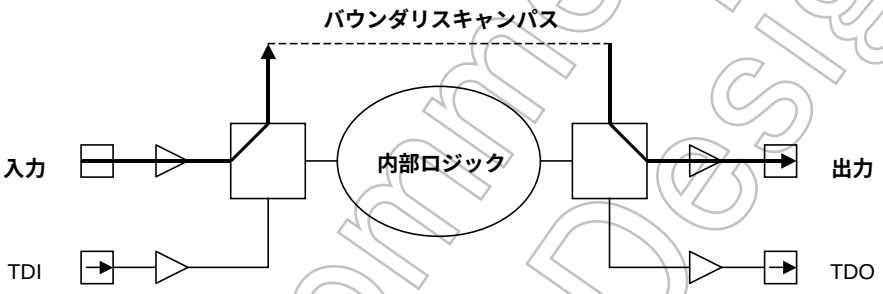


図 21.48 EXTEST 命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAP コントローラを初期化して、Test-Logic-Reset 状態にします。
2. 命令レジスタに SAMPLE/PRELOAD 命令をロードします。これによりバウンダリスキャンレジスタが TDI-TDO 間に接続されます。
3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
5. 命令レジスタに EXTEST 命令をロードします。
6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします。
8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。

6 から 8 をテストパターンごとに繰り返します。

Not Recommended for New Design

21.4.2 SAMPLE/PRELOAD 命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

- SAMPLE は IC の I/O パッドを観測するのに使います。SAMPLE が I/O パッドを観測しているあいだ、内部ロジックは IC の I/O 端子から切り離されません。SAMPLE は Capture-DR 状態で実行します。通常動作中、TCK の立ち上がりエッジにおいて IC の I/O 端子の値を読み取ることが SAMPLE の主な用途です。図 21.49 に SAMPLE/PRELOAD 命令の SAMPLE を実行しているあいだのデータの流れを示します。

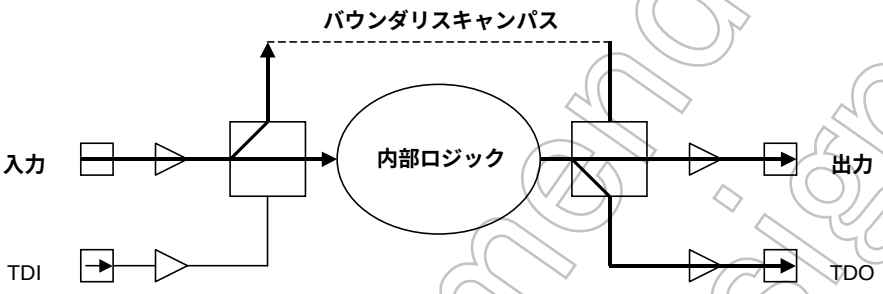


図 21.49 SAMPLE が選択されているときのテストデータの流れ

- PRELOAD は他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたように EXTEST 命令を選択するまえに PRELOAD を用いてバウンダリスキャンレジスタを初期化します。PRELOAD はシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 21.410 に SAMPLE/PRELOAD 命令の PRELOAD を実行しているあいだのデータの流れを示します。

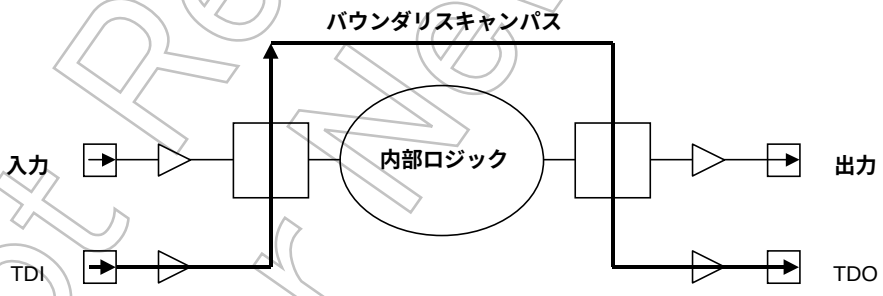


図 21.410 PRELOAD が選択されているときのテストデータの流れ

Not Recommended for New Design

21.4.3 BYPASS 命令

BYPASS 命令は IC を制御、観測する必要がないテストの場合に、バイパスレジスタを JTDI-JTDO 間に接続することにより IC をバイパスする最短のシリアルパスを構成します。BYPASS 命令はチップ上のシステムロジックの通常動作には影響を与えません。図 21.411に示すように BYPASS 命令が選択されているあいだ、データはバイパスレジスタを通ります。

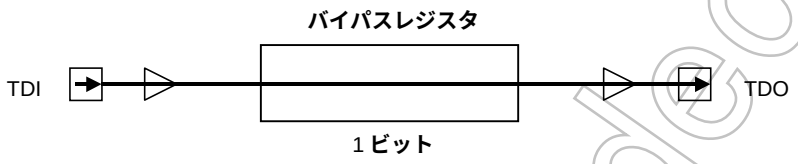


図 21.411 バイパスレジスタが選択されているときのテストデータの流れ

21.5 ご注意

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

- X2，X1 信号パッドは、JTAG をサポートしていません。

- JTAG 回路のリセット解除手順 (どちらか一方を選択)
  ① $\overline{\text{TRST}}$ をアサートして JTAG 回路を初期化後デアサート。
  ② TMS 端子 = 1 の状態で、TCK に 5 クロック以上供給

Not Recommended for New Design

22. 電気的特性

22.1 絶対最大定格

項目		記号	定格	単位
電源電圧		V_{CC15}（内部）	− 0.3~3.0	V
		Vcc2（I/O）	− 0.3~4.0	
		Vcc3（I/O）	− 0.3~4.0	
		AVCC （A/D）	− 0.3~3.6	
入力電圧		V_{IN}	− 0.3~V_{CC} + 0.3	V
低レベル出力電流	1端子	5	5	mA
	合計	50	50	
高レベル出力電流	1端子	-5	-5	
	合計	50	50	
消費電力(Ta = 85°C)		PD	600	mW
はんだ付け温度(10s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	−65~150	°C
動作温度		T_{OPR}	-20 ~ 85	°C

V_{CC15}＝DVCC15＝CVCC15、V_{CC}2＝DVCC2、V_{CC}3＝DVCC3n（n＝1～4)、AVCC＝AVCC3m（m＝1～2)

V_{SS}＝DVSS＊＝AVSS＊＝CVSS と定義します。

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格 (電流、電圧、消費電力、温度) を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

Not Recommended for New Design

22.2 DC 電気的特性 (1/4)

Ta＝－20～85℃

項目		記号	条件	Min.	Typ. (注 1)	Max.	単位
電源電圧 CVCC15＝DVCC15 CVSS＝DVSS＝0V		DVCC15	fosc = 10~13.5MHz fsys = 3.75~40.5MHz PLLON、INTLV="H"	1.35		1.65	V
		DVCC2	fsys =3 ~40.5MHz	2.3		3.3	
		DVCC3n (n＝1～4)	fsys =3 ~40.5MHz	1.65		3.3	
低レベル入力電圧	P7~P9 （ポートとして使用）	V_{IL1}	2.7V≦AVCC32≦AVCC31≦3.3V	－0.3		0.3 AVCC31 0.3 AVCC32	V
			1.65≦AVCC32≦AVCC31＜2.7V				
	P0~P6, PA~PC, PD0~PD6, PE0~PE2, PF2~PF7, PG~PH, PI7, PJ1~PJ4, PL~PP	V_{IL2}	1.65V≦DVCC3n≦3.3V （n=1~4)			0.3 DVCC3n 0.3 DVCC2	
			2.3V≦DVCC2≦3.3V				
	PD7, PE3~PE7, PF0~PF1, PI0~PI6, PJ0, PK, $\overline{\text{PLLOFF}}$, RSTPUP, $\overline{\text{RESET}}$	V_{IL3}	2.7V≦DVCC3n≦3.3V（n=1~4) 2.7V≦DVCC2≦3.3V			0.15 DVCC3n	
	$\overline{\text{DRESET}}$, DBGE SDI/$\overline{\text{DINT}}$, TCK, TMS, TDI, $\overline{\text{TRST}}$ $\overline{\text{NMI}}$, BW0 ,BW1		1.65V≦DVCC3n＜2.7V（n=1~4) 2.3V≦DVCC2＜2.7V			0.1 DVCC3n 0.1 DVCC2	
	X1	V_{IL4}	1.35V≦CVCC15≦1.65V			0.1 CVCC15	

Not Recommended for New Design

Ta＝－20～85℃

項目		記号	条件		Min.	Typ. (注 1)	Max.	単位
高レベル入力電圧	P7~P9 （ポートとして使用）	V_{IH1}	2.7V≦AVCC32≦AVCC31≦3.3V		0.7 AVCC31		DVCC3n + 0.3 DVCC2+ 0.3 CVCC15+ 0.2	V
			1.65≦AVCC32≦AVCC31＜2.7V		0.7 AVCC32			
	P0~P6 PA~PC, PD0~PD6, PE0~PE2, PF2~PF7, PG~PH, PI7, PJ1~PJ4, PL~PP	V_{IH2}	1.65V≦DVCC3n≦3.3V （n=1~4）		0.7 DVCC3n			
			2.3V≦DVCC2≦3.3V		0.7 DVCC2			
	PD7, PE3~PE7, PF0~PF1, PI0~PI6, PJ0, PK, $\overline{\text{PLLOFF}}$, $\overline{\text{RSTPUP}}$, $\overline{\text{RESET}}$ $\overline{\text{DRESET}}$, DBGE SDI/$\overline{\text{DINT}}$, TCK, TMS, TDI, TRST $\overline{\text{NMI}}$, BW0 ,BW1	V_{IH3}	2.7V≦DVCC3n≦3.3V（n=1~4） 2.7V≦DVCC2≦3.3V		0.85 DVCC3n			
			1.65V≦DVCC3n＜2.7V（n=1~4） 2.3V≦DVCC2＜2.7V		0.9 DVCC3n 0.9 DVCC2			
	X1	V_{IH4}	1.35V≦CVCC15≦1.65V		0.9 CVCC15			
低レベル出力電圧		V_{OL}	I_{OL} = 2mA	DVCC3n≧2.7V DVCC2≧2.7V			0.4	V
			I_{OL} = 500 μA	DVCC3n＜2.7V DVCC2＜2.7V			0.2 DVCC3n ≦0.4 0.2 DVCC2 ≦0.4	
高レベル出力電圧		V_{OH}	I_{OH} = – 2mA	DVCC3n≧2.7V DVCC2≧2.7V	2.4			
			I_{OH} = – 500 μA	DVCC3n＜2.7V DVCC2＜2.7V	0.8 DVCC3n 0.8 DVCC2			

（注 1）Typ 値は特に指定のない限り Ta = 25°C, DVCC3 = 3.0V, DVCC2=2.5V, AVCC3=3.0V **の値です。**

Not Recommended for New Design

22.3 DC 電気的特性 (2/4)

Ta＝－20～85°C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
入力リーク電流	I_{LI}	0.0 ≦ V_{IN} ≦D VCC2 0.0 ≦ V_{IN} ≦D VCC3n（n=1～4） 0.0 ≦ V_{IN} ≦AVCC31 0.0 ≦ V_{IN} ≦AVCC32		0.02	± 5	μA
出力リーク電流	I_{LO}	0.2 ≦ V_{IN} ≦ DVCC2 – 0.2 0.2 ≦ V_{IN} ≦ DVCC3n – 0.2（n=1～4） 0.2 ≦ V_{IN} ≦ AVCC31 – 0.2 0.2 ≦ V_{IN} ≦ AVCC32 – 0.2		0.05	± 10	
パワーダウン電圧 (@STOP,RAM バックアップ)	V_{STOP} (DVCC15)		1.35		1.65	V
	V_{STOP1} (DVCC2)	V_{IL2} = 0.2DVCC2, V_{IL3} = 0.1DVCC2 V_{IH2} = 0.8DVCC2, V_{IH3} = 0.9DVCC2	2.3.		3.3	
	V_{STOP2} (DVCC3) (AVCC3)	V_{IL} = 0.3DVCC33, V_{IL1} = 0.3AVCC31,32 V_{IL2} = 0.3DVCC3n, V_{IL3} = 0.1DVCC3n V_{IH} = 0.7DVCC33, V_{IH1} = 0.7AVCC31,32 V_{IH2} = 0.7DVCC3n, V_{IH3} = 0.9DVCC3n （n=1～4）	1.65		3.3	
リセットプルアップ抵抗	RRST	DVCC2= 2.5V ± 0.2V	20	50	240	kΩ
Schmitt W Idth PD7, PE3~PE7, PF0~PF1, PI0~PI6, PJ0, PK, $\overline{\text{PLLOFF}}$, $\overline{\text{RSTPUP}}$, $\overline{\text{RESET}}$, $\overline{\text{DRESET}}$, $\overline{\text{DBGE}}$, SDI/$\overline{\text{DINT}}$, TCK, TMS, TDI, $\overline{\text{TRST}}$, $\overline{\text{NMI}}$, BW0 ,BW1	VTH	2.7V≦DVCC3n≦3.3V（n=2,4） 2.7V≦DVCC2≦3.3V	0.4	0.9		V
		1.65V≦DVCC3n＜2.7V（n=2,4） 2.3V≦DVCC2＜2.7V	0.3	0.6		
プログラマブル プルアップ／ダウン抵抗 P32～P37,P40～P43 KEY0～KEYD, DRESET, $\overline{\text{DBGE}}$, SDI/$\overline{\text{DINT}}$, TCK, TMS, TDI, $\overline{\text{TRST}}$	PKH	DVCC3n = 3.0V ± 0.3V（n=2～4）	15	50	100	kΩ
		DVCC3n = 2.5V ± 0.2V（n=2～4） DVCC2 = 2.5V ± 0.2V	20	50	240	
		DVCC3n = 2.0V ± 0.2V（n=2～4） DVCC2 = 2.0V ± 0.2V	25.	160	600	
Pin 容量（電源端子を除く）	C_{IO}	fc = 1MHz			10	pF

（注 1）Typ 値は特に指定のない限り Ta = 25°C, DVCC3n = 3.0V, DVCC2=2.5V, AVCC3=3.0V の値です。

Not Recommended for New Design

22.4 DC 電気的特性 (3/4)

DVCC15＝CVCC15＝1.5V±0.15V, DVCC2＝2.5V±0.2V, DVCC3n＝ 3.0V±0.3V , AVCC3m＝3.0V±0.3V

Ta＝－20～85°C (n＝1～4、m＝1,2)

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL(注 2)ギア比 1/1	I_{CC}	f_{sys} =40.5 MHz (f_{osc} = 13.5 MHz , PLLON) INTLV="H"		38	46	mA
IDLE(Doze)				16	28.	
IDLE(Halt)				13	23	
STOP		DVCC15 = CVCC15= 1.35~1.65V DVCC2 = 2.3~2.7V DVCC3n = 1.65~3.3V AVCC3m = 2.7~3.3V		50.	900	μA

(注1) Typ 値は、特に指定のない限り Ta = 25 °C, DVCC15 = 1.5 V , DVCC2 = 2.5 V , DVCC3n= 3.0 V AVCC3m= 3.0 V の値です。

(注2) I_{CC} NORMAL の測定条件 :CPU ドライストン実行、内蔵周辺 I/O 全て動作
外部バス 16 ビット幅 4 システムクロックで動作

(注3) I_{CC} には DVCC15、DVCC2、DVCC3n、CVCC15、AVCC3m に流れる電流が含まれます。

Not Recommended for New Design

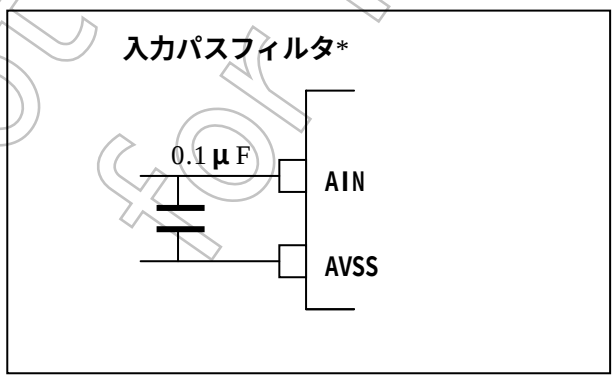
22.5 10 ビット A/D 変換特性

DVCC15= **CVCC15**= **1.5**±0.15V, **DVCC2**= **2.5**±0.2V, **DVCC3n** = **3.0**±0.3V,
AVCC3m= **3.0**±0.3V ,
AVSS = **DVSS** ,**Ta**＝－**20**～**85**℃

項目		記号	条件	Min	Typ	Max	単位
アナログ基準電圧(＋)		VREFH		2.7 AVCCm－0.3	AVCC	3.3 AVCCm＋0.3	V
アナログ基準電圧(－)		VREFL		AVSS	AVSS	AVSS＋0.2	V
アナログ入力電圧		VAIN		VREFL		VREFH	V
アナログ基準電圧電源電流	A/D 変換時	IREF	AVCCm ＝VREFH＝3.0V±0.3V DVSS＝AVSS＝VREFL		0.35	1.0	mA
	A/D 非変換時		AVCCm ＝VREFH＝3.0±0.3V DVSS＝AVSS＝VREF		0.02	10	μA
アナログ入力容量		—			5.0		pF
アナログ入力インピーダンス		—			5.0		kΩ
積分非直線性誤差		—	AVCCm ＝VREFH＝3.0±0.3V DVSS＝AVSS＝VREFL AIN 負荷抵抗＜13.3kΩ AIN 負荷容量＜20pF AVCCm 負荷容量≧10μF VREFH 負荷容量≧10μF 変換時間≧7.9μs 入力パスフィルタ*=0.1μF		±1	±3	LSB
微分直線性誤差		—			±1.5	±3	LSB
オフセット誤差		—			±2	±3	LSB
ゲイン誤差		—			±2	±6	LSB

(注 1) 1LSB = (VREFH－VREFL) / 1024[V]

(注 2) AVCC**m端子に流れる電源電流は、デジタル電源端子の電源電流** :I_{CC} **に含みます。**



Not Recommended for New Design

22.6 AC 電気的特性

[1] マルチプレクスバスモード

(1) DVCC15＝CVCC15＝1.5V±0.15V, DVCC2＝2.5V±0.2V, **AVCC3m**= **3.0**±0.3V
DVCC33＝ 3.0V±0.3V, Ta =－20~85°C

① ALE = 0.5 クロック, 自動 1 ウェイト挿入

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t_{SYS}	24.6				ns
2	A0 – 15 有効→ ALE 立ち下がり	t_{AL}	0.5x – 4.3		8		ns
3	ALE 立ち下がり→ A0 – 15 保持	t_{LA}	0.5x – 1.8		10.5		ns
4	ALE High パルス幅	t_{LL}	0.5x – 0.3		12		ns
5	ALE 立ち下がり→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{LC}	0.5x – 2.3		10		ns
6	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち上がり → ALE 立ち上がり	t_{CL}	x – 0.6		24		ns
7	A0-15 有効→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{ACL}	x – 5.1		19.5		ns
8	A16-23 有効→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{ACH}	x – 5.1		19.5		ns
9	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち上がり → A16 – 23 保持	t_{CAR}	x – 1.6		23		ns
10	A0 – 15 有効→ D0 – 15 入力	t_{ADL}		x (2 + W) – 35.8		38	ns
11	A16 – 23 有効→ D0 – 15 入力	t_{ADH}		x (2 + W) – 35.8		38	ns
12	$\overline{RD}$ 立ち下がり→ D0 – 15 入力	t_{RD}		x (1 + W) – 30.7		18.5	ns
13	$\overline{RD}$ Low パルス幅	t_{RR}	x (1 + W) – 2.7		46.5		ns
14	$\overline{RD}$ 立ち上がり→ D0 – 15 保持	t_{HR}	0		0		ns
15	$\overline{RD}$ 立ち上がり→ A0 – 15 出力	t_{RAE}	x– 0.1		24.5		ns
16	$\overline{WR}$ /$\overline{HWR}$ Low パルス幅	t_{WW}	x (1 + W) – 3.2		46		ns
17	D0-15 有効→ $\overline{WR}$ /$\overline{HWR}$ 立ち上がり	t_{DW}	x (1 + W) – 4.2		45		ns
18	$\overline{WR}$ /$\overline{HWR}$ 立ち上がり→ D0 – 15 保持	t_{WD}	x – 0.1		24.5		ns
19	A16 – 23 有効→ $\overline{WAIT}$ 入力	t_{AWH}		x (3 + 0.5) – 21.6		64.5	ns
20	A0 – 15 有効→ $\overline{WAIT}$ 入力	t_{AWL}		x (3 + 0.5) – 21.6		64.5	ns
21	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$→ $\overline{WAIT}$ 保持	t_{CW}	x (0.5 + 3 + N-2) - 4.1	x (1.5 + 3＋N-2) – 18.7	57.4	67.4	ns

(注) 項目 1～18 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 19～20 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W:：ウェイト挿入数 (内部ウェイトは W＝0~7)
N:：3WAIT + Nwait モード時の N 値

Not Recommended for New Design

② ALE = 1.5 クロック, 自動 1 ウェイト挿入

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t_{SYS}	24.6				ns
2	A0 – 15 有効→ ALE 立ち下がり	t_{AL}	1.5x – 3.9		33		ns
3	ALE 立ち下がり→ A0 – 15 保持	t_{LA}	0.5x – 1.8		10.5		ns
4	ALE High パルス幅	t_{LL}	1.5x – 0.4		36.5		ns
5	ALE 立ち下がり→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{LC}	0.5x – 2.4		10		ns
6	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち上がり → ALE 立ち上がり	t_{CL}	x – 0.6		24		ns
7	A0-15 有効→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{ACL}	2x – 5.2		44		ns
8	A16-23 有効→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{ACH}	2x – 5.2		44		ns
9	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち上がり → A16 – 23 保持	t_{CAR}	x – 1.6		23		ns
10	A0 – 15 有効→ D0 – 15 入力	t_{ADL}		x (3 + W) – 35.9		62.5	ns
11	A16 – 23 有効→ D0 – 15 入力	t_{ADH}		x (3 + W) – 35.9		62.5	ns
12	$\overline{RD}$ 立ち下がり→ D0 – 15 入力	t_{RD}		x (1 + W) – 30.7		18.5	ns
13	$\overline{RD}$ Low パルス幅	t_{RR}	x (1 + W) – 2.7		46.5		ns
14	$\overline{RD}$ 立ち上がり→ D0 – 15 保持	t_{HR}	0		0		ns
15	$\overline{RD}$ 立ち上がり→ A0 – 15 出力	t_{RAE}	x		24.6		ns
16	$\overline{WR}$ /$\overline{HWR}$ Low パルス幅	t_{WW}	x (1 + W) – 3.2		46		ns
17	D0-15 有効→ $\overline{WR}$ /$\overline{HWR}$ 立ち上がり	t_{DW}	x (1 + W) – 4.2		45		ns
18	$\overline{WR}$ /$\overline{HWR}$ 立ち上がり→ D0 – 15 保持	t_{WD}	x – 0.1		24.5		ns
19	A16 – 23 有効→ $\overline{WAIT}$ 入力	t_{AWH}		x (4 + 0.5) – 21.7		89	ns
20	A0 – 15 有効→ $\overline{WAIT}$ 入力	t_{AWL}		x (4 + 0.5) – 21.7		89	ns
21	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$→ $\overline{WAIT}$ 保持	t_{CW}	x (0.5 + 3 + N-2) - 4.1	x (1.5 + 3＋N-2) – 18.7	57.4	67.4	ns

(注) 項目 1～18 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 19～20 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)

N:: 3WAIT + Nwait モード時の N 値

Not Recommended for New Design

(2) DVCC15＝CVCC15＝1.5V±0.15V, DVCC2＝2.5V±0.2V, **AVCC3m**= **3.0**±0.3V
DVCC33＝ 2.5V±0.2V, Ta =－20~85°C

① ALE = 0.5 **クロック**, **自動** 1 **ウェイト挿入**

No.	**項目**	**記号**	**計算式**		40.5 MHz (fsys)(**注**)		**単位**
			Min	Max	Min	Max	
1	**システムクロック周期**(x)	t_{SYS}	24.6				ns
2	A0 – 15 **有効→** ALE **立ち下がり**	t_{AL}	0.5x – 2.3		10		ns
3	ALE **立ち下がり→** A0 – 15 **保持**	t_{LA}	0.5x – 1.8		10.5		ns
4	ALE High **パルス幅**	t_{LL}	0.5x – 0.3		12		ns
5	ALE **立ち下がり→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{LC}	0.5x – 2.3		10		ns
6	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり** → ALE **立ち上がり**	t_{CL}	x – 0.6		24		ns
7	A0-15 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{ACL}	x – 5.1		19.5		ns
8	A16-23 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{ACH}	x – 5.1		19.5		ns
9	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり** → A16 – 23 **保持**	t_{CAR}	x – 1.6		23		ns
10	A0 – 15 **有効→** D0 – 15 **入力**	t_{ADL}		x (2 + W) – 36.8		37	ns
11	A16 – 23 **有効→** D0 – 15 **入力**	t_{ADH}		x (2 + W) – 36.8		37	ns
12	$\overline{RD}$ **立ち下がり→** D0 – 15 **入力**	t_{RD}		x (1 + W) – 31.7		17.5	ns
13	$\overline{RD}$ Low **パルス幅**	t_{RR}	x (1 + W) – 2.2		47		ns
14	$\overline{RD}$ **立ち上がり→** D0 – 15 **保持**	t_{HR}	0		0		ns
15	$\overline{RD}$ **立ち上がり→** A0 – 15 **出力**	t_{RAE}	x – 0.1		24.5		ns
16	$\overline{WR}$ /$\overline{HWR}$ Low **パルス幅**	t_{WW}	x (1 + W) – 2.7		46.5		ns
17	D0-15 **有効→** $\overline{WR}$ /$\overline{HWR}$ **立ち上がり**	t_{DW}	x (1 + W) – 3.8		45.5		ns
18	$\overline{WR}$ /$\overline{HWR}$ **立ち上がり→** D0 – 15 **保持**	t_{WD}	x –0.1		24.5		ns
19	A16 – 23 **有効→** $\overline{WAIT}$ **入力**	t_{AWH}		x (3 + 0.5) – 22.6		63.5	ns
20	A0 – 15 **有効→** $\overline{WAIT}$ **入力**	t_{AWL}		x (3 + 0.5) – 22.6		63.5	ns
21	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$→ $\overline{WAIT}$ **保持**	t_{CW}	x (0.5 + 3 + N-2) - 5.1	x (1.5 + 3＋N-2) – 19.7	56.4	66.4	ns

(注) 項目 1～18 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 19～20 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- **出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF**
- **入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V**

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)
N:: 3WAIT + Nwait モード時の N 値

Not Recommended for New Design

② ALE = 1.5 クロック, 自動 1 ウェイト挿入

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t_{SYS}	24.6				ns
2	A0 – 15 有効→ ALE 立ち下がり	t_{AL}	1.5x – 2.4		34.5		ns
3	ALE 立ち下がり→ A0 – 15 保持	t_{LA}	0.5x – 1.8		10.5		ns
4	ALE High パルス幅	t_{LL}	1.5x – 0.4		36.5		ns
5	ALE 立ち下がり→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{LC}	0.5x – 2.4		10		ns
6	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち上がり → ALE 立ち上がり	t_{CL}	x – 0.6		24		ns
7	A0-15 有効→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{ACL}	2x – 5.2		44		ns
8	A16-23 有効→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{ACH}	2x – 5.2		44		ns
9	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち上がり → A16 – 23 保持	t_{CAR}	x – 1.6		23		ns
10	A0 – 15 有効→ D0 – 15 入力	t_{ADL}		x (3 + W) – 36.9		61.5	ns
11	A16 – 23 有効→ D0 – 15 入力	t_{ADH}		x (3 + W) – 36.9		61.5	ns
12	$\overline{RD}$ 立ち下がり→ D0 – 15 入力	t_{RD}		x (1 + W) – 31.7		17.5	ns
13	$\overline{RD}$ Low パルス幅	t_{RR}	x (1 + W) – 2.2		47		ns
14	$\overline{RD}$ 立ち上がり→ D0 – 15 保持	t_{HR}	0		0		ns
15	$\overline{RD}$ 立ち上がり→ A0 – 15 出力	t_{RAE}	x – 0.1		24.5		ns
16	$\overline{WR}$ /$\overline{HWR}$ Low パルス幅	t_{WW}	x (1 + W) – 2.7		46.5		ns
17	D0-15 有効→ $\overline{WR}$ /$\overline{HWR}$ 立ち上がり	t_{DW}	x (1 + W) – 3.8		45.5		ns
18	$\overline{WR}$ /$\overline{HWR}$ 立ち上がり→ D0 – 15 保持	t_{WD}	x –0.1		24.5		ns
19	A16 – 23 有効→ $\overline{WAIT}$ 入力	t_{AWH}		x (4 + 0.5) – 22.6		88.1	ns
20	A0 – 15 有効→ $\overline{WAIT}$ 入力	t_{AWL}		x (4 + 0.5) – 22.6		88.1	ns
21	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$→ $\overline{WAIT}$ 保持	t_{CW}	x (0.5 + 3 + N-2) - 5.1	x (1.5 + 3+N-2) – 19.7	56.4	66.4	ns

(注) 項目 1～18 の 40.5MHz 時の値は内部ウェイト"1"の場合、項目 19～20 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)

N:: 3WAIT + Nwait モード時の N 値

Not Recommended for New Design

(3) DVCC15＝CVCC15＝1.5V±0.15V, DVCC2＝2.5V±0.2V, **AVCC3m**= **3.0**±0.3V
DVCC33＝ 1.8V±0.15V, Ta =－20~85°C

① ALE = 0.5 **クロック**, **自動** 2 **ウェイト挿入**

No.	**項目**	**記号**	**計算式**		40.5 MHz (fsys)(**注**)		**単位**
			Min	Max	Min	Max	
1	**システムクロック周期**(x)	t_{SYS}	24.6	33333			ns
2	A0 – 15 **有効→** ALE **立ち下がり**	t_{AL}	0.5x – 2.3		10		ns
3	ALE **立ち下がり→** A0 – 15 **保持**	t_{LA}	0.5x – 1.8		10.5		ns
4	ALE High **パルス幅**	t_{LL}	0.5x – 0.3		12		ns
5	ALE **立ち下がり→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{LC}	0.5x – 2.3		10		ns
6	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり** → ALE **立ち上がり**	t_{CL}	x – 0.6		24		ns
7	A0-15 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{ACL}	x – 5.1		19.5		ns
8	A16-23 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{ACH}	x – 5.1		19.5		ns
9	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり** → A16 – 23 **保持**	t_{CAR}	x – 1.6		23		ns
10	A0 – 15 **有効→** D0 – 15 **入力**	t_{ADL}		x (2 + W) – 42.4		56	ns
11	A16 – 23 **有効→** D0 – 15 **入力**	t_{ADH}		x (2 + W) – 42.4		56	ns
12	$\overline{RD}$ **立ち下がり→** D0 – 15 **入力**	t_{RD}		x (1 + W) – 37.3		36.5	ns
13	$\overline{RD}$ Low **パルス幅**	t_{RR}	x (1 + W) – 2.3		71.5		ns
14	$\overline{RD}$ **立ち上がり→** D0 – 15 **保持**	t_{HR}	0		0		ns
15	$\overline{RD}$ **立ち上がり→** A0 – 15 **出力**	t_{RAE}	x – 0.1		24.5		ns
16	$\overline{WR}$ /$\overline{HWR}$ Low **パルス幅**	t_{WW}	x (1 + W) – 2.8		71		ns
17	D0-15 **有効→** $\overline{WR}$ /$\overline{HWR}$ **立ち上がり**	t_{DW}	x (1 + W) – 3.8		70		ns
18	$\overline{WR}$ /$\overline{HWR}$ **立ち上がり→** D0 – 15 **保持**	t_{WD}	x – 0.1		24.5		ns
19	A16 – 23 **有効→** $\overline{WAIT}$ **入力**	t_{AWH}		x (3 + 0.5) – 28.1		58	ns
20	A0 – 15 **有効→** $\overline{WAIT}$ **入力**	t_{AWL}		x (3 + 0.5) – 28.1		58	ns
21	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$→ $\overline{WAIT}$ **保持**	t_{CW}	x (0.5 + 3 + N –2) - 6.1	x (1.5 + 3＋N-2) – 24.7	55.4	61.4	ns

(注) 項目 1～18 の 40.5MHz 時の値は内部ウェイト"2"の場合、項目 19～20 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- **出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF**
- **入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V**

W:∶ウェイト挿入数 (内部ウェイトは W＝0~7)

N:∶ 3WAIT + Nwait モード時の N 値

Not Recommended for New Design

② ALE = 1.5 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t_{SYS}	24.6				ns
2	A0 – 15 有効→ ALE 立ち下がり	t_{AL}	1.5x – 2.4		34.5		ns
3	ALE 立ち下がり→ A0 – 15 保持	t_{LA}	0.5x – 1.8		10.5		ns
4	ALE High パルス幅	t_{LL}	1.5x – 0.4		36.5		ns
5	ALE 立ち下がり→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{LC}	0.5x – 2.3		10		ns
6	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち上がり → ALE 立ち上がり	t_{CL}	x – 0.6		24		ns
7	A0-15 有効→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{ACL}	2x – 5.2		44		ns
8	A16-23 有効→ $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち下がり	t_{ACH}	2x – 5.2		44		ns
9	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ 立ち上がり → A16 – 23 保持	t_{CAR}	x – 1.6		23		ns
10	A0 – 15 有効→ D0 – 15 入力	t_{ADL}		x (3 + W) – 42.5		80.5	ns
11	A16 – 23 有効→ D0 – 15 入力	t_{ADH}		x (3 + W) – 42.5		80.5	ns
12	$\overline{RD}$ 立ち下がり→ D0 – 15 入力	t_{RD}		x (1 + W) – 37.3		36.5	ns
13	$\overline{RD}$ Low パルス幅	t_{RR}	x (1 + W) – 2.3		71.5		ns
14	$\overline{RD}$ 立ち上がり→ D0 – 15 保持	t_{HR}	0		0		ns
15	$\overline{RD}$ 立ち上がり→ A0 – 15 出力	t_{RAE}	x – 0.1		24.5		ns
16	$\overline{WR}$ /$\overline{HWR}$ Low パルス幅	t_{WW}	x (1 + W) – 2.8		71		ns
17	D0-15 有効→ $\overline{WR}$ /$\overline{HWR}$ 立ち上がり	t_{DW}	x (1 + W) – 3.8		70		ns
18	$\overline{WR}$ /$\overline{HWR}$ 立ち上がり→ D0 – 15 保持	t_{WD}	x – 0.1		24.5		ns
19	A16 – 23 有効→ $\overline{WAIT}$ 入力	t_{AWH}		x (4 + 0.5) – 28.1		82.6	ns
20	A0 – 15 有効→ $\overline{WAIT}$ 入力	t_{AWL}		x (4 + 0.5) – 28.1		82.6	ns
21	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$→ $\overline{WAIT}$ 保持	t_{CW}	x (0.5 + 3 + N –2) - 6.1	x (1.5 + 3+N-2) – 24.7	55.4	61.4	ns

(注) 項目 1～18 の 40.5MHz 時の値は内部ウェイト"2"の場合、項目 19～20 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

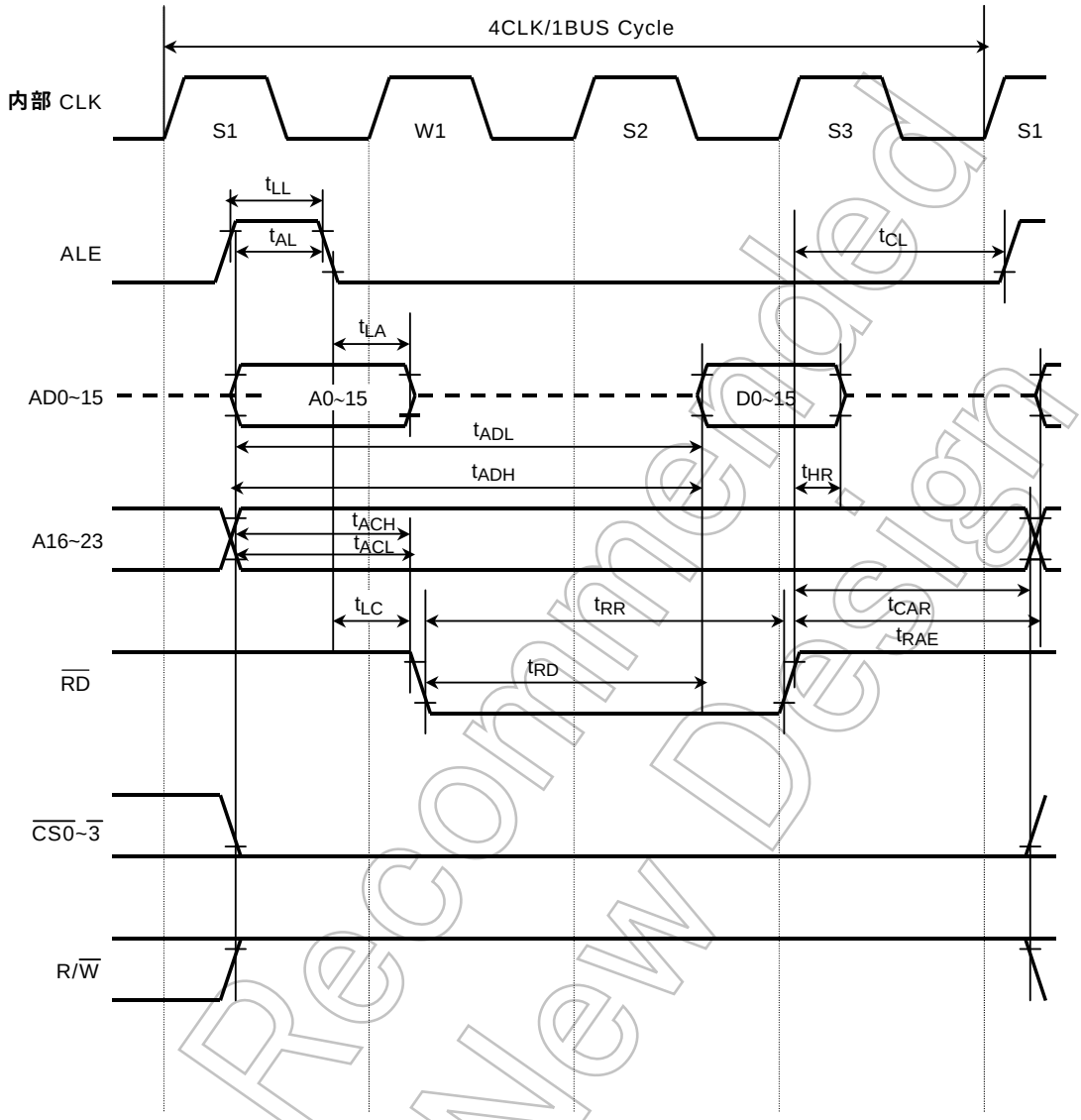
- 出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF
- 入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)

N:: 3WAIT + Nwait モード時の N 値

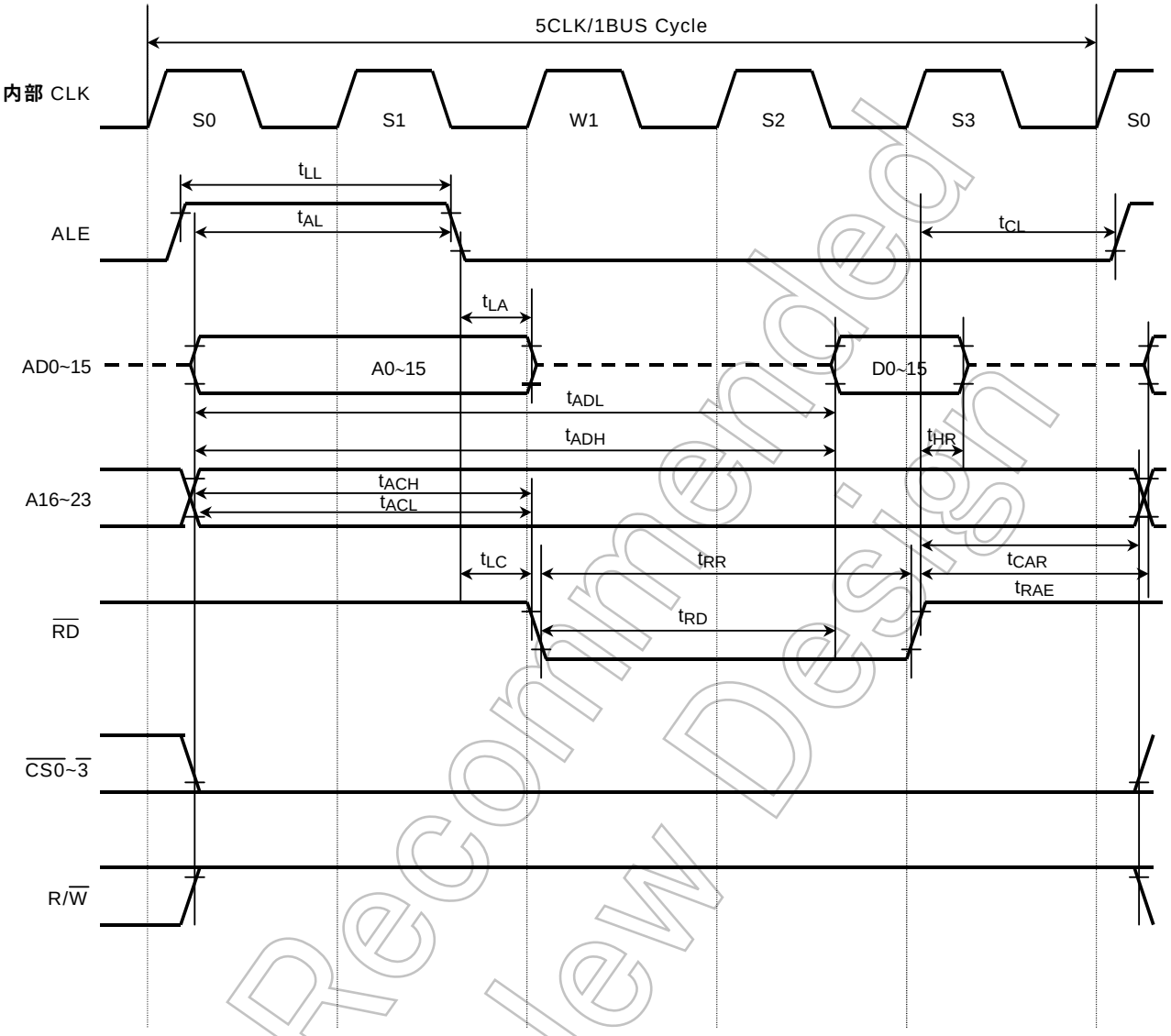
Not Recommended for New Design

(1) リードタイミング (ALE = 0.5、1 ウェイト (内部ウェイト))



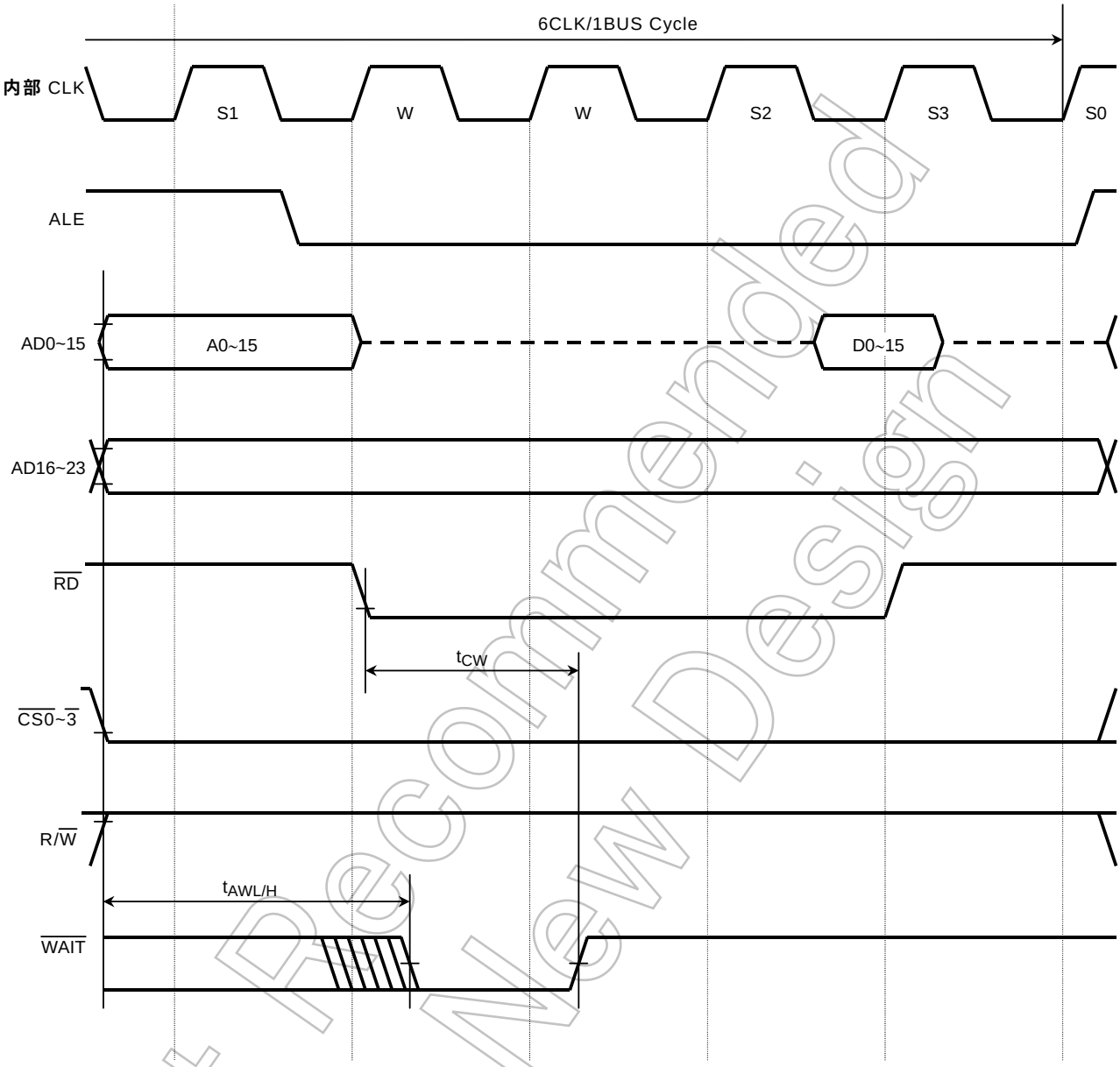
Not Recommended for New Design

(2) リードタイミング (ALE = 1.5、1 ウェイト (内部ウェイト))



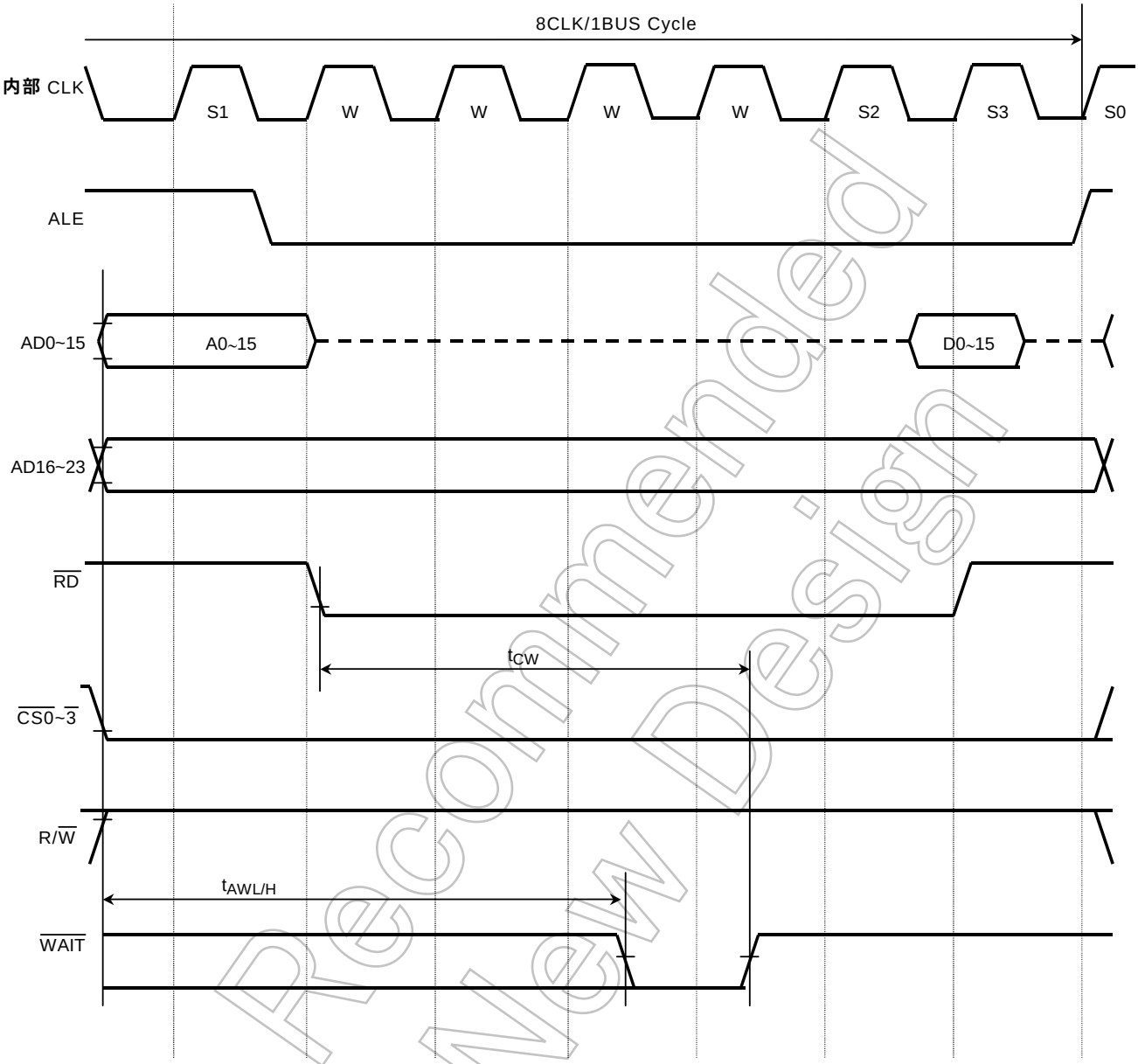
Not Recommended for New Design

(3) リードタイミング (ALE = 1.5、2 ウェイト (外部 1+N ウェイト、N = 1))



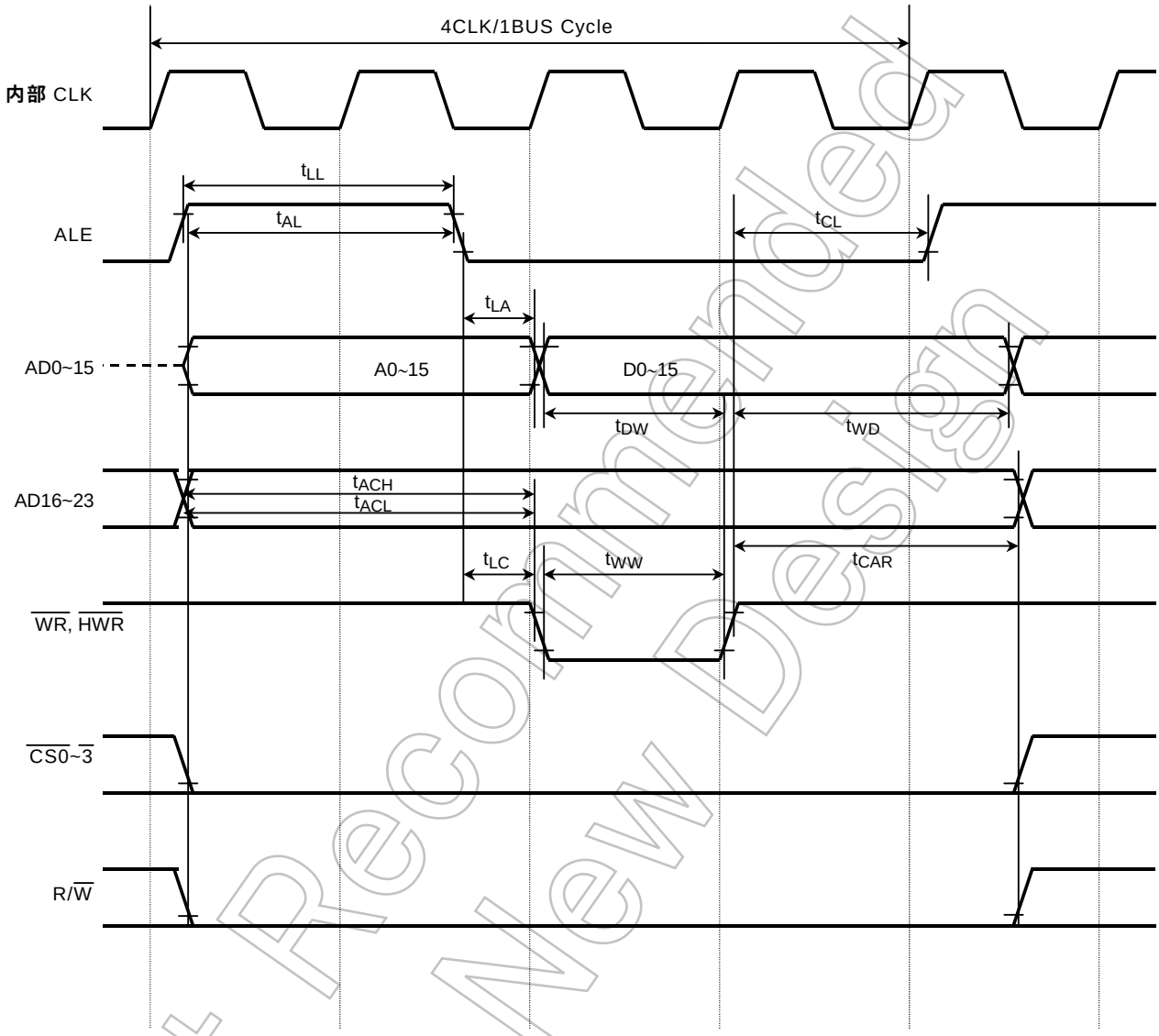
Not Recommended for New Design

(4) リードタイミング (ALE = 1.5、4 ウェイト (外部 3+N ウェイト、N = 1))



Not Recommended for New Design

(5) ライトタイミング (ALE = 1.5、0 ウェイト)



Not Recommended for New Design

[2] セパレートバスモード

(1) DVCC15＝CVCC15＝1.5V±0.15V, DVCC2＝2.5V±0.2V, **AVCC3m**= **3.0**±0.3V
DVCC33＝ 3.0V±0.3V, Ta = －20~85°C

① SYSCR3<ALESEL> = “0”, **自動 1 ウェイト挿入**

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	**システムクロック周期**(x)	t_{SYS}	24.6				ns
2	A0-23 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{AC}	x – 5.1		19.5		ns
3	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり → A0 – 23 保持**	t_{CAR}	x – 1.6		23		ns
4	A0 – 23 **有効→** D0 – 15 **入力**	t_{AD}		x (2 + W) – 35.8		38	ns
5	$\overline{RD}$ **立ち下がり→** D0 – 15 **入力**	t_{RD}		x (1 + W) – 30.7		18.5	ns
6	$\overline{RD}$ Low **パルス幅**	t_{RR}	x (1 + W) – 2.7		46.5		ns
7	$\overline{RD}$ **立ち上がり→** D0 – 15 **保持**	t_{HR}	0		0		ns
8	$\overline{RD}$ **立ち上がり→** A0 – 23 **出力**	t_{RAE}	x– 0.1		24.5		ns
9	$\overline{WR}$ /$\overline{HWR}$ Low **パルス幅**	t_{WW}	x (1 + W) – 3.2		46		ns
10	$\overline{WR}$ /$\overline{HWR}$ **立ち下がり→**D0-15 **有効**	t_{DO}		–		1	ns
11	D0-15 **有効→** $\overline{WR}$ /$\overline{HWR}$ **立ち上がり**	t_{DW}	x (1 + W) – 4.2		45		ns
12	$\overline{WR}$ /$\overline{HWR}$ **立ち上がり→** D0 – 15 **保持**	t_{WD}	x – 0.1		24.5		ns
13	A0 – 23 **有効→** $\overline{WAIT}$ **入力**	t_{AW}		x (3 + 0.5) – 21.6		64.5	ns
14	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$→ $\overline{WAIT}$ **保持**	t_{CW}	x (0.5 + 3 + N-2) - 4.1	x (1.5 + 3＋N-2) – 18.7	57.4	67.4	ns

(注) 項目 1～12 の 40.5MHz 時の値は内部ウェイト”1”の場合、項目 13～14 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- **出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF**
- **入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V**

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)
N:: 3WAIT + Nwait モード時の N 値

Not Recommended for New Design

② SYSCR3<ALESEL> = “1”, **自動 1 ウェイト挿入**

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	**システムクロック周期**(x)	t_{SYS}	24.6				ns
2	A0-23 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{AC}	2x – 5.2		44		ns
3	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり → A0 – 23 保持**	t_{CAR}	x – 1.6		23		ns
4	A0 – 23 **有効→** D0 – 15 **入力**	t_{AD}		x (3 + W) – 35.9		62.5	ns
5	$\overline{RD}$ **立ち下がり→** D0 – 15 **入力**	t_{RD}		x (1 + W) – 30.7		18.5	ns
6	$\overline{RD}$ Low **パルス幅**	t_{RR}	x (1 + W) – 2.7		46.5		ns
7	$\overline{RD}$ **立ち上がり→** D0 – 15 **保持**	t_{HR}	0		0		ns
8	$\overline{RD}$ **立ち上がり→** A0 – 23 **出力**	t_{RAE}	x		24.6		ns
9	$\overline{WR}$ /$\overline{HWR}$ Low **パルス幅**	t_{WW}	x (1 + W) – 3.2		46		ns
10	$\overline{WR}$ /$\overline{HWR}$ **立ち下がり→**D0-15 **有効**	t_{DO}		–		1	ns
11	D0-15 **有効→** $\overline{WR}$ /$\overline{HWR}$ **立ち上がり**	t_{DW}	x (1 + W) – 4.2		45		ns
12	$\overline{WR}$ /$\overline{HWR}$ **立ち上がり→** D0 – 15 **保持**	t_{WD}	x – 0.1		24.5		ns
13	A0 – 23 **有効→** $\overline{WAIT}$ **入力**	t_{AW}		x (4 + 0.5) – 21.7		89	ns
14	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$**→** $\overline{WAIT}$ **保持**	t_{CW}	x (0.5 + 3 + N-2) - 4.1	x (1.5 + 3+N-2) – 18.7	57.4	67.4	ns

(注) 項目 1～12 の 40.5MHz 時の値は内部ウェイト”1”の場合、項目 13～14 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- **出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF**
- **入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V**

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)

N:: 3WAIT + Nwait モード時の N 値

Not Recommended for New Design

(2) DVCC15＝CVCC15＝1.5V±0.15V, DVCC2＝2.5V±0.2V, **AVCC3m**= **3.0**±0.3V
DVCC33＝ 2.5V±0.2V, Ta = －20~85°C

① SYSCR3<ALESEL> = “0”, **自動 1 ウェイト挿入**

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	**システムクロック周期**(x)	t_{SYS}	24.6				ns
2	A0-23 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{AC}	x – 5.1		19.5		ns
3	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり → A0 – 23 保持**	t_{CAR}	x – 1.6		23		ns
4	A16 – 23 **有効→** D0 – 15 **入力**	t_{AD}		x (2 + W) – 36.8		37	ns
5	$\overline{RD}$ **立ち下がり→** D0 – 15 **入力**	t_{RD}		x (1 + W) – 31.7		17.5	ns
6	$\overline{RD}$ Low **パルス幅**	t_{RR}	x (1 + W) – 2.2		47		ns
7	$\overline{RD}$ **立ち上がり→** D0 – 15 **保持**	t_{HR}	0		0		ns
8	$\overline{RD}$ **立ち上がり→** A0 – 23 **出力**	t_{RAE}	x – 0.1		24.5		ns
9	$\overline{WR}$ /$\overline{HWR}$ Low **パルス幅**	t_{WW}	x (1 + W) – 2.7		46.5		ns
10	$\overline{WR}$ /$\overline{HWR}$ **立ち下がり→**D0-15 **有効**	t_{DO}		－		1.5	ns
11	D0-15 **有効→** $\overline{WR}$ /$\overline{HWR}$ **立ち上がり**	t_{DW}	x (1 + W) – 3.8		45.5		ns
12	$\overline{WR}$ /$\overline{HWR}$ **立ち上がり→** D0 – 15 **保持**	t_{WD}	x –0.1		24.5		ns
13	A16 – 23 **有効→** $\overline{WAIT}$ **入力**	t_{AW}		x (3 + 0.5) – 22.6		63.5	ns
14	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$**→** $\overline{WAIT}$ **保持**	t_{CW}	x (0.5 + 3 + N-2) - 5.1	x (1.5 + 3＋N-2) – 19.7	56.4	66.4	ns

(注) 項目 1～12 の 40.5MHz 時の値は内部ウェイト”1”の場合、項目 13～14 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- **出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF**
- **入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V**

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)
N:: 3WAIT + Nwait モード時の N 値

Not Recommended for New Design

② SYSCR3<ALESEL> = “1”, **自動 1 ウェイト挿入**

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	**システムクロック周期**(x)	t_{SYS}	24.6				ns
2	A0-23 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{AC}	2x – 5.2		44		ns
3	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり → A0 – 23 保持**	t_{CAR}	x – 1.6		23		ns
4	A16 – 23 **有効→** D0 – 15 **入力**	t_{AD}		x (3 + W) – 36.9		61.5	ns
5	$\overline{RD}$ **立ち下がり→** D0 – 15 **入力**	t_{RD}		x (1 + W) – 31.7		17.5	ns
6	$\overline{RD}$ Low **パルス幅**	t_{RR}	x (1 + W) – 2.2		47		ns
7	$\overline{RD}$ **立ち上がり→** D0 – 15 **保持**	t_{HR}	0		0		ns
8	$\overline{RD}$ **立ち上がり→** A0 – 23 **出力**	t_{RAE}	x – 0.1		24.5		ns
9	$\overline{WR}$ /$\overline{HWR}$ Low **パルス幅**	t_{WW}	x (1 + W) – 2.7		46.5		ns
10	$\overline{WR}$ /$\overline{HWR}$ **立ち下がり→**D0-15 **有効**	t_{DO}		–		1.5	ns
11	D0-15 **有効→** $\overline{WR}$ /$\overline{HWR}$ **立ち上がり**	t_{DW}	x (1 + W) – 3.8		45.5		ns
12	$\overline{WR}$ /$\overline{HWR}$ **立ち上がり→** D0 – 15 **保持**	t_{WD}	x –0.1		24.5		ns
13	A0 – 23 **有効→** $\overline{WAIT}$ **入力**	t_{AW}		x (4 + 0.5) – 22.6		88.1	ns
14	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$**→** $\overline{WAIT}$ **保持**	t_{CW}	x (0.5 + 3 + N-2) - 5.1	x (1.5 + 3＋N-2) – 19.7	56.4	66.4	ns

(注) 項目 1～12 の 40.5MHz 時の値は内部ウェイト”1”の場合、項目 13～14 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- **出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF**
- **入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V**

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)

N:: 3WAIT + Nwait モード時の N 値

Not Recommended for New Design

(3) DVCC15＝CVCC15＝1.5V±0.15V, DVCC2＝2.5V±0.2V, **AVCC3m**= **3.0**±0.3V
DVCC33＝ 1.8V±0.15V, Ta = －20~85°C

① SYSCR3<ALESEL> = “0”, **自動 2 ウェイト挿入**

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	**システムクロック周期**(x)	t_{SYS}	24.6				ns
2	A0-23 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{AC}	x – 5.1		19.5		ns
3	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり → A0 – 23 保持**	t_{CAR}	x – 1.6		23		ns
4	A0 – 23 **有効→** D0 – 15 **入力**	t_{AD}		x (2 + W) – 42.4		56	ns
5	$\overline{RD}$ **立ち下がり→** D0 – 15 **入力**	t_{RD}		x (1 + W) – 37.3		36.5	ns
6	$\overline{RD}$ Low **パルス幅**	t_{RR}	x (1 + W) – 2.3		71.5		ns
7	$\overline{RD}$ **立ち上がり→** D0 – 15 **保持**	t_{HR}	0		0		ns
8	$\overline{RD}$ **立ち上がり→** A0 – 23 **出力**	t_{RAE}	x – 0.1		24.5		ns
9	$\overline{WR}$ /$\overline{HWR}$ Low **パルス幅**	t_{WW}	x (1 + W) – 2.8		71		ns
10	$\overline{WR}$ /$\overline{HWR}$ **立ち下がり→**D0-15 **有効**	t_{DO}		－		2	ns
11	D0-15 **有効→** $\overline{WR}$ /$\overline{HWR}$ **立ち上がり**	t_{DW}	x (1 + W) – 3.8		70		ns
12	$\overline{WR}$ /$\overline{HWR}$ **立ち上がり→** D0 – 15 **保持**	t_{WD}	x – 0.1		24.5		ns
13	A0 – 23 **有効→** $\overline{WAIT}$ **入力**	t_{AWH}		x (3 + 0.5) – 28.1		58	ns
14	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$→ $\overline{WAIT}$ **保持**	t_{CW}	x (0.5 + 3 + N –2) - 6.1	x (1.5 + 3＋N-2) – 24.7	55.4	61.4	ns

(注) 項目 1～12 の 40.5MHz 時の値は内部ウェイト”2”の場合、項目 13～14 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

- **出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF**
- **入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V**

W:：ウェイト挿入数 (内部ウェイトは W＝0~7)
N:：3WAIT + Nwait モード時の N 値

Not Recommended for New Design

② SYSCR3<ALESEL> = “1”, **自動 2 ウェイト挿入**

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	**システムクロック周期**(x)	t_{SYS}	24.6				ns
2	A0-23 **有効→** $\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち下がり**	t_{AC}	2x – 5.2		44		ns
3	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$ **立ち上がり → A0 – 23 保持**	t_{CAR}	x – 1.6		23		ns
4	A16 – 23 **有効→** D0 – 15 **入力**	t_{AD}		x (3 + W) – 42.5		80.5	ns
5	$\overline{RD}$ **立ち下がり→** D0 – 15 **入力**	t_{RD}		x (1 + W) – 37.3		36.5	ns
6	$\overline{RD}$ Low **パルス幅**	t_{RR}	x (1 + W) – 2.3		71.5		ns
7	$\overline{RD}$ **立ち上がり→** D0 – 15 **保持**	t_{HR}	0		0		ns
8	$\overline{RD}$ **立ち上がり→** A0 – 23 **出力**	t_{RAE}	x – 0.1		24.5		ns
9	$\overline{WR}$ /$\overline{HWR}$ Low **パルス幅**	t_{WW}	x (1 + W) – 2.8		71		ns
10	$\overline{WR}$ /$\overline{HWR}$ **立ち下がり→**D0-15 **有効**	t_{DO}		–		2	ns
11	D0-15 **有効→** $\overline{WR}$ /$\overline{HWR}$ **立ち上がり**	t_{DW}	x (1 + W) – 3.8		70		ns
12	$\overline{WR}$ /$\overline{HWR}$ **立ち上がり→** D0 – 15 **保持**	t_{WD}	x – 0.1		24.5		ns
13	A0 – 23 **有効→** $\overline{WAIT}$ **入力**	t_{AWH}		x (4 + 0.5) – 28.1		82.6	ns
14	$\overline{RD}$ / $\overline{WR}$ /$\overline{HWR}$**→** $\overline{WAIT}$ **保持**	t_{CW}	x (0.5 + 3 + N –2) - 6.1	x (1.5 + 3+ N-2) – 24.7	55.4	61.4	ns

(注) 項目 1～12 の 40.5MHz 時の値は内部ウェイト”2”の場合、項目 13～14 は外部ウェイト入力 3＋N (N＝1) の場合

AC 測定条件

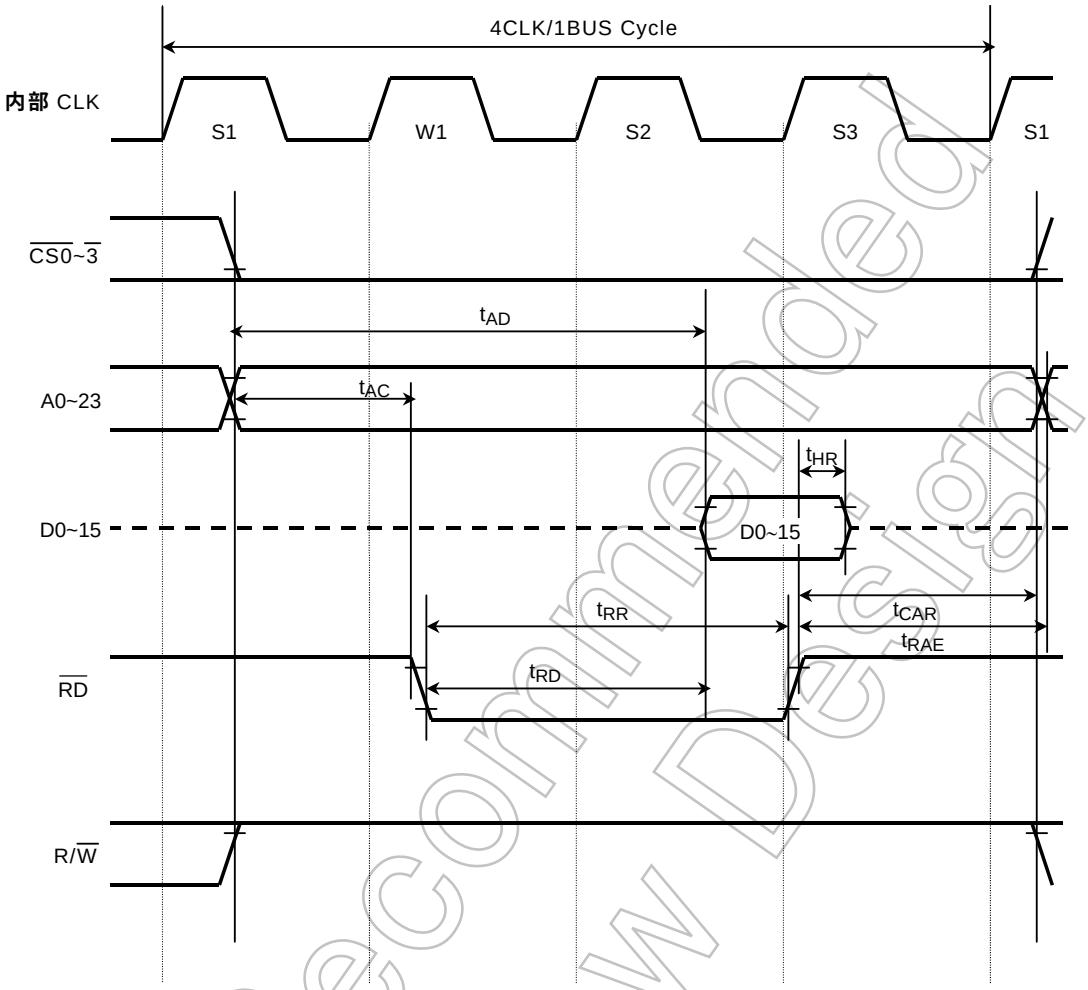
- **出力レベル: High 0.8DVCC33 V/Low 0.2DVCC33 V, CL = 30 pF**
- **入力レベル: High 0.7DVCC33 V/Low 0.3DVCC33 V**

W:: ウェイト挿入数 (内部ウェイトは W＝0~7)

N:: 3WAIT + Nwait モード時の N 値

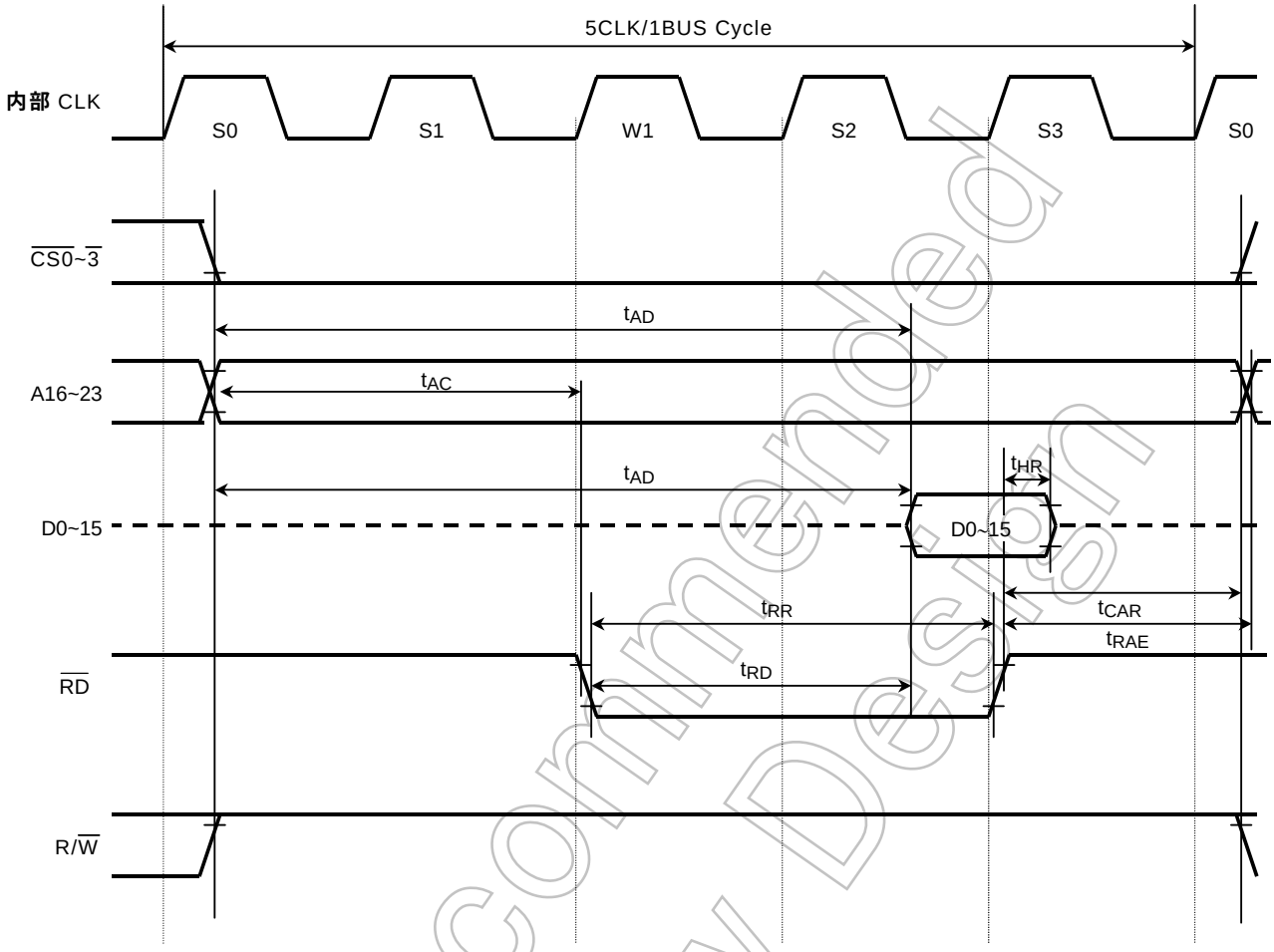
Not Recommended for New Design

(1) リードタイミング (SYSCR3<ALESEL> = "0"、1 ウェイト (内部ウェイト))



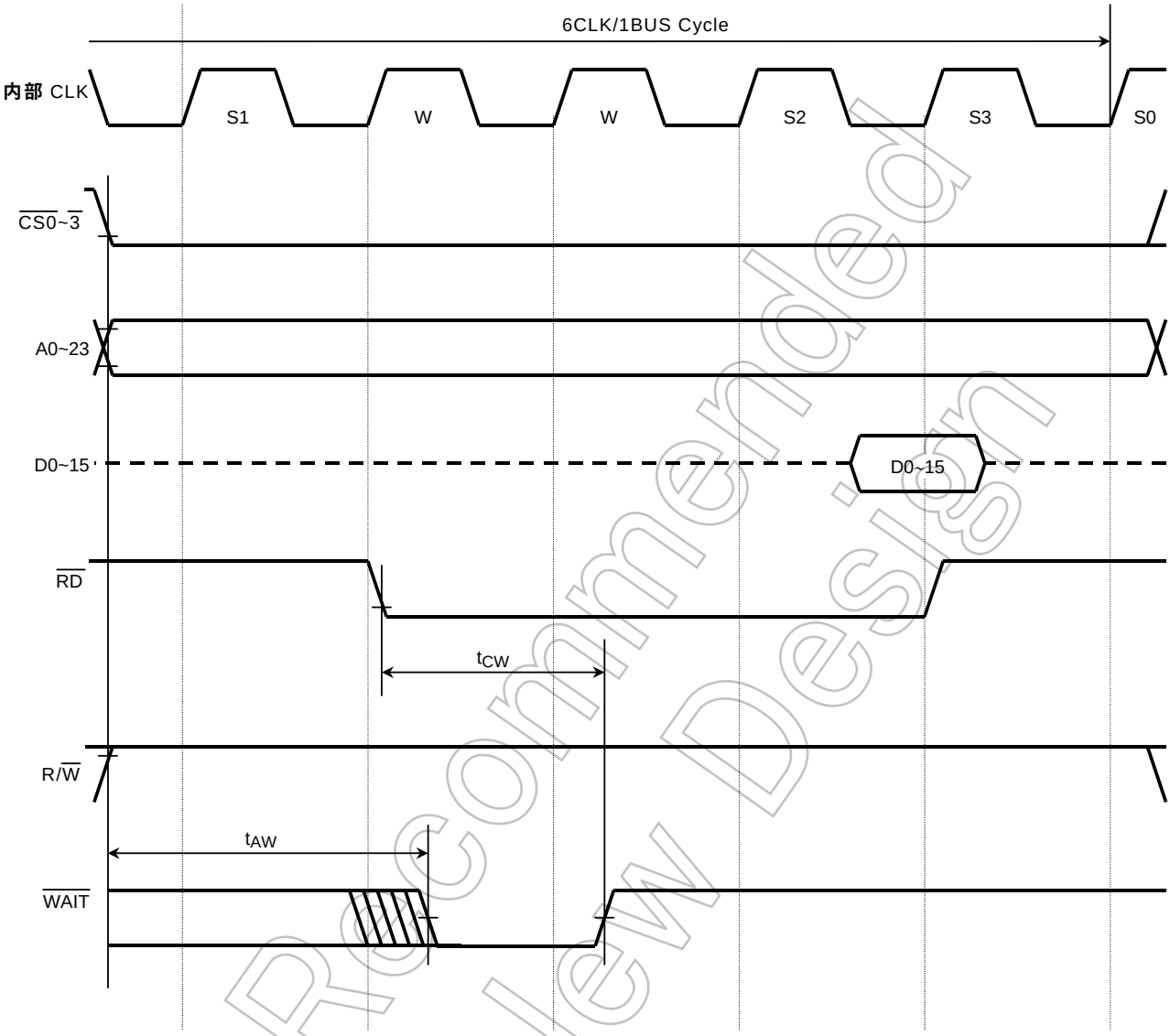
Not Recommended for New Design

(2) リードタイミング (SYSCR3<ALESEL> = "1"、1 ウェイト (内部ウェイト))



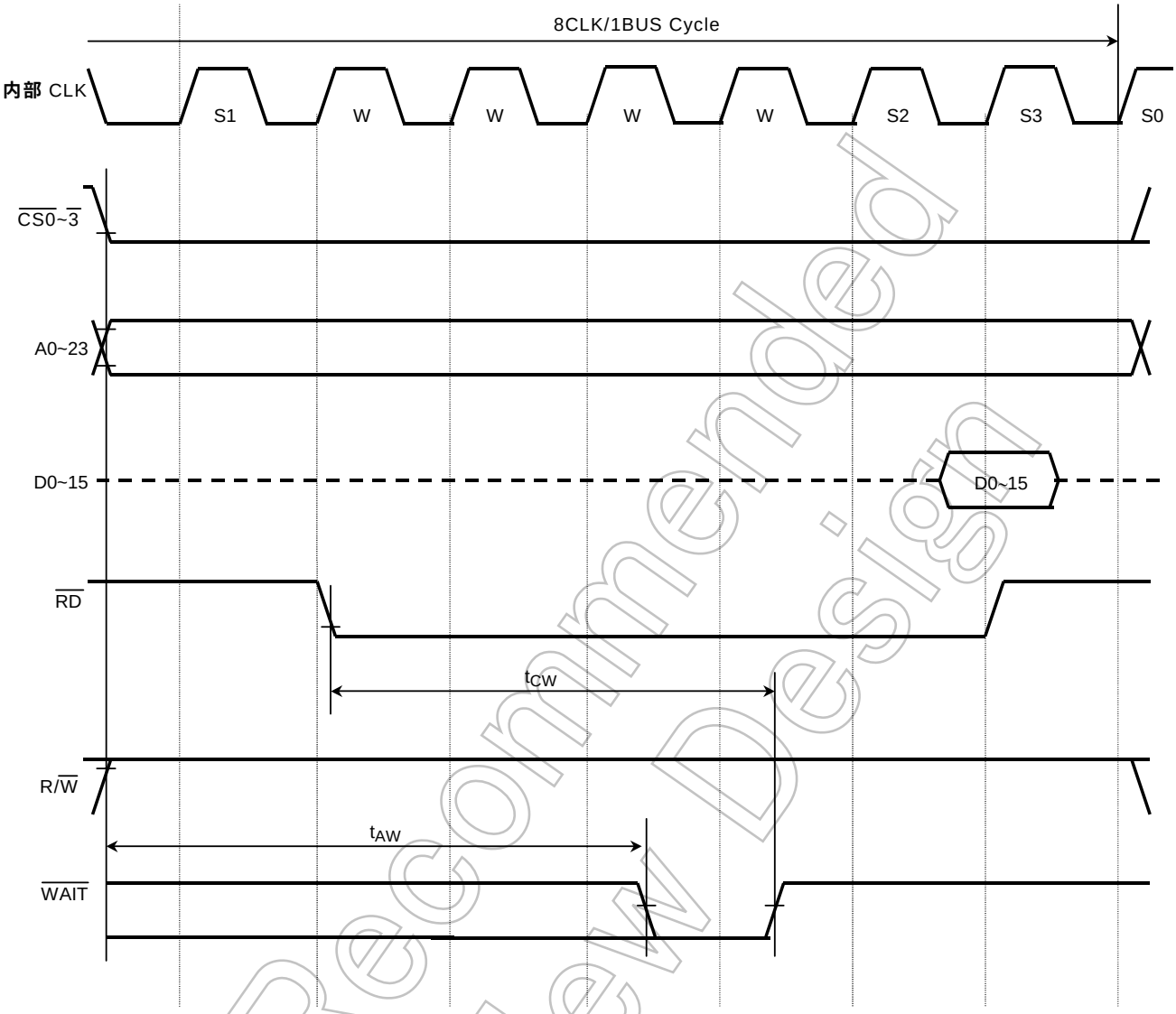
Not Recommended for New Design

(3) リードタイミング (SYSCR3<ALESEL> = "1"、2 ウェイト (外部 1+N ウェイト、N = 1))



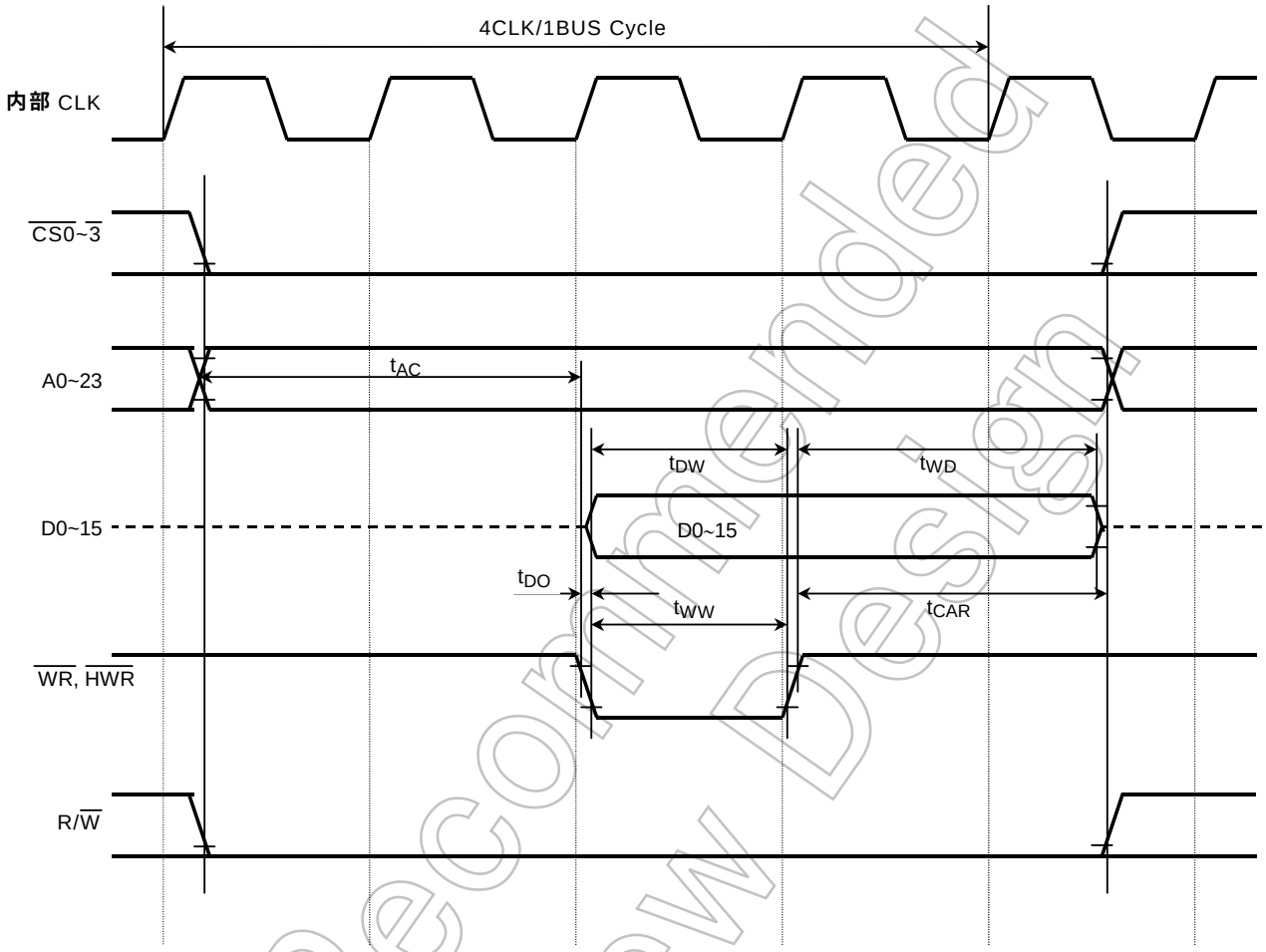
Not Recommended for New Design

(4)**リードタイミング** (SYSCR3<ALESEL> = "1"、**4 ウェイト (外部 3+N ウェイト、N = 1))**



Not Recommended for New Design

(5) ライトタイミング (SYSCR3<ALESEL> = “1”、0 ウェイト)



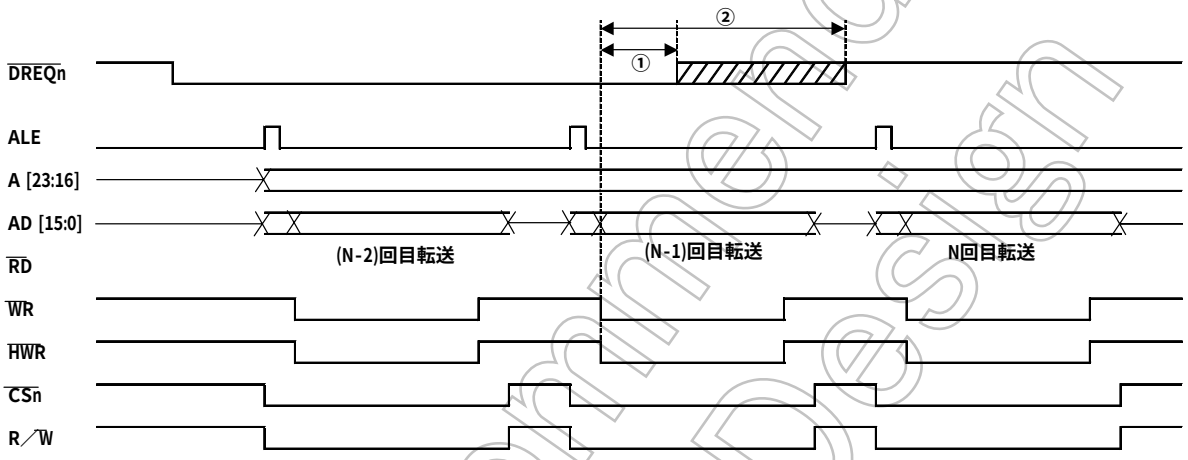
Not Recommended for New Design

22.7 DMA リクエストを使用した転送

マルチプレクスバスモードで、内蔵 RAM と外部デバイスとの転送例を示します。

- 16 ビットバス幅、リカバリタイムなし
- DMA 転送モードはレベルモード
- 転送単位（TrSiz） 16bit 、デバイスポートサイズ（DPS） 16bit
- ソース／ディスティネーション ： 内蔵 RAM／外部デバイス

内蔵 RAM to 外部デバイス（ライト時）（Mem to Mem 転送）のタイミングを図に示します。



① N 回目の転送が確実に行われるための条件
② N+1 回目の転送が行われないための条件

(1) DVCC2m＝FVCC2＝CVCC2＝2.5V±0.2V, FVCC3＝ 3.3V±0.3V , **AVCC3m= 3.0**±0.3V
DVCC32＝ 2.3V～3.3V, Ta = －20~85°C （m＝1～2）

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			①Min	②Max	Min	Max	
2	$\overline{RD}$ 立ち下がり→$\overline{DREQn}$のデアサート（外部デバイス to 内蔵 RAM）	tDREQ_r	Wx-4.2	(2W＋ALE＋6) x－51	45	195	ns
3	$\overline{WR}$ /$\overline{HWR}$ 立ち上がり→$\overline{DREQn}$ のデアサート（内蔵 RAMto 外部デバイス）	tDREQ_w	0	(2W＋ALE＋4) x－51.8	0	145	ns

(2) DVCC2m＝FVCC2＝CVCC2＝2.5V±0.2V, FVCC3＝ 3.3V±0.3V , **AVCC3m= 3.0**±0.3V
DVCC32＝ 1.8V±0.15V, Ta = －20~85°C （m＝1～2）

No.	項目	記号	計算式		40.5 MHz (fsys)(注)		単位
			①Min	②Max	Min	Max	
2	$\overline{RD}$ 立ち下がり→$\overline{DREQn}$のデアサート（外部デバイス to 内蔵 RAM）	tDREQ_r	Wx-6.2	(2W＋ALE＋6) x－56	43	190	Wx-6.2
3	$\overline{WR}$ /$\overline{HWR}$ 立ち上がり→$\overline{DREQn}$ のデアサート（内蔵 RAMto 外部デバイス）	tDREQ_w	0	(2W＋ALE＋4) x－56.8	0	140	ns

W：ウェイト数、例えば、外部 1+N ウェイト（N=1）の場合は、W＝2
ALE：ALE0.5 クロックの時は ALE=0、ALE=1.5 クロックの時は ALE=1 を代入
表中の計算は、W＝2、ALE＝0 として計算

Not Recommended for New Design

22.8 シリアルチャネルタイミング

(1) I/O インタフェースモード（DVCC3＝3.0V±0.3V）

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

① SCLK 入力モード（SIO0~SIO6）

項　　目		記号	計算式		40.5 MHz		単位
			Min	Max	Min	Max	
SCLK 周期		t_{SCY}	12x		296		ns
Output Data	← SCLK 立ち上がり/立ち下がり*	t_{OSS}	2x-45		4		ns
SCLK 立ち上がり/立ち下がり*	→ Output Data 保持	t_{OHS}	8x-15		182		ns
有効 Data 入力	← SCLK 立ち上がり/立ち下がり*	t_{SRD}	30		30		ns
SCLK 立ち上がり/立ち下がり*	→ Input Data 保持	t_{HSR}	2x-30		19		ns

*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード　　（SIO0~SIO6）

項　　目		記号	計算式		40.5 MHz		単位
			Min	Max	Min	Max	
SCLK 周期 (プログラマブル)		t_{SCY}	8x		197		ns
Output Data	← SCLK 立ち上がり	t_{OSS}	4x-10		88		ns
SCLK 立ち上がり	→ Output Data 保持	t_{OHS}	4x-10		88		ns
有効 Data 入力	← SCLK 立ち上がり	t_{SRD}	45		45		ns
SCLK 立ち上がり	→ Input put Data 保持	t_{HSR}	0		0		ns

Not Recommended for New Design

(2) I/O インタフェースモード（DVCC3＝2.5V±0.2V）

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

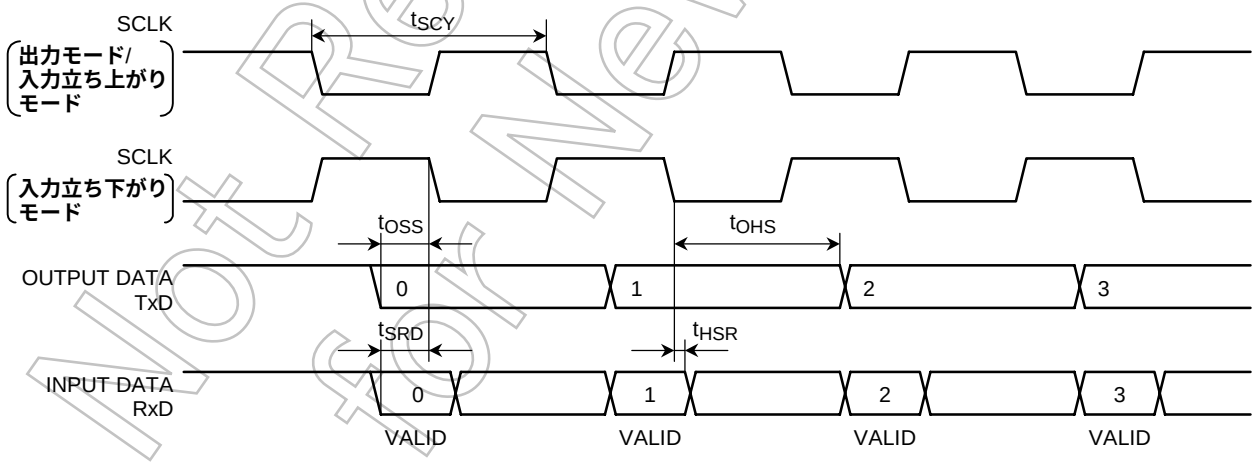
① SCLK 入力モード（SIO0~SIO6）

項　　目		記号	計算式		40.5 MHz		単位
			Min	Max	Min	Max	
SCLK 周期		t_{SCY}	16x		395		ns
Output Data	← SCLK 立ち上がり/立ち下がり*	t_{OSS}	4x-60		38		ns
SCLK 立ち上がり/立ち下がり*	→ Output Data 保持	t_{OHS}	10x-15		232		ns
有効 Data 入力	← SCLK 立ち上がり/立ち下がり*	t_{SRD}	30		30		ns
SCLK 立ち上がり/立ち下がり*	→ Input Data 保持	t_{HSR}	2x+10		59		ns

*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード　（SIO0~SIO6）

項　　目		記号	計算式		40.5 MHz		単位
			Min	Max	Min	Max	
SCLK 周期 (プログラマブル)		t_{SCY}	8x		197		ns
Output Data	← SCLK 立ち上がり	t_{OSS}	4x-10		88		ns
SCLK 立ち上がり	→ Output Data 保持	t_{OHS}	4x-10		88		ns
有効 Data 入力	← SCLK 立ち上がり	t_{SRD}	60		60		ns
SCLK 立ち上がり	→ Input put Data 保持	t_{HSR}	0		0		ns



Not Recommended for New Design

22.9 シリアルバスインタフェースタイミング

(1) I2C モード

表中の x はシステムクロック fsys の周期を、T はφT0 を表します。

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

項　　目	記号	計算式		標準モード f_{SYS} = 8 MHz n = 4		ファーストモード f_{SYS} = 32 MHz n = 4		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0		0	100	0	400	kHz
スタートコンディション保持	$t_{HD:STA}$			4.0		0.6		μs
SCL クロック Low 幅 (入力) （注1）	t_{LOW}			4.7		1.3		μs
SCL クロック High 幅 (入力) （注2）	t_{HIGH}			4.0		0.6		μs
再スタートコンディションセットアップ時間	$t_{SU;STA}$	ソフト (注 5)		4.7		0.6		μs
データ保持時間（入力）（注3,4）	$t_{HD;DAT}$			0.0		0.0		μs
データセットアップ時間	$t_{SU;DAT}$			250		100		ns
ストップコンディションセットアップ時間	$t_{SU;STO}$			4.0		0.6		μs
ストップコンディションとスタートコンディション間のバスフリー時間	t_{BUF}	ソフト (注5)		4.7		1.3		μs

注1）SCL クロック LOW 幅(出力)は$(2^{(n-1)} + 4)$ T で計算されて、標準モード：6usec@Typ（fsys=8MHZ、n=4）

ファーストモード：1.5usec@Typ（fsys=32MHZ、n=4）

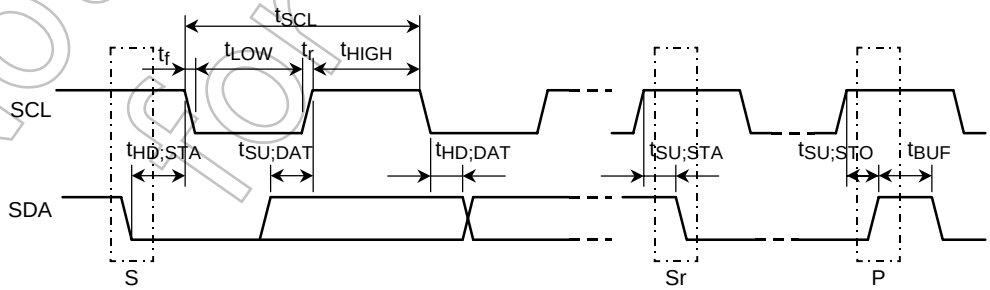
注2）SCL クロック HIGH 幅(出力)は$(2^{(n-1)})$ T で計算されて、標準モード：4usec@Typ（fsys=8MHZ、n=4）

ファーストモード：1usec@Typ（fsys=32MHZ、n=4）

注3）データ保持時間（出力）は内部 SCL から１２X の時間です。

注4）フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロープコントロール機能をもっていません。従って、SCL／SDA の tr/tf を含めて BUS 上で上表のデータ保持時間（入力）を守る様に設計してください。

注5） ソフトウエアに依存します。



S: スタートコンディション
Sr: 再スタートコンディション
P; ストップコンディション

ファーストモードでは、fsys ≧ 20 MHz、スタンダードモードでは、fsys ≧ 4 MHz で使用ください。

Not Recommended for New Design

(2) クロック同期式 8 ビット SIO モード

表中の x はシステムクロック fsys の周期を、T はϕT0 を表します。

n は SBI0CR1 レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

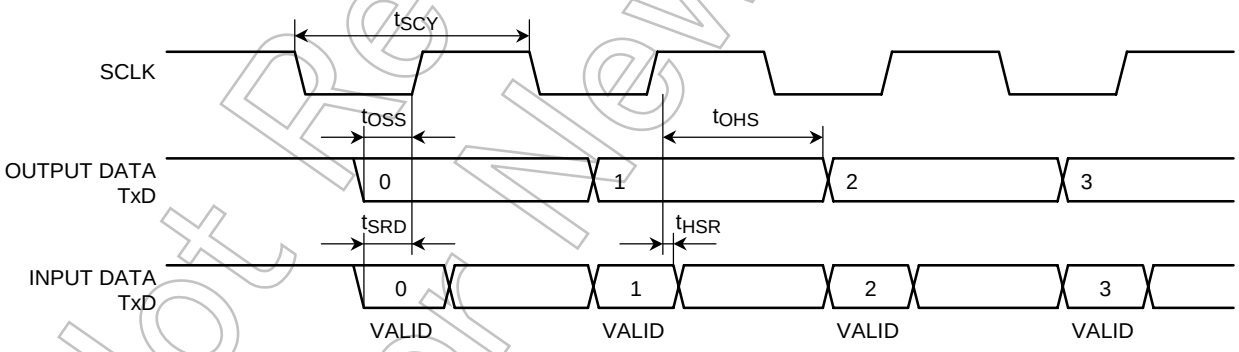
SCK デューティ 50%の場合

③ SCK 入力モード

項　　目		記号	計算式		40.5 MHz		単位
			Min	Max	Min	Max	
SCK **周期**		t_{SCY}	16x		395		ns
Output Data	← SCK **立ち上がり**	t_{OSS}	$(t_{SCY}/2) - (6x + 30)$		19		ns
SCK **立ち上がり**	→ Output Data **保持**	t_{OHS}	$(t_{SCY}/2) + 4x$		296		ns
有効 Data **入力**	← SCK **立ち上がり**	t_{SRD}	0		0		ns
SCK **立ち上がり**	→ Input Data **保持**	t_{HSR}	4x + 10		108		ns

④ SCK 出力モード

項　　目		記号	計算式		32 MHz		単位
			Min	Max	Min	Max	
SCK **周期(プログラマブル)**		t_{SCY}	$2^n \cdot T$		1000		ns
Output Data	← SCK **立ち上がり**	t_{OSS}	$(t_{SCY}/2) - 20$		480		ns
SCK **立ち上がり**	→ Output Data **保持**	t_{OHS}	$(t_{SCY}/2) - 20$		480		ns
有効 Data **入力**	← SCK **立ち上がり**	t_{SRD}	2x + 30		92		ns
SCK **立ち上がり**	→ Input put Data **保持**	t_{HSR}	0		0		ns



Not Recommended for New Design

22.10 イベントカウンタ

表中の x はシステムクロック fsys の周期を表します。

項　　目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	2X + 100		149		ns
クロック高レベルパルス幅	t_{VCKH}	2X + 100		149		ns

22.11 キャプチャ

表中の x はシステムクロック fsys の周期を表します。

項　　目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	2X + 100		149		ns
高レベルパルス幅	t_{CPH}	2X + 100		149		ns

22.12 割り込み (INTC)

表中の x はシステムクロック fsys の周期を表します。

項　　目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
INT0~A 低レベルパルス幅	t_{INTAL}	X + 100		125		ns
INT0~A 高レベルパルス幅	t_{INTAH}	X + 100		125		ns

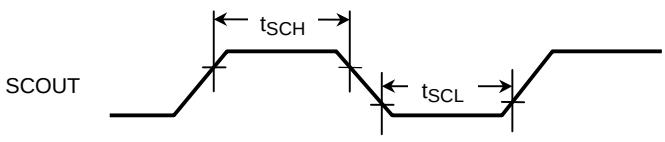
22.13 割り込み ($\overline{NMI}$, STOP/SLEEP 解除割り込み)

項　　目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
$\overline{NMI}$, INT0~4 低レベルパルス幅	t_{INTBL}	100		100		ns
INT0~4 高レベルパルス幅	t_{INTBH}	100		100		ns

22.14 SCOUT 端子 AC 特性

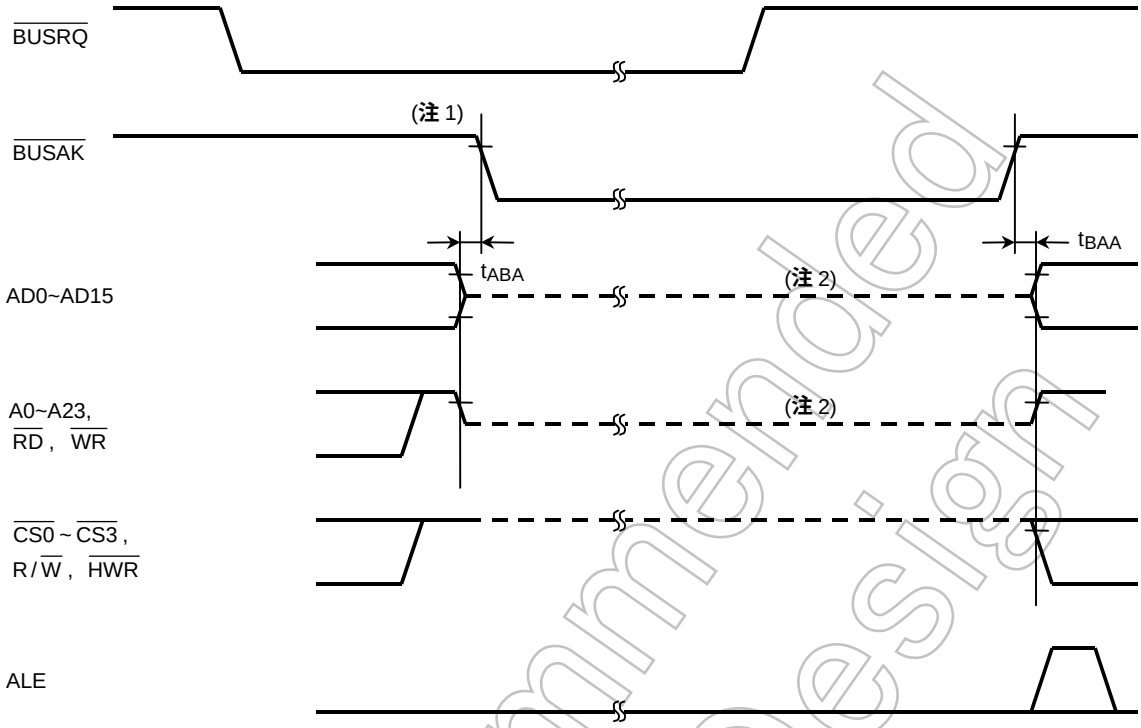
項　　目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	0.5T – 5		7.4		ns
低レベルパルス幅	t_{SCL}	0.5T – 5		7.4		ns

(注)　表中の「T」は、SCOUT 出力波形の周期を示します。



Not Recommended for New Design

22.15 バスリクエスト/ バスアクノリッジ



項　　目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	80	0	80	ns

(注 1) BUSRQ を"Low" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

(注 2) この破線は出力バッファが OFF になっていることだけを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

Not Recommended for New Design

22.16 KWUP 入力

PULL UP 未使用時

項目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
KEY0～D 低レベルパルス幅	tky_{TBL}	100		100		ns
KEY0～D 高レベルパルス幅	tky_{TBH}	100		100		ns

STATIC PULL UP

項目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
KEY0～D 低レベルパルス幅	tky_{TBL}	100		100		ns

DYNAMIC PULL UP 時

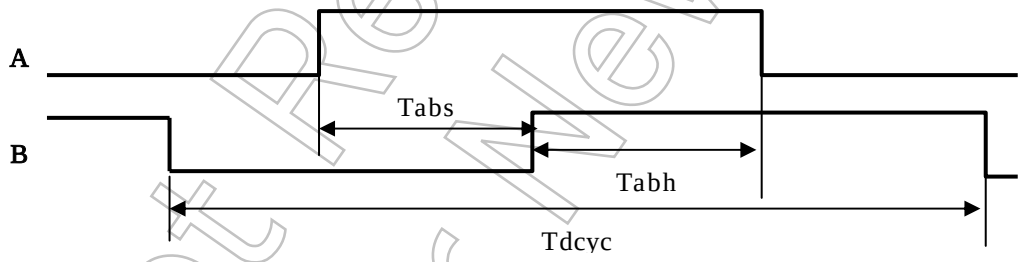
項目	記号	計算式		40.5 kHz		単位
		Min	Max	Min	Max	
KEY0～D 低レベルパルス幅	tky_{TBL}	T2＋100		T2＋100		ns

T2:ダイナミックプルアップ周期

22.17 2相パルス入力

項目	記号	計算式		40.5MHz		単位
		Min	Max	Min	Max	
2相入力パルス周期	Tdcyc	8Y		395		ns
2相入力セットアップ	Tabs	Y＋20		70		ns
2相入力ホールド	Tabh	Y＋20		70		ns

Y は Sampling clock。（fsys/2）



22.18 ADTRG 入力

項目	記号	計算式		40.5 MHz		単位
		Min	Max	Min	Max	
ADTRG 低レベルパルス幅	tad_L	fsysy/2＋20		32.4		ns
ADTRG 高レベルパルス間隔	Tadh	fsysy/2＋20		32.4		ns

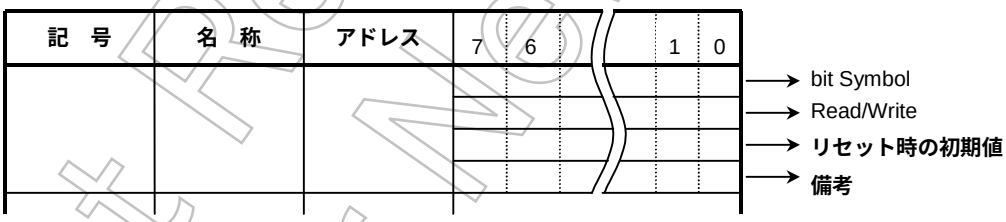
Not Recommended for New Design

23. 特殊機能レジスター一覧表

FFFFE000H~FFFFFFFFH の 8K バイトのアドレス空間に割り付けられています。
（ビッグエンディアンでのレジスタ配置）

[1] ポート関連
[2] ウォッチドッグタイマ
[3] 時計用タイマ
[4] 8 ビットタイマ
[5] 16 ビットタイマ
[6] I^2CBUS/シリアル チャネル
[7] UART/シリアル チャネル
[8] 10 ビット A/D コンバータ
[9] キーオンウェイクアップ
[10] 32 ビットインプットキャプチャ
[11] 32 ビットコンペア
[12] 割り込みコントローラ
[13] DMA コントローラ
[14] チップセレクト／ウェイトコントローラ
[15] クロックジェネレータ
[16] ＦＬＡＳＨ制御
[17] ＲＯＭコレクション

表の構成



記号の意味

R/W : Read/Write 可能
R : Read のみ可能
W : Write のみ可能
W* : Read/Write 可能 (ただし、Read した場合、“1” が読み出されます)

Not Recommended for New Design

ビッグエンディアン

[1] PORT 関連

ADR	レジスタ名
FFFFF000H	
1H	P0CR
2H	P1
3H	P0
4H	
5H	
6H	P1FC
7H	P1CR
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF010H	
1H	P2
2H	
3H	
4H	
5H	
6H	P2FC
7H	P2CR
8H	P3FC
9H	P3CR
AH	
BH	P3
CH	
DH	P4
EH	
FH	

ADR	レジスタ名
FFFFF020H	
1H	
2H	P4FC
3H	P4CR
4H	
5H	
6H	
7H	
8H	
9H	
AH	P6
BH	P5
CH	P6FC
DH	P6CR
EH	P5FC
FH	P5CR

ADR	レジスタ名
FFFFF030H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF040H	PA
1H	P9
2H	P8
3H	P7
4H	PACR
5H	
6H	
7H	
8H	PAFC
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF050H	PE
1H	PD
2H	PC
3H	PB
4H	PECR
5H	PDCR
6H	PCCR
7H	PBCR
8H	PEFC
9H	PDFC
AH	PCFC
BH	PBFC
CH	PEODE
DH	PDODE
EH	PCODE
FH	

ADR	レジスタ名
FFFFF060H	PI
1H	PH
2H	PG
3H	PF
4H	PICR
5H	PHCR
6H	PGCR
7H	PFCR
8H	PIFC
9H	PHFC
AH	PGFC
BH	PFFC
CH	
DH	
EH	
FH	PFODE

ADR	レジスタ名
FFFFF070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0C0H	PM
1H	PL
2H	PK
3H	PJ
4H	PMCR
5H	PLCR
6H	PKCR
7H	PJCR
8H	
9H	PLFC
AH	PKFC
BH	PJFC
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0D0H	
1H	PP
2H	PO
3H	PN
4H	
5H	PPCR
6H	POCR
7H	PNCR
8H	
9H	
AH	
BH	PNFC
CH	
DH	
EH	
FH	PNODE

ADR	レジスタ名
FFFFF0E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	(reserved)
DH	(reserved)
EH	(reserved)
FH	(reserved)

Not Recommended for New Design

ビッグエンディアン

[2] WDT

ADR	レジスタ名
FFFFF080H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF090H	
1H	
2H	WDCR
3H	WDMOD
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[3] 時計用タイマ

ADR	レジスタ名
FFFFF0A0H	
1H	
2H	
3H	RTCCR
4H	
5H	
6H	
7H	RTCREG
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[4] 8 bit タイマ

ADR	レジスタ名
FFFFF100H	TA1REG
1H	TA0REG
2H	TA01CR
3H	TA01RUN
4H	TAG0ST
5H	TAG0IM
6H	TA1FFCR
7H	TA01MOD
8H	TA3REG
9H	TA2REG
AH	TA23CR
BH	TA23RUN
CH	(reserved)
DH	(reserved)
EH	TA3FFCR
FH	TA23MOD

ADR	レジスタ名
FFFFF110H	TA5REG
1H	TA4REG
2H	TA45CR
3H	TA45RUN
4H	TAG1ST
5H	TAG1IM
6H	TA5FFCR
7H	TA45MOD
8H	TA7REG
9H	TA6REG
AH	TA67CR
BH	TA67RUN
CH	(reserved)
DH	(reserved)
EH	TA7FFCR
FH	TA67MOD

ADR	レジスタ名
FFFFF120H	TA9REG
1H	TA8REG
2H	TA89CR
3H	TA89RUN
4H	TAG2ST
5H	TAG2IM
6H	TA9FFCR
7H	TA89MOD
8H	TABREG
9H	TAAREG
AH	TAABCR
BH	TAABRUN
CH	(reserved)
DH	(reserved)
EH	TABFFCR
FH	TAABMOD

ADR	レジスタ名
FFFFF130H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] 16 bit タイマ

ADR	レジスタ名
FFFFF1 40H	TB0FFCR
1H	TB0MOD
2H	TB0CR
3H	TB0RUN
4H	(reserved)
5H	(reserved)
6H	
7H	TB0ST
8H	TB0RG1H
9H	TB0RG1L
AH	TB0RG0H
BH	TB0RG0L
CH	TB0CP1H
DH	TB0CP1L
EH	TB0CP0H
FH	TB0CP0L

ADR	レジスタ名
FFFFF150H	TB1FFCR
1H	TB1MOD
2H	TB1CR
3H	TB1RUN
4H	(reserved)
5H	(reserved)
6H	
7H	TB1ST
8H	TB1RG1H
9H	TB1RG1L
AH	TB1RG0H
BH	TB1RG0L
CH	TB1CP1H
DH	TB1CP1L
EH	TB1CP0H
FH	TB1CP0L

ADR	レジスタ名
FFFFF160H	TB2FFCR
1H	TB2MOD
2H	TB2CR
3H	TB2RUN
4H	(reserved)
5H	(reserved)
6H	
7H	TB2ST
8H	TB2RG1H
9H	TB2RG1L
AH	TB2RG0H
BH	TB2RG0L
CH	TB2CP1H
DH	TB2CP1L
EH	TB2CP0H
FH	TB2CP0L

ADR	レジスタ名
FFFFF170H	TB3FFCR
1H	TB3MOD
2H	TB3CR
3H	TB3RUN
4H	(reserved)
5H	(reserved)
6H	
7H	TB3ST
8H	TB3RG1H
9H	TB3RG1L
AH	TB3RG0H
BH	TB3RG0L
CH	TB3CP1H
DH	TB3CP1L
EH	TB3CP0H
FH	TB3CP0L

Not Recommended for New Design

ビッグエンディアン

ADR	レジスタ名
FFFFF180H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF190H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF1A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF1B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF1C0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF1D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF1E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF1F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF200H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF210H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF220H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF230H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

ビッグエンディアン

ADR	レジスタ名
FFFFF240H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[6] I2C/SIO

ADR	レジスタ名
FFFFF250H	SBICR2/SR
1H	I2CAR
2H	SBIDBR
3H	SBICR1
4H	SBICR0
5H	
6H	SBIBR1
7H	SBIBR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[7] UART/SIO

ADR	レジスタ名
FFFFF260H	BR0CR
1H	SC0MOD0
2H	SC0CR
3H	SC0BUF
4H	
5H	SC0MOD2
6H	SC0MOD1
7H	BR0ADD
8H	BR1CR
9H	SC1MOD0
AH	SC1CR
BH	SC1BUF
CH	
DH	SC1MOD2
EH	SC1MOD1
FH	BR1ADD

ADR	レジスタ名
FFFFF270H	BR2CR
1H	SC2MOD0
2H	SC2CR
3H	SC2BUF
4H	
5H	SC2MOD2
6H	SC2MOD1
7H	BR2ADD
8H	BR3CR
9H	SC3MOD0
AH	SC3CR
BH	SC3BUF
CH	
DH	SC3MOD2
EH	SC3MOD1
FH	BR3ADD

ADR	レジスタ名
FFFFF280H	BR4CR
1H	SC4MOD0
2H	SC4CR
3H	SC4BUF
4H	
5H	SC4MOD2
6H	SC4MOD1
7H	BR4ADD
8H	BR5CR
9H	SC5MOD0
AH	SC5CR
BH	SC5BUF
CH	
DH	SC5MOD2
EH	SC5MOD1
FH	BR5ADD

ADR	レジスタ名
FFFFF290H	BR6CR
1H	SC6MOD0
2H	SC6CR
3H	SC6BUF
4H	
5H	SC6MOD2
6H	SC6MOD1
7H	BR6ADD
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

ビッグエンディアン

[8] 10 bitADC

ADR	レジスタ名
FFFFF300H	ADREG19H
1H	ADREG19L
2H	ADREG08H
3H	ADREG08L
4H	ADREG3BH
5H	ADREG3BL
6H	ADREG2AH
7H	ADREG2AL
8H	ADREG5DH
9H	ADREG5DL
AH	ADREG4CH
BH	ADREG4CL
CH	ADREG7FH
DH	ADREG7FL
EH	ADREG6EH
FH	ADREG6EL

ADR	レジスタ名
FFFFF310H	
1H	
2H	
3H	
4H	
5H	
6H	ADCOMREGH
7H	ADCOMREGL
8H	ADMOD3
9H	(reserved)
AH	ADMOD1
BH	ADMOD0
CH	ADCLK
DH	
EH	
FH	ADMOD4

[9] KWUP

ADR	レジスタ名
FFFFF360H	KWUPST3
1H	KWUPST2
2H	KWUPST1
3H	KWUPST0
4H	KWUPST7
5H	KWUPST6
6H	KWUPST5
7H	KWUPST4
8H	KWUPSTB
9H	KWUPSTA
AH	KWUPST9
BH	KWUPST8
CH	
DH	
EH	KWUPSTD
FH	KWUPSTC

ADR	レジスタ名
FFFFF370H	
1H	
2H	KWUPCNT
3H	KWUPCLR
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[10] 32 bit インプットキャプチャ

ADR	レジスタ名
FFFFF 400H	
1H	TBTCR
2H	TBTRUN
3H	TCCR
4H	TBTCAP3
5H	TBTCAP2
6H	TBTCAP1
7H	TBTCAP0
8H	TCG1ST
9H	TCG1IM
AH	TCG0ST
BH	TCG0IM
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF410H	
1H	
2H	
3H	CAP0CR
4H	TCCAP0HH
5H	TCCAP0HL
6H	TCCAP0LH
7H	TCCAP0LL
8H	
9H	
AH	
BH	CAP1CR
CH	TCCAP1HH
DH	TCCAP1HL
EH	TCCAP1LH
FH	TCCAP1LL

ADR	レジスタ名
FFFFF420H	
1H	
2H	
3H	CAP2CR
4H	TCCAP2HH
5H	TCCAP2HL
6H	TCCAP2LH
7H	TCCAP2LL
8H	
9H	
AH	
BH	CAP3CR
CH	TCCAP3HH
DH	TCCAP3HL
EH	TCCAP3LH
FH	TCCAP3LL

ADR	レジスタ名
FFFFF430H	
1H	
2H	
3H	CAP4CR
4H	TCCAP4HH
5H	TCCAP4HL
6H	TCCAP4LH
7H	TCCAP4LL
8H	
9H	
AH	
BH	CAP5CR
CH	TCCAP5HH
DH	TCCAP5HL
EH	TCCAP5LH
FH	TCCAP5LL

[11] 32 bit アプトプットコンペア

ADR	レジスタ名
FFFFF 440H	
1H	
2H	
3H	CAP6CR
4H	TCCAP6HH
5H	TCCAP6HL
6H	TCCAP6LH
7H	TCCAP6LL
8H	
9H	
AH	
BH	CAP7CR
CH	TCCAP7HH
DH	TCCAP7HL
EH	TCCAP7LH
FH	TCCAP7LL

ADR	レジスタ名
FFFFF450H	TCCMP0HH
1H	TCCMP0HL
2H	TCCMP0LH
3H	TCCMP0LL
4H	TCCMP1HH
5H	TCCMP1HL
6H	TCCMP1LH
7H	TCCMP1LL
8H	TCCMP2HH
9H	TCCMP2HL
AH	TCCMP2LH
BH	TCCMP2LL
CH	TCCMP3HH
DH	TCCMP3HL
EH	TCCMP3LH
FH	TCCMP3LL

ADR	レジスタ名
FFFFF460H	TCCMP4HH
1H	TCCMP4HL
2H	TCCMP4LH
3H	TCCMP4LL
4H	TCCMP5HH
5H	TCCMP5HL
6H	TCCMP5LH
7H	TCCMP5LL
8H	TCCMP6HH
9H	TCCMP6HL
AH	TCCMP6LH
BH	TCCMP6LL
CH	TCCMP7HH
DH	TCCMP7HL
EH	TCCMP7LH
FH	TCCMP7LL

ADR	レジスタ名
FFFFF470H	CMPCTL3
1H	CMPCTL2
2H	CMPCTL1
3H	CMPCTL0
4H	CMPCTL7
5H	CMPCTL6
6H	CMPCTL5
7H	CMPCTL4
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

ビッグエンディアン

[12] INTC

ADR	レジスタ名
FFFFE000H	IMC0H
1H	
2H	IMC0L
3H	
4H	IMC1H
5H	
6H	IMC1L
7H	
8H	IMC2H
9H	
AH	IMC2L
BH	
CH	IMC3H
DH	
EH	IMC3L
FH	

ADR	レジスタ名
FFFFE010H	IMC4H
1H	
2H	IMC4L
3H	
4H	IMC5H
5H	
6H	IMC5L
7H	
8H	IMC6H
9H	
AH	IMC6L
BH	
CH	IMC7H
DH	
EH	IMC7L
FH	

ADR	レジスタ名
FFFFE020H	IMC8H
1H	
2H	IMC8L
3H	
4H	IMC9H
5H	
6H	IMC9L
7H	
8H	IMCAH
9H	
AH	IMCAL
BH	
CH	IMCBH
DH	
EH	IMCBL
FH	

ADR	レジスタ名
FFFFE030H	IMCCH
1H	
2H	IMCCL
3H	
4H	IMCDH
5H	
6H	IMCDL
7H	
8H	IMCEH
9H	
AH	IMCEL
BH	
CH	IMCFH
DH	
EH	IMCFL
FH	

ADR	レジスタ名
FFFFE040H	HIVR
1H	
2H	LIVR
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE050H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE060H	INTCLR
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

ビッグエンディアン

[13] DAMC

ADR	レジスタ名
FFFFE200H	CCR0H
1H	
2H	CCR0L
3H	
4H	CSR0H
5H	
6H	CSR0L
7H	
8H	SAR0H
9H	
AH	SAR0L
BH	
CH	DAR0H
DH	
EH	DAR0L
FH	

ADR	レジスタ名
FFFFE210H	BCR0H
1H	
2H	BCR0L
3H	
4H	
5H	
6H	
7H	
8H	DTCR0H
9H	
AH	DTCR0L
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE220H	CCR1H
1H	
2H	CCR1L
3H	
4H	CSR1H
5H	
6H	CSR1L
7H	
8H	SAR1H
9H	
AH	SAR1L
BH	
CH	DAR1H
DH	
EH	DAR1L
FH	

ADR	レジスタ名
FFFFE230H	BCR1H
1H	
2H	BCR1L
3H	
4H	
5H	
6H	
7H	
8H	DTCR1H
9H	
AH	DTCR1L
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE240H	CCR2H
1H	
2H	CCR2L
3H	
4H	CSR2H
5H	
6H	CSR2L
7H	
8H	SAR2H
9H	
AH	SAR2L
BH	
CH	DAR2H
DH	
EH	DAR2L
FH	

ADR	レジスタ名
FFFFE250H	BCR2H
1H	
2H	BCR2L
3H	
4H	
5H	
6H	
7H	
8H	DTCR2H
9H	
AH	DTCR2L
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE260H	CCR3H
1H	
2H	CCR3L
3H	
4H	CSR3H
5H	
6H	CSR3L
7H	
8H	SAR3H
9H	
AH	SAR3L
BH	
CH	DAR3H
DH	
EH	DAR3L
FH	

ADR	レジスタ名
FFFFE270H	BCR3H
1H	
2H	BCR3L
3H	
4H	
5H	
6H	
7H	
8H	DTCR3H
9H	
AH	DTCR3L
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE280H	CCR4H
1H	
2H	CCR4L
3H	
4H	CSR4H
5H	
6H	CSR4L
7H	
8H	SAR4H
9H	
AH	SAR4L
BH	
CH	DAR4H
DH	
EH	DAR4L
FH	

ADR	レジスタ名
FFFFE290H	BCR4H
1H	
2H	BCR4L
3H	
4H	
5H	
6H	
7H	
8H	DTCR4H
9H	
AH	DTCR4L
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2A0H	CCR5H
1H	
2H	CCR5L
3H	
4H	CSR5H
5H	
6H	CSR5L
7H	
8H	SAR5H
9H	
AH	SAR5L
BH	
CH	DAR5H
DH	
EH	DAR5L
FH	

ADR	レジスタ名
FFFFE2B0H	BCR5H
1H	
2H	BCR5L
3H	
4H	
5H	
6H	
7H	
8H	DTCR5H
9H	
AH	DTCR5L
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

ビッグエンディアン

ADR	レジスタ名
FFFFE2C0H	CCR6H
1H	
2H	CCR6L
3H	
4H	CSR6H
5H	
6H	CSR6L
7H	
8H	SAR6H
9H	
AH	SAR6L
BH	
CH	DAR6H
DH	
EH	DAR6L
FH	

ADR	レジスタ名
FFFFE2D0H	BCR6H
1H	
2H	BCR6L
3H	
4H	
5H	
6H	
7H	
8H	DTCR6H
9H	
AH	DTCR6L
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2E0H	CCR7H
1H	
2H	CCR7L
3H	
4H	CSR7H
5H	
6H	CSR7L
7H	
8H	SAR7H
9H	
AH	SAR7L
BH	
CH	DAR7H
DH	
EH	DAR7L
FH	

ADR	レジスタ名
FFFFE2F0H	BCR7H
1H	
2H	BCR7L
3H	
4H	
5H	
6H	
7H	
8H	DTCR7H
9H	
AH	DTCR7L
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE300H	DCRH
1H	
2H	DCRL
3H	
4H	RSRH
5H	
6H	RSRL
7H	
8H	
9H	
AH	
BH	
CH	DHRH
DH	
EH	DHRL
FH	

ADR	レジスタ名
FFFFE310H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE320H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE330H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE340H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE350H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE360H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE370H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

ビッグエンディアン

[14] CS/WAIT コントローラ

ADR	レジスタ名
FFFFE400H	BMA0
1H	
2H	
3H	
4H	BMA1
5H	
6H	
7H	
8H	BMA2
9H	
AH	
BH	
CH	BMA3
DH	
EH	
FH	

ADR	レジスタ名
FFFFE410H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE480H	B01CS
1H	
2H	
3H	
4H	B23CS
5H	
6H	
7H	
8H	BEXCS
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE490H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[15] CG

ADR	レジスタ名
FFFFEE00H	SYSCR3
1H	SYSCR2
2H	SYSCR1
3H	SYSCR0
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFEE10H	IMCGA3
1H	IMCGA2
2H	IMCGA1
3H	IMCGA0
4H	IMCGB3
5H	IMCGB2
6H	IMCGB1
7H	IMCGB0
8H	IMCGC3
9H	IMCGC2
AH	IMCGC1
BH	IMCGC0
CH	IMCGD3
DH	IMCGD2
EH	IMCGD1
FH	IMCGD0

ADR	レジスタ名
FFFFEE20H	EICRCG
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFEE40H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[16] FLASH 制御

ADR	レジスタ名
FFFFE510H	SEQMOD
1H	
2H	
3H	
4H	SEQCNT
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE520H	FLCS
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[17] ROM コレクション

ADR	レジスタ名
FFFFE540H	ADDREG0
1H	
2H	
3H	
4H	ADDREG1
5H	
6H	
7H	
8H	ADDREG2
9H	
AH	
BH	
CH	ADDREG3
DH	
EH	
FH	

ADR	レジスタ名
FFFFE550H	ADDREG4
1H	
2H	
3H	
4H	ADDREG5
5H	
6H	
7H	
8H	ADDREG6
9H	
AH	
BH	
CH	ADDREG7
DH	
EH	
FH	

Not Recommended for New Design

リトルエンディアン

[1] PORT 関連

ADR	Mnemonic
FFFFF000H	P0
1H	P1
2H	P0CR
3H	
4H	P1CR
5H	P1FC
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF010H	
1H	
2H	P2
3H	
4H	P2CR
5H	P2FC
6H	
7H	
8H	P3
9H	
AH	P3CR
BH	P3FC
CH	
DH	
EH	P4
FH	

ADR	Mnemonic
FFFFF020H	P4CR
1H	P4FC
2H	
3H	
4H	
5H	
6H	
7H	
8H	P5
9H	P6
AH	
BH	
CH	P5CR
DH	P5FC
EH	P6CR
FH	P6FC

ADR	Mnemonic
FFFFF030H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF040H	P7
1H	P8
2H	P9
3H	PA
4H	
5H	
6H	
7H	PACR
8H	
9H	
AH	
BH	PAFC
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF050H	PB
1H	PC
2H	PD
3H	PE
4H	PBCR
5H	PCCR
6H	PDCR
7H	PECR
8H	PBFC
9H	PCFC
AH	PDFC
BH	PEFC
CH	
DH	PCODE
EH	PDODE
FH	PEODE

ADR	Mnemonic
FFFFF060H	PF
1H	PG
2H	PH
3H	PI
4H	PFCR
5H	PGCR
6H	PHCR
7H	PICR
8H	PFFC
9H	PGFC
AH	PHFC
BH	PIFC
CH	PFODE
DH	
EH	
FH	

ADR	Mnemonic
FFFFF070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF0C0H	PJ
1H	PK
2H	PL
3H	PM
4H	PJCR
5H	PKCR
6H	PLCR
7H	PMCR
8H	PJFC
9H	PKFC
AH	PLFC
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF0D0H	PN
1H	PO
2H	PP
3H	
4H	PNCR
5H	POCR
6H	PPCR
7H	
8H	PNFC
9H	
AH	
BH	
CH	PNODE
DH	
EH	
FH	

ADR	Mnemonic
FFFFF0E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF0F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	(reserved)
DH	(reserved)
EH	(reserved)
FH	(reserved)

Not Recommended for New Design

リトルエンディアン

[2] WDT

ADR	Mnemonic
FFFFF090H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[3] 時計用タイマ

ADR	Mnemonic
FFFFF0A0H	RTCCR
1H	
2H	
3H	
4H	RTCREG
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF0B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[4] 8 bit タイマ

ADR	Mnemonic
FFFFF100H	TA01RUN
1H	TA01CR
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	TAG0IM
7H	TAG0ST
8H	TA23RUN
9H	TA23CR
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	(reserved)
FH	(reserved)

ADR	Mnemonic
FFFFF110H	TA45RUN
1H	TA45CR
2H	TA4REG
3H	TA5REG
4H	TA45MOD
5H	TA5FFCR
6H	TAG1IM
7H	TAG1ST
8H	TA67RUN
9H	TA67CR
AH	TA6REG
BH	TA7REG
CH	TA67MOD
DH	TA7FFCR
EH	(reserved)
FH	(reserved)

ADR	Mnemonic
FFFFF120H	TA89RUN
1H	TA89CR
2H	TA8REG
3H	TA9REG
4H	TA89MOD
5H	TA9FFCR
6H	TAG2IM
7H	TAG2ST
8H	TAABRUN
9H	TAABCR
AH	TAAREG
BH	TABREG
CH	TAABMOD
DH	TABFFCR
EH	(reserved)
FH	(reserved)

ADR	Mnemonic
FFFFF130H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] 16 bit タイマ

ADR	Mnemonic
FFFFF140H	TB0RUN
1H	TB0CR
2H	TB0MOD
3H	TB0FFCR
4H	TB0ST
5H	
6H	(reserved)
7H	(reserved)
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

ADR	Mnemonic
FFFFF150H	TB1RUN
1H	TB1CR
2H	TB1MOD
3H	TB1FFCR
4H	TB1ST
5H	
6H	(reserved)
7H	(reserved)
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

ADR	Mnemonic
FFFFF160H	TB2RUN
1H	TB2CR
2H	TB2MOD
3H	TB2FFCR
4H	TB2ST
5H	
6H	(reserved)
7H	(reserved)
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

ADR	Mnemonic
FFFFF170H	TB3RUN
1H	TB3CR
2H	TB3MOD
3H	TB3FFCR
4H	TB3ST
5H	
6H	(reserved)
7H	(reserved)
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

Not Recommended for New Design

リトルエンディアン

ADR	Mnemonic
FFFFF180H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF190H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF1A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF1B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF1C0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF1D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF1E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF1F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF200H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF210H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF220H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFF230H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

リトルエンディアン

ADR	Mnemonic
FFFFF240H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[6] I2C/SIO

ADR	Mnemonic
FFFFF250H	SBICR1
1H	SBIDBR
2H	I2CAR
3H	SBICR2/SR
4H	SBIBR0
5H	SBIBR1
6H	
7H	SBICR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[7] UART/SIO

ADR	Mnemonic
FFFFF260H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	SC0MOD2
7H	
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	SC1MOD2
FH	

ADR	Mnemonic
FFFFF270H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	SC2MOD2
7H	
8H	SC3BUF
9H	SC3CR
AH	SC3MOD0
BH	BR3CR
CH	BR3ADD
DH	SC3MOD1
EH	SC3MOD2
FH	

ADR	Mnemonic
FFFFF280H	SC4BUF
1H	SC4CR
2H	SC4MOD0
3H	BR4CR
4H	BR4ADD
5H	SC4MOD1
6H	SC4MOD2
7H	
8H	SC5BUF
9H	SC5CR
AH	SC5MOD0
BH	BR5CR
CH	BR5ADD
DH	SC5MOD1
EH	SC5MOD2
FH	

ADR	Mnemonic
FFFFF290H	SC6BUF
1H	SC6CR
2H	SC6MOD0
3H	BR6CR
4H	BR6ADD
5H	SC6MOD1
6H	SC6MOD2
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

リトルエンディアン

[8] 10 bitADC

ADR	Mnemonic
FFFFF300H	ADREG08L
1H	ADREG08H
2H	ADREG19L
3H	ADREG19H
4H	ADREG2AL
5H	ADREG2AH
6H	ADREG3BL
7H	ADREG3BH
8H	ADREG4CL
9H	ADREG4CH
AH	ADREG5DL
BH	ADREG5DH
CH	ADREG6EL
DH	ADREG6EH
EH	ADREG7FL
FH	ADREG7FH

ADR	Mnemonic
FFFFF310H	
1H	
2H	
3H	
4H	ADCOMREGL
5H	ADCOMREGH
6H	
7H	
8H	ADMOD0
9H	ADMOD1
AH	(reserved)
BH	ADMOD3
CH	ADMOD4
DH	
EH	
FH	ADCLK

[9] KWUP

ADR	Mnemonic
FFFFF360H	KWUPST0
1H	KWUPST1
2H	KWUPST2
3H	KWUPST3
4H	KWUPST4
5H	KWUPST5
6H	KWUPST6
7H	KWUPST7
8H	KWUPST8
9H	KWUPST9
AH	KWUPSTA
BH	KWUPSTB
CH	KWUPSTC
DH	KWUPSTD
EH	
FH	

ADR	Mnemonic
FFFFF370H	KWUPCLR
1H	KWUPCNT
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[10] 32 bit インプットキャプチャ

ADR	Mnemonic
FFFFF 400H	TCCR
1H	TBTRUN
2H	TBTCR
3H	
4H	TBTCAP0
5H	TBTCAP1
6H	TBTCAP2
7H	TBTCAP3
8H	TCG0IM
9H	TCG0ST
AH	TCG1IM
BH	TCG1ST
CH	TCG2IM
DH	TCG2ST
EH	
FH	

ADR	Mnemonic
FFFFF410H	CAP0CR
1H	
2H	
3H	
4H	TCCAP0LL
5H	TCCAP0LH
6H	TCCAP0HL
7H	TCCAP0HH
8H	CAP1CR
9H	
AH	
BH	
CH	TCCAP1LL
DH	TCCAP1LH
EH	TCCAP1HL
FH	TCCAP1HH

ADR	Mnemonic
FFFFF420H	CAP2CR
1H	
2H	
3H	
4H	TCCAP2LL
5H	TCCAP2LH
6H	TCCAP2HL
7H	TCCAP2HH
8H	CAP3CR
9H	
AH	
BH	
CH	TCCAP3LL
DH	TCCAP3LH
EH	TCCAP3HL
FH	TCCAP3HH

ADR	Mnemonic
FFFFF430H	CAP4CR
1H	
2H	
3H	
4H	TCCAP4LL
5H	TCCAP4LH
6H	TCCAP4HL
7H	TCCAP4HH
8H	CAP5CR
9H	
AH	
BH	
CH	TCCAP5LL
DH	TCCAP5LH
EH	TCCAP5HL
FH	TCCAP5HH

[11] 32 bit アプトプットコンペア

ADR	Mnemonic
FFFFF 440H	CAP6CR
1H	
2H	
3H	
4H	TCCAP6LL
5H	TCCAP6LH
6H	TCCAP6HL
7H	TCCAP6HH
8H	CAP7CR
9H	
AH	
BH	
CH	TCCAP7LL
DH	TCCAP7LH
EH	TCCAP7HL
FH	TCCAP7HH

ADR	Mnemonic
FFFFF450H	TCCMP0LL
1H	TCCMP0LH
2H	TCCMP0HL
3H	TCCMP0HH
4H	TCCMP1LL
5H	TCCMP1LH
6H	TCCMP1HL
7H	TCCMP1HH
8H	TCCMP2LL
9H	TCCMP2LH
AH	TCCMP2HL
BH	TCCMP2HH
CH	TCCMP3LL
DH	TCCMP3LH
EH	TCCMP3HL
FH	TCCMP3HH

ADR	Mnemonic
FFFFF460H	TCCMP4LL
1H	TCCMP4LH
2H	TCCMP4HL
3H	TCCMP4HH
4H	TCCMP5LL
5H	TCCMP5LH
6H	TCCMP5HL
7H	TCCMP5HH
8H	TCCMP6LL
9H	TCCMP6LH
AH	TCCMP6HL
BH	TCCMP6HH
CH	TCCMP7LL
DH	TCCMP7LH
EH	TCCMP7HL
FH	TCCMP7HH

ADR	Mnemonic
FFFFF470H	CMPCTL0
1H	CMPCTL1
2H	CMPCTL2
3H	CMPCTL3
4H	CMPCTL4
5H	CMPCTL5
6H	CMPCTL6
7H	CMPCTL7
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

Not Recommended for New Design

リトルエンディアン

[12] INTC

ADR	Mnemonic
FFFFE000H	IMC0L
2H	IMC0H
4H	IMC1L
6H	IMC1H
8H	IMC2L
AH	IMC2H
CH	IMC3L
EH	IMC3H

ADR	Mnemonic
FFFFE010H	IMC4L
2H	IMC4H
4H	IMC5L
6H	IMC5H
8H	IMC6L
AH	IMC6H
CH	IMC7L
EH	IMC7H

ADR	Mnemonic
FFFFE020H	IMC8L
2H	IMC8H
4H	IMC9L
6H	IMC9H
8H	IMCAL
AH	IMCAH
CH	IMCBL
EH	IMCBH

ADR	Mnemonic
FFFFE030H	IMCCL
2H	IMCCH
4H	IMCDL
6H	IMCDH
8H	IMCEL
AH	IMCEH
CH	IMCFL
EH	IMCFH

ADR	Mnemonic
FFFFE040H	HIVR
2H	LIVR
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE050H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE060H	INTCLR
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注：ワードアクセス、ハーフワードアクセス時のアドレスを記載しております
バイトアクセス時はアドレスにオフセットが付きますので注意してください。

Not Recommended for New Design

リトルエンディアン

[13] DAMC

ADR	Mnemonic
FFFFE200H	CCR0L
2H	CCR0H
4H	CSR0L
6H	CSR0H
8H	SAR0L
AH	SAR0H
CH	DAR0L
EH	DAR0H

ADR	Mnemonic
FFFFE210H	BCR0L
2H	BCR0H
4H	
5H	
6H	
7H	
8H	DTCR0L
AH	DTCR0H
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE220H	CCR1L
2H	CCR1H
4H	CSR1L
6H	CSR1H
8H	SAR1L
AH	SAR1H
CH	DAR1L
EH	DAR1H

ADR	Mnemonic
FFFFE230H	BCR1L
2H	BCR1H
4H	
5H	
6H	
7H	
8H	DTCR1L
AH	DTCR1H
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE240H	CCR2L
2H	CCR2H
4H	CSR2L
6H	CSR2H
8H	SAR2L
AH	SAR2H
CH	DAR2L
EH	DAR2H

ADR	Mnemonic
FFFFE250H	BCR2L
2H	BCR2H
4H	
5H	
6H	
7H	
8H	DTCR2L
AH	DTCR1H
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE260H	CCR3L
2H	CCR3H
4H	CSR3L
6H	CSR3H
8H	SAR3L
AH	SAR3H
CH	DAR3L
EH	DAR3H

ADR	Mnemonic
FFFFE270H	BCR3L
2H	BCR3H
4H	
5H	
6H	
7H	
8H	DTCR3L
AH	DTCR3H
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE280H	CCR4L
2H	CCR4H
4H	CSR4L
6H	CSR4H
8H	SAR4L
AH	SAR4H
CH	DAR4L
EH	DAR4H

ADR	Mnemonic
FFFFE290H	BCR4L
2H	BCR4H
4H	
5H	
6H	
7H	
8H	DTCR4L
AH	DTCR4H
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE2A0H	CCR5L
2H	CCR5H
4H	CSR5L
6H	CSR5H
8H	SAR5L
AH	SAR5H
CH	DAR5L
EH	DAR5H

ADR	Mnemonic
FFFFE2B0H	BCR5L
2H	BCR5H
4H	
5H	
6H	
7H	
8H	DTCR5L
AH	DTCR5H
CH	
DH	
EH	
FH	

注：ハーフワードアクセス時のアドレスを記載しております
バイトアクセス時はアドレスにオフセットが付きますので注意してください。

Not Recommended for New Design

リトルエンディアン

ADR	Mnemonic
FFFFE2C0H	CCR6L
2H	CCR6H
4H	CSR6L
6H	CSR6H
8H	SAR6L
AH	SAR6H
CH	DAR6L
EH	DAR6H

ADR	Mnemonic
FFFFE2D0H	BCR6L
2H	BCR6H
4H	
5H	
6H	
7H	
8H	DTCR6L
AH	DTCR6H
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE2E0H	CCR7L
2H	CCR7H
4H	CSR7L
6H	CSR7H
8H	SAR7L
AH	SAR7H
CH	DAR7L
EH	DAR7H

ADR	Mnemonic
FFFFE2F0H	BCR7L
2H	BCR7H
4H	
5H	
6H	
7H	
8H	DTCR7L
AH	DTCR7H
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE300H	DCRL
2H	DCRH
4H	RSRL
6H	RSRH
8H	
9H	
AH	
BH	
CH	DHRL
EH	DHRH

ADR	Mnemonic
FFFFE310H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE320H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE330H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE340H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE350H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE360H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE370H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注：ハーフワードアクセス時のアドレスを記載しております
　　バイトアクセス時はアドレスにオフセットが付きますので注意してください。

Not Recommended for New Design

リトルエンディアン

[14] CS/WAIT コントローラ

ADR	Mnemonic
FFFFE400H	BMA0
4H	BMA1
8H	BMA2
CH	BMA3

ADR	Mnemonic
FFFFE410H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE480H	B01CS
4H	B23CS
8H	BEXCS
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE490H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[15] CG

ADR	Mnemonic
FFFFEE00H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	SYSCR3
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFEE10H	IMCGA0
1H	IMCGA1
2H	IMCGA2
3H	IMCGA3
4H	IMCGB0
5H	IMCGB1
6H	IMCGB2
7H	IMCGB3
8H	IMCGC0
9H	IMCGC1
AH	IMCGC2
BH	IMCGC3
CH	IMCGD0
DH	IMCGD1
EH	IMCGD2
FH	IMCGD3

ADR	Mnemonic
FFFFEE20H	EICRCG
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFEE40H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[16] FLASH 制御

ADR	Mnemonic
FFFFE510H	SEQMOD
4H	SEQCNT
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	Mnemonic
FFFFE520H	FLCS
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[17] ROM コレクション

ADR	Mnemonic
FFFFE540H	ADDREG0
4H	ADDREG1
8H	ADDREG2
CH	ADDREG3

ADR	Mnemonic
FFFFE550H	ADDREG4
4H	ADDREG5
8H	ADDREG6
CH	ADDREG7

注：ワードアクセス、ハーフワードアクセス時のアドレスを記載しております
バイトアクセス時はアドレスにオフセットが付きますので注意してください。

Not Recommended for New Design

24. ポート部等価回路図

- 回路図の見方

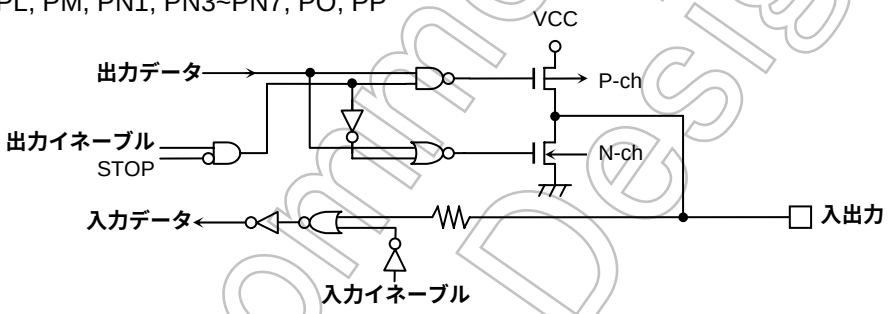
  基本的に、標準 CMOS ロジック IC「74HC××」シリーズと同じゲート記号を使って書かれています。

  信号名の中で、特殊なものについては、下記に示します。

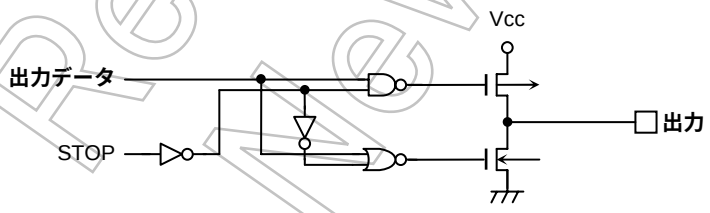
  STOP: この信号は、スタンバイ設定レジスタを「STOP」モード (SYSCR2<STBY1, 0> = 0, 1) にして、CPU が「HALT」ビットをセットしたときアクティブ “1” になります。
  ただし、ドライブイネーブルビット SYSCR2<DRVE> が “1” にセットされているときは、STOP は “0” のままです。

- 入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

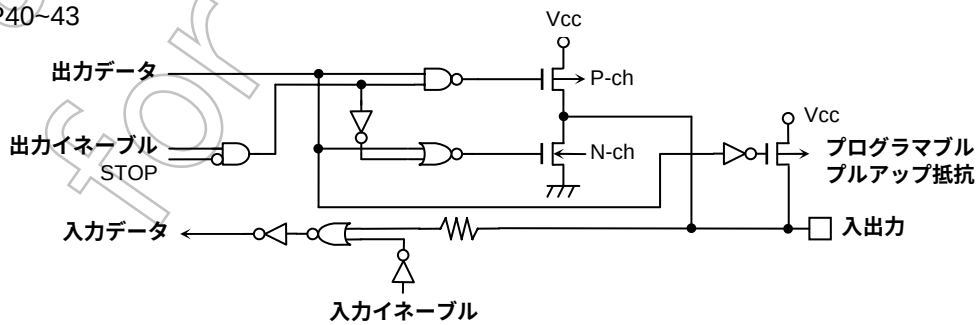
■ P0 (D0~D7/AD0~AD7), P1 (D8~D15/AD8~AD15, A8~A15), P2 (A16~23, A0~7), P37,P44, P5 (A0~A7), P6 (A8~A15), PA, PB, PI7, PC1, PC4, PC7, PD2, PD5, PE1, PF2~PF7, PG, PH, PJ1~PJ4, PL, PM, PN1, PN3~PN7, PO, PP



■ P30 ($\overline{RD}$), P31 ($\overline{WR}$), DCLK, PCST3~PCST0, SDAO/TPC, TDO,

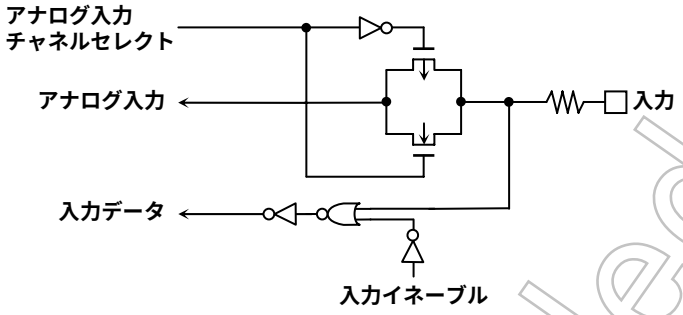


■ P32~P36, P40~43

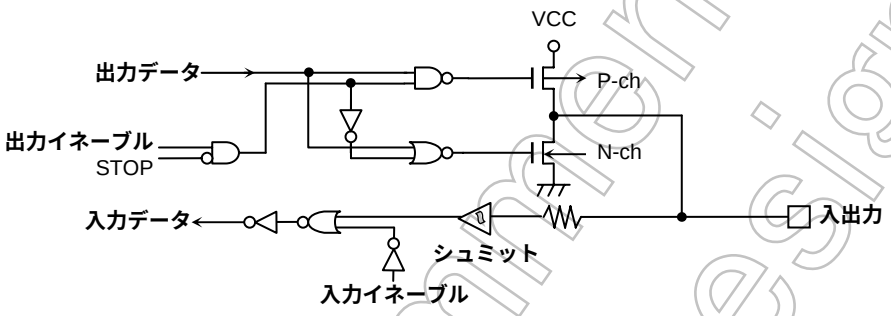


Not Recommended for New Design

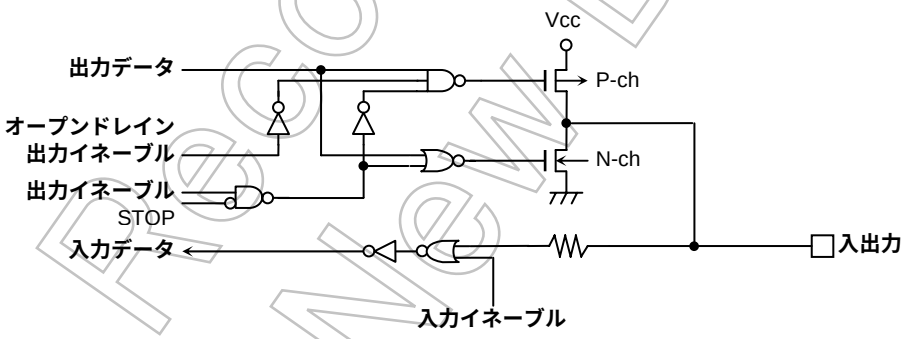
■ P7 (AN0~AN7), P8 (AN8~AN15), P9 (AN16~AN23)



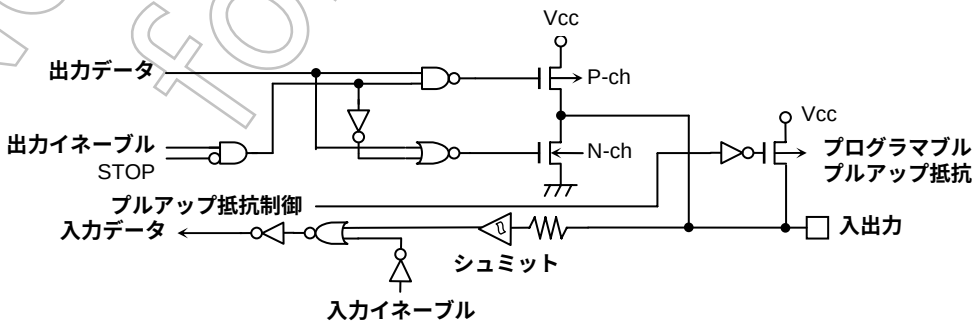
■ PI0~PI6 ($\overline{\text{ADTRG}}$,INT1~INTA), PJ0 (INT0)



■ PC0, PC2, PC3,PC5, PC6, PD0, PD1, PD3, PD4, PD6, PE0, PE2, PN0, PN2

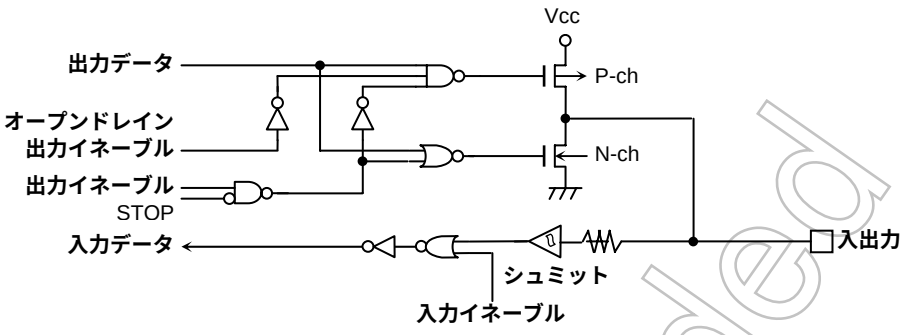


■ PD7, PE3~PE7, PK



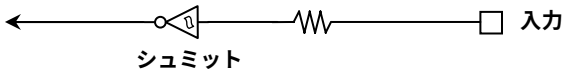
Not Recommended for New Design

■ PF0, PF1

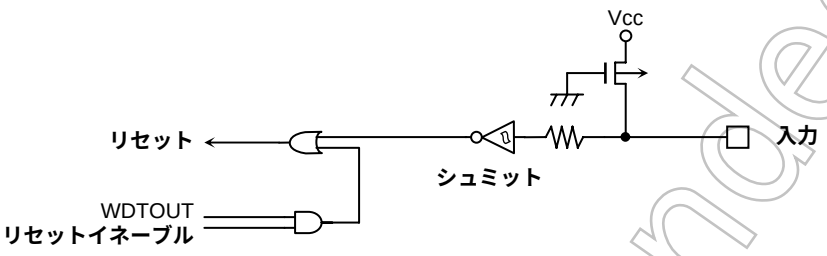


Not Recommended for New Design

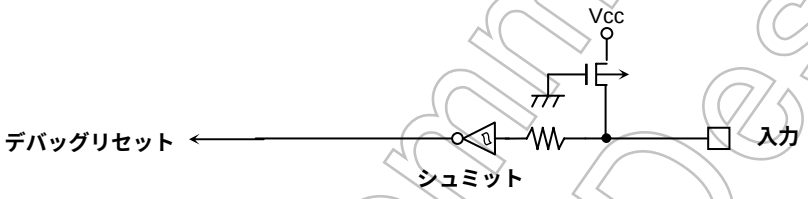
■ $\overline{\text{NMI}}$, BW0~1, $\overline{\text{PLLOFF}}$, RSTPUP



■ $\overline{\text{RESET}}$



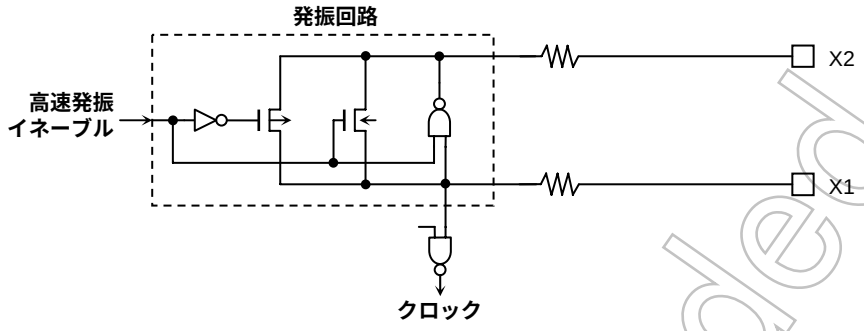
■ $\overline{\text{DRESET}}$, $\overline{\text{DBGE}}$, SDI/$\overline{\text{DINT}}$, TCK, TMS, TDI,



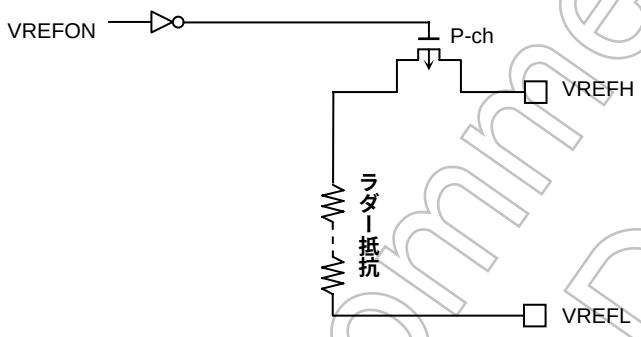
■ $\overline{\text{TRST}}$

Not Recommended for New Design

■ X1, X2



■ VREFH, VREFL



Not Recommended for New Design

25. 使用上の注意、制限事項

25.1 特別な表記、言葉の説明

1. 内蔵 I/O レジスタの説明 : レジスタシンボル <ビットシンボル>

   例) TRUN<T0RUN> … レジスタ TRUN のビット T0RUN

2. fc, f_{SYS}, 1 ステート

   f_{OSC}:X1/X2 端子より入力されるクロック周波数

   fpll: PLL の出力するクロック周波数

   fc: $\overline{\text{PLLOFF}}$ 端子で選択されたクロック

   f_{gear}: SYSCR1<GEAR1:0> で選択されたクロック周波数

   f_{SYS}: システムクロック周波数

   また、この f_{SYS} の 1 周期を 1 ステートと呼びます。

   また SYSCR1<FPSEL> で選択されたクロック周波数を fperiph, SYSCR0<PRCK1:0> で選択されたプリスケーラ用クロック周波数をϕT0 と呼びます。

25.2 使用上の注意, 制限事項

1. プロセッサ ID

   TMP1962C10B の TX19 コアの PRId は Processor Revision Identifier レジスタ (PRId): 0x0000_2CA1 です。

2. BW0~1 端子

   本端子は、DVCC2 端子に接続し動作中にレベル変動のないようにしてください。

3. ウォーミングアップカウンタ

   外部発振器を用いるシステムで STOP モードの解除を割り込みで行う際には、ウォーミングアップカウンタが動作するためシステムクロックが出力されるまでウォーミングアップ時間を要します。

4. プログラマブル プルアップ抵抗

   このプルアップ抵抗は、ポートを入力ポートとして使用するときのみプログラマブルに付加/付加なしを選択できます。出力ポートとして使用するときは、プログラマブルに選択することはできません。

   付加/付加なしの選択は該当ポートのデータレジスタで制御します。

5. バス開放機能

   バス開放時の端子状態などについて、“7 章　ポート機能” の中で掲載してありますので参照してください。

6. ウォッチドッグタイマ

   リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

   バス開放機能使用した場合、開放要求中もウォッチドッグタイマなどの I/O ブロックは動作していますので注意が必要です。

7. A/D コンバータ

   VREFH-VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能があります。STOP モードなど消費電力を下げる場合は、事前にプログラムで切り離してください。

8. 未定義の内蔵 I/O レジスタの扱い

   定義されていない内蔵 I/O レジスタのビットは、リードを行うと、不定値が出力されます。そのため、プログラムを作成するときは、このビット状態に依存しないものにしてください。

Not Recommended for New Design

9. ESD（静電気放電）耐圧

ESD 耐圧は以下の通りとなっております。開発時や生産工程での静電破壊の対策をお願い致します。尚、詳細はデータブック巻頭の「取り扱い上のご注意とお願い」をご参照ください。

TMP1962C10BXBG**（マスク版）**

規格	耐圧
機械モデル：MM	200V
人体モデル：HBM	1500V

TMP1962F10AXBG（FLASH 版）

規格	耐圧
機械モデル：MM	200V
人体モデル：HBM	1200V

Not Recommended for New Design

10. 使用上の制限事項

限定条件: オーバーフロー例外使用

(現象)

オーバーフロー例外で例外ハンドラへジャンプし、ハンドラの先頭命令で再び例外が発生した場合、EPC (戻り番地) にはオーバフロー例外ハンドラの先頭の番地が格納されるはずであるが、オーバフローを発生した命令の番地が格納される場合がある。

- 発生条件
  命令がパイプラインにつまっている状態で、
  ADD/ADDI/SUB <= オーバーフローを発生する命令
  ジャンプ/分岐命令 <= スロットを有する命令
  スロット
  という命令列を実行しオーバーフロー例外ハンドラの先頭で例外が発生した場合。

* **東芝製コンパイラではオーバーフローが出る命令を使用していません。従って、上記条件が不成立となり本現象は発生しません。**

(回避策)

オーバーフローを発生する命令 (ADD/ADDI/SUB) の直後にはジャンプ/分岐命令を置かない。

Not Recommended for New Design

限定条件: LWL／LWR **命令実行時**

(現象)

LWL/LWR 命令の結果が不正になることがあります。

- 発生条件

【発生条件－①】

a. ロード命令 (LB/LBU/LH/LHU/LW/LWL/LWR) と LWL/LWR 命令とのディスティネーションレジスタが同じ
b. パイプラインに空きがない (ロード命令と LWL/LWR 命令が連続して実行される)
c. DMAC をスヌープ機能を使用する設定で使っていて、ロード命令実行後に DMAC が転送を開始し、転送終了後に LWL/LWR 命令を実行

上記 a、b、c が同時に発生した場合

【発生条件－②】

a. ロード命令 (LB/LBU/LH/LHU/LW/LWL/LWR) と LWL/LWR 命令とのディスティネーションレジスタが同じ
b. ロード命令直前に Config レジスタの Doze ビットまたは Halt ビットに「1」をセット
c. パイプラインに空きがない (ロード命令と LWL/LWR 命令が連続して実行される)
d. ロード命令実行後に STOP/SLEEP/IDLE モードに遷移
e. 割り込み要因で STOP/SLEEP/IDLE モードから復帰した後 LWL/LWR を実行

* **ただし、**STOP/IDLE **モードからの復帰で割り込み処理が発生しない設定の場合のみ該当します。**
割り込み処理が発生しない設定とは、Status **レジスタの** IE**c ビットが「**0**」 (割り込み禁止状態) か、**IEc **ビットが「**1**」で割り込み要因の割り込みレベルが** Status **レジスタの** CMask **に設定されたレベルより低い場合です。**(STOP/IDLE **モードは割り込み処理の発生しない設定でも割り込み要因で復帰可能です。**)

上記 a、b、c、d、e が同時に発生した場合

(回避策)

LWL/LWR を使用する場合には、

1) ロード命令と LWL/LWR 命令の間に NOP を置く。

または、

2) LWL/LWR 命令を実行するときにはスヌープ機能を使用する設定で DMAC を起動しない。また、LWL/LWR 命令を実行する前に STOP/IDLE モードへの遷移を行わない。

Not Recommended for New Design

限定条件: DSU **プローブ使用時にオーバーフロー例外発生**

(現象)

オーバーフロー例外発生時のジャンプ先がリセット、ノンマスカブル例外のベクタアドレス 0xBFC0_0000 番地へジャンプしたように見える。

- 発生条件
  DSU プローブ使用時にオーバーフロー例外が発生した場合。

* **東芝製コンパイラではオーバーフローが出る命令を使用していません。従って、上記条件が不成立となり本現象は発生しません。**

(回避策)

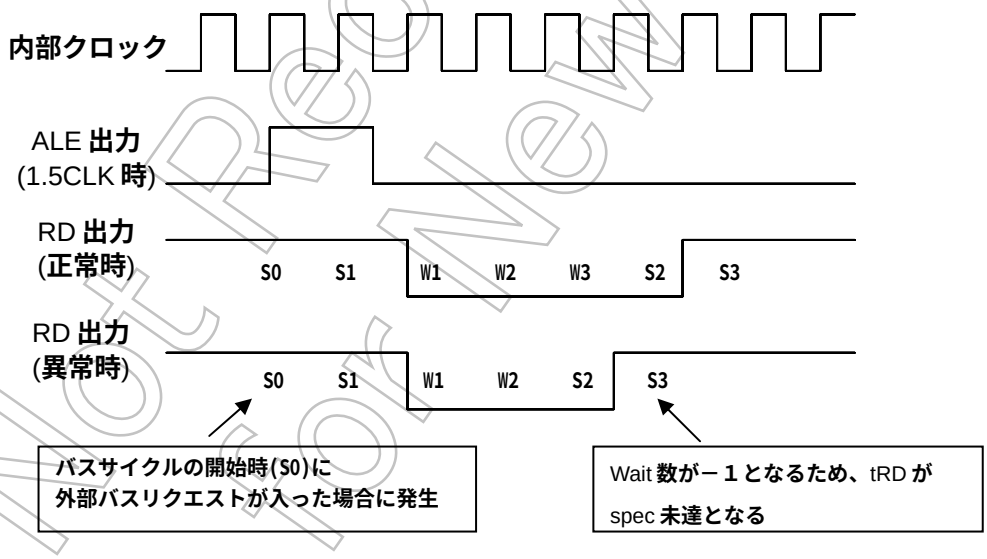
オーバーフローを発生する命令 (ADD/ADDI/SUB) の直後にはジャンプ/分岐命令を置かない。

限定条件: BUSREQ **使用時の** WAIT **設定**

(現象)

外部バスにて自動ウェイト挿入機能を使用する際、外部バスリクエストが入るタイミングにより、挿入されるウェイト数が(設定数－１)となる場合があります。

[現象波形 **]** (ALE 幅=1.5CLK, 自動 wait=3 時の例)



- [条件]
  1．外部バスにて自動ウェイト挿入機能を使用(+N ウェイト時も同様)
  2．外部バスリクエスト機能を使用

(回避策)

問題となる設定/システムで使用する場合には、予め wait 数を ＋１ と設定して下さい。

Not Recommended for New Design