

8 ビットマイクロコントローラー

TLCS-870/C1 シリーズ

TMP89FS60BFG
TMP89FS60BUG
TMP89FS62BUG
TMP89FS63BUG

東芝デバイス&ストレージ株式会社

製品量産開始時期
2020-08

改訂履歴

日付	版	改版理由
2020-08-12	1.0	Fist Release

目次

目次	3
表目次	16
図目次	19
1. 概要	23
1.1. 特長	23
1.2. 機能差まとめ	26
1.3. ピン配置図	27
1.3.1. TMP89FS60BFG/TMP89FS60BUG のピン配置図 (Top view)	27
1.3.2. TMP89FS62BUG のピン配置図 (Top view)	28
1.3.3. TMP89FS63BUG のピン配置図 (Top view)	29
1.4. ブロック図	30
1.4.1. TMP89FS60B のブロック図	30
1.4.2. TMP89FS62B のブロック図	31
1.4.3. TMP89FS63B のブロック図	32
1.5. 端子機能	33
1.6. Reserved の扱いについて	37
2. CPU コア	41
2.1. 構成	41
2.2. メモリー空間	41
2.2.1. コード領域	41
2.2.1.1. RAM	42
2.2.1.2. BOOTROM	44
2.2.1.3. フラッシュメモリー	44
2.2.2. データ領域	45
2.2.2.1. SFR	45
2.2.2.2. RAM	46
2.2.2.3. BOOTROM	47
2.2.2.4. フラッシュメモリー	47
2.3. システムクロック制御回路	48
2.3.1. 構成	48
2.3.2. 制御	49
2.3.3. 機能	52
2.3.3.1. クロックジェネレーター	52
2.3.3.2. クロックギア	54
2.3.3.3. タイミングジェネレーター	55
2.3.4. ウォーミングアップカウンタ	57
2.3.4.1. ハードウェアで発振許可する場合のウォーミングアップカウンタ動作	58

2.3.4.2. ソフトウェアで発振許可する場合のウォーミングアップカウンター動作.....	60
2.3.5. 動作モード制御回路	61
2.3.5.1. シングルクロックモード	61
2.3.5.2. デュアルクロックモード	62
2.3.5.3. STOP モード.....	63
2.3.5.4. 各動作モードの遷移.....	64
2.3.6. 動作モードの制御.....	66
2.3.6.1. STOP モード.....	66
2.3.6.2. IDLE1/2 モード、SLEEP1 モード.....	71
2.3.6.3. IDLE0、SLEEP0 モード.....	73
2.3.6.4. SLOW モード.....	75
2.4. リセット制御回路.....	79
2.4.1. 構成	79
2.4.2. 制御	80
2.4.3. 機能	83
2.4.4. リセット信号発生要因.....	85
2.4.4.1. パワーオンリセット	85
2.4.4.2. 外部リセット入力 (RESET端子入力).....	85
2.4.4.3. 電圧検出リセット.....	87
2.4.4.4. ウォッチドッグタイマーリセット.....	87
2.4.4.5. システムクロックリセット.....	87
2.4.4.6. トリミングデータリセット.....	88
2.4.4.7. フラッシュメモリースタンバイリセット	88
2.4.4.8. 内部要因リセット検出ステータスレジスター	88
2.4.4.9. 外部リセット入力端子をポートとして使用する方法.....	89
3. 割り込み制御回路.....	90
3.1. 構成.....	91
3.2. 割り込み要因	92
3.3. 優先順位.....	92
3.4. 各製品の割り込み要因.....	93
3.5. 割り込みラッチ (<IL27> ~ <IL3>).....	94
3.6. 割り込み許可レジスター (EIR).....	95
3.6.1. 割り込みマスター許可フラグ (<IMF>).....	95
3.6.2. 割り込み個別許可フラグ (<EF27> ~ <EF4>).....	95
3.7. マスカブル割り込み優先順位変更機能.....	98
3.8. 割り込み処理	100
3.8.1. 初期設定	100
3.8.2. 割り込み受け付け処理.....	101
3.8.3. 汎用レジスター退避/復帰処理	102
3.8.3.1. プッシュ/ポップ命令による汎用レジスターの退避/復帰.....	102
3.8.3.2. 転送命令による汎用レジスターの退避/復帰.....	103

3.8.3.3. レジスターバンクによる汎用レジスターの退避/復帰.....	104
3.8.4. 割り込みリターン.....	104
3.9. ソフトウェア割り込み (INTSWI).....	105
3.9.1. アドレスエラー検出.....	105
3.9.2. デバッグング.....	105
3.10. 未定義命令割り込み (INTUNDEF).....	105
4. 外部割り込み制御回路.....	106
4.1. 各製品の外部割り込み制御回路.....	106
4.2. 構成.....	107
4.3. 制御.....	108
4.4. 低消費電力制御.....	113
4.5. 機能.....	114
4.5.1. 外部割り込み 0.....	115
4.5.2. 外部割り込み 1/2/3.....	115
4.5.2.1. 割り込み要求発生条件検出機能.....	115
4.5.2.2. 割り込み要求発生時のノイズキャンセラー通過信号モニター機能.....	115
4.5.2.3. ノイズキャンセル時間選択機能.....	116
4.5.3. 外部割り込み 4.....	117
4.5.3.1. 割り込み要求発生条件検出機能.....	117
4.5.3.2. 割り込み要求発生時のノイズキャンセラー通過信号モニター機能.....	117
4.5.3.3. ノイズキャンセル時間選択機能.....	118
4.5.4. 外部割り込み 5.....	119
5. ウォッチドッグタイマー (WDT).....	120
5.1. 構成.....	120
5.2. 制御.....	121
5.3. 機能.....	123
5.3.1. ウォッチドッグタイマー動作の許可/禁止の設定.....	123
5.3.2. 8ビットアップカウンターのクリア時間の設定.....	124
5.3.3. 8ビットアップカウンターのオーバーフロー時間の設定.....	125
5.3.4. 8ビットアップカウンターのオーバーフロー検出信号の設定.....	125
5.3.5. ウォッチドッグタイマーの制御コードの書き込み.....	126
5.3.6. 8ビットアップカウンターの読み出し.....	126
5.3.7. ウォッチドッグタイマーのステータスの読み出し.....	127
6. パワーオンリセット回路 (POR).....	128
6.1. 構成.....	128
6.2. 機能.....	129
7. 電圧検出回路 (VLTD).....	130
7.1. 構成.....	130
7.2. 制御.....	131

7.3. 機能.....	133
7.3.1. 電圧検出動作の許可/禁止	133
7.3.2. 電圧検出動作モード選択	133
7.3.3. 検出電圧レベル選択	134
7.3.4. 電圧検出フラグ、電圧検出ステータスフラグ	134
7.4. レジスターの設定	136
7.4.1. INTVLTD 割り込み要求発生として使用する場合の設定手順	136
7.4.2. 電圧検出リセット信号発生として使用する場合の設定手順	137
8. 入出力ポート	138
8.1. 入出力ポートの制御レジスター	140
8.2. 各製品の入出力ポート割り当て	141
8.3. 入出力ポート設定一覧	143
8.4. 入出力ポートレジスター	147
8.4.1. P0 ポート	147
8.4.1.1. 各製品の P0 ポート	147
8.4.1.2. 制御	149
8.4.2. P1 ポート	154
8.4.2.1. 各製品の P1 ポート	154
8.4.2.2. 制御	156
8.4.3. P2 ポート	160
8.4.3.1. 各製品の P2 ポート	160
8.4.3.2. 制御	162
8.4.4. P4 ポート	168
8.4.4.1. 各製品の P4 ポート	168
8.4.4.2. 制御	170
8.4.5. P5 ポート	175
8.4.5.1. 各製品の P5 ポート	175
8.4.5.2. 制御	177
8.4.6. P7 ポート	181
8.4.6.1. 各製品の P7 ポート	181
8.4.6.2. 制御	183
8.4.7. P8 ポート	187
8.4.7.1. 各製品の P8 ポート	187
8.4.7.2. 制御	189
8.4.8. P9 ポート	193
8.4.8.1. 各製品の P9 ポート	193
8.4.8.2. 制御	195
8.4.9. PB ポート	201
8.4.9.1. 各製品の PB ポート	201
8.4.9.2. 制御	203
8.5. シリアルインターフェース選択機能	208

9. スペシャルファンクションレジスター	212
9.1. SFR1 (“0x0000” ~ “0x003F”)	212
9.2. SFR2 (“0x0F00” ~ “0x0FFF”)	213
9.3. SFR3 (“0x0E40” ~ “0x0EFF”)	215
10. 周辺回路の低消費電力制御	217
10.1. 制御	218
11. ディバイダー出力 (DVO)	220
11.1. 構成	220
11.2. 制御	220
11.3. 機能	221
12. タイムベースタイマー (TBT)	222
12.1. 構成	222
12.2. 制御	223
12.3. 機能	224
13. 16ビットタイマーカウンタ (TCA)	226
13.1. 各製品の16ビットタイマーカウンタ	226
13.2. 構成	227
13.3. 制御	228
13.4. 低消費電力制御	233
13.5. タイマー機能	233
13.5.1. タイマーモード	233
13.5.1.1. 設定	233
13.5.1.2. 動作	233
13.5.1.3. 自動キャプチャー	234
13.5.1.4. レジスターのバッファ構成	235
13.5.2. 外部トリガータイマーモード	237
13.5.2.1. 設定	237
13.5.2.2. 動作	237
13.5.2.3. 自動キャプチャー	237
13.5.2.4. レジスターのバッファ構成	237
13.5.3. イベントカウンタモード	239
13.5.3.1. 設定	239
13.5.3.2. 動作	239
13.5.3.3. 自動キャプチャー	239
13.5.3.4. レジスターのバッファ構成	239
13.5.4. ウィンドウモード	241
13.5.4.1. 設定	241
13.5.4.2. 動作	241
13.5.4.3. 自動キャプチャー	241
13.5.4.4. レジスターのバッファ構成	241

13.5.5. パルス幅測定モード	243
13.5.5.1. 設定	243
13.5.5.2. 動作	244
13.5.5.3. キャプチャー処理例	246
13.5.6. プログラマブルパルスジェネレート (PPG)モード	247
13.5.6.1. 設定	247
13.5.6.2. 動作	247
13.5.6.3. レジスタのバッファ構成	248
13.6. ノイズキャンセラー	250
13.6.1. 設定	250
14. 8ビットタイマーカウンタ (TC0).....	251
14.1. 各製品の8ビットタイマーカウンタ	251
14.2. 構成	252
14.3. 制御	253
14.3.1. TC00.....	253
14.3.2. TC01.....	255
14.3.3. TC00 と TC01 共通.....	257
14.3.4. 動作モードと使用できるソースクロック	259
14.4. 低消費電力制御.....	261
14.5. 機能.....	262
14.5.1. 8ビットタイマーモード.....	262
14.5.1.1. 設定	262
14.5.1.2. 動作	262
14.5.1.3. ダブルバッファ	263
14.5.2. 8ビットイベントカウンタモード.....	266
14.5.2.1. 設定	266
14.5.2.2. 動作	266
14.5.2.3. ダブルバッファ	266
14.5.3. 8ビットパルス幅変調 (PWM)出力モード.....	268
14.5.3.1. 設定	268
14.5.3.2. 動作	270
14.5.3.3. ダブルバッファ	272
14.5.4. 8ビットプログラマブルパルス出力 (PPG)モード	274
14.5.4.1. 設定	274
14.5.4.2. 動作	275
14.5.4.3. ダブルバッファ	275
14.5.5. 16ビットタイマーモード.....	278
14.5.5.1. 設定	278
14.5.5.2. 動作	278
14.5.5.3. ダブルバッファ	279
14.5.6. 16ビットイベントカウンタモード.....	282

14.5.6.1. 設定	282
14.5.6.2. 動作	282
14.5.6.3. ダブルバッファ	282
14.5.7. 12 ビットパルス幅変調 (PWM)出力モード	284
14.5.7.1. 設定	284
14.5.7.2. 動作	287
14.5.7.3. ダブルバッファ	288
14.5.8. 16 ビットプログラマブルパルスジェネレート出力 (PPG)モード	291
14.5.8.1. 設定	291
14.5.8.2. 動作	292
14.5.8.3. ダブルバッファ	293
15. 時計専用タイマー (RTC)	296
15.1. 構成	296
15.2. 制御	297
15.3. 低消費電力制御	298
15.4. 機能	298
15.4.1. 時計専用タイマー動作の許可/禁止	298
15.4.2. 割り込み発生周期選択	298
15.5. 時計専用タイマーの動作	298
15.5.1. 時計専用タイマーの動作許可	298
15.5.2. 時計専用タイマーの動作禁止	298
16. 非同期型シリアルインターフェース (UART)	299
16.1. 各製品の非同期型シリアルインターフェース (UART)	299
16.2. 構成	300
16.3. 制御	301
16.4. 低消費電力制御	305
16.5. UART0CR1、UART0CR2 レジスタの書き替え保護機能	305
16.6. STOP、IDLE0、SLEEP0 モードの起動	306
16.6.1. レジスタの状態遷移	306
16.6.2. TXD0 端子の状態遷移	306
16.7. 転送データフォーマット	307
16.8. 赤外線データフォーマット転送モード	307
16.9. 転送ボーレート	308
16.9.1. 転送ボーレートの算出方法	310
16.9.1.1. UART0CR2<RTSEL>によるビット幅調整	310
16.9.1.2. UART0CR2<RTSEL>と UART0DR 設定値の算出	311
16.10. データのサンプリング方法	312
16.11. 受信データのノイズ除去	313
16.12. 送受信動作	314

16.12.1. データ送信動作.....	314
16.12.2. データ受信動作.....	314
16.13. ステータスフラグ.....	315
16.13.1. パリティエラー.....	315
16.13.2. フレーミングエラー.....	316
16.13.3. オーバーランエラー.....	317
16.13.4. 受信バッファフル.....	320
16.13.5. 送信ビジーフラグ.....	321
16.13.6. 送信バッファフル.....	321
16.14. 受信処理.....	322
16.15. AC 特性.....	324
16.15.1. IrDA 特性.....	324
17. 同期式シリアルインターフェース (SIO).....	325
17.1. 各製品の同期式シリアルインターフェース (SIO).....	325
17.2. 構成.....	326
17.3. 制御.....	327
17.4. 低消費電力制御.....	330
17.5. 機能.....	331
17.5.1. 転送フォーマット.....	331
17.5.2. シリアルクロック.....	331
17.5.3. 転送エッジ選択.....	332
17.6. 転送モード.....	333
17.6.1. 8ビット送信モード.....	333
17.6.1.1. 設定.....	333
17.6.1.2. 送信開始.....	333
17.6.1.3. 送信バッファとシフト動作.....	333
17.6.1.4. 送信完了時の動作.....	334
17.6.1.5. 送信終了.....	334
17.6.2. 8ビット受信モード.....	338
17.6.2.1. 設定.....	338
17.6.2.2. 受信開始.....	338
17.6.2.3. 受信完了時の動作.....	338
17.6.2.4. 受信終了.....	339
17.6.3. 8ビット送受信モード.....	342
17.6.3.1. 設定.....	342
17.6.3.2. 送受信開始.....	342
17.6.3.3. 送信バッファとシフト動作.....	342
17.6.3.4. 送受信完了時の動作.....	343
17.6.3.5. 送受信終了.....	344
17.7. AC 特性.....	347

18.	シリアルバスインターフェース (SBI).....	348
18.1.	各製品のシリアルバスインターフェース (SBI)	348
18.2.	通信フォーマット	349
18.2.1.	I ² C バス	349
18.2.2.	フリーデータフォーマット.....	350
18.3.	構成.....	351
18.4.	制御.....	352
18.5.	低消費電力制御.....	359
18.6.	機能.....	359
18.6.1.	スレーブアドレス一致検出、ジェネラルコール検出の選択.....	359
18.6.2.	データ転送のクロック数とアクノリッジ有無の選択	359
18.6.2.1.	データ転送のクロック数.....	360
18.6.2.2.	アクノリッジ出力.....	361
18.6.3.	シリアルクロック	362
18.6.3.1.	クロックソース	362
18.6.3.2.	クロック同期化	363
18.6.4.	マスター/スレーブの選択	364
18.6.5.	トランスミッター/レシーバーの選択	364
18.6.6.	スタート/ストップコンディションの発生	365
18.6.7.	割り込みサービス要求と解除.....	366
18.6.8.	シリアルバスインターフェースの動作モード	366
18.6.9.	ソフトウェアリセット.....	367
18.6.10.	アービトラションロスト検出モニター	367
18.6.11.	スレーブアドレス一致検出モニター	369
18.6.12.	ジェネラルコール検出モニター.....	369
18.6.13.	最終受信ビットモニター	370
18.6.14.	スレーブアドレスとアドレス認識モードの設定.....	370
18.7.	I ² C バスモード時のデータ転送手順.....	371
18.7.1.	デバイスの初期化.....	371
18.7.2.	スタートコンディション、スレーブアドレスの発生	372
18.7.3.	1ワードのデータ転送	373
18.7.3.1.	SBI0SR2<MST>が"1"のとき (マスターモード).....	373
18.7.3.2.	SBI0SR2<MST>が"0"のとき (スレーブモード).....	376
18.7.4.	ストップコンディションの発生.....	378
18.7.5.	反復スタートの手順.....	379
18.8.	AC スペック	381
19.	キーオンウエイクアップ (KWU).....	382
19.1.	構成.....	382
19.2.	制御.....	383
19.3.	機能.....	385

20.	10 ビット AD コンバーター (ADC)	387
20.1.	構成	387
20.2.	制御	388
20.3.	機能	393
20.3.1.	シングルモード	393
20.3.2.	リポートモード	394
20.3.3.	AD 動作 Disable、AD 動作強制停止	394
20.4.	レジスターの設定	395
20.5.	STOP、IDLE0、SLOW モードの起動	396
20.6.	アナログ入力電圧と AD 変換結果	396
20.7.	AD コンバーターの注意事項	397
20.7.1.	アナログ入力端子電圧範囲	397
20.7.2.	アナログ入力兼用端子	397
20.7.3.	ノイズ対策	397
21.	フラッシュメモリー	398
21.1.	制御	399
21.2.	機能	401
21.2.1.	フラッシュメモリーのコマンドシーケンス、トグル制御 (FLSCR1<FLSMD>)	401
21.2.2.	フラッシュメモリーの領域切り替え (FLSCR1<FAREA>)	402
21.2.3.	RAM の領域切り替え (SYSCR3<RAREA>)	404
21.2.4.	BOOTROM の領域切り替え (FLSCR1<BAREA>)	404
21.2.5.	フラッシュメモリースタンバイリセット制御	406
21.3.	コマンドシーケンス	407
21.3.1.	Byte Program	408
21.3.2.	Sector Erase (4K バイト単位の部分消去)	409
21.3.3.	Chip Erase (全面消去)	410
21.3.4.	Product ID Entry	410
21.3.5.	Product ID Exit	410
21.3.6.	Security Program	410
21.4.	トグルビット (D6)	411
21.5.	フラッシュメモリー領域へのアクセス	411
21.5.1.	シリアル PROM モードのフラッシュメモリー制御	411
21.5.2.	MCU モードのフラッシュメモリー制御	412
21.5.2.1.	RAM 領域に制御プログラムを転送して書き込む例	412
21.5.2.2.	BOOTROM のサポートプログラム (API)を利用してフラッシュに書き込む例	416
21.5.2.3.	BOOTROM のサポートプログラム (API)を利用して Security Program を設定する例	419
21.5.2.4.	フラッシュメモリーからデータを読み出す例	421
21.6.	API (Application Programming Interface)	422
21.6.1.	.BTWrite	423
21.6.2.	.BTEraseSec	423

21.6.3. BTEraseChip	423
21.6.4. BTGetRP	423
21.6.5. BTSetRP	423
21.6.6. BTCalcUART	424
22. シリアル PROM モード	426
22.1. 概要	426
22.2. セキュリティーについて	426
22.3. シリアル PROM モード設定	427
22.3.1. シリアル PROM モード制御端子	427
22.4. オンボード書き込み接続例	429
22.5. シリアル PROM モードの起動	430
22.6. インターフェース仕様	431
22.6.1. UART による通信	431
22.7. メモリーマッピング	433
22.8. 動作コマンド	434
22.8.1. フラッシュメモリー消去コマンド (動作コマンド: 0xF0)	437
22.8.1.1. 消去範囲指定	438
22.8.2. フラッシュメモリー書き込みコマンド (動作コマンド: 0x30)	440
22.8.3. フラッシュメモリー読み出しコマンド (動作コマンド: 0x40)	442
22.8.4. フラッシュメモリーSUM 出力コマンド (動作コマンド: 0x90)	444
22.8.5. 製品識別コード出力コマンド (動作コマンド: 0xC0)	445
22.8.6. フラッシュメモリーステータス出力コマンド (動作コマンド: 0xC3)	446
22.8.6.1. フラッシュメモリーステータスコード	447
22.8.7. フラッシュメモリーセキュリティー設定コマンド (動作コマンド: 0xFA)	449
22.9. エラーコード	450
22.10. チェックサム (SUM)	450
22.10.1. 計算方法	450
22.10.2. 計算対象データ	451
22.11. インテル Hex フォーマット (Binary)	452
22.12. セキュリティー	453
22.12.1. パスワード	453
22.12.1.1. パスワードの仕組み	453
22.12.1.2. パスワードの構成	454
22.12.1.3. パスワードの設定/解除/認証	455
22.12.1.4. パスワードの設定値、設定範囲	456
22.12.2. Security Program	457
22.12.2.1. Security Program の設定/解除	457
22.12.3. オプションコード	458
22.12.4. 推奨設定	459
22.13. フローチャート	460

22.14. AC 特性 (UART).....	461
22.14.1. リセットタイミング	462
22.14.2. フラッシュメモリー消去コマンド (0xF0).....	462
22.14.3. フラッシュメモリー書き込みコマンド (0x30).....	463
22.14.4. フラッシュメモリー読み出しコマンド (0x40).....	464
22.14.5. フラッシュメモリーSUM 出力コマンド (0x90).....	465
22.14.6. 製品識別コード出力コマンド (0xC0).....	465
22.14.7. フラッシュメモリーステータス出力コマンド (0xC3).....	465
22.14.8. フラッシュメモリーセキュリティー設定コマンド (0xFA)	466
23. オンチップデバッグ機能 (OCD).....	467
23.1. 特長.....	467
23.2. 制御端子.....	468
23.3. 接続方法.....	469
23.4. セキュリティーについて	470
24. 端子の入出力回路.....	471
24.1. 制御端子.....	471
25. 電気的特性.....	472
25.1. 絶対最大定格	472
25.2. 動作条件.....	473
25.2.1. MCU モード (フラッシュメモリーの書き込みおよび消去動作時).....	473
25.2.2. MCU モード (フラッシュメモリーの書き込みおよび消去動作を除く).....	474
25.2.3. シリアル PROM モード.....	475
25.3. DC 特性	476
25.4. AD 変換特性	478
25.4.1. TMP89FS60B の AD 変換特性	478
25.4.2. TMP89FS62B の AD 変換特性	479
25.4.3. TMP89FS63B の AD 変換特性	480
25.5. パワーオンリセット回路特性.....	481
25.6. 電圧検出回路特性.....	482
25.7. AC 特性.....	483
25.7.1. MCU モード (フラッシュメモリーの書き込みおよび消去動作時).....	483
25.7.2. MCU モード (フラッシュメモリーの書き込みおよび消去動作を除く).....	483
25.7.3. シリアル PROM モード.....	483
25.8. フラッシュメモリー特性.....	484
25.8.1. 消去/書き込み特性.....	484
25.9. 発振条件.....	485
26. 外形寸法図.....	486
26.1. TMP89FS60BFG.....	486
26.2. TMP89FS60BUG.....	487

26.3. TMP89FS62BUG.....	488
26.4. TMP89FS63BUG.....	489
製品取り扱い上のお願い.....	490

目次

表 1-1	各製品の機能差	26
表 1-2	端子機能一覧と端子番号	33
表 2-1	メインソースクロック選択、発振許可レジスターの組み合わせ 禁止条件	53
表 2-2	ギアクロック (fcgck)	54
表 2-3	動作モードと各部の状態	65
表 2-4	STOP モード解除時の発振開始動作	70
表 2-5	リセット動作による内蔵ハードウェアの初期化と解除状態	84
表 3-1	全割り込み要因	90
表 3-2	各製品の割り込み要因	93
表 4-1	各製品で利用できる外部割り込み制御回路	106
表 4-2	外部割り込みの許可条件と割り込み要求発生条件	114
表 4-3	外部割り込み端子入力信号の幅とノイズ除去時間	114
表 4-4	割り込み要求発生条件	115
表 4-5	ノイズキャンセラーのサンプリングクロック	116
表 4-6	割り込み要求発生条件	117
表 4-7	ノイズキャンセラーのサンプリングクロック	118
表 5-1	ウォッチドッグタイマーオーバーフロー時間 (fcgck = 10.0 [MHz]、fs = 32.768 [kHz]時)	125
表 8-1	全入出力ポート一覧	138
表 8-2	各製品の入出力ポート割り当て	141
表 8-3	入出力ポート設定一覧表	143
表 8-4	P0 ポート	147
表 8-5	各製品の P0 ポート	147
表 8-6	P03、P02 と内蔵プルアップ抵抗	152
表 8-7	<P0PRDi>の読み出し値	153
表 8-8	P1 ポート	154
表 8-9	各製品の P1 ポート	154
表 8-10	P10 と内蔵プルアップ抵抗	158
表 8-11	P1i と内蔵プルアップ抵抗	158
表 8-12	<P1PRDi>の読み出し値	159
表 8-13	P2 ポート	160
表 8-14	各製品の P2 ポート	160
表 8-15	出力モードのときの端子の出力状態	162
表 8-16	ポート機能と内蔵プルアップ制御	166
表 8-17	<P2PRDi>の読み出し値	167
表 8-18	P4 ポート	168
表 8-19	各製品の P4 ポート	168
表 8-20	<P4CRi>と端子の入出力モード	171
表 8-21	ポート機能/兼用機能と内蔵プルアップ制御	173
表 8-22	<P4PRDi>の読み出し値	174
表 8-23	P5 ポート	175
表 8-24	各製品の P5 ポート	175
表 8-25	<P5PRDi>の読み出し値	180
表 8-26	P7 ポート	181
表 8-27	各製品の P7 ポート	181
表 8-28	<P7PRDi>の読み出し値	186
表 8-29	P8 ポート	187
表 8-30	各製品の P8 ポート	187
表 8-31	<P8PRDi>の読み出し値	192
表 8-32	P9 ポート	193

表 8-33	各製品の P9 ポート	193
表 8-34	出力モードのときの端子の出力状態	195
表 8-35	ポート機能と内蔵プルアップ制御	199
表 8-36	<P9PRDi>の読み出し値	200
表 8-37	PB ポート	201
表 8-38	各製品の PB ポート	201
表 8-39	出力モードのときの端子の出力状態	203
表 8-40	<PBPRDi>の読み出し値	207
表 8-41	選択されるポートと割り込み	211
表 8-42	選択されるポートと割り込み	211
表 9-1	SFR1 (“0x0000” ~ “0x003F”)	212
表 9-2	SFR2 (“0x0F00” ~ “0x0F7F”)	213
表 9-3	SFR2 (“0x0F80” ~ “0x0FFF”)	214
表 9-4	SFR3 (“0x0E40” ~ “0x0EBF”)	215
表 9-5	SFR3 (“0x0EC0” ~ “0x0EFF”)	216
表 11-1	ディバイダー出力の周波数 (例: fcgck = 10.0 [MHz]、fs = 32.768 [kHz]時)	221
表 12-1	タイムベースタイマー割り込み周波数 (例: fcgck = 10.0 [MHz]、fs = 32.768 [kHz]時)	224
表 13-1	SFR アドレス割り付け	226
表 13-2	端子名	226
表 13-3	各製品の 16 ビットタイマーカウンターのチャンネル	226
表 13-4	タイマーモードの分解能、最大設定時間	233
表 13-5	ノイズキャンセル時間	250
表 14-1	SFR アドレス割り付け	251
表 14-2	端子名	251
表 14-3	各製品の 8 ビットタイマーカウンター	251
表 14-4	動作モードと使用できるソースクロック (NORMAL1/2、IDLE1/2 モード時)	259
表 14-5	動作モードと使用できるソースクロック (SLOW1/2、SLEEP1 モード時)	260
表 14-6	8 ビットタイマーモードの分解能、最大設定時間	264
表 14-7	PWM00端子出力レベル一覧	269
表 14-8	8 ビット PWM モードの分解能、周期	273
表 14-9	PPG00端子出力レベル一覧	274
表 14-10	16 ビットタイマーモードの分解能、最大設定時間	281
表 14-11	付加パルスが追加される周期	285
表 14-12	PWM01端子出力レベル一覧	285
表 14-13	12 ビット PWM モードの分解能、周期	290
表 14-14	PPG01端子出力レベル一覧	291
表 16-1	SFR アドレス割り付け	299
表 16-2	端子名	299
表 16-3	各製品の非同期型シリアルインターフェース (UART)	299
表 16-4	UART0CR1、UART0CR2 レジスタの書き替え	305
表 16-5	レジスタの状態遷移	306
表 16-6	STOP、IDLE0、SLEEP0 モード起動時の TXD0 端子状態	306
表 16-7	転送ポーレートに対する UART0DR、UART0CR2<RTSEL>の設定値と誤差 (fcgck = 10 ~ 1 [MHz]、UART0CR2<RXDNC> = 00)	308
表 16-8	転送ポーレートに対する UART0DR、UART0CR2<RTSEL>の設定値と誤差 (fs = 32.768 [kHz]、UART0CR2<RXDNC> = 00)	309
表 16-9	UART0DR の算出方法 (<BRG>が fcgck の場合、A は設定したいポーレート)	311
表 16-10	UART0DR の算出例 (fcgck = 4 [MHz])	311
表 16-11	受信データのノイズ除去時間	313
表 16-12	TXD0 端子出力	314
表 16-13	受信割り込みを使用しない場合のフラグ判定	323
表 16-14	受信割り込みを使用した場合のフラグ判定	323
表 17-1	SFR アドレス割り付け	325

表 17-2	端子名	325
表 17-3	各製品の同期式シリアルインターフェース (SIO)	325
表 17-4	転送速度	331
表 17-5	転送エッジ選択	332
表 18-1	SFR アドレス割り付け	348
表 18-2	端子名	348
表 18-3	各製品のシリアルバスインターフェース (SBI)	348
表 18-4	データ転送のクロック数と SBI0CR1<BC>、SBI0CR1<ACK>の関係	360
表 18-5	アクノリジメントモードでの SCL0 端子と SDA0 端子の状態	361
表 18-6	各モードでの SBI0CR1<TRX>の動作	364
表 18-7	アービトラクションロスト時の INTSBI0 割り込み要求と SBI0CR2<PIN>の動作	376
表 18-8	スレーブモード時の処理	377
表 18-9	AC スペック (出力タイミング)	381
表 19-1	STOP モードの解除	386
表 20-1	<ACK>設定と周波数別の変換時間	391
表 21-1	コマンドシーケンス	407
表 21-2	アドレスの指定範囲 (BA)	408
表 21-3	アドレスの指定範囲 (SA)	409
表 21-4	Product ID モード時のリード値	410
表 21-5	API 一覧	422
表 21-6	消去される Sector	423
表 22-1	シリアル PROM モード動作範囲	426
表 22-2	シリアル PROM モード設定	427
表 22-3	シリアル PROM モードの端子機能	427
表 22-4	利用可能なボーレートの目安	432
表 22-5	シリアル PROM モード動作コマンド	434
表 22-6	フラッシュメモリー消去コマンド	437
表 22-7	フラッシュメモリー書き込みコマンド転送フォーマット	440
表 22-8	フラッシュメモリー読み出しコマンド転送フォーマット	442
表 22-9	フラッシュメモリー読み出しコマンド転送フォーマット	443
表 22-10	フラッシュメモリーSUM 出力コマンド転送フォーマット	444
表 22-11	製品識別コード出力コマンド転送フォーマット	445
表 22-12	フラッシュメモリーステータス出力コマンド	446
表 22-13	フラッシュメモリーステータスコード	447
表 22-14	ステータスコード 1 と動作コマンド (1/3)	448
表 22-15	ステータスコード 1 と動作コマンド (2/3)	448
表 22-16	ステータスコード 1 と動作コマンド (3/3)	448
表 22-17	ラッシュメモリーセキュリティー設定コマンド	449
表 22-18	エラーコード一覧	450
表 22-19	チェックサムの計算対象データ	451
表 22-20	インテル Hex フォーマットの定義	452
表 22-21	パスワードの設定値、設定範囲	456
表 22-22	オプションコード	458
表 22-23	オプションコード、Security Program の推奨設定	459
表 22-24	UART タイミング-1	461
表 22-25	UART タイミング-2	461
表 23-1	オンチップデバッグ機能使用時の端子一覧	468

目次

図 1-1	ピン配置図 (TMP89FS60BFG/TMP89FS60BUG)	27
図 1-2	ピン配置図 (TMP89FS62BUG)	28
図 1-3	ピン配置図 (TMP89FS63BUG)	29
図 1-4	ブロック図	30
図 1-5	ブロック図	31
図 1-6	ブロック図	32
図 2-1	コード領域のメモリーマップ	41
図 2-2	データ領域のメモリーマップ	45
図 2-3	システムクロック制御回路	48
図 2-4	発振子の接続例	53
図 2-5	タイミングジェネレーターの構成	55
図 2-6	ウォーミングアップカウンタ回路	57
図 2-7	動作モード状態遷移図	64
図 2-8	レベル解除モード (高周波クロック用発振回路選択時の例)	67
図 2-9	エッジ解除モード (高周波クロック用発振回路選択時の例)	68
図 2-10	IDLE1/2 モード、SLEEP1 モード	71
図 2-11	IDLE0、SLEEP0 モード	73
図 2-12	メインシステムクロック(fm)の切り替え (fcgck から fs / 4 への切り替え)	75
図 2-13	メインシステムクロック(fm)の切り替え (fs / 4 から fcgck への切り替え)	77
図 2-14	リセット制御回路	79
図 2-15	外部リセット入力 (電源立ち上がり時)	86
図 2-16	外部リセット入力 (電源安定時)	87
図 3-1	割り込み制御回路	91
図 3-2	ベクターテーブルアドレスとエントリーアドレス	101
図 3-3	プッシュ/ポップ命令による汎用レジスタの退避/復帰処理	102
図 3-4	転送命令による汎用レジスタの退避/復帰	103
図 3-5	レジスタバンクによる汎用レジスタの待避/復帰	104
図 4-1	外部割り込み 0/5	107
図 4-2	外部割り込み 1/2/3	107
図 4-3	外部割り込み 4	107
図 4-4	割り込み要求発生と EINTCRx<INTxLVL>	115
図 4-5	ノイズキャンセル動作	116
図 4-6	割り込み要求発生条件と EINTCR4<INT4LVL>	117
図 4-7	ノイズキャンセル動作	118
図 5-1	ウォッチドッグタイマーの構成	120
図 5-2	WDCTR<WDTEN>のセットタイミングとオーバーフロー時間	123
図 5-3	WDCTR<WDTW>と 8 ビットアップカウンタのクリア時間	124
図 5-4	ウォッチドッグタイマーステータスの変化	127
図 6-1	パワーオンリセット回路	128
図 6-2	パワーオンリセットの動作タイミング	129
図 7-1	電圧検出回路	130
図 7-2	INTVLT 割り込み要求	133
図 7-3	電圧検出リセット信号	134
図 7-4	電圧検出フラグ、電圧検出ステータスフラグの変化	135
図 8-1	入出力タイミング例	139
図 8-2	P0 ポート	148
図 8-3	P1 ポート	155
図 8-4	P2 ポート	161
図 8-5	P4 ポート	169

図 8-6	P5 ポート	176
図 8-7	P7 ポート	182
図 8-8	P8 ポート	188
図 8-9	P9 ポート	194
図 8-10	PB ポート	202
図 8-11	シリアルインターフェース選択機能	208
図 11-1	ディバイダー出力	220
図 11-2	ディバイダー出力のタイミング	221
図 12-1	タイムベースタイマーの構成	222
図 12-2	タイムベースタイマー割り込み	224
図 13-1	タイマーカウンタ-A0	227
図 13-2	タイマーモードタイミングチャート (自動キャプチャー)	234
図 13-3	タイマーモードタイミングチャート	236
図 13-4	外部トリガータイマータイミングチャート	238
図 13-5	イベントカウントモードタイミングチャート	240
図 13-6	ウインドウモードタイミングチャート	242
図 13-7	パルス幅測定モードタイミングチャート	245
図 13-8	キャプチャー処理例	246
図 13-9	PPG モードタイミングチャート	249
図 14-1	8 ビットタイマーカウンタ(TC00、TC01)	252
図 14-2	タイマーモードタイミングチャート	265
図 14-3	T00REG とアップカウンタが同値のときの動作	265
図 14-4	イベントカウンタモードタイミングチャート	267
図 14-5	PWM00パルス出力 (<PWMAD> = 1 のとき)	269
図 14-6	8 ビット PWM モードタイミングチャート	271
図 14-7	T00PWM にアップカウンタと同値を書き込んだときの動作例	272
図 14-8	PPG00パルス出力	274
図 14-9	T00PWM (T00REG)にアップカウンタと同値を書き込んだときの動作例	276
図 14-10	8 ビット PPG モードタイミングチャート	277
図 14-11	16 ビットタイマーカウンタタイミングチャート	280
図 14-12	16 ビットイベントカウンタモードタイミングチャート	283
図 14-13	付加パルスの追加例	286
図 14-14	PWM01端子出力	287
図 14-15	12 ビット PWM モードタイミングチャート	289
図 14-16	16 ビット PPG 出力モードタイミングチャート	295
図 15-1	時計専用タイマー	296
図 16-1	非同期型シリアルインターフェース (UART)	300
図 16-2	転送データフォーマット	307
図 16-3	赤外線データフォーマット例 (通常出力時と IrDA 出力時の比較)	307
図 16-4	UART0CR2<RTSEL>によるボーレートクロックの微調整	310
図 16-5	UART0CR2<RTSEL>ごとのデータサンプリング	312
図 16-6	スタートビットの検出	313
図 16-7	受信データのノイズ除去	313
図 16-8	パリティエラーの発生	315
図 16-9	フレーミングエラーの発生	316
図 16-10	オーバーランエラーの発生	317
図 16-11	オーバーランエラー発生時のフレーミング/パリティエラーフラグ	318
図 16-12	オーバーランエラーフラグのクリア	319
図 16-13	受信バッファフルの発生	320
図 16-14	送信ビジーフラグと送信バッファフルの発生	321
図 16-15	送信バッファフルの発生	321
図 16-16	受信処理例	322
図 17-1	シリアルインターフェース	326

図 17-2	転送エッジ.....	332
図 17-3	バイト間インターバル時間.....	332
図 17-4	8ビット送信モード (内部クロック、予約停止).....	335
図 17-5	8ビット送信モード (内部クロック、強制停止).....	335
図 17-6	8ビット送信モード (外部クロック、予約停止).....	336
図 17-7	8ビット送信モード (外部クロック、強制停止).....	336
図 17-8	8ビット送信モード (外部クロック、送信アンダーランエラー発生).....	337
図 17-9	8ビット受信モード (内部クロック、予約停止).....	339
図 17-10	8ビット受信モード (内部クロック、強制停止).....	340
図 17-11	8ビット受信モード (外部クロック、予約停止).....	340
図 17-12	8ビット受信モード (外部クロック、強制終了).....	341
図 17-13	8ビット受信モード (外部クロック、オーバーランエラー発生).....	341
図 17-14	8ビット送受信モード (内部クロック、予約停止).....	344
図 17-15	8ビット送受信モード (外部クロック、予約停止).....	345
図 17-16	8ビット送受信モード (外部クロック、送信アンダーランエラー発生、オーバーランエラー発生).....	346
図 17-17	AC 特性.....	347
図 18-1	デバイスの接続.....	349
図 18-2	I ² C バスのデータフォーマット.....	350
図 18-3	フリーデータフォーマット.....	350
図 18-4	シリアルバスインターフェース 0 (SBI0).....	351
図 18-5	データ転送クロック数と SBI0CR1<BC>、SBI0CR1<ACK>.....	360
図 18-6	SCL0 端子出力.....	362
図 18-7	SCL0 端子入力.....	362
図 18-8	クロック同期化の例.....	363
図 18-9	スタートコンディションの発生とスレーブアドレスの発生.....	365
図 18-10	ストップコンディションの発生.....	365
図 18-11	SBI0CR2<PIN>と SCL0 端子.....	366
図 18-12	アービトレーションロスト.....	367
図 18-13	SBI0 がマスターB の場合.....	368
図 18-14	スレーブアドレス一致モニターの変化.....	369
図 18-15	ジェネラルコール検出モニターの変化.....	369
図 18-16	最終受信ビットモニターの変化.....	370
図 18-17	スタートコンディションとスレーブアドレスの発生.....	372
図 18-18	SBI0CR1<BC> = 000、SBI0CR1<ACK> = 1 の場合.....	373
図 18-19	SBI0CR1<BC> = 000、SBI0CR1<ACK> = 1 の場合.....	374
図 18-20	マスターレシーバーモード時、データの送信を終了させるときの処理.....	375
図 18-21	ストップコンディションの発生.....	378
図 18-22	反復スタートを発生させる場合のタイミングチャート.....	380
図 18-23	タイミングの定義 (その 1).....	381
図 18-24	タイミングの定義 (その 2).....	381
図 19-1	キーオンウエイクアップ回路.....	382
図 20-1	10ビットADコンバーター.....	387
図 20-2	シングルモード.....	393
図 20-3	リピートモード.....	394
図 20-4	アナログ入力電圧とAD変換値 (typ.)の関係.....	396
図 20-5	アナログ入力等価回路と入力端子処理例.....	397
図 21-1	FLSCR1<FAREA>による領域切り替え.....	403
図 21-2	BOOTROM および RAM の表示/非表示切り替え.....	405
図 22-1	シリアル PROM モード端子設定.....	428
図 22-2	オンボード書き込み接続例.....	429
図 22-3	メモリーマッピング.....	433
図 22-4	パスワードの構成 (送信例).....	454

図 22-5	フローチャート.....	460
図 22-6	リセットタイミング.....	462
図 22-7	フラッシュメモリー消去コマンド.....	462
図 22-8	フラッシュメモリー書き込みコマンド.....	463
図 22-9	フラッシュメモリー読み出しコマンド.....	464
図 22-10	フラッシュメモリーSUM 出力コマンド.....	465
図 22-11	製品識別コード出力コマンド.....	465
図 22-12	フラッシュメモリーステータス出力コマンド.....	465
図 22-13	フラッシュメモリーセキュリティー設定コマンド.....	466
図 23-1	RTE870/C1 オンチップデバッグエミュレーターの接続例.....	469
図 25-1	ギアクロック (fcgck) と高周波クロック (fc).....	473
図 25-2	ギアクロック (fcgck) と高周波クロック (fc).....	474
図 25-3	高周波クロック (fc).....	475
図 25-4	パワーオンリセットの動作タイミング.....	481
図 25-5	電圧検出回路の動作タイミング.....	482

1. 概要

TMP89FS60BFG と TMP89FS60BUG、TMP89FS62BUG、TMP89FS63BUG は、61440 バイトのフラッシュメモリーを内蔵した高速、高機能 8 ビットシングルチップマイクロコントローラーです。

製品形名	フラッシュメモリー	RAM	パッケージ
TMP89FS60BFG	61440 バイト	3072 バイト	LQFP64 (14 mm ×14 mm, 0.8 mm pitch)
TMP89FS60BUG			LQFP64 (10 mm ×10 mm, 0.5 mm pitch)
TMP89FS62BUG			LQFP44 (10 mm ×10 mm, 0.8 mm pitch)
TMP89FS63BUG			LQFP52 (10 mm ×10 mm, 0.65 mm pitch)

これ以降、TMP89FS60BFG と TMP89FS60BUG を TMP89FS60B、TMP89FS62BUG を TMP89FS62B、TMP89FS63BUG を TMP89FS63B、4 つの製品を合わせて TMP89FS60B/62B/63B と呼びます。

1.1. 特長

- 8 ビットシングルチップマイクロコントローラー: TLCS-870/C1 シリーズ
 - 最小命令実行時間:
 - 100 [ns] (10 [MHz]動作時)
 - 122 [μs] (32.768 [kHz]動作時)
 - 基本機械語命令: 133 種類 732 命令
- 割り込み要因
 - TMP89FS60B: 全要因数: 27 要因 (外部要因: 6 要因、内部要因(リセットを除く): 21 要因)
 - TMP89FS62B: 全要因数: 24 要因 (外部要因: 4 要因、内部要因(リセットを除く): 20 要因)
 - TMP89FS63B: 全要因数: 25 要因 (外部要因: 4 要因、内部要因(リセットを除く): 21 要因)
- 入出力ポート数
 - TMP89FS60B: 56 端子、うち大電流(20 [mA] (typ.))ポート数: 8 端子
 - TMP89FS62B: 37 端子、うち大電流(20 [mA] (typ.))ポート数: 6 端子
 - TMP89FS63B: 44 端子、うち大電流(20 [mA] (typ.))ポート数: 6 端子
- ウォッチドッグタイマー (WDT)
 - オーバーフロー時の動作: 割り込みあるいはリセットを選択可能
- パワーオンリセット回路 (POR)
- 電圧検出回路 (VLTD)
 - 検出電圧設定可能
- ディバイダー出力 (DVO)
- タイムベースタイマー (TBT)

- 16ビットタイマーカウンタ (TCA): 2チャンネル
 - － タイマー、外部トリガタイマー、イベントカウンタ、ウインドウ、パルス幅測定、PPG出力機能
- 8ビットタイマーカウンタ (TC0): 4チャンネル
 - － タイマー、イベントカウンタ、PWM出力、PPG出力機能
 - － 2チャンネルをカスケード接続することで16ビットタイマー、12ビットPWM出力、16ビットPPG出力機能として使用可能
- 時計専用タイマー (RTC)
- シリアルインターフェース
 - － TMP89FS60B
 - UART: 1チャンネル
 - UART/SIO: 3チャンネル
 - I²C/SIO: 1チャンネル

注) 同時に使用できる UART のチャンネル数は3チャンネルです。同時に使用できる SIO のチャンネル数は2チャンネルです。

- － TMP89FS62B
 - UART: 2チャンネル
 - UART/SIO: 2チャンネル
 - I²C/SIO: なし

注) 同時に使用できる UART のチャンネル数は3チャンネルです。

- － TMP89FS63B
 - UART: 2チャンネル
 - UART/SIO: 2チャンネル
 - I²C/SIO: 1チャンネル

注) 同時に使用できる UART のチャンネル数は3チャンネルです。同時に使用できる SIO のチャンネル数は2チャンネルです。

- キーオンウエイクアップ (KWU): 8チャンネル
- 10ビットADコンバータ (ADC)
 - － 逐次比較方式
 - － アナログ入力チャンネル
 - TMP89FS60B: 16チャンネル
 - TMP89FS62B: 8チャンネル
 - TMP89FS63B: 13チャンネル
- オンチップデバッグ機能 (OCD)
 - － ブレーク/イベント
 - － トレース
 - － RAM モニター
 - － フラッシュメモリー書き込み
- クロック発振回路: 2回路(外部高周波/低周波発振回路)
 - － シングル/デュアルクロックモードを選択可能

- 低消費電力動作 (8 モード)
 - STOP モード: 高周波/低周波クロック発振回路は停止。
 - CPU は動作を停止。
 - 周辺回路は動作を停止。
 - SLOW1 モード: 高周波クロック発振回路は停止。低周波クロック発振回路は動作。
 - CPU は低周波クロックで動作。
 - 周辺回路は低周波クロックで動作。
 - SLOW2 モード: 高周波/低周波クロック発振回路は動作。
 - CPU は低周波クロックで動作。
 - 周辺回路は低周波クロックで動作。
 - IDLE0 モード: 高周波クロック発振回路は動作。低周波クロック発振回路は停止。
 - CPU は動作を停止。
 - 周辺回路のうち、タイムベースタイマーのみ高周波クロックで動作を継続。タイムベースタイマー割り込み要求で IDLE0 モードを解除し、CPU は動作を再開。
 - IDLE1 モード: 高周波クロック発振回路は動作。低周波クロック発振回路は停止。
 - CPU は動作を停止。
 - 高周波クロックで周辺回路は動作を継続。周辺回路の割り込み要求で IDLE1 モードを解除し、CPU は動作を再開。
 - IDLE2 モード: 高周波/低周波クロック発振回路は動作。
 - CPU は動作を停止。
 - 高周波/低周波クロックで周辺回路は動作を継続。周辺回路の割り込み要求で IDLE2 モードを解除し、CPU は動作を再開。
 - SLEEP0 モード: 高周波クロック発振回路は停止。低周波クロック発振回路は動作。
 - CPU は動作を停止。
 - 周辺回路のうち、タイムベースタイマーのみ低周波クロックで動作を継続。タイムベースタイマー割り込み要求で SLEEP0 モードを解除し、CPU は動作を再開。
 - SLEEP1 モード: 高周波クロック発振回路は停止。低周波クロック発振回路は動作。
 - CPU は動作を停止。
 - 低周波クロックで周辺回路は動作を継続。周辺回路の割り込み要求で SLEEP1 モードを解除し、CPU は動作を再開。
- 動作電圧と周波数:
 - $4.5 \leq V_{DD} \leq 5.5$ [V]、10 [MHz]/32.768 [kHz]動作
 - 全機能
 - $4.2 \leq V_{DD} < 4.5$ [V]、10 [MHz]/32.768 [kHz]動作
 - 10 ビット AD コンバーター変換精度と電気的特性(DC/AC)、フラッシュメモリーへの書き込み特性を除く機能

1.2. 機能差まとめ

それぞれの製品の機能差を表 1-1 に示します。

表 1-1 各製品の機能差

製品形名		TMP89FS60BFG	TMP89FS60BUG	TMP89FS62BUG	TMP89FS63BUG
フラッシュメモリーサイズ		61440 バイト			
RAM サイズ		3072 バイト			
入出力ポート数	総ポート数	56 端子		37 端子	44 端子
	大電流ポート数	8 端子		6 端子	6 端子
割り込み要因数 (リセットを除く)	総要因数	27		24	25
	外部要因数	6		4	4
	内部要因数	21		20	21
ウォッチドッグタイマー (WDT)		A			
パワーオンリセット (POR)		A			
電圧検出回路 (VLTD)		A			
デバイダー出力 (DVO)		A			
タイムベースタイマー (TBT)		A			
16 ビットタイマーカウンタ (TCA)		2 チャネル			
8 ビットタイマーカウンタ (TC0)		4 チャネル			
時計用タイマー (RTC)		A			
UART (注 2)		1 チャネル		2 チャネル	2 チャネル
UART/SIO (注 2)(注 3)		3 チャネル		2 チャネル	2 チャネル
I ² C/SIO (注 3)		1 チャネル		NA	1 チャネル
キーオンウエイクアップ (KWU)		8 チャネル			
10 ビット AD コンバータ (ADC) アナログ入力チャネル数		16 チャネル		8 チャネル	13 チャネル
低消費電力	STOP モード	A			
	SLOW1 モード	A			
	SLOW2 モード	A			
	IDLE0 モード	A			
	IDLE1 モード	A			
	IDLE2 モード	A			
	SLEEP0 モード	A			
	SLEEP1 モード	A			
動作電圧/ 周波数	4.5 ≤ V _{DD} ≤ 5.5 [V] 10 [MHz]/32.768 [kHz]動作	全ての機能が正しく動作し、全ての電気的特性を満たします。			
	4.2 ≤ V _{DD} < 4.5 [V] 10 [MHz]/32.768 [kHz]動作	全ての機能が正しく動作します。 除く、10 ビット逐次比較方式 AD コンバータ変換精度と電気的特性(DC/AC)、フラッシュメモリーの書き込み特性			
フラッシュメモリー消去/書き込み回数		1000 回			
オンチップデバッグ機能		A			
パッケージ	LQFP64 (14 [mm] × 14 [mm]、 0.8 [mm] ピッチ)	LQFP64 (10 [mm] × 10 [mm]、 0.5 [mm] ピッチ)	LQFP44 (10 [mm] × 10 [mm]、 0.8 [mm] ピッチ)	LQFP52 (10 [mm] × 10 [mm]、 0.65 [mm] ピッチ)	

注 1) A: 搭載、NA: 非搭載

注 2) 同時に使用できる UART のチャネル数は 3 チャネルです。

注 3) 同時に使用できる SIO のチャネル数は 2 チャネルです。

1.3. ピン配置図

1.3.1. TMP89FS60BFG/TMP89FS60BUG のピン配置図 (Top view)

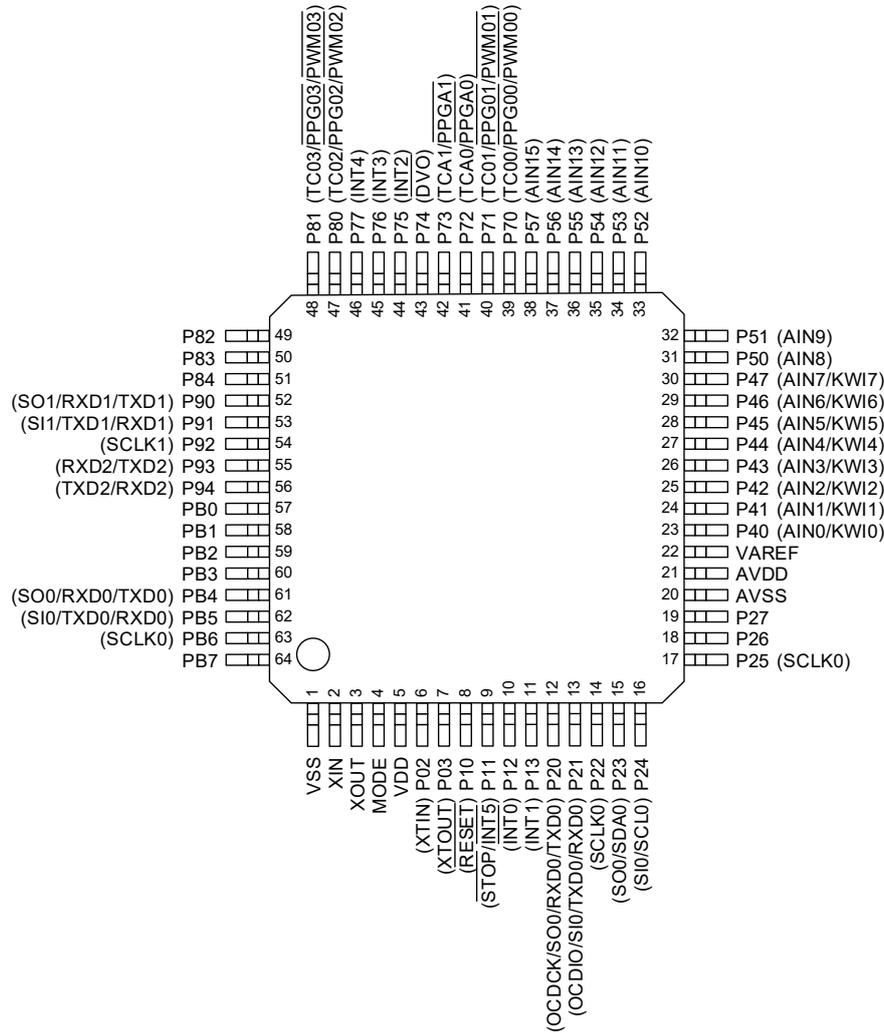


図 1-1 ピン配置図 (TMP89FS60BFG/TMP89FS60BUG)

1.3.2. TMP89FS62BUG のピン配置図 (Top view)

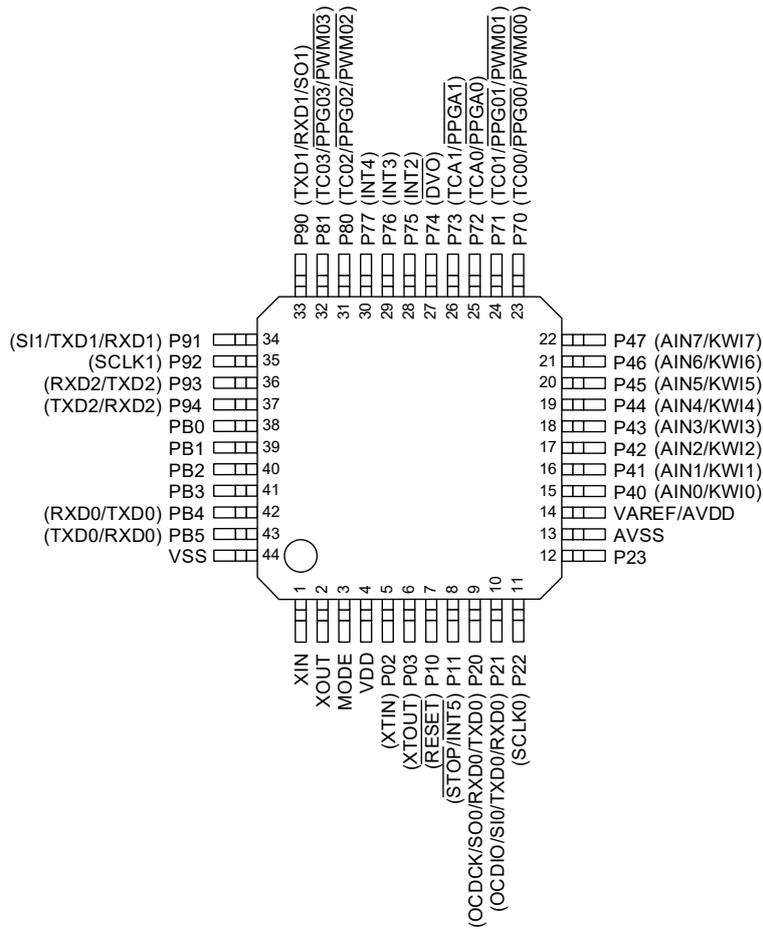


図 1-2 ピン配置図 (TMP89FS62BUG)

1.3.3. TMP89FS63BUG のピン配置図 (Top view)

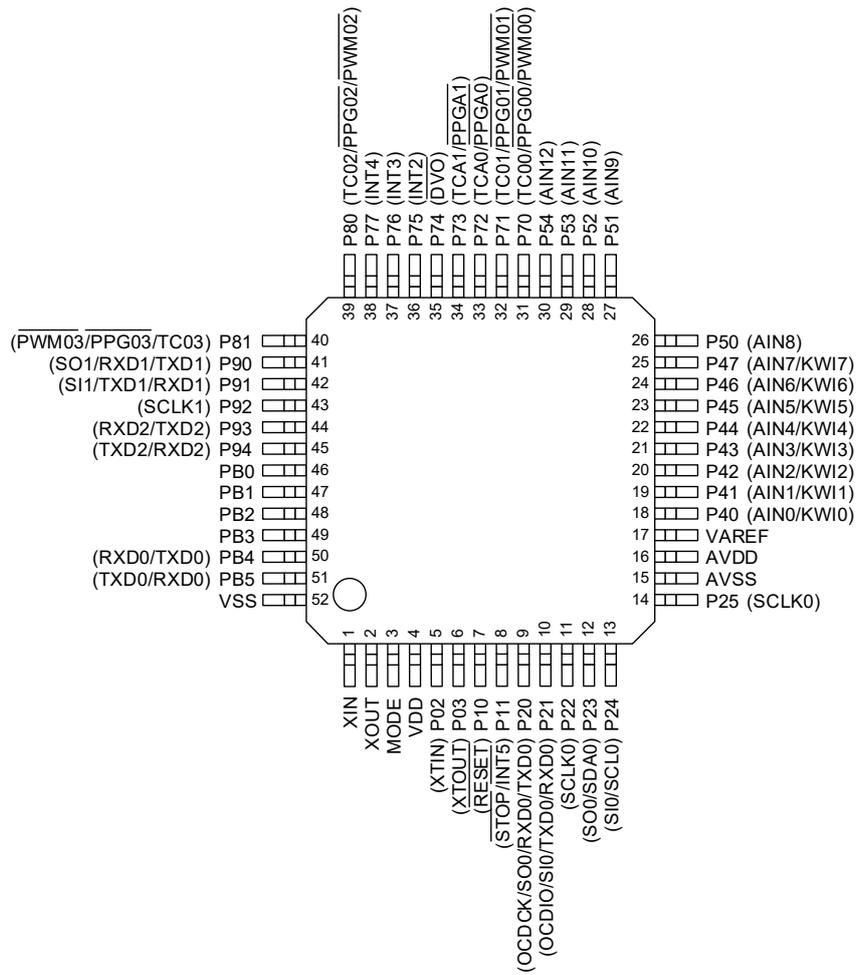


図 1-3 ピン配置図 (TMP89FS63BUG)

1.4. ブロック図

1.4.1. TMP89FS60B のブロック図

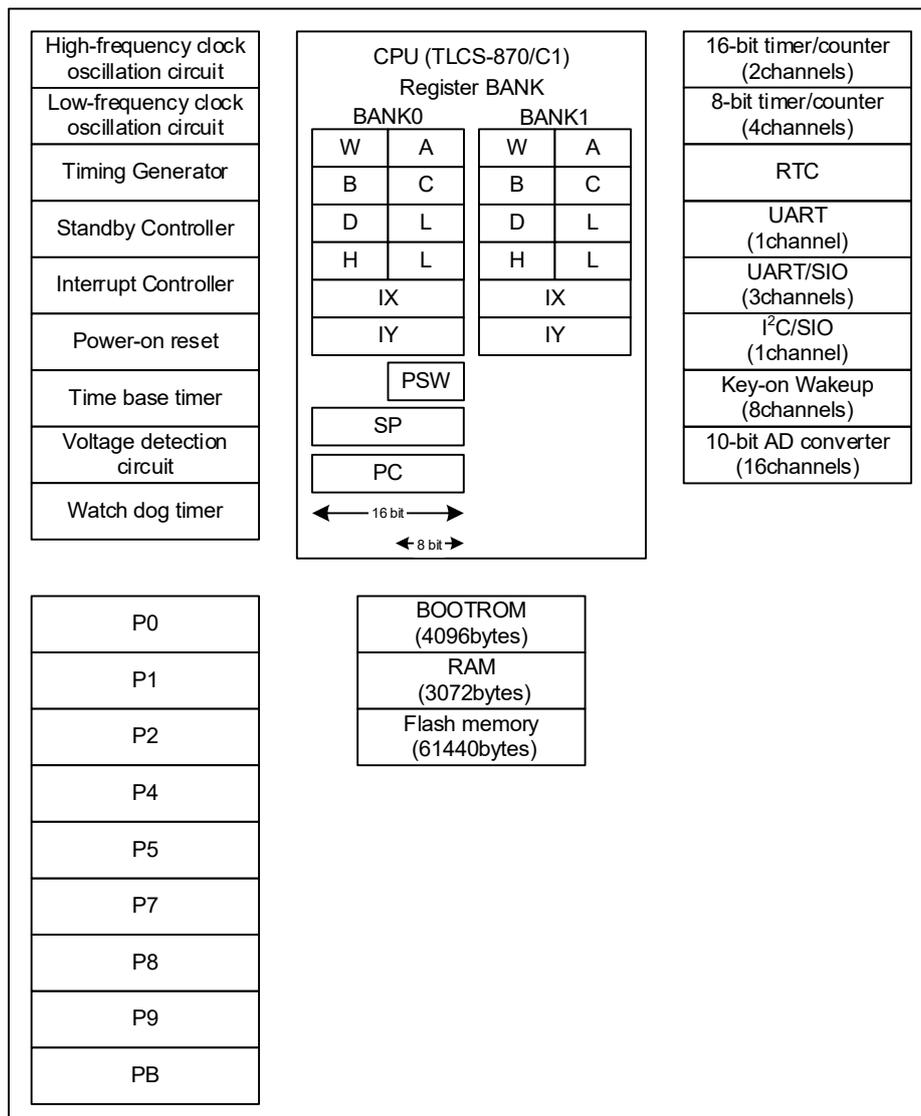


図 1-4 ブロック図

1.4.2. TMP89FS62B のブロック図

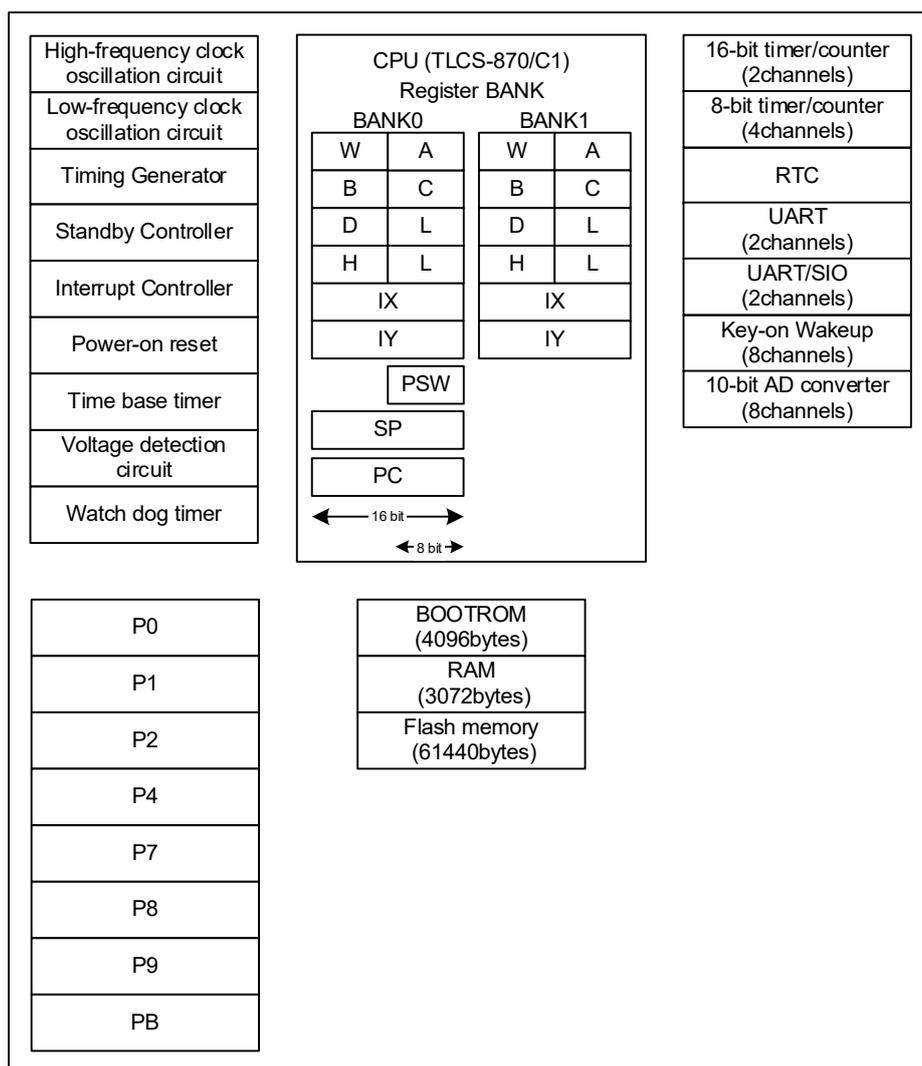


図 1-5 ブロック図

1.4.3. TMP89FS63B のブロック図

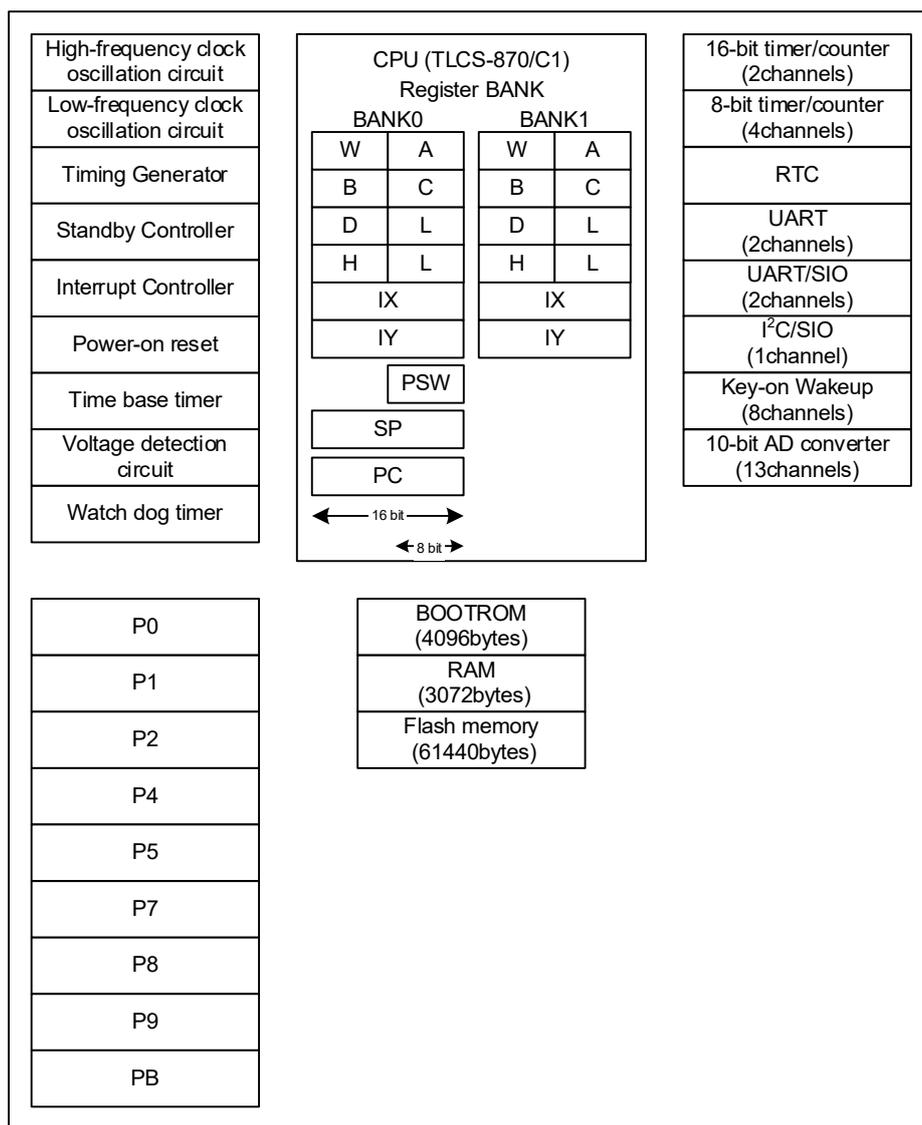


図 1-6 ブロック図

1.5. 端子機能

TMP89FS60B/62B/63B には、MCU モードとシリアル PROM モードがあります。

表 1-2 に MCU モード時の端子機能を示します。

シリアル PROM モードについては、「22. シリアル PROM モード」の章を参照してください。

表 1-2 端子機能一覧と端子番号

NA: 非搭載

I/O: input と output、I: input、O: output

端子番号			端子名	入出力	機能
TMP89FS60B	TMP89FS62B	TMP89FS63B			
7	6	6	P03 XTOUT	I/O O	ポート 03 低周波発振子接続端子
6	5	5	P02 XTIN	I/O I	ポート 02 低周波発振子接続端子
3	2	2	XOUT	O	高周波発振子接続端子
2	1	1	XIN	I	高周波発振子接続端子
11	NA	NA	P13 INT1	I/O I	ポート 13 外部割り込み 1 入力
10	NA	NA	P12 $\overline{\text{INT0}}$	I/O I	ポート 12 外部割り込み 0 入力
9	8	8	P11 $\overline{\text{INT5}}$ $\overline{\text{STOP}}$	I/O I I	ポート 11 外部割り込み 5 入力 STOP モード解除入力
8	7	7	P10 $\overline{\text{RESET}}$	I/O I	ポート 10 リセット信号入力
19	NA	NA	P27	I/O	ポート 27
18	NA	NA	P26	I/O	ポート 26
17	NA	14	P25 SCLK0	I/O I/O	ポート 25 シリアルクロック入出力 0
16	NA	13	P24 SCL0 SI0	I/O I/O I	ポート 24 I ² C バスクロック入出力 0 (注 1) シリアルデータ入力 0 (注 1)
15	12	12	P23 SDA0 SO0	I/O I/O O	ポート 23 I ² C バスデータ入出力 0 (注 1) シリアルデータ出力 0 (注 1)
14	11	11	P22 SCLK0	I/O I/O	ポート 22 シリアルクロック入出力 0
13	10	10	P21 RXD0 TXD0 SI0 OCDIO	I/O I O I I/O	ポート 21 UART データ入力 0 UART データ出力 0 シリアルデータ入力 0 OCD データ入出力

NA: 非搭載

I/O: input と output、I: input、O:output

端子番号			端子名	入出力	機能
TMP89FS60B	TMP89FS62B	TMP89FS63B			
12	9	9	P20	I/O	ポート 20
			TXD0	O	UART データ出力 0
			RXD0	I	UART データ入力 0
			SO0	O	シリアルデータ出力 0
			OCDCK	I	OCD クロック入力
30	22	25	P47	I/O	ポート 47
			AIN7	I	アナログ入力 7
			KWI7	I	キーオンウエイクアップ入力 7
29	21	24	P46	I/O	ポート 46
			AIN6	I	アナログ入力 6
			KWI6	I	キーオンウエイクアップ入力 6
28	20	23	P45	I/O	ポート 45
			AIN5	I	アナログ入力 5
			KWI5	I	キーオンウエイクアップ入力 5
27	19	22	P44	I/O	ポート 44
			AIN4	I	アナログ入力 4
			KWI4	I	キーオンウエイクアップ入力 4
26	18	21	P43	I/O	ポート 43
			AIN3	I	アナログ入力 3
			KWI3	I	キーオンウエイクアップ入力 3
25	17	20	P42	I/O	ポート 42
			AIN2	I	アナログ入力 2
			KWI2	I	キーオンウエイクアップ入力 2
24	16	19	P41	I/O	ポート 41
			AIN1	I	アナログ入力 1
			KWI1	I	キーオンウエイクアップ入力 1
23	15	18	P40	I/O	ポート 40
			AIN0	I	アナログ入力 0
			KWI0	I	キーオンウエイクアップ入力 0
38	NA	NA	P57	I/O	ポート 57
			AIN15	I	アナログ入力 15
37	NA	NA	P56	I/O	ポート 56
			AIN14	I	アナログ入力 14
36	NA	NA	P55	I/O	ポート 55
			AIN13	I	アナログ入力 13
35	NA	30	P54	I/O	ポート 54
			AIN12	I	アナログ入力 12
34	NA	29	P53	I/O	ポート 53
			AIN11	I	アナログ入力 11

NA: 非搭載

I/O: input と output、I: input、O:output

端子番号			端子名	入出力	機能
TMP89FS60B	TMP89FS62B	TMP89FS63B			
33	NA	28	P52 AIN10	I/O I	ポート 52 アナログ入力 10
32	NA	27	P51 AIN9	I/O I	ポート 51 アナログ入力 9
31	NA	26	P50 AIN8	I/O I	ポート 50 アナログ入力 8
46	30	38	P77 INT4	I/O I	ポート 77 外部割り込み 4 入力
45	29	37	P76 INT3	I/O I	ポート 76 外部割り込み 3 入力
44	28	36	P75 INT2	I/O I	ポート 75 外部割り込み 2 入力
43	27	35	P74 $\overline{\text{DVO}}$	I/O O	ポート 74 ディバイダー出力
42	26	34	P73 TCA1 $\overline{\text{PPGA1}}$	I/O I O	ポート 73 TCA1 入力 PPGA1 出力
41	25	33	P72 TCA0 $\overline{\text{PPGA0}}$	I/O I O	ポート 72 TCA0 入力 PPGA0 出力
40	24	32	P71 TC01 $\overline{\text{PPG01}}$ $\overline{\text{PWM01}}$	I/O I O O	ポート 71 TC01 入力 PPG01 出力 PWM01 出力
39	23	31	P70 TC00 $\overline{\text{PPG00}}$ $\overline{\text{PWM00}}$	I/O I O O	ポート 70 TC00 入力 PPG00 出力 PWM00 出力
51	NA	NA	P84	I/O	ポート 84
50	NA	NA	P83	I/O	ポート 83
49	NA	NA	P82	I/O	ポート 82
48	32	40	P81 TC03 $\overline{\text{PPG03}}$ $\overline{\text{PWM03}}$	I/O I O O	ポート 81 TC03 入力 PPG03 出力 PWM03 出力
47	31	39	P80 TC02 $\overline{\text{PPG02}}$ $\overline{\text{PWM02}}$	I/O I O O	ポート 80 TC02 入力 PPG02 出力 PWM02 出力

NA: 非搭載

I/O: input と output、I: input、O:output

端子番号			端子名	入出力	機能
TMP89FS60B	TMP89FS62B	TMP89FS63B			
56	37	45	P94 RXD2 TXD2	I/O I O	ポート 94 UART データ入力 2 UART データ出力 2
55	36	44	P93 TXD2 RXD2	I/O O I	ポート 93 UART データ出力 2 UART データ入力 2
54	35	43	P92 SCLK1	I/O I/O	ポート 92 シリアルクロック入出力 1
53	34	42	P91 RXD1 TXD1 SI1	I/O I O I	ポート 91 UART データ入力 1 UART データ出力 1 シリアルデータ入力 1
52	33	41	P90 TXD1 RXD1 SO1	I/O O I O	ポート 90 UART データ出力 1 UART データ入力 1 シリアルデータ出力 1
64	NA	NA	PB7	I/O	ポート B7
63	NA	NA	PB6 SCLK0	I/O I/O	ポート B6 シリアルクロック入出力 0 (注 2)
62	43	51	PB5 RXD0 TXD0 SI0	I/O I O I	ポート B5 UART データ入力 0 UART データ出力 0 シリアルデータ入力 0 (注 2)
61	42	50	PB4 TXD0 RXD0 SO0	I/O O I O	ポート B4 UART データ出力 0 UART データ入力 0 シリアルデータ出力 0 (注 2)
60	41	49	PB3	I/O	ポート B3
59	40	48	PB2	I/O	ポート B2
58	39	47	PB1	I/O	ポート B1
57	38	46	PB0	I/O	ポート B0
4	3	3	MODE	I	出荷試験用端子 "Low"レベルに固定してください。
22	14	17	VAREF	-	AD 変換用アナログ基準電圧入力端子
21		16	AVDD	-	アナログ用電源端子
20	13	15	AVSS	-	アナログ用 GND 端子
5	4	4	VDD	-	電源端子
1	44	52	VSS	-	GND 端子

注 1) この機能は TMP89FS62B には搭載されていません。

注 2) この機能は TMP89FS62B と TMP89FS63B には搭載されていません。

1.6. Reserved の扱いについて

このデータシートは、TMP89FS60B と TMP89FS62B、TMP89FS63B の 3 製品について書かれています。それぞれの製品について、搭載されている周辺回路が異なるために、特定のアドレスや機能、ビットシンボルに対してアクセスしてはいけないもの、決まった値を書き込む必要があるものが存在します。それらについて、このドキュメントでは「Reserved」で記載されています。

(1) “Reserved”のみ記載されている場合

1. アドレスに対して「Reserved」と書かれている場合は、そのアドレスに対して、書き込み、読み出しを行わないでください。

例) 下記の SFR1 の表で、アドレス 0x0003 には「Reserved」と書かれているため、書き込み、読み出しを行わないでください。

表 x-x SFR1

Address	Register Name	Address	Register Name
0x0000	P0DR	0x0020	SIO0SR
0x0001	P1DR	0x0021	SIO0BUF
0x0002	P2DR	0x0022	SBI0CR1
0x0003	Reserved	0x0023	SBI0CR2/SBI0SR2
0x0004	P4DR	0x0024	I2C0AR
0x0005	P5DR	0x0025	SBI0DBR

2. 機能について「Reserved」と書かれている場合は、その機能は非搭載です。

例) 下記の割り込み要因の表で、INTSBI0/INTSIO0 は TMP89FS62B で「Reserved」となるため、非搭載となり使用できません。

また、INT0 と INT1 は TMP89FS62B と TMP89FS63B で「Reserved」となるため、非搭載となり使用できません。

表 x-x 割り込み要因

基本優先順位	割り込み要因		許可条件	割り込みラッチ	ベクターアドレス (MCU モード)	
					SYSSR4 <RVCTR> = 0	SYSSR4 <RVCTR> = 1
16	内部	INTSBI0/INTSIO0 (注 4)	<IMF> AND EIRH<EF15> = 1	ILH<IL15>	0xFFE0	0x01E0
17	外部	INT0 (注 5)	<IMF> AND EIRE<EF16> = 1	ILE<IL16>	0xFFDE	0x01DE
18	外部	INT1 (注 5)	<IMF> AND EIRE<EF17> = 1	ILE<IL17>	0xFFDC	0x01DC

注 4) INTSBI0/INTSIO0 は TMP89FS62B では「Reserved」になります。

注 5) INT0 と INT1 は TMP89FS62B と TMP89FS63B では「Reserved」になります。

3. レジスタのビットシンボルに設定する値に「Reserved」と書かれている場合は、そのビットシンボルにその値を設定しないでください。

例) 下記の<SAIN>の設定値について、TMP89FS62B では 0x08~0xF を、TMP89FS63B では 0xD~0xF を設定しないでください。

AD コンバーター制御レジスタ-1

ADCCR1 (0x0034)	7	6	5	4	3	2	1	0
Bit Symbol	ADRS	AMD		AINEN	SAIN			
Read/Write	R/W	R/W		R/W	R/W			
リセット後	0	0	0	0	0	0	0	0

ADRS	AD 変換開始	0:	-			
		1:	AD 変換開始			
AMD	AD 動作モード	00:	AD 動作 Disable、AD 動作強制停止			
		01:	シングルモード			
		10:	Reserved			
		11:	リポートモード			
AINEN	アナログ入力制御	0:	アナログ入力 Disable			
		1:	アナログ入力 Enable			
SAIN	アナログ入力チャンネル選択		TMP89FS60B	TMP89FS62B	TMP89FS63B	
		0000:	AIN0	AIN0	AIN0	
		0001:	AIN1	AIN1	AIN1	
		0010:	AIN2	AIN2	AIN2	
		0011:	AIN3	AIN3	AIN3	
		0100:	AIN4	AIN4	AIN4	
		0101:	AIN5	AIN5	AIN5	
		0110:	AIN6	AIN6	AIN6	
		0111:	AIN7	AIN7	AIN7	
		1000:	AIN8	Reserved	AIN8	
		1001:	AIN9	Reserved	AIN9	
		1010:	AIN10	Reserved	AIN10	
		1011:	AIN11	Reserved	AIN11	
		1100:	AIN12	Reserved	AIN12	
		1101:	AIN13	Reserved	Reserved	
		1110:	AIN14	Reserved	Reserved	
1111:	AIN15	Reserved	Reserved			

(2) 「Reserved (“0”を設定してください)」、「Reserved (“1”を設定してください)」など、「Reserved」と括弧書きが組み合わされている場合

1. 「Reserved (“0”を設定してください)」と書かれている場合

例) 下記の割り込み優先順位変更制御レジスタ4 について、TMP89FS62B と TMP89FS63B では、ILPRS4<IL17P>と<IL16P>は、「Reserved (“0”を設定してください)」なので、ILPRS4 に即値を設定する場合や、ILPRS4 の他のシンボルの値を変更するときには<IL17P> = 00、<IL16P> = 00 としてください。

割り込み優先順位変更制御レジスタ4

ILPRS4		7	6	5	4	3	2	1	0
(0x0FF3)	Bit Symbol	IL19P		IL18P		IL17P		IL16P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL19P	<IL19>の割り込み優先順位の設定	00:	Level0 (優先順位: 低)
IL18P	<IL18>の割り込み優先順位の設定	01:	Level1
IL17P (注)	<IL17>の割り込み優先順位の設定	10:	Level2
IL16P (注)	<IL16>の割り込み優先順位の設定	11:	Level3 (優先順位: 高)

注) <IL17P>と<IL16P>は TMP89FS62B と TMP89FS63B では「Reserved (“0”を設定してください)」です。

2. 「Reserved(“1”を設定してください)」と書かれている場合

例) P2 ポート入出力制御について、TMP89FS62B と TMP89FS63B では、P2CR<P2CR7>と<P2CR6>は「Reserved(“1”を設定してください)」なので、P2CR に即値を設定する場合や、P2CR の他のシンボルの値を変更するときには<P2CR7>=1、<P2CR6>=1 としてください。

P2 ポート入出力制御

P2CR	7	6	5	4	3	2	1	0	
(0x0F1C)	Bit Symbol	P2CR7	P2CR6	P2CR5	P2CR4	P2CR3	P2CR2	P2CR1	P2CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P2CR7	入力モード、 出力モード選択	0: 1:	入力モード 出力モード	Reserved(“1”を設定してください)	
P2CR6	入力モード、]出力モード選択	0: 1:	入力モード 出力モード	Reserved(“1”を設定してください)	
P2CR5	入力モード、 出力モード選択	0: 1:	入力モード SCLK0 (I) 出力モード SCLK0 (O)	Reserved(“1”を設 定してください)	入力モード SCLK0 (I) 出力モード SCLK0 (O)
P2CR4	入力モード、 出力モード選択	0: 1:	入力モード SI0 (I) 出力モード SCL0 (I/O)	Reserved(“1”を設 定してください)	入力モード SI0 (I) 出力モード SCL0 (I/O)

2. CPU コア

2.1. 構成

CPU コアは CPU、システムクロック制御回路、リセット制御回路から構成されます。

この章では CPU コアのメモリー空間、システムクロック制御回路、リセット制御回路について説明します。

2.2. メモリー空間

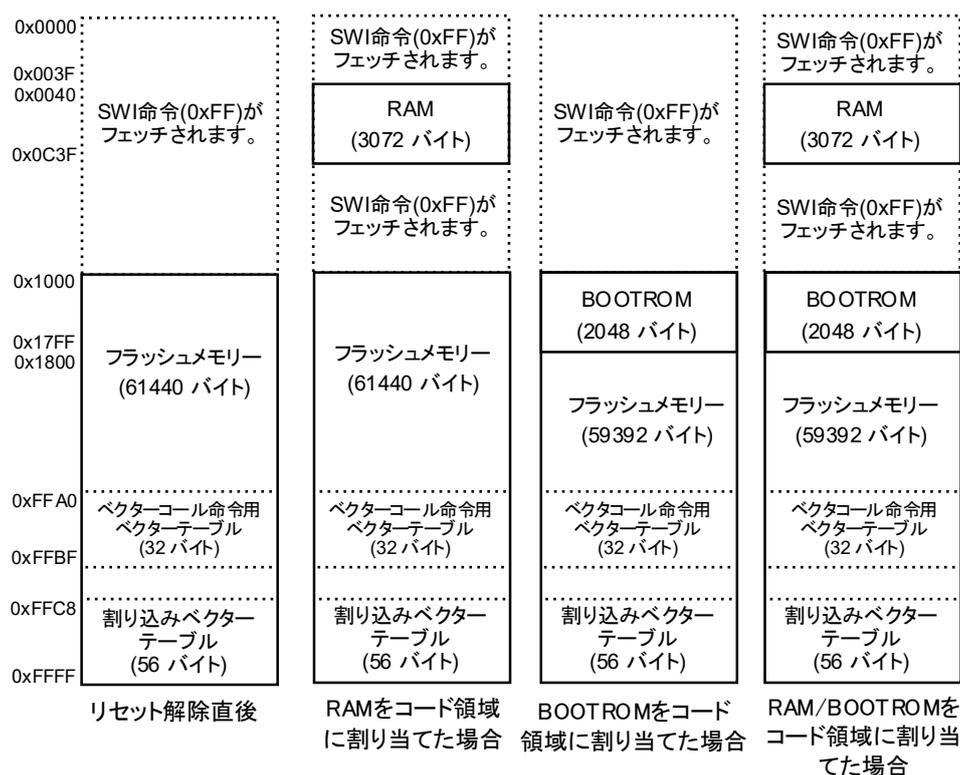
TLCS-870/C1 CPU のメモリー空間は、命令のオペコード、オペランドとしてアクセスされるコード領域と、転送命令、演算命令などのソース、デスティネーションとしてアクセスされるデータ領域から成り立っています。

コード領域、データ領域とも、それぞれ独立した 64K バイトのアドレス空間を持ちます。

2.2.1. コード領域

コード領域にはオペコード、オペランド、ベクターコール命令用ベクターテーブル、割り込みベクターテーブルが格納されます。

コード領域には RAM、BOOTROM、フラッシュメモリーが割り当てられます。



注) シリアル PROM モード以外では BOOTROM の前半 2K バイトのみコード領域のメモリーマップに割り当てられません。

図 2-1 コード領域のメモリーマップ

2.2.1.1. RAM

RAM はリセット解除直後、データ領域に割り当てられます。

SYSCR3<RAREA>を"1"にセットし、SYSCR4 に"0xD4"を書き込むことで、RAM をコード領域の"0x0040"～"0x0C3F"に割り当ててプログラムを実行することが可能です。

また、このとき SYSCR3<RVCTR>を"1"にセットし、SYSCR4 に"0xD4"を書き込むことで、ベクターコール命令用ベクターテーブルとリセットを除く割り込みベクターテーブルの領域を RAM に割り当てることができます。

ベクターコール命令については「TLCS-870/C1 シリーズ CPU」を、割り込みベクターテーブルについては、「3. 割り込み制御回路」を参照してください。

注 1) RAM をコード領域に割り当てない場合、"0x0040"～"0x0C3F"は SWI 命令がフェッチされます。

注 2) RAM の内容は電源投入時、リセット解除直後、不定になります。RAM でプログラムを実行する場合、実行するプログラムを初期化ルーチンで転送してください。

システム制御レジスター3

SYSCR3 (0x0FDE)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	RVCTR	RAREA	(RSTDIS)
Read/Write	R	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

RAREA	RAM のコード領域割り当て指定	0:	RAM をコード領域の"0x0040"～"0x0C3F"に割り当てない
		1:	RAM をコード領域の"0x0040"～"0x0C3F"に割り当てる
RVCTR	ベクターコール命令用ベクターテーブルと割り込みベクターテーブル割り当て設定	0:	コード領域の"0xFFA0"～"0xFFBF"に割り当て
		1:	コード領域の"0x01A0"～"0x01BF"に割り当て

注 1) SYSCR3<RAREA>の値は SYSCR4 に"0xD4"を書き込むまで有効となりません。

注 2) ベクターテーブルを RAM に割り当てる場合は、SYSCR3<RAREA>と SYSCR3<RVCTR>を"1"に設定した後、SYSCR4 に 0xD4 を書き込んでください。

注 3) SYSCR3 のビット 7～3 は、読みだすと"0"が読みだされます。

システム制御レジスタ-4

SYSCR4		7	6	5	4	3	2	1	0
(0x0FDF)	Bit Symbol	SYSCR4							
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0

SYSCR4	SYSCR3 と IRSTSR のデータを有効にする制御コード書き込み	0xB2:	SYSCR3<RSTDIS>の内容を有効にする
		0xD4:	SYSCR3<RAREA>、SYSCR3<RVCTR>の内容を有効にする
		0x71:	IRSTSR<FCLR>の内容を有効にする
		その他:	無効

注 1) SYSCR4 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 2) SYSCR3<RSTDIS>を変更し、SYSCR4 に有効コード"0xB2"を書き込むとき、ギアクロック (fcgck)が fc / 4 (CGCR<FCGCKSEL> = 00 の状態)の NORMAL モード状態のまま、連続して実行してください。それ以外では予期しないタイミングで SYSCR3<RSTDIS>が有効となることがあります。

注 3) IRSTSR<FCLR>を変更し、SYSCR4 に有効コード"0x71"を書き込むとき、ギアクロック (fcgck)が fc / 4 (CGCR<FCGCKSEL> = 00 の状態)の NORMAL モード状態のまま、連続して実行してください。それ以外では予期しないタイミングで IRSTSR<FCLR>が有効となることがあります。

システム制御ステータスレジスタ-4

SYSSR4		7	6	5	4	3	2	1	0
(0x0FDF)	Bit Symbol	-	-	-	-	-	RVCTRS	RAREAS	(RSTDIS)
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

RAREAS	RAM のコード領域割り当て指定ステータス	0:	有効になっている SYSCR3<RAREA>のデータが"0"
		1:	有効になっている SYSCR3<RAREA>のデータが"1"
RVCTRS	ベクターコール命令用ベクターテーブルと割り込みベクターテーブル割り当て設定ステータス	0:	有効になっている SYSCR3<RVCTR>のデータが"0"
		1:	有効になっている SYSCR3<RVCTR>のデータが"1"

注) SYSSR4 のビット 7~3 は、読みだすと"0"が読みだされます。

プログラム例：データ領域に格納されているプログラムを RAM へ転送する

```

LD    HL, TRANSFER_START_ADDRESS    ; 転送先の RAM のアドレス
LD    DE, PROGRAM_START_ADDRESS    ; 転送元の ROM のアドレス
LD    BC, BYTE_OF_PROGRAM          ; 転送するプログラムのバイト数-1
TRANS_RAM:
LD    A, (DE)                       ; 転送するプログラムの読み出し
LD    (HL), A                       ; 転送するプログラムの書き込み
INC   HL                             ; 転送先のアドレスインクリメント
INC   DE                             ; 転送元のアドレスインクリメント
DEC   BC                             ; 全てのプログラムを転送したか?
J     F, TRANS_RAM

```

2.2.1.2. BOOTROM

BOOTROM はリセット解除後、コード領域にもデータ領域にも割り当てられません。

FLSCR1<BAREA>を"1"にセットし、FLSCR2 に"0xD5"を書き込むことでコード領域の"0x1000" ~ "0x17FF"、データ領域の"0x1000" ~ "0x17FF"に割り当てられ、BOOTROM に内蔵されている API (Application Programming Interface)を使用し、フラッシュメモリーへの消去、書き込みを容易に行うことができます。

注 1) BOOTROM をコード領域に割り当てない場合、内蔵するフラッシュメモリーの容量に合わせ、フラッシュメモリーから命令をフェッチする、あるいは SWI 命令をフェッチします。

注 2) シリアル PROM モード以外では BOOTROM の前半 2K バイトのみメモリーマップに割り当てられます。

フラッシュメモリー制御レジスター1

FLSCR1 (0x0FD0)		7	6	5	4	3	2	1	0
Bit Symbol		(FLSMD)			BAREA	(FAREA)		(ROMSEL)	
Read/Write		R/W			R/W	R/W		R/W	
リセット後		0	1	0	0	0	0	0	0

BAREA	BOOTROM のコード領域、データ領域割り当て指定	0:	BOOTROM をコード領域の"0x1000" ~ "0x17FF"、データ領域の"0x1000" ~ "0x17FF"に割り当てない
		1:	BOOTROM をコード領域の"0x1000" ~ "0x17FF"、データ領域の"0x1000" ~ "0x17FF"に割り当てる

注) FLSCR1 の値は FLSCR2 に"0xD5"を書き込むまで有効となりません。

フラッシュメモリー制御レジスター2

FLSCR2 (0x0FD1)		7	6	5	4	3	2	1	0
Bit Symbol		CR1EN							
Read/Write		W							
リセット後		*	*	*	*	*	*	*	*

CR1EN	FLSCR1 のデータを有効にする制御コード書き込み	0xD5:	FLSCR1 の内容を有効にする
		その他:	無効

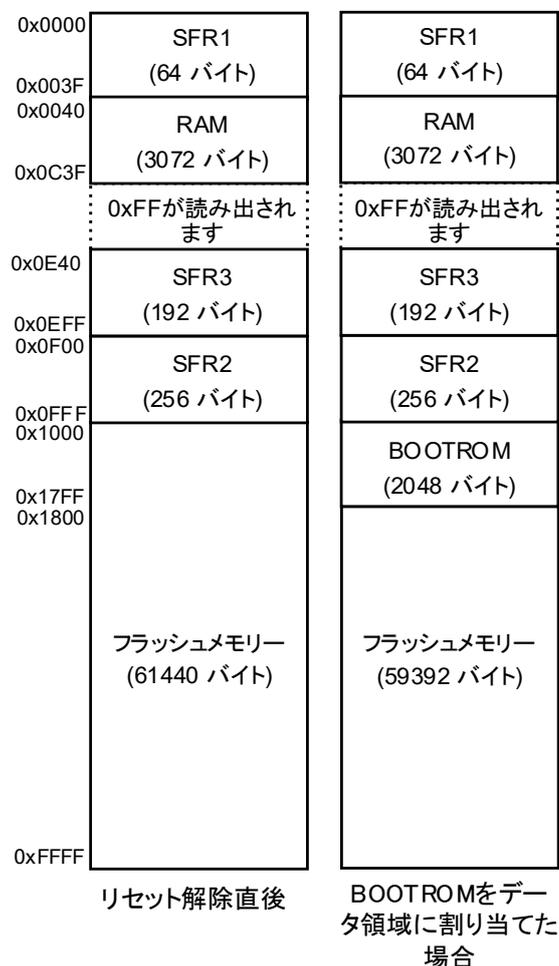
2.2.1.3. フラッシュメモリー

フラッシュメモリーはリセット解除後、コード領域の"0x1000" ~ "0xFFFF"に割り当てられます。

2.2.2. データ領域

データ領域には転送命令、演算命令などソース、デスティネーションとしてアクセスされるデータが格納されます。

データ領域には SFR、RAM、BOOTROM、フラッシュメモリーが割り当てられます。



注) シリアル PROM モード以外では BOOTROM の前半 2K バイトのみメモリーマップに割り当てられます。

図 2-2 データ領域のメモリーマップ

2.2.2.1. SFR

SFR はリセット解除後、データ領域の"0x0000" ~ "0x003F" (SFR1)、"0x0F00" ~ "0x0FFF" (SFR2)、"0x0E40" ~ "0x0EFF" (SFR3)に割り当てられます。

注) Reserved の SFR アドレスにはアクセスしないでください。

2.2.2.2. RAM

RAMはリセット解除直後、データ領域の"0x0040"～"0x0C3F"に割り当てられます。

注) RAMの内容は電源投入時、リセット解除直後、不定になります。従って、RAMでプログラムを実行する場合には、必ず実行前に、プログラムをRAMに転送する必要があります。

プログラム例：RAMの内容を初期化する

```
LD    HL, RAM_TOP_ADDRESS      ; 初期化するRAMの先頭アドレス
LD    A, 0x00                  ; 初期化データ
LD    BC, BYTE_OF_CLEAR_BYTES ; 初期化するRAMのバイト数-1
CLR_RAM: LD (HL), A            ; RAMの初期化
INC   HL                       ; 初期化アドレスインクリメント
DEC   BC                       ; RAMの初期化が終了したか?
J     F, CLR_RAM
```

2.2.2.3. BOOTROM

BOOTROM はリセット解除後、コード領域にもデータ領域にも割り当てられません。

FLSCR1<BAREA>を"1"にセットし、FLSCR2 に"0xD5"を書き込むことでコード領域の"0x1000" ~ "0x17FF"、データ領域の"0x1000" ~ "0x17FF"に割り当てられ、BOOTROM に内蔵されている API (Application Programming Interface)を使用し、フラッシュメモリーへの書き込みを容易に行うことができます。

注) シリアル PROM モード以外では BOOTROM の前半 2K バイトのみメモリーマップに割り当てられます。

フラッシュメモリー制御レジスター1

FLSCR1 (0x0FD0)		7	6	5	4	3	2	1	0
Bit Symbol	(FLSMD)			BAREA	(FAREA)		(ROMSEL)		
Read/Write	R/W			R/W	R/W		R/W		
リセット後	0	1	0	0	0	0	0	0	0

BAREA	BOOTROM のコード領域、データ領域割り当て指定	0:	BOOTROM をコード領域の"0x1000" ~ "0x17FF"、データ領域の"0x1000" ~ "0x17FF"に割り当てない
		1:	BOOTROM をコード領域の"0x1000" ~ "0x17FF"、データ領域の"0x1000" ~ "0x17FF"に割り当てる

注) フラッシュメモリー制御レジスター1 は、FLSCR1 レジスターとシフトレジスターとのダブルバッファ構造となっています。FLSCR1 レジスターの設定は、FLSCR2 レジスターに"0xD5"を書き込むことによってシフトレジスターに反映され、有効となります。よって FLSCR2 レジスターに"0xD5"を書き込むまでは、設定値は有効なりません。

フラッシュメモリー制御レジスター2

FLSCR2 (0x0FD1)		7	6	5	4	3	2	1	0
Bit Symbol	CR1EN								
Read/Write	W								
リセット後	*	*	*	*	*	*	*	*	*

CR1EN	FLSCR1 のデータ制御コード書き込み	0xD5:	FLSCR1 の内容を有効にする
		その他:	無効

2.2.2.4. フラッシュメモリー

フラッシュメモリーはリセット解除後、データ領域の"0x1000" ~ "0xFFFF"に割り当てられます。

2.3. システムクロック制御回路

2.3.1. 構成

システムクロック制御回路は、クロックジェネレーター、クロックギア、タイミングジェネレーター、ウォーミングアップカウンターおよび動作モード制御回路から構成されています。

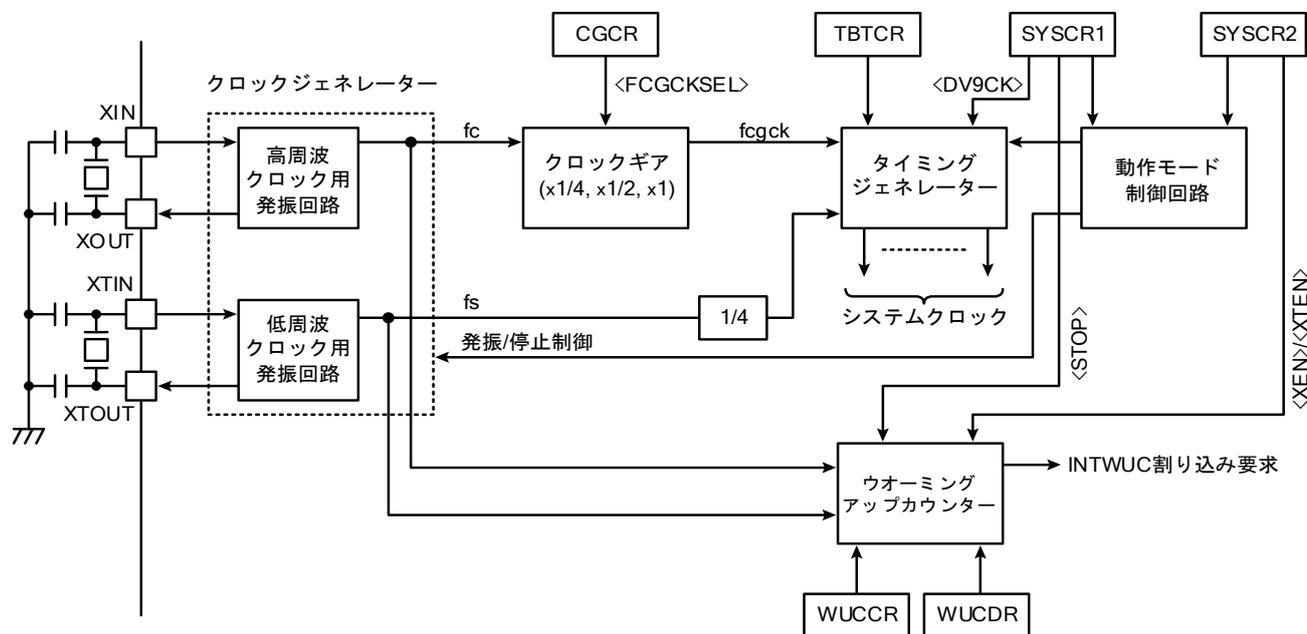


図 2-3 システムクロック制御回路

2.3.2. 制御

システムクロック制御回路は、システム制御レジスタ1 (SYSCR1)、システム制御レジスタ2 (SYSCR2)、ウォーミングアップカウンタ制御レジスタ (WUCCR)、ウォーミングアップカウンタデータレジスタ (WUCDR)、クロックギア制御レジスタ (CGCR)で制御されます。

システム制御レジスタ1

SYSCR1	7	6	5	4	3	2	1	0
(0x0FDC)	Bit Symbol	STOP	RELM	OUTEN	DV9CK	-	-	-
	Read/Write	R/W	R/W	R/W	R/W	R	R	R
	リセット後	0	0	0	0	1	0	0

STOP	STOP モードの起動	0:	CPU、周辺回路動作
		1:	CPU、周辺回路停止(STOP モード起動)
RELM	STOP モードの解除方法の選択	0:	エッジ解除モード(STOP モード解除信号の立ち上がりエッジで解除)
		1:	レベル解除モード(STOP モード解除信号の"High"レベルで解除)
OUTEN	STOP モード時のポート出力状態の選択	0:	ハイインピーダンス状態
		1:	出力保持状態
DV9CK	ディバイダー9 段目への入力クロック選択	0:	$fcgck / 2^9$
		1:	$fs / 4$

注 1) fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) SYSCR1 のビット 2 ~ 0 は、読みだすと"0"が読みだされます。ビット 3 は"1"が読みだされます。

注 3) SYSCR1<OUTEN>を"0"に設定して STOP モードを起動すると、ポートの内部入力レベルは"Low"レベルに固定されます。そのため、STOP モード起動時の端子状態によってはポートの内部入力レベルが立ち下がる場合があります。これにより、立ち下がりエッジを要因として設定した外部割り込みラッチがセットされることがあります。

注 4) P11 端子は \overline{STOP} 端子と兼用のため、STOP モードを起動すると SYSCR1<OUTEN>の値に関わらず、ハイインピーダンス状態になり入力モードとなります。

注 5) LDW などの 1 命令で 2 バイトのデータ転送が行われる命令で STOP 状態に遷移すると、2 バイト目のデータ書き込みが正常に行われません。

注 6) 低周波クロック用発振回路の発振安定前に、SYSCR1<DV9CK>を"1"にセットしないでください。

注 7) SLOW1/2、SLEEP1 モード時は SYSCR1<DV9CK>の値に関わらず、ディバイダーの 9 段目には $fs / 4$ が入力されます。

システム制御レジスター2

SYSCR2		7	6	5	4	3	2	1	0
(0x0FDD)	Bit Symbol	-	XEN	XTEN	SYSCK	IDLE	TGHALT	-	-
	Read/Write	R	R/W	R/W	R/W	R/W	R/W	R	R
	リセット後	0	1	0	0	0	0	0	0

XEN	高周波クロック用発振回路の制御	0:	発振停止
		1:	発振継続または発振開始
XTEN	低周波クロック用発振回路の制御	0:	発振停止
		1:	発振継続または発振開始
SYSCK	メインシステムクロックのソースクロック選択	0:	ギアクロック(fcgck) (NORMAL1/2、IDLE1/2)
		1:	低周波クロックの 4 分周クロック(fs / 4) (SLOW1/2、SLEEP1)
IDLE	CPU、WDT の制御 (IDLE1/2、SLEEP1 モード)	0:	CPU、WDT 動作
		1:	CPU、WDT 停止(IDLE1/2、SLEEP1 モード起動)
TGHALT	TG の制御 (IDLE0、SLEEP0 モード)	0:	TG から全周辺回路へのクロック供給動作
		1:	TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0、SLEEP0 モード起動)

注 1) fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) WDT: ウォッチドッグタイマー、TG: タイミングジェネレーター

注 3) SYSCR2<IDLE>と SYSCR2<TGHALT>は、同時に"1"に設定しないでください。

注 4) LDW などの 1 命令で 2 バイトのデータ転送が行われる命令で IDLE 状態に遷移すると、2 バイト目のデータ書き込みが正常に行われません。

注 5) IDLE1/2、SLEEP1 モード解除時、SYSCR2<IDLE>は自動的に"0"にクリアされます。

注 6) IDLE0、SLEEP0 モード解除時、SYSCR2<TGHALT>は自動的に"0"にクリアされます。

注 7) SYSCR2 のビット 7、1、0 は、読みだすと"0"が読みだされます。

ウォーミングアップカウンター制御レジスター

WUCCR		7	6	5	4	3	2	1	0
(0x0FCD)	Bit Symbol	WUCRST	-	-	-	WUCDIV		WUCSEL	-
	Read/Write	W	R	R	R	R/W		R/W	R
	リセット後	0	0	0	0	1	1	0	1

WUCRST	ウォーミングアップカウンターのリセットと停止	0:	-
		1:	カウンタークリア&ストップ
WUCDIV	ウォーミングアップカウンターのソースクロック分周比選択	00:	ソースクロック
		01:	ソースクロック / 2
		10:	ソースクロック / 2 ²
		11:	ソースクロック / 2 ³
WUCSEL	ウォーミングアップカウンターのソースクロック選択	0:	高周波クロック(fc)
		1:	低周波クロック(fs)

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

注 2) WUCCR<WUCRST>は自動的に"0"にクリアされます。"1"にセットした後に"0"にクリアする必要はありません。

注 3) WUCCR のビット 6~4 は、読みだすと"0"が読みだされます。

注 4) ウォーミングアップカウンターを動作させる前に、WUCCR でソースクロック、分周比を設定し、WUCDR にウォーミングアップ時間を設定してください。

ウォーミングアップカウンターデータレジスター

WUCDR		7	6	5	4	3	2	1	0
(0x0FCE)	Bit Symbol	WUCDR							
	Read/Write	R/W							
	リセット後	0	1	1	0	0	1	1	0

WUCDR	ウォーミングアップ時間の設定
-------	----------------

注) WUCDR に"0x00"を設定してウォーミングアップカウンターを動作させないでください。

クロックギア制御レジスター

CGCR		7	6	5	4	3	2	1	0
(0x0FCF)	Bit Symbol	-	-	-	-	-	-	FCGCKSEL	
	Read/Write	R	R	R	R	R	R	R/W	
	リセット後	0	0	0	0	0	0	0	0

FCGCKSEL	クロックギアの設定	00:	fc / 4
		01:	fc / 2
		10:	fc
		11:	Reserved

注 1) fcgck: ギアクロック [Hz]、fc: 高周波クロック [Hz]

注 2) CGCR<FCGCKSEL>は、SLOW モードで書き替えないでください。

注 3) CGCR のビット 7~2 は、読みだすと"0"が読みだされます。

2.3.3. 機能

2.3.3.1. クロックジェネレーター

クロックジェネレーターは、CPU コアおよび周辺回路に供給されるシステムクロックの基準となるクロックを発生する回路です。

クロックジェネレーターは高周波クロック用発振回路と低周波クロック用発振回路の2つの発振回路を内蔵しています。

発振回路端子はポート P0 と兼用です。ポートとして使用するときの設定は、「8. 入出力ポート」を参照してください。

P02、P03 ポートを低周波クロック用発振回路(XTIN、XTOUT 端子)として使用するときには、<P0FC2>を"1"に設定した後に SYSCR2<XTEN>を"1"に設定します。

高周波クロック(fc)、低周波クロック(fs)は、それぞれ XIN、XOUT 端子、XTIN、XTOUT 端子に発振子を接続することにより容易に得られます。

また、外部発振器からのクロックを入力することもできます。この場合、XIN、XTIN 端子からクロックを入力し、XOUT、XTOUT 端子は開放します。

高周波クロック用発振回路と低周波クロック用発振回路の発振許可/停止、低周波クロック用発振回路のポートとの切り替えは、ソフトウェアとハードウェアにより制御されます。

ソフトウェアによる制御は、SYSCR2<XEN>、SYSCR2<XTEN>、P0 ポートの機能制御レジスターP0FCで制御されます。

ハードウェアによる制御はリセット解除と「2.3.5. 動作モード制御回路」で述べる STOP モードへの遷移時に動作モード制御回路で制御されます。

注)システムクロックの基準となるクロックを外部で直接モニターする機能は用意されていません。しかし、割り込み禁止、ウオッチドッグタイマーを禁止にした状態で、プログラムによってポートに一定周波数のパルスを出力させ、これをモニターすることができます。発振周波数の調整が必要な場合、あらかじめ、このような調整用プログラムを組み込んでください。

ソフトウェアによる発振許可/停止により CPU コアのデッドロックを防ぐため、メインシステムクロックのソースクロックとして選択されているクロックを指定する SYSCR2<SYSCK>と SYSCR2<XEN>、SYSCR2<XTEN>の値の組み合わせにより、内部要因リセットが発生します。

**表 2-1 メインソースクロック選択、発振許可レジスタの組み合わせ
 禁止条件**

SYSCR2 <XEN>	SYSCR2 <XTEN>	SYSCR2 <SYSCK>	状態
0	0	Don't care	全ての発振回路が停止
Don't care	0	1	メインシステムクロックのソースクロックに低周波クロックの4分周クロック(fs / 4)が選択されているが低周波クロック用発振回路が停止
0	Don't care	0	メインシステムクロックのソースクロックにギアクロック(fcgck)が選択されているが高周波クロック用発振回路が停止

注) SYSCR2<SYSCK>を変更してからメインシステムクロックが切り替わるまで、一定の時間がかかります。メインシステムクロックが切り替わる前に切り替えもとの発振回路を停止にすると、TMP89FS60B/62B/63B の内部で表 2-1 の状態になりシステムクロックリセットが発生します。クロック切り替えの詳細については「2.3.6. 動作モードの制御」を参照してください。

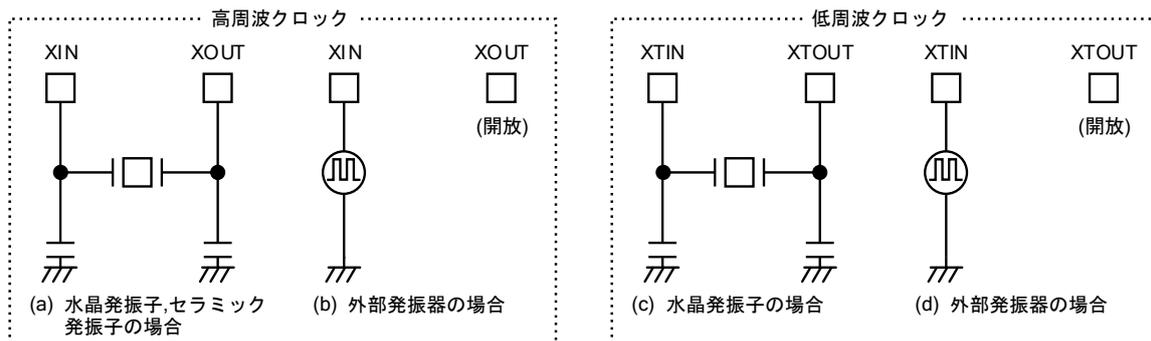


図 2-4 発振子の接続例

2.3.3.2. クロックギア

クロックギアは、高周波クロック(fc)を分周したギアクロック(fcgck)を選択し、タイミングジェネレーターに入力する回路です。

分周クロックの選択は、CGCR<FCGCKSEL>で行います。

CGCR<FCGCKSEL>を切り替えてからギアクロック(fcgck)が切り替わるまで2マシンサイクルかかります。

また、CGCR<FCGCKSEL>を変更した直後のfcgckは設定したクロック幅よりも長くなることがあります。

リセット解除直後、ギアクロック(fcgck)は高周波クロック(fc)を4分周したクロック(fc/4)になります。

表 2-2 ギアクロック (fcgck)

CGCR<FCGCKSEL>	fcgck
00	fc / 4
01	fc / 2
10	fc
11	Reserved

注 1) fc: 高周波クロック [Hz]

注 2) CGCR<FCGCKSEL>は SLOW モード中に書き替えないでください。fcgck が正しく切り替わらないことがあります。

2.3.3.3. タイミングジェネレーター

タイミングジェネレーターは、ギアクロック (fcgck) または低周波クロック (fs) を4分周したクロックから CPU コア および周辺回路に供給する各種システムクロックを発生する回路です。タイミングジェネレーターの機能は、次のとおりです。

1. メインシステムクロック fm 生成
2. タイマーカウンタ、タイムベースタイマーなど、周辺回路用クロック生成

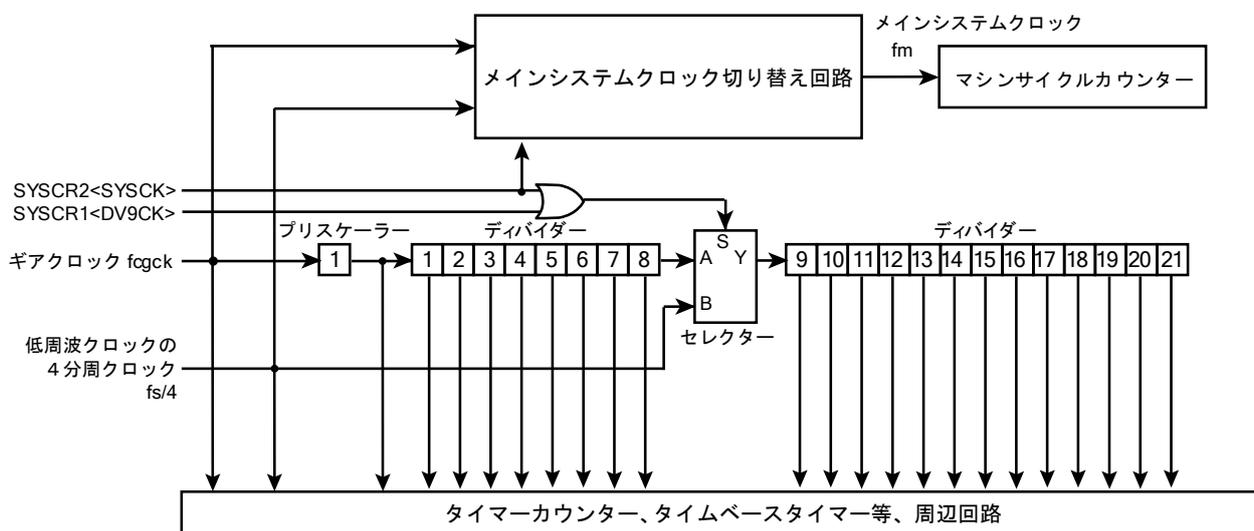


図 2-5 タイミングジェネレーターの構成

(1) タイミングジェネレーターの構成

タイミングジェネレーターは、メインシステムクロック切り替え回路、プリスケラー、21 段のディバイダーおよびマシンサイクルカウンタから構成されています。

1. メインシステムクロック切り替え回路

ギアクロック (fcgck)、低周波クロック (fs) を 4 分周したクロックから CPU コアを動作させるメインシステムクロック (fm) 用のクロックを選択する回路です。

SYSCR2<SYSCK>を"0"にクリアするとギアクロック (fcgck) が選択され、"1"にセットすると低周波クロック (fs) を 4 分周したクロックが選択されます。

SYSCR2<SYSCK>を変更してからメインシステムクロックが切り替わるまで、一定の時間がかかります。メインシステムクロックが切り替わる前に切り替えもとの発振回路を停止にすると内部で表 2-1 の状態になりシステムクロックリセットが発生します。クロック切り替えの詳細については「2.3.6. 動作モードの制御」を参照してください。

2. プリスケラー、ディバイダー

fcgck を分周する回路です。分周されたクロックは、タイマーカウンタ、タイムベースタイマーなどの周辺回路に供給されます。

SYSCR1<DV9CK>、SYSCR2<SYSCK>ともに"0"のときディバイダーの 9 段目への入力クロックは 8 段目のディバイダーの出力となります。

SYSCR1<DV9CK>または SYSCR2<SYSCK>が"1"のとき、ディバイダーの 9 段目への入力クロックは低周波クロック (fs) を 4 分周したクロックとなります。また、SYSCR2<SYSCK>が"1"のとき、プリスケラー、ディバイダーの初段から 8 段目までの出力は停止します。

なお、リセット時および STOP モード解除後のウォーミングアップ動作終了時にプリスケラーおよびディバイダーは"0"にクリアされます。

3. マシンサイクル

命令の実行は、メインシステムクロック (fm) に同期して行われます。

命令実行の最小単位を、「マシンサイクル」と呼び、1 マシンサイクルはメインシステムクロックで 1 クロックになります。

TLCS-870/C1 シリーズの命令のマシンサイクルは、1 マシンサイクルで実行される 1 サイクル命令から 10 マシンサイクルで実行される 10 サイクル命令までの 10 種類と、13 マシンサイクルで実行される 13 サイクル命令の 1 種類で、合計 11 種類です。

2.3.4. ウォーミングアップカウンター

ウォーミングアップカウンターは、高周波クロック (fc) と低周波クロック (fs) をカウントする回路で、ソースクロック選択回路と 3 段の分周回路、14 段のカウンターから構成されています。

パワーオンリセット解除後に電源電圧が安定するまでの時間確保、STOP モードからの復帰、動作モード遷移のときに発振回路が安定して発振するまでの時間を確保するために使用します。

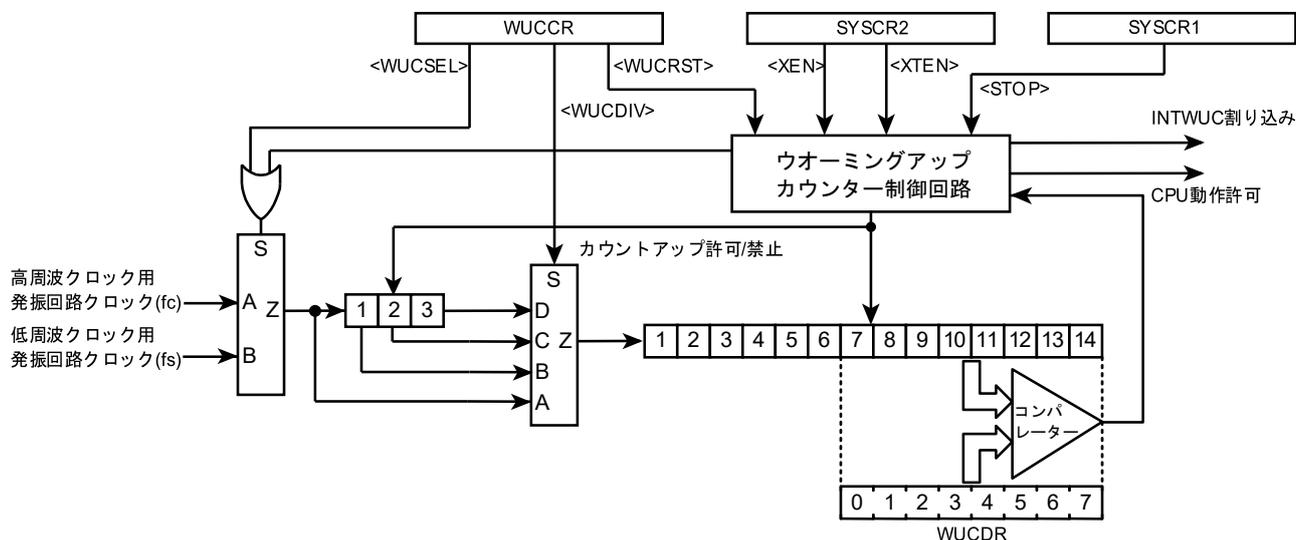


図 2-6 ウォーミングアップカウンター回路

2.3.4.1. ハードウェアで発振許可する場合のウォーミングアップカウンター動作

(1) パワーオンリセット解除、リセット解除時

パワーオンリセット解除後、電源電圧が安定するまでの時間確保、リセット解除後の高周波クロック用発振回路が安定して発振するまでの時間を確保するために使用します。

電源投入時、電源電圧がパワーオンリセットの解除電圧(V_{PROFF})を超えるとウォーミングアップカウンターのリセット信号が解除されます。このとき、CPU、周辺回路はリセット状態のままです。

リセット信号により、WUCCR<WUCSEL>は"0"、WUCCR<WUCDIV>は"11"に初期化され、ウォーミングアップカウンターの入力クロックとして高周波クロック(f_c)が選択されます。

ウォーミングアップカウンターのリセットが解除されると、高周波クロック(f_c)がウォーミングアップカウンターに入力され、14段のカウンターは高周波クロック(f_c)のカウントを開始します。

ウォーミングアップカウンターの上位8ビットとWUCDRの一致でカウントを停止し、CPU、周辺回路のリセットが解除されます。

WUCDRは、リセット解除時に"0x66"に初期化されるため、ウォーミングアップ時間は $0x66 \times 2^9 / f_c$ [s]となります。

注) ウォーミングアップカウンターの入力クロックは発振回路から出力されるクロックが使用されます。発振回路が安定するまでの期間は発振周波数が安定しないため、ウォーミングアップ時間には誤差を含みます。

(2) STOP モードからの解除時

STOP モードからの解除のとき、ハードウェアでの発振許可から発振が安定するまでの時間を確保するために使用します。

分周回路の入力クロックは、WUCCR<WUCSEL>とは関係なく、STOP モードを起動したときにメインシステムクロック発生に使用されていたクロックを発生するクロック(高周波クロック(fc)または低周波クロック(fs))が選択されます。

STOP モードを起動する前に、あらかじめ、ウォーミングアップカウンタへの入力クロックの分周比を WUCCR<WUCDIV>で選択し、WUCDR でウォーミングアップ時間を設定します。

STOP モードが解除されると、14 段のカウンタは分周回路で選択された入力クロックのカウントを開始します。

カウンタの上位 8 ビットと WUCDR の一致でカウントを停止するとともに、STOP モードを起動した次の命令から動作を再開します。

STOP モード起動時の メインシステムクロック 生成クロック	WUCCR <WUCSEL>	WUCCR <WUCDIV>	カウンタへの 入力クロック	ウォーミングアップ時間
fc	Don't care	00	fc	$2^6 / fc \sim 255 \times 2^6 / fc$
		01	fc / 2	$2^7 / fc \sim 255 \times 2^7 / fc$
		10	fc / 2 ²	$2^8 / fc \sim 255 \times 2^8 / fc$
		11	fc / 2 ³	$2^9 / fc \sim 255 \times 2^9 / fc$
fs	Don't care	00	fs	$2^6 / fs \sim 255 \times 2^6 / fs$
		01	fs / 2	$2^7 / fs \sim 255 \times 2^7 / fs$
		10	fs / 2 ²	$2^8 / fs \sim 255 \times 2^8 / fs$
		11	fs / 2 ³	$2^9 / fs \sim 255 \times 2^9 / fs$

注 1) ソフトウェアで発振許可される場合のウォーミングアップ中に STOP モードに遷移した場合、ウォーミングアップカウンタの値は STOP モードに遷移したときの値を保持し、STOP 解除後にカウントを継続します。この場合、STOP 解除のときのウォーミングアップ時間が十分にとれなくなります。ソフトウェアで発振許可される場合のウォーミングアップ中に STOP モードに遷移しないようにしてください。

注 2) ウォーミングアップカウンタの入力クロックは発振回路から出力されるクロックが使用されます。発振回路が安定するまでの期間は発振周波数が安定しないため、ウォーミングアップ時間には誤差を含みます。発振子の発振開始特性に対して十分な時間を設定してください。

2.3.4.2. ソフトウェアで発振許可する場合のウォーミングアップカウンター動作

NORMAL1 から NORMAL2、あるいは SLOW1 から SLOW2 へモード遷移するとき、ソフトウェアによる発振許可から発振が安定するまでの時間を確保するために使用します。

分周回路の入カクロックを WUCCR<WUCSEL>で選択します。

WUCCR<WUCDIV>で 14 段のカウンターへの入カクロックを選択します。

WUCDR でウォーミングアップ時間を設定した後、SYSCR2<XEN>または SYSCR2<XTEN>を"1"にセットし、停止している発振回路を発振開始させると、14 段のカウンターは選択された入カクロックのカウントを開始します。

カウンターの上位 8 ビットと WUCDR との一致で INTWUC 割り込み要求を発生するとともにカウントを停止し、カウンターをクリアします。

なお、ウォーミングアップ動作を停止させるときには WUCCR<WUCRST>を"1"にセットします。

"1"にセットすることで、カウントアップ動作を停止し、ウォーミングアップカウンターをクリアするとともに WUCCR<WUCRST>は"0"にクリアされます。

SYSCR2<XEN>、SYSCR2<XTEN>は、WUCCR<WUCRST>を"1"にセットしたときの値を保ちます。再度ウォーミングアップ動作を行うときには SYSCR2<XEN>または SYSCR2<XTEN>をいったん"0"にクリアする必要があります。

注) ウォーミングアップカウンターは SYSCR2<XEN>、SYSCR2<XTEN>が"0"から"1"に変化したときにカウントを開始します。"1"の状態でも"1"を書き込んでもカウントを開始しません。

WUCCR <WUCSEL>	WUCCR <WUCDIV>	カウンターへの 入カクロック	ウォーミングアップ時間
0	00	fc	$2^6 / fc \sim 255 \times 2^6 / fc$
	01	fc / 2	$2^7 / fc \sim 255 \times 2^7 / fc$
	10	fc / 2 ²	$2^8 / fc \sim 255 \times 2^8 / fc$
	11	fc / 2 ³	$2^9 / fc \sim 255 \times 2^9 / fc$
1	00	fs	$2^6 / fs \sim 255 \times 2^6 / fs$
	01	fs / 2	$2^7 / fs \sim 255 \times 2^7 / fs$
	10	fs / 2 ²	$2^8 / fs \sim 255 \times 2^8 / fs$
	11	fs / 2 ³	$2^9 / fs \sim 255 \times 2^9 / fs$

注) ウォーミングアップカウンターの入カクロックは発振回路から出力されるクロックが使用されます。発振回路が安定するまでの期間は発振周波数が安定しないため、ウォーミングアップ時間には誤差を含みます。発振子の発振開始特性に対して十分な時間を設定してください。

2.3.5. 動作モード制御回路

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止およびメインシステムクロック(fm)の切り替えを行う回路です。

動作モードは、シングルクロックモードとデュアルクロックモードおよびSTOPモードに大別され、各動作モードの制御はシステム制御レジスター(SYSCR1、SYSCR2)で行います。

図 2-7 に動作モード遷移図を示します。

2.3.5.1. シングルクロックモード

シングルクロックモードは、ギアクロック(fcgck)のみ使用する動作モードです。

メインシステムクロック(fm)は、ギアクロック(fcgck)から発生されます。従って、1マシンサイクルタイムは、 $1 / fcgck$ [s]となります。

ギアクロック(fcgck)は高周波クロック(fc)から発生されます。

シングルクロックモードのとき、低周波クロック用発振回路端子のP02(XTIN)、P03(XTOUT)は、入出力ポートとして使用することができます。

(1) NORMAL1 モード

CPU コア、周辺回路をギアクロック(fcgck)で動作させるモードです。

リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウオッチドッグタイマーを停止し、周辺回路をギアクロック(fcgck)で動作させるモードです。

IDLE1 モードの起動は、NORMAL1 モード時に SYSCR2<IDLE>を"1"にセットすることで行います。

IDLE1 モードが起動されると CPU およびウオッチドッグタイマーが停止します。

割り込み許可レジスターEIR により許可された割り込みラッチが"1"になると IDLE1 モードは解除され、NORMAL1 モードに復帰します。

<IMF>(割り込みマスター許可フラグ)が"1"(割り込み許可状態)のときは、割り込み処理が行われた後、IDLE1 モードを起動した命令の次の命令から実行再開します。

<IMF>が"0"(割り込み禁止状態)のときは、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路とタイムベースタイマーのぞき、CPU および周辺回路を停止させるモードです。

IDLE0 モードでは、周辺回路は IDLE0 起動時の状態で停止、あるいはリセット解除時と同じ状態になります。IDLE0 モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

IDLE0 モードの起動は、NORMAL1 モード時に SYSCR2<TGHALT>を"1"をセットすることで行います。

IDLE0 モードが起動されると、CPU が停止し、タイミングジェネレーターはタイムベースタイマー以外の周辺回路へのクロック供給を停止します。

TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると IDLE0 モードが解除され、タイミングジェネレーターは全周辺回路へのクロック供給を開始し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰します。

TBTCR<TBTEN>=1 の状態で IDLE0 モードを起動すると、NORMAL1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

<IMF>が"1"で<EF5>(タイムベースタイマーの割り込み個別許可フラグ)が"1"のときは割り込み処理が行われた後、通常の動作に戻ります。

<IMF>が"0"、または<IMF>が"1"で<EF5>(タイムベースタイマーの割り込み個別許可フラグ)が"0"のときは、IDLE0 を起動した命令の次の命令から実行再開します。

2.3.5.2. デュアルクロックモード

デュアルクロックモードは、ギアクロック (fcgck)、低周波クロック (fs) を使用する動作モードです。

メインシステムクロック (fm) は、NORMAL2、IDLE2 モード時、ギアクロック (fcgck) から生成されます。SLOW1/2、SLEEP0/1 モード時、低周波クロック (fs) を 4 分周したクロックから生成されます。従って 1 マシンサイクルタイムは、NORMAL2、IDLE2 モードのとき $1/\text{fcgck}$ [s]、SLOW1/2、SLEEP0/1 モード時 $4/\text{fs}$ [s] となります。

デュアルクロックモードでは、P02(XTIN)、P03(XTOUT) を低周波クロック用発振回路端子として使用します。そのため、これらの端子は入出力ポートとして使用することはできません。

TLCS-870/C1 シリーズは、リセット解除後シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムで低周波クロック用発振回路を発振開始させてください。

(1) NORMAL2 モード

CPU コアをギアクロック (fcgck) で動作させ、周辺回路をギアクロック (fcgck)、低周波クロック (fs) を 4 分周したクロックで動作させるモードです。

(2) SLOW2 モード

CPU コア、周辺回路を低周波クロック (fs) を 4 分周したクロックで動作させるモードです。

SLOW モードでは、周辺回路はリセット解除時と同じ状態になるものがあります。SLOW モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。

SLOW2 モード時、プリスケラー、ディバイダーの初段から 8 段目までの出力は停止します。

(3) SLOW1 モード

高周波クロック用発振回路の動作を停止させ、CPU コア、周辺回路を低周波クロック (fs) を 4 分周したクロックで動作させるモードです。

SLOW2 に対して、高周波クロック用発振回路の動作電力を削減できます。

SLOW モードでは、周辺回路はリセット解除時と同じ状態になるものがあります。SLOW モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

SLOW1 モードと SLOW2 モードの間の遷移は SYSCR2<XEN>で行います。

SLOW1 モード時、プリスケラー、ディバイダーの初段から 8 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウオッチドッグタイマーを停止し、周辺回路をギアクロック (fcgck)、低周波クロック (fs) を 4 分周したクロックで動作させるモードです。

IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

高周波クロック用発振回路の動作を停止させ、CPU およびウオッチドッグタイマーを停止し、周辺回路を低周波クロック (fs) を 4 分周したクロックで動作させるモードです。

SLEEP1 モードでは、周辺回路はリセット解除時と同じ状態になるものがあります。SLEEP1 モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

SLEEP1 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。

SLEEP1 モード時、プリスケラー、ディバイダーの初段から 8 段目までの出力は停止します。

(6) SLEEP0 モード

高周波クロック用発振回路の動作を停止させ、タイムベースタイマーを低周波クロック(fs)を 4 分周したクロックで動作させ、コアおよび周辺回路を停止させるモードです。

SLEEP0 モードでは、周辺回路は SLEEP0 起動時の状態で停止、あるいはリセット解除時と同じ状態になります。SLEEP0 モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

SLEEP0 モードの起動/解除方法は、IDLE0 モードと同じです。解除後、SLOW1 モードに戻ります。

SLEEP0 モード時、CPU が停止しタイミングジェネレーターはタイムベースタイマー以外へのクロック供給を停止します。

2.3.5.3. STOP モード

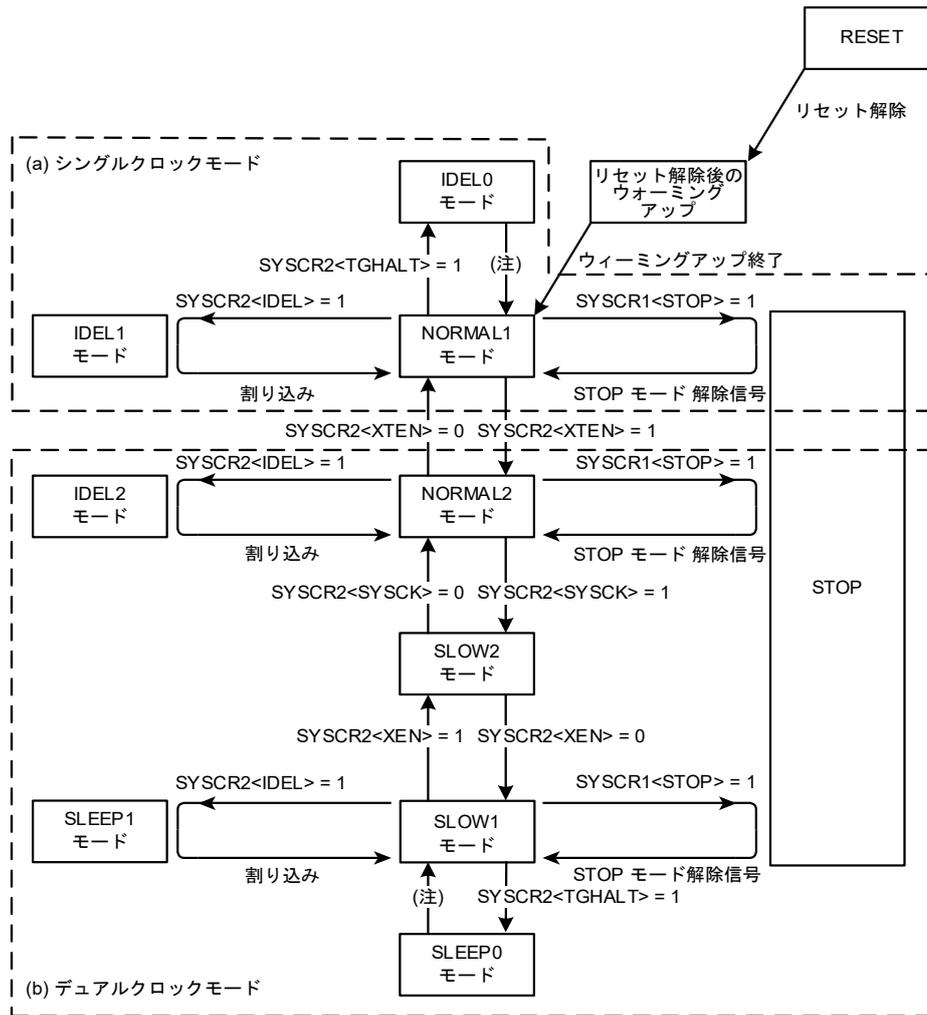
発振回路を含め TMP89FS60B/62B/63B の動作を全て停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードでは、周辺回路は STOP 起動時の状態で停止、あるいはリセット解除時と同じ状態になります。STOP モード時の周辺回路の動作については、各周辺回路の項目を参照してください。

STOP モードの起動は、SYSCR1<STOP>を"1"にセットすることで行います。

解除は、STOP モード解除信号で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.3.5.4. 各動作モードの遷移



注) TBTCR<TBTCCK>によって選択されたソースクロックの立ち下がりエッジによって解除されます。

図 2-7 動作モード状態遷移図

表 2-3 動作モードと各部の状態

動作モード		発振回路		CPU コア	ウォッチドッグ タイマー	タイム ベース タイマー	AD コンバーター	その他 周辺回路	1 マシン サイクル タイム
		高周波 クロック用 発振回路	低周波 クロック用 発振回路						
シングル クロック	RESET	発振	停止	リセット	リセット	リセット	リセット	リセット	1 / fcgck [s]
	NORMAL1			動作	動作	動作	動作		
	IDLE1			停止	停止			動作	
	IDLE0								
	STOP	停止	停止	停止	停止	停止	-		
デュアル クロック	NORMAL2	発振	発振	高周波動作	高周波/ 低周波動作	動作	動作	動作	1 / fcgck [s]
	IDLE2			停止	停止				
	SLOW2			低周波動作	低周波動作				
	SLOW1	停止	停止	低周波動作	低周波動作	動作	停止	動作	4 / fs [s]
	SLEEP1								
	SLEEP0								
	STOP			停止	停止				

2.3.6. 動作モードの制御

2.3.6.1. STOP モード

STOP モードは、システム制御レジスター1(SYSCR1)と STOP モード解除信号によって制御されます。

(1) STOP モードの起動

STOP モードは、SYSCR1<STOP>を"1"にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波クロック用発振回路、低周波クロック用発振回路とも発振を停止し、TMP89FS60B/62B/63B の内部動作を全て停止します。
2. RAM、レジスター、プログラムステータスワードは STOP モードに入る直前の状態を保持します。
ポートの出力ラッチは SYSCR1<OUTEN>の値によります。
3. タイミングジェネレーターのプリスケイラーおよびディバイダーを"0"にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令(例えば、SET (SYSCR1).7)の 2 つ先の命令のアドレスを保持します。

(2) STOP モードの解除

STOP モードは下記の STOP モード解除信号で解除されます。また、 $\overline{\text{RESET}}$ 端子によるリセット、パワーオンリセット、電圧検出回路によるリセットによっても解除されます。リセット状態が解除されると、ウォーミングアップ動作が開始されます。ウォーミングアップ状態終了後、NORMAL1 モードとなります。

1. $\overline{\text{STOP}}$ 端子による解除
2. キーオンウエイクアップによる解除
3. 電圧検出回路による解除(電圧検出リセットによるリセット解除)

注) STOP 期間中(STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子のレベルの変化により割り込みラッチが"1"にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

以下に、それぞれの STOP モード解除信号による STOP モード解除について、詳細を説明します。

1. $\overline{\text{STOP}}$ 端子による STOP モード解除

$\overline{\text{STOP}}$ 端子で STOP モードを解除します。

$\overline{\text{STOP}}$ 端子での STOP モード解除には、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM>で選択されます。なお、 $\overline{\text{STOP}}$ 端子は、P11 ポートおよび $\overline{\text{INT5}}$ 端子(外部割り込み入力 5)と兼用です。

・ レベル解除モード

$\overline{\text{STOP}}$ 端子への"High"レベル入力により STOP 動作を解除します。SYSCR1<RELM>を"1"にするとレベル解除モードとなります。このモードはメイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が"High"レベルの状態でも STOP 動作の起動を指示する命令を実行しても、STOP 動作に入りません。従って、レベル解除モードで STOP 動作を起動する場合、 $\overline{\text{STOP}}$ 端子入力が"Low"レベルであることをプログラムで確認する必要があります。

この確認には、ポートの状態をソフトウェアで確認する方法と割り込みを使う方法があります。

注) STOP モードを解除するとき、ウォーミングアップカウンタのソースクロックは、WUCCR<WUCSEL>と関係なく、STOP モードを起動したときのメインシステムクロックを発生するクロックに自動的に切り替わります。

プログラム例: P11($\overline{\text{STOP}}$)端子の状態をソフトウェアで確認して、NORMALモードからSTOPモードを起動
(STOPモード解除時のウオーミングアップ時間を約 300 [μs]@ $f_c = 10$ [MHz]に設定)

```

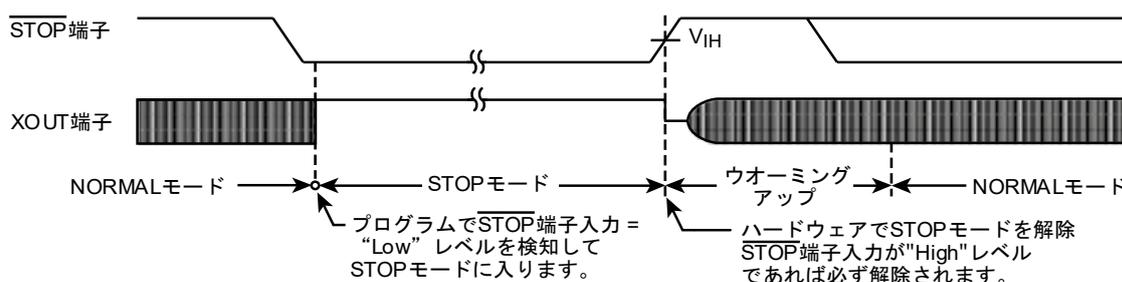
LD      (SYSCR1),0x40      ; レベル解除モードにセットアップ
SSTOPH: TEST  (P1PRD).1    ;  $\overline{\text{STOP}}$ 端子入力が"Low"レベルになるまでウェイト
J       F, SSTOPH
LD      (WUCCR), 0x01      ; WUCCR<WUCDIV> ← 00 (分周なし) (注)
LD      (WUCDR), 0x2F      ; ウオーミングアップ時間をセット
                                ; 300 [ $\mu\text{s}$ ] / 6.4 [ $\mu\text{s}$ ] = 46.9 → 切り上げて"0x2F"
DI      ; <IMF> ← 0
SET     (SYSCR1).7        ; レベル解除モードで STOP モードを起動
    
```

プログラム例: INT5 割り込みにより、SLOWモードからSTOPモードを起動
(STOPモード解除時のウオーミングアップ時間を約 450 [ms]@ $f_s = 32.768$ [kHz]に設定)

```

PINT5: TEST  (P1PRD).1    ; ノイズ除去のため INT5 割り込みルーチンで $\overline{\text{STOP}}$ 端子を
J       F,SINT5          ; 確認し、"Low"レベルになるまで STOP モードを起動しない。
LD      (SYSCR1), 0x40    ; レベル解除モードにセットアップ
LD      (WUCCR), 0x03      ; WUCCR<WUCDIV> ← 00 (分周なし) (注)
LD      (WUCDR), 0xE8      ; ウオーミングアップ時間をセット
                                ; 450 [ms] / 1.953 [ms] = 230.4 → 切り上げて"0xE8"
DI      ; <IMF> ← 0
SET     (SYSCR1).7        ; レベル解除モードで STOP モードを起動
SINT5: RETI
:
VINT5: DW      PINT5      ; INT5 ベクターテーブル
    
```

注) STOPモードを解除したとき、WUCCR<WUCSEL>に関係なく、ウオーミングアップカウンターのソースクロックは、STOPモードに入ったときのメインシステムクロックを生成するクロックに自動的に切り替わります。



注) ウオーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が"Low"レベルになってもSTOPモードには戻りません。

図 2-8 レベル解除モード (高周波クロック用発振回路選択時の例)

- エッジ解除モード

STOP端子への立ち上がりエッジ入力により STOP 動作を解除します。

SYSCR1<RELM>を"0"にするとエッジ解除モードとなります。

比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号(例えば、低消費電力の発振源からのクロック)をSTOP端子に入力します。

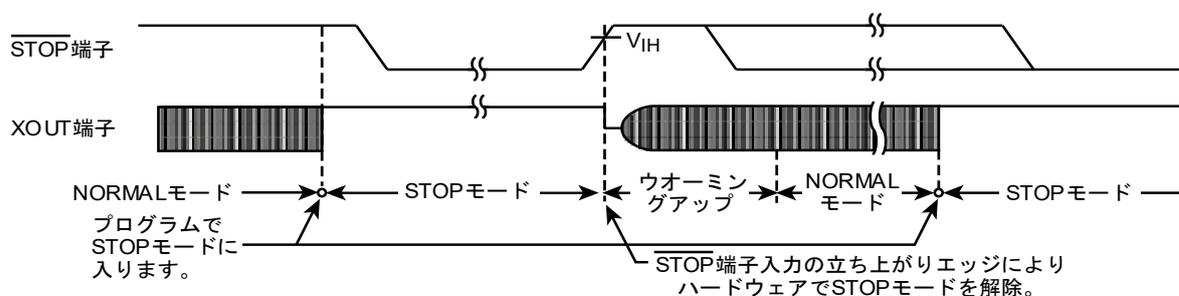
エッジ解除モードの場合、STOP端子入力が"High"レベルにあっても STOP 動作に入りません。

プログラム例: NORMAL モードから STOP モードを起動

(STOP モード解除時のウオーミングアップ時間を約 200 [μs]@fc = 10 [MHz]に設定)

```
LD    (WUCCR),0x01    ; WUCCR<WUCDIV> ← 00 (分周なし) (注)
LD    (WUCDR),0x20    ; ウオーミングアップ時間をセット
                        ; 200 [μs] / 6.4 [μs] = 31.25 → 切り上げて"0x20"
DI                                ; <IMF> ← 0
LD    (SYSCR1),0x80   ; エッジ解除モードで STOP モードを起動
```

注) STOP モードを解除するとき、ウオーミングアップカウンターのソースクロックは、WUCCR<WUCSEL>と関係なく、STOP モードを起動したときのメインシステムクロックを発生するクロックに自動的に切り替わります。



注) SYSCR1<STOP>を"1"にセットしてから、1 マシンサイクル以内にSTOP端子に立ち上がりエッジが入力された場合、STOP モードは解除されません。

図 2-9 エッジ解除モード (高周波クロック用発振回路選択時の例)

2. キーオンウエイクアップによる解除

キーオンウエイクアップ端子へあらかじめ指定したレベルを入力することによって STOP モードを解除します。STOP モードを解除するレベルを”High”レベル、”Low”レベルから選択することができます。

キーオンウエイクアップによる解除については、「19. キーオンウエイクアップ (KWU)」を参照してください。

注) ウォーミングアップ開始後、再びキーオンウエイクアップ端子入力が解除レベルと逆になっても STOP モードには戻りません。

3. 電圧検出回路による解除

電圧検出回路の電源電圧検出により STOP モードを解除します。

電圧検出回路の電圧検出動作モードが「電圧検出リセット信号発生」の場合、電源電圧が検出電圧以下になるとリセットがかかり STOP モードは直ちに解除されます。

詳細については「7. 電圧検出回路」参照してください。

注) SYSCR1<STOP>を”1”にセットしてから、1 マシンサイクル以内に電源電圧が検知電圧以上になった場合、STOP 動作は解除されません。

(3) STOP モードの解除動作

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。各モードにおける発振開始動作は「表 2-4 STOP モード解除時の発振開始動作」を参照してください。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせウォーミングアップカウンターで設定します。
3. ウォーミングアップ時間経過後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレーターのプリスケールおよびディバイダーは"0"にクリアされます。

注 1) STOP モード解除後、デバイス内部の電圧が安定し発振が開始するまで最大 120 [μs]かかります。

注 2) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、 $\overline{\text{RESET}}$ 端子も"High"レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、 $\overline{\text{RESET}}$ 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、 $\overline{\text{RESET}}$ 端子の入力電圧レベルが、 $\overline{\text{RESET}}$ 端子入力(ヒステリシス入力)の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-4 STOPモード解除時の発振開始動作

STOP モード起動前の動作モード		高周波クロック発振回路	低周波クロック発振回路	STOP モード解除時の発振開始動作
シングルクロックモード	NORMAL1	高周波クロック用発振回路	-	高周波クロック用発振回路は発振開始 低周波クロック用発振回路は発振停止
デュアルクロックモード	NORMAL2	高周波クロック用発振回路	低周波クロック用発振回路	高周波クロック用発振回路は発振開始 低周波クロック用発振回路は発振開始
	SLOW1	-	低周波クロック用発振回路	高周波クロック用発振回路は発振停止 低周波クロック用発振回路は発振開始

注) NORMAL2 への復帰時、ウォーミングアップカウンターの分周回路には fc が入力されます。

2.3.6.2. IDLE1/2 モード、SLEEP1 モード

IDLE1/2モード、SLEEP1モードは、システム制御レジスタ2(SYSCR2)とマスクブル割り込みによって制御されます。

IDLE1/2モード、SLEEP1モード中、下記の状態となります。

- (1) CPUおよびウォッチドッグタイマーは動作を停止します。周辺回路は動作を継続します。
- (2) RAM、レジスタ、プログラムステータスワード、ポートの出カラッチなどは、IDLE1/2モード、SLEEP1モードに入る直前の状態を保持します。
- (3) プログラムカウンタは、IDLE1/2モード、SLEEP1モードを起動する命令の2つ先の命令のアドレスを保持します。

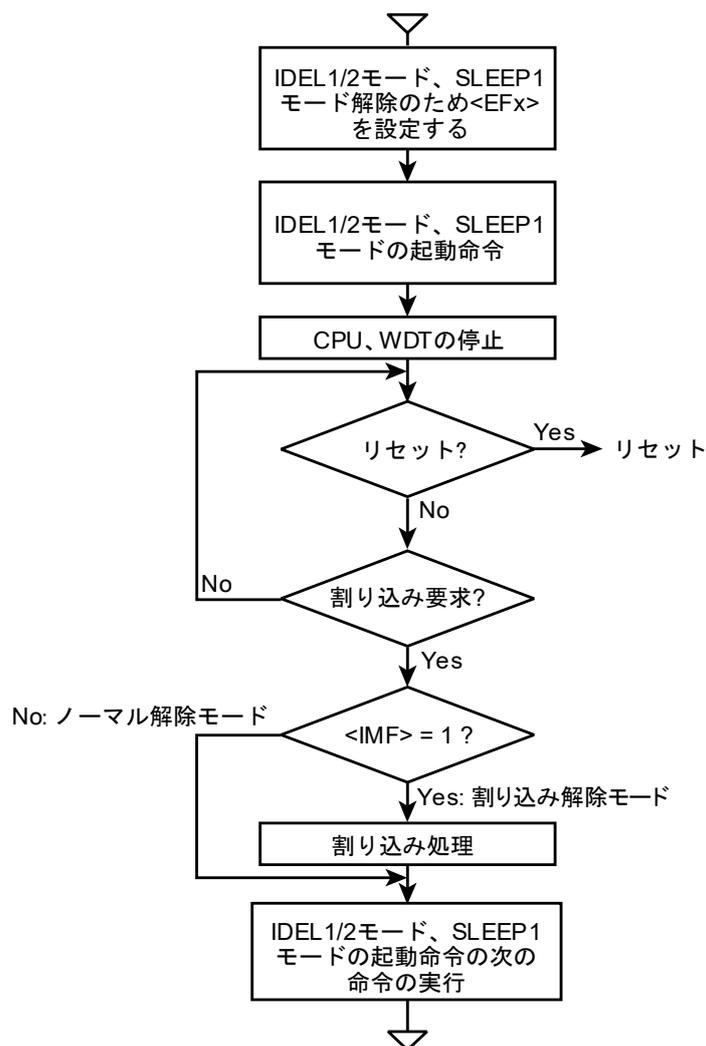


図 2-10 IDLE1/2モード、SLEEP1モード

1. IDLE1/2、SLEEP1 モードの起動

割り込みマスター許可フラグ(<IMF>)を"0"に設定した後、IDLE1/2、SLEEP1 モードを解除する割り込み個別許可フラグ(<EFx>)を"1"に設定します。

IDLE1/2、SLEEP1 モードを起動するには、SYSCR2<IDLE>を"1"に設定します。

なお、IDLE1/2、SLEEP1 モードを起動するときに解除条件が成立している場合、SYSCR2<IDLE>はクリアされたままとなり、IDLE1/2、SLEEP1 モードは起動されません。

注 1) IDLE1/2、SLEEP1 モード起動直前にウオッチドッグタイマー割り込みが発生した場合、IDLE1/2、SLEEP1 モードは起動されずウオッチドッグタイマー割り込み処理が行われます。

注 2) IDLE1/2、SLEEP1 モードを起動する前に、IDLE1/2、SLEEP1 モードを解除するための割り込み要求を発生させるための設定と割り込み個別許可フラグの設定を行ってください。

2. IDLE1/2、SLEEP1 モードの解除

IDLE1/2、SLEEP1 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスター許可フラグ(<IMF>)によって行います。IDLE1/2、SLEEP1 モードが解除されると、SYSCR2<IDLE>は自動的に"0"にクリアされ、起動したモードに復帰します。

なお、IDLE1/2、SLEEP1 モードは $\overline{\text{RESET}}$ 端子によるリセット、パワーオンリセット、電圧検出回路によるリセットによっても解除されます。リセット状態が解除されると、ウォーミングアップ動作が開始されます。ウォーミングアップ状態終了後、NORMAL1 モードとなります。

▪ ノーマル解除モード(<IMF> = 0 のとき)

割り込み個別許可フラグ(<EFx>)で許可された割り込みラッチが"1"のとき、IDLE1/2、SLEEP1 モードが解除され、IDLE1/2、SLEEP1 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ(<ILx>)はロード命令で"0"にクリアする必要があります。

▪ 割り込み解除モード(<IMF> = 1 のとき)

割り込み個別許可フラグ(<EFx>)で許可された割り込みラッチが"1"のとき、IDLE1/2、SLEEP1 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2、SLEEP1 モードを起動した命令の次の命令に戻ります。

2.3.6.3. IDLE0、SLEEP0 モード

IDLE0、SLEEP0モードは、システム制御レジスタ2(SYSCR2)とタイムベースタイマー制御レジスタ(TBTCR)によって制御されます。

IDLE0、SLEEP0モード中、次の状態を保持しています。

- (1) タイミングジェネレーターは、タイムベースタイマーを除く周辺回路へのクロック供給を停止します。
- (2) RAM、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE0、SLEEP0モードに入る直前の状態を保持します。
- (3) プログラムカウンタは、IDLE0、SLEEP0モードを起動する命令の2つ先の命令のアドレスを保持します。

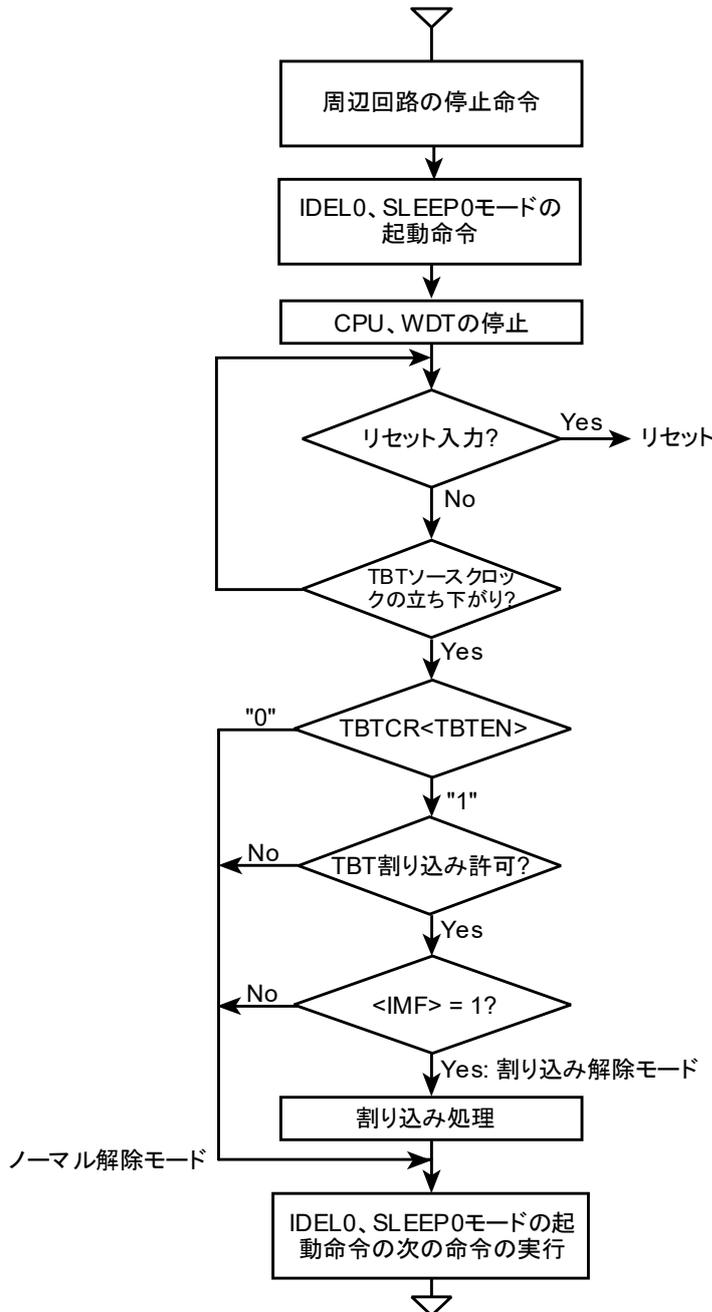


図 2-11 IDLE0、SLEEP0モード

1. IDLE0、SLEEP0 モードの起動

タイマーカウンタなどの周辺回路を停止します。

IDLE0、SLEEP0 モードを起動するには、SYSCR2<TGHALT>を"1"に設定します。

2. IDLE0、SLEEP0 モードの解除

IDLE0、SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスター許可フラグ(<IMF>)、タイムベースタイマーの割り込み個別許可フラグ(<EF5>)および TBTCR<TBTEN>によって行います。IDLE0、SLEEP0 モードが解除されると、SYSCR2<TGHALT>は自動的に"0"にクリアされ、IDLE0、SLEEP0 モードを起動したモードに復帰します。またこのとき、TBTCR<TBTEN>が"1"にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0、SLEEP0 モードはRESET端子よるリセット、パワーオンリセット、電圧検出回路によるリセットによっても解除されます。リセット状態が解除されると、ウォーミングアップ動作が開始されます。ウォーミングアップ状態終了後、NORMAL1 モードとなります。

▪ ノーマル解除モード(<IMF> AND <EF5> AND TBTCR<TBTEN> = 0 のとき)

TBTCR<TBTCCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0、SLEEP0 モードは解除されます。IDLE0、SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN>が"1"のときは、タイムベースタイマー割り込みラッチがセットされます。

▪ 割り込み解除モード(<IMF> AND <EF5> AND TBTCR<TBTEN> = 1 のとき)

TBTCR<TBTCCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0、SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0、SLEEP0 モードは、TBTCR<TBTCCK>によって選択された非同期の内部ソースクロックによって NORMAL1、SLOW1 に復帰しますので、IDLE0、SLEEP0 モード起動から復帰までの時間は TBTCR<TBTCCK>の時間よりも短くなります。

注 2) IDLE0、SLEEP0 モード起動直前にウォッチドッグタイマー割り込みが発生した場合、IDLE0、SLEEP0 モードは起動されずウォッチドッグタイマー割り込み処理が行われます。

2.3.6.4. SLOW モード

SLOW モードは、システム制御レジスタ2(SYSCR2)によって制御されます。

(1) NORMAL2 モードから SLOW1 モードへの切り替え

SYSCR2<SYSCK>を"1"にセットします。

SYSCR2<SYSCK>を"1"にしてから、最大 $2 / f_{cgck} + 10 / f_s$ [s]後に、メインシステムクロック (f_m)が $f_s / 4$ に切り替わります。

切り替え後、2 マシンサイクル以上待ち、SYSCR2<XEN>を"0"にクリアして、高周波クロック用発振器を停止します。

なお、上記操作は、ウォーミングアップカウンタで低周波クロック用発振回路の安定発振のための時間を確保した後、行ってください。

注 1) NORMAL2 モードから SLOW1 モードへの切り替えは、必ずこの手順に従って行ってください。

注 2) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックの発振を停止してください。

注 3) SYSCR2<SYSCK>を切り替えた後、必ず 2 マシンサイクル以上待ち、SYSCR2<XEN>を"0"にクリアしてください。2 マシンサイクル未満でクリアするとシステムクロックリセットが発生します。

注 4) メインシステムクロック (f_m)切り替え時に、低周波用クロック (f_s)を 4 分周したクロックとギアクロック (f_{cgck})の同期を取ります。同期を取るときに、最大 $10 / f_s$ の期間 f_m が止まります。

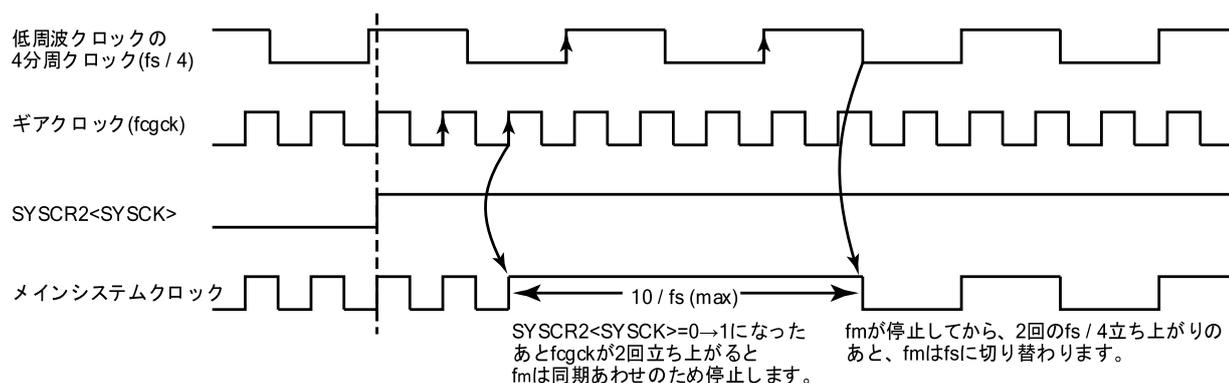


図 2-12 メインシステムクロック (f_m)の切り替え (f_{cgck} から $f_s / 4$ への切り替え)

プログラム例 1: NORMAL2 モードから SLOW1 モードへの切り替え

```

SET    (SYSCR2).4      ; SYSCR2<SYSCK> ← 1
                          ; (メインシステムクロックを低周波クロックの4分周クロック
                          ;   に切り替え SLOW2 モードに)
NOP
NOP
CLR    (SYSCR2).6      ; SYSCR2<XEN> ← 0
                          ; (高周波クロック用発振回路を停止させ、SLOW1 モードに)

```

プログラム例 2: ウォーミングアップカウンターで低周波クロック用発振回路の安定発振の確認後、SLOW1
モードへ切り替え(ウォーミングアップ時間を約 100 [ms]@fs = 32.768 [kHz]に設定)

```

;#### インシャライズルーチン ####
SET    (P0FC).2        ; P0FC<P0FC2> ← 1 (P02/03 を発振子接続端子として使用する)
:
:
LD     (WUCCR), 0x02    ; WUCCR<WUCDIV> ← 00 (分周なし)、
                          ; WUCCR<WUCSEL> ← 1 (ソースクロックに fs を選択)
LD     (WUCDR), 0x33    ; ウォーミングアップ時間をセット
                          ; (発振子の特性で時間を決定します)
                          ; 100 [ms] / 1.95 [ms] = 51.2 → 切り上げて"0x33"
SET    (EIRL).4        ; INTWUC の割り込みを許可
SET    (SYSCR2).5      ; SYSCR2<XTEN> ← 1
                          ; (低周波クロック用発振回路発振開始&ウォーミングアップカウンター
                          ;   スタート)
:
;#### ウォーミングアップカウンター割り込みの割り込みサービスルーチン ####
PINTWUC: SET    (SYSCR2).4      ; SYSCR2<SYSCK> ← 1
                          ; (メインシステムクロックを低周波クロックに切り替え)
NOP
NOP
CLR    (SYSCR2).6      ; SYSCR2<XEN> ← 0 (高周波クロック用発振回路発振停止)
RETI
:
VINTWUC: DW     PINTWUC        ; INTWUC ベクターテーブル

```

(2) SLOW1 モードから NORMAL1 モードへの切り替え

SYSCR2<XEN>を"1"にセットして高周波クロック(fc)を発振させます。ウォーミングアップカウンターで高周波クロックの発振が安定するまでの時間を確保した後、SYSCR2<SYSCK>を"0"にクリアします。

SYSCR2<SYSCK>を"0"にしてから、最大 $8 / fs + 2.5 / fcgck$ [s]後に、メインシステムクロック(fm)がfcgckに切り替わります。

切り替え後、2 マシンサイクル以上待ち、SYSCR2<XTEN>を"0"にクリアして、低周波クロック用発振器を停止します。

なお、SLOW モードはRESET端子によるリセット、パワーオンリセット、電圧検出回路によるリセットによっても解除されます。リセット状態が解除されると、ウォーミングアップ動作が開始されます。ウォーミングアップ状態終了後、NORMAL1 モードとなります。

注 1) SLOW1 モードから NORMAL1 モードへの切り替えは、必ずこの手順に従って行ってください。

注 2) SYSCR2<SYSCK>を切り替えた後、必ず 2 マシンサイクル以上待ち、SYSCR2<XTEN>を"0"にクリアしてください。2 マシンサイクル未満でクリアするとシステムクロックリセットが発生します。

注 3) メインシステムクロック(fm)の切り替え時に、低周波用クロック(fs)を 4 分周したクロックとギアクロック(fcgck)の同期を取ります。同期を取るときに、最大 $2.5 / fcgck$ [s]の期間 fm が止まります。

注 4) SYSCR2<XEN>が"1"に設定されている状態で SYSCR2<XEN>に"1"を書き込んでもウォーミングアップカウンターはソースクロックのカウントを開始しません。

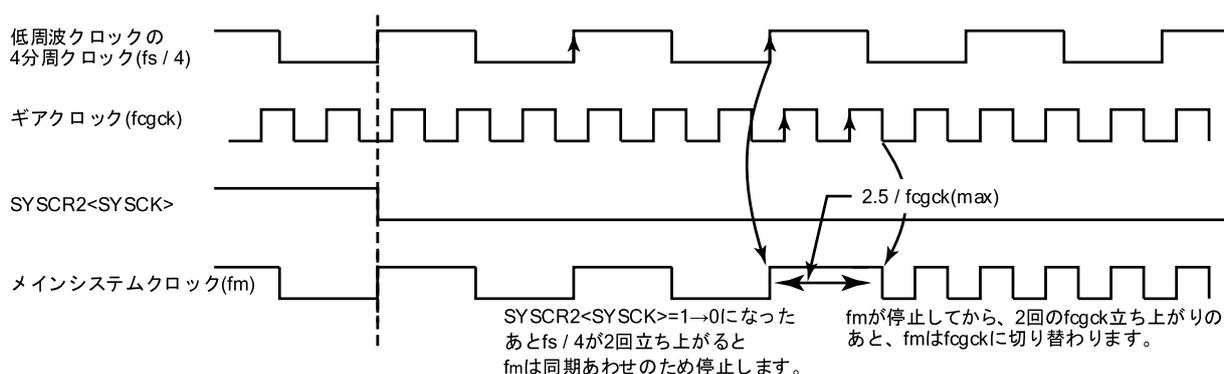


図 2-13 メインシステムクロック(fm)の切り替え ($fs / 4$ から $fcgck$ への切り替え)

プログラム例: ウォーミングアップカウンタで高周波クロック用発振回路の安定を確認後、SLOW1 モードから NORMAL1 モードへの切り替え(ウォーミングアップ時間を約 4.0 [ms]@fc = 10 [MHz]に設定)

```

;#### イニシャライズルーチン ####
SET   (P0FC).2           ; P0FC<P0FC2> ← 1 (P02/03 を発振器として使用する)
:
LD    (WUCCR), 0x09      ; WUCCR<WUCDIV> ← 10 (2 分周)
                                ; WUCCR<WUCSEL> ← 0 (ソースクロックに fc を選択)
LD    (WUCDR), 0x9D      ; ウォーミングアップ時間をセット
                                ; (発振子の特性で時間を決定します)
                                ; 4 [ms] / 25.6 [μs] = 156.25 → 切り上げて"0x9D"
SET   (EIRL).4           ; INTWUC 割り込みを許可
SET   (SYSCR2).6         ; SYSCR2<XEN> ← 1
:
                                ; (高周波クロック用発振開始&ウォーミングアップカウンタースタート)
;#### ウォーミングアップカウンタ割り込みの割り込みサービスルーチン ####
PINTWUC: CLR   (SYSCR2).4 ; SYSCR2<SYSCK> ← 0
                                ; (メインシステムクロック(fm)をギアクロック(fcgck)に切り替え)
NOP
NOP
CLR   (SYSCR2).5         ; SYSCR2<XTEN> ← 0 (低周波クロック用発振回路停止)
RETI
:
VINTWUC: DW    PINTWUC    ; INTWUC ベクターテーブル

```

2.4. リセット制御回路

リセット回路は、外部リセット、内部要因リセットを制御し、システムを初期化する回路です。

2.4.1. 構成

リセット制御回路は、下記のリセット信号発生回路から構成されています。

- (1) 外部リセット入力 (外部要因)
- (2) パワーオンリセット (内部要因)
- (3) 電圧検出リセット 1 (内部要因)
- (4) ウォッチドッグタイマーリセット (内部要因)
- (5) システムクロックリセット (内部要因)
- (6) トリミングデータリセット (内部要因)
- (7) フラッシュメモリースタンバイリセット (内部要因)

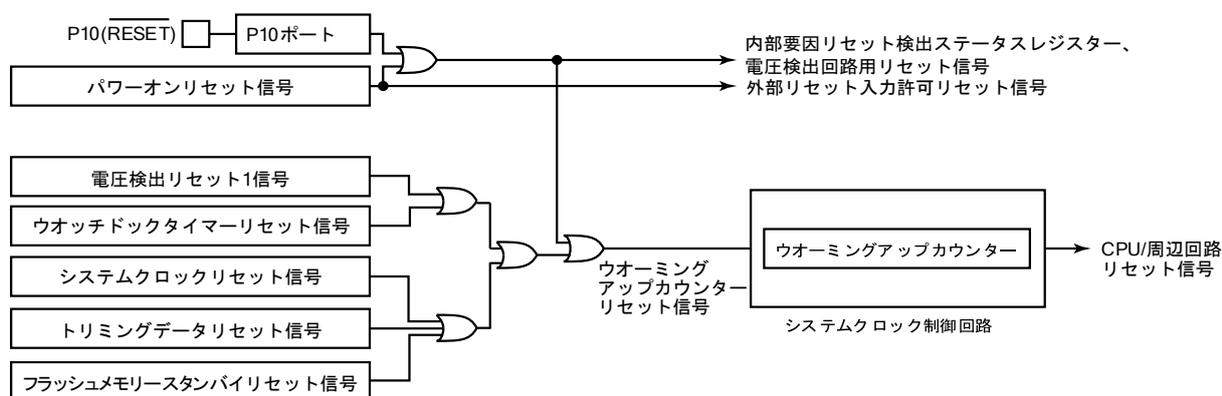


図 2-14 リセット制御回路

2.4.2. 制御

リセット制御回路は、システム制御レジスタ3(SYSCR3)、システム制御レジスタ4(SYSCR4)、システム制御ステータスレジスタ(SYSSR4)、内部要因リセット検出ステータスレジスタ(IRSTSR)で制御されます。

システム制御レジスタ3

SYSCR3 (0x0FDE)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	(RVCTR)	(RAREA)	RSTDIS
Read/Write	R	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

RSTDIS	外部リセット入力許可レジスタ	0:	外部リセット入力を許可する
		1:	外部リセット入力を禁止する

注 1) 有効になっている SYSCR3<RSTDIS>はパワーオンリセットでのみ初期化されます。外部リセット入力、内部要因リセットでは初期化されません。SYSCR3 に書き込まれている値は、パワーオンリセット以外のリセット信号でもリセットされます。

注 2) SYSCR3<RSTDIS>の値は SYSCR4 に"0xB2"を書き込むまで有効となりません。

注 3) SYSCR3<RSTDIS>を変更し、SYSCR4 に有効コード"0xB2"を書き込むとき、ギアクロック (fcgck)が fc / 4 (CGCR<FCGCKSEL> = 00 の状態)の NORMAL モード状態のまま、連続して実行してください。それ以外では予期しないタイミングで SYSCR3<RSTDIS>が有効となることがあります。

注 4) SYSCR3 のビット 7~3 は、読みだすと"0"が読みだされます。

システム制御レジスタ4

SYSCR4 (0x0FDF)	7	6	5	4	3	2	1	0
Bit Symbol	SYSCR4							
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0

SYSCR4	SYSCR3 のデータ制御コード書き込み	0xB2:	SYSCR3<RSTDIS>の内容を有効にする
		0xD4:	SYSCR3<RAREA>、SYSCR3<RVCTR>の内容を有効にする
		0x71:	IRSTSR<FCLR>の内容を有効にする
		その他:	無効

注 1) SYSCR4 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 2) SYSCR3<RSTDIS>を変更し、SYSCR4 に有効コード"0xB2"を書き込むとき、ギアクロック (fcgck)が fc / 4 (CGCR<FCGCKSEL> = 00 の状態)の NORMAL モード状態で他の動作モードに変更しないで連続して実行してください。それ以外の状態では予期しないタイミングで SYSCR3<RSTDIS>が有効となることがあります。

注 3) IRSTSR<FCLR>を変更し、SYSCR4 に有効コード"0x71"を書き込むとき、ギアクロック (fcgck)が fc / 4 (CGCR<FCGCKSEL> = 00 の状態)の NORMAL モード状態のまま、連続して実行してください。それ以外では予期しないタイミングで IRSTSR<FCLR>が有効となることがあります。

システム制御ステータスレジスタ-4

SYSSR4		7	6	5	4	3	2	1	0
(0x0FDF)	Bit Symbol	-	-	-	-	-	(RVCTRS)	(RAREAS)	RSTDISS
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

RSTDISS	外部リセット入力許可 ステータス	0:	有効になっている SYSCR3<RSTDIS>のデータが"0"
		1:	有効になっている SYSCR3<RSTDIS>のデータが"1"

注 1) 有効になっている SYSCR3<RSTDIS>はパワーオンリセットでのみ初期化されます。それ以外のリセット信号では初期化されません。SYSCR3に書き込まれている値は、パワーオンリセット以外のリセット信号でもリセットされます。

注 2) SYSSR4 のビット 7~3 は、読みだすと"0"が読みだされます。

内部要因リセット検出ステータスレジスタ

IRSTSR	7	6	5	4	3	2	1	0	
(0x0FCC)	Bit Symbol	FCLR	FLSRF	TRMDS	TRMRF	-	LVD1RF	SYSRF	WDTRF
	Read/Write	W	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

FCLR	フラグの初期化制御	0:	-
		1:	内部要因リセット検出ステータスフラグを"0"にクリア
FLSRF	フラッシュメモリースタンバイリセット検出フラグ	0:	-
		1:	フラッシュメモリースタンバイリセットを検出
TRMDS	トリミングデータステータス	0:	-
		1:	トリミングデータが異常な状態である
TRMRF	トリミングデータリセット検出フラグ	0:	-
		1:	トリミングデータリセットを検出
LVD1RF	電圧検出リセット 1 検出フラグ	0:	-
		1:	電圧検出リセット 1 を検出
SYSRF	システムクロックリセット検出フラグ	0:	-
		1:	システムクロックリセットを検出
WDTRF	ウォッチドッグタイマーリセット検出フラグ	0:	-
		1:	ウォッチドッグタイマーリセットを検出

注 1) トリミングデータステータス (IRSTSR <TRMDS>)は、パワーオンリセット、外部リセット入力でのみ初期化されます。

内部要因リセット検出ステータスフラグ(IRSTSR<FLSRF>、<TRMRF>、<LVD1RF>、<SYSRF>、<WDTRF>)は、内部要因リセットでは初期化されません。パワーオンリセット、外部リセット入力、IRSTSR<FCLR>でのみ初期化されます。

注 2) IRSTSR は外乱ノイズなどの影響によって正常に動作しない場合がありますので、機器設計時には十分な考慮が必要です。

注 3) IRSTSR<FCLR>を"1"に設定した後、SYSCR4 に"0x71"を書き込むと、内部要因リセットフラグは"0"にクリアされ同時に IRSTSR<FCLR>は自動的に"0"にクリアされます。

注 4) IRSTSR<FCLR>を変更し、SYSCR4 に有効コード"0x71"を書き込むとき、ギアクロック(fcgck)が $fc / 4$ (CGCR<FCGCKSEL> = 00 の状態)の NORMAL モード状態のまま、連続して実行してください。それ以外では予期しないタイミングで IRSTSR<FCLR>が有効となることがあります。

注 5) IRSTSR のビット 7 と 3 は読みだすと"0"が読みだされます。

2.4.3. 機能

パワーオンリセット、外部リセット入力、内部要因リセットによるリセット信号は、クロックジェネレーターのウオーミングアップ回路に入力されます。

リセット中、ウオーミングアップカウンター回路はリセットされ、CPUと周辺回路をリセットします。

リセットが解除されると、ウオーミングアップカウンターは高周波クロック(fc)のカウントを開始し、リセット解除後のウオーミングアップ動作を行います。

リセット解除後のウオーミングアップ動作中に、調整用のトリミングデータを専用の不揮発性メモリーから読み出します。

リセット解除後のウオーミングアップが終了すると、CPUはアドレス"0xFFFFE"~"0xFFFF"に格納されているリセットベクターアドレスからプログラムの実行を開始します。

リセット解除後のウオーミングアップ動作中にリセット信号が入力されると、ウオーミングアップカウンター回路はリセットされます。

パワーオンリセット、外部リセット入力と内部要因リセットによるリセット動作は、一部のスペシャルファンクションレジスターの初期化、電圧検出回路の初期化を除き同じです。

リセット信号が発生することで、周辺回路は表 2-5 に示す状態となります。

表 2-5 リセット動作による内蔵ハードウェアの初期化と解除状態

内蔵周辺回路	リセット中の状態	リセット解除後の ウォーミングアップ動作中 の状態	リセット解除後の ウォーミングアップ動作終了 直後の状態
プログラムカウンタ (PC)	MCU モード: 0xFFFFE シリアル PROM モード: 0x1FFE	MCU モード: 0xFFFFE シリアル PROM モード: 0x1FFE	MCU モード: 0xFFFFE シリアル PROM モード: 0x1FFE
スタックポインタ (SP)	0x00FF	0x00FF	0x00FF
RAM	不定	不定	不定
汎用レジスタ (W、A、B、C、D、E、H、L、IX、IY)	不定	不定	不定
レジスタバンクセレクタ (RBS)	0	0	0
ジャンプステータスフラグ (JF)	不定	不定	不定
ゼロフラグ (ZF)	不定	不定	不定
キャリーフラグ (CF)	不定	不定	不定
ハーフキャリーフラグ (HF)	不定	不定	不定
サインフラグ(SF)	不定	不定	不定
オーバーフローフラグ(VF)	不定	不定	不定
割り込みマスター許可フラグ (<IMF>)	0	0	0
割り込み個別許可フラグ(<EFx>)	0	0	0
割り込みラッチ(<ILx>)	0	0	0
高周波クロック用発振回路	発振許可	発振許可	発振許可
低周波クロック用発振回路	発振禁止	発振禁止	発振禁止
ウォーミングアップカウンタ	リセット	スタート	停止
タイミングジェネレータのプリ スケラおよびディバイダー	0	0	0
ウォッチドッグタイマー	禁止	禁止	許可
電圧検出回路	禁止または許可	禁止または許可	禁止または許可
入出力ポートの端子状態	Hi-Z	Hi-Z	Hi-Z
スペシャルファンクション レジスタ	SFR マップを参照	SFR マップを参照	SFR マップを参照

注) 電圧検出回路は外部リセット入力、またはパワーオンリセットでのみ禁止されます。

2.4.4. リセット信号発生要因

各要因ごとのリセット信号は下記のとおり発生されます。

2.4.4.1. パワーオンリセット

パワーオンリセットは電源投入時に発生する内部要因リセットです。

電源投入時、電源電圧がパワーオンリセットの解除電圧(V_{PROFF})以下の間、パワーオンリセット信号が発生されます。電源電圧が解除電圧(V_{PROFF})を超えるとパワーオンリセット信号が解除されます。

電源遮断時、電源電圧がパワーオンリセットの検出電圧以下になるとパワーオンリセット信号が発生されます。

詳しくは「6. パワーオンリセット回路 (POR)」を参照してください。

2.4.4.2. 外部リセット入力 ($\overline{\text{RESET}}$ 端子入力)

外部リセットは、 $\overline{\text{RESET}}$ 端子入力によって発生する外部要因リセットです。P10ポートは、 $\overline{\text{RESET}}$ 端子と兼用になっており、電源投入後は $\overline{\text{RESET}}$ 端子となります。

- 電源投入時

- 電源の立ち上がり時間が早い場合

電源立ち上がり時間(t_{VDD})が 5 [ms]に対し十分早い場合は、パワーオンリセットまたは外部リセット($\overline{\text{RESET}}$ 端子入力)によってリセットを解除することができます。

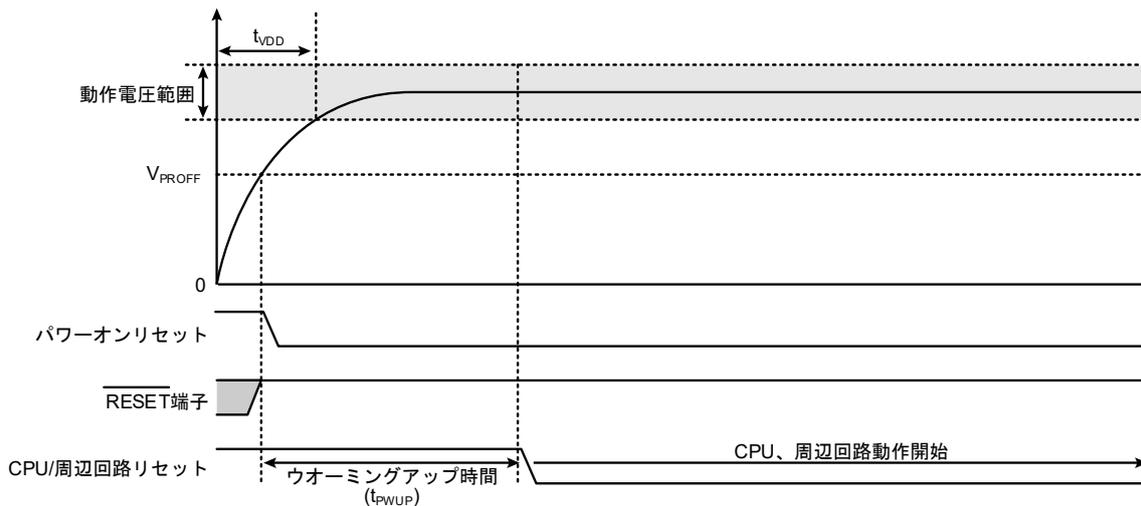
パワーオンリセットと外部リセット($\overline{\text{RESET}}$ 端子入力)は論理和構造となっていますので、いずれか一方、または両方の要因がリセット状態にあるとき TMP89FS60B/62B/63B はリセットされます。

従ってリセット時間はリセット状態が長い要因に依存します。つまり電源電圧がパワーオンリセットの解除電圧(V_{PROFF})を超えるまでに $\overline{\text{RESET}}$ 端子を”Low”から”High”レベル(または最初から”High”レベル)にすると、リセット時間はパワーオンリセットに依存することになります。逆に電源電圧が解除電圧(V_{PROFF})を超えた後に $\overline{\text{RESET}}$ 端子を”Low”から”High”レベルにするとリセット時間は外部リセットに依存することになります。

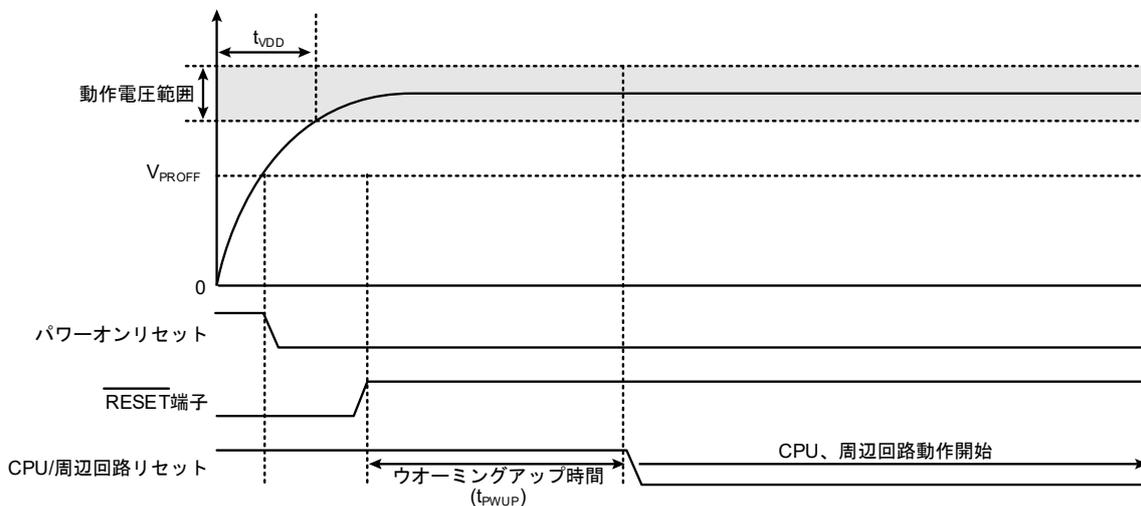
前者の場合はパワーオンリセット信号が解除されたとき、後者の場合は $\overline{\text{RESET}}$ 端子を”High”レベルにしたときウォーミングアップが実行されます。ウォーミングアップ終了後、CPU および周辺回路が動作を開始します(図 2-15)。

- 電源の立ち上がり時間が遅い場合

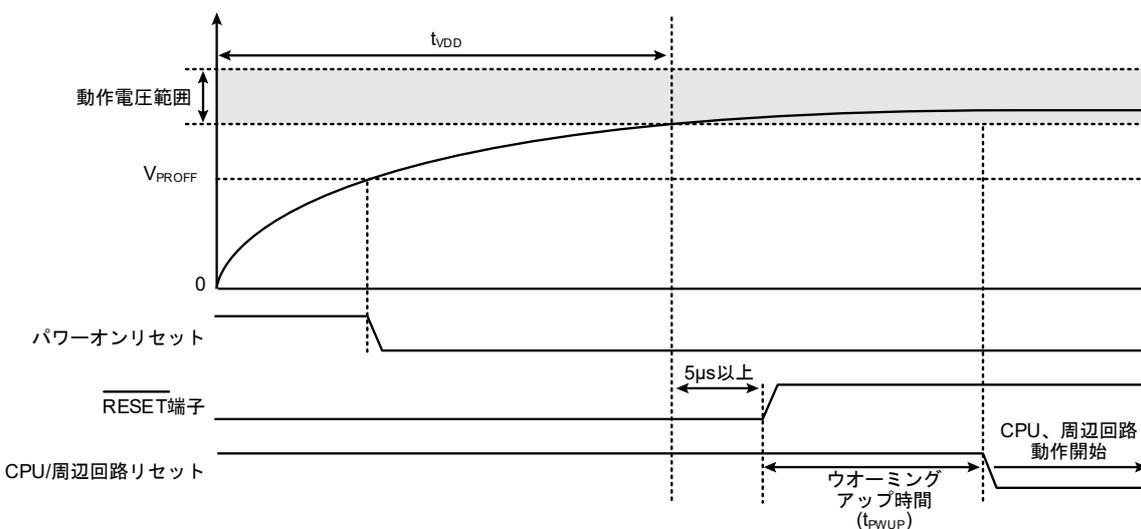
電源立ち上がり時間(t_{VDD})が 5 [ms]を上回る場合、 $\overline{\text{RESET}}$ 端子によってリセットを解除させる必要があります。この場合、 $\overline{\text{RESET}}$ 端子を”Low”レベルに保った状態で電源電圧を動作電圧範囲まで上昇させた後、発振が安定してから 5 [μs]以上経過した後に $\overline{\text{RESET}}$ 端子を”High”レベルにしてください。 $\overline{\text{RESET}}$ 端子を”High”レベルにするとウォーミングアップが実行されます。ウォーミングアップ終了後、CPU および周辺回路が動作を開始します(図 2-15)。



電源の立ち上がり時間が早い場合 (リセット時間がパワーオンリセットに依存する場合)



電源の立ち上がり時間が早い場合 (リセット時間が外部リセットに依存する場合)



電源の立ち上がり時間が遅い場合

図 2-15 外部リセット入力 (電源立ち上がり時)

- 電源電圧が動作電圧範囲内にある場合

電源電圧が動作電圧範囲内かつ発振が安定している状態で $5\ [\mu\text{s}]$ 以上、 $\overline{\text{RESET}}$ 端子を”Low”レベルに保つと、リセットが発生します。 $\overline{\text{RESET}}$ 端子を”High”レベルにするとウォーミングアップが実行されます。ウォーミングアップ終了後、CPUおよび周辺回路が動作を開始します。(図 2-16)

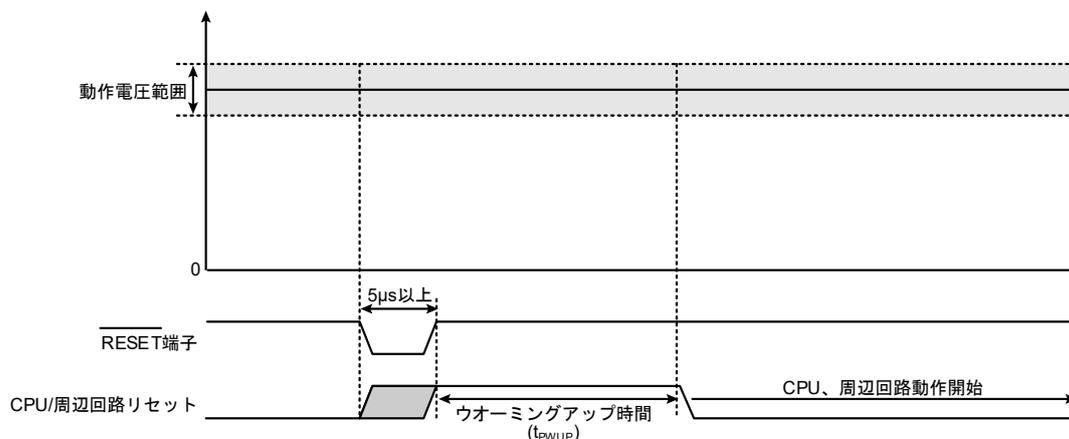


図 2-16 外部リセット入力 (電源安定時)

2.4.4.3. 電圧検出リセット

電圧検出リセットは、電源電圧があらかじめ設定した検出電圧と一致したことを検知すると発生する内部要因リセットです。

詳しくは「7. 電圧検出回路」を参照してください。

2.4.4.4. ウォッチドッグタイマーリセット

ウォッチドッグタイマーリセットは、ウォッチドッグタイマーがオーバーフローしたことを検知すると発生する内部要因リセットです。

詳しくは「5. ウォッチドッグタイマー (WDT)」を参照してください。

2.4.4.5. システムクロックリセット

システムクロックリセットは、発振回路とタイミングジェネレータの設定が、CPUをデッドロックさせる組み合わせになったことを検知すると発生する内部要因リセットです。

詳しくは「2.3. システムクロック制御回路」を参照してください。

2.4.4.6. トリミングデータリセット

トリミングデータリセットは、内部回路にラッチされているトリミングデータが動作中にノイズなどで異常となった場合に発生する内部要因リセットです。

トリミングデータは、内部回路の調整用に用意されたデータビットです。

このビットは、リセット解除後のウオーミングアップ時間(t_{PWUP})中に専用の不揮発性メモリーから読み出され内部回路にラッチされます。

リセット解除後のウオーミングアップ動作中に専用の不揮発性メモリーから読み出されたトリミングデータに異常が検出された場合、IRSTSR<TRMDS>が"1"にセットされます。

リセット解除直後のイニシャライズルーチンでIRSTSR<TRMDS>を読み出し、"1"にセットされていた場合、システムクロックリセットなど内部要因リセットを発生させ、再度ウオーミングアップ動作を行いトリミングデータを読み直させてください。

複数回読み直させてもIRSTSR<TRMDS>が"1"にセットされている場合、内部回路が正常に動作しません。システムの電源を落とすなど、システムが破壊されないような設計をしてください。

2.4.4.7. フラッシュメモリースタンバイリセット

フラッシュメモリーにスタンバイ機能がある TMP89FS60 のソフトウェアを TMP89FS60B/62B/63B に流用するときに、動作の互換性を維持するために使用される内部要因リセットです。

新規に TMP89FS60B/62B/63B 用のソフトウェアを作成するときには、使用する必要はありません。

詳しくは「21. フラッシュメモリー」を参照してください。

2.4.4.8. 内部要因リセット検出ステータスレジスター

パワーオンリセットを除く内部要因リセットの解除後に内部要因リセット検出ステータスレジスター IRSTSR を読み出すことによって、どの内部要因のリセットが発生したかを判断することができます。

内部要因リセット検出ステータスレジスターは、パワーオンリセット、外部リセット入力、IRSTSR<FCLR>により初期化されます。

また、IRSTSR<FCLR>を"1"にセットした後、SYSCR4 に"0x71"を書き込むと IRSTSR のビット 6、4 ~ 0 は"0"にクリアされます。また、このとき同時に IRSTSR<FCLR>は"0"にクリアされます。

注 1) IRSTSR は外乱ノイズなどの影響によって正常に動作しない場合がありますので、機器設計時には十分な考慮が必要です。

注 2) IRSTSR<FCLR>を変更し、SYSCR4 に有効コード"0x71"を書き込むとき、ギアクロック (fcgck)が $fc / 4$ (CGCR<FCGCKSEL> = 00 の状態)の NORMAL モード状態のまま、連続して実行してください。それ以外の状態では予期しないタイミングで IRSTSR<FCLR>が有効となることがあります。

2.4.4.9. 外部リセット入力端子をポートとして使用する方法

外部リセット入力端子をポートとして使用するときには、電源が立ち上がり、リセット解除後のウォーミングアップ動作が終了するまで、外部リセット入力端子を”High”レベルに保持します。

リセット解除後のウォーミングアップ動作が終了した後、<P1PU0>を”1”に、<P1CR0>を”0”にセットし、ポート用プルアップ抵抗を接続します。その後、SYSCR3<RSTDIS>を”1”にセットし、SYSCR4に”0xB2”を書き込みます。これによって、外部リセット機能は禁止され、通常のポートとして使用できます。

ポートとして使用している外部リセット端子を外部リセット端子として使用するときには、<P1PU0>を”1”に<P1CR0>を”0”にセットし、プルアップ抵抗を接続し入力モードにします。その後、SYSCR3<RSTDIS>を”0”にクリアし、SYSCR4に”0xB2”を書き込むと外部リセット機能が許可され、外部リセット入力端子として使用できます。

- 注 1) 外部リセット入力端子をポートに切り替える場合、あるいはポートとして使用している外部リセット端子を外部リセット入力端子に切り替える場合は、端子のレベルが”High”レベルに安定している状態で切り替えてください。 ”Low”レベルが入力されている状態で切り替えると、リセットが発生することがあります。
- 注 2) 外部リセット入力端子をポートとして使用するとき、プログラム中に SYSCR3<RSTDIS>に”0”を設定する命令を書かないでください。もし、SYSCR3<RSTDIS>に”0”を設定する命令が書かれていると、プログラムの暴走時に予期しないタイミングでポート状態であった外部リセット端子が外部リセット端子として動作することがあります。
- 注 3) SYSCR3<RSTDIS>を変更し、SYSCR4 に有効コード”0xB2”を書き込むとき、ギアクロック (fcgck) が $fc / 4$ (CGCR<FCGCKSEL> = 00 の状態) の NORMAL モードのまま、連続して実行してください。それ以外の状態では予期しないタイミングで SYSCR3<RSTDIS>が有効となることがあります。

3. 割り込み制御回路

TMP89FS60B/62B/63Bには、リセットを除き合計27種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち3種はノンマスカブル割り込みで、その他は全てマスカブル割り込みです(表 3-1)。

表 3-1 全割り込み要因

基本 優先 順位	割り込み要因		許可条件	割り込み ラッチ	ベクターアドレス (MCU モード)	
					SYSSR4 <RVCTR> = 0	SYSSR4 <RVCTR> = 1
1	内部/ 外部	(リセット)	ノンマスカブル	-	0xFFFFE	-
2	内部	INTSWI	ノンマスカブル	-	0xFFFFC	0x01FC
2	内部	INTUNDEF	ノンマスカブル	-	0xFFFFC	0x01FC
2	内部	INTWDT	ノンマスカブル	ILL<IL3>	0xFFFF8	0x01F8
5	内部	INTWUC	<IMF> AND EIRL<EF4> = 1	ILL<IL4>	0xFFFF6	0x01F6
6	内部	INTTBT	<IMF> AND EIRL<EF5> = 1	ILL<IL5>	0xFFFF4	0x01F4
7	内部	INTRXD0/INTSIO0	<IMF> AND EIRL<EF6> = 1	ILL<IL6>	0xFFFF2	0x01F2
8	内部	INTTXD0	<IMF> AND EIRL<EF7> = 1	ILL<IL7>	0xFFFF0	0x01F0
9	外部	INT5	<IMF> AND EIRH<EF8> = 1	ILH<IL8>	0xFFEE	0x01EE
10	内部	INTVLTD	<IMF> AND EIRH<EF9> = 1	ILH<IL9>	0xFFEC	0x01EC
11	内部	INTADC	<IMF> AND EIRH<EF10> = 1	ILH<IL10>	0xFFEA	0x01EA
12	内部	INTRTC	<IMF> AND EIRH<EF11> = 1	ILH<IL11>	0xFFE8	0x01E8
13	内部	INTTC00	<IMF> AND EIRH<EF12> = 1	ILH<IL12>	0xFFE6	0x01E6
14	内部	INTTC01	<IMF> AND EIRH<EF13> = 1	ILH<IL13>	0xFFE4	0x01E4
15	内部	INTTCA0	<IMF> AND EIRH<EF14> = 1	ILH<IL14>	0xFFE2	0x01E2
16	内部	INTSBI0/INTSIO0 (注 5)	<IMF> AND EIRH<EF15> = 1	ILH<IL15>	0xFFE0	0x01E0
17	外部	INT0 (注 6)	<IMF> AND EIRE<EF16> = 1	ILE<IL16>	0xFFDE	0x01DE
18	外部	INT1 (注 6)	<IMF> AND EIRE<EF17> = 1	ILE<IL17>	0xFFDC	0x01DC
19	外部	INT2	<IMF> AND EIRE<EF18> = 1	ILE<IL18>	0xFFDA	0x01DA
20	外部	INT3	<IMF> AND EIRE<EF19> = 1	ILE<IL19>	0xFFD8	0x01D8
21	外部	INT4	<IMF> AND EIRE<EF20> = 1	ILE<IL20>	0xFFD6	0x01D6
22	内部	INTTCA1	<IMF> AND EIRE<EF21> = 1	ILE<IL21>	0xFFD4	0x01D4
23	内部	INTRXD1/INTSIO1	<IMF> AND EIRE<EF22> = 1	ILE<IL22>	0xFFD2	0x01D2
24	内部	INTTXD1	<IMF> AND EIRE<EF23> = 1	ILE<IL23>	0xFFD0	0x01D0
25	内部	INTTC02	<IMF> AND EIRD<EF24> = 1	ILD<IL24>	0xFFCE	0x01CE
26	内部	INTTC03	<IMF> AND EIRD<EF25> = 1	ILD<IL25>	0xFFCC	0x01CC
27	内部	INTRXD2	<IMF> AND EIRD<EF26> = 1	ILD<IL26>	0xFFCA	0x01CA
28	内部	INTTXD2	<IMF> AND EIRD<EF27> = 1	ILD<IL27>	0xFFC8	0x01C8

注 1) ベクターアドレスの領域は SYSCR3<RVCTR>の設定によって変更することができます。ベクターアドレスの領域を RAM に割り当てる場合は、SYSCR3<RVCTR> = 1 および SYSCR3<RAREA> = 1 に設定した後、SYSCR4 に"0xD4"を書き込み、有効にしてください。

注 2) "0xFFFFA"、"0xFFFFB"は割り込みベクターとしては機能せず、シリアル PROM モードのとき、オプションコードとして機能します。詳しくは「22. シリアル PROM モード」を参照してください。

注 3) ウォッチドッグタイマー割り込み(INTWDT)を使用するときには、WDTTCR1<WDTOUT>を"0"に設定してください(リセット解除後は、"ウォッチドッグタイマー割り込み要求"に設定されています)。

注 4) 共有している割り込みの切り替えは、「8.5. シリアルインターフェース選択機能」を参照してください。

注 5) INTSBI0/INTSIO0 は TMP89FS62B では「Reserved」になります。

注 6) INT0 と INT1 は TMP89FS62B と TMP89FS63B では「Reserved」になります。

3.1. 構成

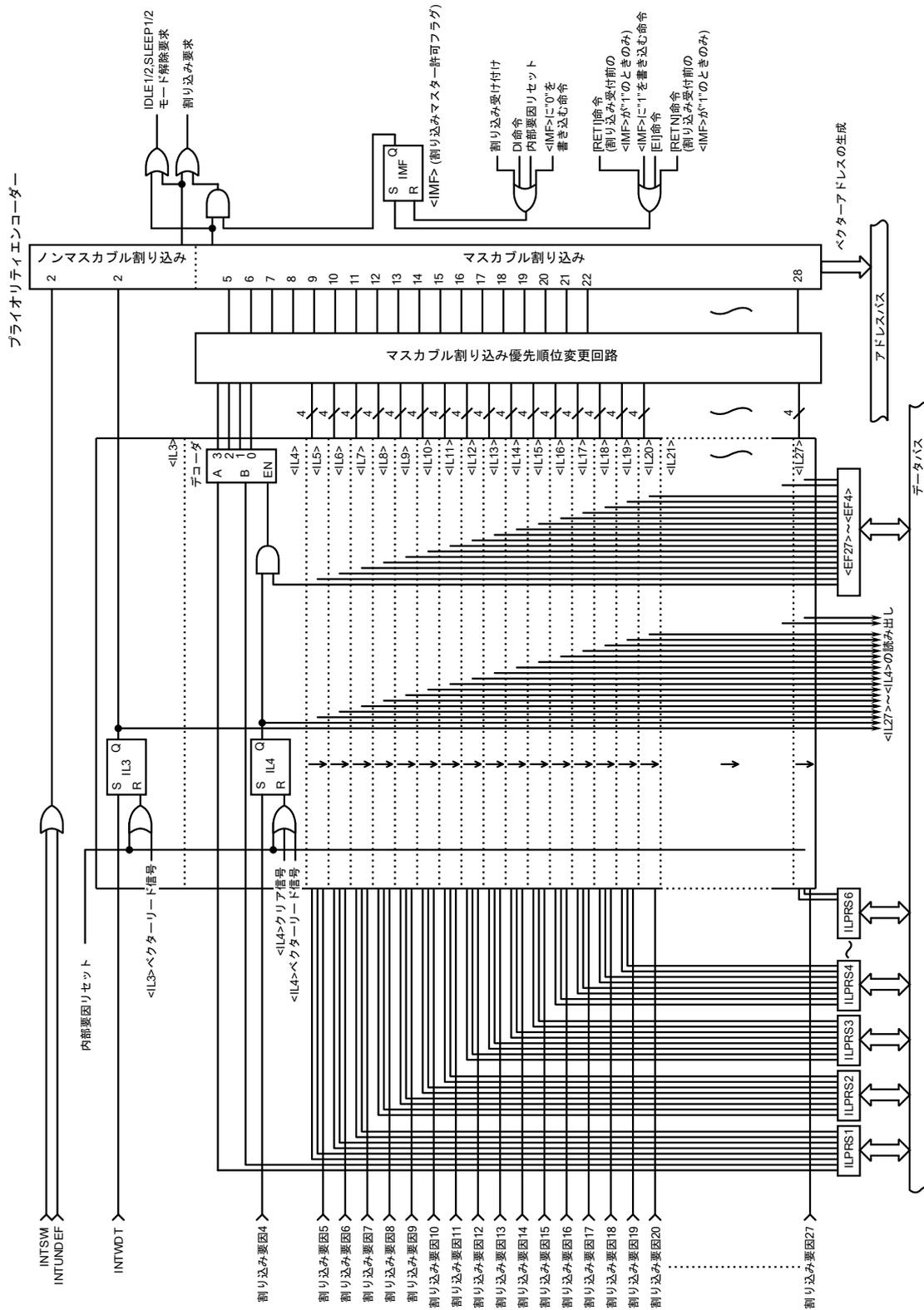


図 3-1 割り込み制御回路

3.2. 割り込み要因

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(<ILx>)が用意され、また、独立したベクターアドレスになっています。割り込みラッチは、割り込み要求の発生により"1"にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスター許可フラグ(<IMF>)と各割り込み要因の個別許可フラグ(<EFx>)によって、プログラムで選択し許可/禁止できます。

3.3. 優先順位

複数のマスクブル割り込みが同時に発生した場合、割り込み優先順位変更制御レジスター(ILPRS1 ~ ILPRS6)の設定で「Level」の高いもの、かつハードウェアで定められた基本優先順位の高いものから受け付けられます。

ノンマスクブル割り込みに優先順位はありません。

3.4. 各製品の割り込み要因

各製品で使用できる割り込み要因を表 3-2 に示します。
非搭載の割り込み要因の割り込み個別許可フラグ(<EFx>)は”0”にクリアしてください。

表 3-2 各製品の割り込み要因

基本優先順位	割り込み要因		TMP89FS60B	TMP89FS62B	TMP89FS63B
1	内部/外部	(リセット)	A	A	A
2	内部	INTSWI	A	A	A
2	内部	INTUNDEF	A	A	A
2	内部	INTWDT	A	A	A
5	内部	INTWUC	A	A	A
6	内部	INTTBT	A	A	A
7	内部	INTRXD0/INTSIO0	A	A	A
8	内部	INTTXD0	A	A	A
9	外部	INT5	A	A	A
10	内部	INTVLTD	A	A	A
11	内部	INTADC	A	A	A
12	内部	INTRTC	A	A	A
13	内部	INTTC00	A	A	A
14	内部	INTTC01	A	A	A
15	内部	INTTCA0	A	A	A
16	内部	INTSBI0/INTSIO0	A	NA	A
17	外部	INT0	A	NA	NA
18	外部	INT1	A	NA	NA
19	外部	INT2	A	A	A
20	外部	INT3	A	A	A
21	外部	INT4	A	A	A
22	内部	INTTCA1	A	A	A
23	内部	INTRXD1/INTSIO1	A	A	A
24	内部	INTTXD1	A	A	A
25	内部	INTTC02	A	A	A
26	内部	INTTC03	A	A	A
27	内部	INTRXD2	A	A	A
28	内部	INTTXD2	A	A	A

注) A: 使用可能、NA: 使用不可

3.5. 割り込みラッチ (<IL27> ~ <IL3>)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により"1"にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは"0"にクリアされます。リセット時、全ての割り込みラッチは"0"に初期化されます。

割り込みラッチは、SFR 内の"0x0FE0"、"0x0FE1"および"0x0FE2"、"0x0FE3"番地に割り付けられており、命令によって個別にクリアすることができます。ただし、<IL3>については命令でクリアしても割り込みラッチはクリアされません。

ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

割り込みラッチは命令で直接セットすることはできません。割り込みラッチに"1"を書き込むことは、割り込みラッチをセットするのではなく、割り込みラッチをクリアしないことを意味します。

また、割り込みラッチの内容は命令で読みだすことができますので、割り込み要求のソフトウェアによるテストも可能です。

注) メインプログラム中で、割り込み個別許可フラグ(<ILx>)を操作する場合は、事前にマスター許可フラグ(<IMF>)を"0"にクリアにしてから行ってください([DI]命令による<IMF>のクリア)。<ILx>を操作した後は、必要に応じて<IMF>を"1"にセットしてください([EI]命令による<IMF>のセット)。

割り込みサービスルーチンでは、<IMF>は自動的に"0"になりますので、通常割り込みサービスルーチンの中で<IMF>を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、<IMF>を"1"にセットする前に<ILx>を設定してください。

プログラム例 1: 割り込みラッチのクリア

```
DI ; <IMF> ← 0
LD (ILL),0x3F ; <IL7> ~ <IL6> ← 0
LD (ILH),0xE8 ; <IL12>、<IL10> ~ <IL8> ← 0
EI ; <IMF> ← 1
```

プログラム例 2: 割り込みラッチの読み出し

```
LD WA,(ILL) ; W ← ILH、A ← ILL
```

プログラム例 3: 割り込みラッチのテスト

```
TEST (ILL),7 ; <IL7> = 1 なら SSET ヘジャンプ
JR F,SSET
:
:
```

SSET:

3.6. 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み(ソフトウェア割り込み、未定義命令割り込みとウォッチドッグタイマー割り込み)を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容に関わらず受け付けられます。

割り込み許可レジスタは、割り込みマスター許可フラグ(<IMF>)と割り込み個別許可フラグ(<EFx>)で構成されています。割り込み許可レジスタは、SFR内の"0x003A"、"0x003B"および"0x003C"、"0x003D"番地に割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む)できます。

3.6.1. 割り込みマスター許可フラグ (<IMF>)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。"0"にクリアされていると、全てのマスクابل割り込みの受け付けは禁止状態であり、"1"にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスター許可フラグはスタックに一時退避された後"0"にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスルーチンを実行後、割り込みリターン命令[RETI]/[RETN]によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスター許可フラグは、EIRL(SFR内の"0x003A"番地)のビット0に割り付けられており、命令でリード/ライトできます。通常、割り込みマスター許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスター許可フラグは"0"に初期化されます。

3.6.2. 割り込み個別許可フラグ (<EF27> ~ <EF4>)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが"1"なら割り込み受け付けを許可し、"0"なら禁止します。

なお、リセット時、割り込み個別許可フラグは"0"に初期化されます。個別許可フラグが"1"にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ(<EFx>)を操作する場合は、事前にマスター許可フラグ(<IMF>)を"0"にクリアしてから行ってください([DI]命令による<IMF>のクリア)。<EFx>を操作した後は、必要に応じて<IMF>を"1"にセットしてください([EI]命令による<IMF>のセット)。

割り込みサービスルーチンでは、<IMF>は自動的に"0"になりますので、通常割り込みサービスルーチンの中で<IMF>を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、<IMF>を"1"にセットする前に<EFx>を設定してください。

プログラム例: 割り込みの個別許可と<IMF>のセット

```
DI ; <IMF> ← 0
LDW (EIRL), 0xE8A0 ; <EF15> ~ <EF13>, <EF11>, <EF7>, <EF5> ← 1
: ; <EFx>と<IMF>は同時にセットしない
:
EI ; <IMF> ← 1
```

割り込みラッチ (ILL)

ILL	7	6	5	4	3	2	1	0
(0x0FE0) Bit Symbol	IL7	IL6	IL5	IL4	IL3	-	-	-
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	INTTXD0	INTRXD0/ INTSIO0	INTTBT	INTWUC	INTWDT	-	-	-

割り込みラッチ (ILH)

ILH	7	6	5	4	3	2	1	0
(0x0FE1) Bit Symbol	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	INTSBI0/ INTSIO0 (注 6)	INTTCA0	INTTC01	INTTC00	INTRTC	INTADC	INTVLTD	INT5

割り込みラッチ (ILE)

ILE	7	6	5	4	3	2	1	0
(0x0FE2) Bit Symbol	IL23	IL22	IL21	IL20	IL19	IL18	IL17	IL16
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	INTTXD1	INTRXD1/ INTSIO1	INTTCA1	INT4	INT3	INT2	INT1 (注 7)	INT0 (注 7)

割り込みラッチ (ILD)

ILD	7	6	5	4	3	2	1	0
(0x0FE3) Bit Symbol	-	-	-	-	IL27	IL26	IL25	IL24
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	-	-	-	-	INTTXD2	INTRXD2	INTTC03	INTTC02

		リード時		ライト時	
IL27 ~ IL4	割り込みラッチ	0:	割り込み要求なし	割り込み要求のクリア (注 2)、(注 3)	
		1:	割り込み要求あり	"1"を書き込んでも<ILx>は"1" にセットされません。	
IL3		0:	割り込み要求なし	(注 1)	
		1:	割り込み要求あり		

注 1) <IL3>は Read Only レジスタです。書き込みを行っても<IL3>は影響を受けません。

注 2) メインプログラム中で、割り込み個別許可フラグ(<ILx>)を操作する場合は、事前にマスター許可フラグ(<IMF>)を"0"にクリアにしてから行ってください([DI]命令による<IMF>のクリア)。<ILx>を操作した後は、必要に応じて<IMF>を"1"にセットしてください([EI]命令による<IMF>のセット)。
割り込みサービスルーチンでは、<IMF>は自動的に"0"になりますので、通常割り込みサービスルーチンの中で<IMF>を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、<IMF>を"1"にセットする前に<ILx>を設定してください。

注 3) <ILx>はビット操作などのリードモディファイライト命令でクリアしないでください。

注 4) ILL に対して読み出し命令を実行すると、ビット 2~0 は"0"が読みだされます。

注 5) ILD に対して読み出し命令を実行すると、ビット 7~4 は"0"が読みだされます。

注 6) <IL15>は TMP89FS62B では「Reserved("0"を設定してください)」です。

注 7) <IL16>と<IL17>は TMP89FS62B と TMP89FS63B では「Reserved("0"を設定してください)」です。

割り込み許可レジスター (EIRL)

EIRL		7	6	5	4	3	2	1	0
(0x003A)	Bit Symbol	EF7	EF6	EF5	EF4	-	-	-	IMF
	Read/Write	R/W	R/W	R/W	R/W	R	R	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	INTTXD0	INTRXD0/ INTSIO0	INTTBT	INTWUC	-	-	-	割り込み マスター 許可 フラグ

割り込み許可レジスター (EIRH)

EIRH		7	6	5	4	3	2	1	0
(0x003B)	Bit Symbol	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	INTSBI0/ INTSIO0 (注 5)	INTTCA0	INTTC01	INTTC00	INTRTC	INTADC	INTVLTD	INT5

割り込み許可レジスター (EIRE)

EIRE		7	6	5	4	3	2	1	0
(0x003C)	Bit Symbol	EF23	EF22	EF21	EF20	EF19	EF18	EF17	EF16
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	INTTXD1	INTRXD1/ INTSIO1	INTTCA1	INT4	INT3	INT2	INT1 (注 6)	INT0 (注 6)

割り込み許可レジスター (EIRD)

EIRD		7	6	5	4	3	2	1	0
(0x003D)	Bit Symbol	-	-	-	-	EF27	EF26	EF25	EF24
	Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	-	-	-	-	INTTXD2	INTRXD2	INTTC03	INTTC02

EF27 ~ EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可
IMF	割り込みマスター許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: マスカブル割り込み全体の受け付け許可

注 1) 割り込み許可フラグ(<EF15 ~ 4>)の変更と同時に<IMF>を"1"にセットしないでください。

注 2) メインプログラム中で、割り込み個別許可フラグ(<EFx>)を操作する場合は、事前にマスター許可フラグ(<IMF>)を"0"にクリアしてから行ってください(DI 命令による割り込みの禁止)。<EFx>を操作した後は、必要に応じて<IMF>を"1"にセットしてください(EI 命令による割り込みの許可)。

割り込みサービスルーチンでは、<IMF>は自動的に"0"になりますので、通常割り込みサービスルーチンの中で<IMF>を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、<IMF>を"1"にセットする前に<EFx>を設定してください。

注 3) EIRL に対して読み出し命令を実行すると、ビット 3 ~ 1 は"0"が読みだされます。

注 4) EIRD に対して読み出し命令を実行すると、ビット 7 ~ 4 は"0"が読みだされます。

注 5) <EF15>は TMP89FS62B では「Reserved(“0”を設定してください)」です。

注 6) <EF16>と<EF17>は TMP89FS62B と TMP89FS63B では「Reserved(“0”を設定してください)」です。

3.7. マスカブル割り込み優先順位変更機能

マスカブル割り込み(<IL4>~<IL27>)は、基本優先順位 5 ~ 28 とは別に、割り込み優先順位変更制御レジスター(ILPRS1 ~ ILPRS6)によって Level0 ~ 3 の4段階で割り込み優先順位を変更することができます。

割り込み優先順位を高くする場合は、Level の数字を大きく、優先順位を低くする場合は、Level の数字を小さく設定してください。同一の Level で異なるマスカブル割り込みが同時に発生した場合は、基本優先順位が高い方が優先して割り込み処理が行われます。

例えば ILPRS1 レジスターを"0xC0"に設定した状態で、<IL4>と<IL7>の割り込みが同時に発生した場合、<IL7>の割り込みが優先して処理されます(<EF4>と<EF7>が許可に設定されていることが前提です)。

リセット解除後、全てのマスカブル割り込みは割り込み優先順位が Level0(最も低い)に設定されます。

注) メインプログラム中で、割り込み優先順位変更制御レジスター(ILPRS1 ~ 6)を操作する場合は、事前にマスター許可フラグ(<IMF>)を"0"にクリアしてから行ってください([DI]命令による割り込みの禁止)。ILPRS1 ~ 6 を操作した後は、必要に応じて<IMF>を"1"にセットしてください([EI]命令による割り込みの許可)。割り込みサービスルーチンでは、<IMF>は自動的に"0"になりますので、通常割り込みサービスルーチンの中で<IMF>を"0"にクリアする必要はありません。ただし、割り込みサービスルーチンの中で多重割り込みを使用する場合は、<IMF>を"1"にセットする前に ILPRS1 ~ 6 を設定してください。

割り込み優先順位変更制御レジスター-1

ILPRS1		7	6	5	4	3	2	1	0
(0x0FF0)	Bit Symbol	IL07P		IL06P		IL05P		IL04P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL07P	<IL7>の割り込み優先順位の設定	00:	Level0 (優先順位: 低)
IL06P	<IL6>の割り込み優先順位の設定	01:	Level1
IL05P	<IL5>の割り込み優先順位の設定	10:	Level2
IL04P	<IL4>の割り込み優先順位の設定	11:	Level3 (優先順位: 高)

割り込み優先順位変更制御レジスター-2

ILPRS2		7	6	5	4	3	2	1	0
(0x0FF1)	Bit Symbol	IL11P		IL10P		IL09P		IL08P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL11P	<IL11>の割り込み優先順位の設定	00:	Level0 (優先順位: 低)
IL10P	<IL10>の割り込み優先順位の設定	01:	Level1
IL09P	<IL9>の割り込み優先順位の設定	10:	Level2
IL08P	<IL8>の割り込み優先順位の設定	11:	Level3 (優先順位: 高)

割り込み優先順位変更制御レジスタ-3

ILPRS3		7	6	5	4	3	2	1	0
(0x0FF2)	Bit Symbol	IL15P		IL14P		IL13P		IL12P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL15P (注)	<IL15>の割り込み優先順位の設定	00:	Level0 (優先順位: 低)
IL14P	<IL14>の割り込み優先順位の設定	01:	Level1
IL13P	<IL13>の割り込み優先順位の設定	10:	Level2
IL12P	<IL12>の割り込み優先順位の設定	11:	Level3 (優先順位: 高)

注) <IL15P>は TMP89FS62B では「Reserved(“00”を設定してください)」です。

割り込み優先順位変更制御レジスタ-4

ILPRS4		7	6	5	4	3	2	1	0
(0x0FF3)	Bit Symbol	IL19P		IL18P		IL17P		IL16P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL19P	<IL19>の割り込み優先順位の設定	00:	Level0 (優先順位: 低)
IL18P	<IL18>の割り込み優先順位の設定	01:	Level1
IL17P (注)	<IL17>の割り込み優先順位の設定	10:	Level2
IL16P (注)	<IL16>の割り込み優先順位の設定	11:	Level3 (優先順位: 高)

注) <IL17P>と<IL16P>は TMP89FS62B と TMP89FS63B では「Reserved(“00”を設定してください)」です。

割り込み優先順位変更制御レジスタ-5

ILPRS5		7	6	5	4	3	2	1	0
(0x0FF4)	Bit Symbol	IL23P		IL22P		IL21P		IL20P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL23P	<IL23>の割り込み優先順位の設定	00:	Level0 (優先順位: 低)
IL22P	<IL22>の割り込み優先順位の設定	01:	Level1
IL21P	<IL21>の割り込み優先順位の設定	10:	Level2
IL20P	<IL20>の割り込み優先順位の設定	11:	Level3 (優先順位: 高)

割り込み優先順位変更制御レジスタ-6

ILPRS6		7	6	5	4	3	2	1	0
(0x0FF5)	Bit Symbol	IL27P		IL26P		IL25P		IL24P	
	Read/Write	R/W		R/W		R/W		R/W	
	リセット後	0	0	0	0	0	0	0	0

IL27P	<IL27>の割り込み優先順位の設定	00:	Level0 (優先順位: 低)
IL26P	<IL26>の割り込み優先順位の設定	01:	Level1
IL25P	<IL25>の割り込み優先順位の設定	10:	Level2
IL24P	<IL24>の割り込み優先順位の設定	11:	Level3 (優先順位: 高)

3.8. 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセットまたは命令によって割り込みラッチが"0"にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了した後、8 マシンサイクルを要して実行されます。割り込みサービスタスクは、割り込みリターン命令[RETI](マスカブル割り込みの場合)/[RETN](ノンマスカブル割り込みの場合)を実行して終了します。

3.8.1. 初期設定

割り込みを利用するには、事前に SP(スタックポインタ)の設定が必要です。SP は、スタックの先頭番地を指す 16 ビットのレジスタです。SP は、サブルーチンコール、プッシュ命令実行時、および割り込み受け付け時にポストデクリメントされ、リターン、ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなりますので、SP の設定値に対し適切なサイズのスタック領域を確保してください。

リセット後、SP は"0x00FF"に初期化されます。SP を変更する場合は、リセット直後か、割り込みマスター許可フラグ(<IMF>)が"0"の間に行ってください。

プログラム例: スタックポインタ(SP)の設定

```
LD    SP, 0x023F          ; SP ← 0x023F
LD    SP, SP+0x04        ; SP ← SP + 0x04
ADD   SP, 0x0010         ; SP ← SP + 0x0010
```

3.8.2. 割り込み受け付け処理

割り込み受け付け処理では、次の処理が自動的に行われます。

- (1) 割り込みマスター許可フラグ(<IMF>)を"0"にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
- (2) 受け付けた割り込み要因の割り込みラッチ(<ILx>)を"0"にクリアします。
- (3) プログラムカウンタ(PC)、プログラムステータスワード(PSW)および割り込み受け付け前の<IMF>の内容、レジスタバンクセレクト(RBS)をスタックに退避します(PSW、PCH、PCLの順にプッシュダウンされます)。スタックポインタ(SP)は3回デクリメントされます。
- (4) 割り込み要因に応じたベクターテーブルアドレスから割り込みサービスルーチンのエントリーアドレス(割り込みベクター)を読み出し、プログラムカウンタにセットします。
- (5) 割り込みサービスルーチンのエントリーアドレスに格納されている命令の実行に移ります。

例: INTTBT の受け付け処理におけるベクターテーブルアドレスと割り込みサービスルーチンのエントリーアドレスの対応

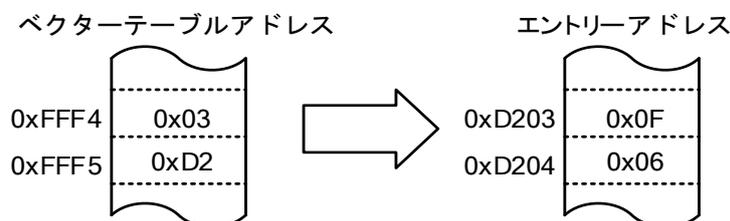


図 3-2 ベクターテーブルアドレスとエントリーアドレス

割り込みサービス中にマスカブル割り込みが発生しても、<IMF>が"1"にセットされるまで受け付けられません。

従って、多重割り込みを行う場合は、割り込みサービスルーチンの中で、<IMF>を"1"にセットします。

その際、割り込み個別許可フラグ(<EFx>)により、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの<EFx>は、<IMF>を"1"にセットする前にクリアしてください。

また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.8.3. 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、汎用レジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用の RAM 領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の3つの方法があります。

3.8.3.1. プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

プログラム例: プッシュ/ポップによる汎用レジスタの退避/復帰

```

;#### 割り込みサービスルーチン ####
PINTxx: PUSH    WA                ; WAレジスタペアをスタックに退避
        :                ; 割り込み処理
        POP     WA                ; WAレジスタペアをスタックから復帰
        RETI                   ; リターン
    
```

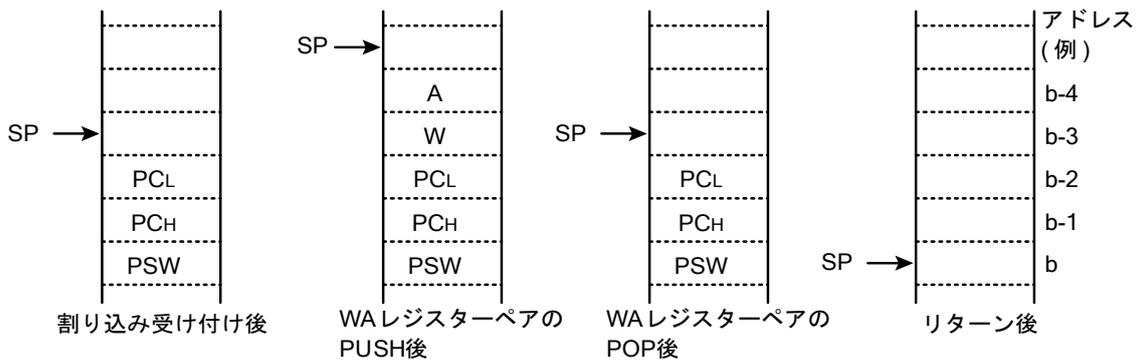


図 3-3 プッシュ/ポップ命令による汎用レジスタの退避/復帰処理

3.8.3.2. 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理で、特定のレジスタのみ退避する場合は、RAMとの転送命令により汎用レジスタの退避/復帰を行います。

プログラム例: RAM との転送命令による特定のレジスタの退避/復帰

```

;#### 割り込みサービスルーチン ####
PINTxx: LD    (GSAVA), A           ; AレジスタをRAMに退避
        :                          ; 割り込み処理
LD    A, (GSAVA)                 ; RAM から Aレジスタを復帰
RETI                               ; リターン
    
```

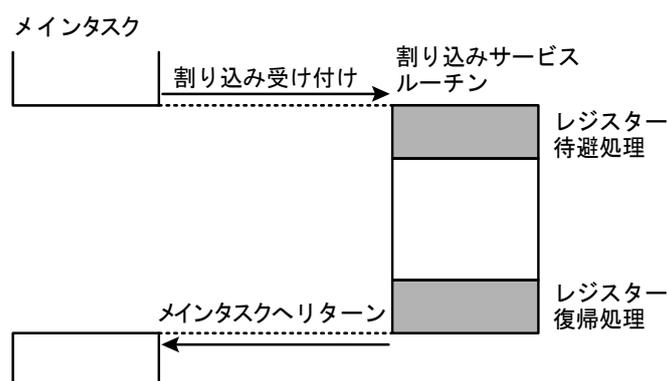


図 3-4 転送命令による汎用レジスタの退避/復帰

3.8.3.3. レジスタバンクによる汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理で、汎用レジスタを一括して待避/復帰する場合は、レジスタバンク機能を使用します。レジスタバンク機能によって汎用レジスタを待避(切り替え)するには、割り込みサービスタスクの先頭でレジスタバンクの操作命令(LD RBS,1 など)を実行します。レジスタバンクは、RETI 命令が実行されると PSW の内容に従ってメインタスクで使用していたレジスタバンクに自動的に復帰しますので、割り込みサービスタスクの最後でレジスタバンクの操作命令を再度実行する必要はありません。

注) レジスタバンクは、2 BANK(BANK0 と 1)内蔵しています。1つの BANK には、8 ビット汎用レジスタ(W、A、B、C、D、E、H、L)、16 ビット汎用レジスタ(IX、IY)が含まれています。

プログラム例: レジスタバンクによる汎用レジスタの退避/復帰
 (メインタスクでレジスタバンクの BANK0 を使用している場合)

```

;#### 割り込みサービスルーチン ####
PINTxx: LD    RBS, 1           ; レジスタバンクを BANK1 に切り替え
        :                   ; 割り込み処理
        RETI                  ; リターン (RETI 命令による PSW の復帰で
                               ; レジスタバンク BANK0 に切り替わる)
    
```

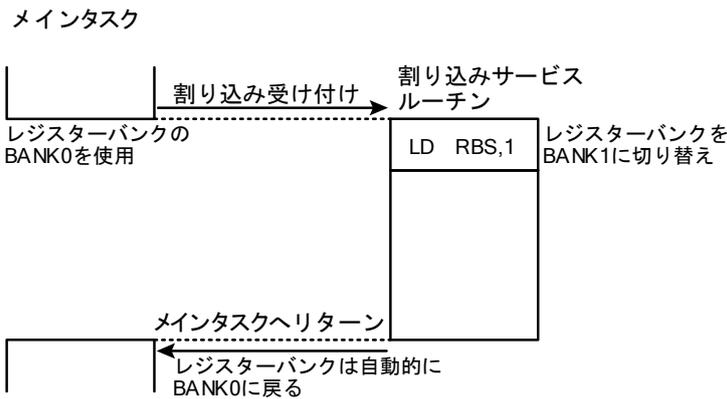


図 3-5 レジスタバンクによる汎用レジスタの待避/復帰

3.8.4. 割り込みリターン

割り込みリターン命令[RETI]/[RETN]は、次の動作を行います。

[RETI]/[RETN] 割り込みリターン	
1.	プログラムカウンタ(PC)、プログラムステータスワード(<IMF>およびRBSを含む)の内容をスタックからそれぞれリストアーします。
2.	スタックポインタ(SP)を3回インクリメントします。

3.9. ソフトウェア割り込み (INTSWI)

SWI命令を実行することにより、ソフトウェア割り込みが発生し、直ちに割り込み処理に入ります (最優先割り込み)。

SWI命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.9.1. アドレスエラー検出

CPUが何らかの原因 (ノイズなど)により誤動作し、メモリーの存在しないアドレスから命令フェッチを行った場合、"0xFF"が読み込まれます。コード"0xFF"はSWI命令なので、ソフトウェア割り込みが発生します。ソフトウェア割り込みの発生で、アドレスエラー検出ができます。

また、プログラムメモリーの不使領域を全て"0xFF"で埋めておくことで、アドレスエラー検出範囲を広げることができます。

ソフトウェア割り込みが発生した場合は、以下のプログラムに示すようにシステムクロックリセットが発生するようにしておくことを推奨します。

プログラム例: SWI 命令によりアドレスエラー検出後、システムクロックリセットを発生させ、TMP89FS60B/62B/63B を再起動させる

```
INTSWI: LD      (SYSCR2), 0x10      ; システムクロックリセットを発生させて  
        RETN                       ; TMP89FS60B/62B/63B を再起動する
```

```
vector section romdata abs = 0xFFFC  
        DW      INTSWI
```

3.9.2. デバッグ

SWI命令をソフトウェアブレイクポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.10. 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEFが発生し、割り込み処理に入ります。INTUNDEFはマスカブル割り込み処理中だけでなく、他のノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断してINTUNDEF割り込み処理に入ります。

注) 未定義命令割り込み(INTUNDEF)が発生すると、プログラムカウンターにソフトウェア割り込み(INTSWI)と同じ割り込みベクターアドレスの内容がセットされます。

4. 外部割り込み制御回路

外部割り込みは、端子に入力される信号の変化を検出して割り込み要求を発生させる機能です。デジタル式のノイズキャンセラーを内蔵しており、ノイズを除去することができます。

4.1. 各製品の外部割り込み制御回路

各製品で利用できる外部割り込み制御回路を表 4-1 に示します。

非搭載の外部割り込み制御回路の低消費電力レジスタ(POFFCR3)の対応ビットは”0”にクリアしてください。

表 4-1 各製品で利用できる外部割り込み制御回路

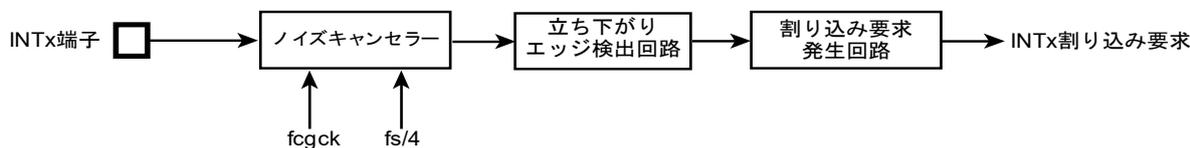
外部割り込み制御回路	TMP89FS60B	TMP89FS62B	TMP89FS63B
外部割り込み 0	A	NA	NA
外部割り込み 1	A	NA	NA
外部割り込み 2	A	A	A
外部割り込み 3	A	A	A
外部割り込み 4	A	A	A
外部割り込み 5	A	A	A

注) A: 搭載、NA: 非搭載

4.2. 構成

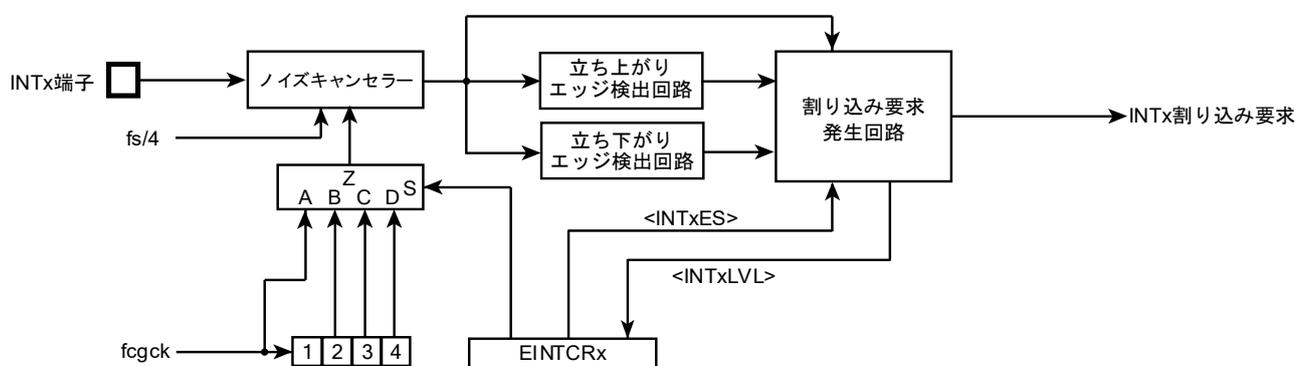
外部割り込み制御回路は、ノイズキャンセラー、エッジ検出回路、レベル検出回路、割り込み要求発生回路から構成されています。

外部から入力された信号はノイズキャンセラーによってノイズが除去された後、各外部割り込みごとに立ち上がり/立ち下がり/レベル検出回路に入力されます。



注) x = 5 と 0

図 4-1 外部割り込み0/5



注) x = 3 ~ 1

図 4-2 外部割り込み1/2/3

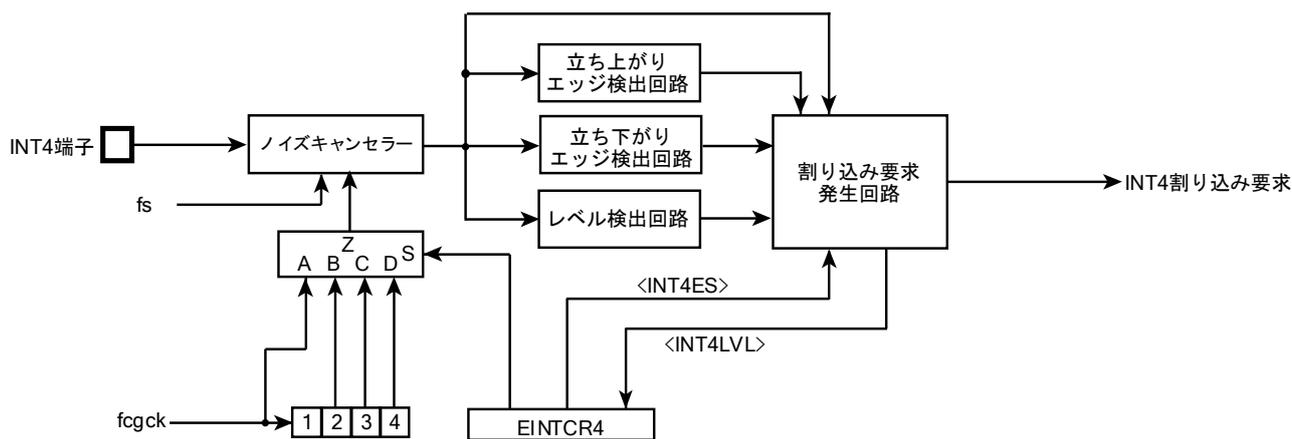


図 4-3 外部割り込み4

4.3. 制御

外部割り込みは下記のレジスターで制御されます。

低消費電力レジスター3

POFFCR3 (0x0F77)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	INT5EN	INT4EN	INT3EN	INT2EN	INT1EN	INT0EN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

INT5EN	INT5 制御	0:	Disable
		1:	Enable
INT4EN	INT4 制御	0:	Disable
		1:	Enable
INT3EN	INT3 制御	0:	Disable
		1:	Enable
INT2EN	INT2 制御	0:	Disable
		1:	Enable
INT1EN (注 4)	INT1 制御	0:	Disable
		1:	Enable
INT0EN (注 4)	INT0 制御	0:	Disable
		1:	Enable

注 1) <INTxEN>(x = 5 ~ 0)が"0"にクリアされているとき、外部割り込みへのクロック供給が停止されます。このとき、各外部割り込みの制御レジスターに書き込んだデータは無効となります。外部割り込みを使用するときには、<INTxEN>を"1"にセットしてから、各外部割り込みの制御レジスターにデータを書き込んでください。

注 2) <INTxEN>を変更するときに、割り込み要求が発生することがあります。<INTxEN>を変更するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、<INTxEN>変更から NORMAL 1/2、IDLE 1/2 モードでは 2 / fcgck + 3 / fspl [s]、SLOW 1/2、SLEEP1 モードでは 12 / fs [s]待ち、割り込みラッチをクリアしてください。

注 3) POFFCR3 のビット 7、6 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

注 4) <INT1EN>と<INT0EN>は TMP89FS62B と TMP89FS63B では「Reserved("0"を設定してください)」です。

外部割り込み制御レジスタ-1

EINTCR1 (0x0FD8)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	INT1LVL	INT1ES		INT1NC	
Read/Write	R	R	R	R	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0

INT1LVL	外部割り込み 1 の割り込み要求発生時のノイズキャンセラー通過信号レベル	0:	初期状態あるいは信号レベルが"Low"					
		1:	信号レベルが"High"					
INT1ES	外部割り込み 1 の割り込み要求発生条件選択	00:	ノイズキャンセラー通過信号の立ち上がりエッジで割り込み要求発生					
		01:	ノイズキャンセラー通過信号の立ち下がりエッジで割り込み要求発生					
		10:	ノイズキャンセラー通過信号の両エッジで割り込み要求発生					
		11:	Reserved					
INT1NC	外部割り込み 1 のノイズキャンセラーサンプリング間隔設定	NORMAL1/2、IDLE1/2			SLOW1/2、SLEEP1			
		00:	fcgck [Hz]		00:	fs / 4 [Hz]		
		01:	fcgck / 2 ² [Hz]		01:	fs / 4 [Hz]		
		10:	fcgck / 2 ³ [Hz]		10:	fs / 4 [Hz]		
		11:	fcgck / 2 ⁴ [Hz]		11:	fs / 4 [Hz]		

注 1) fcgck:ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) 動作モード遷移時に割り込み要求が発生することがあります。動作モードを遷移するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2、IDLE1/2 モードから SLOW1/2、SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12 / fs [s]待ち割り込みラッチをクリアしてください。また、SLOW1/2、SLEEP1 モードから NORMAL1/2、IDLE1/2 モードに切り替える場合、動作モードが切り変わってから 2 / fcgck + 3 / fspl [s]待ち、割り込みラッチをクリアしてください。

注 3) EINTCR1 を変更するときに、割り込み要求が発生することがあります。EINTCR1 を変更するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、EINTCR1 変更から NORMAL1/2、IDLE1/2 モードでは 2 / fcgck + 3 / fspl [s]、SLOW1/2、SLEEP1 モードでは 12 / fs [s]待ち、割り込みラッチをクリアしてください。

注 4) EINTCR1<INT1LVL>は、割り込み要求が発生する度に内容が更新されます。

注 5) EINTCR1 のビット 7 ~ 5 は"0"が読みだされます。

外部割り込み制御レジスタ-2

EINTCR2 (0x0FD9)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	INT2LVL	INT2ES		INT2NC	
Read/Write	R	R	R	R	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0

INT2LVL	外部割り込み 2 の割り込み要求発生時のノイズキャンセラー通過信号レベル	0:	初期状態あるいは信号レベルが"Low"					
		1:	信号レベルが"High"					
INT2ES	外部割り込み 2 の割り込み要求発生条件選択	00:	ノイズキャンセラー通過信号の立ち上がりエッジで割り込み要求発生					
		01:	ノイズキャンセラー通過信号の立ち下がりエッジで割り込み要求発生					
		10:	ノイズキャンセラー通過信号の両エッジで割り込み要求発生					
		11:	Reserved					
INT2NC	外部割り込み 3 のノイズキャンセラーサンプリング間隔設定	NORMAL1/2、IDLE1/2			SLOW1/2、SLEEP1			
		00:	fcgck [Hz]		00:	fs / 4 [Hz]		
		01:	fcgck / 2 ² [Hz]		01:	fs / 4 [Hz]		
		10:	fcgck / 2 ³ [Hz]		10:	fs / 4 [Hz]		
		11:	fcgck / 2 ⁴ [Hz]		11:	fs / 4 [Hz]		

注 1) fcgck:ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) 動作モード遷移時に割り込み要求が発生することがあります。動作モードを遷移するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2、IDLE1/2 モードから SLOW1/2、SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12 / fs [s]待ち割り込みラッチをクリアしてください。また、SLOW1/2、SLEEP1 モードから NORMAL1/2、IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2 / fcgck + 3 / fspl [s]待ち、割り込みラッチをクリアしてください。

注 3) EINTCR2 を変更するときに、割り込み要求が発生することがあります。EINTCR2 を変更するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、EINTCR2 変更から NORMAL1/2、IDLE1/2 モードでは 2 / fcgck + 3 / fspl [s]、SLOW1/2、SLEEP1 モードでは 12 / fs [s]待ち、割り込みラッチをクリアしてください。

注 4) EINTCR2<INT2LVL>は、割り込み要求が発生する度に内容が更新されます。

注 5) EINTCR2 のビット 7 ~ 5 は"0"が読みだされます。

外部割り込み制御レジスタ-3

EINTCR3 (0x0FDA)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	INT3LVL	INT3ES		INT3NC		
Read/Write	R	R	R	R	R/W		R/W		
リセット後	0	0	0	0	0	0	0	0	0

INT3LVL	外部割り込み 3 の割り込み要求発生時のノイズキャンセラー通過信号レベル	0:	初期状態あるいは信号レベルが"Low"						
		1:	信号レベルが"High"						
INT3ES	外部割り込み 3 の割り込み要求発生条件選択	00:	ノイズキャンセラー通過信号の立ち上がりエッジで割り込み要求発生						
		01:	ノイズキャンセラー通過信号の立ち下がりエッジで割り込み要求発生						
		10:	ノイズキャンセラー通過信号の両エッジで割り込み要求発生						
		11:	Reserved						
INT3NC	外部割り込み 3 のノイズキャンセラーサンプリング間隔設定	NORMAL1/2、IDLE1/2				SLOW1/2、SLEEP1			
		00:	fcgck [Hz]			00:	fs / 4 [Hz]		
		01:	fcgck / 2 ² [Hz]			01:	fs / 4 [Hz]		
		10:	fcgck / 2 ³ [Hz]			10:	fs / 4 [Hz]		
		11:	fcgck / 2 ⁴ [Hz]			11:	fs / 4 [Hz]		

注 1) fcgck:ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) 動作モード遷移時に割り込み要求が発生することがあります。動作モードを遷移するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2、IDLE1/2 モードから SLOW1/2、SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12 / fs [s]待ち割り込みラッチをクリアしてください。また、SLOW1/2、SLEEP1 モードから NORMAL1/2、IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2 / fcgck + 3 / fspl [s]待ち、割り込みラッチをクリアしてください。

注 3) EINTCR3 を変更するとき、割り込み要求が発生することがあります。EINTCR3 を変更するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、EINTCR3 変更から NORMAL1/2、IDLE1/2 モードでは 2 / fcgck + 3 / fspl [s]、SLOW1/2、SLEEP1 モードでは 12 / fs [s]待ち、割り込みラッチをクリアしてください。

注 4) EINTCR3<INT3LVL>は、割り込み要求が発生する度に内容が更新されます。

注 5) EINTCR3 のビット 7 ~ 5 は"0"が読みだされます。

外部割り込み制御レジスタ-4

EINTCR4 (0x0FDB)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	INT4LVL	INT4ES		INT4NC		
Read/Write	R	R	R	R	R/W		R/W		
リセット後	0	0	0	0	0	0	0	0	0

INT4LVL	外部割り込み 4 の割り込み要求発生時のノイズキャンセラー通過信号レベル	0:	初期状態あるいは信号レベルが"Low"						
		1:	信号レベルが"High"						
INT4ES	外部割り込み 4 の割り込み要求発生条件選択	00:	ノイズキャンセラー通過信号の立ち上がりエッジで割り込み要求発生						
		01:	ノイズキャンセラー通過信号の立ち下がりエッジで割り込み要求発生						
		10:	ノイズキャンセラー通過信号の両エッジで割り込み要求発生						
		11:	ノイズキャンセラー通過信号の"High"レベルで割り込み要求発生						
INT4NC	外部割り込み 4 のノイズキャンセラーサンプリング間隔設定	NORMAL1/2、IDLE1/2				SLOW1/2、SLEEP1			
		00:	fcgck [Hz]			00:	fs / 4 [Hz]		
		01:	fcgck / 2 ² [Hz]			01:	fs / 4 [Hz]		
		10:	fcgck / 2 ³ [Hz]			10:	fs / 4 [Hz]		
		11:	fcgck / 2 ⁴ [Hz]			11:	fs / 4 [Hz]		

注 1) fcgck:ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) 動作モード遷移時に割り込み要求が発生することがあります。動作モードを遷移するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2、IDLE1/2 モードから SLOW1/2、SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12 / fs [s]待ち割り込みラッチをクリアしてください。また、SLOW1/2、SLEEP1 モードから NORMAL1/2、IDLE1/2 モードに切り替える場合、動作モードが切り替わってから 2 / fcgck + 3 / fspl [s]待ち、割り込みラッチをクリアしてください。

注 3) EINTCR4 を変更するときに、割り込み要求が発生することがあります。EINTCR4 を変更するときには、該当する割り込み許可フラグを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、EINTCR4 変更から NORMAL1/2、IDLE1/2 モードでは 2 / fcgck + 3 / fspl [s]、SLOW1/2、SLEEP1 モードでは 12 / fs [s]待ち、割り込みラッチをクリアしてください。

注 4) EINTCR4<INT4LVL>は、割り込み要求が発生する度に内容が更新されます。

注 5) EINTCR4 のビット 7 ~ 5 は"0"が読みだされます。

4.4. 低消費電力制御

外部割り込みは、その機能を使用しないとき、低消費電力レジスタ(POFFCR3)によって不要な電力を抑える機能を持っています。

POFFCR3<INTxEN>を"0"に設定すると、外部割り込みへの基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのとき外部割り込みが使用できなくなります。POFFCR3<INTxEN>を"1"に設定すると外部割り込みへの基本クロックが供給(Enable)され外部割り込みが使用可能になります。

リセット後、POFFCR3<INTxEN>は"0"に初期化されますので、外部割り込みは使用不可の設定となります。よって、初めて外部割り込み機能を使用するときには、プログラムの初期設定(外部割り込みの制御レジスタを操作する前)で必ず POFFCR3<INTxEN>を"1"に設定してください。

注) <INTxEN>を変更するときに、割り込み要求が発生することがあります。<INTxEN>を変更するときには、該当する割り込み許可レジスタを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、変更から NORMAL1/2、IDLE1/2 モードでは $2 / f_{cgck} + 3 / f_{spl} [s]$ 、SLOW1/2、SLEEP1 モードでは $12 / f_s [s]$ 待ち、割り込みラッチをクリアしてください。

4.5. 機能

外部割り込み1~4は、割り込み要求を発生するときの条件とノイズキャンセル時間を設定することができます。

外部割り込み0、5の割り込み要求を発生する条件とノイズキャンセル時間は固定です。

表 4-2 外部割り込みの許可条件と割り込み要求発生条件

要因	端子名	許可条件	割り込み要求発生条件
INT0	$\overline{\text{INT0}}$	$\langle \text{IMF} \rangle \text{ AND } \langle \text{EF16} \rangle = 1$	立ち下がりエッジ
INT1	INT1	$\langle \text{IMF} \rangle \text{ AND } \langle \text{EF17} \rangle = 1$	立ち下がりエッジ 立ち上がりエッジ 両エッジ
INT2	INT2	$\langle \text{IMF} \rangle \text{ AND } \langle \text{EF18} \rangle = 1$	立ち下がりエッジ 立ち上がりエッジ 両エッジ
INT3	INT3	$\langle \text{IMF} \rangle \text{ AND } \langle \text{EF19} \rangle = 1$	立ち下がりエッジ 立ち上がりエッジ 両エッジ
INT4	INT4	$\langle \text{IMF} \rangle \text{ AND } \langle \text{EF20} \rangle = 1$	立ち下がりエッジ 立ち上がりエッジ 両エッジ "High"レベル
INT5	$\overline{\text{INT5}}$	$\langle \text{IMF} \rangle \text{ AND } \langle \text{EF8} \rangle = 1$	立ち下がりエッジ

表 4-3 外部割り込み端子入力信号の幅とノイズ除去時間

要因	端子名	外部割り込み端子入力信号の幅(w)とノイズ除去時間	
		NORMAL1/2、IDLE1/2	SLOW1/2、SLEEP1
INT0	$\overline{\text{INT0}}$	$w < 1 / \text{fcgck}$: ノイズ $1 / \text{fcgck} \leq w < 2 / \text{fcgck}$: 不定 $2 / \text{fcgck} \leq w$: 信号	$w < 4 / \text{fs}$: ノイズ $4 / \text{fs} \leq w < 8 / \text{fs}$: 不定 $8 / \text{fs} \leq w$: 信号
INT1	INT1	$w < 2 / \text{fspl}$: ノイズ $2 / \text{fspl} \leq w < 3 / \text{fspl} + 1 / \text{fcgck}$: 不定 $3 / \text{fspl} + 1 / \text{fcgck} \leq w$: 信号	$w < 4 / \text{fs}$: ノイズ $4 / \text{fs} \leq w < 8 / \text{fs}$: 不定 $8 / \text{fs} \leq w$: 信号
INT2	INT2	$w < 2 / \text{fspl}$: ノイズ $2 / \text{fspl} \leq w < 3 / \text{fspl} + 1 / \text{fcgck}$: 不定 $3 / \text{fspl} + 1 / \text{fcgck} \leq w$: 信号	$w < 4 / \text{fs}$: ノイズ $4 / \text{fs} \leq w < 8 / \text{fs}$: 不定 $8 / \text{fs} \leq w$: 信号
INT3	INT3	$w < 2 / \text{fspl}$: ノイズ $2 / \text{fspl} \leq w < 3 / \text{fspl} + 1 / \text{fcgck}$: 不定 $3 / \text{fspl} + 1 / \text{fcgck} \leq w$: 信号	$w < 4 / \text{fs}$: ノイズ $4 / \text{fs} \leq w < 8 / \text{fs}$: 不定 $8 / \text{fs} \leq w$: 信号
INT4	INT4	$w < 2 / \text{fspl}$: ノイズ $2 / \text{fspl} \leq w < 3 / \text{fspl} + 1 / \text{fcgck}$: 不定 $3 / \text{fspl} + 1 / \text{fcgck} \leq w$: 信号	$w < 4 / \text{fs}$: ノイズ $4 / \text{fs} \leq w < 8 / \text{fs}$: 不定 $8 / \text{fs} \leq w$: 信号
INT5	$\overline{\text{INT5}}$	$w < 1 / \text{fcgck}$: ノイズ $1 / \text{fcgck} \leq w < 2 / \text{fcgck}$: 不定 $2 / \text{fcgck} \leq w$: 信号	$w < 4 / \text{fs}$: ノイズ $4 / \text{fs} \leq w < 8 / \text{fs}$: 不定 $8 / \text{fs} \leq w$: 信号

注) fcgck:ギアクロック [Hz]、fs: 低周波クロック [Hz]、fspl: サンプル周波数 [Hz]

4.5.1. 外部割り込み 0

外部割り込み 0 は $\overline{\text{INT0}}$ 端子の立ち下がりエッジを検出して割り込み要求を発生します。

NORMAL1/2、IDLE1/2 モード時、 $1 / f_{cgck}$ [s]未満のパルスはノイズとして除去され、 $2 / f_{cgck}$ [s]以上のパルスは確実に信号とみなされます。

SLOW/SLEEP モード時、 $4 / f_s$ [s]未満のパルスはノイズとして除去され、 $8 / f_s$ [s]以上のパルスは確実に信号とみなされます。

4.5.2. 外部割り込み 1/2/3

外部割り込み 1/2/3 は INT1、INT2、INT3 端子の立ち下がり、立ち上がり、両エッジを検出して割り込み要求を発生します。

4.5.2.1. 割り込み要求発生条件検出機能

外部割り込み 1/2/3 は、 $\text{EINTCRx} \langle \text{INTxES} \rangle$ で割り込み要求発生条件を選択します。

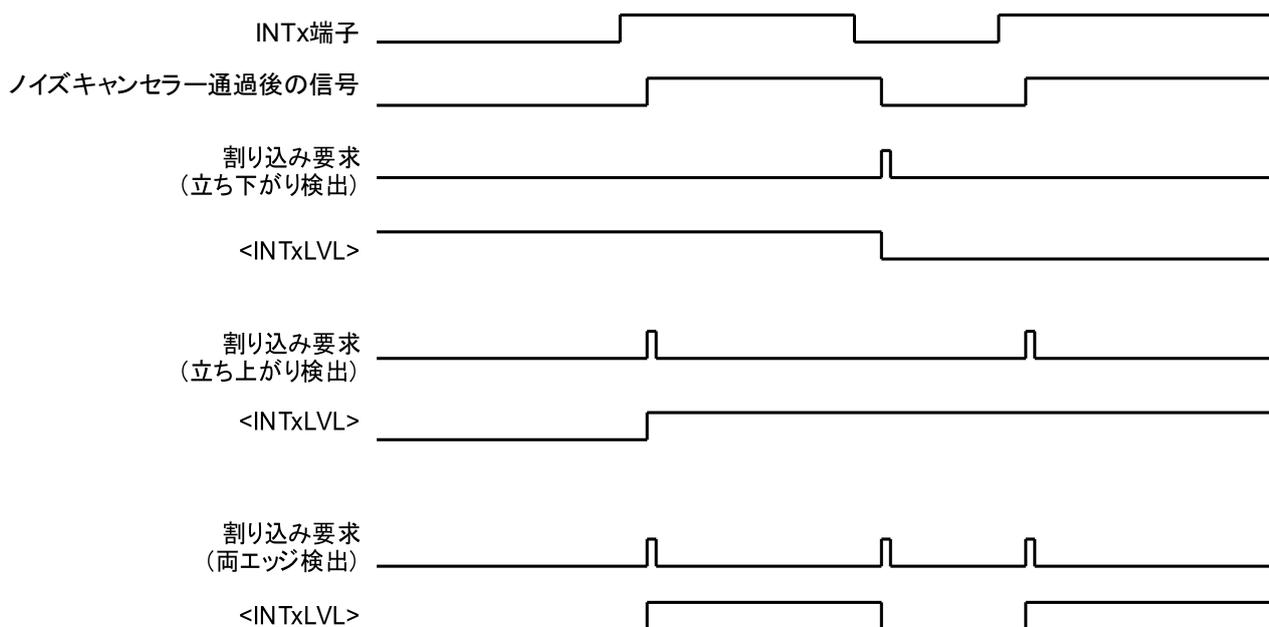
表 4-4 割り込み要求発生条件

$\text{EINTCRx} \langle \text{INTxES} \rangle$	発生条件
00	立ち上がりエッジ
01	立ち下がりエッジ
10	両エッジ
11	Reserved

注) $x = 3 \sim 1$

4.5.2.2. 割り込み要求発生時のノイズキャンセラー通過信号モニター機能

割り込み要求発生時のノイズキャンセラー通過後の信号レベルを $\text{EINTCRx} \langle \text{INTxLVL} \rangle$ で読み出すことができます。検出エッジに両エッジを選択したとき $\text{EINTCRx} \langle \text{INTxLVL} \rangle$ を読み出すことで、割り込み発生時のエッジを確定できます。



注) $x = 3 \sim 1$

図 4-4 割り込み要求発生と $\text{EINTCRx} \langle \text{INTxLVL} \rangle$

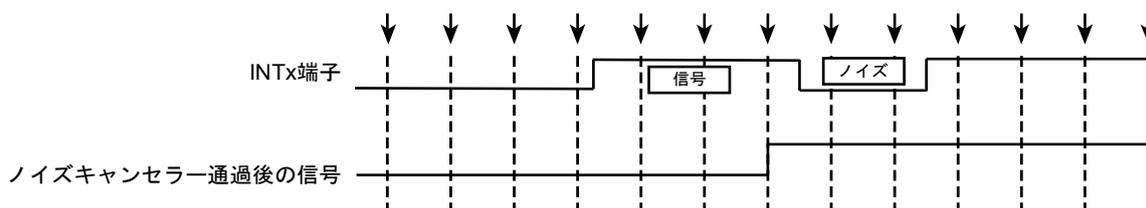
4.5.2.3. ノイズキャンセル時間選択機能

NORMAL1/2、IDLE1/2 モードでは、INTx 端子の状態を fcgck でサンプリングした後に、EINTCRx<INTxNC>で選択されたサンプリング間隔でサンプリングし、3回同じレベルが連続すると信号としてみなし、それ以外はノイズとして除去します。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-3 を参照してください。

表 4-5 ノイズキャンセラーのサンプリングクロック

EINTCRx<INTxNC>	サンプリングクロック
00	fcgck
01	fcgck / 2 ²
10	fcgck / 2 ³
11	fcgck / 2 ⁴



注) x = 3 ~ 1

図 4-5 ノイズキャンセル動作

SLOW1/2、SLEEP1 モードでは、低周波クロックを4分周したクロックでノイズキャンセラー通過後の信号をサンプリングし、2回同じレベルが連続すると信号としてみなされます。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-3 を参照してください。

IDLE0、SLEEP0、STOP モードではノイズキャンセラーのサンプリング動作が停止するため、外部割り込みを使用することができません。NORMAL1/2モード、IDLE1/2モード、SLOW1/2、SLEEP1モードに戻るとサンプリング動作が再開します。

注 1) 外部割り込み端子をサンプリングするタイミングで連続してノイズが入力された場合、ノイズキャンセル機能は正常に動作しません。外部から入力されるノイズの周期に合わせ、EINTCRx<INTxNC>を選択してください。

注 2) 外部割り込み端子を出力ポートとして使用すると、出力モードに切り替えたときポートからの入力信号が"Low"レベルに固定されるため割り込み要求が発生します。出力ポートとして使用するときには、該当する割り込み許可フラグを"0"にクリアして割り込み要求の発生を禁止してください。

注 3) 動作モード遷移時に割り込み要求が発生することがあります。動作モード遷移を変更するときには、該当する割り込み許可レジスターを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2、IDLE1/2 モードから SLOW1/2、SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12 / fs [s]待ち割り込みラッチをクリアしてください。また、SLOW1/2、SLEEP1 モードから NORMAL1/2、IDLE1/2 モードに切り替える場合、動作モードが切り変わってから 2 / fcgck + 3 / fspl [s]待ち、割り込みラッチをクリアしてください。

4.5.3. 外部割り込み 4

外部割り込み4はINT4端子の立ち下がり、立ち上がり、両エッジ、“High”レベルを検出して割り込み要求を発生します。

4.5.3.1. 割り込み要求発生条件検出機能

外部割り込み4は、EINTCR4<INT4ES>で割り込み要求発生条件を選択します。

表 4-6 割り込み要求発生条件

EINTCR4<INT4ES>	発生条件
00	立ち上がり
01	立ち下がり
10	両エッジ
11	“High”レベル割り込み

4.5.3.2. 割り込み要求発生時のノイズキャンセラー通過信号モニター機能

割り込み要求発生時のノイズキャンセラー通過後の信号レベルをEINTCR4<INT4LVL>で読みだすことができます。検出エッジに両エッジを選択したときEINTCR4<INT4LVL>を読みだすことで、割り込み発生時のエッジを確定できます。

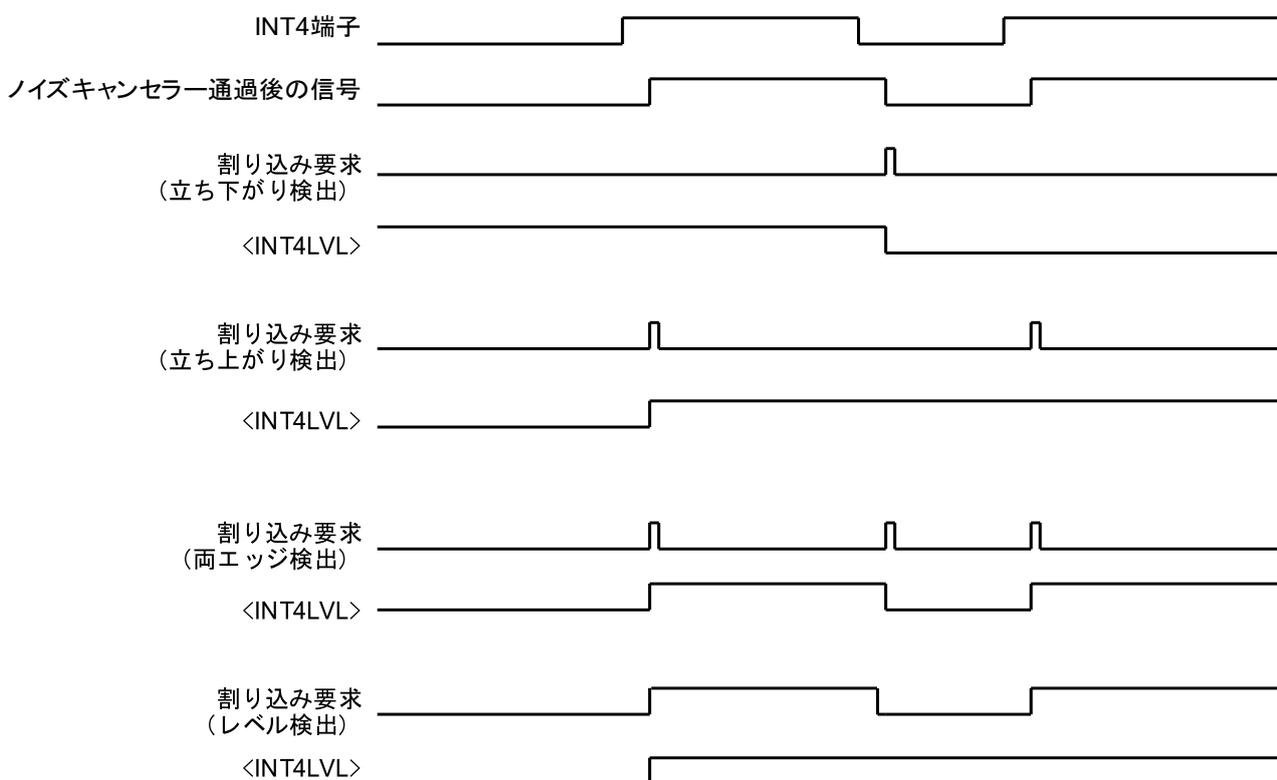


図 4-6 割り込み要求発生条件とEINTCR4<INT4LVL>

4.5.3.3. ノイズキャンセル時間選択機能

NORMAL1/2、IDLE1/2 モードでは、INT4 端子の状態を fcgck でサンプリングした後に、EINTCR4<INT4NC>で選択されたサンプリング間隔でサンプリングし、3回同じレベルが連続すると信号としてみなし、それ以外はノイズとして除去します。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-3 を参照してください。

表 4-7 ノイズキャンセラーのサンプリングロック

EINTCR4<INT4NC>	サンプリングクロック
00	fcgck
01	fcgck / 2 ²
10	fcgck / 2 ³
11	fcgck / 2 ⁴

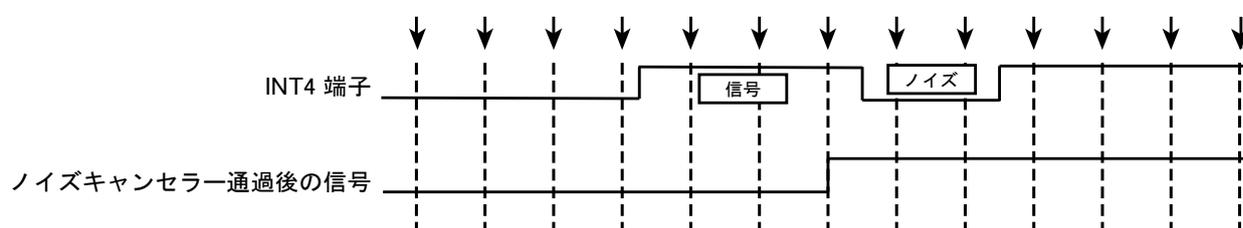


図 4-7 ノイズキャンセル動作

SLOW1/2、SLEEP1 モードでは、低周波クロックを 4 分周したクロックでノイズキャンセラー通過後の信号をサンプリングし、2回同じレベルが連続すると信号としてみなされます。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-3 を参照してください。

IDLE0、SLEEP0、STOP モードではノイズキャンセラーのサンプリング動作が停止するため、外部割り込みを使用することができません。NORMAL1/2モード、IDLE1/2モード、SLOW1/2、SLEEP1 モードに戻るとサンプリング動作が再開します。

- 注 1) 外部割り込み端子をサンプリングするタイミングで連続してノイズが入力された場合、ノイズキャンセル機能は正常に動作しません。外部から入力されるノイズの周期に合わせ、EINTCR4<INT4NC>を選択してください。
- 注 2) 外部割り込み端子を出力ポートとして使用すると、出力モードに切り替えたときポートへの入力信号が"Low"レベルに固定されるため割り込み要求が発生します。出力ポートとして使用するときには、該当する割り込み許可レジスターを"0"にクリアして割り込み発生を禁止してください。
- 注 3) 動作モード遷移時に割り込み要求が発生することがあります。動作モード遷移を変更するときには、該当する割り込み許可レジスターを"0"にクリアして割り込み発生を禁止した状態で行ってください。その後、割り込みを許可する前に、NORMAL1/2、IDLE1/2 モードから SLOW1/2、SLEEP1 モードに切り替える場合、動作モードが切り変わってから 12 / fs [s]待ち割り込みラッチをクリアしてください。また、SLOW1/2、SLEEP1 モードから NORMAL1/2、IDLE1/2 モードに切り替える場合、動作モードが切り変わってから 2 / fcgck + 3 / fspl [s]待ち、割り込みラッチをクリアしてください。

4.5.4. 外部割り込み 5

外部割り込み 5 は $\overline{\text{INT5}}$ 端子の立ち下がりエッジを検出して割り込み要求を発生します。

NORMAL1/2、IDLE1/2 モード時、 $1 / \text{fcgck [s]}$ 未満のパルスはノイズとして除去され、 $2 / \text{fcgck [s]}$ 以上のパルスは確実に信号とみなされます。

SLOW/SLEEP モード時、 $4 / \text{fs [s]}$ 未満のパルスはノイズとして除去され、 $8 / \text{fs [s]}$ 以上のパルスは確実に信号とみなされます。

信号として通過する信号幅、ノイズとして除去される信号幅の詳細については、表 4-3 を参照してください。

5. ウォッチドッグタイマー (WDT)

ウォッチドッグタイマーは、ノイズなどの原因による誤動作(暴走)やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェールセーフ機能です。

ウォッチドッグタイマーによる暴走検出信号は、ウォッチドッグ割り込み要求、またはウォッチドッグタイマーリセット信号のいずれかをプログラムで選択することができます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマーが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

5.1. 構成

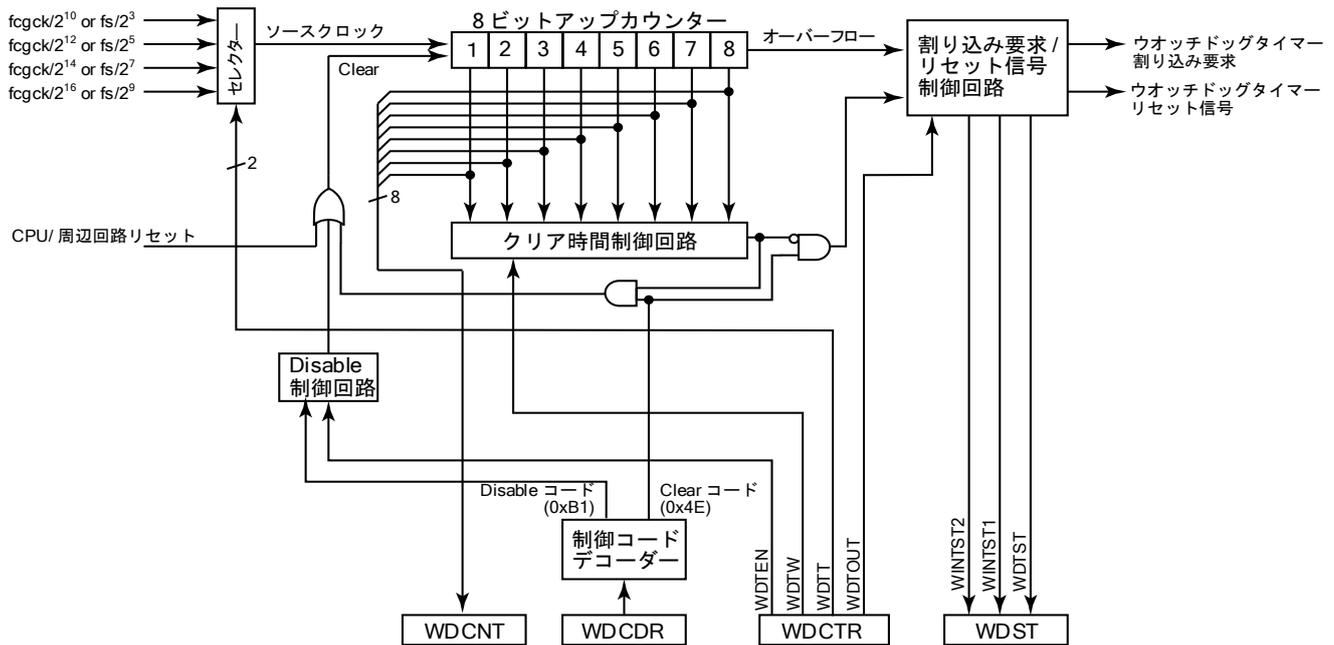


図 5-1 ウォッチドッグタイマーの構成

5.2. 制御

ウォッチドッグタイマーは、ウォッチドッグタイマー制御レジスタ(WDCTR)、ウォッチドッグタイマー制御コードレジスタ(WDCDR)、ウォッチドッグタイマーカウンタモニター(WDCNT)、ウォッチドッグタイマーステータス(WDST)で制御されます。なおウォッチドッグタイマーはリセット後のウォーミングアップ動作終了直後、自動的に許可になります。

ウォッチドッグタイマー制御レジスタ

WDCTR		7	6	5	4	3	2	1	0
(0x0FD4)	Bit Symbol	-	-	WDTEN	WDTW		WDTT		WDTOUT
	Read/Write	R	R	R/W	R/W		R/W		R/W
	リセット後	1	0	1	0	0	1	1	0

WDTEN	ウォッチドッグタイマー動作の許可/禁止	0:	禁止		
		1:	許可		
WDTW	8ビットアップカウンタクリアのクリアタイミングの設定	00:	8ビットアップカウンタのオーバーフロー時間のどこでクリアコードを書き込んでも8ビットアップカウンタをクリアする。		
		01:	8ビットアップカウンタのオーバーフロー時間の前半1/4以下のタイミングでクリアコードを書き込むとウォッチドッグタイマー割り込み要求が発生する。オーバーフロー時間の前半1/4を超えたタイミングでクリアコードを書き込むと8ビットアップカウンタをクリアする。		
		10:	8ビットアップカウンタのオーバーフロー時間の前半1/2以下のタイミングでクリアコードを書き込むとウォッチドッグタイマー割り込み要求が発生する。オーバーフロー時間の前半1/2を超えたタイミングでクリアコードを書き込むと8ビットアップカウンタをクリアする。		
		11:	8ビットアップカウンタのオーバーフロー時間の前半3/4以下のタイミングでクリアコードを書き込むとウォッチドッグタイマー割り込み要求が発生する。オーバーフロー時間の前半3/4を超えたタイミングでクリアコードを書き込むと8ビットアップカウンタをクリアする。		
WDTT	8ビットアップカウンタのオーバーフロー時間の設定		NORMAL モードの時		SLOW モードの時
			<DV9CK> = 0の時	<DV9CK> = 1の時	
		00:	2 ¹⁸ / fcgck	2 ¹¹ / fs	2 ¹¹ / fs
		01:	2 ²⁰ / fcgck	2 ¹³ / fs	2 ¹³ / fs
		10:	2 ²² / fcgck	2 ¹⁵ / fs	2 ¹⁵ / fs
		11:	2 ²⁴ / fcgck	2 ¹⁷ / fs	2 ¹⁷ / fs
WDTOUT	8ビットアップカウンタのオーバーフロー検出信号の選択	0:	ウォッチドッグタイマー割り込み要求		
		1:	ウォッチドッグタイマーリセット信号		

注1) fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]

注2) WDCTR<WDTW>、<WDTT>、<WDTOUT>はWDCTR<WDTEN>が"1"のとき変更することができません。

WDCTR<WDTEN>が"1"のときには、WDCTR<WDTEN>を"0"にクリアした後、WDCDRにDisableコード"0xB1"を書き込み、ウォッチドッグタイマー動作を禁止させてください。なお、WDCTR<WDTEN>を"1"にセットするときに、WDCTR<WDTW>、<WDTT>、<WDTOUT>を同時に変更することができます。

注3) WDCTRのビット7、ビット6を読みだすと、それぞれ"1"、"0"が読みだされます。

ウォッチドッグタイマー制御コードレジスター

WDCDR		7	6	5	4	3	2	1	0
(0x0FD5)	Bit Symbol	WDTCR2							
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0

WDTCR2	ウォッチドッグタイマーの制御コード書き込み	0x4E:	ウォッチドッグタイマーのクリア(Clear コード)
		0xB1:	WDCTR<WDTEN>が"0"のとき、ウォッチドッグタイマー動作を禁止し、8ビットアップカウンターをクリアする (Disable コード)
		その他:	無効

注) WDCDR は書き込み専用レジスターですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

8ビットアップカウンターモニター

WDCNT		7	6	5	4	3	2	1	0
(0x0FD6)	Bit Symbol	WDCNT							
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0

WDCNT	8ビットアップカウンターのカウント値モニター	8ビットアップカウンターのカウント値が読みだされます。
-------	------------------------	-----------------------------

ウォッチドッグタイマーステータス

WDST		7	6	5	4	3	2	1	0
(0x0FD7)	Bit Symbol	-	-	-	-	-	WINTST2	WINTST1	WDTST
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	1	0	1	1	0	0	1

WINTST2	ウォッチドッグタイマー割り込み要求要因ステータス 2	0: ウォッチドッグタイマー割り込み要求発生なし 1: 8ビットアップカウンターのオーバーフローによるウォッチドッグタイマー割り込み要求発生
WINTST1	ウォッチドッグタイマー割り込み要求要因ステータス 1	0: ウォッチドッグタイマー割り込み要求発生なし 1: 8ビットアップカウンタをクリア時間外でクリアしたことによるウォッチドッグタイマー割り込み要求信号発生
WDTST	ウォッチドッグタイマー動作状態ステータス	0: 動作禁止状態 1: 動作許可状態

注 1) WDST を読みだすと、WDST<WINTST2>、<WINTST1>は"0"にクリアされます。

注 2) WDST のビット 7~3 を読みだすと、リセット後の値が読みだされます。

5.3. 機能

ウォッチドッグタイマーは 8 ビットアップカウンターのオーバーフロー検出、8 ビットアップカウンタークリアの禁止時間でのクリア動作検出により、CPU の暴走、デッドロックを検出することができます。また、8 ビットアップカウンターのカウント値を不定期に読み出し、前回の読み出し値と比較することで、ウォッチドッグタイマーの停止などの異常を検出することができます。

5.3.1. ウォッチドッグタイマー動作の許可/禁止の設定

WDCTR<WDTEN>を"1"にセットするとウォッチドッグタイマーの動作が許可され、8 ビットアップカウンターはソースクロックのカウントを始めます。

WDCTR<WDTEN>はリセット後のウォーミングアップ動作解除後に"1"に初期化されるため、ウォッチドッグタイマーは許可されています。

ウォッチドッグタイマー動作を禁止するには WDCTR<WDTEN>を"0"にクリアした後に WDCDR に"0xB1"を書き込みます。ウォッチドッグタイマー動作を禁止すると 8 ビットアップカウンターは"0"にクリアされます。

注) 8 ビットアップカウンターのオーバーフローと WDCTR<WDTEN>が"1"のときの WDCDR への"0xB1"(Disable コード)の書き込みタイミングが重なった場合、ウォッチドッグタイマー動作の禁止が優先され、オーバーフロー検出は行われません。

再度、ウォッチドッグタイマーの動作を許可するためには WDCTR<WDTEN>を"1"にセットします。WDCDR への制御コード書き込みは必要ありません。

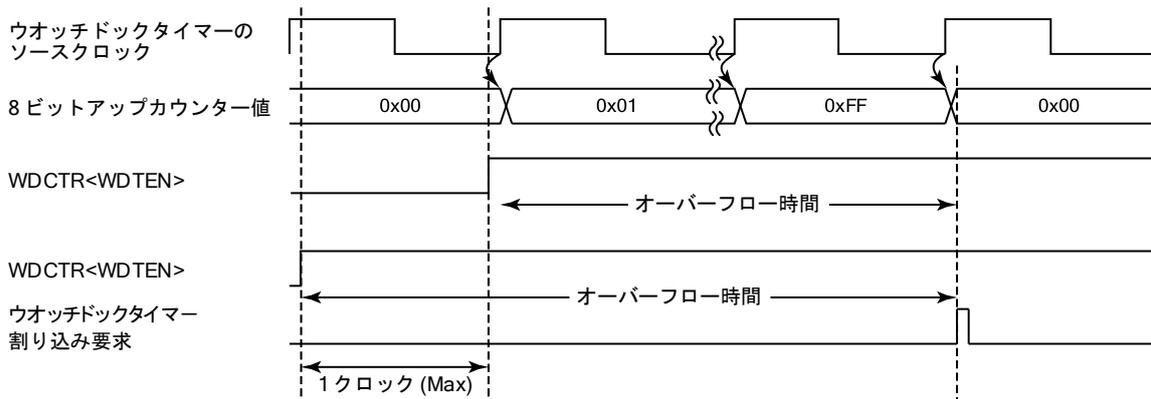


図 5-2 WDCTR<WDTEN>のセットタイミングとオーバーフロー時間

注) 8 ビットアップカウンターのソースクロックは WDCTR<WDTEN>と非同期に動作しています。そのため、WDCTR<WDTEN>を"1"にした後の最初の 8 ビットアップカウンターのオーバーフロー時間は最大 1 ソースクロック分短くなることがあります。8 ビットアップカウンターのクリア動作はオーバーフロー時間 -1 ソースクロック周期以内に行うようにしてください。

5.3.2.8 ビットアップカウンターのクリア時間の設定

WDCTR<WDTW>で8ビットアップカウンターのクリア時間を設定します。

WDCTR<WDTW>が"00"のとき、クリア時間は8ビットアップカウンターのオーバーフロー時間と同じとなり、いつでも8ビットアップカウンターのクリア動作を行えます。

WDCTR<WDTW>が"00"以外のとき、クリア時間は8ビットアップカウンターのオーバーフロー時間の決まった時間のみとなり、クリア時間外で8ビットアップカウンターのクリア動作を行うと、ウォッチドッグタイマー割り込み要求が発生します。

このとき、ウォッチドッグタイマーはクリアされずカウントを継続します。クリア時間中で8ビットアップカウンターをクリアしないとWDCTR<WDTOUT>の設定に応じて、オーバーフローによるウォッチドッグタイマーリセット要求またはウォッチドッグタイマー割り込み要求が発生します。

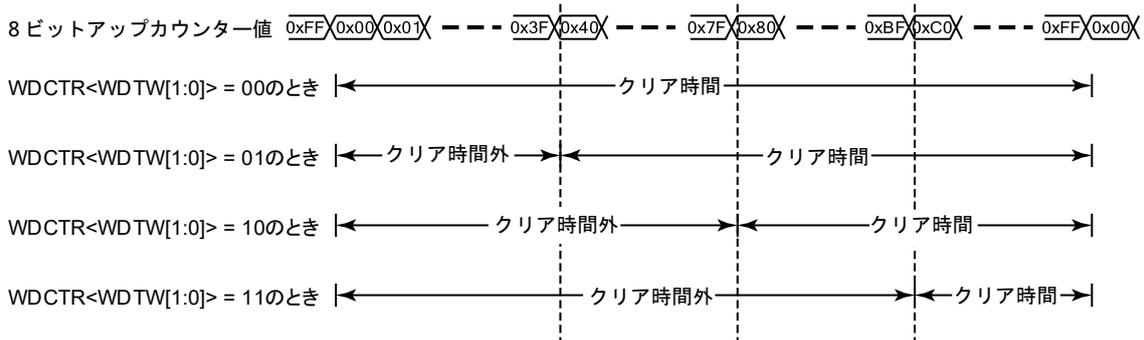


図 5-3 WDCTR<WDTW>と8ビットアップカウンターのクリア時間

5.3.3. 8 ビットアップカウンターのオーバーフロー時間の設定

WDCTR<WDTT>で 8 ビットアップカウンターのオーバーフロー時間を設定します。

8 ビットアップカウンターがオーバーフローすると WDCTR<WDTOUT>の設定に応じて、ウオッチドッグタイマーリセット要求信号またはウオッチドッグタイマー割り込み要求が発生します。

暴走検出信号としてウオッチドッグタイマー割り込み要求が選択されていると、オーバーフロー発生後もウオッチドッグカウンターのカウント動作は継続します。

なお、STOPモード(ウオーミングアップ中を含む)またはIDLE/SLEEPモード中、ウオッチドッグタイマーは、一時的にカウントアップ停止し、STOP、IDLE、SLEEPモード解除後、カウントアップを再開します。

STOP、IDLE、SLEEPモード解除直後に 8 ビットアップカウンターのオーバーフローが発生しないように、動作モード遷移前に 8 ビットアップカウンターをクリアすることを推奨します。

表 5-1 ウオッチドッグタイマーオーバーフロー時間 (fcgck = 10.0 [MHz]、fs = 32.768 [kHz]時)

<WDTT>	ウオッチドッグタイマーオーバーフロー時間		
	NORMAL モード		SLOW モード
	SYSCR1<DV9CK> = 0	SYSCR1<DV9CK> = 1	
00	26.21 [ms]	62.50 [ms]	62.50 [ms]
01	104.86 [ms]	250.00 [ms]	250.00 [ms]
10	419.43 [ms]	1.000 [s]	1.000 [s]
11	1.678 [s]	4.000 [s]	4.000 [s]

注) 8 ビットアップカウンターのソースクロックは WDCTR<WDTEN>と非同期に動作しています。そのため、WDCTR<WDTEN>を"1"にした後の最初の 8 ビットアップカウンターのオーバーフロー時間は最大 1 ソースクロック分短くなることがあります。8 ビットアップカウンターのクリア動作はオーバーフロー時間 -1 ソースクロック周期以内に行うようにしてください。

5.3.4. 8 ビットアップカウンターのオーバーフロー検出信号の設定

WDCTR<WDTOUT>で 8 ビットアップカウンターのオーバーフローが検出されたときの検出信号を設定します。

- (1) ウオッチドッグタイマー割り込み要求選択の場合 (WDCTR<WDTOUT> = 0 のとき)
WDCTR<WDTOUT>を"0"にクリアすると 8 ビットアップカウンターがオーバーフローしたとき、ウオッチドッグタイマー割り込み要求が発生します。
ウオッチドッグタイマー割り込みはノンマスクابل割り込みですので、割り込みマスター許可フラグ (<IMF>)の設定に関係なく、必ず割り込み要求が受け付けられます。

注) 他の割り込み(ウオッチドッグタイマー割り込みを含む)を受け付け中にウオッチドッグタイマー割り込みが発生した場合、先の割り込み処理は保留され、直ちにウオッチドッグタイマー割り込み処理が実行されます。従って RETN 命令が実行されないままウオッチドッグタイマー割り込みが連続して発生すると、過重なネスタイングにより TMP89FS60B/62B/63B が誤動作する場合があります。

- (2) ウオッチドッグタイマーリセット要求信号選択の場合 (WDCTR<WDTOUT> = 1 のとき)
WDCTR<WDTOUT>を"1"にセットすると 8 ビットアップカウンターがオーバーフローしたとき、ウオッチドッグタイマーリセット要求信号が発生します。
このウオッチドッグタイマーリセット要求信号により TMP89FS60B/62B/63B はリセットされます。

5.3.5. ウオッチドッグタイマーの制御コードの書き込み

WDCDR でウオッチドッグタイマーの制御コードを書き込みます。

WDCDR に"0x4E"(Clear コード)を書き込むと、8ビットアップカウンターは"0"にクリアされ、ソースクロックのカウントを続けます。

WDCTR<WDTEN>が"0"の状態、WDCDR に"0xB1"(Disable コード)を書き込むと、ウオッチドッグタイマーの動作が禁止されます。

8ビットアップカウンターのオーバーフロー時間未満の間隔で、かつクリア時間内に8ビットアップカウンターをクリアすることで、8ビットアップカウンターのオーバーフローが発生しなくなります。

あらかじめプログラムをオーバーフローが発生しないように設計しておくことで、ウオッチドッグタイマー割り込み要求による割り込み発生でプログラムの暴走、デッドロックの検出を行うことができます。

また、ウオッチドッグタイマーリセット要求信号により TMP89FS60B/62B/63B にリセットをかけることで暴走、デッドロック状態から回復することができます。

プログラム例: WDCTR<WDTEN>が"0"のとき、ウオッチドッグタイマー検出時間を $2^{20}/f_{cgck}$ [s]、カウンタークリア時間をオーバーフロー時間の半分に設定し、オーバーフローのときにウオッチドッグタイマーリセット要求信号を発生する

	LD	(WDCTR), 0x33	; <WDTW> ← 10, <WDTT> ← 01, <WDTOUT> ← 1
8ビットアップカウンターのオーバーフロー時間の半分を超え、[オーバーフロー時間]-[ソースクロックの1周期分]以内に8ビットアップカウンターをクリア	:		
	:		
	LD	(WDCDR), 0x4E	; 8ビットアップカウンターのクリア
8ビットアップカウンターのオーバーフロー時間の半分を超え、[オーバーフロー時間]-[ソースクロックの1周期分]以内に8ビットアップカウンターをクリア	:		
	:		
	LD	(WDCDR), 0x4E	; 8ビットアップカウンターのクリア

注) 8ビットアップカウンターのオーバーフローと WDCDR への"0x4E"(Clear コード)の書き込みタイミングが重なった場合、8ビットアップカウンターのクリアが優先され、オーバーフロー検出は行われません。

5.3.6. 8ビットアップカウンターの読み出し

WDCNT を読み出すことで、8ビットアップカウンターのカウンター値を読み出すことができます。

WDCNT を不定期に読み出し、前回の読み出し値と比較することで、8ビットアップカウンターの停止を検出することができます。

5.3.7. ウォッチドッグタイマーのステータスの読み出し

WDSTによりウォッチドッグタイマーのステータスを読み出すことができます。

WDST<WDTST>はウォッチドッグタイマーの動作が許可されていると"1"にセットされ、禁止されていると"0"にクリアされます。

WDST<WINTST2>は8ビットアップカウンターのオーバーフローによるウォッチドッグタイマー割り込み要求が発生したときに"1"にセットされます。

WDST<WINTST1>は8ビットアップカウンターのクリア動作がクリア時間外で行われたことによるウォッチドッグタイマー割り込み要求発生で"1"にセットされます。

ウォッチドッグタイマーの割り込みサービスルーチン内でWDST<WINTST2>、<WINTST1>を読み出すことでウォッチドッグタイマー割り込み要求が発生した要因を知ることができます。

WDST<WINTST2>、<WINTST1>ともにWDSTを読み出すことで"0"にクリアされます。また、WDSTの読み出しとWDST<WINTST2>、<WINTST1>の成立タイミングが重なったとき、クリア動作よりも成立動作が優先され"1"にセットされます。

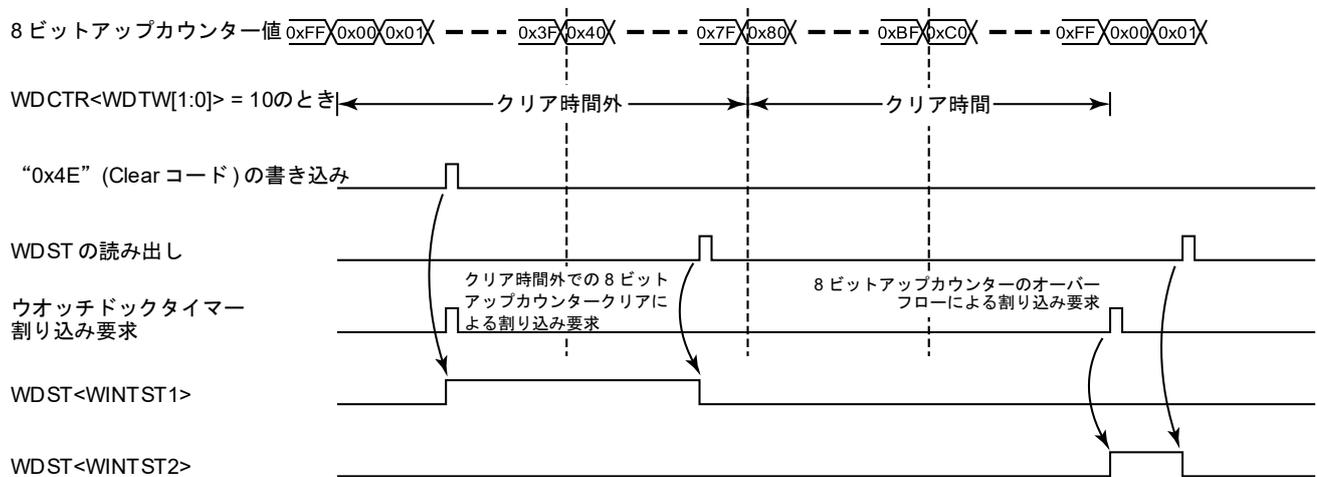


図 5-4 ウォッチドッグタイマーステータスの変化

6. パワーオンリセット回路 (POR)

パワーオンリセット回路は、電源投入時にリセットを発生させます。また、電源電圧がパワーオンリセット回路の検出電圧以下のとき、パワーオンリセット信号を発生します。

6.1. 構成

パワーオンリセット回路は、基準電圧発生回路とコンパレーターから構成されます。電源電圧をラダー抵抗によって分圧した電圧と基準電圧発生回路が発生した基準電圧をコンパレーターで比較します。

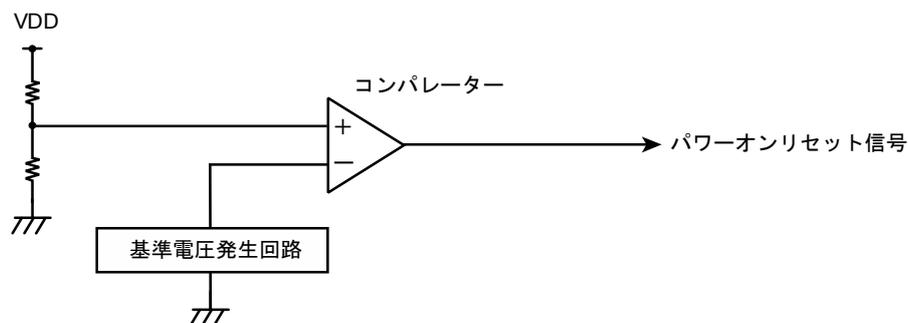


図 6-1 パワーオンリセット回路

6.2. 機能

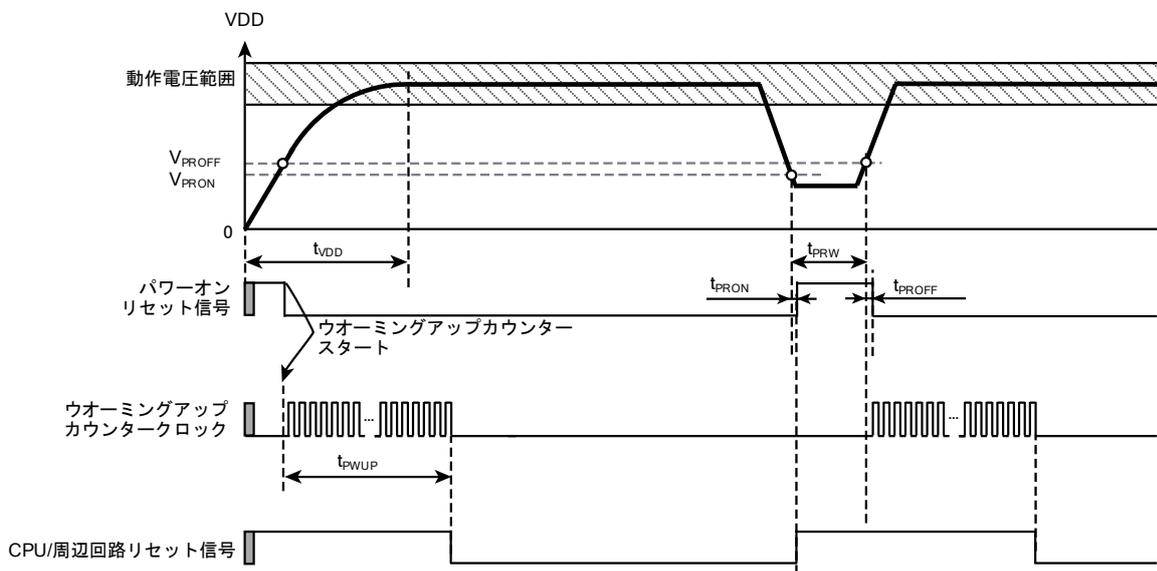
電源投入時、電源電圧がパワーオンリセット解除電圧(V_{PROFF})以下の間、パワーオンリセット信号が発生されます。電源電圧が解除電圧(V_{PROFF})を超えるとパワーオンリセット信号が解除されます。

電源遮断時、電源電圧がパワーオンリセット検出電圧(V_{PRON})以下になるとパワーオンリセット信号が発生されます。

パワーオンリセット信号が発生されている間、ウォーミングアップカウンター回路、CPU、周辺回路はリセットされます。

パワーオンリセット信号が解除されるとウォーミングアップカウンター回路が動作し、リセット解除後のウォーミングアップ時間後にCPU、周辺回路のリセットが解除されます。

パワーオンリセットの解除電圧(V_{PROFF})検出からリセット解除後のウォーミングアップ時間終了時まで電源電圧を動作電圧範囲まで上昇させてください。リセット解除後のウォーミングアップ時間終了時まで電源電圧が動作電圧範囲に到達しない場合、TMP89FS60B/62B/63B は正常に動作することができません。



注 1) 電源電圧(V_{DD})変動によってはパワーオンリセット回路が完全な動作をしないことがありますので、機器設計的には電気的特性を参照の上、十分な考慮が必要です。

注 2) 電源の再投入について、必ず電源電圧をパワーオンリセット検出電圧(V_{PRON})以下まで下げて 1 [ms]以上保持してください。その後、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

注 3) AC タイミングについては、「25. 電気的特性」を参照ください。

図 6-2 パワーオンリセットの動作タイミング

7. 電圧検出回路 (VLTD)

電圧検出回路は、電源電圧の低下を検出し、INTVLTD 割り込み要求、電圧検出リセット信号を発生します。

注) 電源電圧(V_{DD})変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

7.1. 構成

電圧検出回路は、基準電圧発生回路、検出電圧レベル選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧(V_{DD})はラダー抵抗で分圧され、検出電圧レベル選択回路に入力されます。検出電圧レベル選択回路で検出電圧(<VD1LVL>)に応じた電圧が選択され、コンパレータで基準電圧と比較されます。選択された電圧をコンパレータが検出すると、電圧検出リセット信号または INTVLTD 割り込み要求を発生させることができます。

電圧検出リセット信号を発生するか、INTVLTD 割り込み要求を発生するかをソフトウェアによって選択できます。

電圧検出リセット信号発生が選択された場合、電源電圧(V_{DD})が検出電圧(<VD1LVL>)を下回ると、電圧検出リセット信号が発生します。INTVLTD 割り込み要求発生が選択された場合、電源電圧(V_{DD})が検出電圧(<VD1LVL>)を下回ると、INTVLTD 割り込み要求が発生します。

注) 電圧検出用のコンパレータはヒステリシスを持ちません。従って、電源電圧(V_{DD})のレベルが検出電圧(<VD1LVL>)近辺のとき、INTVLTD 割り込み要求が頻繁に発生する場合があります。また、電源電圧が低下したときだけでなく、上昇して検出電圧近辺になったときにも INTVLTD 割り込み要求が発生する場合があります。

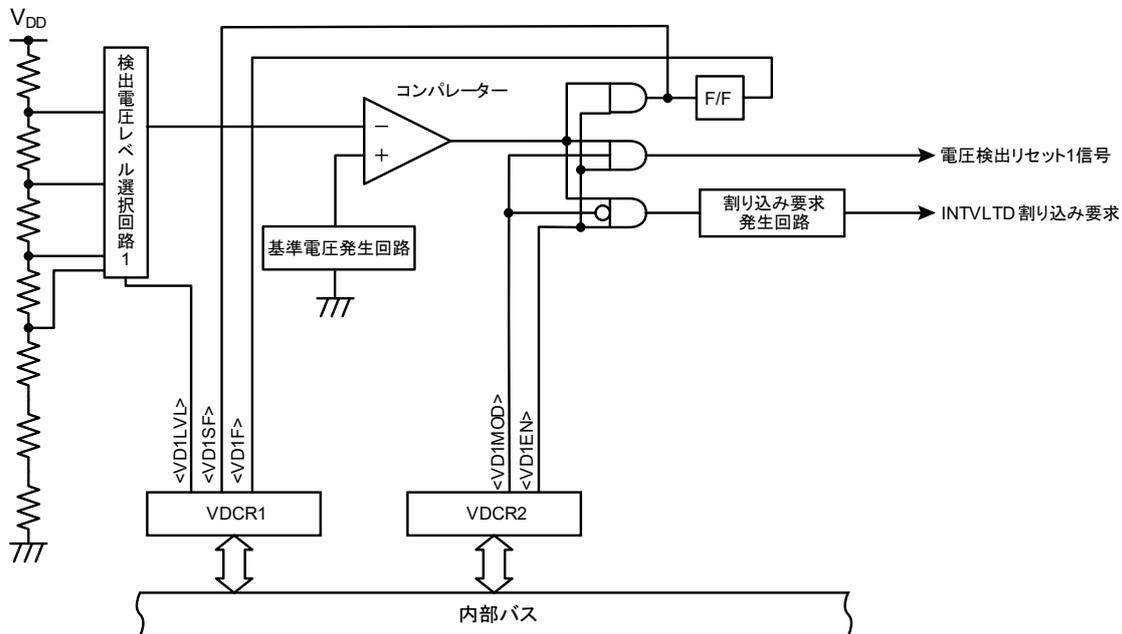


図 7-1 電圧検出回路

7.2. 制御

電圧検出回路は電圧検出制御レジスタ1、電圧検出制御レジスタ2で制御されます。

電圧検出制御レジスタ1

VDCR1 (0x0FC6)		7	6	5	4	3	2	1	0
Bit Symbol	"0"	-	"1"	"0"	VD1F	VD1SF	VD1LVL		
Read/Write	R/W	R	R/W	R/W	R/W	R	R/W		
リセット後	0	0	1	0	0	0	0	0	0

			リード時	ライト時
VD1F	電圧検出 1 フラグ ($V_{DD} < \text{検出電圧 1}$ となったときの V_{DD} と検出電圧 1 の大小関係を保持)	0:	$V_{DD} \geq \text{検出電圧 1}$	<VD1F>を"0"にクリア
		1:	$V_{DD} < \text{検出電圧 1}$	-
VD1SF	電圧検出 1 ステータスフラグ (VDCR1 を読み出したときの V_{DD} と検出電圧 1 の大小関係を示す)	0:	$V_{DD} \geq \text{検出電圧 1}$	
		1:	$V_{DD} < \text{検出電圧 1}$	
VD1LVL	検出電圧 1 レベル選択	00:	4.5 ± 0.1 [V]	
		01:	4.3 ± 0.1 [V]	
		10:	Reserved	
		11:	Reserved	

注 1) VDCR1 はパワーオンリセット、外部リセット入力で初期化されます。

注 2) <VD1F>のソフトウェアによるクリアと電圧検出によるセットが重なった場合、電圧検出によるセットが優先されます。

注 3) <VD1F>はソフトウェアで"1"にセットすることはできません。

注 4) VDCR1 を読み出すとビット 6 は"0"が読みだされます。

注 5) VDCR1 のビット 7 と 4 には"0"を、ビット 5 には"1"を設定してください。

電圧検出制御レジスター2

VDCR2 (0x0FC7)		7	6	5	4	3	2	1	0
Bit Symbol		-	-	"0"	"0"	"0"	"0"	VD1MOD	VD1EN
Read/Write		R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0

VD1MOD	電圧検出 1 動作モード選択	0:	INTVLTD 割り込み要求発生
		1:	電圧検出リセット 1 信号発生 (注 4)
VD1EN	電圧検出 1 動作の許可/禁止	0:	電圧検出 1 動作禁止
		1:	電圧検出 1 動作許可

注 1) VDCR2 はパワーオンリセット、外部リセット入力で初期化されます。

注 2) VDCR2 を読みだすとビット 7、6 は"0"が読みだされます。

注 3) VDCR2 のビット 5~2 は"0"を設定してください。

注 4) STOP モードを解除する場合は電圧検出リセット 1 信号発生に設定してください(<VD1MOD> = 1)。

7.3. 機能

電圧検出回路は検出電圧(<VD1LVL>)を設定できます。電圧検出の許可/禁止、電源電圧(V_{DD})が検出電圧(<VD1LVL>)を下回ったときの動作をソフトウェアによって設定することができます。

7.3.1. 電圧検出動作の許可/禁止

VDCR2<VD1EN>を"1"にセットすると電圧検出動作が許可され、"0"にクリアすると禁止されます。パワーオンリセット、外部リセット入力によるリセット解除直後、VDCR2<VD1EN>は"0"にクリアされます。

注) 電源電圧(V_{DD}) < 検出電圧(<VD1LVL>)の状態では VDCR2<VD1EN>を"1"に設定すると、設定した時点で INTVLTD 割り込み要求または電圧検出リセット信号が発生します。

7.3.2. 電圧検出動作モード選択

VDCR2<VD1MOD>を"0"にすると電圧検出動作モードとして INTVLTD 割り込み要求発生が選択され、"1"にすると電圧検出リセット信号発生が選択されます。

- INTVLTD 割り込み要求発生を選択したとき (VDCR2<VD1MOD> = 0)
VDCR2<VD1EN>が"1"のとき、電源電圧(V_{DD})が低下し、検出電圧(<VD1LVL>)になると、INTVLTD 割り込み要求が発生します。

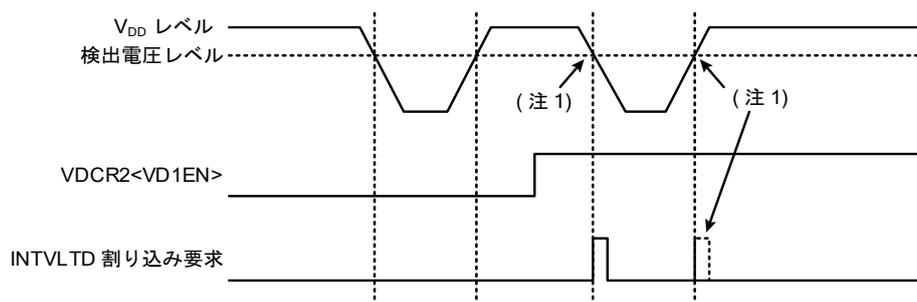


図 7-2 INTVLTD割り込み要求

注 1) 電圧検出用のコンパレータはヒステリシスを持ちません。したがって、電源電圧(V_{DD})のレベルが検出電圧 (<VD1LVL>)近辺のとき、INTVLTD 割り込み要求が頻繁に発生する場合があります。また、電源電圧が低下したときだけでなく、上昇して検出電圧近辺になったときにも INTVLTD 割り込み要求が発生する場合があります。

注 2) IDLE0 モード、SLEEP0 モード中に電源電圧(V_{DD})が低下し、検出電圧(<VD1LVL>)以下になると、TBT の既定時間後に IDLE0 モード、SLEEP モードが解除された後、INTVLTD 割り込み要求が発生します。STOP モードの場合は、STOP 端子によって STOP モードが解除された後に INTVLTD 割り込み要求が発生します。

- 電圧検出リセット信号発生を選択したとき ($VDCR2<VD1EN> = 1$)
 $VDCR2<VD1EN>$ が"1"のとき、電源電圧(V_{DD}) < 検出電圧($<VD1LVL>$)になると、電圧検出リセット信号が発生します。
 なお、 $VDCR1$ 、 $VDCR2$ はパワーオンリセット、外部リセット入力以外では初期化されないため、電源電圧(V_{DD}) < 検出電圧($<VD1LVL>$)の間、電圧検出リセット信号が発生され続けます。

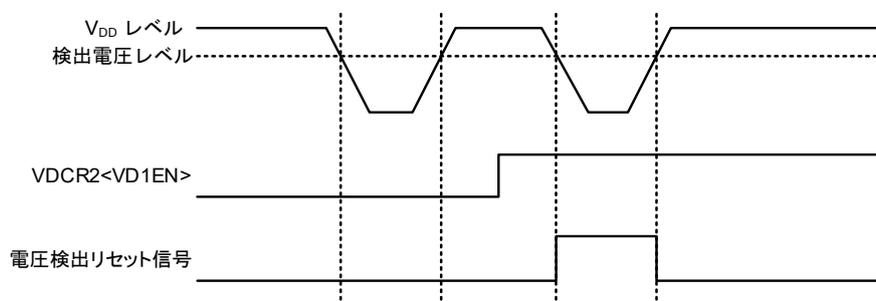


図 7-3 電圧検出リセット信号

7.3.3. 検出電圧レベル選択

$VDCR1<VD1LVL>$ で検出電圧を選択します。

7.3.4. 電圧検出フラグ、電圧検出ステータスフラグ

$VDCR1<VD1F>$ 、 $VDCR1<VD1SF>$ を読みだすことで、電源電圧(V_{DD})と検出電圧($<VD1LVL>$)の大小関係を確認することができます。

$VDCR2<VD1EN>$ が"1"のとき、電源電圧(V_{DD}) < 検出電圧($<VD1LVL>$)になると $VDCR1<VD1F>$ が"1"にセットされ、その状態を保持します。電源電圧(V_{DD}) \geq 検出電圧($<VD1LVL>$)になっても $VDCR1<VD1F>$ は"0"にクリアされません。

$VDCR1<VD1F>$ が"1"にセットされた後 $VDCR2<VD1EN>$ を"0"にクリアしても、以前の状態を保持します。 $VDCR1<VD1F>$ をクリアするには"0"を書き込む必要があります。

$VDCR2<VD1EN>$ が"1"のとき、電源電圧(V_{DD}) < 検出電圧($<VD1LVL>$)になると $VDCR1<VD1SF>$ が"1"にセットされます。電源電圧(V_{DD}) \geq 検出電圧($<VD1LVL>$)になると $VDCR1<VD1SF>$ が"0"にクリアされます。

$VDCR1<VD1SF>$ は $VDCR1<VD1F>$ と異なりセット状態を保持しません。

注 1) IDLE0 モード、SLEEP0 モード中に電源電圧(V_{DD})が検出電圧($<VD1LVL>$)を下回ると、電圧検出フラグ、電圧検出ステータスフラグは、各動作モードが解除され NORMAL モードあるいは SLOW モードに復帰してから変化しません。

注 2) 電圧検出のタイミングにより、電圧検出ステータスフラグ($VD1SF$)が電圧検出フラグ($VD1F$)より最大 2 / fcgck [s] 先に変化することがあります。

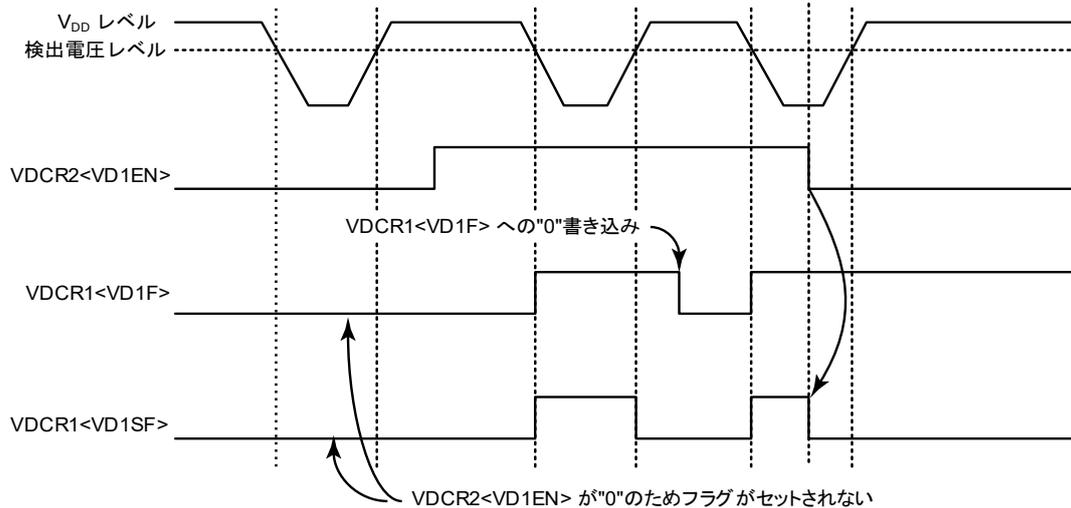


図 7-4 電圧検出フラグ、電圧検出ステータスフラグの変化

7.4. レジスタの設定

7.4.1. INTVLTD 割り込み要求発生として使用する場合の設定手順

INTVLTD 割り込み要求発生として使用する場合、下記の設定を行います。

- (1) INTVLTD 割り込み許可フラグを"0"にクリアします。
- (2) VDCR1<VD1LVL>で検出電圧を設定します。
- (3) VDCR2<VD1MOD>を"0"にクリアして動作モードを INTVLTD 割り込み要求発生にします。
- (4) VDCR2<VD1EN>を"1"にセットして電圧検出動作を許可します。
- (5) 電圧検出回路が安定するまで 5 [μ s]以上待ちます。
- (6) VDCR1<VD1SF>が"0"であることを確認します。
- (7) VDCR1<VD1F>と INTVLTD 割り込みラッチを"0"にクリアして、INTVLTD 割り込み許可フラグを"1"にセットして割り込みを許可します。

注) 電源電圧(V_{DD})が検出電圧(<VD1LVL>)近辺では INTVLTD 割り込み要求が頻繁に発生する場合があります。これが問題となる場合は、INTVLTD 割り込み処理からの復帰時、システムの電源変動にあわせ適当なウエイト処理を行い、割り込みラッチをクリアしてください。

INTVLTD 割り込み要求発生として電圧検出回路を使用しているとき、電圧検出回路の動作を禁止する場合、下記の設定を行います。

- (1) INTVLTD 割り込み許可フラグを"0"にクリアします。
- (2) VDCR2<VD1EN>を"0"にセットして電圧検出動作を禁止します。

注) INTVLTD 割り込み許可フラグを"0"にクリアせず電圧検出動作を禁止すると、予期しない割り込み要求が発生することがあります。

7.4.2. 電圧検出リセット信号発生として使用する場合の設定手順

電圧検出リセット信号発生として使用する場合、下記の設定を行います。

- (1) INTVLTD 割り込み許可フラグを"0"にクリアします。
- (2) VDCR1<VD1LVL>で検出電圧を設定します。
- (3) VDCR2<VD1MOD>を"0"にクリアして動作モードを INTVLTD 割り込み要求発生にします。
- (4) VDCR2<VD1EN>を"1"にセットして電圧検出動作を許可します。
- (5) 電圧検出回路が安定するまで 5 [μ s]以上待ちます。
- (6) VDCR1<VD1SF>が"0"であることを確認します。
- (7) VDCR1<VD1F>を"0"にクリアします。
- (8) VDCR2<VD1MOD>を"1"にセットして動作モードを電圧検出リセット信号発生にします。

VDCR1、VDCR2 はパワーオンリセット、外部リセット入力以外では初期化されません。従って、電圧検出リセットでは、電圧検出動作は禁止されません。このため、電源電圧(V_{DD})が検出電圧を下回っている間、電圧検出リセット信号が発生し続けます。

また、電源電圧が(V_{DD})が検出電圧以上となっても、VDCR2<VD1EN>を"0"にする前に再び電源電圧(V_{DD})が検出電圧を下回ると直ちに電圧検出リセット信号が発生します。

電圧検出リセット信号発生として電圧検出回路を使用しているとき、電圧検出回路の動作を禁止する場合、下記の設定を行います。

- (1) INTVLTD 割り込み許可フラグを"0"にクリアします。
- (2) VDCR2<VD1MOD>を"0"にクリアして動作モードを INTVLTD 割り込み要求発生にします。
- (3) VDCR2<VD1EN>を"0"にクリアして電圧検出動作を禁止します。

注) INTVLTD 割り込み許可フラグを"0"にクリアせず電圧検出動作を禁止すると、予期しない割り込み要求が発生することがあります。

8. 入出力ポート

TMP89FS60B/62B/63B は、下記に示す入出力ポートを内蔵しています。
製品により使用できるポートが異なります。「8.2. 各製品の入出力ポート割り当て」を参照してください。

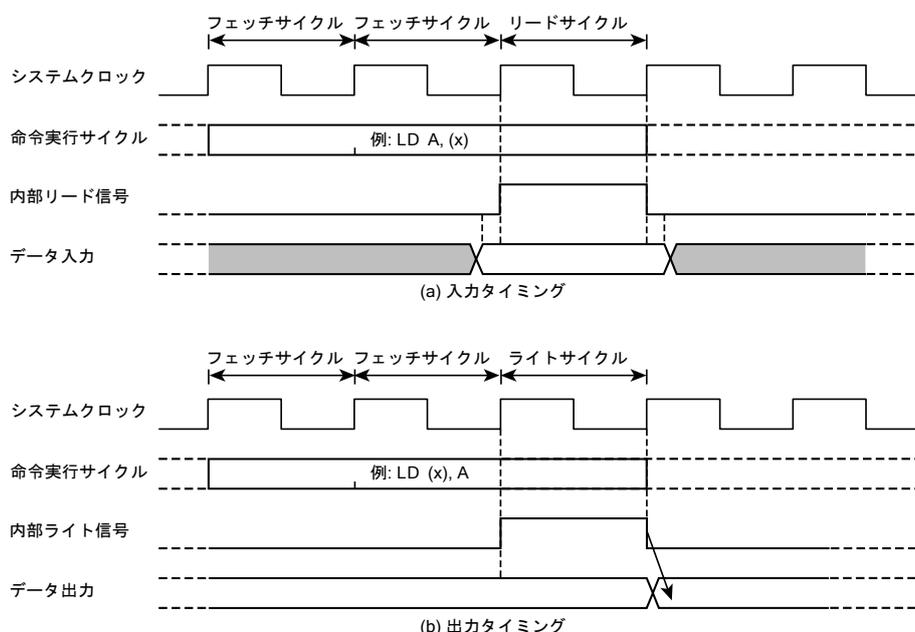
表 8-1 全入出力ポート一覧

ポート名	端子名	端子数	入出力	兼用機能
P0 ポート	P03 ~ P02	2	入出力	低周波発振子接続端子と兼用
P1 ポート	P13 ~ P10	4	入出力	外部リセット入力、外部割り込み入力、STOP モード解除信号入力と兼用
P2 ポート	P27 ~ P20	8	入出力	UART 入出力、シリアルインターフェース入出力、シリアルバスインターフェース入出力と兼用
P4 ポート	P47 ~ P40	8	入出力	アナログ入力、キーオンウエイクアップ入力と兼用
P5 ポート	P57 ~ P50	8	入出力	アナログ入力と兼用
P7 ポート	P77 ~ P70	8	入出力	タイマーカウンタ入出力、ディバイダ出力、外部割り込み入力と兼用
P8 ポート	P84 ~ P80	5	入出力	タイマーカウンタ入出力と兼用
P9 ポート	P94 ~ P90	5	入出力	UART 入出力、シリアルインターフェース入出力と兼用
PB ポート	PB7 ~ PB0	8	入出力	UART 入出力、シリアルインターフェース入出力と兼用

全ての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。ただし、入力ポートにはラッチがありませんので、入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理するようにしてください。

図 8-1 に入出力タイミング例を示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルで行われます。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの次のサイクルです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 8-1 入出力タイミング例

8.1. 入出力ポートの制御レジスター

入出力ポートで使用する制御レジスターは以下のようなものがあります(xはポートの番号が入ります)。設定できるレジスターはポートごとに異なりますので、詳細は各ポートごとの説明を参照してください。

- PxDR レジスター

出力データを設定するためのレジスターです。ポートが出力モードに設定されている場合、PxDR に設定した値が各ポートから出力されます。

- PxPRD レジスター

入力データを読み込むためのレジスターです。ポートが入力モードに設定されている場合、PxPRD を読み出すと現在のポート入力状態を読み出すことができます。

- PxCR レジスター

ポートの入出力を切り替えるためのレジスターです。ポートの入力モードと出力モードを切り替えることができます。

- PxFC レジスター

各ポートの兼用機能出力を有効にするためのレジスターです。ポートごとに用意されている兼用機能出力の有効/無効を設定することができます。

- PxOUTCR レジスター

ポート出力を C-MOS 出力にするか、オープンドレイン出力にするかを切り替えるためのレジスターです。

- PxPU レジスター

入力モード、またはオープンドレイン出力で使用する場合、内蔵プルアップ抵抗を接続するかどうかを切り替えるためのレジスターです。

8.2. 各製品の入出力ポート割り当て

各製品で使用できる入出力ポートを表 8-2 に示します。
非搭載の入出力ポートのレジスター設定については、各ポートの章を参照してください。

表 8-2 各製品の入出力ポート割り当て

ポート名	端子名	TMP89FS60B	TMP89FS62B	TMP89FS63B
P0 ポート	P03	A	A	A
	P02	A	A	A
P1 ポート	P13	A	NA	NA
	P12	A	NA	NA
	P11	A	A	A
	P10	A	A	A
P2 ポート	P27	A	NA	NA
	P26	A	NA	NA
	P25	A	NA	A
	P24	A	NA	A
	P23	A	A	A
	P22	A	A	A
	P21	A	A	A
	P20	A	A	A
P4 ポート	P47	A	A	A
	P46	A	A	A
	P45	A	A	A
	P44	A	A	A
	P43	A	A	A
	P42	A	A	A
	P41	A	A	A
	P40	A	A	A
P5 ポート	P57	A	NA	NA
	P56	A	NA	NA
	P55	A	NA	NA
	P54	A	NA	A
	P53	A	NA	A
	P52	A	NA	A
	P51	A	NA	A
	P50	A	NA	A

ポート名	端子名	TMP89FS60B	TMP89FS62B	TMP89FS63B
P7 ポート	P77	A	A	A
	P76	A	A	A
	P75	A	A	A
	P74	A	A	A
	P73	A	A	A
	P72	A	A	A
	P71	A	A	A
	P70	A	A	A
P8 ポート	P84	A	NA	NA
	P83	A	NA	NA
	P82	A	NA	NA
	P81	A	A	A
	P80	A	A	A
P9 ポート	P94	A	A	A
	P93	A	A	A
	P92	A	A	A
	P91	A	A	A
	P90	A	A	A
PB ポート	PB7	A	NA	NA
	PB6	A	NA	NA
	PB5	A	A	A
	PB4	A	A	A
	PB3	A	A	A
	PB2	A	A	A
	PB1	A	A	A
	PB0	A	A	A

注) A: 搭載、NA: 非搭載

8.3. 入出力ポート設定一覧

表 8-3 に各入出力ポートの設定を示します。

表 8-3 入出力ポート設定一覧表

ポート名	端子名	機能	レジスタ設定値			
			PxCR	PxOUTCR	PxFC	その他必要な設定
P0 ポート	P03 ~ P02	ポート入力	0	レジスタなし	0	-
		ポート出力	1		0	-
	P03	XTOUT	*		レジスタなし	-
	P02	XTIN	*		1	-
P1 ポート	P13 ~ P11	ポート入力	0	レジスタなし	レジスタなし	-
		ポート出力	1			-
	P10	ポート入力	0			(注 1)
		ポート出力	1			(注 1)
	P13	INT1 入力	0			-
	P12	$\overline{\text{INT0}}$ 入力	0			-
	P11	$\overline{\text{INT5}}$ 入力	0			-
		$\overline{\text{STOP}}$ 入力	0			-
P10	$\overline{\text{RESET}}$ 入力	*	(注 1)			
P2 ポート	P27 ~ P20	ポート入力	0	*	*	-
		ポート出力	1	**	0	-
	P25	SCLK0 入力 (注 4)	0	*	*	SERSEL<SRSEL0> = 01
		SCLK0 出力 (注 4)	1	**	1	SERSEL<SRSEL0> = 01
	P24	SCL0 入出力 (注 4)	1	レジスタなし	1	SERSEL<SRSEL0> = *0
		SI0 入力 (注 4)	0		*	SERSEL<SRSEL0> = 01
	P23	SDA0 入出力 (注 4)	1	レジスタなし	1	SERSEL<SRSEL0> = *0
		SO0 出力 (注 4)	1		1	SERSEL<SRSEL0> = 01
	P22	SCLK0 入力	0	*	*	SERSEL<SRSEL0> = 10 SERSEL<SRSEL2> = 0
		SCLK0 出力	1	**	1	SERSEL<SRSEL0> = 10 SERSEL<SRSEL2> = 0
	P21	RXD0 入力	0	*	*	SERSEL<SRSEL0> = 0* SERSEL<SRSEL2> = 0 UATCNG<UAT0IO> = 0
TXD0 出力		1	**	1	SERSEL<SRSEL0> = 0* SERSEL<SRSEL2> = 0 UATCNG<UAT0IO> = 1	
SI0 入力		0	*	*	SERSEL<SRSEL0> = 10 SERSEL<SRSEL2> = 0	

ポート名	端子名	機能	レジスタ設定値			
			PxCR	PxOUTCR	PxFC	その他必要な設定
P2 ポート	P20	TXD0 出力	1	**	1	SERSEL<SRSEL0> = 0* SERSEL<SRSEL2> = 0 UATCNG<UAT0IO> = 0
		RXD0 入力	0	*	*	SERSEL<SRSEL0> = 0* SERSEL<SRSEL2> = 0 UATCNG<UAT0IO> = 1
		SO0 出力	1	**	1	SERSEL<SRSEL0> = 10 SERSEL<SRSEL2> = 0
P4 ポート	P47 ~ P40	ポート入力	0	レジスタなし	*	-
		ポート出力	1		0	-
		AIN7 ~ AIN0	0		1	-
		KWI7 ~ KWI4	*		*	KWUCR1
		KWI3 ~ KWI0	*		*	KWUCR0
P5 ポート	P57 ~ P50	ポート入力	0	レジスタなし	0	-
		ポート出力	1		0	-
		AIN15 ~ AIN8 (注 6)	0		1	-
P7 ポート	P77 ~ P70	ポート入力	0	レジスタなし	*	-
		ポート出力	1		0	-
	P77	INT4 入力	0		レジスタなし	-
	P76	INT3 入力	0		レジスタなし	-
	P75	INT2 入力	0		レジスタなし	-
	P74	$\overline{\text{DVO}}$ 出力	1		1	-
	P73	TCA1 入力	0		*	-
		$\overline{\text{PPGA1}}$ 出力	1		1	-
	P72	TCA0 入力	0		*	SERSEL<TCA0SEL> = 00
		$\overline{\text{PPGA0/PPGA0}}$ 出力	1		1	-
	P71	TC01 入力	0		*	-
		$\overline{\text{PPG01/PWM01}}$ 出力	1		1	-
	P70	TC00 入力	0		*	-
		$\overline{\text{PPG00/PWM00}}$ 出力	1		1	-
P8 ポート	P84 ~ P80	ポート入力	0	レジスタなし	*	-
		ポート出力	1		0	-
	P81	TC03 入力	0		*	-
		$\overline{\text{PPG03/PWM03}}$ 出力	1		1	-
	P80	TC02 入力	0		*	-
		$\overline{\text{PPG02/PWM02}}$ 出力	1		1	-

ポート名	端子名	機能	レジスタ設定値			
			PxCR	PxOUTCR	PxFC	その他必要な設定
P9 ポート	P94 ~ P90	ポート入力	0	*	*	-
		ポート出力	1	**	0	-
	P94	RXD2 入力	0	*	*	UATCNG<UAT2IO> = 0
		TXD2 出力	1	**	1	UATCNG<UAT2IO> = 1
	P93	TXD2 出力	1	**	1	UATCNG<UAT2IO> = 0
		RXD2 入力	0	*	*	UATCNG<UAT2IO> = 1
	P92	SCLK1 入力	0	*	*	SERSEL<SRSEL1> = 10
		SCLK1 出力	1	**	1	SERSEL<SRSEL1> = 10
	P91	RXD1 入力	0	*	*	SERSEL<SRSEL1> = 0* UATCNG<UAT1IO> = 0
		TXD1 出力	1	**	1	SERSEL<SRSEL1> = 0* UATCNG<UAT1IO> = 1
		SI1 入力	0	*	*	SERSEL<SRSEL1> = 10
	P90	TXD1 出力	1	**	1	SERSEL<SRSEL1> = 0* UATCNG<UAT1IO> = 0
		RXD1 入力	0	*	*	SERSEL<SRSEL1> = 0* UATCNG<UAT1IO> = 1
		SO1 出力	1	**	1	SERSEL<SRSEL1> = 10
	PB ポート	PB7 ~ PB0	ポート入力	0	*	*
ポート出力			1	**	0	-
PB6		SCLK0 入力 (注 5)	0	*	*	SERSEL<SRSEL0> = 10 SERSEL<SRSEL2> = 1
		SCLK0 出力 (注 5)	1	**	1	SERSEL<SRSEL0> = 10 SERSEL<SRSEL2> = 1
PB5		RXD0 入力	0	*	*	SERSEL<SRSEL0> = 0* SERSEL<SRSEL2> = 1 UATCNG<UAT0IO> = 0
		TXD0 出力	1	**	1	SERSEL<SRSEL0> = 0* SERSEL<SRSEL2> = 1 UATCNG<UAT0IO> = 1
		SI0 入力(注 5)	0	*	*	SERSEL<SRSEL0> = 10 SERSEL<SRSEL2> = 1
PB4		TXD0 出力	1	**	1	SERSEL<SRSEL0> = 0* SERSEL<SRSEL2> = 1 UATCNG<UAT0IO> = 0
		RXD0 入力	0	*	*	SERSEL<SRSEL0> = 0* SERSEL<SRSEL2> = 1 UATCNG<UAT0IO> = 1
		SO0 出力(注 5)	1	**	1	SERSEL<SRSEL0> = 10 SERSEL<SRSEL2> = 1

- 注 1) 電源投入後、P10 端子は外部リセット入力として機能します。P10 端子をポート機能として利用する場合は、「2.4.4.9. 外部リセット入力端子をポートとして使用する方法」を参照してください。
- 注 2) SERSEL、UATCNG については、「8.5. シリアルインターフェース選択機能」を参照してください。
- 注 3) KWUCR0、KWUCR1 については「19. キーオンウエイクアップ (KWU)」を参照してください。
- 注 4) この機能は、TMP89FS62B には搭載されていません。
- 注 5) この機能は、TMP89FS62B と TMP89FS63B には搭載されていません。
- 注 6) TMP89FS62B には AIN15 ~ AIN8 は搭載されていません。また、TMP89FS63B には AIN15 ~ AIN13 は搭載されていません。
- 注 7) 表中の記号、数字は以下のような意味を持ちます。

記号、数字	意味
0	"0"を設定してください。
1	"1"を設定してください。
*	Don't care ("1"、"0"どちらを設定しても動作は同じです)
**	オープンドレイン出力、またはCMOS出力のいずれかを選択することができます
レジスターなし	そのビットに対応するレジスターが存在しません。

8.4. 入出力ポートレジスター

8.4.1. P0 ポート

P0 ポートは1ビット単位で入出力の指定ができる2ビットの入出力ポートで、低周波発振子接続端子と兼用です。

P0 ポートは VDD 端子側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップ抵抗は、入力モードとして使用する場合に利用することができます。

表 8-4 P0ポート

	-	-	-	-	P03	P02	-	-
兼用機能	-	-	-	-	XTOUT	XTIN	-	-

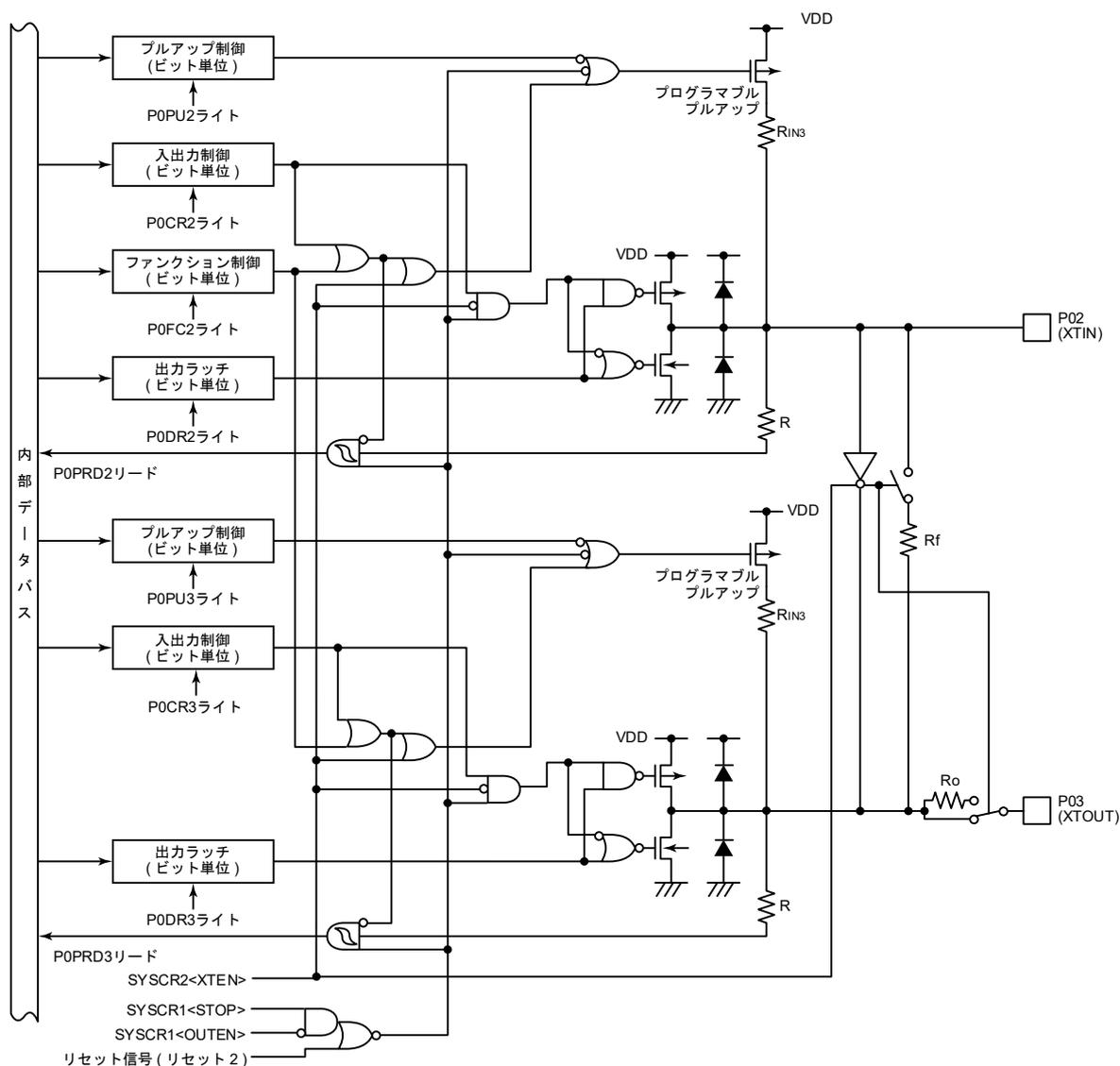
8.4.1.1. 各製品の P0 ポート

各製品で使用できる P0 ポートを表 8-5 に示します。

表 8-5 各製品のP0ポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
P03	A	A	A
P02	A	A	A

注) A: 搭載、NA: 非搭載



- 注 1) $R = 100 [\Omega]$ (typ.)
- 注 2) $R_f = 6 [M\Omega]$ (typ.)
- 注 3) $R_o = 220 [k\Omega]$ (typ.)
- 注 4) $R_{IN3} = 50 [k\Omega]$ (typ.)

図 8-2 P0ポート

8.4.1.2. 制御

P0ポートは、下記のレジスターで制御されます。

P0ポート出力ラッチ

P0DR (0x0000)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	P03	P02	"0"	"0"
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P03	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		
P02	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		

注) ビット1とビット0には"0"を書き込んでください。

P0ポート入出力制御

P0CR		7	6	5	4	3	2	1	0
(0x0F1A)	Bit Symbol	-	-	-	-	P0CR3	P0CR2	"0"	"0"
	Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P0CR3	入力モード、出力モード 選択	0:	入力モード		
		1:	出力モード		
P0CR2	入力モード、出力モード 選択	0:	入力モード		
		1:	出力モード		

注) ビット1とビット0には"0"を書き込んでください。

P0 ポートファンクション制御

P0FC (0x0F34)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	P0FC2	-	"1"
Read/Write	R	R	R	R	R	R/W	R	R/W
リセット後	0	0	0	0	0	0	0	1

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P0FC2	ポートファンクション	0: I/O ポート 1: XTIN (I)		

注 1) ビット 0 には"1"を書き込んでください。

注 2) I: 兼用機能入力

P0 ポート内蔵プルアップ制御

P0PU (0x0F27)		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P0PU3	P0PU2	"0"	"0"
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P0PU3	内蔵プルアップ接続選択	0: 1:	表 8-6 を参照してください		
P0PU2	内蔵プルアップ接続選択	0: 1:	表 8-6 を参照してください		

注) ビット 1 とビット 0 には"0"を書き込んでください。

表 8-6 P03、P02と内蔵プルアップ抵抗

ポート機能/ 兼用機能	接続/解除	設定条件			
		<P0PUj>	SYSCR2 <XTEN>	<P0CRj>	<P0FC2>
低周波発振子 接続端子	接続を解除する	*	*	0	1
ポート 入力モード	接続を解除する	0	0	0	0
	接続する	1			
ポート 出力モード	接続を解除する	*		1	

注 1) *: Don't care

注 2) j = 3 ~ 2

P0 ポート入力データ

P0PRD		7	6	5	4	3	2	1	0
(0x000D)	Bit Symbol	-	-	-	-	P0PRD3	P0PRD2	-	-
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P0PRD3	ポート入力データ	表 8-7 を参照してください。		
P0PRD2	ポート入力データ	表 8-7 を参照してください。		

注) *: 不定

表 8-7 <P0PRDj>の読み出し値

<P0PRDj>の読み出し値	設定条件	
	<P0FC2>	<P0CRj>
0	*	1
	1	*
ポート端子のレベル	0	0

注 1) *: Don't care

注 2) j = 3 ~ 2

8.4.2. P1 ポート

P1ポートは1ビット単位で入出力の指定ができる4ビットの入出力ポートで、外部割り込み入力、STOPモード解除信号入力、外部リセット入力と兼用です。

P1ポートはVDD端子側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップ抵抗は、入力モードとして使用する場合に利用することができます。

リセット後、P10端子は外部リセット入力として機能します。P10端子をポート機能として利用する場合は、「2.4. リセット制御回路」の章を参照してください。

表 8-8 P1ポート

	-	-	-	-	P13	P12	P11	P10
兼用機能	-	-	-	-	INT1	$\overline{\text{INT0}}$	$\overline{\text{INT5}}$ STOP	$\overline{\text{RESET}}$

8.4.2.1. 各製品のP1ポート

各製品で利用できるP1ポートを表 8-9 に示します。

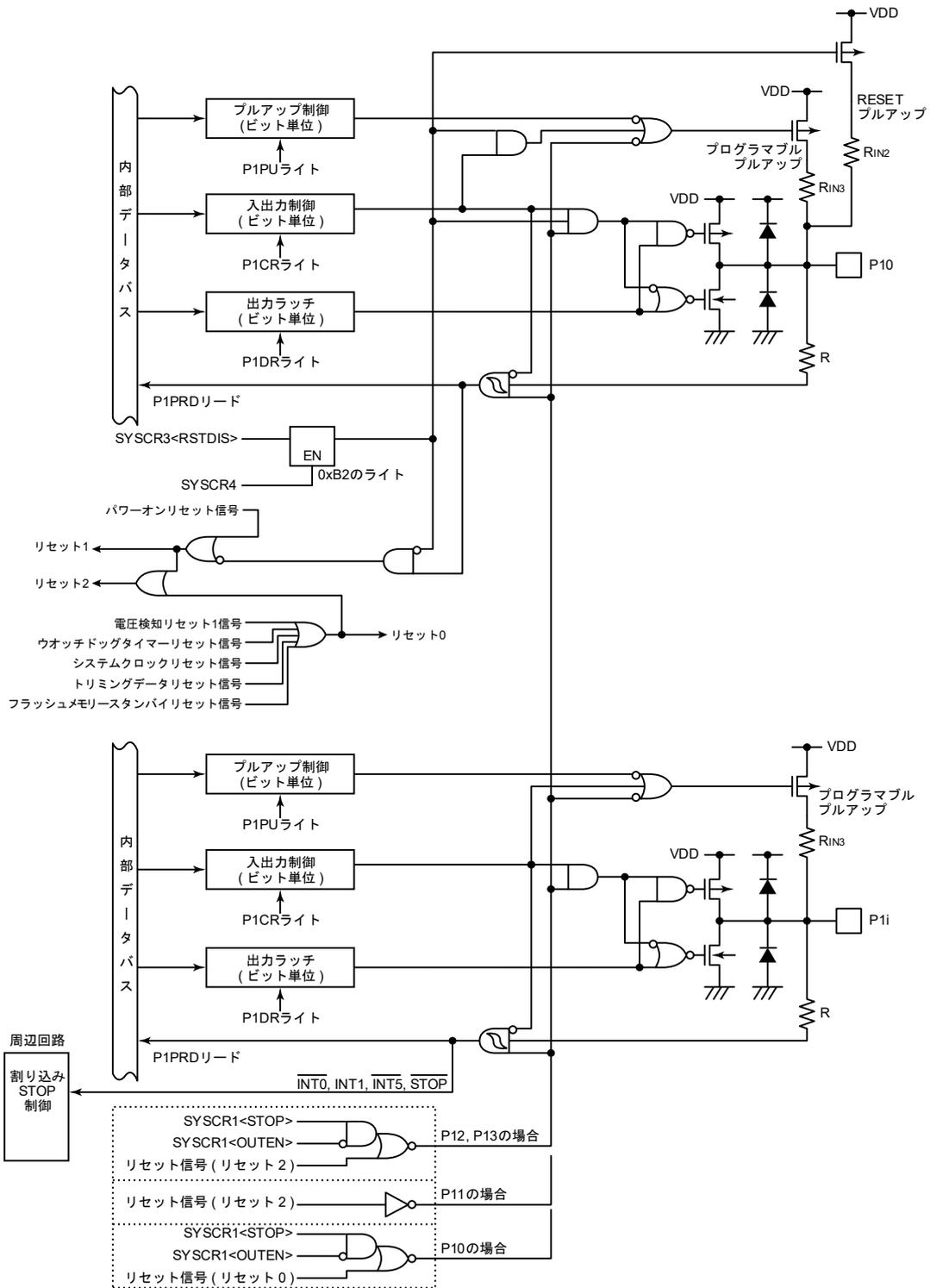
P1ポートの非搭載のビットについて、各レジスタの対応するビットへの設定値が「8.4.2.2. 制御」に書かれています。セットアップルーチンで、これらの値を各レジスタの対応するビットに設定してください。

また、対応するビットが含まれるレジスタの値を変更するときには、すでに書き込まれている値を変更しないようにしてください。

表 8-9 各製品のP1ポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
P13	A	NA	NA
P12	A	NA	NA
P11	A	A	A
P10	A	A	A

注) A: 搭載、NA: 非搭載



注 1) R = 100 [Ω] (typ.)

注 2) R_{IN2} = 220 [kΩ] (typ.)

注 3) R_{IN3} = 50 [kΩ] (typ.)

注 4) TMP89FS60B: i = 3 ~ 1

TMP89FS62B, TMP89FS63B: i = 1

図 8-3 P1ポート

8.4.2.2. 制御

P1 ポートは、下記のレジスターで制御されます。

P1 ポート出力ラッチ

P1DR (0x0001)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	P13	P12	P11	P10
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P13	出力モードのときの出力レベル	0: 1:	“Low”レベル “High”レベル	Reserved(“0”を設定してください)	
P12	出力モードのときの出力レベル	0: 1:	“Low”レベル “High”レベル	Reserved(“0”を設定してください)	
P11	出力モードのときの出力レベル	0: 1:	“Low”レベル “High”レベル		
P10	出力モードのときの出力レベル	0: 1:	“Low”レベル “High”レベル		

P1 ポート入出力制御

P1CR		7	6	5	4	3	2	1	0
(0x0F1B)	Bit Symbol	-	-	-	-	P1CR3	P1CR2	P1CR1	P1CR0
	Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P1CR3	入力モード、出力モード 選択	0: 入力モード INT1 (I) 1: 出力モード	Reserved("1"を設定してください)		
P1CR2	入力モード、出力モード 選択	0: 入力モード $\overline{\text{INT0}}$ (I) 1: 出力モード	Reserved("1"を設定してください)		
P1CR1	入力モード、出力モード 選択	0: 入力モード $\overline{\text{INT5}}$ (I) STOP (I) 1: 出力モード			
P1CR0	入力モード、出力モード 選択	0: 入力モード 1: 出力モード(注 2)			

注 1) I: 兼用機能入力

注 2) P10 端子を $\overline{\text{RESET}}$ 端子として利用しているときには、<P1CR0>の値に関わらず出力バッファがオフします。

P1 ポート内蔵プルアップ制御

P1PU (0x0F28)		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	-	P1PU3	P1PU2	P1PU1	P1PU0
Read/Write		R	R	R	R	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P1PU3	内蔵プルアップ接続選択	0: 1:	表 8-11 を参照してください	Reserved("0"を設定してください)	
P1PU2	内蔵プルアップ接続選択	0: 1:	表 8-11 を参照してください	Reserved("0"を設定してください)	
P1PU1	内蔵プルアップ接続選択	0: 1:	表 8-11 を参照してください		
P1PU0	内蔵プルアップ接続選択	0: 1:	表 8-10 を参照してください		

表 8-10 P10と内蔵プルアップ抵抗

ポート機能/ 兼用機能	接続/解除	設定条件		
		<P1PU0>	SYSCR3 <RSTDIS>	<P1CR0>
ポート 入力モード	接続を解除する	0	1	0
	接続する	1		
ポート 出力モード	接続を解除する	*		1
RESET端子	接続する	1	0	0

注) *: Don't care

表 8-11 P1iと内蔵プルアップ抵抗

ポート機能/ 兼用機能	接続/解除	設定条件	
		<P1PUI>	<P1CRI>
ポート 入力モード	接続を解除する	0	0
	接続する	1	
ポート 出力モード	接続を解除する	*	1

注 1) *: Don't care

注 2) TMP89FS60B: i = 3 ~ 1
TMP89FS62B、TMP89FS63B: i = 1

P1 ポート入力データ

P1PRD (0x000E)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	P1PRD3	P1PRD2	P1PRD1	P1PRD0
Read/Write	R	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P1PRD3	ポート入力データ	表 8-12 を参照してください	"0"が読みだされます	
P1PRD2	ポート入力データ	表 8-12 を参照してください	"0"が読みだされます	
P1PRD1	ポート入力データ	表 8-12 を参照してください		
P1PRD0	ポート入力データ	表 8-12 を参照してください		

表 8-12 <P1PRDi>の読み出し値

<P1PRDi>の読み出し値	設定条件
	<P1CRi>
0	1
ポート端子のレベル	0

注) TMP89FS60B: i = 3 ~ 0
 TMP89FS62B、TMP89FS63B: i = 1 ~ 0

8.4.3. P2 ポート

P2ポートは1ビット単位で入出力の指定ができる8ビットの入出力ポートで、シリアルバスインターフェース入出力、シリアルインターフェース入出力、UART入出力、オンチップデバッグ機能と兼用です。

出力回路は、Pch出力制御機能付きですのでオープンドレイン出力、またはC-MOS出力のいずれかを選択することができます。

P2ポートはVDD端子側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップ抵抗は、入力モードまたは出力モードでオープンドレイン出力として使用する場合に利用することができます。

なお、シリアルバスインターフェース、シリアルインターフェースまたはUARTとして使用する場合は、シリアルインターフェース選択機能の設定も合わせて必要です。詳しくは「8.5 シリアルインターフェース選択機能」を参照してください。

オンチップデバッグ機能については、「23. オンチップデバッグ機能 (OCD)」を参照してください。

表 8-13 P2ポート

	P27	P26	P25	P24	P23	P22	P21	P20
兼用機能	-	-	SCLK0 (注)	SCL0 SI0 (注)	SDA0 SO0 (注)	SCLK0	RXD0 TXD0 SI0 OCDDIO	TXD0 RXD0 SO0 OCDCK

注) TMP89FS62B はシリアルインターフェース入出力(SCLK0 と SI0/SCL0、SO0/SDA0)は非搭載です。

8.4.3.1. 各製品の P2 ポート

各製品で使用できる P2 ポートを表 8-14 に示します。

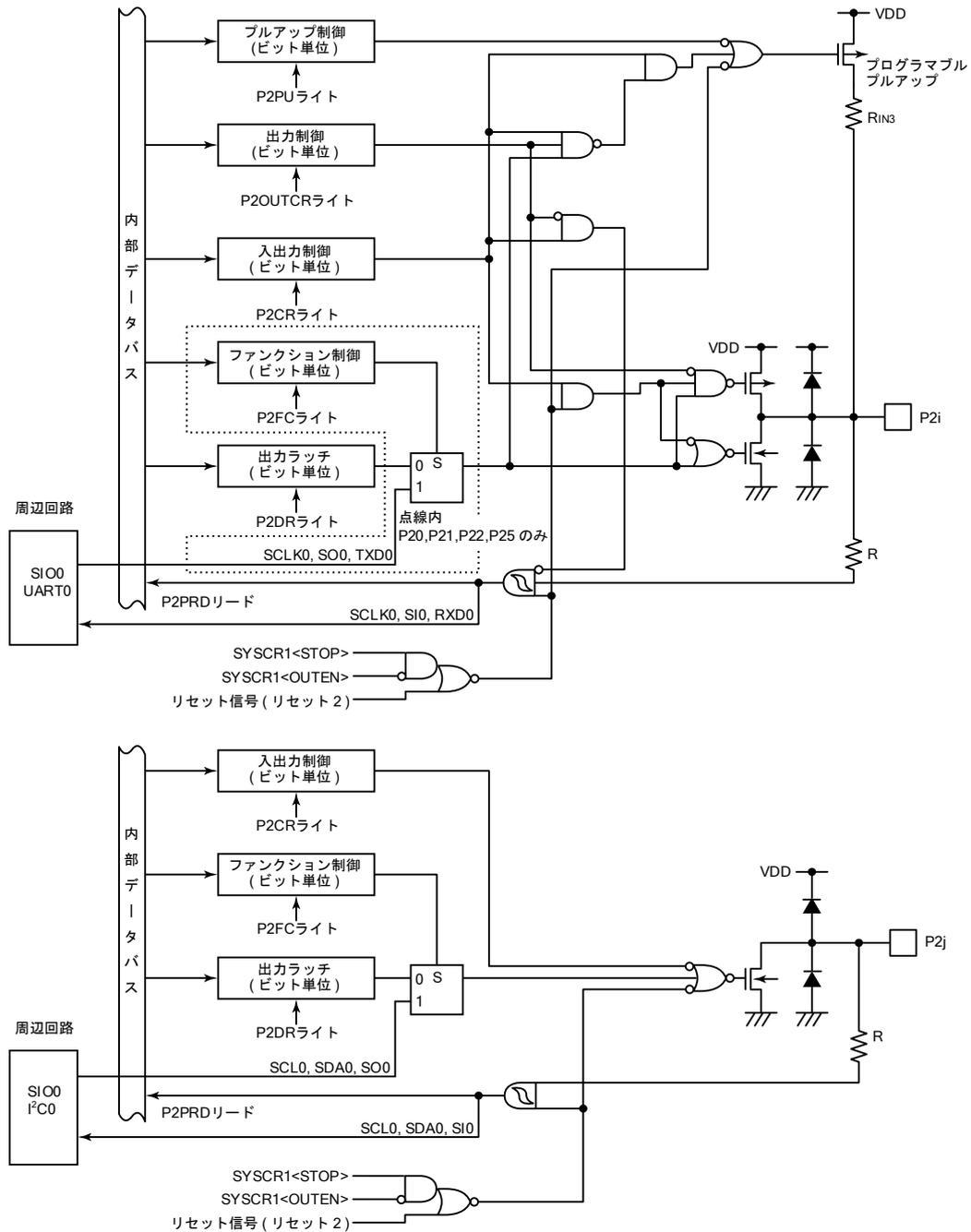
P2 ポートの非搭載のビットについて、各レジスタの対応するビットへの設定値が「8.4.3.2. 制御」に書かれています。セットアップルーチンで、これらの値を各レジスタの対応するビットに設定してください。

また、対応するビットが含まれるレジスタの値を変更するときには、すでに書き込まれている値を変更しないようにしてください。

表 8-14 各製品のP2ポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
P27	A	NA	NA
P26	A	NA	NA
P25	A	NA	A
P24	A	NA	A
P23	A	A	A
P22	A	A	A
P21	A	A	A
P20	A	A	A

注) A: 搭載、NA: 非搭載



注 1) $R = 100 [\Omega]$ (typ.)

注 2) $R_{IN3} = 50 [k\Omega]$ (typ.)

注 3) TMP89FS60B: $i = 7 \sim 5, 2 \sim 0$
 TMP89FS62B: $i = 2 \sim 0$
 TMP89FS63B: $i = 5, 2 \sim 0$

注 4) TMP89FS60B, TMP89FS63B: $j = 4 \sim 3$
 TMP89FS62B: $j = 3$

図 8-4 P2ポート

8.4.3.2. 制御

P2 ポートは、下記のレジスタで制御されます。

P2 ポート出力ラッチ

P2DR (0x0002)		7	6	5	4	3	2	1	0
Bit Symbol		P27	P26	P25	P24	P23	P22	P21	P20
Read/Write		R/W							
リセット後		0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P27	出力モードのときの出力レベル	0: 1:	表 8-15 を参照してください	Reserved("0"を設定してください)	
P26	出力モードのときの出力レベル	0: 1:	表 8-15 を参照してください	Reserved("0"を設定してください)	
P25	出力モードのときの出力レベル	0: 1:	表 8-15 を参照してください	Reserved("0"を設定してください)	表 8-15 を参照してください
P24	出力モードのときの出力レベル	0: 1:	"Low"レベル "Hi-Z"	Reserved("0"を設定してください)	"Low"レベル "Hi-Z"
P23	出力モードのときの出力レベル	0: 1:	"Low"レベル "Hi-Z"		
P22	出力モードのときの出力レベル	0: 1:	表 8-15 を参照してください		
P21	出力モードのときの出力レベル	0: 1:	表 8-15 を参照してください		
P20	出力モードのときの出力レベル	0: 1:	表 8-15 を参照してください		

表 8-15 出力モードのときの端子の出力状態

ポート機能	端子の出力状態	設定条件		
		<P2i>	<P2OUTCRi>	<P2Pui>
ポート出力モード CMOS 出力	"Low"レベル	0	0	*
	"High"レベル	1		
ポート出力モード オープンドレイン出力	"Low"レベル	0	1	0
	"Hi-Z"	1		
	"Low"レベル	0		1
	"Pull-up"	1		

注 1) *: Don't care

注 2) TMP89FS60B: i = 7 ~ 5、2 ~ 0

TMP89FS62B: i = 2 ~ 0

TMP89FS63B: i = 5、2 ~ 0

P2 ポート入出力制御

P2CR		7	6	5	4	3	2	1	0
(0x0F1C)	Bit Symbol	P2CR7	P2CR6	P2CR5	P2CR4	P2CR3	P2CR2	P2CR1	P2CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P2CR7	入力モード、出力モード 選択	0: 入力モード 1: 出力モード	Reserved("1"を設定してください)		
P2CR6	入力モード、出力モード 選択	0: 入力モード 1: 出力モード	Reserved("1"を設定してください)		
P2CR5	入力モード、出力モード 選択	0: 入力モード SCLK0 (I) 1: 出力モード SCLK0 (O)	Reserved("1"を設定してください)	入力モード SCLK0 (I) 出力モード SCLK0 (O)	
P2CR4	入力モード、出力モード 選択	0: 入力モード SI0 (I) 1: 出力モード SCL0 (I/O)	Reserved("1"を設定してください)	入力モード SI0 (I) 出力モード SCL0 (I/O)	
P2CR3	入力モード、出力モード 選択	0: 入力モード 出力モード 1: SDA0 (I/O) SO0 (O)			
P2CR2	入力モード、出力モード 選択	0: 入力モード SCLK0 (I) 1: 出力モード SCLK0 (O)			
P2CR1	入力モード、出力モード 選択	0: 入力モード RXD0 (I) SI0(I) 1: 出力モード TXD0 (O)			
P2CR0	入力モード、出力モード 選択	0: 入力モード RXD0 (I) 出力モード 1: TXD0 (O) SO0 (O)			

注) I: 兼用機能入力、O: 兼用機能出力、I/O: 兼用機能入出力

P2 ポートファンクション制御

P2FC	7	6	5	4	3	2	1	0	
(0x0F36)	Bit Symbol	-	-	P2FC5	P2FC4	P2FC3	P2FC2	P2FC1	P2FC0
	Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

		TMP89FS60B		TMP89FS62B		TMP89FS63B	
P2FC5	ポートファンクション	0:	I/O ポート	Reserved ("0"を設定してください)		I/O ポート	SCLK0 (O)
		1:	SCLK0 (O)				
P2FC4	ポートファンクション	0:	I/O ポート	Reserved ("0"を設定してください)		I/O ポート	SCL0 (I/O)
		1:	SCL0 (I/O)				
P2FC3	ポートファンクション	0:	I/O ポート	Reserved ("0"を設定してください)		I/O ポート	SDA0 (I/O) SO0 (O)
		1:	SDA0 (I/O) SO0 (O)				
P2FC2	ポートファンクション	0:	I/O ポート				
		1:	SCLK0 (O)				
P2FC1	ポートファンクション	0:	I/O ポート				
		1:	TXD0 (O)				
P2FC0	ポートファンクション	0:	I/O ポート				
		1:	TXD0 (O) SO0 (O)				

注) O: 兼用機能出力、I/O: 兼用機能入出力

P2 ポート出力制御

P2OUTCR

(0x0F43)

	7	6	5	4	3	2	1	0
Bit Symbol	P2OUT7	P2OUT6	P2OUT5	-	-	P2OUT2	P2OUT1	P2OUT0
Read/Write	R/W	R/W	R/W	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P2OUT7	ポート出力回路	0: 1:	CMOS 出力 オープンドレイン 出力	Reserved("0"を設定してください)	
P2OUT6	ポート出力回路	0: 1:	CMOS 出力 オープンドレイン 出力	Reserved("0"を設定してください)	
P2OUT5	ポート出力回路	0: 1:	CMOS 出力 オープンドレイン 出力	Reserved("0"を設定してください)	CMOS 出力 オープンドレイン 出力
P2OUT2	ポート出力回路	0: 1:	CMOS 出力 オープンドレイン出力		
P2OUT1	ポート出力回路	0: 1:	CMOS 出力 オープンドレイン出力		
P2OUT0	ポート出力回路	0: 1:	CMOS 出力 オープンドレイン出力		

P2 ポート内蔵プルアップ制御

P2PU (0x0F29)		7	6	5	4	3	2	1	0
Bit Symbol	P2PU7	P2PU6	P2PU5	-	-	P2PU2	P2PU1	P2PU0	
Read/Write	R/W	R/W	R/W	R	R	R/W	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P2PU7	内蔵プルアップ接続選択	0: 1:	表 8-16 を参照してください	Reserved("0"を設定してください)	
P2PU6	内蔵プルアップ接続選択	0: 1:	表 8-16 を参照してください	Reserved("0"を設定してください)	
P2PU5	内蔵プルアップ接続選択	0: 1:	表 8-16 を参照してください	Reserved("0"を設定してください)	表 8-16 を参照してください
P2PU2	内蔵プルアップ接続選択	0: 1:	表 8-16 を参照してください		
P2PU1	内蔵プルアップ接続選択	0: 1:	表 8-16 を参照してください		
P2PU0	内蔵プルアップ接続選択	0: 1:	表 8-16 を参照してください		

表 8-16 ポート機能と内蔵プルアップ制御

ポート機能	接続/解除	<P2PUi>	<P2CRi>	< P2OUTi>	<P2i>
入力モード	接続しない	0	0	*	*
	接続する	1			
出力モード CMOS 出力	接続しない	*	1	0	
出力モード オープンドレイン出力	接続しない	0	1	1	0
	接続する	1			1

注 1) *: Don't care

注 2) TMP89FS60B: i = 7 ~ 5、2 ~ 0

TMP89FS62B: i = 2 ~ 0

TMP89FS63B: i = 5、2 ~ 0

P2 ポート入力データ

P2PRD		7	6	5	4	3	2	1	0
(0x000F)	Bit Symbol	P2PRD7	P2PRD6	P2PRD5	P2PRD4	P2PRD3	P2PRD2	P2PRD1	P2PRD0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	*	*	*	*	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P2PRD7	ポート入力データ	表 8-17 を参照してください	"0"が読みだされます	
P2PRD6	ポート入力データ	表 8-17 を参照してください	"0"が読みだされます	
P2PRD5	ポート入力データ	表 8-17 を参照してください	"0"が読みだされます	表 8-17 を参照してください
P2PRD4	ポート入力データ	ポート端子のレベルが読みだされます	"0"が読みだされます	ポート端子のレベルが読みだされます
P2PRD3	ポート入力データ	ポート端子のレベルが読みだされます		
P2PRD2	ポート入力データ	表 8-17 を参照してください		
P2PRD1	ポート入力データ	表 8-17 を参照してください		
P2PRD0	ポート入力データ	表 8-17 を参照してください		

表 8-17 <P2PRDi>の読み出し値

<P2PRDi>の読み出し値	設定条件	
	<P2CRI>	<P2OUTCRI>
ポート端子のレベル	0	*
0	1	0
ポート端子のレベル		1

注 1) *: Don't care

注 2) TMP89FS60B: i = 7 ~ 5、2 ~ 0

TMP89FS62B: i = 2 ~ 0

TMP89FS63B: i = 5、2 ~ 0

8.4.4. P4 ポート

P4 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、AD コンバータのアナログ入力、キーオンウエイクアップ入力と兼用です。

P4 ポートは VDD 端子側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップ抵抗は、入力モード、キーオンウエイクアップ入力として使用する場合に利用することができます。

表 8-18 P4ポート

	P47	P46	P45	P44	P43	P42	P41	P40
兼用機能	AIN7 KWI7	AIN6 KWI6	AIN5 KWI5	AIN4 KWI4	AIN3 KWI3	AIN2 KWI2	AIN1 KWI1	AIN0 KWI0

8.4.4.1. 各製品の P4 ポート

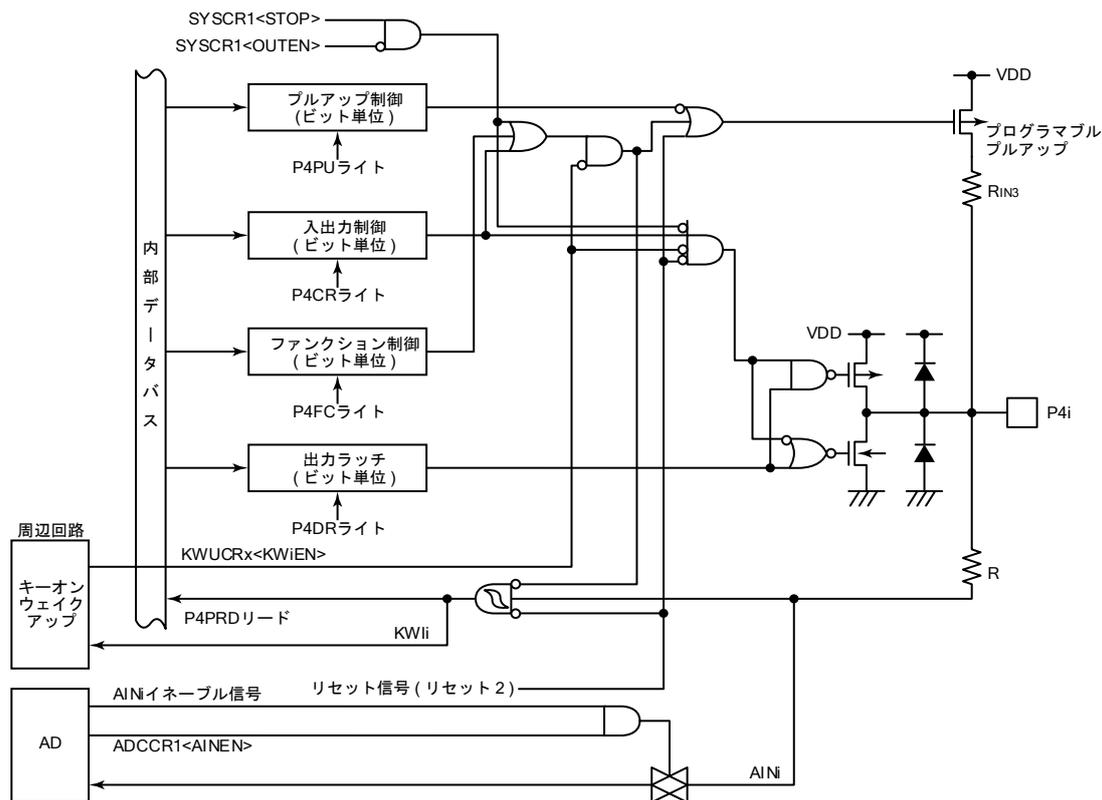
各製品で使用できる P4 ポートを表 8-19 に示します。

P4 ポートは全ての製品で使用することができます。

表 8-19 各製品のP4ポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
P47	A	A	A
P46	A	A	A
P45	A	A	A
P44	A	A	A
P43	A	A	A
P42	A	A	A
P41	A	A	A
P40	A	A	A

注) A: 搭載



- 注 1) R = 100 [Ω] (typ.)
- 注 2) R_{IN3} = 50 [kΩ] (typ.)
- 注 3) i = 7 ~ 0
- 注 4) x = 1 ~ 0

図 8-5 P4ポート

8.4.4.2. 制御

P4 ポートは、下記のレジスターで制御されます。

P4 ポート出力ラッチ

P4DR		7	6	5	4	3	2	1	0
(0x0004)	Bit Symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P47	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		
P46	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		
P45	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		
P44	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		
P43	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		
P42	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		
P41	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		
P40	出力モードのときの出力レベル	0:	"Low"レベル		
		1:	"High"レベル		

P4 ポート入出力制御

P4CR		7	6	5	4	3	2	1	0
(0x0F1E)	Bit Symbol	P4CR7	P4CR6	P4CR5	P4CR4	P4CR3	P4CR2	P4CR1	P4CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P4CR7	入力モード、出力モード 選択	0: 1:	表 8-20 を参照してください		
P4CR6	入力モード、出力モード 選択	0: 1:	表 8-20 を参照してください		
P4CR5	入力モード、出力モード 選択	0: 1:	表 8-20 を参照してください		
P4CR4	入力モード、出力モード 選択	0: 1:	表 8-20 を参照してください		
P4CR3	入力モード、出力モード 選択	0: 1:	表 8-20 を参照してください		
P4CR2	入力モード、出力モード 選択	0: 1:	表 8-20 を参照してください		
P4CR1	入力モード、出力モード 選択	0: 1:	表 8-20 を参照してください		
P4CR0	入力モード、出力モード 選択	0: 1:	表 8-20 を参照してください		

表 8-20 <P4CRi>と端子の入出力モード

ポート機能/ 兼用機能	設定条件	
	<P4CRi>	KWUCRx<KWIE>
ポート 入力モード/ AINi	0	0
ポート 出力モード	1	
ポート 入力モード キーオンウエイクアップ 入力	*	1

注 1) *: Don't care

注 2) i = 7 ~ 0

注 3) x = 1 ~ 0

P4 ポートファンクション制御

P4FC	7	6	5	4	3	2	1	0	
(0x0F38)	Bit Symbol	P4FC7	P4FC6	P4FC5	P4FC4	P4FC3	P4FC2	P4FC1	P4FC0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

		TMP89FS60B		TMP89FS62B		TMP89FS63B	
P4FC7	ポートファンクション	0:	I/O ポート	1:	AIN7 (I)		
P4FC6	ポートファンクション	0:	I/O ポート	1:	AIN6 (I)		
P4FC5	ポートファンクション	0:	I/O ポート	1:	AIN5 (I)		
P4FC4	ポートファンクション	0:	I/O ポート	1:	AIN4 (I)		
P4FC3	ポートファンクション	0:	I/O ポート	1:	AIN3 (I)		
P4FC2	ポートファンクション	0:	I/O ポート	1:	AIN2 (I)		
P4FC1	ポートファンクション	0:	I/O ポート	1:	AIN1 (I)		
P4FC0	ポートファンクション	0:	I/O ポート	1:	AIN0 (I)		

注 1) I: 兼用機能入力

注 2) AD コンバーターのアナログ入力として使用するとき(<P4FCi> = 1 (i = 7 ~ 0))には、I/O ポートの入力ゲートが禁止され、入力ゲートでの貫通電流を防止します。

注 3) キーオンウエイクアップ入力として使用するとき(KWUCRx<KWIEiEN> = 1 (x = 1 ~ 0, i = 7 ~ 0))には、<P4FCi> (i = 7 ~ 0)の値と関係なく、I/O ポートの入力ゲートが許可されます。キーオンウエイクアップ入力を AD コンバーターのアナログ入力と兼用するときには、入力ゲートでの貫通電流が流れる可能性があります。

P4 ポート内蔵プルアップ制御

P4PU		7	6	5	4	3	2	1	0
(0x0F2B)	Bit Symbol	P4PU7	P4PU6	P4PU5	P4PU4	P4PU3	P4PU2	P4PU1	P4PU0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P4PU7	内蔵プルアップ接続選択	0: 1:	表 8-21 を参照してください		
P4PU6	内蔵プルアップ接続選択	0: 1:	表 8-21 を参照してください		
P4PU5	内蔵プルアップ接続選択	0: 1:	表 8-21 を参照してください		
P4PU4	内蔵プルアップ接続選択	0: 1:	表 8-21 を参照してください		
P4PU3	内蔵プルアップ接続選択	0: 1:	表 8-21 を参照してください		
P4PU2	内蔵プルアップ接続選択	0: 1:	表 8-21 を参照してください		
P4PU1	内蔵プルアップ接続選択	0: 1:	表 8-21 を参照してください		
P4PU0	内蔵プルアップ接続選択	0: 1:	表 8-21 を参照してください		

表 8-21 ポート機能/兼用機能と内蔵プルアップ制御

ポート機能/兼用機能	接続/解除	設定条件			
		<P4Pui>	KWUCRx <KWIE>	<P4CRi>	<P4FCi>
ポート 入力モード	接続しない	0	0	0	0
ポート 入力モード	接続する	1			1
AINi	接続しない	*			
ポート 出力モード	接続しない	*		1	*
キーオンウエイクアップ入力	接続しない	0	1	*	*
キーオンウエイクアップ入力	接続する	1			

注 1) *: Don't care

注 2) i = 7 ~ 0

注 3) x = 1 ~ 0

P4 ポート入力データ

P4PRD		7	6	5	4	3	2	1	0
(0x0011)	Bit Symbol	P4PRD7	P4PRD6	P4PRD5	P4PRD4	P4PRD3	P4PRD2	P4PRD1	P4PRD0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	*	*	*	*	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P4PRD7	ポート入力データ	表 8-22 を参照してください		
P4PRD6	ポート入力データ	表 8-22 を参照してください		
P4PRD5	ポート入力データ	表 8-22 を参照してください		
P4PRD4	ポート入力データ	表 8-22 を参照してください		
P4PRD3	ポート入力データ	表 8-22 を参照してください		
P4PRD2	ポート入力データ	表 8-22 を参照してください		
P4PRD1	ポート入力データ	表 8-22 を参照してください		
P4PRD0	ポート入力データ	表 8-22 を参照してください		

表 8-22 <P4PRDi>の読み出し値

<P4PRDi>の読み出し値	設定条件		
	KWUCRx <KWIE>	<P4CRi>	<P4FCi>
ポート端子のレベル	0	0	0
0		*	1
0		1	*
ポート端子のレベル	1	*	*

注 1) *: Don't care

注 2) i = 7 ~ 0

注 3) x = 1 ~ 0

8.4.5. P5 ポート

P5 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、AD コンバーターのアナログ入力と兼用です。

表 8-23 P5ポート

	P57	P56	P55	P54	P53	P52	P51	P50
兼用機能	AIN15 (注)	AIN14 (注)	AIN13 (注)	AIN12	AIN11	AIN10	AIN9	AIN8

注) TMP89FS63B には、AD コンバーターのアナログ入力(AIN15 ~ 13)は非搭載です。

8.4.5.1. 各製品の P5 ポート

各製品で使用できる P5 ポートを表 8-24 に示します。

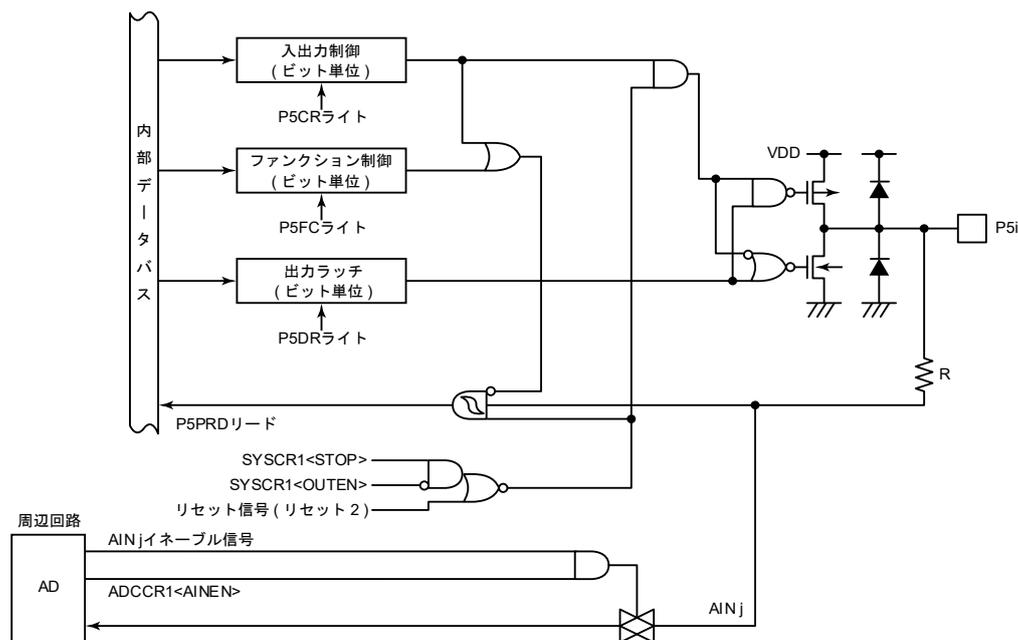
P1 ポートの非搭載のビットについて、各レジスタの対応するビットへの設定値が「8.4.5.2. 制御」に書かれています。セットアップルーチンで、これらの値を各レジスタの対応するビットに設定してください。

また、対応するビットが含まれるレジスタの値を変更するときには、すでに書き込まれている値を変更しないようにしてください。

表 8-24 各製品のP5ポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
P57	A	NA	NA
P56	A	NA	NA
P55	A	NA	NA
P54	A	NA	A
P53	A	NA	A
P52	A	NA	A
P51	A	NA	A
P50	A	NA	A

注) A: 搭載、NA: 非搭載



注 1) R = 100 [Ω] (typ.)

注 2) TMP89FS60B: i = 7 ~ 0
 TMP89FS63B: i = 4 ~ 0

注 3) TMP89FS60B: j = 15 ~ 8
 TMP89FS63B: j = 12 ~ 8

図 8-6 P5ポート

8.4.5.2. 制御

P5 ポートは、下記のレジスタで制御されます。

P5 ポート出力ラッチ

P5DR		7	6	5	4	3	2	1	0
(0x0005)	Bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P57	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル	Reserved(“0”を設定してください)		
P56	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル	Reserved(“0”を設定してください)		
P55	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル	Reserved(“0”を設定してください)		
P54	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル	Reserved(“0”を設定してください)	“Low”レベル “High”レベル	
P53	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル	Reserved(“0”を設定してください)	“Low”レベル “High”レベル	
P52	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル	Reserved(“0”を設定してください)	“Low”レベル “High”レベル	
P51	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル	Reserved(“0”を設定してください)	“Low”レベル “High”レベル	
P50	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル	Reserved(“0”を設定してください)	“Low”レベル “High”レベル	

P5 ポート入出力制御

P5CR		7	6	5	4	3	2	1	0
(0x0F1F)	Bit Symbol	P5CR7	P5CR6	P5CR5	P5CR4	P5CR3	P5CR2	P5CR1	P5CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P5CR7	入力モード、出力モード 選択	0: 入力モード AIN15 (I) 1: 出力モード	Reserved("1"を設定してください)		
P5CR6	入力モード、出力モード 選択	0: 入力モード AIN14 (I) 1: 出力モード	Reserved("1"を設定してください)		
P5CR5	入力モード、出力モード 選択	0: 入力モード AIN13 (I) 1: 出力モード	Reserved("1"を設定してください)		
P5CR4	入力モード、出力モード 選択	0: 入力モード AIN12 (I) 1: 出力モード	Reserved("1"を設定してください)	入力モード AIN12 (I) 出力モード	
P5CR3	入力モード、出力モード 選択	0: 入力モード AIN11 (I) 1: 出力モード	Reserved("1"を設定してください)	入力モード AIN11 (I) 出力モード	
P5CR2	入力モード、出力モード 選択	0: 入力モード AIN10 (I) 1: 出力モード	Reserved("1"を設定してください)	入力モード AIN10 (I) 出力モード	
P5CR1	入力モード、出力モード 選択	0: 入力モード AIN9 (I) 1: 出力モード	Reserved("1"を設定してください)	入力モード AIN9 (I) 出力モード	
P5CR0	入力モード、出力モード 選択	0: 入力モード AIN8 (I) 1: 出力モード	Reserved("1"を設定してください)	入力モード AIN8 (I) 出力モード	

注) I: 兼用機能入力

P5ポートファンクション制御

P5FC		7	6	5	4	3	2	1	0
(0x0F39)	Bit Symbol	P5FC7	P5FC6	P5FC5	P5FC4	P5FC3	P5FC2	P5FC1	P5FC0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P5FC7	ポートファンクション	0: I/Oポート 1: AIN15 (I)	Reserved("0"を設定してください)		
P5FC6	ポートファンクション	0: I/Oポート 1: AIN14 (I)	Reserved("0"を設定してください)		
P5FC5	ポートファンクション	0: I/Oポート 1: AIN13 (I)	Reserved("0"を設定してください)		
P5FC4	ポートファンクション	0: I/Oポート 1: AIN12 (I)	Reserved("0"を設定してください)	I/Oポート AIN12 (I)	
P5FC3	ポートファンクション	0: I/Oポート 1: AIN11 (I)	Reserved("0"を設定してください)	I/Oポート AIN11 (I)	
P5FC2	ポートファンクション	0: I/Oポート 1: AIN10 (I)	Reserved("0"を設定してください)	I/Oポート AIN10 (I)	
P5FC1	ポートファンクション	0: I/Oポート 1: AIN9 (I)	Reserved("0"を設定してください)	I/Oポート AIN9 (I)	
P5FC0	ポートファンクション	0: I/Oポート 1: AIN8 (I)	Reserved("0"を設定してください)	I/Oポート AIN8 (I)	

注 1) I: 兼用機能入力

注 2) ADコンバーターのアナログ入力として使用するとき(<P5FCi> = 1 (TMP89FS60B: i = 7 ~ 0, TMP89FS63B: i = 4 ~ 0))には、I/Oポートの入力ゲートが禁止され、入力ゲートでの貫通電流を防止します。

P5 ポート入力データ

P5PRD		7	6	5	4	3	2	1	0
(0x0012)	Bit Symbol	P5PRD7	P5PRD6	P5PRD5	P5PRD4	P5PRD3	P5PRD2	P5PRD1	P5PRD0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	*	*	*	*	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P5PRD7	ポート入力データ	表 8-25 を参照してください	"0"が読みだされます	
P5PRD6	ポート入力データ	表 8-25 を参照してください	"0"が読みだされます	
P5PRD5	ポート入力データ	表 8-25 を参照してください	"0"が読みだされます	
P5PRD4	ポート入力データ	表 8-25 を参照してください	"0"が読みだされます	表 8-25 を参照してください
P5PRD3	ポート入力データ	表 8-25 を参照してください	"0"が読みだされます	表 8-25 を参照してください
P5PRD2	ポート入力データ	表 8-25 を参照してください	"0"が読みだされます	表 8-25 を参照してください
P5PRD1	ポート入力データ	表 8-25 を参照してください	"0"が読みだされます	表 8-25 を参照してください
P5PRD0	ポート入力データ	表 8-25 を参照してください	"0"が読みだされます	表 8-25 を参照してください

表 8-25 <P5PRDi>の読み出し値

<P5PRDi>のリード値	設定条件	
	<P5CRi>	<P5FCi>
ポート端子のレベル	0	0
0	*	1
0	1	*

注 1) *: Don't care

注 2) TMP89FS60B: i = 7 ~ 0
TMP89FS63B: i = 4 ~ 0

8.4.6. P7 ポート

P7ポートは1ビット単位で入出力の指定ができる8ビットの入出力ポートで、外部割り込み入力、ディバイダー出力、タイマーカウンタ入出力と兼用です。

表 8-26 P7ポート

	P77	P76	P75	P74	P73	P72	P71	P70
兼用機能	INT4	INT3	INT2	\overline{DVO}	TCA1 $\overline{PPGA1}$	TCA0 $\overline{PPGA0}$	TC01 $\overline{PPG01}$ $\overline{PWM01}$	TC00 $\overline{PPG00}$ $\overline{PWM00}$

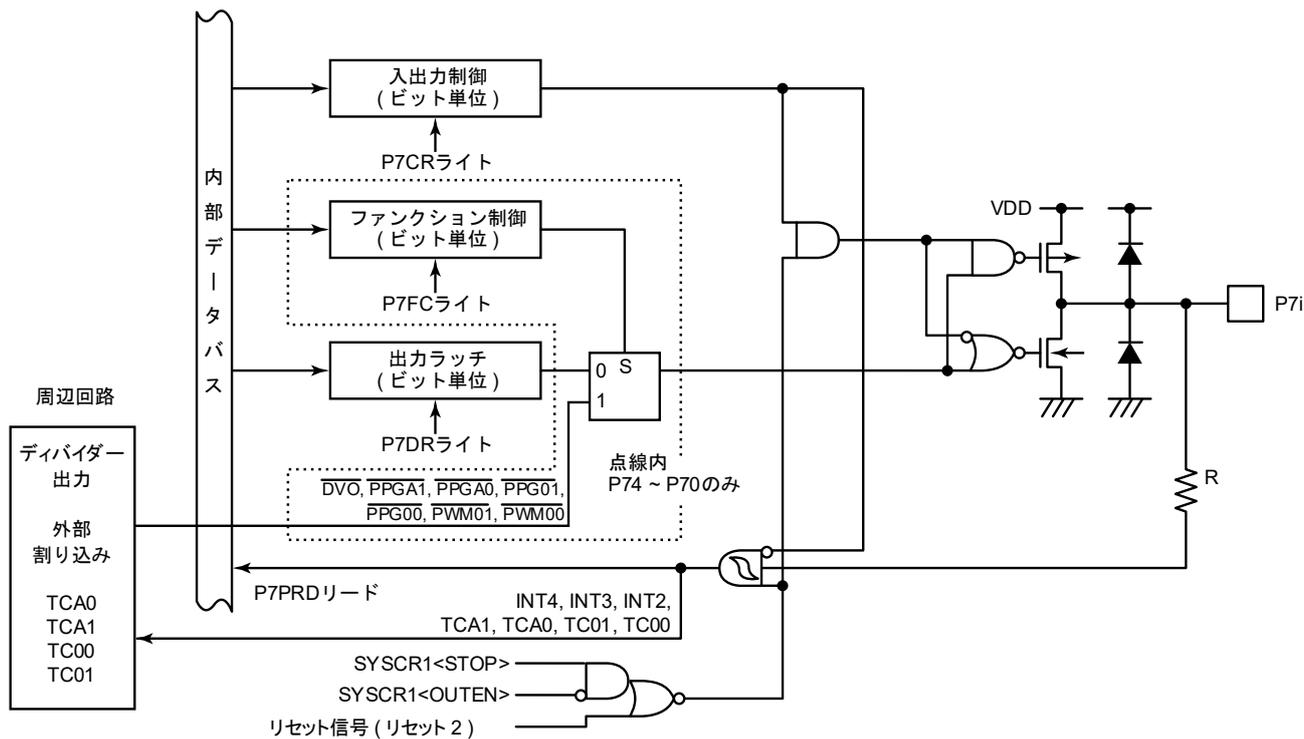
8.4.6.1. 各製品の P7 ポート

各製品で使用できる P7 ポートを表 8-27 に示します。
 P7 ポートは全ての製品で使用することができます。

表 8-27 各製品のP7ポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
P77	A	A	A
P76	A	A	A
P75	A	A	A
P74	A	A	A
P73	A	A	A
P72	A	A	A
P71	A	A	A
P70	A	A	A

注) A: 搭載



注 1) R = 100 [Ω] (typ.)

注 2) i = 7 ~ 0

図 8-7 P7ポート

8.4.6.2. 制御

P7ポートは、下記のレジスタで制御されます。

P7ポート出力ラッチ

P7DR (0x0007)		7	6	5	4	3	2	1	0
Bit Symbol	P77	P76	P75	P74	P73	P72	P71	P70	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	0

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P77	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル		
P76	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル		
P75	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル		
P74	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル		
P73	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル		
P72	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル		
P71	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル		
P70	出力モードのときの出力レベル	0: “Low”レベル 1: “High”レベル		

P7 ポート入出力制御

P7CR		7	6	5	4	3	2	1	0
(0x0F21)	Bit Symbol	P7CR7	P7CR6	P7CR5	P7CR4	P7CR3	P7CR2	P7CR1	P7CR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P7CR7	入力モード、出力モード 選択	0: 入力モード INT4 (I) 1: 出力モード			
P7CR6	入力モード、出力モード 選択	0: 入力モード INT3 (I) 1: 出力モード			
P7CR5	入力モード、出力モード 選択	0: 入力モード INT2 (I) 1: 出力モード			
P7CR4	入力モード、出力モード 選択	0: 入力モード 1: 出力モード \overline{DVO} (O)			
P7CR3	入力モード、出力モード 選択	0: 入力モード TCA1 (I) 1: 出力モード $\overline{PPGA1}$ (O)			
P7CR2	入力モード、出力モード 選択	0: 入力モード TCA0 (I) 1: 出力モード $\overline{PPGA0}$ (O)			
P7CR1	入力モード、出力モード 選択	0: 入力モード TC01 (I) 1: 出力モード $\overline{PPG01}$ (O) PWM01 (O)			
P7CR0	入力モード、出力モード 選択	0: 入力モード TC00 (I) 1: 出力モード $\overline{PPG00}$ (O) PWM00 (O)			

注) I: 兼用機能入力、O: 兼用機能出力

P7 ポートファンクション制御

P7FC	7	6	5	4	3	2	1	0	
(0x0F3B)	Bit Symbol	-	-	-	P7FC4	P7FC3	P7FC2	P7FC1	P7FC0
	Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

		TMP89FS60B		TMP89FS62B		TMP89FS63B	
P7FC4	ポートファンクション	0:	I/O ポート				
		1:	$\overline{\text{DVO}}$ (O)				
P7FC3	ポートファンクション	0:	I/O ポート				
		1:	$\overline{\text{PPGA1}}$ (O)				
P7FC2	ポートファンクション	0:	I/O ポート				
		1:	$\overline{\text{PPGA0}}$ (O)				
P7FC1	ポートファンクション	0:	I/O ポート				
		1:	$\overline{\text{PPG01}}$ (O) $\overline{\text{PWM01}}$ (O)				
P7FC0	ポートファンクション	0:	I/O ポート				
		1:	$\overline{\text{PPG00}}$ (O) $\overline{\text{PWM00}}$ (O)				

注) O: 兼用機能出力

P7 ポート入力データ

P7PRD		7	6	5	4	3	2	1	0
(0x0014)	Bit Symbol	P7PRD7	P7PRD6	P7PRD5	P7PRD4	P7PRD3	P7PRD2	P7PRD1	P7PRD0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	*	*	*	*	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P7PRD7	ポート入力データ	表 8-28 を参照してください		
P7PRD6	ポート入力データ	表 8-28 を参照してください		
P7PRD5	ポート入力データ	表 8-28 を参照してください		
P7PRD4	ポート入力データ	表 8-28 を参照してください		
P7PRD3	ポート入力データ	表 8-28 を参照してください		
P7PRD2	ポート入力データ	表 8-28 を参照してください		
P7PRD1	ポート入力データ	表 8-28 を参照してください		
P7PRD0	ポート入力データ	表 8-28 を参照してください		

表 8-28 <P7PRDi>の読み出し値

<P7PRDi>の読み出し値	設定条件
	<P7CRi>
ポート端子のレベル	0
0	1

注) i = 7 ~ 0

8.4.7. P8 ポート

P8 ポートは1ビット単位で入出力の指定ができる5ビットの入出力ポートで、タイマーカウンタ入出力と兼用です。

表 8-29 P8ポート

	-	-	-	P84	P83	P82	P81	P80
兼用機能	-	-	-	-	-	-	TC03 PPG03 PWM03	TC02 PPG02 PWM02

8.4.7.1. 各製品の P8 ポート

各製品で使用できる P8 ポートを表 8-30 に示します。

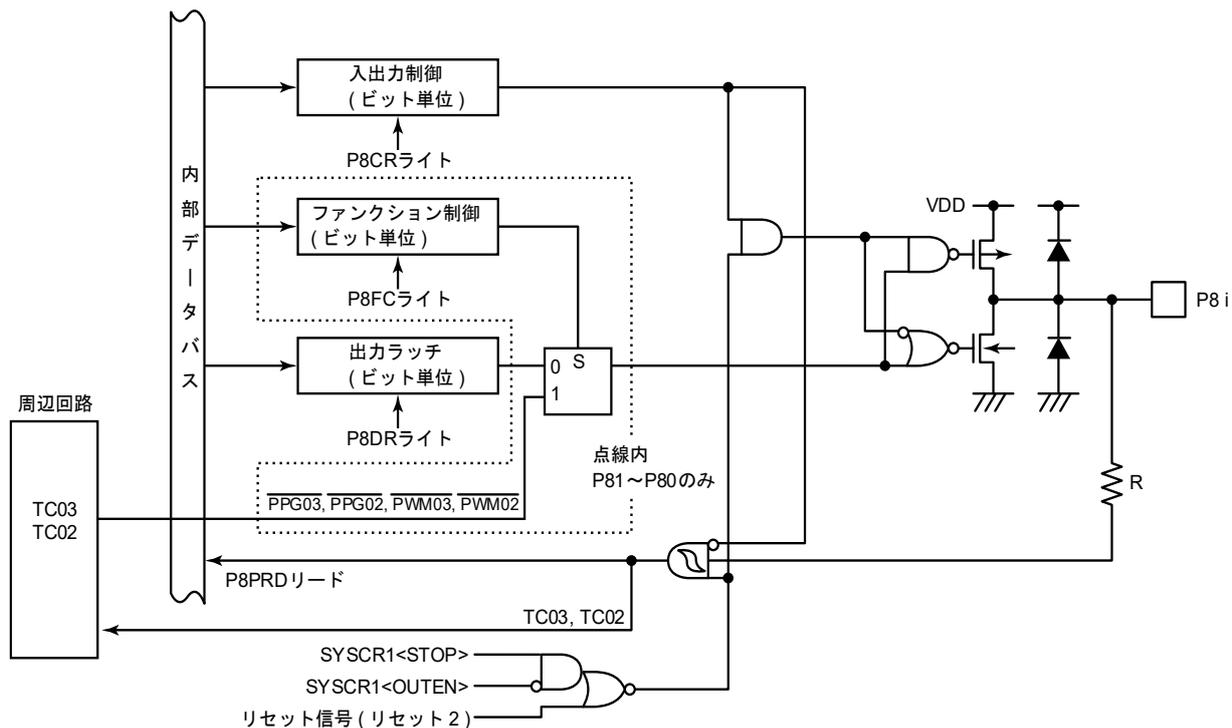
P8 ポートの非搭載のビットについて、各レジスタの対応するビットへの設定値が「8.4.7.2. 制御」に書かれています。セットアップルーチンで、これらの値を各レジスタの対応するビットに設定してください。

また、対応するビットが含まれるレジスタの値を変更するときには、すでに書き込まれている値を変更しないようにしてください。

表 8-30 各製品のP8ポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
P84	A	NA	NA
P83	A	NA	NA
P82	A	NA	NA
P81	A	A	A
P80	A	A	A

注) A: 搭載、NA: 非搭載



注 1) R = 100 [Ω] (typ.)

注 2) TMP89FS60B: i = 4 ~ 0
 TMP89FS62B、TMP89FS63B: i = 1 ~ 0

図 8-8 P8ポート

8.4.7.2. 制御

P8 ポートは、下記のレジスターで制御されます。

P8 ポート出力ラッチ

P8DR (0x0008)		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	P84	P83	P82	P81	P80
Read/Write		R	R	R	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0

		TMP89FS60B		TMP89FS62B	TMP89FS63B
P84	出力モードのときの出力レベル	0:	“Low”レベル	Reserved(“0”を設定してください)	
		1:	“High”レベル		
P83	出力モードのときの出力レベル	0:	“Low”レベル	Reserved(“0”を設定してください)	
		1:	“High”レベル		
P82	出力モードのときの出力レベル	0:	“Low”レベル	Reserved(“0”を設定してください)	
		1:	“High”レベル		
P81	出力モードのときの出力レベル	0:	“Low”レベル		
		1:	“High”レベル		
P80	出力モードのときの出力レベル	0:	“Low”レベル		
		1:	“High”レベル		

P8 ポート入出力制御

P8CR		7	6	5	4	3	2	1	0
(0x0F22)	Bit Symbol	-	-	-	P8CR4	P8CR3	P8CR2	P8CR1	P8CR0
	Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P8CR4	入力モード、出力モード 選択	0:	入力モード	Reserved("1"を設定してください)	
		1:	出力モード		
P8CR3	入力モード、出力モード 選択	0:	入力モード	Reserved("1"を設定してください)	
		1:	出力モード		
P8CR2	入力モード、出力モード 選択	0:	入力モード	Reserved("1"を設定してください)	
		1:	出力モード		
P8CR1	入力モード、出力モード 選択	0:	入力モード TC03 (I)		
		1:	出力モード $\overline{\text{PPG03}}$ (O) $\overline{\text{PWM03}}$ (O)		
P8CR0	入力モード、出力モード 選択	0:	入力モード TC02 (I)		
		1:	出力モード $\overline{\text{PPG02}}$ (O) $\overline{\text{PWM02}}$ (O)		

注) I: 兼用機能入力、O: 兼用機能出力

P8 ポートファンクション制御

P8FC		7	6	5	4	3	2	1	0
(0x0F3C)	Bit Symbol	-	-	-	-	-	-	P8FC1	P8FC0
	Read/Write	R	R	R	R	R	R	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P8FC1	ポートファンクション	0:	I/O ポート		
		1:	$\overline{\text{PPG03}}$ (O) $\overline{\text{PWM03}}$ (O)		
P8FC0	ポートファンクション	0:	I/O ポート		
		1:	$\overline{\text{PPG02}}$ (O) $\overline{\text{PWM02}}$ (O)		

注) O: 兼用機能出力

P8 ポート入力データ

P8PRD		7	6	5	4	3	2	1	0
(0x0015)	Bit Symbol	-	-	-	P8PRD4	P8PRD3	P8PRD2	P8PRD1	P8PRD0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	*	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P8PRD4	ポート入力データ	表 8-31 を参照してください	"0 が読みだされます	
P8PRD3	ポート入力データ	表 8-31 を参照してください	"0 が読みだされます	
P8PRD2	ポート入力データ	表 8-31 を参照してください	"0 が読みだされます	
P8PRD1	ポート入力データ	表 8-31 を参照してください		
P8PRD0	ポート入力データ	表 8-31 を参照してください		

表 8-31 <P8PRDi>の読み出し値

<P8PRDi>の読み出し値	設定条件
	<P8CRi>
ポート端子のレベル	0
0	1

注) TMP89FS60B: i = 4 ~ 0
 TMP89FS62B、TMP89FS63B: i = 1 ~ 0

8.4.8. P9 ポート

P9ポートは1ビット単位で入出力の指定ができる5ビットの入出力ポートで、シリアルインターフェース、UARTと兼用です。

出力回路は、Pch出力制御機能付きですのでオープンドレイン出力、またはC-MOS出力のいずれかを選択することができます。

P9ポートはVDD端子側にプログラマブルプルアップ抵抗を内蔵しています。このプルアップ抵抗は、入力モードまたは出力モードでオープンドレイン出力として使用する場合に利用することができます。

なお、シリアルインターフェース、またはUARTとして使用する場合は、シリアルインターフェース選択機能の設定も合わせて必要です。詳しくは「8.5 シリアルインターフェース選択機能」を参照してください。

表 8-32 P9ポート

	-	-	-	P94	P93	P92	P91	P90
兼用機能	-	-	-	RXD2 TXD2	TXD2 RXD2	SCLK1	RXD1 TXD1 S11	TXD1 RXD1 SO1

8.4.8.1. 各製品のP9ポート

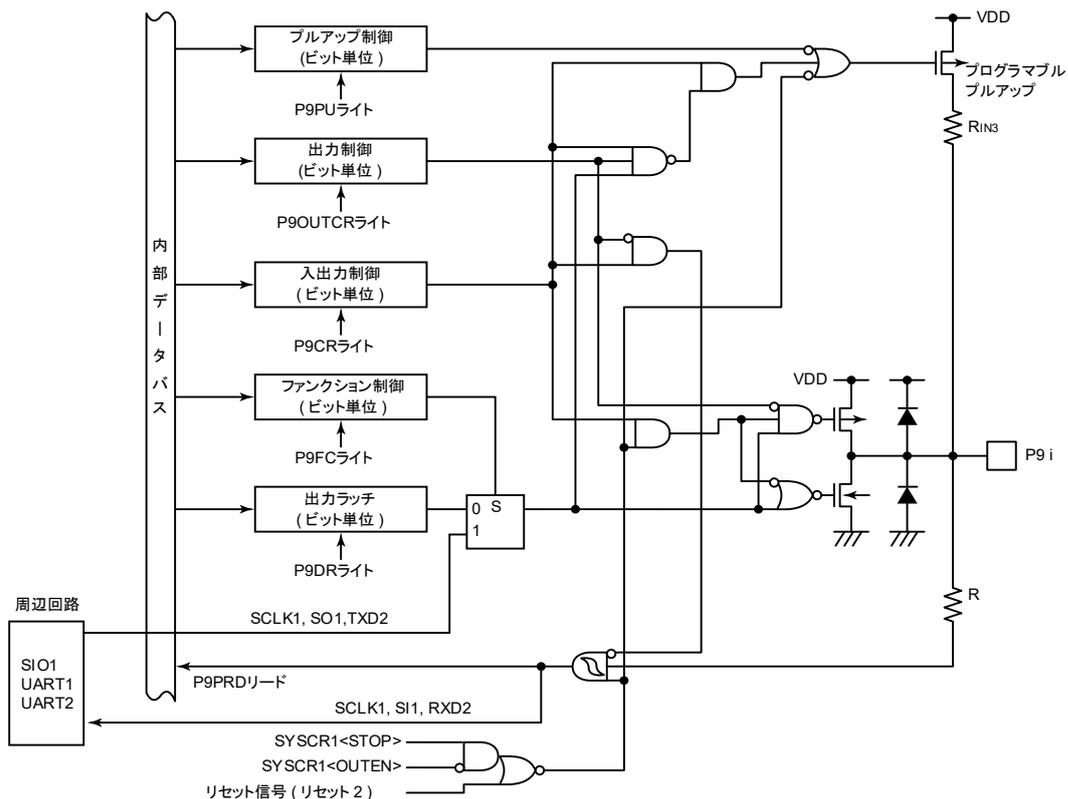
各製品で使用できるP9ポートを表 8-33 に示します。

P9ポートは全ての製品で使用することができます。

表 8-33 各製品のP9ポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
P94	A	A	A
P93	A	A	A
P92	A	A	A
P91	A	A	A
P90	A	A	A

注) A: 搭載



- 注 1) R = 100 [Ω] (typ.)
- 注 2) R_{IN3} = 50 [kΩ] (typ.)
- 注 3) i = 4 ~ 0

図 8-9 P9ポート

8.4.8.2. 制御

P9 ポートは、下記のレジスタで制御されます。

P9 ポート出力ラッチ

P9DR (0x0009)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	P94	P93	P92	P91	P90	
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P94	出力モードのときの出力レベル	0: 1:	表 8-34 を参照してください		
P93	出力モードのときの出力レベル	0: 1:	表 8-34 を参照してください		
P92	出力モードのときの出力レベル	0: 1:	表 8-34 を参照してください		
P91	出力モードのときの出力レベル	0: 1:	表 8-34 を参照してください		
P90	出力モードのときの出力レベル	0: 1:	表 8-34 を参照してください		

表 8-34 出力モードのときの端子の出力状態

ポート機能	端子の出力状態	設定条件		
		<P9i>	<P9OUTCRi>	<P9PUi>
ポート出力モード CMOS 出力	“Low”レベル	0	0	*
	“High”レベル	1		
ポート出力モード オープンドレイン出力	“Low”レベル	0	1	0
	“Hi-Z”	1		
	“Low”レベル	0		1
	“Pull-up”	1		

注 1) *: Don't care

注 2) i = 4 ~ 0

P9 ポート入出力制御

P9CR		7	6	5	4	3	2	1	0
(0x0F23)	Bit Symbol	-	-	-	P9CR4	P9CR3	P9CR2	P9CR1	P9CR0
	Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P9CR4	入力モード、出力モード 選択	0: 入力モード RXD2 (I) 1: 出力モード TXD2 (O)			
P9CR3	入力モード、出力モード 選択	0: 入力モード RXD2 (I) 1: 出力モード TXD2 (O)			
P9CR2	入力モード、出力モード 選択	0: 入力モード SCLK1 (I) 1: 出力モード SCLK1 (O)			
P9CR1	入力モード、出力モード 選択	0: 入力モード RXD1 (I) SI1 (I) 1: 出力モード TXD1 (O)			
P9CR0	入力モード、出力モード 選択	0: 入力モード RXD1 (I) 1: 出力モード TXD1 (O) SO1 (O)			

注) I: 兼用機能入力、O: 兼用機能出力

P9 ポートファンクション制御

P9FC	7	6	5	4	3	2	1	0
(0x0F3D) Bit Symbol	-	-	-	P9FC4	P9FC3	P9FC2	P9FC1	P9FC0
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P9FC4	ポートファンクション	0:	I/O ポート		
		1:	TXD2 (O)		
P9FC3	ポートファンクション	0:	I/O ポート		
		1:	TXD2 (O)		
P9FC2	ポートファンクション	0:	I/O ポート		
		1:	SCLK1 (O)		
P9FC1	ポートファンクション	0:	I/O ポート		
		1:	TXD1 (O)		
P9FC0	ポートファンクション	0:	I/O ポート		
		1:	TXD1 (O) SO1 (O)		

注) O: 兼用機能出力

P9 ポート出力制御

P9OUTCR

(0x0F4A)

	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	P9OUT4	P9OUT3	P9OUT2	P9OUT1	P9OUT0
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P9OUT4	ポート出力回路	0:	CMOS 出力		
		1:	オープンドレイン出力		
P9OUT3	ポート出力回路	0:	CMOS 出力		
		1:	オープンドレイン出力		
P9OUT2	ポート出力回路	0:	CMOS 出力		
		1:	オープンドレイン出力		
P9OUT1	ポート出力回路	0:	CMOS 出力		
		1:	オープンドレイン出力		
P9OUT0	ポート出力回路	0:	CMOS 出力		
		1:	オープンドレイン出力		

P9 ポート内蔵プルアップ制御

P9PU (0x0F30)		7	6	5	4	3	2	1	0
Bit Symbol		-	-	-	P9PU4	P9PU3	P9PU2	P9PU1	P9PU0
Read/Write		R	R	R	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
P9PU4	内蔵プルアップ接続選択	0: 1:	表 8-35 を参照してください		
P9PU3	内蔵プルアップ接続選択	0: 1:	表 8-35 を参照してください		
P9PU2	内蔵プルアップ接続選択	0: 1:	表 8-35 を参照してください		
P9PU1	内蔵プルアップ接続選択	0: 1:	表 8-35 を参照してください		
P9PU0	内蔵プルアップ接続選択	0: 1:	表 8-35 を参照してください		

表 8-35 ポート機能と内蔵プルアップ制御

ポート機能	接続/解除	<P9PUi>	<P9CRI>	<P9OUTi>	<P9i>
入力モード	接続しない	0	0	*	*
	接続する	1			
出力モード CMOS 出力	接続しない	*	1	0	0
出力モード オープンドレイン出力	接続しない	0		1	
	接続する	1			1

注 1) *: Don't care

注 2) i = 4 ~ 0

P9 ポート入力データ

P9PRD		7	6	5	4	3	2	1	0
(0x0016)	Bit Symbol	-	-	-	P9PRD4	P9PRD3	P9PRD2	P9PRD1	P9PRD0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	*	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
P9PRD4	ポート入力データ	表 8-36 を参照してください		
P9PRD3	ポート入力データ	表 8-36 を参照してください		
P9PRD2	ポート入力データ	表 8-36 を参照してください		
P9PRD1	ポート入力データ	表 8-36 を参照してください		
P9PRD0	ポート入力データ	表 8-36 を参照してください		

表 8-36 <P9PRDi>の読み出し値

<P9PRDi>の読み出し値	設定条件	
	<P9CRi>	<P9OUTCRi>
ポート端子のレベル	0	*
0	1	0
ポート端子のレベル		1

注 1) *: Don't care

注 2) i = 4 ~ 0

8.4.9. PB ポート

PBポートは1ビット単位で入出力の指定ができる8ビットの入出力ポートで、シリアルインターフェース入出力、UART入出力と兼用です。

出力回路は、Pch出力制御機能付きですのでオープンドレイン出力、またはC-MOS出力のいずれかを選択することができます。

なお、シリアルインターフェースまたはUARTとして使用する場合は、シリアルインターフェース選択機能の設定も合わせて必要です。詳しくは「8.5 シリアルインターフェース選択機能」を参照してください。

表 8-37 PBポート

	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
兼用機能	-	SCLK0	RXD0 TXD0 SI0	TXD0 RXD0 SO0	-	-	-	-

注) TMP89FS62B と TMP89FS63B には、シリアルインターフェース入出力(SCLK0 と SI0、SO0)は非搭載です。

8.4.9.1. 各製品のPBポート

各製品で使用できるPBポートを表 8-38 に示します。

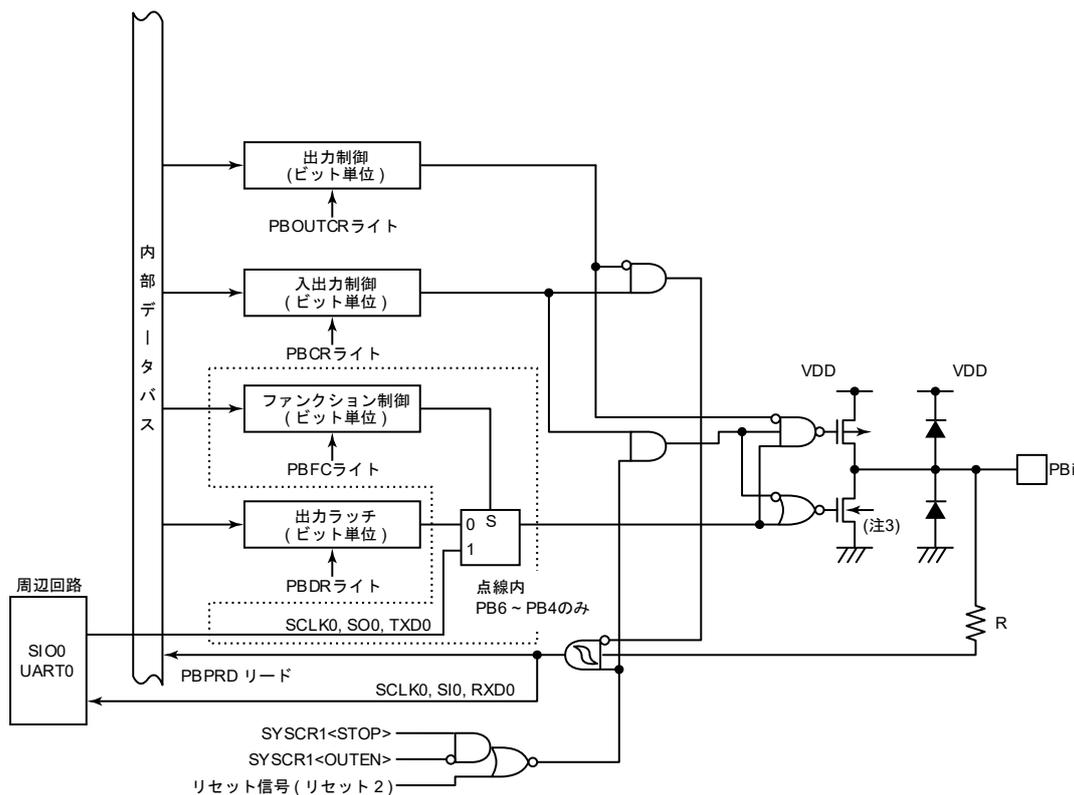
PBポートの非搭載のビットについて、各レジスタの対応するビットへの設定値が「8.4.9.2. 制御」に書かれています。セットアップルーチンで、これらの値を各レジスタの対応するビットに設定してください。

また、対応するビットが含まれるレジスタの値を変更するときには、すでに書き込まれている値を変更しないようにしてください。

表 8-38 各製品のPBポート

	TMP89FS60B	TMP89FS62B	TMP89FS63B
PB7	A	NA	NA
PB6	A	NA	NA
PB5	A	A	A
PB4	A	A	A
PB3	A	A	A
PB2	A	A	A
PB1	A	A	A
PB0	A	A	A

注) A: 搭載、NA: 非搭載



- 注 1) R = 100 [Ω] (typ.)
- 注 2) i = 7 ~ 0
- 注 3) 大電流ポート(LIOL)

図 8-10 PBポート

8.4.9.2. 制御

PB ポートは、下記のレジスタで制御されます。

PB ポート出力ラッチ

PBDR		7	6	5	4	3	2	1	0
(0x000B)	Bit Symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
PB7	出力モードのときの出力レベル	0: 1:	表 8-39 を参照してください	Reserved("0"を設定してください)	
PB6	出力モードのときの出力レベル	0: 1:	表 8-39 を参照してください	Reserved("0"を設定してください)	
PB5	出力モードのときの出力レベル	0: 1:	表 8-39 を参照してください		
PB4	出力モードのときの出力レベル	0: 1:	表 8-39 を参照してください		
PB3	出力モードのときの出力レベル	0: 1:	表 8-39 を参照してください		
PB2	出力モードのときの出力レベル	0: 1:	表 8-39 を参照してください		
PB1	出力モードのときの出力レベル	0: 1:	表 8-39 を参照してください		
PB0	出力モードのときの出力レベル	0: 1:	表 8-39 を参照してください		

表 8-39 出力モードのときの端子の出力状態

ポート機能	端子の出力状態	端子の出力状態	
		<PBi>	<PBOUTCri>
出力モード CMOS 出力	"Low"レベル	0	0
	"High"レベル	1	
出力モード オープンドレイン出力	"Low"レベル	0	1
	"Hi-Z"	1	

注 1) *: Don't care

注 2) TMP89FS60B: i = 7 ~ 0

TMP89FS62B、TMP89FS63B: i = 5 ~ 0

PBポート入出力制御

PBCR	7	6	5	4	3	2	1	0	
(0x0F25)	Bit Symbol	PBCR7	PBCR6	PBCR5	PBCR4	PBCR3	PBCR2	PBCR1	PBCR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

			TMP89FS60B	TMP89FS62B	TMP89FS63B
PBCR7	入力モード、出力モード 選択	0: 入力モード 1: 出力モード	入力モード 出力モード	Reserved("1"を設定してください)	
PBCR6	入力モード、出力モード 選択	0: 入力モード SCLK0 (I) 1: 出力モード SCLK0 (O)	入力モード SCLK0 (I) 出力モード SCLK0 (O)	Reserved("1"を設定してください)	
PBCR5	入力モード、出力モード 選択	0: 入力モード RXD0 (I) SI0 (I) 1: 出力モード TXD0 (O)	入力モード RXD0 (I) SI0 (I) 出力モード TXD0 (O)	入力モード RXD0 (I)	出力モード TXD0 (O)
PBCR4	入力モード、出力モード 選択	0: 入力モード RXD0 (I) 出力モード TXD0 (O) SO0 (O) 1: 出力モード	入力モード RXD0 (I) 出力モード TXD0 (O) SO0 (O)	入力モード RXD0 (I)	出力モード TXD0 (O)
PBCR3	入力モード、出力モード 選択	0: 入力モード 1: 出力モード	入力モード 出力モード		
PBCR2	入力モード、出力モード 選択	0: 入力モード 1: 出力モード	入力モード 出力モード		
PBCR1	入力モード、出力モード 選択	0: 入力モード 1: 出力モード	入力モード 出力モード		
PBCR0	入力モード、出力モード 選択	0: 入力モード 1: 出力モード	入力モード 出力モード		

注) I: 兼用機能入力、O: 兼用機能出力

PBポートファンクション制御

PBFC		7	6	5	4	3	2	1	0
(0x0F3F)	Bit Symbol	-	PBFC6	PBFC5	PBFC4	-	-	-	-
	Read/Write	R	R/W	R/W	R/W	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

		TMP89FS60B		TMP89FS62B		TMP89FS63B	
PBFC6	ポートファンクション	0:	I/Oポート	Reserved("0"を設定してください)			
		1:	SCLK0 (O) (注 2)				
PBFC5	ポートファンクション	0:	I/Oポート				
		1:	TXD0 (O)				
PBFC4	ポートファンクション	0:	I/Oポート				
		1:	TXD0 (O) SO0 (O) (注 2)				

注 1) O: 兼用機能出力

注 2) TMP89FS62B と TMP89FS63B では、SIO0 は「Reserved」です。

PB ポート出力制御

PBOUTCR

(0x0F4C)

	7	6	5	4	3	2	1	0
Bit Symbol	PBOUT7	PBOUT6	PBOUT5	PBOUT4	PBOUT3	PBOUT2	PBOUT1	PBOUT0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

		TMP89FS60B		TMP89FS62B		TMP89FS63B	
PBOUT7	ポート出力回路	0:	CMOS 出力	Reserved("0"を設定してください)			
		1:	オープンドレイン出力				
PBOUT6	ポート出力回路	0:	CMOS 出力	Reserved("0"を設定してください)			
		1:	オープンドレイン出力				
PBOUT5	ポート出力回路	0:	CMOS 出力				
		1:	オープンドレイン出力				
PBOUT4	ポート出力回路	0:	CMOS 出力				
		1:	オープンドレイン出力				
PBOUT3	ポート出力回路	0:	CMOS 出力				
		1:	オープンドレイン出力				
PBOUT2	ポート出力回路	0:	CMOS 出力				
		1:	オープンドレイン出力				
PBOUT1	ポート出力回路	0:	CMOS 出力				
		1:	オープンドレイン出力				
PBOUT0	ポート出力回路	0:	CMOS 出力				
		1:	オープンドレイン出力				

PB ポート入力データ

PBPRD		7	6	5	4	3	2	1	0
(0x0018)	Bit Symbol	PBPRD7	PBPRD6	PBPRD5	PBPRD4	PBPRD3	PBPRD2	PBPRD1	PBPRD0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	*	*	*	*	*	*	*	*

		TMP89FS60B	TMP89FS62B	TMP89FS63B
PBPRD7	ポート入力データ	表 8-40 を参照してください	"0 が読みだされます	
PBPRD6	ポート入力データ	表 8-40 を参照してください	"0 が読みだされます	
PBPRD5	ポート入力データ	表 8-40 を参照してください		
PBPRD4	ポート入力データ	表 8-40 を参照してください		
PBPRD3	ポート入力データ	表 8-40 を参照してください		
PBPRD2	ポート入力データ	表 8-40 を参照してください		
PBPRD1	ポート入力データ	表 8-40 を参照してください		
PBPRD0	ポート入力データ	表 8-40 を参照してください		

表 8-40 <PBPRDi>の読み出し値

<PBPRDi>の読み出し値	設定条件	
	<PBCRi>	<PBOUTCRi>
ポート端子のレベル	0	*
0	1	0
ポート端子のレベル		1

注 1) *: Don't care

注 2) TMP89FS60B: i = 7 ~ 0

TMP89FS62B、TMP89FS63B: i = 5 ~ 0

8.5. シリアルインターフェース選択機能

TMP89FS60B/62B/63B は、シリアルインターフェース選択機能により、シリアルインターフェース (SIO0/1、UART0/1/2、I²C0)の端子および割り込み要因の割り当て、16ビットタイマーカウンタ(TCA0)の入力端子を変更することができます。

この選択機能により SIO0、UART0、I²C0 の3機能の中から、2機能を同時に使用することができます。また、SIO1、UART1 の2機能の中から、1機能を使用することができます。

注) シリアルインターフェース、16ビットタイマーカウンタを使用するには、シリアルインターフェース選択機能のレジスターの他に、入出力ポートレジスターの設定が必要です。詳しくは「8.4. 入出力ポートレジスター」を参照してください。

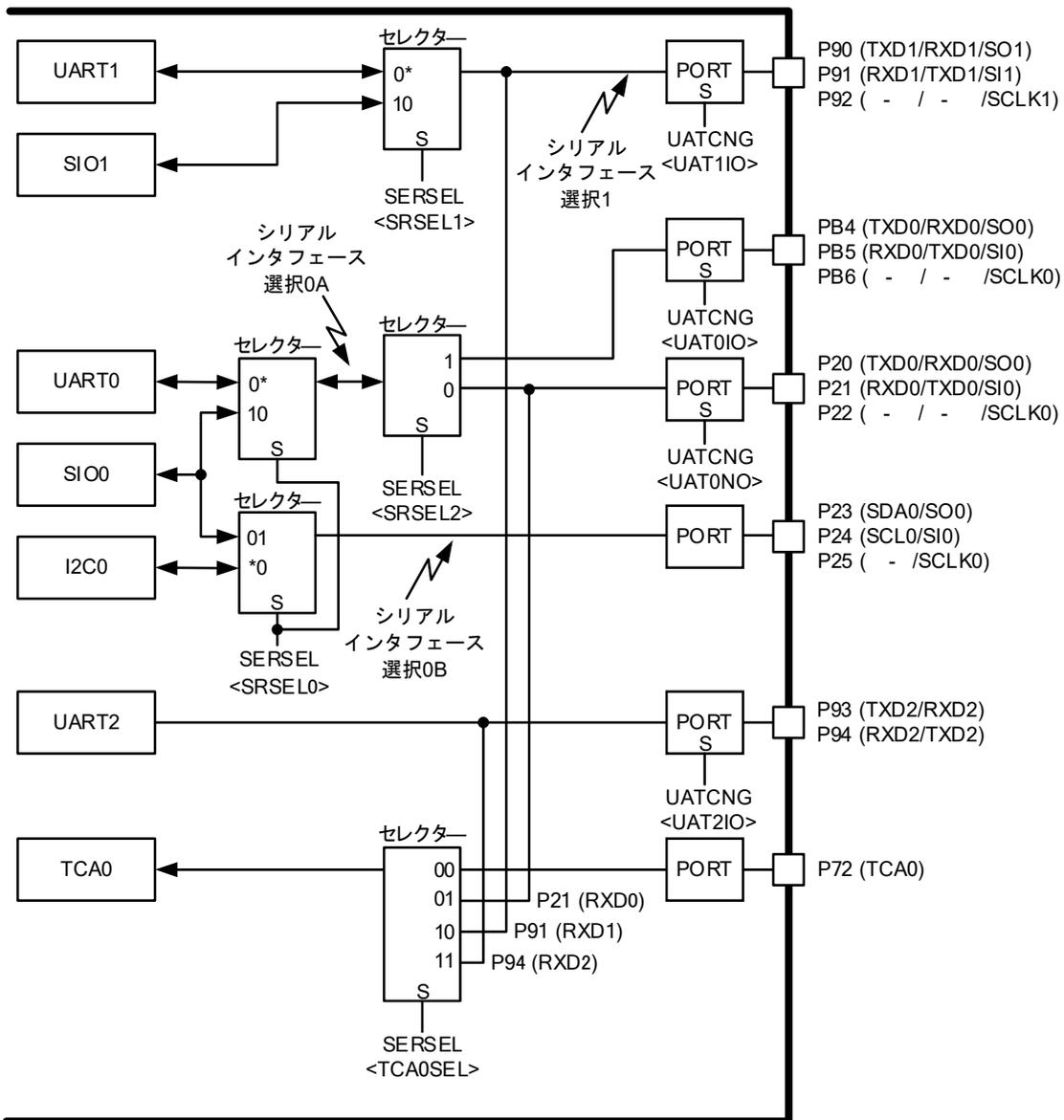


図 8-11 シリアルインターフェース選択機能

シリアルインターフェース選択制御レジスター

SERSEL 7 6 5 4 3 2 1 0

(0x0FCB)	Bit Symbol	TCA0SEL		-	SRSEL2	SRSEL1		SRSEL0	
	Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

		TMP89FS60B		TMP89FS62B		TMP89FS63B		
TCA0SEL	16 ビットタイマーカウンター TCA0 入力切り替え (注 3)	00:	P72 (TCA0)					
		01:	P21 (RXD0)と兼用					
		10:	P91 (RXD1)と兼用					
		11:	P94 (RXD2)と兼用					
SRSEL2	シリアルインターフェース選 択 0A 出力ポート選択	0:	P22、P21、P20		P22、P21、P20		P22、P21、P20	
		1:	PB6、PB5、PB4		PB5、PB4 (注 4)		PB6、PB5、PB4	
SRSEL1	シリアルインターフェース 選択 1 (注 4)	00:	UART1					
		01:	UART1					
		10:	SIO1					
		11:	Reserved					
SRSEL0	シリアルインターフェース 選択 0 (注 6)	00:	0A: UART0 0B: I2C0		0A: UART0 0B: (注 5)		0A: UART0 0B: I2C0	
		01:	0A: UART0 0B: SIO0		0A: UART0 0B: (注 5)		0A: UART0 0B: SIO0	
		10:	0A: SIO0 0B: I2C0		0A: SIO0 0B: (注 5)		0A: SIO0 0B: I2C0	
		11:	Reserved		Reserved		Reserved	

注 1) SERSEL を変更するときは、対象となるシリアルインターフェースやタイマーカウンターの動作が停止中に行ってください。

注 2) SERSEL を変更した後は、対応するシリアルインターフェースの割り込みラッチをクリアしてください。

注 3) TCA0 入力に接続される RXDx (x = 2 ~ 0) 端子のポート割り当ては UATCNG で変更できません。

注 4) シリアルインターフェース選択 1 に SIO0 を選択することができません。

注 5) シリアルインターフェース選択 0B に割り当てられるシリアルインターフェースを使用することができません。

注 6) 0A は図 8-11 のシリアルインターフェース選択 0A を、0B は図 8-11 のシリアルインターフェース選択 0B を示します。

注 7) SERSEL に対して読み出し命令を実行するとビット 5 は"0"が読みだされます。

UART 入出力変更制御レジスター

UATCNG		7	6	5	4	3	2	1	0
(0x0F57)	Bit Symbol	-	-	-	-	-	UAT2IO	UAT1IO	UAT0IO
	Read/Write	R	R	R	R	R	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

		RXD _x 端子		TXD _x 端子	
UAT2IO	UART2 入出力 ポート選択	0:	P94	P93	
		1:	P93	P94	
UAT1IO	UART1 入出力 ポート選択	0:	P91		P90
		1:	P90		P91
UAT0IO	UART0 入出力 ポート選択		SERSEL <SERSEL2> = 0	SERSEL <SERSEL2> = 1	SERSEL <SERSEL2> = 0
		0:	P21	PB5	P20
		1:	P20	PB4	P21
					PB5

注 1) TXD_x (x = 0 ~ 2)端子に割り当てたポートは、ファンクションレジスター(PmFC (m = B と 9、2))の対応するビットを、"1"に設定してください。

注 2) UATCNG に対して読み出し命令を実行するとビット 7 ~ 3 は"0"が読みだされます。

注 3) UATCNG の設定を変更する場合は、対象となる UART の動作が停止しているときに行ってください。

表 8-41 選択されるポートと割り込み

SERSEL <SRSEL0>	SERSEL <SRSEL2>	UATCNG <UAT0IO>	ポート									割り込み		
			UART0/SIO0						I2C0/SIO0					
			PB4	PB5	PB6	P20	P21	P22	P23	P24	P25	<IL7>	<IL6>	<IL15>
00	0	0	(注2)	(注2)	(注2)	TXD0	RXD0	(注2)	SDA0	SCL0	(注2)	INTTXD0	INTRXD0	INTSBIO
		1				RXD0	TXD0							
	1	0	TXD0	RXD0	(注2)	(注2)	(注2)	(注2)						
		1	RXD0	TXD0										
01	0	0	(注2)	(注2)	(注2)	TXD0	RXD0	(注2)	SO0	SIO	SCLK0	INTTXD0	INTRXD0	INTSIO0
		1				RXD0	TXD0							
	1	0	TXD0	RXD0	(注2)	(注2)	(注2)	(注2)						
		1	RXD0	TXD0										
10	0	*	(注2)	(注2)	(注2)	SO0	SI0	SCLK0	SDA0	SCL0	(注2)	-	INTSIO0	INTSBIO
	1	*	SO0	SI0	SCLK0	(注2)	(注2)	(注2)						
11	*	*	Reserved											

注 1) *: Don't care

注 2) ポート機能として使用することができます。ファンクションレジスター(PmFC (m = B と 2))の対応するビットを、"0"に設定してください。

表 8-42 選択されるポートと割り込み

SERSEL <SRSEL1>	UATCNG <UAT1IO>	ポート			割り込み	
		UART1/SIO1				
		P90	P91	P92	<IL23>	<IL22>
00	0	TXD1	RXD1	(注2)	INTTXD1	INTRXD1
	1	RXD1	TXD1			
01	0	TXD1	RXD1	(注2)	INTTXD1	INTRXD1
	1	RXD1	TXD1			
10	*	SO1	SI1	SCLK1	-	INTSIO1
11	*	Reserved				

注 1) *: Don't care

注 2) ポート機能として使用することができます。ファンクションレジスター(P9FC)の対応するビットを、"0"に設定してください。

9. スペシャルファンクションレジスタ

TMP89FS60B/62B/63B は、メモリーマップ I/O 方式で、周辺回路のデータ制御/転送は全てスペシャルファンクションレジスタ(SFR)を通して行われます。SFR1 は"0x0000"~"0x003F"に、SFR2 は"0x0F00"~"0x0FFF"に、SFR3 は"0x0E40"~"0x0EBF"にマッピングされています。

9.1. SFR1 ("0x0000" ~ "0x003F")

表 9-1 SFR1 ("0x0000" ~ "0x003F")

Address	Register Name	Address	Register Name
0x0000	P0DR	0x0020	SIO0SR
0x0001	P1DR	0x0021	SIO0BUF
0x0002	P2DR	0x0022	SBI0CR1
0x0003	Reserved	0x0023	SBI0CR2/SBI0SR2
0x0004	P4DR	0x0024	I2C0AR
0x0005	P5DR	0x0025	SBI0DBR
0x0006	Reserved	0x0026	T00REG
0x0007	P7DR	0x0027	T01REG
0x0008	P8DR	0x0028	T00PWM
0x0009	P9DR	0x0029	T01PWM
0x000A	Reserved	0x002A	T00MOD
0x000B	PBDR	0x002B	T01MOD
0x000C	Reserved	0x002C	T001CR
0x000D	P0PRD	0x002D	TA0DRAL
0x000E	P1PRD	0x002E	TA0DRAH
0x000F	P2PRD	0x002F	TA0DRBL
0x0010	Reserved	0x0030	TA0DRBH
0x0011	P4PRD	0x0031	TA0MOD
0x0012	P5PRD	0x0032	TA0CR
0x0013	Reserved	0x0033	TA0SR
0x0014	P7PRD	0x0034	ADCCR1
0x0015	P8PRD	0x0035	ADCCR2
0x0016	P9PRD	0x0036	ADCDRL
0x0017	Reserved	0x0037	ADCDRH
0x0018	PBPRD	0x0038	DVOCR
0x0019	Reserved	0x0039	TBTCR
0x001A	UART0CR1	0x003A	EIRL
0x001B	UART0CR2	0x003B	EIRH
0x001C	UART0DR	0x003C	EIRE
0x001D	UART0SR	0x003D	EIRD
0x001E	TD0BUF/RD0BUF	0x003E	Reserved
0x001F	SIO0CR	0x003F	PSW

注) Reserved の SFR アドレスにはアクセスしないでください。

9.2. SFR2 (“0x0F00” ~ “0x0FFF”)

表 9-2 SFR2 (“0x0F00” ~ “0x0F7F”)

Address	Register Name						
0x0F00	Reserved	0x0F20	Reserved	0x0F40	Reserved	0x0F60	Reserved
0x0F01	Reserved	0x0F21	P7CR	0x0F41	Reserved	0x0F61	Reserved
0x0F02	Reserved	0x0F22	P8CR	0x0F42	Reserved	0x0F62	Reserved
0x0F03	Reserved	0x0F23	P9CR	0x0F43	P2OUTCR	0x0F63	Reserved
0x0F04	Reserved	0x0F24	Reserved	0x0F44	Reserved	0x0F64	Reserved
0x0F05	Reserved	0x0F25	PBCR	0x0F45	Reserved	0x0F65	Reserved
0x0F06	Reserved	0x0F26	Reserved	0x0F46	Reserved	0x0F66	Reserved
0x0F07	Reserved	0x0F27	P0PU	0x0F47	Reserved	0x0F67	Reserved
0x0F08	Reserved	0x0F28	P1PU	0x0F48	Reserved	0x0F68	Reserved
0x0F09	Reserved	0x0F29	P2PU	0x0F49	Reserved	0x0F69	Reserved
0x0F0A	Reserved	0x0F2A	Reserved	0x0F4A	P9OUTCR	0x0F6A	Reserved
0x0F0B	Reserved	0x0F2B	P4PU	0x0F4B	Reserved	0x0F6B	Reserved
0x0F0C	Reserved	0x0F2C	Reserved	0x0F4C	PBOUTCR	0x0F6C	Reserved
0x0F0D	Reserved	0x0F2D	Reserved	0x0F4D	Reserved	0x0F6D	Reserved
0x0F0E	Reserved	0x0F2E	Reserved	0x0F4E	Reserved	0x0F6E	Reserved
0x0F0F	Reserved	0x0F2F	Reserved	0x0F4F	Reserved	0x0F6F	Reserved
0x0F10	Reserved	0x0F30	P9PU	0x0F50	Reserved	0x0F70	SIO1CR
0x0F11	Reserved	0x0F31	Reserved	0x0F51	Reserved	0x0F71	SIO1SR
0x0F12	Reserved	0x0F32	Reserved	0x0F52	Reserved	0x0F72	SIO1BUF
0x0F13	Reserved	0x0F33	Reserved	0x0F53	Reserved	0x0F73	Reserved
0x0F14	Reserved	0x0F34	P0FC	0x0F54	UART1CR1	0x0F74	POFFCR0
0x0F15	Reserved	0x0F35	Reserved	0x0F55	UART1CR2	0x0F75	POFFCR1
0x0F16	Reserved	0x0F36	P2FC	0x0F56	UART1DR	0x0F76	POFFCR2
0x0F17	Reserved	0x0F37	Reserved	0x0F57	UART1SR	0x0F77	POFFCR3
0x0F18	Reserved	0x0F38	P4FC	0x0F58	TD1BUF/RD1BUF	0x0F78	Reserved
0x0F19	Reserved	0x0F39	P5FC	0x0F59	Reserved	0x0F79	Reserved
0x0F1A	P0CR	0x0F3A	Reserved	0x0F5A	UART2CR1	0x0F7A	Reserved
0x0F1B	P1CR	0x0F3B	P7FC	0x0F5B	UART2CR2	0x0F7B	Reserved
0x0F1C	P2CR	0x0F3C	P8FC	0x0F5C	UART2DR	0x0F7C	Reserved
0x0F1D	Reserved	0x0F3D	P9FC	0x0F5D	UART2SR	0x0F7D	Reserved
0x0F1E	P4CR	0x0F3E	Reserved	0x0F5E	TD2BUF/RD2BUF	0x0F7E	Reserved
0x0F1F	P5CR	0x0F3F	PBFC	0x0F5F	Reserved	0x0F7F	Reserved

注) Reserved の SFR アドレスにはアクセスしないでください。

表 9-3 SFR2 (“0x0F80” ~ “0x0FFF”)

Address	Register Name						
0x0F80	Reserved	0x0FA0	Reserved	0x0FC0	Reserved	0x0FE0	ILL
0x0F81	Reserved	0x0FA1	Reserved	0x0FC1	Reserved	0x0FE1	ILH
0x0F82	Reserved	0x0FA2	Reserved	0x0FC2	Reserved	0x0FE2	ILE
0x0F83	Reserved	0x0FA3	Reserved	0x0FC3	Reserved	0x0FE3	ILD
0x0F84	Reserved	0x0FA4	Reserved	0x0FC4	KWUCR0	0x0FE4	Reserved
0x0F85	Reserved	0x0FA5	Reserved	0x0FC5	KWUCR1	0x0FE5	Reserved
0x0F86	Reserved	0x0FA6	Reserved	0x0FC6	VDCR1	0x0FE6	Reserved
0x0F87	Reserved	0x0FA7	Reserved	0x0FC7	VDCR2	0x0FE7	Reserved
0x0F88	T02REG	0x0FA8	TA1DRAL	0x0FC8	RTCCR	0x0FE8	Reserved
0x0F89	T03REG	0x0FA9	TA1DRAH	0x0FC9	Reserved	0x0FE9	Reserved
0x0F8A	T02PWM	0x0FAA	TA1DRBL	0x0FCA	Reserved	0x0FEA	Reserved
0x0F8B	T03PWM	0x0FAB	TA1DRBH	0x0FCB	SERSEL	0x0FEB	Reserved
0x0F8C	T02MOD	0x0FAC	TA1MOD	0x0FCC	IRSTSR	0x0FEC	Reserved
0x0F8D	T03MOD	0x0FAD	TA1CR	0x0FCD	WUCCR	0x0FED	Reserved
0x0F8E	T023CR	0x0FAE	TA1SR	0x0FCE	WUCDR	0x0FEE	Reserved
0x0F8F	Reserved	0x0FAF	Reserved	0x0FCF	CGCR	0x0FEF	Reserved
0x0F90	Reserved	0x0FB0	Reserved	0x0FD0	FLSCR1	0x0FF0	ILPRS1
0x0F91	Reserved	0x0FB1	Reserved	0x0FD1	FLSCR2/FLSCRM	0x0FF1	ILPRS2
0x0F92	Reserved	0x0FB2	Reserved	0x0FD2	FLSSTB	0x0FF2	ILPRS3
0x0F93	Reserved	0x0FB3	Reserved	0x0FD3	Reserved	0x0FF3	ILPRS4
0x0F94	Reserved	0x0FB4	Reserved	0x0FD4	WDCTR	0x0FF4	ILPRS5
0x0F95	Reserved	0x0FB5	Reserved	0x0FD5	WDCDR	0x0FF5	ILPRS6
0x0F96	Reserved	0x0FB6	Reserved	0x0FD6	WDCNT	0x0FF6	Reserved
0x0F97	Reserved	0x0FB7	Reserved	0x0FD7	WDST	0x0FF7	Reserved
0x0F98	Reserved	0x0FB8	Reserved	0x0FD8	EINTCR1	0x0FF8	Reserved
0x0F99	Reserved	0x0FB9	Reserved	0x0FD9	EINTCR2	0x0FF9	Reserved
0x0F9A	Reserved	0x0FBA	Reserved	0x0FDA	EINTCR3	0x0FFA	Reserved
0x0F9B	Reserved	0x0FBB	Reserved	0x0FDB	EINTCR4	0x0FFB	Reserved
0x0F9C	Reserved	0x0FBC	Reserved	0x0FDC	SYSCR1	0x0FFC	Reserved
0x0F9D	Reserved	0x0FBD	Reserved	0x0FDD	SYSCR2	0x0FFD	Reserved
0x0F9E	Reserved	0x0FBE	Reserved	0x0FDE	SYSCR3	0x0FFE	Reserved
0x0F9F	Reserved	0x0FBF	Reserved	0x0FDF	SYSCR4/SYSSR4	0x0FFF	Reserved

注) Reserved の SFR アドレスにはアクセスしないでください。

9.3. SFR3 (“0x0E40” ~ “0x0EFF”)

表 9-4 SFR3 (“0x0E40” ~ “0x0EBF”)

Address	Register Name						
0x0E40	Reserved	0x0E60	Reserved	0x0E80	Reserved	0x0EA0	Reserved
0x0E41	Reserved	0x0E61	Reserved	0x0E81	Reserved	0x0EA1	Reserved
0x0E42	Reserved	0x0E62	Reserved	0x0E82	Reserved	0x0EA2	Reserved
0x0E43	Reserved	0x0E63	Reserved	0x0E83	Reserved	0x0EA3	Reserved
0x0E44	Reserved	0x0E64	Reserved	0x0E84	Reserved	0x0EA4	Reserved
0x0E45	Reserved	0x0E65	Reserved	0x0E85	Reserved	0x0EA5	Reserved
0x0E46	Reserved	0x0E66	Reserved	0x0E86	Reserved	0x0EA6	Reserved
0x0E47	Reserved	0x0E67	Reserved	0x0E87	Reserved	0x0EA7	Reserved
0x0E48	Reserved	0x0E68	Reserved	0x0E88	Reserved	0x0EA8	Reserved
0x0E49	Reserved	0x0E69	Reserved	0x0E89	Reserved	0x0EA9	Reserved
0x0E4A	Reserved	0x0E6A	Reserved	0x0E8A	Reserved	0x0EAA	Reserved
0x0E4B	Reserved	0x0E6B	Reserved	0x0E8B	Reserved	0x0EAB	Reserved
0x0E4C	Reserved	0x0E6C	Reserved	0x0E8C	Reserved	0x0EAC	Reserved
0x0E4D	Reserved	0x0E6D	Reserved	0x0E8D	Reserved	0x0EAD	Reserved
0x0E4E	Reserved	0x0E6E	Reserved	0x0E8E	Reserved	0x0EAE	Reserved
0x0E4F	Reserved	0x0E6F	Reserved	0x0E8F	Reserved	0x0EAF	Reserved
0x0E50	Reserved	0x0E70	Reserved	0x0E90	Reserved	0x0EB0	Reserved
0x0E51	Reserved	0x0E71	Reserved	0x0E91	Reserved	0x0EB1	Reserved
0x0E52	Reserved	0x0E72	Reserved	0x0E92	Reserved	0x0EB2	Reserved
0x0E53	Reserved	0x0E73	Reserved	0x0E93	Reserved	0x0EB3	Reserved
0x0E54	Reserved	0x0E74	Reserved	0x0E94	Reserved	0x0EB4	Reserved
0x0E55	Reserved	0x0E75	Reserved	0x0E95	Reserved	0x0EB5	Reserved
0x0E56	Reserved	0x0E76	Reserved	0x0E96	Reserved	0x0EB6	Reserved
0x0E57	UATCNG	0x0E77	Reserved	0x0E97	Reserved	0x0EB7	Reserved
0x0E58	Reserved	0x0E78	Reserved	0x0E98	Reserved	0x0EB8	Reserved
0x0E59	Reserved	0x0E79	Reserved	0x0E99	Reserved	0x0EB9	Reserved
0x0E5A	Reserved	0x0E7A	Reserved	0x0E9A	Reserved	0x0EBA	Reserved
0x0E5B	Reserved	0x0E7B	Reserved	0x0E9B	Reserved	0x0EBB	Reserved
0x0E5C	Reserved	0x0E7C	Reserved	0x0E9C	Reserved	0x0EBC	Reserved
0x0E5D	Reserved	0x0E7D	Reserved	0x0E9D	Reserved	0x0EBD	Reserved
0x0E5E	Reserved	0x0E7E	Reserved	0x0E9E	Reserved	0x0EBE	Reserved
0x0E5F	Reserved	0x0E7F	Reserved	0x0E9F	Reserved	0x0EBF	Reserved

注) Reserved の SFR アドレスにはアクセスしないでください。

表 9-5 SFR3 (“0x0EC0” ~ “0x0EFF”)

Address	Register Name						
0x0EC0	Reserved	0x0ED0	Reserved	0x0EE0	Reserved	0x0EF0	Reserved
0x0EC1	Reserved	0x0ED1	Reserved	0x0EE1	Reserved	0x0EF1	Reserved
0x0EC2	Reserved	0x0ED2	Reserved	0x0EE2	Reserved	0x0EF2	Reserved
0x0EC3	Reserved	0x0ED3	Reserved	0x0EE3	Reserved	0x0EF3	Reserved
0x0EC4	Reserved	0x0ED4	Reserved	0x0EE4	Reserved	0x0EF4	Reserved
0x0EC5	Reserved	0x0ED5	Reserved	0x0EE5	Reserved	0x0EF5	Reserved
0x0EC6	Reserved	0x0ED6	Reserved	0x0EE6	Reserved	0x0EF6	Reserved
0x0EC7	Reserved	0x0ED7	Reserved	0x0EE7	Reserved	0x0EF7	Reserved
0x0EC8	Reserved	0x0ED8	Reserved	0x0EE8	Reserved	0x0EF8	Reserved
0x0EC9	Reserved	0x0ED9	Reserved	0x0EE9	Reserved	0x0EF9	Reserved
0x0ECA	Reserved	0x0EDA	Reserved	0x0EEA	Reserved	0x0EFA	Reserved
0x0ECB	Reserved	0x0EDB	Reserved	0x0EEB	Reserved	0x0EFB	Reserved
0x0ECC	Reserved	0x0EDC	Reserved	0x0EEC	Reserved	0x0EFC	Reserved
0x0ECD	Reserved	0x0EDD	Reserved	0x0EED	Reserved	0x0EFD	Reserved
0x0ECE	Reserved	0x0EDE	Reserved	0x0EEE	Reserved	0x0EFE	Reserved
0x0ECF	Reserved	0x0EDF	Reserved	0x0EEF	Reserved	0x0EFF	Reserved

注) Reserved の SFR アドレスにはアクセスしないでください。

10. 周辺回路の低消費電力制御

TMP89FS60B/62B/63Bは、特定の周辺回路を使用しないとき、低消費電力レジスタ(POFFCRn)によって不要な電力を抑える機能を持っています。各周辺回路は、低消費電力レジスタによって、ビット単位で Enable/Disable を制御することができます。(n = 3 ~ 0)

低消費電力レジスタ(POFFCRn)の対応するビットを"0"に設定すると、各周辺回路ごとに基本クロックが停止(Disable)され不要な電力を抑えることができます(Disableされた周辺回路は使用できなくなります)。低消費電力レジスタ(POFFCRn)の対応するビットを"1"に設定すると、各周辺回路へ基本クロックが供給(Enable)され機能が使用可能になります。

リセット後、低消費電力レジスタ(POFFCRn)は"0"に初期化されますので、各周辺回路は使用はできない状態となっています。よって初めてそれぞれの周辺回路を使用するときは、プログラムの初期設定(各周辺回路の制御レジスタを操作する前)で必ず低消費電力レジスタ(POFFCRn)の対応するビットを"1"に設定してください。

なお、周辺回路が動作中のとき、それに対応する低消費電力レジスタ(POFFCRn)のビットを"0"に変更しないでください。変更した場合、周辺回路が予期しない動作をする場合があります。

10.1. 制御

低消費電力制御は、低消費電力レジスタ(POFFCR_n)によって制御されます。(n = 0、1、2、3)

低消費電力レジスタ-0 制御

POFFCR0 (0x0F74)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	TC023EN	TC001EN	-	-	TCA1EN	TCA0EN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

TC023EN	TC02、03 制御	0:	Disable
		1:	Enable
TC001EN	TC00、01 制御	0:	Disable
		1:	Enable
TCA1EN	TCA1 制御	0:	Disable
		1:	Enable
TCA0EN	TCA0 制御	0:	Disable
		1:	Enable

注) POFFCR0 のビット 7、6 とビット 3、2 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

低消費電力レジスタ-1 制御

POFFCR1 (0x0F75)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	SBI0EN	-	UART2EN	UART1EN	UART0EN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

SBI0EN (注 2)	SBI0 制御	0:	Disable
		1:	Enable
UART2EN	UART2 制御	0:	Disable
		1:	Enable
UART1EN	UART1 制御	0:	Disable
		1:	Enable
UART0EN	UART0 制御	0:	Disable
		1:	Enable

注 1) POFFCR1 のビット 7~5 とビット 3 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

注 2) <SBI0EN>は TMP89FS62B では「Reserved」になります。

低消費電力レジスタ-2 制御

POFFCR2 (0x0F76)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	RTCEN	-	-	-	-	SIO1EN	SIO0EN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0	0

RTCEN	RTC 制御	0:	Disable
		1:	Enable
SIO1EN	SIO1 制御	0:	Disable
		1:	Enable
SIO0EN	SIO0 制御	0:	Disable
		1:	Enable

注) POFFCR2 のビット 7、6 とビット 4~2 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

低消費電力レジスタ-3 制御

POFFCR3 (0x0F77)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	INT5EN	INT4EN	INT3EN	INT2EN	INT1EN	INT0EN	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0	

INT5EN	INT5 制御	0:	Disable
		1:	Enable
INT4EN	INT4 制御	0:	Disable
		1:	Enable
INT3EN	INT3 制御	0:	Disable
		1:	Enable
INT2EN	INT2 制御	0:	Disable
		1:	Enable
INT1EN (注 2)	INT1 制御	0:	Disable
		1:	Enable
INT0EN (注 2)	INT0 制御	0:	Disable
		1:	Enable

注 1) POFFCR3 のビット 7、6 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

注 2) <INT0EN>と<INT1EN>は TMP89FS62B と TMP89FS63B では「Reserved」になります。

11. デイバイダー出力 (DVO)

デューティー約 50 [%]のパルスを出力する機能で、圧電ブザーなどの駆動に利用できます。

11.1. 構成

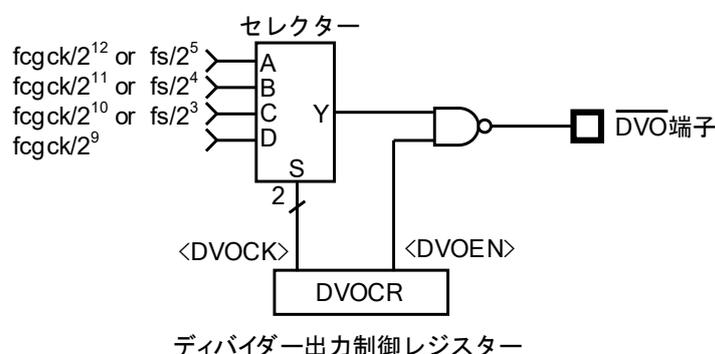


図 11-1 デイバイダー出力

11.2. 制御

デイバイダー出力は、デイバイダー出力制御レジスター(DVOCR)で制御されます。

デイバイダー出力制御レジスター

DVOCR (0x0038)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	DVOEN	DVOCK	
Read/Write	R	R	R	R	R	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0

DVOEN	デイバイダー出力の許可/禁止	0:	デイバイダー出力禁止			
		1:	デイバイダー出力許可			
DVOCK	デイバイダー出力の周波数選択 単位: [Hz]		NORMAL1/2、IDLE1/2 モード [*]			SLOW1/2、 SLEEP1 モード [*]
				SYSCR1<DV9CK> = 0	SYSCR1<DV9CK> = 1	
		00:	fcgck / 2 ¹²	fs / 2 ⁵	fs / 2 ⁵	
		01:	fcgck / 2 ¹¹	fs / 2 ⁴	fs / 2 ⁴	
10:	fcgck / 2 ¹⁰	fs / 2 ³	fs / 2 ³			
11:	fcgck / 2 ⁹	Reserved	Reserved			

注 1) fcgck:ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) DVOCR<DVOEN>は、STOP モード、IDLE0、SLEEP0 モードに遷移すると"0"にクリアされます。このとき、DVOCR<DVOCK>は値を保持します。

注 3) NORMAL1/2、IDLE1/2 モードで SYSCR1<DV9CK>が"1"のとき、fs と fcgck で同期を取るため DVO の周波数に若干の揺らぎがでます。

注 4) DVOCR のビット 7 ~ 3 は読みだすと"0"が読みだされます。

11.3. 機能

ディバイダー出力の周波数を DVOCR<DVOCK>で選択します。

DVOCR<DVOEN>を"1"にセットすると、DVOCR<DVOCK>で選択した周波数の矩形波が $\overline{\text{DVO}}$ 端子から出力されます。

DVOCR<DVOEN>を"0"にクリアすると、 $\overline{\text{DVO}}$ 端子から"High"レベルを出力します。

STOP モード、IDLE0、SLEEP0 モードに遷移すると、DVOCR<DVOEN>は"0"にクリアされ、 $\overline{\text{DVO}}$ 端子は"High"レベルを出力します。

ディバイダー出力のソースクロックは、DVOCR<DVOEN>の値に関係なく動作しています。

このため、DVOCR<DVOEN>を"1"にセットした後、最初のディバイダー出力の周波数は、DVOCR<DVOCK>で設定した周波数となりません。

また、ソフトウェアで DVOCR<DVOEN>を"0"にクリアしたとき、あるいは STOP モード、IDLE0、SLEEP0 モードに入り DVOCR<DVOEN>を"0"にクリアしたときのディバイダー出力の周波数は、DVOCR<DVOCK>で設定した周波数となりません。

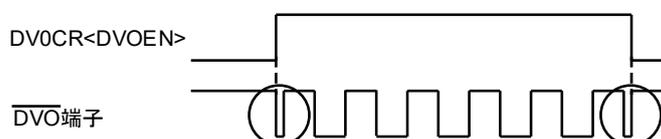


図 11-2 ディバイダー出力のタイミング

なお、NORMAL モードから SLOW モード、SLOW モードから NORMAL モードに動作モードを切り替えるとき、ギアクロック (fcgck) と低周波クロック (fs) の同期合わせが行われるため、ディバイダー出力の周波数が期待した値になりません。

プログラム例: 2.441 [kHz] のパルスを $\overline{\text{DVO}}$ 端子から出力 (fcgck = 10.0 [MHz])

LD (DVOCR), 0x04 ; <DVOCK> ← 00, <DVOEN> ← 1

表 11-1 ディバイダー出力の周波数 (例: fcgck = 10.0 [MHz]、fs = 32.768 [kHz]時)

<DVOCK>	ディバイダー出力の周波数		
	NORMAL1/2、IDLE1/2 モード		SLOW1/2 または SLEEP1 モード
	SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1	
00	2.441 [kHz]	1.024 [kHz]	1.024 [kHz]
01	4.883 [kHz]	2.048 [kHz]	2.048 [kHz]
10	9.766 [kHz]	4.096 [kHz]	4.096 [kHz]
11	19.531 [kHz]	Reserved	Reserved

12. タイムベースタイマー (TBT)

タイムベースタイマーは、キースキャンやダイナミック表示処理などの基準時間生成用タイマーで、一定周期ごとにタイムベースタイマー割り込み要求(INTTBT)が発生することが可能です。

12.1. 構成

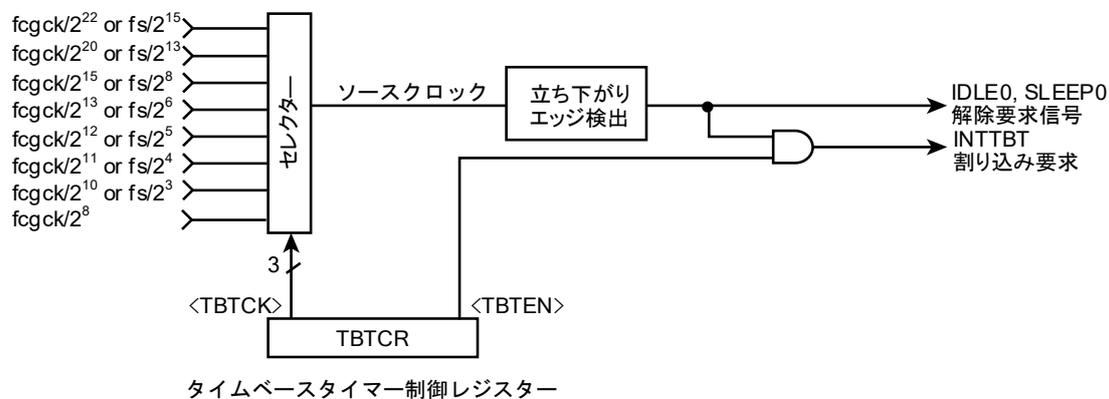


図 12-1 タイムベースタイマーの構成

12.2. 制御

タイムベースタイマーは、タイムベースタイマー制御レジスター(TBTCR)で制御されます。

タイムベースタイマー制御レジスター

TBTCR		7	6	5	4	3	2	1	0
(0x0039)	Bit Symbol	-	-	-	-	TBTEN	TBTCK		
	Read/Write	R	R	R	R	R/W	R/W		
	リセット後	0	0	0	0	0	0	0	0

TBTEN	タイムベースタイマー 割り込み要求の許可/禁止	0:	割り込み要求発生禁止		
		1:	割り込み要求発生許可		
TBTCK	タイムベースタイマー 割り込み周波数の選択 単位: [Hz]		NORMAL1/2、IDLE1/2 モード		SLOW1/2、 SLEEP1 モード
			SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1	
		000:	$fcgck / 2^{22}$	$fs / 2^{15}$	$fs / 2^{15}$
		001:	$fcgck / 2^{20}$	$fs / 2^{13}$	$fs / 2^{13}$
		010:	$fcgck / 2^{15}$	$fs / 2^8$	Reserved
		011:	$fcgck / 2^{13}$	$fs / 2^6$	Reserved
		100:	$fcgck / 2^{12}$	$fs / 2^5$	Reserved
		101:	$fcgck / 2^{11}$	$fs / 2^4$	Reserved
110:	$fcgck / 2^{10}$	$fs / 2^3$	Reserved		
111:	$fcgck / 2^8$	Reserved	Reserved		

注 1) fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) TBTCR<TBTEN>は STOP モードに遷移すると"0"にクリアされます。そのとき、TBTCR<TBTCK>は値を保持します。

注 3) TBTCR<TBTCK>の設定は TBTCR<TBTEN>が"0"のときに行ってください。

注 4) NORMAL1/2、IDLE1/2 モードで SYSCR1<DV9CK>が"1"のとき、fs と fcgck で同期を取るためタイムベースタイマー割り込みの周期に若干の揺らぎがでます。

注 5) TBTCR のビット 7~4 は読みだすと"0"が読みだされます。

12.3. 機能

タイムベースタイマーのソースクロック周波数をTBTCR<TBTC>で選択します。このとき、TBTCR<TBTEN>が"0"の状態で行ってください。TBTCR<TBTEN>が"1"の状態ではTBTCR<TBTC>を変更すると、期待しないタイミングで割り込み要求が発生します。

TBTCR<TBTEN>を"1"にセットすると、ソースクロックの立ち下がりから割り込み要求が発生します。TBTCR<TBTEN>を"0"にクリアすると割り込み要求が発生されません。

STOPモードに遷移すると、TBTCR<TBTEN>は"0"にクリアされます。

タイムベースタイマーのソースクロックは、TBTCR<TBTEN>の値に関係なく動作しています。

タイムベースタイマー割り込みは、タイムベースタイマー割り込み要求を許可した後、最初のソースクロック立ち下がりから発生します。このため、TBTCR<TBTEN>を"1"にセットしてから、最初の割り込み要求が発生するまでの周期は、TBTCR<TBTC>で設定した周波数の周期よりも短くなります。

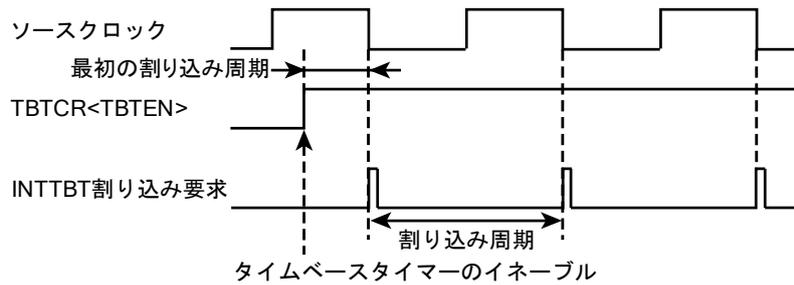


図 12-2 タイムベースタイマー割り込み

なお、NORMALモードからSLOWモード、SLOWモードからNORMALモードに動作モードを切り替えるとき、ギアクロック(fcgck)と低周波クロック(fs)の同期合わせが行われるため期待しないタイミングで割り込み要求が発生します。TBTCR<TBTEN>を"0"にクリアした状態で動作モードを切り替えることを推奨します。

表 12-1 タイムベースタイマー割り込み周波数 (例: fcgck = 10.0 [MHz]、fs = 32.768 [kHz]時)

<TBTC>	タイムベースタイマー割り込み周波数		
	NORMAL1/2、IDLE1/2 モード		SLOW1/2、SLEEP1 モード
	SYSCR1<DV9CK> = 0	SYSCR1<DV9CK> = 1	
000	2.38 [Hz]	1 [Hz]	1 [Hz]
001	9.54 [Hz]	4 [Hz]	4 [Hz]
010	305.18 [Hz]	128 [Hz]	Reserved
011	1220.70 [Hz]	512 [Hz]	Reserved
100	2441.41 [Hz]	1024 [Hz]	Reserved
101	4882.81 [Hz]	2048 [Hz]	Reserved
110	9765.63 [Hz]	4096 [Hz]	Reserved
111	39062.5 [Hz]	Reserved	Reserved

プログラム例: タイムベースタイマー割り込み周波数を $fcgck / 2^{15}$ [Hz]にセットし、割り込み要求発生を許可する

```
DI ; <IMF> ← 0
SET (EIRL).5 ; 割り込み許可レジスター設定
EI ; <IMF> ← 1
LD (TBTCR), 0x02 ; 割り込み周波数設定
LD (TBTCR), 0x0A ; 割り込み要求発生許可
```

13. 16 ビットタイマーカウンタ (TCA)

TMP89FS60B/62B/63B は、高性能 16 ビットタイマーカウンタ(TCA)を内蔵しています。
この章は TCA0 の説明となります。TCA1 については
表 13-1、表 13-2 に従って SFR アドレス、端子名を読み替えてください。

表 13-1 SFRアドレス割り付け

	TAxDRAL (アドレス)	TAxDRAH (アドレス)	TAxDRBL (アドレス)	TAxDRBH (アドレス)	TAxMOD (アドレス)	TAxCR (アドレス)	TAxSR (アドレス)	低消費電力 レジスター
TCA0	TA0DRAL (0x002D)	TA0DRAH (0x002E)	TA0DRBL (0x002F)	TA0DRBH (0x0030)	TA0MOD (0x0031)	TA0CR (0x0032)	TA0SR (0x0033)	POFFCR0 <TCA0EN>
TCA1	TA1DRAL (0x0FA8)	TA1DRAH (0x0FA9)	TA1DRBL (0x0FAA)	TA1DRBH (0x0FAB)	TA1MOD (0x0FAC)	TA1CR (0x0FAD)	TA1SR (0x0FAE)	POFFCR0 <TCA1EN>

表 13-2 端子名

	タイマー入力端子	PPG 出力端子
TCA0	TCA0 端子	$\overline{\text{PPGA0}}$ 端子
TCA1	TCA1 端子	$\overline{\text{PPGA1}}$ 端子

13.1. 各製品の 16 ビットタイマーカウンタ

各製品で使用できる 16 ビットタイマーカウンタ(TCA)を表 13-3 に示します。
非搭載の TCA のチャンネルに対応する低消費電力レジスターのビットは"0"にクリアしてください。

表 13-3 各製品の16ビットタイマーカウンタのチャンネル

	TMP89FS60B	TMP89FS62B	TMP89FS63B
TCA0	A	A	A
TCA1	A	A	A

注) A: 搭載

13.2. 構成

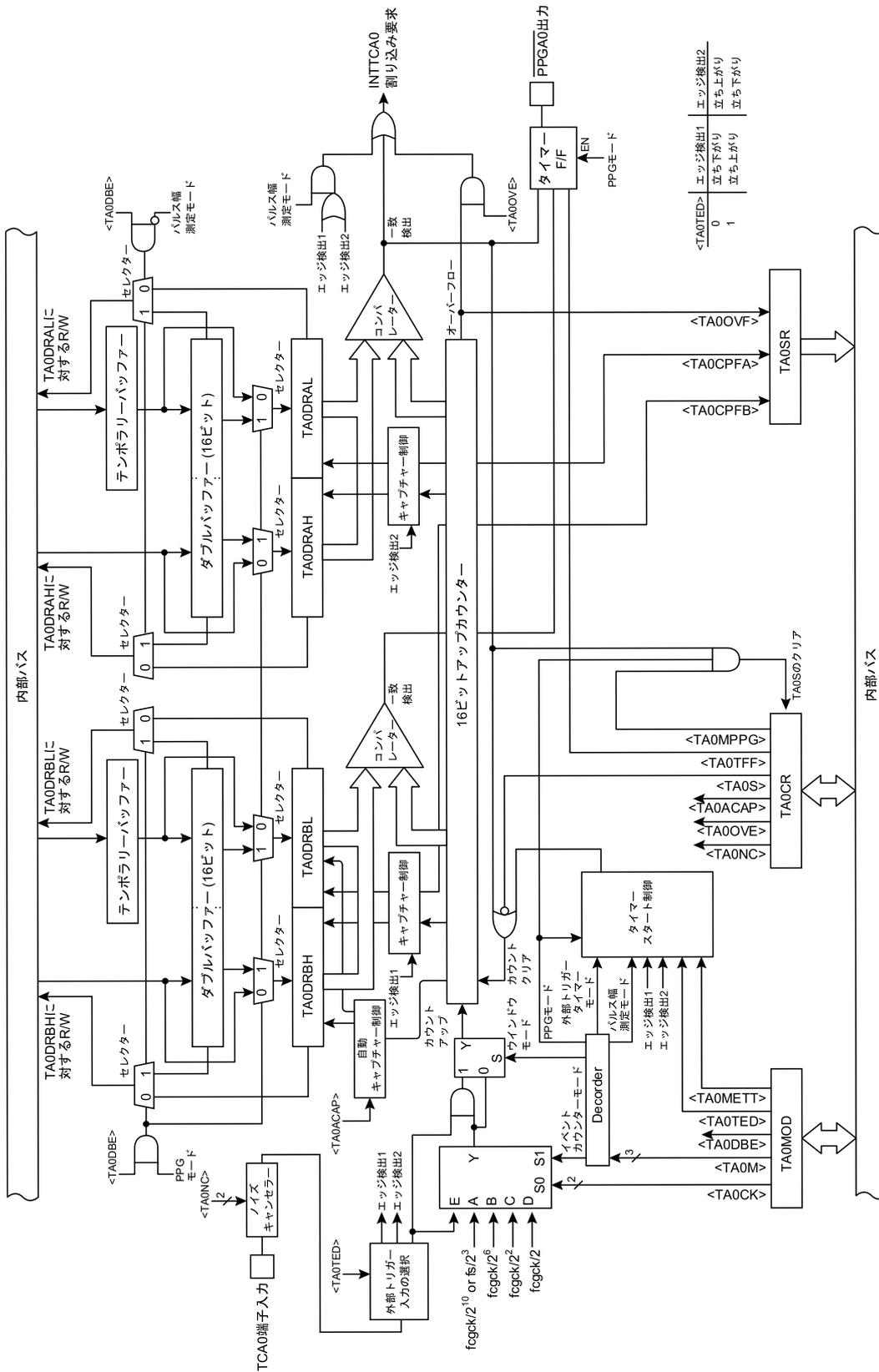


図 13-1 タイマーカウンターA0

13.3. 制御

TCA0 は、低消費電力レジスタ(POFFCR0)、タイマーカウンタA0 モードレジスタ (TA0MOD)、タイマーカウンタA0 制御レジスタ(TA0CR)と 2 つの 16 ビットタイマーA0 レジスタ (TA0DRA/TA0DRB)で制御されます。

低消費電力レジスタ-0 制御

POFFCR0 (0x0F74)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	(TC023EN)	(TC001EN)	-	-	TCA1EN	TCA0EN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

TCA1EN	TCA1 制御	0:	Disable
		1:	Enable
TCA0EN	TCA0 制御	0:	Disable
		1:	Enable

注) POFFCR0 のビット 7、6 とビット 3、2 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

タイマーカウンタA0 モードレジスター

TA0MOD 7 6 5 4 3 2 1 0

(0x0031)	Bit Symbol	TA0DBE	TA0TED	TA0MCAP TA0METT	TA0CK		TA0M		
	Read/Write	R/W	R/W	R/W	R/W		R/W		
	リセット後	1	0	0	0	0	0	0	0

TA0DBE	ダブルバッファ制御	0:	ダブルバッファ無効		
		1:	ダブルバッファ有効		
TA0TED	外部トリガー入力の選択	0:	立ち上がりエッジ/“High”レベル		
		1:	立ち下がりエッジ/“Low”レベル		
TA0MCAP	パルス幅測定モード制御	0:	両エッジキャプチャー		
		1:	片エッジキャプチャー		
TA0METT	外部トリガータイマーモード制御	0:	トリガースタート		
		1:	トリガースタート&ストップ		
TA0CK	TCA0 のソースクロックの選択	NORMAL 1/2、IDLE 1/2 モード ^①		SLOW 1/2、SLEEP 1 モード	
			SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1	
		00:	$fcgck / 2^{10}$	$fs / 2^3$	$fs / 2^3$
		01:	$fcgck / 2^6$	$fcgck / 2^6$	-
		10:	$fcgck / 2^2$	$fcgck / 2^2$	-
		11:	$fcgck / 2$	$fcgck / 2$	-
TA0M	TCA0 の動作モードの選択	000:	タイマーモード		
		001:	タイマーモード		
		010:	イベントカウンターモード		
		011:	PPG 出力モード (ソフトウェアスタート)		
		100:	外部トリガータイマーモード		
		101:	ウインドウモード		
		110:	パルス幅測定モード		
		111:	Reserved		

注 1) fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) TA0MOD は TCA0 が停止(TA0CR<TA0S> = 0)しているとき設定してください。動作中(TA0CR<TA0S> = 1)のとき、TA0MOD への書き込みは無効となります。

タイマーカウンタA0 制御レジスタ

TA0CR	7	6	5	4	3	2	1	0	
(0x0032)	Bit Symbol	TA0OVE	TA0TFF	TA0NC		-	-	TA0ACAP TA0MPPG	TA0S
	Read/Write	R/W	R/W	R/W		R	R	R/W	R/W
	リセット後	0	1	0	0	0	0	0	0

TA0OVE	オーバーフロー割り込み制御	0:	カウンタオーバーフロー時、INTTCA0 割り込み要求を発生させない	
		1:	カウンタオーバーフロー時、INTTCA0 割り込み要求を発生させる	
TA0TFF	タイマーF/F 制御	0:	クリア	
		1:	セット	
TA0NC	ノイズキャンセラー サンプリングの間隔設定		NORMAL1/2、IDLE1/2 モード	SLOW1/2、SLEEP1 モード
		00:	ノイズキャンセラーなし	ノイズキャンセラーなし
		01:	fcgck / 2	-
		10:	fcgck / 2 ²	-
		11:	fcgck / 2 ⁸	fs / 2
TA0ACAP	自動キャプチャー機能	0:	自動キャプチャー禁止	
		1:	自動キャプチャー許可	
TA0MPPG	PPG 出力制御	0:	連続	
		1:	単発	
TA0S	TCA0 の スタート制御	0:	ストップ&カウンタークリア	
		1:	スタート	

注 1) 自動キャプチャーは、タイマー、イベントカウンタ、外部トリガータイマー、ウインドウモードでのみ使用可能です。

注 2) <TA0TFF>、<TA0OVE>、<TA0NC>は、停止状態(<TA0S> = 0)で設定してください。動作中(<TA0S> = 1)に書き込みを行っても設定値は無効となります。

注 3) STOP モードを起動するとスタート制御(<TA0S>)は自動的に"0"にクリアされ、TCA0 は停止します。STOP モード解除後、TCA0 を使用する場合は、<TA0S>を再設定してください。

注 4) TA0CR に対して読み出し命令を実行すると、ビット 3、2 は"0"が読みだされます。

注 5) SLOW1/2、SLEEP1 モード時には、<TA0NC>を"01"または"10"に設定しないでください。<TA0NC>を"01"または"10"に設定した場合、ノイズキャンセラーは停止し、TCA0 への信号入力は行われません。

タイマーカウンタA0 ステータスレジスター

TA0SR		7	6	5	4	3	2	1	0
(0x0033)	Bit Symbol	TA0OVF	-	-	-	-	-	TA0CPFA	TA0CPFB
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

TA0OVF	オーバーフローフラグ	0:	オーバーフローは発生していない
		1:	少なくとも1回のオーバーフローが発生した
TA0CPFA	キャプチャー完了フラグ A	0:	キャプチャー動作は行われていない
		1:	両エッジキャプチャーで、パルス幅のキャプチャーが少なくとも1回は行われた
TA0CPFB	キャプチャー完了フラグ B	0:	キャプチャー動作は行われていない
		1:	片エッジキャプチャーの場合、少なくとも1回のキャプチャー動作が行われた。 両エッジキャプチャーの場合、パルスのデューティ幅のキャプチャーが少なくとも1回は行われた

注 1) <TA0OVF>および<TA0CPFA>、<TA0CPFB>は、TA0SR を読み出した後、自動的に"0"にクリアされます。また TA0SR に対する書き込みは無効となります。

注 2) TA0SR に対して読み出し命令を実行すると、ビット 6 ~ 2 は"0"が読みだされます。

タイマーカウンタA0 レジスタAL

TA0DRAL 7 6 5 4 3 2 1 0

(0x002D)	Bit Symbol	TA0DRAL							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマーカウンタA0 レジスタAH

TA0DRAH 15 14 13 12 11 10 9 8

(0x002E)	Bit Symbol	TA0DRAH							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマーカウンタA0 レジスタBL

TA0DRBL 7 6 5 4 3 2 1 0

(0x002F)	Bit Symbol	TA0DRBL							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマーカウンタA0 レジスタBH

TA0DRBH 15 14 13 12 11 10 9 8

(0x0030)	Bit Symbol	TA0DRBH							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

注 1) TA0DRAL(TA0DRBL)に対して書き込み命令を実行した場合、設定値は一時的にテンポラリーバッファに格納され、すぐには有効になりません。その後、上位側のレジスタTA0DRAH(TA0DRBH)に対して書き込み命令を実行するとダブルバッファ、またはTA0DRAL(TA0DRBL)、TA0DRAH(TA0DRBH)に16ビットの値が一括して格納されます。TCA0のレジスタにデータを設定する場合は、必ず下位、上位の順に書き込みを行ってください。

注 2) パルス幅測定モードとき、TCA0のレジスタに書き込みはできません。

13.4. 低消費電力制御

TCA0は、TCA0を使用しないとき、低消費電力レジスタ(POFFCR0)によって不要な電力を抑える機能を持っています。

POFFCR0<TCA0EN>を"0"に設定すると、TCA0への基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのときTCA0が使用できなくなります。POFFCR0<TCA0EN>を"1"に設定すると、TCA0へ基本クロックが供給(Enable)されTCA0が使用可能になります。

リセット後、POFFCR0<TCA0EN>は"0"に初期化されますので、TCA0は使用できなくなります。よって初めてTCA0を使用するときは、プログラムの初期設定(タイマーの制御レジスタを変更する前)で必ずPOFFCR0<TCA0EN>を"1"に設定してください。

なお、TCA0動作中はPOFFCR0<TCA0EN>を"0"に変更しないでください。変更した場合、TCA0が予期しない動作をする場合があります。

13.5. タイマー機能

TCA0には、タイマー、外部トリガタイマー、イベントカウンター、ウインドウ、パルス幅測定、プログラマブルパルスジェネレート(PPG)出力の6つの動作モードがあります。

13.5.1. タイマーモード

タイマーモードは、内部クロックでアップカウンターがカウントアップするモードです。指定した時間で定期的に割り込み要求を発生させることができます。

13.5.1.1. 設定

動作モード選択TA0MOD<TA0M>に"000"、"001"のいずれかの値を設定するとタイマーモードになります。ソースクロックの選択はTA0MOD<TA0CK>で行います。

TA0CR<TA0S>を"1"に設定するとタイマーカウンター動作を開始します。タイマーカウンター動作が開始するとTA0MODおよびTA0CR<TA0OVE>は書き込みが無効となります。タイマーカウンター動作を開始させる前に、これらのレジスタに設定を行うようにしてください。

表 13-4 タイマーモードの分解能、最大設定時間

TA0MOD <TA0CK>	ソースクロック			分解能		最大設定時間	
	NORMAL1/2、IDLE1/2 モード		SLOW1/2、 SLEEP1 モード	fcgck = 10 [MHz]	fs = 32.768 [kHz]	fcgck = 10 [MHz]	fs = 32.768 [kHz]
	SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1					
00	fcgck / 2 ¹⁰ [Hz]	fs / 2 ³ [Hz]	fs / 2 ³ [Hz]	102.4 [μs]	244.1 [μs]	6.7 [s]	16 [s]
01	fcgck / 2 ⁶ [Hz]	fcgck / 2 ⁶ [Hz]	-	6.4 [μs]	-	419.4 [ms]	-
10	fcgck / 2 ² [Hz]	fcgck / 2 ² [Hz]	-	400 [ns]	-	26.2 [ms]	-
11	fcgck / 2 [Hz]	fcgck / 2 [Hz]	-	200 [ns]	-	13.1 [ms]	-

13.5.1.2. 動作

TA0CR<TA0S>を"1"に設定すると、選択された内部ソースクロックで16ビットアップカウンターをインクリメントします。アップカウンターの値とタイマーレジスタA(TA0DRA)の設定値が一致すると、INTTCA0割り込み要求が発生し、アップカウンターが"0x0000"にクリアされます。カウンタークリア後もカウントアップは継続されます。タイマーカウンター動作中にTA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンターは"0x0000"にクリアされます。

13.5.1.3. 自動キャプチャー

TA0CR<TA0ACAP>に"1"を設定すると、アップカウンターの最新の内容をタイマーレジスタB(TA0DRB)に取り込むことができます(自動キャプチャー機能)。TA0CR<TA0ACAP>が"1"のとき、TA0DRBLを読み出すと、そのときのアップカウンターの内容を読み出すことができます。TA0DRBHは、TA0DRBLを読み出したとき同時に取り込まれますので、キャプチャー値を読み出すときは必ずTA0DRBL、TA0DRBHの順に読み出してください。

なお、自動キャプチャー機能はタイマーカウンターの動作中/停止中どちらでも利用することができます。タイマーカウンター停止中の場合は、TA0DRBLから"0x00"が読みだされます。TA0DRBHからはタイマーカウンター停止後もキャプチャー値を保持しますが、タイマーカウンター停止中にTA0DRBLを読み出すと"0x00"にクリアされます。

TA0CR<TA0ACAP>が"1"に設定された状態でタイマーカウンターをスタートした場合、タイマーカウンタースタート直後から自動キャプチャーは有効になります。

注) TA0CR<TA0S>を"1"から"0"に書き替えるのと同時にTA0CR<TA0ACAP>の設定値は変更できません。(設定しても無効となります)

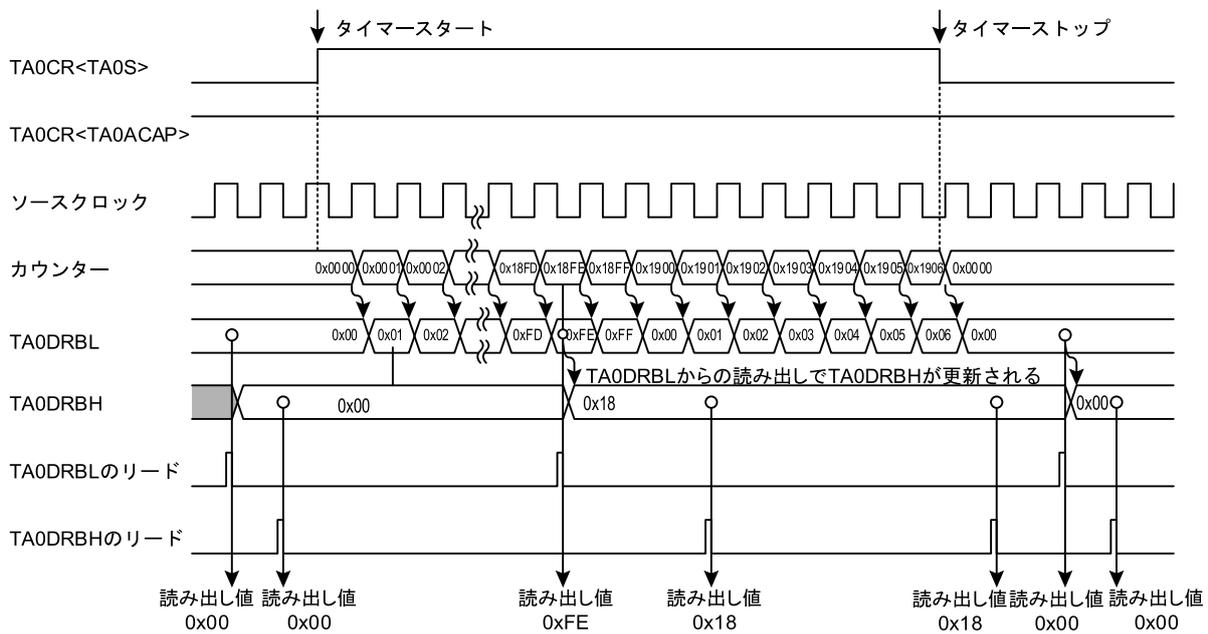


図 13-2 タイマーモードタイミングチャート (自動キャプチャー)

13.5.1.4. レジスタのバッファ構成

(1) テンポラリーバッファ

TMP89FS60B/62B/63B は 8 ビットのテンポラリーバッファを内蔵しており、TA0DRAL に対して書き込み命令を実行すると、ダブルバッファの有効/無効に関係なく、テンポラリーバッファにデータが格納されます。

次に TA0DRAH に対して書き込み命令を実行すると、設定値はダブルバッファまたは TA0DRAH に格納されます。同時にテンポラリーバッファの設定値はダブルバッファまたは TA0DRAL に格納されます。(下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。よって TA0DRA にデータを設定する場合は、必ず TA0DRAL、TA0DRAH の順に書き込んでください。

テンポラリーバッファの構成は図 13-1 を参照してください。

(2) ダブルバッファ

TMP89FS60B/62B/63B は、TA0MOD<TA0DBE>の設定によりダブルバッファを利用することができます。TA0MOD<TA0DBE>を"0"に設定するとダブルバッファが無効に、TA0MOD<TA0DBE>を"1"に設定するとダブルバッファが有効となります。

ダブルバッファの構成は図 13-1 を参照してください。

- ダブルバッファが有効の場合

タイマーカウンタ動作中に TA0DRAH に対して書き込み命令を実行すると、設定値はダブルバッファに格納され、TA0DRAH と TA0DRAL は更新されません。

TA0DRAH と TA0DRAL は前回の設定値でアップカウンタと比較を行い、値が一致すると INTTCA0 割り込み要求が発生し、ダブルバッファに格納されていた値が TA0DRAH と TA0DRAL に格納されます。以降は新しく格納された値で一致検出が行われます。

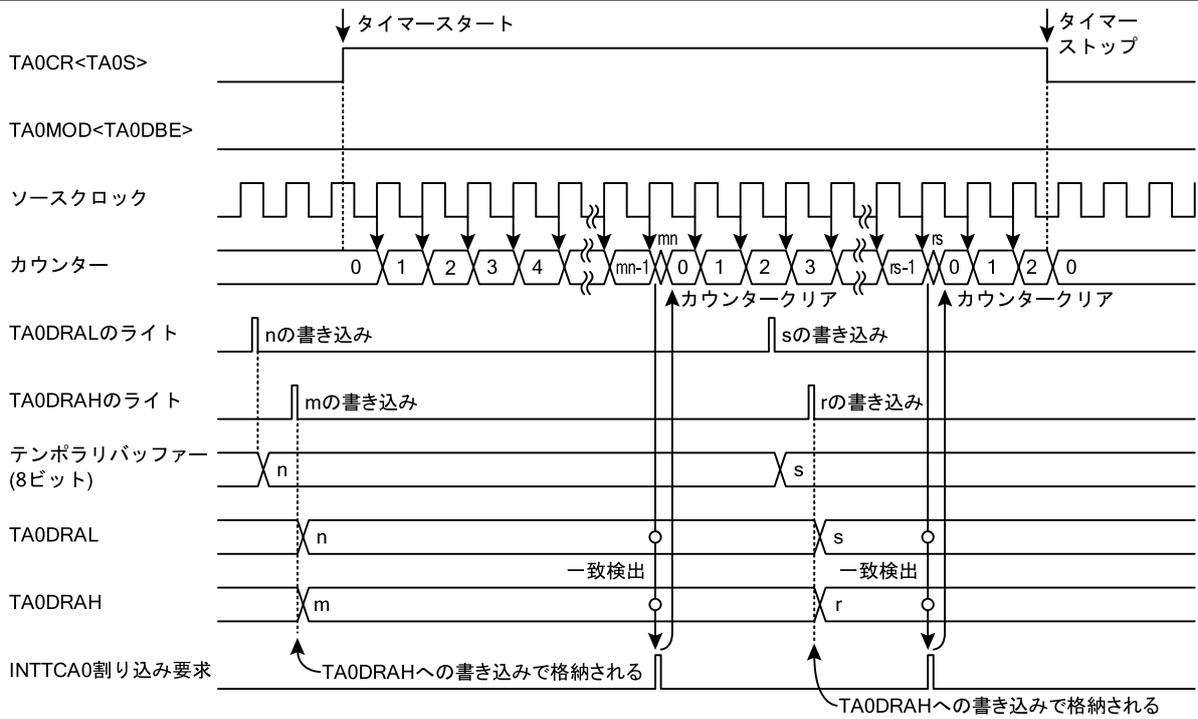
なお、TA0DRAH と TA0DRAL に対して読み出し命令を実行すると、TA0DRAH と TA0DRAL の値(現在の有効値)ではなく、ダブルバッファの値(最後に設定した値)が読みだされます。タイマーカウンタ停止中に TA0DRAH と TA0DRAL に対して書き込み命令を実行すると、設定値はダブルバッファと TA0DRAH、TA0DRAL にすぐに格納されます。

- ダブルバッファが無効の場合

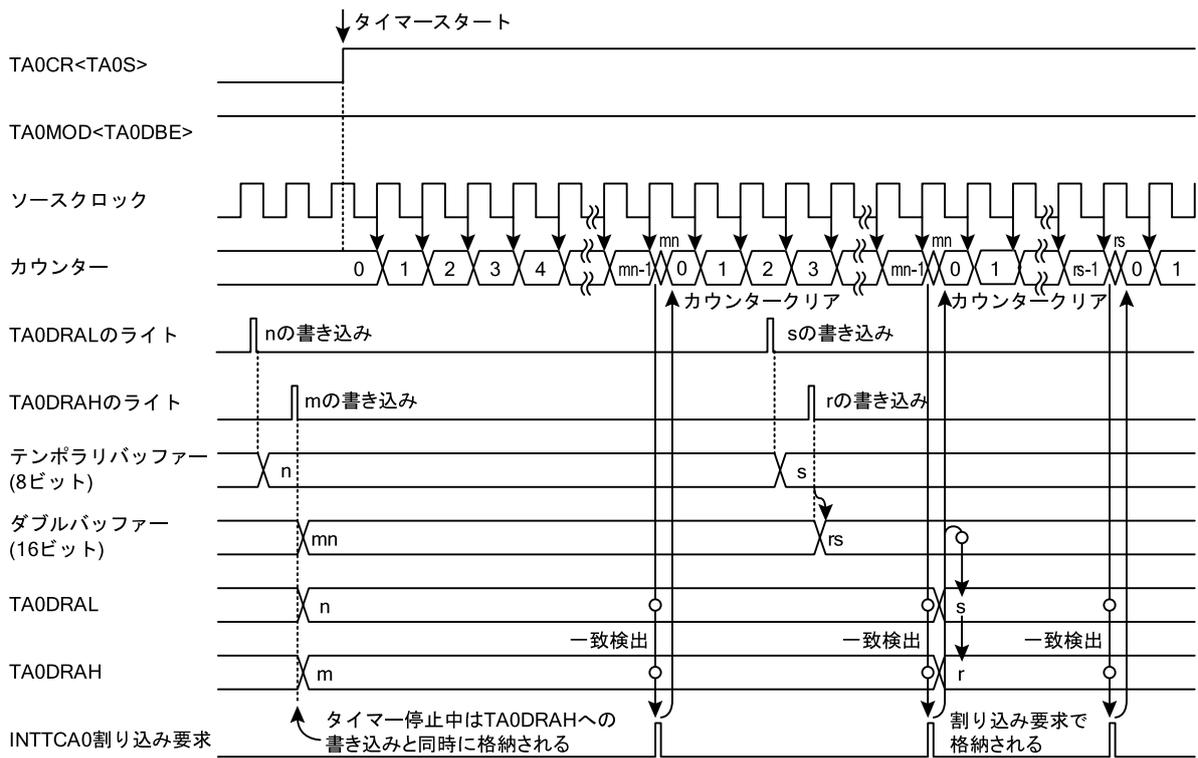
タイマーカウンタ動作中に TA0DRAH に対して書き込み命令を実行すると、設定値は TA0DRAH と TA0DRAL に格納され、以降は新しい設定値で一致検出が行われます。

このとき TA0DRAH と TA0DRAL に設定した値がアップカウンタの値より小さかった場合、アップカウンタが一度オーバーフローした後に、新しい設定値で一致検出が行われます。そのため、割り込み要求の間隔が設定した間隔よりも長くなります。これが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマー停止中に TA0DRAH と TA0DRAL に対して書き込み命令を実行すると、設定値はすぐに TA0DRAH と TA0DRAL に格納されます。



ダブルバッファ無効時($TA0MOD\langle TA0DBE \rangle = 0$)



ダブルバッファ有効時($TA0MOD\langle TA0DBE \rangle = 1$)

図 13-3 タイマーモードタイミングチャート

13.5.2. 外部トリガータイマーモード

外部トリガータイマーモードは、TCA0 端子入力をトリガーにしてカウントをスタートするタイマーモードです。

13.5.2.1. 設定

動作モード選択TA0MOD<TA0M>に"100"を設定すると外部トリガータイマーモードになります。ソースクロックの選択はTA0MOD<TA0CK>で行います。

トリガーとなるエッジは、トリガーエッジ入力の選択TA0MOD<TA0TED>で選択します。TA0MOD<TA0TED>を"0"にすると立ち上がりエッジ、"1"にすると立ち下がりエッジが選択されます。

なお、このモードでは、TCA0 入力端子を使用しますので、あらかじめポートの設定でTCA0 端子を入力にセットしておく必要があります。

TA0CR<TA0S>に"1"を設定すると動作を開始します。タイマーカウンタがスタートするとTA0MODおよびTA0CR<TA0OVE>は書き込みが無効となりますので、タイマーカウンタをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.5.2.2. 動作

タイマーカウンタスタート後、指定したトリガーエッジがTCA0 端子に入力されると、指定されたソースクロックでカウントアップが行われます。アップカウンタの値とTA0DRAの設定値が一致するとINTTCA0 割り込み要求が発生し、アップカウンタが"0x0000"にクリアされます。アップカウンタクリア後もカウントアップは継続されます。

TA0MOD<TA0METT>が"1"の場合、指定したトリガーエッジと逆方向のエッジを検出すると、カウントアップはストップし、アップカウンタは"0x0000"にクリアされます。その後、指定したトリガーエッジを検出すると再びアップカウンタのカウントアップを開始します。

このモードでは、TCA0 端子への入力パルスが一定のパルス幅を超えたことを検出し、INTTCA0 割り込み要求を発生させることができます。

TA0MOD<TA0METT>が"0"の場合は、指定したトリガーエッジを検出しタイマーカウンタがスタートすると一致検出が行われるまで、TCA0 端子のエッジの検出は正/逆ともに行われません。

タイマーカウンタ動作中にTA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンタは"0x0000"にクリアされます。

13.5.2.3. 自動キャプチャー

「13.5.1.3. 自動キャプチャー」を参照してください。

13.5.2.4. レジスタのバッファ構成

「13.5.1.4. レジスタのバッファ構成」を参照してください。

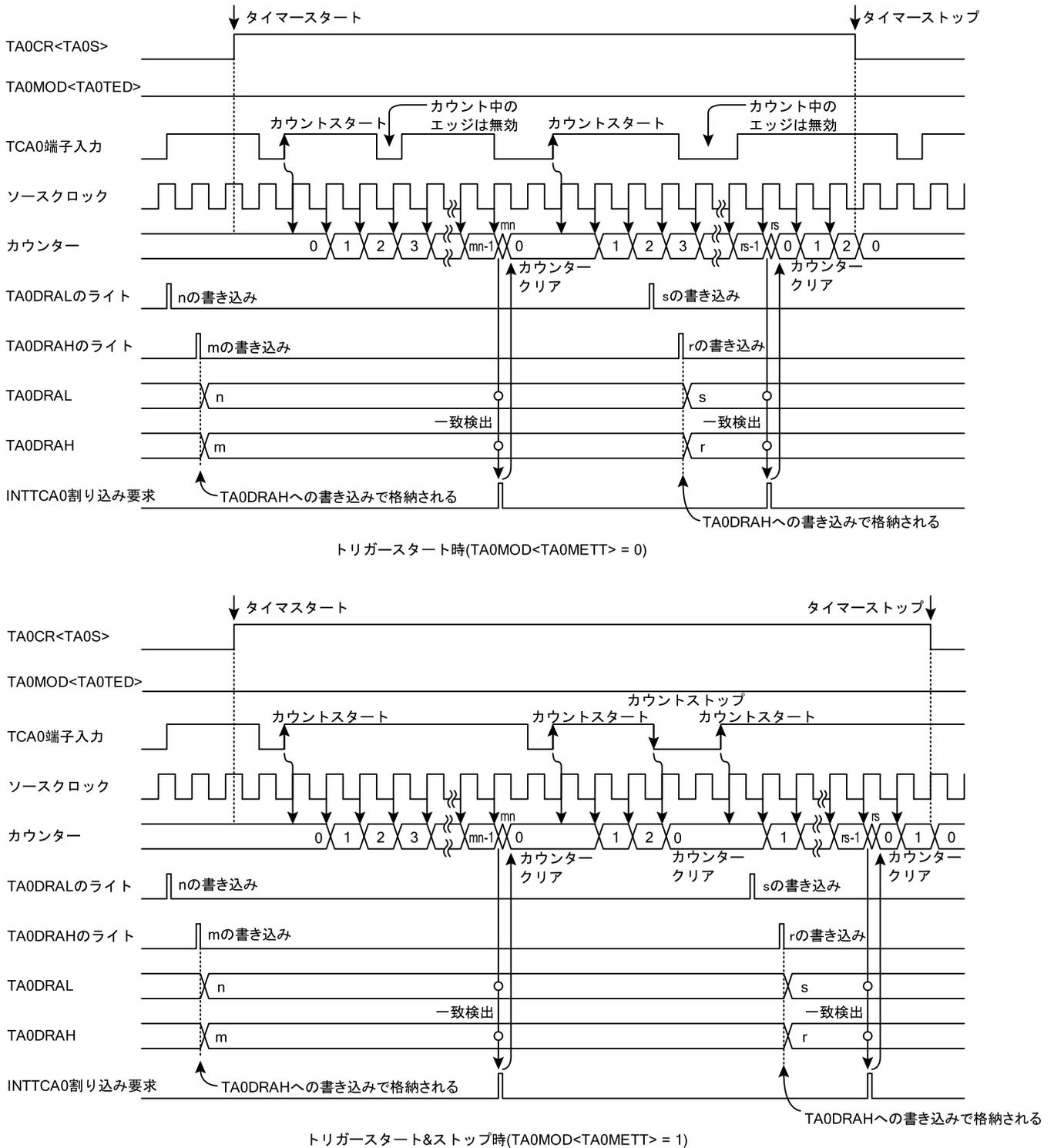


図 13-4 外部トリガータイマータイミングチャート

13.5.3. イベントカウンターモード

イベントカウンターモードは、TCA0 端子入力のエッジでカウントアップするモードです。

13.5.3.1. 設定

動作モード選択 TA0MOD<TA0M>に"010"を設定するとイベントカウンターモードになります。

TCA0 端子入力のエッジは、外部トリガー入力の選択 TA0MOD<TA0TED>で選択します。

TA0MOD<TA0TED>を"0"にすると立ち上がりエッジ、"1"にすると立ち下がりエッジでカウントアップを行います。

なお、このモードでは、TCA0 入力端子を使用しますので、あらかじめポートの設定で TCA0 端子を入力にセットしておく必要があります。

TA0CR<TA0S>に"1"を設定すると動作を開始します。タイマーカウンターがスタートすると TA0MOD および TA0CR<TA0OVE>は書き込みが無効となりますので、タイマーカウンターをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.5.3.2. 動作

イベントカウンターモードがスタートすると、指定したエッジが TCA0 端子に入力されるとアップカウンターがインクリメントされます。

アップカウンターの値と TA0DRA の設定値が一致すると INTTCA0 割り込み要求が発生し、アップカウンターが"0x0000"にクリアされます。カウンタークリア後も TCA0 端子入力のエッジごとにカウントアップは継続されます。動作中に TA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンターは"0x0000"にクリアされます。

なお、最大印加周波数は $f_{cgck}/2$ [Hz] (NORMAL1/2 または IDLE1/2 モード時)、 $f_s/2$ [Hz] (SLOW1/2、SLEEP1 モード時)で、"High"、"Low"レベルともに 2 マシンサイクル以上のパルス幅が必要です。

13.5.3.3. 自動キャプチャー

「13.5.1.3. 自動キャプチャー」を参照してください。

13.5.3.4. レジスタのバッファ構成

「13.5.1.4. レジスタのバッファ構成」を参照してください。

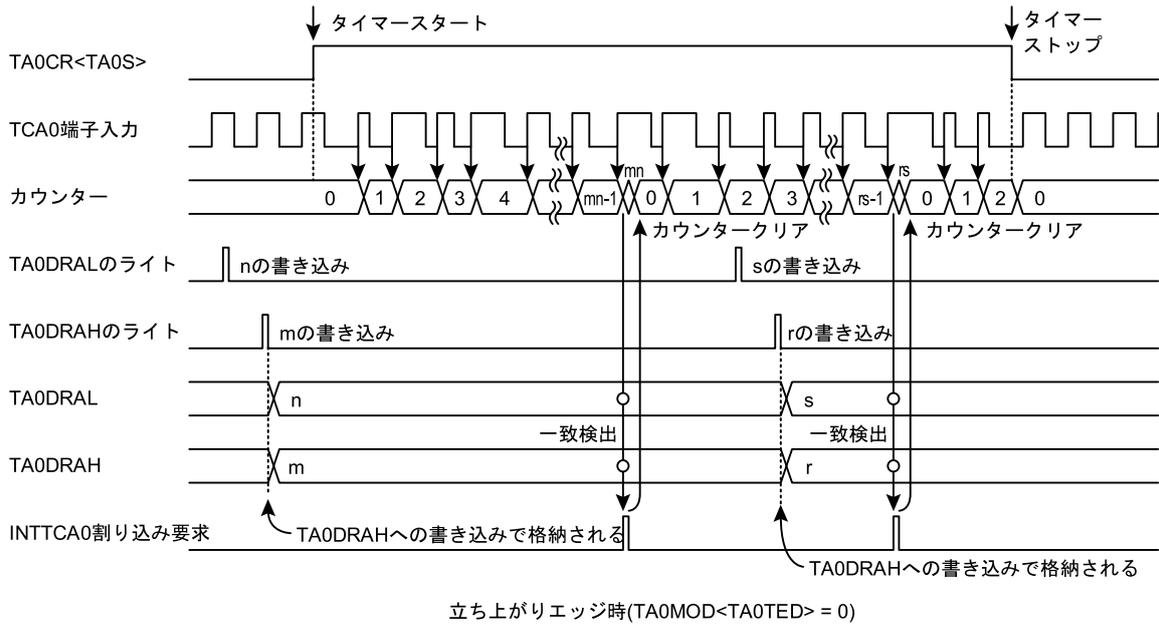


図 13-5 イベントカウントモードタイミングチャート

13.5.4. ウィンドウモード

ウィンドウモードは、TCA0端子入力(ウィンドウパルス)とソースクロックの論理積パルスの立ち上がりエッジでカウントアップするモードです。

13.5.4.1. 設定

動作モード選択TA0MOD<TA0M>に"101"を設定するとウィンドウモードになります。ソースクロックの選択はTA0MOD<TA0CK>で行います。

ウィンドウパルスのレベルは、トリガーエッジ入力の選択TA0MOD<TA0TED>で選択します。TA0MOD<TA0TED>を"0"にすると"High"レベル、"1"にすると"Low"レベルの間にカウントアップを行います。

なお、このモードでは、TCA0入力端子を使用しますので、あらかじめポートの設定でTCA0端子を入力にセットしておく必要があります。

TA0CR<TA0S>に"1"を設定すると動作を開始します。タイマーカウンタがスタートするとTA0MODおよびTA0CR<TA0OVE>は書き込みが無効となりますので、タイマーカウンタをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.5.4.2. 動作

動作開始後、TCA0端子入力にTA0MOD<TA0TED>で指定したレベルが入力されている間、TA0MOD<TA0CK>で指定されたソースクロックでアップカウンタのカウントアップが行われます。アップカウンタの値とTA0DRAの設定値が一致するとINTTCA0割り込み要求が発生し、アップカウンタは"0x0000"にクリアされます。カウンタクリア後もカウントアップは継続されます。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要がありますので、選択したソースクロックより十分に遅い周波数のパルスを入力してください。

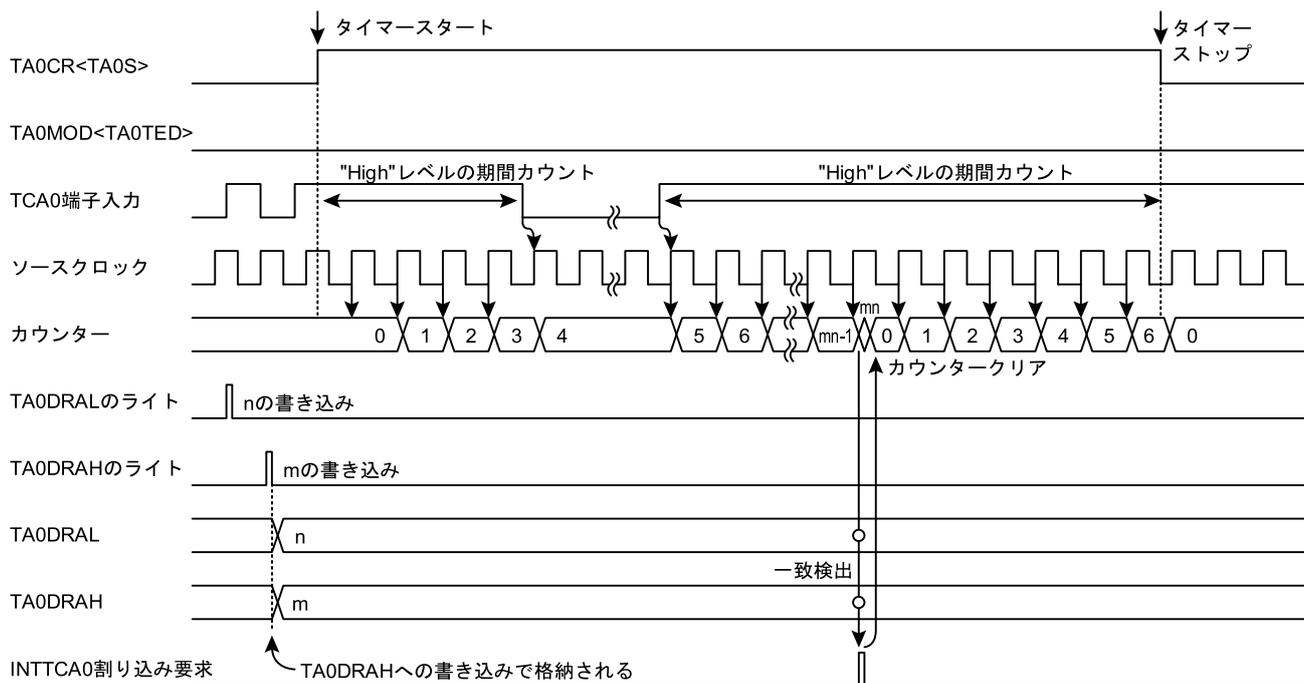
タイマー動作中にTA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンタは"0x0000"にクリアされます。

13.5.4.3. 自動キャプチャー

「13.5.1.3 自動キャプチャー」を参照してください。

13.5.4.4. レジスタのバッファ構成

「13.5.1.4 レジスタのバッファ構成」を参照してください。



"High"レベルカウント時(TA0MOD<TA0TED> = 0)

図 13-6 ウィンドウモードタイミングチャート

13.5.5. パルス幅測定モード

パルス幅測定モードは、TCA0 端子入力の立ち上がり/立ち下がりエッジを開始トリガーにしてカウンタをスタートし、入力パルス幅をソースクロックで測定するモードです。

13.5.5.1. 設定

動作モード選択 TA0MOD<TA0M>に"110"を設定するとパルス幅測定モードになります。ソースクロックの選択は TA0MOD<TA0CK>で行います。

トリガーとなるエッジは、トリガーエッジ入力の選択 TA0MOD<TA0TED>で選択します。TA0MOD<TA0TED>を"0"にすると立ち上がりエッジ、"1"にすると立ち下がりエッジをトリガーとしてキャプチャーを開始します。

キャプチャー実行後の動作は、パルス幅測定モード制御 TA0MOD<TA0MCAP>により決定されます。TA0MOD<TA0MCAP>を"0"にすると両エッジキャプチャー、"1"にすると片エッジキャプチャー動作になります。

また、オーバーフロー割り込み制御 TA0CR<TA0OVE>で、アップカウンターのオーバーフローが発生した場合の動作を選択できます。<TA0OVE>を"1"にすると、オーバーフロー発生時に INTTCA0 割り込み要求が発生し、"0"にするとオーバーフロー発生時に INTTCA0 割り込み要求は発生しません。

なお、このモードでは、TCA0 入力端子を使用しますので、あらかじめポートの設定で TCA0 端子を入力にセットしておく必要があります。

TA0CR<TA0S>に"1"を設定すると動作を開始します。このとき TA0DRA、TA0DRB レジスタは"0x0000"に初期化されます。タイマーカウンタがスタートすると TA0MOD および TA0CR<TA0OVE>は書き込みが無効となりますので、タイマーカウンタをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.5.5.2. 動作

タイマーカウンタースタート後、指定したトリガーエッジ(スタートエッジ)が TCA0 端子に入力されると INTTCA0 割り込み要求が発生し、指定されたソースクロックでアップカウンターのカウントアップが行われます。次に指定したエッジと逆方向のエッジを検出すると、アップカウンターの値を TA0DRB に取り込み、INTTCA0 割り込み要求が発生し、TA0SR<TA0CPFB>が"1"にセットされます。このとき TA0MOD<TA0MCAP>の設定によって次の動作が異なります。

- 片エッジキャプチャー (TA0MOD<TA0MCAP>が"1"のとき)
逆方向のエッジを検出後カウントアップは停止し、アップカウンターは"0x0000"にクリアされます。次にスタートエッジが入力されると INTTCA0 割り込み要求が発生し、アップカウンターは再度インクリメントを開始します。
- 両エッジキャプチャー (TA0MOD<TA0MCAP>が"0"のとき)
逆方向のエッジを検出後もカウントアップは停止しません。次に指定したトリガーエッジが入力されると、アップカウンターの値を TA0DRA に取り込み、INTTCA0 割り込み要求が発生し、TA0SR<TA0CPFA>が 1 にセットされます。このときアップカウンターは"0x0000"にクリアされます。

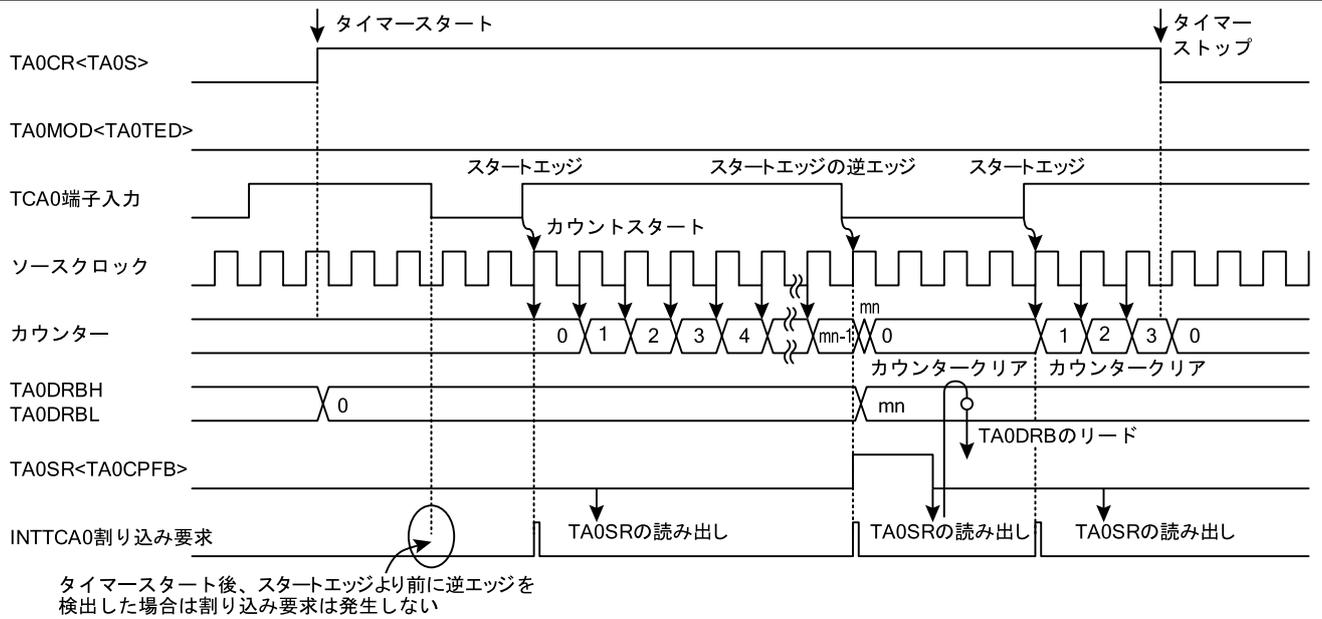
キャプチャー動作中にアップカウンターがオーバーフローした場合、オーバーフローフラグ TA0SR<TA0OVF>が"1"にセットされます。このときオーバーフロー割り込み制御 TA0CR<TA0OVE>が"1"にセットされている場合、INTTCA0 割り込み要求が発生します。

キャプチャー完了フラグ (TA0SR<TA0CPFA>、TA0SR<TA0CPFB>)、オーバーフローフラグ (TA0SR<TA0OVF>)は TA0SR を読みだすことによって自動的に"0"にクリアされます。

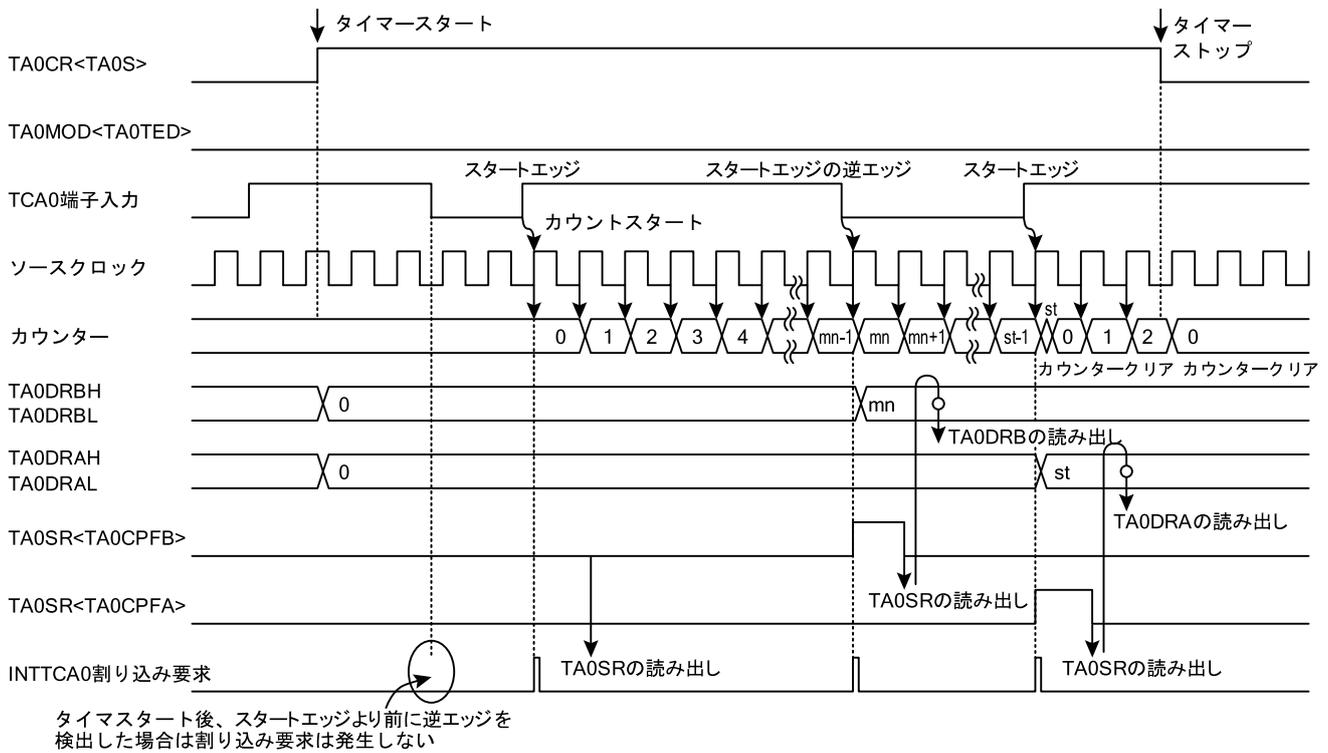
キャプチャー値は、次のトリガーエッジが検出されるまでに TA0DRB(両エッジの場合は TA0DRA も含む)から必ず読み出してください。読み出しを行わない場合、キャプチャー値は不定となります。また、TA0DRA、TA0DRB は、16 ビットアクセス命令による読み出しを行ってください。

タイマー動作中に TA0CR<TA0S>を"0"に設定すると、カウントアップは停止され、アップカウンターは"0x0000"にクリアされます。

注) タイマーカウンタースタート後、指定したトリガーエッジと逆方向のエッジを先に検出した場合、キャプチャーは行われず、INTTCA0 割り込み要求も発生しません。この場合、指定したトリガーエッジを次に検出した時点からキャプチャーを開始します。



片エッジキャプチャー(TA0MOD<TA0MCAP> = 1)



両エッジキャプチャー(TA0MOD<TA0MCAP> = 0)

図 13-7 パルス幅測定モードタイミングチャート

13.5.5.3. キャプチャー処理例

図 13-8 に INTTCA0 割り込みサブルーチンを使ったキャプチャー処理例を示します。キャプチャーエッジやオーバーフローは、ステータスレジスタ(TA0SR)を使用すると容易に判定することができます。

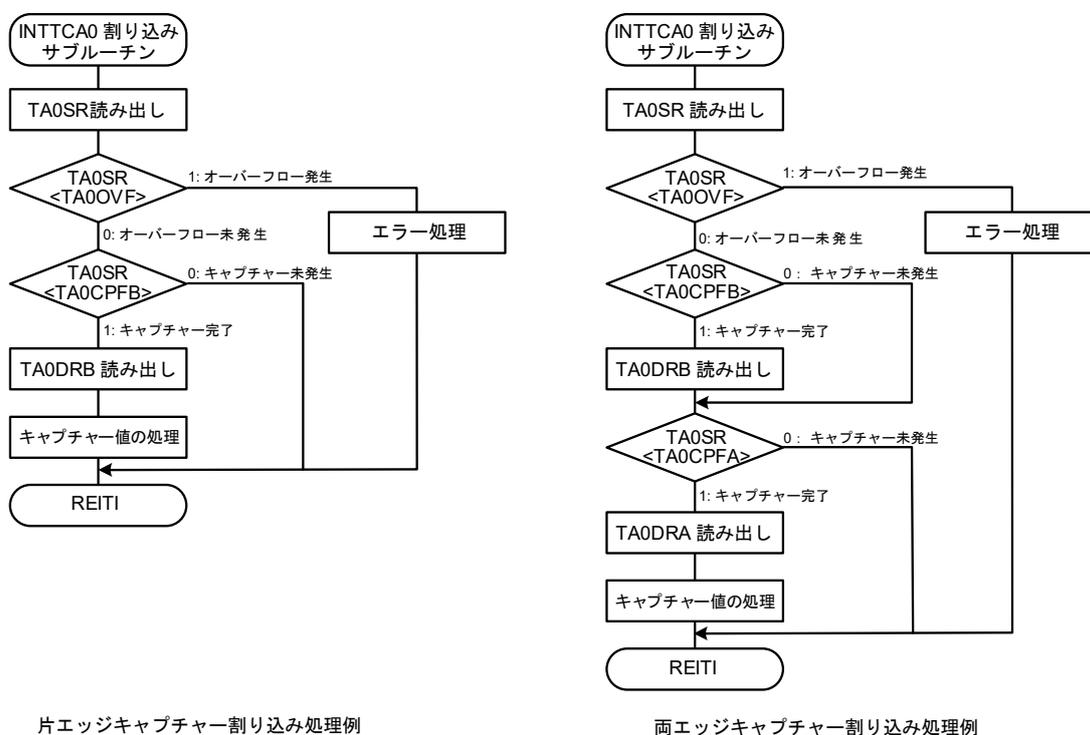


図 13-8 キャプチャー処理例

13.5.6. プログラブルパルスジェネレート (PPG)モード

PPG 出力モードは、2つのタイマーレジスターによって任意の周期の任意のデューティパルスを出力するモードです。

13.5.6.1. 設定

動作モード選択 TA0MOD<TA0M>に"011"を設定すると PPG 出力モードになります。ソースクロックの選択は TA0MOD<TA0CK>で行います。TA0CR<TA0MPPG>によって PPG を連続して出力するか単発で出力するかを選択します。

PPG 出力の周期は TA0DRA で、最初に出力が反転するまでの時間は TA0DRB で設定します。レジスターの設定値は、必ず TA0DRA > TA0DRB となるように設定してください。

なお、このモードでは、PPGA0端子を使用します。あらかじめポートの設定で、PPGA0端子を出力にセットしておく必要があります。

PPGA0端子の初期状態は、タイマーフリップフロップ TA0CR<TA0TFF>で設定します。TA0CR<TA0TFF>を"1"に設定すると、PPGA0端子の初期状態は"High"レベルとなり、TA0CR<TA0TFF>を"0"に設定すると、PPGA0端子の初期状態は"Low"レベルとなります。

TA0CR<TA0S>に"1"を設定すると動作を開始します。タイマーカウンタがスタートすると TA0MOD および TA0CR<TA0OVE>、<TA0TFF>は書き込みが無効となりますので、タイマーカウンタをスタートさせる前に必ず各モードの設定を行うようにしてください。

13.5.6.2. 動作

タイマーカウンタスタート後、アップカウンタのカウントアップが行われます。

アップカウンタの値と TA0DRB の設定値が一致すると、TA0CR<TA0TFF>が"0"の場合はPPGA0端子が"High"レベルに、TA0CR<TA0TFF>が"1"の場合はPPGA0端子が"Low"レベルに変更されます。

その後もカウントアップを継続し、アップカウンタの値と TA0DRA の設定値が一致すると、TA0CR<TA0TFF>が"0"の場合はPPGA0端子が"Low"レベルに、TA0CR<TA0TFF>が"1"の場合はPPGA0端子が"High"レベルに変更されます。このとき、INTTCA0割り込み要求が発生します。また、PPG 出力制御 TA0CR<TA0MPPG>が"1"(単発)に設定されていると、TA0CR<TA0S>は自動的に"0"にクリアされ、タイマーは停止します。

TA0CR<TA0MPPG>が"0"(連続)に設定されていると、アップカウンタは"0x0000"にクリアされ、カウント動作および PPG 出力を継続します。なお、PPG 出力中に TA0CR<TA0S>を"0"に設定(単発による自動停止を含む)すると、PPGA0端子は TA0CR<TA0TFF>で設定したレベルに戻ります。

TA0CR<TA0MPPG>は、動作中に変更することができます。動作中に TA0CR<TA0MPPG>を"1" → "0"に変更すると、単発設定はキャンセルされ、連続動作になります。動作中に TA0CR<TA0MPPG>を"0" → "1"に変更すると、現在出力されているパルスの出力が終了した後、TA0CR<TA0S>が自動的に"0"クリアされ、アップカウンタが停止します。

TA0DRA と TA0DRB に、ダブルバッファを設定することができます。TA0MOD<TA0DBE>に"1"を設定すると、ダブルバッファが有効になります。PPG 出力中に TA0DRA および TA0DRB の設定値を変更した場合、ダブルバッファを有効にしていると、書き込みはすぐに有効にならず、TA0DRA とアップカウンタとの一致検出のタイミングで有効になります。ダブルバッファを無効にした場合には、TA0DRA および TA0DRB への書き込みはすぐに有効になり、書き込み値がアップカウンタ値より小さかった場合には、アップカウンタがオーバーフローした後、アップカウンタが"0x0000"からカウントアップを続けて、その後一致処理が行われ、出力が反転します。

13.5.6.3. レジスタのバッファ構成

(1) テンポラリーバッファ

TMP89FS60B/62B/63B は 8 ビットのテンポラリーバッファを内蔵しており、TA0DRAL に対して書き込み命令を実行すると、ダブルバッファの有効/無効に関係なくテンポラリーバッファにそれぞれのデータが格納されます。

次に TA0DRAH に対して書き込み命令を実行すると、設定値はダブルバッファまたは TA0DRAH に格納されます。同時にテンポラリーバッファの設定値はダブルバッファまたは TA0DRAL に格納されます。(下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。よって TA0DRA にデータを設定する場合は、必ず TA0DRAL、TA0DRAH の順に書き込んでください。

TA0DRB に対しても同様の動作が行われます。TA0DRB に関しては、上記の文章で TA0DRA を TA0DRB と読み替えてください。

テンポラリーバッファの構成は図 13-1 を参照してください。

(2) ダブルバッファ

TMP89FS60B/62B/63B は、TA0MOD<TA0DBE>の設定によりダブルバッファを利用することができます。TA0MOD<TA0DBE>を"0"に設定するとダブルバッファが無効に、TA0MOD<TA0DBE>を"1"に設定するとダブルバッファが有効となります。

ダブルバッファの構成は図 13-1 を参照してください。

- ダブルバッファが有効の場合

タイマーカウンタ動作中に TA0DRAH に対して書き込み命令を実行すると、設定値はダブルバッファに格納され、TA0DRAH、TA0DRAL は更新されません。TA0DRAH と TA0DRAL は前回の設定値でアップカウンタと比較を行い、値が一致すると INTTCA0 割り込み要求が発生し、ダブルバッファに格納されていた値が TA0DRAH、TA0DRAL に格納されます。以降は新しい値で一致検出が行われます。

なお、TA0DRAH、TA0DRAL に対して読み出し命令を実行すると、TA0DRAH、TA0DRAL の値(現在の有効値)ではなく、ダブルバッファの値(最後に設定した値)が読みだされます。

タイマーカウンタ停止中に TA0DRAH、TA0DRAL に対して書き込み命令を実行すると、設定値はダブルバッファと TA0DRAH、TA0DRAL にすぐに格納されます。

TA0DRB に対しても同様の動作が行われます。TA0DRB に関しては、上記の文章で TA0DRA を TA0DRB と読み替えてください。

- ダブルバッファが無効の場合

タイマーカウンタ動作中に TA0DRAH、TA0DRAL に対して書き込み命令を実行すると、設定値は TA0DRAH、TA0DRAL に格納され、以降は新しい設定値で一致検出が行われます。

このとき TA0DRAH、TA0DRAL に設定した値がアップカウンタの値より小さかった場合、アップカウンタが一度オーバーフローした後、アップカウンタが"0x0000"からカウントアップを続けて、その後新しい設定値で一致検出が行われます。そのため、出力パルス幅が設定した幅よりも長くなる場合があります。これが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマーカウンタ停止中に TA0DRAH、TA0DRAL に対して書き込み命令を実行すると、設定値はすぐに TA0DRAH、TA0DRAL に格納されます。

TA0DRB に対しても同様の動作が行われます。TA0DRB に関しては、上記の文章で TA0DRA を TA0DRB と読み替えてください。

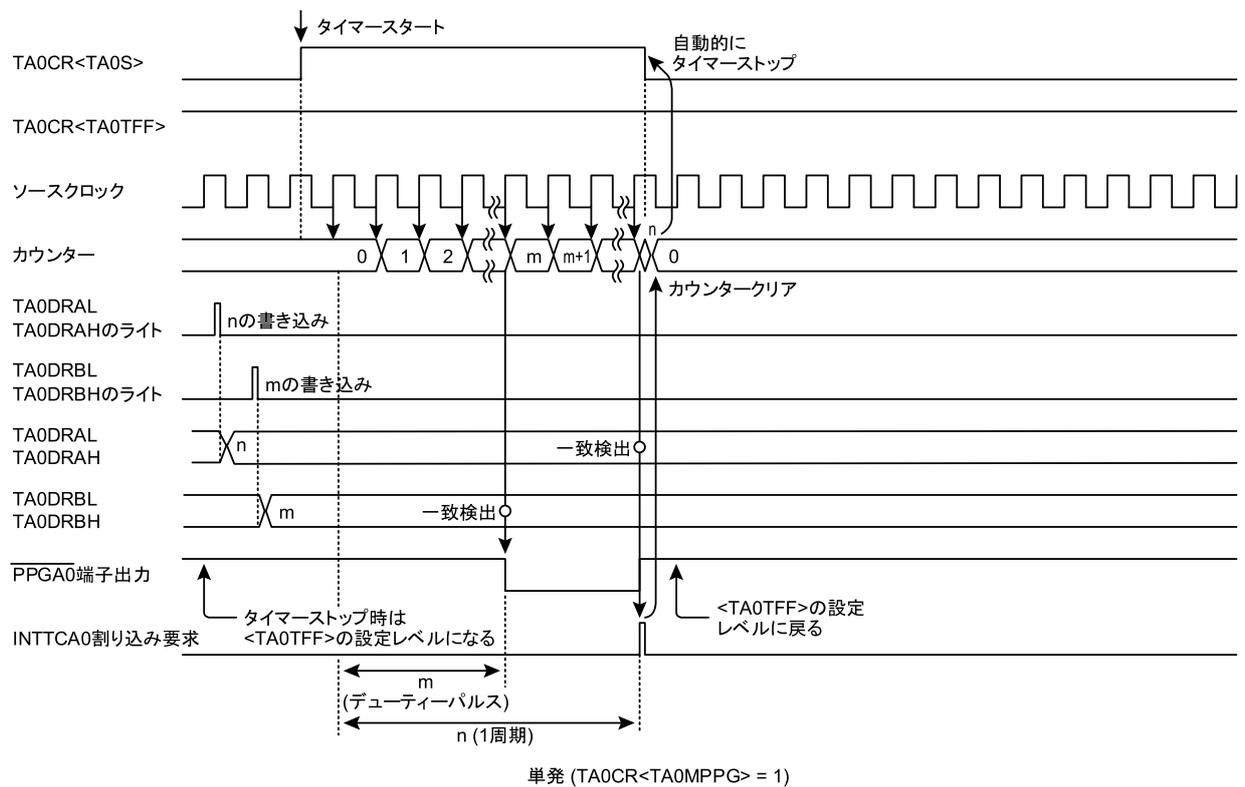
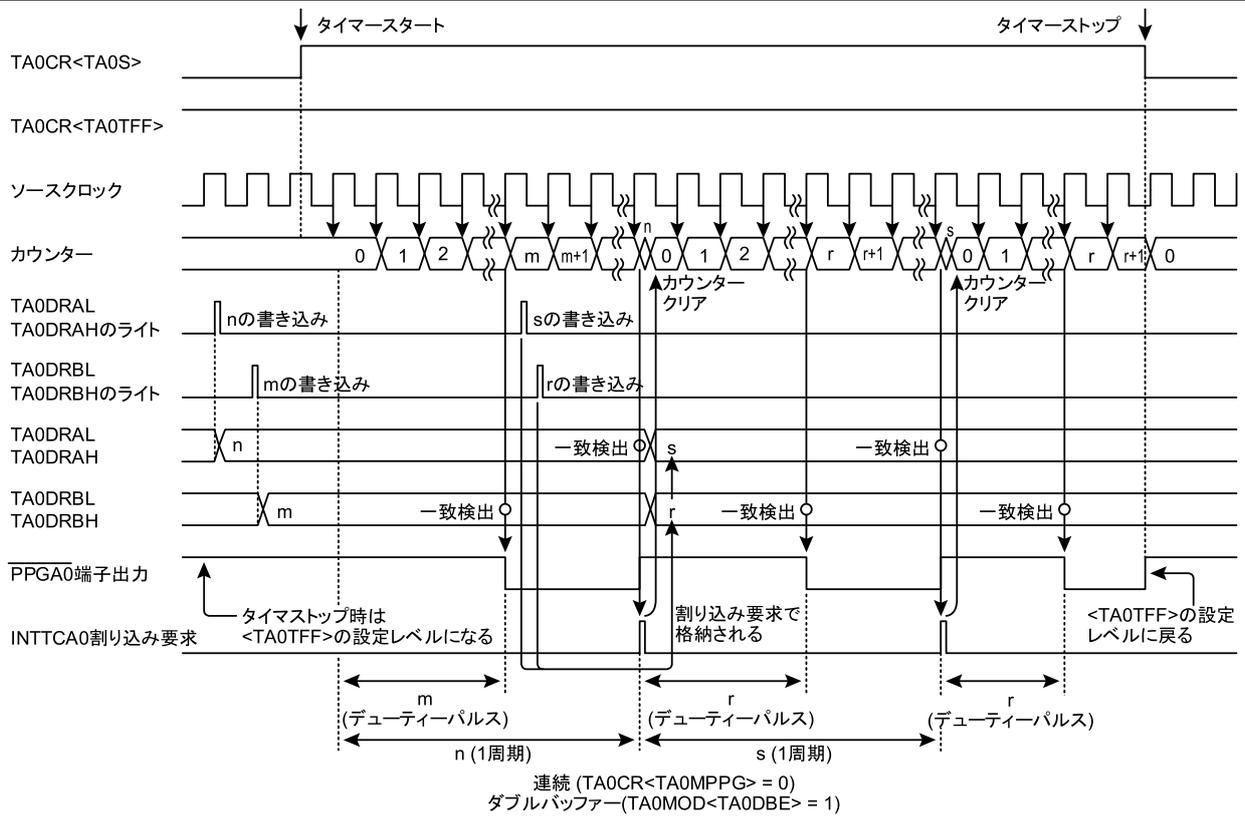


図 13-9 PPGモードタイミングチャート

13.6. ノイズキャンセラー

TCA0 端子を使用する動作モードでは、デジタルノイズキャンセラーを使用することができます。

13.6.1. 設定

デジタルノイズキャンセラー使用時には、TA0CR<TA0NC>で選択したサンプリング間隔で、入力レベルのサンプリングを行います。同一レベルが3回連続で検出した場合、タイマーへの入力レベルを変更します。

ノイズキャンセラーは、TA0CR<TA0NC>を"00"以外に設定すると、TA0CR<TA0S>の値に関わらず動作を開始します。

ノイズキャンセラーを使用する際には、入力信号を安定させるため、TA0CR<TA0NC>設定後、サンプリング間隔 × 4 の時間経過後にタイマーをスタートさせるようにしてください。

TA0CR<TA0NC>は、タイマー停止状態(TA0CR<TA0S> = 0)で設定してください。TA0CR<TA0S> = 1 の場合、書き込みは無視されます。

SLOW1/2、SLEEP1 モード使用時には、TA0CR<TA0NC> = 11 で $f_s/2$ をソースクロックとして動作します。また、TA0CR<TA0NC> = 00 でノイズキャンセラーなしとなります。TA0CR<TA0NC>を"01"または"10"に設定すると、TCA0 端子入力は一切無効となります。

表 13-5 ノイズキャンセル時間

fcgck = 10 [MHz]			
<TA0NC>	サンプリング 間隔	ノイズとして確 実に除去される 時間	信号として確実 にみなされる 時間
00	なし	-	-
01	200 [ns] (2 / fcgck)	600 [ns]未満	800 [ns]以上
10	400 [ns] (4 / fcgck)	1.2 [μs]未満	1.6 [μs]以上
11	25.6 [μs] (256 / fcgck)	76.8 [μs]未満	102.4 [μs]以上

14. 8ビットタイマーカウンタ (TC0)

TMP89FS60B/62B/63Bは、高性能8ビットタイマーカウンタ(TC0)を内蔵しています。それぞれのタイマーカウンタは時間計測や指定した幅のパルス出力などを行うことができます。また、TC0を2つカスケード接続することにより、16ビットタイマーカウンタとして使用することもできます。

この章は、TC00とTC01をカスケード接続したときの説明となります。

TC02、TC03については表 14-1、表 14-2 に従ってSFRアドレス、端子名を読み替えてください。

表 14-1 SFRアドレス割り付け

	16ビット タイマー モード時	T0xREG (アドレス)	T0xPWM (アドレス)	T0xMOD (アドレス)	T0xxCR (アドレス)	低消費電力 レジスタ
TC00	下位 8ビット	T00REG (0x0026)	T00PWM (0x0028)	T00MOD (0x002A)	T001CR (0x002C)	POFFCR0 <TC001EN>
TC01	上位 8ビット	T01REG (0x0027)	T01PWM (0x0029)	T01MOD (0x002B)		
TC02	下位 8ビット	T02REG (0x0F88)	T02PWM (0x0F8A)	T02MOD (0x0F8C)	T023CR (0x0F8E)	POFFCR0 <TC023EN>
TC03	上位 8ビット	T03REG (0x0F89)	T03PWM (0x0F8B)	T03MOD (0x0F8D)		

表 14-2 端子名

	タイマー入力端子	PWM 出力端子	PPG 出力端子
TC00	TC00 端子	PWM00端子	PPG00端子
TC01	TC01 端子	PWM01端子	PPG01端子
TC02	TC02 端子	PWM02端子	PPG02端子
TC03	TC03 端子	PWM03端子	PPG03端子

14.1. 各製品の8ビットタイマーカウンタ

各製品で使用できる8ビットタイマーカウンタ(TC0)を表 14-3 に示します。

非搭載のTC0のチャネルに対応する低消費電力レジスタのビットは"0"にクリアしてください。

表 14-3 各製品の8ビットタイマーカウンタ

	TMP89FS60B	TMP89FS62B	TMP89FS63B
TC00	A	A	A
TC01	A	A	A
TC02	A	A	A
TC03	A	A	A

注) A: 搭載

14.2. 構成

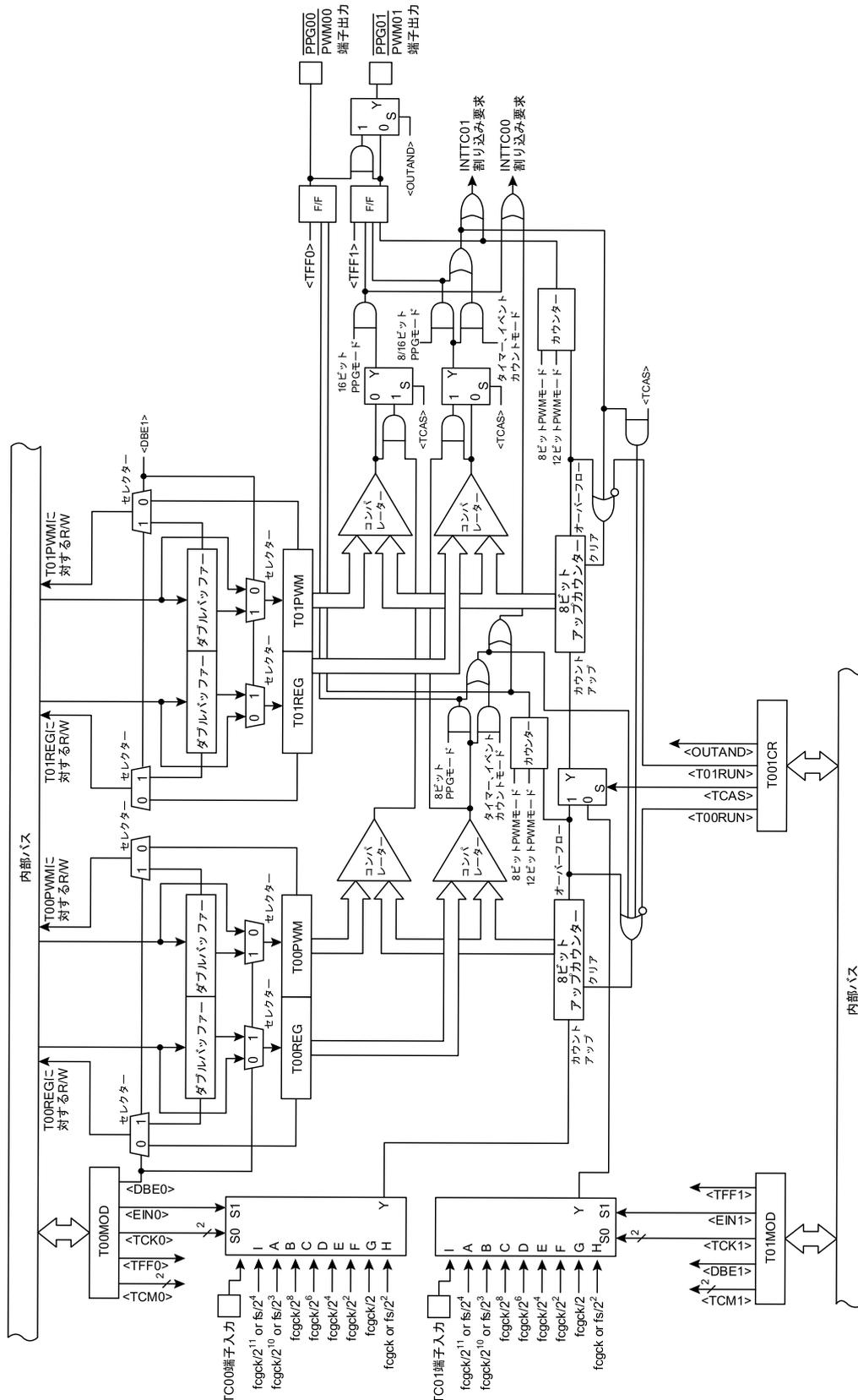


図 14-1 8ビットタイマーカウンタ(TC00、TC01)

14.3. 制御

14.3.1. TC00

TC00 は、タイマーカウンタ00 モードレジスタ(T00MOD)と 2 つの 8 ビットタイマーレジスタ (T00REG、T00PWM)で制御されます。

タイマーレジスタ00

T00REG		7	6	5	4	3	2	1	0
(0x0026)	Bit Symbol	T00REG							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマーレジスタ00

T00PWM		7	6	5	4	3	2	1	0
(0x0028)	Bit Symbol	T00PWM							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

注) 8 ビット PWM モード、および 12 ビット PWM モード時の T00PWM 構成については、「14.5.3.8 ビットパルス幅変調 (PWM)出力モード」および「14.5.7. 12 ビットパルス幅変調 (PWM)出力モード」を参照してください。

14.3.2. TC01

TC01 は、タイマーカウンタ01 モードレジスタ(T01MOD)と 2 つの 8 ビットタイマーレジスタ (T01REG、T01PWM)で制御されます。

タイマーレジスタ01

T01REG		7	6	5	4	3	2	1	0
(0x0027)	Bit Symbol	T01REG							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

タイマーレジスタ01

T01PWM		7	6	5	4	3	2	1	0
(0x0029)	Bit Symbol	T01PWM							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

注) 8 ビット PWM モード、および 12 ビット PWM モード時の T01PWM 構成については、「14.5.3.8 ビットパルス幅変調 (PWM)出力モード」および「14.5.7. 12 ビットパルス幅変調 (PWM)出力モード」を参照してください。

タイマーカウンタ-01 モードレジスタ

T01MOD 7 6 5 4 3 2 1 0

(0x002B)	Bit Symbol	TFF1	DBE1	TCK1			EIN1	TCM1	
	Read/Write	R/W	R/W	R/W			R/W	R/W	
	リセット後	1	1	0	0	0	0	0	0

TFF1	タイマーF/F1の制御	0:	クリア		
		1:	セット		
DBE1	ダブルバッファ制御	0:	ダブルバッファ無効		
		1:	ダブルバッファ有効		
TCK1	動作クロック選択		NORMAL1/2、IDLE1/2モード		SLOW1/2、SLEEP1モード
			SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1	
		000:	fcgck / 2 ¹¹	fs / 2 ⁴	fs / 2 ⁴
		001:	fcgck / 2 ¹⁰	fs / 2 ³	fs / 2 ³
		010:	fcgck / 2 ⁸	fcgck / 2 ⁸	-
		011:	fcgck / 2 ⁶	fcgck / 2 ⁶	-
		100:	fcgck / 2 ⁴	fcgck / 2 ⁴	-
		101:	fcgck / 2 ²	fcgck / 2 ²	-
110:	fcgck / 2	fcgck / 2	-		
111:	fcgck	fcgck	fs / 2 ²		
EIN1	外部ソースクロック使用選択	0:	ソースクロックは内部クロック		
		1:	ソースクロックは外部クロック (TC01 端子の立ち下がりエッジ)		
TCM1	動作モード選択		T001CR<TCAS> = 0 (8ビットモード)		T001CR<TCAS> = 1 (16ビットモード)
		00:	8ビットタイマー/イベントカウンタモード		16ビットタイマー/イベントカウンタモード
		01:	8ビットタイマー/イベントカウンタモード		16ビットタイマー/イベントカウンタモード
		10:	8ビットパルス幅変調出力 (PWM)モード		12ビットパルス幅変調出力 (PWM)モード
		11:	8ビットプログラマブルパルスジェネレート (PPG)モード		16ビットプログラマブルパルスジェネレート (PPG)モード

注 1) fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) T01MOD への書き込みは、タイマーカウンタ停止中に行ってください。タイマーカウンタ動作中は、T01MOD への書き込みは無効となります。

注 3) 8ビットタイマー/イベントカウンタモードでは、<TFF1>の設定は無効となります。同モードのとき、ポートの設定でPWM01、PPG01端子を機能出力端子に設定すると、常に"High"レベルが出力されます。

注 4) <EIN1>に"1"を設定して、ソースクロックを外部クロック入力にした場合、<TCK1>の設定は無視されます。

14.3.3. TC00 と TC01 共通

TC00 と TC01 共通のレジスターに、低消費電力レジスター(POFFCR0)、タイマー00、01 制御レジスターがあります。

低消費電力レジスター0 制御

POFFCR0 (0x0F74)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	TC023EN	TC001EN	-	-	(TCA1EN)	(TCA0EN)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0	0

TC023EN	TC02、03 制御	0:	Disable
		1:	Enable
TC001EN	TC00、01 制御	0:	Disable
		1:	Enable

注) POFFCR0 のビット 7、6 とビット 3、2 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

タイマーカウンタ00、01 制御レジスター

T001CR		7	6	5	4	3	2	1	0
(0x002C)	Bit Symbol	-	-	-	-	OUTAND	TCAS	T01RUN	T00RUN
	Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

OUTAND	TC00 と TC01 の出力制御	0:	TC00 の出力を $\overline{\text{PWM00}}$ 、 $\overline{\text{PPG00}}$ 端子から出力する TC01 の出力を $\overline{\text{PWM01}}$ 、 $\overline{\text{PPG01}}$ 端子から出力する
		1:	TC00 と TC01 出力の論理積パルス $\overline{\text{PWM01}}$ 、 $\overline{\text{PPG01}}$ 端子から出力する
TCAS	TC00 と TC01 のカスケード接続制御	0:	TC00 と TC01 を独立して使用する (8ビットモード)
		1:	TC00 と TC01 をカスケード接続して使用する (16ビットモード)
T01RUN	TC01 の制御 (8ビットモード) TC00 と TC01 の制御 (16ビットモード)	0:	ストップ&カウンタークリア
		1:	スタート
T00RUN	TC00 の制御	0:	ストップ&カウンタークリア
		1:	スタート

注 1) STOP モードを起動すると、<T00RUN>および<T01RUN>は"0"にクリアされ、タイマーカウンタは停止します。STOP モード解除後、TC00 と TC01 を使用する場合は、T001CR を再設定してください。

注 2) T001CR に対して読み出し命令を実行すると、ビット 7~4 は"0"が読みだされます。

注 3) <OUTAND>が"1"のとき、出力は $\overline{\text{PWM01}}$ 、 $\overline{\text{PPG01}}$ 端子からのみ行われます。 $\overline{\text{PWM00}}$ 、 $\overline{\text{PPG00}}$ 端子へのタイマー出力は行われません。このときポートの設定で $\overline{\text{PWM00}}$ 、 $\overline{\text{PPG00}}$ 端子を機能出力端子に設定すると、常に"High"レベルが出力されます。

注 4) <OUTAND>、<TCAS>は、<T01RUN>と<T00RUN>がともに"0"のときだけ書き替えが可能です。<T01RUN>、<T00RUN>のいずれか一方が"1"、または両方"1"のときは、<OUTAND>、<TCAS>に対して書き込み命令を実行してもレジスターの値は書き替わりません。ただし<T01RUN>、<T00RUN>をそれぞれ"0"から"1"に設定すると同時に<OUTAND>、<TCAS>を書き替えることは可能です。

14.3.4. 動作モードと使用できるソースクロック

TC00 の各モードと、使用できるソースクロックの一覧は次のとおりです。

表 14-4 動作モードと使用できるソースクロック (NORMAL1/2、IDLE1/2モード時)

<TCK0>		000	001	010	011	100	101	110	111	TC0i 端子入力
動作モード		fcgck / 2 ¹¹ or fs / 2 ⁴	fcgck / 2 ¹⁰ or fs / 2 ³	fcgck / 2 ⁸	fcgck / 2 ⁶	fcgck / 2 ⁴	fcgck / 2 ²	fcgck / 2	fcgck	
8ビット タイマー モード	8ビット タイマー	A	A	A	A	A	A	A	A	NA
	8ビット イベント カウンタ	NA	NA	NA	NA	NA	NA	NA	NA	A
	8ビット PWM	A	A	A	A	A	A	A	A	NA
	8ビット PPG	A	A	A	A	A	A	A	A	NA
16ビット タイマー モード	16ビット タイマー	A	A	A	A	A	A	A	A	NA
	16ビット イベント カウンタ	NA	NA	NA	NA	NA	NA	NA	NA	A
	12ビット PWM	A	A	A	A	A	A	A	A	A
	16ビット PPG	A	A	A	A	A	A	A	A	A

注 1) A: 使用可能、NA: 使用禁止

注 2) 16 ビットモードのソースクロックは T01MOD<TCK1>で設定します。

注 3) 低周波クロック fs が発振していない場合には、ソースクロックとして fs を選択しないでください。fs が発振していない状態でソースクロックに fs を選択すると、タイマーカウンタへのソースクロックが供給されず、タイマーカウンタは停止したままになります。

注 4) i = 1、0 (16 ビットモードでは i = 0 のみ選択できます)

表 14-5 動作モードと使用できるソースクロック (SLOW1/2、SLEEP1モード時)

<TCK0>		000	001	010	011	100	101	110	111	TC0i 端子入 力
動作モード		$fs / 2^4$	$fs / 2^3$	-	-	-	-	-	$fs / 2^2$	
8ビット タイマー モード	8ビット タイマー	A	A	NA	NA	NA	NA	NA	A	NA
	8ビット イベント カウンタ	NA	NA	NA	NA	NA	NA	NA	NA	A
	8ビット PWM	A	A	NA	NA	NA	NA	NA	A	NA
	8ビット PPG	A	A	NA	NA	NA	NA	NA	A	NA
16ビット タイマー モード	16ビット タイマー	A	A	NA	NA	NA	NA	NA	A	NA
	16ビット イベント カウンタ	NA	NA	NA	NA	NA	NA	NA	NA	A
	12ビット PWM	A	A	NA	NA	NA	NA	NA	A	A
	16ビット PPG	A	A	NA	NA	NA	NA	NA	A	A

注 1) A: 使用可能、NA: 使用禁止

注 2) 16 ビットモードのソースクロックは T01MOD<TCK1>で設定します。

注 3) i = 1、0 (16 ビットモードは i = 0 のみ)

14.4. 低消費電力制御

TC00 と TC01 は、TC00 と TC01 を使用しないとき、低消費電力レジスタ(POFFCR0)によって不要な電力を抑える機能を持っています。

POFFCR0<TC001EN>を"0"に設定すると、TC00 と TC01 への基本クロックが停止(Disable)され、不要な電力を抑えることができます。ただしこのとき TC00 と TC01 が使用できなくなります。POFFCR0<TC001EN>を"1"に設定すると、TC00 と TC01 へ基本クロックが供給(Enable)され TC00 と TC01 が使用可能になります。

リセット後、POFFCR0<TC001EN>は"0"に初期化されますので、TC00 と TC01 は使用不可の設定となります。よって初めて TC00 と TC01 を使用するときは、プログラムの初期設定(TC00 と TC01 の制御レジスタを変更する前)で必ず POFFCR0<TC001EN>を"1"に設定してください。

なお、TC00 と TC01 の動作中はPOFFCR0<TC001EN>を"0"に変更しないでください。変更した場合、TC00 と TC01 が予期しない動作をする場合があります。

14.5. 機能

TC00、TC01は、それぞれ単独で使用する8ビットモードと、2つのタイマーをカスケード接続して使用する16ビットモードがあります。

8ビットモードとしては、8ビットタイマーモード、8ビットイベントカウンタモード、8ビットパルス幅変調出力(PWM)モード、8ビットプログラマブルパルスジェネレート出力(PPG)モードの4つの動作モードがあります。

16ビットモードとしては、16ビットタイマーモード、16ビットイベントカウンタモード、12ビットPWMモード、16ビットPPGモードの4つの動作モードがあります。

14.5.1. 8ビットタイマーモード

8ビットタイマーモードは、内部クロックでカウントアップするモードです。指定した時間で定期的に割り込みを発生させることができます。

14.5.1.1. 設定

T00MOD<TCM0>を"00"または"01"、T00ICR<TCAS>を"0"、さらに T00MOD<EIN0>に"0"を設定すると、TC00は8ビットタイマーモードになります。ソースクロックの選択は T00MOD<TCK0>で行います。タイマーレジスタT00REGには、一致検出を行うカウント値を8ビット値として設定します。

ダブルバッファを使用する場合には、T00MOD<DBE0>に"1"を設定します。

T00ICR<T00RUN>に"1"を設定すると動作を開始します。タイマーカウンタがスタートするとT00MODは書き込みが無効となりますので、タイマーカウンタをスタートさせる前に必ず各モードの設定を行うようにしてください。

14.5.1.2. 動作

T00ICR<T00RUN>に"1"を設定すると、選択された内部ソースクロックで8ビットのアップカウンタをカウントアップします。アップカウンタの値とT00REGの設定値が一致するとINTTC00割り込み要求が発生し、アップカウンタが"0x00"にクリアされます。カウンタクリア後もカウントアップは継続されます。タイマーカウンタ動作中に T00ICR<T00RUN>に"0"を設定すると、カウントアップは停止され、アップカウンタは"0x00"にクリアされます。

14.5.1.3. ダブルバッファ

TMP89FS60B/62B/63B は、T00MOD<DBE0>の設定により T00REG にダブルバッファを利用することができます。T00MOD<DBE0>に"0"を設定するとダブルバッファが無効に、T00MOD<DBE0>に"1"を設定するとダブルバッファが有効になります。

- ダブルバッファが有効の場合
タイマーカウンタ動作中に T00REG に対して書き込み命令を実行すると、設定値はダブルバッファに格納され、T00REG は更新されません。T00REG は前回の設定値でアップカウンタと比較を行い、値が一致すると INTTC00 割り込み要求が発生し、ダブルバッファの設定値が T00REG に格納されます。以降は新しい設定値で一致検出が行われます。
タイマーカウンタ停止中に T00REG に対して書き込み命令を実行すると、設定値はダブルバッファと T00REG の両方にすぐに格納されます。
- ダブルバッファが無効の場合
タイマーカウンタ動作中に T00REG に対して書き込み命令を実行すると、設定値は T00REG に格納され、以降は新しい設定値で一致検出が行われます。
このとき T00REG に設定した値がアップカウンタの値より小さかった場合、アップカウンタが一度オーバーフローした後、新しい設定値で一致検出が行われるため、割り込み要求の間隔が設定した時間よりも長くなる場合があります。また、T00REG に設定した値がアップカウンタの値と同じだった場合、T00REG に値が格納された直後に一致検出が行われるため、割り込み要求の間隔がソースクロックの整数倍にならない場合があります(図 14-3)。これらが問題となる場合は、ダブルバッファを有効にして使用してください。
タイマーカウンタ停止中に T00REG に対して書き込み命令を実行すると、設定値はすぐに T00REG に格納されます。

T00REG に対して読み出し命令を実行すると、T00MOD<DBE0>の設定に関わらず、T00REG に最後に書き込んだ値が読みだされます。

表 14-6 8ビットタイマーモードの分解能、最大設定時間

T00MOD <TCK0>	ソースクロック [Hz]			分解能		最大設定時間	
	NORMAL1/2、IDLE1/2 モード		SLOW1/2、 SLEEP1 モード	fcgck = 10 [MHz]	fs = 32.768 [kHz]	fcgck = 10 [MHz]	fs = 32.768 [kHz]
	SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1					
000	fcgck / 2 ¹¹	fs / 2 ⁴	fs / 2 ⁴	204.8 [μs]	488.2 [μs]	52.2 [ms]	124.5 [ms]
001	fcgck / 2 ¹⁰	fs / 2 ³	fs / 2 ³	102.4 [μs]	244.1 [μs]	26.1 [ms]	62.3 [ms]
010	fcgck / 2 ⁸	fcgck / 2 ⁸	-	25.6 [μs]	-	6.5 [ms]	-
011	fcgck / 2 ⁶	fcgck / 2 ⁶	-	6.4 [μs]	-	1.6 [ms]	-
100	fcgck / 2 ⁴	fcgck / 2 ⁴	-	1.6 [μs]	-	408 [μs]	-
101	fcgck / 2 ²	fcgck / 2 ²	-	400 [ns]	-	102 [μs]	-
110	fcgck / 2	fcgck / 2	-	200 [ns]	-	51 [μs]	-
111	fcgck	fcgck	fs / 2 ²	100 [ns]	122.1 [μs]	25.5 [μs]	31.1 [ms]

プログラム例: TC00 を 8 ビットタイマーモード、動作クロック fcgck / 2² [Hz] で動作させ、64 [μs] ごとに割り込みを発生させる (fcgck = 10 [MHz] 時)

```

LD    (POFFCR0), 0x10    ; <TC001EN> を "1" にセット
DI                                     ; 割り込みマスター許可フラグを禁止に設定
SET   (EIRH).4           ; INTTC00 割り込み許可レジスターを "1" にセット
EI                                     ; 割り込みマスター許可フラグを許可に設定
LD    (T00MOD), 0xE8     ; 8 ビットタイマーモード、fcgck / 22 に設定
LD    (T00REG), 0xA0     ; タイマーレジスターの設定 (64 [μs] / (22 / fcgck) = 0xA0)
SET   (T001CR).0        ; TC00 スタート
    
```

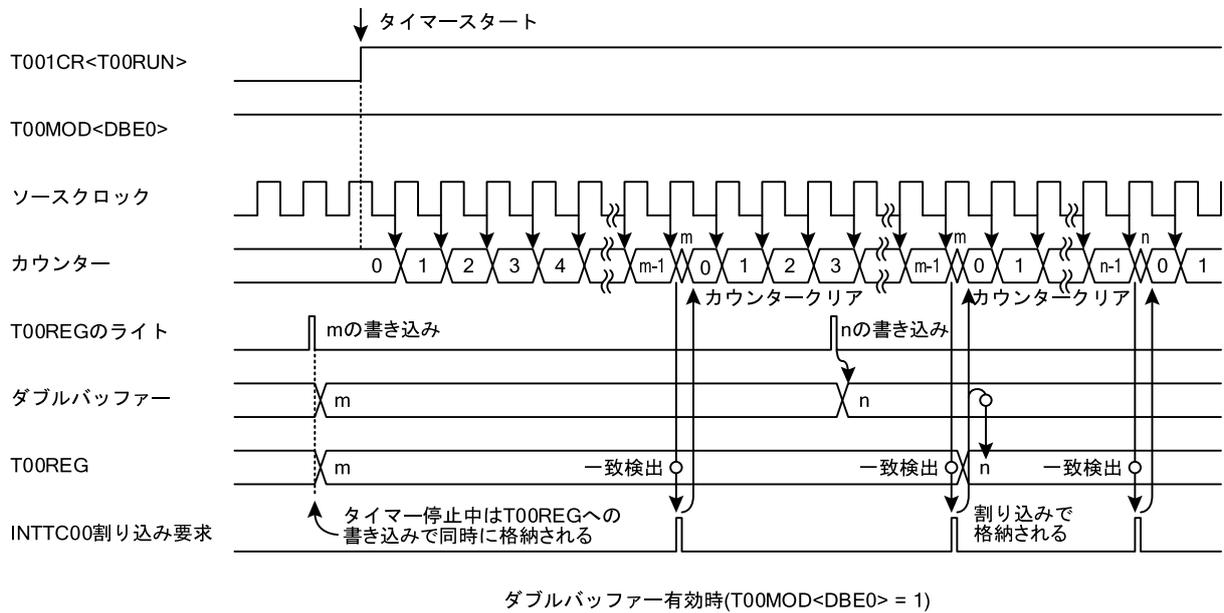
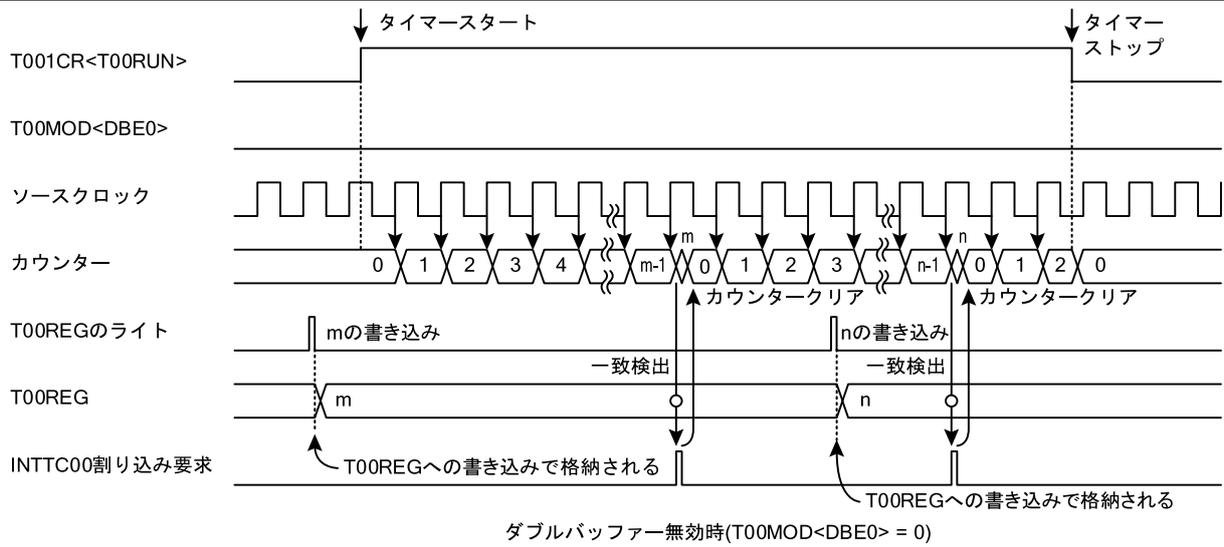


図 14-2 タイマーモードタイミングチャート

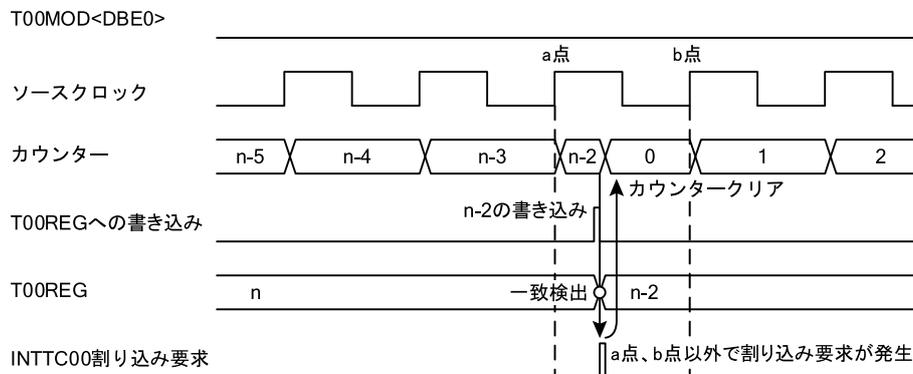


図 14-3 T00REGとアップカウンターが同値のときの動作

14.5.2. 8 ビットイベントカウンターモード

8ビットイベントカウンターモードは、TC00端子入力の立ち下がりエッジでカウントアップするモードです。

14.5.2.1. 設定

T00MOD<TCM0>を"00"、T001CR<TCAS>に"0"をセットし、さらに T00MOD<EIN0>に"1"を設定すると、TC00は8ビットイベントカウンターモードになります。タイマーレジスターT00REGには、一致検出を行うカウント値を8ビット値として設定します。

ダブルバッファを使用する場合には、T00MOD<DBE0>に"1"を設定します。

T001CR<T00RUN>を"1"に設定すると動作を開始します。タイマーカウンターがスタートするとT00MODは書き込みが無効となりますので、タイマーカウンターをスタートさせる前に必ず各モードの設定を行うようにしてください。

14.5.2.2. 動作

T001CR<T00RUN>に"1"を設定すると、TC00端子の立ち下がりエッジで8ビットのアップカウンターをカウントアップします。アップカウンターの値とT00REGの設定値が一致するとINTTC00割り込み要求が発生し、アップカウンターが"0x00"にクリアされます。カウンタークリア後もカウントアップは継続されます。タイマー動作中にT001CR<T00RUN>に"0"を設定すると、カウントアップは停止され、アップカウンターは"0x00"にクリアされます。

なお、最大印加周波数は $f_{cgk} / 2^2$ [Hz](NORMAL1/2 または IDLE1/2 モード時)、 $f_s / 2^4$ [Hz](SLOW1/2、SLEEP1 モード時)で、"High"、"Low"レベルともに2マシンサイクル以上のパルス幅が必要です。

14.5.2.3. ダブルバッファ

「14.5.1.3 ダブルバッファ」を参照してください。

プログラム例: TC00を8ビットイベントカウンターモードで動作させ、TC00端子で16回立ち下がりエッジを検出するごとに割り込みを発生させる。

```
LD      (POFFCR0), 0x10      ; <TC001EN>を"1"にセット
DI      ; 割り込みマスター許可フラグを禁止に設定
SET     (EIRH), 4           ; INTTC00 割り込み許可レジスターを"1"にセット
EI      ; 割り込みマスター許可フラグを許可に設定
LD      (T00MOD), 0xC4      ; 8ビットイベントカウンターモードに設定
                          ; ソースクロックは外部クロック
LD      (T00REG), 0x10      ; タイマーレジスターの設定
SET     (T001CR), 0         ; TC00 スタート
```

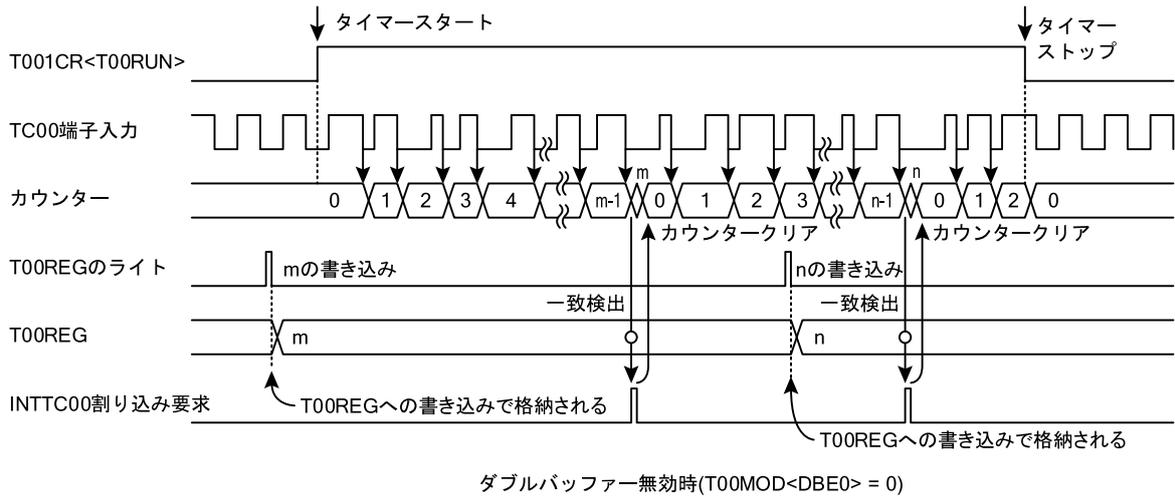


図 14-4 イベントカウンターモードタイミングチャート

14.5.3. 8 ビットパルス幅変調 (PWM)出力モード

8ビットPWMモードは、7ビット分解能のPWM出力を行うモードです。分解能は7ビットですが、 $2 \times n$ 回目($n=1, 2, 3\dots$)のPWMパルスに付加パルスを追加することで、8ビット相当の分解能でPWM出力を行うことができます。

14.5.3.1. 設定

T00MOD<TCM0>を"10"、T001CR<TCAS>に"0"を設定すると、TC00は8ビットPWMモードになります。T00MOD<EIN0>に"0"を設定し、T00MOD<TCK0>でクロックを選択します。PWMレジスタT00PWMには、一致検出を行うカウント値と付加パルスの値を設定します。

ダブルバッファを使用する場合には、T00MOD<DBE0>に"1"を設定します。

T001CR<T00RUN>を"1"に設定すると動作を開始します。タイマーカウンタがスタートするとT00MODは書き込みが無効となりますので、タイマーカウンタをスタートさせる前に必ず各モードの設定を行うようにしてください。

なお、T00PWMレジスタは8ビットPWMモードのとき、次のようにな構成になります。

タイマーレジスタ-00

T00PWM		7	6	5	4	3	2	1	0
(0x0028)	Bit Symbol	PWMDUTY							PWMAD
	Read/Write	R/W							R/W
	リセット後	1	1	1	1	1	1	1	1

タイマーレジスタ-01

T01PWM		7	6	5	4	3	2	1	0
(0x0029)	Bit Symbol	PWMDUTY							PWMAD
	Read/Write	R/W							R/W
	リセット後	1	1	1	1	1	1	1	1

<PWMDUTY>は、7ビットのレジスターで、1周期(ソースクロックの128カウント長)に対するデューティパルス幅(最初に出力が変化するまでの時間)を設定します。

<PWMAD>は、付加パルスの設定を行うレジスターです。<PWMAD>が"1"の場合、 $2 \times n$ 回目($n=1, 2, 3\dots$)のデューティパルスに、ソースクロック1カウント分の付加パルスが追加されます。つまり $2 \times n$ 回目は<PWMDUTY> + 1のデューティパルスが出力されます。

<PWMAD>が"0"の場合、付加パルスは追加されません。

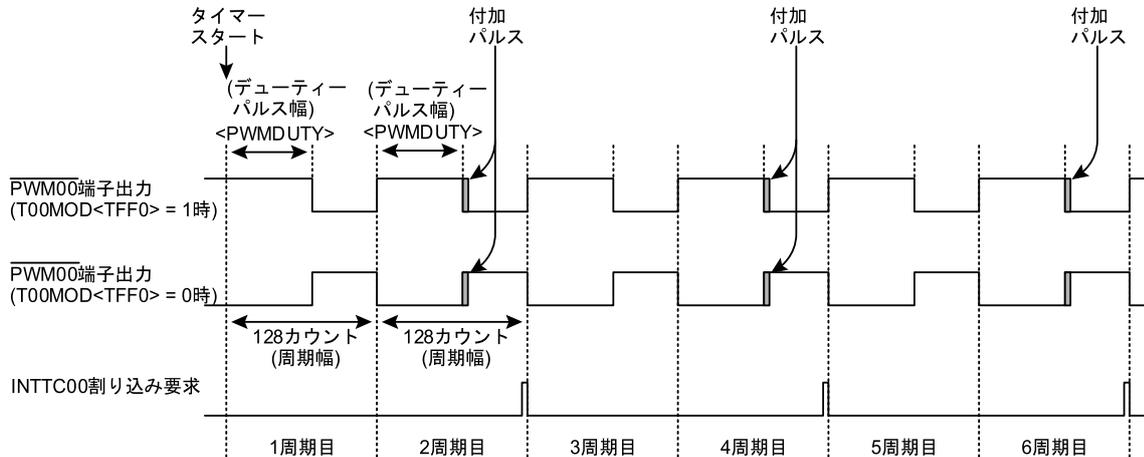


図 14-5 $\overline{\text{PWM00}}$ パルス出力 (<PWMAD> = 1のとき)

$\overline{\text{PWM00}}$ 端子の初期状態は T00MOD<TFF0>で設定します。T00MOD<TFF0>に"0"を設定すると $\overline{\text{PWM00}}$ 端子の初期状態は"Low"レベルとなり、T00MOD<TFF0>に"1"を設定すると $\overline{\text{PWM00}}$ 端子の初期状態は"High"レベルとなります。タイマー動作停止中にポートの設定で $\overline{\text{PWM00}}$ 端子を機能出力に設定すると、T00MOD<TFF0>の値が $\overline{\text{PWM00}}$ 端子に出力されます。表 14-7に $\overline{\text{PWM00}}$ 端子の出力レベル一覧を示します。

表 14-7 $\overline{\text{PWM00}}$ 端子出力レベル一覧

<TFF0>	$\overline{\text{PWM00}}$ 端子出力レベル			
	動作開始前 (初期状態)	T00PWM <PWMDUTY> 一致時 (付加パルス後)	オーバー フロー時	動作停止時 (初期状態)
0	"Low"レベル	"High"レベル	"Low"レベル	"Low"レベル
1	"High"レベル	"Low"レベル	"High"レベル	"High"レベル

また、T001CR<OUTAND>に"1"を設定すると、TC00とTC01の出力の論理積パルスを $\overline{\text{PWM00}}$ 端子から出力することができます。この機能を使用すると、リモコン波形などを容易に作成することができます。

14.5.3.2. 動作

T001CR<T00RUN>に"1"を設定すると、指定されたソースクロックでアップカウンターをカウントアップします。アップカウンターの下位7ビットの値とT00PWM<PWMDUTY>の設定値が一致するとPWM00端子の出力が反転します。T00MOD<TFF0>が"0"の場合PWM00端子は"Low"から"High"レベルに、T00MOD<TFF0>が"1"の場合PWM00端子は"High"から"Low"レベルに変化します。

ただしT00PWM<PWMAD>が"1"の場合、 $2 \times n$ 回目 ($n = 1, 2, 3\dots$)の一致検出時は、ソースクロック1カウント分の付加パルスが追加されます。つまりPWM00端子は、T00PWM<PWMDUTY>+1のタイミングで出力が反転します。T00MOD<TFF0>が"0"の場合、"Low"レベルがT00PWM<PWMDUTY>の設定値よりも1ソースクロック分長くなり、T00MOD<TFF0>が"1"の場合、"High"レベルがT00PWM<PWMDUTY>の設定値よりも1ソースクロック分長くなります。この機能によって2周期分の7ビット分解能のPWM出力パルスを8ビットの分解能で扱うことができます。

T00PWM<PWMAD>が"0"の場合、付加パルスは追加されません。

その後もカウントアップを継続し、アップカウンターの値が128になるとオーバーフローが発生し、アップカウンターは"0x00"にクリアされます。同時にPWM00端子の出力が反転します。

T00MOD<TFF0>が"0"の場合PWM00端子は"High"から"Low"レベルに、T00MOD<TFF0>が"1"の場合PWM00端子は"Low"から"High"レベルに変化します。このときオーバーフローの発生が $2 \times n$ 回目だった場合、INTTC00割り込み要求が発生します($2 \times n - 1$ 回目のオーバーフローのときは発生しません)。

その後もカウントアップは継続されます。

タイマー動作中にT001CR<T00RUN>に"0"を設定するとカウントアップは停止され、アップカウンターは"0x00"にクリアされます。また、PWM00端子のレベルは、T00MOD<TFF0>で設定したレベルに戻ります。

プログラム例: TC00 を 8 ビット PWM モード、動作クロック $fcgck/2$ で動作させ、周期 25.6 [μs] で 11.6 [μs] 相当のデューティパルスを出力 ($fcgck = 10$ [MHz] 時)
 (実際は 2 周期(51.2 [μs])でトータル 23.2 [μs]のデューティパルスを出力)

```

SET   (P7FC).0           ; <P7FC0>を"1"にセット
SET   (P7CR).0           ; <P7CR0>を"1"にセット
LD    (POFFCR0), 0x10    ; <TC001EN>を"1"にセット
DI                                         ; 割り込みマスター許可フラグを禁止に設定
SET   (EIRH).4           ; INTTC00 割り込み許可レジスターを"1"にセット
EI                                         ; 割り込みマスター許可フラグを許可に設定
LD    (T00MOD), 0xF2     ; 8 ビット PWM モード、fcgck / 2 に設定
LD    (T00PWM), 0x74     ; タイマーレジスター (デューティパルス)の設定
                                ; (11.6 [μs] × 2) / (2 / fcgck) = 0x74
SET   (T001CR).0        ; TC00 スタート
    
```

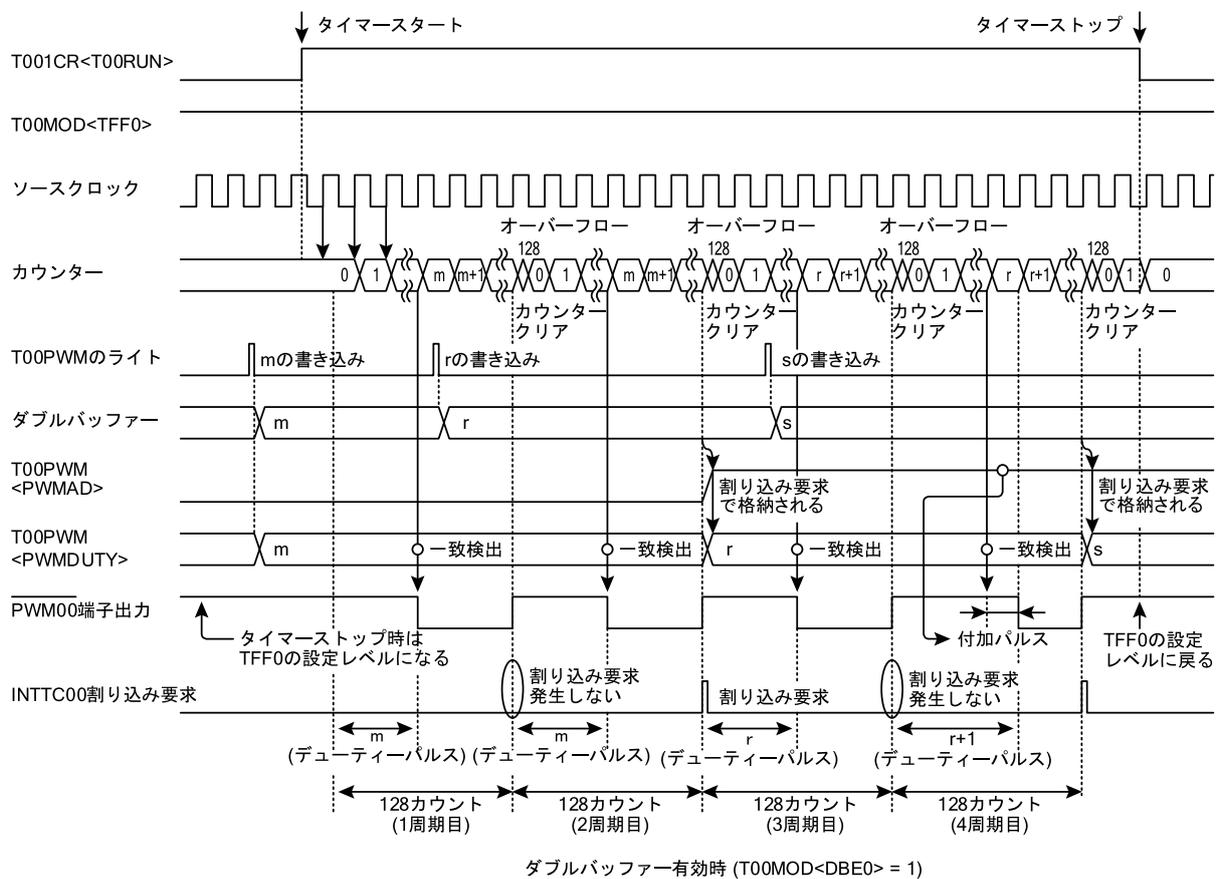


図 14-6 8ビットPWMモードタイミングチャート

14.5.3.3. ダブルバッファ

TMP89FS60B/62B/63B では、T00MOD<DBE0>の設定により T00PWM にダブルバッファを利用することができます。T00MOD<DBE0>に"0"を設定すると、ダブルバッファが無効に、T00MOD<DBE0>に"1"を設定すると、ダブルバッファが有効になります。

- ダブルバッファが有効の場合

タイマーカウンタ動作中に T00PWM に対して書き込み命令を実行すると、設定値はダブルバッファに格納され、T00PWM は更新されません。T00PWM は前回の設定値でアップカウンタと比較を行い、 $2 \times n$ 回目のオーバーフローが発生したとき INTTC00 割り込み要求が発生し、ダブルバッファの設定値が T00PWM に格納されます。以降は新しい設定値で一致検出が行われます。

なお、T00PWM に対して読み出し命令を実行すると、T00PWM の値(現在の有効値)ではなく、ダブルバッファの値(最後に設定した値)が読みだされます。

タイマーカウンタ停止中に T00PWM に対して書き込み命令を実行すると、設定値はダブルバッファと T00PWM の両方にすぐに格納されます。
- ダブルバッファが無効の場合

タイマーカウンタ動作中に T00PWM に対して書き込み命令を実行すると、設定値はすぐに T00PWM に格納され、以降は新しい設定値で一致検出が行われます。このとき T00PWM に設定した値がアップカウンタの値より小さかった場合、PWM00端子はアップカウンタが一度オーバーフローした後、新しい設定値で一致検出が行われるまで反転されません。また、T00PWM に設定した値がアップカウンタの値と同じだった場合、T00PWM へ値を格納した直後に一致検出が行われるため、PWM00端子の変化するタイミングがソースクロックの整数倍にならない場合があります(図 14-7)。同様に付加パルスの出力中に T00PWM を設定すると、PWM00端子の変化するタイミングがソースクロックの整数倍にならない場合があります。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマーカウンタ停止中に T00PWM に対して書き込み命令を実行すると、設定値はすぐに T00PWM に格納されます。

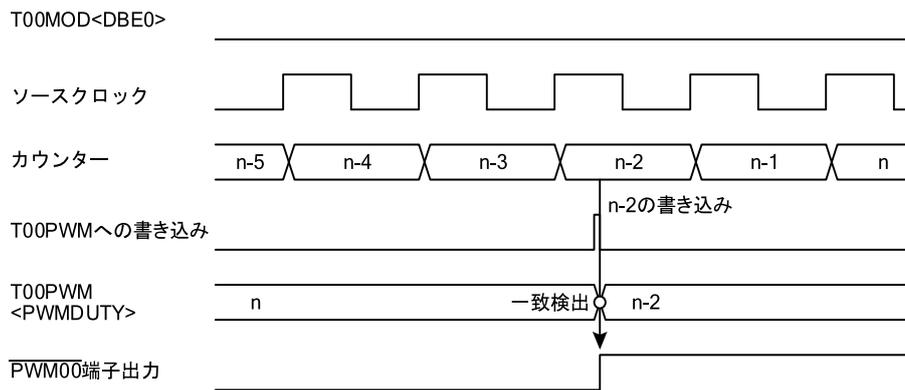


図 14-7 T00PWMにアップカウンタと同値を書き込んだときの動作例

表 14-8 8ビットPWMモードの分解能、周期

T00MOD <TCK0>	ソースクロック [Hz]			分解能		7ビット周期 (周期 × 2)	
	NORMAL1/2、 IDLE1/2 モード		SLOW1/2、 SLEEP1 モード	fcgck = 10 [MHz]	fs = 32.768 [kHz]	fcgck = 10 [MHz]	fs = 32.768 [kHz]
	SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1					
000	fcgck / 2 ¹¹	fs / 2 ⁴	fs / 2 ⁴	204.8 [μs]	488.2 [μs]	26.2 [ms] (52.4 [ms])	62.5 [ms] (125 [ms])
001	fcgck / 2 ¹⁰	fs / 2 ³	fs / 2 ³	102.4 [μs]	244.1 [μs]	13.1 [ms] (26.2 [ms])	31.3 [ms] (62.5 [ms])
010	fcgck / 2 ⁸	fcgck / 2 ⁸	-	25.6 [μs]	-	3.3 [ms] (6.6 [ms])	-
011	fcgck / 2 ⁶	fcgck / 2 ⁶	-	6.4 [μs]	-	819.2 [μs] (1638.4 [μs])	-
100	fcgck / 2 ⁴	fcgck / 2 ⁴	-	1.6 [μs]	-	204.8 [μs] (409.6 [μs])	-
101	fcgck / 2 ²	fcgck / 2 ²	-	400 [ns]	-	51.2 [μs] (102.4 [μs])	-
110	fcgck / 2	fcgck / 2	-	200 [ns]	-	25.6 [μs] (51.2 [μs])	-
111	fcgck	fcgck	fs / 2 ²	100 [ns]	122.1 [μs]	12.8 [μs] (25.6 [μs])	15.6 [ms] (31.3 [ms])

14.5.4. 8 ビットプログラブルパルス出力 (PPG)モード

8ビット PPGモードは、T00REG、T00PWM レジスタを使用して、任意のデューティ/周期を持つパルスを出力するモードです。

T001CR<OUTAND>の設定により、TC00 と TC01 の出力の論理積パルスをPPG01端子に出力することができます。この機能を使用すると、リモコン波形などを容易に作成することができます。

14.5.4.1. 設定

T00MOD<TCM0>を"10"、T001CR<TCAS>に"0"を設定すると、TC00 は 8 ビット PPG モードになります。T00MOD<EIN0>に"0"を設定し、T00MOD<TCK0>でクロックを選択します。T00PWM にはデューティパルス幅、T00REG には周期幅を設定します。

ダブルバッファを使用する場合には、T00MOD<DBE0>に"1"を設定します。

T001CR<T00RUN>を"1"に設定すると動作を開始します。タイマーカウンタがスタートすると T00MOD への書き込みが無効となりますので、タイマーカウンタをスタートさせる前に必ず各モードの設定を行うようにしてください。

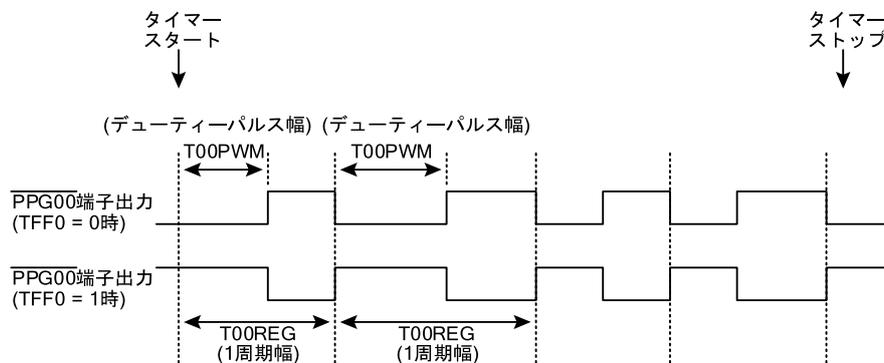


図 14-8 PPG00パルス出力

PPG00端子の初期状態は T00MOD<TFF0>で設定します。T00MOD<TFF0>に"0"を設定するとPPG00端子の初期状態は"Low"レベルとなり、T00MOD<TFF0>に"1"を設定するとPPG00端子の初期状態は"High"になります。タイマーカウンタ動作停止中にポートの設定でPPG00端子を機能出力に設定すると、T00MOD<TFF0>の値がPPG00端子に出力されます。表 14-9にPPG00端子の出力レベル一覧を示します。

表 14-9 PPG00端子出力レベル一覧

<TFF0>	PPG00端子出力レベル			
	動作開始前 (初期状態)	T00PWM 一致時	T00REG 一致時	動作停止時 (初期状態)
0	"Low"レベル	"High"レベル	"Low"レベル	"Low"レベル
1	"High"レベル	"Low"レベル	"High"レベル	"High"レベル

また、T001CR<OUTAND>に"1"を設定すると、TC00 と TC01 の出力の論理積パルスをPPG01端子から出力することができます。

14.5.4.2. 動作

T001CR<T00RUN>に"1"を設定すると、指定されたソースクロックでアップカウンターをカウントアップします。内部アップカウンター値とT00PWMの設定値が一致すると、 $\overline{\text{PPG00}}$ 端子の出力が反転します。T00MOD<TFF0>が"0"の場合、PPG00端子は"Low"から"High"レベルに、T00MOD<TFF0>が"1"の場合は $\overline{\text{PPG00}}$ 端子は"High"から"Low"レベルに変化します。

その後もカウントアップを継続し、アップカウンターの値がT00REGと一致すると、再度 $\overline{\text{PPG00}}$ 端子の出力が反転します。T00MOD<TFF0>が"0"の場合、 $\overline{\text{PPG00}}$ 端子は"High"から"Low"レベルに、T00MOD<TFF0>が"1"の場合はPPG00端子は"Low"から"High"レベルになります。このときINTTC00割り込み要求が発生します。

動作中にT001CR<T00RUN>を"0"に設定するとカウントアップは停止され、アップカウンターを"0x00"にクリアされます。また、 $\overline{\text{PPG00}}$ 端子のレベルは、T00MOD<TFF0>で設定したレベルに戻ります。

14.5.4.3. ダブルバッファ

TMP89FS60B/62B/63Bでは、T00MOD<DBE0>の設定によりT00PWMおよびT00REGにダブルバッファを利用することができます。T00MOD<DBE0>を"0"に設定すると、ダブルバッファが無効に、T00MOD<DBE0>を"1"に設定すると、ダブルバッファが有効になります。

- ダブルバッファが有効の場合

タイマーカウンター動作中にT00PWM(T00REG)に対して書き込み命令を実行すると、設定値はダブルバッファに格納され、T00PWM(T00REG)は更新されません。T00PWM(T00REG)は前回の設定値でアップカウンターと比較を行い、INTTC00割り込み要求が発生したとき、ダブルバッファの設定値がT00PWM(T00REG)に格納されます。以降は新しい設定値で一致検出が行われます。

なお、T00PWM(T00REG)に対して読み出し命令を実行すると、T00PWM(T00REG)の値(現在の有効値)ではなく、ダブルバッファの値(最後に設定した値)が読みだされます。

タイマーカウンター停止中にT00PWM(T00REG)に対して書き込み命令を実行すると、設定値はダブルバッファとT00PWM(T00REG)の両方にすぐに格納されます。

– ダブルバッファが無効の場合

タイマーカウンタ動作中に T00PWM(T00REG)に対して書き込み命令を実行すると、設定値は T00PWM(T00REG)に格納され、以降は新しい設定値で一致検出が行われます。このとき T00PWM(T00REG)に設定した値がアップカウンタの値より小さかった場合、PPG00端子はアップカウンタが一度オーバーフローした後、新しい設定値で一致検出が行われるまで反転されません。また、T00PWM(T00REG)に設定した値がアップカウンタの値と同じだった場合、T00PWM(T00REG)へ値を格納した直後に一致検出が行われるため、PPG00端子の変化するタイミングがソースクロックの整数倍にならない場合があります(図 14-9)。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマーカウンタ停止中に T00PWM(T00REG)に対して書き込み命令を実行すると、設定値はすぐに T00PWM(T00REG)に格納されます。

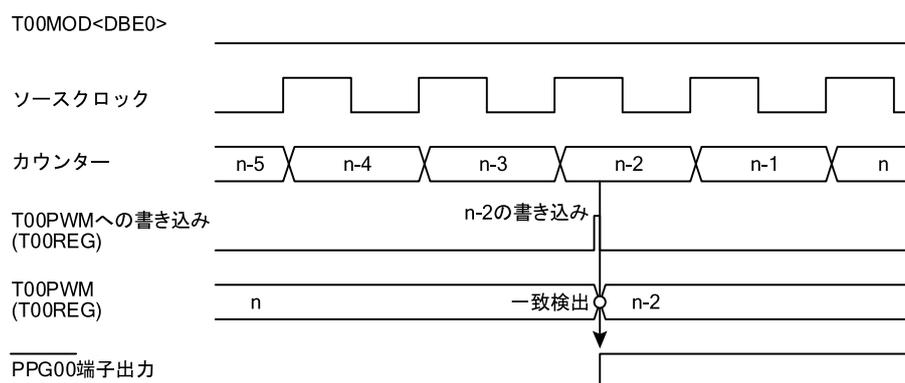


図 14-9 T00PWM (T00REG)にアップカウンタと同値を書き込んだときの動作例

プログラム例: TC00 を 8 ビット PPG モード、動作クロック $fcgck / 2$ で動作させ、周期 32 [μs] で 8 [μs] のデューティーパルスを出力 ($fcgck = 10$ [MHz]時)

```

SET   (P7FC).0           ; <P7FC0>を"1"にセット
SET   (P7CR).0           ; <P7CR0>を"1"にセット
LD    (POFFCR0), 0x10    ; <TC001EN>を"1"にセット
DI    ; 割り込みマスター許可フラグを禁止に設定
SET   (EIRH).4           ; INTTC00 割り込み許可レジスターを"1"にセット
EI    ; 割り込みマスター許可フラグを許可に設定
LD    (T00MOD), 0xF3     ; 8ビットPPGモード、fcgck/2に設定
LD    (T00REG), 0xA0     ; タイマーレジスター(周期)の設定
                        ; 32 [μs] / (2 / fcgck) = 0xA0
LD    (T00PWM), 0x28     ; タイマーレジスター(デューティーパルス)の設定
                        ; 8 [μs] / (2 / fcgck) = 0x28
SET   (T001CR).0        ; TC00 スタート
    
```

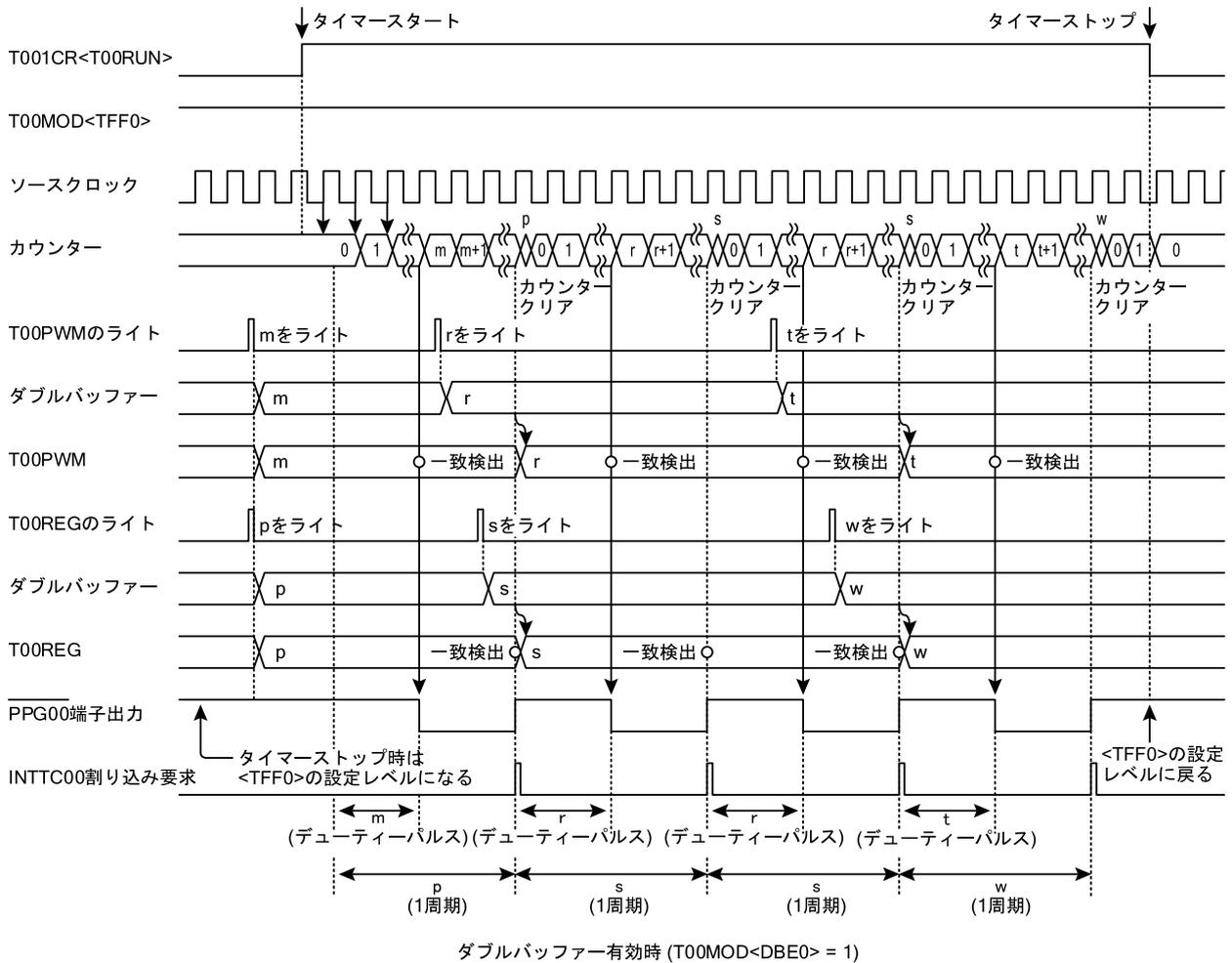


図 14-10 8ビットPPGモードタイミングチャート

14.5.5. 16 ビットタイマーモード

16 ビットタイマーモードは、TC00 と TC01 をカスケード接続し、16 ビットのタイマーカウンターとして使用するモードです。8 ビットタイマーより長い時間を計測することができます。

14.5.5.1. 設定

T001CR<TCAS>に"1"を設定すると、TC00 と TC01 が接続され、16 ビットモードになります。16 ビットモードでは、TC00 側の設定は全て無視され、TC01 側の設定が有効となります。

T01MOD<TCM1>を"00"または"01"、T01MOD<EIN1>に"0"を設定すると、16 ビットタイマーモードになります。ソースクロックの選択は T01MOD<TCK1>で行います。

タイマーレジスタ T00REG および T01REG には、一致検出を行うカウント値を 16 ビット値で設定します。16 ビットの設定値のうち、下位 8 ビットは T00REG に、上位 8 ビットは T01REG に設定します(以降 T01REG と T00REG を合わせて 16 ビットで表したものを T01+00REG と表記します)。タイマーレジスタの設定は T01REG に対して書き込み命令を実行したときに、ダブルバッファ、または T01+00REG に反映されますので、必ず T00REG、T01REG の順に書き込み命令を実行してください。(上位レジスタの書き込みで、下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。

ダブルバッファを使用する場合には、T01MOD<DBE1>に"1"を設定します。

T001CR<T01RUN>を"1"に設定すると動作を開始します。タイマーカウンターがスタートすると T01MOD への書き込みが無効となりますので、タイマーカウンターをスタートさせる前に必ず各モードの設定を行うようにしてください(T001CR<T00RUN>および<T01RUN>が"0"のときに行ってください)。

14.5.5.2. 動作

T001CR<T01RUN>に"1"を設定すると、選択された内部ソースクロックでアップカウンター(16 ビット)をカウントアップします。アップカウンターの値と T01+00REG の設定値が一致すると INTTC01 割り込み要求が発生し、アップカウンターが"0x0000"にされます。カウンタークリア後もカウントアップは継続されます。タイマー動作中に T001CR<T01RUN>に"0"を設定すると、カウントアップは停止され、アップカウンターは"0x0000"にクリアされます。

14.5.5.3. ダブルバッファ

TMP89FS60B/62B/63Bでは、T01MOD<DBE1>の設定により T01+00REG にダブルバッファを利用することができます。T01MOD<DBE1>に"0"をするとダブルバッファが無効に、T01MOD<DBE1>に"1"を設定するとダブルバッファが有効になります。

- ダブルバッファが有効の場合

タイマー動作中に T00REG、T01REG の順に書き込み命令を実行すると、設定値はダブルバッファに格納され、T01+00REG は、すぐには更新されません。T01+00REG は前回の設定値でアップカウンターと比較を行い、値が一致すると INTTC01 割り込み要求が発生し、ダブルバッファの設定値が T01+00REG に格納されます。以降は新しい設定値で一致検出が行われます。

タイマー停止中に T00REG、T01REG の順に書き込み命令を実行すると、設定値はダブルバッファと T01+00REG の両方にすぐに格納されます。
- ダブルバッファが無効の場合

タイマーが動作中に T00REG、T01REG の順に書き込み命令を実行すると、設定値はすぐに T01+00REG に格納され、以降は新しい設定値で一致検出が行われます。

このとき T01+00REG に設定した値がアップカウンターの値より小さかった場合、アップカウンターが一度オーバーフローした後、新しい設定値で一致検出が行われるため、割り込み要求の間隔が設定した時間よりも長くなる場合があります。また、T01+00REG に設定した値がアップカウンターの値と同じだった場合、T01+00REG へ値を格納した直後に一致検出が行われるため、割り込み要求の間隔がソースクロックの整数倍にならない場合があります。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマー停止中に T00REG、T01REG の順に書き込み命令を実行すると、設定値はすぐに T01+00REG に格納されます。

T01+00REG に対して読み出し命令を実行すると、T00MOD<DBE1>の設定に関わらず、T01+00REG に最後に書き込んだ値が読みだされます。

プログラム例: TC00、TC01 を 16 ビットタイマーモード、動作クロック $fcgck / 2$ [Hz] で動作させ、96 [μs] ごとに割り込みを発生させる ($fcgck = 10$ [MHz]時)

```
LD    (POFFCR0), 0x10    ; <TC001EN>を"1"にセット
DI                                     ; 割り込みマスター許可フラグを禁止に設定
SET   (EIRH), 4          ; INTTC00 割り込み許可レジスターを"1"にセット
EI                                     ; 割り込みマスター許可フラグを許可に設定
LD    (T01MOD), 0xF0     ; 16 ビットタイマーモード、fcgck / 2 に設定
LD    (T00REG), 0xE0     ; タイマーレジスターの設定 (96 [μs] / (2 / fcgck) = 0x1E0)
LD    (T01REG), 0x01     ; タイマーレジスターの設定
LD    (T001CR), 0x06     ; TC00、TC01 スタート (16 ビットモード)
```

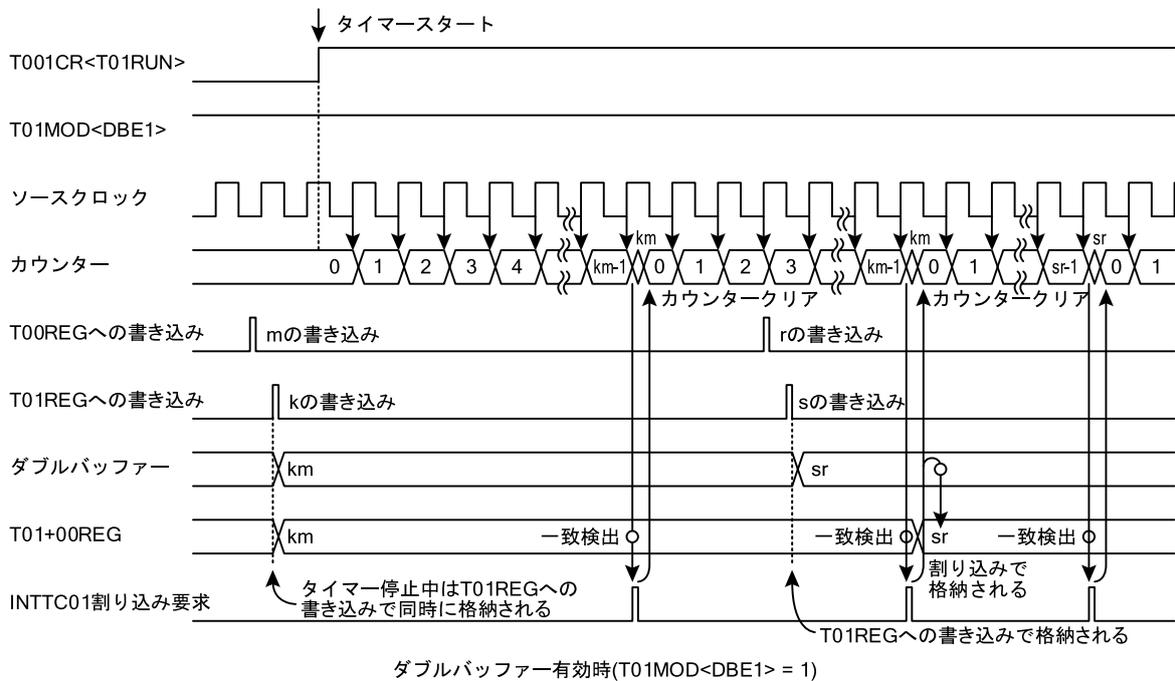
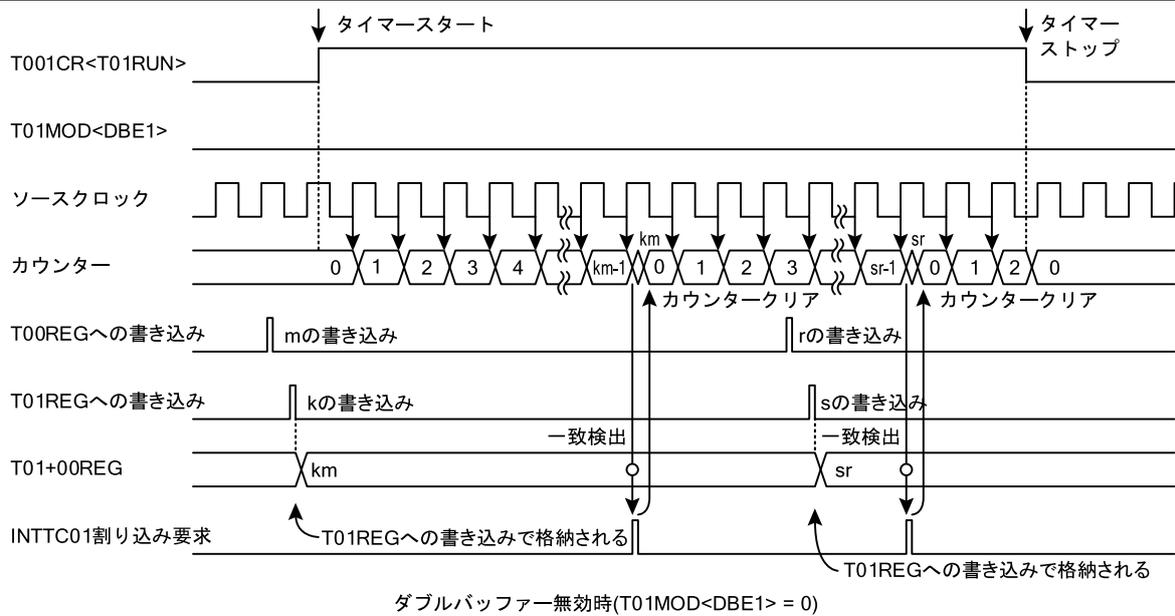


図 14-11 16ビットタイマーカウンタタイミングチャート

表 14-10 16ビットタイマーモードの分解能、最大設定時間

T01MOD <TCK1>	ソースクロック [Hz]			分解能		最大設定時間	
	NORMAL1/2、IDLE1/2 モード		SLOW1/2、 SLEEP1 モード	fcgck = 10 [MHz]	fs = 32.768 [kHz]	fcgck = 10 [MHz]	fs = 32.768 [kHz]
	SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1					
000	$fcgck / 2^{11}$	$fs / 2^4$	$fs / 2^4$	204.8 [μs]	488.2 [μs]	13.4 [s]	32 [s]
001	$fcgck / 2^{10}$	$fs / 2^3$	$fs / 2^3$	102.4 [μs]	244.1 [μs]	6.7 [s]	16 [s]
010	$fcgck / 2^8$	$fcgck / 2^8$	-	25.6 [μs]	-	1.7 [s]	-
011	$fcgck / 2^6$	$fcgck / 2^6$	-	6.4 [μs]	-	419.4 [ms]	-
100	$fcgck / 2^4$	$fcgck / 2^4$	-	1.6 [μs]	-	104.9 [ms]	-
101	$fcgck / 2^2$	$fcgck / 2^2$	-	400 [ns]	-	26.2 [ms]	-
110	$fcgck / 2$	$fcgck / 2$	-	200 [ns]	-	13.1 [ms]	-
111	fcgck	fcgck	$fs / 2^2$	100 [ns]	122.1 [μs]	6.6 [ms]	8 [s]

14.5.6. 16 ビットイベントカウンターモード

16ビットイベントカウンターモードは、TC00端子入力の立ち下がりエッジでカウントアップするモードです。TC00とTC01をカスケード接続し、16ビットのタイマーカウンターとして使用するため、8ビットタイマーより長い時間を計測することができます。

14.5.6.1. 設定

T001CR<TCAS>に"1"を設定すると、TC00とTC01が接続され、16ビットモードになります。

16ビットモードでは、TC00側の設定は全て無視され、TC01側の設定が有効となります。

T01MOD<TCM1>に"00"または"01"を設定して、さらにT01MOD<EIN0>に"1"を設定すると、16ビットタイマーモードになります。

タイマーレジスターT00REGおよびT01REGには、一致検出を行うカウント値を16ビット値で設定します。16ビットの設定値のうち、下位8ビットはT00REGに、上位8ビットはT01REGに設定します(以降T01REGとT00REGを合わせて16ビットで表したものをT01+00REGと表記します)。タイマーレジスターの設定はT01REGに対して書き込み命令を実行したときに、ダブルバッファ、またはT01+00REGに格納されますので、必ずT00REG、T01REGの順に書き込み命令を実行してください。(上位レジスターの書き込みで、下位レジスターと上位レジスターの設定値が同時に有効になる構造となっています)

ダブルバッファを使用する場合には、T01MOD<DBE1>に"1"を設定します。

T001CR<T01RUN>を"1"に設定すると動作を開始します。タイマーカウンターがスタートするとT01MODは書き込みが無効となりますので、タイマーカウンターをスタートさせる前に必ず各モードの設定を行うようにしてください(T001CR<T00RUN>および<T01RUN>が"0"のときに行ってください)。

14.5.6.2. 動作

T001CR<T01RUN>に"1"を設定すると、TC00端子の立ち下がりエッジでアップカウンター(16ビット)をカウントアップします。アップカウンターの値とT01+00REGの設定値が一致するとINTTC01割り込み要求が発生し、アップカウンターが"0x0000"にされます。カウンタークリア後もカウントアップは継続されます。タイマー動作中にT001CR<T01RUN>を"0"に設定すると、カウントアップは停止され、アップカウンターは"0x0000"にクリアされます。

最大印加周波数は、 $fcgck / 2$ [Hz] (NORMAL1/2 または IDLE1/2 モード時)、 $fs / 2^4$ [Hz] (SLOW1/2、SLEEP1 モード時)で、"High"、"Low"レベルともに2マシンサイクル以上のパルス幅が必要です。

14.5.6.3. ダブルバッファ

「14.5.5.3 ダブルバッファ」を参照してください。

プログラム例: TC00、TC01 を 16 ビットイベントカウンタモードで動作させ、TC00 端子で 384 回立ち下がりエッジを検出することにより割り込みを発生

```

LD    (POFFCR0), 0x10    ; <TC001EN>を"1"にセット
DI                                         ; 割り込みマスター許可フラグを禁止に設定
SET   (EIRH).4           ; INTTC00 割り込み許可レジスタを"1"にセット
EI                                         ; 割り込みマスター許可フラグを許可に設定
LD    (T00MOD), 0xC4     ; 16 ビットイベントカウンタモードに設定
LD    (T00REG), 0x80     ; タイマーレジスタの設定
LD    (T01REG), 0x01     ; タイマーレジスタの設定
LD    (T001CR), 0x06     ; TC00、TC01 スタート (16 ビットモード)
    
```

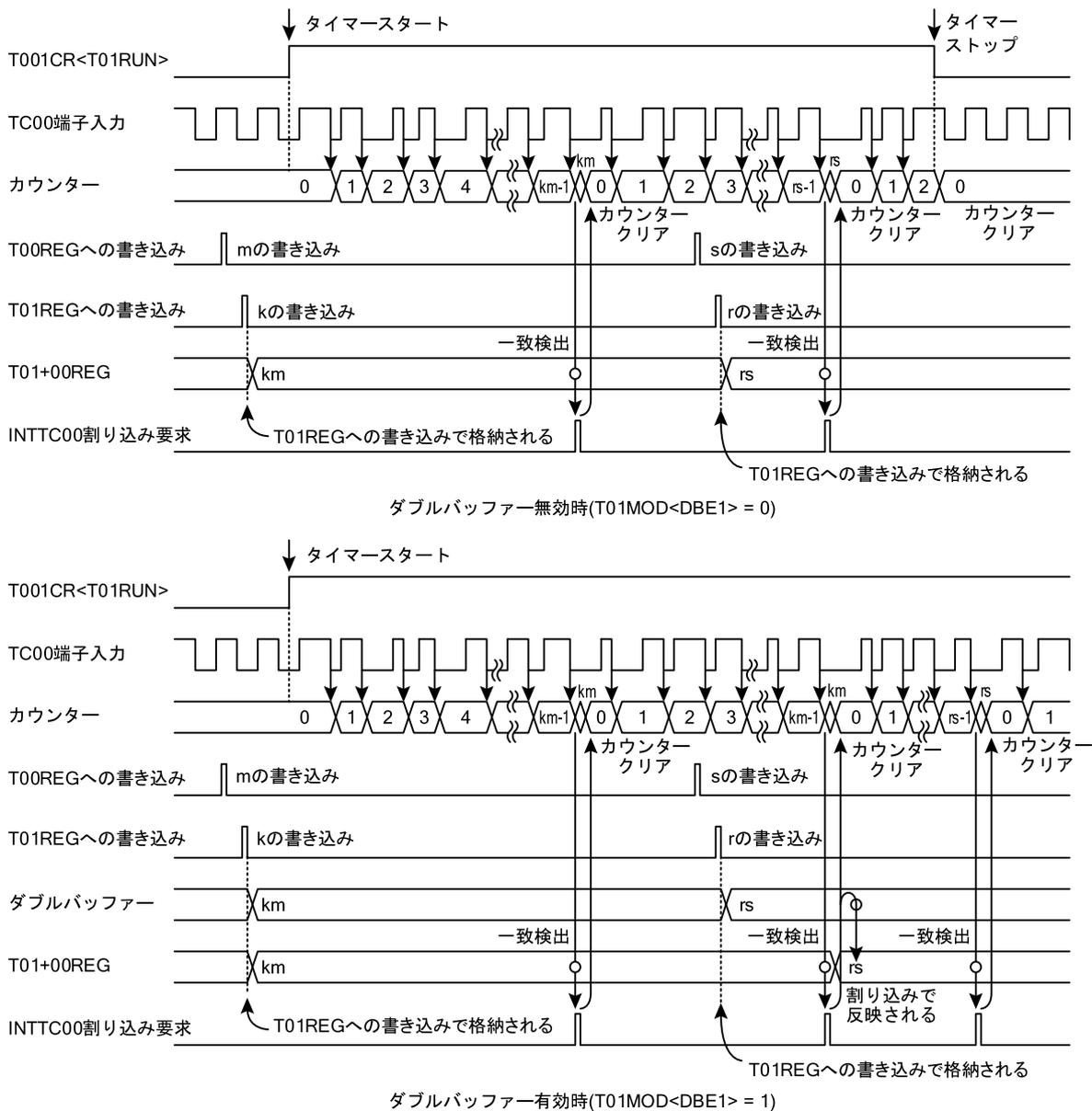


図 14-12 16ビットイベントカウンタモードタイミングチャート

14.5.7. 12 ビットパルス幅変調 (PWM)出力モード

12 ビット PWM 出力モードは、TC00 と TC01 をカスケード接続し、8 ビット分解能の PWM パルスを出力するモードです。分解能は 8 ビットですが、デューティパルスに 4 ビットの付加パルスを追加することができますので、12 ビット相当の分解能で PWM 出力を行うことができます。

14.5.7.1. 設定

T001CR<TCAS>に"1"を設定すると、TC00 と TC01 が接続され、16 ビットモードになります。16 ビットモードでは、TC00 側の設定は全て無視され、TC01 側の設定が有効となります。

T01MOD<TCM1>に"10"を設定し 12 ビット PWM モードを選択します。ソースクロックとして内部クロックを使用する場合は、T01MOD<EIN1>に"0"を設定し、T01MOD<TCK1>でクロックを選択します。ソースクロックとして外部クロックを使用する場合は、T01MOD<EIN1>に"1"を設定します。

ダブルバッファを使用する場合には、T01MOD<DBE1>に"1"を設定します。

T001CR<T01RUN>を"1"に設定すると動作を開始します。タイマーカウンタがスタートすると T01MOD は書き込みが無効となりますので、タイマーカウンタをスタートさせる前に必ず各モードの設定を行うようにしてください(T001CR<T00RUN>および<T01RUN>が"0"のときに行ってください)。

タイマーレジスタ T00PWM および T01PWM には、一致検出を行うカウント値と付加パルスの値を 12 ビットの値で設定します。12 ビットの設定値のうち、11~8 ビットは T01PWM の下位 4 ビットに、7~0 ビットは T00PWM に設定します。レジスタの構成については下表を参照してください。以降 T00PWM と T01PWM を 12 ビット表したものを T01+00PWM と表記します。タイマーレジスタの設定は T01PWM に対して書き込み命令を実行したときに、ダブルバッファ、または T01+00PWM に反映されますので、必ず T00PWM、T01PWM の順に書き込み命令を実行してください。(上位レジスタの書き込みで、下位レジスタと上位レジスタの設定値が同時に有効になる構造となっています)。

タイマーレジスタ-00

T00PWM	7	6	5	4	3	2	1	0
(0x0028)	PWMDUTYL				PWMAD3	PWMAD2	PWMAD1	PWMAD0
Bit Symbol								
Read/Write	R/W				R/W	R/W	R/W	R/W
リセット後	1	1	1	1	1	1	1	1

タイマーレジスタ-01

T01PWM	7	6	5	4	3	2	1	0
(0x0029)					PWMDUTYH			
Bit Symbol	-	-	-	-				
Read/Write	R/W	R/W	R/W	R/W	R/W			
リセット後	1	1	1	1	1	1	1	1

T01PWM の 7~4 ビットは、12 ビット PWM モードでは使用しません。ただし T01PWM の同ビットに書き込みは可能で、読み出したときは書き込んだ値がそのまま読みだされます。通常同ビットには"0"を設定してください。

<PWMDUTYH>と<PWMDUTYL>は、4 ビットのレジスタで、合わせて 8 ビットで 1 周期(ソースクロックの 256 カウント長)に対するデューティパルス幅(最初に出力が変化するまでの時間)を設定します。以降<PWMDUTYH>と<PWMDUTYL>を 8 ビットで表したものを<PWMDUTY>と表記します。

<PWMAD3 ~0>は、付加パルスの設定を行うレジスタです。それぞれのビットに"1"を設定すると、特定の周期のデューティパルスに付加パルスを追加することができます。追加される付加パルスの位置は表 14-11 のようになります。なお、<PWMAD3~0>は、組み合わせて使用することにより16周期の中で付加パルスが追加される回数を1~15の間で自由に設定することができます。付加パルスの追加例を図 14-13 に示します。

表 14-11 付加パルスが追加される周期

	1 ~ 16 周期のうち、付加パルスが追加される周期
<PWMAD0> = 1 のとき	9
<PWMAD1> = 1 のとき	5、13
<PWMAD2> = 1 のとき	3、7、11、15
<PWMAD3> = 1 のとき	2、4、6、8、10、12、14、16

PWM01端子の初期状態は T01MOD<TFF1>で設定します。T01MOD<TFF1>に"0"を設定するとPWM01端子の初期状態は"Low"レベルとなり、T01MOD<TFF1>に"1"を設定するとPWM01端子の初期状態は"High"レベルとなります。タイマー動作停止中にポートの設定でPWM01端子を機能出力に設定すると、T01MOD<TFF1>の値がPWM01端子に出力されます。表 14-12 にPWM01端子の出力レベル一覧を示します。

表 14-12 PWM01端子出力レベル一覧

<TFF1>	PWM01端子出力レベル			
	動作開始前 (初期状態)	<PWMDUTY> 一致時 (付加パルス後)	オーバーフロー時	動作停止時 (初期状態)
0	"Low"レベル	"High"レベル	"Low"レベル	"Low"レベル
1	"High"レベル	"Low"レベル	"High"レベル	"High"レベル

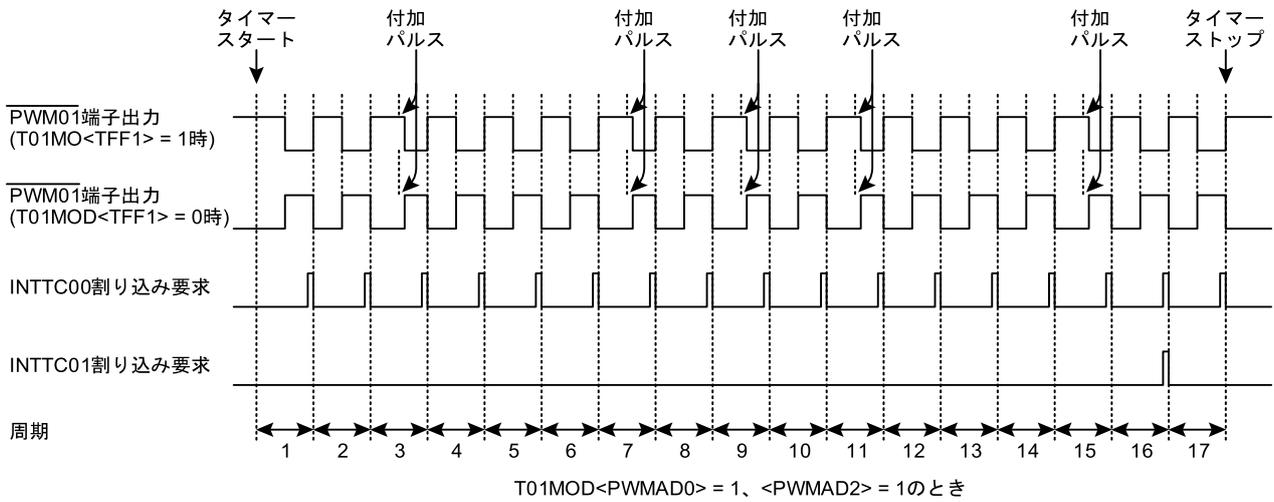
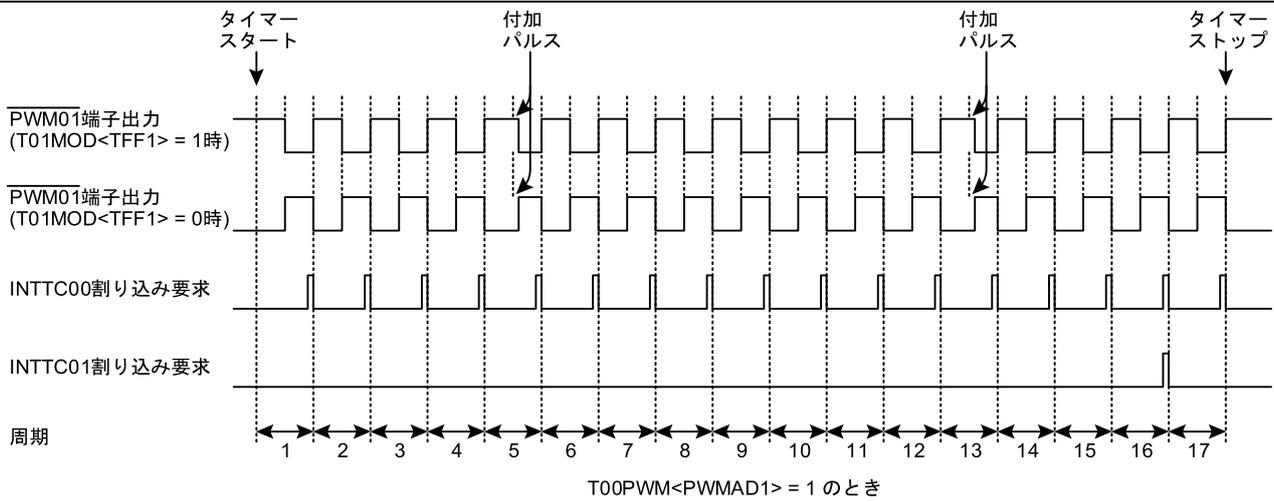


図 14-13 付加パルスの追加例

14.5.7.2. 動作

T001CR<T01RUN>に"1"を設定すると、指定されたソースクロックでアップカウンタをカウントアップします。アップカウンタの下位 8 ビットの値と<PWMDUTY>の設定値が一致するとPWM01端子の出力が反転します。T01MOD<TFF1>が"0"の場合、PWM01端子は"Low"から"High"レベルに、T01MOD<TFF1>が"1"の場合PWM01端子は"High"から"Low"レベルに変化します。

ただし<PWMAD3~0>のいずれかが"1"の場合、特定の周期のデューティパルスはソースクロック 1 カウント分の付加パルスが追加されます。つまりPWM01端子は、<PWMDUTY>+1のタイミングで出力が反転します。T00MOD<TFF0>が"0"の場合"Low"レベルが<PWMDUTY>の設定値よりも 1 ソースクロック分長くなり、T00MOD<TFF0>が"1"の場合"High"レベルが<PWMDUTY>の設定値よりも 1 ソースクロック分長くなります。この機能によって 16 周期分の出力パルスは 12 ビット相当の分解能で扱うことができます。

<PWMAD3~0>が全て"0"の場合、付加パルスは追加されません。

その後もカウントアップを継続し、アップカウンタの値が 256 になるとオーバーフローが発生しアップカウンタは"0x00"にクリアされます。同時にPWM01端子の出力が反転します。T01MOD<TFF1>が"0"の場合、PWM01端子は"High"から"Low"レベルに、T01MOD<TFF1>が"1"の場合はPWM01端子は"Low"から"High"レベルに変化します。このとき INTTC00 割り込み要求が発生します(INTTC00 割り込み要求はオーバーフローごとに発生します)。またオーバーフローが 16×n回目 (n=1、2、3...)のとき、INTTC01 割り込み要求が発生します。その後もカウントアップは継続されます。

タイマー動作中に T001CR<T01RUN>を"0"に設定するとカウントアップは停止され、アップカウンタは"0x00"にクリアされます。また、PWM01端子のレベルは、T01MOD<TFF1>で設定したレベルに戻ります。

なお、外部ソースクロック選択時、クロックはTC00端子から入力してください。最大印加周波数は、 $fcgck / 2$ [Hz] (NORMAL1/2 または IDLE1/2 モード時)、 $fs / 2^4$ [Hz] (SLOW1/2、SLEEP1 モード時)で、"High"、"Low"レベルともに 2 マシンサイクル以上のパルス幅が必要です。

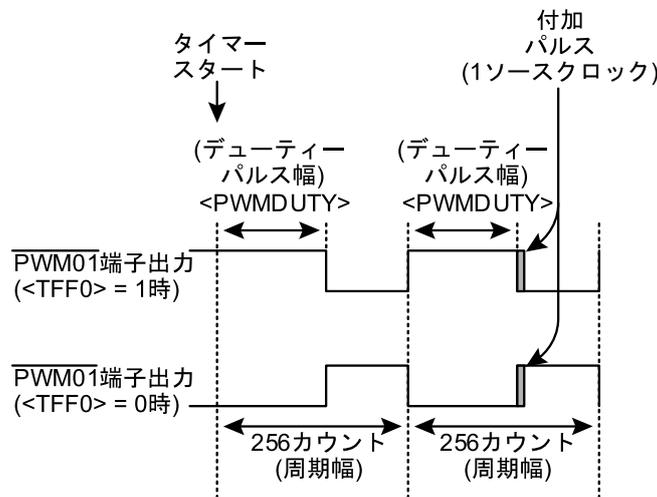


図 14-14 PWM01端子出力

14.5.7.3. ダブルバッファ

T01+00PWM は、T01MOD<DBE1>の設定によりダブルバッファを利用することができます。T01MOD<DBE1>に"0"を設定すると、ダブルバッファが無効に、T01MOD<DBE1>に"1"を設定すると、ダブルバッファが有効になります。

－ ダブルバッファが有効の場合

タイマーカウンタ動作中に T00PWM、T01PWM の順に書き込み命令を実行すると、設定値はダブルバッファに格納され、T01+00PWM は更新されません。T01+00PWM は前回の設定値でアップカウンタと比較を行い、16×n 回目のオーバーフローが発生したとき INTTC01 割り込み要求が発生し、ダブルバッファの設定値が T01+00PWM に格納されます。以降は新しい設定値で一致検出が行われます。

なお、T01+00PWM に対して読み出し命令を実行すると、T01+00PWM の値(現在の有効値)ではなく、ダブルバッファの値(最後に設定した値)が読みだされます。

タイマーカウンタ停止時に T00PWM、T01PWM の順に書き込み命令を実行すると、設定値はダブルバッファと T01+00PWM の両方にすぐに格納されます。

－ ダブルバッファが無効の場合

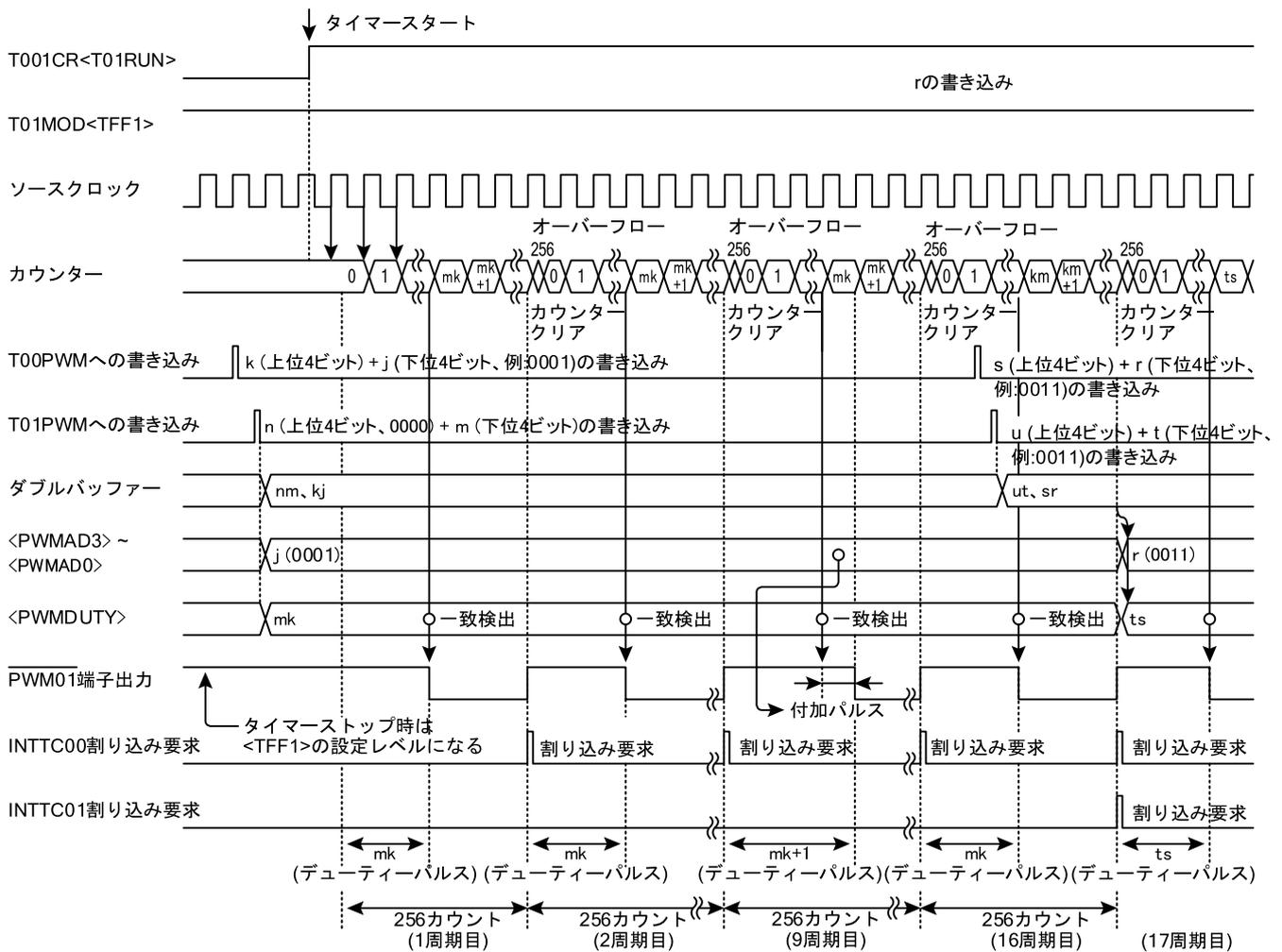
タイマーカウンタ動作中に T00PWM、T01PWM の順に書き込み命令を実行すると、設定値はすぐに T01+00PWM に格納され、以降は新しい設定値で一致検出が行われます。このとき T01+00PWM に設定した値がアップカウンタの値より小さかった場合、 $\overline{\text{PWM01}}$ 端子はアップカウンタが一度オーバーフローした後、新しい設定値で一致検出が行われるまで反転されません。また、T01+00PWM に設定した値がアップカウンタの値と同じだった場合、T01+00PWM へ値が格納した直後に一致検出が行われるため、 $\overline{\text{PWM01}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります。同様に付加パルスの出力中に T01+00PWM を設定すると $\overline{\text{PWM01}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマーカウンタ停止中に T00PWM、T01PWM の順に書き込み命令を実行すると、設定値はすぐに T01+00PWM に格納されます。

プログラム例: TC00、TC01 を 12 ビット PWM モード、動作クロック $fcgck / 2$ で動作させ、周期 51.2 [μs] で 14.0625 [μs] 相当のデューティパルスを出力 ($fcgck = 10$ [MHz] 時)
(実際は 16 周期 (819.2 [μs]) でトータル 225 [μs] のデューティパルスを出力)

```

SET   (P7FC).1           ; <P7FC1> を "1" にセット
SET   (P7CR).1           ; <P7CR1> を "1" にセット
LD    (POFFCR0), 0x10    ; <TC001EN> を "1" にセット
DI                                         ; 割り込みマスター許可フラグを禁止に設定
SET   (EIRH).4           ; INTTC00 割り込み許可レジスターを "1" にセット
EI                                         ; 割り込みマスター許可フラグを許可に設定
LD    (T01MOD), 0xF2     ; 12 ビット PWM モード、fcgck / 2 に設定
LD    (T00PWM), 0x65     ; タイマーレジスター(デューティパルス)の設定
                                ; (14.0625 [μs] × 16) / (2 / fcgck) = 0x465
LD    (T01PWM), 0x04     ; タイマーレジスター(デューティパルス)の設定
LD    (T001CR), 0x06     ; TC00、TC01 スタート
    
```



ダブルバッファ有効時 (T01MOD<DBE1> = 1)

図 14-15 12ビットPWMモードタイミングチャート

表 14-13 12ビットPWMモードの分解能、周期

T01MOD <TCK1>	ソースクロック [Hz]			分解能		8ビット周期 (周期 × 16)	
	NORMAL1/2、IDLE1/2 モード		SLOW1/2、 SLEEP1 モード	fcgck = 10 [MHz]	fs = 32.768 [kHz]	fcgck = 10 [MHz]	fs = 32.768 [kHz]
	SYSCR1 <DV9CK> = 0	SYSCR1 <DV9CK> = 1					
000	fcgck / 2 ¹¹	fs / 2 ⁴	fs / 2 ⁴	204.8 [μs]	488.2 [μs]	52.4 [ms] (838.9 [ms])	125 [ms] (2000 [ms])
001	fcgck / 2 ¹⁰	fs / 2 ³	fs / 2 ³	102.4 [μs]	244.1 [μs]	26.2 [ms] (419.4 [ms])	62.5 [ms] (1000 [ms])
010	fcgck / 2 ⁸	fcgck / 2 ⁸	-	25.6 [μs]	-	6.6 [ms] (104.9 [ms])	-
011	fcgck / 2 ⁶	fcgck / 2 ⁶	-	6.4 [μs]	-	1.6 [ms] (26.2 [ms])	-
100	fcgck / 2 ⁴	fcgck / 2 ⁴	-	1.6 [μs]	-	409.6 [μs] (6.6 [ms])	-
101	fcgck / 2 ²	fcgck / 2 ²	-	400 [ns]	-	102.4 [μs] (1.6 [ms])	-
110	fcgck / 2	fcgck / 2	-	200 [ns]	-	51.2 [μs] (819.2 [μs])	-
111	fcgck	fcgck	fs / 2 ²	100 [ns]	122.1 [μs]	25.6 [μs] (409.6 [μs])	31.3 [ms] (500 [ms])

14.5.8. 16 ビットプログラマブルパルスジェネレート出力 (PPG)モード

16 ビット PPG モードは、TC00 と TC01 をカスケード接続し、16 ビット分解能の任意のパルス幅/デューティを持つパルスを出力するモードです。T01+00REG、T01+00PWM の2つの16 ビットレジスタを使用してパルス出力を行うため、8 ビットタイマーより長いパルスを出力することができます。

14.5.8.1. 設定

T001CR<TCAS>に"1"を設定すると、TC00 と TC01 が接続され、16 ビットモードになります。

16 ビットモードでは、TC00 側の設定は全て無視され、TC01 側の設定が有効となります。

T01MOD<TCM1>を"11"に設定し16 ビット PPG モードを選択します。ソースクロックとして内部クロックを使用する場合は、T01MOD<EIN1>を"0"に設定し、T01MOD<TCK1>でクロックを選択します。また、ソースクロックとして外部クロックを使用する場合は、T01MOD<EIN1>を"1"に設定します。

ダブルバッファを使用する場合には、T01MOD<DBE1>を"1"に設定します。

タイマーレジスタT01REG および T00REG には、周期に相当するカウント値を16 ビット値で設定します。また、T01PWM および T00PWM には、デューティパルスに相当するカウント値を16 ビット値で設定します(以降 T01REG と T00REG を合わせて16 ビットで表したものを T01+00REG、T01PWM と T00PWM を合わせて16 ビットで表したものを T01+00PWM と表記します)。タイマーレジスタの設定は T01PWM に対して書き込み命令を実行したときに、ダブルバッファ、または T01+00PWM および T01+00REG に反映されますので、必ず T00REG、T01REG、T00PWM の後に T01PWM に対して書き込み命令を実行してください。(T01PWM の書き込みで4つのタイマーレジスタの設定値が同時に有効になる構造となっています)。

PPG01端子の初期状態は T01MOD<TFF1>で設定します。T01MOD<TFF1>に"0"を設定するとPPG01端子の初期状態は"Low"レベルとなり、T01MOD<TFF1>に"1"を設定するとPPG01端子の初期状態は"High"レベルとなります。タイマー動作停止中にポートの設定でPPG01端子を機能出力に設定すると、T01MOD<TFF1>の値がPPG01端子に出力されます。表 14-14にPPG01端子の出力レベル一覧を示します。

表 14-14 PPG01端子出力レベル一覧

<TFF1>	PPG01端子出力レベル			
	動作開始前 (初期状態)	T01+00PWM 一致時	T01+00REG 一致時	動作停止時 (初期状態)
0	"Low"レベル	"High"レベル	"Low"レベル	"Low"レベル
1	"High"レベル	"Low"レベル	"High"レベル	"High"レベル

14.5.8.2. 動作

T001CR<T01RUN>に"1"を設定すると、指定されたソースクロックでアップカウンターをカウントアップします。アップカウンターの値と T01+00PWM の設定値が一致すると $\overline{\text{PPG01}}$ 端子の出力が反転します。T01MOD<TFF1>が"0"の場合、 $\overline{\text{PPG01}}$ 端子は"Low"から"High"レベルに、T01MOD<TFF1>が"1"の場合 $\overline{\text{PPG01}}$ 端子は"High"から"Low"レベルに変化します。このとき INTTC00 割り込み要求が発生します。

アップカウンターはさらにカウントアップを継続し、アップカウンターの値と T01+00REG の設定値が一致すると $\overline{\text{PPG01}}$ 端子が再度反転します。T01MOD<TFF1>が"0"の場合、 $\overline{\text{PPG01}}$ 端子は"High"から"Low"レベルに、T01MOD<TFF1>が"1"の場合 $\overline{\text{PPG01}}$ 端子は"Low"から"High"レベルに変化します。このとき INTTC01 割り込み要求が発生し、アップカウンターが"0x0000"にクリアされます。

タイマー動作中に T001CR<T01RUN>に"0"を設定すると、カウントアップは停止され、アップカウンターは"0x0000"にクリアされます。また、 $\overline{\text{PPG01}}$ 端子のレベルは、T01MOD<TFF1>で設定したレベルに戻ります。

外部ソースクロック選択時、クロックは TC00 端子から入力してください。最大印加周波数は、 $f_{cgck} / 2$ [Hz] (NORMAL1/2 または IDLE1/2 モード時)、 $f_s / 2^4$ [Hz] (SLOW1/2、SLEEP1 モード時)で、"High"、"Low"レベルともに 2 マシンサイクル以上のパルス幅が必要です。

14.5.8.3. ダブルバッファ

T01+00PWM、T01+00REGは、T01MOD<DBE1>の設定によりダブルバッファを利用することができます。T01MOD<DBE1>に"0"をするとダブルバッファが無効に、T01MOD<DBE1>に"1"を設定するとダブルバッファが有効になります。

－ ダブルバッファが有効の場合

タイマーカウンタ動作中に T00REG、T01REG、T00PWM に続いて T01PWM の書き込み命令を実行すると、設定値はダブルバッファに格納され、T01+00PWM、T01+00REG は更新されません。T01+00PWM、T01+00REG は前回の設定値でアップカウンタと比較を行い、アップカウンタの値と T01+00REG の設定値が一致すると INTTC01 割り込み要求が発生し、ダブルバッファの設定値が T01+00PWM、T01+00REG に格納されます。以降は新しい設定値で一致検出が行われます。

タイマーカウンタ停止中に T00REG、T01REG、T00PWM に続いて T01PWM の書き込み命令を実行すると、設定値はダブルバッファと T01+00PWM、T01+00REG の両方にすぐに格納されます。

－ ダブルバッファが無効の場合

タイマーが動作中に T00REG、T01REG、T00PWM に続いて T01PWM の書き込み命令を実行すると、設定値はすぐに T01+00PWM、T01+00REG に格納され、以降は新しい設定値で一致検出が行われます。

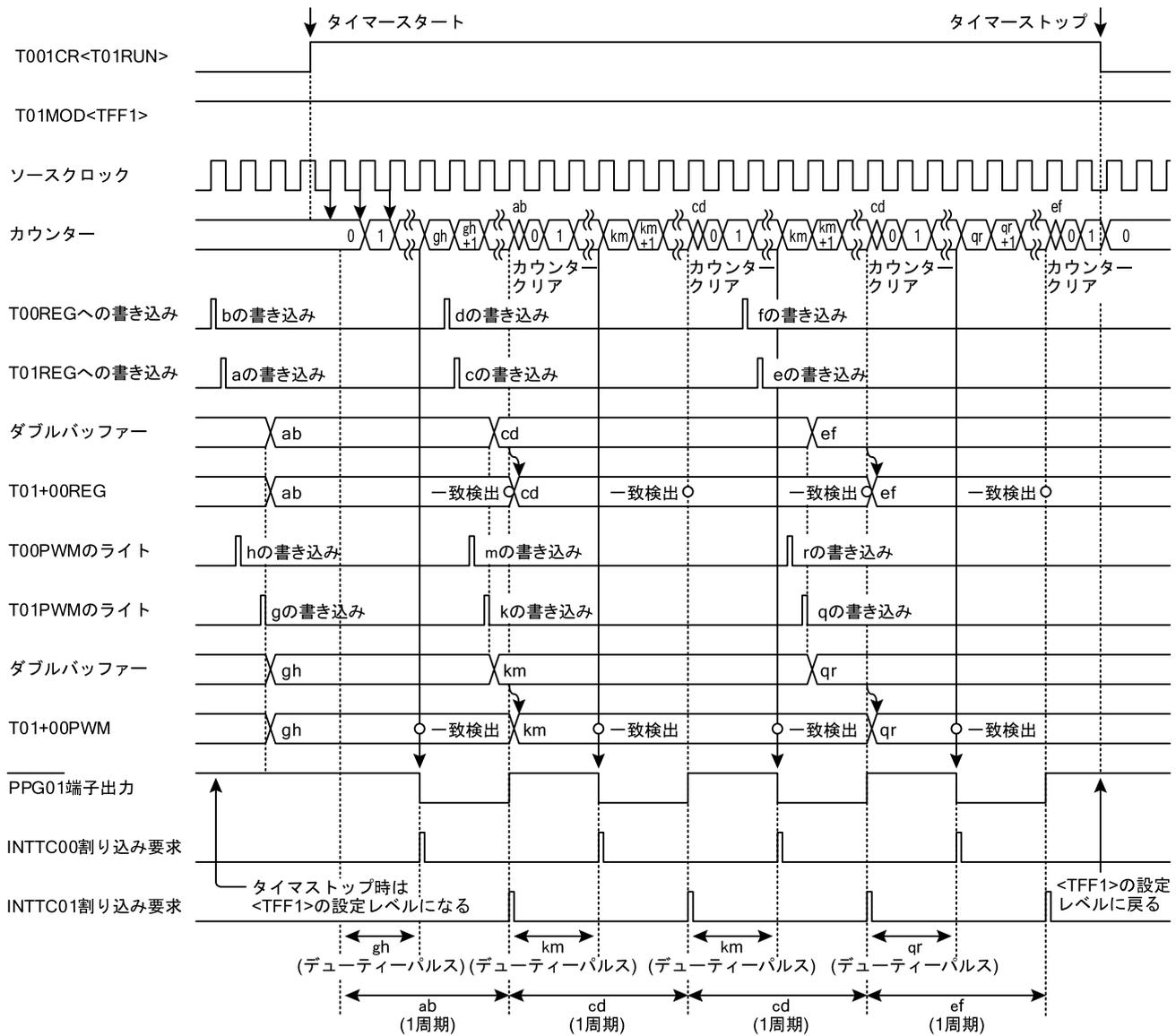
このとき T01+00PWM、T01+00REG に設定した値がアップカウンタの値より小さかった場合、 $\overline{\text{PPG01}}$ 端子はアップカウンタが一度オーバーフローした後、新しい設定値で一致検出が行われるまで反転されません。また、T01+00PWM、T01+00REG に設定した値がアップカウンタの値と同じだった場合、T01+00PWM、T01+00REG の値を格納した直後に一致検出が行われるため、 $\overline{\text{PPG01}}$ 端子の変化するタイミングがソースクロックの整数倍にならない場合があります。これらが問題となる場合は、ダブルバッファを有効にして使用してください。

タイマーカウンタ停止中に T00REG、T01REG、T00PWM に続いて T01PWM の書き込み命令を実行すると、設定値はすぐに T01+00PWM、T01+00REG に格納されます。

T01+00PWM、T01+00REGに対して読み出し命令を実行すると、T00MOD<DBE1>の設定に関わらず、最後に書き込んだ値が読みだされます。

プログラム例: TC00、TC01 を 16 ビット PPG モード、動作クロック $fcgck/2$ で動作させ、周期 96 [μs] で 68 [μs] のデューティーパルスを出力 ($fcgck = 10$ [MHz]時)

```
SET   (P7FC).1           ; <P7FC1>を"1"にセット
SET   (P7CR).1           ; <P7CR1>を"1"にセット
LD    (POFFCR0), 0x10    ; <TC001EN>を"1"にセット
DI                                          ; 割り込みマスター許可フラグを禁止に設定
SET   (EIRH).4           ; INTTC00 割り込み許可レジスターを"1"にセット
EI                                          ; 割り込みマスター許可フラグを許可に設定
LD    (T01MOD), 0xF3     ; 16 ビット PPG モード、 $fcgck/2$  に設定
LD    (T00REG), 0xE0     ; タイマーレジスター (周期)の設定
LD    (T01REG), 0x01     ; タイマーレジスター (周期)の設定
                                          ;  $96 [\mu s] / (2 / fcgck) = 0x01E0$ 
LD    (T00PWM), 0x54     ; タイマーレジスター (デューティーパルス)の設定
LD    (T01PWM), 0x01     ; タイマーレジスター (デューティーパルス)の設定
                                          ;  $68 [\mu s] / (2 / fcgck) = 0x0154$ 
LD    (T001CR), 0x06     ; TC00、TC01 スタート
```



ダブルバッファ有効時 (T01MOD<DBE1> = 1)

図 14-16 16ビットPPG出力モードタイミングチャート

15. 時計専用タイマー (RTC)

時計専用タイマーは、低周波クロック (fs) を使用して一定時間ごとに割り込み要求を発生させる機能です。

割り込みの回数をソフトウェアでカウントすることで、時計機能を実現することができます。

時計専用タイマーは SLEEP0 を除く、低周波クロック用発振回路が発振している動作モードで使用可能です。

15.1. 構成

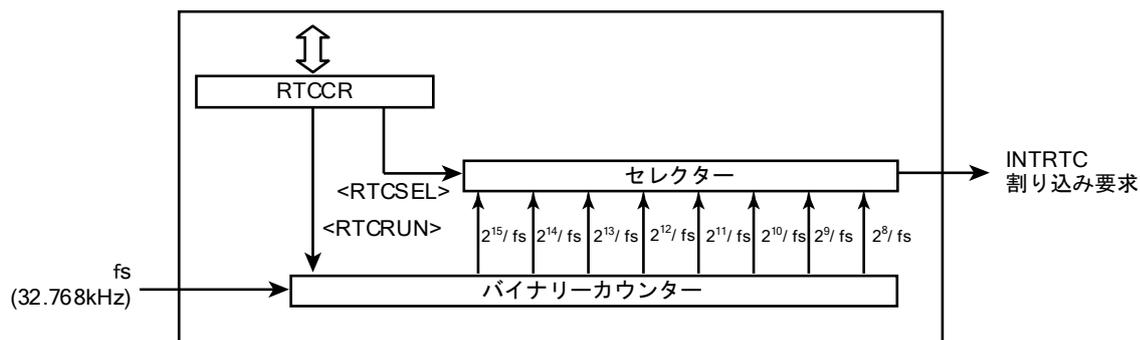


図 15-1 時計専用タイマー

15.2. 制御

時計専用タイマーは、下記のレジスターで制御されます。

低消費電力レジスター2 制御

POFFCR2 (0x0F76)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	RTCEN	-	-	-	(SIO1EN)	(SIO0EN)
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

RTCEN	RTC 制御	0:	Disable
		1:	Enable

注) POFFCR2 のビット 7、6 とビット 4~2 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

時計専用タイマー制御レジスター

RTCCR2 (0x0FC8)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	RTCSEL			RTCRUN
Read/Write	R	R	R	R	R/W			R/W
リセット後	0	0	0	0	0	0	0	0

RTCSEL	割り込み発生周期選択	000:	$2^{15} / fs$ (1.000 [s] @fs = 32.768 [kHz])
		001:	$2^{14} / fs$ (0.500 [s] @fs = 32.768 [kHz])
		010:	$2^{13} / fs$ (0.250 [s] @fs = 32.768 [kHz])
		011:	$2^{12} / fs$ (125.0 [ms] @fs = 32.768 [kHz])
		100:	$2^{11} / fs$ (62.50 [ms] @fs = 32.768 [kHz])
		101:	$2^{10} / fs$ (31.25 [ms] @fs = 32.768 [kHz])
		110:	$2^9 / fs$ (15.62 [ms] @fs = 32.768 [kHz])
		111:	$2^8 / fs$ (7.81 [ms] @fs = 32.768 [kHz])
RTCRUN	時計専用タイマー動作の許可/禁止	0:	禁止
		1:	許可

注 1) fs: 低周波クロック [Hz]

注 2) RTCCR<RTCSEL>は RTCCR<RTCRUN>が"0"のときのみ書き替えることができます。RTCCR<RTCRUN>が"1"のときにデータを書き込んでも、以前のデータを保持します。従って、時計専用タイマーの動作を許可するときに RTCCR<RTCSEL>を書き替えることができますが、禁止するときに書き替えることはできません。

注 3) 時計専用タイマーの動作を許可しているときに 1) SYSCR2<XTEN>を"0"にクリアし低周波クロック用発振回路を停止させた場合、2) STOP モードあるいは SLEEP0 モードになった場合、RTCCR<RTCSEL>のデータは保持され、RTCCR<RTCRUN>は"0"にクリアされます。

15.3. 低消費電力制御

時計専用タイマーは、時計専用タイマー機能を使用しないとき、低消費電力レジスター(POFFCR2)によって不要な電力を抑える機能を持っています。

POFFCR2<RTCEN>を"0"に設定すると、時計専用タイマーへの基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのとき時計専用タイマー機能が使用できなくなります。POFFCR2<RTCEN>を"1"に設定すると、時計専用タイマーへ基本クロックが供給(Enable)され時計専用タイマー機能が使用可能になります。

リセット後、POFFCR2<RTCEN>は"0"に初期化されますので、時計専用タイマー機能は使用不可の設定となります。よって初めて時計専用タイマー機能を使用するときは、プログラムの初期設定(時計専用タイマーの制御レジスターを操作する前)で必ず POFFCR2<RTCEN>を"1"に設定してください。

なお、時計専用タイマー動作中はPOFFCR2<RTCEN>を"0"に変更しないでください。変更した場合、時計専用タイマーが予期しない動作をする場合があります。

15.4. 機能

15.4.1. 時計専用タイマー動作の許可/禁止

RTCCR<RTCRUN>を"1"にセットすると時計専用タイマーの動作が許可され、"0"にクリアすると禁止されます。

リセット解除直後、RTCCR<RTCRUN>は"0"にクリアされます。

15.4.2. 割り込み発生周期選択

RTCCR<RTCSEL>で割り込み発生周期を選択できます。

RTCCR<RTCSEL>は RTCCR<RTCRUN>が"0"のときのみ書き替えることができます。

RTCCR<RTCRUN>が"1"のときにデータを書き込んでも、以前のデータを保持します。

従って、時計専用タイマーの動作を許可するときにはRTCCR<RTCSEL>を書き替えることはできませんが、禁止するときには書き替えることはできません。

15.5. 時計専用タイマーの動作

15.5.1. 時計専用タイマーの動作許可

RTCCR<RTCSEL>に割り込み発生周期を設定するとともに、RTCCR<RTCRUN>を"1"にセットします。

RTCCR<RTCRUN>を"1"にセットすると、時計専用タイマーのバイナリーカウンタは、低周波クロックのカウントを開始します。

RTCCR<RTCSEL>で設定された割り込み発生周期になると時計専用タイマー割り込み要求(INTRTC)を発生し、カウントを継続します。

15.5.2. 時計専用タイマーの動作禁止

RTCCR<RTCRUN>を"0"にクリアします。RTCCR<RTCRUN>を"0"にクリアすると、時計専用タイマーのバイナリーカウンタは"0"にクリアされ、低周波クロックのカウントを停止します。

16. 非同期型シリアルインターフェース (UART)

TMP89FS60B/62B/63B は、非同期型シリアルインターフェース(UART)を内蔵しています。

この章は、UART0の説明となります。UART1、UART2については表 16-1、表 16-2 に従って SFR アドレス、端子名を読み替えてください。

表 16-1 SFRアドレス割り付け

	UARTxCR1 (アドレス)	UARTxCR2 (アドレス)	UARTxDR (アドレス)	UARTxSR (アドレス)	RDxBUF (アドレス)	TDxBUF (アドレス)	低消費電力 レジスター
UART0	UART0CR1 (0x001A)	UART0CR2 (0x001B)	UART0DR (0x001C)	UART0SR (0x001D)	RD0BUF (0x001E)	TD0BUF (0x001E)	POFFCR1 <UART0EN>
UART1	UART1CR1 (0x0F54)	UART1CR2 (0x0F55)	UART1DR (0x0F56)	UART1SR (0x0F57)	RD1BUF (0x0F58)	TD1BUF (0x0F58)	POFFCR1 <UART1EN>
UART2	UART2CR1 (0x0F5A)	UART2CR2 (0x0F5B)	UART2DR (0x0F5C)	UART2SR (0x0F5D)	RD2BUF (0x0F5E)	TD2BUF (0x0F5E)	POFFCR1 <UART2EN>

表 16-2 端子名

	シリアルデータ 入力端子	シリアルデータ 出力端子
UART0	RXD0 端子	TXD0 端子
UART1	RXD1 端子	TXD1 端子
UART2	RXD2 端子	TXD2 端子

16.1. 各製品の非同期型シリアルインターフェース (UART)

各製品で使用できる非同期型シリアルインターフェース(UART)を表 16-3 に示します。

非搭載の UART のチャンネルに対応する低消費電力レジスターのビットは”0”にクリアしてください。

表 16-3 各製品の非同期型シリアルインターフェース (UART)

	TMP89FS60B	TMP89FS62B	TMP89FS63B
UART0	A	A	A
UART1	A	A	A
UART2	A	A	A

注) A: 搭載

16.2. 構成

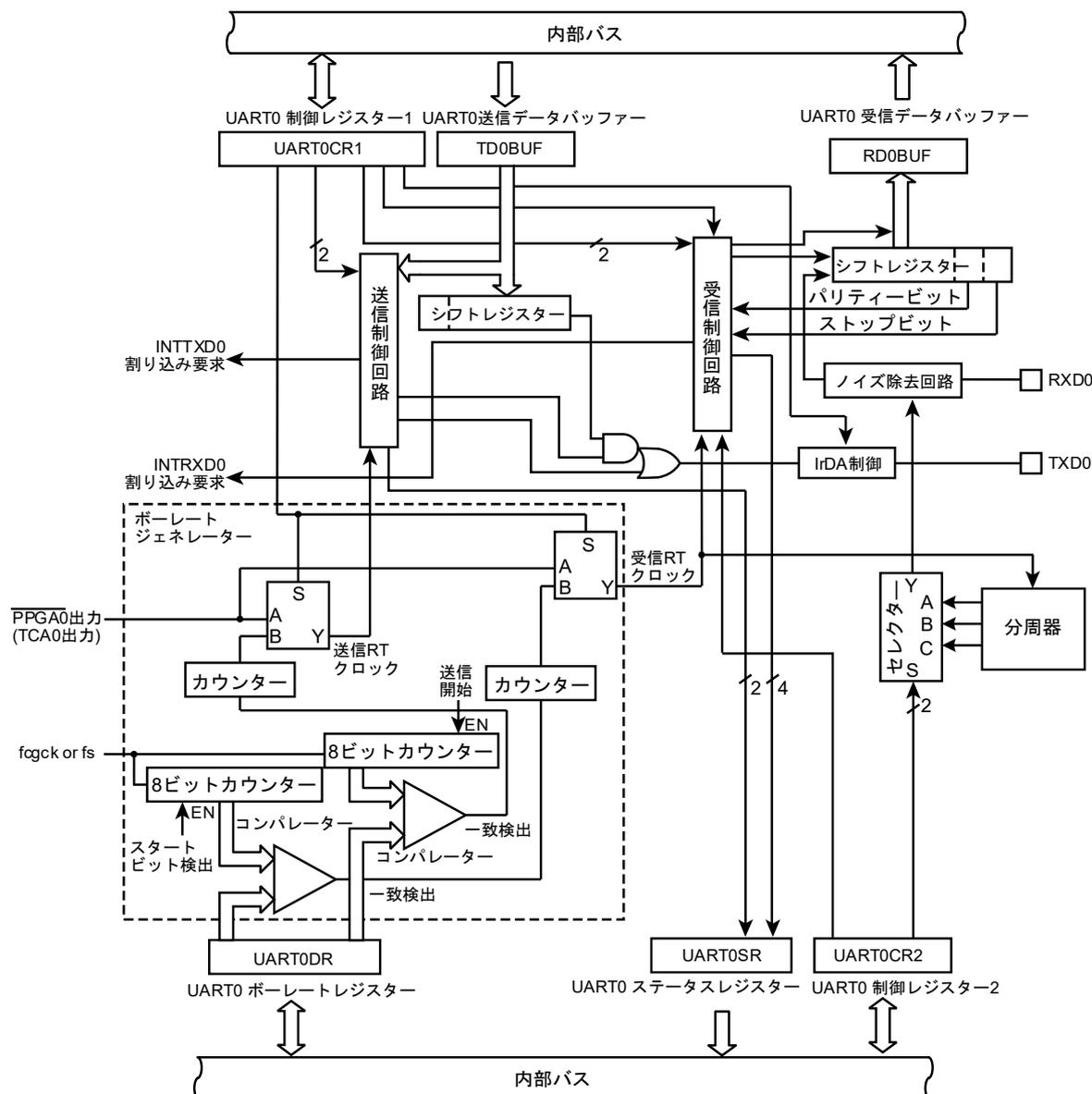


図 16-1 非同期型シリアルインターフェース (UART)

注) UART 入出力は I/O ポートと兼用となっていますので、UART の端子として機能させるためには I/O ポートのレジスタ設定が必要です。詳しくは「8 入出力ポート」の章を参照してください。

16.3. 制御

UART0は、低消費電力レジスタ(POFFCR1)、UART0制御レジスタ1、2(UART0CR1、UART0CR2)、UART0ボーレートレジスタ(UART0DR)で制御されます。またUARTステータスレジスタ(UART0SR)により動作状態のモニターができます。

低消費電力レジスタ1 制御

POFFCR1		7	6	5	4	3	2	1	0
(0x0F75)	Bit Symbol	-	-	-	(SBI0EN)	-	UART2EN	UART1EN	UART0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0

UART2EN	UART2 制御	0:	Disable
		1:	Enable
UART1EN	UART1 制御	0:	Disable
		1:	Enable
UART0EN	UART0 制御	0:	Disable
		1:	Enable

注 1) POFFCR1 のビット 7～5 とビット 3 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

注 2) <SBI0EN>は TMP89FS62B では「Reserved」になります。

UART0 制御レジスタ-1

UART0CR1 (0x001A)	7	6	5	4	3	2	1	0
Bit Symbol	TXE	RXE	STOPBT	EVEN	PE	IRDASEL	BRG	-
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
リセット後	0	0	0	0	0	0	0	0

TXE	送信動作	0:	Disable
		1:	Enable
RXE	受信動作	0:	Disable
		1:	Enable
STOPBT	送信ストップビット長	0:	1 ビット
		1:	2 ビット
EVEN	パリティ選択	0:	奇数パリティ
		1:	偶数パリティ
PE	パリティの有無を選択	0:	パリティなし
		1:	パリティ付加
IRDASEL	TXD0 端子の出力選択	0:	UART 出力
		1:	IrDA 出力
BRG	転送ベースクロックの選択		SYSCR2<SYSCK> = 0
			SYSCR2<SYSCK> = 1
		0:	f _{cgck}
		1:	TCA0 出力
			fs
			TCA0 出力

注 1) f_{cgck}: ギアクロック [Hz]、f_s: 低周波クロック [Hz]

注 2) データの送信、受信中に<TXE>、<RXE>を"0"に設定した場合、送信、受信中のデータ転送が完了するまでディゼーブルにはなりません。なお、そのとき送信データバッファに格納されていたデータは破棄されます。

注 3) <EVEN>、<PE>、<BRG>の設定は送受信共通です。

注 4) <BRG>の書き替えは、<RXE> = 0 かつ<TXE> = 0 のときに行ってください。

注 5) <BRG>が TCA0 出力に設定されている場合、RT クロックは非同期となりますので、送受信データのスタートビットが最大(UART0DR+1) / (転送ベースクロックの周波数) [s]分短くなる場合があります。またこのとき端子から TCA0 出力を行わない場合は、ポートのファンクション制御レジスタによって TCA0 出力を制限してください。

注 6) <STOPBT>、<EVEN>、<PE>、<IRDASEL>、<BRG>は UART の通信中に誤って変更されるのを防ぐため、UART 動作中はレジスタの書き替えが制限されます。詳細は、「16.5. UART0CR1、UART0CR2 レジスタの書き替え保護機能」を参照してください。

注 7) STOP、IDLE0、SLEEP0 モードを起動すると<TXE>、<RXE>は"0"にクリアされ UART は停止します。ただしその他のビットは値を保持します。

UART0 制御レジスタ-2

UART0CR2		7	6	5	4	3	2	1	0
(0x001B)	Bit Symbol	-	-	RTSEL			RXDNC		STOPBR
	Read/Write	R	R	R/W			R/W		R/W
	リセット後	0	0	0	0	0	0	0	0

RTSEL	RT クロック数の選択	転送フレームの奇数ビット		転送フレームの偶数ビット	
		000:	16 クロック	16 クロック	16 クロック
		001:	16 クロック	17 クロック	17 クロック
		010:	15 クロック	15 クロック	15 クロック
		011:	15 クロック	16 クロック	16 クロック
		100:	17 クロック	17 クロック	17 クロック
		101:	Reserved	Reserved	Reserved
		110:	Reserved	Reserved	Reserved
		111:	Reserved	Reserved	Reserved
RXDNC	RXD0 端子入力のノイズ除去時間の選択(確実にノイズ除去されるパルスの時間)	00:	ノイズ除去なし		
		01:	$1 \times (\text{UART0DR}+1) / (\text{転送ベースクロックの周波数}) [s]$		
		10:	$2 \times (\text{UART0DR}+1) / (\text{転送ベースクロックの周波数}) [s]$		
		11:	$4 \times (\text{UART0DR}+1) / (\text{転送ベースクロックの周波数}) [s]$		
STOPBR	受信ストップビット長	0:	1 ビット		
		1:	2 ビット		

注 1) UART0CR2 に対して読み出し命令を実行するとビット 7、6 は"0"が読みだされます。

注 2) <RTSEL>は転送フレームの偶数/奇数ビットに対して 2 種類の RT クロックを設定することができます。詳しくは「16.9.1. 転送ボーレートの算出方法」を参照してください。

注 4) <RXDNC>によるノイズ除去時間の詳細は「16.11. 受信データのノイズ除去」を参照してください。

注 4) STOP、IDLE0、SLEEP0 モードを起動すると UART は自動的に停止しますが UART0CR2 の各ビット値は変化しません。

注 5) <STOPBR>を 2 ビットに設定した場合、(データ受信時の)ストップビットの 1 ビット目はフレーミングエラーの対象にはなりません(エラーチェックは行われません)。

注 6) <RTSEL>、<RXDNC>、<STOPBR>は UART の通信中に誤って変更されるのを防ぐため、UART 動作中はレジスタの書き替えが制限されます。詳細は「16.5 UART0CR1、UART0CR2 レジスタの書き替え保護機能」を参照してください。

UART0 ボーレートレジスタ

UART0DR		7	6	5	4	3	2	1	0
(0x001C)	Bit Symbol	UART0DR7	UART0DR6	UART0DR5	UART0DR4	UART0DR3	UART0DR2	UART0DR1	UART0DR0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

注 1) UART0DR の書き替えは、UART0CR1<RXE> = 0、UART0CR1<TXE> = 0 のときに行ってください。設定値については「16.9. 転送ボーレート」を参照してください。

注 2) ボーレートは UART0CR1<BRG> = 0 (転送ベースクロックが fcgck または fs)のときのみ、UART0DR によって決まります。

注 3) STOP、IDLE0、SLEEP0 モードを起動すると UART は自動的に停止しますが、UART0DR の各ビット値は変化しません。

UART0 ステータスレジスタ

UART0SR		7	6	5	4	3	2	1	0
(0x001D)	Bit Symbol	PERR	FERR	OERR	-	RBSY	RBFL	TBSY	TBFL
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

PERR	パリティエラーフラグ	0:	パリティエラーなし
		1:	パリティエラー発生
FERR	フレーミングエラーフラグ	0:	フレーミングエラーなし
		1:	フレーミングエラー発生
OERR	オーバーランエラーフラグ	0:	オーバーランエラーなし
		1:	オーバーランエラー発生
RBSY	受信ビジーフラグ	0:	受信前または受信終了
		1:	受信中
RBFL	受信バッファフルフラグ	0:	受信バッファエンプティ
		1:	受信バッファフル
TBSY	送信ビジーフラグ	0:	送信前または送信終了
		1:	送信中
TBFL	送信バッファフルフラグ	0:	送信バッファエンプティ
		1:	送信バッファフル(送信データ書き込み済み)

注 1) <TBFL>は、INTTXD0 割り込み要求の発生後、自動的に"0"にクリアされ、TD0BUF にデータをセットすると"1"にセットされます。

注 2) UART0SR に対して読み出し命令を実行するとビット 4 は 0 が読みだされます。

注 3) STOP、IDLE0、SLEEP0 モードを起動すると UART0SR の各ビットは"0"にクリアされ UART は停止します。

UART0 受信データバッファ

RD0BUF		7	6	5	4	3	2	1	0
(0x001E)	Bit Symbol	RD0DR7	RD0DR6	RD0DR5	RD0DR4	RD0DR3	RD0DR2	RD0DR1	RD0DR0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

注) STOP、IDLE0、SLEEP0 モードを起動すると RD0BUF の値は不定となります。受信データが必要な場合は、これらのモード起動前に読み出してください。

UART0 送信データバッファ

TD0BUF		7	6	5	4	3	2	1	0
(0x001E)	Bit Symbol	TD0DR7	TD0DR6	TD0DR5	TD0DR4	TD0DR3	TD0DR2	TD0DR1	TD0DR0
	Read/Write	W	W	W	W	W	W	W	W
	リセット後	0	0	0	0	0	0	0	0

注) STOP、IDLE0、SLEEP0 モードを起動すると TD0BUF の値は不定となります。

16.4. 低消費電力制御

UART0 は、UART0 機能を使用しないとき、低消費電力レジスタ(POFFCR1)によって不要な電力を抑える機能を持っています。

POFFCR1<UART0EN>を"0"に設定すると、UART0への基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのときUART0機能が使用できなくなります。POFFCR1<UART0EN>を"1"に設定すると、UART0へ基本クロックが供給(Enable)されUART機能が使用可能になります。

リセット後、POFFCR1<UART0EN>は"0"に初期化されますので、UART0機能は使用不可の設定となります。よって初めてUART0を使用するときは、プログラムの初期設定(UART0の制御レジスタを操作する前)で必ずPOFFCR1<UART0EN>を"1"に設定してください。

なお、UART0動作中はPOFFCR1<UART0EN>を"0"に変更しないでください。変更した場合UART0が予期しない動作をする場合があります。

16.5. UART0CR1、UART0CR2 レジスタの書き替え保護機能

TMP89FS60B/62B/63B は、UART動作中に誤ってUARTの通信設定(ストップビットやパリティなど)が変更されないようにレジスタの書き替え保護機能を内蔵しています。

UART0CR1、UART0CR2の特定のビットは、表16-4の条件下でのみ書き替えが可能です。書き替えが制限されているときにレジスタに書き込み命令実行しても、そのビットは書き替わらず前回の値が保持されます。

表 16-4 UART0CR1、UART0CR2レジスタの書き替え

書き替え対象ビット	機能	書き替え可能な条件			
		UART0CR1 <TXE>	UART0SR <TBSY>	UART0CR1 <RXE>	UART0SR <RBSY>
UART0CR1<STOPBT>	送信ストップビット長	上記条件がいずれも"0"のとき		-	-
UART0CR1<EVEN>	パリティ選択	上記条件が全て"0"のとき			
UART0CR1<PE>	パリティ有無				
UART0CR1<IRDASEL>	TXD0端子の出力選択	上記条件がいずれも"0"のとき		-	-
UART0CR1<BRG>	転送ベースクロックの選択	上記条件が全て"0"のとき			
UART0CR2<RTSEL>	RTクロック数の選択				
UART0CR2<RXDNC>	RXD0端子入力の ノイズ除去時間の選択	-	-	上記条件がいずれも"0"のとき	
UART0CR2<STOPBR>	受信ストップビット長				

16.6. STOP、IDLE0、SLEEP0 モードの起動

16.6.1. レジスタの状態遷移

STOP、IDLE0、SLEEP0モードを起動するとUARTは自動的に停止し、各レジスタの状態は表 16-5 のようになります。値が保持されないレジスタについては、動作モード復帰後、必要に応じて再設定を行ってください。

表 16-5 レジスタの状態遷移

	7	6	5	4	3	2	1	0
UART0CR1	<TXE>	<RXE>	<STOPBT>	<EVEN>	<PE>	<IRDASEL>	<BRG>	-
	0	0	値保持	値保持	値保持	値保持	値保持	-
UART0CR2	-	-	<RTSEL>			<RXDNC>		<STOPBR>
	-	-	値保持	値保持	値保持	値保持	値保持	値保持
UART0SR	<PERR>	<FERR>	<OERR>	-	<RBSY>	<RBFL>	<TBSY>	<TBFL>
	0	0	0	-	0	0	0	0
UART0DR	<UART0DR7>	<UART0DR6>	<UART0DR5>	<UART0DR4>	<UART0DR3>	<UART0DR2>	<UART0DR1>	<UART0DR0>
	値保持							
RD0BUF	<RD0DR7>	<RD0DR6>	<RD0DR5>	<RD0DR4>	<RD0DR3>	<RD0DR2>	<RD0DR1>	<RD0DR0>
	不定							
TD0BUF	<TD0DR7>	<TD0DR6>	<TD0DR5>	<TD0DR4>	<TD0DR3>	<TD0DR2>	<TD0DR1>	<TD0DR0>
	不定							

16.6.2. TXD0 端子の状態遷移

TXD0 端子の状態は、IDLE0、SLEEP0 または STOP モードを起動すると、データの送受信/停止中に関係なく表 16-6 のようになります。

表 16-6 STOP、IDLE0、SLEEP0モード起動時のTXD0端子状態

UART0CR1 <IRDASEL>	IDLE0 または SLEEP0 モード	STOP モード	
		SYSCR1<OUTEN> = 1	SYSCR1<OUTEN> = 0
0	“High”レベル	“High”レベル	“Hi-Z”
1	“Low”レベル	“Low”レベル	

16.7. 転送データフォーマット

UART で転送されるデータは、以下の 4 つの要素で構成されます。ここではスタートビットからストップビットまでのデータをまとめて「転送フレーム」と定義します。

スタートビットは 1 ビット(“Low”レベル)、データは 8 ビットで構成されます。

パリティビットは、UART0CR1<PE>によってパリティの有無を、UART0CR1<EVEN>によって偶数/奇数パリティを選択することができます。

ストップビットは UART0CR1<STOPBT>によってビット長を選択することができます。

図 16-2 に転送データフォーマットを示します。

- スタートビット (1 ビット)
- データ (8 ビット)
- パリティビット (有/なし、偶数/奇数を選択可)
- ストップビット (1 ビットまたは 2 ビットを選択可)

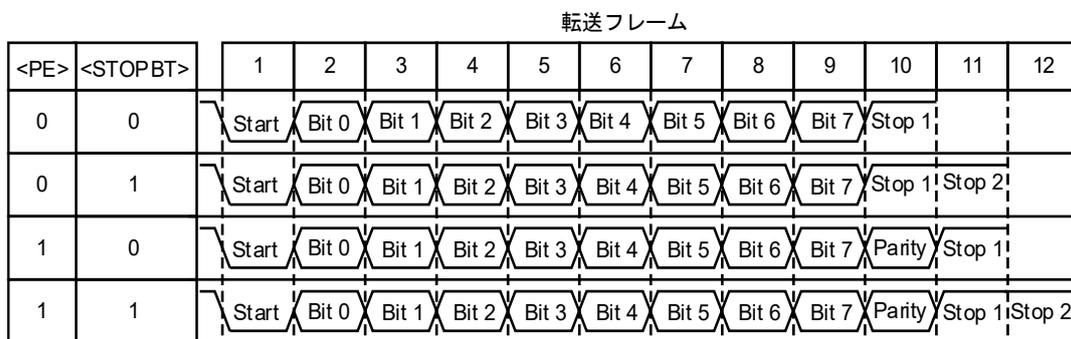


図 16-2 転送データフォーマット

16.8. 赤外線データフォーマット転送モード

TXD0 端子は、IrDA 出力制御レジスタの設定により、赤外線データフォーマット(IrDA)での出力が可能です。UART0CR1<IRDASEL>を"1"に設定すると、TXD0 端子から赤外線データフォーマットでデータが出力されます。

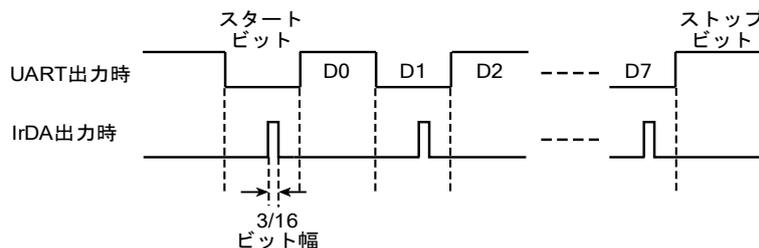


図 16-3 赤外線データフォーマット例 (通常出力時とIrDA出力時の比較)

16.9. 転送ボーレート

UARTの転送ボーレートはUART0CR1<BRG>、UART0DR、UART0CR2<RTSEL>により設定されます。下表に基本的なボーレートと動作周波数に対するUART0DR、UART0CR2<RTSEL>の設定値とそのときの誤差を示します。

転送ボーレートの設定を算出する場合は、「16.9.1. 転送ボーレートの算出方法」を参照してください。

**表 16-7 転送ボーレートに対するUART0DR、UART0CR2<RTSEL>の設定値と誤差
(fcgck = 10 ~ 1 [MHz]、UART0CR2<RXDNC> = 00)**

基本的な ボーレート [baud]	レジスター 設定と誤差	動作周波数										
		10 [MHz]	8 [MHz]	7.3728 [MHz]	6.144 [MHz]	6 [MHz]	5 [MHz]	4.9152 [MHz]	4.19 [MHz]	4 [MHz]	2 [MHz]	1 [MHz]
128000	UART0DR	0x04	0x03	-	0x02	0x02	-	-	0x01	0x01	0x00	-
	<RTSEL>	011	011	-	000	011	-	-	001	011	011	-
	誤差	(+0.81%)	(+0.81%)	-	0%	(+0.81%)	-	-	(-0.80%)	(+0.81%)	(+0.81%)	-
115200	UART0DR	0x04	0x03	0x03	-	0x02	-	-	-	0x01	0x00	-
	<RTSEL>	100	100	000	-	100	-	-	-	100	100	-
	誤差	(+2.12%)	(+2.12%)	0%	-	(+2.12%)	-	-	-	(+2.12%)	(+2.12%)	-
76800	UART0DR	0x07	0x06	0x05	0x04	0x04	0x03	0x03	-	0x02	-	-
	<RTSEL>	001	010	000	000	011	001	000	-	100	-	-
	誤差	(-1.36%)	(-0.79%)	0%	0%	(+0.81%)	(-1.36%)	0%	-	(+2.12%)	-	-
62500	UART0DR	0x09	0x07	0x06	0x05	0x05	0x04	0x04	0x03	0x03	0x01	0x00
	<RTSEL>	000	000	100	001	000	000	011	100	000	000	000
	誤差	0%	0%	(-0.87%)	(-0.70%)	0%	0%	(+1.48%)	(-1.41%)	0%	0%	0%
57600	UART0DR	0x0A	0x08	0x07	0x06	0x06	0x04	0x04	-	0x03	0x01	0x00
	<RTSEL>	000	011	000	010	010	100	100	-	100	100	100
	誤差	(-1.36%)	(-0.44%)	0%	(+1.59%)	(-0.79%)	(+2.12%)	(+0.39%)	-	(+2.12%)	(+2.12%)	(+2.12%)
38400	UART0DR	0x10	0x0C	0x0B	0x09	0x09	0x07	0x07	0x06	0x06	0x02	-
	<RTSEL>	011	000	000	000	011	001	000	011	010	100	-
	誤差	(-1.17%)	(+0.16%)	0%	0%	(+0.81%)	(-1.36%)	0%	(+0.57%)	(-0.79%)	(+2.12%)	-
19200	UART0DR	0x22	0x19	0x17	0x13	0x12	0x10	0x0F	0x0D	0x0C	0x06	0x02
	<RTSEL>	010	000	000	000	001	011	000	011	000	010	100
	誤差	(-0.79%)	(+0.16%)	0%	0%	(-0.32%)	(-1.17%)	0%	(+0.57%)	(+0.16%)	(-0.79%)	(+2.12%)
9600	UART0DR	0x40	0x30	0x2F	0x27	0x26	0x22	0x1F	0x1C	0x19	0x0C	0x06
	<RTSEL>	000	100	000	000	000	010	000	010	000	000	010
	誤差	(+0.16%)	(+0.04%)	0%	0%	(+0.16%)	(-0.79%)	0%	(+0.34%)	(+0.16%)	(+0.16%)	(-0.79%)
4800	UART0DR	0x8A	0x64	0x5F	0x4F	0x4D	0x40	0x3F	0x34	0x30	0x19	0x0C
	<RTSEL>	010	01	000	000	000	000	000	001	100	000	000
	誤差	(-0.08%)	(+0.01%)	0%	0%	(+0.16%)	(+0.16%)	0%	(-0.18%)	(+0.04%)	(+0.16%)	(+0.16%)
2400	UART0DR	0xF4	0xC9	0xBF	0x9F	0x92	0x8A	0x7F	0x6C	0x64	0x30	0x19
	<RTSEL>	100	001	000	000	100	010	000	000	001	100	000
	誤差	(+0.04%)	(+0.01%)	0%	0%	(+0.04%)	(-0.08%)	0%	(+0.11%)	(+0.01%)	(+0.04%)	(+0.16%)
1200	UART0DR	-	-	-	-	-	0xF4	0xFF	0xE8	0xC9	0x64	0x30
	<RTSEL>	-	-	-	-	-	100	000	010	001	001	100
	誤差	-	-	-	-	-	(+0.04%)	(+0%)	(-0.10%)	(+0.01%)	(+0.01%)	(+0.04%)

表 16-8 転送ボーレートに対するUART0DR、UART0CR2<RTSEL>の設定値と誤差
($f_s = 32.768$ [kHz]、UART0CR2<RXDNC> = 00)

基本的な ボーレート [baud]	レジスター	動作周波数
		32.768 [kHz]
300	UART0DR	0x06
	<RTSEL>	011
	誤差	(+0.67%)
150	UART0DR	0x0D
	<RTSEL>	011
	誤差	(+0.67%)
134	UART0DR	0x0E
	<RTSEL>	001
	誤差	(-1.20%)
110	UART0DR	0x11
	<RTSEL>	001
	誤差	(+0.30%)
75	UART0DR	0x1C
	<RTSEL>	010
	誤差	(+0.44%)

注) 基本的なボーレートとの総合誤差は $\pm 3\%$ 以内で使用してください。ただし総合誤差が $\pm 3\%$ 以内であっても、外部コントローラー(パソコンなど)や発振子の周波数誤差、通信端子の負荷容量などの要因により、正常に通信できない場合があります。

16.9.1. 転送ポーレート の算出方法

16.9.1.1. UART0CR2<RTSEL>によるビット幅調整

UART0CR2<RTSEL>を変更すると送受信データのビット幅を微調整することができます。UART0CR2<RTSEL>を変更すると1ビットあたりのRTクロック数を15~17クロックの範囲で変更することができます。RTクロックとは、転送の基準となるクロックのことで、UART0CR1<BRG>で選択されたクロックを(UART0DR の設定値)+1 [回]カウントしたパルスのことをいいます。特にUART0CR2<RTSEL>が"001"、"011"の設定ではビットごとに2種類のRTクロック入れ替わりますので、擬似的にRT×15.5クロック、RT×16.5クロック相当のポーレートを生成することが可能です。転送フレームに対する1ビットあたりのRTクロック数を図16-4に示します。

例えばfcgck=4 [MHz]時に、UART0CR2<RTSEL>=000、UART0DR=0x19に設定すると、図16-4の計算式により、

$$fcgck / (16 \times (UART0DR + 1)) = 9615 \text{ [baud]}$$

となり、9600 [baud] (+0.16%)相当のポーレートを生成することができます。

転送フレーム														
<PE>	<STOPBT>	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Stop 1			
0	1	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Stop 1	Stop 2		
1	0	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Parity	Stop 1		
1	1	Start	Bit 0	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Parity	Stop 1	Stop 2	
<RTSEL>		RTクロック数												生成ポーレート
000		16	16	16	16	16	16	16	16	16	16	16	16	$\frac{fcgck}{16 \times (UART0DR + 1)}$ [baud]
001		16	17	16	17	16	17	16	17	16	17	16	17	$\frac{fcgck}{16.5 \times (UART0DR + 1)}$ [baud]
010		15	15	15	15	15	15	15	15	15	15	15	15	$\frac{fcgck}{15 \times (UART0DR + 1)}$ [baud]
011		15	16	15	16	15	16	15	16	15	16	15	16	$\frac{fcgck}{15.5 \times (UART0DR + 1)}$ [baud]
100		17	17	17	17	17	17	17	17	17	17	17	17	$\frac{fcgck}{17 \times (UART0DR + 1)}$ [baud]

*<BRG>がfcgckの場合

図 16-4 UART0CR2<RTSEL>によるポーレートクロックの微調整

16.9.1.2. UART0CR2<RTSEL>と UART0DR 設定値の算出

動作周波数とボーレートに対して UART0DR の設定値を算出する場合、表 16-9 の計算式によって求めることができます。例えば $f_{cgck} = 4$ [MHz] で基準ボーレート 38400 [baud] を生成したい場合、表 16-10 のように UART0CR2<RTSEL>ごとに UART0DR の設定値を算出し、算出値を整数に補正した値で生成ボーレートを算出します。基本的に UART0CR2<RTSEL>の設定値は、生成ボーレートの中でボーレート誤差が一番少ないものを選択してください。表 16-10 の場合、UART0CR2<RTSEL>=010 が算出したボーレートの中で一番誤差が少なく、基準ボーレート 38400 [baud] に対して生成ボーレートが 38095 [baud] (-0.79%) となります。

注) 基準ボーレートとの誤差は±3%以内で使用することを推奨します。ただし誤差が±3%以内であっても、外部コンローラー(パソコンなど)や発振子の周波数誤差、通信端子の負荷容量などの要因により、正常に通信ができない場合があります。

表 16-9 UART0DRの算出方法 (<BRG>が f_{cgck} の場合、Aは設定したいボーレート)

<RTSEL>	UART0DRの設定値
000	$UART0DR = \frac{f_{cgck} [Hz]}{16 \times A [baud]} - 1$
001	$UART0DR = \frac{f_{cgck} [Hz]}{16.5 \times A [baud]} - 1$
010	$UART0DR = \frac{f_{cgck} [Hz]}{15 \times A [baud]} - 1$
011	$UART0DR = \frac{f_{cgck} [Hz]}{15.5 \times A [baud]} - 1$
100	$UART0DR = \frac{f_{cgck} [Hz]}{17 \times A [baud]} - 1$

表 16-10 UART0DRの算出例 ($f_{cgck} = 4$ [MHz])

<RTSEL>	UART0DRの算出	生成ボーレート
000	$UART0DR = \frac{4000000 [Hz]}{16 \times 38400 [baud]} - 1 \approx 6$	$\frac{4000000 [Hz]}{16 \times (6 + 1)} = 35714 [baud] (-6.99\%)$
001	$UART0DR = \frac{4000000 [Hz]}{16.5 \times 38400 [baud]} - 1 \approx 5$	$\frac{4000000 [Hz]}{16.5 \times (5 + 1)} = 40404 [baud] (+5.22\%)$
010	$UART0DR = \frac{4000000 [Hz]}{15 \times 38400 [baud]} - 1 \approx 6$	$\frac{4000000 [Hz]}{15 \times (6 + 1)} = 38095 [baud] (-0.79\%)$
011	$UART0DR = \frac{4000000 [Hz]}{15.5 \times 38400 [baud]} - 1 \approx 6$	$\frac{4000000 [Hz]}{15.5 \times (6 + 1)} = 36866 [baud] (-3.99\%)$
100	$UART0DR = \frac{4000000 [Hz]}{17 \times 38400 [baud]} - 1 \approx 5$	$\frac{4000000 [Hz]}{17 \times (5 + 1)} = 39216 [baud] (+2.12\%)$

16.10. データのサンプリング方法

UARTの受信制御回路は、RXD0端子の入力パルスとして立ち下がりエッジを検出すると、RTクロックによってカウントを開始します。RTクロックは、1ビットあたり15~17カウント行われ、それぞれのクロックはRTnで表されます(n = 16~0)。RTクロックが17カウントのビットはRT16~RT0、16カウントのビットはRT15~RT0、15カウントのビットはRT14~RT0でカウントが行われます(デクリメント)。UARTの受信制御回路は、このうちRT8~RT6のカウント時にRXD0端子の入力パルスをサンプリングし多数決判定を行います。3回のサンプリングのうち2回以上検出したレベルをそのビットのデータとして処理します。

UART0CR2<RTSEL>を設定するとRTクロック数を15~17に変更することができますが、RTクロック数が変わっても、サンプリングは必ずRT8~RT6で行われます(図 16-5)。

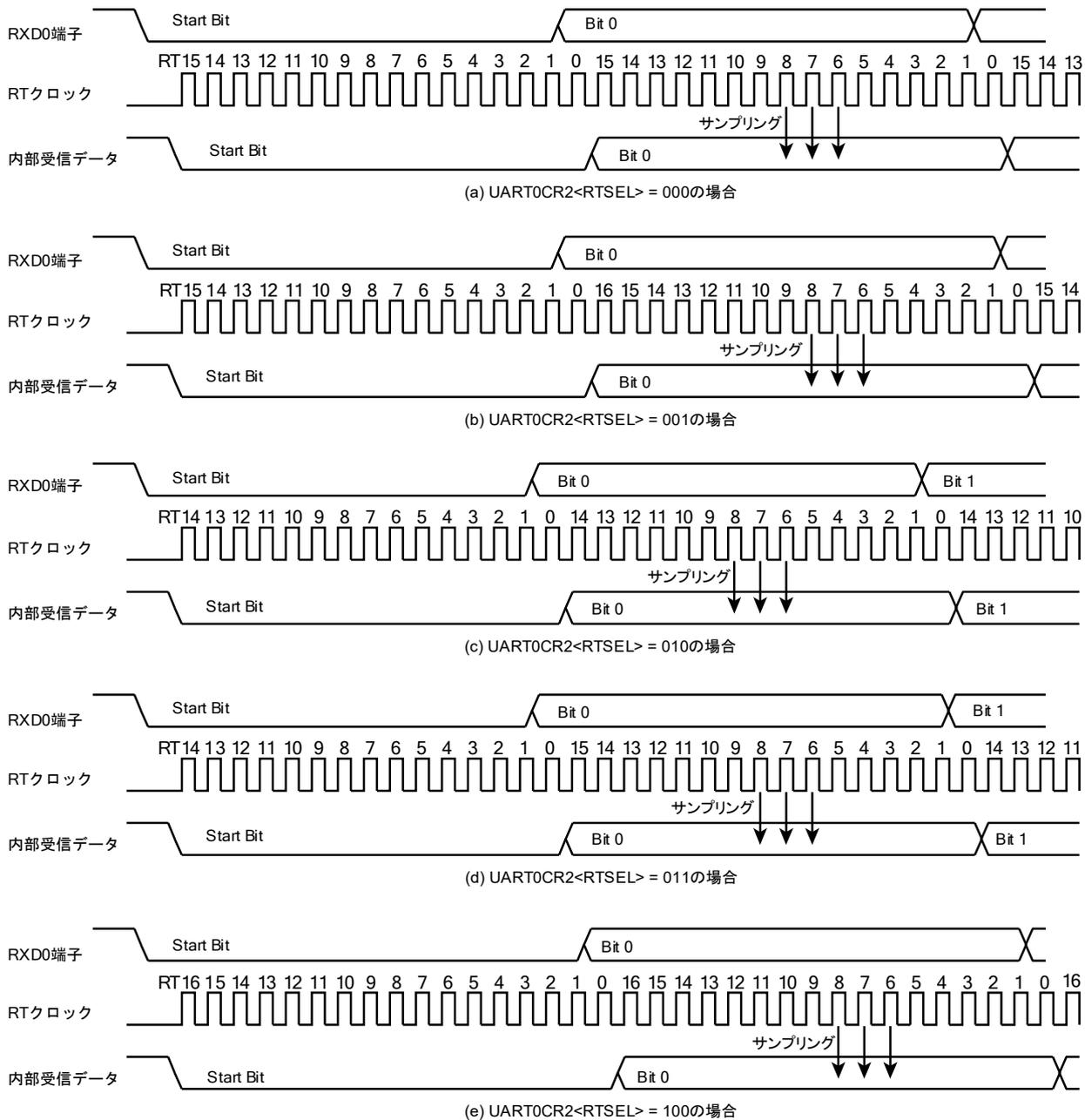


図 16-5 UART0CR2<RTSEL>ごとのデータサンプリング

サンプリング(多数決判定)はデータビット、パリティビット、STOP ビットで行われます。
スタートビットはサンプリング(多数決判定)を行いません。RXD0端子の入力パルスとして立ち下がりエッジ(“Low”レベル)を検出すると、RXD0端子の状態に関わらずRTクロックのカウントを継続し、受信動作を開始します。

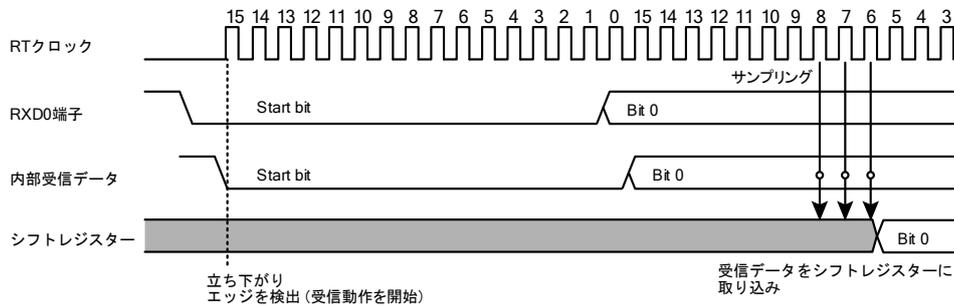


図 16-6 スタートビットの検出

ノイズなどの影響により誤って受信動作を開始しないように受信データのノイズ除去対策を行ってください。詳細は「16.11. 受信データのノイズ除去」を参照してください。また、誤ったデータを受信した場合の対策にはソフトウェアによる処理を行ってください。

16.11. 受信データのノイズ除去

UART0CR2<RXDNC>で受信データのノイズ除去を行う場合、受信データのパルスが確実に信号とみなされる時間は表 16-11 のようになります。

表 16-11 受信データのノイズ除去時間

<RXDNC>	ノイズ除去時間 [s]	確実に信号とみなされる時間 [s]
00	なし	-
01	$(UART0DR + 1) / (\text{転送ベースクロックの周波数})$	$2 \times (UART0DR + 1) / (\text{転送ベースクロックの周波数})$
10	$2 \times (UART0DR + 1) / (\text{転送ベースクロックの周波数})$	$4 \times (UART0DR + 1) / (\text{転送ベースクロックの周波数})$
11	$4 \times (UART0DR + 1) / (\text{転送ベースクロックの周波数})$	$8 \times (UART0DR + 1) / (\text{転送ベースクロックの周波数})$

注) 「転送ベースクロックの周波数」とは UART0CR1<BRG>で選択したクロックの周波数のことです。

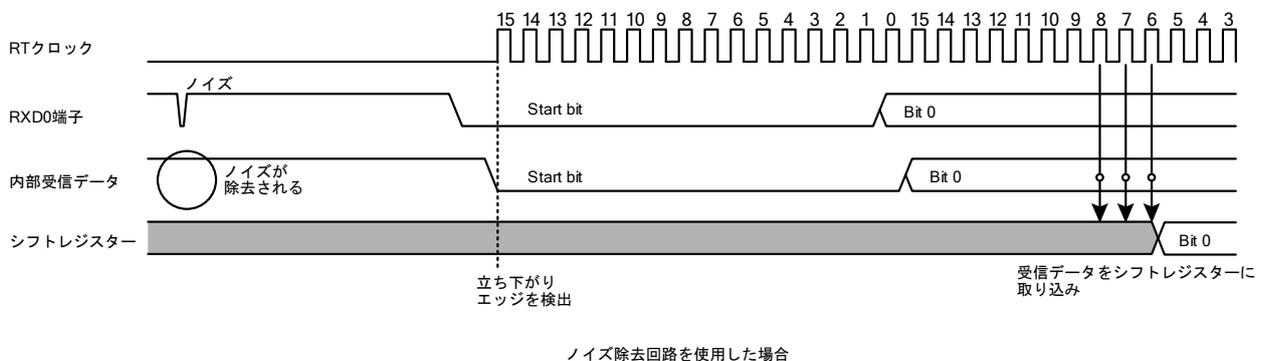


図 16-7 受信データのノイズ除去

16.12. 送受信動作

16.12.1. データ送信動作

UART0CR1<TXE>を"1"にセットします。UART0SR<TBFL>=0を確認後、TD0BUF(送信データバッファ)にデータを書き込みます。TD0BUFに書き込みを行うとUART0SR<TBFL>は"1"にセットされデータが送信シフトレジスタに転送された後、TXD0 端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとUART0CR1<STOPBT>で指定した数のストップビットおよびパリティビット(パリティありの場合)が付加されます。データ転送ボーレートはUART0CR1<BRG>、UART0CR2<RTSEL>およびUART0DRで設定します。データの送信が始まると送信バッファフルフラグUART0SR<TBFL>は"0"にクリアされ、INTTXD0 割り込み要求が発生します。

注 1) TD0BUFにデータを書き込んだ後、データがシフトレジスタに転送される前に再度TD0BUFに書き込みを行うと前回のデータは上書きされ、新しいデータがシフトレジスタに転送されます。

注 2) TXD0 端子出力は表 16-12 の状態のとき、UART0CR1<IRDASEL>の設定に従って"Low"レベルまたは"High"レベルに固定されます。

表 16-12 TXD0端子出力

状態	TXD0 端子出力	
	UART0CR1 <IRDASEL> = 0	UART0CR1 <IRDASEL> = 1
UART0CR1<TXE> = 0 のとき	"High"レベル	"Low"レベル
UART0CR1<TXE>に"1"をライトしてからTD0BUFに送信データが書き込まれるまでの期間		
STOP、IDLE0、SLEEP0 モード中		

16.12.2. データ受信動作

UART0CR1<RXE>を"1"にセットします。その後、RXD0端子からデータを受信すると、受信シフトレジスタに格納されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット(パリティありの場合)が付加されています。ストップビットが受信されるとデータだけが取り出されRD0BUF(受信データバッファ)に転送された後、受信バッファフルフラグUART0SR<RBFL>が"1"にセットされ、INTRXD0 割り込み要求が発生します。

データ転送ボーレートはUART0CR1<BRG>、UART0CR2<RTSEL>およびUART0DRで設定します。

データが受信されたときに、オーバーランエラーが発生すると、RD0BUF(受信データバッファ)へのデータ転送は行われず破棄されます。ただし、RD0BUF内のデータは影響を受けません。

16.13. ステータスフラグ

16.13.1. パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグUART0SR<PERR>が"1"にセットされます。このときINTRXD0割り込み要求が発生します。

UART0SRを読み出したときにUART0SR<PERR>が"1"だった場合、その後RD0BUFをリードするとUART0SR<PERR>は"0"にクリアされます(RD0BUFのリード値は不定となります)。

UART0SRを読み出した後に、UART0SR<PERR>が"1"にセットされた場合は、その後RD0BUFを読み出してもUART0SR<PERR>は"0"にクリアされません。この場合は、再度UART0SRを読み出してからRD0BUFを読み出すとUART0SR<PERR>が"0"にクリアされます。

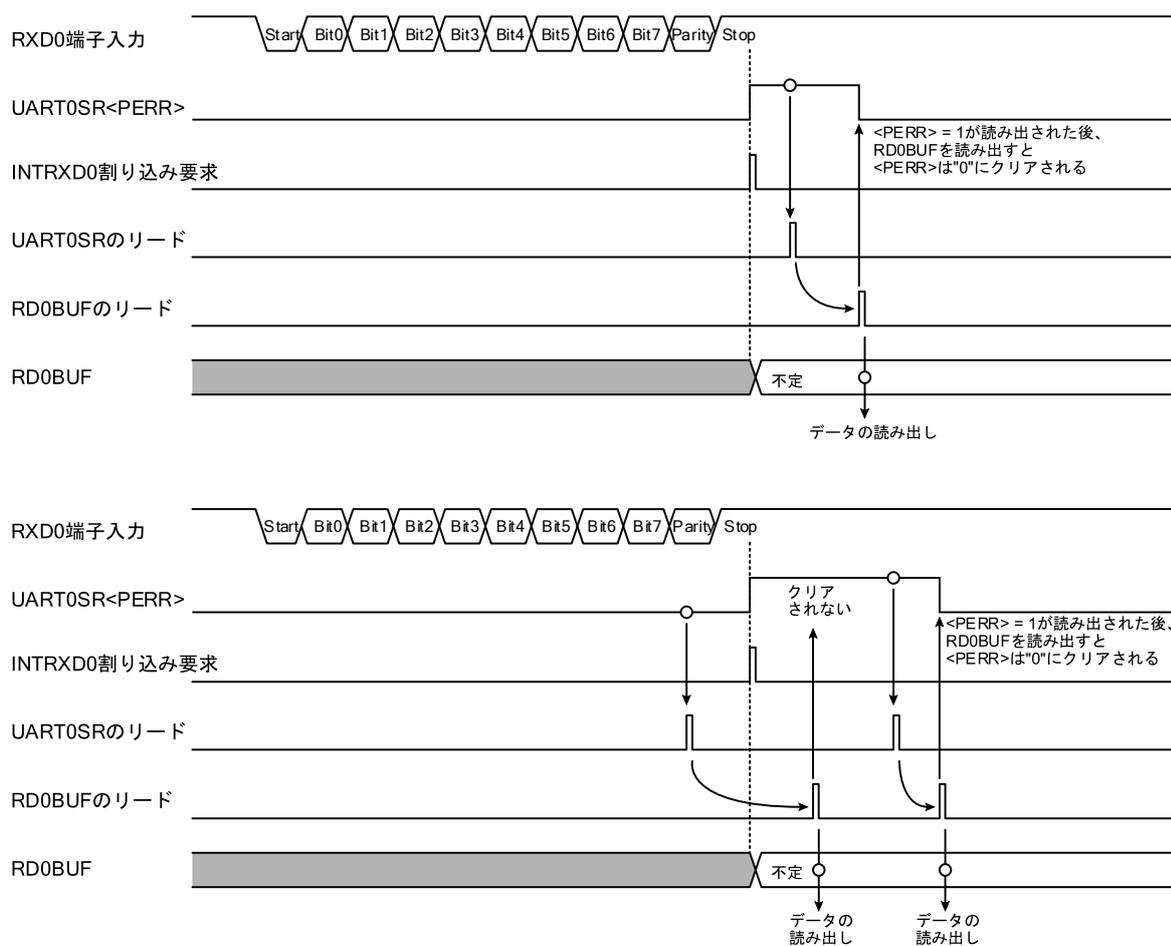


図 16-8 パリティエラーの発生

16.13.2. フレーミングエラー

RXD0 端子へ送信される受信データのボーレートと受信のボーレートが合わなかったり、RXD0 端子へのノイズの影響などで、受信データのSTOPビットとして"0"がサンプリングされた場合、フレーミングエラーフラグUART0SR<FERR>が"1"にセットされます。このときINTRXD0割り込み要求が発生します。

UART0SRを読み出したときに、UART0SR<FERR>が"1"だった場合、その後RD0BUFをリードするとUART0SR<FERR>は"0"にクリアされます。

UART0SRを読み出した後に、UART0SR<FERR>が"1"にセットされた場合は、その後RD0BUFを読み出してもUART0SR<FERR>は"0"にクリアされません。この場合は、再度UART0SRを読み出してからRD0BUFを読み出すとUART0SR<FERR>が"0"にクリアされます。

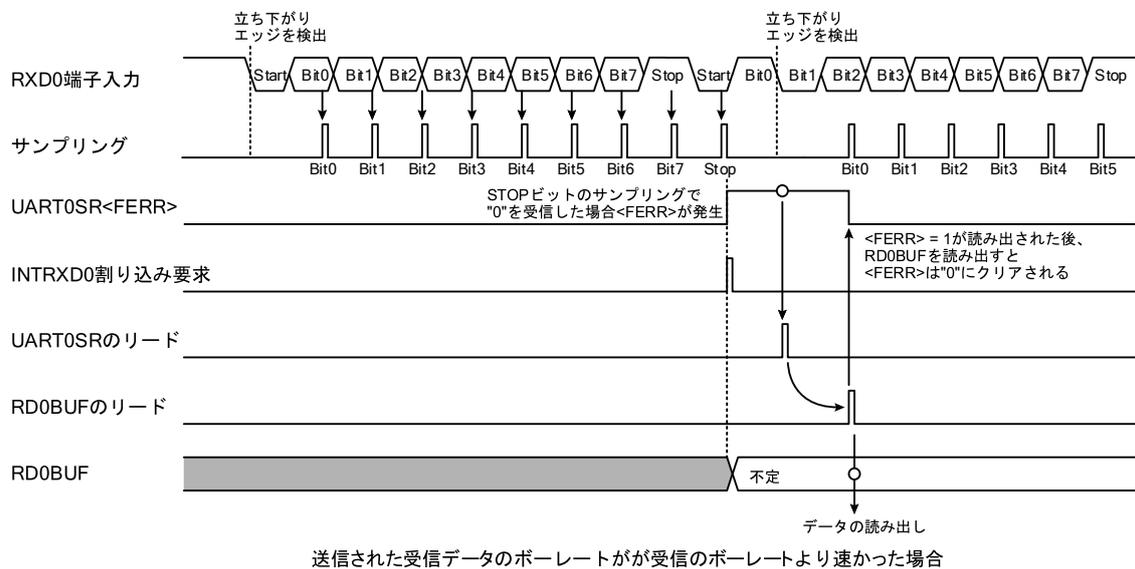
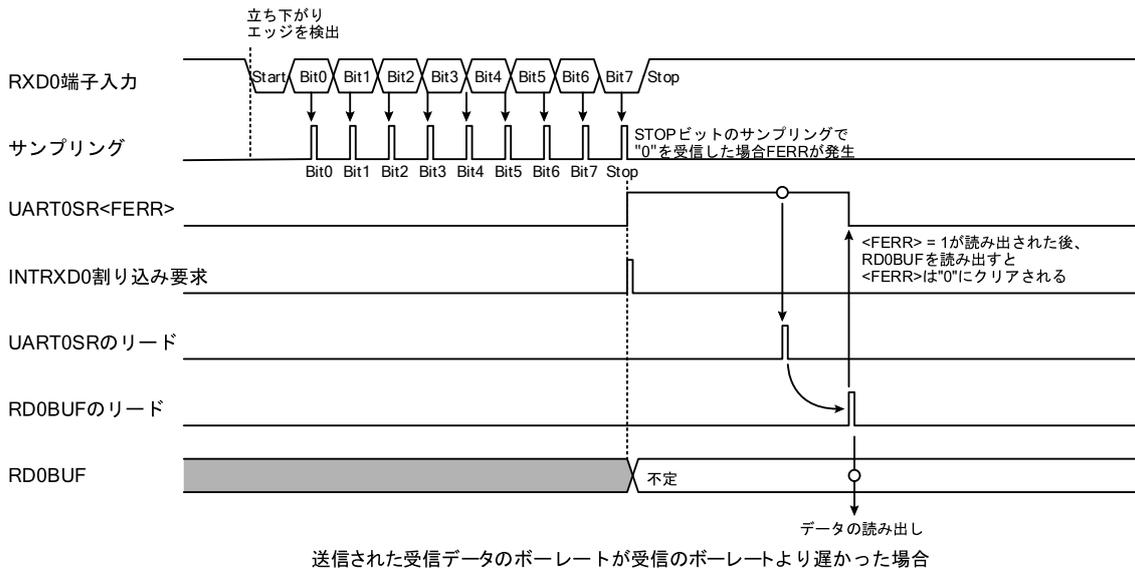


図 16-9 フレーミングエラーの発生

16.13.3. オーバーランエラー

RD0BUF から受信データを読み出す前に、次のデータの受信が全ビット完了するとオーバーランエラーフラグ UART0SR<OERR>が"1"にセットされ、INTRXD0 割り込み要求が発生します。オーバーランエラーが発生したときの受信データは破棄され、先に受信したデータが保持されます。その後、UART0SR<OERR>が"1"の状態が続けてデータを受信しても INTRXD0 割り込み要求は発生せず、受信されたデータも破棄されます。(図 16-10)

なお、破棄された受信データのパリティエラーおよびフレーミングエラーは検出されません(エラーフラグはセットされません)。つまり UART0SR の読み出しで、オーバーランエラーと同時に検出されたこれらのエラーは、先に受信したデータ(RD0BUF に格納されているデータ)で発生したエラーとなります。(図 16-11)

UART0SR を読み出したときに UART0SR<OERR>が"1"だった場合、その後 RD0BUF をリードすると UART0SR<OERR>は"0"にクリアされます。(図 16-12)

UART0SR を読み出した後に、UART0SR<OERR>が"1"にセットされた場合は、その後 RD0BUF を読み出しても UART0SR<OERR>は"0"にクリアされません。この場合は、再度 UART0SR を読み出してから RD0BUF を読み出すと UART0SR<OERR>が"0"にクリアされます(図 16-12)。

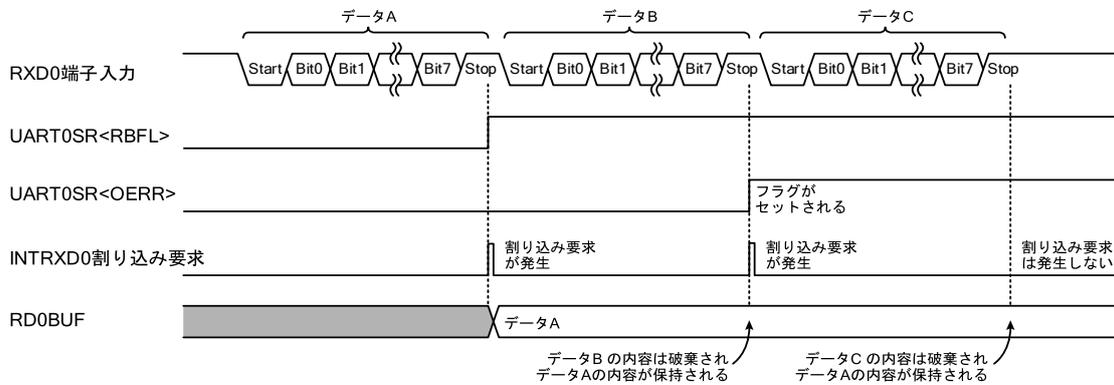
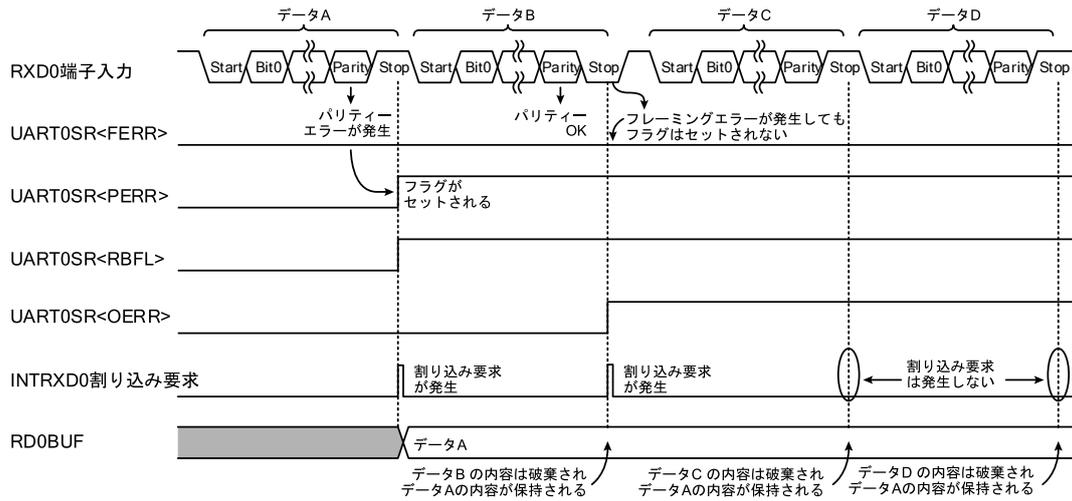
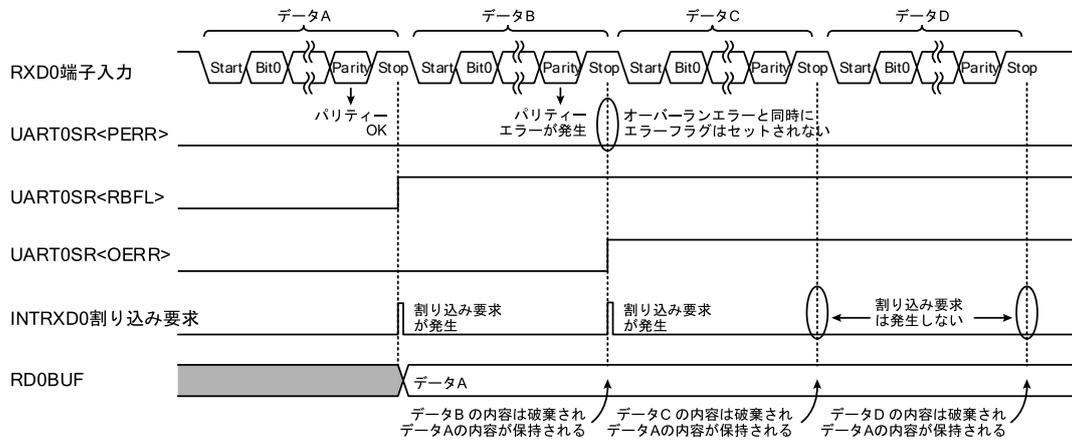


図 16-10 オーバーランエラーの発生



最初のデータ受信でパリティエラー、2番目のデータでフレーミングエラーが発生した場合



2番目のデータ受信でパリティエラーが発生した場合

図 16-11 オーバーランエラー発生時のフレーミング/パリティエラーフラグ

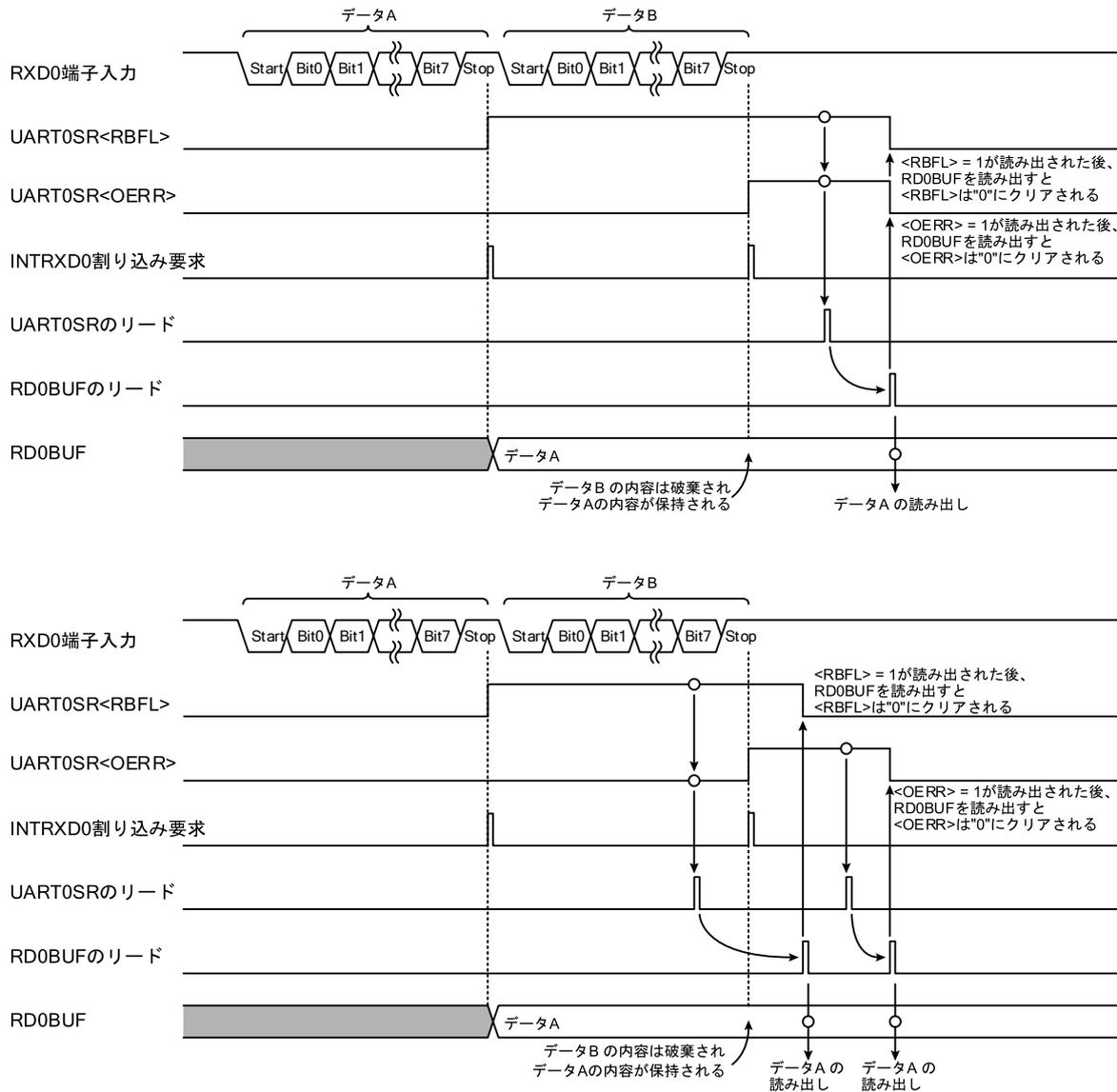


図 16-12 オーバーランエラーフラグのクリア

16.13.4. 受信バッファフル

受信データを RD0BUF に取り込むと UART0SR<RBFL>が"1"にセットされます。

UART0SR を読み出したときに UART0SR<RBFL>が"1"だった場合、その後 RD0BUF をリードすると UART0SR<RBFL>は"0"にクリアされます。

UART0SR を読み出した後に、UART0SR<RBFL>が"1"にセットされた場合は、その後 RD0BUF を読み出しても UART0SR<RBFL>は"0"にクリアされません。この場合は、再度 UART0SR を読み出してから RD0BUF を読み出すと UART0SR<RBFL>が"0"にクリアされます。

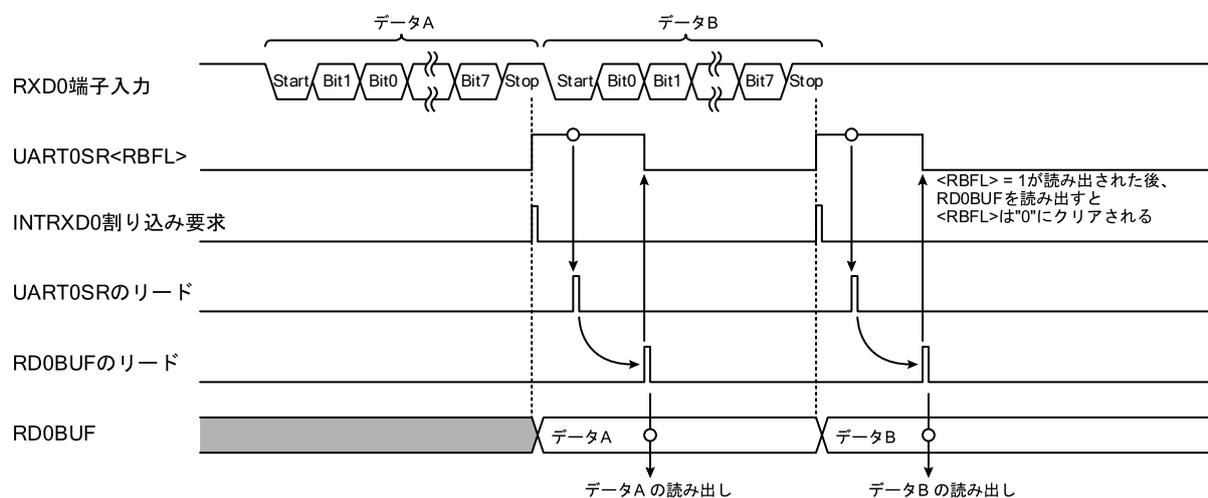


図 16-13 受信バッファフルの発生

16.13.5. 送信ビジーフラグ

TD0BUF 内にデータがないとき(UART0SR<TBFL> = 0 のとき)に送信が終了すると UART0SR<TBSY> が"0"にクリアされます。TD0BUF にデータを書き込んだ後、送信が開始されると UART0SR<TBSY>は "1"にセットされます。このとき INTTXD0 割り込み要求が発生します。

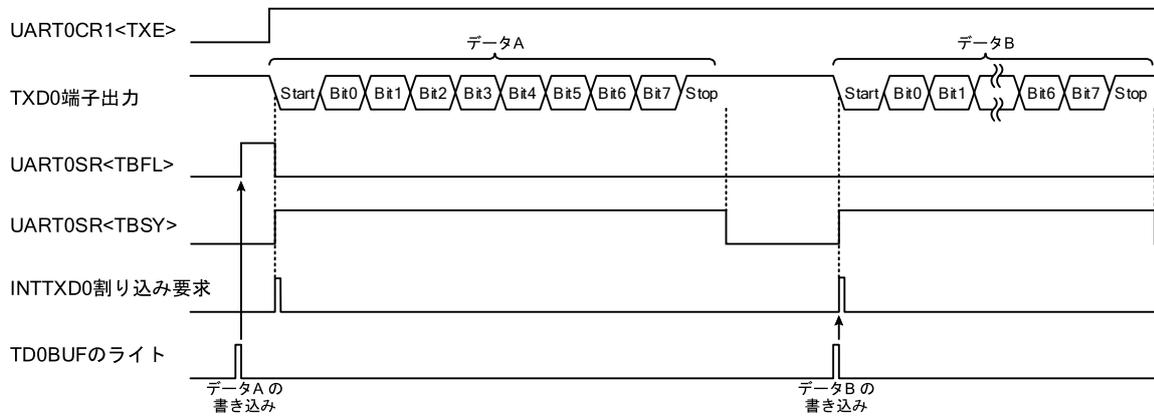


図 16-14 送信ビジーフラグと送信バッファフルの発生

16.13.6. 送信バッファフル

TD0BUF にデータがないとき、つまり TD0BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART0SR<TBFL>が"0"にクリアされます。このとき INTTXD0 割り込み要求が発生します。TD0BUF にデータを書き込むと UART0SR<TBFL>は"1"にセットされます。

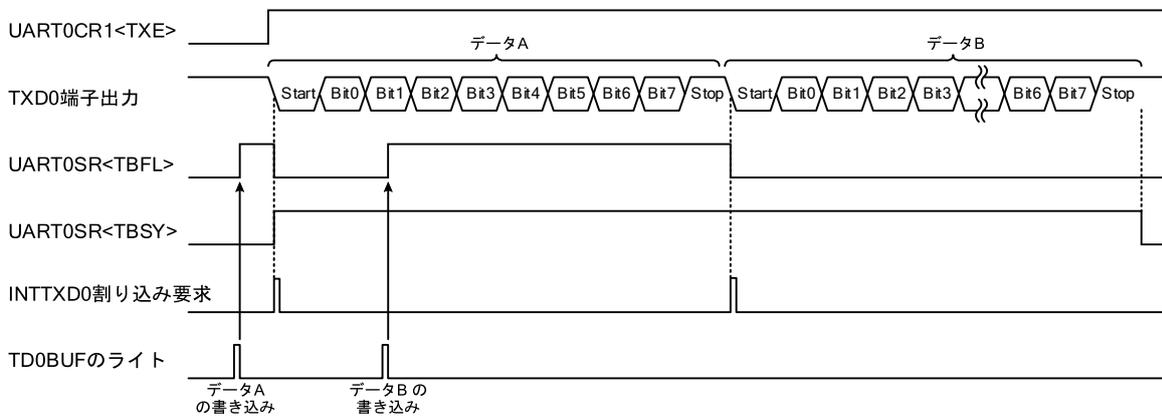
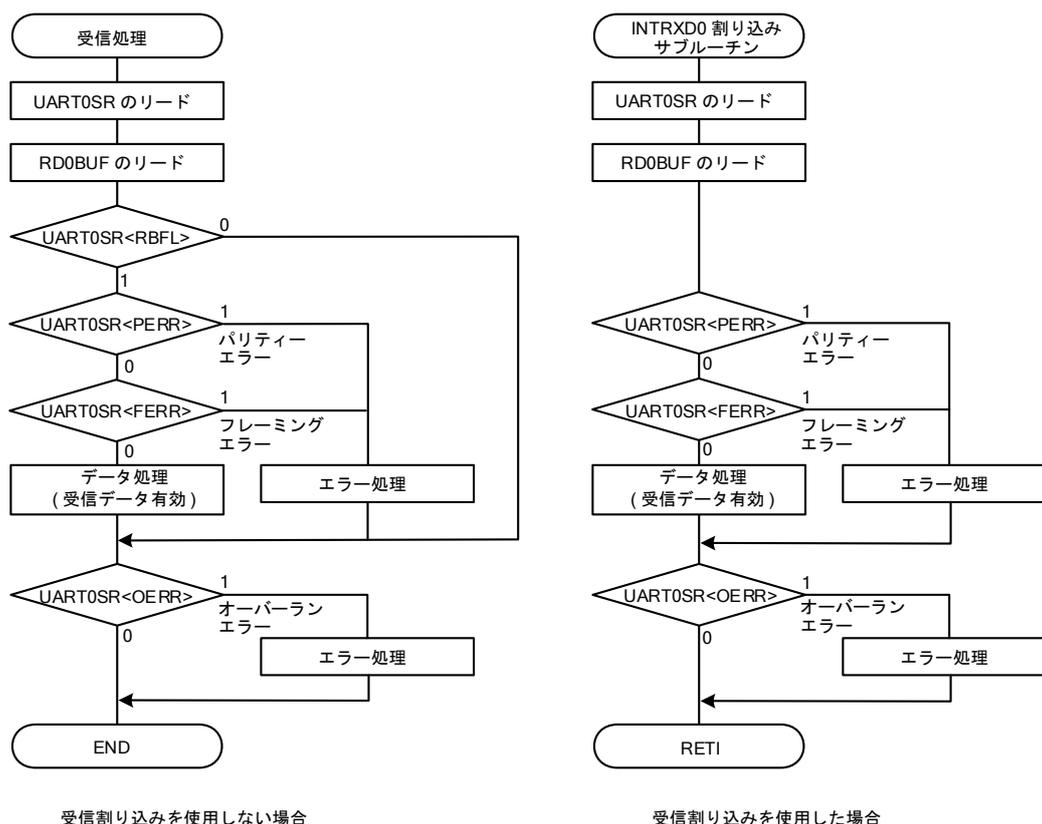


図 16-15 送信バッファフルの発生

16.14. 受信処理

図 16-16 に受信処理例を示します。また同処理でのフラグ判定内容を表 16-13、表 16-14 に示します。フレーミングエラー、パリティエラーが検出された場合は、受信したデータの値に誤りがあります。RD0BUF から読み出した受信データは読み捨てて、再受信を行うなどのエラー処理を行ってください。オーバーランエラーが検出された場合は、受信データに取りこぼしが発生しています。取りこぼしたデータ数は判断できませんので、転送の最初から再受信を行うなどのエラー処理を行ってください。基本的にオーバーランエラーが発生するのは、データの転送速度に対して内部のソフトウェア処理が追従できていないことが原因ですので、転送ボーレートを遅くしたり、フロー制御を行うようソフトウェアを変更することを推奨します。



注) INTRXD0 割り込みサービスルーチンの中で多重割り込みを使用する場合は UART0SR および RD0BUF の読み出し後に割り込みを許可することを推奨します。

図 16-16 受信処理例

表 16-13 受信割り込みを使用しない場合のフラグ判定

<RBFL>	<FERR>/<PERR>	<OERR>	状態
0	*	0	データ未受信
0	*	1	UART0SRを読み出ししてからRD0BUFを読みだすまでの間に次のデータの受信が完了した
1	0	0	正常に受信が完了
1	0	1	正常に受信が完了したが、データの取りこぼしが発生した
1	1	0	受信したデータの値に誤りがある
1	1	1	受信したデータの値に誤りがあり、かつデータの取りこぼしが発生した

注) *: Don't care

表 16-14 受信割り込みを使用した場合のフラグ判定

<FERR>/<PERR>	<OERR>	状態
0	0	正常に受信が完了
0	1	正常に受信が完了したが、データの取りこぼしが発生した
1	0	受信したデータの値に誤りがある
1	1	受信したデータの値に誤りがあり、かつデータの取りこぼしが発生した

16.15. AC 特性

16.15.1. IrDA 特性

(V_{SS} = 0 [V]、V_{DD} = 4.5 ~ 5.5 [V]、Topr = -40 ~ 85 [°C])

項目	条件	Min	Typ.	Max	単位
TXD0 出力パルス時間 (RT クロック × (3 / 16))	転送ボーレート = 2400 [baud]	-	78.13	-	μs
	転送ボーレート = 9600 [baud]	-	19.53	-	
	転送ボーレート = 19200 [baud]	-	9.77	-	
	転送ボーレート = 38400 [baud]	-	4.88	-	
	転送ボーレート = 57600 [baud]	-	3.26	-	
	転送ボーレート = 115200 [baud]	-	1.63	-	

17. 同期式シリアルインターフェース (SIO)

TMP89FS60B/62B/63B は、高速同期式シリアルインターフェース(SIO)を内蔵しています。

この章は SIO0 の説明となります。SIO1 については表 17-1、表 17-2 に従って SFR アドレス、端子名を読み替えてください。

表 17-1 SFRアドレス割り付け

	SIOxCR (アドレス)	SIOxSR (アドレス)	SIOxBUF (アドレス)	低消費電力 レジスター
SIO0	SIO0CR (0x001F)	SIO0SR (0x0020)	SIO0BUF (0x0021)	POFFCR2 <SIO0EN>
SIO1	SIO1CR (0x0F70)	SIO1SR (0x0F71)	SIO1BUF (0x0F72)	POFFCR2 <SIO1EN>

表 17-2 端子名

	シリアル クロック 入出力端子	シリアル データ 入力端子	シリアル データ 出力端子
SIO0	SCLK0 端子	SI0 端子	SO0 端子
SIO1	SCLK1 端子	SI1 端子	SO1 端子

17.1. 各製品の同期式シリアルインターフェース (SIO)

各製品で使用できる同期式シリアルインターフェース(SIO)を表 17-3 に示します。

非搭載の SIO のチャンネルに対応する低消費電力レジスターのビットは"0"にクリアしてください。

表 17-3 各製品の同期式シリアルインターフェース (SIO)

	TMP89FS60B	TMP89FS62B	TMP89FS63B
SIO0	A	A	A
SIO1	A	A	A

注) A: 搭載

17.2. 構成

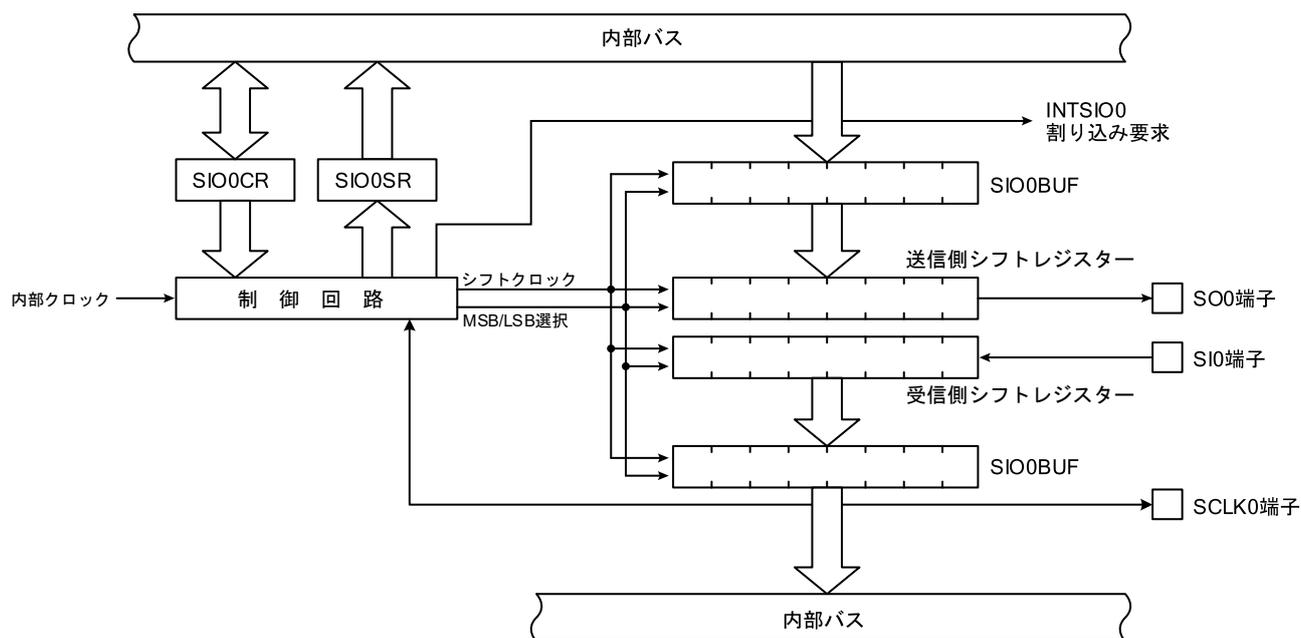


図 17-1 シリアルインターフェース

注) SIO 入出力は I/O ポートと兼用となっていますので、SIO の端子として機能させるためには I/O ポートのレジスター設定が必要です。詳しくは「8 入出力ポート」の章を参照してください。

17.3. 制御

SIO0は、低消費電力レジスタ(POFFCR2)、シリアルインターフェースデータバッファレジスタ(SIO0BUF)、シリアルインターフェース制御レジスタ(SIO0CR)、シリアルインターフェースステータスレジスタ(SIO0SR)で制御されます。

低消費電力レジスタ2 制御

POFFCR2		7	6	5	4	3	2	1	0
(0x0F76)	Bit Symbol	-	-	(RTCEN)	-	-	-	SIO1EN	SIO0EN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	SIO1EN	SIO1 制御			0:	Disable			
					1:	Enable			
	SIO0EN	SIO0 制御			0:	Disable			
					1:	Enable			

注) POFFCR2 のビット 7、6 とビット 4～2 は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

シリアルインターフェースバッファレジスタ

SIO0BUF		7	6	5	4	3	2	1	0
(0x0021)	Bit Symbol	SIO0BUF							
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0

シリアルインターフェースバッファレジスタ

SIO0BUF		7	6	5	4	3	2	1	0
(0x0021)	Bit Symbol	SIO0BUF							
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1

注) SIO0BUF は、送受信兼用のデータバッファです。読み出しを行うと、常に最後に受信したデータが読みだされます。ただし、1度もデータを受信していない場合は"0"が読みだされます。書き込みを行うと、送信データとして処理を行います。

シリアルインターフェース制御レジスタ

SIO0CR	7	6	5	4	3	2	1	0
(0x001F)	Bit Symbol	SIOEDG	SIOCKS		SIODIR	SIOS	SIOM	
	Read/Write	R/W	R/W		R/W	R/W	R/W	
	リセット後	0	0	0	0	0	0	0

SIOEDG	転送エッジ選択	0:	立ち上がりエッジでデータの受信、立ち下がりエッジでデータの送信	
		1:	立ち上がりエッジでデータの送信、立ち下がりエッジでデータの受信	
SIOCKS	シリアルクロックの選択 [Hz]		NORMAL1/2、 IDLE1/2 モード	SLOW1/2、 SLEEP1 モード
		000:	fcgck / 2 ⁹	-
		001:	fcgck / 2 ⁶	-
		010:	fcgck / 2 ⁵	-
		011:	fcgck / 2 ⁴	-
		100:	fcgck / 2 ³	-
		101:	fcgck / 2 ²	-
		110:	fcgck / 2	fs / 2 ³
		111:	外部クロック入力	
SIODIR	転送フォーマット (MSB/LSB)の 選択	0:	LSB ファースト (ビット 0 から転送)	
		1:	MSB ファースト (ビット 7 から転送)	
SIOS	転送動作の開始/終了指示	0:	動作終了 (予約停止)	
		1:	動作開始	
SIOM	転送モードの選択 & 動作	00:	動作停止 (強制停止)	
		01:	8 ビット送信モード	
		10:	8 ビット受信モード	
		11:	8 ビット送受信モード	

注 1) fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]

注 2) SIO0CR<SIOS>に"1"を書き込んで動作を開始した後は、SIO0SR<SIOF>が"0"になるまで、<SIOEDG>、<SIOCKS>、<SIODIR>への書き込みは無効となります(ただし、<SIOS>を"0"から"1"に変更する際に、同時に<SIOEDG>、<SIOCKS>、<SIODIR>を変更することはできません)。

注 3) <SIOS>に"1"を書き込んで動作を開始した後は、<SIOF>が"0"になるまで、<SIOM>には"00"以外の値は書き込めなくなります("01" ~ "11"の値を書き込んでも無視されます)。動作中、転送モードの変更を行うことはできません。

注 4) <SIOM>が"00"(動作停止)のとき、<SIOS>に"1"を書き込んでも、<SIOS>は"0"のままとなります。

注 5) SLOW1/2、SLEEP1 モードで SIO を使用するときは、必ず<SIOCKS>に"110"を設定してください。<SIOCKS>にそれ以外の設定を行った場合、SIO は動作しません。

注 6) STOP、IDLE0、SLEEP0 モードを起動すると、<SIOM>は自動的に"00"にクリアされ、SIO は動作を停止します。同時に<SIOS>も"0"にクリアされます。ただし、<SIOEDG>、<SIOCKS>、<SIODIR>の設定値は保持されます。

シリアルインターフェースステータスレジスタ

SIO0SR		7	6	5	4	3	2	1	0
(0x0020)	Bit Symbol	SIOF	SEF	OERR	REND	UERR	TBFL	-	-
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

SIOF	シリアル転送動作状態モニター	0:	転送中ではない
		1:	転送中
SEF	シフト動作状態モニター	0:	シフト動作中ではない
		1:	シフト動作中
OERR	受信オーバーランエラーフラグ	0:	オーバーランエラーなし
		1:	オーバーランエラーが少なくとも1回は発生した
REND	受信完了フラグ	0:	前回受信データ読み出し後、データを受信していない
		1:	少なくとも1回のデータ受信が行われた
UERR	送信アンダーランエラーフラグ	0:	送信アンダーランエラーなし
		1:	送信アンダーランエラーが少なくとも1回は発生した
TBFL	送信バッファフルフラグ	0:	送信バッファは空
		1:	送信バッファに未送信データが格納されている

注 1) <OERR>、<UERR>は、SIO0SR を読みだすとクリアされます。

注 2) <REND>は、SIO0BUF を読みだすとクリアされます。

注 3) SIO0CR<SIOM>に"00"を書き込むと、動作中であるかどうかに関わらず、SIO0SR の各ビットは全て"0"にクリアされます。また、STOP、IDLE0、SLEEP0 モードが起動された場合も、自動的に<SIOM>が"00"にクリアされ、このときも、SIO0SR の各ビットは全て"0"にクリアされます。

注 4) SIO0SR に対して読み出し命令を実行すると、ビット 1、0 は"0"が読みだされます。

17.4. 低消費電力制御

SIO0 は、SIO0 を使用しないとき、低消費電力レジスタ(POFFCR2)によって不要な電力を抑える機能を持っています。

POFFCR2<SIO0EN>を"0"に設定すると、SIO0 への基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのとき SIO0 機能が使用できなくなります。POFFCR2<SIO0EN>を"1"に設定すると、SIO0 へ基本クロックが供給(Enable)され、SIO0 機能が使用可能になります。

リセット後、POFFCR2<SIO0EN>は"0"に初期化されますので、SIO 機能は使用不可の設定となります。よって初めて SIO0 を使用するときは、プログラムの初期設定(SIO0 の制御レジスタを操作する前)で必ず POFFCR2<SIO0EN>を"1"に設定してください。

なお、SIO0 の動作中は POFFCR2<SIO0EN>を"0"に変更しないでください。変更した場合 SIO0 が予期しない動作をする場合があります。

17.5. 機能

17.5.1. 転送フォーマット

転送フォーマットは、SIO0CR<SIODIR>によって MSB ファーストか LSB ファーストを選択することができます。SIO0CR<SIODIR>に"0"を設定すると、転送フォーマットは LSB ファーストとなります。この場合、シリアルデータは最下位ビットから順に転送されます。

SIO0CR<SIODIR>に"1"を設定すると、転送フォーマットは MSB ファーストとなります。この場合、シリアルデータは最上位ビットから順に転送されます。

17.5.2. シリアルクロック

シリアルクロックは、SIO0CR<SIOCKS>によって選択することができます。

SIO0CR<SIOCKS>に"000"～"110"を設定すると、シリアルクロックは内部クロックが選択されます。この場合、シリアルクロックは SCLK0 端子から出力されます。シリアルデータはこの SCLK0 端子出力のエッジに同期して転送が行われます。

SIO0CR<SIOCKS>に"111"を設定すると、シリアルクロックは外部クロックが選択されます。この場合、シリアルクロックは外部から SCLK0 端子に入力する必要があります。シリアルデータはこの外部クロックのエッジに同期して転送が行われます。

シリアルデータの転送エッジは、外部クロック/内部クロックともに選択することができます。詳細は「17.5.3. 転送エッジ選択」を参照してください。

表 17-4 転送速度

SIO0CR <SIOCKS>	シリアルクロック [Hz]		fcgck = 4 [MHz]		fcgck = 8 [MHz]		fcgck = 10 [MHz]		fs = 32.768 [kHz]	
	NORMAL1/2 IDLE1/2 モード	SLOW1/2 SLEEP1 モード	1 ビット 時間	転送速度	1 ビット 時間	転送速度	1 ビット 時間	転送速度	1 ビット 時間	転送速度
000	fcgck / 2 ⁹	-	128 [μs]	7.813 [kbps]	64 [μs]	15.625 [kbps]	51.2 [μs]	19.531 [kbps]	-	-
001	fcgck / 2 ⁶	-	16 [μs]	62.5 [kbps]	8 [μs]	125 [kbps]	6.4 [μs]	156.25 [kbps]	-	-
010	fcgck / 2 ⁵	-	8 [μs]	125 [kbps]	4 [μs]	250 [kbps]	3.2 [μs]	312.5 [kbps]	-	-
011	fcgck / 2 ⁴	-	4 [μs]	250 [kbps]	2 [μs]	500 [kbps]	1.6 [μs]	625 [kbps]	-	-
100	fcgck / 2 ³	-	2 [μs]	500 [kbps]	1 [μs]	1 [Mbps]	0.8 [μs]	1.25 [Mbps]	-	-
101	fcgck / 2 ²	-	1 [μs]	1 [Mbps]	0.5 [μs]	2 [Mbps]	0.4 [μs]	2.5 [Mbps]	-	-
110	fcgck / 2	fs / 2 ³	0.5 [μs]	2 [Mbps]	0.25 [μs]	4 [Mbps]	0.2 [μs]	5 [Mbps]	244 [μs]	4 [kbps]

17.5.3. 転送エッジ選択

シリアルデータの転送エッジは、SIO0CR<SIOEDG>によって選択することができます。

表 17-5 転送エッジ選択

SIO0CR<SIOEDG>	データ送信	データ受信
0	立ち下がりエッジ	立ち上がりエッジ
1	立ち上がりエッジ	立ち下がりエッジ

SIO0CR<SIOEDG>が"0"のとき、データの送信はクロックの立ち下がりエッジ、データの受信はクロックの立ち上がりエッジに同期して行われます。

SIO0CR<SIOEDG>が"1"のとき、データの送信はクロックの立ち上がりエッジ、データの受信はクロックの立ち下がりエッジに同期して行われます。

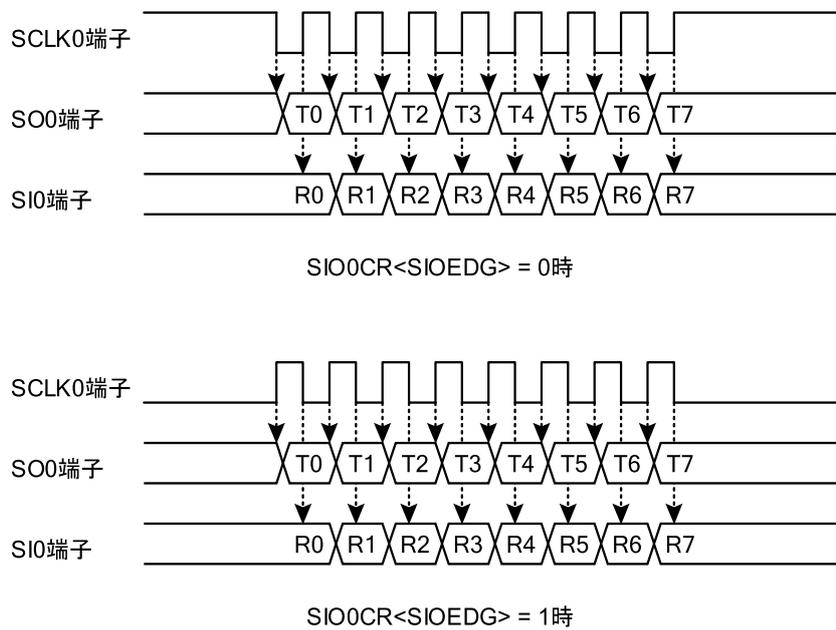


図 17-2 転送エッジ

注) 外部クロック入力を使用する場合、8ビット目の受信エッジと、次の転送の1ビット目の送信エッジの間は $4 / fcgck$ [s]以上必要となります。

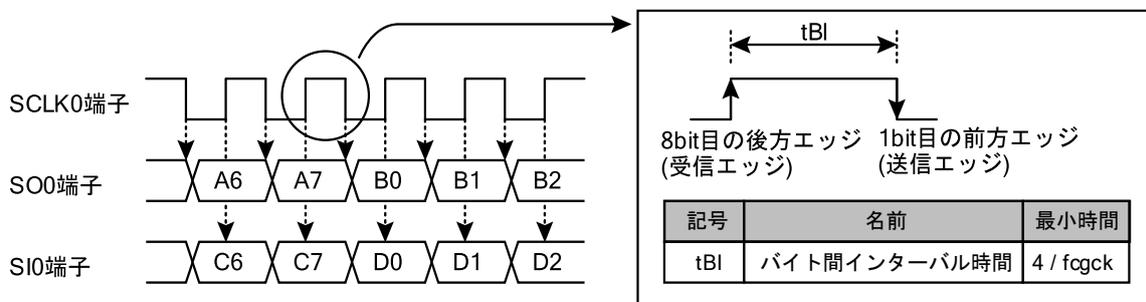


図 17-3 バイト間インターバル時間

17.6. 転送モード

17.6.1. 8ビット送信モード

SIO0CR<SIOM>に"01"を設定すると、8ビット送信モードになります。

17.6.1.1. 設定

送信を開始する前に、あらかじめSIO0CR<SIOEDG>で転送エッジ、SIO0CR<SIODIR>で転送フォーマット、SIO0CR<SIOCKS>でシリアルクロックを選択しておきます。シリアルクロックとして内部クロックを使用する場合は、SIO0CR<SIOCKS>で適切なシリアルクロックを選択してください。シリアルクロックとして外部クロックを使用する場合は、SIO0CR<SIOCKS>に"111"を設定してください。

SIO0CR<SIOM>に"01"を設定し、8ビット送信モードを選択します。

SIO0BUFに1バイト目の送信データを書き込んだ後、SIO0CR<SIOS>に"1"を設定すると送信が開始されます。

SIO0CR<SIOEDG>、<SIOCKS>、<SIODIR>は、シリアル通信の動作中、すなわちSIO0SR<SIOF> = 1のときには書き込みは無効となりますので、これらの設定はシリアル通信が停止中に行ってください。シリアル通信の動作中(SIO0SR<SIOF> = 1)は、SIO0CR<SIOM>に"00"またはSIO0CR<SIOS>に"0"の書き込みだけが有効となります。

17.6.1.2. 送信開始

SIO0BUFにデータを書き込んだ後、SIO0CR<SIOS>に"1"を設定すると送信が開始されます。送信データはSIO0BUFからシフトレジスタに転送され、SIO0CR<SIOEDG>、<SIOCKS>、<SIODIR>の設定に従って、SO0端子からシリアルデータとして送信されます。なお、SIO0BUFに送信データを書き込まずに送信を開始した場合、シリアルデータは不定となります。

内部クロック動作の場合、指定した転送速度のシリアルクロックがSCLK0端子から出力されます。外部クロック動作の場合、外部からSCLK0端子にクロックを供給する必要があります。

SIO0CR<SIOS>に"1"を設定すると、自動的にSIO0SR<SIOF>、<SEF>が"1"にセットされ、INTSIO0割り込み要求が発生します。

SIO0SR<SEF>は、8ビット目のシリアルデータを出力するタイミングで"0"にクリアされます。

17.6.1.3. 送信バッファとシフト動作

シリアル通信の動作中、シフトレジスタが空のときにSIO0BUFへ書き込みを行うと、SIO0BUFへの書き込み値はすぐにシフトレジスタに転送されます。このときSIO0SR<TBFL>は"0"のままとなります。

シフトレジスタにデータが残っているときにSIO0BUFへの書き込みを行うと、SIO0SR<TBFL>が"1"にセットされます。このときSIO0BUFへさらに書き込みを行うと、SIO0BUFの内容は新しい書き込み値で上書きされます。従って、SIO0BUFにデータを書き込むときは、必ずSIO0SR<TBFL>が"0"になっていることを確認してから行ってください。

17.6.1.4. 送信完了時の動作

データの送信が完了したときの、動作クロックおよびSIO0SR<TBFL>の状態によって動作が変わります。

(1) 内部クロック使用、SIO0SR<TBFL> = 0 の場合

データの送信が完了すると、SCLK0端子は初期状態、SO0端子は”High”レベルになります。SIO0SR<SEF>は”0”のままとなります。

内部クロックの場合、次の送信データをSIO0BUFに書き込むまでシリアルクロック、データの出力を停止します(自動ウェイト)。

新しいデータをSIO0BUFへ書き込むと、SIO0SR<SEF>が”1”にセットされ、SCLK0端子からシリアルクロックを出力しデータの送信が再開されます。

送信再開時にINTSIO0割り込み要求が発生します。

(2) 外部クロック使用、SIO0SR<TBFL> = 0 の場合

データの送信が完了すると、SO0端子は最後に出力した値を保持します。

外部からSCLK0端子にシリアルクロックが入力される前に、SIO0BUFに新しいデータを書き込むと、シリアルクロックに同期して新しいデータがSO0端子から出力されます。

SIO0BUFに新しいデータが書き込まれる前に、外部からSCLK0端子にシリアルクロックが入力されると、送信アンダーランエラーが発生し、送信アンダーランエラーフラグSIO0SR<UERR>が”1”にセットされ、不定値がSO0端子から送信されます。

送信アンダーランエラーが発生し、SO0端子から不定値を送信している間は、SIO0BUFへの書き込みを行わないでください。

送信アンダーランエラーが発生したときは、SIO0CR<SIOS>に”0”を設定するか、SIO0CR<SIOM>に”00”を書き込んで送信を終了させてください。

送信アンダーランエラーフラグSIO0SR<UERR>は、SIO0SRを読みだすとクリアされます。

(3) 内部または外部クロック使用、SIO0SR<TBFL> = 1 の場合

データの送信が完了すると、SIO0BUFに設定されているデータをシフトレジスターに転送して次の送信を開始します。このときSIO0SR<TBFL>は”0”にクリアされます。また、次の送信を開始すると、SIO0SR<SEF>は”1”にセットされ、INTSIO0割り込み要求が発生します。

17.6.1.5. 送信終了

送信を終了するには、SIO0CR<SIOS>に”0”を設定します。

SIO0SR<SEF>が”0”のとき、すなわちシフト動作中でない場合は、すぐに動作が停止され、INTSIO0割り込み要求が発生します。SIO0SR<SEF>が”1”のときは、シフトレジスターのデータを全て送信してから動作を停止します(予約停止)。このときも、INTSIO0割り込み要求が発生します。

送信動作が完了すると、SIO0SR<SIOF>、<SEF>、<TBFL>は”0”にクリアされます。その他のSIO0SRのレジスターは値が保持されます。

内部クロックを使用していた場合、送信が終了するとSO0端子は自動的に”High”レベルに戻ります。外部クロックを使用していた場合、SO0端子レベルは最後に出力した値を保持します。SO0端子を”High”レベルに戻すには、送信終了中にSIO0CR<SIOM>に”00”を書き込んでください。

また、動作中にSIO0CR<SIOM>に”00”を設定することにより、送信を強制的に終了させることができます(強制停止)。

SIO0CR<SIOM>に”00”を設定すると、SIO0SR<SEF>の値に関わらず、SIO0CR<SIOS>およびSIO0SRの各ビットは”0”にクリアされ、SIO0は動作を停止します。このときSO0端子は”High”レベルとなり、また、内部クロックを使用していた場合、SCLK0端子は初期レベルに戻ります。

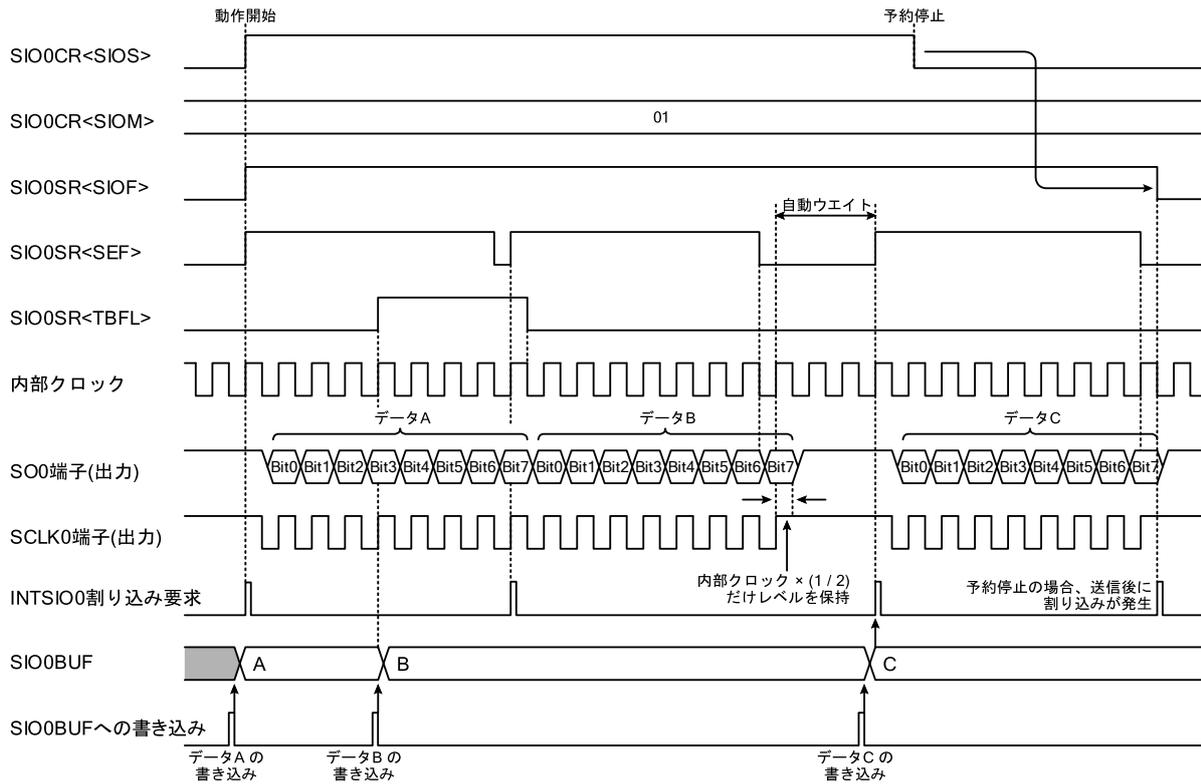


図 17-4 8ビット送信モード (内部クロック、予約停止)

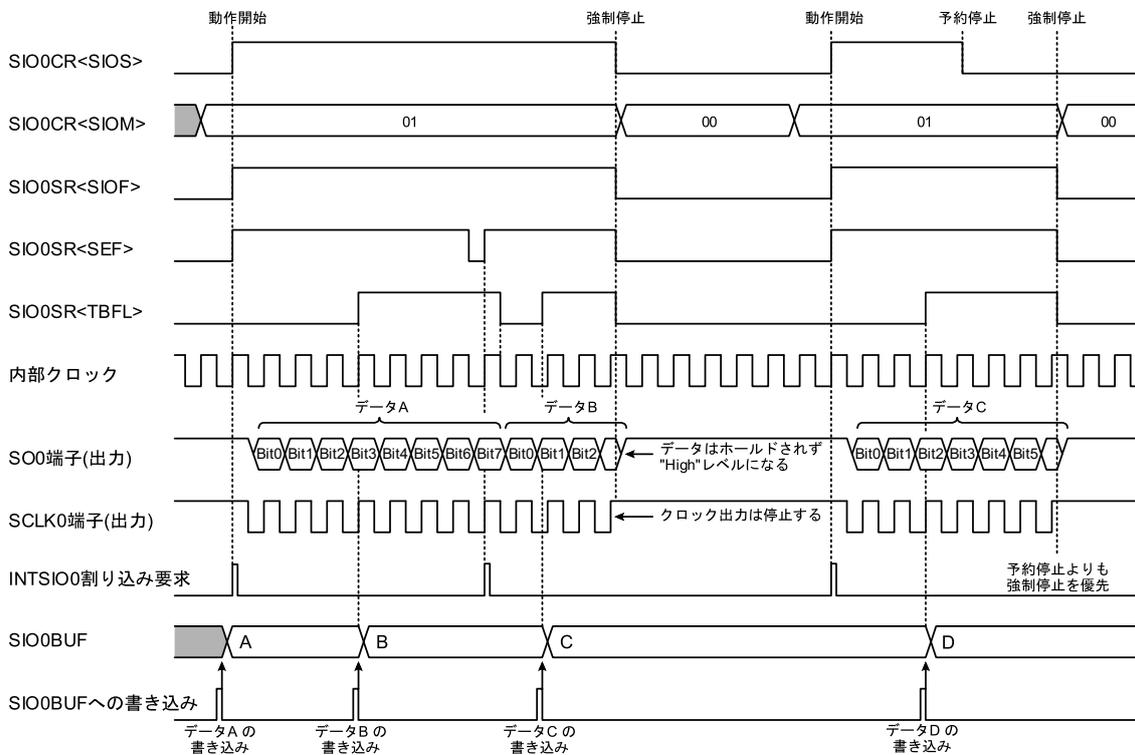


図 17-5 8ビット送信モード (内部クロック、強制停止)

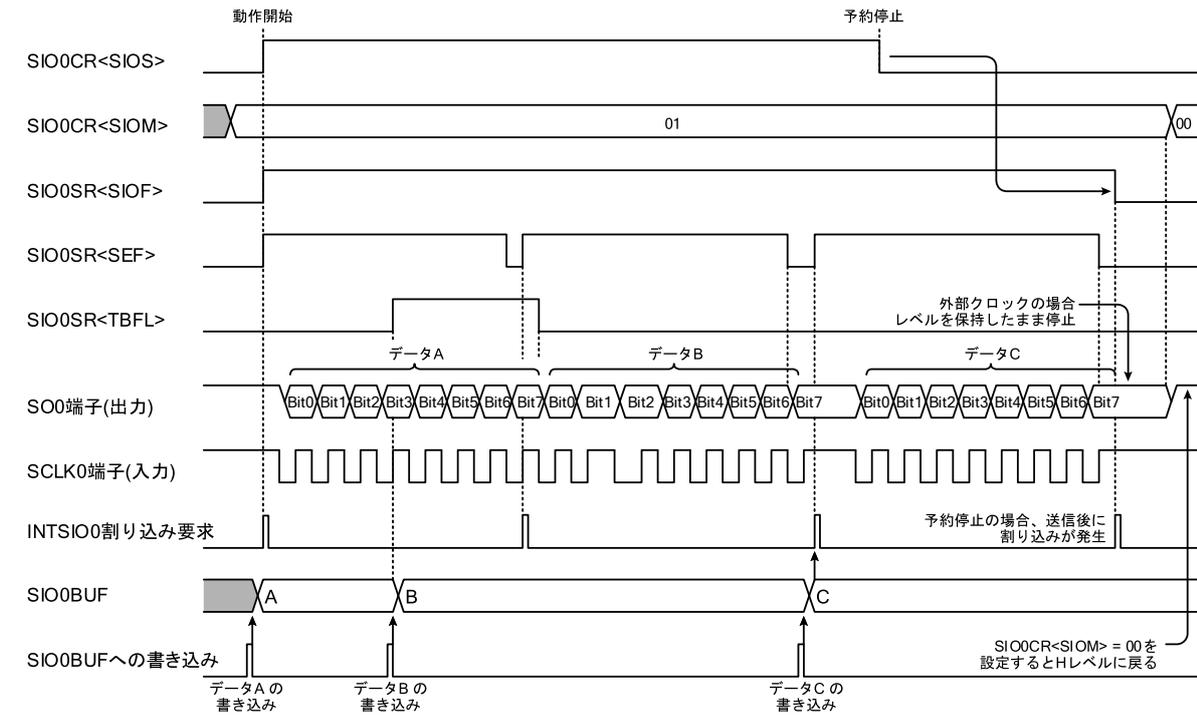


図 17-6 8ビット送信モード (外部クロック、予約停止)

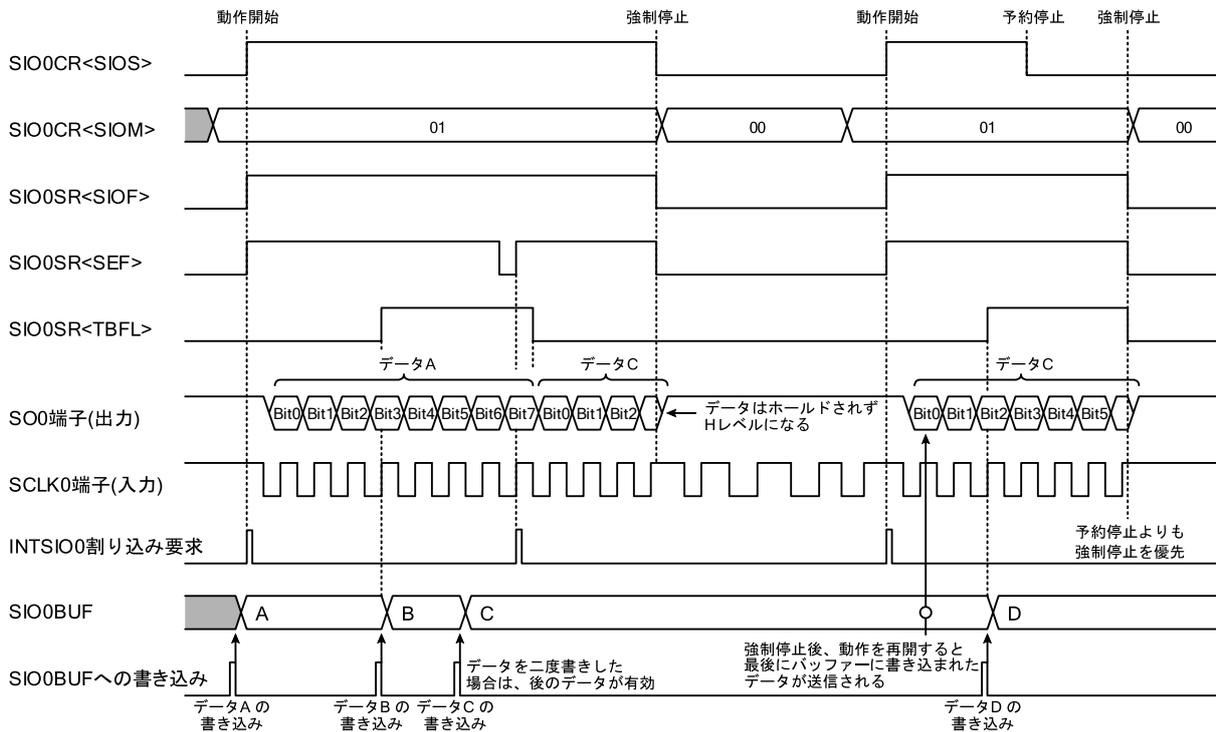


図 17-7 8ビット送信モード (外部クロック、強制停止)

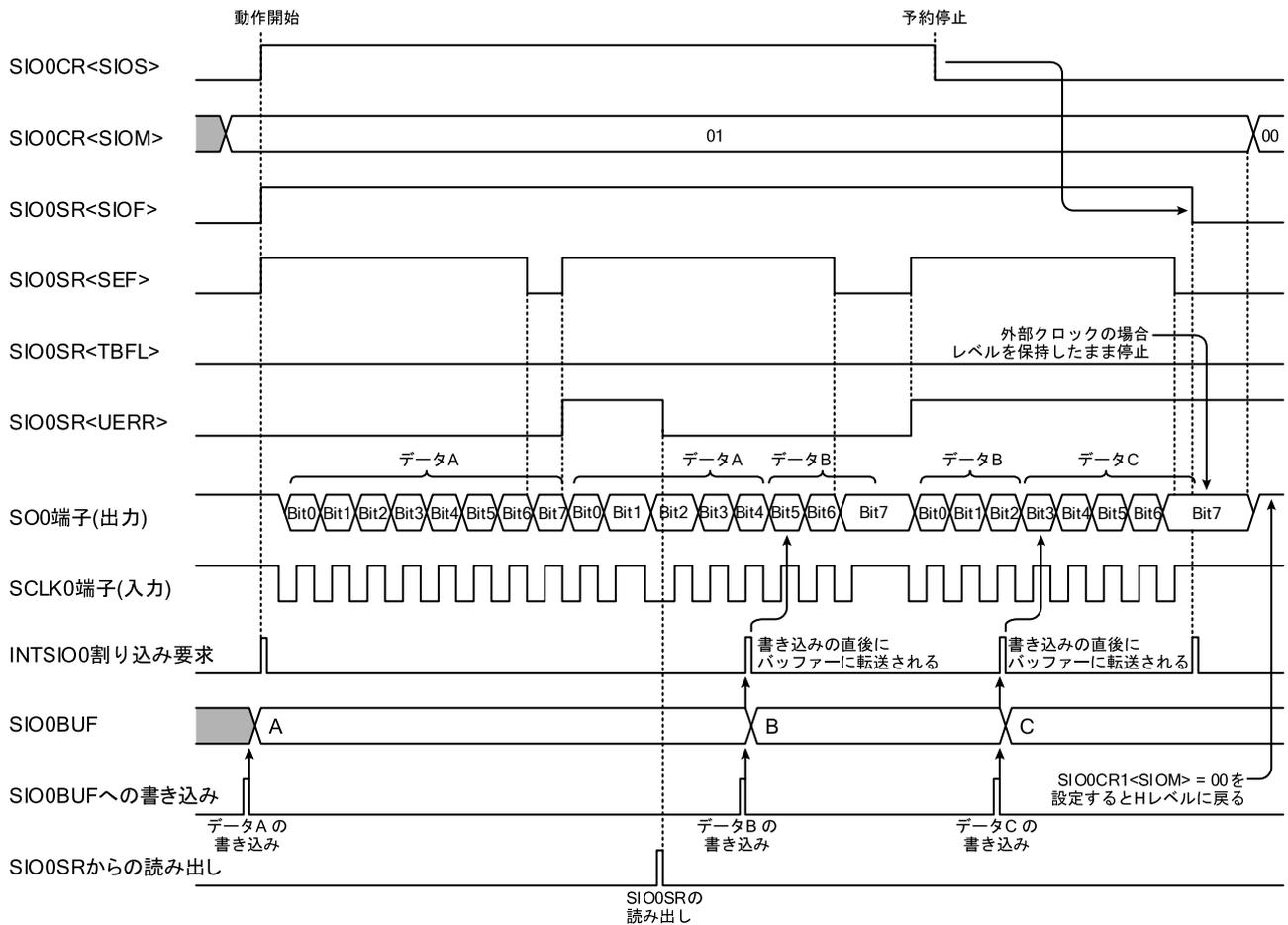


図 17-8 8ビット送信モード (外部クロック、送信アンダーランエラー発生)

17.6.2. 8ビット受信モード

SIO0CR<SIOM>に"10"を設定すると、8ビット受信モードになります。

17.6.2.1. 設定

受信を開始する前に、あらかじめSIO0CR<SIOEDG>で転送エッジ、SIO0CR<SIODIR>で転送フォーマット、SIO0CR<SIOCKS>でシリアルクロックを選択しておきます。シリアルクロックとして内部クロックを使用する場合は、SIO0CR<SIOCKS>で適切なシリアルクロックを選択してください。シリアルクロックとして外部クロックを使用する場合は、SIO0CR<SIOCKS>に"111"を設定してください。

SIO0CR<SIOM>に"10"を設定し、8ビット受信モードを選択します。

SIO0CR<SIOS>に"1"を設定すると受信が開始されます。

SIO0CR<SIOEDG>、<SIOCKS>、<SIODIR>は、シリアル通信の動作中、すなわちSIO0SR<SIOF> = 1のときには書き込みは無効となりますので、これらの設定はシリアル通信が停止中に行ってください。シリアル通信の動作中(SIO0SR<SIOF> = 1)は、SIO0CR<SIOM>に"00"またはSIO0CR<SIOS>に"0"の書き込みだけが有効となります。

17.6.2.2. 受信開始

SIO0CR<SIOS>に"1"を設定することにより受信が開始されます。外部からのシリアルデータは、SIO0CR<SIOEDG>、<SIOCKS>、<SIODIR>の設定に従ってSIO端子からシフトレジスタに取り込まれます。

内部クロック動作の場合、指定した転送速度のシリアルクロックがSCLK0端子から出力されます。外部クロック動作の場合、外部からSCLK0端子にクロックを供給する必要があります。

SIO0CR<SIOS>に"1"を設定すると、自動的にSIO0SR<SIOF>、<SEF>が"1"にセットされます。

17.6.2.3. 受信完了時の動作

8ビット分のデータ受信が完了すると、シフトレジスタからSIO0BUFへデータが転送され、INTSIO0割り込み要求が発生します。また、受信完了フラグSIO0SR<REND>が"1"にセットされ、SIO0SR<SEF>が"0"にクリアされます。

(1) 内部クロック使用

データの受信が完了すると、SCLK0端子は初期状態になります。

内部クロックの場合、受信データがSIO0BUFから読み出されるまで、シリアルクロックの出力を停止します(自動ウェイト)。

受信データをSIO0BUFから読み出すと、SIO0SR<REND>が"0"にクリアされ、シリアルクロックの出力が再開され、受信動作を続けます。

また、このときSIO0SR<SEF>が"1"にセットされます。

(2) 外部クロック使用

外部クロック動作の場合、受信データをSIO0BUFから読み出す前に、外部からSCLK0端子にシリアルクロックを入力して、データの受信を継続することができます。次のデータ受信が開始するとSIO0SR<SEF>が"1"にセットされます。

次のデータ受信が完了する前にSIO0BUFからデータを読み出さないと、オーバーランエラーが発生し、オーバーランエラーフラグSIO0SR<OERR>が"1"にセットされます。

オーバーランエラーが発生したときの受信データは破棄されますが、SIO0BUFはオーバーランエラーが発生する前に受信したデータの値を保持します。SIO0SR<OERR>はSIO0SRを読み出すとクリアされます。

オーバーランエラーが発生したときは、SIO0CR<SIOS>に"0"を設定するか、SIO0CR<SIOM>に"00"を書き込んで受信を終了させてください。

次のデータ受信が完了する前にSIO0BUFからデータを読み出すとSIO0SR<REND>は"0"にクリアされます。

17.6.2.4. 受信終了

受信を終了するには、SIO0CR<SIOS>に"0"を設定します。SIO0SR<SEF>が"0"のとき、すなわちシフト動作中でない場合、すぐに動作が停止されます。送信モードと異なり、このときINTSIO0割り込み要求は発生しません。

SIO0SR<SEF>が"1"のときは、8ビットのデータ受信が完全に完了してから動作を停止します(予約停止)。このとき、INTSIO0割り込み要求が発生します。

動作停止が完了すると、SIO0SR<SIOF>、<SEF>は"0"にクリアされます。その他のSIO0SRのレジスタは値が保持されます。

また、動作中にSIO0CR<SIOM>に"00"を設定することにより、受信を強制的に終了させることができます。SIO0CR<SIOM>に"00"を設定すると、SIO0SR<SEF>の値に関わらず、SIO0CR<SIOS>およびSIO0SRは"0"にクリアされ、SIOは動作を停止します。内部クロックを選択していた場合、SCLK0端子は初期レベルに戻ります。

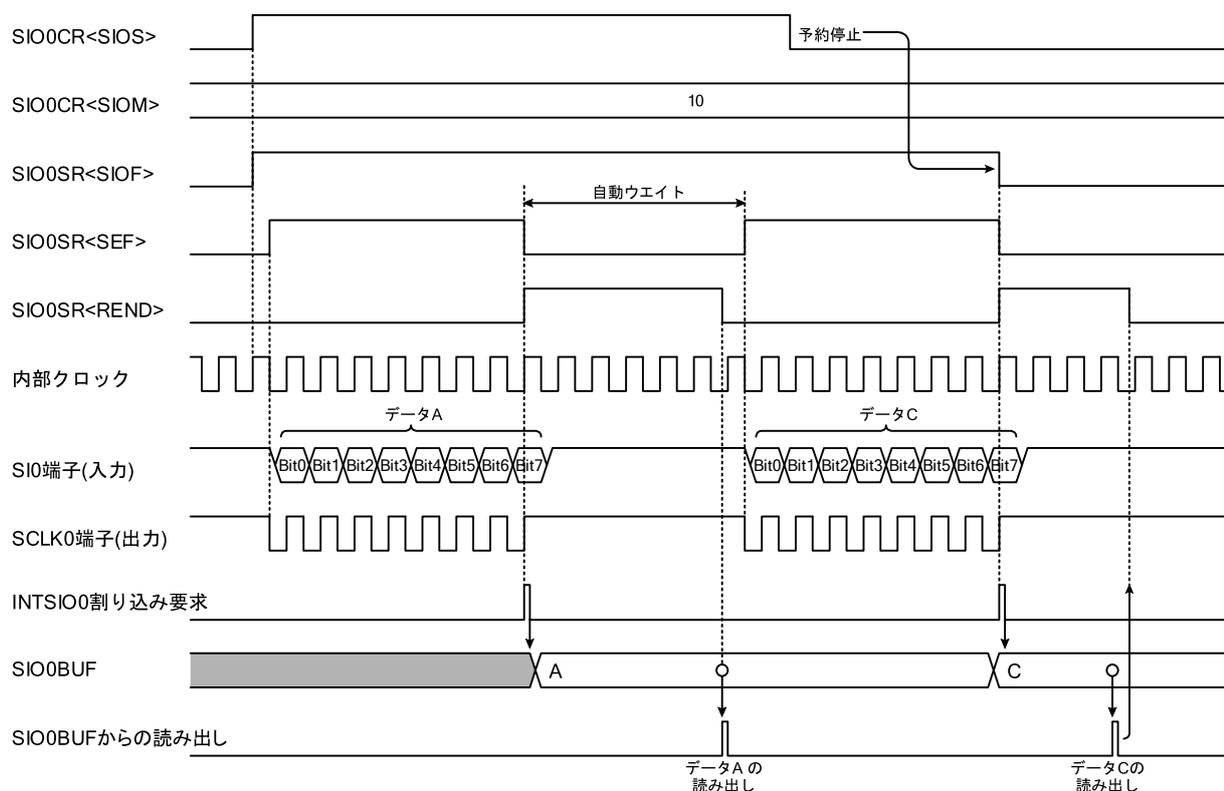


図 17-9 8ビット受信モード (内部クロック、予約停止)

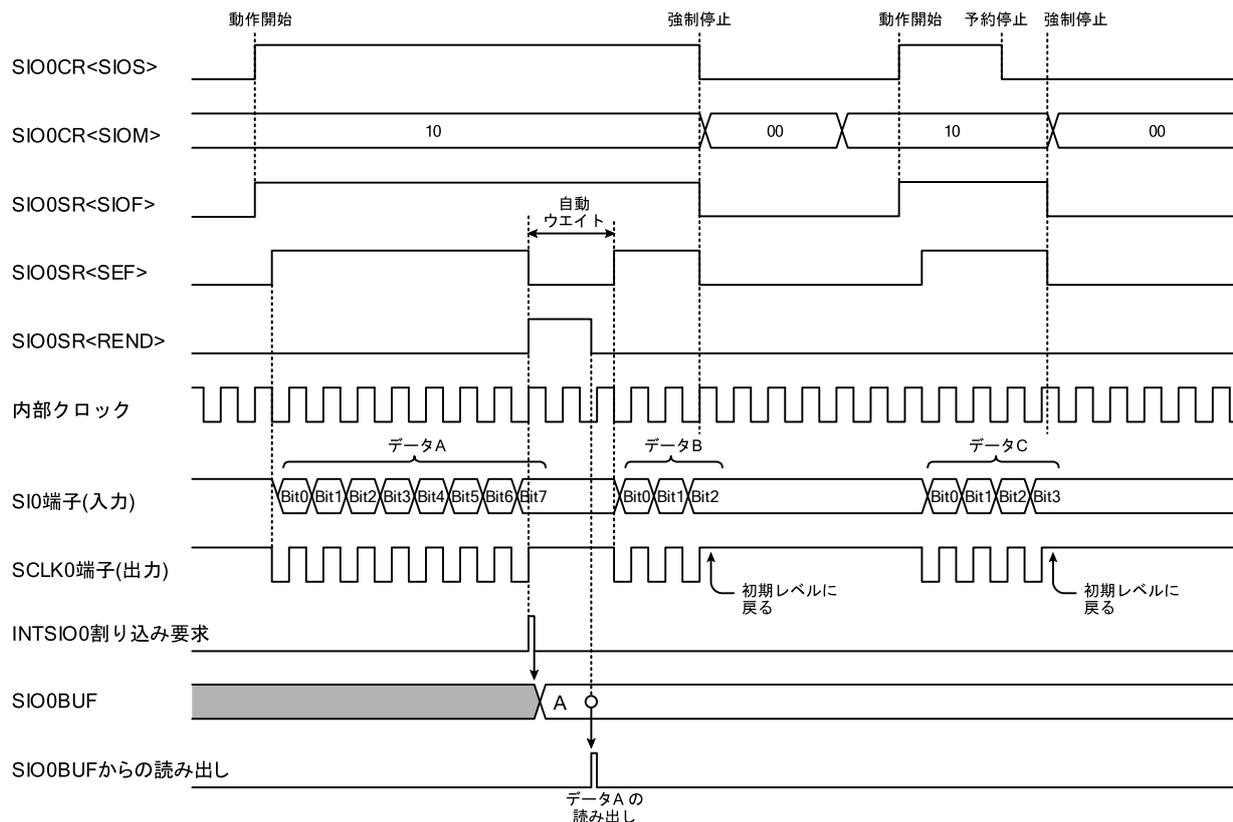


図 17-10 8ビット受信モード (内部クロック、強制停止)

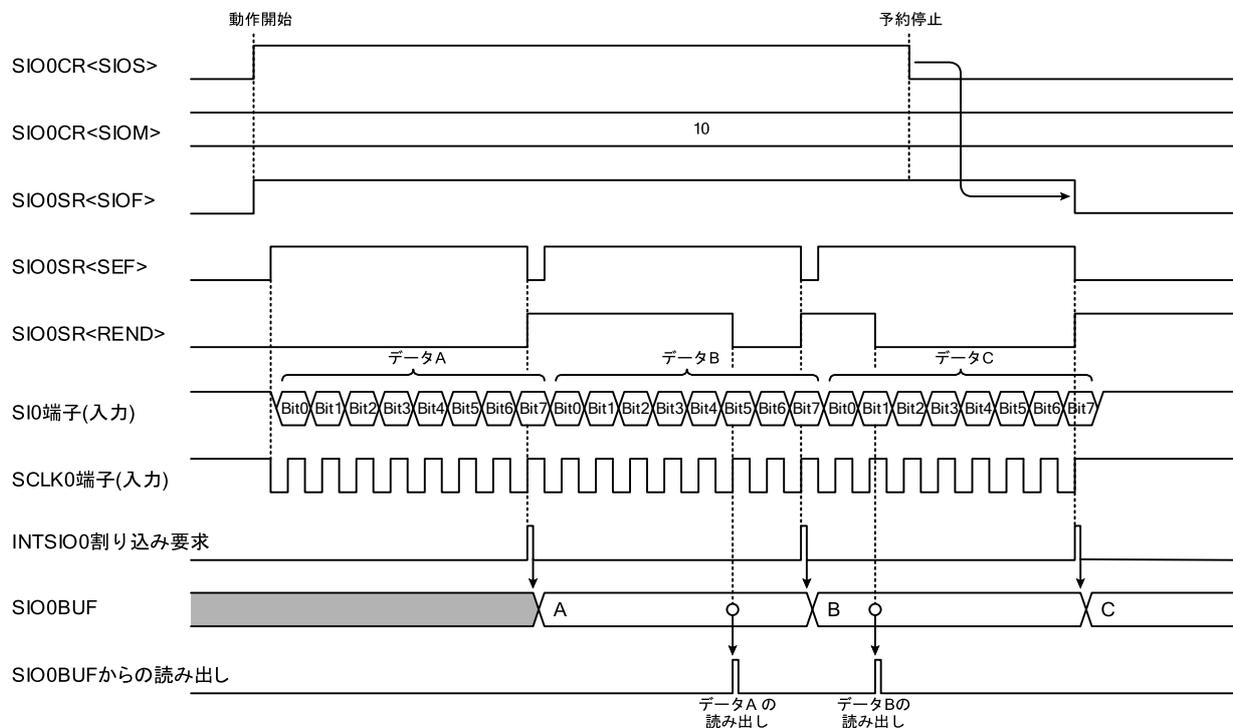


図 17-11 8ビット受信モード (外部クロック、予約停止)

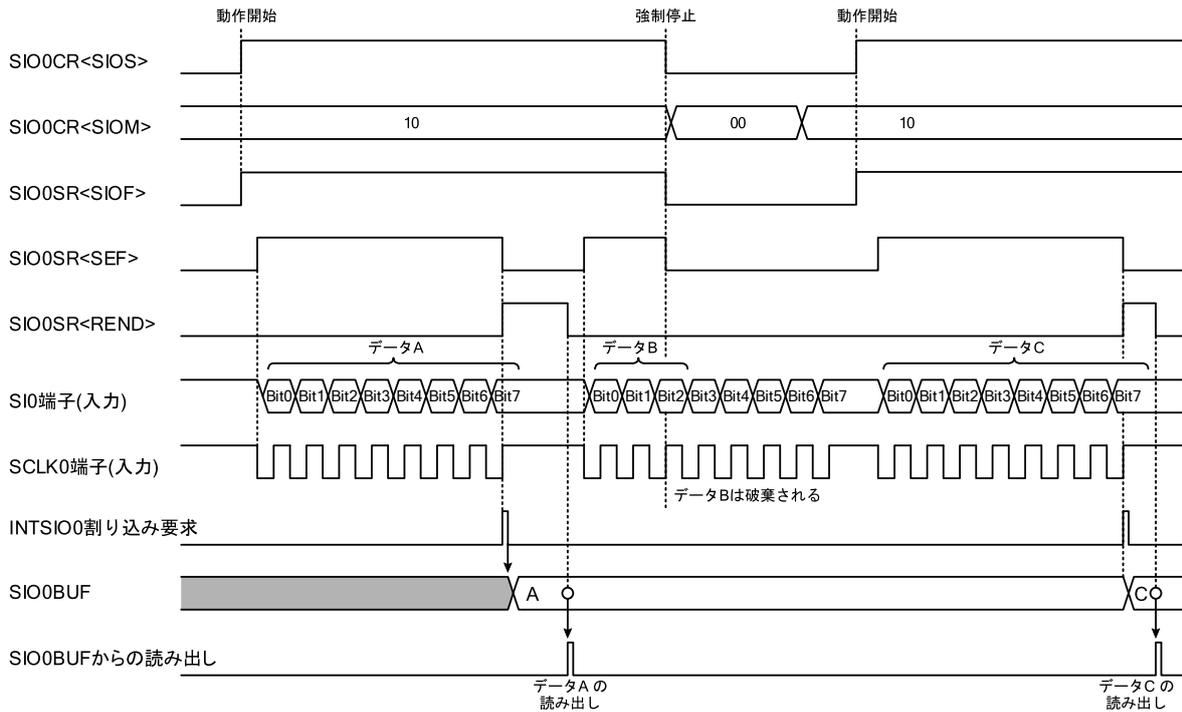


図 17-12 8ビット受信モード (外部クロック、強制終了)

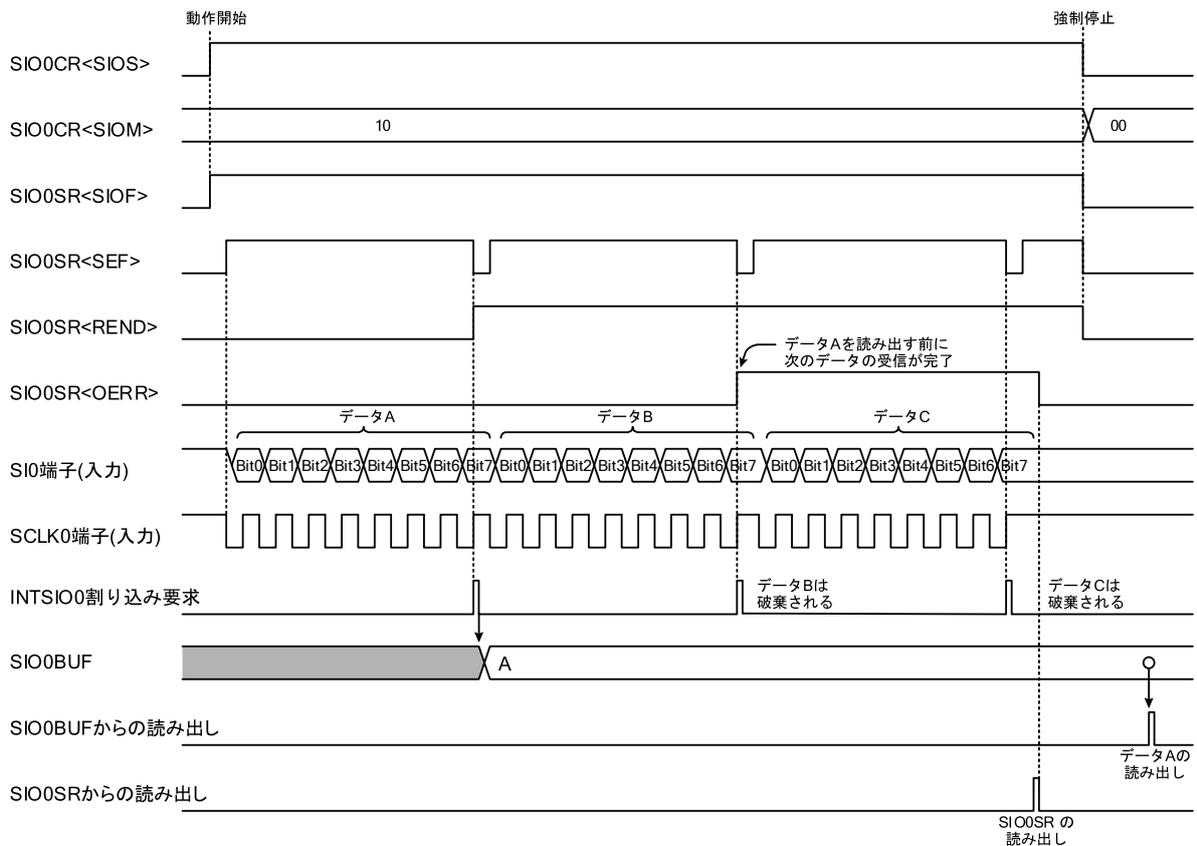


図 17-13 8ビット受信モード (外部クロック、オーバーランエラー発生)

17.6.3. 8 ビット送受信モード

SIO0CR<SIOM>に"11"を設定すると、8 ビット送受信モードになります。

17.6.3.1. 設定

送受信動作を開始する前に、あらかじめ SIO0CR<SIOEDG>で転送エッジ、SIO0CR<SIODIR>で転送フォーマット、SIO0CR<SIOCKS>でシリアルクロックを選択しておきます。シリアルクロックとして内部クロックを選択する場合は、SIO0CR<SIOCKS>で適切なシリアルクロックを選択してください。シリアルクロックとして外部クロックを使用する場合は、SIO0CR<SIOCKS>に"111"を設定してください。

SIO0CR<SIOM>に"11"を設定し、8 ビット送受信モードを選択します。

SIO0BUFに1 バイト目の送信データを書き込んだ後、SIO0CR<SIOS>に"1"を設定すると送受信が開始されます。

SIO0CR<SIOEDG>、<SIOCKS>、<SIODIR>は、シリアル通信の動作中、すなわち SIO0SR<SIOF> = 1 のときには書き込みは無効となりますのでこれらの設定はシリアル通信が停止中に行ってください。シリアル通信の動作中(SIO0SR<SIOF> = 1)は、SIO0CR<SIOM>に"00"または SIO0CR<SIOS>に"0"の書き込みだけが有効となります。

17.6.3.2. 送受信開始

SIO0BUFにデータを書き込んだ後、SIO0CR<SIOS>に"1"を設定すると送受信が開始されます。送信データは SIO0BUF からシフトレジスタに転送され、SIO0CR<SIOEDG>、<SIOCKS>、<SIODIR>の設定に従って、SO0 端子からシリアルデータが送信されます。同時に、SIO0CR<SIOEDG>、<SIOCKS>、<SIODIR>の設定に従って SI0 端子からシリアルデータが受信されます。

内部クロック動作の場合、指定した転送速度のシリアルクロックが SCLK0 端子から出力されます。外部クロック動作の場合、外部から SCLK0 端子にクロックを供給する必要があります。

なお、SIO0BUFに送信データを書き込まずに送受信を開始した場合、送信データは不定となります。

SIO0CR<SIOS>に"1"を設定すると、自動的に SIO0SR<SIOF>、<SEF>が"1"にセットされ、INTSIO0 割り込み要求が発生します。

SIO0SR<SEF>は、8 ビット目のデータを受信すると、"0"にクリアされます。

17.6.3.3. 送信バッファとシフト動作

シリアル通信の動作中、シフトレジスタが空のときに SIO0BUF へ書き込みを行うと、SIO0BUF への書き込み値はすぐにシフトレジスタに転送されます。このとき SIO0SR<TBFL>は"0"のままとなります。

シフトレジスタにデータが残っているときに SIO0BUF への書き込みを行うと、SIO0SR<TBFL>が"1"にセットされます。このとき SIO0BUF へさらに書き込みを行うと、SIO0BUF の内容は新しい書き込み値で上書きされます。従って、SIO0BUF にデータを書き込むときは、必ず SIO0SR<TBFL>が"0"になっていることを確認してから行ってください。

17.6.3.4. 送受信完了時の動作

データの送受信が完了すると、SIO0SR<REND>が"1"にセットされ、INTSIO0割り込み要求が発生します。

動作クロックおよび SIO0SR<TBFL>の状態によって動作が変わります。

(1) 内部クロック使用、SIO0CR<TBFL> = 0 の場合

データの送受信が完了すると、SCLK0 端子は初期状態、SO0 端子は"High"レベルになります。

SIO0SR<SEF>は"0"のままとなります。

内部クロックの場合、次の送信データを SIO0BUF に書き込むまで、シリアルクロックの出力を停止します(自動ウェイト)。

受信データを SIO0BUF から読み出すと、SIO0SR<REND>が"0"にクリアされます。

新しいデータを SIO0BUF へ書き込むと、SIO0SR<SEF>が"1"にセットされ、SCLK0 端子からシリアルクロックを出力し、送受信が再開されます。

そのため、SIO0BUF へデータを書き込む前に、受信データを SIO0BUF から読み出してください。

(2) 外部クロック使用、SIO0SR<TBFL> = 0 の場合

データの送受信が完了すると SO0 端子は最後に出力した値を保持します。

外部から SCLK0 端子にシリアルクロックが入力される前に、SIO0BUF に新しいデータを書き込むと、シリアルクロックに同期して新しいデータが SO0 端子から出力されます。

このとき、次のデータ受信が継続して行われていますので、次のデータ送受信が完了する前に SIO0BUF からデータを読み出してください。

SIO0BUF に新しいデータの書き込みがないまま、外部からシリアルクロックが入力されると、送信アンダーランエラーが発生し、送信アンダーランエラーフラグ SIO0SR<UERR>が"1"にセットされます。このとき、前回 SIO0BUF に設定したデータが再び送信されます。

また、次のデータ受信が完了する前に SIO0BUF からデータを読み出さないとオーバーランエラーが発生し、オーバーランエラーフラグ SIO0SR<OERR>が"1"にセットされます。

送信アンダーランエラーまたはオーバーランエラーが発生した場合、SIO0CR<SIOS>を"0"に設定するか、SIO0CR<SIOM>に"00"を設定し送受信を終了させてください。

(3) 内部または外部クロック使用、SIO0SR<TBFL> = 1 の場合

データの送受信が完了すると、SIO0BUF に設定されているデータをシフトレジスターに転送して新しい送受信を開始します。このとき、SIO0SR<TBFL>は"0"にクリアされます。SIO0SR<SEF>は"1"のままです。

新しいデータ送受信が行われていますので、次のデータ送受信が完了する前に SIO0BUF からデータを読み出してください。

次のデータ送受信が完了する前に SIO0BUF からデータを読み出さないとオーバーランエラーが発生し、オーバーランエラーフラグ SIO0SR<OERR>が"1"にセットされます。

送信アンダーランエラーまたはオーバーランエラーが発生した場合、SIO0CR<SIOS>を"0"に設定するか、SIO0CR<SIOM>に"00"を設定し送受信を終了させてください。

17.6.3.5. 送受信終了

送受信を終了するには、SIO0CR<SIOS>に"0"を設定します。SIO0SR<SEF>が"0"のとき、すなわちシフト動作中でない場合、すぐに動作が停止されます。送信モードと異なり、このときINTSIO0割り込み要求は発生しません。

SIO0SR<SEF>が"1"のときは、8ビットデータの受信が完全に完了してから動作を停止します。このときは、INTSIO0割り込み要求が発生します。

動作停止が完了すると、SIO0SR<SIOF>、<SEF>、<TBFL>は"0"にクリアされます。その他のSIO0SRのレジスターは値が保持されます。

内部クロックを使用していた場合、SO0端子レベルは自動的に"High"レベルに戻ります。外部クロックを使用していた場合、SO0端子レベルは最後に出力した値を保持します。SO0端子レベルを"High"レベルに戻すには、停止中にSIO0CR<SIOM>に"00"を書き込んでください。

また、動作中にSIO0CR<SIOM>に"00"を設定することにより、送受信を強制的に終了させることができます。SIO0CR<SIOM>に"00"を設定すると、SIO0SR<SEF>の値に関わらず、SIO0CR<SIOS>およびSIO0SRは"0"にクリアされ、SIOは動作を停止します。SO0端子は"High"レベルとなり、また、内部クロックを選択していた場合、SCLK0端子は初期レベルに戻ります。

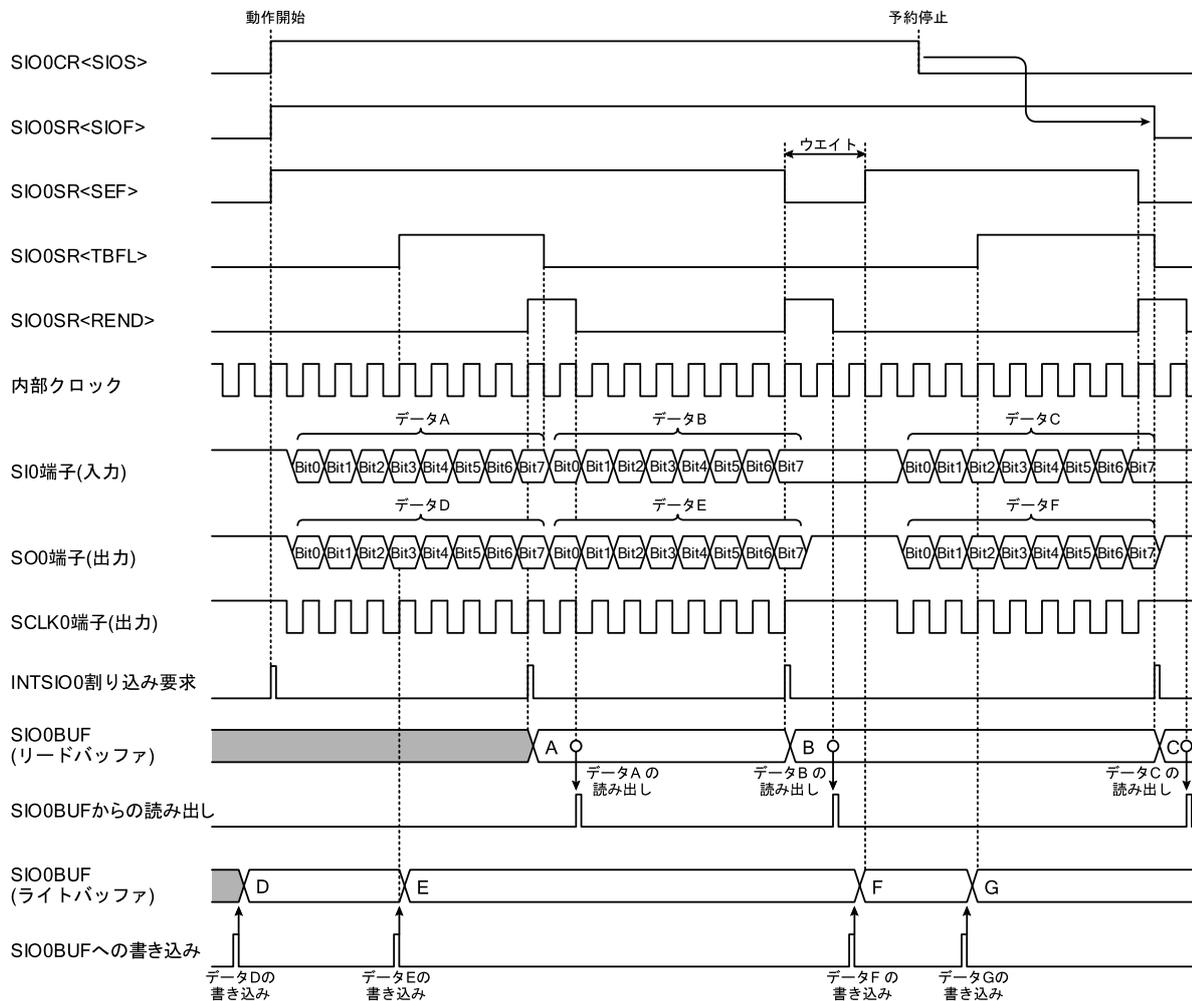


図 17-14 8ビット送受信モード (内部クロック、予約停止)

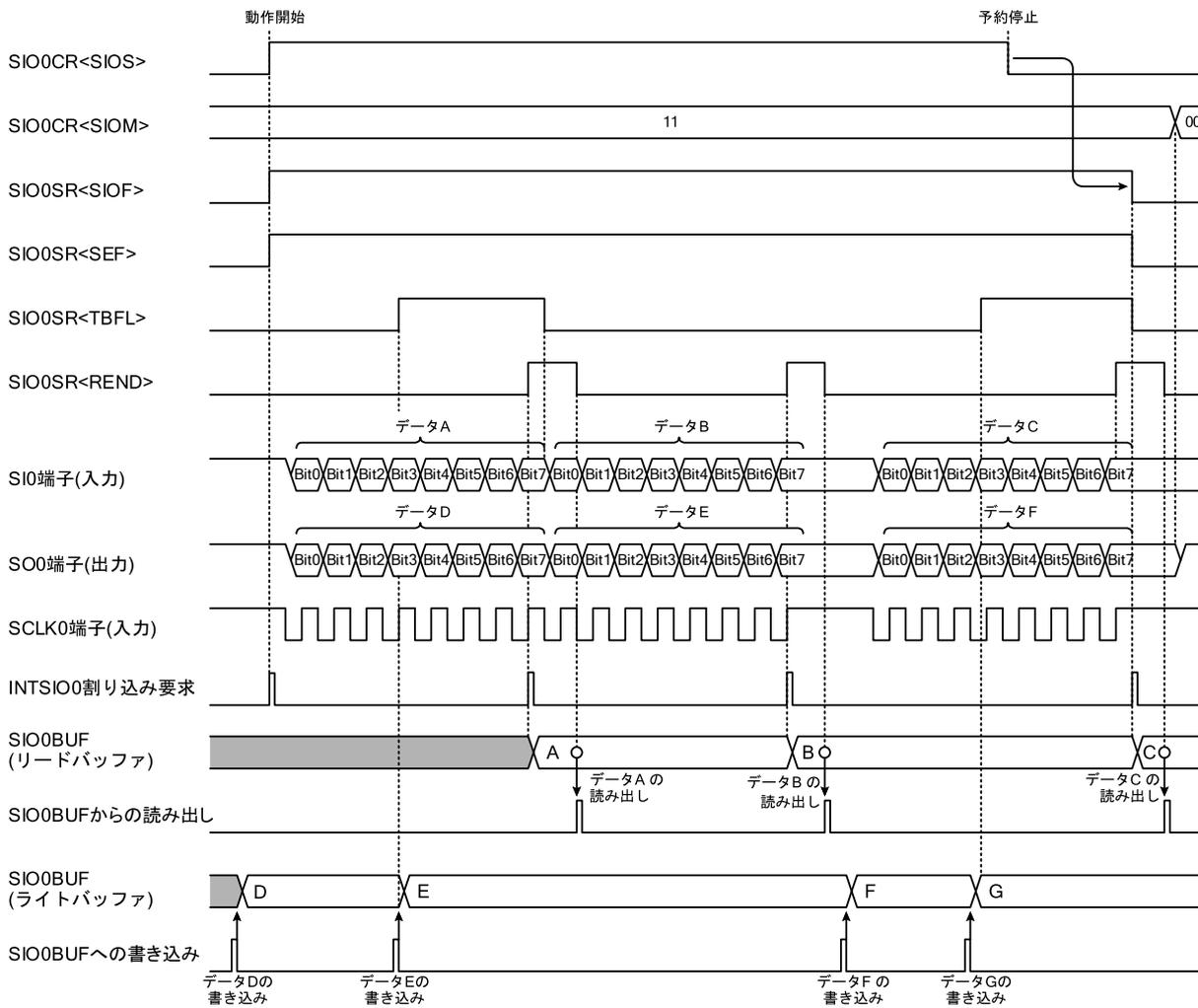


図 17-15 8ビット送受信モード (外部クロック、予約停止)

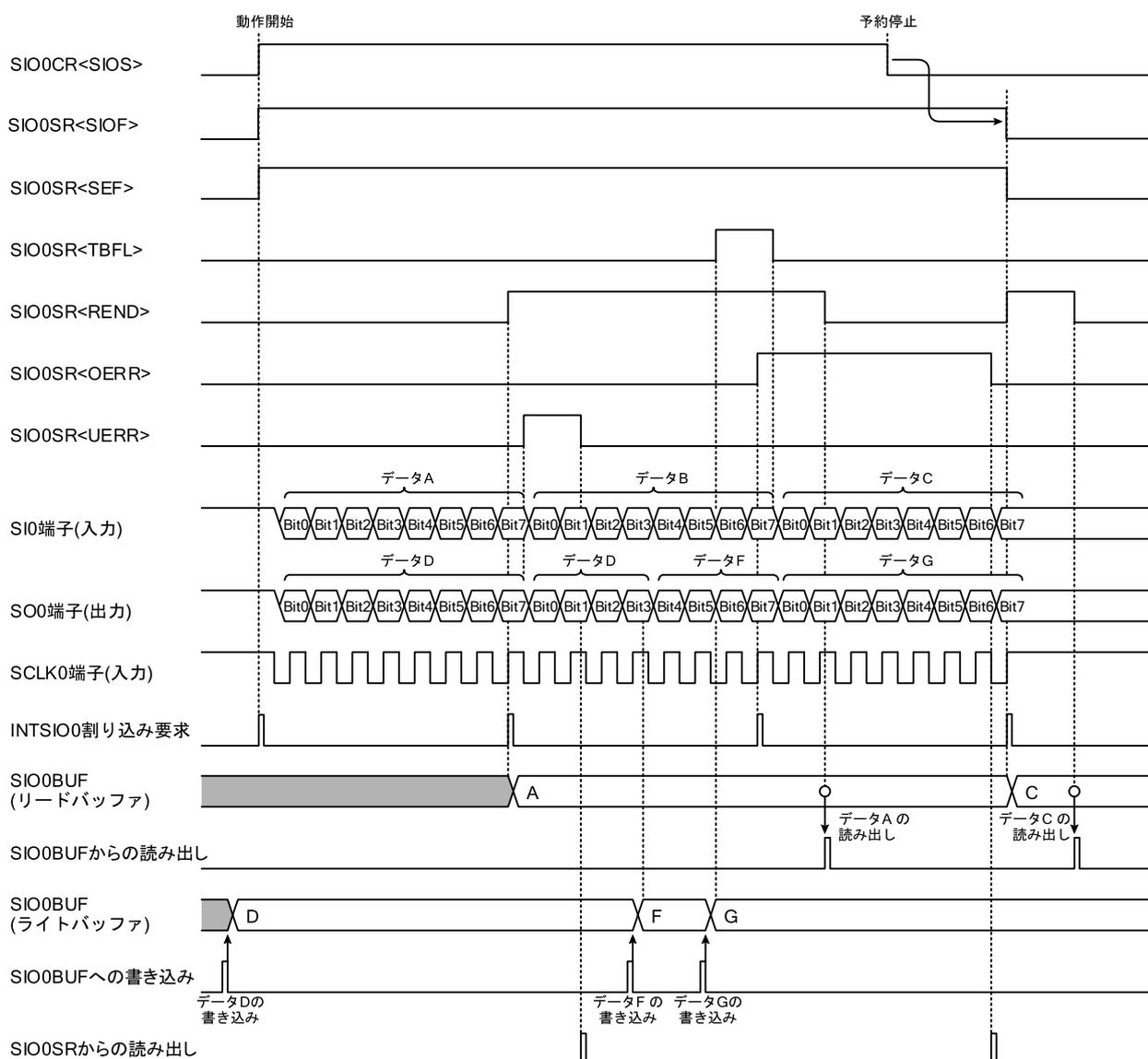


図 17-16 8ビット送受信モード
 (外部クロック、送信アンダーランエラー発生、オーバーランエラー発生)

17.7. AC 特性

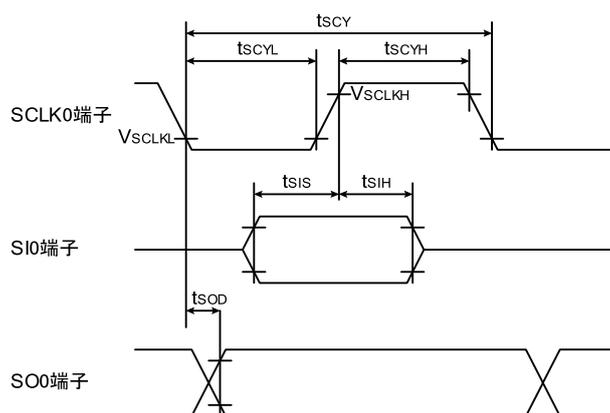


図 17-17 AC特性

($V_{SS} = 0 [V]$ 、 $V_{DD} = 4.5 \sim 5.5 [V]$ 、 $T_{opr} = -40 \sim 85 [^{\circ}C]$)

項目	記号	条件	Min	Typ.	Max	単位
SCLK0 端子サイクル時間	tscy	内部クロック動作時 SO0 端子、SCLK0 端子の 負荷容量 = 100 [pF]	2 / fcgck	-	-	ns
SCLK0 端子“Low”レベルパルス幅	tscyL		1 / fcgck - 25	-	-	
SCLK0 端子“High”レベルパルス幅	tscyH		1 / fcgck - 15	-	-	
SI0 端子入力セットアップ時間	tsis		60	-	-	
SI0 端子入力ホールド時間	tsih		35	-	-	
SO0 端子出力遅延時間	tsod		-50	-	50	
SCLK0 端子サイクル時間	tscy	外部クロック動作時 SO0 端子、SCLK0 端子の 負荷容量 = 100 [pF]	2 / fcgck	-	-	ns
SCLK0 端子“Low”レベルパルス幅	tscyL		1 / fcgck	-	-	
SCLK0 端子“High”レベルパルス幅	tscyH		1 / fcgck	-	-	
SI0 端子入力セットアップ時間	tsis		50	-	-	
SI0 端子入力ホールド時間	tsih		50	-	-	
SO0 端子出力遅延時間	tsod		0	-	60	
SCLK0 端子“Low”レベル入力電圧	tSCLKL	-	0	-	$V_{DD} \times 0.30$	V
SCLK0 端子“High”レベル入力電圧	tSCLKH	-	$V_{DD} \times 0.70$	-	V_{DD}	

18. シリアルバスインターフェース (SBI)

TMP89FS60B/62B/63B は、シリアルバスインターフェース(SBI)を内蔵しています。

SBI は、I²C バスに準拠したシリアル通信に対応しています。

クロック同期化機能、アービトラージ機能を持ち、1 つのバス上に複数のマスターが接続されるマルチマスターに対応しています。

また独自フォーマットのフリーデータフォーマットに対応しています。

この章は SBI0 の説明となります。

表 18-1 SFRアドレス割り付け

	SBIxCR1 (address)	SBIxCR2 (address)	SBIxSR2 (address)	I2CxAR (address)	SBIxDBR (address)	低消費電力 レジスター
SBI0	SBI0CR1 (0x0022)	SBI0CR2 (0x0023)	SBI0SR2 (0x0023)	I2C0AR (0x0024)	SBI0DBR (0x0025)	POFFCR1 <SBI0EN>

表 18-2 端子名

	シリアル データ 入出力端子	シリアル クロック 入出力端子
SBI0	SDA0 端子	SCL0 端子

18.1. 各製品のシリアルバスインターフェース (SBI)

各製品で使用できるシリアルバスインターフェース(SBI)を表 18-3 に示します。

非搭載の SBI のチャンネルに対応する低消費電力レジスターのビットは”0”にクリアしてください。

表 18-3 各製品のシリアルバスインターフェース (SBI)

	TMP89FS60B	TMP89FS62B	TMP89FS63B
SBI0	A	NA	A

注) A: 搭載、NA: 非搭載

18.2. 通信フォーマット

18.2.1. I²C バス

I²C バスは SDA0 端子と SCL0 端子を通して、デバイスがバスに接続されるバスで、複数のデバイスと通信が可能です。

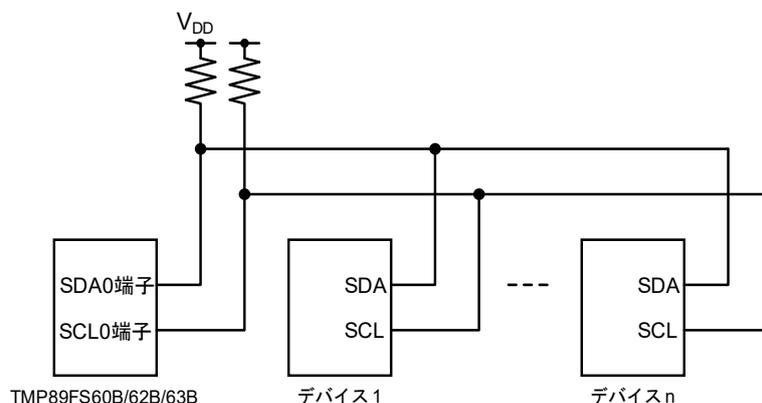


図 18-1 デバイスの接続

通信は、マスターとスレーブの間で行われます。

マスターはバスに接続されているスレーブに対して、スタートコンディション、スレーブアドレス、方向ビット、ストップコンディションを送信、データの送信、受信を行います。

スレーブはマスターから送信されてきた前記の状態をハードウェアにより検出し、データの受信、送信を行います。

SBI0 で通信可能な I²C バスのデータフォーマットは図 18-2 のとおりです。

I²C バス規格で定められている機能のうち、下記の機能については対応できません。

- (1) スタートバイト
- (2) 10 ビットアドレス指定
- (3) SDA 端子、SCL 端子の立ち下がりエッジスロープコントロール
- (4) V_{DD} の供給が切れたときに I/O 端子が SDA および SCL バスラインを妨害しないようにする

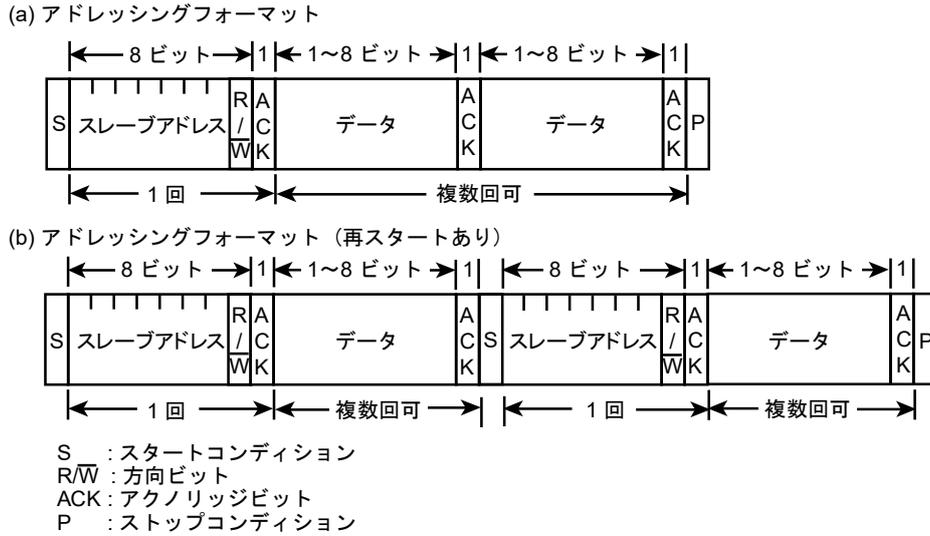


図 18-2 I²Cバスのデータフォーマット

18.2.2. フリーデータフォーマット

フリーデータフォーマットは、1つのマスターと1つのスレーブ同士の通信です。
 フリーデータフォーマットでは、スレーブアドレス、方向ビットはデータとして扱われます。

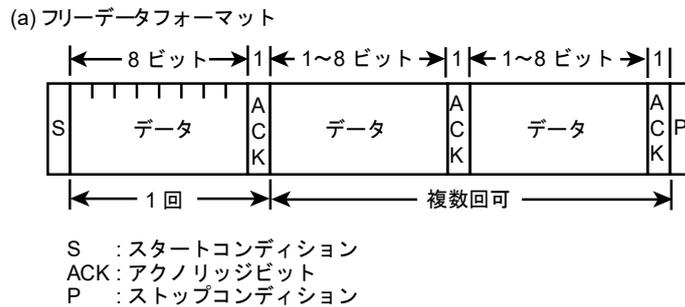


図 18-3 フリーデータフォーマット

18.3. 構成

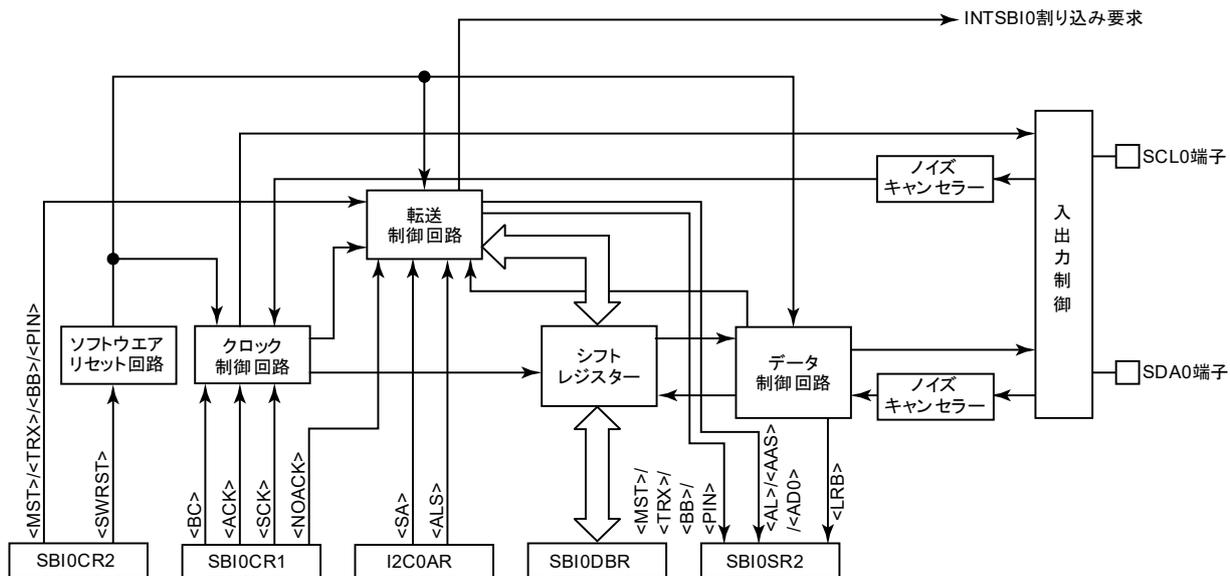


図 18-4 シリアルバスインターフェース0 (SBI0)

18.4. 制御

SBI0は、低消費電力レジスタ(POFFCR1)、シリアルバスインターフェース制御レジスタ1(SBI0CR1)、シリアルバスインターフェース制御レジスタ2(SBI0CR2)、シリアルバスインターフェースステータスレジスタ2(SBI0SR2)、シリアルバスインターフェースデータバッファレジスタ(SBI0DBR)、I²Cバスアドレスレジスタ(I2C0AR)で制御されます。

低消費電力レジスタ1 制御

POFFCR1 (0x0F75)	7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	SBI0EN	-	(UART2EN)	(UART1EN)	(UART0EN)
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

SBI0EN (注 3)	SBI0 制御	0:	Disable
		1:	Enable

注 1) <SBI0EN>を"0"にクリアすると、SBI0に供給されるクロックが停止します。このとき、シリアルバスインターフェース制御レジスタにライトされたデータは無効です。SBI0を使用するときは、<SBI0EN>に"1"を設定して、シリアルバスインターフェース制御レジスタにデータをライトしてください。

注 2) POFFCR1のビット7~5とビット3は書き込んだ値が読みだされます。"0"を書き込むことを推奨します。

注 3) <SBI0EN>はTMP89FS62Bでは「Reserved」になります。

シリアルバスインターフェース制御レジスタ-1

SBIOCR1
 (0x0022)

	7	6	5	4	3	2	1	0
Bit Symbol	BC			ACK	NOACK	SCK		
Read/Write	R/W			R/W	R/W	R/W		
リセット後	0	0	0	0	0	0	0	0

			<ACK> = 0		<ACK> = 1	
			データ転送の クロック数	データ ビット数	データ転送の クロック数	データ ビット数
BC	データビット数の選択	000:	8	8	9	8
		001:	1	1	2	1
		010:	2	2	3	2
		011:	3	3	4	3
		100:	4	4	5	4
		101:	5	5	6	5
		110:	6	6	7	6
		111:	7	7	8	7
ACK	アクノリッジのための クロック発生/カウント の選択		マスターモード		スレーブモード	
		0:	アクノリッジのためのクロックを発生せず、データ転送終了で、INTSBIO 割り込み要求を発生する(非アクノリッジメントモード)		データ転送終了で INTSBIO 割り込み要求を発生する(非アクノリッジメントモード)	
		1:	データ転送終了後、アクノリッジのためのクロックを発生し、INTSBIO 割り込み要求を発生する(アクノリッジメントモード)		データ転送終了、アクノリッジのためのクロックをカウントした後、INTSBIO 割り込み要求を発生する(アクノリッジメントモード)	
NOACK	スレーブアドレス一致 検出、ジェネラルコール 検出の許可/不許可選 択		マスターモード		スレーブモード	
		0:	Don't Care		スレーブアドレス一致検出、ジェネラルコール検出を許可する。	
		1:	Don't Care		スレーブアドレス一致検出、ジェネラルコール検出を禁止する。	
SCK	マスター時の SCL0 端 子の"High"レベル時 間、"Low"レベル時間 の選択とスレーブ時の SCL0 端子解放までの 時間選択		t_{HIGH} (m / fcgck)	t_{LOW} (n / fcgck)	fsc1@fcgck = 8 [MHz]	fsc1@fcgck = 4 [MHz]
			m	n		
		000:	9	12	381 [kHz]	Reserved (注 5)
		001:	11	14	320 [kHz]	Reserved (注 5)
		010:	15	18	242 [kHz]	Reserved (注 5)
		011:	23	26	163 [kHz]	82 [kHz]
		100:	39	42	99 [kHz]	49 [kHz]
		101:	71	74	55 [kHz]	28 [kHz]
110:	135	138	29 [kHz]	15 [kHz]		
111:	263	266	15 [kHz]	8 [kHz]		

-
- 注 1) fcgck: ギアクロック [Hz]、fs: 低周波クロック [Hz]
- 注 2) スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスターの内容を書き替えしないでください。レジスターの書き替えは、スタートコンディション発生前、またはデータ転送終了の INTSBI0 割り込み要求発生から解除までの間に行ってください。
- 注 3) ソフトウェアリセット発生後、SBI0CR2<SBIM>以外の SBI0CR2 の各ビットと、SBI0CR1、I2C0AR、SBI0SR2 が初期化されます。
- 注 4) STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>を除く SBI0CR2 と SBI0CR1、I2C0AR、SBI0DBR は初期化されます。
- 注 5) fcgck が 4 [MHz] のとき、I²C バス規格のファストモードを満たすことができないため、<SCK>を"000"、"001"、"010"に設定しないでください。

シリアルバスインターフェース制御レジスタ-2

SBI0CR2		7	6	5	4	3	2	1	0
(0x0023)	Bit Symbol	MST	TRX	BB	PIN	SBIM	-	SWRST	
	Read/Write	W	W	W	W	W	R	W	
	リセット後	0	0	0	1	0	0	0	0

MST	マスター/スレーブの選択	0:	スレーブ
		1:	マスター
TRX	送信/受信の選択	0:	レシーバー
		1:	トランスミッター
BB	スタート/ストップコンディションの発生	0:	ストップコンディション発生 (<MST>、<TRX>、<PIN>が"1"のとき)
		1:	スタートコンディション発生 (<MST>、<TRX>、<PIN>が"1"のとき)
PIN	割り込みサービス要求の解除	0:	- (ソフトウェアで"0"を書き込むことはできません)
		1:	割り込みサービス要求の解除
SBIM	シリアルバスインターフェース動作モードレジスタ	0:	ポートモード
		1:	シリアルバスインターフェースモード
SWRST	ソフトウェアリセット開始ビット	"10"、"01"の順に値を書き込むとソフトウェアリセットが発生	

- 注 1) SBI0CR2<SBIM>が"0"のとき SBI0CR2<SBIM>以外の SBI0CR2 に値を書き込むことはできません。SBI0CR2 に値を設定する前に SBI0CR2<SBIM>に"1"を書き込んでシリアルバスインターフェースモードにしてください。
- 注 2) SBI0CR2<SWRST>を除き、スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスタの内容を書き替えないでください。レジスタの書き替えは、スタートコンディション発生前、またはデータ転送終了の INTSBI0 割り込み要求発生から解除までの間に行ってください。
- 注 3) ポートモードからシリアルバスインターフェースモードへの切り替えは、ポートの状態が"High"レベルになっていることを確認後行ってください。シリアルバスインターフェースモードからポートモードへの切り替えは、バスフリーを確認してから行ってください。
- 注 4) SBI0CR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
- 注 5) ソフトウェアリセット発生後、SBI0CR2<SBIM>以外の SBI0CR2 の各ビットと、SBI0CR1、I2C0AR、SBI0SR2 が初期化されます。
- 注 6) STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>以外の SBI0CR2 レジスタの各ビットと SBI0CR1、I2C0AR、SBI0DBR は初期化されます。

シリアルバスインターフェースステータスレジスタ-2

SBI0SR2 (0x0023)	7	6	5	4	3	2	1	0
Bit Symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	1	0	0	0	*(注 1)

MST	マスター/スレーブ選択状態 モニター	0: スレーブ 1: マスター
TRX	トランスミッター/レシーバー選択 状態モニター	0: レシーバー 1: トランスミッター
BB	バス状態モニター	0: バスフリー 1: バスビジー
PIN	割り込みサービス要求状態 モニター	0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
AL	アービトラージョンロスト検出 モニター	0: - 1: アービトラージョンロスト検出
AAS	スレーブアドレス一致検出 モニター	0: - 1: スレーブアドレス一致またはジェネラルコール検出
AD0	ジェネラルコール検出モニター	0: - 1: ジェネラルコール検出
LRB	最終受信ビットモニター	0: 最終受信ビット"0" 1: 最終受信ビット"1"

注 1) *: 不定

注 2) SBI0CR2<SBIM>が"0"になると SBI0SR2 は初期化されます。

注 3) ソフトウェアリセット発生後、SBI0CR2<SBIM>以外の SBI0CR2 の各ビットと SBI0CR1、I2C0AR、SBI0SR2 レジスタが初期化されます。

注 4) STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>以外の SBI0CR2 の各ビットと SBI0CR1、I2C0AR、SBI0DBR は初期化されます。

I²C バスアドレスレジスター

I2C0AR		7	6	5	4	3	2	1	0
(0x0024)	Bit Symbol	SA							ALS
	Read/Write	R/W							R/W
	リセット後	0	0	0	0	0	0	0	0

SA	スレーブアドレスの設定	スレーブモード時のスレーブアドレス	
ALS	通信フォーマットの選択	0:	I ² C バスモード
		1:	フリーデータフォーマット

注 1) I2C0AR を"0x00"に設定しないでください。"0x00"に設定した場合、スレーブモードで I²C バス規格の START バイト"0x01"を受信したときにスレーブアドレスが一致したと判断します。

注 2) スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスターの内容を書き替えしないでください。レジスターの書き替えは、スタートコンディション発生前、またはデータ転送終了の INTSBI0 割り込み要求発生から解除までの間に行ってください。

注 3) ソフトウェアリセット発生後、SBI0CR2<SBIM>以外の SBI0CR2 の各ビットと、SBI0CR1、I2C0AR、SBI0SR2 が初期化されます。

注 4) STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>以外の SBI0CR2 の各ビットと SBI0CR1、I2C0AR、SBI0DBR は初期化されます。

シリアルバスインターフェースデータバッファレジスター

SBI0DBR		7	6	5	4	3	2	1	0
(0x0025)	Bit Symbol	SBI0DBR							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

- 注 1) 送信データを書き込むときには、データを MSB(ビット 7)側につめて書き込んでください。
- 注 2) SBI0DBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。
- 注 3) スタートコンディション発生中、ストップコンディション発生中、データ転送中にレジスターの内容を書き替えな
いでください。レジスターの書き替えは、スタートコンディション発生前、またはデータ転送終了の INTSBI0 割
り込み要求発生から解除までの間に行ってください。
- 注 4) SBI0CR2<PIN>を"1"にセットするために SBI0DBR にダミーデータを書き込む場合、"0x00"を書き込んでくださ
い。"0x00"以外のデータを書き込むと、その後の受信データが正しい値となりません。
- 注 5) STOP、IDLE0、SLOW モードに遷移すると、SBI0CR2<SBIM>以外の SBI0CR2 の各ビットと SBI0CR1、
I2C0AR、SBI0DBR は初期化されます。

18.5. 低消費電力制御

SBI0は、SBI0を使用しないとき、低消費電力レジスター(POFFCR1)によって不要な電力を抑える機能を持っています。

POFFCR1<SBI0EN>を"0"に設定すると、SBI0への基本クロックが停止(Disable)され不要な電力を抑えることができます。ただしこのときSBI0が使用できなくなります。POFFCR1<SBI0EN>を"1"に設定すると、SBI0へ基本クロックが供給(Enable)されSBI0が使用可能になります。

リセット後、POFFCR1<SBI0EN>は"0"に初期化されますので、SBI0機能は使用不可の設定となります。よって初めてSBI0機能を使用するときは、プログラムの初期設定(SBI0の制御レジスターを操作する前)で必ずPOFFCR1<SBI0EN>を"1"に設定してください。

なお、SBI0動作中はPOFFCR1<SBI0EN>を"0"に変更しないでください。変更した場合SBI0が予期しない動作をする場合があります。

18.6. 機能

18.6.1. スレーブアドレス一致検出、ジェネラルコール検出の選択

SBI0CR1<NOACK>で、スレーブモードのスレーブアドレス一致検出、ジェネラルコール検出の許可/不許可の設定を行います。

SBI0CR1<NOACK>を"0"にクリアすると、スレーブアドレス一致検出、ジェネラルコール検出を許可します。

SBI0CR1<NOACK>を"1"にセットすると、セット後のスレーブアドレス一致検出、ジェネラルコール検出を禁止します。このとき、マスターから送られてくるスレーブアドレス、ジェネラルコールを無視し、アクノリッジを返さず、INTSBIO割り込み要求も発生しません。

マスターモード時、SBI0CR1<NOACK>は無視され、動作に影響を与えません。

注) スレーブモードでデータを転送中にSBI0CR1<NOACK>を"0"にクリアしても"1"の状態が保持され、データ転送時のアクノリッジを返します。

18.6.2. データ転送のクロック数とアクノリッジ有無の選択

1ワード分のデータ転送は、データとアクノリッジから成り立っています。データ転送が終了するとINTSBIO割り込み要求を発生します。

SBI0CR1<BC>により、次に送受信するデータのビット数を選択します。

SBI0CR1<ACK>が"1"にセットされると、アクノリッジメントモードで動作します。

マスターデバイスではアクノリッジのためのクロックを発生し、レシーバー時はアクノリッジを出力します。スレーブデバイスではアクノリッジのためのクロックカウントし、レシーバー時はアクノリッジを出力します。

SBI0CR1<ACK>が"0"にクリアされると、非アクノリッジメントモードで動作します。

マスターデバイスではアクノリッジのためのクロックを発生しません。スレーブデバイスではアクノリッジのためのクロックカウントしません。

18.6.2.1. データ転送のクロック数

データ転送のクロック数は SBI0CR1<BC>と SBI0CR1<ACK>で設定されます。

SBI0CR1<BC>でデータ長に対応したクロック数が設定できます。

SBI0CR1<ACK>が"1"にセットされると、アクノリッジメントモードで動作します。

アクノリッジメントモードのとき、マスターデバイスではデータビット数分のクロックを発生した後、アクノリッジのためのクロックを発生し INTSBIO 割り込み要求を発生します。

スレーブデバイスではデータビット数分のクロックをカウントした後、アクノリッジのためのクロックをカウントし INTSBIO 割り込み要求を発生します。

SBI0CR1<ACK>が"0"にクリアされると、非アクノリッジメントモードで動作します。

非アクノリッジメントモードのとき、マスターデバイスではデータビット数分のクロックを発生した後、INTSBIO 割り込み要求を発生します。

スレーブデバイスではデータビット数分のクロックをカウントした後、INTSBIO 割り込み要求を発生します。

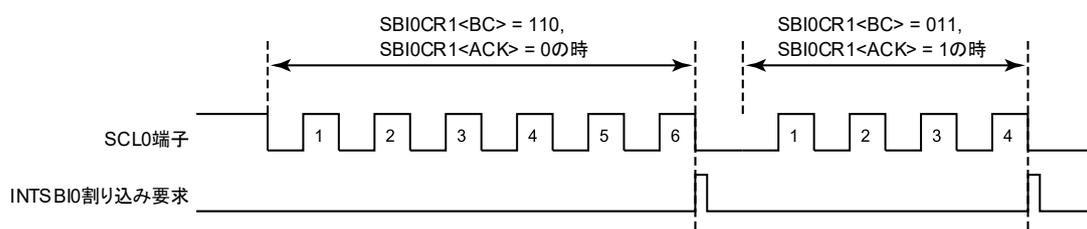


図 18-5 データ転送クロック数と SBI0CR1<BC>、SBI0CR1<ACK>

データ転送のクロック数と SBI0CR1<BC>、SBI0CR1<ACK>の関係は表 18-4 のとおりとなります。

表 18-4 データ転送のクロック数と SBI0CR1<BC>、SBI0CR1<ACK>の関係

<BC>	<ACK> = 0 のとき (非アクノリッジメントモード)		<ACK> = 1 のとき (アクノリッジメントモード)	
	データ転送の クロック数	データ ビット数	データ転送の クロック数	データ ビット数
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

<BC>はスタートコンディションにより"000"にクリアされます。

そのため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、<BC>は一度設定された値を保持します。

注) スレーブアドレスの送信、受信は SBI0CR1<ACK>を"1"にセットした状態で実施してください。SBI0CR1<ACK>が"0"にクリアされた状態ではスレーブアドレスの一致、方向ビットの検出が正常に行われません。

18.6.2.2. アクノリッジ出力

アクノリッジメントモードのとき、アクノリッジのためのクロック期間中、SDA0 端子が下記のように変化します。

- マスターモード時

トランスミッターモードのとき、アクノリッジのためのクロック期間中、レシーバーからのアクノリッジを受信するためにSDA0端子を解放します。

レシーバーモードのときは、アクノリッジのためのクロック期間中、SDA0 端子を”Low”レベルに引きアクノリッジを発生します。

- スレーブモード時

受信したスレーブアドレスと I2C0AR<SA>に設定されたスレーブアドレスが一致したとき、またはジェネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA0 端子を”Low”レベルに引きアクノリッジを発生します。

スレーブアドレス一致またはジェネラルコール受信後のデータ転送で、トランスミッターモードのときには、アクノリッジのためのクロック期間中、SDA0 端子を解放し、レシーバーからのアクノリッジ信号を受信できる状態にします。

レシーバーモードのときには、SDA0 端子を”Low”レベルに引きアクノリッジを発生します。表 18-5 にアクノリッジメントモードにおける SCL0 端子と SDA0 端子の状態を示します。

注) 非アクノリッジメントモードのとき、アクノリッジのためのクロック発生、カウントを行わないため、アクノリッジ出力はされません。

表 18-5 アクノリッジメントモードでのSCL0端子とSDA0端子の状態

モード	端子	条件	トランスミッター	レシーバー
マスター	SCL0	-	アクノリッジのためのクロックを付加	アクノリッジのためのクロックを付加
	SDA0	-	アクノリッジ受信のために端子を解放	アクノリッジ信号として端子を”Low”レベルに引く
スレーブ	SCL0	-	アクノリッジのためのクロックをカウント	アクノリッジのためのクロックをカウント
	SDA0	スレーブアドレスが一致したとき、またはジェネラルコールを受信したとき	-	アクノリッジ信号として端子を”Low”レベルに引く
		スレーブアドレスが一致したとき、またはジェネラルコール受信後の転送時	アクノリッジ受信のために端子を解放	アクノリッジ信号として端子を”Low”レベルに引く

18.6.3. シリアルクロック

18.6.3.1. クロックソース

SBI0CR1<SCK>で、マスターモード時に出力されるシリアルクロックの”High”レベル時間、“Low”レベル時間を設定します。

<SCK>	t _{HIGH} (m / fcgck)	t _{LOW} (n / fcgck)
	m	n
000	9	12
001	11	14
010	15	18
011	23	26
100	39	42
101	71	74
110	135	138
111	263	266

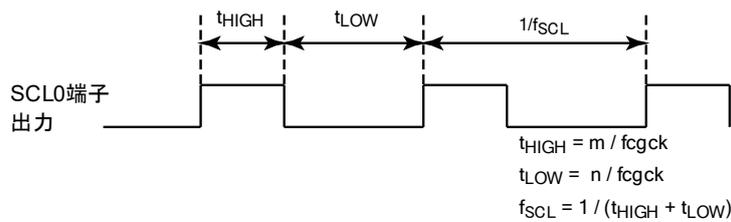


図 18-6 SCL0端子出力

注) バスの負荷容量により SCL0 端子の立ち上がりがなまることで、クロック同期化機能が働き、SBI0CR1<SCK>で設定した t_{HIGH} とならないことがあります。

マスター時、スタートコンディション発生時のホールドタイムは t_{HIGH} [s]、ストップコンディション発生時のセットアップタイム t_{HIGH} [s] となります。

スレーブ時の SBI0CR2<PIN>を”1”にセットしたとき、SCL0 端子解放までの時間は t_{LOW} [s] となります。

なお、マスターモード/スレーブモードともに SBI0CR1<SCK>と関係なく、外部から入力されるクロックは、”High”レベルは $3 / fcgck$ [s] 以上、“Low”レベルは $5 / fcgck$ [s] 以上必要です。

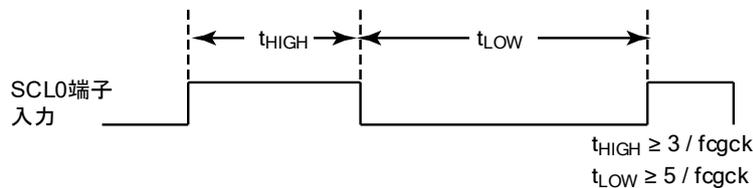


図 18-7 SCL0端子入力

18.6.3.2. クロック同期化

I²Cバスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に”Low”レベルに引いたマスターが、”High”レベルを出力しているマスターのクロックを無効にします。

このため、”High”レベルを出力しているマスターは、これを検出し対応する必要があります。

SBI0はクロック同期化機能を持っており、バス上に複数のマスターが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスターが同時に存在した場合を例に挙げて以下に示します。

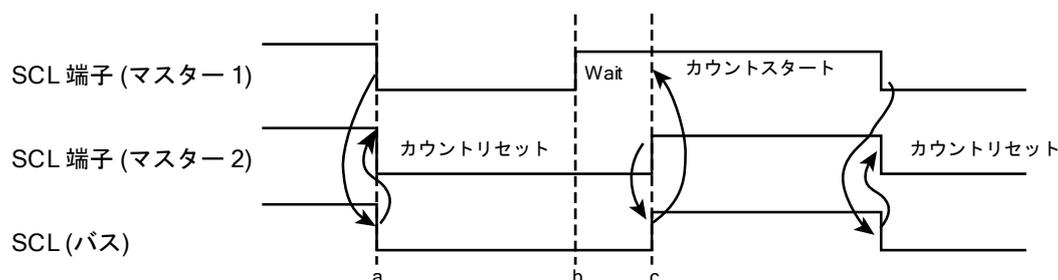


図 18-8 クロック同期化の例

a 点でマスター1が SCL 端子を”Low”レベルに引くことで、バスの SCL ラインは”Low”レベルになります。マスター2はこれを検出し、マスター2の”High”レベル期間のカウントリセットし、SCL 端子を”Low”レベルに引きます。

b 点でマスター1は”Low”レベル期間のカウンタを終わり、SCL 端子を”High”レベルにします。しかしマスター2がバスの SCL ラインを”Low”レベルに保持し続けているので、マスター1は”High”レベル期間のカウンタを始めません。マスター1は、c 点でマスター2が SCL 端子を”High”レベルにし、バスの SCL ラインが”High”レベルになったことを検出後、”High”レベル期間のカウンタを始めます。その後、”High”レベル期間のカウンタを終了したマスター1が SCL 端子を”Low”に引くことで、バスの SCL ラインは”Low”レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスターの中で最も短い”High”レベル期間を持つマスターと、最も長い”Low”レベル期間を持つマスターによって決定されます。

18.6.4. マスター/スレーブの選択

SBI0CR2<MST>を"1"にセットすると、SBI0 はマスターデバイスとして動作します。

SBI0CR2<MST>を"0"にクリアすると、スレーブデバイスとして動作します。SBI0CR2<MST>はバス上のストップコンディションを検出したとき、またはアービトレーションロストを検出したとき、ハードウェアにより"0"にクリアされます。

18.6.5. トランスミッター/レシーバーの選択

SBI0CR2<TRX>を"1"にセットすると、SBI0 はトランスミッターとして動作し、SBI0CR2<TRX>を"0"にクリアするとレシーバーとして動作します。

I²Cバスモードのデータ転送を行うとき、スレーブモード時は、ハードウェアにより、マスターデバイスから送られてくる方向ビット(R/ \bar{W})が"1"の場合、SBI0CR2<TRX>は"1"にセットされ、"0"の場合、SBI0CR2<TRX>は"0"にクリアされます。

マスターモード時は、スレーブデバイスからアクリッジが返ってくると、ハードウェアにより送信した方向ビット(R/ \bar{W})が"1"の場合、SBI0CR2<TRX>は"0"にクリアされ、"0"の場合、SBI0CR2<TRX>は"1"に変化します。アクリッジが返ってこないときは、以前の状態を保ちます。

SBI0CR2<TRX>はバス上のストップコンディションを検出したとき、またはアービトレーションロストが検出されると、ハードウェアにより"0"にクリアされます。表 18-6 に各モードでの SBI0CR2<TRX>の変化条件と変化後の SBI0CR2<TRX>の値を示します。

注) SBI0CR1<NOACK>が"1"のとき、スレーブアドレス一致の検出、ジェネラルコールの検出が禁止されているため、SBI0CR2<TRX>は変化しません。

表 18-6 各モードでのSBI0CR1<TRX>の動作

モード	方向ビット (R/ \bar{W})	変化条件	変化後の<TRX>
スレーブ モード	0	受信したスレーブアドレスが I2COAR<SA>に設定された 値と同じとき	0
	1		1
マスター モード	0	アクリッジが返ってきた とき	1
	1		0

SBI0 を、フリーデータフォーマットで使用している場合、スレーブアドレス、方向ビット(R/ \bar{W})の認識は行われず、スタートコンディション直後からデータとして扱われます。そのために、SBI0CR2<TRX>はハードウェアによって変化することはありません。

18.6.6. スタート/ストップコンディションの発生

SBI0SR2<BB>が"0"のときに、SBI0CR2<MST>、<TRX>、<BB>、<PIN>に"1"を書き込むと、バス上にスタートコンディション、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと、方向ビットが出力されます。スタートコンディションを発生させる前に、SBI0CR1<ACK>を"1"にセットしておいてください。

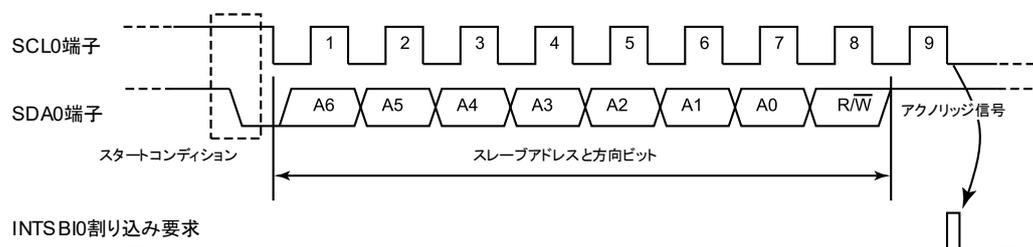


図 18-9 スタートコンディションの発生とスレーブアドレスの発生

SBI0SR2<BB>が"1"のときに、SBI0CR2<MST>、<TRX>、<PIN>に"1"を、SBI0CR2<BB>に"0"を書き込むと、バス上にストップコンディションを出力するシーケンスが開始され、バス上にストップコンディションが発生します。

ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより"Low"レベルに引かれていた場合、SCL ラインが解放された後に、ストップコンディションが発生します。

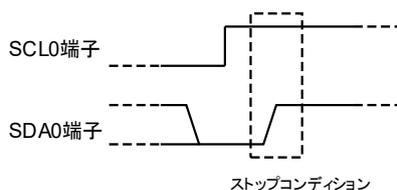


図 18-10 ストップコンディションの発生

また、SBI0SR2<BB>を読みだすことで、バスの状態を知ることができます。SBI0SR2<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

18.6.7. 割り込みサービス要求と解除

マスターモードの場合、SBI0CR1<BC>とSBI0CR1<ACK>によって設定されたデータ転送のクロック数の転送が終了するとINTSBI0割り込み要求が発生します。

スレーブモードの場合、上記に加え以下の条件が成立したときINTSBI0割り込み要求が発生します。

- SBI0CR1<NOACK>が"0"のとき、受信したスレーブアドレスが、I2C0AR<SA>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- SBI0CR1<NOACK>が"0"のとき、ジェネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはジェネラルコール受信後におけるデータ転送終了時

INTSBI0 割り込み要求が発生すると、SBI0CR2<PIN>が"0"にクリアされます。SBI0CR2<PIN>が"0"の間、SCL0 端子が"Low"レベルに引かれます。

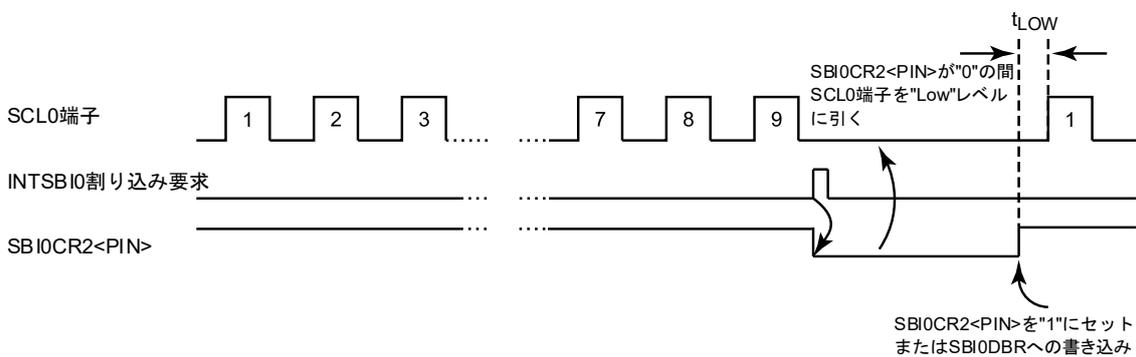


図 18-11 SBI0CR2<PIN>とSCL0端子

SBI0DBRにデータを書き込むとSBI0CR2<PIN>が"1"にセットされます。なお、SBI0CR2<PIN>が"1"にセットされてからSCL0端子が解放されるまで、 t_{LOW} の時間がかかります。

プログラムでSBI0CR2<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

18.6.8. シリアルバスインターフェースの動作モード

SBI0CR2<SBIM>でSBI0の動作モードを設定します。

SBI0CR2<SBIM>を"1"にセットするとシリアルバスインターフェースモードに、"0"にクリアするとポートモードになります。

シリアルバスインターフェースモードで使用するときは、SBI0端子の状態が"High"レベルになっていることを確認後、SBI0CR2<SBIM>を"1"にしてください。

また、ポートモードへの切り替えはバスフリーを確認後、SBI0CR2<SBIM>を"0"にしてください。

注) SBI0CR2<SBIM>が"0"のときSBI0CR2<SBIM>以外のSBI0CR2に値を書き込むことはできません。SBI0CR2に値を設定する前にSBI0CR2<SBIM>に"1"を書き込んでシリアルバスインターフェースモードにしてください。

18.6.9. ソフトウェアリセット

SBI0 は、SBI0 を初期化するソフトウェアリセット機能を持っています。ノイズなどにより SBI0 がロックしたとき、この機能を使うことで SBI0 を初期化することができます。

SBI0CR2<SWRST>に"10"、"01"の順に書き込みを行うとソフトウェアリセットが発生します。

ソフトウェアリセット発生後、SBI0 が初期化され、SBI0CR2<SBIM>以外の SBI0CR2 レジスタの各ビットと、SBI0CR1、I2C0AR、SBI0SR2 が初期化されます。

必要に応じて、ソフトウェアリセットとは別にバスの初期化を行ってください。

18.6.10. アービトレーションロスト検出モニター

I²Cバスではマルチマスター(1つのバス上で同時に2つ以上のマスターが存在する)が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。

I²Cバスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に2つのマスターが同時に存在した場合を例に挙げて以下に示します。a点のビットまでマスター1、マスター2ともに同じデータを出力し、a点でマスター1がデータ"1"を出力、マスター2がデータ"0"を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスター2によって"Low"レベルに引かれます。b点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスター2のデータを取り込みます。このときマスター1の出力したデータは無効になります。マスター1のこの状態を"アービトレーションロスト"と呼び、アービトレーションを失ったマスターは、SDA 端子、SCL 端子を解放し、アービトレーションを失っていない、ほかのマスターの出力するデータに影響を及ぼさないようにします。また複数のマスターが、1ワード目で全く等しいデータを送信した場合、アービトレーションの手段は2ワード目以降も継続されます。

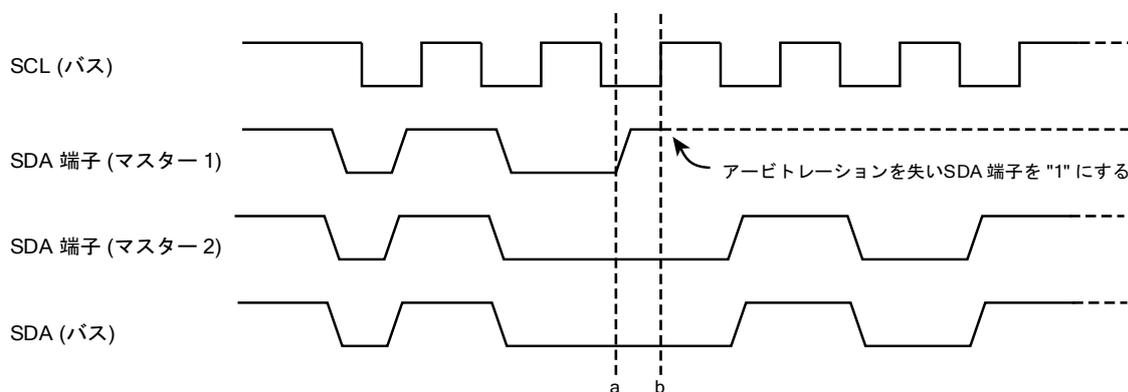


図 18-12 アービトレーションロスト

SBI0 では、バスの SDA ラインのレベルと SBI0 の SDA 端子のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、SBI0SR2<AL>が"1"にセットされます。

SBI0SR2<AL>が"1"にセットされると SBI0CR2<MST>、SBI0CR2<TRX>は"0"にリセットされ、スレーブレシーバーモードになります。そのため、SBI0SR2<AL>が"1"にセットされた後のデータの転送では、SBI0 はクロックの出力を停止します。データ転送が終了すると INTSBI0 割り込み要求が発生し、SBI0CR2<PIN>が"0"にクリアされ、SCL 端子が"Low"レベルに引かれます。

SBI0SR2<AL>は、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み込む、または SBI0CR2 にデータを書き込むと"0"にリセットされます。

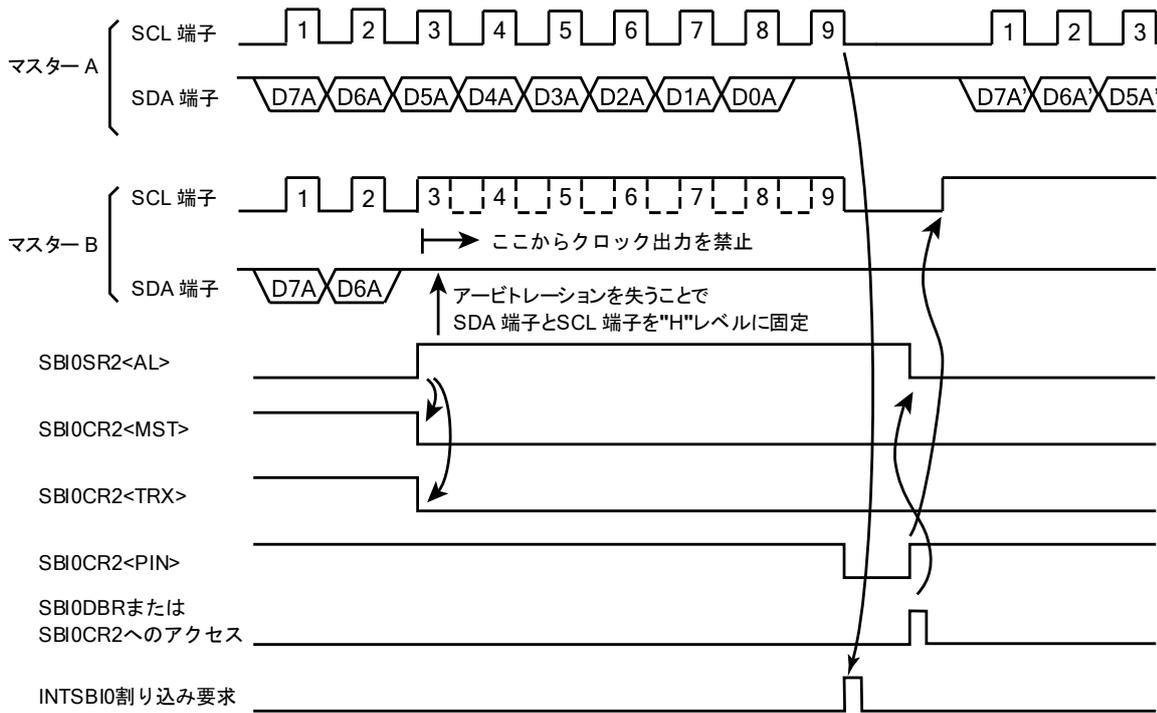


図 18-13 SBI0がマスターBの場合

18.6.11. スレーブアドレス一致検出モニター

SBI0SR2<AAS>は、スレーブモード時、SBI0CR1<NOACK>が"0"で、PC バスモード(I2C0AR<ALS> = 0)の場合、ジェネラルコールまたは、I2C0AR<SA>にセットした値と同じスレーブアドレスを受信すると、"1"にセットされます。

SBI0CR1<NOACK>が"1"のとき、スレーブアドレス一致検出、ジェネラルコール検出を禁止します。そのため、ジェネラルコールまたは、I2C0AR<SA>にセットした値と同じスレーブアドレスを受信してもSBI0SR2<AAS>は"0"のままです。

フリーデータフォーマット(I2C0AR<ALS>=1)のときは、最初の1ワードが受信されると"1"にセットされます。

SBI0SR2<AAS>は SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと"0"にクリアされます。



図 18-14 スレーブアドレス一致モニターの変化

18.6.12. ジェネラルコール検出モニター

SBI0SR2<AD0>はスレーブモード時、SBI0CR1<NOACK>が"0"のとき、ジェネラルコール(スタートコンディション直後に受信した8ビットのデータが全て"0")のとき、"1"にセットされます。

SBI0CR1<NOACK>が"1"のとき、セット後のスレーブアドレス一致検出、ジェネラルコール検出を禁止します。そのため、ジェネラルコールを受信しても SBI0SR2<AD0>は"0"のままです。

SBI0SR2<AD0>は、バス上のスタートコンディションまたはストップコンディションが検出されると、"0"にクリアされます。

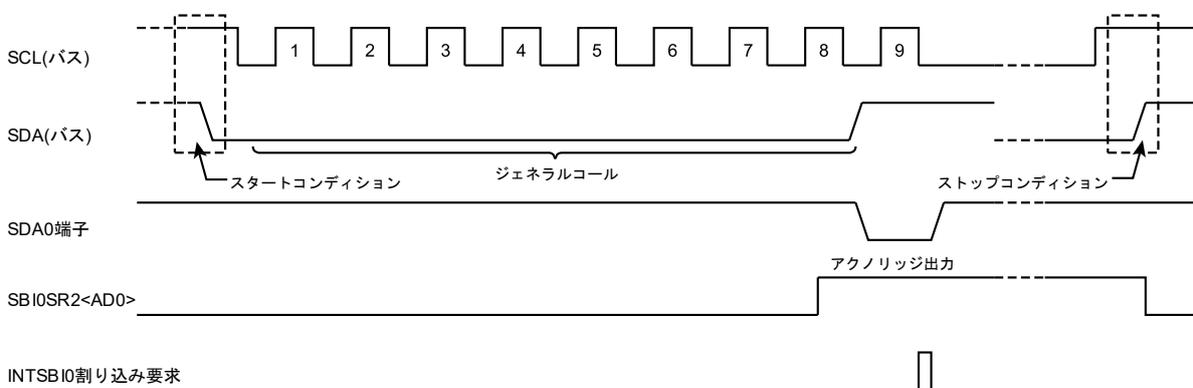


図 18-15 ジェネラルコール検出モニターの変化

18.6.13. 最終受信ビットモニター

SBI0SR2<LRB>には、バス上の SCL ラインの立ち上がりで取り込まれたバス上の SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI0 割り込み要求発生直後に SBI0SR2<LRB>を読みだすと、アクノリッジが読みだされます。

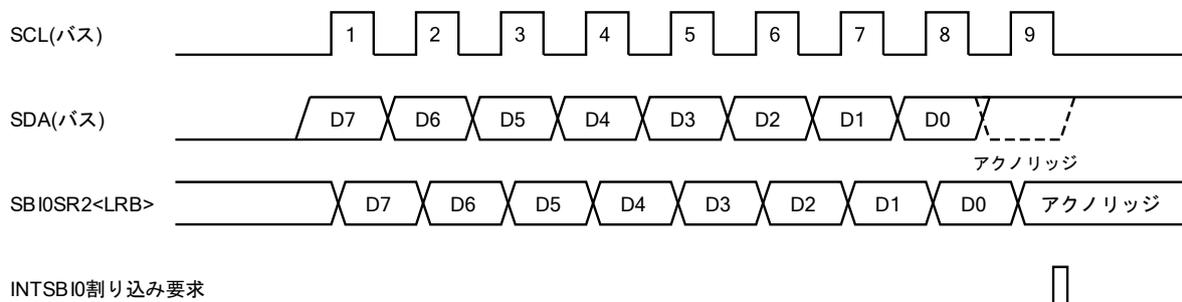


図 18-16 最終受信ビットモニターの変化

18.6.14. スレーブアドレスとアドレス認識モードの設定

SBI0 を、I²C バスモードで使用するときには、I2C0AR<ALS>を"0"にクリアし、I2C0AR<SA>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには、I2C0AR<ALS>を"1"にセットします。なお、SBI0 をフリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

18.7. I²C バスモード時のデータ転送手順

18.7.1. デバイスの初期化

POFFCR1<SBI0EN>を"1"に設定します。

SBI0 端子の状態が"High"レベルになっていることを確認し、SBI0CR2<SBIM>に"1"を設定し、シリアルバスインターフェースモードに設定します。

次にSBI0CR1<ACK>に"1"を、SBI0CR1<NOACK>に"0"を、SBI0CR1<BC>に"000"を書き込み、アクノリッジのためのクロック数をカウントする、スレーブアドレス一致検出、ジェネラルコール検出を許可、データ長を8ビットに設定します。また、SBI0CR1<SCK>で t_{HIGH} 、 t_{LOW} を設定します。

次にI2C0AR<SA>にスレーブアドレスを設定し、I2C0AR<ALS>を"0"に設定してI²Cバスモードに設定します。

最後に、SBI0CR2<MST>、<TRX>、<BB>に"0"を、SBI0CR2<PIN>に"1"を、SBI0CR2<SWRST>に"00"を設定し、初期状態をスレーブレシーバーモードにします。

注) SBI0の初期化は、バスに接続されている全てのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインターフェース回路の初期化が終了する前に、ほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

プログラム例: デバイスの初期化

```

CHK_PORT:  LD    A, (P2PRD)          ; SBI0 端子の状態が"High"レベルとなっているかの確認
           AND   A, 0x18
           CMP  A, 0x18
           JR   NZ,CHK_PORT
           SET  (POFFCR1).SBI0EN ; SBI0 の動作を許可に設定
           LD   (SBI0CR2), 0x18   ; シリアルバスインターフェースモードに設定
           LD   (SBI0CR1), 0x16   ; アクノリッジメントモード、SBI0CR1<SCK> = 110 に設定
           LD   (I2C0AR), 0xA0    ; スレーブアドレスを"1010000"に、I2C バスモードに設定
           LD   (SBI0CR2), 0x18   ; スレーブレシーバーモードに設定

```

18.7.2. スタートコンディション、スレーブアドレスの発生

バスフリー(SBI0SR2<BB> = 0)状態を確認します。

SBI0CR1<ACK>を"1"にセットし、SBI0DBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。

SBI0CR2<MST>、<TRX>、<BB>、<PIN>に"1"を書き込むと、バス上にスタートコンディションと、SBI0DBR に設定したスレーブアドレスと、方向ビットが出力されます。なお、スタートコンディション出力後、SCL0 端子が立ち下がるまで、 t_{HIGH} かかります。

この後、SCL の9クロック目の立ち下がりですべてINTSBIO 割り込み要求が発生し、SBI0CR2<PIN>が"0"にクリアされます。SBI0CR2<PIN>が"0"の間、SCL0 端子が"Low"レベルに引かれます。スレーブデバイスからアクノリッジが返ってきたときのみハードウェアにより、INTSBIO 割り込み要求発生タイミングでSBI0CR2<TRX>が方向ビットに合わせて変化します。

注 1) スレーブアドレスを出力するために SBI0DBR を書き込むときは、事前に、ソフトウェアによってバスフリーを検出してから行ってください。この制約が守られない場合、期待されないデータが出力されることがあります。

注 2) 出力するスレーブアドレスと方向ビットの書き込みから 98.0 [μs] (標準モード I²C バス規格による最短の転送時間)、または 23.7 [μs] (ファストモード I²C バス規格による最短の転送時間)以内に、再度ソフトウェアによるバスフリーの確認を行い、バスフリーが確認できたときのみ SBI0CR2<MST>、<TRX>、<BB>、<PIN>に"1"を書き込み、スタートコンディションを発生させてください。この制約が守られない場合、SBI0DBR へ出力するスレーブアドレスと方向ビットを書き込んでから SBI0CR2<MST>、<TRX>、<BB>、<PIN>に"1"を書き込みスタートコンディションを発生させるまでの間に、ほかのマスターによる転送が行われ、SBI0DBR に書き込んだスレーブアドレスと方向ビットが期待しない値となることがあります。

プログラム例: スタートコンディションの発生

```
CHK_BB:    TEST  (SBI0SR2).BB      ; バスフリーを確認
           JR    F, CHK_BB
           LD    (SBI0DBR), 0xCB   ; 送信スレーブアドレス 0x65、方向ビット"1"
           LD    (SBI0CR2), 0xF8  ; SBI0CR2<MST>、<TRX>、<BB>、<PIN>に"1"を設定
```

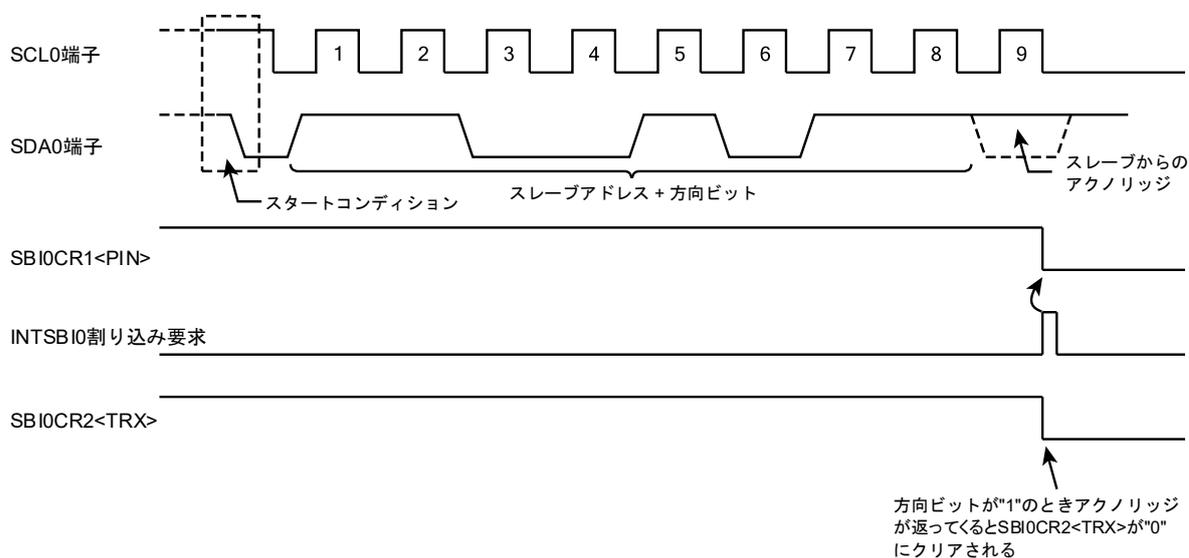


図 18-17 スタートコンディションとスレーブアドレスの発生

18.7.3. 1 ワードのデータ転送

1 ワード転送終了の割り込みの処理の中で、SBI0SR2<MST>をテストし、マスターモード/スレーブモードの判断をします。

18.7.3.1. SBI0SR2<MST>が"1"のとき (マスターモード)

SBI0SR2<TRX>をテストし、トランスミッター/レシーバーの判断をします。

(1) SBI0SR2<TRX>が"1"のとき (トランスミッターモード)

SBI0SR2<LRB>をテストします。SBI0SR2<LRB>が"1"のとき、レシーバーはデータを要求していないので、ストップコンディションを発生する処理を行ってデータ転送を終了します。

SBI0SR2<LRB>が"0"のとき、レシーバーが次のデータを要求しているので、次に転送するデータのビット数が8ビット以外の場合はSBI0CR1<BC>を設定し、SBI0CR1<ACK>を"1"にセットした後、送信データをSBI0DBRに書き込みます。

データを書き込むとSBI0CR2<PIN>が"1"になり、SCL0端子から次の1ワードのデータ転送用のシリアルクロックが発生し、SDA0端子から1ワードのデータが送信されます。

送信終了後、INTSBI0割り込み要求が発生し、SBI0CR2<PIN>が"0"になり、SCL0端子が"Low"レベルに引かれます。複数ワードの転送が必要な場合は、上記SBI0SR2<LRB>のテストから繰り返します。

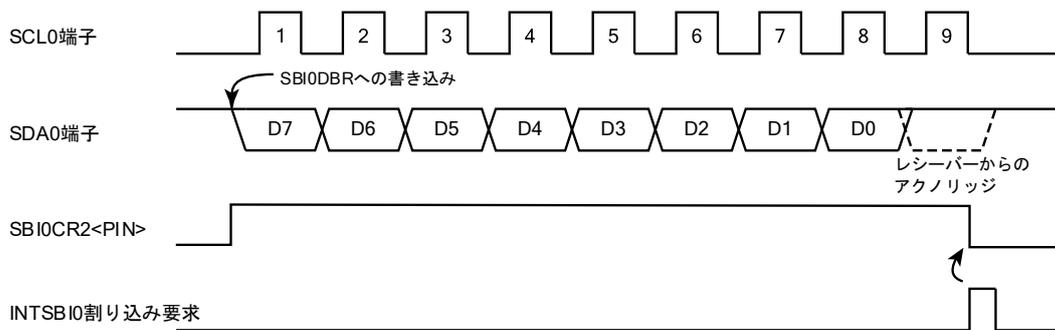


図 18-18 SBI0CR1<BC> = 000、SBI0CR1<ACK> = 1の場合

(2) SBI0SR2<TRX>が"0"のとき (レシーバーモード)

次に転送するデータのビット数が、8 ビット以外のときは SBI0CR1<BC>を再設定し、SBI0CR1<ACK>に"1"をセットした後、SBI0DBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。

データを読み出した後、SBI0DBR にダミーデータ"0x00"を書き込むと SBI0CR2<PIN>は"1"になり、次の1ワードのデータ転送用のシリアルクロックを SCL0 端子に出力し、アクノリッジのタイミングで SDA0 端子が"Low"レベルに引かれます。

その後、INTSBI0 割り込み要求が発生し、SBI0CR2<PIN>が"0"になります。

SBI0DBR から受信データを読み出した後、SBI0DBR にダミーデータ"0x00"を書き込むか、SBI0CR2<PIN>を"1"にセットすると、1ワードの転送クロックとアクノリッジを出力します。

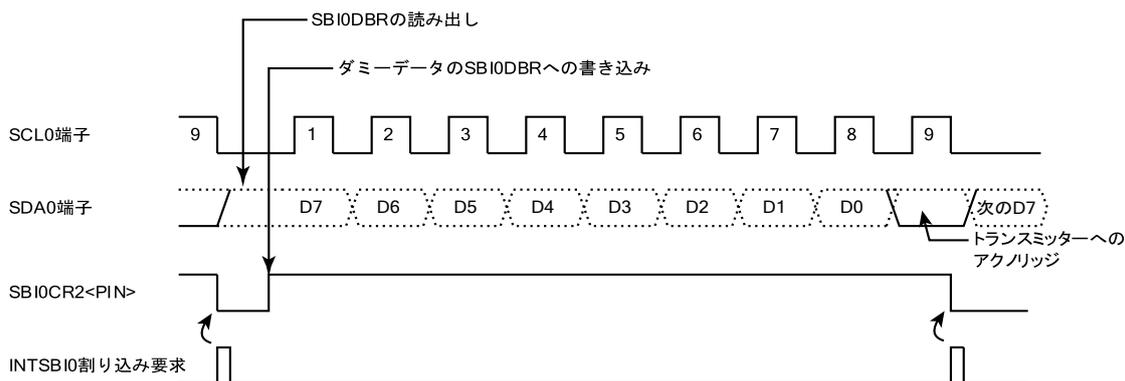


図 18-19 SBI0CR1<BC> = 000、SBI0CR1<ACK> = 1の場合

トランスミッターに対してデータの送信を終了させるときには、最後のデータを受信する前に下記の処理を行います。

1. 受信データを SBI0DBR から読み出す。
2. SBI0CR1<ACK>を"0"にクリアし、SBI0CR1<BC>を"000"に設定します。
3. SBI0CR2<PIN>を"1"にセットするために、SBI0DBR にダミーデータ"0x00"を書き込みます。

SBI0CR2<PIN>が"1"に設定されると、アクノリッジのためのクロックが発生されない1ワードの転送が実施されます。

1ワードの転送の後、下記の処理を行います。

1. 受信データを SBI0DBR から読み出す。
2. SBI0CR1<ACK>を"0"にクリアし、SBI0CR1<BC>を"001"に設定します。
3. SBI0CR2<PIN>を"1"にセットするために、SBI0DBR にダミーデータ"0x00"を書き込みます。

SBI0CR2<PIN>が"1"に設定されると、1ビットの転送が実施されます。

このときマスターはレシーバーなので、バスの SDA ラインは"High"レベルを保ちます。トランスミッターはこの"High"レベルをノーアクノリッジとして受信するので、レシーバーはトランスミッターへ送信終了を知らせることができます。

1ビット受信を行い、INTSBI0 割り込み要求が発生した後、ストップコンディションを発生させ、データ転送を終了させます。

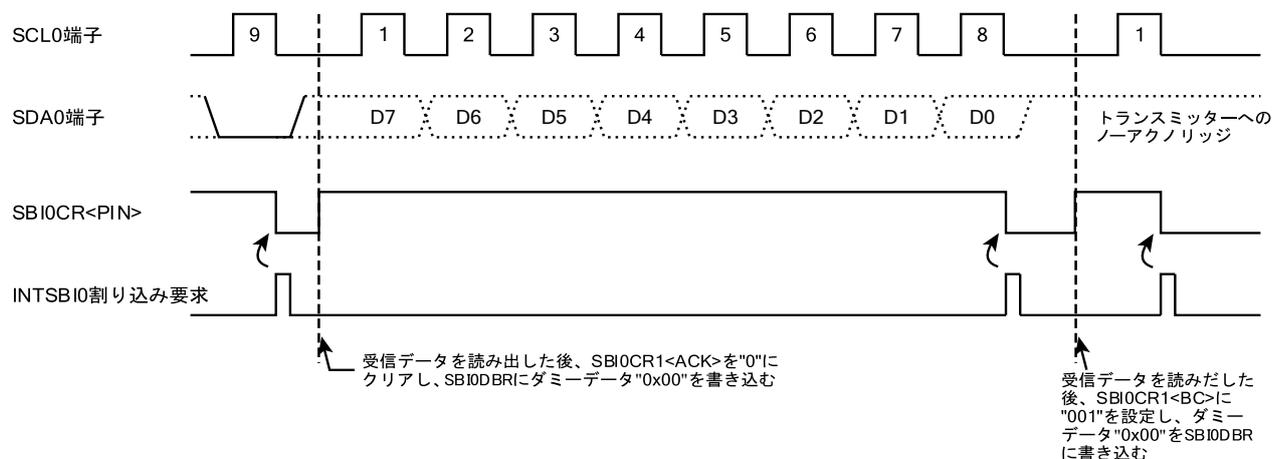


図 18-20 マスターレシーバーモード時、データの送信を終了させるときの処理

18.7.3.2. SBI0SR2<MST>が"0"のとき (スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理または、SBI0がアービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモードの場合、以下のときに INTSBI0 割り込み要求が発生します。

- SBI0CR1<NOACK>が"0"のとき、受信したスレーブアドレスが、I2C0AR<SA>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- SBI0CR1<NOACK>が"0"のとき、ジェネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはジェネラルコール受信後におけるデータ転送終了時

シリアルバスインターフェース回路がマスターモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTSBI0 割り込み要求が発生します。アービトレーションを失った後の INTSBI0 割り込み要求発生と SBI0CR2<PIN>の動作を表 18-7 に示します。

表 18-7 アービトレーションロスト時のINTSBI0割り込み要求とSBI0CR2<PIN>の動作

	マスターモード時、スレーブアドレス送信中にアービトレーションを失った	マスタートランスミットモード時、データ送信中にアービトレーションを失った
INTSBI0 割り込み要求	1 ワード転送終了時に INTSBI0 割り込み要求発生	
SBI0CR2<PIN>	SBI0CR2<PIN>は"0"にクリアされます。	

INTSBI0 割り込み要求が発生すると、SBI0CR2<PIN>が"0"にリセットされ、SCL0 端子が"Low"レベルに引かれます。SBI0DBR にデータを書き込むか、SBI0CR2<PIN>を"1"にセットすると SCL0 端子が t_{Low} 後に解放されます。

SBI0SR2<AL>、<TRX>、<AAS>、<AD0>をテストし、場合分けを行います。表 18-8 にスレーブモード時の状態と必要な処理を示します。

表 18-8 スレーブモード時の処理

SBI0SR2 <TRX>	SBI0SR2 <AL>	SBI0SR2 <AAS>	SBI0SR2 <AD0>	状態	処理
1	1	1	0	SBI0 が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスターデバイスが送った方向ビットが"1"のスレーブアドレスを受信し、それらが SBI0 のものと一致	1 ワードのビット数を SBI0CR1<BC>にセットし、送信するデータを SBI0DBR に書き込みます。
		1	0	スレーブレシーバーモード時、マスターが送った方向ビットが"1"のスレーブアドレスを受信し、それらが SBI0 のものと一致	
	0	0	0	スレーブトランスミッターモード時、1 ワードのデータの送信が完了	SBI0SR2<LRB>をテストし、"1"にセットされていた場合、レシーバーが次のデータを要求していないので SBI0CR2<PIN>に"1"をセット、SBI0CR2<TRX>を"0"にリセットしバスを解放します。SBI0SR2<LRB>が"0"にリセットされていた場合、レシーバーが次のデータを要求しているので 1 ワードのビット数を SBI0CR1<BC>にセットし、送信するデータを SBI0DBR に書き込みます。
0	1	1	1/0	SBI0 が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスターが送った方向ビットが"0"の SBI0 のスレーブアドレス、またはジェネラルコールを受信	SBI0CR2<PIN>を"1"にセットするために SBI0DBR にダミーデータ"0x00"を書き込みます。または SBI0CR2<PIN>に"1"を書き込みます。
		0	0	SBI0 が、スレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	SBI0 はスレーブモードとなっています。SBI0SR2<AL>を"0"にクリア、SBI0CR2<PIN>を"1"にセットするために、SBI0DBR にダミーデータ"0x00"を書き込みます。または SBI0CR2<PIN>に"1"を書き込みます。
	0	1	1/0	スレーブレシーバーモード時、マスターの送った方向ビットが"0"の SBI0 のスレーブアドレス、またはジェネラルコールを受信	SBI0CR2<PIN>を"1"にセットするために、SBI0DBR にダミーデータ"0x00"を書き込みます。または SBI0CR2<PIN>に"1"を書き込みます。
		0	1/0	スレーブレシーバーモード時、1 ワードのデータの受信が終了	1 ワードのビット数を SBI0CR1<BC>にセットし、受信データを SBI0DBR から読み込み、ダミーデータ"0x00"を書き込みます。

注) I2C0AR に"0x00"を設定しないでください。スレーブモードで I2C0AR<SA>が"0x00"に設定されている場合、I²C バス規格の START バイト"0x01"を受信したときにスレーブアドレスが一致したと判断し、SBI0CR2<TRX>が"1"にセットされます。

18.7.4. ストップコンディションの発生

SBI0CR2<BB>が"1"のときに、SBI0CR2<MST>、<TRX>、<PIN>に"1"、SBI0CR2<BB>に"0"を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、SBI0CR2<MST>、<TRX>、<BB>、<PIN>の内容を書き替えないでください。

また、ストップコンディション発生時に、バスのSCLラインがほかのデバイスにより引かれていた場合、SCLラインが解放された後、ストップコンディションが発生します。

SCLラインが解放されてからストップコンディションが発生するまで、t_{HIGH} かかります。

プログラム例: ストップコンディションの発生

```
LD    (SBI0CR2), 0xD8    ; SBI0CR2<MST>、<TRX>、<PIN>に"1"を、SBI0CR2<BB>に"0"を設定
CHK_BB: TEST (SBI0SR2).BB ; バスフリーになるのを待つ
JR    T, CHK_BB
```

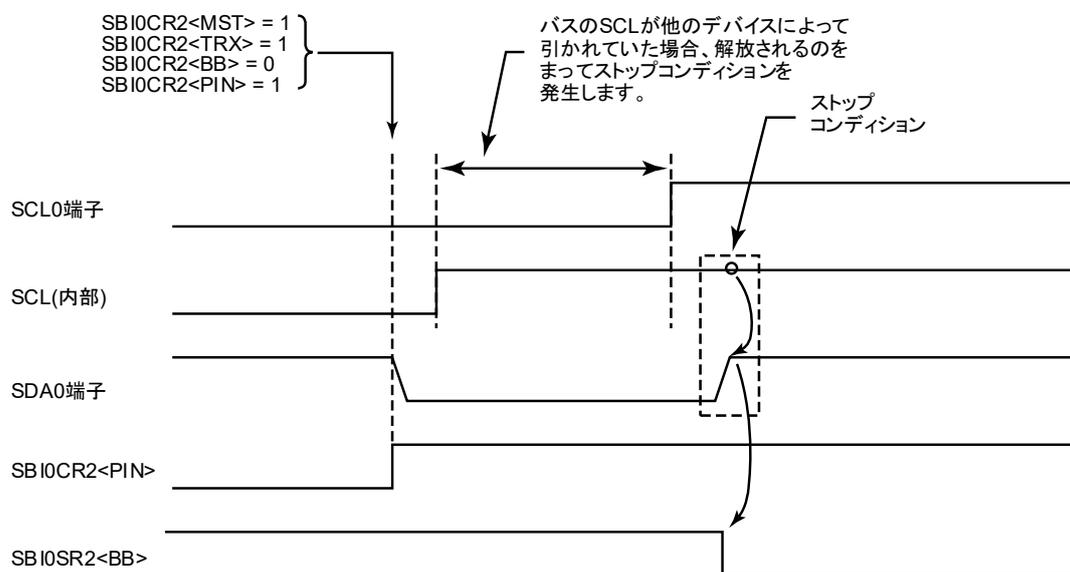


図 18-21 ストップコンディションの発生

18.7.5. 反復スタートの手順

反復スタートは、マスターデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときに使用します。

反復スタートを発生させる場合の手順を以下に示します。

まず、SBI0CR2<MST>、<TRX>、<BB>に"0"を、SBI0CR2<PIN>に"1"を書き込むと、SDA0端子は"High"レベルを保ち、SCL0端子が解放されます。

この状態はストップコンディションではないため、ほかのデバイスからみると、バスはビジー状態のままです。

この後、SBI0SR2<BB>をテストして、"0"になるまで待ち、SBI0のSCL0端子が解放されたことを確認します。

次にSBI0SR2<LRB>をテストして"1"になるまで待ち、ほかのデバイスによって、バスのSCLラインが"Low"レベルに引かれていないことを確認します。

以上の手順によってバスが解放状態になっていることを確認した後に、「18.7.2. スタートコンディション、スレーブアドレスの発生」の手順でスタートコンディションの発生を行います。

なお、反復スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、標準モードPCバス規格では最低4.7 [μs]、ファストモードPCバス規格では最低0.6 [μs]のソフトウェアによる待ち時間が必要です。

注) マスターデバイスがレシーバーのとき、反復スタートを発生させる前に、トランスミッターとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、ノーアクノリッジをスレーブデバイスに受信させます。このため、反復スタート発生前のSBI0SR2<LRB>は"1"となり、反復スタートの手順で、SBI0SR2<LRB>が"1"であることを確認しても、SCLラインの立ち上がりを確認できません。SCLラインの状態を確認するには、ポートを読み出してください。

プログラム例: 反復スタートの発生

```

LD      (SBI0CR2), 0x18      ; SBI0CR2<MST>、<TRX>、<BB>に"0"を、SBI0CR2<PIN>に"1"を設定
CHK_BB: TEST  (SBI0SR2).BB   ; SBI0SR2<BB>が"0"になるのを待つ
JR      T, CHK_BB
CHK_LRB: TEST (SBI0SR2).LRB   ; SBI0SR2<LRB>が"1"になるのを待つ
JR      F, CHK_LRB
:
:                               ; ソフトウェアによる時間待ち処理
:
LD      (SBI0CR2), 0xF8      ; SBI0CR2<MST>、<TRX>、<BB>、<PIN>に"1"を設定
    
```

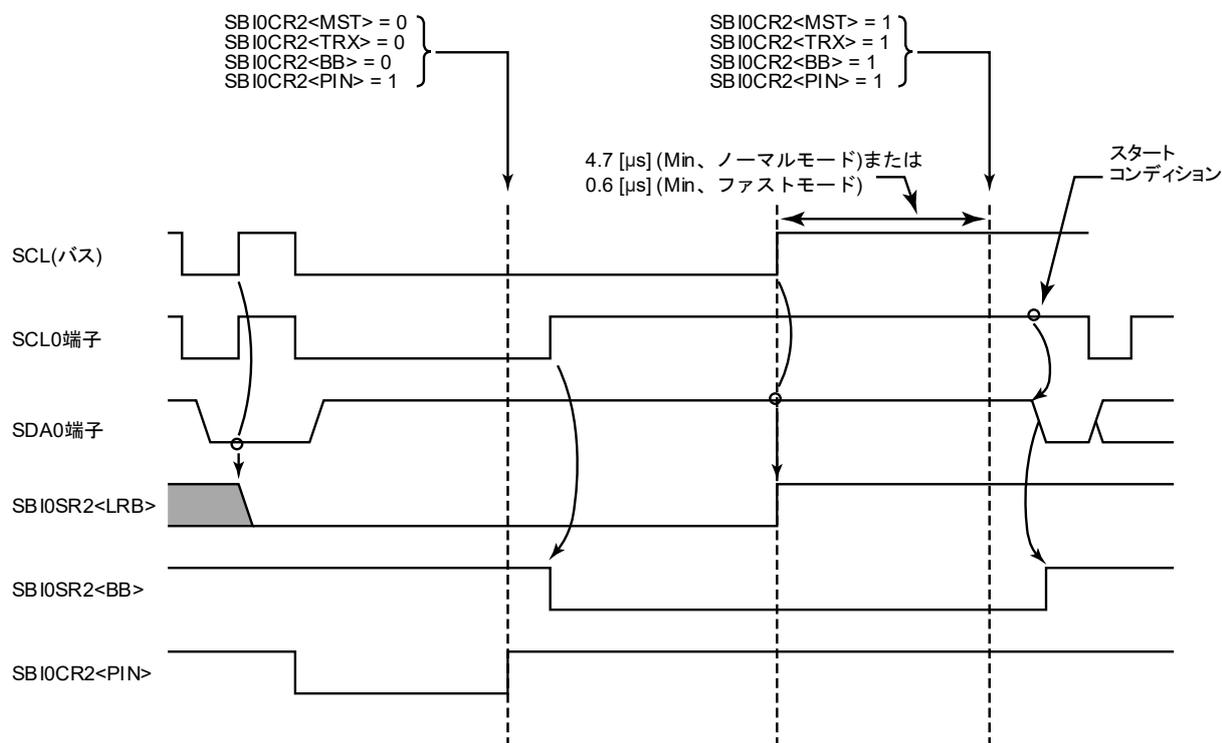


図 18-22 反復スタートを発生させる場合のタイミングチャート

18.8. AC スペック

AC スペックは下記のとおりです。

fcgck の周波数により使用できる転送モードが決まります。表 18-9 を参照の上、使用できる転送モードを確認してください。

表 18-9 ACスペック (出力タイミング)

パラメーター	記号	標準モード		ファストモード		単位
		Min	Max	Min	Max	
SCL クロック周波数	f _{SCL}	0	fcgck / (m + n)	0	fcgck / (m + n)	kHz
ホールド時間 (反復)スタートコンディション。この期間の後、最初のクロックパルスを生成	t _{HD;STA}	m / fcgck	-	m / fcgck	-	μs
SCL クロックの"Low"レベル期間 (出力)	t _{LOW}	n / fcgck	-	n / fcgck	-	μs
SCL クロックの"High"レベル期間 (出力)	t _{HIGH}	m / fcgck	-	m / fcgck	-	μs
SCL クロックの"Low"レベル期間 (入力)	t _{LOW}	5 / fcgck	-	5 / fcgck	-	μs
SCL クロックの"High"レベル期間 (入力)	t _{HIGH}	3 / fcgck	-	3 / fcgck	-	μs
反復スタートコンディションのセットアップ時間	t _{SU;STA}	ソフトウェアによる	-	ソフトウェアによる	-	μs
データホールド時間	t _{HD;DAT}	0	5 / fcgck	0	5 / fcgck	μs
データセットアップ時間	t _{SU;DAT}	250	-	100	-	ns
SDA および SCL 信号の立ち上がり時間	t _r	-	1000	-	300	ns
SDA および SCL 信号の立ち下がり時間	t _f	-	300	-	300	ns
ストップコンディションのセットアップ時間	t _{SU;STO}	m / fcgck	-	m / fcgck	-	μs
ストップコンディションとスタートコンディションとの間のバスフリー時間	t _{BUF}	ソフトウェアによる	-	ソフトウェアによる	-	μs
SBI0CR2<PIN> = 0 → 1 になったときに SCL0 端子が立ち上がるまでの時間	t _{SU;SCL}	n / fcgck	-	n / fcgck	-	μs

注) m、n は「18.6.3.1. クロックソース」を参照してください。

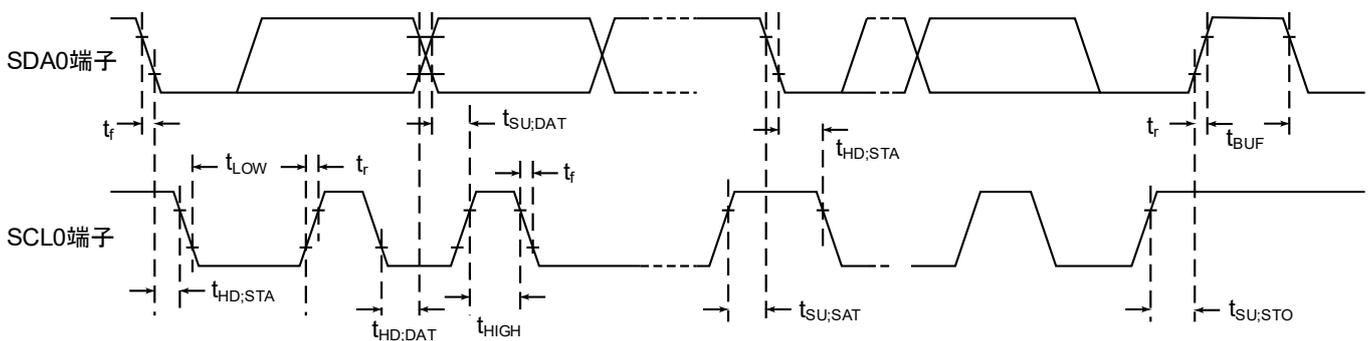


図 18-23 タイミングの定義 (その1)

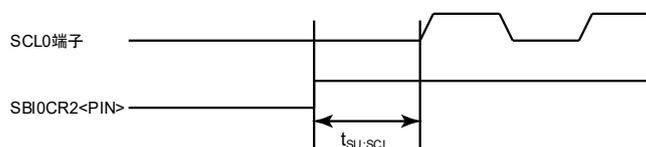


図 18-24 タイミングの定義 (その2)

19. キーオンウエイクアップ (KWU)

キーオンウエイクアップは、 $\overline{\text{STOP}}$ 端子またはKWI7~KWI0端子でSTOPモードを解除する機能です。

19.1. 構成

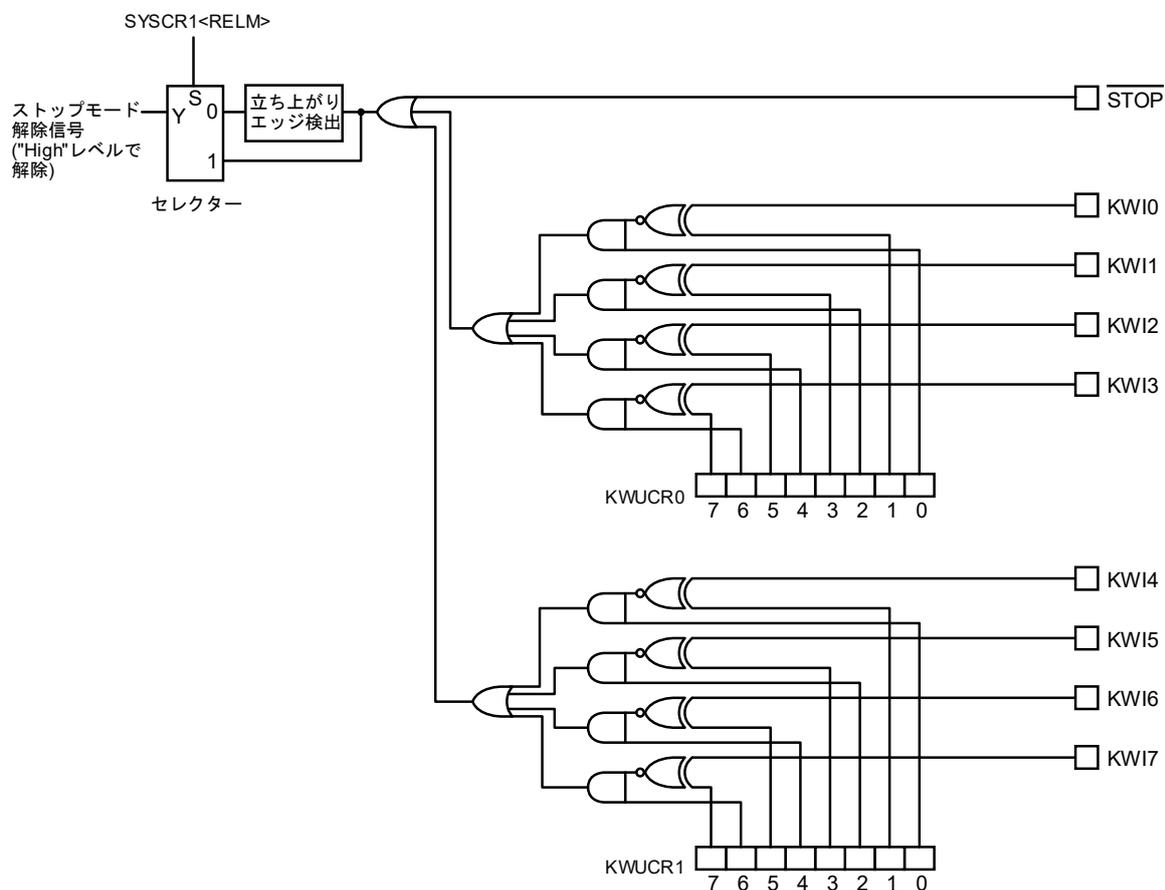


図 19-1 キーオンウエイクアップ回路

注) キーオンウエイクアップは I/O ポートと兼用となっていますので、キーオンウエイクアップ用の端子として機能させるためには I/O ポートのレジスター設定が必要です。詳しくは「8. 入出力ポート」の章を参照してください。

19.2. 制御

キーオンウエイクアップの各端子(KWI7~KWI0)は、キーオンウエイクアップ制御レジスター(KWUCR0、KWUCR1)によって、STOPモード解除用の端子割り当て、およびSTOPモードの解除レベルを設定することができます。

キーオンウエイクアップ制御レジスター0

KWUCR0	7	6	5	4	3	2	1	0	
(0x0FC4)	Bit Symbol	KW3LE	KW3EN	KW2LE	KW2EN	KW1LE	KW1EN	KW0LE	KW0EN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

KW3LE	KWI3 端子の STOP モード解除レベル	0: “Low”レベル 1: “High”レベル
KW3EN	KWI3 端子の入力許可/禁止制御	0: 禁止 1: 許可
KW2LE	KWI2 端子の STOP モード解除レベル	0: “Low”レベル 1: “High”レベル
KW2EN	KWI2 端子の入力許可/禁止制御	0: 禁止 1: 許可
KW1LE	KWI1 端子の STOP モード解除レベル	0: “Low”レベル 1: “High”レベル
KW1EN	KWI1 端子の入力許可/禁止制御	0: 禁止 1: 許可
KW0LE	KWI0 端子の STOP モード解除レベル	0: “Low”レベル 1: “High”レベル
KW0EN	KWI0 端子の入力許可/禁止制御	0: 禁止 1: 許可

キーオンウエイクアップ制御レジスタ-1

KWUCR1

(0x0FC5)

	7	6	5	4	3	2	1	0
Bit Symbol	KW7LE	KW7EN	KW6LE	KW6EN	KW5LE	KW5EN	KW4LE	KW4EN
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

KW7LE	KWI7 端子の STOP モード解除レベル	0: “Low”レベル 1: “Hight”レベル
KW7EN	KWI7 端子の入力許可/禁止制御	0: 禁止 1: 許可
KW6LE	KWI6 端子の STOP モード解除レベル	0: “Low”レベル 1: “Hight”レベル
KW6EN	KWI6 端子の入力許可/禁止制御	0: 禁止 1: 許可
KW5LE	KWI5 端子の STOP モード解除レベル	0: “Low”レベル 1: “Hight”レベル
KW5EN	KWI5 端子の入力許可/禁止制御	0: 禁止 1: 許可
KW4LE	KWI4 端子の STOP モード解除レベル	0: “Low”レベル 1: “Hight”レベル
KW4EN	KWI4 端子の入力許可/禁止制御	0: 禁止 1: 許可

19.3. 機能

キーオンウエイクアップ機能を使用すると $\overline{\text{STOP}}$ 端子または KWIm 端子($m=7\sim 0$)で STOP モードを解除することができます。

リセット解除後、KWIm 端子による STOP モード解除は禁止となります。従って、KWIm 端子を解除用の端子として割り当てるにはキーオンウエイクアップ制御レジスター(KWUCRn ($n=1, 0$))の<KWmEN> ($m=7\sim 0$)を”1”に設定する必要があります。

なお、 $\overline{\text{STOP}}$ 端子には STOP モード解除を禁止する機能がありませんので、キーオンウエイクアップ機能の使用に関係なく STOP モード解除用の信号として割り当てられます。

- KWUCRn、P4PU、P4CR の設定

キーオンウエイクアップの各端子(KWIm)を STOP モード解除用の端子に割り当てるには、KWUCRn<KWmEN>を”1”に設定してください。KWUCRn<KWmEN>が”1”に設定された KWIm 端子は、KWUCRn<KWmLE>によって STOP モードの解除レベルを設定することができます。KWUCRn<KWmLE>を”0”に設定すると”Low”レベル、”1”に設定すると”High”レベルの入力によって STOP モードが解除されます。例えば、KWIO 端子へ”High”レベルを入力することによって STOP モードを解除する場合は、KWUCR0<KW0EN>を”1”に、KWUCR0<KW0LE>を”1”に設定してください。

なお、KWIm の各端子は、ポートに内蔵されているプルアップ抵抗を接続して使用することもできます。内部プルアップ抵抗を接続するには、P4 ポートプルアップ制御レジスター(P4PU)の対応するビットを”1”に設定してください。

最後に KWIm の各端子を入力モードにするため、P4ポート入出力制御(P4CR)の対応するビットを”0”に設定してください。

- STOP モードの起動

STOPモードを起動するには、SYSCR1<RELM>を”1”(レベル解除モード)に、SYSCR1<STOP>を”1”に設定してください。

キーオンウエイクアップ機能を使用する場合は、SYSCR1<RELM>を”0”(エッジ解除モード)に設定しないでください。キーオンウエイクアップ機能をエッジ解除モードで使用した場合、入力が許可された KWIm 端子が STOP モードを起動したときから解除レベルになっている限り $\overline{\text{STOP}}$ 端子に立ち上がりエッジを入力しても STOP モードが解除されません。

- STOP モードの解除

STOPモードを解除するには、 $\overline{\text{STOP}}$ 端子に”High”レベルを入力するか、入力が許可された KWIm 端子に解除レベルを入力してください。STOP モードの解除を $\overline{\text{STOP}}$ 端子ではなく、必ず KWIm 端子で行いたい場合は、STOP モードを起動してから解除するまでの期間、 $\overline{\text{STOP}}$ 端子に”Low”レベルを入力してください。

なお、STOP モードを起動する時点で $\overline{\text{STOP}}$ 端子または KWIm 端子がすでに解除レベルだった場合、STOP モードは起動せず、すぐに次の命令が実行されます(ウオーミングアップは行われません)。

注) キーオンウエイクアップ制御レジスター(KWUCRn)によって入力が許可されている KWIm 端子にアナログ電圧を与えるとポート内部で貫通電流が流れます。アナログ電圧を印加しないでください。

表 19-1 STOPモードの解除

端子名	SYSCR1<RELM> = 1 (レベル解除モード)		SYSCR1<RELM> = 0 (エッジ解除モード)
	KWUCRn<KWmLE> = 0	KWUCRn<KWmLE> = 1	
STOP	"High"レベル		立ち上がりエッジ
KWIm	"Low"レベル	"High"レベル	使用禁止

注) m = 7 ~ 0、n = 1、0

プログラム例: $\overline{\text{STOP}}$ 端子の解除レベルを"High"レベル、KWIO端子の解除レベルを"Low"レベルに設定し、STOPモードを起動(KWIO端子の内部プルアップ抵抗を接続)

```

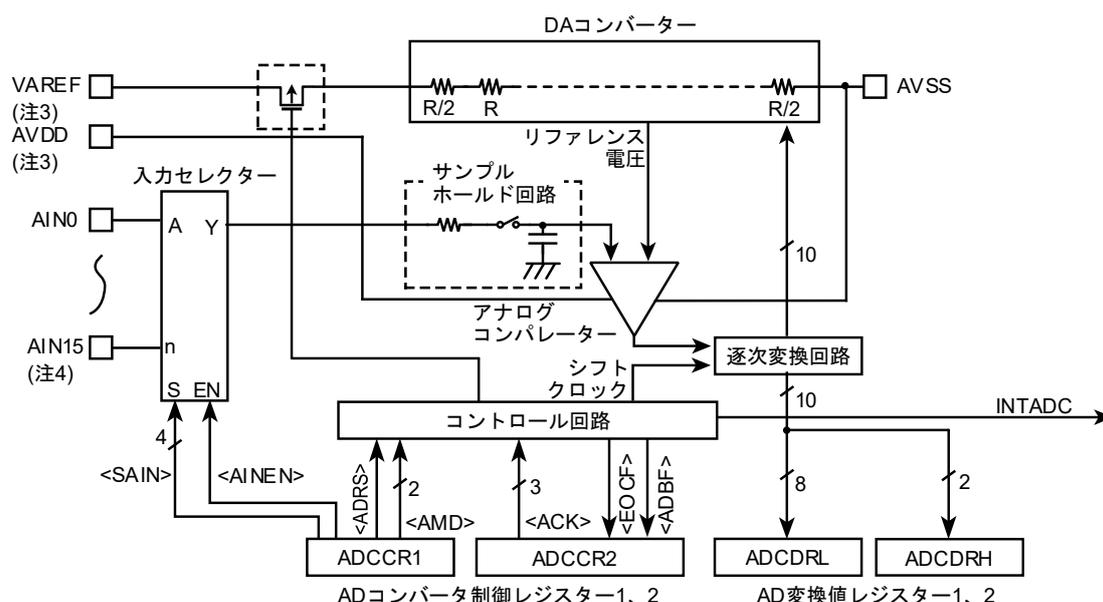
DI          ; <IMF> ← 0
SET (P4PU).0 ; KWIO (P40)をプルアップ設定
LD (KWUCR0), 0x01 ; KWIO端子の入力を許可、解除レベルを"Low"レベルに設定
LD (SYSCR1), 0xA0 ; レベル解除モードに設定して起動
    
```

20. 10ビットADコンバーター (ADC)

TMP89FS60B/62B/63B は、10ビット分解能の逐次比較方式ADコンバーターを内蔵しています。この章では、VAREF端子とAVDD端子が分離されているADCについて説明されています。TMP89FS62Bでは、VAREF端子、AVDD端子それぞれをVAREF/AVDD端子と読み替えてください。

20.1. 構成

10ビットADコンバーターの回路構成を図20-1に示します。制御レジスターADCCR1、ADCCR2、変換値レジスターADCDRL、ADCDRHとDAコンバーター、サンプルホールド回路、コンパレーター、逐次比較回路などで構成されています。



- 注 1) ADコンバーターを使用する前に、アナログ入力と兼用のI/Oポートレジスターを適切な値に設定してください。詳しくは、「8. 入出力ポート」の項を参照してください。
- 注 2) DAコンバーターの電流(I_{REF})は、AD変換時以外は自動的にカットオフされます。
- 注 3) TMP89FS62Bでは、VAREF端子とAVDD端子が同じ端子に割り当てられています。
- 注 4) TMP89FS62Bでは、AIN7となります。TMP89FS63Bでは、AIN12となります。

図 20-1 10ビットADコンバーター

20.2. 制御

AD コンバーターは、次のレジスターで構成されています。

- (1) AD コンバーター制御レジスター1 (ADCCR1)
AD変換を行うアナログチャネルの選択および動作モードの選択とADコンバーターの開始を制御するレジスターです。
- (2) AD コンバーター制御レジスター2 (ADCCR2)
AD変換時間の選択、ADコンバーターの動作状態をモニターするレジスターです。
- (3) AD 変換値レジスター (ADCDRH、ADCDRL)
ADコンバーターによって変換されたデジタル値を格納するレジスターです。

AD コンバーター制御レジスタ1

ADCCR1 (0x0034)	7	6	5	4	3	2	1	0
Bit Symbol	ADRS	AMD		AINEN	SAIN			
Read/Write	R/W	R/W		R/W	R/W			
リセット後	0	0	0	0	0	0	0	0

ADRS	AD 変換開始	0:	-		
		1:	AD 変換開始		
AMD	AD 動作モード	00:	AD 動作 Disable、AD 動作強制停止		
		01:	シングルモード		
		10:	Reserved		
		11:	リピートモード		
AINEN	アナログ入力制御	0:	アナログ入力 Disable		
		1:	アナログ入力 Enable		
SAIN	アナログ入力チャンネル選択		TMP89FS60B	TMP89FS62B	TMP89FS63B
		0000:	AIN0	AIN0	AIN0
		0001:	AIN1	AIN1	AIN1
		0010:	AIN2	AIN2	AIN2
		0011:	AIN3	AIN3	AIN3
		0100:	AIN4	AIN4	AIN4
		0101:	AIN5	AIN5	AIN5
		0110:	AIN6	AIN6	AIN6
		0111:	AIN7	AIN7	AIN7
		1000:	AIN8	Reserved	AIN8
		1001:	AIN9	Reserved	AIN9
		1010:	AIN10	Reserved	AIN10
		1011:	AIN11	Reserved	AIN11
		1100:	AIN12	Reserved	AIN12
		1101:	AIN13	Reserved	Reserved
		1110:	AIN14	Reserved	Reserved
1111:	AIN15	Reserved	Reserved		

注 1) AD 変換実行中(ADCCR2<ADBF> = 1)に ADCCR1 レジスタに対して以下の操作を行わないでください。

- <SAIN>の変更
- <AINEN>に"0"を設定
- <AMD>の変更(<AMD> = 00 による強制停止は除く)
- <ADRS>に"1"を設定

注 2) アナログ入力チャンネルを全て Disable にする場合は、<AINEN>を"0"に設定してください。

注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。

注 4) STOP、IDLE0、SLOW モードを起動すると、<ADRS>、<AMD>、<AINEN>は"0"に初期化されます。NORMAL モードへの復帰後、AD コンバーターを使用する場合は、<ADRS>、<AMD>、<AINEN>を再設定してください。

注 5) <ADRS>は、AD 変換開始後、自動的に"0"にクリアされます(必ず"0"が読みだされます)。

AD コンバータ制御レジスタ-2

ADCCR2 (0x0035)	7	6	5	4	3	2	1	0
Bit Symbol	EOCF	ADBF	-	-	"0"	ACK		
Read/Write	R	R	R	R	W	R/W		
リセット後	0	0	0	0	0	0	0	0

EOCF	AD 変換終了フラグ	0:	変換前または変換中
		1:	変換終了
ADBF	AD 変換 BUSY フラグ	0:	AD 変換停止中
		1:	AD 変換実行中
ACK	AD 変換時間選択 (変換時間例は表 20-1 を参照してください)	000:	39 / fcgck
		001:	78 / fcgck
		010:	156 / fcgck
		011:	312 / fcgck
		100:	Reserved
		101:	Reserved
		110:	Reserved
		111:	Reserved

注 1) <ACK>の変更は、AD 変換停止中(ADCCR2<ADBF> = 0)に行ってください。

注 2) ADCCR2 のビット 3 は必ず"0"を書き込んでください。

注 3) STOP、IDLE0、SLOW モードを起動すると、<EOCF>、<ADBF>は"0"に初期化されます。

注 4) <EOCF>は AD 変換値レジスタ(ADCDRH)を読み出すと"0"にクリアされます。また<EOCF>は、シングルモードで AD 変換終了後、ADCDRH を読み出さないまま AD 変換を開始(ADCCR1<ADRS> = 1)したときも"0"にクリアされます。

注 5) ADCCR2 に対して読み出し命令を実行すると、ビット 5~3 は"0"が読みだされます。

表 20-1 <ACK>設定と周波数別の変換時間

条件 <ACK>	変換時間	周波数 (fcgck)						
		10 [MHz]	8 [MHz]	5 [MHz]	4 [MHz]	2.5 [MHz]	2 [MHz]	1 [MHz]
000	39 / fcgck	-	-	-	-	15.6 [μs]	19.5 [μs]	39.0 [μs]
001	78 / fcgck	-	-	15.6 [μs]	19.5 [μs]	31.2 [μs]	39.0 [μs]	-
010	156 / fcgck	15.6 [μs]	19.5 [μs]	31.2 [μs]	39.0 [μs]	-	-	-
011	312 / fcgck	31.2 [μs]	39.0 [μs]	-	-	-	-	-
1**	Reserved							

注 1) fcgck: ギアクロック [Hz]

注 2) 上記表内"-部分の設定は行わないでください。

注 3) 上記の変換時間には、以下の時間は含まれていません。

- ADCCR1<ADRS>を"1"に設定してから AD 変換動作を開始するまでの時間
- AD 変換動作が終了してから ADCDRL、ADCDRH に変換値が格納されるまでの時間

これらの時間は、ADCCR2<ACK> = 00*のとき最大 10 / fcgck [s]、ADCCR2<ACK> = 01*のとき最大 32 / fcgck [s] かかります。

AD 変換値レジスター (下位)

ADCDRL		7	6	5	4	3	2	1	0
(0x0036)	Bit Symbol	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

AD 変換値レジスター (上位)

ADCDRH		7	6	5	4	3	2	1	0
(0x0037)	Bit Symbol	-	-	-	-	-	-	AD09	AD08
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

注 1) ADCDRL、ADCDRH は INTADC 割り込み要求が発生した後、または ADCCR2<EOCF>が"1"になった後に読み出して下さい。

注 2) シングルモードのとき、AD 変換中(ADCCR2<ADBF> = 1)に ADCDRL、ADCDRH を読み出さないでください。(ADCDRL を読み出してから ADCDRH を読みだすまでの期間に AD 変換が終了すると INTADC 割り込み要求はキャンセルされ変換結果が失われます)

注 3) STOP、IDLE0、SLOW モードを起動すると、ADCDRL、ADCDRH は 0x00 に初期化されます。

注 4) ADCCR1<AMD>に"00"を設定すると、ADCDRL、ADCDRH は 0x00 に初期化されます。

注 5) ADCDRH に対して読み出し命令を実行すると、ビット 7~2 は"0"が読みだされます。

注 6) リピートモードのとき、ADCDRL を読み出してから ADCDRH を読みだすまでの期間に AD 変換が終了すると AD 変換値レジスターは上書きされず前回の変換値を保持します。このとき INTADC 割り込み要求はキャンセルされ、上書きされなかった変換結果は失われます。

20.3. 機能

10ビットADコンバーターには、1回だけAD変換を行う「シングルモード」と、繰り返しAD変換を行う「リピートモード」の2つの動作モードがあります。

20.3.1. シングルモード

シングルモードは指定されたアナログ入力端子電圧のAD変換を1回だけ行います。

ADCCR1<AMD>を"01"(シングルモード)に設定後、ADCCR1<ADRS>を"1"に設定することによりAD変換を開始します。ADCCR1<ADRS>はAD変換開始後、自動的にクリアされます。ADCCR2<ADBF>はAD変換開始により"1"にセットされ、AD変換動作が終了またはAD変換を強制停止すると"0"にクリアされます。

AD変換終了後、変換結果はAD変換値レジスタ(ADCDRL、ADCDRH)に格納され、ADCCR2<EOCF>が"1"にセットされます。このときAD変換終了割り込み要求(INTADC)が発生します。通常AD変換値レジスタ(ADCDRL、ADCDRH)はINTADC割り込み処理ルーチンで読み出します。AD変換値レジスタの上位(ADCDRH)を読み出すとADCCR2<EOCF>は"0"にクリアされます。

注) AD変換実行中(ADCCR2<ADBF> = 1)にADCCR1レジスタに対して以下の操作を行わないでください。以下の操作を行うとAD変換が正しく行われません場合があります。

- ADCCR1<SAIN>の変更
- ADCCR1<AINEN>に"0"を設定
- ADCCR1<AMD>の変更(<AMD> = 00による強制停止は除く)
- ADCCR1<ADRS>に"1"を設定

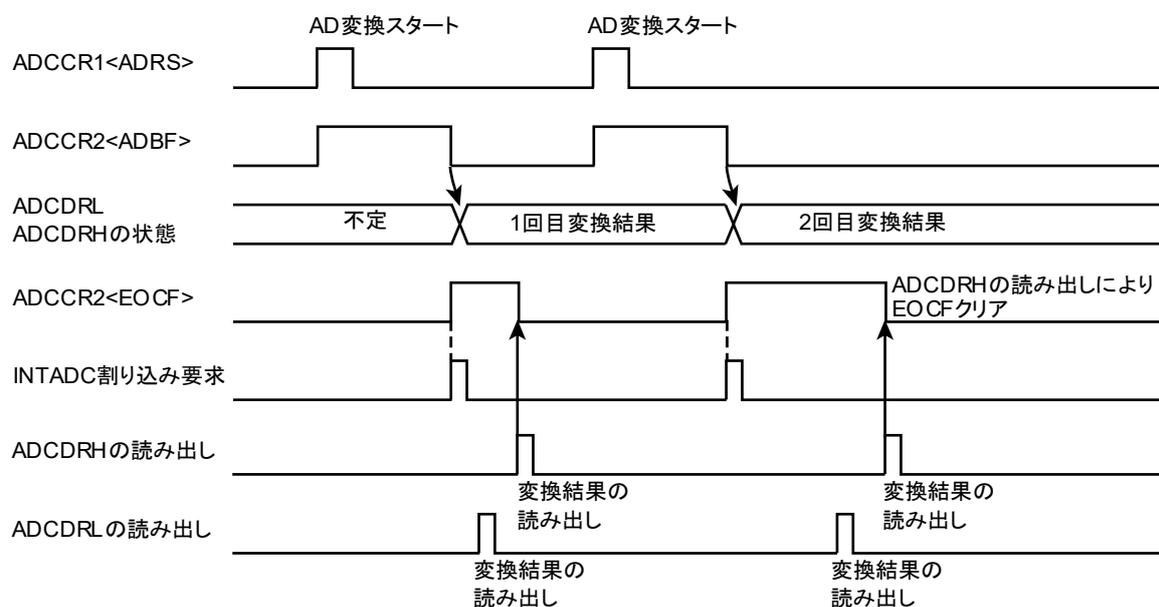


図 20-2 シングルモード

20.3.2. リピートモード

リピートモードは、ADCCR1<SAIN>で指定されたアナログ入力端子電圧のAD変換を繰り返し行います。

ADCCR1<AMD>を"11"(リピートモード)に設定後、ADCCR1<ADRS>を"1"に設定することによりAD変換を開始します。ADCCR1<ADRS>はAD変換開始後、自動的にクリアされます。1回目のAD変換終了後、変換結果はAD変換値レジスタ(ADCDRL、ADCDRH)に格納され、ADCCR2<EOCF>が"1"にセットされます。このときAD変換終了割り込み要求(INTADC)が発生します。割り込み発生後、2回目のAD変換が直ちに開始されます。

通常AD変換値レジスタ(ADCDRL、ADCDRH)は、次のAD変換が終了するまでに読み出してください。ADCDRLを読み出してからADCDRHが読み出されるまでの間に次のAD変換が終了すると、AD変換値レジスタ(ADCDRL、ADCDRH)は上書きされず、前回の変換値を保持します。このときINTADC割り込み要求は発生せず、上書きされなかった変換結果は失われます。(図 20-3)

AD変換を停止するには、ADCCR1<AMD>に"00"(AD動作Disable)を書き込んでください。AD変換動作は即時に停止します。このときの変換値は、AD変換値レジスタには格納されません。ADCCR2<ADBF>はAD変換開始により"1"にセットされ、<AMD>に"00"を書き込むと"0"にクリアされます。

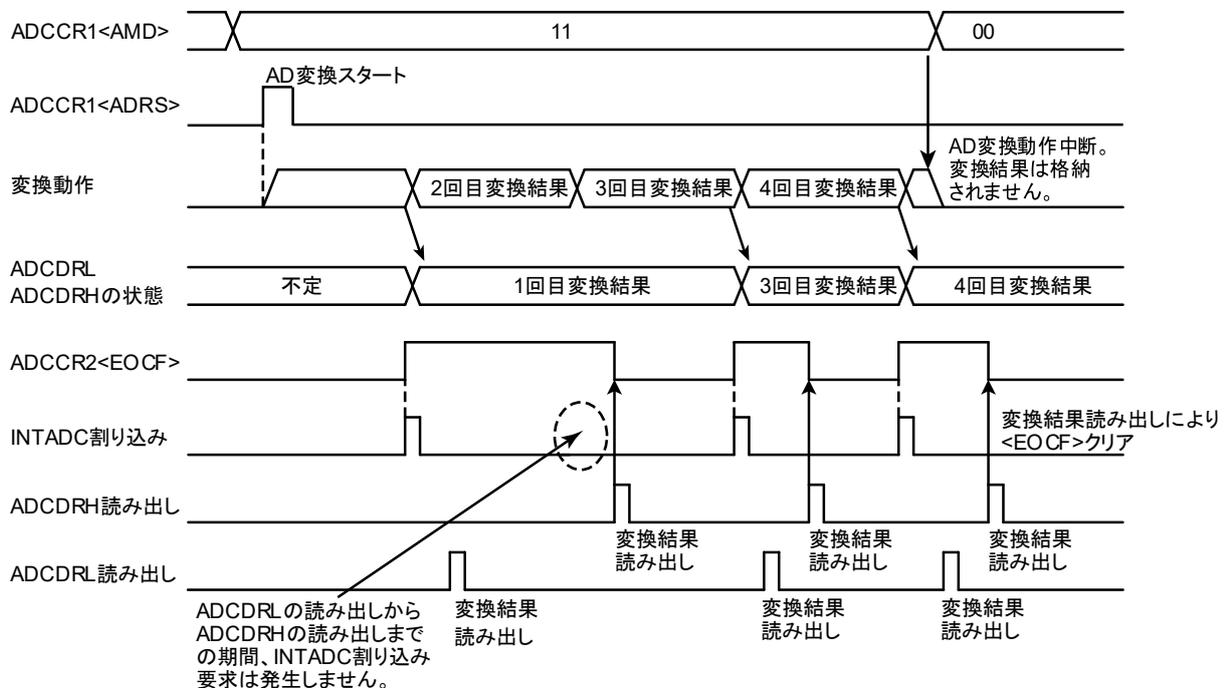


図 20-3 リピートモード

20.3.3. AD動作Disable、AD動作強制停止

シングルモードまたはリピートモードでAD変換動作中にADコンバーターを強制停止させる場合、ADCCR1<AMD>を"00"に設定します。

ADCCR1<AMD>を"00"に設定すると、ADCCR2<EOCF>、<ADBF>、ADCDRL、ADCDRHレジスタは"0"に初期化されます。

20.4. レジスタの設定

- (1) AD コンバーター制御レジスタ1(ADCCR1)を以下のように設定してください。
AD 入力チャネル選択(<SAIN>)により AD 変換するチャネルを選択してください。
アナログ入力制御(<AINEN>)をアナログ入力 Enable に指定してください。
AD 動作モード(シングル、リピートモード)(<AMD>)を指定してください。
- (2) AD コンバーター制御レジスタ2(ADCCR2)を以下のように設定してください。
AD 変換時間(<ACK>)により AD 変換時間を設定してください。変換時間の設定については、AD コンバーター制御レジスタ2 および表 20-1 をご参照ください。
- (3) 上記(1)と(2)を設定後、AD コンバーター制御レジスタ1(ADCCR1)の AD 変換開始(ADRS)に"1"を設定すると、シングルモードの場合、直ちに AD 変換を開始します。
- (4) AD 変換が完了すると、AD コンバーター制御レジスタ2(ADCCR2)の AD 変換終了フラグ(<EOCF>)が"1"にセットされ、AD 変換結果が AD 変換値レジスタ(ADCDRH、ADCDRL)に格納されます。また、このとき INTADC 割り込み要求が発生します。
- (5) AD 変換値レジスタ(ADCDRH)から変換結果を読み出すと<EOCF>は"0"にクリアされます。ただし、AD 変換値レジスタ(ADCDRH)を読み出す前に再変換を行った場合も、<EOCF>は"0"にクリアされます。この場合、変換結果は次の変換終了まで前回の結果を保持します。
- (6) リピートモードでは、INTADC 割り込み要求が発生した後に、次の変換が直ちに開始されます。次の AD 変換が終了するまでに AD 変換値レジスタ(ADCDRL と ADCDRH)を読み出してください。

プログラム例: 変換時間 15.6 [μ s]@10 [MHz]およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。<EOCF>を確認した後、変換結果を HL レジスタに格納します。動作モードは、シングルモードです。

```

      ポート設定      ; ADコンバーターのレジスタを設定する前にポートレジスタを適切に設定してください。
      :              ; (詳細は「8. 入出力ポート」の章を参照してください)
LD     (ADCCR1), 0x33 ; AIN3 を選択、動作モードを選択
LD     (ADCCR2), 0x02 ; 変換時間 (156 / fcgck)
SET    (ADCCR1).7    ; <ADRS> ←1 (AD 変換開始)
sLOOP: TEST (ADCCR2).7 ; <EOCF> = 1?
      J      T, sLOOP
LD     HL, (ADCDRL)  ; 変換結果の読み出し

```

20.5. STOP、IDLE0、SLOW モードの起動

STOP、IDLE0、SLOW モードを起動すると ADCCR1<ADRS>、<AMD>、<AINEN>、ADCCR2<EOCF>、<ADBF>、ADCDRL、ADCDRH レジスタは"0"に初期化されます。AD 変換中に同モードを起動した場合は、AD 変換は中断され、AD コンバータは停止します(レジスタは同様に初期化されます)。STOP、IDLE0、SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じてレジスタの再設定を行ってください。

なお、AD 変換動作中に STOP、IDLE0、SLOW モードを起動した場合、アナログ基準電源は自動的にカットオフされますので、AD 変換用アナログ基準電圧入力端子への電流の流れ込みはありません。

20.6. アナログ入力電圧と AD 変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 20-4 のように対応します。

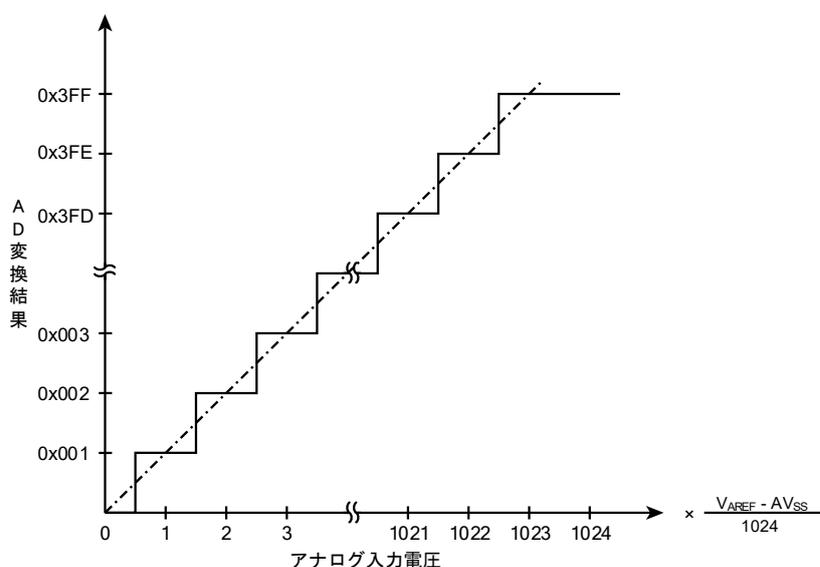


図 20-4 アナログ入力電圧とAD変換値 (typ.)の関係

20.7. AD コンバーターの注意事項

20.7.1. アナログ入力端子電圧範囲

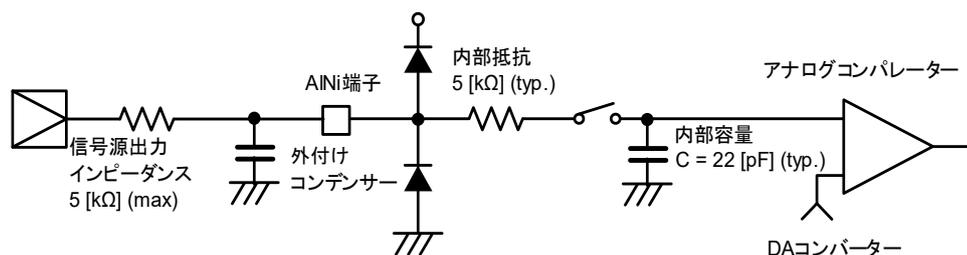
アナログ入力端子に入力する電圧値は、 $V_{AREF} \sim A_{VSS}$ 間でご使用ください。この範囲外の電圧が入力されると、入力された端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

20.7.2. アナログ入力兼用端子

アナログ入力端子は、入出力ポートと兼用になっています。いずれかのアナログ入力端子を使用してAD変換を実行する場合、それ以外のポートへの入出力命令は実行しないでください。AD変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接するポートへの入出力によるノイズにより、AD変換精度が影響を受ける場合があります。

20.7.3. ノイズ対策

アナログ入力端子の等価回路は、図 20-5 のようになっています。アナログ入力端子に接続されるアナログ出力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは 5 [k Ω]以下になるように設計してください。また、アナログ入力にコンデンサーを外付けすることを推奨します。



注) TMP89FS60B: i = 15 ~ 0
 TMP89FS62B: i = 7 ~ 0
 TMP89FS63B: i = 12 ~ 0

図 20-5 アナログ入力等価回路と入力端子処理例

21. フラッシュメモリー

TMP89FS60B/62B/63B は、61440 バイトのフラッシュメモリーを内蔵しています。フラッシュメモリーの書き込み/消去などの制御は、以下の3つのモードで実行可能です。

- MCU モード

MCUモードは、CPUの制御によってフラッシュメモリーをアクセスするモードです。アプリケーションの動作を保った状態でフラッシュメモリーの消去、書き込みが可能ですので、出荷後のソフトウェアバグ修正やファームウェアの変更などに利用できます。

- シリアル PROM モード

シリアルPROMモードは、CPUの制御によってフラッシュメモリーをアクセスするモードです。シリアルインターフェース(UART)を使用することによって少ない端子で制御が可能ですので、出荷工程のオンボード書き込み(マイクロコントローラーが基板に実装された状態での書き込み)などに利用できます。

- パラレル PROM モード

パラレルPROMモードは、サードパーティーの提供するプログラムライターなどでマイクロコントローラー内部のフラッシュメモリーをアクセスするモードです。アドレス/データ信号を直接制御することにより高速にフラッシュメモリーをアクセスすることができます。プログラムライターのサポート状況については、当社営業窓口までお問い合わせください。

MCU モードおよびシリアル PROM モードは、フラッシュメモリーの制御のためにフラッシュメモリー制御レジスター(FLSCR1、FLSCR2)を使用します。この章では MCU モードおよびシリアル PROM モードを使用したフラッシュメモリーのアクセス方法を説明します。

21.1. 制御

フラッシュメモリーは、フラッシュメモリー制御レジスター1(FLSCR1)、フラッシュメモリー制御レジスター2(FLSCR2)、フラッシュメモリースタンバイ制御レジスター(FLSSTB)によって制御されます。

フラッシュメモリー制御レジスター1

FLSCR1		7	6	5	4	3	2	1	0
(0x0FD0)	Bit Symbol	FLSMD			BAREA	FAREA		-	-
	Read/Write	R/W			R/W	R/W		R/W	R/W
	リセット後	0	1	0	0	0	0	0	0

FLSMD	フラッシュメモリーの コマンドシーケンス、トグル 制御	010: コマンドシーケンス、トグルの実行を禁止 101: コマンドシーケンス、トグルの実行を許可 その他: Reserved
BAREA	BOOTROM のマッピ ング制御	MCU モード シリアル PROM モード 0: BOOTROM 非表示 1: BOOTROM を表示
FAREA	フラッシュメモリーの領 域切り替え制御	00: データ領域"0x8000" ~ "0xFFFF"を データ領域"0x8000" ~ "0xFFFF"に割り当てる(標準マッピング) 01: データ領域"0x1000" ~ "0x7FFF"を データ領域"0x9000" ~ "0xFFFF"に割り当てる 10: コード領域"0x8000" ~ "0xFFFF"を データ領域"0x8000" ~ "0xFFFF"に割り当てる 11: コード領域"0x1000" ~ "0x7FFF"を データ領域"0x9000" ~ "0xFFFF"に割り当てる

注 1) Reserved: 設定しないでください。

注 2) フラッシュメモリー制御レジスター1は、FLSCR1 レジスターとシフトレジスターとのダブルバッファ構造となっています。FLSCR1 レジスターの設定は、FLSCR2 レジスターに"0xD5"を書き込むことによってシフトレジスターに格納され、有効となります。よって FLSCR2 レジスターに"0xD5"を書き込むまでは、設定値は有効なりません。シフトレジスターの値は、FLSCRM レジスターをリードすると確認することができます。

注 3) <FLSMD>は、"010"、"101"以外設定しないでください。

フラッシュメモリー制御レジスター2

FLSCR2		7	6	5	4	3	2	1	0
(0x0FD1)	Bit Symbol	CR1EN							
	Read/Write	W							
	リセット後	*	*	*	*	*	*	*	*

CR1EN	FLSCR1 レジスターの 許可/禁止制御	0xD5: FLSCR1 の変更を有効にする その他: Reserved
-------	--------------------------	---

フラッシュメモリー制御レジスター1 モニター

FLSCRM		7	6	5	4	3	2	1	0
(0x0FD1)	Bit Symbol	-	-	FLSMDM	BAREAM	FAREAM		ROMSELM	
	Read/Write	R	R	R	R	R		R	
	リセット後	0	0	0	0	0	0	0	0

FLSMDM	FLSCR1<FLSMD>の状態モニター	0:	FLSCR1<FLSMD> = 101 の設定が無効
		1:	FLSCR1<FLSMD> = 101 の設定が有効
BAREAM	FLSCR1<BAREA>の状態モニター	現在有効となっている FLSCR1<BAREA>の値	
FAREAM	FLSCR1<FAREA>の状態モニター	現在有効となっている FLSCR1<FAREA>の値	
ROMSELM	FLSCR1<ROMSEL>の状態モニター	現在有効となっている FLSCR1<ROMSEL>の値	

注 1) FLSCRM はフラッシュメモリー制御レジスター1 のシフトレジスターの値を確認するレジスターです。

注 2) <FLSMDM>は、<FLSMD> = 101 が有効になったときのみ"1"となります。

注 3) FLSCRM に対して読み出し命令を実行するとビット 7、6 は"0"が読みだされます。

注 4) シリアル PROM モードのとき<BAREAM>は常に"1"が読みだされます。

フラッシュメモリースタンバイリセット制御レジスター

FLSSTB		7	6	5	4	3	2	1	0
(0x0FD2)	Bit Symbol	-	-	-	-	-	-	-	FSTB
	Read/Write	R	R	R	R	R	R	R	W
	リセット後	0	0	0	0	0	0	0	0

FSTB	フラッシュメモリースタンバイリセット制御	0:	フラッシュメモリースタンバイリセットを行わない
		1:	フラッシュメモリースタンバイリセットを行う

注 1) <FSTB>は RAM 上に配置されたプログラムからのみ変更可能です。フラッシュメモリー上に配置されたプログラムから変更しても設定値は反映されません。

注 2) <FSTB>が"1"のときはフラッシュメモリーに対してフェッチおよび読み出し/書き込み命令を実行しないでください。もし実行した場合、フラッシュメモリースタンバイリセットが発生します。

注 3) FLSSTB に対して読み出し命令を実行すると、ビット 7~0 は"0"が読み込まれます。

21.2. 機能

21.2.1. フラッシュメモリーのコマンドシーケンス、トグル制御 (FLSCR1<FLSMD>)

プログラムエラーやTMP89FS60B/62B/63Bの誤動作によるフラッシュメモリーの誤書き込みを防止するために、制御レジスタによって、フラッシュメモリーへのコマンドシーケンスの実行およびトグルの動作を禁止することができます(ライトプロテクト)。

コマンドシーケンスの実行およびトグルの動作を許可するときは、FLSCR1<FLSMD>を"101"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定します。コマンドシーケンスの実行を禁止するときは、FLSCR1<FLSMD>を"010"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定します。コマンドシーケンスの実行およびトグルの動作が禁止された状態でコマンドシーケンスまたはトグル動作を実行した場合、処理は無効となります。

リセット後、FLSCR1<FLSMD>は"010"に初期化され、コマンドシーケンスの実行は禁止の状態となります。通常はフラッシュメモリーの書き込み/消去を行うときを除き、FLSCR1<FLSMD>を"010"に設定します。

注) FLSCR1<FLSMD>を禁止に設定した場合、以降のコマンドの受け付け(書き込み命令)が無効となるだけで、実行中または実行途中のコマンドシーケンスは初期化されません。従ってFLSCR1<FLSMD>を禁止に設定する場合は、全てのコマンドシーケンスを完結させてフラッシュメモリーがリードできることを確認してから行ってください。

21.2.2. フラッシュメモリーの領域切り替え (FLSCR1<FAREA>)

フラッシュメモリーの消去や書き込みを行うためには、フラッシュメモリーに対してメモリー転送命令(コマンドシーケンス)を実行する必要があります。ただしメモリー転送命令によるR/Wは基本的にデータ領域に対してしか実行できません。従ってコード領域に対する消去や書き込みは、コード領域の一部を一時的にデータ領域に切り替えることで行います。これらの切り替えはFLSCR1<FAREA>によって行います。

注) FLSCR1<FAREA>を設定するプログラムはRAM上で実行してください。

FLSCR1<FAREA>を"01"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定すると、データ領域の"0x1000"～"0x7FFF" (AREA D0)はデータ領域の"0x9000"～"0xFFFF" (AREA D1)にマッピングされます。

FLSCR1<FAREA>を"10"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定すると、コード領域の"0x8000"～"0xFFFF" (AREA C1)はデータ領域の"0x8000"～"0xFFFF" (AREA D1)にマッピングされます。

FLSCR1<FAREA>を"11"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定すると、コード領域の"0x1000"～"0x7FFF" (AREA C0)はデータ領域の"0x9000"～"0xFFFF" (AREA D1)にマッピングされます。

例えばコード領域の"0x4000"をアクセスしたい場合は、FLSCR1<FAREA>を"11"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定し、その後"0xC000"に対してメモリー転送命令を実行してください。

フラッシュメモリーを初期マッピングに戻すには、FLSCR1<FAREA>を"00"に設定した後FLSCR2<CR1EN>に"0xD5"を設定してください。

上記の設定により、データ領域の"0x8000"～"0xFFFF" (AREA D1)にメモリー転送命令を実行するだけで全てのフラッシュメモリーをアクセスすることができます。

なお、データ領域の"0x1000"～"0xFFFF" (AREA D1)とコード領域の"0x1000"～"0xFFFF" (AREA C1)はミラー領域となり、物理的なメモリーの参照先は同じになります。従って消去、書き込みを実行する場合は、どちらか一方の領域に対してだけ処理を実行するようにしてください。例えば FLSCR1<FAREA> = 00 の設定でデータ領域の"0x8000"に書き込みを行った後、FLSCR1<FAREA> = 10 の設定でデータ領域の"0x8000"に書き込みを行うとデータは上書きされます。すでにデータが書き込まれたフラッシュメモリーに対し、再度データを書き込む場合は、Sector Erase または Chip Erase によって、必ずそのフラッシュメモリーのデータを消去した後に、書き込みを実行してください。

また、メモリーが割り当てられていない領域に対して命令によるアクセス、ジャンプやコールによる指定を行わないでください。

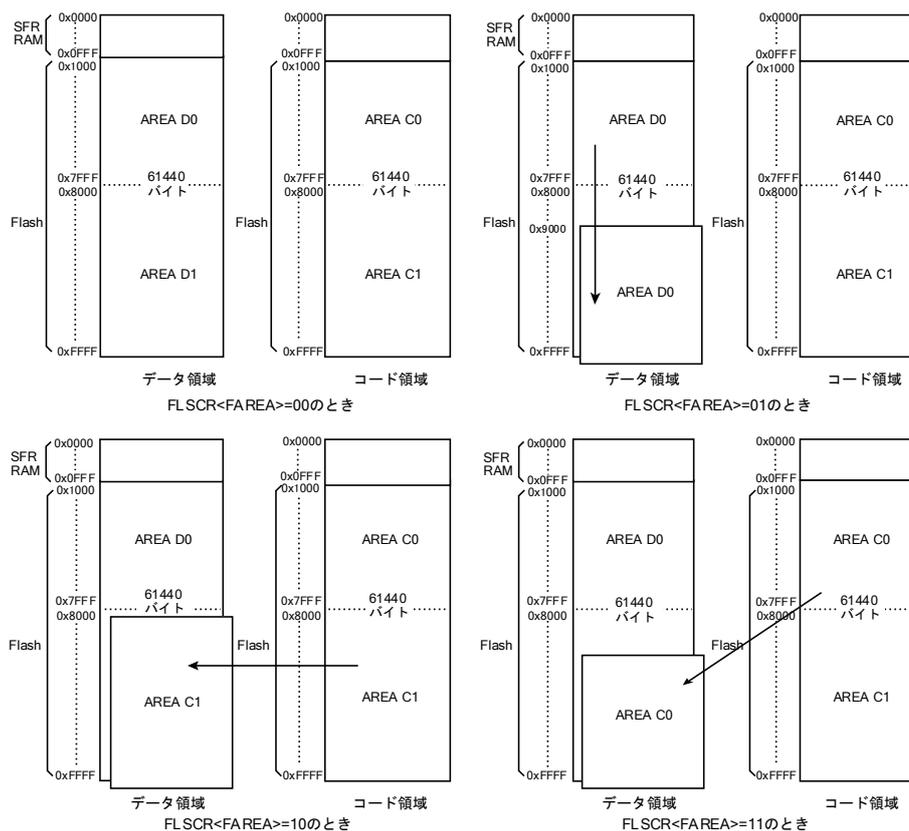


図 21-1 FLSCR1<FAREA>による領域切り替え

21.2.3. RAM の領域切り替え (SYSCR3<RAREA>)

MCUモードのとき、SYSCR3<RAREA>を"1"に設定した後、SYSCR4<SYSCR4>に"0xD4"を設定するとコード領域に RAM がマッピングされます。RAM 領域を初期マッピングに戻すには SYSCR3<RAREA>を"0"に設定した後、SYSCR4に"0xD4"を設定してください。

なお、シリアル PROM モードのときは SYSCR3<RAREA>の内容に関わらず、コード領域に RAM がマッピングされます。

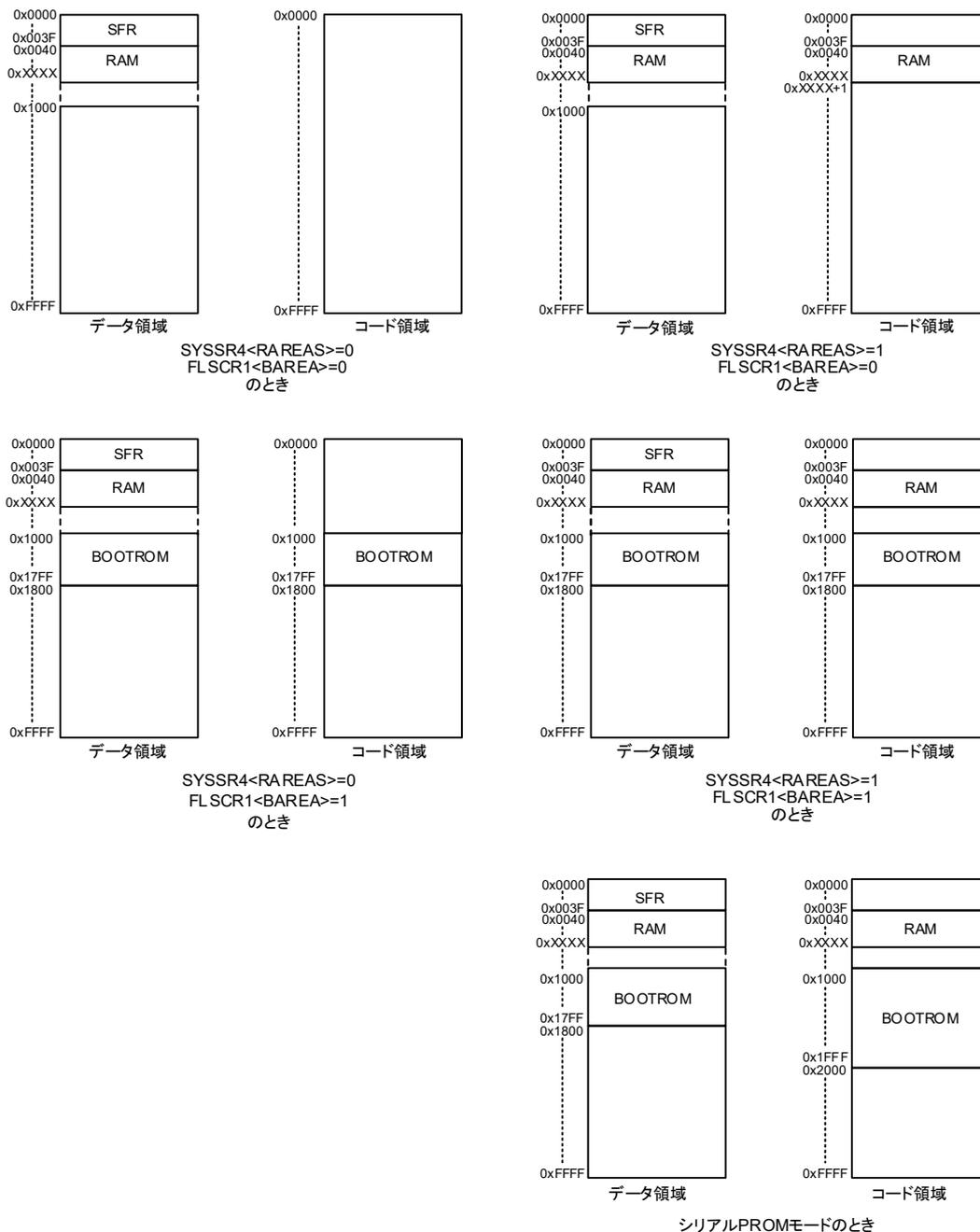
21.2.4. BOOTROM の領域切り替え (FLSCR1<BAREA>)

MCU モードのとき、FLSCR1<BAREA>を"1"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定するとコード領域、データ領域の"0x1000"~"0x17FF"はフラッシュメモリーがマスクされ、2Kバイト(4KBのうちの前半部分)の BOOTROM がマッピングされます。BOOTROM をマッピングしない場合は、FLSCR1<BAREA>を"0"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定してください。

基本的に BOOTROM は、シリアル PROM モードでフラッシュメモリーをプログラミングするプログラムコードが格納されていますが、BOOTROM 領域の一部にはフラッシュメモリーを容易に消去、書き込みするためのサポートプログラム(API)が含まれています。よって BOOTROM がマッピングされた後、サポートプログラムのサブルーチンをコールすることによって容易にフラッシュメモリーを消去、書き込み、読み出しすることができます。

シリアル PROM モードのときは FLSCR1<BAREA>の内容に関わらず、データ領域の"0x1000"~"0x17FF"、コード領域の"0x1000"~"0x1FFF"は BOOTROM がマッピングされます。<BAREA>の内容は常に"1"となり、データを書き込んでも<BAREA>の設定値は変更されません。また<BAREA>をリードすると必ず"1"が読みだされます。

注) FLSCR1<BAREA>を切り替えるプログラムは、コード領域の"0x1000"~"0x1FFF"に配置しないでください。もし配置した場合、ソフトウェアが正しく処理されず TMP89FS60B/62B/63B が誤動作する場合があります。



注) 0xXXXX は RAM の最終アドレスを示します。

図 21-2 BOOTROMおよびRAMの表示/非表示切り替え

21.2.5. フラッシュメモリースタンバイリセット制御

フラッシュメモリーにスタンバイ機能がある TMP89FS60 のソフトウェアを TMP89FS60B/62B/63B に流用するときには使用します。

詳細については、レジスターの説明(FLSSTB<FSTB>)を参照してください。

21.3. コマンドシーケンス

MCU モードおよびシリアル PROM モードのコマンドシーケンスは下記のコマンドシーケンスから構成されます(JEDEC 互換)。表 21-1 にコマンドシーケンスの詳細を示します。

表 21-1 コマンドシーケンス

	コマンド シーケンス	1st Bus Write Cycle		2nd Bus Write Cycle		3rd Bus Write Cycle		4th Bus Write Cycle		5th Bus Write Cycle		6th Bus Write Cycle	
		Address	Data	Address	Data	Address	Data	Address	Data	Address	Data	Address	Data
1	Byte Program	0x#555	0xAA	0x#AAA	0x55	0x#555	0xA0	BA (注 1)	Data (注 1)	-	-	-	-
2	Sector Erase (4K バイト単位の 部分消去)	0x#555	0xAA	0x#AAA	0x55	0x#555	0x80	0x#555	0xAA	0x#AAA	0x55	SA (注 2)	0x30
3	Chip Erase (全面消去)	0x#555	0xAA	0x#AAA	0x55	0x#555	0x80	0x#555	0xAA	0x#AAA	0x55	0x#555	0x10
4	Product ID Entry	0x#555	0xAA	0x#AAA	0x55	0x#555	0x90	-	-	-	-	-	-
5	Product ID Exit	0x#XXX	0xF0	-	-	-	-	-	-	-	-	-	-
6	Security Program	0x#555	0xAA	0x#AAA	0x55	0x#555	0xA5	0xFF7F	0x00	-	-	-	-

注 1) 書き込みを行うアドレスとデータを設定してください(BA については表 21-2 を参照してください)

注 2) アドレスの上位 4 ビットで消去範囲が選択されます。(SA については表 21-3 を参照してください)

注 3) コマンドシーケンスの途中、またはコマンドシーケンスの処理を実行中(書き込みや消去、ID Entry)は、STOP、IDLE0/1/2、SLEEP0/1 モードを起動しないでください。

注 4) #: アドレスの上位 4 ビットとして"0x1" ~ "0xF"を指定してください。ただし FLSCRM<BAREAM>が"1"のときは、"0x2"以上を指定してください。通常は"0xF"を指定することを推奨します。

注 5) XXX: Don't care

21.3.1. Byte Program

1 バイト単位でフラッシュメモリーの書き込みを行います。4th Bus Write Cycle で書き込みを行うアドレスとデータを指定します。アドレスの指定範囲については、表 21-2 を参照してください。例えばデータ領域の"0x1000"に書き込む場合は、FLSCR1<FAREA>を"01"に設定し、FLSCR2<CR1EN>に"0xD5"を設定した後、4th Bus Write Cycle として"0x9000"のアドレスを指定します。1 バイトあたりの書き込み時間は最大3 [ms]です。書き込みが終了するまでは、他のコマンドシーケンスを実行することができません。書き込み終了を確認するには、フラッシュメモリーの同一アドレスに対し読み出し命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。書き込み中はリードする度にビット6が反転します。

注 1) すでにデータ("0xFF"を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、Sector Erase または Chip Erase によって、必ずそのアドレスのデータを消去した後に書き込みを実行してください。

注 2) データ領域とコード領域はミラー領域となり、物理的なメモリーの参照先は同じになりますので、Byte Program を実行する場合はどちらか一方の領域に対してだけ処理を実行するようにしてください。

注 3) 表 21-2 で示す領域以外に対して Byte Program を実行しないでください。

表 21-2 アドレスの指定範囲 (BA)

書き込み領域		FLSCR1 <FAREA>	命令による アドレス指定
AREA D0 (データ領域)	0x1000 ~ 0x7FFF	01	0x9000 ~ 0xFFFF
AREA D1 (データ領域)	0x8000 ~ 0xFFFF	00	0x8000 ~ 0xFFFF
AREA C0 (コード領域)	0x1000 ~ 0x7FFF	11	0x9000 ~ 0xFFFF
AREA C1 (コード領域)	0x8000 ~ 0xFFFF	10	0x8000 ~ 0xFFFF

21.3.2. Sector Erase (4K バイト単位の部分消去)

4K バイト単位でフラッシュメモリの消去を行います。消去範囲は、6th Bus Write Cycle アドレスの上位4ビットで指定します。アドレスの指定範囲については表 21-3 を参照してください。例えばコード領域の"0x1000" ~ "0x1FFF"の 4K バイトを消去する場合は、FLSCR1<FAREA>を"11"に設定し、FLSCR2<CR1EN>に"0xD5"を設定した後、6th Bus Write Cycle として"0x9000" ~ "0x9FFF"のいずれかのアドレスを指定します。

4K バイトあたりの消去時間は、最大 8 [ms]です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対し読み出し命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

なお、消去された領域のデータは"0xFF"となります。

注 1) データ領域とコード領域はミラー領域となり、物理的なメモリの参照先は同じになりますので、Sector Erase を実行する場合はどちらか一方の領域に対してだけ処理を実行するようにしてください。

注 2) 表 21-3 で示す領域以外に対して Sector Erase を実行しないでください。

表 21-3 アドレスの指定範囲 (SA)

消去領域		FLSCR1<FAREA>	命令による アドレス指定
AREA D0 (データ 領域)	0x1000 ~ 0x1FFF	01	0x9000 ~ 0x9FFF
	0x2000 ~ 0x2FFF		0xA000 ~ 0xAFFF
	0x3000 ~ 0x3FFF		0xB000 ~ 0xBFFF
	0x4000 ~ 0x4FFF		0xC000 ~ 0xCFFF
	0x5000 ~ 0x5FFF		0xD000 ~ 0xDFFF
	0x6000 ~ 0x6FFF		0xE000 ~ 0xEFFF
	0x7000 ~ 0x7FFF		0xF000 ~ 0xFFFF
AREA D1 (データ 領域)	0x8000 ~ 0x8FFF	00	0x8000 ~ 0x8FFF
	0x9000 ~ 0x9FFF		0x9000 ~ 0x9FFF
	0xA000 ~ 0xAFFF		0xA000 ~ 0xAFFF
	0xB000 ~ 0xBFFF		0xB000 ~ 0xBFFF
	0xC000 ~ 0xCFFF		0xC000 ~ 0xCFFF
	0xD000 ~ 0xDFFF		0xD000 ~ 0xDFFF
	0xE000 ~ 0xEFFF		0xE000 ~ 0xEFFF
AREA C0 (コード 領域)	0x1000 ~ 0x1FFF	11	0x9000 ~ 0x9FFF
	0x2000 ~ 0x2FFF		0xA000 ~ 0xAFFF
	0x3000 ~ 0x3FFF		0xB000 ~ 0xBFFF
	0x4000 ~ 0x4FFF		0xC000 ~ 0xCFFF
	0x5000 ~ 0x5FFF		0xD000 ~ 0xDFFF
	0x6000 ~ 0x6FFF		0xE000 ~ 0xEFFF
	0x7000 ~ 0x7FFF		0xF000 ~ 0xFFFF
AREA C1 (コード 領域)	0x8000 ~ 0x8FFF	10	0x8000 ~ 0x8FFF
	0x9000 ~ 0x9FFF		0x9000 ~ 0x9FFF
	0xA000 ~ 0xAFFF		0xA000 ~ 0xAFFF
	0xB000 ~ 0xBFFF		0xB000 ~ 0xBFFF
	0xC000 ~ 0xCFFF		0xC000 ~ 0xCFFF
	0xD000 ~ 0xDFFF		0xD000 ~ 0xDFFF
	0xE000 ~ 0xEFFF		0xE000 ~ 0xEFFF
0xF000 ~ 0xFFFF	0xF000 ~ 0xFFFF		

21.3.3. Chip Erase (全面消去)

フラッシュメモリーの全領域を消去します。

全領域の消去時間は、最大 136 [ms]です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリーの同一アドレスに対し読み出し命令を2回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

なお、消去された領域のデータは"0xFF"となります。

21.3.4. Product ID Entry

Product ID Entry を実行すると Product ID モードが起動します。Product ID モード中、フラッシュメモリーに対して読み出し命令を実行するとベンダーID、フラッシュ ID、セキュリティーステータスを読み出すことができます。

表 21-4 Product IDモード時のリード値

アドレス	意味	読み出される値
0xF000	ベンダーID	0x98
0xF001	フラッシュ ID	0x4D
0xFF7F	セキュリティーステータス	0xFF: Security Program 解除状態 0xFF 以外: Security Program 設定状態

21.3.5. Product ID Exit

Product ID モードを終了します。

21.3.6. Security Program

フラッシュメモリーに対してリードプロテクトおよびライトプロテクトを設定します。シリアル PROM モードで、フラッシュメモリー書き込みコマンドが実行できなくなります。

Security Program の設定を解除するには、Chip Erase を実行する必要があります。Security Program が設定されているかどうかを確認するには、Product ID モードで"0xFF7F"をリードします。詳細は表 21-4 を参照してください。Security Program の設定時間は最大 3 [ms]です。Security Program の設定が終了するまでは、他のコマンドシーケンスを実行することができません。Security Program の設定終了を確認するには、フラッシュメモリーの同一アドレスに対し読み出し命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。Security Program の設定中はリードする度にビット 6 が反転します。

21.4. トグルビット (D6)

Byte Program と Sector Erase、Chip Erase、Security Program のコマンドシーケンスを実行すると、これらの処理が完了するまでの間、リードオペレーションによって読み出されるデータの 6 ビット目(D6)の値は、リードする度に値が反転します。これを利用すると各処理の終了をソフト的に確認することができます。通常はフラッシュメモリの同一アドレスに対し読み出し命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。

なお、フラッシュメモリの書き込み、Chip Erase、Security Program のコマンドシーケンスを実行した後、最初のリードオペレーションでリードされたトグルビットは必ず"1"になります。

注 1) FLSCR1<FLSMD>が禁止に設定されている場合、トグルビットは反転しません。

注 2) 16 ビット転送命令を使用してトグルビットをリードしないでください。16 ビット転送命令でトグルビットのリードを行った場合、トグルビットは正しく動作しません。

21.5. フラッシュメモリー領域へのアクセス

フラッシュメモリの書き込み/消去/セキュリティーを設定するときは、フラッシュメモリの全ての領域に対してリード、プログラムフェッチを実行することができません。従って、フラッシュメモリー領域に対してこれらの操作を行うときは、フラッシュメモリのプログラムで直接フラッシュメモリーをアクセスすることはできず、BOOTROM 領域または RAM 領域上のプログラムによってフラッシュメモリーをアクセスする必要があります。

フラッシュメモリー領域の書き込み、読み出しは 1 バイト単位、消去は全領域または 4K バイト単位で実行可能です。読み出しについては 1 つのメモリー転送命令で実行可能ですが、書き込み/消去については、コマンドシーケンス方式を使用していますので、数個のメモリー転送命令を実行する必要があります。コマンドシーケンスについては表 21-1 を参照してください。

注 1) フラッシュメモリーを消去、書き込みした後、内容が書き替わったフラッシュメモリー領域にプログラムの制御を戻す場合、プログラムが正しく書き込まれたかどうかを確認してからジャンプ(またはリターン)することを推奨します。

注 2) フラッシュメモリーの書き込み/消去/セキュリティーのコマンド実行中は MCU をリセットしないでください(内部要因リセットも含む)。もしリセットが発生した場合、フラッシュメモリー上のデータが予期しない値に書き変わる場合があります。

21.5.1. シリアル PROM モードのフラッシュメモリー制御

シリアル PROM モードは、BOOTROM 上にあらかじめ用意された制御プログラムによってフラッシュメモリーをアクセスするモードです。フラッシュメモリーのアクセスに関するほとんどの動作は、シリアルインターフェース(UART)の通信データによって容易に制御可能ですので、ユーザーはフラッシュ制御レジスターの操作をする必要はありません。シリアル PROM モードの詳細については「22. シリアル PROM モード」の章を参照してください。

21.5.2. MCU モードのフラッシュメモリー制御

MCUモードの場合、RAM上で制御プログラムを実行するか、BOOTROM内に用意されたサポートプログラム(API)を使用することによってフラッシュメモリーの書き込みを行うことができます。

21.5.2.1. RAM 領域に制御プログラムを転送して書き込む例

以下に MCU モードで RAM 上の制御プログラムを実行する方法(例)を示します。RAM 上で実行する制御プログラムは、あらかじめフラッシュメモリー内にコピーを用意しておくか、通信端子などを利用して外部から取り込む必要があります(以下の方法は、フラッシュメモリー内にあらかじめプログラムのコピーを用意した場合の例です)。

以下の手順のうち1~5、11の処理はフラッシュメモリー上のプログラムによる制御、それ以外の処理はRAMに転送されたプログラムによる制御となります。なお、以下の手順は後述のプログラム例とリンクしています。

- (1) 割り込みマスター許可フラグを禁止(DI)にします (<IMF> ← 0)。
- (2) 書き込み制御プログラムを RAM に転送します。
- (3) ノンマスクブル割り込みベクターを RAM 領域内に設定します。
- (4) SYSCR3<RAREA>に"1"、SYSCR3<RVCTR>に"1"を設定した後、SYSCR4 に"0xD4"を設定し、RAM をコード領域に割り当てるとともにベクター領域を RAM に切り替えます。
- (5) CALL 命令により RAM 上の消去処理プログラムを呼び出します。
- (6) FLSCR1<FLSMD>を"101"に設定するとともに FLSCR1<FAREA>で消去する領域を指定します。(必要に応じて FLSCR1<ROMSEL>も設定します)。その後 FLSCR2<CR1EN>に"0xD5"を設定します。
- (7) 消去コマンドシーケンスを実行します。
- (8) フラッシュメモリーの同一アドレスに対して 2 回連続で読み出し命令を実行します。(読み出した値が同一になるまで(8)を繰り返します)
- (9) FLSCR1<FLSMD>を"010"、FLSCR1<FAREA>を"00"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定します。(コマンドシーケンスの実行を禁止するとともに FAREA を初期マッピングに戻します)。
- (10) RET 命令によりフラッシュに戻ります。
- (11) CALL 命令により RAM 上の書き込みプログラムを呼び出します。
- (12) FLSCR1<FLSMD>を"101"に設定するとともに FLSCR1<FAREA>で書き込みを行う領域(上記(7)で消去した領域)を指定します。(必要に応じて FLSCR1<ROMSEL>も設定します)。その後、FLSCR2<CR1EN>に"0xD5"を設定します。
- (13) 書き込みコマンドシーケンスを実行します。
- (14) フラッシュメモリーの同一アドレスに対して 2 回連続で読み出し命令を実行します。(読み出した値が同一になるまでこの作業を繰り返します)
- (15) FLSCR1<FLSMD>を"010"、FLSCR1<FAREA>を"00"に設定した後、FLSCR2<CR1EN>に"0xD5"を設定します。(コマンドシーケンスの実行を禁止するとともに<FAREA>を初期マッピングに戻します)。
- (16) RET 命令によりフラッシュに戻ります。

(17) SYSCR3<RAREA>に"0"、SYSCR3<RVCTR>に"0"を設定した後、SYSCR4に"0xD4"を設定し、RAMのコード領域の割り当てを解除するとともにベクター領域をフラッシュに切り替えます。

- 注 1) MCU モードで RAM 領域からフラッシュメモリーに書き込みを行うときは、事前に SYSCR3<RVCTR>によってベクター領域を RAM に切り替えてください。また、このときノンマスカブル割り込みに相当するベクターアドレス (INTUNDEF、INTSWI = 0x01F8 ~ 0x01F9、INTWDT = 0x01FC ~ 0x01FD) にデータを設定し、割り込みサービスルーチン (RAM 領域) を定義してください。これらの処理により書き込み中の予期しないノンマスカブル割り込みによるエラーをトラップすることができます。SYSCR3<RVCTR>がフラッシュ領域に設定されていると、書き込み中に予期しない割り込みが発生した場合、フラッシュメモリーのベクター領域が正しくリードできず誤動作する場合があります。
- 注 2) MCU モードで任意の割り込みを使用する場合は、その割り込みに相当するベクターアドレスおよび割り込みサービスルーチンを RAM 領域内に設定してください。またこの場合、ノンマスカブル割り込みは注 1 のように設定してください。
- 注 3) フラッシュメモリーから RAM 領域にジャンプする前に、SYSCR3<RAREA>によって RAM をコード領域に割り当ててください(上記 4 の処理)。

プログラム例: RAMにプログラムを転送し、コード領域の"0xE000"~"0xFFFF"の Sector Erase を実行した後、"0xE500"に"0x3F"のデータを書き込む。消去中、書き込み中にノンマスカブル割り込み(INTSWI、INTUNDEF、INTWDT)が発生した場合は、システムクロックリセットを発生させる

```

        cRAMStartAdd equ 0x0200          ; RAM のスタートアドレス
main section code abs = 0xF000
        DI                          ; 割り込み禁止 (前記手順 1)
; ##### RAM にプログラムを転送する処理 ##### (前記手順 2)
        LD        HL, cRAMStartAdd
        LD        IX, sRAMprogStart
sRAMLOOP: LD        A, (IX)              ; sRAMprogStart から sRAMprogEnd までのプログラムを
        LD        (HL), A              ; cRAMStartAdd に転送する
        INC       HL
        INC       IX
        CMP       IX, sRAMprogEnd
        J         NZ, sRAMLOOP
; ##### ノンマスカブル割り込みベクターを RAM 領域内に設定 ##### (前記手順 3)
        LD        HL, 0x01FC          ; INTUNDEF、INTSWI 割り込みベクターの設定
        LDW       (HL), sINTSWI - sRAMprogStart + cRAMStartAdd
        LD        HL, 0x01F8          ; INTWDT 割り込みベクターの設定
        LDW       (HL), sINTWDT - sRAMprogStart + cRAMStartAdd
; ##### RAM をコード領域に割り当て、ベクター領域を RAM に切り替え ##### (前記手順 4)
        LD        (SYSCR3), 0x06      ; <RAREA> = 1、<RVCTR> = 1 を設定
        LD        (SYSCR4), 0xD4      ; 有効コード書き込み
; ##### Sector Erase、書き込み処理 #####
        LD        HL, 0xF555          ; コマンドシーケンス用変数
        LD        DE, 0xFAAA          ; コマンドシーケンス用変数
; 消去処理 (前記手順 5)
        LD        C, 0x00             ; アドレス上位の設定
        LD        IX, 0xE000          ; アドレス中位、下位の設定
        CALL      sSectorErase - sRAMprogStart + cRAMStartAdd
                                          ; Sector Erase 処理 (0xE000)
; 書き込み処理 (前記手順 11)
        LD        C, 0x00             ; アドレス上位の設定
        LD        IX, 0xE500          ; アドレス中位、下位の設定
        LD        B, 0x3F             ; 書き込みデータの設定
        CALL      sByteProgram - sRAMprogStart + cRAMStartAdd
                                          ; 書き込み処理 (0xE500)
; ##### RAM のコード領域割り当てを解除、ベクター領域をフラッシュメモリーに切り替え ##### (前記手順 17)
        LD        (SYSCR3), 0x00      ; <RAREA> = 0、<RVCTR> = 0 を設定
        LD        (SYSCR4), 0xD4      ; 有効コード書き込み
; ##### 次のメインプログラム処理 #####
        :                               ; メインプログラム処理
        J         XXXXX
; ##### RAM で実行するプログラム #####
sRAMprogStart: NOP                      ; フェールセーフ処理
        NOP
        NOP
        NOP
        NOP
        LD        (SYSCR2), 0x10      ; システムクロックリセットを発生
sSectorErase: CALL      sAddConv - sRAMprogStart + cRAMStartAdd
                                          ; アドレス変換

```

```

; Sector Erase 処理 (前記手順 7)
LD      (HL), E      ; 1st Bus Write Cycle (注 1)
LD      (DE), L      ; 2nd Bus Write Cycle (注 1)
LD      (HL), 0x80   ; 3rd Bus Write Cycle (注 1)
LD      (HL), E      ; 4th Bus Write Cycle (注 1)
LD      (DE), L      ; 5th Bus Write Cycle (注 1)
LD      (IX), 0x30   ; 6th Bus Write Cycle (注 1)
J       sRAMopEnd

; 書き込み処理 (前記手順 13)
sByteProgram: CALL    sAddConv - sRAMprogStart + cRAMStartAdd
                                ; アドレス変換
LD      (HL), E      ; 1st Bus Write Cycle (注 1)
LD      (DE), L      ; 2nd Bus Write Cycle (注 1)
LD      (HL), 0xA0   ; 3rd Bus Write Cycle (注 1)
LD      (IX), B      ; 4th Bus Write Cycle (注 1)

; 終了処理
sRAMopEnd:  NOP          ; (注 2)
           NOP          ; (注 2)
           NOP          ; (注 2)
sLOOP1:   LD      A, (IX) ; (前記手順 8、14)
           CMP     A, (IX)
           J       NZ, sLOOP1 ; 同一の値が読み出されるまでループする
           LD      (FLSCR1), 0x40 ; コマンドシーケンスの実行を禁止 (前記手順 9、15)
           LD      (FLSCR2), 0xD5 ; 有効コード書き込み
           RET      ; フラッシュメモリーに戻る

; アドレス変換処理 (前記手順 6、12)
sAddConv:  LD      WA, IX
           SWAP    C
           AND     C, 0x10
           SWAP    W
           AND     C, 0x08
           OR      C, W
           XOR     C, 0x08
           SHRC   C
           OR      C, 0xA0
           LD      (FLSCR1), C ; コマンドシーケンスの実行を許可。<FAREA>を設定
           LD      (FLSCR2), 0xD5 ; 有効コード書き込み
           LD      WA, IX
           TEST   C, 3
           J       Z, sAddConvEnd
           OR     W, 0x80
           LD     IX, WA
sAddConvEnd: RET

; 割り込みサービスルーチン
sINTWDT:
sINTSWI:  LD      IX, 0xF000
           LD      A, (IX)
           CMP     A, (IX)
           J       NZ, sINTWDT ; 同一の値が読み出されるまでループする
                                ; (消去または書き込みが終了するのを待つ)
           LD      (SYSCR2), 0x10 ; システムクロックリセットを発生させて
                                ; TMP89FS60B/62B/63B を再起動する
           RETN

sRAMprogEnd: NOP

```

注 1) n th Bus Write Cycle で使用する書き込み命令は、3 マシンサイクル以上の命令を使用するか、命令間隔が 3 マシンサイクル以上となるように命令を配置してください。16 ビット転送命令を使用したり、2 マシンサイクルの間隔で書き込み命令を実行すると、フラッシュのコマンドシーケンスが正しく送信されず誤動作する場合があります。

注 2) n th Bus Write Cycle の書き込み命令後にフラッシュのリード(トグル動作)を行う場合は、最後の n th Bus Write Cycle から命令間隔が 3 マシンサイクル以上となるように命令を配置してください。通常は NOP を 3 つ配置します。命令間隔が短い場合、期待するアドレスのデータ(のトグルビット)は正しく反転しません。

21.5.2.2. BOOTROM のサポートプログラム (API)を利用してフラッシュに書き込む例

以下に MCU モードで BOOTROM のサポートプログラム(API)を利用してフラッシュメモリの消去、書き込みなどを実行する方法(例)を示します。API の詳細については、「21.6. API (Application Programming Interface)」を参照してください。

以下の手順 1～15 の処理は全てフラッシュメモリ上のプログラムによる処理となります。

- (1) ノンマスカブル割り込みのサブルーチンプログラム(INTSWI、INTWDT)を RAM に転送します。
- (2) ノンマスカブル割り込みベクターを RAM 領域内に設定します。
- (3) SYSCR3<RAREA>に"1"、SYSCR3<RVCTR>に"1"を設定した後、SYSCR4 に"0xD4"を設定し、RAM をコード領域に割り当てるとともにベクター領域を RAM に切り替えます。
- (4) FLSCR1<BAREA>を"1"に設定し、FLSCR2<CR1EN>に"0xD5"を設定します。
- (5) A レジスターに消去するセクターのアドレスの範囲を設定します。例えば"0xE000"～"0xEFFF"を消去する場合は"0x0E"を、"0x1F000"～"0x1FFFF"を消去する場合は"0x1F"を設定します。
- (6) C レジスターに有効コードとして"0xD5"を設定します。
- (7) "0x1012"を CALL します。(Sector Erase が実行されます。書き込みを行うアドレスがすでに消去されている場合は 2～4 の処理は不要です)
- (8) C レジスターに"0x00"を設定します。
- (9) WA レジスターに書き込み対象のアドレス A[15:0]を設定します。
- (10) E レジスターに書き込みデータを設定します。
- (11) (SP-)に有効コードとして"0xD5"を設定します。
- (12) "0x1010"を CALL します。(Byte Program が実行されます)
- (13) 他のアドレスに続けて書き込みを行う場合は(8)に戻ります。
- (14) FLSCR1<BAREA>を"0"、FLSCR2<CR1EN>に"0xD5"を設定します。
- (15) SYSCR3<RAREA>に"0"、SYSCR3<RVCTR>に"0"を設定した後、SYSCR4 に"0xD4"を設定します。

プログラム例: データ領域の"0xE000"~"0xEFFF"に Sector Erase を実行した後、RAM の"0x0100"~"0x01FF"の内容をデータ領域の"0xE000"~"0xE0FF"に書き込む。消去中、書き込み中にノンマスカブル割り込み(INTSWI、INTUNDEF、INTWDT)が発生した場合は、システムクロックリセットを発生させる。

```

        .BTWrite      equ 0x1010          ; フラッシュの書き込み
        .BTEraseSec   equ 0x1012          ; Sector Erase
        .BTEraseChip  equ 0x1014          ; Chip Erase
        .BTGetRP      equ 0x1016          ; Security Program の状態を確認
        .BTSetRP      equ 0x1018          ; Security Program の設定

        cRAMStartAdd equ 0x0200          ; RAM のスタートアドレス
main section code abs = 0xF000
;#### RAM にプログラムを転送する処理 ####
        LD          HL, cRAMStartAdd
        LD          IX, sRAMprogStart
sRAMLOOP: LD          A, (IX)              ; sRAMprogStart から sRAMprogEnd までのプログラムを
        LD          (HL), A              ; cRAMStartAdd に転送する
        INC         HL
        INC         IX
        CMP         IX, sRAMprogEnd
        J          NZ, sRAMLOOP
;#### ノンマスカブル割り込みベクターを RAM 領域内に設定 ####
        LD          HL,0x01FC            ; INTUNDEF、INTSWI 割り込みベクターの設定
        LDW         (HL),sINTSWI - sRAMprogStart + cRAMStartAdd
        LD          HL,0x01F8            ; INTWDT 割り込みベクターの設定
        LDW         (HL),sINTWDT - sRAMprogStart + cRAMStartAdd
;#### RAM をコード領域に割り当て、ベクター領域を RAM に切り替え ####
        LD          (SYSCR3),0x06        ; <RAREA> = 1、<RVCTR> = 1 を設定
        LD          (SYSCR4),0xD4        ; 有効コード書き込み
;#### BOOTROM をデータ/コード領域に割り当て ####
        LD          (FLSCR1),0x50        ; <BAREA>を"1"に設定 (注 1)
        LD          (FLSCR2),0xD5        ; 有効コード書き込み
;#### Sector Erase 処理 (API) ####
        LD          A,0x0E                ; 消去領域の設定 (0xE000~0xEFFF)
        LD          C,0xD5                ; 有効コード
        CALL        (.BTEraseSec)         ; Sector Erase の実行
;#### 書き込み処理 ####
        LD          HL,0xE000            ; フラッシュの開始アドレス (書き込み対象のアドレス)
        LD          IY,0x0100            ; RAM の開始アドレス
sLOOP1:  LD          C,0x00                ; 書き込みアドレス (ビット 16)
        LD          WA,HL                ; 書き込みアドレス (ビット 15~0)
        LD          E,(IY)              ; 書き込みデータ
        LD          (SP-),0xD5           ; 有効コード
        CALL        (.BTWrite)           ; フラッシュの書き込み (1 バイト)
        INC         IY                  ; フラッシュアドレスのインクリメント
        INC         HL                  ; RAM アドレスのインクリメント
        CMP         L,0x00              ; 256 バイトの書き込み終了?
        J          NZ,sLOOP1            ; 256 バイト未満なら sLOOP1 に戻る

```

```

;#### 終了処理 ####
LD      (FLSCR1),0x40      ; <BAREA>を"0"に設定
LD      (FLSCR2),0xD5     ; 有効コード書き込み
LD      (SYSCR3),0x00     ; <RAREA> = 0、<RVCTR> = 0 を設定
LD      (SYSCR4),0xD4     ; 有効コード書き込み
      :                    ; メインプログラム処理
      J      XXXX
;#### RAM で実行するプログラム ####
sRAMprogStart
:
; 割り込みサービ斯拉ーチン
sINTWDT:
sINTSWI:  LD      IX,0xF000
          LD      A,(IX)
          CMP     A,(IX)
          J      NZ,sINTWDT      ; 同一の値が読み出されるまでループする
                                       ; (消去または書き込みが終了するのを待つ)
          LD      (SYSCR2),0x10  ; システムクロックリセットを発生させて
          RETN      ; TMP89FS60B/62B/63B を再起動する
sRAMprogEnd:  NOP

```

注 1) 上記のプログラムはフラッシュメモリーのコード領域"0x1000" ~ "0x17FF"に配置しないでください。同領域は、BAREA = 1 に設定するとフラッシュ領域から BOOTROM 領域に切り替わるため、プログラムを正しく継続することができず TMP89FS60B/62B/63B が誤動作する場合があります。

注 2) サポートプログラムには、割り込みマスター許可フラグ(<IMF>)を禁止にする命令(DI 命令)が含まれていますので、上記のプログラムに DI 命令を組み込む必要はありません。ただしサポートプログラムに EI 命令は含まれていませんので、割り込みを利用する場合は全ての処理が完了した後に<IMF>を許可に設定してください。

21.5.2.3. BOOTROM のサポートプログラム (API)を利用して Security Program を設定する例

- (1) ノンマスカブル割り込みのサブルーチンプログラム(INTSWI、INTWDT)を RAM に転送します。
- (2) ノンマスカブル割り込みベクターを RAM 領域内に設定します。
- (3) SYSCR3<RAREA>に"1"、SYSCR3<RVCTR>に"1"を設定した後、SYSCR4 に"0xD4"を設定し、RAM をコード領域に割り当てるとともにベクター領域を RAM に切り替えます。
- (4) FLSCR1<BAREA>を"1"に設定します。
- (5) A レジスターに有効コードとして"0xD5"を設定します。
- (6) C レジスターに"0x00"を設定します。
- (7) "0x1016"を CALL します。(Security Program の状態が戻り値として A レジスターに格納されます)
- (8) A レジスターの内容が"0xFF"以外だった場合は、すでに Security Program が設定されているため sSKIP(12)へジャンプします。
- (9) A レジスターに有効コードとして"0xD5"を設定します。
- (10) C レジスターに"0x00"を設定します。
- (11) "0x1018"を CALL します。(Security Program が実行されます)
- (12) FLSCR1<BAREA>を"0"、FLSCR2 に"0xD5"を設定します。
- (13) SYSCR3<RAREA>に"0"、SYSCR3<RVCTR>に"0"を設定した後、SYSCR4 に"0xD4"を設定します。

プログラム例: 現在 Security Program が設定されているか確認し、設定されていなければ Security Program を設定する。

```

.BTWrite      equ 0x1010      ; フラッシュの書き込み
.BTEraseSec   equ 0x1012      ; Sector Erase
.BTEraseChip  equ 0x1014      ; Chip Erase
.BTGetRP      equ 0x1016      ; Security Program の状態を確認
.BTSetRP      equ 0x1018      ; Security Program の設定

        cRAMStartAdd  equ 0x0200      ; RAM のスタートアドレス
main section code abs = 0xF000
; ##### RAM にプログラムを転送する処理 #####
        LD            HL, cRAMStartAdd
        LD            IX, sRAMprogStart
sRAMLOOP: LD            A, (IX)          ; sRAMprogStart から sRAMprogEnd までのプログラムを
        LD            (HL), A          ; cRAMStartAdd に転送する
        INC           HL
        INC           IX
        CMP           IX, sRAMprogEnd
        J            NZ, sRAMLOOP
; ##### ノンマスカブル割り込みベクターを RAM 領域内に設定 #####
        LD            HL, 0x01FC      ; INTUNDEF、INTSWI 割り込みベクターの設定
        LDW           (HL), sINTSWI - sRAMprogStart + cRAMStartAdd
        LD            HL, 0x01F8      ; INTWDT 割り込みベクターの設定
        LDW           (HL), sINTWDT - sRAMprogStart + cRAMStartAdd
; ##### RAM をコード領域に割り当て、ベクター領域を RAM に切り替え #####
        LD            (SYSCR3), 0x06   ; <RAREA> = 1、<RVCTR> = 1 を設定
        LD            (SYSCR4), 0xD4   ; 有効コード書き込み
; ##### BOOTROM をデータ/コード領域に割り当て #####
        LD            (FLSCR1), 0x50   ; <BAREA> を"1"に設定 (注 2)
        LD            (FLSCR2), 0xD5   ; 有効コード書き込み
; ##### Security Program の状態を確認 #####
        LD            A, 0xD5          ; 有効コード
        LD            C, 0x00          ; 0x00 設定 (注 1)
        CALL          (.BTGetRP)       ; Security Program の状態を確認
        CMP           A, 0xFF          ; 戻り値 A が 0xFF の場合、Security 解除状態
        J            NZ, sSKIP         ; Security Program が設定されている場合 sSKIP へ
; ##### Security Program の設定処理 (API) #####
        LD            A, 0xD5          ; 有効コード
        LD            C, 0x00          ; 0x00 設定 (注 1)
        CALL          (.BTSetRP)       ; Security Program の設定
sSKIP:   LD            (FLSCR1), 0x40   ; <BAREA> を"0"に設定
        LD            (FLSCR2), 0xD5   ; 有効コード書き込み
        LD            (SYSCR3), 0x00   ; <RAREA> = 0、<RVCTR> = 0 を設定
        LD            (SYSCR4), 0xD4   ; 有効コード書き込み
        :                          ; メインプログラム処理
        J            XXXX

```

```

;#### RAM で実行するプログラム ####
sRAMprogStart:
sINTWDT:
sINTSWI:      LD          IX, 0xF000
               LD          A, (IX)
               CMP         A, (IX)
               J           NZ, sINTWDT      ; 同一の値が読み出されるまでループする
               LD          (SYSCR2), 0x10  ; システムクロックリセットを発生
               RETN
sRAMprogEnd:  NOP

```

注 1) C レジスターに必ず"0x00"を設定してください。

注 2) 上記のプログラムはフラッシュメモリーのコード領域"0x1000" ~ "0x17FF"に配置しないでください。同領域は、<BAREA> = 1 に設定するとフラッシュ領域から BOOTROM 領域に切り替わるため、プログラムを正しく継続することができず TMP89FS60B/62B/63B が誤動作する場合があります。

注 3) サポートプログラムには、割り込みマスター許可フラグ(<IMF>)を禁止にする命令(DI 命令)が含まれていますので、上記のプログラムに DI 命令を組み込む必要はありません。ただしサポートプログラムに EI 命令は含まれていませんので、割り込みを利用する場合は全ての処理が完了した後に<IMF>を許可に設定してください。

21.5.2.4. フラッシュメモリーからデータを読み出す例

フラッシュメモリーからデータを読み出すには、メモリーに対して転送命令(リード)を実行します。FLSCR1<FAREA>および FLSCR2<CR1EN>を設定することにより、コード領域を含む任意のアドレスのデータを読み出すことができます。

プログラム例: コード領域の"0xF000"からデータを読み出して RAM の"0x98"に格納する

```

LD          (FLSCR1), 0xA8      ; AREA C1 を選択
LD          (FLSCR2), 0xD5     ; 有効コード書き込み
LD          A, (0xF000)        ; "0xF000"からデータを読み出す
LD          (0x98), A          ; "0x98"にデータを格納する
LD          (FLSCR1), 0x40     ; AREA D1 を選択
LD          (FLSCR2), 0xD5     ; 有効コード書き込み

```

21.6. API (Application Programming Interface)

BOOTROM領域の一部にはフラッシュメモリーを容易に消去、書き込みするためのサポートプログラム(API)が含まれています。よってBOOTROMをマッピングした後、サポートプログラムのサブルーチン呼び出すことによって容易にフラッシュメモリーの消去、書き込み、読み出しなどを実行することができます。APIの一覧を表 21-5 に示します。

表 21-5 API 一覧

アドレス	内容	スタック消費数 (注 2)	ワークレジスター (注 1)	引数		戻り値		
				レジスター	設定値	レジスター	内容	
0x1010 (.BTWrite)	指定したアドレスに1バイトのデータを書き込みます	7 バイト	WA BC DE IX	WA	書き込みアドレス	-	-	-
				C	0x00			
				E	書き込みデータ			
				(SP-)	0xD5 (有効コード)			
0x1012 (.BTEraseSec)	指定した1つのSectorを消去します	4 バイト	WA BC DE IX	A	消去セクター	-	-	-
				C	0xD5 (有効コード)			
0x1014 (.BTEraseChip)	Chip Eraseを行います	6 バイト	WA BC DE IX	A	0xD5 (有効コード)	-	-	-
				C	0x00			
0x1016 (.BTGetRP)	Security Programの情報を取得します	6 バイト	WA BC DE IX	A	0xD5 (有効コード)	A	0xFF	Security Programが解除状態
				C	0x00		0xFF以外	Security Programが設定状態
0x1018 (.BTSetRP)	Security Programを設定します	6 バイト	WA BC DE IX	A	0xD5 (有効コード)	-	-	-
				C	0x00			
0x101E (.BTCalcUART)	タイマーでキャプチャーしたパルス幅からUARTレジスターの設定値(ボーレート)を算出します	4 バイト	WA BC DE IX IY	WA	キャプチャー幅	W	<RTSEL>設定値	
				C	演算ビット数	A	UARTxDR 設定値	

注 1) ワークレジスターはサポートプログラム内で書き替えられますので、サポートプログラムを呼び出す前に、必要に応じてレジスターデータの待避を行ってください。

注 2) サポートプログラムの実行中は最大7バイト(割り込みによるスタックは含まず)のスタックが消費されますので、サポートプログラムを呼び出す前に、あらかじめスタック領域を確保してください。

注 3) 各 API は、引数として有効コード "0xD5"を設定しなくても正しく処理が行われますが、シリーズ間でのソフトウェア互換性のために"0xD5"を設定しておくことを推奨します。

21.6.1. .BTWrite

Eレジスターに設定したデータをWAレジスターで指定したフラッシュメモリーのアドレスに書き込みます。あらかじめCレジスターには"0x00"、(SP-)には有効コード "0xD5"を設定しておく必要があります。

21.6.2. .BTEraseSec

Aレジスターで指定した Sector を消去します。Cレジスターにはあらかじめ有効コード "0xD5"を設定しておく必要があります。消去される Sector は表 21-6 のようになります。

表 21-6 消去されるSector

A レジスター	消去領域
0x01	0x1000 ~ 0x1FFF
0x02	0x2000 ~ 0x2FFF
0x03	0x3000 ~ 0x3FFF
0x04	0x4000 ~ 0x4FFF
0x05	0x5000 ~ 0x5FFF
0x06	0x6000 ~ 0x6FFF
0x07	0x7000 ~ 0x7FFF
0x08	0x8000 ~ 0x8FFF
0x09	0x9000 ~ 0x9FFF
0x0A	0xA000 ~ 0xAFFF
0x0B	0xB000 ~ 0xBFFF
0x0C	0xC000 ~ 0xCFFF
0x0D	0xD000 ~ 0xDFFF
0x0E	0xE000 ~ 0xEFFF
0x0F	0xF000 ~ 0xFFFF
上記以外	Reserved

注) Reserved の消去領域は設定しないでください。設定した場合、意図しない Sector が消去されることがあります。

21.6.3. .BTEraseChip

フラッシュメモリーの全領域を消去します。あらかじめCレジスターには"0x00"、Aレジスターには有効コード "0xD5"を設定しておく必要があります。

21.6.4. .BTGetRP

フラッシュメモリーのセキュリティー情報を取得します。あらかじめCレジスターには"0x00"、Aレジスターには有効コード "0xD5"を設定しておく必要があります。

処理が完了すると、戻り値 A として Product ID の"0xFF7F"の値を返します。

21.6.5. .BTSetRP

フラッシュメモリーのセキュリティー設定を行います。あらかじめCレジスターには"0x00"、Aレジスターには有効コード "0xD5"を設定しておく必要があります。

21.6.6. .BTCalcUART

C、WA レジスターで設定した値から、UART の適切なボーレート設定を算出します。

WA レジスターには、16ビットタイマーカウンターのパルス幅測定モードによって、外部からのUART 信号をキャプチャーしたカウント値が設定されます。タイマーカウンターのソースクロックは $2 / f_{cgck}$ に設定し、8ビット分のパルスをキャプチャーしてください。C レジスターには"0x08"を設定します。

RXD_x 端子と TCA0 端子は兼用になっていますので、キャプチャーの期間は SERSEL<TCA0SEL>によって一時的に TCA0 端子へ切り替え、処理実行後に RXD_x 端子に戻してください。

引数 WA の設定可能範囲は"0x0020"~"0x3BFF"となります。WA がこの範囲を超えると戻り値 WA として"0xFFFF"を返します。

正しく変換が行われると、戻り値として W レジスターの5~3ビット目に UARTxCR2<RTSEL>の値、A レジスターに UARTxDR の値を返します。なお W レジスターの7、6、2、1と0ビットは"0"となりますので、UARTxCR2<RXDNC>、<STOPBR>については別途設定してください。

注 1) $x = 2 \sim 0$

注 2) 引数 WA 値が小さい場合(UART 自体が生成できないボーレート領域の場合)、戻り値の誤差が大きくなり適切なボーレートを生成できない場合があります。

以下に MCU モードで BOOTROM のサポートプログラム(API)を利用して UART 転送クロックの設定値を算出する方法(例)を示します。

- (1) シリアルインターフェース選択制御レジスターSERSEL<TCA0SEL>でタイマーカウンター入力TCA0 端子と RXD_x 端子を兼用にします。
- (2) 16ビットタイマーカウンターをパルス幅測定モード、外部トリガー入力を立ち下がりエッジ、ソースクロックを $f_{cgck} / 2$ に選択します。
- (3) マスターから調整用固定データ"0x80"を RXD_x 端子を介して受信します。このとき、UART は動作させる必要はありません。
- (4) キャプチャーしたデータを WA レジスターに格納します。サポートプログラムでは DE、BC、IX、IY レジスターも使用しますので、これらのレジスターにデータが存在する場合は、あらかじめ退避処理を行います。
- (5) 割り込みマスター許可フラグを禁止(DI)にします(<IMF> ← 0)。
- (6) FLSCR1<BAREA>を"1"に設定し、FLSCR2<CR1EN>に"0xD5"を設定します。
- (7) C レジスターに"0x08" (8ビット長の意味)を格納します。
- (8) .BTCalcUART(0x101E)を CALL します。
- (9) UARTxCR2<RTSEL>に W レジスターのビット5~3を、UARTxDR に A レジスターの内容を格納します。なお、サポートプログラムで正常な計算ができなかった場合、WA レジスターには"0xFFFF"が格納されますので、戻り値が"0xFFFF"のときは、再度、調整用固定データ 0x80 の受信からやり直してください。
- (10) FLSCR1<BAREA>を"0"に設定し、FLSCR2<CR1EN>に"0xD5"を設定します。

注 1) $x = 2 \sim 0$

注 2) ノンマスカブル割り込み処理ルーチンで WA、BC、DE、IX、IY レジスターを使用しているとき、本サポートプログラム実行中にノンマスカブル割り込みが発生すると正しい計算結果が得られない恐れがあります。

注 3) サポートプログラムで正しく計算が行われた場合、W レジスター上位のビット7、6、2~0には戻り値として"0"が格納されますので、ノイズ除去時間の選択および受信ストップビット長の選択を行う場合は必要に応じて UARTxCR2<RXDNC>と UARTxCR2<STOPBR>を設定してください。

プログラム例: 16ビットタイマーカウンタ(TCA0)のパルス幅測定モードで、RXD0端子から受信した8ビット長の"Low"レベル幅をキャプチャーし、その結果からUARTボーレート設定を算出する。

```
.BTCalcUART equ 0x101E ; UART 転送クロック設定算出
```

```
CalcUART section code abs = 0xF000
```

```
##### タイマーカウンタ入力と UART 受信入力を兼用する処理 #####
```

```
LD (SERSEL), 0x40 ; TCA0 入力に切り替え
```

```
##### 調整用データ"0x80"をマスターから受信 #####
```

```
LD (TA0MOD), 0x5E ; パルス幅測定モード、立ち下がりエッジトリガー
```

```
; ソースクロック fcgck / 2 選択
```

```
sTimerStart: LD (TA0CR), 0x01 ; タイマースタート
```

```
:
```

TCA0 端子から調整用固定データ"0x80"を受信する。

```
:
```

```
LD WA, (TA0DRBL) ; キャプチャー値を WA レジスターに格納
```

```
LD (TA0CR), 0x00 ; タイマーストップ
```

```
DI
```

```
##### BOOTROM をデータ/コード領域に割り当て #####
```

```
LD (FLSCR1), 0x50 ; <BAREA>を"1"に設定
```

```
LD (FLSCR2), 0xD5 ; 有効コードを書き込み
```

```
##### UART 設定値計算処理 (API) #####
```

```
LD C, 0x08 ; 8ビット長
```

```
CALL (.BTCalcUART) ; UART 設定値計算処理の実行
```

```
CMP W, 0xFF
```

```
J Z, sTimerStart ; W が"0xFF"のときは再キャプチャー
```

```
##### 計算結果を UART 制御レジスターに設定 #####
```

```
LD (UART0CR2), W ; <RTSEL>の設定
```

```
LD (UART0DR), A ; ボーレートレジスターの設定
```

```
##### 終了処理 #####
```

```
LD (FLSCR1), 0x40 ; <BAREA>を"0"に設定
```

```
LD (FLSCR2), 0xD5 ; 有効コードを書き込み
```

22. シリアル PROM モード

22.1. 概要

TMP89FS60B/62B/63B はフラッシュメモリーへのプログラミング用に 4K バイトの BOOTROM(Mask ROM)を内蔵しています。BOOTROMは、シリアル PROMモードで有効になります。シリアル PROMモードは、RXD0/SI0/P21 端子、TXD0/SO0/P20 端子、MODE 端子、 $\overline{\text{RESET}}$ 端子で制御され、UART を通じて通信します。

表 22-1 シリアルPROMモード動作範囲

項目	Min	Max	単位
電源電圧	4.5	5.5	V
高周波周波数(fc)	4	10	MHz

22.2. セキュリティーについて

シリアル PROMモードでは、第三者の不正なメモリーアクセスを禁止するために、「パスワード」、「Security Program」の2つのセキュリティー機能を利用することができます。セキュリティーの詳細については「22.12. セキュリティー」を参照してください。

22.3. シリアル PROM モード設定

22.3.1. シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアルPROMモードを起動します。シリアルPROMモードを起動するための端子設定を表 22-2 に示します。

表 22-2 シリアルPROMモード設定

端子	設定
RXD0/SI0/P21 端子	“High”レベル
TXD0/SO0/P20 端子	“High”レベル
MODE、 $\overline{\text{RESET}}$ 端子	

注) シリアル PROM モードが起動するまでの期間、RXD0/SI0/P21 端子、TXD0/SO0/P20 端子はプルアップ抵抗で“High”レベルに固定してください。

表 22-3 シリアルPROMモードの端子機能

端子名 (シリアル PROM モード時)	入出力	機能		端子名 (MCU モード時)
TXD0	出力	シリアル PROM モード制御/シリアルデータ出力	(注)	TXD0/SO0/P20
RXD0	入力	シリアル PROM モード制御/シリアルデータ入力		RXD0/SI0/P21
$\overline{\text{RESET}}$	入力	シリアル PROM モード制御		$\overline{\text{RESET}}$
MODE	入力	シリアル PROM モード制御		MODE
VDD	電源	4.5 ~ 5.5 [V]		
AVDD	電源	VDD に接続してください。		
VSS	電源	0 [V]		
AVSS	電源	VSS に接続してください。		
VAREF	電源	リファレンス電圧を印加してください。		
RXD0 端子、 TXD0 端子以外 の入出力ポート	入出力	シリアル PROM モード中はハイインピーダンスになります。ポート入力は貫通電流を防止するためハード的に入力レベルが固定されます(ポート入力は無効となります)。		
XIN	入力	発振子を取り付け自己発振させてください。		
XOUT	出力			

注) オンボードプログラミング時、ほかの部品が実装されている場合は、これらの通信端子に影響を与えないようにしてください。

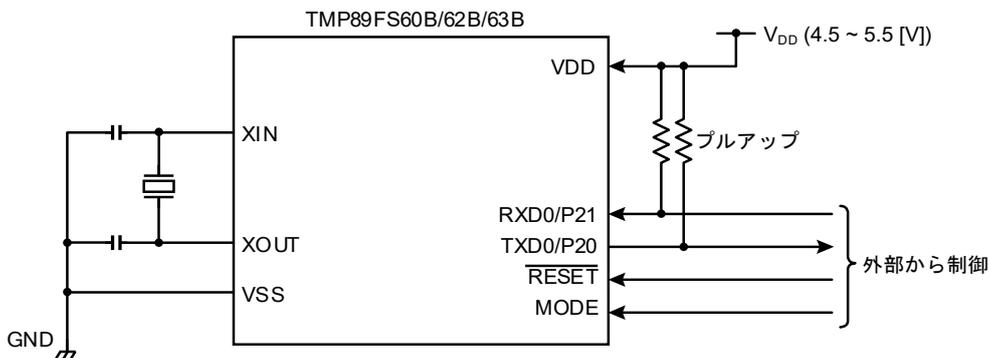


図 22-1 シリアルPROMモード端子設定

注) その他の端子処理については、「表 22-3」を参照してください。

22.4. オンボード書き込み接続例

図 22-2 にオンボード書き込みを行う場合の接続例を示します。

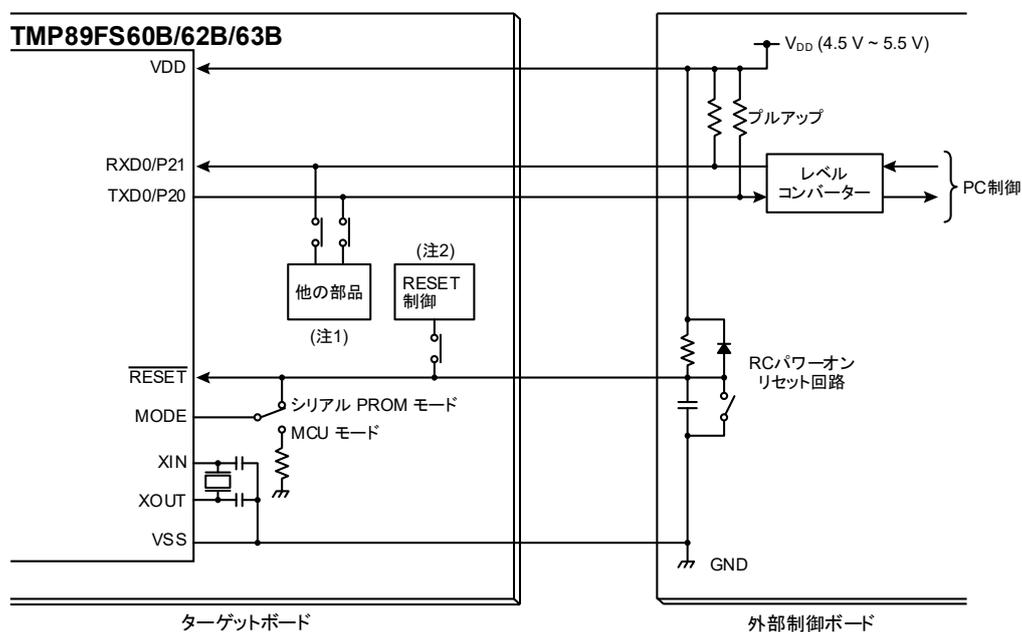


図 22-2 オンボード書き込み接続例

- 注 1) ターゲットボード上の他の部品が、シリアル PROM モードの UART 通信に影響を与える場合、これらの端子はジャンパーやスイッチなどで切り離してください。
- 注 2) ターゲットボード上のリセット制御回路が、シリアル PROM モードの起動に影響を与える場合、ジャンパーなどで切り離してください。
- 注 3) その他の端子処理については、「表 22-3」を参照してください。

22.5. シリアル PROM モードの起動

シリアルPROMモードを起動するには以下の手順で行います。詳細なタイミングについては、「22.14.1. リセットタイミング」を参照してください。

- (1) VDD 端子に電源を供給します。
- (2) $\overline{\text{RESET}}$ 端子、MODE 端子を"Low"レベルに設定します。
- (3) RXD0/SI0/P21 端子、TXD0/SO0/P20 端子を"High"レベルに設定します。
- (4) 電源およびクロック発振が十分安定するまで待ちます。
- (5) $\overline{\text{RESET}}$ 端子、MODE 端子を"Low" → "High"レベルに設定します。
- (6) セットアップ期間が経過した後、RXD0/P21 端子にマッチングデータ"0x86"を入力します。

22.6. インターフェース仕様

シリアル PROM モードは通信方法として UART をサポートしています。
オンボードプログラミングを実行するためには、外部コントローラー(パソコンやマイコンなど)の通信フォーマットを以下の仕様に合わせて設定する必要があります。

22.6.1. UART による通信

UART による通信フォーマットは下記のとおりです。

- ボーレート: 9600 ~ 128000 [baud] (自動検出)
- データ長: 8 ビット (LSB First)
- パリティビット: なし
- STOP ビット: 1 ビット

リセット後、TMP89FS60B/62B/63B はシリアルデータとして"0x86"を受信すると、以降 UART による通信を行います。同時に、受信したデータ"0x86"のパルス幅を測定し、自動的に基準ボーレートを設定します。その後の通信は全てその基準ボーレートが使用されます。各動作コマンドの通信タイミングについては、「22.14. AC 特性 (UART)」を参照してください。

なお表 22-4 に利用可能なボーレートの目安を示します。ただし表 22-4 で利用可能な条件であっても、外部コントローラー(パソコンなど)や発振子の周波数誤差、通信端子の負荷容量などの要因により、通信が正しく動作しない場合があります。

表 22-4 利用可能なボーレートの日安

fc [MHz]	9600 [baud]	19200 [baud]	38400 [baud]	57600 [baud]	115200 [baud]	128000 [baud]
10 [MHz]	A	A	A	A	A	A
8 [MHz]	A	A	A	A	A	A
7.3728 [MHz]	A	A	A	A	A	NA
6.144 [MHz]	A	A	A	NA	NA	A
6 [MHz]	A	A	A	A	A	A
5 [MHz]	A	A	A	NA	NA	NA
4.9152 [MHz]	A	A	A	A	NA	NA
4.19 [MHz]	A	A	A	NA	NA	A
4 [MHz]	A	A	A	A	A	A

注) A: 利用可能、NA: 利用不可

22.7. メモリーマッピング

図 22-3 にシリアル PROM モードと MCU モードのメモリーマップを示します。

シリアル PROM モードではデータ領域の"0x1000" ~ "0x17FF"、コード領域の"0x1000" ~ "0x1FFF"に BOOTROM(Mask ROM)がマッピングされます。

フラッシュメモリー書き込みコマンド(以下"0x30"コマンド)やフラッシュメモリー消去コマンド(以下"0xF0"コマンド)を実行するときは、BOOTROMが自動的にアドレス変換を行いますので、フラッシュメモリーのアドレスはMCUモード(FLSCR1<BAREA>=0時)と同様に"0x1000" ~ "0xFFFF"を指定してください。

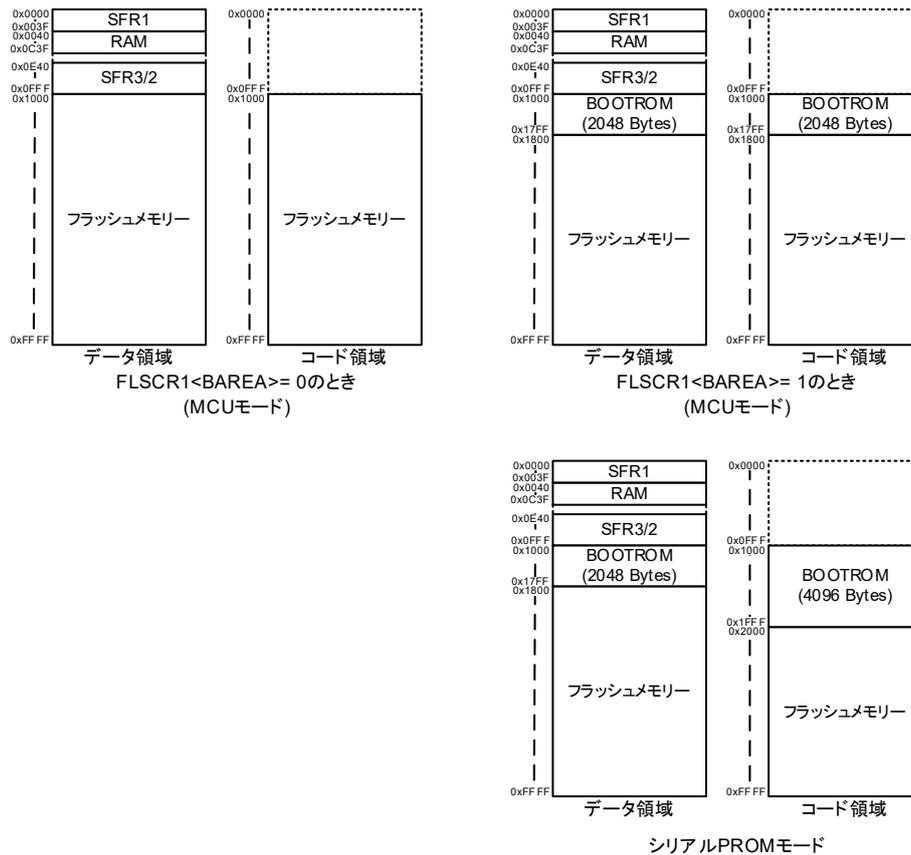


図 22-3 メモリーマッピング

22.8. 動作コマンド

シリアル PROM モードでは、表 22-5 に示すコマンドを使用します。リセット解除後、TMP89FS60B/62B/63B はマッチングデータ 1 "0x86" 待ちの状態となります。

表 22-5 シリアルPROMモード動作コマンド

コマンドデータ	動作コマンド	備考
0x86、0x79	セットアップ (マッチングデータ 1、2)	リセット解除後は、常にこのコマンドからスタートします。
0xF0	フラッシュメモリ消去	フラッシュメモリ領域 (アドレス"0x1000" ~ "0xFFFF")の消去が可能です。
0x30	フラッシュメモリ書き込み	フラッシュメモリ領域 (アドレス"0x1000" ~ "0xFFFF")への書き込みが可能です。
0x40	フラッシュメモリ読み出し	フラッシュメモリ領域 (アドレス"0x1000" ~ "0xFFFF")の読み出しが可能です。
0x90	フラッシュメモリSUM 出力	フラッシュメモリの全領域 (アドレス"0x1000" ~ "0xFFFF")の"0xFF"チェックデータ、チェックサム (2 バイト)を上位、下位の順に出力します。
0xC0	製品識別コード出力	製品を識別するためのコードを出力します。
0xC3	フラッシュメモリーステータス出力	Security Program の状態などのステータスコードを出力します。
0xFA	フラッシュメモリセキュリティー設定	Security Program の設定が可能です。

各コマンドの概要を以下に示します。詳細な動作については、「22.8.1. フラッシュメモリー消去コマンド (動作コマンド: 0xF0)」以降を参照してください。

(1) フラッシュメモリー消去コマンド

Chip Erase(フラッシュメモリーの全面消去)または Sector Erase(フラッシュメモリーの 4K バイト単位の消去)のいずれかの方法でフラッシュメモリーを消去することができます。消去されたエリアのデータは "0xFF" となります。

Security Program が設定されているとき、またはオプションコード EPFC_OP の設定値が "0xFF" のとき、フラッシュメモリー消去コマンドの Chip Erase は実行できますが、Sector Erase は実行できません。

Security Program の設定を解除するには、フラッシュメモリー消去コマンドの Chip Erase を実行してください。

TMP89FS60B/62B/63B はブランク品またはオプションコード EPFC_OP の設定値が "0xFF" のときを除き、フラッシュメモリー消去コマンドの中でパスワード照合を行います。パスワードが一致しない限り、フラッシュメモリー消去コマンドは中断され、フラッシュメモリーの消去は実行されません。

(2) フラッシュメモリー書き込みコマンド

指定したフラッシュメモリーのアドレスに、1バイト単位で任意のデータを書き込むことができます。外部コントローラーは、書き込みデータをインテル Hex フォーマットのバイナリーデータとして送信してください。エンドレコードの送信が終了すると、TMP89FS60B/62B/63B はフラッシュメモリー全領域 "0x1000" ~ "0xFFFF" のチェックサムを計算し、その結果を返します。

Security Program が設定されているとき、フラッシュメモリー書き込みコマンドは実行できません。

Security Program の設定を解除するには、フラッシュメモリー消去コマンドの Chip Erase を実行してください。

TMP89FS60B/62B/63B はブランク品の場合を除き、フラッシュメモリー書き込みコマンドの中でパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリー書き込みコマンドは中断され、フラッシュメモリーへの書き込みは実行されません。

(3) フラッシュメモリー読み出しコマンド

指定したフラッシュメモリーのアドレスから 1バイト単位でデータを読み出すことができます。外部コントローラーは、読み出すメモリーの開始アドレスとバイト数を送信してください。TMP89FS60B/62B/63B は指定したバイト数分のデータを出力した後、出力したデータのチェックサムを計算し、その結果を返します。

Security Program が設定されているとき、フラッシュメモリー読み出しコマンドは実行できません。

Security Program の設定を解除するには、フラッシュメモリー消去コマンドの Chip Erase を実行してください。

TMP89FS60B/62B/63B はブランク品の場合を除き、フラッシュメモリー読み出しコマンドの中でパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリー読み出しコマンドは中断され、フラッシュメモリーの読み出しは実行されません。

(4) フラッシュメモリーSUM 出力コマンド

フラッシュメモリー全領域 "0x1000" ~ "0xFFFF" のチェックサムを計算し、その結果を返します。

(5) 製品識別コード出力コマンド

製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM、RAM の領域を示す情報を含んだデータで構成されます。外部コントローラーはこのコードを読み取ることにより、書き込みを行う製品の識別をすることができます。

(6) フラッシュメモリーステータス出力コマンド

"0xFFE0" ~ "0xFFFF" の状態と Security Program の状態が出力されます。外部コントローラーはこのコードを読み取ることにより、フラッシュメモリーの状態を識別することができます。

(7) フラッシュメモリーセキュリティー設定コマンド

Security Program の設定ができます。

Security Program が設定されているとき、TMP89FS60B/62B/63B の動作は下記のようになります。

- パラレルモード
フラッシュメモリーデータの読み出しおよび書き込みを禁止します。
- シリアル PROM モード
フラッシュメモリー書き込みコマンド、フラッシュメモリーの読み出しコマンドを禁止します
- オンチップデバッグ(OCD)機能
オプションコード DAFC_OP の設定値により、Security Program のチェックをスキップしてパスワード照合のみでOCD機能の起動を行うか、Security Program のチェックを行うかを選択します。
Security Program のチェックを行う場合、Security Program が許可されているとき、OCD 機能を起動することはできません。設定されていないとき、パスワード照合でOCD 機能を起動することができます。

Security Program の設定を解除するにはフラッシュメモリー消去コマンドで、Chip Erase を実行してください。

22.8.1. フラッシュメモリ消去コマンド (動作コマンド: 0xF0)

表 22-6 にフラッシュメモリ消去コマンドを示します。

表 22-6 フラッシュメモリ消去コマンド

	転送バイト数	外部コントローラーから TMP89FS60B/62B/63B への転送データ	ポーレート	TMP89FS60B/62B/63B から 外部コントローラーへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 "0x86" -	自動調整 調整後のポーレート	- (ポーレート自動判定) OK: エコーバックデータ "0x86" Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 "0x79" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x79" Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ "0xF0" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0xF0" Error: "0xA1" × 3、"0xA3" × 3、"0x63" × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納先アドレス 23 ~ 16	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納先アドレス 15 ~ 8	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード数格納先アドレス 7 ~ 0	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレス 23 ~ 16	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 16 バイト目	パスワード比較開始アドレス 15 ~ 8	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	17 バイト目 18 バイト目	パスワード比較開始アドレス 7 ~ 0	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	19 バイト目 ⋮ m バイト目	パスワード列 (注 3) -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	n-2 バイト目	消去セクター開始アドレス	調整後のポーレート	-
	n-1 バイト目	-	調整後のポーレート	OK: チェックサム (上位) Error: 何も送信しません
	n バイト目	-	調整後のポーレート	OK: チェックサム (下位) Error: 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	調整後のポーレート	-

注 1) "0x*" × 3 とは"0x*"を 3 バイト送信後、通信を終了することを意味します。詳細は表 22-18 を参照してください。

注 2) 消去範囲指定については「22.8.1.1. 消去範囲指定」、チェックサムについては「22.10. チェックサム (SUM)」、パスワードについては「22.12.1. パスワード」を参照してください。

注 3) ブランク品またはオプションコード EPFC_OP の設定値が"0xFF"のとき、パスワード列を送信しないでください (パスワード数格納アドレス、パスワード比較開始アドレスは送信してください)。

注 4) オプションコード EPFC_OP の設定値が"0xFF"のとき、Sector Erase を実行(n-2 バイト目で"0x20"未満の値を送信)すると TMP89FS60B/62B/63B は通信を終了します。

注 5) パスワードエラーが発生した場合、TMP89FS60B/62B/63B は通信を終了します。従って、パスワードエラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) パスワードアドレス、パスワード列データの通信中に通信エラーが発生した場合、TMP89FS60B/62B/63B は通信を終了します。従って、通信エラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

22.8.1.1. 消去範囲指定

フラッシュメモリー消去コマンドで、n-2 バイト目はフラッシュ領域の消去範囲を指定します。

ERASEC で消去するセクターの開始アドレスを指定します。

"0x20"未満のデータを指定すると、Sector Erase(フラッシュメモリーの 4K バイト単位の消去)が実行されます。

"0x20"以上のデータを指定すると、Chip Erase(フラッシュメモリーの全面消去)が実行され、フラッシュメモリーの Security Program が解除されます。

Security Program が設定されているとき、またはオプションコード EPFC_OP の設定値が"0xFF"のとき、Sector Erase を実行すると TMP89FS60B/62B/63B は無限ループに入り、通信を終了します。

消去範囲指定データ (n-2 バイト目のデータ)

		7	6	5	4	3	2	1	0	
		ERASEC								
ERASEC	消去セクター開始アドレス	0x00:	Reserved							
		0x01:	0x1000 ~ 0x1FFF							
		0x02:	0x2000 ~ 0x2FFF							
		0x03:	0x3000 ~ 0x3FFF							
		0x04:	0x4000 ~ 0x4FFF							
		0x05:	0x5000 ~ 0x5FFF							
		0x06:	0x6000 ~ 0x6FFF							
		0x07:	0x7000 ~ 0x7FFF							
		0x08:	0x8000 ~ 0x8FFF							
		0x09:	0x9000 ~ 0x9FFF							
		0x0A:	0xA000 ~ 0xAFFF							
		0x0B:	0xB000 ~ 0xBFFF							
		0x0C:	0xC000 ~ 0xCFFF							
		0x0D:	0xD000 ~ 0xDFFF							
		0x0E:	0xE000 ~ 0xEFFF							
		0x0F:	0xF000 ~ 0xFFFF							
		0x10:	Reserved							
		0x11:	Reserved							
		0x12:	Reserved							
		0x13:	Reserved							
0x14:	Reserved									
0x15:	Reserved									
0x16:	Reserved									
0x17:	Reserved									
0x18:	Reserved									
0x19:	Reserved									
0x1A:	Reserved									
0x1B:	Reserved									
0x1C:	Reserved									
0x1D:	Reserved									
0x1E:	Reserved									
0x1F:	Reserved									
0x20 以上:	Chip Erase (全領域の消去)									

注 1) フラッシュメモリの存在しない領域に対して Sector Erase を実行すると TMP89FS60B/62B/63B は通信を終了します。

注 2) Reserved 設定のデータを送信すると TMP89FS60B/62B/63B は通信を終了します。

22.8.2. フラッシュメモリー書き込みコマンド (動作コマンド: 0x30)

表 22-7 にフラッシュメモリー書き込みコマンドの転送フォーマットを示します。

表 22-7 フラッシュメモリー書き込みコマンド転送フォーマット

	転送バイト数	外部コントローラーから TMP89FS60B/62B/63B への転送データ	ポーレート	TMP89FS60B/62B/63B から 外部コントローラーへの転送データ
BOOT ROM	1バイト目 2バイト目	マッチングデータ 1 "0x86" -	自動調整 調整後のポーレート	- (ポーレート自動判定) OK: エコーバックデータ "0x86" Error: 何も送信しません
	3バイト目 4バイト目	マッチングデータ 2 "0x79" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x79" Error: 何も送信しません
	5バイト目 6バイト目	動作コマンドデータ "0x30" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x30" Error: "0xA1" × 3、"0xA3" × 3、"0x63" × 3 (注 1)
	7バイト目 8バイト目	パスワード数格納先アドレス 23 ~ 16 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	9バイト目 10バイト目	パスワード数格納先アドレス 15 ~ 8 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	11バイト目 12バイト目	パスワード数格納先アドレス 7 ~ 0 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	13バイト目 14バイト目	パスワード比較開始アドレス 23 ~ 16 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	15バイト目 16バイト目	パスワード比較開始アドレス 15 ~ 8 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	17バイト目 18バイト目	パスワード比較開始アドレス 7 ~ 0 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	19バイト目 : mバイト目	パスワード列 (注 3) -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	m+1バイト目 : n-3バイト目	インテル Hex フォーマット (Binary) (注 7) インテル Hex フォーマット (Binary) (注 7)	調整後のポーレート 調整後のポーレート	- -
	n-2バイト目	-	調整後のポーレート	0x55 を送信します
	n-1バイト目	-	調整後のポーレート	OK: チェックサム (上位) Error: 何も送信しません
	nバイト目	-	調整後のポーレート	OK: チェックサム (下位) Error: 何も送信しません
	n+1バイト目	(次の動作コマンドデータ待ち)	調整後のポーレート	-

注 1) "0x*" × 3 とは"0x*"を 3 バイト送信後、通信を終了することを意味します。詳細は表 22-18 を参照してください。

注 2) インテル Hex フォーマットについては「22.11. インテル Hex フォーマット (Binary)」、チェックサムについては「22.10. チェックサム (SUM)」、パスワードについては「22.12.1. パスワード」を参照してください。

注 3) "0xFFE0" ~ "0xFFFF"の領域が全て"0xFF"の場合、パスワード判定は行われませんのでパスワード列の送信は不要です。ただし、この場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要です。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、TMP89FS60B/62B/63B は通信を終了します。従って、パスワードエラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP89FS60B/62B/63B は通信を終了します。従って、パスワードエラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

注 5) パスワードアドレス、パスワード列データの通信中に通信エラーが発生した場合、TMP89FS60B/62B/63B は通信

を終了します。従って、通信エラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

- 注 6) フラッシュメモリの全てのデータが同一データの場合、アドレス"0xFFE0" ~ "0xFFFF"の領域には書き込みを行わないでください。もし、この領域に書き込みが行われるとパスワードエラーとなります。
- 注 7) データレコードの送信が終了したあとに、3 [ms]以上の時間を空けてください。詳細については、図 22-8 を参照してください。
- 注 8) すでにデータ(0xFF を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、Sector Erase または Chip Erase によって、必ずそのアドレスのデータを消去した後に書き込みを実行してください。

22.8.3. フラッシュメモリ読み出しコマンド (動作コマンド: 0x40)

表 22-8 と表 22-9 にフラッシュメモリ読み出しコマンドの転送フォーマットを示します。

表 22-8 フラッシュメモリ読み出しコマンド転送フォーマット

	転送バイト数	外部コントローラーから TMP89FS60B/62B/63B への転送データ	ポーレート	TMP89FS60B/62B/63B から 外部コントローラーへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 "0x86" -	自動調整 調整後のポーレート	- (ポーレート自動判定) OK: エコーバックデータ "0x86" Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 "0x79" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x79" Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ "0x40" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x40" Error: "0xA1" × 3、"0xA3" × 3、"0x63" × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納先アドレス 23 ~ 16	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納先アドレス 15 ~ 8	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード数格納先アドレス 7 ~ 0	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレス 23 ~ 16	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 16 バイト目	パスワード比較開始アドレス 15 ~ 8	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	17 バイト目 18 バイト目	パスワード比較開始アドレス 7 ~ 0	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	19 バイト目 : m バイト目	パスワード列 (注 3) -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	m+1 バイト目 m+2 バイト目	読み出し開始アドレス 23 ~ 16 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	m+3 バイト目 m+4 バイト目	読み出し開始アドレス 15 ~ 8 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	m+5 バイト目 m+6 バイト目	読み出し開始アドレス 7 ~ 0 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	m+7 バイト目 m+8 バイト目	読み出しバイト数 23 ~ 16 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	m+9 バイト目 m+10 バイト目	読み出しバイト数 15 ~ 8 -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません

表 22-9 フラッシュメモリー読み出しコマンド転送フォーマット

	転送バイト数	外部コントローラーから TMP89FS60B/62B/63B への転送データ	ボーレート	TMP89FS60B/62B/63B から 外部コントローラーへの転送データ
BOOT ROM	m+11 バイト目 m+12 バイト目	読み出しバイト数 7~0	調整後のボーレート 調整後のボーレート	- OK: 何も送信しません Error: 何も送信しません
	m+13 バイト目 ⋮ n-2 バイト目	-	調整後のボーレート 調整後のボーレート	メモリーデータ メモリーデータ
	n-1 バイト目	-	調整後のボーレート	OK: チェックサム (上位) Error: 何も送信しません
	n バイト目	-	調整後のボーレート	OK: チェックサム (下位) Error: 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-

注 1) "0x***" × 3 とは"0x***"を 3 バイト送信後、通信を終了することを意味します。詳細は表 22-18 を参照してください。

注 2) チェックサムについては「22.10. チェックサム (SUM)」、パスワードについては「22.12.1. パスワード」を参照してください。

注 3) "0xFFE0" ~ "0xFFFF"の領域が全て"0xFF"の場合、パスワード判定は行われませんのでパスワード列の送信は不要です。ただし、この場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要です。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、パスワードエラーとなり、TMP89FS60B/62B/63B は通信を終了します。従って、パスワードエラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP89FS60B/62B/63B は通信を終了します。従って、パスワードエラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

注 5) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP89FS60B/62B/63B は通信を終了します。従って、通信エラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) m+7 ~ m+12 バイト目で"0x000000"または内蔵メモリーサイズを超えたバイト数を受信した場合、TMP89FS60B/62B/63B は通信を終了します。

22.8.4. フラッシュメモリーSUM 出力コマンド (動作コマンド: 0x90)

表 22-10 にフラッシュメモリーSUM 出力コマンドの転送フォーマットを示します。

表 22-10 フラッシュメモリーSUM出力コマンド転送フォーマット

	転送バイト数	外部コントローラーから TMP89FS60B/62B/63B への転送データ	ポーレート	TMP89FS60B/62B/63B から 外部コントローラーへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 "0x86" -	自動調整 調整後のポーレート	- (ポーレート自動判定) OK: エコーバックデータ "0x86" Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 "0x79" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x79" Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ "0x90" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x90" Error: "0xA1" × 3, "0xA3" × 3, "0x63" × 3 (注 1)
	7 バイト目	-	調整後のポーレート	0x55: - 0xAA: 全てのデータが"0xFF" (注 2)
	8 バイト目	-	調整後のポーレート	OK: チェックサム (上位) (注 3) Error: 何も送信しません
	9 バイト目	-	調整後のポーレート	OK: チェックサム (下位) (注 3) Error: 何も送信しません
	10 バイト目	(次の動作コマンドデータ待ち)	調整後のポーレート	-

注 1) "0x*" × 3 とは"0x*"を 3 バイト送信後、通信を終了することを意味します。詳細は表 22-18 を参照してください。

注 2) 7 バイト目は、チェックサムの対象データが全て"0xFF"だった場合に"0xAA"となります。1 バイトでも"0xFF"以外だった場合は"0x55"となります。

注 3) チェックサムについては「22.10. チェックサム (SUM)」を参照してください。

22.8.5. 製品識別コード出力コマンド (動作コマンド: 0xC0)

表 22-11 に製品識別コード出力コマンドの転送フォーマットを示します。

表 22-11 製品識別コード出力コマンド転送フォーマット

	転送バイト数	外部コントローラーから TMP89FS60B/62B/63B への転送データ	ボーレート	TMP89FS60B/62B/63B から 外部コントローラーへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 "0x86" -	自動調整 調整後のボーレート	- (ボーレート自動判定) OK: エコーバックデータ "0x86" Error: 何も送信しません	
	3 バイト目 4 バイト目	マッチングデータ 2 "0x79" -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ "0x79" Error: 何も送信しません	
	5 バイト目 6 バイト目	動作コマンドデータ "0xC0" -	調整後のボーレート 調整後のボーレート	- OK: エコーバックデータ "0xC0" Error: "0xA1" × 3, "0xA3" × 3, "0x63" × 3 (注)	
	7 バイト目	-	調整後のボーレート	0x3A	スタートマーク
	8 バイト目	-	調整後のボーレート	0x13	転送データ数 (9 ~ 27 バイト目までの バイト数)
	9 バイト目	-	調整後のボーレート	0x03	アドレス長 (3 バイト)
	10 バイト目	-	調整後のボーレート	0xFD	Reserved
	11 バイト目	-	調整後のボーレート	0x08	Reserved
	12 バイト目	-	調整後のボーレート	0x00	Reserved
	13 バイト目	-	調整後のボーレート	0x02	Reserved
	14 バイト目	-	調整後のボーレート	0xF0	左記の値が読みだされます
	15 バイト目	-	調整後のボーレート	0x01	左記の値が読みだされます
	16 バイト目	-	調整後のボーレート	0x00	左記の値が読みだされます
	17 バイト目	-	調整後のボーレート	0x10	左記の値が読みだされます
	18 バイト目	-	調整後のボーレート	0x00	左記の値が読みだされます
	19 バイト目	-	調整後のボーレート	0x00	左記の値が読みだされます
	20 バイト目	-	調整後のボーレート	0xFF	左記の値が読みだされます
	21 バイト目	-	調整後のボーレート	0xFF	左記の値が読みだされます
	22 バイト目	-	調整後のボーレート	0x00	左記の値が読みだされます
	23 バイト目	-	調整後のボーレート	0x00	左記の値が読みだされます
	24 バイト目	-	調整後のボーレート	0x60	左記の値が読みだされます
	25 バイト目	-	調整後のボーレート	0x00	左記の値が読みだされます
	26 バイト目	-	調整後のボーレート	0x0C	左記の値が読みだされます
	27 バイト目	-	調整後のボーレート	0x3F	左記の値が読みだされます
	28 バイト目	-	調整後のボーレート	0xYY	0xYY: 転送データのチェックサム(9 ~ 27 バイト目までの総和の 2 の補数)
	29 バイト目	(次の動作コマンドデータ待ち)	調整後のボーレート	-	

注) "0x***" × 3 とは"0x***"を 3 バイト送信後、通信を終了することを意味します。詳細は表 22-18 を参照してください。

22.8.6. フラッシュメモリーステータス出力コマンド (動作コマンド: 0xC3)

表 22-12 にフラッシュメモリーステータス出力コマンドを示します。

表 22-12 フラッシュメモリーステータス出力コマンド

	転送バイト数	外部コントローラーから TMP89FS60B/62B/63B への転送データ	ポーレート	TMP89FS60B/62B/63B から 外部コントローラーへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 "0x86" -	自動調整 調整後のポーレート	- (ポーレート自動判定) OK: エコーバックデータ "0x86" Error: 何も送信しません	
	3 バイト目 4 バイト目	マッチングデータ 2 "0x79" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x79" Error: 何も送信しません	
	5 バイト目 6 バイト目	動作コマンドデータ "0xC3" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0xC3" Error: "0xA1" × 3、"0xA3" × 3、"0x63" × 3 (注 1)	
	7 バイト目	-	調整後のポーレート	0x3A	スタートマーク
	8 バイト目	-	調整後のポーレート	0x04	バイトカウント (9 ~ 12 バイト目までの数)
	9 バイト目	-	調整後のポーレート	0x00 ~ 0x7F	ステータスコード 1 (注 2)
	10 バイト目	-	調整後のポーレート	0x00	Reserved
	11 バイト目	-	調整後のポーレート	0x00	Reserved
	12 バイト目	-	調整後のポーレート	0x00	Reserved
	13 バイト目	-	調整後のポーレート	チェックサム (9 ~ 12 バイト目までの総和の 2 の補数)	
	14 バイト目	(次の動作コマンドデータ待ち)	調整後のポーレート	-	

注 1) "0x*" × 3 とは"0x*"を 3 バイト送信後、通信を終了することを意味します。詳細は表 22-18 を参照してください。

注 2) ステータスコード 1 の詳細については、「22.8.6.1. フラッシュメモリーステータスコード」を参照してください。

22.8.6.1. フラッシュメモリーステータスコード

フラッシュメモリーステータスコードは7バイトのデータです。フラッシュメモリーステータスコードの3バイト目のデータ、ステータスコード1がオプションコード EPFC_OP、DAFC_OP の設定値の状態、Security Program の状態、"0xFFE0"から"0xFFFF"の状態を示します。

表 22-13 フラッシュメモリーステータスコード

データ	データの意味	TMP89FS60B/62B/63B のとき	
1 バイト目	スタートマーク	0x3A	
2 バイト目	転送データ数 (3 バイト目 ~ 6 バイト目の 4 バイト)	0x04	
3 バイト目	ステータスコード 1	0x00 ~ 0x7F (注 2)	
4 バイト目	Reserved	0x00	
5 バイト目	Reserved	0x00	
6 バイト目	Reserved	0x00	
7 バイト目	転送データのチェックサム (3 バイト目 ~ 6 バイト目までの総和の 2 の補数)	3 バイト目のデータ	チェックサム
		0x00	0x00
		0x01	0xFF
		0x02	0xFE
		0x7F	0x81

ステータスコード 1

	7	6	5	4	3	2	1	0
	-	-	-	-	EPFC	DAFC	RPENA	BLANK
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	*	*	*	*	*	*	*

EPFC	フラッシュメモリー消去コマンド実行時のパスワード照合	0: パスワード照合をスキップする (PNASA、PCSA の判定は行います) オプションコード EPFC_OP の設定値が"0xFF"のときに"0"となります 1: パスワードの照合、PNASA、PCSA の判定を行う オプションコード EPFC_OP の設定値が"0xFF"ではないときに"1"となります
DAFC	オンチップデバッグ機能 (OCD) 起動時の Security Program チェック	0: OCD 起動時に Security Program チェックをスキップする オプションコード DAFC_OP の設定値が"0xFF"のときに"0"となります 1: OCD 起動時に Security Program チェックを行う オプションコード DAFC_OP の設定値が"0xFF"ではないときに"1"となります
RPENA	Security Program 状態	0: Security Program が解除された状態 1: Security Program が設定された状態
BLANK	"0xFFE0" ~ "0xFFFF"番地のフラッシュメモリーのデータの状態	0: "0xFFE0" ~ "0xFFFF"番地のデータが全て"0xFF"のとき 1: "0xFFE0" ~ "0xFFFF"番地のデータが"0xFF"以外のとき

注 1) *: 不定

注 2) ステータスコードのビット 6 ~ 4 は不定が読みだされます。

ステータスコード1の内容によって、実行が制限されるコマンドがあります。詳細は以下の表を参照してください。

Security Program が設定される(<RPENA>=1)と「フラッシュメモリー消去コマンド」の Sector Erase と「フラッシュメモリー書き込みコマンド」、「フラッシュメモリー読み出しコマンド」は実行できなくなります。これらのコマンドを実行するためには、フラッシュメモリーを「フラッシュメモリー消去コマンド」の Chip Erase を実行して、Security Program を解除(RPENNA = 0)してください。

表 22-14 ステータスコード1と動作コマンド (1/3)

<RPENA>	<BLANK>	<EPFC>	<DAFC>	フラッシュメモリー消去		フラッシュメモリー書き込み	フラッシュメモリー読み出し
				Chip erase	Sector erase		
0	0	0	0	Executable	Not executable	Executable	Executable
1	0	0	0	Executable	Not executable	Not executable	Not executable
0	1	0	*	Executable	Not executable	Password	Password
		1	*	Password		Password	Password
1	1	0	*	Executable	Not executable	Not executable	Not executable
		1	*	Password	Not executable	Not executable	Not executable

表 22-15 ステータスコード1と動作コマンド (2/3)

<RPENA>	<BLANK>	<EPFC>	<DAFC>	フラッシュメモリーSUM出力	製品識別コード出力
0	0	0	0	Executable	Executable
1	0	0	0	Executable	Executable
0	1	0	*	Executable	Executable
		1	*	Executable	Executable
1	1	0	*	Executable	Executable
		1	*	Executable	Executable

表 22-16 ステータスコード1と動作コマンド (3/3)

<RPENA>	<BLANK>	<EPFC>	<DAFC>	フラッシュメモリーステータス出力	フラッシュメモリーセキュリティー設定
0	0	0	0	Executable	Not executable
1	0	0	0	Executable	Not executable
0	1	0	*	Executable	Password
		1	*	Executable	Password
1	1	0	*	Executable	Password
		1	*	Executable	Password

注 1) *: Don't care

注 2) Executable: コマンド実行可能

Password: コマンド実行にはパスワード照合が必要

Not Executable: コマンド実行不可(コマンドのエコーバックを返した後、TMP89FS60B/62B/63B は通信を終了します)

22.8.7. フラッシュメモリーセキュリティー設定コマンド (動作コマンド: 0xFA)

表 22-17 にフラッシュメモリーセキュリティー設定コマンドを示します。

表 22-17 ラッシュメモリーセキュリティー設定コマンド

	転送バイト数	外部コントローラーから TMP89FS60B/62B/63B への転送データ	ポーレート	TMP89FS60B/62B/63B から 外部コントローラーへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ 1 "0x86" -	自動調整 調整後のポーレート	- (ポーレート自動判定) OK: エコーバックデータ "0x86" Error: 何も送信しません
	3 バイト目 4 バイト目	マッチングデータ 2 "0x79" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0x79" Error: 何も送信しません
	5 バイト目 6 バイト目	動作コマンドデータ "0xFA" -	調整後のポーレート 調整後のポーレート	- OK: エコーバックデータ "0xFA" Error: "0xA1" × 3、"0xA3" × 3、"0x63" × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納先アドレス 23 ~ 16	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納先アドレス 15 ~ 8	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード数格納先アドレス 7 ~ 0	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレス 23 ~ 16	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 16 バイト目	パスワード比較開始アドレス 15 ~ 8	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	17 バイト目 18 バイト目	パスワード比較開始アドレス 7 ~ 0	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	19 バイト目 : m バイト目	パスワード列 (注 3) -	調整後のポーレート 調整後のポーレート	- OK: 何も送信しません Error: 何も送信しません
	n バイト目	-	調整後のポーレート	OK: 0xFB (注 3) Error: 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	調整後のポーレート	-

注 1) "0x***" × 3 とは"0x***"を 3 バイト送信後、通信を終了することを意味します。詳細は表 22-18 を参照してください。

注 2) パスワードについては、後述の「22.12.1. パスワード」を参照してください。

注 3) ブランク品に対してフラッシュメモリーセキュリティー設定コマンドを実行した場合、または、非ブランク品でフラッシュメモリーセキュリティー設定コマンドを実行したときにパスワードエラーが発生した場合、TMP89FS60B/62B/63B は通信を終了します。従って、これらの場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) パスワードアドレス、パスワード列データの通信中に通信エラーが発生した場合、TMP89FS60B/62B/63B は通信を終了します。従って、通信エラーが発生した場合はRESET端子による初期化を行い、シリアル PROM モードを再起動してください。

注 5) フラッシュメモリーセキュリティーが設定されていない場合は、パラレル PROM モードでフラッシュメモリーのデータが読み出し可能となりますので、量産時は必ず Security Program を設定してください。

22.9. エラーコード

TMP89FS60B/62B/63B が各エラーを検出した場合に送信するエラーコードを表 22-18 に示します。

表 22-18 エラーコード一覧

送信データ	エラー内容
0x63, 0x63, 0x63	動作コマンドエラー
0xA1, 0xA1, 0xA1	受信データのフレーミングエラー
0xA3, 0xA3, 0xA3	受信データのオーバーランエラー

注) パスワードエラーの場合は、エラーコードは送信されません。

22.10. チェックサム (SUM)

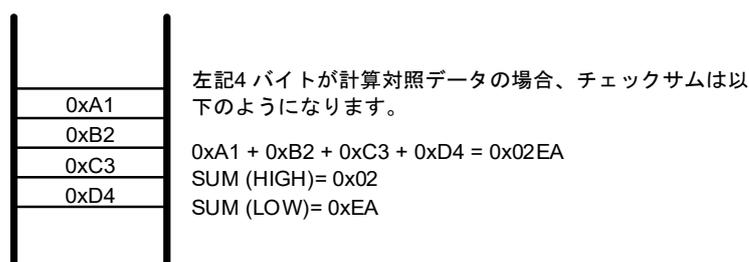
以下の動作コマンドでは、コマンド実行結果の正当性を確認するために、最後にチェックサム上位、下位の順番でを返します。

- フラッシュメモリー消去コマンド "0xF0"
- フラッシュメモリー書き込みコマンド "0x30"
- フラッシュメモリー読み出しコマンド "0x40"
- フラッシュメモリーSUM 出力コマンド "0x90"
- 製品識別コード出力コマンド "0xC0"
- フラッシュメモリーステータス出力コマンド "0xC3"

22.10.1. 計算方法

チェックサム(SUM)は計算範囲のアドレスのデータをバイトで読み出したものをワードで合計したものです。

例)



ただし、製品識別コード出力コマンド、フラッシュメモリーステータス出力コマンドは計算方法が異なります。詳細は表 22-19 を参照してください。

22.10.2. 計算対象データ

表 22-19 に各コマンドにおけるチェックサムの計算対象データを示します。

表 22-19 チェックサムの計算対象データ

動作コマンド	計算対象データ	備考
フラッシュメモリー消去コマンド	消去したフラッシュメモリーエリアの全データ	Chip Erase(全面消去)を行った場合は、フラッシュメモリーの全領域のデータがチェックサムの計算対象となります。Sector Erase を行った場合は、消去した領域のデータがチェックサムの計算対象となります。
フラッシュメモリー書き込みコマンド	フラッシュメモリーの全領域のデータ	フラッシュメモリーの一部に書き込みを行った場合でも、フラッシュメモリー全領域のデータがチェックサムの計算対象となります。なお、インテル Hex フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
フラッシュメモリー読み出しコマンド	読み出しを行うフラッシュメモリーのデータ	-
フラッシュメモリーSUM 出力コマンド	フラッシュメモリーの全領域のデータ	フラッシュメモリー全領域のデータがチェックサムの計算対象となります。なお、インテル Hex フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
製品識別コード出力コマンド	転送データの 9 ~ 27 バイト目のデータ	詳細については、「22.8.5. 製品識別コード出力コマンド (動作コマンド: 0xC0)」を参照してください。
フラッシュメモリーステータス出力コマンド	転送データの 9 ~ 12 バイト目のデータ	詳細については、「22.8.6. フラッシュメモリーステータス出力コマンド (動作コマンド: 0xC3)」を参照してください。

22.11. インテル Hex フォーマット (Binary)

以下の動作コマンドでは、転送フォーマットの一部にインテル Hex フォーマットを使用しています。

- フラッシュメモリー書き込みコマンド "0x30"

インテル Hex フォーマットの定義については、表 22-20 を参照してください。

データは Binary で扱います。スタートマーク":"は、"0x3A"の Binary データとして送信してください。

- (1) TMP89FS60B/62B/63B は各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク(0x3A ":")待ちとなりますので、外部コントローラーがレコード間に"0x3A"以外のデータを送信してもそのデータは無視されます。
- (2) 外部コントローラーは、エンドレコードのチェックサムを送信した後は何も送信せず、3 バイトの受信データ(チェックサム計算開始、チェックサムの上位と下位)待ちとなるようにしてください。(フラッシュメモリー書き込みコマンドの場合。)
- (3) 受信エラーまたはインテル Hex フォーマットエラーが発生した場合は、エラーコードを送信せず、TMP89FS60B/62B/63B は通信を停止します。インテル Hex フォーマットエラーは以下の場合発生します。
 - レコードタイプが"0x00"、"0x01"、"0x02"以外の場合
 - インテル Hex フォーマットのチェックサムエラーが発生した場合
 - 拡張レコード (レコードタイプ = 0x02)のデータ長が"0x02"でない場合
 - 拡張レコード (レコードタイプ = 0x02)のセグメントアドレスが"0x2000"以上で、その後データレコードを受信した場合
 - エンドレコード (レコードタイプ = 0x01)のデータ長が"0x00"でない場合
 - 拡張レコード (レコードタイプ = 0x02)のオフセットアドレスが"0x0000"以外の場合

表 22-20 インテルHexフォーマットの定義

	(1)	(2)	(3)	(4)	(5)	(6)
	スタート マーク	データ長 (1 バイト)	オフセットアドレス (2 バイト)	レコード タイプ (1 バイト)	データ	チェックサム (1 バイト)
データレコード (レコードタイプ = 0x00)	0x3A	データフィールド のデータ数	先頭バイトの格納 アドレス ビッグ・エンディアン で指定します	0x00	データ (1 ~ 255 バイト) (注)	(2) データ長 (3) オフセットアドレス (4) レコードタイプ (5) データの合計の 2 の 補数
エンドレコード (レコードタイプ = 0x01)	0x3A	0x00	0x0000	0x01	なし	(2) データ長 (3) オフセットアドレス (4) レコードタイプの合計 の 2 の補数
拡張レコード (レコードタイプ = 0x02)	0x3A	0x02	0x0000	0x02	セグメントアドレス (2 バイト) ビッグ・エンディア ンで指定します	(2) データ長 (3) オフセットアドレス (4) レコードタイプ (5) セグメントアドレスの 合計の 2 の補数

(注) TMP89FS60B/62B/63B では、データレコードのデータ長を 64 バイトにしてください。

22.12. セキュリティー

シリアル PROM モードでは、第三者の不正なメモリアクセスを禁止するために、「パスワード」、
「Security Program」の2つのセキュリティー機能を利用することができます。

22.12.1. パスワード

シリアル PROM モードとオンチップデバッグ機能(以下 OCD 機能と表記)に対応したセキュリティー機能で、フラッシュメモリー内の任意のデータ(ユーザーメモリーの一部)を使用してパスワードを設定することができます。パスワードが設定されると、シリアル PROM モードでのフラッシュメモリーの読み出しや書き込みなどの動作コマンドはパスワードの認証が必要となります。OCD 機能ではシステムを起動するためにパスワードの認証が必要となります。

パラレル PROM モードではパスワードによるアクセス制限はありませんので、パラレル PROM モードも含めたアクセス制限を行う場合は、Security Program の設定を併用してください。

22.12.1.1. パスワードの仕組み

TMP89FS60B/62B/63B は、フラッシュメモリー内の任意のデータ(連続する 8 バイト以上のデータ)をパスワードとして設定することができ、外部コントローラーから送信されるパスワード列と、パスワードが設定された MCU のメモリーデータ列を比較することによりパスワード列の認証を行います。

パスワードを指定できる領域は、フラッシュメモリー内のアドレス"0x1000"~"0xFEFF"となります。

22.12.1.2. パスワードの構成

パスワードは、PNSA、PCSA、パスワード列の3つで構成されています。図 22-4 にパスワードの構成(送信例)を示します。

- PNSA (パスワード数格納アドレス)
 "0x1000" ~ "0xFEFF"内のアドレスを3バイトで指定します。指定されたアドレスのメモリーデータがパスワード列のバイト数になります。メモリーデータが"0x07"以下の場合、アドレスが範囲外の場合はパスワードエラーとなります。
 なお、ここで指定されたメモリーデータはNと定義します。
- PCSA (パスワード比較開始アドレス)
 ("0x1000"~"0xFF00-N")内のアドレスを3バイトで指定します。指定されたアドレスは、パスワード列と比較するための開始アドレスとなります。アドレスが範囲外の場合はパスワードエラーとなります。
- パスワード列
 8~255 (=N)バイトのデータを指定します。PCSA で指定されたアドレスを開始アドレスとして、メモリーデータとパスワード列をNバイト分だけ比較します。比較の結果、不一致があった場合、または連続して3バイト以上同一のデータが指定された場合はパスワードエラーとなり、TMP89FS60B/62B/63B は通信を停止します。それ以降、外部デバイスは TMP89FS60B/62B/63B と通信ができなくなりますので、通信を再開する場合はRESET端子によってシリアル PROM モードを再起動してください。

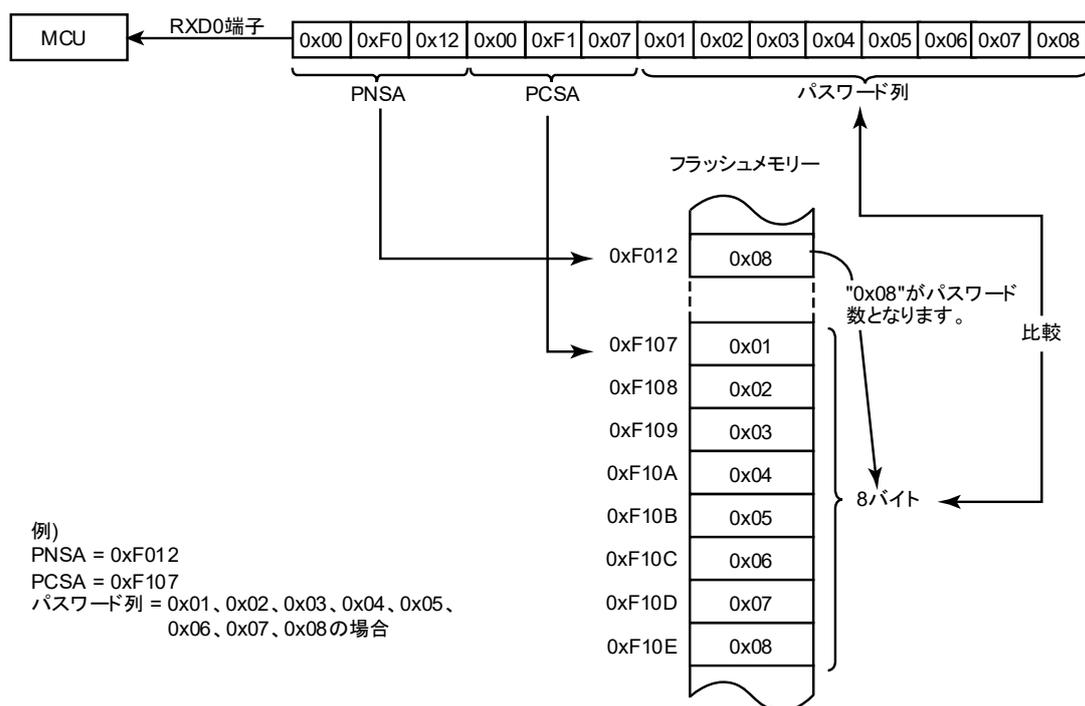


図 22-4 パスワードの構成 (送信例)

22.12.1.3. パスワードの設定/解除/認証

- パスワードの設定

パスワードはユーザープログラムの一部を利用することで実現しています。よって、パスワード設定のために特別な処理は不要で、フラッシュメモリーにプログラムを書き込んだ時点でパスワードが設定されたこととなります。

- パスワードの解除

パスワードを解除するためにはフラッシュメモリーのChip Erase(全面消去)が必要です。フラッシュメモリーが全て"0xFF"に初期化された時点でパスワードは解除されます。

- パスワードの認証

TMP89FS60B/62B/63B のアドレス"0xFFE0" ~ "0xFFFF"に書き込まれたデータが1バイトでも"0xFF"以外の場合、非ブランク品と判定され特定の動作コマンドを実行するにはパスワードの認証が必要となります。パスワードの認証には、PNSA、PCSA およびパスワード列を使用します。動作コマンドはパスワードの認証に成功したときだけ実行され、認証に失敗した場合 TMP89FS60B/62B/63B は通信を停止します。

アドレス"0xFFE0" ~ "0xFFFF"に書き込まれたデータが全て"0xFF"の場合、ブランク品と判定されパスワードの認証は行われません。ただしブランク品の場合でも、特定の動作コマンドを実行するにはPNSA、PCSA だけは必要です(パスワード列は不要です)。この場合 PNSA、PCSA は表 22-21 で定義された任意のアドレスを指定してください。

ブランク品か非ブランク品かの判断は、「ステータス出力」コマンドを実行することで確認することができます。

PNSA、PCSA、(パスワード列)が必要な動作コマンドを以下に示します。

- フラッシュメモリー消去コマンド "0xF0"
- フラッシュメモリー書き込みコマンド "0x30"
- フラッシュメモリー読み出しコマンド "0x40"
- フラッシュメモリーセキュリティ設定コマンド "0xFA"

22.12.1.4. パスワードの設定値、設定範囲

パスワードは表 22-21 の条件に従って設定してください。この条件を満たさない場合パスワードエラーとなります。パスワードエラーが発生した場合、TMP89FS60B/62B/63B は通信を停止します。

表 22-21 パスワードの設定値、設定範囲

パスワード	ブランク品 (注 2)	非ブランク品
PNSA (パスワード数格納アドレス)	$0x1000 \leq \text{PNSA} \leq 0xFEFF$	$0x1000 \leq \text{PNSA} \leq 0xFEFF$
PCSA (パスワード比較開始アドレス)	$0x1000 \leq \text{PCSA} \leq 0xFEFF$	$0x1000 \leq \text{PCSA} \leq 0xFF00 - N$
N (パスワード数)	*	$8 \leq N$
パスワード列	不要 (注 4、5)	必要 (注 3)

注 1) *: Don't care.

注 2) アドレス"0xFFE0" ~ "0xFFFF"の領域が全て"0xFF"となっている製品をブランク品とします。

注 3) 3 バイト以上同一となるデータは、パスワード列として設定できません(パスワード認証でエラーとなり、TMP89FS60B/62B/63B は通信を停止します)。

注 4) フラッシュメモリー書き込みコマンドのとき、ブランク品は PCSA の受信後、パスワード列の受信は行わず即座にインテル Hex フォーマットの受信処理を行います。このとき外部コントローラーはダミーのパスワード列を送信したとしても、TMP89FS60B/62B/63B はインテル Hex フォーマットとしてスタートマーク(0x3A ":")を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に"0x3A"が含まれていると、誤ってスタートマークと検出されるため TMP89FS60B/62B/63B は通信を停止します。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

注 5) フラッシュメモリー消去コマンドでは、ブランク品に対してパスワード列を送信しないでください。

22.12.2. Security Program

パラレル PROM モード、シリアル PROM モード、OCD 機能に対応したセキュリティー機能です。TMP89FS60B/62B/63B は、プロテクト用に専用のメモリーを内蔵しており、設定するには特別なコマンドが必要です。

Security Program が設定されると、パラレル PROM モードでのフラッシュメモリーの読み出しと書き込みが禁止されます。

シリアル PROM モードでは、フラッシュメモリーの読み出し、書き込みなどの動作コマンドの実行が禁止されます。

OCD 機能使用時は、オプションコードによりシステムの起動を禁止するか、パスワード認証で起動するかを選択することができます。

プロテクト情報は専用メモリーに書き込まれますので、ユーザーメモリーのリソースを必要としません。

22.12.2.1. Security Program の設定/解除

- Security Program の設定
Security Program を設定するには、「フラッシュメモリーセキュリティー設定コマンド」を実行します。
- Security Program の解除
Security Program を解除するには、「フラッシュメモリー消去コマンド」の Chip Erase を実行します。

22.12.3. オプションコード

割り込みベクター領域内の特定のアドレスに規定のオプションコードを配置すると、フラッシュメモリー消去コマンド実行時のパスワード列の認証の有無、および OCD 機能を起動するときの Security Program チェック有無を切り替えることができます。

- 消去パスワードフリーコード EPFC_OP: "0xFFFA"番地

ソフトウェアの開発時は、頻繁にプログラムを変更することによってパスワードが分からなくなってしまうことがあります。このような場合は、消去パスワードフリーコード(EPFC_OP)を設定することにより「フラッシュメモリー消去コマンド"0xF0"」のパスワード列の認証を無効にすることができます。

EPFC_OP は、ベクター領域内の"0xFFFA"に割り当てられています。「フラッシュメモリー消去コマンド "0xF0"」のパスワード列を無効化するには、この EPFC_OP に"0xFF"を配置するようにしてください。

量産時は EPFC_OP に"0xFF"以外を配置することにより「フラッシュメモリー消去コマンド "0xF0"」のパスワード列の認証を有効にすることを推奨します。

フラッシュメモリー消去コマンドでパスワード列の認証を無効にできるのは、Chip Eraseのみです。EPFC_OP が"0xFF"のときに Sector Erase を実行すると TMP89FS60B/62B/63B は通信を停止します。また、フラッシュメモリー消去コマンド以外のコマンドはパスワード列の認証を無効化することはできません。

- OCD Security Program フリーコード DAFC_OP: "0xFFFB"番地

TMP89FS60B/62B/63B は、第三者の不正なメモリーアクセス防止するために Security Program を設定することができます。Security Program を設定するとメモリーアクセスに関する動作コマンドに加え OCD 機能の起動が制限されます。

通常、製品の出荷時は Security Program を設定しますが、出荷後にメモリーの内容を保持した状態で OCD 機能を利用する可能性がある場合は、DAFC_OP を設定することにより、Security Program チェックをスキップして OCD 機能を起動することができます(ただしパスワード照合は必要です)。

DAFC_OP はベクター領域内の"0xFFFB"に割り当てられています。OCD機能の起動時、Security Program チェックをスキップするには DAFC_OP に"0xFF"を配置してください。この場合、Security Program のチェックは行われずパスワード照合のみで OCD 機能を起動することができます。

DAFC_OP に"0xFF"以外を配置すると、Security Program の状態によって OCD 機能が利用できるかどうかが決まります。Security Program が設定されている状態では OCD 機能を起動することはできず TMP89FS60B/62B/63B は通信を終了します。この状態の TMP89FS60B/62B/63B で OCD を利用するには「フラッシュメモリー消去コマンド"0xF0"」によってフラッシュメモリーの Chip Erase を実行する必要があります。Security Program が解除されているときは、パスワード照合で OCD 機能を起動することができます。

表 22-22 オプションコード

シンボル	機能	アドレス	設定値
EPFC_OP	フラッシュメモリー消去コマンド実行時のパスワード照合	0xFFFA	0xFF: パスワード列の認証をスキップ (PNSA、PCSA のみ認証) 0xFF 以外: パスワード列、PNSA、PCSA の認証を行う
DAFC_OP	OCD 起動時の Security Program チェック	0xFFFB	0xFF: Security Program チェックをスキップする 0xFF 以外: Security Program チェックを行う

プログラム例: 消去パスワード認証、OCD Security Program 認証を無効にする

```
vector section romdata abs = 0xFFFA
```

```
DB 0xFF ; フラッシュメモリー消去コマンドのパスワード列を承認を無効にする (EPFC_OP)
DB 0xFF ; OCD 機能起動時の Security Program チェックを無効にする (DAFC_OP)
```

22.12.4. 推奨設定

オプションコード、Security Program の推奨設定を表 22-23 に示します。

表 22-23 オプションコード、Security Programの推奨設定

	デバイスの状態			シリアル PROM モード		パラレル PROM モード		OCD 機能
	EPFC_OP (0xFFFA)	DAFC_OP (0xFFFB)	Security Program	フラッシュ メモリー 読み出し	フラッシュ メモリー 消去	フラッシュ メモリー 読み出し	フラッシュ メモリー 消去	
ソフトウェア開発の デバッグ時	0xFF	0xFF	解除	パスワード 列必要	可能	可能	可能 (注 1)	利用可能
量産時	0xFF	0xFF	設定	不可	可能	不可	可能 (注 1)	利用可能
		0xFF 以外						利用不可
	0xFF 以外	0xFF			パスワード 列必要			利用可能
		0xFF 以外						利用不可

注 1) オプションコードの設定に関係なく、パラレル PROM モードのときはチップ消去が可能です。

注 2) Security Program が設定されていない場合は、パラレル PROM モードで ROM データが自由に読み出し可能となりますので量産時は必ず Security Program を設定してください。

22.13. フローチャート

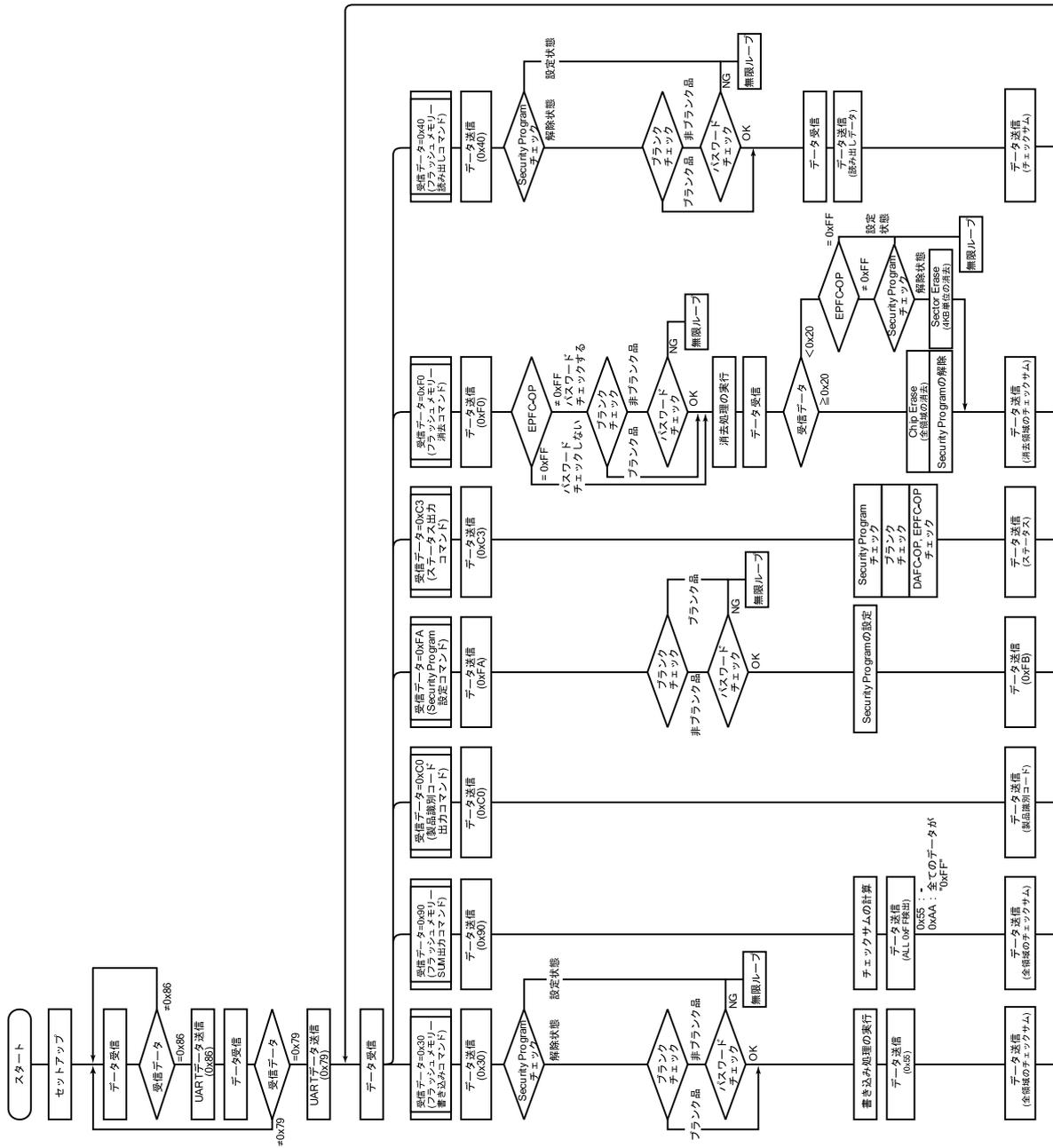


図 22-5 フローチャート

22.14. AC 特性 (UART)

表 22-24 UARTタイミング-1

項目	記号	クロック数 (fc)	必要最低時間	
			fc = 4 [MHz]	fc = 10 [MHz]
MCUが"0x86"を受信してからエコーバックを送信するまでの時間	CMeb1	約 660	165 [μs]	66 [μs]
MCUが"0x79"を受信してからエコーバックを送信するまでの時間	CMeb2	約 540	135 [μs]	54 [μs]
MCU が動作コマンドを受信してからエコーバックを送信するまでの時間	CMeb3	約 300	75 [μs]	30 [μs]
チェックサム計算時間 (フラッシュメモリへの書き込み時間は含みません)	CMfsm	約 2800000 (60K バイト)	0.7 [s]	280 [ms]
MCU がインテル Hex フォーマットデータを受信してから、チェックサム計算開始を送信するまでの時間	CMwr	約 200	50 [μs]	20 [μs]
MCU が(読み出しバイト数の)データを受信してから、メモリデータを送信するまでの時間	CMrd	約 430	107.5 [μs]	43 [μs]
Security Program 設定時間	CMrp	約 1080	270 [μs]	108 [μs]

表 22-25 UARTタイミング-2

項目	記号	クロック数 (fc)	必要最低時間	
			fc = 4 [MHz]	fc = 10 [MHz]
電源投入後、MODE、RESET端子を"Low"レベルに保持する時間	RSsup	-	10 [ms]	
MODE、RESET端子を"High"レベルにした後、RXD0 端子から受信可能となるまでの時間	RXsup	-	20 [ms]	
MCU が"0x86"のエコーバックを送信してから RXD0 端子から受信可能となるまでの時間	CMtr1	約 140	35 [μs]	14 [μs]
MCU が"0x79"のエコーバックを送信してから RXD0 端子から受信可能となるまでの時間	CMtr2	約 90	22.5 [μs]	9 [μs]
MCU が動作コマンドのエコーバックを送信してから RXD0 端子から受信可能となるまでの時間	CMtr3	約 270	67.5 [μs]	27 [μs]
現在のコマンドが終了した後、次の動作コマンドが RXD0 端子から受信可能となるまでの時間	CMnx	約 1100	275 [μs]	110 [μs]
データレコードの受信終了後の待ち時間	CMer	-	3 [ms]	

22.14.1. リセットタイミング

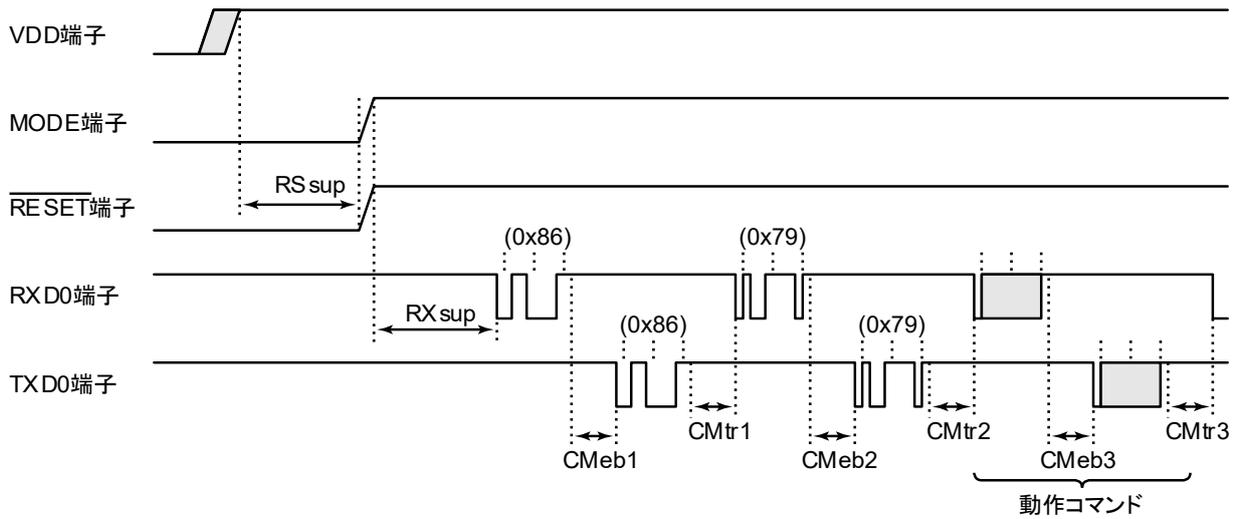


図 22-6 リセットタイミング

22.14.2. フラッシュメモリ消去コマンド (0xF0)

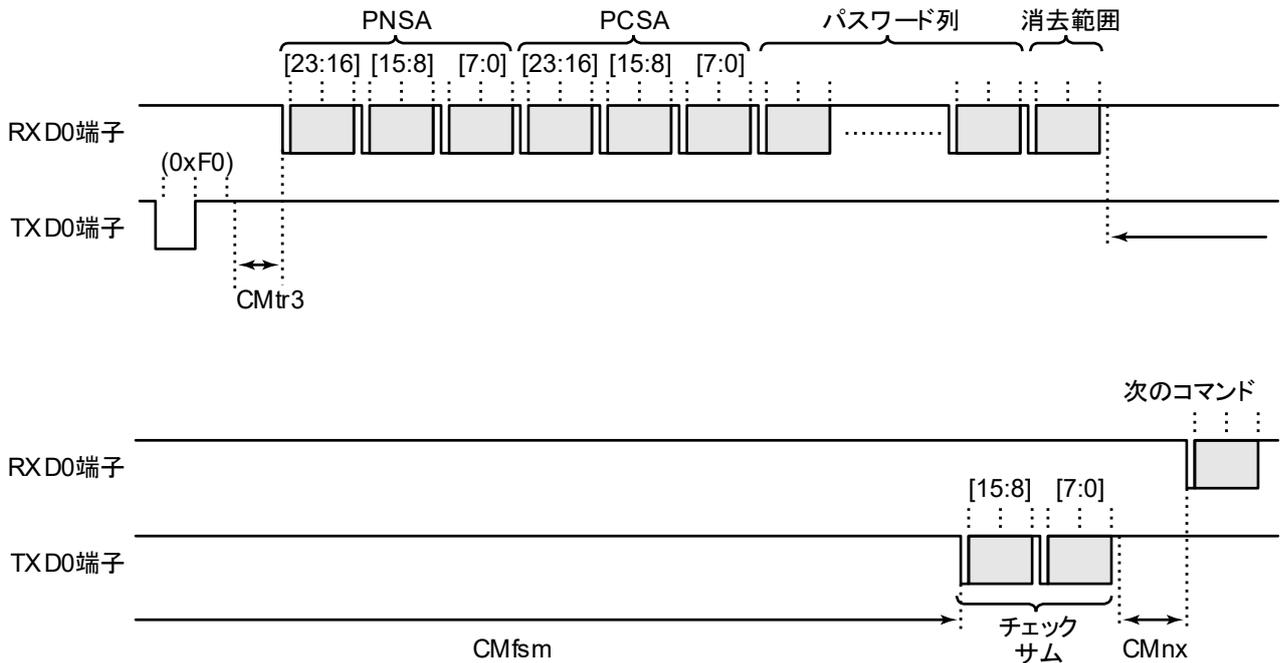


図 22-7 フラッシュメモリ消去コマンド

22.14.3. フラッシュメモリー書き込みコマンド (0x30)

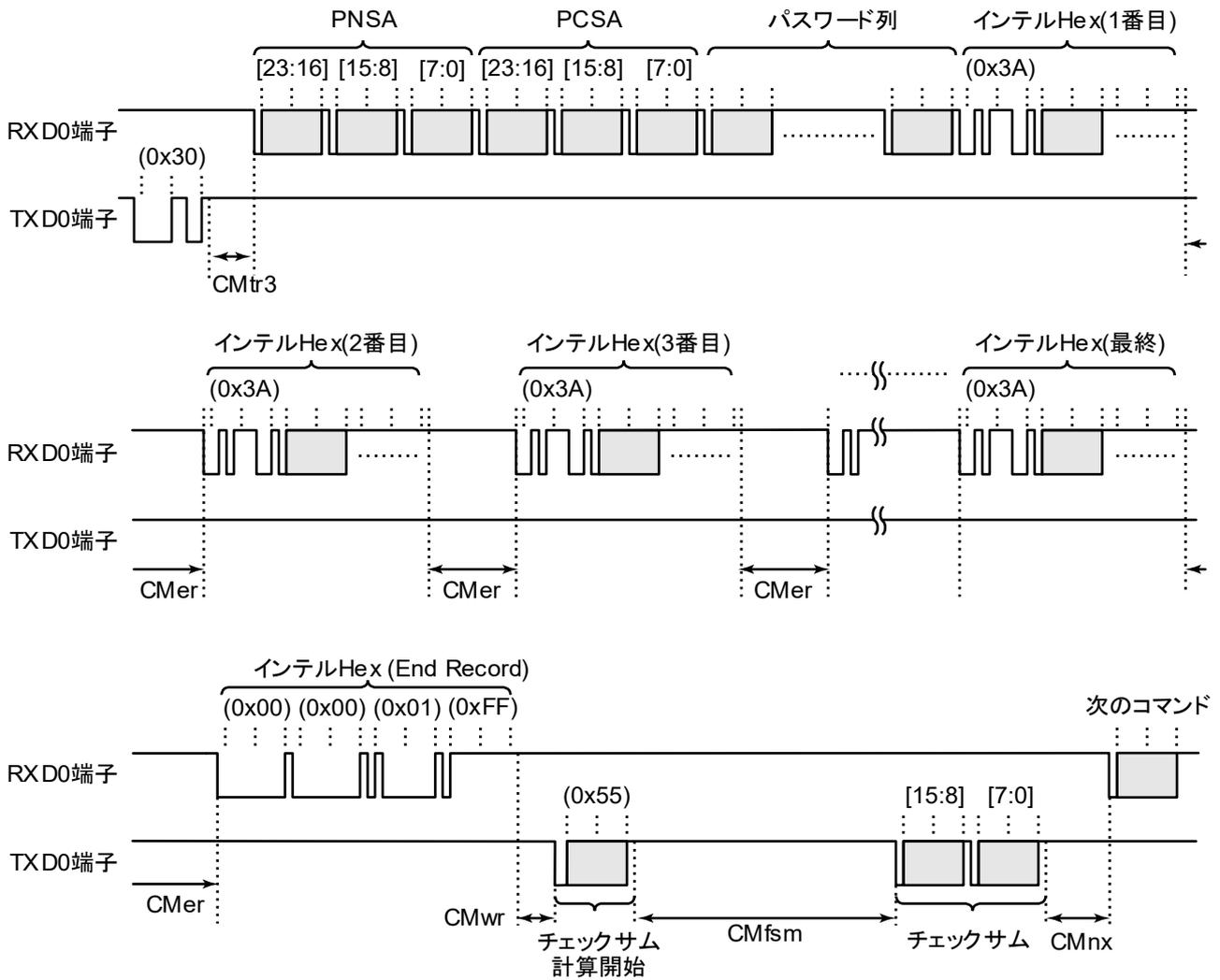


図 22-8 フラッシュメモリー書き込みコマンド

22.14.4. フラッシュメモリー読み出しコマンド (0x40)

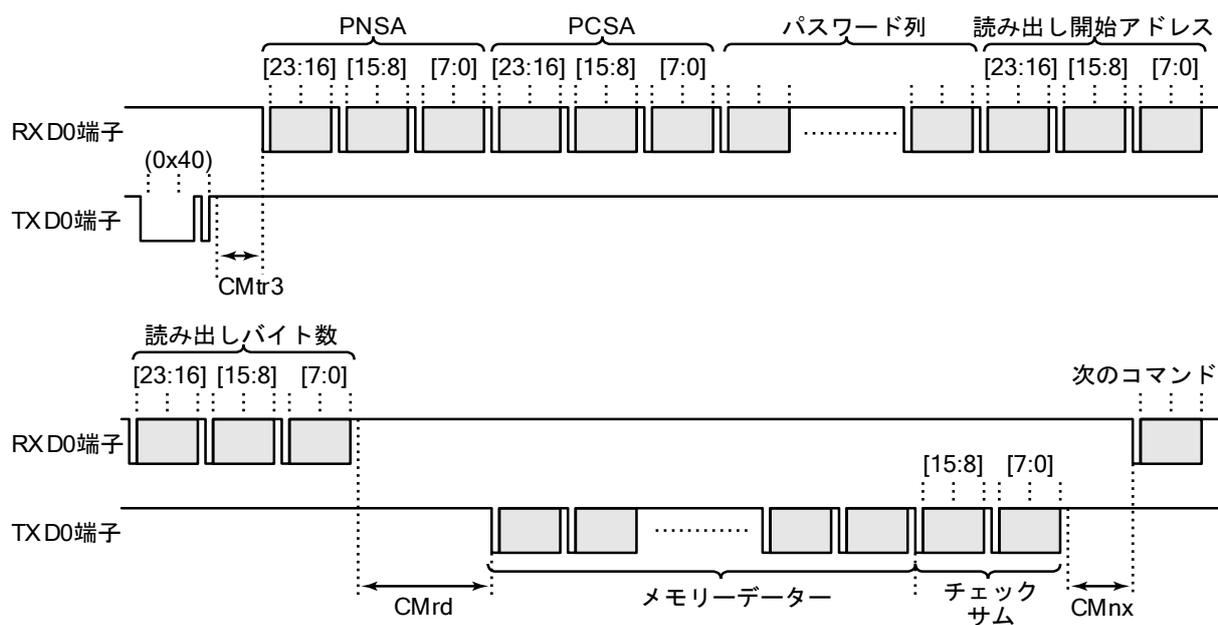


図 22-9 フラッシュメモリー読み出しコマンド

22.14.5. フラッシュメモリーSUM 出力コマンド (0x90)



図 22-10 フラッシュメモリーSUM出力コマンド

22.14.6. 製品識別コード出力コマンド (0xC0)

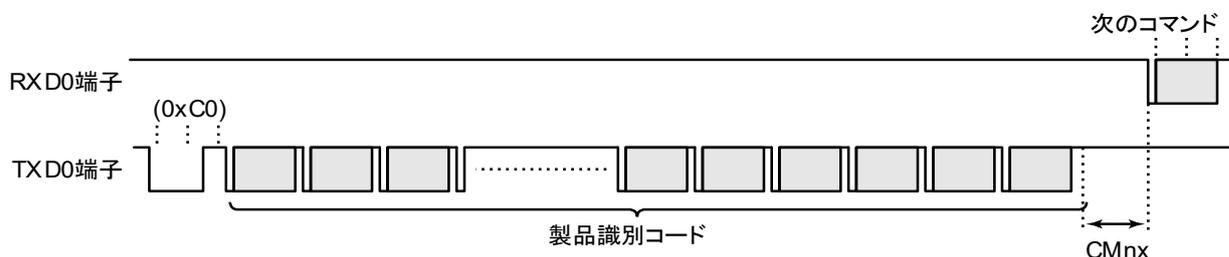


図 22-11 製品識別コード出力コマンド

22.14.7. フラッシュメモリーステータス出力コマンド (0xC3)

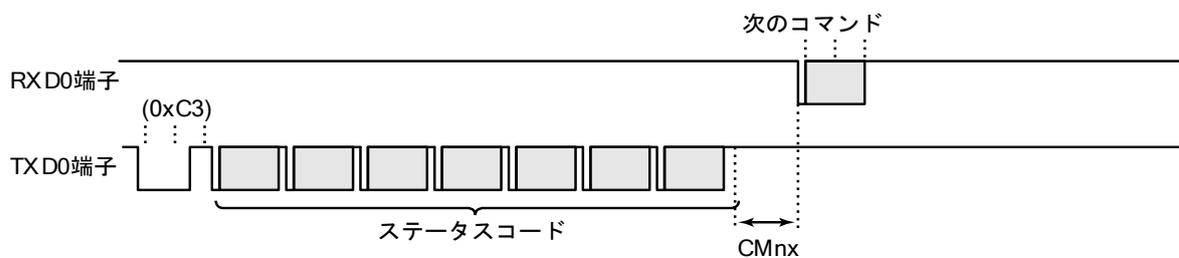


図 22-12 フラッシュメモリーステータス出力コマンド

22.14.8. フラッシュメモリーセキュリティー設定コマンド (0xFA)

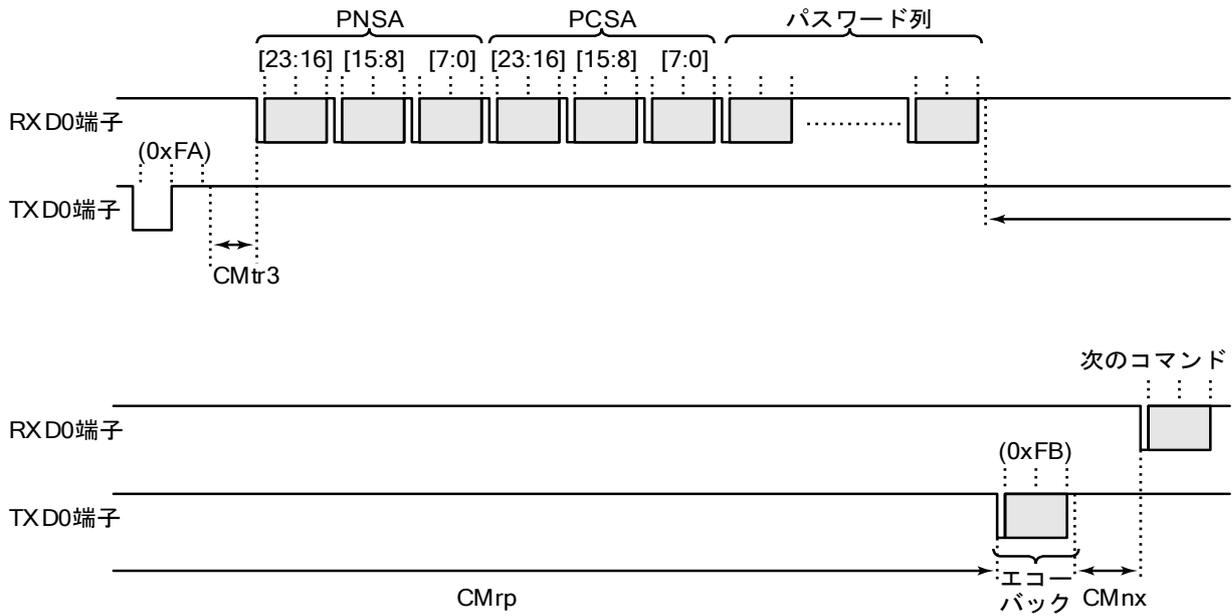


図 22-13 フラッシュメモリーセキュリティー設定コマンド

23. オンチップデバッグ機能 (OCD)

TMP89FS60B/62B/63Bは、オンチップデバッグ機能を内蔵しています。当社のRTE870/C1 オンチップデバッグエミュレーターを使用することによりオンボード環境でのソフトウェアデバッグ作業を行うことができます。

PC上のデバッガから操作することで、応用プログラムのエミュレーション機能やプログラム修正に有効なデバッグ機能を使用することができます。

この章ではオンチップデバッグ機能を使用するために必要な制御端子や、ターゲットシステムの接続構成についてだけを示します。RTE870/C1 オンチップデバッグエミュレーターの詳細な使用方法についてはエミュレーターの取り扱い説明書を参照してください。

23.1. 特長

TMP89FS60B/62B/63B のオンチップデバッグ機能には以下のような特長があります。

- MCU を実装した製品と同等の動作状態でデバッグが可能
- 2本の通信制御端子でデバッグ機能を実現
- 豊富なオンチップデバッグ機能
 - － ブレーク 8本 (1本はイベントと兼用)
 - － 最新2分岐をリアルタイムに格納できるトレース機能
 - － 実行中のメモリー表示機能/実行中のメモリー書き替え機能
- 内蔵フラッシュメモリーの消去、書き込みが可能

23.2. 制御端子

オンチップデバッグ機能は、通信用として2端子、電源とリセット、モード制御用として4本の端子を使用します。オンチップデバッグ機能使用時の端子一覧を表 23-1 に示します。

なお、P20、P21ポートはオンチップデバッグ機能の通信制御端子として使用されるため、RTE870/C1オンチップデバッグエミュレーターを使用するときは、ポート機能および兼用のUART0、SIO0機能をデバッグすることはできません。ただしUART0、SIO0機能はSERSEL<SRSEL2>によって別ポートに割り付けを変更できますので、同通信機能はオンチップデバッグ動作のときも利用可能です。詳しくは「8 入出力ポート」の章を参照してください。

表 23-1 オンチップデバッグ機能使用時の端子一覧

端子名 (オンチップデバッグ時)	入出力	機能	端子名 (MCU モード時)
OCDCCK	入力	通信制御端子 (クロック制御)	P20/TXD0/SO0
OCADIO	入出力	通信制御端子 (データ制御)	P21/RXD0/SIO
$\overline{\text{RESET}}$	入力	リセット制御端子	$\overline{\text{RESET}}$
MODE	入力	モード制御端子	MODE
VDD	電源	4.5 ~ 5.5 [V] (注)	
VSS	電源	0 [V]	
P20、P21 以外の入出力ポート	入出力	ターゲットシステムでアプリケーション用に利用可能です。	
XIN	入力	発振子を取り付け自己発振させてください。	
XOUT	出力		

注) オンチップデバッグの全機能を利用するには、 $4.5 \text{ [V]} \leq V_{DD} \leq 5.5 \text{ [V]}$ の範囲で使用する必要があります。4.2 [V] $\leq V_{DD} < 4.5 \text{ [V]}$ で使用する場合は一部のデバッグ機能に制限が発生します。詳細はエミュレーターの取り扱い説明書を参照してください。

23.3. 接続方法

オンチップデバッグ機能を利用する場合は、あらかじめターゲットシステムの特定の端子を外部に接続できるようにしておく必要があります。

RTE870/C1 オンチップデバッグエミュレーターとターゲットシステムの接続は、制御用 I/F ケーブルによって行われます。制御用 I/F ケーブルを接続するためのコネクタは当社のアクセサリツールとして用意されていますので、あらかじめターゲットシステム上に同コネクタを実装しておくことでオンチップデバッグ機能を容易に利用することができます。

図 23-1 に RTE870/C1 オンチップデバッグエミュレーターの接続例を示します。

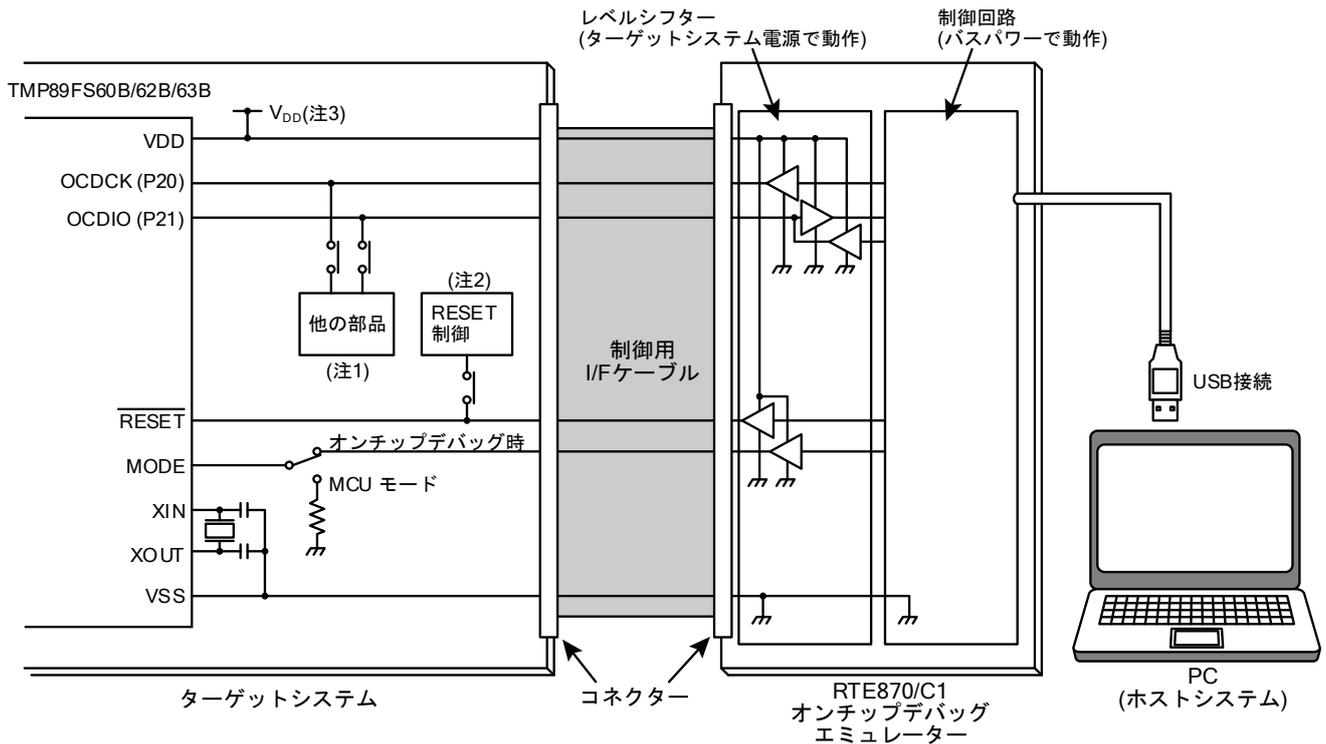


図 23-1 RTE870/C1オンチップデバッグエミュレーターの接続例

- 注 1) P20、P21 ポートはオンチップデバッグ機能の通信制御端子として使用されるため、RTE870/C1 オンチップデバッグエミュレーターを使用するときは、ポート機能および兼用の UART0、SIO0 機能をデバッグすることはできません。エミュレーターを切り離し MCU 単体として使用するときには P20、P21 ポートの機能を利用することはできますが、オンチップデバッグ機能を使用するとき、他の部品が通信制御に影響を与える場合ジャンパーやスイッチなどで切り離してください。
- 注 2) アプリケーション基板上的リセット制御回路が、オンチップデバッグ機能の制御に影響を与える場合、ジャンパーやスイッチなどで切り離してください。
- 注 3) 電源電圧 V_{DD} は必ずターゲットシステム側で用意してください。エミュレーター側に V_{DD} 端子を接続するのは、通信制御端子の電圧レベルをターゲットシステムの電源で生成するため、エミュレーターから電源電圧が供給されるわけではありません。

23.4. セキュリティーについて

TMP89FS60B/62B/63B は、第三者の不正なメモリアクセスを禁止するために、「パスワード」および「Security Program」の2つのセキュリティー機能によってオンチップデバッグ機能の利用を制限することができます。TMP89FS60B/62B/63B に対して「パスワード」を設定すると、以降オンチップデバッグ機能を利用するには「パスワード」の認証が必要となります。また「パスワード」と併用して「Security Program」を設定すると、オンチップデバッグ機能の利用を一切禁止することも可能です。さらに「オプションコード」を使用すると「Security Program」が設定された状態(シリアル、パラレル PROM モードでのアクセス制限を保持したまま)でオンチップデバッグ機能のみ利用を可能にすることも可能です(ただしこの場合「パスワード」認証は必要です)。

「パスワード」、「セキュリティー」および「オプションコード」の設定方法については、「22 シリアル PROM モード」を参照してください。

24. 端子の入出力回路

24.1. 制御端子

TMP89FS60B/62B/63B の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		$R_f = 1.2 \text{ [M}\Omega\text{] (typ.)}$ $R_o = 0.5 \text{ [k}\Omega\text{] (typ.)}$
XTIN XTOUT	入力 出力	「8. 入出力ポート」の章の P0 ポートを参照してください	
$\overline{\text{RESET}}$	入力	「8. 入出力ポート」の章の P1 ポートを参照してください	
MODE	入力		$R = 100 \text{ [}\Omega\text{] (typ.)}$

25. 電気的特性

25.1. 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 [V])

項目	記号	端子	規格	単位
電源電圧	V _{DD}		-0.3 ~ 6.0	V
入力電圧	V _{IN1}	P0、P1、P2、P4、P5、P7、P8、P9、PB	-0.3 ~ V _{DD} + 0.3	V
	V _{IN2}	AIN15 ~ AIN0 (アナログ入力電圧)	-0.3 ~ A _{VDD} + 0.3	
出力電圧	V _{OUT1}	全ポート	-0.3 ~ V _{DD} + 0.3	V
出力電流 (1 端子あたり)	I _{OUT1}	P0、P1、P2 (除く P23、P24)、P4、P5、P7、P8、P9、PB (トリステートポート)	-1.8	mA
	I _{OUT2}	P0、P1、P2 (除く P23、P24)、P4、P9 (プルアップ抵抗)	-0.4	
	I _{OUT3}	P0、P1、P2、P4、P5、P7、P8、P9	3.2	
	I _{OUT4}	PB (大電流ポート)	30	
出力電流 (全端子総計)	ΣI _{OUT1}	P0、P1、P2 (除く P23、P24)、P4、P5、P7、P8、P9、PB (トリステートポート)	-30	mA
	ΣI _{OUT2}	P0、P1、P2 (除く P23、P24)、P4、P9 (プルアップ抵抗)	-4	
	ΣI _{OUT3}	P0、P1、P2、P4、P5、P7、P8、P9	60	
	ΣI _{OUT4}	PB (大電流ポート)	120	
消費電力 (T _{opr} = 85 [°C])	P _D		250	mW
はんだ付け温度 (時間)	T _{sld}		260 (10s)	°C
保存温度	T _{stg}		-55 ~ 125	
動作温度	T _{opr}		-40 ~ 85	

注) 製品によって、ポートの端子数が異なります。ポートの端子については、「8. 入出力ポート」を参照してください。

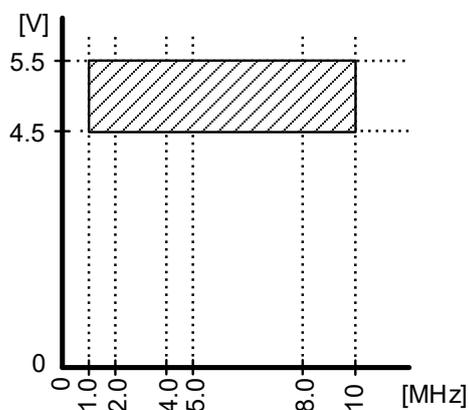
25.2. 動作条件

動作条件とは、製品が一定の品質を保って正常に動作する使用条件です。動作条件(電源電圧、動作温度範囲、AC/DC 規定値)から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように、応用機器の設計を行ってください。

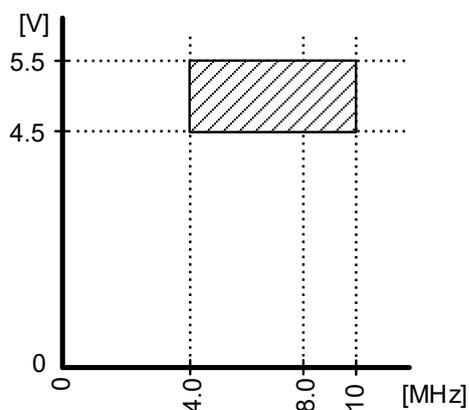
25.2.1. MCU モード (フラッシュメモリの書き込みおよび消去動作時)

(V_{SS} = 0 [V]、Topr = -40 ~ 85 [°C])

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V _{DD}		fc = 4.0 ~ 10 [MHz]	NORMAL 1/2 モード	4.5	5.5	V
			fcgck = 1.0 ~ 10 [MHz]				
クロック周波数	fc	XIN、XOUT	V _{DD} = 4.5 ~ 5.5 [V]	4.0	10	MHz	
	fcgck			1.0	10		



クロックギア (fcgck) の周波数範囲



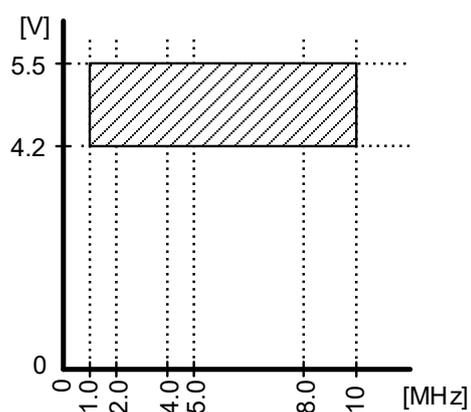
高周波クロック (fc) の周波数範囲

図 25-1 ギアクロック (fcgck) と高周波クロック (fc)

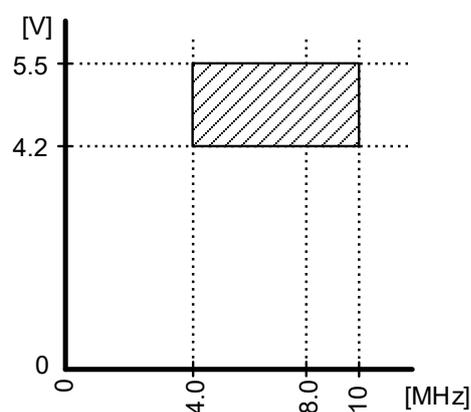
25.2.2. MCU モード (フラッシュメモリーの書き込みおよび消去動作を除く)

($V_{SS} = 0$ [V], $T_{opr} = -40 \sim 85$ [°C])

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V_{DD}		$f_c = 4.0 \sim 10$ [MHz]	NORMAL1 モード IDLE0/1 モード	4.2	5.5	V
			$f_{cgck} = 1.0 \sim 10$ [MHz]				
			$f_c = 4.0 \sim 10$ [MHz]	NORMAL2 モード IDLE2 モード SLOW2 モード			
			$f_{cgck} = 1.0 \sim 10$ [MHz]				
			$f_s = 32.768$ [kHz]				
			$f_s = 32.768$ [kHz]	SLOW1 モード SLEEP0/1 モード			
STOP モード							
クロック周波数	f_c	XIN, XOUT	$V_{DD} = 4.2 \sim 5.5$ [V]	4.0	10	MHz	
	f_{cgck}			1.0	10		
	f_s	XTIN, XTOUT		30	34	kHz	



クロックギア (fcgck) の周波数範囲



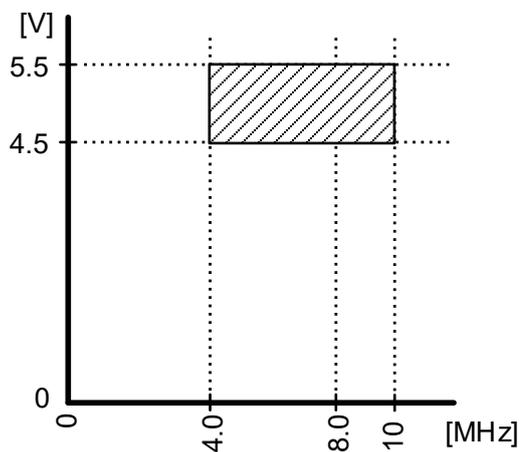
高周波クロック (fc) の周波数範囲

図 25-2 ギアクロック (fcgck) と高周波クロック (fc)

25.2.3. シリアル PROM モード

($V_{SS} = 0$ [V]、 $T_{opr} = -40 \sim 85$ [°C])

項目	記号	端子	条件	Min	Max	単位
電源電圧	V_{DD}		$f_c = 4.0 \sim 10$ [MHz] NORMAL1 モード	4.5	5.5	V
クロック周波数	f_c	XIN、XOUT	$V_{DD} = 4.5 \sim 5.5$ [V]	4.0	10	MHz



高周波クロック (f_c) の周波数範囲

図 25-3 高周波クロック (f_c)

25.3. DC 特性

($V_{DD} = 4.5 \sim 5.5$ [V]、 $V_{SS} = 0$ [V]、 $T_{opr} = -40$ to 85 [°C])

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力		-	0.9	-	V
入力電流	I_{IN1}	MODE	$V_{DD}=5.5$ [V] $V_{IN} = V_{MODE}=5.5$ [V]/0 [V]	-	-	± 2	μA
	I_{IN2}	P0、P1、P2、P4、P5、 P7、P8、P9、PB					
	I_{IN3}	RESET、STOP					
入力抵抗	R_{IN2}	RESETプルアップ	$V_{DD}=5.5$ [V]、 $V_{IN} = V_{MODE} = 0$ [V]	100	220	500	k Ω
	R_{IN3}	P0、P1、P2 (除く P23、P24)、P4、P9 プ ルアップ		30	50	100	
出力リーク電流	I_{LO1}	P0、P1、P2、P4、P5、 P7、P8、P9、PB	$V_{DD} = 5.5$ [V]、 $V_{OUT} = 5.5$ [V]/0 [V]	-	-	± 2	μA
高レベル入力電圧	V_{IH1}	MODE 端子	$V_{DD} \geq 4.5$ [V]	$V_{DD} \times 0.70$	-	V_{DD}	V
	V_{HI2}	ヒステリシス入力		$V_{DD} \times 0.75$	-		
低レベル入力電圧	V_{IL1}	MODE 端子	$V_{DD} \geq 4.5$ [V]	0	-	$V_{DD} \times 0.30$	
	V_{IL2}	ヒステリシス入力		-	-	$V_{DD} \times 0.25$	
高レベル出力電圧	V_{OH}	除く P23、P24、 XOUT、XTOUT	$V_{DD} = 4.5$ [V]、 $I_{OH} = -0.7$ [mA]	4.1	-	-	V
低レベル出力電圧	V_{OL}	除く XOUT、XTOUT	$V_{DD} = 4.5$ [V]、 $I_{OL} = 1.6$ [mA]	-	-	0.4	
低レベル出力電流	I_{OL}	PB (大電流ポート)	$V_{DD} = 4.5$ [V]、 $V_{OL} = 1.0$ [V]	-	20	-	mA

注 1) Typ.値は、条件に指定なき場合 $T_{opr} = 25$ [°C]、 $V_{DD} = 5.0$ [V]時の値を示します。

注 2) 入力電流 I_{IN3} : プルアップ抵抗による電流を除きます。

注 3) V_{IN} : MODE 端子を除く端子に印加される電圧、 V_{MODE} : MODE 端子に印加される電圧

注 4) 製品によって、ポートの端子数が異なります。ポートの端子については、「8. 入出力ポート」を参照してください。

(V_{SS} = 0 [V], Topr = -40 ~ 85 [°C])

項目	記号	条件	Min	Typ.	Max	単位
NORMAL1/2 モード時電源電流	I _{DD}	V _{DD} = 5.5 [V] V _{IN} = 5.3 [V]/0.2 [V] V _{MODE} = 5.3 [V]/0.1 [V] fcgck = 10.0 [MHz] fs = 32.768 [kHz]	-	3.7	7.0	mA
IDLE0/1/2 モード時 電源電流			-	3.3	6.0	
SLOW1 モード時 電源電流			-	170	320	μA
SLEEP1 モード時 電源電流			-	170	320	
SLEEP0 モード時 電源電流			-	170	320	
STOP モード時 電源電流			-	20	170	
フラッシュメモリー書 き込み、消去、セキュ リティープログラム電 流	I _{DDEW}	V _{DD} = 5.5 [V] V _{IN} = 5.3 [V]/0.2 [V] V _{MODE} = 5.3 [V]/0.1 [V]	-	3.7	-	mA

注 1) Typ.値は、条件に指定なき場合 Topr = 25 [°C]、V_{DD} = 5.0 [V]時の値を示します。

注 2) I_{DD} は、I_{REF} を含まず、周辺回路を動作させた状態の電流です。

注 3) V_{IN}: MODE 端子を除く端子に印加される電圧、V_{MODE}: MODE 端子に印加される電圧

注 4) SLOW2 モードの各電源電流は、IDLE0、IDLE1、IDLE2 モードと同等です。

25.4. AD 変換特性

25.4.1. TMP89FS60B の AD 変換特性

($V_{DD} = 4.5 \sim 5.5$ [V]、 $V_{SS} = A_{VSS} = 0.0$ [V]、 $T_{opr} = -40 \sim 85$ [°C])

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		4.5	-	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 3)	ΔV_{AREF}		4.5	-	5.5	
アナログ入力電圧範囲	V_{AIN}		A_{VSS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 5.5$ [V]	-	0.4	1.0	mA
		$V_{DD} = A_{VDD} = V_{AREF} = 4.5$ [V]	-	0.3	0.8	
非直線性誤差		$V_{DD} = A_{VDD} = 4.5 \sim 5.5$ [V] $V_{AREF} = 4.5 \sim 5.5$ [V]	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 2	

注 1) 総合誤差は量子化誤差を除いた全ての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) A_{IN} 入力端子への入力電圧は $V_{AREF} \sim A_{VSS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。

注 3) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - A_{VSS}$

注 4) AD コンバーターを使用しない場合、 A_{VDD} 端子と V_{AREF} 端子は V_{DD} レベルに固定してください。

25.4.2. TMP89FS62B の AD 変換特性

($V_{DD} = 4.5 \sim 5.5$ [V]、 $V_{SS} = A_{VSS} = 0.0$ [V]、 $T_{opr} = -40 \sim 85$ [°C])

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧/ アナログ制御回路電源電圧	V_{AREF}/A_{VDD}		V_{DD}			V
アナログ入力電圧範囲	V_{AIN}		A_{VSS}	-	V_{AREF}/A_{VDD}	
アナログ基準電圧電源電流 (注 4)	I_{REF}	$V_{DD} = V_{AREF}/A_{VDD} = 5.5$ [V]	-	0.4	1.0	mA
		$V_{DD} = V_{AREF}/A_{VDD} = 4.5$ [V]	-	0.3	0.8	
非直線性誤差		$V_{DD} = V_{AREF}/A_{VDD} = 4.5 \sim 5.5$ [V]	-	-	± 3.5	LSB
ゼロ誤差			-	-	± 3.5	
フルスケール誤差			-	-	± 3.5	
総合誤差			-	-	± 3.5	

注 1) 総合誤差は量子化誤差を除いた全ての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) A_{IN} 入力端子への入力電圧は $V_{AREF}/A_{VDD} \sim A_{VSS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。

注 3) AD コンバーターを使用しない場合、 V_{AREF}/A_{VDD} 端子は V_{DD} レベルに固定してください。

注 4) アナログ基準電圧電源電流には、 A_{VDD} 端子に流れる電流も含まれます。

25.4.3. TMP89FS63B の AD 変換特性

($V_{DD} = 4.5 \sim 5.5$ [V], $V_{SS} = A_{VSS} = 0.0$ [V], $T_{opr} = -40 \sim 85$ [°C])

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		4.5	-	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 3)	ΔV_{AREF}		4.5	-	5.5	
アナログ入力電圧範囲	V_{AIN}		A_{VSS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 5.5$ [V]	-	0.4	1.0	mA
		$V_{DD} = A_{VDD} = V_{AREF} = 4.5$ [V]	-	0.3	0.8	
非直線性誤差		$V_{DD} = A_{VDD} = 4.5 \sim 5.5$ [V] $V_{AREF} = 4.5 \sim 5.5$ [V]	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 2	

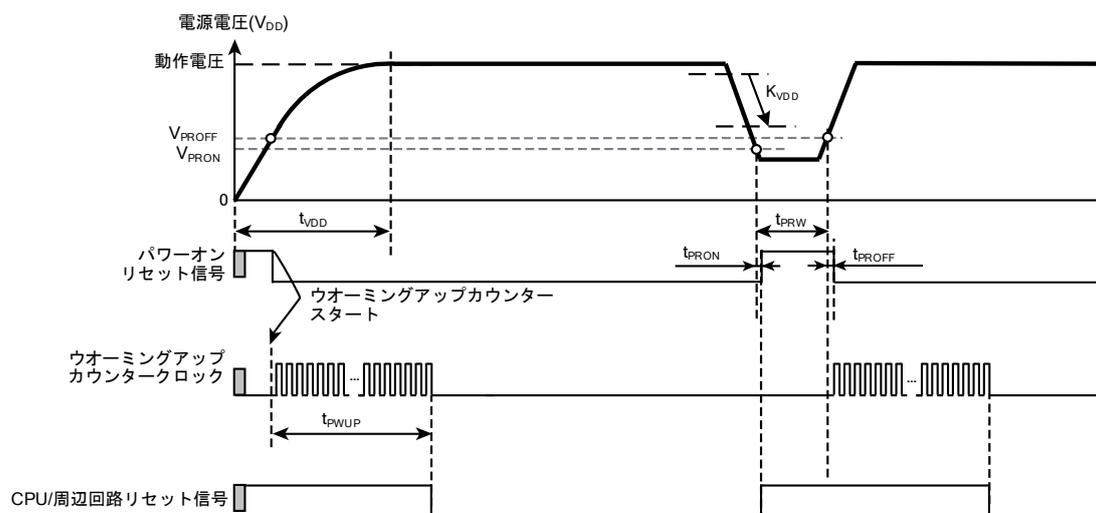
注 1) 総合誤差は量子化誤差を除いた全ての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) A_{IN} 入力端子への入力電圧は $V_{AREF} \sim A_{VSS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。

注 3) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - A_{VSS}$

注 4) AD コンバーターを使用しない場合、 A_{VDD} 端子と V_{AREF} 端子は V_{DD} レベルに固定してください。

25.5. パワーオンリセット回路特性



注) 電源電圧(V_{DD})変動によってはパワーオンリセット回路が完全な動作をしないことがありますので、機器設計時には「25. 電気的特性」を参照の上、十分な考慮が必要です。

図 25-4 パワーオンリセットの動作タイミング

($V_{SS} = 0$ [V]、 $T_{opr} = -40 \sim 85$ [°C])

記号	項目	Min	Typ.	Max	単位
V_{PROFF}	パワーオンリセット解除電圧 (注 2)	4.16	4.26	4.36	V
V_{PRON}	パワーオンリセット検出電圧 (注 2)	4.15	4.25	4.35	
t_{PROFF}	パワーオンリセット解除応答時間	-	0.01	0.1	ms
t_{PRON}	パワーオンリセット検出応答時間	-	0.01	0.1	
t_{PRW}	パワーオンリセット最小パルス幅	1.0	-	-	
t_{PWUP}	リセット解除後のウォーミングアップ時間	-	$102 \times 2^9 / f_c$	-	s
t_{VDD}	電源立ち上がり時間	0.1	-	5	ms
K_{VDD}	電源立ち下りの傾き	1	-	-	ms/V

注 1) f_c : 高周波クロック [Hz]

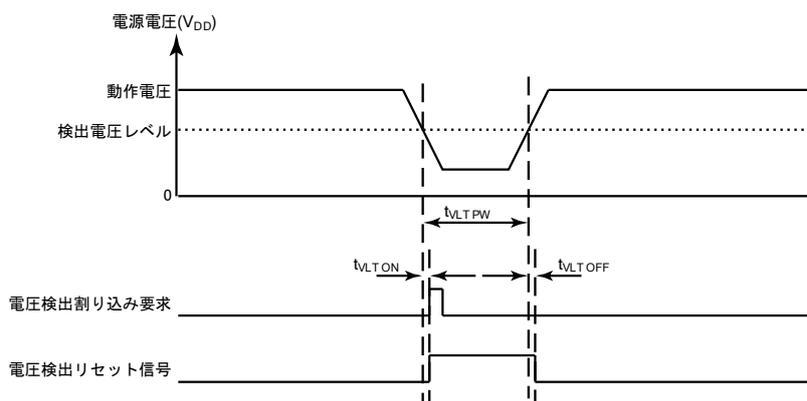
注 2) パワーオンリセット解除電圧と検出電圧は、相対的に変動するため解除電圧と検出電圧が逆転することはありません。

注 3) パワーオンリセットの解除電圧、検出電圧と電圧検出回路の検出電圧レベルは、相対的に変動するため、両者が逆転することはありません。

注 4) ウォーミングアップカウンターの入力クロックに発振回路から出力されるクロックを使用します。発振回路が安定するまで発振周波数が安定しないため、ウォーミングアップ時間には誤差を含みます。

注 5) $t_{VDD} < t_{PWUP}$ となるように電源電圧を立ち上げてください。

25.6. 電圧検出回路特性



注) 電源電圧 (V_{DD})変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には「25. 電気的特性」を参照の上、十分な考慮が必要です。

図 25-5 電圧検出回路の動作タイミング

(V_{SS} = 0 [V]、T_{opr} = -40 ~ 85 [°C])

記号	項目	Min	Typ.	Max	単位
t _{VLTOFF}	電圧検出回路解除応答時間	-	0.01	0.1	ms
t _{VLTON}	電圧検出回路検出応答時間	-	0.01	0.1	
t _{VLTPW}	電圧検出回路検出最小パルス幅	1.0	-	-	

25.7. AC 特性

25.7.1. MCU モード (フラッシュメモリの書き込みおよび消去動作時)

(V_{SS} = 0 [V]、V_{DD} = 4.5 ~ 5.5 [V]、T_{opr} = -40 ~ 85 [°C])

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1/2 モード時	0.1	-	1	μs
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力) fc = 10.0 [MHz]時	-	50.0	-	ns
低レベルクロックパルス幅	t _{WCL}					

注) fc: 高周波クロック [Hz]

25.7.2. MCU モード (フラッシュメモリの書き込みおよび消去動作を除く)

(V_{SS} = 0 [V]、V_{DD} = 4.2 ~ 5.5 [V]、T_{opr} = -40 ~ 85 [°C])

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1/2 モード時	0.1	-	1	μs
		IDLE0/1/2 モード時				
		SLOW1/2 モード時	117.6	-	133.3	
		SLEEP0/1 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力) fc = 10.0 [MHz]時	-	50.0	-	ns
低レベルクロックパルス幅	t _{WCL}					
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 [kHz]時	-	15.26	-	μs
低レベルクロックパルス幅	t _{WSL}					

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

25.7.3. シリアル PROM モード

(V_{SS} = 0 [V]、V_{DD} = 4.5 ~ 5.5 [V]、T_{opr} = -40 ~ 85 [°C])

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1 モード時	0.1	-	0.25	μs
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力) fc = 10.0 [MHz]時	-	50.0	-	ns
低レベルクロックパルス幅	t _{WCL}					

注) fc: 高周波クロック [Hz]

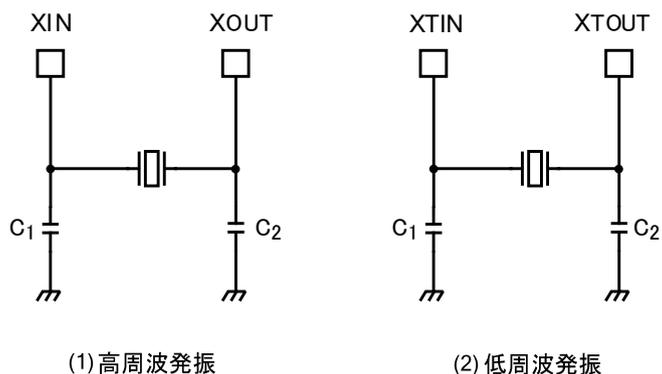
25.8. フラッシュメモリー特性

25.8.1. 消去/書き込み特性

($V_{SS} = 0$ [V]、 $V_{DD} = 4.5 \sim 5.5$ [V]、 $T_{opr} = -40 \sim 85$ [°C])

項目	記号	条件	Min	Typ.	Max	単位
フラッシュメモリー消去/書き込み回数	n_{EW}		-	-	1000	回
フラッシュメモリー書き込み時間	t_w		-	-	3	ms
フラッシュメモリー消去時間	t_{CE}	Chip Erase	-	-	136	
	t_{SE}	Sector Erase	-	-	8	

25.9. 発振条件



注 1) 発振の安定には、発振子の位置、負荷容量などを適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願い致します。

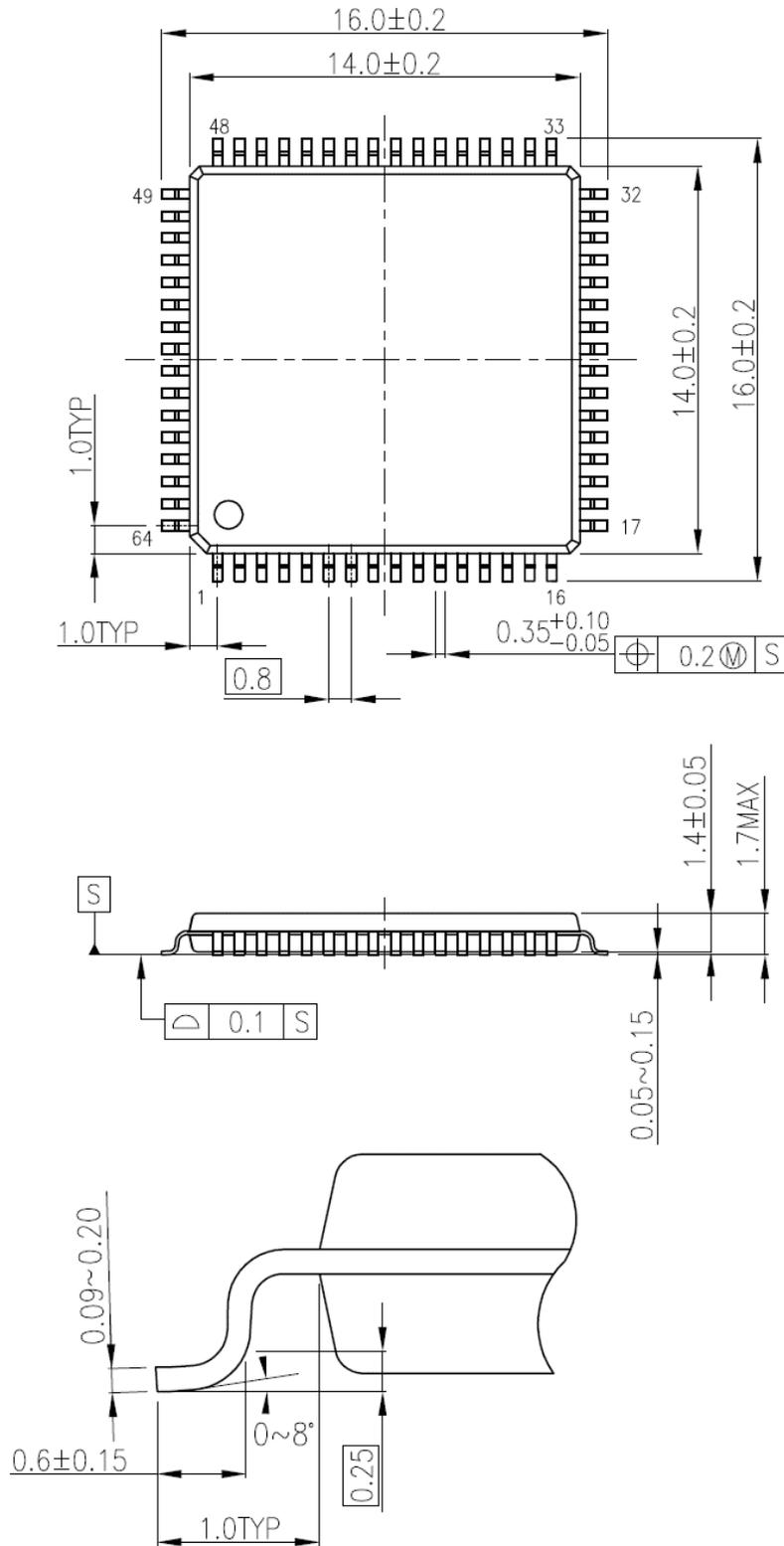
注 2) 本製品の高周波クロック用発振回路は(株)村田製作所製の発振子を用いて評価しています。(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

26. 外形寸法図

26.1. TMP89FS60BFG

P-LQFP64-1414-0.80-002

Unit: mm

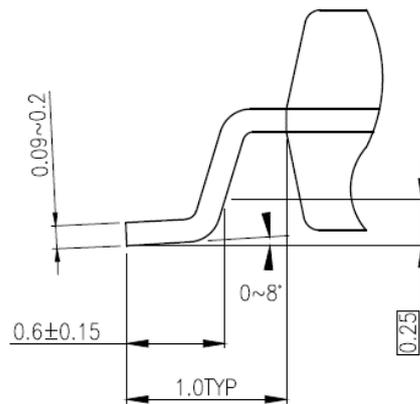
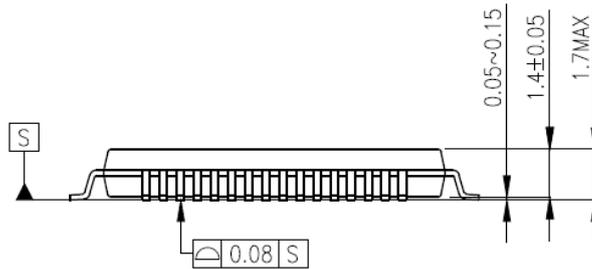
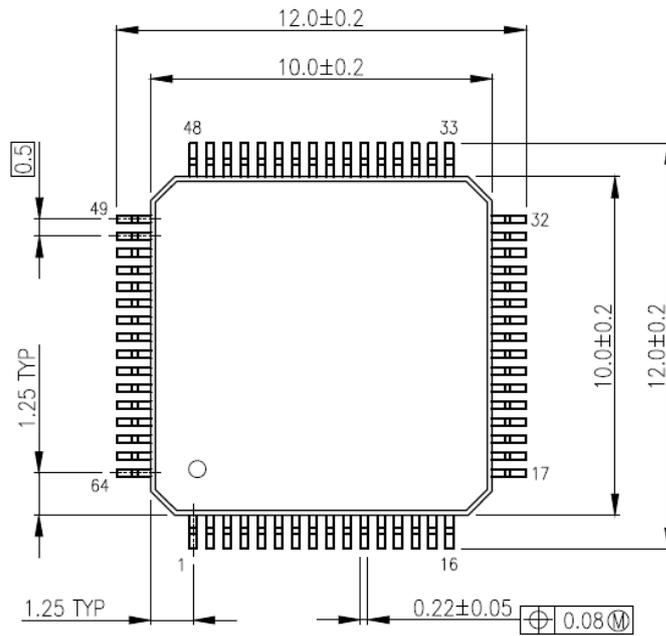


質量: 0.67 g (標準)

26.2. TMP89FS60BUG

P-LQFP64-1010-0.50 -003

Unit: mm

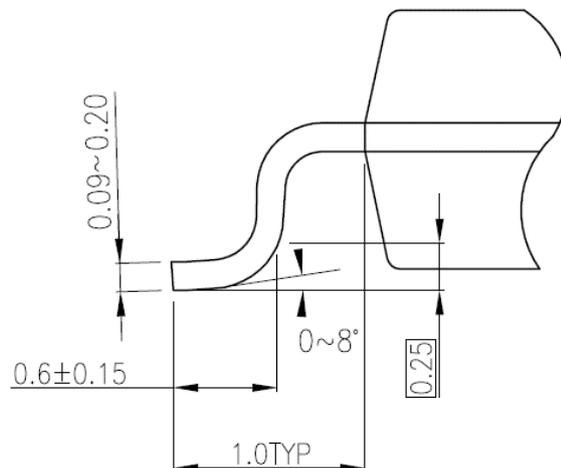
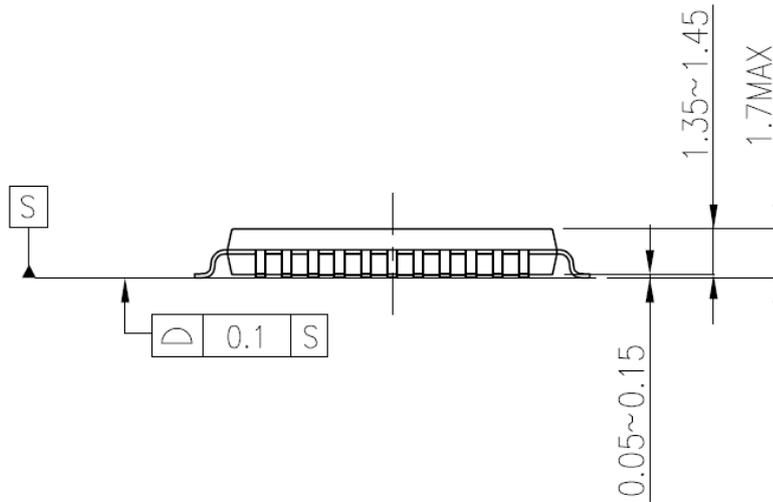
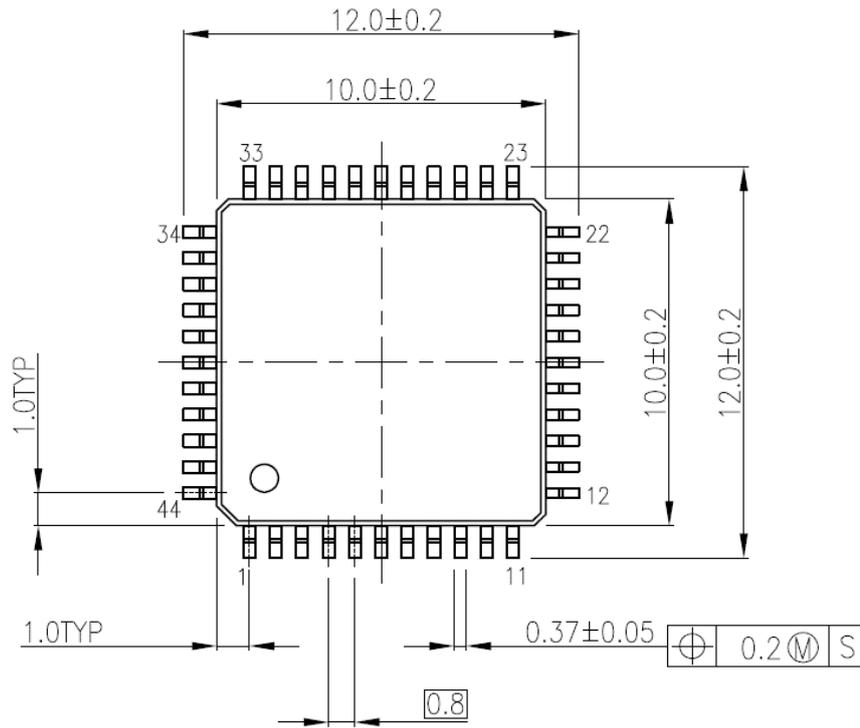


質量: 0.37 g (標準)

26.3. TMP89FS62BUG

P-LQFP44-1010-0.80-003

Unit: mm

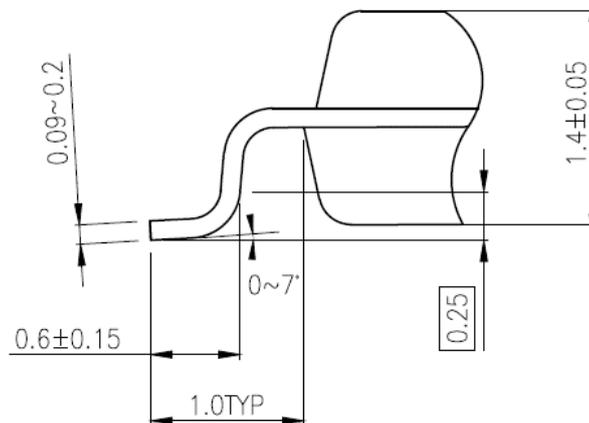
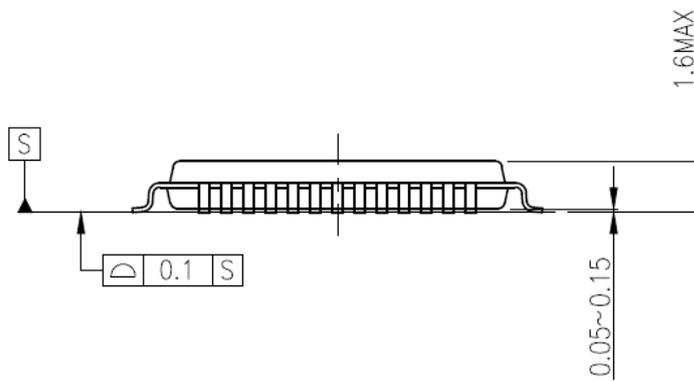
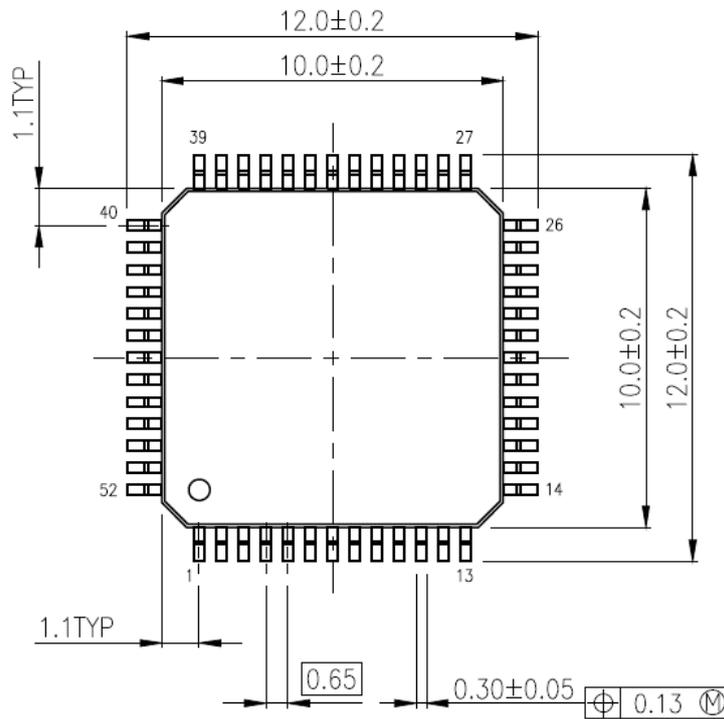


質量: 0.37 g (標準)

26.4. TMP89FS63BUG

P-LQFP52-1010-0.65-002

Unit: mm



質量: 0.37 g (標準)

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。