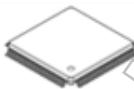
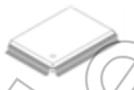


CMOS 形 デジタル集積回路 シリコン モノリシック

# TMPM4K グループ(2)

## 概要

- Arm® Cortex®-M4(FPU 機能搭載)  
動作周波数：1~160MHz、動作電圧：2.7~5.5V
- 128~512 KB コードフラッシュ、32KB データフラッシュ
- 64~144 ピン、8 種類のパッケージ展開
- ベクトル制御と PFC 制御を実現するハードウェア群(A-VE+、12bitADC、A-PMD)

	LQFP144	20x20mm, 0.5mm pitch
	LQFP100	14x14mm, 0.5mm pitch
	LQFP80	14x14mm, 0.65mm pitch
	LQFP80	12x12mm, 0.5mm pitch
	LQFP64	12x12mm, 0.65mm pitch
	LQFP64	10x10mm, 0.5mm pitch
	LQFP128	14x20mm, 0.5mm pitch
	QFP100	14x20mm, 0.65mm pitch

## 用途

モーター、モーター家電、産業機器に幅広く使用可能

## 特長

- Arm Cortex-M4(FPU 機能搭載) コア搭載
  - 動作周波数：1~160MHz
  - メモリー保護ユニット(MPU)搭載
- 動作電圧と消費電力
  - 動作電圧：2.7~5.5 V
  - 低消費電力動作：IDLE、STOP1
- 動作温度範囲：-40~+105 °C
- 内蔵メモリー
  - コードフラッシュ：128~512 KB、書き換え：1 万回
  - データフラッシュ：32KB、書き換え：10 万回
  - 命令実行と並行してデータフラッシュを書き換え可能
  - RAM：24KB、パリティ付き
- クロック
  - 外部高速発振器：6MHz~12 MHz (セラミック、水晶)
  - 外部高速クロック入力：6~10 MHz
  - 内蔵高速発振器(IHOSC1)：10MHz、ユーザートリミング
  - PLL：160MHz(システムクロック)
- 周波数検知(OFD)：システムクロック異常検知
- 電圧検知(LVD)：8 レベル、割り込みとリセット出力選択
- 割り込み
  - 外部：15~22 要因、DNF:デジタルノイズフィルター付き
  - 内部：95~105 要因
- 入出力ポート：51~131 本 (入力:2 本、出力:1 本)
  - プルアップ/ダウン、オープンドレイン、5V トレラントあり
- オンチップデバッグ(JTAG/SW)、NBDIF(RAM モニター)
- トリガーセクター(TRGSEL)
  - DMAC やタイマーなどの起動要因を拡張
- DMA コントローラー(DMAC)：1 ユニット
  - 起動要因：30~32 要因、内部/外部トリガー
- CRC 計算回路(CRC)：CRC32、CRC16
- 非同期シリアル通信回路(UART)：3~4 チャネル
  - 最大 5Mbps、FIFO(送信×8、受信×8)
- シリアルペリフェラルインターフェース(TSPI)：2 チャネル
  - SIO/SPI モード、最大 10Mbps、FIFO(送信 16 ビット×8、受信 16 ビット×8)
- I<sup>2</sup>C インターフェース(I<sup>2</sup>C)：2 チャネル、マルチマスター
- CAN コントローラー(CAN)：0~1 チャネル
  - Version2.0B Active 対応、32 メールボックス、最大 1Mbps
- 12ビット AD コンバーター(ADC)：3 ユニット/14~32 チャネル入力
  - 変換時間：1.0µs @160MHz(ADCLK)
  - 自己診断サポート機能
- オペアンプ(OPAMP)：3 チャネル
  - ゲイン選択可
- アドバンストプログラマブルモーター制御回路(A-PMD)：3 チャネル
  - 3 相相補 PWM 出力、ADC との同期動作
  - PFC 制御：3 相インターリーブ PFC 対応可
  - 外部入力による緊急停止機能(EMG 端子、OVV 端子)
- アドバンストベクトルエンジンプラス(A-VE+)：1 チャネル
  - ベクトル制御演算用コプロセッサ、ADC/A-PMD と連携動作
  - 1 シャント電流検出領域の拡大制御
  - デッドタイム補償制御、非干渉制御
- アドバンストエンコーダー入力回路(32-bit)(A-ENC32)：1~3 チャネル
  - エンコーダー/センサー(3 種)/タイマー/位相カウンタモード

製品量産開始時期  
2019-05

- 32ビットタイマーイベントカウンター(T32A)
  - 32ビットタイマー時 6チャンネル, 16ビットタイマー時 12チャンネル
  - インターバルタイマー、イベントカウント、インプットキャプチャー、位相差入力、PPG 出力、同期スタート、トリガースタート
- ウォッチドッグタイマー(SIWDG): 1チャンネル
  - システムクロックと別系統のソースクロックを選択  
クリアウインドウ、割り込みとリセット出力選択

Not Recommended  
for New Design

### 機能別製品一覧

この表は開発中製品を含みます。  
各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表 1 機能別製品一覧

内蔵機能		TMPM4KQFDFG TMPM4KQFYFG TMPM4KQFWFG	TMPM4KPFDDFG TMPM4KPFYDFG TMPM4KPFWDFG	TMPM4KNFDDFG TMPM4KNFYDFG TMPM4KNFWDFG TMPM4KNFDFG TMPM4KNFYFG TMPM4KNFWFG	TMPM4KMFDDFG TMPM4KMFYDFG TMPM4KMFWDFG TMPM4KMFDFG TMPM4KMFYFG TMPM4KMFWFG	TMPM4KLFDFG TMPM4KLFYUG TMPM4KLFWUG TMPM4KLFDFG TMPM4KLFYFG TMPM4KLFWFG
Memory	Code Flash (KB)	512 256 128	512 256 128	512 256 128	512 256 128	512 256 128
	Data Flash (KB)	32	32	32	32	32
	RAM (KB)	24	24	24	24	24
I/O port	PORT (pin)	131	115	87	67	51
External interrupt	INT (pin)	22	21	20	18	15
DMA	DMAC (ch)	32	32	32	32	30
Timer function	T32A (ch)	6	6	6	6	6
Serial communication function	UART (ch)	4	4	4	4	3
	I <sup>2</sup> C (ch)	2	2	2	2	2
	TSPI(SIO) (ch)	2	2	2	2	2
	CAN (ch)	1	1	1	N/A	N/A
Analog function	12-bit ADC Unit A/B/C (AIN ch)	16/8/8	16/8/8	11/5/6	8/5/4	8/3/3
	OPAMP (ch)	3	3	3	3	3
Motor control peripherals	A-VE+ (ch)	1	1	1	1	1
	A-PMD (ch)	3	3	3	3	3
	A-ENC32 (ch)	3	3	3	2	1
Other peripherals	CRC (ch)	1	1	1	1	1
	RAMP (ch)	2	2	2	2	2
System function	LVD	1	1	1	1	1
	WDT (ch)	1	1	1	1	1
	OFD	1	1	1	1	1
	POR	1	1	1	1	1
Debug interface	Debug	JTAG/SW TRACE(4bits) NBDIF	JTAG/SW TRACE(4bits) NBDIF	JTAG/SW TRACE(4bits) NBDIF	SW	SW
Package	Package type	LQFP144 (20 mm x 20 mm, 0.5 mm pitch)	LQFP128 (14 mm x 20 mm, 0.5 mm pitch)	QFP100 (14 mm x 20 mm, 0.65 mm pitch)	LQFP80 (14 mm x 14 mm, 0.65 mm pitch)	LQFP64 (10 mm x 10 mm, 0.5 mm pitch)
				LQFP100 (14 mm x 14 mm, 0.5 mm pitch)	LQFP80 (12 mm x 12 mm, 0.5 mm pitch)	LQFP64 (12 mm x 12 mm, 0.65 mm pitch)

## 目次

概要	1
用途	1
特長	1
機能別製品一覧	3
目次	4
図目次	8
表目次	9
序章	10
表記規約	10
用語・略語	12
1. ブロック図	13
2. 端子配置図	14
2.1. LQFP144	14
2.2. LQFP128	15
2.3. QFP100	16
2.4. LQFP100	17
2.5. LQFP80	18
2.6. LQFP64	19
3. メモリーマップ	20
3.1. メモリー容量一覧	21
4. 端子説明	22
4.1. 機能端子名称と機能	22
4.1.1. 周辺機能端子	22
4.1.2. デバッグ端子	24
4.1.3. 制御端子	25
4.1.4. 電源端子	25
4.1.5. 電源間コンデンサー	26
4.2. 機能端子とポート割り当て(端子番号)	27
4.3. ポート	35
4.3.1. ポート仕様一覧	36
5. 機能説明・動作説明	41
5.1. リファレンスマニュアル	41
5.2. プロセッサコア	42
5.2.1. コアに関する情報	42
5.2.2. 構成可能なオプション	42
5.3. クロック制御と動作モード (CG)	43

5.4. フラッシュメモリー(コードフラッシュ、データフラッシュ).....	43
5.5. 発振器 .....	44
5.6. トリミング回路 (TRM) .....	44
5.7. 周波数検知回路 (OFD).....	45
5.8. 電圧検知回路 (LVD).....	45
5.9. デジタルノイズフィルター回路 (DNF) .....	45
5.10. デバッグインターフェース (DEBUG).....	46
5.10.1. ノンブレイクデバッグインターフェース (NBDIF) .....	46
5.11. DMA コントローラー (DMAC) .....	47
5.12. 非同期シリアル通信回路 (UART).....	47
5.13. シリアルペリフェラルインターフェース (TSPI).....	48
5.14. I <sup>2</sup> C インターフェース (I <sup>2</sup> C).....	48
5.15. CAN コントローラー (CAN).....	48
5.16. 12 ビットアナログデジタルコンバーター (ADC).....	49
5.17. オペアンプ (OPAMP) .....	49
5.18. アドバンストプログラマブルモーター制御回路 (A-PMD).....	50
5.19. アドバンストエンコーダー入力回路(32-bit) (A-ENC32).....	50
5.20. アドバンストベクトルエンジンプラス(A-VE+) .....	51
5.21. 32 ビットタイマーイベントカウンタ (T32A).....	51
5.22. クロック選択式ウォッチドッグタイマー (SIWDT).....	52
5.23. CRC 計算回路 (CRC) .....	52
5.24. RAM パリティ (RAMP).....	52
6. 等価回路図 .....	53
6.1. ポート .....	53
6.2. アナログ関連端子 .....	56
6.3. 制御端子.....	57
6.4. クロック制御 .....	57
7. 電気的特性 .....	58
7.1. 絶対最大定格 .....	58
7.2. DC 電気的特性(1/2).....	60
7.3. DC 電気的特性 (2/2) (消費電流) .....	65
7.4. 12 ビット AD コンバーター特性 .....	67
7.5. オペアンプ特性.....	68
7.6. リセット時内部処理特性 .....	69
7.7. パワーオンリセット特性 .....	69
7.8. 電圧検出回路特性 .....	70
7.9. AC 電気的特性.....	71

7.9.1. シリアルペリフェラルインターフェース(TSPI).....	71
7.9.1.1. AC 測定条件.....	71
7.9.1.2. AC 電気的特性.....	71
7.9.2. I <sup>2</sup> C インターフェース(I <sup>2</sup> C).....	78
7.9.2.1. AC 測定条件.....	78
7.9.2.2. AC 電気的特性.....	78
7.9.3. 32 ビットタイマーイベントカウンタ (T32A).....	80
7.9.3.1. AC 測定条件.....	80
7.9.3.2. AC 電気的特性.....	80
7.9.4. 外部割り込み.....	81
7.9.4.1. AC 測定条件.....	81
7.9.4.2. AC 電気的特性.....	81
7.9.5. 端子トリガー入力(TRGINx).....	82
7.9.5.1. AC 測定条件.....	82
7.9.5.2. AC 電気的特性.....	82
7.9.6. デバッグ通信.....	83
7.9.6.1. AC 測定条件.....	83
7.9.6.2. SW インターフェース.....	83
7.9.6.3. JTAG インターフェース.....	84
7.9.6.4. ETM トレース.....	85
7.9.6.5. ノンブレイクデバッグインターフェース(NBDIF).....	86
7.9.7. ノイズフィルタ特性.....	87
7.9.8. 外部クロック入力.....	87
7.9.8.1. AC 測定条件.....	87
7.9.8.2. AC 電気的特性.....	87
7.10. フラッシュ特性.....	88
7.10.1. コードフラッシュ特性.....	88
7.10.2. データフラッシュ特性.....	88
7.10.3. チップ消去特性.....	88
7.11. レギュレーター.....	89
7.12. 発振回路.....	90
7.12.1. 内蔵発振器.....	90
7.12.2. 外部発振器.....	90
7.12.3. 発振回路例.....	90
7.12.4. セラミック発振子.....	91
7.12.5. 水晶発振子.....	91
7.12.6. プリント基板の設計に関する注意.....	91
8. 外形寸法図.....	92
8.1. P-LQFP144-2020-0.50-002.....	92
8.2. P-LQFP128-1420-0.50-001.....	93
8.3. P-LQFP100-1414-0.50-002.....	94

---

8.4. P-QFP100-1420-0.65-001 .....	95
8.5. P-LQFP80-1414-0.65-001 .....	96
8.6. P-LQFP80-1212-0.50-003 .....	97
8.7. P-LQFP64-1010-0.50-003 .....	98
8.8. P-LQFP64-1212-0.65-001 .....	99
9. 使用上のご注意およびお願い事項 .....	100
10. 改訂履歴 .....	101
Appendix.....	102
全端子一覧表 .....	102
品番付与情報 .....	105
製品取り扱い上のお願い.....	106

Not Recommended  
for New Design

## 目次

図 1.1	TMPM4K グループ(2)製品のブロック図	13
図 3.1	TMPM4KxFD のメモリーマップ例	20
図 4.1	電源間コンデンサの接続図	26
図 7.1	スルーレート	68
図 7.2	1 <sup>st</sup> クロックエッジサンプリング(マスター)	76
図 7.3	2 <sup>nd</sup> クロックエッジサンプリング(マスター)	76
図 7.4	2 <sup>nd</sup> クロックエッジサンプリング(スレーブ)	77
図 7.5	I <sup>2</sup> C の AC タイミング	79
図 7.6	カウントパルス入力	81
図 7.7	JTAG/SW 波形	84
図 7.8	トレース信号波形	85
図 7.9	NBDIF の AC タイミング	86
図 7.10	外部クロック入力波形	87
図 7.11	発振回路例	90

Not Recommended for New Design

## 表目次

表 1	機能別製品一覧	3
表 3.1	メモリー容量とアドレス	21
表 4.1	周辺端子名称と機能	22
表 4.2	デバッグ端子名称と機能	24
表 4.3	制御端子名称と機能	25
表 4.4	電源端子名称と機能	25
表 4.5	信号接続一覧(1/8)	27
表 4.6	信号接続一覧(2/8)	28
表 4.7	信号接続一覧(3/8)	29
表 4.8	信号接続一覧(4/8)	30
表 4.9	信号接続一覧(5/8)	31
表 4.10	信号接続一覧(6/8)	32
表 4.11	信号接続一覧(7/8)	33
表 4.12	信号接続一覧(8/8)	34
表 4.13	ポート A~D のポート名、仕様	36
表 4.14	ポート E~H のポート名、仕様	37
表 4.15	ポート J~L のポート名、仕様	38
表 4.16	ポート M~R のポート名、仕様	39
表 4.17	ポート T~W のポート名、仕様	40
表 5.1	TMPM4K グループ(2) リファレンスマニュアル一覧	41
表 5.2	コアリビジョン	42
表 5.3	構成可能なオプションと実装	42
表 5.4	搭載発振器	44
表 5.5	TRM 搭載一覧	44
表 5.6	OFD 搭載一覧	45
表 5.7	LVD 搭載一覧	45
表 5.8	外部割り込み数(DNF 搭載数)	45
表 5.9	デバッグインターフェース搭載一覧	46
表 5.10	DMAC 搭載一覧	47
表 5.11	UART 搭載一覧	47
表 5.12	TSPI 搭載一覧	48
表 5.13	I <sup>2</sup> C 搭載一覧	48
表 5.14	CAN 搭載一覧	48
表 5.15	ADC チャンネル一覧	49
表 5.16	OPAMP 搭載一覧	49
表 5.17	A-PMD 搭載一覧	50
表 5.18	A-ENC32 搭載一覧	50
表 5.19	A-VE+ 搭載一覧	51
表 5.20	T32A 搭載一覧	51
表 5.21	SIWDT 搭載一覧	52
表 5.22	CRC 搭載一覧	52
表 5.23	RAMP 搭載一覧	52
表 7.1	絶対最大定格	58
表 7.2	パッケージ熱抵抗と最大許容電力表	59
表 7.3	I <sub>DD</sub> 測定条件(端子設定、発振回路)	65
表 7.4	I <sub>DD</sub> 測定条件(CPU、周辺回路)	66
表 10.1	改訂履歴	101

## 序章

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
  - 例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスターを定義しています。
  - 例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
  - 例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
  - ユニットの場合、「x」は A,B,C...を表します。
    - 例: [ADACR0],[ADBCR0],[ADCCR0]→[ADxCR0]
  - チャンネルの場合、「x」は 0,1,2,..を表します。
    - 例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA]→[T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
  - 例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
  - 例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
  - また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
  - Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
  - Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

\*\*\*\*\*  
**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**  
\*\*\*\*\*



FLASH メモリーについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた SuperFlash®技術を使用しています。SuperFlash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

Not Recommended for New Design

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder Input Circuit (32-bit)
A-PMD	Advanced Programmable Motor Control Circuit
A-VE+	Advanced Vector Engine Plus
CAN	Controller Area Network
CRC	Cyclic Redundancy Check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High speed Oscillator
IHOSC	Internal High speed Oscillator
INT	Interrupt
I <sup>2</sup> C	Inter-Integrated Circuit
LVD	Voltage Detection Circuit
NBDIF	Non Break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
OPAMP	Operational Amplifier
POR	Power On Reset Circuit
RAMP	RAM parity
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection circuit
TRM	Trimming circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

Not Recommended for New Design

## 1. ブロック図

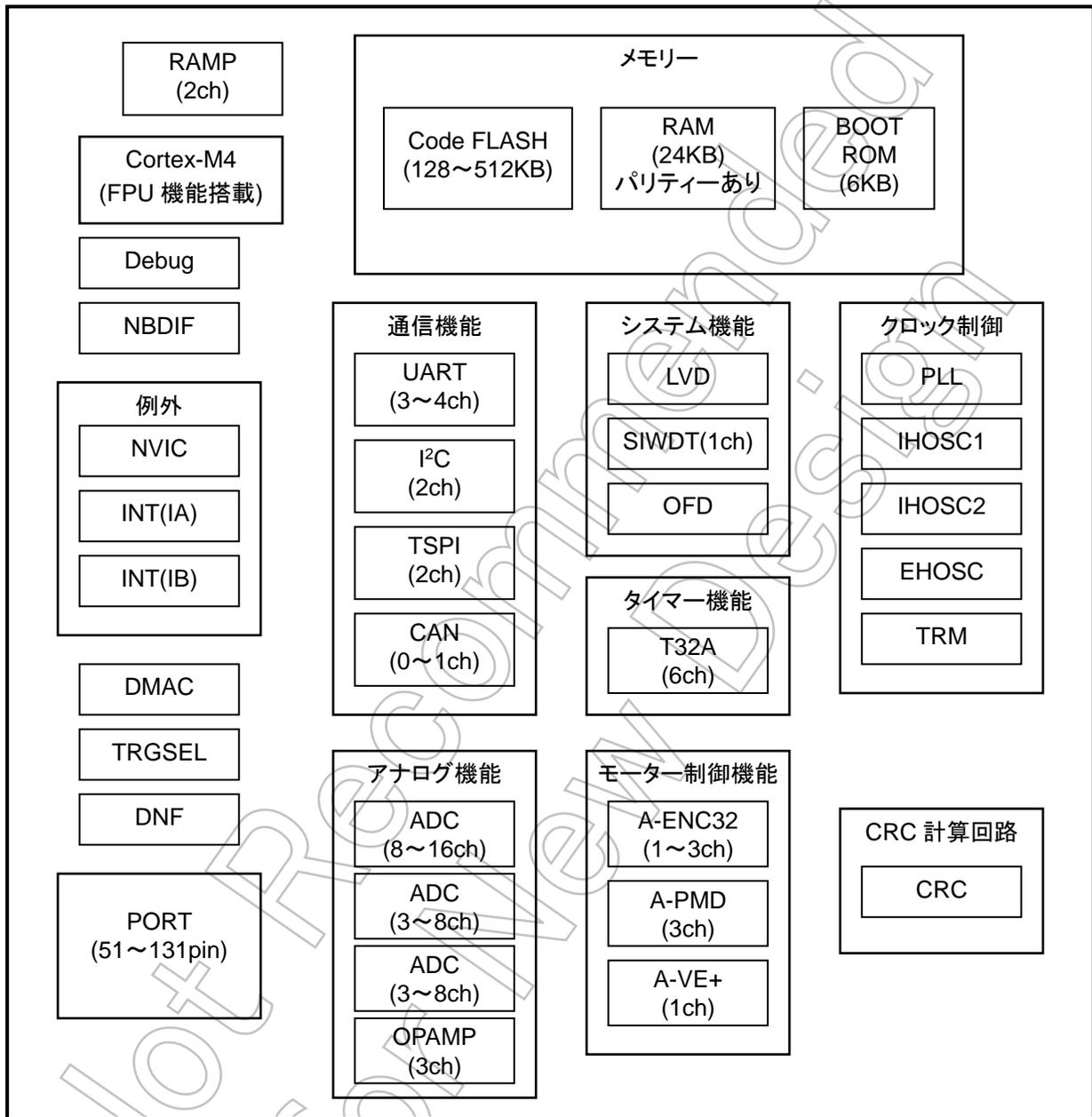


図 1.1 TMPM4Kグループ(2)製品のブロック図

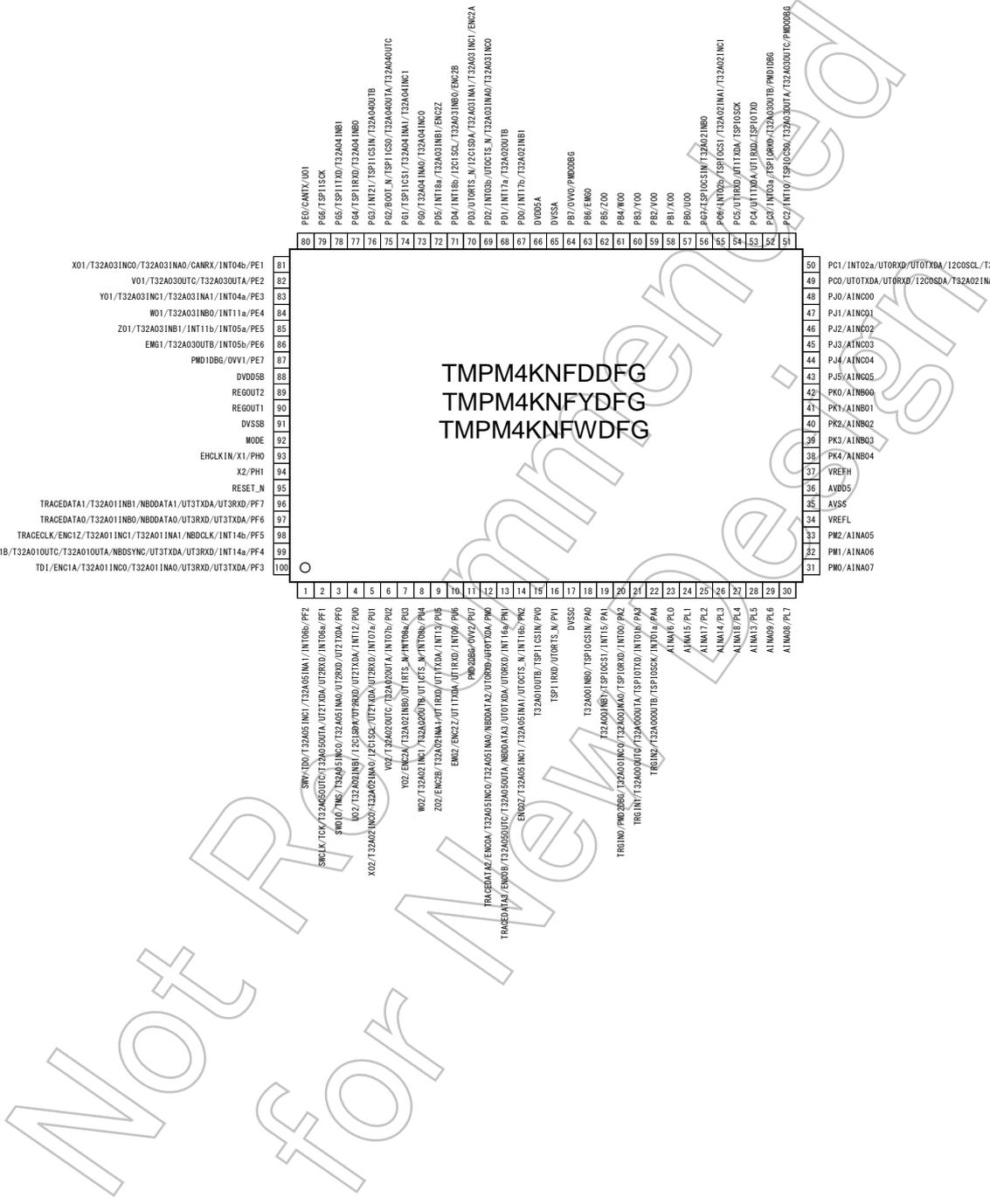




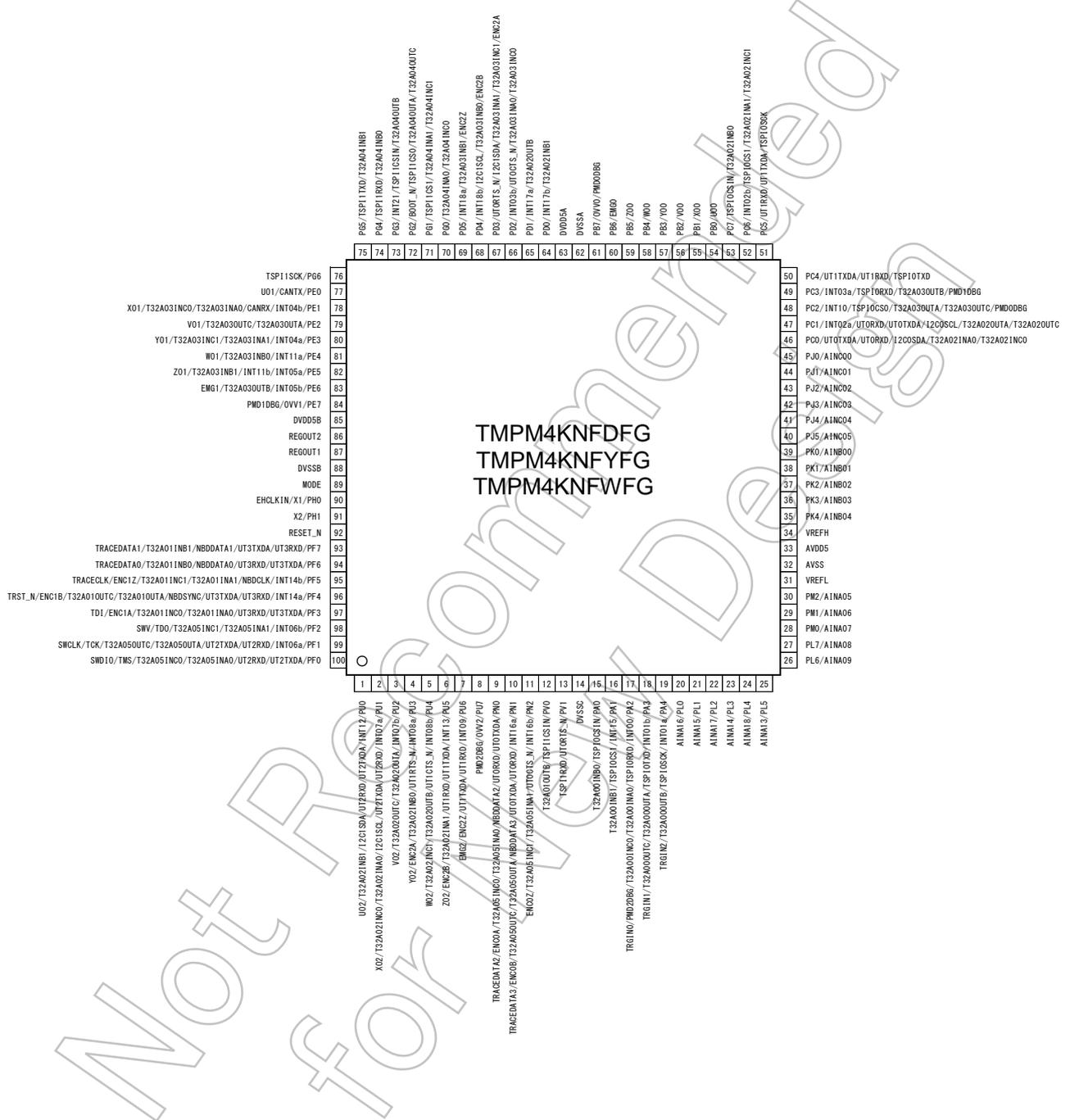
### 2.3. QFP100

80	PE0/CAN TX/IO1	81	X01/T32A03INC0/T32A03INA0/CANRX/INT04b/PE1	50	PC1/INT02a/UT0RXD/UT0TXDA/12C0SCL/T32A02OUTA/T32A02OUTC
79	PE6/TSPI1SCK	82	V01/T32A0300TC/T32A0300TA/PE2	49	PC0/UT0TXDA/UT0RXD/12C0SDA/T32A021NA0/T32A021NC0
78	PE5/TSPI1TXD/T32A041INB1	83	Y01/T32A03INC1/T32A031NA1/INT04a/PE3	48	PJ0/A1INC00
77	PE4/TSPI1RXD/T32A041INB0	84	W01/T32A031NB0/INT11a/PE4	47	PJ1/A1INC01
76	PE3/INT2/TSPI1CSN/T32A04OUTB	85	Z01/T32A031NB1/INT11b/INT05a/PE5	46	PJ2/A1INC02
75	PE2/B00T_N/TSPI1CS0/T32A04OUTA/T32A04OUTC	86	EM61/T32A0300TB/INT05b/PE6	45	PJ3/A1INC03
74	PE1/TSPI1CS1/T32A041INA1/T32A041INB1	87	PM1DB6/OVVI/PE7	44	PJ4/A1INC04
73	PE0/T32A041INA0/T32A041INB0	88	DIVD5B	43	PJ5/A1INC05
72	PE5/INT18a/T32A031NB1/ENCZ	89	REGOUT2	42	PK0/A1NB00
71	PE4/INT18b/12C1SCL/T32A031NB0/ENC2B	90	REGOUT1	41	PK1/A1NB01
70	PE3/UT0RTS_N/12C1SDA/T32A031NA1/T32A031NC1/ENC2A	91	DVSSB	40	PK2/A1NB02
69	PE2/INT02b/UT0CTS_N/T32A031NA0/T32A031NC0	92	MODE	39	PK3/A1NB03
68	PE1/INT17a/T32A0200TB	93	EHCLKIN/X1/PH0	38	PK4/A1NB04
67	PE0/INT17b/T32A021NB1	94	X2/PH1	37	VREFH
66	DIVSSA	95	RESET_N	36	AVDD5
65	DIVSSA	96	TRACEDATA1/T32A011NB1/NB0DATA1/UT3TXDA/UT3RXD/PE7	35	AVSS
64	PE7/OVNO/PMDB6E	97	TRACEDATA0/T32A011NB0/NB0DATA0/UT3RXD/UT3TXDA/PE6	34	VREFL
63	PE6/EM60	98	TRACECLK/ENC1Z/T32A011INC1/T32A011NA1/NB0CLK/INT14b/PE5	33	PM2/A1NA05
62	PE5/Z00	99	TRST_N/ENC1B/T32A0100TC/T32A0100TA/NB0SYN/UT3TXDA/UT3RXD/INT14a/PE4	32	PM1/A1NA06
61	PE4/W00	100	TD1/ENC1A/T32A011NC0/T32A011NA0/UT3RXD/UT3TXDA/PE3	31	PM0/A1NA07
60	PE3/Y00				
59	PE2/X00				
58	PE1/X00				
57	PE0/X00				
56	PE7/TSPI0CS1N/T32A021NB0				
55	PE6/INT02b/TSPI0CS1/T32A021NA1/T32A021NC1				
54	PE5/UT0RXD/UT0TXDA/TSPI0SCK				
53	PE4/UT0TXDA/UT0RXD/TSPI0TXD				
52	PE3/INT02a/TSPI0RXD/T32A0300TB/PMDB6E				
51	PE2/INT10/TSPI0CS0/T32A0300TA/T32A0300TC/PMDB6E				

TMPM4KNFDDFG  
 TMPM4KNFYDFG  
 TMPM4KNFWDFG



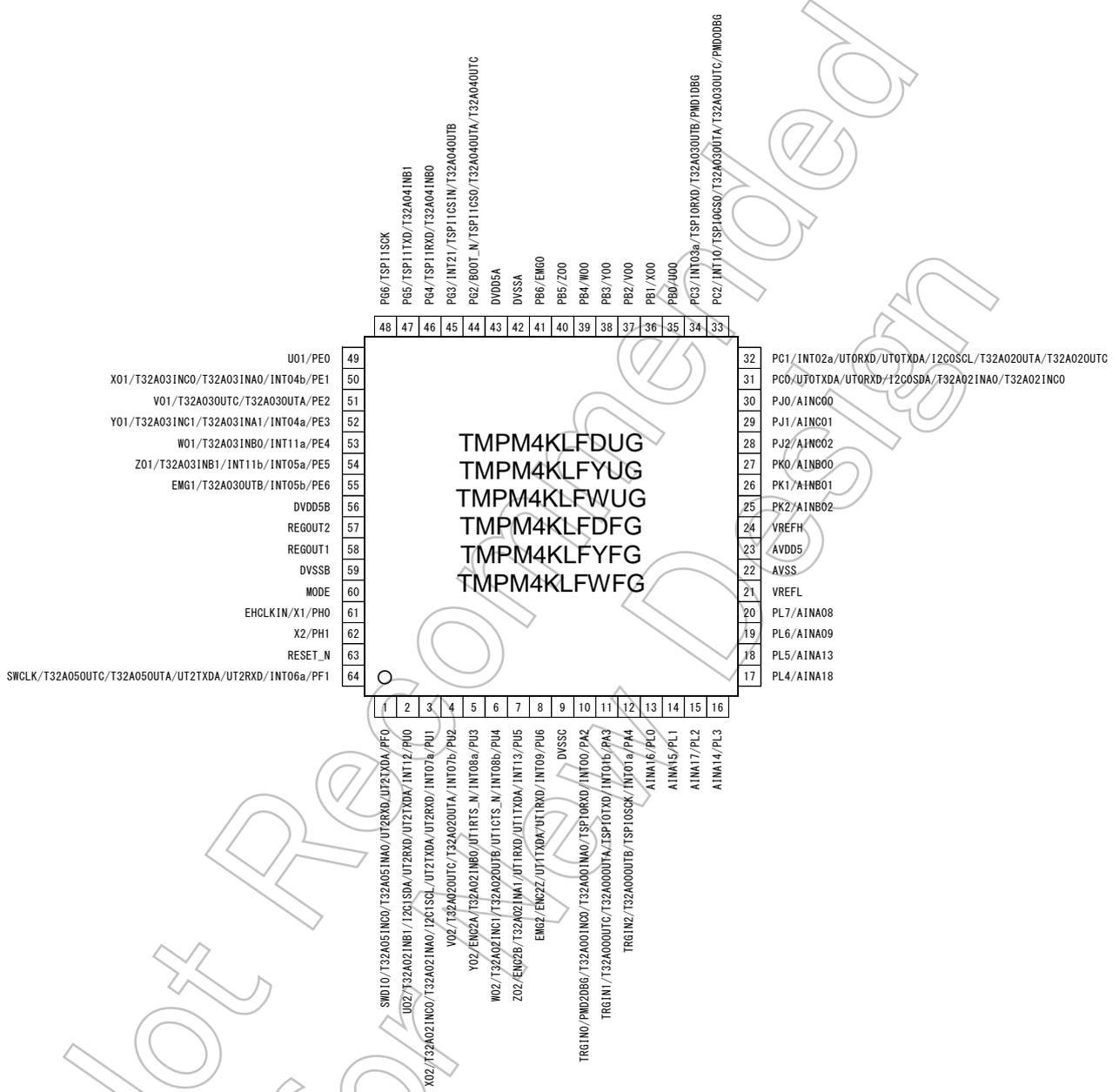
### 2.4. LQFP100



### 2.5. LQFP80



## 2.6. LQFP64



## 3. メモリーマップ

0xFFFFFFFF	Vender-Specific
0xE0100000	CPU Register Region
0xE0000000	Fault
0x5E080000	Code Flash (Mirror)(512KB)
0x5E000000	Flash(SFR)
0x5DFF0000	Fault
0x44000000	Bit Band Alias (SFR)
0x42000000	Fault
0x40100000	SFR
0x4003E000	Fault
0x40006000	SFR
0x40005000	Fault
0x3F7F9800	Reserved
0x3F7F8000	Fault
0x30008000	Data Flash (32KB)
0x30000000	Fault
0x24000000	Bit Band Alias (RAM)
0x22000000	Fault
0x20006000	RAM (24KB)
0x20000000	Fault
0x00080000	Code Flash (512KB)
0x00000000	

図 3.1 TMPM4KxFDのメモリーマップ例

注) Fault および Reserved: アクセスしないでください。

## 3.1. メモリー容量一覧

表 3.1 メモリー容量とアドレス

Products			TMPM4KQFDFG TMPM4KPFDDFG TMPM4KNFDDFG TMPM4KNFDFG TMPM4KMFDDFG TMPM4KMFDFG TMPM4KLFUDG TMPM4KLFDFG	TMPM4KQFYFG TMPM4KPFYDFG TMPM4KNFYDFG TMPM4KNFYFG TMPM4KMFYDFG TMPM4KMFYFG TMPM4KLFYUG TMPM4KLFYFG	TMPM4KQFWFG TMPM4KPFWDFG TMPM4KNFWDFG TMPM4KNFWFG TMPM4KMFWDFG TMPM4KMFWFG TMPM4KLFWUG TMPM4KLFWFG
Peripheral region	Code Flash (Mirror)	Size	512KB	256KB	128KB
		START	0x5E000000	0x5E000000	0x5E000000
		END	0x5E07FFFF	0x5E03FFFF	0x5E01FFFF
SRAM region	Data Flash	Size	32KB		
		START	0x30000000		
		END	0x30007FFF		
	RAM	Size	24KB		
		START	0x20000000		
		END	0x20005FFF		
Code region	Code Flash	Size	512KB	256KB	128KB
		START	0x00000000	0x00000000	0x00000000
		END	0x0007FFFF	0x00003FFFF	0x00001FFFF

Not Recommended for New Design

## 4. 端子説明

### 4.1. 機能端子名称と機能

#### 4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

周辺機能	端子名称	入出力	機能
割り込み制御 (IA/IB)	INTx	Input	外部割り込み入力端子 ノイズフィルター(フィルター幅 Typ.30ns)を内蔵していま ず。
32ビットタイマー イベントカウンター (T32A)	T32AxINA0	Input	16ビットタイマーA インプットキャプチャー入力端子 0
	T32AxINA1	Input	16ビットタイマーA インプットキャプチャー入力端子 1
	T32AxOUTA	Output	16ビットタイマーA 出力端子
	T32AxINB0	Input	16ビットタイマーB インプットキャプチャー入力端子 0
	T32AxINB1	Input	16ビットタイマーB インプットキャプチャー入力端子 1
	T32AxOUTB	Output	16ビットタイマーB 出力端子
	T32AxINC0	Input	32ビットタイマー インプットキャプチャー入力端子 0
	T32AxINC1	Input	32ビットタイマー インプットキャプチャー入力端子 1
	T32AxOUTC	Output	32ビットタイマー出力端子
シリアルペリフェラル インターフェース (TSPI)	TSPIxCSIN	Input	TSPI チップセレクト入力端子
	TSPIxCS0	Output	TSPI チップセレクト出力端子 0
	TSPIxCS1	Output	TSPI チップセレクト出力端子 1
	TSPIxRXD	Input	TSPI データ入力端子
	TSPIxTXD	Output	TSPI データ出力端子
	TSPIxSCK	I/O	TSPI クロック入出力端子
非同期シリアル通信回路 (UART)	UTxRXD	Input	UART データ入力端子
	UTxTXDA	Output	UART データ出力端子 A
	UTxCTS_N	Input	UART 送信可能入力端子
	UTxRTS_N	Output	UART 送信要求出力端子
I <sup>2</sup> C インターフェース (I <sup>2</sup> C)	I2CxSDA	I/O	I <sup>2</sup> C データ入出力端子
	I2CxSCL	I/O	I <sup>2</sup> C クロック入出力端子
CAN コントローラー (CAN)	CANTX	Output	CAN データ出力端子
	CANRX	Input	CAN データ入力端子
アドバンストプログラマブル モーター制御回路 (A-PMD)	EMGx	Input	異常検出入力端子
	OvVx	Input	過電圧検出入力端子
	UOx	Output	U 相出力端子
	VOx	Output	V 相出力端子
	WOx	Output	W 相出力端子
	XOx	Output	X 相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z 相出力端子
	PMDxDBG	Output	モーター制御デバッグ出力端子

周辺機能	端子名称	入出力	機能
アドバンスト エンコーダー入力回路(32-bit) (A-ENC32)	ENCxA	Input	エンコーダー入力端子 A
	ENCxB	Input	エンコーダー入力端子 B
	ENCxZ	Input	エンコーダー入力端子 Z
アナログデジタルコンバーター (ADC)	AINxA AINBx AINCx	Input	アナログ入力端子
トリガー入力 (TRGSEL)	TRGINx	Input	外部トリガー入力端子

注) 端子名称の"x"にはチャンネル番号、ユニット番号、割り込み番号が入ります。

Not Recommended  
for New Design

## 4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

デバッグポート	デバッグ端子名称	入出力	機能
JTAG	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
	TRST_N	Input	JTAG テストリセット入力端子
SW	SWDIO	I/O	シリアルワイヤデータ入出力端子
	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューワ出力端子
TRACE	TRACECLK	Output	トレースクロック出力端子
	TRACEDATA0	Output	トレースデータ出力端子 0
	TRACEDATA1	Output	トレースデータ出力端子 1
	TRACEDATA2	Output	トレースデータ出力端子 2
	TRACEDATA3	Output	トレースデータ出力端子 3
NBDIF	NBDSYNC	Input	ノンブレイクデバッグ同期入力端子
	NBDCLK	Input	ノンブレイクデバッグクロック入力端子
	NBDDATA0	I/O	ノンブレイクデバッグデータ入出力端子 0
	NBDDATA1	I/O	ノンブレイクデバッグデータ入出力端子 1
	NBDDATA2	I/O	ノンブレイクデバッグデータ入出力端子 2
	NBDDATA3	I/O	ノンブレイクデバッグデータ入出力端子 3

## 4.1.3. 制御端子

表 4.3 制御端子名称と機能

	端子名	入出力	機能
制御端子	X1	Input	高速発振子接続端子
	X2	Output	高速発振子接続端子
	EHCLKIN	Input	外部クロック入力端子
	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリー」を参照してください。
	RESET_N	Input	リセット信号入力端子
	MODE	Input	モード端子 必ず"Low"レベルに固定してください。

## 4.1.4. 電源端子

表 4.4 電源端子名称と機能

	端子名	機能
電源	DVDD5A (注 1) DVDD5B (注 1)	デジタル用電源端子 DVDD5A/B は下記の端子に電源を供給しています。 PA~PH, PN, PP, PR, PT~PW, MODE, RESET_N, BOOT_N 発振回路には、内蔵レギュレーターを経由して端子に電源を供給しています。 X1, X2
	DVSSA (注 2) DVSSB (注 2) DVSSC (注 2)	デジタル用 GND 端子
	REGOUT1 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	REGOUT2 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	AVDD5 VREFH	アナログ用電源端子、アナログ基準電源端子(VREFH)です AVDD5 は下記の端子に電源を供給しています。 PL, PM, PK, PJ
	AVSS VREFL	アナログ用 GND 端子、アナログ基準GND端子(VREFL)

注 1) DVDD5A, DVDD5B は、外部で同電位の電圧を印加してください。

注 2) DVSSA, DVSSB, DVSSC は、外部で同電位の電圧を印加してください。

注 3) REGOUT1, REGOUT2 は、DVDD5A, DVDD5B や DVSSA, DVSSB, DVSSC とショートしないでください。

注 4) コンデンサー容量は電気的特性を参照してください。



## 4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。

表中の“-”の部分は、「端子がありません」または「機能の割り当てがありません」。

表 4.5 信号接続一覧(1/8)

機能	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
UART ch0	UT0RXD	PC0	70	63	49	46	39	31
		PC1	71	64	50	47	40	32
		PN0	9	10	12	9	9	-
		PN1	10	11	13	10	10	-
	UT0TXDA	PC1	71	64	50	47	40	32
		PC0	70	63	49	46	39	31
		PN1	10	11	13	10	10	-
		PN0	9	10	12	9	9	-
	UT0CTS_N	PD2	99	92	69	66	-	-
		PN2	11	12	14	11	11	-
	UT0RTS_N	PD3	100	93	70	67	-	-
		PV1	13	14	16	13	-	-
UART ch1	UT1RXD	PC4	74	67	53	50	43	-
		PC5	75	68	54	51	44	-
		PU5	6	7	9	6	7	7
		PU6	7	8	10	7	8	8
	UT1TXDA	PC5	75	68	54	51	44	-
		PC4	74	67	53	50	43	-
		PU6	7	8	10	7	8	8
		PU5	6	7	9	6	7	7
	UT1CTS_N	PU4	5	6	8	5	6	6
		PV3	15	16	-	-	-	-
	UT1RTS_N	PU3	4	5	7	4	5	5
		PV2	14	15	-	-	-	-
UART ch2	UT2RXD	PF0	144	1	3	100	1	1
		PF1	143	128	2	99	80	64
		PU0	1	2	4	1	2	2
		PU1	2	3	5	2	3	3
	UT2TXDA	PF1	143	128	2	99	80	64
		PF0	144	1	3	100	1	1
		PU1	2	3	5	2	3	3
		PU0	1	2	4	1	2	2
	UT2CTS_N	PR4	125	-	-	-	-	-
		PT7	93	86	-	-	-	-
	UT2RTS_N	PR3	124	-	-	-	-	-
		PT6	92	85	-	-	-	-
UART ch3	UT3RXD	PF3	141	126	100	97	79	-
		PF4	140	125	99	96	78	-
		PF6	138	123	97	94	77	-
		PF7	137	122	96	93	76	-
	UT3TXDA	PF4	140	125	99	96	78	-
		PF3	141	126	100	97	79	-
		PF7	137	122	96	93	76	-
		PF6	138	123	97	94	77	-
	UT3CTS_N	PP7	33	26	-	-	-	-
		PW7	23	-	-	-	-	-
	UT3RTS_N	PP6	32	25	-	-	-	-
		PW6	22	-	-	-	-	-

表 4.6 信号接続一覧(2/8)

機能	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
I <sup>2</sup> C ch0	I2C0SDA	PC0	70	63	49	46	39	31
		PT0	86	79	-	-	-	-
	I2C0SCL	PC1	71	64	50	47	40	32
		PT1	87	80	-	-	-	-
I <sup>2</sup> C ch1	I2C1SDA	PD3	100	93	70	67	-	-
		PU0	1	2	4	1	2	2
	I2C1SCL	PD4	101	94	71	68	-	-
		PU1	2	3	5	2	3	3
TSPI ch0	TSPI0RXD	PA2	27	20	20	17	15	10
		PC3	73	66	52	49	42	34
	TSPI0TXD	PA3	28	21	21	18	16	11
		PC4	74	67	53	50	43	-
	TSPI0SCK	PA4	29	22	22	19	17	12
		PC5	75	68	54	51	44	-
	TSPI0CSIN	PA0	25	18	18	15	13	-
		PC7	77	70	56	53	-	-
	TSPI0CS0	PC2	72	65	51	48	41	33
	TSPI0CS1	PA1	26	19	19	16	14	-
PC6		76	69	55	52	-	-	
TSPI ch1	TSPI1RXD	PG4	107	100	77	74	58	46
		PV1	13	14	16	13	-	-
	TSPI1TXD	PG5	108	101	78	75	59	47
		PV2	14	15	-	-	-	-
	TSPI1SCK	PG6	109	102	79	76	60	48
		PV3	15	16	-	-	-	-
	TSPI1CSIN	PG3	106	99	76	73	57	45
		PV0	12	13	15	12	-	-
	TSPI1CS0	PG2	105	98	75	72	56	44
		PP6	32	25	-	-	-	-
TSPI1CS1	PG1	104	97	74	71	55	-	
	PP7	33	26	-	-	-	-	
CAN	CANRX	PE1	111	104	81	78	-	-
	CANTX	PE0	110	103	80	77	-	-

表 4.7 信号接続一覧(3/8)

機能	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
T32A ch0	T32A00INA0	PA2	27	20	20	17	15	10
		PT0	86	79	-	-	-	-
	T32A00INA1	PT2	88	81	-	-	-	-
		PA3	28	21	21	18	16	11
	T32A00OUTA	PT1	87	80	-	-	-	-
		PA0	25	18	18	15	13	-
	T32A00INB0	PT3	89	82	-	-	-	-
		PA1	26	19	19	16	14	-
	T32A00INB1	PT4	90	83	-	-	-	-
		PA4	29	22	22	19	17	12
	T32A00OUTB	PT5	91	84	-	-	-	-
		PA2	27	20	20	17	15	10
	T32A00INC0	PT0	86	79	-	-	-	-
		PT2	88	81	-	-	-	-
T32A00INC1	PT2	88	81	-	-	-	-	
	PA3	28	21	21	18	16	11	
T32A00OUTC	PT1	87	80	-	-	-	-	
	PF3	141	126	100	97	79	-	
T32A ch1	T32A01INA0	PP3	120	113	-	-	-	-
		PF5	139	124	98	95	-	-
	T32A01INA1	PP5	31	24	-	-	-	-
		PF4	140	125	99	96	78	-
	T32A01OUTA	PP4	30	23	-	-	-	-
		PF6	138	123	97	94	77	-
	T32A01INB0	PR5	126	-	-	-	-	-
		PF7	137	122	96	93	76	-
	T32A01INB1	PR6	127	-	-	-	-	-
		PR7	128	-	-	-	-	-
	T32A01OUTB	PV0	12	13	15	12	-	-
		PF3	141	126	100	97	79	-
	T32A01INC0	PP3	120	113	-	-	-	-
		PF5	139	124	98	95	-	-
T32A01INC1	PP5	31	24	-	-	-	-	
	PF4	140	125	99	96	78	-	
T32A01OUTC	PP4	30	23	-	-	-	-	
	PC0	70	63	49	46	39	31	
T32A ch2	T32A02INA0	PU1	2	3	5	2	3	3
		PC6	76	69	55	52	-	-
	T32A02INA1	PU5	6	7	9	6	7	7
		PC1	71	64	50	47	40	32
	T32A02OUTA	PU2	3	4	6	3	4	4
		PC7	77	70	56	53	-	-
	T32A02INB0	PU3	4	5	7	4	5	5
		PD0	97	90	67	64	-	-
	T32A02INB1	PU0	1	2	4	1	2	2
		PD1	98	91	68	65	-	-
	T32A02OUTB	PU4	5	6	8	5	6	6
		PC0	70	63	49	46	39	31
	T32A02INC0	PU1	2	3	5	2	3	3
		PC6	76	69	55	52	-	-
T32A02INC1	PU4	5	6	8	5	6	6	
	PC1	71	64	50	47	40	32	
T32A02OUTC	PU2	3	4	6	3	4	4	

表 4.8 信号接続一覧(4/8)

機能	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
T32A ch3	T32A03INA0	PD2	99	92	69	66	-	-
		PE1	111	104	81	78	62	50
	T32A03INA1	PD3	100	93	70	67	-	-
		PE3	113	106	83	80	64	52
	T32A03OUTA	PC2	72	65	51	48	41	33
		PE2	112	105	82	79	63	51
	T32A03INB0	PD4	101	94	71	68	-	-
		PE4	114	107	84	81	65	53
	T32A03INB1	PD5	102	95	72	69	-	-
		PE5	115	108	85	82	66	54
	T32A03OUTB	PC3	73	66	52	49	42	34
		PE6	116	109	86	83	67	55
	T32A03INC0	PD2	99	92	69	66	-	-
		PE1	111	104	81	78	62	50
	T32A03INC1	PD3	100	93	70	67	-	-
		PE3	113	106	83	80	64	52
	T32A03OUTC	PC2	72	65	51	48	41	33
		PE2	112	105	82	79	63	51
T32A ch4	T32A04INA0	PG0	103	96	73	70	54	-
		PW0	16	-	-	-	-	-
	T32A04INA1	PG1	104	97	74	71	55	-
		PW2	18	-	-	-	-	-
	T32A04OUTA	PG2	105	98	75	72	56	44
		PW1	17	-	-	-	-	-
	T32A04INB0	PG4	107	100	77	74	58	46
		PW3	19	-	-	-	-	-
	T32A04INB1	PG5	108	101	78	75	59	47
		PW4	20	-	-	-	-	-
	T32A04OUTB	PG3	106	99	76	73	57	45
		PW5	21	-	-	-	-	-
	T32A04INC0	PG0	103	96	73	70	54	-
		PW0	16	-	-	-	-	-
	T32A04INC1	PG1	104	97	74	71	55	-
		PW2	18	-	-	-	-	-
	T32A04OUTC	PG2	105	98	75	72	56	44
		PW1	17	-	-	-	-	-
T32A ch5	T32A05INA0	PF0	144	1	3	100	1	1
		PN0	9	10	12	9	9	-
	T32A05INA1	PF2	142	127	1	98	-	-
		PN2	11	12	14	11	11	-
	T32A05OUTA	PF1	143	128	2	99	80	64
		PN1	10	11	13	10	10	-
	T32A05INB0	PP0	96	89	-	-	-	-
		PR0	121	-	-	-	-	-
	T32A05INB1	PP1	118	111	-	-	-	-
		PR1	122	-	-	-	-	-
	T32A05OUTB	PP2	119	112	-	-	-	-
		PR2	123	-	-	-	-	-
	T32A05INC0	PF0	144	1	3	100	1	1
		PN0	9	10	12	9	9	-
	T32A05INC1	PF2	142	127	1	98	-	-
		PN2	11	12	14	11	11	-
	T32A05OUTC	PF1	143	128	2	99	80	64
		PN1	10	11	13	10	10	-

表 4.9 信号接続一覧(5/8)

機能	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
ADC unit A	AINA00	PM7	49	42	-	-	-	-
	AINA01	PM6	48	41	-	-	-	-
	AINA02	PM5	47	40	-	-	-	-
	AINA03	PM4	46	39	-	-	-	-
	AINA04	PM3	45	38	-	-	-	-
	AINA05	PM2	44	37	33	30	-	-
	AINA06	PM1	43	36	32	29	-	-
	AINA07	PM0	42	35	31	28	-	-
	AINA08	PL7	41	34	30	27	25	20
	AINA09	PL6	40	33	29	26	24	19
	AINA13	PL5	39	32	28	25	23	18
	AINA14	PL3	37	30	26	23	21	16
	AINA15	PL1	35	28	24	21	19	14
	AINA16	PL0	34	27	23	20	18	13
	AINA17	PL2	36	29	25	22	20	15
AINA18	PL4	38	31	27	24	22	17	
ADC unit B	AINB00	PK0	61	54	42	39	34	27
	AINB01	PK1	60	53	41	38	33	26
	AINB02	PK2	59	52	40	37	32	25
	AINB03	PK3	58	51	39	36	31	-
	AINB04	PK4	57	50	38	35	30	-
	AINB05	PK5	56	49	-	-	-	-
	AINB06	PK6	55	48	-	-	-	-
	AINB07	PK7	54	47	-	-	-	-
ADC unit C	AINC00	PJ0	69	62	48	45	38	30
	AINC01	PJ1	68	61	47	44	37	29
	AINC02	PJ2	67	60	46	43	36	28
	AINC03	PJ3	66	59	45	42	35	-
	AINC04	PJ4	65	58	44	41	-	-
	AINC05	PJ5	64	57	43	40	-	-
	AINC06	PJ6	63	56	-	-	-	-
	AINC07	PJ7	62	55	-	-	-	-

表 4.10 信号接続一覧(6/8)

機能	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
IA/IB	INT00	PA2	27	20	20	17	15	10
	INT01b	PA3	28	21	21	18	16	11
	INT01a	PA4	29	22	22	19	17	12
	INT02a	PC1	71	64	50	47	40	32
	INT02b	PC6	76	69	55	52	-	-
	INT03a	PC3	73	66	52	49	42	34
	INT03b	PD2	99	92	69	66	-	-
	INT04b	PE1	111	104	81	78	62	50
	INT04a	PE3	113	106	83	80	64	52
	INT05a	PE5	115	108	85	82	66	54
	INT05b	PE6	116	109	86	83	67	55
	INT06a	PF1	143	128	2	99	80	64
	INT06b	PF2	142	127	1	98	-	-
	INT07a	PU1	2	3	5	2	3	3
	INT07b	PU2	3	4	6	3	4	4
	INT08a	PU3	4	5	7	4	5	5
	INT08b	PU4	5	6	8	5	6	6
	INT09	PU6	7	8	10	7	8	8
	INT10	PC2	72	65	51	48	41	33
	INT11a	PE4	114	107	84	81	65	53
	INT11b	PE5	115	108	85	82	66	54
	INT12	PU0	1	2	4	1	2	2
	INT13	PU5	6	7	9	6	7	7
	INT14a	PF4	140	125	99	96	78	-
	INT14b	PF5	139	124	98	95	-	-
	INT15	PA1	26	19	19	16	14	-
	INT16a	PN1	10	11	13	10	10	-
	INT16b	PN2	11	12	14	11	11	-
	INT17b	PD0	97	90	67	64	-	-
	INT17a	PD1	98	91	68	65	-	-
	INT18b	PD4	101	94	71	68	-	-
INT18a	PD5	102	95	72	69	-	-	
INT19a	PP1	118	111	-	-	-	-	
INT19b	PP2	119	112	-	-	-	-	
INT20b	PW3	19	-	-	-	-	-	
INT20a	PW4	20	-	-	-	-	-	
INT21	PG3	106	99	76	73	57	45	

表 4.11 信号接続一覧(7/8)

機能	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
A-PMD ch0	EMG0	PB6	84	77	63	60	51	41
	OVV0	PB7	85	78	64	61	-	-
	UO0	PB0	78	71	57	54	45	35
	VO0	PB2	80	73	59	56	47	37
	WO0	PB4	82	75	61	58	49	39
	XO0	PB1	79	72	58	55	46	36
	YO0	PB3	81	74	60	57	48	38
	ZOO	PB5	83	76	62	59	50	40
		PMD0DBG	PB7	85	78	64	61	-
		PC2	72	65	51	48	41	33
A-PMD ch1	EMG1	PE6	116	109	86	83	67	55
	OVV1	PE7	117	110	87	84	-	-
	UO1	PE0	110	103	80	77	61	49
	VO1	PE2	112	105	82	79	63	51
	WO1	PE4	114	107	84	81	65	53
	XO1	PE1	111	104	81	78	62	50
	YO1	PE3	113	106	83	80	64	52
	ZO1	PE5	115	108	85	82	66	54
		PMD1DBG	PC3	73	66	52	49	42
		PE7	117	110	87	84	-	-
A-PMD ch2	EMG2	PU6	7	8	10	7	8	8
	OVV2	PU7	8	9	11	8	-	-
	UO2	PU0	1	2	4	1	2	2
	VO2	PU2	3	4	6	3	4	4
	WO2	PU4	5	6	8	5	6	6
	XO2	PU1	2	3	5	2	3	3
	YO2	PU3	4	5	7	4	5	5
	ZO2	PU5	6	7	9	6	7	7
		PMD2DBG	PA2	27	20	20	17	15
		PU7	8	9	11	8	-	-
A-ENC32 ch0	ENC0A	PN0	9	10	12	9	9	-
		PP3	120	113	-	-	-	-
	ENC0B	PN1	10	11	13	10	10	-
		PP4	30	23	-	-	-	-
	ENC0Z	PN2	11	12	14	11	11	-
PP5		31	24	-	-	-	-	
A-ENC32 ch1	ENC1A	PF3	141	126	100	97	79	-
		PR3	124	-	-	-	-	-
	ENC1B	PF4	140	125	99	96	78	-
		PR4	125	-	-	-	-	-
	ENC1Z	PF5	139	124	98	95	-	-
PR5		126	-	-	-	-	-	
A-ENC32 ch2	ENC2A	PD3	100	93	70	67	-	-
		PU3	4	5	7	4	5	5
	ENC2B	PD4	101	94	71	68	-	-
		PU5	6	7	9	6	7	7
	ENC2Z	PD5	102	95	72	69	-	-
		PU6	7	8	10	7	8	8

表 4.12 信号接続一覧(8/8)

機能	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
TRGSEL	TRGIN0	PA2	27	20	20	17	15	10
	TRGIN1	PA3	28	21	21	18	16	11
	TRGIN2	PA4	29	22	22	19	17	12
JTAG	TMS	PF0	144	1	3	100	-	-
	TCK	PF1	143	128	2	99	-	-
	TDO	PF2	142	127	1	98	-	-
	TDI	PF3	141	126	100	97	-	-
	TRST_N	PF4	140	125	99	96	-	-
SW	SWDIO	PF0	144	1	3	100	1	1
	SWCLK	PF1	143	128	2	99	80	64
	SWV	PF2	142	127	1	98	-	-
TRACE	TRACECLK	PF5	139	124	98	95	-	-
	TRACEDATA0	PF6	138	123	97	94	-	-
	TRACEDATA1	PF7	137	122	96	93	-	-
	TRACEDATA2	PN0	9	10	12	9	-	-
	TRACEDATA3	PN1	10	11	13	10	-	-
NBDIF	NBDSYNC	PF4	140	125	99	96	-	-
	NBDCLK	PF5	139	124	98	95	-	-
	NBDDATA0	PF6	138	123	97	94	-	-
	NBDDATA1	PF7	137	122	96	93	-	-
	NBDDATA2	PN0	9	10	12	9	-	-
	NBDDATA3	PN1	10	11	13	10	-	-
制御端子	X1	PH0	134	119	93	90	73	61
	X2	PH1	135	120	94	91	74	62
	EHCLKIN	PH0	134	119	93	90	73	61
	BOOT_N	PG2	105	98	75	72	56	44
	RESET_N		136	121	95	92	75	63
	MODE		133	118	92	89	72	60

### 4.3. ポート

表中の記号の意味は下記のとおりです。

- Input/Output: ポートの入出力  
Input: 入力  
Output: 出力  
I/O: 入出力
- PU/PD: プログラマブルプルアップ/プルダウン対応  
PU: プログラマブルプルアップ選択可能  
PD: プログラマブルプルダウン選択可能
- OD: プログラマブルオープンドレイン出力対応  
YES: 対応  
NO: 非対応
- 5V\_T: 5V トレラント対応  
YES: 対応  
N/A: 非対応
- SMT/CMOS: 入力ゲート  
SMT: シュミット入力  
CMOS: CMOS 入力
- リセット中の状態: リセット期間中の端子状態です  
Hi-Z: ハイインピーダンス  
PU: プルアップ  
PD: プルダウン
- リセット後の状態: リセット解除直後の端子状態です  
Hi-Z: ハイインピーダンス  
PU: プルアップ  
PD: プルダウン

## 4.3.1. ポート仕様一覧

表 4.13 ポートA~Dのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PA0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC0	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PC1	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PC2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD3	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PD4	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PD5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.14 ポートE-Hのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PE0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF0	I/O	PU/PD	YES	N/A	SMT	PU(注2)	PU(注2)
PF1	I/O	PU/PD	YES	N/A	SMT	PD(注2)	PD(注2)
PF2	I/O	PU/PD	YES	N/A	SMT	Hi-Z(注2)	Hi-Z(注2)
PF3	I/O	PU/PD	YES	N/A	SMT	PU(注2)	PU(注2)
PF4	I/O	PU/PD	YES	N/A	SMT	PU(注2)	PU(注2)
PF5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG2	Output	PU/PD (注1)	YES	N/A	SMT	Hi-Z(注1)	Hi-Z
PG3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH0	Input	PD	NO	N/A	SMT	Hi-Z	Hi-Z
PH1	Input	PD	NO	N/A	SMT	Hi-Z	Hi-Z

注1) BOOT\_N 端子と兼用です。RESET\_N 端子=0 の時、プルアップ(PU)となります。  
RESET\_N 端子=1 の時に内部リセットがかかった場合は Hi-Z です。

注2) 初期値はデバッグ用端子に割り当てられています(PF3: TDI、PF2: TDO/SWV、  
PF0: TMS/SWDIO、PF1: TCK/SWCLK、PF4: TRST\_N)。  
ツールからのコマンドを受け付けるまでは PF2: TDO/SWV は出力にはなりません。

表 4.15 ポートJ~Lのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PJ0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.16 ポートM-Rのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PM0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.17 ポートT~Wのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PT0	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PT1	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PT2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU0	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PU1	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PU2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PW7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

## 5. 機能説明・動作説明

### 5.1. リファレンスマニュアル

TMPM4K グループ(2)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM4Kグループ(2) リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出力ポート (TMPM4K グループ(2))	PORT-M4K(2)	システム
メモリーマップ (TMPM4K グループ(2))	MMAP-M4K(2)	システム
例外 (TMPM4K グループ(2))	EXCEPT-M4K(2)	システム
クロック制御と動作モード (TMPM4K グループ(2))	CG-M4K(2)-E	システム
製品個別情報 (TMPM4K グループ(2))	PINFO-M4K(2)	システム
電源とリセット動作 (TMPM4K グループ(2))	RESET-M4K(2)	システム
フラッシュメモリー	FLASH512HD32-B	周辺機能
トリミング回路	TRM-A	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-B	周辺機能
デジタルノイズフィルタ回路	DNF-A	周辺機能
デバッグインターフェース	DEBUG-A	周辺機能
ノンブレイクデバッグインターフェース	NBDIF-A	周辺機能
DMA コントローラー	DMAC-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
シリアルペリフェラルインターフェース	TSPI-B	周辺機能
I <sup>2</sup> C インターフェース	I2C-B	周辺機能
CAN コントローラー	CAN-A	周辺機能
12ビットアナログデジタルコンバーター	ADC-D	周辺機能
オペアンプ	OPAMP-A	周辺機能
アドバンスプログラムブルモーター制御回路	A-PMD-A	周辺機能
アドバンスエンコーダー入力回路(32-bit)	A-ENC32-A	周辺機能
アドバンスベクトルエンジンプラス	A-VE+-B	周辺機能
32ビットタイマーイベントカウンター	T32A-B	周辺機能
クロック選択式ウオッチドックタイマー	SIWDT-A	周辺機能
CRC 計算回路	CRC-A	周辺機能
RAM パリティ	RAMP-B	周辺機能

## 5.2. プロセッサコア

TMPM4K グループ(2)には、高性能 32 ビットプロセッサコア(Arm 社 Cortex-M4(FPU 機能搭載)コア)が内蔵されています。

プロセッサコアの動作については、Arm 社からリリースされる"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。この章では、製品固有の情報について説明します。

### 5.2.1. コアに関する情報

TMPM4K グループ(2)で使用している Cortex-M4(FPU 機能搭載)コアのリビジョンは以下のとおりです。CPU コア部、アーキテクチャーなどの詳細は、Arm 社の下記 URL よりドキュメントを参照してください。

<http://infocenter.arm.com/help/index.jsp>

表 5.2 コアリビジョン

グループ名	コアリビジョン
TMPM4K グループ(2)	r0p1

### 5.2.2. 構成可能なオプション

Cortex-M4(FPU 機能搭載)コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM4K グループ(2)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレーター: 2 本 命令コンパレーター: 6 本
DWT	コンパレーター: 4 本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHB トレースマクロ セルインターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

### 5.3. クロック制御と動作モード (CG)

CG は、クロックギアやプリスケラークロックの選択、発振器のウォーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

また、システムクロックは高速で動作する「高速システムクロック」と、高速システムクロックを分周して動作する「中速システムクロック」があります。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振回路: 10MHz
- 外部高速発振回路と内部高速発振回路が選択可能
- PLL回路: システムクロック用は高速発振器の周波数に合わせて倍率を変更して160MHz出力可能
- クロックギア:  
高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック(fsys)として選択可能。
- 低消費電力モード:  
IDLE: CPU が停止します。周辺機能は動作可能です。  
STOP1: システムクロックが停止します。

### 5.4. フラッシュメモリー(コードフラッシュ、データフラッシュ)

TMPM4K グループ(2)は、512KB/256KB/128KB のコードフラッシュと 32KB のデータフラッシュを搭載しています。

コードフラッシュは命令コードを格納し、CPUがリードして実行します。データフラッシュはデータを格納し、電源が遮断されてもデータが消えません。

コードフラッシュで命令を実行しながら、データフラッシュを書き換えることが可能なデュアルモードを搭載しています。データフラッシュへのデータ保存時にもコードフラッシュ上でアプリプログラムの実行を継続することができます。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第三者によるプログラムコードの読み出しを禁止するセキュリティー機能などを搭載しています。

## 5.5. 発振器

- 外部高速発振器(EHOSC): 外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。
- 内蔵高速発振器 1 (IHOSC1): 10MHz の発振器です。システムクロックの源発振に使用します。
- 内蔵高速発振器 2 (IHOSC2): 10MHz の発振器です。OFD、SIWDT の基準クロック、カウントクロックの源発振に使用します。

表 5.4 搭載発振器

	M4KQ	M4KP	M4KN	M4KM	M4KL
EHOSC	○	○	○	○	○
IHOSC1	○	○	○	○	○
IHOSC2	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.6. トリミング回路 (TRM)

TRM は、内蔵高速発振器 1(IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

	M4KQ	M4KP	M4KN	M4KM	M4KL
TRM	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.7. 周波数検知回路 (OFD)

OFDはクロックの異常を検知します。計測対象として外部高速発振クロック( $f_{EHOSC}$ )または高速クロック( $f_c$ )のどちらかを選択できます。内蔵の基準クロック( $f_{IHOSC2}$ )を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	M4KQ	M4KP	M4KN	M4KM	M4KL
OFD	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.8. 電圧検知回路 (LVD)

LVDは、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は8種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

	M4KQ	M4KP	M4KN	M4KM	M4KL
LVD	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.9. デジタルノイズフィルター回路 (DNF)

DNFは外部割り込み入力に搭載したデジタルノイズフィルター回路です。外部割り込み信号  $INTx$  の High レベル/Low レベル入力ともにノイズを除去します。

表 5.8 外部割り込み数(DNF搭載数)

	M4KQ	M4KP	M4KN	M4KM	M4KL
外部 割り込み数	22	21	20	18	15

## 5.10. デバッグインターフェース (DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート (SWCLK,SWDIO)と、JTAG デバッグポート(TDI,TDO,TMS,TCK,TRST\_N)の2種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック (TRACECLK) とトレース出力 (TRACEDATA0~3)、NBDIF(NBDSYNC, NBDCLK, NBDDATA0~3)があります。

TMPM4K グループ(2)製品は、シリアルワイヤデバッグポート、JTAG デバッグポート、トレース出力、および NBDIF をサポートしています。

表 5.9 デバッグインターフェース搭載一覧

デバッグ機能	端子名	ポート	M4KQ	M4KP	M4KN	M4KM	M4KL
SW	SWDIO	PF0	○	○	○	○	○
	SWCLK	PF1	○	○	○	○	○
	SWV	PF2	○	○	○	-	-
JTAG	TMS	PF0	○	○	○	-	-
	TCK	PF1	○	○	○	-	-
	TDO	PF2	○	○	○	-	-
	TDI	PF3	○	○	○	-	-
	TRST_N	PF4	○	○	○	-	-
TRACE	TRACECLK	PF5	○	○	○	-	-
	TRACEDATA0	PF6	○	○	○	-	-
	TRACEDATA1	PF7	○	○	○	-	-
	TRACEDATA2	PN0	○	○	○	-	-
	TRACEDATA3	PN1	○	○	○	-	-
NBDIF	NBDSYNC	PF4	○	○	○	-	-
	NBDCLK	PF5	○	○	○	-	-
	NBDDATA0	PF6	○	○	○	-	-
	NBDDATA1	PF7	○	○	○	-	-
	NBDDATA2	PN0	○	○	○	-	-
	NBDDATA3	PN1	○	○	○	-	-

注) ○: 搭載、-: 非搭載

### 5.10.1. ノンブレイクデバッグインターフェース (NBDIF)

NBDIF は、対応するデバッグ用機器を接続することで、RAM モニターなどを実現します。NBDIF の対応は製品によって異なります。「表 5.9 デバッグインターフェース搭載一覧」を参照してください。

## 5.11. DMA コントローラー (DMAC)

DMACは、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを移動させることができる周辺機能です。これらの動作はCPU制御と別に行われるため、DMAを使用することで、CPUの負荷を著しく減らすことができます。

TMPM4K グループ(2)製品は、DMA コントローラー(DMAC)を1ユニット搭載しており、ユニット当たり最大32チャンネルの起動要因があります。

表 5.10 DMAC搭載一覧

Unit	M4KQ	M4KP	M4KN	M4KM	M4KL
Unit A	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.12. 非同期シリアル通信回路 (UART)

UARTは、非同期シリアル通信機能です。7,8,9ビットのデータ長,パリティ有無,STOPビット長を選択できます。MSBファースト/LSBファーストの選択、データ極性の反転の他にポート設定でTXD/RXDの端子入れ替えができます。FIFOバッファは、送信で8段、受信で8段を内蔵しています。また、CTS/RTSによる通信制御をサポートしています。

表 5.11 UART搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○
Channel 2	○	○	○	○	○
Channel 3	○	○	○	○	-

注1) ○: 搭載、-: 非搭載

注2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。

## 5.13. シリアルペリフェラルインターフェース (TSPI)

TSPI は通信時に CS(チップセレクト)信号を使用する SPI 方式と、CS 信号を使用しない SIO 方式の 2 つの通信方式に対応し、他のデバイスと高速なシリアル転送が可能な通信機能です。データ長は、7 ビット(パリティあり)から 32 ビット(パリティなし)まで 1 ビット単位で変更可能です。受信、送信ともに 16 ビットの FIFO が 8 段あります。マスター、スレーブに対応します。

表 5.12 TSPI搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。

## 5.14. I<sup>2</sup>C インターフェース (I<sup>2</sup>C)

I<sup>2</sup>C は二線式双方向シリアル通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。

また、通信スピードは標準モード(最大 100kbps)、ファストモード(最大 400kbps)に対応しています。

表 5.13 I<sup>2</sup>C搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.15. CAN コントローラー (CAN)

CAN は、ホストコンピューターなしで相互に通信が可能なシステムです。CAN バージョン 2.0B アクティブに準拠しており、標準および拡張フォーマットに対応しています。32 メールボックス、最大転送レートは 1Mbps です。

表 5.14 CAN搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	-	-

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。

## 5.16. 12 ビットアナログデジタルコンバーター (ADC)

ADC は、12 ビット逐次変換方式のアナログデジタルコンバーターです。変換結果レジスターとアナログ入力の組み合わせは、AD 変換の開始要因ごとにプログラム可能です。アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(A-PMD のトリガー出力、タイマーイベントカウンタ出力、ポート入力)から選択できます。特に A-PMD と連携することでモーターを容易に制御することができます。

また、変換結果の監視機能があり、比較条件と一致した場合に割り込みを発生させることができます。

VREFH/VREFL およびリファレンス電源と接続するセレクターを内蔵しており、ソフトウェアで制御することで自己診断機能をサポートします。

表 5.15 ADCチャンネル一覧

ADC	M4KQ	M4KP	M4KN	M4KM	M4KL
Unit A AIN 数	16	16	11	8	8
Unit B AIN 数	8	8	5	5	3
UnitC AIN 数	8	8	6	4	3

## 5.17. オペアンプ (OPAMP)

この MCU は、微弱なアナログ入力を増幅して AD コンバーターへ入力するオペアンプを内蔵しています。ゲインを選択できます。

表 5.16 OPAMP搭載一覧

Unit	M4KQ	M4KP	M4KN	M4KM	M4KL
Unit A	○	○	○	○	○
Unit B	○	○	○	○	○
Unit C	○	○	○	○	○

注) ○: 搭載、—: 非搭載

## 5.18. アドバンストプログラマブルモーター制御回路 (A-PMD)

A-PMDは、ブラシレスDCモーターを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3相相補PWM出力やADCを連携させるモーター制御用の信号を容易に発生できます。また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。さらに、力率改善のための3相インターリーブPFC制御が可能です。

表 5.17 A-PMD搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○
Channel 2	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.19. アドバンストエンコーダー入力回路(32-bit) (A-ENC32)

A-ENC32は、インクリメンタル型エンコーダーに対応し、モーターの位置を容易に得ることができます。信号の入力端子にノイズキャンセラーが内蔵されているので、インクリメンタルエンコーダー、ホールセンサーの信号を直接入力することができます。

エンコーダーモード、センサーモード(3種類)、タイマーモードおよび位相カウンターモードの6つの動作モードに対応しています。

表 5.18 A-ENC32搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	-
Channel 1	○	○	○	-	-
Channel 2	○	○	○	○	○

注1) ○: 搭載、-: 非搭載

注2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。

## 5.20. アドバンストベクトルエンジンプラス(A-VE+)

アドバンストベクトルエンジンプラスはベクトル演算処理をハードウェアで行います。この時、ソフトウェアの介在無しで ADC と A-PMD と連携動作をします。

また、1 シャント電流検出領域の拡大処理や、デッドタイム補償制御、非干渉制御などを行う事ができます。

表 5.19 A-VE+搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	○

注) ○: 搭載、—: 非搭載

## 5.21. 32 ビットタイマーイベントカウンター (T32A)

T32A は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンターです。32 ビットタイマーと 16 ビットタイマーの選択が可能です。32 ビットタイマーの場合、32 ビットカウンター内蔵のタイマーCとして動作します。16 ビットタイマーの場合、16 ビットカウンター内蔵のタイマーA とタイマーB の構成で動作します。

インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンター入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

表 5.20 T32A搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○
Channel 2	○	○	○	○	○
Channel 3	○	○	○	○	○
Channel 4	○	○	○	○	○
Channel 5	○	○	○	○	○

注 1) ○: 搭載、—: 非搭載

注 2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。

## 5.22. クロック選択式ウォッチドッグタイマー (SIWDT)

SIWDT は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンターをクリアできなかった場合、カウンターのオーバーフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウントクロックとして、システムクロック( $f_{sys}/4$ )の他に内蔵発振器 1( $f_{IHOSC1}$ )、内蔵発振器 2( $f_{IHOSC2}$ )の 3 つから選択が可能です。

指定された期間のみカウントクリアが可能な、カウントクリアウインドウ機能があります。

また、プロテクトモードに設定することでレジスターの変更を禁止することができます(カウンタークリアは可能)。

表 5.21 SIWDT搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.23. CRC 計算回路 (CRC)

CRC 計算回路は、CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリーや通信データを処理してエラーを検出することに使用できます。

表 5.22 CRC搭載一覧

	M4KQ	M4KP	M4KN	M4KM	M4KL
CRC	○	○	○	○	○

注) ○: 搭載、-: 非搭載

## 5.24. RAM パリティ(RAMP)

RAM パリティは、RAM へのライト時に偶数パリティデータを生成(8 ビットデータごとに計算)して格納し、リード時にはパリティ判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。

表 5.23 RAMP搭載一覧

Channel	M4KQ	M4KP	M4KN	M4KM	M4KL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○

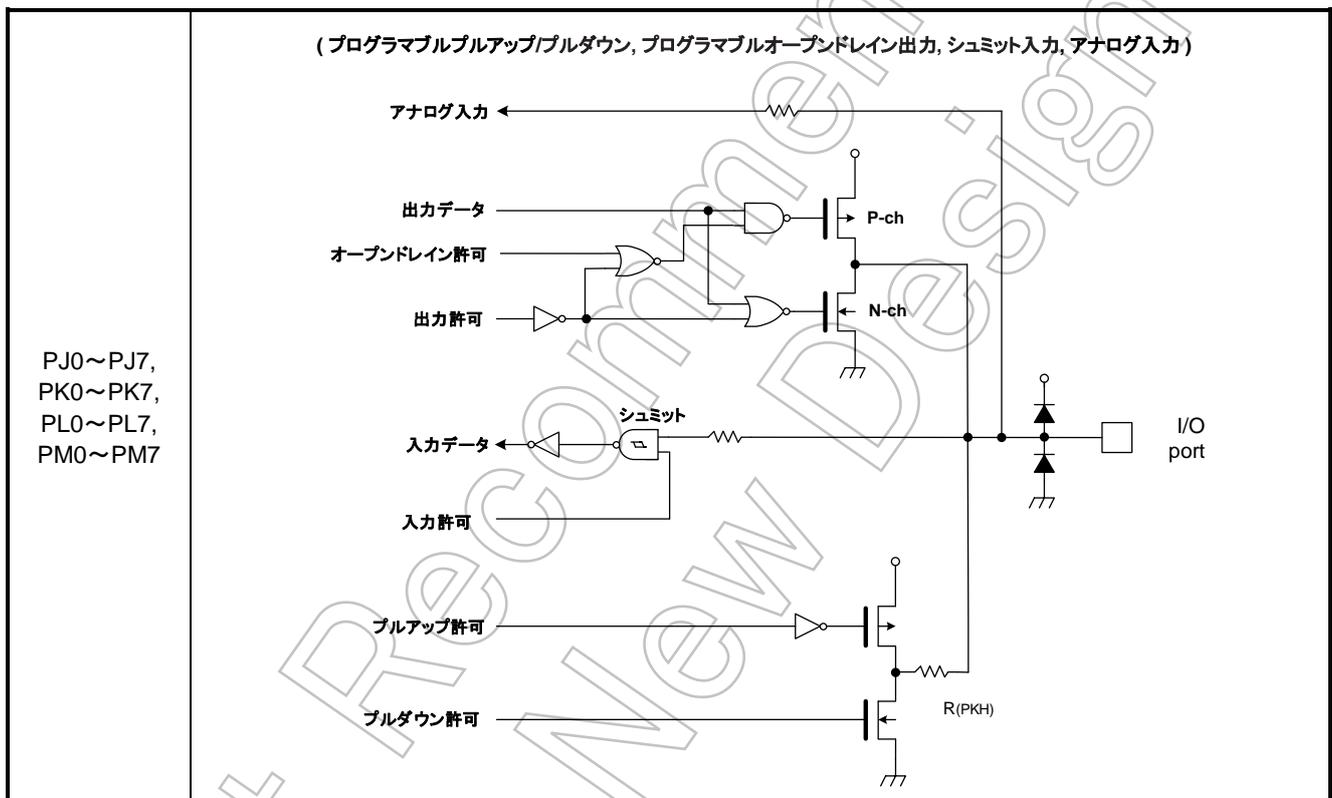
注) ○: 搭載、-: 非搭載

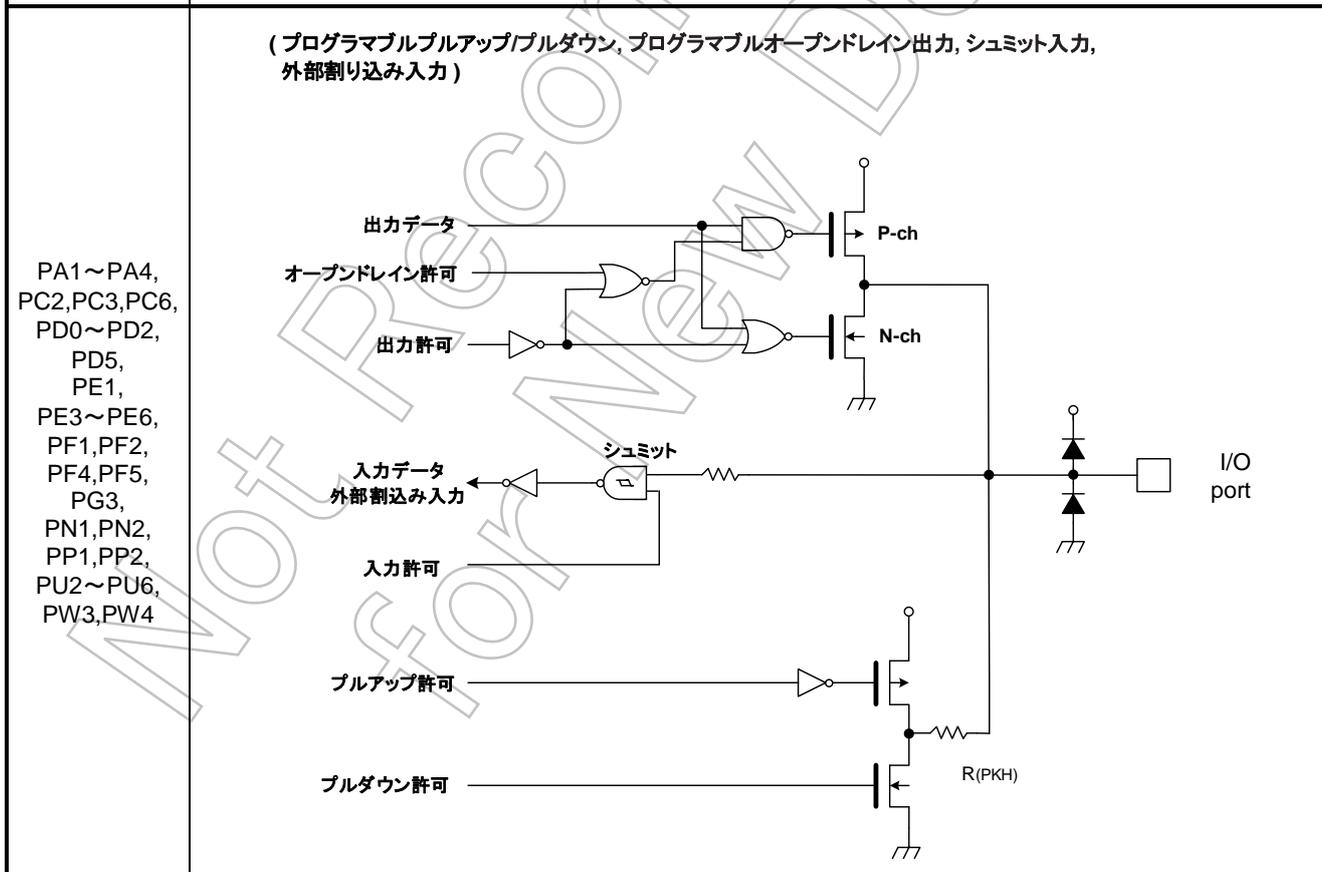
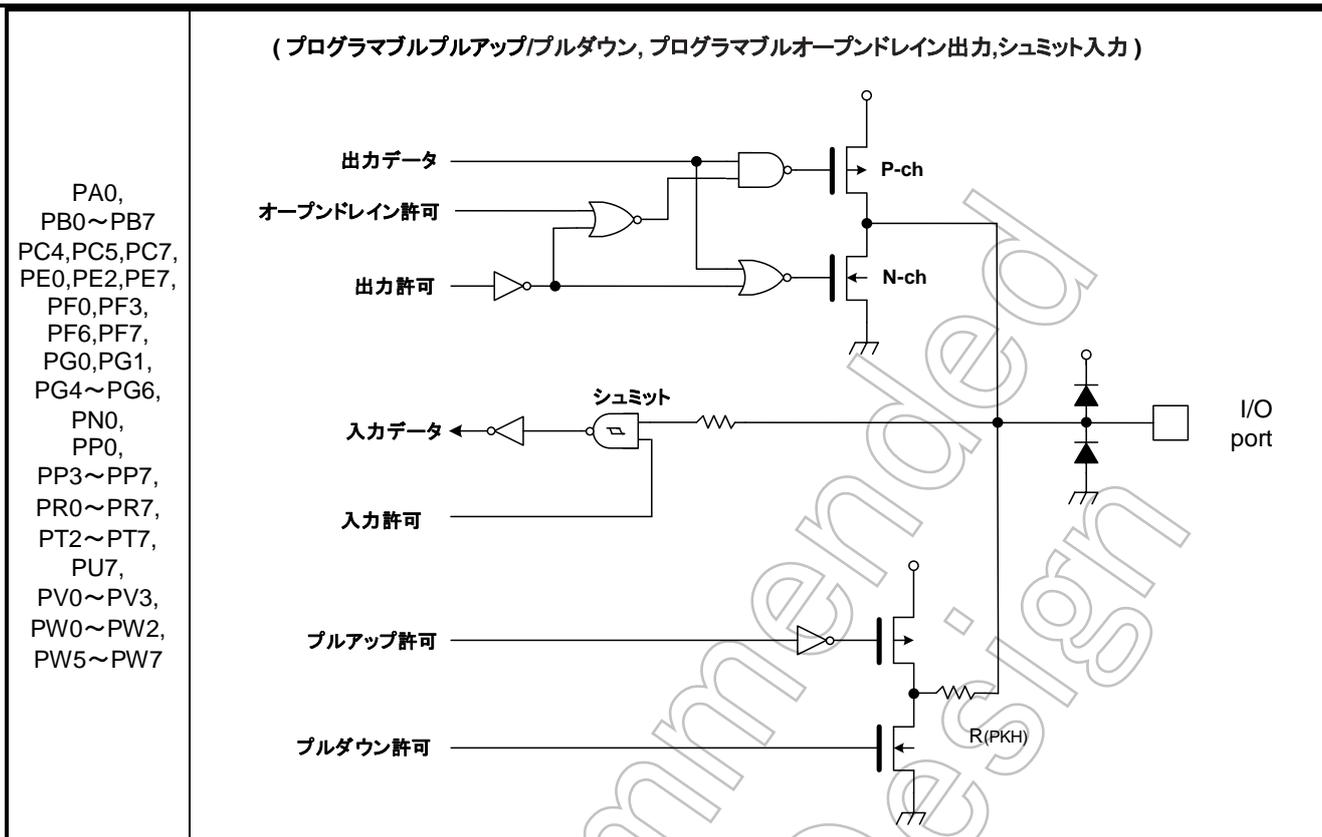
## 6. 等価回路図

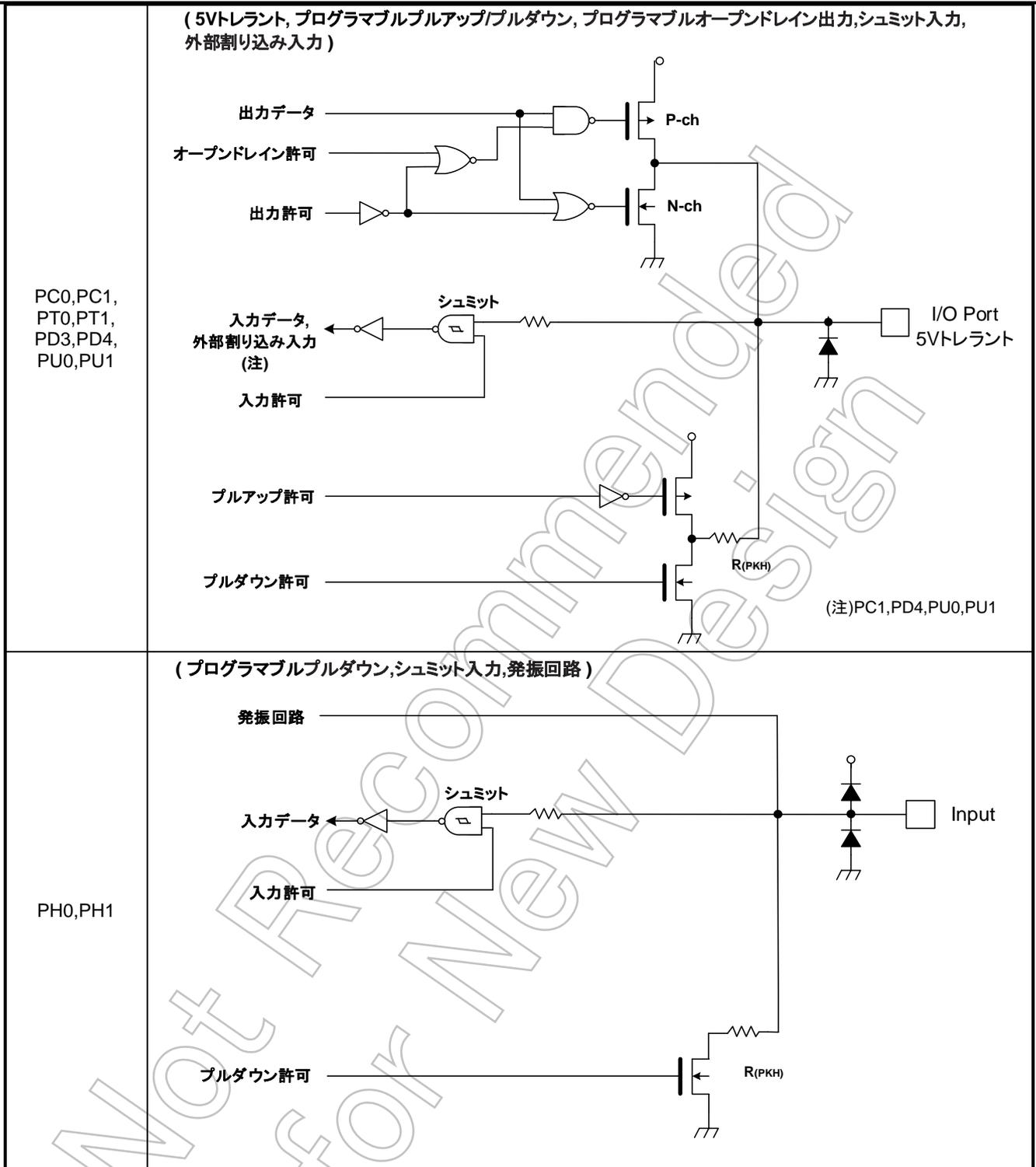
ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十  $\Omega$  ~ 数百  $\Omega$  程度です。

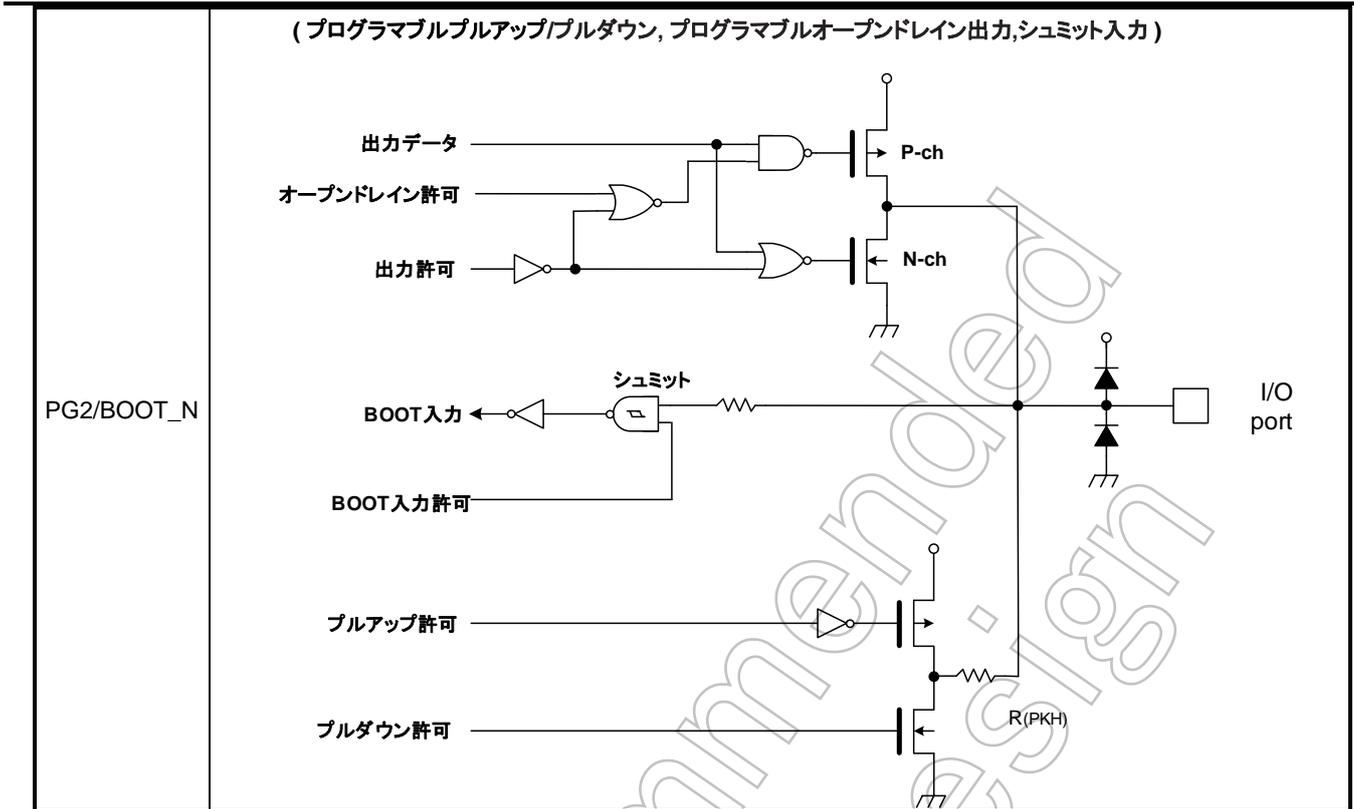
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

### 6.1. ポート

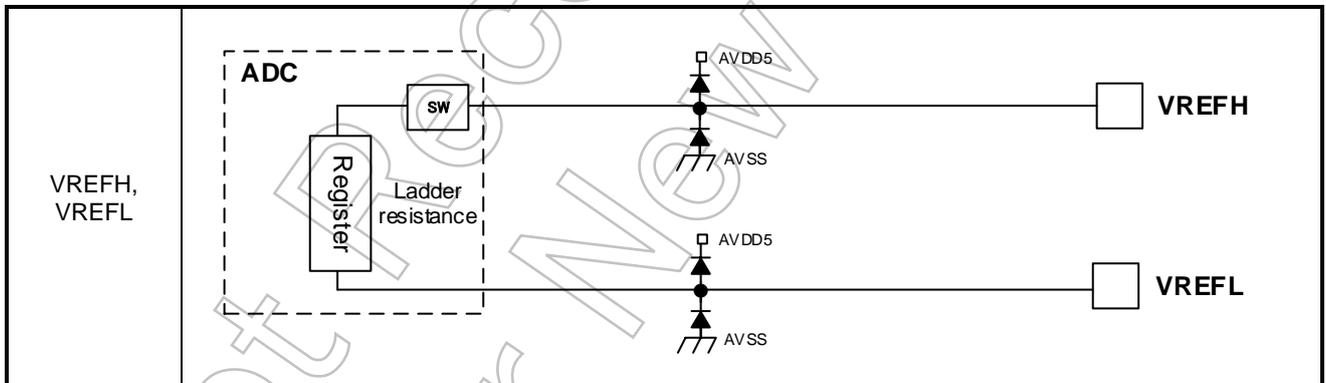






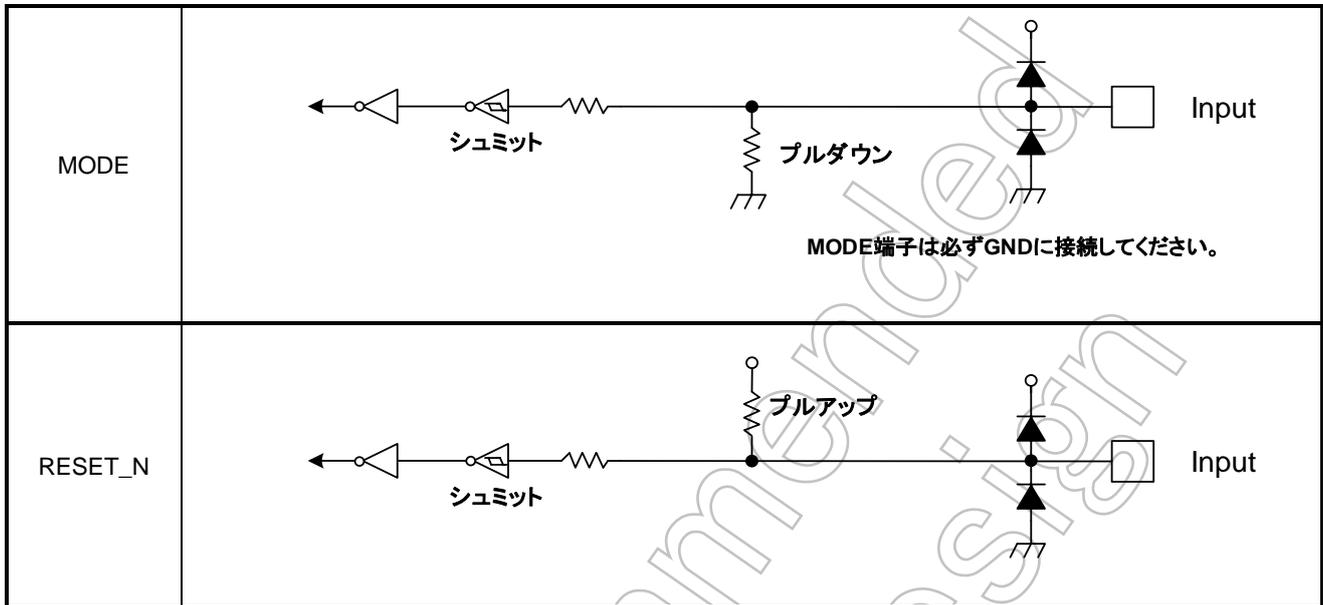


## 6.2. アナログ関連端子

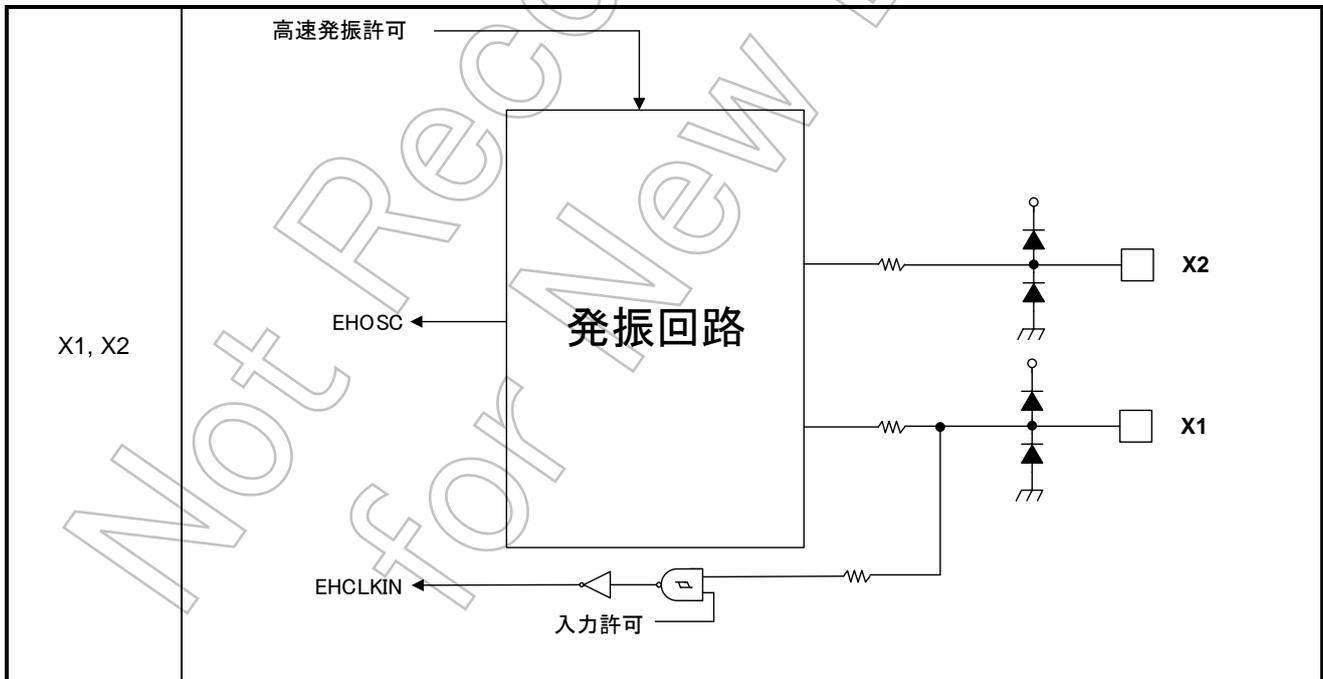


注) SW: ON/OFF スイッチ回路

## 6.3. 制御端子



## 6.4. クロック制御



## 7. 電気的特性

### 7.1. 絶対最大定格

表 7.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5A DVDD5B	-0.3~6.0	V
		AVDD5	-0.3~6.0 (注 2)	
電圧保持用キャパシター端子電圧		REGOUT1	-0.3~1.7	V
		REGOUT2	-0.3~3.9	
入力電圧	PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PP0~PP7, PR0~PR7, PT2~PT7, PU2~PU7, PV0~PV3, PW0~PW7, MODE, RESET_N, BOOT_N	V <sub>IN1</sub> V <sub>IN2</sub>	-0.3~DVDD5+0.3 (≦6.0V) (注 2)	V
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>IN3</sub>	-0.3~AVDD5+0.3 (≦6.0V)	
	PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	V <sub>IN4</sub>	-0.3~6.0	
低レベル 出力電流	1 端子ごと PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0~PG6, PH0, PH1, PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7, PN0~PN2, PP0~PP7, PR0~PR7, PT2~PT7, PU2~PU7, PV0~PV3, PW0~PW7	I <sub>OL</sub>	5	mA
	1 端子ごと PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	I <sub>OL4</sub>	25	
	全端子合計	ΣI <sub>OL</sub>	50	
高レベル 出力電流	1 端子ごと PA0~PA4, PB0~PB7, PC0~PC7, PD0~PD5, PE0~PE7, PF0~PF7, PG0~PG6, PH0, PH1, PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7, PN0~PN2, PP0~PP7, PR0~PR7, PT0~PT7, PU0~PU7, PV0~PV3, PW0~PW7	I <sub>OH</sub>	-5	mA
	全端子合計	ΣI <sub>OH</sub>	-50	
消費電力		PD	(注 3)	mW
はんだ付け温度		T <sub>SOLDER</sub>	260	°C
保存温度		T <sub>STG</sub>	-55~125	°C
動作温度		T <sub>OPR</sub>	-40~105(注 3)	°C
		T <sub>j</sub>	-40~125	

注 1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負う ことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

注 2) DVDD5 は DVDD5A、DVDD5B の総称です。DVDD5 と AVDD5 は同電位で使用してください。

注 3) 消費電力、および周囲温度(T<sub>OPR</sub>)の最大温度は、ジャンクション温度(T<sub>j</sub>)を超えない範囲でお使

ください。動作温度( $T_{OPR}(Ta)$ )の計算式を以下に示します。

$$T_{OPR}(Max) = T_j(Max) - PD(Max) \times \theta_{ja}$$

PD : 消費電力(mW) → 最大許容電力(PD(Max))(mW)  
 $\theta_{ja}$  : パッケージ熱抵抗( $^{\circ}C/W$ )  
 表 7.2 を参照してください。

最大許容電力(PD(Max))の計算式を以下に示します。

$$PD(Max) = V_{DD} \times I_{DD}(Max) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{DD} - V_{OH}) \times I_{OH})$$

$I_{OL}$  : "Low"レベル出力電流  
 $I_{OH}$  : "High"レベル出力電流  
 $V_{OL}$  : "Low"レベル出力電圧  
 $V_{OH}$  : "High"レベル出力電圧  
 $I_{DD}(MAX)$  : I/O を除く、マイコン内の回路で消費される電流  
 「7.3. DC 電気的特性 (2/2) (消費電流)」を参考にしてください。

表 7.2 パッケージ熱抵抗と最大許容電力表

パッケージ	基板	熱抵抗 $\theta_{ja}$ ( $^{\circ}C/W$ )	最大許容電力(PD(Max)) (mW)	
			$T_{OPR}=+85^{\circ}C$	$T_{OPR}=+105^{\circ}C$
P-LQFP144-2020-0.50-002	単層両面	52	768	384
	4層	47	849	425
P-LQFP128-1420-0.50-001	単層両面	48	833	417
	4層	43	935	467
P-LQFP100-1414-0.50-002	単層両面	56	714	357
	4層	50	806	403
P-LQFP80-1414-0.65-001	単層両面	56	714	357
	4層	49	810	405
P-LQFP80-1212-0.50-003	単層両面	61	661	331
	4層	53	759	380
P-LQFP64-1010-0.50-003	単層両面	59	677	338
	4層	50	808	404
P-QFP100-1420-0.65-001	単層両面	43	941	471
	4層	40	1013	506
P-LQFP64-1212-0.65-001	単層両面	61	661	331
	4層	53	759	380

## 7.2. DC 電气的特性(1/2)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V  
DVSS=AVSS=0V  
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位	
電源電圧	DVDD5A, DVDD5B, AVDD5	VDD fosc = 6~12MHz fsys=1~160MHz fsysm=1~80MHz	4.5	—	5.5	V	
低レベル 入力電圧	PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PP0~PP7, PR0~PR7, PT2~PT7, PU2~PU7, PV0~PV3, PW0~PW7, MODE, RESET_N, BOOT_N	V <sub>IL1</sub> V <sub>IL2</sub>	— -0.3	—	DVDD5×0.25	V	
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>IL3</sub>	—	—	AVDD5×0.25		
	PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	V <sub>IL4</sub>	—	—	DVDD5×0.3		
高レベル 入力電圧	PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PP0~PP7, PR0~PR7, PT2~PT7, PU2~PU7, PV0~PV3, PW0~PW7, MODE, RESET_N, BOOT_N	V <sub>IH1</sub> V <sub>IH2</sub>	—	DVDD5×0.75	DVDD5+0.3	V	
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>IH3</sub>	—	AVDD5×0.75	AVDD5+0.3		
	PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	V <sub>IH4</sub>	—	DVDD5×0.7	DVDD5+0.3		
低レベル 出力電圧	PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0~PG6, PN0~PN2, PP0~PP7, PR0~PR7, PT2~PT7, PU2~PU7, PV0~PV3, PW0~PW7	V <sub>OL1</sub> V <sub>OL2</sub>	DVDD5=4.5V I <sub>OL</sub> =1.6mA	—	—	0.4	V
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>OL3</sub>	AVDD5=4.5V I <sub>OL</sub> =1.6mA	—	—	0.4	
	PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	V <sub>OL4</sub>	DVDD5=4.5V I <sub>OL</sub> =8mA	—	—	1.0	
高レベル 出力電圧	PA0~PA4, PB0~PB7, PC0~PC7, PD0~PD5, PE0~PE7, PF0~PF7, PG0~PG6, PN0~PN2, PP0~PP7, PR0~PR7, PT0~PT7, PU0~PU7, PV0~PV3, PW0~PW7	V <sub>OH1</sub> V <sub>OH2</sub>	DVDD5=4.5V I <sub>OH</sub> =-1.6mA	DVDD5-0.4	—	—	V
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>OH3</sub>	AVDD5=4.5V I <sub>OH</sub> =-1.6mA	AVDD5-0.4	—	—	

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5,AVDD5 は同電位で使用してください。

Not Recommended  
for New Design

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V  
DVSS=AVSS=0V  
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I <sub>LI</sub>	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA	
出力リーク電流	I <sub>LO</sub>	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	±0.05	10		
シュミット入力幅	V <sub>TH</sub>	DVDD5 = AVDD5 = 5V	-	1.0	-	V	
リセットプルアップ抵抗	R <sub>RST</sub>	-	25	30	100	kΩ	
プログラマブルプルアップ/ダウン抵抗	P <sub>KH</sub>	Pull-up	25	30	100		
		Pull-down	25	50	100		
Pin 容量(電源端子を除く)	C <sub>IO</sub>	fc = 1MHz	-	-	10	pF	
低レベル出力電流	1 端子ごと 下欄を除くポート	I <sub>OL</sub>	DVDD5=AVDD5=5V	-	-	2 (注 4)	mA
	1 端子ごと PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	I <sub>OL4</sub>	DVDD5=5V	-	-	12 (注 4)	
	下記ポート全体で PC0~PC7, PB0~PB7, PT0~PT7, PP0, PD0~PD5, PG0~PG6, PE0~PE7	∑I <sub>OL1</sub>	DVDD5=5V	-	-	35 (注 5)	
	下記ポート全体で PP1~PP7, PR0~PR7, PF0~PF7, PU0~PU7, PN0~PN2, PV0~PV3, PW0~PW7, PA0~PA4	∑I <sub>OL2</sub>	DVDD5=5V	-	-	35 (注 5)	
	下記ポート全体で PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	∑I <sub>OL3</sub>	AVDD5=5V	-	-	35 (注 5)	
高レベル出力電流	1 端子ごと	I <sub>OH</sub>	DVDD5=AVDD5=5V	-2 (注 4)	-	-	mA
	下記ポート全体で PC0~PC7, PB0~PB7, PT0~PT7, PP0, PD0~PD5, PG0~PG6, PE0~PE7	∑I <sub>OH1</sub>	DVDD5=5V	-35 (注 5)	-	-	
	下記ポート全体で PP1~PP7, PR0~PR7, PF0~PF7, PU0~PU7, PN0~PN2, PV0~PV3, PW0~PW7, PA0~PA4	∑I <sub>OH2</sub>	DVDD5=5V	-35 (注 5)	-	-	
	下記ポート全体で PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	∑I <sub>OH3</sub>	AVDD5=5V	-35 (注 5)	-	-	

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないこと。

注 5) 各グループ電流の合計が、絶対最大定格を越えないこと。

2.7V ≤ DVDD5=AVDD5 < 4.5V  
DVSS=AVSS=0V  
Ta = -40~105°C

項目	記号	条件	Min	Typ.	Max	単位	
電源電圧	DVDD5A, DVDD5B, AVDD5	VDD fosc = 6~12MHz fsys=1~160MHz fsysm=1~80MHz	2.7	—	4.5	V	
低レベル 入力電圧	PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PP0~PP7, PR0~PR7, PT2~PT7, PU2~PU7, PV0~PV3, PW0~PW7, MODE, RESET_N, BOOT_N	V <sub>IL1</sub> V <sub>IL2</sub>	— -0.3	—	DVDD5×0.25	V	
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>IL3</sub>	—	—	AVDD5×0.25		
	PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	V <sub>IL4</sub>	—	—	DVDD5×0.3		
高レベル 入力電圧	PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PP0~PP7, PR0~PR7, PT2~PT7, PU2~PU7, PV0~PV3, PW0~PW7, MODE, RESET_N, BOOT_N	V <sub>IH1</sub> V <sub>IH2</sub>	—	DVDD5×0.75	DVDD5+0.3	V	
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>IH3</sub>	—	AVDD5×0.75	AVDD5+0.3		
	PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	V <sub>IH4</sub>	—	DVDD5×0.7	DVDD5+0.3		
低レベル 出力電圧	PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0~PG6, PN0~PN2, PP0~PP7, PR0~PR7, PT2~PT7, PU2~PU7, PV0~PV3, PW0~PW7	V <sub>OL1</sub> V <sub>OL2</sub>	DVDD5=2.7V I <sub>OL</sub> =0.8mA	—	—	0.4	V
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>OL3</sub>	AVDD5=2.7V I <sub>OL</sub> =0.8mA	—	—	0.4	
	PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	V <sub>OL4</sub>	DVDD5=2.7V I <sub>OL</sub> =4mA	—	—	1.0	
高レベル 出力電圧	PA0~PA4, PB0~PB7, PC0~PC7, PD0~PD5, PE0~PE7, PF0~PF7, PG0~PG6, PN0~PN2, PP0~PP7, PR0~PR7, PT0~PT7, PU0~PU7, PV0~PV3, PW0~PW7	V <sub>OH1</sub> V <sub>OH2</sub>	DVDD5=2.7V I <sub>OH</sub> = -0.8mA	DVDD5-0.4	—	—	V
	PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	V <sub>OH3</sub>	AVDD5=2.7V I <sub>OH</sub> = -0.8mA	AVDD5-0.4	—	—	

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください

2.7V ≤ DVDD5 = AVDD5 < 4.5V  
DVSS = AVSS = 0V  
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I <sub>LI</sub>	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA	
出力リーク電流	I <sub>LO</sub>	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	±0.05	10		
シュミット入力幅	V <sub>TH</sub>	DVDD5 = AVDD5 = 3V	-	0.5	-	V	
リセットプルアップ抵抗	R <sub>RST</sub>	-	25	100	200	kΩ	
プログラマブルプルアップ/ダウン抵抗	P <sub>KH</sub>	Pull-up	25	100	200		
		Pull-down	25	100	200		
Pin 容量(電源端子を除く)	C <sub>IO</sub>	fc = 1MHz	-	-	10	pF	
低レベル出力電流	1 端子ごと 下記を除くポート	I <sub>OL</sub>	DVDD5 = AVDD5 = 3V	-	-	1 (注 4)	mA
	1 端子ごと PC0, PC1, PD3, PD4, PT0, PT1, PU0, PU1	I <sub>OL4</sub>	DVDD5 = 3V	-	-	6 (注 4)	
	下記ポート全体で PC0~PC7, PB0~PB7, PT0~PT7, PP0, PD0~PD5, PG0~PG6, PE0~PE7	ΣI <sub>OL1</sub>	DVDD5 = 3V	-	-	18 (注 5)	
	下記ポート全体で PP1~PP7, PR0~PR7, PF0~PF7, PU0~PU7, PN0~PN2, PV0~PV3, PW0~PW7, PA0~PA4	ΣI <sub>OL2</sub>	DVDD5 = 3V	-	-	18 (注 5)	
	下記ポート全体で PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	ΣI <sub>OL3</sub>	AVDD5 = 3V	-	-	17 (注 5)	
高レベル出力電流	1 端子ごと	I <sub>OH</sub>	DVDD5 = AVDD5 = 3V	-1 (注 4)	-	-	mA
	下記ポート全体で PC0~PC7, PB0~PB7, PT0~PT7, PP0, PD0~PD5, PG0~PG6, PE0~PE7	ΣI <sub>OH1</sub>	DVDD5 = 3V	-18 (注 5)	-	-	
	下記ポート全体で PP1~PP7, PR0~PR7, PF0~PF7, PU0~PU7, PN0~PN2, PV0~PV3, PW0~PW7, PA0~PA4	ΣI <sub>OH2</sub>	DVDD5 = 3V	-18 (注 5)	-	-	
	下記ポート全体で PJ0~PJ7, PK0~PK7, PL0~PL7, PM0~PM7	ΣI <sub>OH3</sub>	AVDD5 = 3V	-17 (注 5)	-	-	

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ. 値は特に指定のない限り Ta = 25°C, DVDD5 = AVDD5 = 3.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないこと。

注 5) 各グループ電流の合計が、絶対最大定格を越えないこと。

## 7.3. DC 電气的特性 (2/2) (消費電流)

Ta = -40 ~ 105°C

項目	記号	条件			Min	Typ.	Max	単位
		電源電圧	高速クロック	動作条件				
NORMAL	I <sub>DD</sub>	DVDD5= AVDD5= 5.5V	動作条件は表 7.3、表 7.4 を参照してください。		—	45	72	mA
IDLE			発振	動作条件は表 7.3、 表 7.4 を参照してください。	—	7	30	
STOP1			停止		—	0.8	20	mA

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 入力端子は固定、出力端子は解放。

表 7.3 I<sub>DD</sub>測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1
端子設定	DVDD5= AVDD5=	5.0V(Typ.), 5.5V(max)		
	X1, X2 端子	発振子接続(10MHz)		
	入力端子	固定		
	出力端子	開放		
動作条件 (発振回路)	システムクロック (fsys/fsysm)	160MHz/80MHz		停止
	外部高速発振器 (EHOSC)	発振		停止
	内部高速発振器 (IHOSC1)	停止		
	PLL	動作(16倍)		停止

表 7.4 I<sub>DD</sub>測定条件(CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1
CPU	1	動作 (ドライストン Ver.2.1)		停止
DMAC	1	(UART ch0,ch2: 送信で起動, 転送元: RAM)		停止
ADC	3	動作 (1.0μs,リポート変換)		停止
OPAMP	3	全 ch: 動作		停止
T32A	6	全 ch: 動作		停止
A-PMD	3	全 ch: 動作		停止
A-ENC32	3	動作		停止
A-VE+	1	動作		停止
SIWDT	1	動作		停止
UART	4	2ch: 送信(5Mbps)		停止
I <sup>2</sup> C	2		停止	
TSPI	2	2ch: 送信,10MHz		停止
CAN	1		停止	
CRC	1		停止	
RAMP	2	動作		停止
LVD	1		停止	
OFD	1	動作		停止
Debug	1		停止	
NBDIF	1		停止	
入出力ポート	—	動作		停止

f<sub>sys</sub>=160MHz  
T<sub>a</sub>= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
消費電流 (ADC,OPAMP 動作時)	I <sub>AVDD</sub>	AVDD5=5.0V、AVSS=0V	—	18	22	mA

## 7.4. 12 ビット AD コンバーター特性

DVDD5=AVDD5=4.5V~5.5V  
DVSS=AVSS=0V  
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH	—	4.5	—	AVDD5	V
アナログ入力電圧	V <sub>AIN</sub>	VREFL=AVSS	VREFL	—	VREFH	V
積分非直線性誤差(INL)	—	4.5V ≤ AVDD5 = VREFH ≤ 5.5V AVSS = VREFL = 0V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF 変換時間 = 1.0μs	-3	—	3	LSB
微分非直線性誤差(DNL)			-2	—	2	
ゼロスケール誤差			-4	—	5	
フルスケール誤差			-5	—	4	
総合誤差			-7	—	5	
安定待ち時間	t <sub>sta</sub>	[ADMOD0]<DACON>=1 設定後	3	—	—	μs
変換時間	t <sub>conv</sub>	4.5V ≤ AVDD5 ≤ 5.5V	1.0	—	—	

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) 1LSB=(VREFH-VREFL)/4096 [V]

注 3) AD コンバーター単体動作の時の特性です。

Not Recommended for New Design

## 7.5. オペアンプ特性

DVDD5=AVDD5=4.5V~5.5V  
DVSS=AVSS=0V, Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
ゲイン(倍率) (注 2)	V <sub>GAIN</sub>	-	2.0	-	15	倍
アンプ入力電圧範囲(同相)	V <sub>AMPINP</sub> V <sub>AMPINN</sub>	V <sub>INP</sub> /V <sub>INN</sub> 端子で AVSS-0.3~AVDD5+0.3	AVSS-0.3	-	(AVDD5)×0.99 /V <sub>GAIN</sub>	V
アンプ入力電圧範囲(差動)	V <sub>AMPINP</sub> V <sub>AMPINN</sub>	V <sub>GAIN</sub> =2.0	0	-	AVDD5 /(MinV <sub>GAIN</sub> )	
アンプ出力電圧	V <sub>VOLT</sub>	-	AVDD5×0.01	-	AVDD5×0.99	
差動段オフセット電圧	V <sub>OFF</sub>	-	-5	-	+5	mV
ゲイン誤差	-	-	-3	-	+3	%
スルーレート	V <sub>thr</sub>	10pF	6	10	-	V/μs
AMPEN→出力安定時間	T <sub>sta1</sub>	上限: +5mV 下限: -5mV C <sub>L</sub> =10pF	-	-	2	μs

注 1) アンプ単体動作時の特性です。

注 2) レジスター設定により、2.5,3,3.5,4,4.5,6,7,8,10,12 倍も選択できます。

注 3) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 4) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

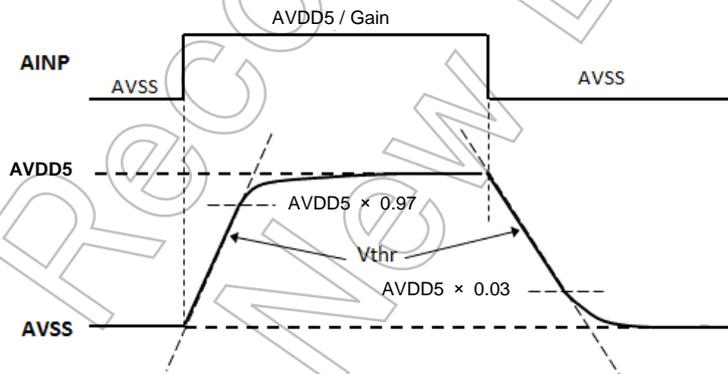


図 7.1 スルーレート

## 7.6. リセット時内部処理特性

DVSSA=DVSSB=DVSSC=AVSS=0V  
Ta=-40~105°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t <sub>INIT</sub>	パワーオン時	—	—	2.15	ms
内部処理時間	t <sub>RST</sub>	—	0.13	—	0.2	
CPU 動作待ち時間	t <sub>CPUWT</sub>	コールドリセット	12	—	15	μs
		ウォームリセット	70	—	95	
電源傾斜	V <sub>PON</sub>	—	0.01	—	100	mV/μs

## 7.7. パワーオンリセット特性

DVSSA=DVSSB=DVSSC=AVSS=0V  
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V <sub>PREL</sub>	電源立ち上がり	2.25	2.4	2.55	V
	V <sub>PDET</sub>	電源立ち下がり	2.2	2.35	2.5	
検知パルス幅	T <sub>PDET</sub>	—	200	—	—	μs

## 7.8. 電圧検出回路特性

DVDD5=AVDD5=2.7V~5.5V  
DVSS=AVSS=0V  
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位	
検知電圧	V <sub>LVL0</sub>	電源立ち上がり	2.55	2.65	2.75	V	
		電源立ち下がり	2.5	2.6	2.7		
	V <sub>LVL1</sub>	電源立ち上がり	2.65	2.75	2.85	V	
		電源立ち下がり	2.6	2.7	2.8		
	V <sub>LVL2</sub>	電源立ち上がり	2.75	2.85	2.95	V	
		電源立ち下がり	2.7	2.8	2.9		
	V <sub>LVL3</sub>	電源立ち上がり	2.85	2.95	3.05	V	
		電源立ち下がり	2.8	2.9	3.0		
	V <sub>LVL4</sub>	電源立ち上がり	3.95	4.05	4.15	V	
		電源立ち下がり	3.9	4.0	4.1		
	V <sub>LVL5</sub>	電源立ち上がり	4.15	4.25	4.35	V	
		電源立ち下がり	4.1	4.2	4.3		
	V <sub>LVL6</sub>	電源立ち上がり	4.35	4.45	4.55	V	
		電源立ち下がり	4.3	4.4	4.5		
	V <sub>LVL7</sub>	電源立ち上がり	4.55	4.65	4.75	V	
		電源立ち下がり	4.5	4.6	4.7		
	検知応答時間	t <sub>VDDT1</sub>	電源立ち下がり	—	50	200	μs
	検知解除時間	t <sub>VDDT2</sub>	電源立ち上がり	—	250	—	
セットアップ時間	t <sub>LV DEN</sub>	—	—	—	100		
検知最小パルス幅	t <sub>LV DPW</sub>	—	200	—	—		

注) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

## 7.9. AC 電气的特性

### 7.9.1. シリアルペリフェラルインターフェース(TSPI)

#### 7.9.1.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B の総称です。

#### 7.9.1.2. AC 電气的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック fsysm と同じ周期です。この周期は、クロックギアの設定に依存します。

k1 の値は  $[TSPIxFMTR0]<CSSCKDL[3:0]>$ 、k2 の値は  $[TSPIxFMTR0]<SCKCSDL[3:0]>$  で設定された TSPIxSCK のサイクル数で、1~16 の値になります。

## (1) SPI モード マスター

4.5V ≤ DVDD5 = AVDD5 ≤ 5.5V

項目	記号	計算式		fsys=80MHz k1=k2=1 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	fcyc	-	10	-	10	MHz
TSPIxSCK 出力周期	tcyc	100	-	100	-	ns
TSPIxSCK 低レベル出力パルス幅	twl	(tcyc/2) - 13	-	37	-	
TSPIxSCK 高レベル出力パルス幅	twh	(tcyc/2) - 13	-	37	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	tcsu	(tcyc×k1) - 20	(tcyc×k1) + 9	80	109	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	tchd	(tcyc×(k2+0.5)) - 20	-	130	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	tdsu	35 - 2×T (注)	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	tdhd	2×T - 10.5 (注)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly1	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly2	-	16	-	16	
TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間	todly3	(tcyc×(k1-0.5)) - 25	(tcyc×(k1-0.5)) + 9	25	59	

注) [TSPIxCR2] <RXDLY> = 1 時

2.7V ≤ DVDD5 = AVDD5 < 4.5V

項目	記号	計算式		fsys=80MHz k1=k2=1 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	fcyc	-	10	-	10	MHz
TSPIxSCK 出力周期	tcyc	100	-	100	-	ns
TSPIxSCK 低レベル出力パルス幅	twl	(tcyc/2) - 16	-	9	-	
TSPIxSCK 高レベル出力パルス幅	twh	(tcyc/2) - 16	-	9	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	tcsu	(tcyc×k1) - 20	(tcyc×k1) + 11	80	111	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	tchd	(tcyc×(k2+0.5)) - 20	-	130	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	tdsu	45 - 2×T (注)	-	20	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	tdhd	2×T - 10.5 (注 1)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly1	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly2	-	16	-	16	
TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間	todly3	(tcyc×(k1-0.5)) - 25	(tcyc×(k1-0.5)) + 13	25	63	

注) [TSPIxCR2] <RXDLY> = 1 時

## (2) SPI モード スレーブ

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsysm=80MHz k1=1 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f <sub>CYC</sub>	-	10	-	10	MHz
TSPIxSCK 入力周期	t <sub>CYC</sub>	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t <sub>WL</sub>	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t <sub>WH</sub>	37	-	37	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>CSU1</sub>	(t <sub>CYC</sub> × (k1+0.5)) + 20	-	170	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>CSU2</sub>	(t <sub>CYC</sub> × k1) - 20	-	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t <sub>CHD</sub>	7	-	7	-	
TSPIxRXD 入力 ← SPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY1</sub>	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY2</sub>	-	38	-	38	
TSPIxCSIN 立ち下がり→TSPIxTXD 遅延時間	t <sub>ODLY3</sub>	-	(t <sub>CYC</sub> × (k1-0.5)) + 5	-	55	
TSPIxCSIN 高レベル入力パルス幅	t <sub>WDIS</sub>	Tx2+20	-	45	-	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsysm=80MHz k1=1 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f <sub>CYC</sub>	-	10	-	10	MHz
TSPIxSCK 入力周期	t <sub>CYC</sub>	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t <sub>WL</sub>	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t <sub>WH</sub>	37	-	37	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>CSU1</sub>	(t <sub>CYC</sub> × (k1+0.5)) + 20	-	170	-	
TSPIxCSIN 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>CSU2</sub>	(t <sub>CYC</sub> × k1) - 20	-	80	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t <sub>CHD</sub>	7	-	7	-	
TSPIxRXD 入力 ← SPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY1</sub>	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY2</sub>	-	49	-	49	
TSPIxCSIN 立ち下がり→TSPIxTXD 遅延時間	t <sub>ODLY3</sub>	-	(t <sub>CYC</sub> × (k1-0.5)) + 5	-	55	
TSPIxCSIN 高レベル入力パルス幅	t <sub>WDIS</sub>	Tx2+20	-	45	-	

### (3) SIO モード マスター

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys=80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f <sub>CYC</sub>	-	10	-	10	MHz
TSPIxSCK 出力周期	t <sub>CYC</sub>	100	-	100	-	ns
TSPIxSCK 低レベル出力パルス幅	t <sub>WL</sub>	(t <sub>CYC</sub> /2) - 13	-	37	-	
TSPIxSCK 高レベル出力パルス幅	t <sub>WH</sub>	(t <sub>CYC</sub> /2) - 13	-	37	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	35 - 2×T (注)	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	2×T - 10.5 (注)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY1</sub>	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY2</sub>	-	16	-	16	

注) [TSPIxCR2] <RXDLY> = 1 時

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsys=80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f <sub>CYC</sub>	-	10	-	10	MHz
TSPIxSCK 出力周期	t <sub>CYC</sub>	100	-	100	-	ns
TSPIxSCK 低レベル出力パルス幅	t <sub>WL</sub>	(t <sub>CYC</sub> /2) - 16	-	9	-	
TSPIxSCK 高レベル出力パルス幅	t <sub>WH</sub>	(t <sub>CYC</sub> /2) - 16	-	9	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	45 - 2×T (注)	-	20	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	2×T - 10.5 (注)	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY1</sub>	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY2</sub>	-	16	-	16	

注) [TSPIxCR2] <RXDLY> = 1 時

## (4) SIO モード スレーブ

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsysm=80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f <sub>CYC</sub>	-	10	-	10	MHz
TSPIxSCK 入力周期	t <sub>CYC</sub>	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t <sub>WL</sub>	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t <sub>WH</sub>	37	-	37	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t <sub>CHD</sub>	7	-	7	-	
TSPIxRXD 入力 ← SPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY1</sub>	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY2</sub>	-	38	-	38	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsysm=80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f <sub>CYC</sub>	-	10	-	10	MHz
TSPIxSCK 入力周期	t <sub>CYC</sub>	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t <sub>WL</sub>	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t <sub>WH</sub>	37	-	37	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t <sub>CHD</sub>	7	-	7	-	
TSPIxRXD 入力 ← SPIxSCK 立ち上がり/立ち下がり時間	t <sub>DSU</sub>	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t <sub>DHD</sub>	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY1</sub>	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t <sub>ODLY2</sub>	-	38	-	38	

## (1) 1st クロックエッジサンプリング(マスター)

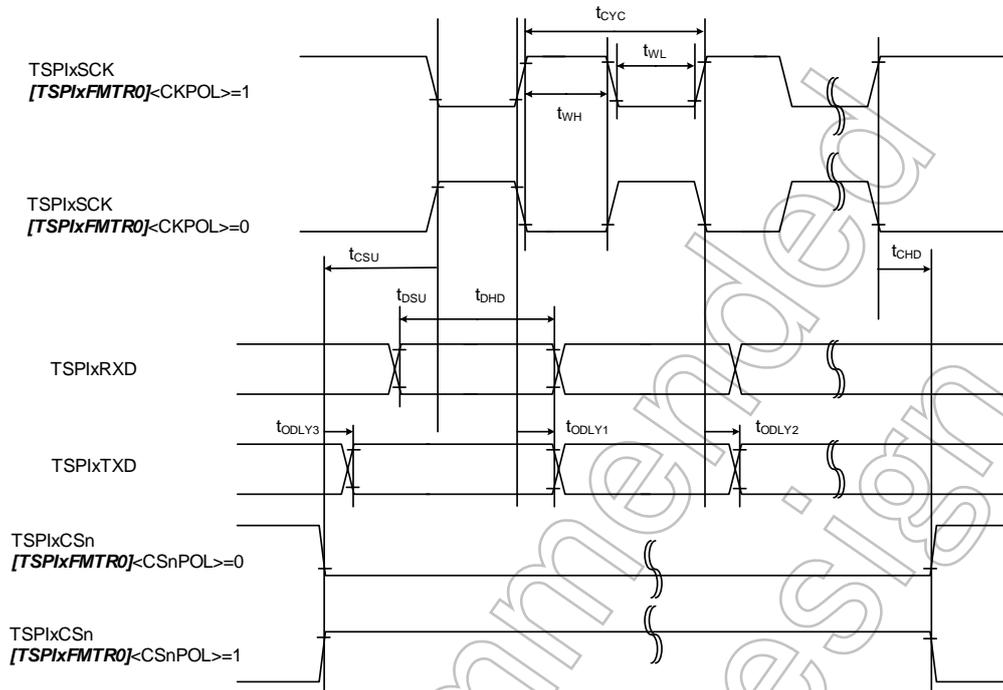


図 7.2 1st クロックエッジサンプリング(マスター)

## (2) 2nd クロックエッジサンプリング(マスター)

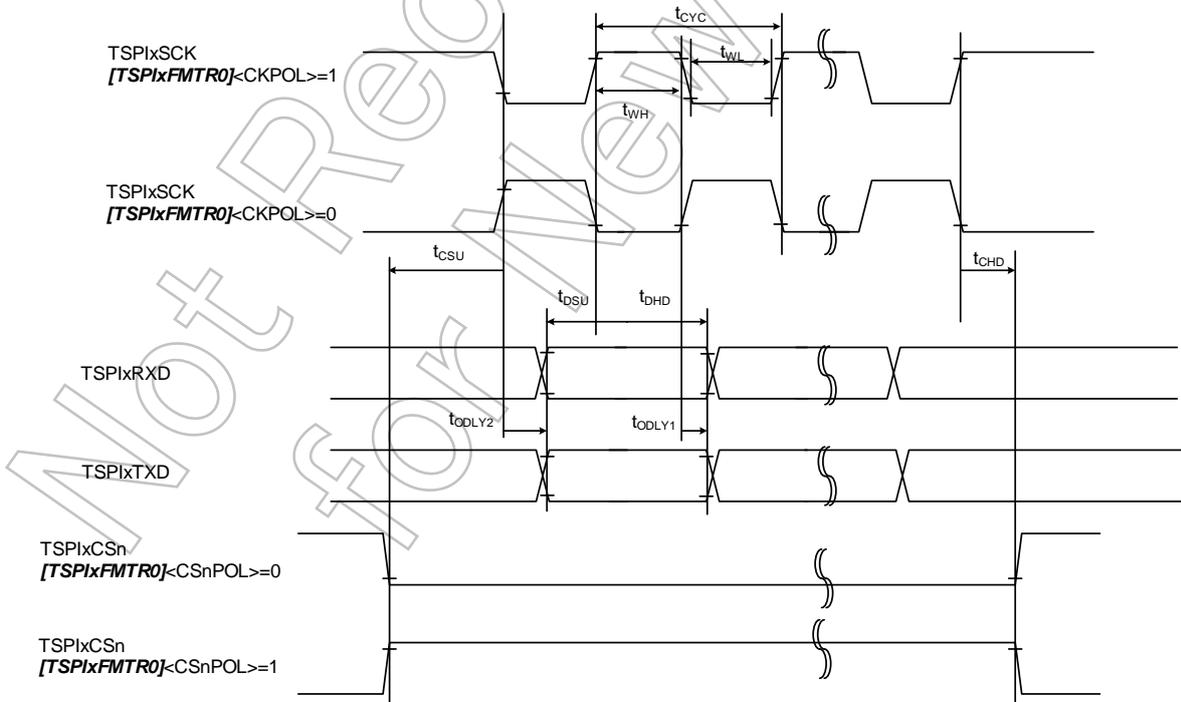


図 7.3 2nd クロックエッジサンプリング(マスター)

### (3) 2<sup>nd</sup> クロックエッジサンプリング(スレーブ)

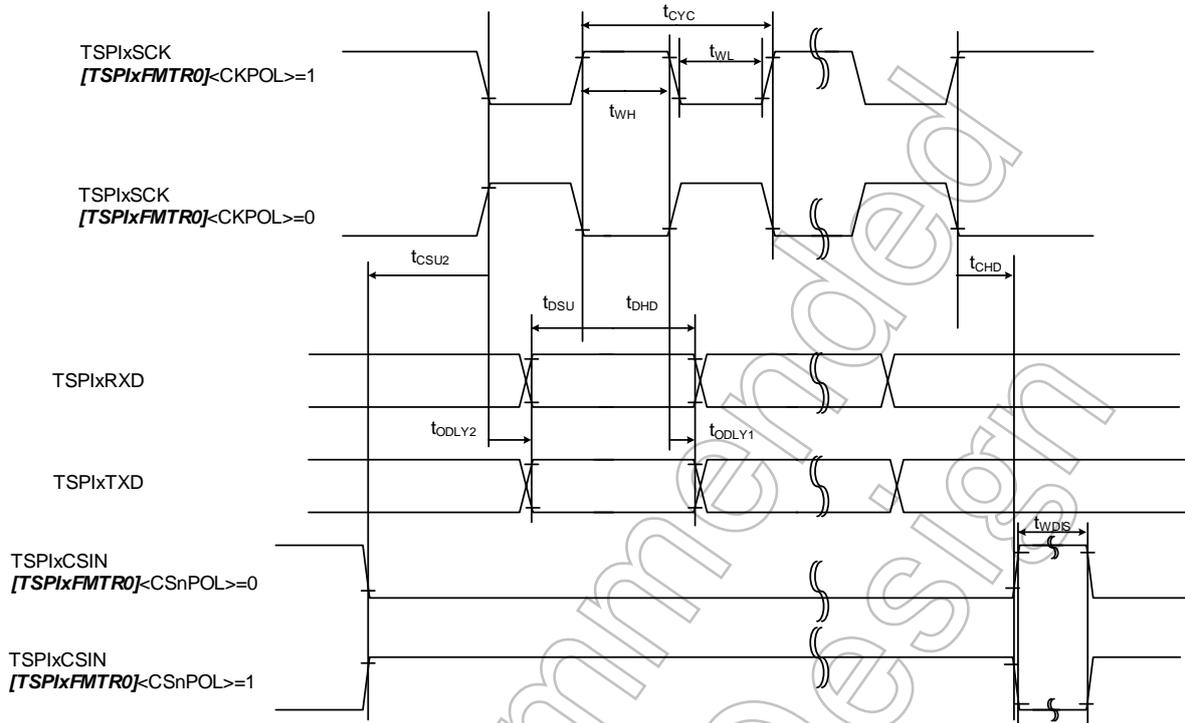


図 7.4 2<sup>nd</sup> クロックエッジサンプリング(スレーブ)

Not Recommended for New Design

## 7.9.2. I<sup>2</sup>C インターフェース(I<sup>2</sup>C)

### 7.9.2.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5=AVDD5=2.7V~5.5V
- Ta = -40~105°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD5、Low = 0.3×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B の総称です。

### 7.9.2.2. AC 電氣的特性

T は I<sup>2</sup>C の動作クロック周期です。I<sup>2</sup>C の動作クロックは、システムクロック f<sub>system</sub> と同じ周期です。この周期は、クロックギアの設定に依存します。

n は [I2CxCR]<SCK> で指定した SCL 出力クロックの周波数選択値、p は [I2CxPRS]<PRSCK> で指定したプリスケイラー分周比です。

項目	記号	標準モード		ファストモード		単位
		Min	Max	Min	Max	
SCL クロック周波数	f <sub>SCL</sub>	0	100	0	400	kHz
スタートコンディション保持時間	t <sub>HD, STA</sub>	4.0	—	0.6	—	
SCL クロック Low 幅(入力)(注 1)	t <sub>LOW</sub>	4.7	—	1.3	—	μs
SCL クロック High 幅(入力)(注 2)	t <sub>HIGH</sub>	4.0	—	0.6	—	
再スタートコンディションセットアップ時間(注 5)	t <sub>SU, STA</sub>	4.7	—	0.6	—	
データ保持時間(入力)(注 3,4)	t <sub>HD, DAT</sub>	0	—	0	—	
データセットアップ時間	t <sub>SU, DAT</sub>	250	—	100	—	ns
ストップコンディションセットアップ時間	t <sub>SU, STO</sub>	4.0	—	0.6	—	μs
ストップコンディションとスタートコンディション間のバスフリー時間(注 5)	t <sub>BUF</sub>	4.7	—	1.3	—	

注 1) SCL クロック Low 幅(出力):  $p \times (2^{n+1} + 10) / T$  ([I2CxOP]<NFSEL>=0 の時)

注 2) SCL クロック High 幅(出力):  $p \times (2^{n+1} + 6) / T$  ([I2CxOP]<NFSEL>=0 の時)

通信規格上、標準モード/ファストモードの最高速度は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f<sub>sys</sub> と上記の注 1、注 2 の計算式で設定されますのでご注意願います。

注 3) データ保持時間(出力)は、内部 SCL からプリスケイラークロック (T<sub>prscck</sub>) 4 サイクル分の時間です。

注 4) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t<sub>r</sub>/t<sub>f</sub> を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注 5) ソフトウェアに依存します。

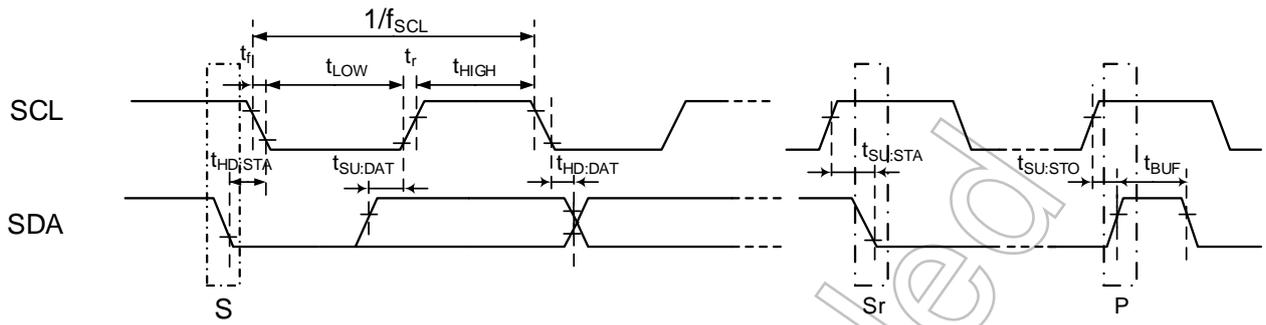


図 7.5 I<sup>2</sup>CのACタイミング

Not Recommended for New Design

## 7.9.3. 32 ビットタイマーイベントカウンタ (T32A)

T32AxINA0/A1, T32AxINB0/B1, T32AxINC0/C1 入力に対する AC 電気的特性です。

### 7.9.3.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B の総称です。

### 7.9.3.2. AC 電気的特性

T は T32A の動作クロックの周期を表します。T32A の動作クロックは、クロック ΦT0m と同じ周期です。この周期は、プリスケラークロックの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	計算式		ΦT0m=80MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t <sub>vckL</sub>	2T + 20	-	45	-	ns
High レベルパルス幅	t <sub>vckH</sub>	2T + 20	-	45	-	

(2) パルスカウント動作時

項目	記号	計算式		ΦT0m=80MHz NF=0		単位
		Min	Max	Min	Max	
パルス周期	t <sub>dcyc</sub>	1000	-	1000	-	ns
低レベルパルス幅	t <sub>pwl</sub>	500	-	500	-	
高レベルパルス幅	t <sub>pwh</sub>	500	-	500	-	
入力セットアップ	t <sub>abs</sub>	(NF+1)×T+20	-	32.5	-	
入力ホールド	t <sub>abh</sub>	(NF+1)×T+20	-	32.5	-	

NF の値は [T32AxPLSCR]<NF[1:0]> の設定により以下の値になります。

[T32AxPLSCR]<NF[1:0]>	計算式の NF 値
00	0
01	2
10	4
11	8

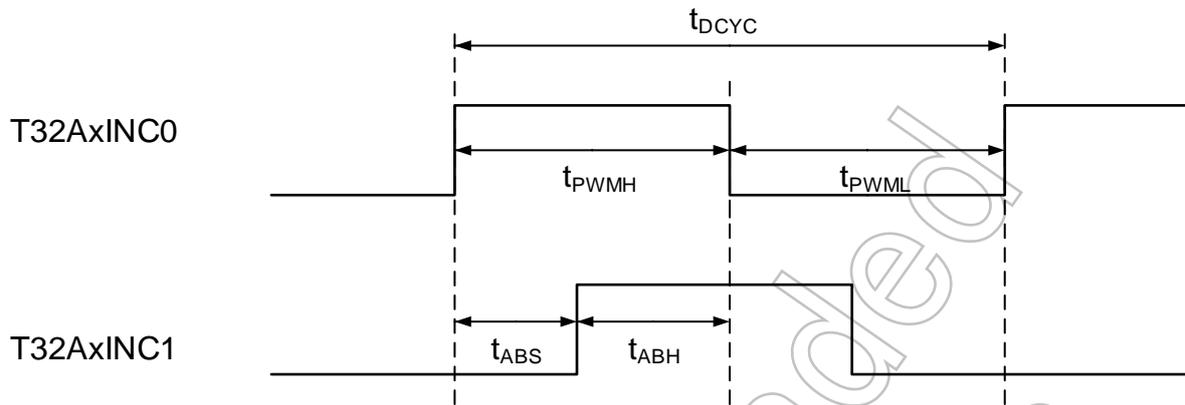


図 7.6 カウントパルス入力

## 7.9.4. 外部割り込み

### 7.9.4.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B の総称です。

### 7.9.4.2. AC 電气的特性

表中の T はシステムクロック fsys の周期を表します。

#### (1) NORMAL, IDLE モード時

項目	記号	計算式		fsys=160MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t <sub>INTAL1</sub>	T + 100	-	106.25	-	ns
High レベルパルス幅	t <sub>INTAH1</sub>	T + 100	-	106.25	-	

#### (2) STOP1 モード時

項目	記号	計算式				単位
		Min	Max	Min	Max	
Low レベルパルス幅	t <sub>INTCL2</sub>	125	-	125	-	ns
High レベルパルス幅	t <sub>INTCH2</sub>	125	-	125	-	

## 7.9.5. 端子トリガー入力(TRGINx)

### 7.9.5.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B の総称です。

### 7.9.5.2. AC 電気的特性

表中の T はシステムクロック fsysm の周期を表します。

項目	記号	計算式		fsysm=80 MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t <sub>ADL</sub>	2T+ 20	-	45	-	ns
High レベルパルス幅	t <sub>ADH</sub>	2T+ 20	-	45	-	

## 7.9.6. デバッグ通信

### 7.9.6.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~80°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B の総称です。

### 7.9.6.2. SW インターフェース

4.5V ≤ DVDD5 = AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
CLK 周期	t <sub>dck</sub>	100	-	ns
CLK 立ち上がりから出カデータ保持	t <sub>d1</sub>	4	-	
CLK 立ち上がりから出カデータ有効	t <sub>d2</sub>	-	33	
入カデータ有効から CLK 立ち上がり	t <sub>ds</sub>	20	-	
CLK 立ち上がりから入カデータ保持	t <sub>dh</sub>	15	-	

2.7V ≤ DVDD5 = AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK 周期	t <sub>dck</sub>	100	-	ns
CLK 立ち上がりから出カデータ保持	t <sub>d1</sub>	4	-	
CLK 立ち上がりから出カデータ有効	t <sub>d2</sub>	-	45	
入カデータ有効から CLK 立ち上がり	t <sub>ds</sub>	20	-	
CLK 立ち上がりから入カデータ保持	t <sub>dh</sub>	15	-	

## 7.9.6.3. JTAG インターフェース

$4.5V \leq DVDD5 = AVDD5 \leq 5.5V$

項目	記号	Min	Max	単位
CLK 周期	$t_{dck}$	100	-	ns
CLK 立ち上がりから出力データ保持	$t_{d3}$	4	-	
CLK 立ち上がりから出力データ有効	$t_{d4}$	-	33	
入力データ有効から CLK 立ち上がり	$t_{ds}$	20	-	
CLK 立ち上がりから入力データ保持	$t_{dh}$	15	-	

$2.7V \leq DVDD5 = AVDD5 < 4.5V$

項目	記号	Min	Max	単位
CLK 周期	$t_{dck}$	100	-	ns
CLK 立ち上がりから出力データ保持	$t_{d3}$	4	-	
CLK 立ち上がりから出力データ有効	$t_{d4}$	-	45	
入力データ有効から CLK 立ち上がり	$t_{ds}$	20	-	
CLK 立ち上がりから入力データ保持	$t_{dh}$	15	-	

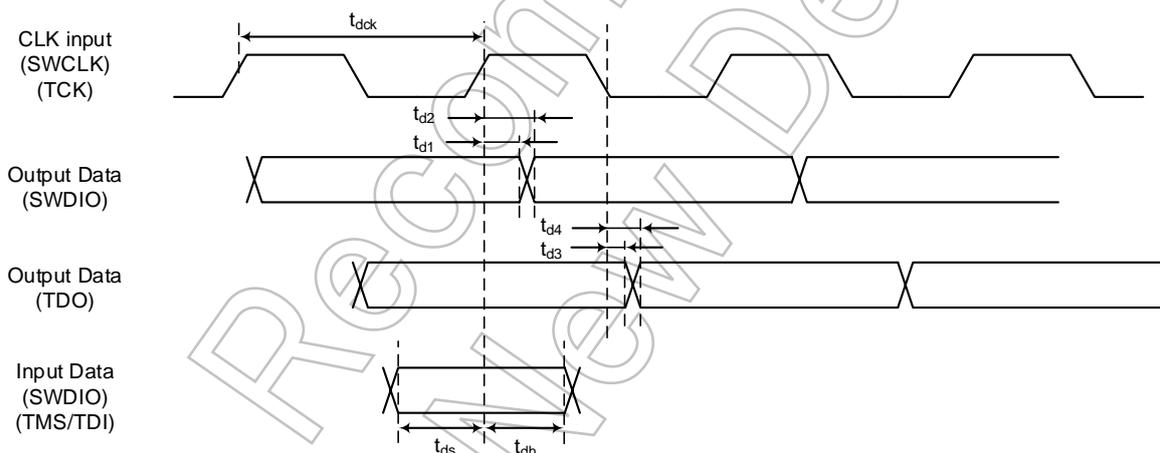


図 7.7 JTAG/SW波形

## 7.9.6.4. ETM トレース

5.0V ≤ DVDD5=AVDD5 ≤ 5.5V  
Tj=80°C (注)

項目	記号	Min	Max	単位
TRACECLK 周期	$t_{clk}$	25	-	ns
TRACECLK 立ち上がりから DATA 有効	$t_{setupr}$	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	$t_{holdr}$	1	-	
TRACECLK 立ち下がりから TRACEDATA 有効	$t_{setupf}$	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	$t_{holdf}$	1	-	

注) 「7.1. 絶対最大定格」の注3を参照してください。

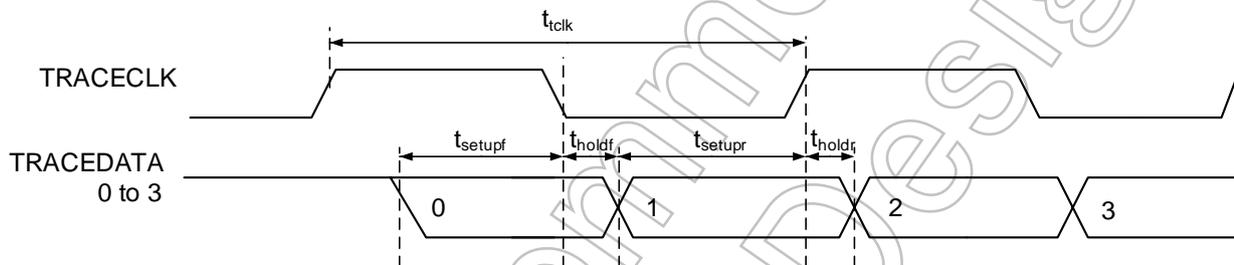


図 7.8 トレース信号波形

## 7.9.6.5. ノンブレイクデバッグインターフェース(NBDIF)

項目	記号	Min	Max	単位
NBDCLK サイクル時間	$t_{NDCYC}$	80	—	ns
NBDCLK 低レベルパルス幅	$t_{NDL}$	35	—	
NBD DATA 出力遅延時間	$t_{NDD}$	—	$t_{NDCYC} - 20$	
NBD DATA 出力ホールド時間	$t_{NDHD}$	5	—	
NBD DATA セットアップ時間	$t_{NDS}$	20	—	
NBD DATA ホールド時間	$t_{NDH}$	5	—	
NBDSYNC セットアップ時間	$t_{NDSYS}$	20	—	
NBDSYNC 出力ホールド時間	$t_{NDSYH}$	5	—	

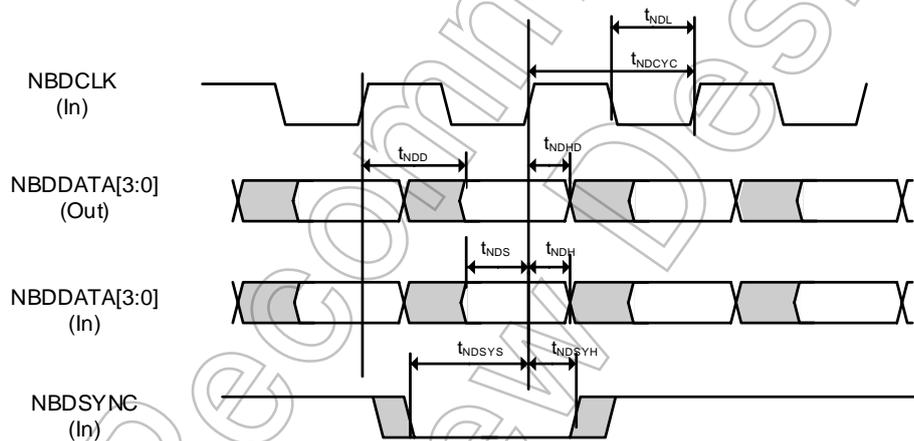


図 7.9 NBDIFのACタイミング

## 7.9.7. ノイズフィルター特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	DVDD5 = 2.7~5.5V Ta = -40~105°C	15	30	60	ns

注) DVDD5 は DVDD5A, DVDD5B の総称です。

## 7.9.8. 外部クロック入力

### 7.9.8.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B の総称です。

### 7.9.8.2. AC 電气的特性

項目	記号	Min	Typ.	Max	単位
クロック周波数(1/tehcin)	f <sub>EHCLKIN</sub>	6	-	10	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t <sub>r</sub>	-	-	10	ns
クロック立ち下がり時間	t <sub>f</sub>	-	-	10	ns

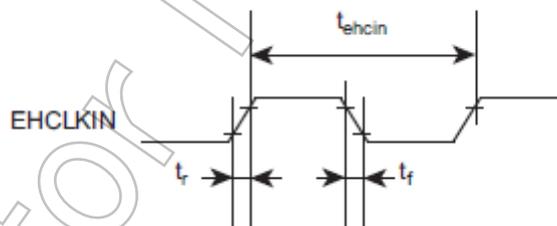


図 7.10 外部クロック入力波形

## 7.10. フラッシュ特性

### 7.10.1. コードフラッシュ特性

DVDD5=2.7V~5.5V  
Ta= -40~105°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数		—	—	10,000	回
書き込み時間	1word あたりに換算	—	29.5	—	μs
消去時間	ページ	—	18.1	—	ms
	ブロック	—	144.2	—	
	エリア(注 2)	—	18.1	—	

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) プロテクトが有効なブロックが無い場合です。

### 7.10.2. データフラッシュ特性

DVDD5=2.7V~5.5V  
Ta= -40~105°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数		—	—	100,000	回
書き込み時間		—	64.7	—	μs
消去時間	ページ	1	—	3.9	ms
	ブロック	15.4	—	62.1	
	エリア(注 2)	—	9.2	—	

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) プロテクトが有効なブロックが無い場合です。

### 7.10.3. チップ消去特性

DVDD5=2.7V~5.5V  
Ta= -40~105°C

項目	条件	Min	Typ.	Max	単位
チップ消去時間	消去対象: コードフラッシュ データフラッシュ プロテクトビット(コード) プロテクトビット(データ) セキュリティービット	—	64.0	—	ms

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) チップ消去コマンド実行時、プロテクトが有効なブロックが無い場合の時間です。

## 7.11. レギュレーター

DVDD5=2.7V~5.5V  
Ta= -40~105°C

項目	条件	Min	Typ.	Max	単位
REGOUT1 コンデンサー容量	-	-	4.7	-	μF
REGOUT2 コンデンサー容量		-	4.7	-	

注) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

Not Recommended  
for New Design

## 7.12. 発振回路

### 7.12.1. 内蔵発振器

DVDD5=2.7V~5.5V

Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f <sub>IHOSC1</sub>	出荷時、IC 単体時	-	10	-	MHz
	f <sub>IHOSC2</sub>		-	10	-	

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) 出荷後の変動影響は含みません。必要に応じてトリミングを行ってください。

### 7.12.2. 外部発振器

DVDD5=2.7V~5.5V

Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f <sub>EHOSC</sub>	-	6	-	12	MHz

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

### 7.12.3. 発振回路例

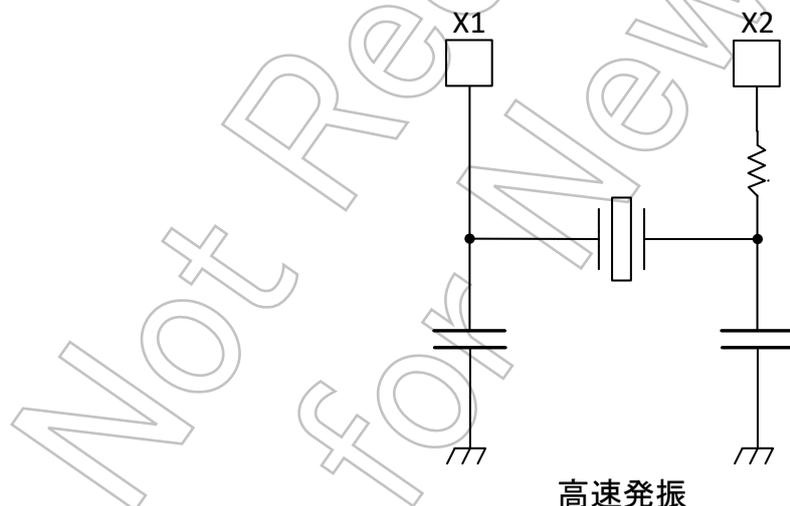


図 7.11 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

#### 7.12.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。  
(株)村田製作所の製品詳細につきましては同社ホームページを参照してください。

#### 7.12.5. 水晶発振子

この製品は京セラ(株)製水晶発振子を用いて評価しています。  
京セラ(株)の製品詳細につきましては同社ホームページを参照してください。

#### 7.12.6. プリント基板の設計に関する注意

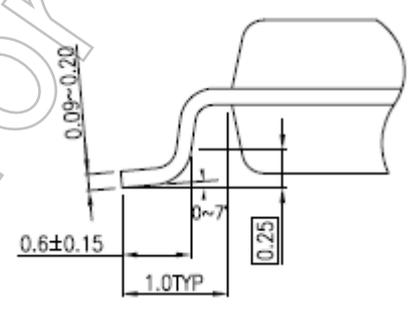
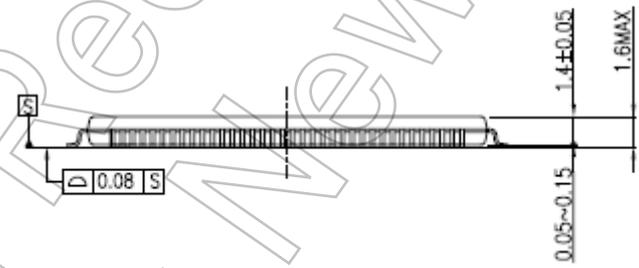
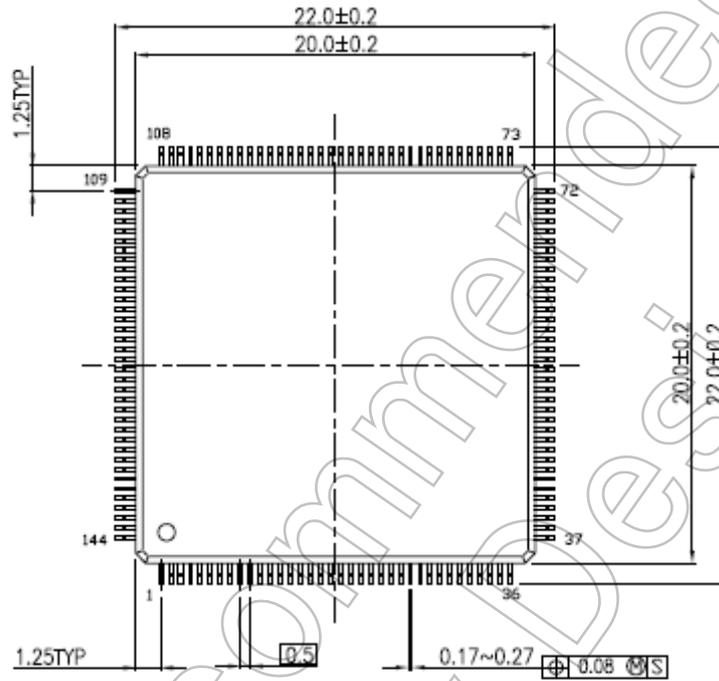
水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

Not Recommended  
for New Design

## 8. 外形寸法図

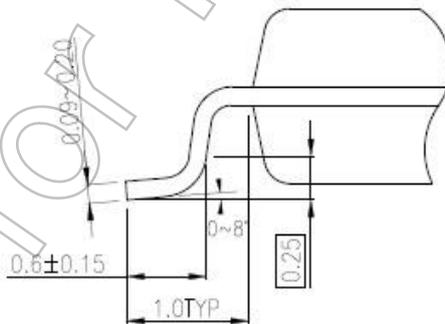
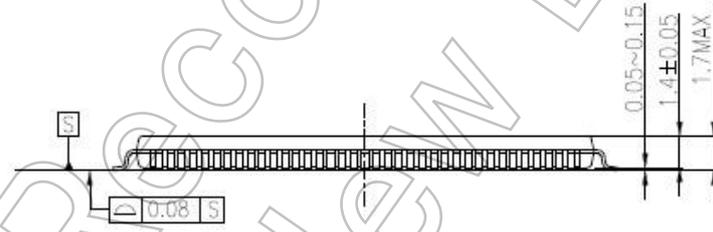
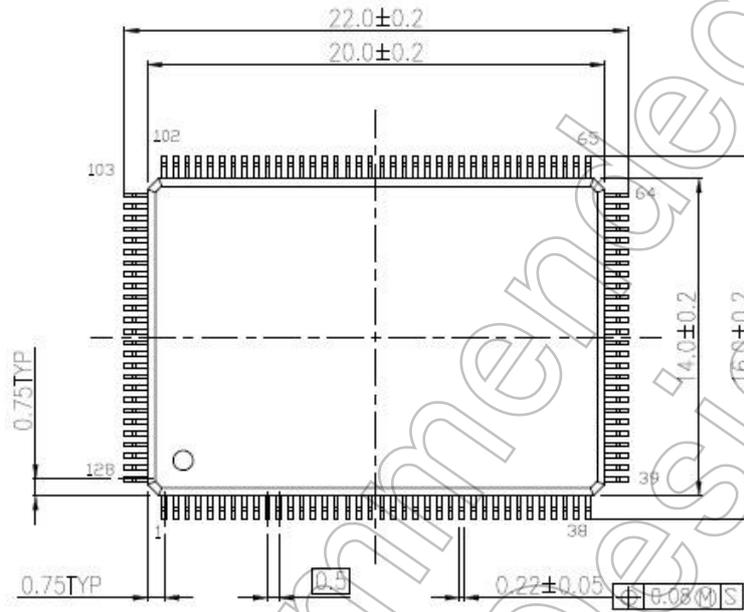
### 8.1. P-LQFP144-2020-0.50-002

Unit: mm



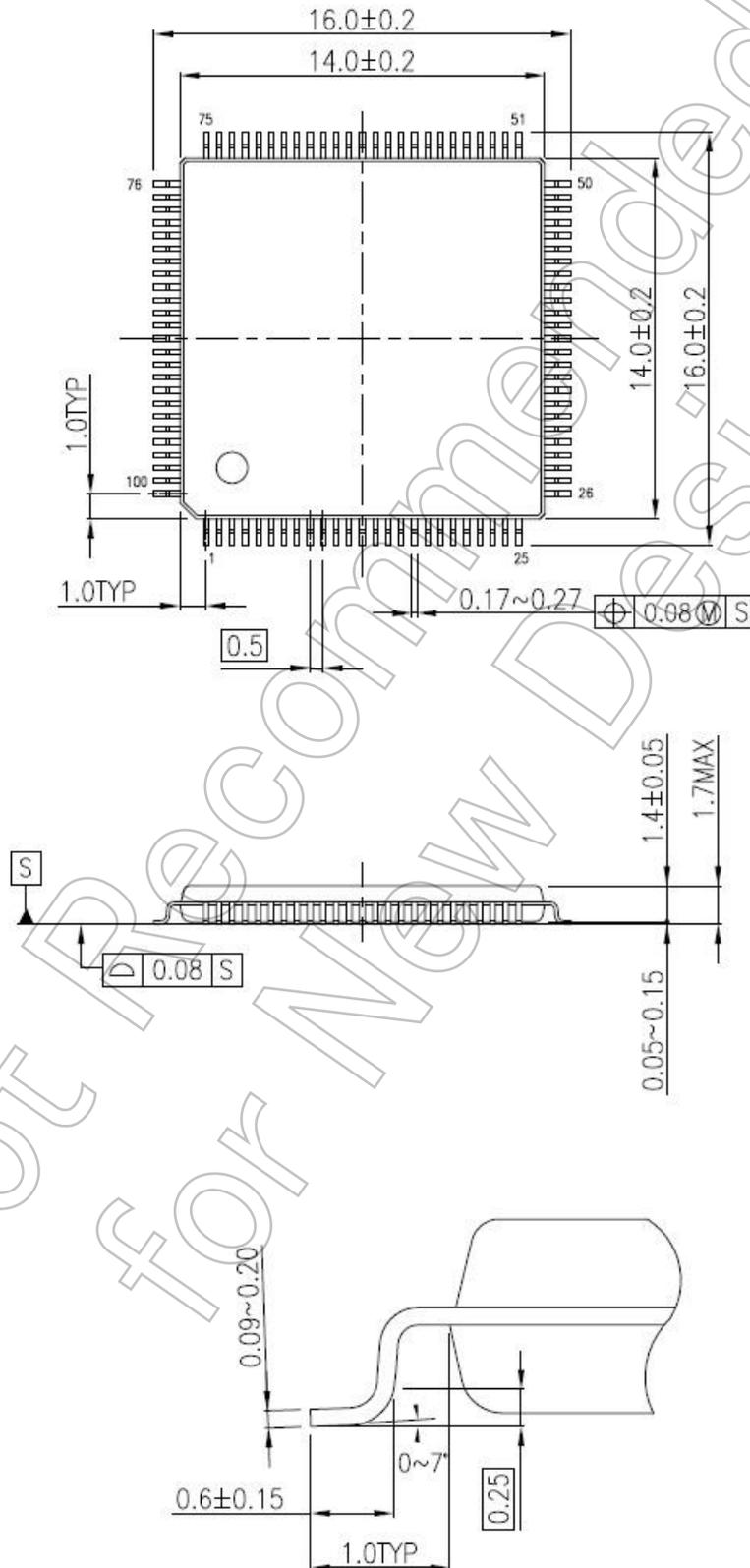
8.2. P-LQFP128-1420-0.50-001

Unit: mm



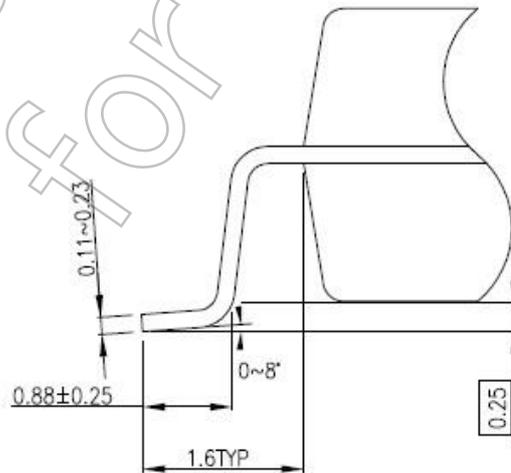
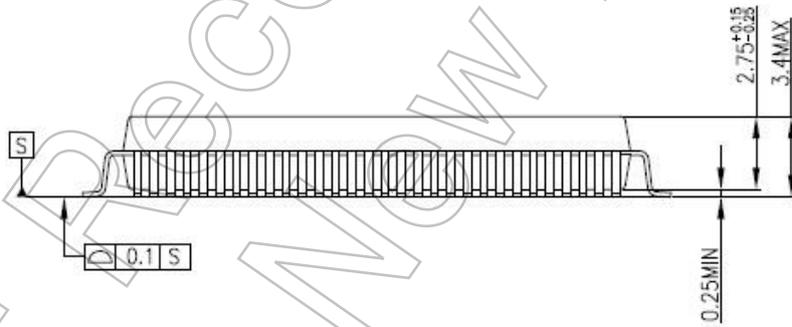
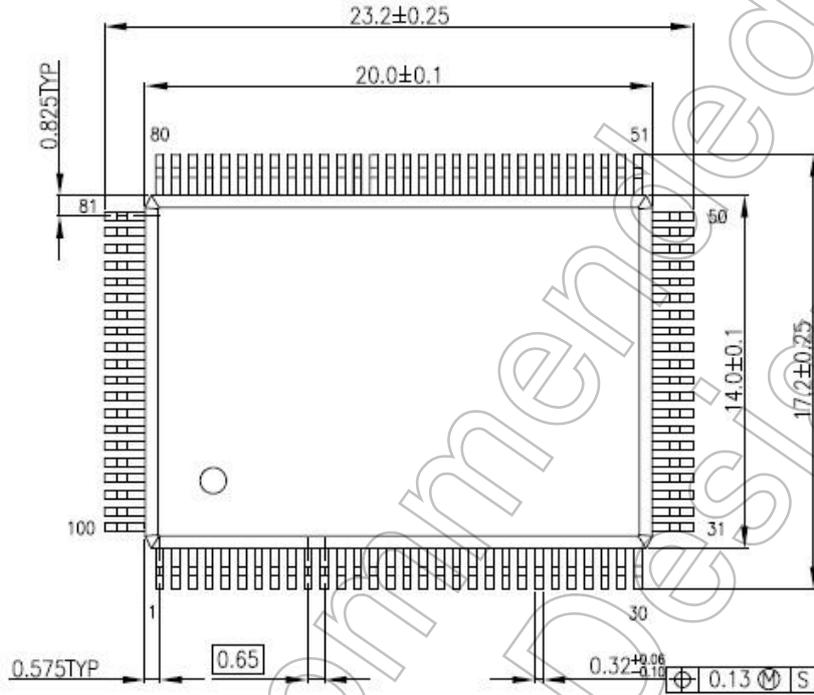
## 8.3. P-LQFP100-1414-0.50-002

Unit: mm



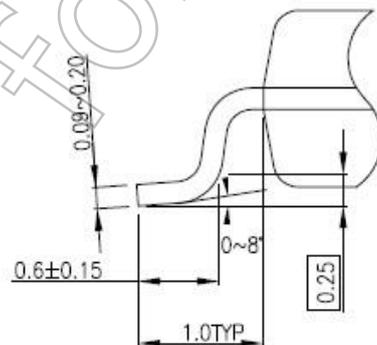
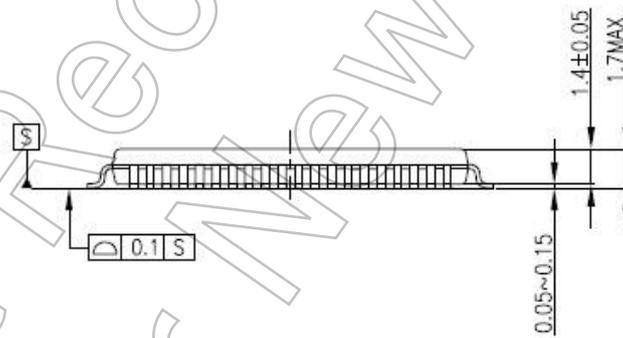
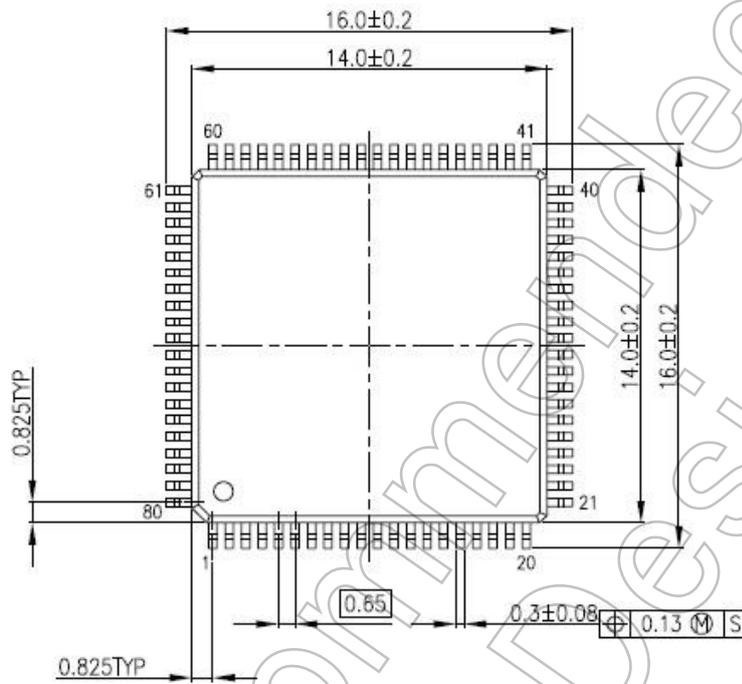
## 8.4. P-QFP100-1420-0.65-001

Unit: mm



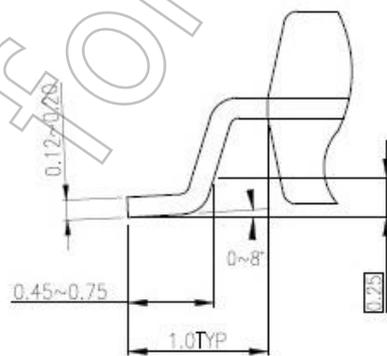
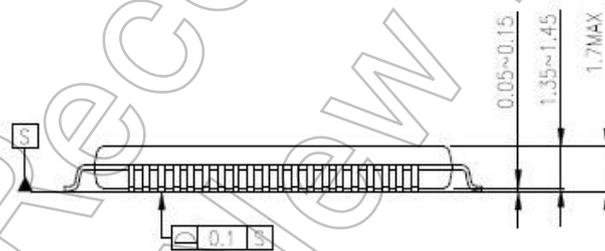
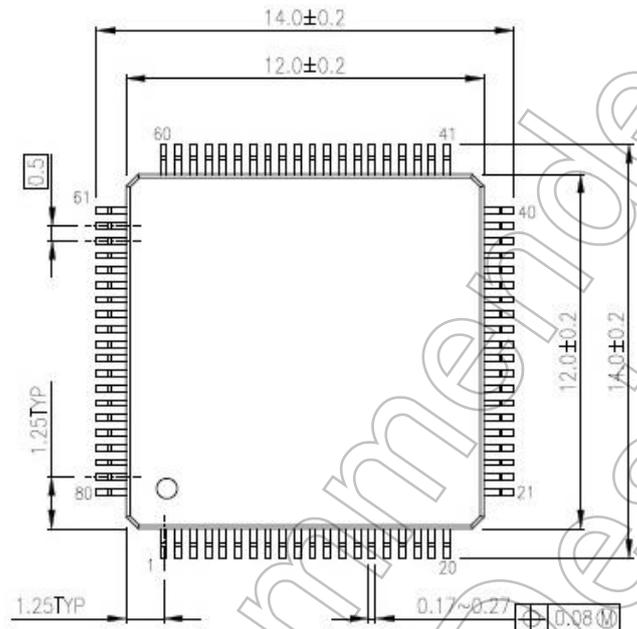
## 8.5. P-LQFP80-1414-0.65-001

Unit: mm



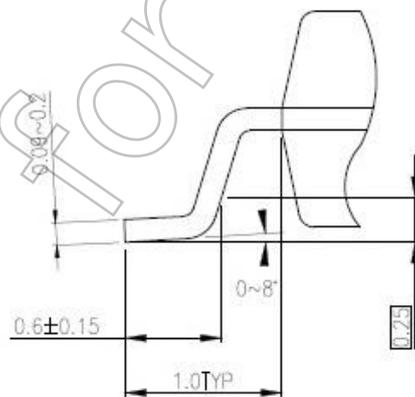
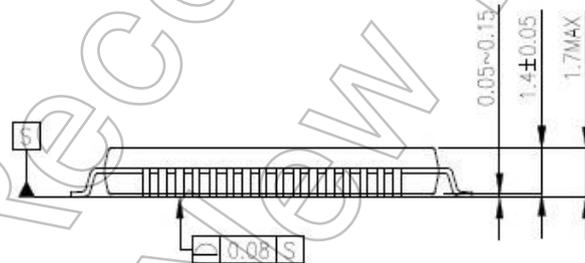
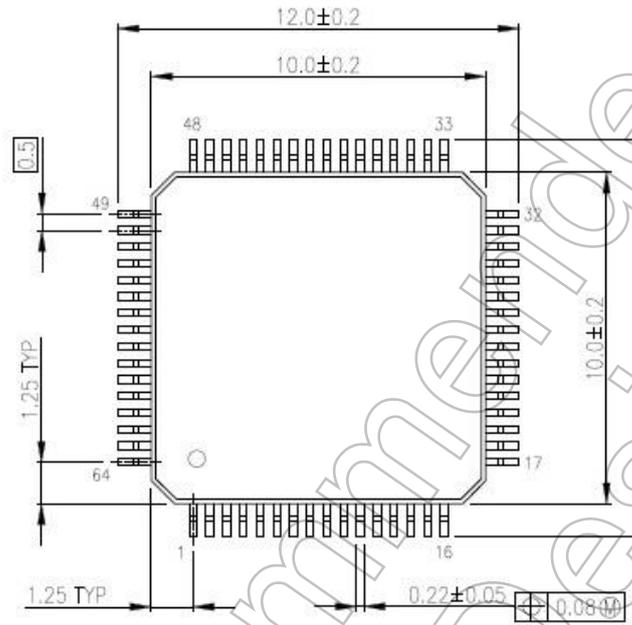
## 8.6. P-LQFP80-1212-0.50-003

Unit: mm



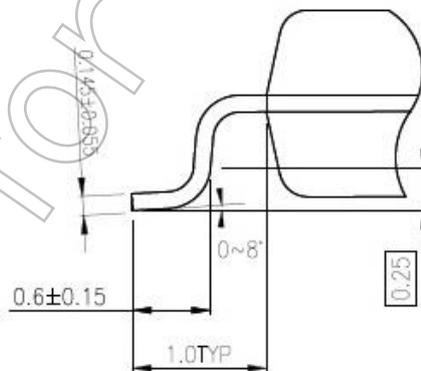
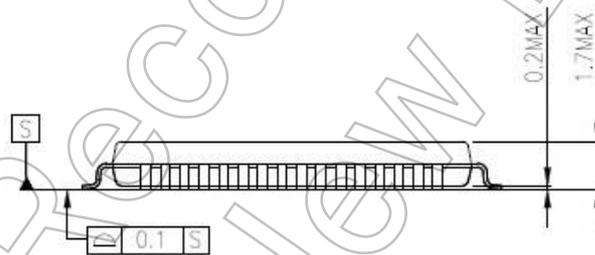
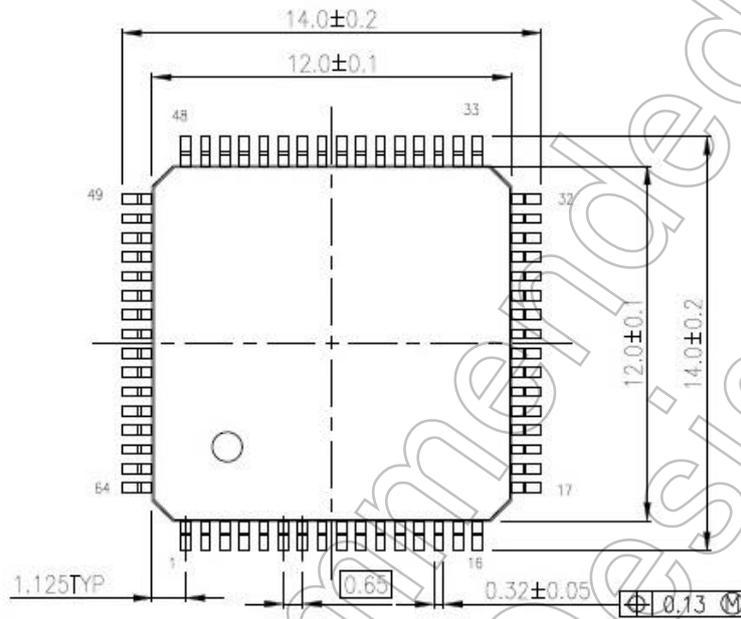
8.7. P-LQFP64-1010-0.50-003

Unit: mm



## 8.8. P-LQFP64-1212-0.65-001

Unit: mm



## 9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。  
なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

### (1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。  
このため、リセットが有効となるまで、端子の状態は不定となります。  
外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。  
また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

### (2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI 内部で静電破壊やラッチアップが発生することがあります。  
未使用端子については、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND 端子に固定することを推奨します。

### (3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

## 10. 改訂履歴

表 10.1 改訂履歴

Revision	日付	内容
1.0	2018-10-16	・新規作成
1.1	2021-10-15	・用語略語 修正(TSPI:Toshiba 削除) ・7.8. V <sub>LVL4~7</sub> の Min 値/Max 値を修正

Not Recommended  
for New Design

### Appendix

#### 全端子一覧表

兼用機能 A~C:ポートファンクションレジスタの設定なしにポートに割り当てられる兼用機能です。  
兼用機能 1~7: ポートファンクションレジスタの設定によりポートに割り当てられる兼用機能です。  
製品によっては、下表でグレイハッチの兼用機能は利用できない場合があります。

M4KQ LQFP144	M4KP LQFP128	M4KN QFP100	M4KN LQFP100	M4KM LQFP80	M4KL LQFP64	端子名称	兼用機能 A	兼用機能 B	兼用機能 C	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
1	2	4	1	2	2	PU0		INT12		UT2TXDA	UT2RXD	I2C1SDA	T32A02 INB1		UO2		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
2	3	5	2	3	3	PU1		INT07a		UT2RXD	UT2TXDA	I2C1SCL	T32A02 INA0	T32A02 INCO	XO2		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
3	4	6	3	4	4	PU2		INT07b					T32A02 OUTA	T32A02 OUTC	VO2		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
4	5	7	4	5	5	PU3		INT08a		UT1RTS_N			T32A02 INB0	ENC2A	YO2		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
5	6	8	5	6	6	PU4		INT08b		UT1CTS_N			T32A02 OUTB	T32A02 INC1	WO2		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
6	7	9	6	7	7	PU5		INT13		UT1TXDA	UT1RXD		T32A02 INA1	ENC2B	ZO2		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
7	8	10	7	8	8	PU6		INT09		UT1RXD	UT1TXDA			ENC2Z	EMG2		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
8	9	11	8	-	-	PU7									OVM2		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
9	10	12	9	9	-	PN0				UT0TXDA	UT0RXD	NBDDATA2 (注3)	T32A05 INA0	T32A05 INCO	ENC0A		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
10	11	13	10	10	-	PN1		INT16a		UT0RXD	UT0TXDA	NBDDATA3 (注3)	T32A05 OUTA	T32A05 OUTC	ENC0B		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
11	12	14	11	11	-	PN2		INT16b		UT0CTS_N			T32A05 INA1	T32A05 INC1	ENC0Z		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
12	13	15	12	-	-	PV0					TSP1CSIN		T32A01 OUTB				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
13	14	16	13	-	-	PV1				UT0RTS_N	TSP1RXD						I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
14	15	-	-	-	-	PV2				UT1RTS_N	TSP1TXD						I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
15	16	-	-	-	-	PV3				UT1CTS_N	TSP1SCK						I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
16	-	-	-	-	-	PW0							T32A04 INA0	T32A04 INCO			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
17	-	-	-	-	-	PW1							T32A04 OUTA	T32A04 OUTC			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
18	-	-	-	-	-	PW2							T32A04 INA1	T32A04 INC1			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
19	-	-	-	-	-	PW3		INT20b					T32A04 INB0				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
20	-	-	-	-	-	PW4		INT20a					T32A04 INB1				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
21	-	-	-	-	-	PW5							T32A04 OUTB				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
22	-	-	-	-	-	PW6				UT3RTS_N							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
23	-	-	-	-	-	PW7				UT3CTS_N							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
24	17	17	14	12	9	DVSSC											-	-	-	-	-	-
25	18	18	15	13	-	PA0				TSP10CSIN			T32A00 INB0				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
26	19	19	16	14	-	PA1		INT15		TSP10CS1			T32A00 INB1				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
27	20	20	17	15	10	PA2		INT00		TSP10RXD			T32A00 INA0	T32A00 INCO	PMD2 DBG	TRGIN0	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
28	21	21	18	16	11	PA3		INT01b		TSP10TXD			T32A00 OUTA	T32A00 OUTC		TRGIN1	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
29	22	22	19	17	12	PA4		INT01a		TSP10SCK			T32A00 OUTB			TRGIN2	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
30	23	-	-	-	-	PP4							T32A01 OUTA	T32A01 OUTC	ENC0B		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
31	24	-	-	-	-	PP5							T32A01 INA1	T32A01 INC1	ENC0Z		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
32	25	-	-	-	-	PP6				UT3RTS_N	TSP1CS0						I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
33	26	-	-	-	-	PP7				UT3CTS_N	TSP1CS1						I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
34	27	23	20	18	13	PL0	AINA16										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
35	28	24	21	19	14	PL1	AINA15										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
36	29	25	22	20	15	PL2	AINA17										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
37	30	26	23	21	16	PL3	AINA14										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
38	31	27	24	22	17	PL4	AINA18										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
39	32	28	25	23	18	PL5	AINA13										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
40	33	29	26	24	19	PL6	AINA09										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
41	34	30	27	25	20	PL7	AINA08										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
42	35	31	28	-	-	PM0	AINA07										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
43	36	32	29	-	-	PM1	AINA06										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
44	37	33	30	-	-	PM2	AINA05										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
45	38	-	-	-	-	PM3	AINA04										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
46	39	-	-	-	-	PM4	AINA03										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
47	40	-	-	-	-	PM5	AINA02										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z

M4KQ LQFP144	M4KP LQFP128	M4KN QFP100	M4KN LQFP100	M4KM LQFP80	M4KL LQFP64	端子名称	兼用機能 A	兼用機能 B	兼用機能 C	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	入出力	PU/PD	SV_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
48	41	-	-	-	-	PM6	AINA01										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
49	42	-	-	-	-	PM7	AINA00										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
50	43	34	31	26	21	VREFL											-	-	-	-	-	-
51	44	35	32	27	22	AVSS											-	-	-	-	-	-
52	45	36	33	28	23	AVDD5											-	-	-	-	-	-
53	46	37	34	29	24	VREFH											-	-	-	-	-	-
54	47	-	-	-	-	PK7	AINB07										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
55	48	-	-	-	-	PK6	AINB06										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
56	49	-	-	-	-	PK5	AINB05										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
57	50	38	35	30	-	PK4	AINB04										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
58	51	39	36	31	-	PK3	AINB03										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
59	52	40	37	32	25	PK2	AINB02										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
60	53	41	38	33	26	PK1	AINB01										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
61	54	42	39	34	27	PK0	AINB00										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
62	55	-	-	-	-	PJ7	AINC07										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
63	56	-	-	-	-	PJ6	AINC06										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
64	57	43	40	-	-	PJ5	AINC05										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
65	58	44	41	-	-	PJ4	AINC04										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
66	59	45	42	35	-	PJ3	AINC03										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
67	60	46	43	36	28	PJ2	AINC02										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
68	61	47	44	37	29	PJ1	AINC01										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
69	62	48	45	38	30	PJ0	AINC00										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
70	63	49	46	39	31	PC0				UT0TXDA	UT0RXD		I2C0SDA	T32A02 INA0	T32A02 INC0		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
71	64	50	47	40	32	PC1		INT02a		UT0RXD	UT0TXDA		I2C0SCL	T32A02 OUTA	T32A02 OUTC		I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
72	65	51	48	41	33	PC2		INT10				TSPI0CS0		T32A03 OUTA	T32A03 OUTC	PMD0 DBG	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
73	66	52	49	42	34	PC3		INT03a				TSPI0RXD		T32A03 OUTB		PMD1 DBG	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
74	67	53	50	43	-	PC4				UT1TXDA	UT1RXD	TSPI0TXD					I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
75	68	54	51	44	-	PC5				UT1RXD	UT1TXDA	TSPI0SCK					I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
76	69	55	52	-	-	PC6		INT02b									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
77	70	56	53	-	-	PC7											I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
78	71	57	54	45	35	PB0								U00			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
79	72	58	55	46	36	PB1								X00			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
80	73	59	56	47	37	PB2								V00			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
81	74	60	57	48	38	PB3								Y00			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
82	75	61	58	49	39	PB4								W00			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
83	76	62	59	50	40	PB5								Z00			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
84	77	63	60	51	41	PB6								EMG0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
85	78	64	61	-	-	PB7								O/V0	PMD0 DBG		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
86	79	-	-	-	-	PT0					I2C0SDA		T32A00 INA0	T32A00 INC0			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
87	80	-	-	-	-	PT1					I2C0SCL		T32A00 OUTA	T32A00 OUTC			I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
88	81	-	-	-	-	PT2								T32A00 INA1	T32A00 INC1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
89	82	-	-	-	-	PT3								T32A00 INB0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
90	83	-	-	-	-	PT4								T32A00 INB1			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
91	84	-	-	-	-	PT5								T32A00 OUTB			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
92	85	-	-	-	-	PT6				UT2RTS_N							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
93	86	-	-	-	-	PT7				UT2CTS_N							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
94	87	65	62	52	42	DVSSA											-	-	-	-	-	-
95	88	66	63	53	43	DVDD5A											-	-	-	-	-	-
96	89	-	-	-	-	PP0											I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
97	90	67	64	-	-	PD0		INT17b									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
98	91	68	65	-	-	PD1		INT17a									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
99	92	69	66	-	-	PD2		INT03b		UT0CTS_N							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
100	93	70	67	-	-	PD3				UT0RTS_N	I2C1SDA						I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
101	94	71	68	-	-	PD4		INT18b			I2C1SCL						I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
102	95	72	69	-	-	PD5		INT18a									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
103	96	73	70	54	-	PG0											I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
104	97	74	71	55	-	PG1				TSPI1CS1							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
105	98	75	72	56	44	PG2	BOOT_N			TSPI1CS0							Output	PU/PD	N/A	SMT	Hi-Z (注1)	Hi-Z
106	99	76	73	57	45	PG3		INT21		TSPI1CSIN							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
107	100	77	74	58	46	PG4				TSPI1RXD							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z

M4KQ LQFP144	M4KP LQFP128	M4KN QFP100	M4KN LQFP100	M4KM LQFP80	M4KL LQFP64	端子名称	兼用機能 A	兼用機能 B	兼用機能 C	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態	
108	101	78	75	59	47	PG5				TSP11TXD			T32A04 INB1				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
109	102	79	76	60	48	PG6				TSP11SCK							I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
110	103	80	77	61	49	PE0				CANTX (注3)(注4)					UO1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
111	104	81	78	62	50	PE1		INT04b		CANRX (注3)(注4)			T32A03 INA0	T32A03 INC0	XO1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
112	105	82	79	63	51	PE2							T32A03 OUTA	T32A03 OUTC	VO1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
113	106	83	80	64	52	PE3		INT04a					T32A03 INA1	T32A03 INC1	YO1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
114	107	84	81	65	53	PE4		INT11a					T32A03 INB0		WO1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
115	108	85	82	66	54	PE5		INT05a	INT11b				T32A03 INB1		ZO1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
116	109	86	83	67	55	PE6		INT05b					T32A03 OUTB		EMG1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
117	110	87	84	-	-	PE7									OVV1	PMD1 DBG	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
118	111	-	-	-	-	PP1		INT19a					T32A05 INB1				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
119	112	-	-	-	-	PP2		INT19b					T32A05 OUTB				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
120	113	-	-	-	-	PP3							T32A01 INA0	T32A01 INC0	ENC0A		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
121	-	-	-	-	-	PR0							T32A05 INB0				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
122	-	-	-	-	-	PR1							T32A05 INB1				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
123	-	-	-	-	-	PR2							T32A05 OUTB				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
124	-	-	-	-	-	PR3				UT2RTS_N					ENC1A		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
125	-	-	-	-	-	PR4				UT2CTS_N					ENC1B		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
126	-	-	-	-	-	PR5							T32A01 INB0		ENC1Z		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
127	-	-	-	-	-	PR6							T32A01 INB1				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
128	-	-	-	-	-	PR7							T32A01 OUTB				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
129	114	88	85	68	56	DVDD5B											-	-	-	-	-	-	
130	115	89	86	69	57	REGOUT2											-	-	-	-	-	-	
131	116	90	87	70	58	REGOUT1											-	-	-	-	-	-	
132	117	91	88	71	59	DVSSB											-	-	-	-	-	-	
133	118	92	89	72	60	MODE											-	PD	-	SMT	-	-	
134	119	93	90	73	61	PH0	X1	EHCLKIN									Input	PD	N/A	SMT	Hi-Z	Hi-Z	
135	120	94	91	74	62	PH1	X2										Input	PD	N/A	SMT	Hi-Z	Hi-Z	
136	121	95	92	75	63	RESET_N											-	PU	-	SMT	-	-	
137	122	96	93	76	-	PF7				UT3RXD	UT3TXDA	NBDDATA1 (注3)	T32A01 INB1				TRACE DATA1 (注3)	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
138	123	97	94	77	-	PF6				UT3TXDA	UT3RXD	NBDDATA0 (注3)	T32A01 INB0				TRACE DATA0 (注3)	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
139	124	98	95	-	-	PF5		INT14b				NBDCLK	T32A01 INA1	T32A01 INC1	ENC1Z		TRACE CLK	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
140	125	99	96	78	-	PF4		INT14a		UT3RXD	UT3TXDA	NBDSYNC (注3)	T32A01 OUTA	T32A01 OUTC	ENC1B		TRST_N (注3)	I/O	PU/PD	N/A	SMT	PU (注2)	PU (注2)
141	126	100	97	79	-	PF3				UT3TXDA	UT3RXD		T32A01 INA0	T32A01 INC0	ENC1A		TDI (注3)	I/O	PU/PD	N/A	SMT	PU (注2)	PU (注2)
142	127	1	98	-	-	PF2		INT06b					T32A05 INA1	T32A05 INC1			TDO/ SWV	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
143	128	2	99	80	64	PF1		INT06a		UT2RXD	UT2TXDA		T32A05 OUTA	T32A05 OUTC			TCK/ SWCLK (注3) (注4)	I/O	PU/PD	N/A	SMT	PD (注2)	PD (注2)
144	1	3	100	1	1	PF0				UT2TXDA	UT2RXD		T32A05 INA0	T32A05 INC0			TMS/ SWDIO (注3) (注4)	I/O	PU/PD	N/A	SMT	PU (注2)	PU (注2)

注1) RESET\_N 端子が"Low"の時、内蔵 pull-up が ON です。

注2) 初期値で内蔵 pull-up/pull-down が ON です。

注3) M4KM では CANTX/CANRX、TRST\_N/TDI/TCK/TMS、  
TRACEDATA0/TRACEDATA1/TRACEDATA2/TRACEDATA3、  
NBDDATA0/NBDDATA1/NBDDATA2/NBDDATA3/NBDSYNC は使用できません。

注4) M4KL では CANTX/CANRX、TCK/TMS は使用できません。

品番付与情報

## TMP M4K Q F Y x UG

The identification of  
Toshiba microcontrollers

記号	説明
M4	Arm Cortex-M4(FPU 機能搭載)
M3	Arm Cortex-M3
M0	Arm Cortex-M0

Core/コア

ファミリー	記号	説明
TXZ	H	汎用・コンシューマーエレクトロニクス
	K	モーター/インバーター制御・産業機器 (MCU+AMP/COMP)
	G	OA/デジタル製品・産業機
	E	小型精密機器・ロボティクス
	P	ヘルスケア/バッテリー駆動機器

Product Group /グループ

Revision/変更記号

Package/パッケージ

記号	説明
QG	Plastic shrink quad outline non-leaded package; dry-packed プラスチック縮小クアットアウトラインノンリードパッケージ、防湿梱包品
UG,DUG, FG,DFG	Plastic quad flat package; dry-packed プラスチックフラットパッケージ、防湿梱包品
MG,DMG	Plastic small-outline package; dry-packed プラスチックスモールアウトラインパッケージ、防湿梱包品
XBG	Plastic ball grid array; dry-packed プラスチックボールグリッドアレイ、防湿梱包品

ROM Size /メモリー容量

記号	容量[KB]
M	32
P	48
S	64
U	96
W	128
Y	256
Z	384
D	512
E	768
10	1,023
15	1,536
20	2,048
40	4,096
80	8,192

Pin Count / ピン数 ,ファンクション

記号	説明	記号	説明	
0	G	32pin 以下	8 Q	129pin to 144pin
1	H	33pin to 44pin	9 R	145pin to 176pin
2	J	45pin to 48pin	A S	177pin to 200pin
3	K	49pin to 52pin	B T	201pin to 224pin
4	L	53pin to 64pin	C U	225pin to 250pin
5	M	65pin to 80pin	D V	251pin to 300pin
6	N	81pin to 100pin		
7	P	101pin to 128pin		

ROM Type / ROM タイプ

記号	説明
F	Flash
C	Mask

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。