TOSHIBA

8 ビットマイクロコントローラ

TLCS-870/C シリーズ

TMP86FM48

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

● 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。021023_A

● 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

©TOSHIBA CORPORATION 2007
All Rights Reserved

Not Recommended for New Design

改訂履歴

日付	版	改訂理由
2007/8/24	1	First Release
2008/8/29	2	内容改訂

Not Recommended for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定(RXDNC設定)には以下の制約があります。"○"の箇所にて使用し、"－"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 （ノイズ除去なし）	01 （31/fc[s] 未満のパルス除去）	10 （63/fc[s] 未満のパルス除去）	11 （127/fc[s] 未満のパルス除去）
000	fc/13	○	○	○	－
110 （タイマカウンタ割り込みでの転送クロックが右記となる場合）	fc/8	○	－	－	－
	fc/16	○	○	－	－
	fc/32	○	○	○	－
上記以外		○	○	○	○

Not Recommended for New Design

CMOS 8 ビット マイクロコントローラ
TMP86FM48UG/FG

TMP86FM48 は TLCS-870/C シリーズコアに 3Tr NAND 型フラッシュ EEPROM (以下フラッシュと称す), RAM, 多機能タイマカウンタ, 非同期型シリアルインタフェース (UART), 同期型シリアルインタフェース(SIO, I²C), 10 ビット AD コンバータおよび 2 系統の発振回路などを内蔵した高速, 高機能 8 ビットシングルチップマイクロコンピュータです。

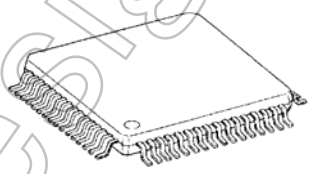
製品形名	フラッシュメモリ (Program area)	フラッシュメモリ (Data area)	RAM	パッケージ	エミュレーションチップ
TMP86FM48UG	32256 × 8 ビット	512 × 8 ビット	2048 × 8 ビット	LQFP64-P-1010-0.50E	TMP86C948XB
TMP86FM48FG				QFP64-P-1414-0.80C	

特長

- 8 ビットシングルチップマイクロコンピュータ TLCS-870/C シリーズ
- 最小実行時間: 0.25 μs (16 MHz 動作時)
  122 μs (32.768 kHz 動作時)
- 基本機械命令: 132 種類 731 命令
- 割り込み要因 20 要因 (外部: 5, 内部: 15)
- 入出力ポート (54 端子)
- 16 ビットタイマカウンタ: 2 チャネル
  - タイマ, イベントカウンタ, パルス幅測定, 外部トリガタイマ, ウィンドウ, PPG 出力モード
- 8 ビットタイマカウンタ: 2 チャネル
  - タイマ, イベントカウンタ, PWM (パルス幅変調出力), PDO (Programmable Divider Output), キャプチャモード
- タイムベースタイマ
- デバイダ出力機能
- ウォッチドッグタイマ
  - 割り込み/リセット発生の選択 (プログラマブル)

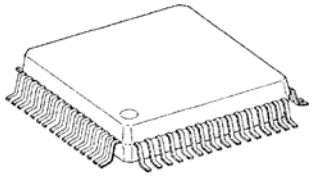
パッケージ外観図

LQFP64-P-1010-0.50E



TMP86FM48UG

QFP64-P-1414-0.80C



TMP86FM48FG

Not Recommended for New Design

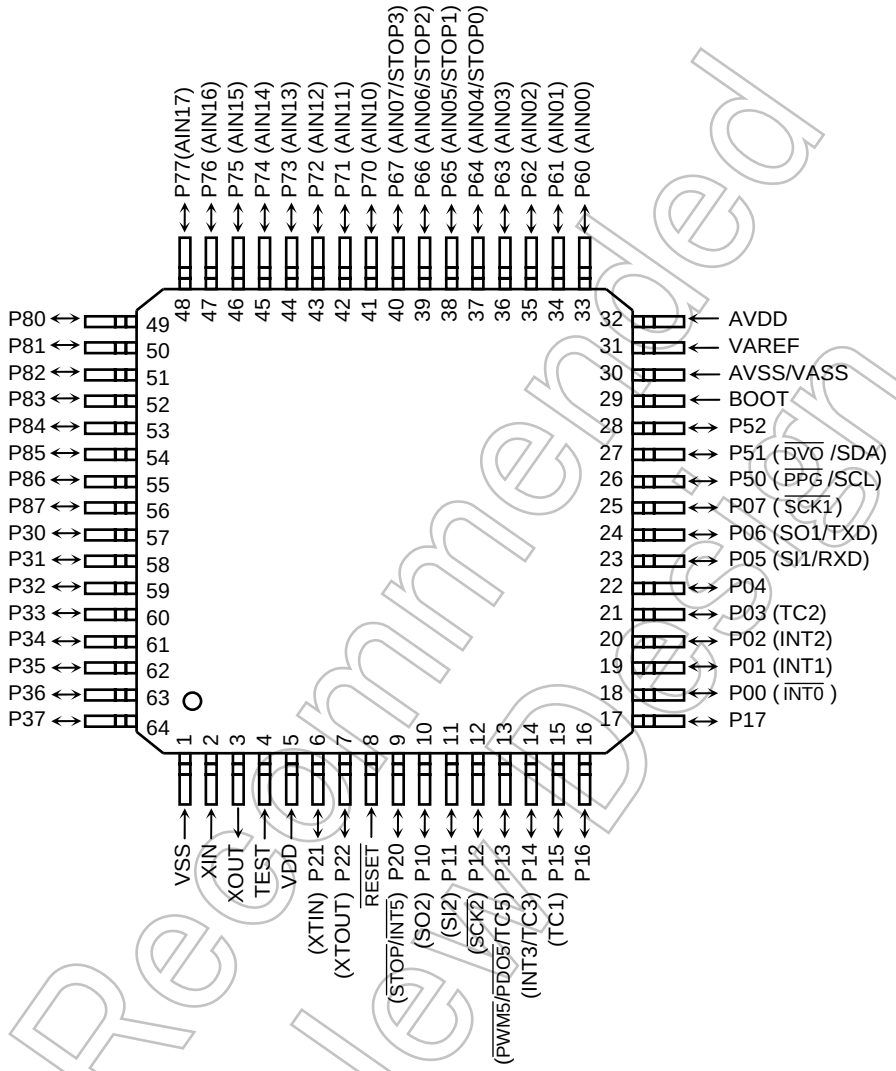
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命･身体･財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
  なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質･信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 "特定用途" という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。 030519_S

- シリアルインタフェース
  - UART/SIO: 1 チャネル
  - SIO: 1 チャネル
  - I²C-bus: 1 チャネル
- 10 ビット逐次比較方式 AD コンバータ
  - アナログ入力: 16 チャネル
- キーオンウェイクアップ: 4 チャネル
- クロック発振回路: 2 回路
  - シングル/デュアルクロックモードの選択
- 低消費電力動作（9 モード）
  - STOP モード: 発振停止（バッテリーコンデンサバックアップ）
  - SLOW1 モード: 低周波クロックによる低周波動作（高周波停止）
  - SLOW2 モード: 低周波クロックによる低周波動作（高周波発振）
  - IDLE0 モード: CPU 停止。周辺ハードウエアのうち、TBT のみ動作（高周波クロック）継続し、TBT 設定の基準時間経過により解除。
  - IDLE1 モード: CPU 停止。周辺ハードウエアのみ動作（高周波クロック）継続し、割り込みで解除（CPU 再起動）
  - IDLE2 モード: CPU 停止。周辺ハードウエアのみ動作（高周波/低周波クロック）継続し、割り込みで解除
  - SLEEP0 モード: CPU 停止。周辺ハードウエアのうち、TBT のみ動作（低周波クロック）継続し、TBT 設定の基準時間経過により解除。
  - SLEEP1 モード: CPU 停止。周辺ハードウエアのみ動作（低周波クロック）継続し、割り込みで解除。
  - SLEEP2 モード: CPU 停止。周辺ハードウエアのみ動作（高周波/低周波クロック）継続し、割り込みで解除。
- 動作電圧: 1.8~3.6 V @ 8 MHz/32.768 kHz
  2.7~3.6 V @ 16 MHz/32.768 kHz

Not Recommended for New Design

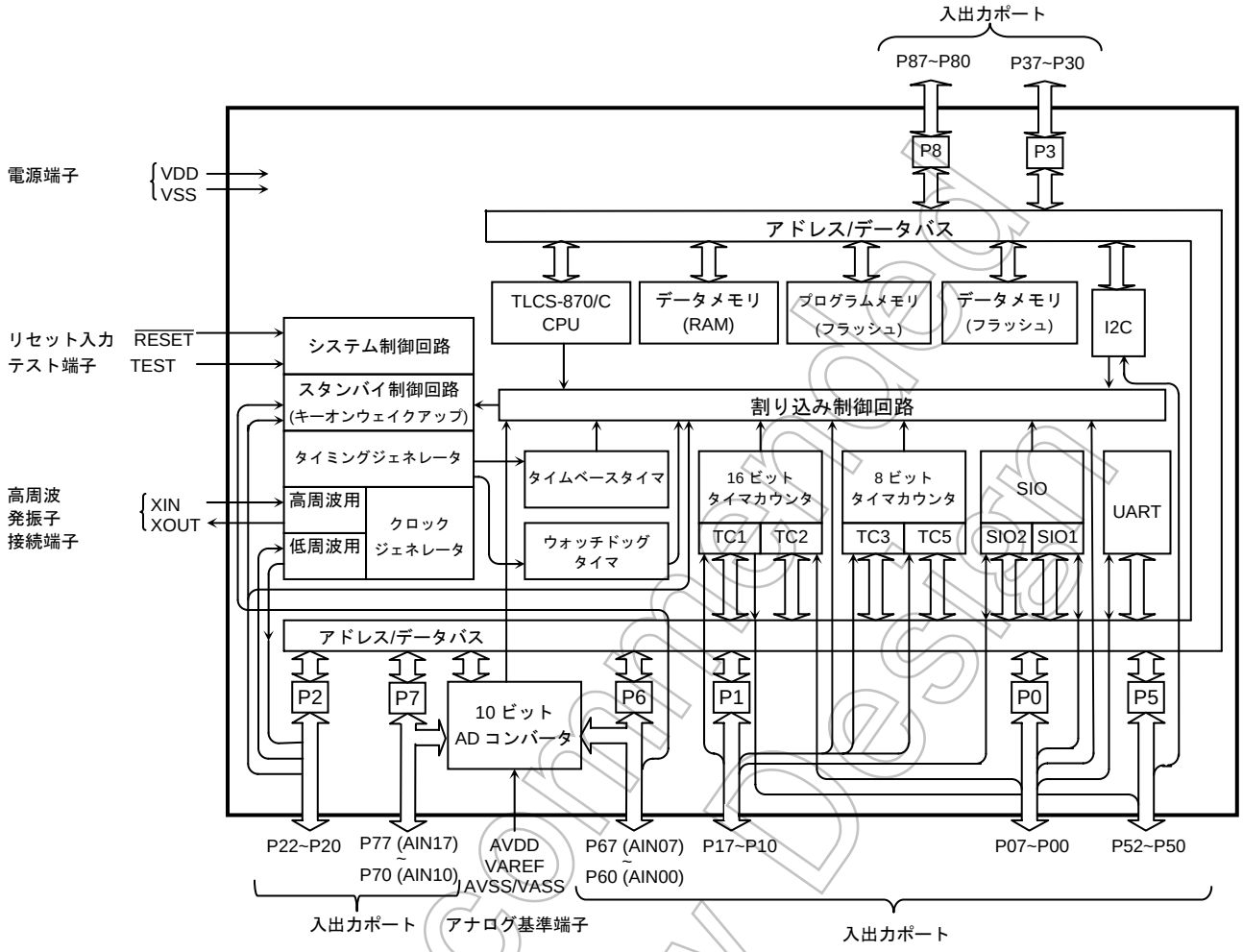
ピン配置図 (上面図)

LQFP64-P-1010-0.50E
QFP64-P-1414-0.80C



Not Recommended for New Design

ブロック図



Not Recommended for New Design

端子機能 (1/2)

端子名	入出力	機能		
P07 ($\overline{\text{SCK1}}$)	入出力 (入出力)	8 ビットの入出力ポートです。 シリアルインタフェース出力、UART 出力として使用する場合は、出力ラッチ (P0DR) を “1” に設定してください。 入力ポート、シリアルインタフェース入力、UART 入力、タイマカウンタ入力、外部割り込み入力として使用する場合は、P0DR を “1” に設定した後、出力回路制御 (P0OUTCR) を “0” に設定してください。	シリアルクロック入出力 1	
P06 (TXD, SO1)	入出力 (出力)		UART データ出力, シリアルデータ出力 1	
P05 (RXD, SI1)	入出力 (入力)		UART データ入力, シリアルデータ入力 1	
P04	入出力			
P03 (TC2)	入出力 (入力)		タイマカウンタ 2 入力	
P02 (INT2)	入出力 (入力)		外部割り込み 2 入力	
P01 (INT1)	入出力 (入力)		外部割り込み 1 入力	
P00 ($\overline{\text{INT0}}$)	入出力 (入力)		外部割り込み 0 入力	
P17	入出力	8 ビットの入出力ポートです。 タイマカウンタ出力、シリアルインタフェース出力として使用する場合は、出力ラッチ (P1DR) を “1” に設定してください。入力ポート、タイマカウンタ入力、外部割り込み入力、シリアルインタフェース入力として使用する場合は、P1DR を “1” に設定した後、出力回路制御 (P1OUTCR) を “0” に設定してください。		
P16	入出力			
P15 (TC1)	入出力 (入力)		タイマカウンタ 1 入力	
P14 (TC3, INT3)	入出力 (入力)		タイマカウンタ 3 入力, 外部割り込み 3 入力	
P13 ($\overline{\text{PWM5}}$, $\overline{\text{PDO5}}$, TC5)	入出力 (入出力)		タイマカウンタ 5 入出力	
P12 ($\overline{\text{SCK2}}$)	入出力 (入出力)		シリアルクロック入出力 2	
P11 (SI2)	入出力 (入力)		シリアルデータ入力 2	
P10 (SO2)	入出力 (出力)		シリアルデータ出力 2	
P22 (XTOUT)	入出力 (出力)	3 ビットの入出力ポートです。 入力ポート、外部割り込み入力として使用する場合は、出力ラッチ (P2DR) を “1” に設定した後、出力回路制御 (P2OUTCR) を “0” に設定してください。	低周波発振子接続端子 (32.768 kHz) 外部クロック入力の場合、XTIN へ入力し、XTOUT は開放します。	
P21 (XTIN)	入出力 (入力)			
P20 ($\overline{\text{INT5}}$), ($\overline{\text{STOP}}$)	入出力 (入力)		外部割り込み 5 入力, STOP モード解除入力	
P37~P30	入出力	8 ビットの入出力ポートです (N-ch 大電流)。入力ポートとして使用する場合は、出力ラッチ (P3DR) を “1” に設定した後、出力回路制御 (P3OUTCR) を "0"に設定してください。		
P52	入出力	3 ビットの入出力ポートです (N-ch 大電流)。 入力ポート、I^2C-bus インタフェース入出力として使用する場合は、出力ラッチ (P5DR) を “1” に設定した後、出力回路制御 (P5OUTCR) を “0” に設定してください。タイマカウンタ 1 出力、デバイダ出力として使用する場合は、P5DR を “1” に設定してください。		
P51 ($\overline{\text{DVO}}$, SDA)	入出力 (出力, 入出力)		デバイダ出力, I^2C-bus シリアルデータ入出力	
P50 ($\overline{\text{PPG}}$, SCL)	入出力 (出力, 入出力)		タイマカウンタ 1 出力, I^2C-bus シリアルクロック入出力	
P67 (AIN07, STOP3)	入出力 (入力)	8 ビットのプログラマブル入出力ポートです (トライステート)。1 ビット単位で入力/出力の設定ができます。 入力ポートとして使用する場合は、入力制御 (P6CR2) を “1” に設定した後、入出力制御 (P6CR1) を “0” に設定してください。 アナログ入力、キーオンウェイクアップ入力として使用する場合は、P6CR2 を “0” に設定した後、P6CR1 を “0” に設定してください。また、キーオンウェイクアップを使用する場合は、STOPCR<STOPiEN>を “1” に設定してください。(i = 0~3)	STOP 3 入力	AD コンバータ アナログ入力
P66 (AIN06, STOP2)	入出力 (入力)		STOP 2 入力	
P65 (AIN05, STOP1)	入出力 (入力)		STOP 1 入力	
P64 (AIN04, STOP0)	入出力 (入力)		STOP 0 入力	
P63 (AIN03)	入出力 (入力)			
P62 (AIN02)	入出力 (入力)			
P61 (AIN01)	入出力 (入力)			
P60 (AIN00)	入出力 (入力)			

Not Recommended for New Design

端子機能 (2/2)

P77 (AIN17)	入出力 (入力)	8 ビットのプログラマブル入出力ポートです (トライステート)。1 ビット単位で入力/出力の設定ができます。 入力ポートとして使用する場合は、入力制御 (P7CR2) を “1” に設定した後、入出力制御 (P7CR1) を “0” に設定してください。 アナログ入力として使用する場合は、P7CR2 を “0” に設定した後、P7CR1 を “0” に設定してください。	AD コンバータアナログ入力
P76 (AIN16)	入出力 (入力)		
P75 (AIN15)	入出力 (入力)		
P74 (AIN14)	入出力 (入力)		
P73 (AIN13)	入出力 (入力)		
P72 (AIN12)	入出力 (入力)		
P71 (AIN11)	入出力 (入力)		
P70 (AIN10)	入出力 (入力)		
P87~P80	入出力	8 ビットの入出力ポートです (N-ch 大電流)。入力ポートとして使用する場合は、出力ラッチ (P8DR) を “1” に設定した後、出力回路制御 (P8OUTCR) を “0” に設定してください。	
XIN, XOUT	入力, 出力	高周波発振子接続端子。 外部クロックを入力する場合は、XIN 端子へ入力し、XOUT は開放してください。	
$\overline{\text{RESET}}$	入力	リセット信号入力	
TEST	入力	出荷試験用端子。“L” レベルに固定してください。	
BOOT	入力	シリアル PROM モード制御入力端子。 シリアル PROM モードを起動する場合、BOOT 端子は “1” に設定してください。 MCU モードを起動する場合、BOOT 端子は “0” に設定してください。	
VDD, VSS	電源	電源端子	
VAREF		AD コンバータ用アナログ基準端子	
AVDD		AD コンバータ用電源端子	
AVSS/VASS		AD コンバータ用電源端子/AD コンバータ用アナログ基準端子	

Not Recommended for New Design

動作説明

1. CPU コア機能

CPU コアは、CPU, システムクロック制御回路, 割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPU コア, プログラムメモリ, データメモリ, およびリセット回路について説明します。

1.1 メモリアドレスマップ

TMP86FM48 のメモリは、フラッシュ, BOOT, RAM, SFR (スペシャルファンクションレジスタ), DBR (データバッファレジスタ) の 5 つのブロックで構成され、それらは 1 つの 64 K バイトアドレス空間上にマッピングされています。図 1.1.1に TMP86FM48 のメモリアドレスマップを示します。

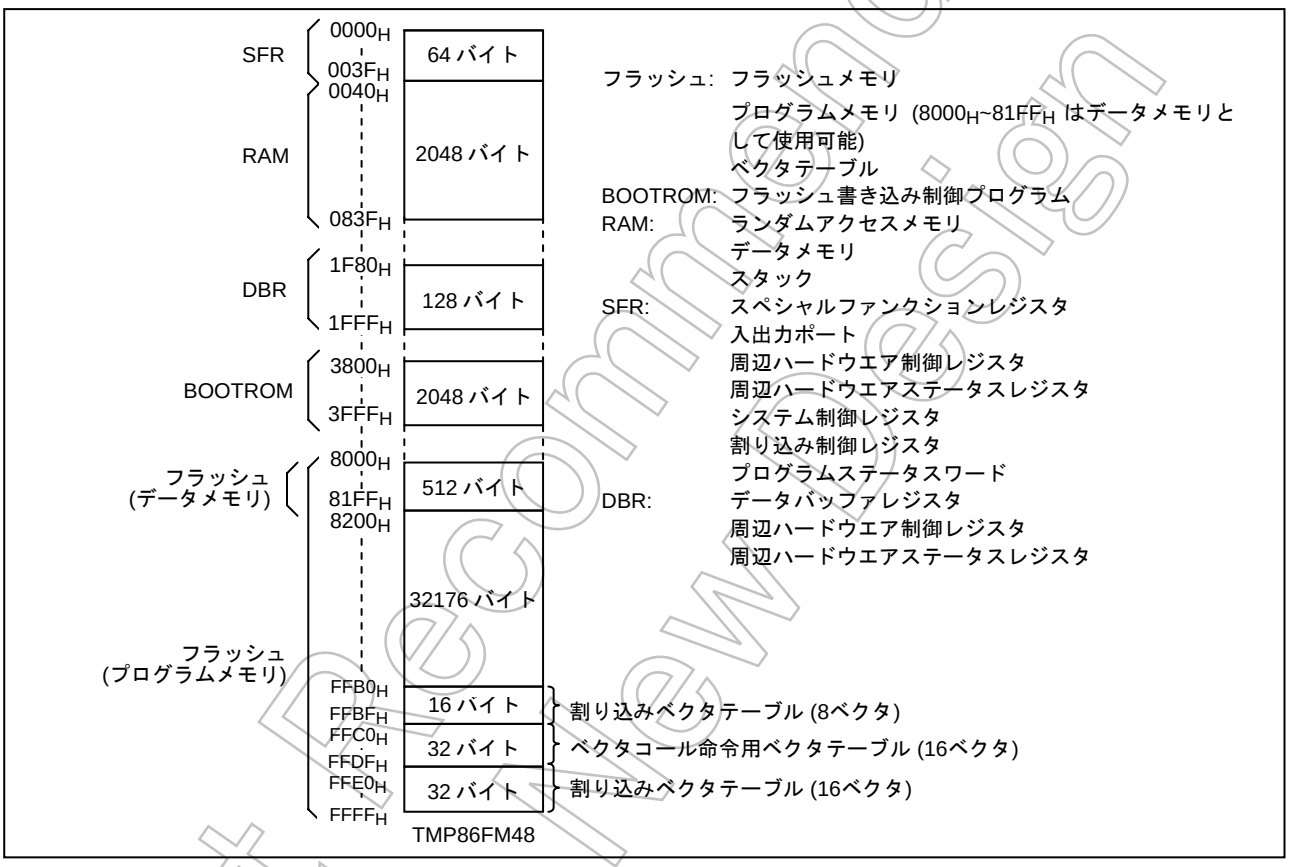


図1.1.1 メモリアドレスマップ

1.2 プログラムメモリ (フラッシュ)

TMP86FM48 は 32 K バイト (アドレス 8000H~FFFFH)のプログラムメモリ (フラッシュ) を内蔵しています。プログラムメモリ中のアドレス 8000H~81FFH は、512 バイトのデータメモリとして使用することができます。

Not Recommended for New Design

1.3 データメモリ (RAM)

TMP86FM48 は、2 K バイト (アドレス 0040~083F$_H$) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040$_H$~00FF$_H$) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例: 内蔵 RAM の全領域を "00$_H$" にクリア

```
            LD      HL, 0040H       ;  スタートアドレスの設定
            LD      A, H            ;  初期化データ (00H) の設定
            LD      BC, 07FFH       ;  バイト数 (–1) の設定
SRAMCLR:    LD      (HL), A
            INC     HL
            DEC     BC
            JRS     F, SRAMCLR
```

Not Recommended for New Design

1.4 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ, タイミングジェネレータおよびスタンバイ制御回路から構成されています。

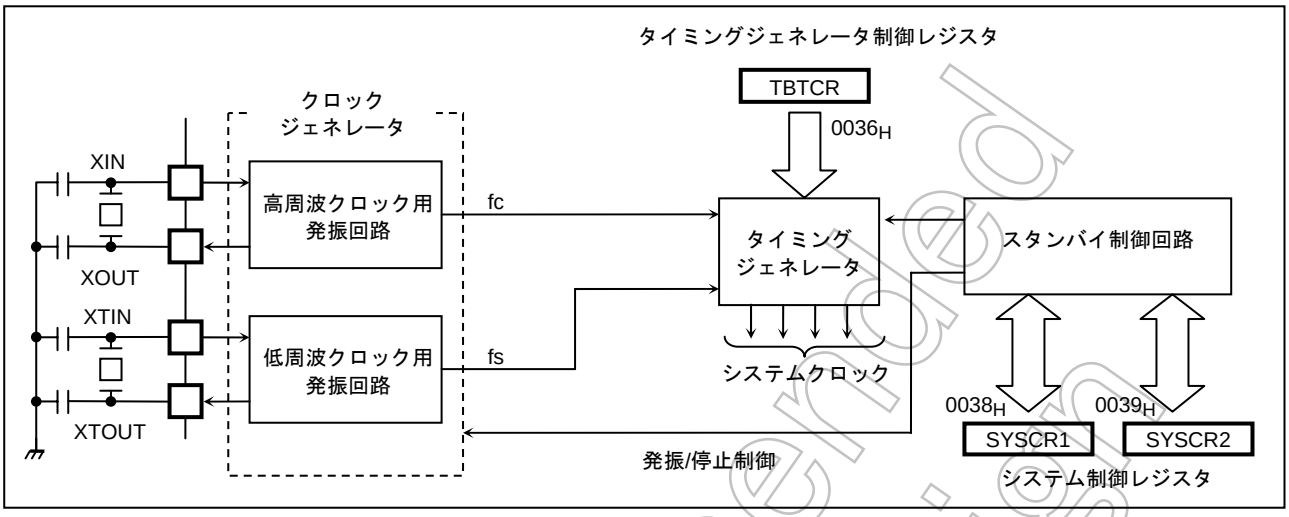


図1.4.1 システムクロック制御回路

1.4.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウエアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 fc), 低周波クロック (周波数 fs) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

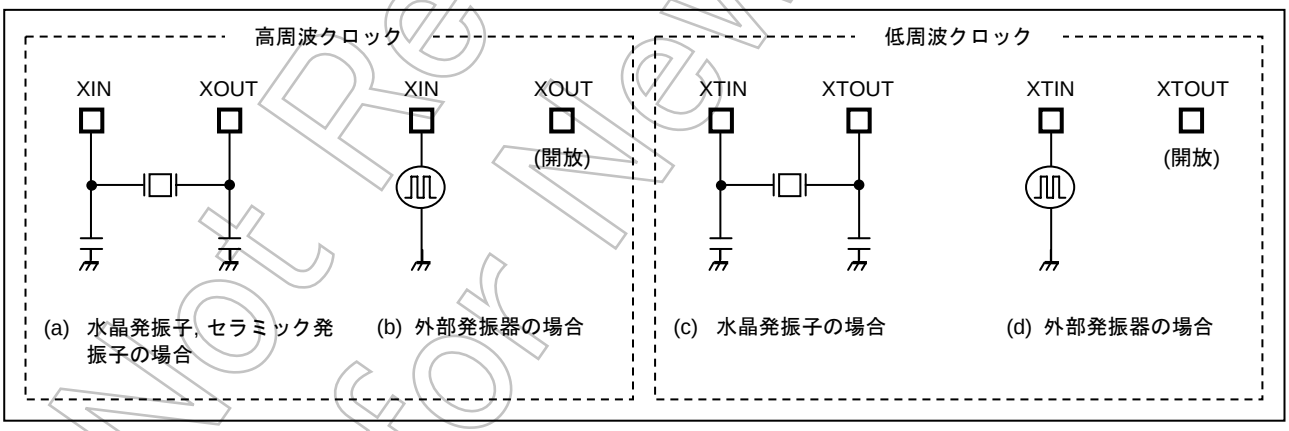


図1.4.2 発振子の接続例

注) 基本クロックを外部にて直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

Not Recommended for New Design

1.4.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウエアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

a. メインシステムクロックの生成
b. デバイダ出力 ($\overline{\mathrm{DVO}}$) パルス生成
c. タイムベースタイマのソースクロック生成
d. ウォッチドッグタイマのソースクロック生成
e. タイマカウンタなどの内部ソースクロック生成
f. STOP モード解除時のウォームアップクロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケーラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは動作モード、TBTCR<DV7CK> により図 1.4.4のようになります。なお、リセット時および STOP モード起動/解除時プリスケーラおよびデバイダは “0” にクリアされます。

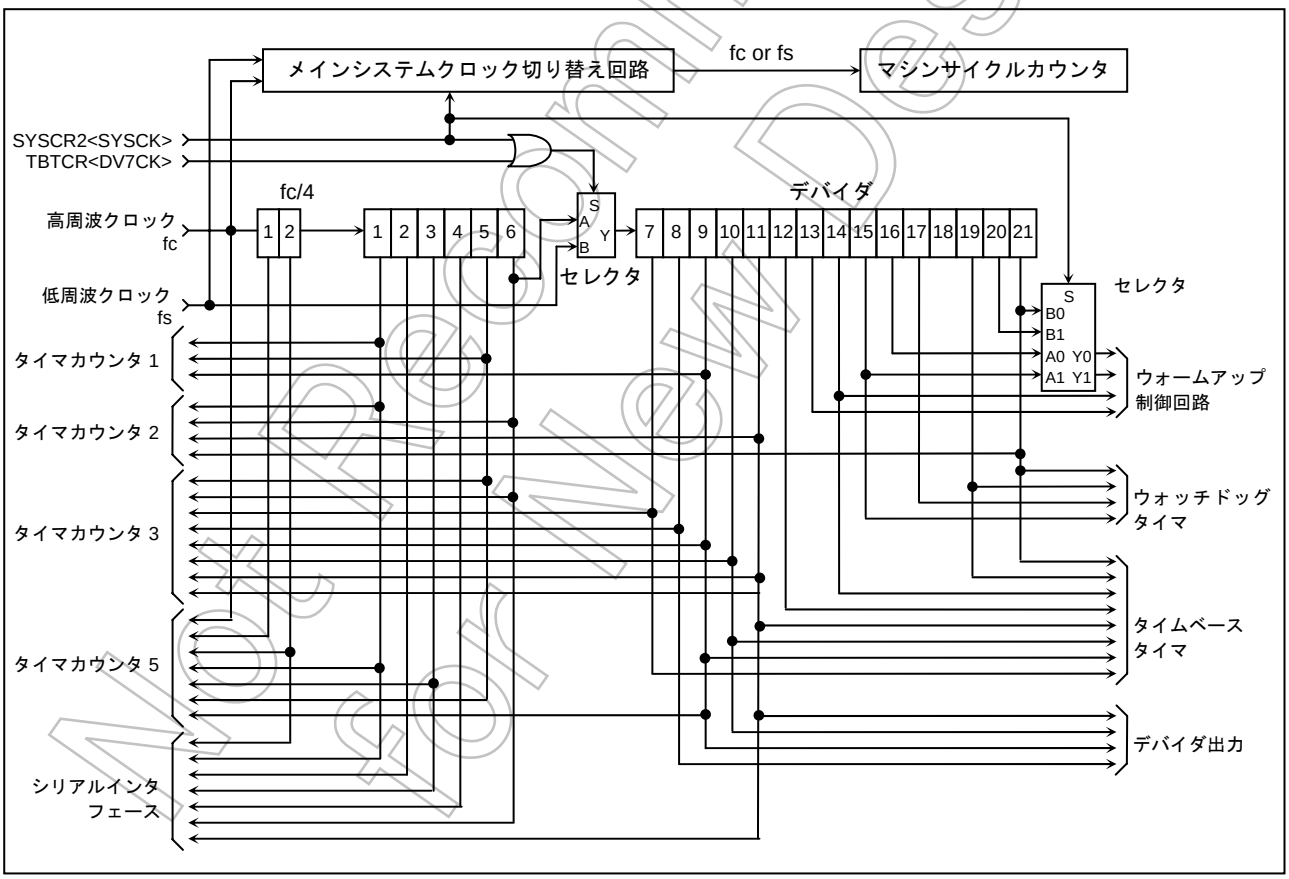


図1.4.3 タイミングジェネレータの構成

Not Recommended for New Design

TBTCR (0036H)	7	6	5	4	3	2	1	0	
	(DVOEN)	(DVOCK)		DV7CK	(TBTEN)	(TBTCK)			(初期値: 0000 0000)

DV7CK	デバイダの 7 段目への 入力クロックの選択	0: fc/2^8 [Hz] 1: fs	R/W

注 1) シングルクロックモード時は、DV7CK を “1” セットしないでください。

注 2) 低周波クロックの発振安定前に DV7CK を “1” にセットしないでください。

注 3) fc: 高周波クロック [Hz]、fc: 低周波クロック [Hz]、*: Don’t care

注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。

注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォームアップ中は DV7CK の設定にかかわらず、デバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

図1.4.4 タイミングジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウエアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

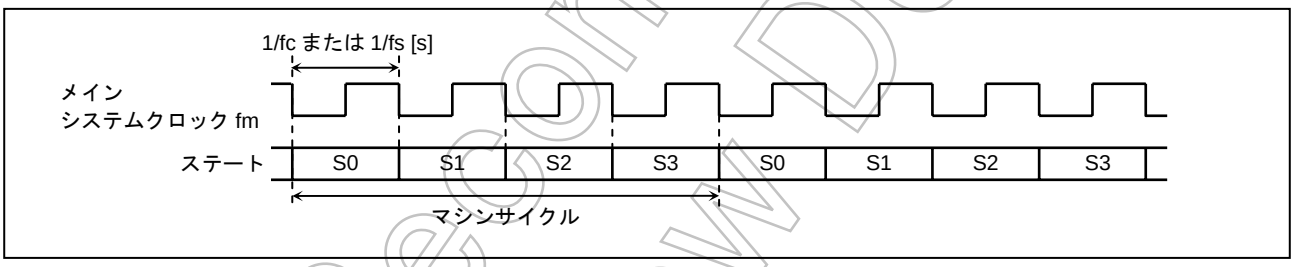


図1.4.5 マシンサイクル

Not Recommended for New Design

1.4.3 動作モード制御回路

動作モード制御回路は、高周波クロック用, 低周波クロック用の各発振回路の発振/停止およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。

図 1.4.6に動作モード遷移図を、図 1.4.7に制御レジスタを示します。

(1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは 4/fc [s] となります。

a. NORMAL1 モード

CPU コアおよび周辺ハードウエアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

b. IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を “1” にセットすることで行います。周辺ハードウエアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) のときは、IDLE1 モードを起動した命令の次の命令から実行再開します。

c. IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2 の TGHALT ビットに “1” をセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し IMF= “1”, EF_7 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1”のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

(2) デュアルクロックモード

高周波, 低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 4/fc [s], SLOW, SLEEP モード時 4/fs [s] (122 μs @fs = 32.768 kHz) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

Not Recommended for New Design

a. NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウエアは高周波/低周波の両クロックで動作します。

b. SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え, SLOW2 から NORMAL2 への切り替えは、システム制御レジスタ 2 (SYSCR) の SYSCK ビットで行います。SLOW2 モード時、XTEN を "0" にクリアしないでください。

c. SLOW1 モード

高周波クロックの発振を停止させ、CPU コア, 周辺ハードウエアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換はシステム制御レジスタ 2 (SYSCR2) の XEN ビットで行います。SLOW1, SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

d. IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを高周波/低周波の両クロックで動作させるモードです。IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

e. SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを低周波クロックで動作させるモードです。SLEEP1 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振しておりません。SLOW1, SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

f. SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

g. SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時にシステム制御レジスタ SYSCR2 の TGHALT ビットに "1" をセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し、IMF = "1", EF_7 (TBT の割り込み許可フラグ) = "1", TBTCR<TBTEN> = "1" のときは割り込み処理が行われます。

TBTCR<TBTEN> = "1" の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

Not Recommended for New Design

(3) STOP モード

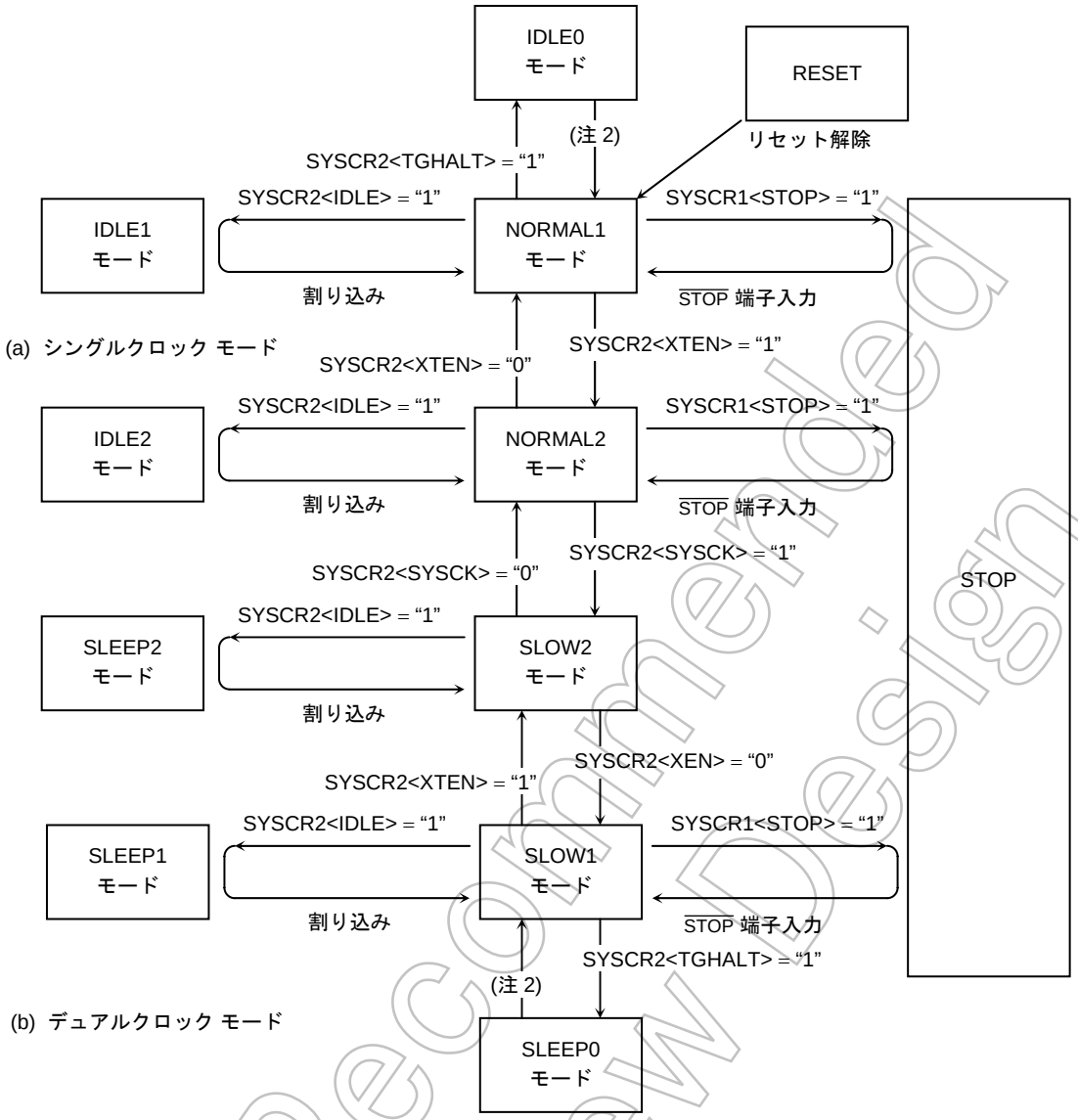
シングルクロックモード、デュアルクロックモードを問わず、発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、$\overline{\text{STOP}}$ 端子入力（レベル/エッジの選択可能）で行い、ウォームアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

注 1) EEPCR<ATPWDW>が “0” のときに IDLE0/1/2, SLEEP0/1/2 モードを起動すると、これらのモードを解除した後にフラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。

注 2) EEPCR<MNPWDW>が “1” のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。

Not Recommended for New Design



注 1) NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード, IDLE0, IDLE1, IDLE2 モードを IDLE モード, SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。

注 2) TBTCR<TBTCK>によって選択されたソースクロックの立ち下がりエッジによって解除。

動作モード		発振回路 高周波	発振回路 低周波	CPU コア	TBT	その他周辺回路	マシンサイクルタイム
シングルクロック	RESET	発振	停止	リセット	リセット	リセット	4/fc [s]
	NORMAL1			動作	動作	動作	
	IDLE1			停止			
	IDLE0					停止	–
	STOP	停止			停止		
デュアルクロック	NORMAL2	発振	発振	高周波動作	動作	動作	4/fc [s]
	IDLE2			停止			
	SLOW2			低周波動作			4/fs [s]
	SLEEP2			停止			
	SLOW1	停止		低周波動作			
	SLEEP1			停止			
	SLEEP0					停止	–
	STOP		停止		停止		

図1.4.6 動作モード状態遷移図

Not Recommended for New Design

システム制御レジスタ 1

SYSCR1 (0038$_H$)

7	6	5	4	3	2	1	0
STOP	RELM	RETM	OUTEN	WUT			

(初期値: 0000 00**)

STOP	STOP モードの起動	0: CPU コア, 周辺ハードウエア 動作 1: CPU コア, 周辺ハードウエア 停止 (STOP モード起動)		R/W
RELM	STOP 端子の解除方法の選択	0: $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除 1: $\overline{\text{STOP}}$ 端子入力の “H” レベルで解除		
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る		
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		
WUT	STOP モード解除時のウォームアップ時間 単位: [s] (注 8)		NORMAL1/2 モードへ戻る場合	SLOW1 モードへ戻る場合
		00	3×2^{16}/fc + (2^{10}/fc)	3×2^{13}/fs + (2^{3}/fs)
		01	2^{16}/fc + (2^{10}/fc)	2^{13}/fs + (2^{3}/fs)
		10	3×2^{14}/fc + (2^{10}/fc)	3×2^{6}/fs + (2^{3}/fs)
		11	2^{14}/fc + (2^{10}/fc)	2^{6}/fs + (2^{3}/fs)

注 1) NORMAL モードから STOP モードを起動する場合、RETM は “0” に設定してください。SLOW モードから STOP モードを起動する場合、RETM は “1” に設定してください。
注 2) STOP モードを $\overline{\text{RESET}}$ 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。
注 3) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don’t care
注 4) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。
注 5) OUTEN = “0” のときに STOP モードを起動すると、ポートの内部入力は “0” に固定されますので、外部割り込み端子の状態によっては立ち下がりエッジの割り込みがセットされる恐れがあります。
注 6) キーオンウェイクアップ入力を使用する場合は、RELM を “1” に設定してください。
注 7) P20 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は High-Z 状態となります。
注 8) EEPCR<MNPWDW>が “1” のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。
(CPU ウェイト時間を括弧内に示します)

システム制御レジスタ 2

SYSCR2 (0039$_H$)

7	6	5	4	3	2	1	0
XEN	XTEN	SYSCK	IDLE		TGHALT		

(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続 または 発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続 または 発振開始	
SYSCK	システムクロックの選択 (Write)/モニタ (Read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/ SLEEP)	
IDLE	CPU, WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	

注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
注 2) WDT: ウォッチドッグタイマ, TG: タイミングジェネレータ、*: Don’t care
注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTCK>によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTCK>の時間よりも短くなります
注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードから復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

図1.4.7 システム制御レジスタ 1, 2

Not Recommended for New Design

1.4.4 動作モードの制御

(1) STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力およびキーオンウェイクアップ入力端子 (STOP0~STOP3) によって制御されます。$\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を "1" にセットすることにより起動され、STOP モード中、次の状態を保持しています。

a. 高周波, 低周波とも発振を停止し、内部の動作をすべて停止します。
b. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
c. タイミングジェネレータのプリスケーラおよびデバイダを "0" にクリアします。
d. プログラムカウンタは、STOP モードを起動する命令 (SET (SYSCR1). 7 など) の 2 つ先の命令のアドレスを保持します。

STOP モードの解除には、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ 1 の SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP0~STOP3 を使用禁止に設定してください。

EEPCR<MNPWDW>が "1" のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが発生します。

注 1) STOP モードは、$\overline{\text{STOP}}$ 端子とキーオンウェイクアップ入力端子(STOP0~ STOP3) のいずれかの端子によって解除することが可能ですが、$\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、必ず STOP モード解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォームアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが "1" にセットされ、STOP モード解除後、直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

a. レベル解除モード (RELM = "1" のとき)

$\overline{\text{STOP}}$ 端子への "H" レベル入力または STOP0~STOP3 (STOPCR でビットごとに設定可能) 端子への "L" レベル入力により STOP モードを解除するモードで、メイン電源しゃ断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が "H" レベルまたは STOP0~STOP3 端子が "L" レベルの状態で STOP モードを起動する命令を実行した場合、STOP モードは起動されず、直ちに解除シーケンス (ウォームアップ) が行われます。従って、レベル解除モードで STOP モードを起動する場合、$\overline{\text{STOP}}$ 端子入力が "L" レベルであり、また STOP0~STOP3 端子入力が "H" レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. INT5 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

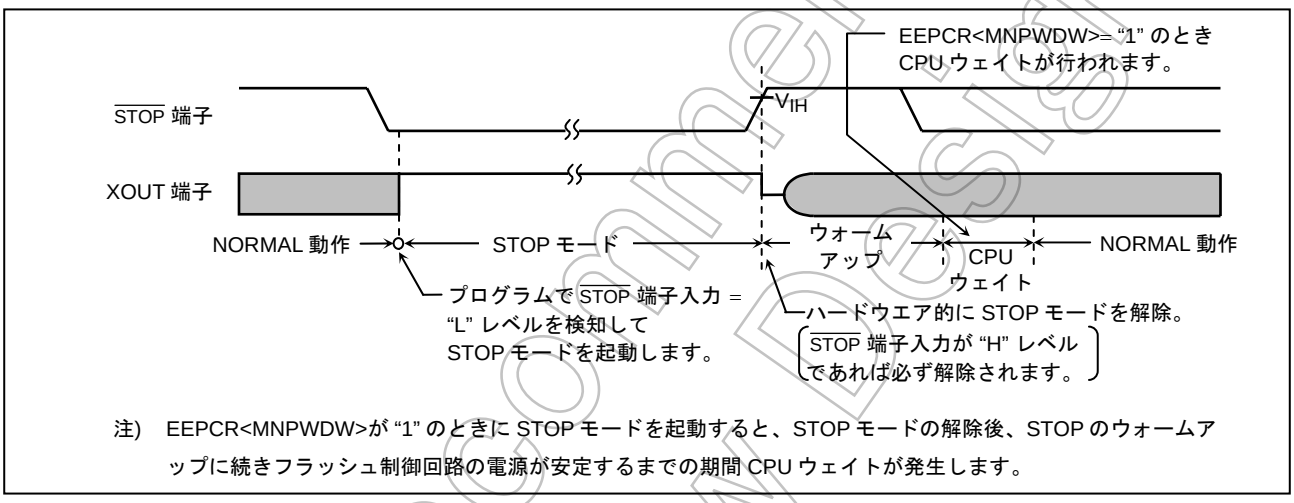
Not Recommended for New Design

例 1: P20 ポートをテストして NORMAL モードから STOP モードを起動

```
                LD      (SYSCR1), 01010000B     ;   レベル解除モードにセット
                                                    アップ
SSTOPH:         TEST    (P2PRD). 0              ;   STOP 端子入力が "L" レベルになるまで
                                                    ウェイト
                JRS     F, SSTOPH               ;   システムクロック fSYS を fc/2 へ切り替え
                SET     (SYSCR1). 7             ;   STOP モードを起動
```

例 2: INT5 割り込みにより、NORMAL モードから STOP モードを起動

```
PINT5:          TEST    (P2PRD). 0              ;   ノイズ除去のため P20 ポート入力が "H"
                                                    レベルなら STOP モードを起動しない。
                JRS     F, SINT5
                LD      (SYSCR1), 01010000B     ;   レベル解除モードにセット
                                                    アップ
                SET     (SYSCR1). 7             ;   STOP モードを起動
SINT5:          RETI
```



注) EEPCR<MNPWDW>が "1" のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが発生します。

図1.4.8 レベル解除モード

注 1) ウォームアップ開始後、再び STOP 端子入力が "L" レベルまたは、STOP0~STOP3 端子が "H" レベルになっても STOP モードには戻りません。

注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

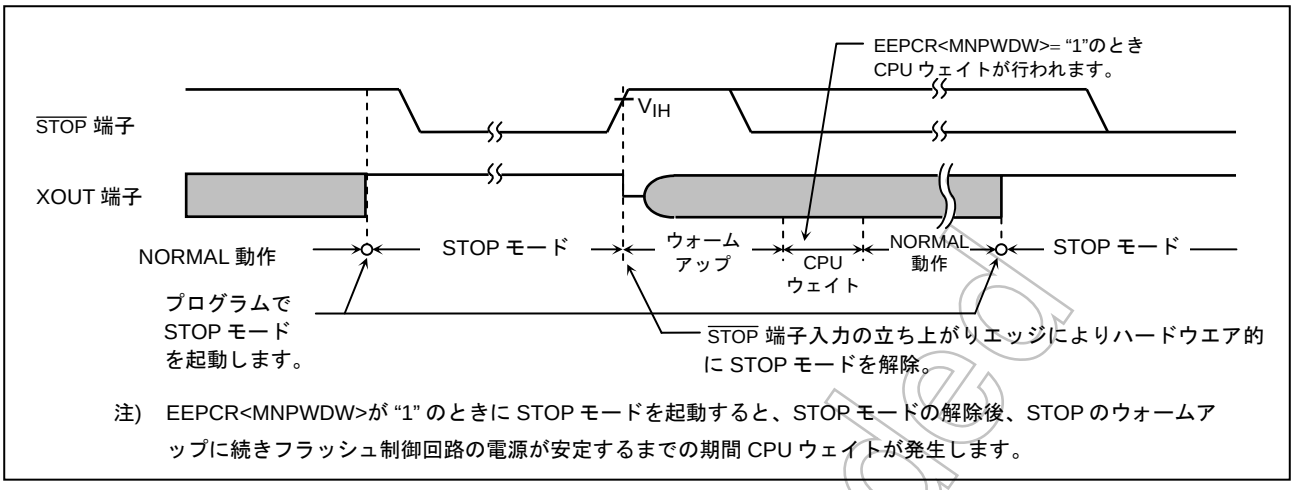
b. エッジ解除モード (RELM = "0" のとき)

STOP 端子入力の立ち上がりエッジで STOP モードを解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号、例えば、低消費電力の発振源からのクロックを STOP 端子に入力します。エッジ解除モードの場合、STOP 端子入力が "H" レベルの状態でも STOP モードが起動されます。なお、STOP0~STOP3 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

例: NORMAL モードから STOP モードを起動

```
                LD      (SYSCR1), 10010000B     ;   エッジ解除で STOP モードを起動
```

Not Recommended for New Design



注) EEPCR<MNPWDW>が “1” のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが発生します。

図1.4.9 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波/低周波発振器の両方が発振し、SLOW1 に戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォームアップを行います。ウォームアップ中、内部動作は停止したままです。ウォームアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で 4 種類選択できます。
3. EEPCR<MNPWDW>が “1” の場合、フラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。CPU ウェイトが開始すると、CPU は動作停止状態となりますが、周辺機能およびタイミングジェネレータは動作を再開します。CPU ウェイトが終了した後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。
4. EEPCR<MNPWDW>が “0” の場合、ウォームアップが終了した後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケーラおよびデバイダは “0” にクリアされた状態から始まります。

注 2) STOP モードは、RESET端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も “H” レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

Not Recommended for New Design

表1.4.1 ウォームアップ時間 (例: fc = 16.0 MHz, fs = 32.768 kHz 時)

WUT	ウォームアップ時間 [ms] (注 2)	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288 + (0.064)	750 + (0.244)
01	4.096 + (0.064)	250 + (0.244)
10	3.072 + (0.064)	5.85 + (0.244)
11	1.024 + (0.064)	1.95 + (0.244)

注 1) ウォームアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォームアップ時間は誤差を含むことになります。従って、ウォームアップ時間は、概略値としてとらえる必要があります。

注 2) CPU ウェイト時間を括弧内に示します。

Not Recommended for New Design

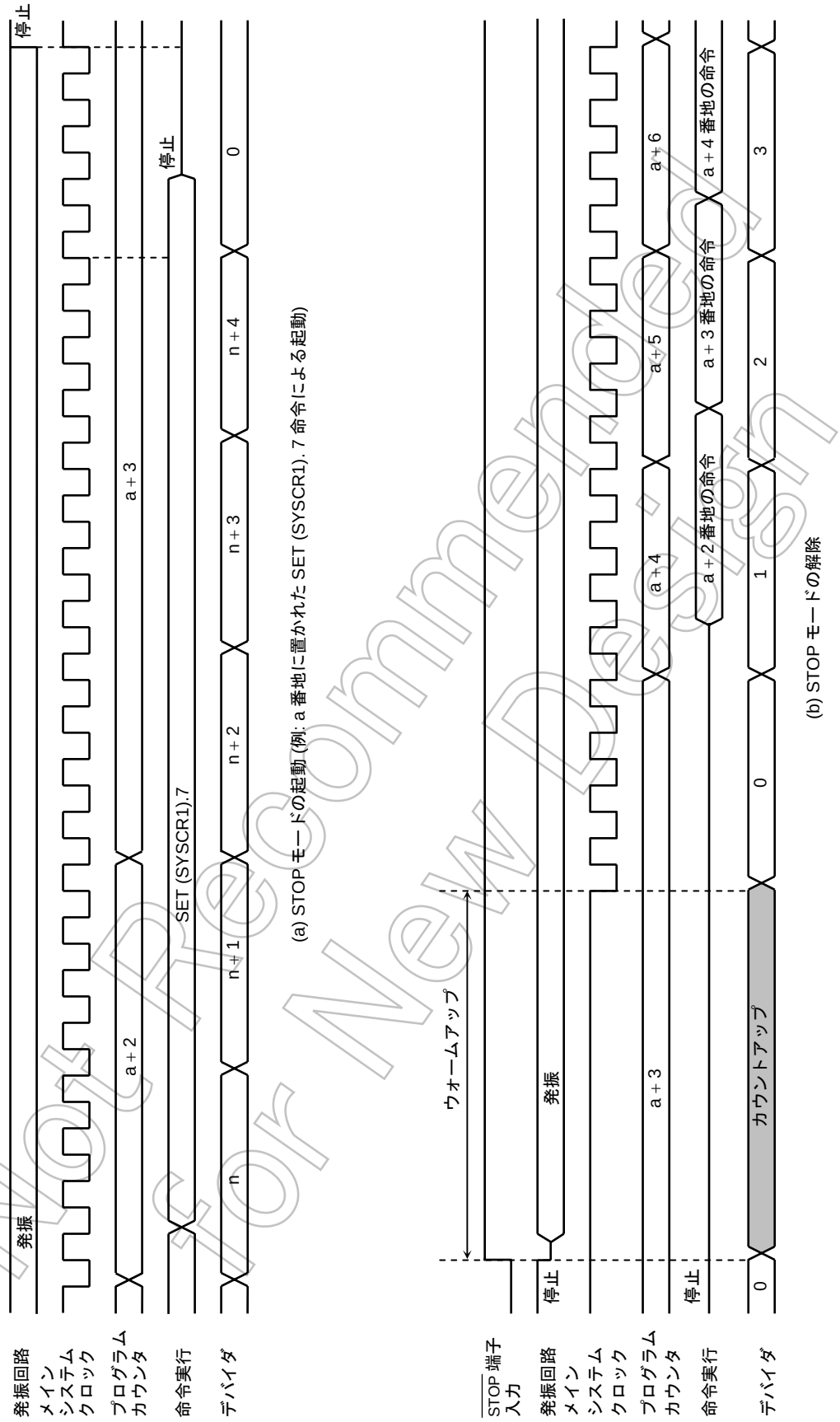


図1.4.10 STOP モードの起動/解除 (EEPCR<MNPWDW> = “0” のとき)

Not Recommended for New Design

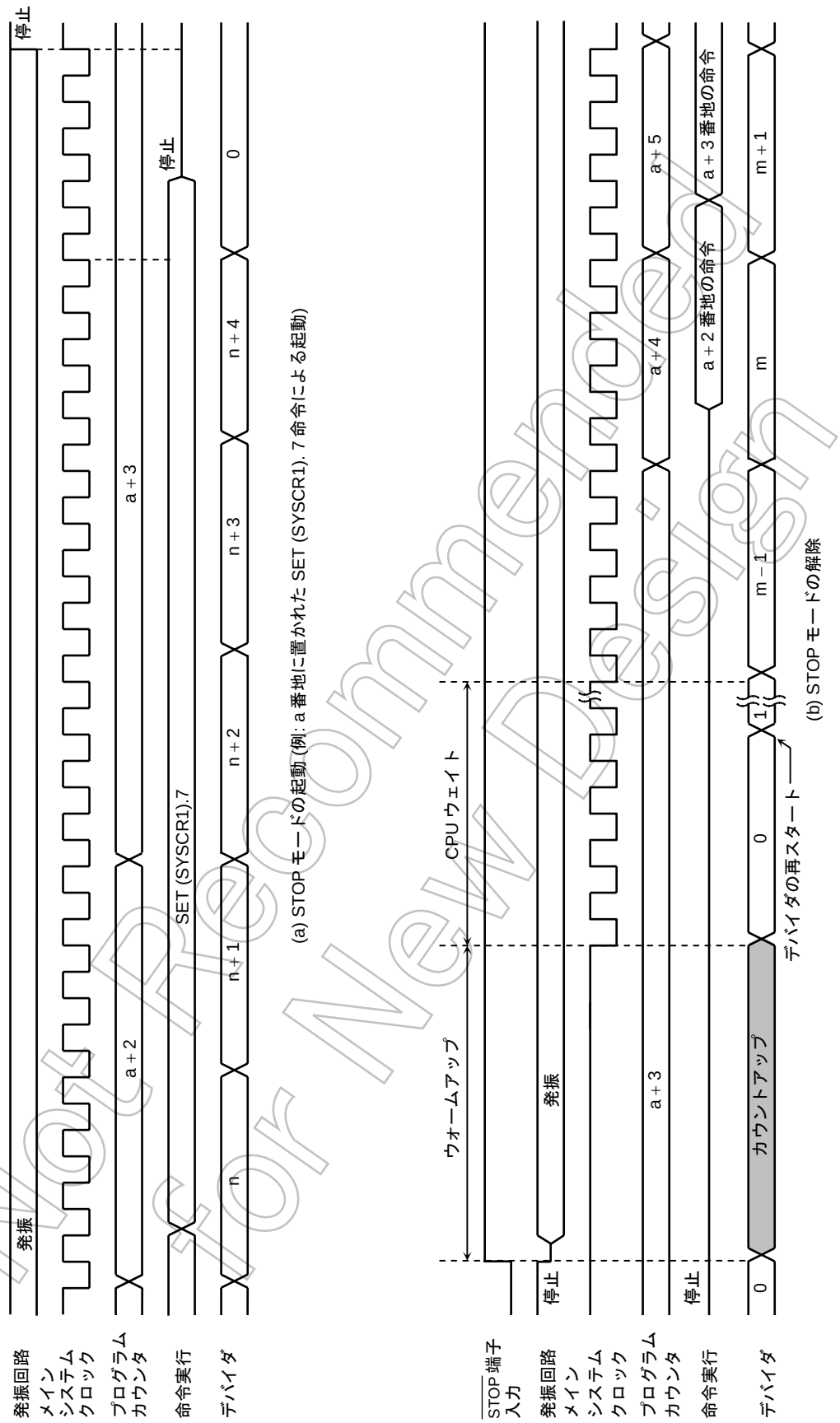


図1.4.11 STOP モードの起動/解除 (EEPCR<MNPWDW> = “1” のとき)

Not Recommended for New Design

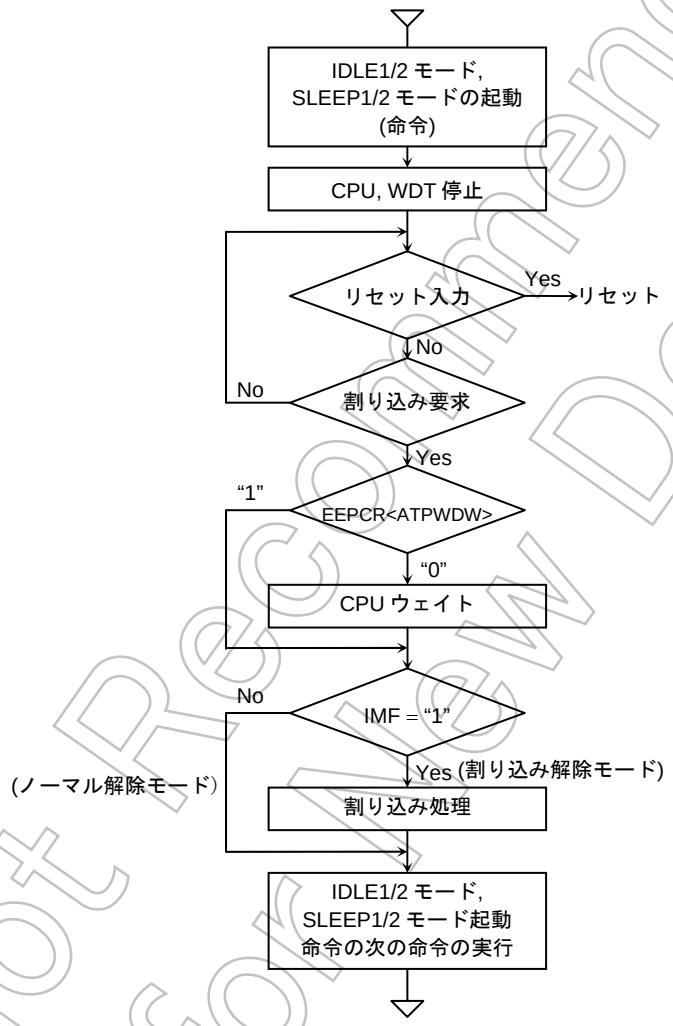
(2) IDLE1/2 モード, SLEEP1/2 モード

IDLE1/2 モード, SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1/2 モード, SLEEP1/2 モード中、次の状態を保持しています。

a. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウエアは動作を継続します。

b. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは IDLE1/2 モード, SLEEP1/2 モードに入る直前の状態を保持します。

c. プログラムカウンタは、IDLE1/2 モード, SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。



注 1) EEPCR<ATPWDW>は、フラッシュ制御回路の自動電源制御です。

注 2) CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従って CPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理は CPU ウェイトが終了するまで実行されません。

図1.4.12 IDLE1/2 モード, SLEEP1/2 モード

Not Recommended for New Design

- IDLE1/2, SLEEP1/2 モードの起動

  IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE>を “1” に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

  IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE>は自動的に “0” にクリアされ、起動したモードに復帰します。

  EEPCR<ATPWDW>が “0” のときに IDLE1/2, SLEEP1/2 モードを起動すると、起動したモードに復帰する前にフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。CPU ウェイト時間は、IDLE1/2 モード時 2^{10}/fc [s]、SLEEP1/2 モード時 2^{3}/fs [s]となります。

  なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) **CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従って CPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理は CPU ウェイトが終了するまで実行されません。**

(I) ノーマル解除モード (IMF = “0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で “0” にクリアする必要があります

(II) 割り込み解除モード (IMF = “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) **IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。**

Not Recommended for New Design

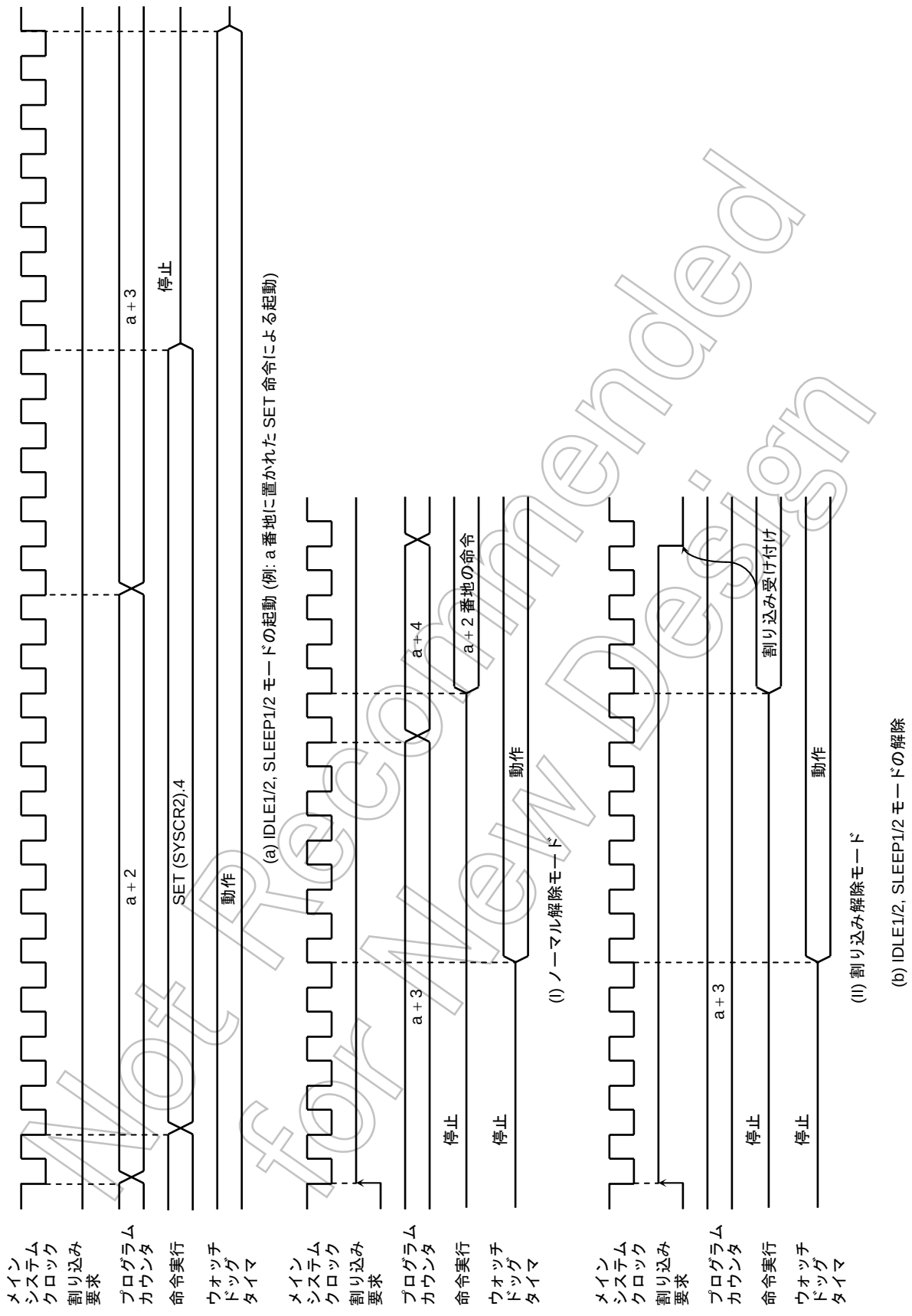


図1.4.13 IDLE1/2, SLEEP1/2 モードの起動/解除

Not Recommended for New Design

(3) IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマ制御レジスタ (TBTCR) によって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

a. タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。

b. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは IDLE0, SLEEP0 モードに入る直前の状態を保持します。

c. プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0, SLEEP0 モードを起動する場合は、事前に周辺機能を停止状態 (ディセーブル状態) に設定してください。

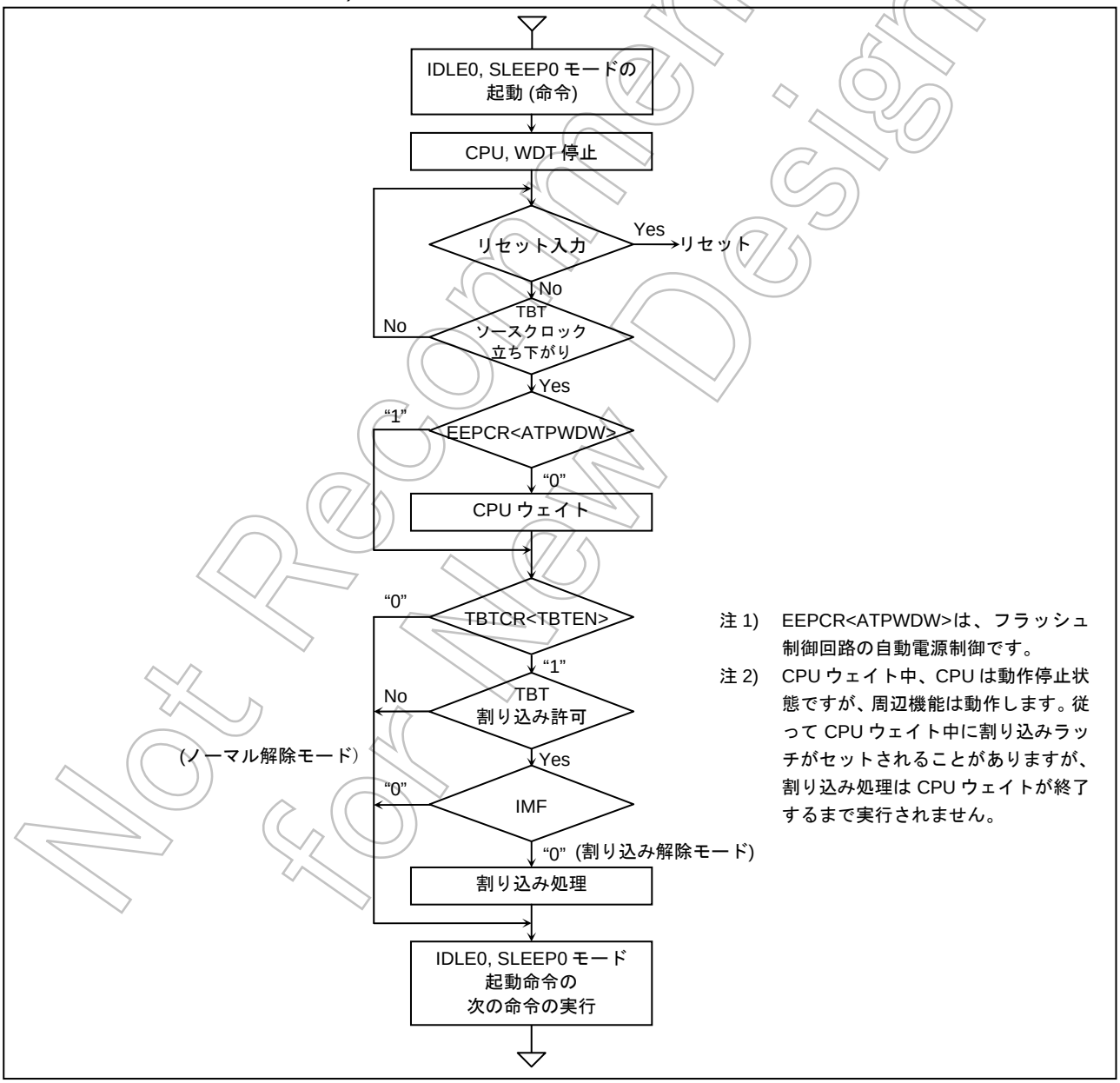


図1.4.14 IDLE0, SLEEP0 モード

Not Recommended for New Design

- IDLE0, SLEEP0 モードの起動

  IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT>を “1” に設定します。

- IDLE0, SLEEP0 モードの解除

  IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ（IMF）、タイムベースタイマ割り込み個別許可フラグ（EF_7）、TBTCR<TBTEN>によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT>は自動的に “0” にクリアされ、起動したモードに復帰します。またこのとき TBTCR<TBTEN>が “1” にセットされていると INTTBT の割り込みラッチがセットされます。

  EEPCR<ATPWDW>が “0” のときに IDLE0, SLEEP0 モードを起動すると、これらのモードを解除した後にフラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。CPU ウェイト時間は、IDLE1/2 モード時 2^{10}/fc [s]、SLEEP1/2 モード時 2^3/fs [s]となります。

  なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰します。

注 2) CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従って CPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理は CPU ウェイトが終了するまで実行されません。

(I) ノーマル解除モード（IMF･EF_7･TBTCR<TBTEN> = “0” のとき）

TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

(II) 割り込み解除モード（IMF･EF_7･TBTCR<TBTEN> = “1” のとき）

TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注1) IDLE0, SLEEP0 モードは、TBTCR<TBTCK>によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTCK>の時間よりも短くなります。

注2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design

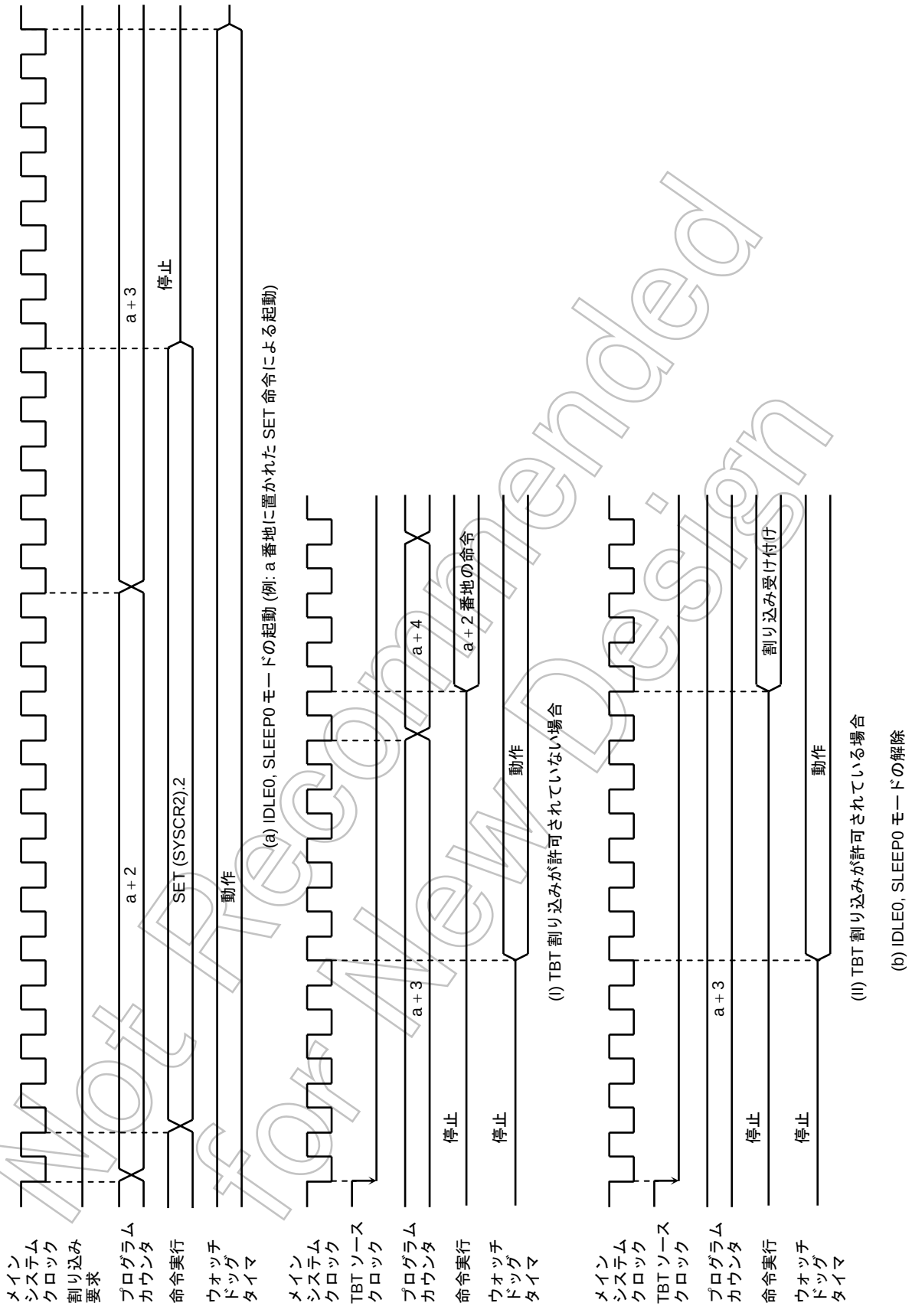


図1.4.15 IDLE0, SLEEP0 モードの起動/解除

Not Recommended for New Design

(4) SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) よって制御されます。

ここでは、ウォームアップにタイマカウンタ 2 (TC2) を用いた場合を示しています。

a. NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に “1” を書き込み、システムクロックを低周波クロックに切り替えます。

次に、SYSCR2<XEN> を “0” にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。
ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ 2 を使用すると便利です。

例 1: NORMAL2 モードから SLOW1 モードへの切り替え。

```
        SET     (SYSCR2). 5     ;   SYSCR2<SYSCK> ← 1
                                    (システムクロックを低周波 (SLOW2 モ
                                    ードに) に切り替え)
        CLR     (SYSCR2). 7     ;   SYSCR2<XEN> ← 0
                                    (高周波クロック停止)
```

例 2: TC2 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え。

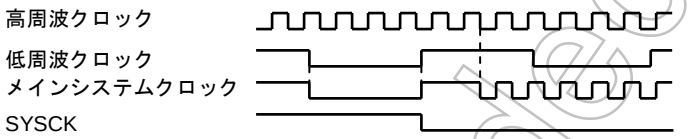
```
        SET     (SYSCR2). 6     ;   SYSCR2<XTEN> ← 1
                                    (低周波クロック発振開始)
        LD      (TC2CR), 14H    ;   TC2 のモードをセット
        LDW     (TC2DRL), 8000H     ウォームアップ時間をセット
                                    (発振子の特性で時間を決定します。)
        DI                      ;   IMF ← 0
        SET     (EIRE). 4       ;   INTTC2 割り込み許可
        EI                      ;   IMF ← 1
        SET     (TC2CR). 5      ;   TC2 スタート
        ┆
PINTTC2: CLR    (TC2CR). 5      ;   TC2 ストップ
        SET     (SYSCR2). 5     ;   SYSCR2<SYSCK> ← 1
                                    (システムクロックを低周波に切り替え)
        CLR     (SYSCR2). 7     ;   SYSCR2<XEN> ← 0
                                    (高周波クロック停止)
        RETI
        ┆
VINTTC2: DW     PINTTC2         ;   INTTC2 ベクタテーブル
```

Not Recommended for New Design

b. SLOW1 モードから NORMAL2 モードへの切り替え

まず、XEN (SYSCR2 のビット 7) を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォームアップ) をタイマカウンタ 2 によって確保したあと、SYSCK (SYSCR2 のビット 5) を “0” にクリアします。

注 1) SYSCK を “0” にクリアした後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。

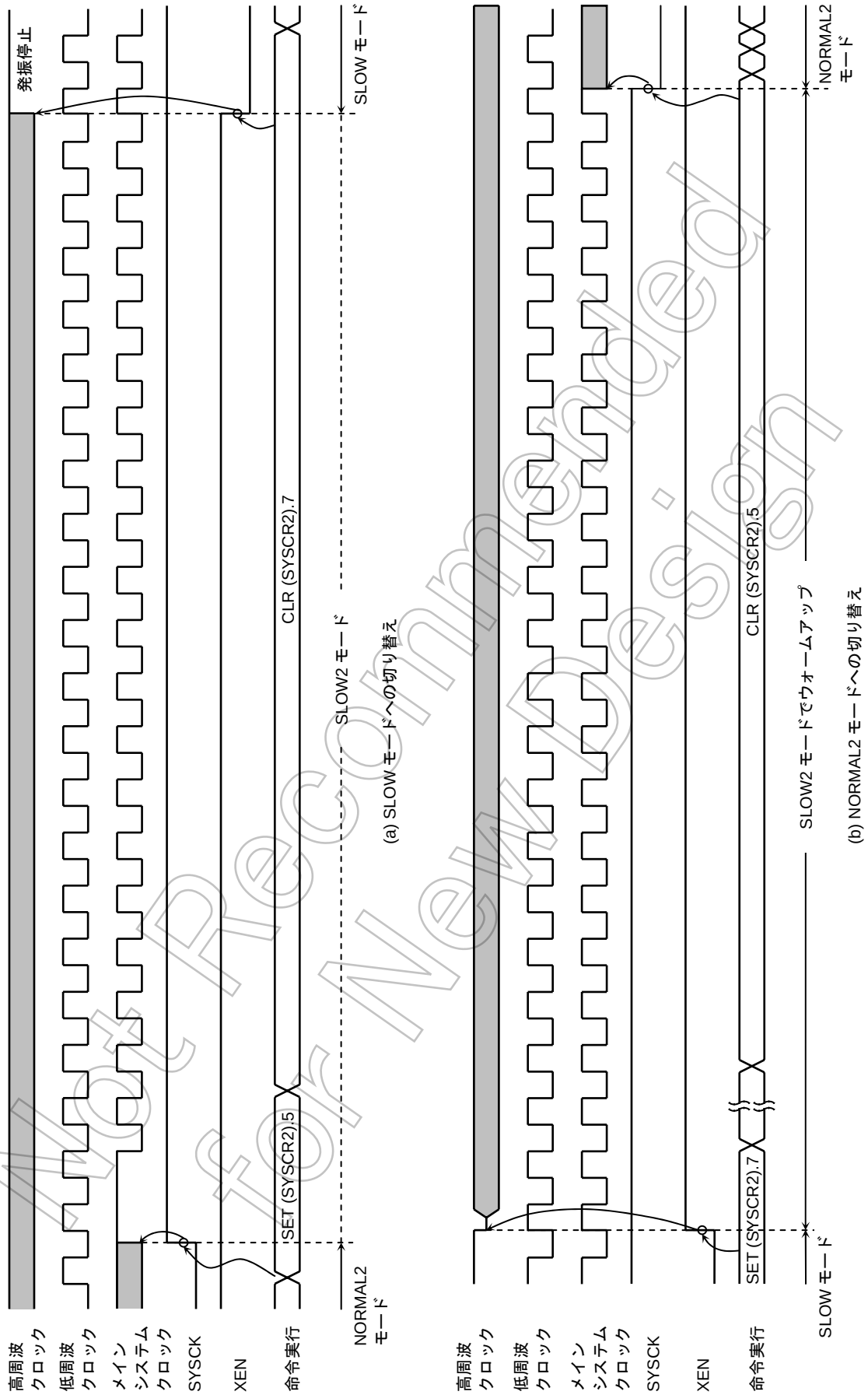


注 2) SLOW モードは、$\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。TMP86FM48 は、リセット解除後 NORMAL1 モードになります。

例: SLOW1 モードから NORMAL2 モードへの切り替え
(fc = 16 MHz, ウォームアップ時間 = 4.0 ms)。

```
            SET     (SYSCR2). 7        ;  SYSCR2<XEN> ← 1
                                          (高周波クロック発振開始)
            LD      (TC2CR), 10H       ;  TC2 のモードをセット
            LD      (TC2DRH), 0F8H     ;  ウォームアップ時間をセット
                                          (周波数と発振子の特性で時間を決定します。)
            DI                         ;  IMF ← 0
            SET     (EIRE). 4          ;  INTTC2 割り込み許可
            EI                            IMF ← 1
            SET     (TC2CR). 5            TC2 スタート
            :
PINTTC2:    CLR     (TC2CR). 5            TC2 ストップ
            CLR     (SYSCR2). 5           SYSCR2<SYSCK> ← 0
                                          (システムクロックを高周波に切り替え)
            RETI
            :
VINTTC2:    DW      PINTTC2            ;  INTTC2 ベクタテーブル
```

Not Recommended for New Design



Not Recommended for New Design

図1.4.16 SLOW↔NORMAL2 モード切り替え

1.5 割り込み制御回路

TMP86FM48 には、リセットを除き合計 20 種類 (外部: 5 要因、内部: 15 要因) の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により "1" にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウエアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

図 1.5.1に割り込み制御回路を示します。

表1.5.1 割り込み要因

割り込み要因			許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)		ノンマスカブル	–	$FFFE_H$	高位 1
内 部	INTSWI	(ソフトウエア割り込み)	ノンマスカブル	–	$FFFC_H$	2
内 部	INTUNDEF	(未定義命令実行割り込み)	ノンマスカブル	–	$FFFC_H$	2
内 部	INTATRAP	(アドレストラップ割り込み)	ノンマスカブル	IL_2	$FFFA_H$	2
内 部	INTWDT	(ウォッチドッグタイマ割り込み)	ノンマスカブル	IL_3	$FFF8_H$	2
外 部	$\overline{INT0}$	(外部割り込み 0)	$IMF \cdot EF_4 = 1$	IL_4	$FFF6_H$	5
内 部	INTTC1	(タイマカウンタ 1 割り込み)	$IMF \cdot EF_5 = 1$	IL_5	$FFF4_H$	6
外 部	INT1	(外部割り込み 1)	$IMF \cdot EF_6 = 1$	IL_6	$FFF2_H$	7
内 部	INTTBT	(タイムベースタイマ割り込み)	$IMF \cdot EF_7 = 1$	IL_7	$FFF0_H$	8
外 部	INT2	(外部割り込み 2)	$IMF \cdot EF_8 = 1$	IL_8	$FFEE_H$	9
内 部	INTTC3	(タイマカウンタ 3 割り込み)	$IMF \cdot EF_9 = 1$	IL_9	$FFEC_H$	10
内 部	INTSIO1	(シリアルインタフェース 1 割り込み)	$IMF \cdot EF_{10} = 1$	IL_{10}	$FFEA_H$	11
内 部	INTSIO2	(シリアルインタフェース 2 割り込み)	$IMF \cdot EF_{11} = 1$	IL_{11}	$FFE8_H$	12
内 部	INTTC5	(タイマカウンタ 5 割り込み)	$IMF \cdot EF_{12} = 1$	IL_{12}	$FFE6_H$	13
外 部	INT3	(外部割り込み 3)	$IMF \cdot EF_{13} = 1$	IL_{13}	$FFE4_H$	14
内 部	INTADC	(AD 変換終了割り込み)	$IMF \cdot EF_{14} = 1$	IL_{14}	$FFE2_H$	15
	Reserved		$IMF \cdot EF_{15} = 1$	IL_{15}	$FFE0_H$	16
	Reserved		$IMF \cdot EF_{16} = 1$	IL_{16}	$FFBE_H$	17
内 部	INTSBI	(シリアルバスインタフェース割り込み)	$IMF \cdot EF_{17} = 1$	IL_{17}	$FFBC_H$	18
内 部	INTRXD	(UART 受信割り込み)	$IMF \cdot EF_{18} = 1$	IL_{18}	$FFBA_H$	19
内 部	INTTXD	(UART 送信割り込み)	$IMF \cdot EF_{19} = 1$	IL_{19}	$FFB8_H$	20
内 部	INTTC2	(タイマカウンタ 2 割り込み)	$IMF \cdot EF_{20} = 1$	IL_{20}	$FFB6_H$	21
外 部	$\overline{INT5}$	(外部割り込み 5)	$IMF \cdot EF_{21} = 1$	IL_{21}	$FFB4_H$	22
	Reserved		$IMF \cdot EF_{22} = 1$	IL_{22}	$FFB2_H$	23
	Reserved		$IMF \cdot EF_{23} = 1$	IL_{23}	$FFB0_H$	低位 24

注 1) ウォッチドッグタイマ割り込み (INTWDT) を使用するためには、WDTCR1<WDTOUT>を "0" に設定してください (リセット解除後は、"リセット要求" に設定されています)。
詳しくは「2.4 ウォッチドッグタイマ」を参照してください。

注 2) アドレストラップ割り込み (INTATRAP) を使用するには、WDTCR1<ATOUT>を "0" に設定してください (リセット解除後は、"リセット要求" に設定されています)。
詳しくは「2.4.5 アドレストラップ」をご参照ください。

Not Recommended for New Design

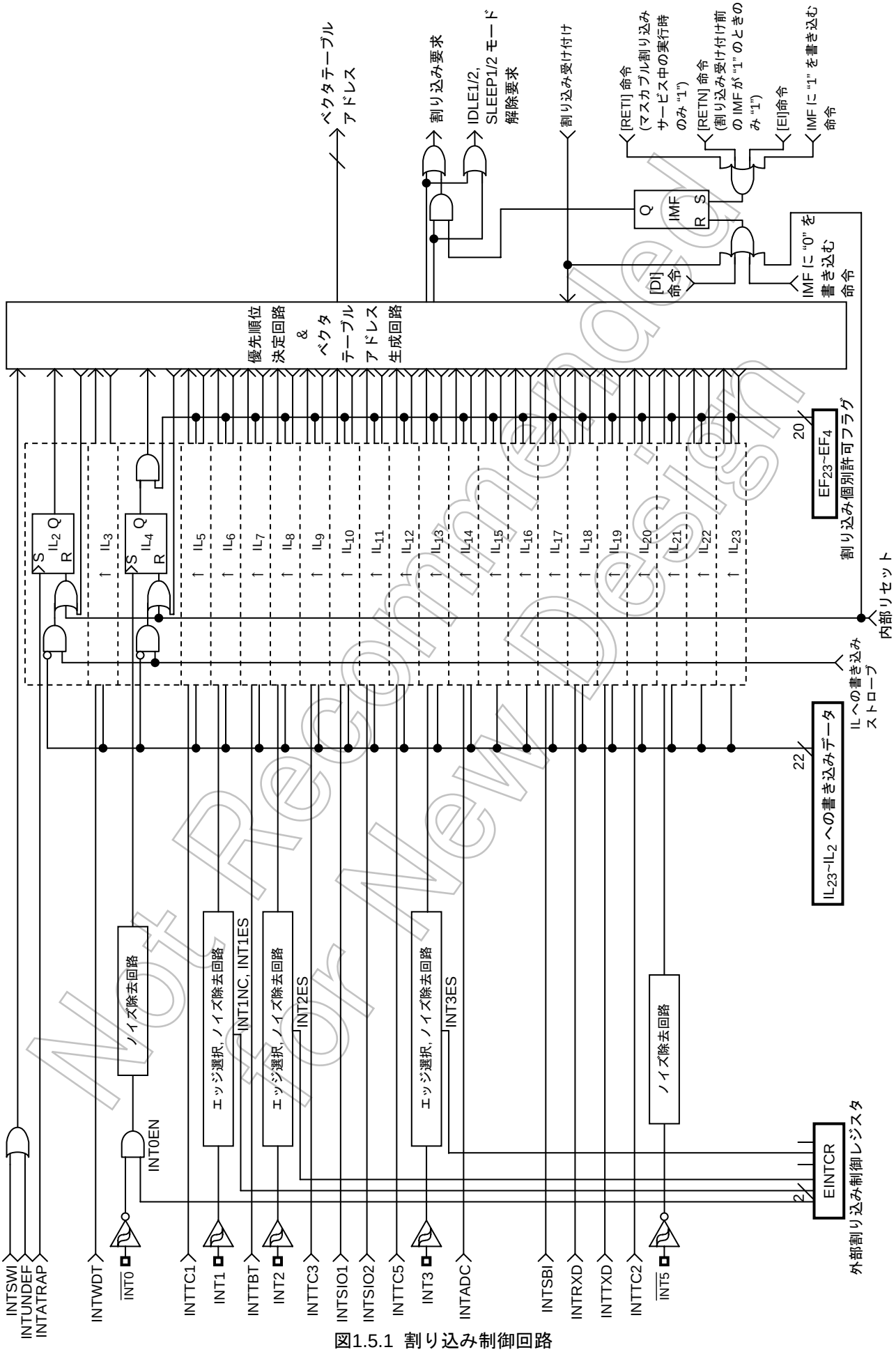


図1.5.1 割り込み制御回路

Not Recommended for New Design

(1) 割り込みラッチ (IL_{24}~IL_2)

割り込みラッチは、ソフトウエア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により "1" にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは "0" にクリアされます。リセット時、割り込みラッチはすべて "0" に初期化されます。

割り込みラッチは、SFR 内のアドレス $002E_H$, $003C_H$, $003D_H$ に割り付けられており、IL_2, IL_3 を除いて命令で個別にクリアすることができ（ただし、ビット操作命令や演算命令などのリードモディファイライト 命令は使用できません。これは、リードモディファイライト命令実行中に割り込み要求が発生してもクリアされる場合が想定されるためです。)、プログラムで割り込み要求の取り消し/初期化ができます。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。

注) 割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" (割り込み禁止状態) にしてから行ってください。

例 1: 割り込みラッチのクリア

```
DI                                  ;  IMF ← 0
LD      (ILE), 11110011B            ;  IL19, IL18 ← 0
LDW     (ILL), 1110100000111111B    ;  IL12, IL10~IL6 ← 0
EI                                  ;  IMF ← 1
```

例 2: 割り込みラッチの読み出し

```
LD      WA, (ILL)                   ;  W ← ILH, A ← ILL
```

例 3: 割り込みラッチのテスト

```
TEST    (IL).7                      ;  IL7 = 1 ならジャンプ
JR      F, SSET
```

(2) 割り込み許可レジスタ (EIR)

ノンマスカブル割り込み（ソフトウエア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み）を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ（IMF）と割り込み個別許可フラグ（EF）で構成されています。割り込み許可レジスタは、SFR 内のアドレス $002C_H$, $003A_H$, $003B_H$ に割り付けられており、命令でリード/ライト（ビット操作命令などのリードモディファイライトも含む）できます。

a. 割り込みマスタ許可フラグ (IMF)

マスカブル割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。"0" にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、"1" にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックの一時退避された後 "0" にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスカブル割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIR_L (SFR 内のアドレス $003A_H$) のビット 0 に割り付けられており、命令で リード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは "0" に初期化されます。

Not Recommended for New Design

b. 割り込み個別許可フラグ (EF_{23}~EF_4)

各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが "1" なら割り込み受け付けを許可し、"0" なら禁止します。

注) 割り込み個別許可フラグ (EF) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリア (割り込み禁止状態) にしてから行ってください。通常、割り込みサービスルーチン内では、自動的に IMF = "0" となりますので上記操作は不要ですが、多重割り込みを利用するため割り込みサービスルーチン内で IMF = "1" の操作を行っている場合は、同様な処理を行ってください。

例 1: 割り込みの個別許可と IMF のセット

```
DI                                          ;   IMF ← "0"
LD      (EIRE), 00001100B                   ;   EF19, EF18 ← "1"
LDW     (EIRL), 0110100010100000B           ;   EF14, EF13, EF11, EF7, EF5 ← "1"
  ¦                                             注) IMF はセットしない。
EI                                          ;   IMF ← "1"
```

例 2: C コンパイラ記述例

```
unsigned int _io (3AH) EIRL;                ;   /* 3AH は EIRL のアドレス*/
_DI ( );
EIRL = 10100000B;
  ¦
_EI ( );
```

Not Recommended for New Design

割り込みラッチ

ILH, ILL ($003C_H$, $003D_H$)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IL_{15}	IL_{14}	IL_{13}	IL_{12}	IL_{11}	IL_{10}	IL_9	IL_8	IL_7	IL_6	IL_5	IL_4	IL_3	IL_2		

IL_H ($003D_H$) IL_L ($003C_H$)

(初期値: 00000000 000000**)

ILE ($002E_H$)

23	22	21	20	19	18	17	16
IL_{23}	IL_{22}	IL_{21}	IL_{20}	IL_{19}	IL_{18}	IL_{17}	IL_{16}

IL_E ($002E_H$)

(初期値: 0000 0000)

		RD 時	WR 時	
IL_{23}~IL_2	割り込みラッチ	0: 割り込み要求なし 1: 割り込み要求あり	割り込み要求のクリア 注) セットは不可	R/W

注 1) IL_2, IL_3 はクリアできません。

注 2) IL を操作する場合は、事前に IMF をクリア (割り込み禁止状態) にしてから行ってください。

注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

EIRH, EIRL ($003A_H$, $003B_H$)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EF_{15}	EF_{14}	EF_{13}	EF_{12}	EF_{11}	EF_{10}	EF_9	EF_8	EF_7	EF_6	EF_5	EF_4				IMF

EIR_H ($003B_H$) EIR_L ($003A_H$)

(初期値: 00000000 0000***0)

EIRE ($002C_H$)

23	22	21	20	19	18	17	16
EF_{23}	EF_{22}	EF_{21}	EF_{20}	EF_{19}	EF_{18}	EF_{17}	EF_{16}

EIR_E ($002C_H$)

(初期値: 00000000)

EF_{23}~EF_4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: マスカブル割り込み全体の受け付け禁止 1: マスカブル割り込み全体の受け付け許可	

注 1) *: Don't care

注 2) 割り込み許可フラグ(EF)を操作する場合は、事前に IMF をクリア (割り込み禁止状態) してから行ってください。

注 3) 割り込み許可フラグ (EF_{15}~EF_4) と同時に IMF を "1" にセットしないでください。

図1.5.2 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

Not Recommended for New Design

1.5.1 割り込み処理

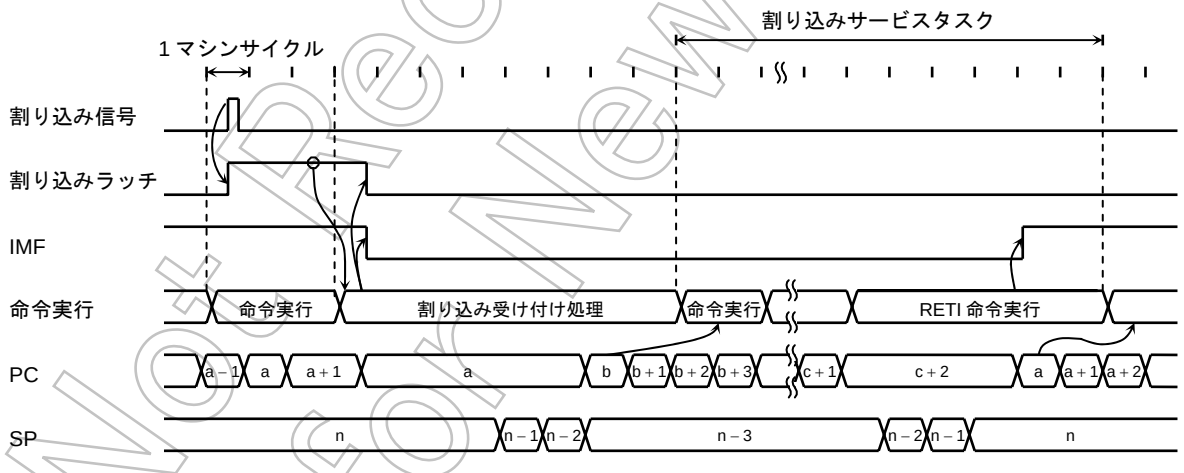
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが “0” にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (4 μs @ 8.0 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合)を実行して終了します。図 1.5.3に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を “0” にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを “0” にクリアします。
3. プログラムカウンタ (PC) プログラムステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PC_H, PC_L の順にプッシュダウンされます)。スタックポインタ (SP) は 3 回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



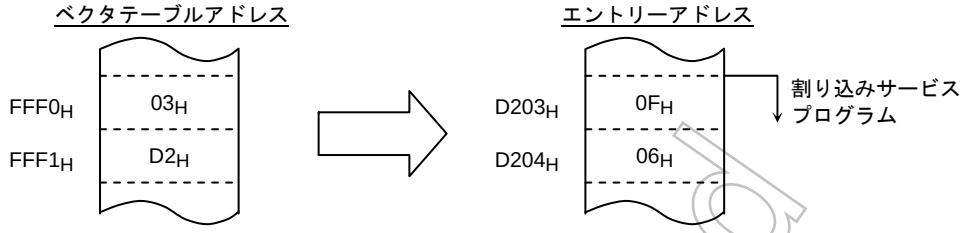
注 1) a: 戻り番地、b: エントリーアドレス、c: RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図1.5.3 割り込み受け付け処理/割り込みリターン命令タイミングチャート

Not Recommended for New Design

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが "1" にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを "1" にセットします。その際、割り込み個別許可フラグにより、受け付けて良い割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを "1" にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやそのほかのレジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

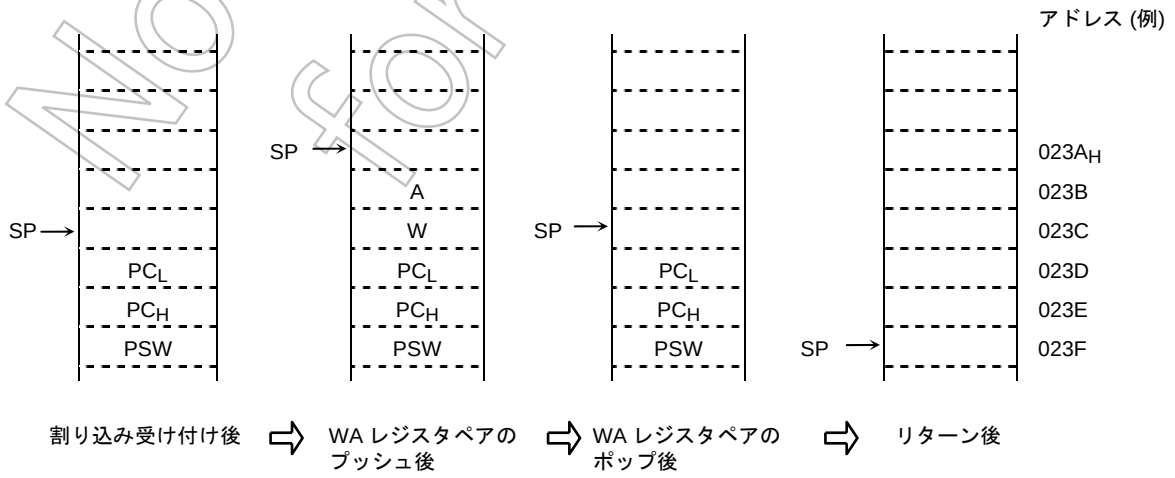
汎用レジスタの退避には、次の 2 つの方法があります。

a. プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例: プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx:   PUSH   WA        ;  WA レジスタペアをスタックに退避。
          割り込み処理
          POP    WA        ;  WA レジスタペアをスタックから復帰
          RETI                リターン。
```



Not Recommended for New Design

b. 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例: データメモリとの転送命令によるレジスタの退避/復帰

```
PINTxx:     LD      (GSAVA), A      ;   A レジスタの退避
            割り込み処理
            LD      A, (GSAVA)      ;   A レジスタの復帰
            RETI                    ;   リターン
```

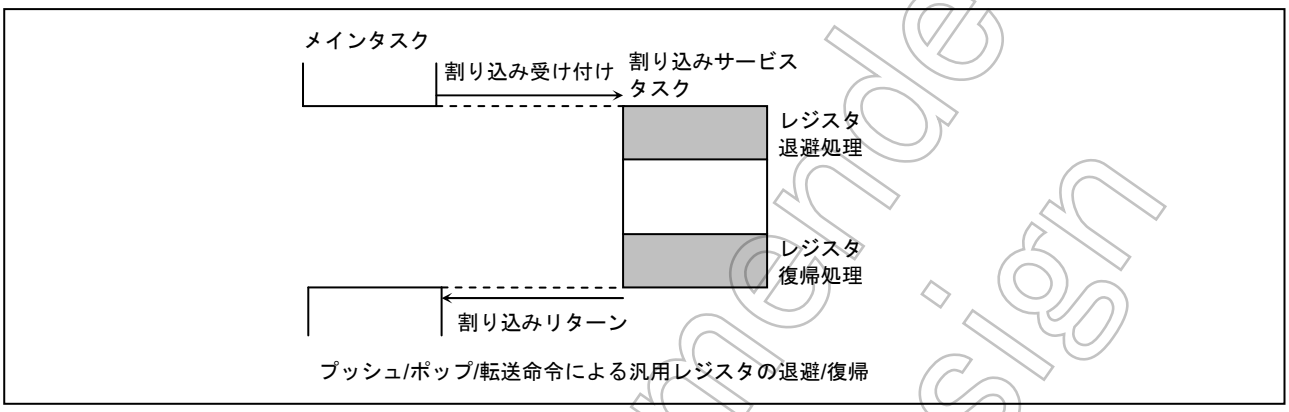


図1.5.4 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI]/[RETN] マスカブル割り込みリターン
1. プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 2. スタックポインタを 3 回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PC_L、PC_H の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
割り込みリターン後の PC_L、PC_H となる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

Not Recommended for New Design

例 1: アドレストラップ割り込みサービスプログラムからのリターン

```
PINTxx:   POP     WA                  ;  スタックポインタを 2 つ戻す。
          LD      WA, ReturnAddress   ;  WA レジスタに再開アドレスを代入する。
          PUSH    WA                  ;  スタックにプッシュダウンする。
          割り込み処理
          RETN                        ;  ノンマスカブル割り込みリターン命令
```

例 2: リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

```
PINTxx :  INC     SP                  ;  スタックポインタを 3 つ戻す。
          INC     SP
          INC     SP
          割り込み処理
          LD      EIRL, data          ;  IMF を “1” にセット、または “0” にクリア。
          JP      RestartAddress      ;  復帰アドレスへジャンプ。
```

注) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメントする)。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

Not Recommended for New Design

1.5.2 ソフトウエア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウエア割り込みが発生し直ちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

a. アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_H が読み込まれます。コード FF_H は、SWI 命令ですのでソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FF_H で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みがかかります。

b. デバッギング

SWI 命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

1.5.3 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF は他のノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断し、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウエア割り込みと同じ割り込みベクタアドレスへジャンプします。

1.5.4 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL_2) がセットされ、割り込み処理に入ります。INTATRAP は他のノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断し、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力/割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

1.5.5 外部割り込み

TMP86FM48 には、5 本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力を、ノイズとして除去します) となっています。

また、INT1~INT3 端子は、エッジ選択が可能です。なお、$\overline{INT0}$ /P00 端子は、外部割り込み入力端子として使用するか、入出力ポートとして使用するかの選択ができます。リセット時は入力ポートとなります。

エッジの選択, ノイズ除去の制御および $\overline{INT0}$ /P00 端子の機能選択は、外部割り込み制御レジスタ(EINTCR)で行います。

Not Recommended for New Design

表1.5.2 外部割り込み

要因	端子名	兼用端子	許可条件	エッジ	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	P00	IMF = 1, EF_4 = 1, INT0EN = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	P01	IMF･EF_6 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	P02	IMF･EF_8 = 1		7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます
INT3	INT3	P14/TC3	IMF･EF_{13} = 1		
INT5	$\overline{\text{INT5}}$	P20/ $\overline{\text{STOP}}$	IMF･EF_{21} = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注 1) NORMAL1, NORMAL2 または IDLE1, IDLE2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

a. INT1 端子 55/fc [s] (INT1NC = “1” のとき), 199/fc [s] (INT1NC = “0” のとき)

b. INT2, INT3 端子 31/fc [s]

注 2) INT0EN = “0” のとき、$\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL_4 はセットされません。

注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

注 4) INT1NC を切り替えた場合、最大 2^6/fc の期間ノイズキャンセル時間が切り替わらないことがあります。

外部割り込み制御レジスタ

EINTCR (0037_H)

7	6	5	4	3	2	1	0
INT1NC	INT0EN			INT3ES	INT2ES	INT1ES	

(初期値: 00** 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc [s] 未満のパルスはノイズとして除去 1: 15/fc [s] 未満のパルスはノイズとして除去	R/W
INT0EN	P00/ $\overline{\text{INT0}}$ の機能選択	0: P00 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P00 ポートは入力モードにしてください)	
INT3ES INT2ES INT1ES	INT3~INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	

注 1) fc: 高周波クロック [Hz]、 *: Don’t care

注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

図1.5.5 外部割り込み制御レジスタ

Not Recommended for New Design

1.6 リセット回路

TMP86FM48 には外部リセット入力, アドレストラップリセット, ウォッチドッグタイマリセット, システムクロックリセットの 4 種類のリセット発生手段があります。

リセット回路は 11 段のフラッシュリセットカウンタを内蔵しており、上記のリセットが発生するとフラッシュ制御回路の電源が安定するまでの間、リセットを発生します。リセット時間は 2^{10}/fc [s] (64 μs @ 16MHz) です。

また、電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット, アドレストラップリセットおよびシステムクロックリセット) は初期化されませんので、最大 24/fc [s] (1.5 μs @ 16 MHz) の期間、リセット状態となることがあります。

従ってリセットの最大時間は、24/fc [s] + 2^{10}/fc [s] (65.5 μs @ 16 MHz) となります。

表 1.6.1にリセット動作による内蔵ハードウエアの初期化を示します。

表1.6.1 リセット動作による内蔵ハードウエアの初期化

内蔵ハードウエア	初期値	内蔵ハードウエア	初期値
プログラムカウンタ (PC)	($FFFE_H$)	タイミングジェネレータのプリスケーラおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスク許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		RAM	初期化されません

1.6.1 外部リセット入力

$\overline{\text{RESET}}$ 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル (12/fc [s]) 以上の間 $\overline{\text{RESET}}$ 端子を "L" レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$ 端子入力が "H" レベルに立ち上がった後、2^{10}/fc [s] (65.5 μs @ 16 MHz) 経過すると、リセット動作は解除され、アドレス $FFFE_H$~$FFFF_H$ に格納されたベクタアドレスからプログラムの実行を開始します。

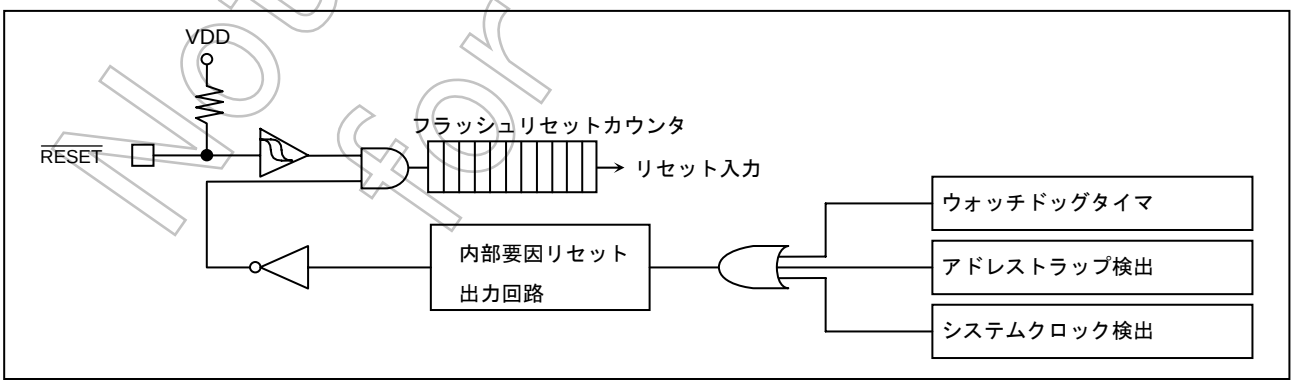


図1.6.1 リセット回路

Not Recommended for New Design

1.6.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとすると内部リセットおよび、フラッシュリセットが発生します。リセット時間は、最大 24/fc + 2^{10}/fc [s] (65.5 μs @ 16.0 MHz) です。

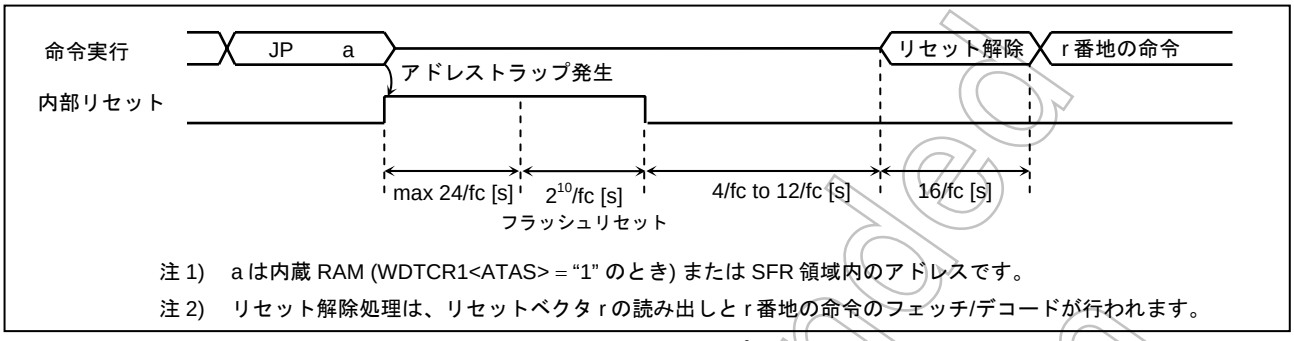


図1.6.2 アドレストラップリセット

注) アドレストラップはリセットと割り込みの選択が可能です。また、内蔵 RAM はアドレストラップするか否かを WDTCR1<ATAS>によって選択することが可能です。

1.6.3 ウォッチドッグタイマリセット

『2.4 ウォッチドッグタイマ』をご参照ください。

1.6.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> をともに “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN>を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN>を “0” にクリアした場合

システムクロックリセットが発生すると、その後フラッシュリセットが発生します。リセット時間は、最大 24/fc + 2^{10}/fc [s] (65.5 μs @ 16.0 MHz) です。

Not Recommended for New Design

2. 周辺ハードウエア機能

2.1 スペシャルファンクションレジスタ (SFR)

TMP86FM48 は、メモリマップ I/O 方式で、周辺ハードウエアのデータ制御/転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 1F80H~1FFFH にマッピングされています。図 2.1.1に TMP86FM48 の SFR, DBR の一覧を示します。

アドレス	リード	ライト
0000H	P0DR (P0 ポート出力ラッチ制御)	
01	P1DR (P1 ポート出力ラッチ制御)	
02	P2DR (P2 ポート出力ラッチ制御)	
03	P3DR (P3 ポート出力ラッチ制御)	
04	Reserved	
05	P5DR (P5 ポート出力ラッチ制御)	
06	P6DR (P6 ポート出力ラッチ制御)	
07	P7DR (P7 ポート出力ラッチ制御)	
08	P8DR (P8 ポート出力ラッチ制御)	
09	Reserved	
0A	P0OUTCR (P0 ポート出力回路制御)	
0B	P1OUTCR (P1 ポート出力回路制御)	
0C	P6CR1 (P6 ポート入出力制御)	
0D	P5OUTCR (P5 ポート出力回路制御)	
0E	ADCCR1 (AD 制御レジスタ 1)	
0F	ADCCR2 (AD 制御レジスタ 2)	
10	TC3DRA (タイマレジスタ 3A)	
11	TC3DRB (タイマレジスタ 3B)	–
12	TC3CR (タイマカウンタ 3 制御)	
13	TC2CR (タイマカウンタ 2 制御)	
14	TC5CR (タイマカウンタ 5 制御)	
15	TC5DR (タイマレジスタ 5)	
16	Reserved	
17	SIO1CR (SIO1 制御)	
18	SIO1SR (SIO1 ステータス)	–
19	SIO1BUF (SIO1 データバッファ)	
1A	Reserved	
1B	SIO2CR (SIO2 制御)	
1C	SIO2SR (SIO2 ステータス)	–
1D	SIO2BUF (SIO2 データバッファ)	
1E	Reserved	
1F	TC1CR (タイマカウンタ 1 制御)	

アドレス	リード	ライト
0020H	TC1DRAL (タイマレジスタ 1A)	
21	TC1DRAH (タイマレジスタ 1A)	
22	TC1DRBL (タイマレジスタ 1B)	
23	TC1DRBH (タイマレジスタ 1B)	
24	TC2DRL (タイマレジスタ 2)	
25	TC2DRH (タイマレジスタ 2)	
26	ADCDR2 (AD 変換値レジスタ 2)	–
27	ADCDR1 (AD 変換値レジスタ 1)	–
28	P6CR2 (P6 ポート入力制御)	
29	Reserved	
2A	P3OUTCR (P3 ポート出力回路制御)	
2B	Reserved	
2C	EIR_E (割り込み許可レジスタ)	
2D	Reserved	
2E	IL_E (割り込みラッチ)	
2F	Reserved	
30	Reserved	
31	Reserved	
32	Reserved	
33	Reserved	
34	–	WDTCR1 (ウォッチドッグタイマ制御)
35	–	WDTCR2 (ウォッチドッグタイマ制御)
36	TBTCR (TBT/TG/DVO 制御)	
37	EINTCR (外部割り込み制御)	
38	SYSCR1 (システム制御 1)	
39	SYSCR2 (システム制御 2)	
3A	EIR_L (割り込み許可レジスタ)	
3B	EIR_H (割り込み許可レジスタ)	
3C	IL_L (割り込みラッチ)	
3D	IL_H (割り込みラッチ)	
3E	Reserved	
3F	PSW (プログラムステータスワード)	

注 1) Reserved の番地はプログラムでアクセスしないでください。

注 2) –: アクセスできません。

注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図2.1.1 スペシャルファンクションレジスタ (SFR) (1/2)

Not Recommended for New Design

アドレス	リード	ライト
1F80H	Reserved	
:	:	
D8	Reserved	
D9	–	SBICRA (SBI 制御 1)
DA	SBIDBR (SBI データバッファ)	
DB	–	I2CAR (I2C アドレス)
DC	SBISR (SBI ステータス)	SBICRB (SBI 制御 2)
DD	UARTSR (UART ステータス)	UARTCR1 (UART 制御 1)
DE	–	UARTCR2 (UART 制御 2)
DF	RDBUF (UART 受信データバッファ)	TDBUF (UART 送信データバッファ)
E0	EEPCR (フラッシュメモリ制御)	
E1	EEPSR (フラッシュメモリステータス)	–
E2	EEPEVA (フラッシュメモリ書き込みエミュレート時間制御)	
E3	Reserved	
E4	P2OUTCR (P2 ポート出力回路制御)	
E5	P7CR1 (P7 ポート入出力制御)	
E6	P7CR2 (P7 ポート入力制御)	
E7	P8CR (P8 ポート入出力制御)	
E8	Reserved	
E9	Reserved	
EA	Reserved	
EB	Reserved	
EC	Reserved	
ED	P0PRD (P0 端子入力)	–
EE	P1PRD (P1 端子入力)	–
EF	P2PRD (P2 端子入力)	–
F0	P3PRD (P3 端子入力)	–
F1	Reserved	
F2	P5PRD (P5 端子入力)	–
F3	Reserved	
F4	Reserved	
F5	Reserved	
F6	Reserved	
F7	Reserved	
F8	Reserved	
F9	Reserved	
FA	Reserved	
FB	Reserved	
FC	Reserved	
FD	Reserved	
FE	–	STOPCR (キーオンウェイクアップ制御)
FF	Reserved	

注 1) Reserved の番地はプログラムでアクセスしないでください。

注 2) –: アクセスできません。

注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図2.1.2 スペシャルファンクションレジスタ (SFR) (2/2)

Not Recommended for New Design

2.2 入出力ポート

TMP86FM48 は、8 ポート 54 端子の入出力ポートを内蔵しています。

(1) P0 ポート: 8 ビット入出力ポート (外部割り込み入力, シリアルインタフェース入出力, UART 入出力, タイマカウンタ入力)

(2) P1 ポート: 8 ビット入出力ポート (外部割り込み入力, シリアルインタフェース入出力, タイマカウンタ入出力と兼用)

(3) P2 ポート: 3 ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力と兼用)

(4) P3 ポート: 8 ビット入出力ポート

(5) P5 ポート: 3 ビット入出力ポート (デバイダ出力, タイマカウンタ出力, シリアルバスインタフェース入出力と兼用)

(6) P6 ポート: 8 ビット入出力ポート (アナログ入力, STOP モード解除信号と兼用)

(7) P7 ポート: 8 ビット入出力ポート (アナログ入力と兼用)

(8) P8 ポート: 8 ビット入出力ポート

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは、外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 2.2.1に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。

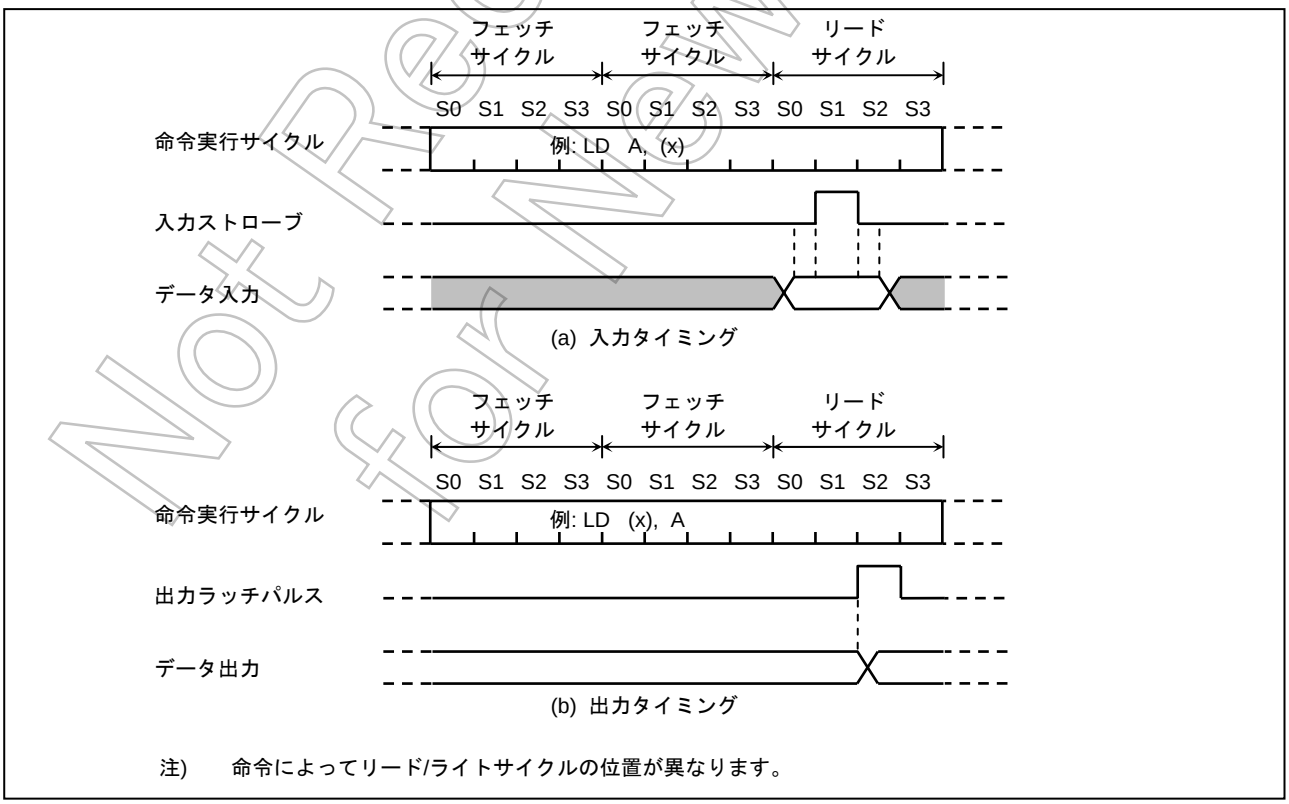


図2.2.1 入出力タイミング (例)

Not Recommended for New Design

2.2.1 P0 (P07~P00) ポート

P0 ポートは 8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、タイマカウンタ入力、UART 入出力と兼用です。P0 ポートは出力回路制御レジスタ (P0OUTCR) により、出力回路をシンクオープンドレイン出力と、CMOS 出力のいずれかに設定することができます。P0OUTCR を “0” にクリアすると、対応するビットの出力回路はシンクオープンドレイン回路に、P0OUTCR を “1” にセットすると、対応するビットの出力回路は CMOS 出力となります。

入力ポートまたは、外部割り込み入力、シリアルインタフェース入力、タイマカウンタ入力、UART 入力として用いる場合は、対応するビットの出力ラッチ (P0DR) を “1” にセットし、P0OUTCR を “0” にクリアします。

シリアルインタフェース出力、UART 出力として使用する場合は、対応する P0DR のビットを “1” にセットします。

リセット時、P0DR は “1” に初期化され、P0OUTCR は “0” にクリアされます。

P0 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P0DR を、端子の状態を読み込む場合は P0PRD レジスタを、それぞれ読み出してください。

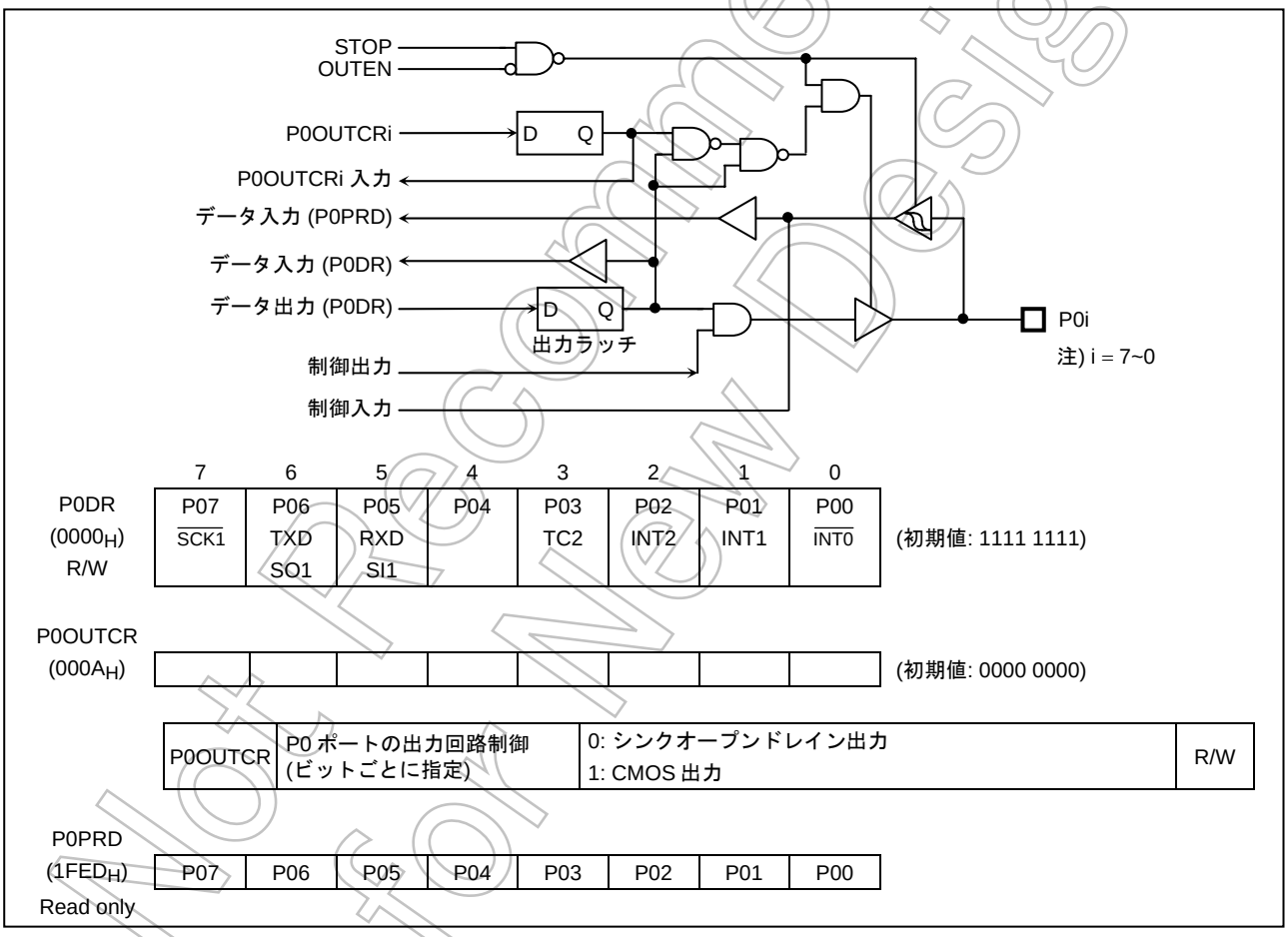


図2.2.2 P0 ポート

Not Recommended for New Design

2.2.2 P1 (P17~P10) ポート

P1 ポートは 8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、タイマカウンタ入出力と兼用です。P1 ポートは出力回路制御レジスタ (P1OUTCR) により、出力回路をシンクオープンドレイン出力と、CMOS 出力のいずれかに設定することができます。P1OUTCR を “0” にクリアすると、対応するビットの出力回路はシンクオープンドレイン回路に、P1OUTCR を “1” にセットすると、対応するビットの出力回路は CMOS 出力となります。

入力ポートまたは外部割り込み入力、シリアルインタフェース入力、タイマカウンタ入力として用いる場合は、対応するビットの出力ラッチ (P1DR) を “1” にセットし、P1OUTCR を “0” にクリアします。

シリアルインタフェース出力、タイマカウンタ出力として使用する場合は、対応する P1DR のビットを “1” にセットします。

リセット時、P1DR は “1” に初期化され、P1OUTCR は “0” にクリアされます。

P1 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P1DR を、端子の状態を読み込む場合は P1PRD レジスタを、それぞれ読み出してください。

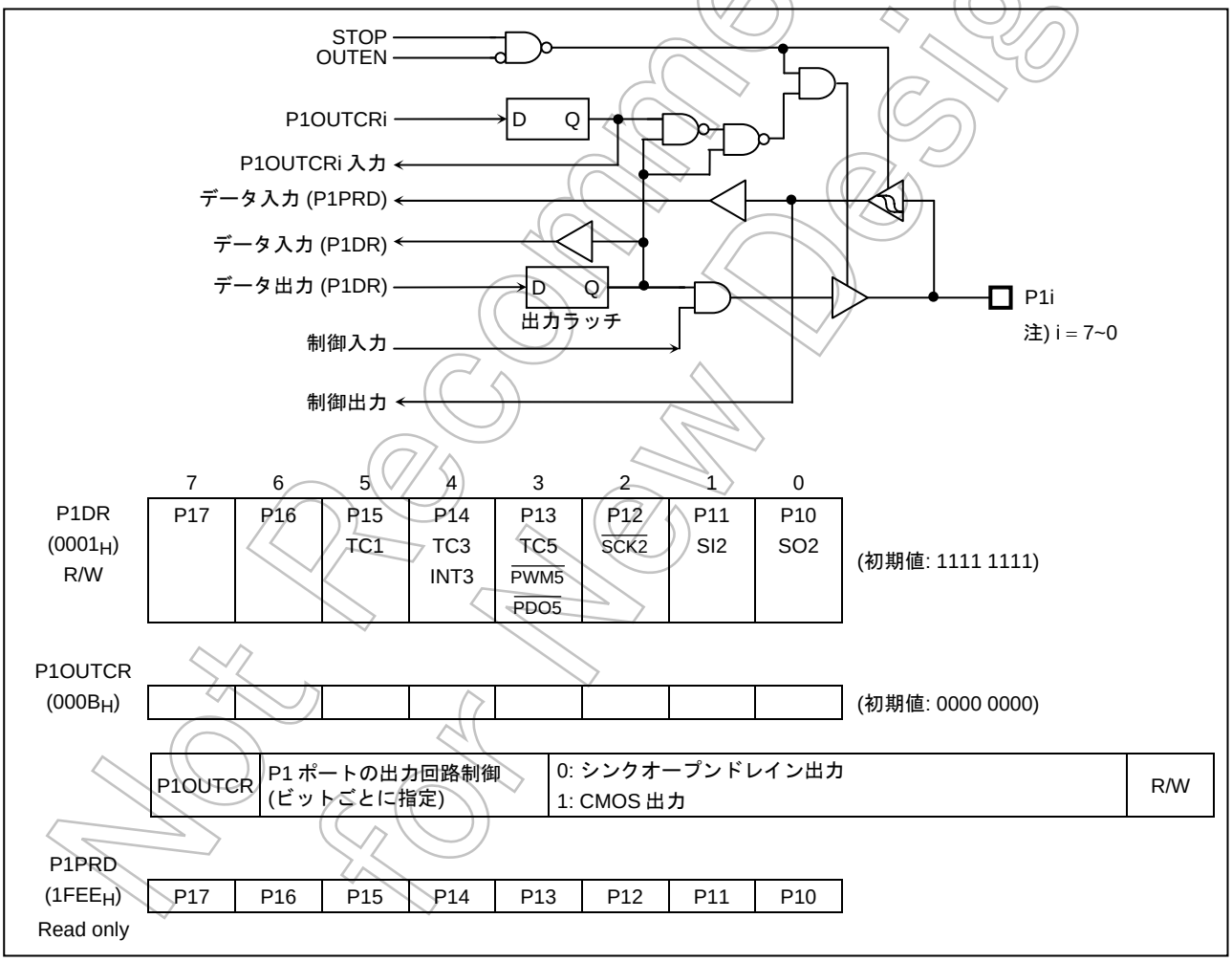


図2.2.3 P1 ポート

Not Recommended for New Design

2.2.3 P2 (P22~P20) ポート

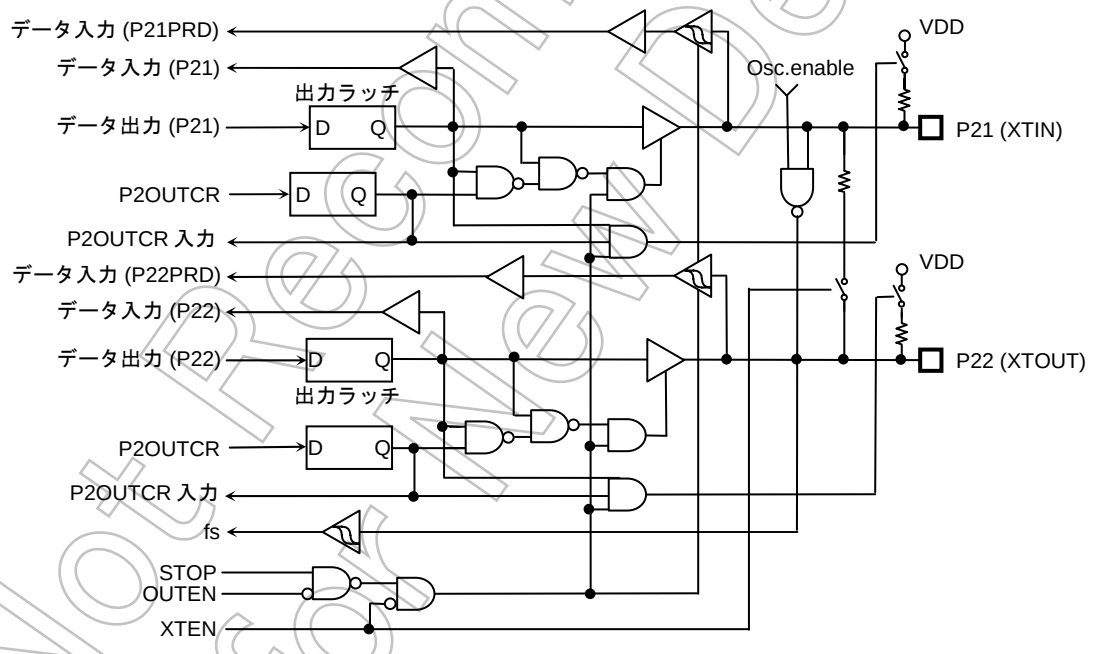
P2 ポートは 3 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。P2 ポートは出力回路制御レジスタ (P2OUTCR) により、出力回路をシンクオープンドレイン出力と、CMOS 出力（P21、P22 端子はプルアップ抵抗付き）のいずれかに設定することができます。P2OUTCR を “0” にクリアすると、対応するビットの出力回路はシンクオープンドレイン回路に、P2OUTCR を “1” にセットすると、対応するビットの出力回路は CMOS 出力となります。

入力ポートまたは、外部割込み入力として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。リセット時 、P2DR は “1” に初期化されます。

デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。なお、P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると、立ち下がりで割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P2DR を、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

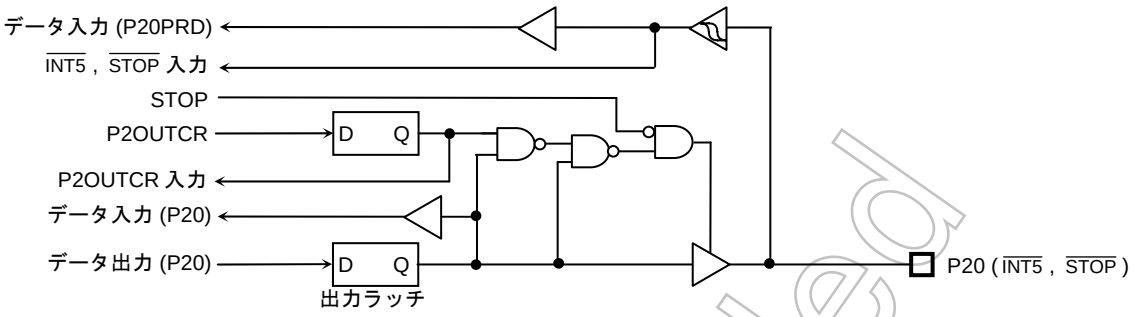
P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。



注) XTEN<SYSCR2>を “1” にセットした場合、P21 と P22 端子は P2DR と P2OUTCR の設定に関係なく、出力はハイインピーダンス状態となります。

図2.2.4 P21, P22 ポート

Not Recommended for New Design



注) P20 端子は STOP 端子と兼用のため、STOP モードに入ると OUTEN の状態に関係なく、出力はハイインピーダンス状態となります。

	7	6	5	4	3	2	1	0	
P2DR (0002_H) R/W						P22 XTOUT	P21 XTIN	P20 INT5 STOP	(初期値: **** *111) *: Don't care
P2OUTCR ($1FE4_H$)									(初期値: **** *000) *: Don't care

P2OUTCR	P2 ポートの出力回路制御 (ビットごとに指定)	0:	シンクオープンドレイン出力		R/W
			P20 端子	P21、P22 端子	
		1:	CMOS 出力	CMOS 出力 (プルアップ抵抗付き)	

P2PRD ($1FEF_H$) Read only						P22	P21	P20

図2.2.5 P20 ポート

Not Recommended for New Design

2.2.4 P3 (P37~P30) ポート

P3 ポートは、8 ビットの入出力ポートです。P3 ポートは出力回路制御レジスタ (P3OUTCR) により、出力回路をシンクオープンドレイン出力と、CMOS 出力のいずれかに設定することができます。P3OUTCR を “0” にクリアすると、対応するビットの出力回路はシンクオープンドレイン回路に、P3OUTCR を “1” にセットすると、対応するビットの出力回路は CMOS 出力となります。

入力ポートとして用いる場合は、対応するビットの出力ラッチ (P3DR) を “1” にセットし、P3OUTCR を “0” にクリアします。

リセット時、P3DR は “1” に初期化され、P3OUTCR は “0” にクリアされます。

P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P3DR を、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。

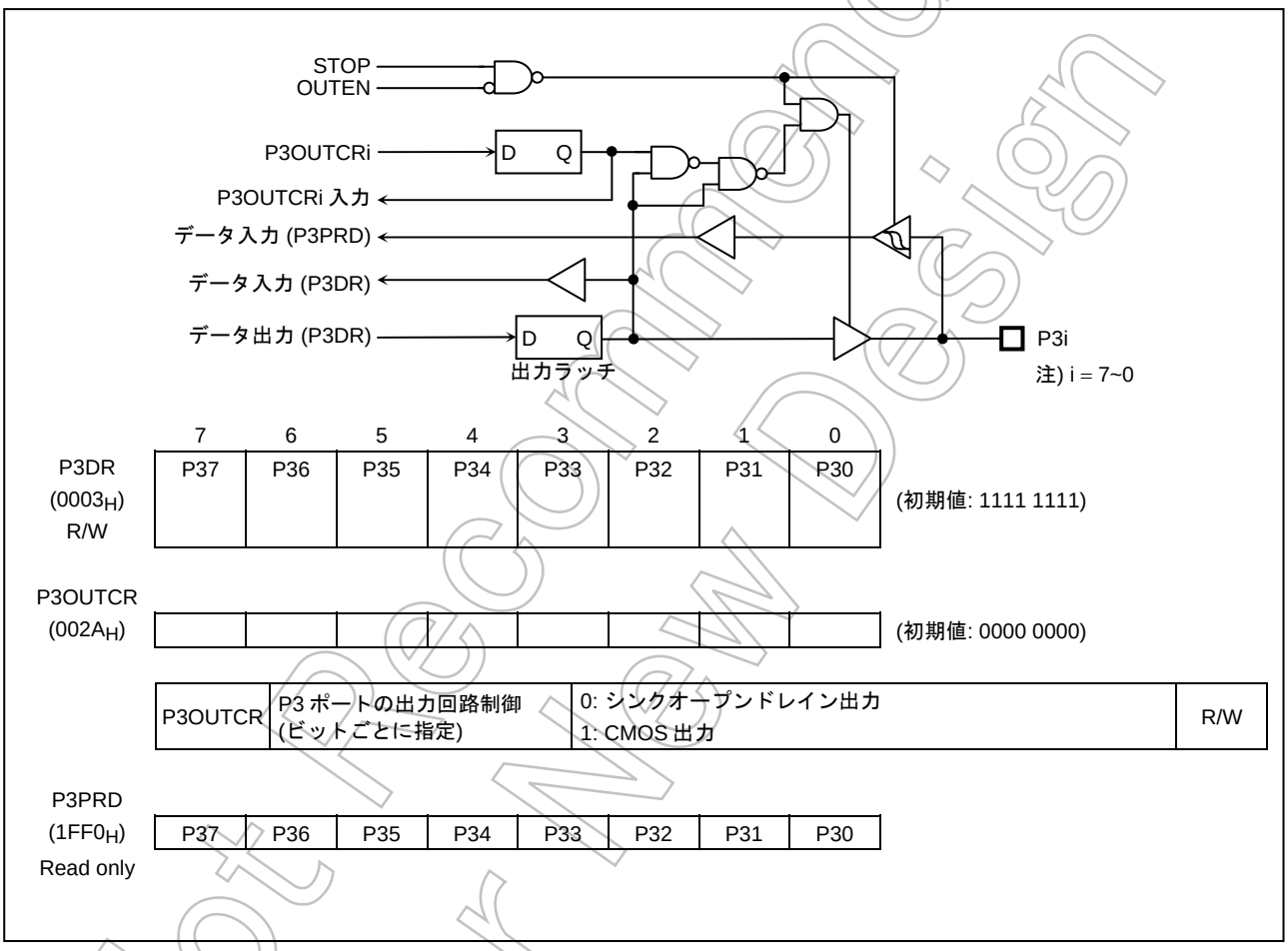


図2.2.6 P3 ポート

Not Recommended for New Design

2.2.5 P5 (P52~P50) ポート

P5 ポートは 3 ビットの入出力ポートで、タイマカウンタ出力、デバイダ出力、シリアルインタフェース入出力と兼用です（N-ch 大電流）。P5 ポートは出力回路制御レジスタ (P5OUTCR) により、出力回路をシンクオープンドレイン出力と、CMOS 出力のいずれかに設定することができます。P5OUTCR を “0” にクリアすると、対応するビットの出力回路はシンクオープンドレイン回路に、P5OUTCR を “1” にセットすると、対応するビットの出力回路は CMOS 出力となります。

入力ポートまたは、シリアルバスインタフェース入出力として用いる場合は、対応するビットの出力ラッチ (P5DR) を “1” にセットし、P5OUTCR を “0” にクリアします。

タイマカウンタ出力、デバイダ出力として使用する場合は、対応する P5DR のビットを “1” にセットします。

リセット時、P5DR は “1” に初期化され、P5OUTCR は “0” にクリアされます。

P5 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P5DR を、端子の状態を読み込む場合は P5PRD レジスタをそれぞれ読み出してください。

P5DR, P5OUTCR, P5PRD に対してリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

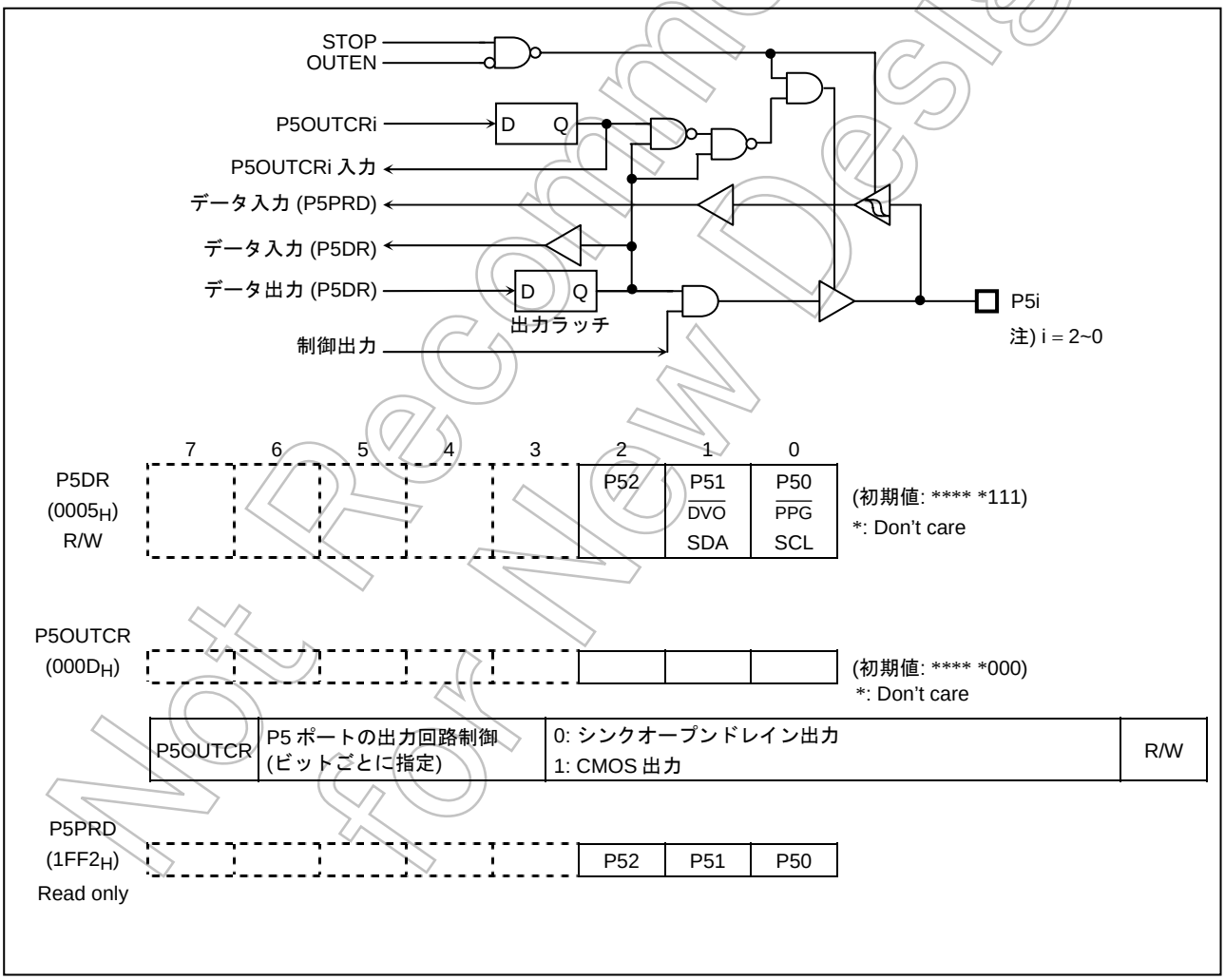


図2.2.7 P5 ポート

Not Recommended for New Design

2.2.6 P6 (P67~P60) ポート

P6 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。入出力の指定は、入出力制御レジスタ (P6CR1) と入力制御レジスタ (P6CR2) によって行います。

出力ポートとして使用する場合は、P6CR1 の対応するビットを “1” に設定します。

入力ポートとして使用する場合は、P6CR1 の対応するビットを “0” にクリアし、P6CR2 の対応するビットを “1” にセットします。

アナログ入力として使用する場合は、P6CR1 の対応するビットを “0” にクリアした後、P6CR2 の対応するビットを “0” にクリアします。

キーオンウェイクアップ入力として使用する場合は、キーオンウェイクアップ制御レジスタ (STOPCR) により、入力を許可する端子に対応する STOPkEN ビットを “1” にセットします (k = 3~0)。

リセット時、P6CR1 と P6DR は “0” にクリアされ、P6CR2 は “1” に初期化されます。

表 2.2.1、表 2.2.2に各レジスタ設定値と端子状態を示します。

表2.2.1 各レジスタ設定値と P63~P60 端子状態

P6CR1	P6CR2	P6DR	P6DR リード値	出力	備考
0	0	*	“0”	ハイインピーダンス	–
0	1	*	端子入力	ハイインピーダンス	入力モード
1	*	0	“0” (出力ラッチ)	Low	出力モード
1	*	1	“1” (出力ラッチ)	High	出力モード

注) *: Don’t care.

表2.2.2 各レジスタ設定値と P67~P64 端子状態

STOPkEN	P6CR1	P6CR2	P6DR	P6DR リード値	出力	備考
0	0	0	*	“0”	ハイインピーダンス	–
0	0	1	*	端子入力	ハイインピーダンス	入力モード
0	1	*	0	“0” (出力ラッチ)	Low	出力モード
0	1	*	1	“1” (出力ラッチ)	High	出力モード
1	*	*	*	“1” (出力ラッチ)	ハイインピーダンス	キーオンウェイクアップ入力

注 1) *: Don’t care.

注 2) STOPkEN は STOPCR レジスタのビット 7~4。

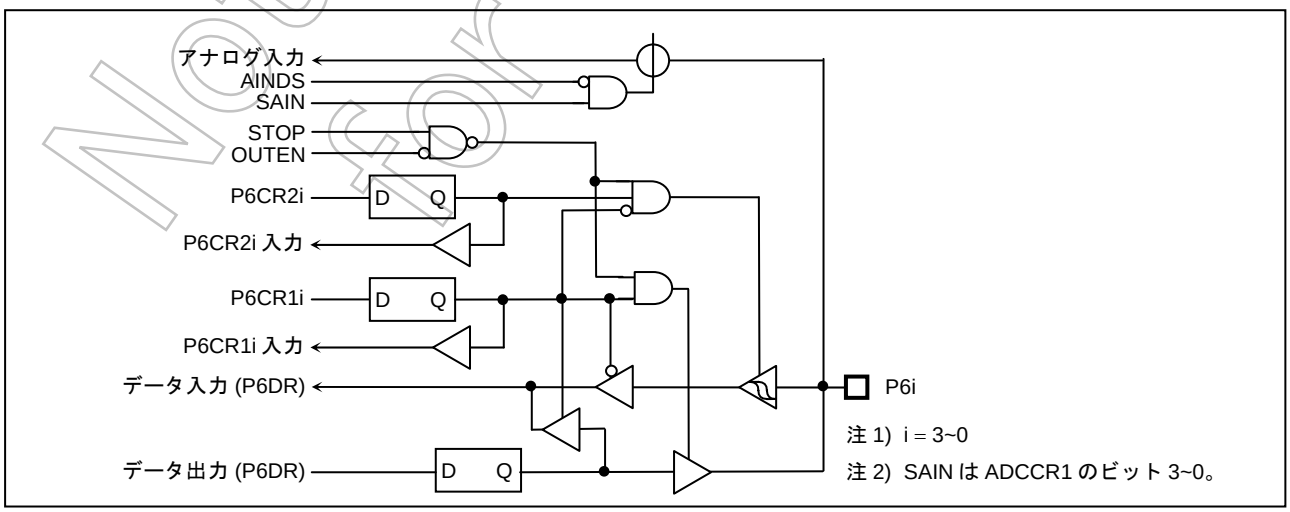
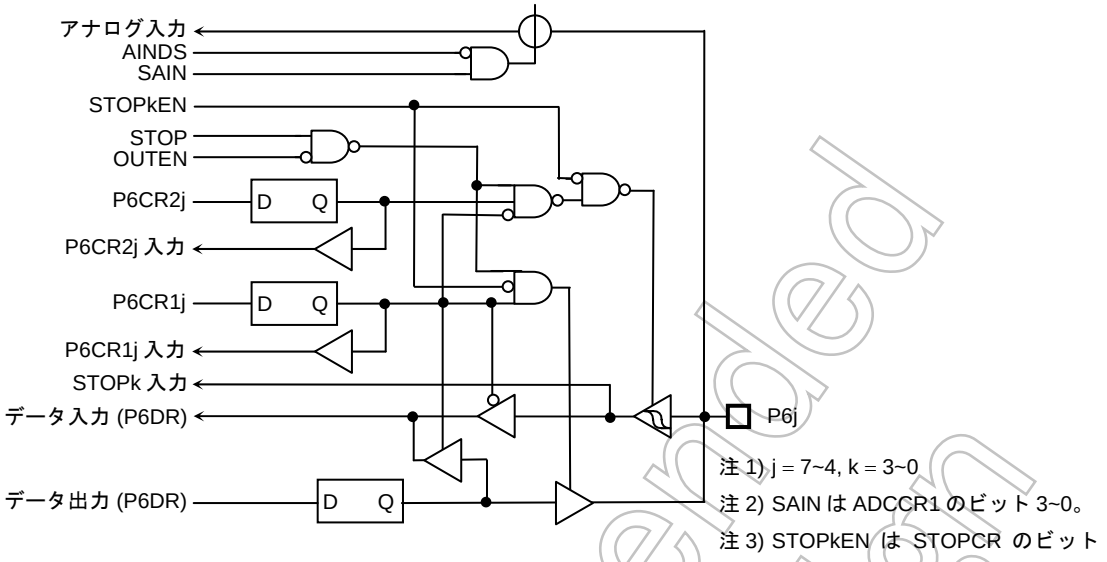


図2.2.8 P6 ポートと P6 ポート入出力制御レジスタ (P63~P60)

Not Recommended for New Design



	7	6	5	4	3	2	1	0	
P6DR (0006_H) R/W	P67 AIN07 STOP3	P66 AIN06 STOP2	P65 AIN05 STOP1	P64 AIN04 STOP0	P63 AIN03	P62 AIN02	P61 AIN01	P60 AIN00	(初期値: 0000 0000)

P6CR1 ($000C_H$)									(初期値: 0000 0000)

P6CR1	P6 ポートの入出力制御 (ビットごとに指定)	0: 入力モード、またはアナログ入力 1: 出力モード	R/W

P6CR2 (0028_H)									(初期値: 1111 1111)

P6CR2	P6 ポートの入力 (ビットごとに指定)	0: 入力禁止 1: 入力許可	R/W

注 1) アナログ入力として使用する端子は、出力モードに設定 (P6CR1 = “1”) しないでください。

注 2) P6CR1 と P6CR2 をともに “0” にクリアすると、P6DR のリード値は常に “0” になります。

図2.2.9 P6 ポートと P6 ポート入出力制御レジスタ (P67~P64)

Not Recommended for New Design

2.2.7 P7 (P77~P70) ポート

P7 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力と兼用です。入出力の指定は、入出力制御レジスタ (P7CR1) と入力制御レジスタ (P7CR2) によって行います。

出力ポートとして使用する場合は、P7CR1 の対応するビットを “1” に設定します。

入力ポートとして使用する場合は、P7CR1 の対応するビットを “0” にクリアし、P7CR2 の対応するビットを “1” にセットします。

アナログ入力として使用する場合は、P7CR1 の対応するビットを “0” にクリアした後、P7CR2 の対応するビットを “0” にクリアします。

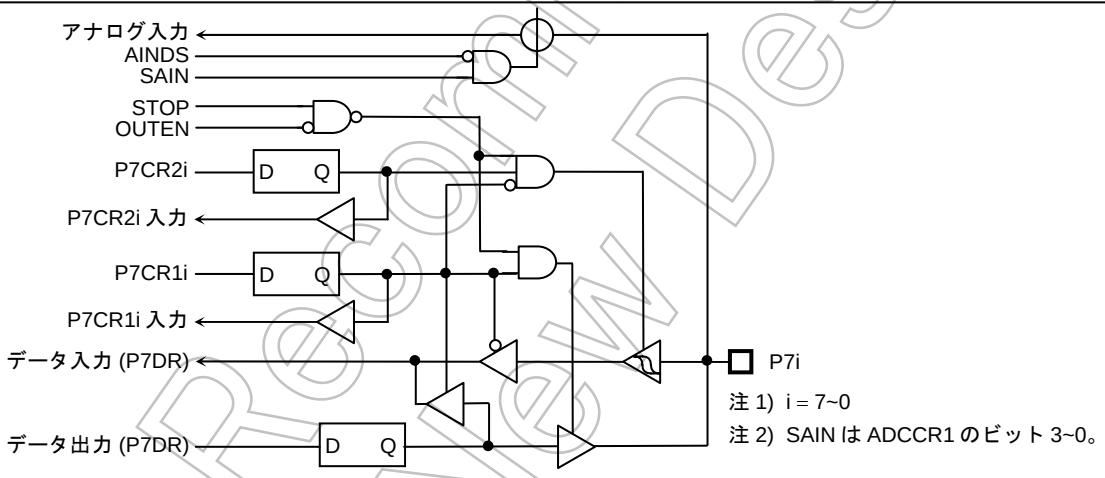
リセット時、P7CR1 と P7DR は “0” にクリアされ、P7CR2 は “1” に初期化されます。

表 2.2.3に各レジスタ設定値と端子状態を示します。

表2.2.3 各レジスタ設定値と P7 端子状態

P7CR1	P7CR2	P7DR	P7DR リード値	出力	備考
0	0	*	“0”	ハイインピーダンス	–
0	1	*	端子入力	ハイインピーダンス	入力モード
1	*	0	“0” (出力ラッチ)	Low	出力モード
1	*	1	“1” (出力ラッチ)	High	出力モード

*: Don’t care



	7	6	5	4	3	2	1	0	
P7DR (0007_H) R/W	P77 AIN17	P76 AIN16	P75 AIN15	P74 AIN14	P73 AIN13	P72 AIN12	P71 AIN11	P70 AIN10	(初期値: 0000 0000)
P7CR1 ($1FE5_H$)									(初期値: 0000 0000)

P7CR1	P7 ポートの入出力制御 (ビットごとに指定)	0: 入力モード、またはアナログ入力 1: 出力モード	R/W

P7CR2 ($1FE6_H$)									(初期値: 1111 1111)

P7CR2	P7 ポートの入力 (ビットごとに指定)	0: 入力禁止 1: 入力許可	R/W

注 1) アナログ入力として使用する端子は出力モードに設定 (P7CR1 = “1”) しないでください。

注 2) P7CR1 と P7CR2 をともに “0” にクリアすると、P7DR のリード値は常に “0” になります。

図2.2.10 P7 ポート

Not Recommended for New Design

2.2.8 P8 (P87~P80)ポート

P8 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートです。入出力の指定は、入出力制御レジスタ (P8CR) によって行います。

出力ポートとして使用する場合は、P8CR の対応するビットを “1” に設定します。

入力ポートとして使用する場合は、P8CR の対応するビットを “0” にクリアします。

リセット時、P8CR と P8DR は “0” にクリアされます。

表 2.2.4に各レジスタ設定値と端子状態を示します。

表2.2.4 各レジスタ設定値と P8 端子状態

P8CR	P8DR	P8DR リード値	出力	備考
0	*	端子入力	ハイインピーダンス	入力モード
1	0	“0” (出力ラッチ)	Low	出力モード
1	1	“1” (出力ラッチ)	High	出力モード

*: Don’t care.

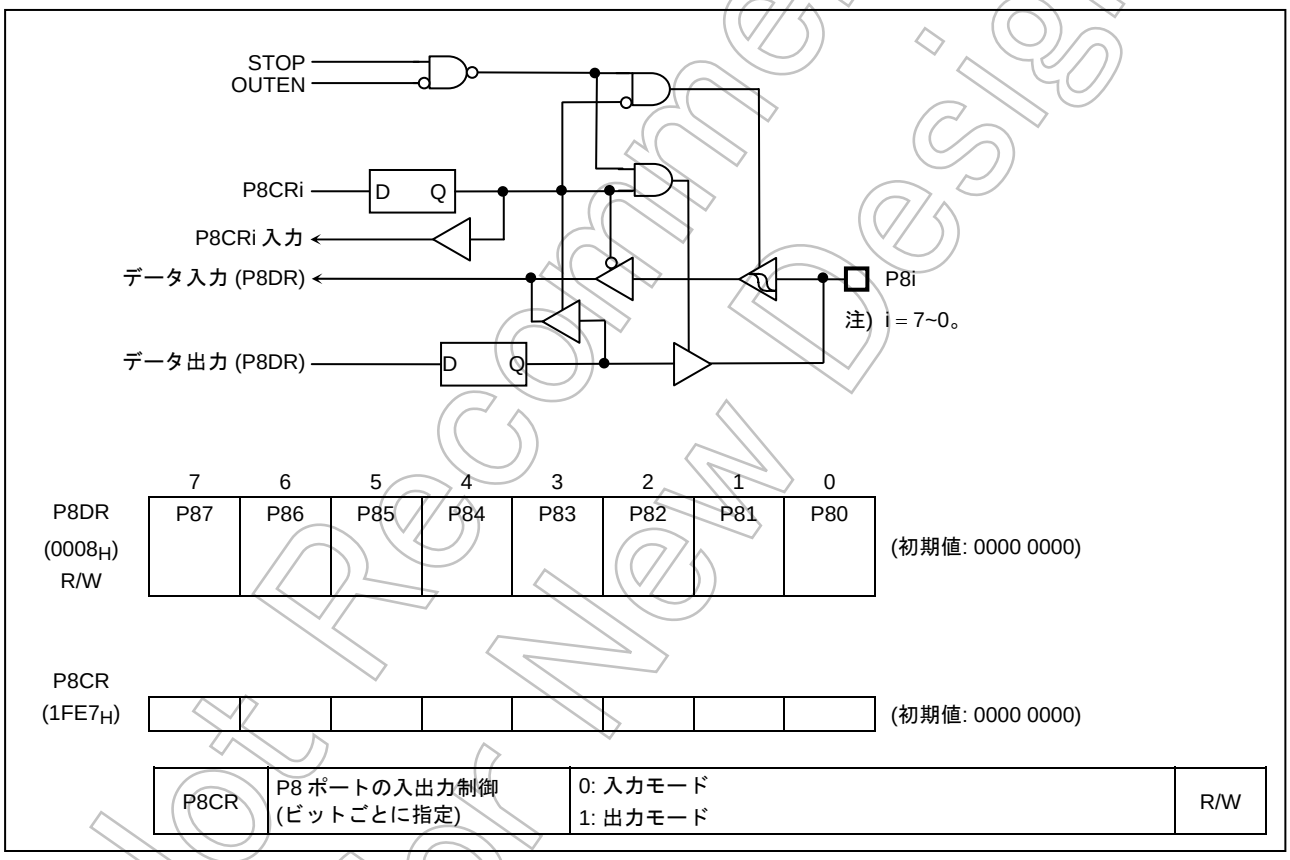


図2.2.11 P8 ポート

Not Recommended for New Design

2.3 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで、一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち下がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 2.3.1 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできます。

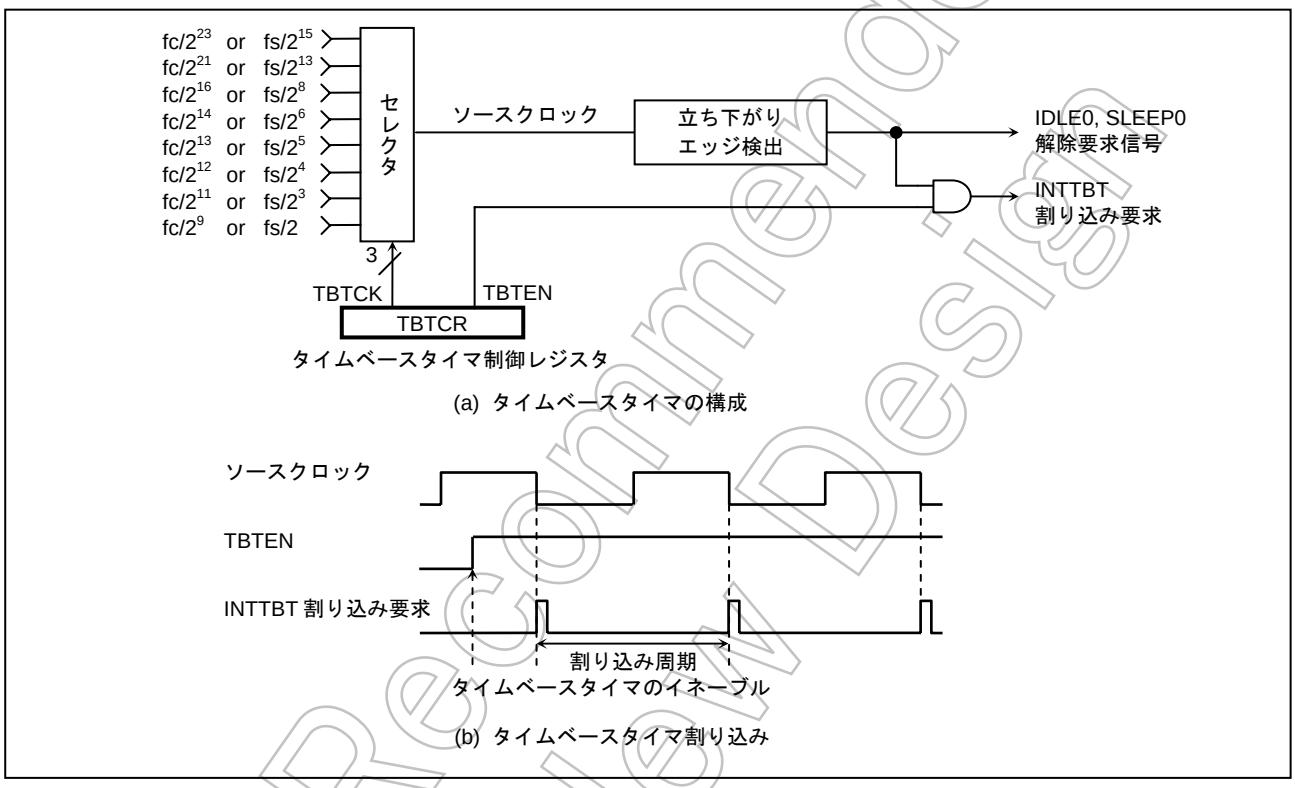


図2.3.1 タイムベースタイマ

例: タイムベースタイマ割り込み周波数を fc/2^{16} [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR) , 00000010B     ;   TBTCK ← 010
LD      (TBTCR) , 00001010B     ;   TBTEN ← 1
DI                              ;   IMF ← 0
SET     (EIRL) . 6
```

Not Recommended for New Design

TBTCR (0036H)

7	6	5	4	3	2	1	0
(DVOEN)	(DVOCK)		(DV7CK)	TBTEN	TBTCK		

(初期値: 0000 0000)

TBTEN	タイムベースタイマの許可/禁止	0: ディセーブル 1: イネーブル				R/W
TBTCK	タイムベースタイマ割り込み周波数の選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
			DV7CK = 0	DV7CK = 1		
		000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	
		001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$	
		010	$fc/2^{16}$	$fs/2^{8}$	–	
		011	$fc/2^{14}$	$fs/2^{6}$	–	
		100	$fc/2^{13}$	$fs/2^{5}$	–	
		101	$fc/2^{12}$	$fs/2^{4}$	–	
		110	$fc/2^{11}$	$fs/2^{3}$	–	
		111	$fc/2^{9}$	$fs/2$	–	

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

図2.3.2 タイムベースタイマ制御レジスタ

表2.3.1 タイムベースタイマ割り込み周波数 (例: fc = 16 MHz, fs = 32.768 kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	–
011	976.56	512	–
100	1953.13	1024	–
101	3906.25	2048	–
110	7812.5	4096	–
111	31250	16384	–

Not Recommended for New Design

2.4 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作 (暴走) やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、“リセット要求” または “ノンマスカブル割り込み要求” のいずれかにプログラムで選択することができます。ただし、選択は 1 回限りです。リセット解除時は、“リセット要求” に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によっては、ウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

2.4.1 ウォッチドッグタイマの構成

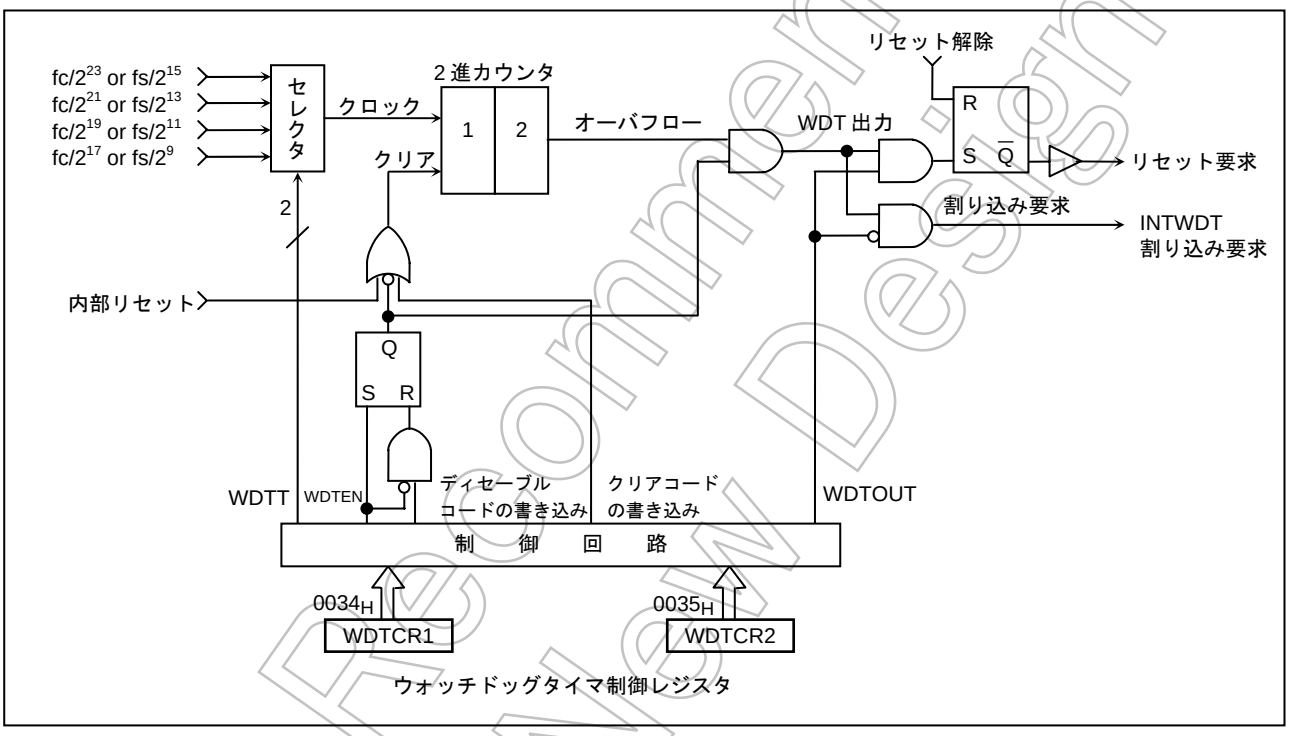


図2.4.1 ウォッチドッグタイマの構成

Not Recommended for New Design

2.4.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図 2.4.2に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

(1) ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

a. 検出時間の設定, 出力の選択および 2 進カウンタのクリア

b. 設定した検出時間以内ごとに、2 進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2 進カウンタのクリアが行われないと、2 進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” ならリセットが発生し、内蔵ハードウエアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォームアップ中を含む) または IDLE モード中、ウォッチドッグタイマは一時的にカウントアップを停止し、STOP/IDLE モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは、内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード ($4E_H$) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード ($4E_H$) を書き込むタイミングによって、最短で WDTCR1<WDTT>の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

例: ウォッチドッグタイマ検出時間を 2^{21}/fc [s] に設定し、暴走検出リセットを行う。

```
                LD    (WDTCR2), 4EH          ;  2 進カウンタのクリア
                LD    (WDTCR1), 00001101B    ;  WDTT ← 10, WDTOUT ← 1
                LD    (WDTCR2), 4EH          ;  2 進カウンタのクリア (WDTT 変更直前直
                                                 後は必ずクリアします。)
WDT 検出
時間 3/4 以内
                LD    (WDTCR2), 4EH          ;  2 進カウンタのクリア
WDT 検出
時間 3/4 以内
                LD    (WDTCR2), 4EH          ;  2 進カウンタのクリア
```

Not Recommended for New Design

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0
	–	–	(ATAS)	(ATOUT)	WDTEN	WDTT		WDTOUT

(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可				Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]		NORMAL1/2 モード		SLOW1/2 モード	
			DV7CK = 0	DV7CK = 1		
		00	2^{25}/fc	2^{17}/fs	2^{17}/fs	
		01	2^{23}/fc	2^{15}/fs	2^{15}/fs	
		10	2^{21}/fc	2^{13}/fs	2^{13}/fs	
		11	2^{19}/fc	2^{11}/fs	2^{11}/fs	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求				

注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。

注 2) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]、*: Don’t care

注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスしないでください。

注 4) STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。
また、カウンタをクリアした場合は、STOP モード解除直後に再度カウンタをクリアしてください。

注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので、直前に WDTCR2 へ “4E$_H$” を書き込み、2 進カウンタをクリアした後、WDTCR2 へ “B1$_H$” を書き込んでウォッチドッグタイマをディセーブルにしてください。また、これらの動作の直前に、割り込みマスタ許可フラグ (IMF) を “0” に設定してください。

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0

(初期値: **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4E$_H$: ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード) B1$_H$: ウォッチドッグタイマのディセーブル (ディセーブルコード) D2$_H$: アドレストラップ領域選択有効 その他: 無効	Write only

注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。

注 2) *: Don’t care

注 3) ウォッチドッグタイマの 2 進カウンタのクリアは、割り込みタスクで行わないでください。

注 4) クリアコード (4E$_H$) は、WDTCR1<WDTT>の設定時間の 3/4 以内に書き込んでください。

図2.4.2 ウォッチドッグタイマ制御レジスタ

(2) ウォッチドッグタイマのイネーブル

WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後ウォッチドッグタイマは直ちに動作します。

(3) ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルするには、割り込みマスタ許可フラグ (IMF) を “0” にし、WDTCR2 にクリアコード (4E$_H$) を書き込んだ後、WDTCR1<WDTEN> を “0” にクリアします。その後 WDTCR2 にディセーブルコード (B1$_H$) を書き込むことによりディセーブルになります。なお、逆に WDTCR2 にディセーブルコードを書き込んだ後、WDTCR1<WDTEN> を “0” にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの 2 進カウンタはクリアされています。

Not Recommended for New Design

例: ウォッチドッグタイマのディセーブル

```
DI                                  ;  IMF ← 0
LD      (WDTCR2) , 4EH              ;  2 進カウンタのクリア
LDW     (WDTCR1) , 0B101H           ;  WDTEN ← 0, WDTCR2 ← ディセーブル
                                       コード
```

表2.4.1 ウォッチドッグタイマ検出時間 (例: fc = 16 MHz 時, fs = 32.768 kHz 時)

WDTT	ウォッチドックタイマ検出時間 [s]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

2.4.3 ウォッチドッグタイマ割り込み (INTWDT)

ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中、もしくはソフトウエア割り込み中であれば、それらの処理が終了 (RETN 命令の実行終了) するまで受け付けは待たされます。

なお、スタックポインタ (SP) の設定はウォッチドッグタイマ出力 (WDTOUT) を割り込み要因に設定する前に行ってください。

例: ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 023FH                   ;  SP の設定
LD      (WDTCR1) , 00001000B        ;  WDTOUT ← 0
```

2.4.4 ウォッチドッグタイマリセット

ウォッチドッグタイマのリセット要求が発生すると、リセットが発生し内蔵ハードウエアはリセットされます。ウォッチドッグタイマリセットが発生すると、フラッシュリセットも発生します。従ってリセットの最大時間は、$24/fc + 2^{10}/fc$ [s] (65.5 μs @ fc = 16.0 MHz) です。

注) SLOW モードのときにウォッチドッグタイマリセットが発生した場合、高周波クロックの発振が直ちに開始されます。このとき高周波発振クロックの発振周波数にゆらぎがある場合、リセット時間は誤差を含むことになります。従ってリセット時間は概略値としてとらえる必要があります。

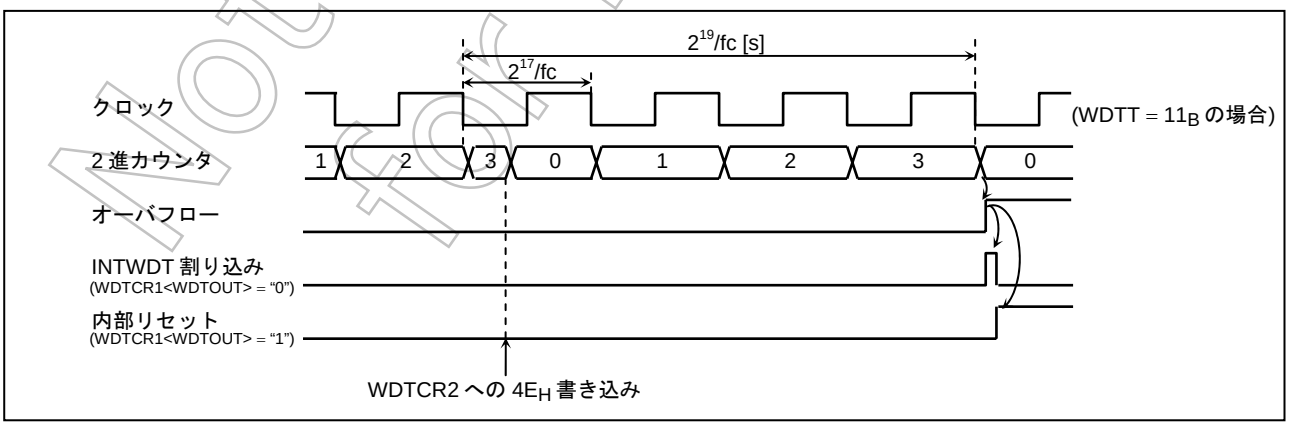


図2.4.3 ウォッチドッグタイマ割り込み/リセット

Not Recommended for New Design

2.5 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。アドレストラップの制御レジスタを図 2.5.1に示します。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1	7	6	5	4	3	2	1	0	
(0034_H)	–	–	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	(初期値: **11 1001)

ATAS	内蔵 RAM 領域のアドレストラップ選択	0: アドレストラップ発生しない 1: アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” を書き込む必要あり)	Write only
ATOUT	アドレストラップ発生時の動作選択	0: 割り込み要求 1: リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2	7	6	5	4	3	2	1	0	
(0035_H)									(初期値: **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	$D2_H$: アドレストラップ領域選択有効 (ATRAP 設定コード) $4E_H$: ウォッチドッグタイマの 2 進カウンタのクリア (WDT クリアコード) $B1_H$: ウォッチドッグタイマのディセーブル (WDT ディセーブルコード) その他: 無効	Write only

図2.5.1 ウォッチドッグタイマ制御レジスタ

(1) 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS>によってアドレストラップする/しないを選択することができます。内蔵RAM領域で命令を実行する場合、WDTCR1<ATAS>を “0” に設定します。

WDTCR1<ATAS>の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS>の設定にかかわらず無条件にアドレストラップが発生します。

(2) アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT>によって割り込み要求を発生するか、リセット要求を発生するかを選択することができます。

Not Recommended for New Design

2.6 デバイダ出力 ($\overline{DVO}$)

タイミングジェネレータのデバイダによって、デューティ約 50%のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、P51（$\overline{DVO}$）端子から出力されます。なお、P51 ポートは出力ラッチを “1” にセットします。

注) デバイダ出力周波数の選択は、デバイダ出力が禁止の状態で行ってください (許可状態から禁止状態にする際も、デバイダ出力周波数の設定を変更しないでください)。

TBTCR (0036H)	7	6	5	4	3	2	1	0
	DVOEN	DVOCK		(DV7CK)	(TBTEN)	(TBTCK)		

(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: 出力禁止 1: 出力許可				R/W
DVOCK	デバイダ出力 ($\overline{DVO}$ 端子) の周波数選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード	
			DV7CK = 0	DV7CK = 1		
		00	$fc/2^{13}$	$fs/2^{5}$	$fs/2^{5}$	
		01	$fc/2^{12}$	$fs/2^{4}$	$fs/2^{4}$	
		10	$fc/2^{11}$	$fs/2^{3}$	$fs/2^{3}$	
		11	$fc/2^{10}$	$fs/2^{2}$	$fs/2^{2}$	

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

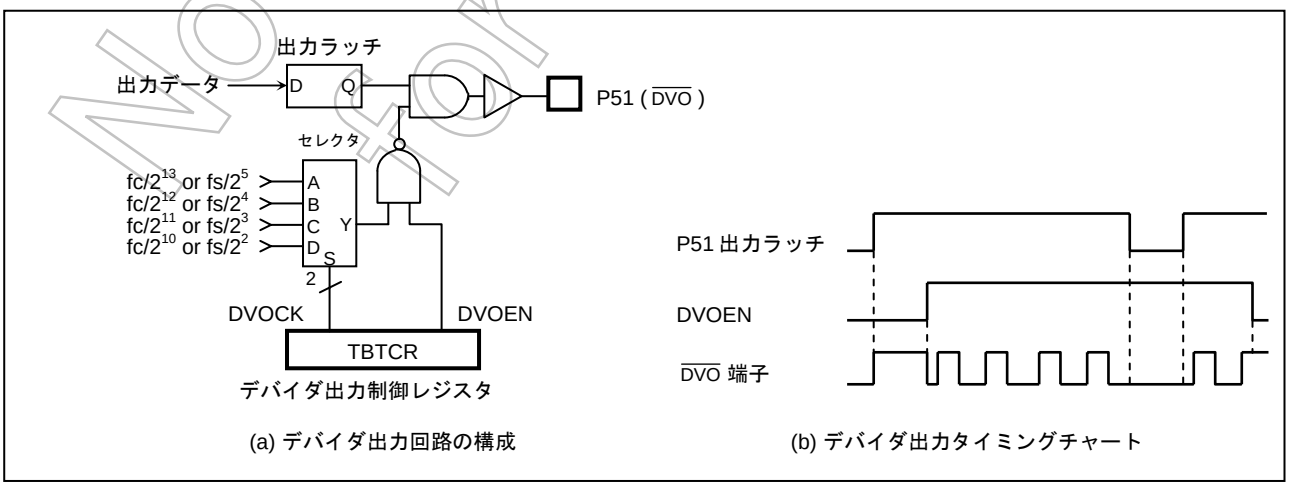
図2.6.1 デバイダ出力制御レジスタ

例: 1.95 kHz のパルスを出力 (fc = 16.0 MHz)。

```
SET   (P5DR).1          ;  P51 出力ラッチ ← “1”
LD    (TBTCR), 00000000B ;  DVOCK ← “00”
LD    (TBTCR), 10000000B ;  DVOEN ← “1”
```

表2.6.1 デバイダ出力の周波数 (例: fc = 16.0 MHz, fs = 32.768 kHz)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k



(a) デバイダ出力回路の構成 (b) デバイダ出力タイミングチャート

図2.6.2 デバイダ出力

Not Recommended for New Design

2.7 16 ビットタイマカウンタ 1

2.7.1 構成

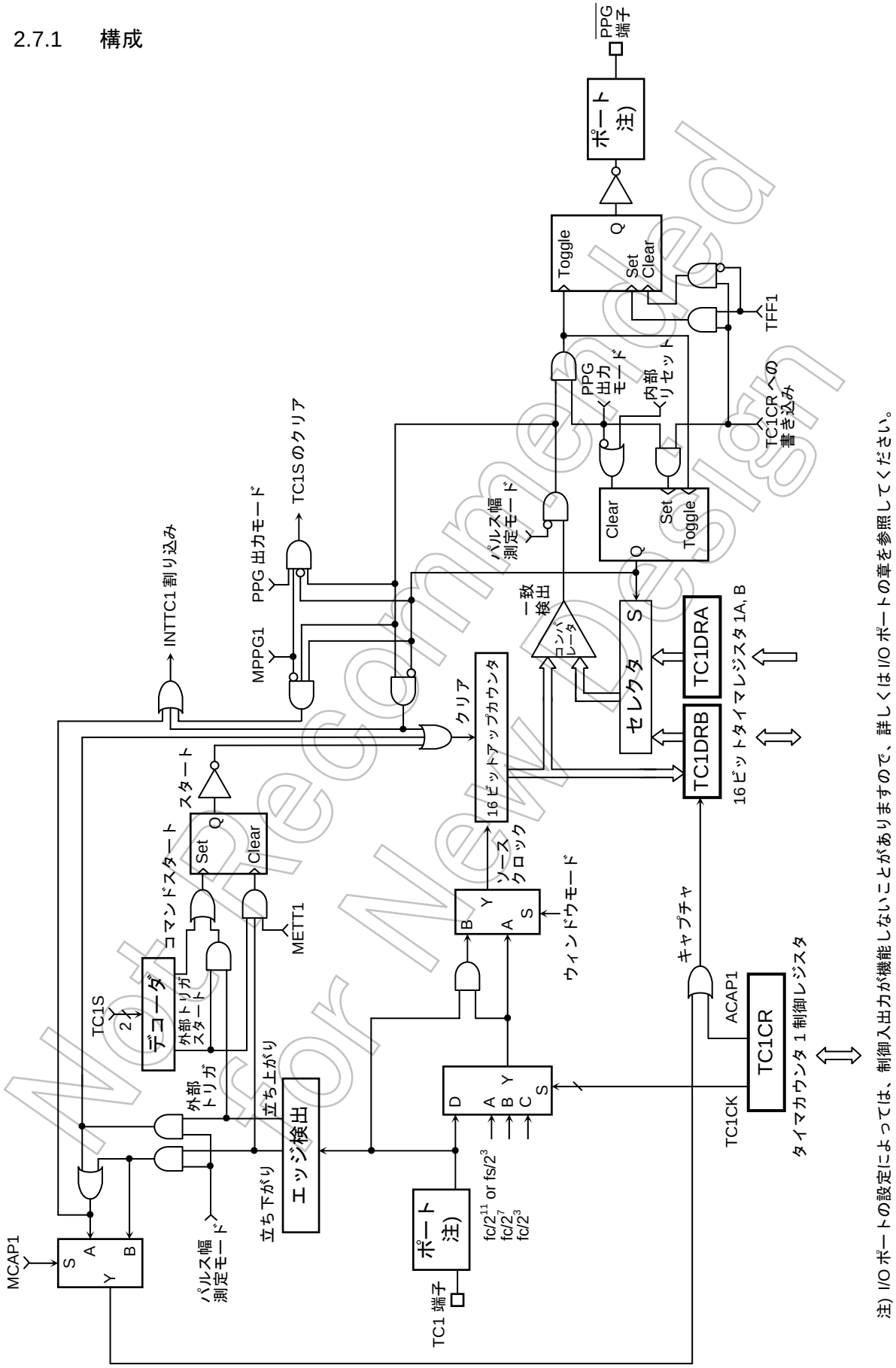


図2.7.1 タイマカウンタ 1 (TC1)

Not Recommended for New Design

2.7.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC1DRA (0021, 0020H) R/W	TC1DRAH (0021H)								TC1DRAL (0020H)							
									(初期値: 1111 1111 1111 1111)							
TC1DRB (0023, 0022H) R/W	TC1DRBH (0023H)								TC1DRBL (0022H)							
									(初期値: 1111 1111 1111 1111)							

注) TC1DRB は PPG 出力モードのみ書き込み可能です。

タイマカウンタ 1 制御レジスタ

	7	6	5	4	3	2	1	0	
TC1CR (001FH)	TFF1	ACAP1 MCAP1 METT1 MPPG1	TC1S		TC1CK		TC1M		(初期値: 0000 0000)

TC1M	タイマカウンタ 1 の動作モードの選択	00: タイマ/外部トリガタイマ/イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード								R/W
TC1CK	タイマカウンタ 1 のソースクロックの選択 単位: [Hz]		NORMAL 1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード					
			DV7CK="0"	DV7CK="1"						
		00	$fc/2^{11}$	$fs/2^{3}$	$fs/2^{3}$					
		01	$fc/2^{7}$	$fc/2^{7}$	―					
		10	$fc/2^{3}$	$fc/2^{3}$	―					
		11	外部クロック (TC1 外部入力)							
TC1S	タイマカウンタ 1 のスタート制御		タイマ	外部	イベント	ウィンド	パルス	PPG		
		00: ストップ&カウンタクリア	○	○	○	○	○	○		
		01: コマンドスタート	○	×	×	×	×	○		
		10: 外部トリガ立ち上がりエッジスタート	×	○	○	○	○	○		
		11: 外部トリガ立ち下がりエッジスタート	×	○	○	○	○	○		
ACAP1	自動キャプチャ制御	0: 自動キャプチャディセーブル 1: 自動キャプチャイネーブル								
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ 1: 片エッジキャプチャ								
METT1	外部トリガタイマモード制御	0: トリガスタート 1: トリガスタート&ストップ								
MPPG1	PPG 出力制御	0: 連続 1: 単発								
TFF1	タイマ F/F1 制御	0: クリア 1: セット								

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

注 3) モード, ソースクロック、PPG 出力制御, タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。

注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。

注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。

TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)

注 6) PPG 出力モード以外は、TFF1 = 0 としてください。

注 7) TC1DRB は、PPG 出力モードに設定後でなければ書き込みできません。

注 8) ストップモードを起動するとスタート制御 (TC1S) は自動的に “00” にクリアされ、タイマは停止します。ストップモード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。

注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値(TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイ

Not Recommended for New Design

ネーブル状態で行ってください。

注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

図 2.7.2 タイマカウンタ 1 のタイマレジスタと制御レジスタ

2.7.3 機能

タイマカウンタ 1 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

(1) タイマモード

タイマモードは、内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ 1A (TC1DRA) 設定値との一致で INTTC1 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。なお、ACAP1 (TC1CR のビット 6) を “1” にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値(TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 2.7.1 タイマカウンタ 1 の内部クロックソース (例: fc = 16 MHz, fs = 32.768 kHz 時)

TC1CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定時間 [s]
	分解能 [μs]	最大設定時間 [s]	分解能 [μs]	最大設定時間 [s]		
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	–	–
10	0.5	32.77 m	0.5	32.77 m	–	–

例 1: ソースクロック $fc/2^{11}$ [Hz] でタイマモードにセットし、1 s 後に割り込みを発生させる (fc = 16 MHz, DV7CK = “0” 時)。

```
LDW     (TC1DRA), 1E84H      ;  タイマレジスタの設定
                                (1 s ÷ (2^11/fc) = 1E84H)
DI                           ;  IMF = “0”
SET     (EIRL). 5            ;  INTTC1 割り込みを許可
EI                           ;  IMF = “1”
LD      (TC1CR), 00000000B   ;  TFF1 ← “0”, TC1CK ← “00”, TC1M ← “00”
LD      (TC1CR), 00010000B   ;  TC1 スタート
```

例 2: 自動キャプチャ

```
LD      (TC1CR), 01010000B   ;  ACAP1 ← “1”
LD      WA, (TC1DRB)         ;  キャプチャ値の読み出し
```

注 1) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design

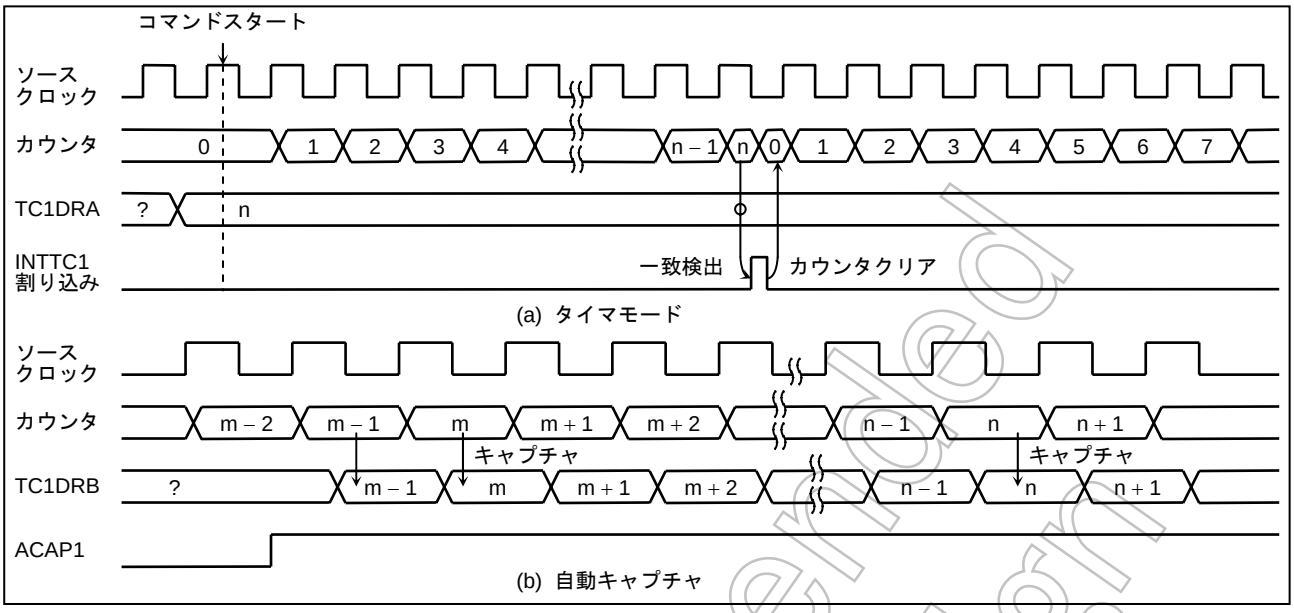


図2.7.3 タイマモードタイミングチャート

Not Recommended for New Design

(2) 外部トリガタイマモード

外部トリガタイマモードは、TC1 端子入力をトリガにしてカウントをスタートするタイマモードです。立ち上がり/立ち下がりのエッジは TC1S の設定で行います。ソースクロックは内部クロックです。カウンタ値と TC1DRA 設定値の一致で INTTC1 割り込み発生し、カウンタはクリアされて停止します。TC1 端子入力のエッジによりカウントアップは再開します。

TC1CR<METT1> が “1” の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅を持ったパルス入力で割り込みを発生させることができます。TC1CR<METT1> が “0” の場合は、逆方向のエッジ入力と、一致検出前の TC1 端子入力のエッジが無視されます。

TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 4/fc [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、12/fc [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

例 1: TC1 端子入力の立ち上がりエッジから 100 μs 後に割り込みを発生させる (fc = 16 MHz, DV7CK = “0” 時)。

```
DI                                  ;   IMF = “0”
LDW     (TC1DRA), 00C8H             ;   100 μs ÷ 2^3/fc = C8H
SET     (EIRL).5                    ;   INTTC1 割り込み許可
EI                                  ;   IMF = “1”
LD      (TC1CR), 00001000B          ;   TFF1 = “0”, TC1CK = “10”, TC1M = “00”
LD      (TC1CR), 00101000B          ;   TC1 外部トリガスタート, METT1 = “0”
```

例 2: TC1 端子に“L”レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる (fc = 16 MHz 時)。

```
DI                                      IMF = “0”
LDW     (TC1DRA), 1F40H             ;   4 ms ÷ 2^3/fc = 1F40H
SET     (EIRL).5                    ;   INTTC1 割り込み許可
EI                                      IMF = “1”
LD      (TC1CR), 01001000B          ;   TFF1 = “0”, TC1CK = “10”, TC1M = “00”
LD      (TC1CR), 01111000B          ;   TC1 外部トリガスタート, METT1 = “1”
```

Not Recommended for New Design

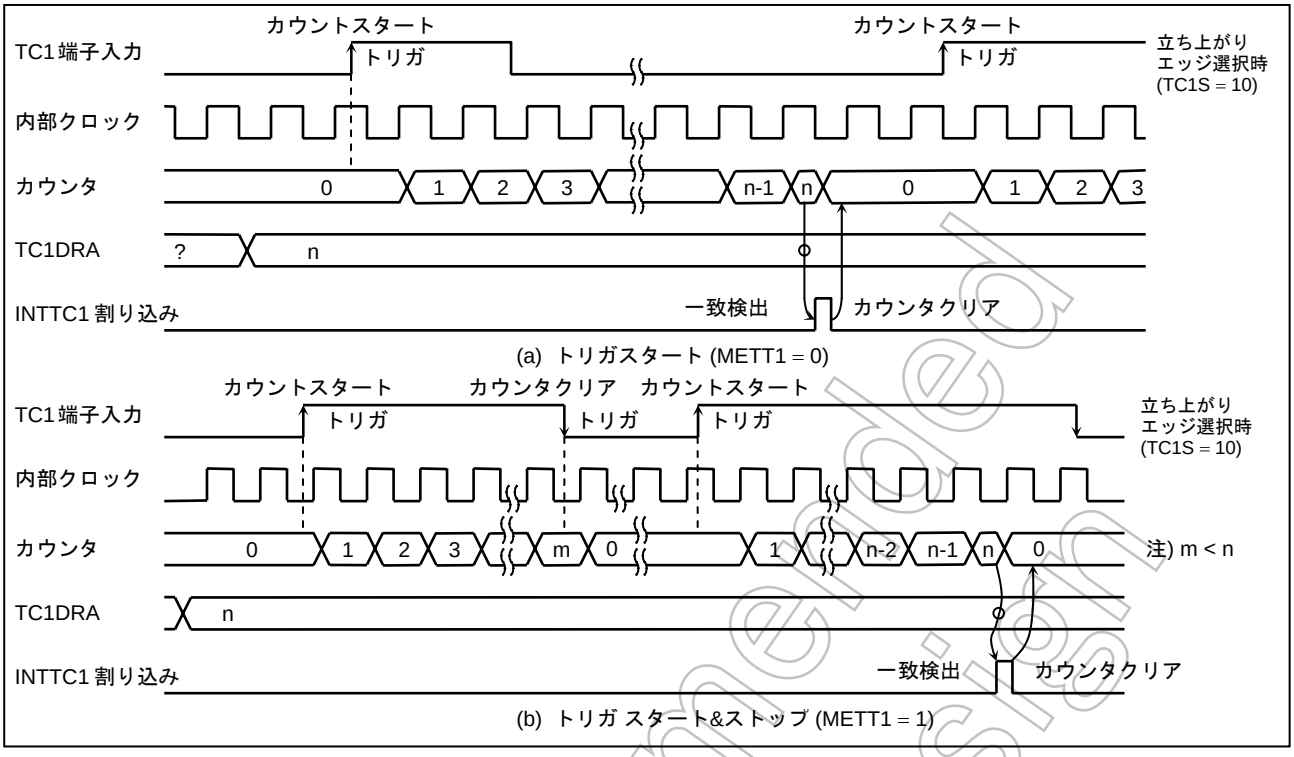


図2.7.4 外部トリガタイマモード タイミングチャート

(3) イベントカウンタモード

イベントカウンタモードは、TC1 端子入力のエッジ(立ち上がり/立ち下がりのエッジ選択は外部トリガのエッジ選択 TC1CR<TC1S>で行います。)でカウントアップするモードです。カウンタ値と TC1DRA 設定値との一致で INTTC1 割り込み発生し、カウンタはクリアされます。カウンタクリア後も TC1 端子入力のエッジごとにカウントアップします。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、必ず入力してください。TC1 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクル以上必要です。

TC1CR<ACAP1>を “1” にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます(自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値(TC1DRB レジスタ値)は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

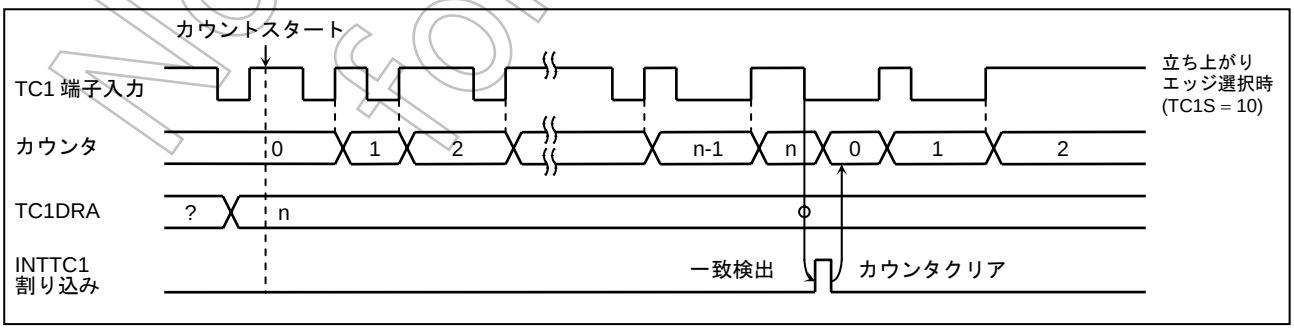


図2.7.5 イベントカウンタモードタイミングチャート

Not Recommended for New Design

表2.7.2 タイマカウンタ 1 の外部クロックソース

	最小入力パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	2^3/fc	2^3/fs
“L” 幅	2^3/fc	2^3/fs

(4) ウィンドウモード

ウィンドウモードは、TC1 端子入力（ウィンドウパルス）と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップするモードです。カウンタ値と TC1DRA 設定値との一致で INTTC1 割り込み発生し、カウンタはクリアされます。TC1 端子入力は、正論理/負論理の選択ができます (外部トリガのエッジ選択 TC1CR<TC1S>で行います)。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要がありますので、設定した内部ソースクロックより十分に遅い周波数のパルスを入力してください。

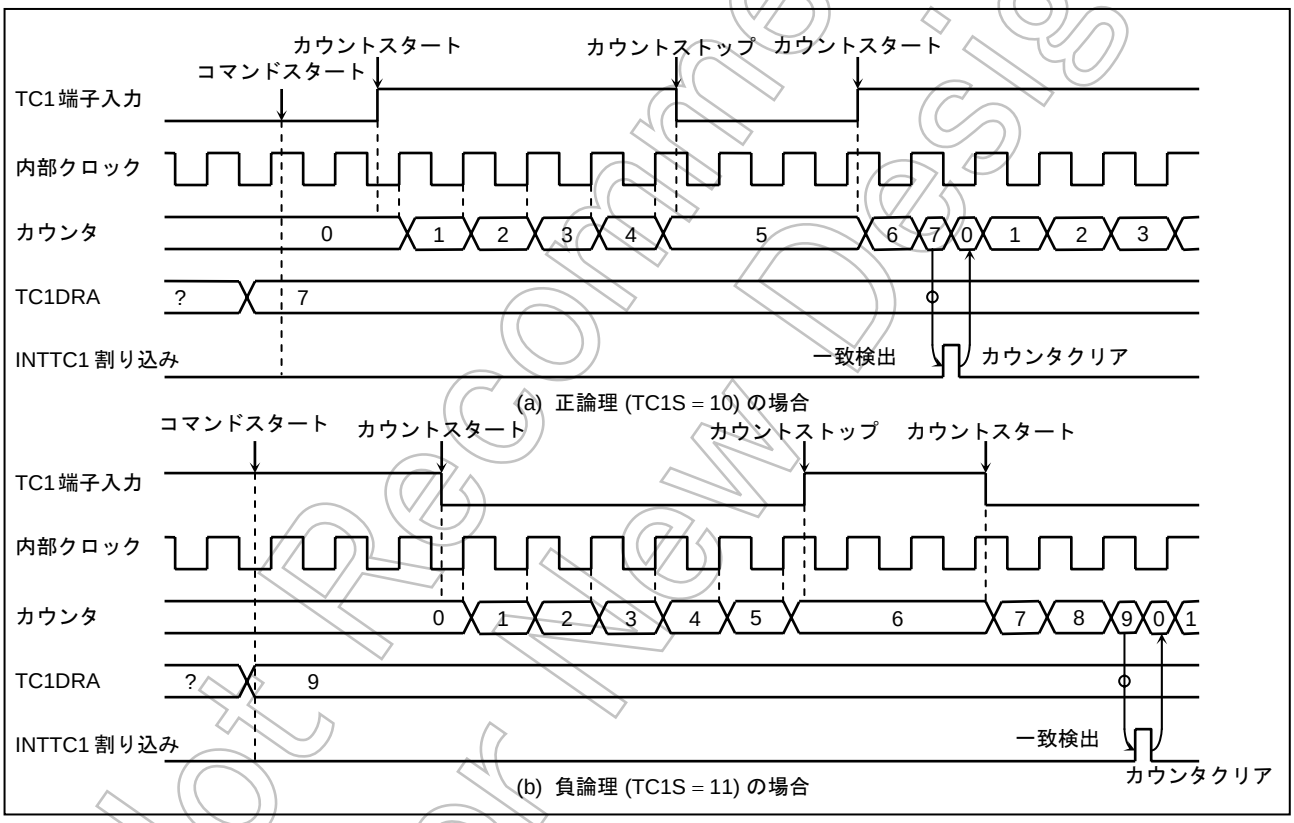


図2.7.6 ウィンドウモードタイミングチャート

Not Recommended for New Design

(5) パルス幅測定モード

パルス幅測定モードは、TC1 端子入力の立ち上がり/立ち下がりエッジをトリガにしてカウントするモードです(TC1CR<TC1S>で外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり/立ち上がりエッジでカウンタの内容を TC1DRB に取り込み、割り込みを発生します。片エッジキャプチャ(TC1CR<MCAP1>= “1”)に設定した場合は、カウンタはクリアされます。両エッジキャプチャ(TC1CR<MCAP1>= “0”) に設定した場合はカウントは継続し、次の立ち上がり/立ち下がりエッジで再びカウンタの内容を TC1DRB に取り込みます。なお、立ち下がり/立ち上がりエッジでのキャプチャ値が必要な場合は、立ち上がり/立ち下がりエッジが検出されるまでに TC1DRB の内容を読み出す必要があります。立ち上がり/立ち下がりエッジの選択は外部トリガエッジ選択 TC1CR<TC1S> で行い、片エッジ/両エッジキャプチャの選択は TC1CR<MCAP1> で行います。

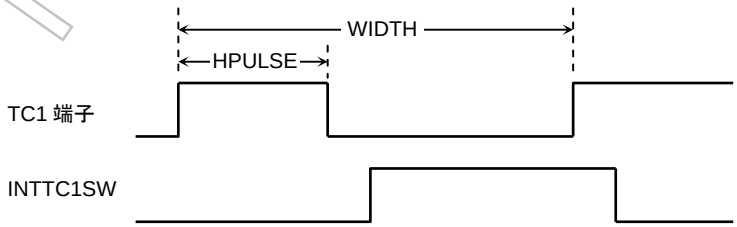
注 1) キャプチャ値は、次のトリガエッジが検出されるまでに TC1DRB から必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このとき TC1DRB は、16 ビットアクセス命令による読み出しを推奨します。

注 2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで “1” で停止するため、2 回目のキャプチャ値は、スタート直後のキャプチャ値よりも “1” 大きくなります。

注 3) パルス幅測定モードにおいて、タイマスタート後の最初のキャプチャ値は不定となります。タイマスタート後の 1 回目のキャプチャ値は読み捨ててください。

例: デューティの測定 (分解能 fc/2^7 [Hz])。

```
                CLR     (INTTC1SW). 0          ;  INTTC1 のサービススイッチの初期設定
                LD      (TC1CR), 00000110B     ;  TC1 のモード, ソースクロックを設定
                DI                             ;  IMF = “0”
                SET     (EIRL). 5              ;  INTTC1 割り込みを許可。
                EI                             ;  IMF = “1”
                LD      (TC1CR), 00100110B     ;  MCAP1 = 0 で TC1 を外部トリガスタート
                :
PINTTC1:        CPL     (INTTC1SW). 0          ;  INTTC1 のサービススイッチの反転
                JRS     F, SINTTC1
                LD      A, (TC1DRBL)           ;  TC1DRB の読み出し (“H” レベルパルス幅)
                LD      W, (TC1DRBH)
                RETI
SINTTC1:        LD      L, (TC1DRBL)           ;  TC1DRB の読み出し (周期)
                LD      H, (TC1DRBH)
                :                              ;  デューティ計算
                RETI
                :
VINTTC1:        DW      PINTTC1
```



Not Recommended for New Design

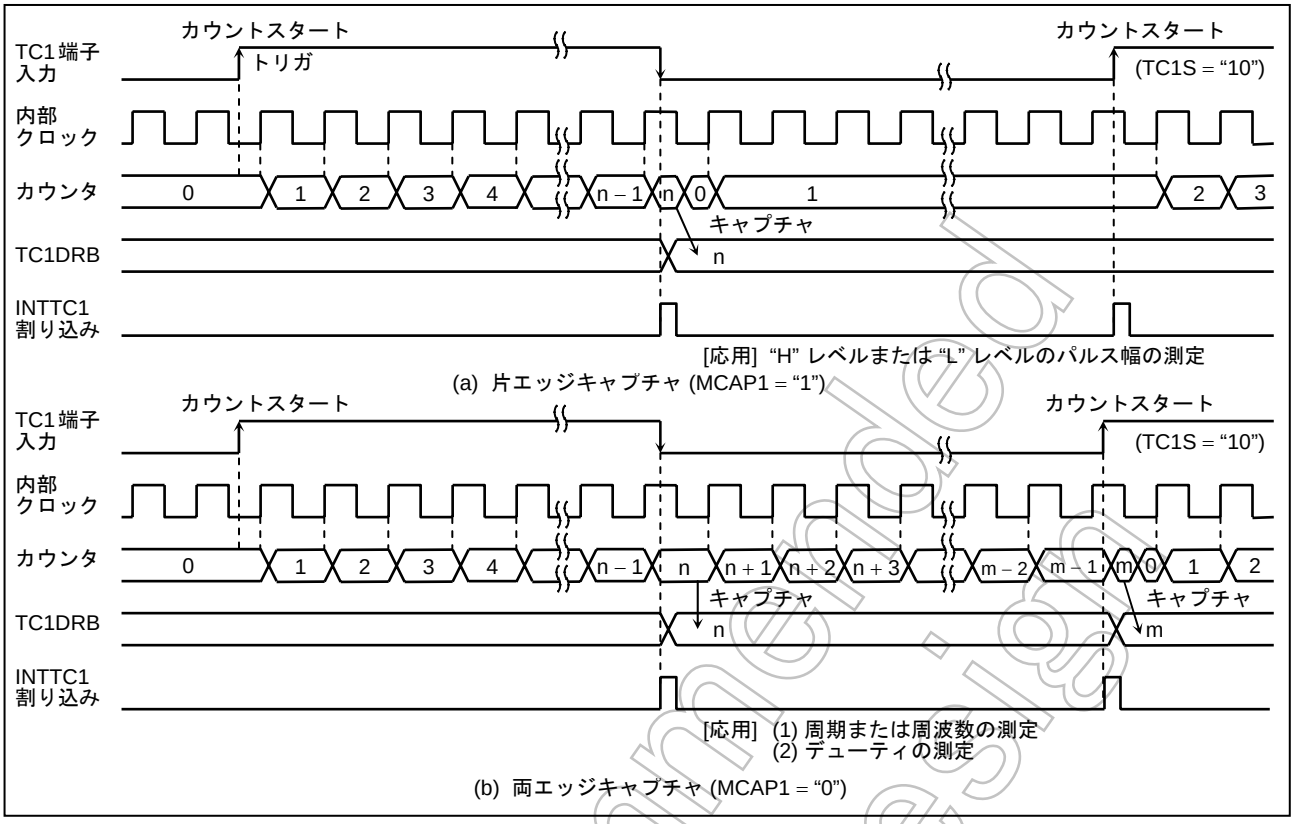


図2.7.7 パルス幅測定モード

Not Recommended for New Design

(6) プログラマブルパルスジェネレート (PPG) 出力モード

PPG 出力モードは、2 つのタイマレジスタによって任意のデューティパルスを出力するモードです。

TC1 端子入力のエッジ (立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、外部トリガエッジ選択 (TC1CR<TC1S>) エッジ選択と共通)、またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。タイマスタート後、カウンタと TC1DRB の一致でタイマ F/F1 が反転し、INTTC1 割り込みが発生します。その後もカウントアップを継続し、カウンタと TC1DRA の一致でタイマ F/F1 が反転し、INTTC1 割り込みが発生します。このとき TC1CR<MPPG1>が "1" (単発) に設定されていると、TC1S は自動的に "00" にクリアされ、タイマは停止します。TC1CR<MPPG1>が "0" (連続) に設定されていると、カウンタはクリアされ、カウント動作および PPG 出力を継続します。なお、PPG 出力中に TC1S を "00" に設定 (単発による自動停止を含む) すると、P50 ($\overline{PPG}$) 端子は停止直前のレベルを保持します。PPG 出力を行う場合、P50 ポートの出力ラッチを "1" にセットします。タイマ F/F1 は、リセット時 "0" にクリアされます。また、TC1CR<TFF1> でスタート時の出力レベルを設定することができますので、正論理/負論理いずれのパルスも出力可能です。P50 ($\overline{PPG}$) 端子は、タイマ F/F1 出力の反転レベルが出力されます。なお、TC1DRB は、PPG 出力モードに設定されていないと書き込みできません。

注 1) タイマ動作中にタイマレジスタを変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1>はタイマ動作中に変更しないでください。
TC1CR<TFF1>は、初期設定時 (リセット後) のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1>は正しく設定することができなくなります (このとき TC1CR<TFF1>を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M>を一度タイマモードに変更し (タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1>を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。

TC1DRA > TC1DRB

例: "H"レベル 800 μs, "L"レベル 200 μs のパルスを出力 (fc = 16 MHz 時)。

```
SET   (P5DR).0              ;  P50 出力ラッチ ← 1
LD    (TC1CR), 10001011B    ;  PPG 出力モードに設定
LDW   (TC1DRA), 07D0H       ;  周期の設定 (1 ms ÷ 2^3/fc μs = 07D0H)
LDW   (TC1DRB), 0190H       ;  "L"レベルパルス幅の設定
                               (200 μs ÷ 2^3/fc = 0190H)
LD    (TC1CR), 10011011B    ;  スタート
```

Not Recommended for New Design

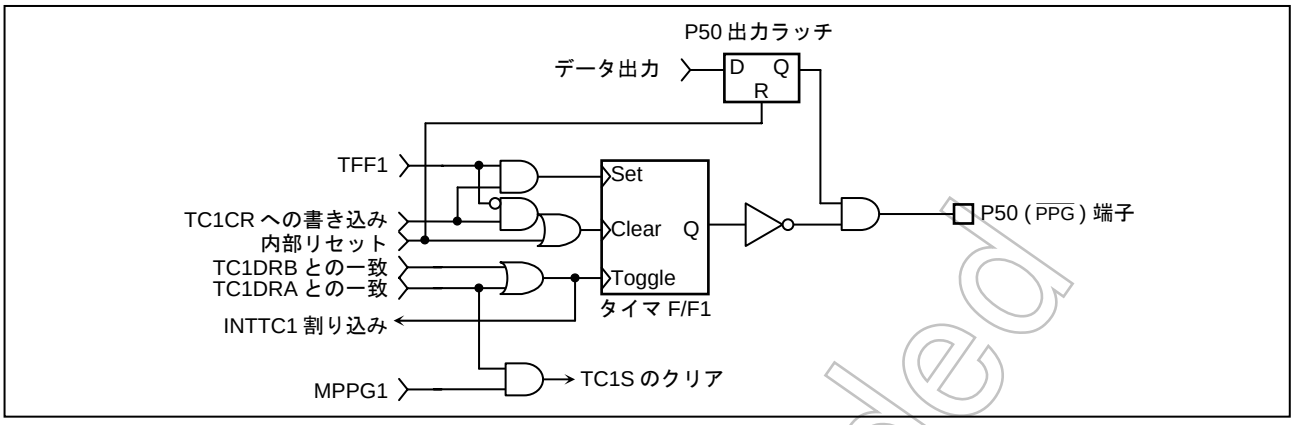


図2.7.8 $\overline{\text{PPG}}$ 出力

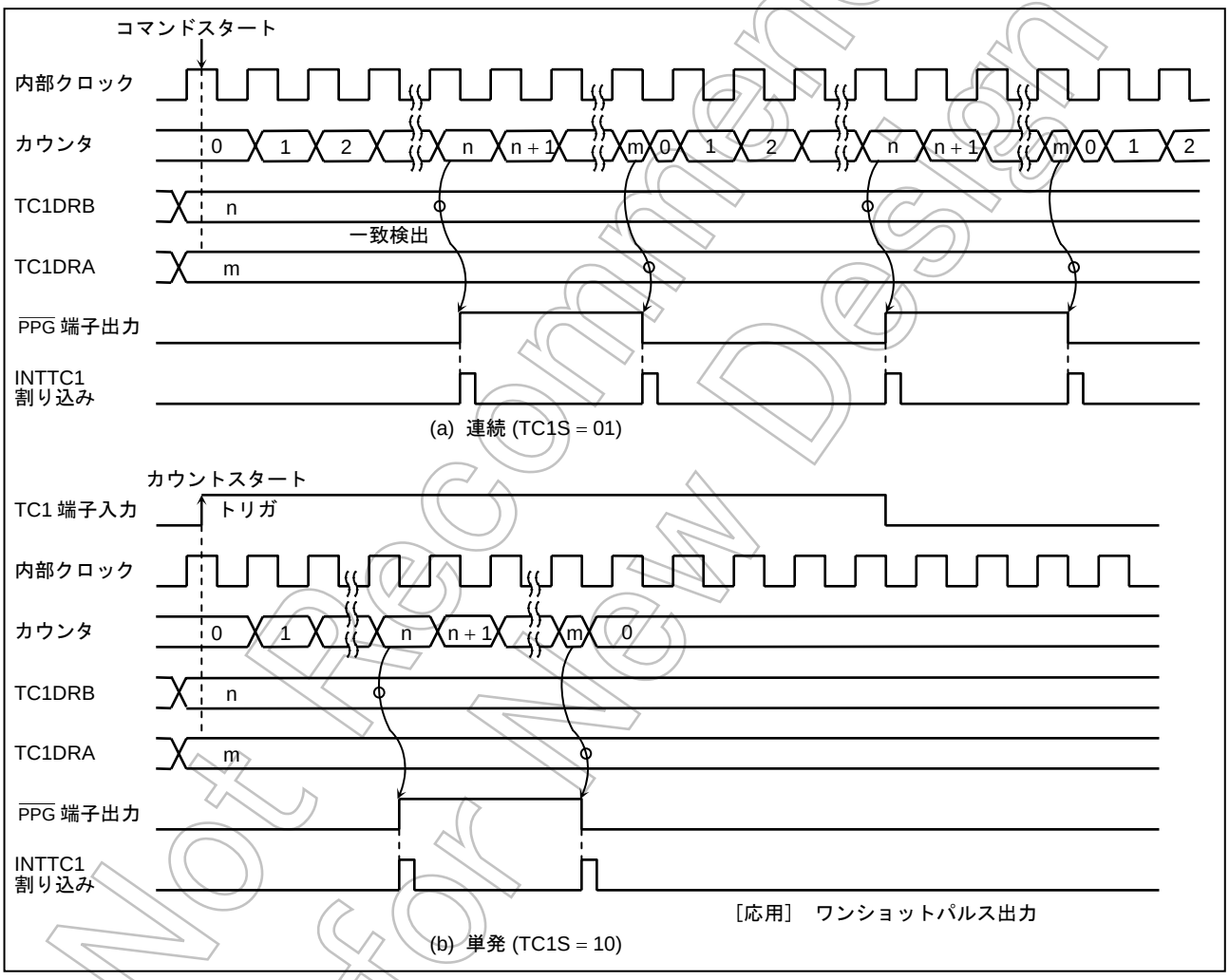
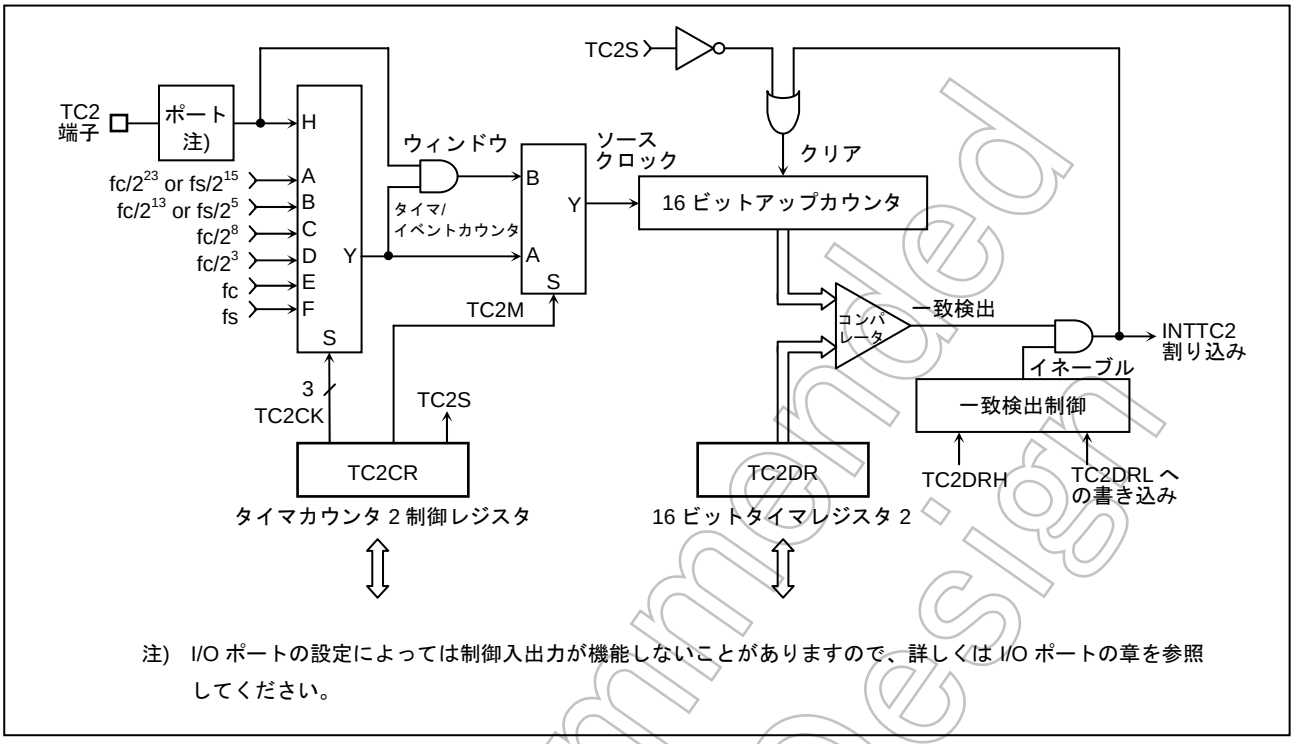


図2.7.9 PPG 出力モードタイミングチャート

Not Recommended for New Design

2.8 16 ビットタイマカウンタ 2

2.8.1 構成



注) I/O ポートの設定によっては制御入出力が機能しないことがありますので、詳しくは I/O ポートの章を参照してください。

図2.8.1 タイマカウンタ 2 (TC2)

Not Recommended for New Design

2.8.2 制御

タイマカウンタ 2 は、タイマカウンタ 2 制御レジスタ (TC2CR) と 16 ビットのタイマレジスタ 2 (TC2DR) で制御されます。

TC2DR (0025, 0024H) R/W	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC2DRH (0025H)								TC2DRL (0024H)							

TC2CR (0013H)	7	6	5	4	3	2	1	0
			TC2S	TC2CK				TC2M

(初期値: **00 00*0)

TC2M	タイマカウンタ 2 の動作モードの選択	0: タイマ/イベントカウンタモード 1: ウィンドウモード				R/W
TC2CK	タイマカウンタ 2 のソースクロックの選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2 モード	SLEEP1/2 モード
			DV7CK=0	DV7CK=1		
		000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	$fs/2^{15}$
		001	$fc/2^{13}$	$fs/2^{5}$	$fs/2^{5}$	$fs/2^{5}$
		010	$fc/2^{8}$	$fc/2^{8}$	–	–
		011	$fc/2^{3}$	$fc/2^{3}$	–	–
		100	–	–	fc(注 7)	–
		101	fs	–	–	–
		110	Reserved			
		111	外部クロック (TC2 端子入力)			
TC2S	タイマカウンタ 2 のスタート制御	0: ストップ & カウンタクリア 1: スタート				

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

注 2) タイマレジスタ 2 (TC2DR) への書き込みは必ず下位側 (TC2DRL)、上位側 (TC2DRH) の順に行ってください。下位側または上位側のみの書き込みでは、設定値は反映されません。

注 3) タイマレジスタ 2 (TC2DR) の下位側 (TC2DRL) にデータを書き込むと、上位側 (TC2DR) にデータが書き込まれるまでの間、前回の設定値で一致検出を行います。

注 4) モード, ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。

$TC2DR > 1$ (ウォームアップのときは $TC2DR_{15}$~$TC2DR_{11} > 1$)

注 6) TC2CR にリード命令を実行すると、ビット 1, 6, 7 は不定値が読み込まれます。

注 7) ソースクロックの fc は、SLOW2 モード時のタイマモードのみ使用することができます。

注 8) STOP モードを起動すると、TC2S は自動的に "0" にクリアされ、タイマは停止します。従って STOP モード解除後、タイマカウンタ 2 を使用する場合は、TC2S を再設定してください。

図2.8.2 タイマカウンタ 2 のタイマレジスタと制御レジスタ

Not Recommended for New Design

2.8.3 機能

タイマカウンタ 2 には、タイマ、イベントカウンタとウィンドウの 3 つの動作モードがあります。

(1) タイマモード

タイマモードは、内部ソースクロックでカウントアップするモードです。カウンタ値とタイマレジスタ 2 (TC2DR) 設定値との一致で INTTC2 割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOW2 モードのとき、ソースクロックとして fc が選択された場合、TC2DR の下位 11 ビットは比較対象にはならず、上位 5 ビットのみの一致で割り込みが発生します。従ってこの場合、TC2DRH の設定は必要ですが、TC2DRL の設定は不要です。

表2.8.1 タイマカウンタ 2 の内部ソースクロック (例: fc = 16 MHz 時)

TC2CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2 モード		SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能	最大設定時間	分解能	最大設定時間
	分解能	最大設定時間	分解能	最大設定時間				
000	524.29m	9.54 h	1.00 s	18.20 h	1.00 s	18.20 h	1.00 s	18.20 h
001	512.00 μ	33.55 s	0.98 ms	1.07 min	0.98 ms	1.07 min	0.98 ms	1.07 min
010	16.00 μ	1.05 s	16.00 μ	1.05 s	–	–	–	–
011	0.50 μ	32.77 ms	0.50 μ	32.77 ms	–	–	–	–
100	–	–	–	–	62.5 n (注)	–	–	–
101	30.52 μ	2.00 s	30.52 μ	2.00 s	–	–	–	–

注) タイマモードでソースクロックとして fc を選択するときは、SLOW2 から NORMAL2 モードへのウォームアップとして使用してください。

例: ソースクロック fc/2^3 [Hz] で、タイマモードにセットし、25 ms ごとに割り込み発生させる (fc = 16 MHz 時)。

```
LDW     (TC2DR), 0C350H     ;  TC2DR の設定 (25 ms ÷ 2^3/fc = C350H)
DI                          ;  IMF = "0"
SET     (EIRE). 4           ;  INTTC2 割り込みを許可
EI                          ;  IMF = "1"
LD      (TC2CR), 00001100B  ;  TC2CK ← "011", TC2M ← "0"
LD      (TC2CR), 00101100B  ;  TC2 スタート
```

Not Recommended for New Design

(2) イベントカウンタモード

イベントカウンタモードは、TC2 端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値と TC2DR 設定値との一致で INTTC2 割り込み発生し、カウンタはクリアされます。TC2 端子への最小入力パルス幅は、表 2.8.1のとおりです。“H”, “L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。なお、一致検出は立ち下がりエッジで行われますので、立ち上がったままでは一致検出は行われず、INTTC2 割り込みは発生しません。

例: イベントカウンタモードにセットし、640 カウント後に INTTC2 割り込みを発生させる。

```
LDW     (TC2DR), 640          ;  TC2DR の設定
LD      (INTSEL), 00000001B   ;  割り込み要因の選択で INTTC2 を選択
DI                            ;  IMF = “0”
SET     (EIRE). 4             ;  INTTC2 割り込みを許可
EI                            ;  IMF = “1”
LD      (TC2CR), 00011100B    ;  TC2CK ← “111”, TC2M ← “0”
LD      (TC2CR), 00111100B    ;  TC2 スタート
```

表2.8.2 タイマカウンタ 2 の外部ソースクロック

	最小入力パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	2^3/fc	2^3/fs
“L” 幅	2^3/fc	2^3/fs

Not Recommended for New Design

(3) ウィンドウモード

ウィンドウモードは、TC2 外部端子入力 (ウィンドウパルス) が “H” レベルの間、内部クロックでカウントアップするモードです。カウンタ値と TC2DR 設定値との一致で、INTTC2 割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部ソースクロックよりも十分遅い周波数である必要があります。

注) SLOW/SLEEP モードを起動する場合、事前に TC2CR<TC2S>を “0” に設定してタイマカウンタ 2 を停止してください。

例: 120 ms 以上の “H” レベルパルスが入力されると割り込みを発生させる
(fc = 16 MHz、TBTCR<DV7CK> = “0” 時)。

```
LDW     (TC2DR), 00EAH          ;  TC2DR の設定 (120 ms ÷ 2^13/fc = 00EAH)
DI                              ;  IMF = “0”
SET     (EIRE). 4               ;  INTTC2 割り込みを許可
EI                              ;  IMF = “1”
LD      (TC2CR), 00000101B      ;  TC2CK ← “001”, TC1M ← “1”
LD      (TC2CR), 00100101B      ;  TC2 スタート
```

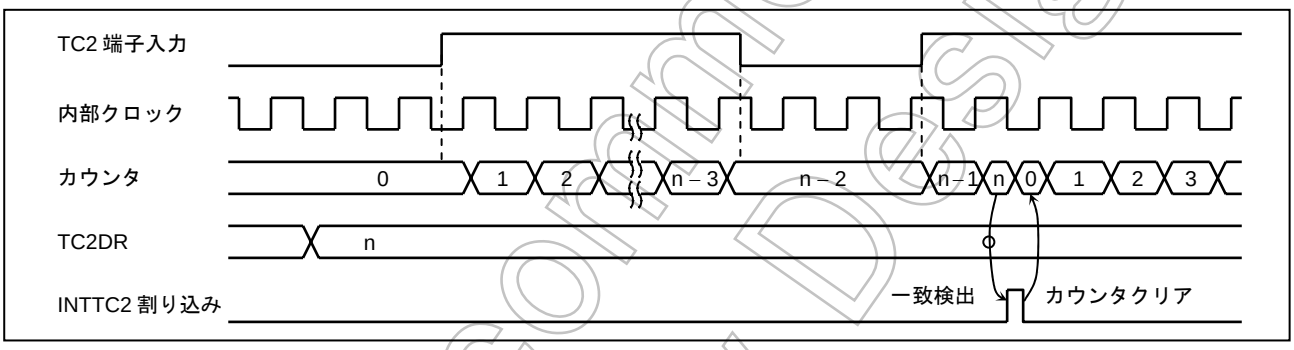
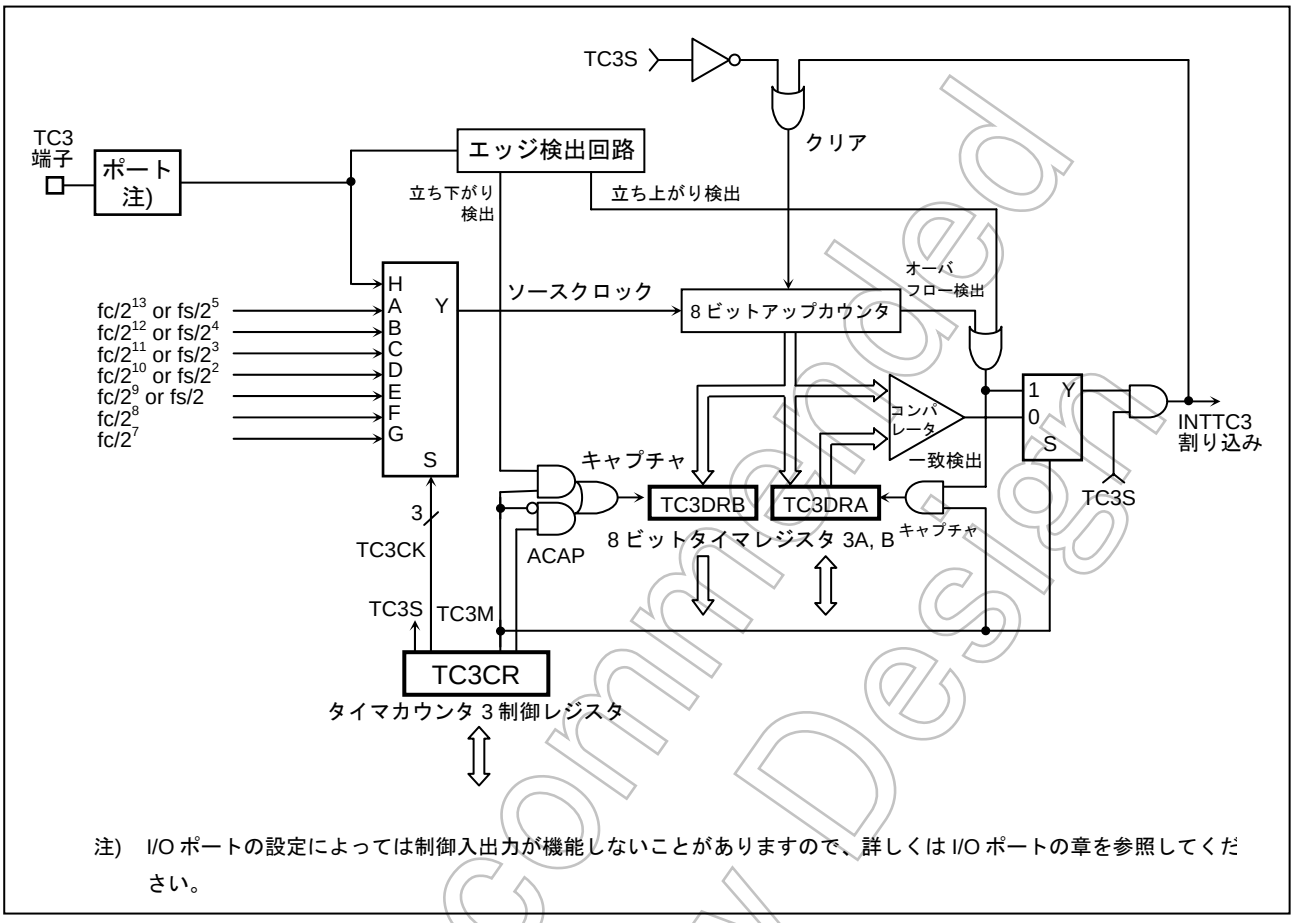


図2.8.3 ウィンドウモードタイミングチャート

Not Recommended for New Design

2.9 8 ビットタイマカウンタ 3

2.9.1 構成



注) I/O ポートの設定によっては制御入出力が機能しないことがありますので、詳しくは I/O ポートの章を参照してください。

図2.9.1 タイマカウンタ 3 (TC3)

Not Recommended for New Design

2.9.2 制御

タイマカウンタ 3 は、タイマカウンタ 3 制御レジスタ (TC3CR) と 2 本の 8 ビットタイマレジスタ (TC3DRA, TC3DRB) で制御されます。

	7	6	5	4	3	2	1	0	
TC3DRA (0010H) R/W									(初期値: 1111 1111)
TC3DRB (0011H) Read only									(初期値: 1111 1111)
TC3CR (0012H)		ACAP		TC3S	TC3CK			TC3M	(初期値: *0*0 0000)

TC3M	タイマカウンタ 3 の動作モードの選択	0: タイマ/イベントカウンタモード 1: キャプチャモード			R/W
TC3CK	タイマカウンタ 3 のソースクロックの選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード	
			DV7CK=0	DV7CK=1	
		000	$fc/2^{13}$	$fs/2^{5}$	$fs/2^{5}$
		001	$fc/2^{12}$	$fs/2^{4}$	$fs/2^{4}$
		010	$fc/2^{11}$	$fs/2^{3}$	$fs/2^{3}$
		011	$fc/2^{10}$	$fs/2^{2}$	$fs/2^{2}$
		100	$fc/2^{9}$	fs/2	fs/2
		101	$fc/2^{8}$	$fc/2^{8}$	–
		110	$fc/2^{7}$	$fc/2^{7}$	–
		111	外部クロック (TC3 端子入力)		
TC3S	タイマカウンタ 3 のスタート制御	0: ストップ&カウンタクリア 1: スタート			
ACAP	自動キャプチャ制御	0: – 1: 自動キャプチャ			

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

注 2) モード, ソースクロックは、タイマカウンタ停止 (TC3S = "0") 状態で設定してください。

注 3) タイマレジスタ 3A への設定値は、次の条件を満たす必要があります。

TC3DRA >1 (タイマ/イベントカウンタモード時)

注 4) 自動キャプチャは、タイマ/イベントカウンタモード時のみ使用可能です。

注 5) TC3CR に対しリード命令を実行すると、ビット 5, 7 は不定値が読み込まれます。

注 6) タイマ動作中 (TC3S = "1") は、TC3DRA を書き替えないでください。

注 7) ストップモードを起動すると、スタート制御 (TC3S) は自動的に "0" にクリアされ、タイマは停止します。ストップモード解除後、タイマカウンタを使用する場合は、TC3S を再設定してください。

図2.9.2 タイマカウンタ 3 のタイマレジスタと制御レジスタ

Not Recommended for New Design

2.9.3 機能

タイマカウンタ 3 には、タイマ、イベントカウンタ、キャプチャの 3 つの動作モードがあります。

(1) タイマモード

タイマモードは、内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ 3A (TC3DRA) 設定値との一致で INTTC3 割り込みが発生し、カウンタはクリアされます。

TC3CR<ACAP> を “1” にセットすると、以降カウントアップ値が継続してタイマレジスタ B (TC3DRB) に取り込まれ続けます (自動キャプチャ機能)。TC3DRB に対してリード命令を実行することにより、簡単にそのときのカウンタ値を確認することができます。ただし、実際のカウントアップと同時には取り込まれません。そのためオーバフロー (FFH) と 00H の値は正しく取り込まれませんので、カウント周期を考慮して使用してください。

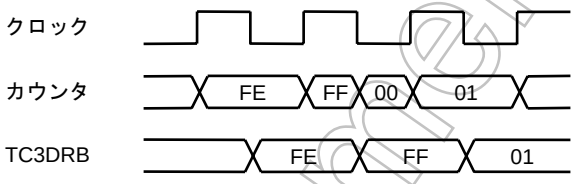


表2.9.1 タイマカウンタ 3 の内部ソースクロック (例: fc = 16 MHz 時)

TC3CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定時間 [ms]
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]		
000	512.0	130.6	976.6	249.0	976.6	249.0
001	256.0	65.3	488.3	124.5	488.3	124.5
010	128.0	32.6	244.1	62.3	244.1	62.3
011	64.0	16.3	122.0	31.1	122.0	31.1
100	32.0	8.2	61.0	15.6	61.0	15.6
101	16.0	4.1	16.0	4.1	–	–
110	8.0	2.0	8.0	2.0	–	–

Not Recommended for New Design

(2) イベントカウンタモード

イベントカウンタモードは、TC3 端子入力パルスのエッジでカウントアップするモードです。

TC3 端子入力の立ち上がりエッジでカウントアップし、カウンタ値と TC3DRA 設定値との一致で INTTC3 割り込みが発生するとともに、カウンタがクリアされます。

なお、一致検出は TC3 端子入力パルスの立ち下がりエッジで行われますので、TC3 端子入力が “H” レベルの状態では一致検出が行われず、INTTC3 割り込みは発生しません。

TC3 端子の最小入力パルス幅は、表 2.9.2のとおりです。“H”, “L” レベルともに 1 マシンサイクル以上のパルス幅が必要です。

TC3CR<ACAP> を “1” にセットすると、以降カウントアップ値が継続してタイマレジスタ B (TC3DRB) に取り込まれ続けます (自動キャプチャ機能)。TC3DRB に対してリード命令を実行することにより、簡単にそのときのカウンタ値を確認することができます。ただし、実際のカウントアップと同時には取り込まれません。そのため、オーバフロー (FFH) と 00H の値は正しく取り込まれませんので、カウント周期を考慮して使用してください。

表2.9.2 タイマカウンタ 3 の外部ソースクロック

	最小入力パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	2^2/fc	2^2/fs
“L” 幅	2^2/fc	2^2/fs

Not Recommended for New Design

(3) キャプチャモード

キャプチャモードは、TC3 端子入力のパルス幅, 周期, デューティなどを測定するモードです。リモコン信号のデコードや AC50/60 Hz 識別などに利用できます。

コマンドスタート後、カウンタは内部ソースクロックでフリーランニングします。

TC3 端子入力の立ち下がりエッジを検出すると、そのときのカウンタ値が TC3DRB に取り込まれます。立ち上がりエッジを検出すると、そのときのカウンタ値が TC3DRA に取り込まれ、カウンタがクリアされるとともに INTTC3 割り込みが発生します。

コマンドスタート直後に立ち上がりエッジを検出した場合、TC3DRB のキャプチャは行われず、TC3DRA のキャプチャのみで INTTC3 割り込みが発生します。このとき TC3DRB に対してリード命令を実行すると、前回のキャプチャ終了時の値 (リセット直後の場合 “FF”) が読み込まれます。

最小入力パルス幅は、TC3CR<TC3CK>によって選択されたソースクロックの 1 サイクル幅以上です。

表2.9.3 TC3INV によるキャプチャ入力エッジ

TC3DRB への キャプチャ	TC3DRA への キャプチャ	INTTC3 割り込み
立ち下がりエッジ	立ち上がりエッジ	

エッジが検出される前にカウンタがオーバフロー (FFH) すると、TC3DRA に FFH をセットしてカウンタをクリアするとともに INTTC3 割り込みが発生しますので、割り込み処理で TC3DRA を読み出して、FFH であるか否かでオーバフロー発生の有無を判断することができます。なお、割り込み発生後、TC3DRA を読み出すまではキャプチャおよびオーバフロー検出は停止します (ただしカウントは継続します)。TC3DRA を読み出すとキャプチャ/オーバフロー検出が再開されますので、通常 TC3DRB から先に読み出します。

Not Recommended for New Design

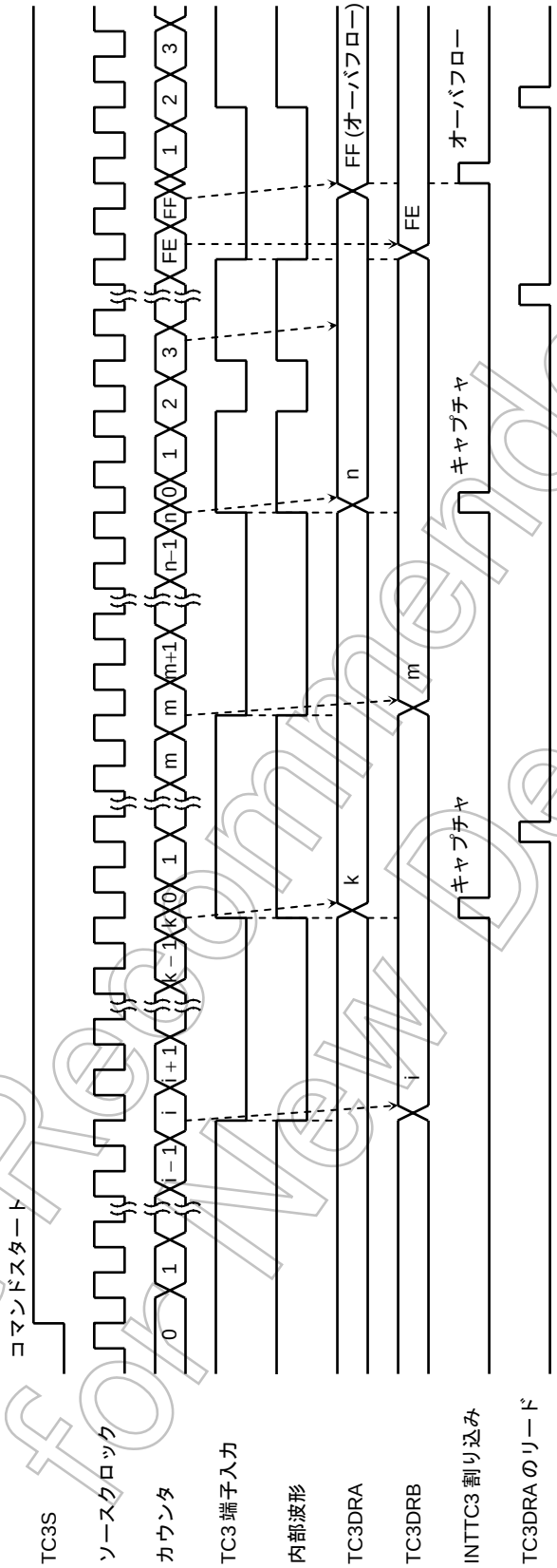
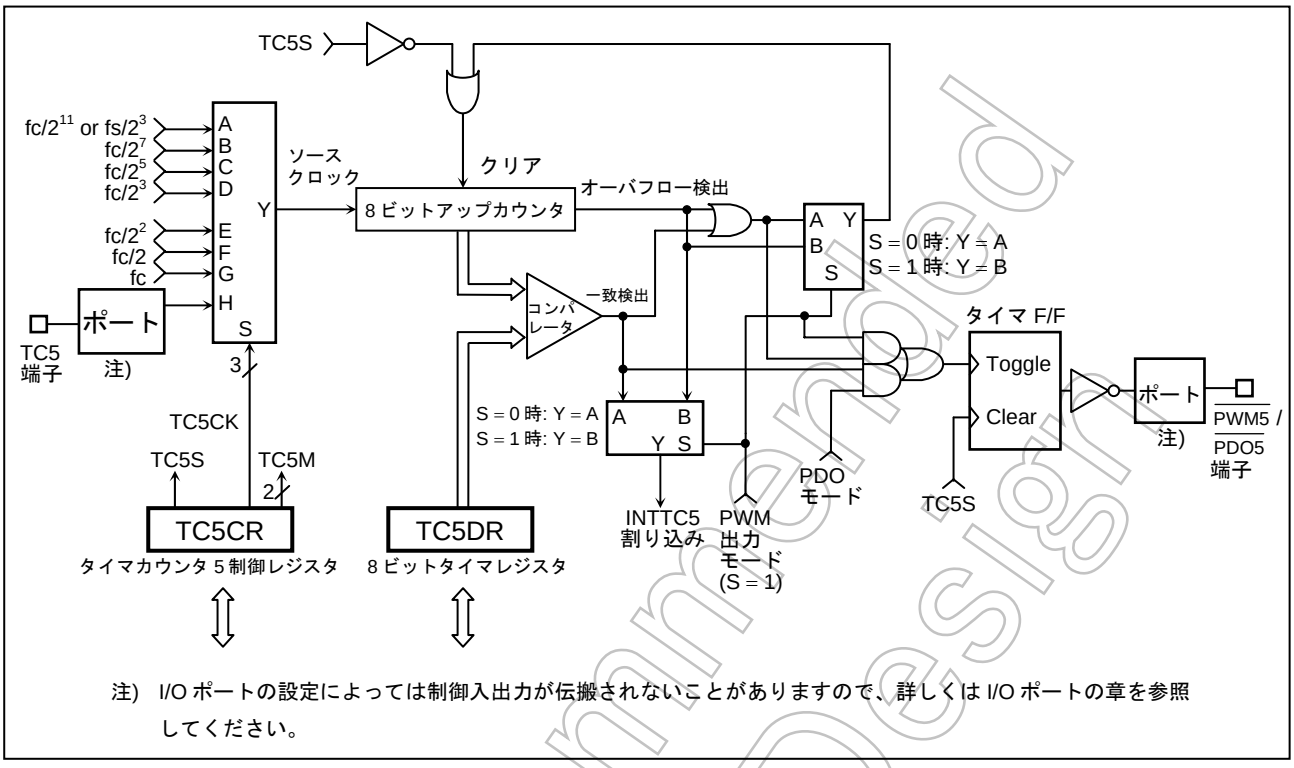


図2.9.3 キャプチャモードタイミング

Not Recommended for New Design

2.10 8 ビットタイマカウンタ 5

2.10.1 構成



注) I/O ポートの設定によっては制御入出力が伝搬されないことがありますので、詳しくは I/O ポートの章を参照してください。

図2.10.1 タイマカウンタ 5 (TC5)

Not Recommended for New Design

2.10.2 制御

タイマカウンタ 5 は、タイマカウンタ 5 制御レジスタ (TC5CR) とタイマレジスタ 5 (TC5DR) で制御されます。

TC5DR (0015H) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

TC5CR (0014H)

7	6	5	4	3	2	1	0
		TC5S	TC5CK			TC5M	

(初期値: **00 0000)

TC5S	タイマカウンタ 5 のスタート制御	0: ストップ & カウンタクリア 1: スタート			R/W
TC5CK	タイマカウンタ 5 のソースクロックの選択 単位: [Hz] (注 4)		NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード	
			DV7CK=0	DV7CK=1	
		000	$fc/2^{11}$	$fs/2^{3}$	$fs/2^{3}$
		001	$fc/2^{7}$	$fc/2^{7}$	–
		010	$fc/2^{5}$	$fc/2^{5}$	–
		011	$fc/2^{3}$	$fc/2^{3}$	–
		100	$fc/2^{2}$	$fc/2^{2}$	–
		101	fc/2	fc/2	–
		110	fc	fc	–
		111	外部クロック (TC5 端子入力)		
TC5M	タイマカウンタ 5 の動作モードの選択	00: タイマモード/イベントカウンタモード 01: Reserved 10: プログラマブルデバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード			

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

注 2) タイマレジスタへの設定値は次の条件を満たす必要があります。

1 ≦ TC5DR ≦ 255

注 3) タイマの動作開始時 (TC5S = "0" → "1") またはタイマの動作停止時 (TC5S = "1" → "0") は、TC5CR<TC5M, TC5CK>を書き替えないでください。また、タイマ動作中 (TC5S = "1" → "1") も TC5CR<TC5M, TC5CK> を書き替えないでください。

注 4) 動作モード別による使用可能ソースクロックは下記を参照してください。

		タイマモード	イベントカウンタモード	PDO モード	PWM モード
TC5CK	000	○	×	○	×
	001	○	×	○	×
	010	○	×	○	×
	011	○	×	×	○
	100	×	×	×	○
	101	×	×	×	○
	110	×	×	×	○
	111	×	○	×	×

注 5) ストップモードを起動すると、自動的に TC5S は "0" にクリアされます。

注 6) TC5CR のビット 6, 7 はリードすると不定値が読み込まれます。

注 7) タイマモード、イベントカウンタモード、PDO モード時は、タイマ動作中に TC5DR を書き替えないでください。

図2.10.2 タイマカウンタ 5 のタイマレジスタと制御レジスタ

Not Recommended for New Design

2.10.3 機能

タイマカウンタ 5 は、タイマ、イベントカウンタモード、プログラマブル デバイダ出力、パルス幅変調出力の 4 つの動作モードがあります。

(1) タイマモード

タイマモードは、内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ 5 (TC5DR) 設定値との一致で INTTC5 割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表2.10.1 タイマカウンタ 5 の内部クロックソース (例: fc = 16 MHz 時)

TC5CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定時間 [ms]
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]		
000	128.0	32.6	244.14	62.3	244.14	62.3
001	8.0	2.0	8.0	2.0	–	–
010	2.0	0.510	2.0	0.510	–	–
011	0.5	0.128	0.5	0.128	–	–

(2) イベントカウンタモード

イベントカウンタモードは、TC5 端子入力 (外部クロック) パルスの立ち上がりエッジでカウントアップするモードです。

カウンタ値と TC5DR 設定値との一致で INTTC5 割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。TC5 端子の最小入力パルス幅は、表 2.10.2のとおりです。 “H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。なお、一致検出は TC5 端子入力の立ち下がりエッジで行われますので、TC5 端子入力 “H” レベルのままでは一致検出が行われず、INTTC5 割り込みも発生しません。

注) SLOW1/2, SLEEP1/2 モードは、外部クロック入力が行われませんのでイベントカウンタモードは使用できません。

表 2.10.2 タイマカウンタ 5 の外部クロックソース

	最小入力パルス幅 [s]
	NORMAL1/2, IDLE1/2 モード
“H” 幅	2^3/fc
“L” 幅	2^3/fc

Not Recommended for New Design

(3) プログラマブルデバイダ出力 (PDO) モード

プログラマブルデバイダ出力 (PDO) モードは、デューティ約 50%のパルスを出力するモードです。内部ソースクロックでカウントアップし、TC5DR との一致でタイマ F/F5 を反転します。同時にカウンタはクリアされ、INTTC5 割り込みが発生します。その後もカウントアップを継続し、TC5DR と一致するごとにタイマ F/F5 を反転します。なお、P13 ($\overline{PDO5}$) 端子は、タイマ F/F5 出力の反転レベルが出力されます。

リセット時またはタイマ停止時、タイマ F/F5 は "0" にクリアされます。従って PDO 出力が "L" レベルのときにタイマを停止させると、デューティが設定値よりも短くなることがあります。

プログラマブルデバイダ出力を使用する場合は、P13 ポートの出力ラッチを "1" にセットしてください。

例: 1024 Hz のパルス出力 (fc = 16 MHz 時)。

```
LD      (TC5CR), 00000110B   ;  PDO モード設定
                                (TC5M = 10, TC5CK = 001)
SET     (P1DR). 3            ;  P13 出力ラッチ ← 1
LD      (TC5DR), 3DH         ;  1/1024 ÷ 2^7/fc ÷ 2 (半周期) = 3DH
LD      (TC5CR), 00100110B   ;  TC5 スタート
```

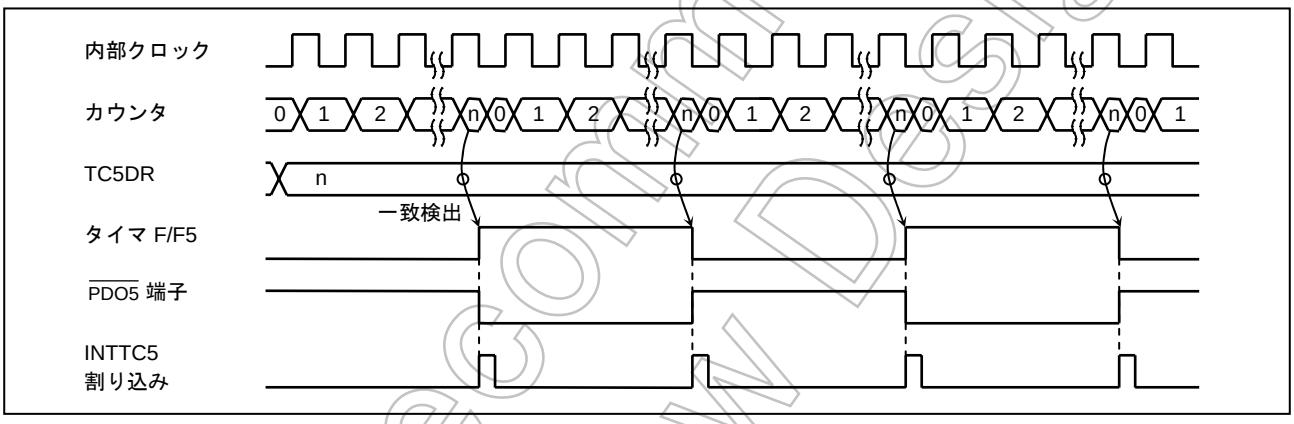


図2.10.3 PDO モードタイミングチャート

Not Recommended for New Design

(4) パルス幅変調 (PWM) 出力モード

パルス幅変調 (PWM) 出力モードは、分解能 8 ビットの一定周期パルスを出力するモードです。内部ソースクロックでカウントアップし、TC5DR との一致でタイマ F/F5 を反転します。カウンタはカウントアップを継続し、オーバフローを検出すると再びタイマ F/F5 を反転します。このとき INTTC5 割り込みが発生します。なお、P13 ($\overline{PWM5}$) 端子は、タイマ F/F5 出力の反転レベルが出力されます。

リセット時またはタイマ停止時、タイマ F/F5 は "0" にクリアされます。従って PWM 出力が "L" レベルのときにタイマを停止させると、一周期が設定値よりも短くなることがあります。

パルス幅変調 (PWM) 出力モードを使用する場合は、P13 ポートの出力ラッチを "1" にセットしてください。

TC5DR はシフトレジスタ (2 段) 構成で、PWM 出力中に TC5DR を書き替えても、一周期分の出力が終了するまで切り替わりませんので、連続的にパルス幅を変更することができます。なお、初回は TC5DR にデータ設定後、TC5CR<TC5S>によりスタートした時点でシフトされます。

注) PWM モード時、タイマレジスタ TC5DR への書き込みは、INTTC5 割り込み発生直後 (通常は INTTC5 割り込みサービスルーチン内) に行ってください。タイマレジスタ TC5DR への書き込みと、INTTC5 割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC5 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

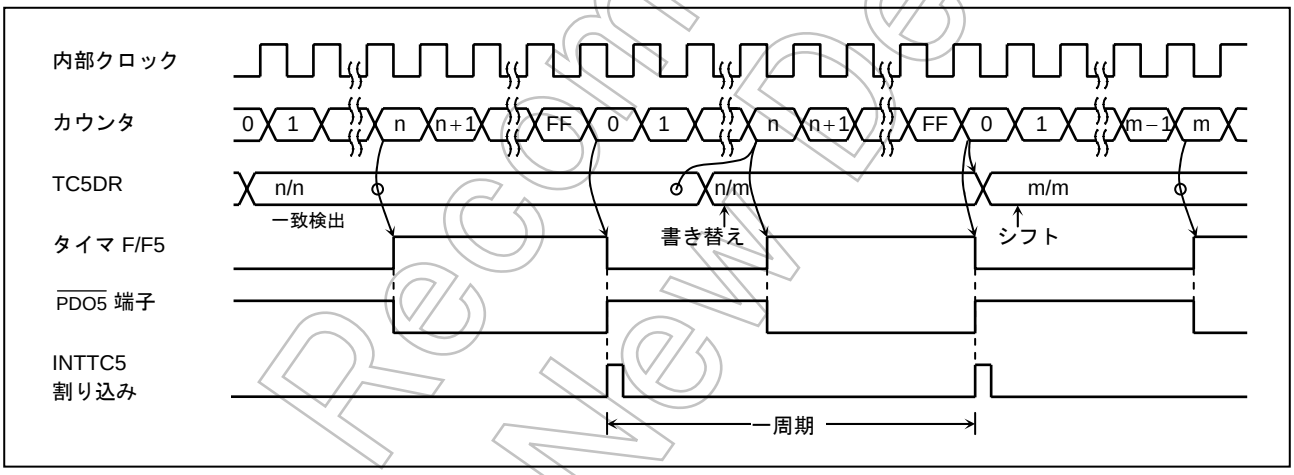


図2.10.4 PWM 出力モードタイミングチャート

表2.10.3 PWM モード (例: fc = 16 MHz 時)

TC5CK	NORMAL1/2, IDLE1/2 モード	
	分解能 [ns]	繰り返し周期 [μs]
000	–	–
001	–	–
010	–	–
011	500	128
100	250	64
101	125	32
110	62.5	16

Not Recommended for New Design

2.11 UART (非同期型シリアルインタフェース)

TMP86FM48 は、UART (非同期型シリアルインタフェース) を 1 チャネル内蔵しています。RXD, TXD を通して外部デバイスと接続されます。RXD は P05、TXD は P06 と兼用で RXD, TXD 端子として使用する場合、P0 の各ポートの出力ラッチを “1” にセットします。

2.11.1 構成

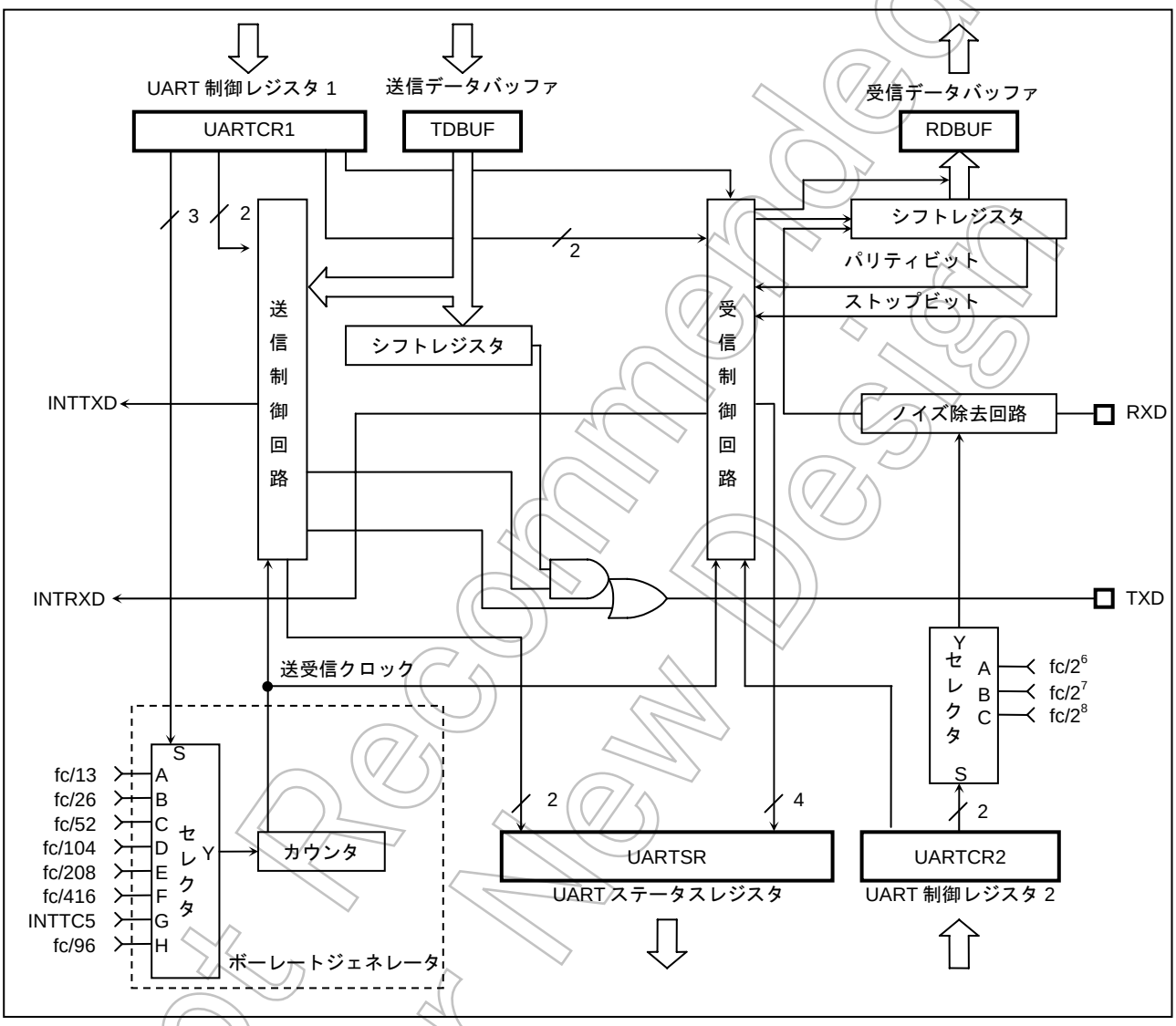


図2.11.1 UART (非同期型シリアルインタフェース)

Not Recommended for New Design

2.11.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ

UARTCR1 (1FDD$_H$)

7	6	5	4	3	2	1	0
TXE	RXE	STBT	EVEN	PE	BRG		

(初期値: 0000 0000)

BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5 使用 (INTTC5 を入力) 111: fc/96	Write only
PE	パリティ付加	0: パリティなし 1: パリティ付加	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
RXE	受信動作	0: ディセーブル 1: イネーブル	
TXE	送信動作	0: ディセーブル 1: イネーブル	

注 1) TXE, RXE ビットを “0” に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、その後送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。

注 2) 転送クロックとパリティは送受信共通です。

注 3) BRG の書き替えは、RXE = “0” かつ TXE = “0”のときに行ってください。

UARTCR2 (1FDE$_H$)

7	6	5	4	3	2	1	0
					RXDNC		STOPBR

(初期値: **** *000)

STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	Write only
RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc [s] 未満のパルスはノイズとして除去 10: 63/fc [s] 未満のパルスはノイズとして除去 11: 127/fc [s] 未満のパルスはノイズとして除去	

注) RXDNC が “01” の場合 96/fc, “10” の場合 192/fc, “11” の場合 384/fc [s] 以上は確実に信号とみなされます。

図2.11.2 UART 制御レジスタ

Not Recommended for New Design

UART ステータスレジスタ

UARTSR (1FDD$_H$)

7	6	5	4	3	2	1	0
PERR	FERR	OERR	RBFL	TEND	TBEP		

(初期値: 0000 11**)

TBEP	送信バッファエンプティフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファエンプティ (送信割り込み発生後、自動的に "1" にセットされます。)	Read only
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	

注) *: Don't care

UART 受信データバッファ

RDBUF (1FDF$_H$)

7	6	5	4	3	2	1	0

Read only
(初期値: 0000 0000)

UART 送信データバッファ

TDBUF (1FDF$_H$)

7	6	5	4	3	2	1	0

Write only
(初期値: 0000 0000)

図2.11.3 UART ステータスレジスタ/データバッファレジスタ

2.11.3 転送データフォーマット

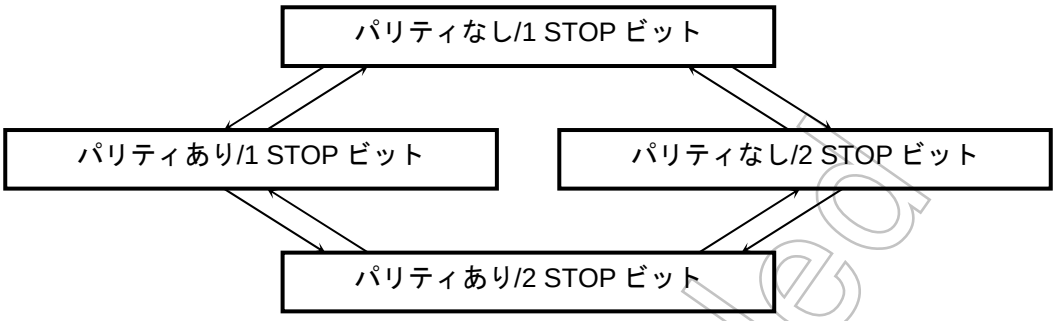
UART で転送されるデータには、スタートビット 1 ビット ("L" レベル) とストップビット ("H" レベル、UARTCR1<STBT>でビット長の選択可)、パリティ (UARTCR1<PE>でパリティ有無の選択可、UARTCR1<EVEN>で偶数/奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

表2.11.1 転送データフォーマット

PE	STBT	フレーム長 1	2	3	------	8	9	10	11	12
0	0	Start	Bit0	Bit1	------	Bit6	Bit7	Stop1		
0	1	Start	Bit0	Bit1	------	Bit6	Bit7	Stop1	Stop2	
1	0	Start	Bit0	Bit1	------	Bit6	Bit7	パリティ	Stop1	
1	1	Start	Bit0	Bit1	------	Bit6	Bit7	パリティ	Stop1	Stop2

Not Recommended for New Design

注) 送信データフォーマットの切り替えは、初期設定時以外は以下の状態遷移にて送信動作を実施して、切り替えを行ってください。



2.11.4 転送レート

UART の転送レート (ボーレート) は、UARTCR1<BRG>により設定されます。以下に転送レートの例を示します。

表2.11.2 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART の転送レートとして TC5 使用を選択したとき (つまり UARTCR1<BRG> = “110” に設定したとき)、転送クロックおよび転送レートは

$$\text{転送クロック} = \frac{\text{TC5ソースクロック}}{\text{TTREG5設定値}}$$

$$\text{転送レート} = \frac{\text{転送クロック}}{16}$$

となります。

Not Recommended for New Design

2.11.5 データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで、UARTCR1<BRG>で選択したクロックで入力のサンプリングを行います。RT クロックは、RXD 端子の “L” レベルを検出することによって開始します。スタートビットが見つかると、スタートビット, データビット, ストップビット, パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

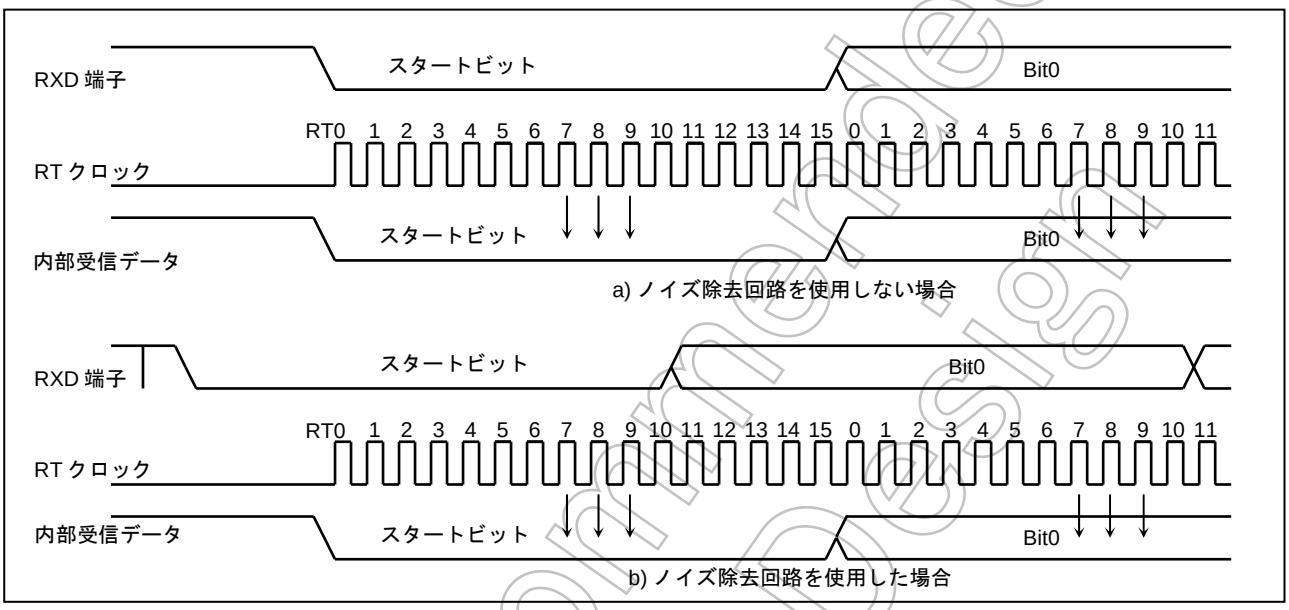


図2.11.4 データのサンプリング方法

2.11.6 STOP ビット長

UARTCR1<STBT>で送信ストップビット長 (1 ビット/2 ビット) の選択ができます。

2.11.7 パリティ

UARTCR1<PE>でパリティ付加の有無を、UARTCR1<EVEN>でパリティの種類 (奇数/偶数) を設定します。

Not Recommended for New Design

2.11.8 送受信動作

(1) データ送信動作

UARTCR1<TXE>を “1” にセットします。UARTSR を読み出して、TBEP = “1” を確認後、TDBUF（送信データバッファ）にデータを書き込みます。書き込みを行うと、UARTSR<TBEP>は “0” にクリアされ、データが送信シフトレジスタに転送された後、TXD 端子より順次出力されます。このとき出力されるデータには、スタートビット 1 ビットと、UARTCR1<STBT>で指定した数のストップビットおよびパリティビット（パリティありの場合）が付加されます。データ転送ボーレートは UARTCR1<BRG>で選択します。データの送信が始まると、送信バッファエンプティフラグ UARTSR<TBEP>は “1” にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE>が “0” の間、および UARTCR1<TXE>に “1” を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は “H” レベルに固定されます。

送信を行う場合、UARTSR を読み出してから TDBUF にデータを書き込んでください。読み出さないと UARTSR<TBEP>が “0” にクリアされず、送信が開始されません。

(2) データ受信動作

UARTCR1<RXE>を “1” にセットします。その後、RXD 端子からデータを受信すると、RDBUF（受信データバッファ）に受信データが転送されます。このとき、送られてくるデータには、スタートビットとストップビットおよびパリティビット（パリティありの場合）が付加されています。ストップビットが受信されるとデータだけが取り出され、RDBUF（受信データバッファ）に転送された後、受信バッファフルフラグ UARTSR<RBFL>がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG>で選択します。

データが受信されたときにオーバランエラーが発生すると、RDBUF（受信データバッファ）へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) RXE ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

Not Recommended for New Design

2.11.9 ステータスフラグ

(1) パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているとき、パリティエラーフラグ UARTSR<PERR>が “1” にセットされます。UARTSR を読み出した後、RDBUF を読み出すと、UARTSR<PERR>は “0” にクリアされます。

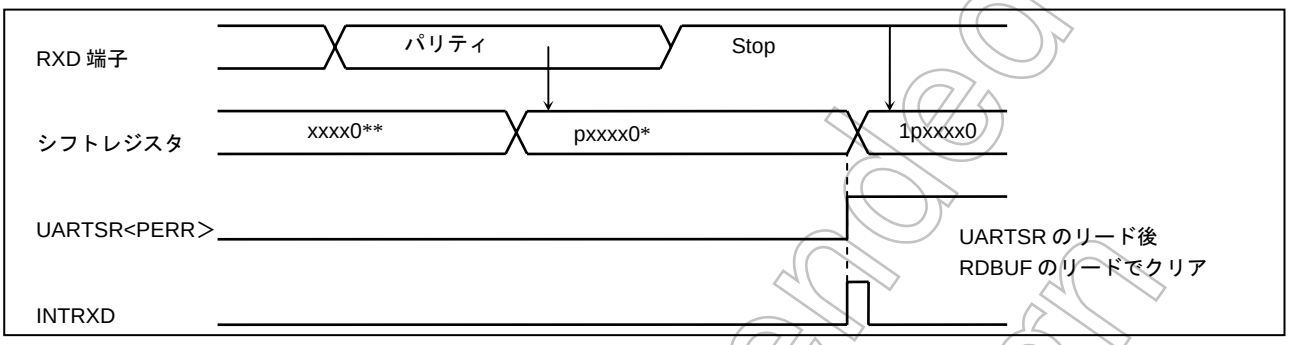


図2.11.5 パリティエラーの発生

(2) フレーミングエラー

受信データの STOP ビットとして “0” がサンプリングされたとき、フレーミングエラーフラグ UARTSR<FERR>が “1” にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<FERR>は “0” にクリアされます。

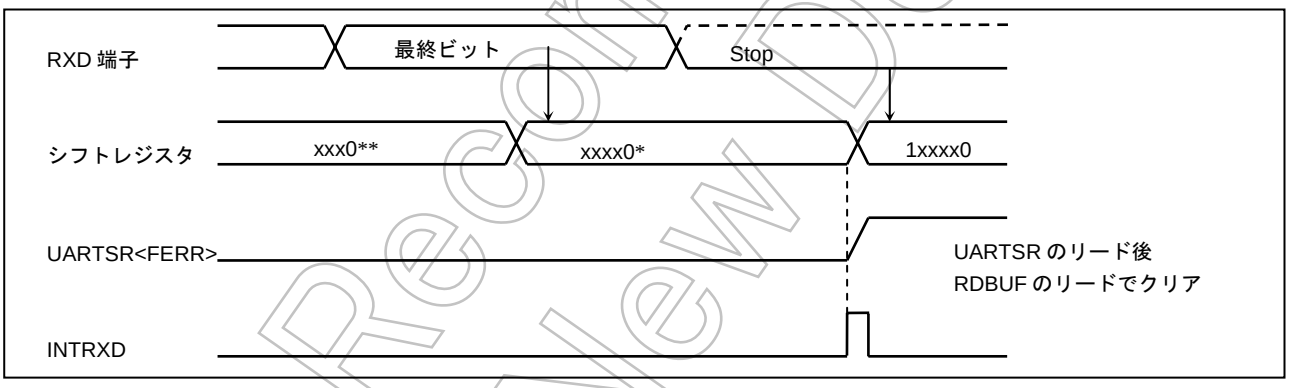


図2.11.6 フレーミングエラーの発生

Not Recommended for New Design

(3) オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了すると、オーバランエラーフラグ UARTSR<OERR>が “1” にセットされます。この場合、受信データは破棄され、受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと、UARTSR<OERR>は “0” にクリアされます。

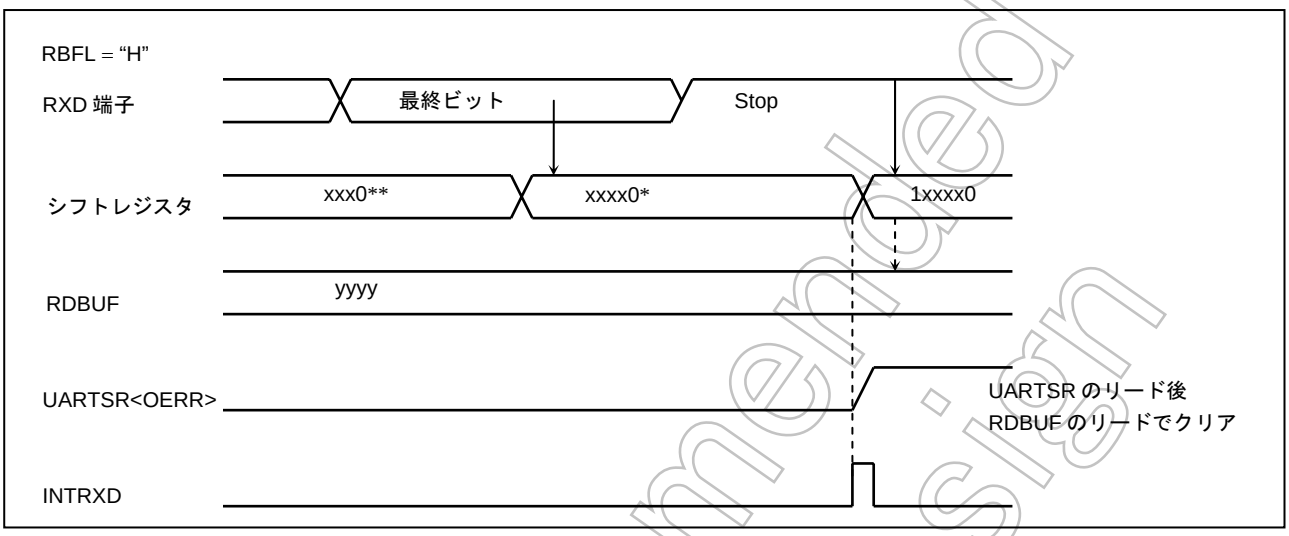


図2.11.7 オーバランエラーの発生

(4) 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL>が “1” にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと、UARTSR<RBFL>は “0” にクリアされます。

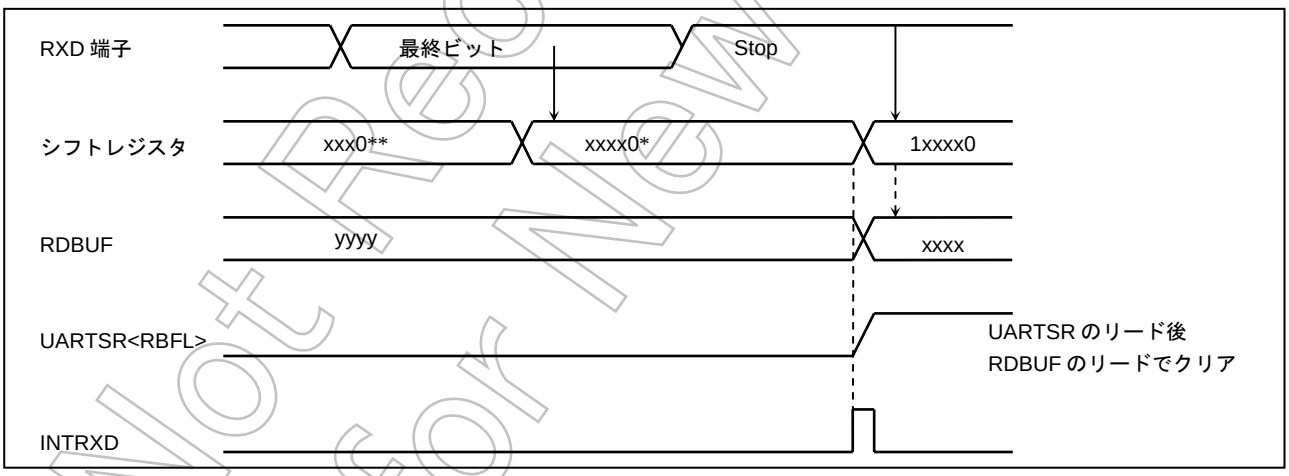


図2.11.8 受信バッファフルの発生

Not Recommended for New Design

(5) 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき、UARTSR<TBEP>が “1” にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと、UARTSR<TBEP>は “0” にクリアされます。

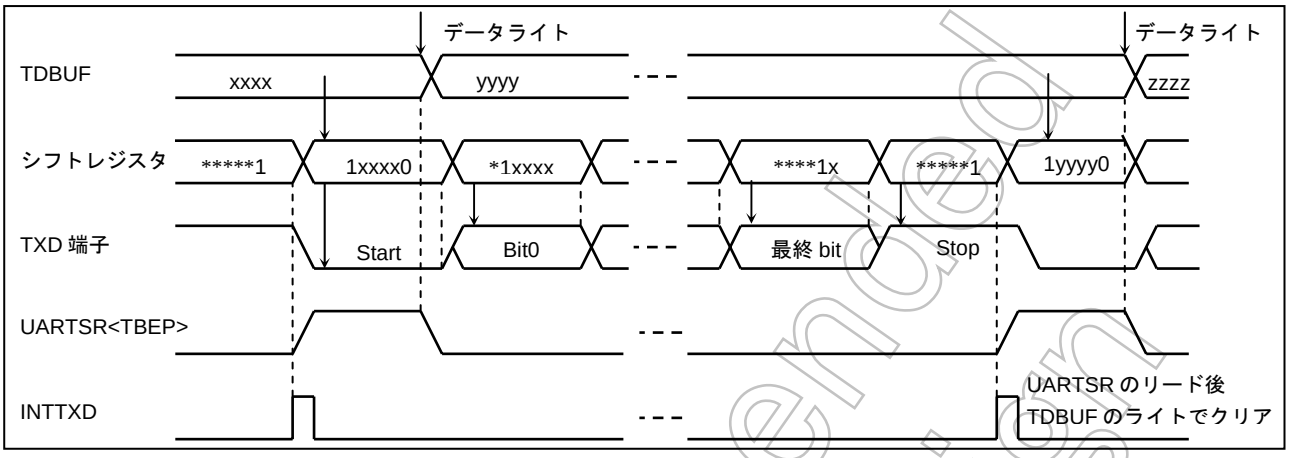


図2.11.9 送信バッファエンプティの発生

(6) 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP> = “1” のとき)、UARTSR<TEND>が “1” にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると、UARTSR<TEND>は “0” にクリアされます。

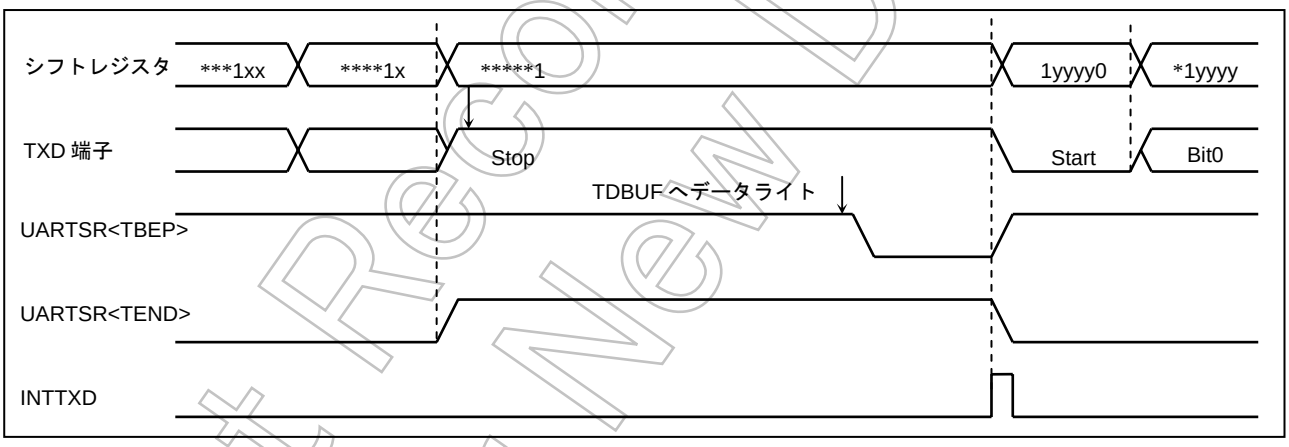


図2.11.10 送信バッファエンプティの発生

Not Recommended for New Design

2.12 シリアルバスインタフェース (I²C バス) (SBI1-ver.D)

TMP86FM48 は、I²C バス (Philips 社の提唱するバス方式) として機能するシリアルバスインタフェースを 1 チャネル内蔵しています。

シリアルバスインタフェースは、P51 (SDA)と P50 (SCL) を通して外部デバイスと接続されます。

シリアルバスインタフェース端子は P5 ポートと兼用で、シリアルバスインタフェース端子として使用する場合、対応する P5 ポートの出力ラッチを "1" にセットします。シリアルバスインタフェース端子として使用しない場合は、P5 ポートは通常の入出力ポートとして使用できます。

注 1) P5 ポートをシリアルバスインタフェース端子として使用する場合は、P50 と P51 の出力回路はオープンドレイン出力に設定してください (P50 と P51 の P5OUTCR を "0" にクリアしてください)。

注 2) シリアルバスインタフェースは、NORMAL1/2 と IDLE1/2 モード時のみ使用できます。IDLE0、SLOW1/2、SLEEP0/1/2 モードでは使用できませんので、これらのモードに遷移するときには必ずシリアルバスインタフェースを停止してください。。

注 3) TMP86FM48 の I²C バスは標準モードでのみ使用できます。高速モード、ハイスピードモードでは使用できません。

2.12.1 構成

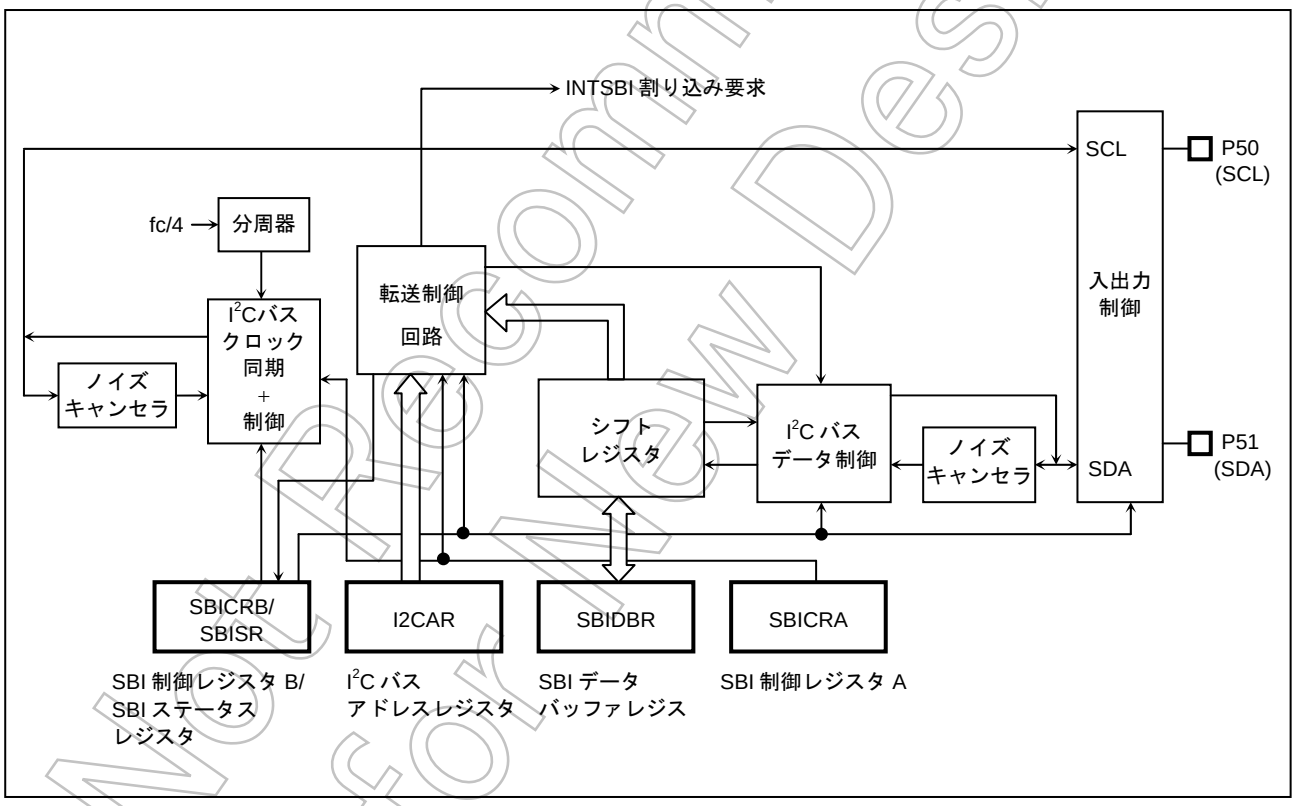


図2.12.1 シリアルバスインタフェース (SBI)

Not Recommended for New Design

2.12.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ A (SBICRA)
- シリアルバスインタフェース制御レジスタ B (SBICRB)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I²C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)

2.12.3 ソフトウエアリセット

シリアルバスインタフェース回路は、シリアルバスインタフェース回路を初期化するソフトウエアリセット機能を持っています。ノイズなどによりシリアルバスインタフェース回路がロックしたとき、この機能を使うことでシリアルバスインタフェース回路を初期化することができます。

シリアルバスインタフェース回路をリセットする場合、SWRST (SBICRB のビット 1、0) に “10”、“01” の順に書き込みを行います。

Not Recommended for New Design

2.12.4 I²C バスのデータフォーマット

I²C バスのデータフォーマットを図 2.12.2 に示します。

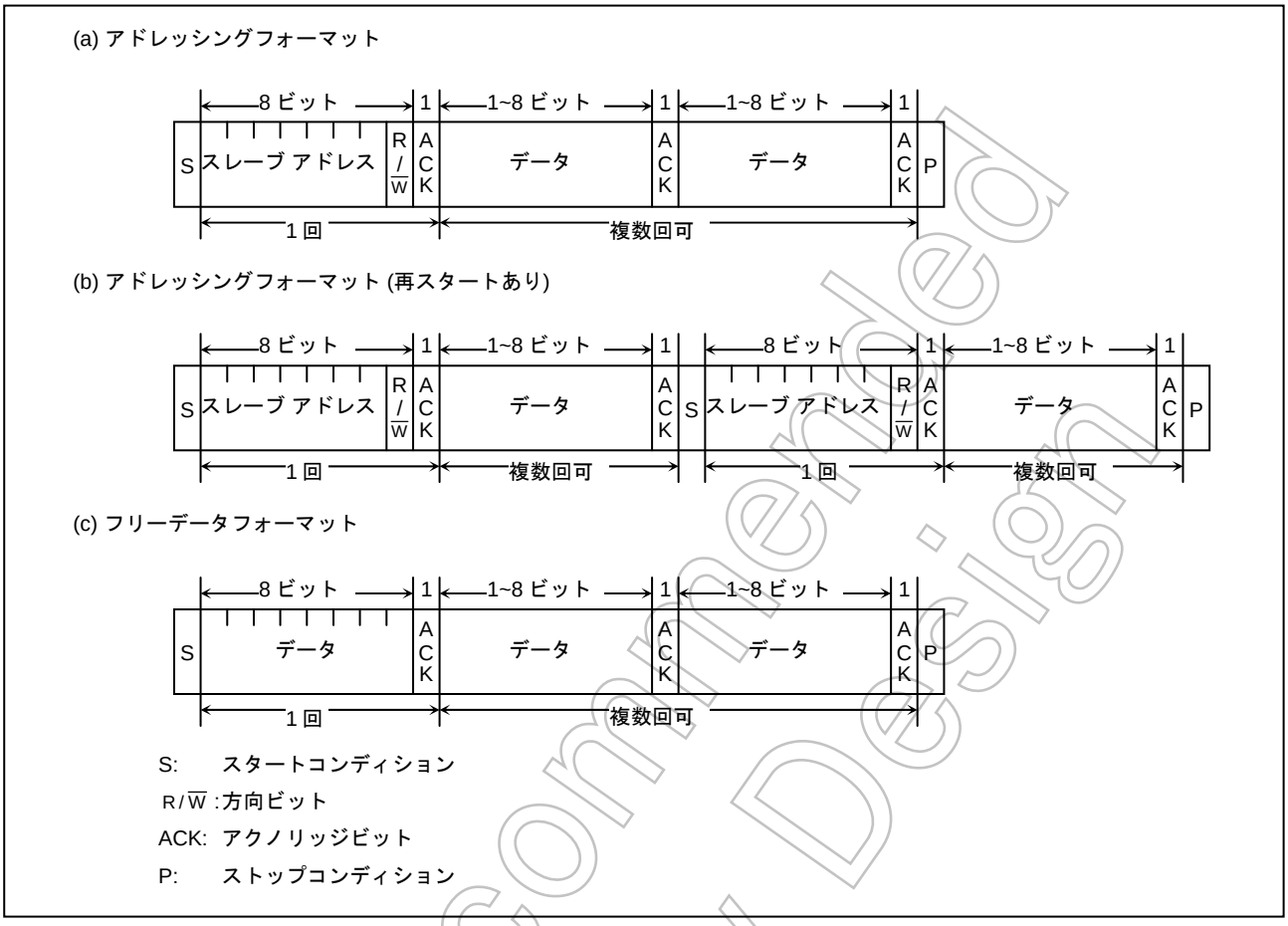


図2.12.2 I²C バスのデータフォーマット

Not Recommended for New Design

2.12.5 I²C バスの制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ A

SBICRA (1FD9H)

7	6	5	4	3	2	1	0
BC			ACK		SCK		

(初期値: 0000 *000)

		BC	ACK = 0 のとき クロック数	ACK = 0 のとき データ長	ACK = 1 のとき クロック数	ACK = 1 のとき データ長	
BC	転送ビット数の選択	000	8	8	9	8	Write only
		001	1	1	2	1	
		010	2	2	3	2	
		011	3	3	4	3	
		100	4	4	5	4	
		101	5	5	6	5	
		110	6	6	7	6	
		111	7	7	8	7	

		ACK	マスタモード	スレーブモード	
ACK	アクノリッジメントのためのクロック発生の選択	0	アクノリッジのためのクロックを発生しない。	アクノリッジのためのクロック数をカウントしない。	R/W
		1	アクノリッジのためのクロックを発生する。	アクノリッジのためのクロック数をカウントする。	

		SCK	n	fc = 16 MHz 時	fc = 8 MHz 時	fc = 4 MHz 時	
SCK	シリアルクロック(fscl)周波数の選択 (SCL 端子への出力) [fscl = 1/(2^(n+1)/fc + 8/fc)]	000	4	Reserved	Reserved	100.0 kHz	Write only
		001	5	Reserved	Reserved	55.6 kHz	
		010	6	Reserved	58.8 kHz	29.4 kHz	
		011	7	60.6 kHz	30.3 kHz	15.2 kHz	
		100	8	30.8 kHz	15.4 kHz	7.7 kHz	
		101	9	15.5 kHz	7.8 kHz	3.9 kHz	
		110	10	7.8 kHz	3.9 kHz	1.9 kHz	
		111	Reserved				

注 1) *: Don't care、fc: 高周波クロック [Hz]
注 2) クロック同期式 8 ビット SIO モードに切り替える前に、BC を "000" にクリアしてください。
注 3) SBICRA は、ビット操作などのリードモディファイライト命令ではアクセスできません。
注 4) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが I²C 規格の規格外となります。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (1FDAH)

7	6	5	4	3	2	1	0

(初期値: **** ****) R/W

注 1) 送信データを書き込むときには、データを MSB (ビット 7) 側につめて書き込んでください。
注 2) SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。
注 3) *: Don't care

I²C バスアドレスレジスタ

I2CAR (1FDBH)

7	6	5	4	3	2	1	0
スレーブアドレス							
SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS

(初期値: 0000 0000)

SA	スレーブアドレスの設定		Write only
ALS	アドレス認識モードの設定	0: スレーブアドレスを認識 1: スレーブアドレスを認識しない	

注 1) I2CAR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
注 2) I2CAR を "00H" に設定しないでください ("00H" に設定した場合、スレーブモードで I²C バス規格の START バイト ("01H") を受信したときにアクノリッジ応答します)。

図2.12.3 シリアルバスインタフェース制御レジスタ A/データバッファレジスタ/I²C バスアドレスレジスタ

Not Recommended for New Design

シリアルバスインタフェース制御レジスタ B

SBICRB (1FDCH)

7	6	5	4	3	2	1	0
MST	TRX	BB	PIN	SBIM		SWRST1	SWRST0

(初期値: 0001 0000)

MST	マスタ/スレーブの選択	0: スレーブ 1: マスタ	Write only
TRX	送信/受信の選択	0: レシーバ 1: トランスミッタ	
BB	スタート/ストップコンディションの発生	0: ストップコンディション発生 (MST, TRX, PIN が “1” のとき) 1: スタートコンディション発生 (MST, TRX, PIN が “1” のとき)	
PIN	割り込みサービス要求の解除	0: – (“0” にクリアすることはできません) 1: 割り込みサービス要求の解除	
SBIM	シリアルバスインタフェースの動作モード選択	00: ポートモード (シリアルバスインタフェースの出力禁止) 01: Reserved 10: I^2C バスモード 11: Reserved	
SWRST1 SWRST0	ソフトウエアリセット開始ビット	最初に “10” 、次に “01” を書き込むとソフトウエアリセットが発生する	

注 1) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

注 2) ポートモードから I^2C バスモードへの切り替えは、ポートの状態が “H” になっていることを確認後行ってください。

注 3) SBICRB は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 4) SWRST (レジスタ SBICRB のビット 1, 0) に “01”, “10” を書き込むと、ソフトウエアリセットが起こります。この場合、SBIM 以外の SBICRB レジスタの各ビットと、SBICRA, 12CAR, SBISR レジスタが初期化されます。

シリアルバスインタフェースステータスレジスタ

SBISR (1FDCH)

7	6	5	4	3	2	1	0
MST	TRX	BB	PIN	AL	AAS	AD0	LRB

(初期値: 0001 0000)

MST	マスタ/スレーブ選択状態モニタ	0: スレーブ 1: マスタ	Read only
TRX	トランスミッタ/レシーバ選択状態モニタ	0: レシーバ 1: トランスミッタ	
BB	バス状態モニタ	0: バスフリー 1: バスビジー	
PIN	割り込みサービス要求状態モニタ	0: 割り込みサービス要求中 1: 割り込みサービス要求解除中	
AL	アービトレーションロスト検出モニタ	0: – 1: アービトレーションロスト検出	
AAS	スレーブアドレス一致検出モニタ	0: スレーブアドレス不一致またはゼネラルコール未検出 1: スレーブアドレス一致またはゼネラルコール検出	
AD0	ゼネラルコール検出モニタ	0: ゼネラルコール未検出 1: ゼネラルコール検出	
LRB	最終受信ビットモニタ	0: 最終受信ビット “0” 1: 最終受信ビット “1”	

図2.12.4 シリアルバスインタフェース制御レジスタ B/ステータスレジスタ

Not Recommended for New Design

(1) アクノリッジメントモードの指定

a．アクノリッジメントモード (ACK = “1”)

シリアルバスインタフェース回路をアクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を “1” にセットします。アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときは、アクノリッジ信号のためのクロックをカウントします。

シリアルバスインタフェース回路がマスタトランスミッタモードのとき、アクノリッジのためのクロック期間中、SDA 端子はレシーバからのアクノリッジ信号を受信するために端子を開放します。マスタレシーバモードのときは、クロック期間中、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスと I2CAR に設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。スレーブアドレス一致またはゼネラルコール受信後のデータ転送において、トランスミッタモードのときには、アクノリッジのためのクロック期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。表 2.12.1にアクノリッジメントモードにおける SCL 端子と SDA 端子の状態を示します。

表2.12.1 アクノリッジメントモードでの SCL 端子と SDA 端子の状態

モード	端子		トランスミッタ	レシーバ
マスター	SCL		アクノリッジのためのクロックを付加	
	SDA		アクノリッジ信号受信のために端子を開放	アクノリッジ信号として端子に “L” を出力
スレーブ	SCL		アクノリッジのためのクロックをカウント	
	SDA	スレーブアドレスが一致したとき、またはゼネラルコールを受信したとき	–	アクノリッジ信号として端子に “L” を出力
		スレーブアドレスが一致したとき、またはゼネラルコール受信後の通信時	アクノリッジ信号受信のために端子を開放	アクノリッジ信号として端子に “L” を出力

b．アクノリッジメントモード (ACK = “0”)

シリアルバスインタフェース回路を非アクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を “0” にクリアします。非アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを発生しません。スレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

(2) 転送ビット数の選択

BC (SBICRA のビット 7~5) により、次に送受信するデータのビット数を選択します。

BC はスタートコンディションにより “000” にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、BC は一度設定された値を保持します。

Not Recommended for New Design

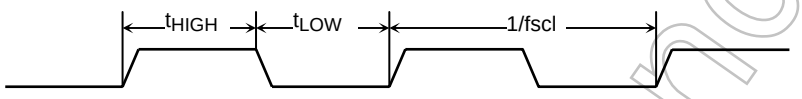
(3) シリアルクロック

a. クロックソース

SCK (SBICRA のビット 2~0) で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、図 2.12.5の計算式に合わせて t_{LOW} の最小幅など、I²C バス規定を満たす通信ボーレートを選択してください。

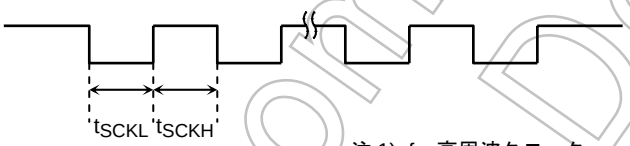
またマスタモード/スレーブモードともに外部から入力されるクロックの "H" レベル、"L" レベルは 4 マシンサイクル以上のパルス幅が必要です。

注) TMP86FM48 の I²C バスは、高速モードおよびハイスピードモードでは使用できませんので、SCK を 100 kHz を超える値に設定しないでください。



$t_{LOW} = 2^n/fc$
$t_{HIGH} = 2^n/fc + 8/fc$
$fscl = 1/(t_{Low} + t_{HIGH})$

SCK (SBICRA のビット 2~0)	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10



t_{SCKL}, t_{SCKH} > 4 tcyc

注 1) fc: 高周波クロック

注 2) tcyc = 4/fc (NORMAL1/2、IDLE1/2 モード時)

図2.12.5 クロックソース

b. クロック同期化

I²C バスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に "L" レベルに引いたマスタが、"H" レベルを出力しているマスタのクロックを無効にします。このため、"H" レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。

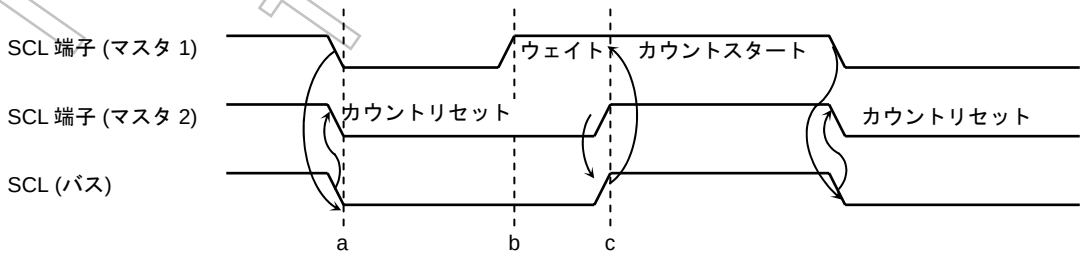


図2.12.6 クロック同期化の例

a 点でマスタ 1 が SCL 端子を "L" レベルに引くことで、バスの SCL ラインは "L" レ

Not Recommended for New Design

ベルになります。マスタ 2 はこれを検出し、マスタ 2 の “H” レベル期間のカウントをリセットし、SCL 端子を “L” レベルに引きます。

b 点でマスタ 1 は “L” レベル期間のカウントを終わり、SCL 端子を “H” レベルにします。しかしマスタ 2 がバスの SCL ラインを “L” レベルに保持し続けているので、マスタ 1 は “H” レベル期間のカウントを始めません。マスタ 1 は、c 点でマスタ 2 が SCL 端子を “H” レベルにし、バスの SCL ラインが “H” レベルになったことを検出後、“H” レベル期間のカウントを始めます。その後、“H” レベル期間のカウントを終了したマスタが SCL 端子を “L” に引くことで、バスの SCL ラインは “L” レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い “H” レベル期間をもつマスタと、最も長い “L” レベル期間をもつマスタによって決定されます。

(4) スレーブアドレスとアドレス認識モードの設定

シリアルバスインタフェース回路を、スレーブアドレスを認識するアドレッシングフォーマットで使用するときには、ALS (I2CAR のビット 0) を “0” にクリアし、SA (I2CAR のビット 7~1) にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには、ALS を “1” にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

(5) マスタ/スレーブの選択

MST (SBICRB のビット 7) を “1” にセットすると、シリアルバスインタフェース回路はマスタデバイスとして動作します。

MST を “0” にクリアすると、スレーブデバイスとして動作します。MST はバス上のストップコンディションを検出したとき、またはアービトレーションロストを検出したとき、ハードウエアにより “0” にクリアされます。

(6) トランスミッタ/レシーバの選択

TRX (SBICRB のビット 6) を “1” にセットすると、シリアルバスインタフェース回路はトランスミッタとして動作し、TRX を “0” にクリアするとレシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、ハードウエアによりマスタデバイスから送られてくる方向ビット (R/$\overline{W}$) が “1” の場合、TRX は “1” にセットされ、“0” の場合、TRX は “0” にクリアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより送信した方向ビットが “1” の場合、TRX は “0” にクリアされ、“0” の場合、TRX は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

TRX はバス上のストップコンディションを検出したとき、またはアービトレーションロストが検出されると、ハードウエアにより “0” にクリアされます。表 2.12.2に各モードでの TRX の変化条件と変化後の TRX の値を示します。

表2.12.2 各モードでの TRX の動作

モード	方向ビット	変化条件	変化後の TRX
スレーブモード	“0”	受信したスレーブアドレスが I2CAR に設定された値と同じとき	“0”
	“1”		“1”
マスタモード	“0”	ACK 信号が返ってきたとき	“1”
	“1”		“0”

シリアルバスインタフェース回路を、フリーデータフォーマットで使用している場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われるために、TRX はハードウエアによって変化することはありません。

Not Recommended for New Design

(7) スタート/ストップコンディションの発生

BB (SBISR のビット 5) が “0” のときに、MST, TRX, BB, PIN に “1” を書き込むと、バス上に、スタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと、方向ビットが出力されます。あらかじめ ACK に “1” をセットしておいてください。

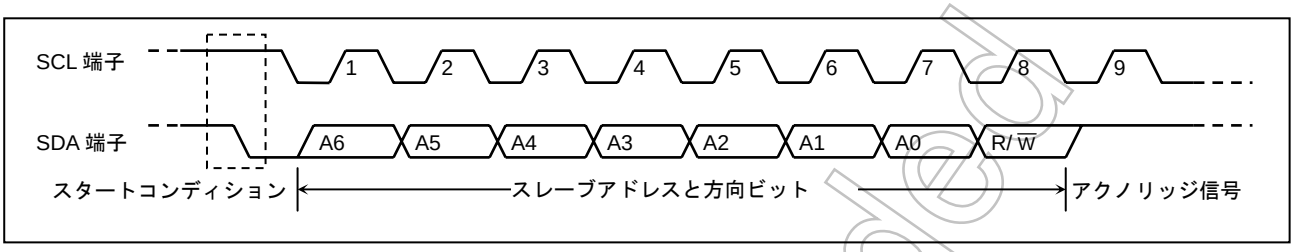


図 2.12.7 スタートコンディションの発生とスレーブアドレスの発生

BB = “1” のときに、MST と TRX, PIN に “1”を、BB に “0” を書き込むと、バス上にストップコンディションが出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB の内容を書き替えないでください。

また、ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより “L” レベルに引かれていた場合、SCL ラインが開放された後に、ストップコンディションが発生します。

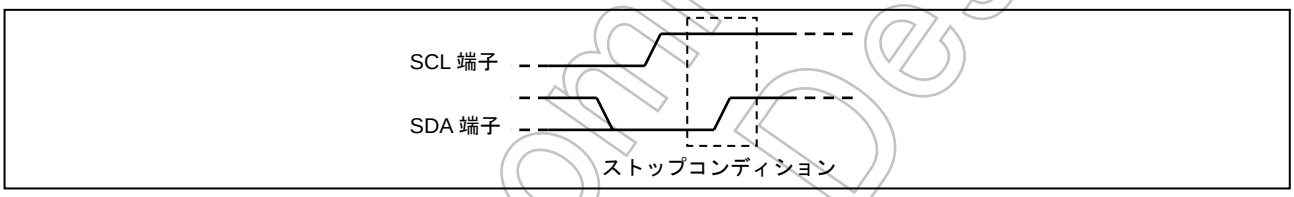


図2.12.8 ストップコンディションの発生

また、BB (SBISR のビット 5) を読み出すことで、バスの状態を知ることができます。BB は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にクリアされます (バスフリー状態)。

(8) 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、BC と ACK によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求 (INTSBI) が発生します。スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

シリアルバスインタフェース割り込み要求が発生すると、PIN (SBISR のビット 4) が “0” にクリアされます。PIN が “0” の間、SCL 端子が “L” レベルに引かれます。

SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと PIN が “1” にセットされます。なお、PIN が “1” にセットされてから SCL 端子が開放されるまで、t_{LOW} の時間がかかります。プログラムで PIN (SBICRB のビット 4) に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

注) マスタモードでアービトレーションロストが発生したとき、スレーブアドレスが一致しなかった場合は、PIN は “0” にクリアされません (INTSBI は発生します)。

Not Recommended for New Design

(9) シリアルバスインタフェースの動作モード

SBIM (SBICRB のビット 3~2) でシリアルバスインタフェースの動作モードを設定します。I²C バスモードで使用するときは、シリアルバスインタフェース端子の状態が “H” になっていることを確認後、SBIM を “10” にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。

I²C バスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。a 点のビットまでマスタ 1、マスタ 2 ともに同じデータを出力し、a 点でマスタ 1 がデータ “1” を出力、マスタ 2 がデータ “0” を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスタ 2 によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ 2 のデータを取り込みます。このときマスタ 1 の出力したデータは無効になります。マスタ 1 のこの状態を “アービトレーションロスト” と呼び、アービトレーションを失ったマスタは、SDA 端子, SCL 端子を開放し、アービトレーションを失っていない、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが、1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は 2 ワード目以降も継続されます。

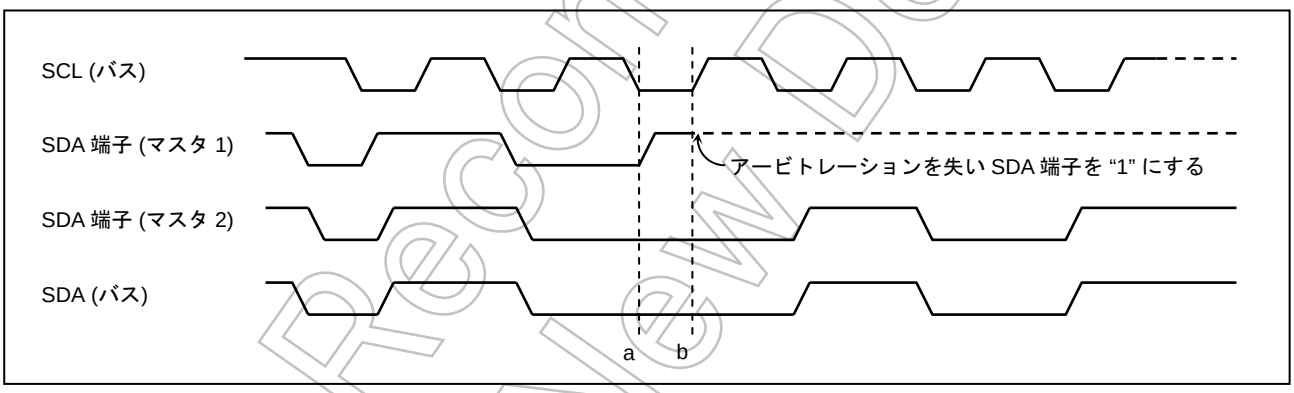


図2.12.9 アービトレーションロスト

シリアルバスインタフェース回路では、バスの SDA ラインのレベルとシリアルバスインタフェース回路の SDA 端子のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、AL (SBISR のビット 3) が “1” にセットされます。

AL が “1” にセットされると MST, TRX は “0” にリセットされ、スレーブレシーバモードになります。そのため、AL が “1” にセットされた後のデータの転送では、シリアルバスインタフェース回路はクロックを出力を停止します。

AL は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICRB にデータを書き込むと “0” にリセットされます。

Not Recommended for New Design

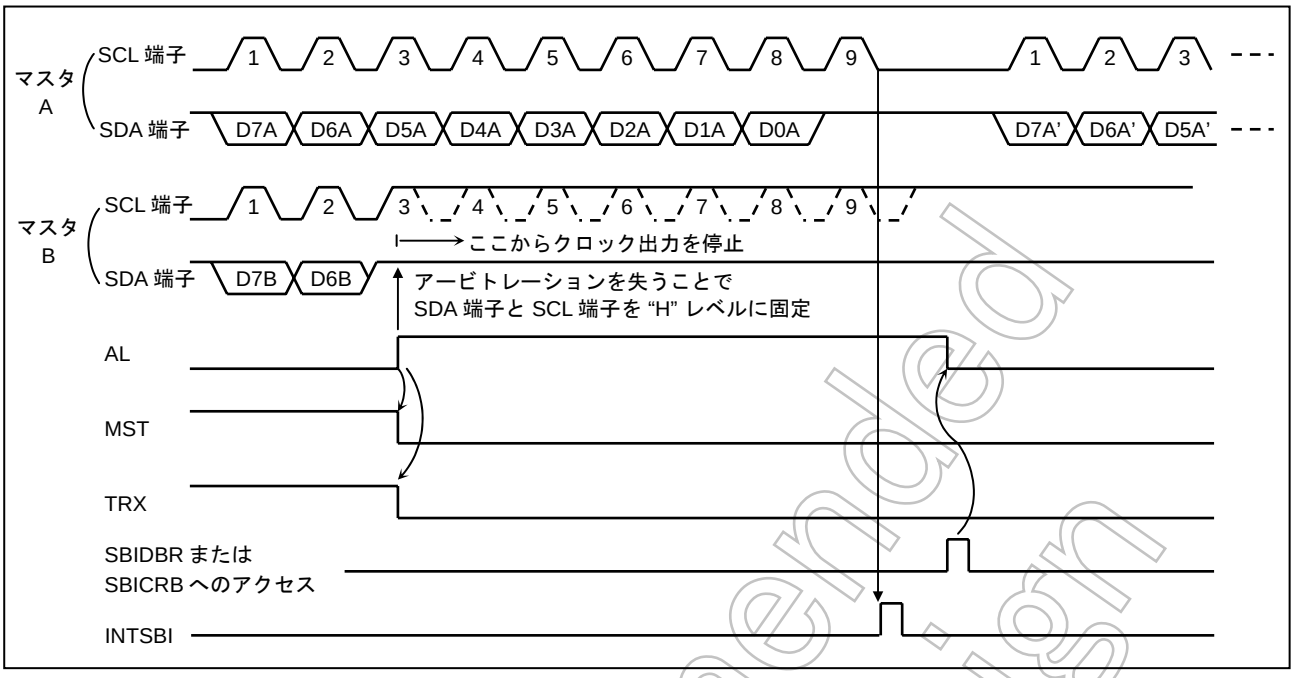


図2.12.10 シリアルバスインタフェース回路がマスタ B の場合

(11) スレーブアドレス一致検出モニタ

AAS (SBISR のビット 2) は、スレーブモード時、アドレッシングフォーマット (ALS = "0") の場合、ゼネラルコールまたは、I2CAR にセットした値と同じスレーブアドレスを受信すると、"1" にセットされます。フリーデータフォーマット (ALS = "1") のときは、最初の 1 ワードが受信されると "1" にセットされます。AAS は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと "0" にクリアされます。

(12) ゼネラルコール検出モニタ

AD0 (SBISR のビット 1) はスレーブモード時、ゼネラルコール (スタートコンディション直後に受信した 8 ビットのデータがすべて "0") のとき、"1" にセットされます。AD0 は、バス上のスタートコンディションまたはストップコンディションが検出されると、"0" にクリアされます。

(13) 最終受信ビットモニタ

LRB (SBISR のビット 0) には、バス上の SCL ラインの立ち上がりで取り込まれたバス上の SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に LRB を読み出すと、アクノリッジ信号が読み出されます。

Not Recommended for New Design

2.12.6 I²C バスモード時のデータ転送手順

(1) デバイスの初期化

最初に SBICRA の ACK に “1” を、BC に “000” を書き込むことによって、アクノリッジのためのクロック数を “カウントする”、データ長を “8 ビット” に設定します。また、SCK に転送周波数を設定します。

次に I2CAR の SA にスレーブアドレスを設定します。

その後、シリアルバスインタフェース端子の状態が “H” になっていることを確認し、SBICRB の MST, TRX, BB に “0”を、PIN に “1”を、SBIM に “10” を、SWRST1,0 に “00” を設定し、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に、ほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

(2) スタートコンディション、スレーブアドレスの発生

バスフリー (BB = “0”) 状態を確認します。

ACK を “1” にセットし、SBIDBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PIN に “1” を書き込むと、バス上にスタートコンディションと、SBIDBR に設定したスレーブアドレスと、方向ビットが出力されます。この後、SCL の 9 クロック目の立ち下がりで INTSBI 割り込み要求が発生し、PIN が “0” にクリアされます。PIN が “0” の間、SCL 端子を “L” レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウエアにより、INTSBI 割り込み要求タイミングで TRX が方向ビットに合わせて変化します。

注 1) スレーブアドレスを出力するために SBIDBR を書き込むときは、事前に、ソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注 2) 出力するスレーブアドレスの書き込みから 98.0 μs (I2C バス規格による最短の転送時間) 以内に、再度ソフトウエアによるバスフリーの確認を行い、バスフリーが確認できたときのみ SBICRB の MST, TRX, BB, PIN に “1” を書き込み、スタートコンディションを発生させてください。この制約が守られない場合、SBIDBR へ出力するスレーブアドレスを書き込んでから SBICRB の MST, TRX, BB, PIN に “1” を書き込みスタートコンディションを発生させるまでの間に、ほかのマスタによる転送が行われ、SBIDBR に書き込んだスレーブアドレスが破壊されることがあります。

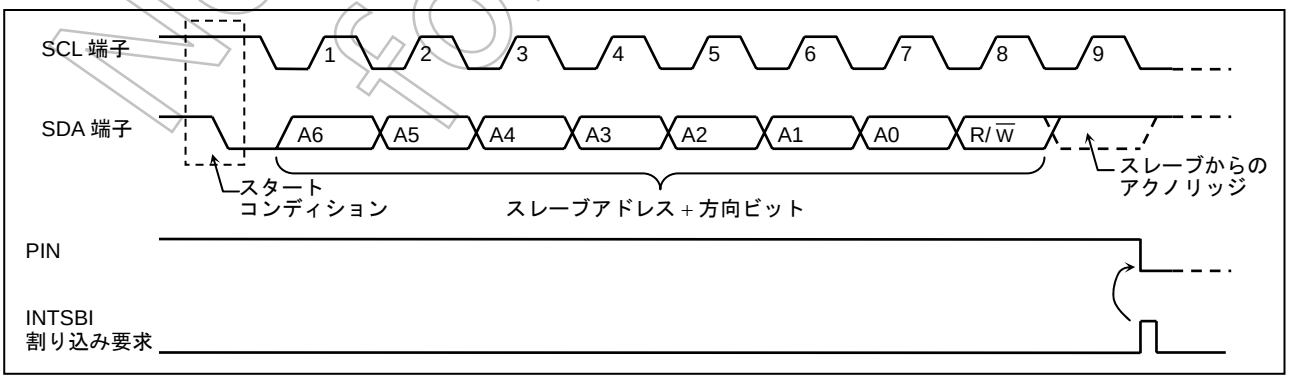


図2.12.11 スタートコンディションとスレーブアドレスの発生

Not Recommended for New Design

(3) 1 ワードのデータ転送

1 ワード転送終了の INTSBI 割り込みの処理で、MST をテストし、マスタモード/スレーブモードの判断をします。

a. MST が “1” のとき (マスタモード)

TRX をテストし、トランスミッタ/レシーバの判断をします。

1. TRX が “1” のとき (トランスミッタモード)

LRB をテストします。LRB が “1” のとき、レシーバはデータを要求していないので、ストップコンディションを発生する処理（後記参照）を行ってデータ転送を終了します。

LRB が “0” のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が 8 ビット以外のときは BC を再設定し、ACK を “1” にセットした後、送信データを SBIDBR に書き込みます。データを書き込むと PIN が “1” になり、SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生し、SDA 端子から 1 ワードのデータが送信されます。送信終了後、INTSBI 割り込み要求が発生し、PIN が “0” になり、SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は、上記 LRB のテストから繰り返します。

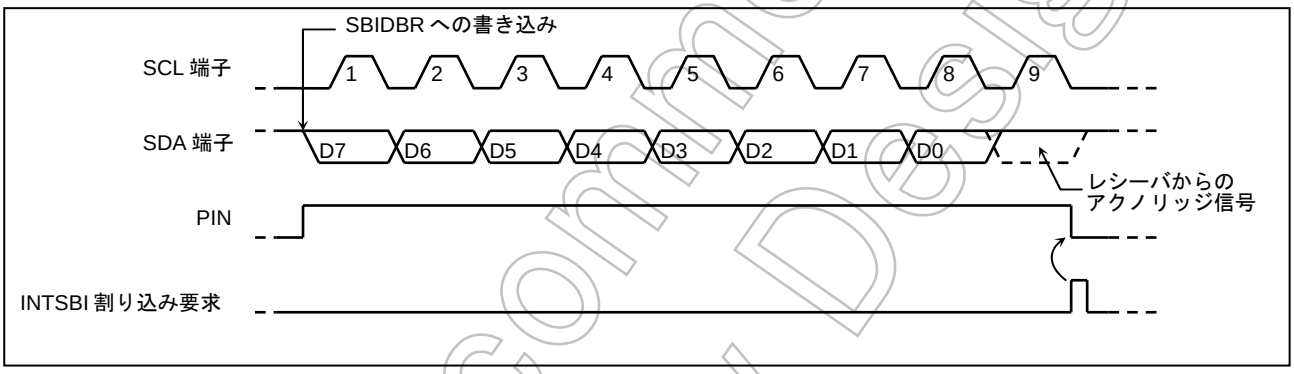


図2.12.12 BC = “000”, ACK = “1” の場合

2. TRX が “0” のとき (レシーバモード)

次に転送するデータのビット数が、8 ビット以外のときは BC を再設定し、ACK に“1” をセットした後、SBIDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと PIN は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで “L” レベルを SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、PIN が “0” になります。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

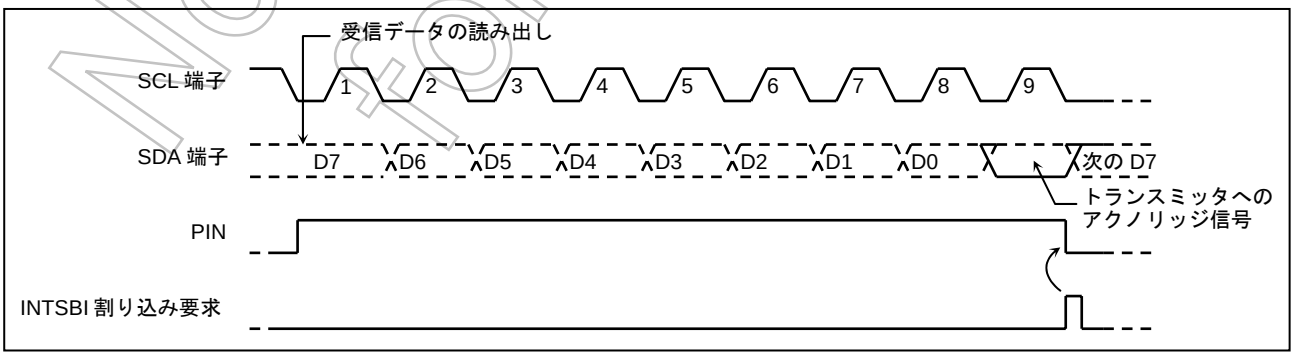


図2.12.13 BC = “000”, ACK = “1” の場合

Not Recommended for New Design

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に、ACK を “0” にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC = “001” に設定し、データを読み出すと PIN が “1” にセットされ、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなので、バスの SDA ラインは “H” レベルを保ちます。トランスミッタはアクノリッジ信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

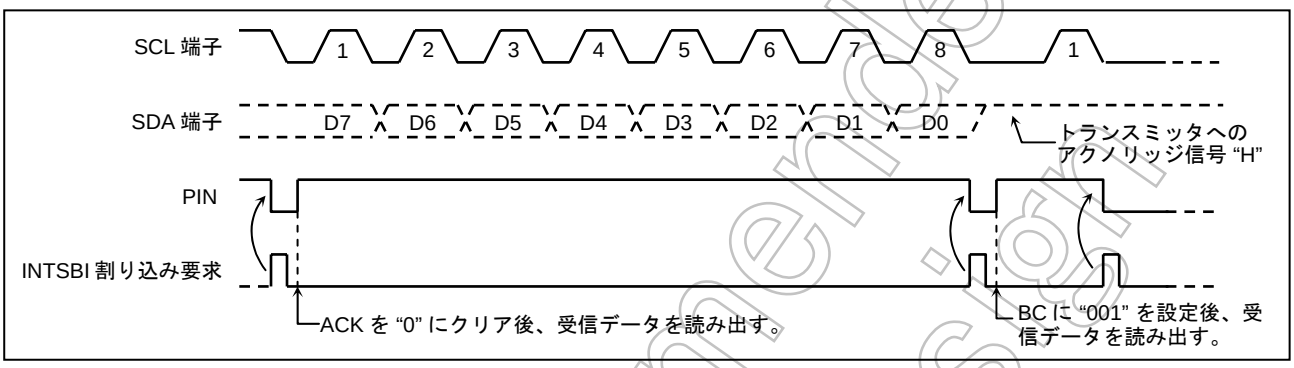


図2.12.14 マスタレシーバモード時、データの送信を終了させるときの処理

b. MST が “0” のとき (スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理またはシリアルバスインタフェース回路が、アービトレーションを失いスレーブモードになったときの処理を行います。また、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致またはゼネラルコール受信後における、データ転送終了時

シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTSBI 割り込み要求が発生します。アービトレーションを失った後の INTSBI と PIN の動作を表 2.12.3に示します。

表2.12.3 アービトレーションロスト時の INTSBI と PIN の動作

	マスターモード時、スレーブアドレス送信中にアービトレーションを失った場合	マスタートランスミットモード時、データ送信中にアービトレーションを失った場合
INTSBI	ワード転送終了時に INTSBI 発生	
PIN	I2CAR に設定されたスレーブアドレスと一致した場合、PIN は “0” にクリアされます。スレーブアドレスが一致しなかった場合は PIN は “1” を保持します。	PIN は “1” を保持 (“0”にクリアされません)。

INTSBI 割り込み要求が発生すると、PIN (SBICRB のビット 4) が “0” にリセットされ、SCL 端子を “L” レベルに引きます。SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すか、または PIN を “1” にセットすると SCL 端子が t_{LOW} 後に開放されます。

AL (SBISR のビット 3)、TRX (SBISR のビット 6)、AAS (SBISR のビット 2)、AD0 (SBISR のビット 1) をテストし、場合分けを行います。表 2.12.4 にスレーブモード時の状態と必要な処理を示します。

Not Recommended for New Design

表2.12.4 スレーブモード時の処理

TRX	AL	AAS	AD0	状　態	処　理
1	1	1	0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが “1” のシリアルバスインタフェース回路のスレーブアドレスを受信	1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが “1” のシリアルバスインタフェース回路のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	LRB をテストし、“1” にセットされていた場合、レシーバが次のデータを要求していないので PIN に “1” をセット、TRX を “0” にリセットしバスを開放します。LRB が “0” にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが “0” のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	PIN を “1” にセットするために SBIDBR を読み込みます。 (ダミー読み出し) または PIN に “1” を書き込みます。
		0	0	シリアルバスインタフェース回路が、スレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	シリアルバスインタフェース回路はスレーブモードとなっています。AL を “0” にクリアするためには、SBIDBR を読み出すか、SBIDBR へ書き込みを行ってください。
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが “0” のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	PIN を “1” にセットするために、SBIDBR を読み込むか、または PIN に “1” を書き込みます。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を BC にセットし、受信データを SBIDBR から読み込みます。

注) スレーブモードで I2CAR が “00H” に設定されている場合、I^2C バス規格の START バイト (“01H”)を受信したときは ACK 応答し、TRX が “1” にセットされます。

(4) ストップコンディションの発生

BB = “1” のときに、MST, TRX, PIN に “1”、BB に “0” を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、MST, TRX, BB, PIN の内容を書き替えないでください。

また、ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放された後、ストップコンディションが発生します。

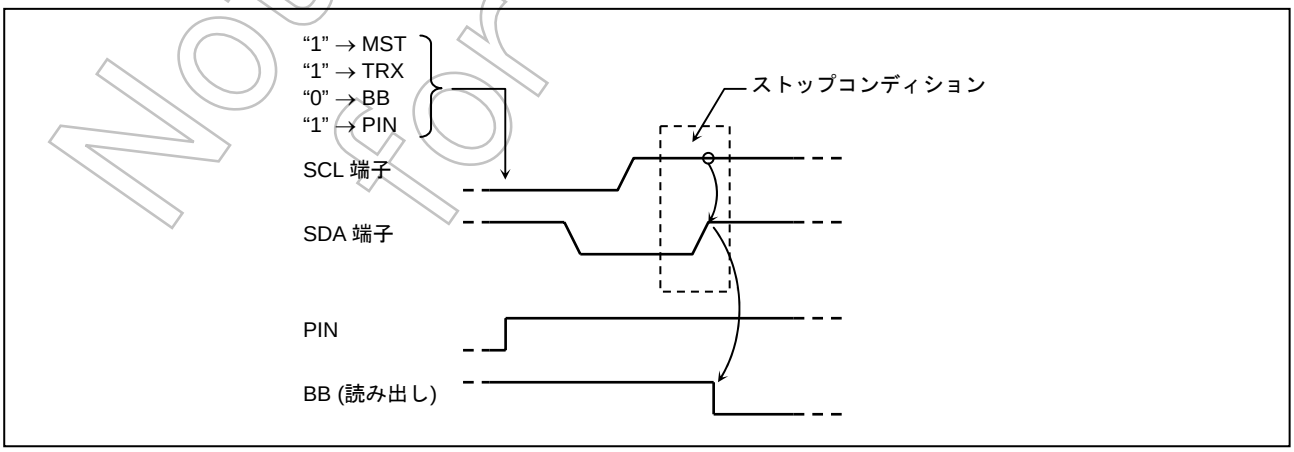


図2.12.15 ストップコンディションの発生

Not Recommended for New Design

(5) 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときに使用します。再スタートを発生させる場合の手順を以下に示します。

まず、MST, TRX, BB に “0”を、PIN に “1” を書き込むと、SDA 端子は “H” レベルを保ち、SCL 端子が開放されます。このときバス上にストップコンディションは発生されないため、ほかのデバイスからみると、バスはビジー状態のままです。この後 BB をテストして、“0” になるまで待ち、シリアルバスインタフェース回路の SCL 端子が開放されたことを確認します。次に LRB をテストして “1” になるまで待ち、ほかのデバイスが、バスの SCL ラインを “L” レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 (2) の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、最低 4.7 μs のソフトウエアによる待ち時間が必要です。

注) マスタ受信後に再スタート手順を行う場合は、最終受信バイト時にアクノリッジビットデータを送信していないため、LRB = “1”をテストしても、SCL ラインの立ち下がりを認識できません。SCL の状態を確認するには、ポートの読み出し機能を使って SCL ラインの状態を確認してください。

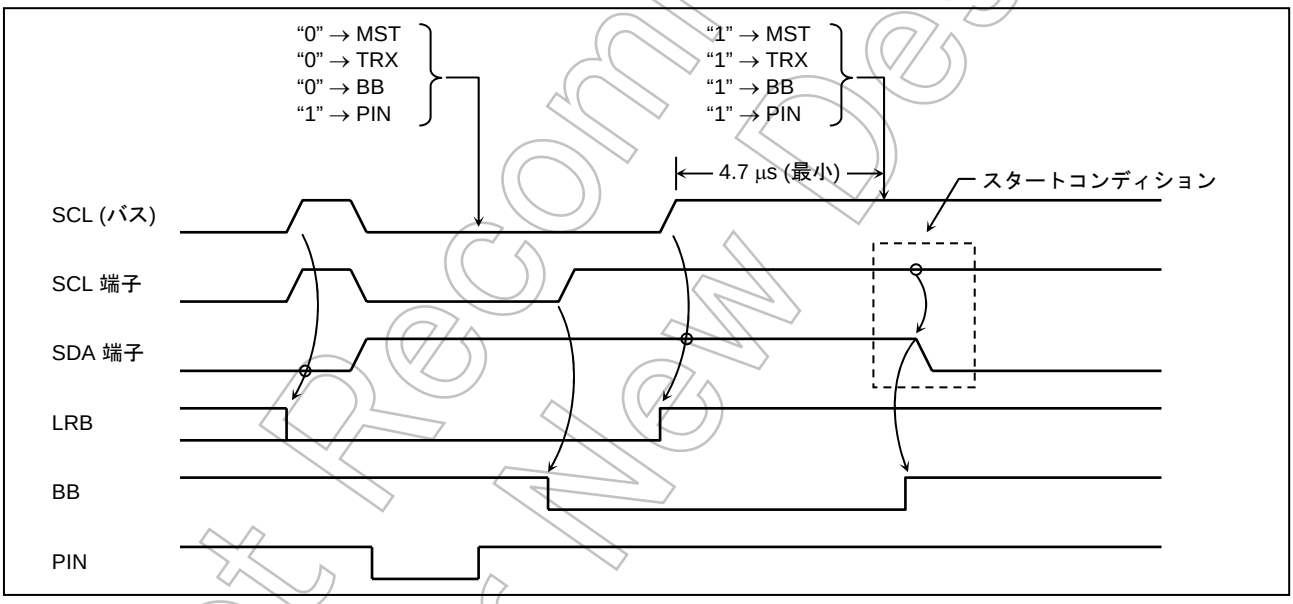


図2.12.16 再スタートを発生させる場合のタイミングチャート

Not Recommended for New Design

2.13 SIO (同期式シリアルインタフェース)

TMP86FM48 は、同期型シリアルインタフェース（SIO）を 2 チャネル内蔵しています。これらの SIO は SI1, SI2, SO1, SO2, $\overline{SCK1}$, $\overline{SCK2}$端子を通して外部デバイスと接続されます。SI1 端子は P05、SI2 端子は P11、SO1 端子は P06、SO2 端子は P10、$\overline{SCK1}$端子は P07、$\overline{SCK2}$端子は P12 端子と兼用になっています。これらの I/O 端子をシリアルインタフェース用の端子として使用する場合、対応する P0, P1 ポートの出力ラッチを “1” にセットします。

SIO1 と SIO2 は、制御端子とレジスタのアドレスを除き同一の機能ですので、ここでは SIO1 についてのみ説明します。以下に SIO1 と SIO2 のレジスタに対応するアドレスを示します。

	SIO1		SIO2	
	レジスタ	アドレス	レジスタ	アドレス
SIO 制御レジスタ	SIO1CR	0017H	SIO2CR	001BH
SIO ステータスレジスタ	SIO1SR	0018H	SIO2SR	001CH
SIO 受信バッファレジスタ	SIO1RDB	0019H	SIO2RDB	001DH
SIO 送信バッファレジスタ	SIO1TDB	0019H	SIO2TDB	001DH

2.13.1 構成

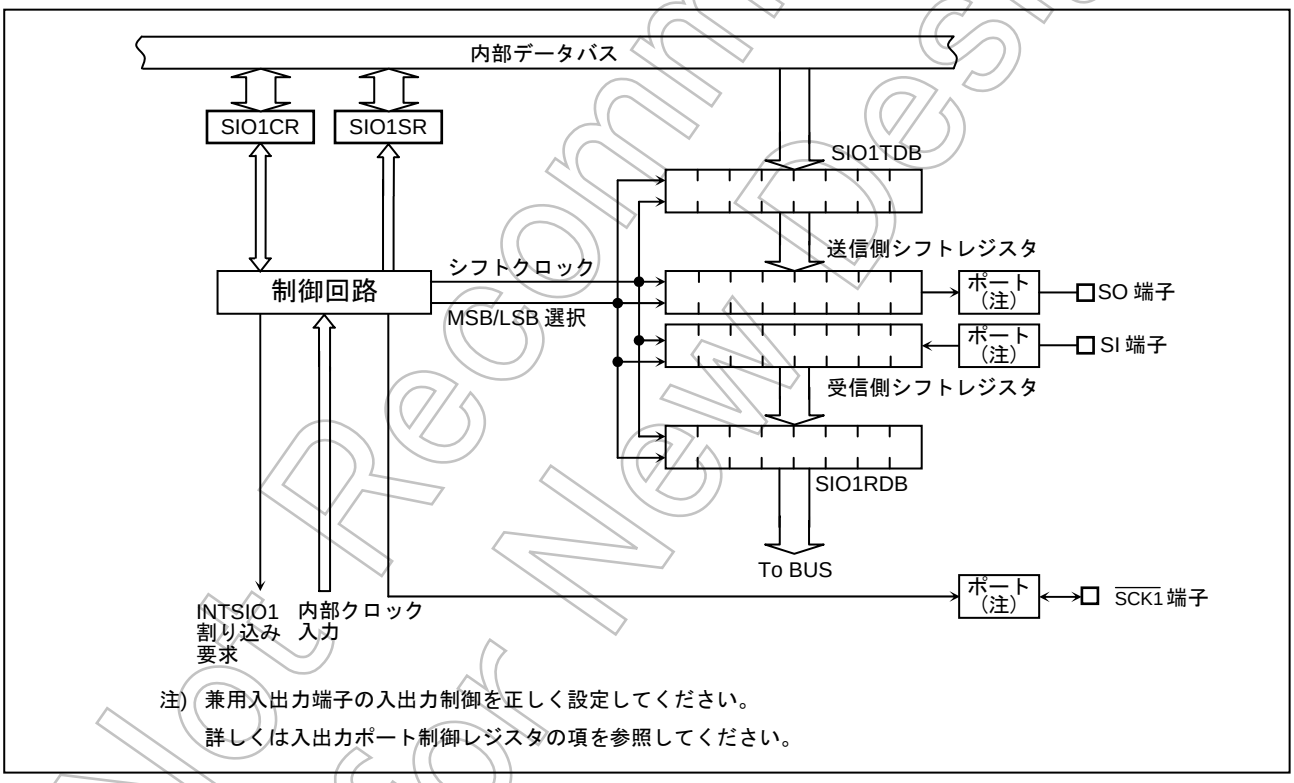


図 2.13.1 同期式シリアルインタフェース (SIO)

Not Recommended for New Design

2.13.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIO1CR) で行います。また、ステータスレジスタ (SIO1SR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

シリアルインタフェース制御レジスタ

SIO1CR (0017H)

7	6	5	4	3	2	1	0
SIOS	SIOINH	SIOM		SIODIR	SCK		

(初期値: 0000 0000)

SIOS	転送動作の開始/終了制御	0: 動作終了 1: 動作開始				R/W
SIOINH	転送の強制終了 注 1)	0: – 1: 転送強制停止 (停止後自動的に “0” にクリア)				
SIOM	転送モードの選択	00: 送信モード 01: 受信モード 10: 送受信モード 11: Reserved				
SIODIR	転送方向の選択	0: MSB (ビット 7) から転送を行う 1: LSB (ビット 0) から転送を行う				
SCK	シリアルクロックの選択		NORMAL1/2, IDLE1/2 モード		SLOW/SLEEP モード	
			TBTCR <DV7CK> = “0”	TBTCR <DV7CK> = “1”		
		000	$fc/2^{12}$	$fs/2^{4}$	$fs/2^{4}$	
		001	$fc/2^{8}$	$fc/2^{8}$	Reserved	
		010	$fc/2^{7}$	$fc/2^{7}$	Reserved	
		011	$fc/2^{6}$	$fc/2^{6}$	Reserved	
		100	$fc/2^{5}$	$fc/2^{5}$	Reserved	
		101	$fc/2^{4}$	$fc/2^{4}$	Reserved	
		110	$fc/2^{3}$	$fc/2^{3}$	Reserved	
		111	外部クロック ($\overline{SCK1}$ 端子から入力)			

注 1) SIOINH に “1” を書き込んだ場合、SIO1CR<SIOS>, SIO1SR レジスタ, SIO1RDB レジスタ, SIO1TDB レジスタが初期値に初期化されます。

注 2) 転送モード、転送方向、シリアルクロックの選択は、動作停止中(SIO1SR<SIOF>= “0”) に行ってください。

注 3) fc: 高周波クロック [Hz]、fs: 低周波クロック、*: Don’t care

図 2.13.2 シリアルインタフェース制御レジスタ

Not Recommended for New Design

シリアルインタフェースステータスレジスタ

SIO1SR (0018H)

7	6	5	4	3	2	1	0
SIOF	SEF	TXF	RXF	TXERR	RXERR		

(初期値: 0010 00**)

SIOF	シリアル転送動作状態モニタ	0: 動作停止中 1: 動作中	Read only
SEF	クロック数モニタ	0: 8 クロック目 1: 1~7 クロック目	
TXF	送信バッファエンプティフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	
RXF	受信バッファフルフラグ	0: 受信バッファにデータなし 1: 受信バッファにデータあり	
TXERR	送信エラーフラグ	Read 時 0: – (エラー発生なし) 1: 外部クロック動作時に送信バッファアンダーランが発生 Write 時 0: フラグのクリア 1: – (ソフトで “1” を書き込むことはできません)	R/W
RXERR	受信エラーフラグ	Read 時 0: – (エラー発生なし) 1: 外部クロック動作時に受信バッファオーバランが発生 Write 時 0: フラグのクリア 1: – (ソフトで “1” を書き込むことはできません)	

注 1) TXERR, RXERR は、SIOS に “0” を書き込み、転送動作を終了しても “0” にクリアされません。従って TXERR, RXERR をクリアするには、これらのビットに “0” を書き込むか、SIO1CR<SIOINH>に “1” を書き込んでください。

注 2) *: Don’t care

図 2.13.3 シリアルインタフェースステータスレジスタ

受信バッファレジスタ

SIO1RDB (0019H)

7	6	5	4	3	2	1	0

Read only
(初期値: 0000 0000)

送信バッファレジスタ

SIO1TRB (0019H)

7	6	5	4	3	2	1	0

Write only
(初期値: **** ****)

注 1) SIOTRB は書き込み専用レジスタですので、ビット操作などリードモディファイライト命令でアクセスしないでください。

注 2) SIOTDB は、SIO1SR<TXF>が “1” であることを確認した後にデータを書き込んでください。SIO1SR<TXF>が “0” のときにデータを書き込んでも、書き込んだデータは SIO1TDB に転送されません。

注 3) *: Don’t care

図 2.13.4 受信バッファレジスタ、送信バッファレジスタ

Not Recommended for New Design

2.13.3 機能

(1) シリアルクロック

a. クロックソース

シリアルクロックは、SIO1CR<SCK> によって選択されます。なお、シリアルクロックの変更は、SIO が動作停止中 (SIO1SR<SIOF>= “0”) に行ってください。

1. 内部クロック

SIO1CR<SCK> に “111B” 以外を設定すると、表 2.13.1に示すクロックレートに従って、シリアルクロックが $\overline{\text{SCK1}}$ 端子から出力されます。なお、転送開始前および転送終了時、$\overline{\text{SCK1}}$ 端子は “H” レベルになります。

プログラムでのデータの書き込み (送信時) またはデータの読み取り (受信時) 処理が、このシリアルクロックレートに追従できない場合、図 2.13.5のように $\overline{\text{SCK1}}$ 端子を “H” レベルで一時停止し、データバッファへのアクセスが行われるまで、シフト動作を待機させる自動ウェイト機能を内蔵しています。データの書き込み、データの読み出しにより、自動ウェイトが解除され $\overline{\text{SCK}}$ 端子からシリアルクロックが出力されるまで、最大で、選択されているシリアルクロックの 1 周期かかります。

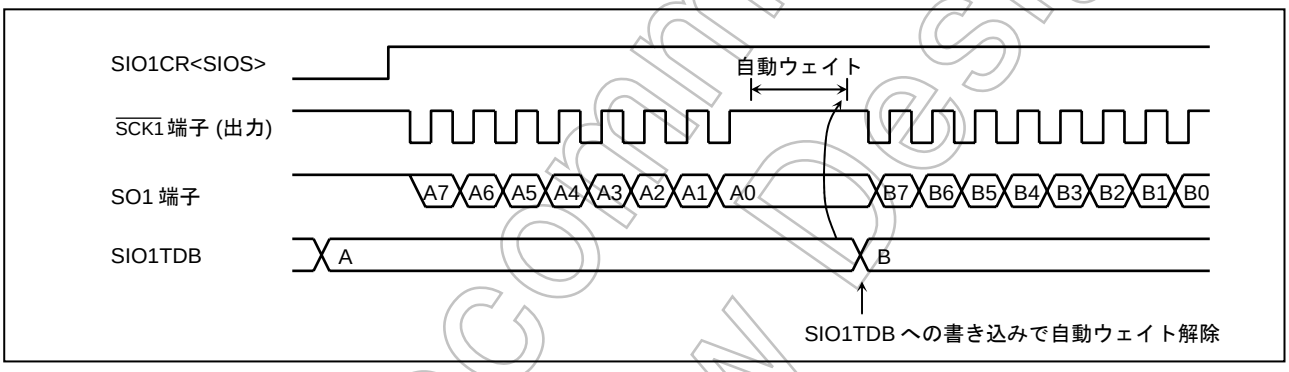


図 2.13.5 自動ウェイト機能 (送信モードの例)

表 2.13.1 シリアルクロックレート (fc = 16 MHz, fs = 32.768 Hz)

	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1			
	シリアルクロック	転送速度	シリアルクロック	転送速度	シリアルクロック	転送速度
000	$fc/2^{12}$	3.906 kbps	$fs/2^4$	2048 bps	$fs/2^4$	2048 bps
001	$fc/2^8$	62.5 kbps	$fc/2^8$	62.5 kbps	Reserved	–
010	$fc/2^7$	125 kbps	$fc/2^7$	125 kbps	Reserved	–
011	$fc/2^6$	250 kbps	$fc/2^6$	250 kbps	Reserved	–
100	$fc/2^5$	500 kbps	$fc/2^5$	500 kbps	Reserved	–
101	$fc/2^4$	1.00 Mbps	$fc/2^4$	1.00 Mbps	Reserved	–
110	$fc/2^3$	2.00 Mbps	$fc/2^3$	2.00 Mbps	Reserved	–

Not Recommended for New Design

2. 外部クロック

SIO1CR<SCK> に “111B” を設定すると、外部から $\overline{\text{SCK1}}$ 端子に供給されるクロックが、シリアルクロックとして使用されます。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は、“H” レベル、“L” レベルともに 4/fc 以上必要です。

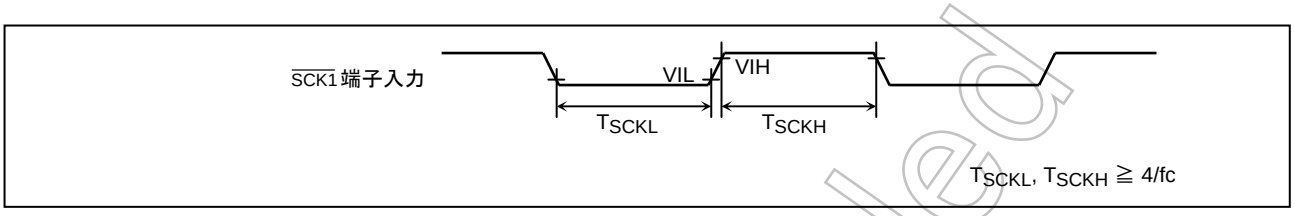


図 2.13.6　外部クロック

b.　シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

1. 前縁シフト

シリアルクロックの前縁（$\overline{\text{SCK1}}$ 端子入出力の立ち下がりエッジ）でデータをシフトします。

2. 後縁シフト

シリアルクロックの後縁（$\overline{\text{SCK1}}$ 端子入出力の立ち上がりエッジ）でデータをシフトします。

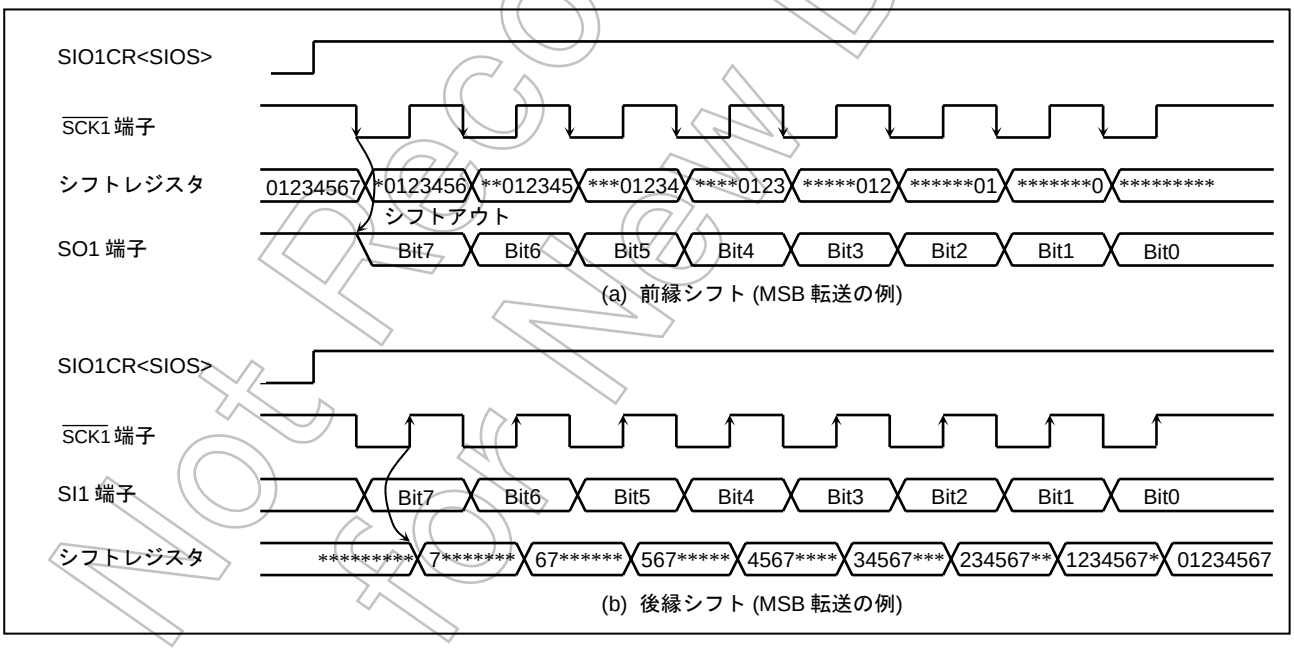


図 2.13.7　シフトエッジ

Not Recommended for New Design

(2) 転送ビット方向

転送ビット方向は、SIO1CR<SIODIR> によって選択されます。なお、データの転送方向は、送信、受信で個別に設定することはできません。また、転送ビット方向の変更は、SIO 動作停止中 (SIO1SR<SIOF>= “0”) に行ってください。

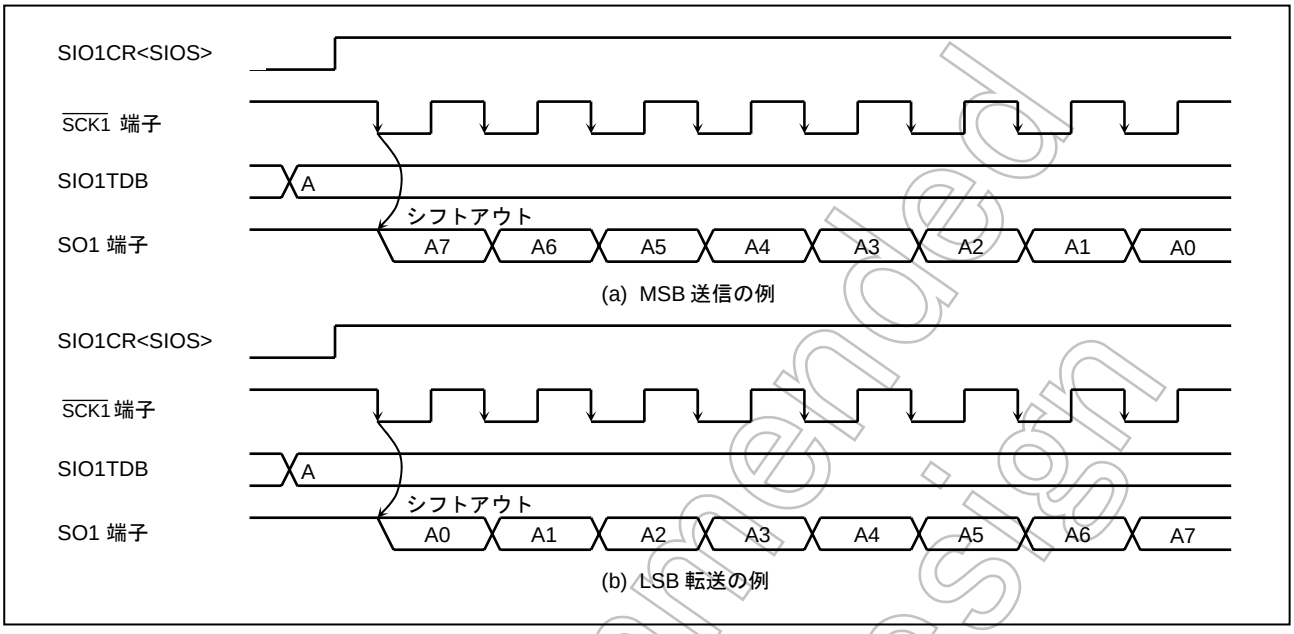


図 2.13.8 転送ビット方向 (送信モードの例)

a. 送信モード

1. MSB 転送

SIO1CR<SIODIR> に “0” を書き込むと MSB 送信モードとなり、SO1 端子から、送信データのビット 7 よりビット 0 へと順次送信されます。

2. LSB 転送

SIO1CR<SIODIR> に “1” を書き込むと LSB 送信モードとなり、SO1 端子から、送信データのビット 0 よりビット 7 へと順次送信されます。

b. 受信モード

1. MSB 受信

SIO1CR<SIODIR> に “0” を書き込むと MSB 受信モードとなり、SI1 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

2. LSB 受信

SIO1CR<SIODIR> に “1” を書き込むと LSB 受信モードとなり、SI1 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

c. 送受信モード

1. MSB 送受信

SIO1CR<SIODIR> に “0” を書き込むと MSB 送受信モードとなり、SO1 端子から、送信データのビット 7 よりビット 0 へと順次送信され、SI1 端子からデータが、シフトレジスタのビット 7 からビット 0 へと順次取り込まれます。

2. LSB 送受信

SIO1CR<SIODIR> に “1” を書き込むと LSB 送受信モードとなり、SO1 端子から、送信データのビット 0 よりビット 7 へと順次送信され、SI1 端子からデータが、シフトレジスタのビット 0 からビット 7 へと順次取り込まれます。

Not Recommended for New Design

(3) 転送モード

転送モードは、SIO1CR<SIOM>によって送信/受信/送受信モードのいずれかを選択できます。

a. 送信モード

SIO1CR<SIOM> に “00B” を設定すると、送信モードになります。

1. 送信開始

SIO1CR<SIOM> に “00B” を書き込むことによって送信モードに設定し、SIO1CR<SCK> でシリアルクロックを、SIO1CR<SIODIR> で転送ビット方向を設定します。

送信バッファレジスタ (SIO1TDB) に送信データをセットすると、SIO1SR<TXF> が “0” にクリアされます。

SIO1CR<SIOS>に “1” を書き込むと、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1SR<SIOF> が “1” にセットされます。

SO1 端子から $\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1CR<SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO1SR<SEF> が “1” にセットされます。

SIO1TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK1}}$ 端子の立ち上がりで、SIO1SR<TXF> が “1” にセットされます。また、次の $\overline{\text{SCK1}}$ 端子の立ち下がりで INTSIO1 割り込み要求が発生します。

注 1) 内部クロック動作の場合、送信バッファに送信データを書き込まれていない状態で SIO1CR<SIOS>に “1” をセットしても、送信は開始されません。

注 2) 内部クロック動作の場合、SIO1CR<SIOS>が “1” にセットされると、最大で、選択されているシリアルクロックの 1 周期後、SIO1TDB に書き込まれたデータがシフトレジスタに転送され、$\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されます。

注 3) 外部クロック動作の場合、SIO1CR<SIOS>が “1” にセットされた後、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジが入力されると、直ちに SIO1TDB に書き込まれたデータがシフトレジスタに転送され、SO1 端子から、SIO1CR<SIODIR> で選択した転送ビット方向より順に送信が開始されます。

2. 送信動作中

SIO1TDB にデータを書き込むと、SIO1SR<TXF>は “0” にクリアされます。

内部クロック動作において、8 ビットの送信データすべての送信が終了したとき、次に送信するデータが SIO1TDB に書き込まれていない場合、自動ウェイト機能が動作して $\overline{\text{SCK1}}$ 端子が “H” レベルになります。送信するデータを SIO1TDB に書き込むと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、送信動作が再開されます。

SIO1SR<TXF>が “1” のとき、8 ビットの送信データすべてを送信する前に SIO1TDB にデータを書き込むと、送信中のデータが送信された後、続けて書き込んだデータが送信されます。

外部クロック動作のとき、SIO1SR<TXF>が “1” にセットされてから、次のデータのシフト動作に入る前に、送信データを SIO1TDB に書き込む必要があります。送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO1SR<TXERR>が “1” にセットされ、INTSIO1 割り込み要求が発生します。

Not Recommended for New Design

3. 送信終了

送信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR<SIOS> に “0” を書き込む方法

  SIO1CR<SIOS>に “0” を書き込むと、すべての送信データが転送を終了した後、送信動作を停止します。送信動作が終了すると SIO1SR<SIOF> が “0” にクリアされ、SO1 端子が “H” レベルになります。

  外部クロック動作の場合､次の転送の開始によって SIO1SR<SEF>が “1” にセットされる前に、SIO1CR<SIOS>に “0” を書き込みます。

- SIO1CR<SIOINH> に “1” を書き込む方法

  SIO1CR<SIOINH> に “1” を書き込むと、直ちに送信を終了します。この場合、SIO1CR<SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

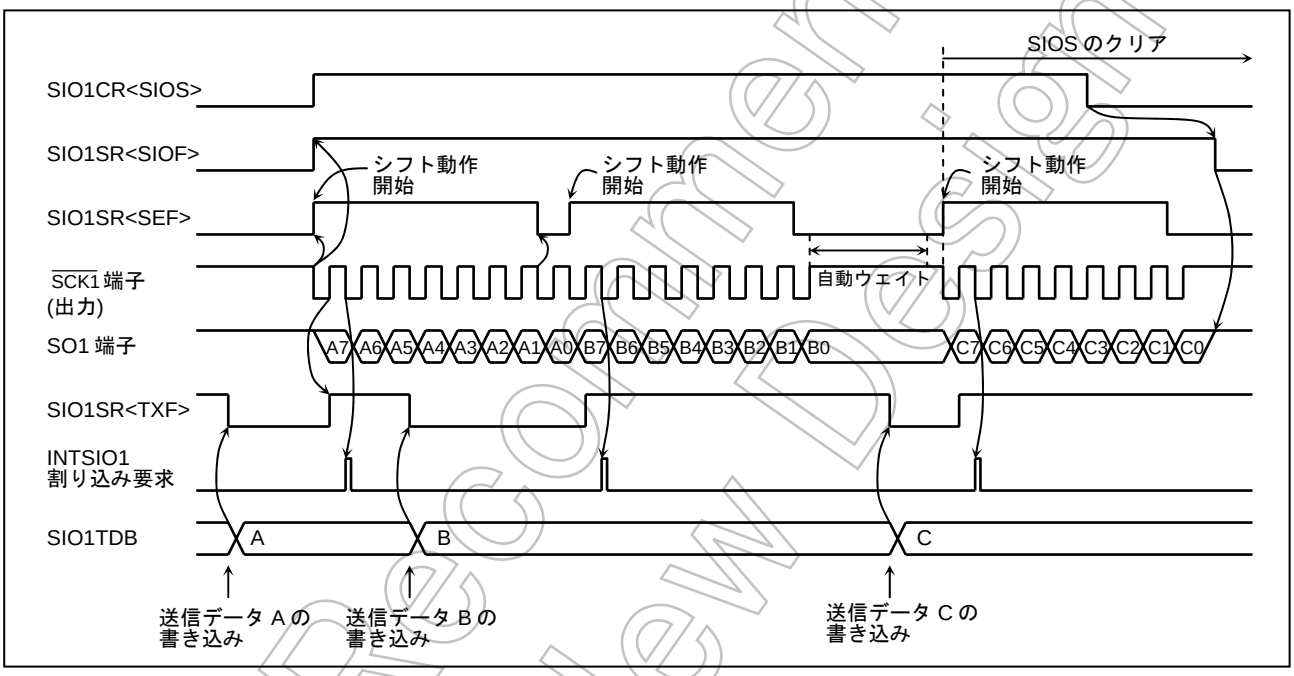


図 2.13.9 内部クロック、MSB 送信の例

Not Recommended for New Design

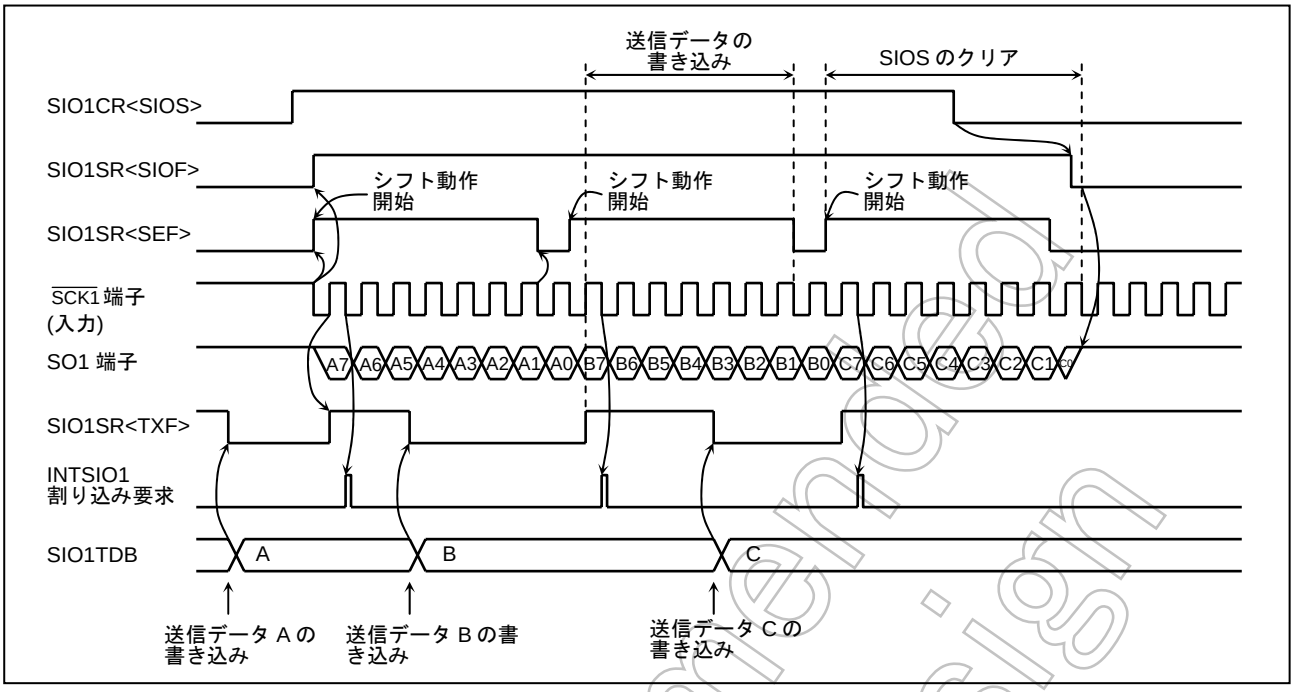


図 2.13.10　外部クロック、MSB 送信の例

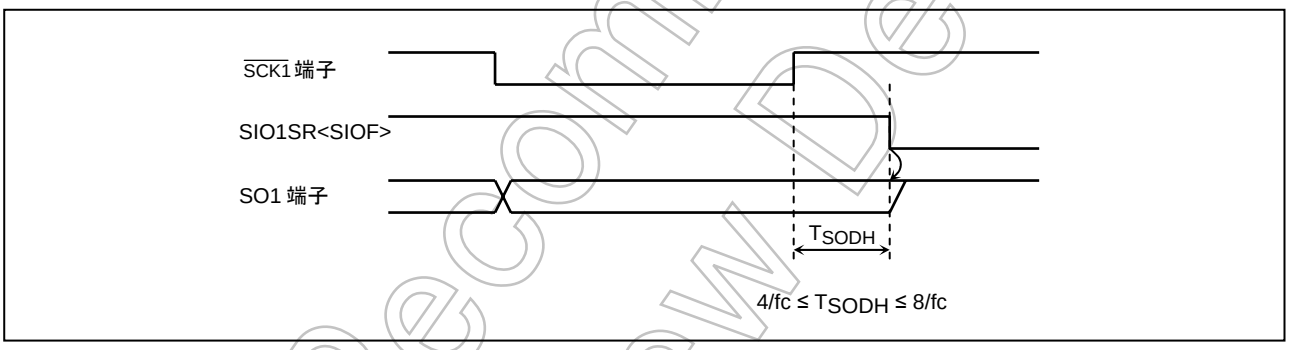


図 2.13.11　送信終了時のデータ保持時間

Not Recommended for New Design

4. 送信エラー処理

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、次の送信データを SIO1TDB に書き込む前に、シフト動作が開始された場合。

送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO1SR<TXERR> が “1” にセットされ、シフト動作が行われた次のクロックの立ち下がりで INTSIO1 割り込み要求が発生します。

SIO1CR<SIOS>を “1” にセットした後、SIO1TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO1SR<TXERR> が “1” にセットされると同時に、INTSIO1 割り込み要求が発生します。

SIO1SR<TXERR> が “1” にセットされると、SO1 端子からは “H” レベルが出力されます。

送信エラーが発生した場合、SIO1CR<SIOINH> に “1” を書き込み、送信動作を強制停止させます。この場合、SIO1CR<SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

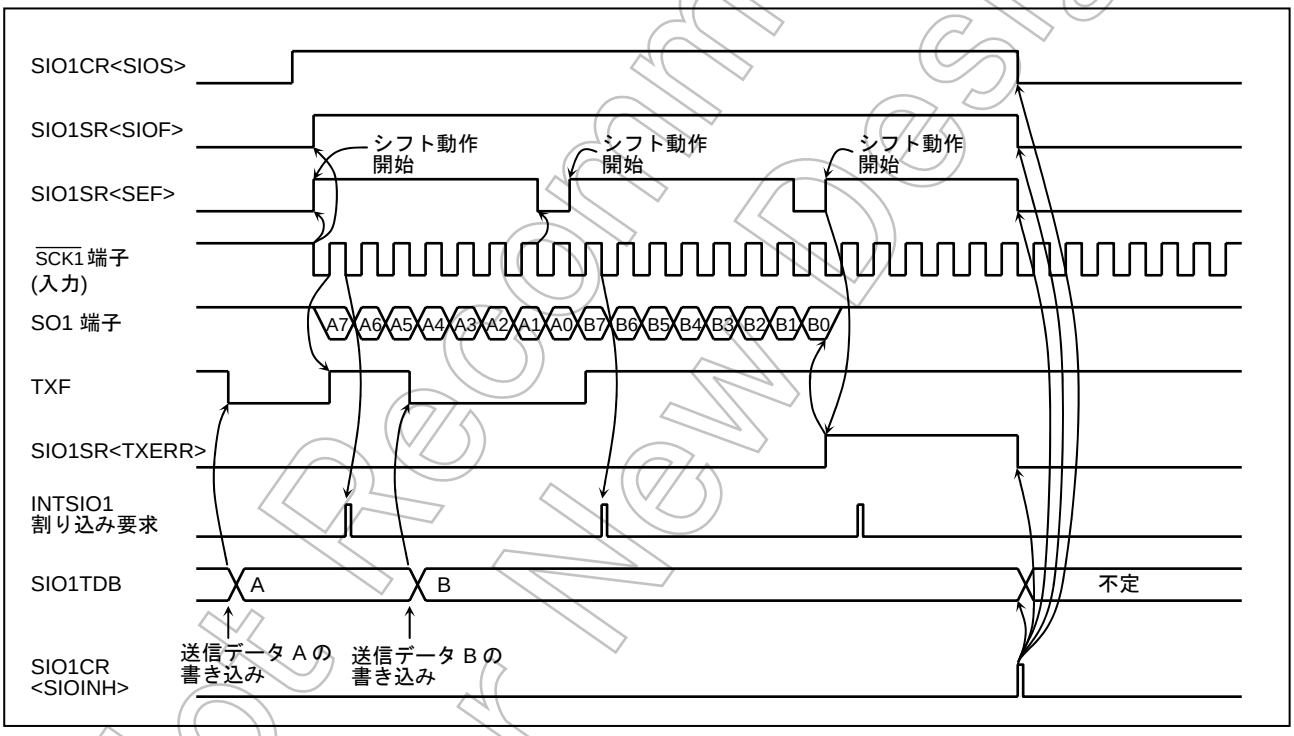


図 2.13.12 送信モードエラー処理の例

Not Recommended for New Design

b. 受信モード

SIO1CR<SIOM> に “01B” を書き込むと、受信モードになります。

1. 受信開始

SIO1CR の SIO1CR<SIOM> に、“01B” を書き込み受信モードに設定し、SIO1CR<SCK>でシリアルクロックを、SIO1CR<SIODIR>で転送ビット方向を設定します。

SIO1CR<SIOS>に “1” を書き込むと、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1SR<SIOF> が “1” にセットされます。

$\overline{\text{SCK1}}$ 端子の立ち上がりエッジに同期して、SI1 端子から SIO1CR<SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりエッジまでの間、SIO1SR<SEF> が “1” にセットされます。

8 ビットのデータが受信されると受信データがシフトレジスタから SIO1RDB に転送され、SIO1SR<RXF> が “1” にセットされるとともに、INTSIO1 割り込み要求が発生します。

注) 内部クロック動作の場合、SIO1CR<SIOS>が “1” にセットされると、最大、選択されているシリアルクロックの 1 周期分後、$\overline{\text{SCK1}}$端子からシリアルクロックが出力されます。

2. 受信動作中

SIO1RDB からデータを読み出すと、SIO1SR<RXF>は “0” にクリアされます。

内部クロック動作において、8 ビットの受信データすべての受信が終了したとき、自動ウェイト機能が動作し $\overline{\text{SCK1}}$ 端子が “H”レベルになります。SIO1RDB から受信データを読み出すと、自動ウェイト動作は解除され、最大で、選択されているシリアルクロックの 1 周期後、受信動作が再開されます。

外部クロック動作のとき、SIO1SR<RXF>が “1” にセットされてから、次の受信データのシフト動作が終了する前に、SIO1RDB から受信データを読み出す必要があります。受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO1SR<RXERR> が “1” にセットされ、INTSIO1 割り込み要求が発生します。

3. 受信終了

受信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR<SIOS> に “0” を書き込む方法

  SIO1CR<SIOS>に “0” を書き込むと、すべての受信データが転送を終了した後、受信動作を停止します。受信動作が終了すると、SIO1SR<SIOF> が “0” にクリアされます。

  外部クロック動作の場合、次の転送が開始によって SIO1SR<SEF>が “1” にセットされる前に、SIO1CR<SIOS> に “0” を書き込みます。

- SIO1CR<SIOINH> に “1” を書き込む方法

  SIO1CR<SIOINH> に “1” を書き込むと、直ちに受信を終了します。この場合、SIO1CR<SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

Not Recommended for New Design

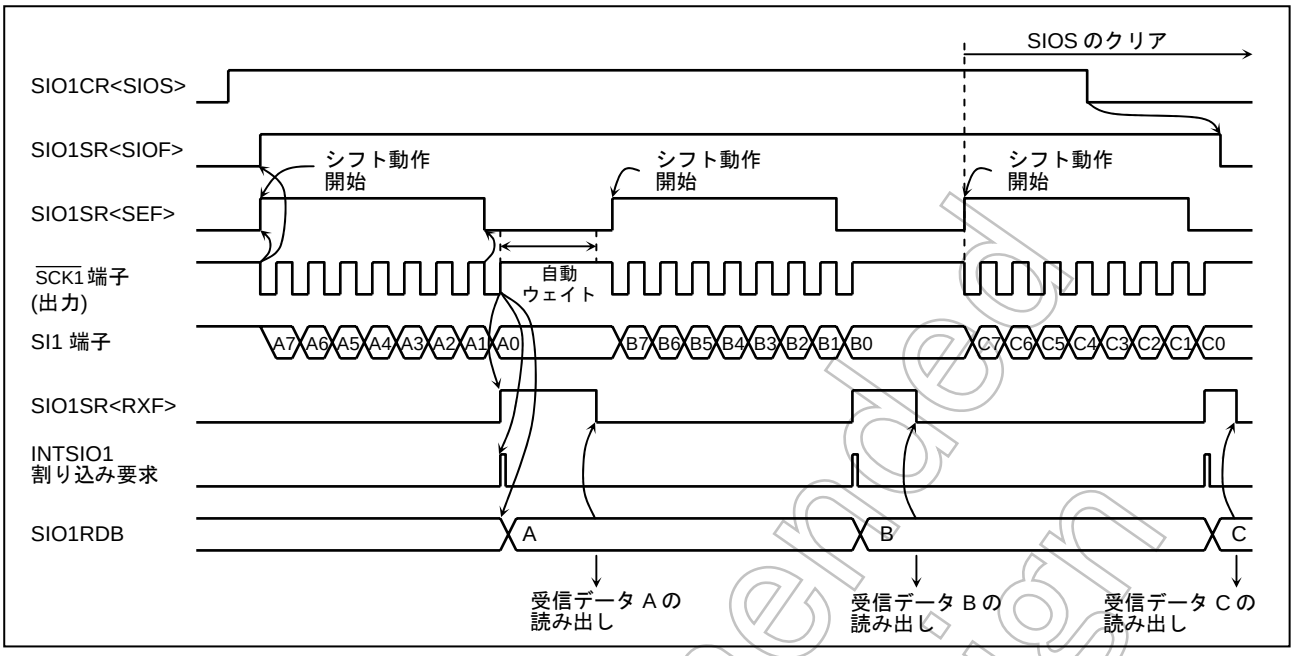


図 2.13.13　内部クロック、MSB 受信の例

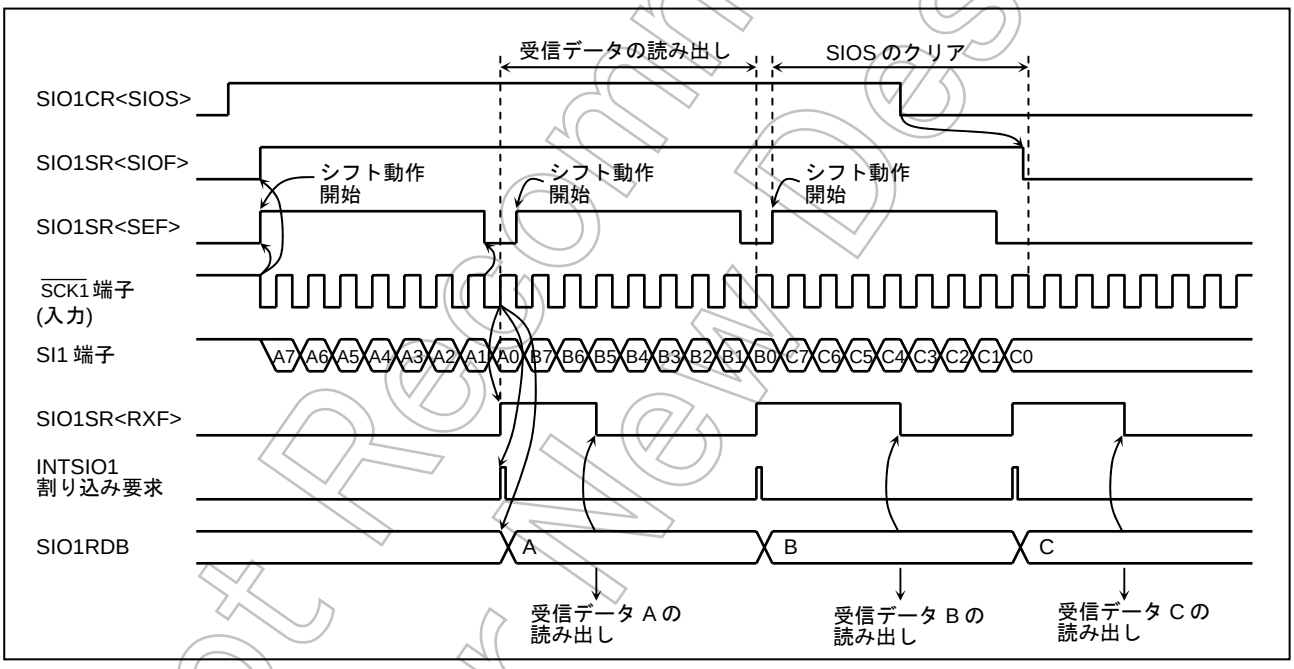


図 2.13.14　外部クロック、MSB 受信の例

Not Recommended for New Design

4. 受信エラー処理

下記の状態が発生すると受信エラーとなり、SIO1SR<RXERR> が“1” にセットされ、SIO1RDB とシフトレジスタ内のデータを保護するため、エラー発生以降の受信データは無視されます。

- 外部クロック動作のとき、SIO1SR<RXF>が“1”の状態で、受信データを SIO1RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには SIO1CR<SIOS> に “0” を書き込み、受信動作を停止させます。次に、SIO1RDB からデータを読み出します。その後、再度 SIO1RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO1SR<RXERR> に “0” を書き込むと、SIO1SR<RXF>が “0” にクリアされます。SIO1CR<SIOS>を “0” にクリアした後、8 ビット分のシリアルクロックが $\overline{\text{SCK1}}$ 端子から入力されると、SIO1SR<SIOF>が “0” にクリアされ、受信動作は停止します。受信動作を再開する場合には、SIO1SR<SIOF>が “0” にクリアされたことを確認してから行ってください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO1CR<SIOINH> に “1” を書き込み、受信動作を強制停止させます。この場合、SIO1CR<SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

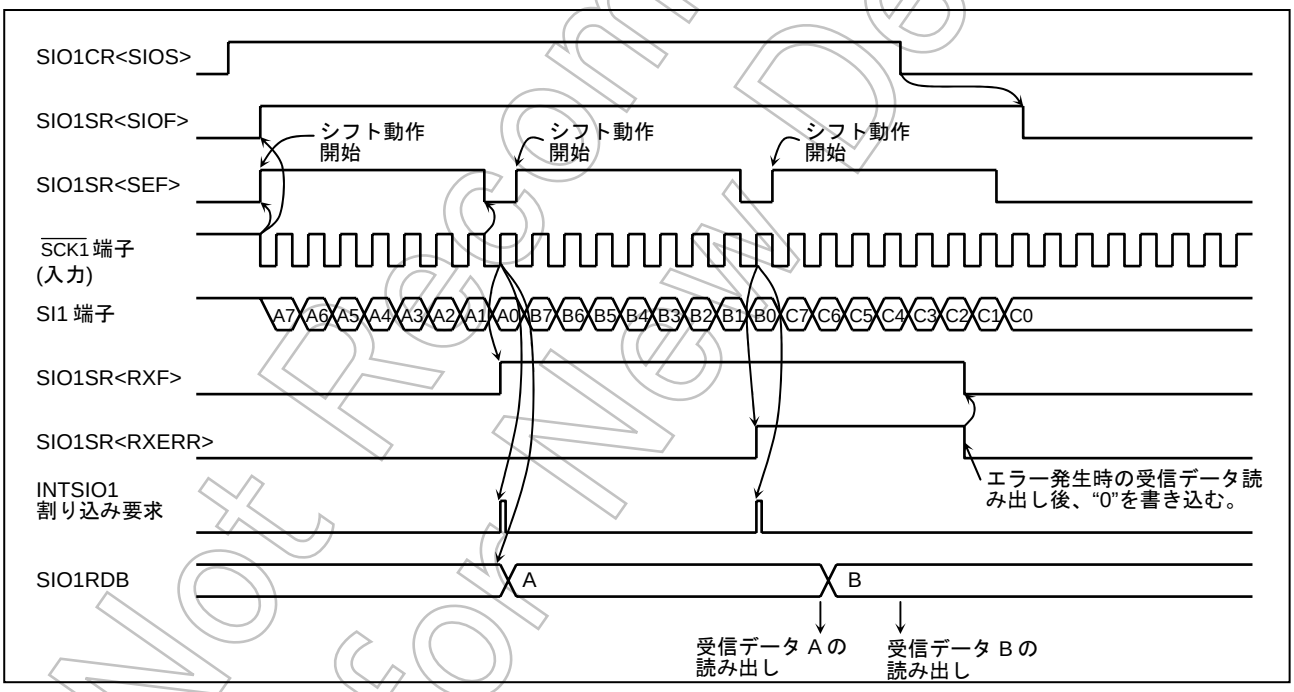


図 2.13.15 受信モードエラー処理の例

注) 受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

Not Recommended for New Design

c. 送受信モード

SIO1CR<SIOM> に “10B” を書き込むと、送受信モードになります。

1. 送受信開始

SIO1CR の SIO1CR<SIOM> に “10B” を書き込み、送受信モードに設定し、SIO1CR<SCK>でシリアルクロックを、SIO1CR<SIODIR>で転送ビット方向を設定します。

送信バッファレジスタ (SIO1TDB) に送信データをセットします。送信バッファレジスタにデータが書き込まれると、SIO1SR<TXF> が “0” にクリアされます。SIO1CR<SIOS>に “1” を書き込むと、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジに同期して、SIO1SR<SIOF> が “1” にセットされます。

SO1 端子から $\overline{\text{SCK1}}$ 端子の立ち下がりに同期して、SIO1CR<SIODIR> で選択した転送ビット方向より順にデータの送信が開始されます。また、$\overline{\text{SCK1}}$ 端子の立ち上がりに同期して、SIO1CR<SIODIR> で選択した転送ビット方向より順にシフトレジスタにデータが受信されます。

$\overline{\text{SCK1}}$ 端子の 1 クロック目の立ち下がりから、8 クロック目の立ち下がりまでの間、SIO1SR<SEF> が “1” にセットされます。

SIO1TDB に書き込まれたデータがシフトレジスタに転送された後の $\overline{\text{SCK1}}$ 端子の立ち上がりで、SIO1SR<TXF> が “1” にセットされます。また、8 ビットのデータが受信されると、受信データがシフトレジスタから SIO1RDB に転送され、SIO1SR<RXF> が “1” にセットされるとともに、INTSIO1 割り込み要求が発生します。

注 1) 内部クロック動作の場合、SIO1CR<SIOS>を “1” にセットすると、最大で、選択されているシリアルクロック 1 周期分後、SIO1TDB に書き込まれたデータがシフトレジスタに転送され、$\overline{\text{SCK1}}$ 端子からシリアルクロックが出力されます。

注 2) 外部クロック動作の場合、SIO1CR<SIOS>を “1” にセットした後、$\overline{\text{SCK1}}$ 端子の立ち下がりエッジが入力されると、直ちに SIO1TDB に書き込まれたデータがシフトレジスタに転送されます。また $\overline{\text{SCK1}}$ 端子の立ち上がりエッジが入力されると、受信動作を開始します。

2. 送受信動作中

SIO1TDB にデータを書き込むと、SIO1SR<TXF>は “0” にクリアされます。また、SIO1RDB を読み出すと、SIO1SR<RXF>は “0” にクリアされます。

内部クロック動作において、8 ビットのデータすべての転送が終了したとき、以下に示す条件下では $\overline{\text{SCK}}$ 端子が “H” レベルになり、自動ウェイト機能が動作します。

- SIO1RDB から受信データを読み出した後、次の送信データが SIO1TDB に書き込まれない場合
- 次の送信データを SIO1TDB に書き込んだ後、SIO1RDB から受信データが読み出されない場合
- 転送後、SIO1TDB、SIO1RDB ともにアクセスされない場合

SIO1RDB から受信データを読み出した後、送信データを SIO1TDB に書き込むか、送信データを SIO1TDB に書き込んだ後、SIO1RDB から受信データを読み出すと、最大で、選択されているシリアルクロック 1 周期分後、自動ウェイト状態は解除され、送受信が再開されます。

Not Recommended for New Design

外部クロック動作のとき、次のシフト動作に入る前に、SIO1RDB から受信データを読み出し、送信データを SIO1TDB に書き込む必要があります。

SIO1SR<TXF>が “1” にセットされた後に、送信データが書き込まれなかった場合、シフト動作に入った直後に送信エラーが発生し、SIO1SR<TXERR> が “1” にセットされます。

また、SIO1SR<RXF>が “1” にセットされてから、次の受信データのシフト動作終了前に SIO1RDB から受信データが読み出されなかった場合、シフト動作終了時点で受信エラーが発生し、SIO1SR<RXERR> が “1” にセットされます。

3. 送受信終了

送受信動作を終了させるには、以下の 2 つの方法があります。

- SIO1CR<SIOS> に “0” を書き込む方法

  SIO1CR<SIOS>に “0” を書き込むと、送受信しているデータがすべて転送された後、送受信動作を停止します。送受信が終了すると SIO1SR<SIOF> が “0” にクリアされ、SO1 端子が “H” レベルになります。

  外部クロック動作の場合、次のデータの転送が始まることによって SIO1SR<SEF>が “1” になる前に、SIO1CR<SIOS>に “0” を書き込みます。

- SIO1CR<SIOINH> に “1” を書き込む方法

  SIO1CR<SIOINH> に “1” を書き込むと、直ちに送受信を終了します。この場合、SIO1CR<SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

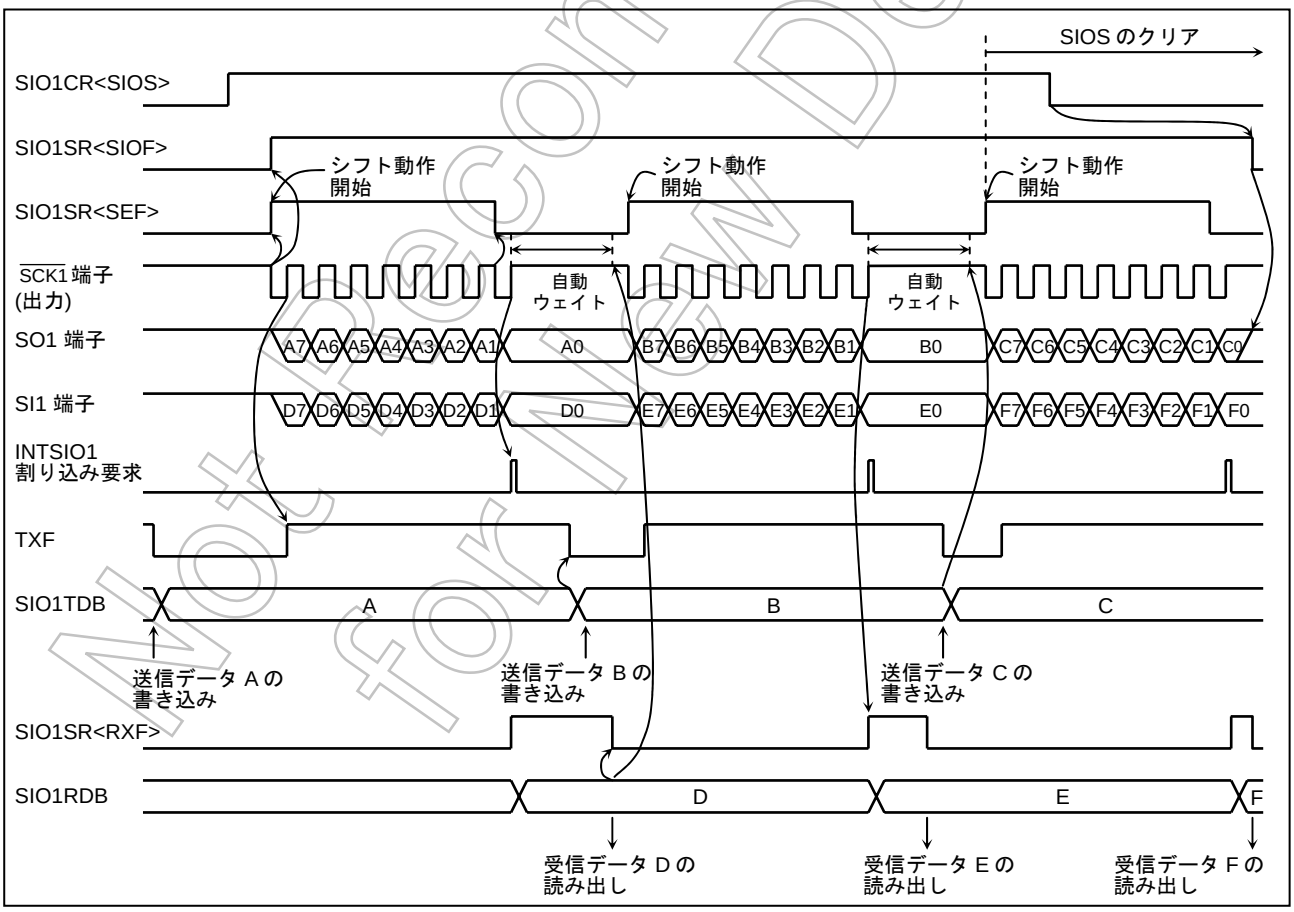


図 2.13.16 内部クロック、MSB 送受信の例

Not Recommended for New Design

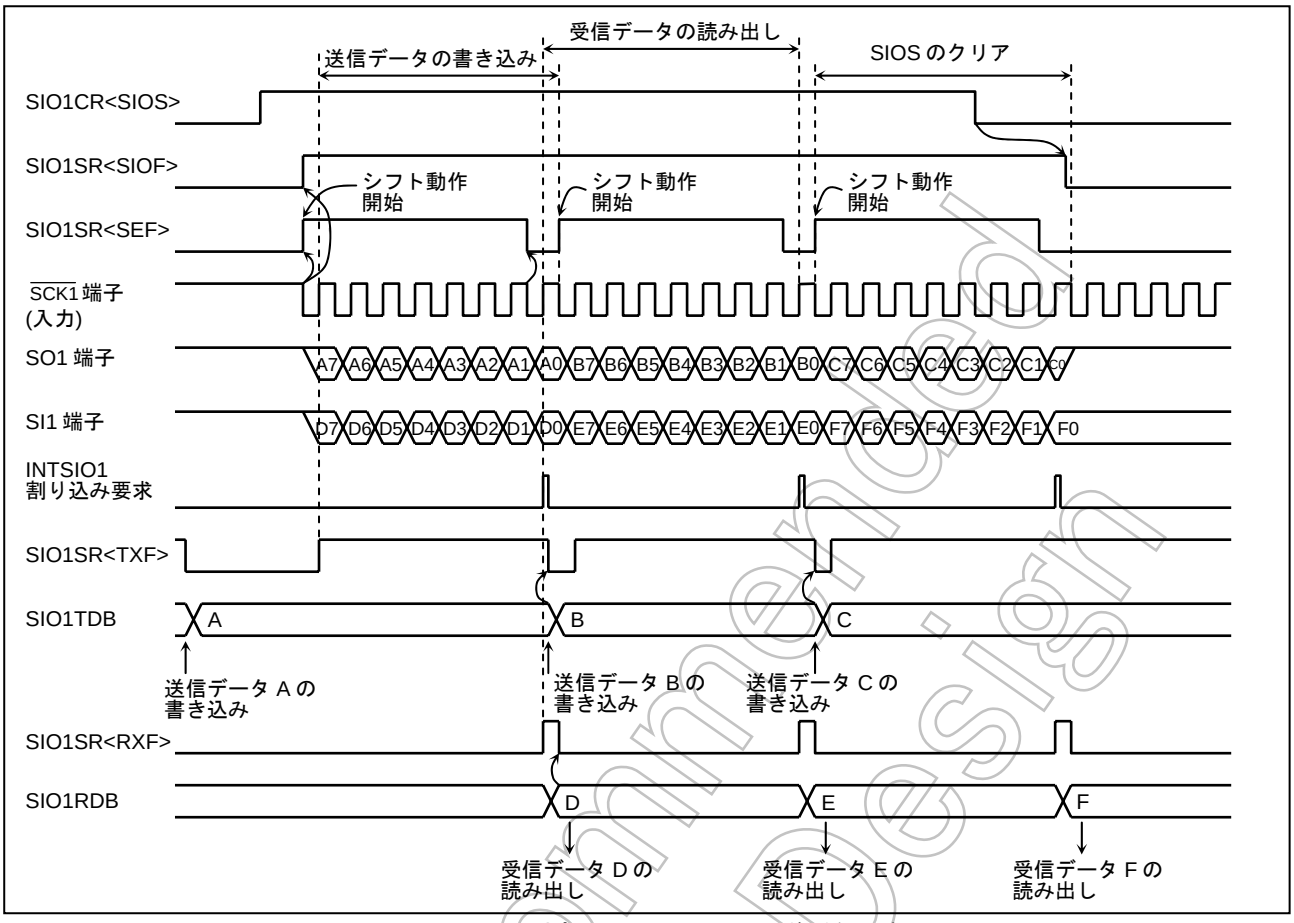


図 2.13.17　外部クロック、MSB 送受信の例

Not Recommended for New Design

4. 送受信エラー処理

下記の状態が発生すると、送受信エラーとなります。送信、受信のどちらでエラーが発生したかによって、エラー発生時の動作が異なります。

送信エラー

下記の状態が発生すると、送信エラーとなります。

- 外部クロック動作のとき、送信データを SIO1TDB に書き込む前にシフト動作が開始された場合。

  送信途中で送信エラーが発生した場合、シフト動作開始直後に SIO1SR<TXERR> が “1” にセットされ、8 ビットのデータが受信された後、INTSIO1 割り込み要求が発生します。

  SIO1CR<SIOS>を “1” にセットし、SIO1TDB にデータを書き込む前にシフト動作が開始された場合、シフト動作開始直後に SIO1SR<TXERR> が “1” にセットされ、8 ビットのデータが受信された後に INTSIO1 割り込み要求が発生します。

  SIO1SR<TXERR> が “1” にセットされると、SO1 端子からは “H” レベルが出力されます。

  送信エラーが発生した場合は、受信データを読み出した後、SIO1CR<SIOINH> に “1” を書き込み、送受信動作を強制停止させます。この場合、SIO1CR<SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

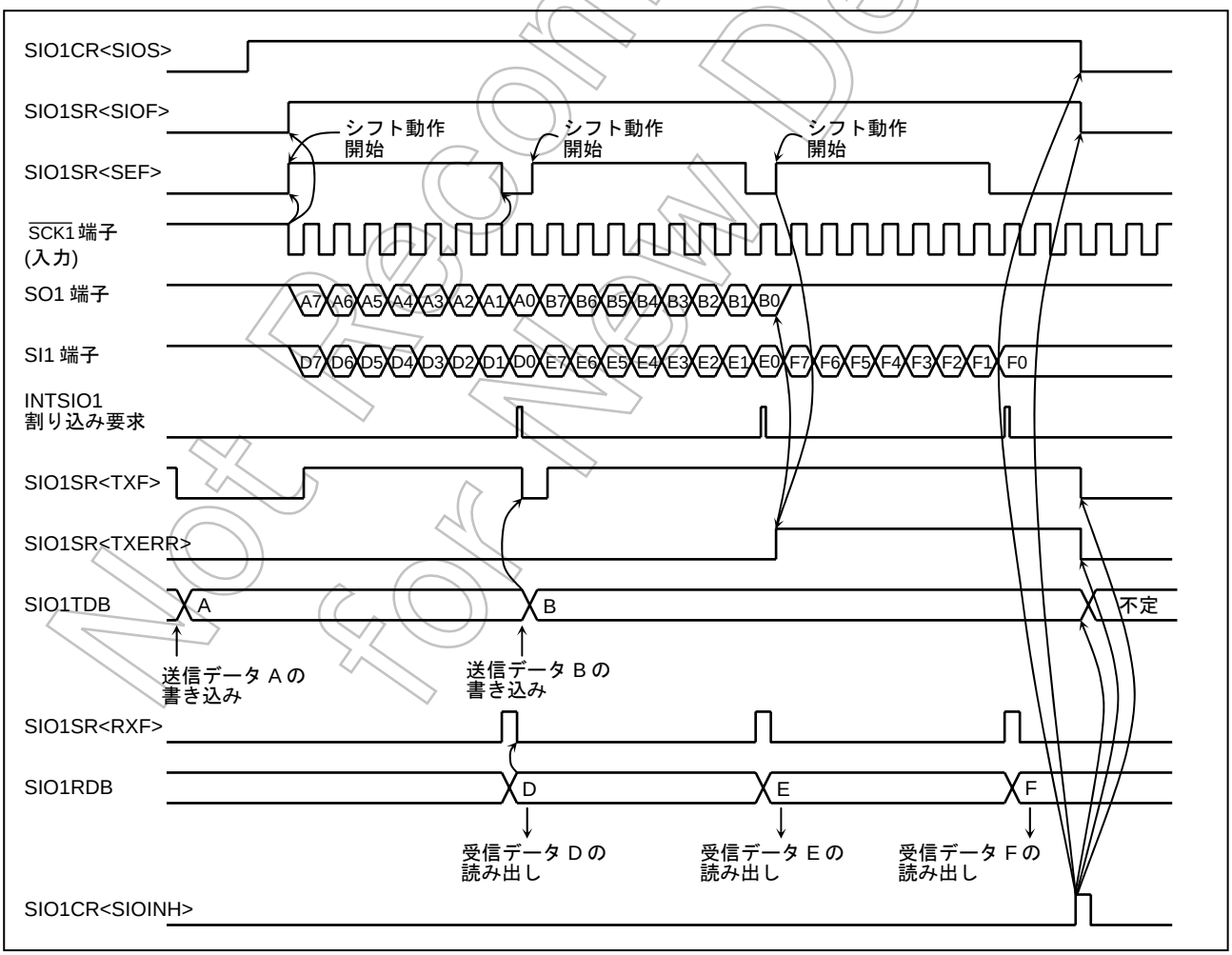


図 2.13.18 送受信モード (送信) エラー処理の例

Not Recommended for New Design

受信エラー

下記の状態が発生すると受信エラーとなり、SIO1SR<RXERR> が“1” にセットされ、SIO1RDB とシフトレジスタ内のデータを保護するため、エラー発生以降のデータは無視されます。

- 外部クロック動作のとき、SIO1SR<RXF>が “1” の状態で受信データを SIO1RDB から読み出す前に、次の受信データのシフト動作が終了した場合。

受信エラーが発生した場合、エラー直前の受信データを読み出すには、SIO1CR<SIOS> に “0” を書き込み受信を停止させます。次に、SIO1RDB からデータを読み出します。その後、再度 SIO1RDB を読み出すと、エラーが発生したときのシフトレジスタ内のデータを読み出すことができます。すべてのデータを読み出した後、SIO1SR<RXERR> に “0” を書き込むと、SIO1SR<RXF>が “0” にクリアされます。SIO1CR<SIOS>を “0” にクリアした後、8 ビット分のシリアルクロックが $\overline{\text{SCK1}}$ 端子から入力されると、SIO1SR<SIOF>が “0” にクリアされ、受信動作は停止します。受信を再開する場合には、SIO1SR<SIOF>が “0” にクリアされたことを確認してください。

受信エラーが発生した場合、直ちに受信動作を停止するには、SIO1CR<SIOINH> に “1” を書き込み、受信動作を強制停止させます。この場合、SIO1CR<SIOS>、SIO1SR レジスタ、SIO1RDB レジスタ、SIO1TDB レジスタが初期化されます。

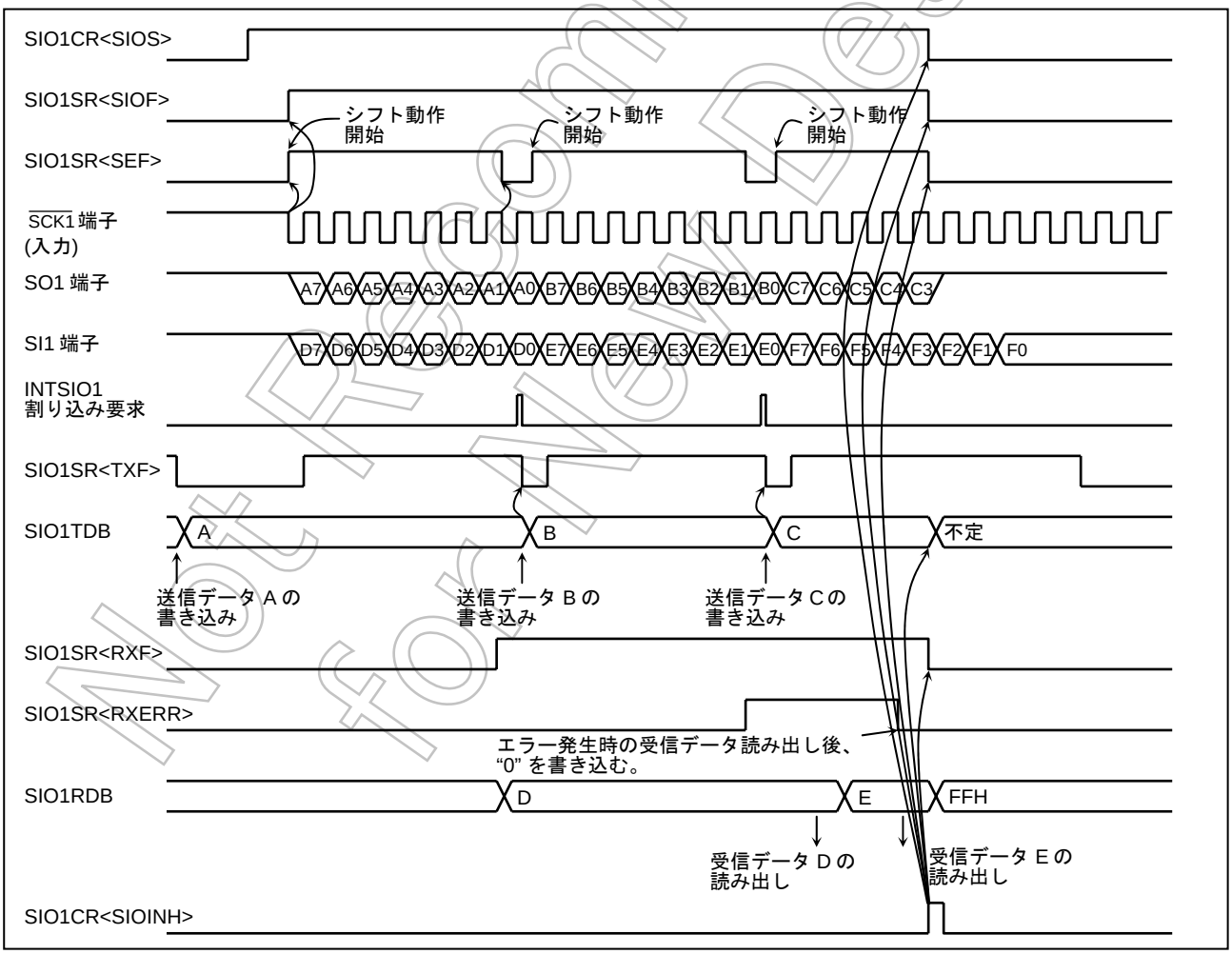


図 2.13.19　送受信モード (受信) エラー処理の例

注)　受信エラーが発生した場合、エラー処理を行わないと、それ以降の割り込み要求は発生しません。

Not Recommended for New Design

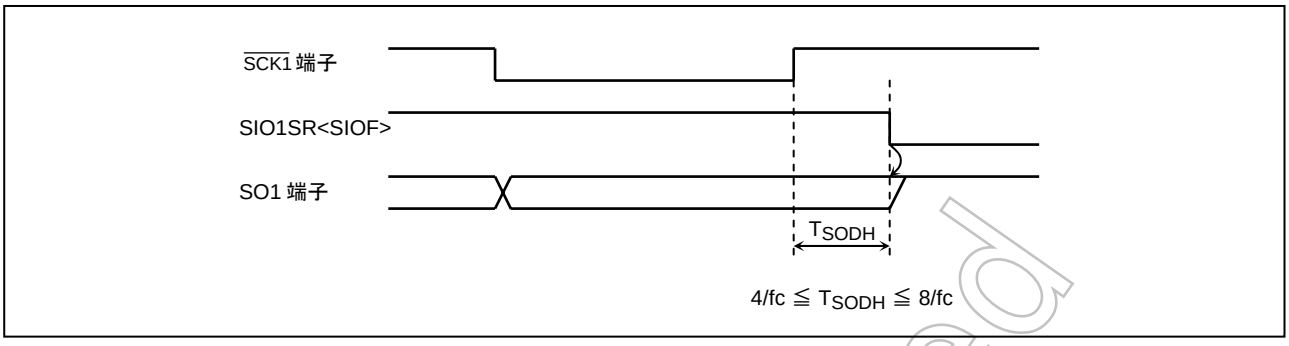


図 2.13.20　送受信終了時のデータ保持時間

Not Recommended for New Design

2.14 キーオンウェイクアップ (KWU)

TMP86FM48 では、P20 ($\overline{INT5}$ / $\overline{STOP}$) 端子以外に P64~P67 の 4 つの端子でも STOP モードの解除が可能です。

P64~P67 ポートの入力で STOP モードを解除する場合、P20 端子は必ず STOP モード解除用端子として使用する必要があります。

2.14.1 構成

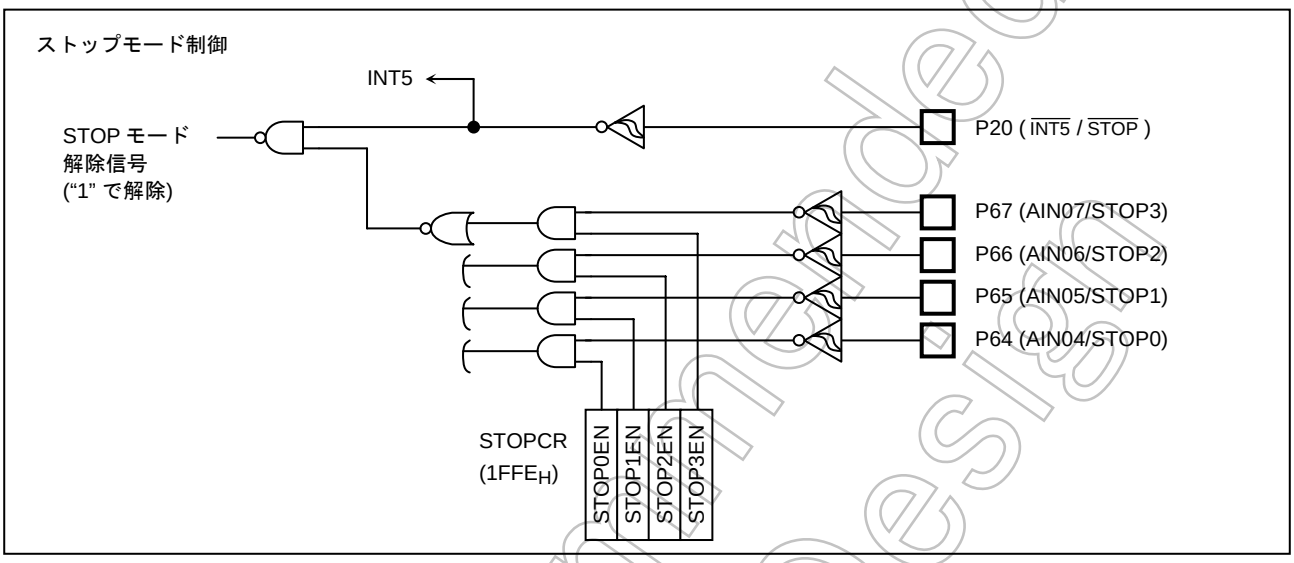


図2.14.1 キーオンウェイクアップ回路

注) P20 ($\overline{STOP}$) 端子は、STOP モードの解除入力を禁止する機能がありませんので、STOP モード中は必ず STOP モード解除用端子として使用してください。

Not Recommended for New Design

2.14.2 制御

P64~P67 (STOP0~STOP3) 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) で、端子ごとの動作禁止/許可が設定可能です。

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOPCR によって許可されている、STOP0~STOP3 端子のいずれかの端子を "L" レベルにすることにより解除することができます (注 1)。また、STOP0~STOP3 端子の状態は、P6DR レジスタを読み出すことにより確認できますので、STOP モードを起動する前に、各端子のレベルが "H" レベルになっていることを確認してください (注 2, 3)。

注 1) STOP モードをエッジ解除モード (SYSCR1<RELM> = "0") で使用する場合、STOPCR によって STOP0~STOP3 端子入力をすべて禁止にしてください。

注 2) STOP モードを起動したとき、$\overline{\text{STOP}}$ 端子が "H" レベル、または許可された STOP0~STOP3 端子のいずれかが "L" レベルにある場合、STOP モードは起動せず、直ちに解除シーケンス (ウォームアップ) が開始されます。

注 3) STOPCR の設定で、STOP モード解除が許可となっている端子の状態を、P6DR の読み出しで確認する場合は、必ず対応する P6CR1 のビットを "0" にクリアしてから、P6DR の読み出しを行ってください。

表2.14.1 STOP モード解除レベル (エッジ)

端子名	兼用端子	STOP モード解除レベル (エッジ)	
		SYSCR1<RELM> = "0"	SYSCR1<RELM> = "1"
$\overline{\text{STOP}}$	P20/ $\overline{\text{INT5}}$	立ち上がりエッジ	"H"レベル (注 2)
STOP0	AIN04/P64	(注 1)	"L"レベル (注 2)
STOP1	AIN05/P65		
STOP2	AIN06/P66		
STOP3	AIN07/P67		

キーオンウェイクアップ制御レジスタ

STOPCR (1FFE$_H$)

7	6	5	4	3	2	1	0
STOP0EN	STOP1EN	STOP2EN	STOP3EN	–	–	–	–

(初期値: 0000 ****)

STOP0EN	P64 ポートによる STOP モード解除	0: 禁止 1: 許可	Write only
STOP1EN	P65 ポートによる STOP モード解除	0: 禁止 1: 許可	
STOP2EN	P66 ポートによる STOP モード解除	0: 禁止 1: 許可	
STOP3EN	P67 ポートによる STOP モード解除	0: 禁止 1: 許可	

図2.14.2 キーオンウェイクアップ制御レジスタ

Not Recommended for New Design

2.15 10 ビット AD コンバータ (ADC)

TMP86FM48 は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

2.15.1 構成

10 ビット AD コンバータの回路構成を図 2.15.1に示します。

制御レジスタ ADCCR1, ADCCR2、変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。

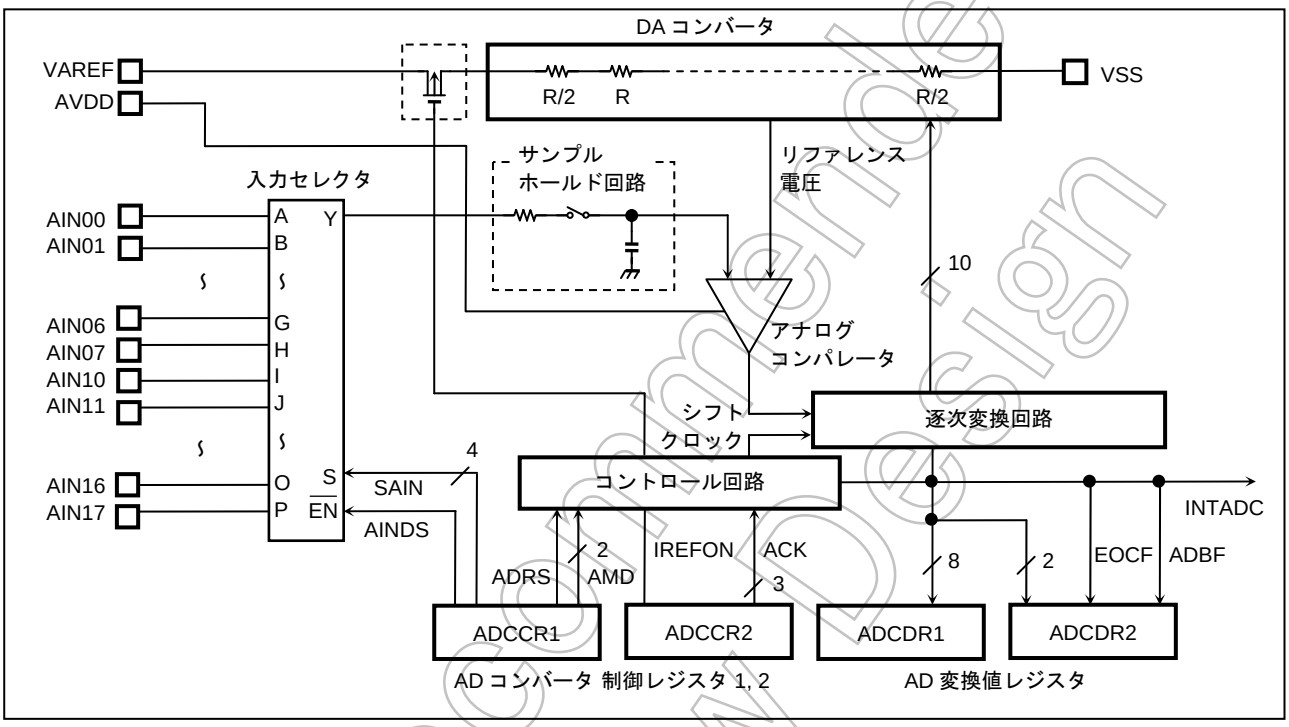


図2.15.1 AD コンバータ (ADC)

Not Recommended for New Design

2.15.2 レジスタ構成

AD コンバータは、次の 4 つのレジスタで構成されています。

- AD コンバータ制御レジスタ 1 (ADCCR1)
- AD コンバータ制御レジスタ 1 (ADCCR2)
- AD 変換値レジスタ 1/2 (ADCDR1/ADCDR2)

(1) AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モード (ソフトウエアスタート、リピート) の選択と、AD コンバータの開始を制御するレジスタです。

(2) AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

(3) AD 変換値レジスタ (ADCDR1)

AD コンバータによって変換されたデジタル値 (ビット 9~2) を格納するレジスタです。

(4) AD 変換値レジスタ (ADCDR2)

AD コンバータによって変換されたデジタル値 (ビット 1~0) の格納と、AD コンバータの動作状態をモニタするレジスタです。

AD コンバータの制御レジスタ構成を図 2.15.2、図 2.15.3に示します。

Not Recommended for New Design

AD コンバータ制御レジスタ 1

ADCCR1 (000E$_H$)	7	6	5	4	3	2	1	0	
	ADRS	AMD		AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD 変換開始	0: – 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウエアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力イネーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択ビット	0000: AIN00 を選択　1000: AIN10 を選択 0001: AIN01 を選択　1001: AIN11 を選択 0010: AIN02 を選択　1010: AIN12 を選択 0011: AIN03 を選択　1011: AIN13 を選択 0100: AIN04 を選択　1100: AIN14 を選択 0101: AIN05 を選択　1101: AIN15 を選択 0110: AIN06 を選択　1110: AIN16 を選択 0111: AIN07 を選択　1111: AIN17 を選択	

注 1) アナログ入力チャネルの選択は、AD 変換停止状態 (ADCDR2<ADBF> = “0”) で行ってください。
注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を “1” に設定してください。
注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で、AD 変換中はポート出力命令を行わないでください。またアナログ入力と近接するポートには、AD 変換中、変化の激しい信号を入力しないようにしてください。
注 4) ADRS は AD 変換開始後、自動的に “0” にクリアされます。
注 5) AD 変換中に ADRS (ADCCR1 のビット 7) の再設定は行わないでください。ADRS の再設定は、EOCF (ADCDR2 のビット 5) にて変換が終了したことを確認後、あるいは、INTADC 割り込みが発生した後 (割り込み処理ルーチンなど)で 行ってください。
注 6) STOP または SLOW モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されます。NORMAL モードへの復帰後に、AD コンバータを使用する場合は、 ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (000F$_H$)	7	6	5	4	3	2	1	0	
			IREFON	“1”	ACK			“0”	(初期値: **00 0000)

IREFON	DA コンバータ (ラダー抵抗) の接続制御	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択	下表 AD 変換時間参照	

ACK \ 条件 (fc)	変換時間	16 MHz	8 MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
000	39/fc	–	–	–	19.5 μs	–	–	15.6 μs
001	Reserved							
010	78/fc	–	–	–	39.0 μs	–	–	31.2 μs
011	156/fc	–	–	39.0 μs	78.0 μs	–	31.2 μs	62.4 μs
100	312/fc	–	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	–	62.4 μs	124.8 μs	–
110	1248/fc	78.0 μs	156.0 μs	–	–	124.8 μs	–	–
111	Reserved							

注 1) 上記表内 “–” 部分の設定は行わないでください。　fc: 高周波発振周波数
注 2) 変換時間は、アナログ基準電圧 (V_{AREF} によって以下のように設定を変えてください)。
(V_{AREF} = 2.7~3.6 V 時 31.2 μs 以上)
(V_{AREF} = 1.8~3.6 V 時 124.8 μs 以上)
注 3) ADCCR2 のビット 0 には “0”、ビット 4 には “1” を必ず書き込んでください。
注 4) ADCCR2 に対しリード命令を実行するとビット 7, 6 は、不定値が読み込まれます。
注 5) STOP または SLOW モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されます。NORMAL モードへの復帰後、AD コンバータを使用する場合は、ADCCR2 を再設定してください。

図2.15.2 AD コンバータの制御レジスタ

Not Recommended for New Design

AD 変換値レジスタ

	7	6	5	4	3	2	1	0	
ADCDR1 (0027_H)	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値: 0000 0000)
ADCDR2 (0026_H)	AD01	AD00	EOCF	ADBF					(初期値: 0000 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

注 1) EOCF は、AD 変換値レジスタ (ADCDR1) をリードすると “0” にクリアされます。このため、AD 変換結果を読み出す際は、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。

注 2) ADBF は AD 変換開始により “1” にセットされ、AD 変換動作が終了すると “0” にクリアされます。また STOP, SLOW モードを起動するときもクリアされます。

注 3) ADCDR2 に対しリード命令を実行すると、ビット 3~0 は不定値が読み込まれます。

図2.15.3 AD 変換値レジスタ

2.15.3 AD コンバータの動作

(1) AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。

- AD 入力チャネル選択 (SAIN) により AD 変換するチャネルを選択してください。
- アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
- AD コンバータ制御の動作モード (ソフトウエア, リピートモード) を (AMD) にて指定してください。

(2) AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。

- AD 変換時間 (ACK) により、AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 の (注 2) をご参照ください。
- DA コンバータの制御 (IREFON) を選択してください。

(3) 上記(1), (2)を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に “1” を設定すると、直ちに AD 変換を開始します。

(4) 指定された AD 変換時間後、AD 変換値は、AD 変換値レジスタ 1 (ADCDR1) および AD 変換値レジスタ 2 (ADCDR2) に格納され、ADCDR2 の AD 変換終了フラグ (EOCF) が “1” をセットされるとともに INTADC 割り込み要求が発生します。

(5) 変換結果を読み出すと、EOCF は “0” にクリアされます。ただし、読み出し前に再変換を行った場合は、EOCF は “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

Not Recommended for New Design

2.15.4 AD コンバータの動作モード

AD コンバータの動作モードは、次の 2 種類があります。

- ソフトウエアスタート: ADCCR1<AMD> を “01B”に、ADCCR1<ADRS> を “1” に設定することにより、AD 変換を一度行います。
- リピートモード: ADCCR1<AMD> を “11B”に、ADCCR1<ADRS> を “1” に設定することにより、AD 変換を繰り返し行います。

(1) ソフトウエアスタートモード

ADCCR1<AMD> を “01B”（ソフトウエアスタートモード）に設定後、ADCCR1<ADRS> を “1” に設定することにより、ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1, ADCDR2) に格納し、ADCDR2<EOCF> に “1” をセットするとともに、INTADC 割り込み要求が発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS>の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは INTADC 割り込みが発生した後 (割り込み処理ルーチンなど) で行ってください。

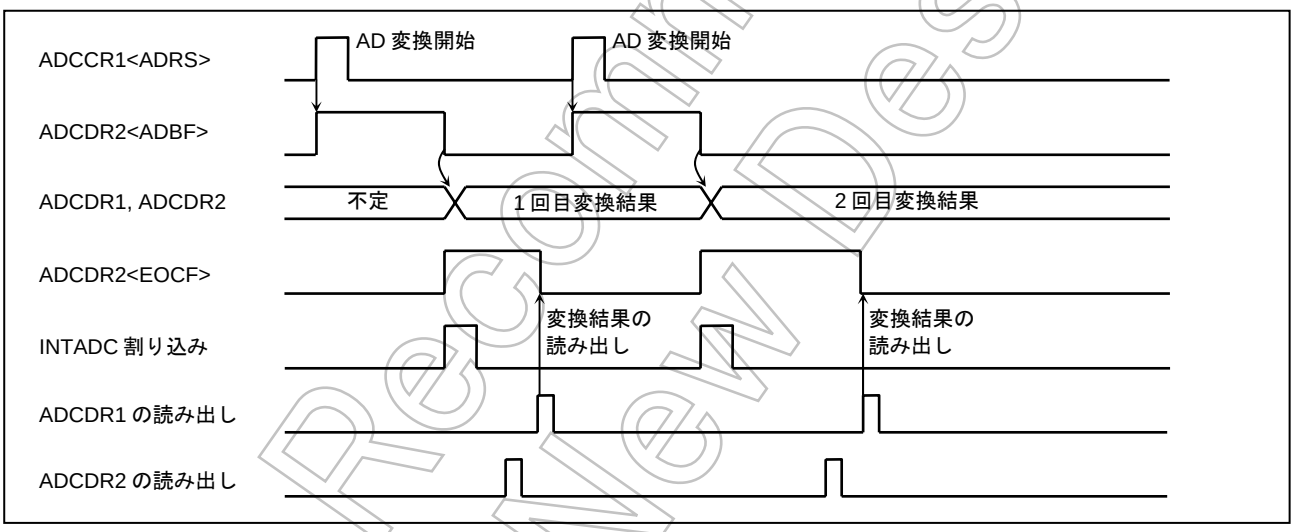


図2.15.4 ソフトウエアスタートモード動作

Not Recommended for New Design

例: 変換時間 39.0 μs @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009F$_H$ 番地に上位 8 ビット、009E 番地に下位 2 ビットのデータを格納します。動作モードはソフトウエアスタートモードです。

```
        ; AIN SELECT
          LD        (P6CR1),  00000000B     ;  P6CR1 ビット 3 = "0"
          LD        (P6CR2),  00000000B     ;  P6CR2 ビット 3 = "0"
          LD        (ADCCR1) ,  00100011B   ;  AIN3 を選択
          LD        (ADCCR2) ,  11011010B   ;  変換時間 (624/fc), 動作モードを選択
        ; AD CONVERT START
          SET       (ADCCR1) .  7              ADCCR1<ADRS> = "1"
SLOOP:    TEST      (ADCDR2) .  5              ADCDR2<EOCF> = "1" ?
          JRS       T, SLOOP
        ; RESULT DATA READ
          LD        A, (ADCDR2)
          LD        (9EH), A
          LD        A, (ADCDR1)
          LD        (9FH), A
```

(2) リピートモード

ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の、AD 変換を繰り返し行います。ADCCR1<AMD> を "11B" (リピートモード) に設定後、ADCCR1<ADRS> に "1" を設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1, ADCDR2) に格納し、ADCDR2<EOCF> に "1" をセットするとともに、INTADC 割り込み要求が発生します。

リピートモードでは、1 回の AD 変換が終了すると、直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に "00B" (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は AD 変換値レジスタには格納されません。

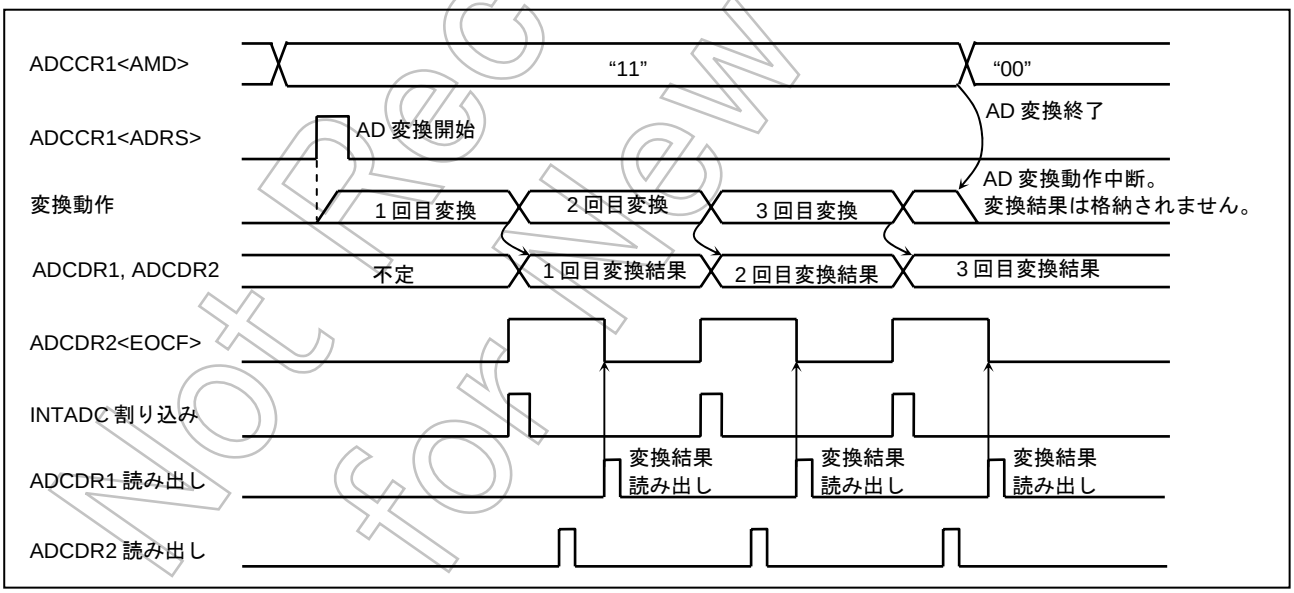


図2.15.5 リピートモード動作

Not Recommended for New Design

2.15.5 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると、AD 変換は中断され、AD コンバータ (ADCCR1, ADCCR2) は初期化されます。また、変換結果は不定となります (前回までの変換結果もクリアされますので、STOP または SLOW モードを起動する前に、変換結果を読み出すようにしてください)。また STOP または SLOW モードから復帰した際には、自動的に AD 変換を再開しませんので、再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

2.15.6 アナログ入力電圧と AD 変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 2.15.6のように対応します。

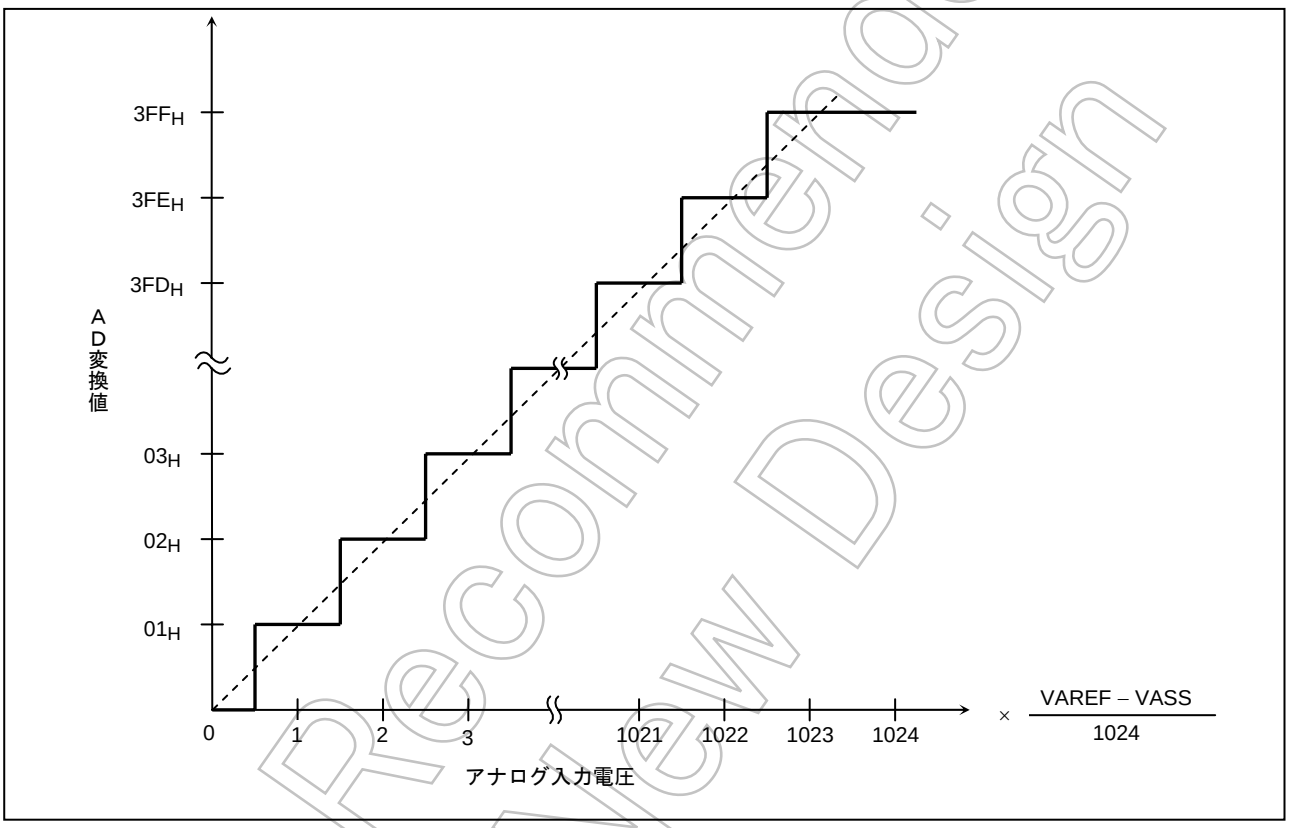


図2.15.6 アナログ入力電圧と AD 変換値 (typ.) の関係

Not Recommended for New Design

2.15.7 AD コンバータの注意事項

(1) アナログ入力端子電圧範囲

アナログ入力端子 (AIN00~AIN17) は、VAREF~VSS 間で使用してください。この範囲外の電圧が入力されると、その入力端子の変換値が不定となります。また、ほかのアナログ入力端子の変換値にも影響を与えます。

(2) アナログ入力兼用端子

アナログ入力端子 (AIN00~AIN17) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

(3) ノイズ対策

アナログ入力端子の内部等価回路は、図 2.15.7のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは 5 kΩ以下になるように設計してください。また、コンデンサの外付けを推奨します。

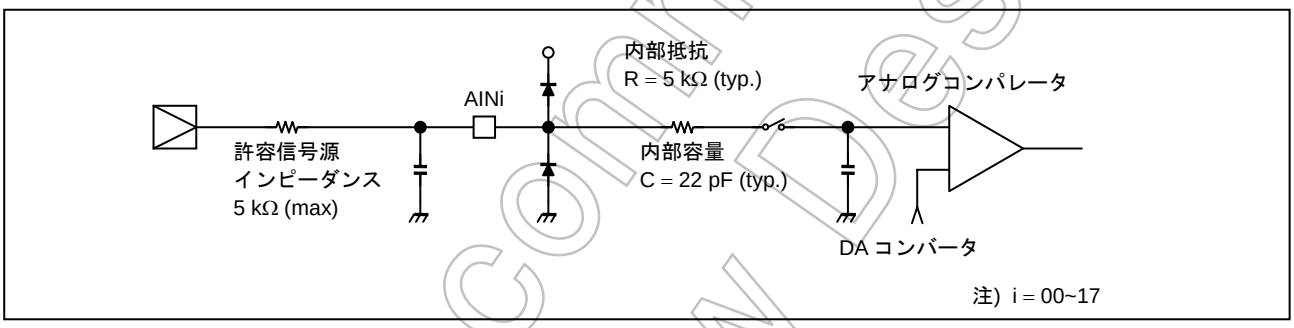


図2.15.7 アナログ入力等価回路と入力端子処理例

Not Recommended for New Design

2.16 フラッシュメモリ

TMP86FM48 は、32 K バイト (アドレス 8000H~FFFFH) のフラッシュメモリを内蔵しており、そのうちの 512 バイト (アドレス 8000H~81FFH) はフラッシュのデータメモリとして使用することができます。この 512 バイトをデータメモリとして使用しないときは、32768 バイトすべてをプログラムメモリとして使用できます。フラッシュメモリは、フラッシュメモリ制御レジスタ (EEPCR)、フラッシュメモリステータスレジスタ (EEPSR) とフラッシュメモリ書き込みエミュレート時間制御レジスタ (EEPEVA) で制御されます。

TMP86FM48 のフラッシュメモリには、以下のような特長があります。

- フラッシュメモリは、1 ページが 64 バイトのページ単位で構成されており、フラッシュメモリ全体で 512 ページあります。
- 64 バイトのテンポラリデータバッファを内蔵しており、フラッシュメモリへの書き込みデータは、一度、このテンポラリデータバッファにスタックされた後、64 バイトが一括してフラッシュメモリに書き込まれます。このとき自動的にページ単位でイレース処理も行われますので、事前に個別でイレース処理を行う必要はありません。
- フラッシュメモリの制御回路は専用の発振器を内蔵しており、書き込み時間はシステムのクロック周波数に依存しません。また、フラッシュメモリ制御回路は、フラッシュメモリの書き込み量をセル単位で制御していますので、書き込み時間は可変となります (標準条件で、1 ページあたり 4 ms)。
- フラッシュメモリ制御回路 (レギュレータ、昇圧回路など) の電源制御を行うことによって、フラッシュメモリを使用しないとき (RAM 上でのプログラム実行時など) は、低消費電力を実現することができます。

2.16.1 フラッシュメモリ領域のアクセス条件

フラッシュメモリ領域は、動作モードによってアクセス条件が変わります。各動作モードにおけるアクセス条件を以下に示します。

表2.16.1 フラッシュメモリ領域アクセス条件

	領域	動作モード	
		MCU モード (注 1)	シリアル PROM モード (注 2)
データメモリ	8000H~81FFH	ライト/リード/フェッチ (注 3) 可能	
プログラムメモリ	8200H~FFFFH	リード/フェッチのみ	ライト/リード/フェッチ可能

注 1) MCU モードは、NORMAL1/2 と SLOW1/2 モードを意味します。

注 2) シリアル PROM モードは、フラッシュメモリへのプログラミングを行うモードを意味します。詳細は「2.19 シリアル PROM モード」を参照してください。

注 3) フェッチとは、命令実行を行うために CPU がメモリのデータを読み込む動作を意味します。

Not Recommended for New Design

2.16.2 製品シリーズ間での相違点

フラッシュメモリ製品 (TMP86FM48) とエミュレーションチップ (TMP86C948) の仕様は、以下のような相違点があります。制御レジスタについては、「2.17.2. 制御」を参照してください。

<table>
<tr><th colspan="2"></th><th>フラッシュメモリ製品
(TMP86FM48)</th><th>エミュレーションチップ
(TMP86C948)</th></tr>
<tr><td colspan="2" rowspan="2">EEPCR レジスタ<EEPMD、EEPRS、MNPWDW>
の書き替え</td><td colspan="2">プログラム実行領域が、RAM または BOOT-ROM 領域のときのみ書き替え可能です。</td></tr>
<tr><td colspan="2">デバッガのメモリウィンドウでの書き替えはできません。</td></tr>
<tr><td colspan="2">EEPEVA レジスタへのアクセス</td><td>レジスタの R/W のみ可能です。機能としては動作しません。</td><td>フラッシュメモリの書き込みエミュレート時間を制御します。</td></tr>
<tr><td colspan="2">フラッシュメモリの書き込み時間
(エミュレーションチップの場合、書き込みデータはエミュレーションメモリに書き込まれます)</td><td>Typ.4 ms
(システムクロックとは無関係)</td><td>EEPEVA レジスタで設定します (システムクロックに依存)。</td></tr>
<tr><td colspan="2" rowspan="2">EEPSR<BFBUSY> = “1” のとき、8000H~FFFFH 領域に対してをリード命令/フェッチを実行</td><td colspan="2">EEPSR<BFBUSY>が “1” のとき、フラッシュメモリ領域に対してリード命令、フェッチを実行すると ROM データに関係なく FFH が読み出されます。FFH をフェッチするとソフトウエア割り込みが発生します。</td></tr>
<tr><td colspan="2">デバッガのメモリウィンドウは常に ROM データを表示します。</td></tr>
<tr><td rowspan="2">EEPCR<EEPMD> = “0011”、
EEPSR<EWUPEN> = “1”、
EEPSR<BFBUSY> = “0”
のとき、8000H~81FFH 領域に対してライト命令を実行</td><td>MCU モード</td><td colspan="2" rowspan="2">EEPSR<BFBUSY>は “1” にセットされます。
(書き込みが可能です)</td></tr>
<tr><td>シリアル
PROM モード</td></tr>
<tr><td rowspan="3">EEPCR<EEPMD> = “0011”、
EEPSR<EWUPEN> = “1”、
EEPSR<BFBUSY> = “0”
のとき、8200H~FFFFH 領域に対してライト命令を実行</td><td rowspan="2">MCU モード</td><td colspan="2">EEPSR<BFBUSY>は “0” のまま変化しません。
(書き込みはできません)</td></tr>
<tr><td>デバッガのメモリウィンドウでは書き替え可能です (このとき EEPSR<BFBUSY>は変化しません)。</td></tr>
<tr><td>シリアル
PROM モード</td><td colspan="2">EEPSR<BFBUSY>は “1” にセットされます。
(書き込みが可能です)</td></tr>
<tr><td colspan="2">データメモリ</td><td>8000H~81FFH 領域に 512 バイトのデータメモリ(フラッシュ) を内蔵しています。</td><td>8000H~81FFH 領域に 512 バイトの揮発性メモリを内蔵しています (エミュレーションチップの電源をしゃ断すると、データは消去されます)。</td></tr>
<tr><td colspan="2">Boot-ROM</td><td colspan="2">3800H~3FFFH に 2 K バイト内蔵しています。</td></tr>
<tr><td colspan="2">動作電圧</td><td>VDD = 1.8~3.6 V</td><td>VDD = 1.8~3.3 V</td></tr>
</table>

Not Recommended for New Design

2.16.3 書き込み領域の定義

フラッシュメモリ領域は、連続する 64 バイトを 1 つのグループとして扱い、これをページと定義します。TMP86FM48 は、1 ページ分に相当するテンポラリデータバッファを内蔵しており、フラッシュメモリの書き込みを行うときは、一度このテンポラリデータバッファに 64 バイト分のデータがスタックされ、その後、64 バイトのデータが各ページに一括して書き込まれます。このようにデータの書き込みを行う場合は、指定したページごと (64 バイト単位) にデータの書き込み処理を行いますが、データを読み出すときは、任意のアドレスからバイト単位でデータを読み出すことが可能です。

2.16.3.1 ページ構成

フラッシュメモリ領域のページ構成は、図2.16.1のように64バイト/ページとなります。総バイト数は 512 ページ × 64 バイト = 32768 バイトとなり、書き込み可能な領域は、8000H~FFFFH となります。

注) フラッシュメモリの 8200H~FFFFH 番地は MCU モードでは書き込みできません。これらの領域はシリアル PROM モード時のみ書き込み可能となります。詳細は「2.19 シリアル PROM モード」を参照してください。

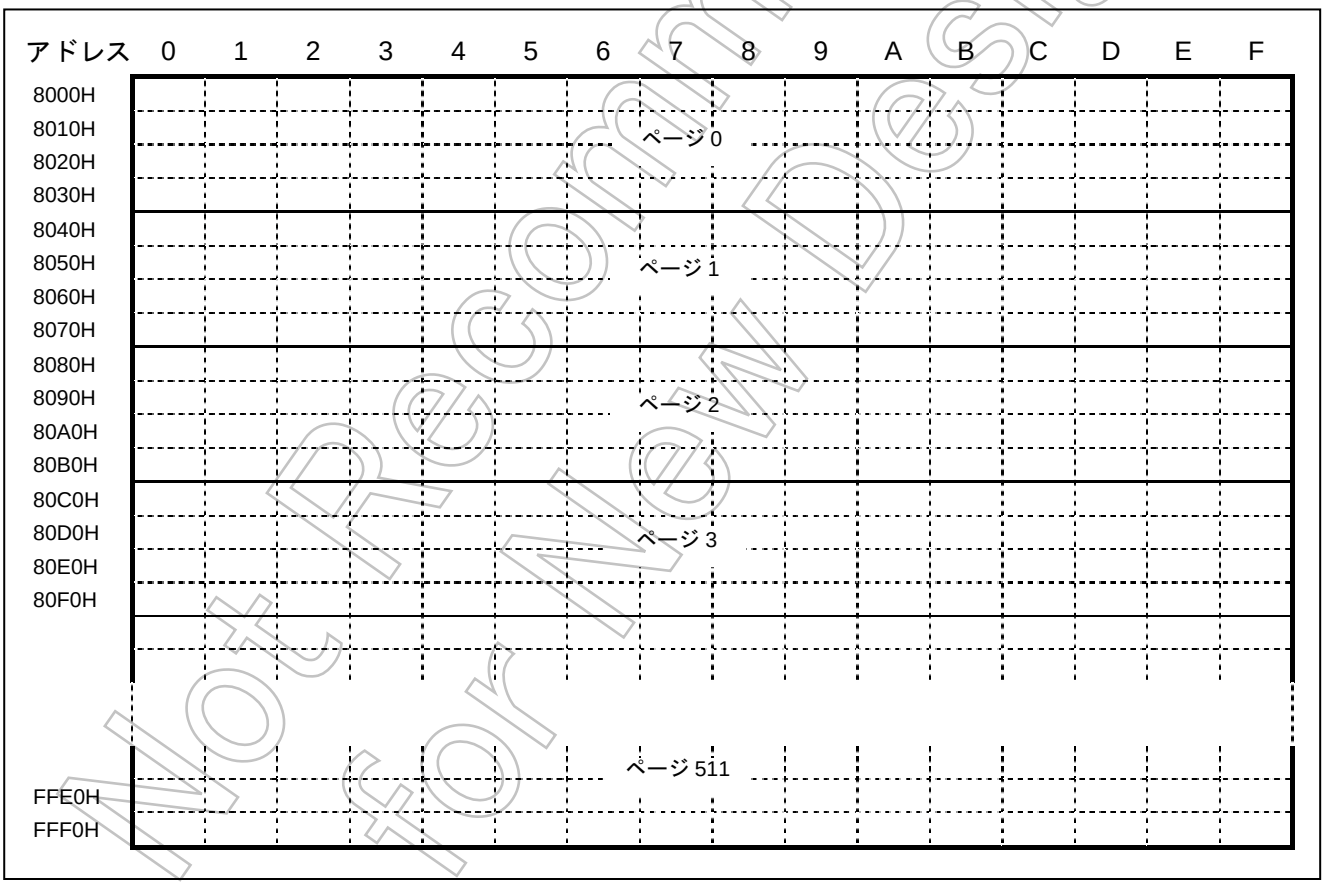


図2.16.1 ページ構成

Not Recommended for New Design

2.17 データメモリ (フラッシュメモリ: 8000H~81FFH)

TMP86FM48 はフラッシュメモリのうち、512 バイト（8000H~81FFH）をデータメモリとして使用することができます。データメモリには以下のような特長があります。

- MCU モード中は、ユーザのプログラムによってページ単位 (64 バイト) の書き替えが可能です (アプリケーションのラストキーやプリセットデータの保存などに利用できます)。
- シリアル PROM モード中､データメモリはプログラムメモリと同様にシリアル書き込みを行うことができますので、あらかじめ出荷工程時に初期値を設定しておくことが可能です。
- Boot-ROM に組み込まれたサポートプログラムを利用することにより、容易にデータメモリへの書き込みが行えます。

2.17.1 構成

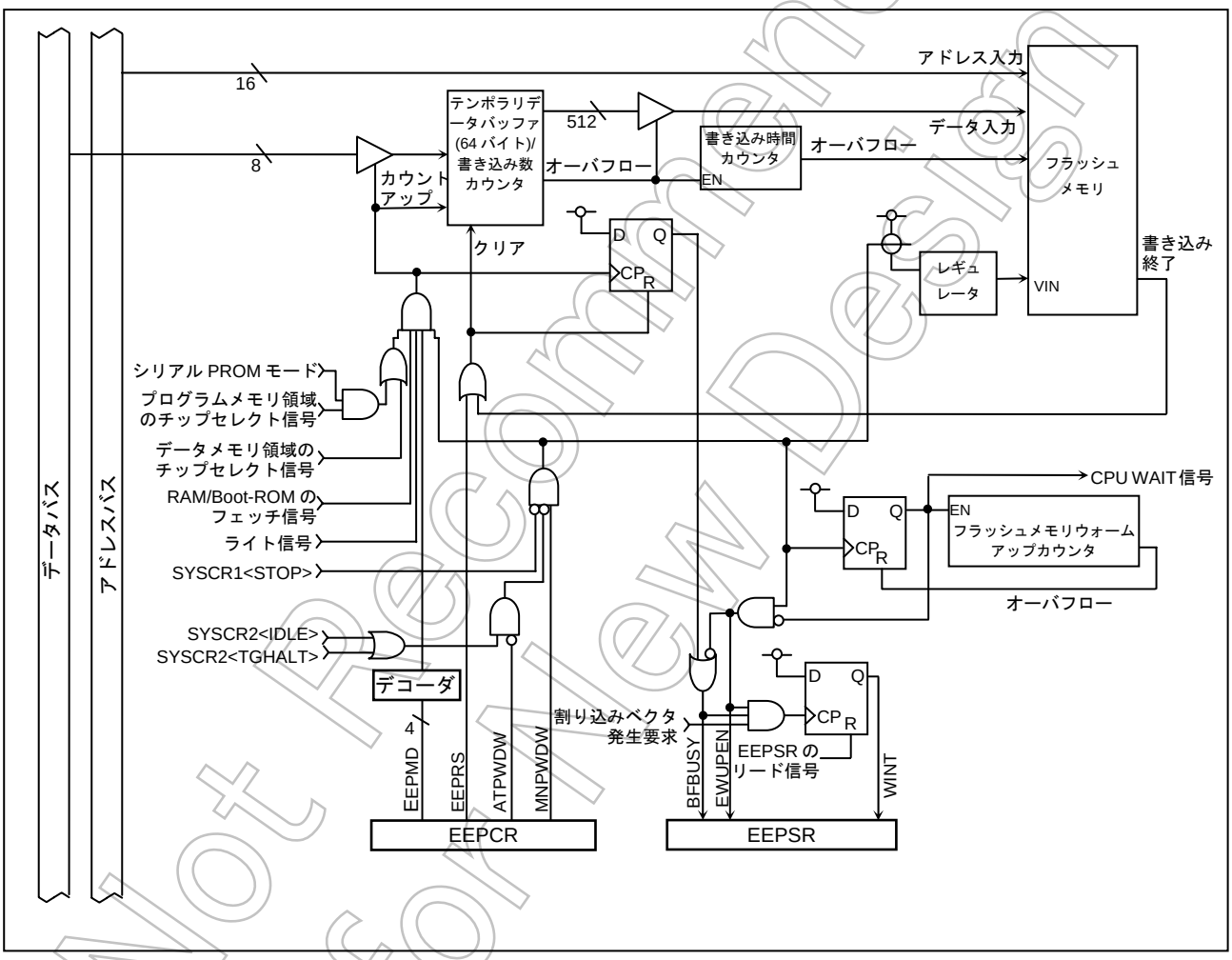


図 2.17.1 フラッシュメモリデータメモリ

Not Recommended for New Design

2.17.2 制御

フラッシュメモリは、フラッシュメモリ制御レジスタ（EEPCR)、フラッシュメモリステータスレジスタ、フラッシュメモリ書き込みエミュレート時間制御レジスタ（EEPEVA）で制御されます。

フラッシュメモリ制御レジスタ

	7	6	5	4	3	2	1	0	
EEPCR (1FE0H)	EEPMD					EEPRS	ATPWDW	MNPWDW	(初期値: 1100 *011)

			プログラム実行領域	
			RAM/ Boot	フラッシュメモリ
EEPMD	フラッシュメモリ書き込み許可制御 (ライトプロテクト)	1100: フラッシュメモリ書き込み禁止 0011: フラッシュメモリ書き込み許可 上記以外: Reserved	R/W	Read only
EEPRS	フラッシュメモリ書き込みの強制停止	0: – 1: フラッシュメモリ書き込みを強制停止する (書き込み数カウンタの初期化)。 * セット後、自動的に “0” にクリアされます		
ATPWDW	フラッシュメモリ制御回路の自動電源制御 (IDLE0/1/2, SLEEP0/1/2 モード中)	0: フラッシュメモリ制御回路の自動電源 OFF を実行する。 1: フラッシュメモリ制御回路の自動電源 OFF を実行しない(IDLE0/1/2, SLEEP0/1/2 モード中、フラッシュメモリの電源は常に ON となります)。		R/W
MNPWDW	フラッシュメモリ制御回路のソフトウエア電源制御	0: フラッシュメモリ制御回路の電源を OFF する 1: フラッシュメモリ制御回路の電源を ON にする		Read only

注 1) EEPMD、EEPRS、MNPWDW は、RAM 領域または Boot 領域で、プログラムフェッチ中のときのみ書き替え可能です。フラッシュメモリ領域でプログラムを実行中に EEPCR レジスタの書き込みを行うと、EEPMD、EEPRS、MNPWDW の書き替えは行われず、前回の設定値を保持します。

注 2) フラッシュメモリに書き込みを行うには、事前に RAM 領域でプログラムフェッチ中に、EEPMD を “0011B” に設定してください。ただし、Boot-ROM のサポートプログラムを利用する場合は、これらの処理は不要です。

注 3) 書き込み数カウンタを初期化、書き込みの強制停止を行うには、RAM 領域でプログラムフェッチ中に EEPRS を “1” に設定してください。

注 4) ATPWDW は、MNPWDW が “1” のときのみ機能します。MNPWDW が “0” のときは、ATPWDW の設定にかかわらず、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

注 5) STOP モードを起動すると、ATPWDW の状態にかかわらず、フラッシュメモリ制御回路の電源はしゃ断されます。

注 6) EEPCR レジスタに対してリード命令を実行すると、ビット 3 は不定値が読み出されます。また、ビット 2 は必ず “0” が読み出されます。

注 7) MNPWDW を設定するときは、以下の注意が必要です。

MNPWDW を “1” から “0” に切り替える前	事前に割り込みマスタ許可フラグ (IMF) を “0” に設定し、割り込みを禁止にしてください。また EEPSR<EWUPEN> = “0” の間は、IMF を “1” にセットしないでください。 ウォッチドッグタイマを割り込み要求として使用している場合は、直前に必ずウォッチドッグタイマの 2 進カウンタをクリアしてください。
MNPWDW を “0” から “1” に切り替えた後	フラッシュ領域への書き込み、フラッシュ領域からの読み出しは、ソフトウェアによって EEPSR<EWUPEN> = “1” になったことを確認してから行ってください。通常は、EEPSR<EWUPEN>が “1” になるまでの間、ソフトウエアによってポーリングを行ってください。

図2.17.2 フラッシュメモリ制御レジスタ

Not Recommended for New Design

フラッシュメモリステータスレジスタ

	7	6	5	4	3	2	1	0	
EEPSR (1FE1H)						WINT	EWUPEN	BFBUSY	(初期値: **** *010)

WINT	フラッシュメモリ書き込み中の割り込み検出		0: 未検出 1: 検出 (割り込み発生) * 読み出し後、自動的に “0” にクリア			Read only
EWUPEN	フラッシュメモリ制御回路の状態モニタ	制御回路	動作 (電源 ON)		停止 (電源 OFF) または ウォームアップ中	
		フラッシュメモリの書き込み	バッファエンプティ	書き込み中	–	
			1	1	0	
BFBUSY	フラッシュメモリの書き込み BUSY フラグ		0	1	1	

注 1) フラッシュメモリへの書き込み中にノンマスカブル割り込みが発生した場合、WINT が “1” にセットされるとともに書き込み処理は中断され、フラッシュメモリ制御回路のウォームアップ (CPU ウェイト) が行われます (このとき書き込み数カウンタも初期化されます)。従ってノンマスカブル割り込みサービスルーチンの中で、WINT = “1” を検出した場合は書き込みが正常に終了していませんので、再書き込みなどの処理を実行してください。WINT が “1” になるタイミングによっては、書き込みを行っていたページのデータが想定しない値に書き替わることがあります。

注 2) フラッシュメモリのウォームアップ中にノンマスカブル割り込みが発生した場合、ウォームアップが終了するまでの間は CPU は停止状態となります。

注 3) WINT は、EEPSR レジスタに対してリード命令を実行すると自動的に “0” にクリアされます。

注 4) EWUPEN は MNPWDW を “0” から “1” に設定した後、2^{10}/fc [s] (SYSCK = “0” 時) または、2^{3}/fs [s] (SYSCK = “1” 時) 経過すると “1” になります。フラッシュメモリのアクセスを行うときは、RAM 領域内で EWUPEN が “1” になったことを確認した後に行ってください。

注 5) BFBUSY が “1” のとき、フラッシュメモリ領域に対してリード命令、フェッチを実行すると FFH が読み出されます。FFH をフェッチするとソフトウエア割り込みが発生します。

図2.17.3 フラッシュメモリステータスレジスタ

Not Recommended for New Design

フラッシュメモリ書き込みエミュレート時間制御レジスタ (TMP86C948 のときのみ機能します)

	7	6	5	4	3	2	1	0	
EEPEVA (1FE2H)						EEPSUCR			(初期値: **** *000)

			エミュレーションチップ（TMP86C948）		フラッシュメモリ製品 (TMP86FM48)	
			NORMAL1/2 IDLE1/2 モード	SLOW1/2 SLEEP1/2 モード	すべての動作モード	
EEPSUCR	エミュレーションチップ用フラッシュメモリ書き込みエミュレート時間の制御 [s]	000	2^{16}/fc	2^{7}/fs	Typ.4 ms (レジスタ設定、システムクロックと無関係)	R/W
		001	2^{15}/fc	2^{6}/fs		
		010	2^{14}/fc	2^{5}/fs		
		011	2^{13}/fc	2^{4}/fs		
		100	2^{12}/fc	2^{3}/fs		
		101	Reserved	Reserved		
		110	Reserved	Reserved		
		111	Reserved	Reserved		

注 1) EEPSUCR は、エミュレーションチップのみ機能します。フラッシュメモリ製品では、レジスタの R/W のみ可能です。実際の機能としては動作しません。また、フラッシュメモリ製品は、チップ内部に専用の発振器を内蔵しているため、フラッシュメモリの書き込み時間は、システムクロックとは無関係となります。

注 2) EEPEVA レジスタに対してリード命令を実行すると、ビット 7~3 は不定値が読み出されます。

注 3) EEPSUCR の設定による書き込みエミュレート時間は以下のとおりです。動作周波数によって適切な値を設定してください。なお、網掛け部分は推奨設定です。

	EEPSUCR 設定	NORMAL1/2 モード					SLOW1/2 モード
		fc = 16 MHz	fc = 8 MHz	fc = 4 MHz	fc = 2 MHz	fc = 1 MHz	fs = 32.768 kHz
WR 時間 [ms]	000	4.10	8.19	16.38	32.77	65.54	3.91
	001	2.05	4.10	8.19	16.38	32.77	1.95
	010	1.02	2.05	4.10	8.19	16.38	0.98
	011	0.51	1.02	2.05	4.10	8.19	0.49
	100	0.26	0.51	1.02	2.05	4.10	0.24

図2.17.4 フラッシュメモリ制御レジスタ、フラッシュメモリステータスレジスタ

Not Recommended for New Design

2.17.3 フラッシュメモリ書き込み許可制御 (EEPCR<EEPMD>)

フラッシュメモリ製品は、プログラムエラーやマイコンの誤動作によるフラッシュメモリの誤書き込みを防止するために、制御レジスタによって、フラッシュメモリの書き込みを禁止することができます（ライトプロテクト）。フラッシュメモリに書き込みを行うときは、EEPCR<EEPMD>を 0011B に設定します。 フラッシュメモリの書き込みを禁止するときは、EEPCR<EEPMD>を 1100B に設定します。リセット後、EEPCR<EEPMD>は 1100B に初期化され、フラッシュメモリは書き込み禁止の状態となります。通常はフラッシュメモリの書き込みを行うときを除き、EEPCR<EEPMD>を 1100B に設定します。

注) EEPCR<EEPMD>は、RAM 領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域で、EEPCR<EEPMD>に対してライト命令を実行しても設定値は反映されません。

Not Recommended for New Design

2.17.4 フラッシュメモリ書き込みの強制停止 (EEPCR<EEPRS>)

フラッシュメモリの書き込み中、書き込み処理を強制的に中断したい場合は、EEPCR<EEPRS>を “1” に設定します。EEPCR<EEPRS>を “1” に設定すると、テンポラリデータバッファの書き込み数カウンタは初期化されて、強制的に書き込み処理は中断されます。このときフラッシュメモリ制御回路のウォームアップ (CPU ウェイト) が行われた後、EEPSR<BFBUSY>は “0” にクリアされます。ウォームアップ時間は、2^{10}/fc (SYSCK = “0”のとき) または 2^{3}/fs (SYSCK = “1”のとき) となります。

その後、フラッシュメモリ領域に対してライト命令を実行すると、テンポラリデータバッファの 1 バイト目からデータがスタックされるとともに、EEPSR<BFBUSY>が “1” にセットされます。

なお、テンポラリデータバッファに 1~63 バイト分のデータがスタックされた後に、EEPCR<EEPRS>を “1” に設定すると、書き込みを行っていたページのデータは上書きされず、前回のデータが保持されます。

注 1) テンポラリデータバッファに 64 バイトのデータが書かれた後に、EEPCR<EEPRS>を “1” にセットした場合、指定されたフラッシュメモリのページのデータが想定しない値に書き替わることがあります。

注 2) EEPCR<EEPRS>は、RAM 領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域で、EEPCR<EEPRS>に対してライト命令を実行しても、設定値は反映されません。

注 3) フラッシュメモリウォームアップ (CPU ウェイト) の期間中、周辺回路は動作を継続しますが、CPU は停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMF が “1” であれば、CPU が動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。

注 4) フラッシュメモリへの書き込みを行っていない時 (EEPSR<BFBUSY> = “0”) に、EEPCR<EEPRS>を “1” にセットした場合は、フラッシュメモリのウォームアップは行われません。

注 5) EEPCR<EEPRS>を “1” にセットする命令の直後に、フラッシュメモリをアクセス (リード/ライト) する命令を実行する場合は、1 マシンサイクル以上の命令 (NOP など) を挿入してください。

例: EEPCR<EEPRS>を “1” に設定した後、フラッシュメモリを読み出し

```
LD      HL,8000H
LD      (EEPCR),3FH     ;  EEPCR<EEPRS>を “1” に設定
NOP                     ;  NOP を実行
                           (EEPRS= “1” の直後にフラッシュメモリのアクセス命令を配置しない。)
LD      A,(HL)          ;  8000H のデータを読み出す
                           (フラッシュメモリのアクセス命令)
```

Not Recommended for New Design

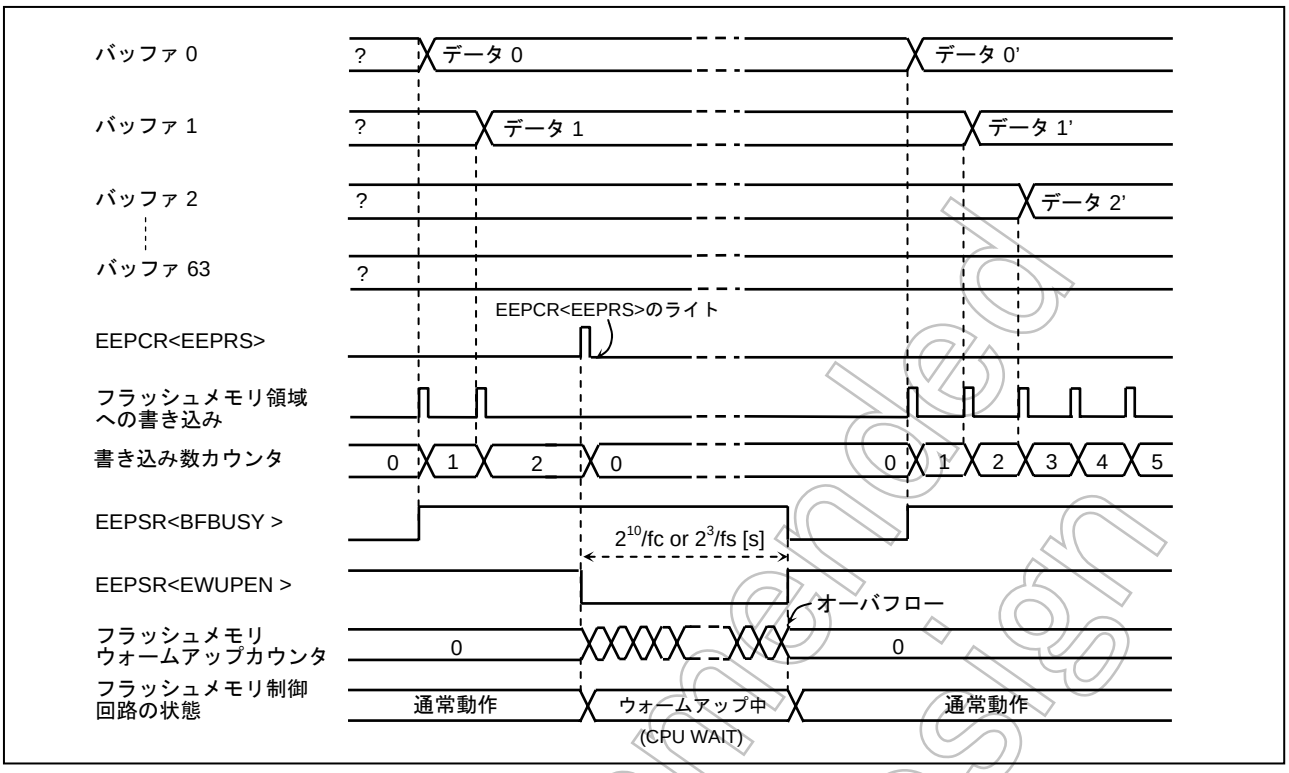


図2.17.5 書き込み数カウンタの初期化、書き込みの強制停止

Not Recommended for New Design

2.17.5 フラッシュメモリ制御回路の電源制御

フラッシュメモリ製品は、フラッシュメモリ領域に対してアクセスが行われないとき、フラッシュメモリ制御回路 (レギュレータなど) の電源をしゃ断し、消費電力を抑えることが可能です。なお、エミュレーションチップ (TMP86C948) の場合、消費電力を抑える効果はありませんが、フラッシュメモリ製品との互換性を保つために、レジスタの設定やウォームアップ機能 (CPU ウェイト) は同様に動作します。

フラッシュメモリ制御回路の電源制御は、EEPCR<MNPWDW> および EEPCR<ATPWDW>によって行います。これらのレジスタによってフラッシュメモリ制御回路の電源をしゃ断すると、再び使用するためには、電源のウォームアップ時間が必要です。

表2.17.1 フラッシュメモリ制御回路の電源ウォームアップ時間

NORMAL1/2 IDLE0/1/2 モード	SLOW1/2 SLEEP0/1/2 モード	STOP モード (EEPCR<MNPWDW> = “1” 時)	
		NORMAL モードに戻る場合	SLOW モードに戻る場合
2^{10}/fc [s] (64 μs @ 16 MHz)	2^{3}/fs [s] (244 μs @ 32.768 kHz)	STOP ウォームアップ時間 + 2^{10}/fc [s]	STOP ウォームアップ時間 + 2^{3}/fs [s]

2.17.5.1 フラッシュメモリ制御回路のソフトウエア電源制御 (EEPCR<MNPWDW>)

EEPCR<MNPWDW>は、フラッシュメモリ制御回路のソフトウエア電源制御ビットです。RAM 領域内で、プログラムを実行中にこのビットを設定することにより、ソフトウエアによる電源制御が可能となります。EEPCR<MNPWDW>を “0” に設定すると、直後にフラッシュメモリ制御回路の電源はしゃ断されます。ただし、EEPCR<MNPWDW>を “0” から “1” に切り替えた後に、フラッシュメモリ領域からの読み出し、またはフェッチを行う場合は、電源が安定するまでの間、ソフトウエアによるウォームアップを行う必要があります。このとき CPU ウェイトは発生しませんので、フラッシュメモリをアクセスしなければウォームアップ期間中に他のタスクを実行することも可能です。EEPCR<MNPWDW>を “0” から “1” に書き替えた場合、2^{10}/fc (SYSCK = “0” のとき) または 2^{3}/fs (SYSCK = “1”のとき) の時間が経過した後、EEPSR<EWUPEN>が “1” となります。通常は EEPSR<EWUPEN>が “1” になるまで、ソフトウエアによってポーリングを行います。以下に設定例を示します。

(1) EEPCR<MNPWDW>の制御例

1. EEPCR<MNPWDW>を制御するためのプログラムを RAM 領域に転送します。
2. RAM 領域のアドレストラップを解除します (WDTCR1、WDTCR2 レジスタを設定します)。
3. 転送した RAM の制御プログラムにジャンプします。
4. 割り込みマスタ許可フラグを禁止 (DI) にします (IMF ← “0”)。
5. ウォッチドッグタイマを使用している場合は、2 進カウンタをクリアします。
6. フラッシュメモリ制御回路の電源をしゃ断するために EEPCR<MNPWDW>を “0” に設定します。
7. 必要に応じて CPU 処理を実行します。
8. フラッシュメモリ領域を再びアクセスするために、EEPCR<MNPWDW>を “1” に設定します。
9. EEPSR<EWUPEN>が “1” になるまで、プログラムをポーリングします。
(フラッシュメモリのウォームアップが完了すると EEPSR<EWUPEN>が “1” にセットされます。ウォームアップ時間は、2^{10}/fc (高周波動作時)、2^{3}/fs (低周波動作時) となります。)

以上の操作により、フラッシュメモリ領域のアクセスが可能となります。

Not Recommended for New Design

なお、EEPCR<MNPWDW>が “1” のときに STOP モードを起動すると、フラッシュメモリ制御回路の電源は強制的にしゃ断されます。その後、STOP モードを解除した場合、STOP モードの発振ウォームアップに続き、フラッシュメモリ制御回路のウォームアップが自動的に行われます。また、EEPCR<MNPWDW>が “0” のときに STOP モードを起動/解除すると、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

注 1) EEPSR<EWUPEN>が “0” のとき、フラッシュメモリ領域に対してアクセス (フェッチ、リード、ライト) を行わないでください。このとき、フラッシュメモリ領域に対してリード命令または、フェッチを実行すると FFH が読み出されます。FFH をフェッチすると、ソフトウエア割り込みが発生します。

注 2) EEPCR<MNPWDW>を “0” に設定するときは、事前に割り込みマスタ許可フラグ (IMF) を “0” に設定し、割り込みを禁止にしてください。

注 3) EEPCR<MNPWDW>が “0” のとき、ノンマスカブル割り込みが発生すると、MNPWDW は自動的に “1” に書き替えられ、フラッシュメモリ制御回路のウォームアップ (CPU ウェイト) が行われます。ウォームアップの期間中、周辺回路は動作を継続しますが、CPU は停止状態となります。

注 4) EEPCR<MNPWDW>は、RAM 領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域で、EEPCR<MNPWDW>に対してライト命令を実行しても、設定値は反映されません。

注 5) ウォッチドッグタイマを割り込み要求として使用している場合は、EEPCR<MNPWDW>を “1” から “0” に設定するする直前に、必ずウォッチドッグタイマの 2 進カウンタをクリアしてください。

注 6) フラッシュメモリのウォームアップ中 (ソフトウエアによるポーリング中) に、ノンマスカブル割り込みが発生した場合、EEPSR<EWUPEN>が “1” になるまでの間、CPU ウェイトが発生します。

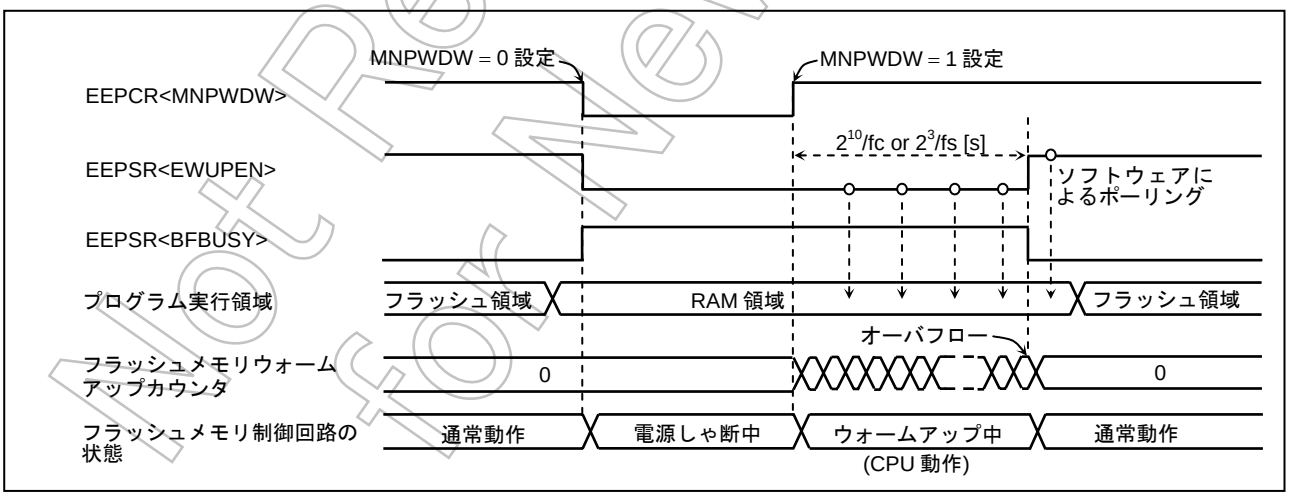


図2.17.6 フラッシュメモリ制御回路のソフトウエア電源制御 (EEPCR<MNPWDW>)

Not Recommended for New Design

例:　RAM 領域内でソフトウエア電源制御を実行

```
sRAMAREA:
        DI                          ;  割り込みを禁止(IMF ← "0")
        LD      (WDTCR2),4Eh        ;  ウォッチドッグタイマを使用している場
                                       合、2 進カウンタをクリア
        CLR     (EEPCR).0           ;  EEPCR<MNPWDW>を "0" に設定
        ┆       ┆
        SET     (EEPCR).0           ;  EEPCR<MNPWDW>を "1" に設定
sLOOP1:
        TEST    (EEPSR).1           ;  EEPSR<EWUPEN>レジスタをモニタ
        JRS     T,sLOOP1            ;  EEPSR<EWUPEN> = "0" なら sLOOP1
        JP      MAIN                ;  フラッシュメモリ領域へジャンプ
```

Not Recommended for New Design

2.17.5.2 フラッシュメモリ制御回路の自動電源制御 (EEPCR<ATPWDW>)

EEPCR<ATPWDW>は、フラッシュメモリ制御回路の自動電源制御ビットです。動作モードの起動/復帰を起点に、フラッシュメモリ制御回路の電源を自動的に制御することにより、消費電力を抑えることができます。このビットは、プログラムの実行領域に関係なく設定が可能です。

EEPCR<ATPWDW>を “0” に設定した後、CPU が停止する動作モード (IDLE0/1/2、SLEEP0/1/2 モード) を起動すると、自動的にフラッシュメモリ制御回路の電源をしゃ断します。動作モード解除後は、自動的にウォームアップ時間をカウントし、通常処理に戻ります。ウォームアップ時間は、2^{10}/fc (SYSCK = “0”のとき) または 2^{3}/fs (SYSCK = “1” のとき) となります。EEPCR<ATPWDW>が “1” のときは、これらの動作モードの解除後にウォームアップは行われません。

なお、EEPCR<MNPWDW> = “1” のときに STOP モードを起動すると、EEPCR<ATPWDW>の設定に関係なく、フラッシュメモリ制御回路の電源は強制的にしゃ断されます。その後 STOP モードを解除すると、STOP モードの発振ウォームアップに続き、フラッシュメモリ制御回路のウォームアップ (CPU ウェイト) が自動的に行われます。EEPCR<MNPWDW>が “0” のときに STOP モードを起動/解除すると、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

注 1) EEPCR<ATPWDW>は、EEPCR<MNPWDW>が “1” のときのみ機能します。EEPCR<MNPWDW>が “0” のときは動作モードが切り替わる前後で、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

注 2) フラッシュメモリウォームアップ (CPU ウェイト) の期間中、周辺回路は動作を継続しますが、CPU は停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMF が “1” であれば CPU が動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。

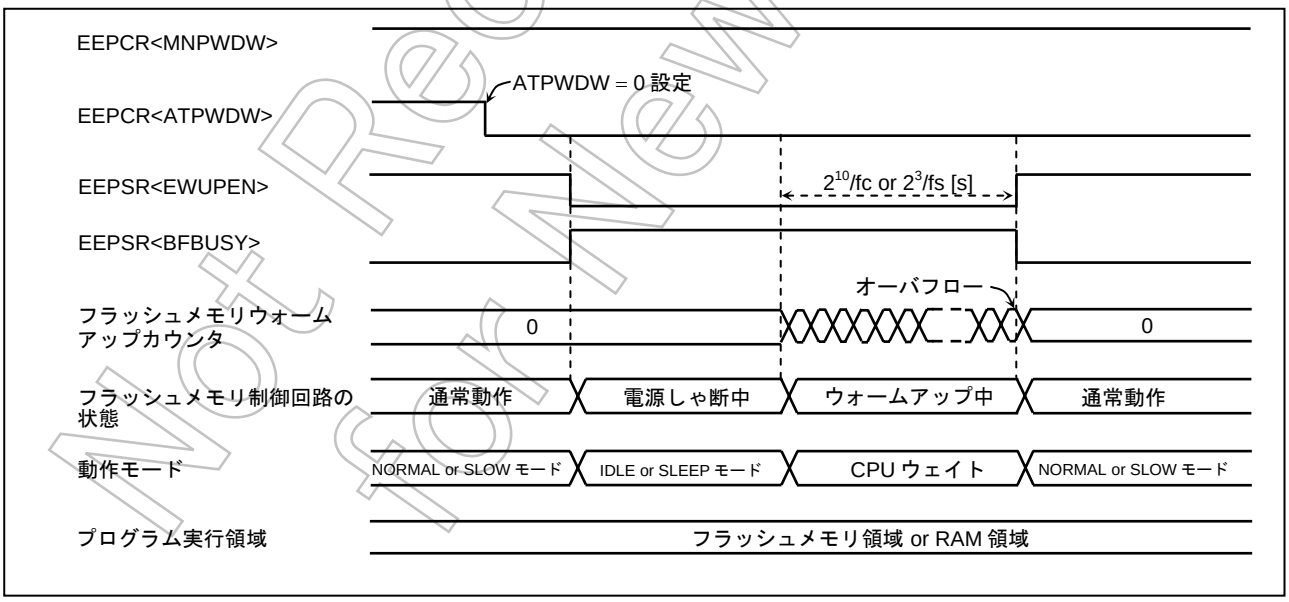


図 2.17.7 フラッシュメモリ制御回路の自動電源制御 (EEPCR<ATPWDW>)

Not Recommended for New Design

2.17.6 データメモリ領域 (アドレス 8000H～81FFH) のアクセス

データメモリ領域の書き込み時は、フラッシュメモリのすべての領域（8000H~FFFFH）に対してリード、フェッチを実行できません。従って、データメモリ領域に書き込みを行うときは、RAM 領域に制御プログラムを展開して実行するか、Boot-ROM 内蔵のサポートプログラムを利用する必要があります（サポートプログラムの詳細については、「2.17.6.2 Boot-ROM のサポートプログラムを利用する方法」を参照してください)。

データメモリ領域の読み出しは、LD 命令などにより 1 バイト単位で実行可能ですが、Boot-ROM 内蔵のサポートプログラムによっても実行することができます。

なお、フラッシュメモリへの書き込み中 (EEPSR<BFBUSY> = “1”) にノンマスカブル割り込みが発生した場合、WINT が “1” にセットされるとともに書き込み処理は中断され、フラッシュメモリ制御回路のウォームアップ（CPU ウェイト）が行われます（このとき書き込み数カウンタも初期化されます)。従ってノンマスカブル割り込みサービスルーチンの中で、WINT = “1” を検出した場合は書き込みが正常に終了していませんので、再書き込みなどの処理を実行してください。ウォームアップ時間は、2^{10}/fc (SYSCK = “0”のとき) または 2^{3}/fs (SYSCK = “1” のとき) となります。

テンポラリデータバッファに、1~63 バイト分のデータがスタックされた後に割り込みが発生すると、書き込みを行っていたページのデータは上書きされず、前回のデータが保持されます。

注 1) テンポラリデータバッファに、64 バイト分のデータがスタックされた後に割り込みが発生すると、書き込みを行っていたページのデータが想定しない値に書き替わることがあります。

注 2) フラッシュメモリウォームアップ (CPU ウェイト) の期間中、周辺回路は動作を継続しますが、CPU は停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMF が “1” であれば CPU が動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。

注 3) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF)を “0” に設定し、割り込みを禁止にしてください。サポートプログラム 1 は、この処理が含まれていますので、事前に割り込みを禁止する必要はありません。

Not Recommended for New Design

2.17.6.1 RAM 領域に制御プログラムを展開して書き込む方法

RAM 領域に展開する制御プログラムは、あらかじめフラッシュメモリ内に準備しておくか、周辺機能を使用して外部から取り込みます。以下に RAM 領域に制御プログラムを展開して書き込む方法の例を示します。

(1) RAM 領域に制御プログラムを展開して書き込む例

1. エミュレーションチップでは、動作周波数に従って EEPEVA レジスタを最適な時間に設定します。
2. 書き込み制御プログラムを RAM に転送します。
3. RAM 領域のアドレストラップを解除します (WDTCR1、WDTCR2 レジスタを設定します)。
4. RAM 領域にジャンプします。
5. EEPSR<EWUPEN>をモニタし “0” ならば EEPCR<MNPWDW>を “1” に設定した後、EEPSR<EWUPEN>が “1” になるまでポーリングします。
6. 割り込みマスタ許可フラグを禁止 (DI) にします(IMF ← “0”)。
7. EEPCR に “3BH” を設定します (フラッシュメモリの書き込みを許可します)。
8. フラッシュメモリ領域に対し 64 バイト分のライト命令を実行します。
9. EEPSR<BFBUSY>が “0” になるまでソフトウエアでポーリングします (フラッシュメモリセルのイレースおよび書き込みが完了すると EEPSR<BFBUSY>が “1” にセットされます。書き込み時間は、フラッシュメモリ製品のときは typ.4 ms、エミュレーションチップのときは EEPEVA レジスタで設定された時間となります)。
10. EEPCR に “CBH” を設定します (フラッシュメモリの書き込みを禁止します)。
11. フラッシュメモリ領域 (メインプログラム) にジャンプします。

注) 上記 8.で指定するフラッシュメモリアドレスは、「(2) フラッシュメモリ書き込み時のアドレス指定方法」に従って設定してください。

(2) フラッシュメモリ書き込み時のアドレス指定方法

フラッシュメモリの書き込みページは、1 バイト目に書き込むデータのアドレスの上位 10 ビットによって決定されます。同時に 1 バイト目のデータは、テンポラリデータバッファの先頭アドレスにスタックされます。例えば 8040H にデータを書き込むとページ 1 が選択され、テンポラリデータバッファの先頭アドレスにデータがスタックされます。このとき指定したアドレスの下位 6 ビットが 000000B 以外であったとしても、1 バイト目のデータは必ずテンポラリデータバッファの先頭アドレスにスタックされます。

2 バイト目以降に書き込むデータのアドレスは、書き込み可能なフラッシュメモリ領域 (MCU モード時: 8000H~81FFH、シリアル PROM モード時: 8000H~FFFFH) であれば、どのアドレスを指定しても構いません。書き込みデータは指定したアドレスには関係なく、書き込みを行った順にテンポラリデータバッファへスタックされます。通常は、1 バイト目に書き込みを行ったアドレスを同様に指定します (16 ビット転送命令を使用することもできます)。

例: ページ 1 に 00~3FH のデータを書き込む
(テンポラリデータバッファとページの関係を図 2.17.8に示します)。

```
DI                          ;  割り込みを禁止 (IMF ← “0”)
LD      C,00H
LD      HL,EEPCR            ;  EEPCR レジスタのアドレスを設定
LD      IX,8040H            ;  書き込みアドレスの指定
```

Not Recommended for New Design

```
                LD      (HL),3BH        ;   EEPCR の設定
sLOOP1:
                LD      (IX),C          ;   テンポラリデータバッファへデータをスタック (1 バイトの書き込みでページが確定)
                INC     C               ;   C = C + 1
                CMP     C,40H           ;   C ≠ 40H なら sLOOP1 へジャンプ
                JR      NZ,sLOOP1
sLOOP2:
                TEST    (EEPSR).0
                JRS     F,sLOOP2        ;   EEPSR<BFBUSY> = "1" なら sLOOP2 へジャンプ
                LD      (HL),0CBH       ;   EEPCR の設定
```

注) BFBUSY が "1" のとき、フラッシュメモリ領域に対してリード命令、フェッチを実行すると "FFH" が読み出されます。"FFH" をフェッチするとソフトウエア割り込みが発生します。

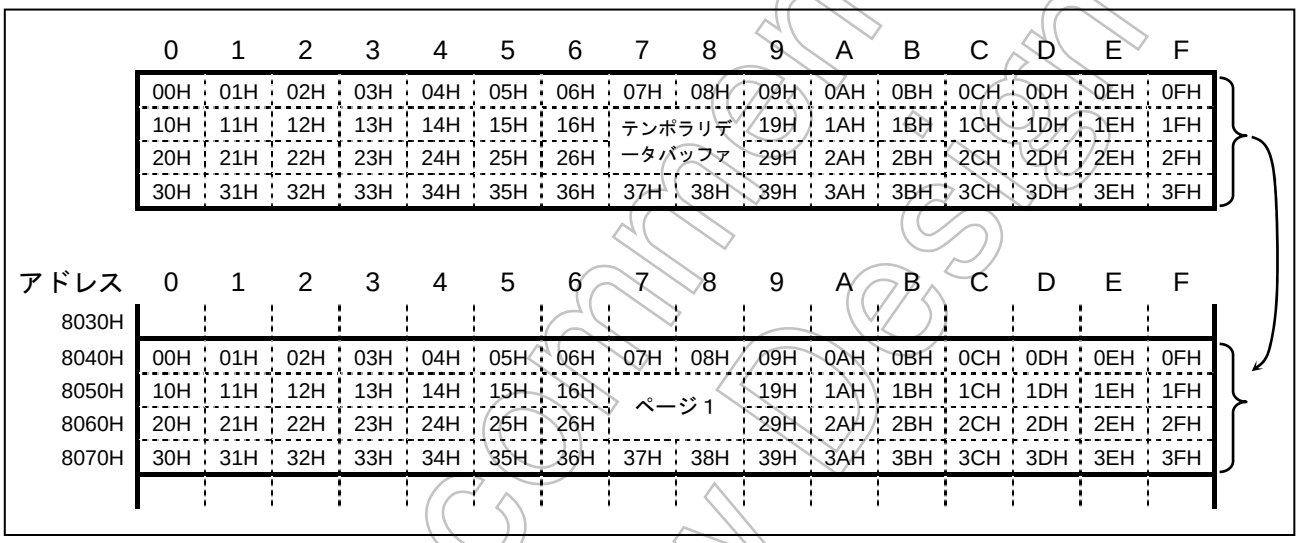


図2.17.8 テンポラリデータバッファと書き込みページ (例)

Not Recommended for New Design

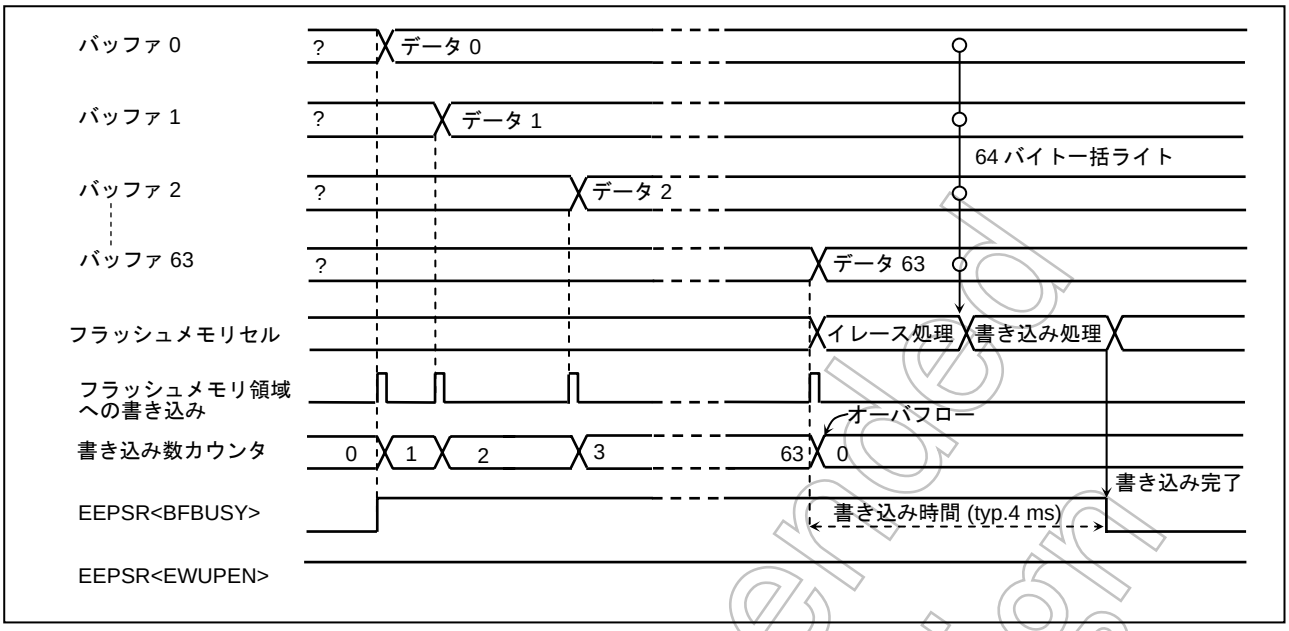


図 2.17.9 フラッシュメモリ領域への書き込み(フラッシュメモリ製品の場合)

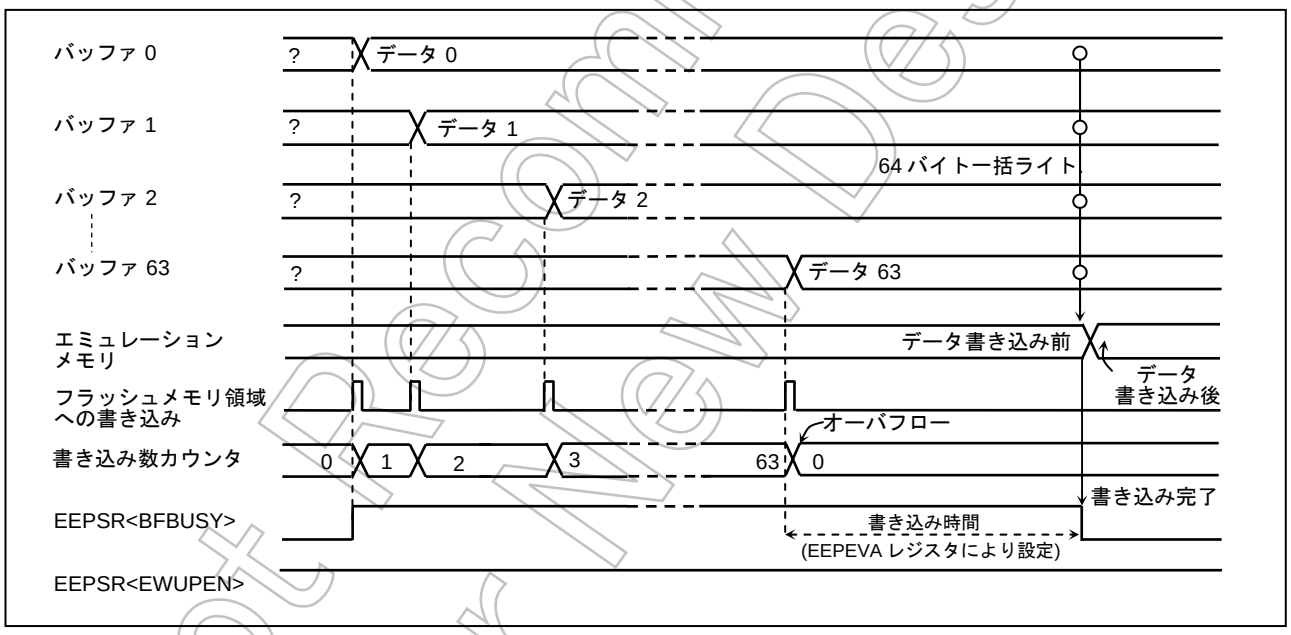


図 2.17.10 フラッシュメモリ領域への書き込み (エミュレーションチップの場合)

注 1) エミュレーションチップ (TMP86C948) では、フラッシュメモリの代わりにエミュレーションメモリへ書き込みが行われます。

注 2) エミュレーションチップの場合、書き込みデータは、EEPSR<BFBUSY> が “1” から “0” に変化する直前に、エミュレーションメモリに書き込まれます。従って、書き込み数カウンタがオーバフローした後に、フラッシュメモリへの書き込みを中止した場合、エミュレーションメモリの内容がフラッシュメモリ製品 (TMP86FM48) と異なる場合があります。

Not Recommended for New Design

2.17.6.2 Boot-ROM のサポートプログラムを利用する方法

TMP86FM48 の Boot-ROM は、シリアル PROM モード時の書き込みを制御するプログラムとは別に、MCU モード時に、フラッシュメモリデータメモリの書き込みを簡略化するためのサポートプログラムを内蔵しています。サポートプログラムはサブルーチン形式となっており、以下の 3 つの機能をサポートしています。

1. RAM からデータメモリ (8000H~81FFH) への書き込み
2. データメモリ (8000H~81FFH) から RAM への読み込み
3. プログラムメモリ (8200H~FFFFH) から RAM への読み込み

汎用レジスタに必要なデータを設定した後、CALL 命令を実行するだけでフラッシュメモリの書き込みおよび読み出しが可能です。従ってサポートプログラムを使用するときは、あらかじめフラッシュメモリの書き込み用のプログラムを準備したり、RAM 領域にプログラムを展開する必要はありません。表 2.17.2に各サポートプログラムで CALL するアドレスを示します。

表 2.17.2 サポートプログラムの CALL アドレス

プログラム	CALL アドレス	機能
サポートプログラム 1	3E00H	RAM 領域からデータメモリ (8000H~81FFH) への書き込みが可能です。書き込みは 64 バイト単位で行われます。
サポートプログラム 2	3E2CH	データメモリ (8000H~81FFH) から RAM 領域への読み込みが可能です。読み出しは 64 バイト単位で行われます。

サポートプログラムを利用すると、RAM 領域上の連続する 64 バイトのデータを、データメモリの任意のページにブロック転送することができます (サポートプログラム 1)。逆に、データメモリの任意のページデータを、指定した連続する 64 バイトの RAM 領域にブロック転送することもできます (サポートプログラム 2)。

以下に Boot-ROM のサポートプログラムを使用する方法を示します。実際のサポートプログラムのソースコードについては、「(3) サポートプログラム 1」、「(4) サポートプログラム 2」を参照してください。

(1) サポートプログラム 1 を使用してフラッシュメモリ領域へデータを書き込む例
(RAM 領域からフラッシュメモリ領域にブロック転送)

1. エミュレーションチップでは、動作周波数に従って EEPEVA レジスタを最適な時間に設定します。
2. 転送元の RAM 領域にデータを設定します。
3. HL レジスタに RAM 領域の先頭アドレス (転送元) を設定します。
4. DE レジスタにフラッシュメモリ領域の先頭アドレス (転送先) を設定します。
5. B レジスタに “1FH” を設定します (書き込みバイト数÷2。必ず 1FH を設定してください)。
6. ウォッチドッグタイマを使用している場合は、2 進カウンタをクリアします。
7. “3E00H” に対して CALL 命令を実行します。
8. RAM 領域からフラッシュメモリ領域にデータがブロック転送されます。数 ms 後、プログラムはメインルーチンに戻ります。

注 1) 上記 1.~6.は、フラッシュメモリ領域内で実行されるものとします。

注 2) HL、DE、B、WA レジスタは、サポートプログラム 1 の使用によって書き替えられますので、必要な場合は事前にレジスタデータの待避を行ってください。

注 3) EEPCR<MNPWDW>が “0” の状態で、サポートプログラム 1 を実行すると、EEPCR<MNPWDW>は “1” に書き替えられた後、ブロック転送が行われます。

Not Recommended for New Design

注 4) サポートプログラム 1 に対して CALL 命令を実行すると、2 バイトのスタックを消費します。

注 5) ウォッチドッグタイマを使用している場合は、3E00H に対して CALL 命令を実行する前に必ずウォッチドッグタイマの 2 進カウンタをクリアしてください。

注 6) MCU モードでは、データの転送先にプログラム領域 (8200H~FFFFH) を指定しないでください。

例) HL = 0050H、DE = 8100H、B = 1FH に設定し、サポートプログラム 1 (3E00H) に対して CALL 命令を実行した場合

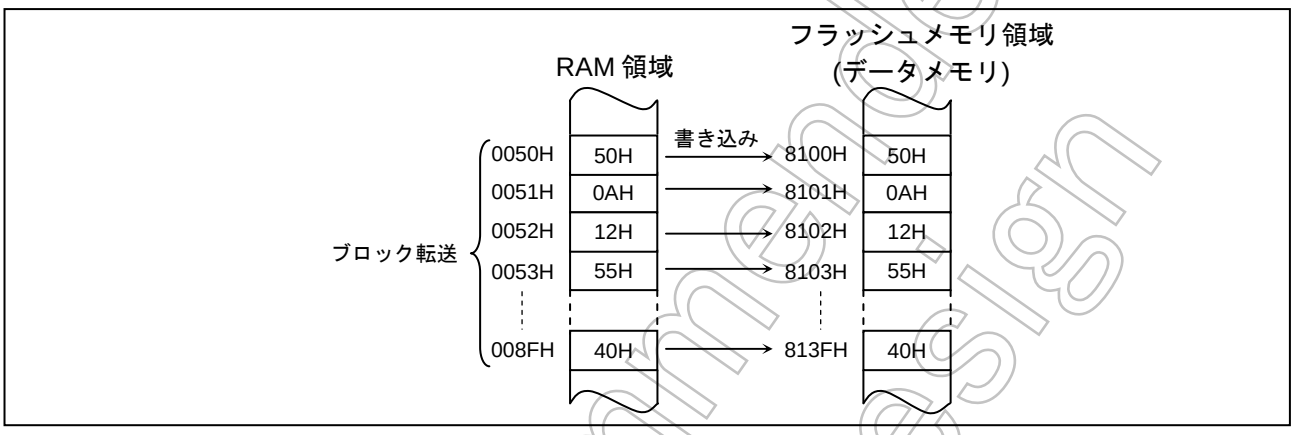


図 2.17.11 サポートプログラム 1 を使用してフラッシュメモリ領域へデータを書き込む例

(2) サポートプログラム 2 を使用してフラッシュメモリ領域からデータを読み出す例
(フラッシュメモリ領域から RAM 領域にブロック転送)

1. HL レジスタに RAM 領域の先頭アドレス (転送先) を設定します。
2. DE レジスタにフラッシュメモリ領域の先頭アドレス (転送元) を設定します。
3. B レジスタに “1FH” を設定します。
(読み出しバイト数 ÷ 2。必ず 1FH を設定してください)
4. “3E2CH” に対して CALL 命令を実行します。
5. フラッシュメモリ領域から RAM 領域にデータがブロック転送されます。処理が終了後、プログラムはメインルーチンに戻ります。

注 1) フラッシュメモリ領域は、サポートプログラム 2 を使用しなくても、LD 命令などによって 1 バイト単位の読み出しが可能です。

注 2) 上記 1.~4.は、フラッシュメモリ領域内で実行されるものとします。

注 3) HL、DE、B、WA レジスタは、サポートプログラム 2 の使用によって書き替えられますので、必要な場合は事前にレジスタデータの待避を行ってください。

注 4) サポートプログラム 2 に対して CALL 命令を実行すると、2 バイトのスタックを消費します。

Not Recommended for New Design

例） HL = 0050H、DE = 8100H、B = 1FH に設定し、サポートプログラム 2 (3E2CH) に対して CALL 命令を実行した場合

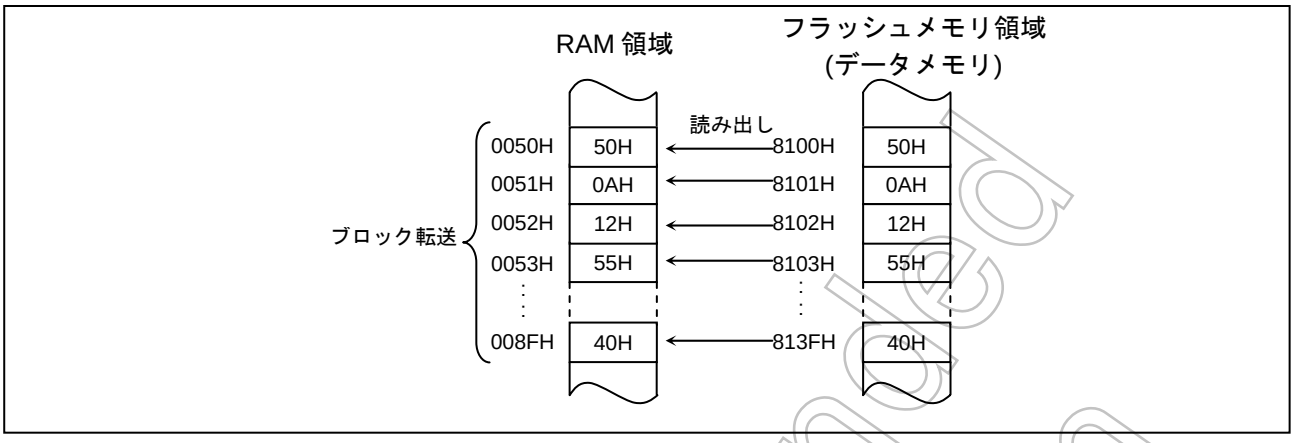


図 2.17.12 サポートプログラム 2 を使用してフラッシュメモリ領域からデータを読み出す例

(3) サポートプログラム 1 (RAM 領域からフラッシュメモリ領域へのブロック転送)

フラッシュメモリに書き込みを行うためのサポートプログラムのソースコードを以下に示します。

```
USER_SUB_WRITE section code abs = 3E00H
sUSER_main1:
        TEST    (EEPSR).1
        JRS     f,sRAM_to_EEP           ;   フラッシュメモリのスタンバイ OK なら
                                            sRAM_to_EEP にジャンプ
sEEP_warmingup:
        SET     (EEPCR).0               ;   EEPCR<MNPWDW>を 1 に設定
        TEST    (EEPSR).1               ;   ウォームアップが終了するまで待つ
        JRS     t,sEEP_warmingup
sRAM_to_EEP:
        DI                              ;   割り込み禁止
        AND     DE,0FFC0H               ;   下位 6 ビットをマスク
        LD      (EEPCR),3BH             ;   フラッシュメモリ書き込み許可
sBFBUSY_loop:
        LD      WA,(HL)                 ;   RAM からデータ読み出し
        LD      (DE),WA                 ;   フラッシュメモリ書き込み
        INC     HL
        INC     HL
        DEC     B
        JRS     F,sBFBUSY_loop
sEEP_write_end:
        TEST    (EEPSR).0               ;   BFBUSY フラグのポーリング
        JRS     F,sEEP_write_end
        LD      (EEPCR),0CBH            ;   フラッシュメモリ書き込み禁止

        RET
```

Not Recommended for New Design

(4) サポートプログラム 2 (フラッシュメモリ領域から RAM 領域へのブロック転送)

フラッシュメモリからデータを読み出すためのサポートプログラムのソースコードを以下に示します。

```
USER_SUB_READ section code abs = 3E2CH
sUSER_main2:
        AND     DE,0FFC0            ;   下位 6 ビットをマスク
        LD      (EEPCR),0CBH        ;   フラッシュメモリ書き込み禁止
sEEP_read_loop:
        LD      WA,(DE)             ;   フラッシュからデータ読み出し
        LD      (HL),WA             ;   RAM へ書き込み
        INC     HL
        INC     HL
        INC     DE
        INC     DE
        DEC     B
        JRS     F,sEEP_read_loop

        RET
```

Not Recommended for New Design

2.18 プログラムメモリ (フラッシュメモリ: 8200H~FFFFH)

TMP86FM48 は、32256 バイト (8200H~FFFFH) のプログラムメモリを内蔵しています。データメモリ (8000H~81FFH) を使用しないときは、32768 バイトのフルフラッシュメモリ製品として使用することもできます。プログラムメモリ（データメモリ）に書き込みを行うには、シリアル PROM モードを起動します。

2.18.1 構成

データメモリと同じです。詳細は「2.17.1 構成」を参照してください。

2.18.2 制御

データメモリと同じです。詳細は「2.17.2 制御」を参照してください。

2.18.3 フラッシュメモリ書き込み許可制御 (EEPCR<EEPMD>)

データメモリと同じです。詳細は「2.17.2 制御」を参照してください。

2.18.4 フラッシュメモリ書き込みの強制停止 (EEPCR<EEPRS>)

データメモリと同じです。詳細は「2.17.4 フラッシュメモリ」を参照してください。

2.18.5 フラッシュメモリ制御回路の電源制御

データメモリと同じです。詳細は「2.17.5 フラッシュメモリ制御回路の電源制御」を参照してください。

2.18.6 プログラムメモリ領域のアクセス

基本的にプログラムメモリ領域の書き込みは、シリアル PROM モードを起動した後、UART 通信によって行います。シリアル PROM モードの制御については、後述ページを参照してください。

Not Recommended for New Design

2.19 シリアル PROM モード

2.19.1 概要

TMP86FM48 は、フラッシュメモリへのプログラミング用として 2 K バイトの Boot-ROM (マスク ROM) を内蔵しています。Boot-ROM には、オンボードでの書き込みを行うためのフラッシュメモリ書き込みモードのほか、RAM ローダ、フラッシュメモリ SUM 出力、製品識別コード出力のモードを内蔵しています。Boot-ROM はシリアル PROM モードで起動し、BOOT 端子、$\overline{\text{RESET}}$ 端子、UART の TXD (P06)と RXD (P05) 端子によって制御されます。なお、シリアル PROM モードの動作範囲は MCU モードと異なります。表 2.19.1にシリアル PROM モード時の動作範囲を示します。

表2.19.1 シリアル PROM モード動作範囲

項目	記号	Min	Max	単位
電源電圧	VDD	2.7	3.6	V
高周波周波数(注)	fc	2	16	MHz
動作温度	Topr	25 ± 5		℃

注) 高周波周波数は 2 MHz ≦ fc ≦ 16 MHz の範囲内であっても、シリアル PROM モードで対応していない周波数があります。詳細は「表 2.19.5 シリアル PROM モードの動作周波数とボーレート」を参照してください。

2.19.2 メモリマッピング

Boot-ROM はアドレス 3800H~3FFFH にマッピングされています。図 2.19.1にメモリマッピングを示します。

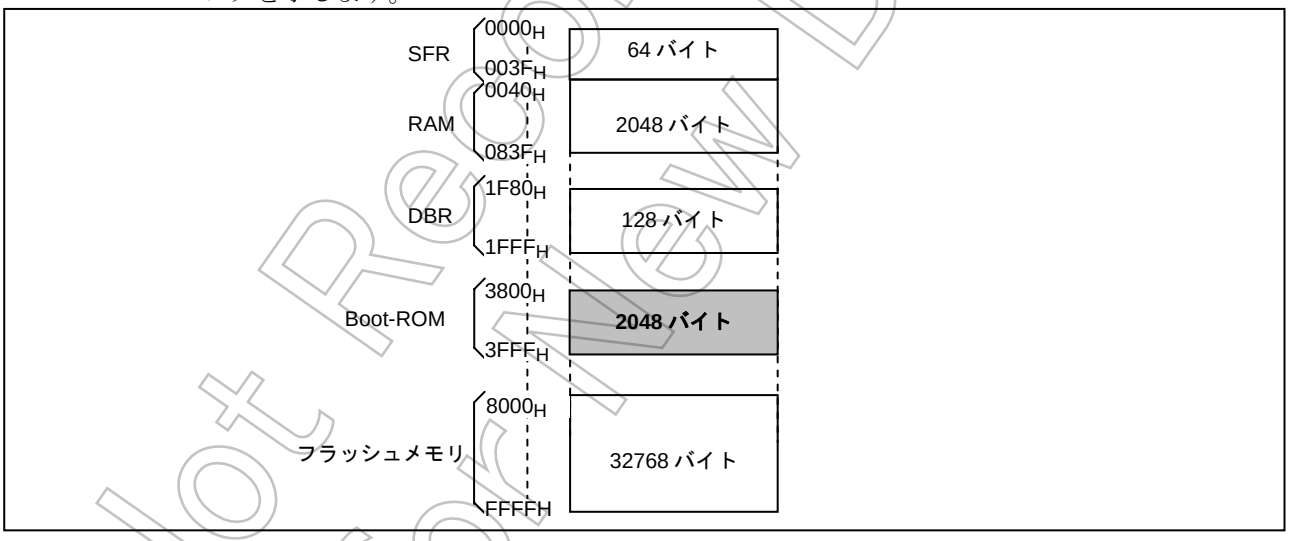


図 2.19.1 メモリアドレスマップ

2.19.3 シリアル PROM モード設定

2.19.3.1 シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアル PROM モードを起動します。シリアル PROM モードを起動するための端子設定を表 2.19.2に示します。

表 2.19.2 シリアル PROM モード設定

端子	設定
BOOT 端子	High
$\overline{\text{RESET}}$ 端子	↗

Not Recommended for New Design

2.19.3.2 端子機能

シリアル PROM モード時、TXD (P06) と RXD (P05) を外部とのインタフェース (UART) 用端子として使用します。

表 2.19.3 シリアル PROM モードの端子機能

端子名 (シリアル PROM モード)	入出力	機　能		端子名 (MCU モード)
TXD	出力	シリアルデータ出力	(注 1)	P06
RXD	入力	シリアルデータ入力		P05
BOOT	入力	シリアル PROM 制御端子		BOOT
$\overline{\text{RESET}}$	入力	シリアル PROM 制御端子		$\overline{\text{RESET}}$
TEST	入力	0 V		TEST
VDD, AVDD	電源	2.7 V~3.6 V		
VSS, AVSS/VASS		0 V		
VAREF		オープンまたは VDD と同電位にしてください。		
P00~P04,P07 P10~P17 P20~P22 P30~P37 P50~P52 P60~P67 P70~P77 P80~P87	入出力	シリアル PROM モード中はハイインピーダンスになります。		
XIN	入力	高周波発振子接続端子。 外部クロックの場合、XIN へ入力し、XOUT は開放してください。	(注 2)	
XOUT	出力			

注 1) オンボードプログラミング時、ほかの部品がすでに実装されている場合、これらの通信端子に影響を与えないように注意が必要です。

注 2) シリアル PROM モードで動作可能な高周波周波数範囲は 2 MHz ≦ fc ≦ 16 MHz となります。

シリアル PROM モード時、各制御端子を図 2.19.2のように結線します。

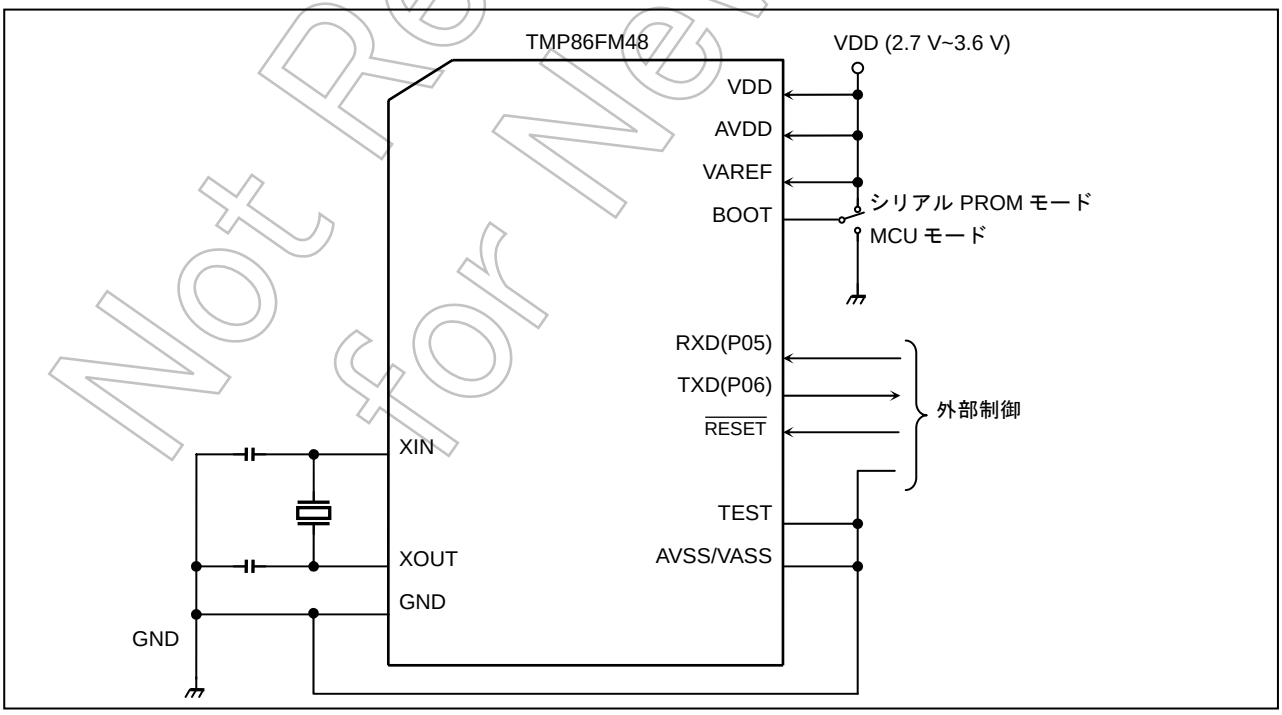


図 2.19.2 シリアル PROM モード端子設定

Not Recommended for New Design

2.19.3.3 シリアル PROM モードの起動

シリアル PROM モードを起動するには、以下の手順にて行います。図 2.19.3にシリアル PROM モードの設定タイミングを示します。

(1) VDD 端子に電源を供給します。
(2) $\overline{\text{RESET}}$ 端子と TEST 端子を “L” レベルに設定します。
(3) BOOT 端子を “H” レベルに設定します。
(4) 電源およびクロックが十分安定するまで待ちます。
(5) $\overline{\text{RESET}}$ 端子を “L” → “H”レベルに設定します。
(6) セットアップ期間が経過した後、RXD 端子にマッチングデータ “5AH” を入力します。セットアップ期間については「2.19.14UART タイミング」を参照してください。

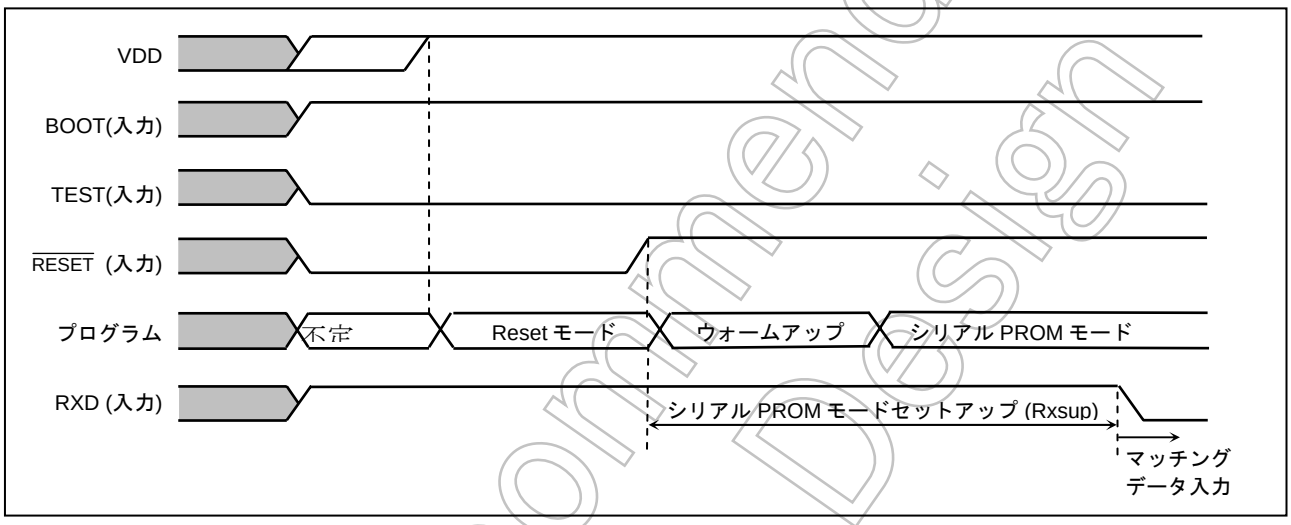


図 2.19.3 シリアル PROM モードタイミング

2.19.4 インタフェース仕様

シリアル PROM モードでの UART 通信フォーマットを以下に示します。

オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

初期ボーレートは、マイコンの動作周波数によらず 9600 bps を自動検出します。その後、表 2.19.4に示すボーレート変更データを TMP86FM48 に送信することにより、ボーレートの変更が可能です。表 2.19.5にマイコンの動作周波数とボーレートを示します（表 2.19.5に示されていない周波数では使用できません）。

ボーレート (初期値): 9600 bps
データ長: 8 ビット
パリティビット: なし
ストップビット長: 1 ビット

表 2.19.4 ボーレート変更データ

ボーレート変更データ	04H	05H	06H	07H	0AH	18H	28H
ボーレート (bps)	76800	62500	57600	38400	31250	19200	9600

Not Recommended for New Design

表 2.19.5 シリアル PROM モードの動作周波数とボーレート

マッチング回数 (注 3)	基準ボーレート (bps)		76800		62500		57600		38400		31250		19200		9600	
	ボーレート変更データ		04H		05H		06H		07H		0AH		18H		28H	
	基準周波数 (MHz)	対応範囲 (MHz)	ボーレート (bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)
1	2	1.91~2.10	–	–	–	–	–	–	–	–	–	–	–	–	9615	+0.16
2	4	3.82~4.19	–	–	–	–	–	–	–	–	31250	0.00	19231	+0.16	9615	+0.16
	4.19	3.82~4.19	–	–	–	–	–	–	–	–	32734	+4.75	20144	+4.92	10072	+4.92
3	4.9152	4.70~5.16	–	–	–	–	–	–	38400	0.00	–	–	19200	0.00	9600	0.00
	5	4.70~5.16	–	–	–	–	–	–	39063	+1.73	–	–	19531	+1.73	9766	+1.73
4	6	5.87~6.45	–	–	–	–	–	–	–	–	–	–	–	–	9375	–2.34
	6.144	5.87~6.45	–	–	–	–	–	–	–	–	–	–	–	–	9600	0.00
5	7.3728	7.05~7.74	–	–	–	–	57600	0.00	–	–	–	–	19200	0.00	9600	0.00
6	8	7.64~8.39	–	–	62500	0.00	–	–	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16
7	9.8304	9.40~10.32	76800	0.00	–	–	–	–	38400	0.00	–	–	19200	0.00	9600	0.00
	10	9.40~10.32	78125	+1.73	–	–	–	–	39063	+1.73	–	–	19531	+1.73	9766	+1.73
8	12	11.75~12.90	–	–	–	–	57692	+0.16	–	–	31250	0.00	18750	–2.34	9375	–2.34
	12.288	11.75~12.90	–	–	–	–	59077	+2.56	–	–	32000	+2.40	19200	0.00	9600	0.00
	12.5	11.75~12.90	–	–	60096	–3.85	60096	+4.33	–	–	30048	–3.85	19531	+1.73	9766	+1.73
9	14.7456	14.10~15.48	–	–	–	–	57600	0.00	38400	0.00	–	–	19200	0.00	9600	0.00
10	16	15.27~16.77	76923	+0.16	62500	0.00	–	–	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16

注 1) 基準周波数: シリアル PROM モードで対応可能な高周波周波数。なお、高周波周波数 (fc) が 2 MHz ≦ fc ≦ 16 MHz の範囲内であっても、表に示していない周波数はシリアル PROM モードでは使用できません。

注 2) 基準周波数で確実にボーレートの自動検出を行うために、外部コントローラと発振周波数誤差との総合誤差を±3%以内にしてください。

注 3) 外部コントローラはボーレートの自動検出が行われるまで、マッチングデータ (5AH) を繰り返し送信する必要があります。上記は各周波数におけるマッチングデータの送信回数を示します。

2.19.5 動作コマンド

シリアル PROM モードでは表 2.19.6に示す 5 つのコマンドを使用します。リセット解除後、TMP86FM48 はマッチングデータ (5AH) 待ちの状態となります。

表 2.19.6 シリアル PROM モードで動作コマンド

動作コマンドデータ	動作モード	備考
5AH	セットアップ	マッチングデータ。リセット解除後は、常にこのコマンドからスタートします。
30H	フラッシュメモリ書き込み	フラッシュメモリ領域 (アドレス 8000H~FFFFH) への書き込みが可能です。
60H	RAM ローダ	特定の RAM 領域 (アドレス 0050H~082FH) への書き込みが可能です。
90H	フラッシュメモリ SUM 出力	フラッシュメモリの全領域 (アドレス 8000H~FFFFH) のチェックサム (16 ビット) を上位、下位の順に出力します。
C0H	製品識別コード出力	製品を識別するためのコードを 13 バイトのデータとして出力します。

Not Recommended for New Design

2.19.6 動作モード

シリアル PROM モードには、(1) フラッシュメモリ書き込み、(2) RAM ローダ、(3) フラッシュメモリ SUM 出力、(4) 製品識別コード出力の 4 つのモードがあります。以下は各モードの概要です。

(1) フラッシュメモリ書き込みモード

指定したフラッシュメモリのアドレスに、ページ (64 バイト) 単位で任意のデータを書き込むことができます。コントローラは、書き込みデータをインテル HEX フォーマットのバイナリデータとして送信してください。詳細は「2.19.7 フラッシュメモリ書き込みデータフォーマットを参照してください。

エンドレコードまでエラーがなければ、TMP86FM48 はフラッシュメモリ 32K バイトのチェックサムを計算し、その結果を返します。

なお、TMP86FM48 はブランク品の場合を除き、フラッシュメモリ書き込みモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ書き込みモードは実行されません。

(2) RAM ローダモード

RAM ローダは、コントローラからインテル HEX フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了するとチェックサムを計算し、その結果を送信後、最初のデータレコードで指定された RAM にジャンプし、ユーザープログラムの実行を開始します。

なお、TMP86FM48 はブランク品の場合を除き、RAM ローダモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、RAM ローダモードは実行されません。

(3) フラッシュメモリ SUM 出力モード

フラッシュメモリ 32 K バイトのチェックサムを計算し、その結果を返します。Boot-ROM ではフラッシュメモリを読み出す動作コマンドはサポートしていませんので、アプリケーションプログラムのレビジョン管理を行う場合などは、このチェックサムによりプログラムの識別を行ってください。

(4) 製品識別コード出力モード

製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM の領域を示す情報を含んだ 13 バイトのデータで構成されます。外部コントローラはこのコードを読み取ることにより、書き込みを行う製品の識別をすることができます。

Not Recommended for New Design

2.19.6.1 フラッシュメモリ書き込みモード (動作コマンド: 30H)

表 2.19.7にフラッシュメモリ書き込みモードの転送フォーマットを示します。

表 2.19.7 フラッシュメモリ書き込みモード転送フォーマット

	転送 バイト数	外部コントローラから TMP86FM48 への転送データ	ボーレート	TMP86FM48 から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) –	9600 bps 9600 bps	– (ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 2.19.4参照) –	9600 bps 9600 bps	– OK) エコーバックデータ Error) A1H × 3 , A3H × 3 , 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (30H) –	変更後ボーレート 変更後ボーレート	– OK) エコーバックデータ (30H) Error) A1H × 3 , A3H × 3 , 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスのビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスのビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスのビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスのビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) –	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	m + 1 バイト目 : n – 2 バイト目	インテル HEX フォーマット (binary) (注 2)	変更後ボーレート	–
	n – 1 バイト目	–	変更後ボーレート	OK) チェックサム (High) (注 3) Error) 何も送信しません
	n バイト目	–	変更後ボーレート	OK) チェックサム (Low) (注 3) Error) 何も送信しません
	n + 1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	–

注 1) “xxH × 3” は、xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「表 2.19.11 エラーコード」を参照してください。

注 2) インテル HEX フォーマットについては、「2.19.10 インテル HEX フォーマット (Binary)」を参照してください。

注 3) チェックサムについては、「2.19.9 チェックサム (SUM)」を参照してください。

注 4) パスワードについては、「2.19.11 パスワード」を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “00H” または “FFH” の場合、ブランク品と判定されパスワード照合は行われませんので、パスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、TMP86FM48 は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は$\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

Not Recommended for New Design

フラッシュメモリ書き込みモードの動作説明

1. 1 バイト目の受信データはマッチングデータです。シリアル PROM モードを起動すると、TMP86FM48 (以下、デバイスと呼ぶ) はマッチングデータ (5AH) の受信待ちとなります。デバイスはマッチングデータを受信することで、UART の初期ボーレートを自動的に 9600 bps にあわせます。
2. デバイスがマッチングデータ (5AH) を受信すると、2 バイト目のデータとしてエコーバックデータ (5AH) を外部コントローラに送信します。もし、デバイスがマッチングデータを認識できなかった場合、エコーバックデータは返さず、ボーレートの自動調整を行って再度マッチングデータの受信待ちの状態となります。従って、外部コントローラはデバイスがエコーバックデータを送信するまで、マッチングデータを繰り返し送信する必要があります。なお、繰り返し回数はデバイスの周波数に応じて変わります。詳細は表 2.19.5を参照してください。
3. 3 バイト目の受信データはボーレート変更データです。ボーレート変更データは表 2.19.4に示すとおり 7 種類あります。なお、ボーレートの変更を行わない場合でも、外部コントローラはボーレートの初期値データ (28H: 9600 bps) を送信する必要があります。
4. 3 バイト目の受信データが、動作周波数に対応したボーレートデータのいずれかに該当するときのみ、デバイスは 4 バイト目のデータとして、受信したデータと同じ値をエコーバック送信します。なお、ボーレートの変更は、ボーレート変更データに対するエコーバックデータを送信した後有効となります。もし 3 バイト目の受信データが、いずれのボーレート変更データに該当しない場合、デバイスはボーレート変更エラーコード (62H) を 3 バイト送信した後、動作停止状態となります。
5. 5 バイト目の受信データは、フラッシュメモリ書き込みモードコマンドデータ (30H) となります。
6. 5 バイト目の受信データが表 2.19.6に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 30H) をエコーバック送信します。 もし 5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
7. 7 バイト目はパスワード数格納アドレスのビット 15~8 のデータとなります。7 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
8. 9 バイト目はパスワード数格納アドレスのビット 7~0 のデータとなります。9 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
9. 11 バイト目はパスワード比較開始アドレスのビット 15~8 のデータとなります。11 バイト目に受信したデータに受信エラーが無い場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
10. 13 バイト目はパスワード比較開始アドレスのビット 7～0 のデータとなります。13 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。

Not Recommended for New Design

11. 15~m バイト目の受信データはパスワードデータとなります。パスワード数は、パスワード数格納アドレスに格納されているデータ (N) となります。パスワードデータは、パスワード比較開始アドレスにて指定されたアドレスから N バイト分のデータと比較されます。従って、外部コントローラは N バイトのパスワードデータを送信する必要があります。パスワードが一致しない場合、デバイスはエラーコードを送信せず、動作停止状態となります。なお、FFE0H~FFFFH 領域がすべて “00H” または “FFH” の場合はブランク品と判定され、パスワード比較は行われません。
12. m + 1 バイト目~n − 2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク(3AH、“：”)を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。データレコードのうち、データは一度 RAM にバッファリングされ、1 ページ分のデータがバッファリングされると、フラッシュメモリへの書き込みが行われます。なお、書き込みデータのフォーマットの詳細については「2.19.7 フラッシュメモリ書き込みデータフォーマット」を参照してください。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
13. n − 1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「2.19.9 チェックサム (SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。32 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 100 ms @ 16 MHz です。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
14. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended for New Design

2.19.6.2 RAM ローダモード(動作コマンド: 60H)

表 2.19.8に RAM ローダモードの転送フォーマットを示します。

表 2.19.8 RAM ローダモード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM48 への転送データ	ボーレート	TMP86FM48 から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) –	9600 bps 9600 bps	– (ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 2.19.4参照) –	9600 bps 9600 bps	– OK) エコーバックデータ Error) A1H × 3 , A3H × 3 , 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (60H) –	変更後ボーレート 変更後ボーレート	– OK) エコーバックデータ (60H) Error) A1H × 3 , A3H × 3 , 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスのビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスのビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスのビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスのビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) –	変更後ボーレート 変更後ボーレート	– OK) 何も送信しません Error) 何も送信しません
	m + 1 バイト目 : n – 2 バイト目	インテル HEX フォーマット (binary) (注 2)	変更後ボーレート	–
	n – 1 バイト目	ー	変更後ボーレート	OK) チェックサム (High) (注 3) Error) 何も送信しません
	n バイト目	ー	変更後ボーレート	OK) チェックサム (Low) (注 3) Error) 何も送信しません
RAM	ー	書き込みを開始した RAM の先頭番地にジャンプしプログラムを実行します。		

注 1) “xxH × 3” は、xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「表 2.19.11 エラーコード」を参照してください。

注 2) インテル HEX フォーマットについては、「2.19.10 インテル HEX フォーマット (Binary)」を参照してください。

注 3) チェックサムについては、「2.19.9 チェックサム (SUM)」を参照してください。

注 4) パスワードについては、「2.19.11 パスワード」を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “00H” または “FFH” の場合、ブランク品と判定されパスワード照合は行われませんので、パスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、TMP86FM48 は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

Not Recommended for New Design

注 6) パスワード列を送信した後、エンドレコードだけの送信を行わないようにしてください。もし、デバイスがパスワード列を受信した後にエンドレコードを受信した場合、正しく動作しないことがあります。

注 7) RAM に書き込んだユーザプログラムの中で、ウォッチドッグタイマ割り込みが許可の状態で EEPCR<MNPWDW>にてフラッシュメモリの電源を OFF にする場合、必ずウォッチドッグタイマの 2 進カウンタのクリアを行ってからフラッシュメモリの電源を OFF にしてください。

RAM ローダモードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは RAM ローダモードコマンドデータ (60H) となります。
3. 5 バイト目の受信データが表 2.19.6に示す動作コマンドデータのいずれかに該当する場合にのみ､デバイスは 6 バイト目として受信したデータと同じ値 (この場合 60H) をエコーバック送信します。もし 5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. m + 1 バイト目~n − 2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク (3AH、“:”) を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。データレコードのうち、データはアドレスにて指定された RAM に書き込まれます。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
6. n − 1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「2.19.9 チェックサム (SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。32 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 100 ms @ 16 MHz です。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. チェックサムを送信後、最初に受信したデータレコードで指定される RAM アドレスにジャンプし、プログラムの実行を開始します。

Not Recommended for New Design

2.19.6.3 フラッシュメモリ SUM 出力モード (動作コマンド: 90H)

表 2.19.9にフラッシュメモリ SUM 出力モードの転送フォーマットを示します。

表 2.19.9 フラッシュメモリ SUM 出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM48 への転送データ	ボーレート	TMP86FM48 から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) –	9600 bps 9600 bps	– (ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 2.19.4参照) –	9600 bps 9600 bps	– OK) エコーバックデータ Error)A1H × 3 , A3H × 3 , 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (90H) –	変更後ボーレート 変更後ボーレート	– OK) エコーバックデータ (90H) Error) A1H × 3 , A3H × 3 , 63H × 3 (注 1)
	7 バイト目	–	変更後ボーレート	OK) チェックサム (High) (注 2) Error) 何も送信しません
	8 バイト目	–	変更後ボーレート	OK) チェックサム (Low) (注 2) Error) 何も送信しません
	9 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	–

注 1) “xxH × 3”は、xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「表 2.19.11 エラーコード」を参照してください。

注 2) チェックサムについては、「2.19.9 チェックサム (SUM)」を参照してください。

フラッシュメモリ SUM 出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データはフラッシュメモリ SUM 出力モードコマンドデータ (90H) となります。
3. 5 バイト目の受信データが表 2.19.6に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは 6 バイト目として受信したデータと同じ値 (この場合 90H) をエコーバック送信します。もし 5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目と 8 バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「2.19.9 チェックサム (SUM)」を参照してください。32 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 100 ms @ 16 MHz です。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended for New Design

2.19.6.4 製品識別コード出力モード (動作コマンド: C0H)

表 2.19.10に製品識別コード出力モードの転送フォーマットを示します。

表2.19.10 製品識別コード出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM48 への転送データ	ボーレート	TMP86FM48 から 外部コントローラへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) –	9600 bps 9600 bps	– (ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません	
	3 バイト目 4 バイト目	ボーレート変更データ (表 2.19.4参照) –	9600 bps 9600 bps	– OK) エコーバックデータ Error)A1H × 3 , A3H × 3 , 62H × 3 (注 1)	
	5 バイト目 6 バイト目	動作コマンドデータ (C0H) –	変更後ボーレート 変更後ボーレート	– OK) エコーバックデータ (C0H) Error) A1H × 3 , A3H × 3 , 63H × 3 (注 1)	
	7 バイト目		変更後ボーレート	3AH	スタートマーク
	8 バイト目		変更後ボーレート	0AH	転送データ数 (9~18 バイト目までのバイト数)
	9 バイト目		変更後ボーレート	02H	アドレス長 (2 バイト)
	10 バイト目		変更後ボーレート	00H	Reserved
	11 バイト目		変更後ボーレート	00H	Reserved
	12 バイト目		変更後ボーレート	00H	Reserved
	13 バイト目		変更後ボーレート	00H	Reserved
	14 バイト目		変更後ボーレート	01H	ROM のブロック数 (1 ブロック)
	15 バイト目		変更後ボーレート	80H	ROM の先頭アドレス (上位)
	16 バイト目		変更後ボーレート	00H	ROM の先頭アドレス (下位)
	17 バイト目		変更後ボーレート	FFH	ROM の終了アドレス (上位)
	18 バイト目		変更後ボーレート	FFH	ROM の終了アドレス (上位)
	19 バイト目		変更後ボーレート	7FH	転送データのチェックサム (9~18 バイト目までのチェックサム)
	20 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	ー	

注) “xxH × 3” は、xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「表 2.19.11 エラーコード」を参照してください。

製品識別コード出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは製品識別コード出力モードコマンドデータ（C0H）となります。
3. 5 バイト目の受信データが表 2.19.6に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値（この場合 C0H）をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード（63H）を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から 19 バイト目は製品識別コードとなります。識別コードの詳細については「2.19.12 製品識別コード」を参照してください。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended for New Design

2.19.7 フラッシュメモリ書き込みデータフォーマット

TMP86FM48 のフラッシュメモリは 64 バイトを 1 ページとし、512 ページで構成されています。フラッシュメモリへの書き込みはページごと (64 バイトごと) 行われますので、数バイトのデータを書き込む場合でも、1 ページ分 (64 バイト) のデータを指定する必要があります。図 2.19.4にフラッシュメモリの構成を示します。なお、フラッシュメモリ書き込みモードでは、外部コントローラは以下のインテル HEX フォーマットでデータを送信してください。

1. フラッシュメモリ書き込みコマンド (30H) の受け付け後、最初のデータレコードで指定されるアドレスは、必ず各ページの先頭番地としてください(例: ページ 2 への書き込みを行う場合、最初のデータレコードのアドレスは 8080H (ページ 2 の先頭アドレス) でなければなりません)。

2. データレコードの最終データに相当するアドレスがページの途中である場合、次のデータレコードで指定されるアドレスは、前のアドレス + 1 としてください。

   例)

   :10802000202122232425262728292A2B2C2D2E2FD8 ' 8020H~802FH のデータレコード
   :108030003031323334353637383938 3A3B3C3D3E3FC8 ' 8030H~803FH のデータレコード
   (説明) データレコードの最終データのアドレスが 802FH (ページ 0) の場合、次のデータレコードで指定されるアドレスは 8030H (ページ 0) でなければなりません。

3. エンドレコード直前のデータレコードの最終データのアドレスは、各ページの最終アドレスとしてください。

   例)

   :10807000303132333435363738393A3B3C3D3E3F88 ' 8070H~807FH のデータレコード
   :00000001FF ' エンドレコード
   (説明) エンドレコード直前のデータレコードがページ 1 を指している場合、そのレコードの最終データのアドレスは 807FH (ページ 1 の最終アドレス) でなければなりません

注) フラッシュメモリのすべてのデータが同一データの場合、アドレス FFE0H~FFFFH 領域にのみ書き込みを行わないでください。もし、この領域にのみ書き込みが行われると、以降 TMP86FM48 はブランク品とはみなされず、パスワード照合が行われ、同一データが 3 バイト以上続くためにパスワード判定で Error となります。この場合、フラッシュメモリへの書き込みや RAM ローダが実行できなくなります。

Not Recommended for New Design

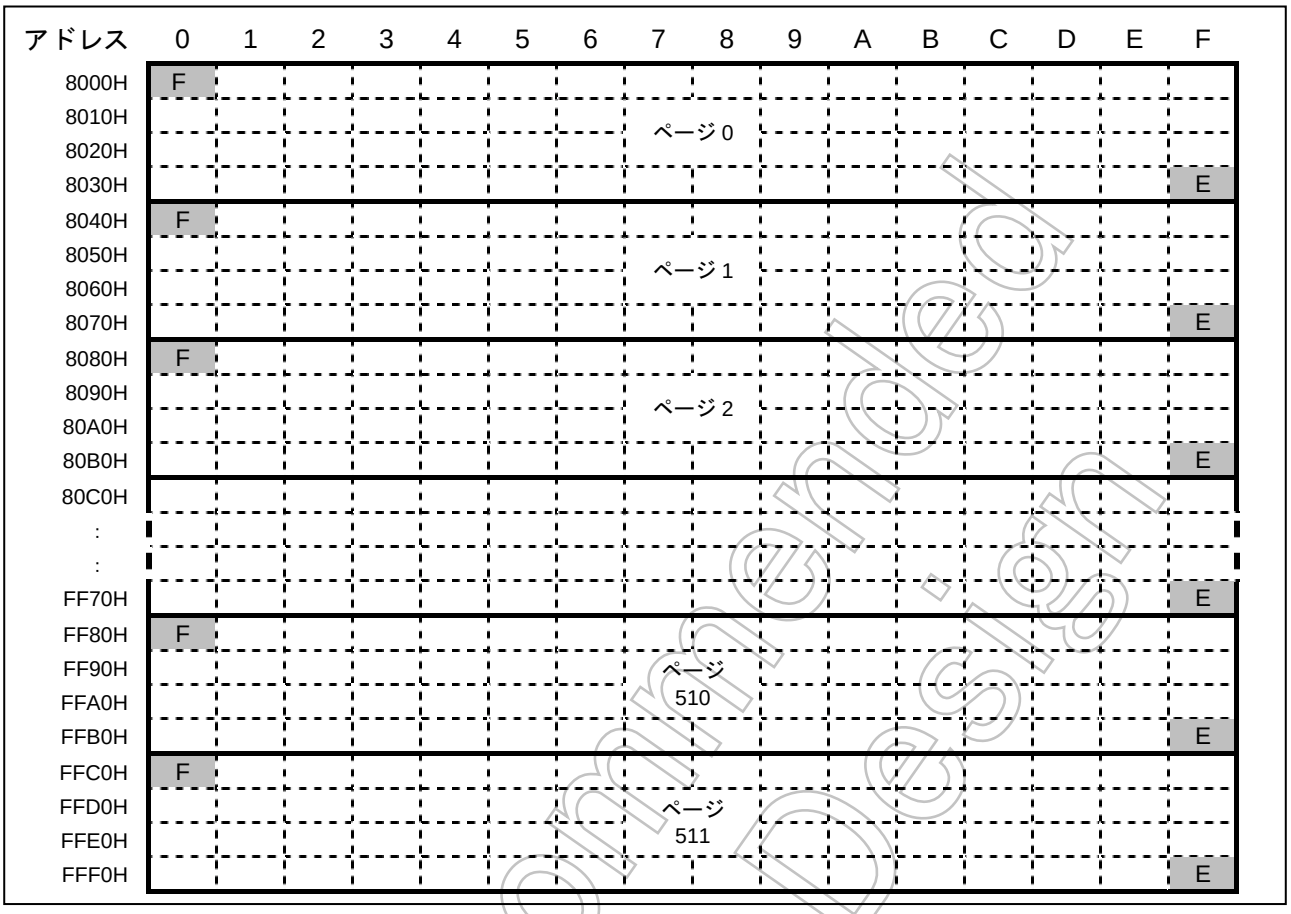


図 2.19.4 フラッシュメモリの構成

注) “F” は各ページの先頭アドレス、“E” は各ページの終了アドレスを示します。

Not Recommended for New Design

2.19.8 エラーコード

デバイスが各エラーを検出した場合に送信するエラーコードを表 2.19.11に示します。

表 2.19.11 エラーコード

送信データ	エラー内容
62H, 62H, 62H	ボーレート変更データエラー
63H, 63H, 63H	動作コマンドエラー
A1H, A1H, A1H	受信データのフレーミングエラー
A3H, A3H, A3H	受信データのオーバーランエラー

注) パスワードエラーの場合は、エラーコードは送信されません。

2.19.9 チェックサム (SUM)

(1) 計算方法

チェックサム (SUM) は byte + byte…. + byte の結果をワードで返します。つまり、バイトでデータを読み出して計算し、その結果をワードで返します。

例)

A1H
B2H
C3H
D4H

左記 4 バイトが計算対照データの場合、チェックサムは以下のようになります。

A1H + B2H + C3H + D4H = 02EAH
SUM (HIGH) = 02H
SUM (LOW) = EAH

フラッシュメモリ書き込みモード、RAM ローダモードおよびフラッシュメモリ SUM 出力モードを実行した際に送信されるチェックサムは、本計算方法を使用します。

(2) 計算対象データ

表 2.19.12に各モードにおけるチェックサムの計算対象データを示します。

表 2.19.12 チェックサムの計算対象データ

動作モード	計算対象データ	備考
フラッシュメモリ書き込みモード	フラッシュメモリの全エリア (32 K バイト) のデータ	フラッシュメモリの一部のページのみ書き込みを行った場合でも、すべてのフラッシュメモリ (32 K バイト) のチェックサムを計算します。なお、インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムは SUM の対象とはなりません。
フラッシュメモリ SUM 出力モード		
RAM ローダモード	最初に受信した RAM アドレスから最後に受信した RAM アドレスまでに書き込まれた RAM のデータ	インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムは SUM の対象とはなりません。
製品識別コード出力モード	転送データの 9~18 バイト目のデータ	詳細は「表 2.19.10 製品識別コード出力モード転送フォーマット」を参照してください。

Not Recommended for New Design

2.19.10 インテル HEX フォーマット (Binary)

1. デバイスは各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク (3AH、“：”) 待ちとなりますので、外部コントローラがレコード間に 3AH 以外のデータを送信してもそのデータは無視されます。
2. 外部コントローラは、エンドレコードのチェックサムを送信した後は何も送信せず、2 バイトの受信データ (チェックサムの上位と下位) 待ちとなるようにしてください。
3. 受信エラーまたはインテル HEX フォーマットエラーが発生した場合は、エラーコードを送信せず、デバイスは動作停止状態となります。インテル HEX フォーマットエラーは以下の場合発生します。
   - レコードタイプが “00H”、“01H”、“02H” 以外の場合
   - チェックサムエラーが発生した場合
   - 拡張レコード (レコードタイプ = 02H) のデータ長が “02H” でない場合
   - 拡張レコード (レコードタイプ = 02H) の拡張アドレスが “1000H” 以上で、その後データレコードを受信した場合
   - エンドレコード (レコードタイプ = 01H) のデータ長が “00H” でない場合

2.19.11 パスワード

TMP86FM48 は、フラッシュメモリ内の任意のデータ (連続する 8 バイト以上のデータ) をパスワードとして設定することができ、外部コントローラから送信されるパスワード列と、パスワードに設定されたデータ列との照合を行うことによりパスワード判定を行います。パスワードを指定できる領域は、フラッシュメモリ内の 8000H~FF9FH 番地となります (FFA0H~FFFFH 番地はパスワードとして設定できません)。

FFE0H~FFFFH 番地のデータがすべて “00H” もしくは “FFH” の場合、ブランク品とみなされパスワード判定は行われません。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスを送信する必要があります。表 2.19.13にブランク品と書き込み品の場合のパスワード設定方法を示します。

Not Recommended for New Design

表 2.19.13 ブランク品と書き込み品でのパスワード設定方法

パスワード	ブランク品 (注 1)	書き込み品
PNSA (パスワード数格納アドレス)	8000H ≦ PNSA ≦ FF9FH	8000H ≦ PNSA ≦ FF9FH
PCSA (パスワード比較開始アドレス)	8000H ≦ PCSA ≦ FF9FH	8000H ≦ PCSA ≦ FFA0 – N
N (パスワード数)	*	8 ≦ N
パスワード列の設定	不要	必要 (注 2)

注 1) アドレス FFE0H~FFFFH の領域がすべて “00H” または “FFH” となっている製品をブランク品とします。

注 2) 3 バイト以上同一となるデータは、パスワード列として設定できません (パスワード判定で Error となり、TMP86FM48 は何のデータも送信せず、停止状態となります)。

注 3) *: Don’t care

注 4) 上記条件を満たさない場合パスワードエラーとなります。なお、パスワードエラーが発生した場合、デバイスはエラーコードを送信せず、動作停止状態となります。

注 5) ブランク品は PCSA の受信の後、パスワード列の受信は行わず即座に Intel-Hex フォーマットの受信処理を行います。このとき外部コントローラはダミーのパスワード列を送信したとしても、デバイスは Intel-Hex フォーマットとしてスタートマーク(3AH" : ")を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に 3AH が含まれていると、誤ってスタートマークと検出されるためマイコンは動作停止状態となります。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

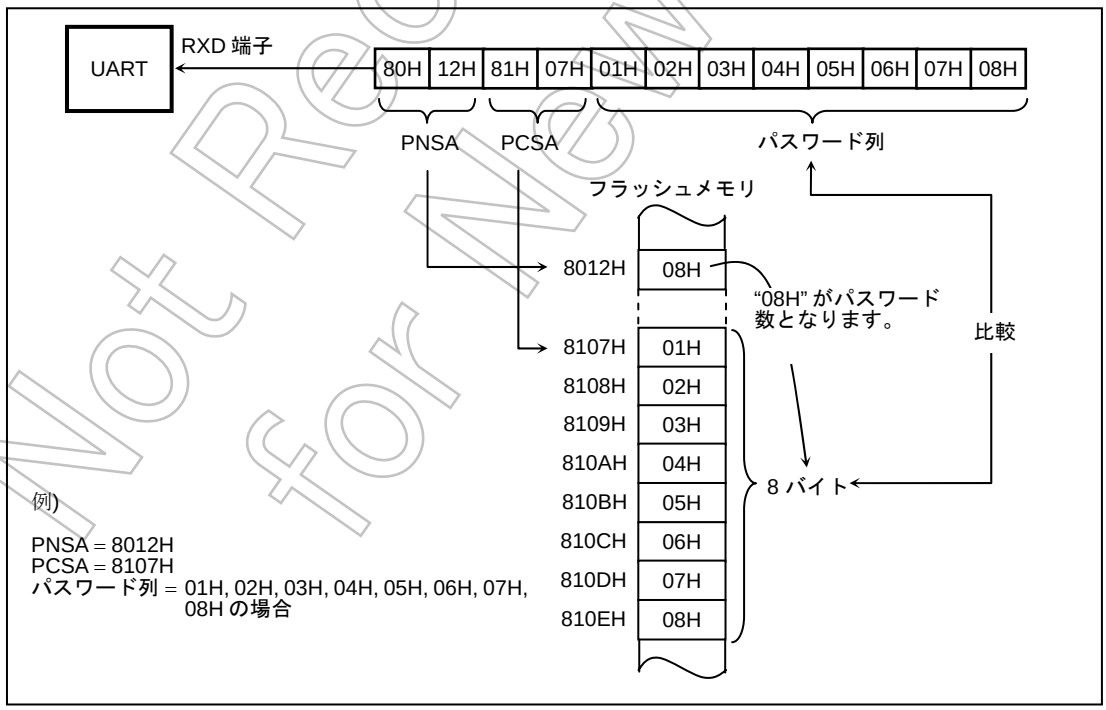


図 2.19.5 パスワードの比較(例)

Not Recommended for New Design

2.19.11.1 ブランク品/書き込み品の判別方法

外部コントローラより、以下の手順で通信を行うとブランク品/書き込み品を判別することができます。

(1) フラッシュメモリ書き込みモードまたは RAM ローダモードを実行する。
(2) PNSA、PCSA を送信する。
(3) エンドレコードを送信する。
(4) ブランク品の場合、デバイスはチェックサムを送信します。書き込み品の場合はチェックサムを送信せずデバイスは停止状態となります。

上記のように、外部コントローラがエンドレコードを送信した後、デバイスがチェックサムを送信するか否かでブランク品/書き込み品の判別ができます。

注) **書き込み品で動作停止状態となった場合は、シリアル PROM モードを再度起動するためにデバイスをリセットしてください。**

2.19.11.2 パスワード列

外部コントローラが送信したパスワード列は、指定されたフラッシュメモリのデータと比較されます。パスワード列と指定されたフラッシュメモリのデータが一致しなかった場合、パスワードエラーとなり、マイコンは動作停止状態となります。

2.19.11.3 パスワードエラー処理

パスワードエラーが発生した場合、デバイスは動作停止状態となります。この場合、シリアル PROM モードを再起動するためにデバイスをリセットしてください。

2.19.12 製品識別コード

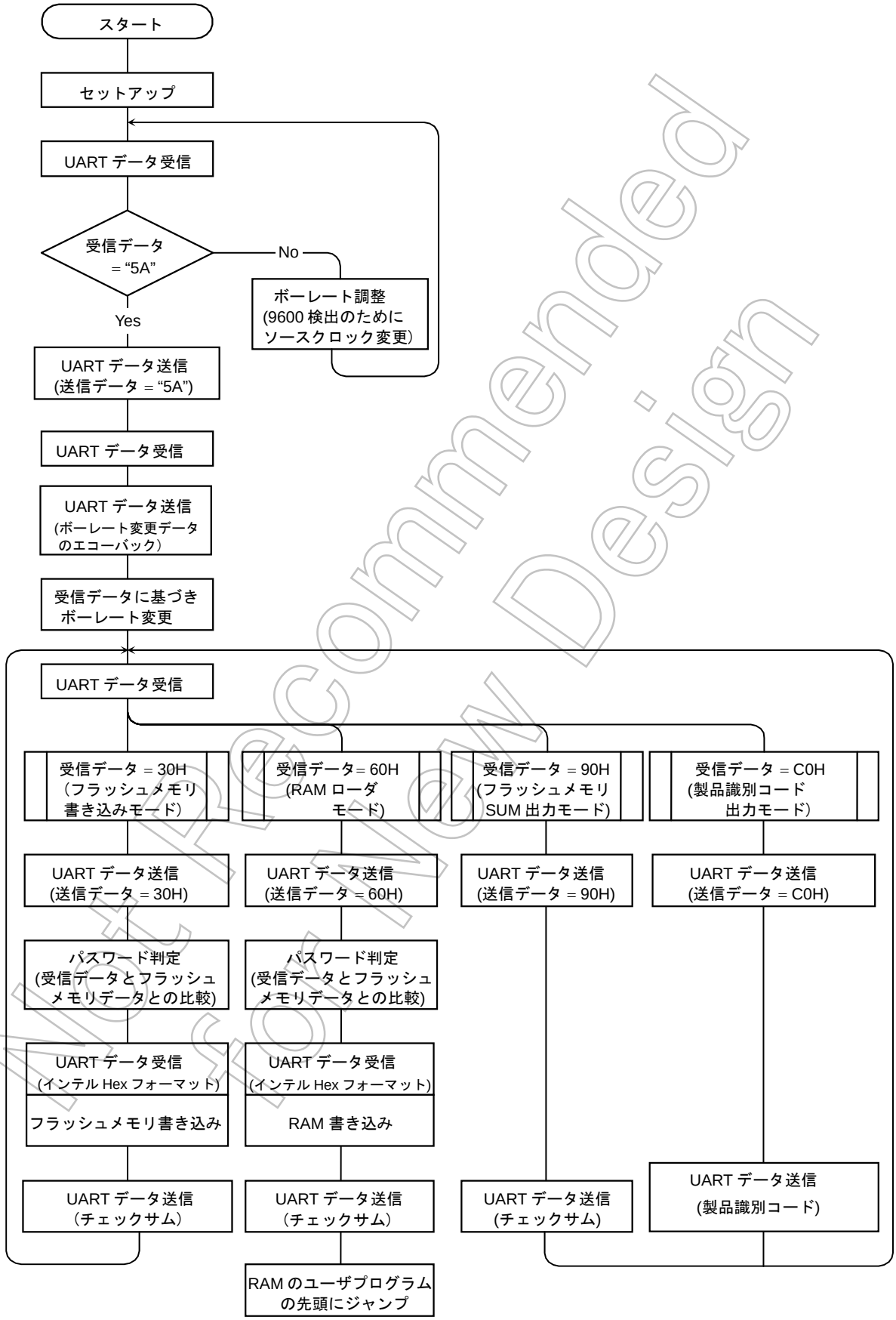
製品識別コードは、ROM の先頭アドレス、終了アドレスを含む 13 バイトのデータです。表 2.19.14に製品識別コードのデータフォーマットを示します。

表 2.19.14 製品識別コードのデータフォーマット

データ	データの意味	TMP86FM48 の場合のデータ
1st	スタートマーク (3AH)	3AH
2nd	転送データ数 (3~12 バイト目の 10 バイト)	0AH
3rd	アドレスのバイト長 (2 バイト)	02H
4th	Reserved	00H
5th	Reserved	00H
6th	Reserved	00H
7th	Reserved	00H
8th	ROM のブロック数	01H
9th	ROM の先頭アドレス (上位)	80H
10th	ROM の先頭アドレス (下位)	00H
11th	ROM の終了アドレス (上位)	FFH
12th	ROM の終了アドレス (下位)	FFH
13th	転送データ (3~12 バイト目) のチェックサム	7FH

Not Recommended for New Design

2.19.13 フローチャート



Not Recommended for New Design

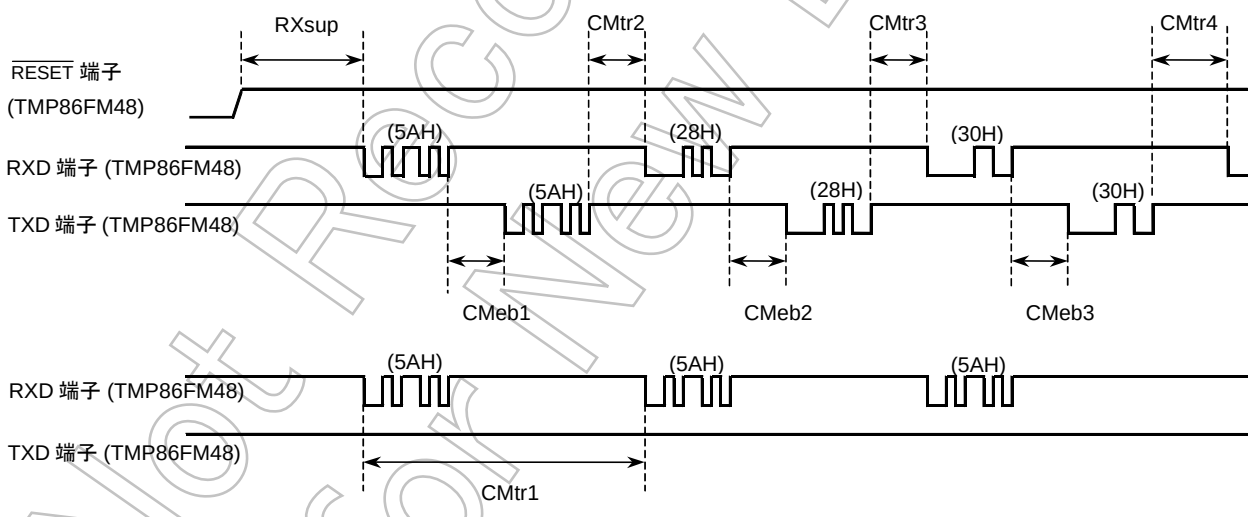
2.19.14 UART タイミング

表 2.19.15 UART タイミング-1 (VDD = 2.7 V~3.6 V, fc = 2 MHz~16 MHz,Ta = 25°C)

項目	記号	クロック数 (fc)	必要最低時間	
			2 MHz 時	16 MHz 時
マッチングデータ (5AH) 受信からエコーバックまでの時間	CMeb1	約 600	300 μs	37.5 μs
ボーレート変更データ受信からエコーバックまでの時間	CMeb2	約 700	350 μs	43.7 μs
動作コマンド受信からエコーバックまでの時間	CMeb3	約 600	300 μs	37.5 μs
チェックサム計算時間	CKsm	約 1573000	786.5 ms	98.3 ms

表 2.19.16 UART タイミング-2 (VDD = 2.7 V~3.6 V, fc = 2 MHz~16 MHz,Ta = 25°C)

項目	記号	クロック数 (fc)	必要最低時間	
			2 MHz 時	16 MHz 時
リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間	RXsup	110000	55 ms	6.9 ms
マッチングデータ送信間隔	CMtr1	28500	14.3 ms	1.8 ms
マッチングデータのエコーバックからボーレート変更データ受信可能となるまでの時間	CMtr2	600	300 μs	37.5 μs
ボーレート変更データのエコーバックから動作コマンド受信可能となるまでの時間	CMtr3	750	375 μs	46.9 μs
動作コマンドのエコーバックからパスワード数格納アドレス (上位) 受信可能となるまでの時間	CMtr4	950	475 μs	59.4 μs

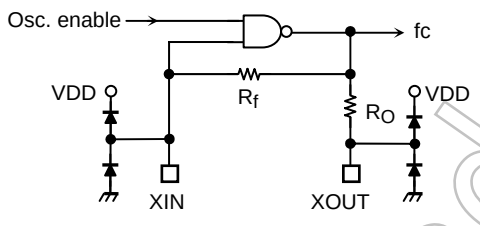
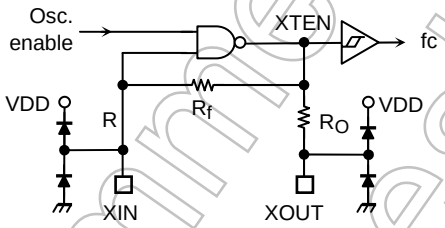
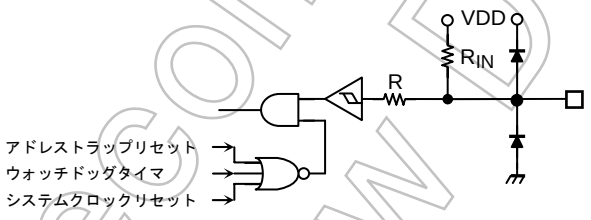
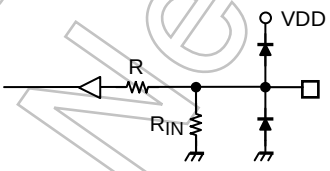
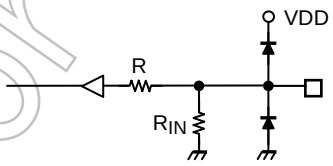


Not Recommended for New Design

端子の入出力回路

(1) 制御端子

TMP86FM48 の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 R_f = 3 MΩ (typ.) R_O = 0.5 kΩ (typ.)
XTIN XTOUT	入力 出力	NORMAL1 モード: P2 ポートを参照 NORMAL2 モード: 	低周波発振子接続端子 R_f = 20 MΩ (typ.) R_O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 R_{IN} = 220 kΩ (typ.) R = 100 Ω (typ.)
TEST	入力		プルダウン抵抗内蔵 R_{IN} = 70 kΩ (typ.) R = 100 Ω (typ.)
BOOT	入力		プルダウン抵抗内蔵 R_{IN} = 70 kΩ (typ.) R = 100 Ω (typ.)

Not Recommended for New Design

(2) 入出力ポート

ポート	入出力	入出力回路	備考
P0 P1	入出力	Initial “High-Z” Pch 制御 (制御出力) データ出力 出力ラッチの入力 Disable 端子入力(制御入力) VDD R	シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 R = 100 Ω (typ.)
P20	入出力	Initial “High-Z” Pch 制御 データ出力 出力ラッチの入力 Disable 端子入力(制御入力) VDD R	シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 R = 100 Ω (typ.)
P21 P22	入出力	Initial “High-Z” Pull-up resistor 抵抗制御 データ出力 出力ラッチの入力 Disable 端子入力 R_{IN3} VDD R	シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 プログラマブルプルアップ抵抗 R_{IN3} = 220 kΩ (typ.)
P3	入出力	Initial “High-Z” Pch 制御 データ出力 出力ラッチの入力 Disable 端子入力 VDD R	シンクオープンドレイン または CMOS 出力 ヒステリシス入力 大電流ポート(Nch) R = 100 Ω (typ.)
P5	入出力	Initial “High-Z” Pch 制御 (制御出力) データ出力 出力ラッチの入力 Disable 端子入力 VDD R	シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 大電流ポート (Nch) R = 100 Ω (typ.)

Not Recommended for New Design

ポート	入出力	入出力回路	備考
P6 P7	入出力	Initial “High-Z” データ出力 出力ラッチの入力 I/O 制御 入力制御 端子入力 Disable アナログ入力 VDD R	Tri-state I/O ヒステリシス入力 R = 100 Ω (typ.)
P8	入出力	Initial “High-Z” データ出力 出力ラッチの入力 I/O 制御 端子入力 Disable VDD R	Tri-state I/O ヒステリシス入力 R = 100 Ω (typ.)

Not Recommended for New Design

電気的特性

絶対最大定格 (V_{SS} = 0 V)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		−0.3~4.0	V
入力電圧	V_{IN}		−0.3~V_{DD} + 0.3	V
出力電圧	V_{OUT1}		−0.3~V_{DD} + 0.3	V
出力電流 (1 端子当たり)	I_{OUT1}	P0, P1, P20, P3, P5, P6, P7, P8 ports	−2	mA
	I_{OUT2}	P0, P1, P2, P4, P6, P7, P8 ports	2	mA
	I_{OUT3}	P3, P5 ports	10	mA
出力電流 (全端子総計)	ΣI_{OUT1}	P0, P1, P20, P3, P5, P6, P7, P8 ports	−30	mA
	ΣI_{OUT2}	P0, P1, P2, P4, P6, P7, P8 ports	80	mA
	ΣI_{OUT3}	P3, P5 ports	30	mA
消費電力 [Topr = 85°C]	PD		350	mW
はんだ付け温度 (時間)	Tsld		260 (10 s)	°C
保存温度	Tstg		−55~125	°C
動作温度	Topr		−40~85	°C

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂･燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

Not Recommended for New Design

推奨動作条件-1 (MCU モード) (V_{SS} = 0 V, Topr = –40~85°C)

項目	記号	端子	条件		Min	Max	単位
電源電圧	V_{DD}		fc = 16 MHz	NORMAL1, 2 モード	2.7	3.6	V
				IDLE0, 1, 2 モード			
			fc = 8 MHz (自己発振時)	NORMAL1, 2 モード	1.8		
				IDLE0, 1, 2 モード			
			fc = 4.2 MHz (外部クロック時)	NORMAL1, 2 モード			
				IDLE0, 1, 2 モード			
			fs = 32.768 kHz	SLOW1, 2 モード	1.8		
				SLEEP0, 1, 2 モード			
				STOP モード			
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD} ≧ 2.7 V		V_{DD} × 0.70	V_{DD}	
	V_{IH2}	ヒステリシス入力			V_{DD} × 0.75		
	V_{IH3}		V_{DD} < 2.7 V		V_{DD} × 0.90		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD} ≧ 2.7 V		0	V_{DD} × 0.30	
	V_{IL2}	ヒステリシス入力				V_{DD} × 0.25	
	V_{IL3}		V_{DD} < 2.7 V			V_{DD} × 0.10	
クロック周波数 (外部クロック時)	fc	XIN, XOUT	V_{DD} = 1.8 ~ 3.6 V		1.0	4.2	MHz
			V_{DD} = 2.7 ~ 3.6 V			16.0	
	fs	XTIN, XTOUT	V_{DD} = 1.8 ~ 3.6 V		30.0	34.0	kHz
クロック周波数 (自己発振時)	fc	XIN, XOUT	V_{DD} = 1.8 ~ 3.6 V		1.0	8.0	MHz
			V_{DD} = 2.7 ~ 3.6 V			16.0	
	fs	XTIN, XTOUT	V_{DD} = 1.8 ~ 3.6 V		30.0	34.0	kHz

注 1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

推奨動作条件-2 (シリアル PROM モード) (V_{SS} = 0 V, Topr = 25°C ± 5°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	VDD		2MHz ≦ fc ≦16MHz	2.7	3.6	V
クロック周波数	fc	XIN, XOUT	VDD = 2.7~3.6 V	2.0	16.0	MHz

注) シリアル PROM モードの動作温度範囲は 25°C ± 5°C となります。また、シリアル PROM モードの動作周波数範囲は、MCU モードと異なります。

Not Recommended for New Design

DC 特性 (V_{SS} = 0 V, Topr = –40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力	V_{DD} = 3.3 V	–	0.4	–	V
入力電流	I_{IN1}	TEST	V_{DD} = 3.6 V, V_{IN} = 0 V	–	–	–5	μA
	I_{IN2}	Sink Open Drain, Tri-state	V_{DD} = 3.6 V, V_{IN} = 3.6 V/0 V	–	–	±5	
	I_{IN3}	$\overline{RESET}$	V_{DD} = 3.6 V, V_{IN} = 3.6 V	–	–	+5	
入力抵抗	R_{IN1}	TEST Pull-down	V_{DD} = 3.6 V, V_{IN} = 3.6 V	–	70	–	kΩ
	R_{IN2}	BOOT Pull-down	V_{DD} = 3.6 V, V_{IN} = 3.6 V	–	70	–	
	R_{IN3}	$\overline{RESET}$ Pull-Up P21, P22 Ports	V_{DD} = 3.6 V, V_{IN} = 0 V	100	220	450	
高周波帰還抵抗	R_{FB}	XOUT	V_{DD} = 3.6 V	–	3	–	MΩ
低周波帰還抵抗	R_{FBT}	XTOUT	V_{DD} = 3.6 V	–	20	–	
出力リーク電流	I_{LO}	Sink Open Drain, Tri-state	V_{DD} = 3.6 V V_{OUT} = 3.4V/0.2 V	–	–	±10	μA
高レベル出力電圧	V_{OH}	CMOS, Tri-state	V_{DD} = 3.6 V, I_{OH} = –0.6 mA	3.2	–	–	V
低レベル出力電圧	V_{OL}	XOUT, P3, P5 を除く	V_{DD} = 3.6 V, I_{OL} = 0.9 mA	–	–	0.4	
低レベル出力電流	I_{OL}	P3, P5 Ports	V_{DD} = 3.6 V, V_{OL} = 1.0 V	–	6	–	mA
NORMAL1, NORMAL2 モード時電源電流	I_{DD}	フェッチ領域 Flash	V_{DD} = 3.6 V V_{IN} = 3.4 V/0.2 V fc = 16 MHz fs = 32.768 kHz	MNP = “1”	–	5.0	6.0	mA
		フェッチ領域 RAM		MNP = “0”	–	3.5	4.8	
IDLE0, IDLE1, IDLE2 モード時電源電流				MNP・ATP = “1”	–	3.5	4.5	
				MNP・ATP = “0”	–	2.5	3.7	
SLOW1 モード時電源電流		フェッチ領域 Flash	V_{DD} = 3.0 V V_{IN} = 2.8 V/0.2 V fs = 32.768 kHz	MNP = “1”	–	800	1400	μA
		フェッチ領域 RAM		MNP = “0”	–	6	20	
SLEEP1 モード時電源電流				MNP・ATP = “1”	–	800	1400	
				MNP・ATP = “0”	–	5	18	
SLEEP0 モード時電源電流				MNP・ATP = “1”	–	800	1400	
				MNP・ATP = “0”	–	5	18	
STOP モード時電源電流			V_{DD} = 3.6 V V_{IN} = 3.4 V/0.2 V		–	0.5	10	

注 1) Typ.値は、条件に指定なき場合 Topr = 25°C, VDD = 5 V 時の値を示します。

注 2) 入力電流 IIN1, IIN2: プルアップまたはプルダウン抵抗による電流を除きます。

注 3) IDD は、IREF を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, IDLE1, IDLE2 モードと同等です。

注 5) MNP は EEPCR レジスタのビット 0 (MNPWDW)、ATP は EEPCR レジスタのビット 1 (ATPWDW) を示します。

注 6) フェッチとは、命令実行を行うために CPU がメモリのデータを読み込む動作を意味します。

Not Recommended for New Design

AD 変換特性 (V_{SS} = 0.0 V, 2.7 V ≦ V_{DD} ≦ 3.6 V, Topr = –40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} – 1.0	–	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.5	–	–	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	–	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 3.6 V V_{SS} = 0.0 V	–	0.35	0.61	mA
非直線性誤差		V_{DD} = A_{VDD} = 2.7 V V_{SS} = 0.0 V V_{AREF} = 2.7 V	–	–	±2	LSB
ゼロ誤差			–	–	±2	
フルスケール誤差			–	–	±2	
総合誤差			–	–	±2	

(V_{SS} = 0.0 V, 2.0 V ≦ V_{DD} < 2.7 V, Topr = –40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} – 0.6	–	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.0	–	–	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	–	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 2.0V V_{SS} = 0.0 V	–	0.20	0.34	mA
非直線性誤差		V_{DD} = A_{VDD} = 2.0 V V_{SS} = 0.0 V V_{AREF} = 2.0 V	–	–	±4	LSB
ゼロ誤差			–	–	±4	
フルスケール誤差			–	–	±4	
総合誤差			–	–	±4	

(V_{SS} = 0.0 V, 1.8 V ≦ V_{DD} < 2.0 V, Topr = –10~85°C) (注 5)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} – 0.1	–	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		1.8	–	–	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	–	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 1.8 V V_{SS} = 0.0 V	–	0.18	0.31	mA
非直線性誤差		V_{DD} = A_{VDD} = 1.8 V V_{SS} = 0.0 V V_{AREF} = 1.8 V	–	–	±4	LSB
ゼロ誤差			–	–	±4	
フルスケール誤差			–	–	±4	
総合誤差			–	–	±4	

注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、2.15.2 レジスタ構成を参照してください。

注 3) AIN 入力端子への入力電圧は VAREF~VSS 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、ほかのチャネルの変換値にも影響を与えます。

注 4) アナログ基準電源電圧範囲: △VAREF = VAREF – VSS

注 5) VDD = 2.0 V 未満で AD を使用する場合、温度保証範囲が異なります。

注 6) AD コンバータを使用しない場合でも、AVDD 端子と VAREF 端子は V_{DD} レベルに固定してください。

Not Recommended for New Design

AD 特性 (V_{SS} = 0 V, V_{DD} = 2.7~3.6 V, Topr = –40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.25	–	4	μs
		IDLE1, 2 モード時				
		SLOW1, 2 モード時	117.6	–	133.3	
		SLEEP1, 2 モード時				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN 入力) fc = 16 MHz 時	–	31.25	–	ns
低レベルクロックパルス幅	twcL					
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	–	15.26	–	μs
低レベルクロックパルス幅	twcL					

(V_{SS} = 0 V, V_{DD} = 1.8~3.6 V, Topr = –40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード	0.5	–	4	μs
		IDLE1, 2 モード				
		SLOW1, 2 モード	117.6	–	133.3	
		SLEEP1, 2 モード				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN 入力) fc = 4.2 MHz 時	–	119.04	–	ns
低レベルクロックパルス幅	twcL					
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	–	15.26	–	μs
低レベルクロックパルス幅	twcL					

フラッシュ特性 (V_{SS} = 0 V)

項目	条件	Min	Typ.	Max	単位
シリアル PROM モードの フラッシュメモリページ書き替え保証回数	V_{DD} = 2.7~3.6 V, 2 MHz ≦ fc ≦ 16 MHz (Topr = 25℃ ± 5°C)	–	–	10^5	times
MCU モードのフラッシュデータメモリページ書き替え保証回数	V_{DD} = 1.8~3.6 V at fc = 8 MHz V_{DD} = 2.7~3.6 V at fc = 16 MHz (Topr = –40~85°C)	–	–	10^5	
MCU モードのフラッシュデータメモリページ(64 バイト)書き込み時間		–	4	6	ms

推奨発振条件

注 1) ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

注 2) 村田製発振子は、型番･仕様の切り替えが随時行われております。
詳細につきましては、下記アドレスの同社ホームページをご参照ください。
http://www.murata.co.jp/

Not Recommended for New Design

取り扱い上のご注意

- 鉛フリー品(G 付製品）へのはんだ濡れ性についての注意事項

  試験項目

  はんだ付け性

  試験条件

  230°C　5 秒間 1 回 R タイプフラックス使用(鉛はんだ使用時)

  245°C　5 秒間 1 回 R タイプフラックス使用(鉛フリーはんだ使用時)

  備考

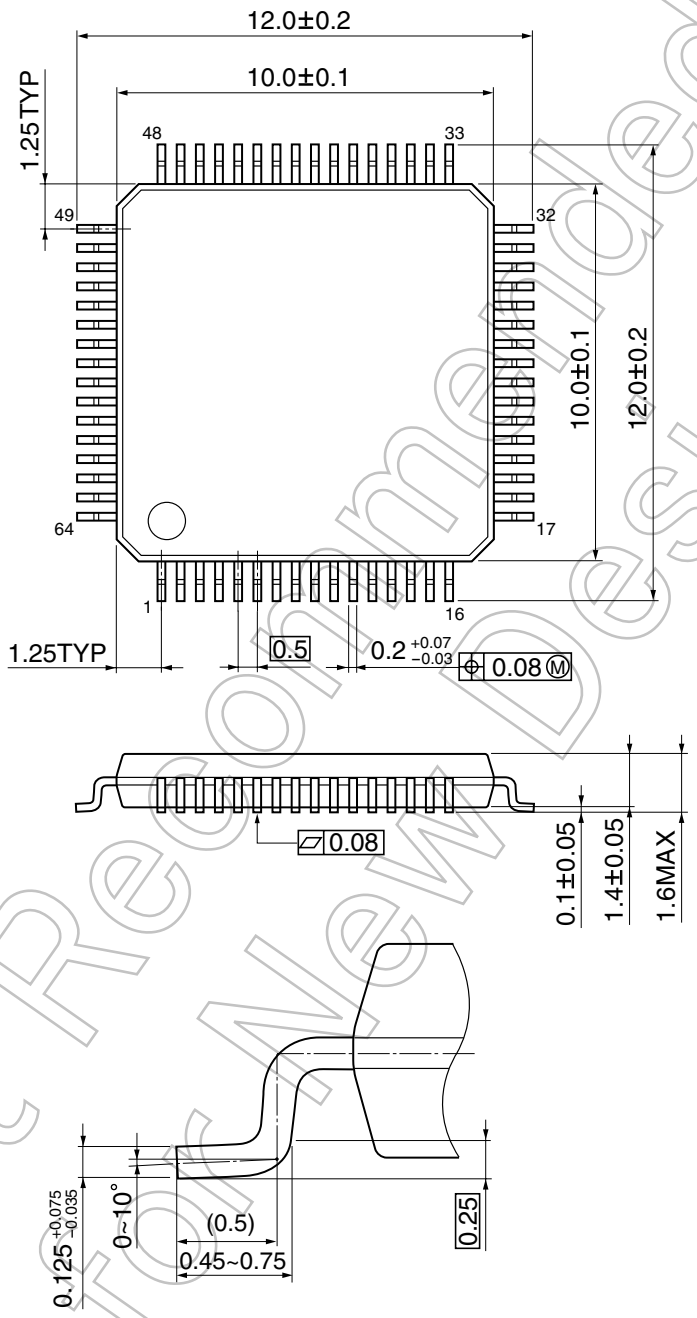
  フォーミングまでのはんだ付着率 95%を良品とする。
- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

Not Recommended for New Design

パッケージ外形寸法図

LQFP64-P-1010-0.50E

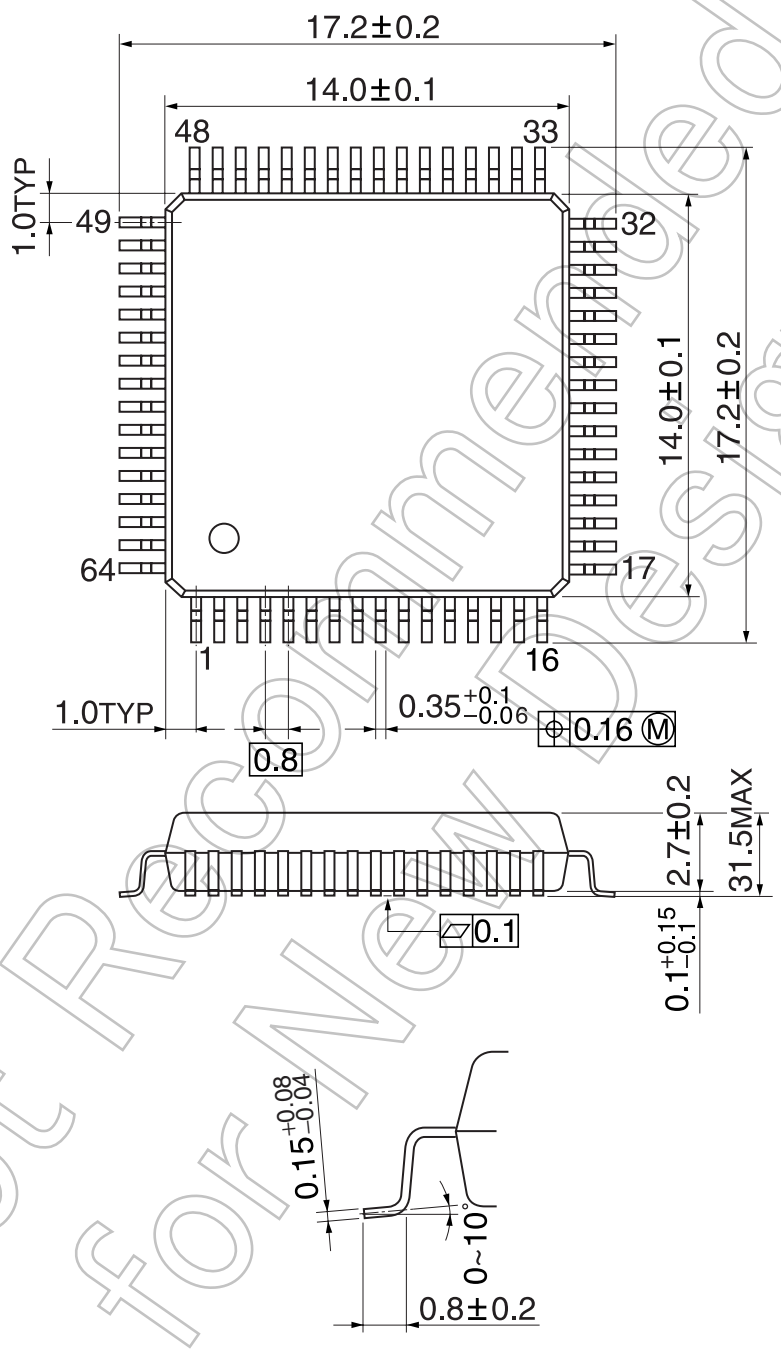
Unit: mm



Not Recommended for New Design

QFP64-P-1414-0.80C

Unit: mm



Not Recommended for New Design

Not Recommended for New Design

あとがき

この資料は TMP86FM48 のハードウエア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウエア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウエアを用意しております。

これらの開発ツールはマイコンハードウエア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウエア / ソフトウエアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚しいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

２００７年８月２４日

Not Recommended for New Design

Not Recommended for New Design

8 ビットマイクロコントローラ

TMP86FM48

発行年月日	２００７年 ８月 ２４日
発行	株式会社東芝セミコンダクター社
編集	東芝 LSI システムサポート株式会社