

# TC35681IFTG-002

## Bluetooth<sup>®</sup> Low Energy IC

### Rev 0.9



※Bluetooth<sup>®</sup>ワードマークおよびロゴは登録商標であり、Bluetooth SIG, Inc.が所有権を有します。  
※Arm および Cortex は Arm Limited(またはその子会社)の US またはその他の国における登録商標または商標です。

これは参考資料です。本資料での最終機器設計はしないでください。

## 目次

序章	5
関連文書	5
用語・略語	5
1. 機能概要と特長	6
1.1. 機能概要	6
1.2. 機能特長	7
2. 端子配置図	10
2.1. 端子配置図 (Top View)	10
2.2. 端子機能説明	11
2.3. 端子機能一覧	13
2.3.1. GPIO 機能設定例	14
2.3.2. UART の割り当てに関する制約	15
2.3.3. I <sup>2</sup> C の割り当てに関する制約	15
2.4. 電源端子	16
3. システム概要	18
3.1. 内部ブロックダイアグラム	18
3.1.1. 電源システム	19
3.1.2. クロックシステム	19
3.1.3. ハードウェア起動シーケンス	20
3.2. システム構成と動作モード	21
3.3. システム構成の選択	22
3.3.1. スタンドアロンシステムの構築	22
3.3.2. ホスト制御システムの構築	22
3.4. 動作モードの選択と設定	22
3.4.1. HCI モード	23
3.4.2. Complete モード	23
3.4.3. User-App モード	23
3.5. 起動時のシーケンス	24
3.5.1. 起動シーケンス詳細	24
3.6. 低消費電力システム	26
3.6.1. 状態遷移	26
3.6.2. 各モードで使用可能な機能	27
3.6.3. ローパワーモードへの遷移条件	28
3.6.4. ローパワーモードからの復帰条件	29
3.6.5. ウェイクアップ要因の取得とローパワーモードからの復帰	29
4. 機能仕様	30
4.1. Bluetooth <sup>®</sup> 無線通信機能	30
4.1.1. サポート機能	30
4.1.2. RF 機能	31
4.2. 送信出力設定機能	31
4.3. オートアダプタイズ機能	31
4.4. 電源	32
4.4.1. VBAT と VDDIO	32
4.4.2. 降圧用 DC/DC コンバータと LDO レギュレータ	32
4.5. リセットインタフェース	33
4.5.1. 特長	33
4.5.2. 接続例	33
4.6. 汎用 I/O(GPIO)機能	34

4.6.1.	特長	34
4.6.2.	端子の状態設定	35
4.6.3.	汎用入力機能	35
4.6.4.	汎用出力機能	36
4.6.5.	I/O ラッチ機能	36
4.6.6.	割り込み機能	36
4.6.6.1.	Active モード時の割り込み	36
4.6.6.2.	Sleep、または Backup モード時のウェイクアップ	37
4.6.6.3.	Deep Sleep モード時のウェイクアップ(GPIO0、GPIO15 によるウェイクアップ)	38
4.7.	UART インタフェース	39
4.7.1.	特長	39
4.7.2.	接続例(HCI モードでのホストインタフェース)	40
4.7.3.	フレームフォーマット	41
4.7.4.	フロー制御機能	41
4.7.5.	ボーレートの設定	42
4.7.6.	UART メッセージ識別機能(メッセージ間スペーシング機能)	43
4.7.7.	エラー検出機能	44
4.7.7.1.	受信タイムアウトエラー	44
4.7.7.2.	受信オーバランエラー	44
4.7.7.3.	受信フレーミングエラー	44
4.7.8.	ホストウェイクアップ機能	45
4.8.	SPI インタフェース	46
4.8.1.	特長	46
4.8.2.	接続例	46
4.8.3.	フレームフォーマット	47
4.8.4.	SPI クロック	48
4.9.	I <sup>2</sup> C インタフェース	50
4.9.1.	特長	50
4.9.2.	接続例	51
4.9.3.	外付け Pull-up 抵抗値の選択	52
4.9.4.	転送フォーマット	53
4.10.	PWM インタフェース	54
4.10.1.	特長	54
4.10.2.	パルス生成機能	54
4.10.3.	リズム機能 (出力マスク)	55
4.11.	ADC (AD コンバータ)	56
4.11.1.	特長	56
4.11.2.	機能説明	56
4.12.	基本クロックインタフェース	58
4.12.1.	特長	58
4.12.2.	基本クロック発振周波数調整機能	58
4.12.3.	ローパワーモードと調整値について	58
4.12.4.	水晶振動子接続例	59
4.13.	スリープクロックインタフェース	60
4.13.1.	特長	60
4.13.2.	スリープクロックの選択	60
4.13.3.	水晶振動子の使用	60
4.13.4.	スリープクロック発振周波数調整機能	61
4.13.5.	水晶振動子接続例	61
4.13.6.	外部水晶発振器の使用	61
4.13.7.	内蔵シリコンオシレータ(SiOSC)	62

4.14.	スリープクロック出力機能.....	62
4.15.	TRNG (True Random Number Generator)機能.....	62
4.16.	オートパッチ機能.....	63
4.17.	パッチ機能.....	63
4.18.	CPU.....	63
5.	電気的特性.....	64
5.1.	絶対最大定格.....	64
5.2.	動作条件(設計値).....	65
5.3.	DC 電気的特性.....	66
5.3.1.	消費電流 (設計値).....	66
5.4.	内蔵レギュレータ特性.....	68
5.5.	ADC 特性.....	68
5.6.	RF 特性 (設計値).....	69
5.7.	AC 電気特性 (設計値).....	72
5.7.1.	UART インタフェース.....	72
5.7.2.	I <sup>2</sup> C インタフェース.....	73
5.7.2.1.	標準モード.....	73
5.7.2.2.	ファストモード.....	74
5.7.3.	SPI インタフェース.....	75
6.	システム構成例.....	76
6.1.	User-App モードの場合 (外付け EEPROM からユーザアプリケーションをダウンロードする場合).....	76
6.2.	User-App モードの場合 (Host からユーザアプリケーションをダウンロードの場合).....	77
6.3.	HCI モードの場合.....	78
6.4.	LDO レギュレータ使用時の回路構成.....	79
7.	パッケージ.....	80
7.1.	外形寸法図 TC35681IFTG (P-VQFN40-0606-0.50-002).....	80
7.2.	現品表示.....	81
7.2.1.	TC35681IFTG の現品表示.....	81
8.	製品一覧.....	82
9.	改定履歴.....	83
	製品取り扱い上のお願ひ.....	84

## 序章

### 関連文書

- TC35680/TC35681 ハードウェアアプリケーションノート
- TC35680/TC35681-002 Software Development Startup Guide
- TC35680/TC35681-002 Register Description
- TC35680/TC35681-002 Command Document
- TC35680/TC35681-002 Programming Guide
- TC35680/TC35681-002 Known Issues
- **Bluetooth**® Core Specification

### 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

用語・略語	説明
Active モード	通常の動作状態で <b>Bluetooth</b> ®無線通信の送受信処理やその他の CPU の内部処理はこの状態で行われます。3.6 節参照。
Sleep モード	ローパワーモードの 1 つで基本クロックを停止することで消費電力の低減をします。 <b>Bluetooth</b> ®無線通信を維持することができます。3.6 節参照。
Backup モード	ローパワーモードの 1 つで基本クロックに加え、CPU の電源も OFF にすることで、Sleep モードと同等あるいはさらに消費電力を低減します。3.6 節参照。
Complete モード	動作モードの 1 つで、ホスト側から TCU コマンド(GATT/SM 層の制御 API)を用いて TC35681 を制御、動作させます。3.4 節参照。
Deep Sleep モード	ローパワーモードの 1 つで基本クロック、CPU の電源に加え、スリープクロックも停止することで、Backup モードよりもさらに消費電力を低減します。3.6 節参照。
HCI モード	動作モードの 1 つで、ホスト側から HCI コマンドを用いて TC35681 を制御、動作させます。3.4 節参照。
PMU	Power Management Unit で、この IC の省電力制御を担うユニット。IC に内蔵する DC/DC コンバータと LDO レギュレータを必要に応じて切り替え、同時に出力電圧の制御も行うことで、電力低減を行います。3.1 節および 3.6 節を参照。
User-App モード	動作モードの 1 つで、TC35681 の CPU を用いてユーザアプリケーションを実行します。3.4 節参照。
オートアダプタイズ機能	Backup モード中に、ハードウェアによりアダプタイズパケットを送信する機能です。ローパワーモードでのパケット送信が可能な機能です。

## 1. 機能概要と特長

### 1.1. 機能概要

TC35681IFTG(以下、TC35681)は、車載用の 2.4 GHz 無線通信 Bluetooth® Low Energy Ver.5.0 規格に対応する IC です。Arm® Cortex-M0®プロセッサの MCU に RF 部と Baseband 部を内蔵し、Bluetooth® core spec の LE Long Range 機能、LE 2 Mbps 機能、HCI (Host Control Interface)機能、Low Energy GATT Profile 機能などを提供します。

また、TC35681IFTG はホスト CPU からの制御、スタンダアロン動作のいずれの構成もサポートします。

表 1-1 に TC35681IFTG の主な用途と特長を示します。

表 1-1 TC35681IFTG の用途と特長

品番	TC35681IFTG
主な用途	・車載用
	・ホスト制御システム ・スタンダアロン (注 1)
内蔵フラッシュメモリ	無
27 番ピン	VSSD1
VBAT 動作電圧 (VBATopr)最小値	1.8 V (-40°C ~ +105°C) 2.0 V (-40°C ~ +125°C)
周囲動作温度	
汎用 I/O(GPIO)本数	18
UART チャンネル数 (注 2)	2
I <sup>2</sup> C チャンネル数 (注 2)	2
SPI チャンネル数 (注 2)	2
AD コンバータチャンネル数 (注 2)	5
PWM チャンネル数 (注 2)	4
Sleep クロック出力機能 (注 2)	有
パッケージ	QFN40 6.0 mm × 6.0 mm × 1.0 mm 0.5 mm ピッチ Solder Wettable 端子

注 1: スタンダアロン構成では外部に EEPROM を接続する必要があります。

注 2: GPIO と兼用します。

## 1.2. 機能特長

- 無線通信機能
  - **Bluetooth®** Low Energy Ver.5.0 対応
    - **Bluetooth®** baseband 回路内蔵
    - **Bluetooth®** RF 回路内蔵
      - 最大送信出力: +8 dBm
      - 最大受信感度: -105.0 dBm (Coded PHY、S=8 時)
      - RSSI 精度: ±2 dB (-90 ~ -10 dBm 入力時)
    - HCI コマンド/拡張 HCI コマンド(マスク ROM 組込み)
    - GATT/SM 層の制御 API (TCU コマンド; `Toshiba Command Unit`) (マスク ROM 組込み)
    - オートアドバタイズ機能
    - 送信出力設定機能
- マイクロコントローラユニット
  - Arm® Cortex®-M0 プロセッサ内蔵 (最大動作周波数 32 MHz)
  - マスク ROM 内蔵
    - ブートローダ
    - ハードウェア制御用 API
    - **Bluetooth®** 無線機能 API
    - **Bluetooth®** プロトコルスタック
  - リテンション対応 SRAM 内蔵 (144 KB、うちユーザエリアは 76KB)
- インタフェース、AD コンバータ、デバッグ
  - 汎用 I/O (GPIO) (18 本)
  - 汎用シリアルインタフェース
    - UART インタフェース (2 チャンネル、GPIO 兼用)
      - HCI モード時: Host インタフェースとして 1ch を使用(9600 bps ~ 921.6 kbps)
      - User-App モード時: 600 ~ 2000 kbps (ボーレートの上限は 2000 kbps 以下となり、ユーザアプリケーションに依存します。)
    - SPI インタフェース (2 チャンネル、GPIO 兼用)
    - I<sup>2</sup>C インタフェース (2 チャンネル、GPIO 兼用)
      - User-App モード用の外付け EEPROM 接続のために 1 チャンネルを使用。
  - PWM インタフェース (4 チャンネル、GPIO 兼用)
    - パルス生成機能
    - リズム機能(パルス信号のマスク機能)
  - AD コンバータ(ADC)
    - 汎用電圧測定用 (5 チャンネル、GPIO 兼用)
    - 電源電圧(VBAT)測定用 (1 チャンネル、内部接続)
  - エミュレータデバッグ制御インタフェース
    - SWD (Serial Wire Debug) 2 線式 (1 チャンネル)
- クロック
  - 基本動作用クロック機能 (32 MHz)
    - 周波数調整機能付き水晶用発振回路を内蔵
  - スリープクロック機能 (32.768 kHz)
    - 周波数調整機能付き水晶用発振回路を内蔵
    - 外部クロック入力に対応
    - シリコンオシレータ (SiOSC)を内蔵
  - スリープクロック出力機能 (GPIO 兼用)

- 電源
  - 電源回路
    - 幅広い電源電圧入力をサポート。
    - DC/DC コンバータと LDO レギュレータを内蔵
    - 低消費電力機能のためのパワーマネージメントユニット (PMU) を内蔵
    - I/O 端子用の電源端子 (VDDIO)
- システム機能
  - 2つのシステム構成をサポート
    - ホスト制御システム (ホスト CPU から本 IC を制御)
    - スタンドアロンシステム (本 IC 単独で動作)
  - 3つの動作モードをサポート
    - HCI モード
      - HCI/拡張 HCI による制御
      - ユーザアプリケーション (ファームウェア) の書き込み
      - 各国/地域の電波認証試験用
      - **Bluetooth®** ロゴ認証
      - RF テスト
    - Complete モード
      - TCU コマンドによる本 IC の制御 (GATT/SM 層の制御コマンド)
    - User-App モード
      - 本 IC へのユーザアプリケーションダウンロード機能
        - ◇ 外付け EEPROM またはホスト CPU からのダウンロード
      - ユーザアプリケーションの実行
  - 低消費電力システム機能
    - 3つのローパワーモード (Sleep, Backup, Deep Sleep)
  - 割り込み機能
  - パッチ機能
    - パッチプログラムローダ機能 (最大 4 つ)
    - オートパッチ機能
  - DMA 機能
    - 7チャンネルの DMA コントローラを内蔵 (うち、ユーザ使用可能チャンネル数は 2~6)
- 時計・タイマ
  - RTC
    - スリープクロックの周波数精度による RTC 機能
    - 時計・カレンダー機能: YY/MM/DD hh:mm:ss (24 時間制) と曜日
    - アラーム機能: hh:mm と、日または曜日によるアラーム設定、アラームの発生による割り込み
    - うるう年機能 (100 年ごとの例外処理には非対応)
    - Sleep, Backup モード動作中も使用可能
  - タイマ
    - BCTimer
      - 3チャンネルのハードウェアタイマ (内 1チャンネルはシステム専用)
      - 最小間隔 1  $\mu$ s のオートリロード機能付き 16ビットカウンタ
      - ローパワーモードでは、タイマのカウントを中断します
    - GTimer
      - 1チャンネルのハードウェアタイマ
      - クロック分周用のプリスケーラを内蔵 (1~1024 分周)。最小間隔は 38 ns ~ 39  $\mu$ s。
      - オートリロード機能付き 16ビットカウンタ
      - ローパワーモードでは、タイマのカウントを中断します

- OS タイマ (1 秒タイマと1ミリ秒タイマ)
  - OS が管理するタイマ
- ウォッチドッグタイマ(WDT)機能
- セキュリティ
  - 乱数生成機能 (TRNG)
    - DRBG と ESG による最大 256 ビットの乱数出力機能
    - NIST SP800-22 や BSI の乱数テストに適合
  - ハードウェア暗号エンジン(AES128、暗号のみ)
- AEC-Q100 対応
- パッケージ
  - QFN パッケージ [40 pin、6 mm□、0.5 mm ピッチ、1.0 mm 厚、Solder Wettable 端子]

2. 端子配置图

2.1. 端子配置图 (Top View)

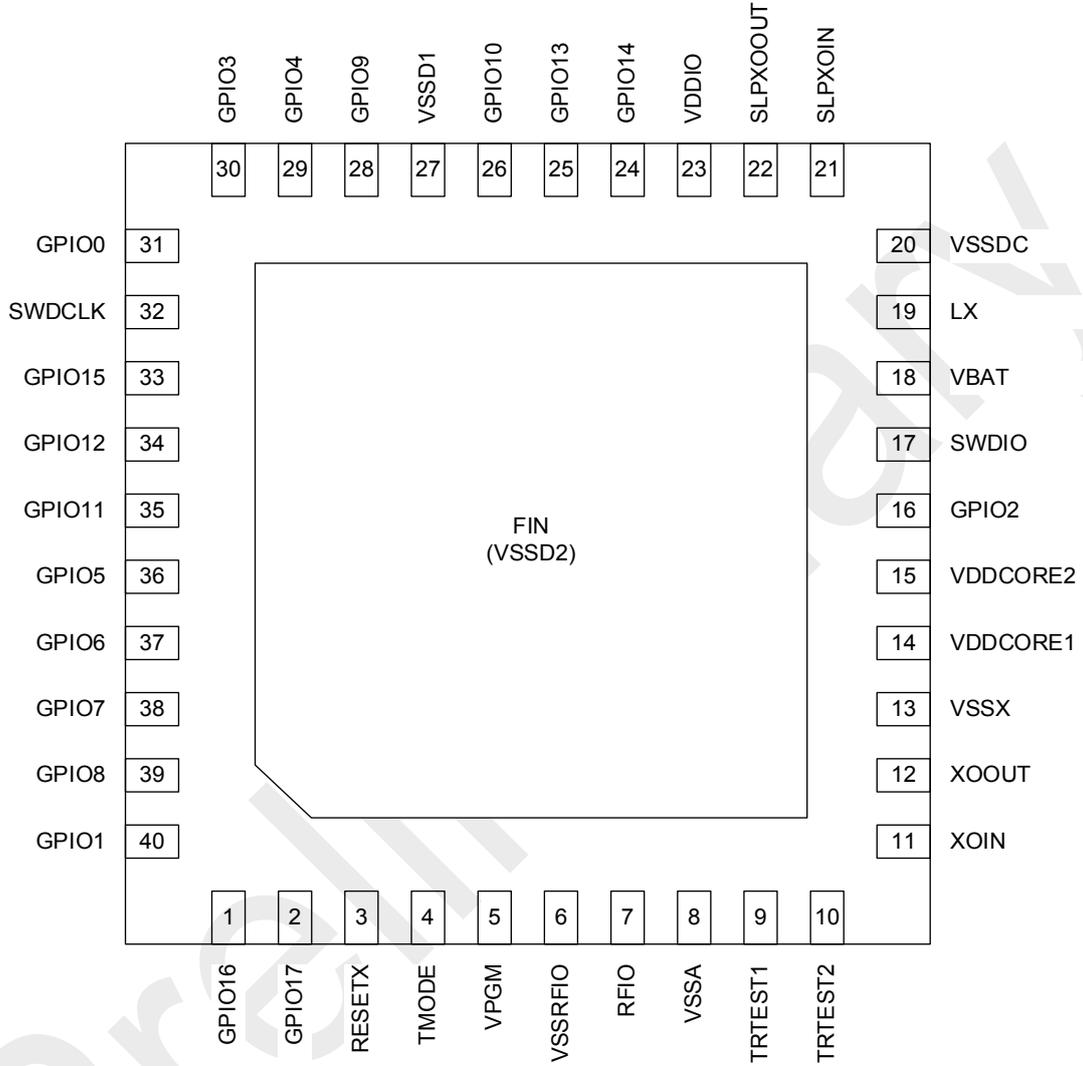


图 2-1 TC35681IFTG 端子配置图 (Top View)

## 2.2. 端子機能説明

各機能端子の属性や動作状態に応じた入出力状態や端子説明を表 2-1 に示します。

なお、各電源端子説明については、表 2-6 に示します。

表 2-1 機能端子説明

端子名	端子番号	属性	説明
	QFN パッケージ	電源分類 方向 タイプ	
RESETX	3	VDDIO IN シュミットトリガ	ハードウェアリセット端子 Lowレベルでリセット状態となります。
XOIN	11	VDDCORE1 IN OSC	基本クロック発振入力端子です。 周波数 32 MHz、精度± 50 ppm 以内の水晶振動子を XOIN 端子と XOOUT 端子の間に接続してください。水晶用発振回路にはパラメータ設定が可能なキャパシタアレイを内蔵しており、発振周波数の調整が可能です。
XOOUT	12	VDDCORE1 OUT OSC	基本クロック発振出力 (帰還)端子です。
SLPXOIN	21	VDDIO IN OSC	水晶振動子によるスリープクロック発振入力端子です。周波数 32.768 kHz、精度±500 ppm 以内の水晶振動子を SLPXOIN と SLPXOOUT の間に接続してください。 水晶用発振回路にはパラメータ設定が可能なキャパシタアレイを内蔵しており、発振周波数の調整が可能です。 外部発振器からクロックを入力する場合、この端子に接続してください。
SLPXOOUT	22	VDDIO OUT OSC	32.768 kHz 発振出力 (帰還)端子です。
RFIO	7	VDDCORE1 IN/OUT Analog	RF 信号入出力端子 RFIO 端子と GND 間にコンデンサを接続することで 50 Ω マッチングが可能です。通信時、RFIO 端子には DC バイアスが発生するため、アンテナと接続する際は直列にコンデンサを接続するなどの対策をして使用してください。詳細は本製品の「ハードウェアアプリケーションノート」を参照してください。
GPIO0 GPIO15	31 33	VDDIO IN/OUT プルアップ/ プルダウン抵抗 シュミットトリガ	汎用 I/O 端子 ソフトウェアにより以下の設定が可能です。 ✓ 入出力の切り替え ✓ プルアップ/プルダウン抵抗の接続・切断(注 1) ✓ 出力ドライブ電流 ✓ 割り込み方法 割り込みは Deep Sleep モードから Active モードへウェイクアップするために使用することもできます。 機能割り当てについては 2.3 節、低消費電力機能については 3.6 節、割り込みについては 4.6 節を参照してください。
GPIO1 GPIO2 GPIO5 GPIO6 GPIO7 GPIO8 GPIO11 GPIO12 GPIO13 GPIO16 GPIO17	40 16 36 37 38 39 35 34 25 1 2	VDDIO IN/OUT プルアップ/ プルダウン抵抗 シュミットトリガ	汎用 I/O 端子 ソフトウェアにより以下の設定が可能です。 ✓ 入出力の切り替え ✓ プルアップ/プルダウン抵抗の接続・切断(注 1) ✓ 出力ドライブ電流 ✓ 割り込み方法 機能割り当てについては 2.3 節、低消費電力機能については 3.6 節、割り込みについては 4.6 節を参照してください。

端子名	端子番号	属性	説明
	QFN パッケージ	電源分類 方向 タイプ	
GPIO3 GPIO4 GPIO9 GPIO10 GPIO14	30 29 28 26 24	VDDIO IN/OUT プルアップ/ プルダウン抵抗 シュミットトリガ	ADC 入力・汎用 I/O 端子 ソフトウェアにより以下の設定が可能です。 ✓ 入出力の切り替え ✓ プルアップ/プルダウン抵抗の接続・切断(注 1) ✓ 出力ドライブ電流 ✓ 割り込み方法 ✓ ADC 入力 機能割り当てについては 2.3 節、低消費電力機能については 3.6 節、割り込みについては 4.6 節、ADC については 4.11 節を参照してください。
SWDCLK	32	VDDIO IN プルアップ/ プルダウン抵抗 シュミットトリガ	シリアルワイヤデバッグクロック端子 シリアルワイヤデバッグクロックの入力となります。 本機能を使用しない場合、端子はオープン処理をしてください。
SWDIO	17	VDDIO IN/OUT プルアップ/ プルダウン抵抗 シュミットトリガ	シリアルワイヤデバッグデータ端子、および動作モード切り換え端子 シリアルワイヤデバッグデータの入出力となります。 本機能を使用しない場合、端子はオープン処理をしてください。 動作モード切り替えに使用します。動作モード切り替えについては 3.4 節を参照してください。
TMODE	4	VDDIO IN シュミットトリガ	テスト設定端子 IC 製造テストで使用します。本デバイスを製品に使用するときは GND に接続してください。
TRTEST1 TRTEST2	9 10	VDDCORE1 IN/OUT Analog	アナログ用テスト端子 IC 製造テストで使用します。本デバイスを製品に使用するときは GND に接続してください。

注 1: 内蔵プルアップ抵抗、プルダウン抵抗はおおよそ 20 kΩ ~ 100 kΩ のばらつきがあります。

## 2.3. 端子機能一覧

幾つかの GPIO 端子には、汎用入出力機能に加えてシリアルインタフェースなど、複数の機能がマルチプレクスされています。これらの機能割り当ての基本的な設定は、ブート時に、マスク ROM 上の内蔵ファームウェアが行います。ブート後は目的に応じた機能を、ユーザアプリケーションやホスト CPU からのコマンド入力で設定することができます。

内蔵ファームウェアによるブート設定が終わるまでの各端子の状態と、ユーザが GPIO に対してソフトウェア処理で割り当てることができる機能を表 2-2 に示します。使用しない端子は、オープンのまま構いません。表中の Disable は、GPIO 端子が備える入力機能と出力機能の両方が停止している状態を意味します。

また、各機能の設定例を表 2-3 に示します。

同一機能を、複数の GPIO 端子へ同時に割り当てることは禁じられています。

GPIO 機能については 4.6 節も参照してください。

表 2-2 GPIO 機能多重化表

端子名 (機能 0)	入出力機能/端子の状態		機能 1	機能 2	機能 3	機能 4	ADC
	リセット中	ブート設定					
GPIO0	Disable/Hi-Z		—	—	—	—	—
GPIO1 (注 1)	Disable/ Pull-up	入力/Pull-up または 入力/Pull-down (注 2)	—	—	—	—	—
GPIO2	Disable/Pull-up		PWM1 出力	—	—	—	—
GPIO3	Disable/Hi-Z		PWM2 出力	SPI-DOUT1 出力	—	—	ADC1 入力
GPIO4	Disable/Hi-Z		PWM3 出力	SPI-DIN1 入力	—	—	ADC2 入力
GPIO5	Disable/Pull-up(注 3)		UART1-TX 出力	—	—	—	—
GPIO6	Disable/Pull-up(注 4)		UART1-RX 入力	—	—	—	—
GPIO7	Disable/Pull-up (注 5)		I2C-SCL1 入出力	—	SPI-SCS1 入出力	UART1-RTSX 出力	—
GPIO8	Disable/Pull-up(注 5)		I2C-SDA1 入出力	—	SPI-SCLK1 出力	UART1-CTSX 入力	—
GPIO9	Disable/Hi-Z		I2C-SCL2 入出力	—	—	—	ADC3 入力
GPIO10	Disable/Hi-Z		I2C-SDA2 入出力	—	—	—	ADC4 入力
GPIO11	Disable/Pull-up		I2C-SCL2 入出力	SPI-DOUT2 出力	—	—	—
GPIO12	Disable/Pull-up		I2C-SDA2 入出力	SPI-DIN2 入力	—	—	—
GPIO13	Disable/Pull-up		UART1-RTSX 出力	PWM0 出力	SPI-SCS2 入出力	UART2-RTSX 出力	—
GPIO14	Disable/Hi-Z		UART1-CTSX 入力	SLEEPCLK 出力	SPI-SCLK2 出力	UART2-CTSX 入力	ADC5 入力
GPIO15	Disable/Hi-Z		—	—	—	—	—
GPIO16	Disable/Pull-up		UART2-TX 出力	—	—	—	—
GPIO17	Disable/Pull-up		UART2-RX 入力	—	—	—	—

注 1: リセット解除直後に、動作モードの切り換え端子として用いられます。

注 2: User-App モードでは入力/Pull-up、HCI モード/Complete モードでは入力/Pull-down になります。

注 3: User-App モードでは Disable/Pull-up、HCI モード/Complete モードでは出力になり、機能 1 が割り当てられます。

注 4: User-App モードでは Disable/Pull-up、HCI モード/Complete モードでは入力/Pull-up になり、機能 1 が割り当てられます。

注 5: User-App モードでは機能 1 が割り当てられます。

## 2.3.1. GPIO 機能設定例

表 2-3 に各機能設定の一例を示します。

表 2-3 GPIO 機能設定例一覧(QFN パッケージ)

機能設定	機能設定例 1	機能設定例 2	機能設定例 3	機能設定例 4	機能設定例 5
用途例	UART 1 チャンネル (4 線式) UART 1 チャンネル (2 線式) SPI 1 チャンネル ADC 2 チャンネル PWM 3 チャンネル	UART 1 チャンネル (4 線式) I <sup>2</sup> C 1 チャンネル ADC 2 チャンネル PWM 3 チャンネル	UART 1 チャンネル (4 線式) I <sup>2</sup> C 1 チャンネル ADC 2 チャンネル PWM 3 チャンネル	UART 1 チャンネル (4 線式) I <sup>2</sup> C 1 チャンネル SPI 1 チャンネル ADC 2 チャンネル	UART 1 チャンネル (2 線式) I <sup>2</sup> C 1 チャンネル
GPIO0	GPIO0	GPIO0	GPIO0	GPIO0	GPIO0
GPIO1	GPIO1	GPIO1	GPIO1	GPIO1	GPIO1
GPIO2	PWM1	PWM1	PWM1	GPIO2	GPIO2
GPIO3	PWM2	PWM2	PWM2	SPI-DOUT1	GPIO3
GPIO4	PWM3	PWM3	PWM3	SPI-DIN1	GPIO4
GPIO5	UART1-TX	UART1-TX	UART1-TX	UART1-TX	UART1-TX
GPIO6	UART1-RX	UART1-RX	UART1-RX	UART1-RX	UART1-RX
GPIO7	UART1-RTSX	UART1-RTSX	I <sup>2</sup> C-SCL1	SPI-SCS1	I <sup>2</sup> C-SCL1
GPIO8	UART1-CTSX	UART1-CTSX	I <sup>2</sup> C-SDA1	SPI-SCLK1	I <sup>2</sup> C-SDA1
GPIO9	ADC3	ADC3	ADC3	ADC3	GPIO9
GPIO10	ADC4	ADC4	ADC4	ADC4	GPIO10
GPIO11	SPI-DOUT2	I <sup>2</sup> C-SCL2	GPIO11	I <sup>2</sup> C-SCL2	GPIO11
GPIO12	SPI-DIN2	I <sup>2</sup> C-SDA2	GPIO12	I <sup>2</sup> C-SDA2	GPIO12
GPIO13	SPI-SCS2	GPIO13	UART1-RTSX	UART1-RTSX	GPIO13
GPIO14	SPI-SCLK2	GPIO14	UART1-CTSX	UART1-CTSX	GPIO14
GPIO15	GPIO15	GPIO15	GPIO15	GPIO15	GPIO15
GPIO16	UART2-TX	GPIO16	GPIO16	GPIO16	GPIO16
GPIO17	UART2-RX	GPIO17	GPIO17	GPIO17	GPIO17

### 2.3.2. UART の割り当てに関する制約

TC35681 で割り当て可能な UART を表 2-4 に示します。割り当て可能な GPIO は、動作モードによって制約があります。

表 2-4 2 つの UART に関する割り当て制約 (QFN パッケージ)

動作モード	HCI モード/Complete モード	User-App モード
UART1-TX	GPIO5 を使用(変更不可)	GPIO5 を使用可
UART1-RX	GPIO6 を使用(変更不可)	GPIO6 を使用可
UART1-RTSX	GPIO7 のみ使用可	GPIO7、GPIO13 のいずれかを使用可 (注 1)
UART1-CTSX	GPIO8 のみ使用可	GPIO8、GPIO14 のいずれかを使用可 (注 1)
UART2-TX	使用不能	GPIO16 を使用可
UART2-RX	使用不能	GPIO17 を使用可
UART2-RTSX	使用不能	GPIO13 を使用可 (注 1)
UART2-CTSX	使用不能	GPIO14 を使用可(注 1)

注 1: GPIO13 を、UART1-RTSX と UART2-RTSX へ同時に割り当てることはできません。

GPIO14 を UART1-CTSX と UART2-CTSX へ同時に割り当てることはできません。

### 2.3.3. I<sup>2</sup>C の割り当てに関する制約

TC35681 はユーザアプリケーション保存用 EEPROM とのインタフェースとして、I<sup>2</sup>C インタフェース(チャンネル 1、GPIO7、GPIO8)を割り当てます。

他のチャンネルの I<sup>2</sup>C インタフェースを割り当てることはできません。

表 2-5 2 つの I<sup>2</sup>C インタフェースに関する割り当て制約

動作モード	HCI モード/ Complete モード	User-App モード
I2C-SCL1	GPIO7 を使用可	GPIO7 を使用(変更不可)
I2C-SDA1	GPIO8 を使用可	GPIO8 を使用(変更不可)
I2C-SCL2	GPIO9 または GPIO11 を使用可	
I2C-SDA2	GPIO10 または GPIO12 を使用可	

## 2.4. 電源端子

各電源端子の属性や通常動作時の電圧を表 2-6 に示します。

表 2-6 電源端子説明

端子名	端子番号	属性	説明
	QFN パッケージ	電源分類 VDD/GND	
電源・グラウンド			
VPGM	5	TEST —	IC 製造テスト用電源端子 GND に接続してください。
VBAT	18	VBAT VDD	DC/DC コンバータ/LDO レギュレータ用電源、スリープ回路電源端子 IC に内蔵された DC/DC コンバータおよび LDO レギュレータのための外部電源を接続します。
LX	19	VBAT VDD	DC/DC コンバータ出力端子 DC/DC コンバータ使用時、この端子から VDDCORE1 と VDDCORE2 に電源を供給します。DC/DC コンバータ用の外部コイルに接続してください。 詳細は 4.4 節を参照してください。 他の用途には使用しないでください。
VDDCORE1	14	— VDD	アナログ回路電源入力端子 DC/DC コンバータ使用時は LX 端子から、ローパワーモード移行時および LDO レギュレータ使用時は VDDCORE2 から電源供給を受けます。 VDDCORE2 に接続してください。詳細は 4.4 節を参照してください。 他の用途には使用しないでください。
VDDCORE2	15	— VDD	DC/DC コンバータ用フィードバック入力兼アナログ・デジタル回路用電源端子または内蔵 LDO レギュレータの出力端子 DC/DC コンバータ使用時、この端子はフィードバック用入力端子を兼ねます。LX 端子との間にコイルを接続してください。 LDO レギュレータ使用時、この端子は内蔵 LDO レギュレータの出力となり、VDDCORE1/VDDCORE2 に接続されている内部回路へ電源を供給します。詳細は 4.4 節を参照してください。 他の用途には使用しないでください。
VDDIO	23	VDDIO VDD	I/O 用電源入力端子 GPIO 端子用の電源電圧を印加してください。VBAT を超える電圧を印加しないでください。詳細は 4.4 節を参照してください。 他の用途には使用しないでください。
VSSD1	27	Digital GND	GND に接続してください。
VSSA	8	Analog GND	Analog 用グラウンド GND に接続してください。
VSSRFIO	6	Analog GND	RFIO 用グラウンド GND に接続してください。
VSSX	13	Analog GND	OSC 用グラウンド GND に接続してください。
VSSDC	20	Digital GND	DC/DC コンバータ用グラウンド GND に接続してください。

端子名	端子番号	属性	説明
	QFN パッケージ	電源分類 VDD/GND	
電源・グラウンド			
VSSD2	FIN	Digital GND	ダイパッド接地 FIN Digital 用 GND を兼ねています。 パッケージ下部の露出したダイパッドは GND に接続してください。

Preliminary

3. システム概要

3.1. 内部ブロックダイアグラム

図 3-1 に TC35681 内部ブロックダイアグラムと主要な周辺部品の接続例を示します。

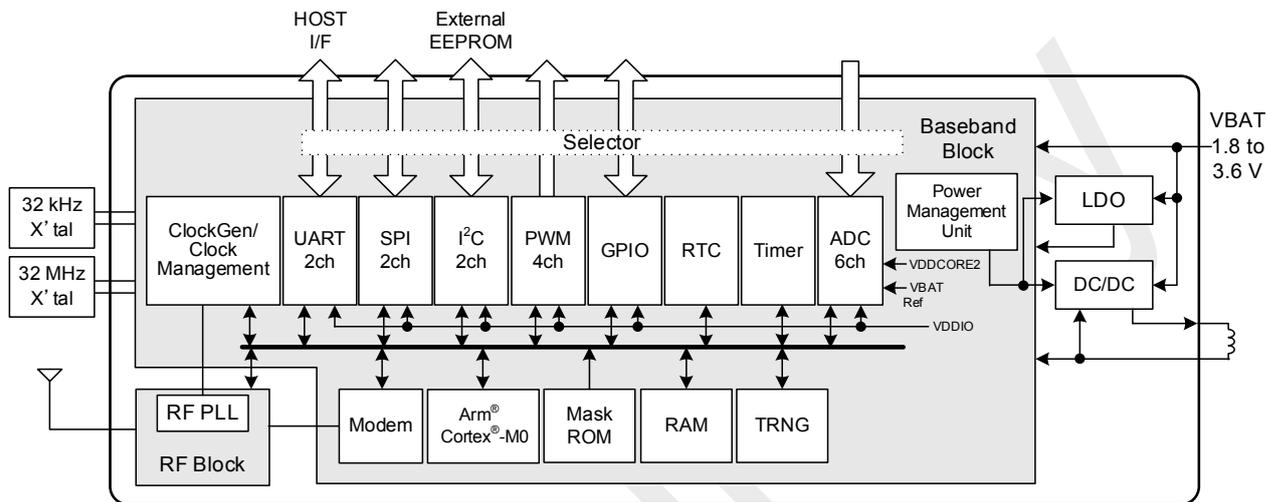


図 3-1 TC35681 内部ブロックダイアグラムと主要周辺部品の接続例

### 3.1.1. 電源システム

TC35681 は、DC/DC コンバータと複数の LDO レギュレータを内蔵しています。IC 内部の多くの回路はこれらの降圧電源から電源の供給を受けて動作します。Power Management Unit(以後、PMU)は電力効率の最適化のために、ローパワーモードに応じて、この 2 つの電源を動的に切り替え、またその出力電圧を制御します。

なおデジタルインタフェース用に、VDDIO 端子からインタフェース専用の電源を供給できますので、PMU が行う電源制御をユーザは意識する必要がありません。

電源システムの詳細については 3.6 節と 4.4 節も参照してください。

### 3.1.2. クロックシステム

基本動作クロックは 32 MHz、スリープクロックは 32.768 kHz を入力します。各ブロックはそれぞれ独立したクロック分周器を備えますので、CPU を含む各ブロックには所望のクロック信号を入力することが可能です。ブロックごとに設定可能なパラメータは、4 章の各機能の説明を参照してください。基本クロック、スリープクロックに関する詳細は、4.12 節、4.13 節を参照してください。

TC35681 のスリープクロックは次の 3 つのクロックソースから選択することができ、起動時、内蔵シリコンオシレータ(以降、SiOSC)を使用して起動します。

- SiOSC
- 水晶振動子(水晶用発振回路使用)
- 外部スリープクロック入力

SiOSC は Bluetooth®無線通信に必要とされる周波数精度がありません。Bluetooth®無線通信を使用するアプリケーションでは使用できませんのでご注意ください。SiOSC は Advertising のみのようなアプリケーションで使用することができます。

スリープクロックの詳細は 4.13 節を参照してください。

### 3.1.3. ハードウェア起動シーケンス

起動時の電源とリセット解除のシーケンスを図 3-2 に示します。内蔵ファームウェアの起動シーケンスについては 3.5 節を参照してください。また、リセットについては 4.5 節を参照してください。

最初に VBAT 電源を供給します。VDDIO 電源は VBAT と同時か、VBAT を超えない条件で遅れて電源供給することができます。電源を投入するとき、VBAT が 5.2 節に記載の VBATopr の最小値に達し、かつ VDDIO が VDDIOopr の最小値に達したのちに外部リセット信号を解除 してください。

リセットが解除されると、基本クロック用水晶発振回路が ON し発振を開始します。

また内蔵 SiOSC が発振を開始し、スリープクロックを生成します。

ハードウェアは、基本クロックが 1.5 ms 以内に発振安定することを期待しています。使用環境下でこの安定発信時間を逸脱しないことを十分に確認してください。

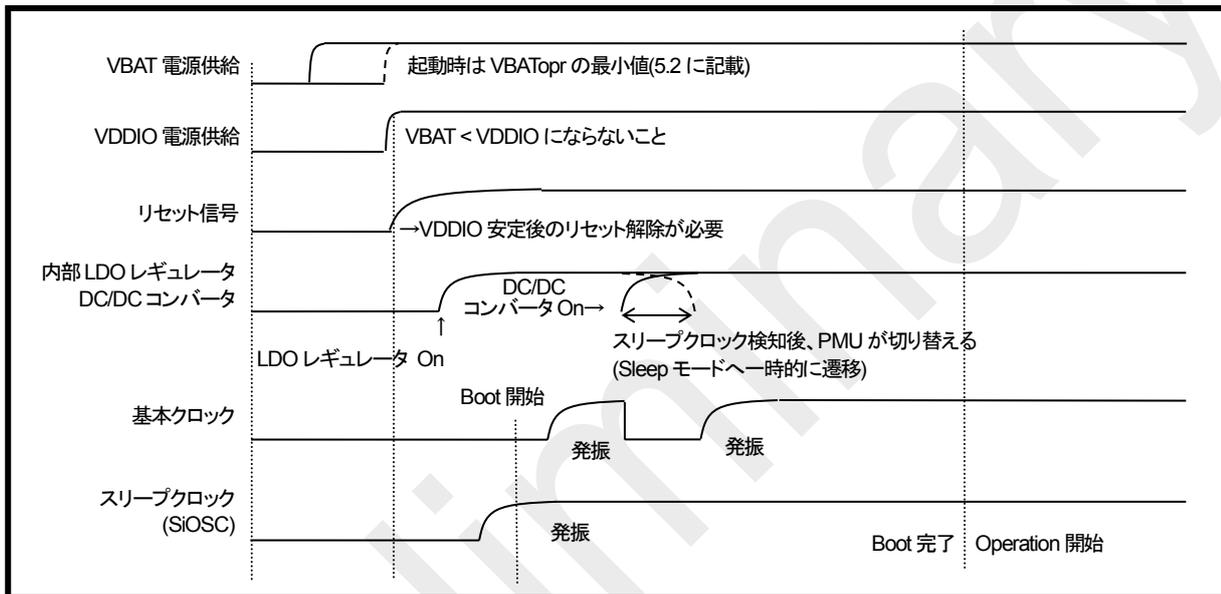


図 3-2 ハードウェア起動シーケンス

### 3.2. システム構成と動作モード

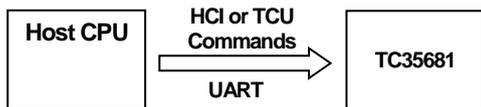
TC35681 は図 3-3 に示す次の 2 つのシステム構成、3 つの動作モードをサポートしています。

- システム構成
  - 外部のホスト CPU からの制御によって本 IC を制御(ホスト制御システム)
  - ユーザアプリケーションにより、本 IC を制御、単独で使用するシステム(スタンドアロンシステム)
- 動作モード
  - ホスト制御システムで、HCI/拡張 HCI コマンドで本 IC を制御するモード(以降、HCI モード)。
  - ホスト制御システムで、TCU コマンドで本 IC を制御するモード (以降、Complete モード)。
  - TC35681 の CPU 上でユーザアプリケーションを実行するモード (以降 User-App モード)
 ユーザアプリケーションのダウンロードの方法は次の 2 つがあります。
  - ✓ 外付け EEPROM からダウンロード
  - ✓ UART 経由でダウンロード

動作モードの選択については 3.4 節を参照お願いします。

#### ■ HCI モード/Complete モード

ホスト CPU からの指示を受けて動作



#### ■ User-App モード

外付け EEPROM 上のユーザアプリケーション動作

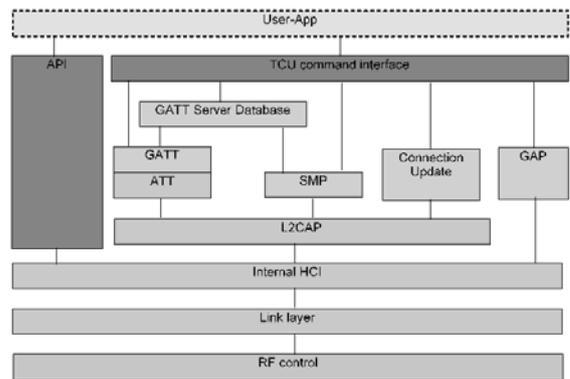
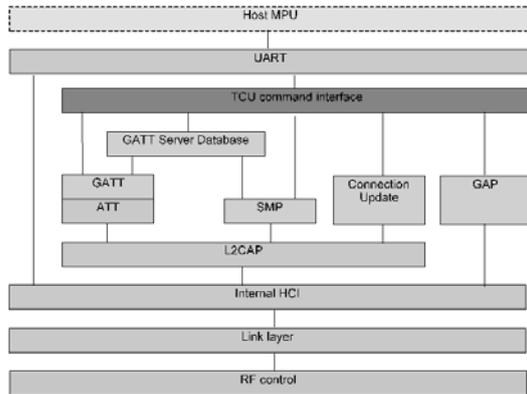
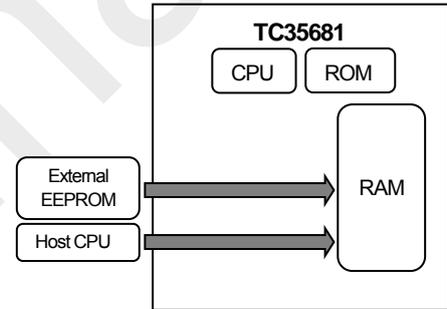


図 3-3 TC35681 によるシステム構成例

### 3.3. システム構成の選択

#### 3.3.1. スタンドアロンシステムの構築

スタンドアロンシステムとして構築するためには、User-App モードで外付け EEPROM にユーザアプリケーションを保存してください。スタンドアロンシステムで利用する User-App モードで、メモリからユーザアプリケーションをダウンロードするときは、マスク ROM 上のブートローダが外付け EEPROM からユーザアプリケーション読み出し、RAM へ展開後、ユーザアプリケーションを実行します。これにより、ユーザアプリケーションの実行に外部ホスト CPU は介在せず、スタンドアロン動作が可能となります。

#### 3.3.2. ホスト制御システムの構築

ホスト制御システムとして構築するためには、3 つの方法があります。

- ✓ HCI モードを利用する
- ✓ Complete モードを利用する
- ✓ User-App モードを利用する

HCI モードと Complete モードはいずれも内蔵ファームウェアがもつ機能を利用してシステムを構築します。

User-App モードはユーザアプリケーションを TC35681 の CPU で動作させ、ホストと組み合わせたシステムが構築できます。

### 3.4. 動作モードの選択と設定

動作モードの設定方法は次の 2 つの方法があります。

- ✓ 起動時の GPIO1 端子と SWDIO 端子の状態により設定
- ✓ HCI モードで起動後、HCI\_SET\_MODE コマンドにより設定(Complete モード、User-App モードを選択可能)

表 3-1 に動作モードの用途と起動時設定による方法を示します。

起動時設定で User-App モードを選択すると、HCI モードに遷移することはできません。User-App モード、および Complete モードから他の動作モードへの変更は再起動(ハードウェアリセット)が必要です。

表 3-1 動作モードの用途と起動時設定

動作モード	起動設定		用途
	GPIO1	SWDIO	
User-App モード	H	—	✓ ユーザアプリケーションの実行
HCI モード	L	H	<ul style="list-style-type: none"> <li>✓ RF テスト</li> <li>✓ 電波認証テスト</li> <li>✓ Bluetooth®ロゴ認証テスト</li> <li>✓ ユーザアプリケーション(ファームウェア)の書き込み</li> <li>✓ HCI/拡張 HCI による制御</li> </ul>
Complete モード	L	H	✓ TCU コマンドによる IC の制御 (GATT/SM 層の制御コマンド)
Test モード	L	L	設定禁止

注: 動作モード判定時に内蔵ファームウェアは、GPIO1 へ入力かつプルアップを設定しています。つまりこの端子が起動時にオープンであれば、User-App モードが選択されます。L レベル入力の代わりにこれらの端子をプルダウンするときは、内蔵プルアップ抵抗よりも十分小さい抵抗値、例えば 1 kΩを接続するようにしてください。

### 3.4.1. HCI モード

HCI モードは、ホスト CPU から、内蔵ファームウェアが備える HCI および拡張 HCI コマンドによって TC35681 を制御するためのモードです。ホスト CPU と TC35681 を、UART で接続して使用します。HCI モードの用途は次のとおりです。

- HCI コマンドや拡張 HCI コマンドで TC35681 を制御するとき
- Bluetooth®ロゴ認証テストや各国/地域の電波法テストを受審するとき
- RF テストを行うとき
- 動作モードを HCI コマンドで切り替えるとき

HCI モードの HCI コマンドなどを処理するプログラムは内蔵ファームウェアとしてマスク ROM に格納されています。HCI モードでは TC35681 の CPU 上で動作するユーザアプリケーションを実行することはできません。

起動後、GPIO5(UART1-TX)と GPIO6(UART1-RX)が UART として内蔵ファームウェアにより割り当てられます。

HCI モードの UART インタフェースの初期設定を表 3-2 に示します。

表 3-2 HCI モードの UART インタフェースの初期設定

ボーレート	115.2 kbps
パリティビット	なし
データ長	8 ビット
ストップビット	1 ビット
フロー制御	なし
プロトコル	HCI

### 3.4.2. Complete モード

Complete モードは HCI モードで起動後、コマンドにより Complete モードに切り替えることで TCU コマンドによる制御が可能になります。TCU コマンドは GATT/SM 層の制御 API で、マスク ROM に格納されています。HCI\_SET\_MODE コマンドで Complete モードへ切り替えてから使用してください。

### 3.4.3. User-App モード

ユーザアプリケーションを TC35681 上の CPU で動かすときに、本モードを使用してください。ユーザアプリケーションは、内蔵ファームウェアが備える Bluetooth® Low Energy プロトコルスタックやハードウェアの制御 API を使用することができます。本資料では User-App モードで利用可能な制御機能を API として記載しています。

TC35681 はユーザアプリケーションを次の 2 つのいずれかの方法で IC にダウンロードし、実行します。

- ✓ 外付け EEPROM に所定のフォーマットに従って保存したユーザアプリケーションをダウンロード
- ✓ ホスト CPU からユーザアプリケーションを UART インタフェース経由でダウンロード

ユーザアプリケーション保存用メモリは、外付け EEPROM を使用します。EEPROM は、I<sup>2</sup>C インタフェース(GPIO7、GPIO8)への接続が必要です。

CPU リソースなど IC の各リソースは、ユーザアプリケーションが専有できるわけではありません。内蔵ファームウェアも CPU リソースを使用しますので、所望の機能が実現していること、性能が目標に達していることを十分に評価してください。

### 3.5. 起動時のシーケンス

TC35681 のブートローダ、内蔵ファームウェアは、図 3-4 に示した手順で、動作モードを識別し、起動処理を完了します。

UART 経由からのユーザアプリケーションのダウンロードと実行は HCI モードで起動後、HCI コマンドにより実行することができます。

#### 3.5.1. 起動シーケンス詳細

- (1) リセットを解除します。
- (2) 本 IC の SWD の有効/無効設定をチェックします。
- (3) 無効の場合、SWD 機能を無効にします。
- (4) 有効の場合、SWD 機能を有効にします。
- (5) ファームウェア起動を開始します。
- (6) オートパッチプログラムの有無をチェックします。  
✓ オートパッチ機能の詳細については 4.16 節を参照してください。
- (7) オートパッチプログラムが外付け EEPROM に存在するとき、オートパッチプログラムを適用します。
- (8) オートパッチプログラムが適用後、または存在しない場合、GPIO1 の端子のステータスをチェックします。
- (9) GPIO1 が Low のとき、SWDIO の端子のステータスをチェックします。
- (10) SWDIO が Low のとき、テストモードに入ります。本設定の利用は禁止です。
- (11) SWDIO が High のとき、HCI モードとして起動します。
- (12) GPIO1 が High のとき、外付け EEPROM に保存されているユーザアプリケーション中の "Check word" を読み出します。
- (13) "Check word" が指定の値と一致/不一致を確認します。  
"Check word" が指定の値と一致しないとき、HCI モードで起動します。
- (14) "Check word" が指定の値と一致したとき、外付け EEPROM に保存されているユーザアプリケーションを TC35681 にダウンロードします。
- (15) 外付け EEPROM に保存されたチェックサムとダウンロードしたユーザアプリケーションから計算されたチェックサムを比較します。
- (16) チェックサムが一致したとき、内蔵ファームウェアはユーザアプリケーションを実行します。
- (17) チェックサムが不一致のとき、エラーになります。ハードウェアリセットが必要です。

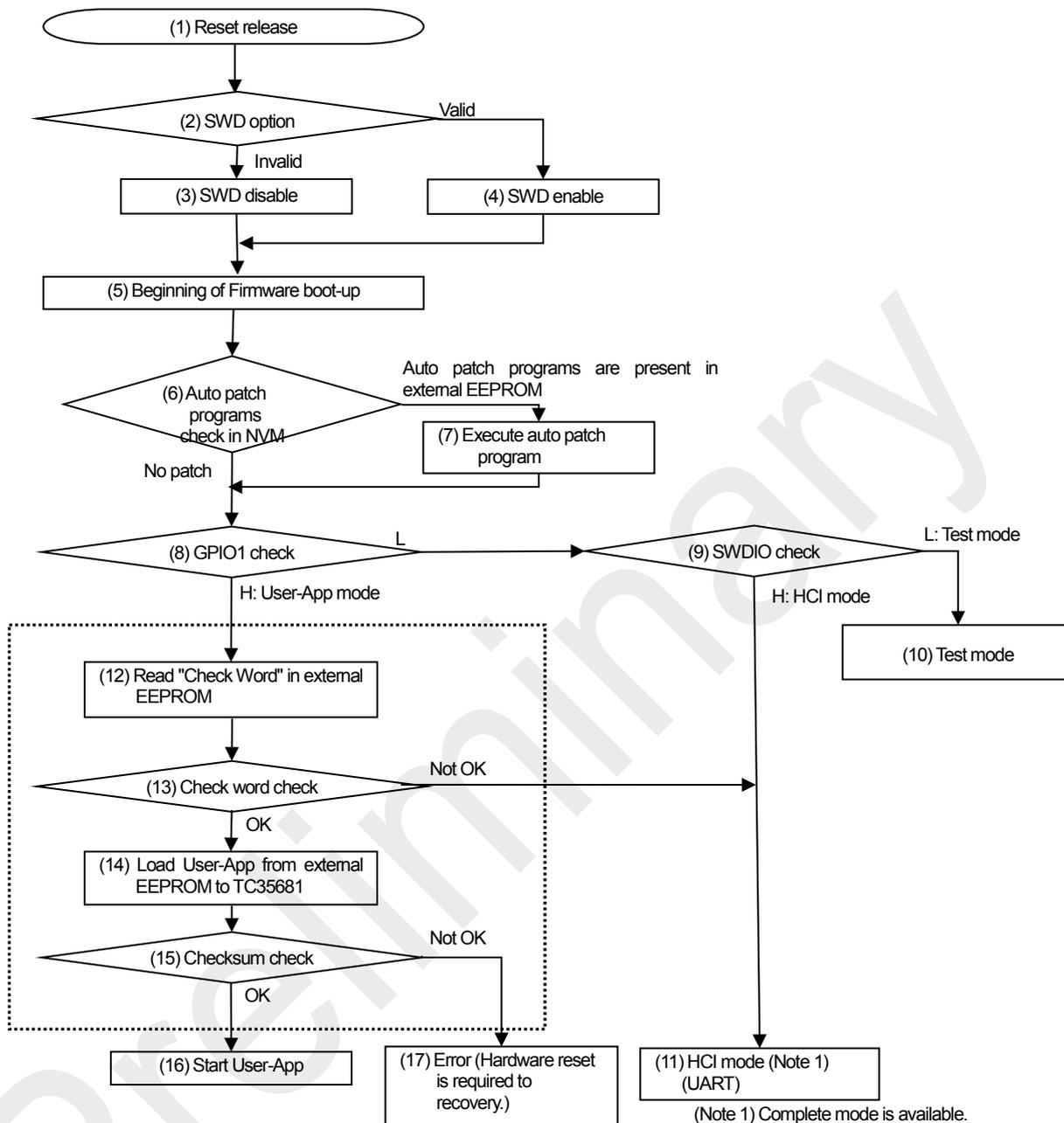


図 3-4 TC35681 ブートシーケンス

### 3.6. 低消費電力システム

TC35681 は消費電力を低減するために、次の 3 つのローパワーモードをサポートします。

- Sleep
- Backup
- Deep Sleep

消費電力は Sleep、Backup、Deep Sleep の順序で消費電力が小さくなります。Deep Sleep は最も消費電力の小さいモードです。低消費電力機能は動作モード(HCI モード、Complete モード、User-App モード)に依存しないで使用することができます。

#### 3.6.1. 状態遷移

TC35681 の状態遷移を図 3-5 に示します。主要なモードは 3 つあります。

- アクティブモード
- リセット
- ローパワーモード

アクティブモードは通常動作のモードです。リセットはハードウェアリセット信号がアサートされたモードです。ローパワーモードは Sleep、Backup、Deep Sleep のいずれかのモードです。

本文書ではローパワーモードからアクティブモードへの遷移を「ウェイクアップ」と記載します。ローパワーモードへの遷移を「就寝」と記載します。

アクティブモードから就寝することでローパワーモードへ遷移することができます。しかし、ローパワーモード間で遷移することは出来ません。

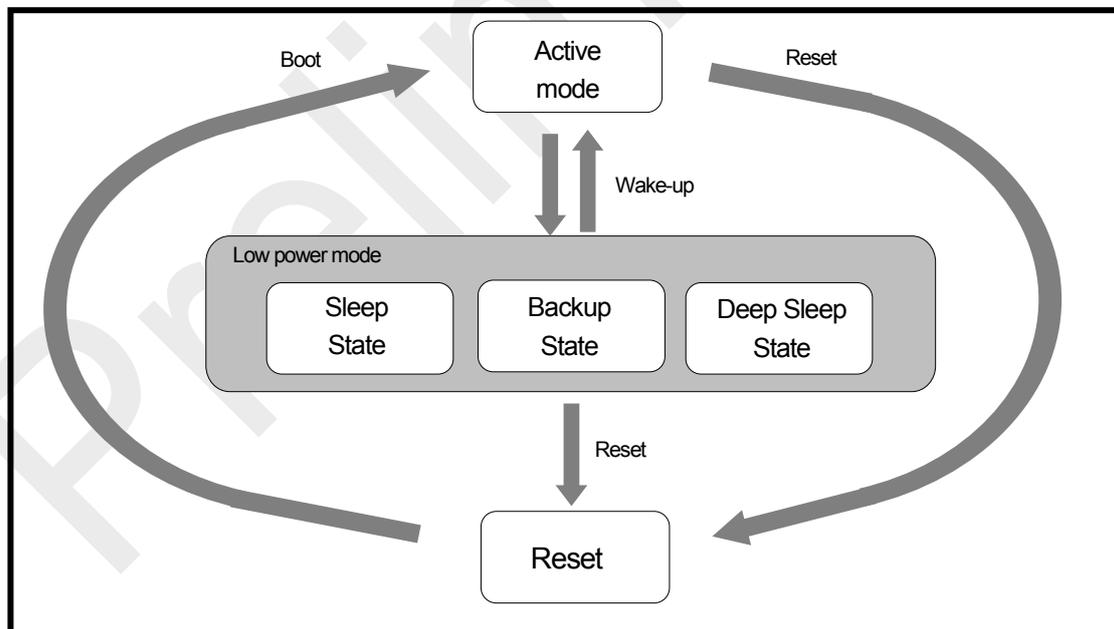


図 3-5 状態遷移図

## 3.6.2. 各モードで使用可能な機能

各ローパワーモードで使用可能な機能を表 3-3 に示します。

目的に適合するローパワーモードを選択してください。消費電流に関する情報は 5.3 節を参照してください。

表 3-3 使用可能な機能

機能		Active モード	Sleep モード	Backup モード	Deep Sleep モード <sup>※</sup> (注 1)
基本クロック		発振	停止	停止	停止
スリープクロック		発振	発振	発振	停止
CPU 電源		オン	オン	オフ	オフ
CPU クロック		16 MHz/32 MHz	停止	停止	停止
IC 内蔵電源		DC/DC コンバータ: 1.2 V (標準品) または LDO レギュレータ: 1.2 V (カスタマイズ品)	LDO レギュレータ: 0.85 V	LDO レギュレータ: 0.85 V	DC/DC コンバータ: オフ LDO レギュレータ: オフ
RAM		保持	このモードに遷移する前のデータを保持、一部保持、または保持しない (注 2)	このモードに遷移する前のデータを保持、一部保持、または保持しない (注 2)	このモードに遷移する前のデータを保持しない (注 2)
Bluetooth <sup>®</sup> 無線	Connection	使用可能	使用可能	接続中はこのモードに遷移しない。	機能停止
	Scan		使用可能	Scan 中はこのモードに遷移しない。	
	Advertise		使用可能	使用可能 (注 3)	
	Initiating		使用可能	Initiating 中はこのモードに遷移しない。	
ハードウェアリセット		使用可能	使用可能	使用可能	使用可能
GPIO		使用可能	ANYKEY ウェイクアップ、GPIO0 と GPIO15 によるウェイクアップを除き、このモードに遷移した状態では機能しない。ウェイクアップ後に就寝前の設定を回復する。		GPIO0 と GPIO15 によるウェイクアップを除き、このモードに遷移した状態では機能しない。このモードに遷移する前の状態を保持して就寝する。
UART		使用可能	通信中はこのモードに遷移しない。このモードに遷移した状態では機能しない。「Programming Guide」記載の API を用いて UART を使用する場合のみ、このモードに遷移する前の設定を戻す。		機能停止
SPI		使用可能	通信中にこのモードに遷移しない。このモードに遷移した状態では機能しない。ウェイクアップ後に、このモードに遷移する前の設定を戻す。		機能停止
I <sup>2</sup> C		使用可能	通信中にこのモードに遷移しない。このモードに遷移した状態では機能しない。ウェイクアップ後に、このモードに遷移する前の設定を戻す。		機能停止
PWM		使用可能	このモードに遷移する前に機能停止を要する。ウェイクアップ後にこのモードに遷移する前の設定を戻す。		機能停止
ADC		使用可能	使用中は、このモードに遷移しない。このモードに遷移した状態では機能しない。ウェイクアップ後にこのモードに遷移する前の設定を戻す。		機能停止
TRNG		使用可能 (無線通信との併用は推奨しない)	このモードに遷移した状態では機能しない。ウェイクアップ後にこのモードに遷移する前の乱数シードを回復しない。		機能停止
スリープクロック出力機能		使用可能	このモードに遷移した状態では機能しない。ウェイクアップ後にこのモードに遷移する前の設定を戻す。		機能停止
BCTIMER、GTIMER		使用可能	このモードに遷移した状態では機能しない。ウェイクアップ後にこのモードに遷移する前の設定を戻す。ただし、カウンタは初期値に戻る。		機能停止
OS タイマ (1 秒タイマ、1 ミリ秒タイマ)		使用可能	使用可能	カウント中にこのモードに遷移しない。	機能停止
RTC		使用可能	使用可能		機能停止
WDT		使用可能	このモードに遷移した状態では機能しない。ウェイクアップ後にこのモードに遷移する前の設定を戻す。ただし、カウンタは初期値に戻る。		機能停止

機能	Active モード	Sleep モード	Backup モード	Deep Sleep モード (注 1)
DMAC	使用可能	このモードに遷移した状態では機能しない。ウェイクアップ後に UART または Bluetooth <sup>®</sup> 無線通信機能を API で使用する場合はこのモードに遷移する前の設定を戻す。		機能停止
SWD	使用可能		機能停止	機能停止

注 1: Deep sleep モードから Active モードに復帰後、コールドブートから復帰する場合と同じ制御が必要です。

注 2: RAM を保持せず就寝したときは、Active モードへ復帰後にコールドブートから復帰する場合と同制御が必要です。

注 3: オートアダプタイズ機能利用時。詳しくは 4.3 節をご参照ください。

### 3.6.3. ローパワーモードへの遷移条件

HCI コマンド” HCI\_M2\_BTL\_LOW\_POWER\_MODE”や API “ SYS\_API\_SetBlesglSleepCtrl()”によりローパワーモードへの遷移を許可することができます。複数のローパワーモードを許可することができます。

複数のローパワーモードを許可している場合、TC35681 は条件に一致するローパワーモードの中から最も消費電力の小さいモードを選択します。

TC35681 は次の条件を全て満たすときにローパワーモードへ自動的に遷移します。

- 1つ以上のローパワーモードへの遷移を許可している。
- 内蔵ファームウェアによって制御される他のタスクがアイドル状態。
- GPIO0 または GPIO15 によるウェイクアップを設定しているとき、これらの端子へ適切な信号を入力している。
- UART、SPI、I<sup>2</sup>C インタフェースでのデータを送受信していない。
  - ✓ UART は”uart1\_Open()”を用いているだけで、通信をしていなければ、ローパワーモードへ遷移することができます。
- AD コンバータを使用していない。
- アダプタイズ中でない (Deep Sleep モードへ遷移するための条件)。
- Bluetooth<sup>®</sup>無線通信の接続を確立していない (Backup、Deep Sleep モードに遷移するための条件)。

以下は User-App モード時でのローパワーモードへの遷移条件です。

- ユーザアプリケーションタスクは API “OS\_API\_WaitEventFlg ()”を用いてイベントを待ち受けている。
- 1 秒タイマ、または 1 ミリ秒タイマが動作中でない (Backup、Deep Sleep モードに遷移するための条件)。

### 3.6.4. ローパワーモードからの復帰条件

TC35681 のローパワーモードは次の条件をトリガに Active モードに復帰する設定が可能です。

- ✓ ローパワーモードで動作中に表 3-4 に記載の少なくとも 1 つの条件に一致したとき

TC35681 は、ローパワーモードであっても Bluetooth® の接続、Advertising、Scan の通信タイミングになると一時的に Active モードになり通信処理を行います。その後、再びローパワーモードに遷移します。このとき基本的にはホスト CPU、あるいはユーザアプリケーションへの通知はありません。

表 3-4 ウェイクアップおよびブート要因

Sleep モード	Backup モード	Deep Sleep モード	Reset モード
<ul style="list-style-type: none"> <li>✓GPIO0 または GPIO15 の割り込み</li> <li>✓ANYKEY ウェイクアップ割り込み</li> <li>✓RTC のアラーム、</li> <li>✓1 秒タイマまたは 1 ミリ秒タイマがカウントを満了</li> <li>✓リモートデバイスから自分宛ての packets を受信</li> <li>✓ハードウェアリセットを解除</li> <li>✓Sleep モード遷移後 1 時間経過 (注 2)</li> </ul>	<ul style="list-style-type: none"> <li>✓GPIO0 または GPIO15 の割り込み</li> <li>✓ANYKEY ウェイクアップ割り込み</li> <li>✓RTC のアラーム</li> <li>✓リモートデバイスからの接続要求 (注 3)</li> <li>✓オートアダプタイズが設定回数を満了 (注 1)</li> <li>✓ハードウェアリセットを解除</li> </ul>	<ul style="list-style-type: none"> <li>✓GPIO0 または GPIO15 の割り込み</li> <li>✓ハードウェアリセットを解除</li> </ul>	<ul style="list-style-type: none"> <li>✓ハードウェアリセットを解除</li> </ul>

注 1: Backup モードへ遷移する前にオートアダプタイズ機能を設定しておく、TC35681 はユーザが設定した回数分のアダプタイズ packets を送信した後、自身をウェイクアップします。

注 2: Sleep モードに入ったときに、1 時間を超える 1 秒タイマが存在するとき、TC35681 は遷移から 1 時間ごとに一時的にウェイクアップします。ユーザアプリケーションには通知されません。この時間は変更できません。

注 3: オートアダプタイズ機能利用時。詳しくは 4.3 節をご参照ください。

### 3.6.5. ウェイクアップ要因の取得とローパワーモードからの復帰

ユーザアプリケーションは、ウェイクアップ要因を API "SYS\_API\_GetWakeUpCauseValue()" によりの取得することができます。要因取得後、ユーザソフトウェアから必要な制御を行ってください。ウェイクアップ要因と API の詳細については「Programming Guide」を参照してください。

Deep Sleep モードからのウェイクアップはコールドブートと同様にみなせます。ただし、Deep Sleep モードからウェイクアップしたことは判別できません。

就寝前の RAM のデータを保持しない設定でローパワーモードからウェイクアップするときは、就寝前の対象の RAM に保持されたデータを失います。

## 4. 機能仕様

### 4.1. Bluetooth®無線通信機能

Bluetooth®無線通信機能には既知の不具合があります。Known Issuesに既知の不具合と対策をまとめていますので、併せてご確認ください。

RF回路やベースバンドで構成されるハードウェアと、内蔵ファームウェアで Bluetooth®無線技術を使用した通信機能を実現します。外部に水晶振動子と幾つかのディスクリート部品を接続するだけで、無線通信を行うことが可能です。

#### 4.1.1. サポート機能

TC35681のサポートする機能を表 4-1 に示します。

ROMバージョン 002 は Central または Peripheral として1台のデバイスと接続することができます。

表 4-1 サポート機能一覧

Bluetooth® core spec. feature	Description	Notes
v4.0 features	Central	Supported
	Peripheral	Supported
	Multi point connections	Not supported
	Connection Update	Supported
	Random Address	Supported
	WhiteList	Supported
	Security Property (Just Works)	Supported
	Security Property (PassKey Entry)	Supported
	Security Property (OOB)	Not supported
	Security Property (Numeric Comparison)	Supported
	GATT-Client	Supported
	GATT-Server	Supported
	Broadcaster	Supported
Observer	Supported	
v4.1 features	Low Duty Cycle Directed Advertising	Supported
	32-bit UUID support in LE	Supported
	LE L2CAP Connection Oriented Channel Support	Not supported
	LE Privacy v1.1	Not supported
	Connection Parameter Request Procedure	Supported
	Extended Reject Indication	Supported
	Slave-initiated Features Exchange	Supported
	LE Ping	Supported
	Act as LE Master and LE Slave at the same time	Not Supported
	Act as LE Slave to more than one LE Master at the same time	Not Supported
v4.2 features	LE Data Packet Length Extension (Max payload length 255 bytes)	Supported
	LE Secure Connections	Supported
	Link Layer Privacy	Supported
	Link Layer Extended Scanner Filter Policies	Supported
v5.0 features	LE 2M PHY	Supported
	LE Coded PHY	Supported
	Channel Selection Algorithm #2	Supported
	LE Extended Advertising(Max 1650 bytes)	Supported
	LE Extended Scanning(Max 1650 bytes)	Supported
	Stable Modulation Index - Transmitter	Not supported
	Stable Modulation Index - Receiver	Not supported
	LE Periodic Advertising	Not supported
	Minimum Number of Used Channels Procedure	Supported
High Duty Cycle Non-Connectable Advertising	Supported	

### 4.1.2. RF 機能

TC35681 の RF 機能は次の特長を有します。

- 送受信回路内蔵
- バラン内蔵
- RF スイッチ回路内蔵
- 送信出力設定機能をサポート
- $\pm 2$  dB (標準値)の受信信号レベルの精度

RFIO 端子出力段にはマッチング用コンデンサを接続することでインピーダンスの整合をすることができます。また、通信時は DC バイアスが発生します。DC カット用のコンデンサを接続する対策が推奨されます。「ハードウェアアプリケーションノート」には設計ガイドを記載してありますので、ガイドを参照の上、設計を行ってください。

## 4.2. 送信出力設定機能

送信出力は、+8、+7、+6、+4、0、-6、-20 dBm(標準値)を HCI コマンドや API “SYS\_API\_SetTransmitPowerLevel()”により設定できます。デフォルトの送信出力は+8 dBm です。

本機能は特定の接続相手に対する送信出力を設定することもできます。

RSSI の精度は、-90 ~ -10 dBm の入力信号に対して  $\pm 2$  dB (標準値)です。

## 4.3. オートアドバタイズ機能

オートアドバタイズ機能は Backup モード中に非常に小さい電力でアドバタイズパケットの送信を繰り返す機能です (Extended Advertising 動作時を除く)。

オートアドバタイズ機能は次の特長を有します。

- Backup モード中に所望のインターバルでアドバタイズパケットを送信します。
- 本機能を実行中もスキャン要求や接続要求を受信することができます。
- スキャン要求受信時はあらかじめ設定したスキャンレスポンスデータをハードウェアにより送信します。
- 接続要求を受信すると、TC35681 は Backup モードからのウェイクアップし Active モードに復帰し、ソフトウェアによる処理をすることができます。
- アドバタイズの送信回数を設定できます。設定回数のアドバタイズを送信した後、CPU を起動します。
  - ✓ 電池の電圧検出などの低頻度処理を CPU で行う場合に便利な機能です。

HCI コマンド” HCI\_M2\_BTL\_SET\_BACKUP\_AUTO\_WAKEUP”または API “SYS\_API\_SetDozeLAdvertisingCount()”により、Backup モードでのアドバタイズの回数を設定できます。アドバタイズ回数の設定は 0 ~ 0xFFFFFFFF が設定可能で、0 を設定すると他の要因で中断されない限りアドバタイズを継続します。初期値は 0 です。

本機能を実行するための条件は次のとおりです。

- Backup モードに入る条件を満たしている
- アドバタイジングを開始する(オートアドバタイズの開始条件)

## 4.4. 電源

### 4.4.1. VBAT と VDDIO

TC35681 は主電源である VBAT と、I/O 端子用電源 VDDIO があります。VBAT と VDDIO は同一の電源ソースから供給することも、個別の電源から供給することもできます。

VBAT と VDDIO を別の電源から供給する場合、VDDIO の電源電圧は VBAT の電源電圧を超えない条件で使用してください。動作電圧の範囲は 5.2 節を参照してください。具体的な接続構成例については 6 章を参照してください。

### 4.4.2. 降圧用 DC/DC コンバータと LDO レギュレータ

TC35681 は DC/DC コンバータと複数の LDO レギュレータを内蔵します。通常動作 (Active モード) 用の電源回路として DC/DC コンバータか LDO レギュレータを選択することができます。本選択は、IC 出荷時設定で決まるため、ソフトウェアによる外部制御で選択することはできません。標準品は DC/DC コンバータを使用しますが、LDO レギュレータを使用するカスタマイズ品も対応可能です。

DC/DC コンバータは外付けのインダクタを必要としますが、消費電力を削減することができます。一方、LDO レギュレータはインダクタを省略することで、ディスクリット部品、実装面積を減らすことができます。使用するシステムに応じて選択をしてください。

低消費電力機能として、効率最適化のために DC/DC コンバータと内蔵する LDO レギュレータを PMU が自動的に切り替えます。また、動作電圧も同時に切り替えることで、消費電力の低減を行います。ユーザは使用する低消費電力機能のモードを設定するだけで、本制御をすることなく、電力の低減をすることができます。低消費電力機能については 3.6 節を参照してください。また、出力電圧については 5 章を参照してください。

DC/DC コンバータと LDO レギュレータ使用時の端子の電源入出力端子を表 4-2 に示します。

表 4-2 電源端子の入出力状態

端子	DC/DC コンバータ動作時	LDO レギュレータ動作時
LX	出力	Hi-Z
VDDCORE1	入力	入力
VDDCORE2	入力	出力

RF 特性に影響を与えるノイズを除去するために、出力 8 dBm 時、VDDCORE1、VDDCORE2 端子に接続する LC フィルタの使用を強く推奨します。LC フィルタの接続については 6 章および「ハードウェアアプリケーションノート」を参照ください。

## 4.5. リセットインタフェース

### 4.5.1. 特長

リセットインタフェースには下記の特長があります。

- 入出力電圧の基準: VDDIO
- レベルセンシティブな非同期リセット(Lowレベルでリセット状態となる)

電源を投入するとき、VBAT が 5.2 節に記載の VBATopr の最小値に達し、かつ VDDIO が VDDIOopr の最小値に達したのちに外部リセット信号を解除 (RESETX 端子 = High)してください。リセット解除後、基本クロック用水晶振動子が発振を開始します。IC 内部のタイマにより水晶振動子の発振安定時間経過後に内部リセットが解除されます。

リセット信号 RESETX は、1  $\mu$ s 以上の L レベル入力が必要です。

### 4.5.2. 接続例

リセット信号は RC 時定数回路で電源から供給、あるいはレベルセンシティブな非同期リセット機能を持つ IC と接続可能です。電源から RC 時定数回路により、電源の立ち上がりに対して遅延する信号を生成することができます。この方法による接続例を図 4-1 の User-App モード時のリセットに示します。

また、非同期リセット機能をもつ IC の接続例を図 4-1 のホスト CPU によるリセットに示します。JTAG エミュレータを接続する場合、ホスト CPU やその他のリセット信号とワイヤード OR 接続します。これにより、いずれかのリセットが L を出力すると、IC がリセットします。

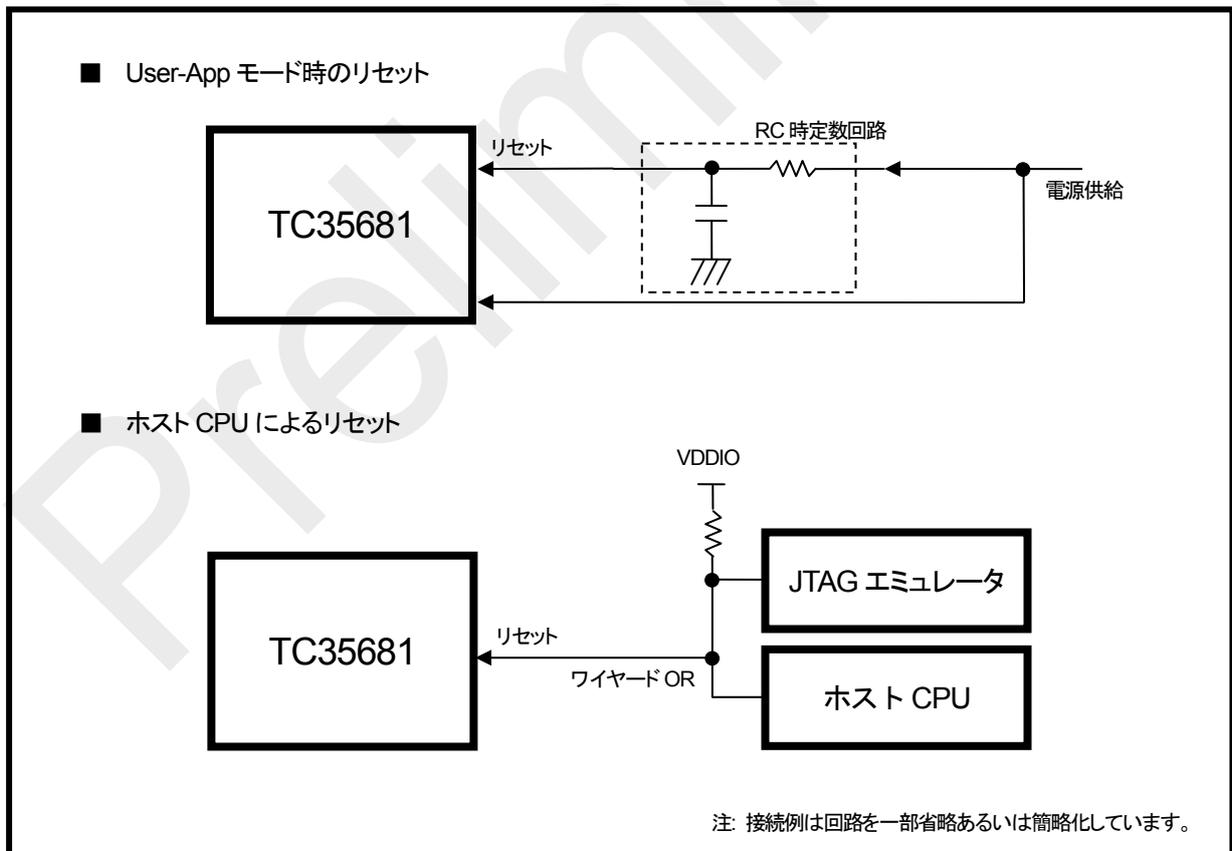


図 4-1 リセット信号接続例

## 4.6. 汎用 I/O(GPIO)機能

### 4.6.1. 特長

GPIO 端子は下記の特長を有します。

- ✓ 入出力電圧の基準: VDDIO
- ✓ 本数: QFN パッケージ 18
- ✓ 汎用入出力機能。入出力を独立して On/Off することができます。
- ✓ 入力データの読み込みと出力データの設定は、端子ごと、または複数端子をまとめて処理することができます。
- ✓ 割り込み機能をサポート。いずれかの検出方法を選択できます。
  - ◇ エッジ検出(立ち上がり、立ち下がり、両エッジ)、
  - ◇ レベル検出(Hレベル、Lレベル)
- ✓ プログラマブルなプルアップ、プルダウン抵抗を内蔵しています。
- ✓ 出力時のドライブ電流を選択できます(1 mA、1.5 mA(初期値)、2 mA、4 mA)。
- ✓ 端子ごとに直前の状態を保持して、ローパワーモードに遷移します(I/O ラッチ機能)。

ADC 入力をサポートする GPIO 端子の機能説明図を図 4-2 に示します。

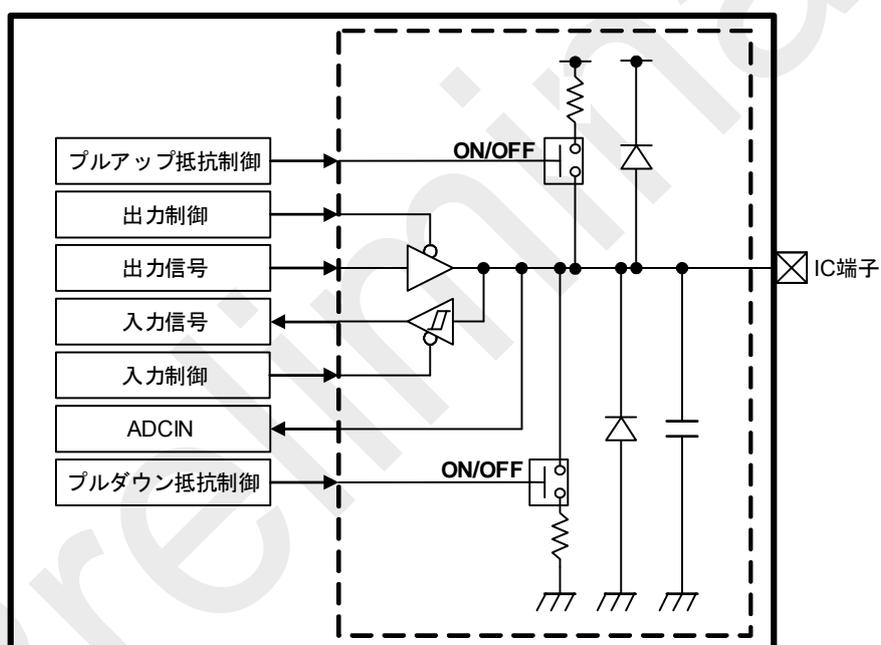


図 4-2 ADC 入力付き GPIO 端子の機能説明図

#### 4.6.2. 端子の状態設定

各 GPIO 端子に対して、次の設定をソフトウェア制御により行うことができます。また、各ローパワーモードに遷移しても保持します。GPIO 機能の設定方法を表 4-3 に示します。

- ✓ 各 GPIO の入力を有効または無効に設定できます。多重化されている別の機能を使う場合、信号入力として使用する端子の入カスタンバイは解除が必要です。入カスタンバイが設定されていると、入力の状態が IC 内部に伝搬せず、IC 内部の信号入力が L に固定されるからです。
- ✓ プルアップ抵抗の接続と切断、およびプルダウン抵抗の接続と切断を設定できます。端子毎の初期値は表 2-3 を参照してください。プルアップ抵抗とプルダウン抵抗を、同時に接続することは禁止です。
- ✓ プルアップ抵抗とプルダウン抵抗は、設定にかかわらず端子を出力に切り替えると切断します。出力を無効にすると、最後の設定に戻ります。
- ✓ 端子のドライブ電流を 1 mA、1.5 mA、2 mA、4 mA から選択できます。
- ✓ 入力端子として設定したときに、外部からの信号入力による割り込みを許可することができます。端子ごとにエッジ検出(立ち上がり、立ち下がり、両エッジ)、レベル検出(H レベル/L レベル)、または検出 Off のいずれかを設定できます。

表 4-3 GPIO に関する設定

設定	設定方法		
	HCI コマンド	API	レジスタ
入出力の設定	HCI_M2_BTL_READ_MEMORY HCI_M2_BTL_WRITE_MEMORY	SYS_API_SetGpioEn	GPIO_OUT_EN(出力設定) GPIO_OUT_EN_WRAP(出力設定)
入カスタンバイ	により読み出し、設定を行います。	—	PMU_IOSTANDBYX
プルアップ抵抗、 プルダウン抵抗の設定		SYS_API_SetGpioCfgReg	GPIO_CFG
端子ドライブ電流の設定		SYS_API_SetGpioCfgReg	GPIO_CFG
割り込み設定		SYS_API_SetGpioCfgReg	GPIO_CFG
端子入力データの読み込み		—	GPIO_MON、GPIO_MON_WRAP
端子出力データの設定		—	GPIO_OUT、GPIO_OUT_WRAP

#### 4.6.3. 汎用入力機能

GPIO 端子に表 2-2 の機能 0 が割り当てられているとき、表 4-3 の設定方法で入カスタンバイ設定を解除すると、汎用入力機能が有効になります。入カスタンバイが設定されているときは、汎用入力機能は無効で、この時の入力データは“L”に固定されています。入カスタンバイの設定は、いずれのローパワーモードに遷移したときも保持します。

各端子を CMOS 入力端子として使用するときは、必ず外部からの入力を H または L レベルで固定してください。入カスタンバイを設定中に、GPIO 端子は CMOS 入力端子として機能しません。端子を開放にしたとき、また ADC 機能を使う場合は、必ずその端子の入カスタンバイを設定するようにしてください。

入カスタンバイと出力機能の無効化を併せて設定すると、GPIO 端子は入出力機能が無効になります (Disable)。端子が Disable に設定されているとき、内蔵プルアップ抵抗とプルダウン抵抗を切断すると、端子は Hi-Z に設定されます。

内蔵プルアップ抵抗、内蔵プルダウン抵抗は表 4-3 に記載の API またはレジスタにより On/Off の設定が可能です。

入力データは、表 4-3 に記載の手段により取得することができます。

#### 4.6.4. 汎用出力機能

GPIO 端子に表 2-2 の機能 0 が割り当てられているとき、表 4-3 に記載の API またはレジスタにより、汎用出力機能を有効にすることができます。出力データは、表 4-3 に記載のレジスタを使用することで、端子ごとまたは複数端子の出力データを一度に設定することができます。各端子が出力するデータは、いずれのローパワーモードに遷移したときも保持します。

#### 4.6.5. I/O ラッチ機能

Sleep モード、Backup モード、Deep Sleep モードの各ローパワーモードに遷移するとき、TC35681 は直前の端子設定を保持したままローパワーモードに遷移します。

ハードウェアリセットでラッチの設定は初期化されます。

#### 4.6.6. 割り込み機能

##### 4.6.6.1. Active モード時の割り込み

全ての GPIO 端子に対して、外部入力による割り込みを設定することができます。GPIO 端子の設定方法などを表 4-4 に示します。割り込みの設定は表 4-4 に記載された設定方法により設定ができ、次のいずれか 1 つを割り当てることができます。

- エッジ検出による割り込み(立ち上がり/立ち下がり/両エッジ)
- レベル検出による割り込み(Hレベル/Lレベル)
- 割り込み禁止(検出 Off)

初期値の設定は割り込み禁止です。

API により設定、要因取得などができますので、レジスタを直接操作する必要はありません。

TC35681 は、ローパワーモードに遷移した状態ではこの割り込みを検出しません。

表 4-4 割り込み要因の取得、クリア、コールバック関数

種別	設定方法	
	API	レジスタ
割り込みの設定	SYS_API_SetGpioCfgReg	GPIO_CFG
割り込み要因の取得	ユーザが登録したコールバック関数の引数に、割り込みが発生した GPIO の情報が渡されます。 SYS_API_HwGpioIntHandlerInstall を利用してください。	—
割り込み要因のクリア	内蔵ファームウェアにより自動クリアされます。	—
コールバック登録関数	SYS_API_HwGpioIntHandlerInstall	—

#### 4.6.6.2. Sleep、または Backup モード時のウェイクアップ

ANYKEY ウェイクアップには既知の不具合があります。Known Issues に既知の不具合と対策をまとめていますので、併せてご確認ください。

Sleep、または Backup モード中、全ての GPIO 端子に対する外部入力で TC35681 をウェイクアップすることができます (ANYKEY ウェイクアップ)。ANYKEY ウェイクアップは User-App モードで使用可能です (HCI モードでは使用しません)。

ANYKEY ウェイクアップの設定および割り込み要因の取得、クリア、コールバック関数の API を表 4-5 に示します。

ANYKEY ウェイクアップは表 4-5 に記載の HCI コマンド、API により設定ができ、次のいずれか 1 つを割り当てることができます。

- エッジ検出による割り込み(立ち上がり/立ち下がり/両エッジ)
- 割り込み禁止(検出 Off)

外部入力によるウェイクアップをローパワーモード遷移前に検出したときは、いったんモード遷移を完了してからウェイクアップシーケンスを開始します。

TC35681 は次の条件のとき、ANYKEY ウェイクアップを設定すると、ANYKEY ウェイクアップを検出しますのでご注意ください。

- スリープクロックの発振が安定してから 2 クロック( $=1 / f_{\text{SLEEPCLK}} \times 2$ )以内に設定したとき
- 外部に H レベルを入力しながら立ち上がり検出を設定したとき
- L レベルを入力しながら立ち下がり検出を設定したとき

ANYKEY ウェイクアップでは、割り込みを検出後、次の割り込みを検出するまでの間に、 $1/f_{\text{SLEEPCLK}}$  以上の非アクティブな期間が必要です。

表 4-5 ANYKEY ウェイクアップ割り込み要因の取得、クリア、コールバック関数

種別	API
割り込みの設定	SYS_API_SetWakeInt()
割り込み要因の取得	SYS_API_GetWakeUpCauseValue()
割り込み要因のクリア	内蔵ファームウェアにより自動クリアされます
コールバック登録関数	SYS_API_SetCallbackPMUTimInt()

後述の GPIO0、GPIO15 のウェイクアップ機能は Sleep または Backup、Deep Sleep モード時も使用可能です。

#### 4.6.6.3. Deep Sleep モード時のウェイクアップ(GPIO0、GPIO15 によるウェイクアップ)

Deep Sleep モード中は GPIO0 または GPIO15 端子に対する外部入力でのみ、TC35681 をウェイクアップすることができます。GPIO0 または GPIO15 によるウェイクアップの設定および割り込み要因の取得、クリア、コールバック関数の API を表 4-6 に示します。

ウェイクアップは表 4-6 に記載の API により端子ごとに設定ができ、次のいずれか 1 つを割り当てることができます。

- ✓ レベル検出による割り込み機能(Hレベル/Lレベル)
- ✓ 割り込み禁止(検出 Off)

外部入力によるウェイクアップをローパワーモード遷移前に検出したときは、いったんモード遷移を完了してからウェイクアップシーケンスを開始します。

表 4-6 GPIO0、GPIO15 ウェイクアップ割り込み要因の取得、クリア、コールバック関数

種別	API
割り込みの設定	SYS_API_SetDeepSleep()
割り込み要因の取得	SYS_API_GetWakeUpCauseValue()
割り込み要因のクリア	なし
コールバック登録関数	なし

## 4.7. UART インタフェース

### 4.7.1. 特長

UART インタフェースには下記の特長があります。

- ✓ 入出力電圧の基準: VDDIO
- ✓ 全 2 重、2 線式調歩同期転送(受信データ、送信データ)
- ✓ 全 2 重、4 線式調歩同期転送(受信データ、送信データ、入力フロー制御、出力フロー制御)
- ✓ 設定により、2 線式調歩同期転送または 4 線式調歩同期転送のいずれかを選択可能
- ✓ チャンネル数 QFN パッケージ: 2
- ✓ フレームフォーマット
  - ◇ Data bit: 8 ビット (LSB first)
  - ◇ Parity bit: No parity / odd / even
  - ◇ Stop bit: 1 ビット/2 ビット
  - ◇ Flow control: RTSX/CTS (オプション)
- ✓ プログラマブルボーレート設定
  - ◇ HCI モード、Complete モード時: 9600 bps ~ 921.6 kbps
  - ◇ User-App モード時: 600 ~ 2000 kbps (ボーレートの上限は 2000 kbps 以下となり、ユーザアプリケーションに依存します。)
- ✓ エラー検出機能
  - ◇ 受信タイムアウトエラー
  - ◇ タイムアウト時間 (HCI モード時: 5 ms(初期値)、Complete モード/User-App モード時: 1.04 ms (115.2 kbps 時))
  - ◇ 受信オーバーランエラー
  - ◇ 受信フレーミングエラー
- ✓ ホストウェイクアップ機能

HCI モード/Complete モード動作時、TC35681 は、UART インタフェースを介して、ホスト CPU とコマンド、ステータス、データを通信します。これらのモードを使用したとき、内蔵ファームウェアが UART1 をホストインタフェースとして GPIO 端子に割り付け(機能 1 を割り当て)ます。詳細は 2.3 節および 3.4.1 項を参照してください。

User-App モードでは、2 チャンネルの UART を使用することができます。GPIO への割り当ては 2.3 節を参照してください。

HCI モードではボーレートとフロー制御の設定変更ができます。

VDDIO 供給電源電圧に応じた動作電圧で動作が可能です。ただし、他のハードウェアインタフェースと電源供給口を共用しているため、UART インタフェース単独を異なる動作電圧で使用することはできません。

UART インタフェースの端子は GPIO 端子と兼用しており、ソフトウェア制御による割付が可能です。

4.7.2. 接続例(HCI モードでのホストインタフェース)

UART インタフェースは UART 機能を持つホスト CPU と接続可能です。

2 線式調歩同期転送(受信データ、送信データ)でのホスト CPU との接続例を図 4-3 に示します。HCI モードを選択したときは、内蔵ファームウェアが GPIO を UART に割り付けます。HCI モードにおける GPIO 端子への UART 機能割り付けのタイミングを図 4-4 に示します。

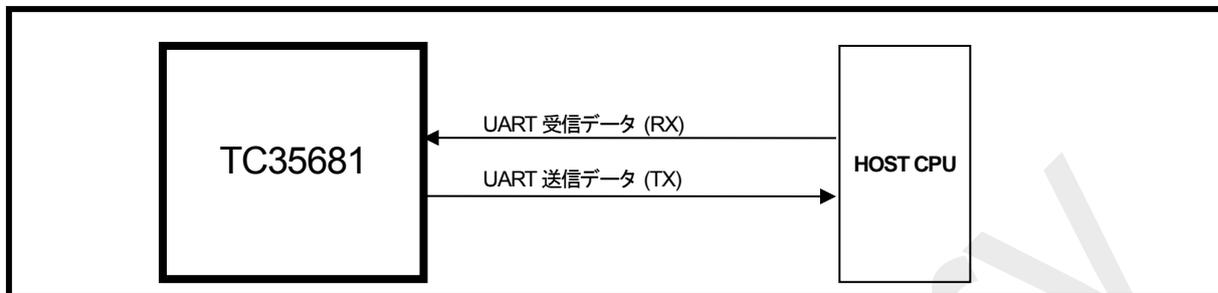


図 4-3 UART 接続例

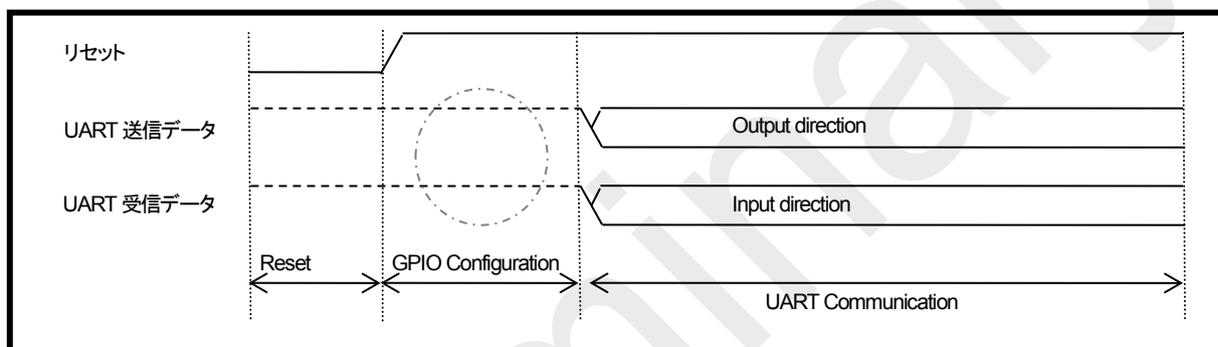


図 4-4 UART 機能割り付けタイミング

### 4.7.3. フレームフォーマット

TC35681 でサポートされるフォーマットは、下記となります。

- ✓ Data bit 長: 8 ビット (LSB first)
- ✓ Parity bit: No parity / odd / even
- ✓ Stop bit 長: 1 ビット/2 ビット
- ✓ Flow control: RTSX/CTSX (オプション)

UART データフレームの一例を図 4-5 に示します。

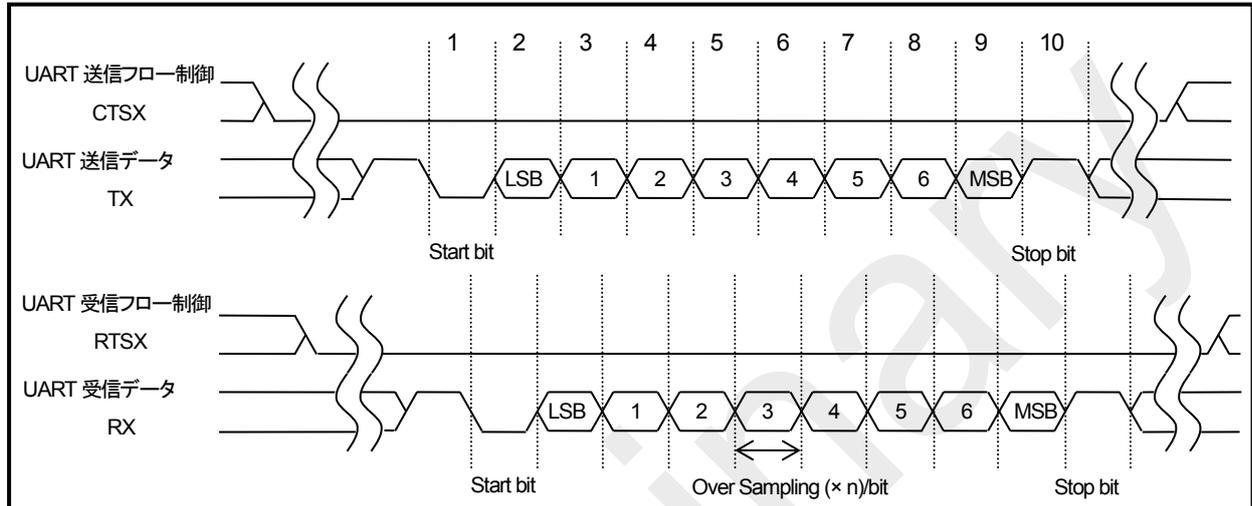


図 4-5 データフレーム

### 4.7.4. フロー制御機能

TC35681 の GPIO 端子を UART 4 線式のインターフェースに割り当てた場合に、ハードウェア信号によるフロー制御機能が使用可能になります。これらの信号の入出力方向は、図 4-6 を参照してください。

フロー制御はバッファオーバーフローを防止するために使用することができます。

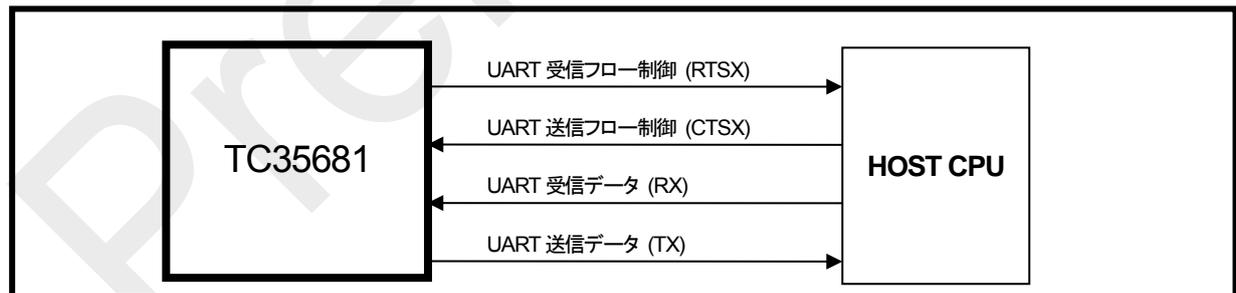


図 4-6 UART 接続例

CTSX (Clear to Send)入力信号が H レベルのとき、TC35681 は UART-TX によるデータ送信をフレームの単位で停止します。CTSX 入力信号が L レベルのとき、TC35681 は UART-TX によるデータ送信を開始します。送信するデータがないときは送信しません。

RTSX (Request to Send)出力信号を H レベルにして、ホスト CPU からの送信停止を要求します。

RTSX 出力信号を L レベルにして、ホスト CPU からの送信開始を許可します。

フロー制御信号に対する UART 送受信のレスポンスタイムは、ボーレートやフレームの内部処理状態に依存し、最小 1 フレームから、最大 4 フレームの間となります。

### 4.7.5. ボーレートの設定

(1) HCI コマンドによる設定(HCI モード)

HCI コマンド” HCI\_M2\_BTL\_SET\_BAUDRATE”により設定ができます。詳細は「Command Document」を参照してください。

ボーレートは次のコマンドにより設定できます。

拡張 HCI コマンド: HCI\_M2\_BTL\_SET\_BAUDRATE

(2) API による設定(UART1 のみ)(User-App モード)

TC35681 の UART1 のボーレート設定は API “uart1\_Set\_BaudRate()” により設定ができます。現在のボーレートの状態は API “uart1\_Read\_BaudRate()”により確認することができます。

詳細は「Programming Guide」を参照してください。

(3) レジスタによる設定(User-App モード)

TC35681 の UART ボーレートは、基本クロック(32 MHz)から生成され、UART<sub>x</sub>\_IBRD レジスタ、UART<sub>x</sub>\_OVCR レジスタおよび UART<sub>x</sub>\_FBRD レジスタにより、ボーレートの設定をすることができます(x = 1 は UART1、x = 2 は UART2 用のレジスタ)。

TC35681 に設定することができる代表的な実ボーレートと理想ボーレートからの誤差を表 4-7 に示します。TC35681 は実ボーレートに対する誤差が±2%までのデータを受信することができます。ホスト CPU のボーレートをこの範囲に設定して使用してください。

表 4-7 代表的な UART ボーレート設定

理想ボーレート [bps]	実ボーレート [bps]	UART <sub>x</sub> _IBRD レジスタ	UART <sub>x</sub> _FBRD レジスタ	UART <sub>x</sub> _OVCR レジスタ	偏差 [%]
600	600.01	0x115c	—	0x25	0.01
1200	1200.12	0x08ae	—	0x25	0.01
2400	2400.24	0x0457	—	0x25	0.01
4800	4801.92	0x01dc	—	0x37	0.04
7200	7207.21	0x0172	—	0x25	0.1
9600	9603.84	0x00ee	—	0x37	0.0400
14400	14414.41	0x00b9	—	0x25	0.1001
19200	19207.68	0x0077	—	0x37	0.0400
28800	28828.83	0x004a	—	0x48	0.1001
38400	38415.37	0x0031	—	0x5a	0.0400
57600	57657.66	0x0025	—	0x48	0.1001
76800	76923.08	0x0020	—	0x36	0.1603
115200	115211.52	0x0011	0x17	0x49	0.0100
153600	153615.36	0x0011	0x17	0x25	0.0100
230400	230319.39	0x000b	0x25	0x25	-0.0350
307200	306954.44	0x0008	0x2c	0x25	-0.0799
460800	460638.78	0x0005	0x16	0x36	-0.0350
921600	920863.31	0x0002	0x0b	0x49	-0.0799
1843200	1845045.05	0x0001	0x0a	0x48	0.1001
2000000	2000000	0x0001	—	0x49	0.0000

注: x = 1 は UART1、x = 2 は UART2 用

#### 4.7.6. UART メッセージ識別機能(メッセージ間スペーシング機能)

TC35681 の Complete モードの UART 通信は、UART メッセージの境界を識別するために、メッセージ間スペースを使用します。メッセージ間スペースとは、UART インタフェース上に一定期間データが流れない時間を示します。1 つのメッセージは、メッセージ間スペースに挟まれる 1 つ以上のフレームによって構成されます。

HCI モードではメッセージ間スペースを空けることなく、送受信することができますが、連続で送受信できる HCI コマンド数には制限があり、最大 8 つです。

フレームによって構成されるメッセージと、メッセージ間の境界を、図 4-7(送信フレーム)と図 4-8(受信フレーム)に示します。各フレーム間が 12 フレーム(初期値)未満の間隔で連続的に送信、または受信された場合、それは 1 つのメッセージとして処理されます。また各フレーム間が 12 フレーム以上の間隔を空けて送信、または受信された場合、それらは異なるメッセージとして処理されます。ホスト CPU 側は、12 フレームの時間間隔を計測することで送信メッセージの境界を判定することが可能です。例えば 115.2 kbps の場合は、1 フレーム時間が 0.087 ms なので、 $(0.087 \text{ ms} \times 12) = 1.04 \text{ ms}$  以上の隙間をメッセージ間スペースとみなしてください。TC35681 はフレームの時間間隔を内部タイマで計測し、メッセージの境界を判定します。TC35681 はメッセージ受信中に、メッセージ間スペース境界を検出したとき、受信タイムアウトエラーとして通知します。受信タイムアウトの時間は User-App モード時、デフォルト値は 12 フレーム(1.04 ms、115.2 kbps 時)になります。この時間は変更が可能です。

受信タイムアウトエラーについては 4.7.7 項を参照してください。

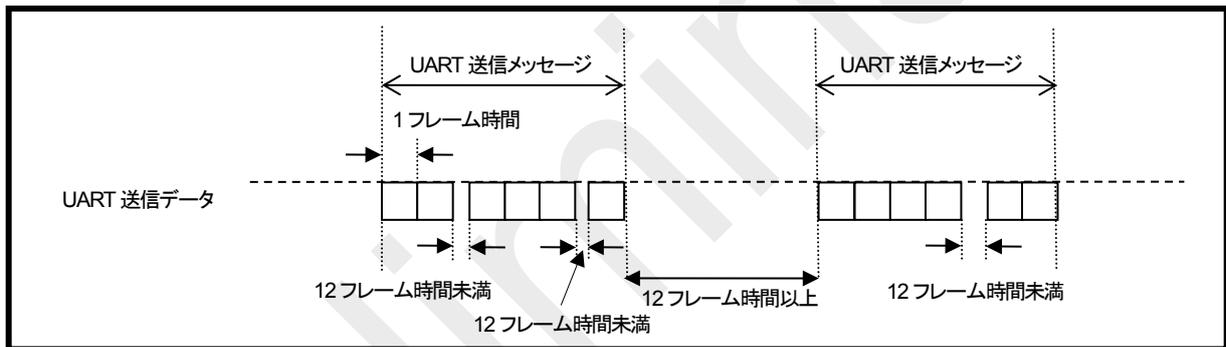


図 4-7 送信フレームと送信メッセージ

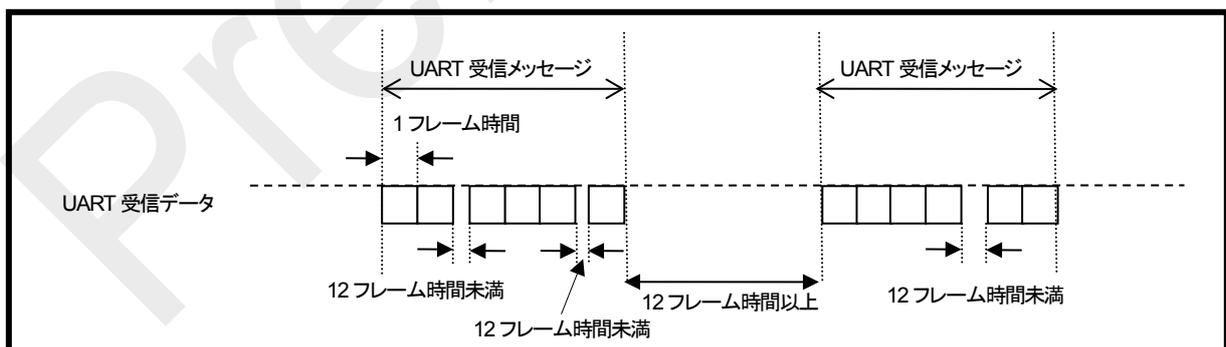


図 4-8 受信フレームと受信メッセージ

#### 4.7.7. エラー検出機能

TC35681 の UART インタフェースには 3 種類のエラー検出機能があります。

- ✓ 受信タイムアウトエラー
- ✓ 受信オーバーランエラー
- ✓ 受信フレーミングエラー

##### 4.7.7.1. 受信タイムアウトエラー

タイムアウト時間の設定可否は動作モード、設定対象により異なります。表 4-8 にタイムアウト時間の設定可否を示します。受信タイムアウトを有効にすると、データ通信がなくてもタイムアウトエラーが通知されます。本設定は無効にすることができます。

表 4-8 タイムアウト時間の設定可否と初期値

動作モード	HCI モード	Complete モード	User-App モード	
設定方法	HCI コマンド	HCI コマンド	API	レジスタ
設定対象	UART1 のみ	UART1 のみ	UART1 のみ(注 2)	UART1/UART2
タイムアウト設定・初期値	無効	有効	無効	無効
初期タイムアウト時間	5 ms (注 1)	1.04 ms	ユーザ指定値	レジスタ初期値
受信時	設定可能	設定可能	設定可能	設定可能

注 1: 5 ms を超えるとエラーになります。

注 2: User-App モードで、API を利用して設定できるのは UART1 のみです。UART2 を利用する場合はレジスタにより設定をしてください。

##### 4.7.7.2. 受信オーバーランエラー

受信オーバーランエラーは、TC35681 内部の UART 受信フレームバッファがオーバーフローした場合に、エラーと判定します。通常、4.7.4 項のフロー制御機能に従ってデータが送受信される場合には、本オーバーフローは生じません。

##### 4.7.7.3. 受信フレーミングエラー

受信フレーミングエラーは、ストップビットの検出タイミングで、“0”を検出するとエラーと判定します。

#### 4.7.8. ホストウェイクアップ機能

TC35681 は、UART へ送信メッセージを送信する前にホスト CPU がウェイクアップするための信号を出力することが可能です。この機能はデフォルトで無効ですが、HCI コマンドや API で指定した GPIO 端子にホストウェイクアップ機能を割り付けることが可能です。また、ホストウェイクアップ時間も、HCI コマンドで変更することが可能です(デフォルトは 10 ms)。この機能は Complete モードで使用可能です。

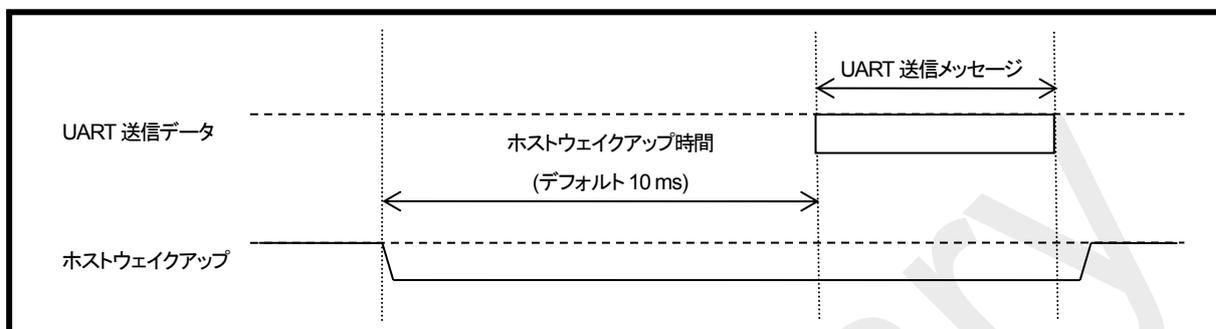


図 4-9 ホストウェイクアップ

## 4.8. SPI インタフェース

### 4.8.1. 特長

シリアルペリフェラルインタフェースには下記の特長があります。

- ✓ 入出力電圧の基準: VDDIO
- ✓ チャンネル数 QFN パッケージ: 2
- ✓ SPI 機能
  - ◇ チップセレクト: QFN2 チャンネル
  - ◇ チップセレクト極性: High アクティブと Low アクティブのいずれかを選択可能
  - ◇ シリアルクロックマスタ動作: クロックの極性と位相を調整可能(4 種類の組み合わせの中から選択)
  - ◇ シリアルクロック周波数: 8 kHz ~ 16 MHz
  - ◇ シリアルデータ転送方式: MSB ファースト、LSB ファーストの両方に対応

VDDIO 供給電源電圧に応じた動作電圧で動作が可能です。ただし、他のハードウェアインタフェースと電源供給口を共用しているため、SPI インタフェース単独を異なる動作電圧で使用することはできません。

### 4.8.2. 接続例

SPI インタフェースは Serial EEPROM や Serial Flash-ROM を接続可能です。

SPI インタフェースには 1 本のチップセレクト端子があります。TC35681 の SPI インタフェースに Serial Flash-ROM を接続する例を図 4-10 に示します。



図 4-10 SPI インタフェースによる Serial Flash-ROM 接続例

### 4.8.3. フレームフォーマット

SPI インタフェースで外部 IC に接続する場合、最初の 8 ビット (x7 ~ x0) でアドレスとリード/ライト種別などを指定します。コマンド識別コード体系とアドレスビット幅は、使用する外部 IC の仕様に合わせて合わせる必要があります。詳しいフォーマットは外部 IC の技術資料をご確認ください。

図 4-11 に、アドレス 8 ビットライト後に 8 ビットのデータをリードした例を示します。

図 4-12 に、アドレス 8 ビットライト後に 8 ビットのデータをライトした例を示します。

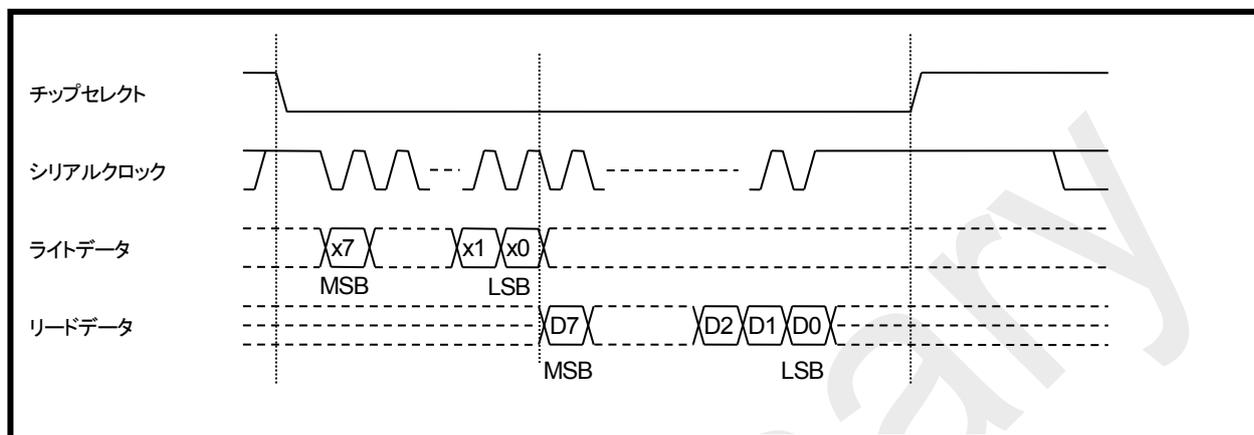


図 4-11 SPI フォーマット(シングルバイトリード)

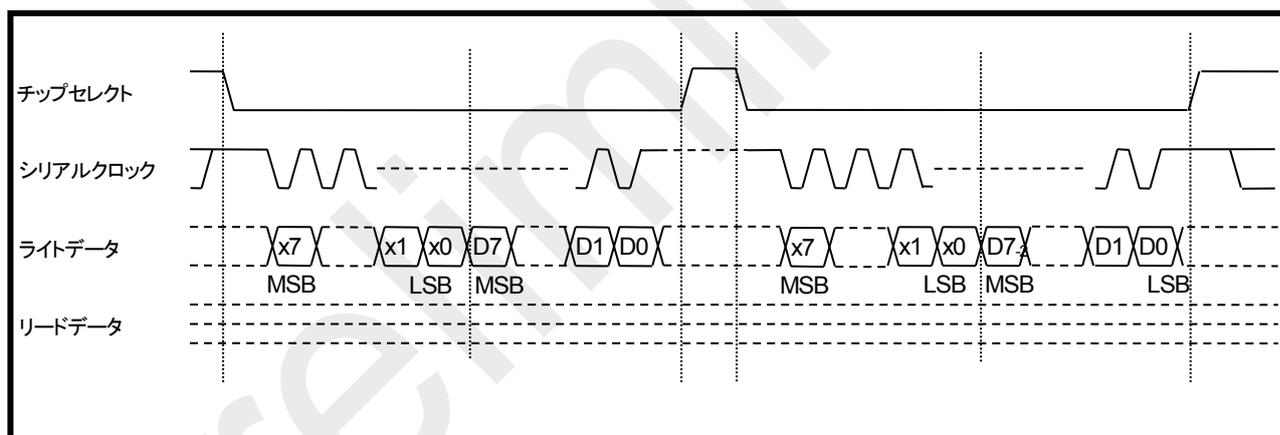


図 4-12 SPI フォーマット(シングルバイトライト)

## 4.8.4. SPI クロック

SPI クロックは SPI タイミングコントロールレジスタ (SPI\_TIMINGCONTROL)により設定することができます。

SPI\_TIMINGCONTROL レジスタ内に配置された 1bit の div フィールド、2bit の PRS フィールド、8bit の BASE フィールドにより SPI クロックの周波数を決めることができます。

表 4-9 に SPI クロック周波数の計算式を示します。

表 4-9 SPI クロック周波数算出式

div フィールド	PRS フィールド	BASE フィールド	SPI クロック周波数 [MHz]
0 (初期値)	00 (初期値)、01	1 ~ 255 (0: 設定禁止)	基本クロック周波数 ÷ (2 <sup>PRS</sup> × BASE × 2)
	02、03		基本クロック周波数 ÷ {(2 <sup>PRS</sup> × BASE × 2) + 2}
1	00 ~ 03	1: (初期値)	基本クロック周波数 ÷ (2 <sup>PRS</sup> × BASE × 2)

表 4-10、表 4-11 に基本クロックが 32 MHz のときの代表的な SPI クロックの周波数を示します。

表 4-10 div = 0 時の SPI クロック周波数(MHz)

BASE	PRS			
	0	1	2	3
1	16.000	8.000	3.200	1.778
2	8.000	4.000	1.778	0.941
3	5.333	2.667	1.231	0.640
4	4.000	2.000	0.941	0.485
5	3.200	1.600	0.762	0.390
6	2.667	1.333	0.640	0.327
7	2.286	1.143	0.552	0.281
8	2.000	1.000	0.485	0.246
9	1.778	0.889	0.432	0.219
10	1.600	0.800	0.390	0.198
16	1.000	0.500	0.246	0.124
32	0.500	0.250	0.124	0.062
64	0.250	0.125	0.062	0.031
128	0.125	0.063	0.031	0.016
255	0.063	0.031	0.016	0.008

表 4-11 div = 1 時の SPI クロック周波数(MHz)

BASE	PRS			
	0	1	2	3
1	16.000	8.000	4.000	2.000
2	8.000	4.000	2.000	1.000
3	5.333	2.667	1.333	0.667
4	4.000	2.000	1.000	0.500
5	3.200	1.600	0.800	0.400
6	2.667	1.333	0.667	0.333
7	2.286	1.143	0.571	0.286
8	2.000	1.000	0.500	0.250
9	1.778	0.889	0.444	0.222
10	1.600	0.800	0.400	0.200
16	1.000	0.500	0.250	0.125
32	0.500	0.250	0.125	0.063
64	0.250	0.125	0.063	0.031
128	0.125	0.063	0.031	0.016
255	0.063	0.031	0.016	0.008

## 4.9. I<sup>2</sup>C インタフェース

### 4.9.1. 特長

I<sup>2</sup>C インタフェースには下記の特長があります。

- ✓ 入出力電圧の基準: VDDIO
- ✓ チャンネル数: QFN パッケージ: 2
- ✓ I<sup>2</sup>C バスインタフェース
  - ◇ I<sup>2</sup>C バスマスタ動作、スレーブ動作(マルチマスタ動作には対応していません)
  - ◇ クロックストレッチに対応
  - ◇ シリアルクロック周波数: 標準モード(Max 100 kHz)、ファストモード(Max 400 kHz)
  - ◇ シリアルクロック出力モード: オープンドレイン出力、CMOS 出力の選択可能
  - ◇ デバイスアドレスフォーマット: 7-bit アドレスに対応(10-bit アドレスには非対応)

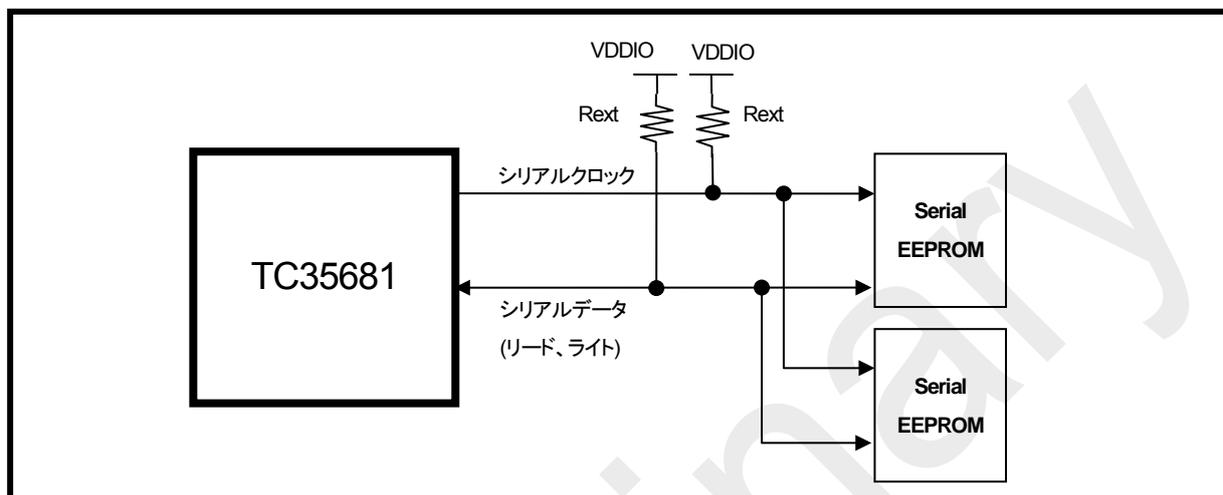
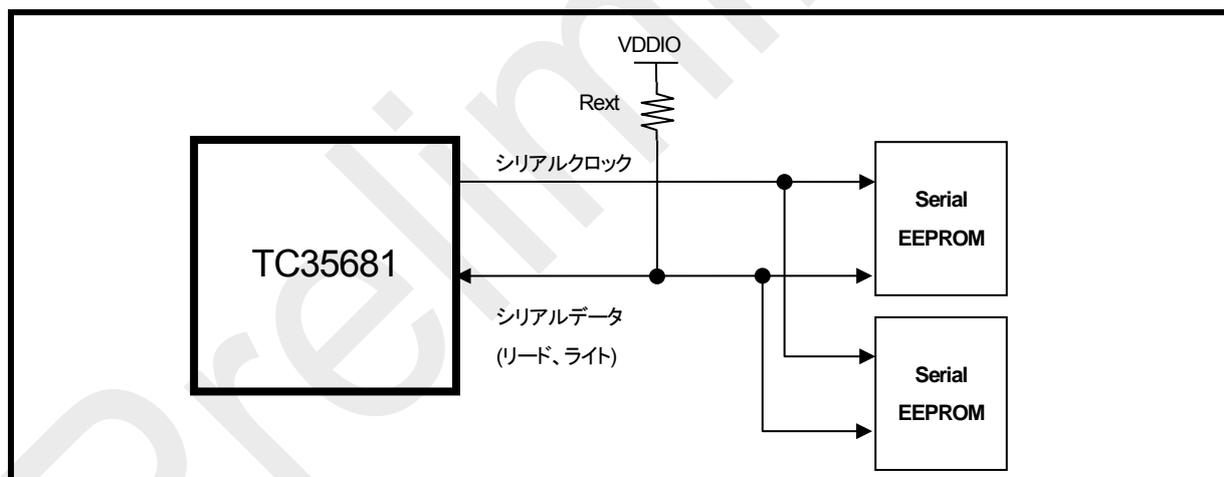
VDDIO 供給電源電圧に応じた動作電圧で動作が可能です。ただし、他のハードウェアインタフェースと電源供給口を共用しているため、I<sup>2</sup>C インタフェース単独を異なる動作電圧で使用することはできません。

User-App モードとして使用するとき、チャンネル 1 をユーザアプリケーション保存用のメモリインタフェースとして占有します。詳細は 3.4.3 項を参照してください。

## 4.9.2. 接続例

I<sup>2</sup>CによるSerial EEPROMの接続例を図 4-13、図 4-14 に示します。2つ以上のEEPROMを接続するときは、それぞれの個体を識別するために、スレーブアドレスの下位3bitに異なる値を設定してください。

オープンドレイン出力モードで使う場合は、図 4-13 のようにシリアルクロックラインとデータラインに、外付けプルアップ抵抗 (R<sub>ext</sub>)を接続する必要があります。一方、CMOS 出力モードの場合は、TC35681 が常時 H、または L レベルのクロックをドライブするため、クロックラインのプルアップ抵抗(R<sub>ext</sub>)は不要です。データラインのプルアップ抵抗(R<sub>ext</sub>)を、未接続にすることはできません。

図 4-13 I<sup>2</sup>C(オープンドレイン出力モード)による Serial EEPROM 接続例図 4-14 I<sup>2</sup>C(CMOS 出力モード)による Serial EEPROM 接続例

### 4.9.3. 外付け Pull-up 抵抗値の選択

I<sup>2</sup>C の通信を妨げないように、適切な外付けプルアップ抵抗を選択する必要があります。この抵抗値の上限(Rext\_max)は、I<sup>2</sup>C バス規格に規定されているシリアルクロックとシリアルデータの立ち上がり時間(tr)と I<sup>2</sup>C バス容量(Cb)により、式(1)によって決定されます。一方、Pull-up 抵抗値の下限値(Rext\_min)は、供給電圧(VDDIO)、Low レベル出力電圧の最大値(Vol\_max)、Low レベル出力電流を用い、式(2)によって決められます。外付け Pull-up 抵抗値は、これらの上限値と下限値の範囲内に設定するようにしてください。

$$R_{ext\_max} = \frac{tr}{0.8473 \times Cb} \quad (1)$$

$$R_{ext\_min} = \frac{VDDIO - Vol\_max}{I_{ol}} \quad (2)$$

TC35681 は標準モード(Max 100 kHz)とファストモード(Max 400 kHz)に対応します。tr は、標準モードで 1000 ns、ファストモードで 300 ns 以下となることが必要です。Cb は、IC 実装基板や実装状況に応じて変わります。Cb を 20 pF と仮定した場合の Rext\_max、Rext\_min を表 4-12、表 4-13 にまとめます。

表 4-12 I<sup>2</sup>C 標準モードでの外付け Pull-up 抵抗値 (I<sup>2</sup>C バス容量を 20 pF と仮定)

I <sup>2</sup> C バス周波数	Max 100 kHz								
tr [ns]	1000								
Cb [pF]	20								
VDDIO [V]	1.8			3.0			3.6		
Vol_max [V]	0.3			0.4			0.4		
I <sub>ol</sub> [mA]	1	2	4	1	2	4	1	2	4
Rext_min [kΩ]	1.50	0.75	0.38	2.60	1.30	0.65	3.20	1.60	0.80
Rext_max [kΩ]	59.01								

表 4-13 I<sup>2</sup>C ファストモードでの外付け Pull-up 抵抗値 (I<sup>2</sup>C バス容量を 20 pF と仮定)

I <sup>2</sup> C バス周波数	Max 400 kHz								
tr [ns]	300								
Cb [pF]	20								
VDDIO [V]	1.8			3.0			3.6		
Vol_max [V]	0.3			0.4			0.4		
I <sub>ol</sub> [mA]	1	2	4	1	2	4	1	2	4
Rext_min [kΩ]	1.50	0.75	0.38	2.60	1.30	0.65	3.20	1.60	0.80
Rext_max [kΩ]	17.70								

4.9.4. 転送フォーマット

I<sup>2</sup>C バスでは、データは MSB ファーストで転送されます。

また、バスに接続されているデバイスは、固有のデバイス識別用のアドレス(スレーブアドレス)を持ちます。スレーブアドレスは、デバイスに応じて決定されています。

最初に、マスタデバイスがスタートコンディションとスレーブアドレス、R/ $\overline{W}$  ビットを送信します。

マスタデバイスが送信したスレーブアドレスを持つスレーブデバイスは、受信確認ビット(ACK: Acknowledge bit)をマスタデバイスに返します。ACK を受け取ったマスタデバイスは、送信した R/ $\overline{W}$  ビットに応じて、データの転送を行います。

データ転送では、データを受信するデバイスが、1 バイトのデータを受信することに、受信確認ビット(ACK: Acknowledge bit)または受信否認ビット(NACK: Not Acknowledge bit)をデータの送信をするデバイスに返します。

ACK を受け取った送信デバイスは、次のデータを送信します。NACK を受け取った送信デバイスは、次のデータ送信を停止し、SDA を Hi-Z にします。

データの転送が終了すると、マスタデバイスはストップコンディションを送信し、I<sup>2</sup>C バスの転送は終わります。

図 4-15 と図 4-16 に、TC35681 がマスタデバイスときの、シリアルメモリとのリード、ライトの例を示します。

どちらの例も、2 バイトのデータを転送します。図の中で、黒の文字と線は、TC35681 が出力する信号です。灰色の文字と線はシリアルメモリが送信する信号です。

リードの例では、スレーブアドレスのあとに、リードするデータの先頭アドレスを示す先頭バイトアドレス([B7:B0])を送信します。その後、再スタートを行いデータ転送の方向を送信から受信に変更し、シリアルメモリからデータをリードします。2 バイト目のデータ受信の最後で NACK をシリアルメモリに返し、ストップコンディションを発生して、リードを終了します。

ライトの例では、スレーブアドレスのあとに、ライトするデータの先頭アドレスを示す先頭バイトアドレス([B7:B0])を送信します。その後、ライトするデータを送信します。2 バイト目のデータを送信した後、シリアルメモリからの ACK を受信して、ストップコンディションを発生して、ライトを終了します。

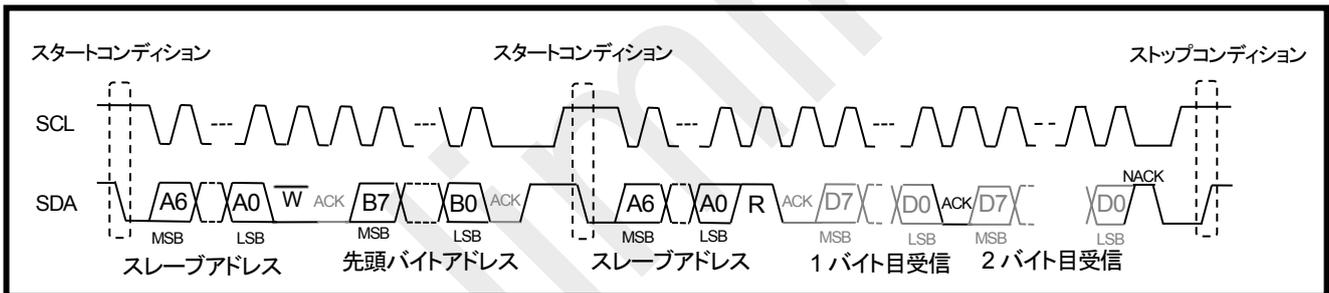


図 4-15 I<sup>2</sup>C の転送フォーマット(シリアルメモリからのリード(2 バイト))

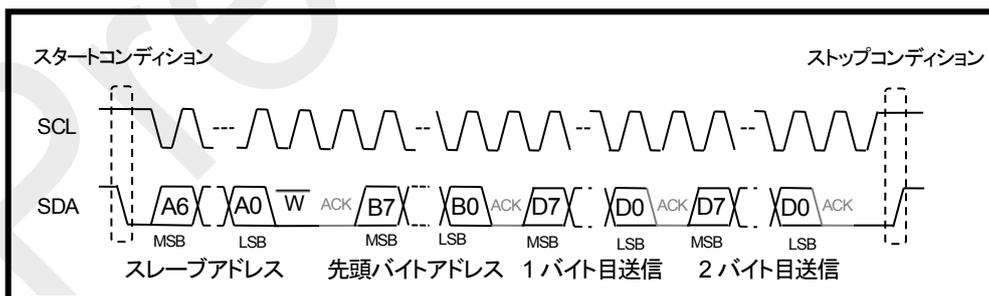


図 4-16 I<sup>2</sup>C フォーマット(シリアルメモリへのライト(2 バイト))

## 4.10. PWM インタフェース

### 4.10.1. 特長

PWM インタフェースには下記の特長があります。

- ✓ 入出力電圧の基準: VDDIO
- ✓ パルス生成機能
- ✓ チャンネル数: QFN パッケージ 4
- ✓ 16 MHz(基本クロックの 2 分周)、32.768 kHz の 2 種類のクロックソースから選択してパルス発生が可能。
- ✓ 分周設定により以下の周波数の出力設定が可能。
  - ◇ 8 Hz ~ 16.384 kHz (32.768 kHz 系クロック使用時、最大 12-bit、1/4096)
  - ◇ 0.954 Hz ~ 8 MHz (16 MHz 系クロック使用時、最大 12-bit × 2、1/16777216)
- ✓ パルス出力を、50 ms 単位(1 例)で、1 s 周期の規則的なパターンでマスクできます(リズム機能)
- ✓ リズムパターン周期 1 s に同期した割り込みを発生できます。
- ✓ パルスを反転した出力に切り替えることができます。
- ✓ パルス出力のデューティ比を調節可能です。
- ✓ パルス出力の同期機能により、PWM 各端子からの出力を同期することができます。

TC35681 は LED、ブザー制御などに使用可能な PWM インタフェースを内蔵しています。

VDDIO 供給電源電圧に応じた動作電圧で動作が可能です。ただし、他のハードウェアインタフェースと電源供給口を共用しているため、PWM インタフェース単独で異なる動作電圧で使用することはできません。

### 4.10.2. パルス生成機能

PWM パルス波形を図 4-17 に示します。

周期を可変することによりパルス信号の周波数を調整できます。デューティ比を可変することで ON と OFF の比率を制御できます。

周波数は、8 Hz ~ 16.384 kHz (32.768 kHz クロック使用時)、0.954 Hz ~ 8 MHz (16 MHz クロック使用時)の間で設定できます。

デューティ比は 0 ~ 100 %の間で設定できます。

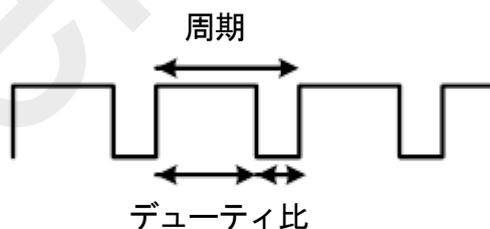


図 4-17 PWM パルス波形

4.10.3. リズム機能 (出カマスク)

図 4-18 に PWM リズム機能の概要を示します。TC35681 は、パルス生成機能とは別に、クロックソースの周期が 50 ms(1 例)のリズムカウンタを内蔵しています。20 ビットのレジスタ(パターンレジスタ)を持っており、各 bit が 50 ms ごとにカウントダウンするリズムカウンタと対応しています。パターンレジスタが 0 の時は PWM 出力がマスクされ 0 or 1 となります。これにより 1 s 周期の規則的なパターンで LED の点滅やブザーを鳴らすことが可能となります。

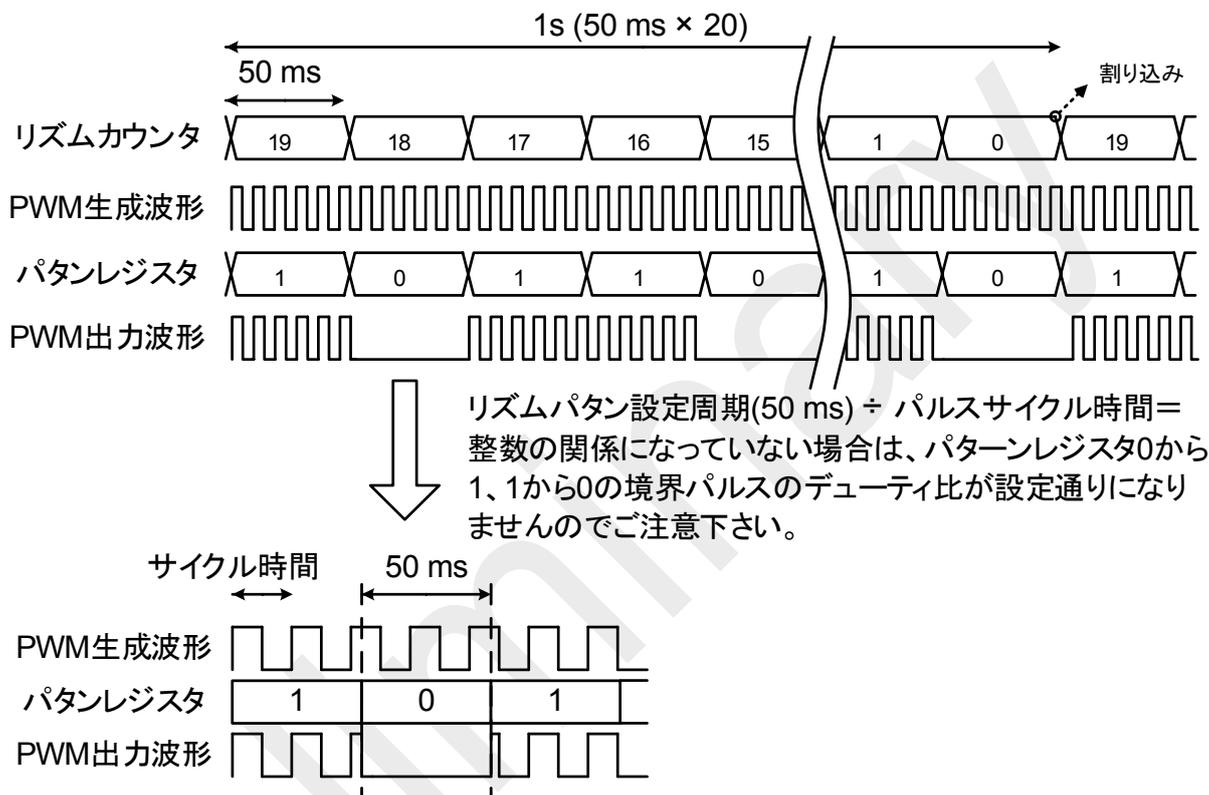


図 4-18 PWM リズム機能の出カマスク

## 4.11. ADC (AD コンバータ)

### 4.11.1. 特長

本 IC は電源電圧(VBAT)測定、外部センサからのアナログ電圧入力など汎用電圧測定用に使用可能な 10/12 ビット AD コンバータ (ADC)を内蔵しています。

ADCには下記の特長があります。

- ✓ 入出力電圧の基準: VDDIO
- ✓ 汎用電圧測定用(GPIO 端子と兼用) QFN パッケージ: 5 チャンネル
- ✓ 電源電圧(VBAT)測定用 1 チャンネル (ADC0) IC 内部で VDDCORE2(1.2 V の固定電圧)に接続
- ✓ 最大サンプリングレート 1 MS/s (ただし連続信号を取り込む機能は備えていません)
- ✓ 10ビット/12ビットが選択可能(デフォルトは 10ビット)

任意に使用可能な ADC のチャンネルは、VDDCORE2 に接続されている電源電圧(VBAT)測定用のチャンネル 0 以外になります。

GPIO 端子を ADC の汎用電圧測定用アナログ入力に割り付けるときは、該当端子を入力スタンバイに設定、プルアップ抵抗、プルダウン抵抗を切断する必要があります。具体的な端子情報については 2.3 節を、端子の設定方法については 4.6.2 項を参照してください。

ADC の設定制御は GPADCC\_CTRL レジスタにより行います。読み出すチャンネルは GPADCC\_SELAIN レジスタによりチャンネルを 1 つ指定します。データの読み出しは GPADCC\_DATA レジスタでおこない、AD 変換後のデジタル値として 10 ビットを指定したときは 11~2 ビットに 10 ビットの値がセットされます。12 ビットを指定したときは 11~0 ビットに 12 ビットの値がセットされます。

全てのチャンネルを同時に読み出すことはできません。割り込みまたはレジスタポーリングで変換完了を検知することができます。最大サンプリングレートは CPU の使用率に依存します。

汎用電圧測定用の AD コンバータ端子には、VDDIO の電圧を越える信号を入力しないでください。

### 4.11.2. 機能説明

汎用電圧測定用 ADC のチャンネルには、0~VDDIO 入力電圧(V)のアナログ信号を入力できます。ADC のアナログ基準電圧(VREFH)が IC の内部で VBAT に接続されているため、ADC による AD 変換後のデジタル値は下式のように VBAT の相対値で表現されます。

$$\text{ADC による AD 変換後のデジタル値} = 4095 \times \frac{\text{ADC のチャンネルへのアナログ信号入力電圧}}{\text{VREFH (= VBAT 電圧)}}$$

また、電源電圧(VBAT)測定用の ADC0 は IC の内部で VDDCORE2(1.2 V の固定電圧)に接続されています。これらから、VBAT の電圧値は下式のように ADC0 の AD 変換後のデジタル値で表現されます。

$$\text{VBAT} = 4095 \times \frac{1.2 \text{ V}}{\text{ADC のチャンネル 0 の AD 変換後のデジタル値}}$$

汎用電圧測定用 ADC のチャンネル n の入力電圧の絶対値は、下式により算出できます。

$$\text{ADCn の入力電圧 [V]} = \frac{\text{チャンネル n の AD 変換後のデジタル値}}{\text{チャンネル 0 の AD 変換後のデジタル値}} \times 1.2 \text{ [V]}$$

電圧換算の概念図を図 4-19 に示します。

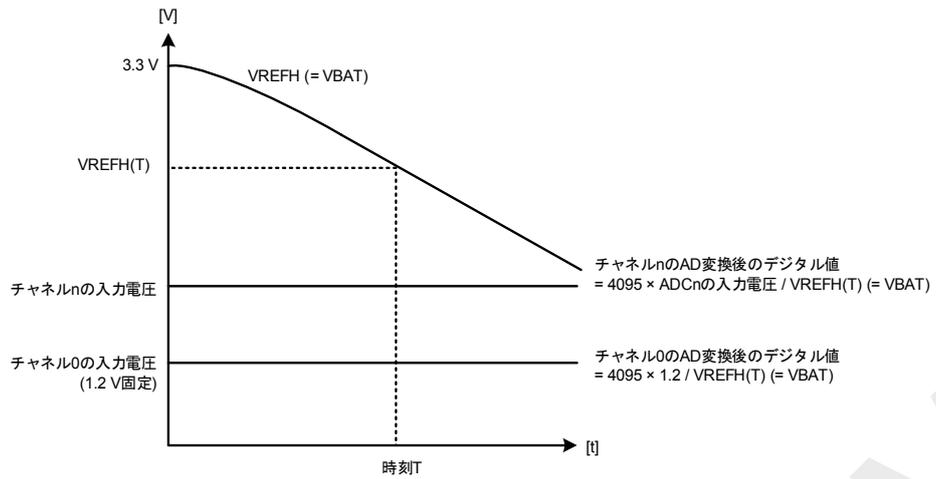


図 4-19 電圧換算概念図

Preliminary

## 4.12. 基本クロックインタフェース

### 4.12.1. 特長

基本クロックインタフェースには下記の特長があります。

- ✓ 基本クロックの周波数: 32 MHz
- ✓ 周波数精度:  $\pm 50$  ppm 以下 (使用環境下) で使用
- ✓ 128 ステップの可変容量コンデンサを内蔵(1.24 ~ 20.4 pF)
- ✓ 使用する水晶振動子の負荷容量と等価直列抵抗
  - ◇ 負荷容量: 6 pF
  - ◇ 等価直列抵抗: 50  $\Omega$  (推奨値)

TC35681 パラメータ設定が可能な可変容量コンデンサ(1.24 ~ 20.4 pF)を発振回路の入出力にそれぞれ内蔵していますので、外部に帰還抵抗やコンデンサの接続をする必要がありません。負荷容量が 6 pF の水晶振動子を XOIN 端子と XOOUT 端子に接続し、使用環境下で周波数偏差が  $\pm 50$  ppm から外れることがないように、可変容量コンデンサの容量を調整してください。

水晶振動子の等価直列抵抗の推奨値は 50  $\Omega$  です。等価直列抵抗が大きい水晶振動子を使用する場合は、十分に発振マージンの評価を行ってください。また、安定して発振するまでの時間は 1.5 ms 以内になる条件で使用ください。

### 4.12.2. 基本クロック発振周波数調整機能

発振周波数は可変容量コンデンサの容量を調整することで行います。この調整は PMU\_XOSC\_TRIMIN レジスタ内に配置された 7bit の XO\_FREQ\_TUNE フィールドで行います。0x00 ~ 0x7F (2 の補数) を設定すると、1 ビットあたり入出力の可変容量コンデンサが約 0.15 pF ずつ変化し、0x40 が最小周波数、0x3F が最大周波数となります。

ハードウェアリセット直後やコールドブート時の XO\_FREQ\_TUNE の値は 0x00 です。発振安定後、内蔵ファームウェアにより 0x1A に設定され、その後、ソフトウェアによる設定値の変更が可能となります。

可変容量コンデンサによる調整方法の詳細は「ハードウェアアプリケーションノート」を参照してください。

### 4.12.3. ローパワーモードと調整値について

ローパワーモードでは発振を停止します。Sleep、backup モードからのウェイクアップ時は、ローパワーモードへ遷移する直前の XO\_FREQ\_TUNE フィールド値で発振を再開します。そのため、コールドブート時の XO\_FREQ\_TUNE フィールド値とは異なるので、安定発振するまでの時間も異なります。安定発振までの時間が 1.5 ms を超えない条件でご使用ください。

表 4-14 に発振時の条件と XO\_FREQ\_TUNE フィールドの値を示します。

表 4-14 基本クロックの発振条件と XO\_FREQ\_TUNE フィールド値

発振条件	XO_FREQ_TUNE フィールド値
ハードウェアリセット直後、Deep Sleep からのウェイクアップ時	0x00 (起動時の初期値)
	0x1A (安定発振後の初期値)
Sleep、Backup モードからのウェイクアップ時	ユーザによる設定値 (初期値は 0x1A)

4.12.4. 水晶振動子接続例

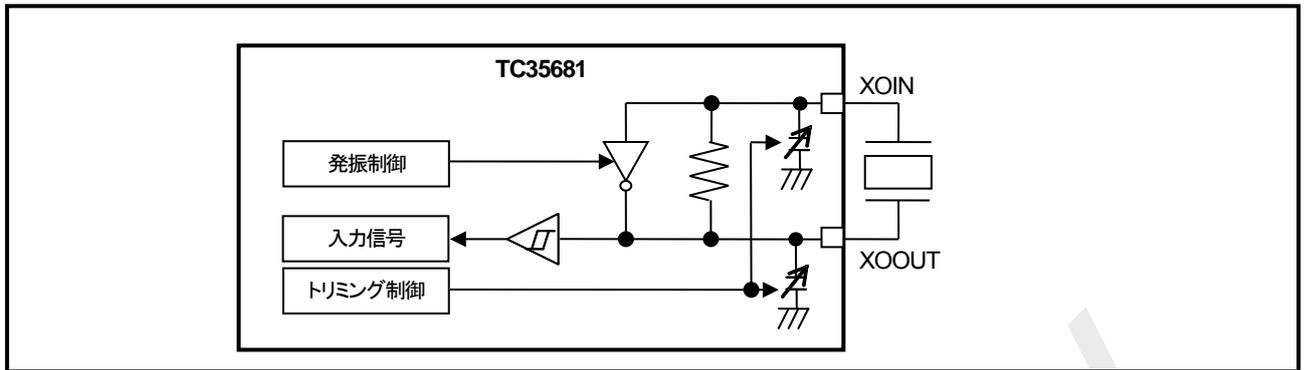


図 4-20 水晶振動子接続例

Preliminary

## 4.13. スリープクロックインタフェース

### 4.13.1. 特長

スリープクロックインタフェースには下記の特長があります。

- ✓ スリープクロックのクロックソースを3つのクロックから選択可能
  - ◇ 水晶振動子
  - ◇ 外部発振器
  - ◇ 内蔵シリコンオシレータ(SiOSC)
- ✓ 周波数: 32.768 kHz
- ✓ 周波数精度:  $\pm 500$ ppm 以下 (使用環境下)で使用
- ✓ 32 ステップ (0 ~ 15.56 pF)
- ✓ 使用する水晶の負荷容量と等価直列抵抗
  - ◇ 負荷容量: 4 pF
  - ◇ 等価直列抵抗: 80 k $\Omega$ (推奨値)

起動時 SiOSC が発振します。起動後、クロックソースを水晶振動子または外部発振器に切り替えて使用することができます。SiOSC はジッタが大きく、Bluetooth®無線規格を満足しないため、Bluetooth®通信をするときはクロックソースを水晶振動子または外部発振器に切り替える必要があります。

### 4.13.2. スリープクロックの選択

TC35681 はスリープクロックのクロックソースを3つのクロックから選択することができます。切り替えのためのコマンドまたは API を表 4-15 に示します。

クロックの切り替えは起動後、無線機能を使用する前に、一度だけ呼び出してください。

表 4-15 スリープクロックのソース切り替えコマンド、API

動作モード	コマンド/API
HCI モード	HCI_M2_BTL_SET_LOW_POWER_CLOCK
User-App モード	SYS_API_SetBlesglSleepClock

### 4.13.3. 水晶振動子の使用

TC35681 は、パラメータ設定が可能な可変容量コンデンサ(0 ~ 15.56 pF)を発振回路の入出力にそれぞれ内蔵していますので、外部に帰還抵抗やコンデンサを接続する必要がありません。負荷容量が 4 pF の水晶振動子を SLPXOIN 端子と SLPXOOUT 端子に接続し、使用環境下で周波数偏差が $\pm 500$  ppm から外れることがないように、可変容量コンデンサの容量を調整してください。

水晶振動子の等価直列抵抗の推奨値は 80 k $\Omega$  です。等価直列抵抗が大きい水晶振動子を使用する場合は、十分に発振マージンの評価を行ってください。

可変容量コンデンサによる調整方法の詳細は「ハードウェアアプリケーションノート」を参照してください。

#### 4.13.4. スリープクロック発振周波数調整機能

発振周波数は可変容量コンデンサの容量を調整することで行います。この調整は PMU\_OSC32K\_TRIMIN レジスタ内に配置された 5 ビットの FREQTUNE\_OSC32K フィールドで行います。0x00 ~ 0x1F (2 の補数) を設定すると、1 ビットあたり入出力の可変容量コンデンサが約 0.5 pF ずつ変化し、0x0F が最小周波数、0x10 が最大周波数となります。

リセット直後、またはコールドブート時、FREQTUNE\_OSC32K フィールドの値は 0x00 です。発振安定後に 0x18 に設定され、以後ソフトウェア処理による設定値の変更が可能です。

スリープクロックは、Deep Sleep モードへ遷移する過程で発振を停止します。

表 4-16 スリープクロックの発振条件と FREQTUNE\_OSC32K フィールド値

発振条件	FREQTUNE_OSC32K フィールド値
ハードウェアリセット直後、Deep Sleep からのウェイクアップ時	0x00 (起動時の初期値) 0x18 (安定発振後の初期値)

#### 4.13.5. 水晶振動子接続例

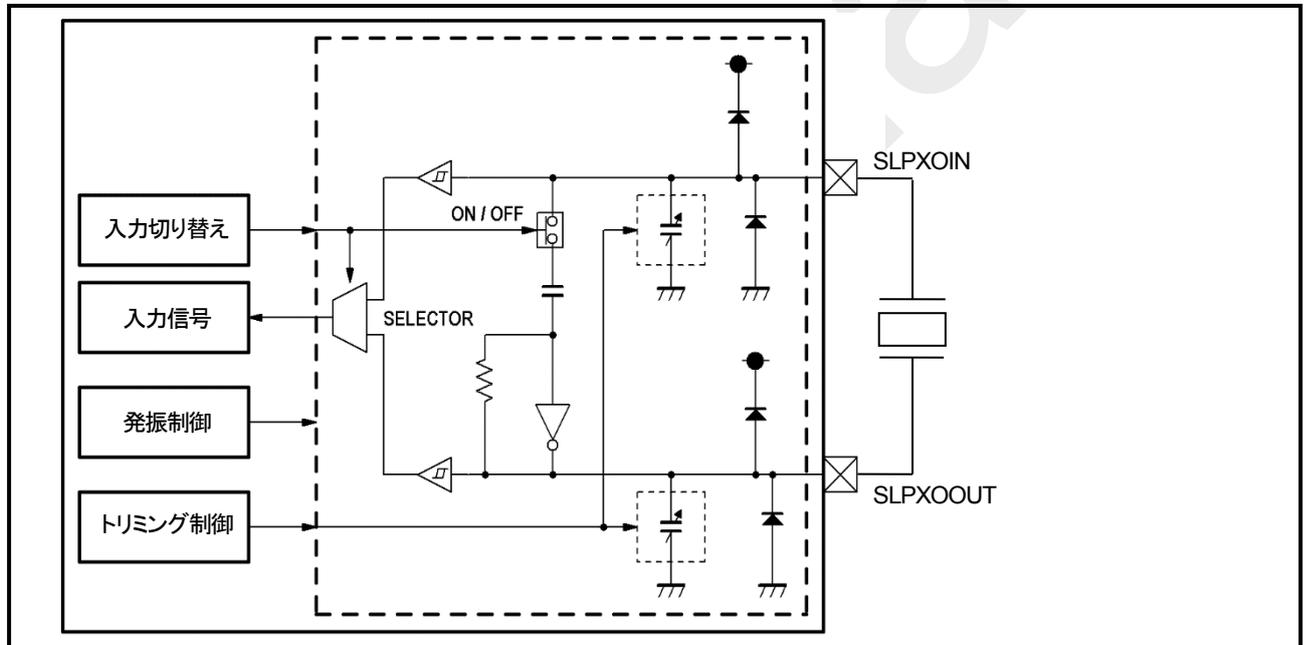


図 4-21 水晶振動子接続例

#### 4.13.6. 外部水晶発振器の使用

表 4-15 に示すコマンドまたは API により、クロックソースを「direct input モード」に切り替えた後に、SLPXOIN 端子にクロックを供給してください。供給するクロックの電圧レベルは 0 ~ VDDIO (V) です。

「外部からの入力」への切り替え前に SLPXOIN 端子にクロックを入力しないでください。また、SLPXOOUT 端子の処理は Open または GND に接続してください。

クロックの切り替え処理後に、クロック供給するために、GPIO の汎用出力機能を用いて外部発振器の出力を制御することで、切り替えをすることができます。

Sleep、Backup モードで利用することができます。Deep Sleep モードでは外部発振器の使用はできません。

#### 4.13.7. 内蔵シリコンオシレータ(SiOSC)

TC35681 はスリープクロック用の SiOSC を内蔵しています。起動時は SiOSC が発振します。SiOSC はジッタが大きく、Bluetooth®規格に規定される±500ppmの周波数精度を満たしません。

Bluetooth®通信をするときは、HCI モードまたは User-App モードで、表 4-15 に示すコマンドまたは API によりクロックソースを水晶振動子または外部水晶発振器に切り替える必要があります。ただしタイミングクリティカルでないアプリケーション、例えば Advertising パケットを定期的を送信する用途(Non connection)であれば、SiOSC の周波数精度で使用することができます。この場合、水晶振動子または外部水晶発振器は不要です。

#### 4.14. スリープクロック出力機能

スリープクロック(32.768 kHz)を GPIO 端子から出力することができます。API 制御により、GPIO14 が出力端子として割り当てられます。ローパワーモードでスリープクロックの出力は停止します。

API は“SYS\_API\_SetGpioMux()”で、クロックの出力、停止を制御できます。

#### 4.15. TRNG (True Random Number Generator)機能

TC35681 は、オシレータサンプリング方式の真性乱数生成機能(TRNG: True Random Number Generator)を備えています。本機能は、ハードウェアによる乱数シード生成器(ESG: Entropy Seed Generator)と、内蔵ファームウェアによる決定論的乱数ビット生成器(DRBG: Deterministic Random Bit Generator)で構成されます。

TRNG 機能で生成される 256 ビットの乱数は、NIST SP800-22 や BSI のテスト基準を満たします。

ESG はブートのたびに起動し、乱数シードを作ってから機能を停止します。外部から乱数シードを入力する必要はありません。通常は API 制御によるシードの再生成も不要です。乱数シードの再生成は API “SYS\_API\_ReseedRandData()”により実行できます。無線通信中に乱数シードを作り直さないでください。ESG の動作ノイズが無線性能を劣化させる懸念があります。

DRBG は乱数シードを拡散し、256 ビット長の乱数を生成します。無線通信中も無線性能に影響を与えません。API “SYS\_API\_GetRandData()”により、8 ~ 256 ビット長の乱数取得が可能です。DRBG は、ブート時に取得した乱数シードをもとに、繰り返し乱数を生成できます。乱数取得ごとにシードを作り直す必要はありません。

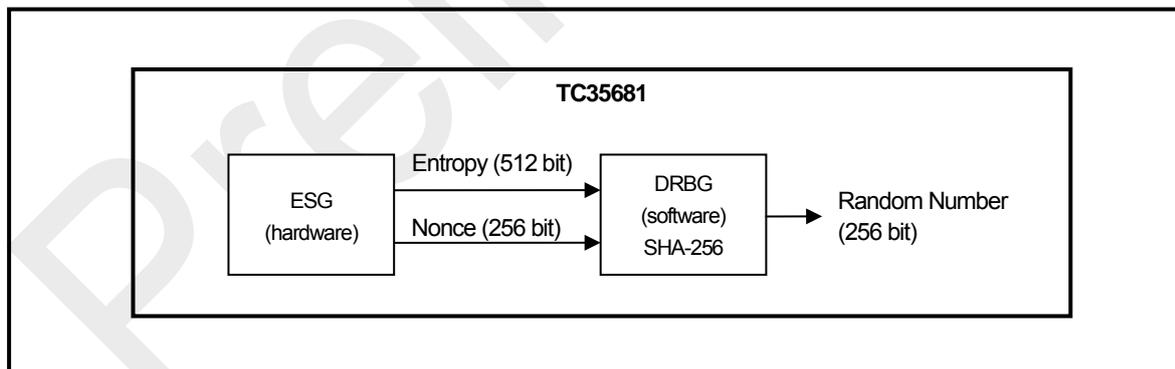


図 4-22 TRNG の構成

## 4.16. オートパッチ機能

TC35681 は、ブートアップシーケンス中、内蔵ファームウェアにより実行されるオートパッチ機能を備えています。

オートパッチプログラムはユーザアプリケーションとともに、外付け EEPROM に保存する必要があります。この機能は User-App モードで使用することができます。HCI モード時は HCI コマンドによりパッチを適用することができます。

表 4-17 に動作モードとオートパッチの使用可否の一覧を示します。

表 4-17 オートパッチ機能の使用可否

動作モード	HCI モード	Complete モード	User-App モード
—	使用不可	使用不可	使用可能

オートパッチ機能は次のケースで内蔵ファームウェアが実行します。

- ✓ ハードウェアリセット時
- ✓ ソフトウェアリセット時
- ✓ ウォッチドッグタイマによるリセット時
- ✓ Deep Sleep からの復帰処理時

オートパッチ機能により、起動時にホスト CPU またはユーザアプリケーションが TC35681 の制御権を得る前に、RAM またはレジスタに所望の値を書き込むことができます。

本機能は発振回路の周波数調整用レジスタを、所望の値へ書き換えてからシステムを起動したいときなどに有効です。

## 4.17. パッチ機能

パッチ機能は内蔵ファームウェアの機能修正や改善をするときに有効な機能です。

HCI モード、Complete モード、User-App モードで使用することができます。本機能により、マスク ROM を含むメモリ空間の所望のアドレスのデータを変更できます。変更するデータのサイズは、32 バイトです。

パッチプログラムは当社がソースコードで提供しますので、必要なものをユーザアプリケーションの所定の位置に組み込んで使用してください。TC35681 には、最大 4 つのパッチプログラムを適用できます。この数にオートパッチプログラムは含みません。

## 4.18. CPU

TC35681 は Arm® Cortex®-M0 プロセッサを内蔵しています。

TC35681 の CPU 動作クロックは基本クロックを使用し、起動時は 32 MHz で動作します。

API “SYS\_API\_ChangeSystemClock()”により、16 MHz 動作/32 MHz 動作を動的に設定することができます。

16 MHz 動作の選択は advertising 機能のような Bluetooth®無線通信機能が非接続であるときにのみ使用することができます。

## 5. 電気的特性

### 5.1. 絶対最大定格

絶対最大定格は、瞬時たりとも超えてはならない値です。絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外にも破壊や損傷や劣化を与える恐れがあります。いかなる動作条件でも絶対最大定格を超えないように応用機器の設計を行ってください。

表 5-1 絶対最大定格 (VSSA = VSSRFIO = VSSDC = VSSD1 = VSSD2 = VSSX = 0 V)

項目	記号	定格		単位
		最小	最大	
電源電圧	VBAT、 VDDIO (注 1)	-0.3	+3.9	V
I/O 端子入力電圧	VIN	-0.3	VDDIO + 0.3 (注 2)	V
I/O 端子入力電流	IIN	-10	+10	mA
入力電力	RFIO	—	+10	dBm
保存温度	Tstg	-40	+125	°C

注 1: VDDIO 電源印可時に、VBAT を GND に接続しないでください。

VDDIO から VBAT に IC 内部の回路を通じて電流が流れ、破壊、損傷および劣化の原因となります。

VDDIO の電源電圧は VBAT を超えないように使用ください。

注 2: VDDIO + 0.3 V が 3.9 V を超えないように使用ください。

## 5.2. 動作条件(設計値)

動作条件とは、本製品が一定の品質を保って正常動作する条件を指します。動作条件のうち、いずれか 1 つの項目でも外れた状態で使用された場合には誤動作の恐れがあります。したがって、本製品使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

表 5-2 動作範囲 (VSSA = VSSRFIO = VSSDC = VSSD1 = VSSD2 = VSSX = 0 V)

項目	記号 (端子名称、条件)	定格			単位	
		最小	標準	最大		
電源 電圧	VBAT 動作電圧	VBATopr (Ta 最大 105°C 時)	1.8	3.0	3.6	V
		VBATopr (Ta 最大 125°C 時)	2.0			
	VDDIO 動作電圧 (注 1)	VDDIOopr	1.8	3.0	3.6	V
	VDDCORE 電圧 (注 1)	VDDCORE1/VDDCORE2 (アクティブモード)	—	1.2	—	V
VDDCORE1/VDDCORE2 (ローパワーモード)		—	0.85	—	V	
RF 周波数	Fc	2400	—	2483.5	MHz	
入力周波数	基本クロック Fck	31.9984	32.00000	32.00160	MHz	
	スリープクロック fslclk	32.751616	32.768000	32.784384	kHz	
周囲動作温度	Ta	-40	+25	+125 (注 2)	°C	

注 1: 各電源端子の推奨接続例は「ハードウェアアプリケーションノート」を参照してください。

注 2: VBAT=2.0 以上のとき。

5.3. DC 電気的特性

5.3.1. 消費電流 (設計値)

消費電流を表 5-3 に示します。各電源端子の推奨接続状態における動作時平均電流値となります。測定値は当社評価環境によります。特に指定のない限り、以下の条件を前提とします。

- ✓ 周囲動作温度(Ta): 25°C
- ✓ CPU クロック: 32 MHz
- ✓ スリープクロック: 32.768 kHz、水晶振動子を使用
- ✓ 通常動作電源: DC/DC コンバータ
- ✓ VBAT = VDDIO = 3.0 V
- ✓ VSSA = VSSRFIO = VSSDC = VSSD1 = VSSD2 = VSSX = 0 V

また、表 5-4 に各端子の DC 電気的特性を示します。

表 5-3 DC 消費電流

項目	記号	条件	測定対象端子(注 1)	定格			単位	
				最小	標準	最大		
デジタル部動作時消費電流	IDD <sub>DIG</sub> (Active1)	Bluetooth®無線: 未使用	VBAT	—	1.2	—	mA	
	IDD <sub>IO</sub>	GPIO 端子は全て Hi-Z	VDDIO	—	0.3	—	μA	
受信時消費電流	IDD <sub>RX</sub> (Active2)	125 kbps 時		—	5.2	—	mA	
		500 kbps 時			5.1			
		1 Mbps 時			5.6			
		2 Mbps 時			5.2			
送信時消費電流	IDD <sub>TX</sub> (Active3)	Output Power = 0 dBm	1 Mbps 時	VBAT	5.4	—	mA	
			2 Mbps 時		11.3			
		Output Power = +8 dBm	125 kbps 時		—			—
			500 kbps 時					
		Output Power = +8 dBm 基本クロック = 16 MHz	1 Mbps 時		—			—
			2 Mbps 時					
Output Power = +8 dBm 動作電源: LDOレギュレータ	1 Mbps 時	—	—	11.0	—			
Output Power = +8 dBm	1 Mbps 時	—	—	26.0	—			
ローパワーモード	—	共通条件: 基本クロック発振停止		—			μA	
ローパワーモード消費電流 (Sleep モード)	IDDS1	CPU 電源: オン スリープクロック発振 SRAM 保持: 全領域		—	2.5	—		
ローパワーモード消費電流 (Backup モード)	IDDS2	CPU 電源: オフ スリープクロック発振 SRAM 保持: 全領域		—	2.5	—		
ローパワーモード消費電流 (Deep Sleep モード)	IDDS	CPU 電源: オフ スリープクロック発振停止 SRAM 保持: なし		—	0.05	—		

注 1: GPIO 部の動作電流は、実負荷により変化します。

表 5-4 DC 電気的特性 (VSSA = VSSRFIO = VSSDC = VSSD1 = VSSD2 = VSSX = 0 V)

項目	記号	条件		対象端子 (注 1)	定格			単位
		I/F 電圧条件	他条件		最小	標準	最大	
高レベル 入力電圧	VIH	—	LVC MOS	VDDIO 系統	$0.8 \times VDDIO$	—	—	V
低レベル 入力電圧	VIL	—	LVC MOS	VDDIO 系統	—	—	$0.2 \times VDDIO$	V
高レベル 入力電流	IIH	VDDIO = 各端子入力電圧	Pull-down Off	VDDIO 系統	-10	—	10	$\mu$ A
			Pull-down On		10	—	200	
低レベル 入力電流	IIL		Pull-up Off		-10	—	10	
			Pull-up On		-200	—	-10	
高レベル 出力電圧	VOH	—	IOH = 1 mA	VDDIO 系統	$VDDIO - 0.6$	—	—	V
低レベル 出力電圧	VOL	—	IOL = 1 mA	VDDIO 系統	—	—	0.4	V

注 1: 各対象端子の電源系統は、表 2-6 の電源分類欄をご覧ください。各機能端子の電源系統を示しています。

## 5.4. 内蔵レギュレータ特性

表 5-5 内蔵レギュレータ特性 (VBATopr 最小電圧~ 3.6 V、VSSA = VSSRFIO = VSSDC = VSSD1 = VSSD2 = VSSX = 0 V)

項目	記号	ピン名称、条件	定格			単位
			最小	標準	最大	
出力電圧	Vout1	VDDCORE2	—	1.2 0.85 (注 1)	—	V

注 1: ローパワーモードへ移行時の出力電圧。

## 5.5. ADC 特性

表 5-6 ADC 特性 (VBATopr 最小電圧~ 3.6 V、VSSA = VSSRFIO = VSSDC = VSSD1 = VSSD2 = VSSX = 0 V)

項目	記号	定格			単位
		最小	標準	最大	
アナログ基準電圧	VREFH	1.8	3.0	3.6	V
アナログ入力電圧	VAIN	VSSD1 VSSD2	—	VREFH	V

### 5.6. RF 特性 (設計値)

特に指定のない限り、以下の条件を前提とします。

- ✓ Ta = 25 °C
- ✓ VBAT = 3.0 V
- ✓ XOIN = 32 MHz (常温で周波数精度を±2 ppm に調整)
- ✓ PAOUT = 8 dBm

Bluetooth® core spec. V5.0 規格における RF 送信特性を表 5-7 に、RF 受信特性を表 5-8 に示します。なお、一部の特性は設計値を記載しています。

表 5-7 RF 送信特性

項目	パケット長	変調条件	チャンネル	条件	定格			単位
					最小	標準	最大	
Output Power	255 octets	PRBS9	0、12、 19、39	Peak (Ppk)	—	0.4	Pavg+	dBm
				average (Pavg)	—	8	3 dB	
In-band Emissions Uncoded data at 1 Ms/s	255 octets	PRBS9	0、12、 19、39	-4 MHz	—	-49	-30	dBm
				-3 MHz	—	-41	-30	
				-2 MHz	—	-40	-20	
				2 MHz	—	-40	-20	
				3 MHz	—	-41	-30	
In-band Emissions at 2 Ms/s	255 octets	PRBS9	0、12、 19、39	-6 MHz	—	-52	-30	dBm
				-5 MHz	—	-49	-20	
				-4 MHz	—	-50	-20	
				4 MHz	—	-50	-20	
				5 MHz	—	-50	-20	
Modulation Characteristics Uncoded data at 1 Ms/s	255 octets	11110000	0、12、 19、39	Δf1avg	225	244	275	kHz
		10101010		Δf2max	185	204	—	kHz
		—		Δf2avg/Δf1avg	0.8	0.90	—	Ratio
Modulation Characteristics at 2 Ms/s	255 octets	11110000	0、12、 19、39	Δf1avg	450	482	550	kHz
		10101010		Δf2max	370	415	—	kHz
		—		Δf2avg/Δf1avg	0.8	0.90	—	Ratio
Carrier frequency offset	255 octets	10101010	0、12、 19、39	average	-150	4	150	kHz
Carrier frequency drift	255 octets	10101010		worst	—	4	50	kHz
Carrier frequency drift Rate LE Coded (S=8)	255 octets	11110000		Absolute maximum	—	6	19.2	kHz/48 μs

表 5-8 RF 受信特性

項目	条件1	パケット長	変調条件	チャンネル	条件2	定格			単位
						最小	標準	最大	
Rx Sensitivity	PER = 30.8 % at 1500 packets with dirty	37 octets	—	0、12、 19、39	2 Mbps	—	-93.2	—	dBm
					1 Mbps	—	-95.6	—	
					500 kbps (Coded PHY, S = 2)	—	-101.2	—	
					125 kbps (Coded PHY, S = 8)	—	-105.2	—	
		255 octets	—	0、12、 19、39	2 Mbps	—	-91.3	—	
					1 Mbps	—	-93.8	—	
					500 kbps (Coded PHY, S = 2)	—	-100.0	—	
					125 kbps (Coded PHY, S = 8)	—	-105.1	—	
C/I and Receiver Selectivity Performance, uncoded data at 1 Ms/s	PER = 30.8 % at 1500 packets	255 octets	Wanted signal: Bluetooth LE modulation PRBS9  Interferer: Bluetooth LE Modulation PRBS15	0、2、 12、19、 37、39	-7 MHz	—	-42	—	dB
					-6 MHz	—	-32	-32	
					-5 MHz	—	-27	-26	
					-4 MHz	—	-29	-30	
					-3 MHz	—	-29	-32	
					-2 MHz	—	-26	-35	
					-1 MHz	—	-3	-2	
					0 MHz	—	8	8	
					1 MHz	—	-2	-2	
					2 MHz	—	-25	-30	
					3 MHz	—	-33	-38	
					4 MHz	—	-39	-40	
C/I and Receiver Selectivity Performance, uncoded data at 2 Ms/s	PER = 30.8 % at 1500 packets	255 octets	Wanted signal: Bluetooth LE modulation PRBS9  Interferer: Bluetooth LE Modulation PRBS15	0、2、 12、19、 37、39	-14 MHz	—	-43	-15	dB
					-12 MHz	—	-35	—	
					-10 MHz	—	-30	—	
					-8 MHz	—	-32	—	
					-6 MHz	—	-36	-15	
					-4 MHz	—	-30	—	
					-2 MHz	—	-7	15	
					0 MHz	—	5	21	
					2 MHz	—	-8	15	
C/I and Receiver Selectivity Performance, LE Coded (S=2)	PER = 30.8 % at 1500 packets	255 octets	Wanted signal: Bluetooth LE modulation PRBS9  Interferer: Bluetooth LE Modulation PRBS15	0、2、 12、19、 37、39	-7 MHz	—	-52	-31	dB
					-6 MHz	—	-36	-19	
					-5 MHz	—	-30	-13	
					-4 MHz	—	-33	-19	
					-3 MHz	—	-36	-31	
					-2 MHz	—	-34	-21	
					-1 MHz	—	-5	11	
					0 MHz	—	6	17	
					1 MHz	—	-5	11	
					2 MHz	—	-30	-21	
					3 MHz	—	-37	-31	
4 MHz	—	-43	-31						
5 MHz	—	-49	-31						
6 MHz	—	-51	-31						

項目	条件1	パケット長	変調条件	チャンネル	条件2	定格			単位
						最小	標準	最大	
C/I and Receiver Selectivity Performance, LE Coded (S=8)	PER = 30.8 % at 1500 packets	255 octets	Wanted signal: Bluetooth LE modulation PRBS9  Interferer: Bluetooth LE Modulation PRBS15	0、2、12、19、37、39	-7 MHz	—	-52	-36	dB
					-6 MHz	—	-40	-24	
					-5 MHz	—	-29	-18	
					-4 MHz	—	-36	-24	
					-3 MHz	—	-42	-36	
					-2 MHz	—	-36	-26	
					-1 MHz	—	-10	6	
					0 MHz	—	5	12	
					1 MHz	—	-9	6	
					2 MHz	—	-32	-26	
					3 MHz	—	-37	-36	
4 MHz	—	-51	-36						
5 MHz	—	-52	-36						
6 MHz	—	-52	-36						
Blocking Performance,	PER = 30.8 % at 1500 packets	255 octets	Wanted signal: Bluetooth LE modulation PRBS9  Interferer: Unmodulated carrier	12	30 ~ 2000 MHz	-30	—	—	dBm
					2003 ~ 2399 MHz	-35	—	—	
					2484 ~ 2997 MHz	-35	—	—	
					3000 M ~ 12.75 GHz	-30	—	—	
Intermodulation Performance, 1 Ms/s	1500 packets	255 octets	Wanted signal: Bluetooth LE modulation PRBS9, -64 dBm  Interferer #1: Bluetooth LE modulation PRBS15, -50 dBm  Interferer #2: Unmodulated carrier, -50 dBm	0、12、19、39	n=3	30.8	0	—	%
Intermodulation Performance, 2 Ms/s	1500 packets	255 octets	Wanted signal: Bluetooth LE modulation PRBS9, -64 dBm  Interferer #1: Bluetooth LE modulation PRBS1, -50 dBm  Interferer #2: Unmodulated carrier, -50 dBm	0、12、19、39	n=3	30.8	0	—	%
Maximum input signal level	PER	255 octets	PRBS9	0、12、19、39	-10 dBm	30.8	0	—	%
PER Report Integrity	PER	255 octets	PRBS9	0、12、19、39	-30 dBm	50	50	65.4	%

注: C/I 特性、ブロッキング特性は Bluetooth®無線規格のロゴ認証テストの緩和スペックを適用する場合があります。

5.7. AC 電気特性 (設計値)

5.7.1. UART インタフェース

表 5-9 UART インタフェース AC 特性

記号	項目	定格			単位
		最小	標準	最大	
tCLDTDLY	CTSX の立ち下がりからデータ送信開始まで	192	—	—	ns
tCHDTDLY	CTSX の立ち上がりからデータ送信完了まで	—	—	2	byte
tRLDTDLY	RTSX の立ち下がりからデータ受信開始まで	0	—	—	ns
tRHDTDLY	RTSX の立ち上がりからデータ受信完了まで	—	—	8	byte

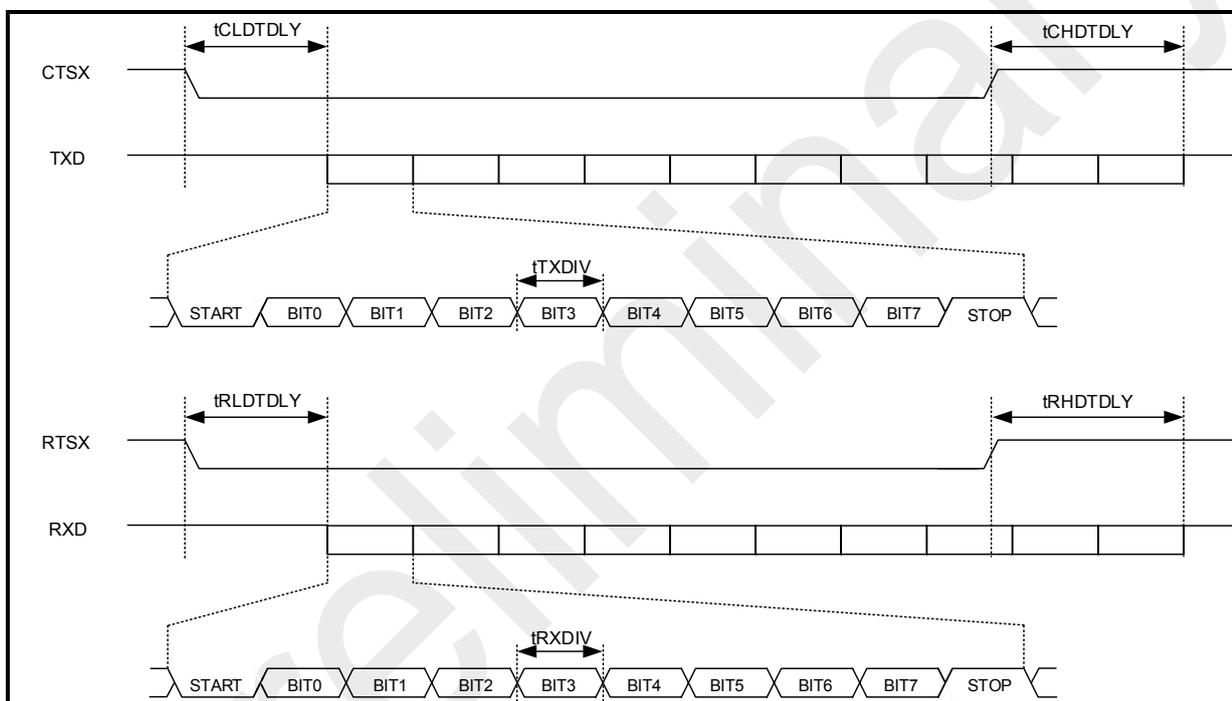


図 5-1 UART インタフェースタイミングチャート

### 5.7.2. I<sup>2</sup>C インタフェース

#### 5.7.2.1. 標準モード

表 5-10 I<sup>2</sup>C インタフェース(標準モード)AC 特性

記号	項目	定格			単位				
		最小	標準	最大					
tDATS	データセットアップ時間	250	—	—	ns				
tDATH	データホールド時間	300	—	—	ns				
tDATVD	データ有効期間	—	—	3450	ns				
tACKVD	ACK 有効期間	—	—	3450	ns				
tSTAS	再起スタートコンディションセットアップ時間	4700	—	—	ns				
tSTAH	再起スタートコンディションホールド時間	4000	—	—	ns				
tSTOS	ストップコンディションセットアップ時間	4000	—	—	ns				
tBUF	ストップコンディションからスタートコンディションまでのバス開放期間	4700	—	—	ns				
tr	立ち上がり時間	—	—	1000	ns				
tf	立ち下がり時間	—	—	300	ns				
tHIGH	シリアルクロック High 期間	4000	—	—	ns				
tLOW	シリアルクロック Low 期間	4700	— </tr <tr> <td>Cb</td> <td>バス負荷容量</td> <td>—</td> <td>—</td> <td>400</td> <td>pF</td> </tr>	Cb	バス負荷容量	—	—	400	pF
Cb	バス負荷容量	—	—	400	pF				

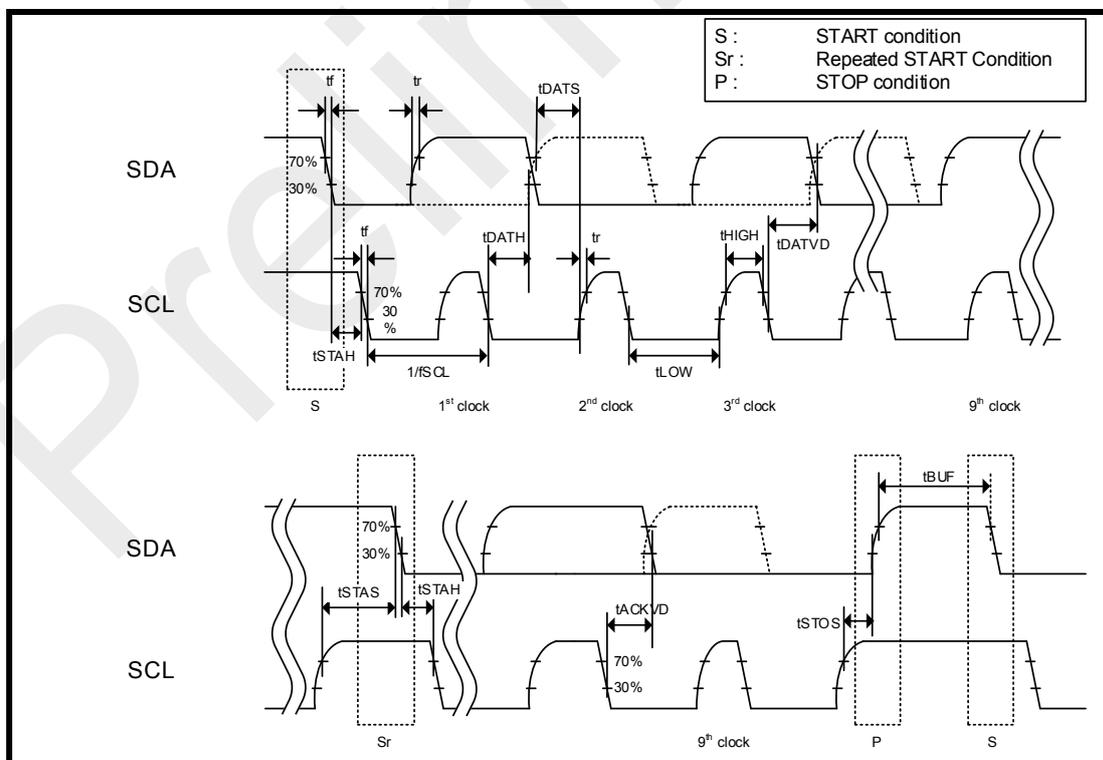


図 5-2 I<sup>2</sup>C インタフェース(標準モード)タイミングチャート

### 5.7.2.2. ファストモード

表 5-11 I<sup>2</sup>C インタフェース(ファストモード)AC 特性

記号	項目	定格			単位
		最小	標準	最大	
tDATS	データセットアップ時間	100	—	—	ns
tDATH	データホールド時間	300	—	—	ns
tDATVD	データ有効期間	—	—	900	ns
tACKVD	ACK 有効期間	—	—	900	ns
tSTAS	再スタートコンディションセットアップ時間	600	—	—	ns
tSTAH	再スタートコンディションホールド時間	600	—	—	ns
tSTOS	ストップコンディションセットアップ時間	600	—	—	ns
tBUF	ストップコンディションからスタートコンディションまでのバス開放期間	1300	—	—	ns
tr	立ち上がり時間	20 + 0.1Cb	—	300	ns
tf	立ち下がり時間	20 + 0.1Cb	—	300	ns
tSP	除去可能なスパイクパルス幅	0	—	50	ns
tHIGH	シリアルクロック High 期間	—	1423	—	ns
tLOW	シリアルクロック Low 期間	—	1423	—	ns
Cb	バス負荷容量	—	—	400	pF

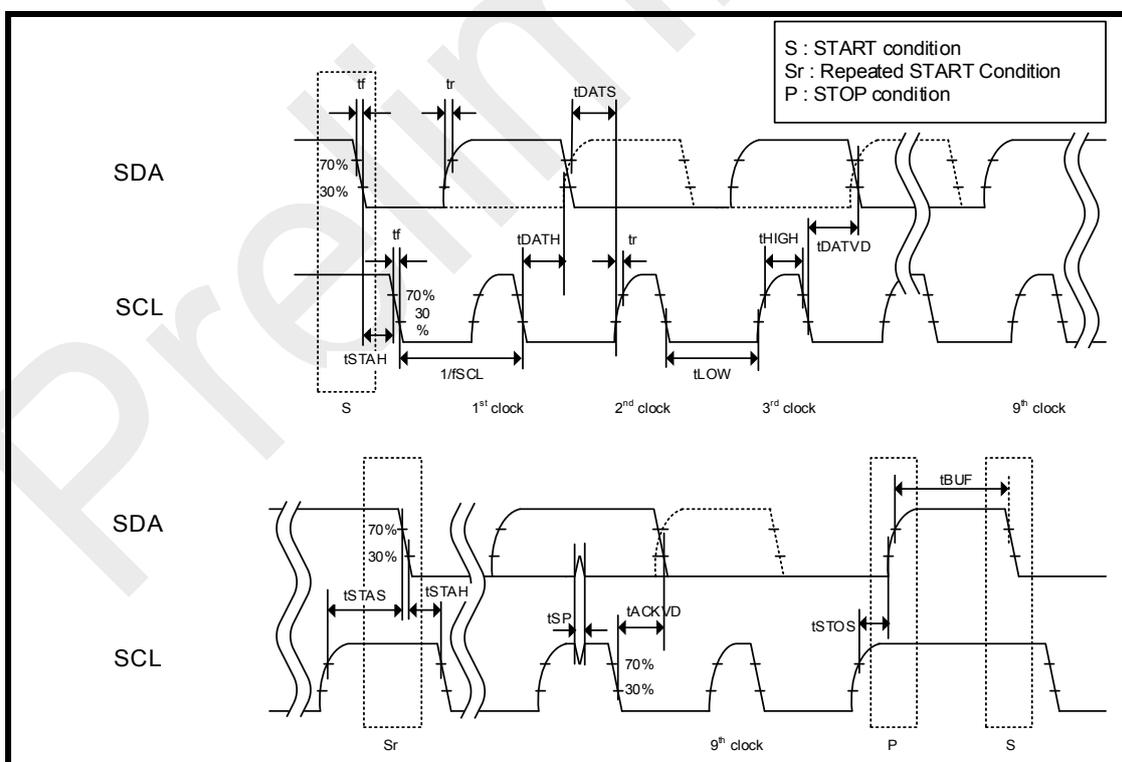


図 5-3 I<sup>2</sup>C インタフェース(ファストモード)タイミングチャート

5.7.3. SPI インタフェース

表 5-12 SPI インタフェース AC 特性

記号	項目	定格			単位
		最小	標準	最大	
tSPICLKCYC	SPI クロック周期	125	—	—	ns
tSPICLKHPW	SPI クロック High パルス幅	62	—	—	ns
tSPICLKPW	SPI クロック Low パルス幅	62	—	—	ns
tSPICSS	SPI チップセレクトセットアップタイム	31	—	—	ns
tSPICSH	SPI チップセレクトホールドタイム	62	—	—	ns
tSPIIW	SPI 転送アイドルパルス幅	62	—	—	ns
tSPIAS	SPI アドレスセットアップタイム	31	—	—	ns
tSPIAH	SPI アドレスホールドタイム	62	—	—	ns
tSPIDS	SPI データセットアップタイム	31	—	—	ns
tSPIDH	SPI データホールドタイム	62	—	—	ns

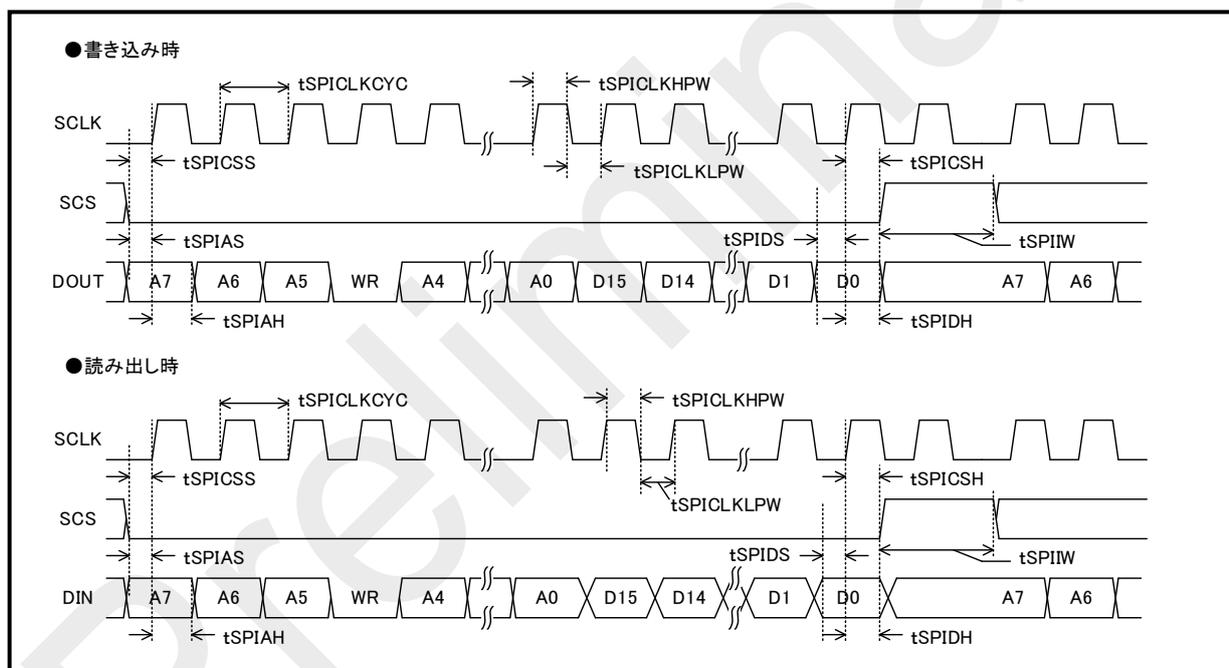


図 5-4 SPI インタフェースタイミングチャート

6. システム構成例

下記の図にシステム構成例を示します。

6.1. User-App モードの場合 (外付け EEPROM からユーザアプリケーションをダウンロードする場合)

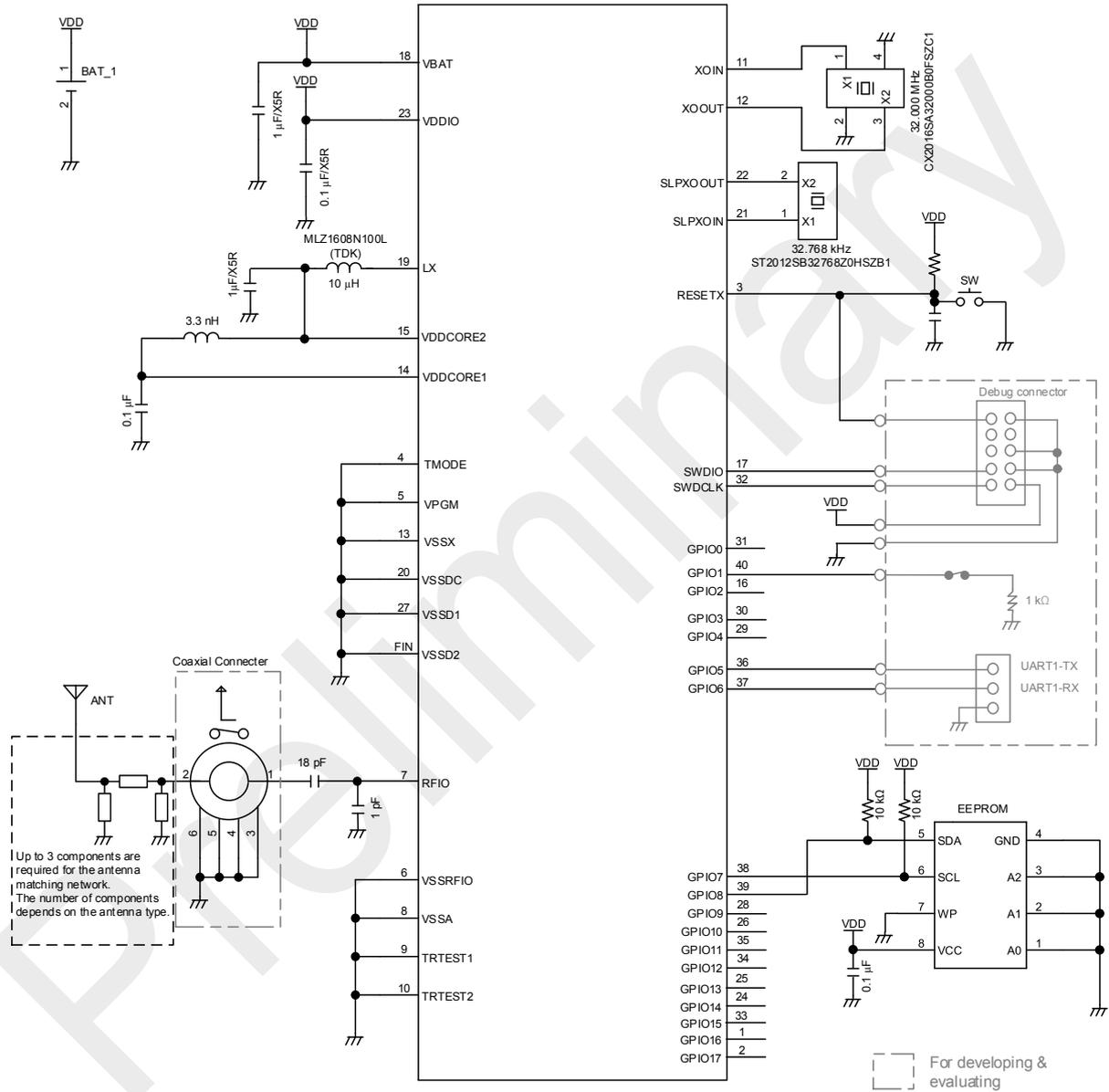


図 6-1 TC35681IFTG のシステム構成例 (User-App モード)

**6.2. User-App モードの場合 (Host からユーザアプリケーションをダウンロードの場合)**

6.3 節の「HCI モードの場合」を参照してください。

Preliminary

## 6.3. HCIモードの場合

ホスト CPU とのインターフェースが UART での使用例です。

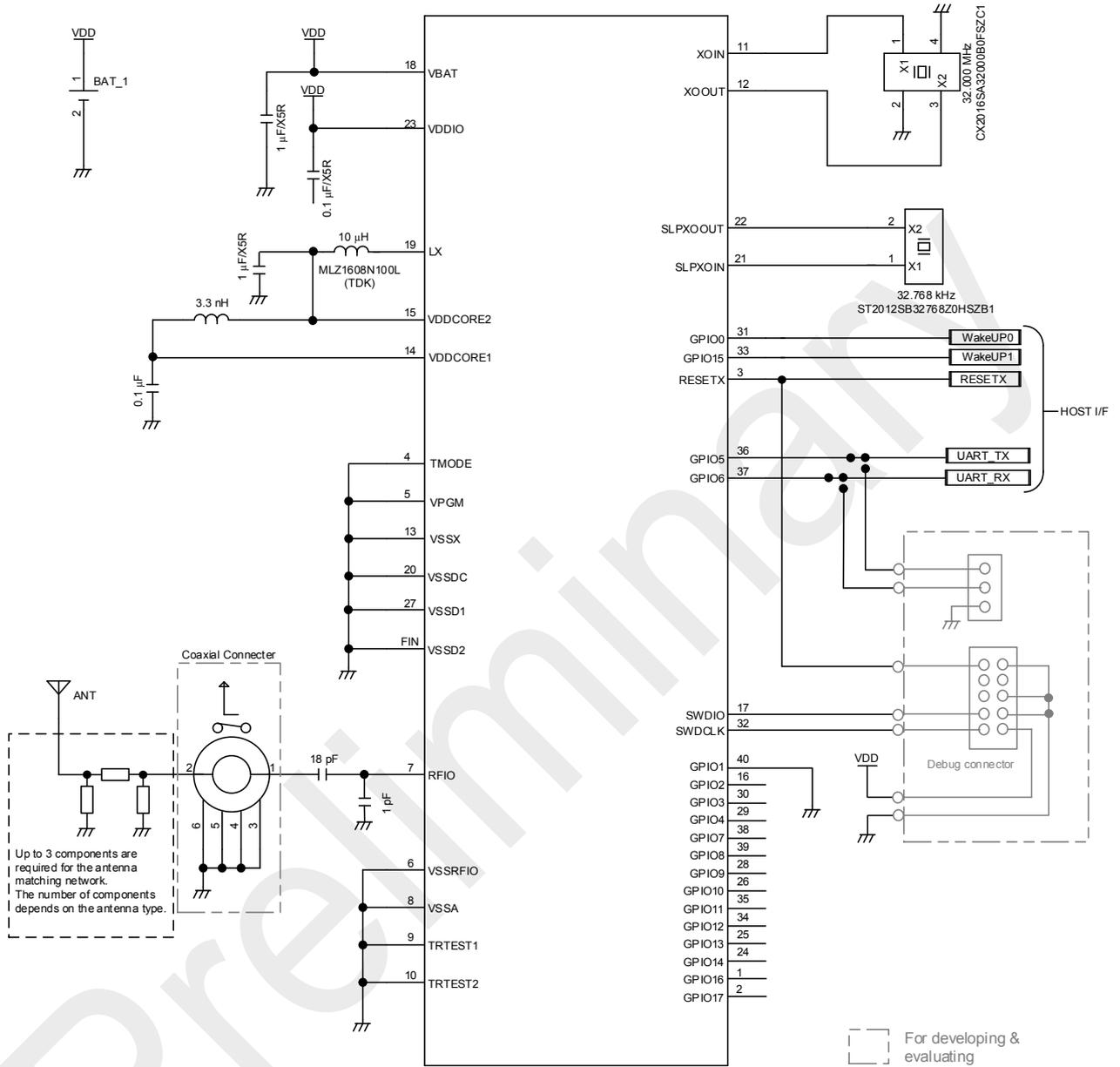


図 6-2 TC35681IFTG のシステム構成例 (HCIモード)

#### 6.4. LDO レギュレータ使用時の回路構成

DC/DC コンバータと LDO レギュレータの選択は IC 出荷時の設定により決定されます。LDO レギュレータは非標準品です。

LDO レギュレータ使用時、VDDCORE1 端子と VDDCORE2 端子に接続するコンデンサとインダクタの値として、それぞれ  $0.1 \mu\text{F}$  と  $1 \mu\text{F}$ 、 $3.3 \text{ nH}$  を推奨します。

LDO レギュレータ使用時、LX 端子は Hi-Z になり、インダクタを接続することなく、端子をオープンとすることができます。

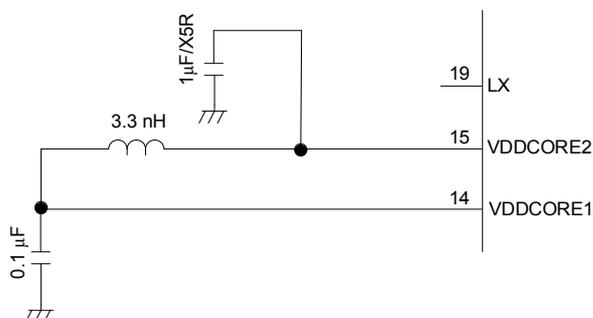
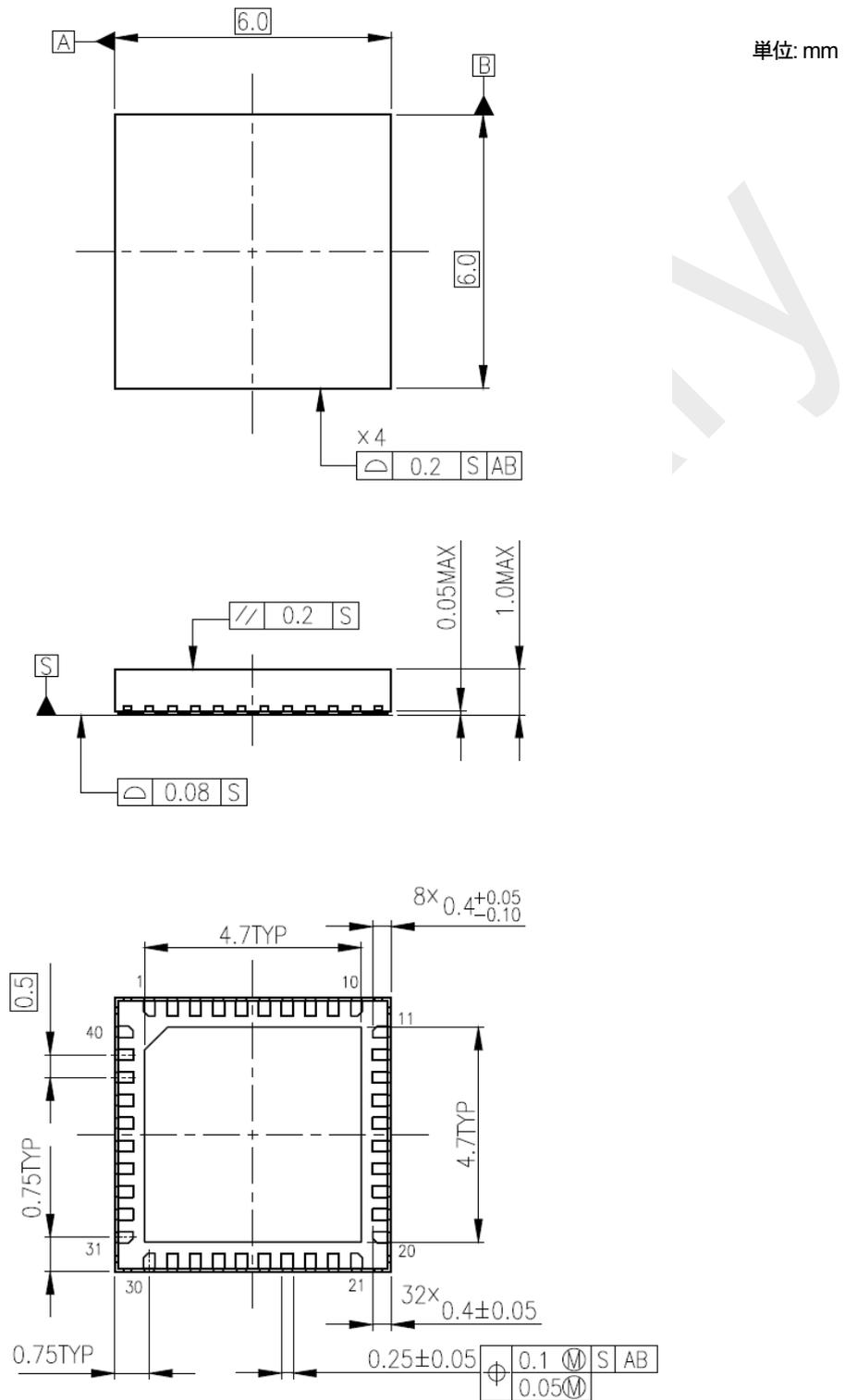


図 6-3 LDO レギュレータ使用時の回路構成

7. パッケージ

7.1. 外形寸法図 TC35681IFTG (P-VQFN40-0606-0.50-002)



質量: 0.11 g (標準)

図 7-1 パッケージ外形図 (P-VQFN40-0606-0.50-002)

**7.2. 現品表示**

**7.2.1. TC35681IFTG の現品表示**

図 7-2 に TC35681IFTG の現品表示を示します。

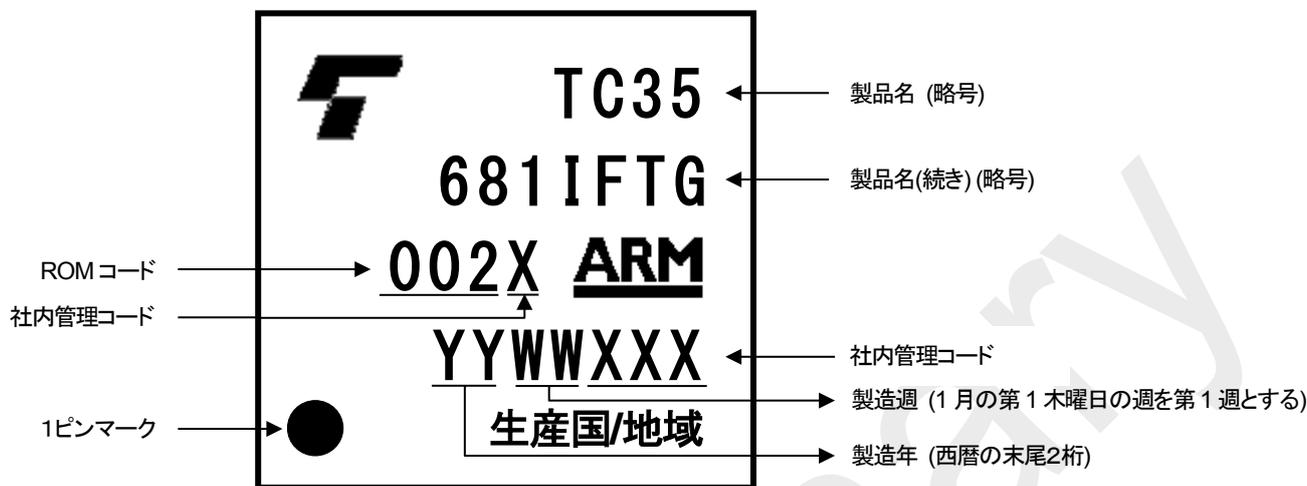


図 7-2 現品表示

## 8. 製品一覧

TC35681IFTG の製品ラインアップを表 8-1 に示します。

表 8-1 製品ラインアップ

製品名	説明
TC35681IFTG-002(EL)	ユニークな BD アドレス付、DC/DC コンバータ使用、SWD 有効、MOQ 2k

Preliminary

**9. 改定履歴**

リビジョン	日付	内容
0.9	2018-10-03	初版発行

Preliminary

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないよう、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いいたします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

**東芝デバイス&ストレージ株式会社**

<https://toshiba.semicon-storage.com/jp/>