TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86FM29LUG

株式会社 東芝 セミコンダクター社

類似製品の相違点（MASK 製品）

機能の相違点 (TMP86CM29L／TMP86Cx29B／TMP86CH21／TMP86Cx20 シリーズ)

対象製品	TMP86CM29L	TMP86C829B TMP86CH29B TMP86CM29B	TMP86CH21 TMP86CH21A	TMP86C420 TMP86C820
ROM	32K バイト	C829: 8K バイト CH29: 16K バイト CM29: 32K バイト	16K バイト	C420: 4K バイト C820: 8K バイト
RAM	1.5K バイト	C829: 512 バイト CH29: 1.5K バイト CM29: 1.5K バイト	512 バイト	256 バイト
I/O ポート	39 端子			
最小命令実行時間	0.25μsec (16MHz 動作時)			
電源電圧(注 6)	1.8V ~ 3.6V @8.0MHz/32.768kHz 2.7V ~ 3.6V @16MHz/32.768kHz (注 4)	1.8V ~ 5.5V @4.2MHz/32.768kHz 2.7V ~ 5.5V @8.0MHz/32.768kHz 4.5V ~ 5.5V @16MHz/32.768kHz		
18 ビット タイマカウンタ	1ch (ECIN 入力両エッジ／片エッジ切替可)			1ch (ECIN 入力片エッジのみ)
8 ビット タイマカウンタ	4ch			2ch
タイムベースタイマ	1ch			
ウォッチドッグタイマ	1ch			
UART/SIO	1ch（注１）			-
SIO	-			1ch
キーオン ウェイクアップ	4ch			
AD コンバータ	10 ビット x 8ch		8 ビット x 8ch	
LCD ドライバ	32SEG x 4COM			
動作温度(注 5)	-40 ~ 85℃		-40 ~ 85℃(注 2)	-40 ~ 85℃
パッケージ （ボディサイズ）	LQFP64(10x10mm)	QFP64(14x14mm) LQFP64(10x10mm)		
パッケージ (QFP64-P-1414-0.80C)	-	TMP86C829BFG TMP86CH29BFG TMP86CM29BFG	TMP86CH21FG	TMP86C420FG TMP86C820FG
パッケージ (LQFP64-P-1010-0.50E)	-	TMP86C829BUG TMP86CH29BUG TMP86CM29BUG	TMP86CH21UG	TMP86C420UG TMP86C820UG
パッケージ (LQFP64-P-1010-0.50D)	TMP86CM29LUG	-	TMP86CH21AUG	-

注 1) UART と SIO は、機能入出力が同一端子のため同時に使用できません。

注 2) TMP86CH21A の場合、電源電圧 VDD が 2.0V 未満のときの動作温度(Topr)は- 20 ~ 85℃ となります。さらに AD を使用する場合には温度保証範囲が- 10 ~ 85℃ となります。

注 3) TMP86C820/420 は、タイマカウンタ 6 入出力および UART 入出力を内蔵しておりません。

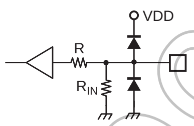
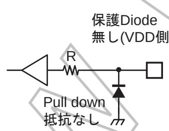
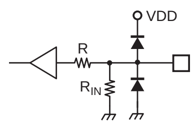
注 4) TMP86CM29L の電気的特性については、TMP86C829B/H29B/M29B 、TMP86CH21/CH21A および TMP86C820/420 とは異ります。詳細についてはデータシートの”電気的特性”を参照してください。

注 5) 電源電圧 VDD が 2.0V 未満のときに AD を使用する場合には温度保証範囲が- 10 ~ 85℃ となります。詳細についてはデータシートの”AD 変換特性”を参照してください。

注 6) 動作電流は製品によって異なります。詳しくは各製品のデータシートの”電気的特性”を参照してください。

シリーズ製品の相違点

機能の相違点 (TMP86xx29 シリーズ)

<table>
<tr><td>対象製品</td><td>TMP86C829B</td><td>TMP86CH29B
TMP86CM29B</td><td>TMP86PM29A
TMP86PM29B</td><td>TMP86FM29LUG</td><td>TMP86FM29
(TMP86FM29LUG を除く)</td><td>TMP86CM29L</td></tr>
<tr><td>ROM</td><td>8K bytes
(MASK)</td><td>CH29B:16K bytes
(MASK)
CM29B:32K bytes
(MASK)</td><td>32K bytes
(OTP)</td><td>32K bytes
(FLASH)</td><td>32K bytes
(FLASH)</td><td>32K bytes
(MASK)</td></tr>
<tr><td>RAM</td><td>512 bytes</td><td colspan="5">1.5K bytes</td></tr>
<tr><td>DBR</td><td colspan="3">128 バイト
（FLASH メモリ制御レジスタ無し<EEPCR, EEPSR> ）</td><td>128 バイト
（FLASH メモリ制御レジスタ含む
<FLSCR, FLSSTB>）</td><td colspan="2">128 バイト
（FLASH メモリ制御レジスタ含む
<EEPCR, EEPSR>）</td></tr>
<tr><td>I/O ポート</td><td colspan="6">39 端子</td></tr>
<tr><td>大電流ポート</td><td colspan="3">4 端子（シンクオープンドレイン）
TYP.20ｍA</td><td colspan="3">4 端子（シンクオープンドレイン）
TYP.6ｍA</td></tr>
<tr><td>割り込み</td><td colspan="6">外部：5 内部：14</td></tr>
<tr><td>タイマカウンタ</td><td colspan="6">18 ビット：1ch
8 ビット：4ch</td></tr>
<tr><td>UART/SIO</td><td colspan="6">1ch（注１）</td></tr>
<tr><td>キーオン
ウェイクアップ</td><td colspan="6">4ch</td></tr>
<tr><td>AD コンバータ</td><td colspan="6">10 ビット x 8ch（注 3）</td></tr>
<tr><td>LCD ドライバ</td><td colspan="6">32SEG x 4COM</td></tr>
<tr><td>TEST 端子の
構造</td><td colspan="2">
</td><td colspan="2">
</td><td colspan="2">
</td></tr>
<tr><td>高周波発振回路の帰還抵抗値（注４）</td><td colspan="3">R_f = 1.2 MΩ(Typ)</td><td colspan="3">R_f = 3 MΩ(Typ)</td></tr>
<tr><td>低周波発振回路の帰還抵抗値（注４）</td><td colspan="3">R_f = 6 MΩ (Typ)</td><td colspan="3">R_f = 20 MΩ (Typ)</td></tr>
<tr><td>対応エミュレーションチップ（注２）</td><td colspan="6">TMP86C929AXB</td></tr>
<tr><td>パッケージ</td><td colspan="3">QFP64-P-1414-0.80C
LQFP64-P-1010-0.50E</td><td>LQFP64-
P-1010-0.50D</td><td>QFP64-
P-1414-0.80C
LQFP64-
P-1010-0.50E</td><td>LQFP64-
P-1010-0.50D</td></tr>
<tr><td>電源電圧（注 5）</td><td colspan="3">1.8V to 5.5V at 4.2MHz/32.768kHz
2.7V to 5.5V at 8.0MHz/32.768kHz
4.5V to 5.5V at 16MHz/32.768kHz</td><td>1.8V to 3.6V at
4.0MHz/32.768kHz
2.7V to 3.6V at
8MHz/32.768kHz
(注 6)</td><td>1.8V to 3.6V at
8.0MHz/32.768kHz
2.7V to 3.6V at
16MHz/32.768kHz
(注 6)</td><td>1.8V to 3.6V at
8.0MHz/32.768kHz
2.7V to 3.6V at
16MHz/32.768kHz</td></tr>
</table>

注 1) UART と SIO は、機能入出力が同一端子のため同時には使用できません。

注 2) TMP86C929AXB はフラッシュ機能、CPU ウェイト、およびシリアル PROM モードはエミュレートできません。従って、TMP86C929AXB でフラッシュ制御を含んだソフトウエアを実行すると TMP86FM29/CM29L とは異なった動作をします。

注 3) 電源電圧 VDD が 2.0V 未満のときに AD を使用する場合には温度保証範囲が- 10 ~ 85℃となります。また、T MP86FM29/CM29L/FM29L は電源電圧の条件により変換時間が異なります。詳細についてはデータシートの”10 ビット AD コンバータ(ADC)”および”AD 変換特性”を参照してください。

注 4) TMP86FM29/CM29L/FM29L は発振回路の帰還抵抗値が異なります。詳細についてはデータシートの”端子の入出力回路”を参照してください。

注 5) 動作電流は製品によって異なります。詳しくは各製品のデータシートの”電気的特性”を参照してください。

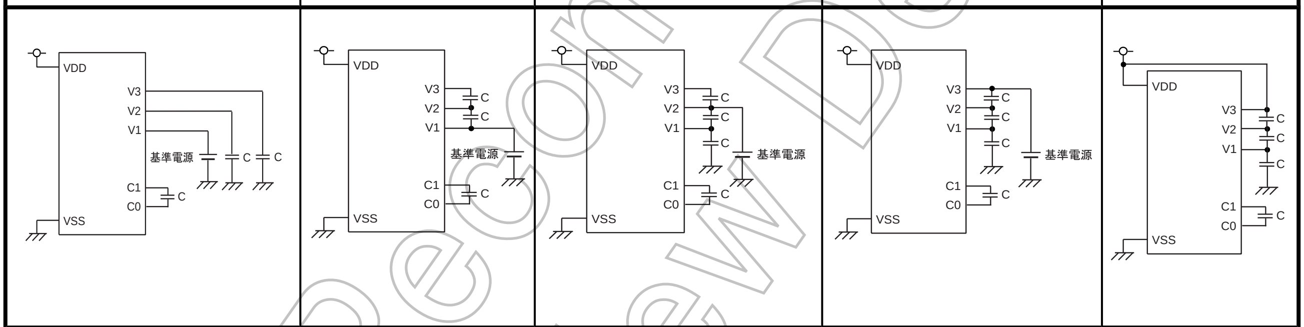
注 6) TMP86FM29/FM29L のシリアル PROM モードの動作条件は MCU モードとは異なります。詳細についてはデータシートの”電気的特性”を参照してください。

状態	ウェイト時間	ウェイト時の動作	
		CPU	周辺機能
リセット解除時	2^{10}/fc [s]	停止	停止
STOP モードから NORAML モードへ復帰時 (EEPCR<MNPWDW>="1"設定時)	2^{10}/fc [s]	停止	動作
STOP モードから SLOW モードへ復帰時 (EEPCR<MNPWDW>="1"設定時)	2^{3}/fc [s]	停止	動作
IDLE0/1/2 モードから NORAML モードへ復帰時 (EEPCR<MNPWDW>="0"設定時)	2^{10}/fc [s]	停止	動作
SLEEP0/1/2 モードから SLOW モードへ復帰時 (EEPCR<MNPWDW>="0"設定時)	2^{3}/fc [s]	停止	動作

注 1) TMP86FM29（TMP86FM29LUG は除く）は、フラッシュメモリの電源安定化のため、上記の時間 CPU ウェイトがかかります（CPU が停止します）。TMP86CM29L にはフラッシュメモリは内蔵されていませんが、フラッシュ品（TMP86FM29)との互換性をを保つため CPU ウェイト機能が動作します。なお、リセット解除時以外の CPU ウェイトの時は周辺機能は動作するので、ウェイト中に割り込みが発生すると割り込みラッチがセットされ、IMF="1"に設定されている場合はウェイト後に割り込処理を開始するおそれがありますので注意が必要です。詳細については TMP86FM29 の技術資料中の”フラッシュメモリ”を参照してください。以上のことから、TMP86FM29 と同一のソフトウェアを使用して同一の動作をするのは TMP86CM29L のみであり、TMP86C829B/H29B/M29B/PM29A/PM29B/C929AXB と同一の動作をしません。従って、TMP86C929B/H29B/M29B のソフトウェアの最終検証は必ず TMP86PM29A/PM29B（OTP 製品）を使用してください。同様に TMP86CM29L のソフトウェアの最終検証は必ず TMP86FM29（FLASH 製品）を使用してください。

注 2) TMP86FM29LUG はフラッシュメモリの電源安定化のための CPU ウェイトを内蔵していません。

接続方法 1	接続方法 2	接続方法 3	接続方法 4	接続方法 5



注 1) TMP86FM29/CM29L/FM29L は、絶対最大定格の制限により、5V 系の LCD パネルを駆動することができません。3V 系 LCD パネルを使用してください。V3 端子の推奨動作電圧は 3.6V(最大)となります。

注 2) TMP86FM29/CM29L/FM29L で LCD の昇圧回路を使用するとき、昇圧電源とコンデンサの接続は、図に示す”接続方法 3 または接続方法 4 もしくは接続方法 5”を使用することを推奨します。”接続方法 1 および接続方法 2”は温度保証範囲が- 10～85℃となります。詳細につきましては”電気的特性”および”LCD ドライバ”を参照してください。

注 3) TMP86C829B/H29B/M29B/PM29A/PM29B では LCD の昇圧回路を使用するとき、図に示すどの接続方式でも温度保証範囲は変わりませんが、電圧条件に注意してください。詳細については”電気的特性”および”LCD ドライバ”を参照してください。

改訂履歴

日付	版	改訂理由
2010/8/10	Tentative 1	First Release
2010/10/6	1	First Release

目　次

類似製品の相違点（MASK 製品）

TMP86FM29LUG

第 2 章　動作説明

第 3 章　割り込み制御回路

第 9 章　8 ビットタイマカウンタ(TC3, TC4)

第 10 章　8 ビットタイマカウンタ(TC5, TC6)

第 11 章　非同期型シリアルインターフェース(UART)

第 16 章　フラッシュメモリ

第 17 章　シリアル PROM モード

CMOS 8 ビット マイクロコントローラ

TMP86FM29LUG

製品形名	ROM (FLASH)	RAM	パッケージ	エミュレーションチップ
TMP86FM29LUG	32768 バイト	1536 バイト	LQFP64-P-1010-0.50D	TMP86C929AXB

1.1 特 長

- 8 ビットシングルチップマイクロコントローラ: TLCS-870/C シリーズ
  - 最小実行時間:
    0.50 µs (8 MHz 動作時)
    122 µs (32.768 kHz 動作時)
  - 基本機械命令: 132 種類 731 命令
- 割り込み要因 19 要因 (外部: 5, 内部: 14)
- 入出力ポート (39 端子)
  大電流出力 4 端子(Typ. 6mA)
- プリスケーラ
  - タイムベースタイマ機能
  - デバイダ出力機能
- ウォッチドッグタイマ
  - 割り込み/リセット出力の選択 (プログラマブル)
- 18 ビットタイマカウンタ: 1 チャネル
  - 周波数測定
  - パルス幅測定
  - イベントカウンタ
  - タイマモード
- 8 ビットタイマカウンタ : 4 チャネル
  - タイマ, イベントカウンタ
  - PDO (Programmable Divider Output) モード
  - PWM (パルス幅変調出力)
  - PPG モード
  - 16 ビットモード(タイマ 2 チャネルを組み合わせて使用)
- 8 ビット UART/SIO : 1 チャネル
- 8 ビットシリアルインタフェース(UART/SIO): 1 チャネル
- 10 ビット逐次比較方式 AD コンバータ
  - アナログ入力: 8 チャネル
- キーオンウェイクアップ : 4 チャネル
- LCD ドライバ/コントローラ
  - LCD 直接駆動可能(32 セグメント × 4 コモン)
  - 1/4,1/3,1/2 デューティ、スタティック駆動の選択
  - LCD 電源電圧用昇圧回路内蔵
- クロック発振回路 : 2 回路

本製品は、米国 SST 社（Silicon Storage Technology, Inc）からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

シングル/デュアルクロックモードの選択

- 低消費電力動作 (9 モード)
  - STOP モード: 発振停止 (バッテリー/コンデンサバックアップ)
  - SLOW1 モード: 低周波クロックによる低周波動作 (高周波停止)
  - SLOW2 モード: 低周波クロックによる低周波動作 (高周波発振)
  - IDLE0 モード: CPU 停止。

    周辺ハードウエアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - IDLE1 モード: CPU 停止。

    周辺ハードウエアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
  - IDLE2 モード: CPU 停止。

    周辺ハードウエアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
  - SLEEP0 モード: CPU 停止。

    周辺ハードウエアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - SLEEP1 モード: CPU 停止。

    周辺ハードウエアのみ動作 (低周波クロック) 継続し、割り込みで解除。
  - SLEEP2 モード: CPU 停止。

    周辺ハードウエアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- 動作電圧:

2.7 V~3.6 V @ 8MHz /32.768 kHz

1.8 V~3.6 V @ 4 MHz /32.768 kHz

1.2 ピン配置図

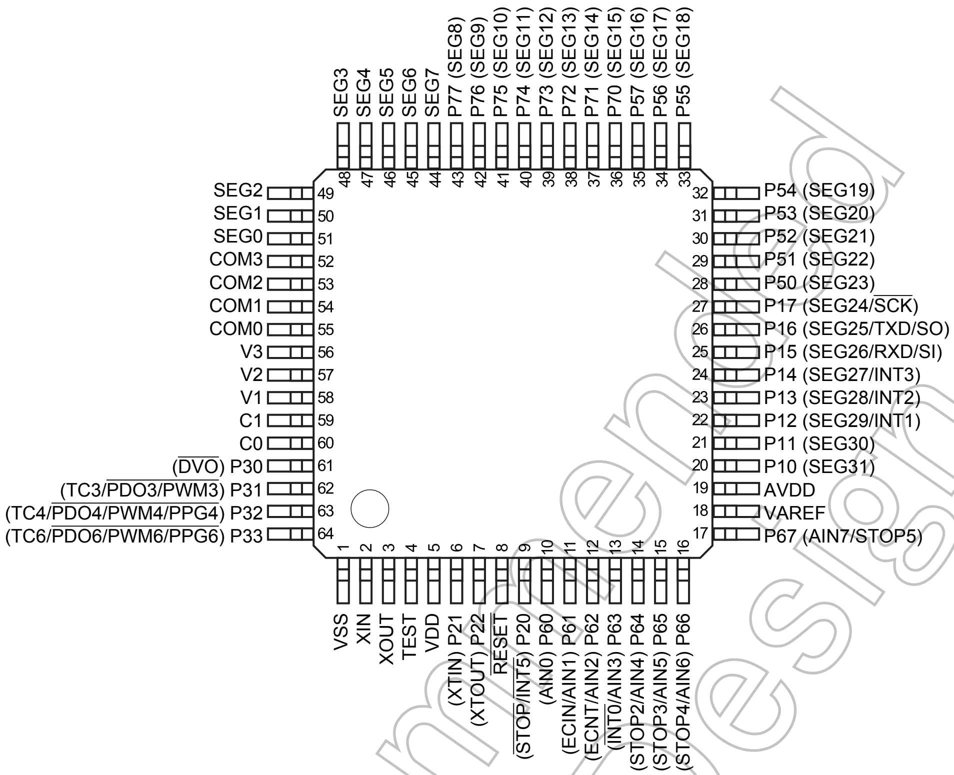


図 1-1 ピン配置図

1.3 ブロック図

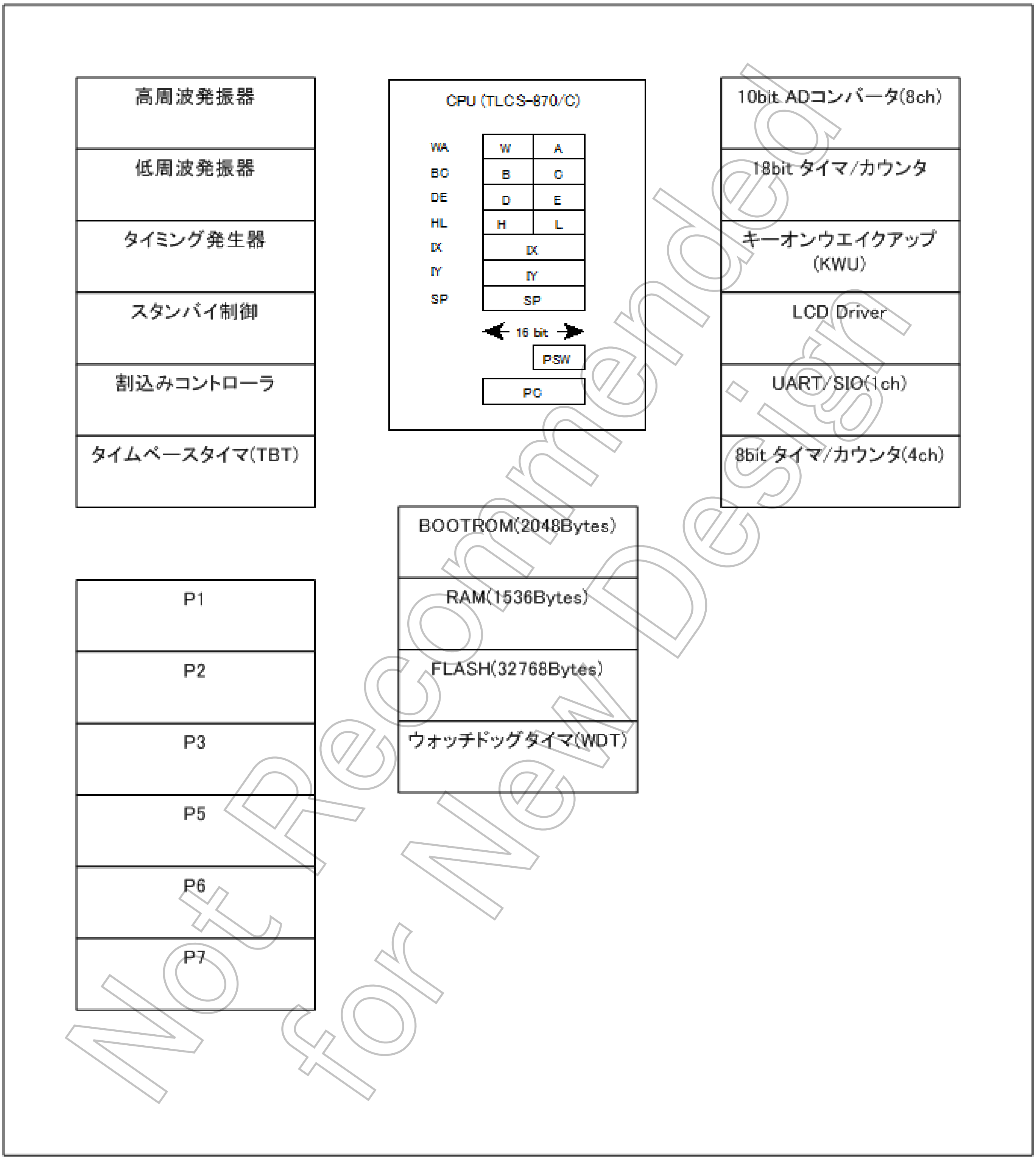


図 1-2 ブロック図

1.4 端子機能

TMP86FM29LUG は、MCU モードとシリアル PROM モード、パラレル PROM モードがあります。表 1-1 に MCU モード時の端子機能を示します。シリアル PROM モードについては、後続の「シリアル PROM モード」の章を参照してください。

表 1-1 端子機能表(1/4)

端子名	ピン番号	入出力	機能
P17 SEG24 $\overline{\text{SCK}}$	27	IO O IO	ポート 17 LCD segment output 24 Serial Clock I/O
P16 SEG25 TXD SO	26	IO O O O	ポート 16 LCD segment output 25 UART data output Serial Data Output
P15 SEG26 RXD SI	25	IO O I I	ポート 15 LCD segment output 26 UART data input Serial Data Input
P14 SEG27 INT3	24	IO O I	ポート 14 LCD segment output 27 External interrupt 3 input
P13 SEG28 INT2	23	IO O I	ポート 13 LCD segment output 28 External interrupt 2 input
P12 SEG29 INT1	22	IO O I	ポート 12 LCD segment output 29 External interrupt 1 input
P11 SEG30	21	IO O	ポート 11 LCD segment output 30
P10 SEG31	20	IO O	ポート 10 LCD segment output 31
P22 XTOUT	7	IO O	ポート 22 Resonator connecting pins(32.768kHz) for inputting external clock
P21 XTIN	6	IO I	ポート 21 Resonator connecting pins(32.768kHz) for inputting external clock
P20 $\overline{\text{INT5}}$ $\overline{\text{STOP}}$	9	IO I I	ポート 20 External interrupt 5 input STOP mode release signal input
P33 $\overline{\text{PDO6/PWM6/PPG6}}$ TC6	64	IO O I	ポート 33 PDO6/PWM6/PPG6 output TC6 input
P32 $\overline{\text{PDO4/PWM4/PPG4}}$ TC4	63	IO O I	ポート 32 PDO4/PWM4/PPG4 output TC4 input
P31 $\overline{\text{PDO3/PWM3}}$ TC3	62	IO O I	ポート 31 PDO3/PWM3 output TC3 input

表 1-1 端子機能表(2/4)

端子名	ピン番号	入出力	機能
P30 $\overline{\text{DVO}}$	61	IO O	ポート 30 Divider Output
P57 SEG16	35	IO O	ポート 57 LCD segment output 16
P56 SEG17	34	IO O	ポート 56 LCD segment output 17
P55 SEG18	33	IO O	ポート 55 LCD segment output 18
P54 SEG19	32	IO O	ポート 54 LCD segment output 19
P53 SEG20	31	IO O	ポート 53 LCD segment output 20
P52 SEG21	30	IO O	ポート 52 LCD segment output 21
P51 SEG22	29	IO O	ポート 51 LCD segment output 22
P50 SEG23	28	IO O	ポート 50 LCD segment output 23
P67 AIN7 STOP5	17	IO I I	ポート 67 Analog Input7 STOP5 input
P66 AIN6 STOP4	16	IO I I	ポート 66 Analog Input6 STOP4 input
P65 AIN5 STOP3	15	IO I I	ポート 65 Analog Input5 STOP3 input
P64 AIN4 STOP2	14	IO I I	ポート 64 Analog Input4 STOP2 input
P63 AIN3 $\overline{\text{INT0}}$	13	IO I I	ポート 63 Analog Input3 External interrupt 0 input
P62 AIN2 ECNT	12	IO I I	ポート 62 Analog Input2 ECNT input
P61 AIN1 ECIN	11	IO I I	ポート 61 Analog Input1 ECIN input
P60 AIN0	10	IO I	ポート 60 Analog Input0

表 1-1 端子機能表(3/4)

端子名	ピン番号	入出力	機能
P77 SEG8	43	IO O	ポート 77 LCD segment output 8
P76 SEG9	42	IO O	ポート 76 LCD segment output 9
P75 SEG10	41	IO O	ポート 75 LCD segment output 10
P74 SEG11	40	IO O	ポート 74 LCD segment output 11
P73 SEG12	39	IO O	ポート 73 LCD segment output 12
P72 SEG13	38	IO O	ポート 72 LCD segment output 13
P71 SEG14	37	IO O	ポート 71 LCD segment output 14
P70 SEG15	36	IO O	ポート 70 LCD segment output 15
SEG7	44	O	LCD segment output 7
SEG6	45	O	LCD segment output 6
SEG5	46	O	LCD segment output 5
SEG4	47	O	LCD segment output 4
SEG3	48	O	LCD segment output 3
SEG2	49	O	LCD segment output 2
SEG1	50	O	LCD segment output 1
SEG0	51	O	LCD segment output 0
COM3	52	O	LCD common output 3
COM2	53	O	LCD common output 2
COM1	54	O	LCD common output 1
COM0	55	O	LCD common output 0
V3	56	I	LCD voltage booster pin
V2	57	I	LCD voltage booster pin
V1	58	I	LCD voltage booster pin
C1	59	I	LCD voltage booster pin
C0	60	I	LCD voltage booster pin

表 1-1 端子機能表(4/4)

端子名	ピン番号	入出力	機能
XIN	2	I	Resonator connecting pins for high-frequency clock
XOUT	3	O	Resonator connecting pins for high-frequency clock
$\overline{\text{RESET}}$	8	IO	Reset signal
TEST	4	I	Test pin for out-going test. Normally, be fixed to low.
VAREF	18	I	Analog Base Voltage Input Pin for A/D Conversion
AVDD	19	I	Analog Power Supply
VDD	5	I	Power Supply
VSS	1	I	0V(GND)

第 2 章　動作説明

2.1　CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1　メモリアドレスマップ

TMP86FM29LUG のメモリは、Flash, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ)で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86FM29LUG のメモリアドレスマップを示します。

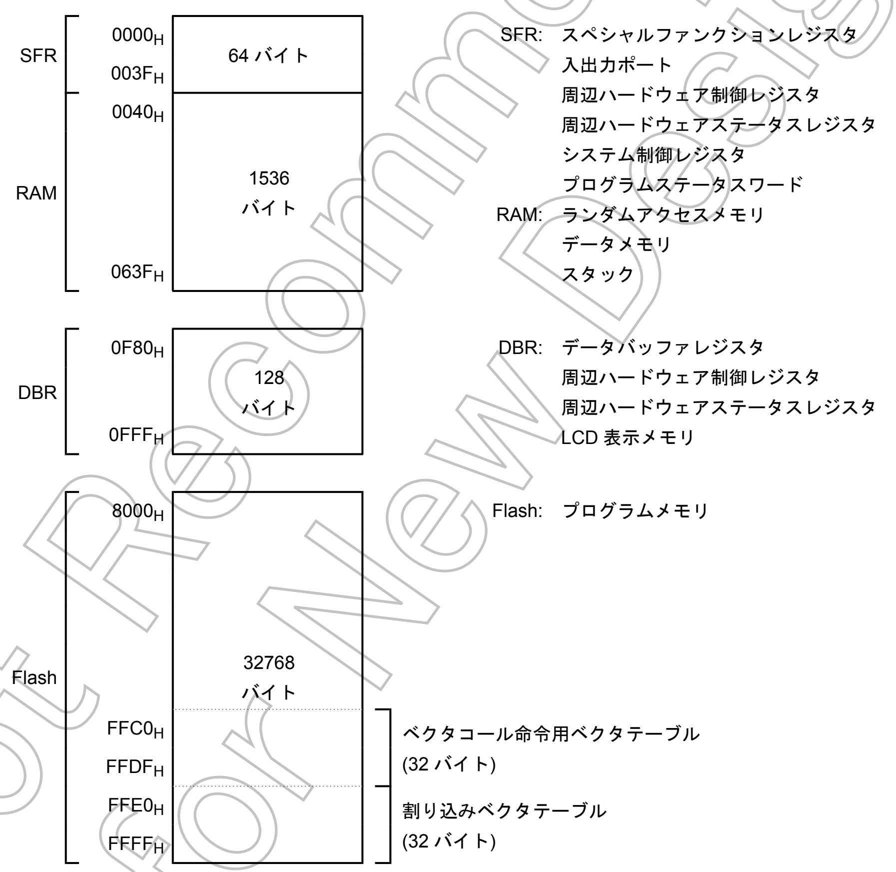


図 2-1 メモリアドレスマップ

2.1.2　プログラムメモリ (Flash)

TMP86FM29LUG は 32768 バイト (アドレス 8000H~FFFFH)のプログラムメモリ (Flash) を内蔵しています。

2.1.3　データメモリ (RAM)

TMP86FM29LUG は、1536 バイト (アドレス 0040H~063FH)の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

（プログラム例）TMP86FM29LUG の RAM クリア

```
          LD    HL, 0040H       ; スタートアドレスの設定
          LD    A, H            ; 初期化データ (00H) の設定
          LD    BC,05FFH        ; バイト数 (-1) の設定
SRAMCLR:  LD    (HL), A
          INC   HL
          DEC   BC
          JRS   F, SRAMCLR
```

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ, タイミングジェネレータおよび動作モード制御回路から構成されています。

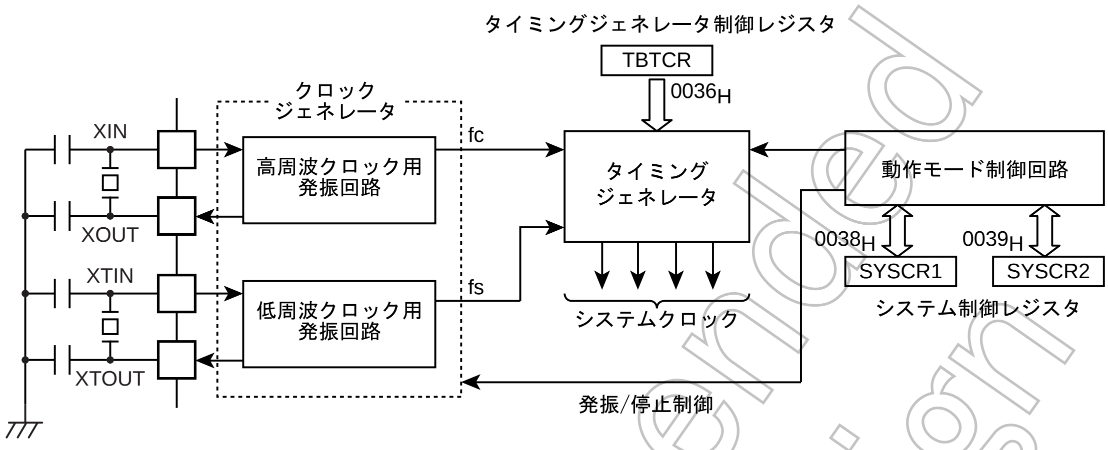


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロック ジェネレータは、CPU コアおよび周辺ハードウエアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック(周波数 fc), 低周波クロック(周波数 fs)は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

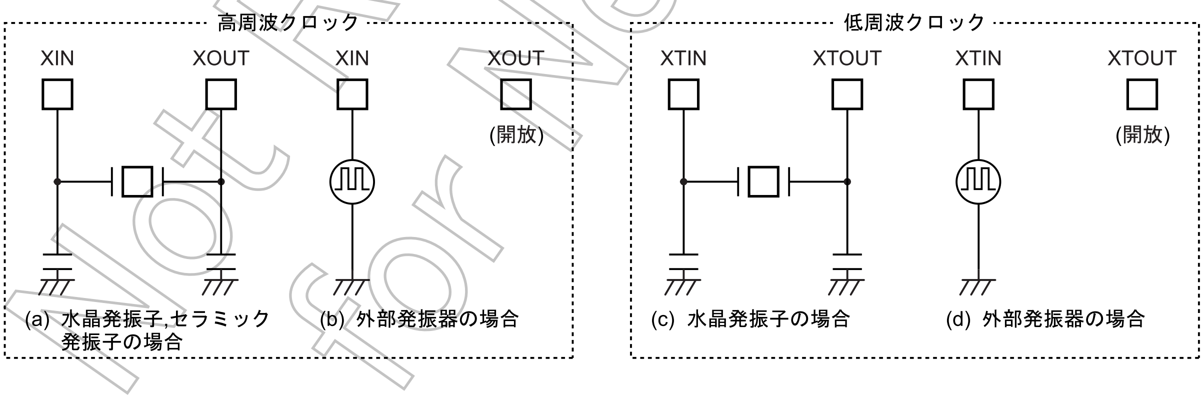


図 2-3 発振子の接続例

注) 基本クロックを外部にて直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2　タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウエアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ($\overline{\text{DVO}}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成
7. LCD ベース周波数生成

2.2.2.1　タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケーラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK>の設定 により図 2-4 のようになります。なお、リセット時および STOP モード起動/解除時プリスケーラおよびデバイダは “0” にクリアされます。

注)　TBTCR<DV7CK>は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK)を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

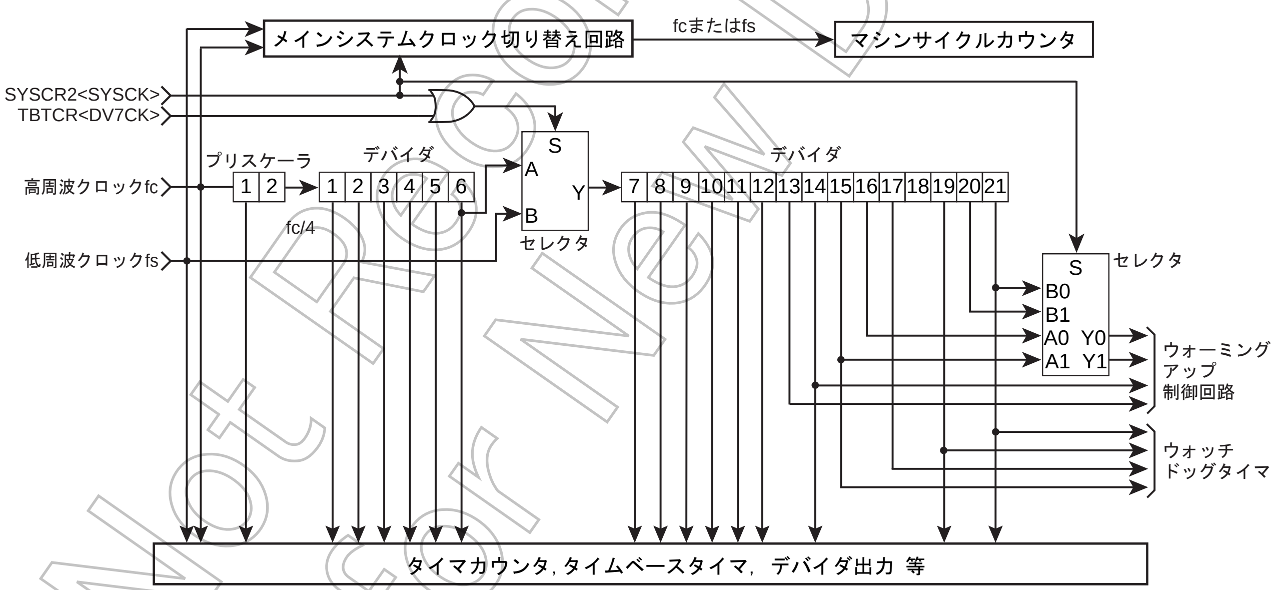


図 2-4 タイミングジェネレータの構成

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	
	(DV0EN)	(DV0CK)		DV7CK	(TBTEN)	(TBTCK)			(初期値: 0000 0000)

DV7CK	デバイダ 7 段目への入力クロックの選択	0: fc/2^8[Hz] 1: fs	R/W

注 1) シングルクロックモード時は、DV7CK を “1” にセットしないでください。
注 2) 低周波クロックの発振安定前に DV7CK を “1” にセットしないでください。
注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don’t care
注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。
注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウエアの動作は、システムクロックに同期して行われます。 命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

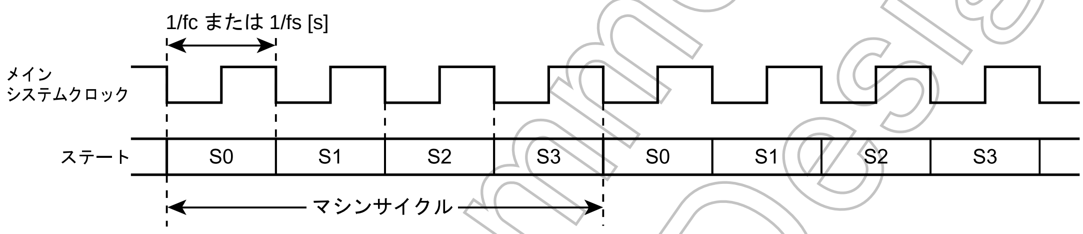


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用, 低周波クロック用の各発振回路の発振/停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは 4/fc [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウエアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を “1” にセットすることで行います。周辺ハードウエアからの割り込みまたは外部割り込みにより

解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT>を “1” にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し IMF = “1”, EF6 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します(デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 4/fc [s] , SLOW, SLEEP モード時 4/fs [s] (122 µs @ fs = 32.768 kHz) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

(1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウエアは高周波/低周波の両クロックで動作します。

(2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え, SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を “0” にクリアしないでください。

(3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア, 周辺ハードウエアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN>で行います。SLOW1, SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを高周波/低周波の両クロックで動作させるモードです。IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを低周波クロックで動作させるモードです。SLEEP1 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振しておりません。SLOW1, SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

(6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

(7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT>を “1” にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し、IMF = “1”, EF6 (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

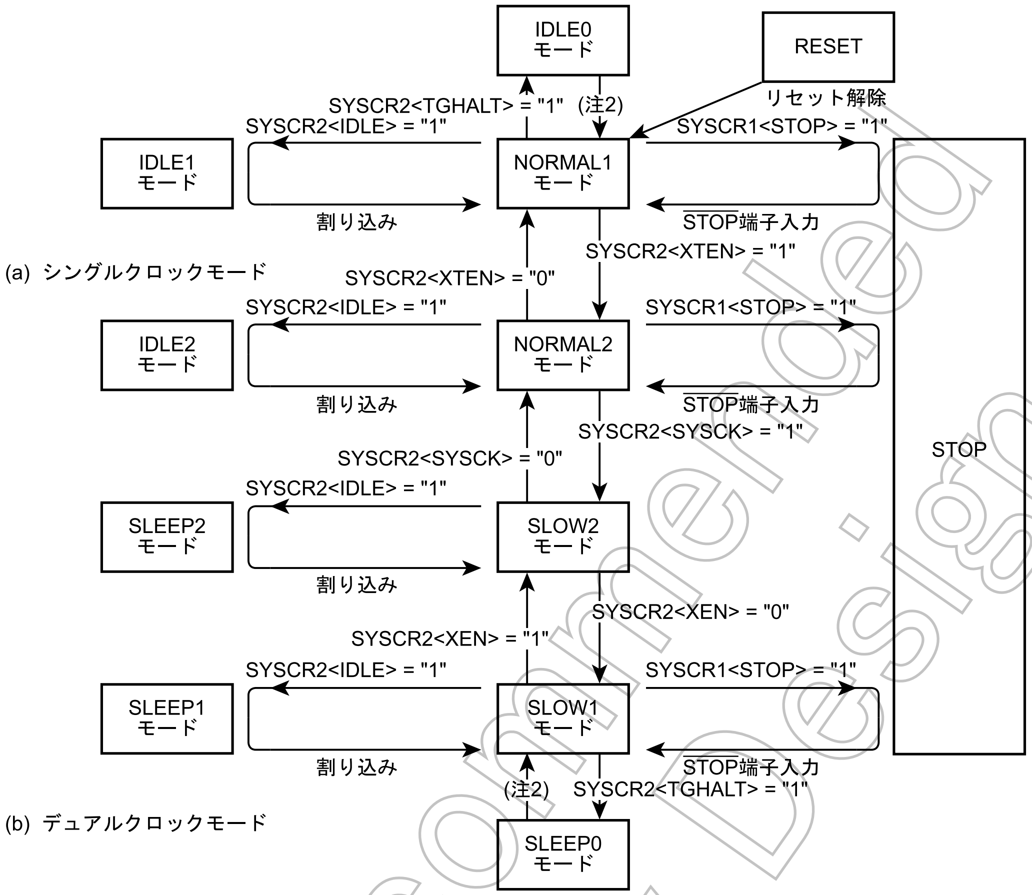
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、$\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.2.3.4　各動作モードの遷移



注 1)　NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。

注 2)　TBTCR<TBTCK>によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

<table>
<tr><th colspan="2" rowspan="2">動作モード</th><th colspan="2">発振回路</th><th rowspan="2">CPU コア</th><th rowspan="2">WDT</th><th rowspan="2">TBT</th><th rowspan="2">AD
コンバータ</th><th rowspan="2">その他
周辺回路</th><th rowspan="2">マシンサイクルタイム</th></tr>
<tr><th>高周波</th><th>低周波</th></tr>
<tr><td rowspan="5">シングル
クロック</td><td>RESET</td><td rowspan="4">発振</td><td rowspan="5">停止</td><td>リセット</td><td>リセット</td><td>リセット</td><td>リセット</td><td>リセット</td><td rowspan="4">4/fc [s]</td></tr>
<tr><td>NORMAL1</td><td>動作</td><td>動作</td><td rowspan="3">動作</td><td rowspan="2">動作</td><td rowspan="2">動作</td></tr>
<tr><td>IDLE1</td><td rowspan="3">停止</td><td rowspan="3">停止</td></tr>
<tr><td>IDLE0</td><td rowspan="2">停止</td><td rowspan="2">停止</td></tr>
<tr><td>STOP</td><td>停止</td><td>停止</td><td>−</td></tr>
<tr><td rowspan="8">デュアル
クロック</td><td>NORMAL2</td><td rowspan="4">発振</td><td rowspan="7">発振</td><td>高周波動作</td><td>高周波/
低周波動作</td><td rowspan="7">動作</td><td rowspan="2">高周波動作</td><td rowspan="6">動作</td><td rowspan="2">4/fc [s]</td></tr>
<tr><td>IDLE2</td><td>停止</td><td>停止</td></tr>
<tr><td>SLOW2</td><td>低周波動作</td><td>低周波動作</td><td rowspan="5">停止</td><td rowspan="5">4/fs [s]</td></tr>
<tr><td>SLEEP2</td><td>停止</td><td>停止</td></tr>
<tr><td>SLOW1</td><td rowspan="4">停止</td><td>低周波動作</td><td>低周波動作</td></tr>
<tr><td>SLEEP1</td><td rowspan="3">停止</td><td rowspan="3">停止</td></tr>
<tr><td>SLEEP0</td><td rowspan="2">停止</td></tr>
<tr><td>STOP</td><td>停止</td><td>停止</td><td>停止</td><td>−</td></tr>
</table>

2.2.4 動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値: 0000 00**)

STOP	STOP モードの起動	0: CPU コア, 周辺ハードウエア動作 1: CPU コア, 周辺ハードウエア停止 (STOP モード起動)			R/W
RELM	STOP モードの解除方法の選択	0: エッジ解除モード($\overline{STOP}$ 端子入力の立ち上がりエッジで解除) 1: レベル解除モード($\overline{STOP}$ 端子入力の “H” レベルで解除)			R/W
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る			R/W
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持			R/W
WUT	STOP モード解除時の ウォーミングアップ時間 単位: [s]		NORMAL1/2 モードへ戻る場合	SLOW1 モードへ戻る場合	R/W
		00	$3\times2^{16}/fc$	$3\times2^{13}/fs$	
		01	$2^{16}/fc$	$2^{13}/fs$	
		10	$3\times2^{14}/fc$	$3\times2^{6}/fs$	
		11	$2^{14}/fc$	$2^{6}/fs$	

注 1) RETM は、NORMAL モードから STOP モードを起動する場合は必ず “0” にしてください。SLOW モードから STOP モードを起動する場合は必ず “1” にしてください。

注 2) STOP モードを $\overline{RESET}$ 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。

注 3) fc ; 高周波クロック [Hz], fs ; 低周波クロック [Hz], *; Don't care

注 4) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。

注 5) OUTEN = “0” の指定で STOP モードを起動すると、内部入力は “0” に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。

注 6) キーオンウェイクアップ入力を使用する場合は、RELM を “1” に設定してください。

注 7) P20 端子は $\overline{STOP}$ 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は Hi-z 状態となります。

注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
SYSCK	システムクロックの選択(write)/モニタ(read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	R/W
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

注 1)　XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。

注 2)　WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, * ; Don’t care

注 3)　SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。

注 4)　IDLE と TGHALT は、同時に “1” に設定しないでください。

注 5)　IDLE0/SLEEP0 モードは、TBTCR<TBTCK>によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTCK>の時間よりも短くなります。

注 6)　IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。

注 7)　IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。

注 8)　TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP5 ～ STOP2 によって制御されます。$\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP>を “1” にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波, 低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケーラおよびデバイダを “0” にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1) . 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM>で選択します。エッジ解除モードの場合には、STOP5 ～ STOP2 を使用禁止に設定してください。

注 1) なお、$\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが “1” にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への “H” レベル入力または STOP5 ～ STOP2 (STOPCR でビットごとに設定可能) 端子への “L” レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサ バックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が “H” レベルまたは STOP5 ～ STOP2 端子が “L” レベルの状態で STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ)に移ります。従って、レベル解除モードで STOP 動作で起動する場合、$\overline{\text{STOP}}$ 端子入力が “L” レベルであり、また STOP5 ～ STOP2 端子入力が “H” レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. INT5 割り込みによる方法($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

（プログラム例 1）P20 ポートをテストして NORMAL モードから STOP モードを起動

```
          LD     (SYSCR1), 01010000B    ;レベル解除モードにセットアップ
SSTOPH:   TEST   (P2PRD) . 0            ; STOP 端子入力が “L” レベルになるまでウエイト
          JRS    F, SSTOPH
          DI                            ; IMF←0
          SET    (SYSCR1) . 7           ; STOP モードを起動
```

（プログラム例 2） INT5 割り込みにより、NORMAL モードから STOP モードを起動

```
PINT5:    TEST   (P2PRD) . 0            ;ノイズ 除去のため P20 ポート入力が
          JRS    F, SINT5               ; “H” レベルなら STOP モードを起動しない。
          LD     (SYSCR1), 01010000B    ;レベル解除モードにセットアップ
          DI                            ; IMF←0
          SET    (SYSCR1) . 7           ; STOP モードを起動
SINT5:    RETI
```

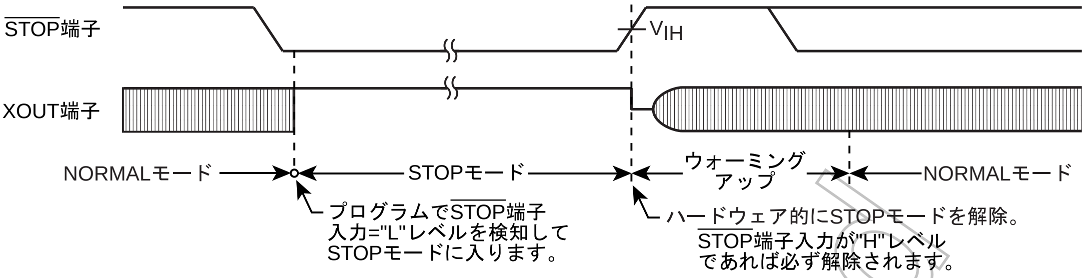


図 2-7 レベル解除モード

注 1)　ウォーミングアップ開始後、再び STOP 端子入力が “L” レベルまたは、STOP5 〜 STOP2 端子が “H” レベルになっても STOP モードには戻りません。

注 2)　エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2)　エッジ解除モード (RELM = “0”のとき)

STOP 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を STOP 端子に入力します。エッジ解除モードの場合、STOP 端子入力が “H” レベルにあっても STOP 動作に入ります。なお、STOP5 〜 STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

（プログラム例）NORMAL モードから STOP モードを起動

```
DI                                    ; IMF←0
LD        (SYSCR1) , 10010000B        ;エッジ解除モードに設定して起動
```

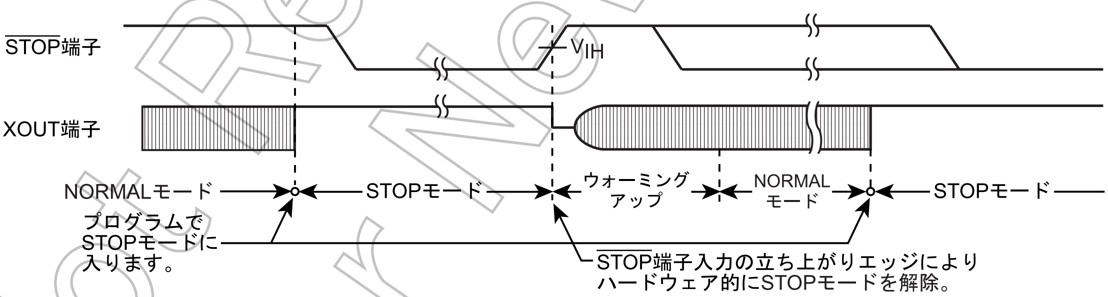


図 2-8 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波/低周波発振器の両方が発振し、SLOW1 に戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT>で 4 種類選択できます。

注 1)　STOP モードを解除すると、タイミングジェネレータのプリスケーラおよびデバイダは "0" にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を “L” レベル にすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。

STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も “H” レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例 : fc = 8.0 MHz, fs = 32.768 kHz 時)

WUT	ウォーミングアップ時間[ms]	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	24.576	750
01	8.192	250
10	6.144	5.85
11	2.048	1.95

注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

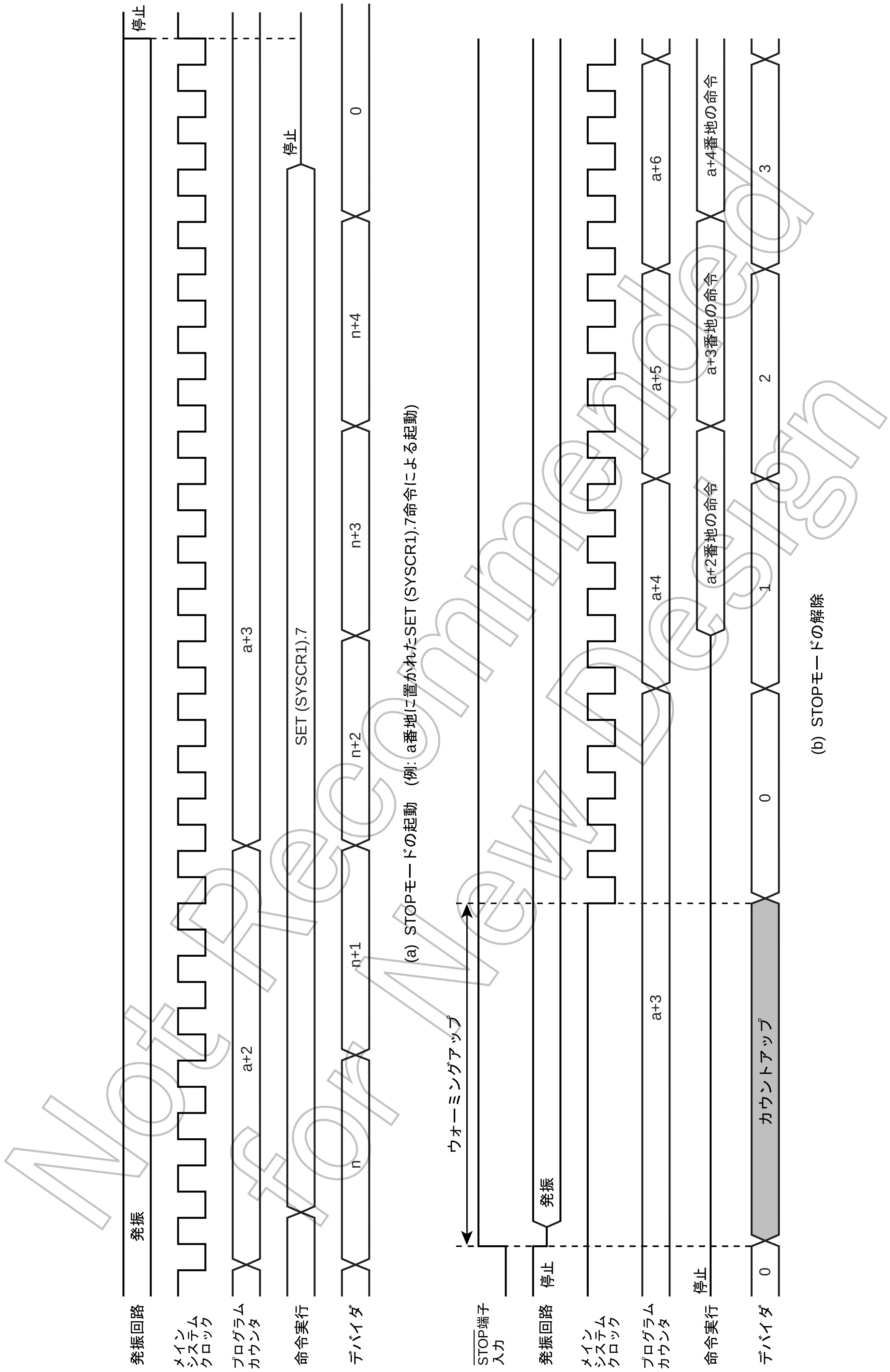


図 2-9 STOP モードの起動/解除

2.2.4.2 IDLE1/2 モード, SLEEP1/2 モード

IDLE1/2 モード, SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1/2 モード, SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウエアは動作を継続します。
2. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE1/2 モード, SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード, SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

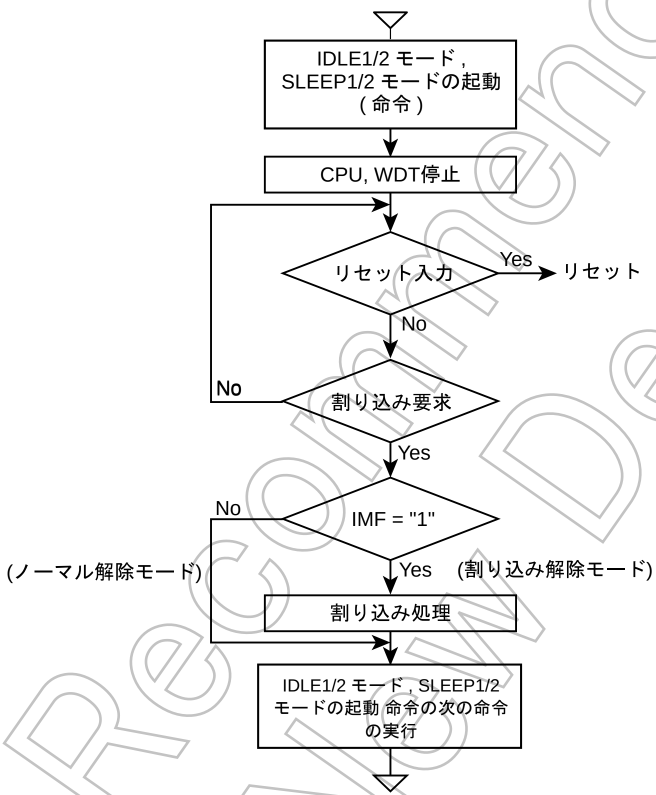


図 2-10 IDLE1/2 モード, SLEEP1/2 モード

・ IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ(IMF)を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ(EF)を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE>を “1” に設定します。

・ IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE>は自動的に “0” にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1)　ノーマル解除モード (IMF= “0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2)　割り込み解除モード (IMF= “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注)　IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

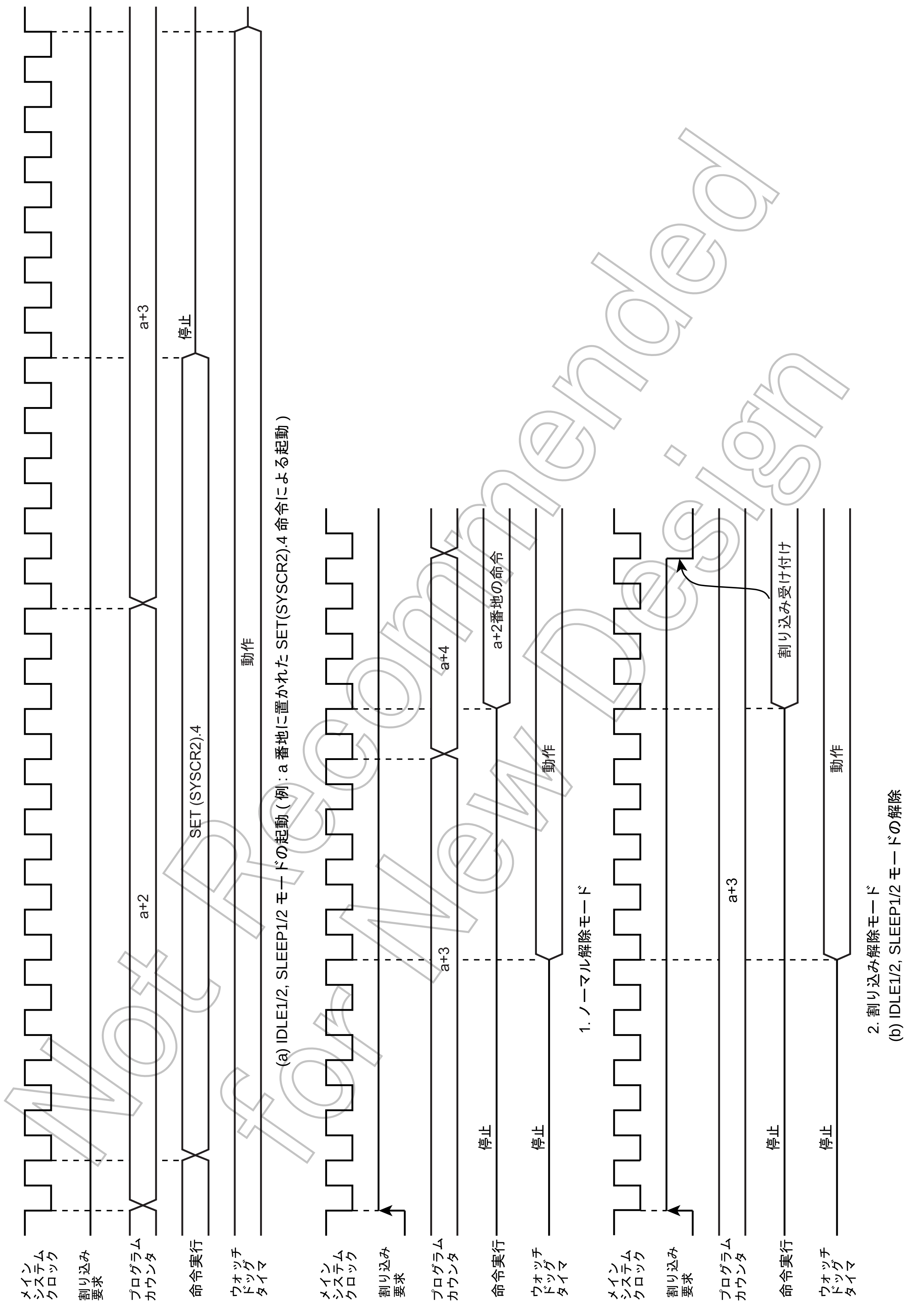


図 2-11 IDLE1/2, SLEEP1/2 モードの起動/解除

2.2.4.3　IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注)　IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

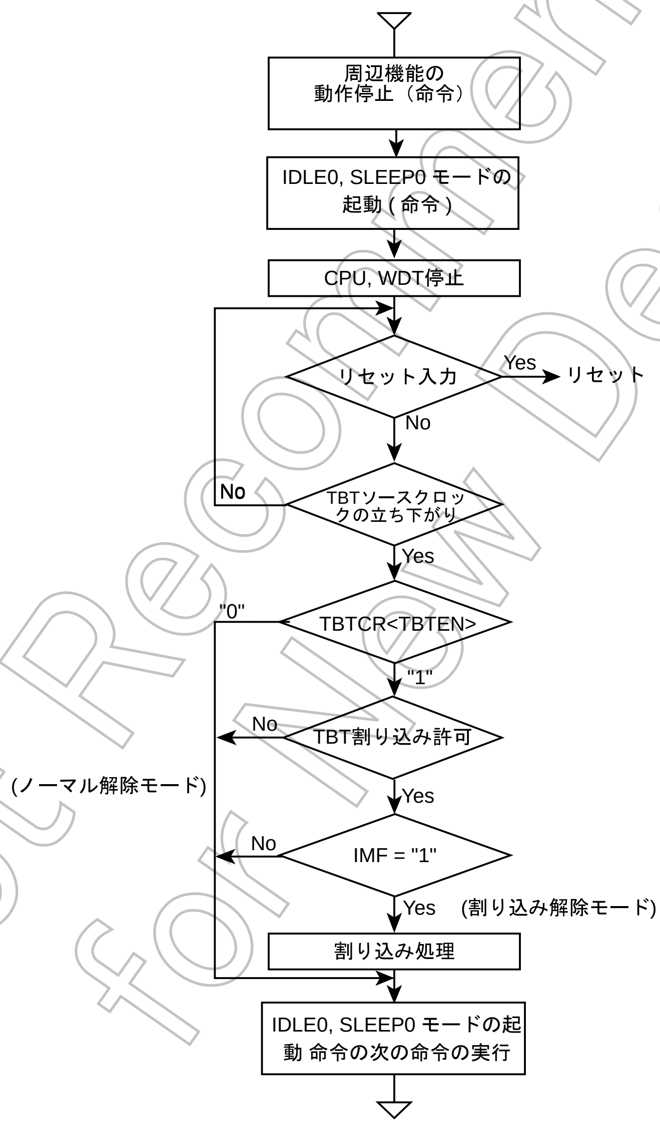


図 2-12 IDLE0, SLEEP0 モード

・ IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT>を "1" に設定します。

・ IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) 、タイムベースタイマの割り込み個別許可フラグ (EF6) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT>は自動的に "0" にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN>が "1" にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を "L" レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰します。

(1) ノーマル解除モード (IMF ・EF6 ・ TBTCR<TBTEN> = "0" のとき)

TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN>が "1" の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = "1" のとき)

TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTCK>によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTCK> の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

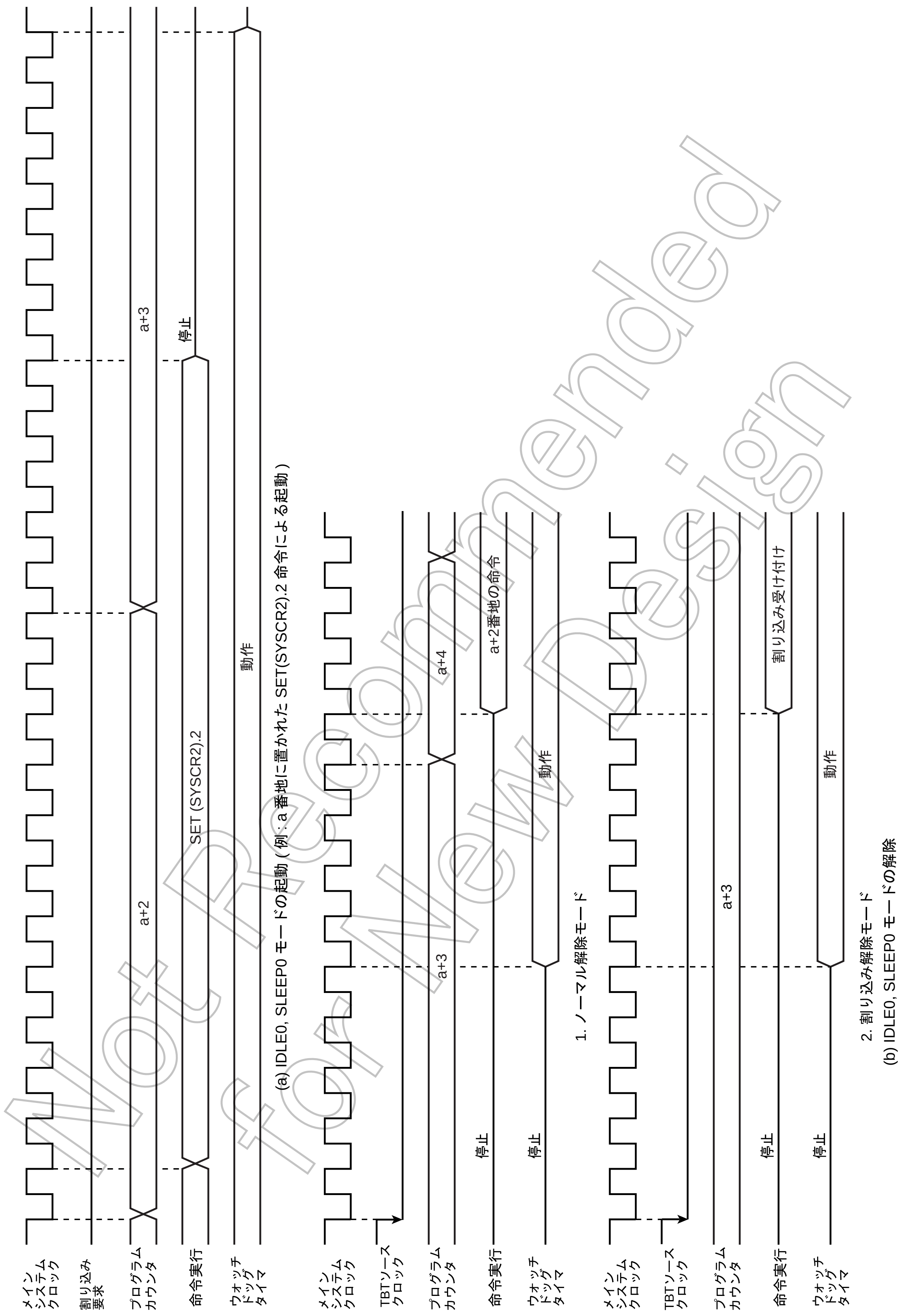


図 2-13 IDLE0, SLEEP0 モードの起動/解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

以下は、ウォーミングアップカウンタを用いたモード切り替え方法です。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK>に “1” を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を “0” にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ(TC4, TC3)を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```
                                            ; SYSCR2<SYSCK>←1
        SET     (SYSCR2) . 5                ; (システムクロックを低周波に切り替え
                                            ; (SLOW2 モードに))
        CLR     (SYSCR2) . 7                ; SYSCR2<XEN>←0 (高周波クロック停止)
```

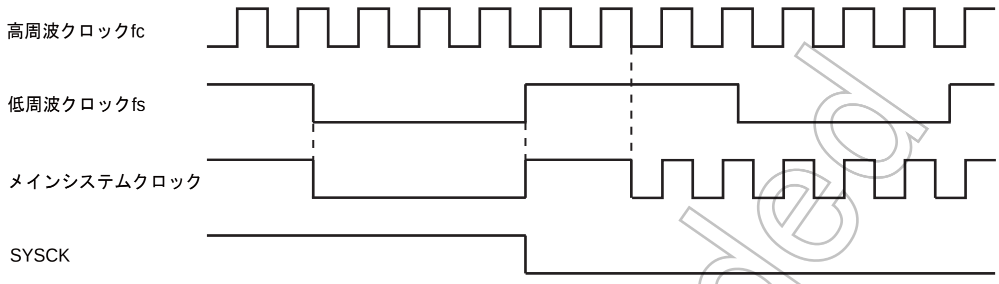
(プログラム例 2) TC4, TC3 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```
                                            ; SYSCR2<XTEN>←1
          SET     (SYSCR2). 6               ; (低周波クロック発振開始)
          LD      (TC3CR), 43H              ; TC4, 3 のモードをセット
          LD      (TC4CR), 05H              ; ウォーミングアップカウンタモードに設定
                  (TTREG3), 8000H           ;ウォーミングアップ時間をセット
          LDW                               ; (発振子の特性で時間を決定します)
          DI                                ; IMF←0
          SET     (EIRH). 3                 ; INTTC4 の割り込みを許可
          EI                                ; IMF←1
          SET     (TC4CR). 3                ; TC4, 3 スタート
          ¦
PINTTC4:  CLR     (TC4CR). 3                ; TC4, 3 ストップ
                                            ; SYSCR2<SYSCK>←1
          SET     (SYSCR2). 5               ; (システムクロックを低周波に切り替え)
          CLR     (SYSCR2). 7               ; SYSCR2<XEN>←0 (高周波クロック停止)
          RETI
          ¦
VINTTC4:  DW      PINTTC4                   ; INTTC4 ベクタテーブル
```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN>を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ(TC4, TC3)によって確保したあと、SYSCR2<SYSCK>を “0” にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注)　SYSCK を“0”にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



（プログラム例）TC4, TC3 で SLOW1 モードから NORMAL2 モードへの切り替え
(fc = 8 MHz, ウォーミングアップ時間 = 8.0 ms)

	SET	(SYSCR2) . 7	; SYSCR2<XEN>←1 ;(高周波クロック発振開始)
	LD	(TC3CR), 63H	; TC4, 3 のモードをセット
	LD	(TC4CR), 05H	;ウォーミングアップカウンタモード, ソースクロック : fc
	LD	(TTREG4), 0F8H	;ウォーミングアップ時間をセット ; (周波数と発振子の特性で時間を決定します)
	DI		; IMF←0
	SET	(EIRH). 3	; INTTC4 割り込みを許可
	EI		; IMF←1
	SET	(TC4CR). 3	; TC4, 3 スタート
	¦		
PINTTC4	CLR	(TC4CR). 3	; TC4, 3 ストップ
	CLR	(SYSCR2). 5	; SYSCR2<SYSCK>←0 ; (システムクロックを高周波に切り替え)
	RETI		
	¦		
VINTTC4:	DW	PINTTC4	; INTTC4 ベクタテーブル

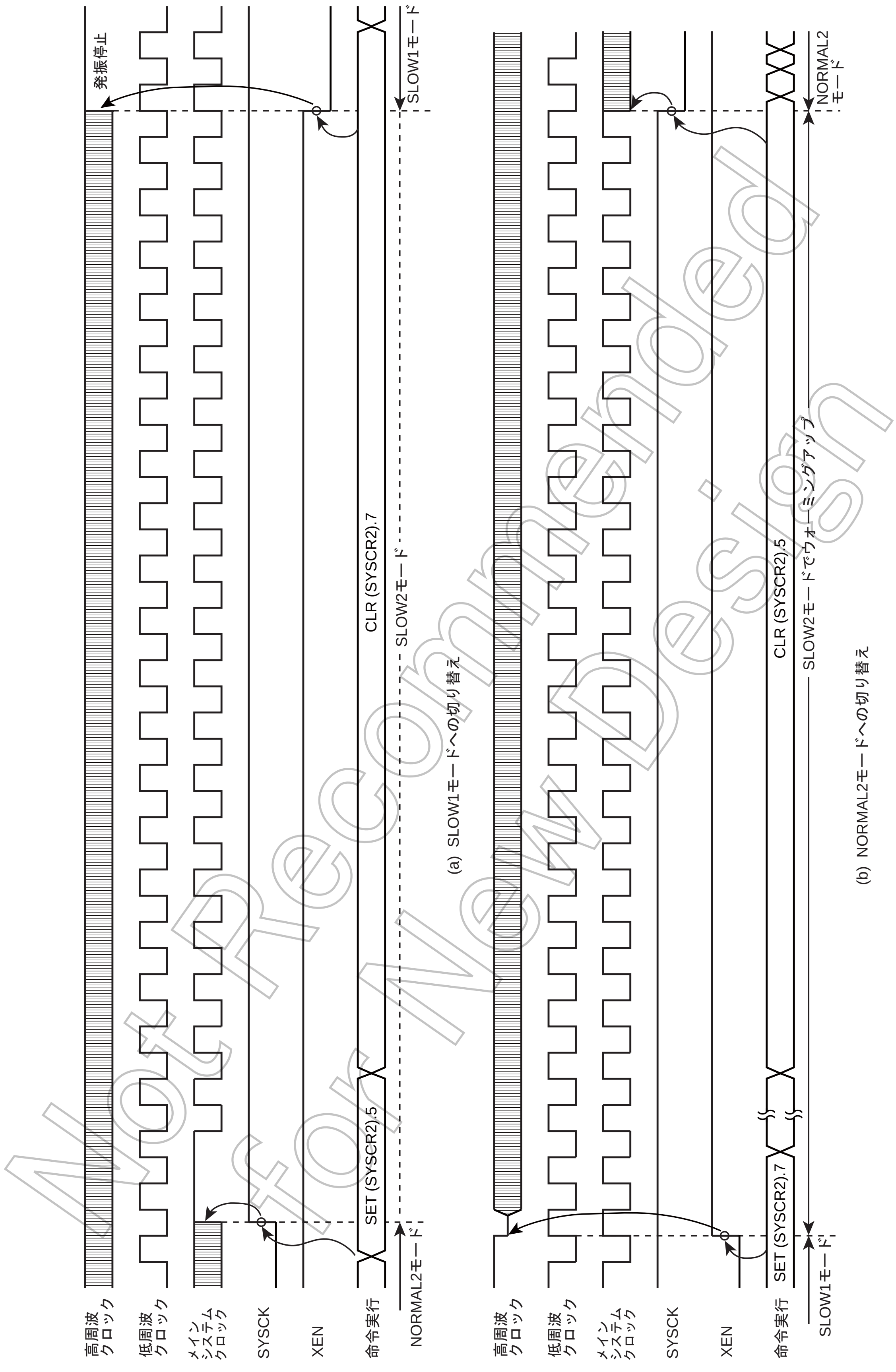


図 2-14 SLOW ↔ NORMAL2 モード切り替え

2.3　リセット回路

TMP86FM29LUG には外部リセット入力、アドレストラップ リセット、ウォッチドッグタイマ リセット、システムクロック リセットの 4 種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 24/fc[s]の期間リセット状態となります。(RESET 端子から L レベルを出力します)

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット, アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大 24/fc (3.0 µs @ 8.0 MHz) の期間リセット状態となる(最大 24/fc の期間、RESET 端子からレベルを出力する)場合があります。

表 2-3 にリセット動作による内蔵ハードウエアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウエアの初期化

内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)
スタックポインタ (SP)	初期化されません
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません
ジャンプ ステータスフラグ (JF)	初期化されません
ゼロフラグ (ZF)	初期化されません
キャリーフラグ (CF)	初期化されません
ハーフキャリーフラグ (HF)	初期化されません
サインフラグ (SF)	初期化されません
オーバフローフラグ (VF)	初期化されません
割り込みマスタ許可フラグ (IMF)	0
割り込み個別許可フラグ (EF)	0
割り込みラッチ (IL)	0

内蔵ハードウエア	初期値
タイミング ジェネレータのプリスケーラおよびデバイダ	0
ウォッチドッグ タイマ	イネーブル
入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
制御レジスタ	各制御レジスタの説明箇所を参照
LCD データバッファ	初期化されません
RAM	初期化されません

2.3.1　外部リセット入力

$\overline{\text{RESET}}$ 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル (12/fc [s]) 以上の間 $\overline{\text{RESET}}$ 端子を “L” レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$ 端子入力が “H” レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

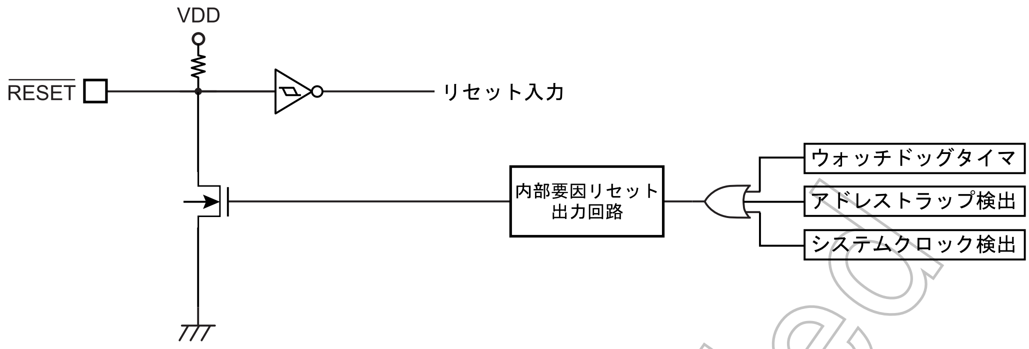
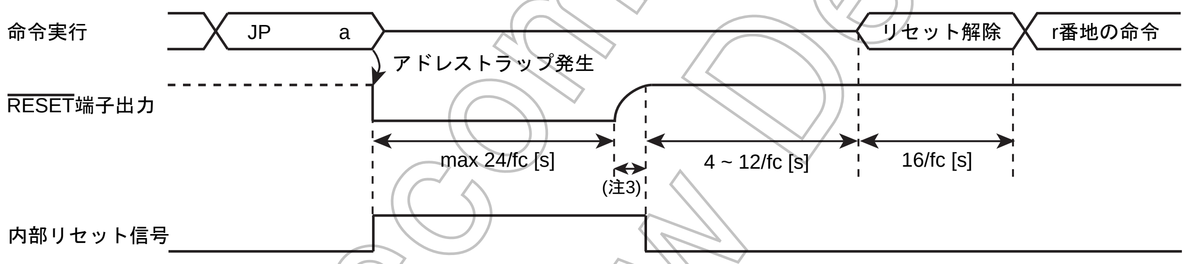


図 2-15 リセット回路

2.3.2 アドレストラップ リセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), SFR または DBR 領域から命令をフェッチしようとするとリセット信号が発生します。リセット時間は、最大 24/fc [s] (3.0 µs @ 8.0 MHz) です。このときリセット端子は最大 24/fc [s]の期間、“L” レベルを出力します。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。
注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ/デコードが行われます。
注 3) 外部要因、電圧などにより変化します。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、 SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、 SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 24/fc [s](3.0 µs @ 8.0 MHz) です。このときリセット端子は最大 24/fc [s]の期間、“L” レベルを出力します。

第 3 章　割り込み制御回路

TMP86FM29LUG には、リセットを除き合計 19 種類の割り込み要因 (うち、3 要因はマルチプレクス) があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により “1” にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウエアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスカブル	-	FFFE	1
内部	INTSW (ソフトウエア割込み)	ノンマスカブル	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスカブル	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスカブル	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスカブル	IL3	FFF8	2
-	$\overline{\text{INT0}}$	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
-	INT1	IMF・EF5 = 1	IL5	FFF4	6
-	INTTBT	IMF・EF6 = 1	IL6	FFF2	7
-	INT2	IMF・EF7 = 1	IL7	FFF0	8
-	INTTC	IMF・EF8 = 1	IL8	FFEE	9
-	INTRXD	IMF・EF9 = 1, IL9ER = 0	IL9	FFEC	10
-	INTSIO	IMF・EF9 = 1, IL9ER = 1			
-	INTTXD	IMF・EF10 = 1	IL10	FFEA	11
-	INTTC4	IMF・EF11 = 1	IL11	FFE8	12
-	INTTC6	IMF・EF12 = 1	IL12	FFE6	13
-	INTADC	IMF・EF13 = 1	IL13	FFE4	14
-	INT3	IMF・EF14 = 1, IL14ER = 0	IL14	FFE2	15
-	INTTC3	IMF・EF14 = 1, IL14ER = 1			
-	$\overline{\text{INT5}}$	IMF・EF15 = 1, IL15ER = 0	IL15	FFE0	16
-	INTTC5	IMF・EF15 = 1, IL15ER = 1			

注 1)　割り込みソースを共有している割り込み要因は、INTSEL レジスタ (「「3.3 割り込み要因の選択 (INTSEL)」」)で設定します。

注 2)　アドレストラップ割り込み (INTATRAP) を使用するには WDTCR1<ATOUT>を"0"に設定してください(リセット解除後は"リセット要求"に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注 3)　ウォッチドッグタイマ割り込み(INTWDT)を使用するには WDTCR1<WDTOUT>を"0"に設定してください(リセット解除後は"リセット要求"に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1　割り込みラッチ (IL15 ~ IL2)

割り込みラッチは、ソフトウエア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により “1” にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは “0” にクリアされます。リセット時、割り込みラッチはすべて “0” に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には “1” を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注)　メインプログラム中で、割り込み個別許可フラグ(EF)や割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に"0"になりますので、通常割り込みサービスプログラムの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に EF および IL を設定してください。

（プログラム例 1）割り込みラッチのクリア

```
DI                                          ; IMF←0
LDW     (ILL), 1110100000111111B            ; IL12, IL10~IL6←0
EI                                          ; IMF←1
```

（プログラム例 2）割り込みラッチの読み出し

```
LD      WA, (ILL)                           ; W←ILH, A←ILL
```

（プログラム例 3）割り込みラッチのテスト

```
TEST    (ILL). 7                            ; IL7 = 1 ならジャンプ
JR      F, SSET
```

3.2 割り込み許可レジスタ (EIR)

ノンマスカブル割り込み (ソフトウエア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスカブル割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後 “0” にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令で リード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは “0” に初期化されます。

3.2.2 割り込み個別許可フラグ (EF15 ~ EF4)

各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが “1” なら割り込み受け付けを許可し、 “0” なら禁止します。

なお、リセット時、割り込み個別許可フラグは"0"に初期化されます。個別許可フラグが"1"にセットされるまでマスカブル割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ(EF)や割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に"0"になりますので、通常割り込みサービスプログラムの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

```
DI                                      ; IMF ← 0
LDW     (EIRL), 1110100010100000B       ; EF15~EF13, EF11, EF7, EF5 ← 1
:                                       ;注) IMF はセットしない
:
EI                                      ; IMF ← 1
```

（プログラム例 2）　コンパイラ記述例

```
unsigned int _io (3AH) EIRL;                /* 3AH は EIRL のアドレス*/
_DI ( );
EIRL=10100000B;
:
_EI ( ) ;
```

割り込みラッチ

(初期値: 00000000 000000**)

ILH,ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		
	ILH (003DH)								ILL (003CH)							

		RD 時	WR 時	
IL15~IL2	割り込みラッチ	0: 割り込み要求なし 1: 割り込み要求あり	0:割り込み要求のクリア(注) 1:セットは不可	R/W

注 1)　IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず “1” を書き込んでください。

注 2)　メインプログラム中で、割り込み個別許可フラグ(EF)や割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。

割り込みサービスプログラムでは、IMF は自動的に"0"になりますので、通常割り込みサービスプログラムの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に EF および IL を設定してください。

注 3)　IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値: 00000000 0000***0)

EIRH,EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF
	EIRH (003BH)								EIRL (003AH)							

EF15~EF4	割り込み個別許可フラグ (ビットごとに指定)	0:　各マスカブル割り込みの受け付け禁止 1:　各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0:　各マスカブル割り込み全体の受け付け禁止 1:　各マスカブル割り込み全体の受け付け許可	

注 1)　*: Don’t care

注 2)　割り込み許可フラグ (EF15~4) と同時に IMF を “1” にセットしないでください。

注 3)　メインプログラム中で、割り込み個別許可フラグ(EF)や割り込みラッチ(IL)を操作する場合は、事前にマスタ許可フラグ(IMF)を"0"にクリアにしてから行ってください(DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を"1"にセットしてください(EI 命令による割り込みの許可)。

割り込みサービスプログラムでは、IMF は自動的に"0"になりますので、通常割り込みサービスプログラムの中で IMF を"0"にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を"1"にセットする前に EF および IL を設定してください。

3.3 割り込み要因の選択 (INTSEL)

割り込みソースをほかの割り込み要因と共有する割り込み要因は、INTSEL レジスタで選択された場合に限り割り込みラッチをイネーブルにすることができます。割り込みコントローラは INTSEL レジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が発生する前に INTSEL レジスタを適切に設定する必要があります。

1. INTRXD と INTSIO は優先順位 10 の割り込みソースを共有します。
2. INT3 と INTTC3 は優先順位 15 の割り込みソースを共有します。
3. $\overline{\text{INT5}}$ と INTTC5 は優先順位 16 の割り込みソースを共有します。

割り込み要因セレクタ

INTSEL (003EH)	7	6	5	4	3	2	1	0	
	—	IL9ER	—	—	—	—	IL14ER	IL15ER	(初期値: *0** **00)

IL9ER	INTRXD, INTSIO の選択	0: INTRXD 1: INTSIO	R/W
IL14ER	INT3, INTTC3 の選択	0: INT3 1: INTTC3	R/W
IL15ER	$\overline{\text{INT5}}$, INTTC5 の選択	0: $\overline{\text{INT5}}$ 1: INTTC5	R/W

3.4　割り込み処理

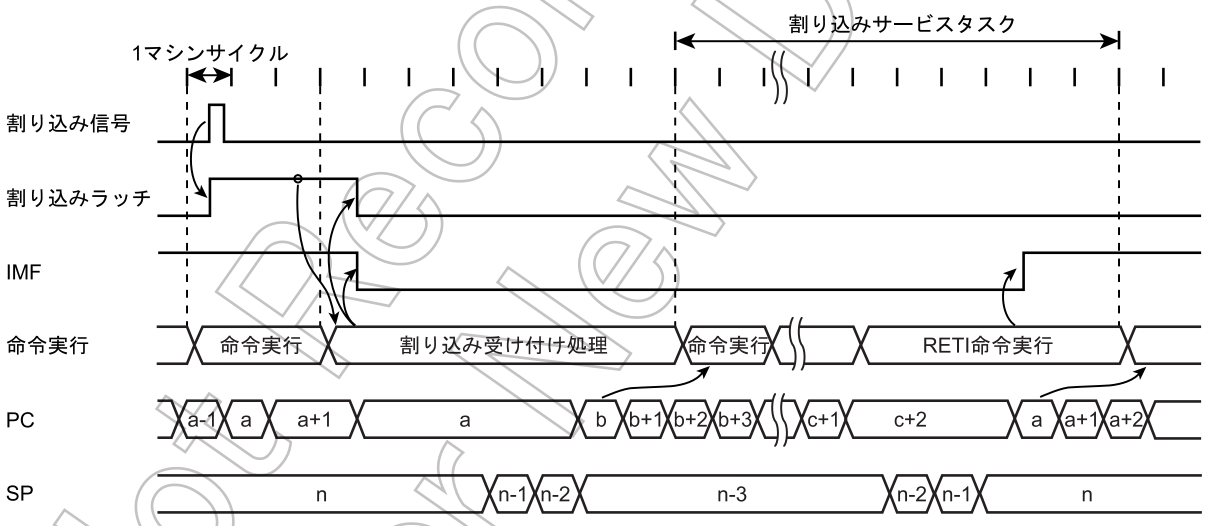
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが “0” にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (4 μs @8 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合)を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.4.1　割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ(IMF) を “0” にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを “0” にクリアします。
3. プログラムカウンタ(PC) プログラム ステータス ワード(PSW) および割り込み受け付け前の IMF の内容をスタックに退避 します (PSW + IMF, PCH, PCL の順にプッシュダウンされます) 。スタックポインタ (SP) は 3 回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注)　PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1)　a; 戻り番地　 b; エントリーアドレス　 c; RETI 命令が格納されているアドレス

注 2)　割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s]または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります)となります。

図 3-1 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

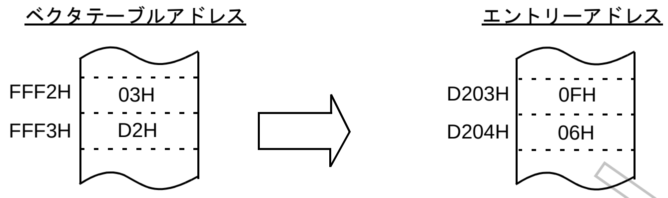


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが “1” にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを “1” にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを “1” にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.4.2 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやそのほかのレジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の 2 つの方法があります。

3.4.2.1 プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

（プログラム例）プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx    PUSH        WA        ; WA レジスタペアをスタックに退避
          割り込み処理
          POP         WA        ; WA レジスタペアをスタックから復帰
          RETI                  ;リターン
```

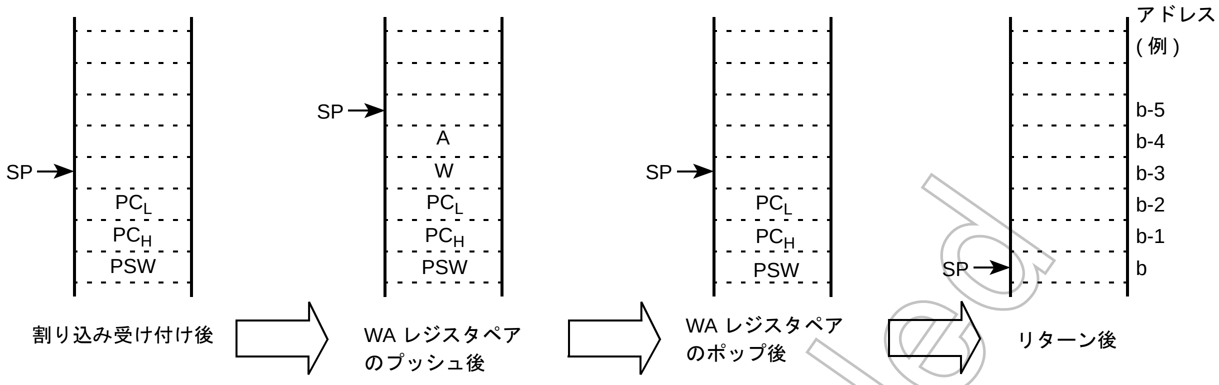


図 3-3 プッシュ/ポップ命令による汎用レジスタの退避/復帰処理

3.4.2.2　転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

（プログラム例）データメモリとの転送命令によるレジスタの退避/復帰

PINTxx:	LD	(GSAVA), A	; A レジスタの退避
	割り込み処理		
	LD	A, (GSAVA)	; A レジスタの復帰
	RETI		;リターン

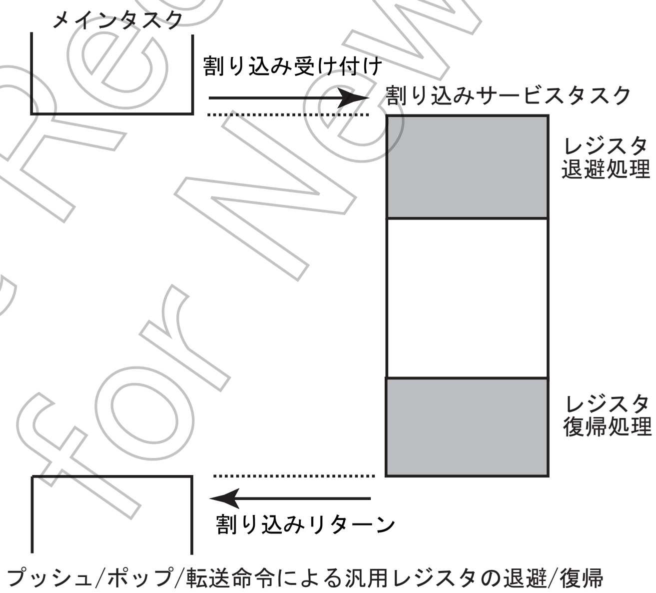


図 3-4 割り込み処理における汎用レジスタの退避/復帰処理

3.4.3　割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] / [RETN] 割り込みリターン
① プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。
② スタックポインタを 3 回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
割り込みリターン後の PCL, PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

（プログラム例 1）アドレストラップ割り込みサービスプログラムからのリターン

```
PINTxx    POP     WA                    ;スタックポインタを 2 つ戻す
          LD      WA, RetrunAddress     ; WA レジスタに再開アドレスを代入する
          PUSH    WA                    ;スタックにプッシュダウンする
          割り込み処理
          RETN                          ;ノンマスカブル割り込みリターン命令
```

（プログラム例 2）リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

```
PINTxx    INC     SP                    ;スタックポインタを 3 つ戻す
          INC     SP
          INC     SP
          割り込み処理
          LD      EIRL, data            ; IMF を “1” にセット、または “0” にクリア
          JP      RestartAddress        ; 復帰アドレスへジャンプ
```

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注 1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメントする)。

注 2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.5　ソフトウエア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウエア割り込みが発生し、 ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

3.5.1　アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。 なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレス トラップ リセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.5.2　デバッギング

SWI 命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

3.6　未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注)　未定義命令割り込み (INTUNDEF) は、ソフトウエア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.7　アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注)　アドレストラップ時の動作設定 (リセット出力/割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.8 外部割り込み

TMP86FM29LUG には、5 本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

また、INT1 to INT3 端子は、エッジ選択が可能です。なお、$\overline{\mathrm{INT0}}$/P63 端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択, ノイズ除去の制御 および $\overline{\mathrm{INT0}}$/P63 端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ	デジタルノイズ除去回路
INT0	$\overline{\mathrm{INT0}}$	IMF × EF4 × INT0EN = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	IMF × EF5 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	IMF × EF7 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT3	INT3	IMF × EF14 = 1 及び IL14ER=0	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT5	$\overline{\mathrm{INT5}}$	IMF × EF15 = 1 及び IL15ER=0	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注 1) NORMAL1, 2 または IDLE1, 2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s]です。

注 2) INT0EN = “0” のとき、$\overline{\mathrm{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0	
(0037H)	INT1NC	INT0EN	- -		INT3ES	INT2ES	INT1ES		(初期値: 00** 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s]未満のパルスはノイズとして除去 1: 15/fc[s]未満のパルスはノイズとして除去	R/W
INT0EN	P63/INT0 の機能選択	0: P63 入出力ポート 1: $\overline{\mathrm{INT0}}$ 端子 (P63 ポートは入力モードにしてください)	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1:立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1:立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1:立ち下がりエッジで割り込み要求発生	R/W

注 1) fc; 高周波クロック [Hz] *; Don’t care

注 2)　システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3)　INT1NC を切り替えた場合、最大 2^6/fc の期間ノイズキャンセル時間が切り替わらない事があります。

第 4 章　スペシャルファンクションレジスタ

TMP86FM29LUG は、メモリマップ I/O 方式で、周辺ハードウエアのデータ制御/転送はすべてスペシャル ファンクション レジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86FM29LUG の SFR, DBR の一覧を示します。

4.1　SFR

アドレス	リード	ライト
0000H	Reserved	
0001H	P1DR	
0002H	P2DR	
0003H	P3DR	
0004H	P3OUTCR	
0005H	P5DR	
0006H	P6DR	
0007H	P7DR	
0008H	P1PRD	-
0009H	P2PRD	-
000AH	P3PRD	-
000BH	P5PRD	-
000CH	P6CR	
000DH	P7PRD	-
000EH	ADCCR1	
000FH	ADCCR2	
0010H	TREG1AL	
0011H	TREG1AM	
0012H	TREG1AH	
0013H	TREG1B	
0014H	TC1CR1	
0015H	TC1CR2	
0016H	TC1SR	-
0017H	Reserved	
0018H	TC3CR	
0019H	TC4CR	
001AH	TC5CR	
001BH	TC6CR	
001CH	TTREG3	
001DH	TTREG4	
001EH	TTREG5	
001FH	TTREG6	
0020H	ADCDR1	-
0021H	ADCDR2	-
0022H	Reserved	
0023H	Reserved	
0024H	Reserved	
0025H	UARTSR	UARTCR1
0026H	-	UARTCR2

アドレス	リード	ライト
0027H	-	Reserved
0028H	LCDCR	
0029H	P1LCR	
002AH	P5LCR	
002BH	P7LCR	
002CH	PWREG3	
002DH	PWREG4	
002EH	PWREG5	
002FH	PWREG6	
0030H	Reserved	
0031H	Reserved	
0032H	Reserved	
0033H	Reserved	
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H	TBTCR	
0037H	EINTCR	
0038H	SYSCR1	
0039H	SYSCR2	
003AH	EIRL	
003BH	EIRH	
003CH	ILL	
003DH	ILH	
003EH	INTSEL	
003FH	PSW	

注 1)　Reserved の番地はプログラムでアクセスしないでください。
注 2)　− ; アクセスできません。
注 3)　書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

4.2 DBR

アドレス	リード	ライト
0F80H	SEG1/0	
0F81H	SEG3/2	
0F82H	SEG5/4	
0F83H	SEG7/6	
0F84H	SEG9/8	
0F85H	SEG11/10	
0F86H	SEG13/12	
0F87H	SEG15/14	
0F88H	SEG17/16	
0F89H	SEG19/18	
0F8AH	SEG21/20	
0F8BH	SEG23/22	
0F8CH	SEG25/24	
0F8DH	SEG27/26	
0F8EH	SEG29/28	
0F8FH	SEG31/30	
0F90H	SIOBR0	
0F91H	SIOBR1	
0F92H	SIOBR2	
0F93H	SIOBR3	
0F94H	SIOBR4	
0F95H	SIOBR5	
0F96H	SIOBR6	
0F97H	SIOBR7	
0F98H	-	SIOCR1
0F99H	SIOSR	SIOCR2
0F9AH	-	STOPCR
0F9BH	RDBUF	TDBUF
0F9CH	Reserved	
0F9DH	Reserved	
0F9EH	Reserved	
0F9FH	Reserved	

アドレス	リード	ライト
0FA0H	Reserved	
: :	: :	
0FBFH	Reserved	

アドレス	リード	ライト
0FC0H	Reserved	
: :	: :	
0FDFH	Reserved	

アドレス	リード	ライト
0FE0H	Reserved	
0FE1H	Reserved	
0FE2H	Reserved	

アドレス	リード	ライト
0FE3H	Reserved	
0FE4H	Reserved	
0FE5H	Reserved	
0FE6H	Reserved	
0FE7H	Reserved	
0FE8H	Reserved	
0FE9H	-	FLSSTB
0FEAH	Reserved	
0FEBH	Reserved	
0FECH	Reserved	
0FEDH	Reserved	
0FEEH	Reserved	
0FEFH	Reserved	
0FF0H	Reserved	
0FF1H	Reserved	
0FF2H	Reserved	
0FF3H	Reserved	
0FF4H	Reserved	
0FF5H	Reserved	
0FF6H	Reserved	
0FF7H	Reserved	
0FF8H	Reserved	
0FF9H	Reserved	
0FFAH	Reserved	
0FFBH	Reserved	
0FFCH	Reserved	
0FFDH	Reserved	
0FFEH	Reserved	
0FFFH	FLSCR	

注 1)　Reserved の番地はプログラムでアクセスしないでください。

注 2)　－; アクセスできません。

注 3)　書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

第 5 章　入出力ポート

TMP86FM29LUG は、6 ポート 39 端子の入出力ポートを内蔵しています。

1. P1 ポート;

   8 ビット入出力ポート (外部割り込み入力, シリアルクロック入出力, UART 入出力, LCD セグメント出力と兼用)
2. P2 ポート;

   3 ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力と兼用)
3. P3 ポート;

   4 ビット入出力ポート (デバイダ出力, タイマ入出力と兼用)
4. P5 ポート;

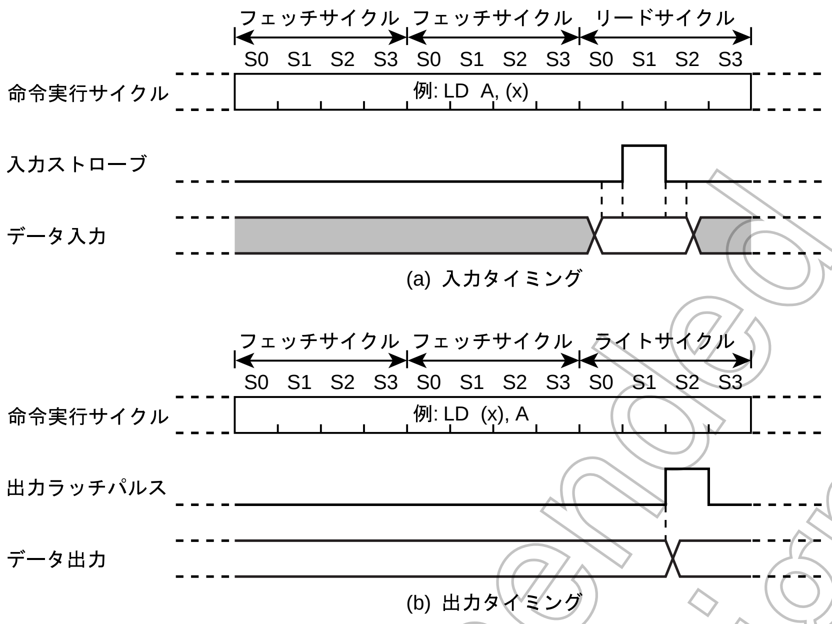
   8 ビット入出力ポート (LCD セグメント出力と兼用)
5. P6 ポート;

   8 ビット入出力ポート (アナログ入力, 外部割込み入力, STOP モード解除信号, タイマカウンタ入力と兼用)
6. P7 ポート;

   8 ビット入出力ポート (LCD セグメント出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注)　命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

5.1　P1 (P17~P10) ポート

P1 ポートは、8 ビットの入出力ポートで、外部割込み入力、シリアルインタフェース入出力、UART 入出力、LCD セグメント出力と兼用です。入力ポートまたは、外部割り込み入力、シリアルインタフェース入出力、UART 入出力として用いる場合は、セグメント出力制御 (P1LCR) を “0” にセットした後、出力ラッチ (P1DR) を “1” にセットします。出力ポートとして使用する場合は P1LCR の対応するビットを “0” にセットします。LCD セグメント出力として使用する場合は P1LCR の対応するビットを “1” にセットします。リセット時、P1DR は “1” に、P1LCR は “0” に初期化されます。

P1 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P1DR を、端子の状態を読み込む場合は P1PRD レジスタをそれぞれ読み出してください。LCD セグメント出力に設定した端子に対して P1PRD で端子の状態を読み出すと不定値が読み出されます。

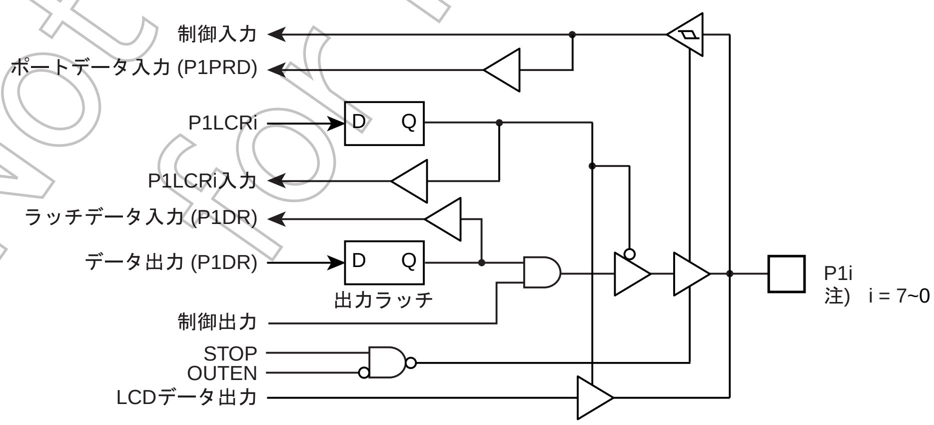


図 5-2 P1 ポート

P1 ポート制御レジスタ

P1DR (0001H) R/W

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W	P17 SEG24 $\overline{SCK}$	P16 SEG25 TxD SO	P15 SEG26 RxD SI	P14 SEG27 INT3	P13 SEG28 INT2	P12 SEG29 INT1	P11 SEG30	P10 SEG31	(初期値: 1111 1111)

	7	6	5	4	3	2	1	0	
P1LCR (0029H)									(初期値: 0000 0000)

P1LCR	P1 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポートまたはセグメント出力を除く兼用機能 1: セグメント出力	R/W

	7	6	5	4	3	2	1	0
P1PRD (0008H) Read only	P17	P16	P15	P14	P13	P12	P11	P10

5.2　P2 (P22~P20) ポート

P2 ポートは、3 ビットの入出力ポートで、外部割込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは、機能端子として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。P2DR はリセット時 “1” に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりで割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR を、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

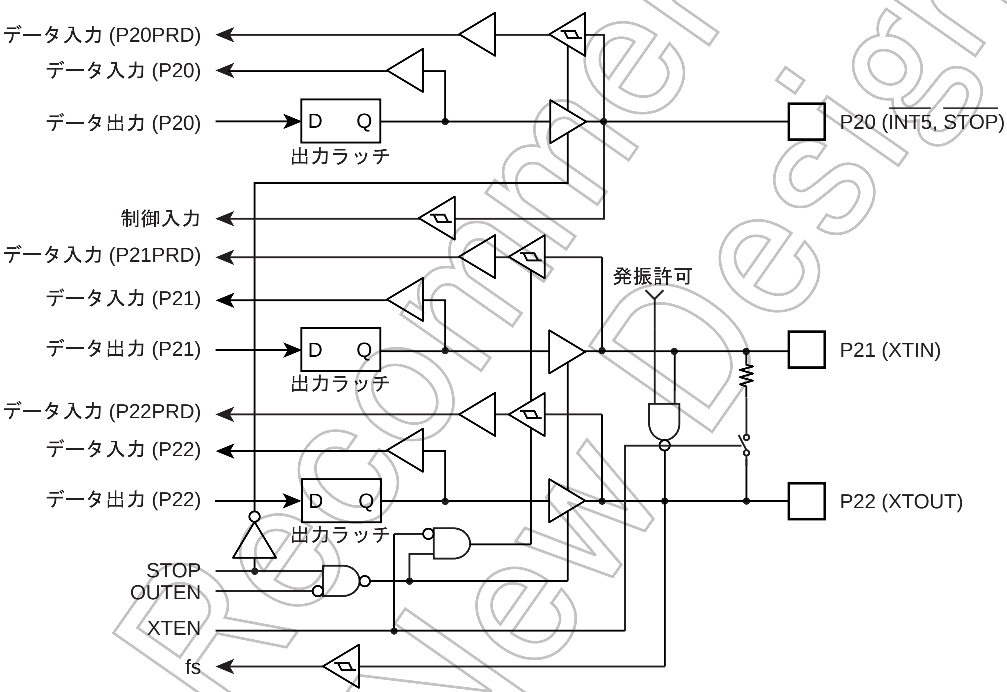


図 5-3 P2 ポート

P2 ポート制御レジスタ

	7	6	5	4	3	2	1	0	
P2DR (0002H) R/W						P22 XTOUT	P21 XTIN	P20 $\overline{\text{INT5}}$ $\overline{\text{STOP}}$	(初期値: **** *111)
P2PRD (0009H) Read only						P22	P21	P20	

注)　P20 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードに入ると OUTEN の状態にかかわらず、出力は High-Z 状態となります。

5.3 P3 (P33~P30) ポート

P3 ポートは、4 ビットの入出力ポートで、タイマカウンタ入出力、デバイダ出力と兼用です。タイマカウンタ出力、デバイダ出力として使用する場合は、出力ラッチ (P3DR) を “1” にセットします。

P3 ポートは、出力回路制御 (P3OUTCR) により出力回路をシンクオープンドレイン出力、C-MOS 出力に選択することができます。入力ポートまたはタイマカウンタ入力として使用する場合は、P3DR を “1” にセットした後、P3OUTCR の対応するビットを “0” に設定します。

リセット時、P3DR は “1” に、P3OUTCR は “0” に初期化されます。

P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DR を、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。

P3 ポートに対して P3DR、P3PRD のリード命令を実行した場合、ビット 7~4 は不定値が読み込まれます。

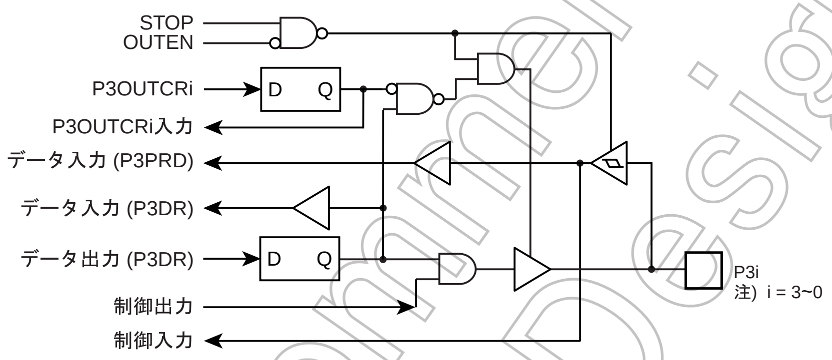


図 5-4 P3 ポート

P3 ポート制御レジスタ

	7	6	5	4	3	2	1	0	
P3DR (0003H) R/W					P33 $\overline{\text{PWM6}}$ $\overline{\text{PDO6}}$ $\overline{\text{PPG6}}$ TC6	P32 $\overline{\text{PWM4}}$ $\overline{\text{PDO4}}$ $\overline{\text{PPG4}}$ TC4	P31 $\overline{\text{PWM3}}$ $\overline{\text{PDO3}}$ TC3	P30 $\overline{\text{DVO}}$	(初期値: **** 1111)

	7	6	5	4	3	2	1	0	
P3OUTCR (0004H)									(初期値: **** 0000)

P3OUTCR	P3 ポートの出力回路制御 (ビットごとに指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W

	7	6	5	4	3	2	1	0
P3PRD (000AH) Read only					P33	P32	P31	P30

5.4　P5 (P57~P50) ポート

P5 ポートは、8 ビットの入出力ポートで、LCD セグメント出力と兼用です。入力ポートとして用いる場合は、セグメント出力制御 (P5LCR) を “0” にセットした後、出力ラッチ (P5DR) を “1” にセットします。出力ポートとして用いる場合は P5LCR の対応するビットを “0” にセットします。LCD セグメント出力として使用する場合は P5LCR の対応するビットを “1” にセットします。リセット時、P5DR は “1” に、P5LCR は “0” に初期化されます。

P5 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P5DR を、端子の状態を読み込む場合は P5PRD レジスタをそれぞれ読み出してください。

LCD セグメント出力に設定した端子に対して P5PRD で端子の状態を読み出すと不定値が読み出されます。

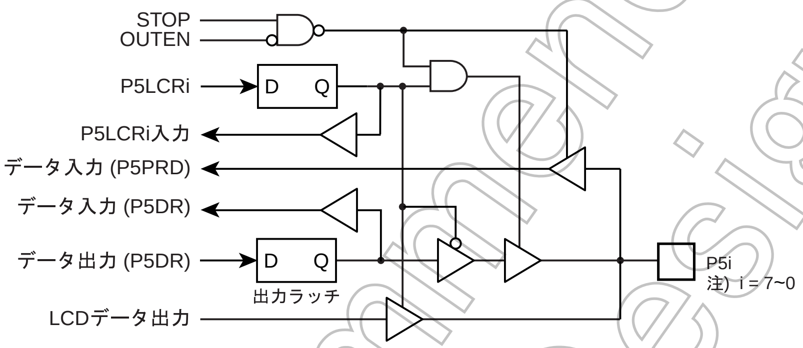


図 5-5 P5 ポート

P5 ポート制御レジスタ

P5DR (0005H) R/W

7	6	5	4	3	2	1	0	
P57 SEG16	P56 SEG17	P55 SEG18	P54 SEG19	P53 SEG20	P52 SEG21	P51 SEG22	P50 SEG23	(初期値: 1111 1111)

P5LCR (002AH)

7	6	5	4	3	2	1	0	
								(初期値: 0000 0000)

P5LCR	P5 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: LCD セグメント出力	R/W

P5PRD (000BH) Read only

7	6	5	4	3	2	1	0
P57	P56	P55	P54	P53	P52	P51	P50

5.5 P6 (P67~P60) ポート

P6 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力, キーオンウェイクアップ入力、タイマカウンタ入力、外部割り込み入力と兼用です。入出力の指定は、入出力制御レジスタ (P6CR) と出力ラッチ (P6DR) と ADCCR1<AINDS>によって行います。リセット時は、P6CR と P6DR は “0” にクリアされ、ADCCR1<AINDS>は “1” にセットされますので、P67~P60 は入力が “0” レベル固定の状態となります。入力ポート、外部割り込み入力、タイマカウンタ入力またはキーオンウェイクアップ入力として使用する場合は、対応するビットを入力モード (P6CR = “0”, P6DR = “1”) に設定します。出力ポートとして使用する場合は、P6CR の対応するビットを “1” に設定します。アナログ入力として使用する場合は、対応するビットをアナログ入力モード (P6CR = “0”, P6DR = “0”) に設定し、ADCCR1<AINDS> = “0” にするとともに AD をスタートさせます。

出力ラッチ = “0” に設定するのは、兼用のデジタル入力回路の貫通電流防止を行うために必要です。そのため、アナログ入力として使用するポートの出力ラッチはあらかじめ “0” に設定してください。実際の変換入力チャネル選択は、ADCCR1<SAIN> の設定で行います。

アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

AD コンバータ入力として使用するビットの宣言・設定つまり P6DR を “0” にクリアしているときに、入力命令を実行すると上記ビットは “0” が読み込まれます。

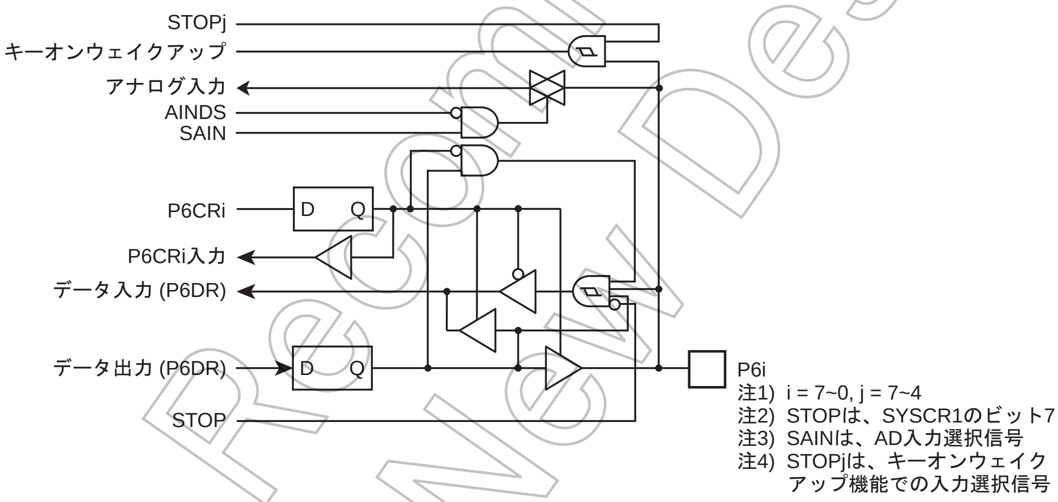


図 5-6 P6 ポート

P6 ポート入出力制御レジスタ

	7	6	5	4	3	2	1	0	
P6DR (0006H) R/W	P67 AIN7 STOP5	P66 AIN6 STOP4	P65 AIN5 STOP3	P64 AIN4 STOP2	P63 AIN3 $\overline{\text{INT0}}$	P62 AIN2 ECNT	P61 AIN1 ECIN	P60 AIN0	(初期値: 0000 0000)

	7	6	5	4	3	2	1	0	
P6CR (000CH)									(初期値: 0000 0000)

			AINDS = 1 (AD 不使用)		AINDS = 0 (AD 使用時)		
			P6DR = “0”	P6DR = “1”	P6DR = “0”	P6DR = “1”	
P6CR	P6 ポートの入出力制御 (ビットごとに指定)	0	入力 “0” 固定	入力モード	アナログ入力モード(注 4)	入力モード	R/W
		1	出力モード				

注 1)　アナログ入力として使用する端子は、外部信号とショートしますので出力モード (P6CR = “1”) には設定しないでください。

注 2)　外部割り込み入力 ($\overline{\text{INT0}}$)、タイマカウンタ 1 入力 (ECNT, ECIN) として使用する場合は、入力モード (P6CR = “0”, P6 = “1”) に設定してください。

注 3)　キーオンウェイクアップ入力 (STOP2~5) として使用する場合は、P6CR の対応するビットを “0” に設定してください。

注 4)　アナログ入力モードに設定されているビットに対してリード命令を実行すると “0” が読み込まれます (貫通電流対策)。

注)　P6DR は R/W レジスタですが、入力モード制御機能と兼用のため、ビット操作命令などのリードモディファイライト命令は使用できません。入力に設定されているビットは、リード命令により端子の内容を読み込みますので、リードモディファイライト命令を実行すると、出力ラッチが書き替えられ入力ができなくなります。
(リードモディファイライト命令は、最初に 8 ビットすべてのデータを読み込みモディファイ (ビット操作) した後、8 ビット分すべてのデータを出力ラッチに書き込みます。)

5.6 P7 (P77~P70) ポート

P7 ポートは、8 ビットの入出力ポートで、LCD セグメント出力と兼用です。入力ポートとして用いる場合は、セグメント出力制御 (P7LCR) を “0” にセットした後、出力ラッチ (P7DR) を “1” にセットします。出力ポートとして用いる場合は P7LCR の対応するビットを “0” にセットします。LCD セグメント出力として使用する場合は、P7LCR の対応するビットを “1” にセットします。リセット時、P7DR は “1” に、P7LCR は “0” に初期化されます。

P7 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P7DR を、端子の状態を読み込む場合は P7PRD レジスタをそれぞれ読み出してください。LCD セグメント出力に設定した端子に対して P7PRD で端子の状態を読み出すと不定値が読み出されます。

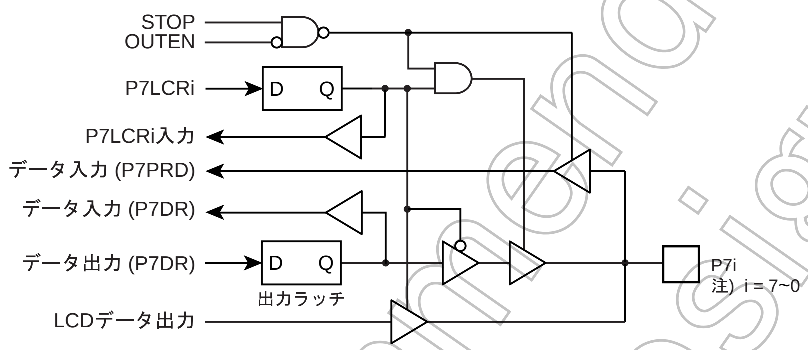


図 5-7 P7 ポート

P7 ポート制御レジスタ

	7	6	5	4	3	2	1	0	
P7DR (0007H) R/W	P77 SEG8	P76 SEG9	P75 SEG10	P74 SEG11	P73 SEG12	P72 SEG13	P71 SEG14	P70 SEG15	(初期値: 1111 1111)

	7	6	5	4	3	2	1	0	
P7LCR (002BH)									(初期値: 0000 0000)

P7LCR	P7 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: セグメント出力	R/W

	7	6	5	4	3	2	1	0
P7PRD (000DH) Read only	P77	P76	P75	P74	P73	P72	P71	P70

第 6 章　タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

6.1　タイムベースタイマ

6.1.1　構成

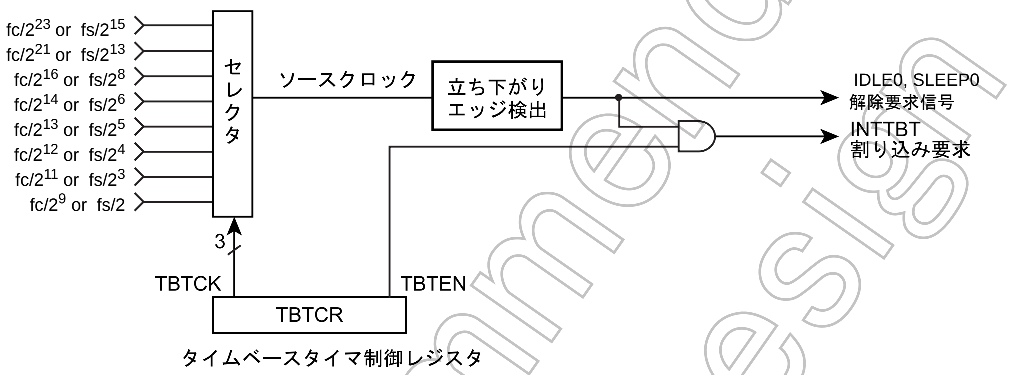


図 6-1 タイムベースタイマの構成

6.1.2　制御

タイムベースタイマは、タイムベースタイマ制御レジスタ(TBTCR)で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)		(DV7CK)	TBTEN	TBTCK			(初期値: 0000 0000)

TBTEN	タイムベースタイマ の許可/禁止	0: ディセーブル 1: イネーブル				
TBTCK	タイムベースタイマ割り込み周波数の選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1		
		000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	
		001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$	
		010	$fc/2^{16}$	$fs/2^{8}$	–	
		011	$fc/2^{14}$	$fs/2^{6}$	–	
		100	$fc/2^{13}$	$fs/2^{5}$	–	
		101	$fc/2^{12}$	$fs/2^{4}$	–	
		110	$fc/2^{11}$	$fs/2^{3}$	–	
		111	$fc/2^{9}$	fs/2	–	

注 1)　fc; 高周波クロック [Hz], fs; 低周波クロック [Hz]

注 2)　割り込み周波数(TBTCK)の変更は、タイムベースタイマがディセーブルの状態(TBTEN="0")で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

（プログラム例）タイムベースタイマ割り込み周波数を fc/2^16 [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR) , 00000010B      ; TBTCK←010
LD      (TBTCR) , 00001010B      ; TBTEN←1
DI
SET     (EIRL) . 6
```

表 6-1 タイムベースタイマ割り込み周波数(例 : fc = 8.0 MHz, fs = 32.768 kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	0.95	1	1
001	3.81	4	4
010	122.07	128	–
011	488.28	512	–
100	976.56	1024	–
101	1953.13	2048	–
110	3906.25	4096	–
111	15625	16384	–

6.1.3　機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち下がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 6-2 参照) 。

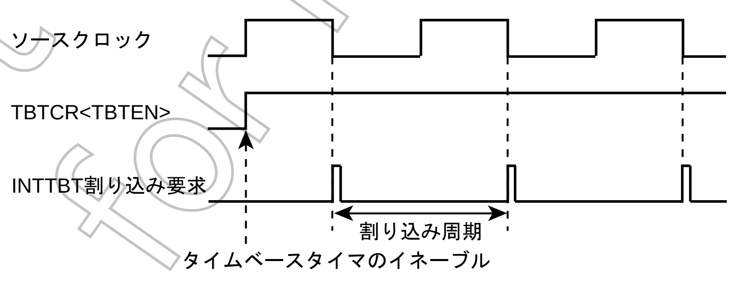
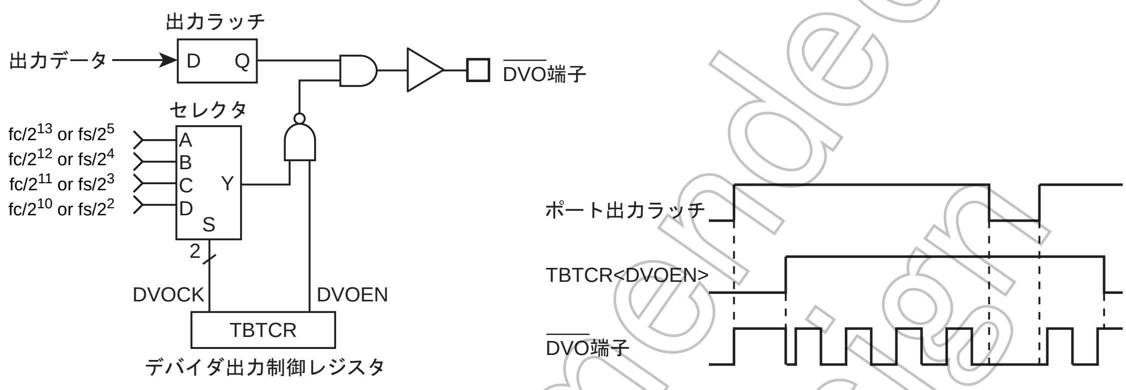


図 6-2 タイムベースタイマ割り込み

6.2 デバイダ出力 ($\overline{\text{DVO}}$)

タイミングジェネレータのデバイダによってデューティ約 50%のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、$\overline{\text{DVO}}$ 端子から出力されます。

6.2.1 構成



(a) デバイダ出力回路の構成　　(b) デバイダ出力タイミングチャート

図 6-3 デバイダ出力

6.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	
	DVOEN	DVOCK		(DV7CK)	(TBTEN)	(TBTCK)			(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル				R/W
DVOCK	デバイダ出力($\overline{\text{DVO}}$ 端子)のの周波数選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1		
		00	fc/2^{13}	fs/2^5	fs/2^5	
		01	fc/2^{12}	fs/2^4	fs/2^4	
		10	fc/2^{11}	fs/2^3	fs/2^3	
		11	fc/2^{10}	fs/2^2	fs/2^2	

注) デバイダ出力の周波数選択(DVOCK)の変更は、デバイダ出力が禁止の状態(DVOEN="0")で行ってください。許可状態(DVOEN="1")から禁止状態(DVOEN="0")に設定する際もデバイダ出力周波数の設定を変更しないでください)。

（プログラム例）0.976 kHz のパルスを出力 (fc = 8.0 MHz)

```
        ポートを設定
LD      (TBTCR) , 00000000B        ; DVOCK← "00"
LD      (TBTCR) , 10000000B        ; DVOEN←"1"
```

表 6-2 デバイダ出力の周波数 (例 : fc = 8.0 MHz, fs = 32.768 kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	0.976 k	1.024 k	1.024 k
01	1.953 k	2.048 k	2.048 k
10	3.906 k	4.096 k	4.096 k
11	7.813 k	8.192 k	8.192 k

第 7 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は 1 回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注）外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

7.1 ウォッチドッグタイマの構成

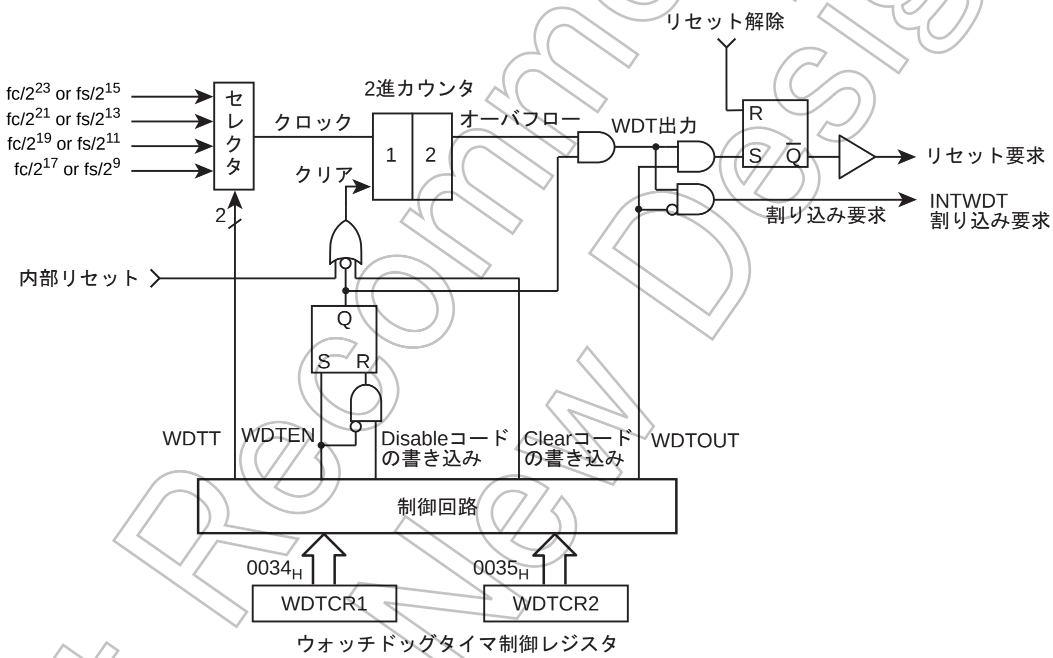


図 7-1 ウォッチドッグタイマの構成

7.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドックタイマ制御レジスタ (WDTCR1、WDTCR2) によって制御されます。なおウォッチドックタイマはリセット解除後、自動的にイネーブルになります。

7.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定, 出力の選択および 2 進カウンタのクリア
2. 設定した検出時間以内ごとに 2 進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2 進カウンタのクリアが行われない場合、2 進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき

WDTCR1<WDTOUT> =“1” なら、リセット要求が発生し $\overline{\text{RESET}}$ 端子から “L” レベルを出力するとともに内蔵ハードウエアをリセットします。また、WDTCR1<WDTOUT> =“0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォーミングアップ中を含む) または IDLE/SLEEP モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEP モード解除後、自動的に再起動 (カウントアップ継続) します。

注)　ウォッチドッグタイマは内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT>の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

（プログラム例）ウォッチドッグタイマ検出時間を 2^{21}/fc [s] に設定し、暴走検出リセットを行う。

```
                  LD    (WDTCR2), 4EH         ; 2 進カウンタのクリア
                  LD    (WDTCR1), 00001101B   ; WDTT←10, WDTOUT←1
                ┌ LD    (WDTCR2), 4EH         ; 2 進カウンタのクリア
WDT 検出        │ :                           ; (WDTT 変更直前直後は必ずクリアします)
時間 3/4 以内   │ :
                ├ LD    (WDTCR2), 4EH         ; 2 進カウンタのクリア
WDT 検出        │
時間 3/4 以内   │ :
                └ LD    (WDTCR2), 4EH         ; 2 進カウンタのクリア
```

ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	–	–	(ATAS)	(ATOUT)	WDTEN	WDTT		WDTOUT	(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり 1: 許可				Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]		NORMAL1/2 モード DV7CK = 0	NORMAL1/2 モード DV7CK = 1	SLOW1/2 モード	Write only
		00	2^{25}/fc	2^{17}/fs	2^{17}/fs	
		01	2^{23}/fc	2^{15}/fs	2^{15}fs	
		10	2^{21}fc	2^{13}/fs	2^{13}fs	
		11	2^{19}/fc	2^{11}/fs	2^{11}/fs	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求				Write only

注 1)　WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。

注 2)　fc; 高周波クロック[Hz]　fs; 低周波クロック[Hz]　*; Don’t care

注 3)　WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。

注 4)　STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。

注 5)　WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「7.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	
									(初期値: **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H	アドレストラップ領域選択有効	
		その他	無効	

注 1) ディセーブルコードは、WDTCR1<WDTEN> ="0" のとき以外は書き込み無効です。
注 2) *; Don't care
注 3) ウォッチドッグタイマの 2 進カウンタのクリアは割り込みタスクで行わないでください。
注 4) クリアコード (4EH) は WDTCR1<WDTT>の設定時間の 3/4 以内に書き込んでください。

7.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を "1" にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN>は "1" に初期化されますので、リセット解除後は自動的にイネーブルになります。

7.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を "0" に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN>を "0" に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの 2 進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI                              ; IMF ← 0
LD      (WDTCR2) , 04EH         ; 2 進カウンタのクリア
LDW     (WDTCR1) , 0B101H       ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 7-1 ウォッチドッグタイマ検出時間(例: fc = 8.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間[s]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	4.194	4	4
01	1.049	1	1
10	262.144 m	250 m	250 m
11	65.536 m	62.5 m	62.5 m

7.2.4　ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT>が“0”のときに 2 進カウンタがオーバフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT)が発生します。

ウォッチドッグタイマ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ(IMF)の設定に関係なくかならず 割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT>を設定する前にスタックポインタを設定してください。

（プログラム例）ウォッチドッグタイマ割り込みの設定例

```
LD        SP, 063FH                          ; SP の設定
LD        (WDTCR1) , 00001000B               ; WDTOUT←0
```

7.2.5　ウォッチドッグタイマリセット

WDTCR1<WDTOUT>が“1”のときに 2 進カウンタがオーバフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、$\overline{\text{RESET}}$ 端子から“L”レベルを出力するとともに内蔵ハードウエアはリセットされます。リセット時間は、最大 24/fc [s] (3.0µs @ fc = 8.0 MHz)です。

注)　SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は 最大で 24/fc (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

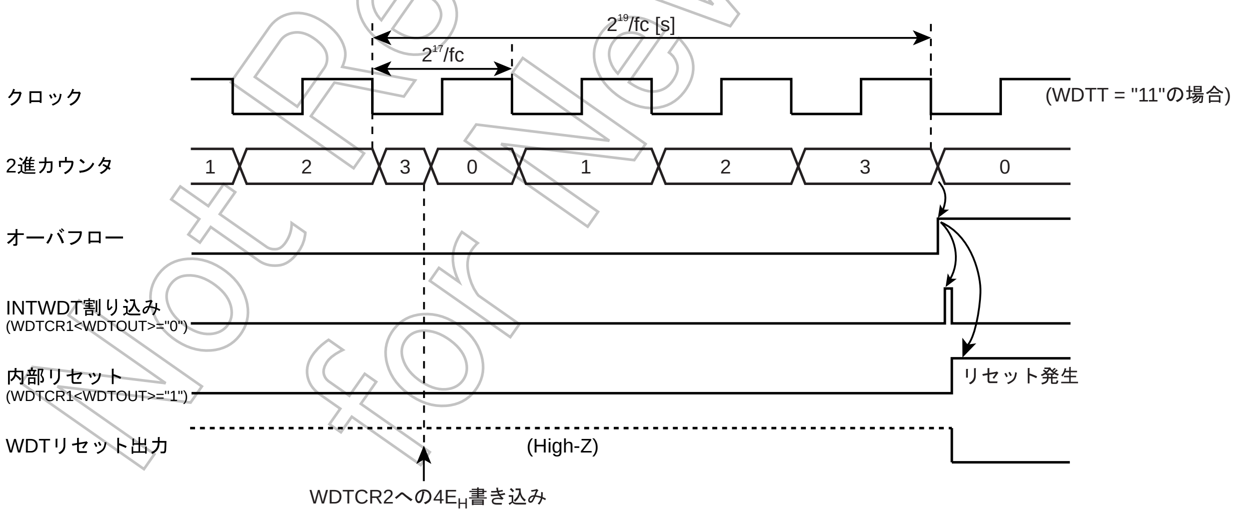


図 7-2 ウォッチドッグタイマ割り込み/リセット

7.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	–	–	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	(初期値: **11 1001)

ATAS	内蔵 RAM 領域のアドレストラップ選択	0: 1:	アドレストラップ発生しない アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード“D2H”書き込む必要あり)	Write only
ATOUT	アドレストラップ発生時の動作選択	0: 1:	割り込み要求 リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	
									(初期値: **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	D2H: 4EH: B1H: その他:	アドレストラップ領域選択有効 (ATRAP 設定コード) ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード) ウォッチドッグタイマのディセーブル (WDT ディセーブルコード) 無効	Write only

7.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS>によってアドレストラップする/しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS>を“0”に設定します。

WDTCR1<ATAS>の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS>の設定にかかわらず無条件にアドレストラップが発生します。

7.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT>によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

7.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT>が“0”の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ), DBR または SFR 領域から命令をフェッチしようとするとアドレストラップ割り込み要求(INTATRAP)が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ(IMF)の設定に関係なくかならず 割り込みは受け付けられます。

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

7.3.4　アドレストラップリセット

WDTCR1<ATOUT>が“1”の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1 <ATAS> = “1” 時のみ), DBR または SFR 領域から命令をフェッチしようとするとアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、$\overline{\text{RESET}}$ 端子から“L”レベルを出力するとともに内蔵ハードウエアはリセットされます。リセット時間は、最大 24/fc [s] (3.0µs @ fc = 8.0 MHz)です。

注)　SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は 最大で 24/fc (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

第 8 章　18 ビットタイマカウンタ 1 (TC1)

8.1　構成

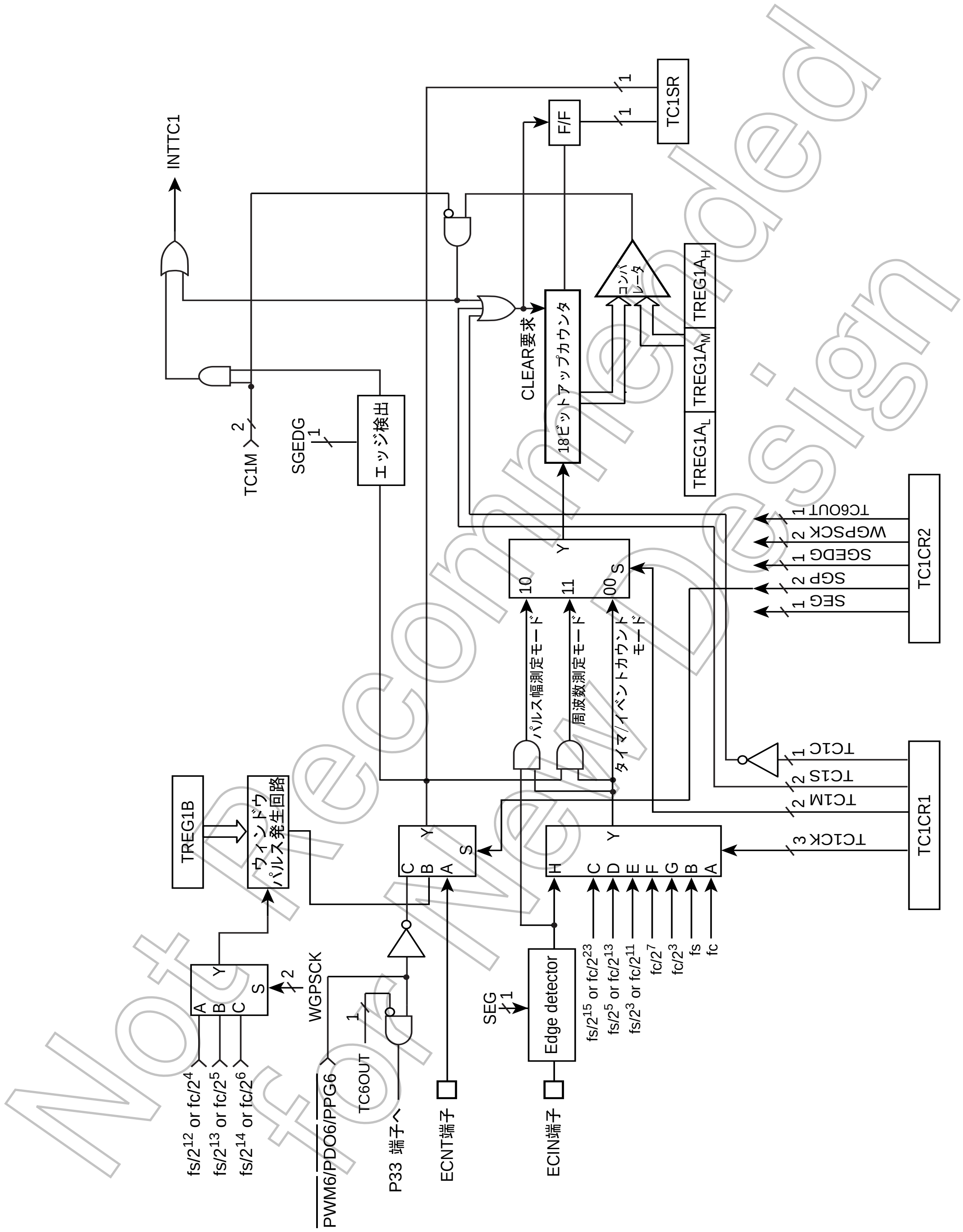


図 8-1 タイマカウンタ 1 (TC1)

8.2　制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR1 / TC1CR2), 18 ビットタイマレジスタ (TREG1A) および 8 ビットの内部ウィンドウゲートパルス設定レジスタ (TREG1B) で制御されます。

タイマレジスタ TREG1A

	7	6	5	4	3	2	1	0	
TREG1AH (0012H) R/W	–	–	–	–	–	–	TREG1AH		(初期値: **** **00)

	7	6	5	4	3	2	1	0	
TREG1AM (0011H) R/W	TREG1AM								(初期値: 0000 0000)

	7	6	5	4	3	2	1	0	
TREG1AL (0010H) R/W	TREG1AL								(初期値: 0000 0000)

タイマレジスタ TREG1B

	7	6	5	4	3	2	1	0	
TREG1B (0013H)	Ta				Tb				(初期値: 0000 0000)

		WGPSCK	NORMAL1/2,IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
			DV7CK = 0	DV7CK = 1		
Ta	ウィンドウゲートパルスの"H"レベル期間の設定	00	(16 - Ta) × 2^{12}/fc	(16 - Ta) × 2^{4}/fs	(16 - Ta) × 2^{4}/fs	R/W
		01	(16 - Ta) × 2^{13}/fc	(16 - Ta) × 2^{5}/fs	(16 - Ta) × 2^{5}/fs	
		10	(16 - Ta) × 2^{14}/fc	(16 - Ta) × 2^{6}/fs	(16 - Ta) × 2^{6}/fs	
Tb	ウィンドウゲートパルスの"L"レベル期間の設定	00	(16 - Tb) × 2^{12}/fc	(16 - Tb) × 2^{4}/fs	(16 - Tb) × 2^{4}/fs	
		01	(16 - Tb) × 2^{13}/fc	(16 - Tb) × 2^{5}/fs	(16 - Tb) × 2^{5}/fs	
		10	(16 - Tb) × 2^{14}/fc	(16 - Tb) × 2^{6}/fs	(16 - Tb) × 2^{6}/fs	

タイマカウンタ制御レジスタ 1

	7	6	5	4	3	2	1	0	
TC1CR1 (0014H)	TC1C	TC1S		TC1CK			TC1M		(初期値: 1000 1000)

TC1C	カウンタ/オーバフローフラグクリア要求	0:	カウンタ/オーバフローフラグクリア要求 (クリア後、自動的に "1" にセットされます)				R/W
		1:	カウンタ/オーバフローフラグをクリアしない				
TC1S	タイマカウンタ 1 のスタート制御	00:	ストップ&カウンタクリア (オーバフローフラグもクリアされます)				R/W
		10:	スタート				
		*1:	Reserved				
TC1CK	タイマカウンタ 1 のソースクロックの選択		NORMAL1/2,IDLE1/2 モード		SLOW1/2 モード	SLEEP1/2 モード	R/W
			DV7CK = "0"	DV7CK = "1"			
		000:	fc	fc	fc	fc	
		001:	fs	fs	-	-	
		010:	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	$fs/2^{15}$	
		011:	$fc/2^{13}$	$fs/2^{5}$	$fs/2^{5}$	$fs/2^{5}$	
		100:	$fc/2^{11}$	$fs/2^{3}$	$fs/2^{3}$	$fs/2^{3}$	
		101:	$fc/2^{7}$	$fc/2^{7}$	-	-	
		110:	$fc/2^{3}$	$fc/2^{3}$	-	-	
		111:	外部クロック (ECIN 端子入力)				
TC1M	タイマカウンタ 1 の動作モードの選択	00:	タイマ/イベントカウンタモード				R/W
		01:	Reserved				
		10:	パルス幅測定モード				
		11:	周波数測定モード				

注 1) fc ; 高周波クロック [Hz]　fs ; 低周波クロック [Hz]　* ; Don't care

注 2) タイマレジスタの下位側 (TREG1AL, TREG1AM) に書き込むと上位側 (TREG1AH) への書き込みが終わるまで、一致検出を停止します (従ってタイマレジスタの下位側だけの変更はできません)。また、上位側への書き込み後 1 マシンサイクル以内 (すなわち命令実行中) の一致検出も無視されます。

注 3) モード、ソースクロック、エッジ (選択) は、停止 (TC1S = 00) 状態で設定してください。

注 4) ソースクロックに fc を選択できるのは、タイマモード (SLOW 時) とパルス幅測定モード (NORMAL 1/2 または IDLE 1/2 時) だけです。

注 5) タイマレジスタ(TREG1A)にリード命令を実行すると、レジスタ設定値ではなくカウンタ即値が読み出され、TREG1A に書き込んだ値を読み出すことはできません。従ってカウンタ即値を読み出す場合、カウント中にリード命令を実行すると不定値が読み出されることがありますので、必ずカウントが停止している状態でリードしてください。

注 6) タイマレジスタの設定は TREG1A≧1 で使用してください。

注 7) タイマモード/パルス幅測定モードで使用する場合、ソースクロックの選択(TC1CK)は内部クロックに設定してください。

注 8) イベントカウンタモードで使用する場合、ソースクロックの選択(TC1CK)は外部クロックに設定してください。

注 9) タイマレジスタ(TREG1A) は書き込み値、読み出し値が異なりますのでリードモディファイライト命令ではアクセスしないでください。

注 10) SLOW モード/SLEEP モードでは $fc/2^{7}$, $fc/2^{3}$ はソースクロックとして選択できません。

注 11) TREG1AH の bit2~7 は常に"0"が読み出されます。("1"は書き込めません)。

タイマカウンタ 1 制御レジスタ 2

	7	6	5	4	3	2	1	0	
TC1CR2 (0015H)	SEG	SGP		SGEDG	WGPSCK		TC6OUT	"0"	(初期値: 0000 000*)

<table>
<tr><td rowspan="2">SEG</td><td rowspan="2">外部入力クロック (ECIN) エッジ選択</td><td>0:</td><td colspan="4">立ち下がりエッジでカウント</td><td rowspan="2">R/W</td></tr>
<tr><td>1:</td><td colspan="4">立ち下がり/立ち上がり両エッジでカウント</td></tr>
<tr><td rowspan="4">SGP</td><td rowspan="4">ウィンドウゲートパルスの選択</td><td>00:</td><td colspan="4">ECNT 入力</td><td rowspan="6">R/W</td></tr>
<tr><td>01:</td><td colspan="4">内部ウィンドウゲートパルス (TREG1B)</td></tr>
<tr><td>10:</td><td colspan="4">$\overline{\text{PWM6}}$/$\overline{\text{PDO6}}$/$\overline{\text{PPG6}}$ (TC6)出力</td></tr>
<tr><td>11:</td><td colspan="4">Reserved</td></tr>
<tr><td rowspan="2">SGEDG</td><td rowspan="2">ウィンドウゲートパルス
割り込みエッジの選択</td><td>0:</td><td colspan="4">立ち下がりエッジで割り込み</td></tr>
<tr><td>1:</td><td colspan="4">立ち下がり/立ち上がり両エッジで割り込み</td></tr>
<tr><td rowspan="6">WGPSCK</td><td rowspan="6">ウィンドウゲートパルス
ソースクロックの選択</td><td></td><td colspan="2">NORMAL1/2,IDLE1/2 modes</td><td rowspan="2">SLOW1/2 mode</td><td rowspan="2">SLEEP1/2 mode</td><td rowspan="6">R/W</td></tr>
<tr><td></td><td>DV7CK = 0</td><td>DV7CK = 1</td></tr>
<tr><td>00:</td><td>2^{12}/fc</td><td>2^{4}/fs</td><td>2^{4}/fs</td><td>2^{4}/fs</td></tr>
<tr><td>01:</td><td>2^{13}/fc</td><td>2^{5}/fs</td><td>2^{5}/fs</td><td>2^{5}/fs</td></tr>
<tr><td>10:</td><td>2^{14}/fc</td><td>2^{6}/fs</td><td>2^{6}/fs</td><td>2^{6}/fs</td></tr>
<tr><td>11:</td><td>Reserved</td><td>Reserved</td><td>Reserved</td><td>Reserved</td></tr>
<tr><td rowspan="2">TC6OUT</td><td rowspan="2">TC6 出力($\overline{\text{PWM6}}$/$\overline{\text{PDO6}}$/$\overline{\text{PPG6}}$) の外部出力の選択</td><td>0:</td><td colspan="4">P33 へ出力する</td><td rowspan="2">R/W</td></tr>
<tr><td>1:</td><td colspan="4">P33 へ出力しない</td></tr>
</table>

注 1)　fc; 高周波クロック[Hz]　fs; 低周波クロック[Hz] *; Don't care
注 2)　TC1CR2 の設定はタイマカウンタ停止状態 (TC1S = 00) で行ってください。
注 3)　$\overline{\text{PWM6}}$/$\overline{\text{PDO6}}$/$\overline{\text{PPG6}}$ をタイマカウンタ 1 のウィンドウゲートパルスとして使用しない場合は、TC6OUT は"0"に設定してください。
注 4)　TC1CR2 の 0 ビット目には、必ず"0"を書き込んでください。
注 5)　イベントカウンタモードまたはパルス幅測定モードを使用する場合、SEG は"0"に設定してください。

タイマカウンタ 1 ステータスレジスタ

	7	6	5	4	3	2	1	0	
TC1SR (0016H)	HECF	HEOVF	"0"	"0"	"0"	"0"	"0"	"0"	(初期値: 0000 0000)

<table>
<tr><td rowspan="2">HECF</td><td rowspan="2">動作状態モニタ</td><td>0:</td><td>停止 (Tb の期間) またはディセーブル</td><td rowspan="4">Read only</td></tr>
<tr><td>1:</td><td>カウント動作中 (Ta の期間)</td></tr>
<tr><td rowspan="2">HEOVF</td><td rowspan="2">カウンタオーバフローモニタ</td><td>0:</td><td>オーバフロー未検出</td></tr>
<tr><td>1:</td><td>オーバフロー状態</td></tr>
</table>

8.3 機能

タイマカウンタ 1 には、4 つの動作モードがあります。また、SLOW モードから NORMAL2 モードへの切り替え時のウォーミングアップの際、通常タイマカウンタ 1 のタイマモードを使用します。

8.3.1 タイマモード

内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TREG1A) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。カウントアップは、アップカウンタがクリアされた後も継続します。

表 8-1 タイマカウンタ 1 のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW モード	SLEEP モード	fc = 8 MHz	fs =32.768 kHz	fc = 8 MHz	fs =32.768 kHz 時
DV7CK = 0	DV7CK = 1						
$fc/2^{23}$ [Hz]	$fs/2^{15}$ [Hz]	$fs/2^{15}$ [Hz]	$fs/2^{15}$ [Hz]	1.04s	1 s	76.4 h	72.8 h
$fc/2^{13}$	$fs/2^5$	$fs/2^5$	$fs/2^5$	1.024ms	0.98ms	4.4 min	4.3 min
$fc/2^{11}$	$fs/2^3$	$fs/2^3$	$fs/2^3$	256μs	244μs	1.2 min	1.07 min
$fc/2^7$	$fc/2^7$	—	—	16μs	—	4.2 s	—
$fc/2^3$	$fc/2^3$	—	—	1μs	—	262.2 ms	—
—	—	fc (注)	—	125ns	—	32.8 ms	—
fs	fs	—	—	—	30.5μs	—	8 s

注) SLOW モードでソースクロックに fc を選択した場合は、TREG1A の下位 11 ビットは無視され、上位 7 ビットの一致で割り込みを発生します。

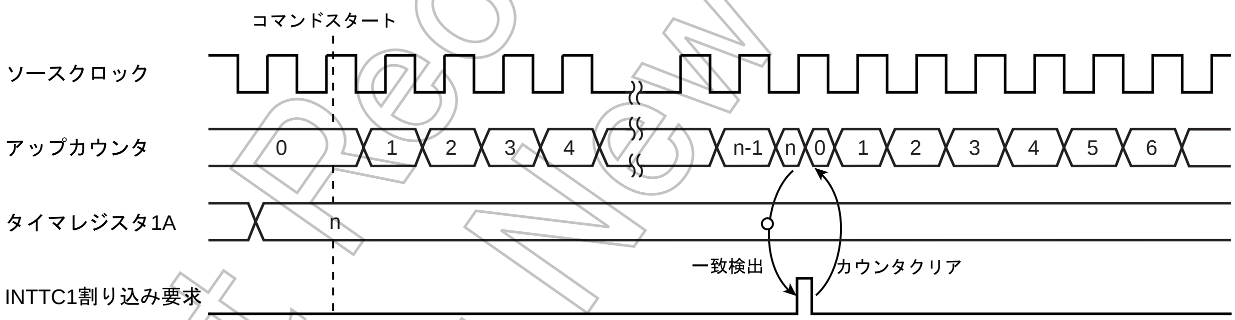


図 8-2 タイマモードタイミングチャート

8.3.2 イベントカウンタモード

ECIN 端子入力の立ち下がりエッジでカウントアップするモードです。このモードを使用する場合は TC1CR1<TC1CK>を外部クロックに設定し、TC1CR2<SEG>を"0"に設定してください(両エッジは使用できません)。

アップカウンタの値と TREG1A の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタの内容はクリアされます。カウンタクリア後も ECIN 端子入力のエッジごとにカウントアップします。最大印加周波数は、$fc/2^4$ [Hz] (NORMAL1/2 または IDEL1/2 モード時) 、$fs/2^4$ [Hz] (SLOW, SLEEP モード時) で、“H”, “L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

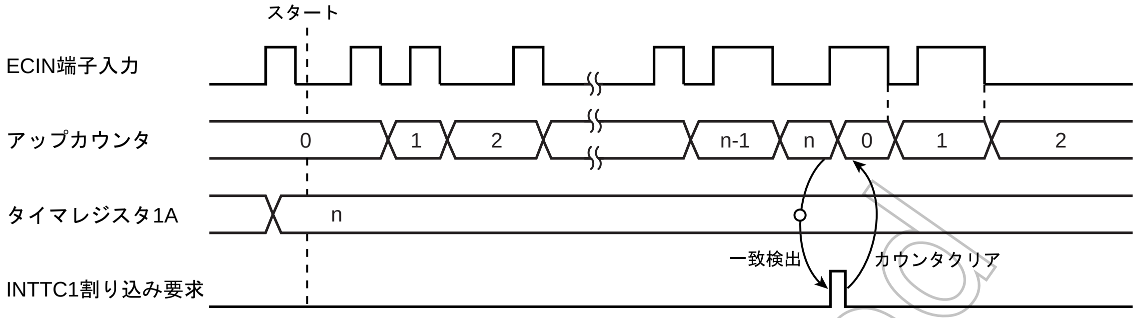


図 8-3 イベントカウンタモードタイミングチャート

8.3.3　パルス幅測定モード

ECIN 端子入力 (ウィンドウパルス) と内部クロックとの論理積パルスの立ち下がりエッジでカウントアップするモードです。内部クロックは、TC1CK で選択します。このモードを使用する場合は、TC1CR1<TC1CK>を適切な内部クロックに設定し、TC1CR2<SEG>を"0"に設定してください(両エッジは使用できません)。

ECIN 端子入力がウィンドウパルスの立ち下がりエッジもしくは立ち上がり / 立ち下がりの両エッジ (TC1CR2 の SGEDG により選択可能)を検出すると INTTC1 割り込み要求が発生します。

カウンタ値 (TREG1A) の読み出しは、カウントが停止している状態 (ECIN 端子が “L”の期間) で行い、その後 TC1C によりカウンタをクリアしてください(通常これらは割り込みサービスプログラムで実行してください)。TC1CR1<TC1C>によってカウンタがクリアされない場合、前回停止したカウント値よりカウントアップを再開します。TREG1A が 3FFFFH から 00000H にカウントアップしたとき、オーバフローが発生します。オーバフローが発生すると TC1SR<HEOVF>は"1"にセットされます。なお TC1SR<HEOVF>は、TC1CR1<TC1C>によってカウンタクリアを要求しない限り前回のデータが残ったままになります。

注)　パルス幅測定モードにおいて ECIN 端子入力が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1S) を “00” (ストップ&カウンタクリア) に設定すると INTTC1 割り込み要求が発生します。従ってタイマカウンタを停止するときは、以下のような手順で INTTC1 割り込みラッチを"0"にクリアしてください。

(プログラム例)

```
TCISTOP :
        ¦           ¦
        DI                              ; IMF クリア
        CLR         (EIRH). 0           ; EIRH のビット 0 をクリア
        LD          (TC1CR1), 00011010B ;タイマ停止
        LD          (ILH), 11111110B    ; ILH のビット 0 をクリア
        SET         (EIRH). 0           ; EIRH のビット 0 をセット
        EI                              ; IMF セット
        ¦           ¦
```

注 1)　パルス幅測定モードにおいてウィンドウゲートパルスの割り込みエッジの選択 (SGEDG) が両エッジかつ ECIN 端子が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1S) を “10” (スタート) に設定すると INTTC1 割り込みが発生します。

注 2)　パルス幅測定モードでは、動作状態モニタ(HECF)を使用できません。

注 3)　アップカウンタは(ECIN 端子入力と内部クロックの) 論理積の立ち下がりエッジでカウントアップしますので、内部クロックが"H"レベルの期間に ECIN 端子の入力が立ち下がるとアップカウンタが 1 進みます。

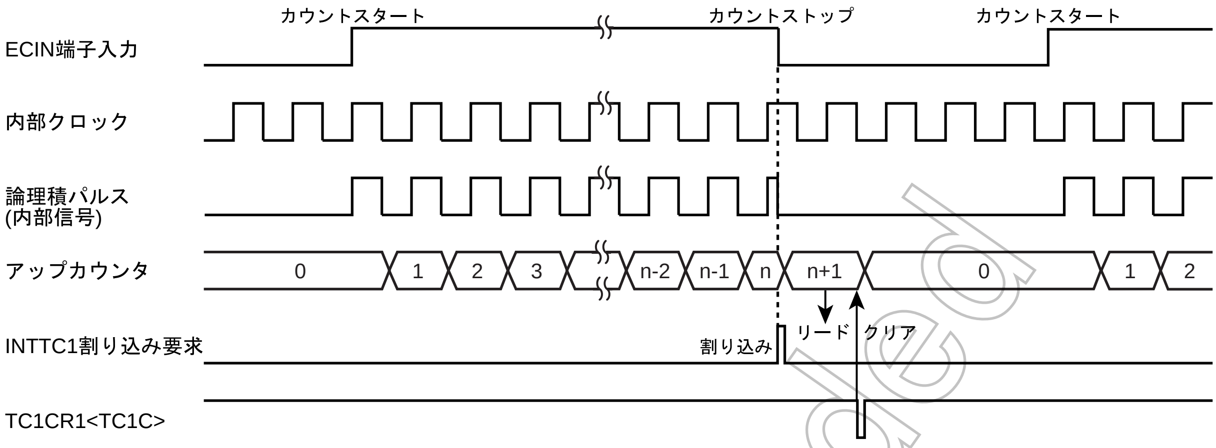


図 8-4 パルス幅測定モードタイミングチャート

8.3.4 周波数測定モード

ECIN 端子入力パルスの周波数を測定するモードです。このモードを使用する場合、TC1CK は外部クロックに設定してください。

TC1CR2<SGP>で選択されたウィンドウゲートパルスが “H” レベルの期間、ECIN 端子の入力パルスの立ち下りエッジをカウントします。ウィンドウゲートパルスとして ECNT 端子入力を使用する場合は TC1CR2<SPG>を “00” にセットしてください。

ウィンドウゲートパルスの立ち下がりエッジもしくは立ち上がり/立ち下がり両エッジ (TC1CR2 の SGEDG により選択可能)を検出すると INTTC1 割り込み要求が発生します。

カウンタ値 (TREG1A) の読み出しは、割り込みサービスプログラムでカウントが停止している状態 (ウィンドウゲートパルスが “L” の期間) に行い、その後 TC1CR1<TC1C>によってカウンタをクリアしてください。カウンタをクリアしない場合、前回停止したカウント値よりカウントアップを再開します。

なお、ウィンドウパルスの状態はステータスレジスタの TC1SR<HECF>によりモニタできます。

TREG1A が 3FFFFH から 00000H にカウントアップしたとき、オーバフローが発生します。オーバフローが発生すると TC1SR<HEOVF>は"1"にセットされます。なお TC1SR<HEOVF>は、TC1CR1<TC1C>によってカウンタクリアを要求しない限り前回のデータが残ったままになります。

ウィンドウゲートパルスに TC6 出力 ($\overline{\text{PWM6}}$/$\overline{\text{PDO6}}$/$\overline{\text{PPG6}}$) を使用した場合、TC1CR2<TC6OUT>により、$\overline{\text{PWM6}}$/$\overline{\text{PDO6}}$/$\overline{\text{PPG6}}$ の外部 (P33) への出力制御が可能です。TC1CR2<TC6OUT>を “0” にクリアすると P33 から $\overline{\text{PWM6}}$/$\overline{\text{PDO6}}$/$\overline{\text{PPG6}}$ が出力され、TC1CR2<TC6OUT>を “1” にセットすると P33 からは $\overline{\text{PWM6}}$/$\overline{\text{PDO6}}$/$\overline{\text{PPG6}}$ は出力されません。

(TC1CR2<TC6OUT>は P33 からの出力のみ制御しますので、$\overline{\text{PWM6}}$/$\overline{\text{PDO6}}$/$\overline{\text{PPG6}}$ の動作/停止はタイマカウンタ 6 制御レジスタにて行ってください)。

内部ウィンドウゲートパルスを選択した場合ウィンドウゲートパルスの設定は以下のようになります。

表 8-2 内部ウィンドウゲートパルス設定

		WGPSCK	NORMAL1/2,IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
			DV7CK = 0	DV7CK = 1		
Ta	ウィンドウゲートパルスの"H"レベル期間の設定	00 01 10	$(16 - Ta) \times 2^{12}/fc$ $(16 - Ta) \times 2^{13}/fc$ $(16 - Ta) \times 2^{14}/fc$	$(16 - Ta) \times 2^{4}/fs$ $(16 - Ta) \times 2^{5}/fs$ $(16 - Ta) \times 2^{6}/fs$	$(16 - Ta) \times 2^{4}/fs$ $(16 - Ta) \times 2^{5}/fs$ $(16 - Ta) \times 2^{6}/fs$	R/W
Tb	ウィンドウゲートパルスの"L"レベル期間の設定	00 01 10	$(16 - Tb) \times 2^{12}/fc$ $(16 - Tb) \times 2^{13}/fc$ $(16 - Tb) \times 2^{14}/fc$	$(16 - Tb) \times 2^{4}/fs$ $(16 - Tb) \times 2^{5}/fs$ $(16 - Tb) \times 2^{6}/fs$	$(16 - Tb) \times 2^{4}/fs$ $(16 - Tb) \times 2^{5}/fs$ $(16 - Tb) \times 2^{6}/fs$	

内部ウィンドウゲートパルスはカウントを行う時間すなわち “H” レベル期間 (Ta) とカウントを停止する時間すなわち “L” レベル期間 (Tb) から構成されそれぞれ TREG1B により独立に設定できます。従って、一周期は Ta + Tb となります。

注 1)　内部ウィンドウゲートパルスは、内部デバイダに同期して生成されますので、タイマスタート直後に最大でソースクロック(WGPSCK)の 1 周期分遅れることがあります。

注 2)　内部ウィンドウゲートパルスの設定は、タイマカウンタ停止中もしくは Tb 期間中に行ってください。なお、Tb 期間中に Tb を書き替えた場合、次の Tb の幅から反映されます。

注 3)　TC1CR2<SEG>="1"の場合、ウィンドウゲートパルスが立ち下がるとアップカウンタは ECIN 端子の入力レベルに関係無く 1 進みます。従って ECIN 端子の入力が常に"H"または"L"レベルにあると、カウント値は 1 になります。

注 4)　TC1CR2<SEG>=0"の場合、アップカウンタは(ECIN 端子入力とウィンドウゲートパルスの)論理積パルスの立ち下がりエッジでカウントされますので、ECIN 端子入力が"H"レベルの期間にウィンドウゲートパルスが立ち下がるとアップカウンタは 1 進みます。従って ECIN 端子の入力が常に"H"レベルにあると、カウント値は 1 になります。

表 8-3 Ta, Tb の設定 (WGPSCK = 10, fc = 8 MHz)

設定値 n	設定時間	設定値	設定時間
0	32.76ms	8	16.38ms
1	30.72ms	9	14.34ms
2	28.68ms	A	12.28ms
3	26.62ms	B	10.24ms
4	24.58ms	C	8.20ms
5	22.52ms	D	6.14ms
6	20.48ms	E	4.10ms
7	18.44ms	F	2.04ms

表 8-4 Ta, Tb の設定 (WGPSCK = 10, fs = 32.768 kHz)

設定値 n	設定時間	設定値	設定時間
0	31.25 ms	8	15.63ms
1	29.30 ms	9	13.67ms
2	27.34 ms	A	11.72ms
3	25.39 ms	B	9.77ms
4	23.44 ms	C	7.81ms
5	21.48 ms	D	5.86ms
6	19.53 ms	E	3.91ms
7	17.58 ms	F	1.95ms

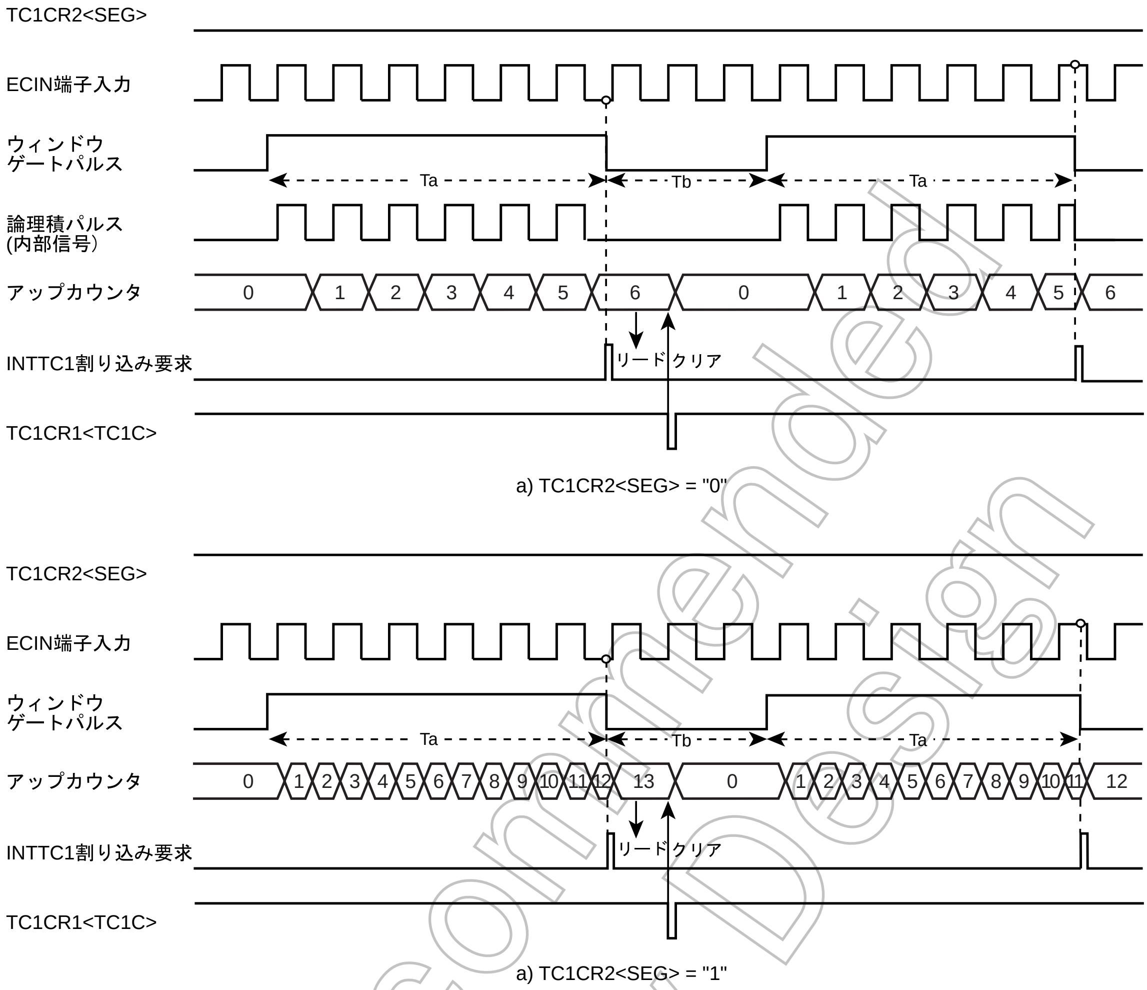


図 8-5 周波数測定モードタイミングチャート (ゲートパルス立ち下り割り込みの場合)

第 9 章　8 ビットタイマカウンタ(TC3, TC4)

9.1　構成

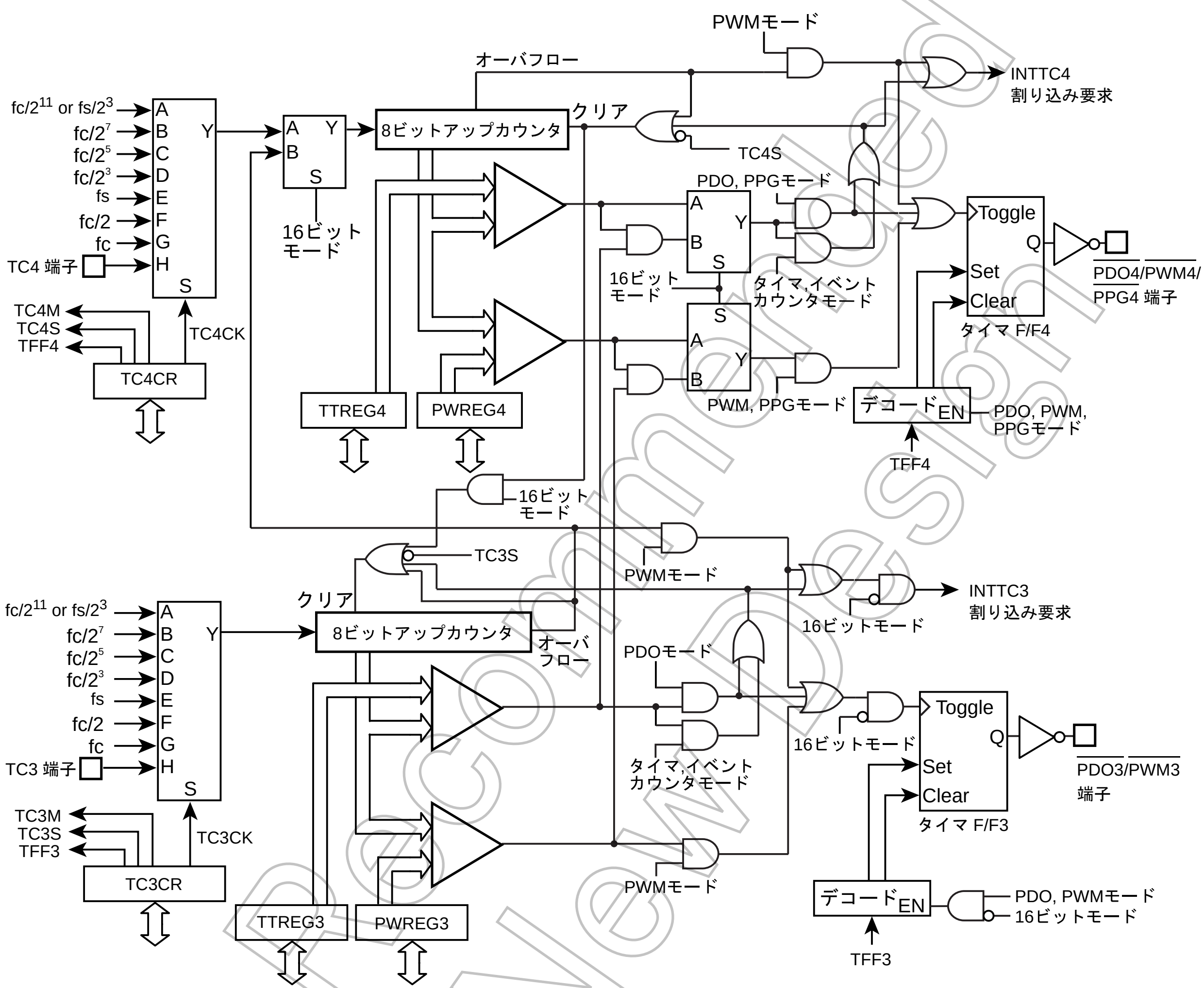


図 9-1 8 ビットタイマカウンタ 3, 4

9.2　制御

タイマカウンタ 3 は、タイマカウンタ 3 制御レジスタ (TC3CR) と 2 本の 8 ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ 3 のタイマレジスタ

TTREG3 (001CH) R/W	7	6	5	4	3	2	1	0	
									(初期値: 1111 1111)

PWREG3 (002CH) R/W	7	6	5	4	3	2	1	0	
									(初期値: 1111 1111)

注 1)　タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
注 2)　8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ 3 制御レジスタ

TC3CR (0018H)	7	6	5	4	3	2	1	0	
	TFF3	TC3CK			TC3S	TC3M			(初期値: 0000 0000)

TFF3	タイマ F/F3 の制御（注 2,3）	0:　クリア 1:　セット				R/W
TC3CK	動作クロック選択[Hz]（注 2,3,6）		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1		
		000	fc/2^{11}	fs/2^{3}	fs/2^{3}	
		001	fc/2^{7}	fc/2^{7}	—	
		010	fc/2^{5}	fc/2^{5}	—	
		011	fc/2^{3}	fc/2^{3}	—	
		100	fs	fs	fs	
		101	fc/2	fc/2	—	
		110	fc (注 8)	fc (注 8)	fc (注 8)	
		111	TC3 端子入力			
TC3S	タイマスタート制御（注 3）	0:　動作停止&カウンタクリア 1:　動作開始				R/W
TC3M	動作モード選択（注 2,3,7）	000:　8 ビットタイマ/イベントカウンタモード 001:　8 ビットプログラマブルデバイダ出力 (PDO) モード 010:　8 ビットパルス幅変調出力 (PWM) モード 011:　16 ビットモード（注 4,5） (各モード選択は TC4M にて設定してください) 1**:　Reserved				R/W

注 1)　fc; 高周波クロック[Hz]　 fs; 低周波クロック[Hz]
注 2)　タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。
注 3)　タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。
ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。
注 4)　16 ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M>にて行い、TC3M は"011"に固定してください。
注 5)　16 ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については、TC4CR<TC4S>、TC4CR<TFF4>にて設定してください。
注 6)　動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1,表 9-2 を参照してください。
注 7)　タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。
注 8)　ソースクロックとして fc が選択できるのは、8/16 ビット PWM モード、および SLOW/SLEEP モード時のウォーミングアップカウンタモードのみです。

タイマカウンタ 4 は、タイマカウンタ 4 制御レジスタ (TC4CR) と 2 本の 8 ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ 4 のタイマレジスタ

TTREG4 (001DH) R/W	7	6	5	4	3	2	1	0	
									(初期値: 1111 1111)

PWREG4 (002DH) R/W	7	6	5	4	3	2	1	0	
									(初期値: 1111 1111)

注 1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ 4 制御レジスタ

TC4CR (0019H)	7	6	5	4	3	2	1	0	
	TFF4	TC4CK			TC4S	TC4M			(初期値: 0000 0000)

TFF4	タイマ F/F4 の制御（注 2,3）	0: クリア 1: セット	R/W

			NORMAL1/2, IDLE1/2 モード DV7CK = 0	NORMAL1/2, IDLE1/2 モード DV7CK = 1	SLOW1/2, SLEEP1/2 モード	
TC4CK	動作クロック選択[Hz]（注 2,3,7）	000	fc/2^{11}	fs/2^3	fs/2^3	R/W
		001	fc/2^7	fc/2^7	—	
		010	fc/2^5	fc/2^5	—	
		011	fc/2^3	fc/2^3	—	
		100	fs	fs	fs	
		101	fc/2	fc/2	—	
		110	fc（注 9）	fc（注 9）	—	
		111	TC4 端子入力			

TC4S	タイマスタート制御（注 3）	0: 動作停止&カウンタクリア 1: 動作開始	R/W
TC4M	動作モード選択（注 2,3,8）	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード	R/W

注 1) fc; 高周波クロック[Hz]　fs; 低周波クロック[Hz]
注 2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。
注 3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。
ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。
注 4) TC4M = 1**のとき (16 ビットモードの上位側のとき) は、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。
注 5) 16 ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M>は必ず"011"に設定してください。
注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK>にて行い、タイマスタート制御、タイマ F/F の制御については TC4S、TFF4 にて設定してください。
注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1,表 9-2 を参照してください.
注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

注 9)　ソースクロックとして fc が選択できるのは、8 ビット PWM モードのみです。

注 10)　PDO、PWM、PPG モードを使用する場合、TC1CR2<TC4OUT>が"1"に設定されているとタイマ出力端子からパルスが出力されません。従ってこれらの端子からパルスを出力するには TC1CR2<TC4OUT>を"0"に設定してください。

表 9-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	fc/2^{11} or fs/2^3	fc/2^7	fc/2^5	fc/2^3	fs	fc/2	fc	TC3 端子入力	TC4 端子入力
8 ビットタイマ	○	○	○	○	–	–	–	–	–
8 ビットイベントカウンタ	–	–	–	–	–	–	–	○	○
8 ビット PDO	○	○	○	○	–	–	–	–	–
8 ビット PWM	○	○	○	○	○	○	○	–	–
16 ビットタイマ	○	○	○	○	–	–	–	–	–
16 ビットイベントカウンタ	–	–	–	–	–	–	–	○	–
ウォーミングアップカウンタ	–	–	–	–	○	–	–	–	–
16 ビット PWM	○	○	○	○	○	○	○	○	–
16 ビット PPG	○	○	○	○	–	–	–	○	–

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-2 動作モードと使用できるソースクロック(SLOW1/2,SLEEP1/2 モード時)

動作モード	fc/2^{11} or fs/2^3	fc/2^7	fc/2^5	fc/2^3	fs	fc/2	fc	TC3 端子入力	TC4 端子入力
8 ビットタイマ	○	–	–	–	–	–	–	–	–
8 ビットイベントカウンタ	–	–	–	–	–	–	–	○	○
8 ビット PDO	○	–	–	–	–	–	–	–	–
8 ビット PWM	○	–	–	–	○	–	–	–	–
16 ビットタイマ	○	–	–	–	–	–	–	–	–
16 ビットイベントカウンタ	–	–	–	–	–	–	–	○	–
ウォーミングアップカウンタ	–	–	–	–	–	–	○	–	–
16 ビット PWM	○	–	–	–	○	–	–	○	–
16 ビット PPG	○	–	–	–	–	–	–	○	–

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8 ビットタイマ/イベントカウンタ	1≦ (TTREG4) ≦255, 1≦ (TTREG3) ≦255
8 ビット PDO	1≦ (TTREG4) ≦255, 1≦ (TTREG3) ≦255
8 ビット PWM	2≦ (PWREG4) ≦254, 2≦ (PWREG3) ≦254
16 ビットタイマ/イベントカウンタ	1≦ (TTREG4, 3) ≦65535
ウォーミングアップカウンタ	256≦ (TTREG4, 3) ≦65535
16 ビット PWM	2≦ (PWREG4, 3) ≦65534
16 ビット PPG	1≦ (PWREG4, 3) < (TTREG4, 3) ≦65535 かつ (PWREG4, 3) + 1 < (TTREG4, 3)

9.3　機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

9.3.1　8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタ j の値とタイマレジスタ j (TTREGj) 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタ j がクリアされます。カウンタクリア後もカウントアップを継続します。

注 1)　タイマモード時は、TCjCR<TFFj>を“0” に固定してください。固定されない場合は、$\overline{\text{PDOj/PWMj/PPGj}}$ 端子からパルスが出力されることがあります。

注 2)　タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3)　j = 3, 4

表 9-4 タイマカウンタ 3, 4 のソースクロック(内部クロック)

ソースクロック（注）			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 8 MHz 時	fs = 32.768 kHz 時	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	256 μs	244.14 μs	65.2 ms	62.3 ms
$fc/2^7$	$fc/2^7$	–	16 μs	–	4.0 ms	–
$fc/2^5$	$fc/2^5$	–	4 μs	–	1.0ms	–
$fc/2^3$	$fc/2^3$	–	1 μs	–	255.0 μs	–

注)　タイマモードでは、上記のソースクロック以外は選択しないでください。

（プログラム例）ソースクロック fc/ 2^7[Hz] でタイマモードにセットし、160 μs 後に割り込みを発生させる
(タイマカウンタ 4、fc = 8.0 MHz 時)

```
LD      (TTREG4), 0AH           ;タイマレジスタの設定 (160 μs÷2^7/fc = 0AH)
DI
SET     (EIRH). 3               ; INTTC4 割り込みを許可
EI
LD      (TC4CR), 00010000B      ;動作クロックを fc/2^7 ,8 ビットタイマモードに設定
LD      (TC4CR), 00011000B      ;TC4 スタート
```

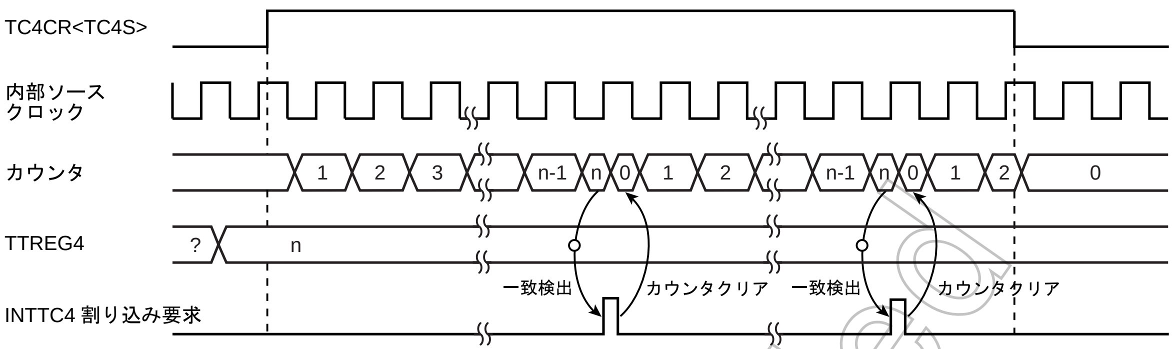


図 9-2 8 ビットタイマモードタイミングチャート (TC4 の場合)

9.3.2 8 ビットイベントカウンタモード (TC3, 4)

このモードは TCj 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREGj 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TCj 端子入力の立ち下がりエッジごとにカウントアップします。TCj 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1/2 または IDLE1/2 モード時で fc/2^4 [Hz]、SLOW1/2 または SLEEP1/2 モード時で fs/2^4 [Hz]となります。

注 1) イベントカウンタモード時は、TCjCR<TFFj>を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3) j = 3, 4

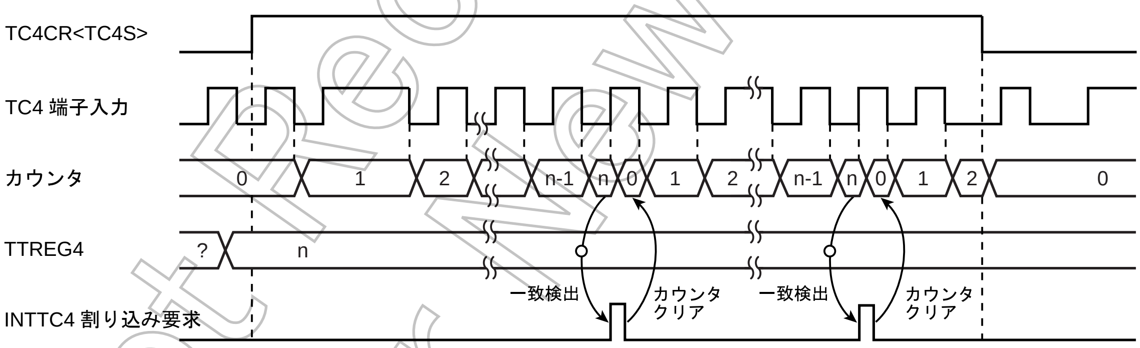


図 9-3 8 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

9.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは $\overline{\text{PDOj}}$ 端子からデューティ 50%のパルスを出力するモードです。

内部クロックでカウントアップし、TTREGj との一致ごとにタイマ F/Fj 値を反転しアップカウンタをクリアします。このとき INTTCj 割り込み要求が発生します。$\overline{\text{PDOj}}$ 端子からはタイマ F/Fj 値の反転レベルが出力されます。なお、タイマ F/Fj 値は TCjCR<TFFj>によって任意の値を設定することができます。リセット時、タイマ F/Fj 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

（プログラム例）TC4 を使用し、512 Hz のパルスを出力 (fc = 8.0 MHz)

	ポートを設定	
LD	(TTREG4), 3DH	; 1/512 ÷ 2^7/fc ÷ 2 = 3DH
LD	(TC4CR), 00010001B	;動作クロックを fc/2^7, 8 ビット PDO モードに設定
LD	(TC4CR), 00011001B	; TC4 スタート

注 1)　プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 2)　PDO 出力中にタイマを停止すると、$\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj>の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を“H” レベルに固定する。

CLR (TCjCR).3; タイマ停止

CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を“H” レベルに設定

注 3)　j = 3, 4

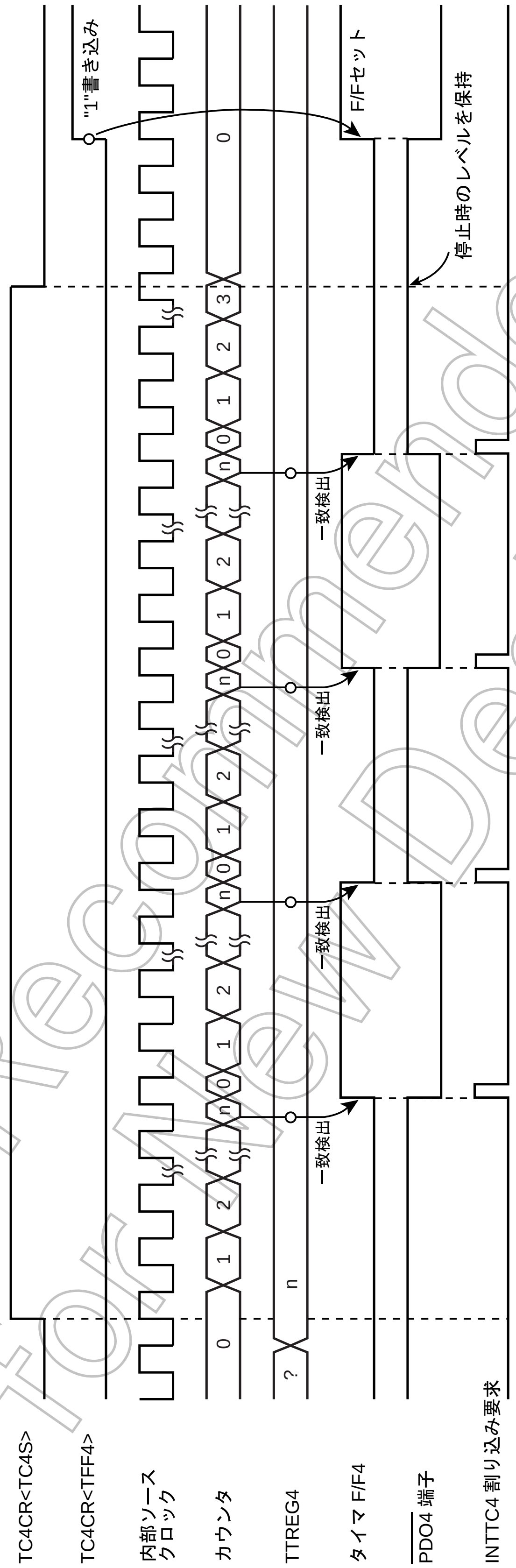


図 9-4 8 ビット PDO モードタイミングチャート (TC4 の場合)

9.3.4　8 ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です 。リセット時、タイマ F/Fj は “0” にクリアされます。

($\overline{\text{PWMj}}$ 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

注 1)　PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。

注 2)　PWM 出力中にタイマを停止すると、$\overline{\text{PWMj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj>の設定を変更しないでください。

例 : タイマカウンタ停止時に $\overline{\text{PWMj}}$ 端子を “H” レベルに固定する。

CLR (TCjCR).3; タイマ停止

CLR (TCjCR).7; $\overline{\text{PWMj}}$ 出力を “H” レベルに設定

注 3)　PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に PWMj 端子からパルスが出力されます。

注 4)　j = 3, 4

表 9-5 PWM 出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 8 MHz 時	fs = 32.768 kHz 時	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^{3}$ [Hz]	$fs/2^{3}$ [Hz]	256 μs	244.14 μs	65.5 ms	62.5 ms
$fc/2^{7}$	$fc/2^{7}$	−	16 μs	−	4.1 ms	−
$fc/2^{5}$	$fc/2^{5}$	−	4 μs	−	1.02 ms	−
$fc/2^{3}$	$fc/2^{3}$	−	1 μs	−	256 μs	−
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	−	250 ns	−	64 μs	−
fc	fc	−	125 ns	−	32 μs	−

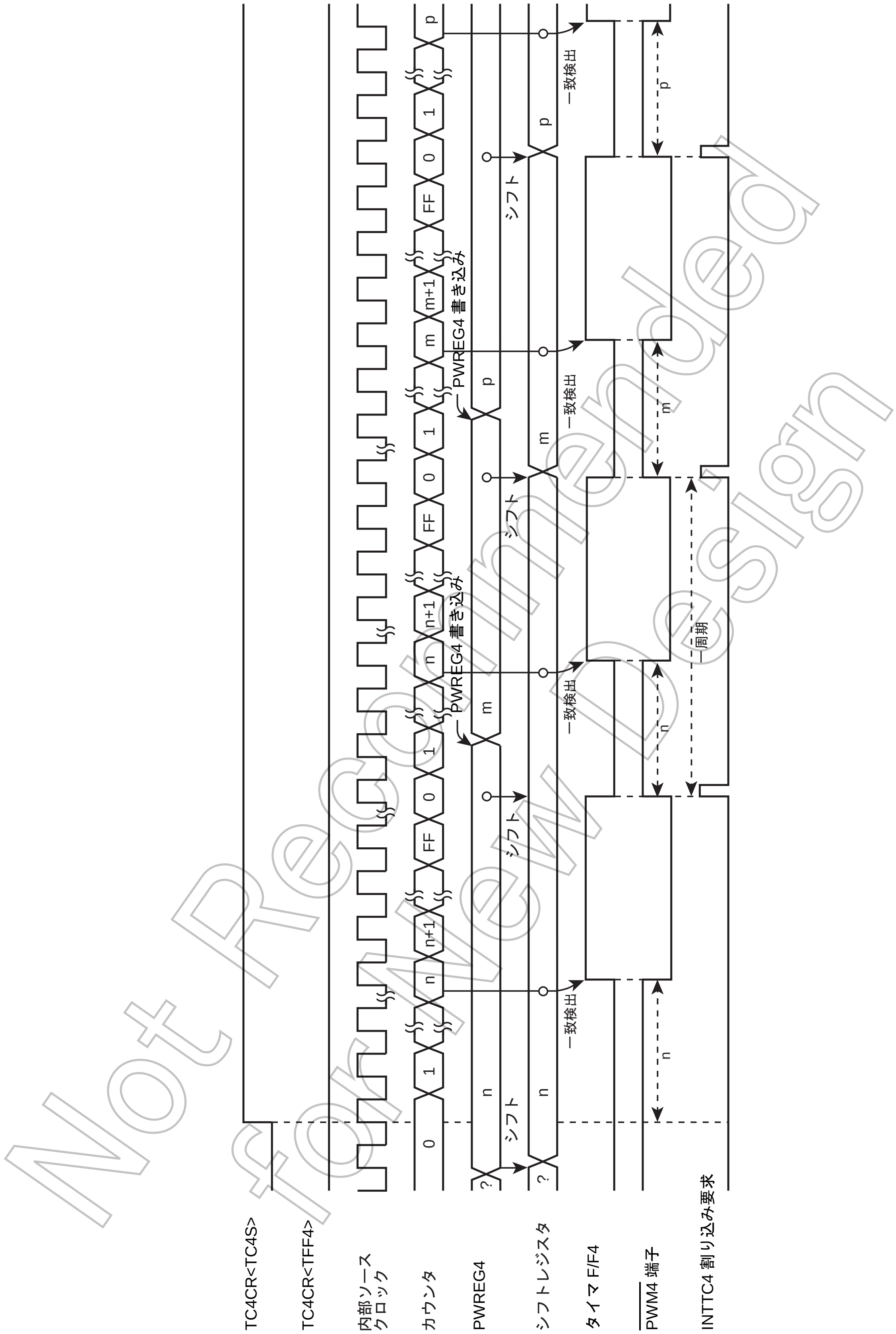


図 9-5 8 ビット PWM 出力モードタイミングチャート (TC4 の場合)

9.3.5　16 ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 3 と 4 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3) 、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

注 1)　タイマモード時は、TCjCR<TFFj>を "0" に固定してください。固定されない場合は、$\overline{\mathrm{PDOj}}/\overline{\mathrm{PWMj}}/\overline{\mathrm{PPGj}}$ 端子からパルスが出力されることがあります。

注 2)　タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3)　j = 3, 4

表 9-6 16 ビットタイマモードのソースクロック

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 8 MHz 時	fs = 32.768 kHz 時	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$	$fs/2^3$	$fs/2^3$	256 μs	244.14 μs	16.78 s	16s
$fc/2^7$	$fc/2^7$	–	16 μs	–	1.05 s	–
$fc/2^5$	$fc/2^5$	–	4 μs	–	262.1 ms	–
$fc/2^3$	$fc/2^3$	–	1 μs	–	65.5 ms	–

（プログラム例）ソースクロック fc/ 2^7[Hz]でタイマモードにセットし、600ms 後に割り込みを発生させる (fc = 8.0 MHz 時)

```
LDW    (TTREG3), 927CH     ;タイマレジスタの設定 (600 ms÷2^7/fc = 927CH)
DI
SET    (EIRH). 3           ; INTTC4 割り込みを許可
EI
LD     (TC3CR), 13H        ;動作クロックを fc/2^7、16 ビットタイマモード
                           ; (下位側) に設定
LD     (TC4CR), 04H        ; 16 ビットタイマモード (上位側) に設定
LD     (TC4CR), 0CH        ;タイマスタート
```

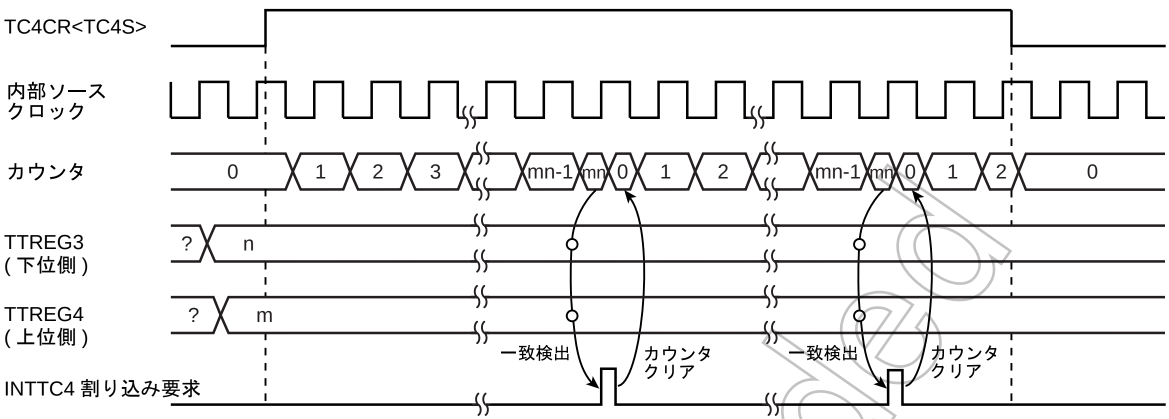


図 9-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

9.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の 設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1/2 または IDLE1/2 モード時で fc/ 2^4[Hz]、SLOW1/2 または SLEEP1/2 モード時で fs/2^4 [Hz]となります。

タイマレジスタは、必ず下位側 (TTREG3) 、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

注 1) イベントカウンタモード時は、TCjCR<TFFj>を “0” に固定してください。固定されない場合は、$\overline{PDOj}$/$\overline{PWMj}$/$\overline{PPGj}$ 端子からパルスが出力されることがあります。
注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
注 3) j = 3, 4

9.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1/2 または IDLE1/2 モード時で fc/ 2^4[Hz]、SLOW1/2 または SLEEP1/2 モード時で fs/2^4 [Hz]となります。

タイマ F/F4 は、TC4CR<TFF4>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です 。リセット時、タイマ F/F4 は “0” にクリアされます。

($\overline{PWM4}$ 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

注 1)　PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。

注 2)　PWM 出力中にタイマを停止すると、$\overline{\text{PWM4}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4>の操作を行ってください(タイマ停止と同時に TC4CR<TFF4>の設定を変更しないでください)。

例 : タイマカウンタ停止時に $\overline{\text{PWM4}}$ 端子を “H” レベルに固定する。

CLR (TC4CR).3 ; タイマ停止

CLR (TC4CR).7 ; $\overline{\text{PWM4}}$ 端子を “H” レベルに設定

注 3)　STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に $\overline{\text{PWM4}}$ 端子からパルスが出力されます(ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 9-7 16 ビット PWM 出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 8 MHz 時	fs = 32.768 kHz 時	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$	$fs/2^{3}$ [Hz]	$fs/2^{3}$ [Hz]	256 μs	244.14 μs	16.78 s	16 s
$fc/2^{7}$	$fc/2^{7}$	−	16 μs	−	1.05 s	−
$fc/2^{5}$	$fc/2^{5}$	−	4 μs	−	262.1 ms	−
$fc/2^{3}$	$fc/2^{3}$	−	1 μs	−	65.5 ms	−
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	−	250 ns	−	16.4 ms	−
fc	fc	−	125 ns	−	8.2 ms	−

（プログラム例）周期 65.536ms、“H” レベル幅 2ms のパルスを出力する
(fc = 8.0 MHz 時)

```
        ポートを設定する
LDW     (PWREG3), 07D0H     ;パルス幅の設定
LD      (TC3CR), 33H        ;動作クロックを fc/2^3、16 ビット PWM モード (下位側)に設定
LD      (TC4CR), 056H       ; TFF4 初期値 “0”、16 ビット PWM モード (上位側) に設定
LD      (TC4CR), 05EH       ;タイマスタート
```

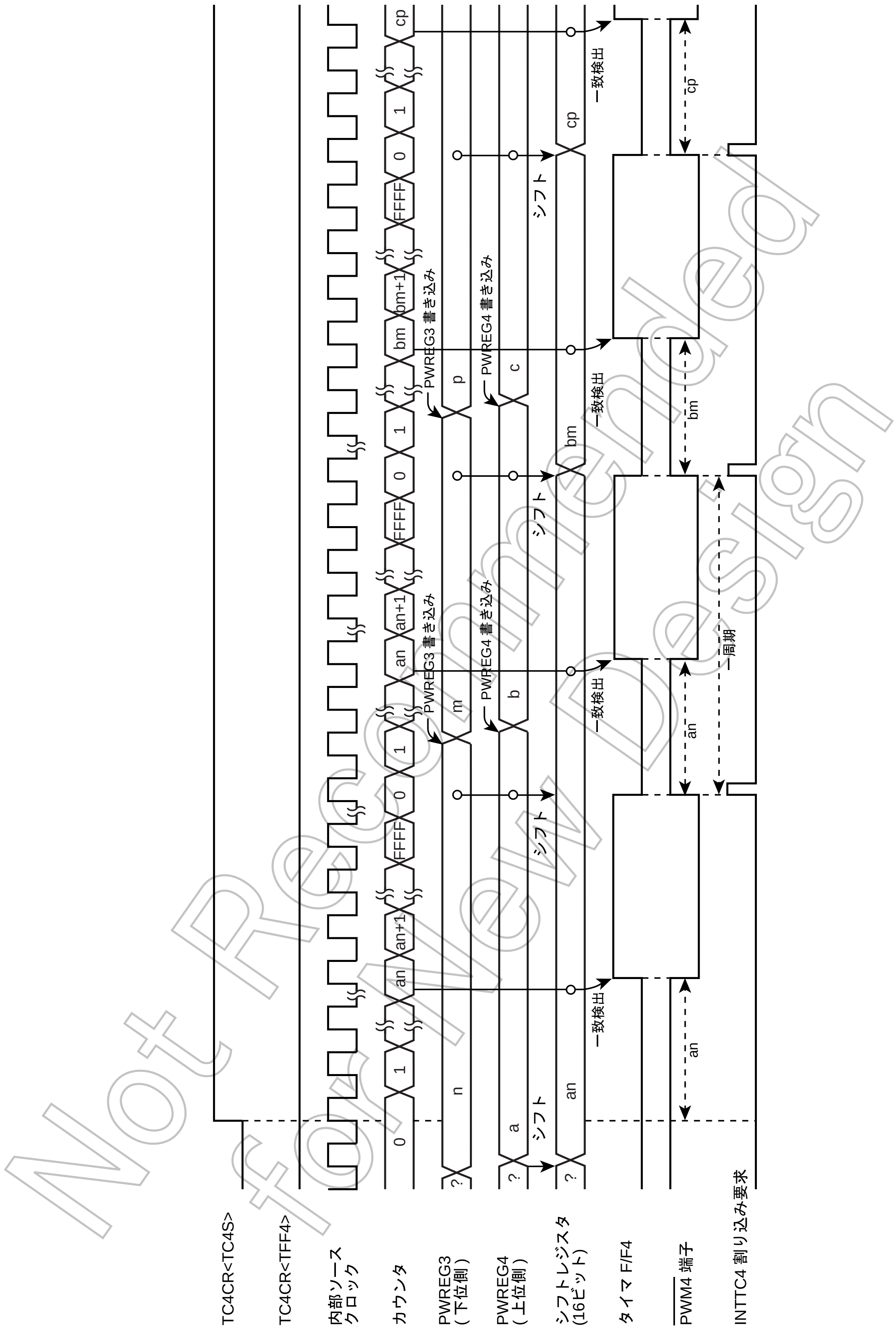


図 9-7 16 ビット PWM モードタイミングチャート (TC3 + TC4 の場合)

9.3.8　16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1/2 または IDLE1/2 モード時で fc/ 2^4[Hz]、SLOW1/2 または SLEEP1/2 モード時で fs/2^4 [Hz]となります。

タイマ F/F4 は、TC4CR<TFF4>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です 。リセット時、タイマ F/F4 は “0” にクリアされます。

($\overline{\text{PPG4}}$ 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3→TTREG4、PWREG3→PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

（プログラム例）周期 32.770 ms、“H” レベル幅 2 ms のパルスを出力する (fc = 8.0 MHz 時)

```
        ポートを設定する
LDW     (PWREG3), 07D0H     ;パルス幅の設定
LDW     (TTREG3), 8002H     ;周期の設定
LD      (TC3CR), 33H        ;動作クロックを fc/2^3、16 ビット PPG モード (下位側) に設定
LD      (TC4CR), 057H       ; TFF4 初期値 “0”、16 ビット PPG モード (上位側) に設定
LD      (TC4CR), 05FH       ;タイマスタート
```

注 1)　プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREGi, TTREGi の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREGi, TTREGi はシフトレジスタ構成となりませんので、PWREGi, TTREGi への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREGi, TTREGi を書き替えると想定している動作を得られない場合があります。

注 2)　PPG 出力中にタイマを停止すると、$\overline{\text{PPG4}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4>の操作を行ってください。タイマ停止と同時に TC4CR<TFF4>の設定を変更しないでください。

例 : タイマカウンタ停止時に $\overline{\text{PPG4}}$ 端子を “H” レベルに固定する。

CLR (TC4CR).3; タイマ停止

CLR (TC4CR).7; $\overline{\text{PPG4}}$ 端子を “H” レベルに設定

注 3)　i = 3, 4

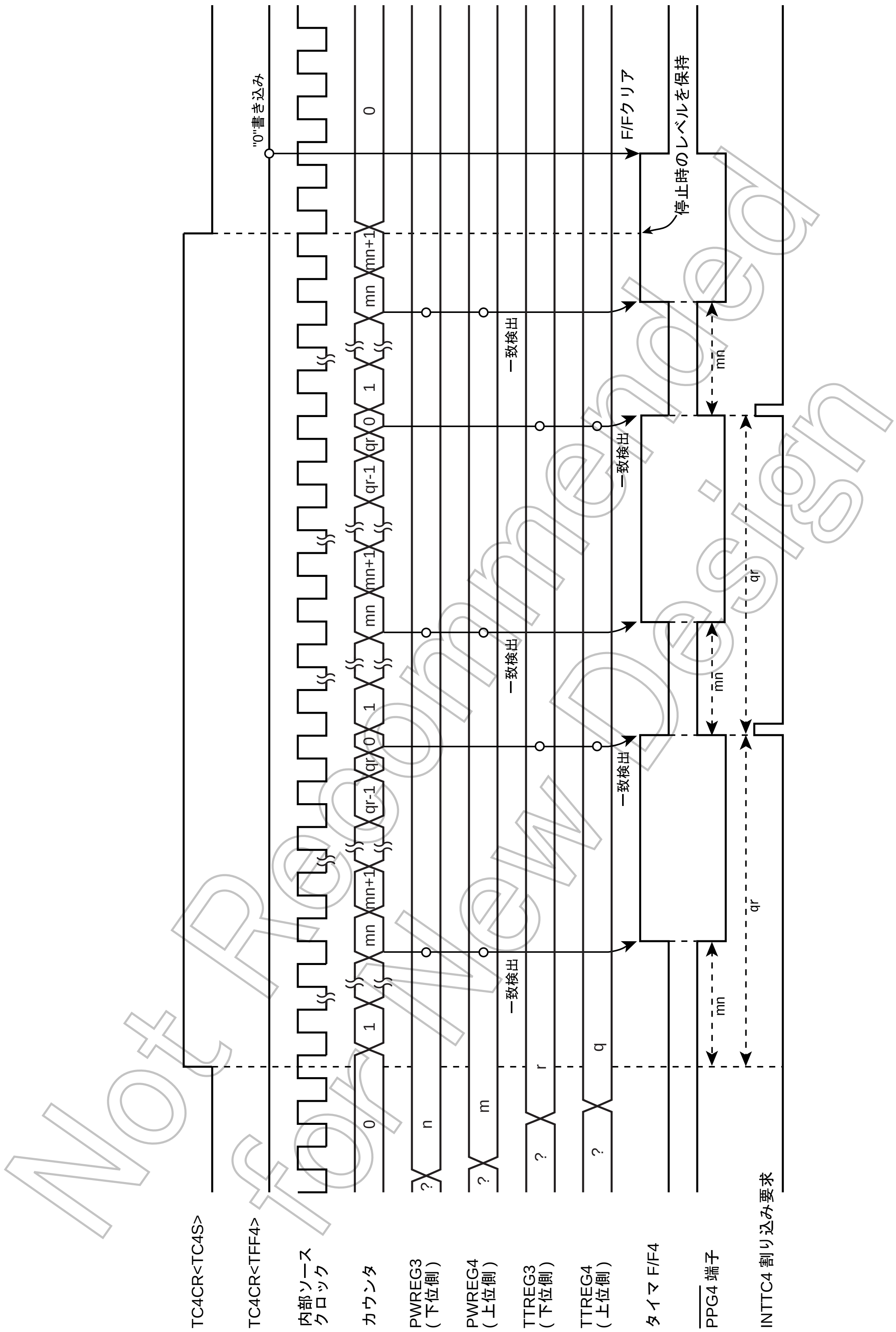


図 9-8 16 ビット PPG モードタイミングチャート (TC3 + TC4 の場合)

9.3.9　ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 3 と 4 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

注 1)　ウォーミングアップカウンタモード時は、TCiCR<TFFi>を “0” に固定してください。固定されない場合は、PDOi/PWMi/PPGi 端子からパルスが出力されることがあります。

注 2)　ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみの一致検出となります。

注 3)　i = 3, 4

9.3.9.1　低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN>を “1” に設定し低周波クロックを発振させます。TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を “1” に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を “0” に設定し、高周波クロックを停止します。

表 9-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
7.81 ms	1.99 s

（プログラム例）TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```
           SET     (SYSCR2).6         ; SYSCR2<XTEN> ← “1”
           LD      (TC3CR), 43H       ; TFF3 =“0”, ソースクロック fs,　16 ビットモードに設定
           LD      (TC4CR), 05H       ; TFF4 = “0”, ウォーミングアップカウ ンタモードに設定
           LDW     (TTREG3), 8000H    ;ウォーミングアップ時間をセット
                                      ; (発振器の特性で時間を決定します)
           DI                         ; IMF ←“0”
           SET     (EIRH). 3          ; INTTC4 割り込みを許可
           EI                         ; IMF ←“1”
           SET     (TC4CR).3          ; TC4, 3 スタート
             :        :
PINTTC4:   CLR     (TC4CR).3          ; TC4, 3 ストップ
           SET     (SYSCR2).5         ; SYSCR2<SYSCK> ←“1”
                                      ; (システムクロックを低周波に切り替え)
           CLR     (SYSCR2).7         ; SYSCR2<XEN> ←“0”(高周波クロック停止)
           RETI
             :              :
VINTTC4:   DW      PINTTC4            ; INTTC4 ベクタテーブル
```

9.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック fc が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN>を“1” に設定し高周波クロックを発振させます。TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ(TTREG4, 3)設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“0” に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN>を“0” に設定し、低周波クロックを停止します。

表 9-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
32 μs	8.16 ms

（プログラム例）TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```
            SET     (SYSCR2).7          ; SYSCR2<XEN> ←“1”
            LD      (TC3CR), 63H        ; TFF3 =“0”, ソースクロック fc, 16 ビットモードに設定
            LD      (TC4CR), 05H        ; TFF4 =“0”, ウォーミングアップカウ ンタモードに設定
            LDW     (TTREG3), 0F800H    ;ウォーミングアップ時間をセット
                                        ; (発振器の特性で時間を決定します)
            DI                          ; IMF ←“0”
            SET     (EIRH). 3           ; INTTC4 割り込みを許可
            EI                          ; IMF ←“1”
            SET     (TC4CR).3           ; TC4, 3 スタート
            :           :
PINTTC4:    CLR     (TC4CR).3           ; TC4, 3 ストップ
            CLR     (SYSCR2).5          ; SYSCR2<SYSCK> ←“0”
                                        ; (システムクロックを高周波に切り替え)
            CLR     (SYSCR2).6          ; SYSCR2<XTEN> ←“0”
                                        ; (低周波クロック停止)
            RETI
            :           :
VINTTC4:    DW      PINTTC4             ; INTTC4 ベクタテーブル
```

第 10 章　8 ビットタイマカウンタ(TC5, TC6)

10.1　構成

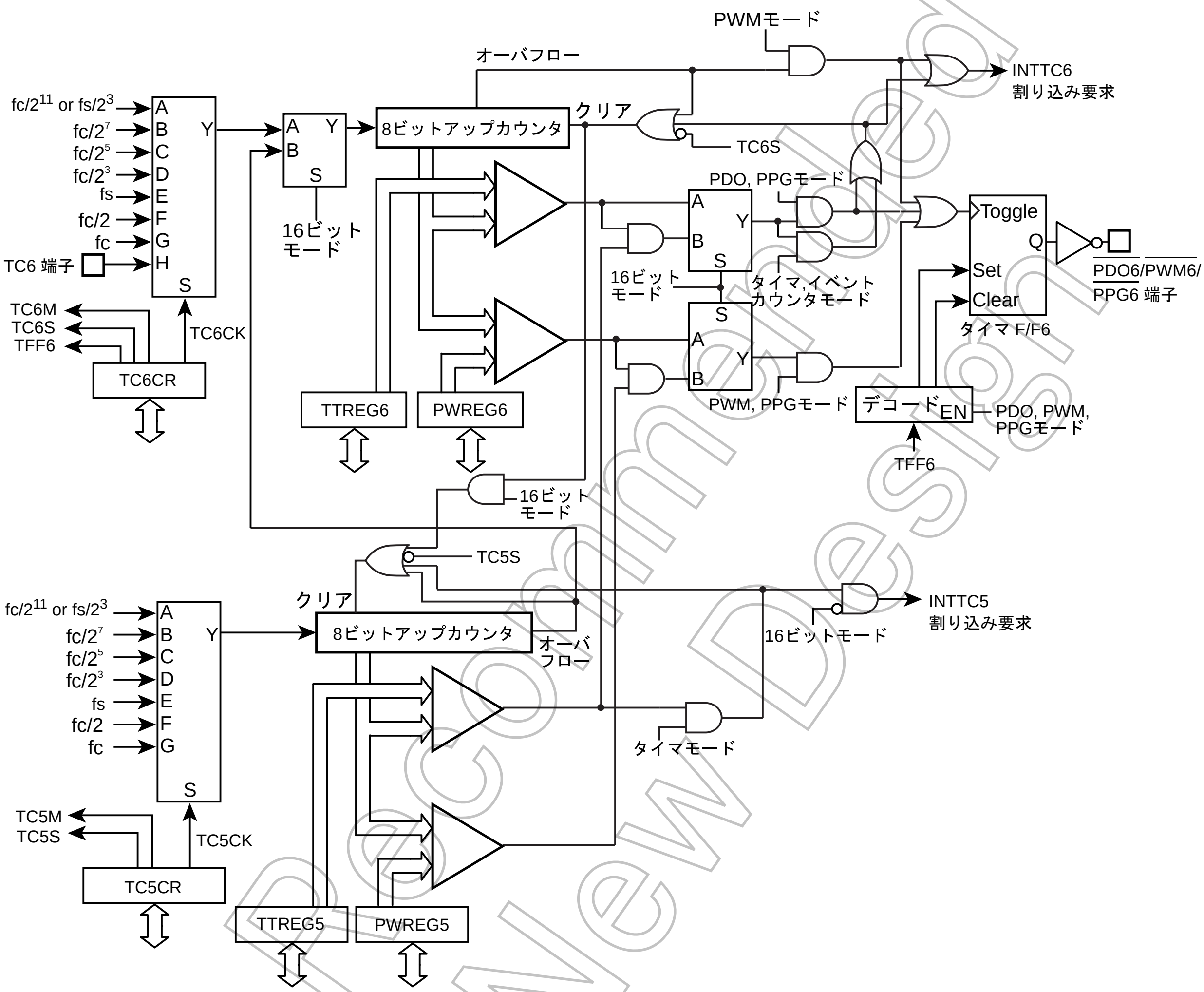


図 10-1 8 ビットタイマカウンタ 5, 6

10.2　制御

タイマカウンタ 5 は、タイマカウンタ 5 制御レジスタ (TC5CR) と 2 本の 8 ビットタイマレジスタ (TTREG5, PWREG5) で制御されます。

タイマカウンタ 5 のタイマレジスタ

TTREG5 (001EH) R/W	7	6	5	4	3	2	1	0	
									(初期値: 1111 1111)

PWREG5 (002EH) R/W	7	6	5	4	3	2	1	0	
									(初期値: 1111 1111)

注 1)　タイマ動作中は、タイマレジスタ (TTREG5) の設定値を変更しないでください。
注 2)　8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG5) の設定値を変更しないでください。

タイマカウンタ 5 制御レジスタ

TC5CR (001AH)	7	6	5	4	3	2	1	0	
	—	TC5CK			TC5S	TC5M			(初期値: *000 0000)

			NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
			DV7CK = 0	DV7CK = 1		
TC5CK	動作クロック選択[Hz]（注 2,3,6）	000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	R/W
		001	$fc/2^7$	$fc/2^7$	—	
		010	$fc/2^5$	$fc/2^5$	—	
		011	$fc/2^3$	$fc/2^3$	—	
		100	fs	fs	fs	
		101	fc/2	fc/2	—	
		110	fc (注 8)	fc (注 8)	fc (注 8)	
		111	Reserved			
TC5S	タイマスタート制御（注 3）	0:　動作停止&カウンタクリア 1:　動作開始				R/W
TC5M	動作モード選択（注 2,3,7）	000:　8 ビットタイマ 001:　Reserved 010:　Reserved 011:　16 ビットモード（注 4,5） (各モード選択は TC6M にて設定してください) 1**:　Reserved				R/W

注 1)　fc; 高周波クロック[Hz]　fs; 低周波クロック[Hz]
注 2)　タイマ動作中は、TC5M, TC5CK, TFF5 の設定を変更しないでください。
注 3)　タイマを動作停止 (TC5S = "1" → "0") するときは、TC5M, TC5CK, TFF5 の設定を変更しないでください。
ただしタイマを動作開始 (TC5S = "0" → "1") するときは、TC5M, TC5CK, TFF5 の設定を変更することができます。
注 4)　16 ビットモードで使用する場合、動作モードの設定は TC6CR<TC6M>にて行い、TC5M は"011"に固定してください。
注 5)　16 ビットモードで使用する場合、ソースクロックの選択は TC5CK にて行い、タイマスタート制御、タイマ F/F の制御については、TC6CR<TC6S>、TC6CR<TFF6>にて設定してください。
注 6)　動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1,表 10-2 を参照してください。
注 7)　タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。
注 8)　ソースクロックとして fc が選択できるのは、8/16 ビット PWM モード、および SLOW/SLEEP モード時のウォーミングアップカウンタモードのみです。

タイマカウンタ 6 は、タイマカウンタ 6 制御レジスタ (TC6CR) と 2 本の 8 ビットタイマレジスタ (TTREG6, PWREG6) で制御されます。

タイマカウンタ 6 のタイマレジスタ

TTREG6 (001FH) R/W	7	6	5	4	3	2	1	0	
									(初期値: 1111 1111)

PWREG6 (002FH) R/W	7	6	5	4	3	2	1	0	
									(初期値: 1111 1111)

注 1) タイマ動作中は、タイマレジスタ (TTREG6) の設定値を変更しないでください。

注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG6) の設定値を変更しないでください。

タイマカウンタ 6 制御レジスタ

TC6CR (001BH)	7	6	5	4	3	2	1	0	
	TFF6	TC6CK			TC6S	TC6M			(初期値: 0000 0000)

<table>
<tr><td>TFF6</td><td>タイマ F/F6 の制御（注 2,3）</td><td colspan="4">0: クリア
1: セット</td><td>R/W</td></tr>
<tr><td rowspan="10">TC6CK</td><td rowspan="10">動作クロック選択[Hz]
（注 2,3,7）</td><td rowspan="2"></td><td colspan="2">NORMAL1/2, IDLE1/2 モード</td><td rowspan="2">SLOW1/2, SLEEP1/2 モード</td><td rowspan="10">R/W</td></tr>
<tr><td>DV7CK = 0</td><td>DV7CK = 1</td></tr>
<tr><td>000</td><td>$fc/2^{11}$</td><td>$fs/2^{3}$</td><td>$fs/2^{3}$</td></tr>
<tr><td>001</td><td>$fc/2^{7}$</td><td>$fc/2^{7}$</td><td>—</td></tr>
<tr><td>010</td><td>$fc/2^{5}$</td><td>$fc/2^{5}$</td><td>—</td></tr>
<tr><td>011</td><td>$fc/2^{3}$</td><td>$fc/2^{3}$</td><td>—</td></tr>
<tr><td>100</td><td>fs</td><td>fs</td><td>fs</td></tr>
<tr><td>101</td><td>fc/2</td><td>fc/2</td><td>—</td></tr>
<tr><td>110</td><td>fc（注 9）</td><td>fc（注 9）</td><td>—</td></tr>
<tr><td>111</td><td colspan="3">TC6 端子入力</td></tr>
<tr><td>TC6S</td><td>タイマスタート制御（注 3）</td><td colspan="4">0: 動作停止&カウンタクリア
1: 動作開始</td><td>R/W</td></tr>
<tr><td>TC6M</td><td>動作モード選択
（注 2,3,8）</td><td colspan="4">000: 8 ビットタイマ/イベントカウンタモード
001: 8 ビットプログラマブルデバイダ出力 (PDO) モード
010: 8 ビットパルス幅変調出力 (PWM) モード
011: Reserved
100: 16 ビットタイマ/イベントカウンタモード
101: ウォーミングアップカウンタモード
110: 16 ビットパルス幅変調出力 (PWM) モード
111: 16 ビット PPG モード</td><td>R/W</td></tr>
</table>

注 1) fc; 高周波クロック[Hz]　fs; 低周波クロック[Hz]

注 2) タイマ動作中は、TC6M, TC6CK, TFF6 の設定を変更しないでください。

注 3) タイマを動作停止 (TC6S = "1" → "0") するときは、TC6M, TC6CK, TFF6 の設定を変更しないでください。
ただしタイマを動作開始 (TC6S = "0" → "1") するときは、TC6M, TC6CK, TFF6 の設定を変更することができます。

注 4) TC6M = 1**のとき (16 ビットモードの上位側のとき) は、TC6CK の設定に関係なく、ソースクロックは TC5 オーバフロー信号になります。

注 5) 16 ビットモードで使用する場合、動作モードの選択は TC6M にて行います。そのとき、TC5CR<TC5M>は必ず"011"に設定してください。

注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CR<TC5CK>にて行い、タイマスタート制御、タイマ F/F の制御については TC6S、TFF6 にて設定してください。

注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1,表 10-2 を参照してください.

注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。

注 9)　ソースクロックとして fc が選択できるのは、8 ビット PWM モードのみです。

注 10) PDO、PWM、PPG モードを使用する場合、TC1CR2<TC6OUT>が"1"に設定されているとタイマ出力端子からパルスが出力されません。従ってこれらの端子からパルスを出力するには TC1CR2<TC6OUT>を"0"に設定してください。

表 10-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TC5 端子入力	TC6 端子入力
8 ビットタイマ	○	○	○	○	–	–	–	–	–
8 ビットイベントカウンタ	–	–	–	–	–	–	–	–	○
8 ビット PDO	○	○	○	○	–	–	–	–	–
8 ビット PWM	○	○	○	○	○	○	○	–	–
16 ビットタイマ	○	○	○	○	–	–	–	–	–
ウォーミングアップカウンタ	–	–	–	–	○	–	–	–	–
16 ビット PWM	○	○	○	○	○	○	○	–	–
16 ビット PPG	○	○	○	○	–	–	–	–	–

注 1) 16 ビット動作 (16 ビットタイマ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 10-2 動作モードと使用できるソースクロック(SLOW1/2,SLEEP1/2 モード時)

動作モード	$fc/2^{11}$ or $fs/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TC5 端子入力	TC6 端子入力
8 ビットタイマ	○	–	–	–	–	–	–	–	–
8 ビットイベントカウンタ	–	–	–	–	–	–	–	–	○
8 ビット PDO	○	–	–	–	–	–	–	–	–
8 ビット PWM	○	–	–	–	○	–	–	–	–
16 ビットタイマ	○	–	–	–	–	–	–	–	–
ウォーミングアップカウンタ	–	–	–	–	–	–	○	–	–
16 ビット PWM	○	–	–	–	○	–	–	–	–
16 ビット PPG	○	–	–	–	–	–	–	–	–

注 1) 16 ビット動作 (16 ビットタイマ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 10-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8 ビットタイマ/イベントカウンタ	1≦ (TTREG6) ≦255, 1≦ (TTREG5) ≦255
8 ビット PDO	1≦ (TTREG6) ≦255, 1≦ (TTREG5) ≦255
8 ビット PWM	2≦ (PWREG6) ≦254, 2≦ (PWREG5) ≦254
16 ビットタイマ	1≦ (TTREG6, 5) ≦65535
ウォーミングアップカウンタ	256≦ (TTREG6, 5) ≦65535
16 ビット PWM	2≦ (PWREG6, 5) ≦65534
16 ビット PPG	1≦ (PWREG6, 5) < (TTREG6, 5) ≦65535 かつ (PWREG6, 5) + 1 < (TTREG6, 5)

10.3　機能

タイマカウンタ 6 には 8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 5, 6 (TC5, 6) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

10.3.1　8 ビットタイマモード (TC5, 6)

このモードは内部クロックでカウントアップするモードです。アップカウンタ j の値とタイマレジスタ j (TTREGj) 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタ j がクリアされます。カウンタクリア後もカウントアップを継続します。

注 1)　タイマモード時は、TCjCR<TFFj>を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2)　タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3)　j = 5, 6

表 10-4 タイマカウンタ 5, 6 のソースクロック(内部クロック)

ソースクロック（注）			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 8 MHz 時	fs = 32.768 kHz 時	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	256 μs	244.14 μs	65.2 ms	62.3 ms
$fc/2^7$	$fc/2^7$	−	16 μs	−	4.0 ms	−
$fc/2^5$	$fc/2^5$	−	4 μs	−	1.0ms	−
$fc/2^3$	$fc/2^3$	−	1 μs	−	255.0 μs	−

注)　タイマモードでは、上記のソースクロック以外は選択しないでください。

（プログラム例）ソースクロック $fc/2^7$[Hz] でタイマモードにセットし、160 μs 後に割り込みを発生させる
(タイマカウンタ 6、fc = 8.0 MHz 時)

```
LD      (TTREG6), 0AH           ;タイマレジスタの設定 (160 μs÷2^7/fc = 0AH)
DI
SET     (EIRH). 4               ; INTTC6 割り込みを許可
EI
LD      (TC6CR), 00010000B      ;動作クロックを fc/2^7 ,8 ビットタイマモードに設定
LD      (TC6CR), 00011000B      ;TC6 スタート
```

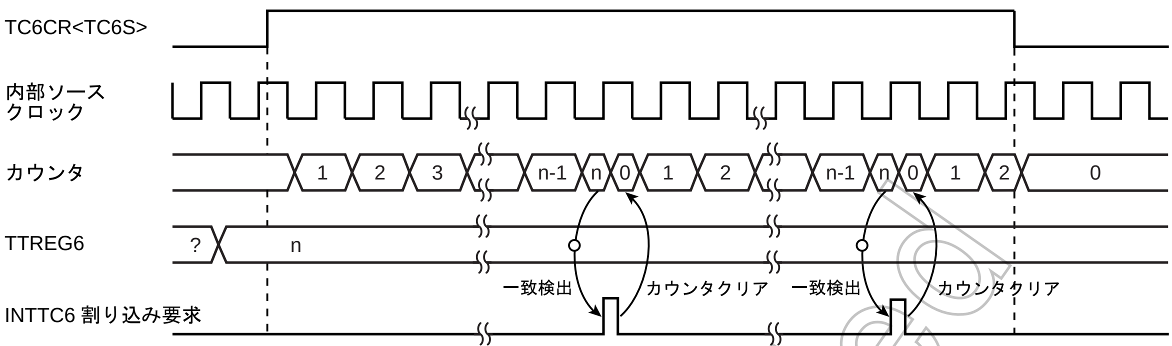


図 10-2 8 ビットタイマモードタイミングチャート (TC6 の場合)

10.3.2　8 ビットイベントカウンタモード (TC6)

このモードは TCj 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREGj 設定値が一致すると INTTCj 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TCj 端子入力の立ち下がりエッジごとにカウントアップします。TCj 端子への最小入力パルス幅は、“H”, “L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1/2 または IDLE1/2 モード時で fc/2^4 [Hz]、SLOW1/2 または SLEEP1/2 モード時で fs/2^4 [Hz]となります。

注 1)　イベントカウンタモード時は、TCjCR<TFFj>を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/PPGj 端子からパルスが出力されることがあります。

注 2)　イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3)　j = 6

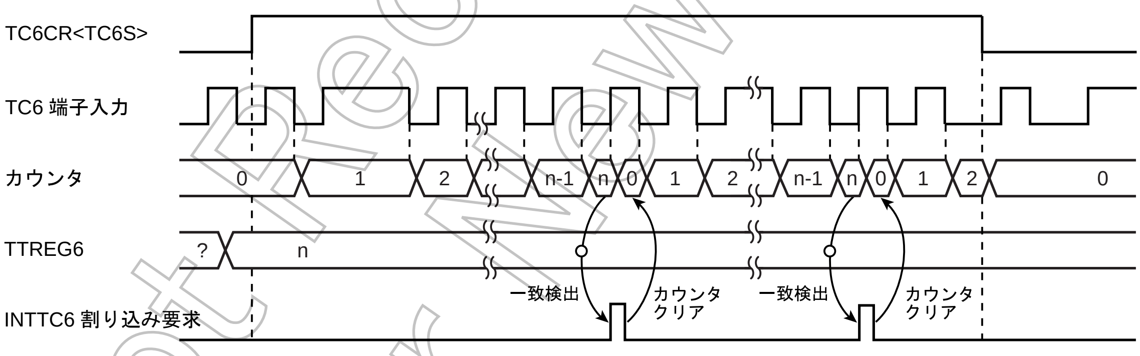


図 10-3 8 ビットイベントカウンタモードタイミングチャート (TC6 の場合)

10.3.3　8 ビットプログラマブル デバイダ出力 (PDO) モード (TC6)

このモードは $\overline{\text{PDOj}}$ 端子からデューティ 50%のパルスを出力するモードです。

内部クロックでカウントアップし、TTREGj との一致ごとにタイマ F/Fj 値を反転しアップカウンタをクリアします。このとき INTTCj 割り込み要求が発生します。$\overline{\text{PDOj}}$ 端子からはタイマ F/Fj 値の反転レベルが出力されます。なお、タイマ F/Fj 値は TCjCR<TFFj>によって任意の値を設定することができます。リセット時、タイマ F/Fj 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

（プログラム例）TC6 を使用し、512 Hz のパルスを出力 (fc = 8.0 MHz)

	ポートを設定	
LD	(TTREG6), 3DH	; 1/512 ÷ 2^7/fc ÷ 2 = 3DH
LD	(TC6CR), 00010001B	;動作クロックを fc/2^7, 8 ビット PDO モードに設定
LD	(TC6CR), 00011001B	; TC6 スタート

注 1)　プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 2)　PDO 出力中にタイマを停止すると、$\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj>の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を“H” レベルに固定する。

CLR (TCjCR).3; タイマ停止

CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を“H” レベルに設定

注 3)　j = 6

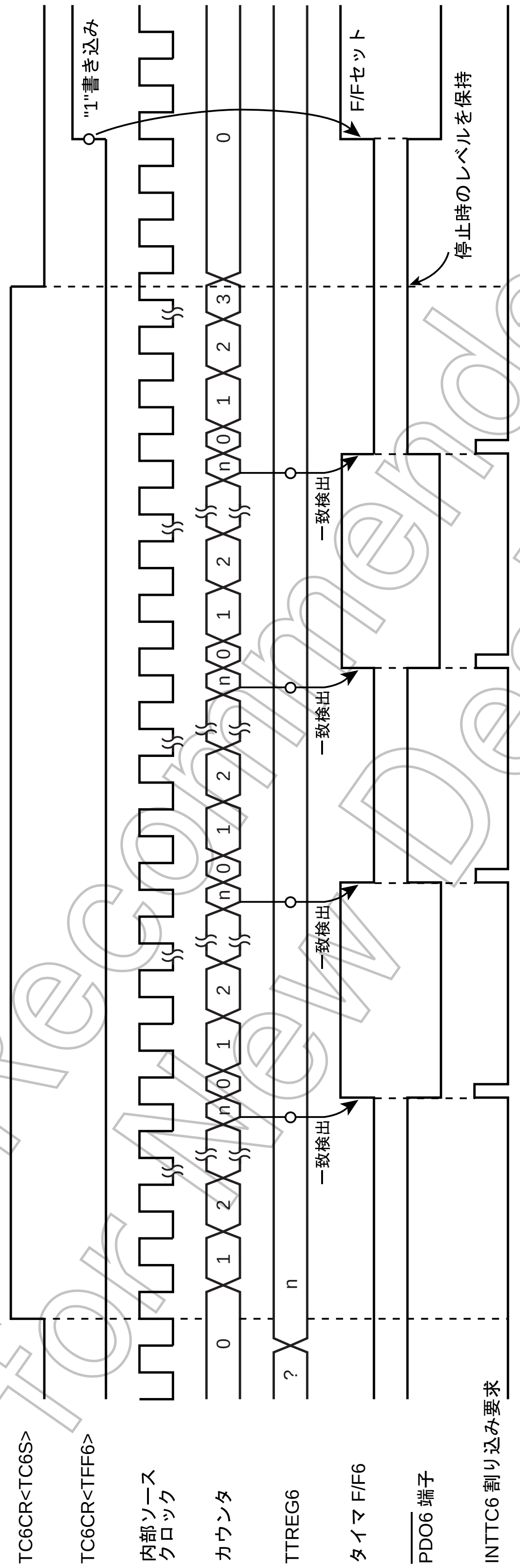


図 10-4 8 ビット PDO モードタイミングチャート (TC6 の場合)

10.3.4　8 ビットパルス幅変調 (PWM) 出力モード (TC6)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です 。リセット時、タイマ F/Fj は “0” にクリアされます。

($\overline{\text{PWMj}}$ 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

注 1)　PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。

注 2)　PWM 出力中にタイマを停止すると、$\overline{\text{PWMj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj>の設定を変更しないでください。

例 : タイマカウンタ停止時に $\overline{\text{PWMj}}$ 端子を “H” レベルに固定する。

CLR (TCjCR).3; タイマ停止

CLR (TCjCR).7; $\overline{\text{PWMj}}$ 出力を “H” レベルに設定

注 3)　PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に $\overline{\text{PWMj}}$ 端子からパルスが出力されます。

注 4)　j = 6

表 10-5 PWM 出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 8 MHz 時	fs = 32.768 kHz 時	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	256 μs	244.14 μs	65.5 ms	62.5 ms
$fc/2^7$	$fc/2^7$	−	16 μs	−	4.1 ms	−
$fc/2^5$	$fc/2^5$	−	4 μs	−	1.02 ms	−
$fc/2^3$	$fc/2^3$	−	1 μs	−	256 μs	−
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	−	250 ns	−	64 μs	−
fc	fc	−	125 ns	−	32 μs	−

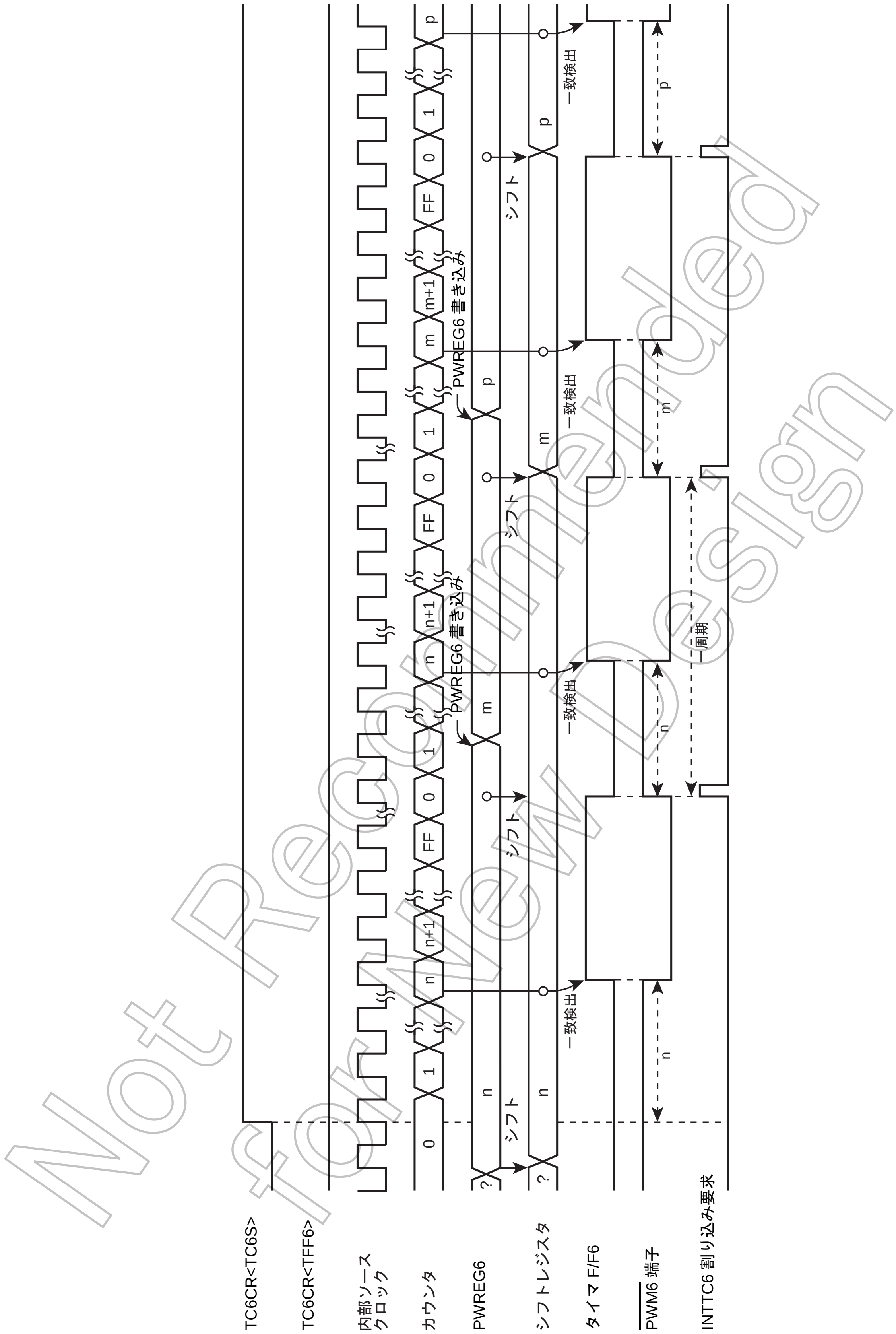


図 10-5 8 ビット PWM 出力モードタイミングチャート (TC6 の場合)

10.3.5　16 ビットタイマモード (TC5 + 6)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 5 と 6 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC6CR<TC6S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) 設定値が一致すると INTTC6 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側(TTREG5)、上位側(TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

注 1)　タイマモード時は、TCjCR<TFFj>を “0” に固定してください。固定されない場合は、$\overline{\text{PDOj}}$/$\overline{\text{PWMj}}$/$\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2)　タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3)　j = 5, 6

表 10-6 16 ビットタイマモードのソースクロック

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 8 MHz 時	fs = 32.768 kHz 時	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2^{11}	fs/2^3	fs/2^3	256 μs	244.14 μs	16.78 s	16s
fc/2^7	fc/2^7	−	16 μs	−	1.05 s	−
fc/2^5	fc/2^5	−	4 μs	−	262.1 ms	−
fc/2^3	fc/2^3	−	1 μs	−	65.5 ms	−

（プログラム例）ソースクロック fc/ 2^7[Hz]でタイマモードにセットし、600ms 後に割り込みを発生させる
(fc = 8.0 MHz 時)

```
LDW     (TTREG5), 927CH     ;タイマレジスタの設定 (600 ms÷2^7/fc = 927CH)
DI
SET     (EIRH). 4           ; INTTC6 割り込みを許可
EI
LD      (TC5CR), 13H        ;動作クロックを fc/2^7、16 ビットタイマモード
                            ; (下位側) に設定
LD      (TC6CR), 04H        ; 16 ビットタイマモード (上位側) に設定
LD      (TC6CR), 0CH        ;タイマスタート
```

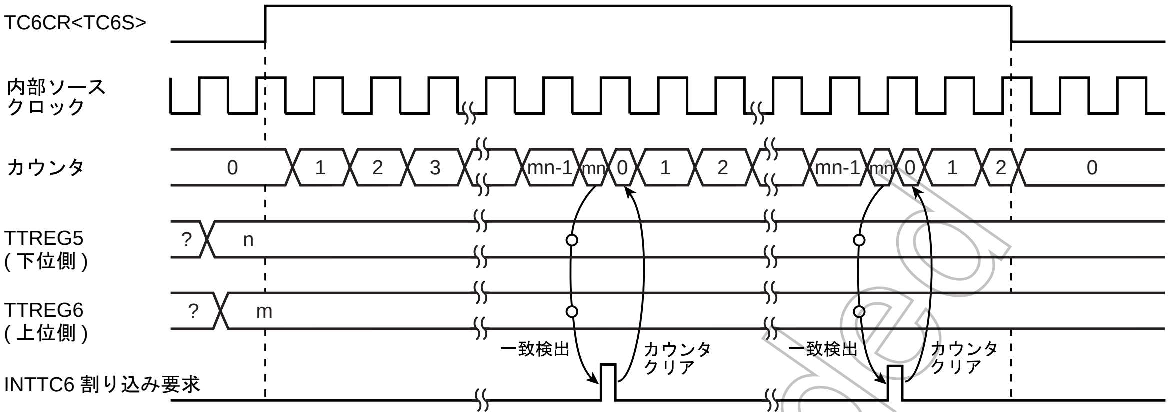


図 10-6 16 ビットタイマモードタイミングチャート (TC5 + TC6 の場合)

10.3.6 16 ビットパルス幅変調 (PWM) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) 設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込みが発生します。

タイマ F/F6 は、TC6CR<TFF6>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です 。リセット時、タイマ F/F6 は "0" にクリアされます。

($\overline{\text{PWM6}}$ 端子からはタイマ F/F6 値の反転レベルが出力されます)

PWM モード中の PWREG6, 5 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG6, 5 の設定値を変更することが可能です。タイマ動作中、PWREG6, 5 への設定値は INTTC6 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG6, 5 にデータを設定した直後にシフトされます。PWREG6, 5 の書き替えを行うときは、必ず下位側 (PWREG5)、上位側 (PWREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG6, 5 に対してリード命令を実行すると PWREG6, 5 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG6, 5 を設定してから INTTC6 割り込み要求までの間は、前回の PWREG6, 5 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを "1" にセットしてください。

注 1) PWM モード時、タイマレジスタ PWREG6, 5 への書き込みは、INTTC6 割り込み要求発生直後 (通常は INTTC6 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG6, 5 への書き込みと INTTC6 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC6 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。

注 2) PWM 出力中にタイマを停止すると、$\overline{\text{PWM6}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6>の操作を行ってください(タイマ停止と同時に TC6CR<TFF6>の設定を変更しないでください)。

例 : タイマカウンタ停止時に $\overline{\text{PWM6}}$ 端子を "H" レベルに固定する。

CLR (TC6CR).3 ; タイマ停止

CLR (TC6CR).7 ; $\overline{\text{PWM6}}$ 端子を "H" レベルに設定

注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に $\overline{\text{PWM6}}$ 端子からパルスが出力されます(ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 10-7 16 ビット PWM 出力モード

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 8 MHz 時	fs = 32.768 kHz 時	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
$fc/2^{11}$	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	256 μs	244.14 μs	16.78 s	16 s
$fc/2^7$	$fc/2^7$	–	16 μs	–	1.05 s	–
$fc/2^5$	$fc/2^5$	–	4 μs	–	262.1 ms	–
$fc/2^3$	$fc/2^3$	–	1 μs	–	65.5 ms	–
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	–	250 ns	–	16.4 ms	–
fc	fc	–	125 ns	–	8.2 ms	–

（プログラム例）周期 65.536ms、“H” レベル幅 2ms のパルスを出力する
(fc = 8.0 MHz 時)

```
        ポートを設定する
LDW     (PWREG5), 07D0H       ;パルス幅の設定
LD      (TC5CR), 33H          ;動作クロックを fc/2³、16 ビット PWM モード (下位側)に設定
LD      (TC6CR), 056H         ; TFF6 初期値 “0”、16 ビット PWM モード (上位側) に設定
LD      (TC6CR), 05EH         ;タイマスタート
```

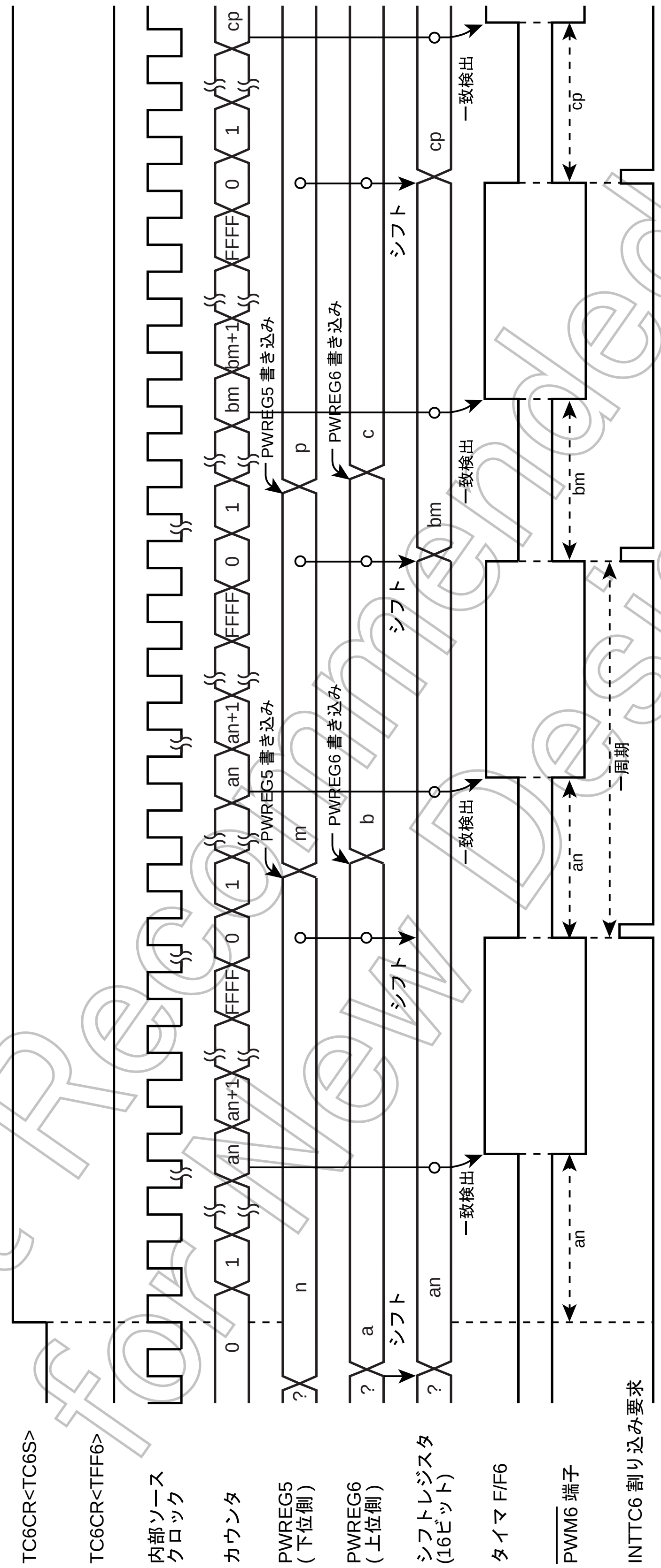


図 10-7 16 ビット PWM モードタイミングチャート (TC5 + TC6 の場合)

10.3.7　16 ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) の設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG5, TTREG6) 設定との一致でタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込み要求が発生します。

タイマ F/F6 は、TC6CR<TFF6>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です 。リセット時、タイマ F/F6 は “0” にクリアされます。

($\overline{\text{PPG6}}$ 端子からはタイマ F/F6 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG5→TTREG6、PWREG5→PWREG6) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません) 。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

（プログラム例）周期 32.770 ms、“H” レベル幅 2 ms のパルスを出力する (fc = 8.0 MHz 時)

	ポートを設定する	
LDW	(PWREG5), 07D0H	;パルス幅の設定
LDW	(TTREG5), 8002H	;周期の設定
LD	(TC5CR), 33H	;動作クロックを fc/2^3、16 ビット PPG モード (下位側) に設定
LD	(TC6CR), 057H	; TFF6 初期値 “0”、16 ビット PPG モード (上位側) に設定
LD	(TC6CR), 05FH	;タイマスタート

注 1)　プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREGi, TTREGi の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREGi, TTREGi はシフトレジスタ構成となりませんので、PWREGi, TTREGi への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREGi, TTREGi を書き替えると想定している動作を得られない場合があります。

注 2)　PPG 出力中にタイマを停止すると、$\overline{\text{PPG6}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6>の操作を行ってください。タイマ停止と同時に TC6CR<TFF6>の設定を変更しないでください。

例 : タイマカウンタ停止時に $\overline{\text{PPG6}}$ 端子を “H” レベルに固定する。

CLR (TC6CR).3; タイマ停止

CLR (TC6CR).7; $\overline{\text{PPG6}}$ 端子を “H” レベルに設定

注 3)　i = 5, 6

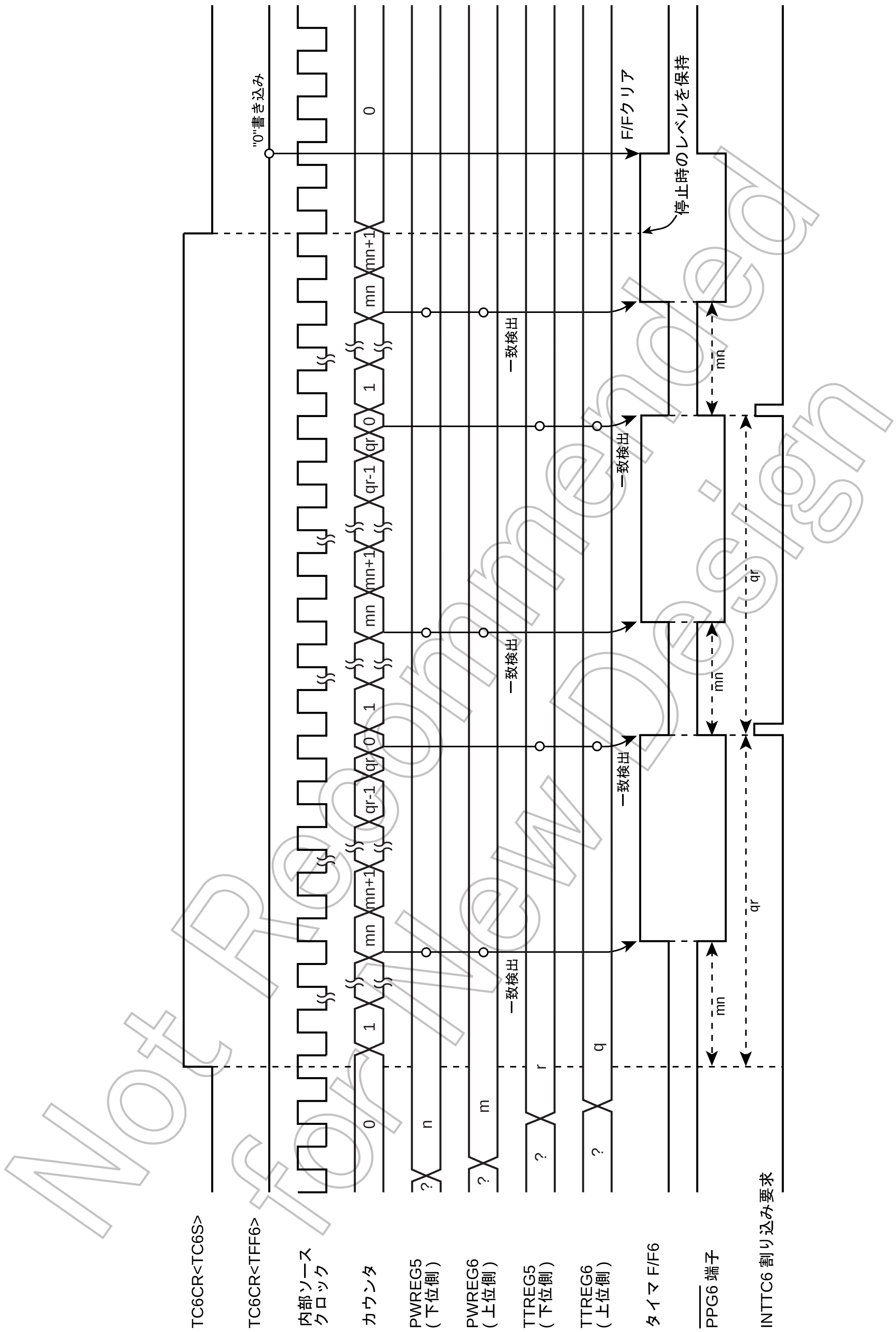


図 10-8 16 ビット PPG モードタイミングチャート (TC5 + TC6 の場合)

10.3.8　ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 5 と 6 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

注 1)　ウォーミングアップカウンタモード時は、TCiCR<TFFi>を "0" に固定してください。固定されない場合は、PDOi/PWMi/PPGi 端子からパルスが出力されることがあります。

注 2)　ウォーミングアップカウンタモード時は、タイマレジスタ TTREG6, 5 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみの一致検出となります。

注 3)　i = 5, 6

10.3.8.1　低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN>を "1" に設定し低周波クロックを発振させます。TC6CR<TC6S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を "1" に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を "0" に設定し、高周波クロックを停止します。

表 10-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG6, 5 = 0100H)	最大設定時間 (TTREG6, 5 = FF00H)
7.81 ms	1.99 s

（プログラム例）TC6, 5 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```
            SET     (SYSCR2).6         ; SYSCR2<XTEN> ← "1"
            LD      (TC5CR), 43H       ; TFF5 ="0", ソースクロック fs,  16 ビットモードに設定
            LD      (TC6CR), 05H       ; TFF6 = "0", ウォーミングアップカウ ンタモードに設定
            LDW     (TTREG5), 8000H    ;ウォーミングアップ時間をセット
                                       ; (発振器の特性で時間を決定します)
            DI                         ; IMF ←"0"
            SET     (EIRH). 4          ; INTTC6 割り込みを許可
            EI                         ; IMF ←"1"
            SET     (TC6CR).3          ; TC6, 5 スタート
             :        :
PINTTC6:    CLR     (TC6CR).3          ; TC6, 5 ストップ
            SET     (SYSCR2).5         ; SYSCR2<SYSCK> ←"1"
                                       ; (システムクロックを低周波に切り替え)
            CLR     (SYSCR2).7         ; SYSCR2<XEN> ←"0"(高周波クロック停止)
            RETI
             :        :
VINTTC6:    DW      PINTTC6            ; INTTC6 ベクタテーブル
```

10.3.8.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック fc が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN>を "1" に設定し高周波クロックを発振させせます。TC6CR<TC6S>によりタイマスタート後、カウンタ値とタイマレジスタ(TTREG6, 5)設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を "0" に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN>を "0" に設定し、低周波クロックを停止します。

表 10-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG6, 5 = 0100H)	最大設定時間 (TTREG6, 5 = FF00H)
32 μs	8.16 ms

（プログラム例）TC6, 5 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```
            SET     (SYSCR2).7          ; SYSCR2<XEN> ←"1"
            LD      (TC5CR), 63H        ; TFF5 ="0", ソースクロック fc, 16 ビットモードに設定
            LD      (TC6CR), 05H        ; TFF6 ="0", ウォーミングアップカウ ンタモードに設定
            LDW     (TTREG5), 0F800H    ;ウォーミングアップ時間をセット
                                        ; (発振器の特性で時間を決定します)
            DI                          ; IMF ←"0"
            SET     (EIRH). 4           ; INTTC6 割り込みを許可
            EI                          ; IMF ←"1"
            SET     (TC6CR).3           ; TC6, 5 スタート
            :          :
PINTTC6:    CLR     (TC6CR).3           ; TC6, 5 ストップ
            CLR     (SYSCR2).5          ; SYSCR2<SYSCK> ←"0"
                                        ; (システムクロックを高周波に切り替え)
            CLR     (SYSCR2).6          ; SYSCR2<XTEN> ←"0"
                                        ; (低周波クロック停止)
            RETI
            :          :
VINTTC6:    DW      PINTTC6             ; INTTC6 ベクタテーブル
```

第 11 章　非同期型シリアルインターフェース(UART)

11.1　構成

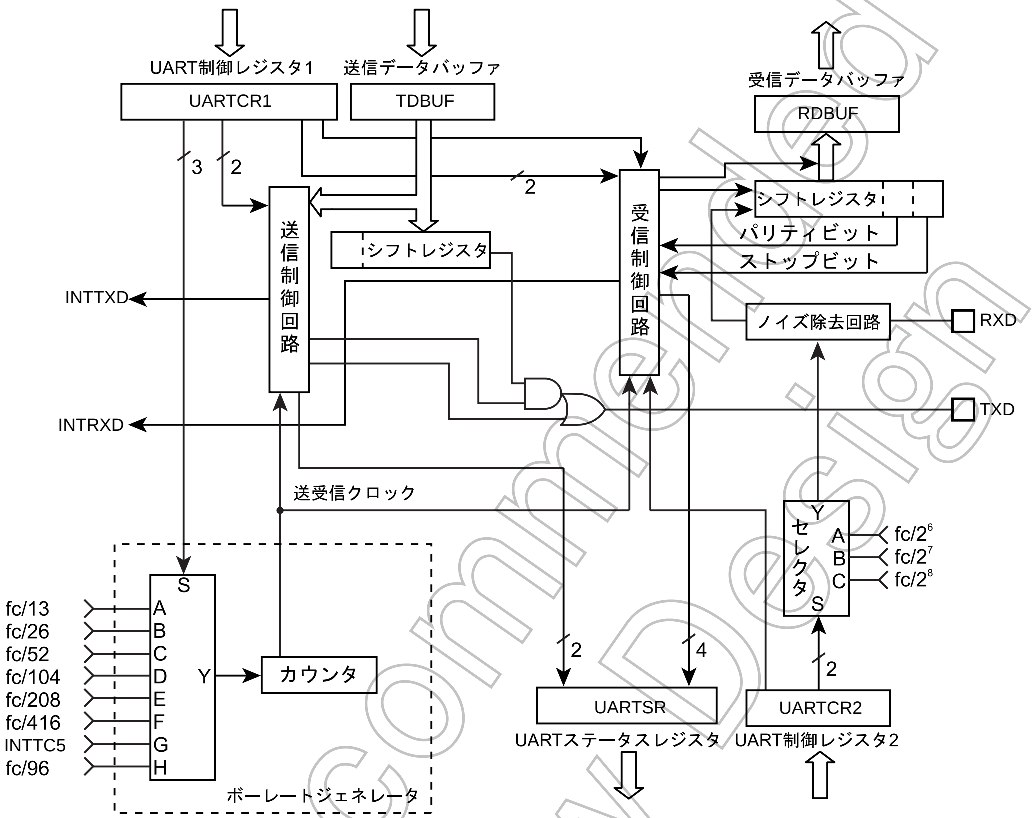


図 11-1 UART (非同期型シリアルインタフェース)

11.2　制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ 1

UARTCR1 (0025H)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0:　ディセーブル 1:　イネーブル	Write only
RXE	受信動作	0:　ディセーブル 1:　イネーブル	
STBT	送信ストップビット長	0:　1 ビット 1:　2 ビット	
EVEN	偶数パリティ	0:　奇数パリティ 1:　偶数パリティ	
PE	パリティ付加	0:　パリティなし 1:　パリティ付加	
BRG	転送クロック選択	000:　fc/13 [Hz] 001:　fc/26 010:　fc/52 011:　fc/104 100:　fc/208 101:　fc/416 110:　TC5 使用 (INTTC5 を入力) 111:　fc/96	

注 1)　TXE, RXE ビットを"0"に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。

注 2)　転送クロックとパリティは送受信共通です。

注 3)　BRG の書き替えは、RXE = "0"かつ TXE = "0"のときに行ってください。

UART 制御レジスタ 2

UARTCR2 (0026H)	7	6	5	4	3	2	1	0	
						RXDNC		STOPBR	(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s]未満のパルスはノイズとして除去 10: 63/fc[s]未満のパルスはノイズとして除去 11: 127/fc[s]未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

注) 転送クロック選択(BRG)により、RXDNC 設定には以下の制約があります。"○"の箇所にて使用し、"−"の箇所は設定しないでください。なお、INTTC5 を使用する場合、転送クロックは TC5 ソースクロック[Hz]÷TTREG5 設定値で計算されます。

BRG 設定	転送クロック[Hz]	RXDNC 設定 00 (ノイズ除去なし)	01 (31/fc[s]未満のパルス除去)	10 (63/fc[s]未満のパルス除去)	11 (127/fc[s]未満のパルス除去)
000	fc/13	○	○	○	−
110 (INTTC5 の転送クロックが右記となる場合)	fc/8	○	−	−	−
	fc/16	○	○	−	−
	fc/32	○	○	○	−
上記以外		○	○	○	○

UART ステータスレジスタ

UARTSR (0025H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値: 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファエンプティフラグ	0: 送信バッファフル(送信データ書き込み済み) 1: 送信バッファエンプティ	

注) TBEP は、送信割り込み発生後、自動的に"1"にセットされます

UART 受信データバッファ

RDBUF (0F9BH)	7	6	5	4	3	2	1	0	Read only
									(初期値: 0000 0000)

UART 送信データバッファ

TDBUF (0F9BH)	7	6	5	4	3	2	1	0	Write only (初期値: 0000 0000)

11.3　転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット(“L” レベル)とストップビット(“H” レベル、UARTCR1<STBT>でビット長の選択可)、パリティ UARTCR1<PE>でパリティ有無の選択可、UARTCR1<EVEN>で偶数/奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

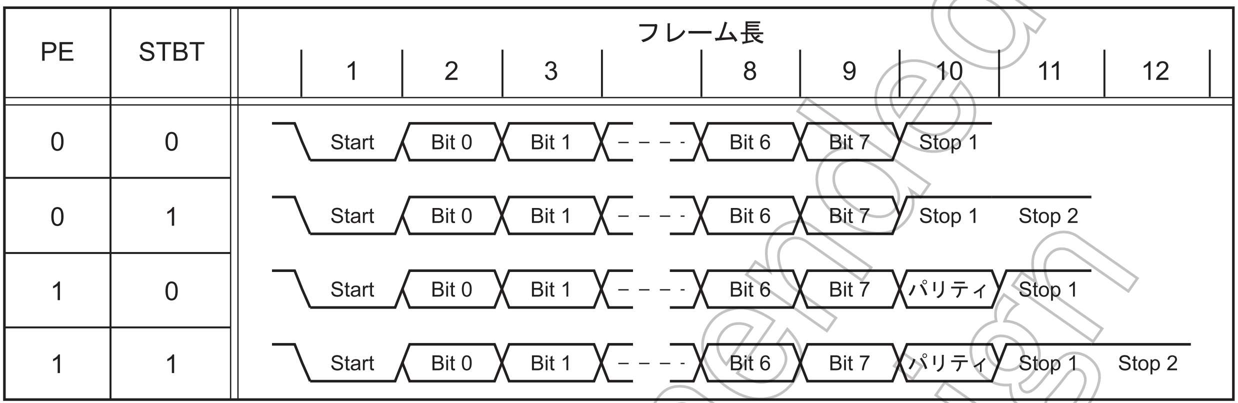


図 11-2 転送データフォーマット

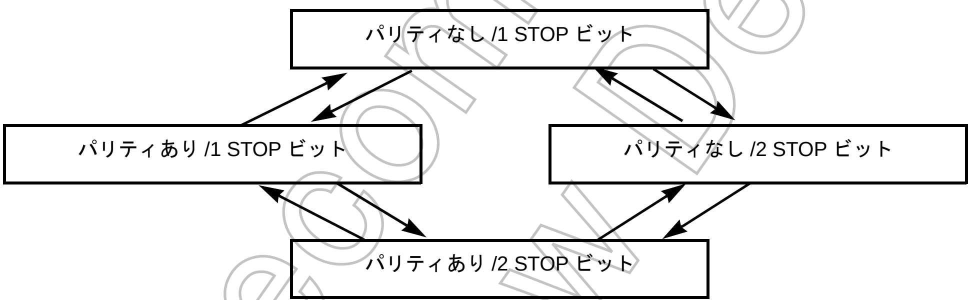


図 11-3 転送データフォーマット変更時の注意

注)　送信データフォーマットの切り替えは、初期設定時以外は図 11-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

11.4　転送レート

UART の転送レート(ボーレート)は UARTCR1<BRG>により設定されます。以下に転送レートの例を示します。

表 11-1 転送レート (例)

BRG	ソースクロック	
	8 MHz	4 MHz
000	38400 [baud]	19200 [baud]
001	19200	9600
010	9600	4800
011	4800	2400
100	2400	1200
101	1200	600

UART の転送レートとして TC5 使用を選択したとき (つまり UARTCR1<BRG> =“110” に設定したとき) 転送クロックおよび転送レートは

転送クロック[Hz] = TC5 ソースクロック[Hz] ÷ TTREG5 設定値

転送レート[baud] = 転送クロック[Hz] ÷ 16

となります。

11.5　データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで UARTCR1<BRG>で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD 端子の“L”レベルを検出し始まります。スタートビットが見つかるとスタートビット, データビット, ストップビット, パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決 (3 回のサンプリングのうち 2 回または 3 回) により決定してビットのデータとします。

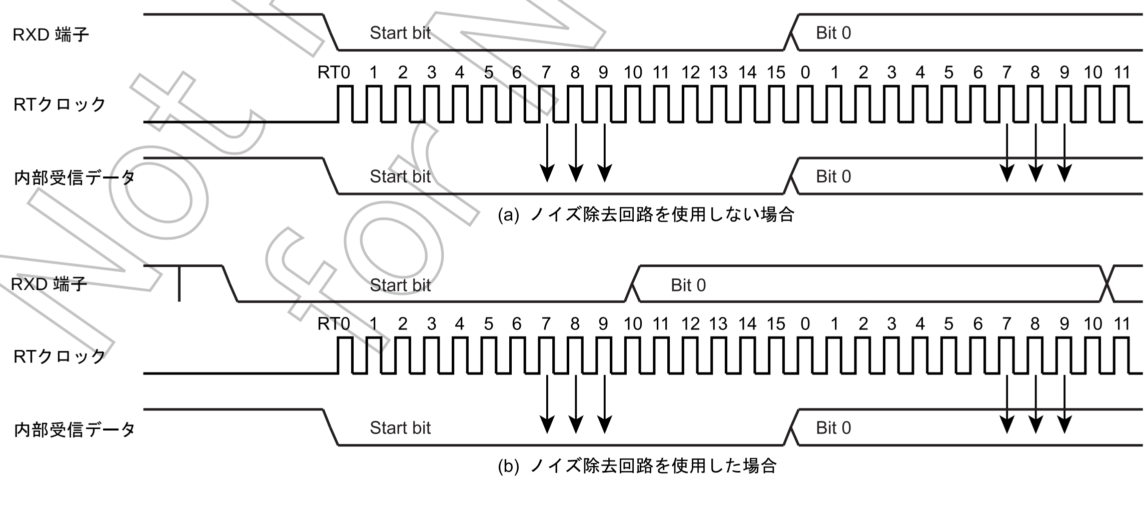


図 11-4 データのサンプリング方法

11.6 STOP ビット長

UARTCR1<STBT>で送信ストップビット長 (1 ビット/2 ビット) の選択ができます。

11.7 パリティ

UARTCR1<PE>でパリティ付加の有無を、UARTCR1<EVEN>でパリティの種類 (奇数/偶数) を設定します。

11.8 送受信動作

11.8.1 データ送信動作

UARTCR1<TXE>を“1” にセットします。UARTSR を読み出し TBEP =“1” を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UARTSR<TBEP>は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UARTCR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UARTCR1<BRG>で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP>は “1” にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE>が “0” の間および UARTCR1<TXE>に “1” を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は “H” レベルに固定されます。

送信を行う場合、UARTSR を読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP>が “0” にクリアされず送信が開始されません。

11.8.2 データ受信動作

UARTCR1<RXE>を “1” にセットします。その後、RXD 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL>がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG>で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) UARTCR1<RXE>ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

11.9　ステータスフラグ

11.9.1　パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UARTSR<PERR>が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<PERR>は“0”にクリアされます。

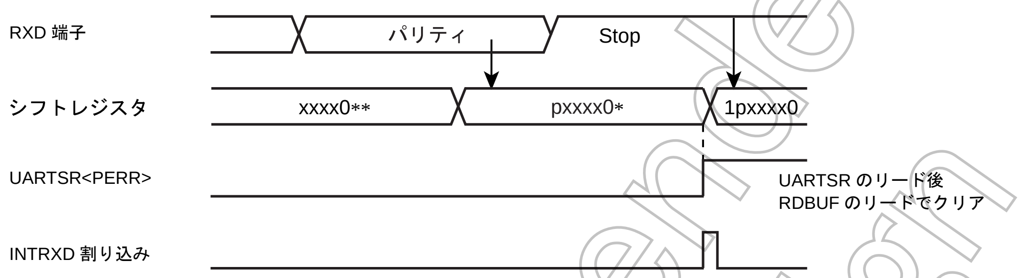


図 11-5 パリティエラーの発生

11.9.2　フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UARTSR<FERR>が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<FERR>は“0”にクリアされます。

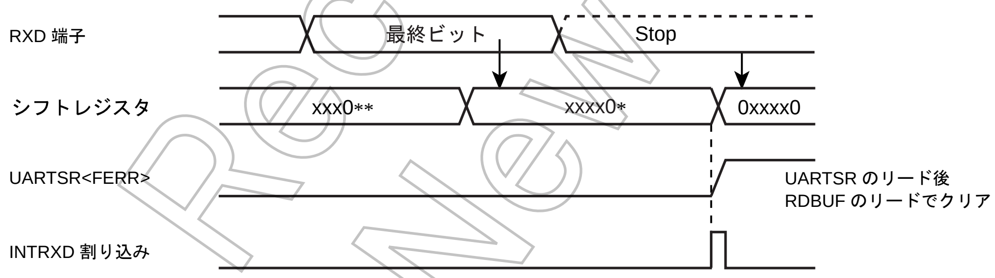


図 11-6 フレーミングエラーの発生

11.9.3　オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UARTSR<OERR>が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<OERR>は“0”にクリアされます。

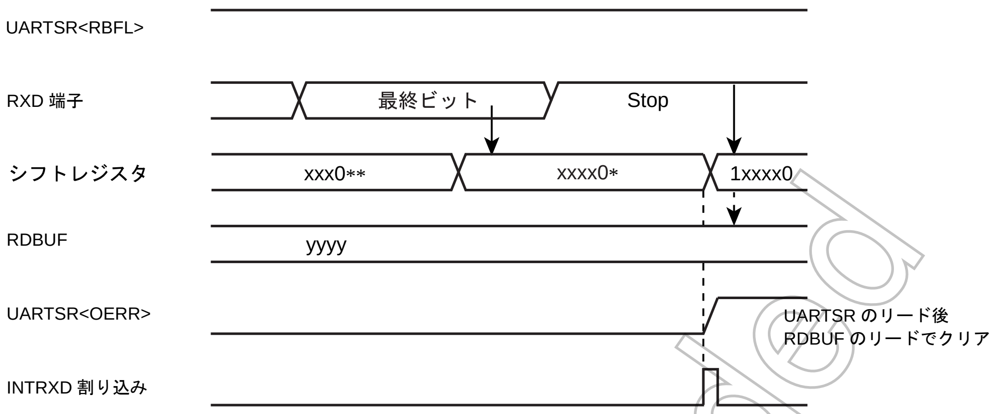


図 11-7 オーバランエラーの発生

注) オーバランエラーフラグ UARTSR<OERR>がクリアされるまで、受信動作は停止します。

11.9.4 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL>が“1”にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと UARTSR<RBFL>は“0”にクリアされます。

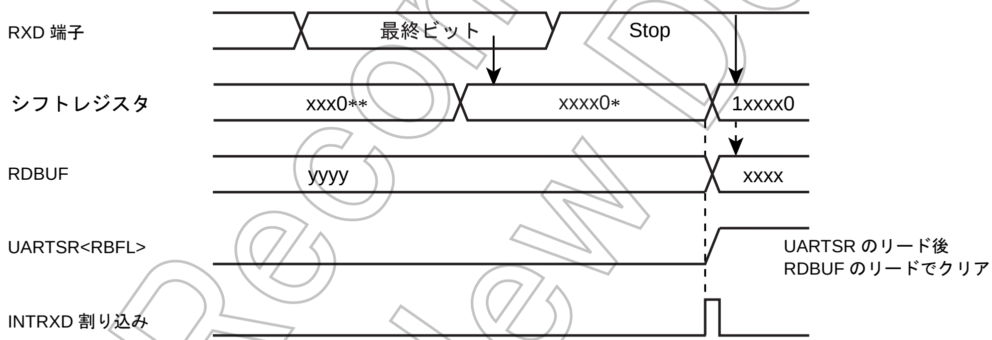


図 11-8 受信バッファフルの発生

注) 上記、UARTSR の読み出しから RDBUF を読み出す間にオーバランエラーフラグ UARTSR<OERR>がセットされた場合、RDBUF 読み出しだけではエラーフラグがクリアされません。再度 UARTSR を読み込み、エラーの確認を行ってください。

11.9.5 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき UARTSR<TBEP>が“1”にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP>は“0”にクリアされます。

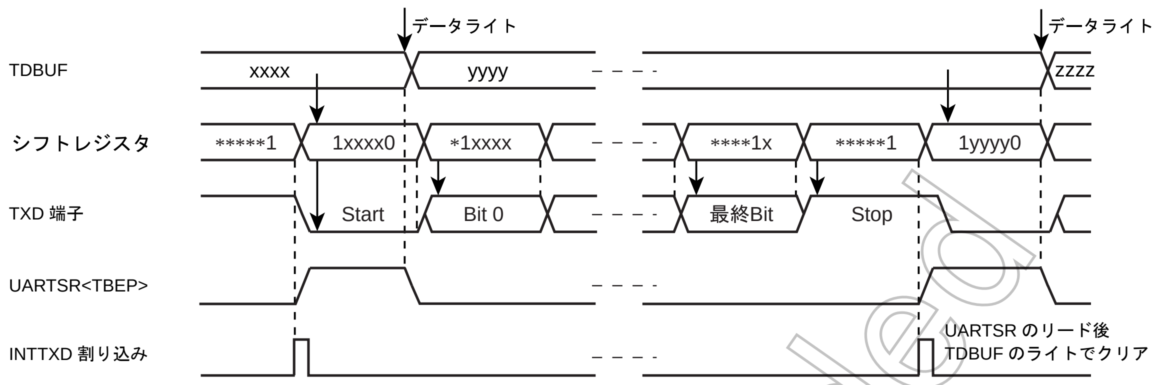


図 11-9 送信バッファエンプティの発生

11.9.6　送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP>="1" のとき) UARTSR<TEND>が "1" にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND>は "0" にクリアされます。

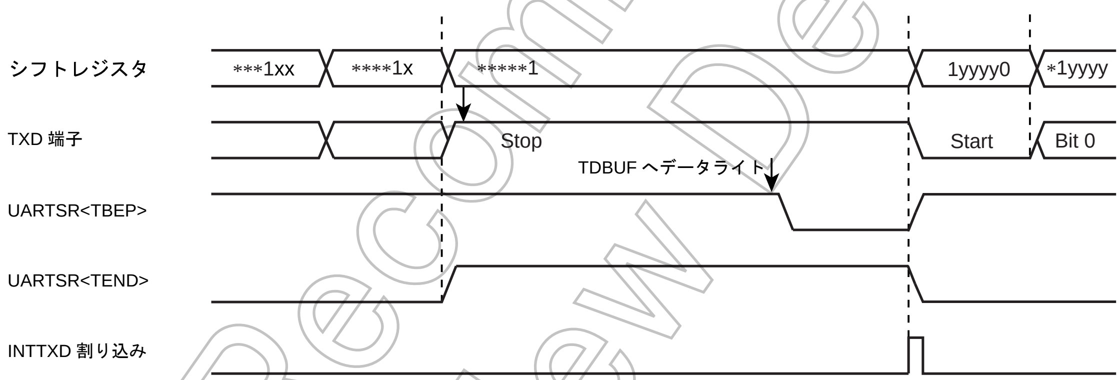


図 11-10 送信終了フラグと送信バッファエンプティの発生

第 12 章　同期型シリアルインタフェース(SIO)

TMP86FM29LUG は、クロック同期方式の 8 ビット シリアル インタフェースを内蔵しています。シリアル インタフェースは、8 バイトの送受信データバッファを持っており、最大 64 ビットまでのデータを自動的に連続転送することができます。

シリアル インタフェースは、SO, SI, $\overline{SCK}$ 端子を通して外部デバイスと接続されます。

12.1　構成

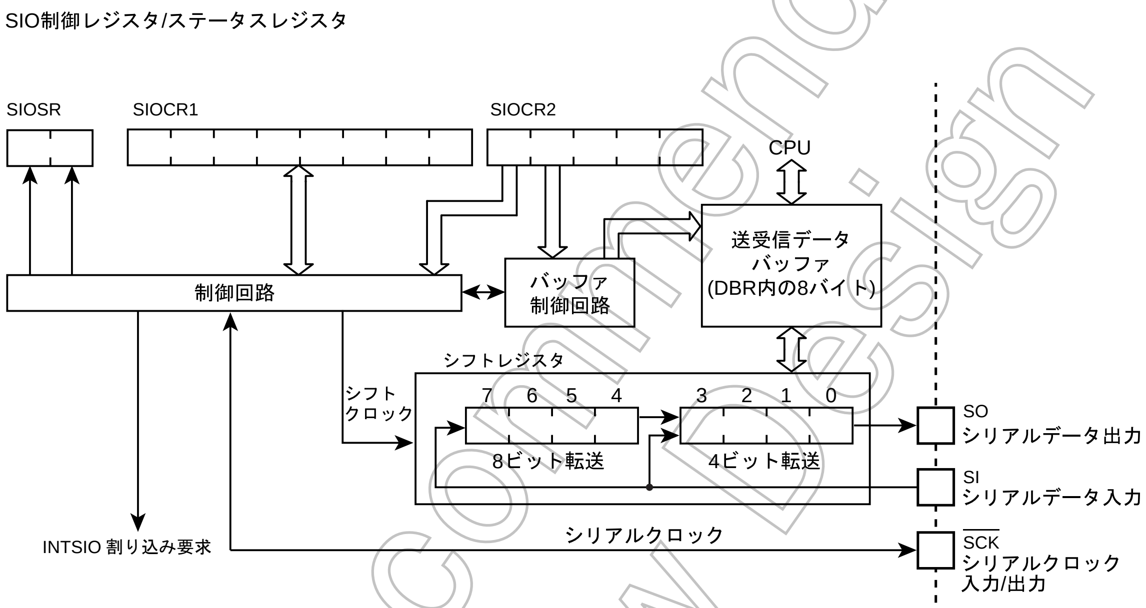


図 12-1 シリアル インタフェース

12.2　制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIOCR1/SIOCR2) で行います。また、ステータスレジスタ (SIOSR) をリードすることにより シリアルインタフェースの動作状態を確認することができます。

送受信データバッファの制御は、SIOCR2<BUF>で行います。送受信データバッファは、DBR 領域の 0F90~0F97H 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時)/バッファフル (受信時または送受信時) の割り込み要求 (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIOCR2<WAIT>で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

SIOCR1	7	6	5	4	3	2	1	0	
(0F98H)	SIOS	SIOINH	SIOM			SCK			(初期値: 0000 0000)

<table>
<tr><td>SIOS</td><td>転送の開始/終了指示</td><td colspan="4">0:　終了
1:　開始</td><td rowspan="3">Write only</td></tr>
<tr><td>SIOINH</td><td>転送の強制停止</td><td colspan="4">0:　転送継続
1:　強制停止 (停止後、自動的にクリア)</td></tr>
<tr><td>SIOM</td><td>転送モードの選択</td><td colspan="4">000:　8 ビット送信モード
010:　4 ビット送信モード
100:　8 ビット送受信モード
101:　8 ビット受信モード
110:　4 ビット受信モード
上記以外:　Reserved</td></tr>
<tr><td rowspan="11">SCK</td><td rowspan="11">シリアルクロックの選択</td><td rowspan="2"></td><td colspan="2">NORMAL1/2, IDLE1/2 モード</td><td rowspan="2">SLOW1/2
SLEEP1/2
モード</td><td rowspan="11">Write only</td></tr>
<tr><td>DV7CK = 0</td><td>DV7CK = 1</td></tr>
<tr><td>000</td><td>$fc/2^{13}$</td><td>$fs/2^5$</td><td>$fs/2^5$</td></tr>
<tr><td>001</td><td>$fc/2^8$</td><td>$fc/2^8$</td><td>—</td></tr>
<tr><td>010</td><td>$fc/2^7$</td><td>$fc/2^7$</td><td>—</td></tr>
<tr><td>011</td><td>$fc/2^6$</td><td>$fc/2^6$</td><td>—</td></tr>
<tr><td>100</td><td>$fc/2^5$</td><td>$fc/2^5$</td><td>—</td></tr>
<tr><td>101</td><td>$fc/2^4$</td><td>$fc/2^4$</td><td>—</td></tr>
<tr><td>110</td><td colspan="3">Reserved</td></tr>
<tr><td>111</td><td colspan="3">外部クロック ($\overline{SCK}$ 端子から入力)</td></tr>
</table>

注 1)　fc; 高周波クロック[Hz], fs; 低周波クロック[Hz]
注 2)　転送モード、シリアルクロックの設定時は、SIOS = “0”、SIOINH = “1” にしてください。
注 3)　SIOCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ 2

SIOCR2	7	6	5	4	3	2	1	0	
(0F99H)				WAIT		BUF			(初期値: ***0 0000)

WAIT	ウェイト制御	8 ビット送受信/受信モード以外は常に “00” にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ (ウェイト) 10: $T_f = 4T_D$ (ウェイト) 11: $T_f = 8T_D$ (ウェイト)	Write only
BUF	転送ワード数の設定 (使用するバッファのアドレス)	000: 1 ワード転送 0F90H 001: 2 ワード転送 0F90H ~ 0F91H 010: 3 ワード転送 0F90H ~ 0F92H 011: 4 ワード転送 0F90H ~ 0F93H 100: 5 ワード転送 0F90H ~ 0F94H 101: 6 ワード転送 0F90H ~ 0F95H 110: 7 ワード転送 0F90H ~ 0F96H 111: 8 ワード転送 0F90H ~ 0F97H	

注 1) 4 ビット転送のときは、各バッファの下位 4 ビットに格納します/されます。受信時上位 4 ビットには"0"が格納されます。

注 2) 送信データはバッファの若いアドレスの方から送信されます。また、受信データは若いアドレスの方から格納されます (最初に転送されるのは 0F90H 番地です)。

注 3) 転送終了後も BUF の設定値は保存されています。

注 4) SIOCR2 の設定は、シリアルインタフェース停止状態 (SIOF = 0)で行ってください。

注 5) *: Don't care

注 6) SIOCR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェースステータスレジスタ

SIOSR	7	6	5	4	3	2	1	0
(0F99H)	SIOF	SEF						

SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中	Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中	

注 1) T_f; フレーム時間 (1 ワードのデータ転送時間), T_D; データ転送時間

注 2) SIOF は、SIOS を “0” にクリアした後、転送が終了した時点または SIOINH を “1” にセットした時点で “0” にクリアされます。

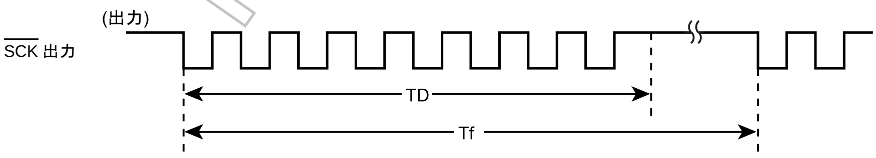


図 12-2 フレーム時間(T_f)とデータ転送時間(T_D)

12.3　シリアルクロック

12.3.1　クロックソース

クロックソースは SIOCR1<SCK> により、内部クロックまたは外部クロックを選択することができます。

12.3.1.1　内部クロック

シリアルインタフェースは、内部クロックソースとして 6 種類の周波数が選択でき、シリアルクロックは $\overline{\text{SCK}}$ 端子より外部に出力されます。なお、転送開始時 $\overline{\text{SCK}}$ 端子出力は “H” レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 12-1 シリアルクロックレート

	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1			
SCK	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート
000	$fc/2^{13}$	0.955 Kbps	$fs/2^{5}$	1024 bps	$fs/2^{5}$	1024 bps
001	$fc/2^{8}$	30.52 Kbps	$fc/2^{8}$	30.52 Kbps	-	-
010	$fc/2^{7}$	61.04 Kbps	$fc/2^{7}$	61.04 Kbps	-	-
011	$fc/2^{6}$	122.07 Kbps	$fc/2^{6}$	122.07 Kbps	-	-
100	$fc/2^{5}$	244.14 Kbps	$fc/2^{5}$	244.14 Kbps	-	-
101	$fc/2^{4}$	488.28 Kbps	$fc/2^{4}$	488.28 Kbps	-	-
110	-	-	-	-	-	-
111	外部	外部	外部	外部	外部	外部

注)　1 Kbit = 1024 bit (fc = 8 MHz, fs = 32.768 kHz)

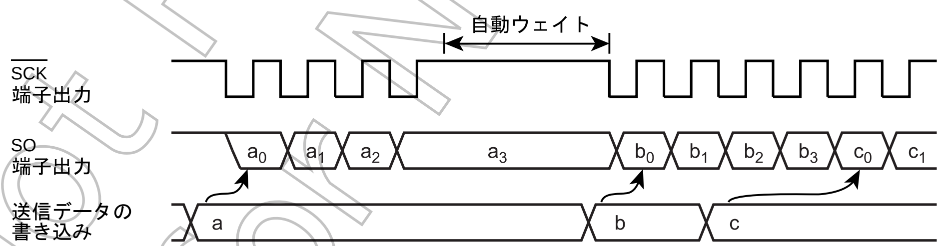
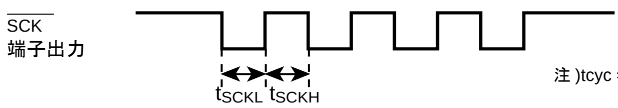


図 12-3 自動ウェイト機能 (4 ビット送信モードの場合)

12.3.1.2　外部クロック

外部から $\overline{\text{SCK}}$ 端子に供給されるクロックをシリアルクロックとして用います。この場合、ポートの出力ラッチは “1” にセットしてください。なお、シフト動作が確実に行われるためには、シリアルクロックの “H” レベル, “L” レベルともに 4 マシンサイクル以上のパルス幅が必要です。従って、最大転送速度は 244.14K bit/s (fc = 8 MHz 時) です。



注)tcyc = 4/fc (NORMAL1/2, IDLE1/2 モード時)
4/fs (SLOW1/2, SLEEP1/2 モード時)
注)t_{SCKL}, t_{SCKH} > 4tcyc

図 12-4 外部クロックのパルス幅

12.3.2 シフトエッジ

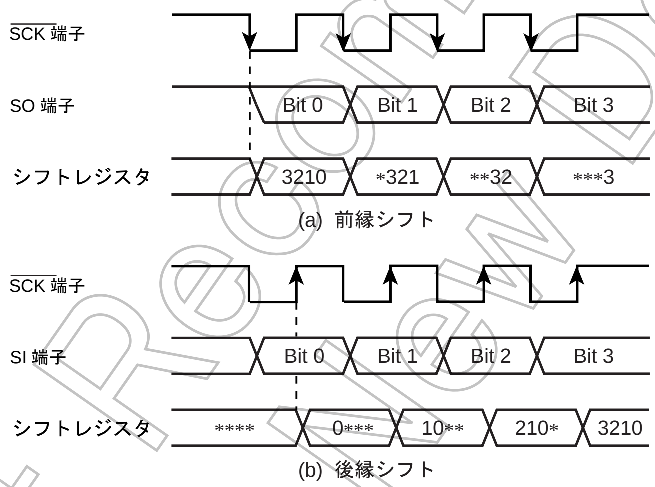
送信は前縁シフト, 受信は後縁シフトになります。

12.3.2.1 前縁シフト

シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

12.3.2.2 後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。



注）*; Don't care

図 12-5 シフトエッジ

12.4 転送ビット数

4 ビットシリアル転送 または 8 ビットシリアル転送が選択できます。4 ビットシリアル転送の場合、送受信データバッファは下位 4 ビットのみ使用し、上位 4 ビットは受信時 “0” になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

12.5 転送ワード数

4 ビットデータ (4 ビットシリアル転送時)/8 ビットデータ (8 ビットシリアル転送時) を 1 ワードとして最大 8 ワードまで連続して転送することができます。転送ワード数は、 SIOCR2<BUF>で設定します。

指定されたワード数の転送終了時点で、INTSIO 割り込み要求が発生します。途中で転送ワード数を変更する場合は、シリアル インタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

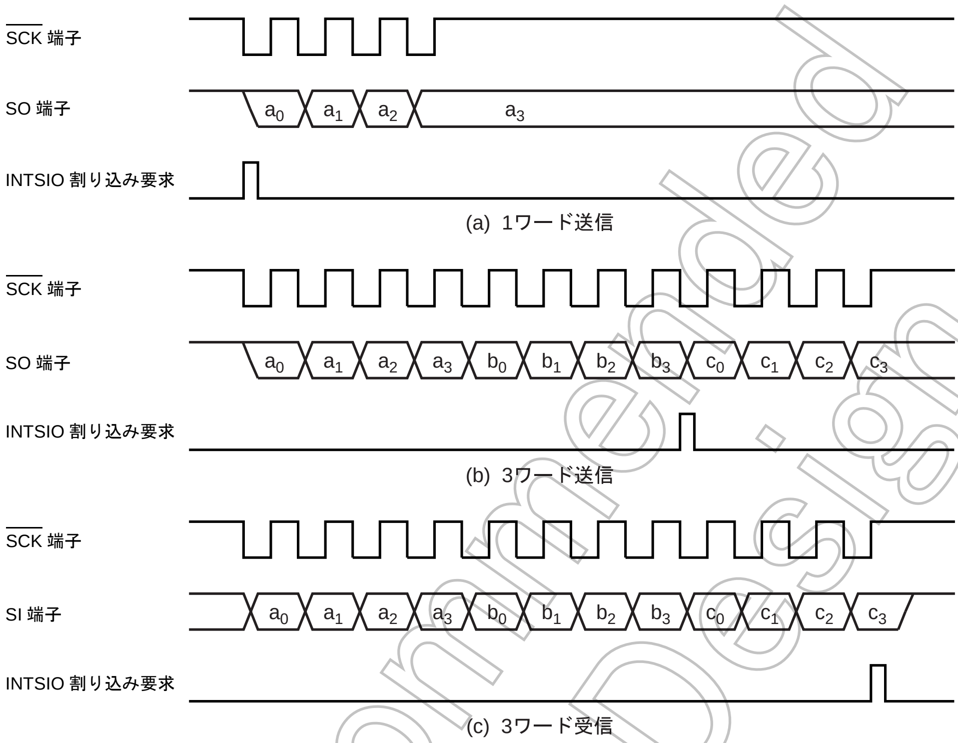


図 12-6 転送ワード数 (例 : 1 ワード = 4 ビット)

12.6　転送モード

転送モードは SIOCR1<SIOM>によって、送信/受信/送受信モードを選択することができます。

12.6.1　4 ビット送信モード, 8 ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、SIOCR1<SIOS>を“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO 端子に出力されます。LSB のデータを出力した時点で、送信データは、1 ワードずつ バッファレジスタからシフトレジスタへ転送されます。最後の送信データが転送されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、SIOCR2<BUF>で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし, 次の送信データを 1 ワードでも書き込むと自動ウェイト動作は解除されますので、2 ワード以上送信する場合は前の 1 ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注)　送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3 ワード送信の場合、余った 5 ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIOCR1<SIOS>を“0”にクリアするか SIOCR1<SIOINH>を“1”にセットします。SIOCR1<SIOS>がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOSR<SIOF>をセンスします。SIOSR<SIOF>は送信の終了で“0”になります。SIOCR1<SIOINH>をセットした場合は、直ちに送信を打ち切り、SIOSR<SIOF>は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIOCR1<SIOS>を“0”クリアする必要があります。もしシフトアウトする前に SIOCR1<SIOS>がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOCR1<SIOS>を“0”にクリアし、SIOSR<SIOF>が“0”なったことを確認後 SIOCR2<BUF>を書き替えてください。

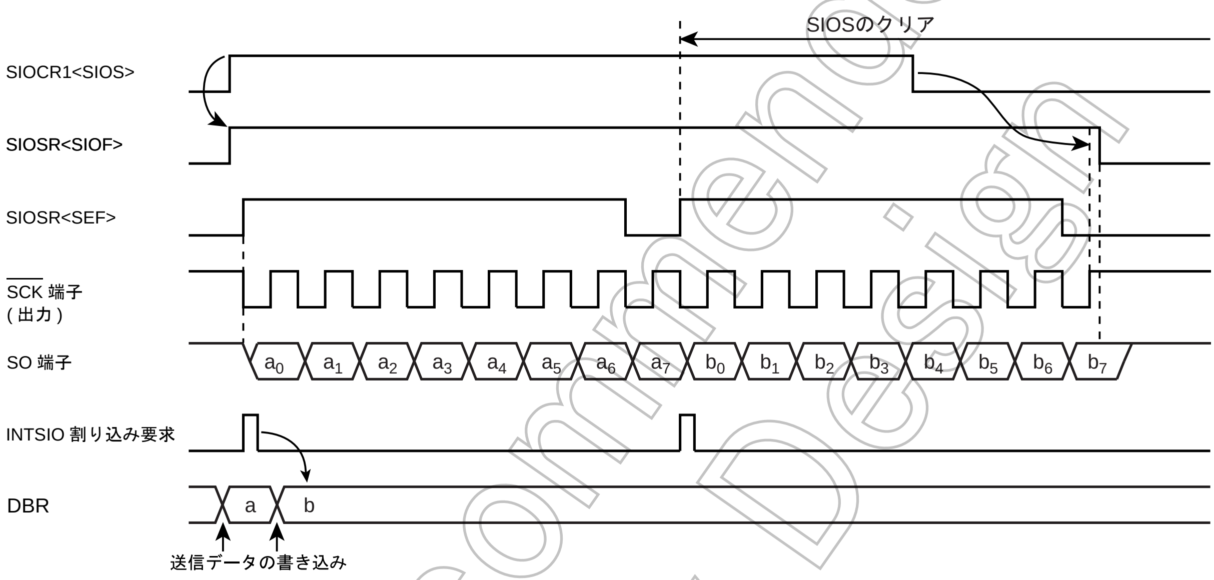


図 12-7 送信モード (例 : 8 ビット , 1 ワード転送、内部クロック)

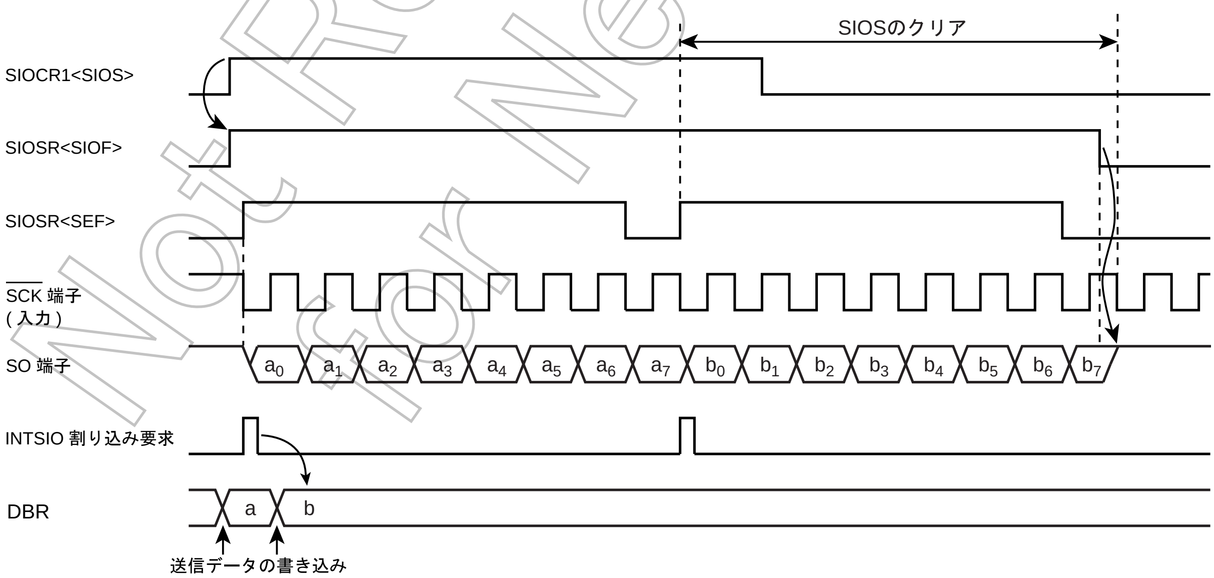


図 12-8 送信モード (例 : 8 ビット , 1 ワード転送、外部クロック)

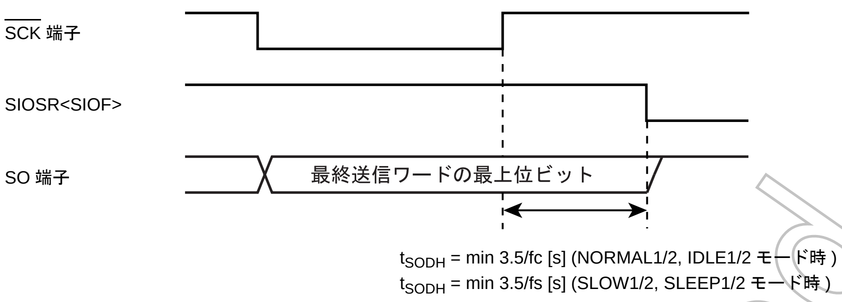


図 12-9 送信終了時の送信データ保持時間

12.6.2　4 ビット受信モード, 8 ビット受信モード

制御レジスタに受信モードをセットした後、SIOCR1<SIOS>を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1 ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。

SIOCR2<BUF>で指定されたワード数の受信が終了すると受信データの読み取りを要求する INTSIO (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1 ワードでも読み取っている場合は自動ウェイト動作は行われません。

注)　受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで SIOCR1<SIOS>を“0”にクリアするか SIOCR1<SIOINH>を“1”にセットします。SIOCR1<SIOS>が“0”にクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOSR<SIOF>をセンスします。SIOSR<SIOF>は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。

SIOCR1<SIOINH>をセットした場合は、直ちに受信を打ち切り、SIOSR<SIOF>は“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは SIOCR1<SIOS>を“0”にクリアし SIOSR<SIOF>が“0”になったことを確認後 SIOCR2<BUF>を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に SIOCR2<BUF>を書き替えてください。

注)　転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOCR1<SIOS>を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

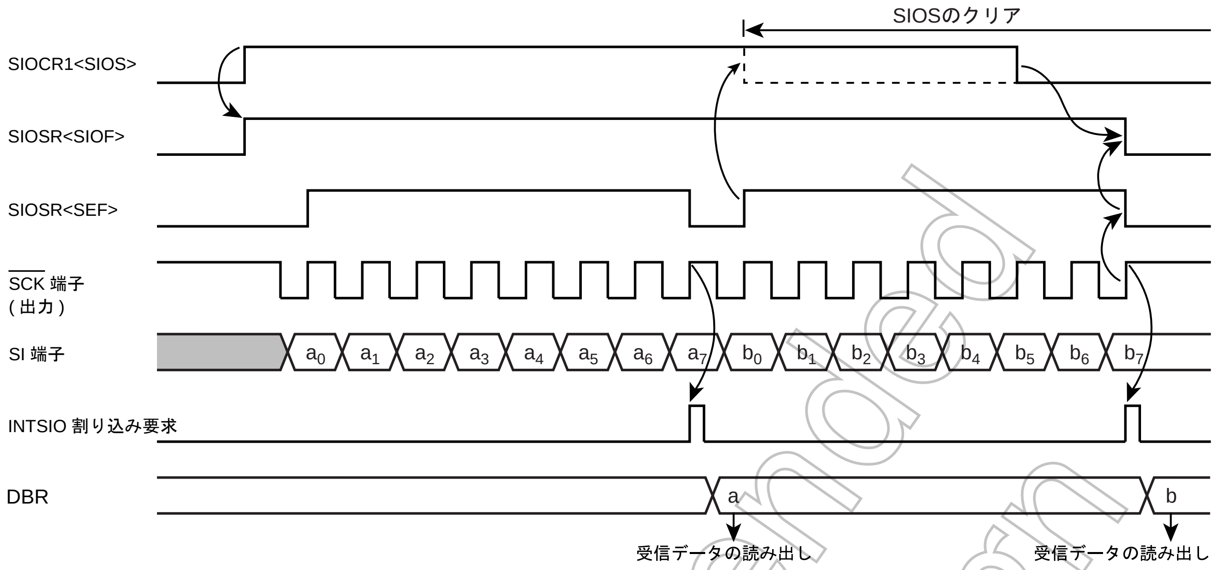


図 12-10 受信モード (例 : 8 ビット, 1 ワード転送, 内部クロック)

12.6.3 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOCR1<SIOS>に “1” をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO 端子から出力され、後縁で受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIOCR2<BUF>で指定されたワード数の送受信が終了すると、INTSIO 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信, 受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1 ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので, 次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO 割り込みサービスプログラムで SIOCR1<SIOS>を “0” にクリアするか SIOCR1<SIOINH>を “1” にセットします。SIOCR1<SIOS>がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOSR<SIOF>をセンスします。SIOSR<SIOF>は送受信の終了で “0” になります。SIOCR1<SIOINH>をセットした場合は、直ちに送受信を打ち切り、SIOF は “0” になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOCR1<SIOS>を “0” にクリアし SIOSR<SIOF>が “0” になったことを確認後、SIOCR2<BUF>を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOS を “0” にクリア) を行い、最終受信データを読み取った後で行ってください。

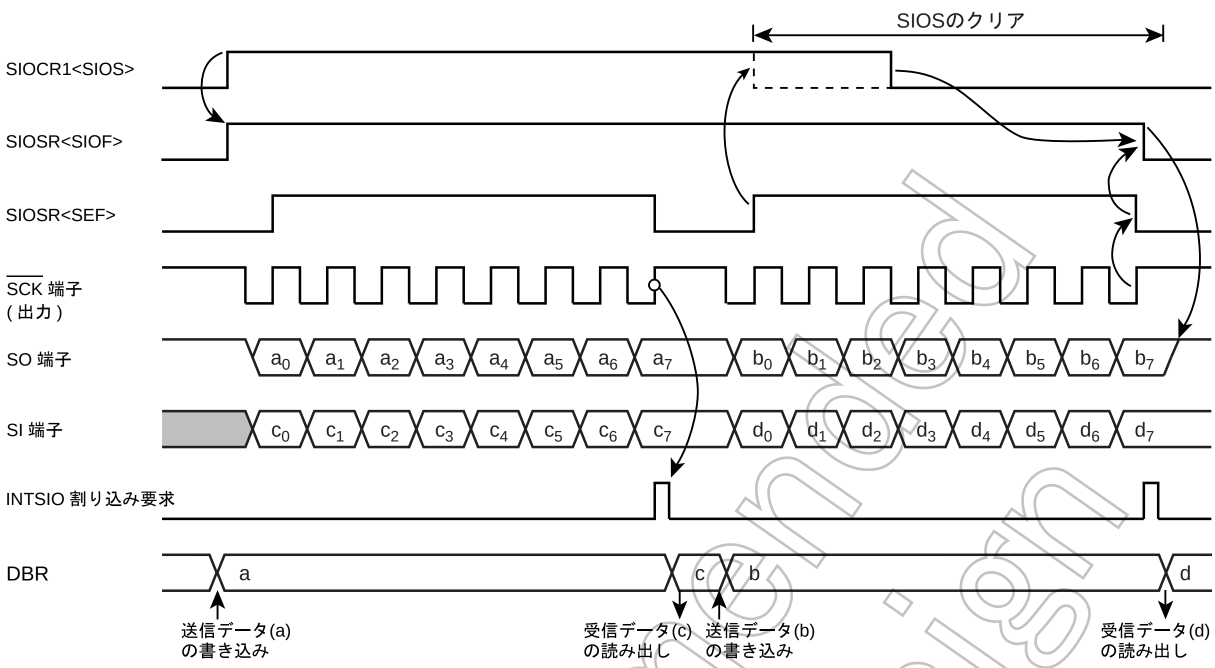


図 12-11 送受信モード (例 : 8 ビット, 1 ワード, 内部クロック)

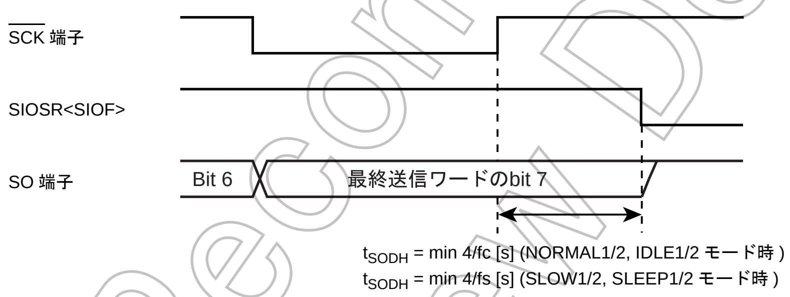


図 12-12 送受信終了時の送信データ保持時間

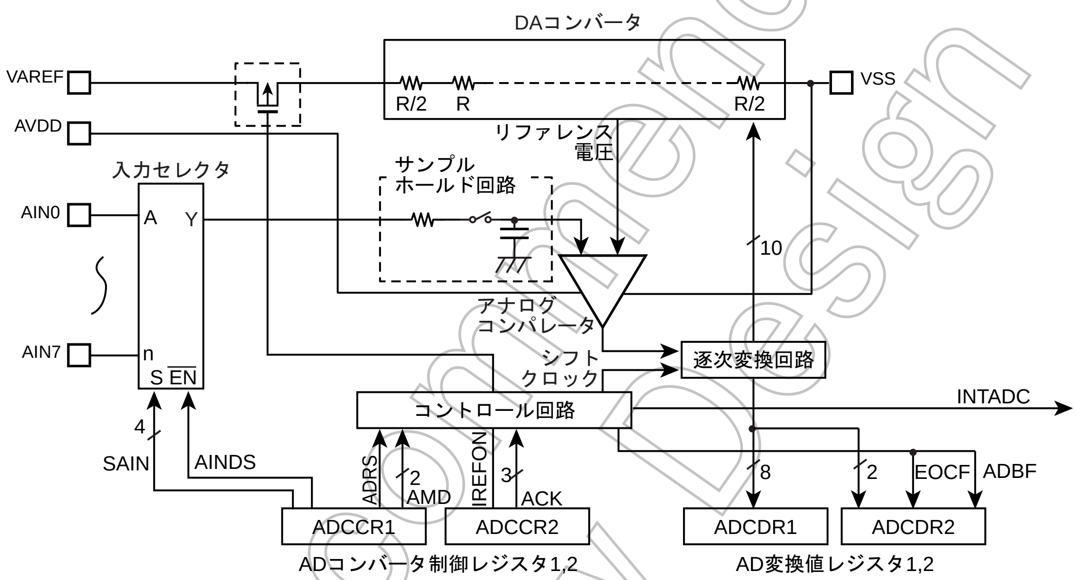
第 13 章　　10 ビット AD コンバータ(ADC)

TMP86FM29LUG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

13.1　構成

10 ビット AD コンバータの回路構成を図 13-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注)　AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 13-1　　10 ビット AD コンバータ

13.2　制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

   AD 変換を行うアナロググチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

   AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

   AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

   AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (000EH)	7	6	5	4	3	2	1	0	
	ADRS	AMD		AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウエアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力イネーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved	

注 1)　アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0")で行ってください。

注 2)　アナログ入力チャネルをすべてディゼーブルにする場合は、AINDS を"1"に設定してください。

注 3)　アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。

注 4)　ADRS は、AD 変換開始後、自動的に"0"にクリアされます。

注 5)　AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF>にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。

注 6)　STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

注 7)　AD コンバータの機能は、NORMAL1/2 および IDLE1/2 モードで有効です。

AD コンバータ制御レジスタ 2

ADCCR2 (000FH)	7	6	5	4	3	2	1	0	
			IREFON	"1"	ACK			"0"	(初期値: **0* 000*)

IREFON	DA コンバータ (ラダー抵抗)の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: Reserved 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

注 1) ADCCR2 のビット 4 には"1"、ビット 0 には"0"を必ず書き込んでください。

注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。

注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2)はすべて初期化されるとともに書込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 13-1 ACK 設定と周波数別の変換時間

条件 / ACK	変換時間	8 MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
000	Reserved						
001	Reserved						
010	78/fc	-	-	39.0 μs	-	-	31.2 μs
011	156/fc	-	39.0 μs	78.0 μs	-	31.2 μs	62.4 μs
100	312/fc	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	78.0 μs	156.0 μs	-	62.4 μs	124.8 μs	-
110	1248/fc	156.0 μs	-	-	124.8 μs	-	-
111	Reserved						

注 1) 上記表内"—"部分の設定は行わないでください。fc: 高周波発振周波数

注 2) 変換時間は、アナログ基準電圧(VAREF)によって以下の時間以上を確保するように設定してください。

- VAREF = 2.7 ~ 3.6 V 時 31.2 μs 以上
- VAREF = 1.8 ~ 3.6 V 時 124.8 μs 以上

AD 変換値レジスタ 1

ADCDR1 (0020H)	7	6	5	4	3	2	1	0	
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値: 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (0021H)

	7	6	5	4	3	2	1	0	
ADCDR2 (0021H)	AD01	AD00	EOCF	ADBF					(初期値: 0000 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

注 1)　EOCF は、AD 変換値レジスタ 1 (ADCDR1) をリードすると"0"にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2)をリードした後に(ADCDR1)をリードしてください。

注 2)　ADBF は AD 変換開始により"1"にセットされ、AD 変換動作が終了すると"0"にクリアされます。また、STOP, SLOW モード を起動するときにもクリアされます。

注 3)　ADCDR2 を読み出した場合、ビット 3 ~ 0 は不定となります。

13.3 機能

13.3.1 ソフトウエアスタートモード

ADCCR1<AMD> を“01” (ソフトウエアスタートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより ADCCR1<SAIN>で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS>は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS>の再設定は ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

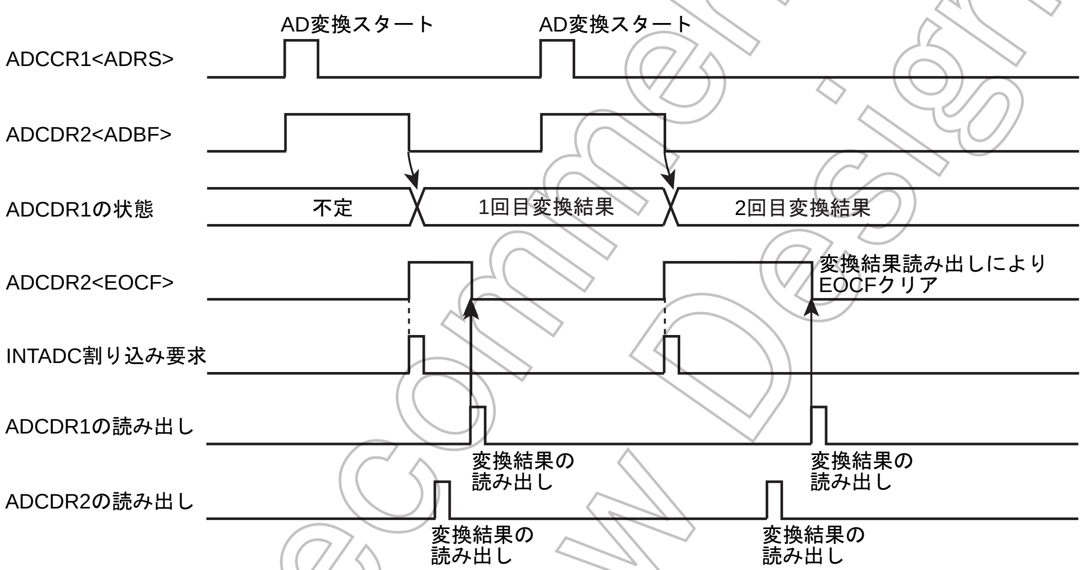


図 13-2　ソフトウエアスタートモード

13.3.2 リピードモード

ADCCR1<SAIN>で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD>を“11”(リピートモード)に設定後、ADCCR1<ADRS>を“1”に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ(ADCDR1,2)に格納し、ADCDR2<EOCF>に“1” をセットするとともに AD 変換終了割り込み(INTADC)を発生します。

リピートモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD>に“00”(ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

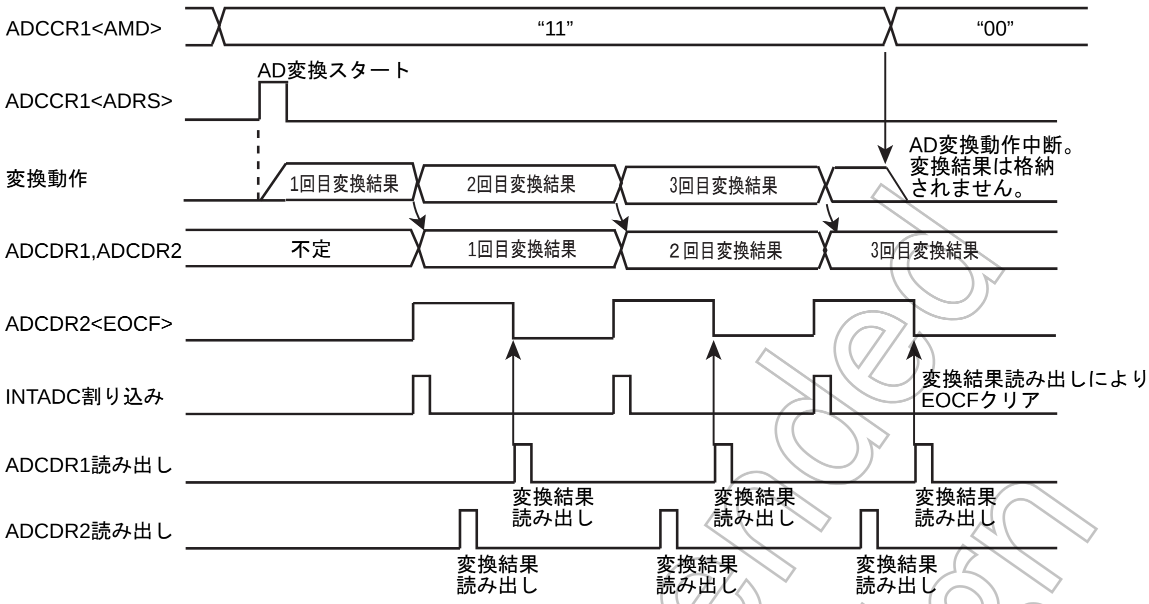


図 13-3　リピートモード

13.3.3　レジスタの設定

1. AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
   - AD 入力チャネル選択 (SAIN) により AD 変換するチャネルを選択してください。
   - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
   - AD コンバータ制御の動作モード(ソフトウエア、リピートモード)を (AMD) にて指定してください。
2. AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
   - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及びをご参照ください。
   - DA コンバータの制御 (IREFON) を選択してください。
3. 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に “1” を設定すると、ソフトウエアスタートの場合、直ちに AD 変換を開始します。
4. AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF)が “1” にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1) 、AD 変換値レジスタ 2 (ADCDR2)に格納されます。また、このとき INTADC 割り込み要求が発生します。
5. AD 変換値レジスタ 1 (ADCDR1)から変換結果を読み出すと EOCF は “0” にクリアされます。ただし、AD 変換値レジスタ 1 (ADCDR1)を読み出す前に再変換を行った場合は、EOCF は “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

（プログラム例）変換時間 39.0 µs @ 8 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウエアスタートモードです。

```
          : (ポートの設定)  :                       ; AD コンバータのレジスタを設定する前にポート
          :                 :                       レジスタを適切に設定してください。
          :                 :                       (詳細は I/O ポートの章を参照してください)
          LD                (ADCCR1) , 00100011B    ; AIN3 を選択
          LD                (ADCCR2) , 11011000B    ;変換時間 (312/fc), 動作モードを選択

          SET               (ADCCR1) . 7            ; ADRS = 1(AD 変換開始)
SLOOP :   TEST              (ADCDR2) . 5            ; EOCF = 1 ?
          JRS               T, SLOOP

          LD                A , (ADCDR2)            ; 変換結果の読み出し
          LD                (9EH) , A
          LD                A , (ADCDR1)            ; 変換結果の読み出し
          LD                (9FH), A
```

13.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードをを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

13.5　入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 13-4 のように対応します。

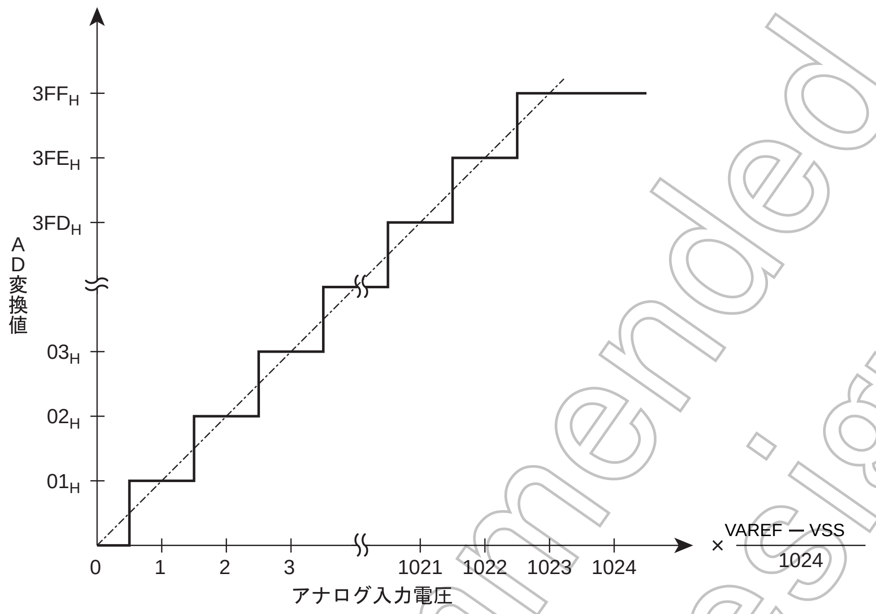


図 13-4　アナログ入力電圧と AD 変換値 (typ.) の関係

13.6 AD コンバータの注意事項

13.6.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN7) は、VAREF ~ VSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

13.6.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

13.6.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 13-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは 5 kΩ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

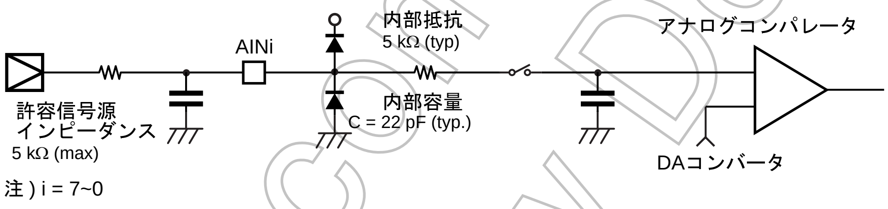


図 13-5 アナログ入力等価回路と入力端子処理例

第 14 章　　キーオンウェイクアップ(KWU)

TMP86FM29LUG は、P20($\overline{\text{INT5}}$/$\overline{\text{STOP}}$)端子以外に STOP2 ~ STOP5 の 4 つの端子でも STOP モードの解除が可能です。

STOP2 ～STOP5 の入力で STOP モードを解除する場合、$\overline{\text{STOP}}$ 端子の論理に注意が必要です。詳細については、後述の「14.2 制御」を参照してください。

14.1　構成

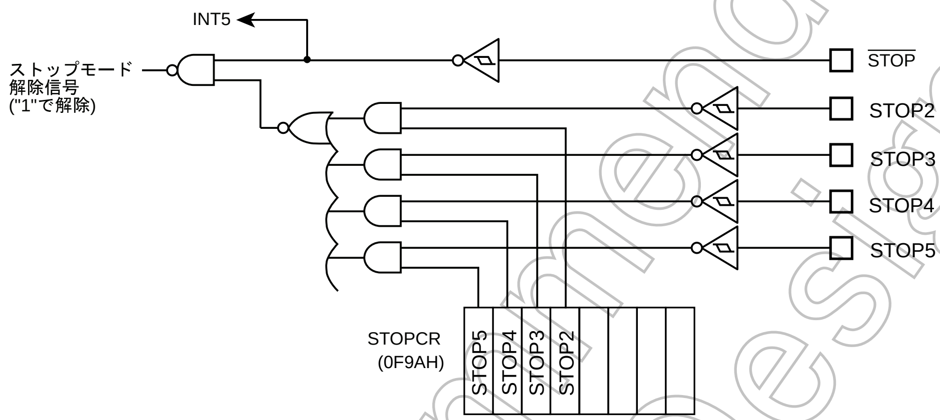


図 14-1 キーオンウェイクアップ回路

14.2　制御

STOP2 ～STOP5 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ

STOPCR	7	6	5	4	3	2	1	0	
(0F9AH)	STOP5	STOP4	STOP3	STOP2					(初期値: 0000 ****)

STOP5	STOP5 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP4	STOP4 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only

14.3　機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP2 ～STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

　また、STOP2 ～STOP5 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが “H” レベルになっていることを確認してください (注 2)。

注 1)　STOP モードの解除をエッジ解除モード (SYSCR1<RELM> = “0”) で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2 ～STOP5 入力をすべて禁止にするか、入力が許可されている STOP2 ～STOP5 端子を STOP モード中 “H” レベルに固定してください。

注 2)　レベル解除の場合、$\overline{\text{STOP}}$ 端子および STOP2 ～STOP5 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。

注 3)　$\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP2 ～STOP5 入力によって STOP モードを解除する場合も、$\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。

注 4)　キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。

注 5)　STOP2 ～STOP5 入力によって STOP モードを解除する (“L” レベル)場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず “L” レベルに固定してください。(図 14-2)

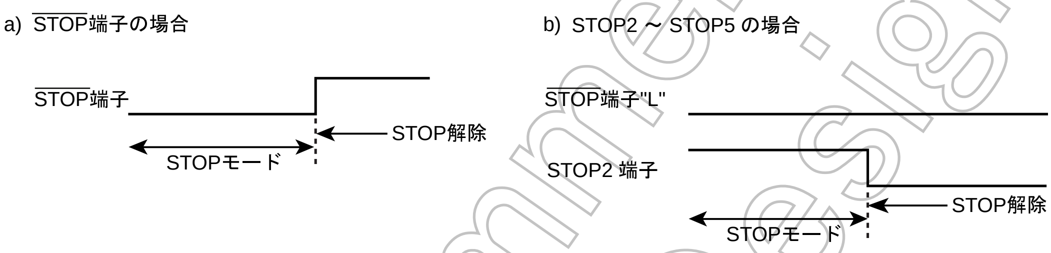


図 14-2 $\overline{\text{STOP}}$ 端子と STOP2 ～STOP5 端子の優先順位

表 14-1 STOP モードの解除レベル(エッジ)

端子名	解除レベル(エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H"レベル	立ち上がりエッジ
STOP2	"L"レベル	使用禁止 (注 1)
STOP3	"L"レベル	使用禁止 (注 1)
STOP4	"L"レベル	使用禁止 (注 1)
STOP5	"L"レベル	使用禁止 (注 1)

第 15 章　LCD ドライバ

TMP86FM29LUG は、液晶表示器(LCD)を直接駆動するドライブおよびその制御回路を内蔵しています。LCD との接続端子は、次のとおりです。

1. セグメント出力 32 本(SEG31 ~ SEG0)
2. コモン出力端子 4 本(COM3 ~ COM0)

ほかに駆動用電源端子として、C0, C1, V1, V2, V3 端子があります。

直接駆動が可能な LCD は、次の 4 種類です。

1. 1/4 デューティ(1/3 バイアス）LCD 最大 128 画素(8 セグメント× 16 桁)
2. 1/3 デューティ(1/3 バイアス）LCD 最大 96 画素(8 セグメント× 12 桁)
3. 1/2 デューティ(1/2 バイアス）LCD 最大 64 画素(8 セグメント× 8 桁)
4. スタティック LCD 最大 32 画素(8 セグメント× 4 桁)

15.1　LCD ドライバの構成

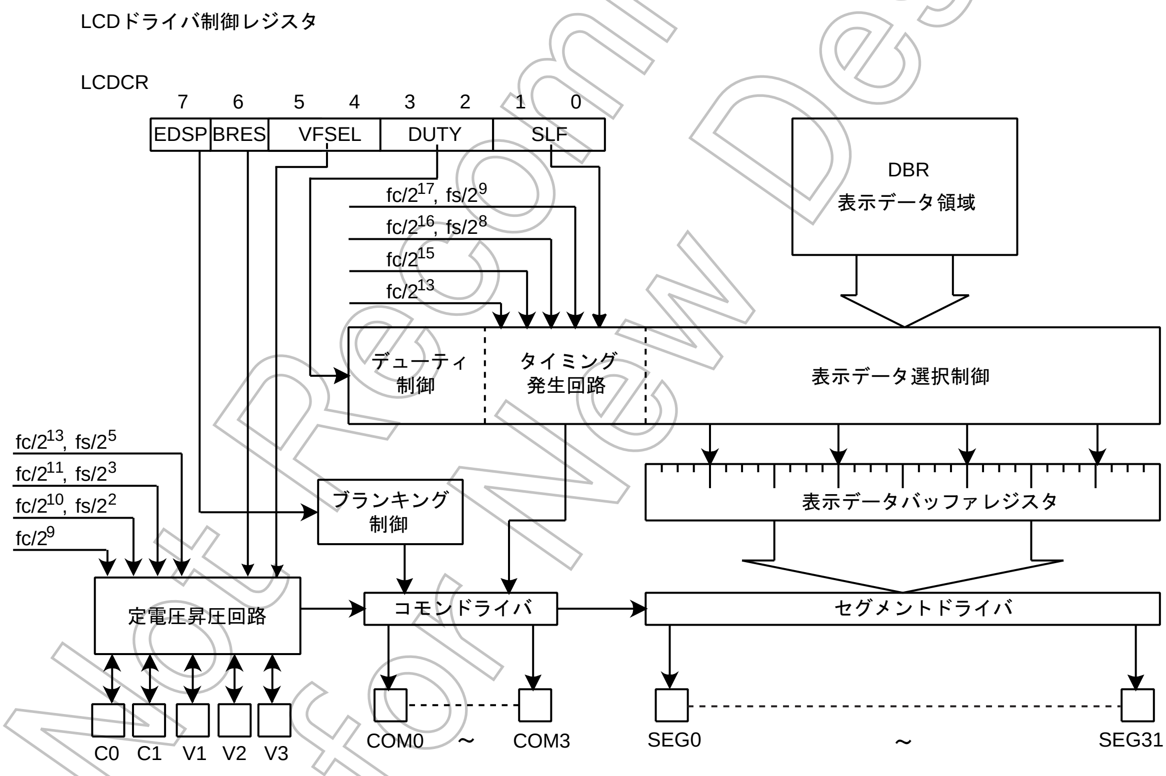


図 15-1 LCD ドライバ

注)　LCD ドライバは専用のデバイダ回路を内蔵しています。従って開発ツールのデバッガ使用時にブレーク処理を行っても LCD ドライバは出力を停止しません。

15.2　LCD ドライバの制御

LCD ドライバの制御は、LCD 制御レジスタ(LCDCR)で行います。LCD ドライバの表示イネーブルは EDSP で制御します。

LCD ドライバ制御レジスタ

<table>
<tr><td>LCDCR</td><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td><td></td></tr>
<tr><td>(0028H)</td><td>EDSP</td><td>BRES</td><td colspan="2">VFSEL</td><td colspan="2">DUTY</td><td colspan="2">SLF</td><td>(初期値: 0000 0000)</td></tr>
</table>

<table>
<tr><td>EDSP</td><td>LCD 表示制御</td><td colspan="4">0: ブランキング
1:表示イネーブル</td><td rowspan="19">R/W</td></tr>
<tr><td>BRES</td><td>昇圧回路の設定</td><td colspan="4">0:昇圧回路ディゼーブル (外付け分割抵使用)
1:昇圧回路 イネーブル</td></tr>
<tr><td rowspan="6">VFSEL</td><td rowspan="6">昇圧周波数選択[Hz]</td><td rowspan="2"></td><td colspan="2">NORMAL1/2, IDLE/1/2 モード</td><td rowspan="2">SLOW1/2,
SLEEP0/1/2 モード</td></tr>
<tr><td>DV7CK = 0</td><td>DV7CK = 1</td></tr>
<tr><td>00</td><td>$fc/2^{13}$</td><td>$fs/2^{5}$</td><td>$fs/2^{5}$</td></tr>
<tr><td>01</td><td>$fc/2^{11}$</td><td>$fs/2^{3}$</td><td>$fs/2^{3}$</td></tr>
<tr><td>10</td><td>$fc/2^{10}$</td><td>$fs/2^{2}$</td><td>$fs/2^{2}$</td></tr>
<tr><td>11</td><td>$fc/2^{9}$</td><td>$fc/2^{9}$</td><td>–</td></tr>
<tr><td>DUTY</td><td>LCD 駆動方式の設定</td><td colspan="4">00: 1/4 デューティ (1/3 バイアス)
01: 1/3 デューティ (1/3 バイアス)
10: 1/2 デューティ (1/2 バイアス)
11: スタティック</td></tr>
<tr><td rowspan="6">SLF</td><td rowspan="6">ベース周波数の選択[Hz]</td><td rowspan="2"></td><td colspan="2">NORMAL1/2, IDLE/1/2 モード</td><td rowspan="2">SLOW1/2,
SLEEP0/1/2 モード</td></tr>
<tr><td>DV7CK = 0</td><td>DV7CK = 1</td></tr>
<tr><td>00</td><td>$fc/2^{17}$</td><td>$fs/2^{9}$</td><td>$fs/2^{9}$</td></tr>
<tr><td>01</td><td>$fc/2^{16}$</td><td>$fs/2^{8}$</td><td>$fs/2^{8}$</td></tr>
<tr><td>10</td><td>$fc/2^{15}$</td><td>$fc/2^{15}$</td><td>–</td></tr>
<tr><td>11</td><td>$fc/2^{13}$</td><td>$fc/2^{13}$</td><td>–</td></tr>
</table>

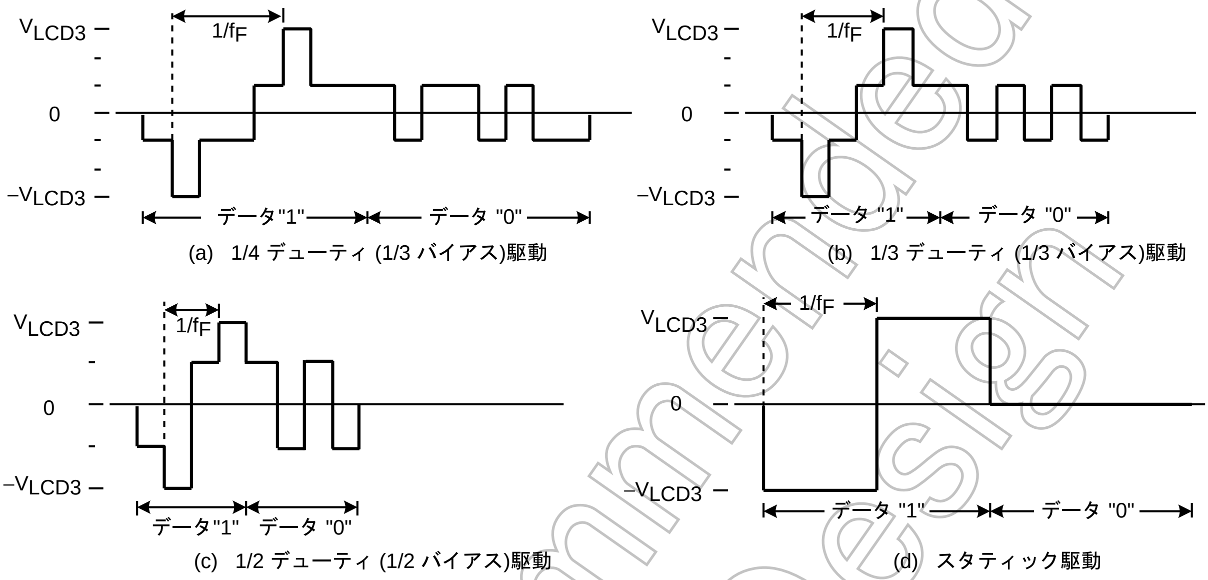
注 1)　昇圧回路の設定<BRES>="0"のときは $V_{DD}≧V3≧V2≧V1≧V_{SS}$,<BRES>=“1”のときは 3.6[v] ≧V3≧V_{DD} を満たす必要があります。これらの条件が適正でない場合、LCD 表示品位に影響を与えるばかりか、ポートに過電流が流れデバイスにダメージを与える可能性があります。

注 2)　昇圧回路がイネーブルの場合、LCD 駆動方式は 1/3 バイアスで使用する必要があります。従って<BRES>が“1”のとき、<DUTY>は“00B”、または“01B”を設定してください。

注 3)　–；設定しないでください。

15.2.1 LCD 駆動方式

LCD の駆動方式は、LCDCR<DUTY>により、4 種類の選択ができます。駆動方式は、イニシャルプログラムの中で、使用する LCD に合わせて初期化します。



注 1) f_F: フレーム周波数

注 2) V_{LCD3}: LCD 駆動電圧

図 15-2 LCD 駆動波形 (COM - SEG 端子間電位差)

15.2.2　フレーム周波数

フレーム周波数(f_F)は駆動方式とベース周波数により表 15-1 のように設定されます。ベース周波数は、使用する基本クロック周波数 fc および fs に応じて、LCDCR<SLF>により選択します。

表 15-1 フレーム周波数の設定 (高周波クロック)

(a) シングルクロックモード時、またはデュアルクロックモード時の DV7CK =“0” の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	スタティック
00	$\frac{fc}{2^{17}}$	$\frac{fc}{2^{17}}$	$\frac{4}{3}\bullet\frac{fc}{2^{17}}$	$\frac{4}{2}\bullet\frac{fc}{2^{17}}$	$\frac{fc}{2^{17}}$
	(fc = 8 MHz)	61	81	122	61
01	$\frac{fc}{2^{16}}$	$\frac{fc}{2^{16}}$	$\frac{4}{3}\bullet\frac{fc}{2^{16}}$	$\frac{4}{2}\bullet\frac{fc}{2^{16}}$	$\frac{fc}{2^{16}}$
	(fc = 8 MHz)	122	163	244	122
	(fc = 4 MHz)	61	81	122	61
10	$\frac{fc}{2^{15}}$	$\frac{fc}{2^{15}}$	$\frac{4}{3}\bullet\frac{fc}{2^{15}}$	$\frac{4}{2}\bullet\frac{fc}{2^{15}}$	$\frac{fc}{2^{15}}$
	(fc = 4 MHz)	122	163	244	122
	(fc = 2 MHz)	61	81	122	61
11	$\frac{fc}{2^{13}}$	$\frac{fc}{2^{13}}$	$\frac{4}{3}\bullet\frac{fc}{2^{13}}$	$\frac{4}{2}\bullet\frac{fc}{2^{13}}$	$\frac{fc}{2^{13}}$
	(fc = 1 MHz)	122	163	244	122

注)　fc: 高周波クロック周波数 [Hz]

表 15-2 フレーム周波数の設定 (低周波クロック)

(b) デュアルクロックモード時の DV7CK =“1”、または SYSCK =“1” の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	スタティック
00	$\frac{fs}{2^{9}}$	$\frac{fs}{2^{9}}$	$\frac{4}{3}\bullet\frac{fs}{2^{9}}$	$\frac{4}{2}\bullet\frac{fs}{2^{9}}$	$\frac{fs}{2^{9}}$
	(fs = 32.768 kHz)	64	85	128	64
01	$\frac{fs}{2^{8}}$	$\frac{fs}{2^{8}}$	$\frac{4}{3}\bullet\frac{fs}{2^{8}}$	$\frac{4}{2}\bullet\frac{fs}{2^{8}}$	$\frac{fs}{2^{8}}$
	(fs = 32.768 kHz)	128	171	256	128

注)　fs: 低周波クロック周波数 [Hz]

15.2.3 LCD 駆動電圧

TMP86FM29LUG は、LCD 駆動用電源として、外部より供給される基準電圧を内部の昇圧回路で昇圧(降圧)したものを使用するか、外部電源を外付け抵抗により分割としたものを使用するかの選択ができます。この選択は LCD 制御レジスタ LCDCR<BRES>で行います。

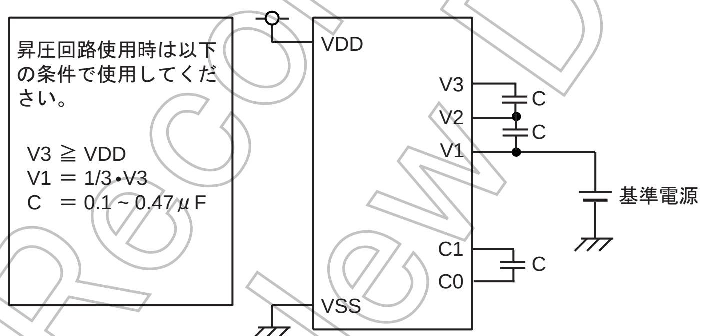
15.2.3.1 昇圧回路を使用する場合 (LCDCR<BRES>="1"のとき)

昇圧回路使用時は V1 端子に接続された基準電圧を 2 倍、3 倍に昇圧し、セグメント/コモン信号用の出力電圧を発生させます。V2 端子に基準電源が接続された場合は、1/2 倍(V1)に降圧、3/2 倍(V3)に昇圧されます。V3 端子に基準電源が接続された場合は、1/3 倍(V1)に降圧、2/3 倍(V2)に降圧されます。

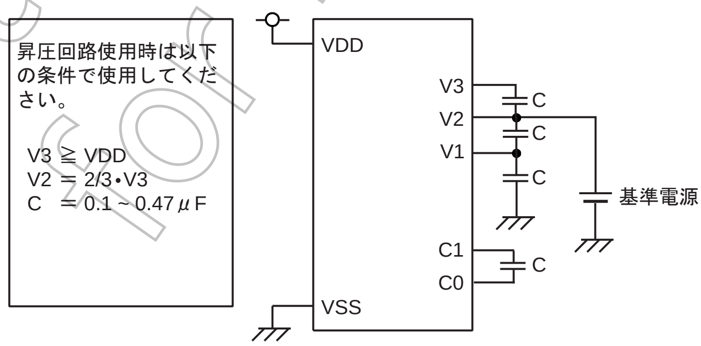
また、LCDCR<VFSEL>によって昇圧回路の基準周波数を選択することができます。昇圧周波数を速くするとセグメント/コモンの駆動能力は高くなりますが、その分消費電力が大きくなります。逆に昇圧周波数を遅くするとセグメント/コモンの駆動能力は低くなりますが、消費電力は少なくなります。駆動能力が不足すると LCD 表示が滲むなどの影響が現れますので、使用する LCD パネルに合わせて最適な設定値に調整してください。

昇圧回路の昇圧周波数に対する V3 端子の電流値容量をに示します。

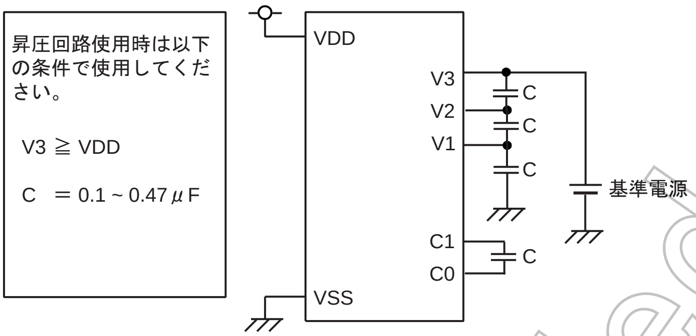
注) 昇圧回路がイネーブルの場合、LCD 駆動方式は 1/3 バイアスで使用する必要があります。従って<BRES>が“1”のとき、<DUTY>は“00B”、または“01B”を設定してください。



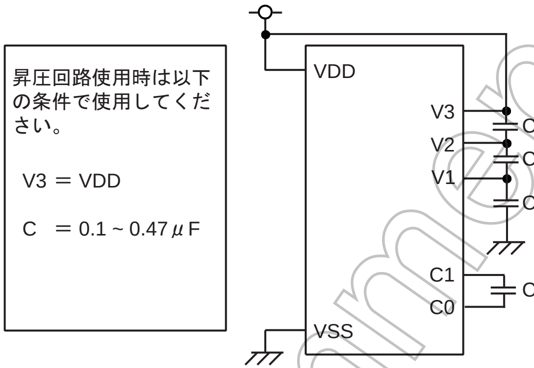
a) 基準端子が V1 の場合



b) 基準端子が V2 の場合



c) 基準端子が V3 の場合



d) 基準端子が V3 の場合

注 1)　TMP86FM29LUG で LCD の昇圧回路を使用するとき、昇圧回路の電源およびコンデンサは上図のように接続してください。

注 2)　基準電源を V1 端子以外に接続する場合、V1 端子と GND 間にコンデンサを接続してください。

注 3)　a) ~ d)の接続方法は、従来製品のデータシートから接続例が変更されています。これらの接続方法に変更することによって昇圧特性が向上しますので、新規基板設計の際は上図の接続方法で開発することを推奨します。(従来の接続方法でも LCD 表示に影響はありません)

注 4)　a)の接続方法を使用した場合、動作温度保証範囲は-10℃ ~ 85℃となります。

図 15-3 昇圧回路使用時の LCD 電源接続例(LCDCR<BRES>=“1”)

表 15-3 昇圧周波数に対する V3 端子の電流値容量(Typ.)

VFSEL	昇圧周波数	fc = 8 MHz 時	fc = 4 MHz 時	fc = 32.768 MHz 時
00	fc/2^{13} または fs/2^{5}	−80 mV/ μA	−138 mV/ μA	−76 mV/ μA
01	fc/2^{11} または fs/2^{3}	−24 mV/ μA	−37 mV/ μA	−23 mV/ μA
10	fc/2^{10} または fs/2^{2}	−19 mV/ μA	−24 mV/ μA	−18 mV/ μA
11	fc/2^{9}	−17 mV/ μA	−19 mV/ μA	-

注 1)　電源容量は、1μA あたり降下する電圧の値を示すものです。

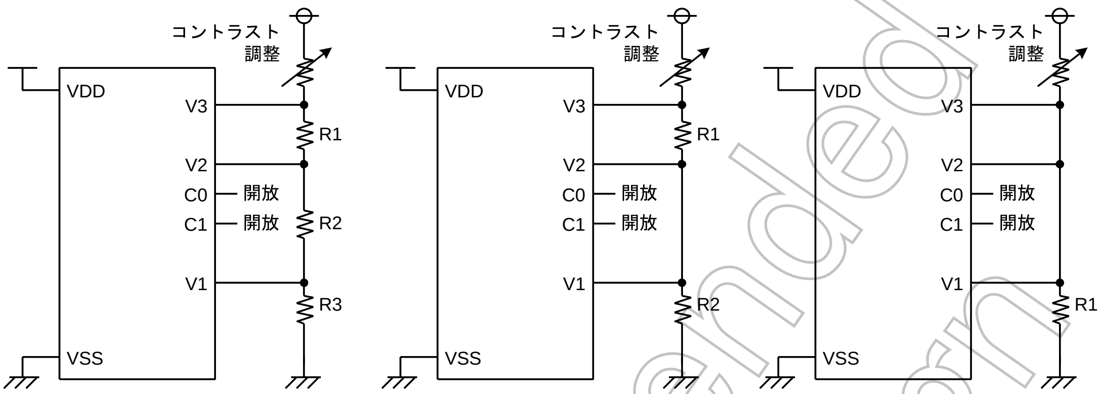
注 2)　昇圧周波数はご使用の LCD パネルに合わせて、選択してください。

注 3)　安定した動作を保つため、基準端子 V1 または基準端子 V2 の電流容量値は上記容量の 10 倍以上を推奨します。例えば、昇圧周波数が fc/2^{9}(@fc = 8 MHz)のとき、基準端子 V1 の電源容量は、-1.7 mV/μA 以上を推奨します。

15.2.3.2　外付け分割抵抗を使用する場合 (LCDCR<BRES>="0"のとき)

外付け分割抵抗使用時は、外部電源を抵抗で分圧した電圧をそれぞれ V1, V2, V3 に入力しセグメント/コモン信号用の出力電圧を発生させます。

外部抵抗値を小さくするとセグメント/コモンの駆動能力は高くなりますが、その分消費電力が大きくなります。逆に外部抵抗値を大きくするとセグメント/コモンの駆動能力は低くなりますが、消費電力は少なくなります。駆動能力が不足すると LCD 表示が滲むなどの影響が現れますので、使用する LCD パネルに合わせて最適な抵抗値に調整してください。



1/3 バイアスの場合 (R1= R2 = R3)　1/2 バイアスの場合 (R1= R2 = R3)　スタティックの場合

分割抵抗使用時 V_3, V_2, V_1 は以下の電圧になるようにしてください。
$V_{DD} \geqq V_3 \geqq V_2 \geqq V_1 \geqq V_{SS}$

図 15-4 外部分割抵抗使用時の LCD 電源接続例(LCDCR<BRES>=“0”)

15.3 LCD 表示動作

15.3.1 表示データの設定

表示データは、DBR 内に設けられた表示データ領域(0F80H □ 0F8FH 番地の 16 バイト)に格納します。

表示データ領域に格納された表示データは、ハードウエアにより自動的に読み出され、LCD ドライバへ送出されます。LCD ドライバは、表示データと駆動方式に従い、セグメント信号、コモン信号を発生します。従って、表示パターンの変更は、プログラムで表示データ領域の内容を書き替えることで行えます。

表 15-5 に、表示データ領域と SEG/COM 端子の対応を示します。表示データが“1”のとき点灯し、“0”のとき消灯します。

LCD の駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のビット数も異なります。従って、表示データの格納に使用しないビットや、LCD を接続しないアドレスに相当するデータメモリは、通常のユーザー処理データの格納に使用できます(表 15-4 参照)。

注) 表示データ領域の内容は、電源投入時不定になりますのでイニシャライズルーチンで初期設定を行ってください。

表 15-4 表示データの格納に使用するビット

駆動方式	ビット 7/3	ビット 6/2	ビット 5/1	ビット 4/0
1/4 デューティ	COM3	COM2	COM1	COM0
1/3 デューティ	-	COM2	COM1	COM0
1/2 デューティ y	-	-	COM1	COM0
スタティック	-	-	-	COM0

注)　- : 表示データの格納に使用しないビット

表 15-5 LCD 表示データ領域(DBR)

アドレス	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0F80H	SEG1				SEG0			
0F81H	SEG3				SEG2			
0F82H	SEG5				SEG4			
0F83H	SEG7				SEG6			
0F84H	SEG9				SEG8			
0F85H	SEG11				SEG10			
0F86H	SEG13				SEG12			
0F87H	SEG15				SEG14			
0F88H	SEG17				SEG16			
0F89H	SEG19				SEG18			
0F8AH	SEG21				SEG20			
0F8BH	SEG23				SEG22			
0F8CH	SEG25				SEG24			
0F8DH	SEG27				SEG26			
0F8EH	SEG29				SEG28			
0F8FH	SEG31				SEG30			
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

15.3.2　ブランキング

LCDCR<EDSP>を“0”にクリアすることによりブランキングがかかります。ブランキングは、COM/SEG 端子に GND レベルを出力することにより LCD を消灯します。

STOP モードに入ると LCDCR<EDSP>が“0”にクリアされ、自動的にブランキングがかかります。STOP モード復帰後、LCD の再表示を行うには LCDCR<EDSP>を“1”にセットする必要があります。

注)　リセット時、セグメント専用端子出力、コモン出力は GND レベルとなりますが、入出力ポート/セグメント兼用端子出力はハイインピーダンス状態となります。従って、外部からのリセット入力が著しく長くなる場合は LCD 表示が滲むなどの影響を及ぼす恐れがあります。

15.4 LCD ドライバの制御方法

15.4.1 初期設定

初期設定のフローチャートを、図 15-5 に示します。

（プログラム例）32 セグメント× 4 コモン、1/4 デューティ LCD をフレーム周波数 $fc/2^{16}$ [Hz] 、昇圧周波数 $fc/2^{13}$ [Hz]で動作させる場合。

```
LD      (LCDCR), 01000001B    ; LCD 駆動方法の設定、フレーム周波数の設定、昇圧周波数の設定、昇
                              圧回路イネーブル
LD      (PxLCR), 0FFH         ; PxLCR レジスタの設定 (x; I/O ポート番号)
:       :
:       :                     ; 表示データの初期値設定
LD      (LCDCR), 11000001B    ; 表示イネーブル
```

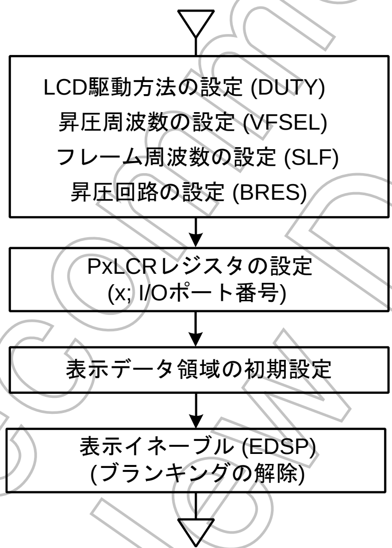


図 15-5 LCD ドライバの初期設定

15.4.2 表示データの格納

通常、表示データはプログラムメモリ(ROM)に固定データとして用意しておき、ロード命令により、表示データ領域に格納します。

（プログラム例）1/4 デューティ LCD を用いて、データメモリの 80H 番地に格納されている BCD データに対応する数字を表示する場合(COM, SEG 端子と LCD との接続を図 15-6 としたとき)の表示データは、表 15-6 のようになります。

```
          LD     A, (80H)
          ADD    A, TABLE-$-7
          LD     HL, 0F80H
          LD     W, (PC + A)
          LD     (HL), W
          RET
                 11011111B, 00000110B,
                 11100011B, 10100111B,
TABLE:    DB     00110110B, 10110101B,
                 11110101B, 00010111B,
                 11110111B, 10110111B
```

注)　DB はバイトデータ定義命令

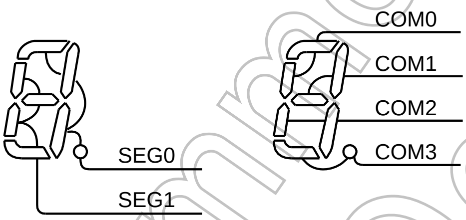


図 15-6 COM, SEG 端子接続例 (1/4 デューティ)

表 15-6 表示データ (1/4 デューティ)の例

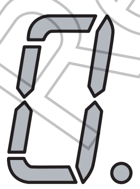
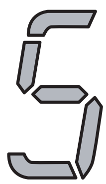
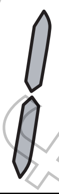
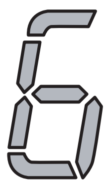
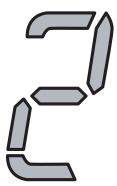
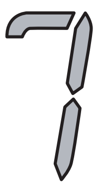
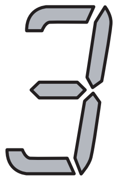
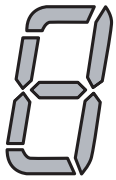
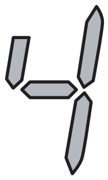
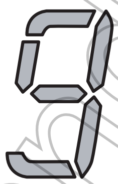
数字	表示	表示データ	数字	表示	表示データ
0		11011111	5		10110101
1		00000110	6		11110101
2		11100011	7		00000111

表 15-6 表示データ (1/4 デューティ)の例

数字	表示	表示データ	数字	表示	表示データ
3		10100111	8		11110111
4		00110110	9		10110111

Example 2: 1/2 デューティ LCD を用いて、 表 15-6 と同様の数字表示を行う場合の表示データの例を表 15-7 に示します。COM 端子および SEG 端子の接続方法は図 15-7 の例を用います。

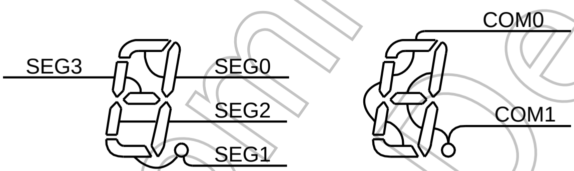


図 15-7 COM, SEG 端子接続例

表 15-7 表示データ (1/2 デューティ)の例

数字	表示データ		数字	表示データ	
	上位アドレス	下位アドレス		上位アドレス	下位アドレス
0	**01**11	**01**11	5	**11**10	**01**01
1	**00**10	**00**10	6	**11**11	**01**01
2	**10**01	**01**11	7	**01**10	**00**11
3	**10**10	**01**11	8	**11**11	**01**11
4	**11**10	**00**10	9	**11**10	**01**11

注) *: Don’t care

15.4.3　駆動出力例

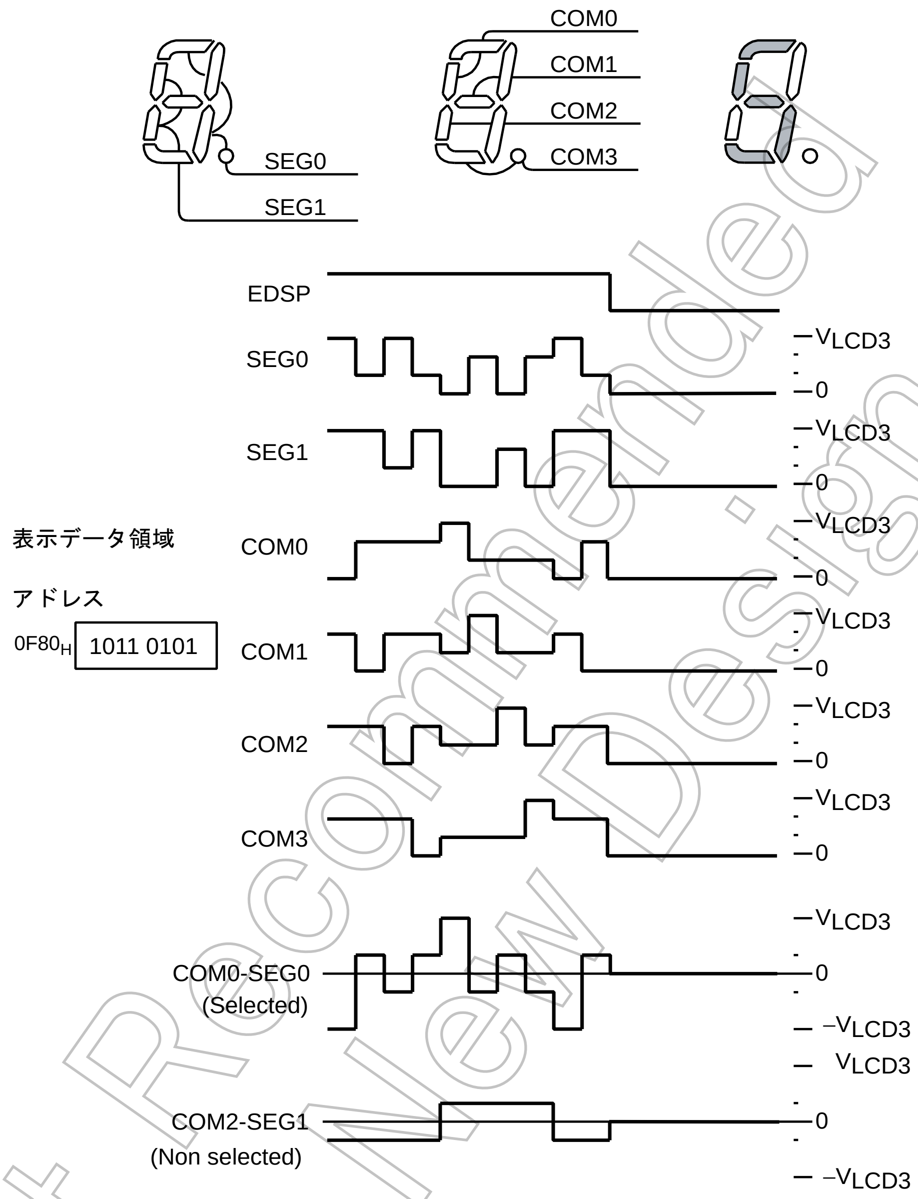
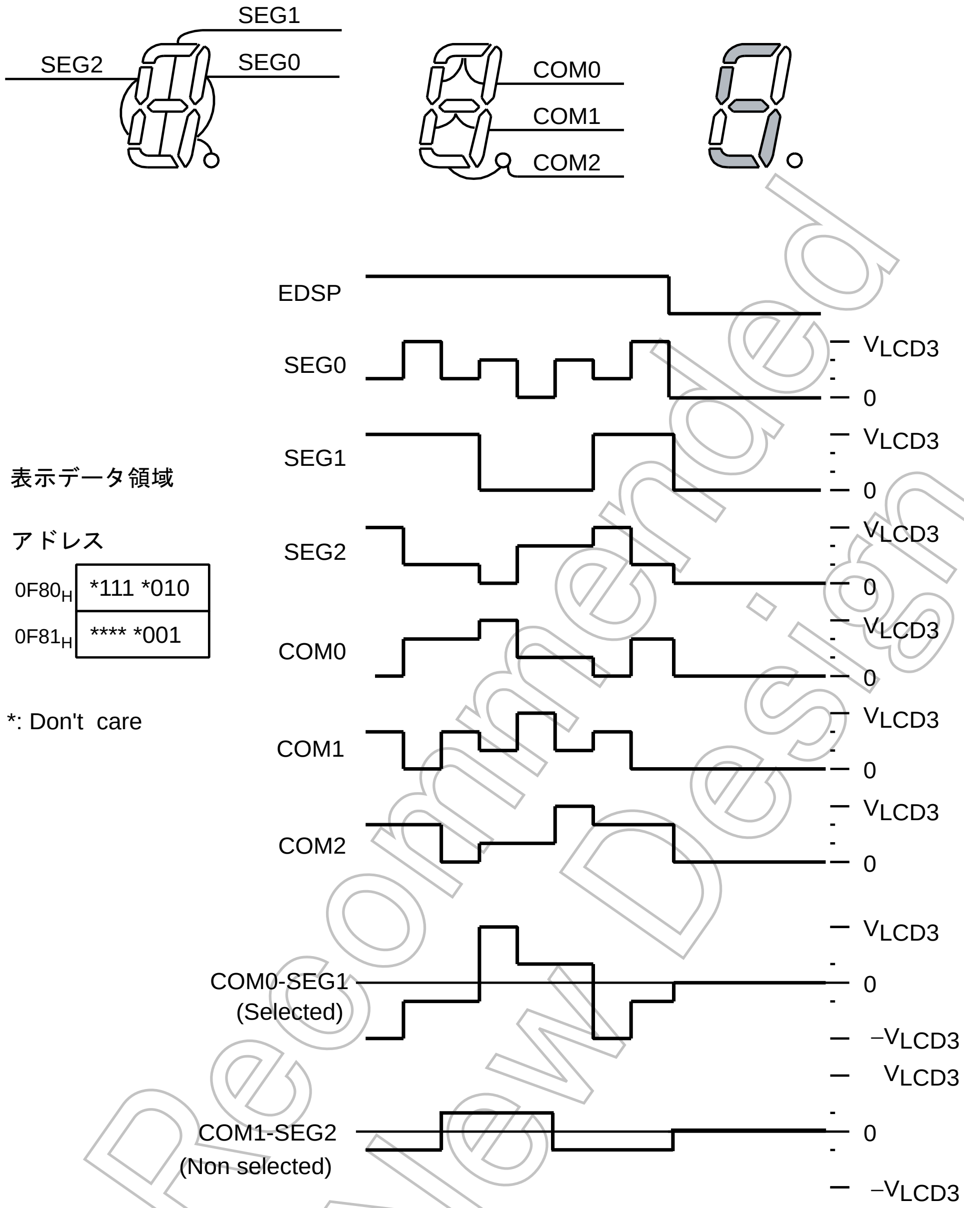


図 15-8 1/4 デューティ (1/3 バイアス) 駆動



$0F80_H$	*111 *010
$0F81_H$	**** *001

図 15-9 1/3 デューティ (1/3 バイアス) 駆動

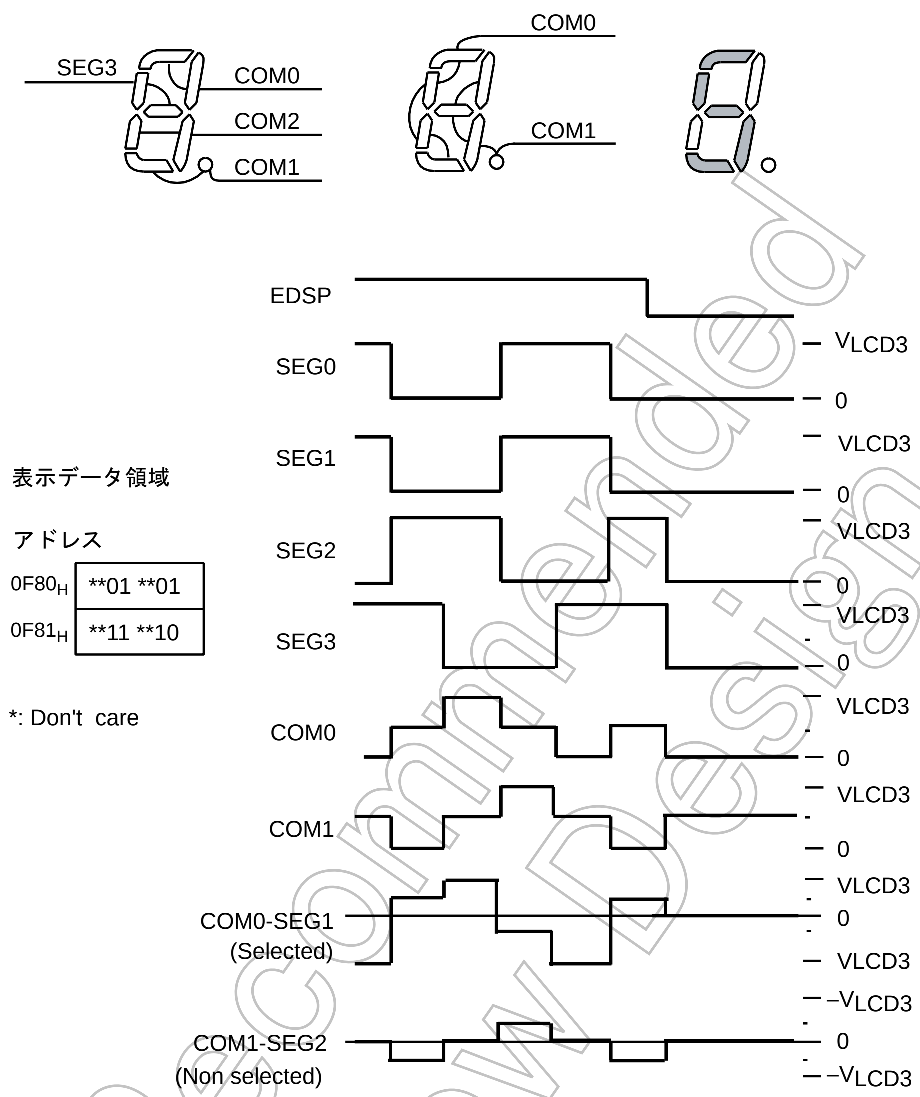


図 15-10 1/2 デューティ (1/2 バイアス) 駆動

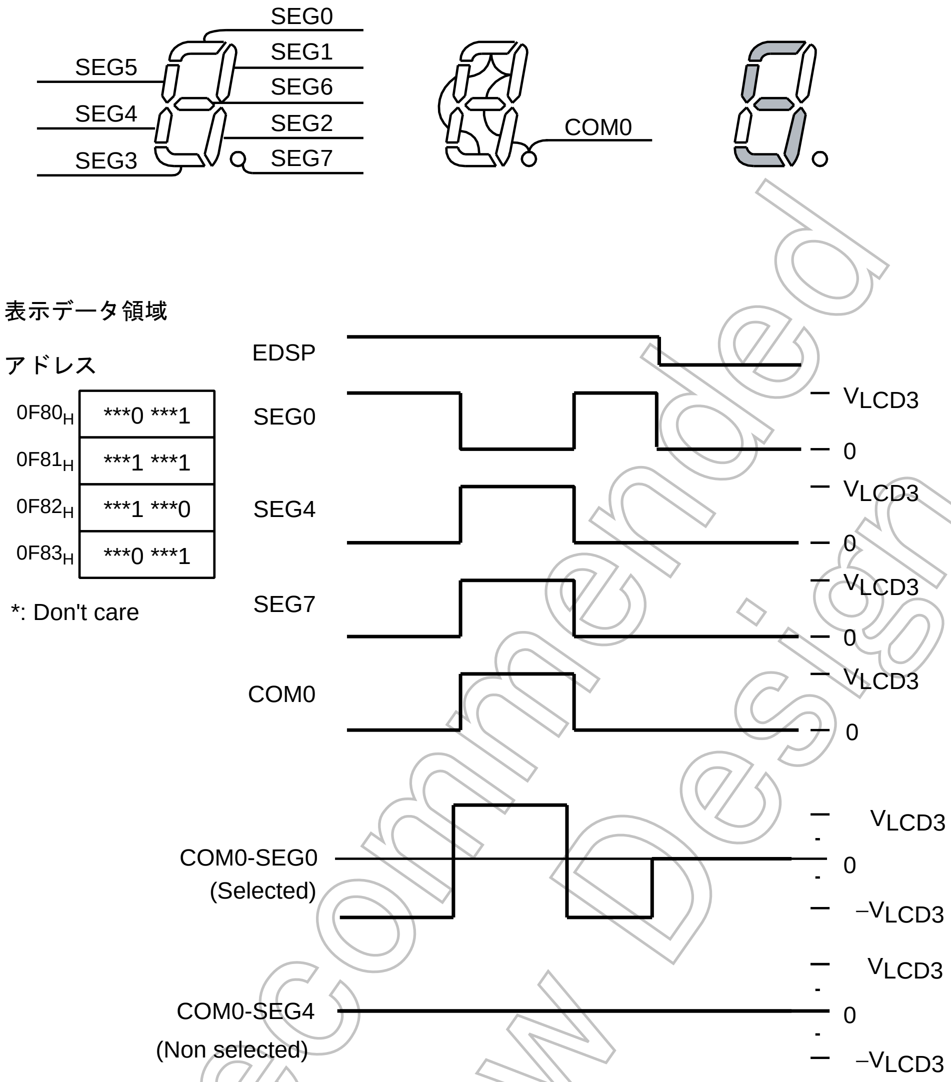


図 15-11 スタティック駆動

第 16 章　フラッシュメモリ

TMP86FM29LUG は、32768 バイト (アドレス 8000H ~ FFFFH) のフラッシュメモリを内蔵しています。フラッシュメモリの書き込み/消去などの制御は、以下の 3 つのモードで実行可能です。

- MCU モード

  MCU モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。アプリケーションの動作を保った状態でフラッシュメモリの書き換えが可能ですので、出荷後のソフトウェアバグ修正やファームウェアの変更などに利用できます。

- シリアル PROM モード

  シリアル PROM モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。シリアルインタフェース(UART)を使用することによって少ない端子で制御が可能ですので、出荷工程のオンボード書き込み(マイクロコントローラが基板に実装された状態での書き込み)などに利用できます。

- パラレル PROM モード

  パラレル PROM モードは、サードパーティの提供するプログラムライタ等で単体のフラッシュメモリとしてフラッシュメモリをアクセスするモードで、アドレス/データ信号を直接制御することにより高速にフラッシュメモリをアクセスすることができます。プログラムライタのサポート状況については、当社営業窓口までお問い合わせください。

MCU モードおよびシリアル PROM モードは、フラッシュメモリの制御のためにフラッシュメモリ制御レジスタ (FLSCR)を使用します。本章では MCU モードおよびシリアル PROM モードでフラッシュメモリ制御(FLSCR)を使用したフラッシュメモリのアクセス方法を説明します。

注 1)　旧版のデータシートで表記されていた「1 バイト書き込み」は、「Byte Program」に変更されました。
注 2)　旧版のデータシートで表記されていた「リードプロテクト設定」は、「Security Program」に変更されました。

16.1 制御

フラッシュメモリは、フラッシュメモリ制御レジスタ (FLSCR)、フラッシュメモリスタンバイ制御レジスタ(FLSSTB)によって制御されます。

フラッシュメモリ制御レジスタ

FLSCR	7	6	5	4	3	2	1	0	
(0FFFH)	FLSMD				"				(初期値 : 1100 ****)

FLSMD	フラッシュメモリのコマンドシーケンス制御	1100: コマンドシーケンスの実行を禁止 0011:コマンドシーケンスの実行を許可 その他 : Reserved	R/W

注 1)　フラッシュメモリのコマンドシーケンスは、FLSMD= “0011B” 設定のときのみ実行可能です。それ以外の設定のときはコマンドシーケンスを実行しても無効となります。

注 2)　FLSMD は、“1100B”、“0011B” 以外設定しないでください。

注 3)　FLSCR に対してリード命令を実行すると、ビット 3 ~ 0 は不定値が読み込まれます。

フラッシュメモリスタンバイ制御レジスタ

FLSSTB	7	6	5	4	3	2	1	0	
(0FE9H)								FSTB	(初期値 : **** ***0)

FSTB	フラッシュメモリのスタンバイ制御	0: フラッシュメモリのスタンバイを行わない 1:フラッシュメモリのスタンバイを行う	Write only

注 1)　期待するデータが読み出されなかったり、プログラムが正しく動作しない場合がありますので、FSTB が "1" のときはフラッシュメモリに対してリード/ライト命令を実行しないでください。もし実行した場合、FSTB は自動的に "0" に初期化されます。

注 2)　FSTB が "1" のときに割り込みが発生した場合、FSTB は自動的に "0" に初期化された後、フラッシュメモリのベクタ領域がリードされます。

注 3)　FSTB が "1" のときに IDLE0/1/2, SLEEP0/1/2, STOP モードを起動すると、FSTB は自動的に "0" に初期化されます。IDLE0/1/2, SLEEP0/1/2, STOP モードでは FSTB の設定に関係無く、スタンバイ機能が動作します。

16.1.1 フラッシュメモリのコマンドシーケンス制御 (FLSCR<FLSMD>)

フラッシュメモリ製品は、プログラムエラーやマイコンの誤動作によるフラッシュメモリの誤書き込みを防止するために、制御レジスタによって、フラッシュメモリへのコマンドシーケンスの実行を禁止することができます (ライトプロテクト)。コマンドシーケンスの実行を許可するときは、FLSCR<FLSMD>を 0011B に設定します。 コマンドシーケンスの実行を禁止するときは、FLSCR<FLSMD>を 1100B に設定します。リセット後、FLSCR<FLSMD>は 1100B に初期化され、コマンドシーケンスの実行は禁止の状態となります。通常はフラッシュメモリの書き込み/消去を行うときを除き、FLSCR<FLSMD>を 1100B に設定します。

16.1.2 フラッシュメモリのスタンバイ制御(FLSSTB<FSTB>)

TMP86FM29LUG は、フラッシュメモリをアクセスしないとき、フラッシュメモリの定常電流をカットオフして低消費電力を実現することができます。

IDLE0/1/2、SLEEP0/1/2、STOP モードの場合、これらの電流は自動的にカットオフされます。

NORMAL1/2、SLOW1/2 モードの場合、RAM 上でプログラムを実行するとき(フラッシュメモリをアクセスしないとき)、レジスタの制御によってこれらの電流をカットオフすることができます。フラッシュメモリの定常電流をカットオフするには、RAM 上に配置した制御プログラムの中で FLSSTB<FSTB>を"1"に設定します。以下に FLSSTB レジスタの制御例を示します。

(1 ~ 2 はフラッシュ上のプログラムによる制御、3 ~ 8 は RAM に展開されたプログラムによる制御となります)

1. FLSSTB レジスタの制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします(IMF← “0”)。
4. FLSSTB<FSTB>を"1"に設定します。
5. ユーザプログラムを実行します。
6. フラッシュメモリへの復帰要求を検出するまで 5 を繰り返します。
7. FLSSTB<FSTB>を"0"に設定します。
8. フラッシュ領域にジャンプします。

注 1) フラッシュメモリ上のプログラムから FLSSTB<FSTB> を設定してもスタンバイ機能は動作しませんので、FLSSTB<FSTB> はかならず RAM 上に配置されたプログラムで設定してください。

注 2) RAM 上のプログラムで FLSSTB<FSTB> を "1" に設定してスタンバイ機能を使用する場合、フラッシュメモリにプログラム制御を戻す前にかならず RAM 上のプログラムで FLSSTB<FSTB> を "0"に設定してください。FLSSTB<FSTB> を "1" の状態でプログラム制御がフラッシュメモリに戻った場合、プログラムが正しく動作しない (暴走する) 恐れがあります。

16.2　コマンドシーケンス

MCU モードおよびシリアル PROM モードのコマンドシーケンスは 6 つのコマンドから構成されます(JEDEC 互換)。表 16-1 にコマンドシーケンスの詳細を示します。コマンドシーケンスで指定するアドレスは下位 12 ビットで認識されます(表 16-1 の BA, SA, Security Program の FF7FH を除く)。ただし上位 4 ビットは、フラッシュメモリがマッピングされている領域の何れかを指定する必要があります。

表 16-1 コマンドシーケンス

	コマンドシーケンス	1st Bus Write Cycle		2nd Bus Write Cycle		3rd Bus Write Cycle		4th Bus Write Cycle		5th Bus Write Cycle		6th Bus Write Cycle	
		Add	Data	Add	Data	Add	Data	Add	Data	Add	Data	Add	Data
1	Byte Program	555H	AAH	AAAH	55H	555H	A0H	BA (注 1)	Data (注 1)	-	-	-	-
2	セクタイレース (4KB 単位の部分消去)	555H	AAH	AAAH	55H	555H	80H	555H	AAH	AAAH	55H	SA (注 2)	30H
3	チップイレース (全面消去)	555H	AAH	AAAH	55H	555H	80H	555H	AAH	AAAH	55H	555H	10H
4	Product ID Entry	555H	AAH	AAAH	55H	555H	90H	-	-	-	-	-	-
5	Product ID Exit	XXH	F0H	-	-	-	-	-	-	-	-	-	-
	Product ID Exit	555H	AAH	AAAH	55H	555H	F0H	-	-	-	-	-	-
6	Security Program	555H	AAH	AAAH	55H	555H	A5H	FF7FH	00H	-	-	-	-

注 1)　書き込みを行うアドレスとデータを設定してください。
注 2)　アドレスの上位 4 ビットで消去範囲が選択されます。

16.2.1　Byte Program

1 バイト単位でフラッシュメモリの書き込みを行います。4th Bus Write Cycle で書き込みを行うアドレスとデータを指定します。1 バイトあたりの書き込み時間は最大 40 µs です。書き込みが終了するまでは、他のコマンドシーケンスを実行することができません。書き込み終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。書き込み中はリードする度にビット 6 が反転します。

注)　既にデータ(FFH を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書込みを実行して下さい。

16.2.2　セクタイレース(4KB 単位の部分消去)

4K バイト単位でフラッシュメモリの消去を行います。消去範囲は、6th Bus Write Cycle アドレスの上位 4 ビットで指定します。例えば、F000H~FFFFH の 4K バイトを消去する場合は、6th Bus Write Cycle として F000H~FFFFH の何れかのアドレスを指定します。なお、セクタイレースは、シリアル PROM モード、MCU モードのみ有効です。パラレル PROM モードのときは動作しません。

4K バイトあたりの消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

16.2.3 チップイレース(全面消去)

フラッシュメモリの全領域を消去します。

全領域の消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。 なお、消去された領域のデータは FFH となります。

16.2.4 Product ID Entry

Product ID Entry を実行すると Product ID モードが起動します。Product ID モード中、フラッシュメモリに対してリード命令を実行するとベンダー ID, フラッシュ ID, Security Program ステータス等を読み出すことができます。

表 16-2 Product ID モード時のリード値

アドレス	意味	読み出される値
F000H	ベンダー ID	98H
F001H	フラッシュマクロ ID	41H
F002H	フラッシュサイズ	0EH: 60 K バイト 0BH: 48 K バイト 07H: 32 K バイト 05H: 24 K バイト 03H: 16 K バイト 01H: 8 K バイト 00H: 4 K バイト
FF7FH	Security Program ステータス	FFH: Security Program 解除状態 FFH 以外: Security Program 設定状態

注) アドレス F002H (フラッシュサイズ) は、各製品に内蔵するフラッシュメモリの容量によって決まります。例えば 60K バイトのフラッシュメモリを内蔵する製品では、(F002H)をリードすると“0EH”が読み出されます。

16.2.5 Product ID Exit

Product ID モードを終了します。

16.2.6 Security Program 設定

フラッシュメモリに対してリードプロテクトを設定します。Security Program を設定すると、パラレル PROM モードのときフラッシュメモリのリードができなくなります。シリアル PROM モードのときは、フラッシュメモリ書き替えコマンドおよび RAM ローダコマンドが実行できなくなります。

Security Program 設定を解除するには、チップイレースを実行する必要があります。Security Program が設定されているかどうかを確認するには、Product ID モードで FF7FH をリードします。詳細は表 16-2 を参照してください。Security Program の設定時間は最大 40 μs です。Security Program の設定が終了するまでは、他のコマンドシーケンスを実行することができません。Security Program の設定終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。Security Program の設定中はリードする度にビット 6 が反転します。

16.3　トグルビット (D6)

フラッシュメモリの書き込み、チップイレース、Security Program 設定のコマンドシーケンスを実行すると、これらの処理が完了するまでの間、リードオペレーションによって読み出されるデータの 6 ビット目 (D6) の値は、リードする度に値が反転します。これを利用すると各処理の終了をソフト的に確認することができます。通常はフラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。

なお、フラッシュメモリの書き込み、チップイレース、Security Program 設定のコマンドシーケンスを実行した後、最初のリードオペレーションでリードされたトグルビットはかならず“1”になります。

16.4 フラッシュメモリ領域へのアクセス

フラッシュメモリの書き込み/消去/Security Program 設定時は、フラッシュメモリのすべての領域に対してリード、プログラムフェッチを実行することができません。従って、フラッシュメモリ領域に対してこれらの操作を行うときは BOOTROM 領域もしくは RAM 領域上の制御プログラムによってフラッシュメモリをアクセスする必要があります (フラッシュメモリのプログラムで直接フラッシュメモリを書き換えることはできません)。これらの領域上で制御プログラムを実行するにはシリアル PROM モード、または MCU モードを使用します。

注 1) フラッシュメモリ領域の書き込み、読み出しは 1 バイト単位、消去は全領域または 4K バイト単位で実行可能です。読み出しについては 1 つの転送命令で実行可能ですが、書き込み／消去については、コマンドシーケンス方式を使用していますので、数個の転送命令を実行する必要があります。

注 2) 既にデータ(FFH を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書込みを実行して下さい。

16.4.1 シリアル PROM モードのフラッシュメモリ制御

シリアル PROM モードは、BOOTROM 上に予め用意された制御プログラムによってフラッシュメモリをアクセスするモードです。フラッシュメモリのアクセスに関するほとんどの動作は、シリアルインタフェース(UART)の通信データによって簡易的に制御可能ですので、ユーザは制御レジスタの操作を特に意識する必要はありません。シリアル PROM モードの詳細については「シリアル PROM モード」の章を参照してください。

シリアル PROM モードで任意の周辺機能を使用してフラッシュメモリをアクセスする場合は、RAM ローダコマンドを利用して、RAM 上で制御プログラムを実行する必要があります。この場合の操作は、「16.4.1.1 シリアル PROM モードの RAM ローダモードで RAM 領域に制御プログラムを展開して書き込む例」を参照してください。

16.4.1.1 シリアル PROM モードの RAM ローダモードで RAM 領域に制御プログラムを展開して書き込む例

(1 ~ 2 は BOOTROM による制御、3 ~ 9 は RAM に展開されたプログラムによる制御となります)

1. RAM ローダで書き込み制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします。(IMF← “0”)
4. FLSCR<FLSMD>を “0011B” に設定します。

   (コマンドシーケンスの実行を許可します)
5. 消去コマンドシーケンスを実行します。
6. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。

   (読み出した値が同一になるまで 6.を繰り返します)
7. 書き込みコマンドシーケンスを実行します。
8. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。

   (読み出した値が同一になるまで 8.を繰り返します)
9. FLSCR<FLSMD>を “1100B” に設定します 。

   (コマンドシーケンスの実行を禁止します)

注 1) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF)を “0” に設定し、割り込みを禁止にしてください。通常は RAM に展開するプログラムの先頭で DI 命令を実行してください。

注 2) RAM ローダを使用する場合は、BOOTROM によってウォッチドッグタイマは禁止に設定されていますので、RAM ローダプログラムによってウォッチドッグタイマを禁止に設定する必要はありません。

（プログラム例）チップイレースを実行した後、F000H に 3FH のデータを書き込む (RAM に展開するプログラム)

```
            DI                                  ; 割り込みを禁止 (IMF←"0")
            LD      (FLSCR),00111000B           ; コマンドシーケンスの実行を許可
            LD      IX,0F555H
            LD      IY,0FAAAH
            LD      HL,0F000H
; ####フラッシュメモリチップイレース処理 ####
            LD      (IX),0AAH                   ; 1st Bus Write Cycle
            LD      (IY),55H                    ; 2nd Bus Write Cycle
            LD      (IX),80H                    ; 3rd Bus Write Cycle
            LD      (IX),0AAH                   ; 4th Bus Write Cycle
            LD      (IY),55H                    ; 5th Bus Write Cycle
            LD      (IX),10H                    ; 6th Bus Write Cycle
sLOOP1:     LD      W,(HL)
            CMP     W,(HL)
            JR      NZ,sLOOP1                   ;同一の値が読み出されるまでループする
; #### フラッシュメモリ書き込み処理 ####
            LD      (IX),0AAH                   ; 1st Bus Write Cycle
            LD      (IY),55H                    ; 2nd Bus Write Cycle
            LD      (IX),0A0H                   ; 3rd Bus Write Cycle
            LD      (HL),3FH                    ; 4th Bus Write Cycle, (F000H)=3FH
sLOOP2:     LD      W,(HL)
            CMP     W,(HL)
            JR      NZ,sLOOP2                   ;同一の値が読み出されるまでループする
            LD      (FLSCR),11001000B           ; コマンドシーケンスの実行を禁止
sLOOP3:     JP      sLOOP3
```

16.4.2 MCU モードのフラッシュメモリ制御

MCU モードの場合、RAM 上で制御プログラムを実行することによってフラッシュメモリの書き込みを行うことができます。RAM 上で実行する制御プログラムは、予めフラッシュメモリ内にコピーを用意しておくか、通信端子などを利用して外部から取り込む必要があります。

以下に MCU モードで RAM 上の制御プログラムを実行する方法(例)を示します。

16.4.2.1 MCU モードから RAM 領域に制御プログラムを展開して書き込む例

(1 ~ 2 はフラッシュメモリ上のプログラムによる制御、3 ~ 11 は RAM に展開されたプログラムによる制御となります)

1. 書き込み制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします(IMF← “0”)。
4. ウォッチドッグタイマを使用している場合は禁止に設定します。
5. FLSCR<FLSMD>を “0011B” に設定します。

   (コマンドシーケンスの実行を許可します)
6. 消去コマンドシーケンスを実行します。
7. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。

   (読み出した値が同一になるまで 7.を繰り返します)
8. 書き込みコマンドシーケンスを実行します。
9. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。

   (読み出した値が同一になるまで 9.を繰り返します)
10. FLSCR<FLSMD>を “1100B” に設定します。

    (コマンドシーケンスの実行を禁止します)
11. フラッシュ領域にジャンプします。

注 1) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF)を “0” に設定し、割り込みを禁止にしてください。通常は RAM に展開するプログラムの先頭で DI 命令を実行してください。

注 2) フラッシュメモリに書き込みを行うときにノンマスカブル割り込みを意図的に使用しないでください (ウォッチドッグタイマを使用している場合は禁止にしてください)。書き込み中にノンマスカブル割り込みが発生すると、フラッシュメモリ (割り込みベクタ) から想定しないデータ値が読み込まれるためマイコンが誤動作する恐れがあります。

（プログラム例）E000H~EFFFH のセクタイレースを実行した後、E000H に 3FH のデータを書き込む (RAM に展開するプログラム)

```
            DI                                  ; 割り込みを禁止 (IMF←"0")
            LD      (WDTCR2),4EH                ; WDT 2 進カウンタのクリア
            LDW     (WDTCR1),0B101H             ; WDT の禁止
            LD      (FLSCR),00111000B           ;コマンドシーケンスの実行を許可
            LD      IX,0F555H
            LD      IY,0FAAAH
            LD      HL,0E000H
; #### フラッシュメモリセクタイレース処理 ####
            LD      (IX),0AAH                   ; 1st Bus Write Cycle
            LD      (IY),55H                    ; 2nd Bus Write Cycle
            LD      (IX),80H                    ; 3rd Bus Write Cycle
            LD      (IX),0AAH                   ; 4th Bus Write Cycle
            LD      (IY),55H                    ; 5th Bus Write Cycle
            LD      (HL),30H                    ; 6th Bus Write Cycle
sLOOP1:     LD      W,(HL)
            CMP     W,(HL)
            JR      NZ,sLOOP1                   ; 同一の値が読み出されるまでループする
; #### フラッシュメモリ書き込み処理 ####
            LD      (IX),0AAH                   ; 1st Bus Write Cycle
            LD      (IY),55H                    ; 2nd Bus Write Cycle
            LD      (IX),0A0H                   ; 3rd Bus Write Cycle
            LD      (HL),3FH                    ; 4th Bus Write Cycle, (E000H)=3FH
sLOOP2:     LD      W,(HL)
            CMP     W,(HL)
            JR      NZ,sLOOP2                   ; 同一の値が読み出されるまでループする
            LD      (FLSCR),11001000B           ; コマンドシーケンスの実行を禁止
            JP      XXXXH                       ; フラッシュ領域にジャンプします。
```

（プログラム例）F000H からデータをリードして RAM の 98H に格納する

```
            LD      A,(0F000H)                  ; F000H からデータを読み出す
            LD      (98H),A                     ; 98H にデータを格納する
```

第 17 章　シリアル PROM モード

17.1　概要

TMP86FM29LUG はフラッシュメモリへのプログラミング用に 2K バイトの BOOTROM(MASK ROM)を内蔵しています。BOOTROM は、シリアル PROM モードで有効になります。シリアル PROM モードは、TEST 端子と BOOT 端子、$\overline{\text{RESET}}$ 端子で制御され、UART を通して通信します。

シリアル PROM モードには、フラッシュメモリ書き込み、RAM ローダ、フラッシュメモリ SUM 出力、製品識別コード出力、フラッシュメモリステータス出力、フラッシュメモリ消去、フラッシュメモリ Security Program 設定の 7 種類のモードがあります。シリアル PROM モードでは、メモリのアドレス割り当てが MCU モードと異なります。図 17-1 にシリアル PROM モードでのメモリアドレスマップを示します。

表 17-1 シリアル PROM モード動作範囲

項目	Min	Max	単位
電源電圧	2.7	3.6	V
高周波周波数	2	8	MHz

注)　上記の高周波周波数の範囲であってもサポートされない周波数があります。詳細についてはを参照ください。

17.2　メモリマッピング

図 17-1 にシリアル PROM モードと MCU モードのメモリマップを示します。

シリアル PROM モードではアドレス 7800H ~ 7FFFH に BOOTROM（マスク ROM）がマッピングされます。

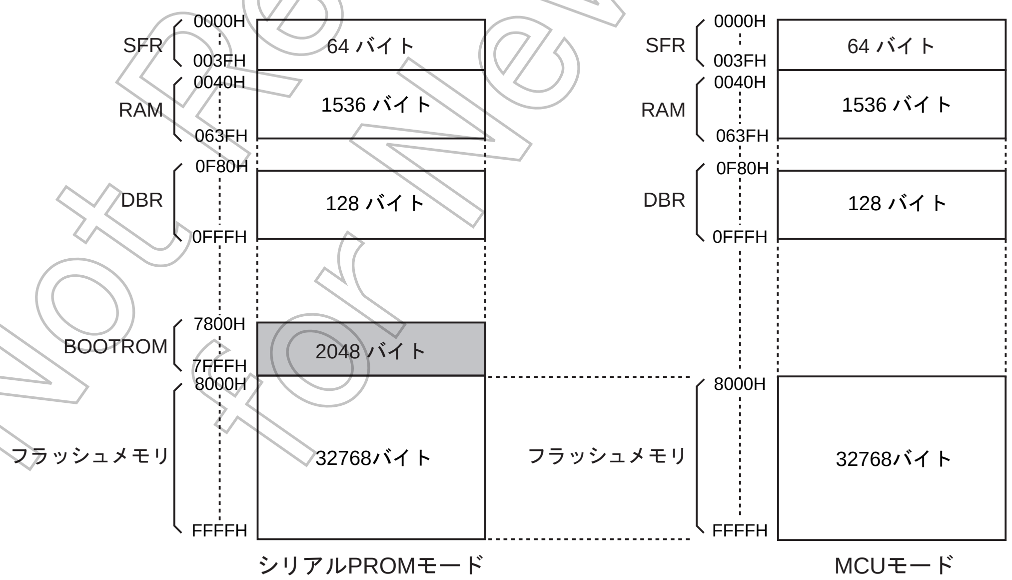


図 17-1 メモリアドレスマップ

17.3　シリアル PROM モード設定

17.3.1　シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアル PROM モードを起動します。シリアル PROM モードを起動するための端子設定を表 17-2 に示します。

表 17-2 シリアル PROM モード設定

端子	設定
TEST 端子	H レベル
BOOT/RXD 端子	H レベル
$\overline{\text{RESET}}$ 端子	

注)　シリアル PROM モードの起動端子(BOOT 端子)は、UART 通信用端子(RXD 端子)と兼用です。同端子は、シリアル PROM モードが起動すると UART 通信用端子として機能します。

17.3.2　端子機能

シリアル PROM モード時、 TXD (P16) と RXD (P15) をシリアル転送 (UART) 用端子として使用します。

表 17-3 シリアル PROM モードの端子機能

端子名 (シリアル PROM モード時)	入出力	機能		端子名(MCU モード時)
TXD	出力	シリアルデータ出力	(注 1)	P16
BOOT/RXD	入力/入力	シリアル PROM モード制御/シリアルデータ入力	(注 1)	P15
$\overline{\text{RESET}}$	入力	シリアル PROM モード制御	(注 1)	$\overline{\text{RESET}}$
TEST	入力	“H” レベルに固定します。		TEST
VDD, AVDD	電源	2.7 to 3.6V		
VSS	電源	0 V		
VAREF	電源	開放またはリファレンス電圧を印加してください。		
P16、P15 以外の入出力ポート	入出力	シリアル PROM モード中はハイインピーダンスになります。ポート入力は貫通電流を防止するためハード的に入力レベルが固定されます(ポート入力は無効となります)。ポート入力を有効にするには、RAM ローダの制御プログラムにによって SPCR レジスタの PIN を"1"に設定する必要があります。		
COM3 ～ COM0	出力	シリアル PROM モード中は L レベル出力となります。		
SEG7 ～ SEG0	出力	シリアル PROM モード中は L レベル出力となります。		
C0,C1,V3~V1	-	コンデンサ(抵抗)を接続するか、オープンにしてください。		
XIN	入力	発振子を取り付け自己発振させてください。.		(注 2)
XOUT	出力	発振子を取り付け自己発振させてください。.		(注 2)

注 1)　オンボードプログラミング時、ほかの部品が実装されている場合は、これらの通信端子に影響を与えないようにしてください。

注 2)　シリアル PROM モード時、高周波周波数の範囲は 2 ~8 MHz になります。

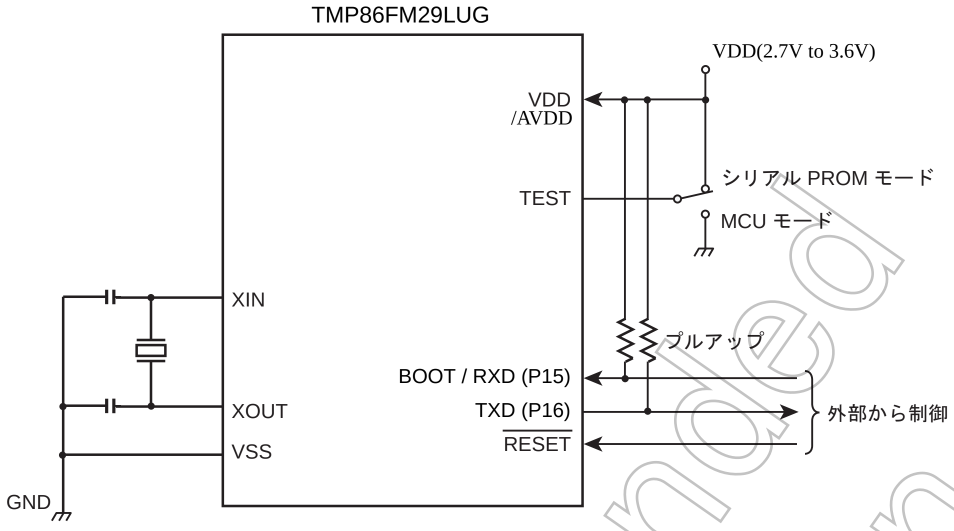


図 17-2 シリアル PROM モード端子設定

注) その他の端子処理については、「表 17-3 シリアル PROM モードの端子機能」を参照してください。

17.3.3 オンボード書き込み接続例

図 17-3 にオンボード書き込みを行う場合の接続例を示します。

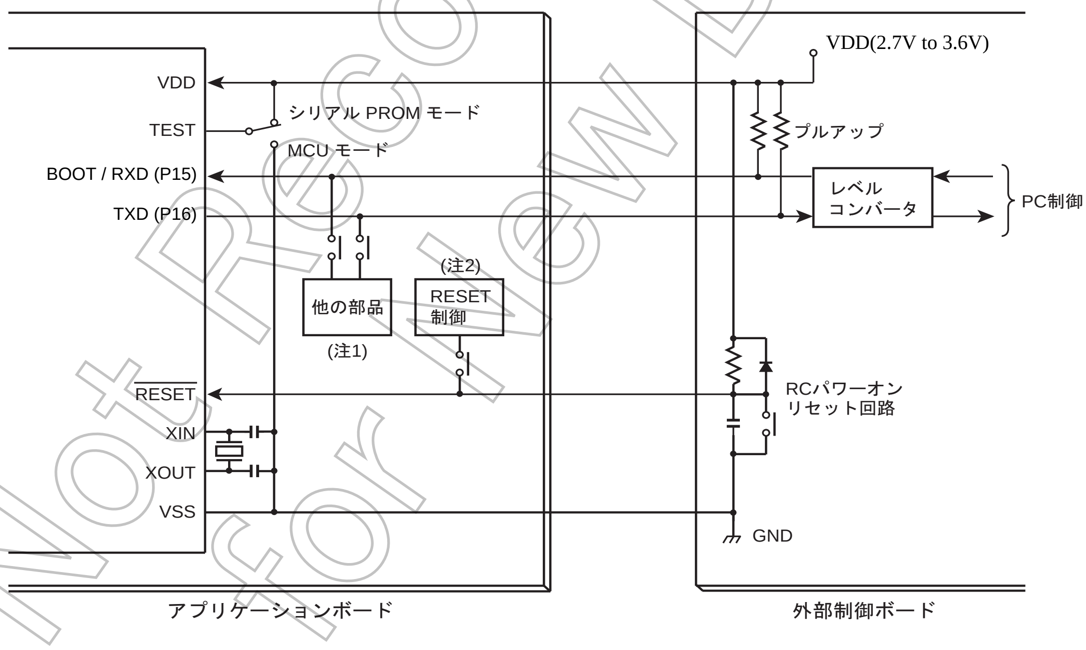


図 17-3 オンボード書き込み接続例

注 1) アプリケーション基板上の他の部品が、シリアル PROM モードの UART 通信に影響を与える場合、これらの端子はジャンパーやスイッチなどで切り離してください。

注 2) アプリケーション基板上のリセット制御回路が、シリアル PROM モードの起動に影響を与える場合、ジャンパー等で切り離してください。

注 3) その他の端子処理については、「表 17-3 シリアル PROM モードの端子機能」を参照してください。

17.3.4　シリアル PROM モードの起動

シリアル PROM モードを起動するには以下の手順で行います。図 17-4 にシリアル PROM モードの設定タイミングを示します。

1. VDD 端子に電源を供給します。
2. $\overline{\text{RESET}}$ 端子を L レベルに設定します。
3. TEST 端子, BOOT/RXD 端子を H レベルに設定します。
4. 電源およびクロック発振が十分安定するまで待ちます。
5. $\overline{\text{RESET}}$ 端子を L→H レベルに設定します。
6. セットアップ期間が経過した後、BOOT/RXD 端子にマッチングデータ 5AH を入力します。
   セットアップ期間については「17.16 UART タイミング」を参照してください。

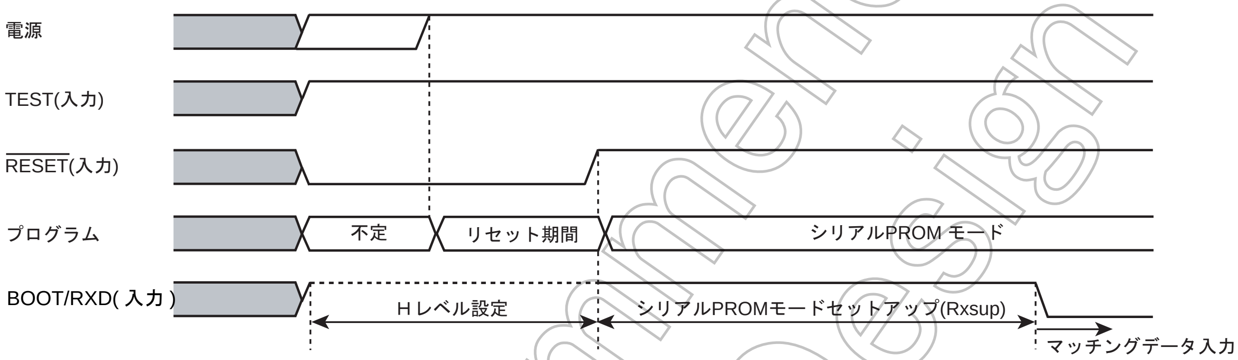


図 17-4 シリアル PROM モードタイミング

17.4 インタフェース仕様

シリアル PROM モードでの UART 通信フォーマットを以下に示します。

オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

初期ボーレートはマイコンの動作周波数によらず 9600 bps を自動検出します。その後、に示すボーレート変更データを TMP86FM29LUG に送信することによりボーレートの変更が可能です。にマイコンの動作周波数とボーレートを示します (に示されていない周波数では使用できません)。

- ボーレート(初期値) : 9600 bps
- データ長 : 8 ビット
- パリティビット : なし
- STOP ビット : 1 ビット

表 17-4 ボーレート変更データ

ボーレート変更データ	05H	06H	07H	0AH	18H	28H
ボーレート (bps)	62500	57600	38400	31250	19200	9600

表 17-5 シリアル PROM モード時の動作周波数とボーレート対応表

(注 3)	基準ボーレート (bps)		62500		57600		38400		31250		19200		9600	
	ボーレート変更データ		05H		06H		07H		0AH		18H		28H	
	基準周波数 (MHz)	対応範囲 (MHz)	Baud rate (bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)
1	2	1.91~2.10	-	-	-	-	-	-	-	-	-	-	9615	+0.16
2	4	3.82~4.19	-	-	-	-	-	-	31250	0.00	19231	+0.16	9615	+0.16
	4.19	3.82~4.19	-	-	-	-	-	-	32734	+4.75	20144	+4.92	10072	+4.92
3	4.9152	4.70~5.16	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	5	4.70~5.16	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
4	6	5.87~6.45	-	-	-	-	-	-	-	-	-	-	9375	-2.34
	6.144	5.87~6.45	-	-	-	-	-	-	-	-	-	-	9600	0.00
5	7.3728	7.05~7.74	-	-	57600	0.00	-	-	-	-	19200	0.00	9600	0.00
6	8	7.64~8.39	62500	0.00	-	-	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16

注 1) 基準周波数と対応範囲はシリアル PROM モードが動作可能な周波数です。ただし周波数が対応範囲内であっても、外部コントローラ(パソコン等)や発振子の周波数誤差、通信端子の負荷容量などの要因により、シリアル PROM モードが正しく動作しない場合があります。

注 2) 基準周波数で確実に自動検出を行うために、外部コントローラ(パソコン等)と、発振周波数誤差との総合誤差を±3%以内で使用することを推奨します。

注 3) 外部コントローラはボーレートの自動検出が行われるまで、マッチングデータ(5AH)を繰り返し送信する必要があります。上記は各周波数におけるマッチングデータの送信回数を示します。

17.5　動作コマンド

シリアル PROM モードでは、表 17-6 に示す 8 つのコマンドを使用します。リセット解除後、TMP86FM29LUG はマッチングデータ (5AH) 待ちの状態となります。

表 17-6 シリアル PROM モード動作コマンド

コマンドデータ	動作モード	備考
5AH	セットアップ	マッチングデータ。リセット解除後は、常にこのコマンドからスタートします。
F0H	フラッシュメモリ消去	フラッシュメモリ領域(アドレス 8000H~FFFFH)の消去が可能です。
30H	フラッシュメモリ書き込み	フラッシュメモリ領域 (アドレス 8000H~ FFFFH) への書き込みが可能です。
60H	RAM ローダ	特定の RAM 領域 (アドレス 0050H~063FH) への書き込みが可能です。
90H	フラッシュメモリ SUM 出力	フラッシュメモリの全領域 (アドレス 8000H~FFFFH) のチェックサム(2 バイト) の上位、下位の順に出力します。
C0H	製品識別コード出力	製品を識別するためのコード(13 バイトデータ)を出力します。
C3H	フラッシュメモリステータス出力	Security Program の状態等のステータスコード(7 バイトデータ)を出力します。
FAH	フラッシュメモリ Security Program 設定	Security Program の設定が可能です。

17.6　動作モード

シリアル PROM モードには、(1)フラッシュメモリ消去、(2) フラッシュメモリ書き込み、(3) RAM ローダ、 (4) フラッシュメモリ SUM 出力、 (5) 製品識別コード出力、 (6)フラッシュメモリステータス出力、(7)フラッシュメモリ Security Program 設定の 7 種類のモードがあります。以下は、各モードの概要です。

1. フラッシュメモリ消去モード

   チップイレース（フラッシュメモリの全面消去）またはセクタイレース（フラッシュメモリの 4K バイト単位の消去）のいずれかの方法でフラッシュメモリを消去することができます。消去されたエリアのデータは FFH となります。Security Program が設定されている場合、フラッシュ消去モードのセクタイレースは実行できません。Security Program 設定を解除するには、フラッシュ消去モードのチップイレースを実行してください。なお、TMP86FM29LUG はブランク品の場合を除き、フラッシュメモリの消去を行う前にパスワード照合を行います。パスワードが一致しない限り、フラッシュメモリ消去モードは実行されません。

2. フラッシュメモリ 書き込みモード

   指定したフラッシュメモリのアドレスに、1 バイト単位で任意のデータを書き込むことができます。外部コントローラは、書き込みデータをインテル HEX フォーマットのバイナリデータとして送信してください。エンドレコードまでエラーがなければ、TMP86FM29LUG はフラッシュメモリ全領域(8000H ~ FFFFH) のチェックサムを計算し、その結果を返します。なお、フラッシュメモリ書き込みモードは、Security Program が設定されている場合、実行できません。この場合事前にフラッシュメモリ消去モードによってチップイレースを実行してください。また、TMP86FM29LUG はブランク品の場合を除き、フラッシュメモリ書き込みモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ書き込みモードは実行されません。

3. RAM ローダモード

   RAM ローダは、外部コントローラからインテル HEX フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了するとチェックサムを計算し、その結果を送信後、最初のデータレコードで指定された RAM のアドレスにジャンプし、ユーザープログラムの実行を開始します。なお、RAM ローダモードは、Security Program が設定されている場合、実行できません。この場合事前にフラッシュメモリ消去モードによってチップイレースを実行してください。また、TMP86FM29LUG はブランク品の場合を除き、RAM ローダモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、RAM ローダモードは実行されません。

4. フラッシュメモリ SUM 出力モード

   フラッシュメモリ全領域(8000H ~ FFFFH) のチェックサムを計算し、その結果を返します。BOOTROM ではフラッシュメモリを読み出す動作コマンドはサポートしていませんので、アプリケーションプログラムのレビジョン管理を行う場合などは、このチェックサムによりプログラムの識別を行ってください。

5. 製品識別コード出力モード

製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM の領域を示す情報を含んだ 13 バイトのデータで構成されます。外部コントローラはこのコードを読み取ることにより、書き込みを行う製品の識別をすることができます。

(TMP86FM29LUG の場合、ROM の領域はアドレス 8000H~FFFFH となります。)

6. フラッシュメモリステータス出力モード

FFE0H ~ FFFFH の状態と Security Program の状態が出力されます。出力されるコードは 7 バイトです。外部コントローラはこのコードを読み取ることにより、フラッシュメモリの状態を識別することができます。

7. フラッシュメモリ Security Program 設定モード

パラレル PROM モードでのフラッシュメモリデータの読み出しを禁止します。シリアル PROM モードでは、フラッシュメモリ書き込みモード、RAM ローダーモードが禁止されます。フラッシュメモリ Security Program 設定を解除するにはフラッシュメモリ消去モードで、チップイレースを実行してください。

17.6.1　フラッシュメモリ消去モード (動作コマンド: F0H)

表 17-7 にフラッシュメモリ消去モードを示します。

表 17-7 フラッシュメモリ消去モード

	転送バイト数	外部コントローラから TMP86FM29LUG への転送データ	ボーレート	TMP86FM29LUG から 外部コントローラへの転送データ
	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK:エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ( ) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (F0H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (F0H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	Password 数格納先アドレス 15-08 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	Password 数格納先アドレス 07-00 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
BOOT ROM	11 バイト目 12 バイト目	Password 比較開始アドレス 15-08 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	Password 比較開始アドレス 07-00 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	Password 列 注 4,5) -	変更後ボーレート 変更後ボーレート	- OK:何も送信しません Error: 何も送信しません
	n バイト目	消去範囲指定 注 2)	変更後ボーレート	-
	n'th-1 バイト目	-	変更後ボーレート	OK: チェックサム(上位) (注 3) Error: 何も送信しません
	n'th バイト目	-	変更後ボーレート	OK: チェックサム(下位) (注 3) Error: 何も送信しません
	n'th+1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1)　"xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2)　消去範囲指定については「17.13 消去範囲指定」を参照してください。

注 3)　チェックサムについては、後述の「17.8 チェックサム(SUM)」を参照してください。

注 4)　パスワードについては、後述の「17.10 パスワード」を参照してください。

注 5)　ブランク品には、Password 列は送信しないでください。

注 6)　パスワードエラーが発生した場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 7)　パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ消去モードの動作

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリ消去モードコマンドデータ（F0 H）となります。
3. 5 バイト目の受信データが表 17-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値（この場合 F0H）をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード（63H）を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同様です。ただしブランク品の場合はパスワード列を送信しないでください（ダミーのパスワード列を送信しないでください）。
5. n-2 バイト目は消去範囲指定データです。上位 4 ビットが消去範囲の開始アドレス、下位 4 ビットが終了アドレスです。詳細については、「17.13 消去範囲指定」を参照してください。
6. n-1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については、「17.8 チェックサム(SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合のみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. デバイスはチェックサムを送信後、動作コマンドデータ待ちの状態となります。

17.6.2　フラッシュメモリ書き込みモード (動作コマンド: 30H)

表 17-8 にフラッシュメモリ書き込みモードの転送フォーマットを示します。

表 17-8 フラッシュメモリ書き込みモード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM29LUG への転送データ	ボーレート	TMP86FM29LUG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ( ) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (30H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (30H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスのビット 15~08 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスのビット 07~00 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスのビット 15~08 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスのビット 07~00 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) - 	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	m + 1 バイト目 : n - 2 バイト目	インテル HEX フォーマット (Binary) (注 2)	変更後ボーレート	- -
	n - 1 バイト目	-	変更後ボーレート	OK: チェックサム (High) (注 3) Error: 何も送信しません
	n バイト目	-	変更後ボーレート	OK: チェックサム (Low) (注 3) Error: 何も送信しません
	n + 1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1)　“xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。 詳細は「17.7 エラーコード」を参照してください。

注 2)　インテル HEX フォーマットについては、「17.9 インテル Hex フォーマット(Binary)」 を参照してください。

注 3)　チェックサムについては、「17.8 チェックサム(SUM)」 を参照してください。

注 4)　パスワードについては、「17.10 パスワード」 を参照してください。

注 5)　FFE0H~FFFFH の領域がすべて “FFH” の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6)　フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 7)　パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、$\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 8) フラッシュメモリのすべてのデータが同一データの場合、アドレス FFE0H~FFFFH 領域にのみ書き込みを行わないでください。もし、この領域にのみ書き込みが行われるとパスワードエラーとなるため、以降の処理が実行できなくなります。

注 9) 既にデータ(FFH を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書込みを実行して下さい。

フラッシュメモリ書き込みモードの動作説明

1. 1 バイト目の受信データはマッチングデータです。シリアル PROM モードを起動すると、TMP86FM29LUG(以下、デバイスと呼ぶ) はマッチングデータ (5AH) の受信待ちとなります。デバイスはマッチングデータを受信することで、UART の初期ボーレートを自動的に 9600 bps にあわせます。
2. デバイスがマッチングデータ (5AH) を受信すると、2 バイト目のデータとしてエコーバックデータ (5AH) を外部コントローラに送信します。もし、デバイスがマッチングデータを認識できなかった場合、エコーバックデータは返さず、ボーレートの自動調整を行って再度マッチングデータの受信待ちの状態となります。したがって、外部コントローラはデバイスがエコーバックデータを送信するまでマッチングデータを繰り返し送信する必要があります。なお、繰り返し回数はデバイスの周波数に応じて変わります。詳細はを参照してください。
3. 3 バイト目の受信データはボーレート変更データです。ボーレート変更データはに示すとおり 5 種類あります。なお、ボーレートの変更を行わない場合でも、外部コントローラはボーレートの初期値データ (28H: 9600 bps) を送信する必要があります。
4. 3 バイト目の受信データが、動作周波数に対応したボーレートデータのいずれかに該当するときのみ、デバイスは 4 バイト目のデータとして、受信したデータと同じ値をエコーバック送信します。なお、ボーレートの変更は、ボーレート変更データに対するエコーバックデータを送信した後、有効となります。もし、3 バイト目の受信データが、いずれのボーレート変更データに該当しない場合、デバイスはボーレート変更エラーコード (62H) を 3 バイト送信した後、動作停止状態となります。
5. 5 バイト目の受信データはフラッシュメモリ書き込みモードコマンドデータ (30H) となります。
6. 5 バイト目の受信データが表 17-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 30H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
7. 7 バイト目はパスワード数格納アドレスのビット 15~8 のデータとなります。7 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
8. 9 バイト目はパスワード数格納アドレスのビット 7~0 のデータとなります。9 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
9. 11 バイト目はパスワード比較開始アドレスのビット 15~8 のデータとなります。11 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
10. 13 バイト目はパスワード比較開始アドレスのビット 7~0 のデータとなります。13 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
11. 15~m バイト目の受信データはパスワードデータとなります。パスワード数は、パスワード数格納アドレスに格納されているデータ (N) となります。パスワードデータは、パスワード比較開始アドレスにて指定されたアドレスから N バイト分のデータと比較されます。したがって、外部コントローラは N バイトのパスワードデータを送信する必要があります。パスワードが一致しない場合、デバイスはエラーコードを送信せず、動作停止状態となります。なお、FFE0H~FFFFH 領域がすべて FFH の場合はブランク品と判定され、パスワード比較は行われません。
12. m + 1 バイト目 ~ n − 2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク(3AH、“:”)を受信してからデータレコードの受信を開始しま

すので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。

デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。

13. n－1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「17.8 チェックサム(SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
14. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

17.6.3 RAM ローダモード(動作コマンド: 60H)

表 17-9 に RAM ローダモードの転送フォーマットを示します。

表 17-9 RAM ローダモード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM29LUG への転送データ	ボーレート	TMP86FM29LUG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ( ) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (60H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (60H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスの ビット 15~08 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスの ビット 07~00 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスの ビット 15~08 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスの ビット 07~00 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) -	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	m + 1 バイト目 : n - 2 バイト目	インテル HEX フォーマット (Binary) (注 2)	変更後ボーレート 変更後ボーレート	- -
	n - 1 バイト目	-	変更後ボーレート	OK:チェックサム (High) (注 3) Error: 何も送信しません
	n バイト目	-	変更後ボーレート	OK: チェックサム (Low) (注 3) Error: 何も送信しません
RAM	-	書き込みを開始した RAM の先頭アドレスにジャンプしプログラムを実行します。		

注 1) “xxH × 3” を 3 バイト送信した後、動作停止状態となることを意味します。詳細は 「17.7 エラーコード」を参照してください。

注 2) インテル HEX フォーマットについては 「17.9 インテル Hex フォーマット(Binary)」 を参照してください。

注 3) チェックサムについては、 「17.8 チェックサム(SUM)」を参照してください。

注 4) パスワードについては、「17.10 パスワード」 を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “FFH” の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) パスワード列を送信した後、エンドレコードだけの送信を行わないようにしてください。もし、デバイスがパスワード列を受信した後にエンドレコードを受信した場合、正しく動作しないことがあります。

注 7) フラッシュメモリ Security Program が設定されている場合、またはパスワードエラーが発生した場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 8)　パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、$\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 9)　既にデータ(FFH を含む)が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書込みを実行して下さい。

RAM ローダモードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは RAM ローダモードコマンドデータ(60H)となります。
3. 5 バイト目の受信データが表 17-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値(この場合 60H)をエコーバック送信します。 もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. m + 1 バイト目 ~ n − 2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク (3AH、 “:”) を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。データレコードのうち、データはアドレスにて指定された RAM に書き込まれます。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
6. n − 1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「17.8 チェックサム(SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. チェックサムを送信後、最初に受信したデータレコードで指定される RAM アドレスにジャンプし、プログラムの実行を開始します。

17.6.4　フラッシュメモリ SUM 出力モード (動作コマンド: 90H)

表 17-10 にフラッシュメモリ SUM 出力モードの転送フォーマットを示します。

表 17-10 フラッシュメモリ SUM 出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM29LUG への転送データ	ボーレート	TMP86FM29LUG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ( ) -	9600 bps 9600 bps	- OK:エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (90H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (90H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目	-	変更後ボーレート	OK: チェックサム (High) (注 2) Error: 何も送信しません
	8 バイト目	-	変更後ボーレート	OK: チェックサム (Low) (注 2) Error: 何も送信しません
	9 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1)　“xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「17.7 エラーコード」を参照してください。

注 2)　チェックサムについては「17.8 チェックサム(SUM)」を参照してください。.

フラッシュメモリ SUM 出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データはフラッシュメモリ SUM 出力モードコマンドデータ(90H)となります。
3. 5 バイト目の受信データが「表 17-6 シリアル PROM モード動作コマンド」に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 90H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目と 8 バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「17.8 チェックサム(SUM)」を参照してください。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

17.6.5　製品識別コード出力モード(動作コマンド: C0H)

表 17-11 に製品識別コード出力モードの転送フォーマットを示します。

表 17-11 製品識別コード出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM29LUG への転送データ	ボーレート	TMP86FM29LUG から 外部コントローラへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	-(ボーレート自動判定) OK:エコーバックデータ (5AH) Error: 何も送信しません	
	3 バイト目 4 バイト目	ボーレート変更データ( ) -	9600 bps 9600 bps	- OK:エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)	
	5 バイト目 6 バイト目	動作コマンドデータ(C0H) -	変更後ボーレート 変更後ボーレート	- OK:エコーバックデータ (C0H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)	
	7 バイト目		変更後ボーレート	3AH	スタートマーク
	8 バイト目		変更後ボーレート	0AH	転送データ数 (9~18 バイト目までのバイト数)
	9 バイト目		変更後ボーレート	02H	アドレス長 (2 バイト)
	10 バイト目		変更後ボーレート	1DH	Reserved
	11 バイト目		変更後ボーレート	00H	Reserved
	12 バイト目		変更後ボーレート	00H	Reserved
	13 バイト目		変更後ボーレート	00H	Reserved
	14 バイト目		変更後ボーレート	01H	ROM のブロック数 (1 ブロック)
	15 バイト目		変更後ボーレート	80H	ROM の先頭アドレス (上位)
	16 バイト目		変更後ボーレート	00H	ROM の先頭アドレス (下位)
	17 バイト目		変更後ボーレート	FFH	ROM の終了アドレス (上位)
	18 バイト目		変更後ボーレート	FFH	ROM の終了アドレス (下位)
	19 バイト目		変更後ボーレート	62H	転送データのチェックサム (9~18 バイト目までのチェックサム)
	20 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-	

注)　“xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「17.7 エラーコード」を参照してください。

製品識別コード出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは製品識別コード出力モードコマンドデータ (C0H) となります。
3. 5 バイト目の受信データが表 17-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C0H) をエコーバック送信します。 もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 9 バイト目から 19 バイト目は製品識別コードとなります。識別コードの詳細については「17.11 製品識別コード」を参照してください。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

17.6.6 フラッシュメモリステータス出力モード (動作コマンド: C3H)

表 17-12 にフラッシュメモリステータス出力モードを示します。

表 17-12 フラッシュメモリステータス出力モード

	転送バイト数	外部コントローラから TMP86FM29LUG への転送データ	ボーレート	TMP86FM29LUG から 外部コントローラへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません	
	3 バイト目 4 バイト目	ボーレート変更データ ( ) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)	
	5 バイト目 6 バイト目	動作コマンドデータ (C3H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (C3H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)	
	7 バイト目		変更後ボーレート	3AH	スタートマーク
	8 バイト目		変更後ボーレート	04H	バイトカウント (9 ~ 12 バイト目までの数)
	9 バイト目		変更後ボーレート	00H ~ 03H	ステータスコード 1
	10 バイト目		変更後ボーレート	00H	Reserved
	11 バイト目		変更後ボーレート	00H	Reserved
	12 バイト目		変更後ボーレート	00H	Reserved
	13 バイト目		変更後ボーレート	チェックサム (9~12 バイト目までの総和の 2 の補数) 9 バイト目が 00H のとき : 00H 9 バイト目が 01H のとき : FFH 9 バイト目が 02H のとき : FEH 9 バイト目が 03H のとき : FDH	
	14 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-	

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。.
注 2) ステータスコード 1 の詳細については、「17.12 フラッシュメモリステータスコード」を参照してください。

フラッシュメモリステータス出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリステータス出力モードコマンドデータ（C3H）となります。
3. 5 バイト目の受信データが表 17-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値（この場合 C3H）をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード（63H）を 3 バイト送信した後、動作停止状態となります。
4. 9~13 バイト目は、ステータスコードとなります。ステータスコードの詳細については、「17.12 フラッシュメモリステータスコード」を参照してください。.
5. ステータスコードを送信後、次の動作コマンドデータ待ちの状態となります。

17.6.7　フラッシュメモリ Security Program 設定モード (動作コマンド: FAH)

表 17-13 にフラッシュメモリ Security Program 設定モードを示します。

表 17-13 フラッシュメモリ Security Program 設定モード

	転送バイト数	外部コントローラから TMP86FM29LUG への転送データ	ボーレート	TMP86FM29LUG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ(5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ ( ) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (FAH) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (FAH) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	Password 数格納先アドレス 15-08 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	Password 数格納先アドレス 07-00 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	Password 比較開始アドレス 15-08 (注 2)	変更後ボーレート	- OK:何も送信しません Error:何も送信しません
	13 バイト目 14 バイト目	Password 比較開始アドレス 07-00 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	Password 列 (注 2) -	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	n バイト目	-	変更後ボーレート	OK: FBH (注 3) Error: 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1)　"xxH × 3"の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。
注 2)　パスワードについては、後述の「17.10 パスワード」を参照してください。
注 3)　ブランク品に対して Security Program 設定モードを実行した場合、また、非ブランク品でパスワードエラーが発生した場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。この場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。
注 4)　パスワードアドレス、列データ受信中に通信エラーが発生した場合、TMP86FM29LUG は UART 通信を終了し動作停止状態となります。この場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ Security Program 設定モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリステータス出力モードコマンドデータ（FAH）となります。
3. 5 バイト目の受信データが「表 17-6 シリアル PROM モード動作コマンド」に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値（この場合 FAH）をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード（63H）を 3 バイト送信した後、動作停止状態となります。

4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. n バイト目は、フラッシュメモリ Security Program が成功した場合、ステータスが外部コントローラに送信されます。

17.7　エラーコード

デバイスが各エラーを検出した場合に送信するエラーコードを表 17-14 に示します。

表 17-14 エラーコード一覧

送信データ	エラー内容
62H, 62H, 62H	ボーレート変更データエラー
63H, 63H, 63H	動作コマンドエラー
A1H, A1H, A1H	受信データのフレーミングエラー
A3H, A3H, A3H	受信データのオーバーランエラー

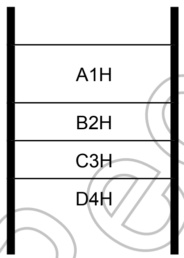
注)　パスワードエラーの場合は、エラーコードは送信されません。

17.8　チェックサム(SUM)

17.8.1　計算方法

チェックサム (SUM) は byte + byte... + byte の結果をワードで返します。つまり、バイトでデータを読み出して計算し、その結果をワードで返します。

例）



左記 4 バイトが計算対照データの場合、チェックサムは以下のようになります。

A1H + B2H + C3H + D4H = 02EAH
SUM (HIGH)= 02h
SUM (LOW)= EAH

フラッシュメモリ書き込みモード、RAM ローダモードおよびフラッシュメモリ SUM 出力モードを実行した際に送信されるチェックサムは、本計算方法を使用します。

17.8.2　計算対象データ

表 17-15 に各モードにおけるチェックサムの計算対象データを示します。

表 17-15 チェックサムの計算対象データ

動作モード	計算対象データ	備考
フラッシュメモリ書き込みモード	フラッシュメモリの全領域のデータ	フラッシュメモリの一部に書き込みを行った場合でも、フラッシュメモリ全領域(8000H ~ FFFFH)のチェックサムを計算します。なお、インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
フラッシュメモリ SUM 出力モード		
RAM ローダモード	最初に受信した RAM アドレスから最後に受信した RAM アドレスまでに書き込まれた RAM のデータ	インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
製品識別コード出力モード	転送データの 9~18 バイト目のデータ	詳細については、「17.11 製品識別コード」を参照してください。
フラッシュメモリステータス出力モード	転送データの 9~12 バイト目のデータ	詳細については、「表 17-12 フラッシュメモリステータス出力モード」を参照してください。
フラッシュメモリ消去モード	消去したフラッシュメモリエリアの全データ（フラッシュメモリの全体または一部）	ブロック消去を行った場合は、消去した領域のみがチェックサムの対象となります。チップイレース（全面消去）を行った場合は、フラッシュメモリの全領域がチェックサムの対象となります。

17.9 インテル Hex フォーマット(Binary)

1. デバイスは各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク (3AH “:”) 待ちとなりますので、外部コントローラがレコード間に 3AH 以外のデータを送信してもそのデータは無視されます。
2. 外部コントローラは、エンドレコードのチェックサムを送信した後は何も送信せず、2 バイトの受信データ (チェックサムの上位と下位) 待ちとなるようにしてください。
3. 受信エラーまたはインテル HEX フォーマットエラーが発生した場合は、エラーコードを送信せず、デバイスは動作停止状態となります。インテル HEX フォーマットエラーは以下の場合発生します。
   - レコードタイプが“00h”、“01h”、“02h”以外の場合
   - チェックサムエラーが発生した場合
   - 拡張レコード(レコードタイプ = 02H)のデータ長が 02H でない場合
   - 拡張レコード(レコードタイプ= 02H)の拡張アドレスが 1000H 以上で、 その後データレコードを受信した場合
   - エンドレコード(レコードタイプ= 01H)のデータ長が 00H でない場合

17.10　パスワード

TMP86FM29LUG はフラッシュメモリ内の任意のデータ (連続する 8 バイト以上のデータ) をパスワードとして設定することができ、外部コントローラから送信されるパスワード列と、パスワードに設定されたデータ列との照合を行うことによりパスワード判定を行います。パスワードを指定できる領域は、フラッシュメモリ内のアドレス 8000H~FF9FH となります(アドレス FFA0H~FFFFH はパスワードとして設定できません)。

アドレス FFE0H~FFFFH のデータがすべて“FFH”の場合、ブランク品とみなされパスワード判定は行われません。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスを送信する必要があります。「表 17-16 ブランク品と書き込み品でのパスワード設定方法」にブランク品と書き込み品の場合のパスワード設定方法を示します。

表 17-16 ブランク品と書き込み品でのパスワード設定方法

パスワード	ブランク品(注 1)	書き込み品
PNSA (パスワード数格納アドレス)	8000H ≦ PNSA ≦ FF9FH	8000H ≦ PNSA ≦ FF9FH
PCSA (パスワード比較開始アドレス)	8000H ≦ PCSA ≦ FF9FH	8000H ≦ PCSA ≦ FFA0 - N
N (パスワード数)	*	8 ≦N
パスワード列の設定	不要 (注 5)	必要 (注 2)

注 1)　アドレス FFE0H~FFFFH の領域がすべて“FFH”となっている製品をブランク品とします。

注 2)　3 バイト以上同一となるデータは、パスワード列として設定できません (パスワード判定でエラーとなり、TMP86FM29LUG は何のデータも送信せず、停止状態となります)。

注 3)　*: Don’t care.

注 4)　上記条件を満たさない場合パスワードエラーとなります。なおパスワードエラーが発生した場合、デバイスはエラーコードを送信せず、動作停止状態となります。

注 5)　フラッシュメモリ書き込みモード、RAM ローダモードの時、ブランク品は PCSA の受信後、パスワード列の受信は行わず即座に Intel-Hex フォーマットの受信処理を行います。このとき外部コントローラはダミーのパスワード列を送信したとしても、デバイスは Intel-Hex フォーマットとしてスタートマーク(3AH ":")を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に "3AH"が含まれていると、誤ってスタートマークと検出されるためマイコンは動作停止状態となります。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

注 6)　フラッシュメモリ消去モードでは、ブランク品に対してパスワード列を送信しないでください。

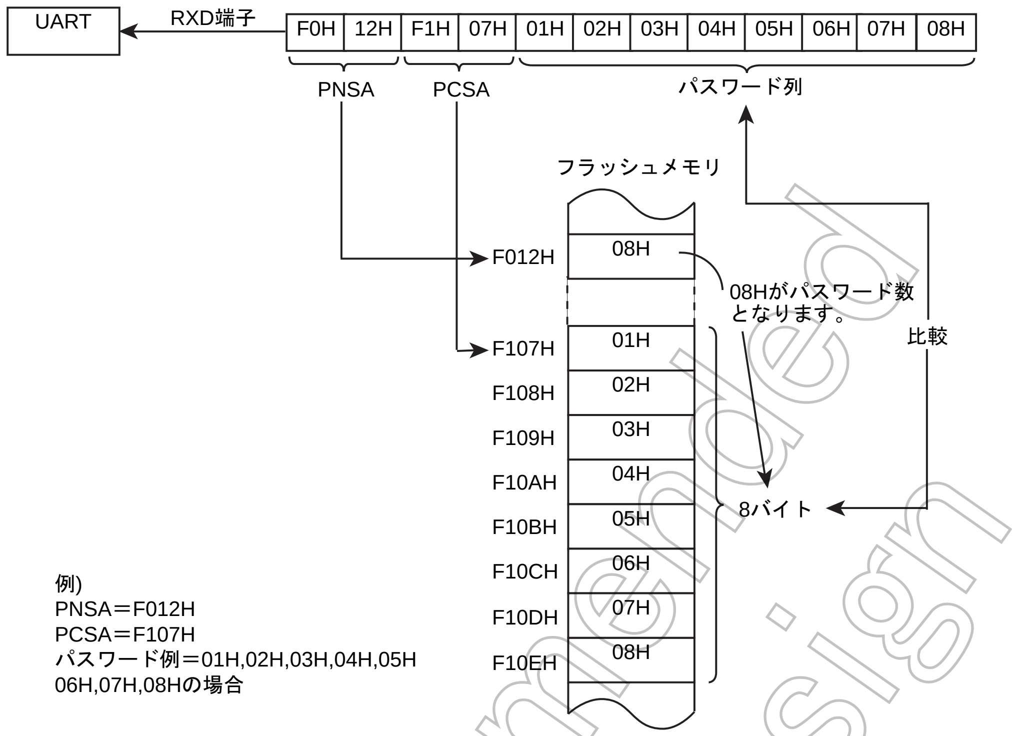


図 17-5 パスワードの比較(例)

17.10.1 パスワード列

外部コントローラが送信したパスワード列は、指定されたフラッシュメモリのデータと比較されます。パスワード列と指定されたフラッシュメモリのデータが一致しなかった場合、パスワードエラーとなり、マイコンは動作停止状態となります。

17.10.2 パスワードエラー処理

パスワードエラーが発生した場合、デバイスは動作停止状態となります。この場合、シリアル PROM モードを再起動するためにデバイスをリセットしてください。

17.10.3 ソフトウエア開発時のパスワードについて

ソフトウエアの開発時にプログラムの変更が何度も行われると、パスワードが分からなくなってしまうことがあります。よって、ソフトウエアの開発時はパスワードを固定にすることを推奨します。

（プログラム例）F000H に PNSA、F001H から 8 バイトをパスワード列に割り当てる。
(PCSA は F001H になります)
Password Section code abs = 0F000H

```
DB      08H             ; PNSA の定義
DB      “CODE1234”      ; パスワード列の定義
```

17.11　製品識別コード

製品識別コードは、ROM の先頭アドレス、終了アドレスを含む 13 バイトのデータです。 表 17-17 に製品識別コードのデータフォーマットを示します。.

表 17-17 製品識別コードのデータフォーマット

データ	データの意味	TMP86FM29LUG の場合のデータ
1st	スタートマーク (3AH)	3AH
2nd	転送データ数 (3rd ~ 12th データの 10 バイト)	0AH
3rd	アドレスのバイト長 (2 バイト)	02H
4th	Reserved	1DH
5th	Reserved	00H
6th	Reserved	00H
7th	Reserved	00H
8th	ROM のブロック数	01H
9th	ROM の先頭アドレス (上位)	80H
10th	ROM の先頭アドレス (下位)	00H
11th	ROM の終了アドレス (上位)	FFH
12th	ROM の終了アドレス (下位)	FFH
13th	転送データのチェックサム (3rd ~ 12th データまでの総和の 2 の補数)	62H

17.12 フラッシュメモリステータスコード

フラッシュメモリステータスコードは 7 バイトのデータで、フラッシュメモリ Security Program の状態、FFE0H から FFFFH の状態を示します。

表 17-18 フラッシュメモリステータスコード

データ	データの意味	TMP86FM29LUG の場合
1st	スタートマーク	3AH
2nd	転送データ数 (3rd ~ 6th データの 4 バイト)	04H
3rd	ステータスコード	00H ~ 03H (下記を参照)
4th	Reserved	00H
5th	Reserved	00H
6th	Reserved	00H
7th	転送データのチェックサム (3th ~ 6th データまでの総和の 2 の補数)	3rd データが 00H のとき : 00H 3rd データが 01H のとき : FFH 3rd データが 02H のとき : FEH 3rd データが 03H のとき : FDH

ステータスコード 1

7	6	5	4	3	2	1	0	
						RPENA	BLANK	初期値(0000 00**)

RPENA	フラッシュメモリ Security Program 状態	0: Security Program が解除された状態 1: Security Program が設定された状態
BLANK	FFE0H ~ FFFFH の状態	0: FFE0 ~ FFFFH までの領域のデータがすべて FFH の場合 1: FFE0 ~ FFFFH までの領域のデータが上記以外の場合

ステータスコード 1 の内容によって、実行が制限されるコマンドがあります。詳細は以下の表を参照してください。フラッシュメモリ Security Program が設定されると「フラッシュメモリ書き替えコマンド」、「RAM ローダコマンド」は実行できなくなります。これらのコマンドを実行するためには事前にフラッシュの全面消去を実行してください。

RPENA	BLANK	フラッシュメモリ書替えモード	RAM ローダモード	フラッシュメモリ SUM 出力モード	製品識別コード出力モード	フラッシュメモリステータス出力モード	フラッシュメモリ消去モード チップイレース	フラッシュメモリ消去モード セクタイレース	フラッシュメモリ Security Program 設定モード
0	0	○	○	○	○	○	○		×
0	1	Pass	Pass	○	○	○	Pass		Pass
1	0	×	×	○	○	○	○	×	×
1	1	×	×	○	○	○	Pass	×	Pass

注) ○:コマンド実行可能
Pass: コマンド実行にはパスワードが必要
×:コマンド実行不可
(コマンドのエコーバックを返した後、TMP86FM29LUG は UART 通信を終了し動作停止状態となります)

17.13　消去範囲指定

フラッシュメモリ消去モードで、n-2 バイト目はフラッシュ領域の消去範囲を指定します。

ERASTA で消去領域の開始アドレス、ERAEND で消去領域の終了アドレスを指定します。

ERASTA ≤ ERAEND となるデータを指定すると、セクタイレース（フラッシュメモリの 4K バイト単位の消去）が実行されます。ただし Security Program が設定された状態でセクタイレースを実行すると無限ループ状態となります。

ERASTA > ERAEND となるデータを指定すると、チップイレース（フラッシュメモリの全面消去）が実行され、フラッシュメモリの Security Program が解除されます。よってフラッシュメモリの Security Program を解除するためには、セクタイレースではなくチップイレースを実行してください。

消去範囲指定データ（n-2 バイト目のデータ）

7	6	5	4	3	2	1	0
ERASTA				ERAEND			

ERASTA	消去領域開始アドレス	0000:　0000H ~ 0001:　1000H ~ 0010:　2000H ~ 0011:　3000H ~ 0100:　4000H ~ 0101:　5000H ~ 0110:　6000H ~ 0111:　7000H ~ 1000:　8000H ~ 1001:　9000H ~ 1010:　A000H ~ 1011:　B000H ~ 1100:　C000H ~ 1101:　D000H ~ 1110:　E000H ~ 1111:　F000H ~
ERAEND	消去領域終了アドレス	0000:　~ 0FFFH 0001:　~ 1FFFH 0010:　~ 2FFFH 0011:　~ 3FFFH 0100:　~ 4FFFH 0101:　~ 5FFFH 0110:　~ 6FFFH 0111:　~ 7FFFH 1000:　~ 8FFFH 1001:　~ 9FFFH 1010:　~ AFFFH 1011:　~ BFFFH 1100:　~ CFFFH 1101:　~ DFFFH 1110:　~ EFFFH 1111:　~ FFFFH

注)　フラッシュセルの存在しない領域に対してブロック消去を実行すると TMP86FM29LUG は UART 通信を終了し動作停止状態となります

17.14　ポート入力制御レジスタ

シリアル PROM モードでは、不使用ポートの貫通電流を防止するため、リセット解除後 P16、P15 ポートを除く全てのポート入力は、ハード的に入力レベルが固定されます(ポート入力やポートと兼用の周辺機能入力は無効になります)。従って RAM ローダモードを使用して UART 以外の方法でフラッシュメモリのアクセスを行う場合は、ポート入力を有効にする必要があります。ポート入力を有効にするには、ポート入力制御レジスタ(SPCR)の PIN を"1"に設定してください。

なお、MCU モードでは、SPCR レジスタは機能しません。

ポート入力制御レジスタ

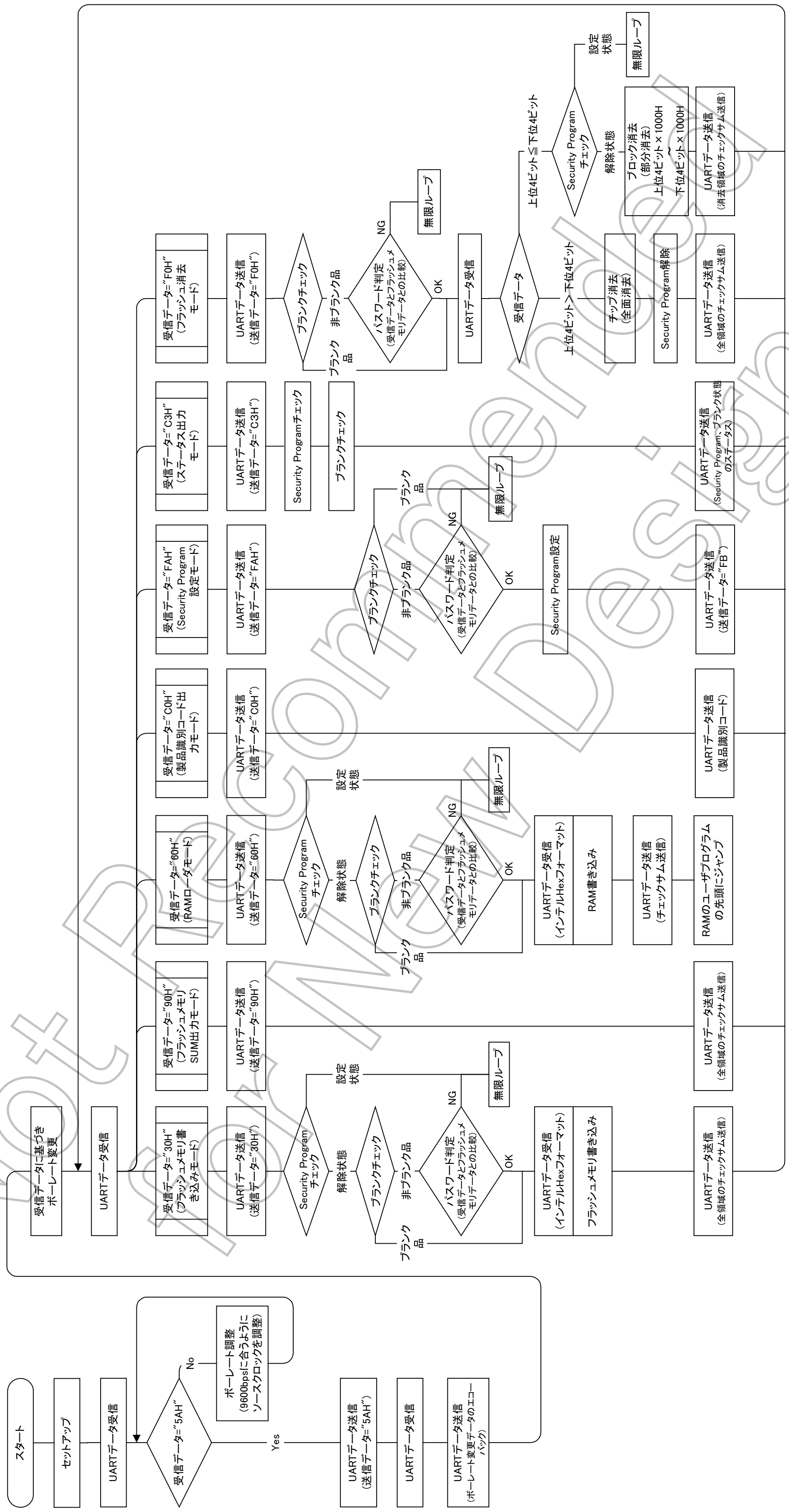
SPCR (0FEAH)	7	6	5	4	3	2	1	0	
								PIN	(初期値 : **** ***0)

PIN	シリアル PROM モードの ポート入力制御	0 : ポート入力無効 (ハード的に入力レベルが固定されます) 1 :ポート入力有効	R/W

注 1)　SPCR レジスタは、シリアル PROM モード時のみ R/W 可能です。MCU モードで同レジスタに対してライト命令を実行してもポート入力制御は機能しません。また、MCU モードで同レジスタに対してリード命令を実行すると不定値が読み出されます。

注 2)　SPCR レジスタによって制御されるのは、P16、P15 ポートを除く全ての I/O ポートです。

17.15　フローチャート



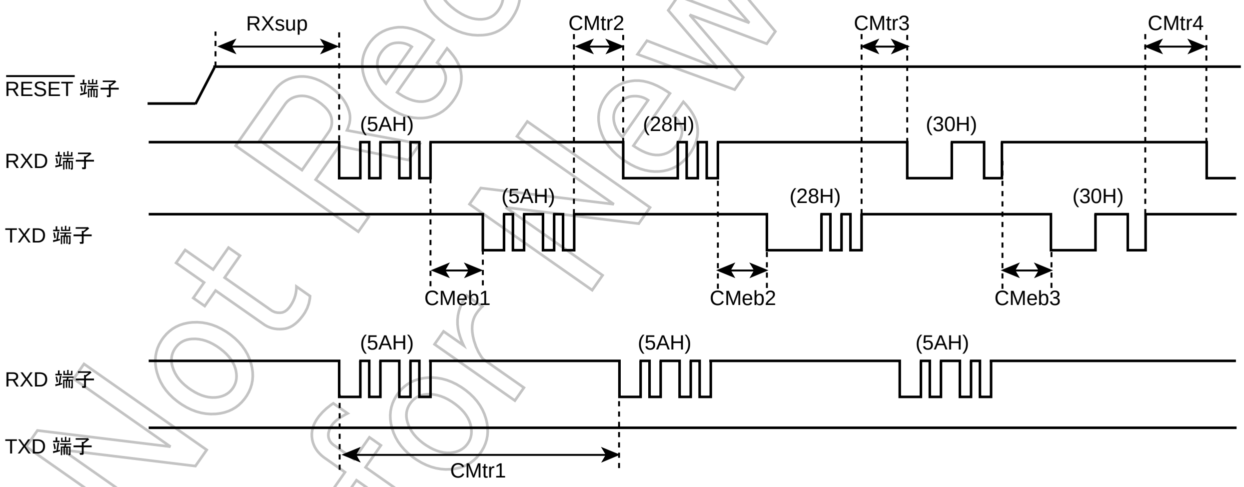
17.16 UART タイミング

表 17-19 UART タイミング-1 (VDD = 2.7 to 3.6V, fc = 2~8 MHz, Topr = -10 ~ 40ºC)

項目	記号	クロック数 (fc)	必要最低時間	
			At fc = 2 MHz	At fc = 8 MHz
マッチングデータ (5AH) 受信からエコーバックまでの時間	CMeb1	Approx. 930	465 μs	116.2 μs
ボーレート変更データ受信からエコーバックまでの時間	CMeb2	Approx. 980	490 μs	122.6 μs
動作コマンド受信からエコーバックまでの時間	CMeb3	Approx. 800	400 μs	100 μs
チェックサム計算時間	CKsm	Approx. 7864500	3.93 s	983 μs
フラッシュメモリー括消去時間	CEall	-	45 ms	45 ms
フラッシュメモリー部消去時間(4K ごと)	CEsec	-	30 ms	30 ms

表 17-20 UART タイミング-2 (VDD = 2.7 to 3.6V, fc = 2~8MHz, Topr = -10 ~ 40ºC)

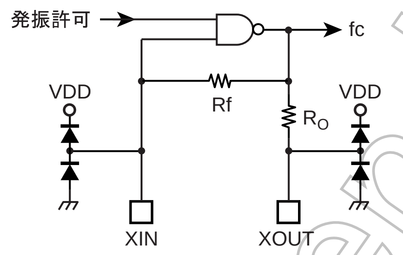
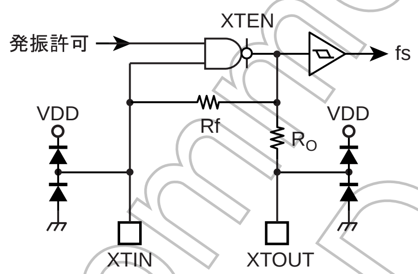
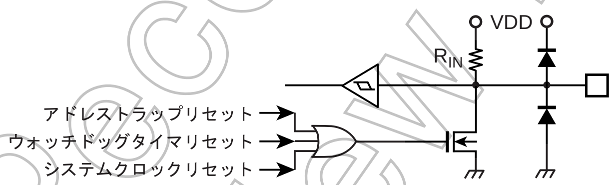
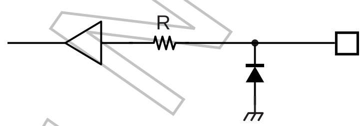
項目	記号	クロック数 (fc)	必要最低時間	
			At fc = 2 MHz	At fc = 8 MHz
リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間	RXsup	2100	1.05 ms	262.6 ms
マッチングデータ送信間隔	CMtr1	28500	14.2 ms	3.56 ms
マッチングデータのエコーバックからボーレート変更データ受信可能となるまでの時間	CMtr2	380	190 μs	47.6 μs
ボーレート変更データのエコーバックから動作コマンド受信可能となるまでの時間	CMtr3	650	325 μs	81.2 μs
動作コマンドのエコーバックからパスワード数格納アドレス(上位)受信可能となるまでの時間	CMtr4	800	400 μs	100 μs



第 18 章　端子の入出力回路

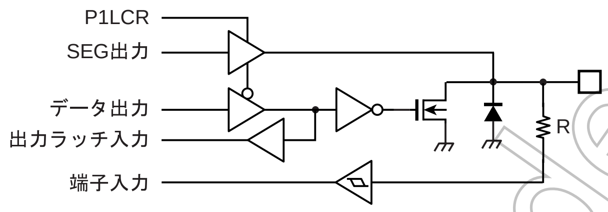
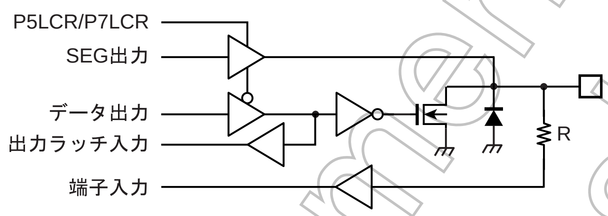
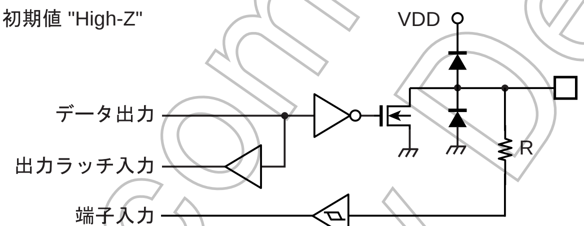
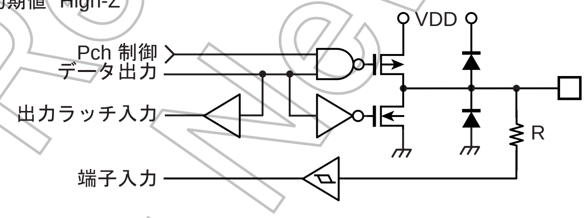
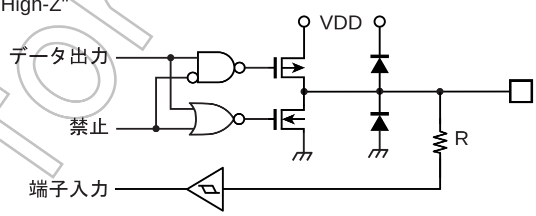
18.1　制御端子

TMP86FM29LUG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入出力		高周波発振子接続端子 R_f = 3 MΩ (typ.) R_O = 1 kΩ (typ.)
XTIN XTOUT	入出力		低周波発振子接続端子 R_f = 20 MΩ (typ.) R_O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入出力		シンクオープンドレイン出力 ヒステリシス入力 プルアップ抵抗内蔵 R_{IN} = 220 kΩ (typ.)
TEST	入力		プルダウン抵抗なし R = 100Ω (typ.) MCU モードでは必ず “L” レベルに固定してください。

注)　TMP86PM29A / TMP86PM29B / TMP86FM29LUG の TEST 端子には、プルダウン抵抗と保護ダイオード(D_1)は内蔵されていません。MCU モードでは必ず “L” レベルに固定してください。

18.2　入出力ポート

<table>
<tr><th>ポート</th><th>入出力</th><th>入出力回路およびコード</th><th>備考</th></tr>
<tr><td>P1</td><td>入出力</td><td>初期値 "High-Z"

</td><td>シンクオープンドレイン出力
ヒステリシス入力
R = 100 Ω (typ.)</td></tr>
<tr><td>P5
P7</td><td>入出力</td><td>初期値 "High-Z"

</td><td>シンクオープンドレイン出力
R = 100 Ω (typ.)</td></tr>
<tr><td>P2</td><td>入出力</td><td>初期値 "High-Z"

</td><td>シンクオープンドレイン出力
ヒステリシス入力
R = 100 Ω (typ.)</td></tr>
<tr><td>P3</td><td>入出力</td><td>初期値 "High-Z"

</td><td>シンクオープンドレイン
または
C-MOS 出力
ヒステリシス入力
大電流出力 (Nch)
プログラマブルポートオプション
R = 100 Ω (typ.)</td></tr>
<tr><td>P6</td><td>入出力</td><td>初期値 "High-Z"

</td><td>トライステート入出力
ヒステリシス入力
R = 100 Ω (typ.)</td></tr>
</table>

注)　P1, P5, P7 ポートはシンクオープンドレイン出力ですが、LCD セグメント出力と兼用のため、ポートの入力電圧の絶対最大定格は−0.3~V_{DD} + 0.3 [V]となります。

第 19 章　電気的特性

19.1　絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 V)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		−0.3~4.0	V
	V_{LCD}	V3 端子	−0.3~4.0	V
入力電圧	V_{IN}		−0.3~V_{DD} + 0.3	V
出力電圧	V_{OUT1}		−0.3~V_{DD} + 0.3	V
出力電流 (1 端子当たり)	I_{OUT1}	P3, P6 ポート	−1.8	mA
	I_{OUT2}	P1, P2, P5, P6, P7 ポート	3.2	
	I_{OUT3}	P3 ポート	30	
出力電流 (全端子総計)	Σ I_{OUT2}	P1, P2, P5, P6, P7 ポート	60	
	Σ I_{OUT3}	P3 ポート	80	
消費電力 [Topr = 85°C]	P_D		350	mW
はんだ付け温度 (時間)	Tsld		260 (10 s)	°C
保存温度	Tstg		−55~125	
動作温度	Topr		−40~85	

19.2　動作条件

動作条件とは、製品が一定の品質を保って正常に動作するためのする使用条件です。動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように、応用機器の設計を行ってください。

19.2.1　MCU モード（フラッシュメモリの書き込みおよび消去動作時）

(V_{SS} = 0 V, Topr = −40 to 85°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V_{DD}		NORMAL1, 2 モード	2.7	3.6	V
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD} ≥ 3.0 V	V_{DD} × 0.80	V_{DD}	
	V_{IH2}	ヒステリシス入力		V_{DD} × 0.85		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD} ≥ 3.0 V	0	V_{DD} × 0.20	
	V_{IL2}	ヒステリシス入力			V_{DD} × 0.15	
クロック周波数	fc	XIN, XOUT		1.0	8.0	MHz

19.2.2　MCU モード（フラッシュメモリの書き込みおよび消去動作を除く）

(V_{SS} = 0 V, Topr = −40 to 85°C)

項目	記号	端子	条件		Min	Max	単位
電源電圧	V_{DD}		fc = 8 MHz	NORMAL1, 2 モード	2.7	3.6	V
				IDLE0, 1, 2 モード			
			fc = 4 MHz	NORMAL1, 2 モード	1.8		
				IDLE0, 1, 2 モード			
			fs = 32.768 kHz	SLOW1, 2 モード			
				SLEEP0, 1, 2 モード			
			STOP モード				
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD} ≥ 2.7 V		V_{DD} × 0.70	V_{DD}	
	V_{IH2}	ヒステリシス入力			V_{DD} × 0.75		
	V_{IH3}		V_{DD}<2.7 V		V_{DD} × 0.90		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD} ≥ 2.7 V		0	V_{DD} × 0.30	
	V_{IL2}	ヒステリシス入力				V_{DD} × 0.25	
	V_{IL3}		V_{DD}<2.7 V			V_{DD} × 0.10	
クロック周波数（自己発振時）	fc	XIN, XOUT	V_{DD} = 1.8 V~3.6 V		1.0	4.0	MHz
			V_{DD} = 2.7 V~3.6 V			8.0	
	fs	XTIN, XTOUT	V_{DD} = 1.8 V~3.6 V		30.0	34.0	kHz
LCD 基準電源端子電圧入力範囲	V_1	V1 端子	昇圧回路使用時(V3 ≥ V_{DD})		0.8	1.2	V
LCD 基準電源端子電圧入力範囲	V_2	V2 端子	昇圧回路使用時(V3 ≥ V_{DD})		1.6	2.4	V
LCD 基準電源端子電圧入力範囲	V_3	V3 端子	昇圧回路使用時(V3 ≥ V_{DD})		2.4	3.6	V
LCD 昇圧用コンデンサ	C_{LCD}		昇圧回路使用時(V3 ≥ V_{DD})		0.1	0.47	μF

注) LCD の昇圧回路を使用時に基準電源が V1 の場合、動作温度(Topr)は −10~85℃の範囲内で使用してください。

19.2.3 シリアル PROM モード

(V_{SS} = 0 V, Topr = −10~40°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V_{DD}		NORMAL1, 2 モード	2.7	3.6	V
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD} ≥ 3.0 V	V_{DD} × 0.80	V_{DD}	
	V_{IH2}	ヒステリシス入力		V_{DD} × 0.85		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD} ≥ 3.0 V	0	V_{DD} × 0.20	
	V_{IL2}	ヒステリシス入力			V_{DD} × 0.15	
クロック周波数	fc	XIN, XOUT		2.0	8.0	MHz

19.3 DC 特性

(V_{SS} = 0 V, Topr = −40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力	V_{DD} = 3.6 V	−	0.4	−	V
入力電流	I_{IN1}	TEST	V_{DD} = 3.6 V, V_{IN} = 3.6 V/0 V	−	−	±5	μA
	I_{IN2}	シンクオープンドレイン, トライステート ポート					
	I_{IN3}	$\overline{RESET}$, $\overline{STOP}$					
入力抵抗	R_{IN1}	TEST プルダウン	V_{DD} = 3.6 V, V_{IN} = 3.6 V	−	70	−	kΩ
	R_{IN2}	$\overline{RESET}$ プルアップ	V_{DD} = 3.6 V, V_{OUT} = 3.6 V/0 V	100	220	450	
高周波帰還抵抗	R_{FB}	XOUT	V_{DD} = 3.6 V	−	3	−	MΩ
低高周波帰還抵抗	R_{FBT}	XTOUT	V_{DD} = 3.6 V	−	20	−	
出力リーク電流	I_{LO}	シンクオープンドレイン, トライステート ポート	V_{DD} = 3.6 V, V_{OUT} = 3.4 V/ 0.2 V	−	−	±10	μA
高レベル出力電圧	V_{OH2}	C-MOS, トライステート ポート	V_{DD} = 3.6 V, I_{OH} = −0.6 mA	3.2	−	−	V
低レベル出力電圧	V_{OL}	XOUT, P3 ポートを除く	V_{DD} = 3.6 V, I_{OL} = 0.9 mA	−	−	0.4	
低レベル出力電流	I_{OL}	大電流 (P3 ポート)	V_{DD} = 3.6 V, V_{OL} = 1.0 V	−	6	−	mA
LCD 出力電圧（昇圧回路使用時）	$V_{2-3\ OUT}$	V2 端子	V_{DD} ≥ 3.0V	−	V1 × 2	−	V
		V3 端子	基準電源端子：V1 SEG/COM 端子無負荷時（注 5）	−	V1 × 3	−	
	$V_{1-3\ OUT}$	V1 端子	V_{DD} ≥ 3.0V	−	V2 × 1/2	−	
		V3 端子	基準電源端子：V2 SEG/COM 端子無負荷時	−	V2 × 3/2	−	
	$V_{1-2\ OUT}$	V1 端子	V_{DD} ≥ 3.0 V	−	V3 × 1/3	−	
		V2 端子	基準電源端子：V3 SEG/COM 端子無負荷時	−	V3 × 2/3	−	

(V_{SS} = 0 V, Topr = −40~85°C)

項目	記号	端子	条件		Min	Typ.	Max	単位
NORMAL1, 2 モード時電源電流	I_{DD}		V_{DD} = 3.6 V V_{IN} = 3.4 V / 0.2 V fc = 8 MHz fs = 32.768 kHz	フラッシュメモリでプログラムが動作しているとき	−	4.5	7	mA
IDLE0, 1, 2 モード時電源電流					−	2.5	4	
SLOW1 モード時電源電流			V_{DD} = 3.0 V V_{IN} = 2.8 V/0.2 V fs = 32.768 kHz	フラッシュメモリでプログラムが動作しているとき	−	20	50	μA
				RAM でプログラムが動作しているとき	−	15	23	
SLEEP1 モード時電源電流					−	10	18	
SLEEP0 モード時電源電流					−	8	16	
STOP モード時電源電流			V_{DD} = 3.6 V V_{IN} = 3.4 V/0.2 V		−	0.5	10	

注 1)　Typ.値は、条件に指定なき場合 Topr = 25°C, V_{DD} = 3.6 V 時の値を示します。

注 2)　入力電流 I_{IN1}, I_{IN3} : プルアップまたはプルダウン抵抗による電流を除きます。

注 3)　I_{DD} は、I_{REF} を含みません。

注 4)　SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 モードと同等です。

注 5)　LCD の昇圧回路を使用時に基準電源が V1 の場合、動作温度（Topr)は −10 ~ 85℃の範囲内で使用してください。

注 6)　フラッシュメモリでプログラムが動作しているとき、またはフラッシュメモリからデータをリードしているとき、フラッシュメモリは間欠動作を行いますので、瞬間的に図 19-1 のようなピーク電流が流れます。よってこの場合の電源電流 I_{DD} (NORMAL1/2、SLOW1 モード時)は、ピーク電流を平均化した電流値と MCU 電流の和となります。

注 7)　電源設計の際はピーク電流が供給可能な回路設計にしてください。SLOW1 モードではピーク電流と平均化された電流の差が大きくなります。

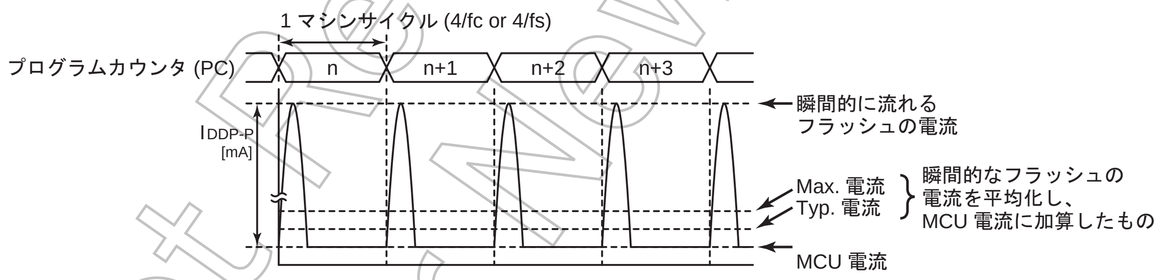


図 19-1 フラッシュメモリの間欠動作

19.4 AD 変換特性

(V_{SS} = 0.0 V, 2.7 V ≤ V_{DD} ≤ 3.6 V, Topr = −40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} − 1.0	–	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}			V_{DD}		
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.5	–	–	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	–	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 3.6 V V_{SS} = 0.0 V	–	0.35	0.61	mA
非直線性誤差		V_{DD} = A_{VDD} = 2.7 V V_{SS} = 0.0 V V_{AREF} = 2.7 V	–	–	±2	LSB
ゼロ誤差			–	–	±2	
フルスケール誤差			–	–	±2	
総合誤差			–	–	±2	

(V_{SS} = 0.0 V, 2.0 V ≤ V_{DD} < 2.7 V, Topr = −40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} − 0.6	–	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}			V_{DD}		
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.0	–	–	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	–	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 2.0 V V_{SS} = 0.0 V	–	0.20	0.34	mA
非直線性誤差		V_{DD} = A_{VDD} = 2.0 V V_{SS} = 0.0 V V_{AREF} = 2.0 V	–	–	±2	LSB
ゼロ誤差			–	–	±2	
フルスケール誤差			–	–	±2	
総合誤差			–	–	±2	

(V_{SS} = 0.0 V, 1.8 V ≤ V_{DD} < 2.0 V, Topr = −10~85°C) (注 5)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		A_{VDD} − 0.1	–	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}			V_{DD}		
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		1.8	–	–	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	–	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = A_{VDD} = V_{AREF} = 1.8 V V_{SS} = 0.0 V	–	0.18	0.31	mA
非直線性誤差		V_{DD} = A_{VDD} = 1.8 V V_{SS} = 0.0 V V_{AREF} = 1.8 V	–	–	±4	LSB
ゼロ誤差			–	–	±4	
フルスケール誤差			–	–	±4	
総合誤差			–	–	±4	

注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、レジスタ構成の章を参照ください。

注 3) AIN 入力端子への入力電圧は V_{AREF}~V_{SS} 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャネルの変換値にも影響を与えます。

注 4) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - V_{SS}$

注 5) V_{DD} = 2.0 V 未満で AD を使用する場合、動作電圧によって温度保証範囲が異なります。

注 6) AD コンバータを使用しない場合、A_{VDD} 端子および V_{AREF} 端子は V_{DD} レベルに固定してください。

19.5　AC 特性

(V_{SS} = 0 V, V_{DD} = 2.7~3.6 V, Topr = −40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.5	-	4	μs
		IDLE1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP1, 2 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 8 MHz 時時	−	62.5	−	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	−	15.26	−	μs
低レベルクロックパルス幅	t_{WSL}					

注 1)　電源電圧 VDD が 3.0V 未満の場合、動作温度(Topr) は −20 ~ 85℃の範囲内で使用してください。

19.6　タイマカウンタ 1 入力 (ECIN) 特性

(V_{SS} = 0 V, Topr = −40~85°C)

項目	記号	条件		Min	Typ.	Max	単位
タイマカウンタ 1 入力 (ECIN 入力)	t_{TC1}	周波数測定モード V_{DD} = 2.7~3.6 V	片エッジカウント	−	−	8	MHz
			両エッジカウント	−	−		
		周波数測定モード V_{DD} = 1.8~2.7 V	片エッジカウント	−	−	4	
			両エッジカウント	−	−		

19.7　フラッシュ特性

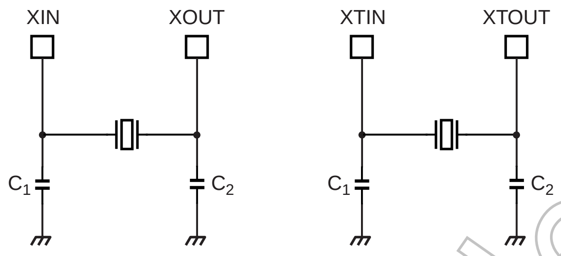
19.7.1　書き込み特性

(V_{SS} = 0 V, Topr = −10 to 40°C)

項　　目	条　　件	Min	Typ.	Max	単位
フラッシュメモリ書き替え保証回数		−	−	100	Times
フラッシュメモリ書き込み時間		−	−	40	μs
フラッシュメモリ消去時間	Chip erase	−	−	45	ms
	Sector erase	−	−	30	

注)　すでにデータが書きこまれたフラッシュメモリのアドレスに対しデータ書き換えを行う場合は、必ずその領域のデータ消去を行ってから書き込みを実行してください。

19.8 発振条件



(1) 高周波発振　　(2) 低周波発振

注 1)　発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。

注 2)　村田発振子は、型番・仕様の切り替えが随時行われております。
詳細につきましては、下記アドレスの同社ホームページをご参照ください。
http://www.murata.co.jp/

19.9 取り扱い上のご注意

- はんだ濡れ性についての注意事項

  試験項目

  はんだ付け性

  試験条件

  230°C　5 秒間 1 回 R タイプフラックス使用(Sn-37Pb 鉛はんだ使用時)

  245°C　5 秒間 1 回 R タイプフラックス使用(Sn-3.0Ag-0.5Cu はんだ使用時)

  備考

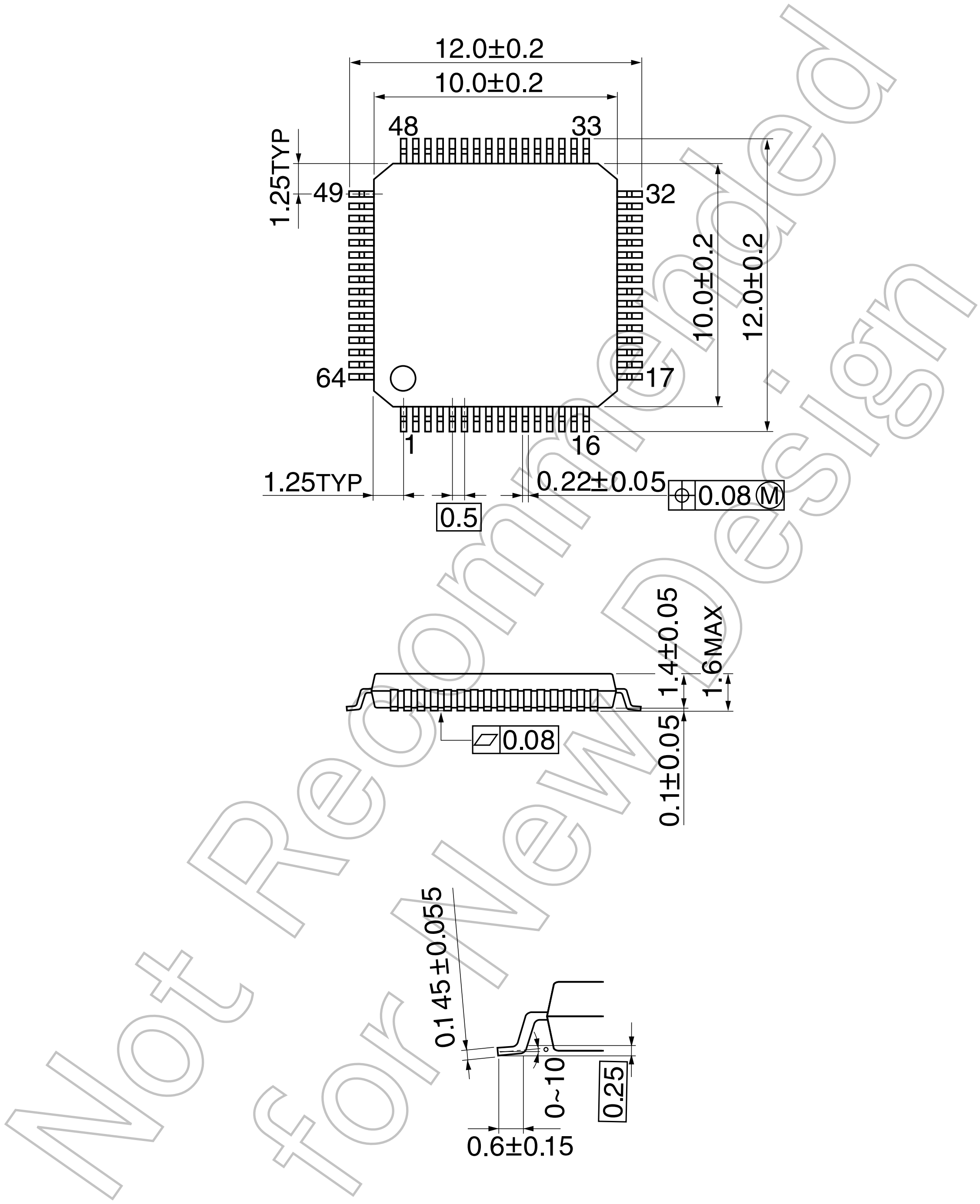
  フォーミングまでのはんだ付着率 95%を良品とする。

- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

第 20 章　　外形寸法

LQFP64-P-1010-0.50D Rev 01

Unit: mm



製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下″特定用途″という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有·使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。