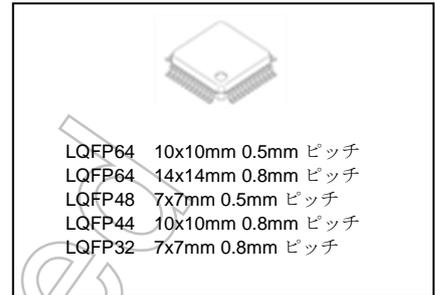


CMOS 形 デジタル集積回路 シリコン モノリシック

TMPM4K グループ(1)

概要

- Arm® Cortex®-M4(FPU 機能搭載)、動作周波数：1~80MHz、動作電圧：2.7~5.5V
- 64~256 KB フラッシュ
- 32~64 ピン、5 種類のパッケージ展開
- ベクトル制御と PFC 制御を実現するハードウェア群(A-VE+, 12bitADC、A-PMD)



用途

モーター、モーター家電、産業機器に幅広く使用可能

特長

- Arm Cortex-M4(FPU 機能搭載) コア搭載
 - 動作周波数：1~80MHz
 - メモリー保護ユニット(MPU)搭載
- 動作電圧と消費電力
 - 動作電圧：2.7~5.5V
 - 低消費電力動作：IDLE、STOP1
- 動作温度範囲：-40~+105°C
- 内蔵メモリー
 - フラッシュ：64~256KB、書き換え：1 万回
 - RAM：18K、パリティ付き
- クロック
 - 外部高速発振器：6MHz~12MHz(セラミック、水晶)
 - 外部高速クロック入力：1~10MHz
 - 内蔵高速発振器(IHOSC1)：10MHz、ユーザートリミング
 - PLL：80MHz(システムクロック)、120MHz(ADC 用)
- 周波数検知(OFD)：システムクロック異常検知
- 電圧検知(LVD)：8 レベル、割り込みとリセット出力選択
- 割り込み
 - 外部：6~11 要因、DNF:デジタルノイズフィルタ付き
 - 内部：66~76 要因
- 入出力ポート：22~52 本
 - プルアップ/ダウン、オープンドレイン、5V トレラントあり
- オンチップデバッグ(JTAG/SW)、NBDIF(RAM モニター)
- トリガーセレクター(TRGSEL)
 - DMA コントローラーやタイマーカウンターなどの起動要因を拡張
- DMA コントローラー(DMAC)
 - 起動要因：20~32 要因、内部/外部トリガー
- CRC 計算回路(CRC)：1 チャンネル
 - CRC32、CRC16
- 非同期シリアル通信回路(UART)：2~4 チャンネル
 - 最大 5Mbps、FIFO(送信 8 段、受信 8 段)
- シリアルペリフェラルインターフェース(TSPI)：1~4 チャンネル
 - SIO モード、最大 20Mbps、FIFO(送信 16 ビット×8、受信 16 ビット×8)
- I²C インターフェース(I²C)：0~1 チャンネル マルチマスター
- 12 ビット AD コンバーター(ADC)：6~13 チャンネル入力
 - 変換時間：0.5μs @120MHz(ADCLK)
 - 自己診断サポート機能
- オペアンプ(OPAMP)：1~3 チャンネル
 - ゲイン選択可
- アドバンストプログラマブルモーター制御回路(A-PMD)：1~2 チャンネル
 - 3 相相補 PWM 出力、12 ビット ADC との同期動作
 - PFC 制御：3 相インターリーブ PFC 対応可
 - 外部入力による緊急停止機能(EMG 端子、OVV 端子)
- アドバンストベクトルエンジンプラス(A-VE+)：1 チャンネル
 - ベクトル制御演算用コプロセッサ、ADC/A-PMD と連携動作
 - 1 シャント電流検出領域の拡大制御
 - デッドタイム補償制御、非干渉制御
- アドバンストエンコーダー入力回路(A-ENC)：1 チャンネル
 - エンコーダー/センサー(3 種)/タイマー/位相カウンターモード
- 32 ビットタイマーイベントカウンター(T32A)
 - 32 ビットタイマー時 6 チャンネル、16 ビットタイマー時 12 チャンネル
 - インターバルタイマー、イベントカウント、インプットキャプチャー、位相差入力、パルス出力、PPG 出力、同期スタート、トリガースタート
- ウォッチドッグタイマー(SIWDT)：1 チャンネル
 - システムクロックと別系統のソースクロックを選択
 - クリアウインドウ、割り込みとリセット出力選択

製品量産開始時期
2018-07

機能別製品一覧

この表は開発中製品を含みます。
各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表 1 機能別製品一覧

内蔵機能		TMPM4K4FYAUG TMPM4K4FWAUG TMPM4K4FUAUG TMPM4K4FSAUG	TMPM4K4FYAFG TMPM4K4FWAFG TMPM4K4FUAFG TMPM4K4FSAFG	TMPM4K2FYADUG TMPM4K2FWADUG TMPM4K2FUADUG TMPM4K2FSADUG	TMPM4K1FYAUG TMPM4K1FWAUG TMPM4K1FUAUG TMPM4K1FSAUG	TMPM4K0FSADUG
Memory	Code Flash (KB)	256 128 96 64	256 128 96 64	256 128 96 64	256 128 96 64	64
	RAM (KB)	18	18	18	18	18
I/O port	PORT (pin)	52	52	38	34	22
External interrupt	INT (pin)	11	11	10	9	6
DMA	DMAC (ch)	32	32	26	24	20
Timer function	T32A (ch)	6	6	6	6	6
Serial communication function	UART (ch)	4	4	3	2	2
	I ² C (ch)	1	1	1	1	0
	TSPI(SIO) (ch)	4	4	2	2	1
Analog function	12-bit ADC (AIN ch)	13	13	11	10	6
	OPAMP (ch)	3	3	3	3	1
Motor control peripherals	A-VE+ (ch)	1	1	1	1	1
	A-PMD (ch)	2	2	2	1	1
	A-ENC (ch)	1	1	1	1	1
Other peripherals	CRC (ch)	1	1	1	1	1
	RAMP (ch)	1	1	1	1	1
System function	LVD (ch)	1	1	1	1	1
	WDT (ch)	1	1	1	1	1
	OFD (ch)	1	1	1	1	1
	POR (ch)	1	1	1	1	1
Debug interface	Debug	JTAG/SW TRACE(4bits) NBDIF	JTAG/SW TRACE(4bits) NBDIF	JTAG/SW	JTAG/SW	JTAG/SW(注)
Package	Package type	LQFP64 (10 mm × 10 mm, 0.5 mm pitch)	LQFP64 (14 mm × 14 mm, 0.8 mm pitch)	LQFP48 (7 mm × 7 mm, 0.5 mm pitch)	LQFP44 (10 mm × 10 mm, 0.8 mm pitch)	LQFP32 (7 mm × 7 mm, 0.8 mm pitch)
	Package name	P-LQFP64-1010 -0.50-003	P-LQFP64-1414 -0.80-002	P-LQFP48-0707 -0.50-002	P-LQFP44-1010 -0.80-003	P-LQFP32-0707 -0.80-002

注) JTAG は TMS/TCK/TDO/TDI の 4 本です。

目次

概要	1
用途	1
特長	1
機能別製品一覧	2
目次	3
図目次	7
表目次	8
序章	9
表記規約	9
用語・略語	11
1. ブロック図	12
2. 端子配置図	13
2.1. LQFP64	13
2.2. LQFP48	14
2.3. LQFP44	15
2.4. LQFP32	16
3. メモリーマップ	17
3.1. メモリー容量一覧	18
4. 端子説明	19
4.1. 機能端子名称と機能	19
4.1.1. 周辺機能端子	19
4.1.2. デバッグ端子	21
4.1.3. 制御端子	22
4.1.4. 電源端子	22
4.1.5. 電源間コンデンサー	23
4.2. 機能端子とポート割り当て(端子番号)	24
4.3. ポート	30
4.3.1. ポート仕様一覧	31
5. 機能説明・動作説明	33
5.1. リファレンスマニュアル	33
5.2. プロセッサコア	34
5.2.1. コアに関する情報	34
5.2.2. 構成可能なオプション	34
5.3. クロック制御と動作モード (CG)	35
5.4. フラッシュメモリー(256KB/128KB/96KB/64KB)	35
5.5. 発振器	36

5.6. トリミング回路 (TRM)	36
5.7. 周波数検知回路 (OFD).....	36
5.8. 電圧検知回路 (LVD).....	37
5.9. デジタルノイズフィルタ回路 (DNF)	37
5.10. デバッグインターフェース (DEBUG)	38
5.10.1. ノンブレイクデバッグインターフェース (NBDIF)	38
5.11. DMA コントローラー (DMAC)	39
5.12. 非同期シリアル通信回路 (UART).....	39
5.13. シリアルペリフェラルインターフェース (TSPI)	40
5.14. I ² C インターフェース (I ² C).....	40
5.15. 12 ビットアナログデジタルコンバーター (ADC).....	41
5.16. オペアンプ (OPAMP)	41
5.17. アドバンストプログラマブルモーター制御回路 (A-PMD).....	42
5.18. アドバンストエンコーダー入力回路 (A-ENC)	42
5.19. アドバンストベクトルエンジンプラス (A-VE+).....	42
5.20. 32 ビットタイマーイベントカウンタ (T32A).....	43
5.21. クロック選択式ウォッチドッグタイマー (SIWDT).....	44
5.22. CRC 計算回路 (CRC)	44
5.23. RAM パリティ (RAMP).....	44
6. 価回路図.....	45
6.1. ポート	45
6.2. アナログ関連端子	48
6.3. 制御端子.....	49
6.4. クロック制御	49
7. 電気的特性	50
7.1. 絶対最大定格	50
7.2. DC 電気的特性(1/2).....	51
7.3. DC 電気的特性(2/2) (消費電流).....	55
7.4. 12 ビット AD コンバーター特性	57
7.5. オペアンプ特性.....	58
7.6. リセット時内部処理特性	59
7.7. パワーオンリセット特性	59
7.8. 電圧検知回路特性.....	60
7.9. AC 電気的特性.....	61
7.9.1. シリアルペリフェラルインターフェース(TSPI).....	61
7.9.1.2. AC 電気的特性.....	61
7.9.2. I ² C インターフェース(I ² C).....	65
7.9.2.1. AC 測定条件	65

7.9.2.2. AC 電気的特性.....	65
7.9.3. 32 ビットタイマーイベントカウンタ(T32A)	67
7.9.3.1. AC 測定条件	67
7.9.3.2. AC 電気的特性.....	67
7.9.4. 外部割り込み	68
7.9.4.1. AC 測定条件	68
7.9.4.2. AC 電気的特性.....	68
7.9.5. 端子トリガー入力(TRGINx).....	69
7.9.5.1. AC 測定条件	69
7.9.5.2. AC 電気的特性.....	69
7.9.6. デバッグ通信	70
7.9.6.1. AC 測定条件	70
7.9.6.2. SWD インターフェース.....	70
7.9.6.3. JTAG インターフェース.....	71
7.9.6.4. ETM インターフェース	72
7.9.6.5. NBD インターフェース	73
7.9.7. SCOUT 端子.....	74
7.9.7.1. AC 測定条件	74
7.9.7.2. AC 電気的特性.....	74
7.9.8. ノイズフィルタ特性.....	74
7.9.9. 外部クロック入力.....	75
7.9.9.1. AC 測定条件	75
7.9.9.2. AC 電気的特性.....	75
7.10. フラッシュ特性.....	76
7.10.1. コードフラッシュ特性.....	76
7.10.2. チップ消去特性.....	76
7.11. レギュレーター.....	76
7.12. 発振回路.....	77
7.12.1. 内蔵発振器.....	77
7.12.2. 外部発振器.....	77
7.12.3. 発振回路例.....	77
7.12.4. セラミック発振子.....	78
7.12.5. 水晶発振子.....	78
7.12.6. プリント基板の設計に関する注意.....	78
8. 外形寸法図	79
8.1. P-LQFP64-1010-0.50-003.....	79
8.2. P-LQFP64-1414-0.80-002.....	80
8.3. P-LQFP48-0707-0.50-002.....	81
8.4. P-LQFP44-1010-0.80-003.....	82
8.5. P-LQFP32-0707-0.80-002.....	83
9. 使用上のご注意およびお願い事項.....	84

10. 改訂履歴	85
Appendix.....	86
全端子一覧表	86
品番付与情報	88
製品取り扱い上のお願い.....	89

Not Recommended
for New Design

図目次

図 1.1	TMPM4K グループ(1)のブロック図	12
図 3.1	TMPM4KxFYA のメモリーマップ例	17
図 4.1	電源間コンデンサーの接続図	23
図 7.1	スルーレート	58
図 7.2	2nd クロックエッジサンプリング(マスター)	63
図 7.3	2nd クロックエッジサンプリング(スレーブ)	64
図 7.4	I ² C の AC タイミング	66
図 7.5	カウントパルス入力	68
図 7.6	JTAG/SWD 波形	71
図 7.7	トレース信号波形	72
図 7.8	NBDIF の AC タイミング	73
図 7.9	SCOUT 出力波形	74
図 7.10	外部クロック入力波形	75
図 7.11	発振回路例	77

Not Recommended
for New Design

表目次

表 1	機能別製品一覧	2
表 3.1	メモリー容量とアドレス	18
表 4.1	周辺端子名称と機能	19
表 4.2	デバッグ端子名称と機能	21
表 4.3	制御端子名称と機能	22
表 4.4	電源端子名称と機能	22
表 4.5	信号接続一覧(1/6)	24
表 4.6	信号接続一覧(2/6)	25
表 4.7	信号接続一覧(3/6)	26
表 4.8	信号接続一覧(4/6)	27
表 4.9	信号接続一覧(5/6)	28
表 4.10	信号接続一覧(6/6)	29
表 4.11	ポート A,B,C,D,E,F,G のポート名、仕様	31
表 4.12	ポート H,J,K,L のポート名、仕様	32
表 5.1	TMPM4K グループ(1) リファレンスマニュアル一覧	33
表 5.2	コアリビジョン	34
表 5.3	構成可能なオプションと実装	34
表 5.4	搭載発振器	36
表 5.5	TRM 搭載一覧	36
表 5.6	OFD 搭載一覧	36
表 5.7	LVD 搭載一覧	37
表 5.8	外部割り込み数(DNF 搭載数)	37
表 5.9	デバッグインターフェース搭載一覧	38
表 5.10	DMAC 搭載一覧	39
表 5.11	UART 搭載一覧	39
表 5.12	TSPI 搭載一覧	40
表 5.13	I ² C 搭載一覧	40
表 5.14	ADC 搭載一覧	41
表 5.15	OPAMP 搭載一覧	41
表 5.16	A-PMD 搭載一覧	42
表 5.17	A-ENC 搭載一覧	42
表 5.18	A-VE+ 搭載一覧	42
表 5.19	T32A 搭載一覧	43
表 5.20	SIWDT 搭載一覧	44
表 5.21	CRC 搭載一覧	44
表 5.22	RAMP 搭載一覧	44
表 7.1	絶対最大定格	50
表 7.2	IDD 測定条件(端子設定、発振回路)	55
表 7.3	IDD 測定条件(CPU、周辺回路)	56
表 10.1	改訂履歴	85

序章

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリーについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた SuperFlash®技術を使用しています。SuperFlash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

Not Recommended for New Design

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC	Advanced Encoder input Circuit
A-PMD	Advanced Programmable Motor Control Circuit
A-VE+	Advanced Vector Engine plus
CRC	Cyclic Redundancy Check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High speed Oscillator
Fm	I ² C Fast Mode
IHOSC	Internal High speed Oscillator
INT	Interrupt
I ² C	Inter-Integrated Circuit
LVD	Voltage Detection Circuit
NBDIF	Non Break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
OPAMP	Operational Amplifier
POR	Power On Reset Circuit
RAMP	RAM parity
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection circuit
TRM	Trimming circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

Not Recommended for New Design

1. ブロック図

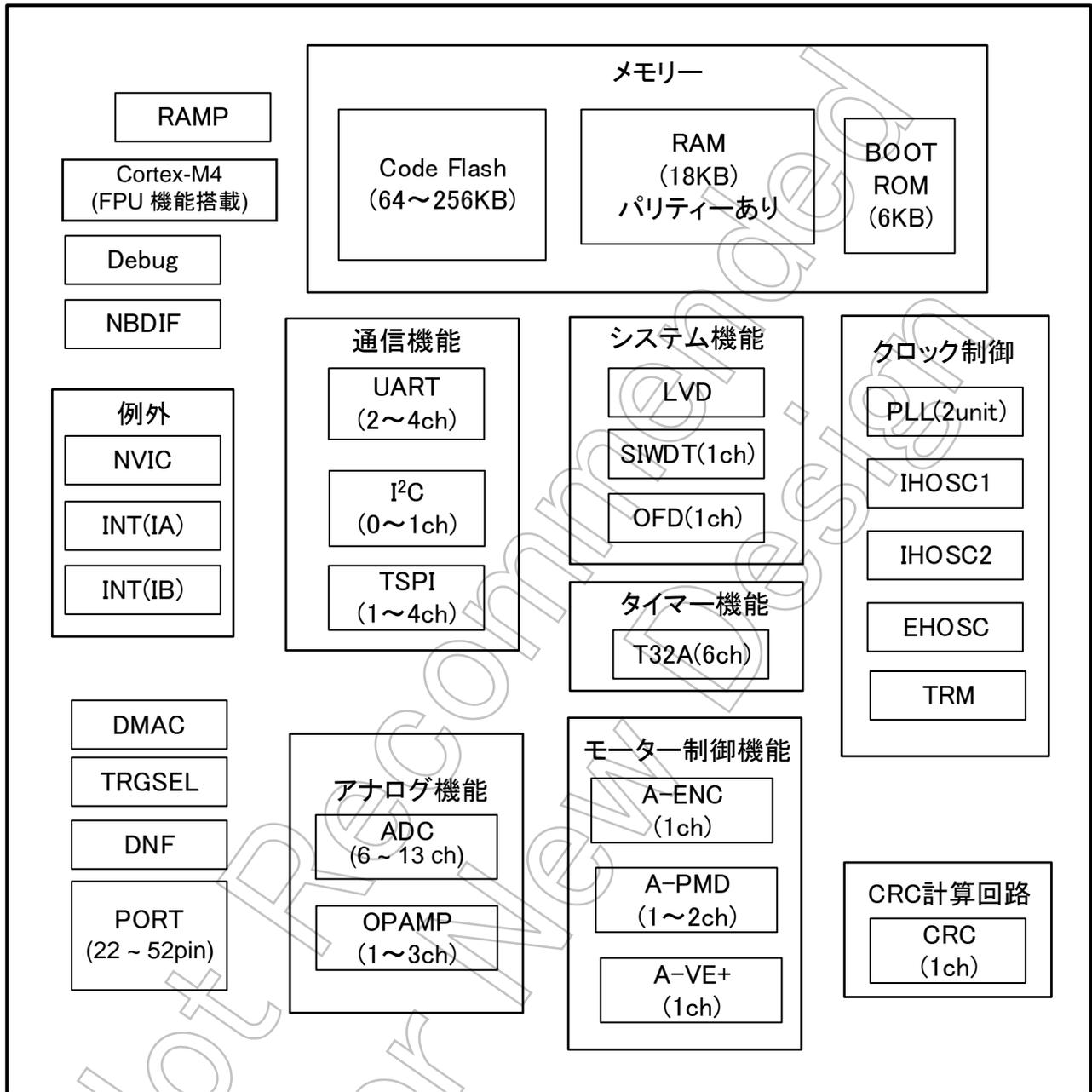
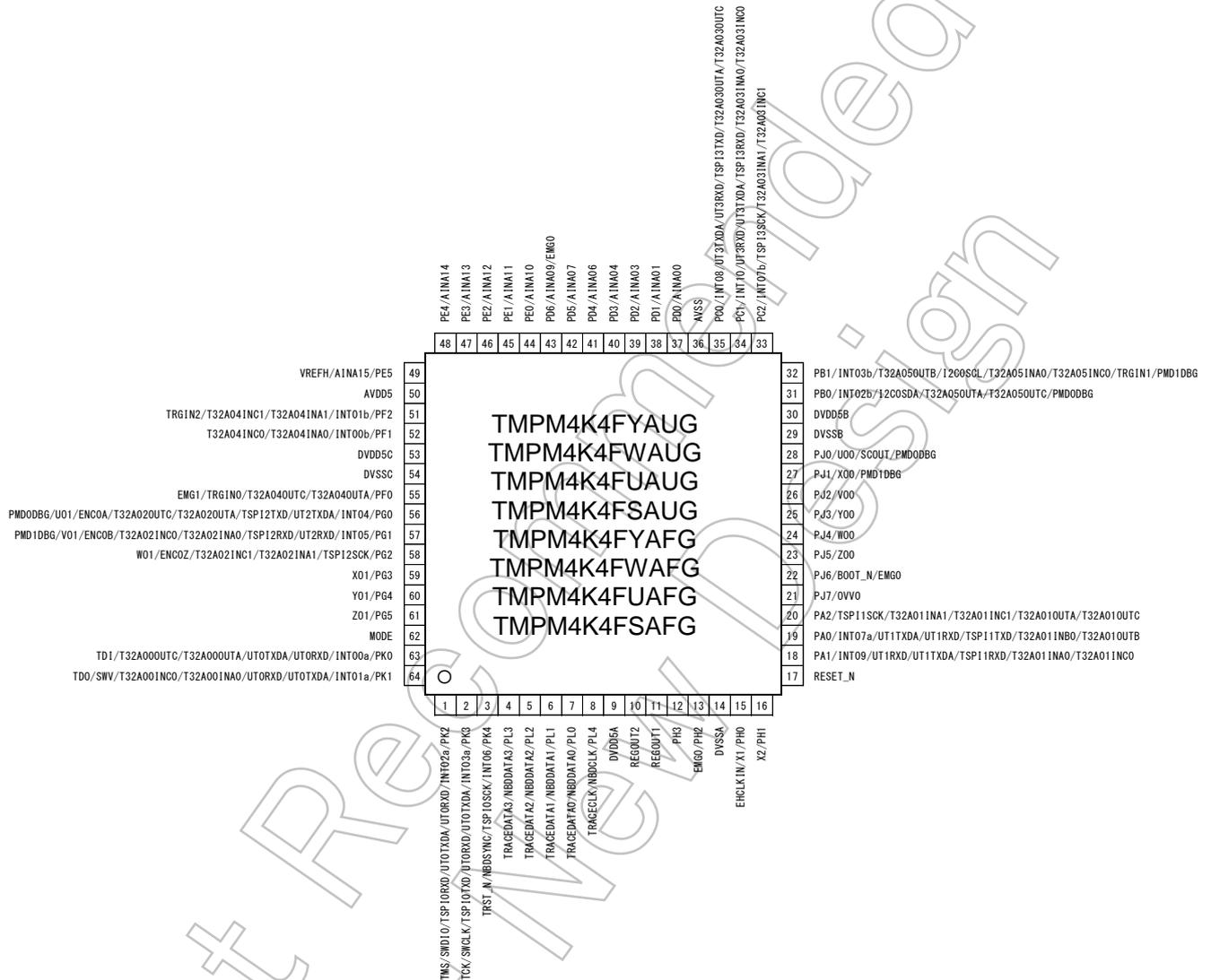


図 1.1 TMPM4Kグループ(1)のブロック図

2. 端子配置図

2.1. LQFP64



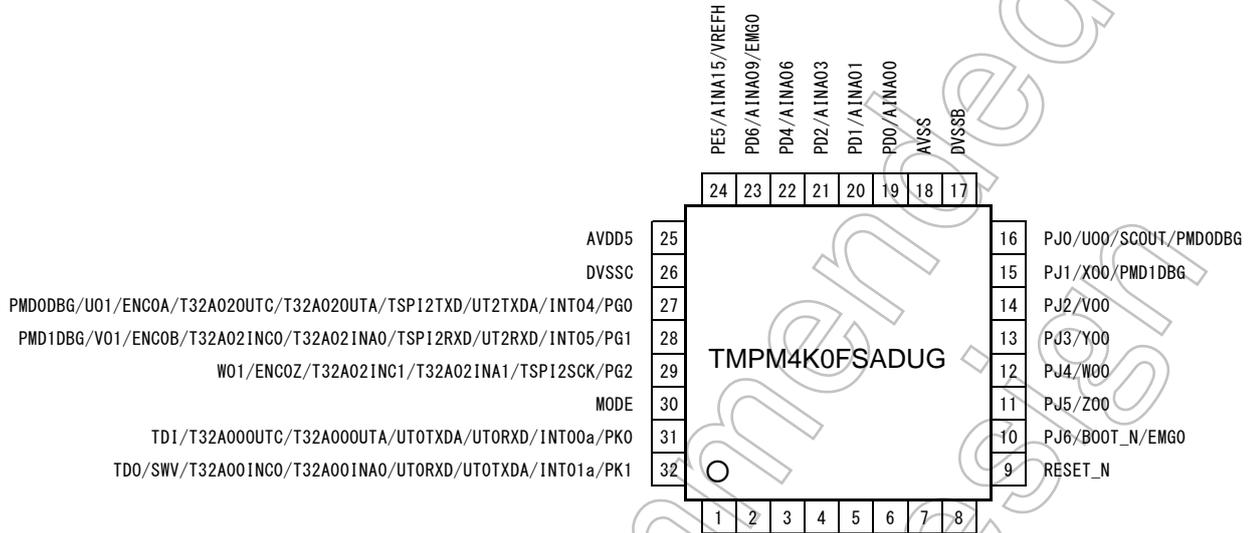
2.2. LQFP48



2.3. LQFP44



2.4. LQFP32



Not Recommended for New Design

3. メモリーマップ

0xFFFFFFFF	Vender-Specific
0xE0100000	CPU Register Region
0xE0000000	Fault
0x5E040000	Code Flash (Mirror) (256KB)
0x5E000000	Flash(SFR)
0x5DFF0000	Fault
0x44000000	Bit Band Alias (SFR)
0x42000000	Fault
0x40100000	SFR
0x4003E000	Fault
0x3F7F9800	Reserved
0x3F7F8000	Fault
0x30008000	Reserved
0x30000000	Fault
0x24000000	Bit Band Alias (RAM)
0x22000000	Fault
0x20006800	Reserved
0x20004800	RAM2(10KB)
0x20002000	RAM1(4KB)
0x20001000	RAM0(4KB)
0x20000000	Fault
0x00040000	Code Flash (256KB)
0x00000000	

図 3.1 TMPM4KxFYAのメモリーマップ例

注) Fault および Reserved: アクセスしないでください。

3.1. メモリー容量一覧

表 3.1 メモリー容量とアドレス

Products			TMPM4K4FYAUG TMPM4K4FYAFG TMPM4K2FYADUG TMPM4K1FYAUG	TMPM4K4FWAUG TMPM4K4FWAFG TMPM4K2FWADUG TMPM4K1FWAUG	TMPM4K4FUAUG TMPM4K4FUAFG TMPM4K2FUADUG TMPM4K1FUAUG	TMPM4K4FSAUG TMPM4K4FSAFG TMPM4K2FSADUG TMPM4K1FSAUG TMPM4K0FSADUG
Peripheral region	Code Flash (Mirror)	Size	256KB	128KB	96KB	64KB
		START	0x5E000000	0x5E000000	0x5E000000	0x5E000000
		END	0x5E03FFFF	0x5E01FFFF	0x5E017FFF	0x5E00FFFF
SRAM region	RAM	Size	18KB			
		START	0x20000000			
		END	0x200047FF			
Code Region	Code Flash	Size	256KB	128KB	96KB	64KB
		START	0x00000000	0x00000000	0x00000000	0x00000000
		END	0x0003FFFF	0x0001FFFF	0x00017FFF	0x0000FFFF

Not Recommended for New Design

4. 端子説明

4.1. 機能端子名称と機能

4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック制御と動作モード (CG)	SCOUT	Output	クロック出力端子
割り込み制御 (IA/IB)	INTx	Input	外部割り込み入力端子 ノイズフィルター(フィルター幅 typ. 30ns)を内蔵しています。
32 ビットタイマー イベントカウンタ (T32A)	T32AxINA0	Input	16 ビットタイマーA インพุットキャプチャー入力端子 0
	T32AxINA1	Input	16 ビットタイマーA インพุットキャプチャー入力端子 1
	T32AxOUTA	Output	16 ビットタイマーA 出力端子
	T32AxINB0	Input	16 ビットタイマーB インพุットキャプチャー入力端子 0
	T32AxINB1	Input	16 ビットタイマーB インพุットキャプチャー入力端子 1
	T32AxOUTB	Output	16 ビットタイマーB 出力端子
	T32AxINC0	Input	32 ビットタイマー インพุットキャプチャー入力端子 0
	T32AxINC1	Input	32 ビットタイマー インพุットキャプチャー入力端子 1
	T32AxOUTC	Output	32 ビットタイマー出力端子
シリアルペリフェラルインターフェース (TSPI)	TSPIxRXD	Input	データ入力端子
	TSPIxTXD	Output	データ出力端子
	TSPIxSCK	I/O	クロック入出力端子
非同期シリアル通信回路 (UART)	UTxRXD	Input	データ入力端子
	UTxTXDA	Output	データ出力端子 A
I ² C インターフェース (I ² C)	I2CxSDA	I/O	データ入出力端子
	I2CxSCL	I/O	クロック入出力端子
アドバンス プログラマブル モーター制御回路 (A-PMD)	EMGx	Input	異常検出入力端子
	OVVx	Input	過電圧検出入力端子
	UOx	Output	U 相出力端子
	VOx	Output	V 相出力端子
	WOx	Output	W 相出力端子
	XOx	Output	X 相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z 相出力端子
	PMDxDBG	Output	モーター制御デバッグ出力端子
アドバンス エンコーダー入力回路 (A-ENC)	ENCxA	Input	エンコーダー入力端子 A
	ENCxB	Input	エンコーダー入力端子 B
	ENCxZ	Input	エンコーダー入力端子 Z

周辺機能	端子名称	Input or Output	機能
アナログデジタル コンバーター (ADC)	AINAx	Input	アナログ入力端子
トリガー入力(TRGSEL)	TRGINx	Input	外部トリガー入力端子

注) 端子名称の"x"にはチャンネル番号、ユニット番号、割り込み番号が入ります。

Not Recommended
for New Design

4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

デバッグポート	デバッグ端子名称	Input or Output	機能
JTAG	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
	TRST_N	Input	JTAG テストリセット入力端子
SW	SWDIO	I/O	シリアルワイヤデータ入出力端子
	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューワ出力端子
TRACE	TRACECLK	Output	トレースクロック出力端子
	TRACEDATA0	Output	トレースデータ出力端子 0
	TRACEDATA1	Output	トレースデータ出力端子 1
	TRACEDATA2	Output	トレースデータ出力端子 2
	TRACEDATA3	Output	トレースデータ出力端子 3
NBDIF	NBDSYNC	Input	ノンブレイクデバッグ同期入力端子
	NBDCLK	Input	ノンブレイクデバッグクロック入力端子
	NBDDATA0	I/O	ノンブレイクデバッグデータ入出力端子 0
	NBDDATA1	I/O	ノンブレイクデバッグデータ入出力端子 1
	NBDDATA2	I/O	ノンブレイクデバッグデータ入出力端子 2
	NBDDATA3	I/O	ノンブレイクデバッグデータ入出力端子 3

4.1.3. 制御端子

表 4.3 制御端子名称と機能

	端子名	Input or Output	機能
制御端子	X1	Input	高速発振子接続端子
	X2	Output	高速発振子接続端子
	EHCLKIN	Input	外部クロック入力端子
	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOTモード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリ」を参照してください。
	RESET_N	Input	リセット信号入力端子
	MODE	Input	モード端子 必ず"Low"レベルに固定してください。

4.1.4. 電源端子

表 4.4 電源端子名称と機能

	端子名	機能
電源	DVDD5A (注 1) DVDD5B (注 1) DVDD5C (注 1)	デジタル用電源端子 DVDD5A/B/C は下記の端子に電源を供給しています。 PA~PC, PF~PL, MODE, RESET_N, BOOT_N 発振回路には、内蔵レギュレーターを経由して端子に電源を供給しています。 X1, X2
	DVSSA (注 2) DVSSB (注 2) DVSSC (注 2)	デジタル用 GND 端子
	REGOUT1 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	REGOUT2 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	AVDD5	アナログ用電源端子、アナログ基準電源端子(VREFH)と兼用です AVDD5 は下記の端子に電源を供給しています。 PD, PE
	AVSS	アナログ用 GND 端子、アナログ基準 GND 端子(VREFL)と兼用です。

注 1) DVDD5A,DVDD5B,DVDD5C は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注 2) DVSSA,DVSSB,DVSSC は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注 3) REGOUT1,REGOUT2 は、DVDD5A,DVDD5B,DVDD5C や DVSSA,DVSSB,DVSSC とショートしないでください。

注 4) コンデンサー容量は電気的特性を参照してください。

注 5) DVDD5,AVDD5 は同電位で使用してください。

4.1.5. 電源間コンデンサー

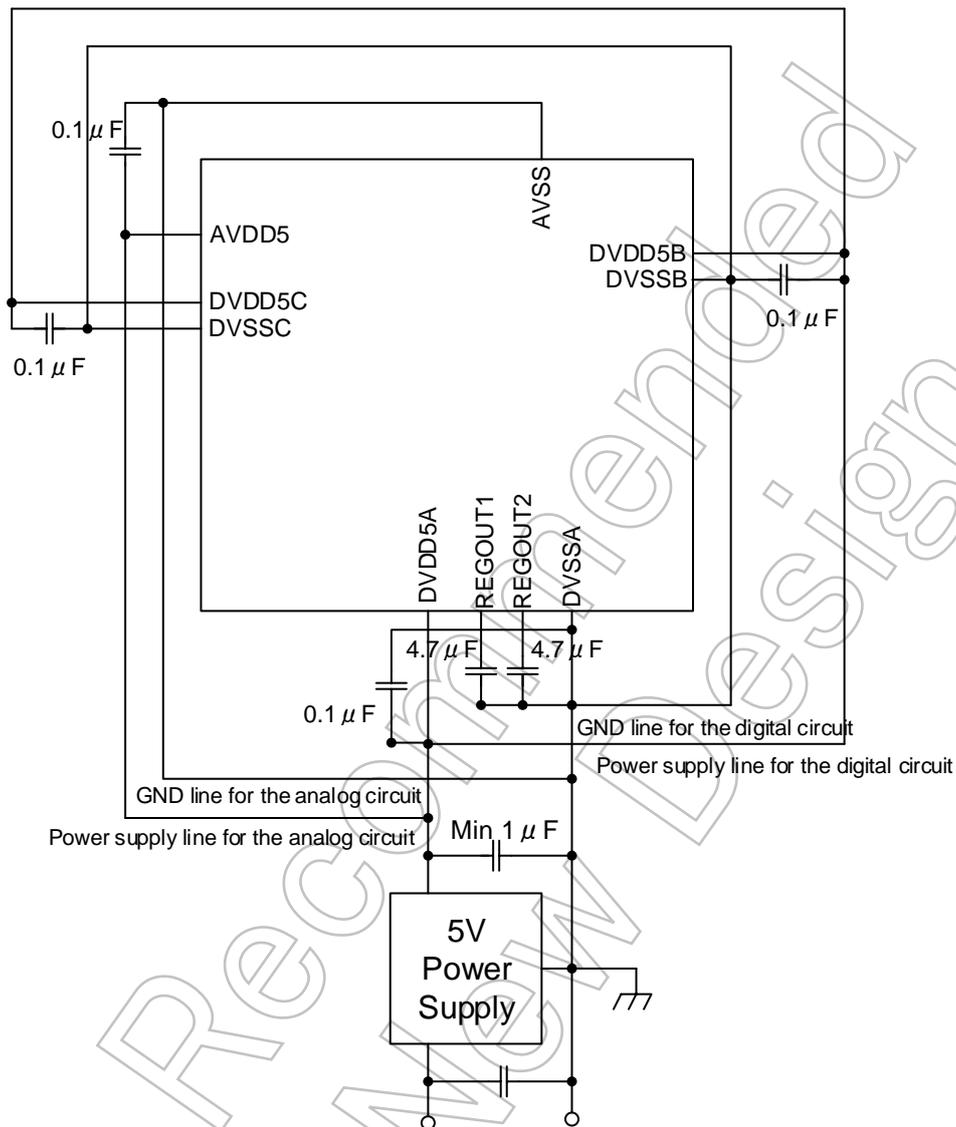


図 4.1 電源間コンデンサーの接続図

- 注 1) 5V 電源出力端子近くに $1\mu\text{F}$ 以上のセラミックコンデンサーを挿入してください。
- 注 2) 各 MCU 電源端子(DVDD5A, DVDD5B)の近傍で電源-GND 間にバイパスコンデンサー($0.01\sim 0.1\mu\text{F}$ 程度)を挿入してください。
- 注 3) 内蔵レギュレーター用コンデンサー接続端子(REGOUT1, REGOUT2)に同容量の電源安定用のセラミックコンデンサー($4.7\mu\text{F}$)を挿入してください。これらのコンデンサーは DVSSB 近傍で配置してください。
- 注 4) デジタル電源からアナログ回路へのノイズ混入を抑制するため、アナログ電源ラインとデジタル電源ラインは 5V 電源出力の近くで分離してください。
- 注 5) 周辺回路からアナログ回路へのノイズ混入を抑制するため、アナログ電源系の入出力端子にフィルター回路やプルアップ/ダウン抵抗を挿入する場合、それらの回路を構成する部品はアナログ電源ラインに接続してください。
- 注 6) 電源ラインと GND ラインとコンデンサーによるループ回路で受ける高周波ノイズを抑制するため、電源ラインと GND ラインは離さずに配線してください。

4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。
表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」。

表 4.5 信号接続一覧(1/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)	M4K0 (LQFP32)
UART ch 0	UT0RXD	PK0	63	48	43	31
		PK1	64	1	44	32
		PK2	1	2	1	1
		PK3	2	3	2	2
	UT0TXDA	PK1	64	1	44	32
		PK0	63	48	43	31
		PK3	2	3	2	2
UART ch 1	UT1RXD	PA1	18	13	-	-
		PA0	19	14		
	UT1TXDA	PA0	19	14		
		PA1	18	13		
UART ch 2	UT2RXD	PG1	57	42	40	28
	UT2TXDA	PG0	56	41	39	27
UART ch 3	UT3RXD	PC1	34	-	-	-
		PC0	35			
	UT3TXDA	PC0	35			
		PC1	34			
I ² C ch 0	I2C0SDA	PB0	31	23	22	-
	I2C0SCL	PB1	32	24	23	
TSPI ch 0	TSPI0RXD	PK2	1	2	1	-
	TSPI0TXD	PK3	2	3	2	
	TSPI0SCK	PK4	3	4	3	
TSPI ch 1	TSPI1RXD	PA1	18	-	-	-
	TSPI1TXD	PA0	19			
	TSPI1SCK	PA2	20			
TSPI ch 2	TSPI2RXD	PG1	57	42	40	28
	TSPI2TXD	PG0	56	41	39	27
	TSPI2SCK	PG2	58	43	41	29
TSPI ch 3	TSPI3RXD	PC1	34	-	-	-
	TSPI3TXD	PC0	35			
	TSPI3SCK	PC2	33			

表 4.6 信号接続一覧(2/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)	M4K0 (LQFP32)
T32A ch 0	T32A00INA0	PK1	64	1	44	32
	T32A00OUTA	PK0	63	48	43	31
	T32A00INC0	PK1	64	1	44	32
	T32A00OUTC	PK0	63	48	43	31
T32A ch 1	T32A01INA0	PA1	18	13	-	-
	T32A01INA1	PA2	20	-	-	-
	T32A01OUTA	PA2	20	-	-	-
	T32A01INB0	PA0	19	14	13	-
	T32A01OUTB	PA0	19	14	13	-
	T32A01INC0	PA1	18	13	-	-
	T32A01INC1	PA2	20	-	-	-
	T32A01OUTC	PA2	20	-	-	-
T32A ch 2	T32A02INA0	PG1	57	42	40	28
	T32A02INA1	PG2	58	43	41	29
	T32A02OUTA	PG0	56	41	39	27
	T32A02INC0	PG1	57	42	40	28
	T32A02INC1	PG2	58	43	41	29
	T32A02OUTC	PG0	56	41	39	27
T32A ch 3	T32A03INA0	PC1	34	-	-	-
	T32A03INA1	PC2	33	-	-	-
	T32A03OUTA	PC0	35	25	24	-
	T32A03INC0	PC1	34	-	-	-
	T32A03INC1	PC2	33	-	-	-
	T32A03OUTC	PC0	35	25	24	-
T32A ch 4	T32A04INA0	PF1	52	-	-	-
	T32A04INA1	PF2	51	-	-	-
	T32A04OUTA	PF0	55	40	38	-
	T32A04INC0	PF1	52	-	-	-
	T32A04INC1	PF2	51	-	-	-
	T32A04OUTC	PF0	55	40	38	-
T32A ch 5	T32A05INA0	PB1	32	24	23	-
	T32A05OUTA	PB0	31	23	22	-
	T32A05OUTB	PB1	32	24	23	-
	T32A05INC0	PB1	32	24	23	-
	T32A05OUTC	PB0	31	23	22	-

表 4.7 信号接続一覧(3/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)	M4K0 (LQFP32)	
12-bit ADC unit A	AINA00	PD0	37	27	26	19	
	AINA01	PD1	38	28	27	20	
	AINA03	PD2	39	29	28	21	
	AINA04	PD3	40	30	29	-	
	AINA06	PD4	41	31	30	22	
	AINA07	PD5	42	32	31	-	
	AINA09	PD6	43	33	32	23	
	AINA10	PE0	44	34	33	-	
	AINA11	PE1	45	35	34	-	
	AINA12	PE2	46	36	-	-	
	AINA13	PE3	47	-	-	-	
	AINA14	PE4	48	-	-	-	
	AINA15	PE5	49	37	35	24	
	INT	INT00a	PK0	63	48	43	31
		INT00b	PF1	52	-	-	-
INT01a		PK1	64	1	44	32	
INT01b		PF2	51	-	-	-	
INT02a		PK2	1	2	1	1	
INT02b		PB0	31	23	22	-	
INT03a		PK3	2	3	2	2	
INT03b		PB1	32	24	23	-	
INT04		PG0	56	41	39	27	
INT05		PG1	57	42	40	28	
INT06		PK4	3	4	3	-	
INT07a		PA0	19	14	13	-	
INT07b		PG2	33	-	-	-	
INT08		PC0	35	25	24	-	
INT09		PA1	18	13	-	-	
INT10	PC1	34	-	-	-		

表 4.8 信号接続一覧(4/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)	M4K0 (LQFP32)
A-PMD ch 0	EMG0	PJ6	22	15	14	10
		PD6	43	33	32	23
		PH2	13	8	8	-
	OVV0	PJ7	21	-	-	-
	UO0	PJ0	28	21	20	16
	VO0	PJ2	26	19	18	14
	WO0	PJ4	24	17	16	12
	XO0	PJ1	27	20	19	15
	YO0	PJ3	25	18	17	13
	ZO0	PJ5	23	16	15	11
	PMD0DBG	PB0	31	23	22	-
		PG0	56	41	39	27
PJ0		28	21	20	16	
A-PMD ch 1	EMG1	PF0	55	40	38	-
	UO1	PG0	56	41	39	27
	VO1	PG1	57	42	40	28
	WO1	PG2	58	43	41	29
	XO1	PG3	59	44	-	-
	YO1	PG4	60	45	-	-
	ZO1	PG5	61	46	-	-
	PMD1DBG	PB1	32	24	23	-
		PJ1	27	20	19	15
		PG1	57	42	40	28
A-ENC ch 0	ENC0A	PG0	56	41	39	27
	ENC0B	PG1	57	42	40	28
	ENC0Z	PG2	58	43	41	29

表 4.9 信号接続一覧(5/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)	M4K0 (LQFP32)
TRGSEL	TRGIN0	PF0	55	40	38	-
	TRGIN1	PB1	32	24	23	-
	TRGIN2	PF2	51	-	-	-
JTAG/SW	TMS	PK2	1	2	1	1
	TCK	PK3	2	3	2	2
	TDO	PK1	64	1	44	32
	TDI	PK0	63	48	43	31
	TRST_N	PK4	3	4	3	-
	SWDIO	PK2	1	2	1	1
	SWCLK	PK3	2	3	2	2
	SWV	PK1	64	1	44	32
TRACE	TRACECLK	PL4	8			
	TRACEDATA0	PL0	7			
	TRACEDATA1	PL1	6			
	TRACEDATA2	PL2	5			
	TRACEDATA3	PL3	4			
NBDIF	NBDSYNC	PK4	3			
	NBDCLK	PL4	8			
	NBDDATA0	PL0	7			
	NBDDATA1	PL1	6			
	NBDDATA2	PL2	5			
	NBDDATA3	PL3	4			

Not Recommended for New Design

表 4.10 信号接続一覧(6/6)

機能	端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)	M4K0 (LQFP32)
入出力ポート	PH3		12	-	7	-
制御端子	X1	PH0	15	10	10	7
	X2	PH1	16	11	11	8
	EHCLKIN	PH0	15	10	10	7
	SCOUT	PJ0	28	21	20	16
	BOOT_N	PJ6	22	15	14	10
	RESET_N		17	12	12	9
	MODE		62	47	42	30
電源端子	AVDD5		50	38	36	25
	AVSS		36	26	25	18
	DVDD5A		9	5	4	3
	DVDD5B		30	-	-	-
	DVDD5C		53	-	-	-
	DVSSA		14	9	9	6
	DVSSB		29	22	21	17
	DVSSC		54	39	37	26
	REGOUT1		11	7	6	5
	REGOUT2		10	6	5	4

Not Recommended for New Design

4.3. ポート

表中の記号の意味は下記のとおりです。

- **Input/Output:** ポートの入出力
Input: 入力
Output: 出力
I/O: 入出力
- **PU/PD:** プログラマブル プルアップ/プルダウン対応
PU: プログラマブル プルアップ選択可能
PD: プログラマブル プルダウン選択可能
- **OD:** プログラマブル オープンドレイン出力対応
YES: 対応
NO: 非対応
- **5V_T:** 5V トレラント対応
YES: 対応
N/A: 非対応
- **SMT/CMOS:**入力ゲート
SMT: シュミット入力
CMOS: CMOS 入力
- **リセット中の状態:** リセット期間中の端子状態です
Hi-Z: ハイインピーダンス
PU: プルアップ
PD: プルダウン
- **リセット後の状態:** リセット解除直後の端子状態です
Hi-Z: ハイインピーダンス
PU: プルアップ
PD: プルダウン

4.3.1. ポート仕様一覧

表 4.11 ポートA,B,C,D,E,F,Gのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PA0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB0	Input/Output	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PB1	Input/Output	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PC0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD5	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD6	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE5	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG5	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.12 ポートH,J,K,Lのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PH0	Input	PD	N/A	N/A	SMT	Hi-Z	Hi-Z
PH1	Input	PD	N/A	N/A	SMT	Hi-Z	Hi-Z
PH2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ5	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ6	Input/Output	PU/PD (注 1)	YES	N/A	SMT	PU	Hi-Z
PJ7	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK0	Input/Output	PU/PD	YES	N/A	SMT	PU(注 2)	PU(注 2)
PK1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z(注 2)	Hi-Z(注 2)
PK2	Input/Output	PU/PD	YES	N/A	SMT	PU(注 2)	PU(注 2)
PK3	Input/Output	PU/PD	YES	N/A	SMT	PD(注 2)	PD(注 2)
PK4	Input/Output	PU/PD	YES	N/A	SMT	PU(注 2)	PU(注 2)
PL0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

注 1) BOOT_N 端子と兼用です。RESET_N 端子=0 の時プルアップ(PU)となります。RESET_N 端子=1 の時に内部リセットがかかった場合は Hi-Z です。

注 2) 初期値はデバッグ用端子に割り当てられています(PK0:TDI、PK1:TDO/SWV、PK2:TMS/SWDIO、PK3:TCK/SWCLK、PK4:TRST_N)。
PK1:TDO/SWV はツールからのコマンドを受け付けるまでは出力にはなりません。

5. 機能説明・動作説明

5.1. リファレンスマニュアル

TMPM4K グループ(1)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM4Kグループ(1) リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出力ポート (TMPM4K グループ(1))	PORT-M4K(1)	システム
メモリーマップ (TMPM4K グループ(1))	MMAP-M4K(1)	システム
例外 (TMPM4K グループ(1))	EXCEPT-M4K(1)	システム
クロック制御と動作モード (TMPM4K グループ(1))	CG-M4K(1)-A	システム
製品個別情報 (TMPM4K グループ(1))	PINFO-M4K(1)	システム
電源とリセット動作 (TMPM4K グループ(1))	RESET-M4K(1)	システム
フラッシュメモリー	FLASH256-B	周辺機能
トリミング回路	TRM-A	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-B	周辺機能
デジタルノイズフィルター回路	DNF-A	周辺機能
デバッグインターフェース	DEBUG-A	周辺機能
ノンブレイクデバッグインターフェース	NBDIF-A	周辺機能
DMA コントローラー	DMAC-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
シリアルペリフェラルインターフェース	TSPI-B	周辺機能
I ² C インターフェース	I2C-B	周辺機能
12ビットアナログデジタルコンバーター	ADC-B	周辺機能
オペアンプ	OPAMP-A	周辺機能
アドバンストプログラマブルモーター制御回路	A-PMD-A	周辺機能
アドバンストエンコーダー入力回路	A-ENC-A	周辺機能
アドバンストベクトルエンジンプラス	A-VE+-B	周辺機能
32ビットタイマーイベントカウンター	T32A-B	周辺機能
クロック選択式ウォッチドックタイマー	SIWDT-A	周辺機能
CRC 計算回路	CRC-A	周辺機能
RAM パリティ	RAMP-A	周辺機能

5.2. プロセッサコア

TMPM4K グループ(1)には、高性能32ビットプロセッサコア(Arm社Cortex-M4(FPU機能搭載)コア)が内蔵されています。

プロセッサコアの動作については、Arm社からリリースされる"Cortex-MシリーズプロセッサのArmドキュメンテーションセット"を参照してください。この章では、製品固有の情報について説明します。

5.2.1. コアに関する情報

TMPM4K グループ(1)で使用している Cortex-M4(FPU機能搭載) コアのバージョンは以下のとおりです。

CPU コア部、アーキテクチャーなどの詳細は、Arm社の下記 URL よりドキュメントを参照してください。

<http://infocenter.arm.com/help/index.jsp>

表 5.2 コアバージョン

グループ名	コアバージョン
TMPM4K グループ(1)	r0p1

5.2.2. 構成可能なオプション

Cortex-M4(FPU機能搭載) コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM4K グループ(1)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレーター: 2本 命令コンパレーター: 6本
DWT	コンパレーター: 4本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHBトレースマクロ セルインターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHBの継続的な制御	なし

5.3. クロック制御と動作モード (CG)

CG は、クロックギアやプリスケラークロックの選択、発振器のウォーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振器: 10MHz
- 外部高速発振器と内部高速発振器が選択可能
- PLL(通倍回路):
 - システムクロック用は高速発振器の周波数に合わせて倍率を変更して 80MHz 出力可能
 - ADC 用は高速発振器の周波数に合わせて倍率を変更して 120MHz 出力可能
- クロックギア:
 - 高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック(fsys)として選択可能。
- 低消費電力モード:
 - IDLE: CPU が停止します。周辺機能は動作可能です。
 - STOP1: システムクロックが停止します。

5.4. フラッシュメモリー(256KB/128KB/96KB/64KB)

コードフラッシュは命令コードを格納し、CPU がリードして実行します。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第三者によるプログラムコードの読み出しを禁止するセキュリティー機能などを搭載しています。

5.5. 発振器

外部高速発振器(EHOSC): 外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。

内蔵高速発振器 1(IHOSC1): 10MHz の発振器です。システムクロックの源発振に使用します。

内蔵高速発振器 2(IHOSC2): 10MHz の発振器です。OFD、SIWDT の基準クロック、カウントクロックの源発振に使用します。

表 5.4 搭載発振器

	M4K4	M4K2	M4K1	M4K0
EHOSC	○	○	○	○
IHOSC1	○	○	○	○
IHOSC2	○	○	○	○

注) ○: 搭載、-: 非搭載

5.6. トリミング回路 (TRM)

内蔵高速発振器 1(IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

	M4K4	M4K2	M4K1	M4K0
TRM	○	○	○	○

注) ○: 搭載、-: 非搭載

5.7. 周波数検知回路 (OFD)

周波数検知回路(OFD)はクロックの異常を検知します。計測対象として外部高速クロック(f_{EHOSC})または高速クロック(f_c)のどちらかを選択できます。内蔵の基準クロック(f_{IHOSC2})を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	M4K4	M4K2	M4K1	M4K0
OFD	○	○	○	○

注) ○: 搭載、-: 非搭載

5.8. 電圧検知回路 (LVD)

電圧検知回路(LVD)は、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は8種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

	M4K4	M4K2	M4K1	M4K0
LVD	○	○	○	○

注) ○: 搭載、-: 非搭載

5.9. デジタルノイズフィルター回路 (DNF)

DNF は外部割り込み入力に搭載したデジタルノイズフィルター回路です。外部割り込み信号 INTx の高レベル/低レベル入力ともにノイズを除去します。

表 5.8 外部割り込み数(DNF搭載数)

	M4K4	M4K2	M4K1	M4K0
外部割り込み数	11	10	9	6

5.10. デバッグインターフェース (DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート (SWCLK, SWDIO) と、JTAG デバッグポート (TDI, TDO, TMS, TCK, TRST_N) の2種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック (TRACECLK) とトレース出力 (TRACEDATA0~3)、NBDIF (NBDSYNC, NBDCLK, NBDDATA0~3) があります。

TMPM4K グループ製品は、シリアルワイヤデバッグポート、JTAG デバッグポート、トレース出力、および NBDIF をサポートしています。

表 5.9 デバッグインターフェース搭載一覧

端子名	ポート	M4K4	M4K2	M4K1	M4K0
TMS/SWDIO	PK2	○	○	○	○
TCK/SWCLK	PK3	○	○	○	○
TDO/SWV	PK1	○	○	○	○
TDI	PK0	○	○	○	○
TRST_N	PK4	○	○	○	-
TRACECLK	PL4	○	-	-	-
TRACEDATA0	PL0	○	-	-	-
TRACEDATA1	PL1	○	-	-	-
TRACEDATA2	PL2	○	-	-	-
TRACEDATA3	PL3	○	-	-	-
NBDSYNC	PK4	○	-	-	-
NBDCLK	PL4	○	-	-	-
NBDDATA0	PL0	○	-	-	-
NBDDATA1	PL1	○	-	-	-
NBDDATA2	PL2	○	-	-	-
NBDDATA3	PL3	○	-	-	-

注) ○: 搭載、-: 非搭載

5.10.1. ノンブレイクデバッグインターフェース (NBDIF)

NBDIF に対応するデバッグ用機器を接続することで、RAM モニターなどを実現します。

NBDIF の対応は製品によって異なります。「表 5.9 デバッグインターフェース搭載一覧」を参照してください。

5.11. DMA コントローラー (DMAC)

DMACは、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを移動させることができる周辺機能です。これらの動作はCPU制御と別に行われるため、DMAを使用することで、CPUの負荷を著しく減らすことができます。

TMPM4K グループ(1)製品は、DMA コントローラー(DMAC)を1ユニット搭載しており、ユニット当たり32チャンネルの起動要因があります。

表 5.10 DMAC搭載一覧

DMAC	M4K4	M4K2	M4K1	M4K0
Unit A	○	○	○	○

注) ○: 搭載、-: 非搭載

5.12. 非同期シリアル通信回路 (UART)

UARTは、非同期シリアル通信機能です。7,8,9ビットのデータ長,パリティ有無,STOPビット長を選択できます。MSBファースト/LSBファーストの選択、データ極性の反転の他にポート設定でTXD/RXDの端子入れ替えができます。FIFOバッファは、送信で8段、受信で8段を内蔵しています。

表 5.11 UART搭載一覧

UART	M4K4	M4K2	M4K1	M4K0
Channel 0	○	○	○	○
Channel 1	○	○	-	-
Channel 2	○	○	○	○
Channel 3	○	-	-	-

注1) ○: 搭載、-: 非搭載

注2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.13. シリアルペリフェラルインターフェース (TSPI)

TSPI は、CS 信号を使用しない SIO 方式で、他のデバイスと高速なシリアル転送が可能な通信機能です。

データ長は、7 ビット(パリティあり)から 32 ビット(パリティなし) まで1 ビット単位で変更可能です。受信、送信ともに 16 ビットの FIFO が 8 段あります。マスター、スレーブに対応します。

表 5.12 TSPI搭載一覧

TSPI(SIO)	M4K4	M4K2	M4K1	M4K0
Channel 0	○	○	○	-
Channel 1	○	-	-	-
Channel 2	○	○	○	○
Channel 3	○	-	-	-

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.14. I²C インターフェース (I²C)

I²C は二線式双方向シリアル通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。また、通信スピードは標準モード(最大 100kbps)、ファストモード(最大 400kbps)に対応しています。

表 5.13 I²C搭載一覧

I ² C	M4K4	M4K2	M4K1	M4K0
Channel 0	○	○	○	-

注) ○: 搭載、-: 非搭載

5.15. 12 ビットアナログデジタルコンバーター (ADC)

ADC は、12 ビット逐次変換方式のアナログ/デジタルコンバーター(AD コンバーター)です。最大 13 チャンネルのアナログ入力に対応します。変換結果レジスターとアナログ入力の組み合わせは、AD 変換の開始要因ごとにプログラム可能です。アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(A-PMD のトリガー出力、タイマー/イベントカウンタ出力、ポート入力)から選択できます。

また、変換結果監視機能があり、比較条件と一致した場合に割り込み要求を発生させることができます。

VREFH/VREFL およびリファレンス電源と接続するセレクターを内蔵しており、ソフトウェアで制御することで自己診断機能をサポートします。

表 5.14 ADC搭載一覧

ADC	M4K4	M4K2	M4K1	M4K0
Unit A	○	○	○	○
AIN 数	13	11	10	6

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.16. オペアンプ (OPAMP)

微弱なアナログ入力を増幅して AD コンバーターへ入力するオペアンプを内蔵しています。ゲインを選択できます。

表 5.15 OPAMP搭載一覧

オペアンプ	M4K4	M4K2	M4K1	M4K0
Unit A	○	○	○	○
Unit B	○	○	○	-
Unit C	○	○	○	-

注) ○: 搭載、-: 非搭載

5.17. アドバンストプログラマブルモーター制御回路 (A-PMD)

アドバンストプログラマブルモーター制御回路(A-PMD)は、ブラシレス DC モーターを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3相相補PWM出力やADCと連携してモーター制御用の波形を容易に発生できます。

また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。さらに、力率改善のための3相インターリーブPFC制御が可能です。

表 5.16 A-PMD搭載一覧

A-PMD	M4K4	M4K2	M4K1	M4K0
Channel 0	○	○	○	○
Channel 1	○	○	— (注3)	— (注3)

注1) ○: 搭載、—: 非搭載

注2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

注3) 3相モーター駆動には使えませんが一部の端子は割り当てられています。

5.18. アドバンストエンコーダー入力回路 (A-ENC)

アドバンストエンコーダー入力回路(A-ENC)は、インクリメンタル型エンコーダーに対応し、モーターの位置を容易に得ることができます。信号の入力端子にノイズキャンセラーが内蔵されているので、インクリメンタルエンコーダー、ホールセンサーの信号を直接入力することができます。

エンコーダーモード、センサーモード(3種類)、タイマーモードおよび位相カウンターモードの6つの動作モードに対応しています。

表 5.17 A-ENC搭載一覧

A-ENC	M4K4	M4K2	M4K1	M4K0
Channel 0	○	○	○	○

注) ○: 搭載、—: 非搭載

5.19. アドバンストベクトルエンジンプラス (A-VE+)

アドバンストベクトルエンジン プラスはベクトル演算処理をハードウェアで行います。この時、ソフトウェアの介在無しでADCとA-PMDと連携動作をします。

また、1シャント電流検出領域の拡大処理や、デッドタイム補償制御、非干渉制御などを行う事ができます。

表 5.18 A-VE+搭載一覧

A-VE+	M4K4	M4K2	M4K1	M4K0
Channel 0	○	○	○	○

注) ○: 搭載、—: 非搭載

5.20. 32 ビットタイマーイベントカウンタ (T32A)

T32A は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンタです。32 ビットタイマーか 16 ビットタイマーかどちらで動作するか選択が可能です。32 ビットタイマーの場合、32 ビットカウンタのタイマー C として動作します。16 ビットタイマーの場合、16 ビットカウンタのタイマー A とタイマー B の構成で動作します。

インターバルタイマー、イベントカウント、インプットキャプチャ、2 相カウンタ入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

表 5.19 T32A搭載一覧

T32A	M4K4	M4K2	M4K1	M4K0
Channel 0	○	○	○	○
Channel 1	○	○	○	○
Channel 2	○	○	○	○
Channel 3	○	○	○	○
Channel 4	○	○	○	○
Channel 5	○	○	○	○

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。

5.21. クロック選択式ウォッチドッグタイマー (SIWDT)

SIWDT は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンタをクリアできなかった場合、カウンタのオーバーフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウントクロックとして、システムクロック (fsys/4)の他に内蔵発振器 1(f_{IHOSC1})、内蔵発振器 2(f_{IHOSC2})の3つから選択が可能です。

指定された期間のみカウンタクリアが可能な、カウンタクリアウインドウ機能があります。

また、プロテクトモードに設定することでリセットがかかるまでレジスタの変更を禁止することができます(カウンタクリアは可能)。

表 5.20 SIWDT搭載一覧

	M4K4	M4K2	M4K1	M4K0
SIWDT	○	○	○	○

注) ○: 搭載、-: 非搭載

5.22. CRC 計算回路 (CRC)

CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリーや通信データを処理してエラーを検出することに使用できます。

表 5.21 CRC搭載一覧

	M4K4	M4K2	M4K1	M4K0
CRC	○	○	○	○

注) ○: 搭載、-: 非搭載

5.23. RAM パリティ (RAMP)

RAM へのライト時に偶数パリティデータを生成(8ビット単位)して格納し、リード時にはパリティ判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。

パリティ生成/判定はハードウェアなので、リアルタイムでパリティエラーを検出することができます。

表 5.22 RAMP搭載一覧

	M4K4	M4K2	M4K1	M4K0
RAMP	○	○	○	○

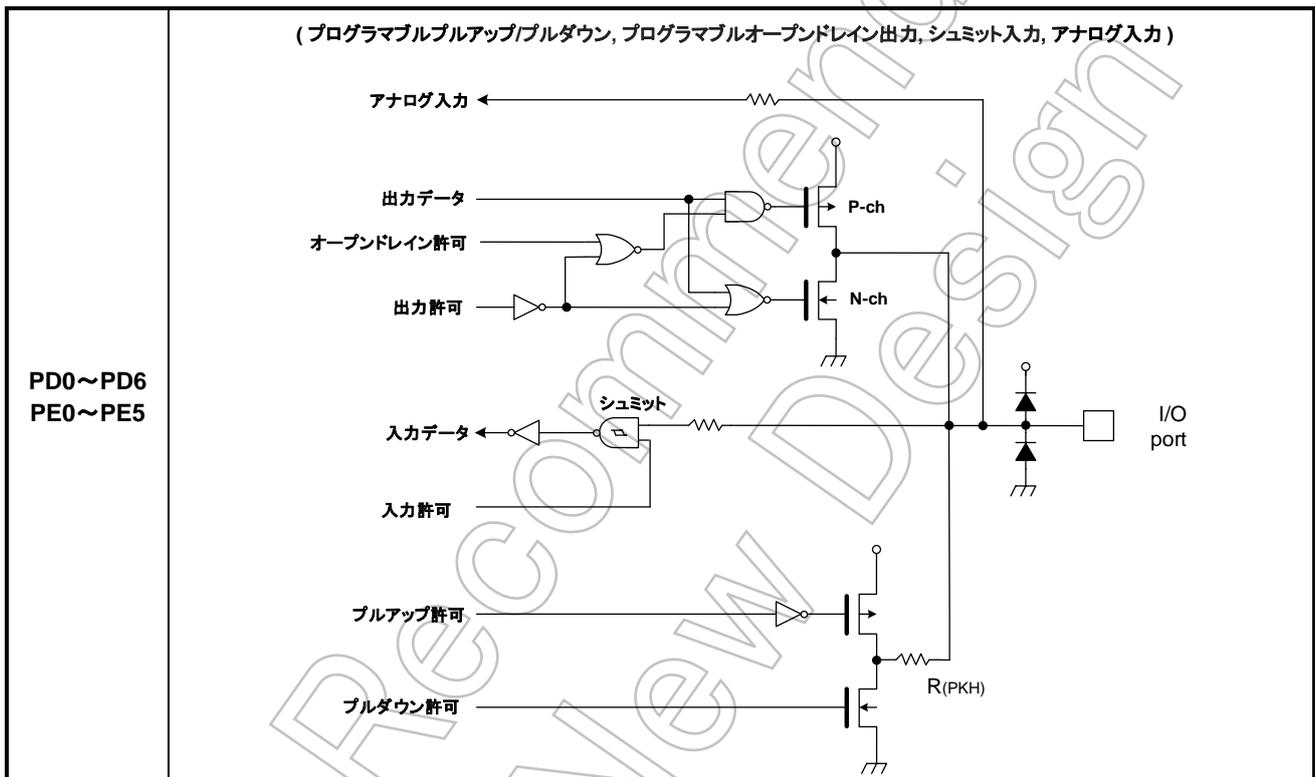
注) ○: 搭載、-: 非搭載

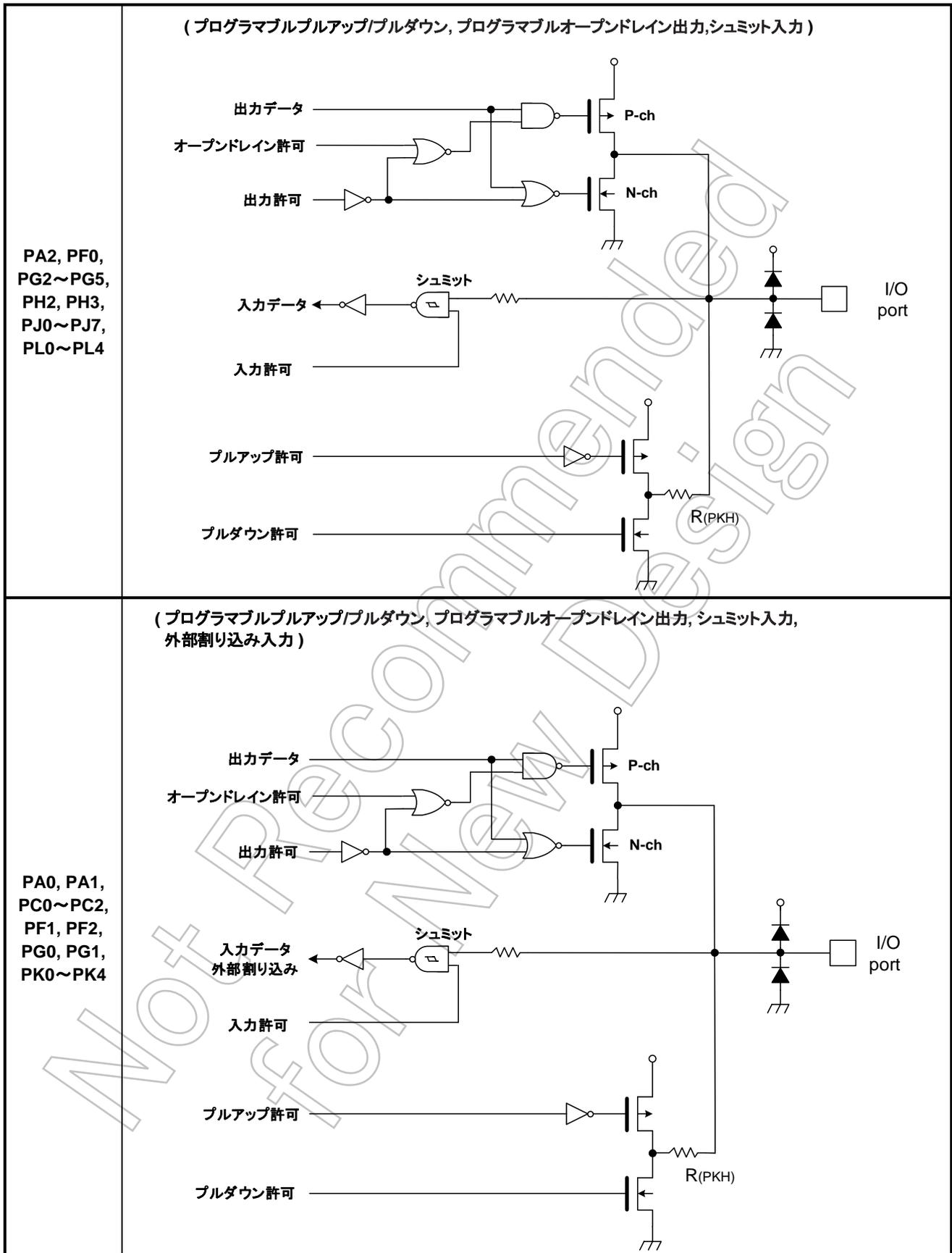
6. 価回路図

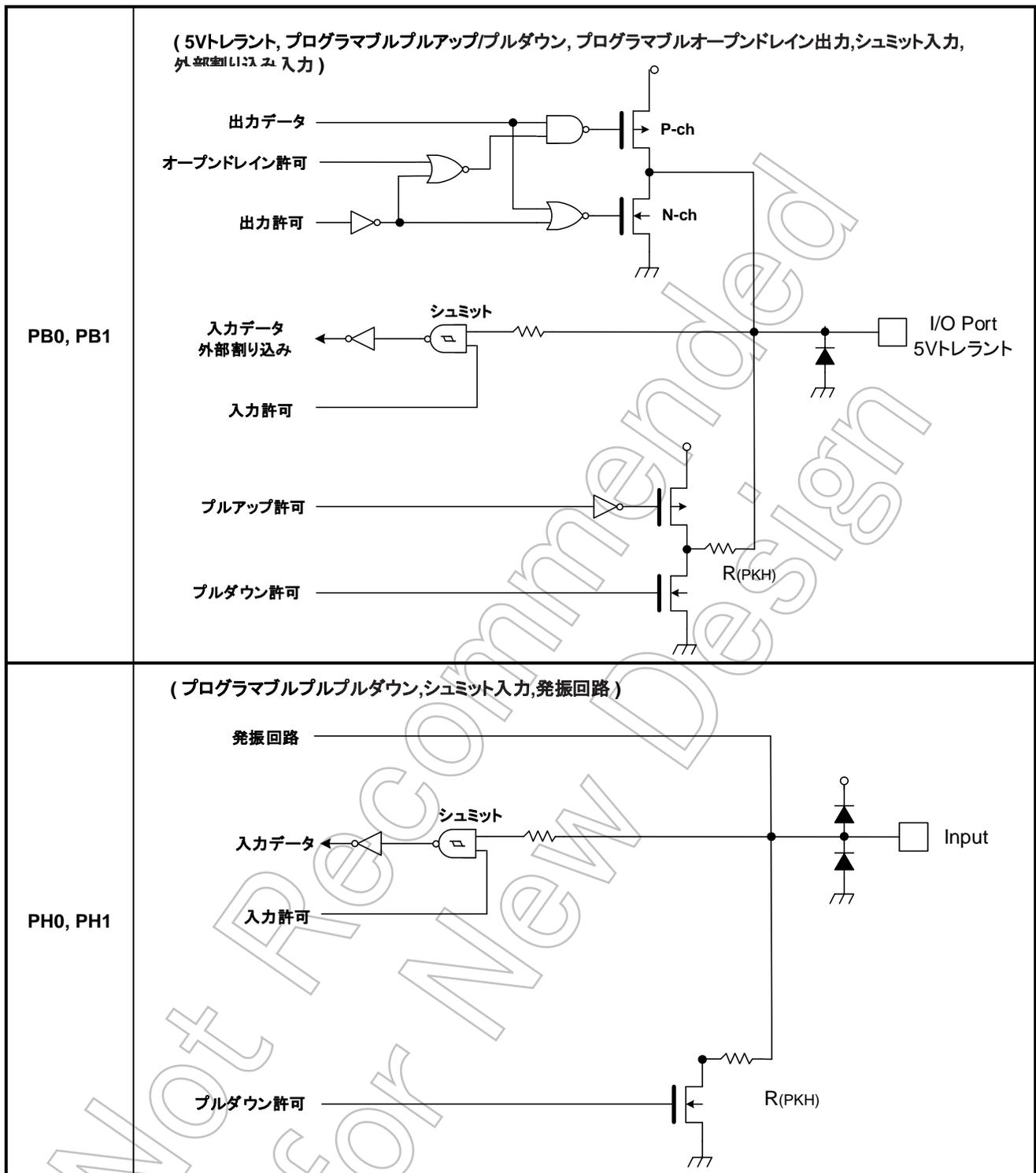
ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

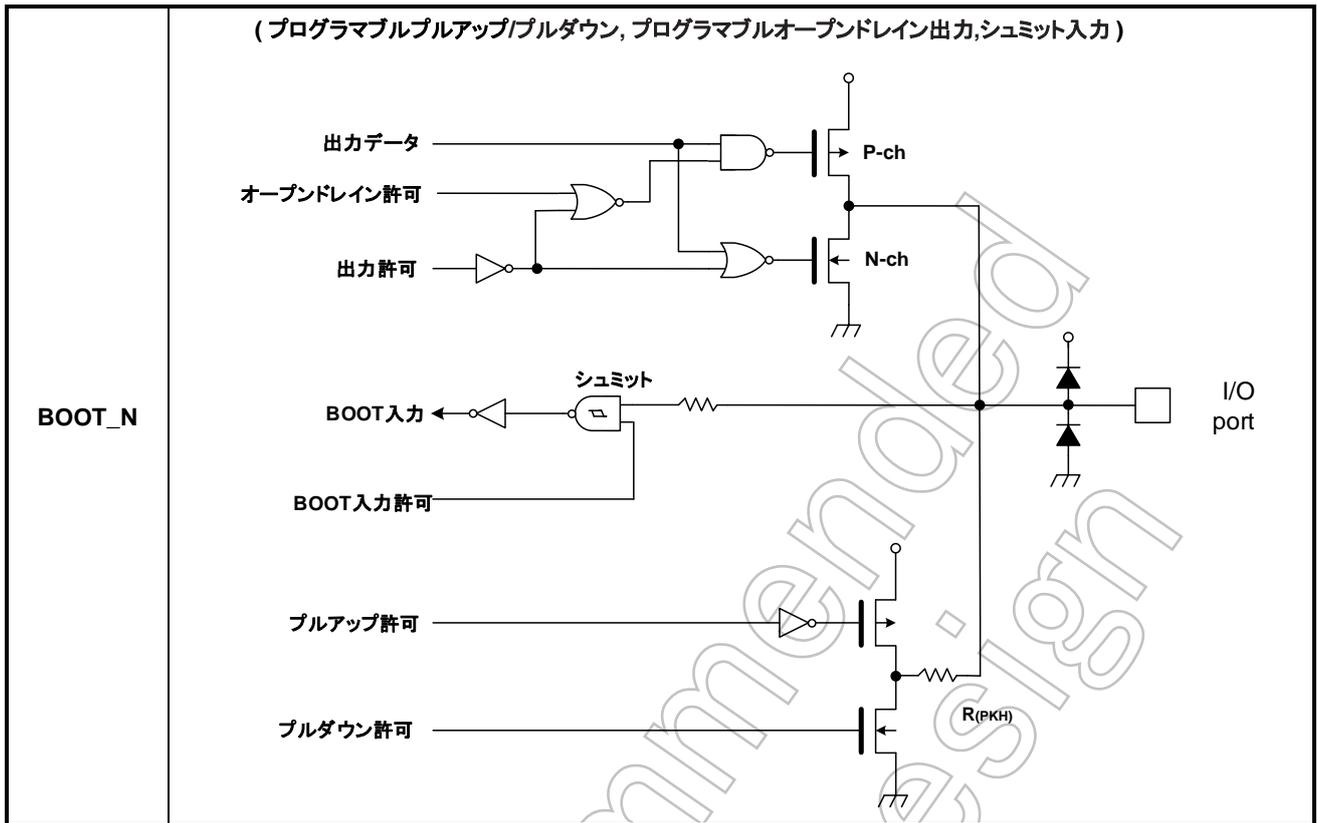
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

6.1. ポート

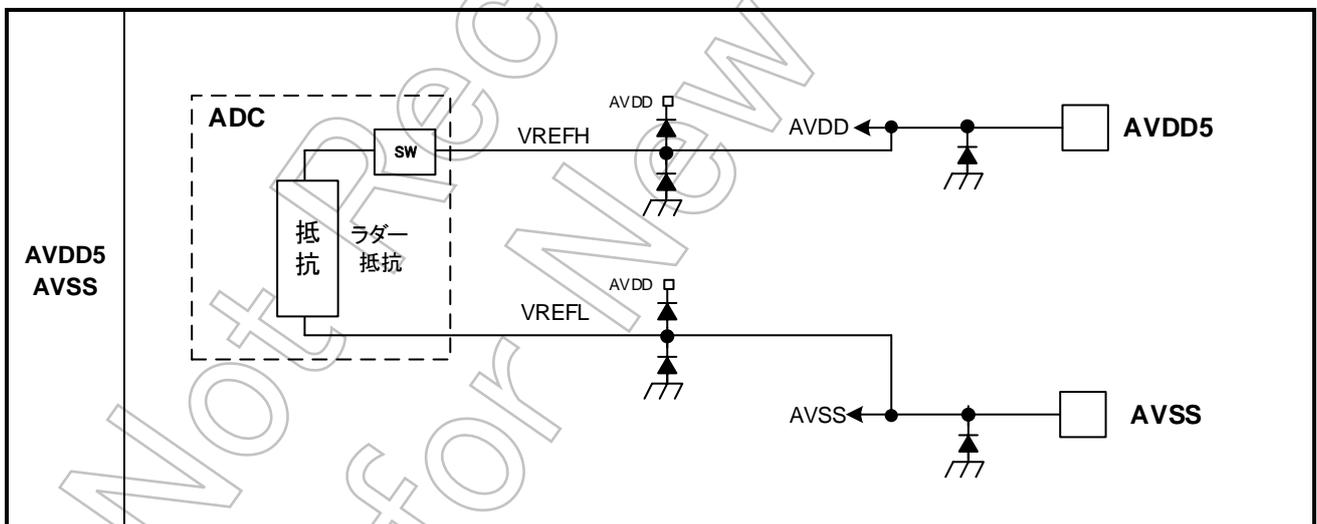






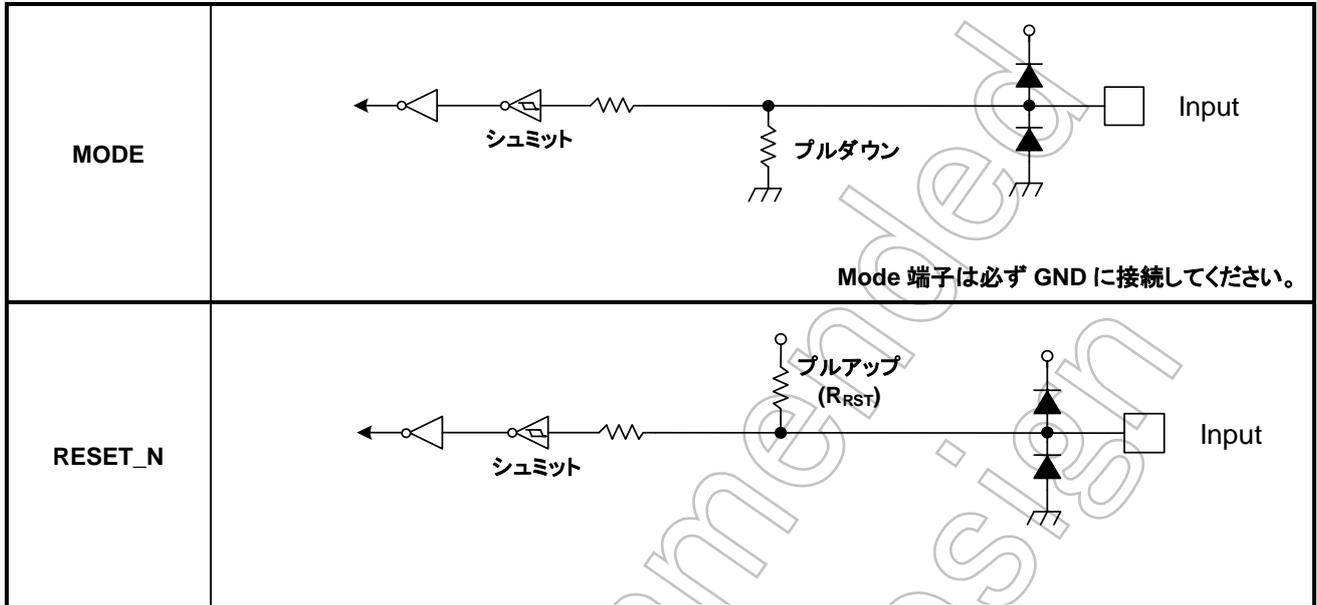


6.2. アナログ関連端子

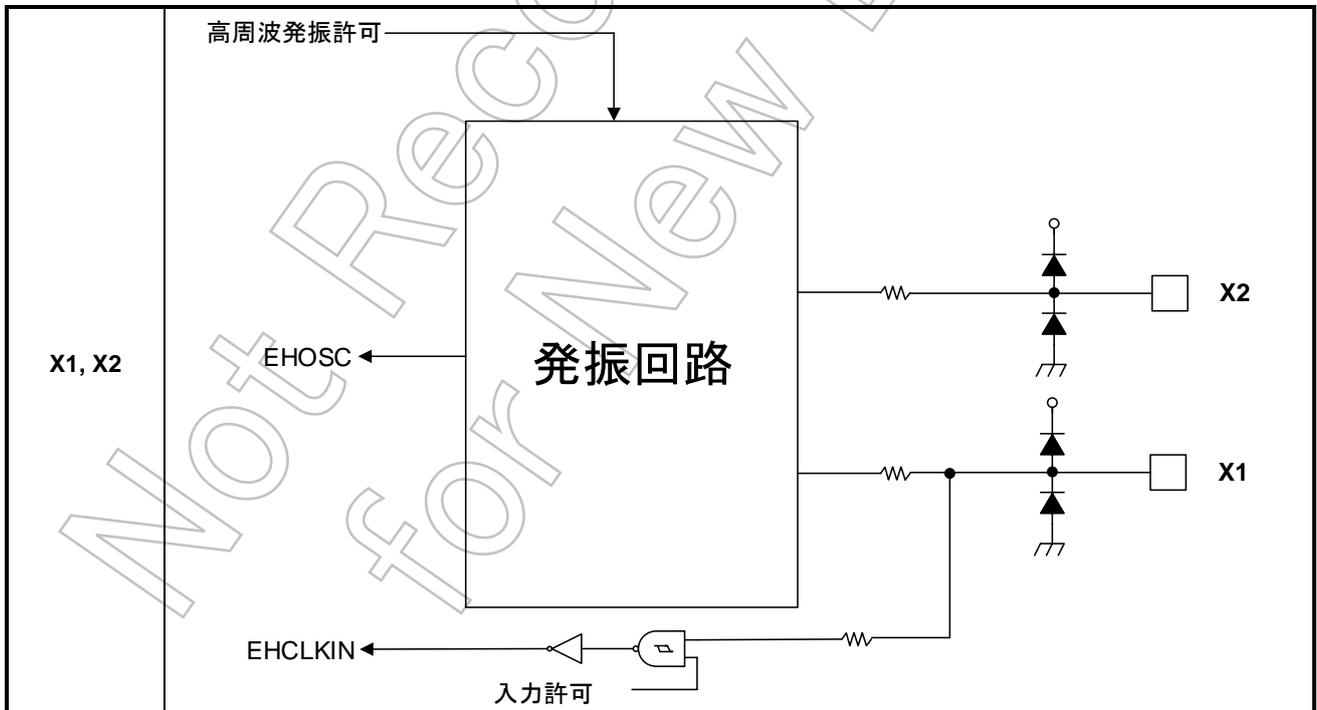


注) SW: ON/OFF スイッチ回路

6.3. 制御端子



6.4. クロック制御



7. 電気的特性

7.1. 絶対最大定格

表 7.1 絶対最大定格

項目	記号	定格	単位
電源電圧	DVDD5A DVDD5B DVDD5C	-0.3~6.0	V
	AVDD5	-0.3~6.0	
電圧保持用キャパシター端子電圧	REGOUT1	-0.3~1.7	V
	REGOUT2	-0.3~3.9	
入力電圧	PA0~PA2, PC0~PC2, PF0~PF2, PG0~PG5, PH0~PH3, PJ0~PJ5, PJ7, PK0~PK4, PL0~PL4, MODE, RESET_N,BOOT_N	V_{IN1} V_{IN2} -0.3~DVDD5+0.3($\leq 6.0V$) (注 1)	V
	PD0~PD6, PE0~PE5	V_{IN3} -0.3~AVDD5+0.3($\leq 6.0V$)	
	PB0,PB1	V_{IN4} -0.3~6.0	
低レベル 出力電流	1 端子ごと PA0~PA2, PC0~PC2, PD0~PD6, PE0~PE5, PF0~PF2, PG0~PG5, PH2~PH3, PJ0~PJ7, PK0~PK4, PL0~PL4	I_{OL} 5	mA
	1 端子ごと PB0,PB1	I_{OL4} 25	
	全端子合計	ΣI_{OL} 50	
高レベル 出力電流	1 端子ごと PA0~PA2, PB0,PB1, PC0~PC2, PD0~PD6, PE0~PE5, PF0~PF2, PG0~PG5, PH2~PH3, PJ0~PJ7, PK0~PK4, PL0~PL4	I_{OH} -5	mA
	全端子合計	ΣI_{OH} -50	
消費電力	PD	500 (Ta=85°C) 250 (Ta=105°C)	mW
はんだ付け温度	T _{SOLDER}	260	°C
保存温度	T _{STG}	-55~125	°C
動作温度	T _{OPR}	-40~105	°C

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。

注 2) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

7.2. DC 電気的特性(1/2)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V
DVSS=AVSS=0V
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位	
電源電圧	DVDD5A, DVDD5B, DVDD5C AVDD5	VDD fosc = 6~12MHz fsys = 1~80MHz	4.5	—	5.5	V	
低レベル 入力電圧	PA0~PA2, PC0~PC2, PF0~PF2, PG0~PG5, PH0~PH3, PJ0~PJ5, PJ7, PK0~PK4, PL0~PL4, MODE, RESET_N, BOOT_N	V _{IL1} V _{IL2}	—	—	DVDD5×0.25	V	
	PD0~PD6, PE0~PE5	V _{IL3}	—	—	AVDD5×0.25		
	PB0, PB1	V _{IL4}	—	—	DVDD5×0.3		
高レベル 入力電圧	PA0~PA2, PC0~PC2, PF0~PF2, PG0~PG5, PH0~PH3, PJ0~PJ5, PJ7, PK0~PK4, PL0~PL4, MODE, RESET_N, BOOT_N	V _{IH1} V _{IH2}	—	DVDD5×0.75	DVDD5+0.3	V	
	PD0~PD6, PE0~PE5	V _{IH3}	—	AVDD5×0.75	AVDD5+0.3		
	PB0, PB1	V _{IH4}	—	DVDD5×0.7	DVDD5+0.3		
低レベル 出力電圧	PA0~PA2, PC0~PC2, PF0~PF2, PG0~PG5, PH2, PH3, PJ0~PJ7, PK0~PK4, PL0~PL4	V _{OL1} V _{OL2}	DVDD5=4.5V I _{OL} =1.6mA	—	—	0.4	V
	PD0~PD6, PE0~PE5	V _{OL3}	AVDD5=4.5V I _{OL} =1.6mA	—	—	0.4	
	PB0, PB1	V _{OL4}	DVDD5=4.5V I _{OL} =8mA	—	—	1.0	
高レベル 出力電圧	PA0~PA2, PB0, PB1, PC0~PC2, PF0~PF2, PG0~PG5, PH2, PH3, PJ0~PJ7, PK0~PK4, PL0~PL4	V _{OH1} V _{OH2}	DVDD5=4.5V I _{OH} = -1.6mA	DVDD5-0.4	—	—	V
	PD0~PD6, PE0~PE5	V _{OH3}	AVDD5=4.5V I _{OH} = -1.6mA	AVDD5-0.4	—	—	

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。DVSS は DVSSA、DVSSB、DVSSC の総称です。

注 2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V
DVSS=AVSS=0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I _{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA	
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	±0.05	10		
シュミット入力幅	V _{TH}	DVDD5 = AVDD5 = 5.0V	—	1.0	—	V	
リセットプルアップ抵抗	R _{RST}	—	25	30	100	kΩ	
プログラマブルプルアップ/ダウン抵抗	P _{KH}	Pull-up	25	30	100		
		Pull-down	25	50	100		
Pin 容量(電源端子を除く)	C _{IO}	fc = 1MHz	—	—	10	pF	
低レベル出力電流	1 端子ごと (PB0, PB1 を除く)	I _{OL}	DVDD5=AVDD5=5.0V	—	—	2 (注 4)	mA
	1 端子ごと (PB0, PB1)	I _{OL4}	DVDD5=5.0V	—	—	12 (注 4)	
	下記ポート全体で PH2, PH3, PA0~PA2, PB0, PB1, PJ0~PJ7, PC0~PC2	Σ _{OL1}	DVDD5=5.0V	—	—	35 (注 5)	
	下記ポート全体で PF0~PF2, PG0~PG5, PK0~PK4, PL0~PL4	Σ _{OL2}	DVDD5=5.0V	—	—	35 (注 5)	
	下記ポート全体で PD0~PD6, PE0~PE5	Σ _{OL3}	AVDD5=5.0V	—	—	20 (注 5)	
高レベル出力電流	1 端子ごと	I _{OH}	DVDD5=AVDD5=5.0V	-2 (注 4)	—	—	mA
	下記ポート全体で PH2, PH3, PA0~PA2, PB0, PB1, PJ0~PJ7, PC0~PC2	Σ _{OH1}	DVDD5=5.0V	-35 (注 5)	—	—	
	下記ポート全体で PF0~PF2, PG0~PG5, PK0~PK4, PL0~PL4	Σ _{OH2}	DVDD5=5.0V	-35 (注 5)	—	—	
	下記ポート全体で PD0~PD6, PE0~PE5	Σ _{OH3}	AVDD5=5.0V	-20 (注 5)	—	—	

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないこと。

注 5) 各グループ電流の合計が、絶対最大定格を越えないこと。

2.7V ≤ DVDD5 = AVDD5 < 4.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
電源電圧	VDD	fosc = 6 ~ 12MHz fsys = 1 ~ 80MHz	2.7	—	4.5	V
低レベル 入力電圧	V _{IL1} V _{IL2}	—	-0.3	—	DVDD5 × 0.25	V
	V _{IL3}	—			AVDD5 × 0.25	
	V _{IL4}	—			DVDD5 × 0.3	
高レベル 入力電圧	V _{IH1} V _{IH2}	—	DVDD5 × 0.75	—	DVDD5 + 0.3	V
	V _{IH3}	—	AVDD5 × 0.75		AVDD5 + 0.3	
	V _{IH4}	—	DVDD5 × 0.7		DVDD5 + 0.3	
低レベル 出力電圧	V _{OL1} V _{OL2}	DVDD5 = 2.7V I _{OL} = 0.8mA	—	—	0.4	V
	V _{OL3}	AVDD5 = 2.7V I _{OL} = 0.8mA	—	—	0.4	
	V _{OL4}	DVDD5 = 2.7V I _{OL} = 4mA	—	—	1.0	
高レベル 出力電圧	V _{OH1} V _{OH2}	DVDD5 = 2.7V I _{OH} = -0.8mA	DVDD5 - 0.4	—	—	V
	V _{OH3}	AVDD5 = 2.7V I _{OH} = -0.8mA	AVDD5 - 0.4	—	—	

注 1) DVDD5はDVDD5A, DVDD5B, DVDD5Cの総称です。DVSSはDVSSA, DVSSB, DVSSCの総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0Vの値です。

注 3) DVDD5, AVDD5は同電位で使用してください

2.7V ≤ DVDD5=AVDD5 < 4.5V
DVSS=AVSS=0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I _{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA	
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	±0.05	10		
シュミット入力幅	V _{TH}	DVDD5 = AVDD5 = 3.0V	—	0.5	—	V	
リセットプルアップ抵抗	R _{RST}	—	25	100	200	kΩ	
プログラマブルプルアップ/ダウン抵抗	P _{KH}	Pull-up	25	100	200		
		Pull-down	25	100	200		
Pin 容量(電源端子を除く)	C _{IO}	fc = 1MHz	—	—	10	pF	
低レベル出力電流	1 端子ごと (PB0, PB1 を除く)	I _{OL}	DVDD5=AVDD5=3.0V	—	—	1 (注 4)	mA
	1 端子ごと (PB0, PB1)	I _{OL4}	DVDD5=3.0V	—	—	6 (注 4)	
	下記ポート全体で PH2, PH3, PA0~PA2, PB0, PB1, PJ0~PJ7, PC0~PC2	Σ _{OL1}	DVDD5=3.0V	—	—	18 (注 5)	
	下記ポート全体で PF0~PF2, PG0~PG5, PK0~PK4, PL0~PL4	Σ _{OL2}	DVDD5=3.0V	—	—	18 (注 5)	
	下記ポート全体で PD0~PD6, PE0~PE5	Σ _{OL3}	AVDD5=3.0V	—	—	10 (注 5)	
高レベル出力電流	1 端子ごと	I _{OH}	DVDD5=AVDD5=3.0V	-1 (注 4)	—	—	mA
	下記ポート全体で PH2, PH3, PA0~PA2, PB0, PB1, PJ0~PJ7, PC0~PC2	Σ _{OH1}	DVDD5=3.0V	-18 (注 5)	—	—	
	下記ポート全体で PF0~PF2, PG0~PG5, PK0~PK4, PL0~PL4	Σ _{OH2}	DVDD5=3.0V	-18 (注 5)	—	—	
	下記ポート全体で PD0~PD6, PE0~PE5	Σ _{OH3}	AVDD5=3.0V	-10 (注 5)	—	—	

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないこと。

注 5) 各グループ電流の合計が、絶対最大定格を越えないこと。

7.3. DC 電气的特性(2/2) (消費電流)

Ta=-40~105°C

項目	記号	条件		Min	Typ.	Max	単位	
		電源電圧	高速クロック					動作条件
NORMAL	I _{DD}	DVDD5= AVDD5= 5.5V	動作条件は表 7.2、 表 7.3 を参照してください。		-	25.3	45.0	mA
IDLE			発振	動作条件は表 7.2、 表 7.3 を参照してください	-	2.7	16	
STOP1			停止	動作条件は表 7.2、 表 7.3 を参照してください	-	0.16	13	mA

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。

注 2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 入力端子は固定、出力端子は解放。

表 7.2 IDD測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1
端子設定	DVDD5= AVDD5=	5.0V(Typ.), 5.5V(max)		
	X1, X2 端子	発振子接続(10MHz)		
	入力端子	固定		
	出力端子	開放		
動作条件 (発振回路)	システムクロック (f _{sys})	80MHz		停止
	外部高速発振器 (EHOSC)	発振		停止
	内部高速発振器 (IHOSC1)	停止		
	PLL	動作(8倍)		停止

表 7.3 IDD測定条件(CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1
CPU	1	動作 (ドライストン Ver.2.1)		停止
DMAC	1	(UART ch 0 送信で起動, 転送先: RAM)		停止
ADC	1	動作 (0.5 μ s, リピート変換)		停止
OPAMP	3	全 ch 動作		停止
RAMP	1	動作		停止
T32A	6	全 ch 動作		停止
A-PMD	2	全 ch 動作		停止
A-ENC	1	動作		停止
A-VE+	1	動作		停止
SIWDT	1	動作		停止
UART	4	2ch: 送信(5Mbps)		停止
I ² C	1		停止	
TSPI	4	2ch: 送信,20MHz		停止
CRC	1		停止	
LVD	1		停止	
OFD	1		停止	
Debug	1		停止	
NBDIF	1		停止	
入出力ポート	—	動作		停止

f_{sys}=80MHz
T_a= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
消費電流 (ADC,OPAMP 動作時)	I _{AVDD}	AVDD5=5.0V、AVSS=0V	—	11.2	17.3	mA

7.4. 12 ビット AD コンバーター特性

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH	AVDD5/VREFH 端子から供給	AVDD5-0.3	—	AVDD5+0.3	V
		AINA15/VREFH 端子から供給(注 5)	4.5	—	AVDD5	
アナログ入力電圧	VAIN	—	AVSS(VREFL)	—	VREFH	V
積分非直線性誤差(INL)	—	4.5V ≤ AVDD5 ≤ 5.5V	-14	—	10	LSB
微分非直線性誤差(DNL)		4.5V ≤ VREFH ≤ 5.5V AVSS=(VREFL)=0V	-1	—	15	
ゼロスケール誤差		0 ≤ (AVDD5-VREFH) ≤ 0.5V VREFH は AINA15 端子(注 5)	-6	—	6	
フルスケール誤差		AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF	-6	—	6	
総合誤差		AIN 負荷容量 ≥ 0.1μF 変換時間 = 0.5μs	-15.5	—	8	
積分非直線性誤差(INL)	—	4.5V ≤ AVDD5 ≤ 5.5V	-7	—	7	LSB
微分非直線性誤差(DNL)		4.5V ≤ VREFH ≤ 5.5V AVSS=(VREFL)=0V	-5	—	5	
ゼロスケール誤差		0 ≤ (AVDD5-VREFH) ≤ 0.5V VREFH は AINA15 端子(注 5)	-6	—	6	
フルスケール誤差		AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF	-6	—	6	
総合誤差		AIN 負荷容量 ≥ 0.1μF 変換時間 = 0.62μs	-7	—	7	
積分非直線性誤差(INL)	—	4.5V ≤ AVDD5=VREFH ≤ 5.5V	-5	—	5	LSB
微分非直線性誤差(DNL)		AVSS=(VREFL)=0V	-5	—	5	
ゼロスケール誤差		AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF	-3	—	3	
フルスケール誤差		AIN 負荷容量 ≥ 0.1μF 変換時間 = 0.85μs	-3	—	3	
総合誤差			-6	—	6	
積分非直線性誤差(INL)	—	2.7V ≤ AVDD5=VREFH < 4.5V	-4	—	4	LSB
微分非直線性誤差(DNL)		AVSS=(VREFL)=0V	-3	—	3	
ゼロスケール誤差		0 ≤ (AVDD5-VREFH) ≤ 0.5V AIN 負荷抵抗 = 600Ω	-5	—	5	
フルスケール誤差		AIN 負荷容量 ≥ 0.1μF 変換時間 = 2.0μs	-5	—	5	
総合誤差			-8	—	8	
安定待ち時間	t _{sta}	[ADAMOD0]<DACON>=1 設定後	3	—	—	μs
変換時間	t _{conv}	4.5V ≤ AVDD5 ≤ 5.5V SCLK=120MHz	0.5	—	0.85	
		2.7V ≤ AVDD5 < 4.5V SCLK=30MHz	—	2	—	

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) 1LSB=(AVDD5(VREFH)-AVSS(VREFL))/4096 V

注 4) AD コンバーター単体動作の時の特性です。

注 5) [ADAMOD0]<REFBSEL>=0 に設定

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta= -40~105°C

項目	条件	Min	Typ.	Max	単位
リファレンス電源	ch 18 選択	1.1	—	1.3	V

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.5. オペアンプ特性

DVDD5=AVDD5=4.5V~5.5V
DVSS=AVSS=0V
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
ゲイン(倍率) (注 2)	VGAIN	—	2.0	—	15	倍
アンプ入力電圧範囲(同相)	VAMPINP VAMPINN	—	AVSS-0.3	—	(AVDD5×0.99) /VGAIN	V
アンプ入力電圧範囲(差動)	VAMPINP VAMPINN	Min Gain=2.0 倍	0	—	AVDD5 /(Min Gain)	
アンプ出力電圧	VVOLT	—	AVDD5×0.01	—	AVDD5×0.99	
差動段オフセット電圧	VOFF	—	-5	—	5	mV
ゲイン誤差	-	—	-3	—	3	%
スルーレート	Vthr	10pF	6	10	—	V/μs
AMPEN→出力安定時間	t _{sta1}	上限: +5mV、下限: -5mV 以内になる時間 CL=10pF	—	—	2	μs

注 1) アンプ単体動作の時の特性です。

注 2) レジスター設定により、2.5,3,3.5,4,4.5,6,7,8,10,12 倍も選択できます。

注 3) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 4) Typ.値は特に指定のない限り Ta=25°C,DVDD5=AVDD5=5.0V の値です。

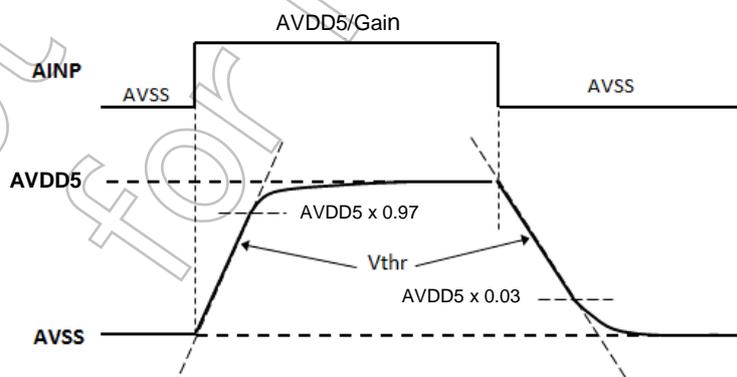


図 7.1 スルーレート

7.6. リセット時内部処理特性

DVSSA=DVSSB=DVSSC=AVSS=0V
Ta = -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t _{INIT}	パワーオン時	—	—	1.85	ms
内部処理時間	t _{IRST}	—	0.16	—	0.2	
CPU 動作待ち時間	t _{CPUWT}	コールドリセット	12	—	15	μs
		ウォームリセット	70	—	90	
電源傾斜	V _{PON}	—	0.01	—	100	mV/μs

7.7. パワーオンリセット特性

DVSSA=DVSSB=DVSSC=AVSS=0V
Ta = -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V _{PREL}	電源立ち上がり	2.25	2.4	2.55	V
	V _{PDET}	電源立ち下がり	2.2	2.35	2.5	
検知パルス幅	t _{PDET}	—	200	—	—	μs

7.8. 電圧検知回路特性

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta=-40~105°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V _{LVL0}	電源立ち上がり	2.55	2.65	2.75	V
		電源立ち下がり	2.5	2.6	2.7	
	V _{LVL1}	電源立ち上がり	2.65	2.75	2.85	V
		電源立ち下がり	2.6	2.7	2.8	
	V _{LVL2}	電源立ち上がり	2.75	2.85	2.95	V
		電源立ち下がり	2.7	2.8	2.9	
	V _{LVL3}	電源立ち上がり	2.85	2.95	3.05	V
		電源立ち下がり	2.8	2.9	3.0	
	V _{LVL4}	電源立ち上がり	3.95	4.05	4.15	V
		電源立ち下がり	3.9	4.0	4.1	
	V _{LVL5}	電源立ち上がり	4.15	4.25	4.35	V
		電源立ち下がり	4.1	4.2	4.3	
	V _{LVL6}	電源立ち上がり	4.35	4.45	4.55	V
		電源立ち下がり	4.3	4.4	4.5	
V _{LVL7}	電源立ち上がり	4.55	4.65	4.75	V	
	電源立ち下がり	4.5	4.6	4.7		
検知応答時間	t _{VDDT1}	電源立ち下がり	—	50	200	μs
解除応答時間	t _{VDDT2}	電源立ち上がり	—	250	—	
セットアップ時間	t _{LV DEN}	—	—	—	100	
検知最小パルス幅	t _{LV DPW}	—	200	—	—	

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.9. AC 電気的特性

7.9.1. シリアルペリフェラルインターフェース(TSPI)

7.9.1.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.9.1.2. AC 電気的特性

TはTSPIの動作クロックの周期を表します。TSPIの動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1) SIO モード マスター

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{cy}	—	20	—	20	MHz
TSPIxSCK 出力周期	t _{cy}	50	—	50	—	ns
TSPIxSCK 低レベル出力パルス幅	t _{wL}	(t _{cy} /2)-13	—	12	—	
TSPIxSCK 高レベル出力パルス幅	t _{wH}	(t _{cy} /2)-13	—	12	—	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{dsu}	35-2×T (注 1)	—	10	—	
		35-T (注 2)	—			
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dhd}	2×T-5 (注 1)	—	20	—	
		T-5 (注 2)	—			
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odly1}	-18	—	-18	—	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odly2}	—	16	—	16	

注 1) [TSPIxCR2]<RXDLY>=1 時、fsys=80MHz

注 2) [TSPIxCR2]<RXDLY>=0 時、fsys=40MHz

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{cyC}	—	20	—	20	MHz
TSPIxSCK 出力周期	t _{cyC}	50	—	50	—	ns
TSPIxSCK 低レベル出力パルス幅	t _{wL}	(t _{cyC} /2)-16	—	9	—	
TSPIxSCK 高レベル出力パルス幅	t _{wH}	(t _{cyC} /2)-16	—	9	—	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{dsU}	45-2×T (注 1)	—	20	—	
		45-T (注 2)	—			
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dHd}	2×T-5 (注 1)	—	20	—	
		T-5 (注 2)	—			
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{oDLy1}	-18	—	-18	—	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{oDLy2}	—	16	—	16	

注 1) [TSPIxCR2] < RXDLY > = 1 時、fsys = 80MHz

注 2) [TSPIxCR2] < RXDLY > = 0 時、fsys = 40MHz

(2) SIO モード スレーブ

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{cyC}	—	10	—	10	MHz
TSPIxSCK 入力周期	t _{cyC}	100	—	100	—	ns
TSPIxSCK 低レベル入力パルス幅	t _{wL}	37	—	37	—	
TSPIxSCK 高レベル入力パルス幅	t _{wH}	37	—	37	—	
TSPIxRXD 入力 ←SPIxSCK 立ち上がり/立ち下がり時間	t _{dsU}	7	—	7	—	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dHd}	10	—	10	—	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{oDLy1}	0	—	0	—	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{oDLy2}	—	36	—	36	

2.7V ≤ DVDD5 = AVDD5 < 4.5V

項目	記号	計算式		f _{sys} = 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{cyc}	—	10	—	10	MHz
TSPIxSCK 入力周期	t _{cyc}	100	—	100	—	ns
TSPIxSCK 低レベル入力パルス幅	t _{wL}	37	—	37	—	
TSPIxSCK 高レベル入力パルス幅	t _{wH}	37	—	37	—	
TSPIxRXD 入力 ←SPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	7	—	7	—	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	10	—	10	—	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	0	—	0	—	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	—	55	—	55	

(1) 2nd クロックエッジサンプリング(マスター)

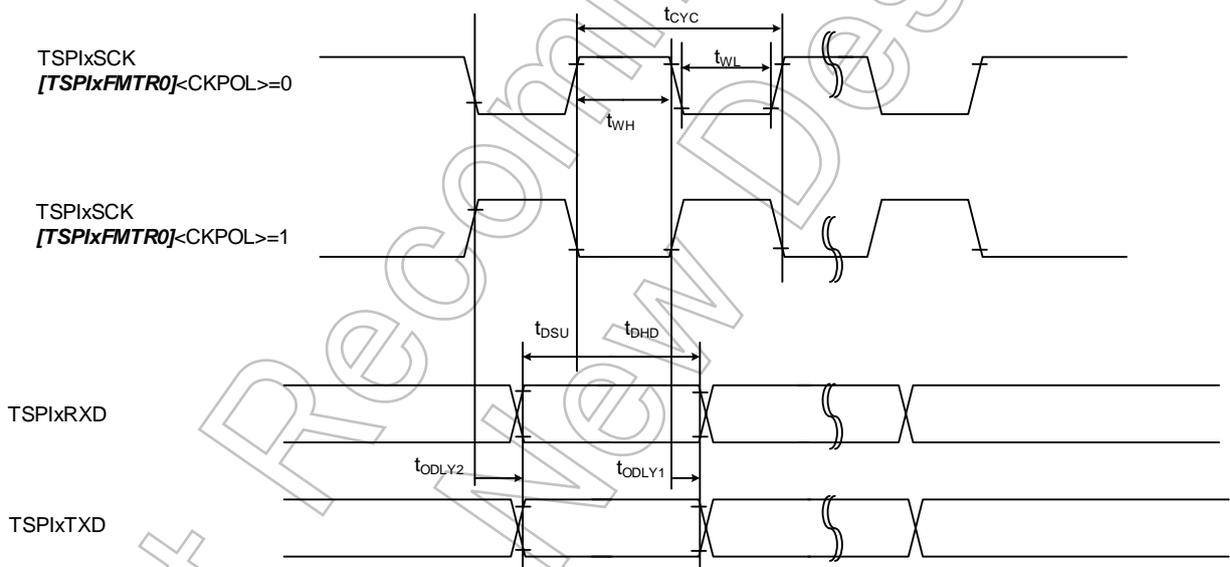


図 7.2 2ndクロックエッジサンプリング(マスター)

(2) 2nd クロックエッジサンプリング(スレーブ)

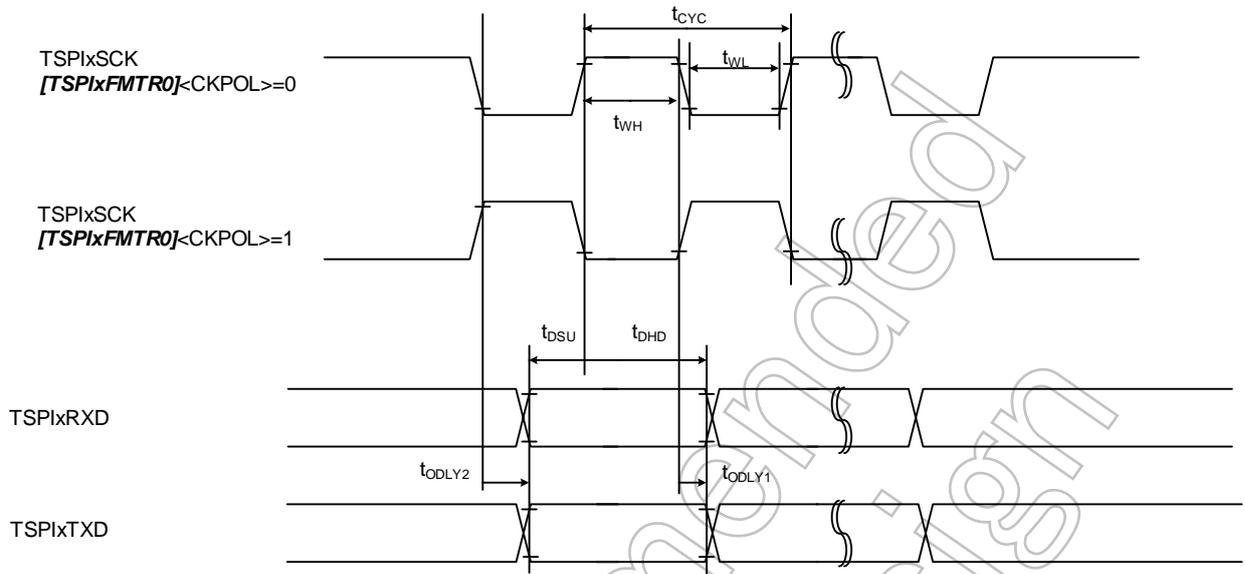


図 7.3 2ndクロックエッジサンプリング(スレーブ)

Not Recommended for New Design

7.9.2. I²C インターフェース(I²C)

7.9.2.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5=AVDD5=2.7V~5.5V
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD5、Low = 0.3×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5はDVDD5A,DVDD5B,DVDD5C の総称です。DVSSはDVSSA,DVSSB,DVSSC の総称です。

7.9.2.2. AC 電気的特性

T は I²C の動作クロック周期です。

n は [I2CxCR]<SCK> で指定した SCL 出力クロックの周波数選択値、p は [I2CxPRS]<PRSCK> で指定したプリスケラー分周比です。

項目	記号	標準モード		ファストモード		単位
		Min	Max	Min	Max	
SCL クロック周波数	f _{SCL}	0	100	0	400	kHz
スタートコンディション保持	t _{HD, STA}	4.0	—	0.6	—	μs
SCL クロック Low 幅(入力) (注 1)	t _{LOW}	4.7	—	1.3	—	
SCL クロック High 幅(入力) (注 2)	t _{HIGH}	4.0	—	0.6	—	
再スタートコンディションセット アップ時間	<SREN>=0 t _{SU, STA}	4.7 (注 5)	—	0.6(注 5)	—	
	<SREN>=1 t _{SU, STA}	4.7 (注 5)	—	0.6	—	
データ保持時間(入力) (注 3,4)	t _{HD, DAT}	0	—	0	—	
データセットアップ時間	t _{SU, DAT}	250	—	100	—	ns
ストップコンディションセットアップ時間	t _{SU, STO}	4.0	—	0.6	—	μs
ストップコンディションとスタートコンディション間の バスフリー時間(注 5)	t _{BUF}	4.7	—	1.3	—	
入力フィルタで抑制必要なスパイクパルス幅	t _{SP}	—	—	0	50	ns
SDA と SCL 信号の立ち上がり時間	t _r	—	1000	20	300	
SDA と SCL 信号の立ち下がり時間	t _f	—	300	20 × (V _{DD} /5.5V)	300	

注 1) SCL クロック Low 幅(出力): $p \times (2^{n+1} + 10) / T$ ([I2CxOP]<NFSEL>=0 の時)

注 2) SCL クロック High 幅(出力): $p \times (2^{n+1} + 6) / T$ ([I2CxOP]<NFSEL>=0 の時)

通信規格上、標準モード/ファストモードの最高速度は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記の注 1、注 2 の計算式で設定されますのでご注意ください。

注 3) データ保持時間(出力)は、内部 SCL からプリスケラークロック(T_{prscck}) 4 サイクル分の時間です。

注 4) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになってはいますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t_r/t_f を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注 5) ソフトウェアで時間を確保してください。

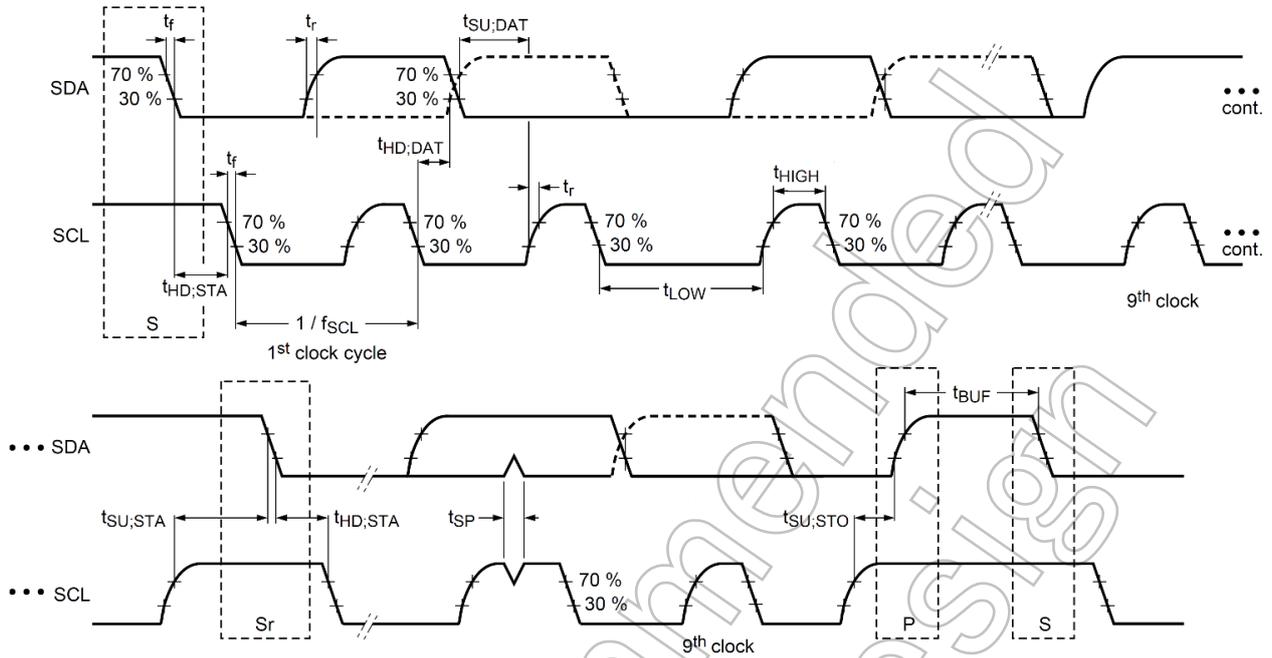


図 7.4 I²CのACタイミング

7.9.3. 32 ビットタイマーイベントカウンタ(T32A)

T32AxINA0/A1, T32AxINB0/B1, T32AxINC0/C1 入力に対する AC 電気的特性です。

7.9.3.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.9.3.2. AC 電気的特性

T は T32A の動作クロックの周期を表します。T32A の動作クロックは、クロック ΦT0 と同じ周期です。この周期は、プリスケラークロックの設定に依存します。

(1) パルスカウンタ動作時以外

項目	記号	計算式		ΦT0=80MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{vckL}	2T + 20	—	45	—	ns
高レベルパルス幅	t _{vckH}	2T + 20	—	45	—	

(2) パルスカウンタ動作時

項目	記号	計算式		ΦT0=80MHz NF=4		単位
		Min	Max	Min	Max	
パルス周期	t _{dcyc}	1000	—	1000	—	ns
低レベルパルス幅	t _{pwl}	500	—	500	—	
高レベルパルス幅	t _{pwh}	500	—	500	—	
入力セットアップ	t _{abs}	(NF+1)×T+20	—	82.5	—	
入力ホールド	t _{abh}	(NF+1)×T+20	—	82.5	—	

NF の値は[T32AxPLSCR]<NF[1:0]> の設定により以下の値になります。

[T32AxPLSCR]<NF[1:0]>	計算式の NF 値
00	0
01	2
10	4
11	8

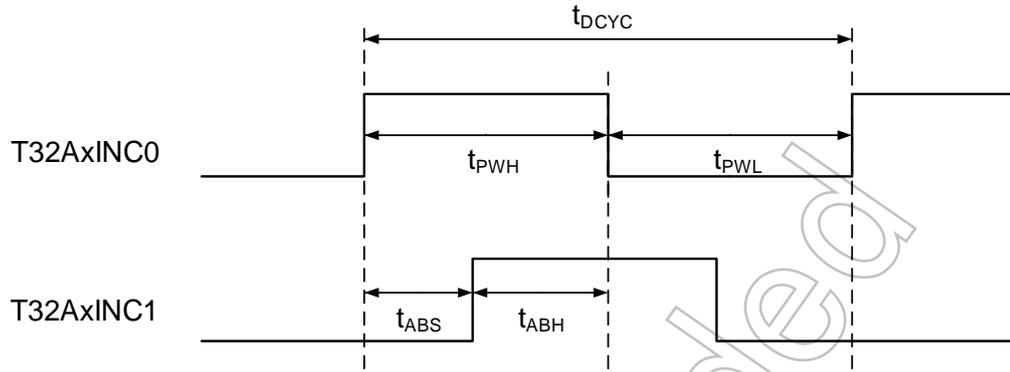


図 7.5 カウントパルス入力

7.9.4. 外部割り込み

7.9.4.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.9.4.2. AC 電气的特性

表中の T はシステムクロック fsys の周期を表します。

(1) NORMAL, IDLE モード時

項目	記号	計算式		fsys=80MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{INTAL1}	T + 100	—	112.5	—	ns
高レベルパルス幅	t _{INTAH1}	T + 100	—	112.5	—	

(2) STOP1 モード時

項目	記号	計算式				単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{INTCL2}	125	—	125	—	ns
高レベルパルス幅	t _{INTCH2}	125	—	125	—	

7.9.5. 端子トリガー入力(TRGINx)

7.9.5.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.9.5.2. AC 電气的特性

表中の T はシステムクロック fsys の周期を表します。

項目	記号	計算式		fsys=80 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	tADL	2T+ 20	—	45	—	ns
高レベルパルス幅	tADH	2T+ 20	—	45	—	

7.9.6. デバッグ通信

7.9.6.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.9.6.2. SWD インターフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
CLK 周期	t _{dck}	100	—	ns
CLK 立ち上がりから出力データ保持	t _{d1}	4	—	
CLK 立ち上がりから出力データ有効	t _{d2}	—	31	
入力データ有効から CLK 立ち上がり	t _{ds}	20	—	
CLK 立ち上がりから入力データ保持	t _{dh}	15	—	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK 周期	t _{dck}	100	—	ns
CLK 立ち上がりから出力データ保持	t _{d1}	4	—	
CLK 立ち上がりから出力データ有効	t _{d2}	—	45	
入力データ有効から CLK 立ち上がり	t _{ds}	20	—	
CLK 立ち上がりから入力データ保持	t _{dh}	15	—	

7.9.6.3. JTAG インターフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	83.3	—	ns
CLK 立ち下がりから出力データ保持	t_{d3}	4	—	
CLK 立ち下がりから出力データ有効	t_{d4}	—	33	
入力データ有効から CLK 立ち上がり	t_{ds}	20	—	
CLK 立ち上がりから入力データ保持	t_{dh}	15	—	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	83.3	—	ns
CLK 立ち下がりから出力データ保持	t_{d3}	4	—	
CLK 立ち下がりから出力データ有効	t_{d4}	—	45	
入力データ有効から CLK 立ち上がり	t_{ds}	20	—	
CLK 立ち上がりから入力データ保持	t_{dh}	15	—	

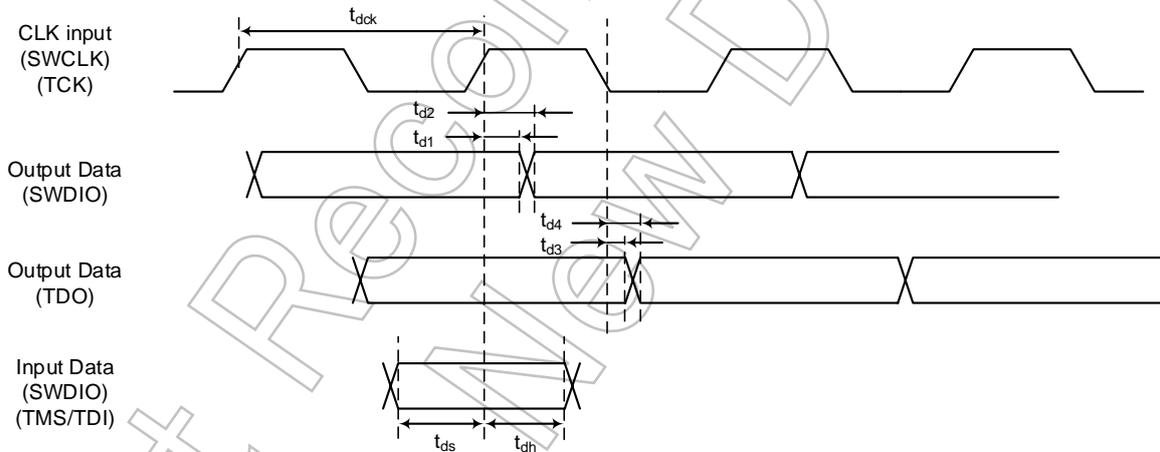


図 7.6 JTAG/SWD波形

7.9.6.4. ETM インターフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
TRACECLK 周期	t _{clk}	50	—	ns
TRACECLK 立ち上がりから DATA 有効	t _{setupr}	2	—	
TRACECLK 立ち上がりから TRACEDATA 保持	t _{holdr}	1	—	
TRACECLK 立ち下がりから TRACEDATA 有効	t _{setupf}	2	—	
TRACECLK 立ち下がりから TRACEDATA 保持	t _{holdf}	1	—	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	Min	Max	単位
TRACECLK 周期	t _{clk}	100	—	ns
TRACECLK 立ち上がりから DATA 有効	t _{setupr}	2	—	
TRACECLK 立ち上がりから TRACEDATA 保持	t _{holdr}	1	—	
TRACECLK 立ち下がりから TRACEDATA 有効	t _{setupf}	2	—	
TRACECLK 立ち下がりから TRACEDATA 保持	t _{holdf}	1	—	

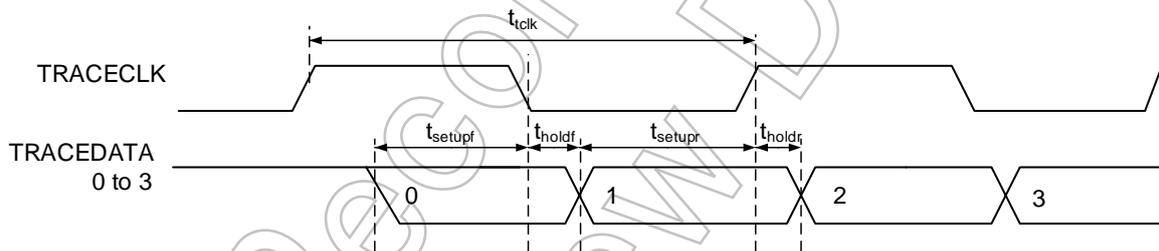


図 7.7 トレース信号波形

7.9.6.5. NBD インターフェース

項目	記号	Min	Max	単位
NBDCLK サイクル時間	t_{NDCYC}	80	—	ns
NBDCLK 低レベルパルス幅	t_{NDL}	35	—	
NBD DATA 出力遅延時間	t_{NDD}	—	$t_{NDCYC} - 20$	
NBD DATA 出力ホールド時間	t_{NDHD}	5	—	
NBD DATA セットアップ時間	t_{NDS}	20	—	
NBD DATA ホールド時間	t_{NDH}	5	—	
NBDSYNC セットアップ時間	t_{NDSYS}	20	—	
NBDSYNC 出力ホールド時間	t_{NDSYH}	5	—	

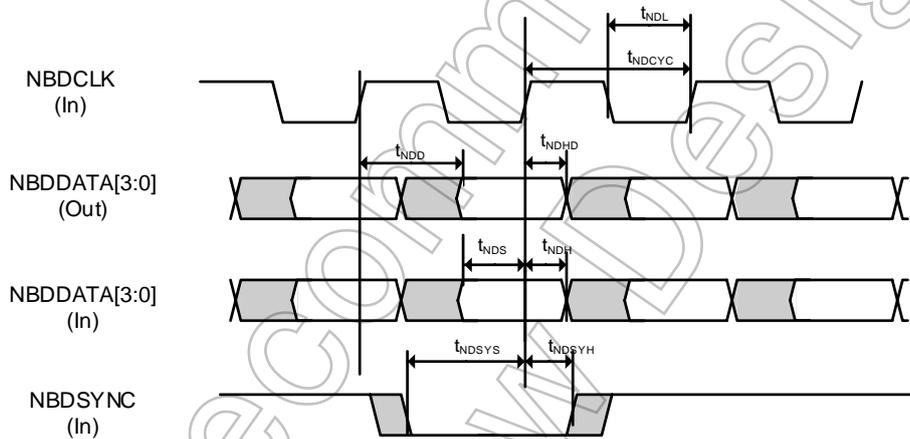


図 7.8 NBDIFのACタイミング

7.9.7. SCOUT 端子

7.9.7.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.9.7.2. AC 電気的特性

表中の T は SCOUT 出力波形の周期を示します。

$$4.5V \leq DVDD5=AVDD5 \leq 5.5V$$

項目	記号	計算式		SCOUTの周波数に20MHzを設定		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{SCL}	0.5T-10	—	11	—	ns
高レベルパルス幅	t _{SCH}	0.5T-10	—	11	—	

$$2.7V \leq DVDD5=AVDD5 < 4.5V$$

項目	記号	計算式		SCOUTの周波数に20MHzを設定		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{SCL}	0.5T-12	—	4	—	ns
高レベルパルス幅	t _{SCH}	0.5T-12	—	4	—	

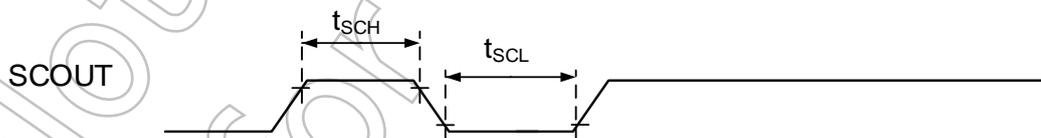


図 7.9 SCOUT出力波形

7.9.8. ノイズフィルター特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	DVDD5 = 2.7~5.5V Ta = -40~105°C	15	30	60	ns

7.9.9. 外部クロック入力

7.9.9.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.9.9.2. AC 電气的特性

項目	記号	Min	Typ.	Max	単位
クロック周波数(1/ t_{echin})	$f_{EHCLKIN}$	6	—	12	MHz
クロック Duty	—	45	—	55	%
クロック立ち上がり時間	t_r	—	—	10	ns
クロック立ち下がり時間	t_f	—	—	10	ns

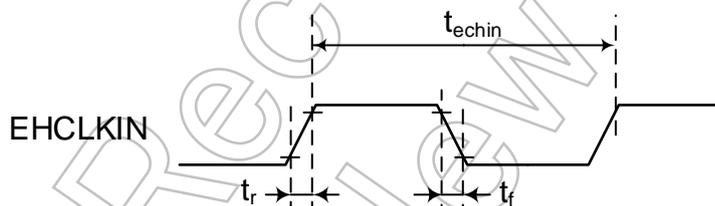


図 7.10 外部クロック入力波形

7.10. フラッシュ特性

7.10.1. コードフラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数	DVDD5=2.7V~5.5V Ta=-40~105°C	—	—	10,000	回
書き込み時間	1word あたりに換算	—	29.5	—	μs
消去時間	ページ	1.1	—	4.3	ms
	ブロック	8.6	—	34	
	エリア(注 2)	—	9.2	—	

注 1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 2) プロテクトが有効なブロックが無い場合です。

7.10.2. チップ消去特性

DVDD5=2.7V~5.5V
Ta=-40~105°C

項目	条件	Min	Typ.	Max	単位
チップ消去時間	消去対象: コードフラッシュ プロテクトビット(コード) ユーザーインフォメーションエリア セキュリティービット	12.5	—	22.1	ms

注 1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 2) チップ消去コマンド実行時、プロテクトが有効なブロックが無い場合の時間です。

7.11. レギュレーター

項目	条件	Min	Typ.	Max	単位
REGOUT2 コンデンサー容量	DVDD5=2.7V~5.5V Ta=-40~105°C	—	4.7	—	μF
REGOUT1 コンデンサー容量		—	4.7	—	

注) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

7.12. 発振回路

7.12.1. 内蔵発振器

DVDD5=2.7V~5.5V
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{IHOSC1}	出荷時、IC 単体時 (注 2)	—	10	—	MHz
	f _{IHOSC2}		—	10	—	

注 1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 2) 出荷後の変動影響は含みません。IHOSC1 は必要に応じてトリミングを行ってください。IHOSC2 はトリミングできません。

7.12.2. 外部発振器

DVDD5=2.7V~5.5V
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{EHOSC}	—	6	—	12	MHz

注 1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

7.12.3. 発振回路例

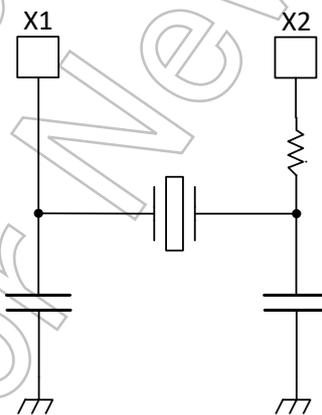


図 7.11 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

7.12.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。
(株)村田製作所の製品詳細につきましては同社ホームページを参照してください。

7.12.5. 水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。
京セラ(株)の製品詳細につきましては同社ホームページを参照してください。

7.12.6. プリント基板の設計に関する注意

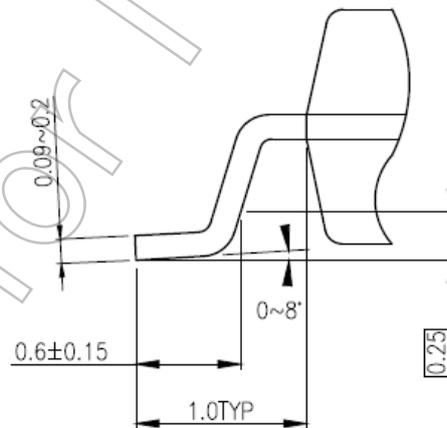
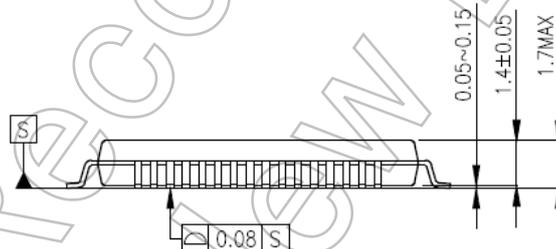
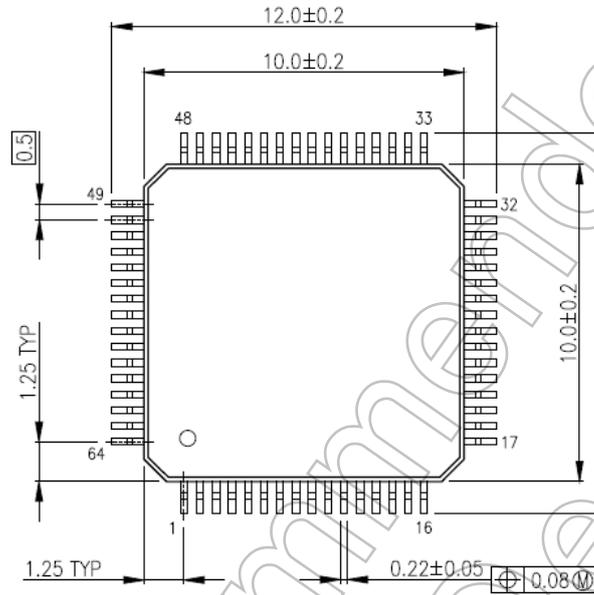
水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

Not Recommended
for New Design

8. 外形寸法図

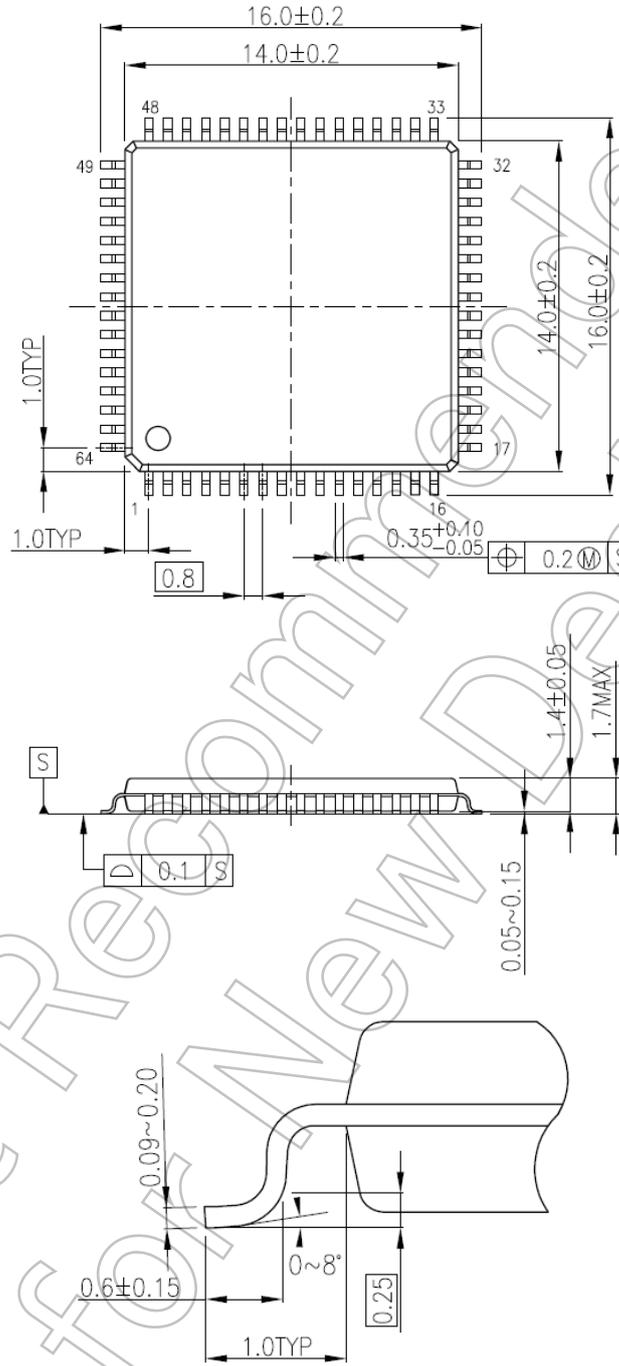
8.1. P-LQFP64-1010-0.50-003

単位: mm



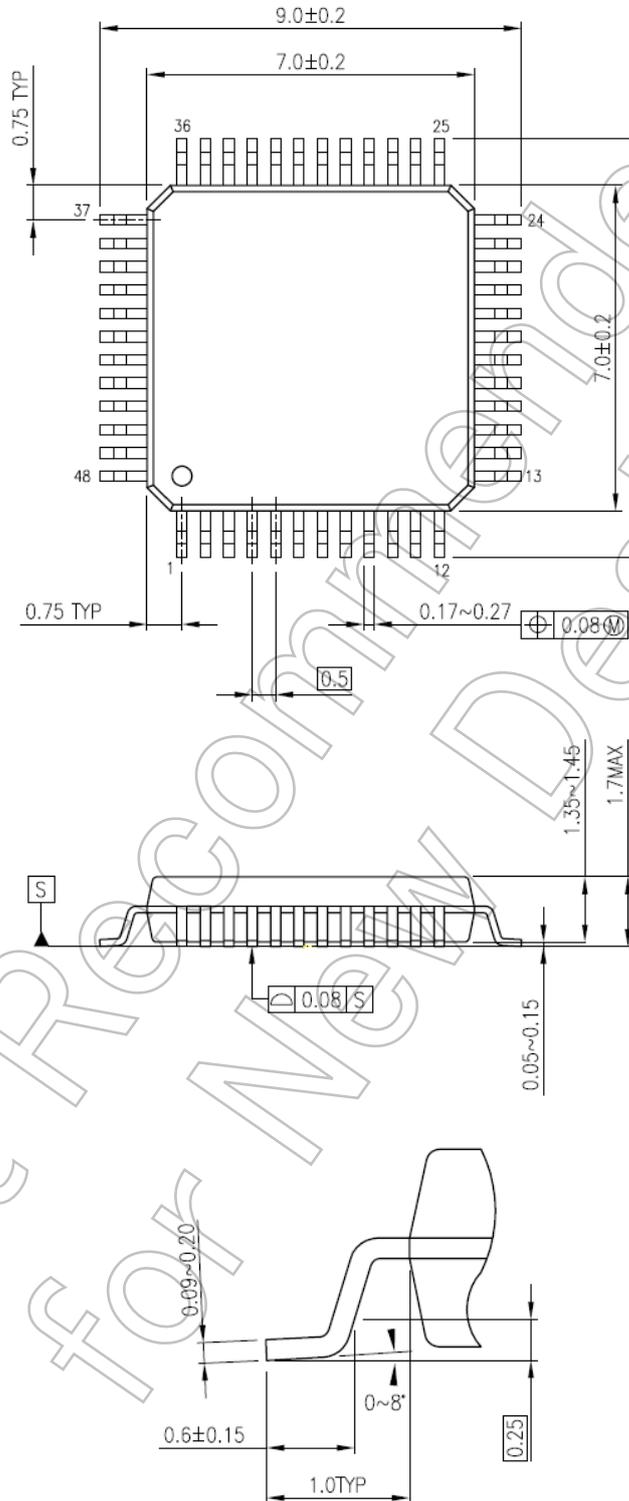
8.2. P-LQFP64-1414-0.80-002

単位: mm



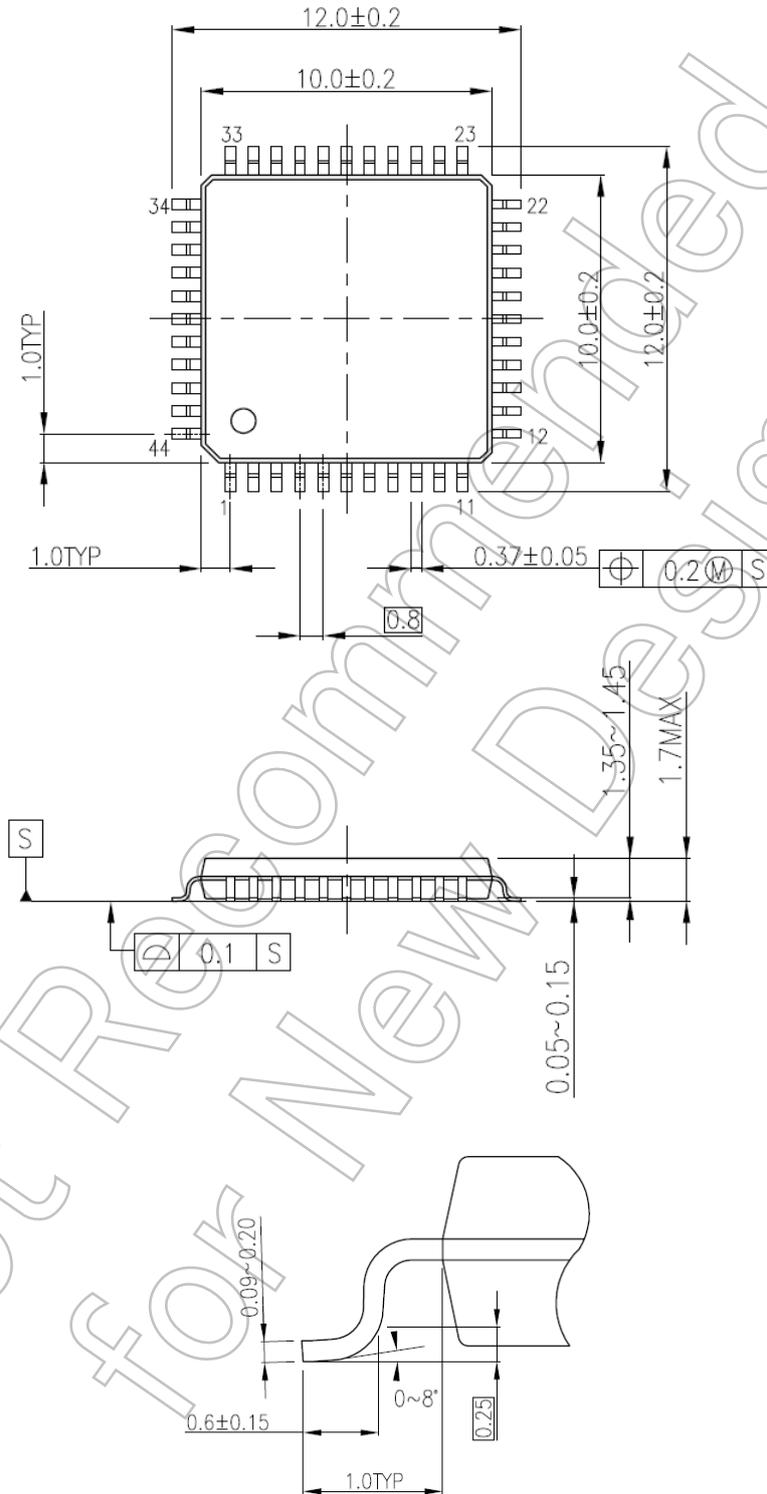
8.3. P-LQFP48-0707-0.50-002

単位: mm



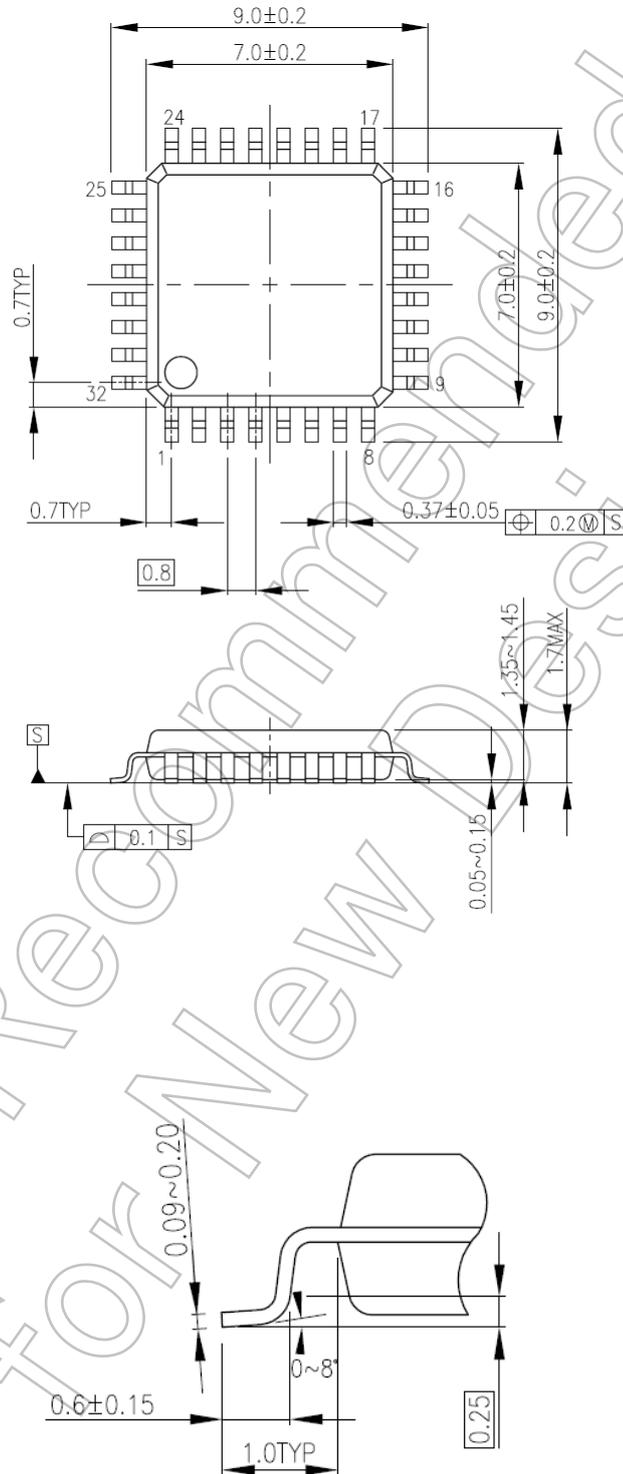
8.4. P-LQFP44-1010-0.80-003

単位: mm



8.5. P-LQFP32-0707-0.80-002

単位: mm



9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

(1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

(2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通して GND 端子に固定することを推奨します。

(3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

Not Recommended
for New Design

10. 改訂履歴

表 10.1 改訂履歴

Revision	日付	内容
1.0	2018-01-24	・新規作成
2.0	2018-05-10	<ul style="list-style-type: none"> ・表 1 修正(Op-Amp→OPAMP) ・用語略語 修正(Op-Amp→OPAMP, Amplifire →Amplifier) ・図 1.1 ブロック図修正 ・表 5.1 マニュアル名修正(フラッシュメモリー) ・6.1 ポート(PA0、PB0)図修正, PJ6,BOOT を修正 ・6.4 クロック制御 修正 ・Appendix 品番付与情報 修正
3.0	2018-07-05	<ul style="list-style-type: none"> ・特徴 割り込み 内部(72→66) ・製品量産開始時期 追記 ・5.13 文言修正 ・7.2 DC 電氣的特性(1/2) 2.7V~4.5V 時の誤記修正(fsys=~80MHz) ・7.3 DC 電氣的特性(2/2)(消費電流) IDLE の動作条件を修正 ・7.5 オペアンブ特性 (アンブ単体の特性 を 注 1 として追記) ・7.9.12 AC 電氣的特性 (誤記修正: 保持→遅延) ・図 7.5 カウントパルス入力 (端子名修正: INA→INC)
3.1	2018-09-06	<ul style="list-style-type: none"> ・2.3 LQFP44: Pin No 23 を修正 ・4.1.4 表 4.4: 注 5 を追加 ・7.4 DVDD5=AVSS5 を追加、VREFH の項に注 5 を追加、 ・7.5 図 7.1 AVDD→AVDD5 へ修正 ・7.5, 7.6, 7.7 Symbol 修正(T → t) ・製品取り扱い上のお願ひ 更新,URL 追加
3.2	2019-09-17	<ul style="list-style-type: none"> ・表記規約 更新 ・2. LQFP48: 4 ピンに TRST_N 追加,13 ピンから TSPI1RXD 削除 LQFP44: 24 ピンから UT3TXDA/UT3RXD/TSPI3TXD 削除 ・4.1. 表 4.1 機能項から削除: "TSPI", "UART", "I²C" 削除 ・4.1.5. 注意文の追加/見直し ・4.2. 表 4.10: EHCLKIN 行追加 ・4.3. 削除: "ポートの右側は仕様を記号で示しています." "記号の意味は下記のとおりです." ・5.21. 変更: "クロック選択式ウオッチドッグタイマー(SIWDT)" → "SIWDT" ・6.3. 変更: "プルアップ" → "プルアップ(RRST)" ・7.8. 項目: "検知解除時間" → "解除応答時間" ・7.9.1.2. 削除: "k1 の値は ... ,k2 の値は ... ,1~16 の値になります。" ・7.9.2.2. 表: t_{SU}, STA 行を変更 t_{SP}, t_r, t_f 行を追加 図 7.4 変更 ・7.9.3.2. (1) 表 変更: "fsys" → "ΦT0" (2) 表 変更: "fsys=80MHz" → "ΦT0=80MHz N=4" 図 7.5 変更: "tp_{WMH}" → "tp_{WH}", "tp_{WML}" → "tp_{WL}" ・7.9.6.3. 表項目列 変更: "CLK 立ち上がりから" → "CLK 立ち下がりから" ・7.12.1. 注 2) 変更: "必要に応じてトリミングを行ってください." → "IHOSC1 は必要に応じてトリミングを行ってください." 追加: "IHOSC2 はトリミングできません。" ・全端子一覧表 PH0 の兼用機能 B: EHCLKIN を追加 PE5 の兼用機能 A: "AINA15" → "AINA15/VREFH"
3.3	2021-10-15	<ul style="list-style-type: none"> ・用語略語 変更(TSPI:Toshiba 削除) ・7.8. VLVL4~7 の Min 値/Max 値を変更

Appendix 全端子一覧表

兼用機能 A、B: ポートファンクションレジスタの設定なしにポートに割り当てられる兼用機能です。
兼用機能 1~7: ポートファンクションレジスタの設定によりポートに割り当てられる兼用機能です。
製品によっては、下表でグレイハッチの兼用機能は利用できない場合があります。

M4K4 LQFP64	M4K2 LQFP 48	M4K1 LQFP 44	M4K0 LQFP32	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
1	2	1	1	PK2		INT02a	UT0RXD	UT0TXDA	TSPiORXD				TMS/SWDIO	I/O	PU/PD	N/A	SMT	PU (注)	PU (注)
2	3	2	2	PK3		INT03a	UT0TXDA	UT0RXD	TSPiOTXD				TCK/SWCLK	I/O	PU/PD	N/A	SMT	PD (注)	PD (注)
3	4	3	-	PK4		INT06			TSPi0SCK			NBDSYNC	TRST_N	I/O	PU/PD	N/A	SMT	PU (注)	PU (注)
4	-	-	-	PL3								NBDDATA3	TRACEDATA3	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
5	-	-	-	PL2								NBDDATA2	TRACEDATA2	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
6	-	-	-	PL1								NBDDATA1	TRACEDATA1	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
7	-	-	-	PL0								NBDDATA0	TRACEDATA0	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
8	-	-	-	PL4								NBDCLK	TRACECLK	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
9	5	4	3	DVDD5A										-	-	-	-	-	-
10	6	5	4	REGOUT2										-	-	-	-	-	-
11	7	6	5	REGOUT1										-	-	-	-	-	-
12	-	7	-	PH3										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
13	8	8	-	PH2							EMG0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
14	9	9	6	DVSSA										-	-	-	-	-	-
15	10	10	7	PH0	X1	EHCLKIN								Input	PD	N/A	SMT	Hi-Z	Hi-Z
16	11	11	8	PH1	X2									Input	PD	N/A	SMT	Hi-Z	Hi-Z
17	12	12	9	RESET_N										-	PU	-	SMT	-	-
18	13	-	-	PA1		INT09	UT1RXD	UT1TXDA	TSPi1RXD	T32A01INA0	T32A01INC0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
19	14	13	-	PA0		INT07a	UT1TXDA	UT1RXD	TSPi1TXD	T32A01INB0	T32A01OUTB			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
20	-	-	-	PA2					TSPi1SCK	T32A01INA1	T32A01INC1	T32A01OUTA	T32A01OUTC	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
21	-	-	-	PJ7							OVV0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
22	15	14	10	PJ6	BOOT_N						EMG0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
23	16	15	11	PJ5							ZO0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
24	17	16	12	PJ4							WO0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
25	18	17	13	PJ3							YO0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
26	19	18	14	PJ2							VO0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
27	20	19	15	PJ1							XO0		PMD1DBG	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
28	21	20	16	PJ0							UO0	SCOUT	PMD0DBG	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
29	22	21	17	DVSSB										-	-	-	-	-	-
30	-	-	-	DVDD5B										-	-	-	-	-	-
31	23	22	-	PB0		INT02b			I2C0SDA	T32A05OUTA	T32A05OUTC		PMD0DBG	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
32	24	23	-	PB1		INT03b	T32A05OUTB		I2C0SCL	T32A05INA0	T32A05INC0	TRGIN1	PMD1DBG	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
33	-	-	-	PC2		INT07b			TSPi3SCK	T32A03INA1	T32A03INC1			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
34	-	-	-	PC1		INT10	UT3RXD	UT3TXDA	TSPi3RXD	T32A03INA0	T32A03INC0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
35	25	24	-	PC0		INT08	UT3TXDA	UT3RXD	TSPi3TXD	T32A03OUTA	T32A03OUTC			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
36	26	25	18	AVSS										-	-	-	-	-	-
37	27	26	19	PD0	AINA00									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
38	28	27	20	PD1	AINA01									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
39	29	28	21	PD2	AINA03									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
40	30	29	-	PD3	AINA04									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
41	31	30	22	PD4	AINA06									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
42	32	31	-	PD5	AINA07									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
43	33	32	23	PD6	AINA09						EMG0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
44	34	33	-	PE0	AINA10									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
45	35	34	-	PE1	AINA11									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
46	36	-	-	PE2	AINA12									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z

M4K4 LQFP64	M4K2 LQFP 48	M4K1 LQFP 44	M4K0 LQFP32	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態	
47	-	-	-	PE3	AINA13									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
48	-	-	-	PE4	AINA14									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
49	37	35	24	PE5	AINA15/ VREFH									I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
50	38	36	25	AVDD5										-	-	-	-	-	-	
51	-	-	-	PF2		INT01b				T32A04INA1	T32A04INC1	TRGIN2		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
52	-	-	-	PF1		INT00b				T32A04INA0	T32A04INC0			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
53	-	-	-	DVDD5C										-	-	-	-	-	-	
54	39	37	26	DVSSC										-	-	-	-	-	-	
55	40	38	-	PF0						T32A04OUTA	T32A04OUTC	TRGIN0	EMG1	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
56	41	39	27	PG0		INT04	UT2TXDA	TSPI2TXD	T32A02OUTA	T32A02OUTC	ENC0A	UO1	PMD0DBG	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
57	42	40	28	PG1		INT05	UT2RXD	TSPI2RXD	T32A02INA0	T32A02INC0	ENC0B	VO1	PMD1DBG	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
58	43	41	29	PG2				TSPI2SCK	T32A02INA1	T32A02INC1	ENC0Z	WO1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	
59	44	-	-	PG3										XO1	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
60	45	-	-	PG4										YO1	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
61	46	-	-	PG5										ZO1	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
62	47	42	30	MODE											PD		SMT	-	-	
63	48	43	31	PK0		INT00a	UT0RXD	UT0TXDA		T32A00OUTA	T32A00OUTC		TDI	I/O	PU/PD	N/A	SMT	PU (注)	PU (注)	
64	1	44	32	PK1		INT01a	UT0TXDA	UT0RXD		T32A00INA0	T32A00INC0		TDO/SWV	I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z	

注) 初期値で内蔵 pull-up/pull-down が ON です。

注 1) TRST_N は M4K0 では使用できません。

注 2) TRACE と NBDIF は M4K2/M4K1/M4K0 で使用できません。

注 3) UART ch 1 は M4K1/M4K0 で使用できません。

UART ch 3 は M4K2/M4K1/M4K0 で使用できません。

注 4) TSPI ch 0 は M4K0 で使用できません。

TSPI ch 1, ch 3 は M4K2/M4K1/M4K0 で使用できません。

注 5) I²C ch 0 は M4K0 で使用できません。

注 6) INT00b, INT01b, INT07b, INT10 は M4K2/M4K1/M4K0 で使用できません。

INT09 は M4K1/M4K0 で使用できません。

INT02b, INT03b, INT06, INT07a, INT08 は M4K0 で使用できません。

品番付与情報

TMP M4K 4 F Y x UG

Toshiba microcontrollers

Revision / 変更記号

Package / パッケージ

記号	Package
QG	Plastic shrink quad outline non-leaded package; dry-packed / プラスチック縮小クアッドアウトラインパッケージ、防湿梱包品
UG,DUG,FG,DFG	Plastic quad flat package; dry-packed / プラスチックフラットパッケージ、防湿梱包品
MG,DMG	Plastic small-outline package; dry-packed / プラスチックスモールアウトラインパッケージ、防湿梱包品
XBG	Plastic ball grid array; dry-packed / プラスチックボールグリッドアレイ、防湿梱包品

Core / コア

記号	説明
M4	Arm Cortex-M4(FPU 機能搭載)
M3	Arm Cortex-M3
M0	Arm Cortex-M0

Product Group / グループ

ファミリー	記号	説明
TXZ	H	汎用・コンシューマーエレクトロニクス
	K	モーター / インバーター制御・産業機器
	G	OA/デジタル製品・産業機器
	E	小型精密機器・ロボティクス
	P	ヘルスケア & バッテリー駆動機器

ROM size / メモリー容量

記号	容量[KB]
M	32
P	48
S	64
U	96
W	128
Y	256
Z	384
D	512
E	768
10	1,023
15	1,536
20	2,048
40	4,096
80	8,192

Pin Count

記号	説明	記号	説明
0, G	32 ピン以下	8, Q	129 ピン以上 144 ピン以下
1, H	33 ピン以上 44 ピン以下	9, R	145 ピン以上 176 ピン以下
2, J	45 ピン以上 48 ピン以下	A, S	177 ピン以上 200 ピン以下
3, K	49 ピン以上 52 ピン以下	B, T	201 ピン以上 224 ピン以下
4, L	53 ピン以上 64 ピン以下	C, U	225 ピン以上 250 ピン以下
5, M	65 ピン以上 80 ピン以下	D, V	251 ピン以上 300 ピン以下
6, N	81 ピン以上 100 ピン以下		
7, P	101 ピン以上 128 ピン以下		

ROM type / ROM タイプ

記号	説明
F	Flash
C	Mask

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。