

TOSHIBA

東芝 オリジナル CMOS 32 ビット マイクロコントローラ

TLCS-900/H1 シリーズ

TMP92CY23FG

TMP92CY23DFG

TMP92CD23AFG

TMP92CD23ADFG

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社 32 ビットマイクロコントローラ TLCS-900/H1 シリーズ、TMP92CY23/TMP92CD23A をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願い致します。

Not Recommended
for New Design

CMOS 32 ビット マイクロコントローラ

TMP92CY23FG/TMP92CY23DFG
TMP92CD23AFG/TMP92CD23ADFG

1. 概要と特長

TMP92CY23/CD23A は、東芝オリジナル CPU TLCS-900/H1 をコアに採用し、高速にデータ処理を必要とする各種組み込み用制御機器向けに開発した、高機能 32 ビットマイクロコントローラです。

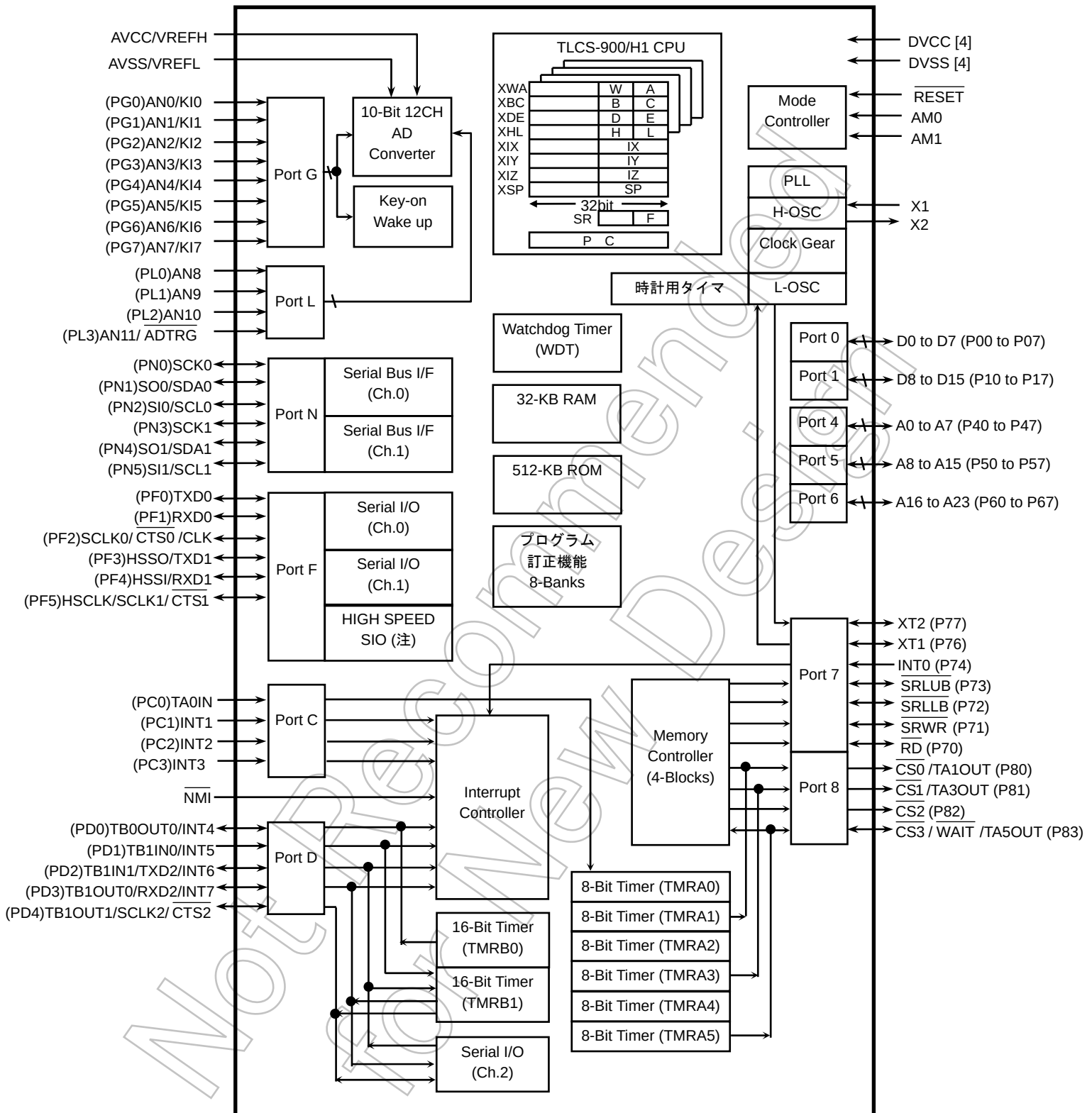
TMP92CY23FG, TMP92CY23DFG, TMP92CD23AFG, TMP92CD23ADFG は 100 ピンフラットパッケージ製品です。

製品型名	RAM	ROM	パッケージ
TMP92CY23FG	16K バイト	256K バイト	LQFP100-P-1414-0.50F
TMP92CY23DFG			QFP-P-1420-0.65A
TMP92CD23AFG	32K バイト	512K バイト	LQFP100-P-1414-0.50F
TMP92CD23ADFG			QFP-P-1420-0.65A

TMP92CY23/CD23A の特長は次のとおりです。

- (1) オリジナル高速 32 ビット CPU (TLCS-900/H1 CPU 使用)
 - TLCS-900, TLCS-900/L, TLCS-900/H, TLCS-900/L1 と命令コード完全互換
 - 16M バイトのリニアアドレス空間
 - 汎用レジスタ & レジスタバンク方式
 - マイクロ DMA : 8 チャンネル (250ns/4 バイト @ f_{SYS} = 20 MHz)
 - (2) 最小命令実行時間 : 50ns (@f_{SYS} = 20 MHz)
 - (3) 外部メモリ拡張
 - 16M バイト(プログラム、データエリア) まで拡張可能
 - 外部データバス 8/16 ビット幅共存可能
…ダイナミックデータバスサイジング
 - セパレートバスシステム
 - (4) メモリコントローラ
 - チップセレクト出力 : 4 チャンネル
 - (5) 8 ビットタイマ : 6 チャンネル
 - (6) 16 ビットタイマ : 2 チャンネル
 - (7) 汎用シリアルインタフェース : 3 チャンネル
 - UART/同期両モード対応 : 3 チャンネル
 - IrDA ver1.0 (115.2kbps) 対応モード選択可能 : 3 チャンネル
 - (8) シリアルバスインタフェース : 2 チャンネル
 - I²C バスモード
 - クロック同期モード
 - (9) 高速シリアルインタフェース(同期式) : 1 チャンネル
- 注) TMP92CY23 には搭載しておりません。
- (10) 10 ビット AD コンバータ : 12 チャンネル
 - (11) ウォッチドッグタイマ
 - (12) 時計用タイマ

- (13) キーオンウェイクアップ : 8 チャンネル (HALT 解除機能のみ。キー入力割込みはありません)
- (14) プログラム訂正機能 : 8 バンク
- (15) 割り込み機能: TMP92CY23: 50 本, TMP92CD23A: 51 本
- CPU 9 本… ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 TMP92CY23: 32 本, TMP92CD23A: 33 本… 7 レベルの優先順位の設定が可能
 - 外部 9 本 (INT0 ~ INT7, $\overline{\text{NMI}}$) … INT0~INT7 は 7 レベルの優先順位の設定が可能で、エッジまたはレベル割り込みの選択が可能です。
- (16) 入出力ポート : 84 端子
- (17) スタンバイ機能
3 種類の HALT モード… IDLE2 (プログラマブル), IDLE1, STOP
- (18) クロック制御機能
- クロック通倍回路 (PLL) を内蔵
 - クロックギア機能 : 高周波クロック $f_c \sim f_c/16$ まで切り替え可能
 - 時計用クロック ($f_s = 32.768 \text{ kHz}$)
- (19) 動作電圧
- $V_{cc} = 3.0 \sim 3.6 \text{ V}$ ($f_c \text{ max} = 40 \text{ MHz}$, TMP92CD23A は、 $f_{\text{osch max}} = 10 \text{ MHz}$)
- (20) パッケージ
- 100 ピン QFP : LQFP100-P-1414-0.50F (TMP92CY23FG/TMP92CD23AFG)
QFP100-P-1420-0.65A (TMP92CY23DFG/TMP92CD23ADFG)



(): リセット後の初期機能

注) TMP92CY23 には搭載していません。

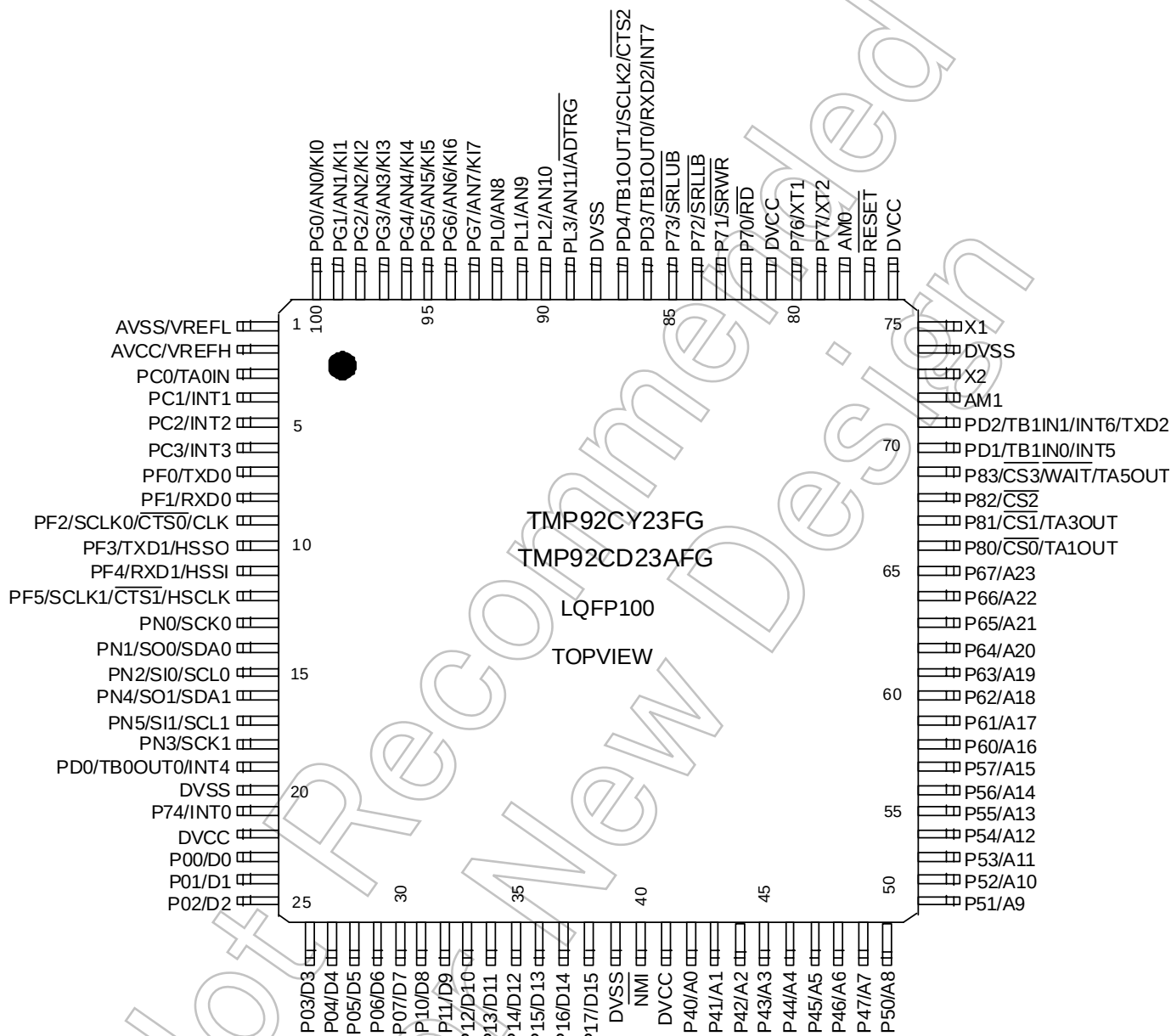
図 1.1 TMP92CY23/CD23A ブロック図

2. ピン配置とピン機能

TMP92CY23/CD23A のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

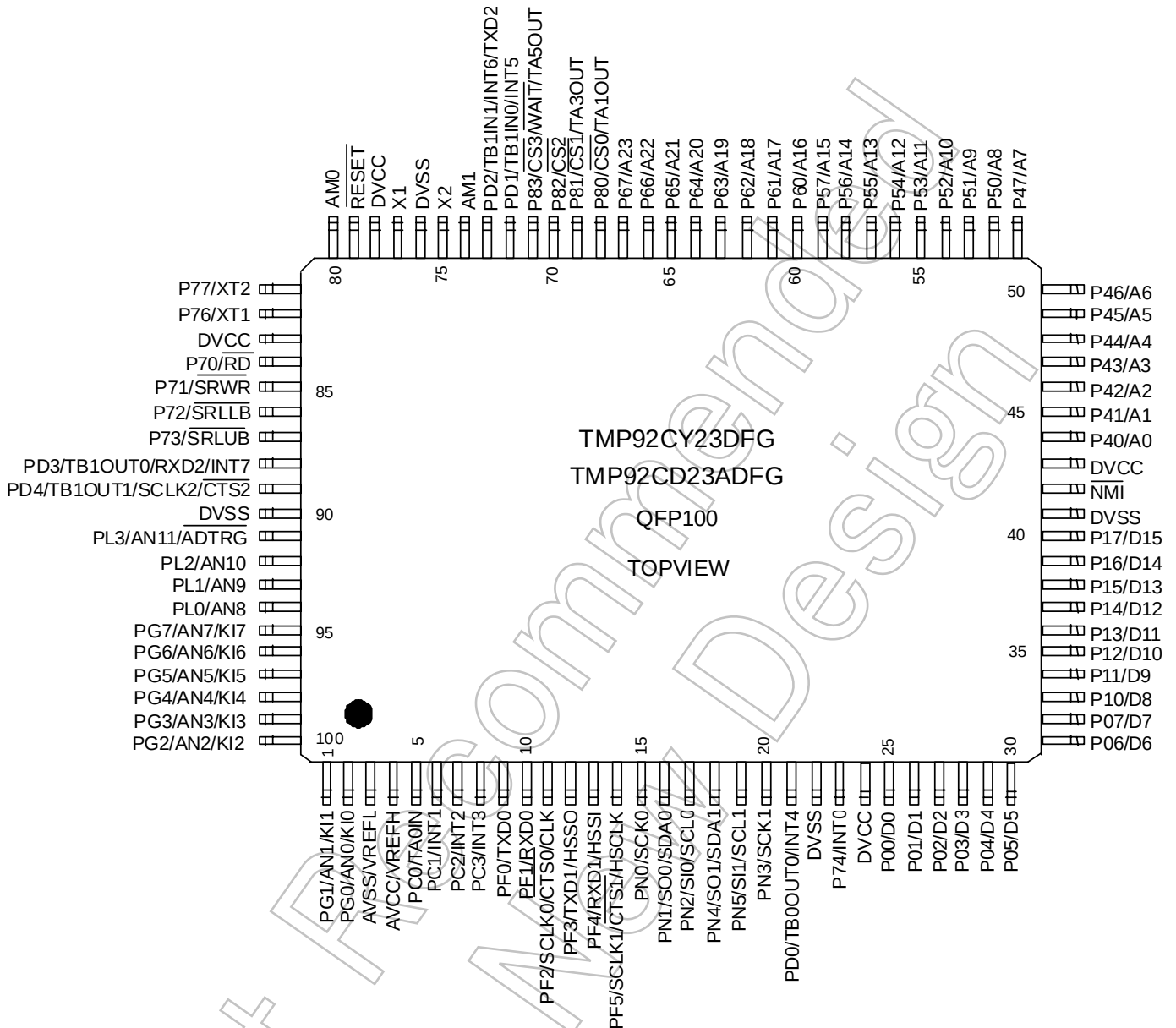
TMP92CY23FG/TMP92CD23AFGピン配置図は、図 2.1.1のとおりです。



注) HSSO、HSSI および HSCLK 機能は TMP92CY23 には搭載していません。

図 2.1.1 ピン配置図 (100 ピン LQFP)

TMP92CY23DFG/TMP92CD23ADFGピン配置図は、図 2.1.2のとおりです。



注) HSSO、HSSI および HSCLK 機能は TMP92CY23 には搭載していません。

図 2.1.2 ピン配置図 (100 ピン QFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は次のとおりです。

表 2.2.1 ピン名称と機能(1/3)

ピン名称	ピン数	入出力	機能
P00 ~ P07 D0 ~ D7	8	入出力 入出力	ポート 0: ビット単位で入出力の設定可能な入出力ポート データ(下位): データバス D0~D7
P10 ~ P17 D8 ~ D15	8	入出力 入出力	ポート 1: ビット単位で入出力の設定可能な入出力ポート データ(上位): データバス D8~D15
P40 ~ P47 A0 ~ A7	8	入出力 出力	ポート 4: ビット単位で入出力の設定可能な入出力ポート アドレス: アドレスバス A0~A7
P50 ~ P57 A8 ~ A15	8	入出力 出力	ポート 5: ビット単位で入出力の設定可能な入出力ポート アドレス: アドレスバス A8~A15
P60 ~ P67 A16 ~ A23	8	入出力 出力	ポート 6: ビット単位で入出力の設定可能な入出力ポート アドレス: アドレスバス A16~A23
P70 RD	1	入出力 出力	ポート 70: 入出力ポート (シュミット入力, プルアップ抵抗付き) リード: 外部メモリをリードするためのストローブ信号
P71 SRWR	1	入出力 出力	ポート 71: 入出力ポート (シュミット入力, プルアップ抵抗付き) SRAM 用ライトイネーブル: データ書き込み用ストローブ信号
P72 SRLLB	1	入出力 出力	ポート 72: 入出力ポート (シュミット入力, プルアップ抵抗付き) D0~D7 端子の SRAM 用データイネーブル
P73 SRLUB	1	入出力 出力	ポート 73: 入出力ポート (シュミット入力, プルアップ抵抗付き) D8~D15 端子の SRAM 用データイネーブル
P74 INT0	1	入力 入力	ポート 74: 入力専用ポート (シュミット入力) 割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
P76 XT1	1	入出力 入力	ポート 76: 入出力ポート (オープンドレイン出力端子) 低周波発振子接続端子
P77 XT2	1	入出力 出力	ポート 77: 入出力ポート (オープンドレイン出力端子) 低周波発振子接続端子
P80 CS0 TA1OUT	1	出力 出力 出力	ポート 80: 出力ポート チップセレクト 0: アドレスが指定したアドレス領域内なら“0”を出力 8bit タイマ 1 出力: 8bit タイマ TMRA0 または TMRA1 の出力端子
P81 CS1 TA3OUT	1	出力 出力 出力	ポート 81: 出力ポート チップセレクト 1: アドレスが指定したアドレス領域内なら“0”を出力 8bit タイマ 3 出力: 8bit タイマ TMRA2 または TMRA3 の出力端子
P82 CS2	1	出力 出力	ポート 82: 出力ポート チップセレクト 2: アドレスが指定したアドレス領域内なら“0”を出力
P83 CS3 TA5OUT WAIT	1	入出力 出力 出力 入力	ポート 83: 入出力ポート (シュミット入力) チップセレクト 3: アドレスが指定したアドレス領域内なら“0”を出力 8bit タイマ 5 出力: 8bit タイマ TMRA4 または TMRA5 の出力端子 ウェイト: バスウェイトの要求入力端子
PC0 TA0IN	1	入力 入力	ポート C0: 入力専用ポート (シュミット入力) 8bit タイマ 0 入力: 8bit タイマ TMRA0 の入力端子
PC1 INT1	1	入力 入力	ポート C1: 入力専用ポート (シュミット入力) 割り込み要求端子 1: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PC2 INT2	1	入力 入力	ポート C2: 入力専用ポート (シュミット入力) 割り込み要求端子 2: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PC3 INT3	1	入力 入力	ポート C3: 入力専用ポート (シュミット入力) 割り込み要求端子 3: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子

表 2.2.1 ピン名称と機能(2/3)

ピン名称	ピン数	入出力	機能
PD0 TB0OUT0 INT4	1	入出力 出力 入力	ポート D0:入出力ポート (シュミット入力) 16bit タイマ 0 出力 0: 16bit タイマ TMRB0 の出力端子 割り込み要求端子 4: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PD1 TB1IN0 INT5	1	入力 入力 入力	ポート D1:入力専用ポート (シュミット入力) 16bit タイマ 1 入力 0: 16bit タイマ TMRB1 のカウント/キャプチャトリガ入力端子 割り込み要求端子 5: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PD2 TB1IN1 TXD2 INT6	1	入出力 入力 出力 入力	ポート D2:入出力ポート (シュミット入力) 16bit タイマ 1 入力 1: 16bit タイマ TMRB1 のカウント/キャプチャトリガ入力端子 シリアル送信データ 2: プログラムによりオープンドレイン出力可能 割り込み要求端子 6: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PD3 TB1OUT0 RXD2 INT7	1	入出力 出力 入力 入力	ポート D3:入出力ポート (シュミット入力) 16bit タイマ 1 出力 0: 16bit タイマ TMRB1 の出力端子 シリアル受信データ 2 割り込み要求端子 7: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PD4 TB1OUT1 SCLK2 CTS2	1	入出力 出力 入出力 入力	ポート D4:入出力ポート (シュミット入力) 16bit タイマ 1 出力 1: 16bit タイマ TMRB1 の出力端子 シリアルクロック入出力 2 シリアルデータ送信可能 2 (Clear To Send)
PF0 TXD0	1	入出力 出力	ポート F0:入出力ポート (シュミット入力) シリアル送信データ 0: プログラムによりオープンドレイン出力可能
PF1 RXD0	1	入出力 入力	ポート F1:入出力ポート (シュミット入力) シリアル受信データ 0
PF2 SCLK0 CTS0 CLK	1	入出力 入出力 入力 出力	ポート F2:入出力ポート (シュミット入力) シリアルクロック入出力 0 シリアルデータ送信可能 0 (Clear To Send) クロック/システムクロックを出力
PF3 TXD1 HSSO	1	入出力 出力 出力	ポート F3:入出力ポート (シュミット入力) シリアル送信データ 1: プログラムによりオープンドレイン出力可能 高速シリアル送信データ (注)
PF4 RXD1 HSSI	1	入出力 入力 入力	ポート F4:入出力ポート (シュミット入力) シリアル受信データ 1 高速シリアル受信データ (注)
PF5 SCLK1 CTS1 HSCLK	1	入出力 入出力 入力 出力	ポート F5:入出力ポート (シュミット入力) シリアルクロック入出力 1 シリアルデータ送信可能 1 (Clear To Send) 高速シリアルクロック出力 (注)
PG0 ~ PG7 AN0 ~ AN7 KI0 ~ KI7	8	入力	ポート G: 入力専用ポート (シュミット入力) アナログ入力 0~7: AD コンバータ用アナログ入力端子 キー入力 0~7: キーオンウェイクアップ 0~7 用入力端子
PL0 ~ PL3 AN8 ~ AN11 ADTRG	4	入力	ポート L: 入力専用ポート (シュミット入力) アナログ入力 8~11: AD コンバータ用アナログ入力端子 AD トリガ: AD コンバータの外部スタート要求端子 (PL3 と兼用)

(注) HSSO、HSSI および HSCLK 機能は TMP92CY23 には搭載していません。

表 2.2.1 ピン名称と機能(3/3)

ピン名称	ピン数	入出力	機能
PN0 SCK0	1	入出力 入出力	ポート N0: 入出力ポート (シュミット入力) シリアルバスインターフェース 0 の SIO モード時のクロック入出力端子
PN1 SO0 SDA0	1	入出力 出力 入出力	ポート N1: 入出力ポート (シュミット入力, オープンドレイン出力端子) シリアルバスインターフェース 0 の SIO モード時のデータ送信端子 シリアルバスインターフェース 0 の I ² C モード時のデータ送受信端子
PN2 SI0 SCL0	1	入出力 入力 入出力	ポート N2: 入出力ポート (シュミット入力, オープンドレイン出力端子) シリアルバスインターフェース 0 の SIO モード時のデータ受信端子 シリアルバスインターフェース 0 の I ² C モード時のクロック入出力端子
PN3 SCK1	1	入出力 入出力	ポート N3: 入出力ポート (シュミット入力) シリアルバスインターフェース 1 の SIO モード時のクロック入出力端子
PN4 SO1 SDA1	1	入出力 出力 入出力	ポート N4: 入出力ポート (シュミット入力, オープンドレイン出力端子) シリアルバスインターフェース 1 の SIO モード時のデータ送信端子 シリアルバスインターフェース 1 の I ² C モード時のデータ送受信端子
PN5 SI1 SCL1	1	入出力 入力 入出力	ポート N5: 入出力ポート (シュミット入力, オープンドレイン出力端子) シリアルバスインターフェース 1 の SIO モード時のデータ受信端子 シリアルバスインターフェース 1 の I ² C モード時のクロック入出力端子
NMI	1	入力	ノンマスクابل割り込み要求端子: 立ち下がリエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも割り込み要求可能となります。(シュミット入力)
AM0, AM1	2	入力	動作モード AM1 = "1", AM0 = "1" に固定してください。
X1 / X2	2	入出力	高周波発振子接続端子
RESET	1	入力	リセット: TMP92CY23/CD23A を初期化します。(シュミット入力, プルアップ抵抗付)
AVCC / VREFH	1	入力	AD コンバータ電源端子(AVCC)と AD コンバータ用基準電源(VREFH)共用端子
AVSS / VREFL	1	入力	AD コンバータ電源端子(AVSS(0V))と AD コンバータ用基準電源(VREFL)共用端子
DVCC	4	—	電源端子 (全 DVCC 端子を電源に接続してください)
DVSS	4	—	GND 端子 (全 DVSS 端子を GND(0 V)に接続してください)

3. 動作説明

TMP92CY23/CD23A の機能、および基本動作についてブロックごとに説明します。

3.1 CPU

TMP92CY23/CD23A は高性能な高速 32 ビットの CPU(TLCS-900/H1 CPU)が内蔵されています。

3.1.1 CPUの概要

「TLCS-900/H1 CPU」は「TLCS-900/L1 CPU」をベースに、より高速処理を可能にするために、内部のデータバス幅を 32 ビットに拡張した高速・高性能な CPU です。

「TLCS-900/H1 CPU」の概要を、表 3.1.1に示します。

表 3.1.1 TMP92CY23/CD23A の概要

項目	TMP92CY23/CD23A
CPU アドレスバス幅	24 ビット
CPU データバス幅	32 ビット
内部動作周波数	最大 20MHz
最小バスサイクル	1-クロックアクセス (50ns@f _{SYS} = 20MHz)
内蔵 RAM	32-bit 1-クロック アクセス
内蔵 ROM	32-bit インターリーブ 2-1-1-1 クロック アクセス
内蔵 I/O	8-bit 2-クロック アクセス
外部 メモリ (SRAM 等)	8/16-bit 2-クロック アクセス (ウェイト挿入可能)
最小命令実行サイクル	1-クロック (50ns@f _{SYS} = 20MHz)
条件付分岐命令	2-クロック (100ns@f _{SYS} = 20MHz)
命令キューバッファ	12-バイト
命令セット	TLCS-900/L1 命令コード互換 (但し、LDX 命令なし)
CPU モード	マキシマムモードのみ
マイクロ DMA	8-チャンネル

3.1.2 リセット動作

TMP92CY23/CD23A にリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも 20 システムクロック ($64\mu\text{s}$ @ $f_c = 10\text{MHz}$)、**RESET** 入力端子を“Low”レベルにして下さい。

リセットで PLL は停止し PLL 出力は非選択となり、クロックギアは 1/16 にセットされます。

よってシステムクロックは 312.5 kHz ($f_c = 10\text{MHz}$)で動作します。

リセットが受け付けられると、CPU は下記の動作を行います。

- プログラムカウンタ“PC”を、メモリ FFFF00H 番地~FFFF02H 番地に格納されているリセットベクタに従い以下に示すようにセットします。
 PC(7:0) ← FFFF00H 番地のデータ
 PC(15:8) ← FFFF01H 番地のデータ
 PC(23:16) ← FFFF02H 番地のデータ
- スタックポインタ XSP を 00000000H にセット
- ステータスレジスタ SR のビット <IFF0:2> を“111”にセット
(割り込みレベルのマスク・レジスタをレベル 7 にセット)
- ステータスレジスタ SR のビット <RFP0:1> を“00”にクリア
(レジスタバンク 0 にセット)

リセットが解除されると、セットされたプログラムカウンタ“PC”に従い、命令のフェッチと実行を開始します。なお、上記以外の CPU 内部のレジスタは変化しません。

またリセットが受け付けられると、内蔵 I/O および入出力ポートおよびその他の端子は、下記に示すように初期化されます。

- 内蔵 I/O のレジスタを初期化
- 入出力ポートを汎用入力ポートあるいは出力ポートにセット

RESET 入力端子が“High”になり、リセット解除されると、内蔵 FlashROM ウォームアップ回路(注)が動作を開始し、その回路の動作終了後に、内部のリセットが解除されます。

パワーオンリセットを採用する場合、電源供給が安定するまでは、メモリコントローラ制御信号が不安定であるため、接続されている外部メモリのバックアップデータが書き換えられる可能性があります。

注) 本製品は MaskROM 品ですが、FlashROM 品と同一動作とする為、内蔵 FlashROM ウォームアップ時間が入ります。内蔵 FlashROM のウォームアップ時間は以下になります。

at $f_{\text{OSCH}} = 10\text{ MHz}$

$409.6\mu\text{s} (2^{12} / f_{\text{OSCH}})$

図 3.1.1にTMP92CY23/CD23Aのリセットタイミング動作例を示します。

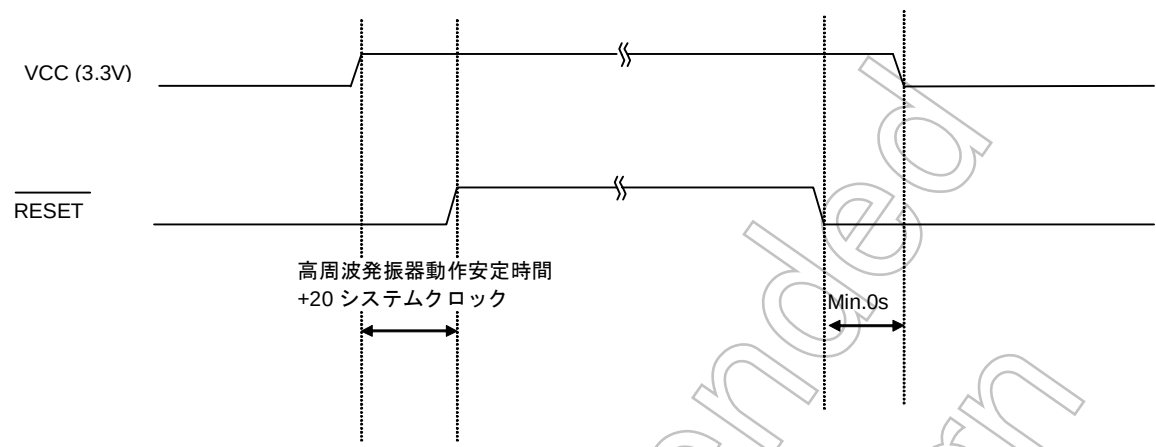


図 3.1.1 リセットタイミング動作例

3.1.3 AM0 および AM1 の設定

AM1 および AM0 端子の設定は表 3.1.2のようになります。

表 3.1.2 動作モード セットアップ

動作モード	モード設定入力端子		
	RESET	AM1	AM0
内蔵 ROM スタート		1	1

3.2 メモリマップ

TMP92CY23 のメモリマップを 図 3.2.1に、TMP92CD23Aのメモリマップを 図 3.2.2に示します。

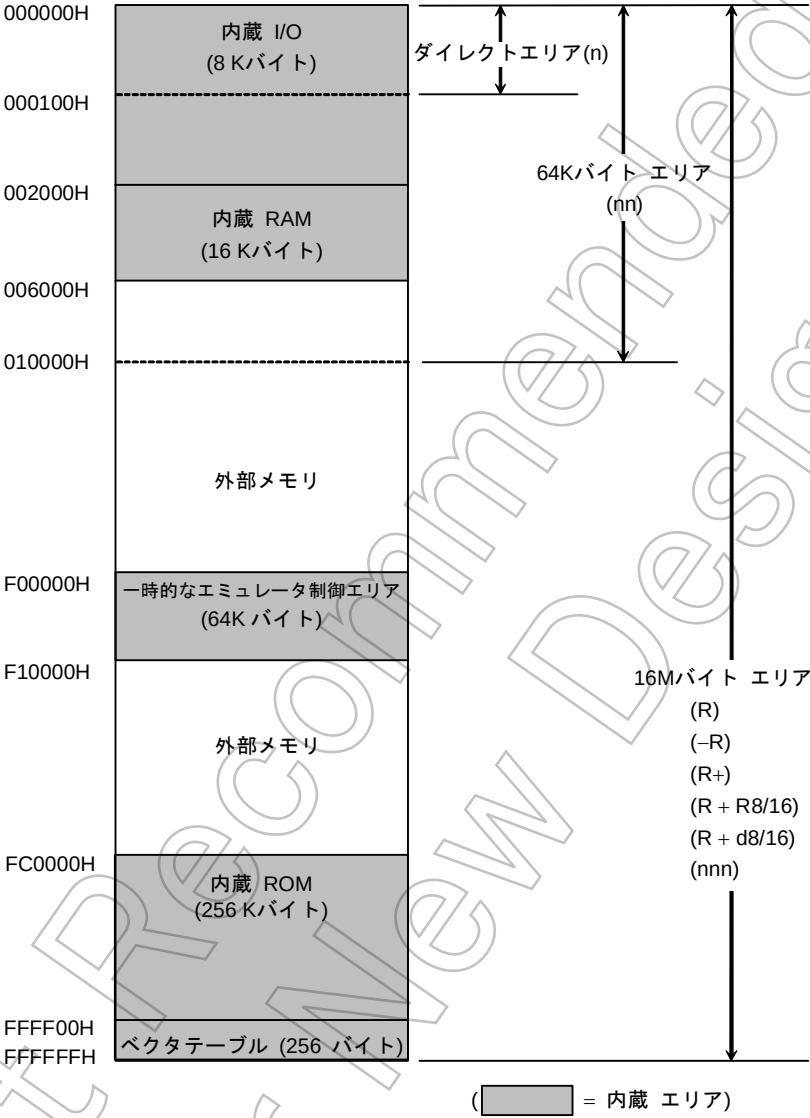


図 3.2.1 TMP92CY23 メモリマップ

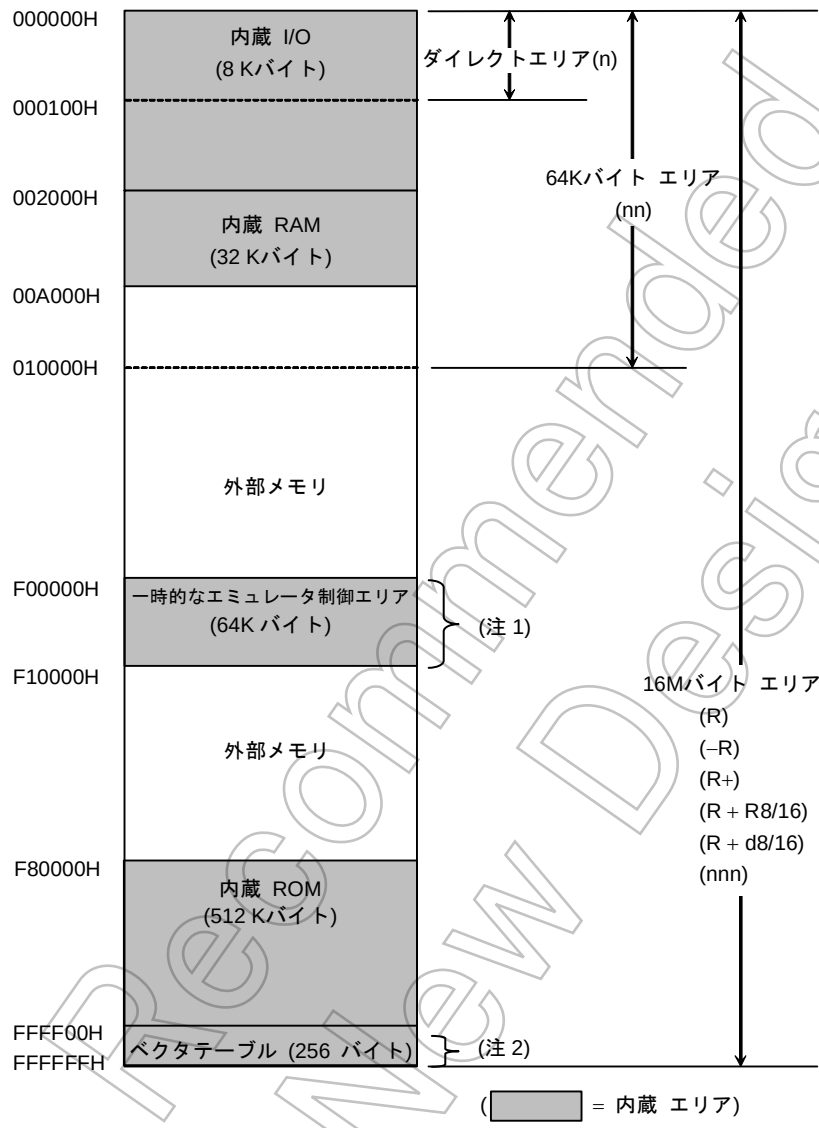


図 3.2.2 TMP92CD23A メモリマップ

注 1) エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータ制御のために使用されるので、この空間を使用することができません。また、この空間にアクセスすると、SRWR 信号と RD 信号が動作します。外部メモリ使用の際は注意してください。

注 2) 最後の 16 バイトの空間(FFFFFF0H~FFFFFFFH 番地)は、内部エリア空間として予約されているので、使用することができません。

3.3 クロック/スタンバイ制御、ノイズ低減機能

TMP92CY23/CD23A は、(1)クロックギア、(2)クロック逡倍回路(PLL)、(3)スタンバイ制御回路、(4)ノイズ低減回路などの機能を内蔵しています。これらの機能は低電力かつ低ノイズのためのシステムになっています。

この章は下記のような構成になっています。

3.3.1 クロック系統ブロック図

3.3.2 SFR 説明

3.3.3 システムクロック制御

3.3.4 クロック逡倍回路 (PLL)

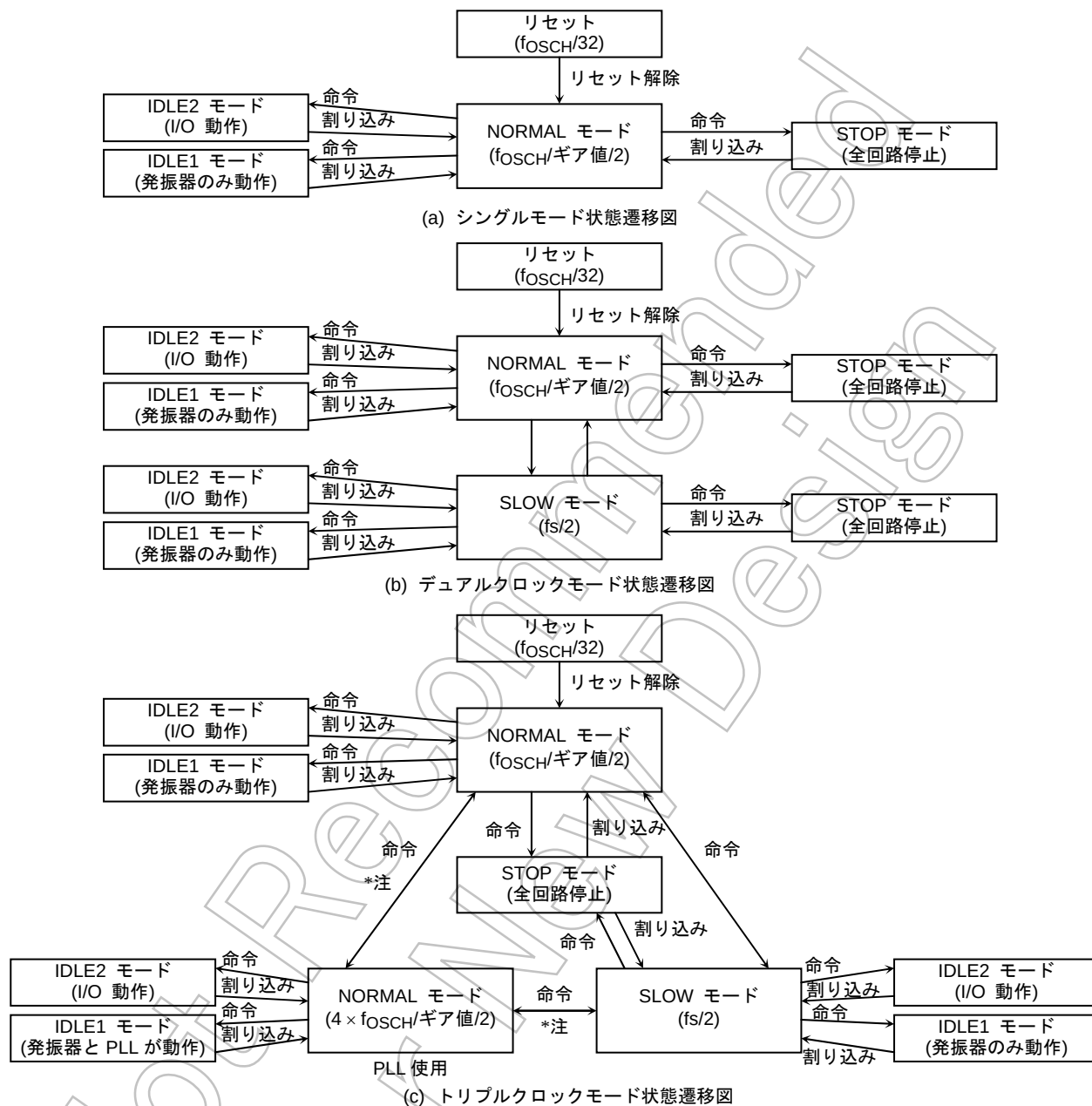
3.3.5 ノイズ低減回路

3.3.6 スタンバイ制御回路

Not Recommended
for New Design

クロックの動作モードとしては、(a)シングルクロックモード(X1, X2 端子のみ)と(b)デュアルクロックモード (X1, X2 と XT1, XT2 端子)と(c)トリプルクロックモード(X1,X2 と XT1,XT2 端子と PLL)の 3 モードがあります。

図 3.3.1に動作モード別状態遷移図を示します。



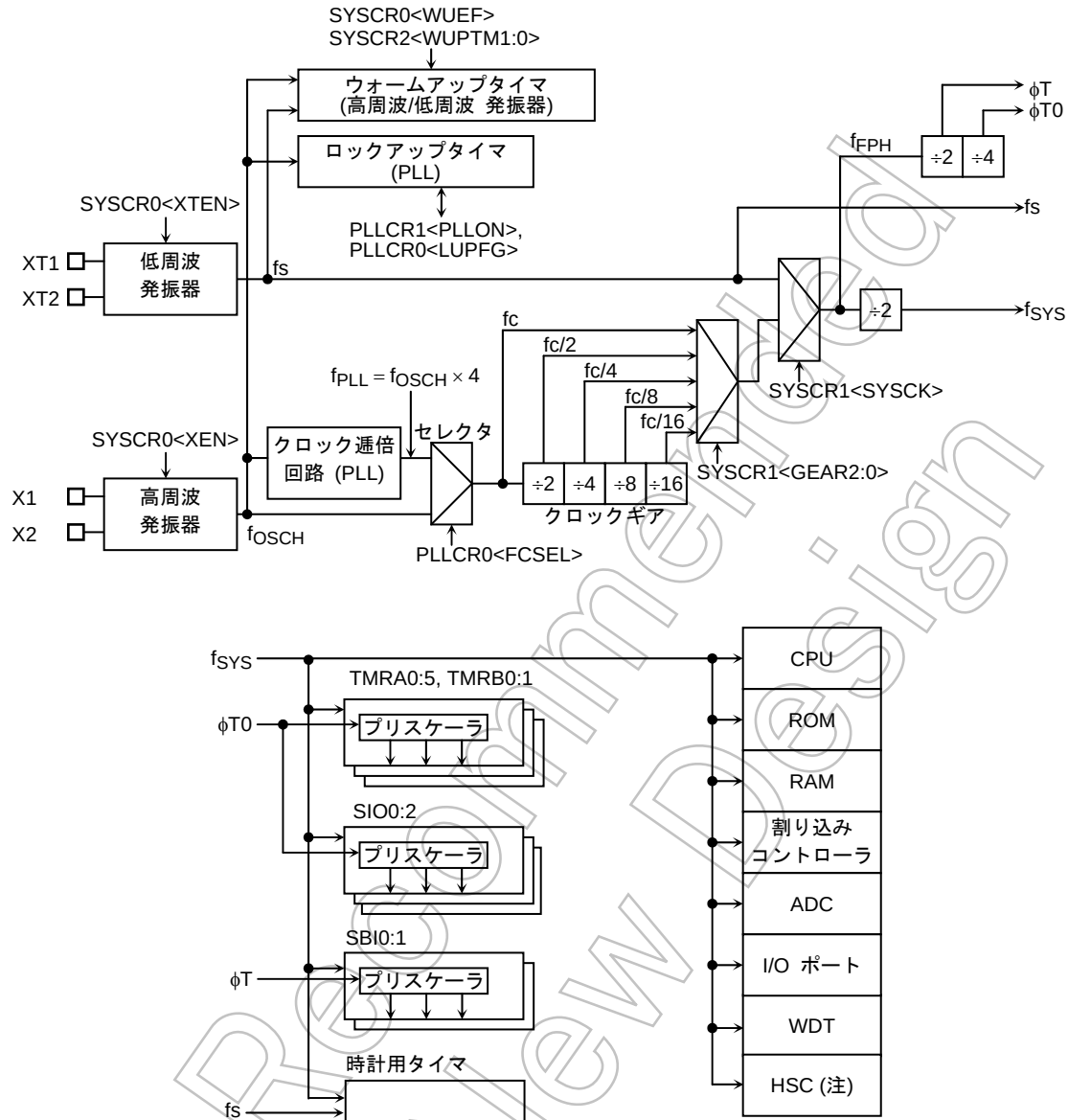
注)

1. SLOW モードから PLL 使用 NORMAL モードに切り替える場合、SLOW モードからの PLL の制御はできません。(PLL 起動/停止/内部クロック切り替え、 $PLL\ CR1<PLLON>$ 、 $PLL\ CR0<FCSEL>$ レジスタへの書き込み)
2. PLL 使用の NORMAL モードから NORMAL モードに切り替える場合、次の設定に従ってください。
 - 1) CPU クロックの切り替え ($PLL\ CR0<FCSEL> = "0"$)
 - 2) PLL 回路を停止 ($PLL\ CR1<PLLON> = "0"$)
3. PLL 使用の NORMAL モードから STOP モードへの直接切り替えはできません。必ず、一度 NORMAL モードに設定してから STOP モードに切り替えてください。また、高周波発振の停止時は PLL を停止させたあとに高速発振器を停止させてください。

図 3.3.1 動作モード別状態遷移図

X1, X2 端子より入力されるクロック周波数を f_{OSCH} 、XT1, XT2 端子より入力されるクロック周波数を f_s 、 $SYSCR1<SYSCK>$ で選択されたクロックを f_{FPH} 、 f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.3.1 クロック系統ブロック図



注) HSC は TMP92CY23 には搭載していません。

図 3.3.2 システムクロック系統のブロック図

TMP92CD23A の外部発振子の周波数は、6~10MHz です。10MHz 以上の発振子を接続しないでください。

3.3.2 SFR説明

	7	6	5	4	3	2	1	0
SYSCR0 (10E0H)	Bit symbol	XEN	XTEN				WUEF	
	Read/Write	R/W					R/W	
	リセット後	1	0				0	
	機能	高速 発振器 0: 停止 1: 発振	低速 発振器 0: 停止 1: 発振				発振器用 ウォームアップ タイマ (WUP)制御 0 ライト: Don't care 1 ライト: WUP スタート 0 リード: WUP 終了 1 リード WUP 中	
SYSCR1 (10E1H)	Bit symbol					SYSCK	GEAR2	GEAR1
	Read/Write						R/W	
	リセット後					0	1	0
	機能					システム クロック 選択 0: 高速(fc) 1: 低速(fs)	高速クロックのギア選択 000: 高速クロック 001: 高速クロック/2 010: 高速クロック/4 011: 高速クロック/8 100: 高速クロック/16 101: Reserved 110: Reserved 111: Reserved	
SYSCR2 (10E2H)	Bit symbol	—		WUPTM1	WUPTM0	HALTM1	HALTM0	DRVE
	Read/Write	W		R/W				R/W
	リセット後	0		1	0	1	1	0
	機能	"0"をライト して下さい		発振器用 WUP 時間 選択 00: Reserved 01: 2^8 /入力周波数 10: 2^{14} /入力周波数 11: 2^{16} /入力周波数		HALT モード選択 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		1: STOP モード中 も端子を ドライブ します。

注 1) SYSCR0<bit5:3>, SYSCR0<bit1:0>, SYSCR1<bit7:4>, SYSCR2<bit7, 6, 1> は不定値がリードされます。

注 2) 低速発振器はリセットにより発振停止となります。

図 3.3.3 クロック関係 SFR

	7	6	5	4	3	2	1	0
EMCCR0 (10E3H)	Bit symbol	PROTECT				EXTIN	–	DRVOSCL
	Read/Write	R				R/W		
	リセット後	0				0	1	1
	機能	プロテクト フラグ 0: OFF 1: ON				1: fc 外部 クロック	"1"をライト してください。	fs 発振器 ドライブ 能力 1: Normal 0: Weak

注) このレジスタは TMP92CY23 のレジスタです。

	7	6	5	4	3	2	1	0
EMCCR0 (10E3H)	Bit symbol	PROTECT				–	–	DRVOSCL
	Read/Write	R				R/W		
	リセット後	0				0	1	1
	機能	プロテクト フラグ 0: OFF 1: ON				"0"をライト してください。	"1"をライト してください。	fs 発振器 ドライブ 能力 1: Normal 0: Weak

注) このレジスタは TMP92CD23A のレジスタです。

注 1) STOP モードから、発振を開始するときなど、発振停止から発振を再起動する場合は、EMCCR0 <DRVOSCL> を"1"に設定してください。

注 2) 外部に発振子を接続している場合は、EMCCR0<EXTIN>に"1"をライトしないでください。

	7	6	5	4	3	2	1	0
EMCCR1 (10E4H)	Bit symbol	下記 1 ST -KEY, 2 ND -KEY の書込みによりプロテクト ON/OFF 切り替わり 1 ST -KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続ライト 2 ND -KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続ライト						
	Read/Write							
	リセット後							
	機能							
EMCCR2 (10E5H)	Bit symbol							
	Read/Write							
	リセット後							
	機能							

図 3.3.4 ノイズ関係 SFR

PLLCR0
(10E8H)

	7	6	5	4	3	2	1	0
Bit symbol		FCSEL	LUPFG					
Read/Write		R/W	R					
リセット後		0	0					
機能		fc クロック 選択 0 : f _{OSCH} 1 : f _{PLL}	ロックアッ プタイマ 状態フラグ 0 : not end 1 : end					

注) PLLCR0 <LUPFG>の論理は 900/L1 の DFM と異なるので注意してください。

PLLCR1
(10E9H)

	7	6	5	4	3	2	1	0
Bit symbol	PLLON							
Read/Write	R/W							
リセット後	0							
機能	Control on/off 0: Off 1: On							

図 3.3.5 PLL 関係 SFR

3.3.3 システムクロック制御

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{SYS}) を生成する回路です。高速/低速の 2 つの発振回路から出力される f_c , f_s クロックを入力として、SYSCR1<SYSCK>レジスタにて高速/低速の切り替え、SYSCR0<XEN>, <XTEN> でそれぞれ高速、低速発振器の発振制御、さらに SYSCR1<GEAR2:0>で高速クロックのギアを 1, 2, 4, 8, 16 段(f_c , $f_c/2$, $f_c/4$, $f_c/8$, $f_c/16$)に切り替え、消費電力の低減を図ることができます。

リセットにより、シングルクロックモードになり<XEN> = “1”, <XTEN> = “0”, <SYSCK> = “0”, <GEAR2:0> = “100” に初期化されますのでシステムクロック f_{SYS} は $f_c/32$ ($= f_c/16 \times 1/2$) となります。例えば、X1, X2 端子に 10MHz の発振子を接続していると、リセットにより f_{SYS} は 0.3125MHz となります。

(1) NORMAL ↔ SLOW モードの切り替え

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認してから切り替えるためにウォームアップタイムがあります。ウォームアップ時間は発振子の特性に合わせて SYSCR2<WUPTM1:0> により選択できます。このスタート、終了確認は SYSCR0<WUEF>を使用しソフト(命令)により下記設定例 1, 2 のように行ってください。

表 3.3.1に切り替え時のウォームアップ時間を示します。

注 1) 切り替えようとするクロックが発振器などを使用しており発振安定している場合はウォームアップさせる必要はありません。

注 2) ウォームアップタイムは、発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

表 3.3.1 ウォームアップ時間 (クロック切り替え時)

ウォームアップ タイム選択 SYSCR2<WUPTM1:0>	NORMAL へ切り替え時 (f_c)	SLOW へ切り替え時 (f_s)
01 (2^8 /発振周波数)	25.6[μ s]	7.8 [ms]
10 (2^{14} /発振周波数)	1.638[ms]	500 [ms]
11 (2^{16} /発振周波数)	6.554[ms]	2000 [ms]

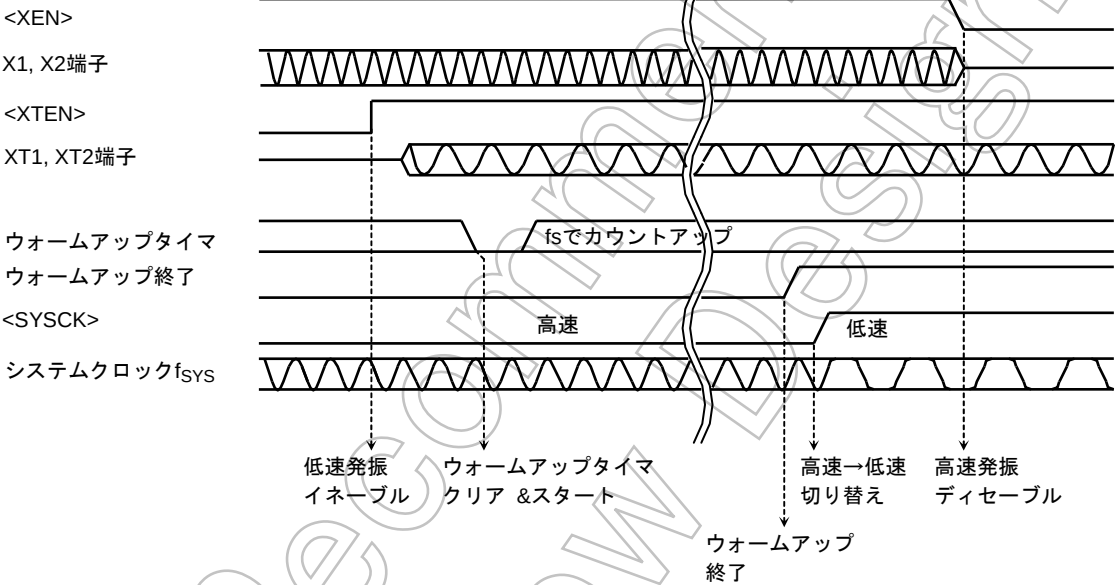
計算値は
 $f_{OSCH} = 10\text{MHz}$,
 $f_s = 32.768\text{kHz}$
の場合です。

(設定例 1)

高速クロック (fc) から低速クロック (fs) へ切り替える場合

SYSR0	EQU	10E0H	
SYSR1	EQU	10E1H	
SYSR2	EQU	10E2H	
	LD	(SYSR2), 0X11 -- X - B	; ウォームアップ時間を $2^{16}/f_s$ に設定
	SET	6, (SYSR0)	; 低速発振イネーブル
	SET	2, (SYSR0)	; ウォームアップタイマ クリア&スタート
WUP:	BIT	2, (SYSR0)	} ウォームアップ終了検出
	JR	NZ, WUP	
	SET	3, (SYSR1)	; 高速 → 低速へ切り替え
	RES	7, (SYSR0)	; 高速発振ディセーブル

注) X: don't care
-: no change



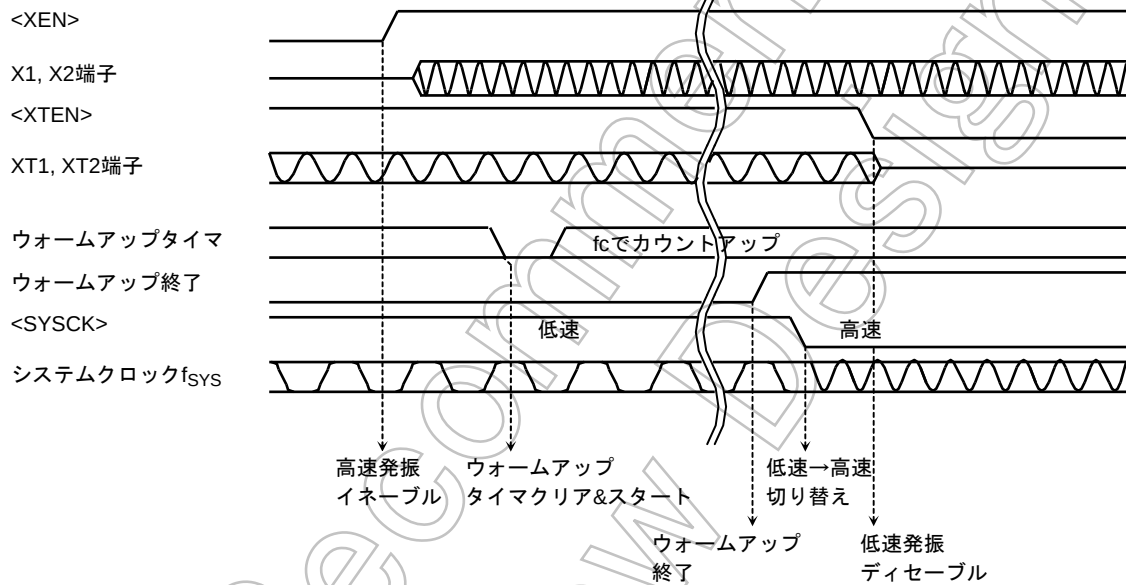
(設定例 2)

低速クロック (f_s) から高速クロック (f_c) へ切り替える場合

SYSCR0	EQU	10E0H	
SYSCR1	EQU	10E1H	
SYSCR2	EQU	10E2H	
LD	(SYSCR2), 0X10 -- X - B		; ウォームアップ時間を $2^{14}/f_c$ に設定
SET	7, (SYSCR0)		; 高速発振イネーブル
SET	2, (SYSCR0)		; ウォームアップタイマ クリア&スタート
WUP:	BIT	2, (SYSCR0)	} ウォームアップ終了検出
JR	NZ, WUP		
RES	3, (SYSCR1)		; 低速 → 高速へ切り替え
RES	6, (SYSCR0)		; 低速発振ディセーブル

注) X: don't care

-: no change



(2) クロックギア切り替え

SYSR1 <SYSCK> = “0” にて高速クロック fc を選択した場合、クロックギア選択レジスタ SYSR1<GEAR2:0> により fPH を fc, fc/2, fc/4, fc/8, fc/16 のいずれかに設定できます。クロックギアを使用して fPH を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

(設定例 3)

高速クロックのギア切り替え

```
SYSR1      EQU      10E1H

                LD      (SYSR1), XXXX0001B    ; システムクロック fSYS を fc/2 へ切り替え
                LD      (DUMMY), 00H          ; ダミー命令

X: don't care
```

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例 3 のように SYSR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後、すぐには切り替らず数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令(ライトサイクルが実行される命令)を挿入してください。

```
(例)
SYSR1      EQU      10E1H
                LD      (SYSR1), XXXX0010B    ; fSYS を fc/4 へ切り替え
                LD      (DUMMY), 00H          ; ダミー命令
                

切り替え後のクロックギアで  
実行すべき命令


```

3.3.4 クロック通倍回路 (PLL)

PLL は f_{OSCH} の 4 倍となる、 f_{PLL} クロック信号を出力します。これにより発振器の周波数は低く、内部クロックは高速にすることが可能です。

リセットにより PLL は停止状態に初期化されますので PLL を使用する場合は PLLCR0、PLLCR1 レジスタへの設定が必要です。

この回路は発振器のように動作許可後に安定させる時間を必要とし、それをロックアップタイムといいます。この時間を確認するために 16 段のバイナリカウンタがあります。ロックアップタイムは $f_{OSCH} = 10 \text{ MHz}$ の場合で約 1.6 ms です。

注 1) PLL 用入力周波数の制限

PLL 用の入力周波数の限界(高速発振器)は次のとおりです。

$f_{OSCH} = 6 \sim 10 \text{ MHz}$ ($V_{CC} = 3.0 \sim 3.6 \text{ V}$)

注 2) PLLCR0 <LUPFG>

PLLCR0 <LUPFG> の論理は 900/L1 の DFM とは異なります。

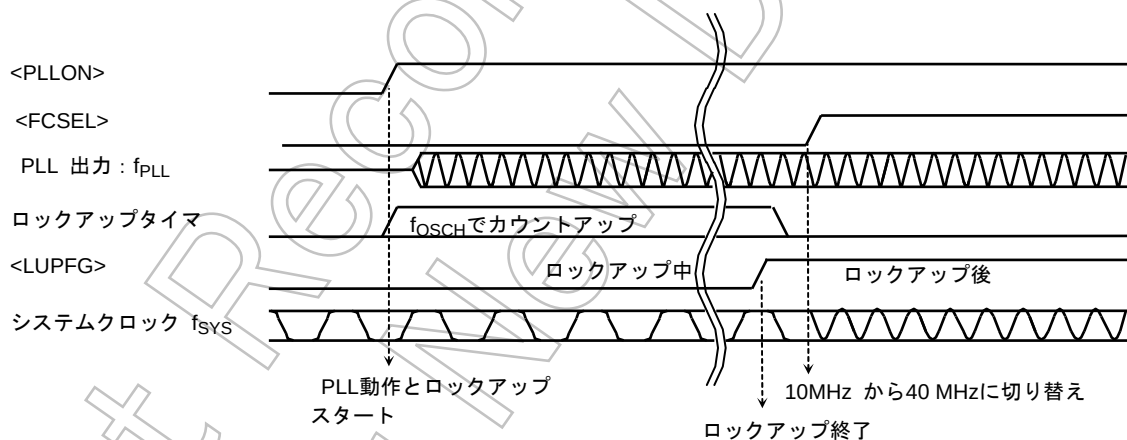
ロックアップ終了の判断は注意してください。

以下は PLL スタートと PLL ストップの設定例です。

(設定例-1) PLL スタート

PLLCR0	EQU	10E8H	
PLLCR1	EQU	10E9H	
	LD	(PLLCR1), 1XXXXXXXB	PLL 動作とロックアップスタートをイネーブル
LUP:	BIT	5, (PLLCR0)	ロックアップの終了を検出
	JR	Z, LUP	
	LD	(PLLCR0), X1XXXXXXB	10 MHz から 40 MHz に切り替え

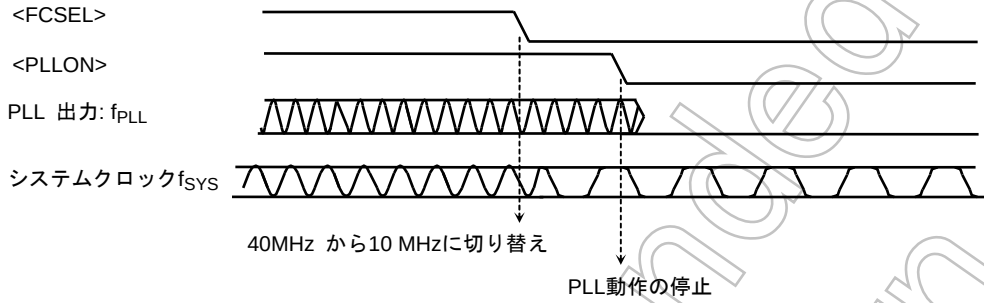
X: Don't care



(設定例-2) PLL ストップ

PLLCR0	EQU	10E8H	
PLLCR1	EQU	10E9H	
	LD	(PLLCR0),X0XXXXXXB	; 40 MHz から 10 MHz に切り替え
	LD	(PLLCR1),0XXXXXXB	; PLL 停止

X: Don't care



PLL の使用制限

1. SLOW モード (fs)での PLL のイネーブル/ディセーブルの制御の実行を禁止します。
(PLLCR0 と PLLCR1 の書き込み)
NORMAL モードで PLL を制御してください。
2. PLL 使用中に PLL の動作を停止する場合、次の設定順に従ってください。
LD (PLLCR0), 00H ; クロック f_{PLL} を f_{OSCH} に切り替えてください。
LD (PLLCR1), 00H ; PLL を停止させてください。
3. PLL 使用中に高速発振器を停止する場合、高速発振器を停止する前に PLL を停止させてください。

設定例は以下のとおりです。

(1) スタートアップ/切り替えのコントロール

(OK) 低速発振器動作モード (fs) (高速発振器停止状態)

→ 高速発振器スタートアップ → 高速発振器動作モード (f_{OSCH})
→ PLL スタートアップ → PLL 使用モード (f_{PLL})

```

WUP: LD (SYSCR0), 1 1 - - - 1 - - B ; 高速発振器スタート/ウォームアップスタート
      BIT 2, (SYSCR0) ; }
      JR NZ, WUP ; } ウォームアップ終了のフラグをチェック
      LD (SYSCR1), - - - - 0 - - - B ; システムクロック fs を fOSCH に切り替え
      LD (PLLCR1), 1 - - - - - - B ; PLL スタートアップ/ロックアップ、スタート
LUP: BIT 5, (PLLCR0) ; }
      JR Z, LUP ; } ロックアップの終了のフラグをチェック
      LD (PLLCR0), - 1 - - - - - B ; システムクロック fOSCH を fPLL に切り替え

```

(OK) 低速発振器動作モード (fs) (高速発振器動作状態)

→ 高速発振器動作モード (f_{OSCH}) → PLL スタートアップ
→ PLL 使用モード (f_{PLL})

```

LUP: LD (SYSCR1), - - - - 0 - - - B ; システムクロック fs を fOSCH に切り替え
      LD (PLLCR1), 1 - - - - - - B ; PLL スタートアップ/ロックアップ、スタート
      BIT 5, (PLLCR0) ; }
      JR Z, LUP ; } ロックアップフラグの終了のフラグをチェック
      LD (PLLCR0), - 1 - - - - - B ; システムクロック fOSCH を fPLL に切り替え

```

(NG) 低速発振器動作モード (fs) (高速発振器停止状態)

→ 高速発振器スタートアップ → PLL スタートアップ → PLL 使用モード (f_{PLL})

```

WUP: LD (SYSCR0), 1 1 - - - 1 - - B ; 高速発振器スタート/ウォームアップ スタート
      BIT 2, (SYSCR0) ; }
      JR NZ, WUP ; } ウォームアップ終了のフラグをチェック
      LD (PLLCR1), 1 - - - - - - B ; PLL スタートアップ/ロックアップ、スタート
LUP: BIT 5, (PLLCR0) ; }
      JR Z, LUP ; } ロックアップ終了のフラグをチェック
      LD (PLLCR0), - 1 - - - - - B ; 内部クロック fOSCH を fPLL に切り替え
      LD (SYSCR1), - - - - 0 - - - B ; システムクロック fs を fPLL に切り替え

```

(2) 切り替え/停止のコントロール

(OK) PLL 使用モード (f_{PLL}) → 高速発振器動作モード(f_{OSCH}) → PLL 停止
→ 低速発振器動作モード(f_s) → 高速発振器停止

LD	(PLLCR0),	0 0 0 0 0 0 0 B ;	システムクロック f_{PLL} を f_{OSCH} に切り替え
LD	(PLLCR1),	0 0 0 0 0 0 0 B ;	PLL 停止
LD	(SYSCR1),	0 0 0 1 0 0 0 B ;	システムクロック f_{OSCH} を f_s に切り替え
LD	(SYSCR0),	0 0 0 0 0 0 0 B ;	高速発振器停止

(NG) PLL 使用モード (f_{PLL}) $\rightarrow$ 低速発振器動作モード (f_s) $\rightarrow$ PLL 停止
 $\rightarrow$ 高速発振器停止

LD	(SYSCR1),	— — — 1 — — B ;	システムクロック f_{PLL} を f_S に切り替え
LD	(PLLCR0),	— 0 — — — — B ;	内部クロック (fc) f_{PLL} を f_{OSCH} に切り替え
LD	(PLLCR1),	0 — — — — — B ;	PLL 停止
LD	(SYSCR0),	0 — — — — — B ;	高速発振器停止

(OK) PLL 使用モード (f_{PLL}) → STOP モードに設定 → 高速発振器動作モード (f_{OSCH}) → PLL 停止 → ホルト (高速発振器停止)

LD	(SYSCR2),	— — — — 0 1 — — B ;	STOP モードを設定 (このコマンドは PLL 使用前に実行可能です)
LD	(PLLCR0),	— 0 — — — — — B ;	システムクロック f _{PLL} を f _{OSCH} に切り替え
LD	(PLLCR1),	0 — — — — — — B ;	PLL 停止
HALT		— — — — — — — — B ;	STOP モードに切り替え

(NG) PLL 使用モード (f_{PLL}) → STOP モードに設定 → ホルト (高速発振器停止)

LD	(SYSCR2),	— — — — 0 1 — — B ;	STOP モードに設定 (このコマンドは PLL 使用前に実行可能です。)
HALT			STOP モードに切り替え

3.3.5 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

- (1) 低速発振器のドライブ能力低減
- (2) 高速発振器のシングルドライブ化^{注)}
- (3) SFR プロテクトレジスタによる暴走対策

注) この機能は TMP92CY23 のみ対応しています。

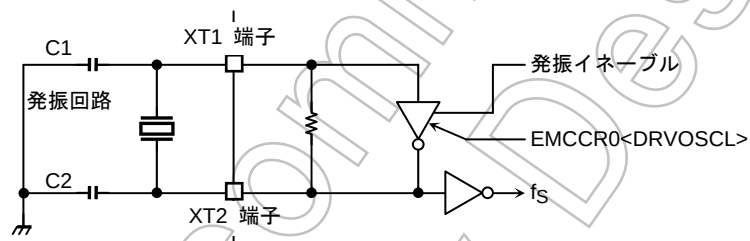
これらの機能は、EMCCR0, EMCCR1, EMCCR2 レジスタによる設定が必要です。
以下に(1)~(3)について説明します。

(1) 低速発振器のドライブ能力低減

(目 的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化。

(ブロック図)



(設定方法)

EMCCR0<DRVOSCL> に“0”をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCL> は“1”に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

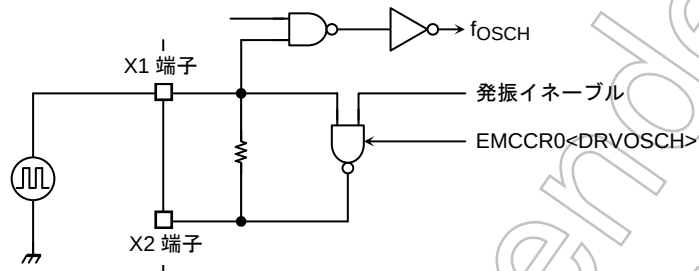
(2) 高速発振器のシングルドライブ化^{注)}

(目 的)

外部に発振器を接続する場合に、ツインドライブの不要化、X2 端子解放時にノイズ混入による誤動作防止。

注) この機能は TMP92CY23 のみ対応しています。

(ブロック図)



(設定方法)

EMCCR0<EXTIN> に“1”をライトすることにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2 端子は“1”を出力状態となります。

リセットにより、<EXTIN> は“0”に初期化されます。

注) 外部に発振器を接続している場合は、EMCCR0<EXTIN>に“1”をライトしないでください。

(3) SFR プロテクトレジスタによる暴走対策

(目的)

ノイズ混入などによるプログラムの暴走時の対策。

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ（メモリコントローラ）の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

また、INTP0 割込みにより暴走時のエラー処理を容易にします。

特定の SFR 一覧

- | |
|---|
| 1. メモリコントローラ
B0CSL/H, B1CSL/H, B2CSL/H, B3CSL/H,
BEXCSL/H,
MSAR0, MSAR1, MSAR2, MSAR3,
MAMR0, MAMR1, MAMR2, MAMR3, PMEMCR |
| 2. クロックギア (EMCCR1,2 は書き込み可能です)
SYSCR0, SYSCR1, SYSCR2, EMCCR0 |
| 3. PLL
PLLCR0, PLLCR1 |

(動作説明)

EMCCR1 と EMCCR2 レジスタに 2 重の鍵を設定する事によりプロテクト(特定の SFR へのライト動作)の実行,解除が可能となります。

(2 重の鍵)

1st-KEY : EMCCR1 に 5AH, EMCCR2 に A5H を連続ライト

2nd-KEY : EMCCR1 に A5H, EMCCR2 に 5AH を連続ライト

プロテクトの状態は、EMCCR0<PROTECT> をリードすることにより確認できます。
リセットにより、プロテクト OFF 状態となります。

また、プロテクト ON 状態にて特定の SFR へのライト動作が実行された場合に
INTP0 割込みを出力します。これにより暴走時のエラー処理を容易にします。

3.3.6 スタンバイ制御部

(1) HALT モード

HALT 命令を実行すると、SYSCR2 <HALTM1:0> の設定により、IDLE2、IDLE1、STOP のいずれかの HALT モードになります。

IDLE2、IDLE1、STOP モードの特長は、次のとおりです。

① IDLE2 : CPUのみ停止するモードです。

内蔵I/Oは、SFRの中にIDLE2 モード時の動作/停止設定レジスタを 1 ビット持ちIDLE2 モードでの動作設定が可能です。

表 3.3.2にIDLE2 設定レジスタの表を示します。

表 3.3.2 IDLE2 モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
TMRA45	TA45RUN<I2TA45>
TMRB0	TB0RUN<I2TB0>
TMRB1	TB1RUN<I2TB1>
SIO0	SC0MOD1<I2S0>
SIO1	SC1MOD1<I2S1>
SIO2	SC2MOD1<I2S2>
A/D コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>
SBI0	SBI0BR0<I2SBI0>
SBI1	SBI1BR0<I2SBI1>

② IDLE1 : 内部発振器と時計用タイマのみ動作します。

③ STOP : すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.3.3に示します。

表 3.3.3 ホルト状態での各ブロックの動作

HALT モード		IDLE2	IDLE1	STOP
SYSCR2 <HALTM1:0>		11	10	01
動作 ブ ロ ッ ク	CPU	停止		
	I/O ポート	"HALT"命令実行時の状態を保持	表 3.3.7, 表 3.3.8参照	
	TMRA, TMRB	動作するブロックを プログラマブルに選択可	停止	
	SIO, SBI			
	A/D コンバータ			
	WDT			
	割り込みコントローラ	動作	動作可	
	HSC (注)			
	時計用タイマ			

注) HSC は TMP92CY23 には搭載していません。

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPUのステータスレジスタSRに割り付けられている割り込みマスクレジスタ <IFF2:0> の状態と、HALTモードの組み合わせにより決まります。詳細を表 3.3.4に示します。

• 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません（ノンマスクابل割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います）。

ただし、INT0~INT7, INTRTC 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず HALT 命令の次の命令から処理をスタートします（割り込み要求フラグは“1”を保持します）。

• リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただしSTOPモードの解除では、発振器動作が安定するための十分なリセット時間（表 3.3.1を参照）が必要です。

リセットによる解除では、内蔵RAMのデータはホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます。（割り込みによる解除では、ホルト状態に入る直前の状態を保持します）

表 3.3.4 ホルト解除ソースとホルト解除の動作

割り込み受け付け状態		割り込み許可 (割り込みレベル) $\geq$ (割り込みマスク)			割り込み禁止 (割り込みレベル) $<$ (割り込みマスク)		
HALT モード		プログラマブル IDLE2	IDLE1	STOP	プログラマブル IDLE2	IDLE1	STOP
ホルト解除ソース	NMI	◎	◎	◎ ^{*1}	—	—	—
	INTWDT	◎	×	×	—	—	—
	INT0~INT4, INT7 (注 1)	◎	◎	◎ ^{*1}	○	○	○ ^{*1}
	INT5, INT6 (PORT) (注 1)	◎	◎	◎ ^{*1}	○	○	○ ^{*1}
	INT5, INT6 (TMRB1)	◎	×	×	×	×	×
	INTTA0~INTTA5	◎	×	×	×	×	×
	INTTB00, INTTB01, INTTB10, INTTB11, INTTBO0, INTTBO1	◎	×	×	×	×	×
	INTRX0~INTRX2, INTTX0~INTTX2	◎	×	×	×	×	×
	INTAD	◎	×	×	×	×	×
	KWI	◎	◎	◎ ^{*1}	△	△	△
	INTRTC	◎	◎	×	○	○	×
	INTSBE0~INTSBE1	◎	×	×	×	×	×
	INTHSC (注 4)	◎	×	×	×	×	×
	RESET	LSI を初期化します。					

◎ : ホルト解除後、割り込み処理を開始します。

○ : ホルト解除後、HALT 命令の次の番地から処理を開始します (割り込み処理は行いません)。

× : ホルト解除に使用できません。

— : ノンマスカブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の “7” に固定されているため、この組み合わせはありません。

△ : KWI は、割り込みとしての機能がないため、この組み合わせはありません。

*1 : ウォームアップ時間経過後にホルト解除を行います。

注 1) 割り込み許可状態において、レベルモードの INT0~INT7 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで “H” レベルを保持してください。それ以前で “L” レベルにした場合は、正しい割り込み処理を開始できません。

注 2) キーオンウェイクアップ入力(KWI)はすべての HALT モード状態を解除可能ですが割り込みとしての機能はありません。

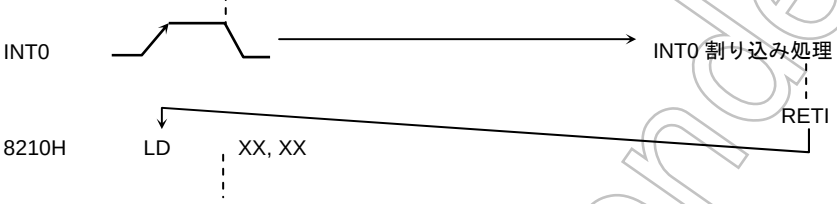
注 3) 割り込み要因が兼用されている INTTX1, INTHSC 割り込みを使用する場合は、HSCSEL レジスタを設定してください。

注 4) INTHSC 割り込みは TMP92CY23 には搭載していません。

(ホルト状態からの解除例)
IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合。

アドレス

8200H	LD	(P7FC), 10H	; P74 を INT0 に設定
8203H	LD	(IIMC3), 00H	; INT0 割り込み立ち上がりを選択
8206H	LD	(IIMC2), 00H	; INT0 割り込みエッジを選択
8209H	LD	(INTE01), 06H	; INT0 割り込みレベルを “6” に設定
820BH	EI	5	; CPU 割り込みレベルを “5” に設定
820EH	LD	(SYSCR2), 28H	; IDLE1 モードに設定
820FH	HALT		; CPU 停止



(3) 各モードの動作

① IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 3.3.6 に示します。

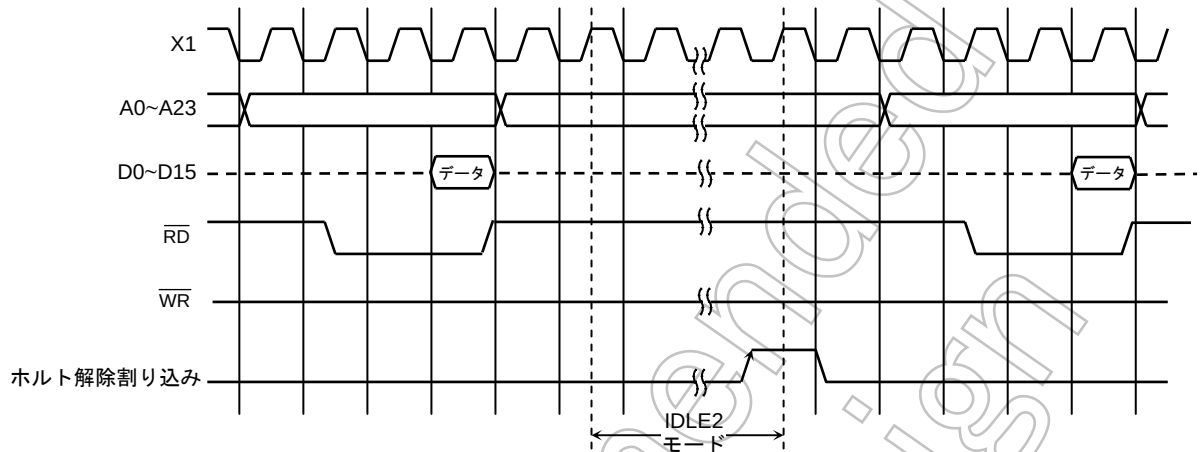


図 3.3.6 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

② IDLE1 モード

IDLE1 モードでは、内部発振器と時計用タイマのみ動作し、システムクロックは停止します。ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除（動作の再開）は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 3.3.7 に示します。

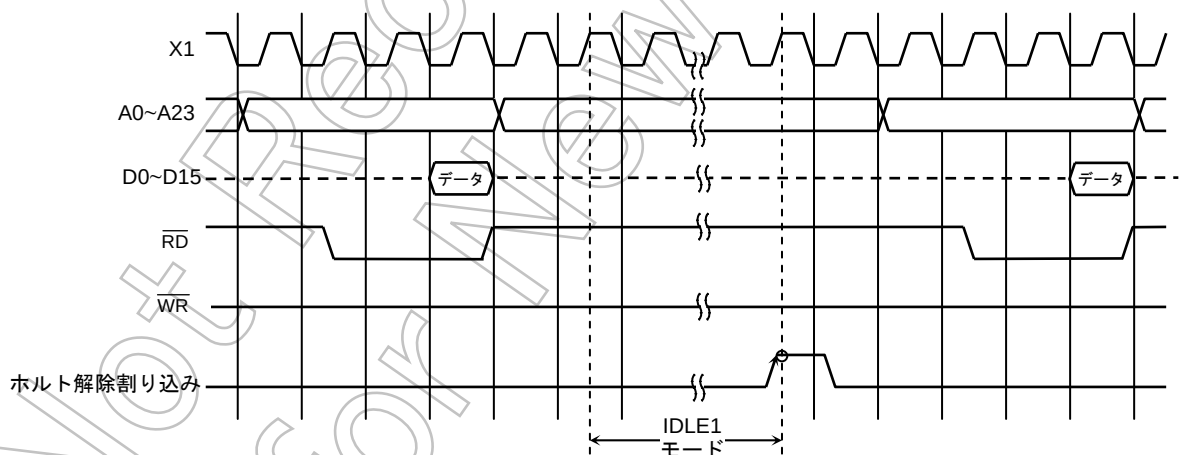


図 3.3.7 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

③ STOP モード

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOPモード時の端子状態は、SYSCR2<SELDIV,DRIVE> の設定により異なります。STOPモード時の端子状態を表 3.3.7, 表 3.3.8に示します。

STOPモードを解除した後、内部発振器のウォームアップ用カウンタによるウォームアップ時間と内蔵FlashROMウォームアップ時間(注)が経過してから、システムクロックの出力を開始します。表 3.3.5にSTOPモード解除時の発振器のウォームアップ時間の設定例、表 3.3.6に内蔵FlashROMのウォームアップ時間を示します。

注) 本製品は MaskROM 品ですが、FlashROM 品と同一動作とするため、内蔵 FlashROM ウォームアップ時間が入ります。

STOPモードの割り込みによるホルト解除のタイミング例を図 3.3.8に示します。

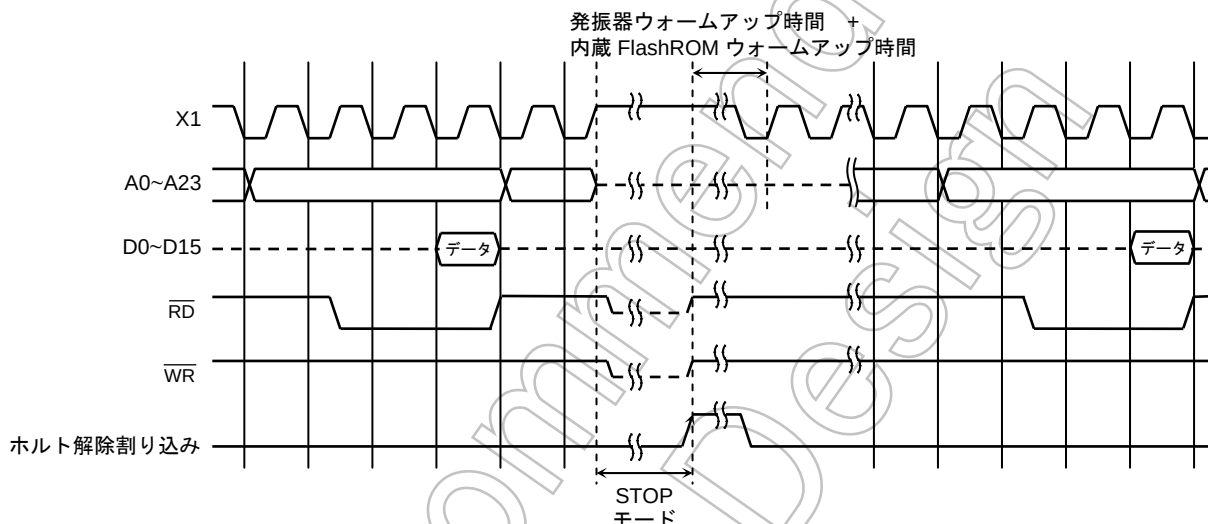


図 3.3.8 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.3.5 発振器のウォームアップ時間の設定例 (STOP モード解除時)

at $f_{OSCH} = 10 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$

SYSCR1 <SYSCK>	SYSCR2 <WUPTM1:0>		
	01 (2^8)	10 (2^{14})	11 (2^{16})
0 (fc)	25.6 μs	1.638 ms	6.554 ms
1 (fs)	7.8ms	500ms	2000ms

表 3.3.6 内蔵 FlashROM のウォームアップ時間 (STOP モード解除時)

at $f_{OSCH} = 10 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$

0 (fc)	$409.6 \mu\text{s} (2^{12} / f_{OSCH})$
1 (fs)	$125 \text{ ms} (2^{12} / f_s)$

表 3.3.7 入力バッファ状態表

ポート名		入力機能名		入力バッファ状態								
				リセット 中	動作中		HALT 中 (IDLE1/2)		HALT 中 (STOP)			
									DRVE=1		DRVE=0	
			機能 設定	入力ポート 設定	機能 設定	入力ポート 設定	機能 設定	入力ポート 設定	機能 設定	入力ポート 設定		
P00-P07		OFF	外部 RD で ON(*1)	ON	OFF		OFF		OFF			
P10-P17			OFF									
P40-P47											OFF	
P50-P57												OFF
P60-P67												
P70(*2)		OFF										
P71-P73 (*2)			ON									
P74				ON								
P76					OFF							
P77		OFF										
P83			OFF									
PC0				ON								
PC1					ON							
PC2		ON										
PC3			ON									
PD0				ON								
PD1					ON							
PD2		ON										
PD3			ON									
PD4				ON								
PF0					ON							
PF1		ON										
PF2			ON									
PF3				ON								
PF4					ON							
PF5		ON										
PG0-PG7			ON									
PL0-PL2				ON								
PL3					ON							
PN0		ON										
PN1			ON									
PN2				ON								
PN3					ON							
PN4		ON										
PN5			ON									
NMI				ON								
AM0,AM1					ON							
X1		ON										
RESET			ON									

ON : 常時バッファが ON しているため、入力端子がドライブさ

れていないと入力バッファに貫通電流が流れます。

OFF : 常時バッファが OFF しています

— : 対象なし

*1 : 外部リード時 ON となります

*2 : Pull-Up 抵抗付きポートです(プログラマブル)

*3 : AIN 入力では貫通電流が流れません

*4 : HSSI 入力機能は TMP92CY23 には搭載しておりません。

表 3.3.8 出力バッファ状態表

ポート名	出力機能名		出力バッファ状態								
			リセット中	動作中		HALT 中 (IDLE1/2)		HALT 中 (STOP)			
				機能設定	出力ポート設定	機能設定	出力ポート設定	DRVE=1		DRVE=0	
			機能設定	出力ポート設定	機能設定	出力ポート設定	機能設定	出力ポート設定	機能設定	出力ポート設定	
P00-P07	D0-D7		OFF	外部 WR で ON(*1)	OFF		OFF				
P10-P17	D8-D15										
P40-P47	A0-DA7		ON	ON	ON	ON	ON	ON	OFF		
P50-P57	A8-A15										
P60-P67	A16-A23										
P70(*2)	RD										
P71(*2)	SRWR		OFF		ON		ON	ON	OFF		
P72(*2)	SRLLB										
P73(*2)	SRLUB										
P76	-		OFF	-	ON(*3)	-	ON(*3)	-	ON(*3)	-	
P77	XT2	発信器用	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF	
		ポート用		ON(*3)	OFF	ON(*3)	OFF	ON(*3)			
P80	CS0, TA1OUT		ON						OFF		
P81	CS1, TA3OUT										
P82	CS2										
P83	CS3, TA5OUT										
PD0	TB0OUT0		OFF		ON		ON		OFF	OFF	
PD2	TXD2										
PD3	TB1OUT0										
PD4	TB1OUT1, SCLK2										
PF0	TXD0		OFF						ON	OFF	
PF1	-										
PF2	SCLK0, CLK										
PF3	TXD1, HSSO(*4)										
PF4	-		ON	-	ON	-	ON	-	ON	-	
PF5	SCLK1, HSCLK(*4)		ON	-	ON	-	ON	-	ON	-	
PN0	SCK0		ON		ON		ON		OFF		
PN1(*3)	SO0, SDA0										
PN2(*3)	SCL0										
PN3	SCK1										
PN4(*3)	SO1, SDA1										
PN5(*3)	SCL1										
X2	-		ON	-		-	OFF	-		-	

ON : 常時バッファが ON しています。ただし、バス開放時は特定の端子の出力バッファは OFF します。

OFF : 常時バッファが OFF しています

— : 対象なし

*1 : 外部ライト時 ON となります

*2 : Pull-Up 抵抗付きポートです(プログラマブル)

*3 : Open-Drain 出力端子です。

*4 : HSSO、HSCLK 出力機能は TMP92CY23 には搭載しておりません。

3.4 割り込み

TLCS-900/H1 の割り込みは、CPU の割り込みマスクフリップフロップ<IFF2:0> と、内蔵の割り込みコントローラによって制御されます。

TMP92CY23 の割り込み要因は合計 50 本、TMP92CD23A の割り込み要因は合計 51 本あります。

CPU によって生成される割り込み: 9 本

- ソフトウェア割り込み: 8 本
- 未定義命令実行違反割り込み: 1 本

内部割り込み: TMP92CY23 は 32 本, TMP92CD23A は 33 本

- 内蔵 I/O 割り込み: TMP92CY23 は 24 本, TMP92CD23A は 25 本
- マイクロ DMA 転送終了割り込み: 8 本

外部割り込み: 9 本

- 外部端子の割り込み ($\overline{NMI}$, INT0~INT7)

割り込み要因ごとに、個別の割り込みベクタ番号(固定)が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位(可変)を割り付ける事が出来ます。ノンマスカブル割り込みの優先順位は、最優先の“7”に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスカブル割り込みの“7”)を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ<IFF2:0>の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ<IFF2:0>の値は EI 命令(EI num...<IFF2:0>の内容が num になります。)を使用して、書き換えることができます。例えば、“EI 3”とプログラムすると、割り込みコントローラに設定された、優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令(<IFF2:0> が 7 になります。)は動作的には“EI 7”と同じですが、マスカブル割り込みの割り込みレベルが 1~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後直ちに有効となります。

TLCS-900/H1 の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送(1/2/4 バイト)を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を、高速に行うことが出来ます。

さらに、TMP92CY23/CD23A には、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトウェアから要求を発行する“ソフトスタート機能”があります。

図 3.4.1に割り込み処理全体のフローを示します。

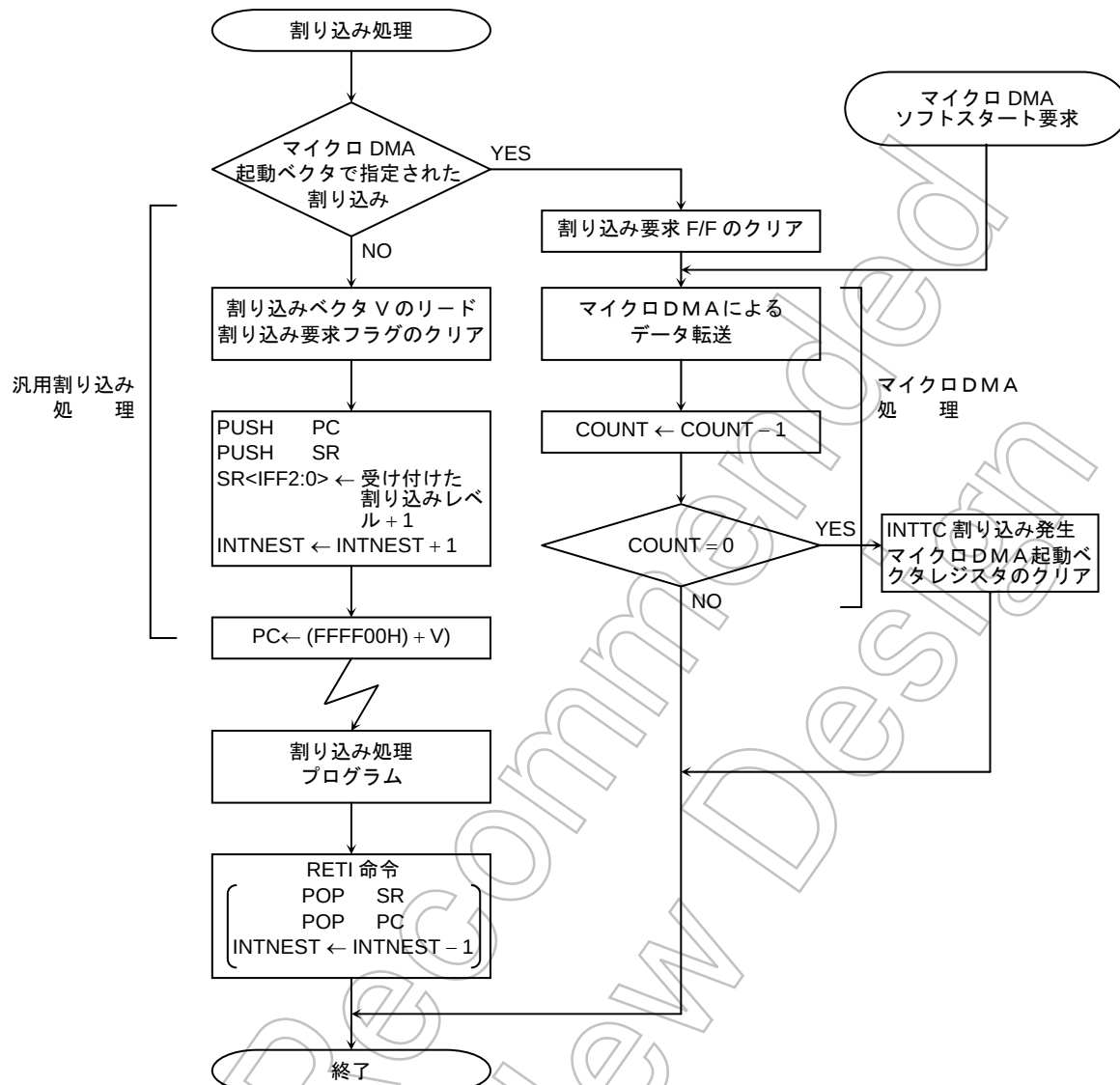


図 3.4.1 割り込み処理全体のフロー

3.4.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。ただしソフトウェア割り込みと未定義命令違反割り込みが CPU で生成される場合、CPU は 1 と 3 を飛ばし、2、4、5 の工程のみを実行します。

1. CPU は、割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ(固定: ベクタ値が小さいほど優先順位が高い)にしたがって割り込みベクタを発生し、その割り込み要求をクリアします。
2. CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域(XSP が示す領域)へ PUSH します。
3. CPU の割り込みマスクレジスタ<IFF2:0>の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”の時は、インクリメントせず“7”をセットします。
4. 割り込みネスティングカウンタ INTNEST を、+1 カウントアップします。
5. CPU は、「FFFF00H + 割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

割り込み処理が終了し、メインルーチンに戻る時は、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容をリストアし、割り込みネスティングカウンタ INTNEST を -1 します。

ノンマスクابل割り込みは、プログラムによって割り込み受け付けを禁止する事ができません。一方、マスクابل割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定する事が出来ます(0 か 7 の割り込みレベルの設定は割り込み要求が無効になります)。CPU は、CPU 自身が持つ割り込みマスクレジスタ<IFF2:0>の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU のマスクレジスタ<IFF2:0>に、受け付けた優先順位に“1”を加えた値をセットします。

したがって、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 1~5 までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスクابل割り込みのネスティングを禁止する事ができます。

リセット後、CPU のマスクレジスタ<IFF2:0>は、“7”に初期化されているため、マスクابل割り込み禁止状態になっています。

TMP92CY23/CD23Aでは、メモリ FFFF00H~FFFFFFH番地(256 バイト)が、割り込みベクタ領域に割り当てられています。表 3.4.1に割り込みテーブルを示します。

表 3.4.1 TMP92CY23/CD23A の割り込みテーブル

デフォルトプライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照アドレス	マイクロ DMA 起動ベクタ
1	ノン マスカブル	"SWI0"命令または"リセット"	0000H	FFFF00H	
2		"SWI1"命令	0004H	FFFF04H	
3		"SWI2"命令または"未定義命令実行違反"	0008H	FFFF08H	
4		"SWI3"命令	000CH	FFFF0CH	
5		"SWI4"命令	0010H	FFFF10H	
6		"SWI5"命令	0014H	FFFF14H	
7		"SWI6"命令	0018H	FFFF18H	
8		"SWI7"命令	001CH	FFFF1CH	
9		NMI	0020H	FFFF20H	
10		INTWD : ウォッチドッグタイマ	0024H	FFFF24H	
-	マスカブル	マイクロ DMA	-	-	- (注 1)
11		INT0: 外部割り込み入力端子	0028H	FFFF28H	0AH(注 2)
12		INT1: 外部割り込み入力端子	002CH	FFFF2CH	0BH(注 2)
13		INT2: 外部割り込み入力端子	0030H	FFFF30H	0CH(注 2)
14		INT3: 外部割り込み入力端子	0034H	FFFF34H	0DH(注 2)
15		INT4: 外部割り込み入力端子	0038H	FFFF38H	0EH(注 2)
16		INT5: 外部割り込み入力端子	003CH	FFFF3CH	0FH(注 2)
17		INT6: 外部割り込み入力端子	0040H	FFFF40H	10H(注 2)
18		INT7: 外部割り込み入力端子	0044H	FFFF44H	11H(注 2)
19		INTTA0: 8 ビットタイマ 0	0048H	FFFF48H	12H
20		INTTA1: 8 ビットタイマ 1	004CH	FFFF4CH	13H
21		INTTA2: 8 ビットタイマ 2	0050H	FFFF50H	14H
22		INTTA3: 8 ビットタイマ 3	0054H	FFFF54H	15H
23		INTTA4: 8 ビットタイマ 4	0058H	FFFF58H	16H
24		INTTA5: 8 ビットタイマ 5	005CH	FFFF5CH	17H
25		(Reserved)	0060H	FFFF60H	18H
26		(Reserved)	0064H	FFFF64H	19H
27		INTRX0: シリアル 0 (SIO0) 受信	0068H	FFFF68H	1AH(注 2)
28		INTTX0: シリアル 0 (SIO0) 送信	006CH	FFFF6CH	1BH
29		INTRX1: シリアル 1 (SIO1) 受信	0070H	FFFF70H	1CH(注 2)
30		INTTX1: シリアル 1 (SIO1) 送信	0074H	FFFF74H	1DH
31		INTHSC: 高速シリアル (注 4)			
32		INTRX2: シリアル 2 (SIO2) 受信	0078H	FFFF78H	1EH(注 2)
33		INTTX2: シリアル 2 (SIO2) 送信	007CH	FFFF7CH	1FH
34		(Reserved)	0080H	FFFF80H	20H
35		(Reserved)	0084H	FFFF84H	21H
36		INTSBE0: SBI0 I2CBUS 転送終了	0088H	FFFF88H	22H
37		(Reserved)	008CH	FFFF8CH	23H
38		INTSBE1: SBI1 I2CBUS 転送終了	0090H	FFFF90H	24H
39		(Reserved)	0094H	FFFF94H	25H
40		(Reserved)	0098H	FFFF98H	26H
41		(Reserved)	009CH	FFFF9CH	27H
42		(Reserved)	00A0H	FFFA0H	28H
43		(Reserved)	00A4H	FFFA4H	29H
44		INTTB00: 16 ビットタイマ 0	00A8H	FFFA8H	2AH
45		INTTB01: 16 ビットタイマ 0	00ACH	FFFACH	2BH
46		INTTBO0: 16 ビットタイマ 0 (オーバーフロー)	00B0H	FFFB0H	2CH
47		INTTB10: 16 ビットタイマ 1	00B4H	FFFB4H	2DH
48		INTTB11: 16 ビットタイマ 1	00B8H	FFFB8H	2EH
49		INTTBO1: 16 ビットタイマ 1 (オーバーフロー)	00BCH	FFFBCH	2FH

表 3.4.2 TMP92CY23/CD23A の割り込みテーブル

デフォルトプライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照アドレス	マイクロ DMA 起動ベクタ
49	マスカブル	INTAD: AD 変換終了	00C0H	FFFFC0H	30H
50		INTP0: プロテクト 0 (SFR に WR)	00C4H	FFFFC4H	31H
51		INTRTC: 時計用タイマ	00C8H	FFFFC8H	32H
52		(Reserved)	00CCH	FFFFCCH	33H
53		INTTC0: マイクロ DMA 終了 (channel0)	00D0H	FFFFD0H	34H
54		INTTC1: マイクロ DMA 終了 (channel1)	00D4H	FFFFD4H	35H
55		INTTC2: マイクロ DMA 終了 (channel2)	00D8H	FFFFD8H	36H
56		INTTC3: マイクロ DMA 終了 (channel3)	00DCH	FFFFDCH	37H
57		INTTC4: マイクロ DMA 終了 (channel4)	00E0H	FFFFE0H	38H
58		INTTC5: マイクロ DMA 終了 (channel5)	00E4H	FFFFE4H	39H
59		INTTC6: マイクロ DMA 終了 (channel6)	00E8H	FFFFE8H	3AH
60		INTTC7: マイクロ DMA 終了 (channel7)	00ECH	FFFFECH	3BH
—		(Reserved)	00F0H	FFFFF0H	—
⋮			⋮	⋮	⋮
—			00FCH	FFFFFCH	—

注 1) マイクロ DMA を起動するときは、エッジ検出モードに設定してください。

注 2) マイクロ DMA デフォルトプライオリティ

割り込み要求がマイクロ DMA によって生成された場合、割り込みはほかのマスカブル割り込み (デフォルトチャンネルプライオリティに無関係)より優先されます。

注 3) デフォルトプライオリティ 30 は割り込み要因を兼用しています。INTTX1 と INTHSC の切り替えは、HSCSEL レジスタにて行います。

注 4) INTHSC 割り込みは TMP92CY23 には搭載していません。

3.4.2 マイクロDMA

TMP92CY23/CD23A には、マイクロ DMA 機能があります。マイクロ DMA 機能に設定された割り込み要求は、設定された割り込みレベルに関わらず、マスカブル割り込みの中で最も高い割り込みレベル(レベル 6)で処理を行います。

マイクロ DMA 機能は CPU の強調動作によって実現されているため、CPU が HALT 命令によってスタンバイ状態になるとマイクロ DMA の要求は無視(保留)されます。

マイクロ DMA は 8 チャンネル用意されており、後述のバースト指定により、連続転送が可能です。

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルに関わらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。〈IFF2:0〉 = “7” のときは、マイクロ DMA の要求は受け付けられません。

マイクロ DMA は 8 チャンネル用意されており、同時に 8 種類までの割り込み要因に対して、マイクロ DMA を設定する事が出来ます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回(1/2/4 バイト)行われ、転送数カウンタをデクリメントします。デクリメントした結果が “0” ならば、以下のような動作をします。

- CPU はマイクロ DMA 転送終了を割り込みコントローラに伝えます。
- 割り込みコントローラはマイクロ DMA 転送終了割り込み(INTTCn)を発生させます。
- マイクロ DMA 起動ベクタレジスタの値を “0” クリアして、次のマイクロ DMA 起動を禁止します。
- マイクロ DMA 処理を終了します。

デクリメントした結果が “0” でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み(INTTCn)は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを “0” にしておく必要があります。これはマイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。割り込み要因をマイクロ DMA と汎用割り込みの起動の両方で使用する場合は、その割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低くする必要があります(注)。なお、その割り込み要因は、エッジ割り込みに限られます。

マイクロ DMA 転送終了割り込みは、他のマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(CH0(高)→CH7(低))

注) マイクロ DMA 要因の割り込みレベルを他の割り込みレベルより高くすると、下記のような動作 をする場合があります。

下記設定にてINTxxx割り込みが先に発生し、割り込み処理フロー(図 3.4.1参照) で、“マイクロDMA起動ベクタで指定された割り込み”の確認後で、“割り込みベクタVのリード”の間にINTyyyが発生した場合、INTyyyの割り込みレベルのほうが高いため、その時点ではベクタVはINTyyyのベクタVに変化してしまいます。割り込み処理フローでは、マイクロDMAの確認が終了しているため、割り込みベクタVがすり替わる形となり、CPU はそのままINTyyyのベクタVをリードしてしまい、マイクロDMAの転送カウンタにかかわらずINTyyyが発生してしまいます。

INTxxx: レベル 1 DMA 設定なし

INTyyy: レベル 6 DMA 設定あり

転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16M バイトとなります。

転送モードとしては、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、「(4)転送モードレジスタ詳細」を参照して下さい。

転送数カウンタは、16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回(転送カウンタの初期値が 0000H のとき最大)の、マイクロ DMA 処理を行うことができます。

マイクロDMA処理を行うことの出来る割り込み要因は、表 3.4.1でマイクロDMA起動ベクタのある 39 種類の割り込みとソフトスタートによる計 40 種類です。

転送先アドレスINCモード(カウンタモード以外は同様)のマイクロDMAサイクルを 図 3.4.2に示します。(外部 8 ビットバス、0 ウェイト、ソース/デスティネーションアドレスとも偶数の場合)

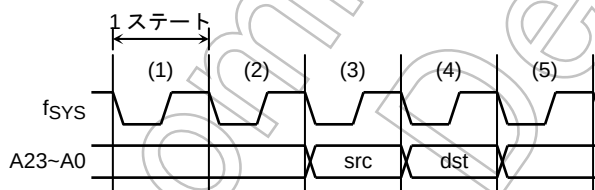


図 3.4.2 マイクロ DMA サイクル図

- 第 1~2 ステート: 命令フェッチサイクル (次の命令コードを先取りします)
命令キューバッファが FULL の場合、このサイクルはダミーサイクルになります。
- 第 3 ステート: マイクロ DMA リードサイクル
- 第 4 ステート: マイクロ DMA ライトサイクル
- 第 5 ステート: (第 1~第 2 ステートに同じ)

(2) ソフトスタート機能

割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへの書き込みサイクルが発生した事により、マイクロ DMA を起動する“マイクロ DMA ソフトスタート機能”があります。

DMAR レジスタの各ビットに“1”を書き込む事により、マイクロ DMA を一回起動する事ができます(“0”をライトしても変化しません)。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に“0”クリアされます。なお、仕様上の制限として一度に1チャンネルしか起動指定できません(複数のビットに“1”を書き込まないでください)。

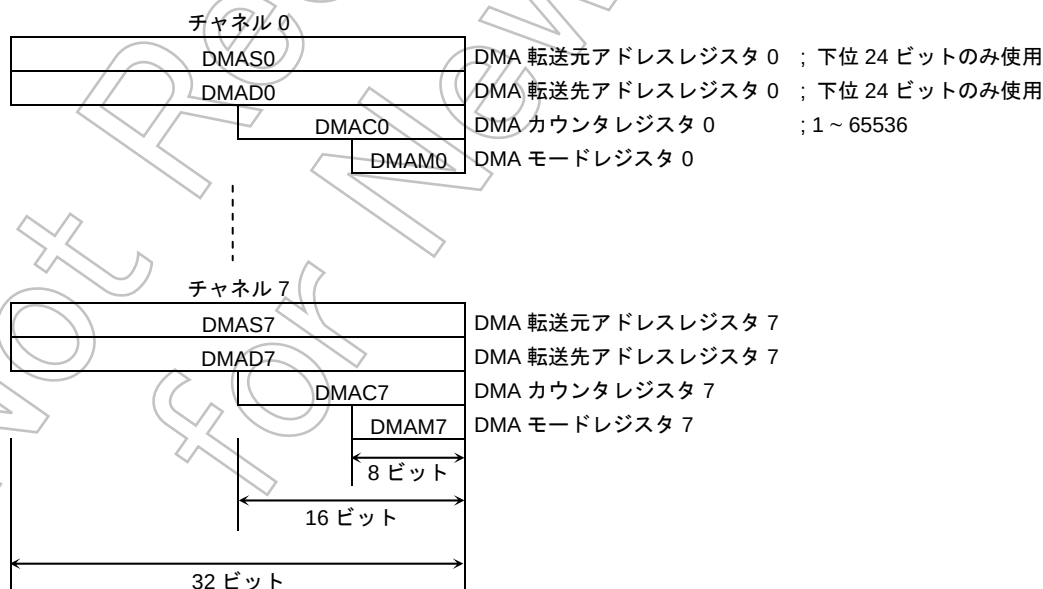
また、再度 DMAR レジスタに“1”をライトする場合は、そのビットが“0”であることを確認してから行ってください。リードした値が“1”の場合は、まだマイクロ DMA 転送が開始されていません。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが“0”になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトスタートを実行してもマイクロ DMA 転送カウンタは変化しません。ほかのビットへの誤書き込みを防ぐために、リードモディファイライイト命令は使わないでください。

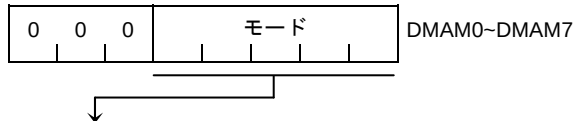
Symbol	Name	Address	7	6	5	4	3	2	1	0
DMAR	DMA Request register	109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA のソフト要求							

(3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記のレジスタで設定します。これらのレジスタは、「LDC cr,r」命令を使用して、データの設定を行います。



(4) 転送モードレジスタ詳細



DMAMn[4:0]	モード説明	実行時間
000zz	転送先 INC モード (DMADn+) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
001zz	転送先 DEC モード (DMADn-) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
010zz	転送元 INC モード (DMADn) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
011zz	転送元 DEC モード (DMADn) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
100zz	転送元および転送先 INC モード (DMADn+) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6 ステート
101zz	転送元および転送先 DEC モード (DMADn-) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6 ステート
110zz	転送元 および転送先固定モード (DMADn) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
11100	カウンタモード DMASn ← DMASn + 1 DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート

ZZ: 00 = 1 バイト転送
 01 = 2 バイト転送
 10 = 4 バイト転送
 11 = (Reserved)

注 1) 実行時間は、ベストケース(メモリアクセスが1クロックの場合)の値です。

1 ステート = 50ns(@f_{SYS} = 20MHz 動作時)

注 2) n はマイクロ DMA チャネルナンバ(0~7)を表しています。

DMADn+/DMASn+: ポスト-インクリメント(レジスタ値は転送後に増大します。)

DMADn-/DMASn-: ポスト-デクリメント(レジスタ値は転送後に減少します。)

“I/O”は固定されたメモリアドレスを意味します; “メモリ”は増大あるいは減少するメモリアドレスを意味します。

注 3) 転送モードレジスタは上にリストされた値以外は設定しないでください。

3.4.3 割り込みコントローラの制御

図 3.4.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路とホルト解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと(合計 50 チャンネル)に、割り込み要求フラグ(フリップフロップ)、割り込み優先順位設定レジスタ、マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタを CPU がリードしたとき
- 割り込みをクリアする命令の実行(INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA 要求を受け付けた時
- その割り込みでのマイクロ DMA バースト転送が終了した時

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込み優先順位設定レジスタ(INTEPAD、INTE01,・・・等)にそれぞれの優先順位を書き込むことで設定できます。設定出来る割り込みレベルは 1 から 6 までの 6 レベルです。書き込み優先順位値を“0”(または “7”)にする事により、該当する割り込み要求は禁止されます。

また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ(プライオリティ値の小さいもの=ベクタの小さいもの)に従い、割り込みを受け付けます。なお、割り込み優先順位設定レジスタの 3 ビット目、7 ビット目を読むと、割り込み要求フラグの状態が読み出され、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ(SR)に設定された割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、CPU 側の SR<IFF2:0>に、受け付けた割り込みレベル+1の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了(RETI 命令の実行)により、CPU 側の SR<IFF2:0>には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値をリストアします。

割り込みコントローラには、マイクロDMAの起動ベクタを格納するレジスタ(8チャンネル)が用意されています。このレジスタに起動ベクタ(表 3.4.1参照)を書き込む事により、該当する割り込み要求が発生する事によって、マイクロDMAが起動されます。なお、このマイクロDMA処理の前に、マイクロDMAパラメータ用レジスタ(DMAS, DMAD等)に値を設定しておく必要があります。

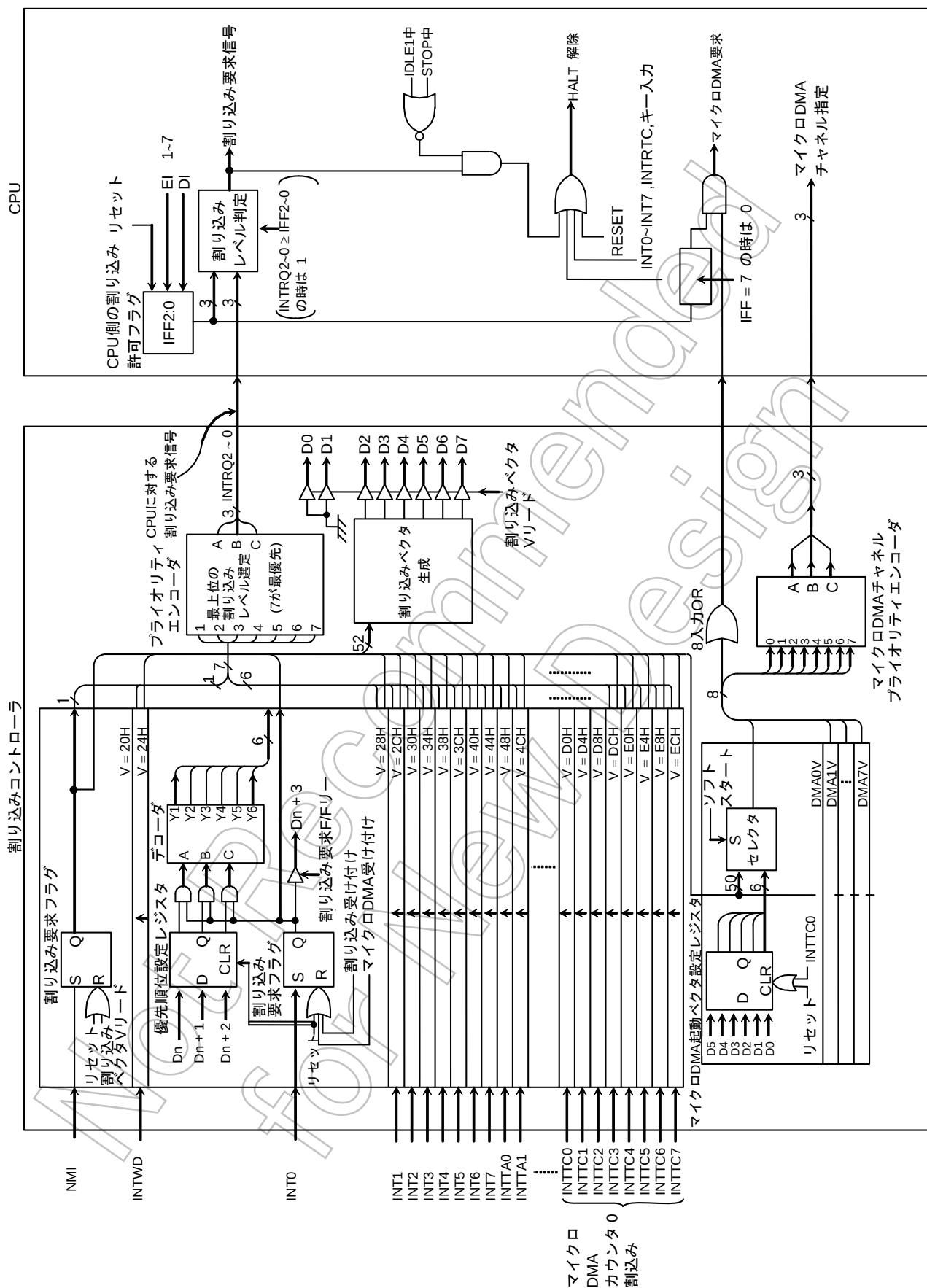


図 3.4.3 割り込みコントローラブロック図

(1) 割り込み優先順位設定レジスタ

Symbol	Name	Address	7	6	5	4	3	2	1	0
INTE01	INT0 & INT1 Enable	00D0H	INT1				INT0			
			I1C	I1M2	I1M1	I1M0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT1	割り込み要求レベル			1:INT0	割り込み要求レベル		
INTE23	INT2& INT3 Enable	00D1H	INT3				INT2			
			I3C	I3M2	I3M1	I3M0	I2C	I2M2	I2M1	I2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT3	割り込み要求レベル			1:INT2	割り込み要求レベル		
INTE45	INT4& INT5 Enable	00D2H	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT5	割り込み要求レベル			1:INT4	割り込み要求レベル		
INTE67	INT6& INT7 Enable	00D3H	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT7	割り込み要求レベル			1:INT6	割り込み要求レベル		
INTETA01	INTTA0 & INTTA1 Enable	00D4H	INTTA1(TMRA1)				INTTA0(TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTA1	割り込み要求レベル			1:INTTA0	割り込み要求レベル		
INTETA23	INTTA2 & INTTA3 Enable	00D5H	INTTA3(TMRA3)				INTTA2(TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTA3	割り込み要求レベル			1:INTTA2	割り込み要求レベル		
INTETA45	INTTA4 & INTTA5 Enable	00D6H	INTTA5(TMRA5)				INTTA4(TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTA5	割り込み要求レベル			1:INTTA4	割り込み要求レベル		

割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを "1" に設定
0	1	0	割り込みレベルを "2" に設定
0	1	1	割り込みレベルを "3" に設定
1	0	0	割り込みレベルを "4" に設定
1	0	1	割り込みレベルを "5" に設定
1	1	0	割り込みレベルを "6" に設定
1	1	1	割り込み要求を禁止に設定

Symbol	Name	Address	7	6	5	4	3	2	1	0
INTES0	INTRX0 & INTTX0 Enable	00D8H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTX0	割り込み要求レベル			1:INTRX0	割り込み要求レベル		
INTES1HSC	INTRX1 & INTTX1/INTHSC Enable	00D9H	INTTX1/INTHSC(注)				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTX1	割り込み要求レベル			1:INTRX1	割り込み要求レベル		
INTES2	INTRX2 & INTTX2 Enable	00DAH	INTTX2				INTRX2			
			ITX2C	ITX2M2	ITX2M1	ITX2M0	IRX2C	IRX2M2	IRX2M1	IRX2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTX2	割り込み要求レベル			1:INTRX2	割り込み要求レベル		
INTESB0	INTSBE0 Enable	00DCH	—				INTSBE0			
			—	—	—	—	ISBE0C	ISBE0M2	ISBE0M1	ISBE0M0
			—	—			R	R/W		
			—	—	—	—	0	0	0	0
			“0”をライトしてください				1:INTSBE0	割り込み要求レベル		
INTESB1	INTSBE1 Enable	00DDH	—				INTSBE1			
			—	—	—	—	ISBE1C	ISBE1M2	ISBE1M1	ISBE1M0
			—	—			R	R/W		
			—	—	—	—	0	0	0	0
			“0”をライトしてください				1:INTSBE1	割り込み要求レベル		
INTETB0	INTTB00 & INTTB01 Enable	00E0H	INTTB01(TMRB0)				INTTB00(TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTB01	割り込み要求レベル			1:INTTB00	割り込み要求レベル		
INTETB00	INTTB00 (Overflow) Enable	00E1H	—				INTTB00(TMRB0)			
			—	—	—	—	ITB00C	ITB00M2	ITB00M1	ITB00M0
			—	—			R	R/W		
			—	—	—	—	0	0	0	0
			“0”をライトしてください				1:INTTB00	割り込み要求レベル		
INTETB1	INTTB10 & INTTB11 Enable	00E2H	INTTB11(TMRB1)				INTTB10(TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTB11	割り込み要求レベル			1:INTTB10	割り込み要求レベル		

割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを "1" に設定
0	1	0	割り込みレベルを "2" に設定
0	1	1	割り込みレベルを "3" に設定
1	0	0	割り込みレベルを "4" に設定
1	0	1	割り込みレベルを "5" に設定
1	1	0	割り込みレベルを "6" に設定
1	1	1	割り込み要求を禁止に設定

注) INTHSC 割り込みは TMP92CY23 には搭載していません。

Symbol	Name	Address	7	6	5	4	3	2	1	0
INTETBO1	INTTBO1 (Overflow) Enable	00E3H	—				INTTBO1(TMRB1)			
			—	—	—	—	ITBO1C	ITBO1M2	ITBO1M1	ITBO1M0
			—	—			R	R/W		
			—	—	—	—	0	0	0	0
			“0”をライトしてください				1:INTTBO1	割り込み要求レベル		
INTEPAD	INTP0 & INTAD Enable	00E4H	INTP0				INTAD			
			IP0C	IP0M2	IP0M1	IP0M0	IADC	IADM2	IADM1	IADM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTP0	割り込み要求レベル			1:INTAD	割り込み要求レベル		
INTERTC	INTRTC Enable	00E5H	—				INTRTC			
			—	—	—	—	IRC	IRM2	IRM1	IRM0
			—	—			R	R/W		
			—	—	—	—	0	0	0	0
			“0”をライトしてください				1:INTRTC	割り込み要求レベル		
INTNMWDT	NMI & INTWDT Enable	00EFH	NMI				INTWDT			
			INCNM	—	—	—	INCWD	—	—	—
			R	—			R	—		
			0	—	—	—	0	—	—	—
			1:NMI	“0”をライトしてください			1:INTWDT	“0”をライトしてください		
INTETC01	INTTC0 & INTTC1 Enable	00F0H	INTTC1(DMA1)				INTTC0(DMA0)			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC1	割り込み要求レベル			1:INTTC0	割り込み要求レベル		
INTETC23	INTTC2 & INTTC3 Enable	00F1H	INTTC3(DMA3)				INTTC2(DMA2)			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC3	割り込み要求レベル			1:INTTC2	割り込み要求レベル		
INTETC45	INTTC4 & INTTC5 Enable	00F2H	INTTC5(DMA5)				INTTC4(DMA4)			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC5	割り込み要求レベル			1:INTTC4	割り込み要求レベル		
INTETC67	INTTC6 & INTTC7 Enable	00F3H	INTTC7(DMA7)				INTTC6(DMA6)			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC7	割り込み要求レベル			1:INTTC6	割り込み要求レベル		

割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを “1” に設定
0	1	0	割り込みレベルを “2” に設定
0	1	1	割り込みレベルを “3” に設定
1	0	0	割り込みレベルを “4” に設定
1	0	1	割り込みレベルを “5” に設定
1	1	0	割り込みレベルを “6” に設定
1	1	1	割り込み要求を禁止に設定

(2) 外部割り込みの制御

Symbol	Name	Address	7	6	5	4	3	2	1	0
IIMC	Interrupt Input mode Control	00F6H (RMW 禁)								NMIREE
										W
										0
										NMI 0:Falling 1:Falling and Rising
IIMC2	Interrupt Input mode Control2	00FAH (RMW 禁)	I7LE	I6LE	I5LE	I4LE	I3LE	I2LE	I1LE	I0LE
			W							
			0	0	0	0	0	0	0	0
			INT7 0:Edge 1:Level	INT6 0:Edge 1:Level	INT5 0:Edge 1:Level	INT4 0:Edge 1:Level	INT3 0:Edge 1:Level	INT2 0:Edge 1:Level	INT1 0:Edge 1:Level	INT0 0:Edge 1:Level
IIMC3	Interrupt Input mode Control3	00FBH (RMW 禁)	I7EDGE	I6EDGE	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE
			W							
			0	0	0	0	0	0	0	0
			INT7 0: Rising /High 1: Falling /Low	INT6 0: Rising /High 1: Falling /Low	INT5 0: Rising /High 1: Falling /Low	INT4 0: Rising /High 1: Falling /Low	INT3 0: Rising /High 1: Falling /Low	INT2 0: Rising /High 1: Falling /Low	INT1 0: Rising /High 1: Falling /Low	INT0 0: Rising /High 1: Falling /Low
INTCLR	Interrupt Clear Control	00F8H (RMW 禁)	CLRV7	CLRV6	CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
			W							
			0	0	0	0	0	0	0	0
			マイクロ DMA 起動ベクタの書き込みによる割り込み要求フラグのクリア							

注 1) INT0 – INT7 端子のモードをレベルにしてからエッジに切り替える場合(<IxLE>を“1”から“0”へ)、INT0 - INT7 を禁止してから切り替えてください。

INT0 の設定例:

```

DI
LD (IIMC2), XXXXXX0-B ; レベルからエッジに切り替える
LD (INTCLR), 0AH ; 割り込み要求フラグをクリア
NOP ; EI の実行をウェイト
NOP
NOP
EI

```

注) X = Don't care. “-” = No change.

注 2) 外部割り込みの入力パルス幅にはスペックがあります。「4.電気的特性」を参照して下さい。

注 3) ポートの設定において、16 ビットタイマ入力を選択しキャプチャー制御を行う場合、INT5, INT6 は、IIMC2, IIMC3 レジスタの設定ではなく、TB1MOD <TB1CPM1:0> の設定に従って動作します。

表 3.4.3 外部割込み端子の機能設定

割込み端子	兼用端子	モード	設定方法
INT0	P74	 立ち上がりエッジ	IIMC2 <I0LE> = 0, IIMC3 <I0EDGE> = 0
		 立下りエッジ	IIMC2 <I0LE> = 0, IIMC3 <I0EDGE> = 1
		 High レベル	IIMC2 <I0LE> = 1, IIMC3 <I0EDGE> = 0
		 Low レベル	IIMC2 <I0LE> = 1, IIMC3 <I0EDGE> = 1
INT1	PC1	 立ち上がりエッジ	IIMC2 <I1LE> = 0, IIMC3 <I1EDGE> = 0
		 立下りエッジ	IIMC2 <I1LE> = 0, IIMC3 <I1EDGE> = 1
		 High レベル	IIMC2 <I1LE> = 1, IIMC3 <I1EDGE> = 0
		 Low レベル	IIMC2 <I1LE> = 1, IIMC3 <I1EDGE> = 1
INT2	PC2	 立ち上がりエッジ	IIMC2 <I2LE> = 0, IIMC3 <I2EDGE> = 0
		 立下りエッジ	IIMC2 <I2LE> = 0, IIMC3 <I2EDGE> = 1
		 High レベル	IIMC2 <I2LE> = 1, IIMC3 <I2EDGE> = 0
		 Low レベル	IIMC2 <I2LE> = 1, IIMC3 <I2EDGE> = 1
INT3	PC3	 立ち上がりエッジ	IIMC2 <I3LE> = 0, IIMC3 <I3EDGE> = 0
		 立下りエッジ	IIMC2 <I3LE> = 0, IIMC3 <I3EDGE> = 1
		 High レベル	IIMC2 <I3LE> = 1, IIMC3 <I3EDGE> = 0
		 Low レベル	IIMC2 <I3LE> = 1, IIMC3 <I3EDGE> = 1
INT4	PD0	 立ち上がりエッジ	IIMC2 <I4LE> = 0, IIMC3 <I4EDGE> = 0
		 立下りエッジ	IIMC2 <I4LE> = 0, IIMC3 <I4EDGE> = 1
		 High レベル	IIMC2 <I4LE> = 1, IIMC3 <I4EDGE> = 0
		 Low レベル	IIMC2 <I4LE> = 1, IIMC3 <I4EDGE> = 1
INT5	PD1	 立ち上がりエッジ	IIMC2 <I5LE> = 0, IIMC3 <I5EDGE> = 0
		 立下りエッジ	IIMC2 <I5LE> = 0, IIMC3 <I5EDGE> = 1
		 High レベル	IIMC2 <I5LE> = 1, IIMC3 <I5EDGE> = 0
		 Low レベル	IIMC2 <I5LE> = 1, IIMC3 <I5EDGE> = 1
INT6	PD2	 立ち上がりエッジ	IIMC2 <I6LE> = 0, IIMC3 <I6EDGE> = 0
		 立下りエッジ	IIMC2 <I6LE> = 0, IIMC3 <I6EDGE> = 1
		 High レベル	IIMC2 <I6LE> = 1, IIMC3 <I6EDGE> = 0
		 Low レベル	IIMC2 <I6LE> = 1, IIMC3 <I6EDGE> = 1
INT7	PD3	 立ち上がりエッジ	IIMC2 <I7LE> = 0, IIMC3 <I7EDGE> = 0
		 立下りエッジ	IIMC2 <I7LE> = 0, IIMC3 <I7EDGE> = 1
		 High レベル	IIMC2 <I7LE> = 1, IIMC3 <I7EDGE> = 0
		 Low レベル	IIMC2 <I7LE> = 1, IIMC3 <I7EDGE> = 1

(3) SIO 受信割り込み制御

Symbol	Name	Address	7	6	5	4	3	2	1	0
SIMC	SIO 割り込み モード 制御	F5H (RMW 禁)	—					IR2LE	IR1LE	IR0LE
			W					W		
			0					1	1	1
			“1”を ライト してくだ さい					0:INTRX2 エッジ モード 1:INTRX2 レベル モード	0:INTRX1 エッジ モード 1:INTRX1 レベル モード	0:INTRX0 エッジ モード 1:INTRX0 レベル モード

INTRX2 レベル許可

0	立ち上がりエッジ検出 INTRX2
1	“H”レベル INTRX2

INTRX1 レベル許可

0	立ち上がりエッジ検出 INTRX1
1	“H”レベル INTRX1

INTRX0 立ち上がりエッジ許可

0	立ち上がりエッジ検出 INTRX0
1	“H”レベル INTRX0

注) 割り込みを使用する場合は、必ず SIMC レジスタのビット 7 に “1” をライトして下さい。

(4) 割り込み要求フラグレジスタ

割り込み要求フラグのクリアは、INTCLRレジスタに 表 3.4.1のマイクロDMA起動ベクタを書く事で行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH INT0 割り込み要求フラグのクリア

Symbol	Name	Address	7	6	5	4	3	2	1	0
INTCLR	割り込み クリア 制御	F8H (RMW 禁)	CLRV7	CLRV6	CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
			W							
			0	0	0	0	0	0	0	0
			マイクロ DMA 起動ベクタの書き込みによる割り込み要求フラグのクリア							

(5) マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

したがって、2チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します。(マイクロ DMA のチェーン)

Symbol	Name	Address	7	6	5	4	3	2	1	0
DMA0V	DMA0 Start vector	100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 start vector					
DMA1V	DMA1 Start vector	101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 start vector					
DMA2V	DMA2 Start vector	102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 start vector					
DMA3V	DMA3 Start vector	103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 start vector					
DMA4V	DMA4 Start vector	104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 start vector					
DMA5V	DMA5 Start vector	105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 start vector					
DMA6V	DMA6 Start vector	106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 start vector					
DMA7V	DMA7 Start vector	107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 start vector					

(6) マイクロDMAのバースト指定

マイクロ DMA 処理はバースト指定を行なうことにより、1 回のマイクロ DMA 起動で転送カウンタレジスタが“0”になるまで、連続転送を行う事が可能です。下記に示す DMAB レジスタのマイクロ DMA チャンネルに対応するビットを“1”にすることで、バースト指定できます。

Symbol	Name	Address	7	6	5	4	3	2	1	0
DMAB	DMA burst	108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA バースト要求							

(7) 注意事項

本 CPU は、命令実行ユニットとバスインタフェースユニットが別れています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令^(注)を実行するということがあります。この場合、CPU は要因消滅ベクタ“0004H”を読み込み、FFFF04H 番地の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を置くようにして下さい。また、再び割り込みイネーブルに設定する場合は EI 命令を実行して下さい。なお、EI 命令はクリア命令後、3 命令(例：“NOP”が 3 回)以上実行された後に実行して下さい。クリア命令後すぐに EI 命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル (ステータスレジスタ SR の<IFF2:0>)を書き替えるときは、かならず DI 命令により割り込みを禁止した後に POP SR 命令を実行して下さい。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0~INT7 の レベルモード	エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更(エッジ→レベル)を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。 INT0 を“0”から“1”にすることによって、CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を“1”のままにしておく必要があります。また、INT0~INT7 のレベルモードを HALT の解除に使用する場合も一度“0”から“1”にした場合は、HALT が解除されるまで必ず“1”に保持しておく必要があります。(ノイズによって途中で“0”が入ることがないようにして下さい) レベルモードからエッジモードへ切り替えたとき、そのレベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下にシーケンスでクリアして下さい。 例) INT0 の割り込み要求フラグをクリア <pre> DI LD (IIMC2),00H ; レベルからエッジへ切り替える LD (INTCLR),0AH ; INT0 割り込み要求フラグをクリア NOP ; EI の実行をウェイト NOP NOP EI </pre>
INTRX0~INTRX2	割り込み要求用フリップフロップをクリアするには、リセット動作 または、シリアルチャネルの受信バッファをリードする必要があります。INTCLR レジスタのライトによるクリアはできません。

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

- INT0~INT7 : エッジモードで割り込み要求発生後のレベルモードへの切り替え命令
 レベルモードでの割り込み要求発生後の端子入力変化 (“H” → “L”, “L” → “H”)
- INTRX0~INTRX2 : 受信バッファをリードする命令

3.5 ポート機能

TMP92CY23/CD23Aは汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能も持っています。表 3.5.1に各ポート端子の機能を、表 3.5.2に各端子の設定方法を示します。

表 3.5.1 ポート機能 (R: PU = プログラマブルプルアップ抵抗付, U = プルアップ抵抗付)

ポート名	ピン名称	ピン数	方 向	R	方向設定単位	内蔵機能用ピン名称
ポート 0	P00 ~ P07	8	入出力	—	ビット	D0 ~ D7
ポート 1	P10 ~ P17	8	入出力	—	ビット	D8 ~ D15
ポート 4	P40 ~ P47	8	入出力	—	ビット	A0 ~ A7
ポート 5	P50 ~ P57	8	入出力	—	ビット	A8 ~ A15
ポート 6	P60 ~ P67	8	入出力	—	ビット	A16 ~ A23
ポート 7	P70	1	入出力	PU	ビット	RD
	P71	1	入出力	PU	ビット	SRWR
	P72	1	入出力	PU	ビット	SRLLB
	P73	1	入出力	PU	ビット	SRLUB
	P74	1	入力	—	(固定)	INT0
	P76	1	入出力	—	ビット	XT1
	P77	1	入出力	—	ビット	XT2
ポート 8	P80	1	出力	—	(固定)	CS0, TA1OUT
	P81	1	出力	—	(固定)	CS1, TA3OUT
	P82	1	出力	—	(固定)	CS2
	P83	1	入出力	—	ビット	CS3, WAIT, TA5OUT
ポート C	PC0	1	入力	—	(固定)	TA0IN
	PC1	1	入力	—	(固定)	INT1
	PC2	1	入力	—	(固定)	INT2
	PC3	1	入力	—	(固定)	INT3
ポート D	PD0	1	入出力	—	ビット	INT4, TB0OUT0
	PD1	1	入力	—	(固定)	INT5, TB1IN0
	PD2	1	入出力	—	ビット	INT6, TB1IN1, TXD2
	PD3	1	入出力	—	ビット	INT7, TB1OUT0, RXD2
	PD4	1	入出力	—	ビット	TB1OUT1, SCLK2, CTS2
ポート F	PF0	1	入出力	—	ビット	TXD0
	PF1	1	入出力	—	ビット	RXD0
	PF2	1	入出力	—	ビット	SCLK0, CTS0, CLK
	PF3	1	入出力	—	ビット	TXD1, HSSO (注)
	PF4	1	入出力	—	ビット	RXD1, HSSI (注)
	PF5	1	入出力	—	ビット	SCLK1, CTS1, HSCLK (注)
ポート G	PG0 ~ PG7	8	入力	—	(固定)	AN0 ~ AN7, K10 ~ K17
ポート L	PL0 ~ PL3	4	入力	—	(固定)	AN8 ~ AN11, ADTRG (PL3)
ポート N	PN0	1	入出力	—	ビット	SCK0
	PN1	1	入出力	—	ビット	SO0, SDA0
	PN2	1	入出力	—	ビット	SI0, SCL0
	PN3	1	入出力	—	ビット	SCK1
	PN4	1	入出力	—	ビット	SO1, SDA1
	PN5	1	入出力	—	ビット	SI1, SCL1

注) HSSO、HSSI および HSCLK 機能は TMP92CY23 には搭載していません。

表 3.5.2 I/O ポート設定一覧表(1/3)

X: don't care

ポート	端子名	仕様	I/O レジスタ設定値				
			Pn	PnCR	PnFC	PnFC2	PnODE
ポート 0	P00 ~ P07	入力ポート	X	0	0	なし	なし
		出力ポート	X	1			
		D0 ~ D7 バス	X	X			
ポート 1	P10 ~ P17	入力ポート	X	0	0	なし	なし
		出力ポート	X	1			
		D8 ~ D15 バス	X	X			
ポート 4	P40 ~ P47	入力ポート	X	0	0	なし	なし
		出力ポート	X	1			
		A0 ~ A7 出力	X	X			
ポート 5	P50 ~ P57	入力ポート	X	0	0	なし	なし
		出力ポート	X	1			
		A8 ~ A15 出力	X	X			
ポート 6	P60 ~ P67	入力ポート	X	0	0	なし	なし
		出力ポート	X	1			
		A16 ~ A23 出力	X	X			
ポート 7	P70	入力ポート (プルアップ無し)	0	0	0	なし	なし
		入力ポート (プルアップ有り)	1	0	0		
		出力ポート	X	1	0		
		RD 出力	X	X	1		
	P71	入力ポート (プルアップ無し)	0	0	0		
		入力ポート (プルアップ有り)	1	0	0		
		出力ポート	X	1	0		
		SRWR	X	X	1		
	P72	入力 ポート (プルアップ無し)	0	0	0		
		入力ポート (プルアップ有り)	1	0	0		
		出力ポート	X	1	0		
		SRLLB	X	X	1		
	P73	入力ポート (プルアップ無し)	0	0	0		
		入力ポート (プルアップ有り)	1	0	0		
		出力ポート	X	1	0		
		SRLUB	X	X	1		
	P74	入力ポート	X	0	0		
		INT0	X	0	1		
	P76	入力ポート	X	0	なし		
		出力ポート ("0"出力)	0	1			
		出力ポート ("HZ"出力)	1	1			
		XT1 入力	X	X			
	P77	入力ポート	X	0	なし		
		出力ポート ("0"出力)	0	1			
		出力ポート ("HZ"出力)	1	1			
		XT2 出力	X	X			

I/O ポート設定一覧表(2/3)

X: don't care

ポート	端子名	仕様	I/O レジスタ設定値					
			Pn	PnCR	PnFC	PnFC2	PnODE	
ポート 8	P80 ~ P81	出力ポート	X	なし	0	0	なし	
	P80	CS0 出力	X		1	0		
		TA1OUT	X		X	1		
	P81	CS1 出力	X		1	0		
		TA3OUT	X		X	1		
	P82	出力ポート	X		0	なし		
		CS2 出力	X		1			
	P83	入力ポート	X		0	0		0
		出力ポート	X		1	0		0
		WAIT 入力	X		0	1		0
CS3 出力		X	1	1	0			
TA5OUT		X	1	0	1			
ポート C	PC0	入力ポート	X	なし	0	なし	なし	
		TA0IN 入力	X		1			
	PC1	入力ポート	X		0			
		INT1 入力	X		1			
	PC2	入力ポート	X		0			
		INT2 入力	X		1			
	PC3	入力ポート	X		0			
		INT3 入力	X		1			
ポート D	PD0	入力ポート	X	0	0	なし	なし	
		出力ポート	X	1	0			
		INT4 入力	X	0	1			
		TB0OUT0	X	1	1			
	PD1	入力ポート	X	なし	0	0		
		INT5 入力	X		0	1		
		TB0IN0	X		1	0		
	PD2	入力ポート	X	0	0	0		
		出力ポート	X	1	0	0		
		INT6 入力	X	0	0	1		
		TB0IN1 入力	X	0	1	0		
		TXD2 出力(3-state)	X	1	1	0		
		TXD2 (オープンドレイン)出力	X	1	1	1		
		PD3	入力ポート	X	0	0		0
	出力ポート	X	1	0	0			
	INT7 入力	X	0	0	1			
	RXD2 入力	X	0	1	0			
	TB1OUT0 出力	X	1	1	0			
	PD4	入力ポート	X	0	0	0		
		出力ポート	X	1	0	0		
SCLK2 入力, CTS2 入力		X	0	0	1			
SCLK2 出力		X	1	0	1			
TB1OUT1		X	1	1	0			

I/O ポート設定一覧表(3/3)

X: don't care

ポート	端子名	仕様	I/O register					
			Pn	PnCR	PnFC	PnFC2	SIOCNT	PnODE
ポート F	PF0	入力ポート	X	0	0	なし	なし	なし
		出力ポート	X	1	0			
		TXD0 出力 (オープンドレイン出力)	X	0	1			
		TXD0 出力 (3-state)	X	1	1			
	PF1	入力ポート	X	0	0	なし		
		出力ポート	X	1	0			
		RXD0 入力	X	0	1			
	PF2	入力ポート	X	0	0	0		
		出力ポート	X	1	0	0		
		SCLK0 入力, CTS0 入力	X	0	1	0		
		SCLK0 出力	X	1	1	0		
		CLK 出力	X	1	0	1		
	PF3	入力ポート	X	0	0	0		
		出力ポート	X	1	0	0		
		TXD1 出力 (オープンドレイン出力)	X	0	1	なし	0	
		TXD1 出力 (3-state)	X	1	1		0	
		HSSO 出力 (3-state) (注)	X	1	1		1	
	PF4	入力ポート	X	0	0	なし	0	
		出力ポート	X	1	0		0	
		RXD1 入力	X	0	1		0	
		HSSI 入力(注)	X	0	1		1	
	PF5	入力ポート	X	0	0	なし	0	
		出力ポート	X	1	0		0	
		SCLK1 入力, CTS1 入力	X	0	1		0	
		SCLK1 出力	X	1	1		0	
		HSCLK 出力(注)	X	1	1		1	
ポート G	PG0 ~ PG7	入力ポート	X	なし	0	なし	なし	なし
		AN0 ~ AN7 入力	X		1			
		KI0 ~ KI7 入力	X		X			
ポート L	PL0 ~ PL3	入力ポート	X	なし	0	なし	なし	なし
		AN8 ~ AN11 入力	X		1			
	PL3	ADTRG	X		0			
ポート N	PN0 ~ PN5	入力ポート	X	0	0	なし	なし	なし
		出力ポート	X	1	0			
	PN0	SCK0 入力	X	0	1			
		SCK0 出力	X	1	1			
	PN1	SO0 出力	X	0	1			
		SDA0 入出力	X	1	1			
	PN2	SI0 入力	X	0	1			
		SCL0 入出力	X	1	1			
	PN3	SCK1 入力	X	0	1			
		SCK1 出力	X	1	1			
	PN4	SO1 出力	X	0	1			
		SDA1 入出力	X	1	1			
	PN5	SI1 入力	X	0	1			
		SCL1 入出力	X	1	1			

注) HSSO、HSSI および HSCLK 機能は TMP92CY23 には搭載していません。

3.5.1 ポート 0 (P00~P07)

ポート 0 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。ビットごとの入出力の指定は、コントロールレジスタ **P0CR** およびファンクションレジスタ **P0FC** によって行います。汎用入出力ポート機能以外にデータバス(D0~D7)機能があります。

また、リセット解除後、デバイスは入力ポートに設定されるため、データバス(D0~D7)として使用する場合は、**P0CR**, **P0FC** に設定をする必要があります。

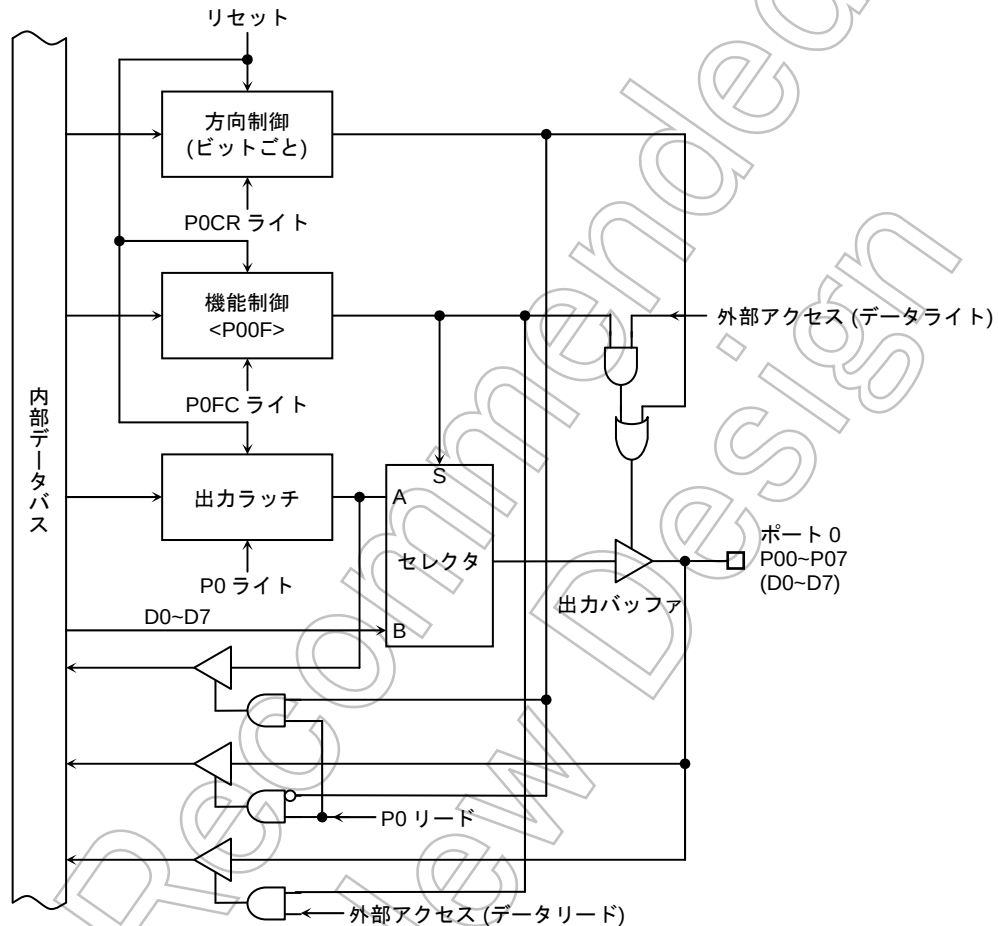


図 3.5.1 ポート 0

ポート 0 レジスタ

P0
(0000H)

	7	6	5	4	3	2	1	0
Bit symbol	P07	P06	P05	P04	P03	P02	P01	P00
Read/Write	R/W							
リセット後	外部端子データ (出カラッチレジスタは "0" にクリアされます。)							

ポート 0 コントロールレジスタ

P0CR
(0002H)

	7	6	5	4	3	2	1	0
Bit symbol	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	ポート 0 機能設定参照							

ポート 0 ファンクションレジスタ

P0FC
(0003H)

	7	6	5	4	3	2	1	0
Bit symbol								P00F
Read/Write								W
リセット後								0
機能								ポート 0 機能設定参照

→ ポート 0 機能設定

注 1) P0CR, P0FC はリードモディファイライトできません。

注 2) <P0XC>は P0CR レジスタの X ビットを示します。

P0FC<P00F> P0CR<P0xC>	0	1
0	入力ポート	データバス (D0~D7)
1	出力ポート	

図 3.5.2 ポート 0 関係のレジスタ

3.5.2 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。ビットごとの入出力の指定は、コントロールレジスタ **P1CR** およびファンクションレジスタ **P1FC** によって行います。汎用入出力ポート機能以外にデータバス(D8~D15)機能があります。

また、リセット解除後、デバイスは入力ポートに設定されるため、データバス(D8~D15)として使用する場合は、**P1CR**, **P1FC** に設定をする必要があります。

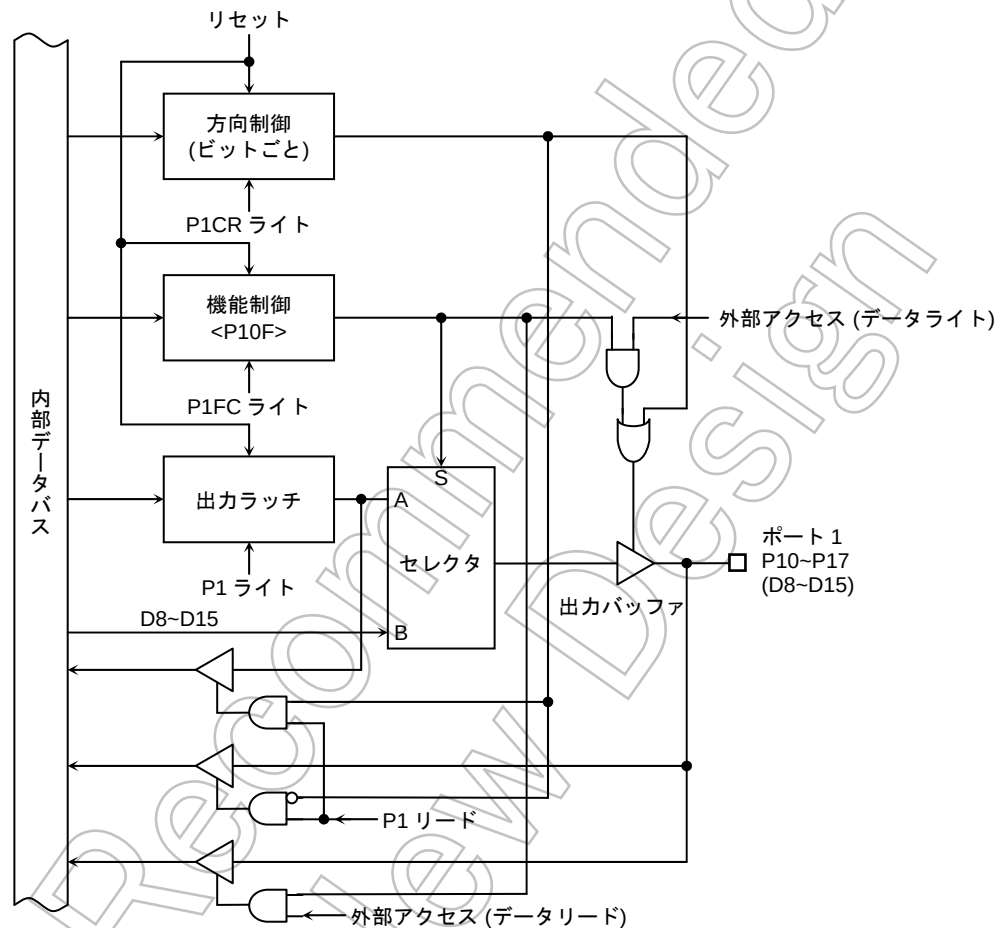


図 3.5.3 ポート 1



注 1) P1CR, P1FC はリードモディファイライトできません。
注 2) <P1xC>は P1CR レジスタの X ビットを示します。

図 3.5.4 ポート 1 関係のレジスタ

3.5.3 ポート 4 (P40~P47)

ポート 4 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。ビットごとの入出力の指定は、コントロールレジスタ P4CR およびファンクションレジスタ P4FC によって行います。汎用入出力ポート機能以外にアドレスバス(A0~A7)機能があります。

また、リセット解除後、デバイスは入力ポートに設定されるため、アドレスバス(A0~A7)として使用する場合は、P4CR, P4FC に設定をする必要があります。

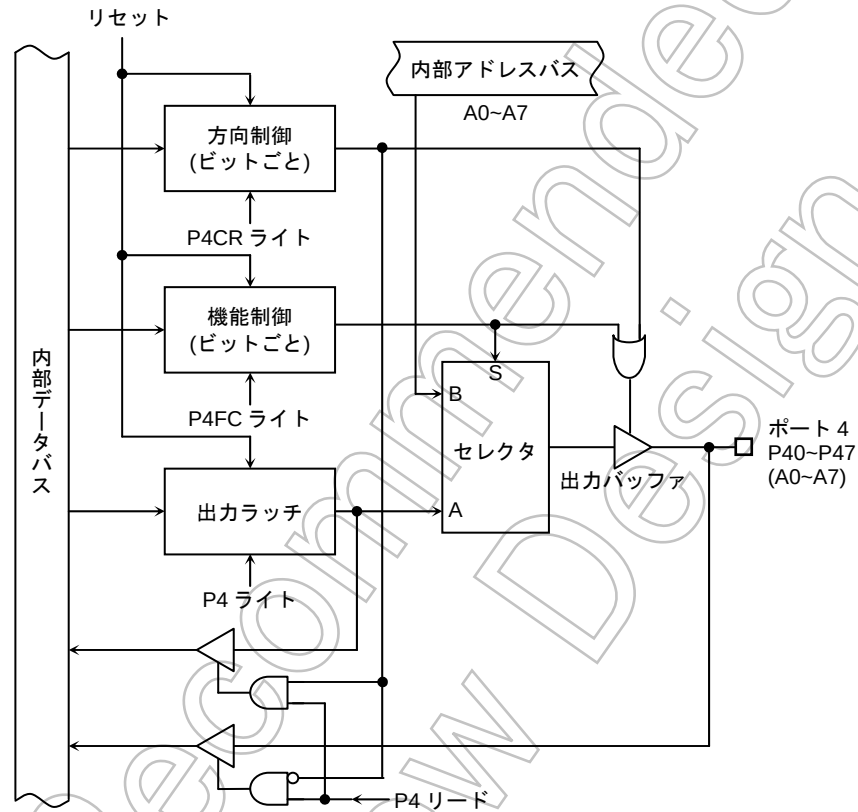


図 3.5.5 ポート 4

ポート 4 レジスタ

P4 (0010H)		7	6	5	4	3	2	1	0
	Bit symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 4 コントロールレジスタ

P4CR (0012H)		7	6	5	4	3	2	1	0
	Bit symbol	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート 4 ファンクションレジスタ

P4FC (0013H)		7	6	5	4	3	2	1	0
	Bit symbol	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: ポート 1: アドレスバス (A0~A7)							

注 1) P4CR, P4FC はリードモディファイライトできません。

注 2) アドレスバス(A0~A7)として使用する場合、P4FC, P4CR の順番で対応するビットを "1" に設定してください。

図 3.5.6 ポート 4 関係のレジスタ

3.5.4 ポート 5 (P50~P57)

ポート 5 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。
ビットごとの入出力の指定は、コントロールレジスタ **P5CR** およびファンクションレジスタ **P5FC** によって行います。汎用入出力ポート機能以外にアドレスバス(A8~A15)機能があります。
また、リセット解除後、デバイスは入力ポートに設定されるため、アドレスバス(A8~A15)として使用する場合は、**P5FC** に設定をする必要があります。

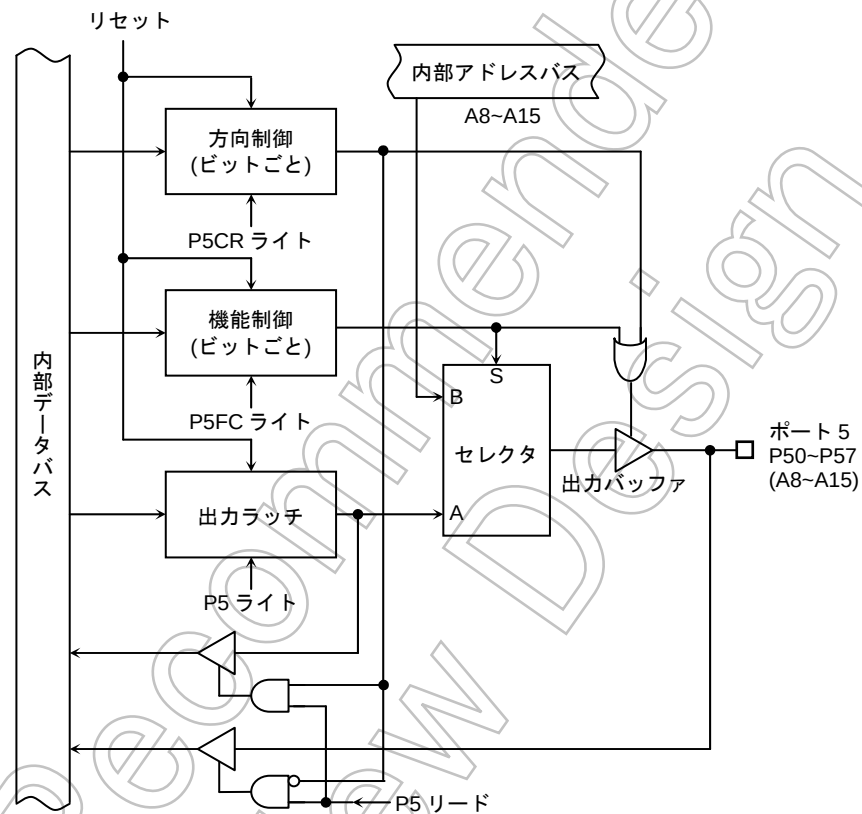


図 3.5.7 ポート 5

ポート 5 レジスタ

P5 (0014H)		7	6	5	4	3	2	1	0
	Bit symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 5 コントロールレジスタ

P5CR (0016H)		7	6	5	4	3	2	1	0
	Bit symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート 5 ファンクションレジスタ

P5FC (0017H)		7	6	5	4	3	2	1	0
	Bit symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: ポート 1: アドレスバス (A8~A15)							

注 1) P5CR, P5FC はリードモディファイライトできません。

注 2) アドレスバス(A8~A15)として使用する場合、P5FC, P5CR の順番で対応するビットを "1" に設定してください。

図 3.5.8 ポート 5 関係のレジスタ

3.5.5 ポート 6 (P60~P67)

ポート 6 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。ビットごとの入出力の指定は、コントロールレジスタ **P6CR** およびファンクションレジスタ **P6FC** によって行います。汎用入出力ポート機能以外にアドレスバス(A16~A23)機能があります。

また、リセット解除後、デバイスは入力ポートに設定されるため、アドレスバス(A16~A23)として使用する場合は、P6FCに設定をする必要があります。

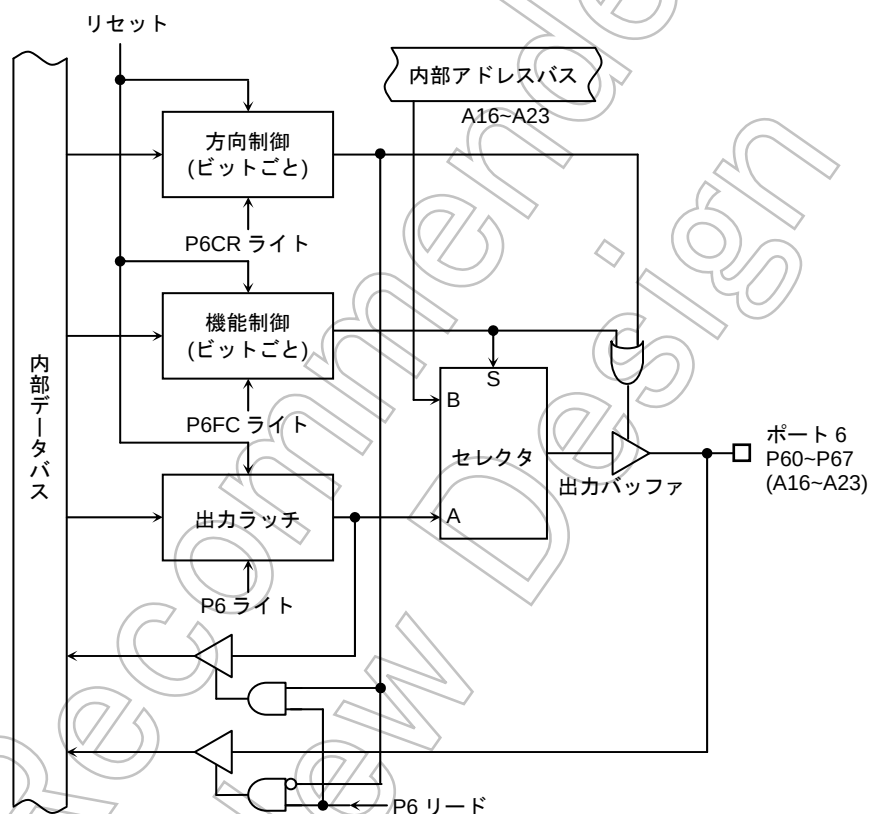


図 3.5.9 ポート 6

ポート 6 レジスタ

P6 (0018H)		7	6	5	4	3	2	1	0
	Bit symbol	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 6 コントロールレジスタ

P6CR (001AH)		7	6	5	4	3	2	1	0
	Bit symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート 6 ファンクションレジスタ

P6FC (001BH)		7	6	5	4	3	2	1	0
	Bit symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: ポート 1: アドレスバス (A16~A23)							

注 1) P6CR, P6FC はリードモディファイライトできません。

注 2) アドレスバス(A16~A23)として使用する場合、P6FC, P6CR の順番で対応するビットを "1" に設定してください。

図 3.5.10 ポート 6 関係のレジスタ

3.5.6 ポート 7 (P70~P74, P76, P77)

ポート 7 は P70~P73, P76, P77 が汎用入出力ポート、また P74 は入力専用ポートです。P76, P77 は、出力ポートに設定した場合、オープンドレイン出力となります。また、P70~P73 はプルアップ抵抗付きのポートです。ビットごとの入出力の指定は、コントロールレジスタ P7CR およびファンクションレジスタ P7FC によって行います。

汎用入出力ポート機能以外に CPU 制御端子の機能があります。P70 から P73 端子は外部メモリ接続用としての RD ストローブ信号出力端子、および SRAM 制御用出力端子 ($\overline{\text{SRWR}}$, $\overline{\text{SRLLB}}$, $\overline{\text{SRLUB}}$) の機能があります。P74 端子は外部割込み入力端子 (INT0) の機能があります。P76, P77 端子は低周波発振子接続端子 (XT1, XT2) の機能があります。上記設定は P7CR, P7FC レジスタの該当ビットへ “1” を書き込むことで有効となります。外部割込み INT0 のエッジ、レベル選択は割込みコントローラ部にある IIMC2, IIMC3 レジスタにて設定します。リセット後、P70 から P74 端子は入力モード、P76, P77 端子は、出力モード (ハイインピーダンス出力) となります。

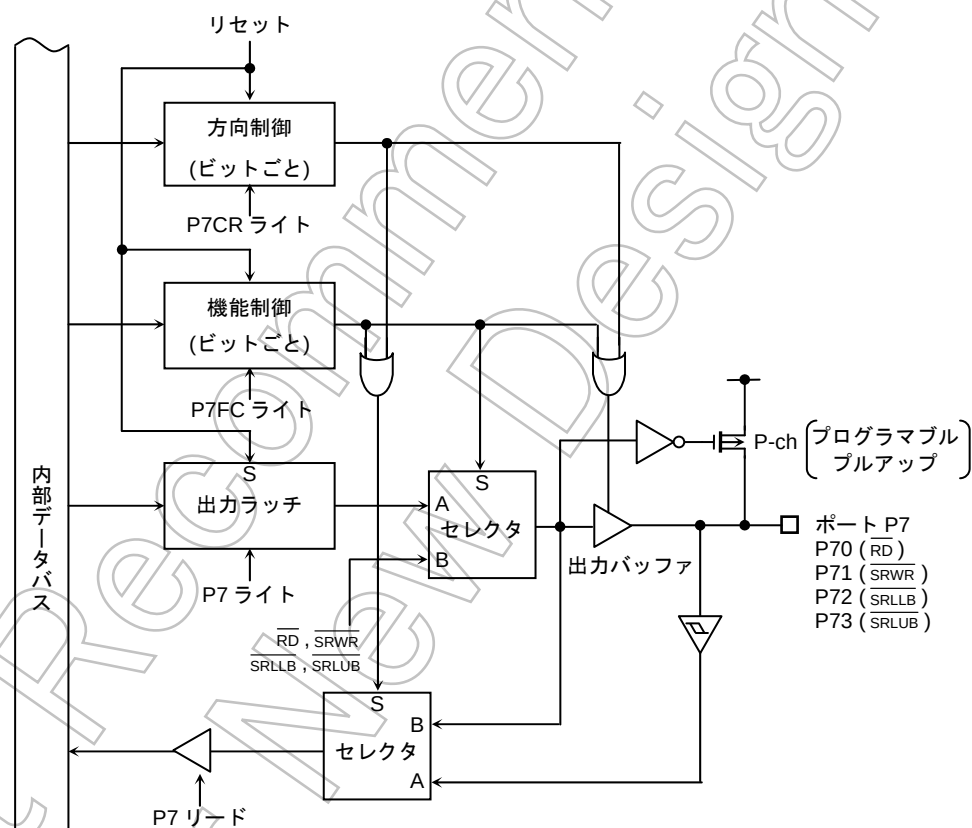


図 3.5.11 ポート 7 (P70~P73)

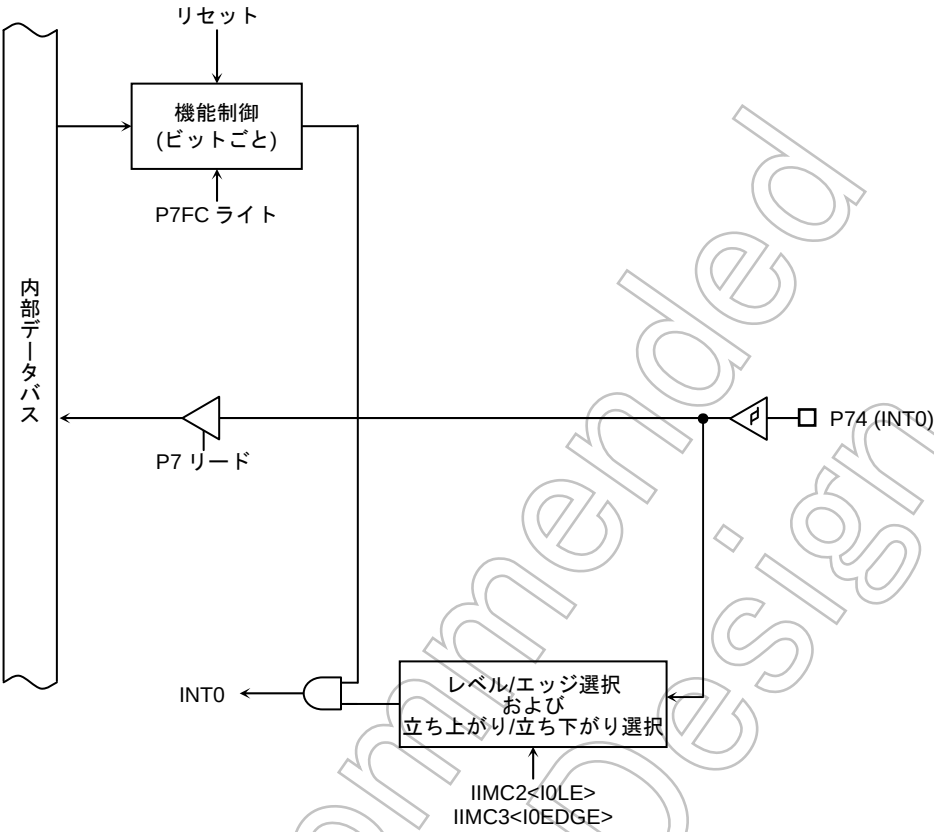


図 3.5.12 ポート 7(P74)

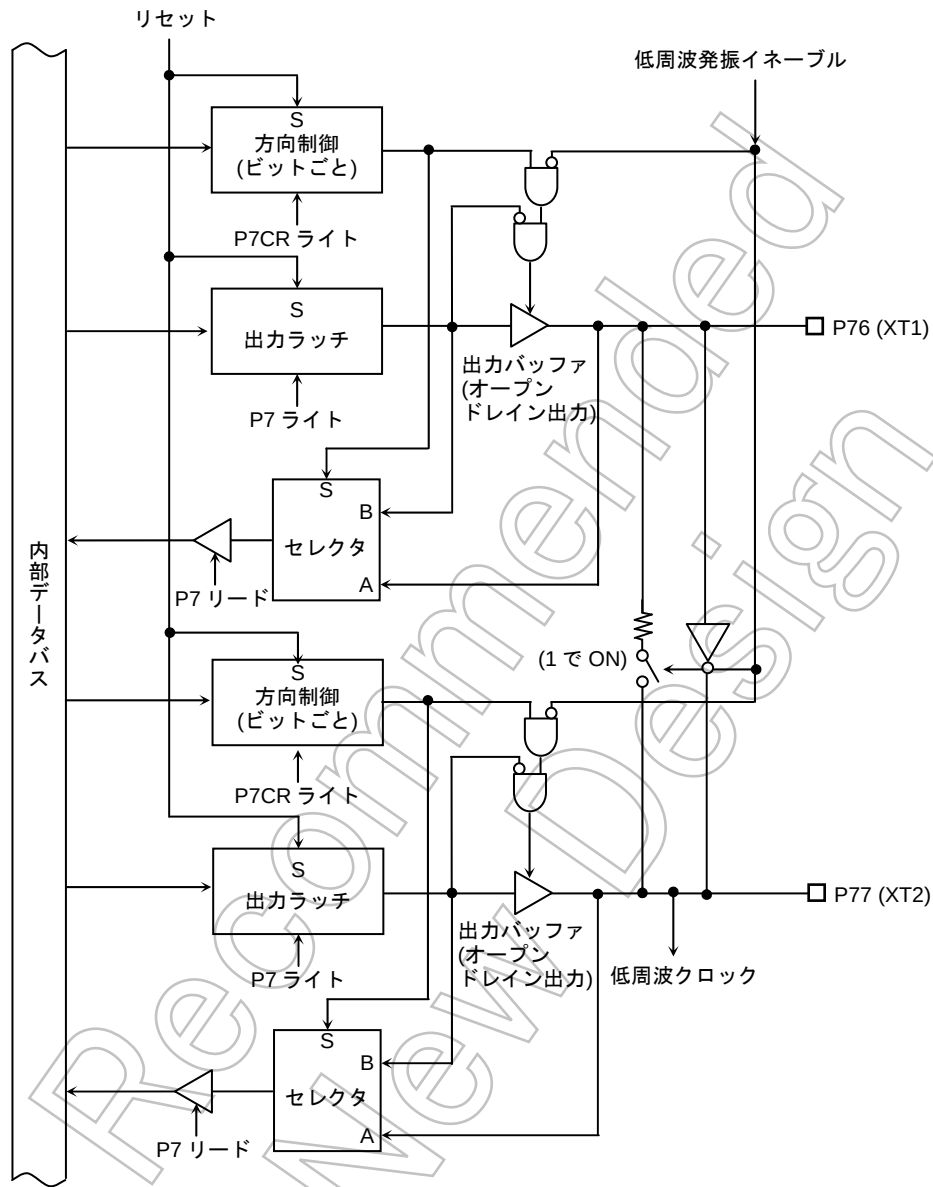


図 3.5.13 ポート 7(P76, P77)

ポート 7 レジスタ

P7 (001CH)		7	6	5	4	3	2	1	0
	Bit symbol	P77	P76		P74	P73	P72	P71	P70
	Read/Write	R/W			R	R/W			
	リセット後	外部端子データ (出力ラッチレジスタは "1"にセットされます)			外部端子 データ	外部端子データ (出力ラッチレジスタは "1"にセットされます)			
	機能	-	-		-	0(出力ラッチレジスタ): プルアップ抵抗 OFF 1(出力ラッチレジスタ): プルアップ抵抗 ON			

ポート 7 コントロールレジスタ

P7CR (001EH)		7	6	5	4	3	2	1	0
	Bit symbol	P77C	P76C			P73C	P72C	P71C	P70C
	Read/Write	W				W			
	リセット後	1	1			0	0	0	0
	機能	0: 入力 1: 出力				0: 入力 1: 出力			

ポート 7 ファンクションレジスタ

P7FC (001FH)		7	6	5	4	3	2	1	0
	Bit symbol				P74F	P73F	P72F	P71F	P70F
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能				0: ポート 1: INT0	0: ポート 1: $\overline{\text{SRLUB}}$	0: ポート 1: $\overline{\text{SRLLB}}$	0: ポート 1: $\overline{\text{SRWR}}$	0: ポート 1: $\overline{\text{RD}}$

注 1) P70~P73 を入力モードで使用する場合、内蔵プルアップ抵抗はポート 7 レジスタにより制御します。入力モードあるいは入出力モードを混在させて使用する場合(1 ビットでも入力端子が存在するとき)、リードモディファイライト命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

注 2) P7CR, P7FC はリードモディファイライトできません。

注 3) P76, P77 に低周波発振子を接続する場合、消費電力削減のために下記の設定が必要です。

・発振子接続の場合

P7CR <P76C, P77C> = "11", P7 <P76, P77> = "00"

・発振器接続の場合

P7CR <P76C, P77C> = "11", P7 <P76, P77> = "10"

図 3.5.14 ポート 7 関係のレジスタ

3.5.7 ポート 8 (P80~P83)

ポート 8 は 3 ビットの出力ポート(P80~P82)と 1 ビットの入出力ポート(P83)です。出力、入出力ポート機能以外に、P80, P81 端子は標準チップセレクト信号出力($\overline{CS0}$, $\overline{CS1}$)および 8 ビットタイマ出力(TA1OUT, TA3OUT)、P82 端子は標準チップセレクト信号出力($\overline{CS2}$)、P83 端子は標準チップセレクト信号出力($\overline{CS3}$)および 8 ビットタイマ出力(TA5OUT)、そしてウェイト入力(WAIT)端子の機能があります。

これらの機能は P8CR, P8FC, P8FC2 レジスタの当該ビットに“1”を設定することで動作します。リセット動作により P8FC, P8FC2 の全ビットは“0”にクリアされ、P80~P83 端子は出力ポートになります。また、P82 の出力ラッチは“0”にクリアされ、P80~P81 と P83 の出力ラッチは“1”にセットされます。

(1) P80 ($\overline{CS0}$, TA1OUT), P81 ($\overline{CS1}$, TA3OUT)

出力ポート機能以外に、ポート P80, P81 は標準チップセレクト信号出力($\overline{CS0}$, $\overline{CS1}$)端子および 8 ビットタイマ出力(TA1OUT, TA3OUT)端子として機能します。

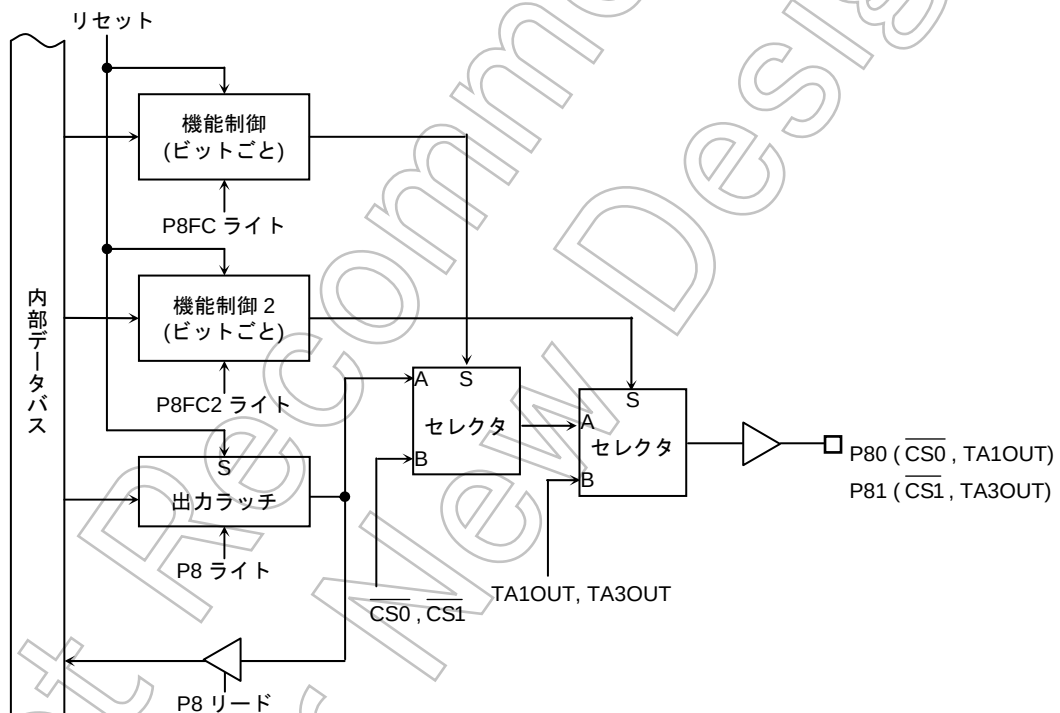


図 3.5.15 ポート 80, 81

(2) P82($\overline{\text{CS2}}$)

出力ポート機能以外に、ポート P82 は標準チップセレクト信号出力($\overline{\text{CS2}}$)端子として機能します。

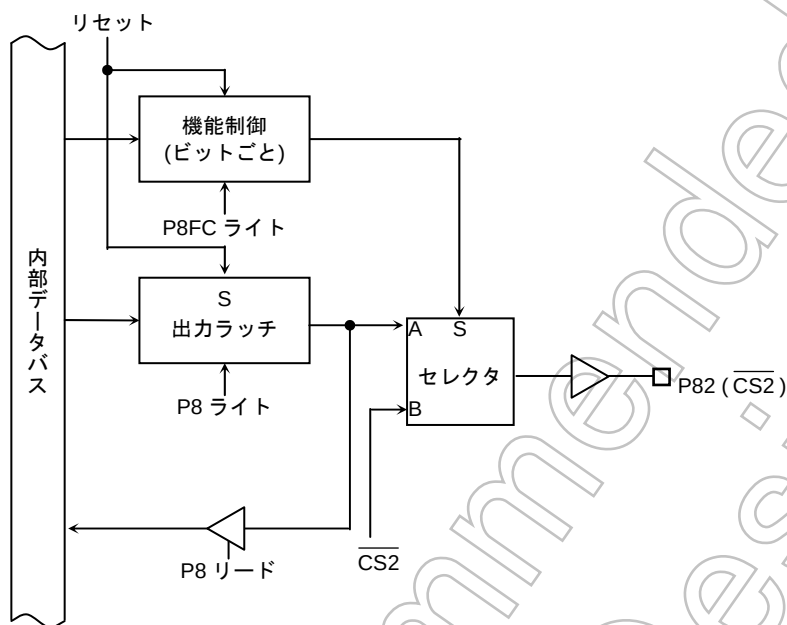


図 3.5.16 ポート 82

(3) P83($\overline{\text{CS3}}$, $\overline{\text{WAIT}}$, TA5OUT)

入出力ポート機能以外に、ポート P83 は標準チップセレクト信号出力($\overline{\text{CS3}}$)および 8 ビットタイマ出力(TA5OUT)、ウェイト入力端子($\overline{\text{WAIT}}$)として機能します。

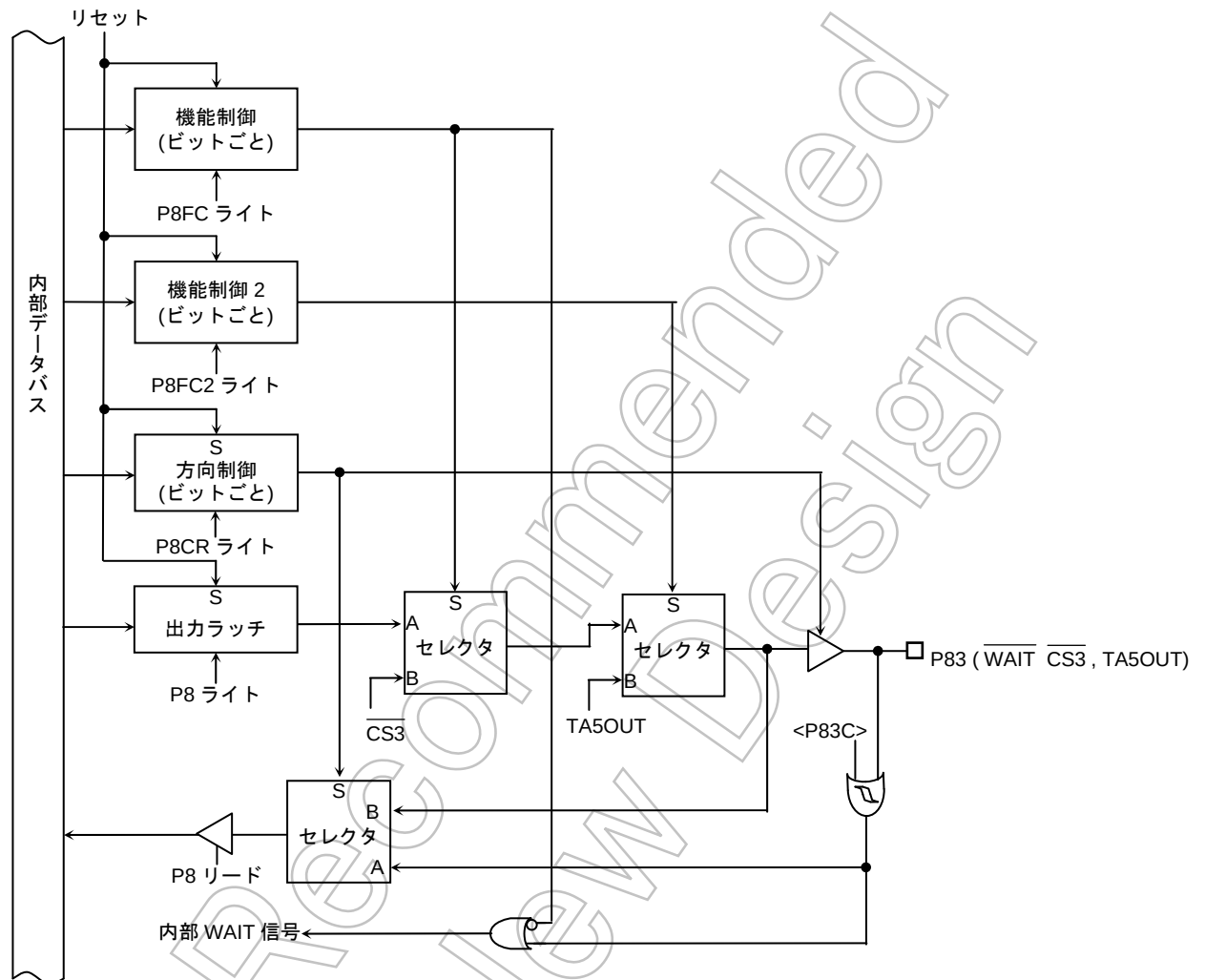


図 3.5.17 ポート 83

ポート 8 レジスタ

	7	6	5	4	3	2	1	0
P8 (0020H)					P83	P82	P81	P80
Bit symbol								
Read/Write					R/W			
リセット後					外部端子 データ(注 1)	0	1	1

ポート 8 コントロールレジスタ

	7	6	5	4	3	2	1	0
P8CR (0022H)					P83C			
Bit symbol								
Read/Write					W			
リセット後					1			
機能					0: 入力 1: 出力			

ポート 8 ファンクションレジスタ

	7	6	5	4	3	2	1	0
P8FC (0023H)					P83F	P82F	P81F	P80F
Bit symbol								
Read/Write					W			
リセット後					0	0	0	0
機能					0: ポート 1: $\overline{\text{WAIT}}$, $\overline{\text{CS3}}$	0: ポート 1: $\overline{\text{CS2}}$	0: ポート 1: $\overline{\text{CS1}}$	0: ポート 1: $\overline{\text{CS0}}$

ポート 8 ファンクション 2 レジスタ

	7	6	5	4	3	2	1	0
P8FC2 (0021H)					P83F2		P81F2	P80F2
Bit symbol								
Read/Write					W		W	
リセット後					0		0	0
機能					0: <P83F> 1: TA5OUT		0: <P81F> 1: TA3OUT	0: <P80F> 1: TA1OUT

→ $\overline{\text{WAIT}}$, $\overline{\text{CS3}}$, TA5OUT 設定

<P83C>		<P83F><P83F2>		0	1
0	0	0	0	入力ポート	出力ポート
0	1	0	1	Reserved	TA5OUT
1	0	1	0	$\overline{\text{WAIT}}$	$\overline{\text{CS3}}$
1	1	1	1	Reserved	Reserved

注 1) 出力ラッチレジスタは“1”にセットされます。

注 2) P8CR と P8FC はリードモディファイライトできません。

注 3) P83 を $\overline{\text{WAIT}}$ 端子として使用する場合は、P8CR <P83C> = “0”, P8FC <P83F> = “1” に設定するとともに、メモリコントロールレジスタ BxCSL <BxWW2:0> もしくは <BxWR2:0> を “011” に設定する必要があります。

注 4) 標準チップセレクト信号($\overline{\text{CS3}}$ ~ $\overline{\text{CS0}}$)を出力する場合、P8FC, P8CR の順番で対応するビットを“1” に設定してください。

図 3.5.18 ポート 8 関係のレジスタ

3.5.8 ポート C (PC0~PC3)

ポート C は 4 ビットの入力専用ポートです。

入力ポート機能以外に、ポート C は 8 ビットタイマの入力端子(TA0IN)機能や、外部割込み入力端子 (INT1~INT3) 機能を持っています。上記設定は PCFC レジスタの該当ビットへ“1”を書き込むことで有効となります。外部割込みのエッジ選択は割込みコントローラ部にある IIMC2 および IIMC3 レジスタにて設定します。リセット動作により PCFC レジスタの値は“0”にリセットされ、全端子が入力ポートとなります。

(1) PC0 (TA0IN)

入出力ポート機能以外に、ポート PC0 はタイマチャネル 0 の入力端子 TA0IN としての機能を持ちます。

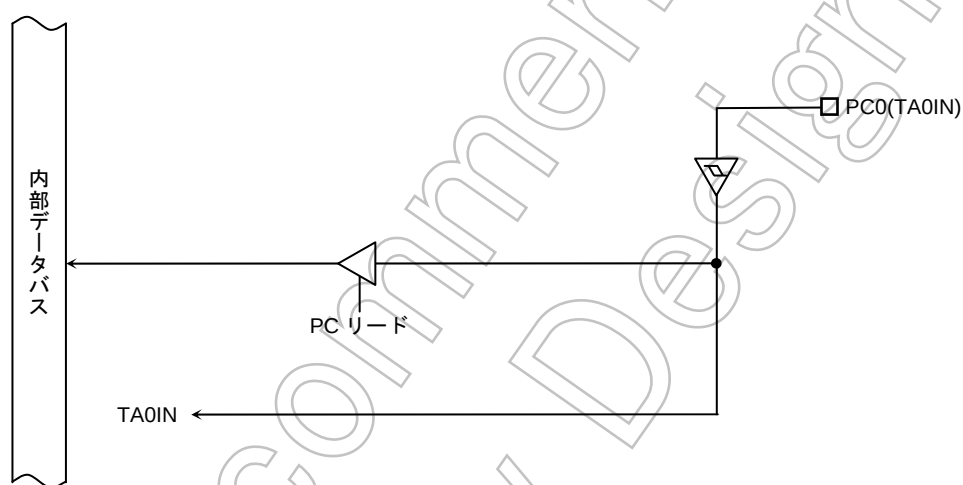


図 3.5.19 ポート C(PC0)

(2) PC1 (INT1), PC2 (INT2), PC3 (INT3)

入力ポート機能以外に、ポート PC1~PC3 は外部割込み入力(INT1~INT3)端子としての機能を持ちます。

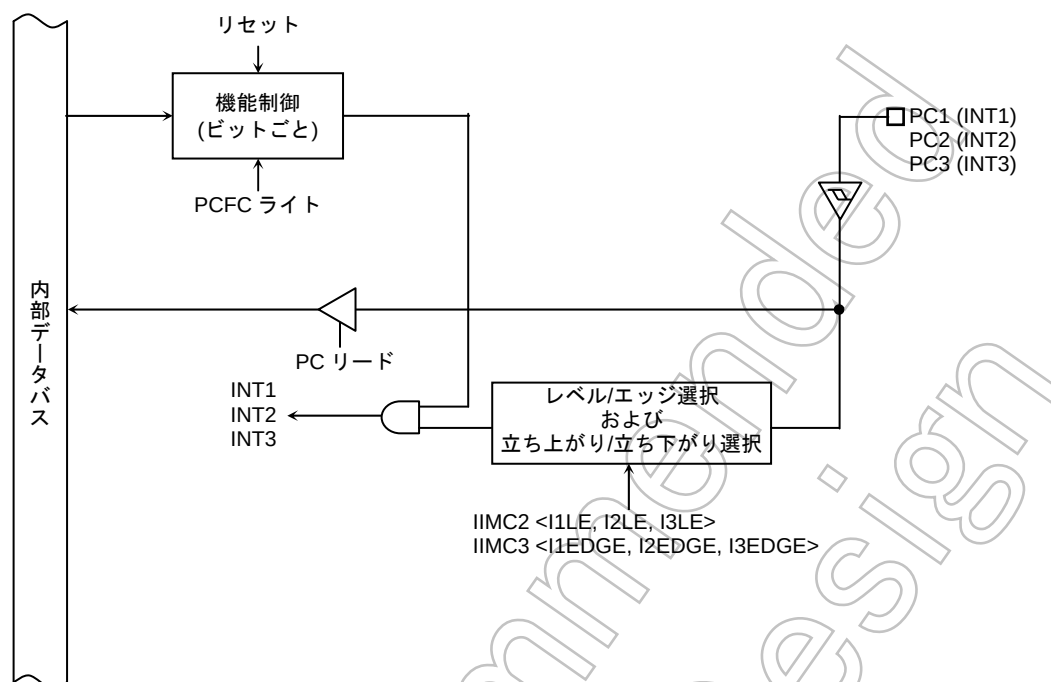


図 3.5.20 ポート C(PC1,PC2,PC3)

3.5.9 ポート D (PD0~PD4)

ポート D は 4 ビットの汎用入出力ポート(PD0, PD2~PD4)と 1 ビットの入力専用ポート(PD1)です。入出力ポート以外にシリアルチャネル 2 の入出力、16 ビットタイマ(TMRB0, TMRB1)の入出力、外部割込み入力(INT4~INT7)機能があります。これらの機能は PDCR, PDFC, PDFC2 レジスタの該当ビットへ“1”を書き込むことにより、それぞれの機能が動作可能となります。外部割込みのエッジ、レベル選択は、割り込みコントローラ部にある IIMC2, IIMC3 レジスタにより設定します。リセット動作により、PDCR, PDFC, PDFC2 の各レジスタの値は全て“0”にリセットされ、全ビットが入力ポートとなります。

(1) PD0 (INT4, TB0OUT0)

ポート PD0 は入出力ポート以外に 16 ビットタイマ出力(TB0OUT0)および外部割込み入力端子(INT4)としての機能を持ちます。

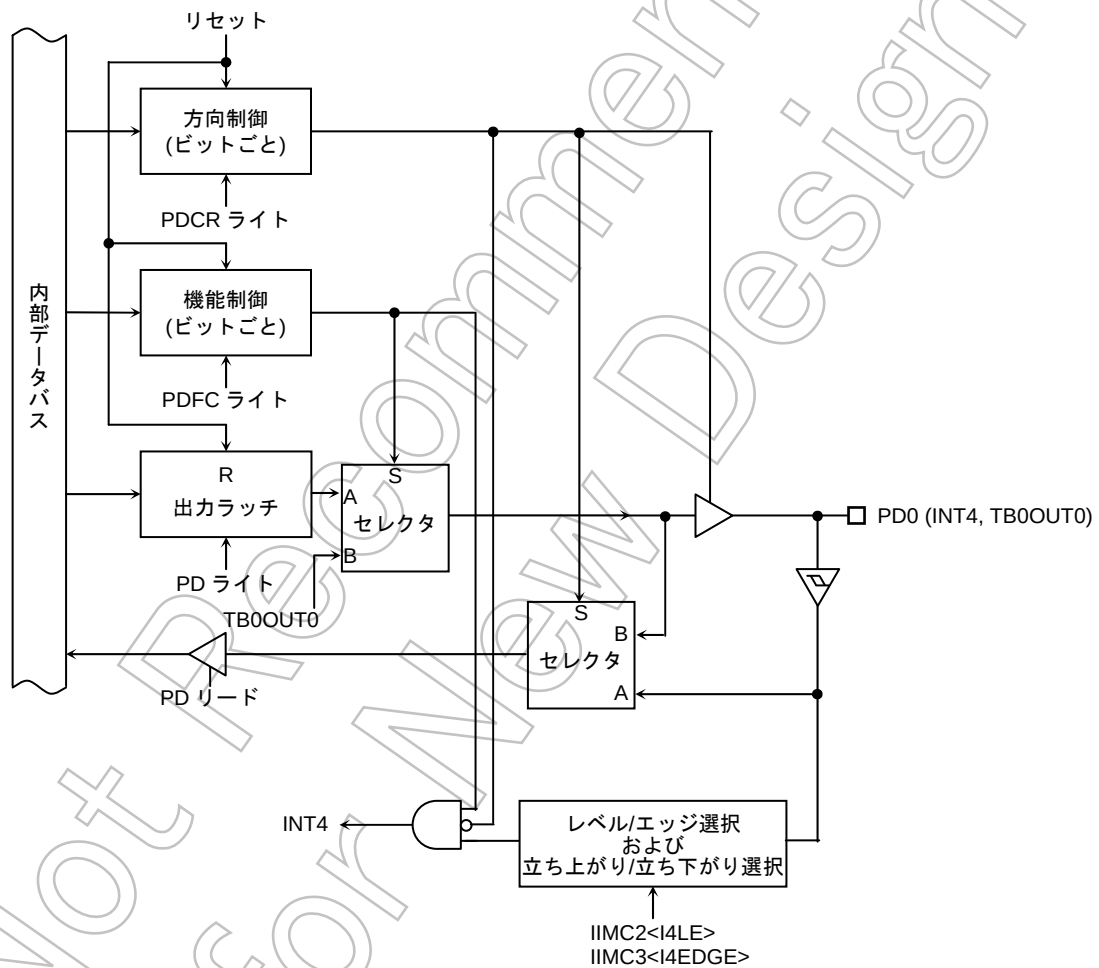


図 3.5.22 ポート D (PD0)

(2) PD1 (INT5, TB1IN0)

PD1 は入力ポート以外に、16 ビットタイマ入力 (TB1IN0)および、外部割込み入力 (INT5)端子としての機能を持っています。ポートの設定において、16 ビットタイマ入力を選択し、キャプチャ制御を行う場合、INT5 は IIMC2, IIMC3 レジスタの設定ではなく、TB1MOD <TB1CPM1:0> の設定に従って動作します。

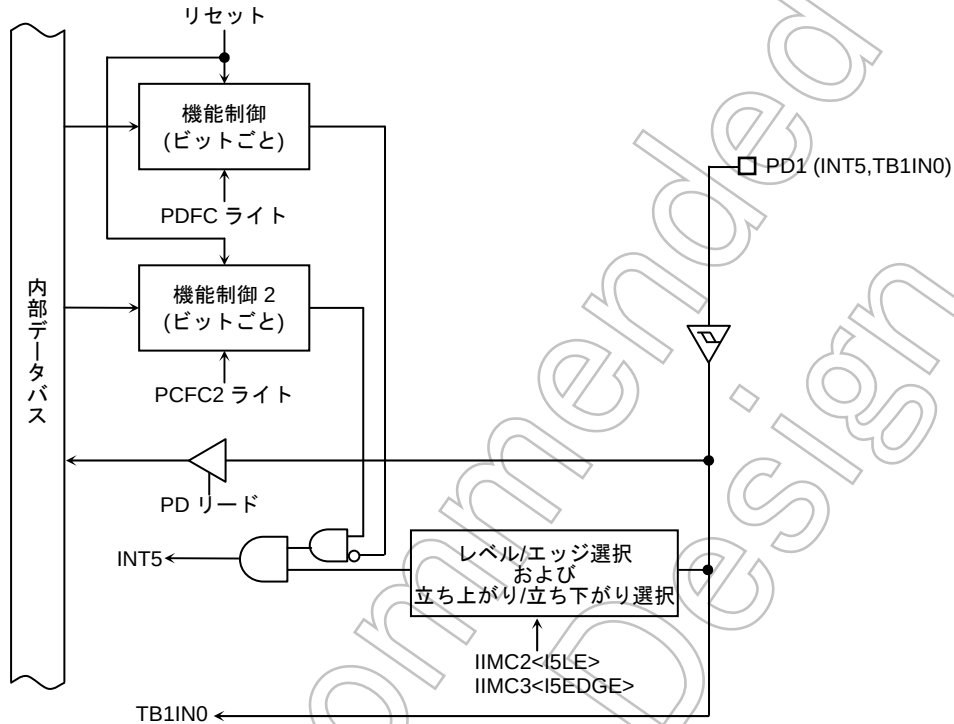


図 3.5.23 ポート D (PD1)

(3) PD2 (INT6, TB1IN1, TXD2)

PD2 は入出力ポート以外に、16 ビットタイマ入力(TB1IN1)、外部割込み入力(INT6)、およびシリアルチャネル 2 の TXD 出力(TXD2)端子としての機能を持っています。このポートを TXD 端子として使用する場合プログラマブルオープンドレイン機能を持っています。ポートの設定において、16 ビットタイマ入力を選択し、キャプチャ制御を行う場合、INT6 は IIMC2, IIMC3 レジスタの設定ではなく、TB1MOD<TB1CPM1:0> の設定に従って動作します。

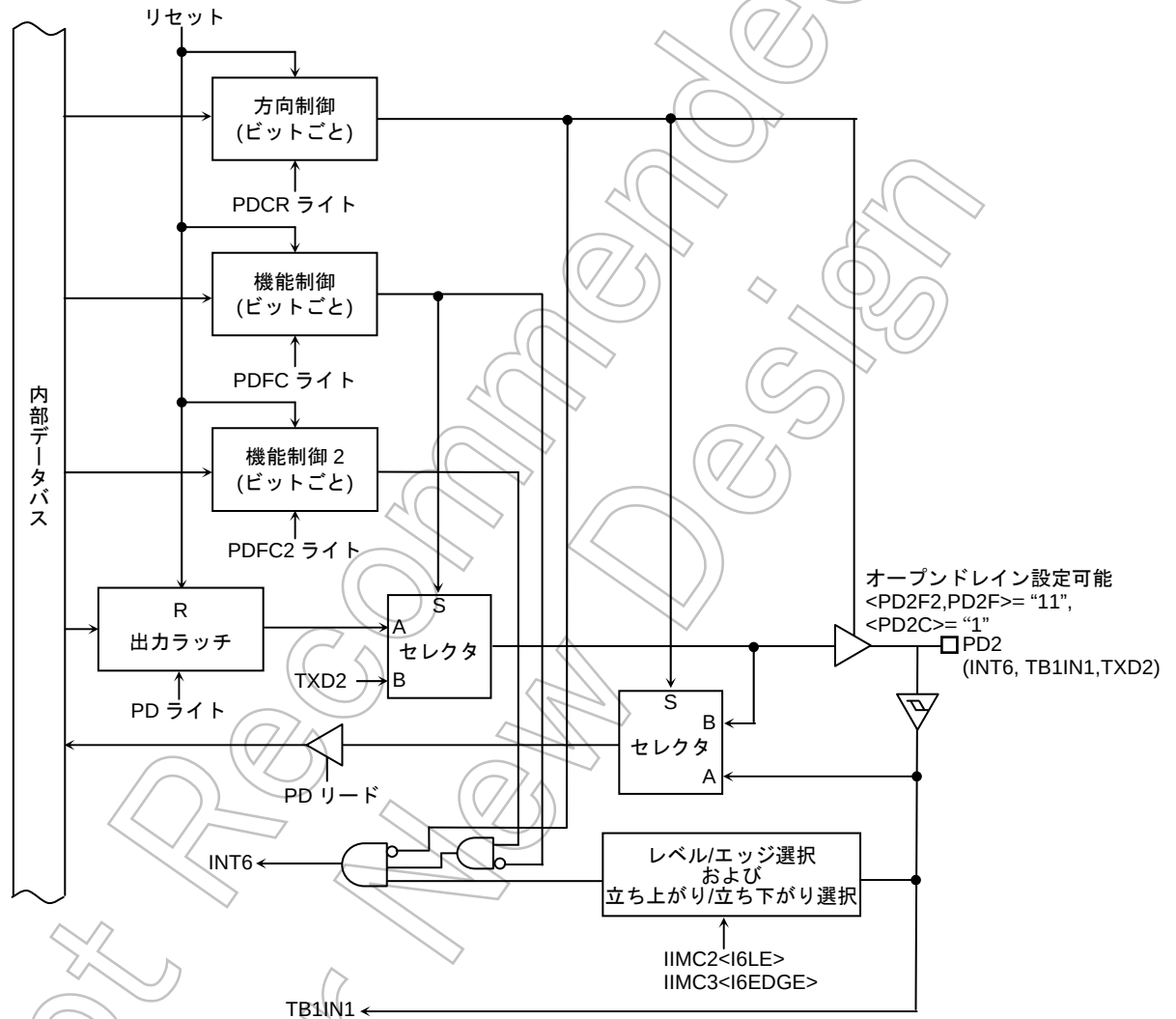


図 3.5.24 ポート D (PD2)

(4) PD3 (INT7, TB1OUT0, RXD2)

ポート D3 は入出力ポート以外に、16 ビットタイマ出力(TB1OUT0)、外部割込み入力 (INT7)、そしてシリアルチャネル2のRXD入力(RXD2)端子としての機能を持っています。

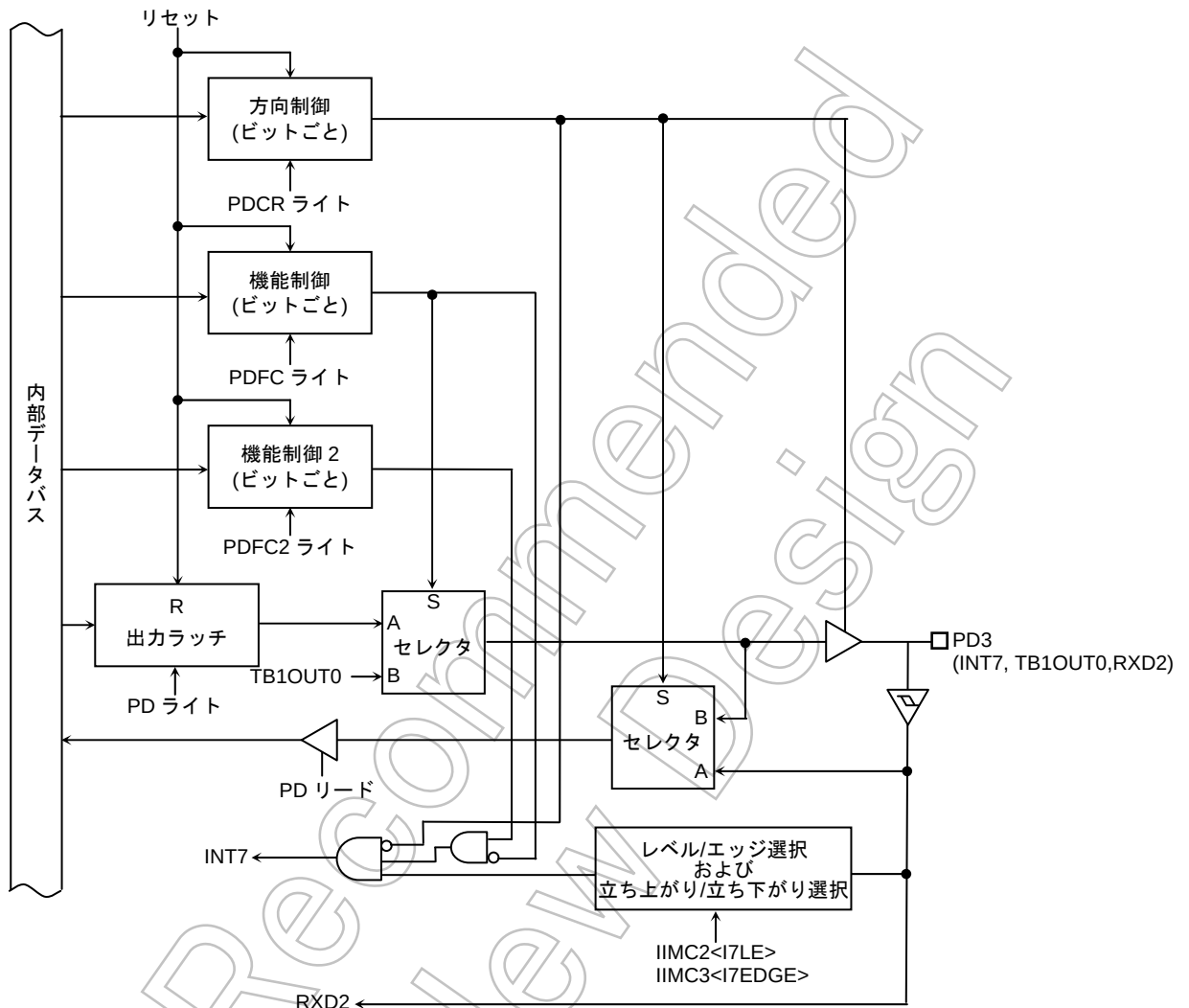


図 3.5.25 ポート D (PD3)

(5) PD4 (TB1OUT1, SCLK2, $\overline{\text{CTS2}}$)

PD4は入出力ポート以外に、16ビットタイマ出力(TB1OUT1)、シリアルチャネル2のSCLK入出力(SCLK2)またはCTS入力($\overline{\text{CTS2}}$)端子としての機能を持っています。

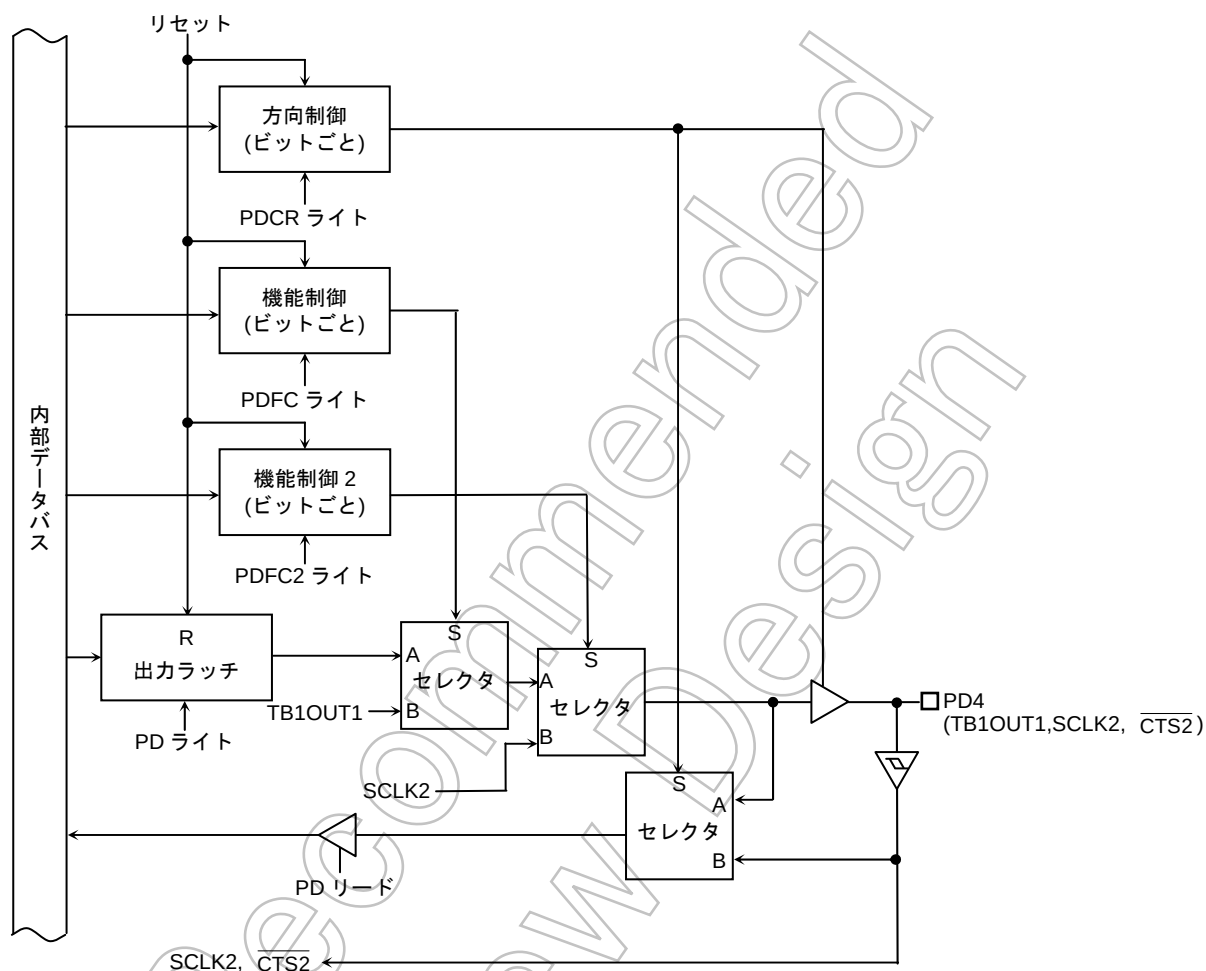


図 3.5.26 ポート D (PD4)

ポート D レジスタ

	7	6	5	4	3	2	1	0
PD (0034H)	Bit symbol			PD4	PD3	PD2	PD1	PD0
	Read/Write			R/W			R	R/W
	リセット後			外部端子データ(注 1)			外部端子データ(注 3)	外部端子データ(注 1)

ポート D コントロールレジスタ

	7	6	5	4	3	2	1	0
PDCR (0036H)	Bit symbol			PD4C	PD3C	PD2C		PD0C
	Read/Write			W				W
	リセット後			0	0	0		0
	機能			0: 入力 1: 出力				0: 入力 1: 出力

ポート D ファンクションレジスタ

	7	6	5	4	3	2	1	0
PDFC (0037H)	Bit symbol			PD4F	PD3F	PD2F	PD1F	PD0F
	Read/Write			W				
	リセット後			0	0	0	0	0
	機能			PD4~PD0 の機能設定参照				

ポート D ファンクション 2 レジスタ

	7	6	5	4	3	2	1	0
PDFC2 (0035H)	Bit symbol			PD4F2	PD3F2	PD2F2	PD1F2	
	Read/Write			W				
	リセット後			0	0	0	0	
	機能			PD4~PD0 の機能設定参照				

PD4~PD0 の機能設定

<PDxF2, PDxF, PDxC>	PD4	PD3	PD2	PD1(注 3)	PD0(注 4)
0 , 0 , 0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0 , 0 , 1	出力ポート	出力ポート	出力ポート		出力ポート
0 , 1 , 0	設定しないで下さい	RXD2	TB1IN1	TB1IN0	INT4
0 , 1 , 1	TB1OUT1	TB1OUT0	TXD2(3-state)		TB0OUT0
1 , 0 , 0	SCLK2, CTS2 入力	INT7	INT6	INT5	
1 , 0 , 1	SCLK2 出力	設定しないで下さい	設定しないで下さい		
1 , 1 , 0	設定しないで下さい	設定しないで下さい	設定しないで下さい	設定しないで下さい	
1 , 1 , 1	設定しないで下さい	設定しないで下さい	TXD2(O.D)		

注) <PDxF2>,<PDxF>,<PDxC>はそれぞれ PDFC2,PDFC,PDCR レジスタのビット x です。

注 1) 出力ラッチレジスタは“0”にクリアされます。

注 2) PDCR, PDFC, PDFC2 はリードモディファイライトできません。

注 3) PD1 には出力ラッチレジスタの該当するビットはありません。

注 4) PD0 には PDFC2 レジスタの該当するビットはありません。

注 5) ポートの機能設定にかかわらず TB1IN0, TB1IN1 入力は、16 ビットタイマ TMRB1 へ入力されます。

注 6) ポートの機能設定にかかわらず RXD2, SCLK2 入力, CTS2 入力はシリアルチャネル 2 へ入力されます。

注 7) PD2 は 3-state/オープンドレイン設定のためのレジスタをもっていない。また、出力ポート時のオープンドレイン機能はありません。

図 3.5.27 ポート D 関係のレジスタ

3.5.10 ポート F (PF0~PF5)

ポート F はビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。リセット動作により、全ての端子が入力ポートとなり、また出力ラッチレジスタの全ビットは “0” へリセットされます。

入出力ポート以外にシリアルチャネル 0, 1 の入出力、高速シリアルの入出力[※]、および内部クロック出力機能があります。この機能は PFCR, PFFC2, PFFC, HSCSEL レジスタの該当ビットへ “1” を書き込む事により、それぞれの機能が動作可能となります。リセット動作により、PFCR, PFFC, PFFC2, HSCSEL 各レジスタの値は全て “0” にリセットされ、全ビットが入力ポートとなります。

注) 高速シリアルの入出力機能は TMP92CY23 には搭載していません。

(1) PF0 (TXD0)

PF0 は入出力ポート以外に、シリアルチャネル 0 の TXD 出力端子としての機能を持ちます。

また TXD 出力端子として使用する場合、出力バッファはプログラム可能なオープンドレイン機能を持っています。オープンドレイン機能は PFFC<PF0F>と PFCR<PF0C>レジスタにより設定が可能です。

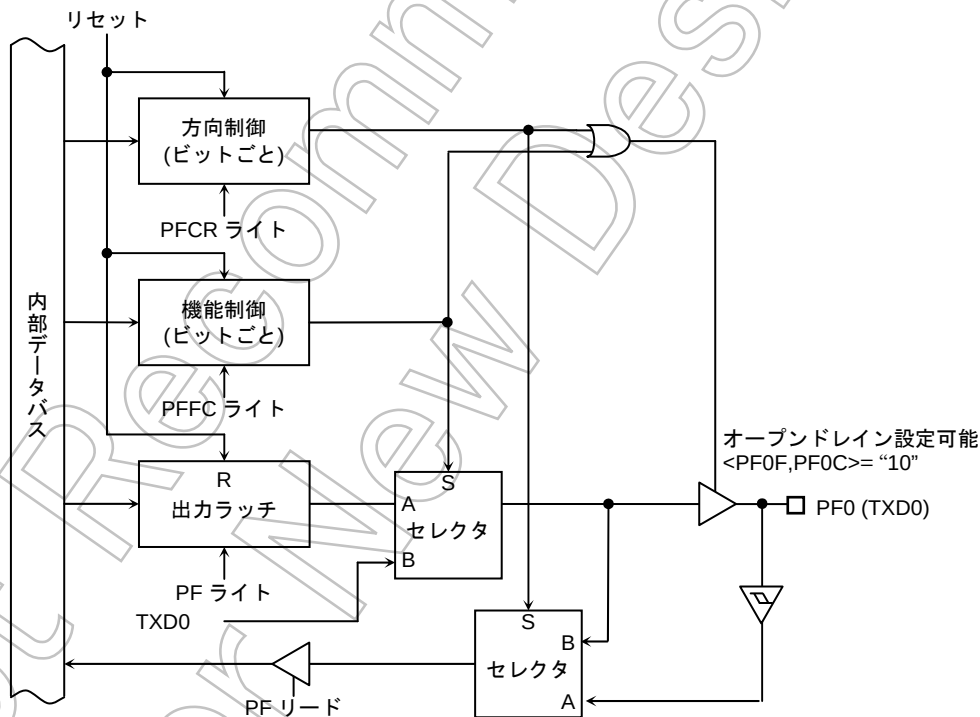


図 3.5.28 ポート F (PF0)

(2) PF1(RXD0)

PF1は入出力ポート以外に、シリアルチャネル0のRXD入力端子としての機能を持っています。

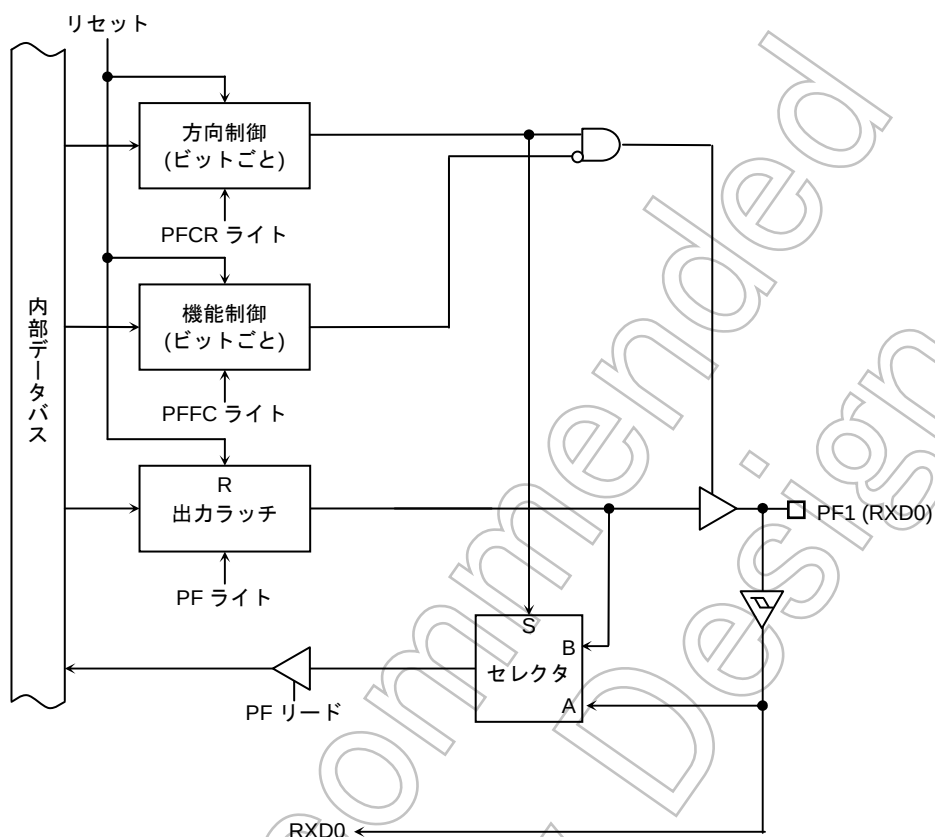


図 3.5.29 ポート F(PF1)

(3) PF2 ($\overline{\text{CTS0}}$, SCLK0, CLK)

PF2 は入出力ポート以外に、シリアルチャネル 0 の $\overline{\text{CTS0}}$ 入力端子または SCLK0 入出力端子、および内部クロックを出力する CLK 出力端子としての機能を持っています。

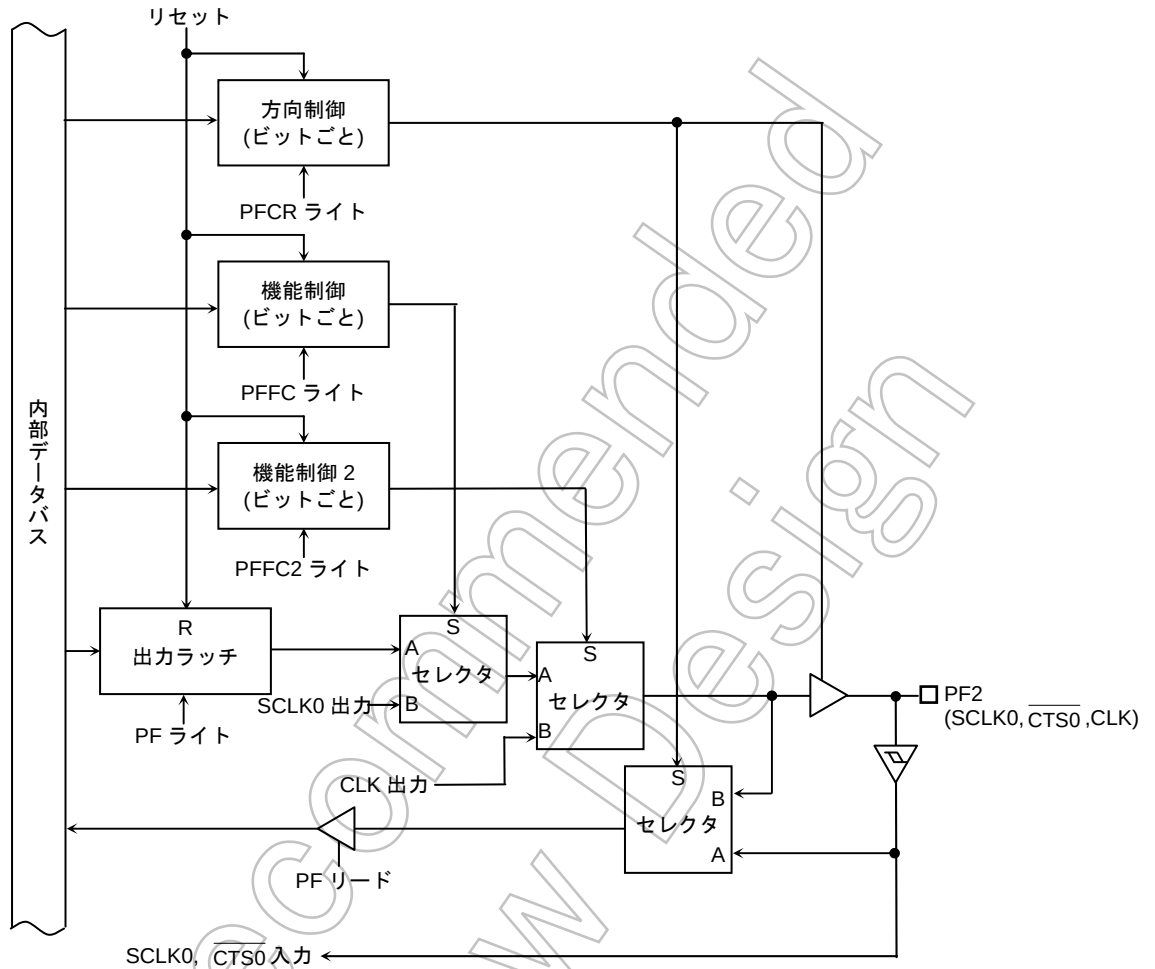


図 3.5.30 ポート F(PF2)

(4) PF3 (TXD1, HSSO)

PF3 は入出力ポート以外に、シリアルチャネル 1 の TXD 出力端子または高速シリアル
の HSSO 出力端子^注)としての機能を持ちます。

また TXD 出力端子として使用する場合、出力バッファはプログラム可能なオープンドレイン機能を持っています。オープンドレイン機能は PFFC<PF3F>と PF3CR<PF3C>レジスタにより設定が可能です。

注) HSSO 出力機能は TMP92CY23 には搭載していません。

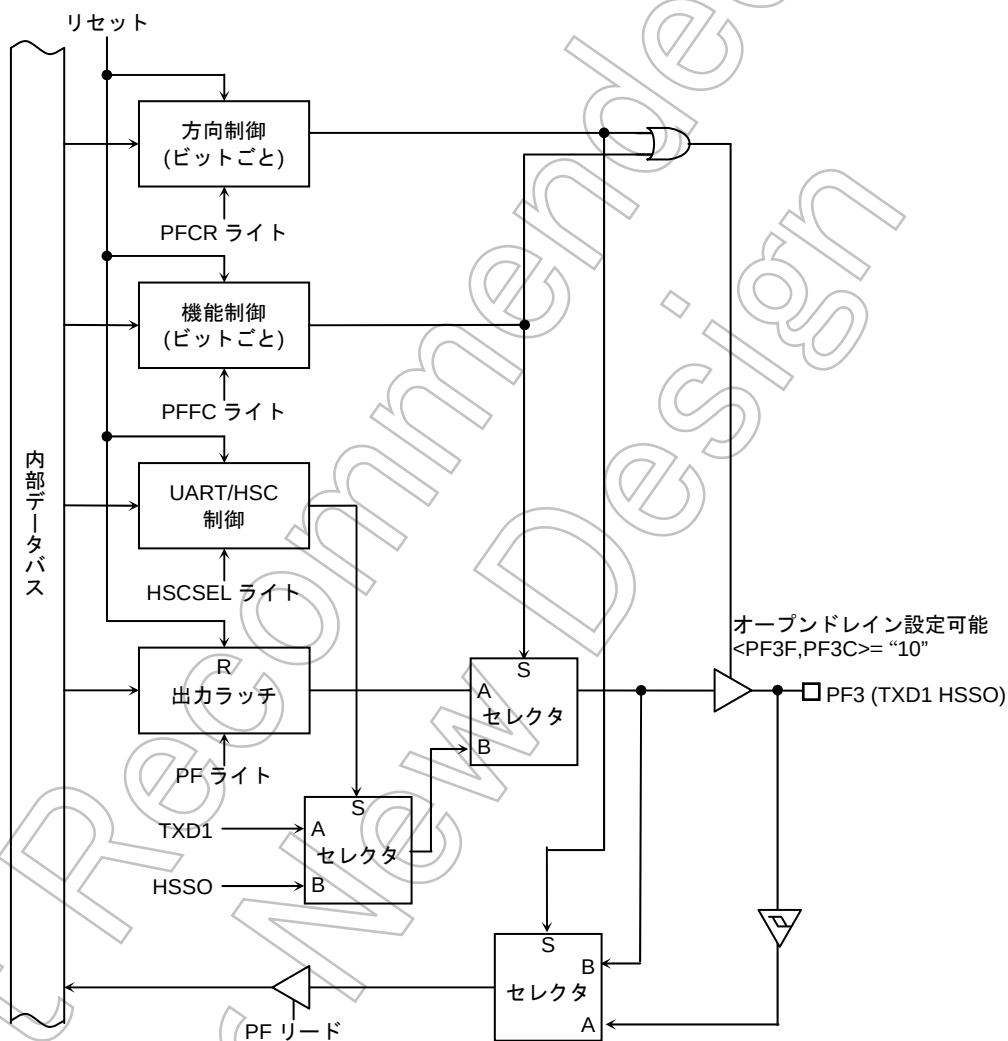


図 3.5.31 ポート F(PF3)

(5) PF4(RXD1, HSSI)

PF1 は入出力ポート以外に、シリアルチャネル 1 の RXD 入力端子または高速シリアル
の HSSI 入力端子^{注)}としての機能を持っています。

注) HSSI 入力機能は TMP92CY23 には搭載していません。

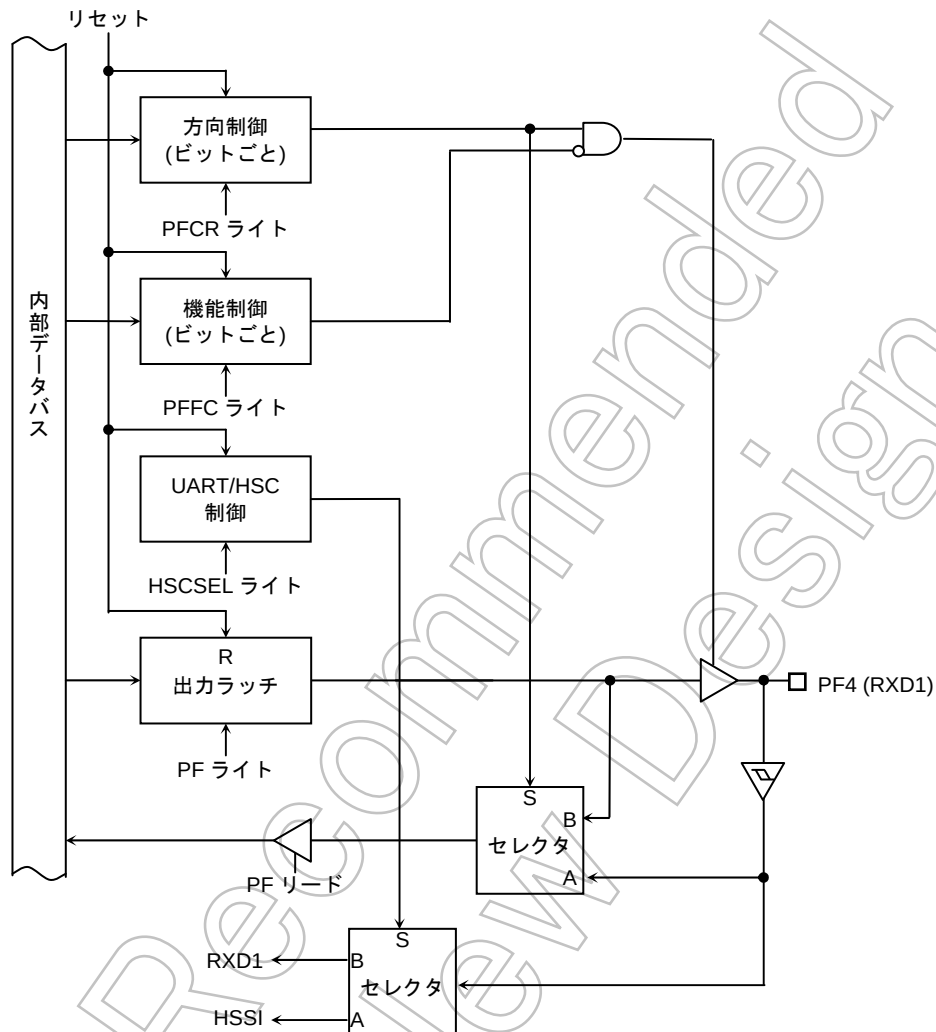


図 3.5.32 ポート F(PF4)

(6) PF5 ($\overline{\text{CTS1}}$, SCLK1, HSCLK)

PF5 は入出力ポート以外に、シリアルチャネル 1 の $\overline{\text{CTS1}}$ 入力端子または SCLK1 入出力端子、および高速シリアル用の HSCLK 出力端子^{注)}としての機能を持っています。

注) HSCLK 出力機能は TMP92CY23 には搭載していません。

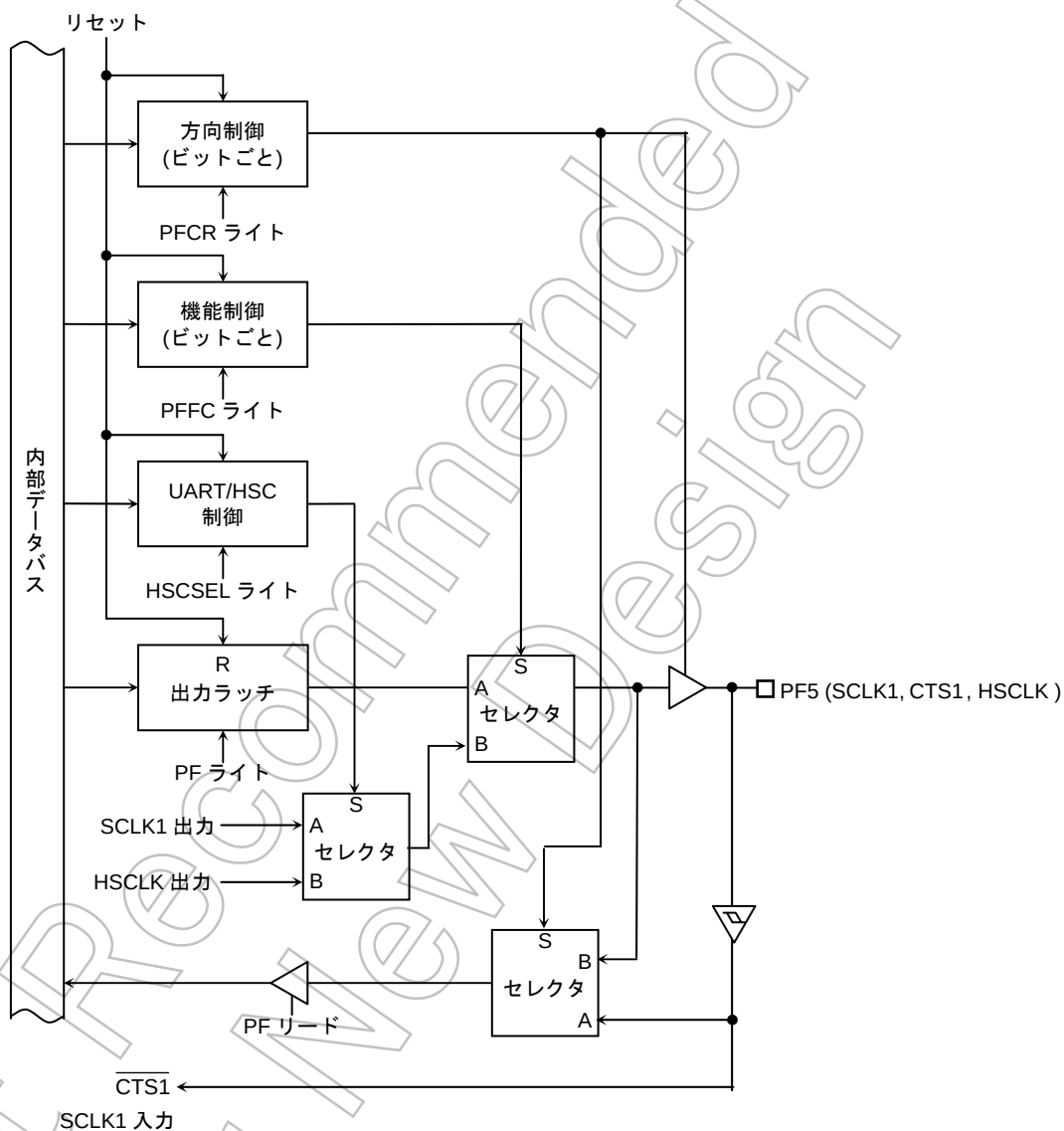


図 3.5.33 ポート F(PF5)

ポートFレジスタ

PF
(003CH)

	7	6	5	4	3	2	1	0
Bit symbol			PF5	PF4	PF3	PF2	PF1	PF0
Read/Write			R/W					
リセット後			外部端子データ(出力ラッチレジスタは"0"にクリアされます。)					

ポートFコントロールレジスタ

PFCR
(003EH)

	7	6	5	4	3	2	1	0
Bit symbol			PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
Read/Write			W					
リセット後			0	0	0	0	0	0
機能			0: 入力 1: 出力					

ポートFファンクションレジスタ

PFFC
(003FH)

	7	6	5	4	3	2	1	0
Bit symbol			PF5F	PF4F	PF3F	PF2F	PF1F	PF0F
Read/Write			W					
リセット後			0	0	0	0	0	0
機能			0: ポート 1: SCLK1, CTS1	0: ポート 1: RXD1	0: ポート 1: TXD1	0: ポート 1: SCLK0, CTS0	0: ポート 1: RXD0	0: ポート 1: TXD0

ポートFファンクション2レジスタ

PFFC2
(003DH)

	7	6	5	4	3	2	1	0
Bit symbol						PF2F2		
Read/Write						W		
リセット後						0		
機能						0:<PF2F> 1: CLK		

SIO1/ HSC コントロールレジスタ

HSCSEL
(00F4H)

	7	6	5	4	3	2	1	0
Bit symbol	—	—	—	—	—	—	—	SIOCNT
Read/Write	R							R/W
リセット後	0	0	0	0	0	0	0	0
機能								0:SIO1 1: HSC

注) HSCSEL レジスタは TMP92CY23 には搭載していません。

PF5~PF0 の機能設定

<PFxF2, PFxF, PFxC>	PF2	PF1	PF0
0 , 0 , 0	入力ポート	入力ポート	入力ポート
0 , 0 , 1	出力ポート	出力ポート	出力ポート
0 , 1 , 0	SCLK0, CTS0 入力	RXD0 入力	TXD0 (O.D 出力)
0 , 1 , 1	SCLK0 出力	設定しないで下さい	TXD0 (3-state)
1 , 0 , 0	設定しないで下さい	\	\
1 , 0 , 1	CLK 出力		
1 , 1 , 0	設定しないで下さい		
1 , 1 , 1	設定しないで下さい		
<SIOCNT, PFxF, PFxC>	PF5	PF4	PF3
0 , 0 , 0	入力ポート	入力ポート	入力ポート
0 , 0 , 1	出力ポート	出力ポート	出力ポート
0 , 1 , 0	SCLK1, CTS1 入力	RXD1 入力	TXD1 (O.D 出力)
0 , 1 , 1	SCLK1 出力	設定しないで下さい	TXD1 (3-state)
1 , 0 , 0	設定しないで下さい	設定しないで下さい	設定しないで下さい
1 , 0 , 1	設定しないで下さい	設定しないで下さい	設定しないで下さい
1 , 1 , 0	設定しないで下さい	HSSI 入力(注 3)	設定しないで下さい
1 , 1 , 1	HSCLK 出力(注 3)	設定しないで下さい	HSSO(3-state) (注 3)

注) <PFxF2>,<PFxF>,<PFxC>はそれぞれ PFFC2,PFFC,PFRC レジスタのビット x です。

注 1) PFRC, PFFC, PFFC2 はリードモディファイライトできません。

注 2) PF0 と PF3 は 3-state/オープンドレイン設定のためのレジスタをもっていません。また、出力ポート時のオープンドレイン機能はありません。

注 3) HSSO、HSSI および HSCLK 機能は TMP92CY23 には搭載しておりません。

図 3.5.34 ポート F 関係のレジスタ

3.5.11 ポート G (PG0~PG7)

ポート G は 8 ビットの入力専用ポートです。入力ポート以外に AD コンバータのアナログ入力端子(AN0~AN7)、キーオンウェイクアップ用のキー入力(KI0~KI7)機能があります。これらの機能は、PGFC、KIEN レジスタの該当ビットへ“1”を書き込むことにより動作可能となります。また、キー入力のエッジ選択は KICR レジスタにより設定します。

リセット動作により、PGFC の全ビットの値は“1”に、また KIEN の値は“0”にリセットされ、全ビットアナログ入力ポート(ポート入力ディセーブル)となります。

KIEN レジスタによりキー入力をイネーブルにし、KICR レジスタにて選択したエッジを検出した場合、キーオンウェイクアップ入力 KWI が発生します。キーオンウェイクアップ入力 はすべての HALT モード状態を解除可能ですが割り込みとしての機能はありません。

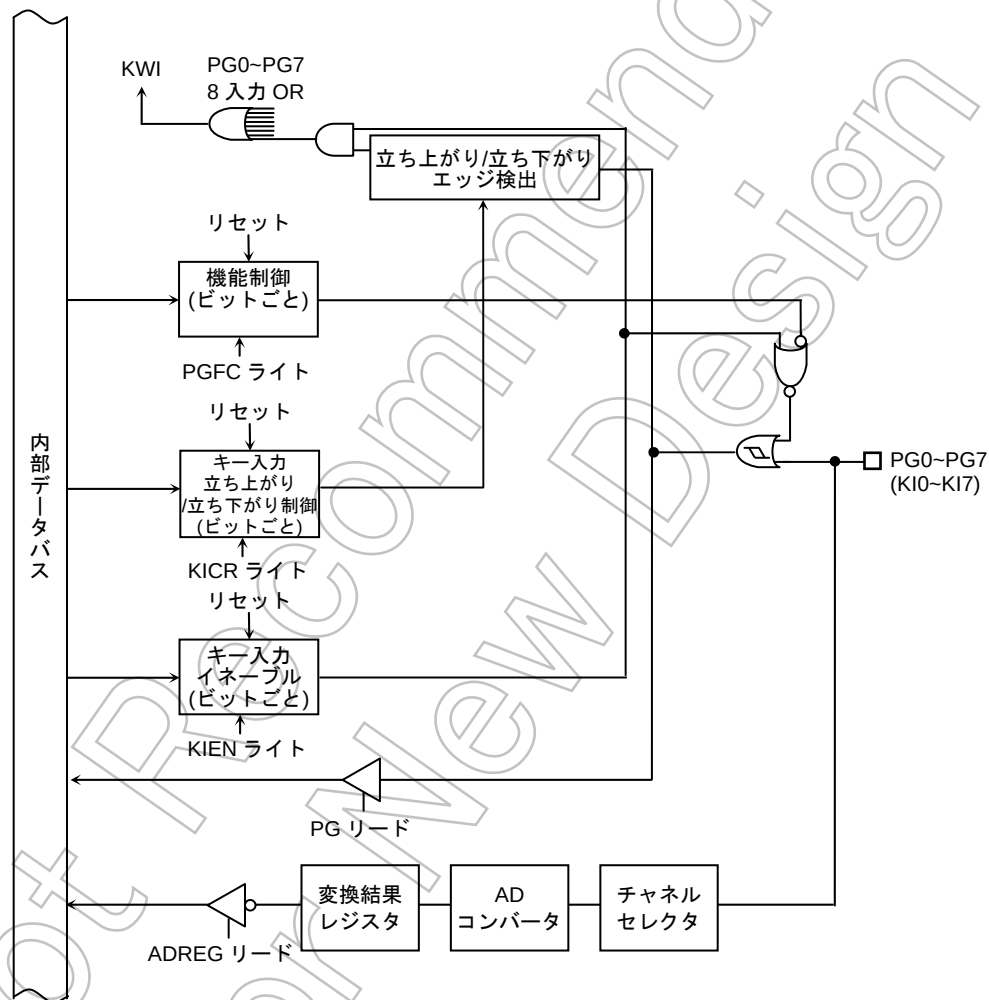


図 3.5.35 ポート G

ポート G レジスタ

PG (0040H)		7	6	5	4	3	2	1	0
	Bit symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
	Read/Write	R							
	リセット後	外部端子データ (注 1)							

ポート G ファンクションレジスタ

PGFC (0043H)		7	6	5	4	3	2	1	0
	Bit symbol	PG7F	PG6F	PG5F	PG4F	PG3F	PG2F	PG1F	PG0F
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1
	機能	0:ポート入力/キー入力 1:アナログ入力							

キー入力イネーブルレジスタ

KIEN (13A0H)		7	6	5	4	3	2	1	0
	Bit symbol	KI7EN	KI6EN	KI5EN	KI4EN	KI3EN	KI2EN	KI1EN	KI0EN
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	KI7 入力 0: 禁止 1: 許可	KI6 入力 0: 禁止 1: 許可	KI5 入力 0: 禁止 1: 許可	KI4 入力 0: 禁止 1: 許可	KI3 入力 0: 禁止 1: 許可	KI2 入力 0: 禁止 1: 許可	KI1 入力 0: 禁止 1: 許可	KI0 入力 0: 禁止 1: 許可

キー入力コントロールレジスタ

KICR (13A1H)		7	6	5	4	3	2	1	0
	Bit symbol	KI7EDGE	KI6EDGE	KI5EDGE	KI4EDGE	KI3EDGE	KI2EDGE	KI1EDGE	KI0EDGE
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	KI7 エッジ 0: 立ち 上がり 1: 立ち 下がり	KI6 エッジ 0: 立ち 上がり 1: 立ち 下がり	KI5 エッジ 0: 立ち 上がり 1: 立ち 下がり	KI4 エッジ 0: 立ち 上がり 1: 立ち 下がり	KI3 エッジ 0: 立ち 上がり 1: 立ち 下がり	KI2 エッジ 0: 立ち 上がり 1: 立ち 下がり	KI1 エッジ 0: 立ち 上がり 1: 立ち 下がり	KI0 エッジ 0: 立ち 上がり 1: 立ち 下がり

PG7~PG0 の機能設定

	<PGxF>	0	1
<KIxEEN>			
0		入力ポート	アナログ入力
1		キー入力	設定しないでください。

注) <PGxF>,<KIxEEN>はそれぞれ PGFC,KIEN レジスタのビット x です。

注 1) アナログ入力ポートとして動作します。(ポート入力ディセーブル)

注 2) PGFC,KIEN,KICR はリードモディファイライトできません。

注 3) AD コンバータの入力チャネル選択は、AD モードコントロールレジスタ ADMOD1<ADCH3:0>にて設定します。

図 3.5.36 ポート G 関係のレジスタ

3.5.12 ポート L (PL0~PL3)

ポート L は 4 ビットの入力専用ポートです。入力ポート以外に AD コンバータのアナログ入力端子機能があります。また、PL3 は AD コンバータの $\overline{\text{ADTRG}}$ 端子機能と兼用になっています。PL3 を $\overline{\text{ADTRG}}$ 端子として使用する場合、PLFC<PL3F>は“0”に設定して下さい。リセット動作により、PLFC レジスタの全ビットの値は“1”にセットされ、全端子がアナログ入力ポート(ポート入力ディセーブル)となります。

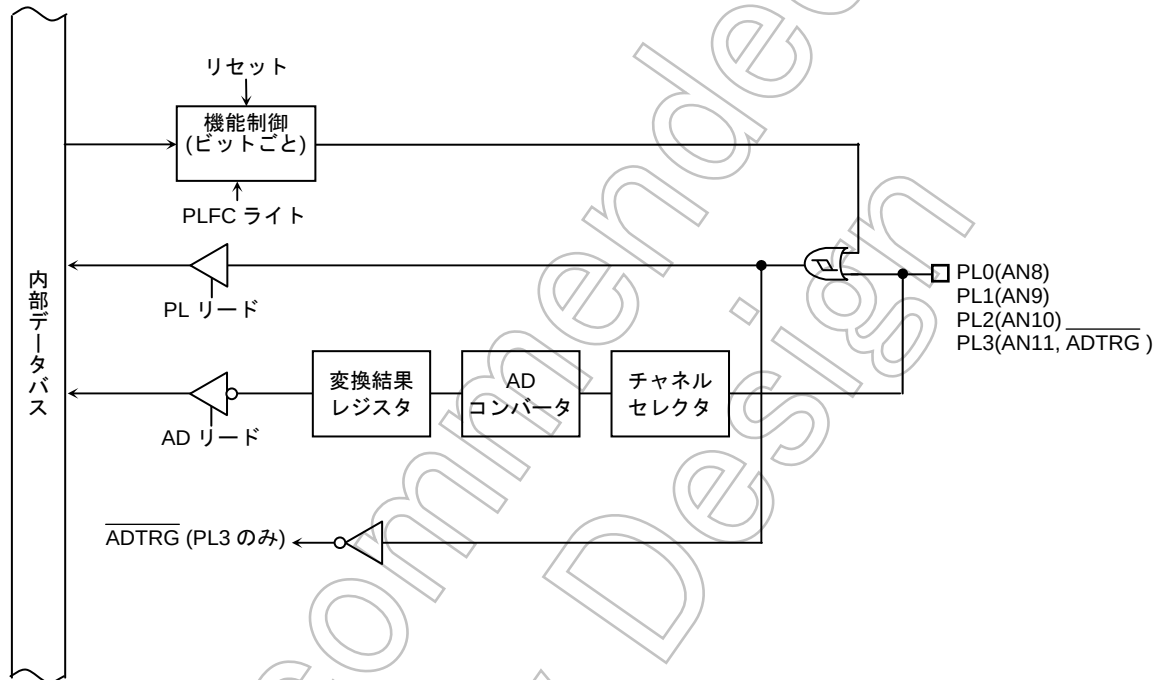


図 3.5.37 ポート L

ポート L レジスタ									
PL (0054H)		7	6	5	4	3	2	1	0
	Bit symbol					PL3	PL2	PL1	PL0
	Read/Write					R			
	リセット後					外部端子データ (注 2)			

ポート L ファンクションレジスタ									
PLFC (0057H)		7	6	5	4	3	2	1	0
	Bit symbol					PL3F	PL2F	PL1F	PL0F
	Read/Write					W			
	リセット後					1	1	1	1
	機能					0: ポート入力 1: アナログ入力 (注 3)			

- 注 1) PLFC はリードモディファイライトできません。
- 注 2) アナログ入力ポートとして動作します。(ポート入力ディセーブル)
- 注 3) AD コンバータの入力チャネル選択は、AD モードコントロールレジスタ ADMOD1<ADCH3:0>にて設定します。また AD トリガ(ADTRG)入力許可の設定は、ADMOD2<ADTRGE>にて設定します。

図 3.5.38 ポート L 関係のレジスタ

3.5.13 ポート N (PN0~PN5)

ポート N はビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。また、PN1, PN2, PN4, PN5 は出力設定にした場合オープンドレイン出力となります。

入出力ポート以外に以下の機能があります。

- ・シリアルバスインタフェース 0 の入出力機能(SCK0, SO0/SDA0, SI0/SCL0)
- ・シリアルバスインタフェース 1 の入出力機能(SCK1, SO1/SDA1, SI1/SCL1)

これらの機能は PNCR, PNFC の該当ビットへ “1” を書き込むことにより各ファンクションが可能となります。リセット動作により、PNCR, PNFC の各レジスタの値は “0” にリセットされ、全ビットが入力ポートとなります。 また、出力ラッチの全ビットは “1” にセットされます。

(1) PN0 (SCK0), PN3 (SCK1)

PN0, PN3 は汎用入出力ポートです。それ以外にシリアルバスインタフェースの SCK(SIO モード時のクロック信号)入出力しての機能を持っています。

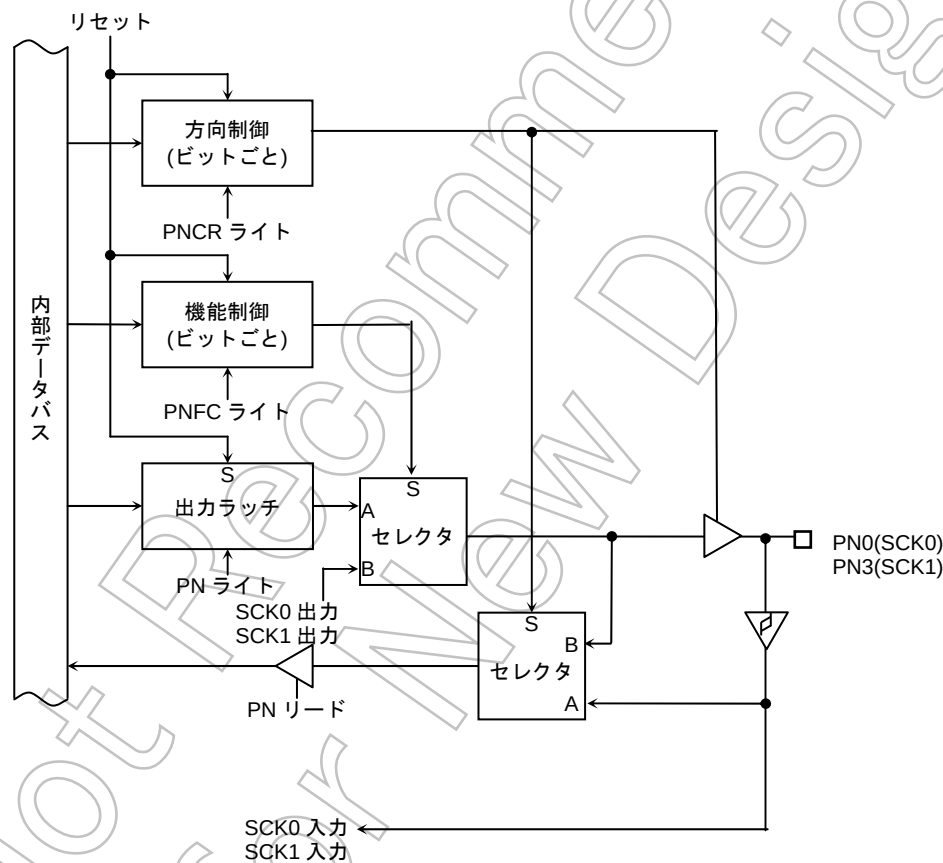


図 3.5.39 ポート N (PN0, PN3)

(2) PN1 (SDA0/SO0), PN4 (SDA1/SO1)

PN1, PN4 は汎用入出力ポートです。それ以外にシリアルバスインタフェースの SO(SIO モード時のデータ出力信号), SDA(I²CBUS モード時のデータ信号)としての機能を持っています。また、これらのポートはオープンドレイン出力となっています。

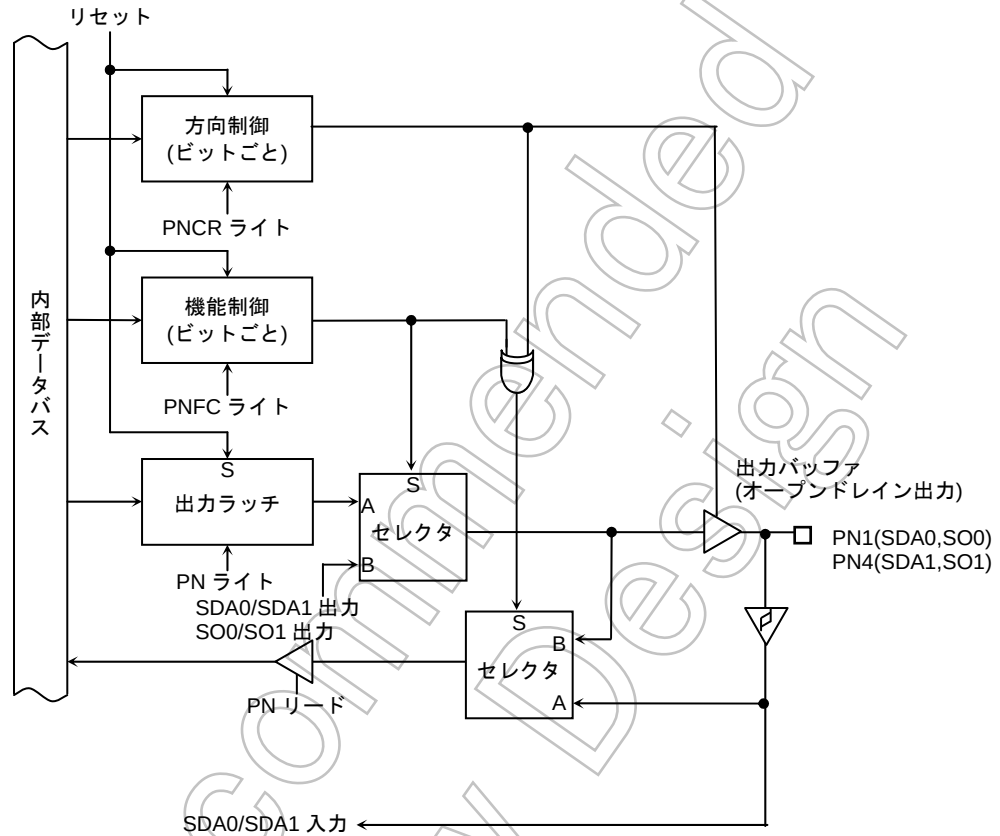


図 3.5.40 ポート N (PN1, PN4)

(3) PN2 (SCL0/SI0), PN5 (SCL1/SI1)

PN2, PN5 は汎用入出力ポートです。それ以外にシリアルバスインタフェースの SI (SIO モード時のデータ入力信号)、および SCL (I²C BUS モード時のクロック信号)としての機能を持っています。また、これらのポートはオープンドレイン出力となっています。

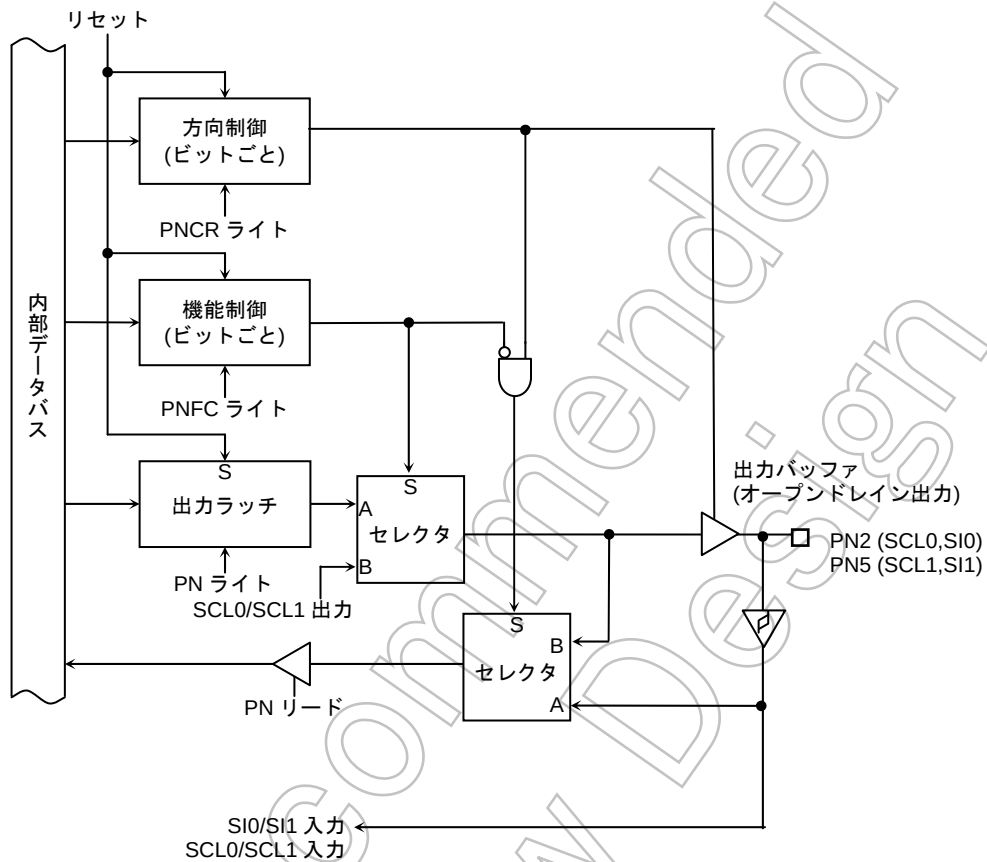


図 3.5.41 ポート N (PN2, PN5)

ポート N レジスタ

PN
(005CH)

	7	6	5	4	3	2	1	0
Bit symbol			PN5	PN4	PN3	PN2	PN1	PN0
Read/Write			R/W					
リセット後			外部端子データ(出力ラッチレジスタは“1”にセットされます。)					

ポート N コントロールレジスタ

PNCR
(005EH)

	7	6	5	4	3	2	1	0
Bit symbol			PN5C	PN4C	PN3C	PN2C	PN1C	PN0C
Read/Write			W					
リセット後			0	0	0	0	0	0
機能			0: 入力 1: 出力					

ポート N ファンクションレジスタ

PNFC
(005FH)

	7	6	5	4	3	2	1	0
Bit symbol			PN5F	PN4F	PN3F	PN2F	PN1F	PN0F
Read/Write			W					
リセット後			0	0	0	0	0	0
機能			0: ポート 1: SI1 SCL1	0: ポート 1: SO1 SDA1	0: ポート 1: SCK1	0: ポート 1: SI0 SCL0	0: ポート 1: SO0 SDA0	0: ポート 1: SCK0

PN5~PN0 の機能設定参照

<PNxF, PNxC>	PN5	PN4	PN3	PN2	PN1	PN0
0 , 0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0 , 1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
1 , 0	SI1 入力	SO1 出力	SCK1 入力	SI0 入力	SO0 出力	SCK0 入力
1 , 1	SCL1 入出力	SDA1 入出力	SCK1 出力	SCL0 入出力	SDA0 入出力	SCK0 出力

注) <PNxF>,<PNxC>はそれぞれ PNFC,PNCR レジスタのビット x です。

注) PNCR, PNFC はリードモディファイライトできません。

図 3.5.42 ポート N 関係のレジスタ

3.6 メモリコントローラ

3.6.1 機能概要

TMP92CY23/CD23A のメモリコントローラは、任意のブロックアドレス空間に対して、以下のような制御を行うことができます。

(1) 4 ブロックのアドレス空間をサポート

外部エリア内に設定する 4 つのブロックアドレス空間に対し、ブロックサイズとスタートアドレスを指定することができます。

* SRAM あるいは ROM : 全 CS-ブロック (CS0 ~CS3) 対応。

* Page-ROM : CS2 ブロックのみ対応。

(2) 接続メモリの指定

選択したアドレス空間に接続するメモリとして、SRAM, ROM を指定できます。

(3) データバス幅の指定

選択したアドレス空間のデータバス幅は、8/16 ビットが選択できます。

(4) ウェイトの制御

コントロールレジスタ内のウェイト指定ビットと $\overline{\text{WAIT}}$ 入力端子により、外部バスサイクルのウェイト数を制御することができます。リードサイクルとライトサイクルは、それぞれ独立にウェイト数を設定することができます。ウェイト数の制御には、下記に示す 6 つのモードがあります。

0 ウェイト, 1 ウェイト, 2 ウェイト, 3 ウェイト, 4 ウェイト N ウェイト ($\overline{\text{WAIT}}$ 端子による制御)

3.6.2 制御レジスタとリセット解除後の動作

ここでは、メモリコントローラを制御するレジスタと、リセット解除後の状態、必要な設定について説明します。

(1) コントロールレジスタ

メモリコントローラの制御レジスタには、以下のものがあります。

- コントロールレジスタ: **BnCSH/BnCSL** ($n = 0 \sim 3$, EX)
接続するメモリの種類や読み出し、書き込みのウェイト数など、メモリコントローラの基本的な機能の設定を行います。
- メモリスタートアドレスレジスタ: **MSAR n** ($n = 0 \sim 3$)
選択したブロックアドレス空間のスタートアドレスを設定します。
- メモリアドレスマスクレジスタ **MAMR n** ($n = 0 \sim 3$)
選択したブロックアドレス空間のブロックサイズを設定します。
- ページ ROM コントロールレジスタ **PMEMCR**
Page-ROM アクセス方法を設定します。

(2) リセット解除後の動作

リセット後は、ブロックアドレス空間 2 のコントロールレジスタ(**B2CSH / B2CSL**)のみが、自動的に有効になります。ブロックアドレス空間 2 の制御レジスタのバス幅指定ビットは不定となりますので、外部ブロックアドレス空間 2 をアクセスする前に必ず設定してください。また、リセット後、ブロックアドレス空間 2 は 000000H から FFFFFFFH 番地に設定されています(**B2CSH <B2M>** は “0” にリセットされます)。

リセット解除後、メモリスタートアドレスレジスタ(**MSAR n**)とメモリアドレスマスクレジスタ(**MAMR n**)によりブロックアドレス空間の指定を行い、コントロールレジスタ(**BnCSH/L**)を設定します。

設定を有効にするために、コントロールレジスタのイネーブルビット(**BnCSH <BnE>**)を“1” にセットしてください。

3.6.3 基本的な機能の説明とレジスタの設定

ここでは、メモリコントローラの機能のうち、ブロックアドレスエリアの設定、接続メモリ、ウェイト数の設定について説明します。

(1) ブロックアドレス空間の指定

ブロックアドレス空間は、2種類のレジスタによって指定されます。

メモリスタートアドレスレジスタ (MSAR) は、ブロックアドレス空間のスタートアドレスを設定するレジスタです。メモリコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、メモリアドレスマスクレジスタ (MAMRn) でマスクされているアドレスビットは、メモリコントローラの比較対象にはなりません。メモリアドレスマスクレジスタの設定によって、ブロックアドレス空間のサイズが決まります。レジスタに設定された値と、バス上のアドレスを比較し、比較した結果が一致すれば、メモリコントローラは、チップセレクト信号 ($\overline{CSn}$) を “L” レベルにします。

(i) メモリスタートアドレスレジスタの設定

メモリスタートアドレスレジスタの MnS23~MnS16 の各ビットは、それぞれアドレスの A23~A16 に対応します。スタート下位アドレス A15~A0 は、常に 0000H です。従って、ブロックアドレス空間のスタートアドレスは、000000H~FF0000H まで 64K バイトごとに設定することができます。

(ii) メモリアドレスマスクレジスタの設定

メモリアドレスマスクレジスタでは、アドレスのどのビットの値を比較するか、比較しないかを設定します。レジスタは、“0” で「比較する」、「1」で「比較しない」の機能になります。

ブロックアドレス空間によって設定できるアドレスビットが違っており、

ブロックアドレス空間 0: A20~A8

ブロックアドレス空間 1: A21~A8

ブロックアドレス空間 2, 3: A22~A15

のマスク設定ができます。上位のビットについては、必ず比較されます。これにより、各ブロックアドレス空間のサイズが決まります。

ブロックアドレス空間によって設定できるサイズは、次のとおりです。

サイズ (バイト)	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS エリア											
CS0	○	○	○	○	○	○	○	○	○		
CS1	○	○		○	○	○	○	○	○	○	
CS2~CS3			○	○	○	○	○	○	○	○	○

注) リセット解除後は、ブロックアドレス空間 2 の制御レジスタのみが有効になっています。ブロックアドレス空間 2 の制御レジスタには、特別に B2M ビットがあり、このビットを “0” にすると、ブロックアドレス空間 2 は 000000H~FFFFFFH に設定されます。リセット解除後は、この状態に設定されています。この B2M ビットを 1 に設定すると、ほかのブロックアドレス空間と同様に、スタートアドレスとアドレス空間サイズを設定することができます。

(iii) レジスタの設定例

ブロックアドレス空間 1 を 110000H のアドレスから 512 バイトに設定する場合、次のようにレジスタを設定します。

MSAR1 レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
設定値	0	0	0	1	0	0	0	1

メモリスタートアドレスレジスタ MSAR1 の M1S23~M1S16 の各ビットは、それぞれアドレス A23~A16 に対応します。A15~A0 は “0” になります。従って、MSAR1 の値を上記のように設定すると、ブロックアドレス空間のスタートアドレスは、110000H になります。

MAMR1 レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15~ M1V9	M1V8
設定値	0	0	0	0	0	0	0	1

メモリスタートマスクレジスタ MAMR1 の M1V21~M1V16, M1V8 の各ビットは、それぞれ A21~A16, A8 のアドレス比較を行うか、行わないかを設定します。M1V15~M1V9 ビットは A15~A9 を 1 ビットでアドレス比較を行うか行わないかを設定します。レジスタは、“0” で「比較する」、「1」で「比較しない」の機能になります。A22 と A23 は必ず比較されます。

上記のように設定すると、A23~A9 まではスタートアドレスとして設定された値と比較されます。従って、アドレス 110000H~1101FFH の 512 バイトがブロックアドレス空間 1 として設定され、バス上のアドレスと比較すれば、チップセレクト信号 $\overline{CS1}$ を “L” レベルにします。

ブロックアドレス空間 0 では、A23~A21 は必ず比較され、A20~A8 を比較するかどうかをレジスタに設定します。同様にブロックアドレス空間 2~3 では、A23 は必ず比較され、A22~A15 を比較するかどうかをレジスタに設定します。

注) 設定したブロックアドレス空間が、内蔵メモリの空間と重複した場合、ブロックアドレス空間は以下のような優先順位で処理されます。

内蔵 I/O > 内蔵メモリ > ブロックアドレス空間 0 > 1 > 2 > 3

また、 $\overline{CS0}$ から $\overline{CS3}$ で設定したアドレス空間以外をアクセスした場合は、 $\overline{CSEX}$ 空間として処理されます。従って、ウェイト数、データバス幅の制御などは $\overline{CSEX}$ (BEXCSH/L) の設定に従います。

(2) 接続メモリの指定

コントロールレジスタ (BnCSH) の BnOM1~BnOM0 ビットを設定することにより、各ブロックアドレス空間に接続するメモリの種類を設定することができます。設定されたメモリによって、メモリインタフェース信号が出力されます。設定は次のように行います。

<BnOM1, BnOM0> ビット (BnCSH レジスタ)

BnOM1	BnOM0	機 能
0	0	SRAM/ROM (デフォルト)
0	1	(Reserved)
1	0	(Reserved)
1	1	(Reserved)

(3) データバス幅の設定

データバス幅は、ブロックアドレス空間ごとに設定することができます。バス幅の設定はコントロールレジスタ (BnCSH) の BnBUS1, BnBUS0 ビットで、以下のように行います。

<BnBUS>ビット (BnCSH レジスタ)

BnBUS1	BnBUS0	機 能
0	0	8ビットバスモード (デフォルト) (注2)
0	1	16ビットバスモード
1	0	(Reserved)
1	1	(Reserved)

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。データサイズ、バス幅、スタートアドレスにより、データがデータバスのどの部分に出力されるかが変わります。バス動作の詳細は次のようになります。

注1) バス幅が異なるメモリを連続したアドレスに配置している場合、両方のメモリにまたがるアクセスを1命令で実行しないでください。データの正常な読み出し/書き込みが行われない場合があります。

注2) ブロックアドレス空間2の制御レジスタのバス幅指定ビット B2CSH <B2BUS1:0> は、リセット後は不定となりますので、外部ブロックアドレス空間2をアクセスする前に必ず設定してください。

データサイズ (bit)	スタート アドレス	メモリ側 データ幅 (bit)	CPU アドレス	CPU データ			
				D32 to D24	D23 to D16	D15 to D8	D7 to D0
8	4n + 0	8/16	4n + 0	xxxxx	xxxxx	xxxxx	b7 to b0
		8	4n + 1	xxxxx	xxxxx	xxxxx	b7 to b0
	4n + 1	16	4n + 1	xxxxx	xxxxx	b7 to b0	xxxxx
		8/16	4n + 2	xxxxx	xxxxx	xxxxx	b7 to b0
	4n + 2	8	4n + 3	xxxxx	xxxxx	xxxxx	b7 to b0
		16	4n + 3	xxxxx	xxxxx	b7 to b0	xxxxx
16	4n + 0	8	(1) 4n + 0	xxxxx	xxxxx	xxxxx	b7 to b0
			(2) 4n + 1	xxxxx	xxxxx	xxxxx	b15 to b8
		16	4n + 0	xxxxx	xxxxx	b15 to b8	b7 to b0
	4n + 1	8	(1) 4n + 1	xxxxx	xxxxx	xxxxx	b7 to b0
			(2) 4n + 2	xxxxx	xxxxx	xxxxx	b15 to b8
		16	(1) 4n + 1	xxxxx	xxxxx	b7 to b0	xxxxx
			(2) 4n + 2	xxxxx	xxxxx	xxxxx	b15 to b8
	4n + 2	8	(1) 4n + 2	xxxxx	xxxxx	xxxxx	b7 to b0
			(2) 4n + 1	xxxxx	xxxxx	xxxxx	b15 to b8
		16	4n + 2	xxxxx	xxxxx	b15 to b8	b7 to b0
	4n + 3	8	(1) 4n + 3	xxxxx	xxxxx	xxxxx	b7 to b0
			(2) 4n + 4	xxxxx	xxxxx	xxxxx	b15 to b8
		16	(1) 4n + 3	xxxxx	xxxxx	b7 to b0	xxxxx
			(2) 4n + 4	xxxxx	xxxxx	xxxxx	b15 to b8
32	4n + 0	8	(1) 4n + 0	xxxxx	xxxxx	xxxxx	b7 to b0
			(2) 4n + 1	xxxxx	xxxxx	xxxxx	b15 to b8
			(3) 4n + 2	xxxxx	xxxxx	xxxxx	b23 to b16
			(4) 4n + 3	xxxxx	xxxxx	xxxxx	b31 to b24
		16	(1) 4n + 0	xxxxx	xxxxx	b15 to b8	b7 to b0
			(2) 4n + 2	xxxxx	xxxxx	b31 to b24	b23 to b16
		8	(1) 4n + 0	xxxxx	xxxxx	xxxxx	b7 to b0
			(2) 4n + 1	xxxxx	xxxxx	xxxxx	b15 to b8
			(3) 4n + 2	xxxxx	xxxxx	xxxxx	b23 to b16
			(4) 4n + 3	xxxxx	xxxxx	xxxxx	b31 to b24
	4n + 1	16	(1) 4n + 1	xxxxx	xxxxx	b7 to b0	xxxxx
			(2) 4n + 2	xxxxx	xxxxx	b23 to b16	b15 to b8
			(3) 4n + 4	xxxxx	xxxxx	xxxxx	b31 to b24
		8	(1) 4n + 2	xxxxx	xxxxx	xxxxx	b7 to b0
			(2) 4n + 3	xxxxx	xxxxx	xxxxx	b15 to b8
			(3) 4n + 4	xxxxx	xxxxx	xxxxx	b23 to b16
			(4) 4n + 5	xxxxx	xxxxx	xxxxx	b31 to b24
	4n + 2	16	(1) 4n + 2	xxxxx	xxxxx	b15 to b8	b7 to b0
			(2) 4n + 4	xxxxx	xxxxx	b31 to b24	b23 to b16
		8	(1) 4n + 3	xxxxx	xxxxx	xxxxx	b7 to b0
			(2) 4n + 4	xxxxx	xxxxx	xxxxx	b15 to b8
			(3) 4n + 5	xxxxx	xxxxx	xxxxx	b23 to b16
			(4) 4n + 6	xxxxx	xxxxx	xxxxx	b31 to b24
	4n + 3	16	(1) 4n + 3	xxxxx	xxxxx	b7 to b0	xxxxx
			(2) 4n + 4	xxxxx	xxxxx	b23 to b16	b15 to b8
			(3) 4n + 6	xxxxx	xxxxx	xxxxx	b31 to b24

xxxxx: リード時はそのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号は、インアクティブのままであることを示します。

(4) ウェイトの制御

外部バスサイクルは、最小 2 ステート (100 ns @ fSYS = 20 MHz) で完了します。コントロールレジスタ (BnCSL) の BnWR2~BnWR0 と BnWW2~BnWW0 を設定することにより、リードサイクルとライトサイクルのウェイト数を指定することができます。BnWR と BnWW の設定方法は同じです。設定は次のように行います。

<BnWR/BnWW> ビット (BnCSL レジスタ)

BnWR2 BnWW2	BnWR1 BnWW1	BnWR0 BnWW0	機能
0	0	1	2 ステート (0 ウェイト) アクセス固定モード
0	1	0	3 ステート (1 ウェイト) アクセス固定モード (デフォルト)
1	0	1	4 ステート (2 ウェイト) アクセス固定モード
1	1	0	5 ステート (3 ウェイト) アクセス固定モード
1	1	1	6 ステート (4 ウェイト) アクセス固定モード
0	1	1	WAIT 端子入力モード
上記以外			(Reserved)

(i) ウェイト数固定モード

指定されたステート数でバスサイクルを完了するモードです。ステート数は、2 ステート (0 ウェイト)~6 ステート (4 ウェイト) を選択できます。

(ii) WAIT 端子入力モード

WAIT 入力端子をサンプリングし、信号がアクティブの間、ウェイトを挿入し続けます。このモードでは、最小のバスサイクルが 2 ステートとなります。2 ステート目にウェイト信号がノンアクティブ ("H" レベル) であれば、そこでバスサイクルは完了します。2 ステート以上は、ウェイト信号がアクティブな限りバスサイクルが延長されます。

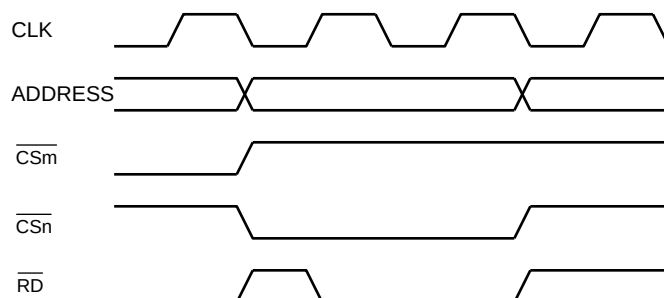
(5) リカバリーサイクルの挿入

外付けの ROM などのデータ出力フローティング時間 (t_{DF}) が大きいものを複数接続した場合などは、お互いのデータバス出力リカバリタイムが問題になりますが、コントロールレジスタ (BnCSH) の BnREC を設定することにより、ほかのブロックアドレス空間をアクセスし始める最初のバスサイクル直前に、1 ステートのダミーサイクルを入れることができます。

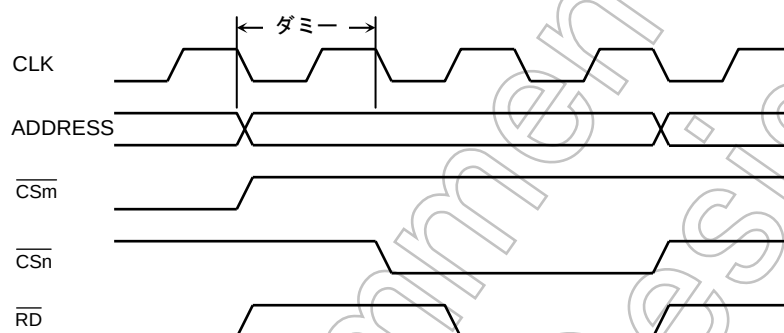
<BnREC>ビット (BnCSH レジスタ)

0	ダミーサイクルを入れない。(デフォルト)
1	ダミーサイクルを入れる。

- ダミーサイクルを挿入しないとき (0 ウェイト)

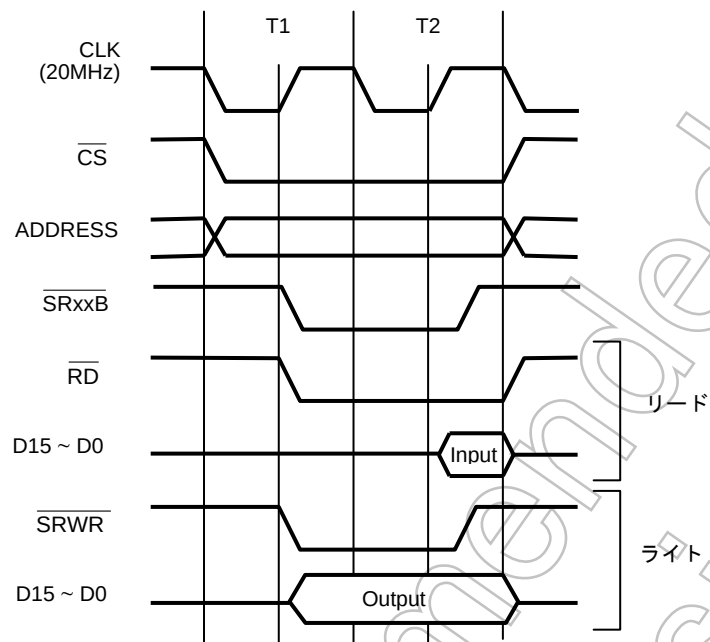


- ダミーサイクルを挿入するとき (0 ウェイト)

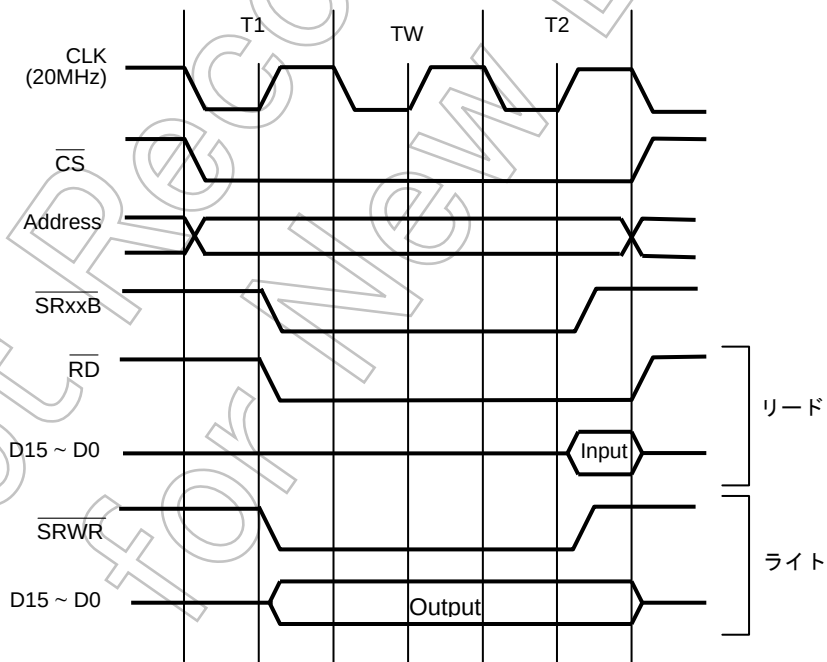


(6) バスアクセスタイミング

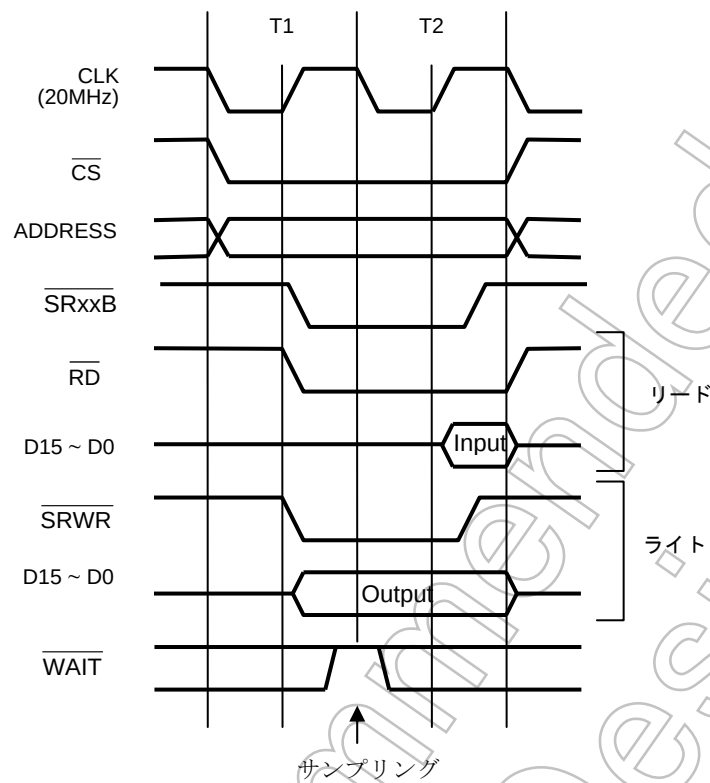
- 外部リード/ライトバスサイクル (0 ウェイト)



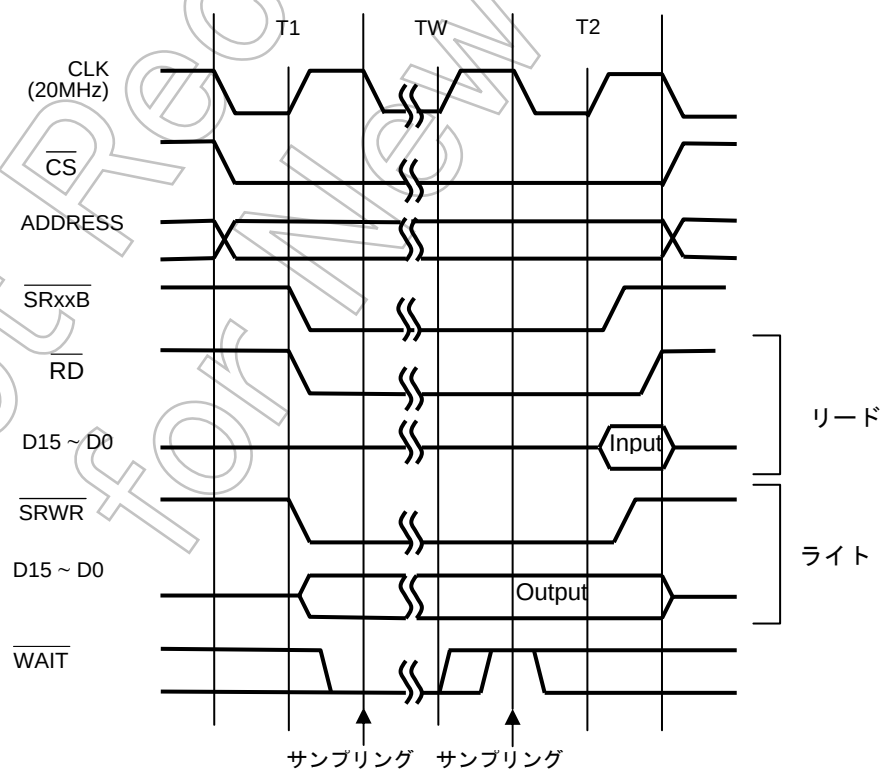
- 外部リード/ライトバスサイクル(1 ウェイト)



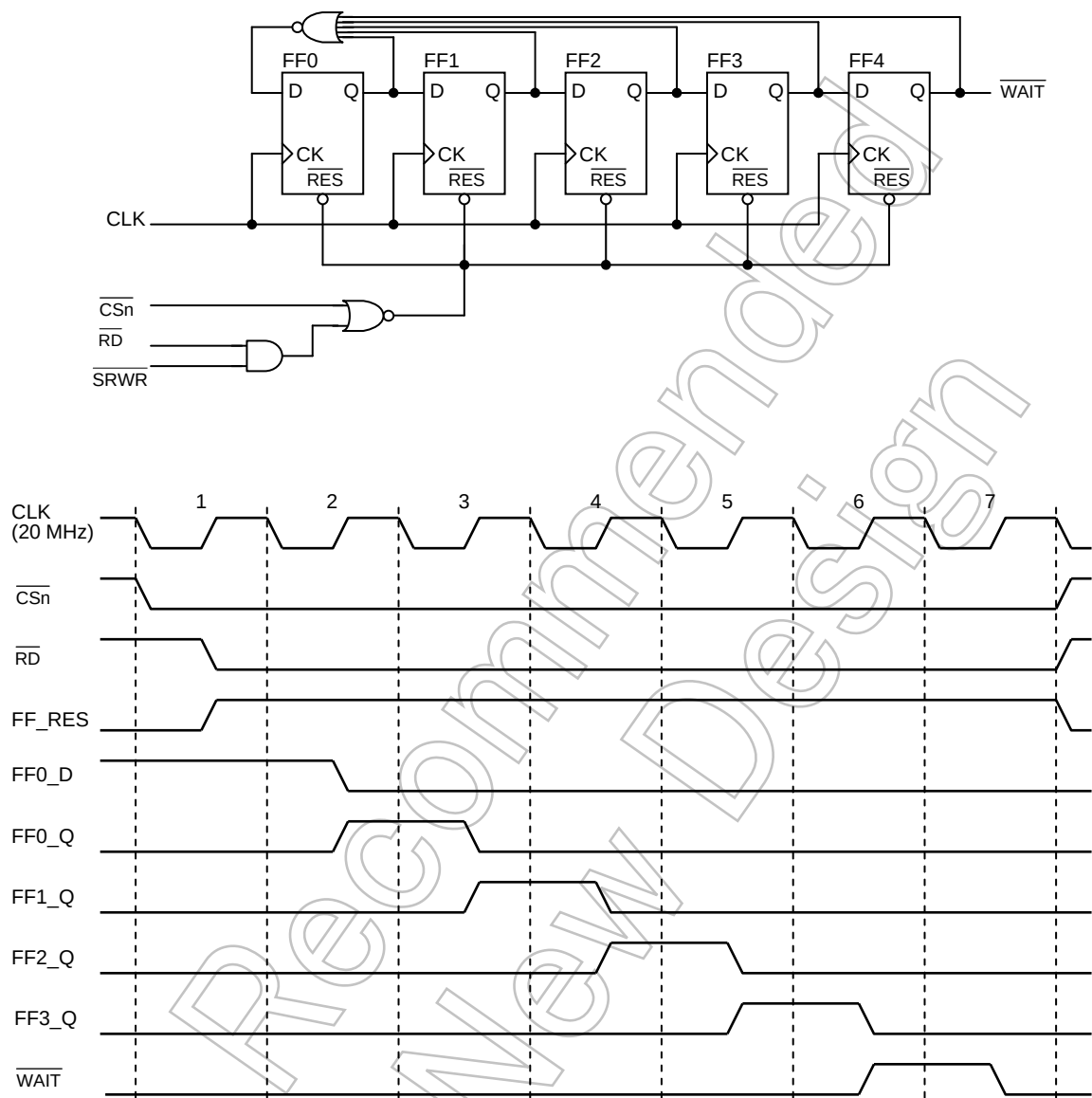
- 外部リード/ライトバスサイクル (0 ウェイト @ $\overline{\text{WAIT}}$ 端子入力モード)



- 外部リード/ライトバスサイクル (n ウェイト @ $\overline{\text{WAIT}}$ 端子入力モード)



- $\overline{\text{WAIT}}$ 入力回路例 (5 ウェイトの場合)



3.6.4 ROMコントロール (ページモード)

ここでは、ROM のページモードアクセスを行う場合の動作と、レジスタの設定方法について説明します。ROM ページモードの設定は、ページ ROM コントロールレジスタで行います。

(1) 動作とレジスタの設定方法

TMP92CY23/CD23A は、ページモードの ROM アクセスをサポートしています。ただし、ページモードの ROM アクセスを指定できるのは、ブロックアドレス空間 2 のみです。

ROM のページモードの設定は、ページ ROM コントロールレジスタ (PMEMCR) で行います。

PMEMCR レジスタの OPGE ビットを “1” に設定すると、ブロックアドレス空間 2 のメモリアクセスは、ROM ページモードアクセスになります。

PMEMCR レジスタの OPWR1, OPWR0 ビットで、読み出しサイクル数の設定を行います。

OPWR1/ OPWR0 ビット (PMEMCR レジスタ)

OPWR1	OPWR0	ページのサイクル数
0	0	1 ステート(n-1-1-1 モード) ($n \geq 2$)
0	1	2 ステート(n-2-2-2 モード) ($n \geq 3$)
1	0	3 ステート(n-3-3-3 モード) ($n \geq 4$)
1	1	(Reserved)

注)ウェイト数 n は、ブロックアドレス空間 2 のコントロールレジスタ (B2CSL) で設定してください。

PMEMCR レジスタの PR1, PR0 ビットには、CPU 側から見た ROM のページサイズ (バイト数) を設定します。設定されたページの境界までデータが読み出されると、メモリコントローラは一連のページリード動作を終了させ、次のページの先頭データの読み出しはノーマルサイクルで行い、その次より再びページリードを続けます。

PR1/PR0 ビット (PMEMCR レジスタ)

PR1	PR0	ROM のページサイズ
0	0	64 バイト
0	1	32 バイト
1	0	16 バイト(初期設定)
1	1	8 バイト

(2) 信号波形

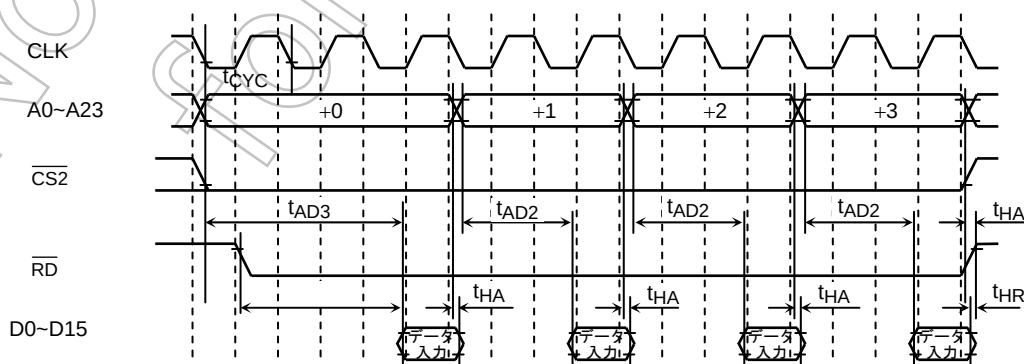


図 3.6.1 タイミングパルス図 (8 ビット設定例)

3.6.5 レジスタ一覧

メモリを制御するレジスタと、設定についてまとめます。各レジスタのアドレスについては、5.「特殊機能レジスタ一覧表」の章を参考にしてください。

(1) コントロールレジスタ

コントロールレジスタは、BnCSL と BnCSH の組になっています。BnCSL は、ブロック空間によらず同様の構成です。BnCSH は、ブロックアドレス空間 2 に対応する B2CSH のみ、構成が異なります。

BnCSL

	7	6	5	4	3	2	1	0
Bit symbol		BnWW2	BnWW1	BnWW0		BnWR2	BnWR1	BnWR0
Read/Write		W				W		
リセット後		0	1	0		0	1	0

<BnWW2:0>書き込みウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス

101 = 4 ステート (2 ウェイト) アクセス

111 = 6 ステート (4 ウェイト) アクセス

その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス

110 = 5 ステート (3 ウェイト) アクセス

011 = WAIT 端子入力モード

<BnWR2:0>読み出しウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス

101 = 4 ステート (2 ウェイト) アクセス

111 = 6 ステート (4 ウェイト) アクセス

その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス

110 = 5 ステート (3 ウェイト) アクセス

011 = WAIT 端子入力モード

B2CSH

	7	6	5	4	3	2	1	0
Bit symbol	B2E	B2M	—	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
Read/Write	W							
リセット後	1	0	0	0	0	0	不定	不定

<B2E>イネーブルビット

0 = チップセレクト信号を出力しない。

1 = チップセレクト信号を出力する。(デフォルト)

注) リセット解除後は、B2CSH レジスタのイネーブルビット B2E のみ有効 ("1") になっています。

<B2M>ブロックアドレス空間指定

0 = CS2 のブロックアドレス空間を 000000H~FFFFFFH にする。(デフォルト)

1 = CS2 のブロックアドレス空間をプログラマブルに設定する。

<B2REC>データ出力リカバリ時間用のダミーサイクルの設定

0 = ダミーサイクルを入れない。(デフォルト)

1 = ダミーサイクルを入れる。

<B2OM1:0> 接続メモリの指定

00 = SRAM または ROM。(デフォルト)

その他 = (Reserved)

<B2BUS1:0>データバス幅の設定

00 = 8 ビット

01 = 16 ビット

10 = (Reserved)

11 = (Reserved)

注) <B2BUS>へは、リセット解除後不定となりますので、ブロックアドレス空間 2 をアクセスする前に必ず設定してください。

BnCSH (n=0, 1, 3)

	7	6	5	4	3	2	1	0
Bit symbol	BnE			BnREC	BnOM1	BnOM0	BnBUS1	BnBUS0
Read/Write	W			W				
リセット後	0			0	0	0	0	0

<BnE>イネーブルビット

0 = チップセレクト信号を出力しない。(デフォルト)

1 = チップセレクト信号を出力する。

注) リセット解除後は、B2CSH レジスタのイネーブルビット B2E のみ有効 ("1") になっています。

<BnREC>データ出力リカバリー時間用のダミーサイクルの設定

0 = ダミーサイクルを入れない。(デフォルト)

1 = ダミーサイクルを入れる。

<BnOM1:0> 接続メモリの指定

00 = SRAM または ROM。(デフォルト)

01 = (Reserved)

10 = (Reserved)

11 = (Reserved)

<BnBUS1:0>データバス幅の設定

00 = 8 ビット (デフォルト)

01 = 16 ビット

10 = (Reserved)

11 = (Reserved)

BEXCSL

	7	6	5	4	3	2	1	0
Bit symbol		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
Read/Write		W				W		
リセット後		0	1	0		0	1	0

<BEXWW2:0>書き込みウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス

101 = 4 ステート (2 ウェイト) アクセス

111 = 6 ステート (4 ウェイト) アクセス

その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス

110 = 5 ステート (3 ウェイト) アクセス

011 = WAIT 端子入力モード

<BEXWR2:0>読み出しウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス

101 = 4 ステート (2 ウェイト) アクセス

111 = 6 ステート (4 ウェイト) アクセス

その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス

110 = 5 ステート (3 ウェイト) アクセス

011 = WAIT 端子入力モード

BEXCSH

	7	6	5	4	3	2	1	0
Bit symbol				BEXREC	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
Read/Write				W				
リセット後				0	0	0	0	0

<BEXOM1:0> 接続メモリの指定

00 = SRAM または ROM。(デフォルト)

01 = (Reserved)

10 = (Reserved)

11 = (Reserved)

<BEXBUS1:0>データバス幅の設定

00 = 8 ビット (デフォルト)

01 = 16 ビット

10 = (Reserved)

11 = (Reserved)

(2) ブロックアドレス空間指定レジスタ

ブロックアドレス空間のスタートアドレスと範囲の指定は、メモリスタートアドレス (MSAR_n) と、メモリアドレスマスクレジスタ (MAMR_n) の 2 つのレジスタで行います。スタートアドレスを指定するメモリスタートアドレスレジスタの設定は、ブロックアドレス空間によらず同様です。

メモリアドレスマスクレジスタは、ブロックアドレス空間により設定できるビットが異なります。

MSAR_n (n=0~3)

	7	6	5	4	3	2	1	0
Bit symbol	MnS23	MnS22	MnS21	MnS20	MnS19	MnS18	MnS17	MnS16
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

<MnS23:16>スタートアドレスの設定

各ブロックアドレス空間のスタートアドレスを設定します。各ビットはアドレス A23~A16 に対応します。

MAMR0

	7	6	5	4	3	2	1	0
Bit symbol	MOV20	MOV19	MOV18	MOV17	MOV16	MOV15	MOV14~ MOV9	MOV8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

<MOV20:8>マスクアドレスの指定

アドレス比較の可/否を設定します。MOV20~MOV8 はそれぞれアドレス A20~A8 に対応します。MOV14~MOV9 のビットは、1 ビットでアドレス A14~A9 に対応します。“0” をセットすると、アドレスバスの値とスタートアドレスとの比較をし、“1” をセットすると比較を行いません。

MAMR1

	7	6	5	4	3	2	1	0
Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15~ M1V9	M1V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

<M1V21:8>マスクアドレスの指定

アドレス比較の可/否を設定します。M1V21~M1V8 はそれぞれアドレス A21~A8 に対応します。M1V15~M1V9 のビットは、1 ビットでアドレス A15~A9 に対応します。“0” をセットすると、アドレスバスの値とスタートアドレスとの比較をし、“1” をセットすると比較を行いません。

MAMR_n (n=2~3)

	7	6	5	4	3	2	1	0
Bit symbol	MnV22	MnV21	MnV20	MnV19	MnV18	MnV17	MnV16	MnV15
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

<MnV22:15>

アドレス比較の可/否を設定します。MnV22~MnV15 はそれぞれアドレス A22~A15 に対応します。“0” をセットすると、アドレスバスの値とスタートアドレスとの比較をし、“1” をセットすると比較を行いません。

リセット後、MSAR0~MSAR3、および MAMR0~MAMR3 は“FFH”に設定されます。B0CSH<B0E>、B1CSH<B1E>、B3CSH<B3E> は“0”にリセットされます。これにより、CS0、CS1 および CS3 エリアをディセーブルにします。B2CSH<B2M>を“0”に、B2CSH<B2E>を“1”に設定した場合、CS2 は TMP92CY23/CD23A では 000000H~FFFFFFH にイネーブルされます。また、BEXCSH/L で指定されるウェイト数およびバス幅は外部指定 CS0~CS3 でエリアのアドレスをアクセスするために使用されます。

(3) ページ ROM コントロールレジスタ (PMEMCR)

ページ ROM アクセスについての設定を行うレジスタです。ROM のページアクセスが可能なのは、ブロックアドレス空間 2 のみです。

PMEMCR

	7	6	5	4	3	2	1	0
Bit symbol				OPGE	OPWR1	OPWR0	PR1	PR0
Read/Write				R/W				
リセット後				0	0	0	1	0

<OPGE>イネーブルビット

- 0 = ROM ページモードアクセスを行わない。(デフォルト)
- 1 = ROM ページモードアクセスを行う。

<OPWR1:0>ウェイト数の指定

- 00 = 1 ステート (n-1-1-1 モード) ($n \geq 2$) (デフォルト)
- 01 = 2 ステート (n-2-2-2 モード) ($n \geq 3$)
- 10 = 3 ステート (n-3-3-3 モード) ($n \geq 4$)
- 11 = (Reserved)

注) ウェイト数 n は、ブロックアドレス空間 2 のコントロールレジスタ (B2CSL) で設定してください。

<PR1:0>ROM のページサイズ

- 00 = 64 バイト
- 01 = 32 バイト
- 10 = 16 バイト (デフォルト)
- 11 = 8 バイト

表 3.6.1 レジスター一覧

		7	6	5	4	3	2	1	0
B0CSL (0140H)	Bit symbol		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B0CSH (0141H)	Bit symbol	B0E	–	–	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
	Read/Write		W						
	リセット後	0	0 (注 1)	0 (注 1)	0	0	0	0	0
MAMR0 (0142H)	Bit symbol	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-V9	M0V8
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR0 (0143H)	Bit symbol	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
B1CSL (0144H)	Bit symbol		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B1CSH (0145H)	Bit symbol	B1E	–	–	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
	Read/Write		W						
	リセット後	0	0 (注 1)	0 (注 1)	0	0	0	0	0
MAMR1 (0146H)	Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-V9	M1V8
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR1 (0147H)	Bit symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
B2CSL (0148H)	Bit symbol		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B2CSH (0149H)	Bit symbol	B2E	B2M	–	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
	Read/Write		W						
	リセット後	1	0	0 (注 1)	0	0	0	不定(注 3)	不定(注 3)
MAMR2 (014AH)	Bit symbol	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR2 (014BH)	Bit symbol	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
B3CSL (014CH)	Bit symbol		B3WW2	B3WW1	B3WW0		B3WR2	B3WR1	B3WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B3CSH (014DH)	Bit symbol	B3E	–	–	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
	Read/Write		W						
	リセット後	0	0 (注 1)	0 (注 1)	0	0	0	0	0
MAMR3 (014EH)	Bit symbol	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR3 (014FH)	Bit symbol	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1

		7	6	5	4	3	2	1	0
BEXCSH (0159H)	Bit symbol				BEXREC	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
	Read/Write				W				
	リセット後				0	0	0	0	0
BEXCSL (0158H)	Bit symbol		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
PMEMCR (0166H)	Bit symbol				OPGE	OPWR1	OPWR0	PR1	PR0
	Read/Write				R/W				
	リセット後				0	0	0	1	0

注 1) “0” をライトしてください。

注 2) BnCSL および BnCSH レジスタはリードモディファイライトできません。(n=0~3, EX)

注 3) リセット解除後は不定となりますので、ブロックアドレス空間 2 をアクセスする前に必ず設定してください。

3.6.6 注意

(1) $\overline{CS}$ と $\overline{RD}$ の間のタイミングの注意点

リード信号 $\overline{RD}$ (アウトプットイネーブル信号) の寄生容量がチップセレクト信号 $\overline{CS}$ の容量より大きい場合のリード信号の遅れにより、意図しないリードサイクルが発生する場合があります。図 3.6.2 の (a) のような意図しないリードサイクルによって、不具合が発生する恐れがあります。

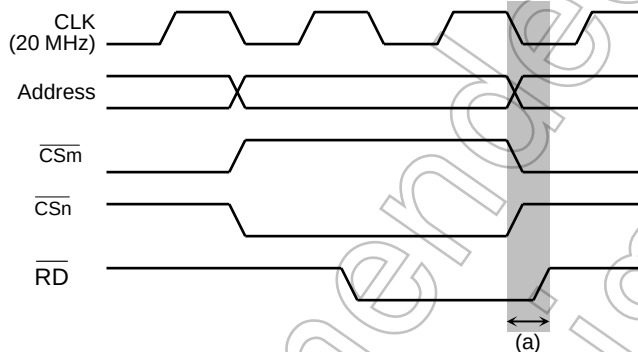


図 3.6.2 リード信号遅延時のリードサイクル

例: JEDEC標準型コマンドを採用しているFlash E²PROMを外部に接続する場合、トグルビットを正しく読み出しできない場合があります。図 3.6.3 のようにFlash E²PROM アクセスの前のサイクルのリード信号立ち上がりが遅れたとき、(b) のように意図しないリードサイクルが生じます。

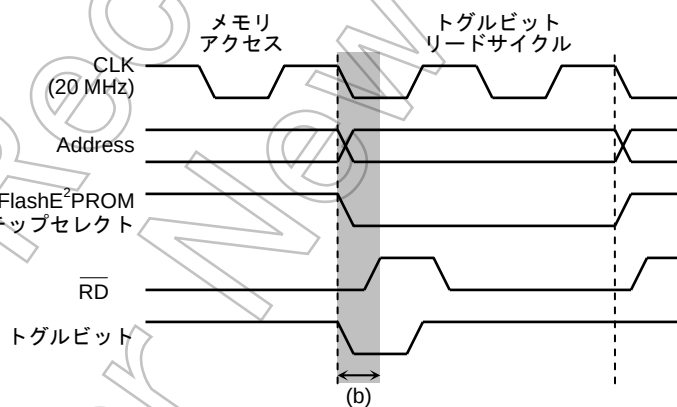


図 3.6.3 FlashE²PROM トグルビットリードサイクル

この意図しないリードサイクルでトグルビットが反転してしまう場合、TMP92CY23/CD23A はいつも同じ値のトグルビットを読み出すことになり、正しくトグルビットをリードできません。

このような現象が起こる場合があるため、データポーリングでの制御を推奨します。

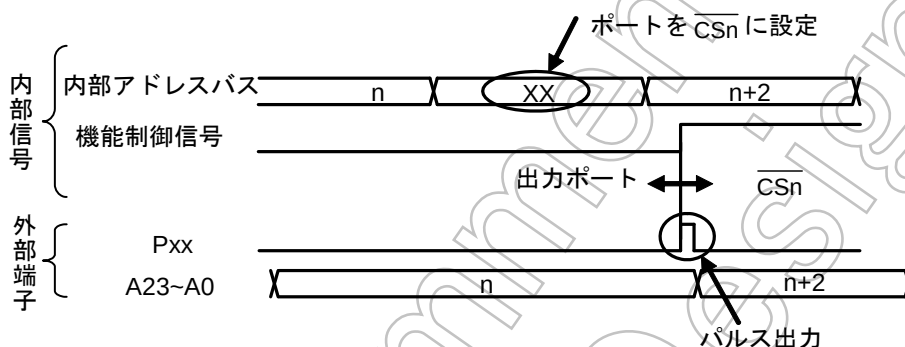
(2) $\overline{\text{CSn}}$ 端子の機能切り替え時の注意

チップセレクト信号出力は汎用ポート機能との兼用端子の場合があります。この場合は、リセット動作により、出力ラッチレジスタおよび機能制御レジスタが初期化され、対象端子がポート出力("1"または"0")に初期化されます。

- 機能切り替え

機能制御レジスタ(PnFC レジスタ)を設定する事により、対象端子をポートからチップセレクト信号出力に切り替えますが、切り替わりのタイミングで数 ns の短いパルスが出力される場合があります。通常のメモリを使用する場合、特に問題にはなりません、特殊なメモリを使用する場合、問題となることがあります。

※ XX は機能レジスタアドレス(出力ポートが"0"に初期化される場合)

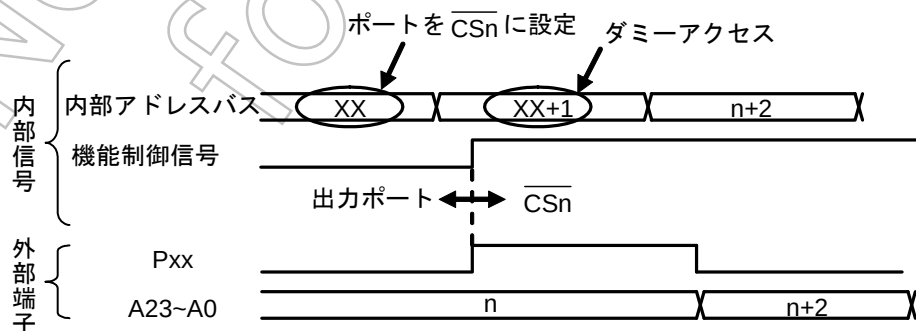


- ソフトウェアによる対策

この現象を回避するための S/W での対応策を説明します。

CS 信号はそのアクセスエリアのアドレスをデコードして生成されるため、不要なパルスは $\overline{\text{CSn}}$ 機能に設定した直後の、対象 CS エリアへのアクセスによって出力されます。そこで、ポートを CS 機能に設定した直後も内部エリアにアクセスすれば不要なパルスは出力しません。

1. NMI 機能の使用禁止
2. 機能切り替え中の割り込み禁止 (DI 命令)
3. 連続した内部アクセスをするために、ダミー命令を追加
4. 機能切り替えレジスタへのアクセスを 16 ビット命令で対応する (LDW 命令)



3.7 8ビットタイマ

TMP92CY23/CD23A は 8 ビットタイマを 6 チャンネル(TMRA0~5)内蔵しています。

TMRA は 2 チャンネルを 1 モジュールとし、3 モジュールで構成され、それぞれ TMRA01、TMRA23、TMRA45 と呼びます。各モジュールは次の 4 種類のモードを持っています。

- 8 ビットインタバルタイマモード
- 16 ビットインタバルタイマモード
- 8 ビットプログラマブル矩形波 (PPG: 可変周期、可変デューティ) 出力モード
- 8 ビットパルス幅変調 (PWM: 固定周期、可変デューティ) 出力モード

図 3.7.1~図 3.7.3にTMRA01、TMRA23、TMRA45 のブロック図を示します。

各チャンネルは 8 ビットアップカウンタ、8 ビットコンパレータおよび 8 ビットのタイマレジスタで構成され、2 チャンネルで 1 つのプリスケラ、タイマフリップフロップで構成されています。

タイマの動作モードとタイマフリップフロップは、5 バイトのレジスタ (SFR) で制御されます。

3 つの各モジュール (TMRA01、TMRA23、TMRA45) はそれぞれ独立に動作します。いずれのモジュールも 表 3.7.1に示される仕様相違点を除いて同一の動作をしますので、動作説明は TMRA01 の場合についてのみ説明します。

表 3.7.1 モジュール別仕様相違点

モジュール		TMRA01	TMRA23	TMRA45
仕様				
外部端子	外部クロック入力端子	TA0IN (PC0 と兼用)	なし	なし
	タイマフリップフロップ 出力端子	TA1OUT (P80 と兼用)	TA3OUT (P81 と兼用)	TA5OUT (P83 と兼用)
SFR 名 (アドレス)	タイマ RUN レジスタ	TA01RUN (1100H)	TA23RUN (1108H)	TA45RUN (1110H)
	タイマレジスタ	TA0REG (1102H) TA1REG (1103H)	TA2REG (110AH) TA3REG (110BH)	TA4REG (1112H) TA5REG (1113H)
	タイマモードレジスタ	TA01MOD (1104H)	TA23MOD (110CH)	TA45MOD (1114H)
	タイマフリップフロップ コントロールレジスタ	TA1FFCR (1105H)	TA3FFCR (110DH)	TA5FFCR (1115H)

3.7.1 モジュール別ブロック図

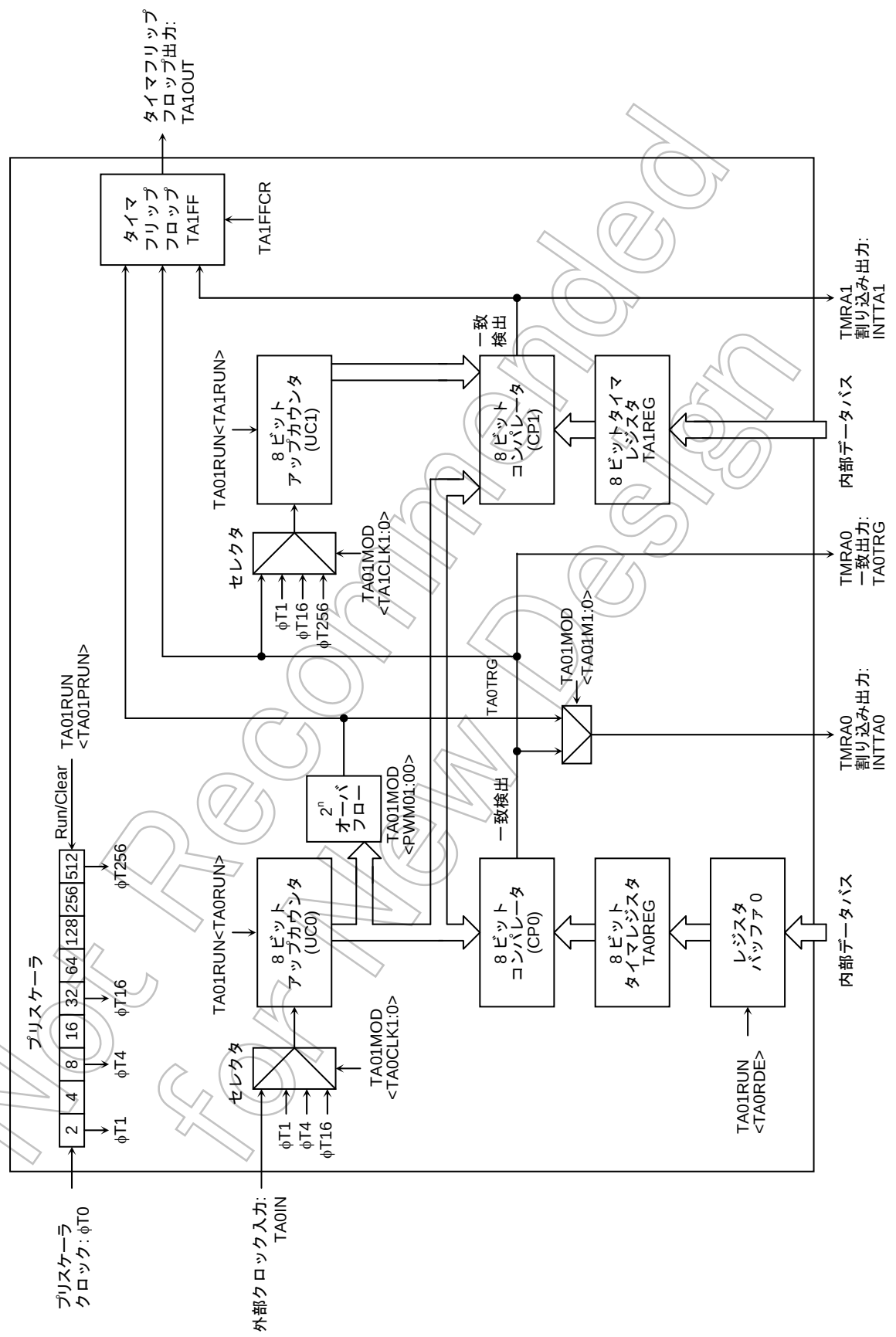


図 3.7.1 TMRA01 ブロック図

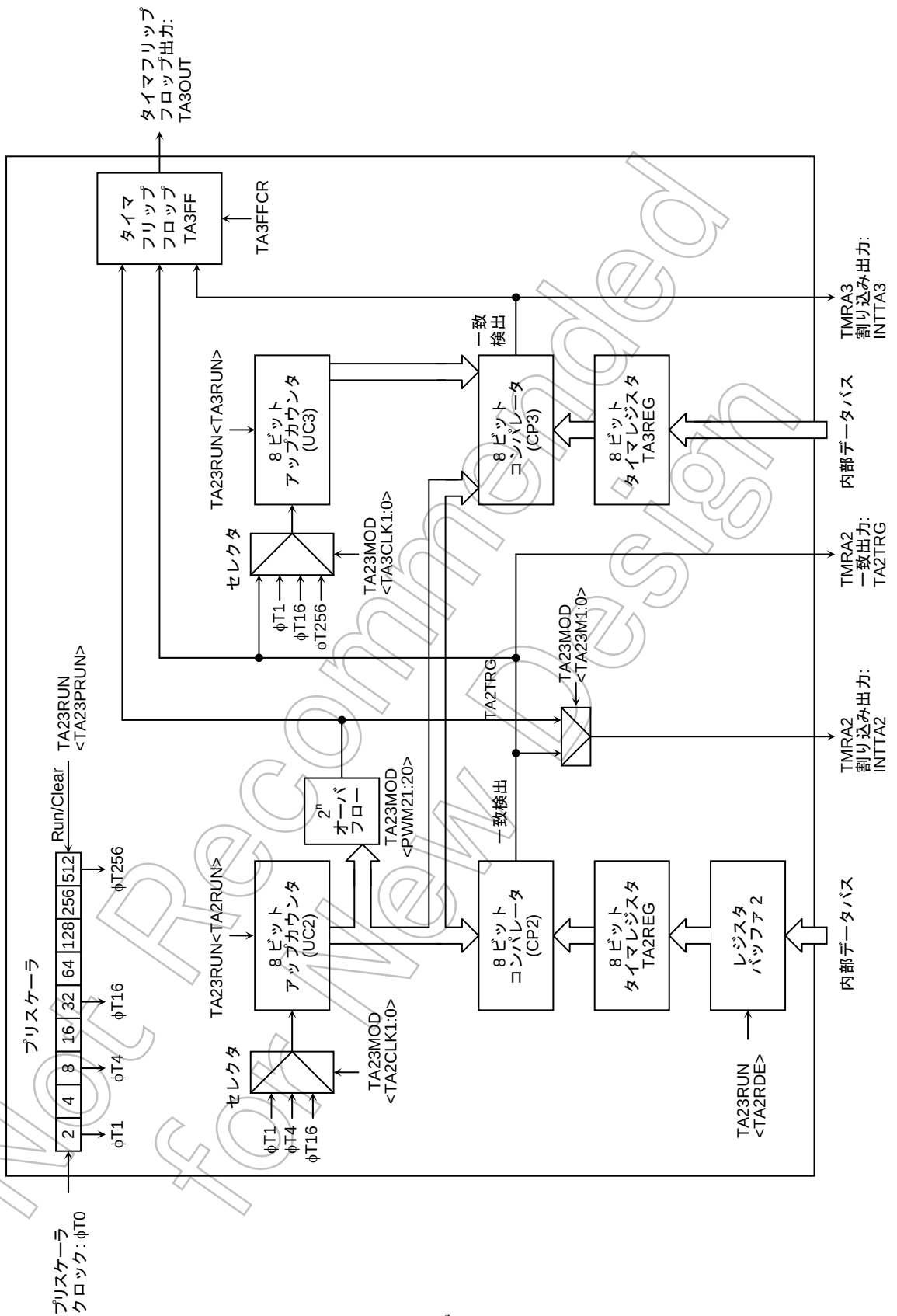


図 3.7.2 TMRA23 ブロック図

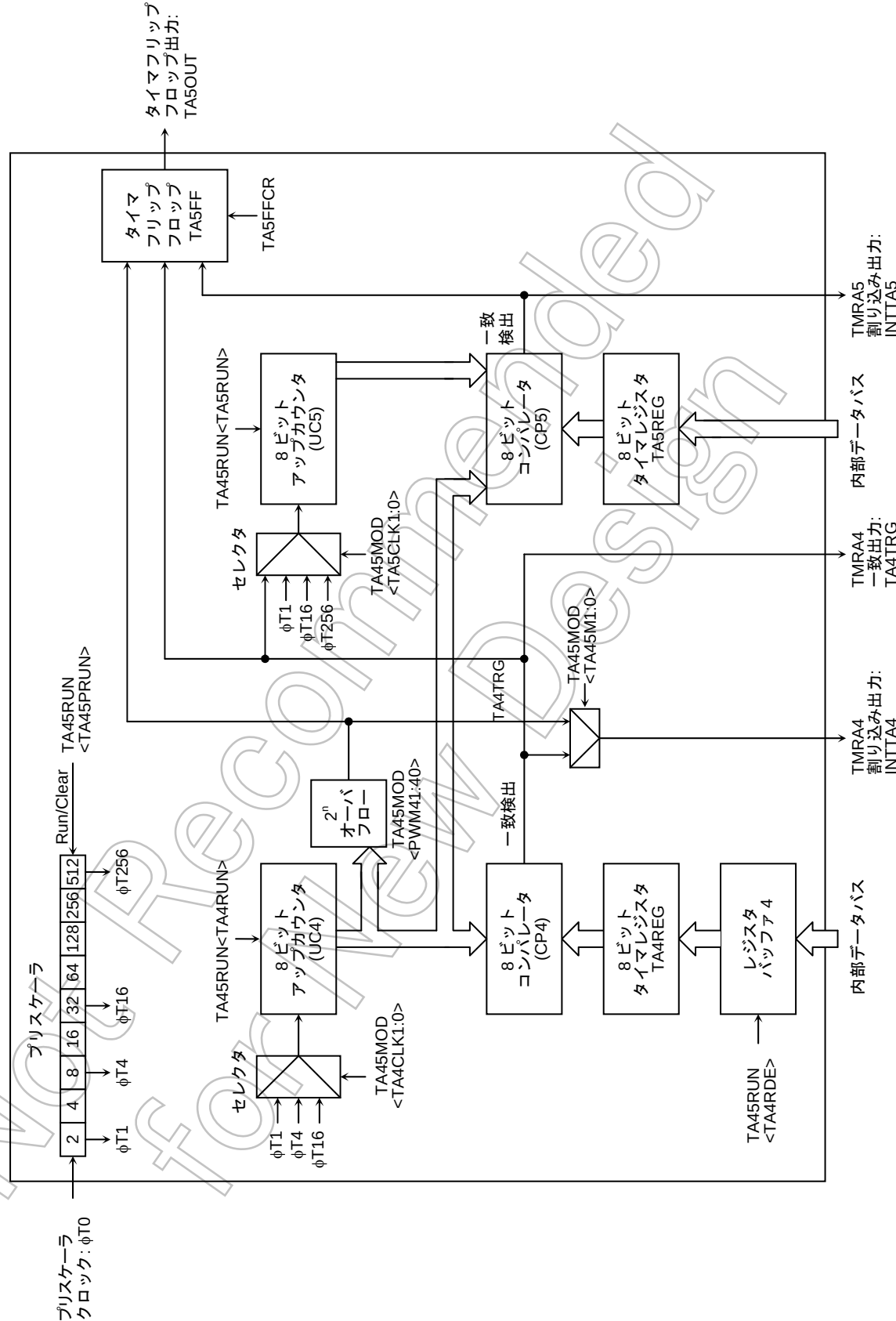


図 3.7.3 TMRA45 ブロック図

3.7.2 回路別動作説明

(1) プリスケアラ

TMRA01 のクロックソースを得るため 9 ビットプリスケアラがあります。プリスケアラの入力クロック $\phi T0$ は、 f_{FPH} を 4 分周したクロックです。

プリスケアラはTA01RUN<TA01PRUN>により動作/停止の設定をします。“1”をライトするとカウント開始し、“0”をライトするとクリアされ停止します。プリスケアラ出力クロックの分解能を表 3.7.2 に示します。

表 3.7.2 プリスケアラ出力クロック分解能

クロックギア 選択 SYSCR1 <GEAR2:0>	システム クロック選択 SYSCR1 <SYSCK>	—	タイマカウンタ入力クロック TMRA 部プリスケーラ TAxMOD<TAxCLK1:0>			
			φT1(1/2)	φT4(1/8)	φT16(1/32)	φT256(1/512)
—	1 (fs)	1/4	fs/8	fs/32	fs/128	fs/2048
000 (1/1)	0 (fc)		fc/8	fc/32	fc/128	fc/2048
001 (1/2)			fc/16	fc/64	fc/256	fc/4096
010 (1/4)			fc/32	fc/128	fc/512	fc/8192
011 (1/8)			fc/64	fc/256	fc/1024	fc/16384
100 (1/16)			fc/128	fc/512	fc/2048	fc/32768

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ (TA01MOD) で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA01IN 端子からの外部クロックと、3 種類のプリスケアラ出力クロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ から、TA01MOD<TA0CLK1:0>の設定値に応じて選択されます。

UC1 の入力クロックは、動作モードによって異なります。16 ビットタイマモードに設定した場合は、アップカウンタ UC0 のオーバーフロー出力が入力クロックとなり、16 ビットタイマモード以外の場合は、TA01MOD <TA1CLK1:0> の設定によりプリスケアラ出力クロック $\phi T1$ 、 $\phi T16$ 、 $\phi T256$ と、TMRA0 のコンパレータ出力 (一致検出信号) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>、TA01RUN<TA1RUN>によってカウントの開始および停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止します。

(3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタへの設定値と、アップカウンタの値が一致すると、コンパレータの一致検出信号が出力されます。タイマレジスタに 00H を設定した場合は、アップカウンタのオーバーフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。

ダブルバッファの制御は、TA01RUN<TA0RDE>の設定により制御されます。<TA0RDE>="0" のときディセーブル、<TA0RDE>="1" のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ 0 へのデータ転送タイミングは、PWM モードの 2ⁿ オーバーフロー、または、PPG モードの周期コンペアー一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TA0RDE>="0" に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときには、タイマレジスタ 0 に設定値を書き込み、<TA0RDE>="1" に設定した後、レジスタバッファ 0 に次の設定値を書き込んでください。

図 3.7.4にTA0REGの構成を示します。

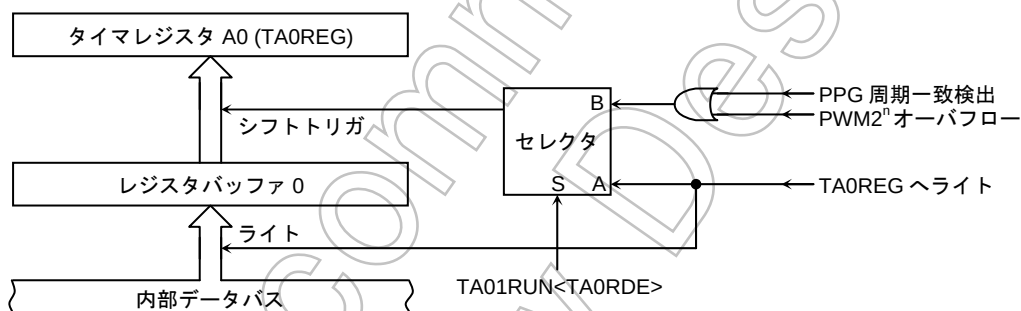


図 3.7.4 TMRA0 レジスタ(TA0REG) の構成

注) TA0REGとレジスタバッファ0は同じアドレスに割り付けられています。<TA0RDE>="0" のときは、レジスタバッファ0とTA0REGの両方に同じ値が書き込まれ、<TA0RDE>="1" のときは、レジスタバッファ0のみに書き込まれます。

各タイマレジスタのアドレスは以下のようになります。

TA0REG: 001102H	TA1REG: 001103H
TA2REG: 00110AH	TA3REG: 00110BH
TA4REG: 001112H	TA5REG: 001113H

これらのレジスタはライト専用のレジスタで、リードはできません。

(4) コンパレータ (CP0, CP1)

アップカウンタの値と、タイマレジスタの値とを比較し、一致するとアップカウンタを0にクリアするとともに、割り込み (INTTA0, INTTA1) を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ (TA1FF) は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、タイマフリップフロップコントロールレジスタ TA1FFCR <TA1FFIE> により設定できます。

リセットにより、TA1FF は“0”になります。TA1FFCR <TA1FFC1:0> に“01”、または“10”を書き込むことで、TA1FF の値を“1”または、“0”に設定することができます。また、このビットに“00”を書き込むことにより、TA1FF の値を反転することができます (ソフト反転)。

TA1FF の値は、タイマフリップフロップ出力端子 TA1OUT (P80 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 8 関連レジスタ P8FC、および P8CR により、設定を行う必要があります。

3.7.3 SFR説明

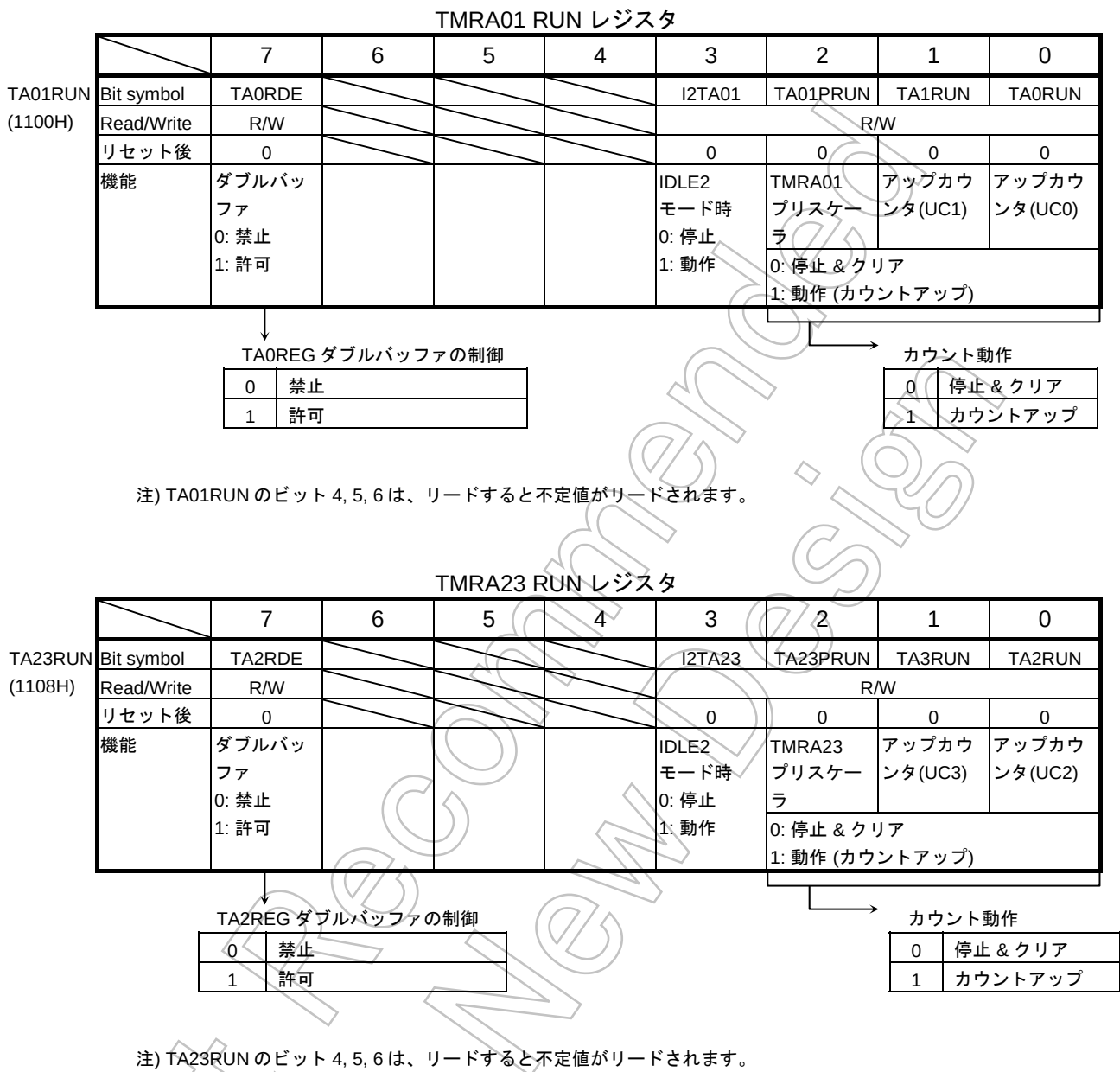


図 3.7.5 TMRA レジスタ

TMRA45 RUN レジスタ								
TA45RUN (1110H)	Bit symbol	7	6	5	4	3	2	1 0
	Read/Write	TA4RDE				I2TA45	TA45PRUN	TA5RUN TA4RUN
	リセット後	0				0	0	0 0
	機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード時 0: 停止 1: 動作	TMRA45 プリスケラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカウンタ(UC5) アップカウンタ(UC4)
		↓ TA4REG ダブルバッファの制御			↓ カウント動作			
		0	禁止		0	停止 & クリア		
		1	許可		1	カウントアップ		

注) TA45RUN のビット 4, 5, 6 は、リードすると不定値がリードされます。

図 3.7.6 TMRA レジスタ

TMRA01 モードレジスタ

TA01MOD
(1104H)

	7	6	5	4	3	2	1	0
Bit symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA1 ソースクロック 00: TA0TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA0 ソースクロック 00: TA0IN 端子入力 (注) 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA0 の入力クロック

<TA0CLK1:0>	00	TA0IN 端子入力
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA1 の入力クロック

		TA01MOD<TA01M1:0>=01	TA01MOD<TA01M1:0>=01
<TA1CLK1:0>	00	TMRA0 の一致出力	TMRA0 の オーバーフロー出力 (16 ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8 ビット PWM モード時の周期選択

<PWM01:00>	00	Reserved
	01	$2^6 \times$ ソース クロック
	10	$2^7 \times$ ソース クロック
	11	$2^8 \times$ ソース クロック

TMRA01 の動作モード選択

<TA01MA1:0>	00	8 ビットタイマ $\times 2ch$
	01	16 ビットタイマ
	10	8 ビットプログラム矩形波出力
	11	8 ビット PWM (TMRA0), 8 ビットタイマ (TMRA1)

注) TA0IN 端子を設定するときは、まずポート C0 を設定してから TA01MOD をセットしてください。

図 3.7.7 TMRA レジスタ

TMRA23 モードレジスタ

TA23MOD
(110CH)

	7	6	5	4	3	2	1	0
Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA3 ソースクロック 00: TA2TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA2 ソースクロック 00: Reserved 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA2 の入カクロック

<TA2CLK1:0>	00	Reserved
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA3 の入カクロック

		TA23MOD<TA23M1:0>≠01	TA23MOD<TA23M1:0>=01
<TA3CLK1:0>	00	TMRA2 の一致出力	TMRA2 の オーバーフロー出力 (16 ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8 ビット PWM モード時の周期選択

<PWM21:20>	00	Reserved
	01	$2^6 \times$ ソース クロック
	10	$2^7 \times$ ソース クロック
	11	$2^8 \times$ ソース クロック

TMRA23 の動作モード選択

<TA23M1:0>	00	8 ビットタイマ $\times$ 2ch
	01	16 ビットタイマ
	10	8 ビットプログラム矩形波出力
	11	8 ビット PWM (TMRA2), 8 ビットタイマ (TMRA3)

図 3.7.8 TMRA レジスタ

TMRA45 モードレジスタ

TA45MOD (1114H)		7	6	5	4	3	2	1	0
	Bit symbol	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	動作モード 00: 8 ビットタイマ 01: 16 ビットタイマ 10: 8 ビット PPG 11: 8 ビット PWM		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA5 ソースクロック 00: TA4TRG 01: φT1 10: φT16 11: φT256		TMRA4 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	

TMRA4 の入力クロック

<TA4CLK1:0>	00	Reserved
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA5 の入力クロック

		TA45MOD<TA45M1:0>≠01	TA45MOD<TA45M1:0>=01
<TA5CLK1:0>	00	TMRA4 の一致出力	TMRA4 の オーバーフロー出力 (16 ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8 ビット PWM モード時の周期選択

<PWM41:40>	00	Reserved
	01	$2^6 \times$ ソース クロック
	10	$2^7 \times$ ソース クロック
	11	$2^8 \times$ ソース クロック

TMRA45 の動作モード選択

<TA45M1:0>	00	8 ビットタイマ×2ch
	01	16 ビットタイマ
	10	8 ビットプログラム矩形波出力
	11	8 ビット PWM (TMRA4), 8 ビットタイマ (TMRA5)

図 3.7.9 TMRA レジスタ

TMRA1 フリップフロップコントロールレジスタ

TA1FFCR
(1105H)
リードモ
ディファ
イライト
はできま
せん。

	7	6	5	4	3	2	1	0
Bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
Read/Write					R/W		R/W	
リセット後					1	1	0	0
機能					00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	
								TA1FF 反転信号 セレクト 0: TMRA0 1: TMRA1

タイマフリップフロップ 1 (TA1FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

TA1FFIS	0	TMRA0 による反転
	1	TMRA1 による反転

TA1FF の反転制御

TA1FFIE	0	反転禁止
	1	反転許可

TA1FF の制御

<TA1FFC1:0>	00	TA1FF の値を反転 (ソフト反転)
	01	TA1FF を "1" にセット
	10	TA1FF を "0" にクリア
	11	Don't care

注) TA1FFCR のビット 4, 5, 6, 7 は、リードすると不定値がリードされます。

図 3.7.10 TMRA レジスタ

TMRA3 フリップフロップコントロールレジスタ

TA3FFCR
(110DH)
リードモ
ディファ
イライト
はできま
せん。

	7	6	5	4	3	2	1	0
Bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
Read/Write					R/W		R/W	
リセット後					1	1	0	0
機能					00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	
							TA3FF 反転信号 セレクト 0: TMRA2 1: TMRA3	

タイマフリップフロップ 3 (TA3FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

TA3FFIS	0	TMRA2 による反転
	1	TMRA3 による反転

TA3FF の反転制御

TA3FFIE	0	反転禁止
	1	反転許可

TA3FF の制御

<TA3FFC1:0>	00	TA3FF の値を反転 (ソフト反転)
	01	TA3FF を "1" にセット
	10	TA3FF を "0" にクリア
	11	Don't care

注) TA3FFCR のビット 4, 5, 6, 7 は、リードすると不定値がリードされます。

図 3.7.11 TMRA レジスタ

TMRA5 フリップフロップコントロールレジスタ

TA5FFCR
(1115H)
リードモ
ディファ
イライト
はできま
せん。

	7	6	5	4	3	2	1	0
Bit symbol					TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS
Read/Write					R/W		R/W	
リセット後					1	1	0	0
機能					00: TA5FF 反転 01: TA5FF セット 10: TA5FF クリア 11: Don't care		TA5FF 反転制御 0: 禁止 1: 許可	
								TA5FF 反転信号 セレクト 0: TMRA4 1: TMRA5

タイマフリップフロップ 5 (TA5FF) の反転信号セレクト
(8 ビットタイマモード以外は Don't care)

TA5FFIS	0	TMRA4 による反転
	1	TMRA5 による反転

TA5FF の反転制御

TA5FFIE	0	反転禁止
	1	反転許可

TA5FF の制御

<TA5FFC1:0>	00	TA5FF の値を反転 (ソフト反転)
	01	TA5FF を "1" にセット
	10	TA5FF を "0" にクリア
	11	Don't care

注) TA5FFCR のビット 4, 5, 6, 7 は、リードすると不定値がリードされます。

図 3.7.12 TMRA レジスタ

		TMRA レジスタ							
		7	6	5	4	3	2	1	0
TA0REG (1102H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TA1REG (1103H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TA2REG (110AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TA3REG (110BH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TA4REG (1112H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TA5REG (1113H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							

注) リードモディファイライトはできません。

図 3.7.13 TMRA 用レジスタ

3.7.4 モード別動作説明

(1) 8ビットタイマモード

TMRA0、TMRA1 はそれぞれ独立に 8 ビットインタバルタイマとして使用できます。カウントデータの設定を行う場合、TMRA0、TMRA1 を停止させた状態で行ってください。

1. 一定周期の割り込みを発生させる場合 (TMRA1 使用)

TMRA1 を用いて、一定周期ごとに TMRA1 割り込み (INTTA1) を発生させる場合、まず TMRA1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD、TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、TMRA1 をカウントさせます。

例) $f_C = 40 \text{ MHz}$ で $40 \mu\text{s}$ ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

		*クロック条件 [クロックギア: 1/1(f_C)]							
		MSB				LSB			
		7	6	5	4	3	2	1	0
TA01RUN	←	—	X	X	X	—	—	0	—
TA01MOD	←	0	0	X	X	0	1	—	—
TA1REG	←	1	1	0	0	1	0	0	0
INTETA01	←	X	1	0	1	—	—	—	—
TA01RUN	←	—	X	X	X	—	1	1	—

X: Don't care, —: No change

入力クロックの選択は表 3.7.3 を参考にしてください。

表 3.7.3 8 ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@ $f_C = 40 \text{ MHz}$)	分解能
$\phi T1 (8/f_C)$	$0.2 \mu\text{s}$ to $51.2 \mu\text{s}$	$0.2 \mu\text{s}$
$\phi T4 (32/f_C)$	$0.8 \mu\text{s}$ to $204.8 \mu\text{s}$	$0.8 \mu\text{s}$
$\phi T16 (128/f_C)$	$3.2 \mu\text{s}$ to $819.2 \mu\text{s}$	$3.2 \mu\text{s}$
$\phi T256 (2048/f_C)$	$51.2 \mu\text{s}$ to 13.11 ms	$51.2 \mu\text{s}$

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。

TMRA0: TMRA0 入力 (TA0IN)、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$

TMRA1: TMRA0 の一致検出信号 (TA0TRG)、 $\phi T1$ 、 $\phi T16$ 、 $\phi T256$

2. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ (TA1FF) の値を反転させ、この値をタイマフリップフロップ出力端子 (TA1OUT) へ出力します。

例) $f_C = 40 \text{ MHz}$ で周期 $1.2 \mu\text{s}$ の矩形波を TA1OUT から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を使用しますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

		*クロック条件								〔クロックギア: 1/1(<i>f</i> _C)	
		7	6	5	4	3	2	1	0		
TA01RUN	←	–	X	X	X	–	–	0	–	TMRA1 を停止し、0 にクリアします。	
TA01MOD	←	0	0	X	X	0	1	–	–	8 ビットタイマモードにし、入力クロックを φT1 (= (8/ <i>f</i> _C)s @ <i>f</i> _C = 40 MHz) にします。	
TA1REG	←	0	0	0	0	0	0	1	1	TA1REG に 1.2 μs ÷ φT1 ÷ 2 = 3 をセットします。	
TA1FFCR	←	X	X	X	X	1	0	1	1	TA1FF を "0" にクリアし、TMRA1 からの一致検出信号で反 転するように設定します。	
P8FC2	←	X	X	X	X	–	X	–	1	P80 を TA1OUT 出力端子に設定します。	
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 のカウントを開始させます。	
X: Don't care, –: No change											

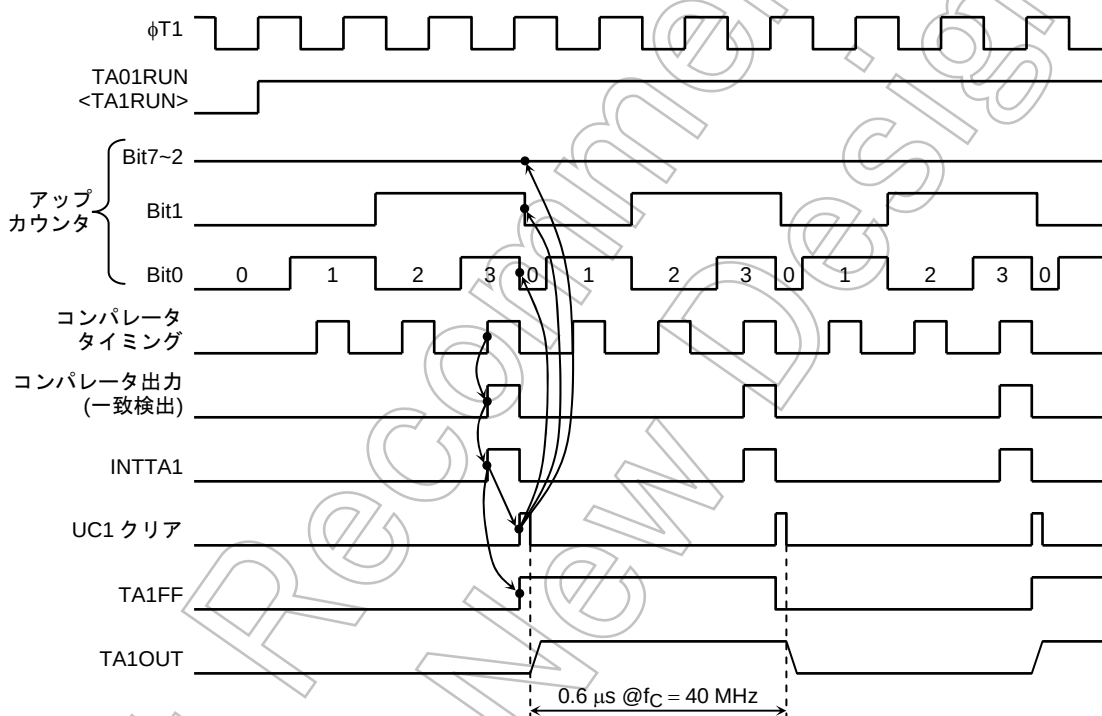


図 3.7.14 矩形波 (50%デューティ) 出力のタイミングチャート

3. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

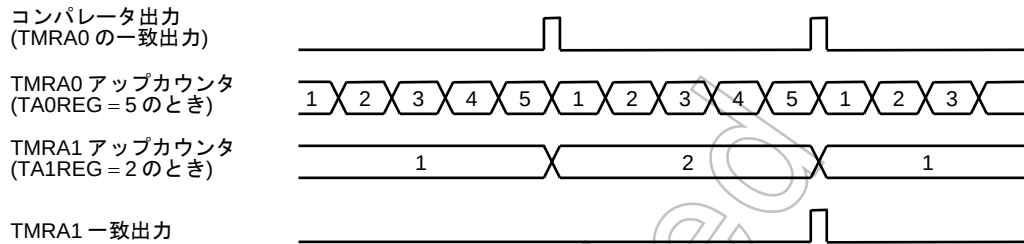


図 3.7.15 TMRA0 による TMRA1 のカウントアップ

(2) 16 ビットタイマモード

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。TA01MOD<TA01M1:0>を“01”に設定することで16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0>の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバーフロー出力になります。TMRA0 の入力クロックの選択は、表 3.7.2を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、必ず TA0REG から先に設定してください (TA0REG にデータを書き込むとコンペアが一時禁止され、TA1REG へのデータ書き込みでコンペアが開始されるためです)。

例) $f_C = 40 \text{ MHz}$ で 0.2 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG、TA1REG には次の値を設定します。

*クロック条件 [クロックギア: 1/1(f_C)

$\phi T16 (= (128/f_C)s @ f_C = 40 \text{ MHz})$ を入力クロックとしてカウントすると、
 $0.2 \text{ s} \div (128/f_C)s = 62500 = F424H$
 従って、TA1REG = F4H、TA0REG = 24H に設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG が一致すると、コンパレータタイミング時、毎回一致検出信号が出力されます。TMRA0、TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0、UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また、反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例) TA1REG = 04H、TA0REG = 80H の場合

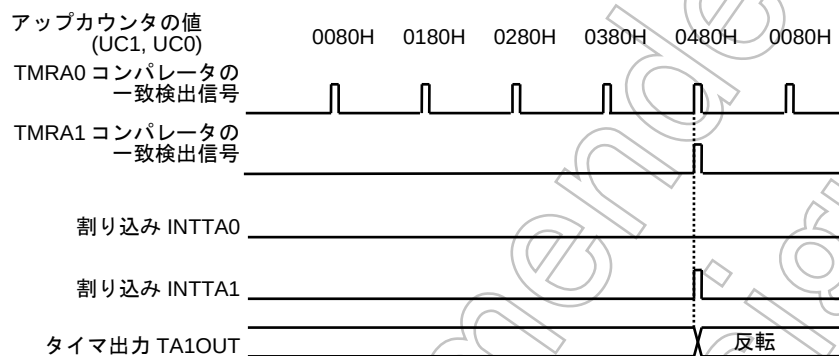


図 3.7.16 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスはローアクティブ、ハイアクティブとどちらの設定も可能です。このモードに設定した場合、TMRA1 は使用できません。矩形波は TA1OUT (P80 と兼用) へ出力されます。

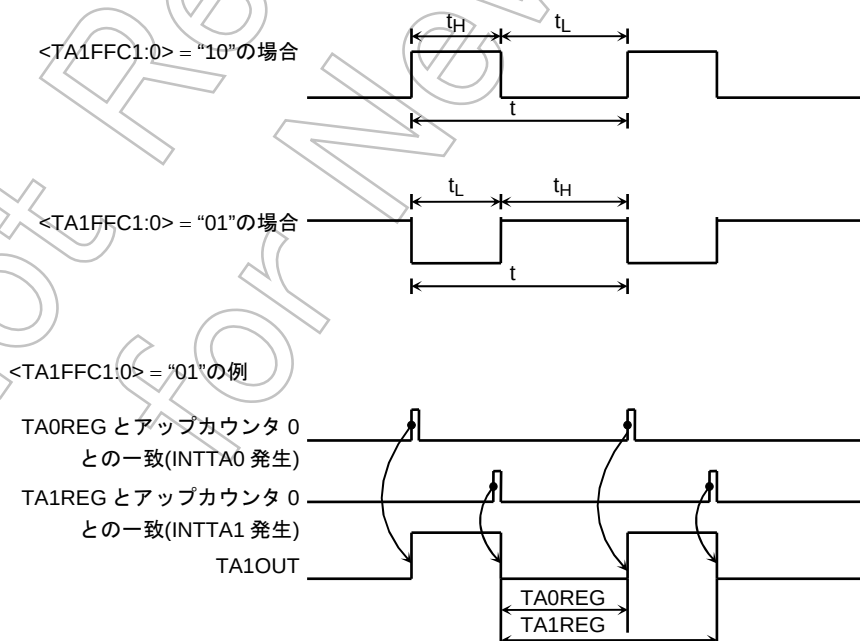


図 3.7.17 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ(UC0)が、タイマレジスタ TA0REG、TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN<TA1RUN>="1" に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと、図 3.7.18 のようになります。

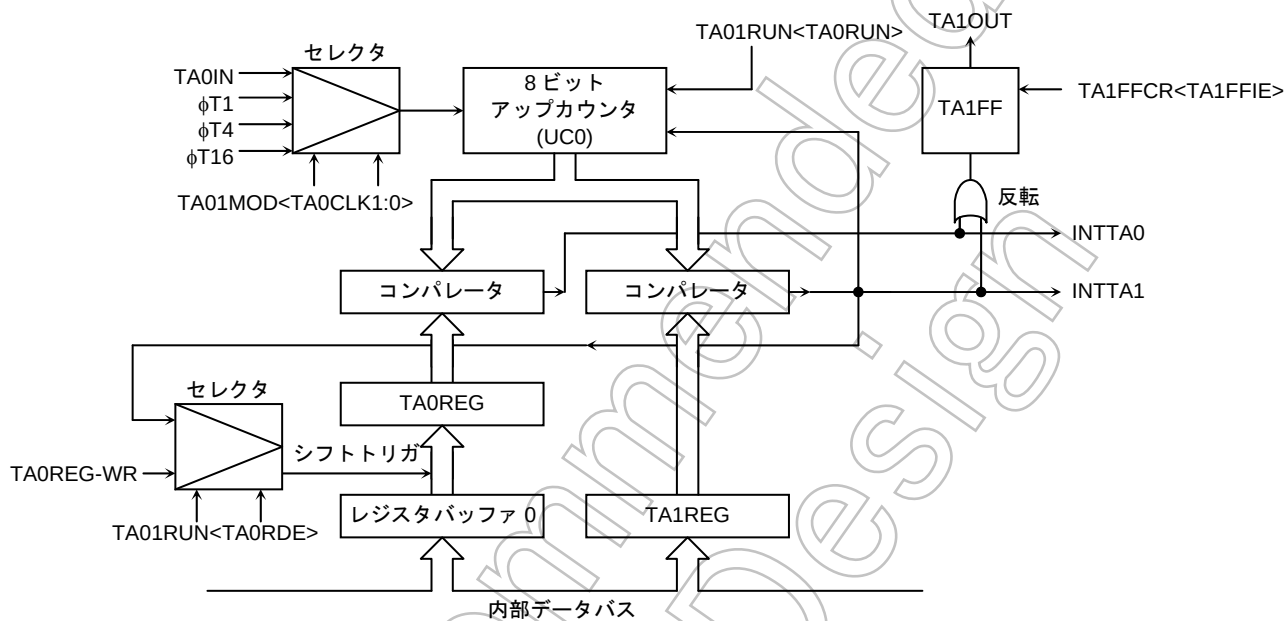


図 3.7.18 8ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ（デューティを変化させるとき）への対応が容易に行えます。

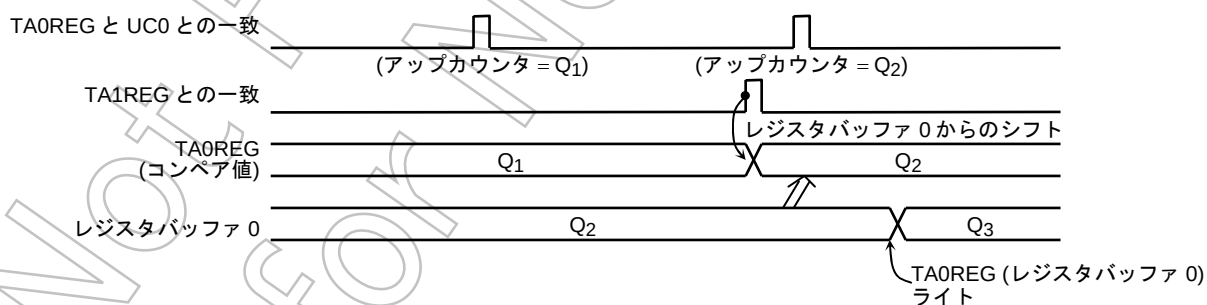
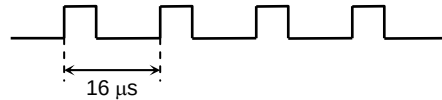


図 3.7.19 レジスタバッファ0の動作

例) デューティ 1/4 の 62.5 kHz のパルスを出力する場合 ($f_C = 40 \text{ MHz}$)



*クロック条件 [クロックギア: $1/1(f_C)$]

タイマレジスタへの設定値を求めます。

周波数を 62.5 kHz にするには、周期 $t = 1/62.5 \text{ kHz} = 16 \mu\text{s}$ の波形をつくります。

$\phi T1 (= (8/f_C)s @ f_C = 40 \text{ MHz})$ を用いると、

$$16 \mu\text{s} \div (8/f_C)s = 80$$

従って、 $TA1\text{REG} = 80 = 50\text{H}$ に設定します。

次に、デューティを 1/4 にするには、 $t \times 1/4 = 16 \mu\text{s} \times 1/4 = 4 \mu\text{s}$

$$4 \mu\text{s} \div (8/f_C)s = 20$$

従って、 $TA0\text{REG} = 20 = 14\text{H}$ に設定します。

	7	6	5	4	3	2	1	0	
TA01RUN	← 0	X	X	X	—	0	0	0	TMRA0、TMRA1 を停止し、0 にクリアします。ダブルバッファ禁止。
TA01MOD	← 1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックを $\phi T1$ にします。
TA0REG	← 0	0	0	1	0	1	0	0	14H を書き込みます。
TA1REG	← 0	1	0	1	0	0	0	0	50H を書き込みます。
TA1FFCR	← X	X	X	X	0	1	1	X	TA1FF をセットし、反転イネーブルにします。
P8FC2	← X	X	X	X	—	X	—	1	→ "10" にすると負論理の出力波形が得られます。
TA01RUN	← 1	X	X	X	—	1	1	1	P80 を TA1OUT 端子に設定します。
									TMRA0、TMRA1 のカウントを開始します。ダブルバッファ許可。

X: Don't care, —: No change

(4) 8 ビット PWM 出力モード

TMRA0 にのみ可能なモードです。分解能 8 ビットまでの PWM を出力することができます。PWM 出力は TA1OUT 端子 (P80 と兼用) へ出力されます。

このモードでは TMRA1 は 8 ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタ UC0 がタイマレジスタ TA0REG の設定値と一致したときと、 2^n ($n=6, 7, 8$ いずれかを TA01MOD<PWM01:00>で指定) カウンタオーバーフロー発生時に起こります。また、UC0 は 2^n カウンタのオーバーフローによってクリアされます。

また、この PWM モードを使用する場合、次の条件を満たさなければなりません。

(TA0REG の設定値) < (2^n カウンタのオーバーフロー設定値)

(TA0REG の設定値) $\neq 0$

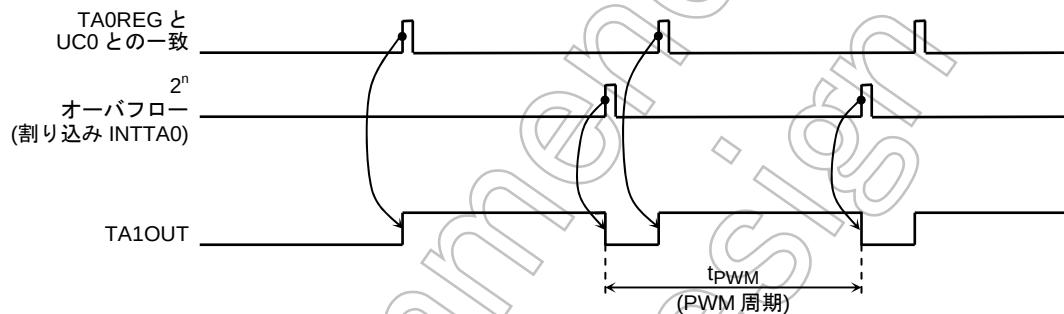


図 3.7.20 8 ビット PWM 出力波形

このモードをブロック図で表すと、図 3.7.21 のようになります。

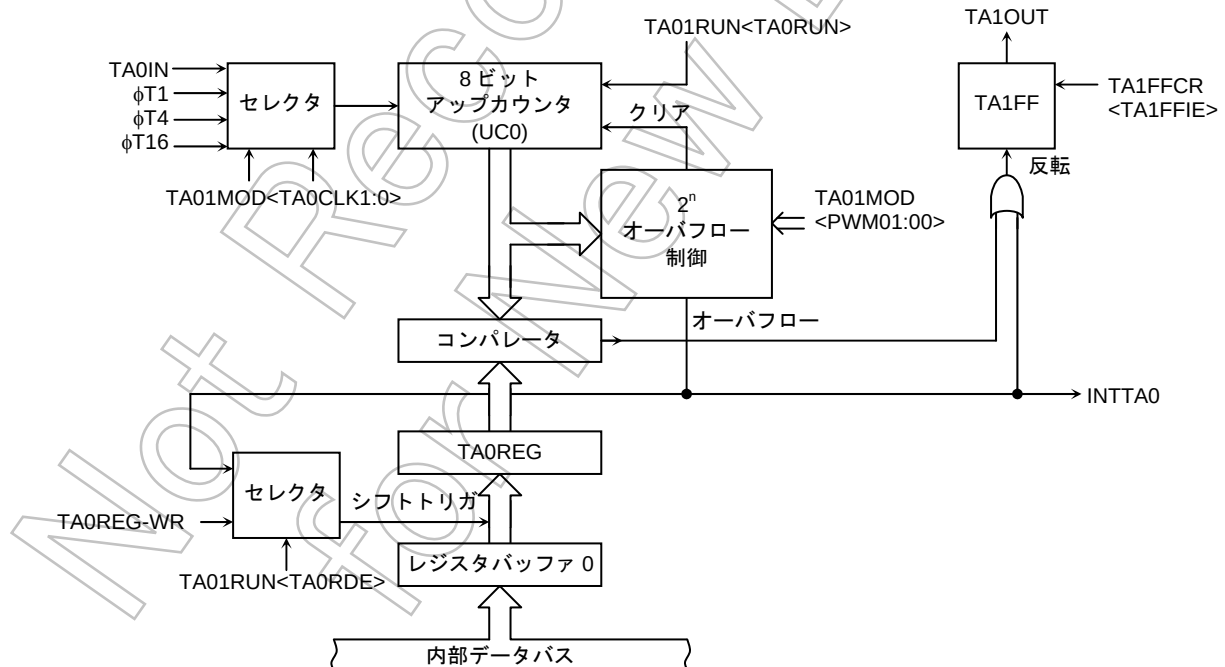


図 3.7.21 8 ビット PWM 出力モードブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、 2^n オーバフローの検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

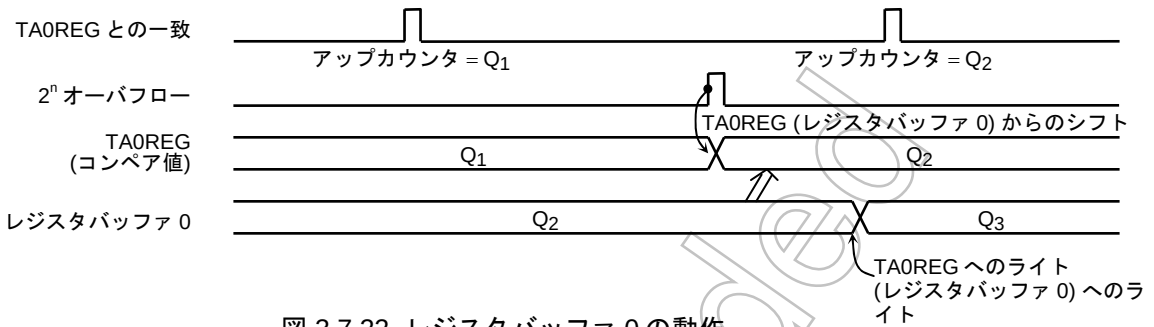
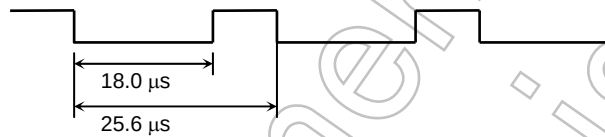


図 3.7.22 レジスタバッファ 0 の動作

例) $f_C = 40 \text{ MHz}$ 時、下記の PWM 波形を TA1OUT 端子へ出力する場合



*クロック条件 [クロックギア: $1/1(f_C)$]

PWM 周期 $25.6 \mu\text{s}$ を $\phi T1 = (8/f_C)s$ @ $f_C = 40 \text{ MHz}$ で実現する場合:

$$25.6 \mu\text{s} \div (8/f_C)s = 128 = 2^n$$

従って、 $n = 7$ に設定します。

"L" レベルの周期は $18.0 \mu\text{s}$ だから $\phi T1 = (8/f_C)s$ では

$$18.0 \mu\text{s} \div (8/f_C)s = 90 = 5AH$$

を TA0REG に設定します。

	MSB						LSB		
	7	6	5	4	3	2	1	0	
TA01RUN	←	—	X	X	X	—	—	0	TMRA0 を停止し、0 にクリアします。
TA01MOD	←	1	1	1	0	—	—	0	8 ビット PWM モード (周期 = 2^7) にし、
									入力クロックを $\phi T1$ にします。
TA0REG	←	0	1	0	1	1	0	1	5AH を書き込みます。
TA1FFCR	←	X	X	X	X	1	0	1	TA1FF を 0 にクリアし、反転イネーブルにします。
P8FC2	←	X	X	X	X	—	X	—	P80 を TA1OUT 端子に設定します。
TA01RUN	←	1	X	X	X	—	1	—	TMRA0 のカウントを開始します。ダブルバッファ許可。

X: Don't care, —: No change

表 3.7.4 PWM 周期と 2ⁿ カウンタの関係

クロックギア 選択 SYSCR1 <GEAR2:0>	システム クロック選択 SYSCR0 <SYSCK>	-	PWM cycle TAxxMOD<PWMx1:0>								
			2 ⁶ (x64)			2 ⁷ (x128)			2 ⁸ (x256)		
			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>		
			φT1(x2)	φT4(x8)	φT16(x32)	φT1(x2)	φT4(x8)	φT16(x32)	φT1(x2)	φT4(x8)	φT16(x32)
-	1(fs)	×4	512/fs	2048/fs	8192/fs	1024/fs	4096/fs	16384/fs	2048/fs	8192/fs	32768/fs
000(x1)	0(fc)		512/fc	2048/fc	8192/fc	1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc
001(x2)			1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc
010(x4)			2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc
011(x8)			4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc
100(x16)			8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc

(5) モード設定

表 3.7.5に、各タイマモードの設定一覧を示します。

表 3.7.5 各タイマモードの設定レジスタ

レジスタ名	TA01MOD				TA1FFCR
<Bit symbol>	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	<TA1FFIS>
機能	タイマモード	PWM 周期	上位タイマ 入力クロック	下位タイマ 入力クロック	タイマ F/F 反転セレクト
8 ビット タイマ × 2 チャンネル	00	-	下位タイマ一致, φT1, φT16, φT256 (00, 01, 10, 11)	外部 クロック, φT1, φT4, φT16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16 ビット タイマモード	01	-	-	外部 クロック, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビット PPG × 1 チャンネル	10	-	-	外部 クロック, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビット PWM × 1 チャンネル	11	2 ⁶ , 2 ⁷ , 2 ⁸ (01, 10, 11)	-	外部 クロック, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビットタイマ × 1 チャンネル	11	-	φT1, φT16, φT256 (01, 10, 11)	-	出力不可

- : Don't care

3.8 16 ビットタイマ/イベントカウンタ

TMP92CY23/CD23A は、16 ビットタイマ/イベントカウンタ (TMRB0, TMRB1) を 2 チャンネル内蔵しており、以下の動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波 (PPG) 出力モード

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定
- パルス幅測定
- 時間差測定

図 3.8.1、図 3.8.2 に TMRB0, TMRB1 のブロック図を示します。

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバツファ構造)、16 ビットキャプチャレジスタ 2 本、コンパレータ 2 本、およびキャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。各タイマは 11 バイトのレジスタ (SFR) で制御されます。

各チャンネル(TMRB0, TMRB1)はそれぞれ独立に動作します。表 3.8.1 に仕様の相違点を示します。動作説明は TMRB1 の場合についてのみ説明します。

表 3.8.1 端子と TMRB の SFR

仕様		チャンネル	TMRB0	TMRB1
外部端子	外部クロック/ キャプチャトリガ入力端子		なし	TB1IN0 (PD1 と兼用) TB1IN1 (PD2 と兼用)
	タイマフリップフロップ 出力端子		TB0OUT0 (PD0 と兼用)	TB1OUT0 (PD3 と兼用) TB1OUT1 (PD4 と兼用)
SFR (アドレス)	タイマ RUN レジスタ		TB0RUN (1180H)	TB1RUN (1190H)
	タイマモードレジスタ		TB0MOD (1182H)	TB1MOD (1192H)
	タイマフリップフロップ コントロールレジスタ		TB0FFCR (1183H)	TB1FFCR (1193H)
	タイマレジスタ		TB0RG0L (1188H)	TB1RG0L (1198H)
			TB0RG0H (1189H)	TB1RG0H (1199H)
			TB0RG1L (118AH)	TB1RG1L (119AH)
			TB0RG1H (118BH)	TB1RG1H (119BH)
	キャプチャレジスタ		TB0CP0L (118CH)	TB1CP0L (119CH)
			TB0CP0H (118DH)	TB1CP0H (119DH)
			TB0CP1L (118EH)	TB1CP1L (119EH)
			TB0CP1H (118FH)	TB1CP1H (119FH)

3.8.1 ブロック図

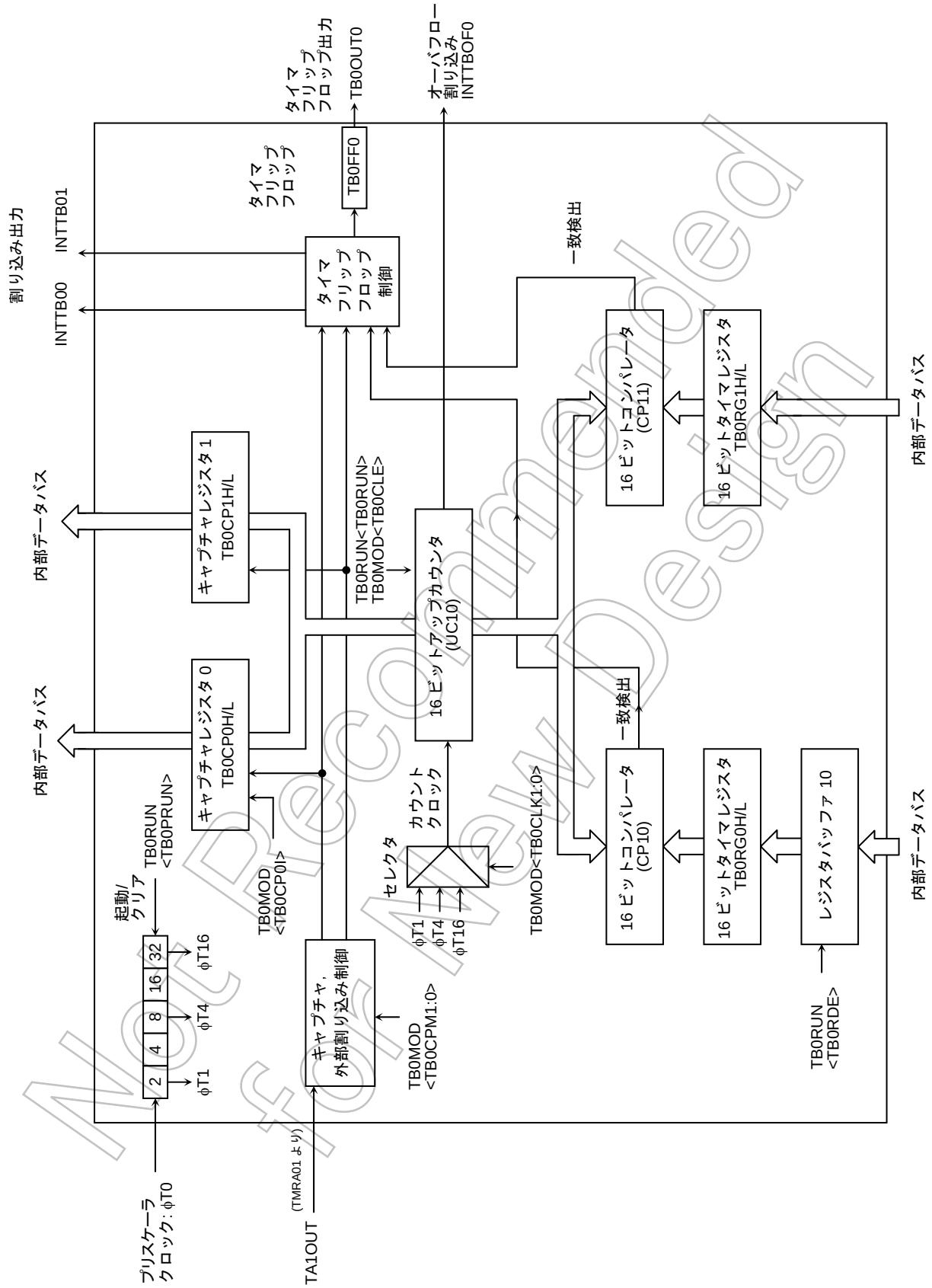


図 3.8.1 TMRB0 のブロック図

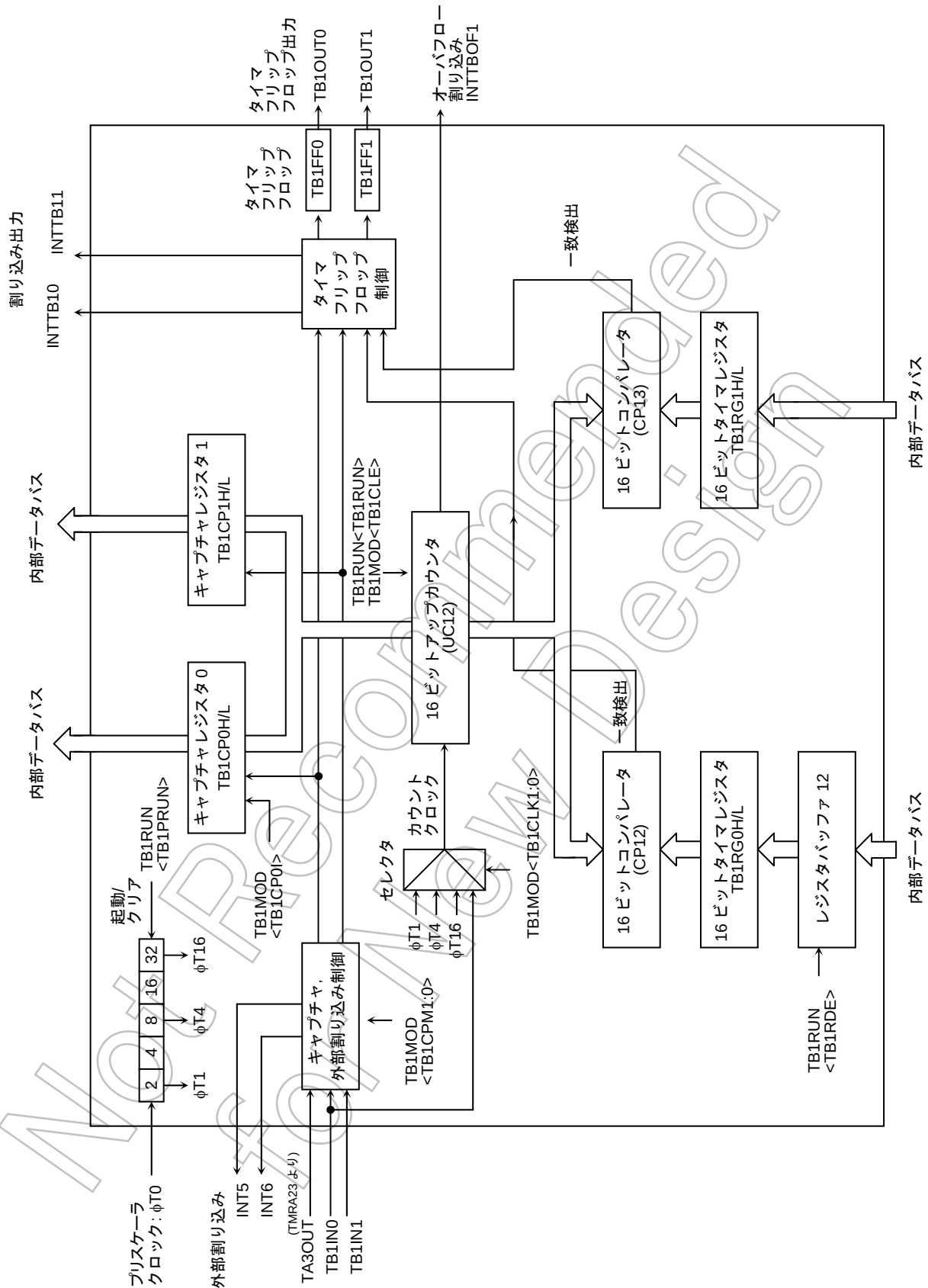


図 3.8.2 TMRB1 のブロック図

3.8.2 回路別の動作説明

(1) プリスケアラ

TMRB1 のクロックソースを得るため、5 ビットプリスケアラがあります。プリスケアラへの入力クロック $\phi T0$ は、 f_{FPH} を 4 分周したクロックです。プリスケアラは TB1RUN<TB1PRUN>により制御されます。“1”を設定するとカウントを開始し、“0”に設定するとクリアされ停止します。プリスケアラ出力クロックの分解能を表 3.8.2 に示します。

表 3.8.2 プリスケアラ出力クロック分解能

クロックギア 選択 SYSCR1 <GEAR2:0>	システム クロック選択 SYSCR1 <SYSCK>	-	タイマカウンタ入力クロック TMRB 部プリスケーラ TBxMOD<TBxCLK1:0>		
			φT1(1/2)	φT4(1/8)	φT16(1/32)
-	1 (fs)	1/4	fs/8	fs/32	fs/128
000 (1/1)	0 (fc)		fc/8	fc/32	fc/128
001 (1/2)			fc/16	fc/64	fc/256
010 (1/4)			fc/64	fc/128	fc/512
011 (1/8)			fc/64	fc/256	fc/1024
100 (1/16)			fc/128	fc/512	fc/2048

(2) アップカウンタ(UC12)

TB1MOD <TB1CLK1:0> で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

入力クロックは、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、または TB1IN0 端子の外部クロックのいずれかを選択でき、TB1RUN <TB1RUN> によってカウントの開始、および停止&クリアを設定します。TMRB0 は入力クロックとして外部クロックを選択できません（外部クロック入力端子がありません）。

UC12 は、タイマレジスタ TB1RG1H/L と一致すると、クリアイネーブルであれば、“0”にクリアされます。クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。このクリアイネーブル/ディセーブルは、TB1MOD <TB1CLE> で設定します。

また、UC12 のオーバフローが発生した場合、オーバフロー割り込み(INTTBOF1)が発生します。

(3) タイマレジスタ (TB1RG0H/L, TB1RG1H/L)

この 2 つの 16 ビットレジスタは、アップカウンタ値を設定して使用します。アップカウンタ UC12 の値が、タイマレジスタの値と一致すると、コンパレータ一致検出信号が出力されます。

16 ビットタイマレジスタ TB1RG0H/L, TB1RG1H/L へのデータ設定は、必ず上位と下位の 2 バイトのデータ設定が必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

TB1RG0H/L タイマレジスタはダブルバッファ構成になっており、レジスタバッファ 12 とペアになっています。ダブルバッファのイネーブル/ディセーブルの制御は、TB1RUN <TB1RDE> によって行います。このビットが “0” のときディセーブルとなり、“1” のときイネーブルとなります。

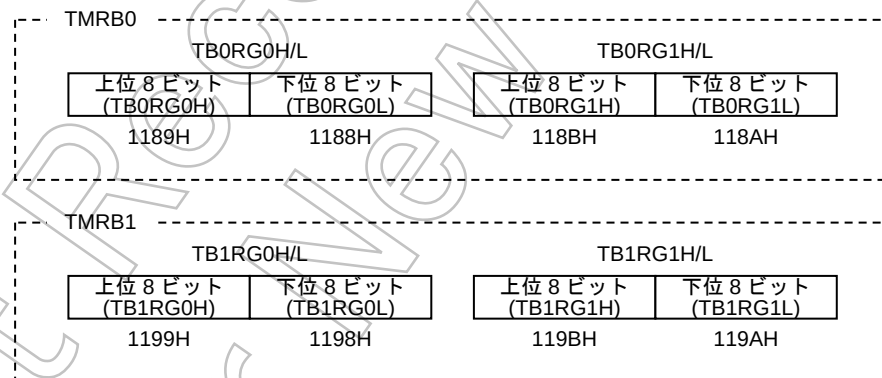
ダブルバッファイネーブルに設定した場合、レジスタバッファ 12 からタイマレジスタ (TB1RG0) へのデータ転送は、アップカウンタ (UC12) とタイマレジスタ (TB1RG1) の値が一致したときに行われます。

リセット動作により、TB1RG0H/L, TB1RG1H/L は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。

リセット動作により、<TB1RDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TB1RDE> = “1” に設定した後、レジスタバッファ 12 へ次のデータを書き込んでください。

TB1RG0H/L とレジスタバッファ 12 は、同じアドレス 1199H/1198H に割り付けられています。<TB1RDE> = “0” のときは、TB1RG0H/L とレジスタバッファ 12 に同じ値が書き込まれ、<TB1RDE> = “1” のときは、レジスタバッファ 12 のみに値が書き込まれます。

タイマレジスタのアドレスは次のとおりです。



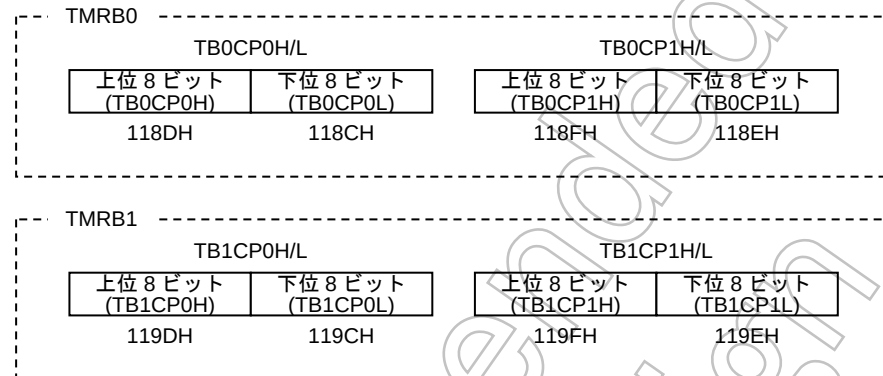
これらのタイマレジスタは書き込み専用レジスタのため、読み出すことはできません。

(4) キャプチャレジスタ (TB1CP0H/L, TB1CP1H/L)

アップカウンタ UC12 の値をラッチする 16 ビットのレジスタです。

キャプチャレジスタを読み出す場合は、必ず上位と下位の 2 バイトのデータリードが必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に読み出してください。

各キャプチャレジスタのアドレスは次のとおりです。



キャプチャレジスタは読み出し専用レジスタです。プログラムによる書き込みはできません。

(5) キャプチャ制御

アップカウンタ UC12 の値をキャプチャレジスタ TB1CP0H/L, TB1CP1H/L にラッチするタイミングを制御します。キャプチャレジスタのラッチタイミングは、TB1MOD <TB1CPM1:0> で設定します。(TMRB0 には外部入力によるキャプチャタイミングを制御する機能がありません。)

また、ソフトウェアによってもアップカウンタ UC12 の値をキャプチャレジスタへ取りこむことができ、TB1MOD <TB1CP0I> に “0” を設定するたびに、その時点の UC12 の値をキャプチャレジスタ TB1CP0H/L へキャプチャします。この際、プリスケアラは、動作状態 (TB1RUN <TB1PRUN> = “1”) にしておく必要があります。

(6) コンパレータ (CP12, CP13)

アップカウンタ UC12 と TB1RG0H/L, TB1RG1H/L への設定値とを比較し、一致を検出する 16 ビットコンパレータです。

一致すると、それぞれ割り込み INTTB10, INTTB11 を発生します。

(7) タイマフリップフロップ (TB1FF0, TB1FF1)

タイマフリップフロップ (TB1FF0, TB1FF1) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。TB1FF0 の反転トリガ制御は、TB1FFCR <TB1C1T1, TB1C0T1, TB1E1T1, TB1E0T1> によって設定できます。また TB1FF1 の制御は、TB1MOD <TB1CT1, TB1ET1> によって制御できます。リセット後、TB1FF0, TB1FF1 の値は不定となります。

TB1FFCR <TB1FF0C1:0> または <TB1FF1C1:0> に “00” を設定することで反転、“01” を設定することで “1” をセット、“10” を設定することで “0” にクリアすることが可能です。

TB1FF0, TB1FF1 の値は、タイマ出力端子 TB1OUT0 (PD3 と兼用), TB1OUT1 (PD4 と兼用) へ出力することができます。TMRB0 のタイマ出力端子は 1 端子 (TB0OUT0: PD0 と兼用) です。タイマ出力を行う場合、あらかじめポート D の各レジスタを設定する必要があります。

3.8.3 SFR説明

TMRB0 Run レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TB0RDE	–			I2TB0	TB0PRUN		TB0RUN
Read/Write	R/W				R/W			
リセット後	0	0			0	0		0
機能	ダブルバッファ 0: 禁止 1: 許可	“0” をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB0 プリスケラ 0: 停止 & クリア 1: 動作 (カウントアップ)		アップカウンタ (UC10)

カウント動作

<TB0PRUN>, <TB0RUN>	0	停止 & クリア
	1	カウントアップ

注) TB0RUN のビット 1, 4, 5 は、リードすると不定値がリードされます。

TMRB1 Run レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TB1RDE	–			I2TB1	TB1PRUN		TB1RUN
Read/Write	R/W				R/W			
リセット後	0	0			0	0		0
機能	ダブルバッファ 0: 禁止 1: 許可	“0” をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB1 プリスケラ 0: 停止 & クリア 1: 動作 (カウントアップ)		アップカウンタ (UC12)

カウント動作

<TB1PRUN>, <TB1RUN>	0	停止 & クリア
	1	カウントアップ

注) TB1RUN のビット 1, 4, 5 は、リードすると不定値がリードされます。

図 3.8.3 16 ビットタイマのレジスタ

TMRB0 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	–	–	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
Read/Write	R/W		W	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	“0” をライトしてください。	“0” をライトしてください。	ソフトウェアキャプチャ制御 0: ソフトウェアキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: Reserved 10: Reserved 11: TA1OUT↑ TA1OUT↓		アップカウンタのクリア制御 0: 禁止 1: 許可	ソースクロック選択 00: Reserved 01: φT1 10: φT4 11: φT16	

TB0MOD
(1182H)

リード
モディファイ
ライト
できません。

入力クロック

<TB0CLK1:0>	00	Reserved
	01	φT1
	10	φT4
	11	φT16

アップカウンタ (UC10) のクリア

<TB0CLE>	0	アップカウンタのクリア禁止
	1	TB0RG1 H/L との一致でクリア

キャプチャタイミング

キャプチャ制御		
<TB0CPM1:0>	00	キャプチャ禁止
	01	Reserved
	10	Reserved
	11	TA1OUT の立ち上がりで TB0CP0H/L ヘキャプチャ TA1OUT の立ち下がり で TB0CP1H/L ヘキャプチャ

ソフトウェアキャプチャ

<TB0CP0I>	0	TB0CP0H/L ヘアップカウンタの値を取り込みます。
	1	未定義

図 3.8.4 16 ビットタイマのレジスタ

TMRB1 モードレジスタ

TB1MOD
(1192H)

リード
モディファ
イライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
Read/Write	R/W		W	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	TB1FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		ソフトウエアキャプチャ制御 0: ソフトウエアキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 INT5 は立ち上がりエッジ 01: TB1IN0 ↑ TB1IN1 ↑ INT5 は立ち上がりエッジ 10: TB1IN0 ↑ TB1IN0 ↓ INT5 は立ち下がりエッジ 11: TA3OUT ↑ TA3OUT ↓ INT5 は立ち上がりエッジ		アップカウンタのクリア制御 0: 禁止 1: 許可		
	TB1CP1H/L へのアップカウンタ取り込み時	アップカウンタと TB1RG1H/L との一致時				ソースクロック選択 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16		

入カクロック

<TB1CLK1:0>	00	外部入カクロック (TB1IN0 端子入力)
	01	φT1
	10	φT4
	11	φT16

アップカウンタ(UC12) のクリア

<TB1CLE>	0	アップカウンタのクリア禁止
	1	TB1RG1H/L との一致でクリア

キャプチャ/割り込みタイミング

		キャプチャ制御	INT5 制御
<TB1CPM1:0>	00	キャプチャ禁止	TB1IN0 の立ち上がりで INT5 発生
	01	TB1IN0 の立ち上がりで TB1CP0H/L へキャプチャ TB1IN1 の立ち上がりで TB1CP1H/L へキャプチャ	
	10	TB1IN0 の立ち上がりで TB1CP0H/L へキャプチャ TB1IN0 の立ち下がりで TB1CP1H/L へキャプチャ	TB1IN0 の立ち下がり で INT5 発生
	11	TA3OUT の立ち上がりで TB1CP0H/L へキャプチャ TA3OUT の立ち下がりで TB1CP1H/L へキャプチャ	TB1IN0 の立ち上がり で INT5 発生

ソフトウエアキャプチャ

<TB1CP0I>	0	TB1CP0H/L へアップカウンタの値を取り込みます。
	1	未定義

UC12 と TB1RG1H/L との一致時

タイマフリップフロップ (TB1FF1) の反転制御

<TB1ET1>	0	反転禁止
	1	反転許可

TB1CP1H/L へ UC10 値をキャプチャした時

タイマフリップフロップ (TB1FF1) の反転制御

<TB1CT1>	0	反転禁止
	1	反転許可

注) TB1MOD<TB1CPM1:0> により、キャプチャ制御を行う場合は、SYSCR2<DRVE>を“0”に設定してからキャプチャ制御を設定してください。

図 3.8.5 16 ビットタイマのレジスタ

TMRB0 フリップフロップコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	–	–	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
Read/Write	W		R/W				W*	
リセット後	1	1	0	0	0	0	1	1
機能	“11” をライトしてください。		TB0FF0 反転トリガ 0: トリガ禁止 1: トリガ許可				TB0FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に “11” になります。	
リード モディファイ アイト できません。			TB0CP1H/ L へのアップ カウンタ 取りこみ時	TB0CP0H/ L へのアップ カウンタ 取りこみ時	アップカウ ンタと TB0RG1H/ L との一致 時	アップカウ ンタと TB0RG0H/ L との一致 時		

タイマフリップフロップ (TB0FF0) の制御

<TB0FF0C1:0>	00	TB0FF0 の値を反転します。(ソフト反転)
	01	TB0FF0 を “1” にセットします
	10	TB0FF0 を “0” にセットします
	11	Don't care

UC10 と TB0RG0H/L との一致時
タイマフリップフロップ (TB0FF0) の反転制御

<TB0E0T1>	0	反転禁止
	1	反転許可

UC10 と TB0RG1H/L との一致時
タイマフリップフロップ (TB0FF0) の反転制御

<TB0E1T1>	0	反転禁止
	1	反転許可

TB0CP0H/L へ UC10 値をキャプチャした時
タイマフリップフロップ (TB0FF0) の反転制御

<TB0C0T1>	0	反転禁止
	1	反転許可

TB0CP1H/L へ UC10 値をキャプチャした時
タイマフリップフロップ (TB0FF0) の反転制御

<TB0C1T1>	0	反転禁止
	1	反転許可

図 3.8.6 16 ビットタイマのレジスタ

TMRB1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TB1FFCR (1193H)	Bit symbol	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FF0C1	TB1FF0C0
	Read/Write	W*		R/W				W*	
	リセット後	1	1	0	0	0	0	1	1
リード モディファ イライト できません。	機能	TB1FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に “11” になります。		TB1FF0 反転トリガ 0: トリガ禁止 1: トリガ許可 TB1CP1H/ L へのアッ プカウンタ 取りこみ時				TB1FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に “11” になります。	
				TB1CP0H/ L へのアッ プカウンタ 取りこみ時	アップカウ ンタと TB1RG1H/ L との一致 時	アップカウ ンタと TB1RG0H/ L との一致 時			

タイマフリップフロップ (TB1FF0) の制御

<TB1FF0C1:0>	00	TB1FF0 の値を反転します。(ソフト反転)
	01	TB1FF0 を "1" にセットします
	10	TB1FF0 を "0" にセットします
	11	Don't care

UC12 と TB1RG0H/L との一致時

タイマフリップフロップ (TB1FF0) の反転制御

<TB1E0T1>	0	反転禁止
	1	反転許可

UC12 と TB1RG1H/L との一致時

タイマフリップフロップ (TB1FF0) の反転制御

<TB1E1T1>	0	反転禁止
	1	反転許可

TB1CP0H/L へ UC12 値をキャプチャした時

タイマフリップフロップ (TB1FF0) の反転制御

<TB1C0T1>	0	反転禁止
	1	反転許可

TB1CP1H/L へ UC12 値をキャプチャした時

タイマフリップフロップ (TB1FF0) の反転制御

<TB1C1T1>	0	反転禁止
	1	反転許可

タイマフリップフロップ (TB1FF1) の制御

<TB1FF1C1:0>	00	TB1FF1 の値を反転します。(ソフト反転)
	01	TB1FF1 を "1" にセットします
	10	TB1FF1 を "0" にセットします
	11	Don't care

図 3.8.7 16 ビットタイマのレジスタ

タイマレジスタ

		7	6	5	4	3	2	1	0
TB0RG0L (1188H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG0H (1189H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1L (118AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1H (118BH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG0L (1198H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG0H (1199H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG1L (119AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG1H (119BH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							

注) 上記レジスタは、リードモディファイライトは禁止です。

図 3.8.8 16 ビットタイマのレジスタ

キャプチャレジスタ

		7	6	5	4	3	2	1	0
TB0CP0L (118CH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB0CP0H (118DH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB0CP1L (118EH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB0CP1H (118FH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB1CP0L (119CH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1CP0H (119DH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB1CP1L (119EH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB1CP1H (119FH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							

図 3.8.9 16 ビットタイマのレジスタ

3.8.4 モード別動作説明

(1) 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TB1RG1H/L にインタバル時間を設定し、INTTB11 割り込みを発生させます。

	7	6	5	4	3	2	1	0		
TB1RUN	←	0	0	X	X	—	0	X	0	TMRB1 を停止します。
INTETB1	←	X	1	0	0	X	0	0	0	INTTB11 をイネーブル (レベル 4) に設定し、INTTB10 をディセーブルにします。
TB1FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB1MOD	←	0	0	1	0	0	1	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能をディセーブルにします。
									(**= 01, 10, 11)	
TB1RG1H/L	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
TB1RUN	←	0	0	X	X	—	1	X	1	TMRB1 を起動します。

X: Don't care、—: No change

(2) 16ビットイベントカウンタモード

入力クロックを外部クロック (TB1IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB1IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0		
TB1RUN	←	0	0	X	X	—	0	X	0	TMRB1 を停止します。
PDCR	←	X	X	X	—	—	—	0	—	PD1 を TB1IN0 入力モードに設定します。
PDFC2	←	X	X	X	—	—	—	0	X	
PDFC	←	X	X	X	—	—	—	1	—	
INTETB1	←	X	1	0	0	X	0	0	0	
										INTTB11 をイネーブル (レベル 4) に、INTTB10 をディセーブルにします。
TB1FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB1MOD	←	0	0	1	0	0	1	0	0	入力クロックを TB1IN0 端子入力にします。
TB1RG1H/L	←	*	*	*	*	*	*	*	*	カウント数を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TB1RUN	←	0	0	X	X	—	1	X	1	TMRB1 を起動します。

X: Don't care、—: No change

注) イベントカウンタとして使用する場合も、プリスケアラは "RUN" にしてください
(TB1RUN<TB1PRUN>="1")。

(3) 16 ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、Low アクティブ、High アクティブどちらも可能です。

アップカウンタ UC12 とタイマレジスタ TB1RG0H/L、TB1RG1H/L への設定値との一致により、タイマフリップフロップ TB1FF0 の反転トリガをかけることで、プログラマブル矩形波を TB1OUT0 端子より出力することができます。ただし、TB1RG0H/L と TB1RG1H/L の設定値は次の条件を満たす必要があります。

$(\text{TB1RG0H/L への設定値}) < (\text{TB1RG1H/L への設定値})$

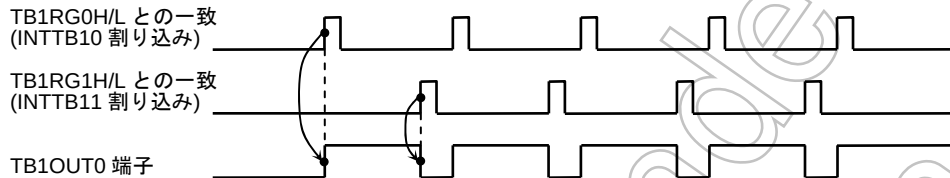


図 3.8.10 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TB1RG0H/L のダブルバッファをイネーブルにすることにより、TB1RG1H/L との一致でレジスタバッファ 12 の値が TB1RG0H/L へシフトインされます。これにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

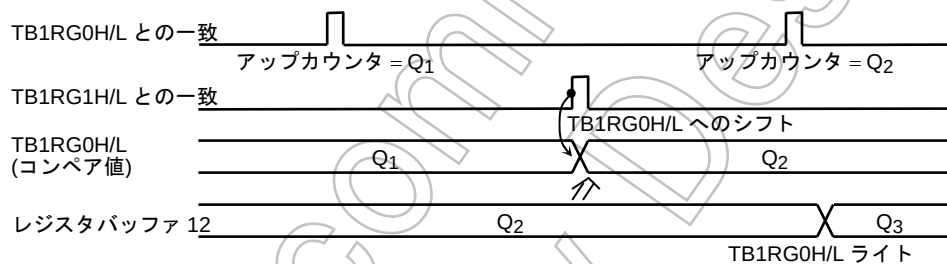


図 3.8.11 レジスタバッファ 12 の動作

このモードのブロック図を示します。

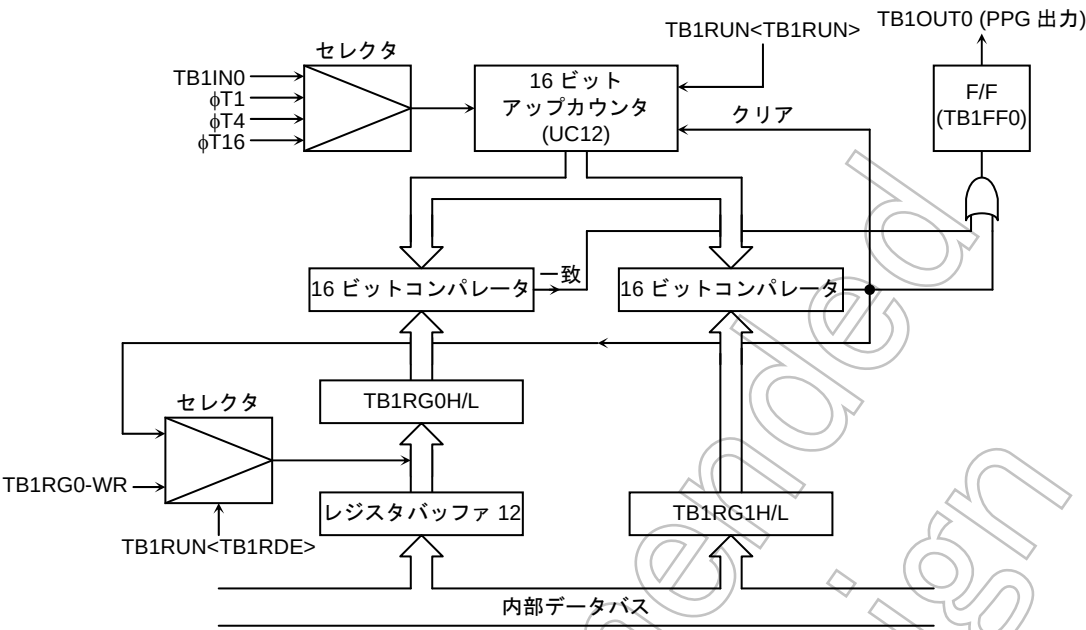


図 3.8.12 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0		
TB1RUN	←	0	0	X	X	—	0	X	0	TB1RG0H/L ダブルバッファをディセーブルにし、TMRB1を停止します。
TB1RG0H/L	←	*	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TB1RG1H/L	←	*	*	*	*	*	*	*	*	周波数を設定します。(16 ビット)
TB1RUN	←	1	0	X	X	—	0	X	0	TB1RG0H/L ダブルバッファをイネーブルにします (INTTB11 割り込みでデューティ/周期の変更)。
TB1FFCR	←	X	X	0	0	1	1	1	0	TB1FF0 を TB1RG0H/L, TB1RG1H/L との一致検出で反転するように設定します。また、TB1FF0 の初期値を “0” にします。
TB1MOD	←	0	0	1	0	0	1	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能をディセーブルにします。 (** = 01, 10, 11)
PDFC2	←	X	X	X	—	0	—	—	X	
PDFC	←	X	X	X	—	1	—	—	—	TB1OUT0 を PD3 端子に割り付けます。
PDCR	←	X	X	X	—	1	—	X	—	
TB1RUN	←	1	0	X	X	—	1	X	1	TMRB1 を起動します。

X: Don't care, —: No change

(4) キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

1. 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC12 をプリスケール出力クロックを用いてフリーランニングでカウントアップさせておきます。TB1IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ TB1CP0H/L に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT5 が発生します。この割り込みで、タイマレジスタ TB1RG0H/L には TB1CP0H/L の値 (c) とディレイタイム (d) を加算した値 (c+d) を設定します。タイマレジスタ TB1RG1H/L には、TB1RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c+d+p) を設定します。

さらに、タイマフリップフロップコントロールレジスタ TB1FFCR<TB1E1T1, TB1E0T1> に “11” を設定し、UC12 と TB1RG0H/L との一致、および TB1RG1H/L との一致により、タイマフリップフロップ TB1FF0 が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB11 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c), (d), (p) は、図 3.8.13 「外部トリガパルスからのワンショットパルス出力 (ディレイあり)」の c, d, p と対応しています。

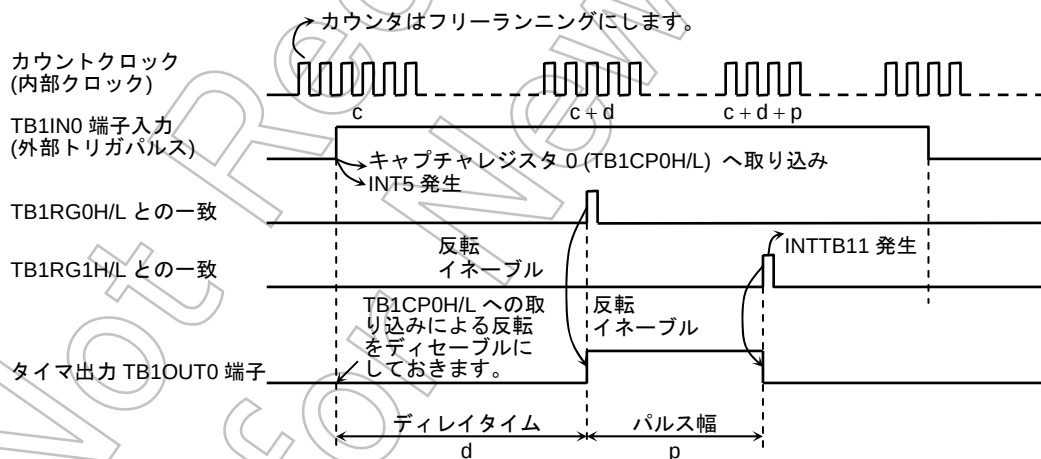


図 3.8.13 外部トリガパルスからのワンショットパルス出力 (ディレイあり)

設定例: TB1IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

*クロック条件

システムクロック: 高速 (fc)
クロックギア: 1/1 (fc)

メインでの設定

フリーランニングにします。
 ϕ T1 でカウントさせます。
 TB1MOD ← X X 1 0 1 0 0 1
 TB1IN0 入力の立ち上がりで TB1CP0 へ取り込みます。
 TB1FFCR ← X X 0 0 0 0 1 0
 TB1FF0 を 0 にクリアします。
 TB1FF0 の反転をディセーブルにします。
 PDCR ← X X X - 1 - X -
 PDFC ← X X X - 1 - - -
 PDFC2 ← X X X - 0 - - X
 PD3 端子を TB1OUT0 に割り付けます。
 INT45 ← X 1 0 0 X - - -
 INTETB1 ← X 0 0 0 X 0 0 0
 INT5 をイネーブルに、INTTB10、INTTB11 をディセーブルにします。
 TB1RUN ← - 0 X X - 1 X 1
 TMRB1 を起動します。

INT5 での設定

TB1RG0H/L	←	TB1CP0H/L + 3 ms/φT1	
TB1RG1H/L	←	TB1RG0H/L + 2 ms/φT1	
TB1FFCR	←	X X - - 1 1 - -	
			TB1RG0, TB1RG1 との一致による TB1FF0 の反転をイネーブルにします。
INTETB1	←	X 1 0 0 X - - -	INTTB11 をイネーブルにします。

INTTB11 での設定

TB1FFCR ← X X - - 0 0 - -
 INTETB1 ← X 0 0 0 X - - -
 X: Don't care, -: No change

TB1RG0, TB1RG1 との一致による TB1FF0 の反転をディセーブルにします。
 INTTB11 をディセーブルにします。

X: Don't care、-: No change

ディレイが不要な場合、TB1CP0H/L への取り込みによって TB1FF0 を反転させ、割り込み INT5 で TB1CP0H/L の値 (c) にワンショットパルスの幅 (p) を加算した値 (c+p) を TB1RG1H/L に設定します。TB1FF0 は、TB1RG1H/L と UC12 の一致によって反転するように反転イネーブルを選択します。また、INTTB11 割り込みでこれをディセーブルに戻します。

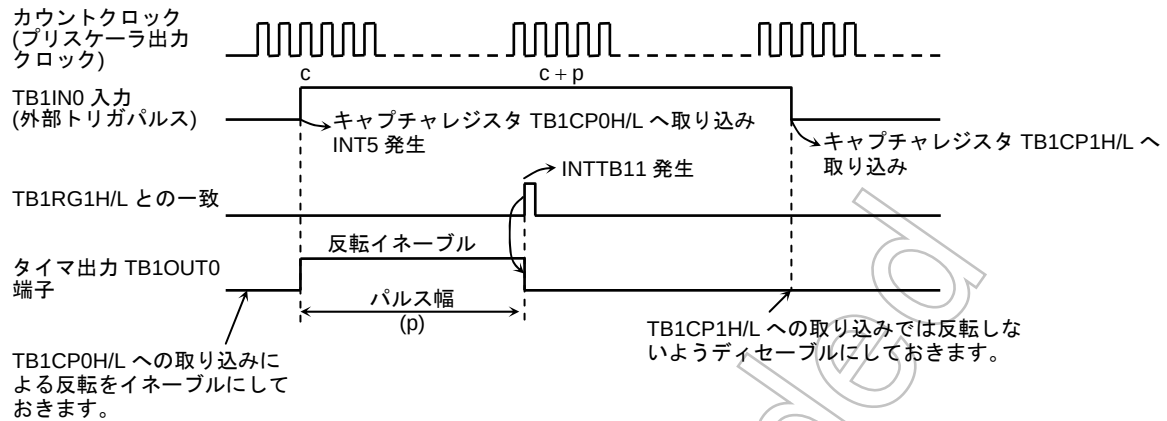


図 3.8.14 外部トリガパルスからのワンショットパルス出力 (ディレイなし)

2. 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと 8 ビットタイマ (TMRA23) を組み合わせて行います (TMRA23 は、TA3FF を反転させることで測定時間の設定に用います)。

TMRB1 のカウントクロックは TB1IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB1MOD<TB1CPM1:0>には “11” を設定します。この設定により、8 ビットタイマ (TMRA23) のタイマフリップフロップ TA3FF の立ち上がりで、キャプチャレジスタ TB1CP0H/L に 16 ビットアップカウンタ UC12 のカウンタ値を取り込み、8 ビットタイマ (TMRA23) の TA3FF の立ち下がりで、キャプチャレジスタ TB1CP1H/L に UC12 のカウンタ値の取り込みを行います。

周波数は、8 ビットタイマの割り込み INTTA2、または INTTA3 で測定時間を基準にして TB1CP0H/L、TB1CP1H/L の差より求めます。

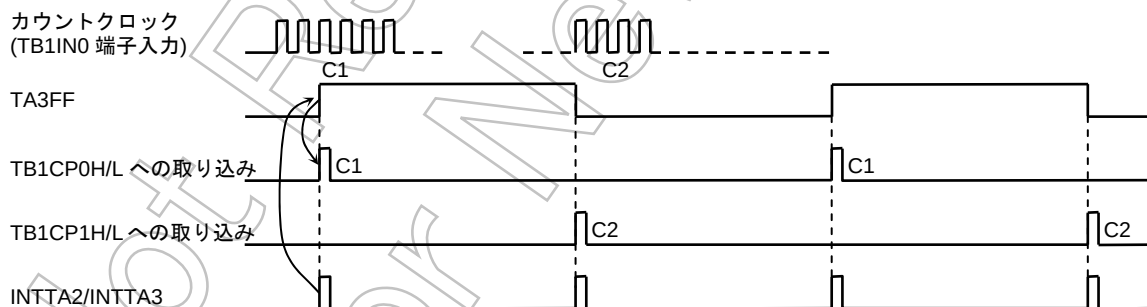


図 3.8.15 周波数測定

例えば、8 ビットタイマによる TA3FF の “1” レベル幅の設定値が 0.5 s で、TB1CP0H/L と TB1CP1H/L の差が 100 であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

3. パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB1IN0 端子より外部パルスを入力し、プリスケアラ出力クロックを用いてアップカウンタ UC12 をフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ TB1CP0H/L, TB1CP1H/L に取り込みます。TB1IN0 端子の立ち下がりにより INT5 が発生します。

“H”レベルパルス幅は、TB1CP0H/L と TB1CP1H/L の差を求め、その値に内部クロックの周期をかけることにより求めることができます。

例えば、TB1CP0H/L と TB1CP1H/L の差が 100 で、プリスケアラ出力クロックの周期が $0.8\mu\text{s}$ であれば、パルス幅は、 $100 \times 0.8\mu\text{s} = 80\mu\text{s}$ となります。

なお、クロックソースにより定まる UC12 の最大カウント時間を超えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

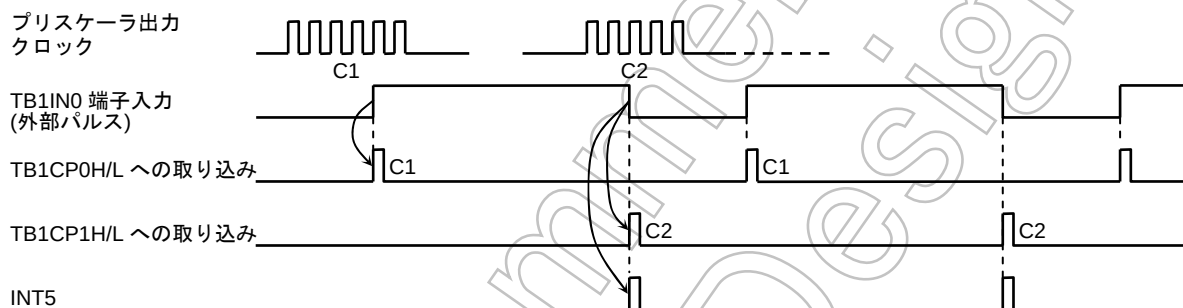


図 3.8.16 パルス幅測定

注) パルス幅測定は、TB1MOD<TB1CPM1:0>に“10”を設定することで行います。外部割り込み INT5 は、TB1IN0 入力の立ち下がりエッジで発生します。その他の設定では、INT5 は TB1IN0 入力の立ち上がりエッジで発生します。

また、外部パルスの“L”レベル幅を測定することもできます。この場合 2 回目の INT5 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより求めることができます。

4. 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ UC12 をフリーランニングでカウントアップさせておきます。TB1IN0 端子の入力パルスの立ち上がりエッジで、UC12 の値をキャプチャレジスタ TB1CP0H/L に取り込みます。このとき、割り込み INT5 が発生します。

TB1IN1 端子の入力パルスの立ち上がりエッジで、UC12 の値をキャプチャレジスタ TB1CP1H/L に取り込みます。このとき、割り込み INT6 が発生します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB1CP1H/L から TB1CP0H/L を引いた値に、内部クロックの周期をかけて求めることができます。

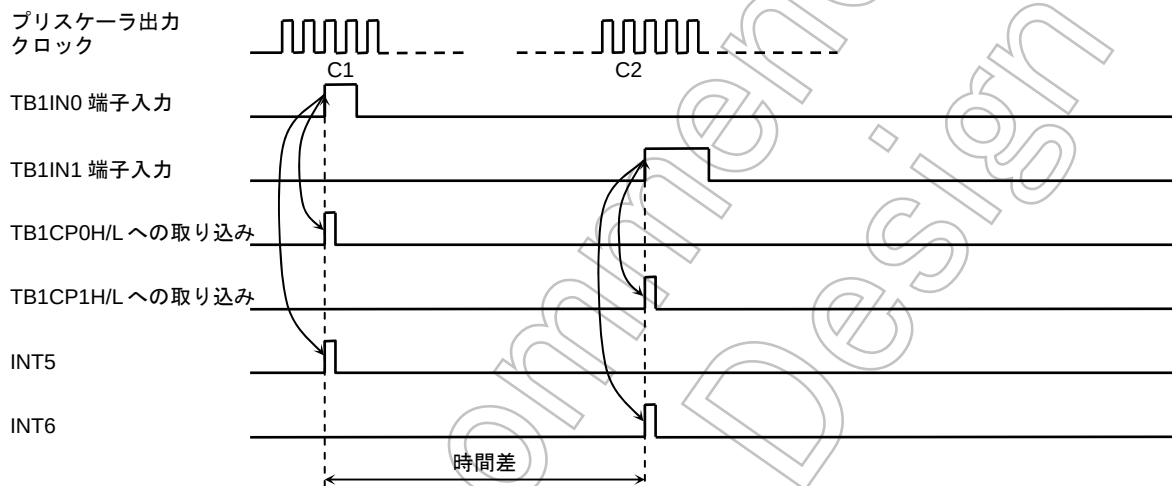


図 3.8.17 時間差測定

3.9 シリアルチャネル (SIO)

TMP92CY23/CD23A はシリアル入出力を 3 チャネル内蔵しています。それぞれ SIO0、SIO1、SIO2 と呼びます。各チャネルは、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。

- I/O インタフェースモード ——— モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
- 非同期通信 (UART) モード ———
 - モード 1: 送受信データ長 7 ビット
 - モード 2: 送受信データ長 8 ビット
 - モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

図 3.9.2~図 3.9.4 に、各チャネルのブロック図を示します。

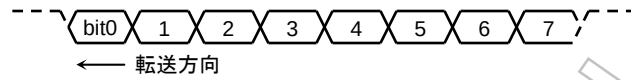
各チャネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

各チャネルは、それぞれ独立に動作します。いずれのチャネルも下記に示す表 3.9.1 の仕様相違点を除いて同一の動作をしますので、SIO0 の場合についてのみ説明します。

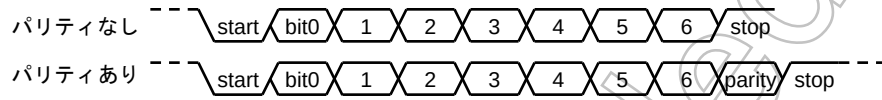
表 3.9.1 SIO のチャネル別仕様相違点

	チャネル 0	チャネル 1	チャネル 2
端子名称	TXD0 (PF0) RXD0 (PF1) CTS0/SCLK0 (PF2)	TXD1 (PF3) RXD1 (PF4) CTS1/SCLK1 (PF5)	TXD2 (PD2) RXD2 (PD3) CTS2/SCLK2 (PD4)
IrDA モード	あり	あり	あり

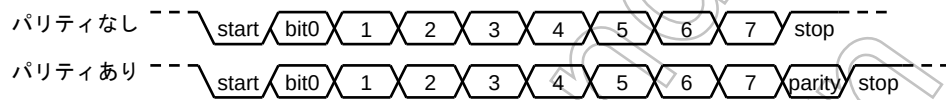
- モード0 (I/O インタフェースモード)



- モード1 (7 ビット UART モード)



- モード2 (8 ビット UART モード)



- モード3 (9 ビット UART モード)

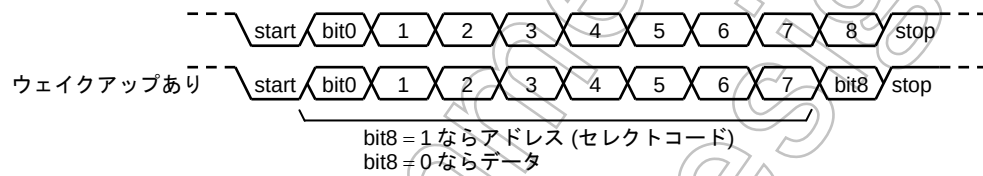


図 3.9.1 データフォーマット

3.9.1 チャンネル別のブロック図

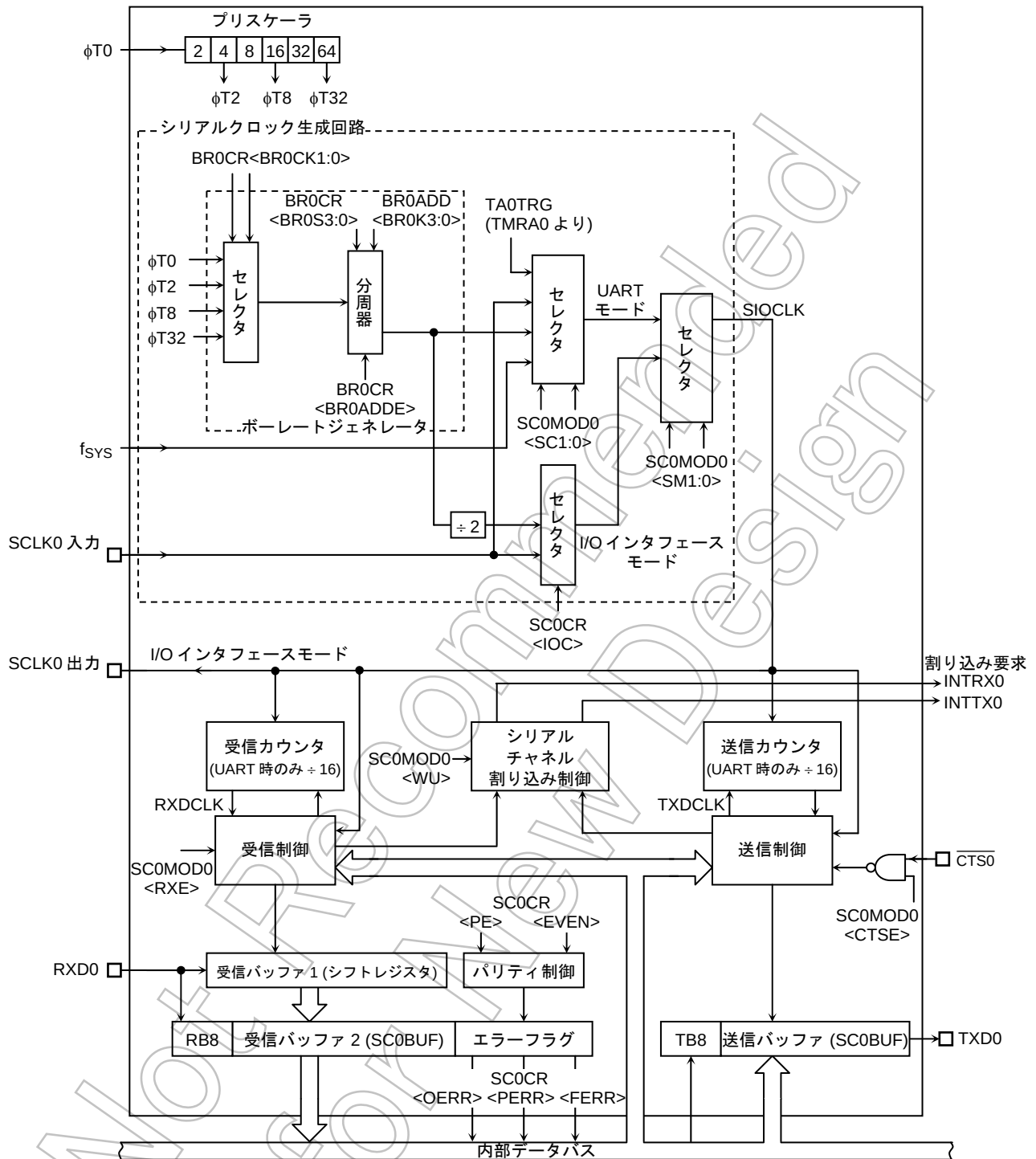


図 3.9.2 SIO0 ブロック図

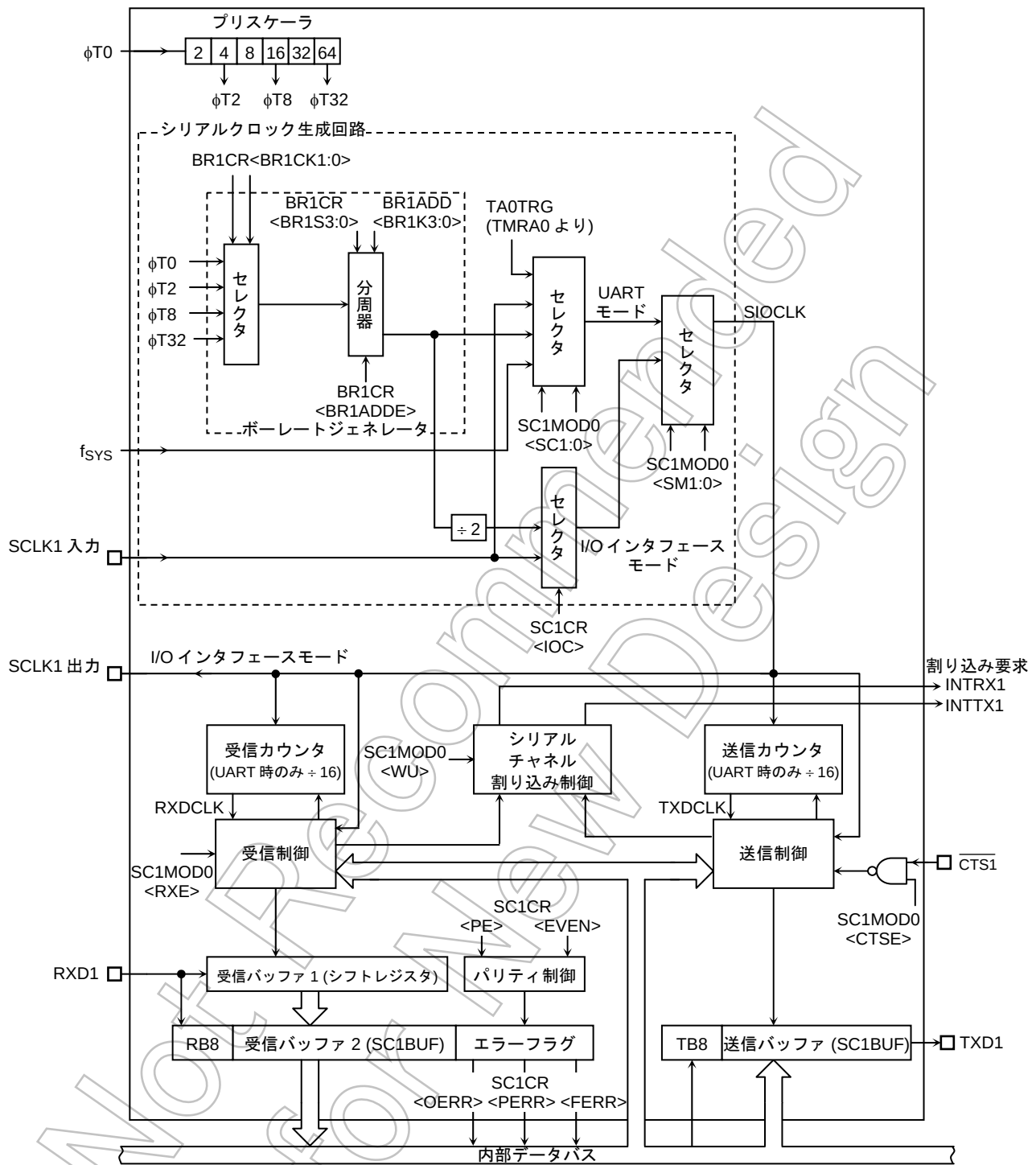


図 3.9.3 SIO1 ブロック図

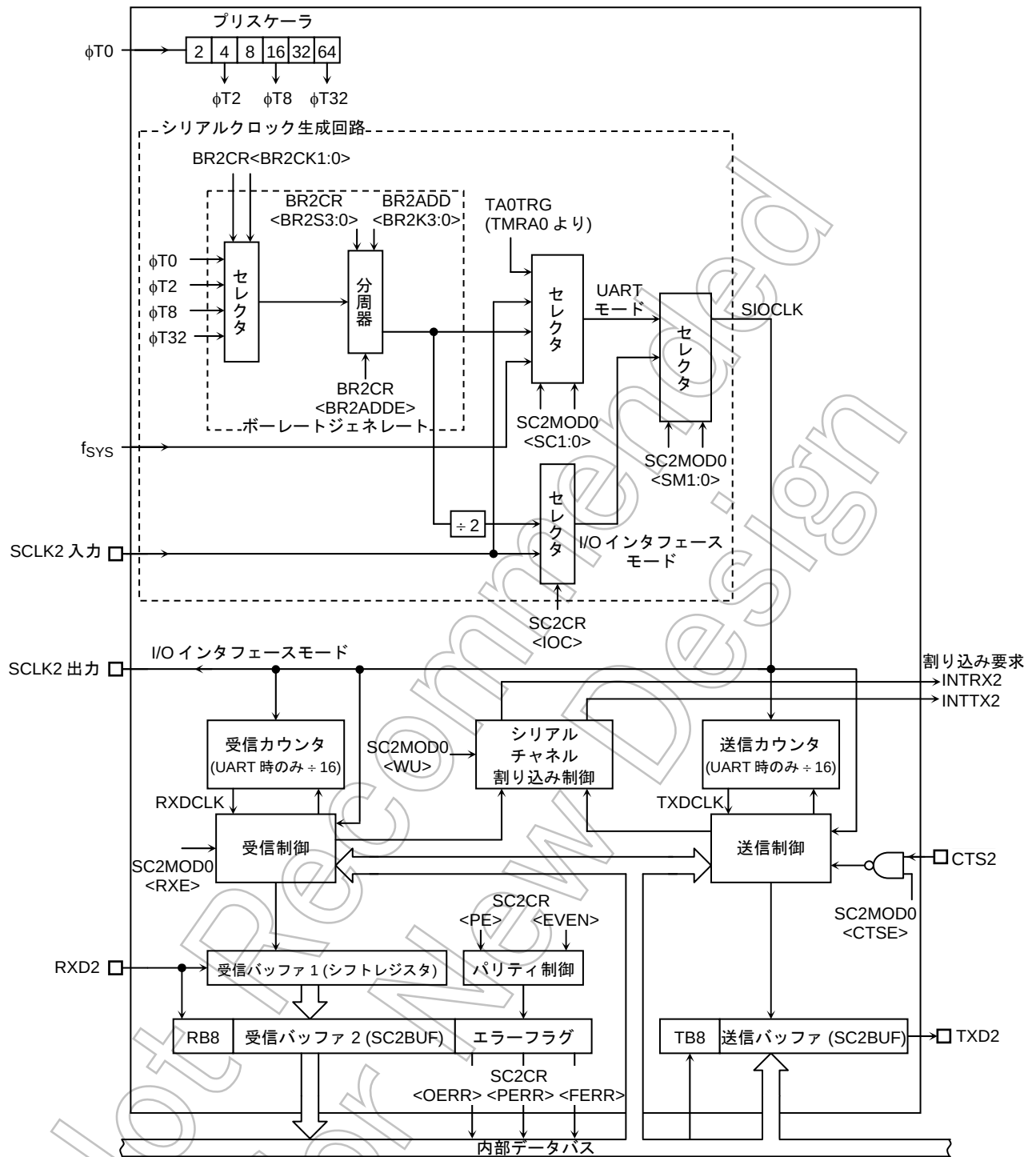


図 3.9.4 SIO2 ブロック図

3.9.2 回路別の動作説明

(1) プリスケーラ

SIO0 の動作クロックを生成するために、6 ビットプリスケーラがあります。プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合動作することが可能となります。プリスケーラ出力クロックの分解能を表 3.9.2に示します。

表 3.9.2 ボーレートジェネレータへのプリスケーラクロック分解能

システム クロック 選択 SYSCR1 <SYSCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	ボーレートジェネレータ入力クロック SIO 部プリスケーラ BR0CR<BR0CK1:0>			
			$\phi T0$	$\phi T2(1/4)$	$\phi T8(1/16)$	$\phi T32(1/64)$
1(fs)	-	1/4	fs/4	fs/16	fs/64	fs/256
0(fc)	000(1/1)		fc/4	fc/16	fc/64	fc/256
	001(1/2)		fc/8	fc/32	fc/128	fc/512
	010(1/4)		fc/16	fc/64	fc/256	fc/1024
	011(1/8)		fc/32	fc/128	fc/512	fc/2048
	100(1/16)		fc/64	fc/256	fc/1024	fc/4096

ボーレートジェネレータには、プリスケーラ出力クロックより $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ の 4 種類のクロックが用いられます。

(2)ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは6ビットプリスケアラより、 $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ $BR0CR <BR0CK1:0>$ で設定します。

ボーレートジェネレータは、 $1, N + (16 - K)/16$ 分周が可能な分周器を内蔵しており、 $BR0CR <BR0ADDE> <BR0S3:0>$ 、 $BR0ADD <BR0K3:0>$ の設定に従い分周を行い転送速度を決定します。

- UART モードの場合

- (1) $BR0CR <BR0ADDE> = 0$ の場合

$BR0ADD <BR0K3:0>$ の設定は無視され、 $BR0CR <BR0S3:0>$ に設定された値 “N” に従い N 分周を行います。(N = 1、2、3 … 16)

- (2) $BR0CR <BR0ADDE> = 1$ の場合

$N + (16 - K)/16$ 分周機能がイネーブルになり $BR0CR <BR0S3:0>$ に設定された値 “N” (N = 2、3 … 15)、 $BR0ADD <BR0K3:0>$ に設定された値 “K” に従い $N + (16 - K)/16$ 分周を行います。(K = 1、2、3 … 15)

注) N = 1 および 16 のときは $N + (16 - K)/16$ 分周機能は禁止となりますので、必ず $BR0CR <BR0ADDE> = “0”$ に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K)/16$ 分周機能は使用できません。必ず $BR0CR <BR0ADDE> = “0”$ に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

$f_C = 12.288 \text{ MHz}$ で入力クロック $\phi T2$ 、分周値 “N” ($BR0CR<BR0S3:0> = 5$ 、 $BR0CR<BR0ADDE> = “0”$ の場合の UART モードのボーレートは、

* クロック条件 [クロックギア] : 1/1

$$\begin{aligned}\text{ボーレート} &= \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16 \\ &= \frac{f_C/16}{5} \div 16\end{aligned}$$

$= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600 \text{ (bps)}$ となります。

注) $(16 - K)/16$ 分周機能は禁止に設定されるため、 $BR0ADD<BR0K3:0>$ の設定は無視されます。

- $N + (16 - K)/16$ 分周 (UART モードのみ) の場合

また、 $f_C = 4.8 \text{ MHz}$ で入力クロック $\phi T0$ 、分周値 “N” ($BR0CR<BR0S3:0> = 7$ 、 “K” ($BR0ADD<BR0K3:0> = 3$ 、 $BR0CR<BR0ADDE> = 1$ の場合のボーレートは、

* クロック条件 [高速クロックギア] : 1/1

$$\begin{aligned}\text{ボーレート} &= \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16 \\ &= \frac{f_C/4}{7 + \frac{(16-3)}{16}} \div 16\end{aligned}$$

$= 4.8 \times 10^6 \div 4 \div (7 + \frac{13}{16}) \div 16 = 9600 \text{ (bps)}$ となります。

表 3.9.3 に UART モードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます (シリアルチャネル 0~2)。この場合のボーレートの算出方法を示します。

- UART モード

ボーレート = 外部クロック入力 $\div 16$

ただし、(外部クロック入力周期) $\geq 4/f_C$ を満たす必要があります。

- I/O インタフェースモード

ボーレート = 外部クロック入力

ただし、(外部クロック入力周期) $\geq 16/f_C$ を満たす必要があります。

表 3.9.3 UART ボーレートの選択
(ボーレートジェネレータ使用、BR0CR<BR0ADDE> = 0 の場合)

単位 (kbps)

f_C [MHz]	入力クロック 分周値 N	$\phi T0$ ($f_C/4$)	$\phi T2$ ($f_C/16$)	$\phi T8$ ($f_C/64$)	$\phi T32$ ($f_C/256$)
9.8304	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	10	9.600	2.400	0.600	0.150
12.2880	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.7456	2	115.200	28.800	7.200	1.800
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	10	19.200	4.800	1.200	0.300
22.1184	3	115.200	28.800	7.200	1.800
24.5760	1	384.000	96.000	24.000	6.000
↑	2	192.000	48.000	12.000	3.000
↑	4	96.000	24.000	6.000	1.500
↑	5	76.800	19.200	4.800	1.200
↑	8	48.000	12.000	3.000	0.750
↑	A	38.400	9.600	2.400	0.600
↑	10	24.000	6.000	1.500	0.375

注) I/O インタフェースモード時の転送レートは、本表の値の 8 倍になります。

UART モード時、シリアル送信クロックにタイマの一致出力(TA0TRG)が使用できます。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

$$\text{TA0TRG の周波数} = \text{ボーレート} \times 16$$

注) I/O インタフェースモードでは、TMRA0 からのトリガ信号を転送クロックとして使用できません。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- 非同期通信(UART) モードの場合

SC0MOD0<SC1:0>の設定により、前記ボーレートジェネレータからのクロック、システムクロック fsys、TMRA0 の一致検出信号、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、非同期通信(UART) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ、7, 8, 9 番目でデータをサンプリングします。

3 度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが 1, 0, 1 であれば、受信データは “1” と判断され、また、0, 0, 1 であれば “0” と判断されます。

(5) 受信制御部

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK0 端子へ出力されるシフトクロックの立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 度のサンプリング中、2 度以上 “0” であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中も、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろったもう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) を読み出します。CPU が受信バッファ 2 (SC0BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR <RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR <RB8> に格納されます。

9 ビット UART の場合、SC0MOD0 <WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR <RB8> = “1” のときのみ、割り込み INTRX0 が発生します。

SIO 割り込みモードは SIMC レジスタによって設定可能です。

(7) 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

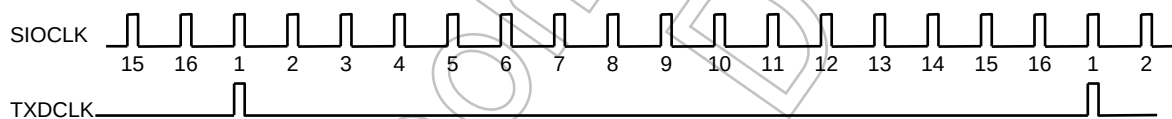


図 3.9.5 送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK0 端子より出力されるシフトクロックの立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- UART (非同期通信) モード

送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジに同期して送信を開始します。

ハンドシェイク機能

$\overline{\text{CTS}}$ 端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバーランエラーの発生を防ぐことができます。この機能は $\text{SC0MOD}<\text{CTSE}>$ によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、 INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき (受信割り込みルーチン内) に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

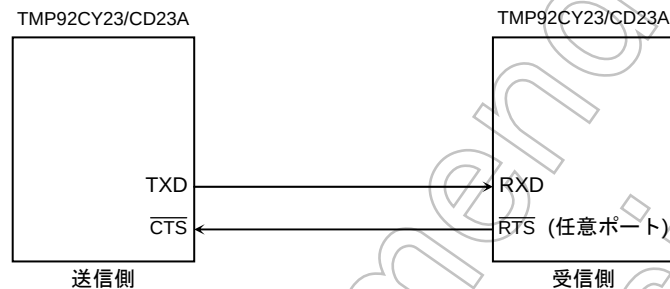
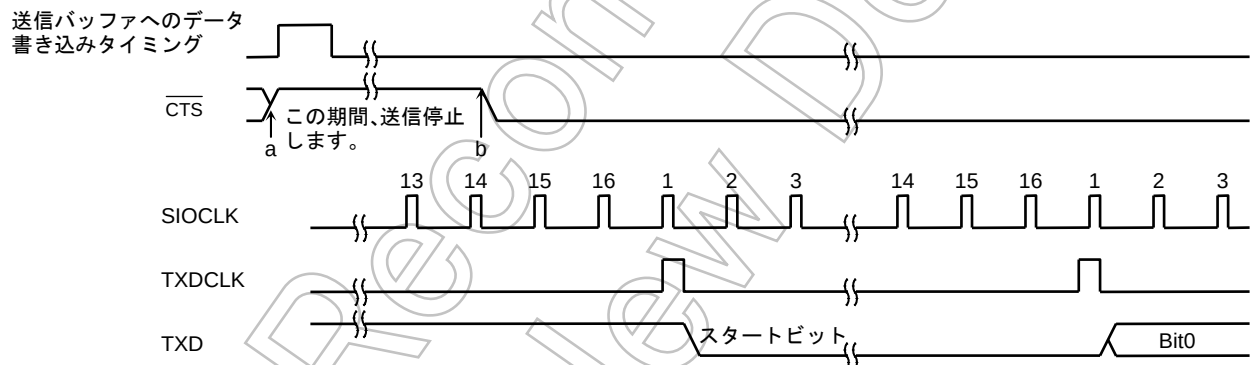


図 3.9.6 ハンドシェイク機能



注1) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

注2) $\overline{\text{CTS}}$ 信号立ち下がり後、最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.9.7 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

(9) 送信バッファ

送信バッファ SC0BUF は CPU より書き込まれた送信データを最下位ビットから順にシフトアウトし送出されます。全ビットシフトアウトされると、送信バッファエンプティで INTTX0 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR <PE> を “1” に設定するとパリティ付の送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SC0CR <EVEN> レジスタによって偶数あるいは奇数 パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC0BUF <TB7> に、8 ビット UART モードのときは SC0MOD0 <TB8> にパリティを格納して、送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータにより、パリティを自動発生し、7 ビット UART モードのときは、SC0BUF <RB7> と、8 ビット UART モードのときは、SC0CR <RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR <PERR> フラグがセットされます。

(11) エラーフラグ

受信データの信頼性を上げるために 3 つのエラーフラグが用意されています。

1. オーバランエラー<OERR>

受信バッファ 2 (SC0BUF) に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

- 1) 受信バッファをリードする
- 2) エラーフラグをリードする
- 3) if <OERR> = “1” の時
 - (ア) 受信禁止に設定 <RXE> に “0” をライト
 - (イ) 現フレームの終了待ち
 - (ウ) 受信バッファのリード
 - (エ) エラーフラグのリード
 - (オ) 受信許可に設定 <RXE> に “1” をライト
 - (カ) 再送信要求
- 4) その他の処理

2. パリティエラー<PERR>

受信バッファ 2 (SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー<FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が“0”の場合、フレーミングエラーが発生します。

(12) 各信号発生タイミング

1. UART モードの場合

受信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	最終ビット (ビット 8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
オーバランエラー発生タイミング	最終ビット (ビット 8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近

注 1) 9 ビットモード, 8 ビット + パリティモードでは、割り込みは 9 回目と同時に発生します。そのため、割り込み発生後、1 ビット転送分 (ストップビットが転送されるまで) 時間をおいてフレーミングエラーのチェックをしてください。

送信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	ストップビット送出の直前	←	←

2. I/O インタフェースモードの場合

送信割り込み発生タイミング	SCLK 出力モード	最終ビット終了直後 (図 3.9.25 参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (図 3.9.26 参照)
受信割り込み発生タイミング	SCLK 出力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.9.27 参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.9.28 参照)

3.9.3 SFR説明

SC0MOD0 (1202H)		7	6	5	4	3	2	1	0
	Bit symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データ ビット 8	ハンドシェイク機能制 御 0: CTS 禁止 1: CTS 許可	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェース モード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード	シリアル転送クロック (UART 用) 00: TA0TRG 01: ボーレート ジェネレータ 10: 内部クロック f _{sys} 11: 外部クロック (SCLK0 入力)		

→ シリアル転送クロック (UART 用)

00	TMRA0 の一致検出信号
01	ボーレートジェネレータ
10	内部クロック f _{sys}
11	外部クロック (SCLK0 入力)

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC0CR) でクロックを選択します。

→ シリアル転送モード

00	I/O インタフェースモード
01	7 ビット長
10	UART モード 8 ビット長
11	9 ビット長

→ ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信するごとに割り込み	Don't care
1	SC0CR<RB8> = 1 のときのみ割り込み	

→ 受信制御

0	受信禁止
1	受信許可

→ ハンドシェイク機能 (CTS 端子)

0	ディセーブル (常時送信可能)
1	イネーブル

→ 送信データビット 8

図 3.9.8 シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

SC1MOD0
(120AH)

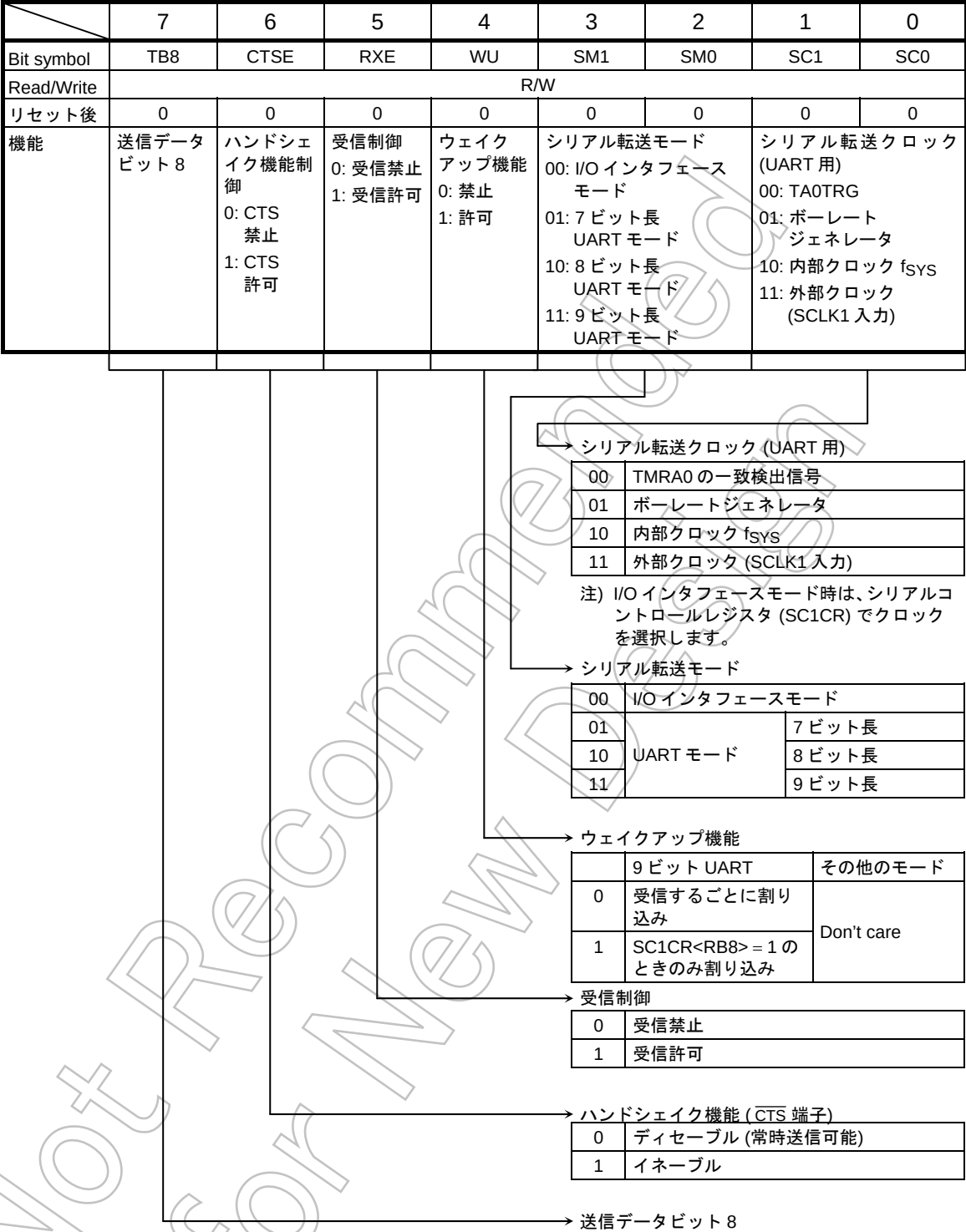


図 3.9.9 シリアルモードコントロールレジスタ 0 (SIO1 用、SC1MOD)

SC2MOD0
(1212H)

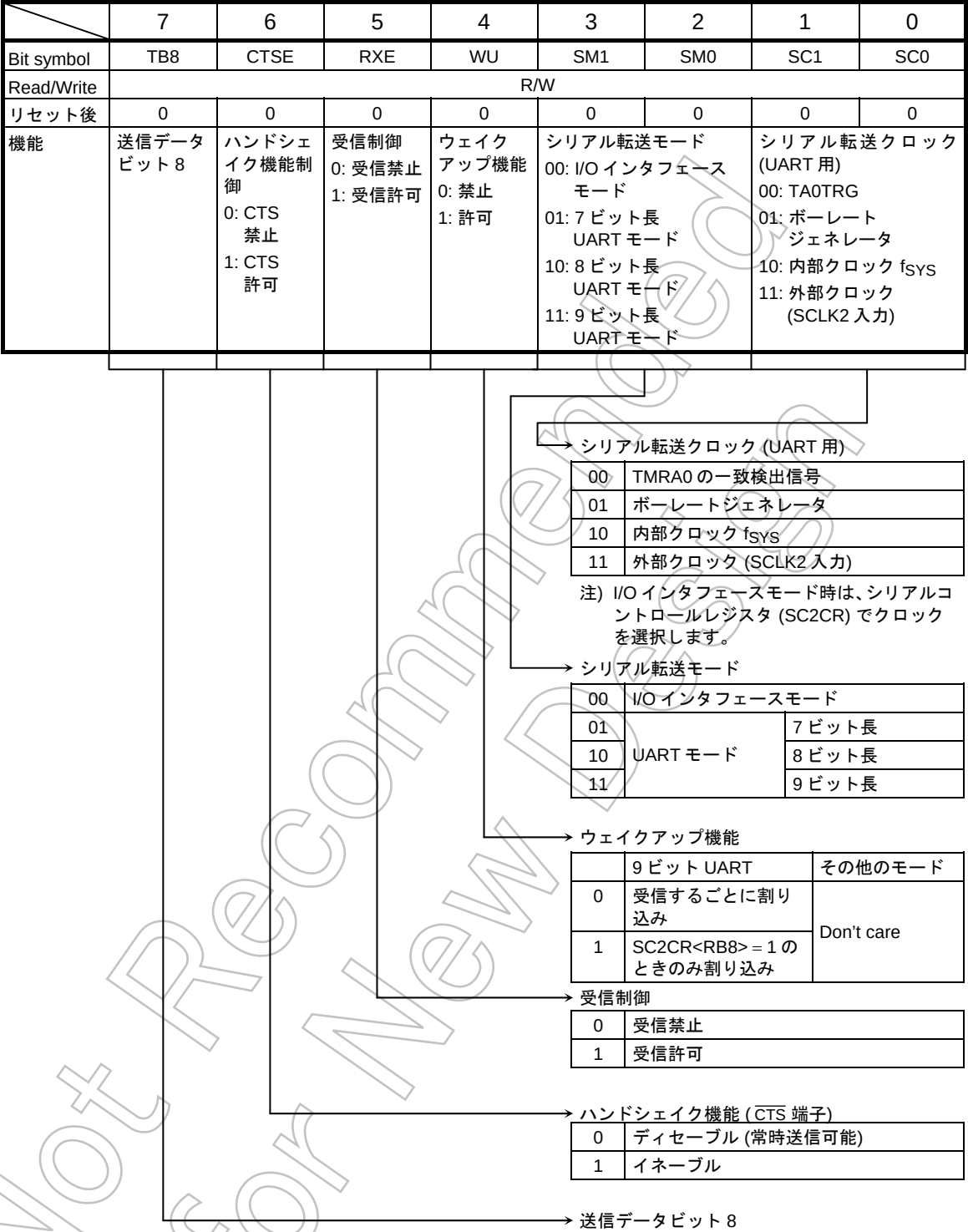
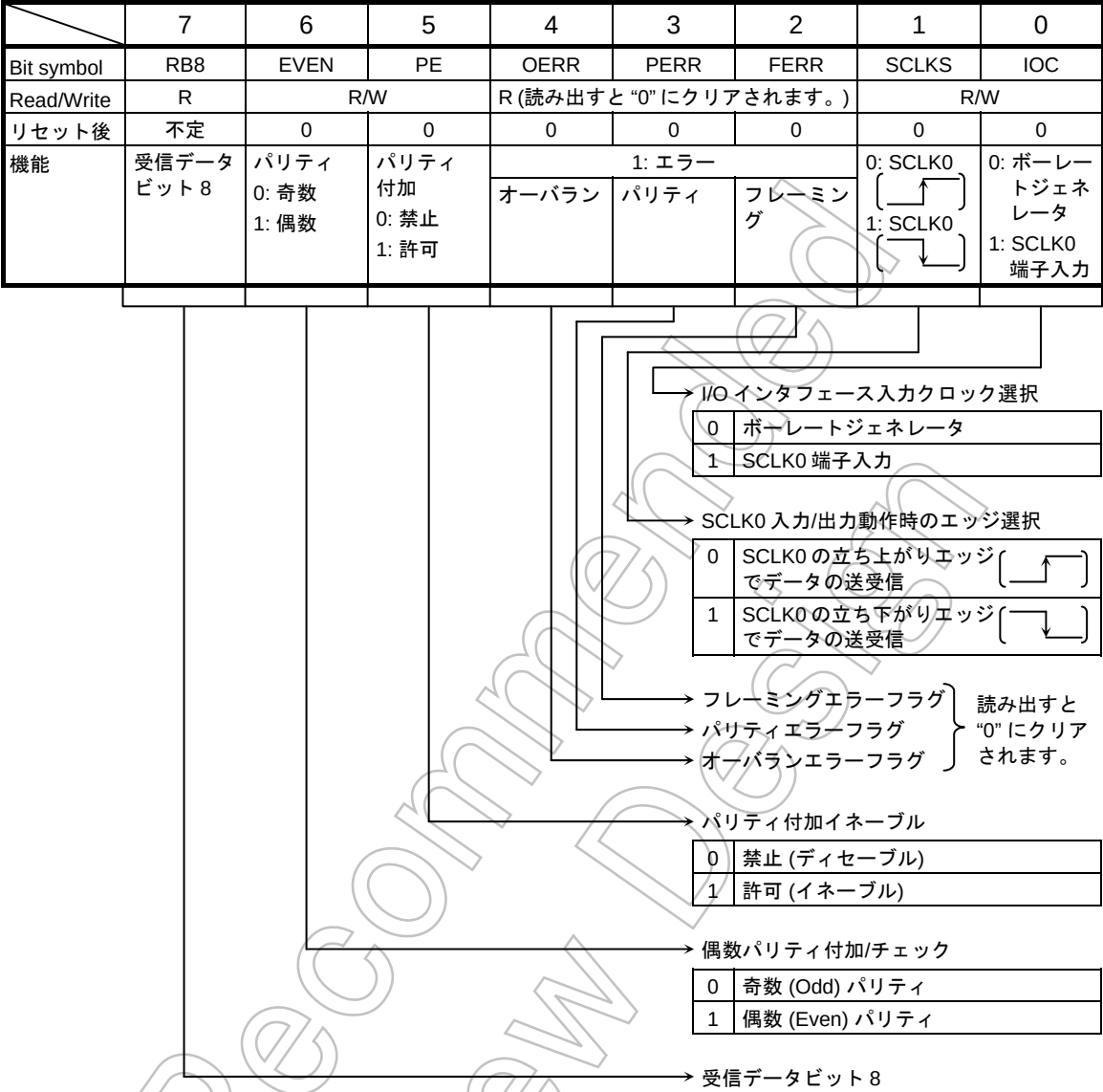


図 3.9.10 シリアルモードコントロールレジスタ 0 (SIO2 用、SC2MOD)

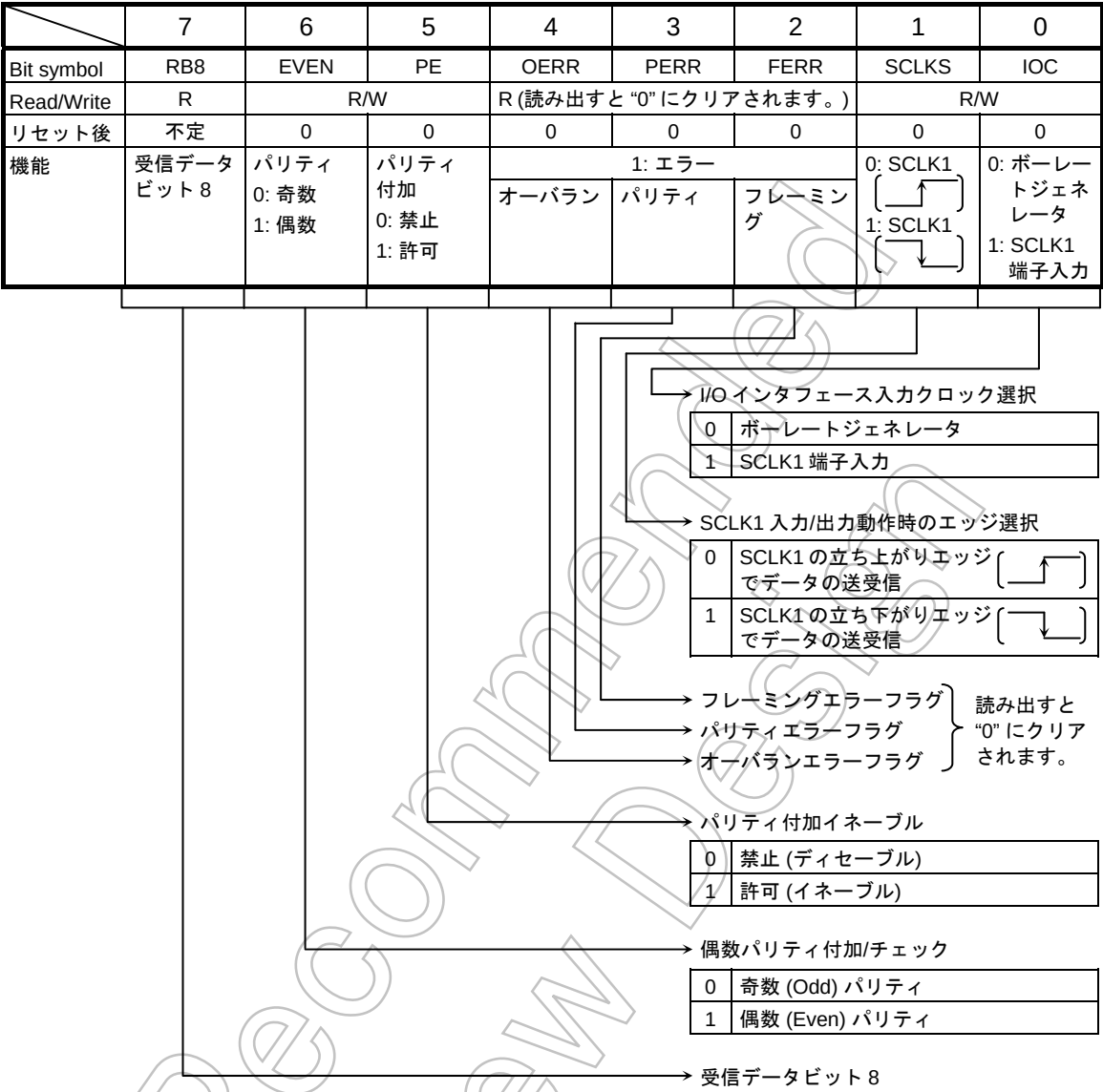
SC0CR
(1201H)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.11 シリアルコントロールレジスタ (SIO0 用、SC0CR)

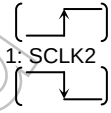
SC1CR
(1209H)

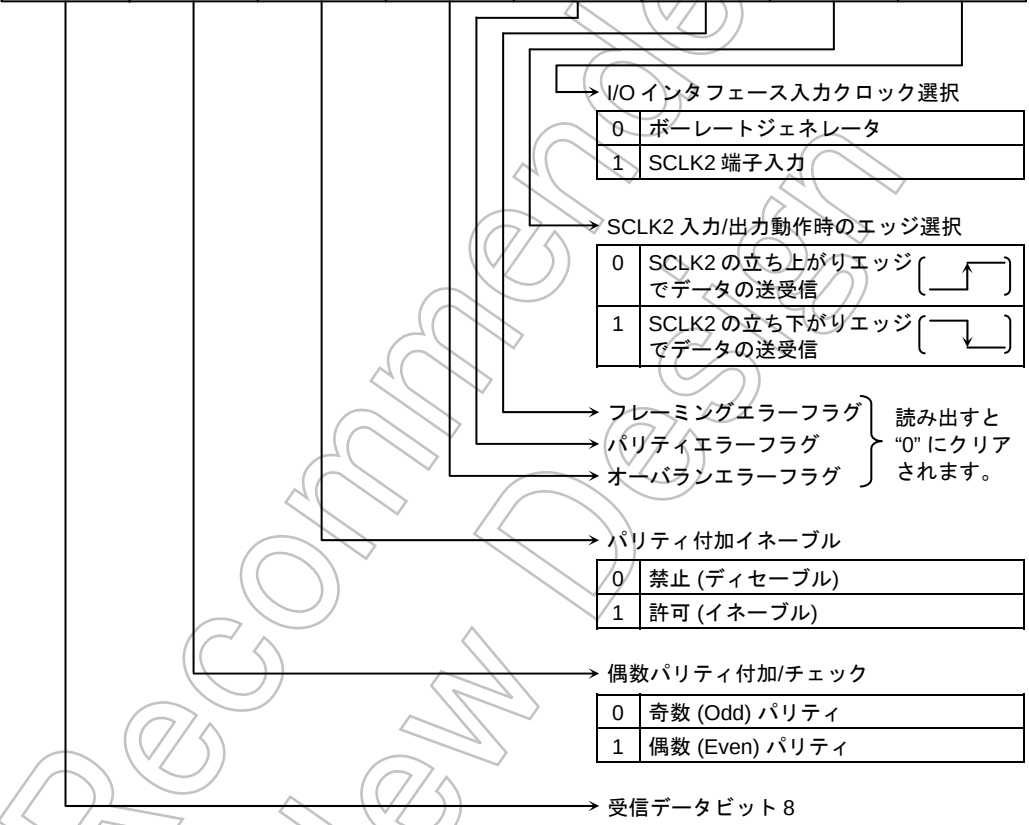


注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.12 シリアルコントロールレジスタ (SIO1 用、SC1CR)

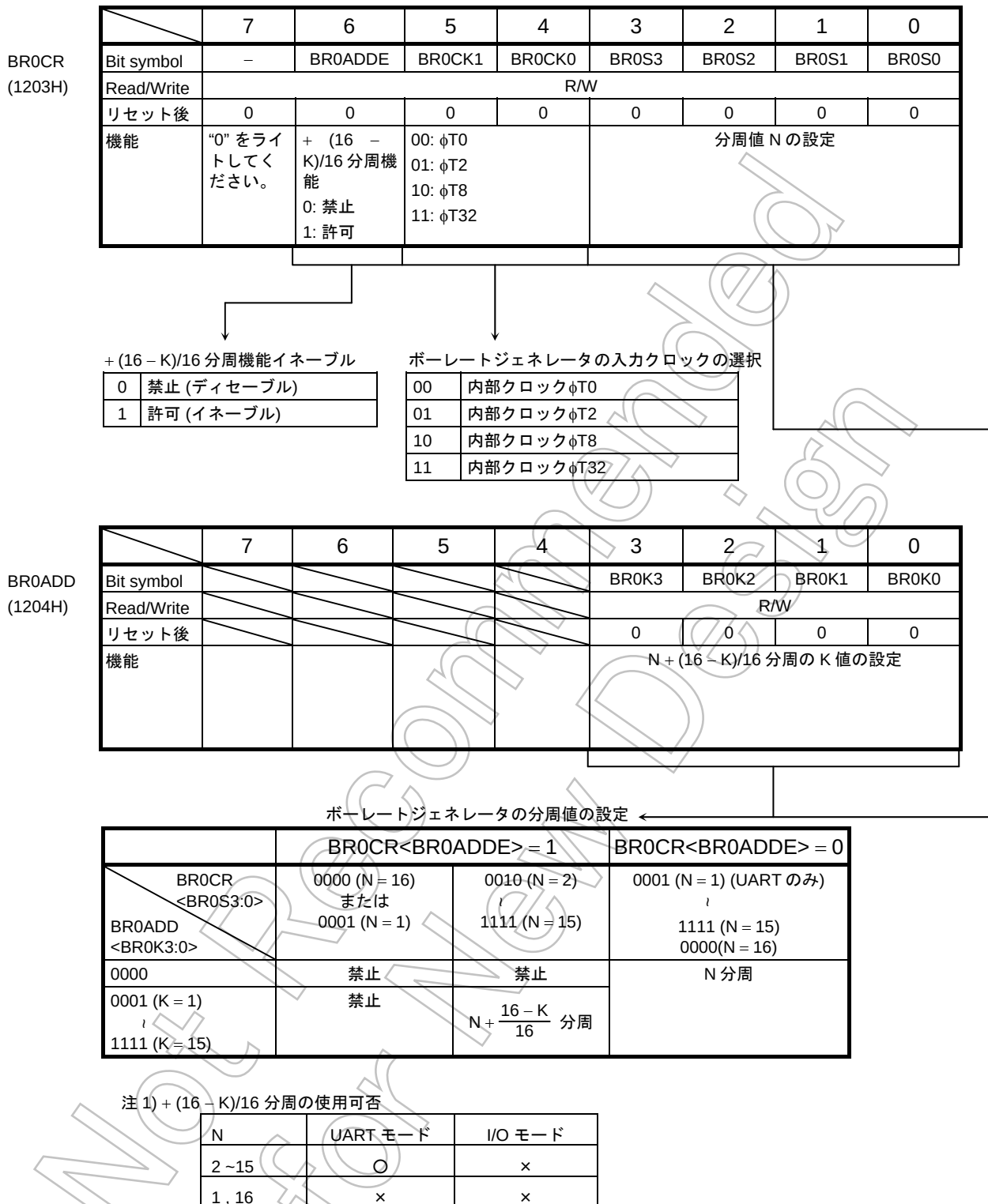
SC2CR
(1211H)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (読み出すと“0”にクリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機能	受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0: 禁止 1: 許可	1: エラー オーバーラン パリティ フレーミング			0: SCLK2 1: SCLK2 	0: ボーレートジェネレータ 1: SCLK2 端子入力



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

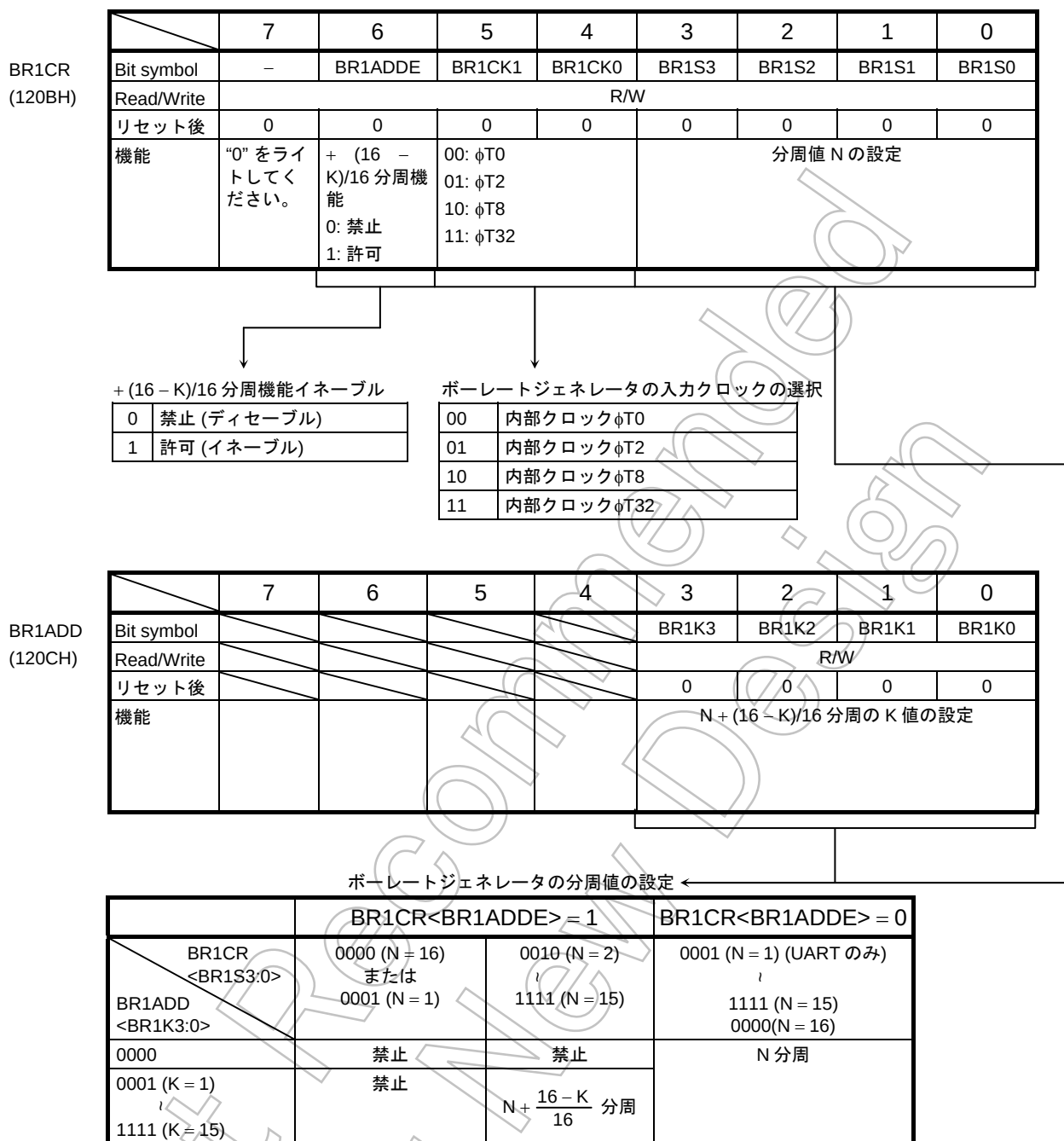
図 3.9.13 シリアルコントロールレジスタ (SIO2 用、SC2CR)



ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 – K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 – K)/16 分周機能を使用する場合、必ず BR0ADD <BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = “1” を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.14 ポーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)



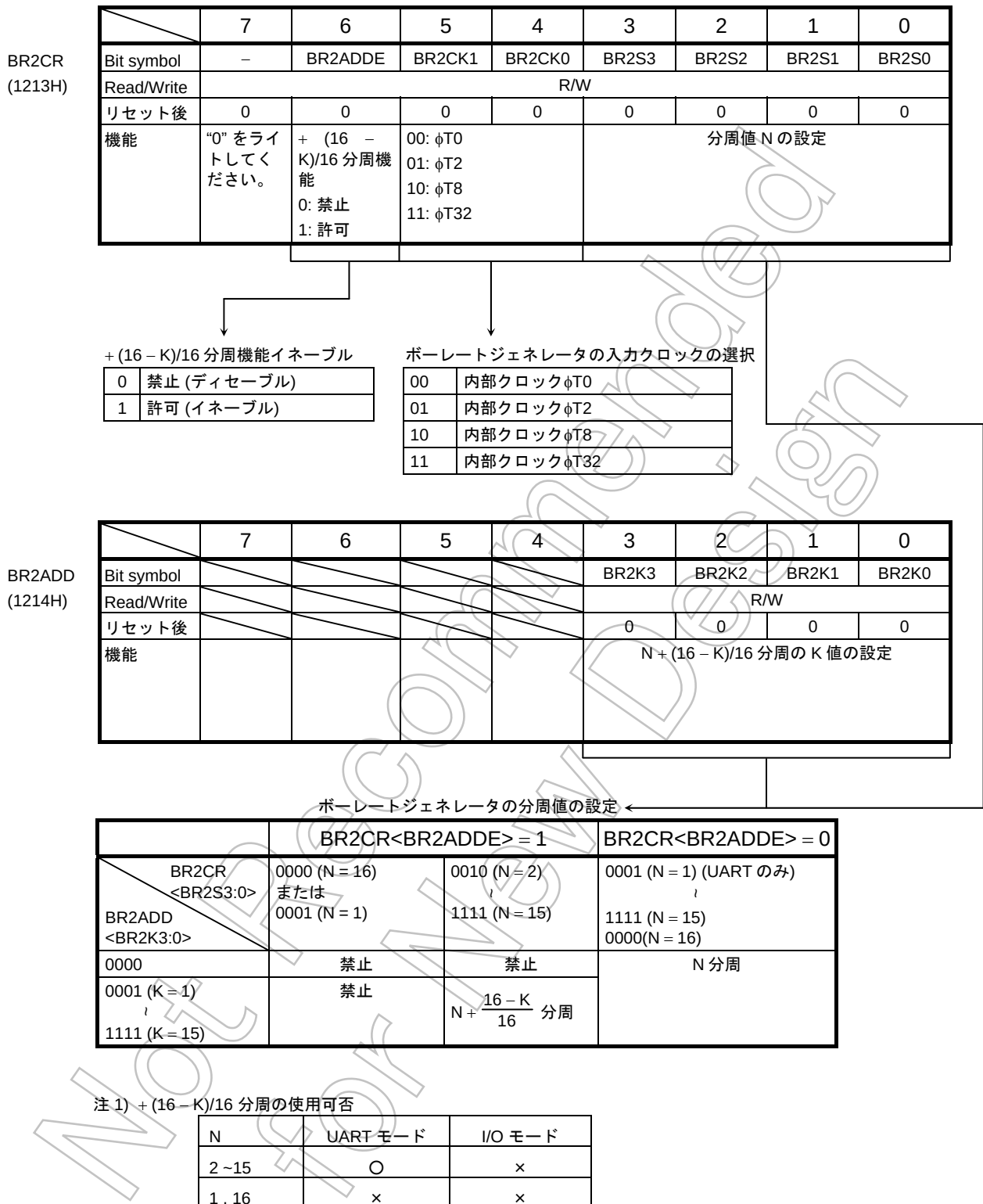
注 1) + (16 - K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ボーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、必ず BR1ADD<BR1K3:0> に K 値 (K = 1~15) を設定後に BR1CR<BR1ADDE> = “1” を設定してください。BR1ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.15 ボーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)



ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、必ず BR2ADD <BR2K3:0> に K 値 (K = 1~15) を設定後に BR2CR <BR2ADDE> = “1” を設定してください。BR2ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.16 ポーレートジェネレータコントロール (SIO2 用、BR2CR, BR2ADD)



図 3.9.17 シリアル送受信バッファレジスタ (SIO0 用、BR0CR)

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0						
Read/Write	R/W							
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

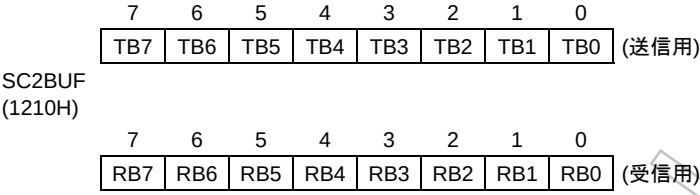
図 3.9.18 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)



図 3.9.19 シリアル送受信バッファレジスタ (SIO1 用、SC1BUF)

	7	6	5	4	3	2	1	0
Bit symbol	I2S1	FDPX1						
Read/Write	R/W							
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.9.20 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD1)



注) SC2BUF はリードモディファイライトできません。

図 3.9.21 シリアル送受信バッファレジスタ (SIO2 用、SC2BUF)

	7	6	5	4	3	2	1	0
SC2MOD1 (1215H)	Bit symbol	I2S2	FDPX2					
	Read/Write	R/W						
	リセット後	0	0					
	機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重					

図 3.9.22 シリアルモードコントロールレジスタ 1 (SIO2 用、SC2MOD2)

3.9.4 モード別動作説明

(1) モード 0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

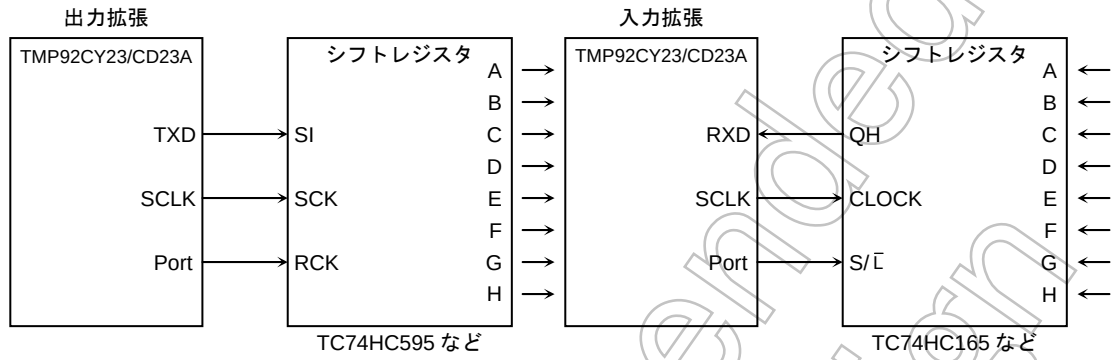


図 3.9.23 SCLK 出力モード接続例

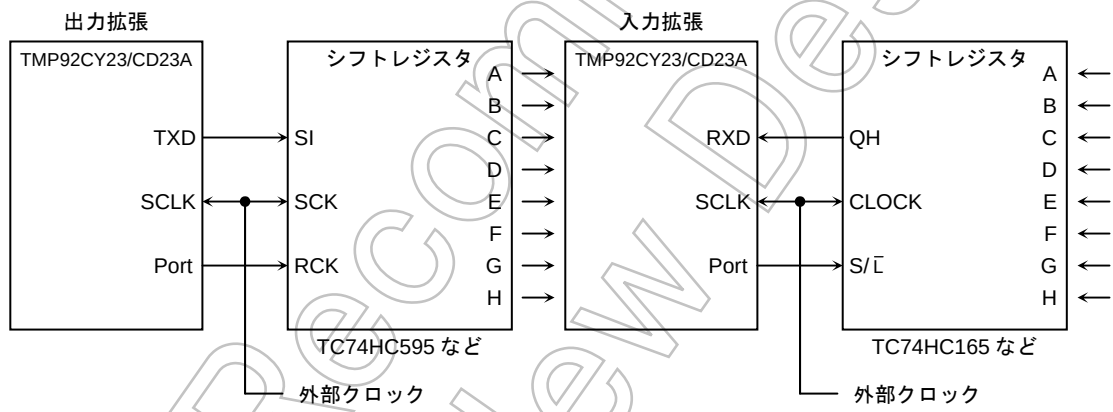


図 3.9.24 SCLK 入力モード接続例

1. 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0<ITX0C>がセットされ、割り込み INTTX0 が発生します。

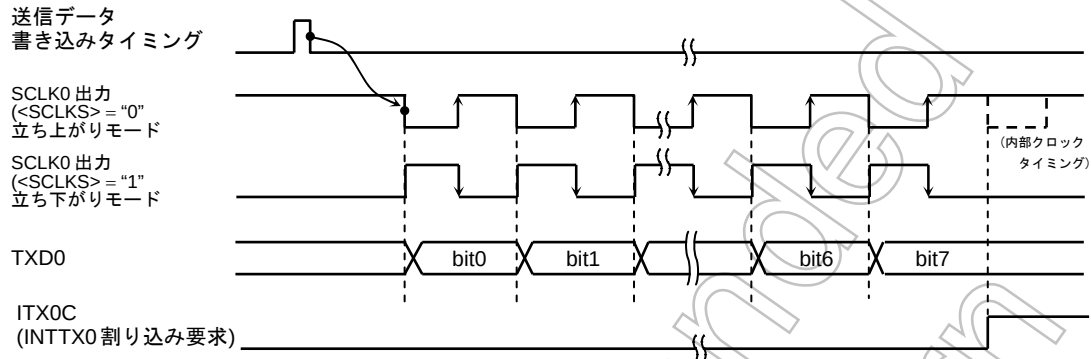


図 3.9.25 I/O インタフェースモード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK0 入力アクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0<ITX0C>がセットされ割り込み INTTX0 が発生します。

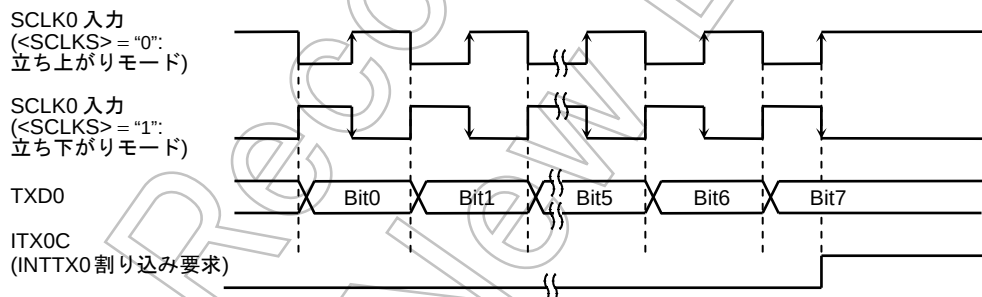


図 3.9.26 I/O インタフェースモード送信動作 (SCLK0 入力モード)

2. 受信

SCLK 出力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES0<IRX0C>がクリアされるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C>がセットされて割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を“1”にセットすることで行います。

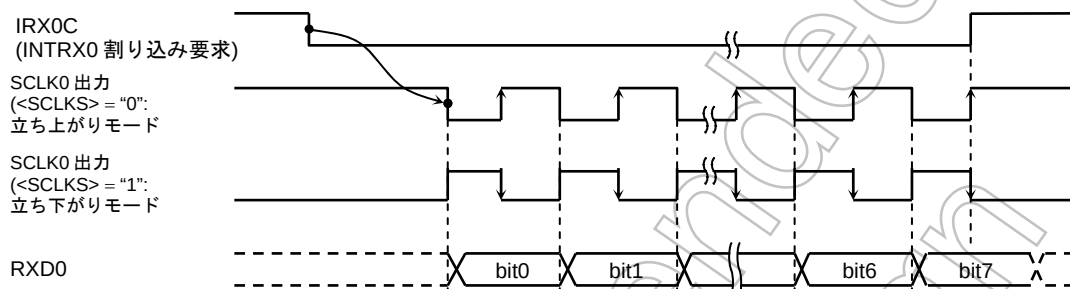


図 3.9.27 I/O インタフェースモード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES0<IRX0C>がクリアされている状態で、SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C>がセットされて割り込み INTRX0 が発生します。

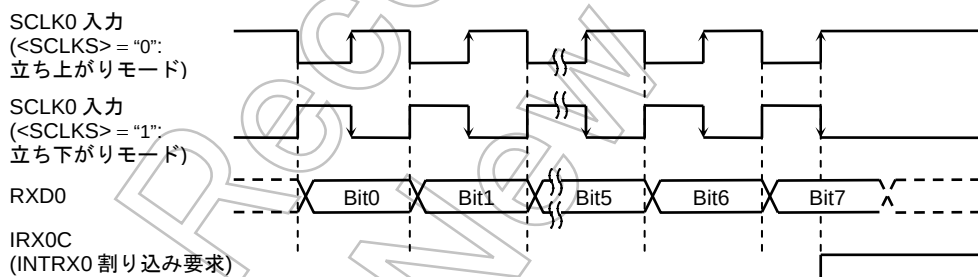


図 3.9.28 I/O インタフェースモード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には、SCLK 入/出力どちらのモードでも受信イネーブル状態 (SC0MOD<RXE> = “1”) にしておく必要があります。

3. 送受信 (全二重)

全二重モードで、送受信を行う場合は、必ず受信割り込みレベルを“0”に設定し、送信割り込みのみに割り込みレベル (“1”~“6” のいずれか) を設定してください。

受信処理は、送信割り込み処理ルーチン内で、上記例のように、送信データセットの前に行ってください。

例: チャンネル 0, SCLK 出力
9600 bps で送受信を行う場合
 $f_C = 14.7456 \text{ MHz}$

メインルーチンでの設定

	7	6	5	4	3	2	1	0
INTES0	X	0	0	1	X	0	0	0
PFCR	-	-	-	-	-	1	0	1
PFFC	-	-	-	-	-	1	1	1
PFFC2	X	X	-	-	-	0	-	-
SC0MOD0	0	0	0	0	0	0	0	0
SC0MOD1	1	1	0	0	0	0	0	0
SC0CR	0	0	0	0	0	0	0	0
BR0CR	0	0	1	1	0	0	1	1
SC0MOD0	0	0	1	0	0	0	0	0
SC0BUF	*	*	*	*	*	*	*	*

INTTX0 レベルを 1 に設定します。

INTRX0 レベルを 0 に設定します。

PF0 (TXD0), PF1 (RXD0), PF2 (SCLK0) に設定します。

I/O インタフェースに設定します。

全二重モードにセットします。

SCLK 出力、立ち上がり受信、立ち下がり送信に設定します。

転送レートを 9600 bps に設定します。

受信許可にします。

送信データを設定し、送信を開始します。

送信割り込みルーチン

Acc SC0BUF ← SC0BUF

SC0BUF * * * * *

X: Don't care, -: No change

受信データをリードします。

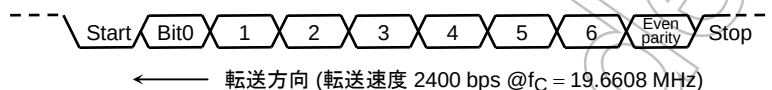
次の送信データを設定します。

(2) モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD0<SM1:0>を“01”にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = “1” (イネーブル) のときは、SC0CR<EVEN>で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



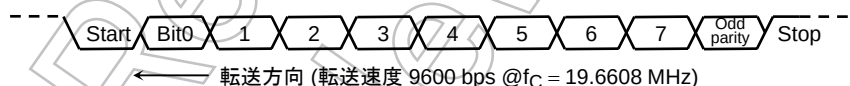
	7	6	5	4	3	2	1	0		
PFCR	←	-	-	-	-	-	-	1	} PF0 を TXD0 端子とします。	
PFFC	←	-	-	-	-	-	-	1		
SC0MOD0	←	X	0	-	X	0	1	0	1	7 ビット UART モードに設定します。
SC0CR	←	X	1	1	X	X	X	0	0	偶数パリティを付加します。
BROCR	←	0	0	1	0	1	0	0	0	転送レートを 2400 bps に設定します。
INTES0	←	X	1	0	0	-	-	-	-	INTTX0 割り込みをイネーブル、レベル 4 にします。
SC0BUF	←	*	*	*	*	*	*	*	*	送信データを設定します。

X: Don't care、-: No change

(3) モード 2 (8 ビット UART モード)

SC0MOD0<SM1:0>を“10”にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SC0CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = “1” (イネーブル) のとき、SC0CR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



メインルーチンでの設定

	7	6	5	4	3	2	1	0		
PFCR	←	-	-	-	-	-	0	-	PF1 を RXD0 端子として設定します。	
PFFC	←	-	-	-	-	-	1	-		
SC0MOD	←	-	0	1	X	1	0	0	1	8 ビット UART モード、受信イネーブルにします。 奇数パリティ付加に設定します。
SC0CR	←	X	0	1	X	X	X	0	0	
BROCR	←	0	0	0	1	1	0	0	0	転送レートを 9600 bps に設定します。
INTES0	←	-	-	-	-	X	1	0	0	INTTX0 割り込みをイネーブル、レベル 4 に設定します。

割り込みルーチンでの処理例

Acc	←	SC0CR AND 00011100	} エラーチェックを行います。
if Acc	≠	0 then ERROR	
Acc	←	SC0BUF	受信データを読み取ります。

X: Don't care, -: No change

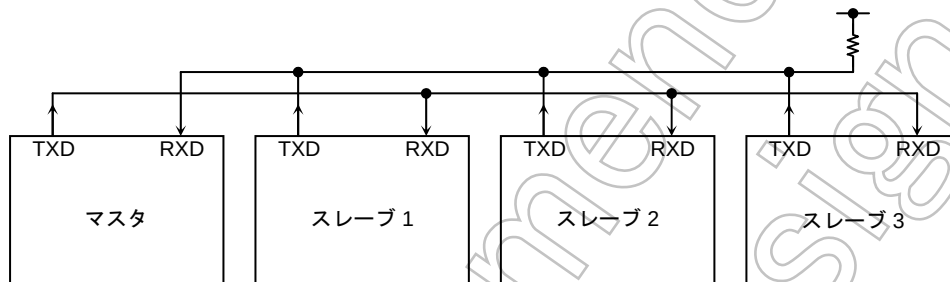
(4) モード 3 (9 ビット UART)

SC0MOD0<SM1:0>を“11”にセットすると、9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタの<TB8>に書き込み、受信の場合シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対する書き込み、読み出しは必ず<TB8>,<RB8>を先に行い、SC0BUFの方を後にします。

ウェイクアップ機能

9 ビット UART モードでは、SC0MOD0<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8> = “1”のときのみ割り込み INTRX0 が発生します。

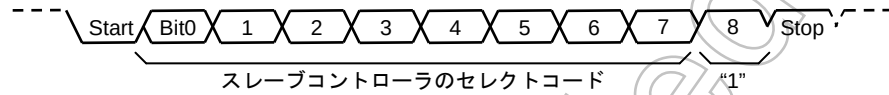


注) スレーブコントローラの TXD 端子は、必ず<PF0CR:PF0FC>= “01”に設定してオープンドレイン出力モードにしてください。

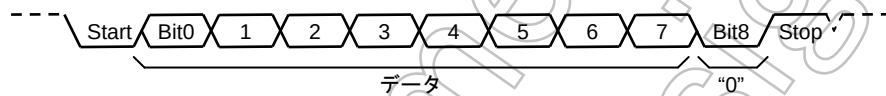
図 3.9.29 ウェイクアップ機能によるシリアルリンク

プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SC0MOD<WU>を “1” にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード (8 ビット) を含む 1 フレームを送信します。このとき最上位ビット (ビット 8) <TB8>は “1” にします。

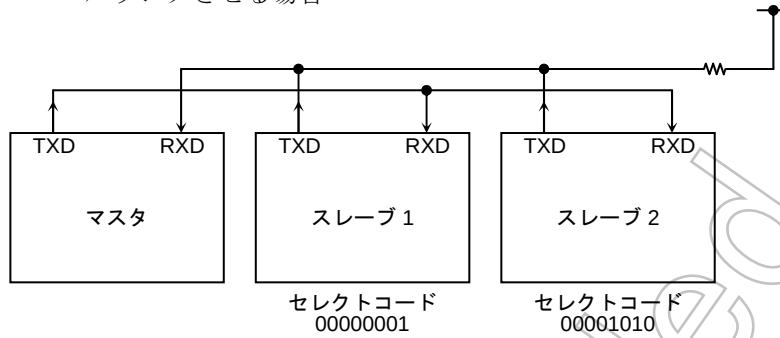


4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WU ビットを “0” にクリアします。
5. マスタコントローラは指定したスレーブコントローラ (SC0MOD0<WU>= “0” にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット 8) <TB8>は “0” にクリアされます。



6. WU = “1” のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の <RB8>が “0” であるため割り込み INTRX0 が発生せず、受信データを無視します。また、<WU> = “0” になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{SYS} を転送クロックとして 2 つのスレーブコントローラとシリアルリンクさせる場合



● マスタコントローラの設定

メインルーチン

	7	6	5	4	3	2	1	0	
PFCR	←	-	-	-	-	-	-	0	1
PFFC	←	-	-	-	-	-	-	1	1
INTES0	←	X	1	0	0	X	1	0	1
SC0MOD0	←	1	0	1	0	1	1	1	0
SC0BUF	←	0	0	0	0	0	0	0	1

PF0 を TXD0、PF1 を RXD0 端子に設定します。
INTTX0 をイネーブル、割り込みレベルを 4 に設定します。
INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
9 ビット UART モード、転送クロックを f_{SYS} に設定します。
スレーブ 1 のセレクトコードを設定します。

割り込みルーチン (INTTX0)

SC0MOD0	←	0	-	-	-	-	-	-	-
SC0BUF	←	*	*	*	*	*	*	*	*

TB8 を "0" にします。
送信データを設定します。

● スレーブの設定

メインルーチン

	7	6	5	4	3	2	1	0	
PFCR	←	-	-	-	-	-	-	0	0
PFFC	←	-	-	-	-	-	-	1	1
INTES0	←	X	1	0	0	X	1	0	1
SC0MOD0	←	0	0	1	1	1	1	1	0

PF0 を TXD0、PF1 を RXD0 端子に設定します。
INTTX0 をイネーブル、割り込みレベルを 4 に設定します。
INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
転送クロックとして f_{SYS} を使用する 9 ビット UART 送信モードで、<WU> = "1" に設定します。

割り込みルーチン (INTRX0)

Acc ← SC0BUF
if Acc = セレクトコード
Then
SC0MOD0 ← - - - 0 - - - - <WU> = "0" にクリアします。

3.9.5 IrDAのサポート

SIO0~SIO2 には、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。図 3.9.30 に、構成図を示します。

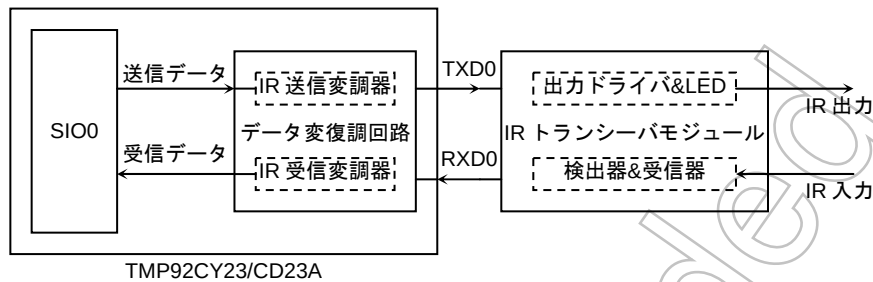


図 3.9.30 IrDA の構成図

(1) 送信データの変調

送信データが“0”のときは、モデムはボーレート周期の $\frac{3}{16}$ 倍の幅、または $\frac{1}{16}$ 倍の幅の TXD0 端子に“1”を出力します。またパルス幅は SIR0CR <PLSEL> にて選択されます。送信データが“1”のときは、モデムは“0”を出力します。

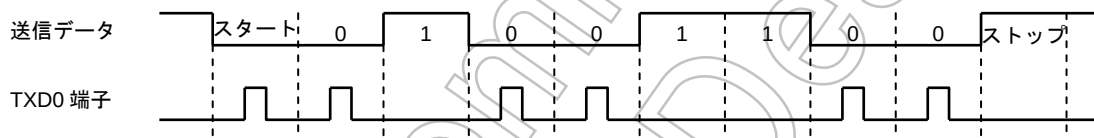


図 3.9.31 送信データの変調例 (SIO0)

(2) 受信データの復調

受信データが、有効なパルス“1”の幅のときは、モデムは SIO0 に対して“0”を出力し、それ以外のときは“1”を出力します。

有効なパルス幅は SIR0CR <SIR0WD3:0> にて選択されます。

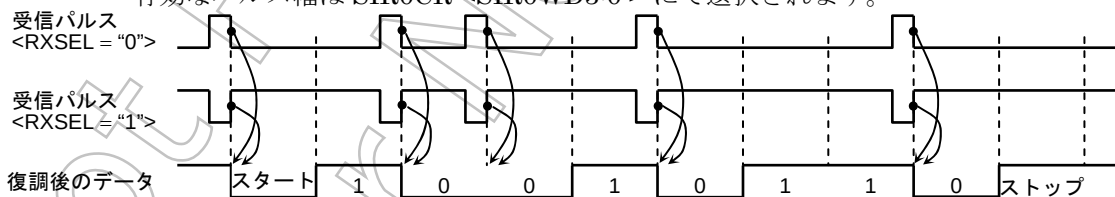


図 3.9.32 受信データの復調例 (SIO0)

(3) データのフォーマット

データフォーマットは、以下のフォーマットのみとなります。

- データ長 : 8 ビット
- パリティビット : なし
- ストップビット : 1 ビット

(4) SFR 説明

図 3.9.33~図 3.9.35 にコントロールレジスタを示します。このレジスタの設定変更を行うときは、かならずSIO0 が停止している間に行ってください。以下にこのレジスタの設定方法の特徴を示します。

- 1) SIO 設定 ;SIO を UART に設定します。
↓
- 2) LD (SIR0CR), 07H ;受信データパルス幅を 16x+100ns に設定します。
- 3) LD (SIR0CR), 37H ;TXEN, RXEN の送受信を許可します。
↓
- 4) 送受信スタート ;SIO0 から送信データが送られてくるか、赤外線受信パルスを受
および SIO0 用の受信 けると、データの変復調を行います。

(5) 使用上の注意

1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に “01” を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG, fSYS, SCLK0 入力はありません。

2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.9.4 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度許容誤差 (% of Rate)	パルス幅 最小値	パルス幅 3/16 公称値	パルス幅 最大値
2.4 kbps	RZI	± 0.87	1.41 μs	78.13 μs	88.55 μs
9.6 kbps	RZI	± 0.87	1.41 μs	19.53 μs	22.13 μs
19.2 kbps	RZI	± 0.87	1.41 μs	9.77 μs	11.07 μs
38.4 kbps	RZI	± 0.87	1.41 μs	4.88 μs	5.96 μs
57.6 kbps	RZI	± 0.87	1.41 μs	3.26 μs	4.34 μs
115.2 kbps	RZI	± 0.87	1.41 μs	1.63 μs	2.23 μs

赤外線パルス出力幅は、ボーレート T×3/16、または 1.6 μs (ボーレート 115.2 kbps 時の T×3/16 に相当) と規定されています。

TMP92CY23/CD23A では、送信時の出力パルス幅を T×3/16 と T×1/16 とを選択できる機能がありますが、T×1/16 を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps, 57.6 kbps 時には、出力パルス幅を T×1/16 に設定しないでください。

同様の理由で、SIO0 のボーレートジェネレータでの+(16-K)/16 分周機能は 115.2Kbps のボーレートを発生させ使用しないでください。また、送信パルス幅を 1/16 に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときもまた、+(16-K)/16 分周機能を使用しないでください。

表 3.9.5 K 値付き分周を使用可能なボーレートと出力パルス幅の関係

出力パルス幅	ボーレート 115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
T × 3/16	×	○	○	○	○	○
T × 1/16	—	—	×	○	○	○

- : (16-K)/16 分周機能使用可
- ×: (16-K)/16 分周機能使用不可
- : T × 1/16 パルス幅に設定不可

SIR0CR
(1207H)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXSEL	TXEN	RXEN	SIR0WD3	SIR0WD2	SIR0WD1	SIR0WD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信パルス 幅選択 0: 3/16 1: 1/16	受信データ 論理 0: "H" パル ス 1: "L" パル ス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRXD0 の有効パルス幅の設定 2x × (設定値 + 1) + 100 ns 以上のパルス幅を有効と する 設定可: 1~14 設定不可: 0, 15			

→ 受信有効パルス幅の設定
計算式: 受信有効パルス幅 $\geq 2x \times (\text{設定値} + 1) + 100 \text{ ns}$
 $x = 1/f_{\text{FPH}}$

0000	設定不可
0001	4x + 100 ns 以上のパルス幅のものを有効とする
1	
1110	30x + 100 ns 以上のパルス幅のものを有効とする
1111	設定不可

→ 受信 (復調) 動作の許可

0	受信動作を禁止する (受信された入力は無視されます。)
1	受信動作を許可する

→ 送信 (変調) 動作の許可

0	送信動作を禁止する (SIO からの入力は無視されます。)
1	送信動作を許可する

→ 送信パルス幅の選択

0	3/16 のパルス幅
1	1/16 のパルス幅

補足) ボーレートが遅く、IrDA1.0 規格のパルス幅 (最小 1.6 μs) を確保できる場合、本ビットを "1" に設定することで、赤外線点灯時間を減らし、消費電力を軽減することができます。

図 3.9.33 IrDA コントロールレジスタ 0 (SIO0 用)

SIR1CR
(120FH)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXSEL	TXEN	RXEN	SIR1WD3	SIR1WD2	SIR1WD1	SIR1WD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0: "H" パルス 1: "L" パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRXD1 の有効パルス幅の設定 $2x \times (\text{設定値} + 1) + 100 \text{ ns}$ 以上のパルス幅を有効とする 設定可: 1~14 設定不可: 0, 15			

→ 受信有効パルス幅の設定
計算式: 受信有効パルス幅 $\geq 2x \times (\text{設定値} + 1) + 100 \text{ ns}$
 $x = 1/f_{\text{FPH}}$

0000	設定不可
0001	$4x + 100 \text{ ns}$ 以上のパルス幅のものを有効とする
1	
1110	$30x + 100 \text{ ns}$ 以上のパルス幅のものを有効とする
1111	設定不可

→ 受信 (復調) 動作の許可

0	受信動作を禁止する (受信された入力は無視されます。)
1	受信動作を許可する

→ 送信 (変調) 動作の許可

0	送信動作を禁止する (SIO からの入力は無視されます。)
1	送信動作を許可する

→ 送信パルス幅の選択

0	3/16 のパルス幅
1	1/16 のパルス幅

補足) ボーレートが遅く、IrDA1.0 規格のパルス幅 (最小 1.6 μs) を確保できる場合、本ビットを "1" に設定することで、赤外線点灯時間を減らし、消費電力を軽減することができます。

図 3.9.34 IrDA コントロールレジスタ 1 (SIO1 用)

SIR2CR
(1217H)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXSEL	TXEN	RXEN	SIR2WD3	SIR2WD2	SIR2WD1	SIR2WD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0: "H" パルス 1: "L" パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRXD2 の有効パルス幅の設定 $2x \times (\text{設定値} + 1) + 100 \text{ ns}$ 以上のパルス幅を有効とする 設定可: 1~14 設定不可: 0, 15			

→ 受信有効パルス幅の設定
計算式: 受信有効パルス幅 $\geq 2x \times (\text{設定値} + 1) + 100 \text{ ns}$
 $x = 1/f_{\text{FPH}}$

0000	設定不可
0001	$4x + 100 \text{ ns}$ 以上のパルス幅のものを有効とする
1	
1110	$30x + 100 \text{ ns}$ 以上のパルス幅のものを有効とする
1111	設定不可

→ 受信 (復調) 動作の許可

0	受信動作を禁止する (受信された入力は無視されます。)
1	受信動作を許可する

→ 送信 (変調) 動作の許可

0	送信動作を禁止する (SIO からの入力は無視されます。)
1	送信動作を許可する

→ 送信パルス幅の選択

0	3/16 のパルス幅
1	1/16 のパルス幅

補足) ボーレートが遅く、IrDA1.0 規格のパルス幅 (最小 1.6 μs) を確保できる場合、本ビットを "1" に設定することで、赤外線点灯時間を減らし、消費電力を軽減することができます。

図 3.9.35 IrDA コントロールレジスタ 2 (SIO2 用)

3.10 シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 2 チャンネル内蔵しています。SBI0, SBI1 と呼びます。各チャンネルは、下記の 2 つの動作モード下記の 2 つの動作モードを持っています。

- I²C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I²C バスモードのときには、PN1(SDA0), PN2 (SCL0), PN4(SDA1), PN5 (SCL1) を通して、外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、PN0 (SCK0), PN1 (SO0), PN2 (SI0), PN3 (SCK1), PN4 (SO1), PN5 (SI1) を通して外部デバイスと接続されます。

各チャンネルは、それぞれ独立して動作し、いずれも同一の動作をしますので、SBI0 の場合についてのみ説明します。

各端子の設定(SBI0)は、下記のとおりとなります。

	PNCR<PN2C:PN0C>	PNFC<PN2F:PN0F>
I ² C バスモード	11X	11X
クロック同期式 8 ビット SIO モード	011 010	X11

各端子の設定(SBI1)は、下記のとおりとなります。

	PNCR<PN5C:PN3C>	PNFC<PN5F:PN3F>
I ² C バスモード	11X	11X
クロック同期式 8 ビット SIO モード	011 010	X11

X: Don't care

3.10.1 構成

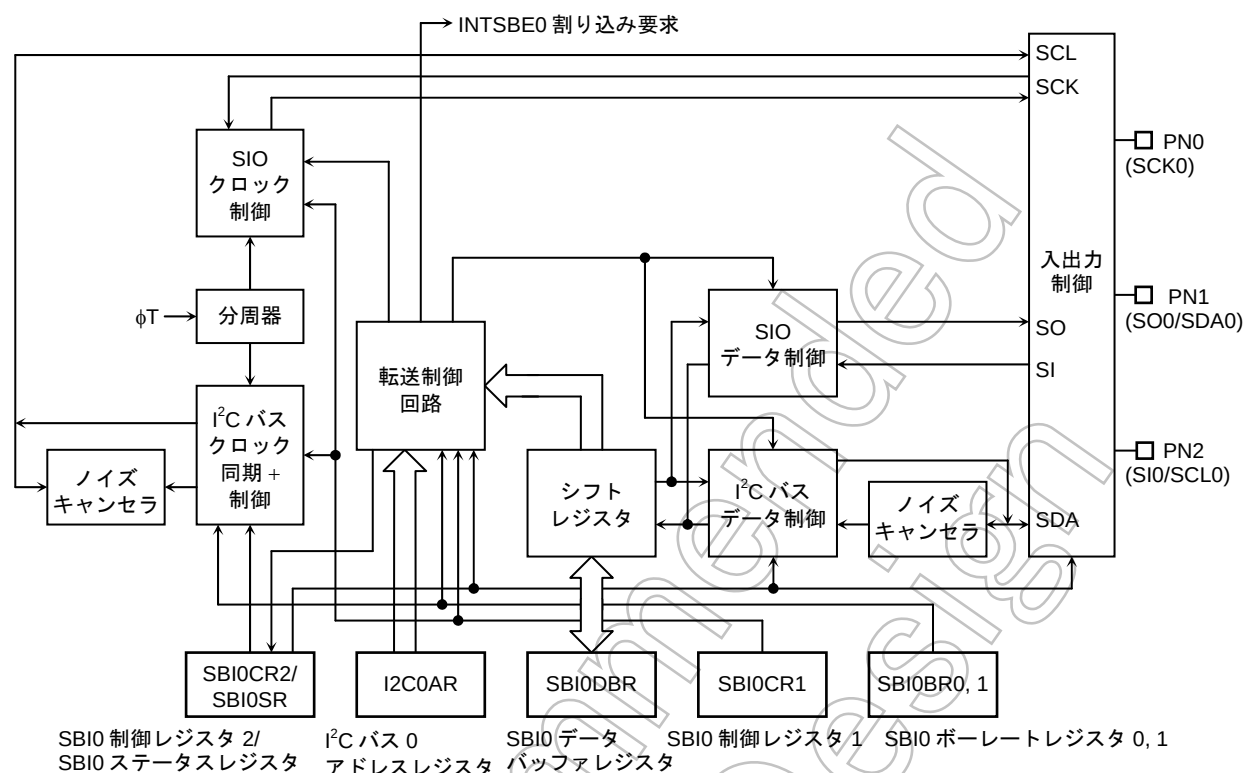


図 3.10.1 シリアルバスインタフェース 0 (SBIO)

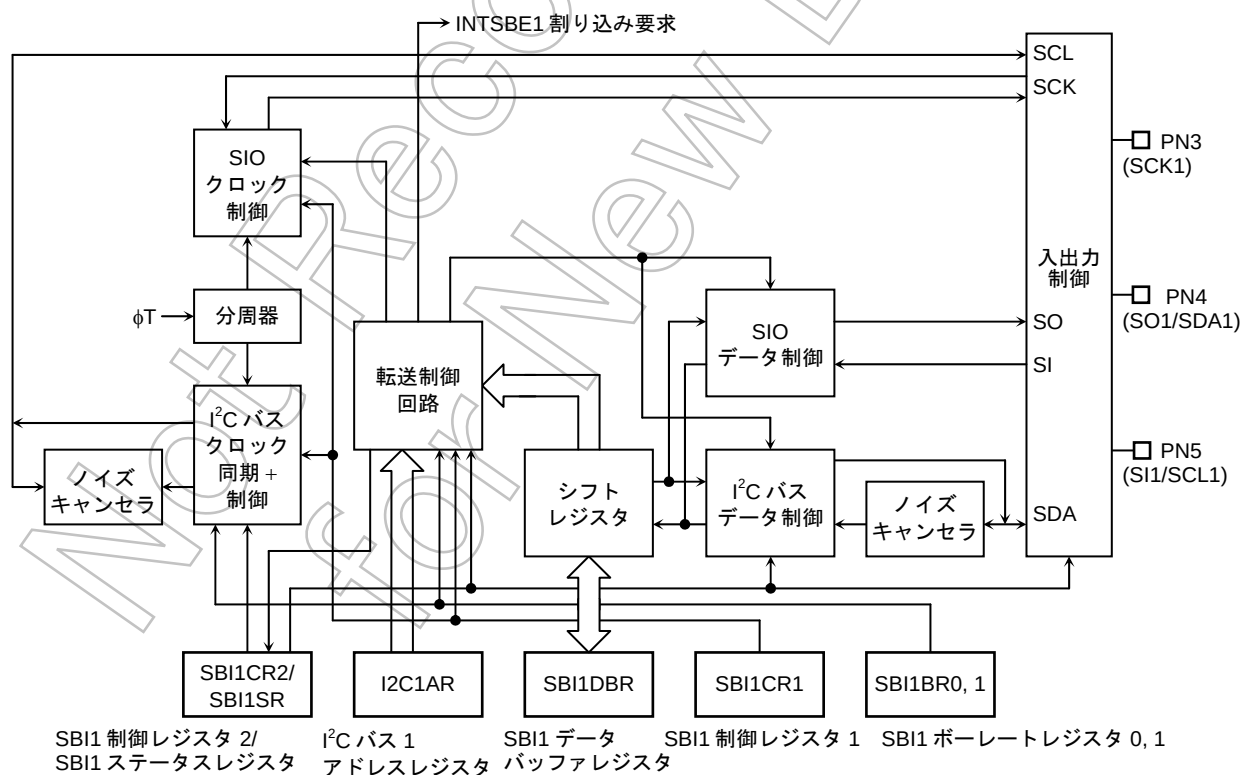


図 3.10.2 シリアルバスインタフェース 1 (SBI1)

3.10.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

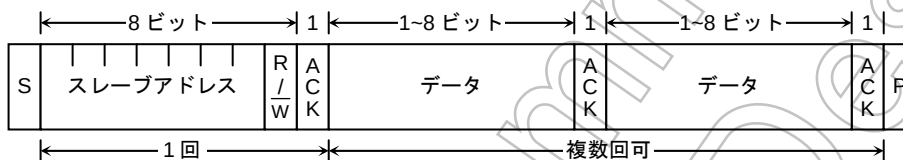
- シリアルバスインタフェース制御レジスタ 1 (SBI0CR1), (SBI1CR1)
- シリアルバスインタフェース制御レジスタ 2 (SBI0CR2), (SBI1CR2)
- シリアルバスインタフェースデータバッファレジスタ (SBI0DBR), (SBI1DBR)
- I²C バスアドレスレジスタ (I2C0AR), (I2C1AR)
- シリアルバスインタフェースステータスレジスタ (SBI0SR), (SBI1SR)
- シリアルバスインタフェースボーレートレジスタ 0 (SBI0BR0), (SBI1BR0)
- シリアルバスインタフェースボーレートレジスタ 1 (SBI0BR1), (SBI1BR1)

上記レジスタは使用するモードによって、機能が異なります。詳細は、3.10.4「I²Cバスモード時の制御」、3.10.7「クロック同期式 8 ビット SIO モード時の制御」を参照してください。

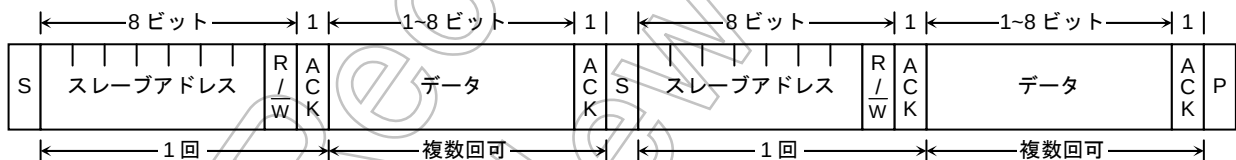
3.10.3 I²Cバスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図 3.10.3 に示します。

(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



S: スタートコンディション
 R/ $\bar{W}$: 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 3.10.3 I²C バスモード時のデータフォーマット

3.10.4 I²Cバスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI0,1) を I²C バスモードで使用する際の制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース 0 制御レジスタ 1

	7	6	5	4	3	2	1	0
Bit symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	W			R/W		W		R/W
リセット後	0	0	0	0		0	0	0/1 (注 3)
機能	転送ビット数の選択 (注 1)			アクリリジ メント クロック 0: 発生 しない 1: 発生する		内部 SCL 出力クロックの 周波数選択 (注 2) とリセット モニタ		

SBI0CR1
(1240H)リード
モディファ
イライト
できません。

内部 SCL 出力クロックの周波数選択<SCK2:0> @ライト

000	n = 5	—(注 4) kHz	$\left. \begin{array}{l} \text{システムクロック: } f_{\text{SYS}} \\ f_{\text{SYS}} = 20 \text{ MHz (SCL 端子へ} \\ \text{の出力)} \\ \text{周波数} = \frac{f_{\text{SYS}} \times 2}{2^n + 8} \quad [\text{Hz}] \end{array} \right\}$
001	n = 6	—(注 4) kHz	
010	n = 7	—(注 4) kHz	
011	n = 8	—(注 4) kHz	
100	n = 9	76.9 kHz	
101	n = 10	38.8 kHz	
110	n = 11	19.5 kHz	
111	(Reserved)	(Reserved)	

ソフトウェアリセット状態モニタ<SWRMON> @リード

0	ソフトウェアリセット中
1	初期値

アクリリジメントのためのクロック発生を選択

0	アクリリジのためのクロックを発生しない。
1	アクリリジのためのクロックを発生する。

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、<BC2:0>を“000”にクリアしてください。

注 2) SCL ラインクロックの周波数については、3.10.5 (3)「シリアルクロック」を参照してください。

注 3) SCK0 の初期値は“0”、SWRMON の初期値は“1”です。

注 4) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが、I²C 規格の規格外となります。

図 3.10.4 I²C バスモード関係のレジスタ (SBI0 用、SBI0CR1)

シリアルバスインタフェース 1 制御レジスタ 1

SBI1CR1
(1248H)リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	W			R/W		W		R/W
リセット後	0	0	0	0		0	0	0/1 (注 3)
機能	転送ビット数の選択 (注 1)			アクノリッ ジメント クロック 0: 発生 しない 1: 発生する		内部 SCL 出力クロックの 周波数選択 (注 2) とリセット モニタ		

内部 SCL 出力クロックの周波数選択<SCK2:0> @ライト

000	n = 5	— (注 4) kHz	$\left. \begin{array}{l} \text{システムクロック: } f_{\text{SYS}} \\ f_{\text{SYS}} = 20 \text{ MHz (SCL 端子へ} \\ \text{の出力)} \\ \text{周波数} = \frac{f_{\text{SYS}} \times 2}{2^n + 8} \text{ [Hz]} \end{array} \right\}$
001	n = 6	— (注 4) kHz	
010	n = 7	— (注 4) kHz	
011	n = 8	— (注 4) kHz	
100	n = 9	76.9 kHz	
101	n = 10	38.8 kHz	
110	n = 11	19.5 kHz	
111	(Reserved)	(Reserved)	

ソフトウェアリセット状態モニタ<SWRMON> @リード

0	ソフトウェアリセット中
1	初期値

アクノリッジメントのためのクロック発生を選択

0	アクノリッジのためのクロックを発生しない。
1	アクノリッジのためのクロックを発生する。

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、<BC2:0>を“000”にクリアしてください。

注 2) SCL ラインクロックの周波数については、3.10.5 (3)「シリアルクロック」を参照してください。

注 3) SCK0 の初期値は“0”、SWRMON の初期値は“1”です。

注 4) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが、I²C 規格の規格外となります。図 3.10.5 I²C バスモード関係のレジスタ (SBI1 用、SBI1CR1)

シリアルバスインタフェース 0 制御レジスタ 2

SBI0CR2
(1243H)

リード
モディファイ
アイト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W (注 1)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブの 選択	送信/受信 の選択	スタート/ ストップコ ンディショ ンの発生	INTSBEO 割り込み 要求解除	シリアルバスインタフェ ースの動作モード選択 (注 2) 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (Reserved)		ソフトウェアリセットの 発生 最初に“10”、次に“01”を ライトすると、ソフトリ セットが発生します。	

→ シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(Reserved)

→ INTSBEO 割り込み要求

0	Don't care
1	割り込み要求の解除

→ スタート/ストップコンディション制御

0	ストップコンディション発生
1	スタートコンディション発生

→ 送信/受信選択

0	レシーバ (受信)
1	トランスミッタ (送信)

→ マスタ/スレーブの選択

0	スレーブ
1	マスタ

注 1) このレジスタをリードすると、SBI0SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が “H” レベルになっていることを確認してから行ってください。

図 3.10.6 I²C バスモード関係のレジスタ (SBI0 用、SBI0CR2)

シリアルバスインタフェース 1 制御レジスタ 2

SBI1CR2
(124BH)

リード
モディファイ
アイト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W (注 1)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブの 選択	送信/受信 の選択	スタート/ ストップコ ンディショ ンの発生	INTSBE0 割り込み 要求解除	シリアルバスインタフェ ースの動作モード選択 (注 2) 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (Reserved)		ソフトウェアリセットの 発生 最初に“10”、次に“01”を ライトすると、ソフトリ セットが発生します。	

→ シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(Reserved)

→ INTSBE1 割り込み要求

0	Don't care
1	割り込み要求の解除

→ スタート/ストップコンディション制御

0	ストップコンディション発生
1	スタートコンディション発生

→ 送信/受信選択

0	レシーバ (受信)
1	トランスミッタ (送信)

→ マスタ/スレーブの選択

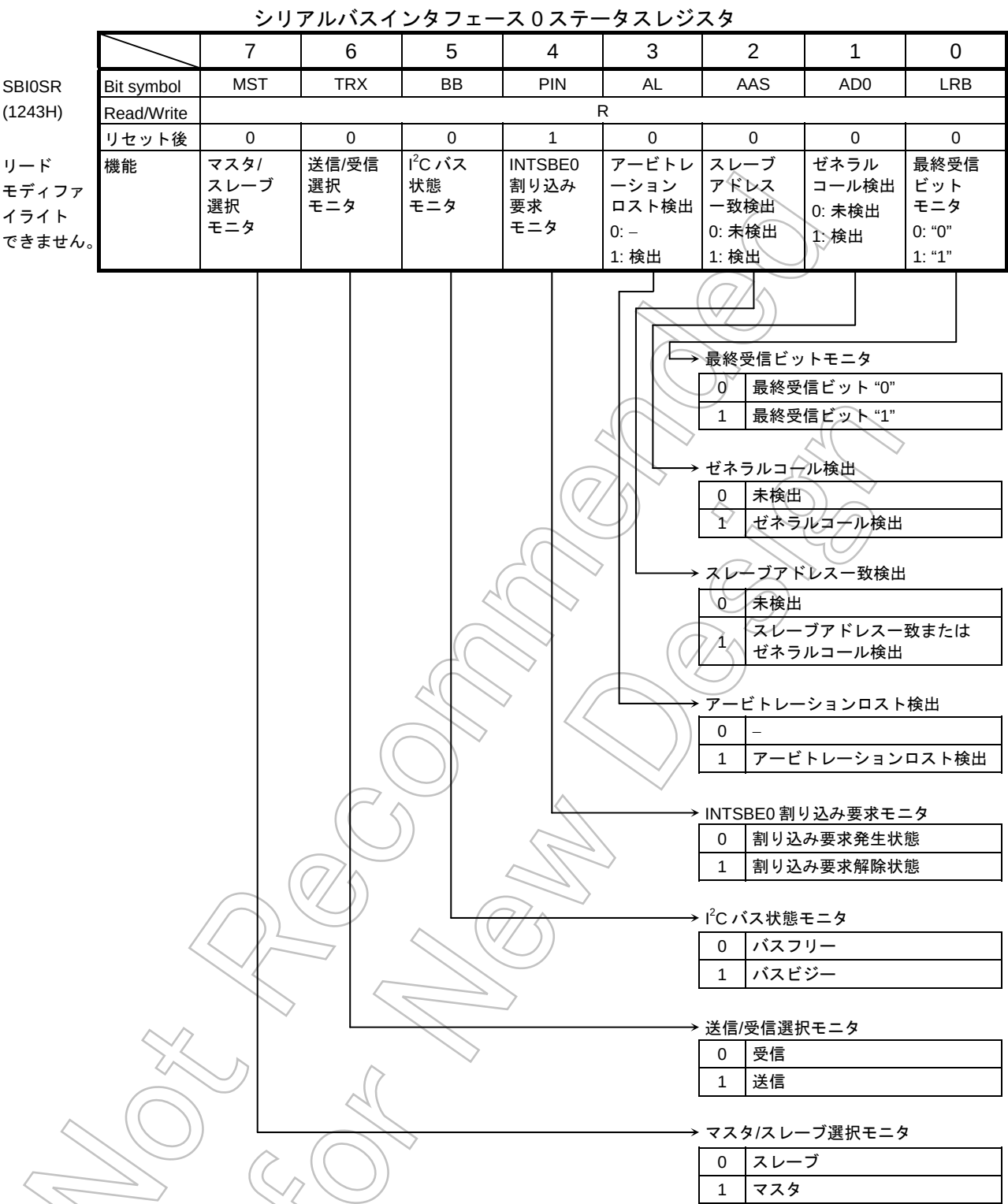
0	スレーブ
1	マスタ

注 1) このレジスタをリードすると、SBI1SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が “H” レベルになっていることを確認してから行ってください。

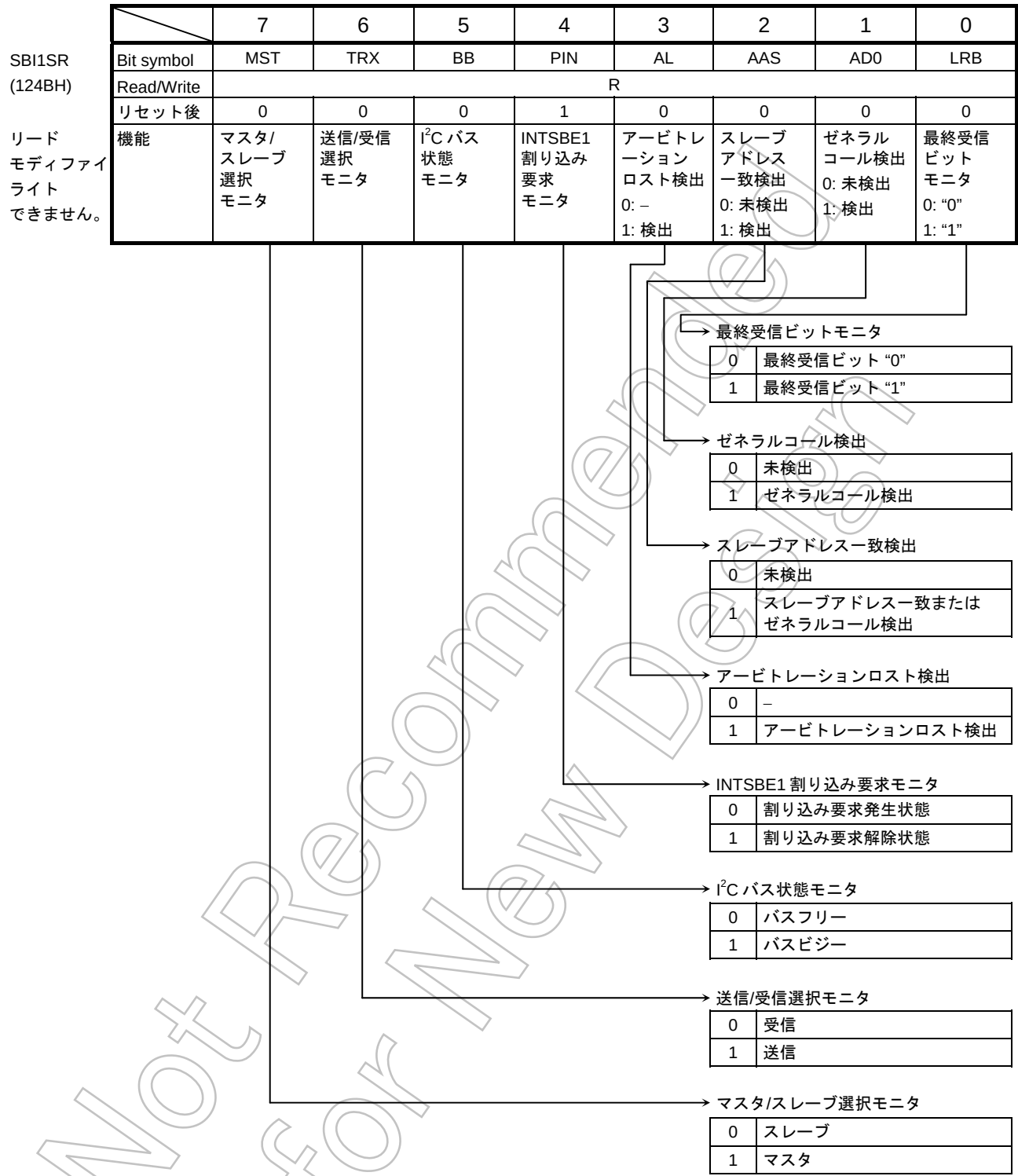
図 3.10.7 I²C バスモード関係のレジスタ (SBI1 用、SBI1CR2)



注) このレジスタをライトすると、SBI0CR2 として機能します。

図 3.10.8 I²C バスモード関係のレジスタ (SBI0 用、SBI0SR)

シリアルバスインタフェース 1 ステータスレジスタ



注) このレジスタをライトすると、SBI1CR2 として機能します。

図 3.10.9 I²C バスモード関係のレジスタ (SBI1 用、SBI1SR)

シリアルバスインタフェース 0 ボーレートレジスタ 0

	7	6	5	4	3	2	1	0
SBI0BR0 (1244H)	Bit symbol	–	I2SBI0					
	Read/Write	W	R/W					
	リセット後	0	0					
リード モディファイ ライト できません。	機能	“0”をライトしてください。	IDLE2 0: 停止 1: 動作					

→ IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェース 0 ボーレートレジスタ 1

	7	6	5	4	3	2	1	0
SBI0BR1 (1245H)	Bit symbol	P4EN	–					
	Read/Write	W						
	リセット後	0	0					
リード モディファイ ライト できません。	機能	内部クロック 0: 停止 1: 動作	“0”をライトしてください。					

→ 内部ボーレート回路制御

0	停止
1	動作

シリアルバスインタフェース 0 データバッファレジスタ

	7	6	5	4	3	2	1	0	
SBI0DBR (1241H)	Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
リード	リセット後	不定							

注 1) 送信データ書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBI0DBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

注 3) SBI0DBR に書き込んだ値は、INTSBE0 割り込み信号により “0” にクリアされます。

I²C バス 0 アドレスレジスタ

		7	6	5	4	3	2	1	0
I2C0AR (1242H)	Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
	Read/Write	W							
リード	リセット後	0	0	0	0	0	0	0	0
モディファイ ライト できません。	機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス認識 モードの指定

アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 3.10.10 I²C バスモード関係のレジスタ (SBI0 用、SBI0BR0, SBI0BR1, SBI0DBR, I2C0AR)

シリアルバスインタフェース 1 ボーレートレジスタ 0

SBI1BR0
(124CH)
リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	–	I2SBI1						
Read/Write	W	R/W						
リセット後	0	0						
機能	“0” をライ トしてくだ さい。	IDLE2 0: 停止 1: 動作						

→ IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェース 1 ボーレートレジスタ 1

SBI1BR1
(124DH)
リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	P4EN	–						
Read/Write	W							
リセット後	0	0						
機能	内部クロッ ク 0: 停止 1: 動作	“0” をライ トしてくだ さい。						

→ 内部ボーレート回路制御

0	停止
1	動作

シリアルバスインタフェース 1 データバッファレジスタ

SBI1DBR
(1249H)
リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

注 1) 送信データ書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。

また、受信データは LSB 側に格納されます。

注 2) SBI1DBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

注 3) SBI1DBR に書き込んだ値は、INTSBE1 割り込み信号により “0” にクリアされます。

I²C バス 1 アドレスレジスタ

I2C1AR
(124AH)
リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス認識 モードの指定

アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 3.10.11 I²C バスモード関係のレジスタ (SBI1 用、SBI1BR0, SBI1BR1, SBI1DBR, I2C1AR)

3.10.5 I²Cバスモード時の制御

(1) アクノリッジメントモードの指定

SBI0CR1<ACK>を“1”にセットしておくでアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA0端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA0端子を“L”レベルに引き、アクノリッジ信号を発生します。

<ACK>を“0”に設定しておくで、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

(2) 転送ビット数の選択

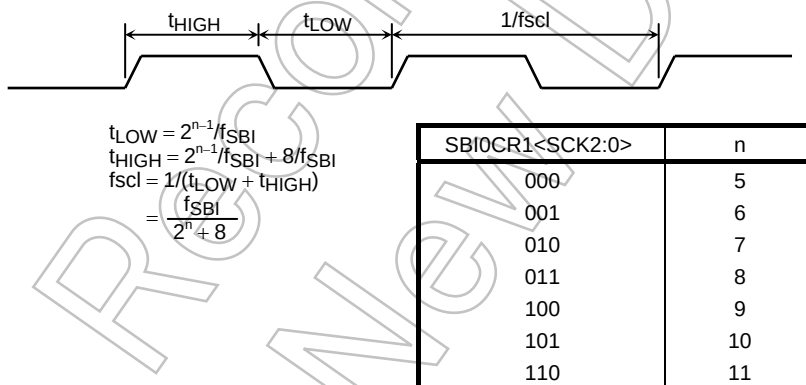
SBI0CR1<BC2:0>により、次に送受信するデータのビット数を選択します。

<BC2:0>はスタートコンディションにより“000”にクリアされるため、スレーブアドレス、方向ビットの転送は必ず8ビットで行われます。それ以外のときは<BC2:0>は一度設定された値を保持します。

(3) シリアルクロック

1. クロックソース

SBI0CR1<SCK2:0>で、マスタモード時に SCL0 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式にあわせて t_{LOW} の最小幅など、I²C バス規定を満たす通信ボーレートを選択してください。



注1) f_{SBI}は、f_{sys}を示します。

注2) SYSCR0のプリスケアラの設定においてSBI回路(I²C-bus, 同期通信)使用時にfc/16モードは使用できません。

図 3.10.12 クロックソース

2. クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

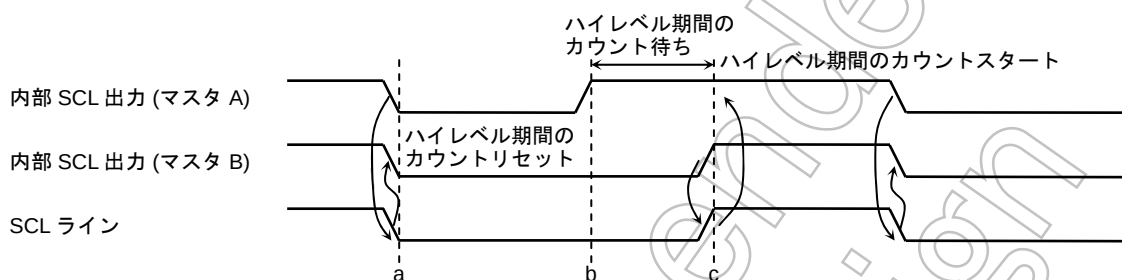


図 3.10.13 クロック同期化の例

“a”点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウンタをリセットし、内部 SCL 出力を“L”レベルに引きます。

“b”点でマスタ A は“L”レベル期間のカウンタを終わり、内部 SCL0 出力を“H”レベルにします。しかし、マスタ B が、バスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウンタを止めます。マスタ A は、“c”点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウンタを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと最も長い“L”レベル期間を持つマスタによって決定されます。

(4) スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2C0AR にスレーブアドレス<SA6:0>と<ALS>を設定します。

<ALS>に“0”を設定すると、アドレス認識モードになります。

(5) マスタ/スレーブの選択

SBI0CR2<MST>を“1”に設定すると、マスタデバイスとして動作します。

<MST>を“0”に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にクリアされます。

(6) トランスマッタ/レシーバの選択

SBI0CR2 <TRX> を“1”に設定すると、トランスマッタとして動作し、<TRX> を“0”に設定すると、レシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、受信したスレーブアドレスが I2C0AR にセットした値と同じとき、または、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて“0”)を受信したとき、ハードウェアによりマスタデバイスから送られてくる方向ビット (R/ $\bar{W}$) が“1”の場合 <TRX> は“1”にセットされ、“0”の場合 <TRX> は“0”にクリアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより送信した方向ビットが“1”の場合 <TRX> は“0”に、方向ビットが“0”の場合 <TRX> は“1”に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> は、バス上のストップコンディションの検出またはアービトレーションロストの検出で、ハードウェアにより“0”にクリアされます。

(7) スタート/ストップコンディションの発生

SBI0SR<BB>が“0”のときに、SBI0CR2<MST, TRX, BB, PIN>に“1111”を書き込むと、バス上にスタートコンディションと、データバッファレジスタに書き込んだスレーブアドレス、方向ビットが出力されます。あらかじめ、<ACK>に“1”を設定してください。

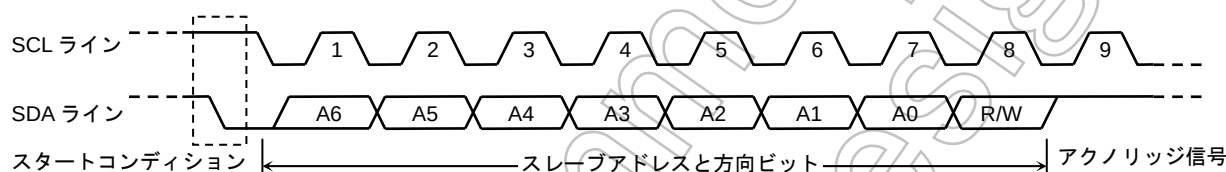


図 3.10.14 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1”のときに、<MST, TRX, PIN>に“111”、<BB>に“0”を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

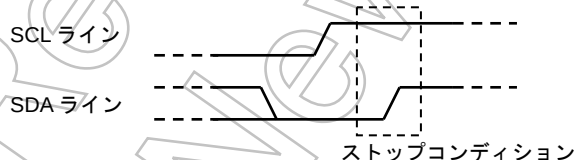


図 3.10.15 ストップコンディションの発生

また、SBI0SR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると“1”にセットされ(バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます(バスフリー状態)。

(8) 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBE0) が発生すると、SBI0CR2 <PIN> が“0”にクリアされます。<PIN> が“0”の間、SCL ラインを“L”レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると“0”にクリアされ、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと“1”にセットされます。

<PIN> が“1”にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2C0AR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が“0”にクリアされます。プログラムで SBI0CR2 <PIN> に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBI0CR2<SBIM1:0>で、シリアルバスインタフェースの動作モードを設定します。

I²C バスモードで使用するときは、シリアルバスインタフェース端子の状態が“H”になっていることを確認後、<SBIM1:0>を“10”に設定します。

ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。“a”点のビットまでマスタ A、マスタ B と同じデータを出力し、“a”点でマスタ A が“L”レベルを出力、マスタ B が“H”レベルを出力すると、バスの SDA ラインはワイヤード AND で駆動されるために、マスタ A によって“L”レベルに引かれます。“b”点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ (マスタ A) のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を“アービトレーションロスト”と呼びます。マスタ B は SDA0 端子を開放し、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

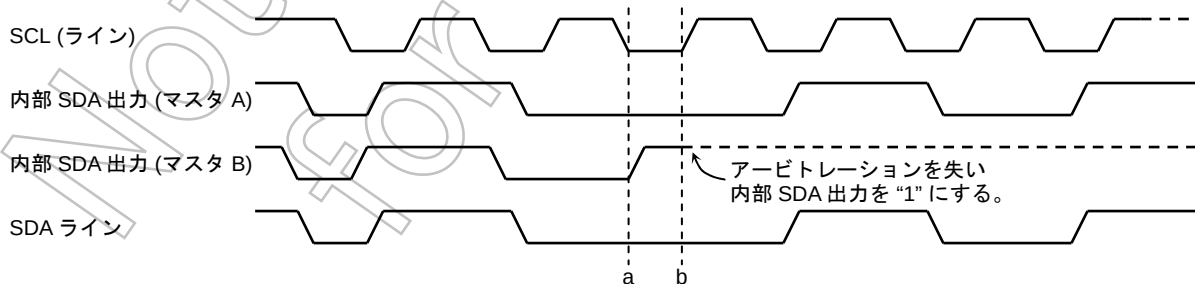


図 3.10.16 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合はアービトレーションロストになり、SBI0SR<AL>が“1”にセットされます。

<AL>が“1”にセットされると、SBI0SR<MST, TRX>は“00”にリセットされ、スレーブレシーバモードになります。そのため、<AL>が“1”にセットされた後のデータ転送ではクロックの出力を停止します。

<AL>は、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み込む、または SBI0CR2 にデータを書き込むと、“0”にリセットされます。

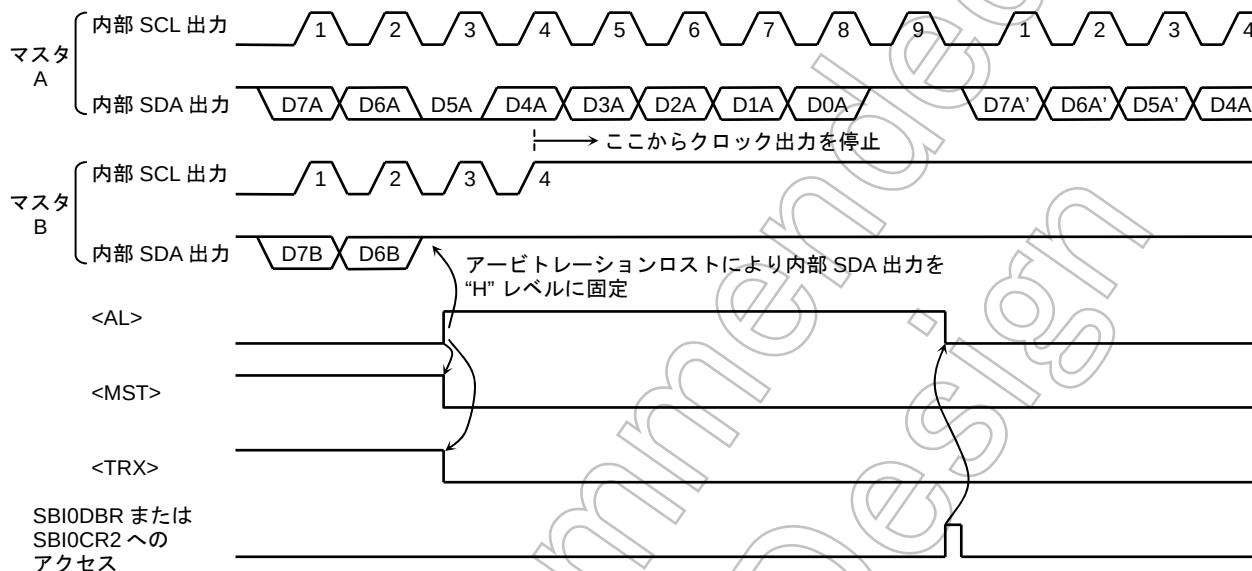


図 3.10.17 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

(11) スレーブアドレス一致検出モニタ

SBI0SR<AAS>は、スレーブモード時、アドレス認識モード (I2C0AR<ALS> = “0”) のとき、ゼネラルコールまたは I2C0AR にセットした値と同じスレーブアドレスを受信すると“1”にセットされます。<ALS> = “1”のときは、最初の 1 ワードが受信されると“1”にセットされます。<AAS>は SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと“0”にクリアされます。

(12) ゼネラルコール検出モニタ

SBI0SR<AD0>は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて“0”)を受信したとき“1”にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると“0”にクリアされます。

(13) 最終受信ビットモニタ

SBI0SR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリジメントモードのとき、INTSBE0 割り込み要求発生直後に SBI0SR<LRB>を読み出すと、ACK 信号が読み出されます。

(14) ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBI0CR2<SWRST1:0>へ、最初に“10”、次に“01”をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、SBI0CR2<SBIM1:0>を除くすべてのコントロールレジスタとステータスフラグは、リセット直後の値となります。

また、SBI0CR1<SWRMON>は、シリアルバスインタフェースの初期化が終了すると、自動的に“1”にセットされます。

(15) シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)

SBI0DBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。

また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

(16) I²C バスアドレスレジスタ (I2C0AR)

I2C0AR<SA6:0>は、スレーブデバイスとして動作する場合のスレーブアドレスを設定するビットです。

また、I2C0AR<ALS>=“0”に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS>=“1”に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

(17) ボーレートレジスタ (SBI0BR1)

I²C バスを使用する前に、ボーレート回路制御レジスタ SBI0BR1<P4EN>に“1”を書き込んでください。

(18) IDLE2 設定レジスタ (SBI0BR0)

SBI0BR0<I2SBI0>は、IDLE2 モードに遷移した際に動作の許可/禁止を設定するレジスタです。

HALT 命令を実行する前に、あらかじめ設定してください。

3.10.6 I²Cバスモード時のデータ転送手順

(1) デバイスの初期化

最初に SBI0BR1<P4EN>, SBI0CR1<ACK, SCK2:0>を設定します。SBI0BR1<P4EN> = “1” を、SBI0CR1 のビット 7~5, 3 には、“0” を書き込んでください。

次に I2C0AR にスレーブアドレス<SA6:0>と<ALS> (アドレッシングフォーマット時、<ALS> = “0”)を設定します。

それから、SBI0CR2<MST, TRX, BB>に “000”、<PIN>に “1”、<SBIM1:0>に “10”、<SWRST1:0>に “00” を書き込み、初期状態をスレーブレシーバモードにします。

(2) スタートコンディション、スレーブアドレスの発生

1. マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”)を確認します。

次に、SBI0CR1 <ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBI0DBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBI0CR2 <MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBI0DBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで INTSBEO 割り込み要求が発生し、<PIN> = “0” にクリアされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引きます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBEO 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

2. スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または、I2C0AR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBEO 割り込み要求が発生し、<PIN> = “0” にクリアされます。スレーブモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引きます。

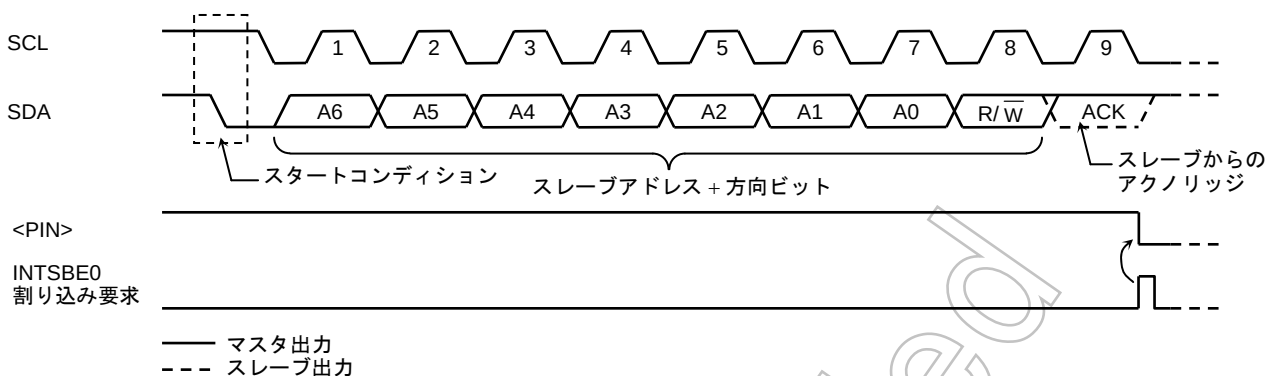


図 3.10.18 スタートコンディションとスレーブアドレスの発生

(3) 1 ワードのデータ転送

1 ワード転送終了の INTSBE0 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

1. マスタモードの場合 (<MST> = “1”)

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 (<TRX> = “1”)

<LRB>をテストします。<LRB>が “1” のとき、レシーバはデータを要求していないので、ストップコンディションを発生する処理（後記参照）を行ってデータ転送を終了します。

<LRB>が “0” のとき、レシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットするとき、SBI0DBR に転送データを書き込みます。8 ビット以外ときは<BC2:0>、<ACK>を設定し、転送データを SBI0DBR に書き込みます。データを書き込むと<PIN>が “1” になり、SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、SDA0 端子から 1 ワードのデータが転送されます。転送終了後、INTSBE0 割り込み要求が発生し、<PIN>が “0” になり、SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は、上記<LRB>のテストから繰り返します。

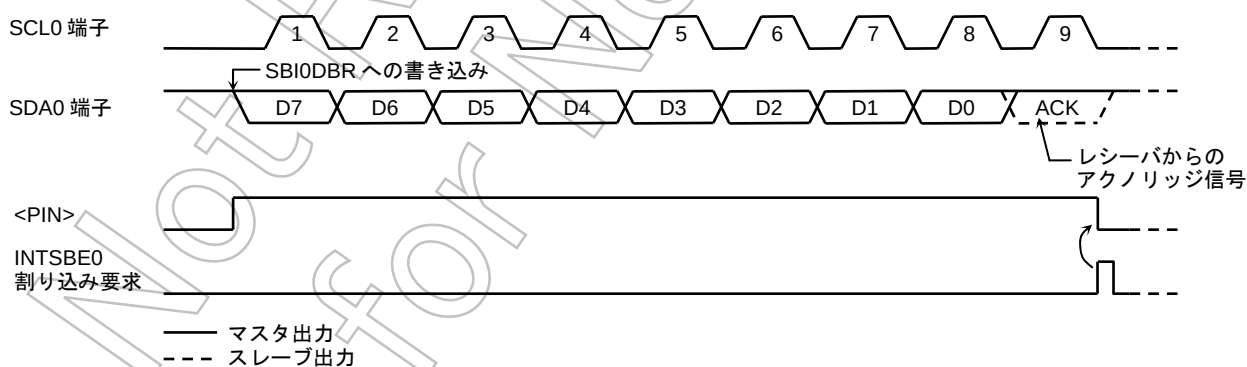


図 3.10.19 <BC2:0> = “000”, <ACK> = “1” のときの例 (トランスミッタモード)

レシーバモードの場合 (<TRX> = “0”)

次に転送するデータのビット数が 8 ビット以外のときは<BC2:0>, <ACK>を設定し、SCL ラインを開放するために SBI0DBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで “L” レベルを SDA0 端子に出力します。

その後、INTSBE0 割り込み要求が発生し、<PIN>が “0” になり、SCL 端子を “L” レベルに引きます。SBI0DBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

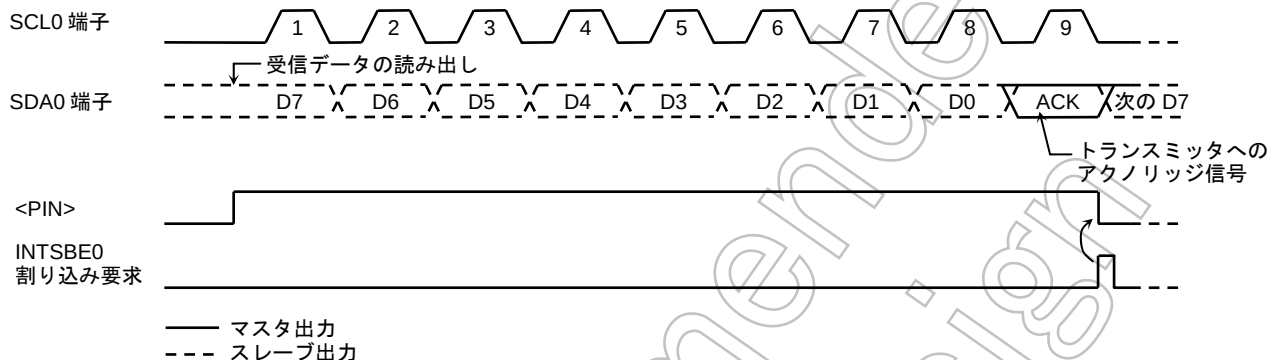


図 3.10.20 <BC2:0> = “000”, <ACK> = “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を “0” にクリアします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で<BC2:0> = “001” に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このとき、マスタはレシーバなのでバスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。



図 3.10.21 マスタレシーバモード時、データの送信を終了させるときの処理

2. スレーブモードの場合 (<MST> = “0”)

スレーブモード時は、通常のスレーブモードとしての処理またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったスレーブアドレスまたはゼネラルコールを受信したとき、もしくは受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に、INTSBEO 割り込み要求が発生します。また、マスタモードのときにアービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBEO 割り込み要求が発生します。INTSBEO 割り込み要求が発生すると<PIN>が“0”にリセットされ、SCL 端子を“L”レベルに引きます。SBI0DBR にデータを書き込む、SBI0DBR からデータを読み出す、または、<PIN>に“1”を設定すると SCL 端子が tLOW 後に開放されます。

SBI0SR<AL>, <TRX>, <AAS>, <AD0>をテストし、場合分けを行います。表 3.10.1に、スレーブモード時の状態と必要な処理を示します。

表 3.10.1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“1”のスレーブアドレスを受信	1 ワードのビット数を<BC2:0>にセットし、送信するデータを SBI0DBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	<LRB>をテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に“1”をセット、<TRX>を“0”にリセットしバスを開放します。<LRB>が“0”にリセットされていた場合、レシーバが次のデータを要求しているので1ワードのビット数を<BC2:0>にセットし、送信するデータを SBI0DBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN>を“1”にセットするために SBI0DBR を読み出します。(ダミー読み出し) または<PIN>に“1”を書き込みます。
		0	0	スレーブアドレスを送信中、またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	1ワードのビット数を<BC2:0>にセットし、受信データを SBI0DBR から読み出します。
		0	1/0	スレーブレシーバモード時、1ワードのデータの受信が終了	

(4) ストップコンディションの発生

SBI0SR<BB>="1" のときに、SBI0CR2<MST, TRX, PIN>に "111"、<BB>に "0" を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA0 端子が立ち上がり、ストップコンディションが発生します。

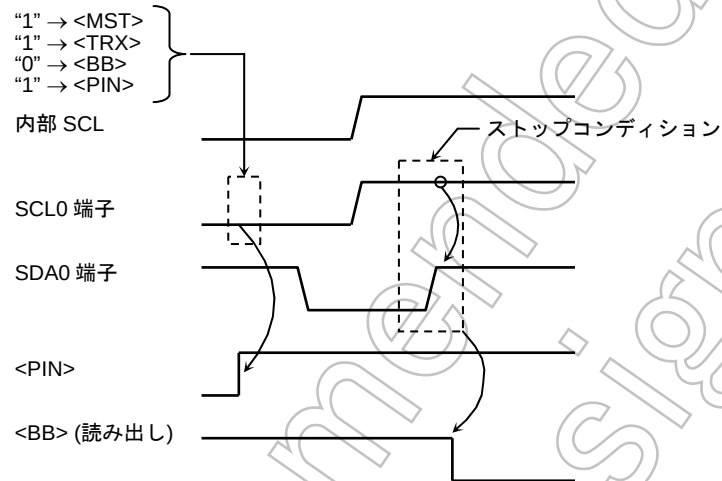


図 3.10.22 ストップコンディションの発生 (シングルマスタ)

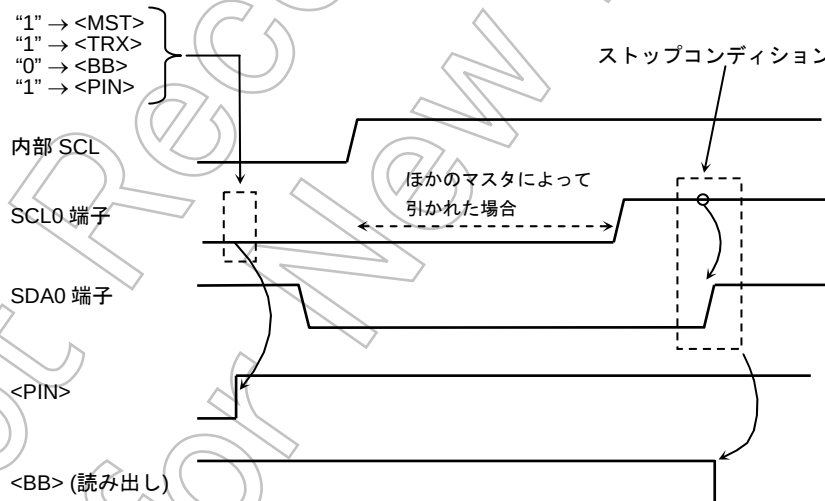


図 3.10.23 ストップコンディションの発生 (マルチマスタ)

(5) 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生させる場合の手順を以下に示します。

まず、SBI0CR2<MST, TRX, BB>に“000”、<PIN>に“1”を書き込み、バスを開放します。このとき SDA0 端子は“H”レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、ほかのデバイスから見るとバスはビジー状態のままです。この後、SCL0 端子が開放されバスフリー状態になったことを SBI0SR <BB>=“0”、もしくはポートモードによる SCL0 端子の信号レベル“1”の確認で行います。次に <LRB>をテストして“1”になるまで待ち、ほかのデバイスがバスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 (2) の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、最低 4.7 μ s のソフトウェアによる待ち時間が必要です。

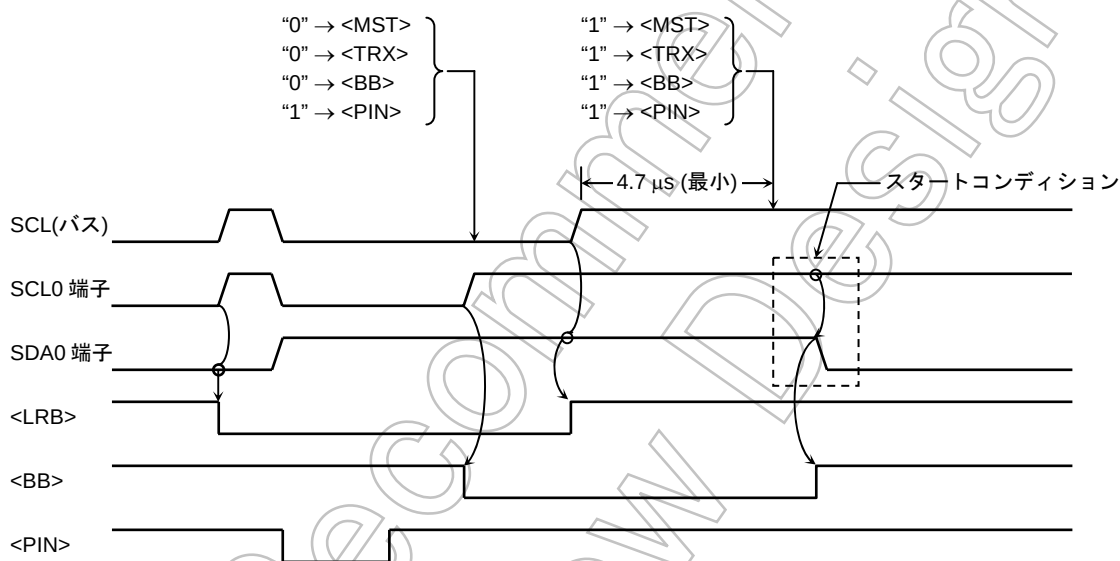


図 3.10.24 再スタートを発生する場合のタイミングチャート

3.10.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用する時の制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース 0 制御レジスタ 1

	7	6	5	4	3	2	1	0
SBI0CR1 (1240H)	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
Read/Write	W					W		
リセット後	0	0	0	0		0	0	0
機能 リード モディファイ ライト できません。	転送の 開始/終了 0: 終了 1: 開始	転送の 強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード 01: (Reserved) 10: 送受信モード 11: 受信モード			シリアルクロック周波数の選択と リセットモニタ		

シリアルクロック周波数の選択<SCK2:0>@ライト

000	n = 4	2.5 MHz
001	n = 5	1.25 MHz
010	n = 6	625.0 KHz
011	n = 7	312.5 KHz
100	n = 8	156.3 KHz
101	n = 9	78.1 KHz
110	n = 10	39.1 KHz
111	-	(外部クロック: SCK0)

システムクロック: f_{SYS}
 $f_{SYS} = 20 \text{ MHz}$ (SCL 端子への出力)
 周波数 = $\frac{f_{SYS} \times 2}{2^n} [\text{Hz}]$

→ 転送モードの選択

00	8 ビット送信モード
01	(Reserved)
10	8 ビット送受信モード
11	8 ビット受信モード

→ 転送の強制停止

0	転送継続
1	強制停止 (停止後、自動的にクリア)

→ 転送の開始/終了

0	終了
1	開始

注) 転送モード、シリアルクロックの設定時は、<SIOS> = "0" および<SIOINH> = "1" に設定してください。

シリアルバスインタフェース 0 データバッファレジスタ

	7	6	5	4	3	2	1	0
SBI0DBR (1241H)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

図 3.10.25 SIO モード関係のレジスタ (SBI0 用、SBI0CR1、SBI0DBR)

シリアルバスインタフェース 1 制御レジスタ 1

SBI1CR1
(1248H)
リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
Read/Write	W					W		
リセット後	0	0	0	0		0	0	0
機能	転送の 開始/終了 0: 終了 1: 開始	転送の 強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード 01: (Reserved) 10: 送受信モード 11: 受信モード			シリアルクロック周波数の選択と リセットモニタ		

シリアルクロック周波数の選択<SCK2:0>@ライト

000	n = 4	2.5 MHz	$\left(\begin{array}{l} \text{システムクロック: } f_{\text{SYS}} \\ f_{\text{SYS}} = 20 \text{ MHz (SCL 端子への出力)} \\ \text{周波数} = \frac{f_{\text{SYS}} \times 2}{2^n} \text{ [Hz]} \end{array} \right)$
001	n = 5	1.25 MHz	
010	n = 6	625.0 KHz	
011	n = 7	312.5 KHz	
100	n = 8	156.3 KHz	
101	n = 9	78.1 KHz	
110	n = 10	39.1 KHz	
111	—	(外部クロック: SCK1)	

→ 転送モードの選択

00	8ビット送信モード
01	(Reserved)
10	8ビット送受信モード
11	8ビット受信モード

→ 転送の強制停止

0	転送継続
1	強制停止 (停止後、自動的にクリア)

→ 転送の開始/終了

0	終了
1	開始

注) 転送モード、シリアルクロックの設定時は、<SIOS> = “0” および<SIOINH> = “1” に設定してください。

シリアルバスインタフェース 0 データバッファレジスタ

SBI1DBR
(1249H)
リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

図 3.10.26 SIO モード関係のレジスタ (SBI1 用、SBI1CR1、SBI1DBR)

シリアルバスインタフェース 0 制御レジスタ 2

	7	6	5	4	3	2	1	0
SBI0CR2 (1243H)	リセット後	機能			SBIM1	SBIM0	-	-
Bit symbol								
Read/Write								
機能					0	0	0	0
機能					シリアルバスインタフェースの動作モード選択 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (Reserved)			

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、SBI0CR1<BC2:0>を“000”にクリアしてください。

注 2) SBI0CR2 のビット 1:0 には、“00”以外をライトしないでください。

シリアルバスインタフェースの動作モード選択

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(Reserved)

シリアルバスインタフェース 0 ステータスレジスタ

	7	6	5	4	3	2	1	0
SBI0SR (1243H)	リセット後	機能			SIOF	SEF		
Bit symbol								
Read/Write								
機能					0	0		
機能					シリアル転送動作状態モニタ	シフト動作状態モニタ		

シリアル転送動作状態モニタ

0	転送終了
1	転送中

シフト動作状態モニタ

0	シフト動作終了
1	シフト転送中

シリアルバスインタフェース 0 ポーレートレジスタ 0

	7	6	5	4	3	2	1	0
SBI0BR0 (1244H)	リセット後	機能						
Bit symbol								
Read/Write								
機能	0	0						
機能	“0”をライトしてください	IDLE2 0: 停止 1: 動作						

→ IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェース 0 ポーレートレジスタ 1

	7	6	5	4	3	2	1	0
SBI0BR1 (1245H)	リセット後	機能						
Bit symbol								
Read/Write								
機能	0	0						
機能	内部クロック 0: 停止 1: 動作	“0”をライトしてください						

→ 内部ポーレート回路制御

0	停止
1	動作

図 3.10.27 SIO モード関係のレジスタ (SBI0 用、SBI0CR2、SBI0SR、SBI0BR0、SBI0BR1)

シリアルバスインタフェース 1 制御レジスタ 2

	7	6	5	4	3	2	1	0
SBI1CR2 (124BH)	Bit symbol				SBIM1	SBIM0	–	–
	Read/Write				W			
	リセット後				0	0	0	0
リード モディファイ ライト できません。	機能				シリアルバスインタフェースの動作モード選択 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (Reserved)		“0”をライトしてください。 “0”をライトしてください。	

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、SBI1CR1<BC2:0>を“000”にクリアしてください。

注 2) SBI1CR2 のビット 1:0 には、“00”以外をライトしないでください。

シリアルバスインタフェースの動作モード選択

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(Reserved)

シリアルバスインタフェース 1 ステータスレジスタ

	7	6	5	4	3	2	1	0
SBI1SR (124BH)	Bit symbol				SIOF	SEF		
	Read/Write				R			
	リセット後				0	0		
	機能				シリアル転送動作状態モニタ	シフト動作状態モニタ		

シリアル転送動作状態モニタ

0	転送終了
1	転送中

シフト動作状態モニタ

0	シフト動作終了
1	シフト転送中

シリアルバスインタフェース 1 ボーレートレジスタ 0

	7	6	5	4	3	2	1	0
SBI1BR0 (124CH)	Bit symbol	–	I2SBI1					
	Read/Write	W	R/W					
リード モディファイ ライト できません。	リセット後	0	0					
	機能	“0”をライトしてください	IDLE2 0: 停止 1: 動作					

→ IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェース 1 ボーレートレジスタ 1

	7	6	5	4	3	2	1	0
SBI1BR1 (124DH)	Bit symbol	P4EN	–					
	Read/Write	W						
リード モディファイ ライト できません。	リセット後	0	0					
	機能	内部クロック 0: 停止 1: 動作	“0”をライトしてください					

→ 内部ボーレート回路制御

0	停止
1	動作

図 3.10.28 SIO モード関係のレジスタ (SBI1 用、SBI1CR2、SBI1SR、SBI1BR0、SBI1BR1)

(1) シリアルクロック

1. クロックソース

SBI0CR1<SCK2:0>により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を持っています。

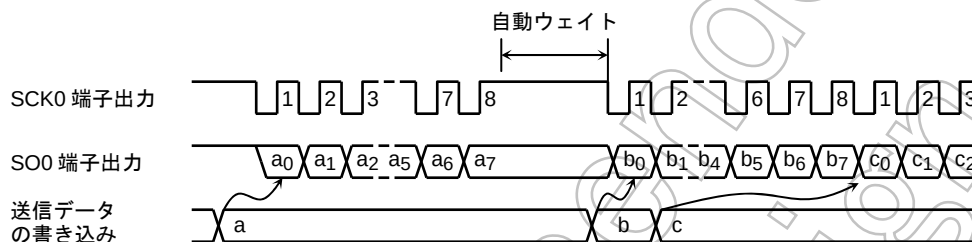


図 3.10.29 自動ウェイト機能

外部クロック (<SCK2:0> = “111”)

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの High レベル、Low レベル幅は、下記に示すパルス幅が必要です。従って、最大転送周波数は 2.5 MHz ($f_{SYS} = 20 \text{ MHz}$ 時) です。

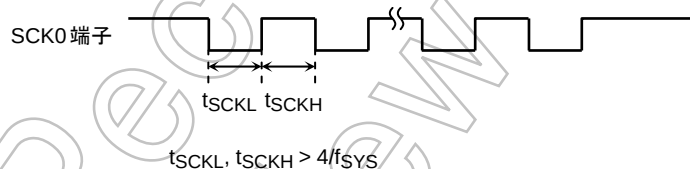


図 3.10.30 外部クロック入力時の最大転送周波数

2. シフトエッジ

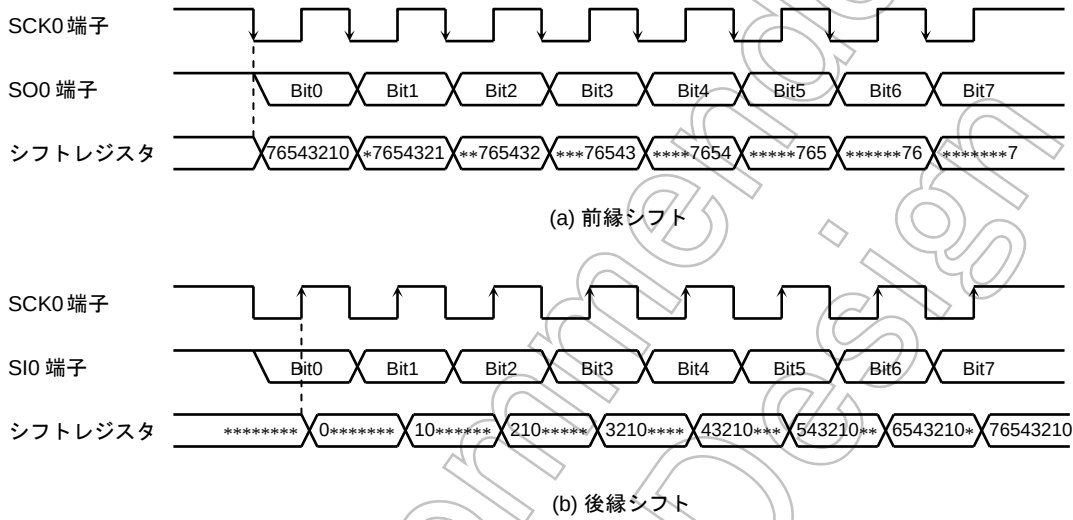
送信は前縁シフト, 受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁 (SCK0 端子入出力の立ち下がりエッジ) でデータをシフトします。

後縁シフト

シリアルクロックの後縁 (SCK0 端子入出力の立ち上がりエッジ) でデータをシフトします。



※: Don't care

図 3.10.31 シフトエッジ

(2) 転送モード

SBI0CR1<SIOM1:0>で、送信/受信/送受信モードを選択します。

1. 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBI0DBR に書き込みます。

送信データの書き込み後、SBI0CR1<SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBI0DBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から SO0 端子に出力されます。送信データがシフトレジスタに移されると、SBI0DBR が空になりますので、次の送信データを要求する INTSBE0 (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信した後、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと、自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBI0DBR にデータが書き込まれている必要があります。従って、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBI0DBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBI0SR<SIOF>が“1”となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBE0 割り込みサービスプログラムで<SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムによる送信終了の確認は SBI0SR<SIOF>で行います。<SIOF>は、送信の終了で“0”になります。<SIOINH> = “1” を書き込んだ場合は直ちに送信を打ち切り、<SIOF>は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を“0”にクリアする必要があります。もし、シフトアウトする前に<SIOS>がクリアされなかった場合は、ダミーのデータの送信後に停止します。

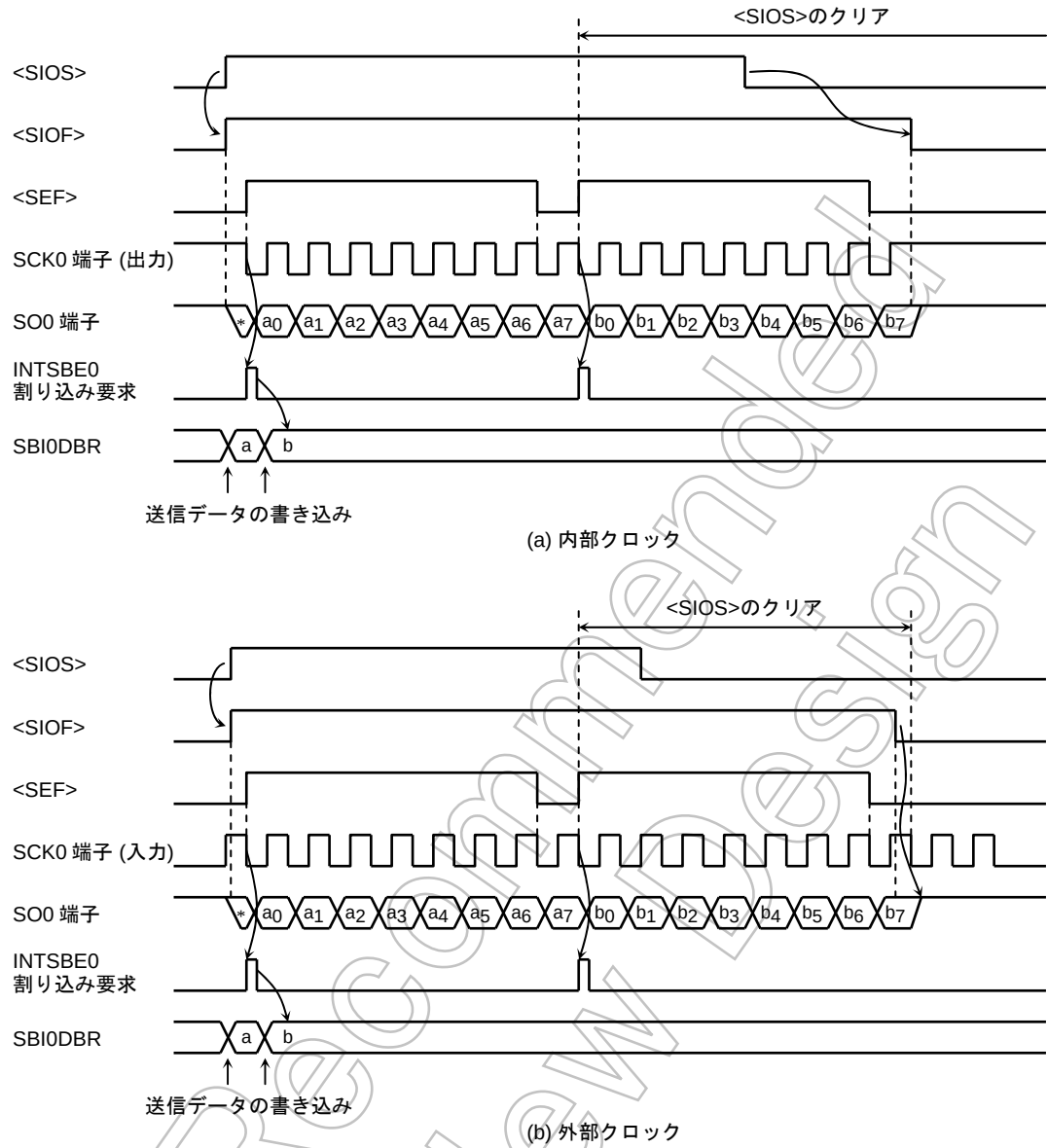


図 3.10.32 送信モード

例: <SIO>の送信終了指示 (外部クロックの場合)

```
STEST1 : BIT 2, (SBI0SR) ; If <SEF> = 1 then loop
          JR NZ, STEST1
STEST2 : BIT 0, (PN) ; If SCK = 0 then loop
          JR Z, STEST2
          LD (SBI0CR1), 00000111B ; <SIO> ← 0
```

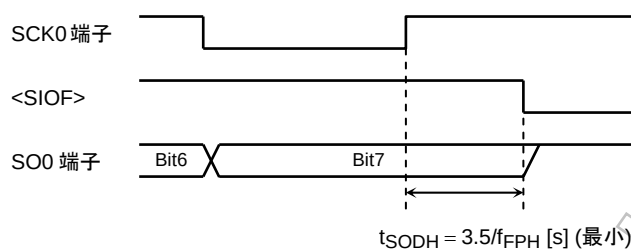


図 3.10.33 送信終了時の送信データ保持時間

2. 8 ビット受信モード

制御レジスタに受信モードをセットした後、**SBI0CR1<SIOS> = “1”** を書き込むことにより受信可能となります。シリアルクロックに同期して、**SI0** 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれると、シフトレジスタから **SBI0DBR** に受信データが書き込まれ、受信データの読み出しを要求する **INTSBE0** (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて **SBI0DBR** から読み出します。

内部クロック動作の場合、受信データが **SBI0DBR** から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み出します。もし、受信データが読み出されない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには、**INTSBE0** 割り込みサービスプログラムで **<SIOS> = “0”** を書き込むか、**<SIOINH> = “1”** を書き込みます。**<SIOS>** がクリアされると、受信データが全ビットそろい、**SBI0DBR** への書き込みが完了した時点で受信が終了します。プログラムによる受信終了の確認は、**SBI0SR<SIOF>**で行います。**<SIOF>**は、受信の終了で“0”にクリアされます。受信終了の確認後、最終受信データを読み出します。**<SIOINH> = “1”** を書き込んだ場合は、直ちに受信を打ち切り、**<SIOF>**は“0”になります(受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えると、**SBI0DBR** の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (**<SIOS> = “0”** を書き込み) を行い、最終受信データを読み出した後で切り替えてください。

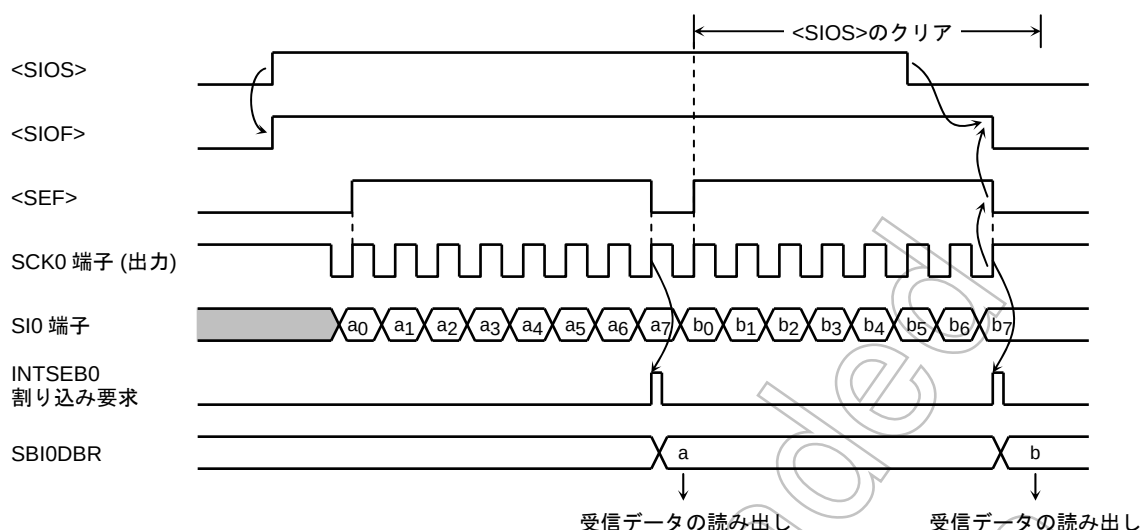


図 3.10.34 受信モード (例: 内部クロック)

3. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを **SBI0DBR** に書き込みます。その後、**SBI0CR1<SIOF>**に“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが **SO0** 端子から出力され、立ち上がりで受信データが **SIO** 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタから **SBI0DBR** へ受信データが転送され、**INTSEB0** 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、その後、送信データを書き込みます。**SBI0DBR** は、送信/受信モードで兼用していますので、送信データは必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、**<SIOF>**が“1”となってから **SCK** の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、**INTSEB0** 割り込みサービスプログラムで **<SIOF> = “0”** を書き込むか、**SBI0CR1<SIOINH> = “1”** を書き込みます。**<SIOF>**がクリアされると、受信データがそろい、**SBI0DBR** への転送が完了した時点で送受信が終了します。プログラムによる送受信終了の確認は、**SBI0SR<SIOF>**で行います。**<SIOF>**は、送受信の終了で“0”にクリアされます。**<SIOINH>**をセットした場合は、直ちに送受信を打ち切り、**<SIOF>**は“0”にクリアされます。

注) 転送モードを切り替えると、**SBI0DBR** の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (**<SIOF> = “0”** を書き込み) を行い、最終受信データを読み出した後で切り替えてください。

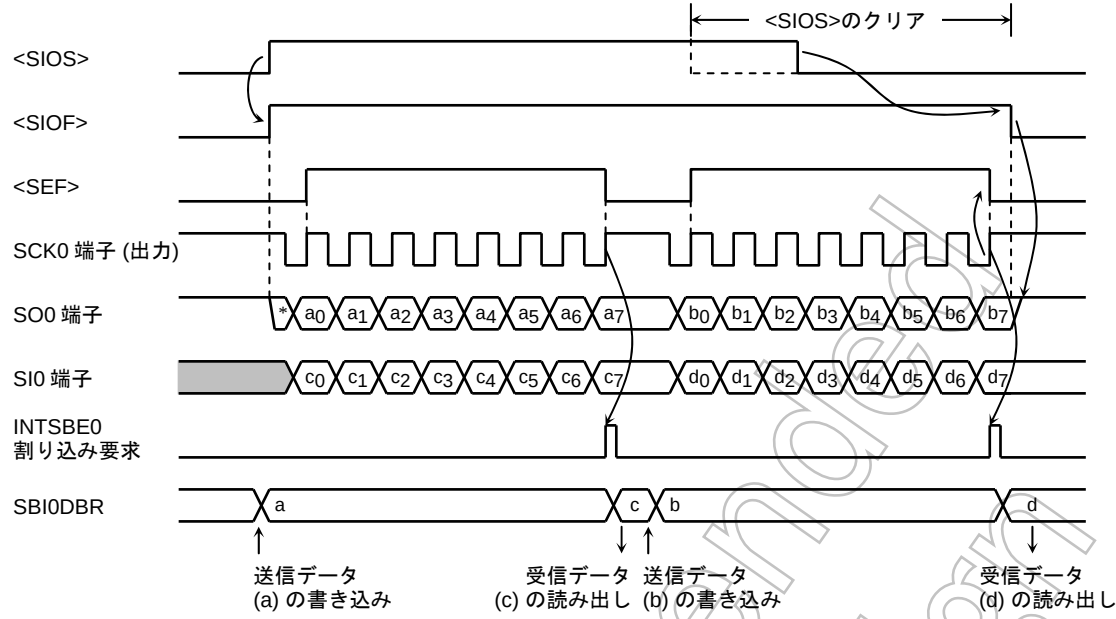


図 3.10.35 送受信モード (例: 内部クロック)

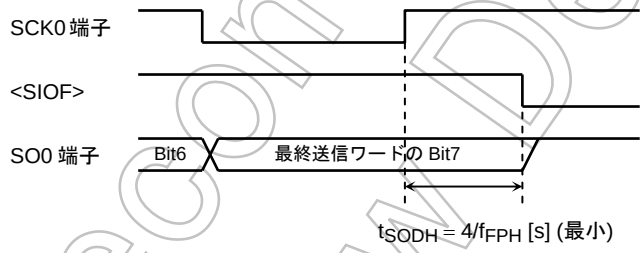


図 3.10.36 送受信終了時の送信データ保持時間 (送受信モード時)

3.11 高速SIO (HSC)

本製品は、高速 SIO を 1 チャンネル内蔵しています[※]。I/O インタフェースモード(同期通信)のマスタモードのみをサポートしています。

注) 高速 SIO は TMP92CY23 には搭載しておりません。

下記に特長を示します。

- 1) 送信／受信ダブルバッファ構造
- 2) 送信／受信データの CRC7,CRC16 を生成可能
- 3) 最大 10Mbps までボーレート対応可能
- 4) MSB/LSB-first の選択可能
- 5) データ長 8/16bit の選択可能
- 6) クロック立上り/立下りエッジの選択可能
- 7) INTHSC の 1 本の割り込み機能

RFR0(HSC0RD の受信バッファがフル)、
RFRW0(HSC0TD の送信バッファがエンプティ)、
REND0(HSC0RS の受信バッファがフル)、
TEND0(HSC0TS の送信バッファがエンプティ)

の 4 種類の割り込みに対してそれぞれ、状態のリード、マスク、割り込みのクリア、クリアイネーブルを制御可能です。

RFR0,RFRW0 は、マイクロ DMA を使用した高速なデータ処理機能が可能です。

表 3.11.1 HSC の仕様

	HSC
外部端子	HSSO (PF3) HSSI (PF4) HSCLK (PF5)
SFR (アドレス)	HSC0MD (C00H/C01H) HSC0CT (C02H/C03H) HSC0ST (C04H/C05H) HSC0CR (C06H/C07H) HSC0IS (C08H/C09H) HSC0WE (C0AH/C0BH) HSC0IE (C0CH/C0DH) HSC0IR (C0EH/C0FH) HSC0TD (C10H/C11H) HSC0RD (C12H/C13H) HSC0TS (C14H/C15H) HSC0RS (C16H/C17H)

3.11.1 ブロック図

図 3.11.1に、ブロック図を示します。

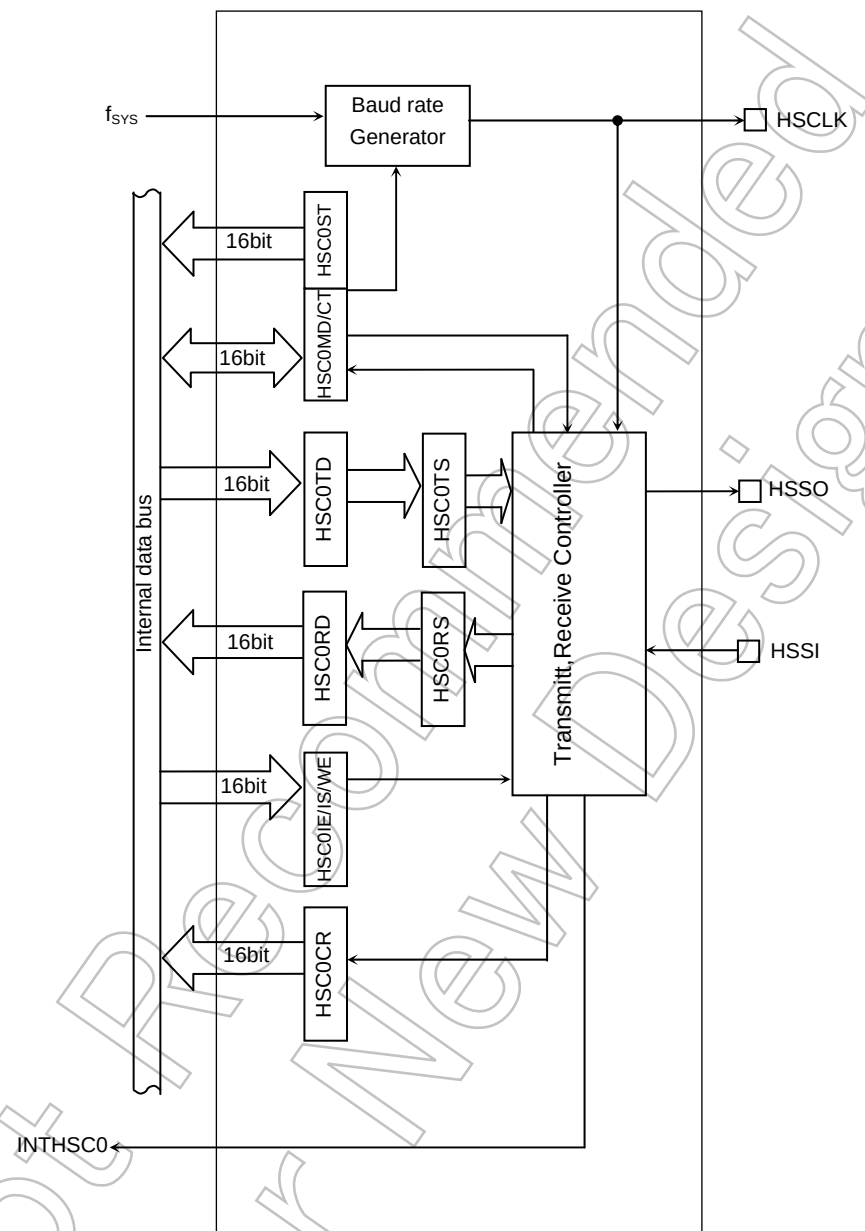


図 3.11.1 HSC のブロック図

注) リセットによって HSCLK、HSSO、HSSI 端子は入力ポートに設定されます (ポート F3、F4、F5)。よってプルアップ抵抗が必要となります。

3.11.2 SFR

SFR を以下に説明します。これらは 16 ビットデータバスで CPU に接続されています。

(1)モード設定レジスタ

動作モード、使用クロックなどを設定するレジスタです。

HSC0MD レジスタ									
HSC0MD (C00H)		7	6	5	4	3	2	1	0
	bit Symbol		XEN0				CLKSEL02	CLKSEL01	CLKSEL00
	Read/Write		R/W				R/W		
	リセット後		0				1	0	0
	機能		SYSCK 0: Disable 1: Enable				ボーレート選択 000:Reserved 100: f _{SYS} /16 001: f _{SYS} /2 101: f _{SYS} /32 010: f _{SYS} /4 110: f _{SYS} /64 011: f _{SYS} /8 111:Reserved		
(C01H)		15	14	13	12	11	10	9	8
	bit Symbol	LOOPBACK0	MSB1ST0	DOSTAT0		TCPOL0	RCPOL0	TDINV0	RDINV0
	Read/Write	R/W				R/W			
	リセット後	0	1	1		0	0	0	0
	機能	LOOPBACK テストモード 0:Disbale 1:Enable	送受信開始 BIT 0:LSB 1:MSB	非送信時の HSSO 端子 状態設定 0:"0"固定 1:"1"固定		送信時の 同期クロック エッジ 設定 0: 立ち下がり 1: 立ち上がり	受信時の 同期クロック エッジ 設定 0: 立ち下がり 1: 立ち上がり	送信時の データ反転 0: Disable 1: Enable	受信時の データ反転 0: Disable 1: Enable

図 3.11.2 HSC0MD レジスタ

(a) <LOOPBACK0>

本回路内で内部 HSSO 出力を内部 HSSI へ入力できますのでテストに使用できます。

また、HSC0MD<XEN0> = “1”、<LOOPBACK0> = “1”に設定すると送信／受信の実行の有無に関係なく HSCLK 端子よりクロックを出力します。

設定を変更するときは、送信／受信動作を実行しないでください。

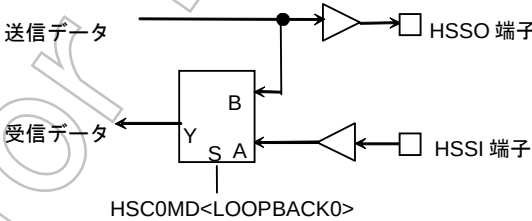


図 3.11.3 <LOOPBACK0>レジスタの機能

(b) <MSB1ST0>

送信／受信データの開始ビットを選択します。

設定を変更するときは、送信／受信動作を実行しないでください。

(c) <DOSTAT0>

非送信時(送信終了後や受信動作時)の HSSO 端子の状態を設定します。
設定を変更するときは、送信／受信動作を実行しないでください。

(d) <TCPOL0>

送信動作の同期クロックのエッジを選択します。

設定を変更するときは、<XEN0> = “0”の状態にしてください。また、<RCPOL0>と同じ値を設定してください。

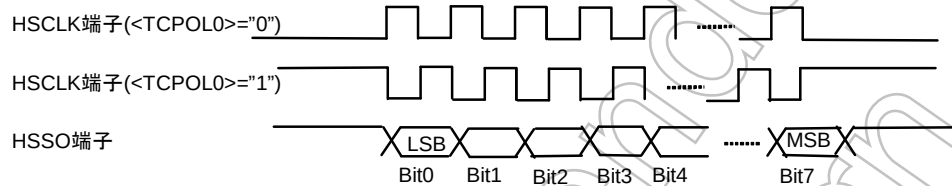


図 3.11.4 <TCPOL0>レジスタの機能

(e) <RCPOL0>

受信動作の同期クロックのエッジを選択します。

設定を変更するときは、<XEN0> = “0”の状態にしてください。また、<TCPOL0>と同じ値を設定してください。

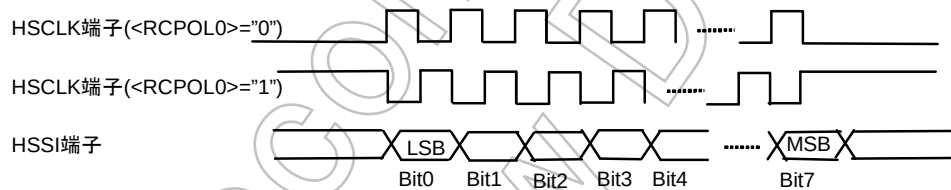


図 3.11.5 <RCPOL0>レジスタの機能

(f) <TDINV0>

送信データを HSSO 端子から出力するデータを論理反転する/しないを選択します。

設定を変更するときは、送信／受信動作を実行しないでください。CRC 演算回路への入力データは、HSC0TD にライトされた送信データであり<TDINV0>は無関係です。また、<TDINV0>は、非送信時の HSSO 端子の状態設定<DOSTAT0>には無関係です。

(g) <RDINV0>

HSSI 端子から入力する受信データを論理反転する/しないを選択します。

設定を変更するときは、送信、受信動作を実行しないでください。CRC 演算回路への入力データは、<RDINV0>により選択された値です。

(h) <XEN0>

IP 内部のクロックの動作設定を選択します。

(i) <CLKSEL02:00>

ボーレート選択レジスタです。ボーレートは f_{SYS} より作成していますので下記表のような設定が可能となります。設定を変更するときは、送信,受信動作を実行しないでください。

表 3.11.2 ボーレート設定例

<CLKSEL02:00>	ボーレート値[Mbps]		
	$f_{SYS} = 12\text{MHz}$ 時	$f_{SYS} = 16\text{MHz}$ 時	$f_{SYS} = 20\text{MHz}$ 時
$f_{SYS}/2$	6	8	10
$f_{SYS}/4$	3	4	5
$f_{SYS}/8$	1.5	2	2.5
$f_{SYS}/16$	0.75	1	1.25
$f_{SYS}/32$	0.375	0.5	0.625
$f_{SYS}/64$	0.1875	0.25	0.3125

(2) コントロールレジスタ

データ長、CRCなどを設定するレジスタです。

HSC0CT レジスタ

	7	6	5	4	3	2	1	0
HSC0CT (C02H)	bit Symbol	—	—	UNIT160		ALGNEN0	RXWEN0	RXUEN0
	Read/Write	R/W				R/W		
	リセット後	0	1	0		0	0	0
	機能	“0”をライトしてください	“1”をライトしてください	データ長 選択 0: 8bit 1: 16bit		全2重での アライメント 0: Disable 1: Enable	連続受信 動作設定 0: Disable 1: Enable	UNIT 受信 動作設定 0: Disable 1: Enable
	15	14	13	12	11	10	9	8
(C03H)	bit Symbol	CRC16_7_B0	CRCRX_TX_B0	CRCRESET_B0			DMAERFW0	DMAERFR0
	Read/Write	R/W					R/W	R/W
	リセット後	0	0	0			0	0
	機能	CRC 選択 0: CRC7 1: CRC16	CRC データ 0: 送信 1: 受信	CRC 演算 レジスタ 制御 0: リセット 1: リセット 解除			マイクロ DMA 動作 0: Disable 1: Enable	マイクロ DMA 動作 0: Disable 1: Enable

図 3.11.6 HSC0CT レジスタ

(a) <CRC16_7_B0>

CRC7、CRC16のいずれを計算するかを選択するレジスタです。

(b) <CRCRX_TX_B0>

CRC 演算回路への入力データを選択します。

(c) <CRCRESET_B0>

CRC 演算レジスタの初期化を実施します。

送信データのCRC16を計算し、送信データに続いてCRCを送信する手順を、図 3.11.7のフローチャートを用いて説明します。

- (1) CRC7とCRC16のどちらかを計算するかHSC0CTレジスタの<CRC16_7_B0>に設定し、送受信のどちらのデータのCRCを計算するか<CRCRX_TX_B0>で設定します。
- (2) HSC0CRレジスタをリセットするため、<CRCRESET_B0>に“0”をライトしてから、“1”をライトします。
- (3) 送信データをHSC0TDレジスタにライトし、全データの送信完了を待ちます。
- (4) HSC0CRレジスタをリードして、CRCの計算結果を取得します。
- (5) (4)で取得したCRCを(3)と同じ手順で送信します。

受信データのCRC計算も同様の手順で実行できます。

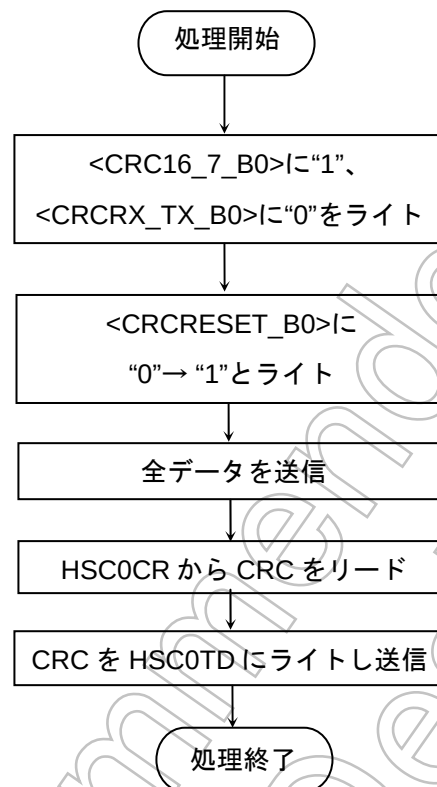


図 3.11.7 CRC 計算手順フローチャート

(d) <DMAERFW0>

RFW0 割り込みをマイクロ DMA に対応させるために、CPU での割り込みクリアを不要にさせるためのビットです。“1”を書き込むと 1 ショット割り込みとなり HSC0WE レジスタによる割り込みクリアが不要になります。

後述の HSC0ST<RFW0>フラグが“0”→“1”に変化する立ち上がり時に、1 ショットの割り込みを CPU に発生します。

(e) <DMAERFR0>

RFR0 割り込みをマイクロ DMA に対応させるために、CPU での割り込みクリアを不要にさせるためのビットです。“1”を書き込むと 1 ショット割り込みとなり HSC0WE レジスタによる割り込みクリアが不要になります。

後述の HSC0ST<RFR0>フラグが“0”→“1”に変化する立ち上がり時に、1 ショットの割り込みを CPU に発生します。

(f) <UNIT160>

送信,受信のデータ長を選択します。なお、これ以降データ長を UNIT と記します。
設定を変更するときは、送信／受信動作を実行しないでください。

(g) <ALGNEN0>

全 2 重通信実行時に、“1”に設定します。送信／受信を UNIT でアライメントさせるかどうかを選択します。設定を変更するときは、送信／受信動作を実行しないでください。

(h) <RXWEN0>

連続受信動作の許可／禁止を設定します。

(i) <RXUEN0>

UNIT での受信動作の許可/禁止を設定します。<RXWEN0>=“1”の場合、このビットの設定は無効となります。設定を変更するときは、送信,受信動作を実行しないでください。

[送受信動作モード]

本 IP では下記 6 つの動作モードをサポートしています。

これらは<ALGNEN0>、<RXWEN0>、<RXUEN0>レジスタで選択されます。

表 3.11.3 送受信動作モード

動作モード	レジスタ設定			説明
	<ALGNEN0>	<RXWEN0>	<RXUEN0>	
(1) UNIT 送信	0	0	0	ライトされた送信データを UNIT 毎に送信
(2) 連続送信	0	0	0	ライトされた送信データを順次送信
(3) UNIT 受信	0	0	1	1UNIT のみデータを受信
(4) 連続受信	0	1	0	バッファに空きがあれば自動受信
(5) UNIT 送受信	1	0	1	送信,受信データを UNIT 毎にアライメントし、1UNIT の送受信
(6) 連続送受信	1	1	0	送信,受信データを UNIT 毎にアライメントし、連続送受信

UNIT 送信と連続送信の違いについて

UNIT 送信は、送信データシフトレジスタ(HSC0TS)に空きがあること($HSC0ST < TEND0 \geq 1$)を確認し、データをライトすることで 1UNIT ずつ送信されます。

連続送信は、ライトされた送信データを順次送出します。ハードウェアはデータのある限り連続して送出を行うため、送信データライトレジスタ(HSC0TD)が空いた時点($HSC0ST < REND0 \geq 1$)で次のデータをライトすることで連続して送信することができます。

UNIT 送信と連続送信を実現するためにハードウェアに違いはなく、使用法により UNIT 送信、連続送信となります。

UNIT送信、連続送信の送信手順フローを 図 3.11.8 に示します。

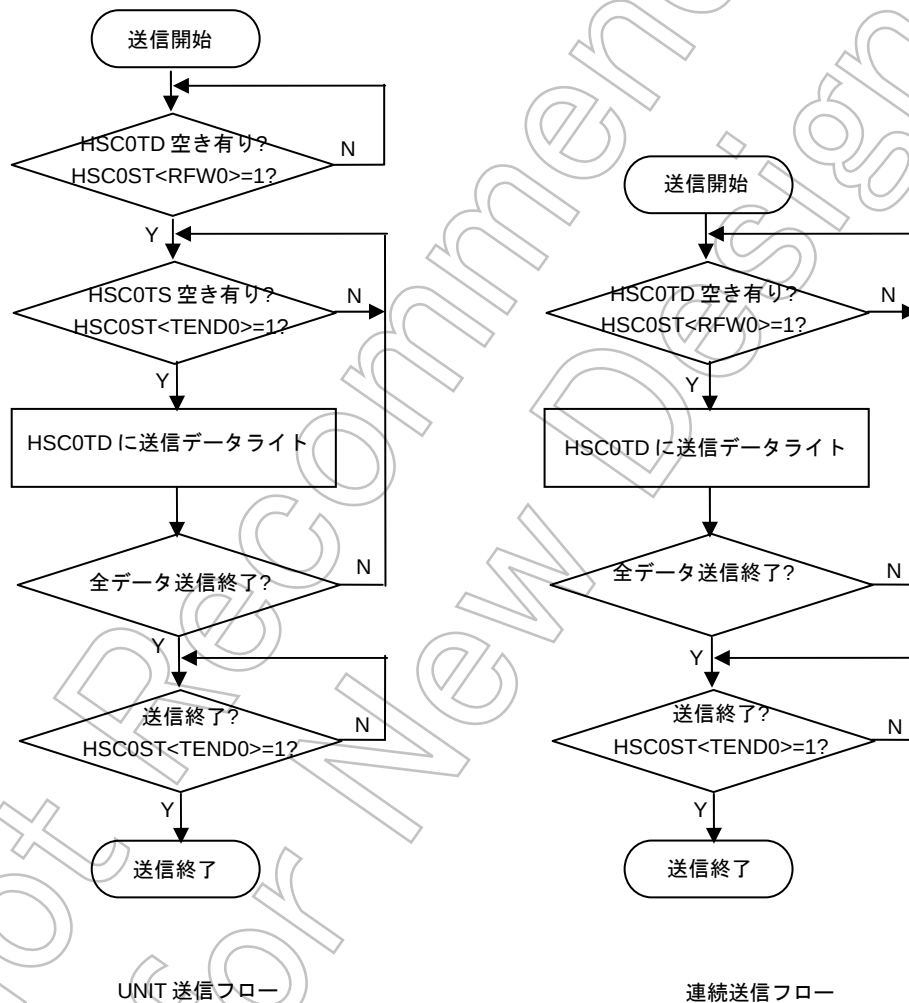


図 3.11.8 UNIT 送信と連続送信フローチャート

UNIT 受信と連続受信の違いについて

UNIT 受信は、1UNIT だけデータを受信するモードです。

HSC0CT<RXUEN0>に“1”をライトすると 1UNIT の受信を行い、受信データレジスタ (HSC0RD) に受信データが格納されます。HSC0CT<RXUEN0>に“0”をライトしてから受信データレジスタ (HSC0RD) をリードしてください。

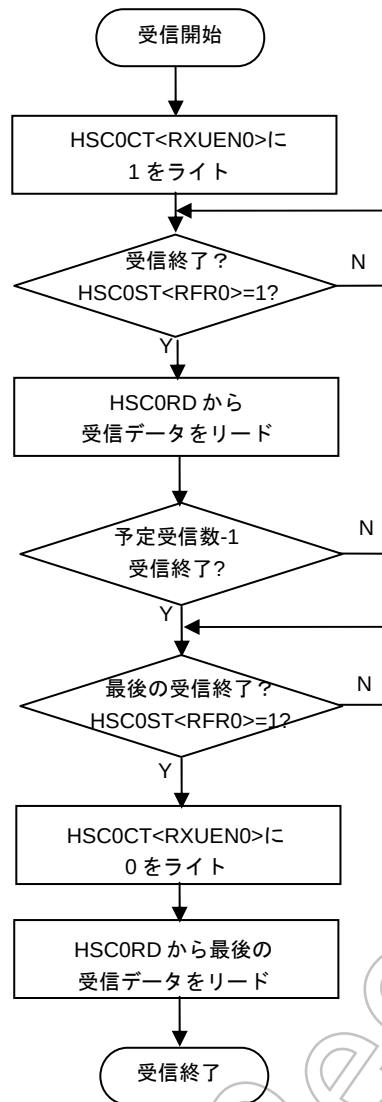
<RXUEN0>= “1”のまま受信データレジスタ (HSC0RD) からデータをリードすると、さらに 1UNIT のデータ受信を自動的行います。ハードウェア的にはシングルバッファでの連続受信を行うモードです。

UNIT 受信時には、HSC0ST<REND0>のステータスは変化しません。

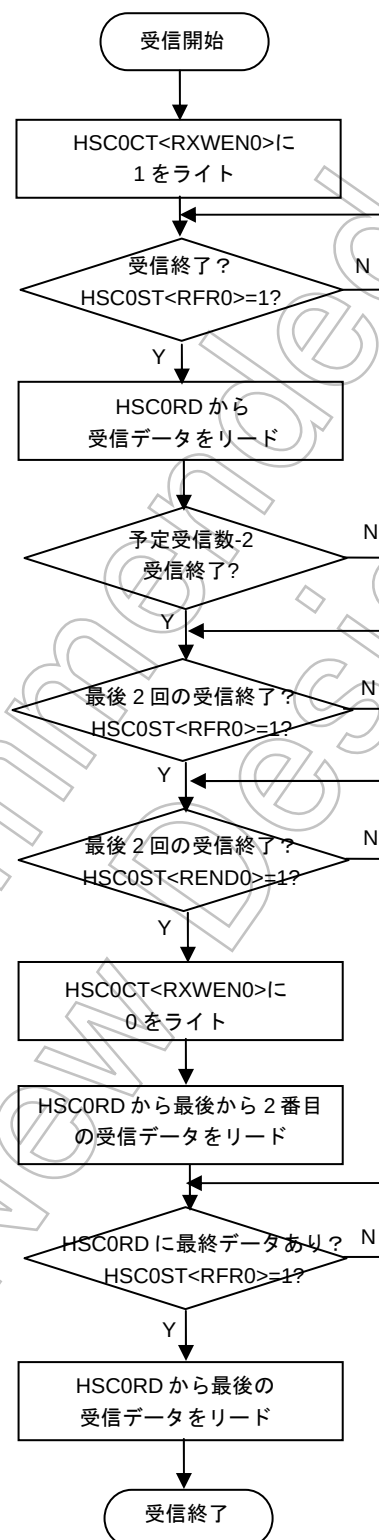
連続受信は、バッファに空きがある場合に自動的にデータを受信するモードです。

バッファに空きができるたびに、つぎのデータを自動的に受信するため、受信データレジスタ (HSC0RD) にデータが格納された時点でデータを読み出すことで、UNIT 毎に途切れることなく連続して受信を行うことができます。ハードウェア的にはダブルバッファでの連続受信を行うモードです。

UNIT 受信、連続受信の送信手順フローを図 3.11.9 に示します。



UNIT 受信フロー



連続受信フロー

図 3.11.9 UNIT 受信と連続受信フローチャート

(3) 割り込み、ステータスレジスタ

RFR0(HSC0RD の受信バッファがフル)、RFW0(HSC0TD の送信バッファがエンプティ)、REND0(HSC0RS の受信バッファがフル)、TEND0(HSC0TS の送信バッファがエンプティ)の 4 種類の割り込みに対してそれぞれ、状態のリード、マスク、割り込みのクリア、クリアイネーブルを制御可能です。

RFR0,RFW0 は、マイクロ DMA を使用した高速なデータ処理機能が可能です。

RFW0 を例に、割り込み・ステータスの関連について説明します。

ステータスレジスタ HSC0ST<RFW0>は、送信データレジスタの有無を示す内部信号 RFW0 の状態を示すレジスタです。送信データが有る場合に“0”、無い場合に“1”となります。内部信号をダイレクトにリードすることが可能なため、送信データレジスタのデータ有無を随時判断することが可能です。

割り込みステータスレジスタ HSC0IS<RFWIS0>は、RFW0 の立ち上がりエッジでセットされます。ステータスレジスタと異なり、HSC0WE<RFWWE0>=“1”の状態では“1”をライトしリセットされるまで状態を保持します。

割り込みイネーブルレジスタ HSC0IE<RFWIE0>が“1”の時、RFW0 割り込みを発生します。割り込みイネーブルレジスタが“0”の時は割り込みは発生しません。

割り込み要求レジスタ HSC0IR<RFWIR0>は、割り込みが発生しているか否かを示すレジスタです。

割り込みステータスライトイネーブルレジスタ HSC0WE<RFWWE0>は、割り込みステータスレジスタを誤ってリセットしないためにリセットの許可を設定するレジスタです。

送信データシフトレジスタ(HSC0TS)、受信データレジスタ(HSC0RD)、受信データシフトレジスタ(HSC0RS)のステータス、割り込み関連についても同様の回路構成となっています。

コントロールレジスタ HSC0CT<DMAERFW0>、HSC0CT<DMAERFR0>は、マイクロ DMA を使用するためのレジスタです。RFW0 割り込みを利用してマイクロ DMA 転送を行う場合<DMAERFW0>= “1”に、RFR0 割り込みを利用する場合は<DMAERFR0>= “1”に設定し、その他の割り込みは禁止してください。

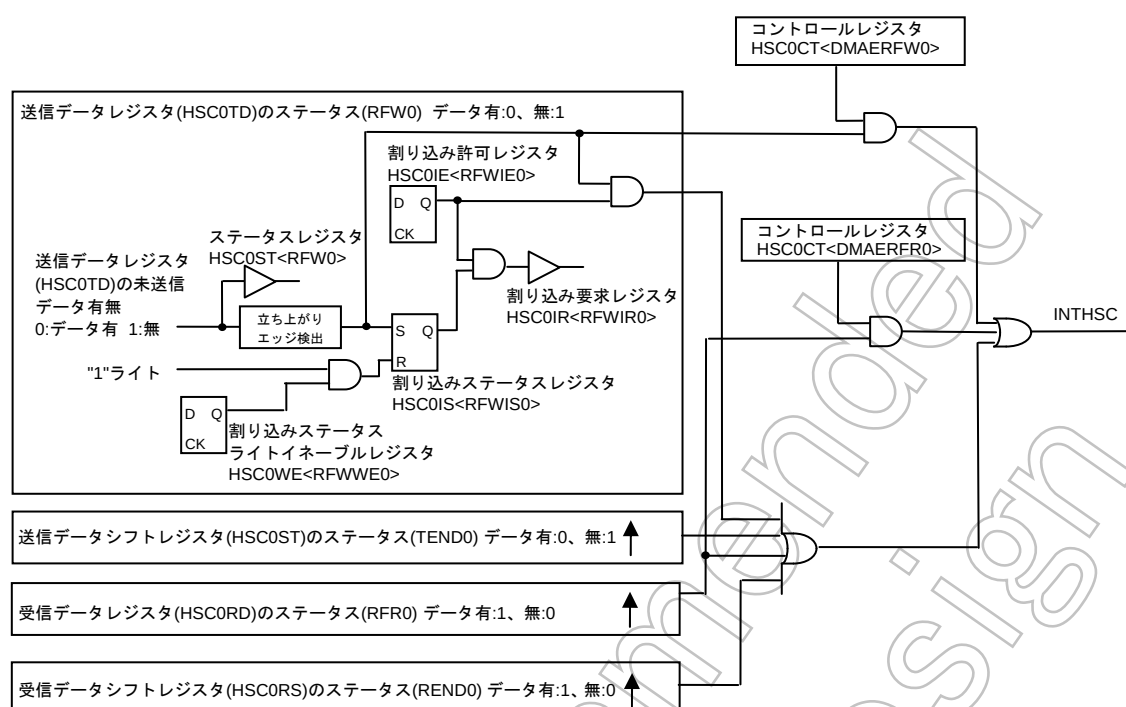


図 3.11.10 割り込み、ステータスレジスタ関連図

(3-1) ステータスレジスタ

4つのステータスを示すレジスタです。

HSC0ST レジスタ

	7	6	5	4	3	2	1	0
HSC0ST (C04H)					TEND0	REND0	RFW0	RFR0
bit Symbol								
Read/Write					R			
リセット後					1	0	1	0
機能					送信動作状態 0: 送信中 1: 非送信中	受信シフトレジスタ状態 0: データ無 1: データ有	送信バッファ状態 0: 未送信データ有 1: 未送信データ無	受信バッファ状態 0: 有効データ無 1: 有効データ有
	15	14	13	12	11	10	9	8
(C05H)								
bit Symbol								
Read/Write								
リセット後								
機能								

図 3.11.11 HSC0ST レジスタ

(a) <TEND0>

送信データシフトレジスタ(HSC0TS)中に、送信すべき有効データがある場合“0”に、またデータを全て送信終了した場合“1”にセットされます。

(b) <REND0>

受信データシフトレジスタ(HSC0RS)に有効なデータが無いか、または受信中の場合は、“0”にリセットし、受信終了し受信データリードレジスタに有効データがありデータを移せず保持している場合“1”にセットされます。

データが CPU にリードされ、受信データリードレジスタへ移されると“0”にリセットされます。

(c) <RFW0>

送信データライトレジスタ(HSC0TD)に送信データをライト後、同データを送信データシフトレジスタに移し、有効データがなくなるまで“0”にリセットし、有効データがなく次のデータを受け付け可能な場合“1”にセットされます。

(d) <RFR0>

受信データが、受信データシフトレジスタから受信データリードレジスタ(HSC0RD)へ移され有効受信データがある場合“1”にセットされ、データがリードされ有効なデータがない場合“0”にリセットされます。

(3-2) 割込みステータスレジスタ

4つの割込みステータスをリードし、割り込みをクリアするレジスタです。

該当ビットに“1”をライトすることにより、“0”にクリアされます。

本レジスタのステータスは、割込みソースの状態を示します。

割込みイネーブルレジスタ(HSC0IE)がマスクされている状態でも、割込みの状態変化を確認できるレジスタです。

HSC0IS レジスタ								
	7	6	5	4	3	2	1	0
HSC0IS (C08H)	bit Symbol				TENDIS0	RENDIS0	RFWIS0	RFRIS0
	Read/Write				R/W			
	リセット後				0	0	0	0
	機能				リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア
	15	14	13	12	11	10	9	8
(C09H)	bit Symbol							
	Read/Write							
	リセット後							
	機能							

図 3.11.12 HSC0IS レジスタ

(a) <TENDIS0>

TEND0 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には HSC0WE(HSC 割込みステータスライトイネーブルレジスタ)の<TENDWE0>が“1”にセットされている必要があります。

(b) <RENDIS0>

REND0 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には HSC0WE(HSC 割込みステータスライトイネーブルレジスタ)の<RENDWE0>が“1”にセットされている必要があります。

(c) <RFWDIS0>

RFW0 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には HSC0WE(HSC 割込みステータスライトイネーブルレジスタ)の<RFWWE0>が“1”にセットされている必要があります。

(d) <RFRIS0>

RFR0 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には HSC0WE(HSC 割り込みステータスライトイネーブルレジスタ)の<RFRWE0>が“1”にセットされている必要があります。

Not Recommended
for New Design

(3-3) 割込みステータスライトイネーブルレジスタ

4つの割込みステータスビットのクリアイネーブルを設定するレジスタです。

		HSC0WE レジスタ							
		7	6	5	4	3	2	1	0
HSC0WE (C0AH)	bit Symbol					TENDWE0	RENDWE0	RFWWE0	RFRWE0
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					HSC0IS <TENDIS0> クリア 0: 禁止 1: 許可	HSC0IS <RENDIS0> クリア 0: 禁止 1: 許可	HSC0IS <RFWIS0> クリア 0: 禁止 1: 許可	HSC0IS <RFRIS0> クリア 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
(C0BH)	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.11.13 HSC0WE レジスタ

- (a) <TENDWE0>
HSC0IS<TENDIS0>ビットのクリア許可を設定するビットです。
- (b) <RENDWE0>
HSC0IS<RENDIS0>ビットのクリア許可を設定するビットです。
- (c) <RFWWE0>
HSC0IS<RFWIS0>ビットのクリア許可を設定するビットです。
- (d) <RFRWE0>
HSC0IS<RFRIS0>ビットのクリア許可を設定するビットです。

(3-4) 割込みイネーブルレジスタ

4つの割込み出力の許可を設定するレジスタです。

HSC0IE レジスタ

HSC0IE (C0CH)		7	6	5	4	3	2	1	0
	bit Symbol					TENDIE0	RENDIE0	RFWIE0	RFRIE0
	Read/Write					R/W			
	リセット後					0	0	0	0
(C0DH)	機能					TEND0 割り込み 0: 禁止 1: 許可	REND0 割り込み 0: 禁止 1: 許可	RFW0 割り込み 0: 禁止 1: 許可	RFR0 割り込み 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write								
(C0DH)	リセット後								
	機能								

図 3.11.14 HSC0IE レジスタ

- (a) <TENDIE0>
TEND0 割り込みの許可を設定するビットです。
- (b) <RENDIE0>
REND0 割り込みの許可を設定するビットです。
- (c) <RFWIE0>
RFW0 割り込みの許可を設定するビットです。
- (d) <RFRIE0>
RFR0 割り込みの許可を設定するビットです。

(3-5) 割り込み要求レジスタ

CPU に対する 4 つの割り込み発生状態を示すレジスタです。

割り込みイネーブルレジスタ(HSC0IE)がマスクされている状態では、常に “0”(割り込み発生無し)の読出しとなるレジスタです。

HSC0IR レジスタ									
HSC0IR (C0EH)		7	6	5	4	3	2	1	0
	bit Symbol					TENDIR0	RENDIR0	RFWIR0	RFRIR0
	Read/Write					R			
	リセット後					0	0	0	0
	機能					TEND0 割り込み 0: なし 1: 発生	REND0 割り込み 0: なし 1: 発生	RFW0 割り込み 0: なし 1: 発生	RFR0 割り込み 0: なし 1: 発生
(C0FH)		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.11.15 HSC0IR レジスタ

- (a) <TENDIR0>
TEND0 割り込みの発生状態を示すビットです。
- (b) <RENDIR0>
REND0 割り込みの発生状態を示すビットです。
- (c) <RFWIR0>
RFW0 割り込みの発生状態を示すビットです。
- (d) <RFRIR0>
RFR0 割り込みの発生状態を示すビットです。

(4)HSC0CR(HSC0 CRC レジスタ)

HSC0CR は送信／受信データの CRC 演算結果を格納するレジスタです。

HSC0CR レジスタ

HSC0CR (C06H)		7	6	5	4	3	2	1	0
	bit Symbol	CRCD007	CRCD006	CRCD005	CRCD004	CRCD003	CRCD002	CRCD001	CRCD000
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	CRC 演算結果格納レジスタ[7:0]							
(C07H)		15	14	13	12	11	10	9	8
	bit Symbol	CRCD015	CRCD014	CRCD013	CRCD012	CRCD011	CRCD010	CRCD009	CRCD008
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	CRC 演算結果格納レジスタ[15:8]							

図 3.11.16 HSC0CR レジスタ

(a) <CRCD015:000>

HSC0CT<CRC16_7_b0><CRCRX_TX_B0><CRCRESET_B0>レジスタの設定に従って演算した結果を格納するレジスタです。CRC16 の場合 全ビット有効で、CRC7 の場合下位 7 ビットが有効です。

送信データの CRC16 を演算する場合の動作手順を例として説明します。

まず、<CRC16_7_b0>= “1”, <CRCRX_TX_B0>= “0”, <CRCRESET_B0>= “0”をライト後に、<CRCRESET_B0>= “1”をライトして CRC 演算レジスタの初期化を実施します。次に送信データを HSC0TD レジスタへライトし CRC を演算する全データを送信終了させます。

送信終了は HSC0ST<TEND0>で確認してください。終了後、HSC0CR レジスタをリードすると送信データの CRC16 をリードできます。

(5)送信データレジスタ

送信データをライトするレジスタです。

HSC0TD レジスタ

HSC0TD (C10H)		7	6	5	4	3	2	1	0
	bit Symbol	TXD007	TXD006	TXD005	TXD004	TXD003	TXD002	TXD001	TXD000
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データレジスタ[7:0]							
(C11H)		15	14	13	12	11	10	9	8
	bit Symbol	TXD015	TXD014	TXD013	TXD012	TXD011	TXD010	TXD009	TXD008
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データレジスタ[15:8]							

図 3.11.17 HSC0TD レジスタ

(a) <TXD015:000>

送信データをライトするレジスタです。リードすると最後にライトしたデータがリードされます。本レジスタが空になってない状態で、次のデータをライトすると上書きされますので、その場合は RFW0 のステータスを確認後、ライトしてください。

HSC0CT<UNIT160>= “1” の場合、全ビット有効で、HSC0CT<UNIT160>= “0” の場合、下位 8 ビットが有効です。

(6)受信データレジスタ
受信データをリードするレジスタです。

HSC0RD レジスタ								
HSC0RD (C12H)		7	6	5	4	3	2	1 0
	bit Symbol	RXD007	RXD006	RXD005	RXD004	RXD003	RXD002	RXD001 RXD000
	Read/Write	R						
	リセット後	0	0	0	0	0	0	0
	機能	受信データレジスタ[7:0]						
(C13H)		15	14	13	12	11	10	9 8
	bit Symbol	RXD015	RXD014	RXD013	RXD012	RXD011	RXD010	RXD009 RXD008
	Read/Write	R						
	リセット後	0	0	0	0	0	0	0
	機能	受信データレジスタ[15:8]						

図 3.11.18 HSC0RD レジスタ

- (a) <RXD015:000>
受信データをリードするレジスタです。リードする際には RFR0 のステータスを
確認後リードしてください。
HSC0CT<UNIT160>= “1”の場合 全ビット有効で、HSC0CT<UNIT160>= “0”の
場合下位 8 ビットが有効です。

(7)送信データシフトレジスタ

送信データをシリアルへ変換するレジスタです。主に LSI のテスト時に変換状態を確認するために使用します。

HSC0TS レジスタ								
HSC0TS (C14H)		7	6	5	4	3	2	1 0
	bit Symbol	TSD007	TSD006	TSD005	TSD004	TSD003	TSD002	TSD001 TSD000
	Read/Write	R						
	リセット後	0	0	0	0	0	0	0
	機能	送信データシフトレジスタ[7:0]						
(C15H)		15	14	13	12	11	10	9 8
	bit Symbol	TSD015	TSD014	TSD013	TSD012	TSD011	TSD010	TSD009 TSD008
	Read/Write	R						
	リセット後	0	0	0	0	0	0	0
	機能	送信データシフトレジスタ[15:8]						

図 3.11.19 HSC0TS レジスタ

(a) <TSD015:000>

送信データのシフトレジスタの状態をリードするレジスタです。

HSC0CT<UNIT160>= “1”の場合 全ビット有効で、HSC0CT<UNIT160>= “0”の場合下位 8 ビットが有効です。

(8)受信データシフトレジスタ

受信データシフトレジスタをリードするレジスタです。

HSC0RS レジスタ

HSC0RS (C16H)		7	6	5	4	3	2	1	0
	bit Symbol	RSD007	RSD006	RSD005	RSD004	RSD003	RSD002	RSD001	RSD000
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データシフトレジスタ[7:0]							
(C17H)		15	14	13	12	11	10	9	8
	bit Symbol	RSD015	RSD014	RSD013	RSD012	RSD011	RSD010	RSD009	RSD008
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	受信データシフトレジスタ[15:8]							

図 3.11.20 HSC0RS レジスタ

(a) <RSD015:000>

受信データシフトレジスタの状態をリードするレジスタです。

HSC0CT<UNIT160>= “1”の場合 全ビット有効で、HSC0CT<UNIT160>= “0”の場合 下位 8 ビットが有効です。

3.11.3 動作タイミング

以下に各種、動作タイミングを説明します。

(1) 設定条件

UNIT=8 ビット、LSB ファーストでの送信

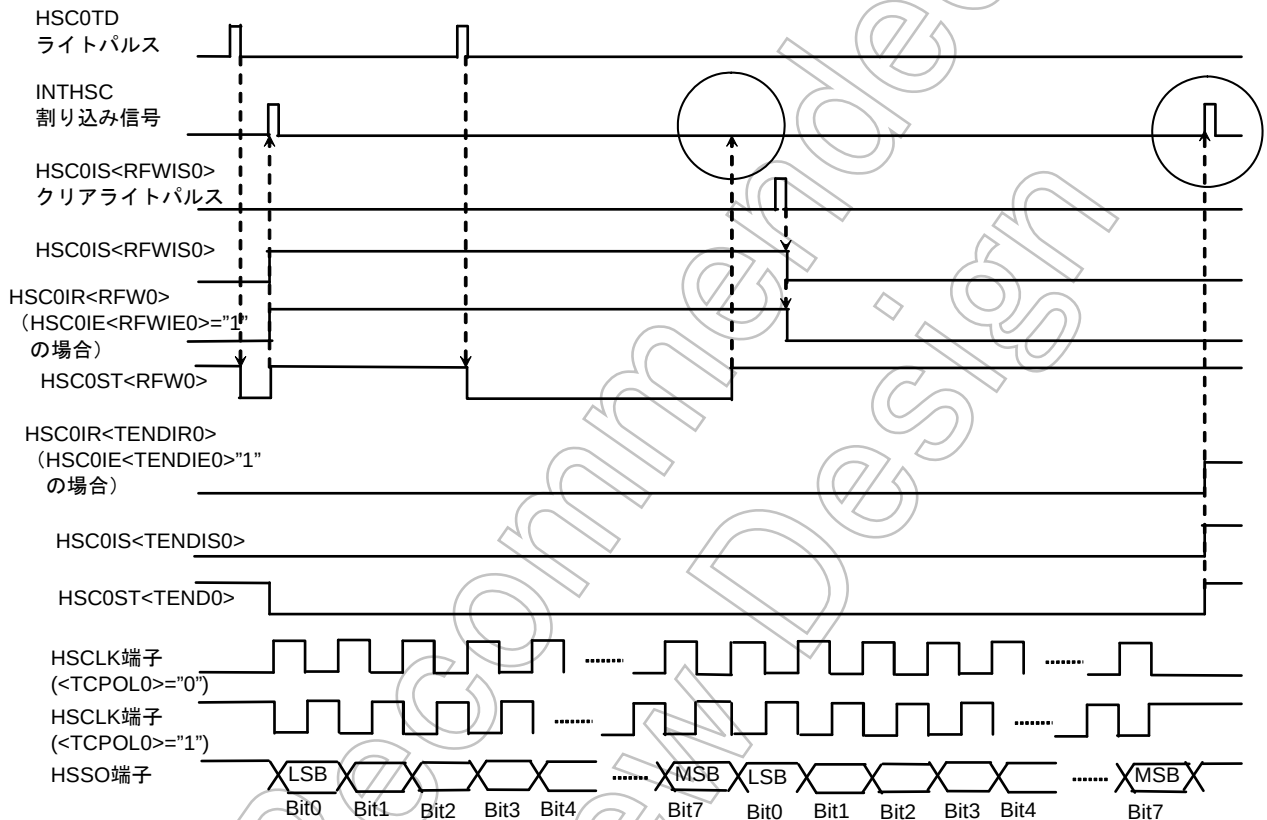


図 3.11.21 送信タイミング図

上記において、HSC0TD レジスタに送信データを書き込み直後に、HSC0ST<RFW0>フラグが“0”にセットされます。HSC0TD レジスタのデータが送信用レジスタ(HSC0TS)にシフトが完了すると HSC0ST<RFW0>ビットは“1”にセットされ、次の送信データの書き込み準備が整ったことを知らせ、同時に HSCLK 端子および HSSO 端子からクロックとデータの送信が開始されます。

この時、HSC0ST<RFW0>フラグの立ち上がり同期して、HSC0IS、HSC0IR が変化し INTHSC 割り込みが発生します。HSC0IR レジスタが“1”にセットされたままの状態では HSC0ST<RFW0>が“1”にセットされても、割り込みは発生しません。

また、送信が終了し HSC0TD レジスタおよび HSC0TS レジスタに送信すべきデータがなくなった時点で HSC0ST<TEND0>フラグが“1”にセットされ、送信データとクロックが停止し、同時に INTHSC 割り込みが発生します。この時、HSC0IS<RFW0>をクリアしておかないと、割り込みソースの種類が異なる場合で HSC0ST<TEND0>が“1”にセットされても、INTHSC は発生しませんので、注意が必要です。

(2)設定条件

UNIT=8 ビット、LSB ファーストでの UNIT 受信

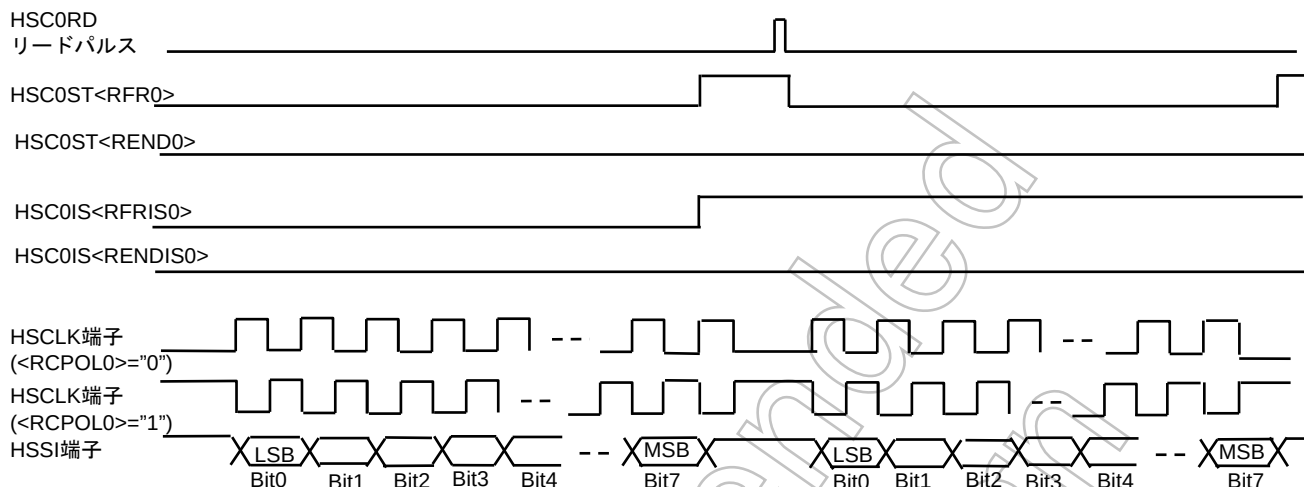


図 3.11.22 UNIT 受信(HSC0CT<RXUEN0>= "1")の場合

HSC0RD レジスタ内に有効な受信データがない (HSC0ST<RFR0>= "0") 状態で、HSC0CT<RXUEN0>= "1"を設定すると UNIT 受信を開始します。受信が終了し HSC0RD レジスタに受信データが格納されると、HSC0ST<RFR0>フラグが "1"にセットされ、受信データの読み出し準備が整ったことを知らせます。HSC0RD レジスタを読み出すと直後に、HSC0ST<RFR0>フラグが "0"にクリアされ、次のデータの受信を自動的に開始します。

UNIT 受信を終了するには、HSC0ST<RFR0>フラグが "1"にセットされているのを確認後、HSC0CT<RXUEN0>= "0"を設定します。

(3)設定条件

UNIT=8 ビット、LSB ファーストでの連続受信

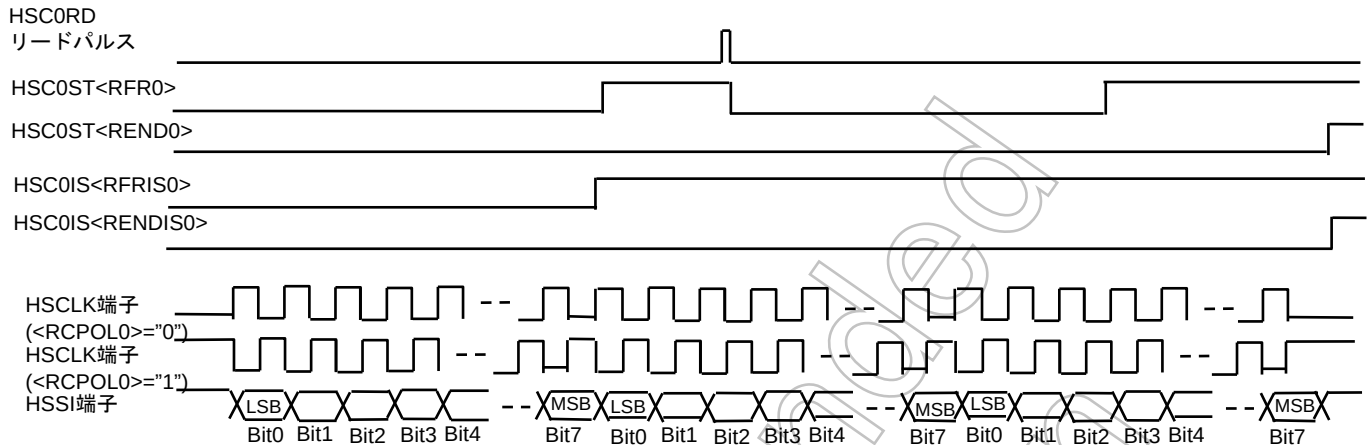


図 3.11.23 連続受信(HSC0CT<RXWEN0>= “1”)の場合

HSC0RD レジスタ内に有効な受信データがない (HSC0ST<RFR0>= “0”) 状態で、HSC0CT<RXWEN0>= “1”を設定すると連続受信を開始します。1 回目の受信が終了し HSC0RD レジスタに受信データが格納されると、HSC0ST<RFR0>フラグが“1”にセットされ、受信データの読み出し準備が整ったことを知らせます。連続受信は、HSC0RD、HSC0RS レジスタ双方に受信データが格納されるまで連続して受信動作を行います。

連続受信を終了するには、HSC0ST<RFR0>フラグおよび HSC0SR<REND0>フラグが“1”にセットされているのを確認後、HSC0CT<RXWEN0>= “0”を設定します。

(4)設定条件

UNIT=8 ビット、LSB ファーストでのマイクロ DMA を利用した送信

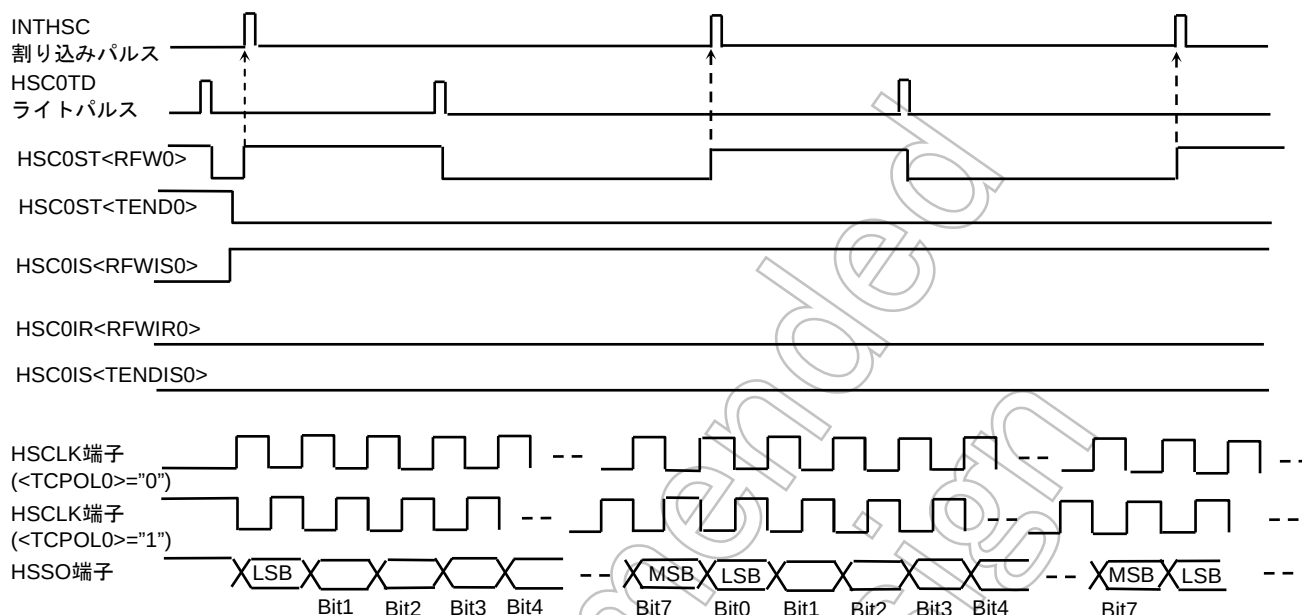


図 3.11.24 マイクロ DMA 転送(送信)

HSC0IE レジスタの全ビットを“0”に、HSC0CT<DMAERFW0>= “1”に設定した状態で、HSC0TD レジスタに送信データを書き込み送信開始します。

HSC0TD レジスタのデータが HSC0TS レジスタにシフトされ HSC0ST<RFW0>ビットが“1”にセットされ、次の送信データの書き込み準備が整うと INTHSC 割り込み(RFW0 割り込み)が発生します。

この割り込みによってマイクロ DMA の起動をかけることにより、連続したデータの送信を自動的に行うことができます。

なお、マイクロ DMA での送信を行うには、あらかじめマイクロ DMA の設定が必要です。

(5)設定条件

UNIT=8 ビット、LSB ファーストでのマイクロ DMA を利用した受信

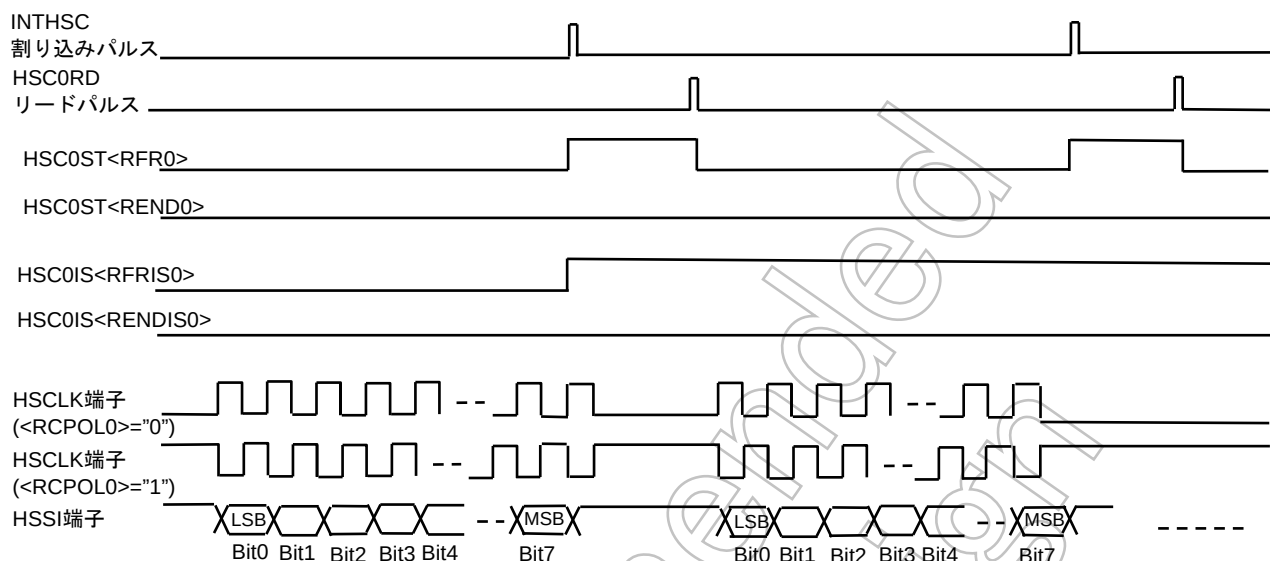


図 3.11.25 マイクロ DMA 転送(UNIT 受信(HSC0CT<RFUEN0>=“1”))

HSC0IE レジスタの全ビットを“0”に、HSC0CT<DMAERFR0>=“1”に設定した状態で、HSC0CT<RXUEN0>=“1”を設定し UNIT 受信を開始します。

受信が終了し HSC0RD レジスタに受信データが格納され、受信データの読み出し準備が整うと INTHSC 割り込み(RFR0 割り込み)が発生します。

この割り込みによってマイクロ DMA の起動をかけることにより、連続したデータの受信を自動的に行うことができます。

なお、マイクロ DMA での受信を行うには、あらかじめマイクロ DMA の設定が必要です。

3.11.4 使用例

HSC の設定手順を以下に説明します。

(1)UNIT 送信

下記設定で送信を行い、送信終了で INTHSC 割り込みを発生させる場合の設定例を示します。

UNIT: 8bit、
LSB ファースト
ボーレート選択: f_{sys}/8
同期クロックエッジ: 立ち上がり

設定例

```
ld  (pffc),0x38      ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld  (pfc),0x28       ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld  (hscsel),0x01     ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK

ldw  (hsc0ct),0x0040  ; データ長を 8bit に設定
ldw  (hsc0md),0x2c43  ; システムクロックイネーブル、ボーレート選択 : fsys/8
                          ; LSB ファースト、同期クロックエッジ設定 : 立ち上りに設定

ld  (hsc0ie),0x08     ; TEND0 割り込み許可に設定
ld  (intes1hsc),0x10  ; INTHSC 割り込みレベルを 1 に設定
ei                               ; 割り込み許可 (iff=0)

loop:                      ; 送信データレジスタに未送信データが無いことを確認
    bit 1,(hsc0st)      ; <RFW0>=1 ?
    jr  z,loop

ld  (hsc0td),0x3a      ; 送信データライト & 送信スタート
    .
    .
    .
```

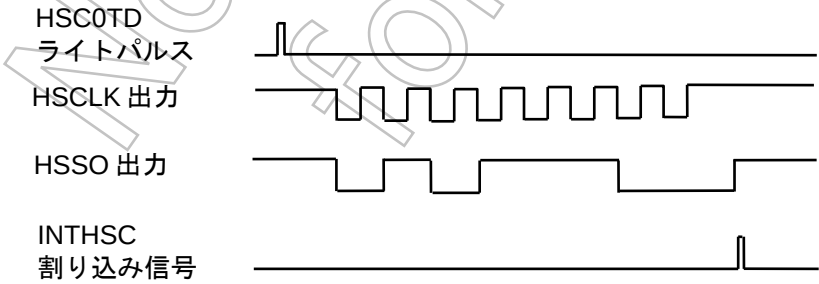


図 3.11.26 UNIT 送信例

(2)UNIT 受信

下記設定で受信を行い、受信終了で INTHSC 割り込みを発生させる場合の設定例を示します。

UNIT: 8bit、
LSB ファースト
ボーレート選択: fsys/8
同期クロックエッジ: 立ち上がり

設定例

```
ld  (pffc),0x38      ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld  (pfc),0x28       ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld  (hscsel),0x01    ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK

ldw (hsc0ct),0x0040  ; データ長を 8bit に設定
ldw (hsc0md),0x2c43  ; システムクロックイネーブル、ボーレート選択 : fsys/8
                        ; LSB ファースト、同期クロックエッジ設定 : 立ち上がり に設定

ld  (hsc0ie),0x01    ; RFR0 割り込み許可に設定
ld  (intes1hsc),0x10 ; INTHSC 割り込みレベルを 1 に設定
ei                                     ; 割り込み許可(iff=0)

set  0x0,(hsc0ct)    ; UNIT 受信スタート
      .
      .
      .
```

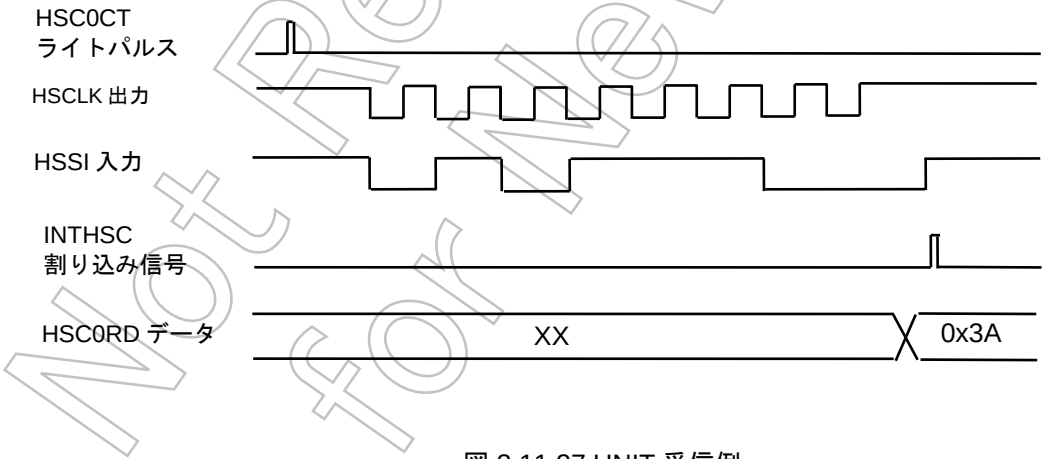


図 3.11.27 UNIT 受信例

(3)連続送信

下記設定で送信を行い、2 バイトの連続送信を行う場合の設定例を示します。

UNIT: 8bit、

LSB ファースト

ボーレート選択: fsys/8

同期クロックエッジ: 立ち上がり

設定例

```
ld    (pffc),0x38      ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld    (pfc),0x28       ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld    (hscsel),0x01    ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK

ldw   (hsc0ct),0x0040  ; データ長を 8bit に設定
ldw   (hsc0md),0x2c43  ; システムクロックイネーブル、ボーレート選択 : fsys/8
                        ; LSB ファースト、同期クロックエッジ設定 : 立ち上がりに設定

loop1:                    ; 送信データレジスタに未送信データが無いことを確認
    bit    1,(hsc0st)    ; <RFW0>=1 ?
    jr     z,loop1

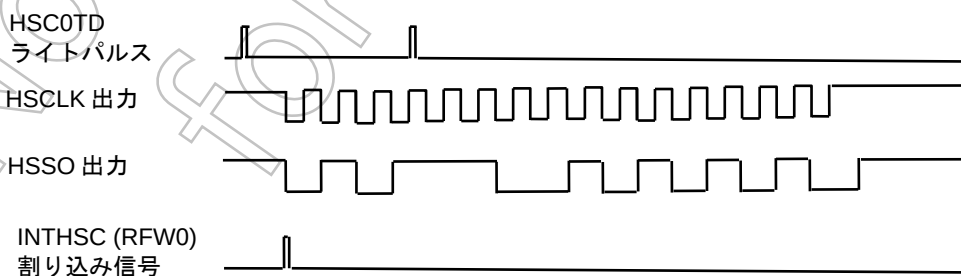
    ld     (hsc0td),0x3a ; 1 バイト目送信データライト & 送信スタート

loop2:                    ; 送信データレジスタに未送信データが無いことを確認
    bit    1,(hsc0st)    ; <RFW0>=1 ?
    jr     z,loop2

    ld     (hsc0td),0x55 ; 2 バイト目送信データライト

loop3:                    ; 送信データシフトレジスタに未送信データが無いことを確認
    bit    3,(hsc0st)    ; <TEND0>=1 ?
    jr     z,loop3

                        ; 送信終了
```



注) 図のタイミングは一例です。ボーレートが高い場合など、1 バイト目の送信と 2 バイト目の送信間隔が発生する場合があります。

図 3.11.28 連続送信例

(4)連続受信

下記設定で受信を行い、2 バイトの連続受信を行う場合の設定例を示します。

UNIT: 8bit、

LSB ファースト

ボーレート選択: fsys/8

同期クロックエッジ: 立ち上がり

設定例

```
ld  (pffc),0x38      ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld  (pfc),0x28       ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld  (hscsel),0x01    ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK

ldw (hsc0ct),0x0040   ; データ長を 8bit に設定
ldw (hsc0md),0x2c43   ; システムクロックイネーブル、ボーレート選択: fsys/8
                        ; LSB ファースト、同期クロックエッジ設定: 立ち上がりに設定

set  0x01,(hsc0ct)    ; 連続受信スタート

loop1:                ; 受信データレジスタに 1 バイト目の受信データがあることを確認
    bit  0,(hsc0st)    ; <RFR0>=1 ?
    jr   z,loop1

loop2:                ; 受信データシフトレジスタに 2 バイト目のデータがあることを確認
    bit  2,(hsc0st)    ; <REND0>=1 ?
    jr   z,loop2

res  0x01,(hsc0ct)    ; 連続受信ディセーブル

ld  a,(hsc0rd)        ; 1 バイト目受信データリード

loop3:                ; 受信データシフトレジスタから受信データレジスタに
                        ; 2 バイト目の受信データがシフトされたことを確認
    bit  0,(hsc0st)    ; <RFR0>=1 ?
    jr   z,loop3
    ld  w,(hsc0rd)      ; 2 バイト目受信データリード
```

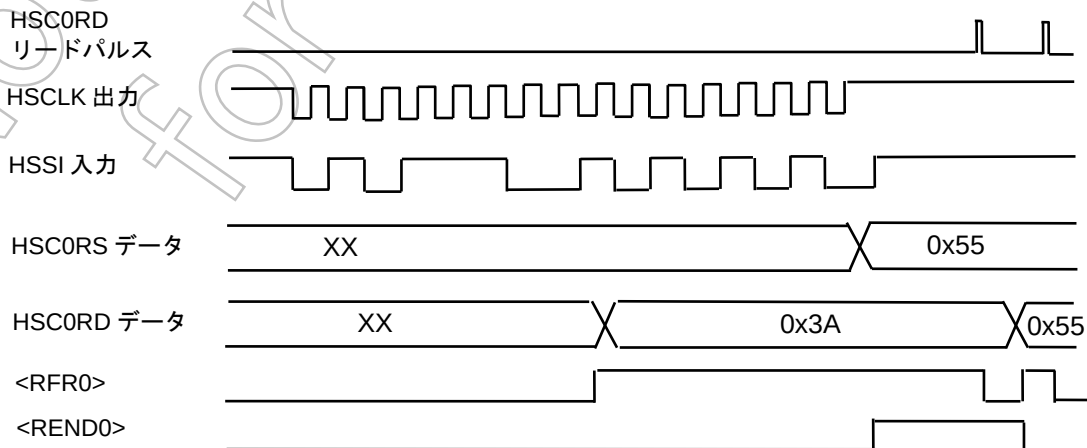


図 3.11.29 連続受信例

(5) マイクロ DMA を利用した連続送信

下記設定でマイクロ DMA を利用し 4 バイト連続送信を行う場合の設定例を示します。

UNIT: 8bit、

LSB ファースト

ボーレート選択: fsys/8

同期クロックエッジ: 立ち上がり

設定例メインルーチン

-- マイクロ DMA 設定 --

```
ld  (dma0v),0x1D          ; マイクロ DMA0 を INTHSC に設定
ld  wa,0x0003              ; マイクロ DMA 転送回数に、転送回数 - 1 回に設定 (3 回)
ldc  dmac0,wa
ld  a,0x08                ; マイクロ DMA モード設定 : 転送元 INC モード, 1 バイト転送
ldc  dmam0,a

ld  xwa,0x806000           ; 転送元アドレス設定
ldc  dmas0,xwa
ld  xwa,0xc10              ; 転送先アドレスを HSC0TD レジスタに設定
ldc  dmad0,xwa
```

-- HSC 設定 --

```
ld  (pffc),0x38           ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld  (pfcr),0x28           ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld  (hscsel),0x01         ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK

ldw  (hsc0ct),0x0040      ; データ長を 8bit に設定
ldw  (hsc0md),0x2c43      ; システムクロックイネーブル、ボーレート選択 : fsys/8
                                ; LSB ファースト、同期クロックエッジ設定 : 立ち上がりに設定

ld  (hsc0ie),0x00         ; 割り込み禁止に設定
set  1,(hsc0ct+1)         ; RFW0 によるマイクロ DMA 動作をイネーブルに設定
ld  (inttc0),0x01         ; INTTC0 割り込みレベルを 1 に設定
ei                                ; 割り込み許可 (iff=0)
```

loop1: ; 送信データレジスタに未送信データが無いことを確認

```
bit  1,(hsc0st)          ; <RFW0> = 1 ?
jr   z,loop1
```

```
ld  (hsc0td),0x3a        ; 送信データライト & 送信スタート
```

割り込みルーチン(INTTC0)

loop2:

```
bit  1,(hsc0st)          ; <RFW0> = 1 ?
```

```
jr   z,loop2
```

```
bit  3,(hsc0st)          ; <TEND0> = 1 ?
```

```
jr   z,loop2
```

```
nop
```

(6) マイクロ DMA を利用した UNIT 受信

下記設定でマイクロ DMA を利用して UNIT 受信を 4 バイト連続で行う場合の設定例を示します。

UNIT: 8bit、
 LSB ファースト
 ボーレート選択: fsys/8
 同期クロックエッジ: 立ち上がり

設定例メインルーチン

```
-- マイクロ DMA 設定 --
ld    (dma0v),0x1D      ; マイクロ DMA0 を INTHSC に設定
ld    wa,0x0003         ; マイクロ DMA 転送回数に、転送回数 - 1 回に設定(3回)
ldc   dmac0,wa
ld    a,0x00            ; マイクロ DMA モード設定: 転送先 INC モード, 1 バイト転送
ldc   dmam0,a

ld    xwa,0xc12         ; 転送元アドレスを HSC0RD レジスタに設定
ldc   dmas0,xwa
ld    xwa,0x807000      ; 転送先アドレスを設定
ldc   dmad0,xwa

-- HSC 設定 --
ld    (pffc),0x38       ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld    (pfcr),0x28       ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK
ld    (hscsel),0x01     ; ポート設定 PF3:HSSO, PF4:HSSI, PF5:HSCLK

ldw   (hsc0ct),0x0040   ; データ長を 8bit に設定
ldw   (hsc0md),0x2c43   ; システムクロックイネーブル、ボーレート選択: fsys/8
                                ; LSB ファースト、同期クロックエッジ設定: 立ち上がりに設定

ld    (hsc0ie),0x00     ; 割り込み禁止に設定
set   0,(hsc0ct+1)      ; RFR0 によるマイクロ DMA 動作をイネーブルに設定
ld    (inttc01),0x01    ; INTTC0 割り込みレベルを 1 に設定
ei                                         ; 割り込み許可(iff=0)

set   0x0,(hsc0ct)      ; UNIT 受信スタート
```

割り込みルーチン(INTTC0)

```
loop2:                                ; UNIT 受信の場合の受信終了待ち
bit   0,(hsc0st)        ; <RFR0> = 1 ?
jr    z,loop2
res   0,(hsc0ct)        ; UNIT 受信ディセーブル
ld    a,(hsc0rd)        ; 最終受信データのリード
nop
```

3.12 アナログ/デジタルコンバータ

12 チャンネルのアナログ入力を持つ、10 ビット逐次比較方式アナログ/デジタルコンバータ (AD コンバータ) を内蔵しています。

図 3.12.1にADコンバータのブロック図を示します。

12 チャンネルのアナログ入力端子 (AN0~AN11) は、入力専用ポート G、ポート L と兼用で入力ポートとしても使用できます。

注) IDLE2, IDLE1, STOP モードにより電源電流を低減させる場合は、タイミングにより内部のコンパレータがイネーブル状態のままスタンバイに入ることがありますので、AD コンバータの動作が停止していることを確認してから HALT 命令を実行してください。

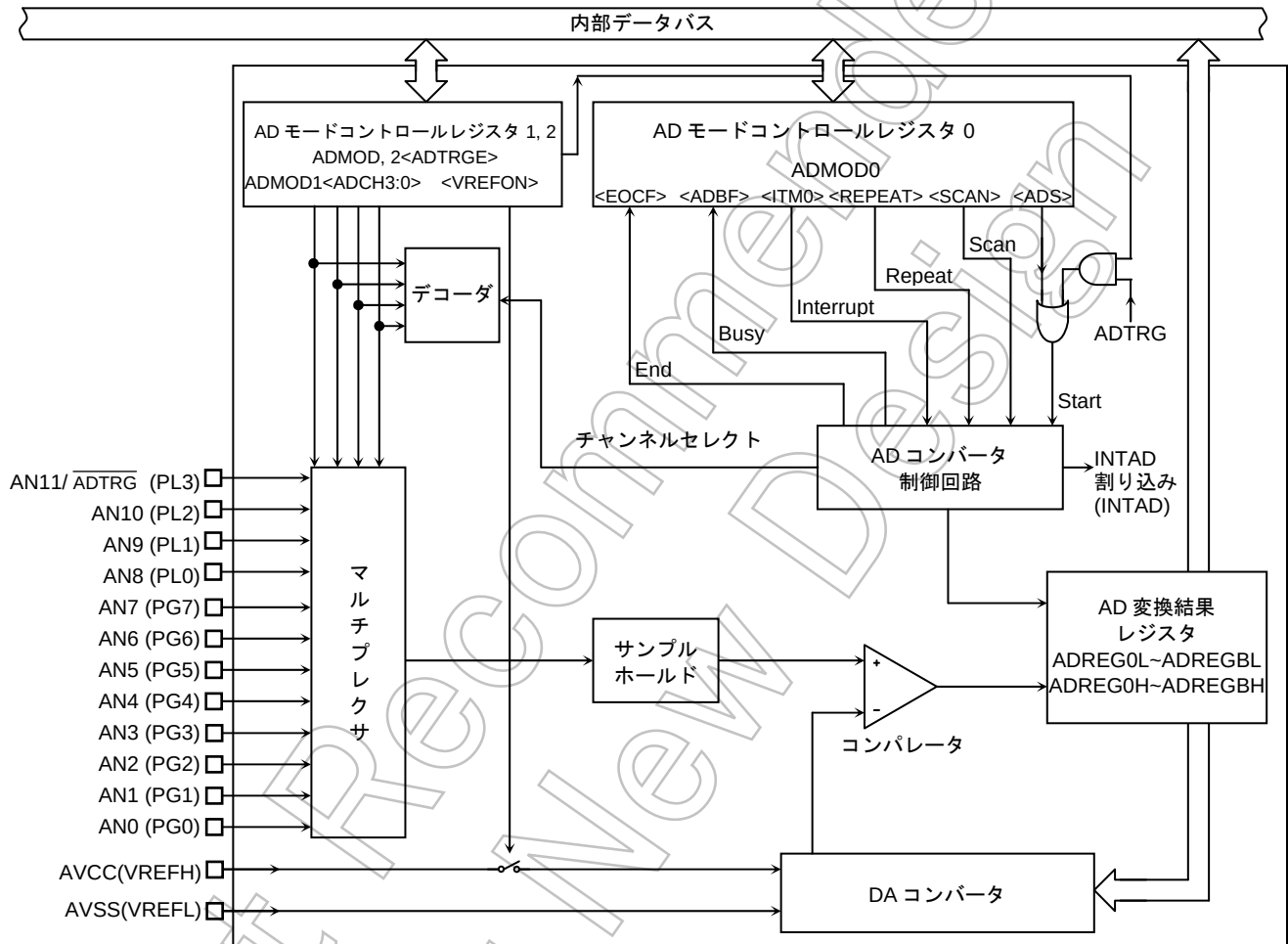


図 3.12.1 AD コンバータのブロック図

3.12.1 アナログ/デジタルコンバータレジスタ

ADコンバータは、3つのADモードコントロールレジスタ (ADMOD0, ADMOD1, ADMOD2) により制御されています。また、AD変換結果は、AD変換結果上位/下位レジスタ ADREG0H/L~ADREGBH/Lの 24 個のレジスタに格納されます。図 3.12.2 ~図 3.12.10にADコンバータ関係のレジスタを示します。



図 3.12.2 AD コンバータ関係のレジスタ

ADMOD1
(12B9H)

AD モードコントロールレジスタ 1

	7	6	5	4	3	2	1	0
Bit symbol	VREFON	I2AD	–	–	ADCH3	ADCH2	ADCH1	ADCH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	VREF 印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	“0”をライ トしてくだ さい。	“0”をライ トしてくだ さい。	アナログ入力チャネル選択			

アナログ入力チャネル選択

<SCAN> <ADCH3:0>	0 (チャネル 固定)	1 (チャネル スキャン)
0000	AN0	AN0
0001	AN1	AN0 → AN1
0010	AN2	AN0 → AN1 → AN2
0011	AN3	AN0 → AN1 → AN2 → AN3
0100	AN4	AN0 → AN1 → AN2 → AN3 → AN4
0101	AN5	AN0 → AN1 → AN2 → AN3 → AN4 → AN5
0110	AN6	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6
0111	AN7	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7
1000	AN8	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8
1001	AN9	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9
1010	AN10	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 → AN10
1011	AN11	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 → AN10 → AN11
1100~1111	設定しないでください。	

→ IDLE2 モード時の動作制御

0	停止
1	動作

→ AD コンバータ用基準電圧印加制御

0	OFF
1	ON

注) AN11 端子は、ADTRG 入力端子と兼用になっています。このため、ADMOD2<ADTRGE>= “1”で ADTRG を使用している場合、ADMOD1<ADCH3:0>= “1011”に設定しないでください。

図 3.12.3 AD コンバータのレジスタ

ADMOD2
(12BAH)

AD モードコントロールレジスタ 2								
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	-	ADTRGE
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0”をライトしてください。	“0”をライトしてください。	“0”をライトしてください。	“0”をライトしてください。	“0”をライトしてください。	“0”をライトしてください。	“0”をライトしてください。	AD 外部トリガスタート制御 0: 禁止 1: 許可

→外部トリガ AD 変換スタート制御

0	ディセーブル
1	イネーブル

図 3.12.4 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 0

	7	6	5	4	3	2	1	0
ADREG0L (12A0H)	Bit symbol	ADR01	ADR00					ADR0RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 0

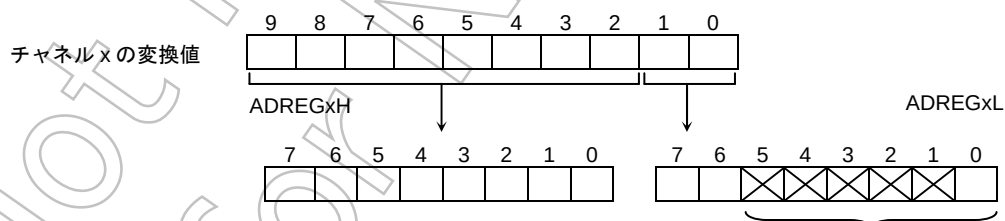
		7	6	5	4	3	2	1	0
ADREG0H (12A1H)	Bit symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8 ビット格納							

AD 変換結果下位レジスタ 1

		7	6	5	4	3	2	1	0
ADREG1L (12A2H)	Bit symbol	ADR11	ADR10						ADR1RF
	Read/Write	R							R
	リセット後	不定							0
	機能	AD 変換結果下位 2 ビット格納							AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 1

		7	6	5	4	3	2	1	0
ADREG1H (12A3H)	Bit symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
	Read/Write	R							
	リセット後	不定							
	機能	AD 変換結果上位 8 ビット格納							



- ビット 5~1 を読み出すと、常に“1”になります。
- ビット 0 は AD 変換格納フラグ<ADRXF>です。AD 変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0”にクリアされます。

図 3.12.5 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 2

ADREG2L
(12A4H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR21	ADR20						ADR2RF
Read/Write	R							R
リセット後	不定							0
機能	AD 変換結果下位 2 ビット格納							AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 2

ADREG2H
(12A5H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	不定							
機能	AD 変換結果上位 8 ビット格納							

AD 変換結果下位レジスタ 3

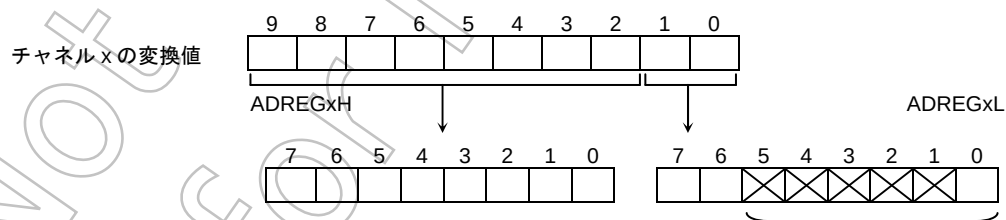
ADREG3L
(12A6H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR31	ADR30						ADR3RF
Read/Write	R							R
リセット後	不定							0
機能	AD 変換結果下位 2 ビット格納							AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 3

ADREG3H
(12A7H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	不定							
機能	AD 変換結果上位 8 ビット格納							



- ビット 5~1 を読み出すと、常に“1”になります。
- ビット 0 は AD 変換格納フラグ<ADRxRF>です。AD 変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0”にクリアされます。

図 3.12.6 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 4

	7	6	5	4	3	2	1	0
ADREG4L (12A8H)	Bit symbol	ADR41	ADR40					ADR4RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 4

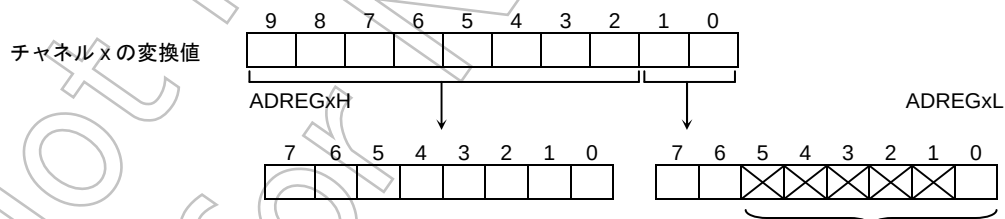
	7	6	5	4	3	2	1	0
ADREG4H (12A9H)	Bit symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43
	Read/Write	R						
	リセット後	不定						
	機能	AD 変換結果上位 8 ビット格納						

AD 変換結果下位レジスタ 5

	7	6	5	4	3	2	1	0
ADREG5L (12AAH)	Bit symbol	ADR51	ADR50					ADR5RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 5

	7	6	5	4	3	2	1	0
ADREG5H (12ABH)	Bit symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53
	Read/Write	R						
	リセット後	不定						
	機能	AD 変換結果上位 8 ビット格納						



- ビット 5~1 を読み出すと、常に "1" になります。
- ビット 0 は AD 変換格納フラグ <ADRxRF> です。AD 変換値が格納されると、"1" にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、"0" にクリアされます。

図 3.12.7 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 6

	7	6	5	4	3	2	1	0
ADREG6L (12ACH)	Bit symbol	ADR61	ADR60					ADR6RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 6

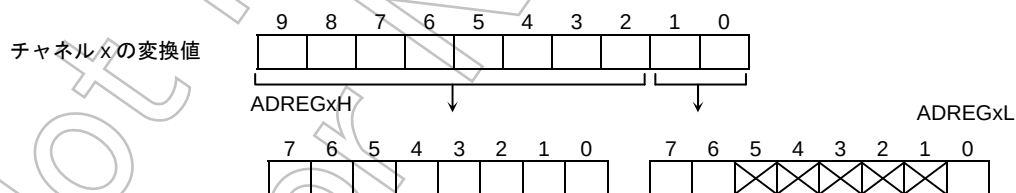
	7	6	5	4	3	2	1	0
ADREG6H (12ADH)	Bit symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63
	Read/Write	R						
	リセット後	不定						
	機能	AD 変換結果上位 8 ビット格納						

AD 変換結果下位レジスタ 7

	7	6	5	4	3	2	1	0
ADREG7L (12AEH)	Bit symbol	ADR71	ADR70					ADR7RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 7

	7	6	5	4	3	2	1	0
ADREG7H (12AFH)	Bit symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73
	Read/Write	R						
	リセット後	不定						
	機能	AD 変換結果上位 8 ビット格納						



- ビット 5~1 を読み出すと、常に "1" になります。
- ビット 0 は AD 変換格納フラグ <ADRxRF> です。AD 変換値が格納されると、"1" にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、"0" にクリアされます。

図 3.12.8 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 8

	7	6	5	4	3	2	1	0
ADREG8L (12B0H)	Bit symbol	ADR81	ADR80					ADR8RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 8

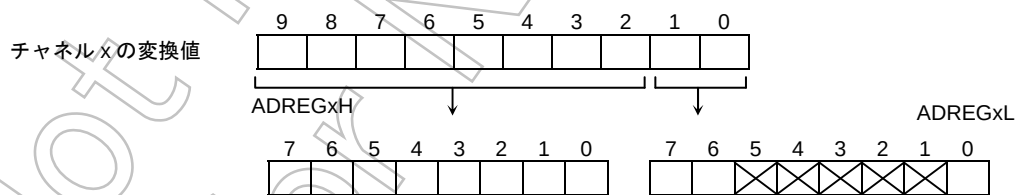
	7	6	5	4	3	2	1	0
ADREG8H (12B1H)	Bit symbol	ADR89	ADR88	ADR87	ADR86	ADR85	ADR84	ADR83
	Read/Write	R						
	リセット後	不定						
	機能	AD 変換結果上位 8 ビット格納						

AD 変換結果下位レジスタ 9

	7	6	5	4	3	2	1	0
ADREG9L (12B2H)	Bit symbol	ADR91	ADR90					ADR9RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 9

	7	6	5	4	3	2	1	0
ADREG9H (12B3H)	Bit symbol	ADR99	ADR98	ADR97	ADR96	ADR95	ADR94	ADR93
	Read/Write	R						
	リセット後	不定						
	機能	AD 変換結果上位 8 ビット格納						



- ビット 5~1 を読み出すと、常に "1" になります。
- ビット 0 は AD 変換格納フラグ <ADRxRF> です。AD 変換値が格納されると、"1" にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、"0" にクリアされます。

図 3.12.9 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ A

	7	6	5	4	3	2	1	0
ADREGAL (12B4H)	Bit symbol	ADRA1	ADRA0					ADRARF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ A

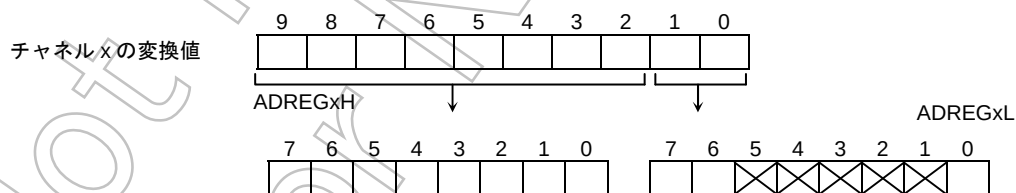
	7	6	5	4	3	2	1	0
ADREGAH (12B5H)	Bit symbol	ADRA9	ADRA8	ADRA7	ADRA6	ADRA5	ADRA4	ADRA3
	Read/Write	R						
	リセット後	不定						
	機能	AD 変換結果上位 8 ビット格納						

AD 変換結果下位レジスタ B

	7	6	5	4	3	2	1	0
ADREGBL (12B6H)	Bit symbol	ADRB1	ADRB0					ADRB RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ B

	7	6	5	4	3	2	1	0
ADREGBH (12B7H)	Bit symbol	ADRB9	ADRB8	ADRB7	ADRB6	ADRB5	ADRB4	ADRB3
	Read/Write	R						
	リセット後	不定						
	機能	AD 変換結果上位 8 ビット格納						



- ビット 5~1 を読み出すと、常に "1" になります。
- ビット 0 は AD 変換格納フラグ <ADRxRF> です。AD 変換値が格納されると、"1" にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、"0" にクリアされます。

図 3.12.10 AD コンバータ関係のレジスタ

3.12.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の“H”レベル側を AVCC 端子に、“L”レベル側を AVSS 端子に印加します。AVCC~AVSS 間の基準電圧をストリング抵抗により 1024 等分し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON>に“0”を書き込むことにより、AVCC~AVSS 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず <VREFON>に“1”を書き込んだ後、内部基準電圧が安定するまでの 3 μ s (システムクロック周波数 f_C に関係ありません) 待ち、ADMOD0<ADS>に“1”を書き込んでください。

(2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN>=“0”)
ADMOD1<ADCH3:0>の設定により、アナログ入力 AN0~AN11 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN>=“1”)
ADMOD1<ADCH3:0>の設定により、12 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.12.1 に動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN>は“0”に、ADMOD1<ADCH3:0>は“0000”に初期化されますので、AN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.12.1 アナログ入力チャネルの選択

<ADCH3:0>	チャネル固定 <SCAN> = “0”	チャネルスキャン <SCAN> = “1”
0000	AN0	AN0
0001	AN1	AN0 → AN1
0010	AN2	AN0 → AN1 → AN2
0011	AN3	AN0 → AN1 → AN2 → AN3
0100	AN4	AN0 → AN1 → AN2 → AN3 → AN4
0101	AN5	AN0 → AN1 → AN2 → AN3 → AN4 → AN5
0110	AN6	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6
0111	AN7	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7
1000	AN8	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8
1001	AN9	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9
1010	AN10	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 → AN10
1011	AN11	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 → AN10 → AN11

(3) AD 変換開始

AD 変換は、ADMOD0<ADS>あるいは ADMOD2<ADTRGE>に “1” を設定し、 $\overline{\text{ADTRG}}$ 端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ (ADMOD0<ADBF>) が “1” にセットされます。また、AD 変換中に、 $\overline{\text{ADTRG}}$ 端子に立下りエッジを入力しても無視されます。

(4) AD 変換モードと AD 変換終了割り込み

AD 変換には、4 種類のモードが用意されています。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

AD 変換モードの選択は、ADMOD0<REPEAT, SCAN>で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す ADMOD0<EOCF>が “1” にセットされます。

1. チャンネル固定シングル変換モード

ADMOD0<REPEAT, SCAN>に “00” を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF>が “1” にセット、ADMOD0<ADBF> “0” にクリアされ、INTAD の割り込み要求が発生します。

2. チャンネルスキャンシングル変換モード

ADMOD0<REPEAT, SCAN>に “01” を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF>が “1” にセット、ADMOD0<ADBF>が “0” にクリアされ、INTAD の割り込み要求が発生します。

3. チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN>に“10”を設定すると、チャネル固定リピート変換モードになります。

このモードでは、選択した1チャネルの変換を繰り返し行います。変換が終了するごとに、ADMOD0<EOCF>が“1”にセットされます。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。INTADの割り込み要求タイミングは、ADMOD0<ITM0>の設定により選択できます。

<ITM0>を“0”に設定すると、AD変換が1回終了するごとに割り込み要求が発生します。

<ITM0>を“1”に設定すると、AD変換が4回終了するごとに割り込み要求が発生します。

4. チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN>に“11”を設定すると、チャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1回のスキャン変換が終了するごとにADMOD0<EOCF>が“1”にセットされ、INTAD割り込み要求が発生します。ADMOD0<ADBF>は、“0”にクリアされずに“1”を保持します。

リピート変換モード(3, 4)の動作を停止させたい場合は、ADMOD0<REPEAT>に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBF>は“0”にクリアされます。

ADMOD1<I2AD>=“0”の場合、IDLE2, IDLE1, STOPモードのホルト状態へ移行すると、AD変換中でもADコンバータは直ちに動作を停止します。ホルト解除後、リピート変換モード(3, 4)では、AD変換を最初から開始します。シングル変換モード(1, 2)では、変換動作を再開しません(停止したままです)。

表 3.12.2にAD変換モードと割り込み要求の関係を示します。

表 3.12.2 AD変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPEAT>	<SCAN>
チャネル固定 シングル変換モード	変換終了直後	X	0	0
チャネルスキャン シングル変換モード	スキャン変換終了ごと	X	0	1
チャネル固定 リピート変換モード	1回変換するごとに	0	1	0
	4回変換するごとに	1		
チャネルスキャン リピート変換モード	1回のスキャン変換が 終了するごとに	X	1	1

X: Don't care

(5) AD 変換時間

1 チャンネル当たりの AD 変換ステートは、84 ステート ($4.2 \mu\text{s}$ @ $f_{\text{SYS}} = 20 \text{ MHz}$) です。

(6) AD 変換結果の格納と読み出し

AD 変換結果は、AD 変換結果上位/下位レジスタ (ADREG0H/L~ADREGBH/L) に格納されます。(ADREG0H/L~ADREGBH/L は、読み出し専用のレジスタです。)

チャンネル固定リピート変換モードかつ $\text{ADMOD0} < \text{ITM0} > = "1"$ の場合、AD 変換結果は、ADREG0H/L~ADREG3H/L へと順次格納されます。それ以外のモードでは、チャンネル AN0, AN1, AN2, AN3, AN4, AN5, AN6, AN7, AN8, AN9, AN10, AN11 の変換結果が、それぞれ ADREG0H/L, ADREG1H/L, ADREG2H/L, ADREG3H/L, ADREG4H/L, ADREG5H/L, ADREG6H/L, ADREG7H/L, ADREG8H/L, ADREG9H/L, ADREGAH/L, ADREGBH/L に格納されます。

表 3.12.3 にアナログ入力チャンネルと AD 変換結果レジスタの対応を示します。

表 3.12.3 アナログ入力チャンネルと AD 変換結果レジスタの対応

アナログ入力 チャンネル (ポート G /ポート L)	AD 変換結果レジスタ	
	右記以外の変換モード	チャンネル固定リピート 変換モード ($\text{ADMOD0} < \text{ITM0} > = "1"$)
AN0	ADREG0H/L	<pre> graph TD A[ADREG0H/L] --> B[ADREG1H/L] B --> C[ADREG2H/L] C --> D[ADREG3H/L] D --> A </pre>
AN1	ADREG1H/L	
AN2	ADREG2H/L	
AN3	ADREG3H/L	
AN4	ADREG4H/L	
AN5	ADREG5H/L	
AN6	ADREG6H/L	
AN7	ADREG7H/L	
AN8	ADREG8H/L	
AN9	ADREG9H/L	
AN10	ADREGAH/L	
AN11	ADREGBH/L	

AD 変換結果格納フラグ $\langle \text{ADR}_x\text{RF} \rangle$ は、AD 変換結果下位レジスタをリードしたかどうかを示しています。このフラグは、AD 変換結果レジスタに変換値が格納されると "1" にセットされ、どちらかの AD 変換結果レジスタ (ADREGxH, ADREGxL) を読み出すと "0" にクリアされます。

また、AD 変換結果の読み出しに伴い、AD 変換終了フラグ $\text{ADMOD0} < \text{EOCF} >$ は "0" にクリアされます。

設定例:

1. AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 2800H のメモリへ書き込む場合

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTEPAD ←	X	-	-	-	X	1	0	0	INTAD をイネーブルにし、レベルを "4" に設定します。
ADMOD1 ←	1	1	0	0	0	0	1	1	アナログ入力チャンネルを AN3 に設定します。
ADMOD0 ←	X	X	0	0	0	0	0	1	チャンネル固定シングル変換モードで変換を開始します。

割り込みルーチンでの処理例

WA ←	ADREG3H/L	汎用レジスタ WA (16 ビット) へ ADREG3L, ADREG3H 値を読み出します。
WA >>	6	WA に読み出した内容を右へ 6 回シフトし、上位ビットに "0" を入れます。
(2800H) ←	WA	アドレス 2800H へ WA の内容を書き込みます。

2. AN0~AN2 の 3 端子のアナログ入力電圧をチャンネルスキャンリピート変換モードで AD 変換し続ける場合

INTEPAD ←	X	-	-	-	X	0	0	0	INTAD を禁止します。
ADMOD1 ←	1	1	0	0	0	0	1	0	アナログ入力チャンネルを AN0~AN2 に設定します。
ADMOD0 ←	X	X	0	0	0	1	1	1	チャンネルスキャンリピート変換モードで変換を開始します。

X: Don't care、-: No change

3.13 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクابل割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトを内部リセットへ接続することにより、強制的にリセット動作を行うことができます。(外部の RESET 端子レベルは変化しません。)

3.13.1 構成

図 3.13.1 にウォッチドッグタイマのブロック図を示します。

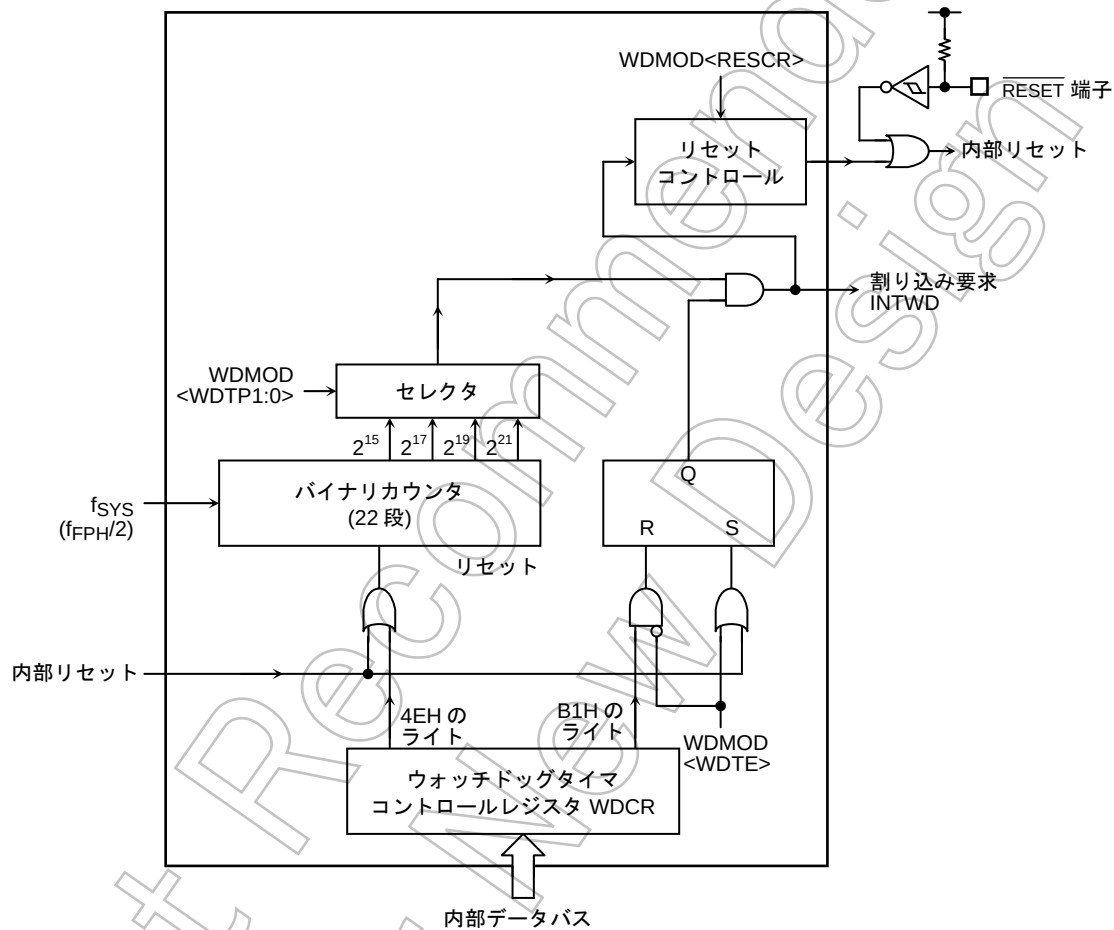


図 3.13.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によりウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

3.13.2 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0>レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウェア（命令）でウォッチドッグタイマ用のバイナリカウンタを、INTWD 割り込みが発生する前に 0 にクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作（暴走）し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は、INTWD 割り込みにより誤動作（暴走）が発生したことを知り、誤動作（暴走）対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後、直ちに動作を開始します。

なお、IDLE1 モードおよび STOP モード中のウォッチドッグタイマは停止しています。

IDLE2 モードでは、WDMOD<I2WDT>の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD<I2WDT>を設定してください。

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} , 2^{17} , 2^{19} および 2^{21} があります。

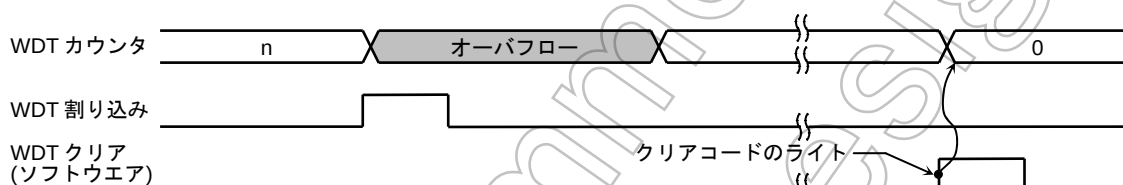


図 3.13.2 ノーマルモード

また、オーバフロー時に、本 LSI をリセットすることも選択可能です。この場合、図 3.13.3 で示すように 22~29 システムクロック ($70.4 \sim 92.8 \mu s$ @ $f_{OSCH} = 10 \text{ MHz}$) の期間、リセットを行います。なお、この場合（リセットされた場合）、クロック f_{SYS} は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周した f_{FPH} を基に、それを 2 分周して生成されたものが使われます。

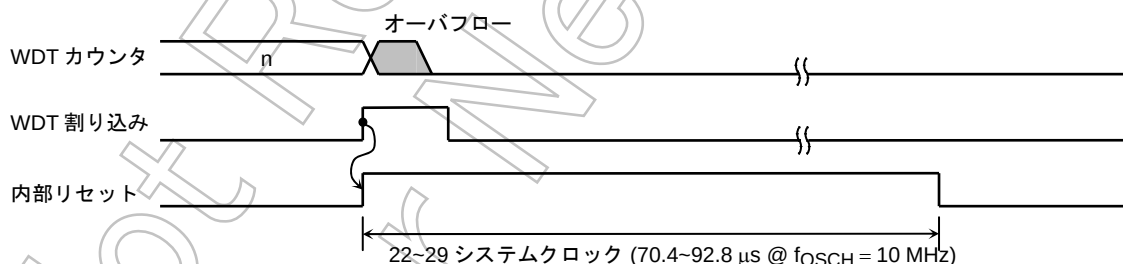


図 3.13.3 リセットモード

3.13.3 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマモードレジスタ WDMOD

1. ウォッチドッグタイマ検出時間の設定<WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時、WDMOD<WDTP1:0> = “00”に初期化されます。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

リセット時、WDMOD<WDTE> = 1に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にクリアした後に、WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを “1” にセットするだけでイネーブルとなります。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

暴走検出により、本 LSI をリセットするか否かを設定するレジスタです。リセット時、WDMOD<RESCR> = “0”に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ(WDCR)

ウォッチドッグタイマ機能のディセーブル、およびバイナリカウンタのクリアを制御するレジスタです。

● ディセーブル制御

WDMOD<WDTE>を “0” にクリアした後、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。

設定例:

WDCR	←	0	1	0	0	1	1	1	0	クリアコード (4EH) を書き込みます。
WDMOD	←	0	-	-	X	0	-	-	0	WDMOD<WDTE>を “0” にクリアします。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード (B1H) を書き込みます。

● イネーブル制御

WDMOD<WDTE>を “1” に設定します。

● ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR	←	0	1	0	0	1	1	1	0	クリアコード (4EH) を書き込みます。
------	---	---	---	---	---	---	---	---	---	-----------------------

注 1) ディセーブル制御をする際には一旦クリアコード(4EH) をライトした後ディセーブル制御をしてください。

(設定例を参照してください)

注 2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

WDMOD
(1300H)

	7	6	5	4	3	2	1	0
Bit symbol	WDTE	WDTP1	WDTP0		—	I2WDT	RESCR	—
Read/Write	R/W				R/W			
リセット後	1	0	0		0	0	0	0
機能	WDT 制御 1: 許可	WDT 検出時間の選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$		1: リセット 端子に WDT 出力 を内部接続	"0" をライ トしてくだ さい。	IDLE2 0: 停止 1: 動作	1: リセット 端子に WDT 出 力を内部 接続	"0" をライ トしてくだ さい。

ウォッチドッグタイマアウトコントロール

0	—
1	WDT アウトをリセットへ接続

IDLE2 の停止/動作

0	停止
1	動作

ウォッチドッグタイマの検出時間の選択

00	$2^{15}/f_{SYS}$ (約 1.64 ms @ $f_{SYS} = 20\text{MHz}$)
01	$2^{17}/f_{SYS}$ (約 6.55 ms @ $f_{SYS} = 20\text{MHz}$)
10	$2^{19}/f_{SYS}$ (約 26.2 ms @ $f_{SYS} = 20\text{MHz}$)
11	$2^{21}/f_{SYS}$ (約 104.9 ms @ $f_{SYS} = 20\text{MHz}$)

ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

図 3.13.4 ウォッチドッグタイマモードレジスタ

WDCR
(1301H)リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	—							
Read/Write	W							
リセット後	—							
機能	B1H: WDT ディセーブルコード 4EH: WDT クリアコード							

WDT のディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	—

図 3.13.5 ウォッチドッグタイマコントロールレジスタ

3.14 時計用タイマ

時計動作専用のタイマを内蔵しています。

低周波クロックに 32.768 kHz を使用することにより、0.0625[s]ごと、0.125[s]ごと、0.25[s]ごと、0.50[s]ごとに割り込みを発生することができ、時計機能を実現できます。

時計用タイマは、低周波発振を行っているすべてのモードで動作可能です。

また、時計用タイマ割り込みにより、各スタンバイモードからの復帰が可能です (STOP モードを除く)。

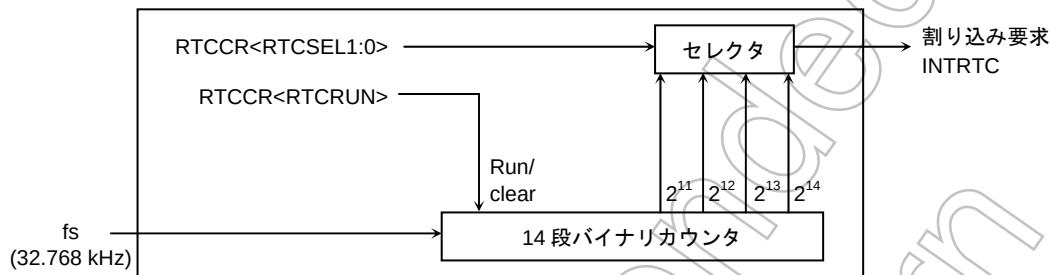


図 3.14.1 時計用タイマのブロック図

時計用タイマは、時計用タイマコントロールレジスタ (RTCCR) によって制御されます。

図 3.14.2に、時計用タイマコントロールレジスタを示します。

		7	6	5	4	3	2	1	0
RTCCR (1310H)	Bit symbol	–					RTCSEL1	RTCSEL0	RTCRUN
	Read/Write	R/W					R/W		
	リセット後	0					0	0	0
	機能	“0” を ライトし てください。					00: 2 ¹⁴ /fs 01: 2 ¹³ /fs 10: 2 ¹² /fs 11: 2 ¹¹ /fs		0: 停止 & クリア 1: 起動

カウント動作

0	停止 & クリア
1	カウント

割り込み発生周期
(fs = 32.768 kHz)

00	0.50 s
01	0.25 s
10	0.125 s
11	0.0625 s

図 3.14.2 時計用タイマコントロールレジスタ

3.15 ROMコレクション (プログラム訂正回路)

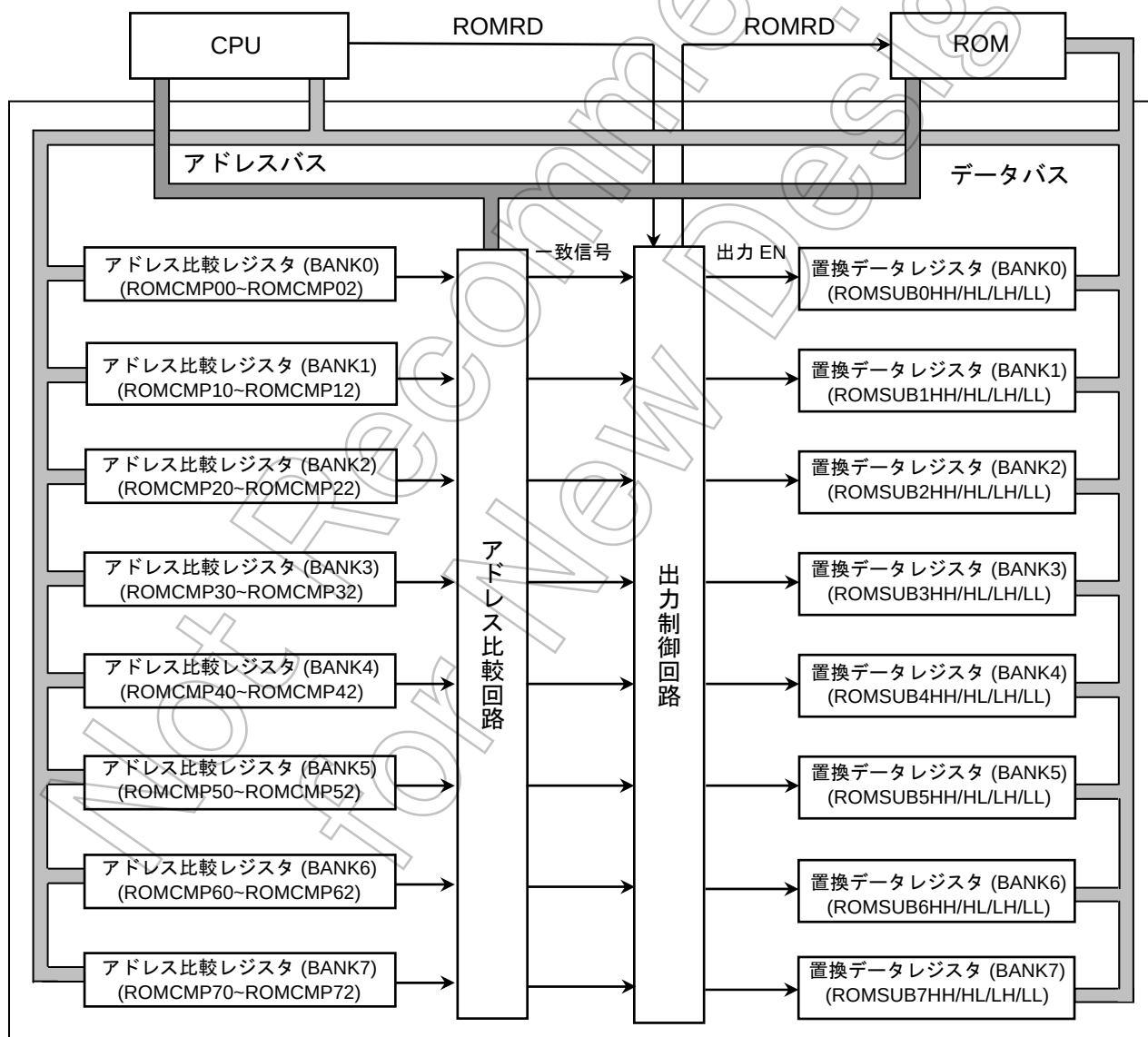
プログラム訂正機能は、プログラム (内部 ROM) のソフトウェアに不具合があった場合にプログラムの訂正を行う機能です。訂正するプログラム内容は、あらかじめイニシャルルーチンで外部メモリなどから置換するデータ/プログラムを、内蔵 RAM に読み込んでおく必要があります。

プログラム訂正機能は、ROM 内の連続する 4 バイトデータを 8 ヶ所 (計 32 バイト) 置換することが可能です。また、置換するデータをソフトウェア割り込み (SWI) の命令コード (1 バイト命令) に置き換えることで SWI 割り込みを発生させ、直接内蔵 RAM 領域にジャンプさせることで大容量のプログラム訂正を実現させることも可能です。

なお、このプログラム訂正回路は内部 ROM 領域でのみ動作 (アドレス比較) しますので、内蔵 I/O 領域、内蔵 RAM 領域、外部 ROM 領域では動作しません。

8 つのバンクはそれぞれ独立して動作し、いずれも同一の動作をしますので、BANK0 の場合についてのみ説明します。

3.15.1 ブロック図



注) アドレス比較レジスタ (BANK0 ~ BANK7) には同じ値を設定しないでください。

図 3.15.1 ROM コレクションブロック図

3.15.2 SFR説明

アドレス比較レジスタ ROMCMP00~ROMCMP72 は各 BANK に 3 バイト、置換データレジスタ ROMSUBLL, ROMSUBLH, ROMSUBHL,ROMSUBHH は BANK に 4 バイトずつ、それぞれ用意されています。

BANK0 アドレス比較レジスタ 0								
	7	6	5	4	3	2	1	0
ROMCMP00 (1400H)	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	
	Read/Write	W						
	リセット後	0	0	0	0	0	0	
	機能	修正 ROM アドレス (下位 6 ビット)						

BANK0 アドレス比較レジスタ 1								
	7	6	5	4	3	2	1	0
ROMCMP01 (1401H)	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC08
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)						

BANK0 アドレス比較レジスタ 2								
	7	6	5	4	3	2	1	0
ROMCMP02 (1402H)	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC16
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)						

注 1) ROMCMP00, ROMCMP01, ROMCMP02 はリードモディファイライトできません。

注 2) ROMCMP00 のビット 0,1 は、リードすると不定値が読み出されます。

図 3.15.2 ROM コレクション関係のレジスタ

BANK1 アドレス比較レジスタ 0

ROMCMP10 (1408H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
	Read/Write	W							
	リセット後	0	0	0	0	0	0		
機能		修正 ROM アドレス (下位 6 ビット)							

BANK1 アドレス比較レジスタ 1

ROMCMP11 (1409H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		修正 ROM アドレス (中位 8 ビット)							

BANK1 アドレス比較レジスタ 2

ROMCMP12 (140AH)		7	6	5	4	3	2	1	0
	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		修正 ROM アドレス (上位 8 ビット)							

注 1) ROMCMP10, ROMCMP11, ROMCMP12 はリードモディファイライトできません。

注 2) ROMCMP10 のビット 0, 1 は、リードすると不定値が読み出されます。

図 3.15.3 ROM コレクション関係のレジスタ

BANK2 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0
ROMCMP20 (1410H)	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	
	Read/Write	W						
	リセット後	0	0	0	0	0	0	
	機能	修正 ROM アドレス (下位 6 ビット)						

BANK2 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0
ROMCMP21 (1411H)	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)						

BANK2 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0
ROMCMP22 (1412H)	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)						

注 1) ROMCMP20, ROMCMP21, ROMCMP22 はリードモディファイライトできません。

注 2) ROMCMP20 のビット 0,1 は、リードすると不定値が読み出されます。

図 3.15.4 ROM コレクション関係のレジスタ

BANK3 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0
ROMCMP30 (1418H)	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	
	Read/Write	W						
	リセット後	0	0	0	0	0	0	
	機能	修正 ROM アドレス (下位 6 ビット)						

BANK3 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0
ROMCMP31 (1419H)	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC08
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)						

BANK3 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0
ROMCMP32 (141AH)	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)						

注 1) ROMCMP30, ROMCMP31, ROMCMP32 はリードモディファイライトできません。

注 2) ROMCMP30 のビット 0, 1 は、リードすると不定値が読み出されます。

図 3.15.5 ROM コレクション関係のレジスタ

BANK4 アドレス比較レジスタ 0

ROMCMP40 (1420H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
	Read/Write	W							
	リセット後	0	0	0	0	0	0		
機能		修正 ROM アドレス(下位 6 ビット)							

BANK4 アドレス比較レジスタ 1

ROMCMP41 (1421H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		修正 ROM アドレス(中位 8 ビット)							

BANK4 アドレス比較レジスタ 2

ROMCMP42 (1422H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		修正 ROM アドレス(上位 8 ビット)							

注 1) ROMCMP40, ROMCMP41, ROMCMP42 はリードモディファイライトできません。

注 2) ROMCMP40 のビット 0,1 は、リードすると不定値が読み出されます。

図 3.15.6 ROM コレクション関係のレジスタ

BANK5 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0
ROMCMP50 (1428H)	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	
	Read/Write	W						
	リセット後	0	0	0	0	0	0	
	機能	修正 ROM アドレス(下位 6 ビット)						

BANK5 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0
ROMCMP51 (1429H)	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC08
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス(中位 8 ビット)						

BANK5 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0
ROMCMP52 (142AH)	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス(上位 8 ビット)						

注 1) ROMCMP50, ROMCMP51, ROMCMP52 はリードモディファイライトできません。

注 2) ROMCMP50 のビット 0,1 は、リードすると不定値が読み出されます。

図 3.15.7 ROM コレクション関係のレジスタ

BANK6 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0
ROMCMP60 (1430H)	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	
	Read/Write	W						
	リセット後	0	0	0	0	0	0	
	機能	修正 ROM アドレス(下位 6 ビット)						

BANK6 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0
ROMCMP61 (1431H)	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC08
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス(中位 8 ビット)						

BANK6 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0
ROMCMP62 (1432H)	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス(上位 8 ビット)						

注 1) ROMCMP60, ROMCMP61, ROMCMP62 はリードモディファイライトできません。

注 2) ROMCMP60 のビット 0,1 は、リードすると不定値が読み出されます。

図 3.15.8 ROM コレクション関係のレジスタ

BANK7 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0
ROMCMP70 (1438H)	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	
	Read/Write	W						
	リセット後	0	0	0	0	0	0	
	機能	修正 ROM アドレス(下位 6 ビット)						

BANK7 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0
ROMCMP71 (1439H)	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC08
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス(中位 8 ビット)						

BANK7 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0
ROMCMP72 (143AH)	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	修正 ROM アドレス(上位 8 ビット)						

注 1) ROMCMP70, ROMCMP71, ROMCMP72 はリードモディファイライトできません。

注 2) ROMCMP70 のビット 0,1 は、リードすると不定値が読み出されます。

図 3.15.9 ROM コレクション関係のレジスタ

BANK0 置換データレジスタ LL

ROMSUB0LL (1404H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK0 置換データレジスタ LH

	7	6	5	4	3	2	1	0	
ROMSUB0LH (1405H)	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

BANK0 置換データレジスタ HL

		7	6	5	4	3	2	1	0
ROMSUB0HL (1406H)	Bit symbol	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK0 置換データレジスタ HH

	7	6	5	4	3	2	1	0	
ROMSUB0HH (1407H)	Bit symbol	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

注) ROMSUB0LL, ROMSUB0LH, ROMSUB0HL, ROMSUB0HH はリードモディファイライトできません。

図 3.15.10 ROM コレクション関係のレジスタ

BANK1 置換データレジスタ LL

ROMSUB1LL (140CH)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK1 置換データレジスタ LH

	7	6	5	4	3	2	1	0	
ROMSUB1LH (140DH)	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

BANK1 置換データレジスタ HL

	7	6	5	4	3	2	1	0	
ROMSUB1HL (140EH)	Bit symbol	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK1 置換データレジスタ HH

	7	6	5	4	3	2	1	0	
ROMSUB1HH (140FH)	Bit symbol	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

注) ROMSUB1LL, ROMSUB1LH, ROMSUB1HL, ROMSUB1HH はリードモディファイライトできません。

図 3.15.11 ROM コレクション関係のレジスタ

BANK2 置換データレジスタ LL

ROMSUB2LL (1414H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK2 置換データレジスタ LH

	7	6	5	4	3	2	1	0	
ROMSUB2LH (1415H)	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

BANK2 置換データレジスタ HL

		7	6	5	4	3	2	1	0
ROMSUB2HL (1416H)	Bit symbol	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK2 置換データレジスタ HH

	7	6	5	4	3	2	1	0	
ROMSUB2HH (1417H)	Bit symbol	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

注) ROMSUB2LL, ROMSUB2LH, ROMSUB2HL, ROMSUB2HH はリードモディファイライトできません。

図 3.15.12 ROM コレクション関係のレジスタ

BANK3 置換データレジスタ LL

ROMSUB3LL (141CH)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		置換データ(下位 8 ビット)							

BANK3 置換データレジスタ LH

ROMSUB3LH (141DH)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		置換データ(上位 8 ビット)							

BANK3 置換データレジスタ HL

ROMSUB3HL (141EH)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		置換データ(下位 8 ビット)							

BANK3 置換データレジスタ HH

ROMSUB3HH (141FH)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		置換データ(上位 8 ビット)							

注) ROMSUB3LL, ROMSUB3LH, ROMSUB3HL, ROMSUB3HH はリードモディファイライトできません。

図 3.15.13 ROM コレクション関係のレジスタ

BANK4 置換データレジスタ LL

ROMSUB4LL (1424H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK4 置換データレジスタ LH

ROMSUB4LH (1425H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

BANK4 置換データレジスタ HL

ROMSUB4HL (1426H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK4 置換データレジスタ HH

ROMSUB4HH (1427H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

注) ROMSUB4LL, ROMSUB4LH, ROMSUB4HL, ROMSUB4HH はリードモディファイライトできません。

図 3.15.14 ROM コレクション関係のレジスタ

BANK5 置換データレジスタ LL

ROMSUB5LL (142CH)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK5 置換データレジスタ LH

	7	6	5	4	3	2	1	0	
ROMSUB5LH (142DH)	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

BANK5 置換データレジスタ HL

	7	6	5	4	3	2	1	0	
ROMSUB5HL (142EH)	Bit symbol	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK5 置換データレジスタ HH

	7	6	5	4	3	2	1	0	
ROMSUB5HH (142FH)	Bit symbol	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

注) ROMSUB5LL, ROMSUB5LH, ROMSUB5HL, ROMSUB5HH はリードモディファイライトできません。

図 3.15.15 ROM コレクション関係のレジスタ

BANK6 置換データレジスタ LL

ROMSUB6LL (1434H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		置換データ(下位 8 ビット)							

BANK6 置換データレジスタ LH

ROMSUB6LH (1435H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		置換データ(上位 8 ビット)							

BANK6 置換データレジスタ HL

ROMSUB6HL (1436H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		置換データ(下位 8 ビット)							

BANK6 置換データレジスタ HH

ROMSUB6HH (1437H)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能		置換データ(上位 8 ビット)							

注) ROMSUB6LL, ROMSUB6LH, ROMSUB6HL, ROMSUB6HH はリードモディファイライトできません。

図 3.15.16 ROM コレクション関係のレジスタ

BANK7 置換データレジスタ LL

ROMSUB7LL (143CH)		7	6	5	4	3	2	1	0
	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK7 置換データレジスタ LH

		7	6	5	4	3	2	1	0
ROMSUB7LH (143DH)	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

BANK7 置換データレジスタ HL

	7	6	5	4	3	2	1	0	
ROMSUB7HL (143EH)	Bit symbol	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(下位 8 ビット)							

BANK7 置換データレジスタ HH

	7	6	5	4	3	2	1	0	
ROMSUB7HH (143FH)	Bit symbol	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	置換データ(上位 8 ビット)							

注) ROMSUB7LL, ROMSUB7LH, ROMSUB7HL, ROMSUB7HH はリードモディファイライトできません。

図 3.15.17 ROM コレクション関係のレジスタ

3.15.3 動作説明

(1) データ置換

アドレス比較レジスタ ROMCMPx0~ROMCMPx2(x は BANK No.x = 0,1,2,3,4,5,6,7) に修正したい ROM データのアドレスを設定し、置換データレジスタ ROMSUBxLL, ROMSUBxLH, ROMSUBxHL, ROMSUBxHH(x は BANK No.x = 0,1,2,3,4,5,6,7)に置き換えたい 4 バイトのデータを設定します。

各レジスタ設定後、CPU のアドレスが ROMCMPx0~ROMCMPx2(x は BANK No.x = 0,1,2,3,4,5,6,7)の設定値と一致すると、プログラム訂正回路が内蔵 ROM への RD 出力を禁止し、内部バスに対して ROMSUBxLL, ROMSUBxLH, ROMSUBxHL, ROMSUBxHH のデータを出力します。CPU は、そのデータをブランチすることでプログラム訂正動作が完了します。

下記に設定例を示します。

設定例:

- a. アドレス FF1230H の“00H”を“AAH”に置換する場合、次の順序で各レジスタを設定します。

	7	6	5	4	3	2	1	0	
ROMCMP00	← 0	0	1	1	0	0	0	0	アドレス比較レジスタバンク 0 に 30H を設定します。
ROMCMP01	← 0	0	0	1	0	0	1	0	アドレス比較レジスタバンク 0 に 12H を設定します。
ROMCMP02	← 1	1	1	1	1	1	1	1	アドレス比較レジスタバンク 0 に FFH を設定します。
ROMSUB0LL	← 1	0	1	0	1	0	1	0	置換データレジスタバンク 0 に AAH を設定します。
ROMSUB0LH	← 0	0	0	1	0	0	0	1	置換データレジスタバンク 0 に 11H を設定します。
ROMSUB0HL	← 0	0	1	0	0	0	1	0	置換データレジスタバンク 0 に 22H を設定します。
ROMSUB0HH	← 0	0	1	1	0	0	1	1	置換データレジスタバンク 0 に 33H を設定します。

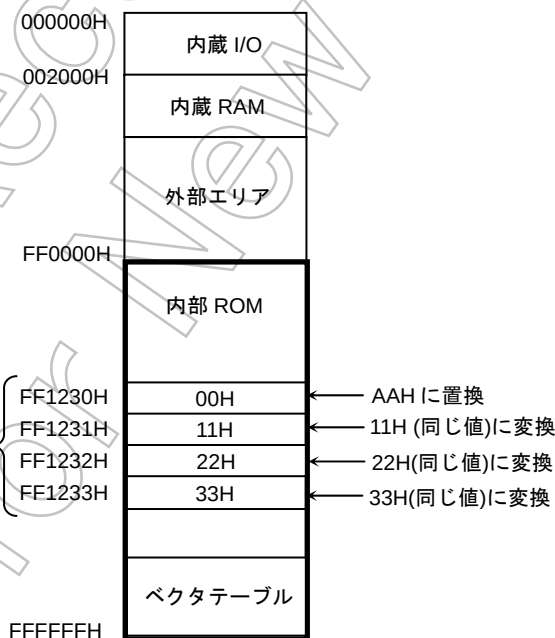


図 3.15.18 ROM コレクションデータ置換例

b. アドレス FF1233H の “33H” を “BBH” に置換する場合、次の順序で各レジスタを設定します。

	7	6	5	4	3	2	1	0	
ROMCMP00	←	0	0	1	1	0	0	0	アドレス比較レジスタバンク 0 に 30H を設定します。
ROMCMP01	←	0	0	0	1	0	0	1	アドレス比較レジスタバンク 0 に 12H を設定します。
ROMCMP02	←	1	1	1	1	1	1	1	アドレス比較レジスタバンク 0 に FFH を設定します。
ROMSUB0LL	←	0	0	0	0	0	0	0	置換データレジスタバンク 0 に 00H を設定します。
ROMSUB0LH	←	0	0	0	1	0	0	0	置換データレジスタバンク 0 に 11H を設定します。
ROMSUB0HL	←	0	0	1	0	0	0	1	置換データレジスタバンク 0 に 22H を設定します。
ROMSUB0HH	←	1	0	1	1	1	0	1	置換データレジスタバンク 0 に BBH を設定します。

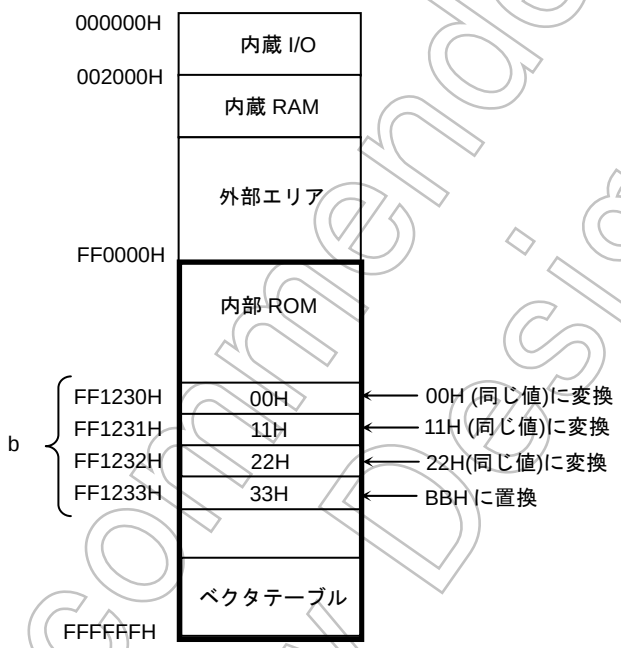


図 3.15.19 ROM コレクションデータ置換例

c. アドレス FF1230H の “00H” を “AAH” に、アドレス FF1231H の “11H” を “BBH” に、
アドレス FF1232H の “22H” を “CCH” に、アドレス FF1233H の “33H” を “DDH” に
それぞれ置換する場合、次の順序で各レジスタを設定します。

	7	6	5	4	3	2	1	0	
ROMCMP00	←	0	0	1	1	0	0	0	アドレス比較レジスタバンク 0 に 30H を設定します。
ROMCMP01	←	0	0	0	1	0	0	1	アドレス比較レジスタバンク 0 に 12H を設定します。
ROMCMP02	←	1	1	1	1	1	1	1	アドレス比較レジスタバンク 0 に FFH を設定します。
ROMSUB0LL	←	1	0	1	0	1	0	1	置換データレジスタバンク 0 に AAH を設定します。
ROMSUB0LH	←	1	0	1	1	1	0	1	置換データレジスタバンク 0 に BBH を設定します。
ROMSUB0HL	←	1	1	0	0	1	1	0	置換データレジスタバンク 0 に CCH を設定します。
ROMSUB0HH	←	1	1	0	1	1	1	0	置換データレジスタバンク 0 に DDH を設定します。

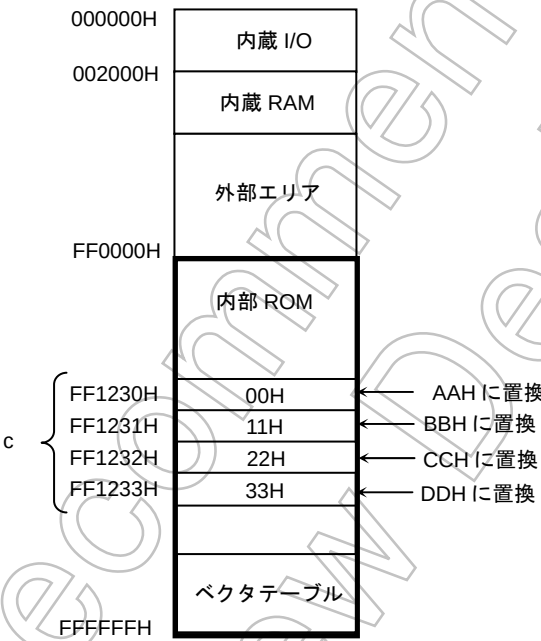


図 3.15.20 ROM コレクションデータ置換例

- d. アドレス FF1231H の“11H”を“AAH”に、アドレス FF1232H の“22H”を“BBH”に、アドレス FF1233H の“33H”を“CCH”に、アドレス FF1234H の“44H”を“DDH”にそれぞれ置換する場合、次の順序で各レジスタを設定します。(2 バンク必要となります。)

	7	6	5	4	3	2	1	0	
ROMCMP00	←	0	0	1	1	0	0	0	アドレス比較レジスタバンク 0 に 30H を設定します。
ROMCMP01	←	0	0	0	1	0	0	1	アドレス比較レジスタバンク 0 に 12H を設定します。
ROMCMP02	←	1	1	1	1	1	1	1	アドレス比較レジスタバンク 0 に FFH を設定します。
ROMSUB0LL	←	0	0	0	0	0	0	0	置換データレジスタバンク 0 に 00H を設定します。
ROMSUB0LH	←	1	0	1	0	1	0	1	置換データレジスタバンク 0 に AAH を設定します。
ROMSUB0HL	←	1	0	1	1	1	0	1	置換データレジスタバンク 0 に BBH を設定します。
ROMSUB0HH	←	1	1	0	0	1	1	0	置換データレジスタバンク 0 に CCH を設定します。
ROMCMP10	←	0	0	1	1	0	1	0	アドレス比較レジスタバンク 1 に 34H を設定します。
ROMCMP11	←	0	0	0	1	0	0	1	アドレス比較レジスタバンク 1 に 12H を設定します。
ROMCMP12	←	1	1	1	1	1	1	1	アドレス比較レジスタバンク 1 に FFH を設定します。
ROMSUB1LL	←	1	1	0	1	1	1	0	置換データレジスタバンク 1 に DDH を設定します。
ROMSUB1LH	←	0	1	0	1	0	1	0	置換データレジスタバンク 1 に 55H を設定します。
ROMSUB1HL	←	0	1	1	0	0	1	1	置換データレジスタバンク 1 に 66H を設定します。
ROMSUB1HH	←	0	1	1	1	0	1	1	置換データレジスタバンク 1 に 77H を設定します。

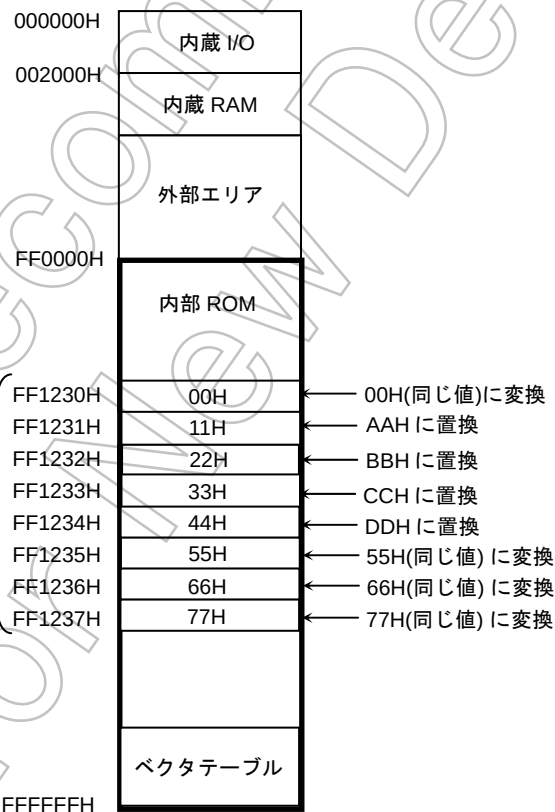


図 3.15.21 ROM コレクションデータ置換例

(2) 割り込みジャンプ方式

割り込みジャンプ方式は、置換方式で置換するデータにソフトウェア割り込み (SWI) の命令コード (1 バイト命令) を使い、SWI による割り込みで内蔵 RAM 領域にジャンプさせ、内蔵 RAM 上にあらかじめ読み込んでいたプログラムを実行させることでプログラム訂正を実現する方法です。

この方式を使用する場合は、本来の ROM データを開発する際に、各 SWI のベクタアドレスを内蔵 RAM 領域に設定しておかなければなりません。ご注意ください。

● 動作説明

アドレス比較レジスタ ROMCMPx0~ROMCMPx2(x はバンク No. x=0,1,2,3,4,5,6,7) に訂正したいプログラムの先頭アドレスを設定します。その先頭アドレスが偶数ならば置換データレジスタ ROMSUBxLL もしくは ROMSUBxHL に、奇数ならば ROMSUBxLH もしくは ROMSUBxHH に SWI の命令コード (例 SWI:F9H) を設定します。置換目的のデータが 1~3 バイトしか必要でない場合は、残りのデータには本来の ROM データと同じデータを設定してください。

各レジスタ設定後、CPU のアドレスが ROMCMPx0~ROMCMPx2 の設定値と一致すると、プログラム訂正回路が内蔵 ROM への RD 出力を禁止し、内部バスに対して SWI 命令コードを出力します。CPU はそのコードをフェッチし、SWI により内蔵 RAM 領域へジャンプし、あらかじめ読み込んでいたプログラムを実行します。

内蔵 RAM でのプログラム実行終了後は、SWI 実行の際に退避された PC 値を復帰させたいアドレスに直接書き替え、RETI を実行することでプログラムの訂正が完了します。

下記に設定例を示します。

例: FF5000H~FF507FH のプログラムを訂正したい場合 (バンク 0 使用)

本来の ROM データを開発する前に、SWI1 のベクタ参照アドレスを内蔵 RAM (002500H) に設定しておきます。

イニシャルルーチンで外部より内蔵 RAM (002500H~0025EFH) へ訂正するプログラムを読み込みます。次に訂正したい内蔵 ROM 領域の先頭アドレス (FF5000H) を ROMCMP00~ROMCMP02 に設定、ROMSUB0LL に SWI1 の命令コード “F9H” を設定し、ROMSUB0LH にアドレス FF5001H のデータと同じ値 “AAH” を ROMSUB0HL にアドレス FF5002H のデータと同じ値 “BBH” を ROMSUB0HH にアドレス FF5003H のデータと同じ値 “CCH” を設定します。各レジスタ設定後、CPU のアドレスが ROMCMP00~ROMCMP02 の値と一致すると、アドレス FF5000H の ROM データが F9H に差し替わり、SWI1 を実行することで内蔵 RAM (002500H) へジャンプします。訂正プログラム実行後、そのプログラムの中で SWI1 実行の際に退避した PC 値を (FF5080H) に書き替え RETI を実行することで、プログラム訂正動作が完了します。

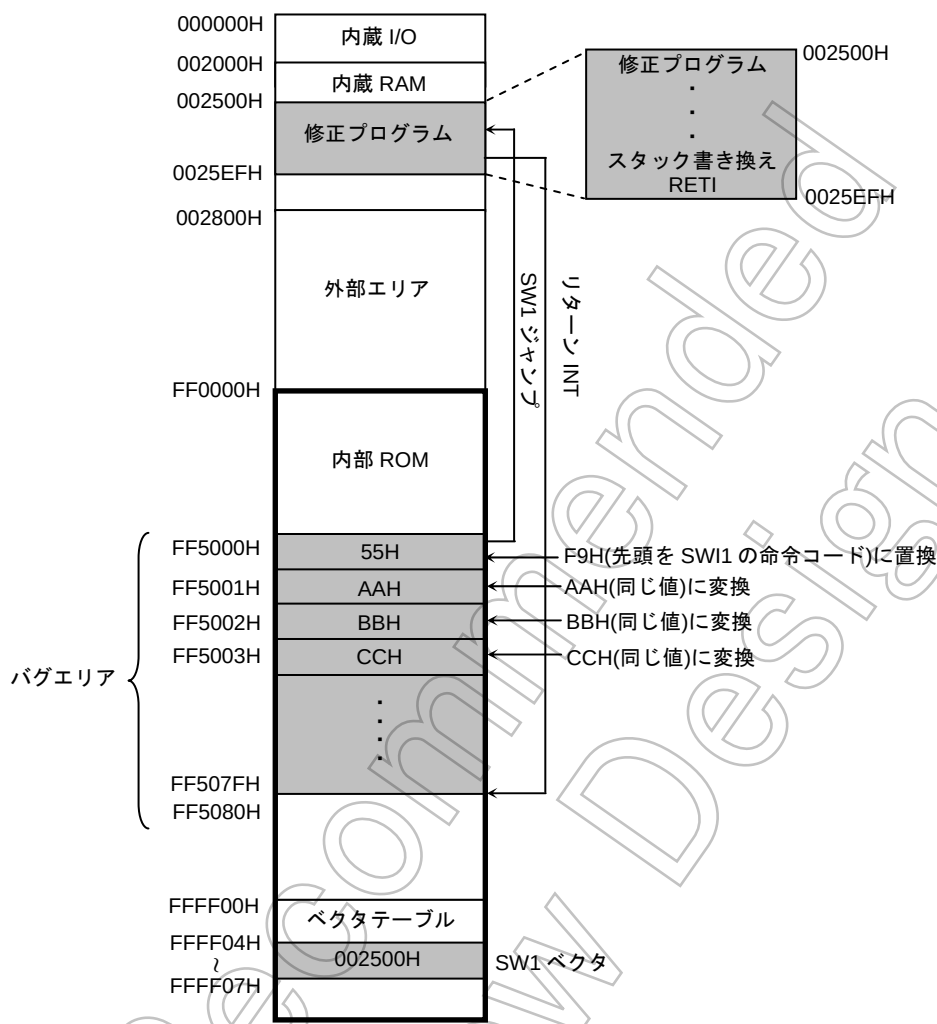


図 3.15.22 ROM コレクションデータ置換例

4. 電気的特性

4.1 絶対最大定格

項目	記号	定格	単位
電源電圧	V_{CC}	-0.5~4.0	V
入力電圧	V_{IN}	-0.5~ $V_{CC} + 0.5$	
出力電流 (1 端子当たり) PN1,PN2,PN4,PN5 以外	I_{OL}	2	mA
出力電流 (1 端子当たり) PN1,PN2,PN4,PN5	I_{OL2}	3.5	
出力電流 (1 端子当たり)	I_{OH}	-2	
出力電流 (合計)	ΣI_{OL}	80	
出力電流 (合計)	ΣI_{OH}	-80	
消費電力 ($T_a = 85^\circ\text{C}$)	P_D	600	mW
はんだ付け温度 (10 s)	T_{SOLDER}	260	$^\circ\text{C}$
保存温度	T_{STG}	-65~150	
動作温度	T_{OPR}	-40~85	

注) 絶対最大定格とは瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

はんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230 $^\circ\text{C}$ 5 秒間 1 回 R タイプフラックス使用 (Sn-37Pb 鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245 $^\circ\text{C}$ 5 秒間 1 回 R タイプフラックス使用 (Sn-3.0Ag-0.5Cu はんだ使用時)	

4.2 DC電気的特性

 $V_{CC} = 3.3 \pm 0.3 \text{ V}$ / $f_c = 6 \sim 40 \text{ MHz}$ / $T_a = -40 \sim 85^\circ\text{C}$

項目	記号	Min	Typ.	Max	単位	条件
電源電圧 (DVCC = AVCC) (DVSS = AVSS = 0V)	V_{CC}	3.0		3.6	V	(TMP92CY23) X1= 6~10 MHz (PLL 使用時) X1= 6~40 MHz (PLL 未使用時) XT1= 30~34 kHz (TMP92CD23A) X1= 6~10 MHz XT1= 30~34 kHz
低レベル入力電圧 P00~P07 (D0~D7) P10~P17 (D8~D15)	V_{IL0}	-0.3		0.6	V	
低レベル入力電圧 P40~P47 (A0~A7) P50~P57 (A8~A15) P60~P67 (A16~A23) P76, P77 P80~P82	V_{IL1}			$0.3 \times V_{CC}$		
低レベル入力電圧 P70~P73, P83 PC0~PC3, PD0~PD4 PF0~PF5, PG0~PG7 PL0~PL3, PN0, PN3	V_{IL2}			$0.25 \times V_{CC}$		
RESET, $\overline{\text{NMI}}$, P74(INT0)	V_{IL2a}			$0.2 \times V_{CC}$		
低レベル入力電圧 AM0, AM1	V_{IL3}			0.3		
低レベル入力電圧 X1, XT1(P76)	V_{IL4}			$0.2 \times V_{CC}$		
低レベル入力電圧 PN1, PN2, PN4, PN5	V_{IL5}			$0.3 \times V_{CC}$		
高レベル入力電圧 P00~P07 (D0~D7) P10~P17 (D8~D15)	V_{IH0}	2.0		$V_{CC} + 0.3$	V	
高レベル入力電圧 P40~P47 (A0~A7) P50~P57 (A8~A15) P60~P67 (A16~A23) P76, P77, P80~P82	V_{IH1}	$0.7 \times V_{CC}$				
高レベル入力電圧 P70~P73, P83 PC0~PC3, PD0~PD4 PF0~PF5, PG0~PG7 PL0~PL3, PN0, PN3	V_{IH2}	$0.75 \times V_{CC}$				
RESET, $\overline{\text{NMI}}$, P74(INT0)	V_{IH2a}	$0.8 \times V_{CC}$				
高レベル入力電圧 AM0, AM1	V_{IH3}	$V_{CC} - 0.3$				
高レベル入力電圧 X1, XT1(P76)	V_{IH4}	$0.8 \times V_{CC}$				
高レベル入力電圧 PN1, PN2, PN4, PN5	V_{IH5}	$0.7 \times V_{CC}$		5.5		

$$V_{CC} = 3.3 \pm 0.3 \text{ V} / f_c = 6 \sim 40 \text{ MHz} / T_a = -40 \sim 85^\circ\text{C}$$

項目	記号	Min	Typ.	Max	単位	条件
低レベル出力電圧	V_{OL}			0.45	V	$I_{OL} = 1.6 \text{ mA}$
低レベル出力電圧 PN1, PN2, PN4, PN5	V_{OL2}			0.4		$I_{OL} = 3.0 \text{ mA}$
高レベル出力電圧	V_{OH}	2.4				$I_{OH} = -400 \mu\text{A}$
入力リーク電流	I_{LI}		0.02	± 5	μA	$0.0 \leq V_{in} \leq V_{CC}$
出力リーク電流	I_{LO}		0.05	± 10		$0.2 \leq V_{in} \leq V_{CC} - 0.2$
パワーダウン電圧 (@STOP, RAM バックアップ)	V_{STOP}	1.8		3.6	V	$V_{IL2} = 0.2 \times V_{CC}$, $V_{IH2} = 0.8 \times V_{CC}$
RESET 端子 プルアップ抵抗	R_{RST}	80		500	$k\Omega$	
プログラマブルプルアップ 抵抗 P70~P73	R_{KH}					
端子容量	C_{IO}			10	pF	$f_c = 1 \text{ MHz}$
シュミット幅 P70~P73, P83 PC0~PC3, PD0~PD4 PF0~PF5, PG0~PG7 PL0~PL3, PN0~PN5 RESET, P74(INT0)	V_{TH}	0.2			V	
TMP92CY23	NORMAL (注 2)	I_{CC}	34	60	mA	$f_c = 40 \text{ MHz}$ $f_{SYS} = 20 \text{ MHz}$
	IDLE2 モード	$I_{CCIDLE2}$	15	26		
	IDLE1 モード	$I_{CCIDLE1}$	4	9		
	SLOW (注 2)	I_{CC}	30	110	μA	XT1 = 32.768 kHz ($f_{SYS} = 16.384 \text{ kHz}$)
	SLOW-IDLE2 モード	$I_{CCIDLE2}$	15	80		
	SLOW-IDLE1 モード	$I_{CCIDLE1}$	8	60		
	STOP	I_{CCSTOP}	0.2	50		
TMP92CD23A	NORMAL (注 2)	I_{CC}	50	70	mA	$f_c = 40 \text{ MHz}$ $f_{SYS} = 20 \text{ MHz}$
	IDLE2 モード	$I_{CCIDLE2}$	18	26		
	IDLE1 モード	$I_{CCIDLE1}$	4	9		
	SLOW (注 2)	I_{CC}	55	130	μA	XT1 = 32.768 kHz ($f_{SYS} = 16.384 \text{ kHz}$)
	SLOW-IDLE2 モード	$I_{CCIDLE2}$	30	100		
	SLOW-IDLE1 モード	$I_{CCIDLE1}$	20	90		
	STOP	I_{CCSTOP}	0.8	50		

注 1) Typ 値は特に指定のない限り $T_a = 25^\circ\text{C}$, $V_{CC} = 3.3 \text{ V}$ の値です。

注 2) I_{CC} (NORMAL, SLOW)の測定条件：

全て動作、バス端子の $C_L = 30\text{pF}$ 、バス以外の出力端子は開放、入力端子はレベル固定。

4.3 AC 電気的特性

4.3.1 基本バスサイクル

リードサイクル

 $V_{CC} = 3.3 \pm 0.3 \text{ V}/f_c = 6 \sim 40 \text{ MHz}/T_a = -40 \sim 85^\circ\text{C}$

No.	項目	記号	計算式		$f_{\text{SYS}} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)	$f_{\text{SYS}} = 13.5 \text{ MHz}$ ($f_c = 27 \text{ MHz}$)	単位
			Min	Max			
1	発振周期 (X1/X2)	t_{OSC}	25		25	37.0	ns
2	システムクロック周期 (= T)	t_{CYC}	50		50	74.0	ns
3	CLK 低レベルパルス幅	t_{CL}	$0.5T - 15$		10	22	ns
4	CLK 高レベルパルス幅	t_{CH}	$0.5T - 15$		10	22	ns
5-1	A0~A23 有効 → D0~D15 入力 @ 0 ウェイト	t_{AD}		$2.0T - 50$	50	98	ns
5-2	A0~A23 有効 → D0~D15 入力 @ 1 ウェイト	t_{AD3}		$3.0T - 50$	100	172	ns
6-1	$\overline{\text{RD}}$ 立ち下がり → D0~D15 入力 @ 0 ウェイト	t_{RD}		$1.5T - 45$	30	66	ns
6-2	$\overline{\text{RD}}$ 立ち下がり → D0~D15 入力 @ 1 ウェイト	t_{RD3}		$2.5T - 45$	80	140	ns
7-1	$\overline{\text{RD}}$ 低レベルパルス幅 @0 ウェイト	t_{RR}	$1.5T - 20$		55	91	ns
7-2	$\overline{\text{RD}}$ 低レベルパルス幅 @1 ウェイト	t_{RR3}	$2.5T - 20$		105	165	ns
8	A0~A23 有効 → $\overline{\text{RD}}$ 立ち下がり	t_{AR}	$0.5T - 20$		5	17	ns
9	$\overline{\text{RD}}$ 立ち下がり → CLKOUT 立ち下がり	t_{RK}	$0.5T - 20$		5	17	ns
10	A0~A23 有効 → D0~D15 保持	t_{HA}	0		0	0	ns
11	$\overline{\text{RD}}$ 立ち上がり → D0~D15 保持	t_{HR}	0		0	0	ns
12	WAIT セットアップ時間	t_{TK}	20		20	20	ns
13	WAIT ホールド時間	t_{KT}	5		5	5	ns
14	SRAM 用データバイト制御アクセス時間	t_{SBA}		$1.5T - 45$	30	66	ns
15	$\overline{\text{RD}}$ 高レベルパルス幅	t_{RRH}	$0.5T - 15$		10	22	ns

ライトサイクル

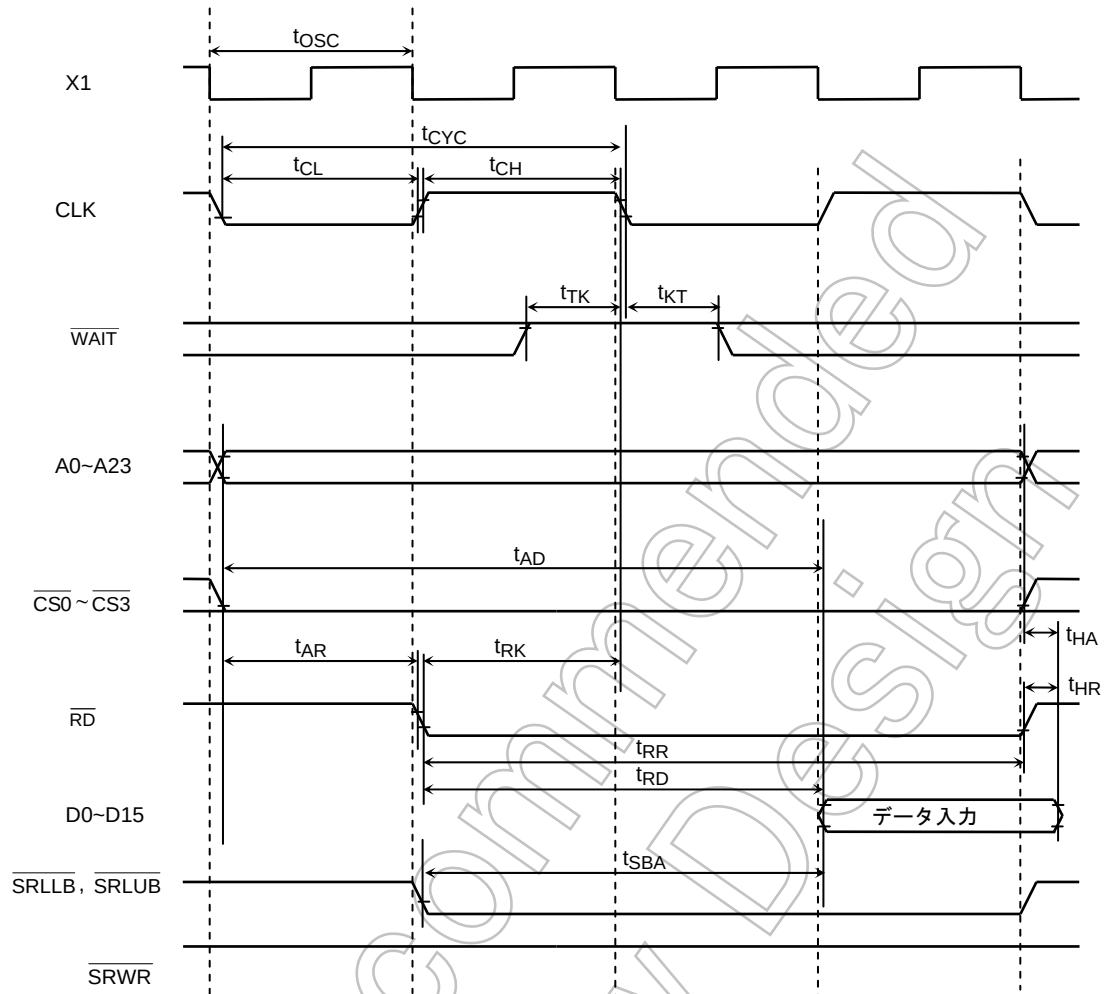
 $V_{CC} = 3.3 \pm 0.3 \text{ V}/f_c = 6 \sim 40 \text{ MHz}/T_a = -40 \sim 85^\circ\text{C}$

No.	項目	記号	計算式		$f_{\text{SYS}} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)	$f_{\text{SYS}} = 13.5 \text{ MHz}$ ($f_c = 27 \text{ MHz}$)	単位
			Min	Max			
16	SRWR 立ち下がり → CLK 立ち下がり	t_{SWK}	$0.5T - 20$		5	17	ns
17	SRWR 立ち上がり → A0~A23 ホールド	t_{SWA}	$0.25T - 5$		7.5	13.5	ns
18	$\overline{\text{RD}}$ 立ち上がり → D0~D15 出力	t_{RDO}	$0.5T - 5$		20	32	ns
19	SRAM 用ライトパルス幅	t_{SWP}	$1.25T - 30$		32.5	62.5	ns
20	SRAM データバイト制御 ~ ライト終了時間	t_{SBW}	$1.25T - 30$		32.5	62.5	ns
21	SRAM 用アドレスセットアップ時間	t_{SAS}	$0.5T - 20$		5	17	ns
22	SRAM 用ライトリカバリ時間	t_{SWR}	$0.25T - 5$		7.5	13.5	ns
23	SRAM 用データセットアップ時間	t_{SDS}	$1.25T - 35$		27.5	57.5	ns
24	SRAM 用データ保持時間	t_{SDH}	$0.25T - 5$		7.5	13.5	ns

AC 測定条件

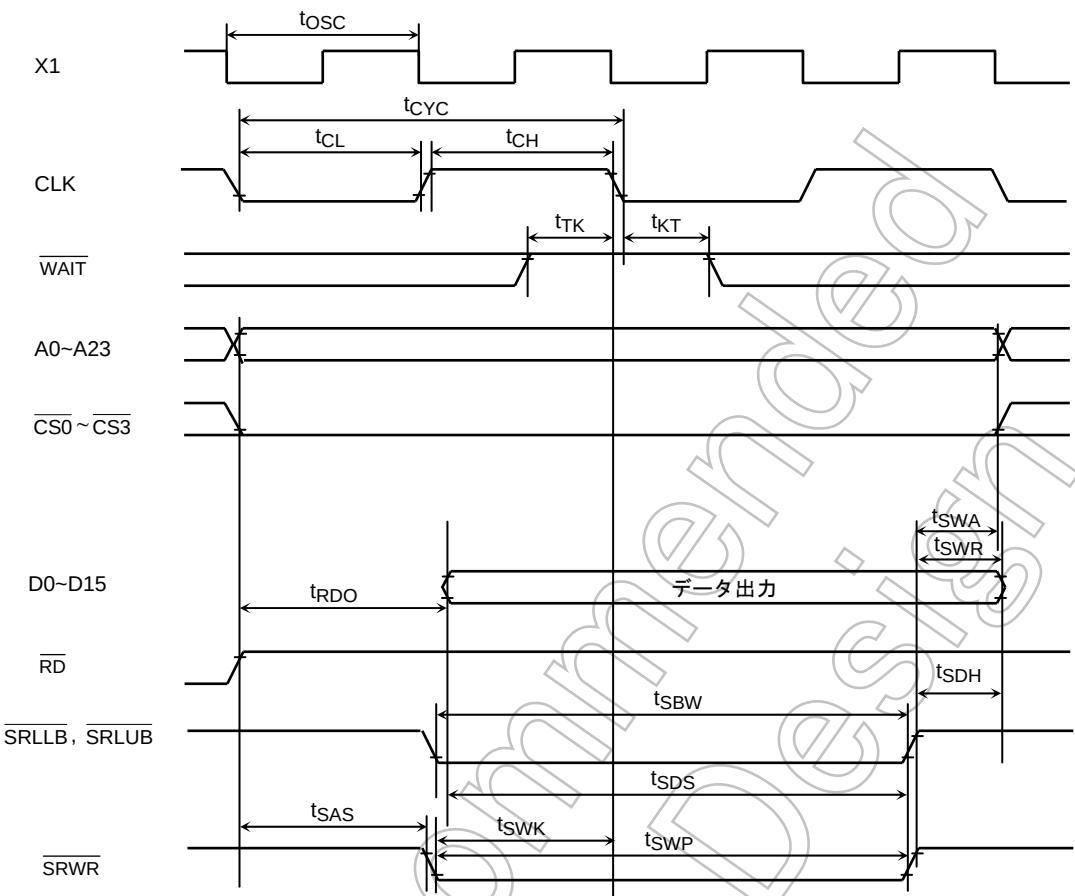
- 出力レベル: High = $0.7 V_{CC}$, Low = $0.3 V_{CC}$, $C_L = 50 \text{ pF}$
- 入力レベル: High = $0.9 V_{CC}$, Low = $0.1 V_{CC}$

(1) リードサイクル (0 ウェイト, $f_c = f_{OSCH}$, $f_{FPH} = f_c/1$)

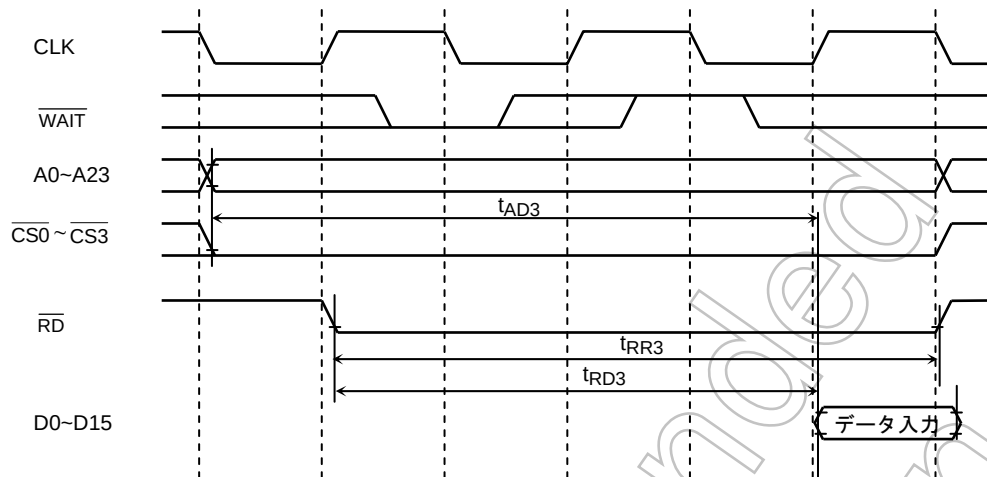
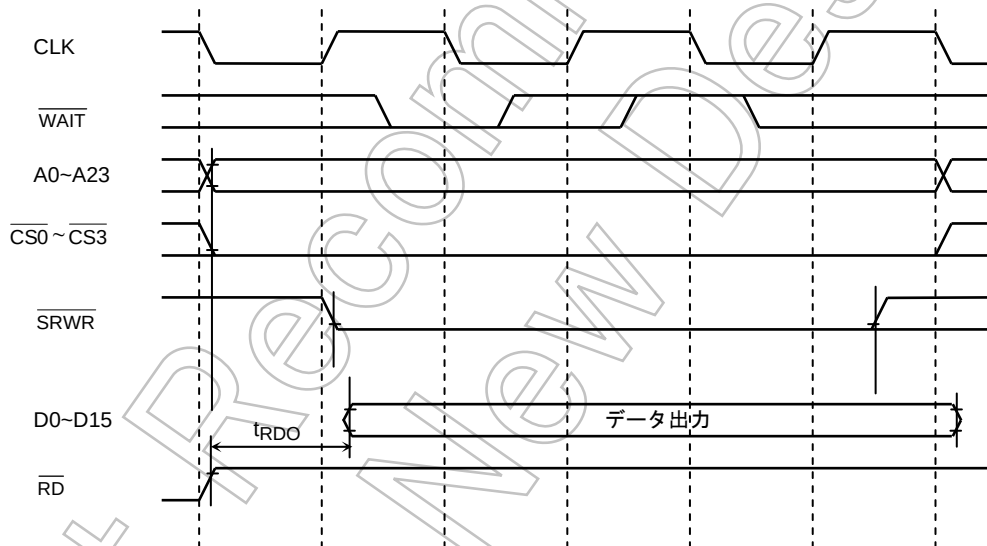


注) X1 入力信号とほかの信号の位相関係は不定です。また、上記のタイミングチャートは一例を示します。

(2) ライトサイクル (0 ウェイト, $f_c = f_{OSCH}$, $f_{FPH} = f_c/1$)



注) X1 入力信号とほかの信号の位相関係は不定です。上記のタイミングチャートは一例を示します。

(3) リードサイクル (1 ウェイト, $f_c = f_{OSCH}$, $f_{FPH} = f_c/1$)(4) ライトサイクル (1 ウェイト, $f_c = f_{OSCH}$, $f_{FPH} = f_c/1$)

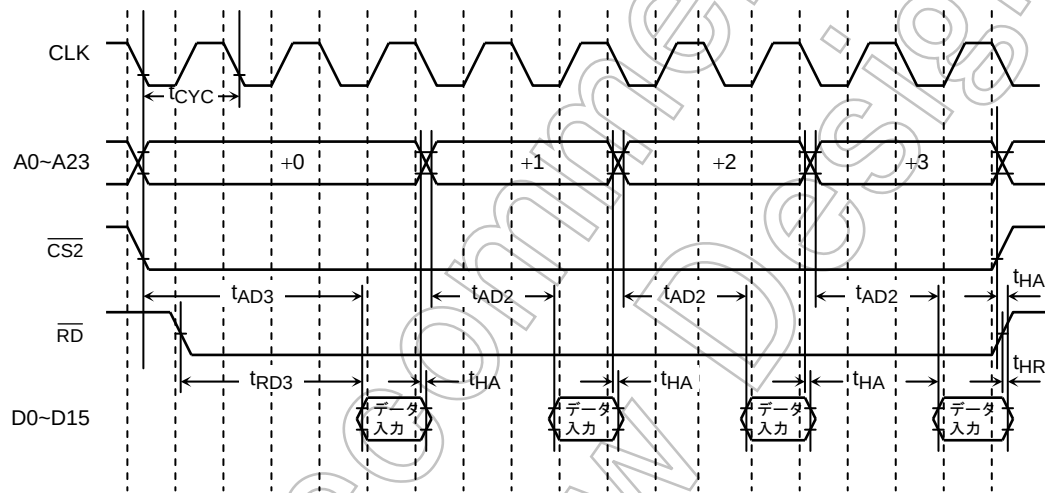
4.3.2 ページROMリードサイクル

(1) 3-2-2-2 モード

 $V_{CC} = 3.3 \pm 0.3 \text{ V}/f_c = 6 \sim 40 \text{ MHz}/T_a = -40 \sim 85^\circ\text{C}$

No.	項目	記号	計算式		$f_{\text{SYS}} = 20\text{MHz}$ ($f_c = 40 \text{ MHz}$)	$f_{\text{SYS}} = 18\text{MHz}$ ($f_c \leq 36 \text{ MHz}$)	$f_{\text{SYS}} = 13.5\text{MHz}$ ($f_c = 27 \text{ MHz}$)	単位
			Min	Max				
1	SCLK 周期 (= T)	t_{CYC}	50		50	55.5	74	ns
2	A0, A1 → D0~D15 入力	t_{AD2}		$2.0T - 50$	50	61	98	ns
3	A2~A23 → D0~D15 入力	t_{AD3}		$3.0T - 50$	100	116.5	172	ns
4	$\overline{\text{RD}}$ 立ち下がり → D0~D15 入力	t_{RD3}		$2.5T - 45$	80	93.8	140	ns
5	A0~A23 有効 → D0~D15 ホールド	t_{HA}	0		0	0	0	ns
6	$\overline{\text{RD}}$ 立ち上がり → D0~D15 ホールド	t_{HR}	0		0	0	0	ns

AC 測定条件

●出力レベル: High = $0.7 V_{CC}$, Low = $0.3 V_{CC}$, $C_L = 50 \text{ pF}$ ●入力レベル: High = $0.9 V_{CC}$, Low = $0.1 V_{CC}$ 

タイミングパルス図

4.3.3 シリアルチャネルタイミング—I/Oインタフェースモード

注) 表中の「X」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

(1) SCLK 入力モード(I/O インタフェースモード)

項目	記号	計算式		$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)		$f_{SYS} = 13.5 \text{ MHz}$ ($f_c = 27 \text{ MHz}$)		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X		0.40		0.59		μs
出力データ → SCLK 立ち上がり/立ち下がり*	t_{OSS}	$t_{SCY}/2 - 4X - 70$		30		78		ns
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t_{OHS}	$t_{SCY}/2 + 2X + 0$		250		370		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t_{HSR}	$3X + 10$		85		121		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t_{SRD}		$t_{SCY} - 0$		400		592	ns
有効データ入力 → SCLK 立ち上がり/立ち下がり*	t_{RDS}	0		0		0		ns

*: SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりタイミングです。

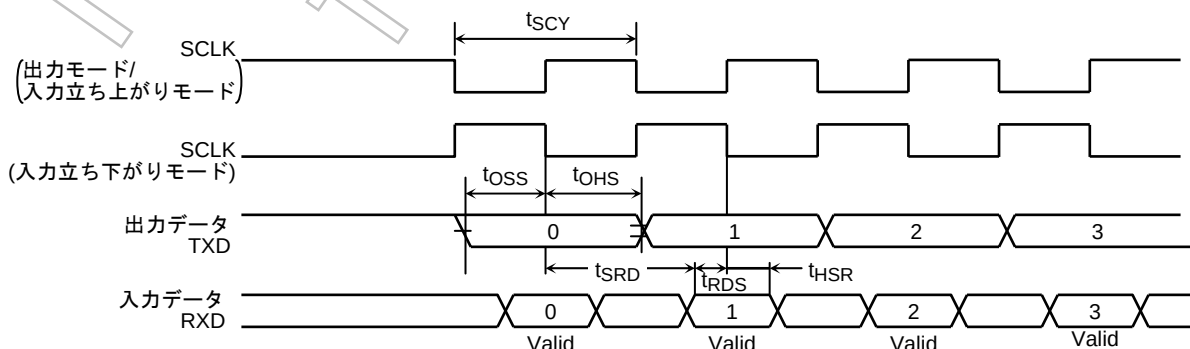
注) $f_{SYS} = 20 \text{ MHz}$, 13.5 MHz の値は、 $t_{SCY} = 16X$ のときの値です。

(2) SCLK 出力モード(I/O インタフェースモード)

項目	記号	計算式		$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)		$f_{SYS} = 13.5 \text{ MHz}$ ($f_c = 27 \text{ MHz}$)		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X	8192X	0.40	204	0.59	303	μs
出力データ → SCLK 立ち上がり/立ち下がり*	t_{OSS}	$t_{SCY}/2 - 40$		160		256		ns
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t_{OHS}	$t_{SCY}/2 - 40$		160		256		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t_{HSR}	0		0		0		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t_{SRD}		$t_{SCY} - 1X - 180$		195		375	ns
有効データ入力 → SCLK 立ち上がり/立ち下がり*	t_{RDS}	$1X + 180$		205		217		ns

*: SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりタイミングです。

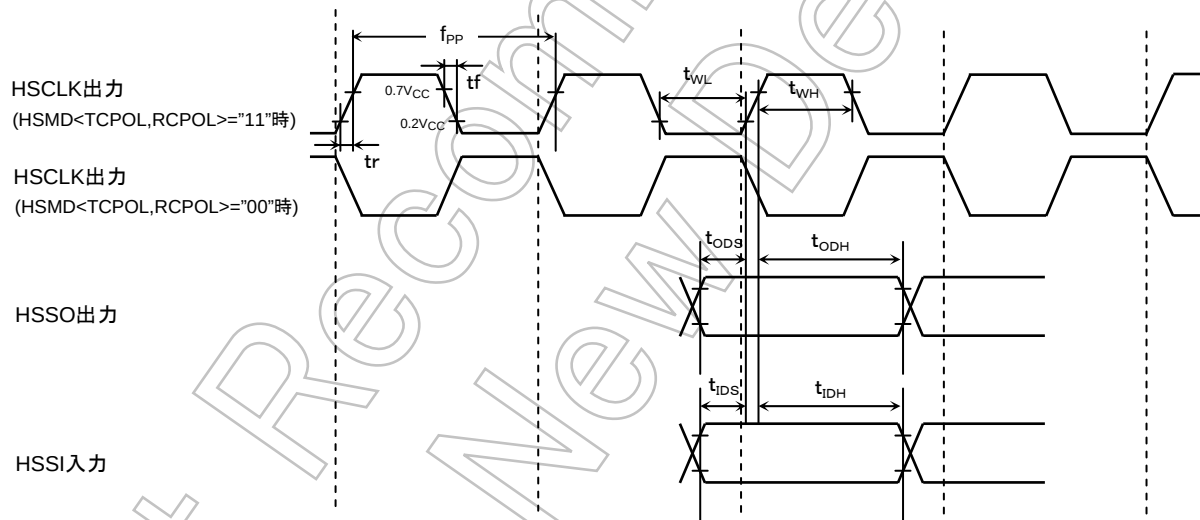
注) $f_{SYS} = 20 \text{ MHz}$, 13.5 MHz の値は、 $t_{SCY} = 16X$ のときの値です。



4.3.4 高速SIOタイミング(TMP92CY23には搭載していません)

記号	項目	計算式		$f_{\text{SYS}} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)	$f_{\text{SYS}} = 18 \text{ MHz}$ ($f_c = 36 \text{ MHz}$)	$f_{\text{SYS}} = 13.5 \text{ MHz}$ ($f_c = 27 \text{ MHz}$)	単位
		Min	Max				
f_{pp}	HSCLK 周波数 ($=1/X$)		10	10	9	6.75	MHz
t_r	HSCLK 立ち上がり時間		8	8	8	8	ns
t_f	HSCLK 立ち下がり時間		8	8	8	8	
t_{WL}	HSCLK 低レベルパルス幅	$0.5X-8$		42	47	66	
t_{WH}	HSCLK 高レベルパルス幅	$0.5X-16$		34	39	58	
t_{ODS1}	出力データ有効 → HSCLK 立ち上がり	$0.5X-18$		32	37	56	
t_{ODS2}	出力データ有効 → HSCLK 立ち下がり	$0.5X-23$		27	32	51	
t_{ODH}	HSCLK 立ち上がり/立ち下がり → 出力データ保持	$0.5X-10$		40	45	64	
t_{IDS}	入力データ有効 → HSCLK 立ち上がり/立ち下がり	$0X+20$		20	20	20	
t_{IDH}	HSCLK 立ち上がり/立ち下がり → 入力データ保持	$0X+5$		5	5	5	

AC 測定条件

出力レベル : High = $0.7 V_{\text{CC}}$, Low = $0.2 V_{\text{CC}}$, $CL = 25 \text{ pF}$ 入力レベル : High = $0.9 V_{\text{CC}}$, Low = $0.1 V_{\text{CC}}$ 

4.3.5 割り込み動作

注) 表中の「X」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用するシステムクロック f_{SYS} 周期の 1/2 です。

クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。

項目	記号	計算式		$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)		$f_{SYS} = 13.5 \text{ MHz}$ ($f_c = 27 \text{ MHz}$)		単位
		MIN	MAX	MIN	MAX	MIN	MAX	
$\overline{NMI}$, INT0~INT7 低レベルパルス幅	T_{INTAL}	$4X + 40$		140		188		ns
$\overline{NMI}$, INT0~INT7 高レベルパルス幅	T_{INTAH}	$4X + 40$		140		188		

4.3.6 イベントカウンタ (TA0IN, TB1IN0, TB1IN1)

項目	記号	計算式		$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)		$f_{SYS} = 13.5 \text{ MHz}$ ($f_c = 27 \text{ MHz}$)		単位
		MIN	MAX	MIN	MAX	MIN	MAX	
クロックサイクル	T_{VCK}	$8X + 100$		300		396		ns
低レベルクロック幅	T_{VCKL}	$4X + 40$		140		188		ns
高レベルクロック幅	T_{VCKH}	$4X + 40$		140		188		ns

注) 表中の「X」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用するシステムクロック f_{SYS} 周期の 1/2 です。

クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。

4.4 AD変換特性

項目	記号	Min	Typ.	Max	単位
AD コンバータ電源供給電圧	AVCC	V_{CC}	V_{CC}	V_{CC}	V
AD コンバータ電源供給 GND	AVSS	V_{SS}	V_{SS}	V_{SS}	
アナログ入力電圧	AVIN	AVSS		AVCC	
総合誤差 (量子化誤差 $\pm 0.5 \text{ LSB}$ 含む)	E_T		± 1.0	± 4.0	LSB

注 1) $1 \text{ LSB} = (AVCC - AVSS) / 1024 \text{ [V]}$

注 2) 最低動作周波数について

AD コンバータの動作は、 f_c (高速発振器) 使用時のみ保証します (f_s では保証しません)。ただし、 f_c 使用時にクロックギアで選択されたクロックの周波数が 4 MHz 以上で保証します。

注 3) AVCC 端子より流れる電源電流は、 V_{CC} 端子の電源電流 (I_{CC}) に含まれます。

4.5 推奨発振回路

TMP92CY23/CD23A は、下記の発振子メーカーにて評価されております。発振子の選択時にご活用ください。

注) 発振端子のトータル負荷容量は接続する外付け(または内蔵) 負荷容量 C1, C2 と、実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板によりトータル負荷容量が異なり、誤動作する可能性があります。基板設計の際は発振回路周辺のパターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を行うことを推奨します。

(1) 発振子接続回路例

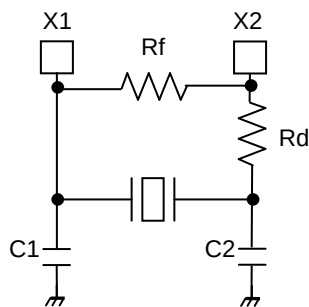


図 4.5.1 高周波発振器の接続図

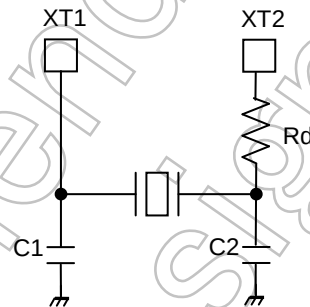


図 4.5.2 低周波発振器の接続図

(2) TMP92CY23/CD23A 推奨セラミック発振子

本製品は(株)村田製作所社製セラミック発振子を推奨しております。

詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.murata.co.jp>

5. 特殊機能レジスタ一覧表

特殊機能レジスタ (SFR: Special function register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~001FFFFH の 8 K バイトのアドレス空間に割り付けられています。

- (1) 入出力ポート
- (2) 割り込みコントローラ
- (3) DMA コントローラ
- (4) メモリコントローラ
- (5) クロック制御/PLL
- (6) 8 ビットタイマ
- (7) 16 ビットタイマ
- (8) 高速シリアルチャネル^{注)}
- (9) UART/シリアルチャネル
- (10) I²C バス/シリアルチャネル
- (11) AD コンバータ
- (12) ウォッチドッグタイマ
- (13) 時計用タイマ
- (14) キーオンウェイクアップ
- (15) プログラム訂正機能

注) 高速シリアルチャネルは TMP92CY23 には搭載していません。

表の構成

記号	名称	アドレス	7	6			1	0	
									シンボル
									Read/Write
									リセット時の初期値
									備考

注) 表中の“RMW 禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) PxCR レジスタのビット 0 のみを“1”にしたい場合、通常は“SET 0, (PxCR)”ですが、このレジスタは“RMW 禁”のため、“LD” (転送) 命令にて 8 ビットレジスタに対して書き込む必要があります。

記号の意味

R/W: リード/ライト可能

R: リードのみ可能

W: ライトのみ可能

W*: リード/ライト可能 (ただし、リードした場合、“1”になります)

RMW 禁: リードモディファイライトができません (EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD 命令の使用不可)。

R/W*: 当該ポートのプルアップ制御の際には、リードモディファイライト命令は使用できません。

表 5.1 I/O レジスタマップ

[1] 入出力ポート

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0000H	P0	0010H	P4	0020H	P8	0030H	PC
1H		1H		1H	P8FC2	1H	
2H	P0CR	2H	P4CR	2H	P8CR	2H	
3H	P0FC	3H	P4FC	3H	P8FC	3H	PCFC
4H	P1	4H	P5	4H		4H	PD
5H		5H		5H		5H	PDFC2
6H	P1CR	6H	P5CR	6H		6H	PDCR
7H	P1FC	7H	P5FC	7H		7H	PDFC
8H		8H	P6	8H		8H	
9H		9H		9H		9H	
AH		AH	P6CR	AH		AH	
BH		BH	P6FC	BH		BH	
CH		CH	P7	CH		CH	PF
DH		DH		DH		DH	PFFC2
EH		EH	P7CR	EH		EH	PFCR
FH		FH	P7FC	FH		FH	PFFC

アドレス	レジスタ名	アドレス	レジスタ名
0040H	PG	0050H	
1H		1H	
2H		2H	
3H	PGFC	3H	
4H		4H	PL
5H		5H	
6H		6H	
7H		7H	PLFC
8H		8H	
9H		9H	
AH		AH	
BH		BH	
CH		CH	PN
DH		DH	
EH		EH	PNCR
FH		FH	PNFC

注) レジスタ名の割り付けられていないアドレスには、レジスタが割り当てられていませんので、アクセスしないでください。

[2] 割り込みコントローラ

アドレス	レジスタ名
00D0H	INTE01
1H	INTE23
2H	INTE45
3H	INTE67
4H	INTETA01
5H	INTETA23
6H	INTETA45
7H	Reserved
8H	INTES0
9H	INTES1HSC
AH	INTES2
BH	Reserved
CH	INTESB0
DH	INTESB1
EH	Reserved
FH	Reserved

アドレス	レジスタ名
00E0H	INTETB0
1H	INTETBO0
2H	INTETB1
3H	INTETBO1
4H	INTEPAD
5H	INTERTC
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	INTNMWDT

[3] DMA コントローラ

アドレス	レジスタ名
0100H	DMA0V
1H	DMA1V
2H	DMA2V
3H	DMA3V
4H	DMA4V
5H	DMA5V
6H	DMA6V
7H	DMA7V
8H	DMAB
9H	DMAR
AH	Reserved
BH	
CH	
DH	
EH	
FH	

注) HSCSEL レジスタは TMP92CY23 には搭載していません。

[4] メモリコントローラ

アドレス	レジスタ名
0140H	B0CSL
1H	B0CSH
2H	MAMR0
3H	MSAR0
4H	B1CSL
5H	B1CSH
6H	MAMR1
7H	MSAR1
8H	B2CSL
9H	B2CSH
AH	MAMR2
BH	MSAR2
CH	B3CSL
DH	B3CSH
EH	MAMR3
FH	MSAR3

アドレス	レジスタ名
0150H	Reserved
1H	Reserved
2H	Reserved
3H	Reserved
4H	Reserved
5H	Reserved
6H	Reserved
7H	Reserved
8H	BEXCSL
9H	BEXCSH
AH	Reserved
BH	Reserved
CH	
DH	
EH	
FH	

[5] クロックギア/PLL

アドレス	レジスタ名
10E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	EMCCR2
6H	
7H	
8H	PLLCR0
9H	PLLCR1
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスには、レジスタが割り当てられていませんので、アクセスしないでください。

[6] 8ビットタイマ

アドレス	レジスタ名
1100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

[7] 16ビットタイマ

アドレス	レジスタ名
1110H	TA45RUN
1H	
2H	TA4REG
3H	TA5REG
4H	TA45MOD
5H	TA5FFCR
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
1180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

アドレス	レジスタ名
1190H	TB1RUN
1H	
2H	TB1MOD
3H	TB1FFCR
4H	
5H	
6H	
7H	
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

[8] HSC^{注2)}

アドレス	レジスタ名
0C00H	HSC0MD
1H	HSC0MD
2H	HSC0CT
3H	HSC0CT
4H	HSC0ST
5H	HSC0ST
6H	HSC0CR
7H	HSC0CR
8H	HSC0IS
9H	HSC0IS
AH	HSC0WE
BH	HSC0WE
CH	HSC0IE
DH	HSC0IE
EH	HSC0IR
FH	HSC0IR

[9] UART/SIO

アドレス	レジスタ名
0C10H	HSC0TD
1H	HSC0TD
2H	HSC0RD
3H	HSC0RD
4H	HSC0TS
5H	HSC0TS
6H	HSC0RS
7H	HSC0RS
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
1200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	SIR0CR
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	SIR1CR

アドレス	レジスタ名
1210H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	
7H	SIR2CR
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注1) レジスタ名の割り付けられていないアドレスには、レジスタが割り当てられていませんので、アクセスしないでください。

注2) 高速シリアルチャネルは TMP92CY23 には搭載していません。

[10] I²C バス/SIO

アドレス	レジスタ名
1240H	SBI0CR1
1H	SBI0DBR
2H	I2C0AR
3H	SBI0CR2/SBI0SR
4H	SBI0BR0
5H	SBI0BR1
6H	
7H	
8H	SBI1CR1
9H	SBI1DBR
AH	I2C1AR
BH	SBI1CR2/SBI1SR
CH	SBI1BR0
DH	SBI1BR1
EH	
FH	

[11] 10 ビット ADC

アドレス	レジスタ名
12A0H	ADREG0L
1H	ADREG0H
2H	ADREG1L
3H	ADREG1H
4H	ADREG2L
5H	ADREG2H
6H	ADREG3L
7H	ADREG3H
8H	ADREG4L
9H	ADREG4H
AH	ADREG5L
BH	ADREG5H
CH	ADREG6L
DH	ADREG6H
EH	ADREG7L
FH	ADREG7H

アドレス	レジスタ名
12B0H	ADREG8L
1H	ADREG8H
2H	ADREG9L
3H	ADREG9H
4H	ADREGAL
5H	ADREGAH
6H	ADREGBL
7H	ADREGBH
8H	ADMOD0
9H	ADMOD1
AH	ADMOD2
BH	Reserved
CH	Reserved
DH	
EH	
FH	

[12] ウォッチドッグタイマ

アドレス	レジスタ名
1300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[13] 時計用タイマ

アドレス	レジスタ名
1310H	RTCCR
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[14] キーオンウェイクアップ

アドレス	レジスタ名
13A0H	KIEN
1H	KICR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスには、レジスタが割り当てられていませんので、アクセスしないでください。

[15] プログラム訂正機能

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
1400H	ROMCMP00	1410H	ROMCMP20	1420H	ROMCMP40	1430H	ROMCMP60
1H	ROMCMP01	1H	ROMCMP21	1H	ROMCMP41	1H	ROMCMP61
2H	ROMCMP02	2H	ROMCMP22	2H	ROMCMP42	2H	ROMCMP62
3H		3H		3H		3H	
4H	ROMSUB0LL	4H	ROMSUB2LL	4H	ROMSUB4LL	4H	ROMSUB6LL
5H	ROMSUB0LH	5H	ROMSUB2LH	5H	ROMSUB4LH	5H	ROMSUB6LH
6H	ROMSUB0HL	6H	ROMSUB2HL	6H	ROMSUB4HL	6H	ROMSUB6HL
7H	ROMSUB0HH	7H	ROMSUB2HH	7H	ROMSUB4HH	7H	ROMSUB6HH
8H	ROMCMP10	8H	ROMCMP30	8H	ROMCMP50	8H	ROMCMP70
9H	ROMCMP11	9H	ROMCMP31	9H	ROMCMP51	9H	ROMCMP71
AH	ROMCMP12	AH	ROMCMP32	AH	ROMCMP52	AH	ROMCMP72
BH		BH		BH		BH	
CH	ROMSUB1LL	CH	ROMSUB3LL	CH	ROMSUB5LL	CH	ROMSUB7LL
DH	ROMSUB1LH	DH	ROMSUB3LH	DH	ROMSUB5LH	DH	ROMSUB7LH
EH	ROMSUB1HL	EH	ROMSUB3HL	EH	ROMSUB5HL	EH	ROMSUB7HL
FH	ROMSUB1HH	FH	ROMSUB3HH	FH	ROMSUB5HH	FH	ROMSUB7HH

注) レジスタ名の割り付けられていないアドレスには、レジスタが割り当てられていませんので、アクセスしないでください。

(1) I/O ポート (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P0	Port 0	0000H	P07	P06	P05	P04	P03	P02	P01	P00
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P1	Port 1	0004H	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P4	Port 4	0010H	P47	P46	P45	P44	P43	P42	P41	P40
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P5	Port 5	0014H	P57	P56	P55	P54	P53	P52	P51	P50
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P6	Port 6	0018H	P67	P66	P65	P64	P63	P62	P61	P60
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P7	Port 7	001CH	P77	P76		P74	P73	P72	P71	P70
			R/W			R	R/W			
			外部端子データ (出力ラッチレジスタは “1”にセットされます。)			外部端子 データ	外部端子データ (出力ラッチレジスタは“1”にセットされます。)			
			-			-	0 (出力ラッチレジスタ): プルアップ抵抗 OFF 1 (出力ラッチレジスタ): プルアップ抵抗 ON			
P8	Port 8	0020H					P83	P82	P81	P80
							R/W			
							外部端子 データ (出力ラッチ レジスタは “1”にセット されます。)	0	1	1
PC	Port C	0030H					PC3	PC2	PC1	PC0
							R			
							外部端子データ			
PD	Port D	0034H				PD4	PD3	PD2	PD1	PD0
						R/W		R	R/W	
						外部端子データ(注 1)			外部端子 データ	外部端子 データ(注 1)
PF	Port F	003CH			PF5	PF4	PF3	PF2	PF1	PF0
					R/W					
					外部端子データ (出力ラッチレジスタは“0”にクリアされます。)					
PG	Port G	0040H	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
			R							
			外部端子データ(注 2)							
PL	Port L	0054H					PL3	PL2	PL1	PL0
							R			
							外部端子データ(注 2)			
PN	Port N	005CH			PN5	PN4	PN3	PN2	PN1	PN0
					R/W					
					外部端子データ (出力ラッチレジスタは“1”にセットされます。)					

注 1) 出力ラッチレジスタは“0”にクリアされます。(PD1には出力ラッチレジスタの該当ビットはありません)

注 2) アナログ入力ポートとして動作します。(ポート入力ディセーブル)

I/O ポート (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P0CR	Port 0 Control register	0002H (RMW 禁)	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P0FC	Port 0 Function register	0003H (RMW 禁)								P00F
										W
										0
										0: ポート 1: データ バス (D0~D7)
P1CR	Port 1 Control register	0006H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P1FC	Port 1 Function register	0007H (RMW 禁)								P10F
										W
										0
										0: ポート 1: データ バス (D8~D15)
P4CR	Port 4 Control register	0012H (RMW 禁)	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P4FC	Port 4 Function register	0013H (RMW 禁)	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
			W							
			0	0	0	0	0	0	0	0
			0: ポート 1: アドレスバス (A0~A7)							
P5CR	Port 5 Control register	0016H (RMW 禁)	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P5FC	Port 5 Function register	0017H (RMW 禁)	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
			W							
			0	0	0	0	0	0	0	0
			0: ポート 1: アドレスバス (A8~A15)							
P6CR	Port 6 Control register	001AH (RMW 禁)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P6FC	Port 6 Function register	001BH (RMW 禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
			W							
			0	0	0	0	0	0	0	0
			0: ポート 1: アドレスバス (A16~A23)							

I/O ポート (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0																																																			
P7CR	Port 7 Control register	001EH (RMW 禁)	P77C	P76C			P73C	P72C	P71C	P70C																																																			
			W				W																																																						
			1	1			0	0	0	0																																																			
			0: 入力 1: 出力				0: 入力 1: 出力																																																						
P7FC	Port 7 Function register	001FH (RMW 禁)				P74F	P73F	P72F	P71F	P70F																																																			
						W																																																							
						0	0	0	0	0																																																			
						0: ポート入力 1: INTO 入力	0: ポート 1: SRLUB	0: ポート 1: SRLLB	0: ポート 1: SRWR	0: ポート 1: RD																																																			
P8FC2	Port 8 Function register 2	0021H (RMW 禁)					P83F2		P81F2	P80F2																																																			
							W		W																																																				
							0		0	0																																																			
							0: <P83F> 1: TA5OUT		0: <P81F> 1: TA3OUT	0: <P80F> 1: TA1OUT																																																			
P8CR	Port 8 Control register	0022H (RMW 禁)					P83C																																																						
							W																																																						
							1																																																						
							0: 入力 1: 出力																																																						
P8FC	Port 8 Function register	0023H (RMW 禁)					P83F	P82F	P81F	P80F																																																			
							W																																																						
							0	0	0	0																																																			
							<P83F,P83C> 00: ポート入力 01: ポート出力 10: WAIT 入力 11: CS3 出力	0: ポート 1: CS2	0: ポート 1: CS1	0: ポート 1: CS0																																																			
PCFC	Port C Function register	0033H (RMW 禁)					PC3F	PC2F	PC1F	PC0F																																																			
							W																																																						
							0	0	0	0																																																			
							0: ポート 1: INT3	0: ポート 1: INT2	0: ポート 1: INT1	0: ポート 1: TA0IN																																																			
PDFC2	Port D Function register 2	0035H (RMW 禁)				PD4F2	PD3F2	PD2F2	PD1F2																																																				
						W																																																							
						0	0	0	0																																																				
						<PDFC 参照>																																																							
PDCR	Port D Control register	0036H (RMW 禁)				PD4C	PD3C	PD2C		PD0C																																																			
						W				W																																																			
						0	0	0		0																																																			
						0: 入力 1: 出力				0: 入力 1: 出力																																																			
PDFC	Port D Function register	0037H (RMW 禁)				PD4F	PD3F	PD2F	PD1F	PD0F																																																			
						W																																																							
						0	0	0	0	0																																																			
						<table><tr><th><PDx F2,PDx F,PDx C></th><th>PD4</th><th>PD3</th><th>PD2</th><th>PD1</th><th>PD0</th></tr><tr><td>000</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td></tr><tr><td>001</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td></td><td>出力ポート</td></tr><tr><td>010</td><td>Reserved</td><td>RXD2</td><td>TB1IN1</td><td>TB1IN0</td><td>INT4</td></tr><tr><td>011</td><td>TB1OUT1</td><td>TB1OUT0</td><td>TXD2 (3-STATE)</td><td></td><td>TB0OUT0</td></tr><tr><td>100</td><td>SCLK2入力 CS2 入力</td><td>INT7</td><td>INT6</td><td>INT5</td><td></td></tr><tr><td>101</td><td>SCLK2 出力</td><td>Reserved</td><td>Reserved</td><td></td><td></td></tr><tr><td>110</td><td>Reserved</td><td>Reserved</td><td>Reserved</td><td>Reserved</td><td></td></tr><tr><td>111</td><td>Reserved</td><td>Reserved</td><td>TXD2 (Open Drain)</td><td></td><td></td></tr></table>					<PDx F2,PDx F,PDx C>	PD4	PD3	PD2	PD1	PD0	000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	001	出力ポート	出力ポート	出力ポート		出力ポート	010	Reserved	RXD2	TB1IN1	TB1IN0	INT4	011	TB1OUT1	TB1OUT0	TXD2 (3-STATE)		TB0OUT0	100	SCLK2入力 CS2 入力	INT7	INT6	INT5		101	SCLK2 出力	Reserved	Reserved			110	Reserved	Reserved	Reserved	Reserved		111	Reserved	Reserved
<PDx F2,PDx F,PDx C>	PD4	PD3	PD2	PD1	PD0																																																								
000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート																																																								
001	出力ポート	出力ポート	出力ポート		出力ポート																																																								
010	Reserved	RXD2	TB1IN1	TB1IN0	INT4																																																								
011	TB1OUT1	TB1OUT0	TXD2 (3-STATE)		TB0OUT0																																																								
100	SCLK2入力 CS2 入力	INT7	INT6	INT5																																																									
101	SCLK2 出力	Reserved	Reserved																																																										
110	Reserved	Reserved	Reserved	Reserved																																																									
111	Reserved	Reserved	TXD2 (Open Drain)																																																										

I/O ポート (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PFFC2	Port F Function register 2	003DH (RMW 禁)						PF2F2				
								W				
								0				
								0:<PF2F> 1: CLK				
PFCR	Port F Control register	003EH (RMW 禁)			PF5C	PF4C	PF3C	PF2C	PF1C	PF0C		
								W				
					0	0	0	0	0	0		
								0: 入力 1: 出力				
PFFC 注 12)	Port F Function register	003FH (RMW 禁)			PF5F	PF4F	PF3F	PF2F	PF1F	PF0F		
								W				
					0	0	0	0	0	0		
PGFC	Port G Control register	0043H (RMW 禁)	PG7F	PG6F	PG5F	PG4F	PG3F	PG2F	PG1F	PG0F		
								W				
			1	1	1	1	1	1	1	1		
								0:ポート/キー入力 1: アナログ入力				
PLFC	Port L Function register	0057H (RMW 禁)					PL3F	PL2F	PL1F	PL0F		
								W				
							1	1	1	1		
								0: ポート入力 1: アナログ入力				
PNCR	Port N Control register	005EH (RMW 禁)			PN5C	PN4C	PN3C	PN2C	PN1C	PN0C		
								W				
					0	0	0	0	0	0		
								0: 入力 1: 出力				
PNFC	Port N Function register	005FH (RMW 禁)			PN5F	PN4F	PN3F	PN2F	PN1F	PN0F		
								W				
					0	0	0	0	0	0		

注 1) P70~P73 を入力ポートで使用する場合、内蔵プルアップ抵抗は P7 レジスタにより制御します。入力モードあるいは入出力モードを混在させて使用する場合(1 ビットでも入力端子が存在するとき)、リードモディファイライト命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

注 2) P76, P77 に低周波発振子を接続する場合、消費電力削減のために下記の設定が必要です。

発振子接続の場合: P7CR <P76C, P77C> = "11", P7 <P76, P77> = "00"

発振器接続の場合: P7CR <P76C, P77C> = "11", P7 <P76, P77> = "10"

注 3) P83 を WAIT 端子として使用する場合は、P8CR <P83C> = "0", P8FC <P83F> = "1" に設定するとともに、メモリコントロールレジスタ BxCSL <BxWW2:0> もしくは <BxWR2:0> を "011" に設定する必要があります。

注 4) P80 ~ P83 をチップセレクト信号 ($\overline{CS0} \sim \overline{CS3}$) として使用する場合は、P8FC, P8CR の順番で対応するビットを "1" に設定してください。

注 5) PD1, PD2 の機能設定にかかわらず、TB1IN0, TB1IN1 入力は 16 ビットタイマ TMRB1 へ入力されています。

注 6) PD3 の機能設定にかかわらず、RXD2 入力はシリアルチャネル 2 へ入力されています。

注 7) PD4 の機能設定にかかわらず、SCLK2 入力、 $\overline{CTS2}$ 入力はシリアルチャネル 2 へ入力されています。

注 8) PD2 は 3-STATE / オープンドレイン設定のためのレジスタを持っていません。

注 9) PF0, PF3 は 3-STATE / オープンドレイン設定のためのレジスタを持っていません。

注 10) PG0~PG7, PL0~PL3 における AD コンバータの入力チャネル選択は、ADMOD1 <ADCH3:0> にて設定します。

また AD トリガ ($\overline{ADTRG}$) 入力許可の設定は、ADMOD2 <ADTRGE> にて設定します。

注 11) PF3 の TXD1 と HSSO、PF4 の RXD1 と HSSI、PF5 の SCLK1 と HSCLK の切り替えは、HSCSEL <SIOCNT> にて設定します。

注 12) HSSO、HSSI、HSCLK、<SIOCNT> は 92CY23 には搭載しておりません。

(2) 割り込み制御 (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE01	INT0 & INT1 enable	00D0H	INT1				INT0			
			I1C	I1M2	I1M1	I1M0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT1	割り込み要求レベル			1: INT0	割り込み要求レベル		
INTE23	INT2 & INT3 enable	00D1H	INT3				INT2			
			I3C	I3M2	I23M1	I3M0	I2C	I2M2	I2M1	I2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT3	割り込み要求レベル			1: INT2	割り込み要求レベル		
INTE45	INT4 & INT5 enable	00D2H	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT5	割り込み要求レベル			1: INT4	割り込み要求レベル		
INTE67	INT6 & INT7 enable	00D3H	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT7	割り込み要求レベル			1: INT6	割り込み要求レベル		
INTETA01	INTTA0 & INTTA1 enable	00D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA1	割り込み要求レベル			1: INTTA0	割り込み要求レベル		
INTETA23	INTTA2 & INTTA3 enable	00D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA3	割り込み要求レベル			1: INTTA2	割り込み要求レベル		
INTETA45	INTTA4 & INTTA5 enable	00D6H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA5	割り込み要求レベル			1: INTTA4	割り込み要求レベル		
INTES0	INTRX0 & INTTX0 enable	00D8H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX0	割り込み要求レベル			1: INTRX0	割り込み要求レベル		
INTES1HSC	INTRX1 & INTTX1/ INTHSC enable	00D9H	INTTX1/INTHSC (注)				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX1	割り込み要求レベル			1: INTRX1	割り込み要求レベル		
INTES2	INTRX2 & INTTX2 enable	00DAH	INTTX2				INTRX2			
			ITX2C	ITX2M2	ITX2M1	ITX2M0	IRX2C	IRX2M2	IRX2M1	IRX2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX2	割り込み要求レベル			1: INTRX2	割り込み要求レベル		

注) INTHSC 割り込みは TMP92CY23 には搭載していません。

割り込み制御 (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTESB0	INTSBE0 enable	00DCH	-				INTSBE0			
			-	-	-	-	ISBE0C	ISBE0M2	ISBE0M1	ISBE0M0
			-	-			R	R/W		
			-	-	-	-	0	0	0	0
			"0" をライトしてください。				1: INTSBE0	割り込み要求レベル		
INTESB1	INTSBE1 enable	00DDH	-				INTSBE1			
			-	-	-	-	ISBE1C	ISBE1M2	ISBE1M1	ISBE1M0
			-	-			R	R/W		
			-	-	-	-	0	0	0	0
			"0" をライトしてください。				1: INTSBE1	割り込み要求レベル		
INTETB0	INTTB00 & INTTB01 enable	00E0H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB01	割り込み要求レベル			1: INTTB00	割り込み要求レベル		
INTETB00	INTTB00 (Overflow) enable	00E1H	-				INTTB00 (TMRB0)			
			-	-	-	-	ITB00C	ITB00M2	ITB00M1	ITB00M0
			-	-			R	R/W		
			-	-	-	-	0	0	0	0
			"0" をライトしてください。				1: INTTB00	割り込み要求レベル		
INTETB1	INTTB10 & INTTB11 enable	00E2H	INTTB11 (TMRB1)				INTTB10 (TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB11	割り込み要求レベル			1: INTTB10	割り込み要求レベル		
INTETB01	INTTB01 (Overflow) enable	00E3H	-				INTTB01 (TMRB1)			
			-	-	-	-	ITB01C	ITB01M2	ITB01M1	ITB01M0
			-	-			R	R/W		
			-	-	-	-	0	0	0	0
			"0" をライトしてください。				1: INTTB01	割り込み要求レベル		
INTEPAD	INTP0& INTAD enable	00E4H	INTP0				INTAD			
			IP0C	IP0M2	IP0M1	IP0M0	IADC	IADM2	IADM1	IADM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTP0	割り込み要求レベル			1: INTAD	割り込み要求レベル		
INTERTC	INTRTC enable	00E5H	-				INTRTC			
			-	-	-	-	IRC	IRM2	IRM1	IRM0
			-	-			R	R/W		
			-	-	-	-	0	0	0	0
			"0" をライトしてください。				1: INTRTC	割り込み要求レベル		
INTNMWDT	NMI & INTWD enable	00EFH	NMI				INTWDT			
			INCNM	-	-	-	INCWD	-	-	-
			R				R			
			0	-	-	-	0	-	-	-
			1: NMI	"0" をライトしてください。			1: INTWDT	"0" をライトしてください。		

割り込み制御 (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETC01	INTTC0 & INTTC1 enable	00F0H	INTTC1 (DMA1)				INTTC0 (DMA0)			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTC1	割り込み要求レベル			1: INTTC0	割り込み要求レベル		
INTETC23	INTTC2 & INTTC3 enable	00F1H	INTTC3 (DMA3)				INTTC2 (DMA2)			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTC3	割り込み要求レベル			1: INTTC2	割り込み要求レベル		
INTETC45	NTTC4 & INTTC5 enable	00F2H	INTTC5 (DMA5)				INTTC4 (DMA4)			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTC5	割り込み要求レベル			1: INTTC4	割り込み要求レベル		
INTETC67	NTTC6 & INTTC7 enable	00F3H	INTTC7 (DMA7)				INTTC6 (DMA6)			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTC7	割り込み要求レベル			1: INTTC6	割り込み要求レベル		

割り込み制御 (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
HSCSEL	HSC Selection register	00F4H	—	—	—	—	—	—	—	SIOCNT
			R							R/W
			0	0	0	0	0	0	0	0
										0: SIO1 1: HSC
SIMC	SIO Interrupt Mode Control register	00F5H (RMW 禁)	—					IR2LE	IR1LE	IR0LE
			W					W		
			0					1	1	1
			“1” をライトしてください。					INTRX2 0: エッジ モード 1: レベル モード	INTRX1 0: エッジ モード 1: レベル モード	INTRX0 0: エッジ モード 1: レベル モード
IIMC	Interrupt Input Mode Control register	00F6H (RMW 禁)								NMIREE
										W
										0
										NMI 0: 立ち下がり 1: 立ち下がり / 立ち上がり
IIMC2	Interrupt Input Mode Control register2	00FAH (RMW 禁)	I7LE	I6LE	I5LE	I4LE	I3LE	I2LE	I1LE	I0LE
			W							
			0	0	0	0	0	0	0	0
			INT7 0: エッジ 1: レベル	INT6 0: エッジ 1: レベル	INT5 0: エッジ 1: レベル	INT4 0: エッジ 1: レベル	INT3 0: エッジ 1: レベル	INT2 0: エッジ 1: レベル	INT1 0: エッジ 1: レベル	INT0 0: エッジ 1: レベル
IIMC3	Interrupt Input Mode Control register3	00FBH (RMW 禁)	I7EDGE	I6EDGE	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE
			W							
			0	0	0	0	0	0	0	0
			INT7 0: 立ち上がり / H レベル 1: 立ち下がり / L レベル	INT6 0: 立ち上がり / H レベル 1: 立ち下がり / L レベル	INT5 0: 立ち上がり / H レベル 1: 立ち下がり / L レベル	INT4 0: 立ち上がり / H レベル 1: 立ち下がり / L レベル	INT3 0: 立ち上がり / H レベル 1: 立ち下がり / L レベル	INT2 0: 立ち上がり / H レベル 1: 立ち下がり / L レベル	INT1 0: 立ち上がり / H レベル 1: 立ち下がり / L レベル	INT0 0: 立ち上がり / H レベル 1: 立ち下がり / L レベル
INTCLR	Interrupt Clear Control register	00F8H (RMW 禁)	CLRV7	CLRV6	CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
			W							
			0	0	0	0	0	0	0	0
			マイクロ DMA 起動ベクタの書き込みによる割り込み要求フラグのクリア							

(3) DMA 制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 Request Vector	0100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA1 Request Vector	0101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA2 Request Vector	0102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA3 Request Vector	0103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
DMA4V	DMA4 Request Vector	0104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 起動ベクタ					
DMA5V	DMA5 Request Vector	0105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 起動ベクタ					
DMA6V	DMA6 Request Vector	0106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 起動ベクタ					
DMA7V	DMA7 Request Vector	0107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 起動ベクタ					
DMAB	DMA burst request register	0108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA のバースト要求							
DMAR	DMA software request register	0109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA のソフト要求							

(4) メモリ制御 (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CSL	Block 0 MEMC Control register Low	0140H (RMW 禁)		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved		
B0CSH	Block 0 MEMC Control register High	0141H (RMW 禁)	B0E			B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
			W				W			
			0			0	0	0	0	0
			CS 選択 0: 禁止 1: 許可			0: ダミーサ イクルを入 れない 1: ダミーサ イクルを入 れる	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス 幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		
B1CSL	Block 1 MEMC Control register Low	0144H (RMW 禁)		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved		
B1CSH	Block 1 MEMC control register High	0145H (RMW 禁)	B1E			B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
			W				W			
			0			0	0	0	0	0
			CS 選択 0: 禁止 1: 許可			0: ダミー サイクルを 入れない 1: ダミー サイクルを 入れる	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス 幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		
B2CSL	Block 2 MEMC control register Low	0148H (RMW 禁)		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved		
B2CSH	Block 2 MEMC control register High	0149H (RMW 禁)	B2E	B2M		B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
			W				W			
			1	0		0	0	0	0/1 (注)	0/1 (注)
			CS 選択 0: 禁止 1: 許可	0: 16 MB 1: エリア 設定		0: ダミー サイクルを 入れない 1: ダミー サイクルを 入れる	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス 幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		

注) B2CSH <B2BUS1:0> は、リセット解除後は不定となりますので、ブロックアドレス空間 2 をアクセスする前に必ず設定してください。

メモリ制御 (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
B3CSL	Block 3 MEMC control register Low	014CH (RMW 禁)		B3WW2	B3WW1	B3WW0		B3WR2	B3WR1	B3WR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved		
B3CSH	Block 3 MEMC control register High	014DH (RMW 禁)	B3E			B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
			W			W				
			0			0	0	0	0	0
			CS 選択 0: 禁止 1: 許可			0: ダミーサイ クルを入 れない 1: ダミーサ イクルを入 れる	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス 幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		
BEXCSL	BLOCK EX MEMC Control register Low	0158H (RMW 禁)		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子 Others: Reserved		
BEXCSH	BLOCK EX MEMC Control register High	0159H (RMW 禁)				BEXREC	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
						W				
						0	0	0	0	0
						0: ダミーサ イクルを入 れない 1: ダミーサ イクルを入 れる	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス 幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		
PMECR	Page ROM Control register	0166H				OPGE	OPWR1	OPWR0	PR1	PR0
						R/W				
						0	0	0	1	0
						ROM ページ アクセス 0: 禁止 1: 許可	ページの待ち数 00: 1 ステート (n-1-1-1 モード) 01: 2 ステート (n-2-2-2 モード) 10: 3 ステート (n-3-3-3 モード) 11: Reserved	ページのバイト数 00: 64 バイト 01: 32 バイト 10: 16 バイト 11: 8 バイト		

メモリ制御 (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
MAMR0	Memory Mask register 0	0142H	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-9	M0V8
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレス比較許可 1: アドレス比較禁止							
MSAR0	Memory Start Address register 0	0143H	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR1	Memory Mask register 1	0146H	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-9	M1V8
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレス比較許可 1: アドレス比較禁止							
MSAR1	Memory Start Address register 1	0147H	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR2	Memory Mask register 2	014AH	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレス比較許可 1: アドレス比較禁止							
MSAR2	Memory Start Address register 3	014BH	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR3	Memory Mask register 3	014EH	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレス比較許可 1: アドレス比較禁止							
MSAR3	Memory Start Address register 3	014FH	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							

(5) クロック制御/PLL (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SYSCR0	System Clock Control register 0	10E0H	XEN	XTEN				WUEF		
			R/W					R/W		
			1	0				0		
			高速発振器(fc) 0: 停止 1: 発振	低速発振器(fs) 0: 停止 1: 発振				発振器用 ウォームアップ タイム(WUP)制御 0 ライト: Don't care 1 ライト: WUP スタート 0 リード: WUP 終了 1 リード: WUP 中		
SYSCR1	System Clock Control register 1	10E1H					SYSCK	GEAR2	GEAR1	GEAR0
							R/W			
							0	1	0	0
							システム クロック 選択 0: fc 1: fs	高速クロックギア値の選択 (fc) 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101: Reserved 110: Reserved 111: Reserved		
SYSCR2	System Clock Control register 2	10E2H	-		WUPTM1	WUPTM0	HALTM1	HALTM0		DRVE
			W		R/W					R/W
			0		1	0	1	1		0
			"0" をライトしてください。		ウォームアップタイム 00: Reserved 01: 2 ⁸ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数		HALT モード 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード			ストップ IDLE1 モードの端子状態制御 0: I/O OFF 1: ホルト前の状態
PLLCR0	PLL Control register 0	10E8H		FCSEL	LUPFG					
				R/W	R					
				0	0					
				fc クロック 選択 0: f _{OSCH} 1: PLL	ロックアップ タイム ステータス フラグ 0: ウォーム アップ中 1: ウォーム アップ終了					
PLLCR1	PLL Control register 1	10E9H	PLLON							
			R/W							
			0							
			PLL 制御 0: OFF 1: ON							

クロック制御/PLL (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
EMCCR0 注 1)	EMC Control register 0	10E3H	PROTECT					EXTIN	–	DRVOSCL
			R					R/W		
			0					0	1	1
			プロテクト フラグ 0: OFF 1: ON					1: fc 外部 クロック	"1"をライト してください。	fs 低速発振 器ドライブ 能力 1: NORMAL 0: WEAK
EMCCR0 注 2)	EMC Control register 0	10E3H	PROTECT					–	–	DRVOSCL
			R					R/W		
			0					0	1	1
			プロテクト フラグ 0: OFF 1: ON					"0"をライト してください。	"1"をライト してください。	fs 低速発振 器ドライブ 能力 1: NORMAL 0: WEAK
EMCCR1	EMC Control register 1	10E4H	下記 1st-KEY, 2nd-KEY への書き込みによりプロテクト ON/OFF が切り替わります。 1st-KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続ライト 2nd-KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続ライト							
EMCCR2	EMC Control register 2	10E5H								

注 1) このレジスタは TMP92CY23 用のレジスタです。

注 2) このレジスタは TMP92CD23A 用のレジスタです。

(6) 8ビットタイマ(1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA01RUN	8-bit timer RUN register	1100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルパツファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA01 プリス ケータ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカ ウンタ (UC1)	アップカ ウンタ (UC0)
TA0REG	8-bit timer register 0	1102H (RMW 禁)	-							
			W 不定							
TA1REG	8-bit timer register 1	1103H (RMW 禁)	-							
			W 不定							
TA01MOD	8-bit timer source CLK & mode register	1104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM サイクル 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 ソースクロック 00: TA0IN 端子 01: φT1 10: φT4 11: φT16	
TA1FFCR	8-bit timer flip-flop control register	1105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
							R/W		R/W	
							1	1	0	0
							00: TA1FF を反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転選択 0: TMRA0 1: TMRA1
TA23RUN	8-bit timer RUN register	1108H	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルパツファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA23 プリス ケータ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカ ウンタ (UC3)	アップカ ウンタ (UC2)
TA2REG	8-bit timer register 2	110AH (RMW 禁)	-							
			W 不定							
TA3REG	8-bit timer register 3	110BH (RMW 禁)	-							
			W 不定							
TA23MOD	8-bit timer source CLK & mode register r	110CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM サイクル 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA3 ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	
TA3FFCR	8-bit timer flip-flop control register	110DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
							R/W		R/W	
							1	1	0	0
							00: TA3FF を反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転選択 0: TMRA2 1: TMRA3

8 ビットタイマ(2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA45RUN	8-bit timer RUN register	1110H	TA4RDE				I2TA45	TA45PRUN	TA5RUN	TA4RUN
			R/W				R/W			
			0				0	0	0	0
			ダブルパッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA45 プリスケール 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカウンタ (UC5)	アップカウンタ (UC4)
TA4REG	8-bit timer register 4	1112H (RMW 禁)	-							
			W							
			不定							
TA5REG	8-bit timer register 5	1113H (RMW 禁)	-							
			W							
			不定							
TA45MOD	8-bit timer source CLK & mode register	1114H	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード 00: 8 ビットタイマモード 01: 16 ビットタイマモード 10: 8 ビット PPG モード 11: 8 ビット PWM モード		PWM サイクル 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA5 ソースクロック 00: TA4TRG 01: φT1 10: φT16 11: φT256		TMRA4 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	
TA5FFCR	8-bit timer flip-flop control register	1115H (RMW 禁)					TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS
							R/W		R/W	
							1	1	0	0
							00: TA5FF を反転 01: TA5FF セット 10: TA5FF クリア 11: Don't care		TA5FF 反転制御 0: 禁止 1: 許可	TA5FF 反転選択 0: TMRA4 1: TMRA5

(7) 16 ビットタイマ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
TB0RUN	16-bit timer RUN register	1180H	TB0RDE	—			I2TB0	TB0PRUN		TB0RUN	
			R/W				R/W			R/W	
			0	0			0	0		0	
			ダブルバッファ 0: 禁止 1: 許可	“0”をライトしてください。			IDLE2 0: 停止 1: 動作	TMRB0 プリスケール 0: 停止 & クリア 1: 動作 (カウントアップ)		アップカウンタ (UC10)	
TB0MOD	16-bit timer source CLK & mode register	1182H (RMW 禁)	—	—	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0	
			R/W		W	R/W					
			0	0	1	0	0	0	0	0	
			“0”をライトしてください。	“0”をライトしてください。	ソフトウェアキャプチャ制御 0: ソフトウェアキャプチャ 1: 不定	キャプチャタイミング 00: 禁止 01: Reserved 10: Reserved 11: TA1OUT ↑ TA1OUT ↓	アップカウンタ制御 0: クリア 1: クリア許可	TMRB0 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16			
TB0FFCR	16-bit timer flip-flop control register	1183H (RMW 禁)	—	—	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FFC1	TB0FFC0	
			W*		R/W					W*	
			1	1	0	0	0	0	1	1	
			“11”をライトしてください。		TB0FF0 反転トリガ 0: トリガ禁止 1: トリガ許可 TB0CP1H/Lへのアップカウンタ取りこみ時 TB0CP0H/Lへのアップカウンタ取りこみ時					TB0FF0 制御 00: 反転 01: 1にセット 10: 0にクリア 11: Don't care * 読み出すと常に 11 になります。	
TB0RG0L	16-bit timer register 0 Low	1188H (RMW 禁)	— W 不定								
TB0RG0H	16-bit timer register 0 High	1189H (RMW 禁)	— W 不定								
TB0RG1L	16-bit timer register 1 Low	118AH (RMW 禁)	— W 不定								
TB0RG1H	16-bit timer register 1 High	118BH (RMW 禁)	— W 不定								
TB0CP0L	16-bit timer Capture register 0 Low	118CH	— R 不定								
TB0CP0H	16-bit timer Capture register 0 High	118DH	— R 不定								
TB0CP1L	16-bit timer Capture register 1 Low	118EH	— R 不定								
TB0CP1H	16-bit timer Capture register 1 High	118FH	— R 不定								

16 ビットタイマ (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
TB1RUN	16-bit timer RUN register	1190H	TB1RDE	—			I2TB1	TB1PRUN		TB1RUN	
			R/W				R/W			R/W	
			0	0			0	0		0	
			ダブルパツファ 0: 禁止 1: 許可	“0” をライ トしてく ださい。			IDLE2 0: 停止 1: 動作	TMRB1 プリス ケーラ		アップカ ウンタ (UC12)	
			0: 停止 & クリア 1: 動作 (カウントアップ)								
TB1MOD	16-bit timer source CLK & mode register	1192H (RMW 禁)	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0	
			R/W		W	R/W					
			0	0	1	0	0	0	0	0	
			TB1FF1 反転 0: 禁止 1: 許可		ソフト ウェア キャプチャ 制御 0: ソフトウ エアキャプ チャ 1: 不定	キャプチャタイミ ング 00: 禁止 INT5 は立ち上がり エッジ 01: TB1N0 ↑ TB1IN1 ↑ INT5 は立ち上がり エッジ 10: TB1N0 ↑ TB1IN0 ↓ INT5 は立ち下がり エッジ 11: TA3OUT ↑ TA3OUT ↓ INT5 は立ち上がり エッジ		アッ プ カ ウ ン タ 制 御 0: クリア 禁止 1: クリア 許可	TMRB1 ソースクロック 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16		
			キャプチャ レジスタ 1 へのキャプ チャ時	アッ プ カ ウ ン タ と TB1RG1 の 一致時							
TB1FFCR	16-bit timer flip-flop control register	1193H (RMW 禁)	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FFC1	TB1FFC0	
			W*		R/W				W*		
			1	1	0	0	0	0	1	1	
			TB1FF1 制御 00: 反転 01: 1 にセット 10: クリア 11: Don't care * 読み出すと常に 11 になります。		TB1FF0 反転トリガ 0: トリガ禁止 1: トリガ許可				TB1FF0 制御 00: 反転 01: 1 にセット 10: 0 クリア 11: Don't care * 読み出すと常に 11 になります。		
					TB1CP1 へ のアップカ ウンタ取り こみ時	TB1CP0 へ のアップカ ウンタ取り こみ時	アッ プ カ ウ ン タ と TB1RG1 と の一致時	アッ プ カ ウ ン タ と TB1RG0 と の一致時			
TB1RG0L	16-bit timer register 0 Low	1198H (RMW 禁)	—								
			W								
			不定								
TB1RG0H	16-bit timer register 0 High	1199H (RMW 禁)	—								
			W								
			不定								
TB1RG1L	16-bit timer register 1 Low	119AH (RMW 禁)	—								
			W								
			不定								
TB1RG1H	16-bit timer register 1 High	119BH (RMW 禁)	—								
			W								
			不定								
TB1CP0L	16-bit timer Capture register 0 Low	119CH	—								
			R								
			不定								
TB1CP0H	16-bit timer Capture register 0 High	119DH	—								
			R								
			不定								
TB1CP1L	16-bit timer Capture register 1 Low	119EH	—								
			R								
			不定								
TB1CP1H	16-bit timer Capture register 1 High	119FH	—								
			R								
			不定								

(8) 高速シリアルチャネル^{注)}(1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
HSC0MD	High Speed Serial Mode register	0C00H		XEN0				CLKSEL02	CLKSEL01	CLKSEL00
				R/W				R/W		
				0				1	0	0
				SYSCK 0:disable 1:enable				ボーレート選択 000:Reserved 100:fsys/16 001:fsys/2 101:fsys/32 010:fsys/4 110:fsys/64 011:fsys/8 111:Reserved		
		0C01H	LOOPBACK0	MSB1ST0	DOSTAT0		TCPOL0	RCPOL0	TDINV0	RDINV0
			R/W				R/W			
			0	1	1		0	0	0	0
			LOOPBACK テストモード 0:disable 1:enable	送受信開始 BIT 0:LSB 1:MSB	非送信時の HSS00 端子 状態設定 0:"0"固定 1:"1"固定		送信時の 同期クロック エッジ設定 0:立ち下がり 1:立ち上がり	受信時の 同期クロック エッジ設定 0:立ち下がり 1:立ち上がり	送信時の データ反転 0:disable 1:enable	受信時の データ反転 0:disable 1:enable
HSC0CT	High Speed Serial Control register	0C02H	—	—	UNIT160			ALGNEN0	RXWEN0	RXUEN0
			R/W					R/W		
			0	1	0			0	0	0
			"0"をライトしてください	"1"をライトしてください	データ長 選択 0: 8bit 1: 16bit			全2重での アライメント 0:disable 1:enable	連続受信 動作設定 0:disable 1:enable	UNIT 受信 動作設定 0:disable 1:enable
		0C03H	CRC16_7_B0	CRCRX_TX_B0	CRCREST_B0				DMAERFW0	DMAERFR0
			R/W					R/W		
			0	0	0				0	0
			CRC 選択 0:CRC7 1:CRC16	CRC データ 0:送信 1:受信	CRC 演算 レジスタ 制御 0:リセット 1:リセット 解除				マイクロ DMA 動作 0: Disable 1: Enable	マイクロ DMA 動作 0: Disable 1: Enable
HSC0ST	High Speed Serial Status register	0C04H					TEND0	REND0	RFW0	RFR0
							R			
							1	0	1	0
							送信動作状態 0: 送信中 1: 非送信中	受信シフトレジスタ状態 0: データ無 1: データ有	送信バッファ状態 0: 未送信 データ有 1: 未送信 データ無	受信バッファ状態 0: 有効 データ無 1: 有効 データ有
		0C05H								
HSC0CR	High Speed Serial CRC register	0C06H	CRCD007	CRCD006	CRCD005	CRCD004	CRCD003	CRCD002	CRCD001	CRCD000
			R							
			0	0	0	0	0	0	0	0
			CRC 演算結果格納レジスタ [7:0]							
		0C07H	CRCD015	CRCD014	CRCD013	CRCD012	CRCD011	CRCD010	CRCD009	CRCD008
			R							
			0	0	0	0	0	0	0	0
			CRC 演算結果格納レジスタ [15:8]							

注) 高速シリアルチャネルは TMP92CY23 には搭載しておりません。

高速シリアルチャネル(2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
HSC0IS	High Speed Serial Interrupt status register	0C08H					TENDIS0	RENDIS0	RFWIS0	RFRIS0
							R/W			
							0	0	0	0
							リード 0:割り込み無 1:割り込み有	リード 0:割り込み無 1:割り込み有	リード 0:割り込み無 1:割り込み有	リード 0:割り込み無 1:割り込み有
		0C09H					ライト 0: Don't care 1: クリア	ライト 0: Don't care 1: クリア	ライト 0: Don't care 1: クリア	ライト 0: Don't care 1: クリア
HSC0WE	High Speed Serial Interrupt Status Write enable register	0C0AH					TENDWE0	RENDWE0	RFWWE0	RFRWE0
							R/W			
							0	0	0	0
							HSC0IS <TENDIS0> クリア 0:禁止 1:許可	HSC0IS <RENDIS0> クリア 0:禁止 1:許可	HSC0IS <RFWIS0> クリア 0:禁止 1:許可	HSC0IS <RFRIS0> クリア 0:禁止 1:許可
		0C0BH								
HSC0IE	High Speed Serial Interrupt enable register	0C0CH					TENDIE0	RENDIE0	RFWIE0	RFRIE0
							R/W			
							0	0	0	0
							TEND0 割り込み 0:禁止 1:許可	REND0 割り込み 0:禁止 1:許可	RFW0 割り込み 0:禁止 1:許可	RFR0 割り込み 0:禁止 1:許可
		0C0DH								
HSC0IR	High Speed Serial Interrupt request register	0C0EH					TENDIR0	RENDIR0	RFWIR0	RFRIR0
							R			
							0	0	0	0
							TEND0 割り込み 0:なし 1:発生	REND0 割り込み 0:なし 1:発生	RFW0 割り込み 0:なし 1:発生	RFR0 割り込み 0:なし 1:発生
		0C0FH								

高速シリアルチャネル(3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
HSC0TD	High Speed Serial Transmission data register	0C10H	TXD007	TXD006	TXD005	TXD004	TXD003	TXD002	TXD001	TXD000
			R/W							
			0	0	0	0	0	0	0	0
		送信データレジスタ[7:0]								
		0C11H	TXD015	TXD014	TXD013	TXD012	TXD011	TXD010	TXD009	TXD008
			R/W							
0	0		0	0	0	0	0	0		
送信データレジスタ[15:8]										
HSC0RD	High Speed Serial Receive data register	0C12H	RXD007	RXD006	RXD005	RXD004	RXD003	RXD002	RXD001	RXD000
			R/W							
			0	0	0	0	0	0	0	0
		受信データレジスタ[7:0]								
		0C13H	RXD015	RXD014	RXD013	RXD012	RXD011	RXD010	RXD009	RXD008
			R/W							
0	0		0	0	0	0	0	0		
受信データレジスタ[15:8]										
HSC0TS	High Speed Serial Transmit data shift register	0C14H	TSD007	TSD006	TSD005	TSD004	TSD003	TSD002	TSD001	TSD000
			R/W							
			0	0	0	0	0	0	0	0
		送信データシフトレジスタ[7:0]								
		0C15H	TSD015	TSD014	TSD013	TSD012	TSD011	TSD010	TSD009	TSD008
			R/W							
0	0		0	0	0	0	0	0		
送信データシフトレジスタ[15:8]										
HSC0RS	High Speed Serial receive data shift register	0C16H	RSD007	RSD006	RSD005	RSD004	RSD003	RSD002	RSD001	RSD000
			R/W							
			0	0	0	0	0	0	0	0
		受信データシフトレジスタ[7:0]								
		0C17H	RSD015	RSD014	RSD013	RSD012	RSD011	RSD010	RSD009	RSD008
			R/W							
0	0		0	0	0	0	0	0		
受信データシフトレジスタ[15:8]										

(9) UART/シリアルチャネル(1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC0BUF	Serial channel 0 Buffer register	1200H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (受信)/W (送信) 不定							
SC0CR	Serial channel 0 Control register	1201H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと "0" にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ 0: 禁止 1: 許可	オーバーラン	パリティ	フレーミング	0: SCLK0 ↑ 1: SCLK0 ↓	0: ボーレートジェネレータ 1: SCLK0 端子入力
SC0MOD0	Serial channel 0 Mode0 register	1202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	0: CTS 禁止 1: CTS 許可	0: 受信禁止 1: 受信許可	ウェイクアップ 0: 禁止 1: 許可	00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード	00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{SYS} 11: 外部クロック (SCLK0 入力)		
BR0CR	Serial channel 0 Baud rate Control register	1203H	—	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください。	+(16-K)/16 分割 0: 禁止 1: 許可	00: φT0 01: φT2 10: φT8 11: φT32	分周値 N 設定 (0-F)				
BR0ADD	Serial channel 0 K setting register	1204H					BR0K3	BR0K2	BR0K1	BR0K0
							R/W			
							0	0	0	0
			N + (16 - K)/16 分周の K 値の設定							
SC0MOD1	Serial channel 0 Mode1 register	1205H	I2S0	FDPX0						
			R/W							
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						
SIR0CR	IrDA control register 0	1207H	PLSEL	RXSEL	TXEN	RXEN	SIR0WD3	SIR0WD2	SIR0WD1	SIR0WD0
			R/W							
			0	0	0	0	0	0	0	0
			送信パルス幅選択 0: 3/16 1: 1/16	受信データ 0: "H" パルス 1: "L" パルス	送信 0: 禁止 1: 許可	受信 0: 禁止 1: 許可	受信パルス幅選択 有効 SIRRx _{D0} パルス幅設定 "2x × (設定値 + 1)" + 100 ns 以上のパルス幅 設定可: 1~14 設定不可: 0, 15			

UART/シリアルチャネル (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC1BUF	Serial channel 1 Buffer register	1208H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (受信)/W (送信)							
SC1CR	Serial channel 1 Control register	1209H	不定							
			RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと "0" にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ 0: 禁止 1: 許可	1: エラー オーバーラン	パリティ	フレーミング	0: SCLK1↑ 1: SCLK1↓	0: ボーレートジェネレータ 1: SCLK1 端子入力
SC1MOD0	Serial channel 1 Mode0 register	120AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	0: CTS 禁止 1: CTS 許可	0: 受信禁止 1: 受信許可	ウェイクアップ 0: 禁止 1: 許可	00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード	00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{SYS} 11: 外部クロック (SCLK1 入力)		
BR1CR	Serial channel 1 Baud rate Control register	120BH	—	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
			R/W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください。	+(16-K)/16 分割 0: 禁止 1: 許可	00: φT0 01: φT2 10: φT8 11: φT32	分周値 N 設定 (0~F)				
BR1ADD	Serial channel 1 K setting register	120CH					BR1K3	BR1K2	BR1K1	BR1K0
							R/W			
							0	0	0	0
SC1MOD1	Serial channel 1 Mode1 register	120DH								
SIR1CR	IrDA control register 1	120FH	I2S1	FDPX1						
			R/W							
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						
SIR1CR	IrDA control register 1	120FH	PLSEL	RXSEL	TXEN	RXEN	SIR1WD3	SIR1WD2	SIR1WD1	SIR1WD0
			R/W							
			0	0	0	0	0	0	0	0
			送信パルス幅選択 0: 3/16 1: 1/16	受信データ 0: "H" パルス 1: "L" パルス	送信 0: 禁止 1: 許可	受信 0: 禁止 1: 許可	受信パルス幅選択 有効 SIRRxD1 パルス幅設定 "2x × (設定値 + 1)" + 100 ns 以上のパルス幅 設定可: 1~14 設定不可: 0, 15			

UART/シリアルチャネル (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC2BUF	Serial channel 2 Buffer register	1210H (RMW 禁)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R (受信)/W (送信) 不定							
SC2CR	Serial channel 2 Control register	1211H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと "0" にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ 0: 禁止 1: 許可	1: エラー オーバーラン	パリティ	フレーミング	0: SCLK2↑ 1: SCLK2↓	0: ボーレートジェネレータ 1: SCLK2 端子入力
SC2MOD0	Serial channel 2 Mode0 register	1212H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	0: CTS 禁止 1: CTS 許可	0: 受信禁止 1: 受信許可	ウェイクアップ 0: 禁止 1: 許可	00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード	00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{SYS} 11: 外部クロック (SCLK2 入力)		
BR2CR	Serial channel 2 Baud rate Control register	1213H	—	BR2ADDE	BR2CK1	BR2CK0	BR2S3	BR2S2	BR2S1	BR2S0
			R/W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください。	+(16-K)/16 分割 0: 禁止 1: 許可	00: φT0 01: φT2 10: φT8 11: φT32	分周値 N 設定 (0-F)				
BR2ADD	Serial channel 2 K setting register	1214H					BR2K3	BR2K2	BR2K1	BR2K0
							R/W			
							0	0	0	0
			N + (16 - K)/16 分周の K 値の設定							
SC2MOD1	Serial channel 2 Mode1 register	1215H	I2S2	FDPX2						
			R/W							
			0	0						
			IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						
SIR2CR	IrDA control register 2	1217H	PLSEL	RXSEL	TXEN	RXEN	SIR2WD3	SIR2WD2	SIR2WD1	SIR2WD0
			R/W							
			0	0	0	0	0	0	0	0
			送信パルス幅選択 0: 3/16 1: 1/16	受信データ 0: "H" パルス 1: "L" パルス	送信 0: 禁止 1: 許可	受信 0: 禁止 1: 許可	受信パルス幅選択 有効 SIRRx2D2 パルス幅設定 "2x × (設定値 + 1)" + 100 ns 以上のパルス幅 設定可: 1~14 設定不可: 0, 15			

(10) I²C バス/シリアルチャネル (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SBI0CR1	Serial bus interface 0 control register 1	1240H (I ² C bus モード) (RMW 禁)	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
			W			R/W		W		R/W
			0	0	0	0		0	0	0/1
			転送ビット数 000: 8 001: 1 010: 2 011: 3 100: 4 101: 5 110: 6 111: 7			アクノリッ ジモード 0: 禁止 1: 許可		分周値 (n) 設定 000: 5 001: 6 010: 7 011: 8 100: 9 101: 10 110: 11 111: Reserved		
		1240H (SIO モード) (RMW 禁)	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
			W					W		
			0	0	0	0		0	0	0
			転送 0: 終了 1: 開始	転送 0: 継続 1: 中止	転送モード 00: 8 ビット送信 01: Reserved 10: 8 ビット送信/受信 11: 8 ビット受信			分周値 (n) 設定 000: 4 001: 5 010: 6 011: 7 100: 8 101: 9 110: 10 111: 外部クロック SCK0		
SBI0DBR	SBI buffer Register	1241H (RMW 禁)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
			R (受信)/W (送信)							
			不定							
I2C0AR	I2CBUS 0 address Register	1242H (RMW 禁)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
			W							
			0	0	0	0	0	0	0	0
			スレーブアドレス設定							アドレス 認識 0: 許可 1: 禁止
リード時 SBI0SR	Serial bus interface 0 status Register	1243H (I ² C bus モード) (RMW 禁)	MST	TRX	BB	PIN	AL/ SBIM1	AAS/ SBIM0	AD0/ SWRST1	LRB/ SWRST0
			R/W							
			0	0	0	1	0	0	0	0
ライト時 SBI0CR2	Serial bus interface 0 control Register 2	(RMW 禁)	0: スレーブ 1: マスタ	0: 受信 1: 送信	バス ステータス モニタ 0: フリー 1: ビジー	INTSBEO 割り込み 0: 要求 1: 解除	アービト レーション ロスト検出 モニタ 1: 検出	スレーブ アドレス 一致検出 モニタ 1: 検出	ゼネラル コール 検出モニタ 1: 検出	最終受信 ビット モニタ 0: 0 1: 1
					スタート/ ストップ コンディ ションの 発生 0: ストップ 1: スタート		動作モード選択 00: ポートモード 01: SIO モード 10: I ² C モード 11: Reserved	ソフトウェアリセッ トの発生 “10” → “01” の順でラ イトするとソフト ウェアリセットが発 生		
リード時 SBI0SR	Serial bus interface 0 status Register	1243H (SIO モード) (RMW 禁)					SIOF/ SBIM1	SEF/ SBIM0	-	-
							R/W		W	
							0	0	0	0
ライト時 SBI0CR2	Serial bus interface 0 control Register 2	(RMW 禁)					送信 ステータス 0: 終了 1: 転送中	シフト ステータス 0: 終了 1: シフト中		
							動作モード選択 00: ポートモード 01: SIO モード 10: I ² C モード 11: Reserved	“0”をライ トしてく ださい		“0”をライ トしてく ださい

I²C バス/シリアルチャネル (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SBI0BR0	Serial bus interface 0 baud rate register 0	1244H (RMW 禁)	–	I2SBI0						
			W	R/W						
			0	0						
			“0” をライトしてください。	IDLE2 0: 停止 1: 動作						
SBI0BR1	Serial bus interface 0 baud rate register 1	1245H (RMW 禁)	P4EN	–						
			W							
			0	0						
			クロック制御 0: 停止 1: 動作	“0” をライトしてください。						

I²C バス/シリアルチャネル (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SBI1CR1	Serial bus interface 1 control register 1	1248H (I ² C bus モード) (RMW 禁)	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
			W			R/W		W		R/W
			0	0	0	0		0	0	0/1
			転送ビット数 000: 8 001: 1 010: 2 011: 3 100: 4 101: 5 110: 6 111: 7			アクノリッ ジモード 0: 禁止 1: 許可		分周値 (n) 設定 000: 5 001: 6 010: 7 011: 8 100: 9 101: 10 110: 11 111: Reserved		
		1248H (SIO モード) (RMW 禁)	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
			W					W		
			0	0	0	0		0	0	0
			転送 0: 終了 1: 開始	転送 0: 継続 1: 中止	転送モード 00: 8 ビット送信 01: Reserved 10: 8 ビット送信/受信 11: 8 ビット受信			分周値 (n) 設定 000: 4 001: 5 010: 6 011: 7 100: 8 101: 9 110: 10 111: 外部クロック SCK1		
SBI1DBR	SBI 1 buffer Register	1249H (RMW 禁)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
			R (受信)/W (送信) 不定							
I2C1AR	I2CBUS 1 address Register	124AH (RMW 禁)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
			W							
			0	0	0	0	0	0	0	0
			スレーブアドレス設定							アドレス 認識 0: 許可 1: 禁止
リード時 SBI1SR	Serial bus interface 1 status Register	124BH (I ² C bus モード) (RMW 禁)	MST	TRX	BB	PIN	AL/ SBIM1	AAS/ SBIM0	AD0/ SWRST1	LRB/ SWRST0
			R/W							
			0	0	0	1	0	0	0	0
ライト時 SBI1CR2	Serial bus interface 1 control Register 2	(RMW 禁)	0: スレーブ 1: マスタ	0: 受信 1: 送信	パス ステータス モニタ 0: フリー 1: ビジー	INTSBE1 割り込み 0: 要求 1: 解除	アービト レーション ロスト検出 モニタ 1: 検出	スレーブ アドレス 一致検出 モニタ 1: 検出	ゼネラル コール 検出モニタ 1: 検出	最終受信 ビット モニタ 0: 0 1: 1
					スタート/ ストップ コンディ ションの 発生 0: ストップ 1: スタート		動作モード選択 00: ポートモード 01: SIO モード 10: I ² C モード 11: Reserved	ソフトウェアリセッ トの発生 “10” → “01” の順でラ イトするとソフト ウェアリセットが発 生		
リード時 SBI1SR	Serial bus interface 1 status Register	124BH (SIO モード) (RMW 禁)					SIOF/ SBIM1	SEF/ SBIM0	-	-
							R/W		W	
							0	0	0	0
ライト時 SBI1CR2	Serial bus interface 1 control Register 2	(RMW 禁)					送信 ステータス 0: 終了 1: 転送中	シフト ステータス 0: 終了 1: シフト中		
							動作モード選択 00: ポートモード 01: SIO モード 10: I ² C モード 11: Reserved	“0”をライ トしてく ださい	“0”をライ トしてく ださい	

I²C バス/シリアルチャネル (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SBI1BR0	Serial bus interface 1 baud rate register 0	124CH (RMW 禁)	–	I2SBI1						
			W	R/W						
			–	0						
			“0” をライトしてください。	IDLE2 0: 停止 1: 動作						
SBI1BR1	Serial bus interface 1 baud rate register 1	124DH (RMW 禁)	P4EN	–						
			W							
			0	0						
			クロック制御 0: 停止 1: 動作	“0” をライトしてください。						

(11) AD コンバータ (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
ADMOD0	AD Mode Control register 0	12B8H	EOCF	ADBF	–	–	ITM0	REPEAT	SCAN	ADS
			R		R/W					
			0	0	0	0	0	0	0	0
			AD 変換 0: 変換中 1: 終了	AD 変換 0: 停止 1: ビジー	“0”をライト してください。	“0”をライト してください。	割り込み指 定(固定リ ピート時) 0: 1 回変換 ごと 1: 4 回変換 ごと	リピート モード指定 0: シングル 変換 モ ード 1: リピート 変換 モ ード	スキャン モード指定 0: チャンネル 固定 モ ード 1: チャンネル スキャン モード	AD 変換 0: Don't care 1: 変換開始 リードする と常に“0”に なります。
ADMOD1	AD Mode Control register 1	12B9H	VREFON	I2AD	–	–	ADCH3	ADCH2	ADCH1	ADCH0
			R/W							
			0	0	0	0	0	0	0	0
			VREF 印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	アナログ入力チャンネル選択 0000: AN0 AN0 0001: AN1 AN0 → AN1 0010: AN2 AN0 → AN1 → AN2 0011: AN3 AN0 → AN1 → AN2 → AN3 0100: AN4 AN0 → AN1 → AN2 → AN3 → AN4 0101: AN5 AN0 → AN1 → AN2 → AN3 → AN4 → AN5 0110: AN6 AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 0111: AN7 AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 1000: AN8 AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 1001: AN9 AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 1010: AN10 AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 → AN10 1011: AN11 AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 → AN10 → AN11 1100~1111: 設定しないでください。			
ADMOD2	AD Mode Control register 2	12BAH	–	–	–	–	–	–	–	ADTRGE
			R/W							
			0	0	0	0	0	0	0	0
			“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	AD 外部 トリガ スタート 制御 0: 禁止 1: 許可

AD コンバータ (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
ADREG0L	AD result register 0 low	12A0H	ADR01	ADR00						ADR0RF
			R							R
			不定							0
ADREG0H	AD result register 0 High	12A1H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
			R							
			不定							
ADREG1L	AD result register 1 low	12A2H	ADR11	ADR10						ADR1RF
			R							R
			不定							0
ADREG1H	AD result register 1 High	12A3H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
			R							
			不定							
ADREG2L	AD result register 2 low	12A4H	ADR21	ADR20						ADR2RF
			R							R
			不定							0
ADREG2H	AD result register 2 High	12A5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
			R							
			不定							
ADREG3L	AD result register 3 low	12A6H	ADR31	ADR30						ADR3RF
			R							R
			不定							0
ADREG3H	AD result register 3 High	12A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
			R							
			不定							
ADREG4L	AD result register 4 low	12A8H	ADR41	ADR40						ADR4RF
			R							R
			不定							0
ADREG4H	AD result register 4 High	12A9H	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
			R							
			不定							
ADREG5L	AD result register 5 low	12AAH	ADR51	ADR50						ADR5RF
			R							R
			不定							0
ADREG5H	AD result register 5 High	12ABH	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
			R							
			不定							
ADREG6L	AD result register 6 low	12ACH	ADR61	ADR60						ADR6RF
			R							R
			不定							0
ADREG6H	AD result register 6 High	12ADH	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
			R							
			不定							
ADREG7L	AD result register 7 low	12AEH	ADR71	ADR70						ADR7RF
			R							R
			不定							0
ADREG7H	AD result register 7 High	12AFH	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
			R							
			不定							

AD コンバータ (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
ADREG8L	AD result register 8 low	12B0H	ADR81	ADR80						ADR8RF
			R							R
			不定							0
ADREG8H	AD result register 8 High	12B1H	ADR89	ADR88	ADR87	ADR86	ADR85	ADR84	ADR803	ADR82
			R							
			不定							
ADREG9L	AD result register 9 low	12B2H	ADR91	ADR90						ADR9RF
			R							R
			不定							0
ADREG9H	AD result register 9 High	12B3H	ADR99	ADR98	ADR97	ADR96	ADR95	ADR94	ADR93	ADR92
			R							
			不定							
ADREGAL	AD result register A low	12B4H	ADRA1	ADRA0						ADRARF
			R							R
			不定							0
ADREGAH	AD result register A High	12B5H	ADRA9	ADRA8	ADRA7	ADRA6	ADRA5	ADRA4	ADRA3	ADRA2
			R							
			不定							
ADREGBL	AD result register B low	12B6H	ADRB1	ADRB0						ADBRF
			R							R
			不定							0
ADREGBH	AD result register B High	12B7H	ADRB9	ADRB8	ADRB7	ADRB6	ADRB5	ADRB4	ADRB3	ADRB2
			R							
			不定							

(12) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT Mode register	1300H	WDTE	WDTP1	WDTP0		－	I2WDT	RESCR	－
			R/W				R/W			
			1	0	0		0	0	0	0
			WDT 制御 1: 許可	WDT 検出時間の選択 00: 2 ¹⁵ /f _{SYS} 01: 2 ¹⁷ /f _{SYS} 10: 2 ¹⁹ /f _{SYS} 11: 2 ²¹ /f _{SYS}			“0” をライ トしてく ださい。	IDLE2 0: 停止 1: 動作	1: リセット 端子に WDT 出 力を内部 接続	“0” をライ トしてく ださい。
WDCR	WDT Control register	1301H (RMW 禁)	－							
			W							
			－							
			B1H: WDT 禁止コード				4EH: WDT クリアコード			

(13) 時計用タイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
RTCCR	RTC control register	1310H	—					RTCSEL1	RTCSEL0	RTCRUN
			R/W					R/W		
			0					0	0	0
			“0” をライトしてください。					00: $2^{14}/f_S$ 01: $2^{13}/f_S$ 10: $2^{12}/f_S$ 11: $2^{11}/f_S$	0: 停止&クリア 1: 起動	

(14) キーオンウェイクアップ

記号	名称	アドレス	7	6	5	4	3	2	1	0
KIEN	KEY input enable setting register	13A0H (RMW 禁)	KI7EN	KI6EN	KI5EN	KI4EN	KI3EN	KI2EN	KI1EN	KI0EN
			W							
			0	0	0	0	0	0	0	0
			KI7 入力 0: 禁止 1: 許可	KI6 入力 0: 禁止 1: 許可	KI5 入力 0: 禁止 1: 許可	KI4 入力 0: 禁止 1: 許可	KI3 入力 0: 禁止 1: 許可	KI2 入力 0: 禁止 1: 許可	KI1 入力 0: 禁止 1: 許可	KI0 入力 0: 禁止 1: 許可
KICR	KEY input Control register	13A1H (RMW 禁)	KI7EDGE	KI6DGE	KI5EDGE	KI4EDGE	KI3EDGE	KI2EDGE	KI1EDGE	KI0EDGE
			W							
			0	0	0	0	0	0	0	0
			KI7 エッジ 0: 立ち上がり 1: 立ち下がり	KI6 エッジ 0: 立ち上がり 1: 立ち下がり	KI5 エッジ 0: 立ち上がり 1: 立ち下がり	KI4 エッジ 0: 立ち上がり 1: 立ち下がり	KI3 エッジ 0: 立ち上がり 1: 立ち下がり	KI2 エッジ 0: 立ち上がり 1: 立ち下がり	KI1 エッジ 0: 立ち上がり 1: 立ち下がり	KI0 エッジ 0: 立ち上がり 1: 立ち下がり

(15) プログラム訂正機能 (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
ROMCMP00	Address compare register 00	1400H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
			W							
			0	0	0	0	0	0		
			修正 ROM アドレス (下位 6 ビット)							
ROMCMP01	Address compare register 01	1401H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)							
ROMCMP02	Address compare register 02	1402H (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)							
ROMSUB0LL	Address substitution register 0LL	1404H (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB0LH	Address substitution register 0LH	1405H (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMSUB0HL	Address substitution register 0HL	1406H (RMW 禁)	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB0HH	Address substitution register 0HH	1407H (RMW 禁)	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMCMP10	Address compare register 10	1408H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
			W							
			0	0	0	0	0	0		
			修正 ROM アドレス (下位 6 ビット)							
ROMCMP11	Address compare register 11	1409H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)							
ROMCMP12	Address compare register 12	140AH (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)							
ROMSUB1LL	Address substitution register 1LL	140CH (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB1LH	Address substitution register 1LH	140DH (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMSUB1HL	Address substitution register 1HL	140EH (RMW 禁)	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB1HH	Address substitution register 1HH	140FH (RMW 禁)	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							

プログラム訂正機能 (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
ROMCMP20	Address compare register 20	1410H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
			W							
			0	0	0	0	0	0		
			修正 ROM アドレス (下位 6 ビット)							
ROMCMP21	Address compare register 21	1411H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)							
ROMCMP22	Address compare register 22	1412H (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)							
ROMSUB2LL	Address substitution register 2LL	1414H (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB2LH	Address substitution register 2LH	1415H (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMSUB2HL	Address substitution register 2HL	1416H (RMW 禁)	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB2HH	Address substitution register 2HH	1417H (RMW 禁)	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMCMP30	Address compare register 30	1418H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
			W							
			0	0	0	0	0	0		
			修正 ROM アドレス (下位 6 ビット)							
ROMCMP31	Address compare register 31	1419H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)							
ROMCMP32	Address compare register 32	141AH (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)							
ROMSUB3LL	Address substitution register 3LL	141CH (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB3LH	Address substitution register 3LH	141DH (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMSUB3HL	Address substitution register 3HL	141EH (RMW 禁)	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB3HH	Address substitution register 3HH	141FH (RMW 禁)	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							

プログラム訂正機能 (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
ROMCMP40	Address compare register 40	1420H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
			W							
			0	0	0	0	0	0		
			修正 ROM アドレス (下位 6 ビット)							
ROMCMP41	Address compare register 41	1421H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)							
ROMCMP42	Address compare register 42	1422H (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)							
ROMSUB4LL	Address substitution register 4LL	1424H (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB4LH	Address substitution register 4LH	1425H (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMSUB4HL	Address substitution register 4HL	1426H (RMW 禁)	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB4HH	Address substitution register 4HH	1427H (RMW 禁)	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMCMP50	Address compare register 50	1428H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
			W							
			0	0	0	0	0	0		
			修正 ROM アドレス (下位 6 ビット)							
ROMCMP51	Address compare register 51	1429H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)							
ROMCMP52	Address compare register 52	142AH (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)							
ROMSUB5LL	Address substitution register 5LL	142CH (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB5LH	Address substitution register 5LH	142DH (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMSUB5HL	Address substitution register 5HL	142EH (RMW 禁)	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB5HH	Address substitution register 5HH	142FH (RMW 禁)	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							

プログラム訂正機能 (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
ROMCMP60	Address compare register 60	1430H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
			W							
			0	0	0	0	0	0		
			修正 ROM アドレス (下位 6 ビット)							
ROMCMP61	Address compare register 61	1431H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)							
ROMCMP62	Address compare register 62	1432H (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)							
ROMSUB6LL	Address substitution register 6LL	1434H (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB6LH	Address substitution register 6LH	1435H (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMSUB6HL	Address substitution register 6HL	1436H (RMW 禁)	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB6HH	Address substitution register 6HH	1437H (RMW 禁)	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMCMP70	Address compare register 70	1438H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02		
			W							
			0	0	0	0	0	0		
			修正 ROM アドレス (下位 6 ビット)							
ROMCMP71	Address compare register 71	1439H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)							
ROMCMP72	Address compare register 72	143AH (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
			W							
			0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)							
ROMSUB7LL	Address substitution register 7LL	143CH (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB7LH	Address substitution register 7LH	143DH (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							
ROMSUB7HL	Address substitution register 7HL	143EH (RMW 禁)	ROMS23	ROMS22	ROMS21	ROMS20	ROMS19	ROMS18	ROMS17	ROMS16
			W							
			0	0	0	0	0	0	0	0
			置換データ (下位 8 ビット)							
ROMSUB7HH	Address substitution register 7HH	143FH (RMW 禁)	ROMS31	ROMS30	ROMS29	ROMS28	ROMS27	ROMS26	ROMS25	ROMS24
			W							
			0	0	0	0	0	0	0	0
			置換データ (上位 8 ビット)							

6. ポート部等価回路図

■ 回路図の見方

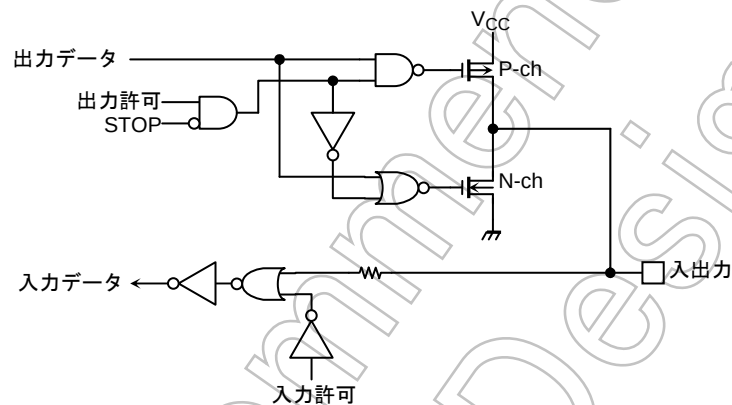
基本的に、標準 CMOS ロジック IC「74HC××」シリーズと同じゲート記号を使って書かれています。

信号名の中で、特殊なものについては、下記に示します。

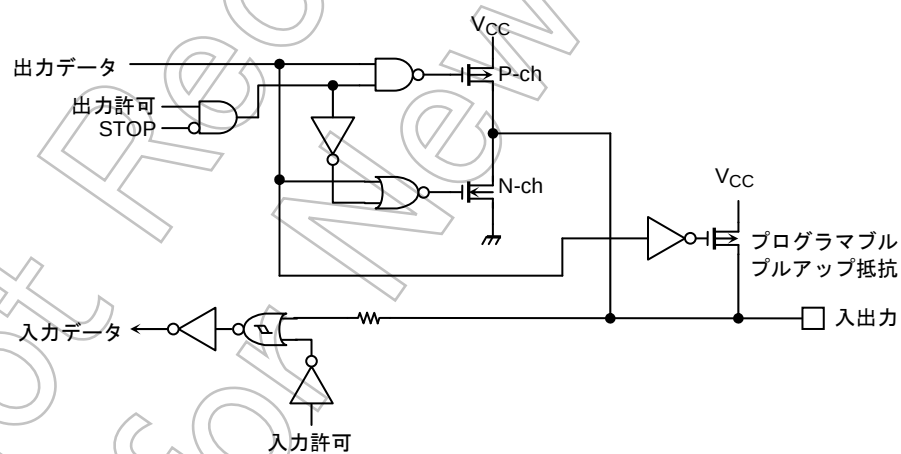
STOP: この信号は、HALT モード設定レジスタを STOP モード (SYSCR2<HALTM1:0> = “0”, “1”) にして、CPU が HALT 命令を実行したとき、アクティブ “1” になります。ただし、ドライブイネーブルビット WDMOD<DRVE>が “1” にセットされているとき、STOP は “0” のままです。

入力保護抵抗は、数十Ω~数百Ω程度です。

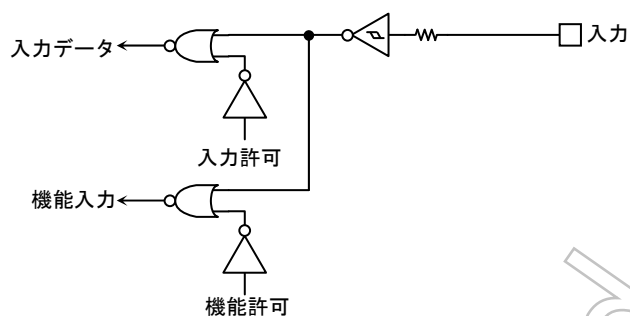
■ P0 (D0~D7), P1 (D8~D15), P4 (A0~A7), P5 (A8~A15), P6 (A16~A23)



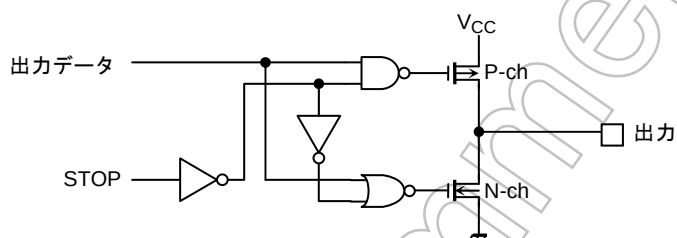
■ P70 ($\overline{\text{RD}}$), P71 ($\overline{\text{SRWR}}$), P72 ($\overline{\text{SRLLEB}}$), P73 ($\overline{\text{SRLUB}}$)



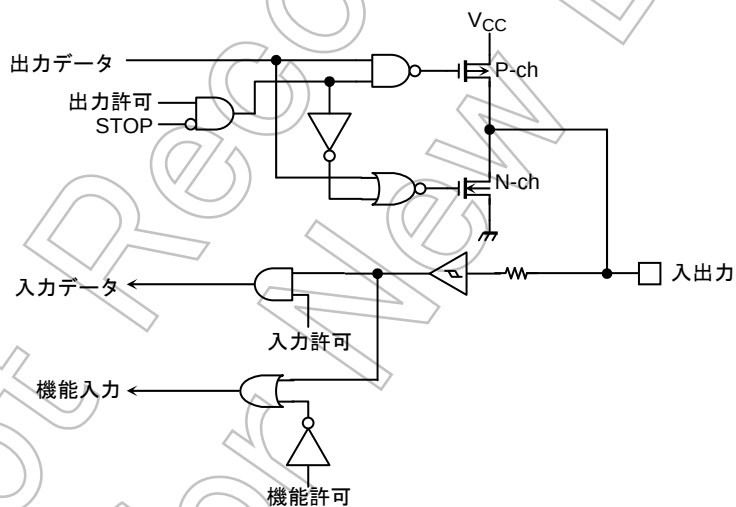
■ P74 (INT0), PC1~PC3 (INT1~INT3)



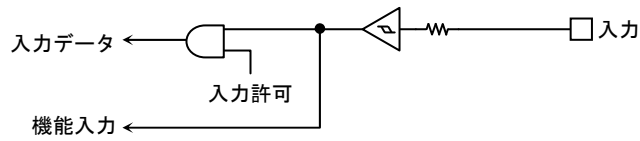
■ P80 ($\overline{CS0}$, TA1OUT), P81 ($\overline{CS1}$, TA3OUT), P82 ($\overline{CS2}$)



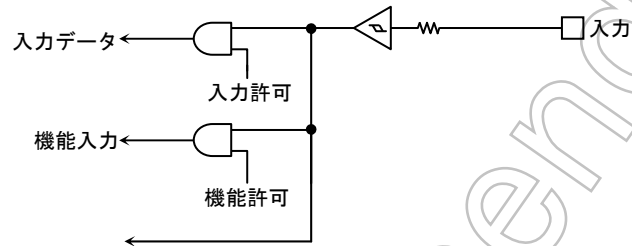
■ P83 ($\overline{CS3}$, $\overline{WAIT}$, TA5OUT), PD0 (INT4, TB0OUT)



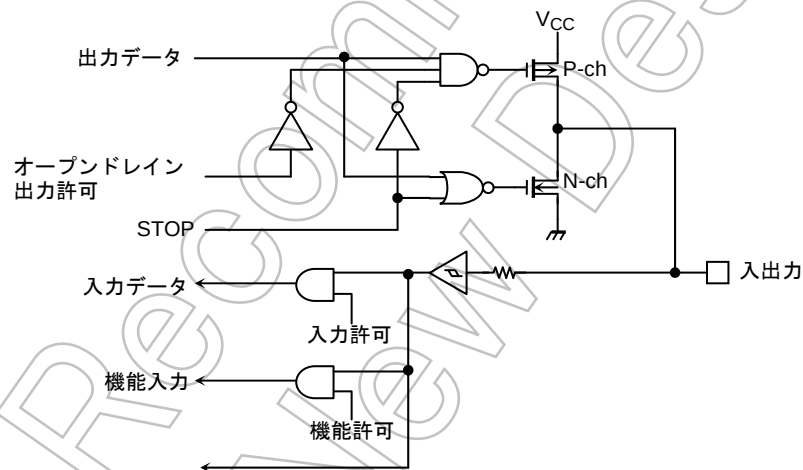
■ PC0 (TA0IN)



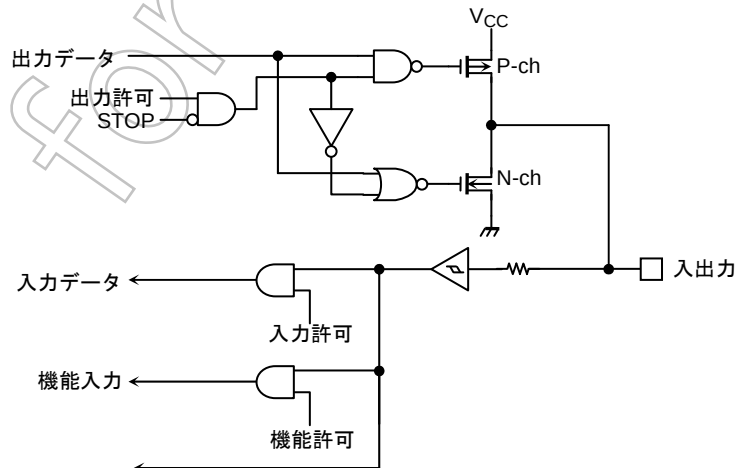
■ PD1 (INT5, TB1IN0), PD3 (INT7, TB1OUT0, RXD2)



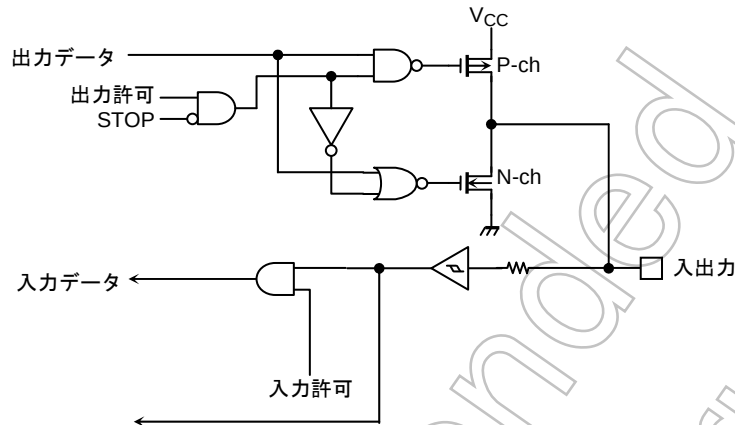
■ PD2 (INT6, TB1IN1, TXD2)



■ PD3 (INT7, TB1OUT0, RXD2)

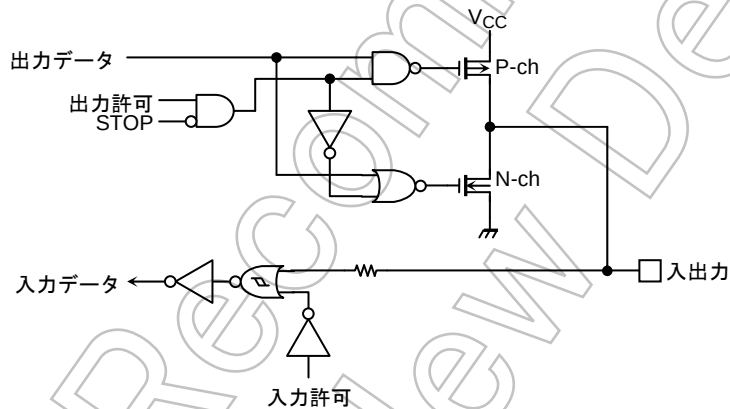


- PD4 (TB1OUT1, SCLK2, $\overline{\text{CTS}}_2$), PF1 (RXD0), PF2 (SCLK0, $\overline{\text{CTS}}_0$, CLK), PF4 (RXD1, HSSI), PF5 (SCLK1, $\overline{\text{CTS}}_1$, HSCLK), PN0 (SCK0), PN3 (SCK1)



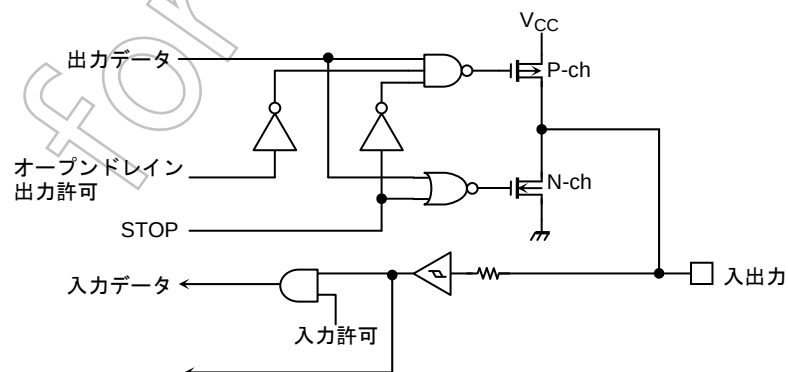
注) HSSI、HSCLK 機能は TMP92CY23 には搭載しておりません。

- PF0 (TXD0), PF3 (TXD1, HSSO)

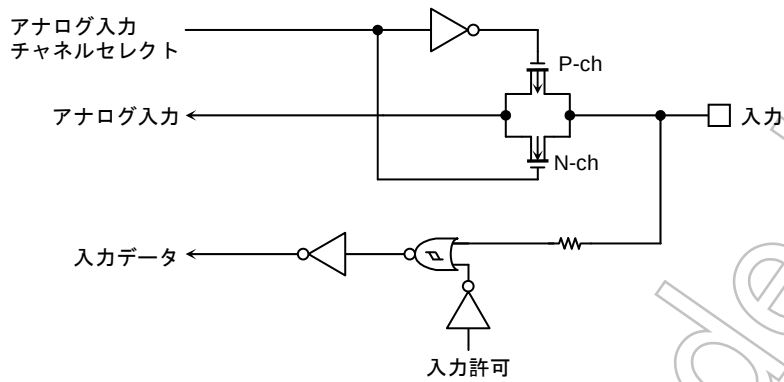


注) HSSO 機能は TMP92CY23 には搭載しておりません。

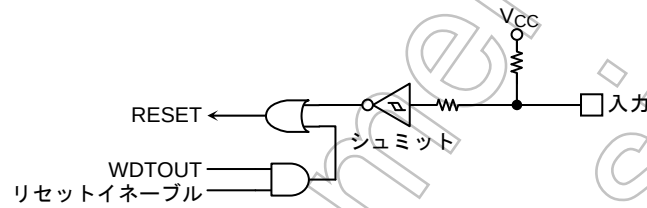
- PN1 (SDA0, SO0), PN2 (SCL0, SI0), PN4 (SDA1, SO1), PN5 (SCL1, SI1)



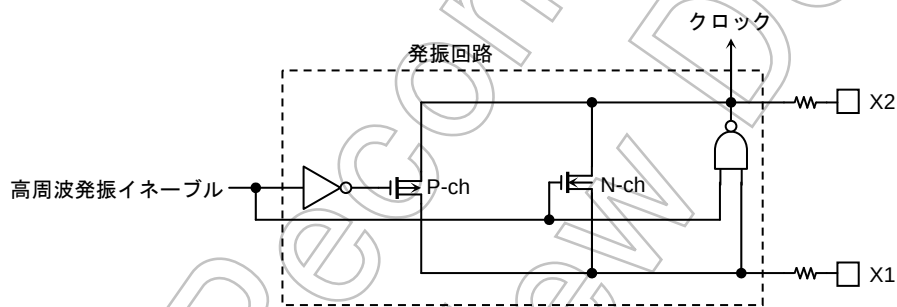
■ PG (AN0~AN7), PL (AN8~AN11)



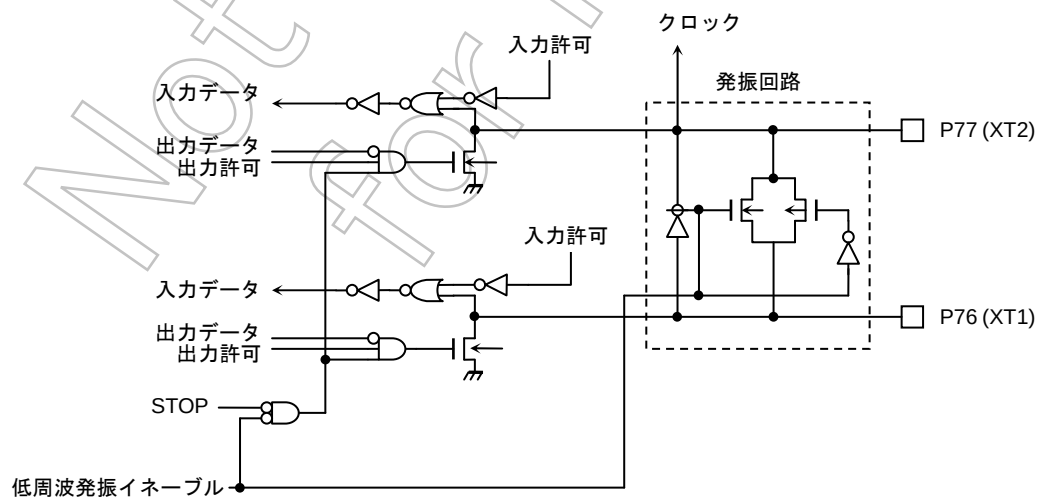
■ $\overline{\text{RESET}}$

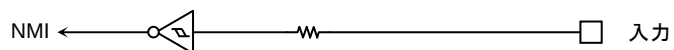


■ X1, X2

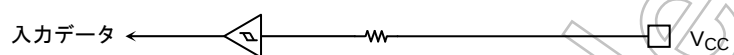


■ P76 (XT1), P77 (XT2)



■ $\overline{\text{NMI}}$ 

■ AM0~AM1



Not Recommended
for New Design

7. 使用上の注意、制限事項

(1) 特別な表記、言葉の説明

1. 内蔵 I/O レジスタの説明: レジスタシンボル<Bit symbol>

例) TA01RUN<TA0RUN>: レジスタ TA01RUN のビット TA0RUN を示します。

2. リードモディファイライト命令 (RMW)

CPU が、1つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例 1) SET 3, (TA01RUN) …TA01RUN レジスタのビット 3 をセットする

例 2) INC 1, (100H) …アドレス 100H のデータを +1 する

• TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術命令

ADD (mem), R/#

ADC (mem), R/#

SUB (mem), R/#

SBC (mem), R/#

INC #3, (mem)

DEC #3, (mem)

論理演算

AND (mem), R/#

OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem)

RES #3, (mem)

SET #3, (mem)

CHG #3, (mem)

TSET #3, (mem)

ローテイト、シフト

RLC (mem)

RRC (mem)

RL (mem)

RR (mem)

SLA (mem)

SRA (mem)

SLL (mem)

SRL (mem)

RLD (mem)

RRD (mem)

3. fOSCH, fc, fFPH, fSYS および 1 ステート

X1, X2 端子より入力されるクロック周波数を fOSCH、PLLCR<FCSEL>により選択されるクロック周波数を fc と呼びます。

また、SYSCR1<SYSCK>により選択されるクロック周波数を fFPH、fFPH を 2 分周して得られたクロック周波数をシステムクロック fSYS と呼びます。

この fSYS の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a) AM0, AM1 端子

これらの端子は、V_{CC} (電源レベル) または V_{SS} (グランドレベル) に接続します。動作中は接続されている電位を変更しないでください。

b) アドレス空間の予約領域

FFFFFF0H~FFFFFFFH の 16 バイト空間は内部エリアとして予約されているため使用できません。上記 16 バイト空間については、データを設定しないか、全てデータ“FF”に設定した ROM データ (Hex ファイル) をご用意いただき、ROM データエントリシステムに登録して下さい。

また、エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータの制御のために使用されるため、その空間を使用することができません。

c) スタンバイモード (IDLE1)

IDLE1 モード (発振回路のみ操作) に設定し、HALT 命令を実行した場合、内蔵の時計用タイマは動作イネーブル状態です。時計用タイマの制御レジスタ RTCCR<RTCRUN> を “0” にして止めてください。

d) ウォームアップタイマ

外部発振器を用いるシステムでも、STOP モードが解除されるとウォームアップタイマは動作を始めます。結果として、解除要求入力からシステムクロックが出力されるまでの間にはウォームアップ時間と同じだけの時間がかかります。

e) ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作状態となっていますので、ウォッチドッグタイマを使用しない場合は動作禁止に設定してください。

f) AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能がありますので、STOP モードなどで消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

g) CPU (マイクロ DMA)

“LDC cr, r” 命令、および “LDC r, cr” 命令だけが CPU 内の制御レジスタとのアクセスに利用できます (DMASn レジスタなど)。

h) 未定義 SFR ビット

SFR (Special function register) の未定義ビットの値は、読み出すと「不定」が読み出されます。

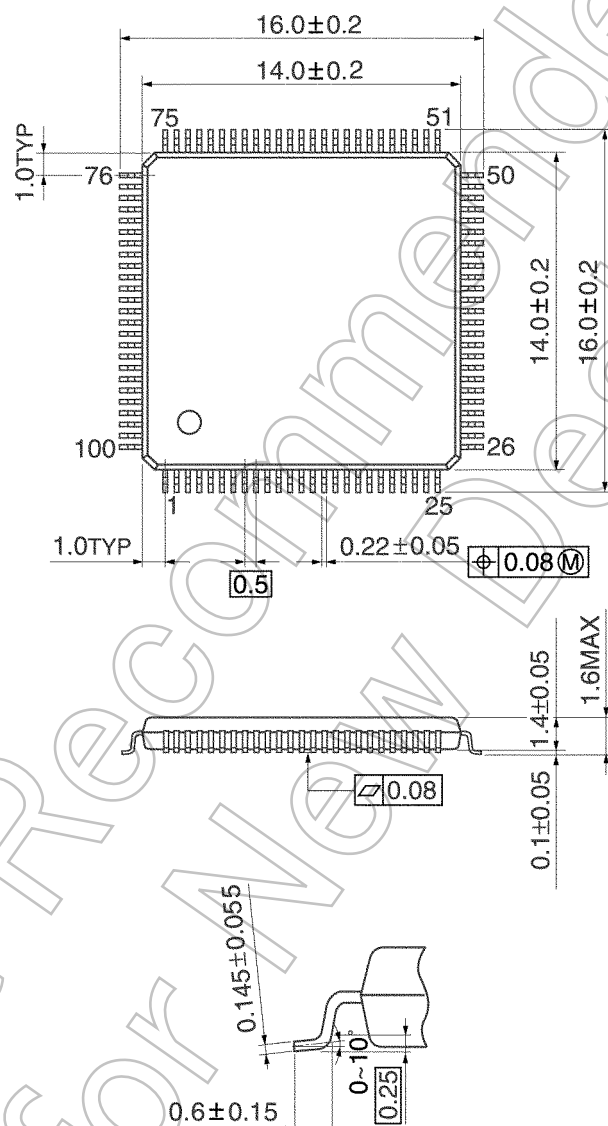
i) 「POP SR」命令

「POP SR」命令の実行は、DI (割込み不許可) 状態で行ってください。

j) 割り込み

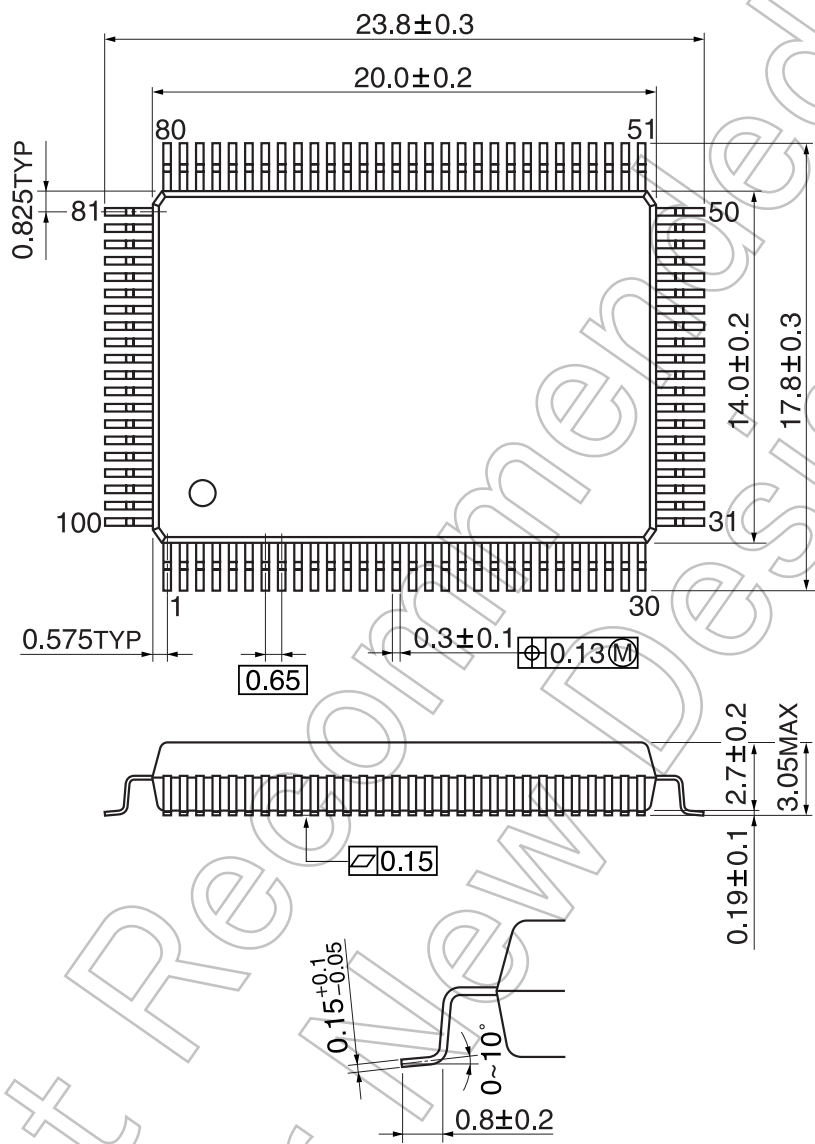
割り込みを使用する場合は、必ず SIMC レジスタのビット 7 に “1” をライトしてください。

Unit: mm



QFP100- P-1420-0.65A

Unit: mm



製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。当社は、適用可否に対する責任は負いません。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途書面による契約がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本製品および技術情報に関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。