

TOSHIBA

東芝 オリジナル CMOS 32 ビット マイクロコントローラ

TLCS-900/H1 シリーズ

TMP92CM27

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社 32 ビットマイクロコントローラ TLCS-900/H1 シリーズ、TMP92CM27 をご利用いただき、誠にありがとうございます。

本 L S I をご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願い致します。

Not Recommended
for New Design

CMOS 32 ビット マイクロコントローラ

TMP92CM27FG

1. 概要と特長

TMP92CM27 は、東芝オリジナル CPU TLCS-900/H1 をコアに採用し、高速にデータ処理を必要とする各種組み込み用制御機器向けに開発した、高性能 32 ビットマイクロコントローラです。

TMP92CM27FG は 144 ピンフラットパッケージ製品です。

TMP92CM27 の特長は次のとおりです。

- (1) オリジナル高速 32 ビット CPU (TLCS-900/H1 CPU 使用)
 - TLCS-900, TLCS-900/L, TLCS-900/H, TLCS-900/L1 と命令コード完全互換
 - 16M バイトのリニアアドレス空間
 - 汎用レジスタ & レジスタバンク方式
 - マイクロDMA : 8 チャンネル (250nS/4 バイト@40MHz)
- (2) 最小命令実行時間 : 50nS(@40MHz)
- (3) 内蔵 RAM : 32K バイト(32 ビット 1 クロックアクセス、プログラム実行可能)
内蔵 ROM : なし
- (4) 外部メモリ拡張
 - 16M バイト (プログラム、データエリア) まで拡張可能
 - 外部データバス 8/16 ビット幅共存可能
…ダイナミックデータバスサイジング
 - セパレートバス システム
- (5) メモリコントローラ
 - チップセレクト出力 : 6 チャンネル
- (6) 8 ビットタイマ : 8 チャンネル
- (7) 16 ビットタイマ : 6 チャンネル

030519TBP1

- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いいたします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。



Purchase of TOSHIBA I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, Provided that the system conforms to the I²C Standard Specification as defined by Philips.

- (8) パターンジェネレータ : 2 チャンネル
- (9) 汎用シリアルインタフェース : 4 チャンネル
 - UART/同期両モード対応 : 4 チャンネル
 - IrDA ver1.0 (115.2kbps) 対応モード選択可能 : 1 チャンネル
- (10) シリアルバスインタフェース : 2 チャンネル
 - I²Cバスモード
 - クロック同期モード
- (11) 高速シリアルインタフェース(同期式) : 2 チャンネル
- (12) SDRAMコントローラ : 1 チャンネル
 - 16Mおよび 64Mbit の SDR (Single-data-rate) SDRAM に対応
 - データ RAM としてだけでなく、SDRAM から直接プログラムの動作が可能
- (13) 10ビットADコンバータ : 12 チャンネル
- (14) 8ビットDAコンバータ : 2 チャンネル
- (15) ウォッチドッグタイマ
- (16) キーオンウェイクアップ : 8 チャンネル (HALT 解除機能のみ。キー入力割込みはありません)
- (17) 割り込み機能:71 本
 - CPU 9 本 …… ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 49 本 …… 7 レベルの優先順位の設定が可能。
兼用されている割り込み要因 (INTTA5/INT8,INTTA7/INT9,
INTTB30/INTTB31,INTTB40/INTTB41,INTTB50/INTTB51) があります。
詳細は、3.4 章を参照ねがいます。
 - 外部 13 本(INT0~INTB,NMI) …… INT0~INTB は 7 レベルの優先順位の設定が可能で、
エッジまたはレベル割り込みの選択が可能です。
- (18) バス開放機能(BUSRQ, BUSAK)
- (19) 入出力ポート: 83 端子
- (20) スタンバイ機能
3 種類の HALT モード ……IDLE2(プログラマブル), IDLE1, STOP
- (21) クロック制御機能
 - クロック逓倍回路 (PLL) を内蔵
 - クロックギア機能 : 高周波クロック $f_c \sim f_c/16$ まで切り替え可能
- (22) 動作電圧
 - $V_{cc} = 3.0 \sim 3.6 \text{ V}$ ($f_c \text{ max} = 40 \text{ MHz}$)
- (23) パッケージ
 - 144 ピン QFP : P-LQFP144-1616-0.40C

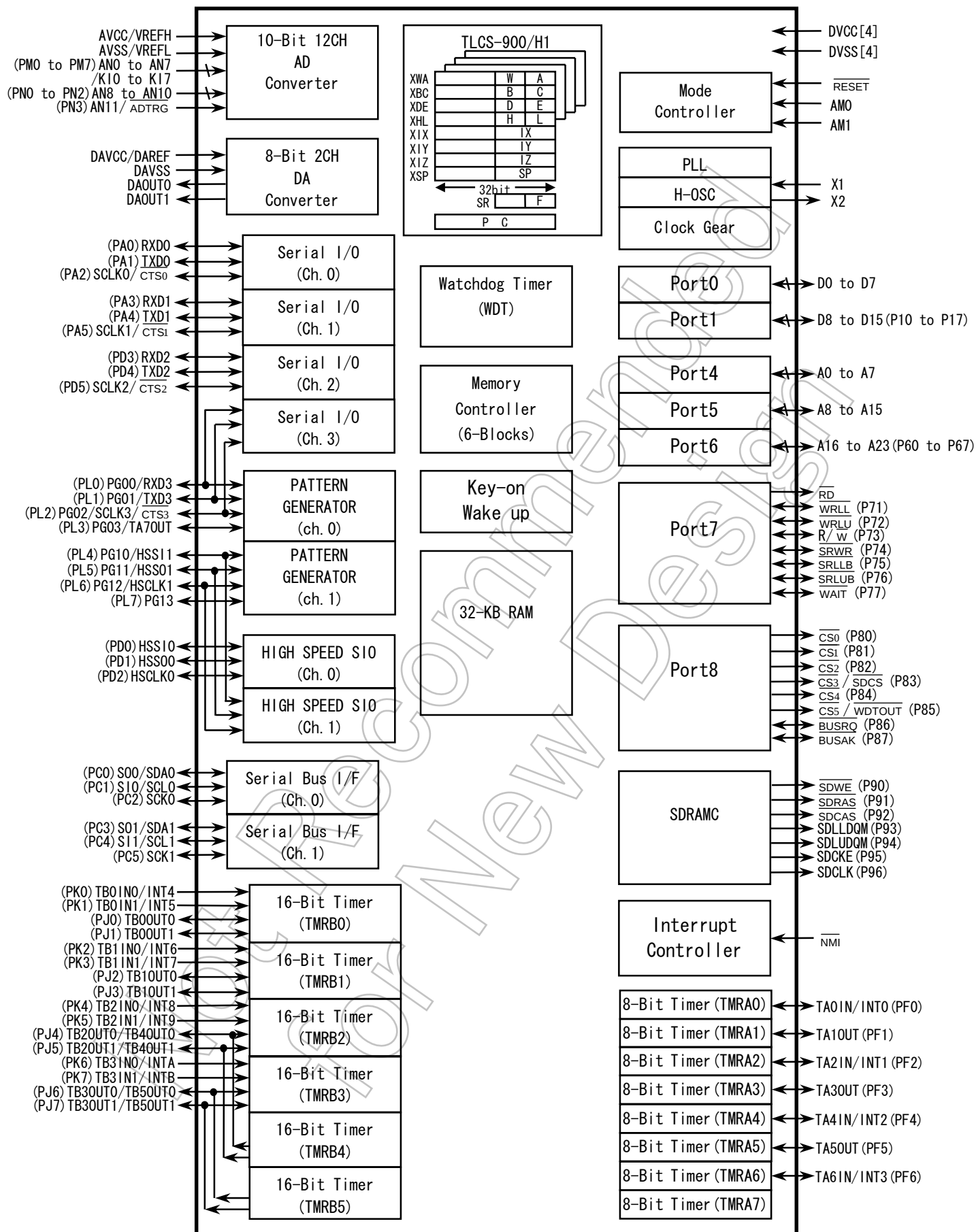


図 1.1 TMP92CM27 ブロック図

2. ピン配置とピン機能

TMP92CM27 のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP92CM27FG ピン配置図は、図 2.1.1のとおりです。

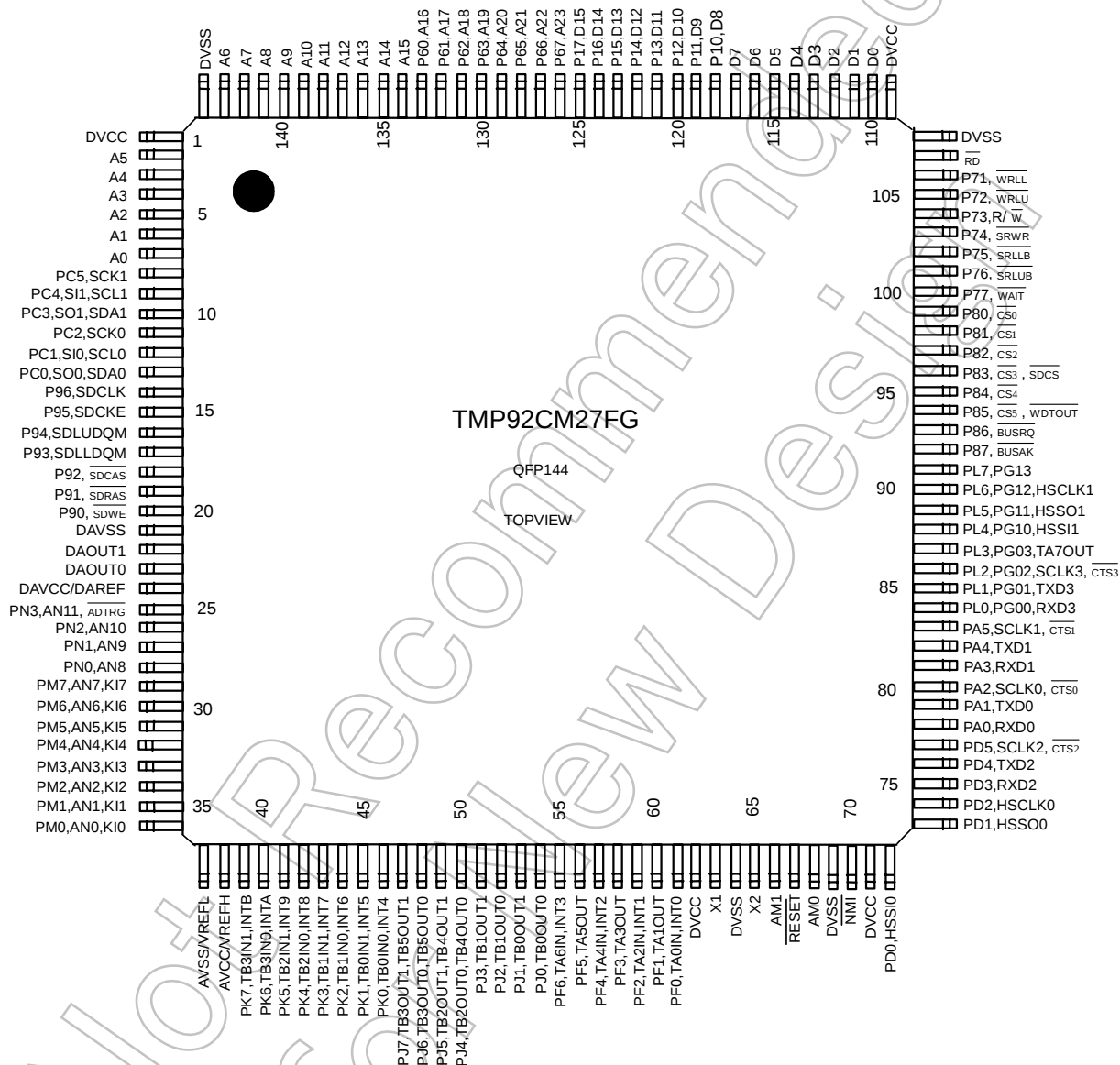


図 2.1.1 ピン配置図 (144 ピン LQFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は次のとおりです。

表 2.2.1 ピン名称と機能(1/5)

ピン名称	ピン数	入出力	機能
D0 ~ D7	8	入出力	データ(下位): データバス D0~D7
P10 ~ P17 D8 ~ D15	8	入出力 入出力	ポート 1: ビット単位で入出力の設定可能な入出力ポート データ(上位): データバス D8~D15
A0 ~ A7	8	出力	アドレス: アドレスバス A0~A7
A8 ~ A15	8	出力	アドレス: アドレスバス A8~A15
P60 ~ P67 A16 ~ A23	8	入出力 出力	ポート 6: 入出力ポート アドレス: アドレスバス A16~A23
$\overline{RD}$	1	出力	リード: 外部メモリをリードするためのストローブ信号 (プルアップ抵抗付き)
P71 $\overline{WRLL}$	1	入出力 出力	ポート 71: 入出力ポート (シュミット入力, プルアップ抵抗付き) ライト: D0~D7 端子のデータをライトするためのストローブ信号
P72 $\overline{WRLU}$	1	入出力 出力	ポート 72: 入出力ポート (シュミット入力, プルアップ抵抗付き) 上位ライト: D8~D15 端子のデータをライトするためのストローブ信号
P73 R/W	1	入出力 出力	ポート 73: 入出力ポート (シュミット入力) リード/ライト: 1はリード, ダミーサイクルを、0はライトサイクルを表す
P74 $\overline{SRWR}$	1	入出力 出力	ポート 74: 入出力ポート (シュミット入力, プルアップ抵抗付き) SRAM用ライトイネーブル: データ書き込み用ストローブ信号
P75 $\overline{SRLLB}$	1	入出力 出力	ポート 75: 入出力ポート (シュミット入力, プルアップ抵抗付き) D0~D7 端子の SRAM 用データイネーブル
P76 $\overline{SRLUB}$	1	入出力 出力	ポート 76: 入出力ポート (シュミット入力, プルアップ抵抗付き) D8~D15 端子の SRAM 用データイネーブル
P77 $\overline{WAIT}$	1	入出力 入力	ポート 77: 入出力ポート (シュミット入力) ウェイト: バスウェイトの要求入力端子
P80 $\overline{CS0}$	1	出力 出力	ポート 80: 出力ポート チップセレクト 0: アドレスが指定したアドレス領域内なら“0”を出力
P81 $\overline{CS1}$	1	出力 出力	ポート 81: 出力ポート チップセレクト 1: アドレスが指定したアドレス領域内なら“0”を出力
P82 $\overline{CS2}$	1	出力 出力	ポート 82: 出力ポート チップセレクト 2: アドレスが指定したアドレス領域内なら“0”を出力
P83 $\overline{CS3}$ $\overline{SDCS}$	1	出力 出力 出力	ポート 83: 出力ポート チップセレクト 3: アドレスが指定したアドレス領域内なら“0”を出力 SDRAM チップセレクト: アドレスが SDRAM アドレス領域内なら“0”を出力
P84 $\overline{CS4}$	1	出力 出力	ポート 84: 出力ポート チップセレクト 4: アドレスが指定したアドレス領域内なら“0”を出力
P85 $\overline{CS5}$ $\overline{WDTOUT}$	1	出力 出力 出力	ポート 85: 出力ポート チップセレクト 5: アドレスが指定したアドレス領域内なら“0”を出力 ウォッチドッグタイマ出力
P86 $\overline{BUSRQ}$	1	入出力 入力	ポート 86: 入出力ポート (シュミット入力) バスリクエスト: 外部メモリバスをハイインピーダンスにすることを要求する端子 (外付け DMAC 用)
P87 $\overline{BUSAK}$	1	入出力 出力	ポート 87: 入出力ポート (シュミット入力) バスアクノリッジ: $\overline{BUSRQ}$ を受けて外部メモリバス端子が、ハイインピーダンスになったことを示す端子 (外付け DMAC 用)

表 2.2.2 ピン名称と機能(2/5)

ピン名称	ピン数	入出力	機能
P90 SDWE	1	出力 出力	ポート 90: 出力ポート SDRAM 用ライトイネーブル
P91 SDRAS	1	出力 出力	ポート 91: 出力ポート SDRAM 用ロウアドレスストロブ
P92 SDCAS	1	出力 出力	ポート 92: 出力ポート SDRAM 用カラムアドレスストロブ
P93 SDLLDQM	1	出力 出力	ポート 93: 出力ポート D0~D7 端子の SDRAM 用データイネーブル
P94 SDLUDQM	1	出力 出力	ポート 94: 出力ポート D8~D15 端子の SDRAM 用データイネーブル
P95 SDCKE	1	出力 出力	ポート 95: 出力ポート SDRAM 用クロックイネーブル
P96 SDCLK	1	出力 出力	ポート 96: 出力ポート SDRAM 用クロック
PA0 RXD0	1	入出力 入力	ポート A0: 入出力ポート (シュミット入力) シリアル受信データ 0
PA1 TXD0	1	入出力 出力	ポート A1: 入出力ポート (シュミット入力) シリアル送信データ 0: プログラムによりオープンドレイン出力可能
PA2 SCLK0 CTS0	1	入出力 入出力 入力	ポート A2: 入出力ポート (シュミット入力) シリアルクロック入出力 0 シリアルデータ送信可能 0 (Clear To Send)
PA3 RXD1	1	入出力 入力	ポート A3: 入出力ポート (シュミット入力) シリアル受信データ 1
PA4 TXD1	1	入出力 出力	ポート A4: 入出力ポート (シュミット入力) シリアル送信データ 1: プログラムによりオープンドレイン出力可能
PA5 SCLK1 CTS1	1	入出力 入出力 入力	ポート A5: 入出力ポート (シュミット入力) シリアルクロック入出力 1 シリアルデータ送信可能 1 (Clear To Send)
PC0 SO0 SDA0	1	入出力 出力 入出力	ポート C0: 入出力ポート (シュミット入力) シリアルバスインターフェース 0 の SIO モード時のデータ送信端子 シリアルバスインターフェース 0 の I ² C モード時のデータ送受信端子 プログラムによりオープンドレイン出力可能
PC1 SI0 SCL0	1	入出力 入力 入出力	ポート C1: 入出力ポート (シュミット入力) シリアルバスインターフェース 0 の SIO モード時のデータ受信端子 シリアルバスインターフェース 0 の I ² C モード時のクロック入出力端子 プログラムによりオープンドレイン出力可能
PC2 SCK0	1	入出力 入出力	ポート C2: 入出力ポート (シュミット入力) シリアルバスインターフェース 0 の SIO モード時のクロック入出力端子
PC3 SO1 SDA1	1	入出力 出力 入出力	ポート C3: 入出力ポート (シュミット入力) シリアルバスインターフェース 1 の SIO モード時のデータ送信端子 シリアルバスインターフェース 1 の I ² C モード時のデータ送受信端子 プログラムによりオープンドレイン出力可能
PC4 SI1 SCL1	1	入出力 入力 入出力	ポート C4: 入出力ポート (シュミット入力) シリアルバスインターフェース 1 の SIO モード時のデータ受信端子 シリアルバスインターフェース 1 の I ² C モード時のクロック入出力端子 プログラムによりオープンドレイン出力可能
PC5 SCK1	1	入出力 入出力	ポート C5: 入出力ポート (シュミット入力) シリアルバスインターフェース 1 の SIO モード時のクロック入出力端子

表 2.2.3 ピン名称と機能(3/5)

ピン名称	ピン数	入出力	機能
PD0 HSSI0	1	入出力 入力	ポート D0: 入出力ポート 高速シリアル受信データ 0
PD1 HSS00	1	入出力 出力	ポート D1: 入出力ポート (シュミット入力) 高速シリアル送信データ 0
PD2 HSCLK0	1	入出力 出力	ポート D2: 入出力ポート (シュミット入力) 高速シリアルクロック出力 0
PD3 RXD2	1	入出力 入力	ポート D3: 入出力ポート (シュミット入力) シリアル受信データ 2
PD4 TXD2	1	入出力 出力	ポート D4: 入出力ポート (シュミット入力) シリアル送信データ 2: プログラムによりオープンドレイン出力可能
PD5 SCLK2 CTS2	1	入出力 入出力 入力	ポート D5: 入出力ポート (シュミット入力) シリアルクロック入出力 2 シリアルデータ送信可能 2 (Clear To Send)
PF0 TA0IN INT0	1	入出力 入力 入力	ポート F0: 入出力ポート (シュミット入力) 8bit タイマ 0 入力: 8bit タイマ TMRA0 の入力端子 割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PF1 TA1OUT	1	入出力 出力	ポート F1: 入出力ポート (シュミット入力) 8bit タイマ 1 出力: 8bit タイマ TMRA0 または TMRA1 の出力端子
PF2 TA2IN INT1	1	入出力 入力 入力	ポート F2: 入出力ポート (シュミット入力) 8bit タイマ 2 入力: 8bit タイマ TMRA2 の入力端子 割り込み要求端子 1: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PF3 TA3OUT	1	入出力 出力	ポート F3: 入出力ポート (シュミット入力) 8bit タイマ 3 出力: 8bit タイマ TMRA2 または TMRA3 の出力端子
PF4 TA4IN INT2	1	入出力 入力 入力	ポート F4: 入出力ポート (シュミット入力) 8bit タイマ 4 入力: 8bit タイマ TMRA4 の入力端子 割り込み要求端子 2: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PF5 TA5OUT	1	入出力 出力	ポート F5: 入出力ポート (シュミット入力) 8bit タイマ 5 出力: 8bit タイマ TMRA4 または TMRA5 の出力端子
PF6 TA6IN INT3	1	入出力 入力 入力	ポート F6: 入出力ポート (シュミット入力) 8bit タイマ 6 入力: 8bit タイマ TMRA6 の入力端子 割り込み要求端子 3: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PJ0 TB0OUT0	1	入出力 出力	ポート J0: 入出力ポート (シュミット入力) 16bit タイマ 0 出力 0: 16bit タイマ TMRB0 の出力端子
PJ1 TB0OUT1	1	入出力 出力	ポート J1: 入出力ポート (シュミット入力) 16bit タイマ 0 出力 1: 16bit タイマ TMRB0 の出力端子
PJ2 TB1OUT0	1	入出力 出力	ポート J2: 入出力ポート (シュミット入力) 16bit タイマ 1 出力 0: 16bit タイマ TMRB1 の出力端子
PJ3 TB1OUT1	1	入出力 出力	ポート J3: 入出力ポート (シュミット入力) 16bit タイマ 1 出力 1: 16bit タイマ TMRB1 の出力端子
PJ4 TB2OUT0 TB4OUT0	1	入出力 出力 出力	ポート J4: 入出力ポート (シュミット入力) 16bit タイマ 2 出力 0: 16bit タイマ TMRB2 の出力端子 16bit タイマ 4 出力 0: 16bit タイマ TMRB4 の出力端子
PJ5 TB2OUT1 TB4OUT1	1	入出力 出力 出力	ポート J5: 入出力ポート (シュミット入力) 16bit タイマ 2 出力 1: 16bit タイマ TMRB2 の出力端子 16bit タイマ 4 出力 1: 16bit タイマ TMRB4 の出力端子
PJ6 TB3OUT0 TB5OUT0	1	入出力 出力 出力	ポート J6: 入出力ポート (シュミット入力) 16bit タイマ 3 出力 0: 16bit タイマ TMRB3 の出力端子 16bit タイマ 5 出力 0: 16bit タイマ TMRB5 の出力端子
PJ7 TB3OUT1 TB5OUT1	1	入出力 出力 出力	ポート J7: 入出力ポート (シュミット入力) 16bit タイマ 3 出力 1: 16bit タイマ TMRB3 の出力端子 16bit タイマ 5 出力 1: 16bit タイマ TMRB5 の出力端子

表 2.2.4 ピン名称と機能(4/5)

ピン名称	ピン数	入出力	機能
PK0 TB0IN0 INT4	1	入力 入力 入力	ポート K0: 入力専用ポート (シュミット入力) 16bit タイマ 0 入力 0: 16bit タイマ TMRB0 のカウント/キャプチャトリガ入力端子 割り込み要求端子 4: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PK1 TB0IN1 INT5	1	入力 入力 入力	ポート K1: 入力専用ポート (シュミット入力) 16bit タイマ 0 入力 1: 16bit タイマ TMRB0 のカウント/キャプチャトリガ入力端子 割り込み要求端子 5: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PK2 TB1IN0 INT6	1	入力 入力 入力	ポート K2: 入力専用ポート (シュミット入力) 16bit タイマ 1 入力 0: 16bit タイマ TMRB1 のカウント/キャプチャトリガ入力端子 割り込み要求端子 6: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PK3 TB1IN1 INT7	1	入力 入力 入力	ポート K3: 入力専用ポート (シュミット入力) 16bit タイマ 1 入力 1: 16bit タイマ TMRB1 のカウント/キャプチャトリガ入力端子 割り込み要求端子 7: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PK4 TB2IN0 INT8	1	入力 入力 入力	ポート K4: 入力専用ポート (シュミット入力) 16bit タイマ 2 入力 0: 16bit タイマ TMRB2 のカウント/キャプチャトリガ入力端子 割り込み要求端子 8: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PK5 TB2IN1 INT9	1	入力 入力 入力	ポート K5: 入力専用ポート (シュミット入力) 16bit タイマ 2 入力 1: 16bit タイマ TMRB2 のカウント/キャプチャトリガ入力端子 割り込み要求端子 9: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PK6 TB3IN0 INTA	1	入力 入力 入力	ポート K6: 入力専用ポート (シュミット入力) 16bit タイマ 3 入力 0: 16bit タイマ TMRB3 のカウント/キャプチャトリガ入力端子 割り込み要求端子 A: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PK7 TB3IN1 INTB	1	入力 入力 入力	ポート K7: 入力専用ポート (シュミット入力) 16bit タイマ 3 入力 1: 16bit タイマ TMRB3 のカウント/キャプチャトリガ入力端子 割り込み要求端子 B: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子
PL0 PG00 RXD3	1	入出力 出力 入力	ポート L0: 入出力ポート (シュミット入力) パターンジェネレータ出力 00 シリアル受信データ 3
PL1 PG01 TXD3	1	入出力 出力 出力	ポート L1: 入出力ポート (シュミット入力) パターンジェネレータ出力 01 シリアル送信データ 3: プログラムによりオープンドレイン出力可能
PL2 PG02 SCLK3 CTS3	1	入出力 出力 入出力 入力	ポート L2: 入出力ポート (シュミット入力) パターンジェネレータ出力 02 シリアルクロック入出力 3 シリアルデータ送信可能 3 (Clear To Send)
PL3 PG03 TA7OUT	1	入出力 出力 出力	ポート L3: 入出力ポート (シュミット入力) パターンジェネレータ出力 03 8bit タイマ 7 出力: 8bit タイマ TMRA6 または TMRA7 の出力端子
PL4 PG10 HSSI1	1	入出力 出力 入力	ポート L4: 入出力ポート パターンジェネレータ出力 10 高速シリアル受信データ 1
PL5 PG11 HSSO1	1	入出力 出力 出力	ポート L5: 入出力ポート (シュミット入力) パターンジェネレータ出力 11 高速シリアル送信データ 1
PL6 PG12 HSCLK1	1	入出力 出力 出力	ポート L6: 入出力ポート (シュミット入力) パターンジェネレータ出力 12 高速シリアルクロック出力 1
PL7 PG13	1	入出力 出力	ポート L7: 入出力ポート (シュミット入力) パターンジェネレータ出力 13

表 2.2.5 ピン名称と機能(5/5)

ピン名称	ピン数	入出力	機能
PM0 ~ PM7 AN0 ~ AN7 KI0 ~ KI7	8	入力	ポート M: 入力専用ポート (シュミット入力) アナログ入力 0~7: AD コンバータ用アナログ入力端子 キー入力 0~7: キーオンウェイクアップ 0~7 用入力端子
PN0 ~ PN3 AN8 ~ AN11 ADTRG	4	入力	ポート N: 入力専用ポート (シュミット入力) アナログ入力 8~11: AD コンバータ用アナログ入力端子 AD トリガ: AD コンバータの外部スタート要求端子 (PN3 と兼用)
NMI	1	入力	ノンマスカブル割り込み要求端子: 立ち下がリエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも割り込み要求可能となります。(シュミット入力)
DAOUT0	1	出力	DA 出力 0: DA コンバータ 0 のアナログ電圧出力端子です
DAOUT1	1	出力	DA 出力 1: DA コンバータ 1 のアナログ電圧出力端子です
AM0, AM1	2	入力	動作モード: AM1="0", AM0="1" 固定 外部 16-ビットバススタート AM1="1", AM0="0" 固定 外部 8-ビットバススタート AM1="1", AM0="1" 固定 設定禁止 AM1="0", AM0="0" 固定 設定禁止
X1 / X2	2	入出力	高周波発振子接続端子
RESET	1	入力	リセット: TMP92CM27 を初期化します。(シュミット入力, プルアップ抵抗付)
AVCC / VREFH	1	入力	AD コンバータ電源端子(AVCC)と AD コンバータ用基準電源(VREFH)共用端子
AVSS / VREFL	1	入力	AD コンバータ電源端子(AVSS(0V))と AD コンバータ用基準電源(VREFL)共用端子
DAVCC / DAREF	1	入力	DA コンバータ電源端子(DAVCC)と DA コンバータ用基準電源(DAREF)共用端子
DAVSS	1	入力	DA コンバータ電源端子(DAVSS(0V))
DVCC	4	-	電源端子(全 DVCC 端子を電源に接続してください)
DVSS	4	-	GND 端子(全 DVSS 端子を GND(0V)に接続してください)

3. 動作説明

ここでは、TMP92CM27 の機能、および基本動作についてブロックごとに説明します。

3.1 CPU

TMP92CM27 は高性能な高速 32 ビットの CPU(TLCS-900/H1 CPU)が内蔵されています。

3.1.1 CPU の概要

「TLCS-900/H1 CPU」は「TLCS-900/L1 CPU」をベースに、より高速処理を可能にするために、内部のデータバス幅を 32 ビットに拡張した高速・高性能な CPU です。

「TLCS-900/H1 CPU」の概要を、表 3.1.1に示します。

表 3.1.1 TMP92CM27 の概要

項目	TMP92CM27	
CPU アドレスバス幅	24 ビット	
CPU データバス幅	32 ビット	
内部動作周波数	最大 20MHz	
最小バスサイクル	1-クロックアクセス(50ns@20MHz)	
内蔵 RAM	32-bit 1-クロック アクセス	
内蔵 I/O	8-bit, 2-クロック アクセス	CGEAR, INTC, PORT, MEMC, TMRA, TMRB, PG, SIO, SBI, SDRAMC, ADC, DAC, WDT
	16-bit, 2-クロック アクセス	HSIO
外部 メモリ (SRAM 等)	8/16-bit 2-クロック アクセス (ウェイト挿入可能)	
外部メモリ (SDRAM)	16-bit 1-クロック アクセス	
最小命令実行サイクル	1-クロック(50ns@20MHz)	
条件付分岐命令	2-クロック(100ns@20MHz)	
命令キューバッファ	12-バイト	
命令セット	TLCS-900/L1 命令コード 互換 (但し、LDX 命令なし)	
CPU モード	マキシマムモードのみ	
マイクロ DMA	8-チャンネル	

3.1.2 リセット動作

TMP92CM27 にリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも 20 システムクロック (16 μ s @ 40MHz)、RESET 入力端子を “Low” レベルにしてください。

リセットで PLL は停止し PLL 出力は非選択となり、クロックギアは 1/16 にセットされます。

よってシステムクロックは 1.25MHz (fc=40MHz) で動作します。

リセットが受け付けられると、CPU は下記の動作を行います。

- プログラムカウンタ “PC” を、メモリ FFFF00H 番地～FFFF02H 番地に格納されているリセットベクタに従い以下に示すようにセットします。
PC(7:0) ← FFFF00H 番地のデータ
PC(15:8) ← FFFF01H 番地のデータ
PC(23:16) ← FFFF02H 番地のデータ
- スタックポインタ XSP を 00000000H にセット
- ステータスレジスタ SR のビット<IFF0 ~ IFF2>を “111” にセット
(割り込みレベルのマスク・レジスタをレベル 7 にセット)
- ステータスレジスタ SR のビット<RFP0, RFP1>を “00” にクリア
(レジスタバンク 0 にセット)

リセットが解除されると、セットされたプログラムカウンタ “PC” に従い、命令のフェッチと実行を開始します。なお、上記以外の CPU 内部のレジスタは変化しません。

またリセットが受け付けられると、内蔵 I/O および入出力ポートおよびその他の端子は、下記に示すように初期化されます。

- 内蔵 I/O のレジスタを初期化
(初期値は、第 5 章「特殊レジスタ一覧表」を参照して下さい。)
- 入出力ポートを汎用入力ポートあるいは出力ポートにセット

RESET 入力端子が “High” になり、リセット解除されると、直ちに内部のリセットが解除されます。パワーオンリセットを採用する場合、電源供給が安定するまでは、メモリコントローラ制御信号が不安定であるため、接続されている外部メモリのバックアップデータが書き換えられる可能性があります。

図 3.1.1 に TMP92CM27 のリセットタイミング動作例を示します。

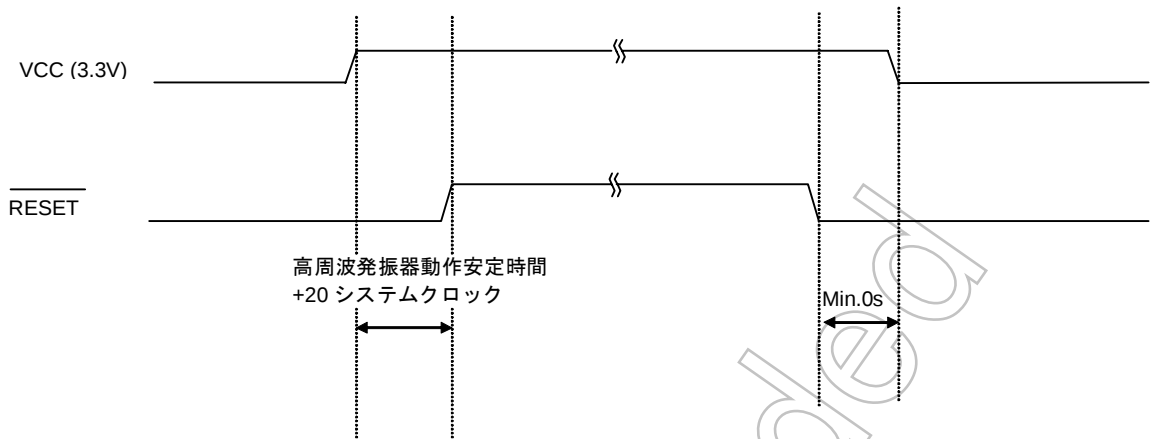


図 3.1.1 リセットタイミング動作例

3.1.3 AM0 および AM1 の設定

AM1 および AM0 端子の設定は 表 3.1.2 のようになります。

表 3.1.2 動作モード セットアップ

動作モード	モード設定入力端子		
	/RESET	AM1	AM0
16-ビット外部バススタート (マルチ 16 モード)		0	1
8-ビット外部バススタート (マルチ 8 モード)		1	0
設定禁止		1	1
(設定禁止)		0	0

3.2 メモリマップ

図 3.2.1は TMP92CM27 のメモリマップ図です。

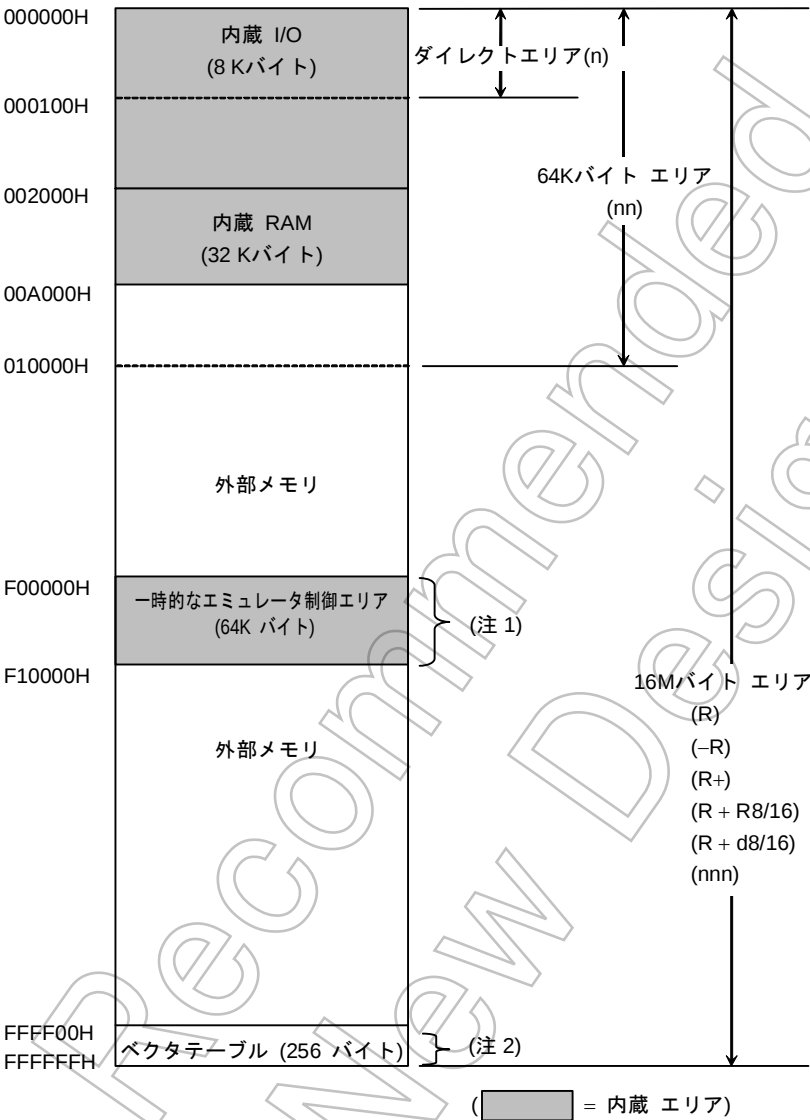


図 3.2.1 メモリマップ

- 注1) エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータ制御のために使用されるので、この空間を使用することができません。また、この空間にアクセスすると、 $\overline{WR}$ 信号と $\overline{RD}$ 信号が動作します。外部メモリ使用の際は注意してください。
- 注2) 最後の 16 バイトの空間 (FFFFFF0H ~ FFFFFFFH 番地) は、内部エリア空間として予約されているため、使用することができません。

3.3 クロック機能およびスタンバイ機能

TMP92CM27 は(1)クロックギア、(2)クロック逡倍回路 (PLL)、(3)スタンバイ制御、(4)ノイズ低減回路などの機能を内蔵しています。これらの機能は低電力かつ低ノイズのシステムになっています。

この章は下記に示すような構成になっています。

3.3.1 クロック系統ブロック図

3.3.2 SFR 説明

3.3.3 システムクロック制御

3.3.4 クロック逡倍回路(PLL)

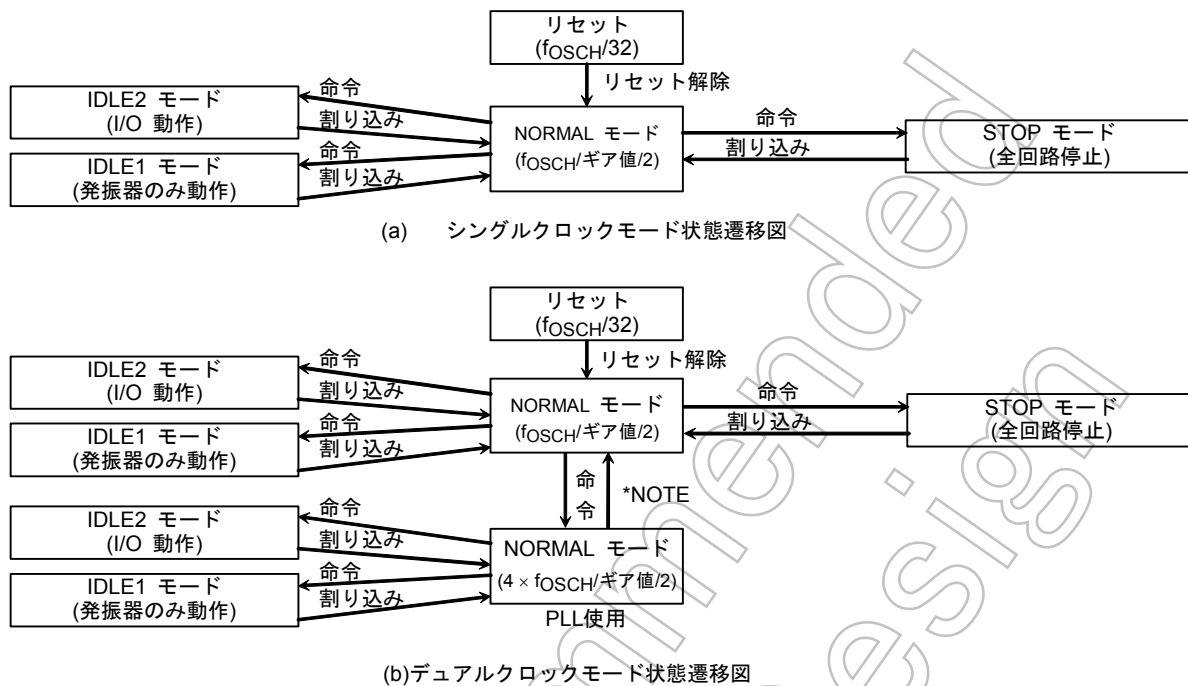
3.3.5 ノイズ低減回路

3.3.6 スタンバイ制御

Not Recommended
for New Design

クロックの動作モードとしては、シングルクロックモード (X1、X2 端子のみ) とデュアルクロックモード (X1、X2 端子と PLL) の 2 モードがあります。

図 3.3.1 に動作モード別状態遷移図を示します。



*注)

- ・ PLL 使用の NORMAL モードから NORMAL モードに切り替える場合、次の設定に従ってください。
 - 1) CPU クロックの切り替え (PLLCR0<FCSEL><- "0")
 - 2) PLL 回路を停止 (PLLCR1<PLLON><- "0")
- ・ PLL 使用の NORMAL モードから STOP モードへの直接切り替えは出来ません。必ず一度 NORMAL モードに設定してから STOP モードに切り替えてください。

図 3.3.1 動作モード別状態遷移図

X1、X2 端子より入力されるクロック周波数を f_{OSCH} 、SYSCR1<GEAR2:0>で選択されたクロックを f_{FPH} 、 f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.3.1 システムクロック系統ブロック図

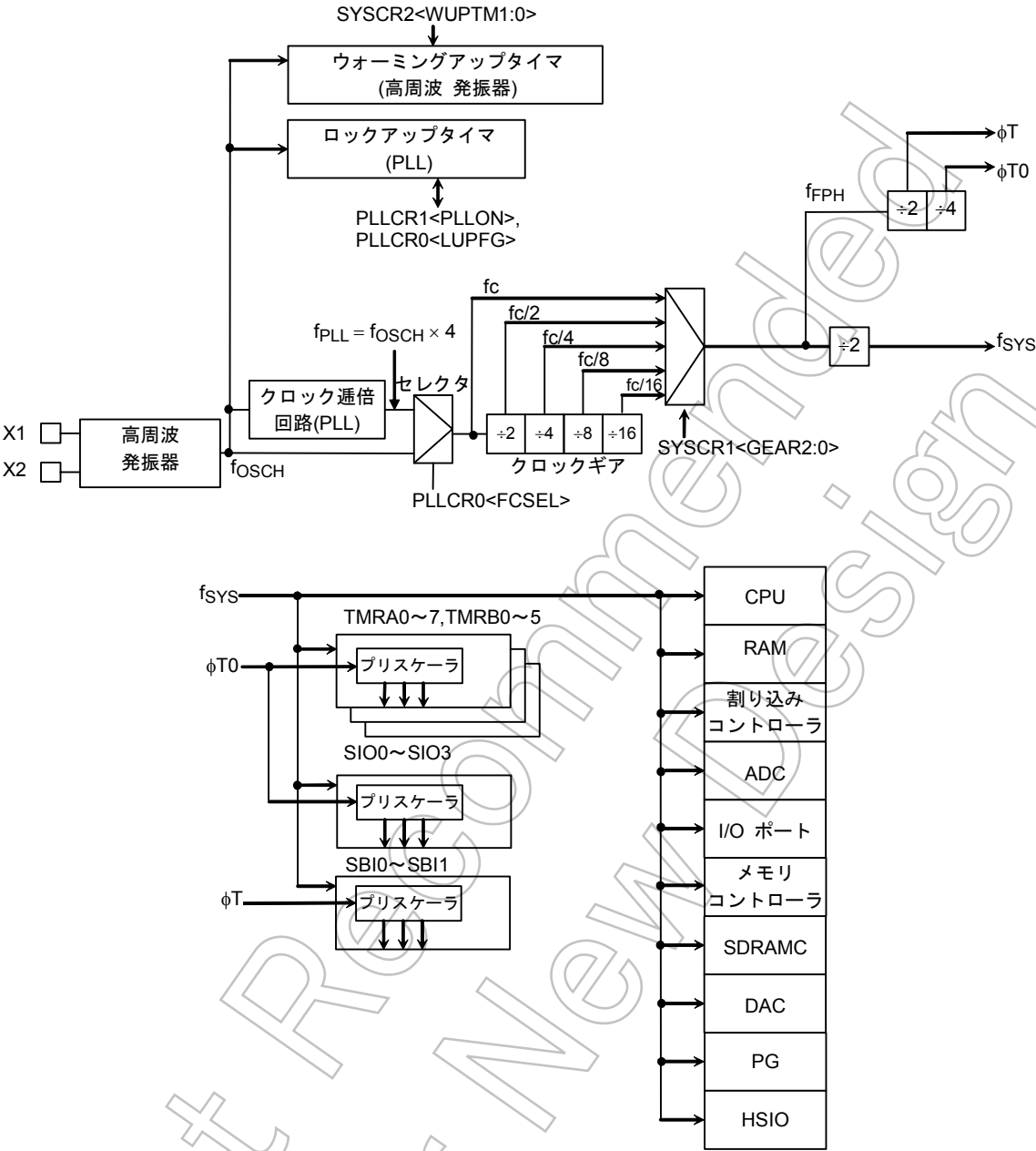


図 3.3.2 システムクロック系統ブロック図

3.3.2 SFR 説明

SYSCR0 (10E0H)		7	6	5	4	3	2	1	0
	bit Symbol						—		
	Read/write						R/W		
	リセット後						0		
SYSCR1 (10E1H)							“0”をライト して下さい		
		7	6	5	4	3	2	1	0
	bit Symbol						GEAR2	GEAR1	GEAR0
	Read/write						R/W		
	リセット後						1	0	0
	機能	高周波のギア値選択(fc) 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101: (予約) 110: (予約) 111: (予約)							
SYSCR2 (10E2H)		7	6	5	4	3	2	1	0
	bit Symbol	—		WUPTM1	WUPTM0	HALTM1	HALTM0		DRVE
	Read/write	R/W		R/W	R/W	R/W	R/W		R/W
	リセット後	0		1	0	1	1		0
	機能	“0”をライト して下さい	ウォームアップタイム 00: 予約 01: 2 ⁸ /入力周波数 10: 2 ¹⁴ 11: 2 ¹⁶			HALT モード 00: 予約 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		1: STOP モード 中も端子を ドライブし ます	

- 注 1) SYSCR0<bit7>は、“1”がリードされます。
- 注 2) SYSCR0<bit6:3><bit1:0>,SYSCR1<bit7:3>,SYSCR2<bit6><bit1>は、“0”がリードされます。

図3.3.3 システムクロック関係 SFR

	7	6	5	4	3	2	1	0
EMCCR0 (10E3H)	シンボル	PROTECT				EXTIN	DRVOSCH	
	Read/Write	R				R/W	R/W	
	リセット後	0				0	1	
	機 能	プロテクト フラグ 0: OFF 1: ON				1: fc 外部 クロック	fc 発振器 ドライブ能力 1: Normal 0: Weak	
EMCCR1 (10E4H)	シンボル	下記 1ST-KEY,2 ND -KEY の書込みによりプロテクト ON/OFF 切り替わり 1 ST -KEY: EMCCR1=5AH,EMCCR2=A5H を連続ライト 2ND-KEY: EMCCR1=A5H,EMCCR2=5AH を連続ライト						
	Read/Write							
	リセット後							
	機 能							
EMCCR2 (10E5H)	Bit symbol							
	Read/Write							
	リセット後							
	機 能							

- 注 1) EMCCR0<bit0>は、"1"がリードされます。
- 注 2) EMCCR0<bit6:3>は、"0"がリードされます。
- 注 3) STOP モードから、発振を開始するときなど、発振停止から発振を再起動する場合は、(EMCCR0)<DRVOSCH> を"1"に設定してください。

図 3.3.4 システムクロック関係 SFR

PLLCR0 (10E8H)		7	6	5	4	3	2	1	0
	bit symbol		FCSEL	LUPFG					
	Read/Write		R/W	R					
	リセット後		0	0					
	機能		fc クロック選 択 0 : f _{OSCH} 1 : f _{PLL}	ロックアップ タイマ 状態フラグ 0 : not end 1 : end					

- 注 1) PLLCR0<LUPFG>の論理は 900/L1 の DFM と異なるので注意してください。
- 注 2) PLLCR0<bit7>,<bit4:0>は、"0"がリードされます。

PLLCR1 (10E9H)		7	6	5	4	3	2	1	0
	bit symbol	PLLON							
	Read/Write	R/W							
	リセット後	0							
	機能	Control on/off 0: Off 1: On							

- 注 1) PLLCR1<bit6:0>は、"0"がリードされます。

図 3.3.5 PLL 関係 SFR

3.3.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{SYS}) を生成する回路です。高速発振回路と PLL(クロック逡倍回路)から出力される f_c クロックを入力として、SYSCR1<GEAR2:0>で高速クロックのギアを 1、2、4、8、16 段 (f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ 、 $f_c/16$) に切り替え、消費電力の低減を図ることができます。

リセットにより、シングルクロックモードになり <GEAR2:0> = “100” に初期化されますのでシステムクロック f_{SYS} は $f_c/32$ ($= f_c/16 \times 1/2$) となります。例えば、X1、X2 端子に 40 MHz の発振子を接続していると、リセットにより f_{SYS} は 1.25 MHz となります。

(1) クロックギアコントローラ

クロックギア選択レジスタ SYSCR1<GEAR2:0>により f_{FPH} を f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ 、 $f_c/16$ のいずれかに設定できます。クロックギアを使用して f_{FPH} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

(設定例)

高速クロックのギア切り替え

SYSCR1 EQU 10E1H

```
LD (SYSCR1),XXXXX001B ; システムクロック  $f_{SYS}$  を  $f_c/2$  へ切り替え
LD (DUMMY),00H ; ダミー命令
```

X: don't care

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後、すぐには切り替らず数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令(ライトサイクルが実行される命令)を挿入してください。

(例)

SYSCR1 EQU 10E1H

```
LD (SYSCR1),XXXXX010B ;  $f_{SYS}$  を  $f_c/4$  へ切り替え
LD (DUMMY),00H ; ダミー命令
```

切り替え後のクロックギア
で実行すべき命令

3.3.4 クロック逡倍回路 (PLL)

PLL は f_{OSCH} の 4 倍となる、 f_{PLL} クロック信号を出力します。これにより発振器の周波数は低く、内部クロックは高速にすることが可能です。

リセットにより PLL は停止状態に初期化されますので PLL を使用する場合は PLLCR0、PLLCR1 レジスタへの設定が必要です。

この回路は発振器のように動作許可後に安定させる時間を必要とし、それをロックアップタイムといいます。この時間を確認するために 16 段のバイナリカウンタがあります。ロックアップタイムは $f_{OSCH} = 10\text{MHz}$ の場合で約 1.6ms です。

(注-1) PLL 入力周波数の制限

PLL 用の入力周波数の限界 (高速発振器) は次のとおりです。

$$f_{OSCH} = 6 \sim 10\text{MHz} \quad (V_{CC} = 3.0 \sim 3.6\text{V})$$

(注-2) PLLCR0<LUPFG>

PLLCR0<LUPFG>の論理は 900/L1 の DFM とは異なります。

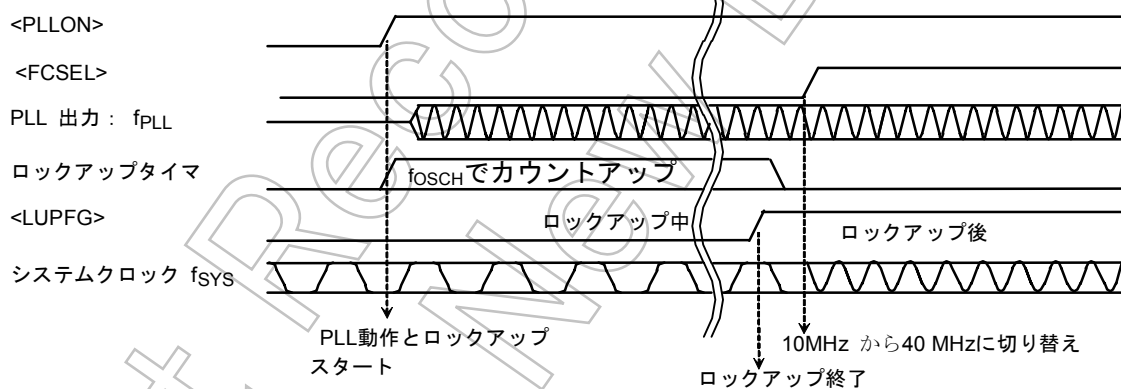
ロックアップ終了の判断は注意してください。

以下は PLL スタートと PLL ストップの設定例です。

(設定例-1) PLL スタート

PLLCR0	EQU	10E8H	
PLLCR1	EQU	10E9H	
	LD	(PLLCR1), 1XXXXXXXB	PLL 動作とロックアップスタートをイネーブル
LUP:	BIT	5, (PLLCR0)	ロックアップの終了を検出
	JR	Z, LUP	
	LD	(PLLCR0), X1XXXXXXB	10 MHz から 40 MHz に切り替え

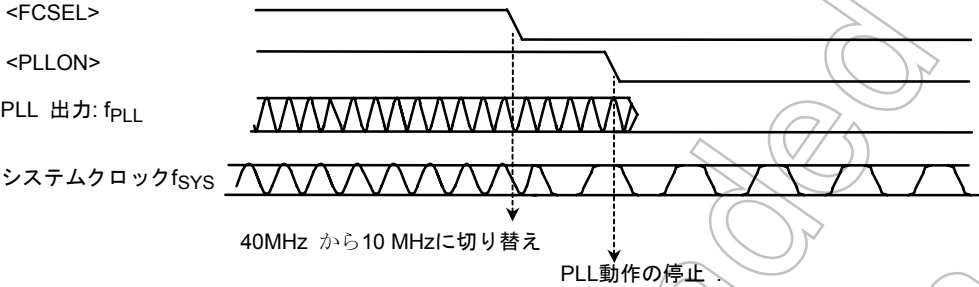
X: Don't care



(設定例-2) PLL ストップ

PLLCR0	EQU	10E8H	
PLLCR1	EQU	10E9H	
LD	(PLLCR0),X0XXXXXXB		; 40 MHz から 10 MHz に切り替え
LD	(PLLCR1),0XXXXXXB		; PLL 停止

X: Don't care



PLL の使用制限

1. PLL 使用中に PLL の動作を停止する場合、次の設定に従ってください。
LD (PLLCR0),00H ; クロック f_{PLL} を f_{OSCH} に切り替えてください。
LD (PLLCR1),00H ; PLL を停止させてください。

設定例は以下のとおりです。

(1) 切り替え/ 停止のコントロール

(OK) PLL 使用モード (f_{PLL}) → STOP モードに設定
→ 高速発振器動作モード (f_{OSCH}) → PLL 停止 →
Halt(高速発振器停止)

```
LD (SYSCR2),0X--01X-B ; STOP モードを設定  
                          (このコマンドは PLL 使用前に実行可能です)  
LD (PLLCR0),X0-XXXXXB ; システムクロック  $f_{PLL}$  を  $f_{OSCH}$  に切り替え  
LD (PLLCR1),0XXXXXXB ; PLL 停止  
HALT ; STOP モードに切り替え
```

(NG) PLL 使用モード (f_{PLL}) → STOP モードに設定 → ホールト(高速発振器停止)

```
LD (SYSCR2),0X--01X-B ; STOP モードに設定  
                          (このコマンドは PLL 使用前に実行可能です。)  
HALT ; STOP モードに切り替え
```

3.3.5 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

- (1) 高速発振器のドライブ能力低減
- (2) 高速発振器のシングルドライブ化
- (3) SFR プロテクトレジスタによる暴走対策

これらは、EMCCR0、EMCCR1、EMCCR2 レジスタによる設定が必要です。

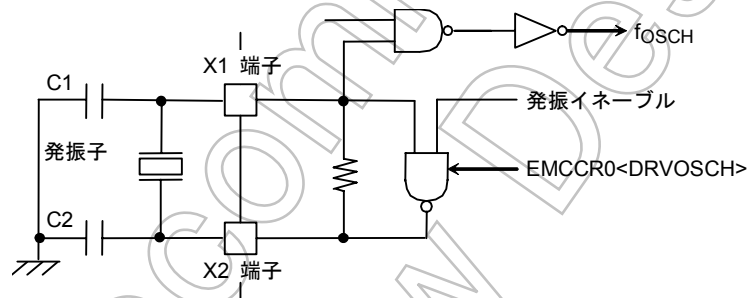
以下に(1)~(3)について説明します。

(1) 高速発振器のドライブ能力低減

(目 的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化。

(ブロック図)



(設定方法)

EMCCR0<DRVOSCH>に '0' をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCH>は '1' に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

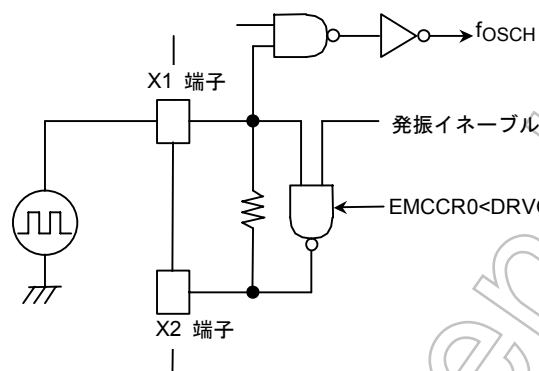
(注 1) この機能(EMCCR0<DRVOSCH>="0")は、 $f_{OSCH} = 6 \sim 10\text{MHz}$ の状態で使用可能になります。

(2) 高速発振器のシングルドライブ化

(目 的)

外部に発振器を接続する場合に、ツインドライブの不要化、X2 端子解放時にノイズ混入による誤動作防止。

(ブロック図)



(設定方法)

EMCCR0<EXTIN>に '1' をライトすることにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2 端子は '1' を出力状態となります。

リセットにより、<EXTIN>は '0' に初期化されます。

(3) SFR プロテクトレジスタによる暴走対策

(目的)

ノイズ混入などによるプログラムの暴走時の対策。

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ (メモリコントローラ) の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかける
と特定の SFR をライト動作禁止にします。

また、INTP0 割込みにより暴走時のエラー処理を容易にします。

特定の SFR 一覧

1. メモリコントローラ

B0CSL/H、B1CSL/H、B2CSL/H、B3CSL/H、B4CSL/H、B5CSL/H、BEXCSL/H
MSAR0、MSAR1、MSAR2、MSAR3、MSAR4、MSAR5、
MAMR0、MAMR1、MAMR2、MAMR3、MAMR4、MAMR5、PMEMCR

2. クロックギア

SYSCR0、SYSCR1、SYSCR2、EMCCR0

3. PLL

PLLCR0、PLLCR1

(動作説明)

EMCCR1 と EMCCR2 レジスタに 2 重の鍵を設定する事によりプロテクト(特定の SFR
へのライト動作)の実行、解除が可能となります。

(2 重の鍵)

1st-KEY : EMCCR2 に 5AH、EMCCR2 に A5H を連続ライト

2nd-KEY : EMCCR2 に A5H、EMCCR2 に 5AH を連続ライト

プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できます。

リセットにより、プロテクト OFF 状態となります。

また、プロテクト ON 状態にて特定の SFR へのライト動作が実行された場合に
INTP0 割込みを出力します。これにより暴走時のエラー処理を容易にします。

3.3.6 スタンバイ制御部

(1) HALT モード

HALT 命令を実行すると、SYSCR2 <HALTM1:0>の設定により、IDLE2、IDLE1、STOP のいずれかのホールトモードになります。

IDLE2、IDLE1、STOP モードの特長は、次のとおりです。

- ① IDLE2 : CPU のみ停止するモードです。
 内蔵 I/O は、SFR の中に IDLE2 モード時の動作/停止設定レジスタを 1 ビット持ち IDLE2 モードでの動作設定が可能です。
 表 3.3.1 に IDLE2 設定レジスタの表を示します。

表 3.3.1 IDLE2 モードでの内蔵 I/O 設定レジスタ

内部 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
TMRA45	TA45RUN<I2TA45>
TMRA67	TA67RUN<I2TA67>
TMRB0	TB0RUN<I2TB0>
TMRB1	TB1RUN<I2TB1>
TMRB2	TB2RUN<I2TB2>
TMRB3	TB3RUN<I2TB3>
TMRB4	TB4RUN<I2TB4>
TMRB5	TB5RUN<I2TB5>
SIO0	SC0MOD1<I2S0>
SIO1	SC1MOD1<I2S1>
SIO2	SC2MOD1<I2S2>
SIO3	SC3MOD1<I2S3>
SBI0	SBI0BR0<I2SBI0>
SBI1	SBI1BR0<I2SBI1>
A/D converter	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

- ② IDLE1: 内部発振器のみ動作します。
 ③ STOP: すべての内部回路が停止します。

ホールト状態での各ブロックの動作を表 3.3.3に示します。

表 3.3.3 I/O ホールト状態での各ブロックの動作

ホールトモード		IDLE2	IDLE1	STOP
SYSCR2 <HALTM1 to 0>		11	10	01
Block	CPU	停止		
	I/O ポート	“HALT”命令実行時の状態を保持	表 3.3.8 参照	
	TMRA、TMRB	動作するブロックをプログラマブルに選択可能	停止	
	SIO,SBI			
	A/D コンバータ			
	WDT			
	SDRAMC、 割り込みコントローラ、 HSIO、 PG(注)	動作		

(注意 1) IDLE2 モードで PG を動作させる場合、トリガとして選択するブロック(TMRA または TMRB)の IDLE2 モード時の動作を許可に設定する必要があります。

(注意 2) D/A コンバータの各ホールトモードにおける状態は、“ホールト”命令実行前に DA0CNT0/DAC1CNT0 レジスタにて設定してください。

(2) ホールト状態からの解除

ホールト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホールト解除ソースは、CPU のステータスレジスタ SR に割り付けられている割り込みマスクレジスタ<IFF2:0>の状態と、ホールトモードの組み合わせにより決まります。詳細を表 3.3.6 ホールト解除ソースとホールト解除の動作に示します。

• 割り込み要求による解除

割り込み要求によるホールト状態からの解除動作は、割り込み許可状態により異なります。“ホールト”命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホールト解除後、その要因による割り込み処理を行い、“ホールト”命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホールト解除を行いません(ノンマスクブル割り込みでは、マスクレジスタの値に関係なくホールト解除後、割り込み処理を行います)。

ただし、INT0～INT7 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホールト状態からの解除を行うことができます。この場合、割り込み処理は行わず“ホールト”命令の次の命令から処理をスタートします(割り込み要求フラグは“1”を保持します)。

• リセットによる解除

リセットにより、すべてのホールト状態からの解除を行うことができます。

ただし STOP モードの解除では、発振器動作が安定するための十分なリセット時間(表 3.3.8 ウォーミングアップ時間の設定例 (STOP モード解除時)を参照)が必要です。

リセットによる解除では、内蔵 RAM のデータはホールト状態に入る直前の状態を保持できますが、その他の設定は初期化されます。(割り込みによる解除では、ホールト状態に入る直前の状態を保持します)

表 3.3.6

ホールト解除ソースとホールト解除の動作

割り込み受付状態			割り込み許可 (割り込みレベル) ≥ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)		
ホールト モード			IDLE2	IDLE1	STOP	IDLE2	IDLE1	STOP
ホールト解除ソース	割り込み	NMI	◎	◎	◎ ^{*1}	—	—	—
		INTWDT	◎	×	×	—	—	—
		INT0~3 (注 1)	◎	◎	◎ ^{*1}	○	○	○ ^{*1}
		INT4~7 (PORT) (注 1)(注 3)	◎	◎	◎ ^{*1}	○	○	○ ^{*1}
		INT4~7 (TMRB0~1) (注 3)	◎	×	×	×	×	×
		INT8~B (PORT) (注 1)(注 3)	◎	×	×	×	×	×
		INT8~B (TMRB2~3) (注 3)	◎	×	×	×	×	×
		INTTA0~7	◎	×	×	×	×	×
		INTTB00~51、INTTBOX	◎	×	×	×	×	×
		INTRX0~3、INTTX0~3	◎	×	×	×	×	×
		INTAD	◎	×	×	×	×	×
		INTSBI0~1	◎	×	×	×	×	×
		INTHSC0~1	◎	×	×	×	×	×
		KI (キーオンウェイクアップ) (注 2)	○	○	○ ^{*1}	○	○	○ ^{*1}
		RESET	LSI を初期化します。					

◎: ホールト解除後、割り込み処理を開始します。

○: ホールト解除後、ホールト命令の次の番地から処理を開始します。

×: ホールト解除に使うことができません。

—: ノンマスカブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の “7” に固定されているため、この組み合わせはありません。

*1: ウォーミングアップ時間経過後にホールト解除を行います。

注 1: 割り込み許可状態において、レベルモードの INT0~B 割り込みによるホールト解除を行う場合、割り込み処理が開始されるまで “H” レベルを保持してください。それ以前で “L” レベルにした場合は、正しい割り込み処理を開始できません。

注 2: キーオンウェイクアップは、割り込みの機能はありません。

注 3: INT4~INTB のホールト解除の動作は、ポート設定により INTn 入力に設定した場合は (PORT) の動作に、16 ビットタイマ入力に設定した場合は (TMRB) の動作になります。

注 4: 割り込み要因が兼用されている割り込みを使用する場合は、INTSEL レジスタを設定してください。詳細は “3.3.4 割り込みコントローラ(3)割り込み制御” を参照してください。

(IDLE1 モードの解除例)

IDLE1 モードのホールト状態をエッジモードの INT0 割り込みにより解除する場合。

アドレス			
10003H	LD	(IIMC1), 00H	}; INT0 割り込み立ち上がりエッジを選択
10006H	LD	(IIMC2), 00H	
10009H	LD	(INTE01), 06H	; INT0 割り込みレベルを “6” に設定
1000CH	EI	5	; CPU 割り込みレベルを “5” に設定.
1000EH	LD	(SYSCR2), 28H	; IDLE1 モードに設定.
10011H	HALT		; CPU 停止



(3) 各モードの動作

① IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホールト解除のタイミング例を図 3.3.6 に示します。

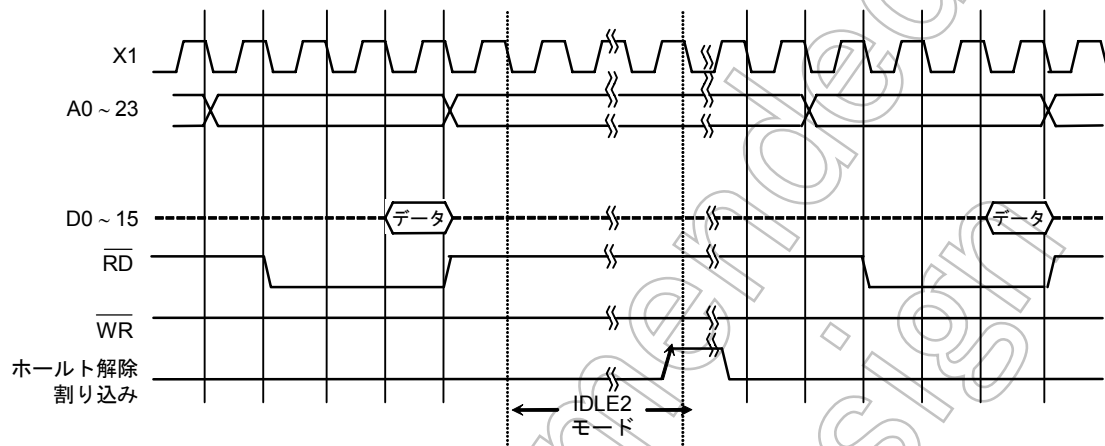


図 3.3.6 割り込みによるホールト解除のタイミング例 (IDLE2 モード時)

② IDLE1 モード

IDLE1 モードでは、内部発振器のみ動作し、システムクロックは停止します。

ホールト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホールト解除のタイミング例を図 3.3.7 に示します。

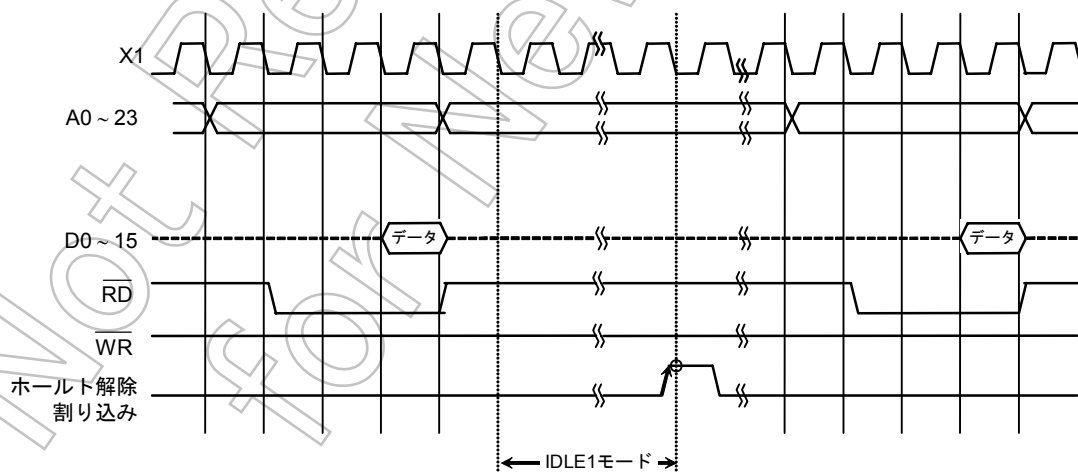


図 3.3.7 割り込みによるホールト解除のタイミング例 (IDLE1 モード時)

③ STOP モード

STOP モードでは、内部発振器も含めて、すべての内部回路が停止します。

STOP モードを解除する場合は、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後に、システムクロックの出力を開始します。

図 3.3.8に割り込みによる STOP モードホールド状態の解除のタイミング例を示します。

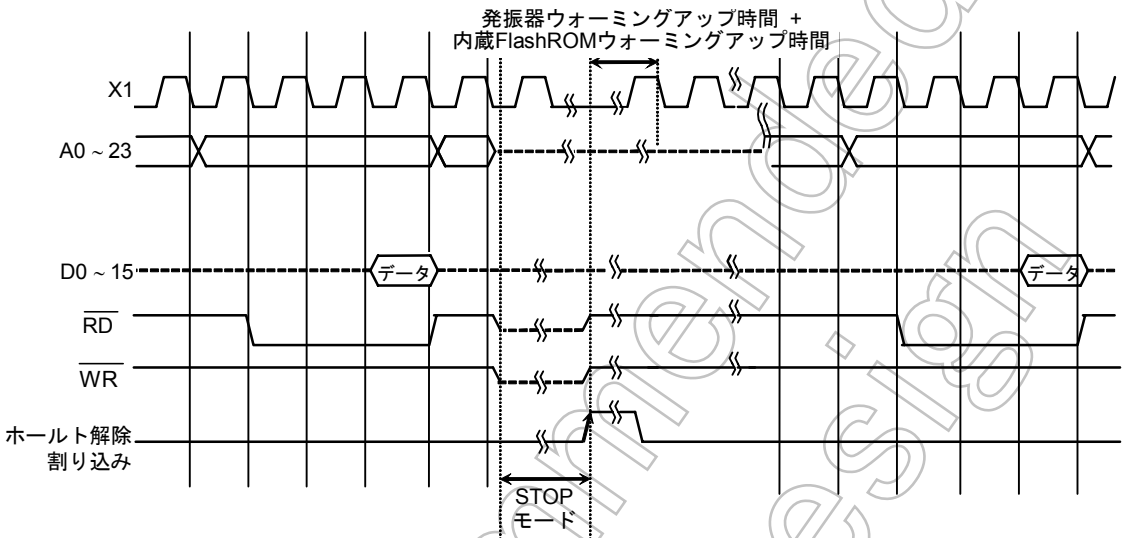


図 3.3.8 割り込みによるホールド解除のタイミング例 (STOP モード時)

表 3.3.8

ウォーミングアップ時間の設定例 (STOP モード解除時)

@f_{OSCH} = 16 MHz

SYSCR2<WUPTM1, 0>		
01 (2 ⁸)	10 (2 ¹⁴)	11 (2 ¹⁶)
16 μ s	1.024 ms	4.096 ms

3.4 割り込み

TLCS-900/H1 の割り込みは、CPU の割り込みマスクレジスタ <IFF2:0> (ステータスレジスタの 12 ~14 ビット)と割り込みコントローラによって制御されます。

TMP92CM27 の割り込み要因には、下記に示す合計 71 本があります。

- | |
|---|
| <p>CPU によって生成される割り込み: 9 本</p> <ul style="list-style-type: none">ソフトウェア割り込み: 8 本未定義命令実行違反割り込み: 1 本 <p>内部割り込み: 49 本</p> <ul style="list-style-type: none">内蔵 I/O 割り込み: 41 本マイクロ DMA 転送終了割り込み: 8 本 <p>外部割り込み: 13 本</p> <ul style="list-style-type: none">外部端子の割り込み (INT0 ~ INTB, $\overline{\text{NMI}}$) |
|---|

割り込み要因毎に、個別の割り込みベクタ番号(固定)が割り当てられており、マスカブル割り込みのそれぞれに、7 レベルの優先順位(可変)を割り付ける事が出来ます。ノンマスカブル割り込みの優先順位は、最優先の"7"に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスカブル割り込みの"7")を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ (IFF2:0)の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2:0)の値は EI 命令(EI num...IFF<2:0>の内容が num になります。)を使用して、書き換えることが出来ます。例えば、"EI 3"とプログラムすると、割り込みコントローラに設定された、優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令 (IFF<2:0>が 7 になります。)は動作的には"EI 7"と同じですが、マスカブル割り込みの優先順位値が 0~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後直ちに有効となります。

TLCS-900/H1 の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送(1/2/4 バイト)を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を、高速に行うことが出来ます。さらに、TMP92CM27 には、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトウェアから要求を発行する「ソフトスタート機能」があります。

図 3.4.1 に割り込み処理全体のフローを示します。

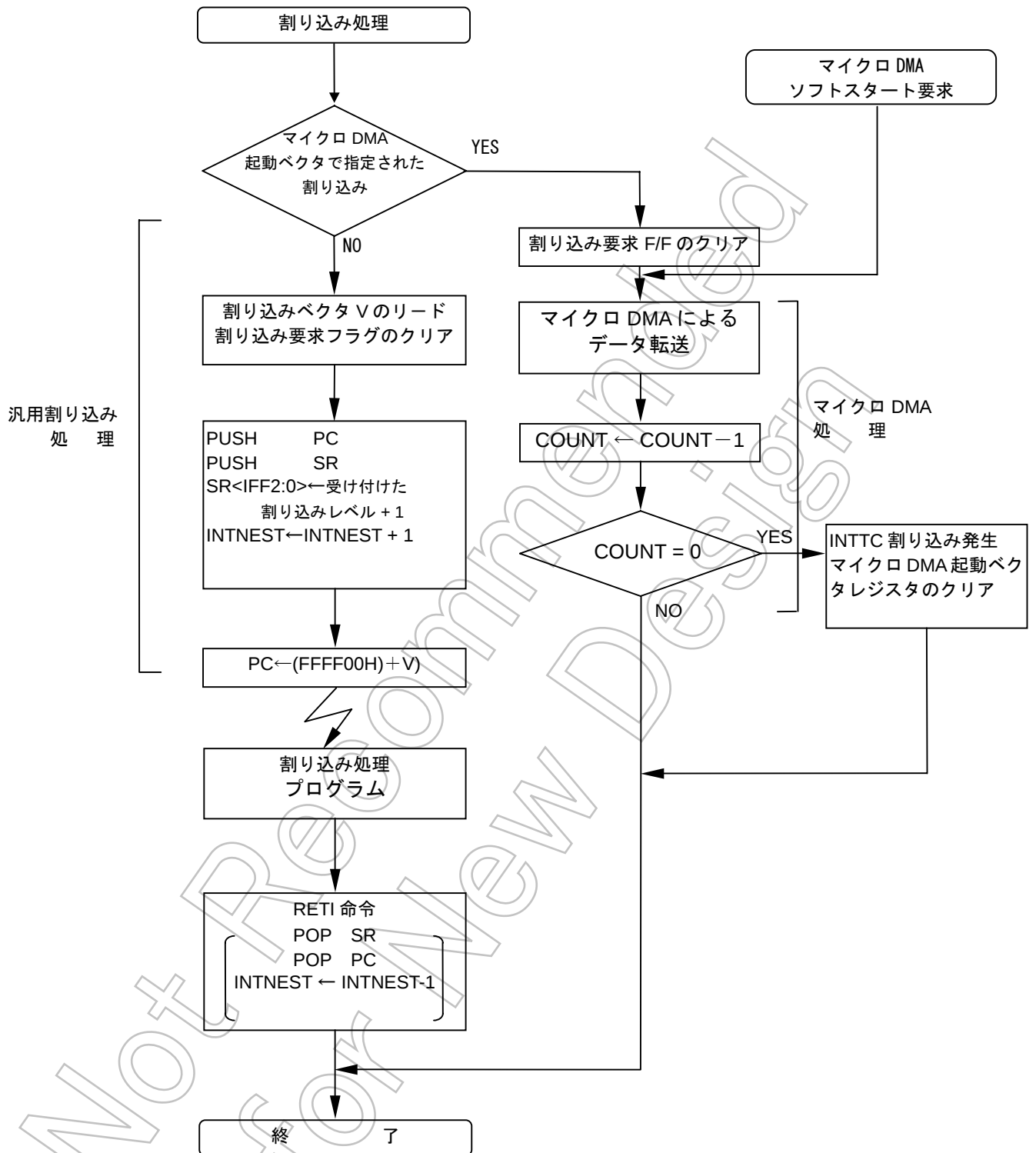


図 3.4.1 割り込み処理全体のフロー

3.4.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。ただしソフトウェア割り込みと未定義命令実行違反割り込みが CPU で生成される場合、CPU は 1 と 3 をスキップし、2、4、5 のみを実行します。

1. CPU は、割り込みコントローラから、割り込みベクタをリードします。割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ(固定:ベクタ値が小さいほど優先順位が高い)にしたがって割り込みベクタを発生し、その割り込み要求をクリアします。
2. CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域(XSP が示す領域)へ PUSH します。
3. CPU の割り込みマスクレジスタ<IFF2~0>の値を、受け付けた割り込みレベルより"1"だけ高い値にセットします。ただし、値が"7"の時は、インクリメントせず"7"をセットします。
4. 割り込みネスティングカウンタ INTNEST を、+1 カウントアップします。
5. CPU は、「FFFF00H+割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

割り込み処理が終了し、メインルーチンに戻る時は、通常「RET」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容をリストアし、割り込みネスティングカウンタ INTNEST を-1 します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止する事ができません。一方、マスカブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソース毎に優先順位を設定する事が出来ます(0 か 7 の割り込みレベルの設定は割り込み要求が無効になります)。CPU は、CPU 自身が持つ割り込みマスクレジスタ<IFF2~0>の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU のマスクレジスタ<IFF2~0>に、受け付けた優先順位に"1"を加えた値をセットします。

したがって、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 1～5 までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスカブル割り込みのネスティングを禁止する事ができます。

リセット後、CPU のマスクレジスタ<IFF2~0>は、"111"に初期化されているため、マスカブル割り込み禁止状態になっています。

TMP92CM27 では、メモリ FFFF00H～FFFFFFFH 番地(256 バイト)が、割り込みベクタ領域に割り当てられています。表 3.4.1に割り込みテーブルを示します。

表 3.4.1 TMP92CM27 の割り込みベクタとマイクロ DMA スタートベクタ

デフォルト プライ オリティ	タイプ	割り込み要因とマイクロ DMA 要求要因	ベクタ値	ベクタ参照 アドレス	マイク ロ DMA スタート ベクタ
1	ノン マスカブル	リセットまたは [SWI0] 命令	0000H	FFFF00H	
2		[SWI1] 命令	0004H	FFFF04H	
3		未定命令義実行違反 または[SWI2] 命令	0008H	FFFF08H	
4		[SWI3] 命令	000CH	FFFF0CH	
5		[SWI4] 命令	0010H	FFFF10H	
6		[SWI5] 命令	0014H	FFFF14H	
7		[SWI6] 命令	0018H	FFFF18H	
8		[SWI7] 命令	001CH	FFFF1CH	
9		NMI: NMI端子入力	0020H	FFFF20H	
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	
-		マイクロ DMA (注 1)	-	-	-
11		INT0: INT0 端子 入力	0028H	FFFF28H	0AH (注 1)
12		INT1: INT1 端子 入力	002CH	FFFF2CH	0BH (注 1)
13		INT2: INT2 端子 入力	0030H	FFFF30H	0CH (注 1)
14		INT3: INT3 端子 入力	0034H	FFFF34H	0DH (注 1)
15		INT4: INT4 端子 入力	0038H	FFFF38H	0EH (注 1)
16		INT5: INT5 端子 入力	003CH	FFFF3CH	0FH (注 1)
17		INT6: INT6 端子 入力	0040H	FFFF40H	10H (注 1)
18		INT7: INT7 端子 入力	0044H	FFFF44H	11H (注 1)
19		INTTA0: 8-ビットタイマ 0	0048H	FFFF48H	12H
20		INTTA1: 8-ビットタイマ 1	004CH	FFFF4CH	13H
21		INTTA2: 8-ビットタイマ 2	0050H	FFFF50H	14H
22		INTTA3: 8-ビットタイマ 3	0054H	FFFF54H	15H
23		INTTA4: 8-ビットタイマ 4	0058H	FFFF58H	16H
24		INTTA5: 8-ビットタイマ 5 INT8: INT8 端子 入力	005CH	FFFF5CH	17H (注 1) (注 2)
25		INTTA6: 8-ビットタイマ 6	0060H	FFFF60H	18H
26		INTTA7: 8-ビットタイマ 7 INT9: INT9 端子 入力	0064H	FFFF64H	19H (注 1) (注 2)
27		INTRX0: シリアル 受信 (チャンネル 0)	0068H	FFFF68H	1AH (注 1)
28		INTTX0: シリアル 送信 (チャンネル 0)	006CH	FFFF6CH	1BH
29		INTRX1: シリアル 受信 (チャンネル 1)	0070H	FFFF70H	1CH (注 1)
30		INTTX1: シリアル 送信 (チャンネル 1)	0074H	FFFF74H	1DH
31		INTRX2: シリアル 受信 (チャンネル 2)	0078H	FFFF78H	1EH (注 1)
32		INTTX2: シリアル 送信 (チャンネル 2)	007CH	FFFF7CH	1FH
33		INTRX3: シリアル 受信 (チャンネル 3)	0080H	FFFF80H	20H (注 1)
34		INTTX3: シリアル 送信 (チャンネル 3)	0084H	FFFF84H	21H
35		INTSBI0: SBI0 I2CBUS 転送終了	0088H	FFFF88H	22H
36		INTSBI1: SBI1 I2CBUS 転送終了	008CH	FFFF8CH	23H
37		INTA: INTA 端子 入力	0090H	FFFF90H	24H
38		INTHSC0: 高速シリアル(チャンネル 0)	0094H	FFFF94H	25H
39		INTB: INTB 端子 入力	0098H	FFFF98H	26H
40		INTHSC1: 高速シリアル(チャンネル 1)	009CH	FFFF9CH	27H
41		INTTB00: 16-ビットタイマ 0	00A0H	FFFFA0H	28H
42		INTTB01: 16-ビットタイマ 0	00A4H	FFFFA4H	29H
43		INTTB10: 16-ビットタイマ 1	00A8H	FFFFA8H	2AH
44		INTTB11: 16-ビットタイマ 1	00ACH	FFFFACH	2BH
45		INTTB20: 16-ビットタイマ 2	00B0H	FFFFB0H	2CH
46		INTTB21: 16-ビットタイマ 2	00B4H	FFFFB4H	2DH

47	マスクブル	INTTB30: 16-ビットタイマ 3 INTTB31: 16-ビットタイマ 3	00B8H	FFFFB8H	2EH (注 2)
48		INTTB40: 16-ビットタイマ 4 INTTB41: 16-ビットタイマ 4	00BCH	FFFFBCH	2FH (注 2)
49		INTTB50: 16-ビットタイマ 5 INTTB51: 16-ビットタイマ 5	00C0H	FFFFC0H	30H (注 2)
50		INTTBOX: 16-ビットタイマオーバフロー 以下のいずれかのオーバフロー割り込みで割り込みが発生します。 INTTBOF0: 16-ビットタイマ 0(オーバフロー) INTTBOF1: 16-ビットタイマ 1(オーバフロー) INTTBOF2: 16-ビットタイマ 2(オーバフロー) INTTBOF3: 16-ビットタイマ 3(オーバフロー) INTTBOF4: 16-ビットタイマ 4(オーバフロー) INTTBOF5: 16-ビットタイマ 5(オーバフロー)	00C4H	FFFFC4H	31H (注 3)
51		INTAD: AD 変換終了	00C8H	FFFFC8H	32H
52		INTP0: Protect 0 (特定の SFR へのライト)	00CCH	FFFFCCH	33H
53		INTTC0: マイクロ DMA 終了 (チャンネル 0)	00D0H	FFFFD0H	34H
54		INTTC1: マイクロ DMA 終了 (チャンネル 1)	00D4H	FFFFD4H	35H
55		INTTC2: マイクロ DMA 終了 (チャンネル 2)	00D8H	FFFFD8H	36H
56		INTTC3: マイクロ DMA 終了 (チャンネル 3)	00DCH	FFFFDCH	37H
57		INTTC4: マイクロ DMA 終了 (チャンネル 4)	00E0H	FFFFE0H	38H
58		INTTC5: マイクロ DMA 終了 (チャンネル 5)	00E4H	FFFFE4H	39H
59		INTTC6: マイクロ DMA 終了 (チャンネル 6)	00E8H	FFFFE8H	3AH
60		INTTC7: マイクロ DMA 終了 (チャンネル 7)	00ECH	FFFFECH	3BH
- to -		(予約)	00F0H : 00FCH	FFFFF0H : FFFFFCH	- to -

注 1: マイクロ DMA を起動するときは、エッジ検出モードに設定してください。

注 2: デフォルトプライオリティ 24、26、47～49 は割り込み要因を兼用しています。割り込み要因選択レジスタにて使用する割り込み要因を選択する必要があります。よって、同時に割り込みを使用することはできません。

注 3: デフォルトプライオリティ 50 は割り込み要因を兼用しています。このデフォルトプライオリティ 50 に割り付けた割り込み要因は同時に使用する事ができます。どの割り込み要因の割り込みが発生したかは割り込み発生フラグレジスタにて確認してください。

注 4: マイクロ DMA は他のマスクブル割り込みより優先され起動します。

3.4.2 マイクロ DMA

TMP92CM27には、マイクロ DMA 機能があります。マイクロ DMA 機能に設定された割り込み要求は、設定された割り込みレベルに関わらず、マスカブル割り込みの中で最も高い割り込みレベル(レベル 6)で処理を行います。

マイクロ DMA 機能は CPU の強調動作によって実現されているため、CPU が HALT 命令を実行しスタンバイ状態になると、マイクロ DMA の要求は無視(保留)されます。

マイクロ DMA は 8 チャンネル用意されており、後述のバースト指定により、連続転送が可能です。

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルに関わらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。IFF=7 のときは、マイクロ DMA の要求は受けつけられません。

マイクロ DMA は 8 チャンネル用意されており、同時に 8 種類までの割り込み要因に対して、マイクロ DMA を設定する事が出来ます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回(1/2/4 バイト)行われ、転送数カウンタを 1 によってデクリメントします。デクリメントした結果が"0"ならば、以下のような動作をします。

- ・ CPU はマイクロ DMA 転送終了を割り込みコントローラに伝えます。
- ・ 割り込みコントローラはマイクロ DMA 転送終了割り込み(INTTC0~INTTC7)を発生させます。
- ・ マイクロ DMA 起動ベクタレジスタの値を"0"クリアして、次のマイクロ DMA 起動を禁止します。
- ・ マイクロ DMA 処理を終了します。

デクリメントした結果が"0"でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み(INTTCn)は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを"0"にしておく必要があります。これはマイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。

マイクロ DMA 転送終了割り込みは、他のマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(CH0(高)→CH7(低))

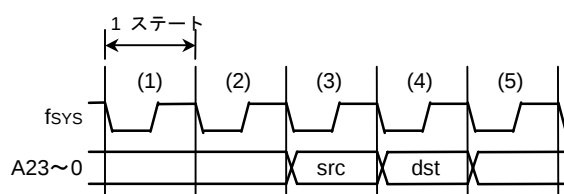
転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16M バイトとなります。

転送モードとしては、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、「(4)転送モードレジスタ詳細」を参照して下さい。

転送数カウンタは、16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回(転送カウンタの初期値が 0000H のとき最大)の、マイクロ DMA 処理を行うことができます。

マイクロ DMA 処理を行うことの出来る割り込み要因は、表 3.4.1 のマイクロ DMA 起動ベクタのある 50 種類の割り込みとソフトスタートによる計 51 種類です。

転送先アドレス INC モード(カウンタモード以外は同様)のマイクロ DMA サイクルを図 3.4.2 に示します。(ソースメモリ、ディスティネーションメモリともに内部 RAM で、両アドレスは 4 の倍数の場合。)



(注) 実際には、src 及び dst アドレスは内部 RAM のアドレスのため、出力されません。

図 3.4.2 マイクロDMAサイクル図

ステート (1),(2): 命令 フェッチサイクル(次の命令コードの先取り)

ステート (3) : マイクロ DMA リードサイクル

ステート (4) : マイクロ DMA ライトサイクル

ステート (5) : ((1), (2)ステートに同じ)

(2) ソフトスタート機能

TMP92M27 には、割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへの書き込みサイクルが発生した事により、マイクロ DMA を起動する”マイクロ DMA ソフトスタート機能”があります。

具体的には、DMAR レジスタの各ビットに”1”を書き込む事により、マイクロ DMA を一回起動する事ができます。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に”0”クリアされます。なお、仕様上の制限として一度に 1 チャンネルしか起動指定できません(複数のビットに”1”を書き込まないでください)。

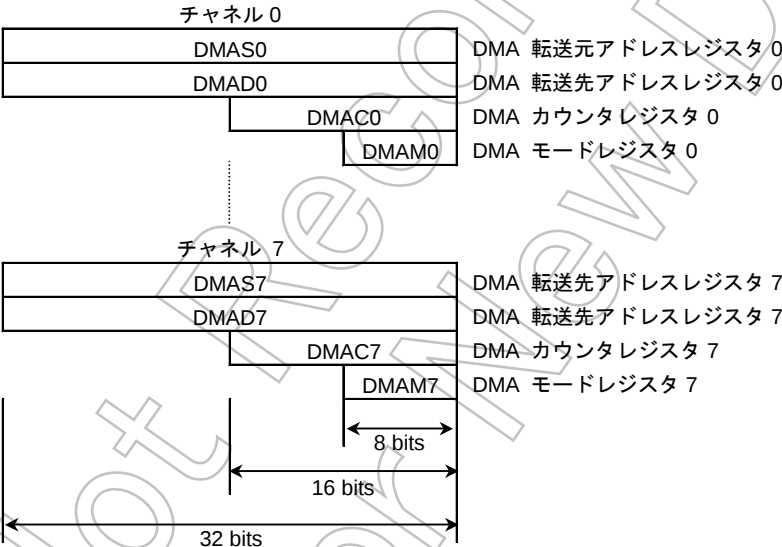
また、再度 DMAR レジスタに”1”を書き込むと、マイクロ DMA 転送カウンタが”0”でない限り、ソフトスタートを引き続き行う事ができます。

DMAR レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが”0”になるまで、連続的にデータ転送されます。

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA 要求 レジスタ	109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0

(3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記のレジスタで設定します。これらのレジスタは、「LDC cr,r」命令を使用して、データの設定を行います。



(4)転送モードレジスタ詳細

0	0	0	モード	DMAM0 ~ 7
---	---	---	-----	-----------

DMAMn[4:0]	モード 説明	実行時間
0 0 0 z z	転送先 INC モード (DMADn +) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
0 0 1 z z	転送先 DEC モード (DMADn -) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
0 1 0 z z	転送元 INC モード (DMADn) ← (DMASn +) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
0 1 1 z z	転送元 DEC モード (DMADn) ← (DMASn -) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
1 0 0 z z	転送元および転送先 INC モード (DMADn +) ← (DMASn +) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6 ステート
1 0 1 z z	転送元および転送先 DEC モード (DMADn -) ← (DMASn -) DMACn ← DMACn - 1 If DMACn = 0 の場合 INTTCn	6 ステート
1 1 0 z z	転送元 および転送先 Fixed モード (DMADn) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
1 1 1 0 0	カウンタモード DMASn ← DMASn + 1 DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート

ZZ: 00 = 1-バイト 転送
01 = 2-バイト 転送
10 = 4-バイト 転送
11 = (予約)

注 1: n はマイクロ DMA チャンネルナンバ(0 ~ 7)を表しています。

DMADn+/DMASn+: ポスト-インクリメント(レジスタ値は転送後に増大します。)

DMADn-/DMASn-: ポスト-デクリメント(レジスタ値は転送後に減少します。)

“I/O” は固定されたメモリアドレスを意味します; “メモリ” は増大あるいは減少するメモリアドレスを意味します。

注 2: 転送 モードレジスタは上にリストされた値以外は設定しないでください。

注 3: 上記の表の実行時間はベストケースを表しています。(1-ステート メモリアクセス)

3.4.3 割り込み コントローラ

図 3.4.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分は CPU の割り込み要求信号回路とホールド解除回路を示しています。

割り込みコントローラは、各割り込みチャンネル毎(合計 62 チャンネル)に、割り込み要求フラグ(フリップフロップ)、割り込み優先順位設定レジスタ、マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタを CPU がリードしたとき
- 割り込みをクリアする命令の実行(INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA 要求を受け付けた時
- その割り込みでのマイクロ DMA バースト転送が終了した時

割り込みの優先順位は、各割り込み要因毎に準備されている割り込み優先順位設定レジスタ (INTEPAD、INTE10、…等)にそれぞれの優先順位を書き込むことで設定出来ます。設定出来る割り込みレベルは 1 から 6 までの 6 レベルです。書き込み優先順位値を"0"(または"7")にする事により、該当する割り込み要求は禁止されます。

また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ(プライオリティ値の小さいもの=ベクタの小さいもの)に従い、割り込みを受け付けます。なお、割り込み優先順位設定レジスタの 3 ビット目、7 ビット目を読むと、割り込み要求フラグの状態が読み出され、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ(SR)に設定された割り込みマスクレジスタ<IFF2~0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、CPU 側の SR<IFF2~0>に、受け付けた割り込みレベル+1の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了(RETI 命令の実行)により、CPU 側の SR<IFF2~0>には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値をリストアします。

割り込みコントローラには、マイクロ DMA の起動ベクタを格納するレジスタ(8 チャンネル)が用意されています。このレジスタに起動ベクタ(表 3.4.1参照)を書き込む事により、該当する割り込み要求が発生する事によって、マイクロ DMA が起動されます。なお、このマイクロ DMA 処理の前に、マイクロ DMA パラメータ用レジスタ(DMAS, DMAD 等)に値を設定しておく必要があります。

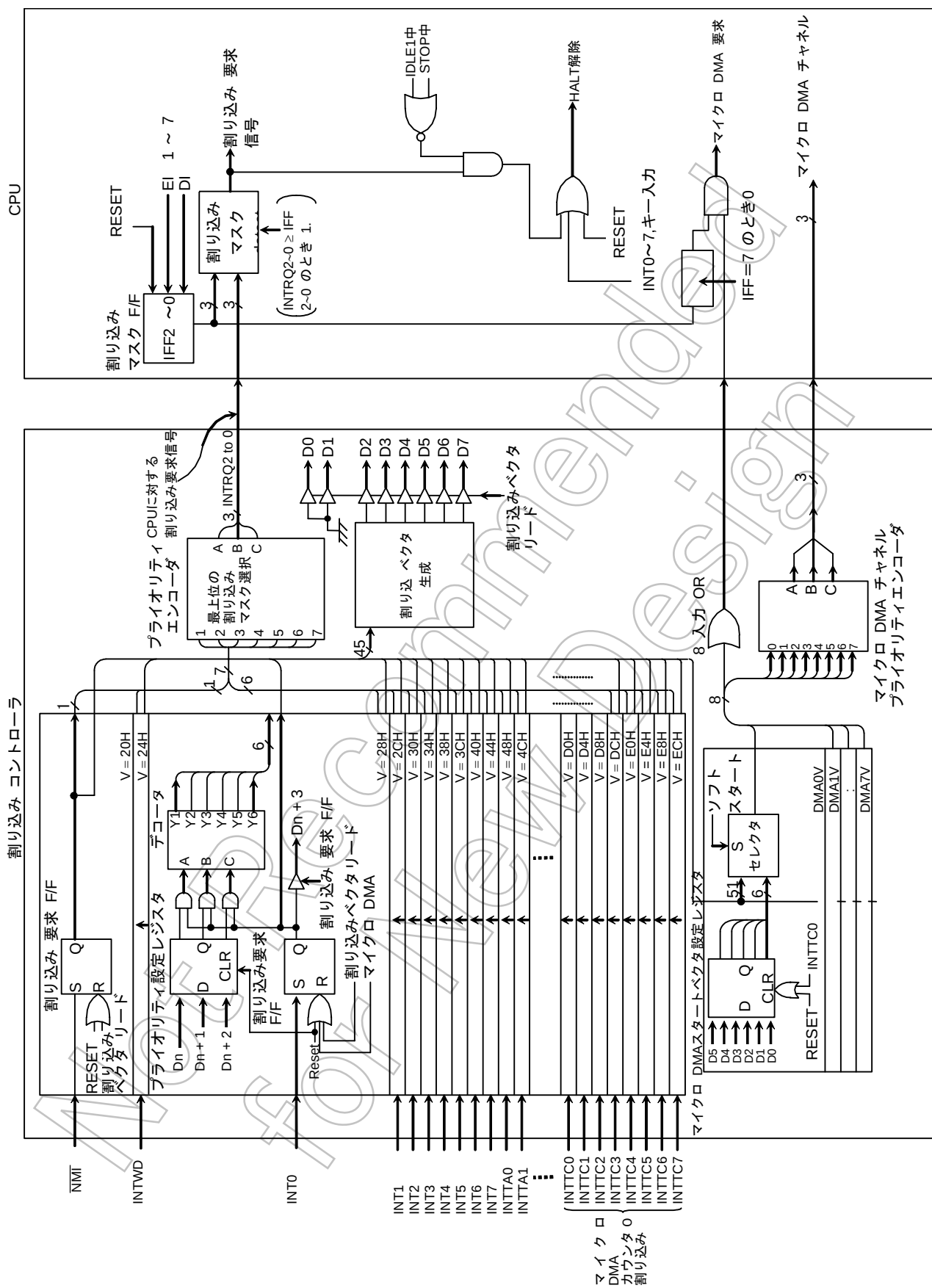


図 3.4.3 割り込みコントローラブロック図

(1) 割り込み レベル設定レジスタ

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
INTE01	INT0 & INT1 許可	D0H	INT1				INT0			
			I1C	I1M2	I1M1	I1M0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0				0			
INTE23	INT2 & INT3 許可	D1H	INT3				INT2			
			I3C	I3M2	I3M1	I3M0	I2C	I2M2	I2M1	I2M0
			R	R/W			R	R/W		
			0				0			
INTE45	INT4 & INT5 許可	D2H	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R	R/W			R	R/W		
			0				0			
INTE67	INT6 & INT7 許可	D3H	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R	R/W			R	R/W		
			0				0			
INTETA01	INTTA0 & INTTA1 許可	D4H	INTTA1(Timer1)				INTTA0(Timer0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0				0			
INTETA23	INTTA2 & INTTA3 許可	D5H	INTTA3(Timer3)				INTTA2(Timer2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0				0			
INTE8TA45	INTTA4 & INT8/INTTA5 許可	D6H	INT8/INTTA5(Timer5)				INTTA4(Timer4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0				0			
INTE9TA67	INTTA6 & INT9/INTTA7 許可	D7H	INT9/INTTA7(Timer7)				INTTA6(Timer6)			
			ITA7C	ITA7M2	ITA7M1	ITA7M0	ITA6C	ITA6M2	ITA6M1	ITA6M0
			R	R/W			R	R/W		
			0				0			

割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを"1"に設定
0	1	0	割り込みレベルを"2"に設定
0	1	1	割り込みレベルを"3"に設定
1	0	0	割り込みレベルを"4"に設定
1	0	1	割り込みレベルを"5"に設定
1	1	0	割り込みレベルを"6"に設定
1	1	1	割り込み要求を禁止に設定

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
INTES0	INTRX0 & INTTX0 許可	D8H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0				0			
INTES1	INTRX1 & INTTX1 許可	D9H	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0				0			
INTES2	INTRX2 & INTTX2 許可	DAH	INTTX2				INTRX2			
			ITX2C	ITX2M2	ITX2M1	ITX2M0	IRX2C	IRX2M2	IRX2M1	IRX2M0
			R	R/W			R	R/W		
			0				0			
INTES3	INTRX3 & INTTX3 許可	DBH	INTTX3				INTRX3			
			ITX3C	ITX3M2	ITX3M1	ITX3M0	IRX3C	IRX3M2	IRX3M1	IRX3M0
			R	R/W			R	R/W		
			0				0			
INTESB0	INTSB10 許可	DCH	-				INTSB10			
			-	-	-	-	ISB10C	ISB10M2	ISB10M1	ISB10M0
							R	R/W		
			注: “0”をライトしてください				0			
INTESB1	INTSB11 許可	DDH	-				INTSB11			
			-	-	-	-	ISB11C	ISB11M2	ISB11M1	ISB11M0
							R	R/W		
			注: “0”をライトしてください				0			
INTEAHSC0	INTA & INTHSC0 許可	DEH	INTHSC0				INTA			
			IHSC0C	IHSC0M2	IHSC0M1	IHSC0M0	IAC	IAM2	IAM1	IAM0
			R	R/W			R	R/W		
			0				0			
INTEBHSC1	INTB & INTHSC1 許可	DFH	INTHSC1				INTB			
			IHSC1C	IHSC1M2	IHSC1M1	IHSC1M0	IBC	IBM2	IBM1	IBM0
			R	R/W			R	R/W		
			0				0			
INTETB0	INTTB00 & INTTB01 許可	E0H	INTTB01				INTTB00			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0				0			

割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを"1"に設定
0	1	0	割り込みレベルを"2"に設定
0	1	1	割り込みレベルを"3"に設定
1	0	0	割り込みレベルを"4"に設定
1	0	1	割り込みレベルを"5"に設定
1	1	0	割り込みレベルを"6"に設定
1	1	1	割り込み要求を禁止に設定

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
INTETB1	INTTB10 & INTTB11 許可	E2H	INTTB11				INTTB10			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0				0			
INTETB2	INTTB20 & INTTB21 許可	E5H	INTTB21				INTTB20			
			ITB21C	ITB21M2	ITB21M1	ITB21M0	ITB20C	ITB20M2	ITB20M1	ITB20M0
			R	R/W			R	R/W		
			0				0			
INTETB3	INTTB30 & INTTB31 許可	E6H	-				INTTB31/INTTB30			
			-	-	-	-	ITB3XC	ITB3XM2	ITB3XM1	ITB3XM0
							R	R/W		
			注: “0”をライトしてください				0			
INTETB4	INTTB40 & INTTB41 許可	E7H	-				INTTB41/INTTB40			
			-	-	-	-	ITB4XC	ITB4XM2	ITB4XM1	ITB4XM0
							R	R/W		
			注: “0”をライトしてください				0			
INTETB5	INTTB50 & INTTB51 許可	E8H	-				INTTB51/INTTB50			
			-	-	-	-	ITB5XC	ITB5XM2	ITB5XM1	ITB5XM0
							R	R/W		
			注: “0”をライトしてください				0			
INTETBOX	INTTBOX (Overflow) 許可	E9H	-				INTTBOX			
			-	-	-	-	ITBOXC	ITBOXM2	ITBOXM1	ITBOXM0
							R	R/W		
			注: “0”をライトしてください				0			

割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを"1"に設定
0	1	0	割り込みレベルを"2"に設定
0	1	1	割り込みレベルを"3"に設定
1	0	0	割り込みレベルを"4"に設定
1	0	1	割り込みレベルを"5"に設定
1	1	0	割り込みレベルを"6"に設定
1	1	1	割り込み要求を禁止に設定

注1: 兼用割り込みの割り込みレベル設定レジスタは、割り込み兼用選択レジスタ(INTSEL)を切り替える前に、割り込み要求フラグを割り込みクリア制御レジスタ(INTCLR)にてクリアして下さい。
又、割り込みレベルを所望のレベルに再設定して下さい。

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
INTEPAD	INTP0 & INTAD 許可	E4H	INTP0				INTAD			
			IP0C	IP0M2	IP0M1	IP0M0	IADC	IADM2	IADM1	IADM0
			R	R/W			R	R/W		
			0				0			
INTETC01	INTTC0 & INTTC1 許可	F0H	INTTC1(DMA1)				INTTC0(DMA0)			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0				0			
INTETC23	INTTC2 & INTTC3 許可	F1H	INTTC3(DMA3)				INTTC2(DMA2)			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0				0			
INTETC45	INTTC4 & INTTC5 許可	F2H	INTTC5(DMA5)				INTTC4(DMA4)			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0				0			
INTETC67	INTTC6 & INTTC7 許可	F3H	INTTC7(DMA7)				INTTC6(DMA6)			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0				0			
INTNMWDT	NMI & INTWDT 許可	EFH	NMI				INTWDT			
			INCNM	-	-	-	ITCWD	-	-	-
			R				R			
			0	-	-	-	0	-	-	-

割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを"1"に設定
0	1	0	割り込みレベルを"2"に設定
0	1	1	割り込みレベルを"3"に設定
1	0	0	割り込みレベルを"4"に設定
1	0	1	割り込みレベルを"5"に設定
1	1	0	割り込みレベルを"6"に設定
1	1	1	割り込み要求を禁止に設定

注 1 : NMIを入力したと同時に割り込み要求フラグをリードしてもセットされていません。
割り込み要求フラグがセットされるには X1 * 4 サイクルかかります。

(2) 外部割り込み制御

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
IIMC0	割り込み 入力モード 制御 0	F6H (RMW 禁)								NMIREE
										R/W
										0
										NMI 0:Falling 1:Falling and Rising
IIMC1	割り込み 入力モード 制御 1	FAH (RMW 禁)	I7LE	I6LE	I5LE	I4LE	I3LE	I2LE	I1LE	I0LE
			R/W							
			0	0	0	0	0	0	0	0
			INT7 0:Edge 1:Level	INT6 0:Edge 1:Level	INT5 0:Edge 1:Level	INT4 0:Edge 1:Level	INT3 0:Edge 1:Level	INT2 0:Edge 1:Level	INT1 0:Edge 1:Level	INT0 0:Edge 1:Level
IIMC2	割り込み 入力モード 制御 2	FBH (RMW 禁)	I7EDGE	I6EDGE	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE
			R/W							
			0	0	0	0	0	0	0	0
			INT7 0:Rising /High 1:Falling /Low	INT6 0:Rising /High 1:Falling /Low	INT5 0:Rising /High 1:Falling /Low	INT4 0:Rising /High 1:Falling /Low	INT3 0:Rising /High 1:Falling /Low	INT2 0:Rising /High 1:Falling /Low	INT1 0:Rising /High 1:Falling /Low	INT0 0:Rising /High 1:Falling /Low
IIMC3	割り込み 入力モード 制御 3	10EH (RMW 禁)					IBLE	IALE	I9LE	I8LE
							R/W			
							0	0	0	0
							INTB 0:Edge 1:Level	INTA 0:Edge 1:Level	INT9 0:Edge 1:Level	INT8 0:Edge 1:Level
IIMC4	割り込み 入力モード 制御 4	10FH (RMW 禁)					IBEDGE	IAEDGE	I9EDGE	I8EDGE
							R/W			
							0	0	0	0
							INTB 0:Rising /High 1:Falling /Low	INTA 0:Rising /High 1:Falling /Low	INT9 0:Rising /High 1:Falling /Low	INT8 0:Rising /High 1:Falling /Low

注 1: INT0~INTB 端子のモードをレベルからエッジに切り替える場合 (<IXLE>を'1'から'0'へ)、

INT0~INTB を禁止してから切り替えてください。

INT0 の設定例 :

```

DI
LD (IIMC2), XXXXXXXX0B ;レベルからエッジに切り替える
LD (INTCLR), 0AH ;割り込み要求フラグをクリア

NOP ;EI の実行をウェイト
NOP
NOP
EI

```

X = Don't care; "-" = No change.

注 2: 外部割り込みの入力パルス幅にはスペックがあります。「4.電気的特性」を参照して下さい。

外部割り込み端子 機能(1/2)

割り込み	端子名	モード	設定方法
INT0	PF0	 立ち上がり エッジ	<I0LE> = 0, <I0EDGE> = 0
		 立ち下りエッジ	<I0LE> = 0, <I0EDGE> = 1
		 High レベル	<I0LE> = 1, <I0EDGE> = 0
		 Low レベル	<I0LE> = 1, <I0EDGE> = 1
INT1	PF2	 立ち上がり エッジ	<I1LE> = 0, <I1EDGE> = 0
		 立ち下りエッジ	<I1LE> = 0, <I1EDGE> = 1
		 High レベル	<I1LE> = 1, <I1EDGE> = 0
		 Low レベル	<I1LE> = 1, <I1EDGE> = 1
INT2	PF4	 立ち上がり エッジ	<I2LE> = 0, <I2EDGE> = 0
		 立ち下りエッジ	<I2LE> = 0, <I2EDGE> = 1
		 High レベル	<I2LE> = 1, <I2EDGE> = 0
		 Low レベル	<I2LE> = 1, <I2EDGE> = 1
INT3	PF6	 立ち上がり エッジ	<I3LE> = 0, <I3EDGE> = 0
		 立ち下りエッジ	<I3LE> = 0, <I3EDGE> = 1
		 High レベル	<I3LE> = 1, <I3EDGE> = 0
		 Low レベル	<I3LE> = 1, <I3EDGE> = 1
INT4	PK0	 立ち上がり エッジ	<I4LE> = 0, <I4EDGE> = 0
		 立ち下りエッジ	<I4LE> = 0, <I4EDGE> = 1
		 High レベル	<I4LE> = 1, <I4EDGE> = 0
		 Low レベル	<I4LE> = 1, <I4EDGE> = 1
INT5	PK1	 立ち上がり エッジ	<I5LE> = 0, <I5EDGE> = 0
		 立ち下りエッジ	<I5LE> = 0, <I5EDGE> = 1
		 High レベル	<I5LE> = 1, <I5EDGE> = 0
		 Low レベル	<I5LE> = 1, <I5EDGE> = 1
INT6	PK2	 立ち上がり エッジ	<I6LE> = 0, <I6EDGE> = 0
		 立ち下りエッジ	<I6LE> = 0, <I6EDGE> = 1
		 High レベル	<I6LE> = 1, <I6EDGE> = 0
		 Low レベル	<I6LE> = 1, <I6EDGE> = 1
INT7	PK3	 立ち上がり エッジ	<I7LE> = 0, <I7EDGE> = 0
		 立ち下りエッジ	<I7LE> = 0, <I7EDGE> = 1
		 High レベル	<I7LE> = 1, <I7EDGE> = 0
		 Low レベル	<I7LE> = 1, <I7EDGE> = 1
INT8	PK4	 立ち上がり エッジ	<I8LE> = 0, <I8EDGE> = 0
		 立ち下りエッジ	<I8LE> = 0, <I8EDGE> = 1
		 High レベル	<I8LE> = 1, <I8EDGE> = 0
		 Low レベル	<I8LE> = 1, <I8EDGE> = 1

外部割り込み端子 機能(2/2)

割り込み	端子名	モード	設定方法
INT9	PK5	 立ち上がり エッジ	<I9LE> = 0, <I9EDGE> = 0
		 立ち下りエッジ	<I9LE> = 0, <I9EDGE> = 1
		 High レベル	<I9LE> = 1, <I9EDGE> = 0
		 Low レベル	<I9LE> = 1, <I9EDGE> = 1
INTA	PK6	 立ち上がり エッジ	<IALE> = 0, <IAEDGE> = 0
		 立ち下りエッジ	<IALE> = 0, <IAEDGE> = 1
		 High レベル	<IALE> = 1, <IAEDGE> = 0
		 Low レベル	<IALE> = 1, <IAEDGE> = 1
INTB	PK7	 立ち上がり エッジ	<IBLE> = 0, <IBEDGE> = 0
		 立ち下りエッジ	<IBLE> = 0, <IBEDGE> = 1
		 High レベル	<IBLE> = 1, <IBEDGE> = 0
		 Low レベル	<IBLE> = 1, <IBEDGE> = 1

(3) 割り込み制御

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
INTSEL	割り込み 兼用 選択	10CH (RMW 禁)		DP49SEL	DP48SEL	DP47SEL	DP39SEL	DP37SEL	DP26SEL	DP24SEL
				R/W						
				0	0	0	0	0	0	0
				0:INTTB50 割り込み 有効 1:INTTB51 割り込み 有効	0:INTTB40 割り込み 有効 1:INTTB41 割り込み 有効	0:INTTB30 割り込み 有効 1:INTTB31 割り込み 有効	0:INTB 割り込み 無効 1:INTB 割り込み 有効	0:INTA 割り込み 無効 1:INTA 割り込み 有効	0:INTTA7 割り込み 有効 1:INT9 割り込み 有効	0:INTTA5 割り込み 有効 1:INT8 割り込み 有効
INTST	割り込み 発生 フラグ	10DH (RMW 禁)			TBOF5ST	TBOF4ST	TBOF3ST	TBOF2ST	TBOF1ST	TBOF0ST
					R/W					
					0	0	0	0	0	0
					Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:"0"クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:"0"クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:"0"クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:"0"クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:"0"クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:"0"クリア 1:Don't care
SIMC	SIO 割り込み モード 制御	F5H (RMW 禁)	-				IR3LE	IR2LE	IR1LE	IR0LE
			W				R/W			
			0				1	1	1	1
			"1"をライ トしてく ださい				0:INTRX3 エッジ モード 1:INTRX3 レベル モード	0:INTRX2 エッジ モード 1:INTRX2 レベル モード	0:INTRX1 エッジ モード 1:INTRX1 レベル モード	0:INTRX0 エッジ モード 1:INTRX0 レベル モード

注 1：割り込みテーブルのデフォルトプライオリティ 24、26、47～49 は割り込み要因を兼用しています。同時に割り込みを使用することはできませんので、INTSEL レジスタにて使用する割り込み要因を選択する必要があります。

注 2：割り込みテーブルのデフォルトプライオリティ 50 は割り込み要因を兼用しています。このデフォルトプライオリティ 50 に割り付けられた割り込み要因は同時に使用することができます。どの割り込みが発生したかは INTST レジスタにて割り込み発生フラグを確認してください。

注 3：割り込み兼用選択レジスタ(INTSEL)を切り替えて使用する場合は、割り込みレベル設定レジスタの割り込み要求フラグを、割り込みクリア制御レジスタ(INTCLR)にてクリア後使用して下さい。又、割り込みレベル設定レジスタの割り込み要求レベルも所望のレベルに再設定して下さい。

注 4：割り込みを使用する場合は、必ず SIMC レジスタのビット 7 に"1"をライトして下さい。

(4) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタにマイクロ DMA 起動ベクタを書く事で行います。
例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH INT0 割り込み要求フラグのクリア

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
INTCLR	割り込み クリア 制御	F8H (RMW 禁)	-	-	-	-	-	-	-	-
			W							
			0	0	0	0	0	0	0	0
			割り込み ベクタ							

(5) マイクロ DMA スタートベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが"0"になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

したがって、2 チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します。(マイクロ DMA のチェーン)

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 起動 ベクタ	100H			DMA0 起動ベクタ					
					DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
DMA1V	DMA1 起動 ベクタ	101H			DMA1 起動ベクタ					
					DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
DMA2V	DMA2 起動 ベクタ	102H			DMA2 起動ベクタ					
					DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
DMA3V	DMA3 起動 ベクタ	103H			DMA3 起動ベクタ					
					DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
DMA4V	DMA4 起動 ベクタ	104H			DMA4 起動ベクタ					
					DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
DMA5V	DMA5 起動 ベクタ	105H			DMA5 起動ベクタ					
					DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
DMA6V	DMA6 起動 ベクタ	106H			DMA6 起動ベクタ					
					DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
DMA7V	DMA7 起動 ベクタ	107H			DMA7 起動ベクタ					
					DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0

(6) マイクロDMAのバースト指定

マイクロDMA処理はバースト指定を行うことにより、1回のマイクロDMA起動で転送カウンタ・レジスタがゼロになるまで、連続転送を行う事が可能です。下記に示すDMABレジスタのマイクロDMAチャンネルに対応するビットを"1"にすることで、バースト指定できます。

Symbol	NAME	アドレス	7	6	5	4	3	2	1	0
DMAB	DMA バースト	108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0

Not Recommended for New Design

(7)注意事項

本 CPU は、命令実行ユニットとバスインタフェースユニットが別れています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令^(注)を実行するということがあります。この場合、CPU は要因消滅ベクタ"0004H"を読み込み、FFFF04H 番地の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を置くようにして下さい。また、再び割り込みイネーブルに設定する場合は EI 命令を実行して下さい。なお、EI 命令はクリア命令後、3 命令(例："NOP"が 3 回)以上実行された後に実行して下さい。クリア命令後すぐに EI 命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル(ステータスレジスタ SR の<IFF2:0>)を書き替えるときは、かならず DI 命令により割り込みを禁止した後に POP SR 命令を実行して下さい。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0~INTB の レベルモード	エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更(エッジ→レベル)を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。 INT0 を"0"から"1"にすることによって、CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を"1"のままにしておく必要があります。また、INT0~INTB のレベルモードを HALT の解除に使用する場合も一度"0"から"1"にしたら、HALT が解除されるまで必ず"1"に保持しておく必要があります。(ノイズによって途中で"0"が入ることがないようにして下さい) レベルモードからエッジモードへ切り替えたとき、そのレベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下にシーケンスでクリアしてください。 例) INT0 の割り込み要求フラグをクリア <pre> DI LD (IIMC2),00H ; レベルからエッジへ切り替える LD (INTCLR),0AH ; INT0 割り込み要求フラグをクリア NOP ; EI の実行をウェイト NOP NOP NOP EI </pre>
INTRX0~INTRX3	レベルモード時、割り込み要求用フリップフロップをクリアするには、リセット動作 または、シリアルチャネルの受信バッファをリードする必要があります。命令によるクリアはできません。

注: 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0~INTB : エッジモードで割り込み要求発生後のレベルモードへの切り替え命令

レベルモードでの割り込み要求発生後の端子入力変化 ("H"→"L")

INTRX0~INTRX3 : 受信バッファをリードする命令

(8)割り込み要因の兼用について

下記の割り込み要因については、割り込みを兼用しています。使用する場合は注意が必要となります。

1)INT8/INTTA5

割り込みテーブル/割り込みレベル設定レジスタを兼用しています。そのため、同時に使用することはできません。マイクロ DMA 起動もどちらか片方のみ使用可能となります。使用する割り込み要因の切り替えを行うには、INTSEL<DP24SEL>を設定する必要があります。

INTSEL<DP24SEL>を"1"に設定すると INTTA5(8 ビットタイマ 5)の割り込みが発生しても消滅します。

INTSEL<DP24SEL>を"0"に設定すると INT8(INT8 端子入力)の割り込みが発生しても消滅します。

2)INT9/INTTA7

割り込みテーブル/割り込みレベル設定レジスタを兼用しています。そのため、同時に使用することはできません。マイクロ DMA 起動もどちらか片方のみ使用可能となります。使用する割り込み要因の切り替えを行うには、INTSEL<DP26SEL>を設定する必要があります。

INTSEL<DP26SEL>を"1"に設定すると INTTA7(8 ビットタイマ 7)の割り込みが発生しても消滅します。

INTSEL<DP26SEL>を"0"に設定すると INT9(INT9 端子入力)の割り込みが発生しても消滅します。

3)INTTB31/INTTB30

割り込みテーブル/割り込みレベル設定レジスタを兼用しています。そのため、同時に使用することはできません。マイクロ DMA 起動もどちらか片方のみ使用可能となります。使用する割り込み要因の切り替えを行うには、INTSEL<DP47SEL>を設定する必要があります。

INTSEL<DP47SEL>を"1"に設定すると INTTB30(16 ビットタイマ 3)の割り込みが発生しても消滅します。

INTSEL<DP47SEL>を"0"に設定すると INTTB31(16 ビットタイマ 3)の割り込みが発生しても消滅します。

4)INTTB41/INTTB40

割り込みテーブル/割り込みレベル設定レジスタを兼用しています。そのため、同時に使用することはできません。マイクロ DMA 起動もどちらか片方のみ使用可能となります。使用する割り込み要因の切り替えを行うには、INTSEL<DP48SEL>を設定する必要があります。

INTSEL<DP48SEL>を"1"に設定すると INTTB40(16 ビットタイマ 4)の割り込みが発生しても消滅します。

INTSEL<DP48SEL>を"0"に設定すると INTTB41(16 ビットタイマ 4)の割り込みが発生しても消滅します。

5)INTTB51/INTTB50

割り込みテーブル/割り込みレベル設定レジスタを兼用しています。そのため、同時に使用することはできません。マイクロ DMA 起動もどちらか片方のみ使用可能となります。使用する割り込み要因の切り替えを行うには、INTSEL<DP49SEL>を設定する必要があります。

INTSEL<DP49SEL>を"1"に設定すると INTTB50(16 ビットタイマ 5)の割り込みが発生しても消滅します。

INTSEL<DP49SEL>を"0"に設定すると INTTB51(16 ビットタイマ 5)の割り込みが発生しても消滅します。

割り込み要因を切り替える場合は、以下の手順で切り替えを行ってください。

割り込みレベル設定レジスタを割り込み要求禁止に設定し、割り込み要求フラグをクリアする。割り込み兼用選択レジスタを使用する割り込み要因に設定する。割り込みレベル設定レジスタに割り込みレベルを設定する。

3.5 ポート機能

TMP92CM27は表 3.5.1に示すような汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能も持っています。表 3.5.2 ポート機能に各ポート端子の機能を、入出力ポート設定一覧表に各端子の設定方法を示します。

表 3.5.1 ポート機能(R: PD = プログラマブルプルダウン抵抗付, U = プルアップ抵抗付) (1/2)

ポート名	ピン名称	ピン数	方向	R	入出力 設定	内蔵機能用ピン名称
ポート 1	P10 ~ P17	8	入出力	–	ビット	D8 ~ D15
ポート 6	P60 ~ P67	8	入出力	–	ビット	A16 ~ A23
ポート 7	P71	1	入出力	U	ビット	WRL $\overline{\text{L}}$
	P72	1	入出力	U	ビット	WRL $\overline{\text{U}}$
	P73	1	入出力	–	ビット	R/ $\overline{\text{W}}$
	P74	1	入出力	U	ビット	SR $\overline{\text{WR}}$
	P75	1	入出力	U	ビット	SRL $\overline{\text{LB}}$
	P76	1	入出力	U	ビット	SRL $\overline{\text{UB}}$
	P77	1	入出力	–	ビット	WAIT
ポート 8	P80	1	出力	–	(固定)	CS $\overline{0}$
	P81	1	出力	–	(固定)	CS $\overline{1}$
	P82	1	出力	–	(固定)	CS $\overline{2}$
	P83	1	出力	–	(固定)	CS $\overline{3}$ / SDC $\overline{\text{S}}$
	P84	1	出力	–	(固定)	CS $\overline{4}$
	P85	1	出力	–	(固定)	CS $\overline{5}$ / WDTOUT
	P86	1	入出力	–	ビット	BUS $\overline{\text{RQ}}$
	P87	1	入出力	–	ビット	BUS $\overline{\text{AK}}$
ポート 9	P90	1	出力	–	(固定)	SD $\overline{\text{WE}}$
	P91	1	出力	–	(固定)	SD $\overline{\text{RAS}}$
	P92	1	出力	–	(固定)	SDC $\overline{\text{AS}}$
	P93	1	出力	–	(固定)	SDLLD $\overline{\text{QM}}$
	P94	1	出力	–	(固定)	SDLUD $\overline{\text{QM}}$
	P95	1	出力	–	(固定)	SDCKE
	P96	1	出力	–	(固定)	SDCLK
ポート A	PA0	1	入出力	–	ビット	RXD $\overline{0}$
	PA1	1	入出力	–	ビット	TXD $\overline{0}$
	PA2	1	入出力	–	ビット	SCLK $\overline{0}$ / CTS $\overline{0}$
	PA3	1	入出力	–	ビット	RXD $\overline{1}$
	PA4	1	入出力	–	ビット	TXD $\overline{1}$
	PA5	1	入出力	–	ビット	SCLK $\overline{1}$ / CTS $\overline{1}$
ポート C	PC0	1	入出力	–	ビット	SO $\overline{0}$ /SDA $\overline{0}$
	PC1	1	入出力	–	ビット	SI $\overline{0}$ /SCL $\overline{0}$
	PC2	1	入出力	–	ビット	SCK $\overline{0}$
	PC3	1	入出力	–	ビット	SO $\overline{1}$ /SDA $\overline{1}$
	PC4	1	入出力	–	ビット	SI $\overline{1}$ /SCL $\overline{1}$
	PC5	1	入出力	–	ビット	SCK $\overline{1}$

表 3.5.1 ポート機能(R: PD = プログラマブルプルダウン抵抗付, U = プルアップ抵抗付) (2/2)

ポート名	ピン名称	ピン数	方向	R	入出力 設定	内蔵機能用ピン名称
ポート D	PD0	1	入出力	–	ビット	HSSI0
	PD1	1	入出力	–	ビット	HSSO0
	PD2	1	入出力	–	ビット	HSCLK0
	PD3	1	入出力	–	ビット	RXD2
	PD4	1	入出力	–	ビット	TXD2
	PD5	1	入出力	–	ビット	SCLK2/CTS2
ポート F	PF0	1	入出力	–	ビット	TA0IN/INT0
	PF1	1	入出力	–	ビット	TA1OUT
	PF2	1	入出力	–	ビット	TA2IN/INT1
	PF3	1	入出力	–	ビット	TA3OUT
	PF4	1	入出力	–	ビット	TA4IN/INT2
	PF5	1	入出力	–	ビット	TA5OUT
	PF6	1	入出力	–	ビット	TA6IN/INT3
ポート J	PJ0	1	入出力	–	ビット	TB0OUT0
	PJ1	1	入出力	–	ビット	TB0OUT1
	PJ2	1	入出力	–	ビット	TB1OUT0
	PJ3	1	入出力	–	ビット	TB1OUT1
	PJ4	1	入出力	–	ビット	TB2OUT0/TB4OUT0
	PJ5	1	入出力	–	ビット	TB2OUT1/TB4OUT1
	PJ6	1	入出力	–	ビット	TB3OUT0/TB5OUT0
	PJ7	1	入出力	–	ビット	TB3OUT1/TB5OUT1
ポート K	PK0	1	入力	–	(固定)	TB0IN0/INT4
	PK1	1	入力	–	(固定)	TB0IN1/INT5
	PK2	1	入力	–	(固定)	TB1IN0/INT6
	PK3	1	入力	–	(固定)	TB1IN1/INT7
	PK4	1	入力	–	(固定)	TB2IN0/INT8
	PK5	1	入力	–	(固定)	TB2IN1/INT9
	PK6	1	入力	–	(固定)	TB3IN0/INTA
	PK7	1	入力	–	(固定)	TB3IN1/INTB
ポート L	PL0	1	入出力	–	ビット	PG00/RXD3
	PL1	1	入出力	–	ビット	PG01/TXD3
	PL2	1	入出力	–	ビット	PG02/SCLK3/CTS3
	PL3	1	入出力	–	ビット	PG03/TA7OUT
	PL4	1	入出力	–	ビット	PG10/HSSI1
	PL5	1	入出力	–	ビット	PG11/HSSO1
	PL6	1	入出力	–	ビット	PG12/HSCLK1
	PL7	1	入出力	–	ビット	PG13
ポート M	PM0~PM7	8	入力	–	(固定)	AN0~AN7/KI0~KI7
ポート N	PN0~PN2	3	入力	–	(固定)	AN8~AN10
	PN3	1	入力	–	(固定)	AN11/ADTRG

表 3.5.2 I/O ポート設定一覧表(1/7)

X: Don't care

ポート	ピン名称	仕様	入出力 レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート 1	P10~P17	入力ポート	X	0	0	なし
		出力ポート	X	1		
		D8~D15 バス	X	X		
ポート 6	P60~P67	入力ポート	X	0	0	なし
		出力ポート	X	1		
		A16~A23 出力	X	X		
ポート 7	P71	入力ポート(プルアップ無)	0	0	0	なし
		入力ポート(プルアップ有)	1	0	0	
		出力ポート	X	1	0	
		WRL $\overline{\text{L}}$	X	1	1	
	P72	入力ポート(プルアップ無)	0	0	0	
		入力ポート(プルアップ有)	1	0	0	
		出力ポート	X	1	0	
		WRL $\overline{\text{U}}$	X	1	1	
	P73	入力ポート	X	0	0	
		出力ポート	X	1	0	
		R/W	X	1	1	
	P74	入力ポート(プルアップ無)	0	0	0	
		入力ポート(プルアップ有)	1	0	0	
		出力ポート	X	1	0	
		SRWR	X	1	1	
	P75	入力ポート(プルアップ無)	0	0	0	
		入力ポート(プルアップ有)	1	0	0	
		出力ポート	X	1	0	
		SRL $\overline{\text{L}}$ B	X	1	1	
	P76	入力ポート(プルアップ無)	0	0	0	
		入力ポート(プルアップ有)	1	0	0	
		出力ポート	X	1	0	
		SRUB	X	1	1	
	P77	入力ポート	X	0	0	
		出力ポート	X	1	0	
		WAIT	X	0	1	

表 3.5.2 I/O ポート設定一覧表(2/7)

X: Don't care

ポート	ピン名称	仕様	入出力 レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート 8	P80	出力ポート	X	なし	0	なし
		$\overline{\text{CS0}}$ 出力	X		1	
	P81	出力ポート	X		0	
		$\overline{\text{CS1}}$ 出力	X		1	
	P82	出力ポート	X		0	
		$\overline{\text{CS2}}$ 出力	X		1	
	P83	出力ポート	X	なし	0	0
		$\overline{\text{CS3}}$ 出力	X		1	0
		SDCS 出力	X		1	1
		設定禁止	X		0	1
	P84	出力ポート	X		0	なし
		$\overline{\text{CS4}}$ 出力	X		1	
	P85	出力ポート	X		0	0
		$\overline{\text{CS5}}$ 出力	X		1	0
		$\overline{\text{WDOUT}}$ 出力	X		1	1
		設定禁止	X		0	1
	P86~P87	入力ポート	X		0	なし
		出力ポート	X		1	
	P86	BUSRQ	X		0	
		設定禁止	X		1	
	P87	BUSAK	X		1	
		設定禁止	X		0	
ポート 9	P90~P96	出力ポート	X	なし	0	なし
	P90	$\overline{\text{SDWE}}$	X		1	
	P91	$\overline{\text{SDRAS}}$	X		1	
	P92	$\overline{\text{SDCAS}}$	X		1	
	P93	$\overline{\text{SDLLDQM}}$	X		1	
	P94	$\overline{\text{SDLUDQM}}$	X		1	
	P95	$\overline{\text{SDCKE}}$	X		1	
	P96	$\overline{\text{SDCLK}}$	X		1	

表 3.5.2 I/O ポート設定一覧表(3/7)

X: Don't care

ポート	ピン名称	仕様	入出力 レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート A	PA0	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		RXD0 入力	X	0	1	
	PA1	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TXD0 出力	X	1	1	0
		TXD0(オープンドレイン)出力	X	1	1	1
	PA2	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		SCLK0/CTS0 入力	X	0	1	
		SCLK0 出力	X	1	1	
	PA3	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		RXD1 入力	X	0	1	
	PA4	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TXD1 出力	X	1	1	0
		TXD1(オープンドレイン)出力	X	1	1	1
	PA5	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		SCLK1/CTS1 入力	X	0	1	
		SCLK1 出力	X	1	1	
ポート C	PC0	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		SO0 出力	X	0	1	0
		SDA0 入出力	X	1	1	0
		SO0(オープンドレイン)出力	X	0	1	1
		SDA0(オープンドレイン)入出力	X	1	1	1
	PC1	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		SI0 入力	X	0	1	0
		SCL0 入出力	X	0	1	1
		SCL0(オープンドレイン)入出力	X	1	1	1
	PC2	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		SCK0 入力	X	0	1	
		SCK0 出力	X	1	1	

表 3.5.2 I/O ポート設定一覧表(4/7)

X: Don't care

ポート	ピン名称	仕様	入出力 レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート C	PC3	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		SO1 出力	X	0	1	0
		SDA1 入出力	X	1	1	0
		SO1(オープンドレイン)出力	X	0	1	1
		SDA1(オープンドレイン)入出力	X	1	1	1
	PC4	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		SI1 入力	X	0	1	0
		SCL1 入出力	X	0	1	1
		SCL1(オープンドレイン)入出力	X	1	1	1
	PC5	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		SCK1 入力	X	0	1	
		SCK1 出力	X	1	1	
ポート D	PD0	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		HSSI0 入力	X	0	1	
	PD1	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		HSSO0 出力	X	1	1	
	PD2	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		HSCLK0 出力	X	1	1	
	PD3	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		RXD2 入力	X	0	1	
	PD4	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TXD2 出力	X	1	1	0
		TXD2(オープンドレイン)出力	X	1	1	1
	PD5	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		SCLK2/CTS2 入力	X	0	1	
		SCLK2 出力	X	1	1	

表 3.5.2 I/O ポート設定一覧表(5/7)

X: Don't care

ポート	ピン名称	仕様	入出力 レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート F	PF0	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TA0IN 入力	X	0	1	0
		INT0 入力	X	0	1	1
	PF1	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		TA1OUT 出力	X	1	1	
	PF2	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TA2IN 入力	X	0	1	0
		INT1 入力	X	0	1	1
	PF3	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		TA3OUT 出力	X	1	1	
	PF4	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TA4IN 入力	X	0	1	0
		INT2 入力	X	0	1	1
	PF5	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		TA5OUT 出力	X	1	1	
	PF6	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TA6IN 入力	X	0	1	0
		INT3 入力	X	0	1	1
ポート J	PJ0	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
		TB0OUT0 出力	X	1	1	
	PJ1	入力ポート	X	0	0	
		出力ポート	X	1	0	
		TB0OUT1 出力	X	1	1	
	PJ2	入力ポート	X	0	0	
		出力ポート	X	1	0	
		TB1OUT0 出力	X	1	1	
	PJ3	入力ポート	X	0	0	
		出力ポート	X	1	0	
		TB1OUT0 出力	X	1	1	

表 3.5.2 I/O ポート設定一覧表(6/7)

X: Don't care

ポート	ピン名称	仕様	入出力 レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート J	PJ4	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TB2OUT0 出力	X	1	1	0
		TB4OUT0 出力	X	1	1	1
	PJ5	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TB2OUT1 出力	X	1	1	0
		TB4OUT1 出力	X	1	1	1
	PJ6	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TB3OUT0 出力	X	1	1	0
		TB5OUT0 出力	X	1	1	1
	PJ7	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		TB3OUT1 出力	X	1	1	0
		TB5OUT1 出力	X	1	1	1
ポート K	PK0	入力ポート	X		0	0
		TB0IN0 入力	X		1	0
		INT4 入力	X		1	1
	PK1	入力ポート	X		0	0
		TB0IN1 入力	X		1	0
		INT5 入力	X		1	1
	PK2	入力ポート	X		0	0
		TB1IN0 入力	X		1	0
		INT6 入力	X		1	1
	PK3	入力ポート	X		0	0
		TB1IN1 入力	X		1	0
		INT7 入力	X		1	1
	PK4	入力ポート	X		0	0
		TB2IN0 入力	X		1	0
		INT8 入力	X		1	1
	PK5	入力ポート	X		0	0
		TB2IN1 入力	X		1	0
		INT9 入力	X		1	1
	PK6	入力ポート	X		0	0
		TB3IN0 入力	X		1	0
		INTA 入力	X		1	1
	PK7	入力ポート	X		0	0
		TB3IN1 入力	X		1	0
		INTB 入力	X		1	1

表 3.5.2 I/O ポート設定一覧表(7/7)

X: Don't care

ポート	ピン名称	仕様	入出力 レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート L	PL0	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		PG00 出力	X	1	1	0
		RXD3 入力	X	0	1	0
	PL1	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		PG01 出力	X	1	1	0
		TXD3 出力	X	1	0	1
		TXD3(オープンドレイン)出力	X	1	1	1
	PL2	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		PG02 出力	X	1	1	0
		SCLK3/CTS3 入力	X	0	0	1
		SCLK3 出力	X	1	0	1
	PL3	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		PG03 出力	X	1	1	0
		TA7OUT	X	1	1	1
	PL4	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		PG10 出力	X	1	1	0
		HSS11 入力	X	0	0	1
	PL5	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		PG11 出力	X	1	1	0
		HSS01 出力	X	1	0	1
	PL6	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		PG12 出力	X	1	1	0
		HSCLK1 出力	X	1	0	1
	PL7	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		PG13 出力	X	1	1	0
ポート M	PM0~PM7	入力ポート/KEY IN 入力	X	なし	0	なし
		AN0~AN7 入力	X		1	
ポート N	PN0~PN2	入力ポート	X	なし	0	なし
		AN8~AN10 入力	X		1	
	PN3	入力ポート/ADTRG	X		0	
		AN11 入力	X		1	

入力バッファ状態表 (1/3)

ポート名	入力 Function名	入力バッファ状態										
		リセット時	CPU動作中		HALT 中							
					IDLE2		IDLE1		STOP		STOP	
									<DRVE> = 1		<DRVE> = 0	
			Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時
D0-D7	D0-D7	OFF	外部リ ードでON	—	OFF	—	OFF	—	OFF	—	OFF	—
P10-P17	D8-D15	OFF		ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
P60-P67	A16-A23	OFF		ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
P71-P72 P74-P76 (*1)	—	ON	—	ON	—	OFF	—	OFF	—	OFF	—	OFF
P73	—	ON	—	ON	—	OFF	—	OFF	—	OFF	—	OFF
P77	WAIT	ON	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
P80-P85	—	—										
P86	BUSRQ	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
P87	—	ON	—	ON	—	OFF	—	OFF	—	OFF	—	OFF
P90-P96	—	P9DRにより制御										
PA0	RXD0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PA1	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PA2	SCLK0/ CTS0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PA3	RXD1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PA4	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PA5	SCLK1/ CTS1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PC0	SDA0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PC1	SI0/SCL0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PC2	SCK0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PC3	SDA1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PC4	SI1/SCL1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PC5	SCK1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PD0	HSSI0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PD1-PD2	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PD3	RXD2	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PD4	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PD5	SCLK2/ CTS2	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF

入力バッファ状態表 (2/3)

ポート名	入力 Function名	入力バッファ状態										
		リセット時	CPU動作中		HALT 中							
					IDLE2		IDLE1		STOP		STOP	
									<DRVE> = 1		<DRVE> = 0	
			Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時
PF0	TA0IN	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT0										ON	
PF1	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PF2	TA2IN	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT1										ON	
PF3	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PF4	TA4IN	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT2										ON	
PF5	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PF6	TA6IN	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT3										ON	
PJ0-PJ7	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PK0	TB0IN0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT4										ON	
PK1	TB0IN1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT4										ON	
PK2	TB1IN0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT4										ON	
PK3	TB1IN1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT4										ON	
PK4	TB2IN0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT4										ON	
PK5	TB2IN1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT4										ON	
PK6	TB3IN0	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT4										ON	
PK7	TB3IN1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
	INT4										ON	
PL0	RXD3	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PL1	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PL2	SCLK2/ CTS2	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PL3	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PL4	HSSI1	ON	ON	ON	ON	OFF	ON	OFF	ON	OFF	OFF	OFF
PL5-PL7	-	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF

入力バッファ状態表 (3/3)

ポート名	入力 Function名	入力バッファ状態											
		リ セ ッ ト	CPU動作中		HALT 中								
					IDLE2		IDLE1		STOP		STOP		
									<DRVE> = 1		<DRVE> = 0		
			Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時	入力ポート 設定時	Function 設定時
PM0～ PM7	AN0～AN7	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
	KEY0～ KEY7		ON		ON		ON		ON	ON	ON		
PN0～ PN3	AN8～ AN11	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
PN3	ADTRG		-		ON		ON		ON	ON	ON		

ON : 常時BufferがONしているため、入力端子がドライブされてないと

入力バッファに貫通電流が流れます。

OFF : 常時BufferがOFFしています

— : 対象なし

*1 : Pull-Up/Down抵抗付きポートです。

*2 : AIN入力では貫通電流が流れません。

*3 : AM0=0,AM1=1 時、リセット後、入力ポートになり、リセット中、入力バッファがON

出力バッファ状態表 (1/3)

ポート名	出力 Function名	出力バッファ状態										
		リセット中	CPU動作中		HALT 中							
					IDLE2		IDLE1		STOP		STOP	
			Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時	<DRVE> = 1		<DRVE> = 0	
									Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時
D0-D7	D0-D7	OFF	ト 外部ラ イ で ON	—	ON	—	OFF	—	OFF	—	OFF	—
P10-P17	D8-D15	OFF		ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF
P60-P67	A16-A23	ON	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
P71	WRL $\overline{\text{L}}$	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
P72	WRL $\overline{\text{U}}$											
P73	R/ $\overline{\text{W}}$											
P74	SRWR											
P75	SRL $\overline{\text{LB}}$											
P76	SRL $\overline{\text{UB}}$											
P77	—	OFF	—	ON	—	ON	—	ON	—	ON	—	OFF
P80	$\overline{\text{CS0}}$	ON	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
P81	$\overline{\text{CS1}}$	ON										
P82	$\overline{\text{CS2}}$	ON										
P83	$\overline{\text{CS3}}/\text{SDCS}$	ON										
P84	$\overline{\text{CS4}}$	ON										
P85	$\overline{\text{CS5}}/\text{WDTOU}$	ON										
P86	—	OFF	—	ON	—	ON	—	ON	—	ON	—	OFF
P87	BUSAK	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
P90	SDWE	ON	ON	ON	<PXDR>=1 : ON <PXDR>=0 : OFF							
P91	SDRAS											
P92	SDCAS											
P93	SDLLDQM											
P94	SDLUDQM											
P95	SDCKE											
P96	SDCLK											
PA0	-	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF
PA1	TXD0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PA2	SCLK0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PA3	-	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF
PA4	TXD1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PA5	SCLK1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF

出力バッファ状態表 (2/3)

ポート名	出力 Function名	出力バッファ状態												
		リセット時	CPU動作中		HALT 中						STOP		STOP	
					IDLE2		IDLE1							
									<DRIVE> = 1		<DRIVE> = 0			
			Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時
PC0	SO0/SDA0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PC1	SCL0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PC2	SCK0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PC3	SO1/SDA1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PC4	SCL1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PC5	SCK1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PD0	-	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF		
PD1	HSS00	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PD2	HSCLK	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PD3	-	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF		
PD4	TXD2	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PD5	SCLK2	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PF0	-	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF		
PF1	TA1OUT	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PF2	-	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF		
PF3	TA3OUT	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PF4	-	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF		
PF5	TA5OUT	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PF6	-	OFF	OFF	ON	OFF	ON	OFF	ON	OFF	ON	OFF	OFF		
PJ0	TB0OUT0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PJ1	TB0OUT1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PJ2	TB1OUT0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PJ3	TB1OUT1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PJ4	TB2OUT0/ TB4OUT0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PJ5	TB2OUT1/ TB4OUT1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PJ6	TB3OUT0/ TB5OUT0	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PJ7	TB3OUT1/ TB5OUT1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF		
PK0-PK7	-	-												

出力バッファ状態表 (3/3)

ポート名	出力 Function名	出力バッファ状態										
		リセット モード	CPU動作中		HALT 中							
					IDLE2		IDLE1		STOP		STOP	
			Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時	Function 設定時	出力ポート 設定時	<DRVE> = 1		<DRVE> = 0	
PL0	PG00	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PL1	PG01/ TXD3	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PL2	PG02/ SCLK3	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PL3	PG03/ TA7OUT	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PL4	PG10	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PL5	PG11/ HSSO1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PL6	PG12/ HSCLK1	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PL7	PG13	OFF	ON	ON	ON	ON	ON	ON	ON	ON	OFF	OFF
PM0-PM7	-	-										
PN0-PN3	-	-										

ON : 常時バッファがONしています。ただし、バス開放時は
特定の端子の出力バッファはOFFします。

OFF : 常時BufferがOFFしています

— : 対象なし

*1 : Pull-Up/Down 抵抗付きポートです。

3.5.1 ポート 1 (P10 ~ P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。ビット毎の入出力の指定は、コントロールレジスタ P1CR およびファンクションレジスタ P1FC によって行います。汎用入出力ポート機能以外にデータバス(D8~D15)機能があります。また以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 1 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	データバス (D8 ~ D15)
1	0	入力ポート (P10 ~ P17)
1	1	設定禁止

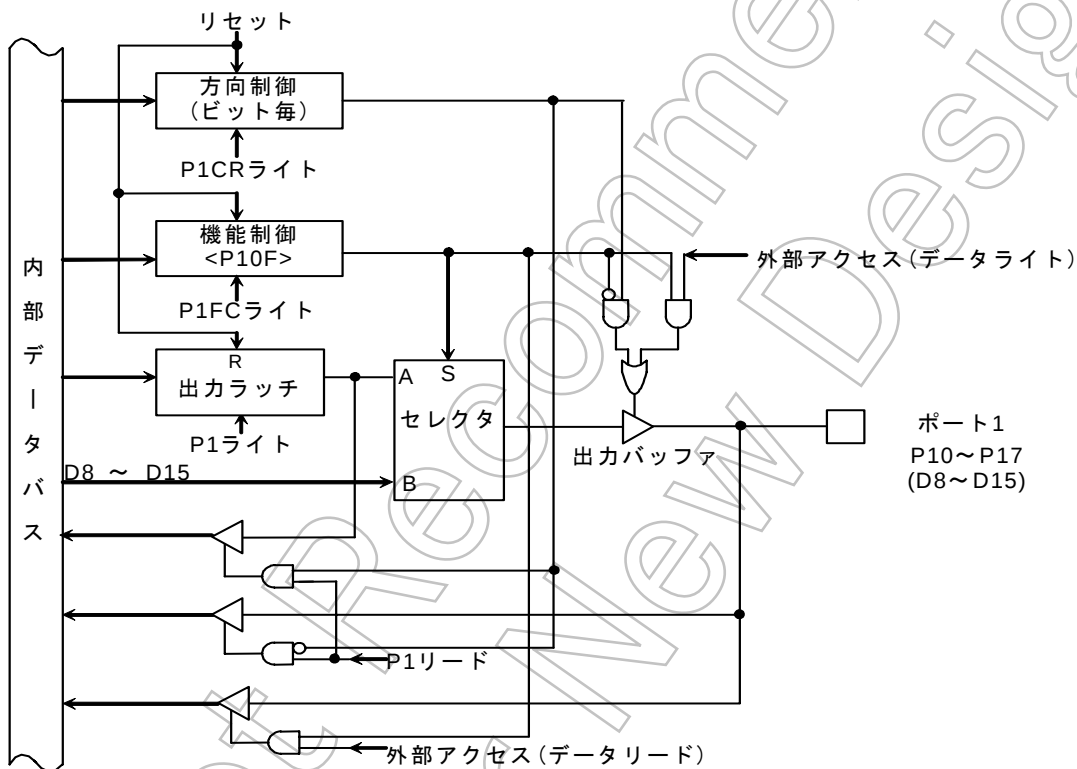


図3.5.1 ポート 1



図3.5.2 ポート 1 レジスタ

3.5.2 ポート 6 (P60 ~ P67)

ポート 6 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。ビット毎の入出力の指定は、コントロールレジスタ P6CR およびファンクションレジスタ P6FC によって行います。汎用入出力ポート機能以外にアドレスバス(A16~A23)機能があります。また以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 6 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレス バス(A16 ~ A23)
1	0	アドレス バス(A16 ~ A23)
1	1	設定禁止

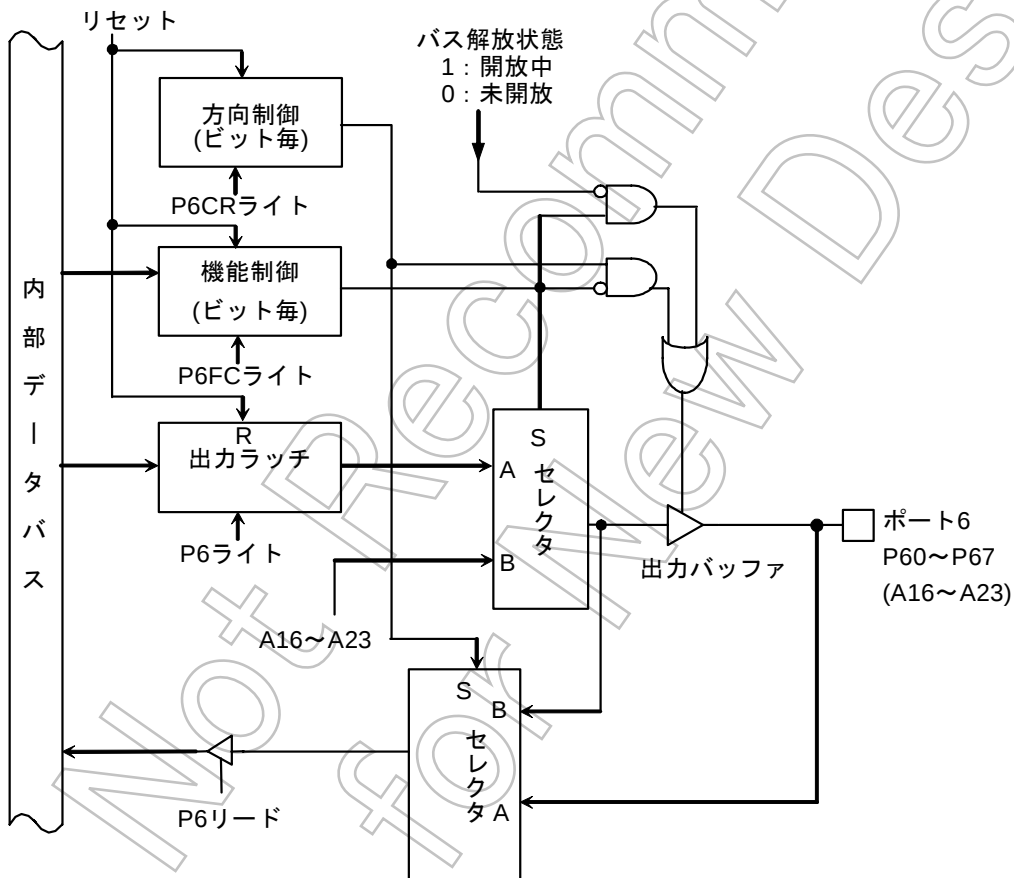


図3.5.3 ポート 6

ポート6 レジスタ

P6 (0018H)		7	6	5	4	3	2	1	0
	シンボル	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	リセット後	外部端子データ(出力ラッチレジスタは"0"にクリアされます)							

ポート6 コントロールレジスタ

P6CR (001AH)		7	6	5	4	3	2	1	0
	シンボル	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:入力 1:出力							

ポート6 ファンクションレジスタ

P6FC (001BH)		7	6	5	4	3	2	1	0
	シンボル	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1
	機能	0:ポート 1:アドレスバス(A16~A23)							

図3.5.4 ポート6 レジスタ

注意 : P6CR,P6FC レジスタはリード・モディファイ・ライトできません。

3.5.3 ポート 7 (P71 ~ P77)

P71~P77 は 6 ビットの汎用入出力ポートです。ビット毎の入出力の指定は、コントロールレジスタ P7CR およびファンクションレジスタ P7FC によって行います。また、P71~P72、P74~P76 はプルアップ抵抗付きのポートです。汎用入出力ポート機能以外に外部メモリ接続用としてのインターフェース端子の機能があります。リセット後、P71~P77 端子は入力モードとなります。

(1)P71,P72,P74,P75,P76

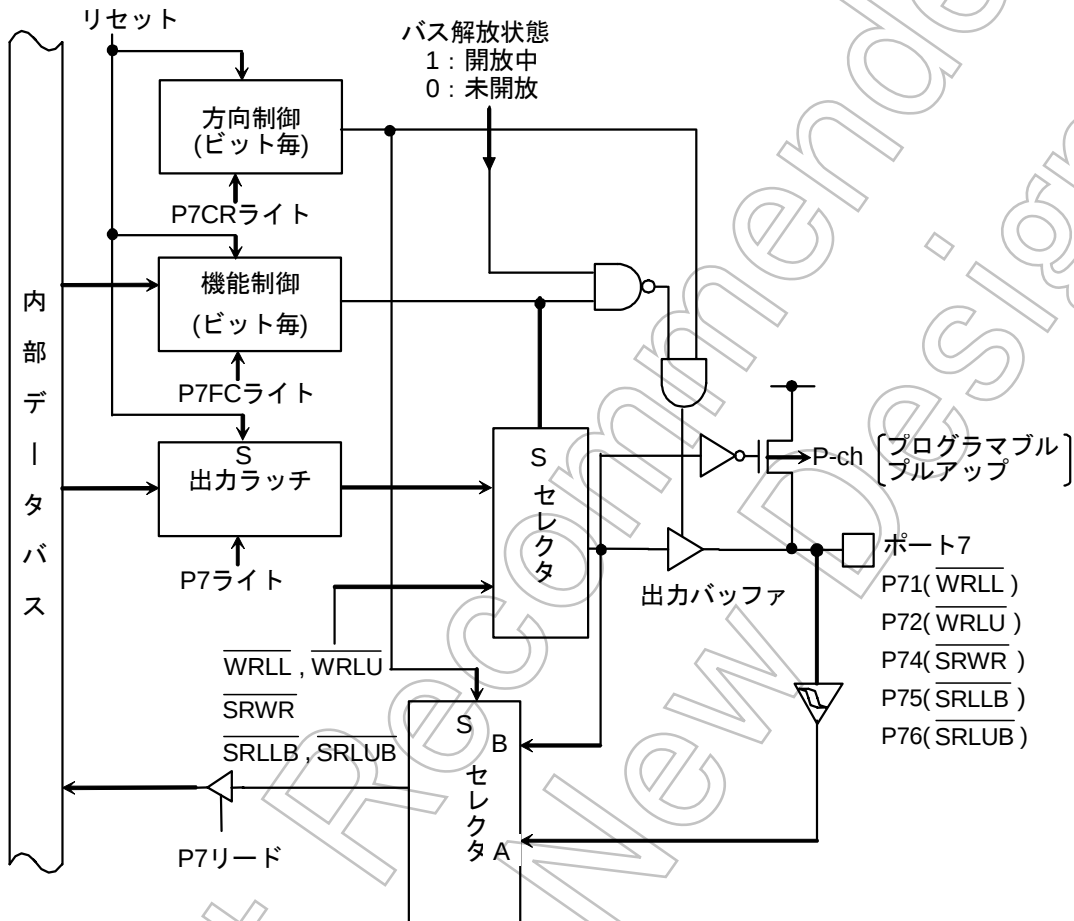


図3.5.5 ポート 7(P71,P72,P74,P75,P76)

注：端子を $\overline{WRL}$, $\overline{WRLU}$, $\overline{SRWR}$, $\overline{SLLB}$, $\overline{SRLUB}$, $\overline{WAIT}$ に設定した場合、バス開放時、出力バッファはコントロールレジスタ P7CR の出力設定に関わらず、OFF されます。

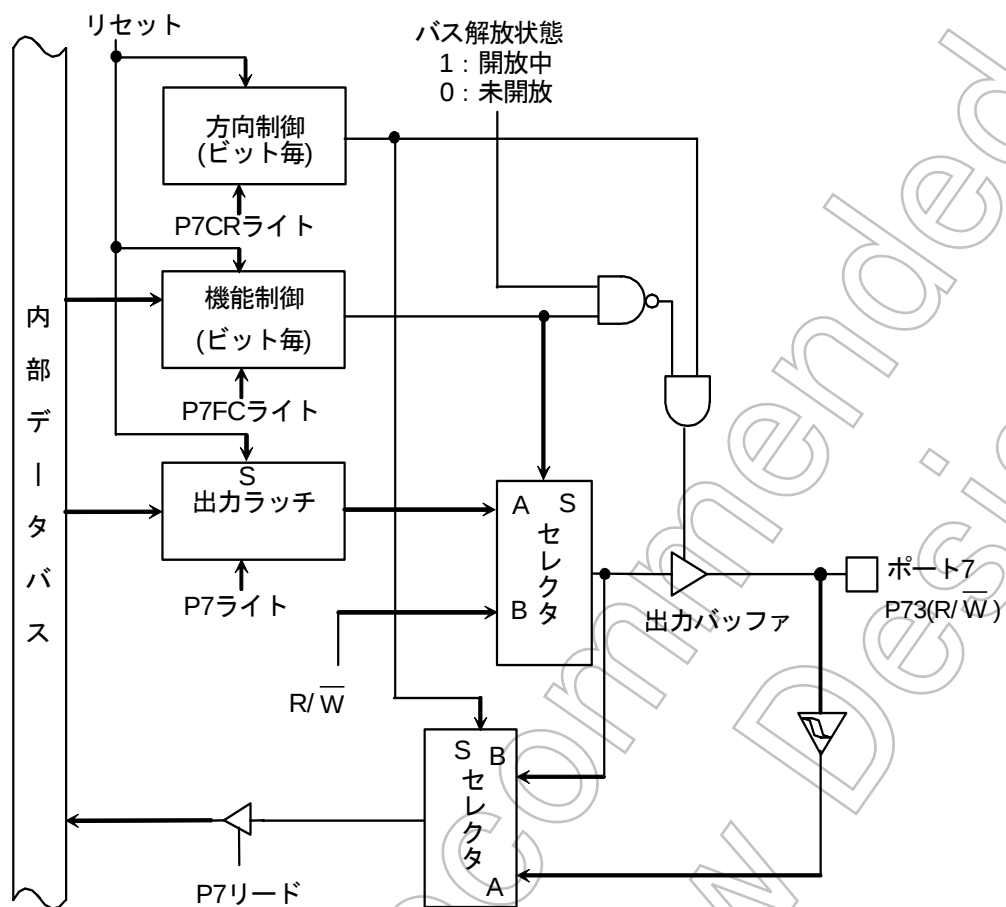
(2) P73 (R/ $\overline{W}$)

図3.5.6 ポート 7(P73)

注：端子を R/ $\overline{W}$ に設定した場合、バス開放時、出力バッファはコントロールレジスタ P7CR の出力設定に関わらず、OFF されます。

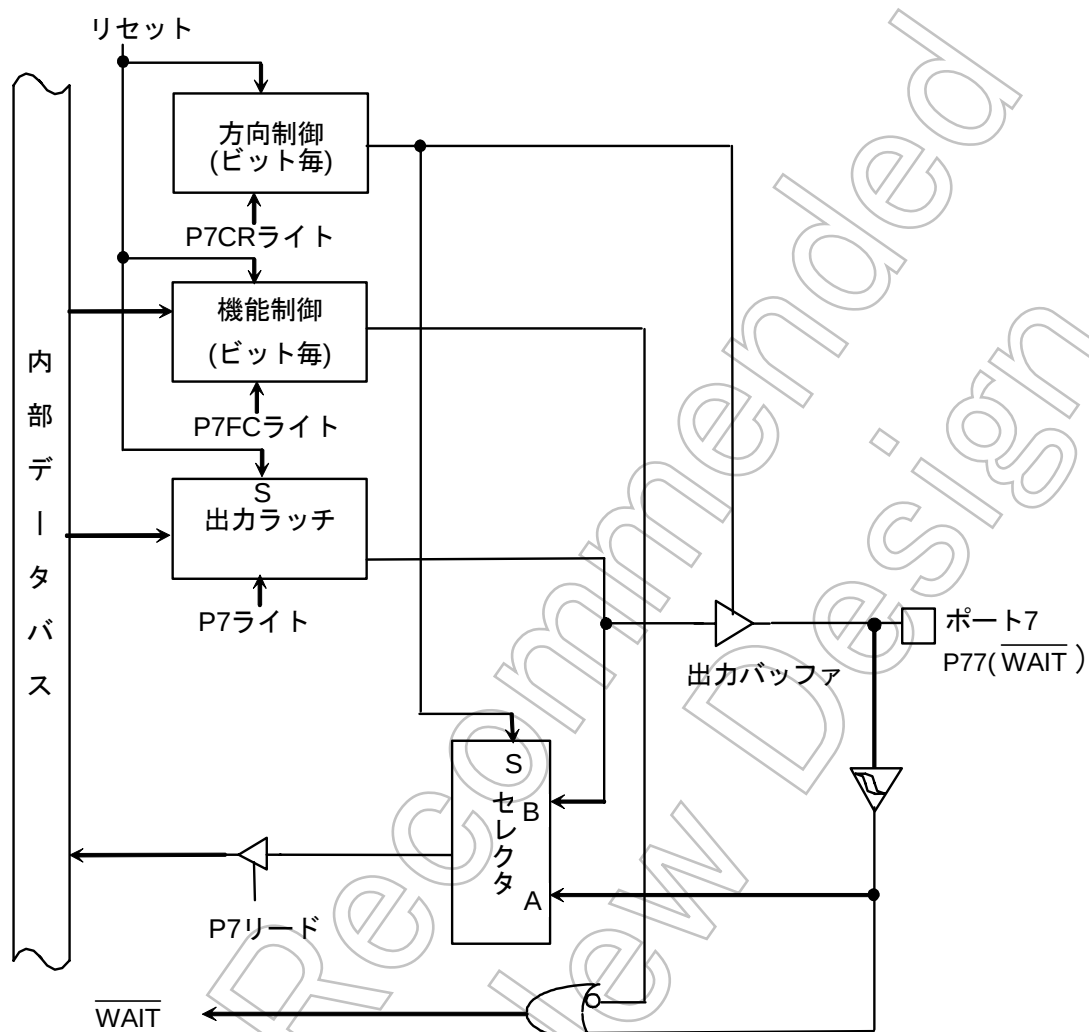
(3) P77($\overline{\text{WAIT}}$)

図3.5.7 ポート 7(P77)

ポート7 レジスタ

P7 (001CH)		7	6	5	4	3	2	1	
	シンボル	P77	P76	P75	P74	P73	P72	P71	
	Read/Write	R/W							
	リセット後	外部端子データ(出力ラッチレジスタは"1"にセットされます)							
機能		-	0:プルアップ抵抗 OFF 1:プルアップ抵抗 ON			-	0:プルアップ抵抗 OFF 1:プルアップ抵抗 ON		-

ポート7 コントロールレジスタ

P7CR (001EH)		7	6	5	4	3	2	1	
	シンボル	P77C	P76C	P75C	P74C	P73C	P72C	P71C	
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	-
		0: 入力 1: 出力							

ポート7 ファンクションレジスタ

P7FC (001FH)		7	6	5	4	3	2	1	
	シンボル	P77F	P76F	P75F	P74F	P73F	P72F	P71F	
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	-
機能		0: ポート 1: WAIT	0: ポート 1: SRLUB	0: ポート 1: SRLLB	0: ポート 1: SRWR	0: ポート 1: R/W	0: ポート 1: WRLU	0: ポート 1: WRLL	-

ポート7 機能設定

<P7xF>	<P7xC>	P77	P76	P75	P74	P73	P72	P71	
0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	-
0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	-
1	0	WAIT	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	-
1	1	設定禁止	SRLUB	SRLLB	SRWR	R/W	WRLU	WRLL	-

注 1) : P71~P72、P74~P76 を入力モードで使用する場合、内蔵プルアップ抵抗はポート7レジスタにより制御します。入力モードあるいは入出力モードを混在させて使用する場合(1ビットでも入力端子が存在するとき)、リードモディファイライト命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

注 2) : P7CR,P7FC レジスタはリード・モディファイ・ライトできません。

注 3) : プルアップ ON/OFF について、ポート機能の場合は P7 の値により制御。ファンクションとして使用する場合はファンクションの値により制御。

図3.5.8 ポート7 レジスタ

3.5.4 ポート 8 (P80~P87)

P80~P85 は出力専用ポートです。P86、P87 は汎用入出力ポートです。

出力および汎用入出力ポート以外に以下の機能があります。

- ・チップセレクト信号の出力機能($\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$)
- ・SDRAM 用チップセレクト信号の出力機能($\overline{SDCS}$)
- ・バス開放機能の入出力機能($\overline{BUSRQ}$ 、 $\overline{BUSAK}$)
- ・ウォッチドッグタイマの出力機能($\overline{WDTOUT}$)

これらの機能は P8CR、P8FC、P8FC2 の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、P8CR、P8FC、P8FC2 の各レジスタの値は"0"にリセットされ、P80~P84 が出力ポート、P85 が $\overline{WDTOUT}$ 出力に、P86、P87 は入力ポートとなります。また、出力ラッチは P82 は"0"にリセットされ、P80、P81、P83~P87 は"1"にセットされます。

(1) P80($\overline{CS0}$)、P81($\overline{CS1}$)、P84($\overline{CS4}$)

出力ポート機能以外に、ポート P80、P81、P84 は標準チップセレクト信号出力($\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{CS4}$)端子として機能します。

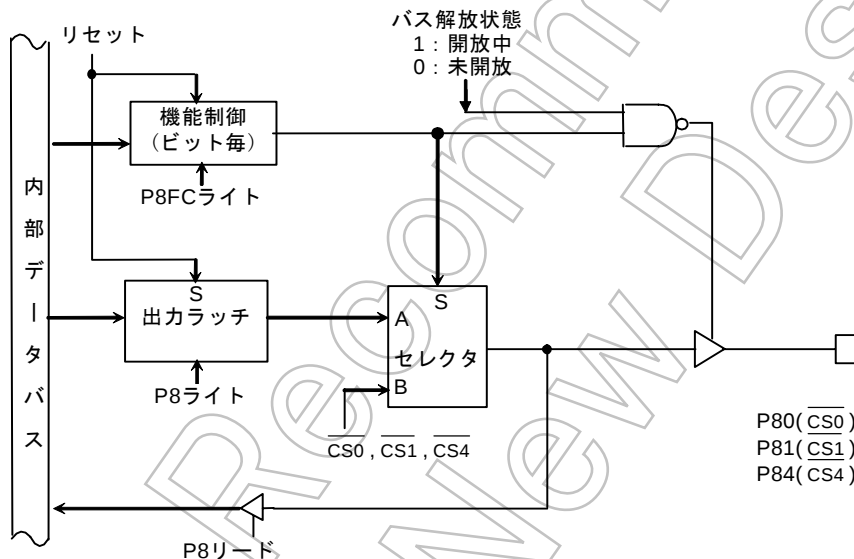


図3.5.9 ポート 8(P80,P81,P84)

(2) P82($\overline{\text{CS2}}$)

出力ポート機能以外に、ポート P82 は標準チップセレクト信号出力($\overline{\text{CS2}}$)端子として機能します。

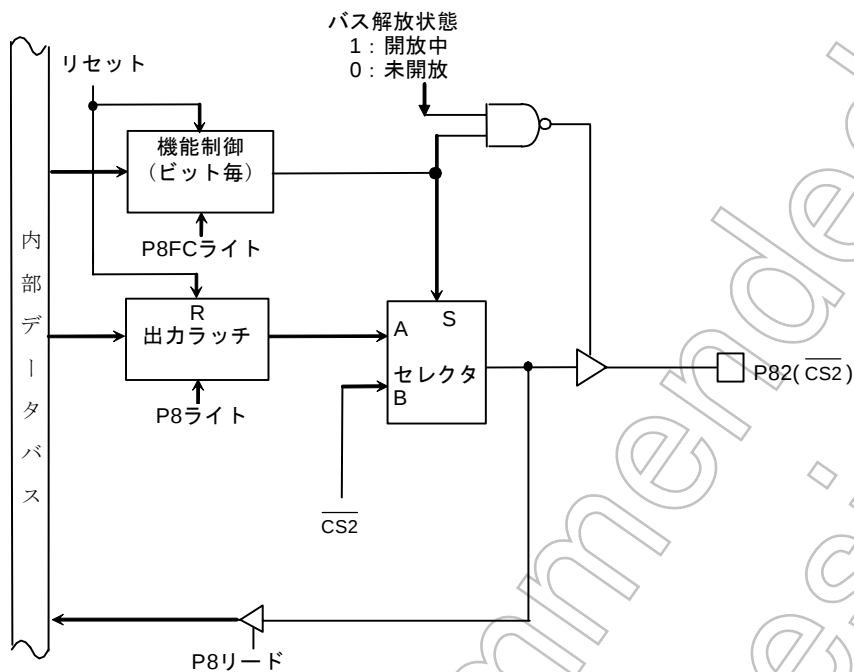


図3.5.10 ポート 8(P82)

(3) P83($\overline{CS3}$, $\overline{SDCS}$)

出力ポート機能以外に、ポート P83 は標準チップセレクト信号出力($\overline{CS3}$)および SDRAM 用チップセレクト信号出力($\overline{SDCS}$)端子として機能します。

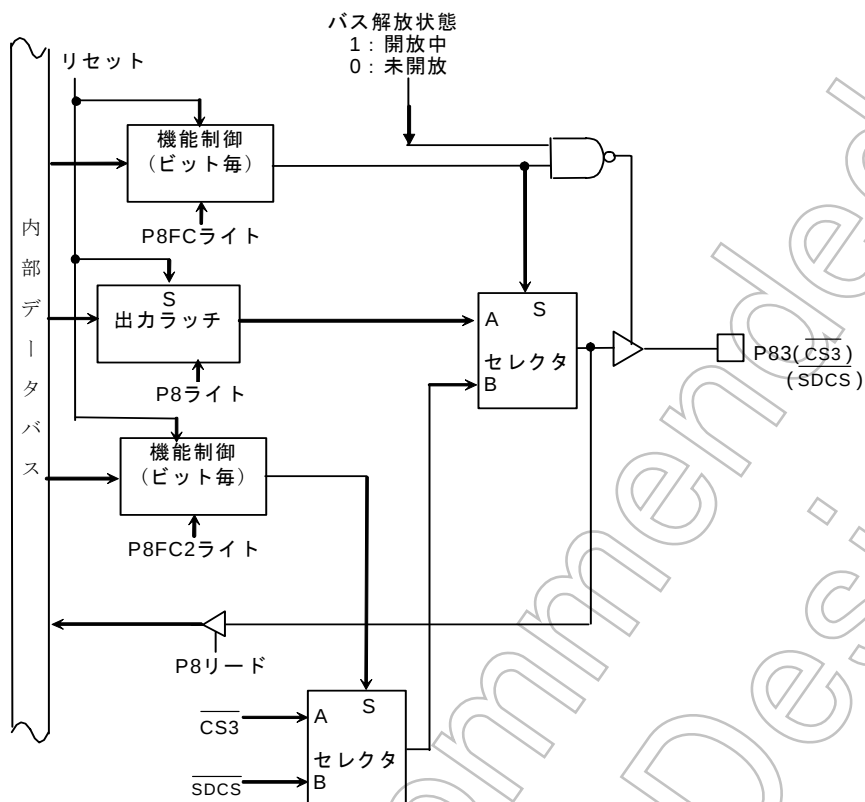


図3.5.11 ポート 8(P83)

(4)P85($\overline{CS5}$)

出力ポート機能以外に、ポート P85 は標準チップセレクト信号出力($\overline{CS5}$)およびウォッチドックタイマ信号出力(WDTOUT)端子として機能します。

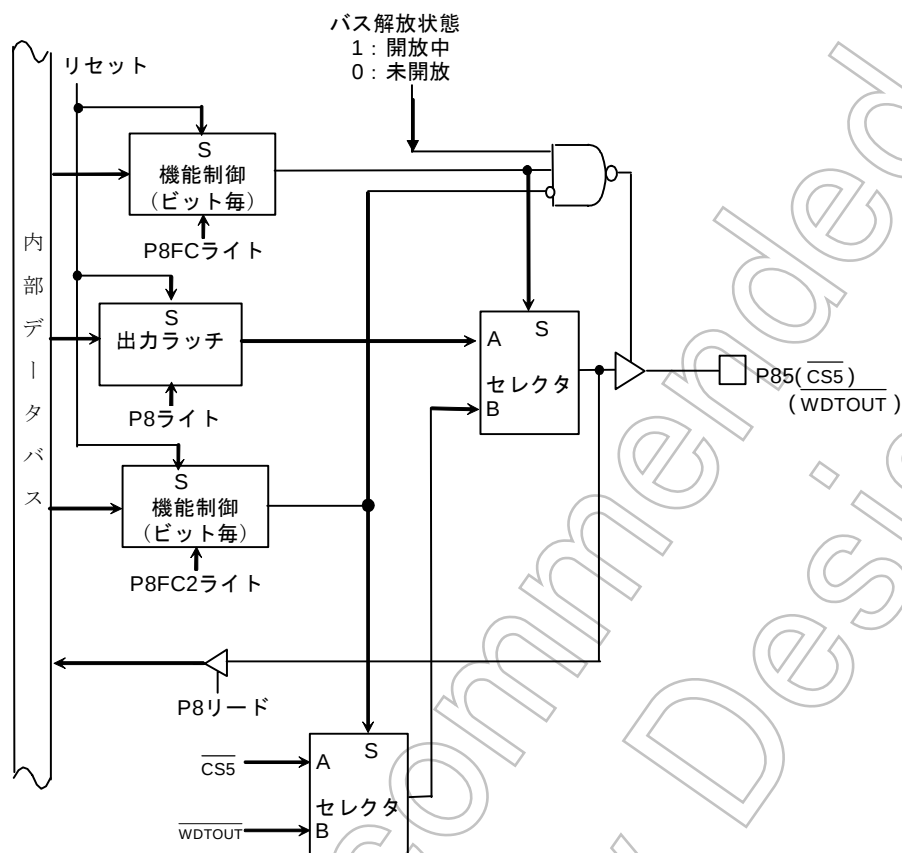


図3.5.12 ポート 8(P85)

(5)P86(BUSRQ)

入出力ポート機能以外に、ポート P86 はバス開放機能の入力(BUSRQ)端子として機能します。

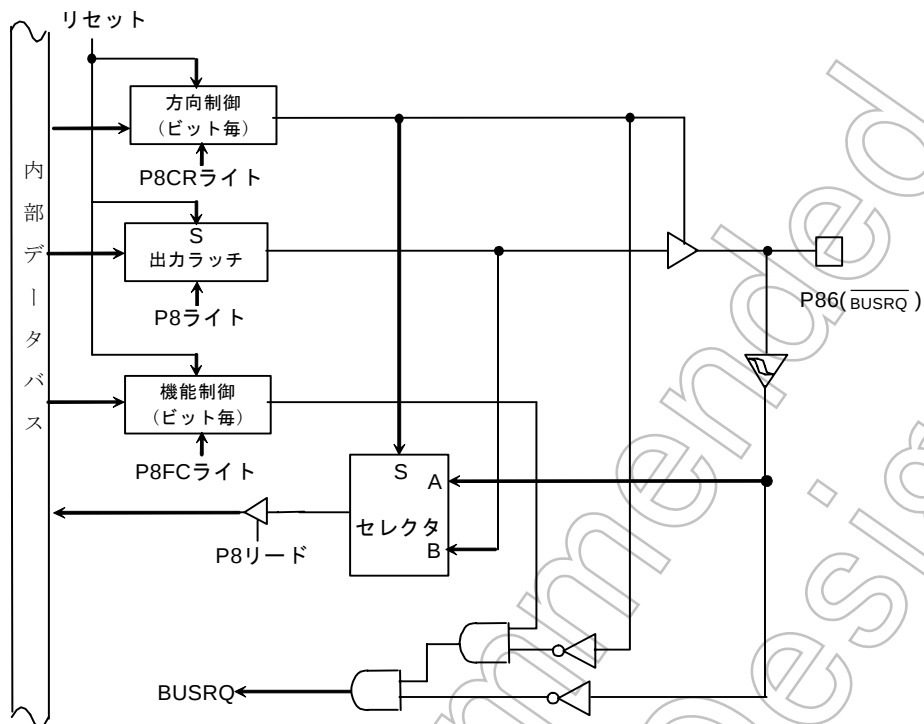


図3.5.13 ポート 8(P86)

(6)P87(BUSAK)

入出力ポート機能以外に、ポート P87 はバス開放機能の出力(BUSAK)端子として機能します。

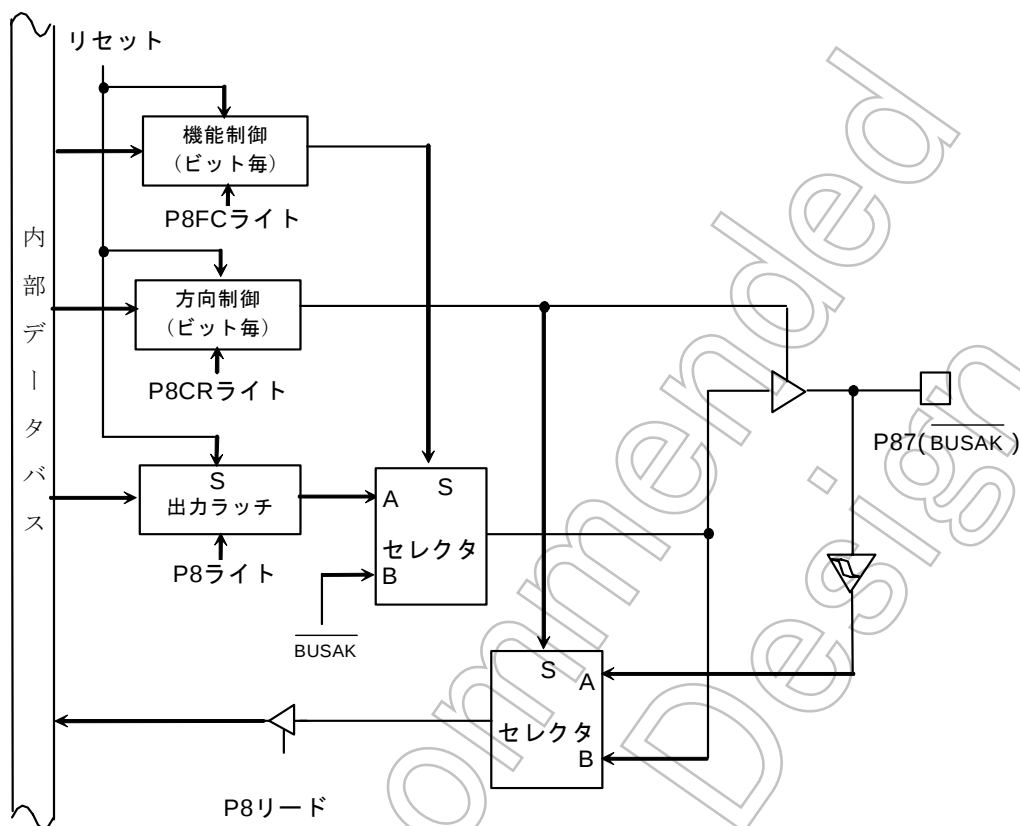


図3.5.14 ポート 8(P87)

ポート 8 レジスタ

P8 (0020H)		7	6	5	4	3	2	1	0
	シンボル	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタ は"1"にセットされま す)			1	1	1	0	1

ポート 8 コントロールレジスタ

P8CR (0021H)		7	6	5	4	3	2	1	0
	シンボル	P87C	P86C						
	Read/Write	W							
	リセット後	0	0						
	機能	0: 入力 1: 出力							

ポート 8 ファンクションレジスタ

P8FC (0022H)		7	6	5	4	3	2	1	0
	シンボル	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
	Read/Write	W							
	リセット後	0	0	1	0	0	0	0	0
	機能	0: ポート 1: $\overline{\text{BUSAK}}$	0: ポート 1: $\overline{\text{BUSRQ}}$	0: ポート 1: $\langle \text{P85F2} \rangle$	0: ポート 1: $\overline{\text{CS4}}$	0: ポート 1: $\langle \text{P83F2} \rangle$	0: ポート 1: $\overline{\text{CS2}}$	0: ポート 1: $\overline{\text{CS1}}$	0: ポート 1: $\overline{\text{CS0}}$

ポート 8 ファンクションレジスタ 2

P8FC2 (0023H)		7	6	5	4	3	2	1	0
	シンボル			P85F2		P83F2			
	Read/Write			W		W			
	リセット後			1		0			
	機能			0: $\overline{\text{CS5}}$ 1: $\overline{\text{WDTOUT}}$		0: $\overline{\text{CS3}}$ 1: $\overline{\text{SDCS}}$			

P85 機能設定

$\langle \text{P85F} \rangle$	0	1
$\langle \text{P85F2} \rangle$	0	$\overline{\text{CS5}}$
	1	設定禁止

P83 機能設定

$\langle \text{P83F} \rangle$	0	1
$\langle \text{P83F2} \rangle$	0	$\overline{\text{CS3}}$
	1	設定禁止

注意 1 : P8CR、P8FC、P8FC2 レジスタはリード・モディファイ・ライトできません。

注意 2 : リセット解除後 P82 端子を CS2 として設定する場合、P82 の出力ラッチの値を"0"(P8<P82>=0)のままファンクションレジスタの設定を行ってください(P8FC<P82F>=1)。

P82 の出力ラッチの値を"1"(P8<P82>=1)にした後にファンクションレジスタの設定を行う(P8FC<P82F>=1)と $\overline{\text{CS2}}$ 出力が正常に出力されない期間が存在し正しく動作しない場合があります。

注意 3 : P82 端子を $\overline{\text{CS2}}$ として設定する場合、ワード命令 (LDW (P8FC),xxxxH) を用いて設定してください。

図3.5.15 ポート 8 関係のレジスタ

3.5.5 ポート 9 (P90~P96)

P90~P96 は出力専用ポートです。

出力ポート以外に以下の機能があります。

- ・ SDRAM コントローラ の出力機能

($\overline{\text{SDWE}}$ 、 $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、 $\overline{\text{SDLLDQM}}$ 、 $\overline{\text{SDLUDQM}}$ 、 $\overline{\text{SDCKE}}$ 、 $\overline{\text{SDCLK}}$)

これらの機能は P9FC の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、P9FC<P95:P90>の値は"0"にリセットされ、P95~P90 は出力ポートとなります。P9FC<P96F>の値は"1"にセットされ、P96 は $\overline{\text{SDCLK}}$ 機能出力となります。また、出力ラッチの全ビットは"1"へセットされます。なお、ポート 9 は、HALT 中の出力状態をビット単位で設定することができます。設定は、P9DR レジスタにて行います。

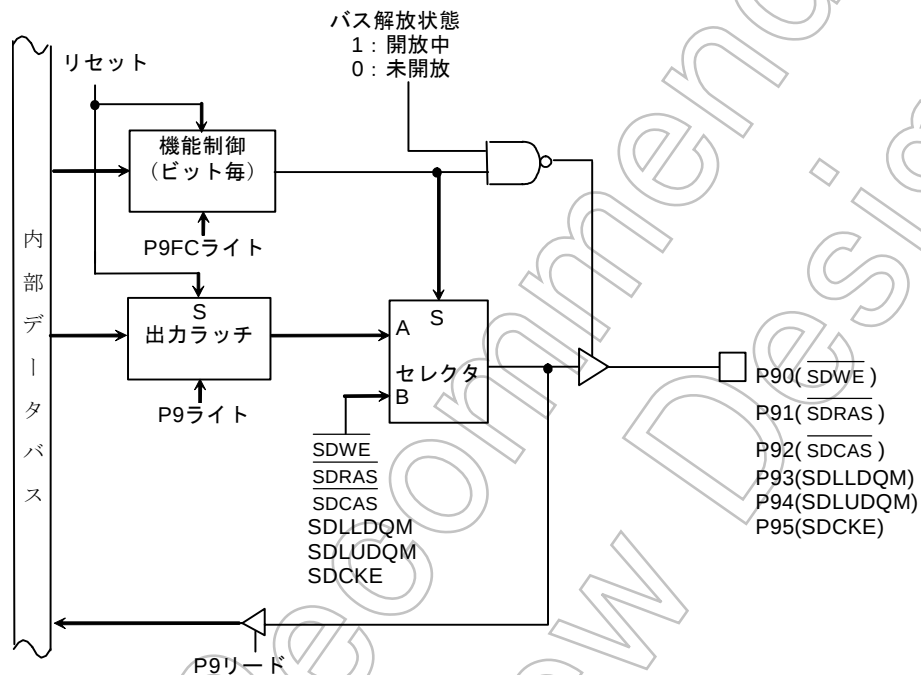


図3.5.16 ポート 9(P90~P95)

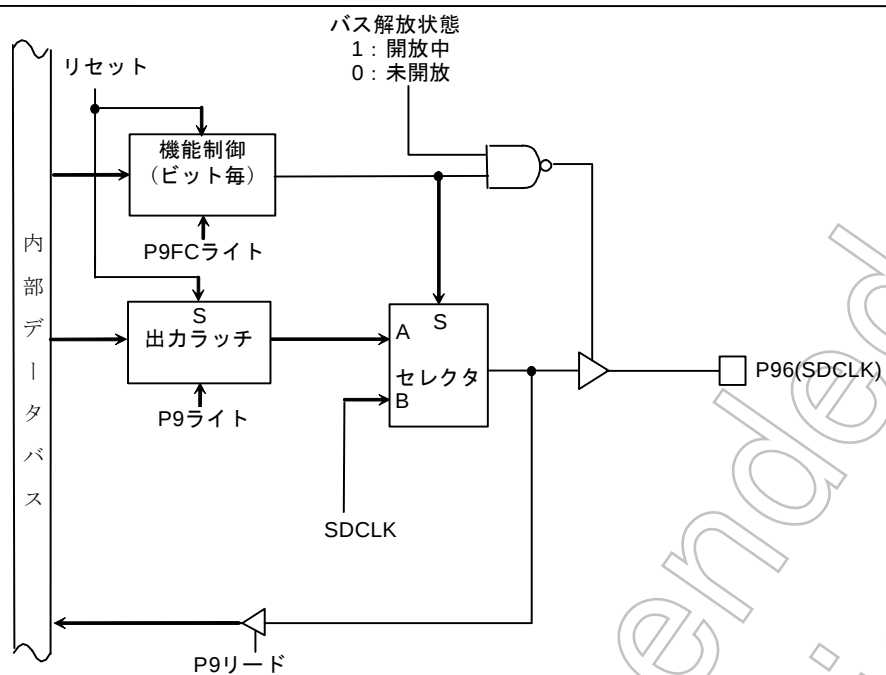


図3.5.17 ポート 9(P96)

ポート 9 レジスタ

P9 (0024H)		7	6	5	4	3	2	1	0
	シンボル		P96	P95	P94	P93	P92	P91	P90
	Read/Write		R/W						
	リセット後		1	1	1	1	1	1	1

ポート 9 ファンクションレジスタ

P9FC (0027H)		7	6	5	4	3	2	1	0
	シンボル		P96F	P95F	P94F	P93F	P92F	P91F	P90F
	Read/Write		W						
	リセット後		1	0	0	0	0	0	0
機能			0:ポート 1:SDCLK	0:ポート 1:SDCKE	0:ポート 1:SDLUDQM	0:ポート 1:SDLLDQM	0:ポート 1:SDCAS	0:ポート 1:SDRAS	0:ポート 1:SDWE

ポート 9 ドライブレジスタ

P9DR (0025H)		7	6	5	4	3	2	1	0
	シンボル		P96D	P95D	P94D	P93D	P92D	P91D	P90D
	Read/Write		R/W						
	リセット後		1	1	1	1	1	1	1
機能			0:HALT 中はハイインピーダンス、 1:HALT 中もドライブ						

(使用目的と使用方法)

- ・ このレジスタはスタンバイモード時に、各々のピンの状態を設定します。
- ・ “HALT” 命令前に期待するピンの状態をレジスタに設定してください。CPU が“HALT”命令を実行後にイネーブルとなります。
- ・ 3種類あるスタンバイモードの全てで有効になります。(IDLE2,IDLE1 または STOP モード)
- ・ 入出力の状態を以下の表に示します。

OE	P9nD	出力バッファ	入力バッファ
1	0	OFF	OFF
1	1	ON	OFF

(注 1) OE はスタンバイモード前の出力イネーブル信号を意味します。

(注 2) P9nD の“n” は PORT9 のビット番号を意味しています。

注意 : P9FC はリード・モディファイ・ライトできません。

図3.5.18 ポート 9 レジスタ

3.5.6 ポート A (PA0~PA5)

ポート A はビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。

PA1、PA4 はオープンドレイン出力に設定可能です。

入出力ポート以外に以下の機能があります。

- ・ シリアルチャネル 0 の入出力機能(RXD0、TXD0、SCLK0/ $\overline{\text{CTS0}}$)
- ・ シリアルチャネル 1 の入出力機能(RXD1、TXD1、SCLK1/ $\overline{\text{CTS1}}$)

これらの機能は PACR、PAFC、PAFC2 の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、PACR、PAFC、PAFC2 の各レジスタの値は"0"にリセットされ、全ビットが入力ポートとなります。また、出力ラッチの全ビットは"1"へセットされます。

(1)PA0(RXD0),PA3 (RXD1)

PA0 と PA3 は入出力ポート以外にシリアルチャネル 0,1 の RXD 出力端子としての機能を持ちます。

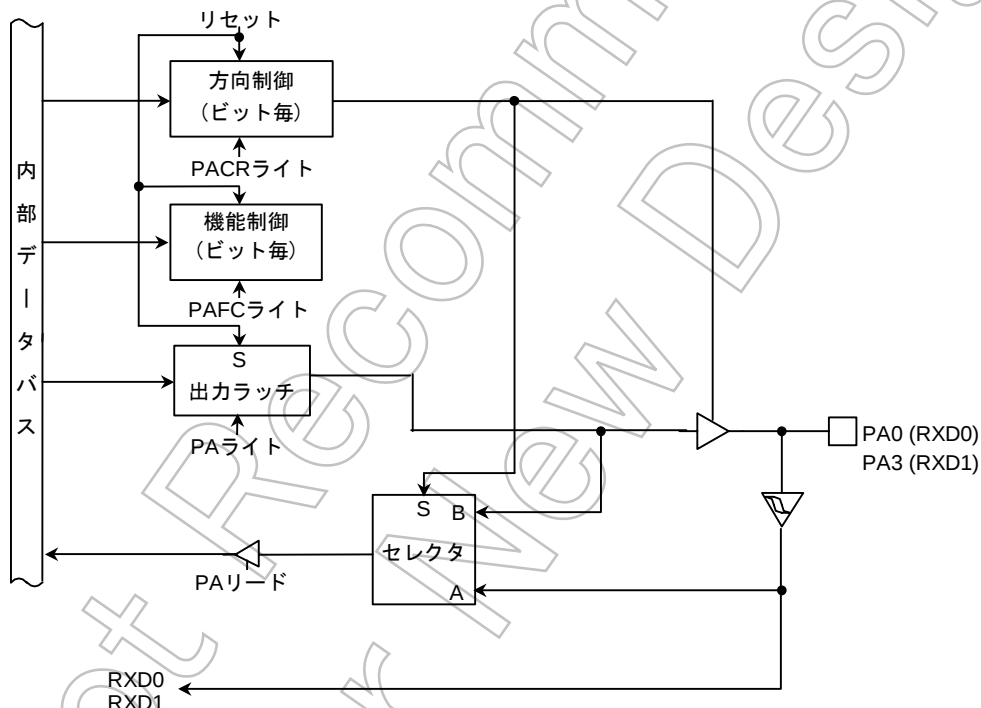


図3.5.19 ポート A(PA0,PA3)

(2)PA1(TXD0),PA4 (TXD1)

PA1 と PA4 は入出力ポート以外に、シリアルチャネル 0,1 の TXD 入力端子としての機能を持っています。

また TXD 出力端子として使用する場合、出力バッファはプログラム可能なオープンドレイン機能を持っています。オープンドレイン機能は PAFC<PA1F,PA4F>と PACR<PA1C,PA4C>レジスタにより設定が可能です。

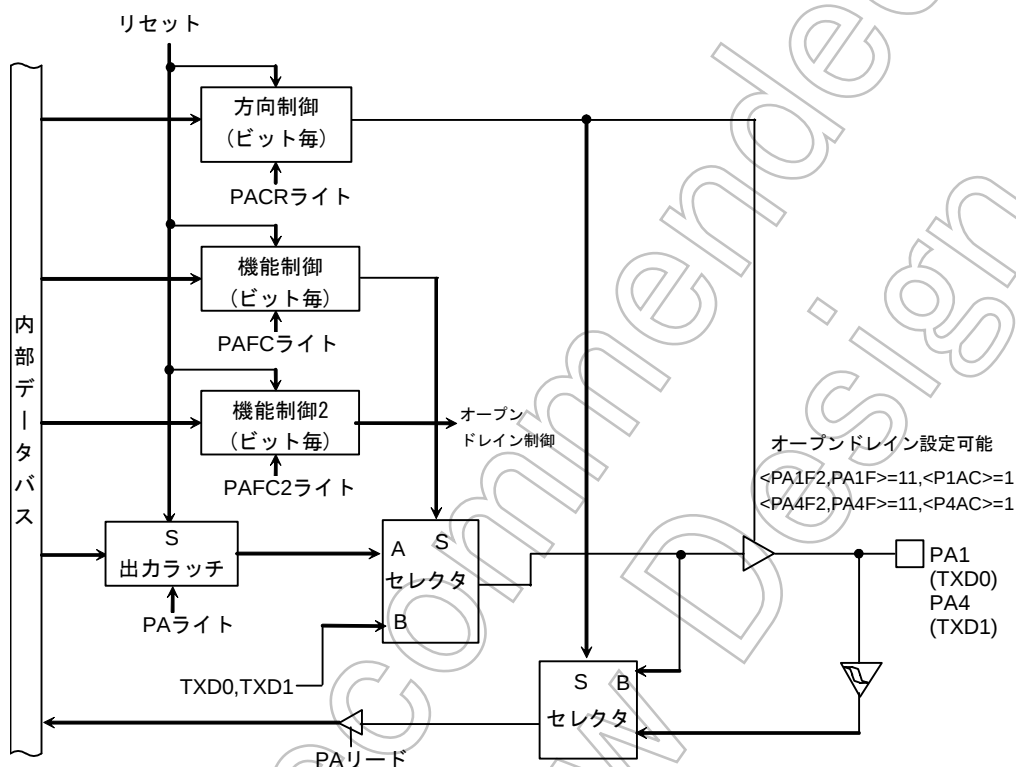


図3.5.20 ポート A(PA1,PA4)

(3) PA2(CTS0, SCLK0)、PA5(CTS1, SCLK1)

PA2 と PA5 は入出力ポート以外に、シリアルチャネルの $\overline{\text{CTS}}$ 入力端子または SCLK 入出力端子としての機能を持っています。

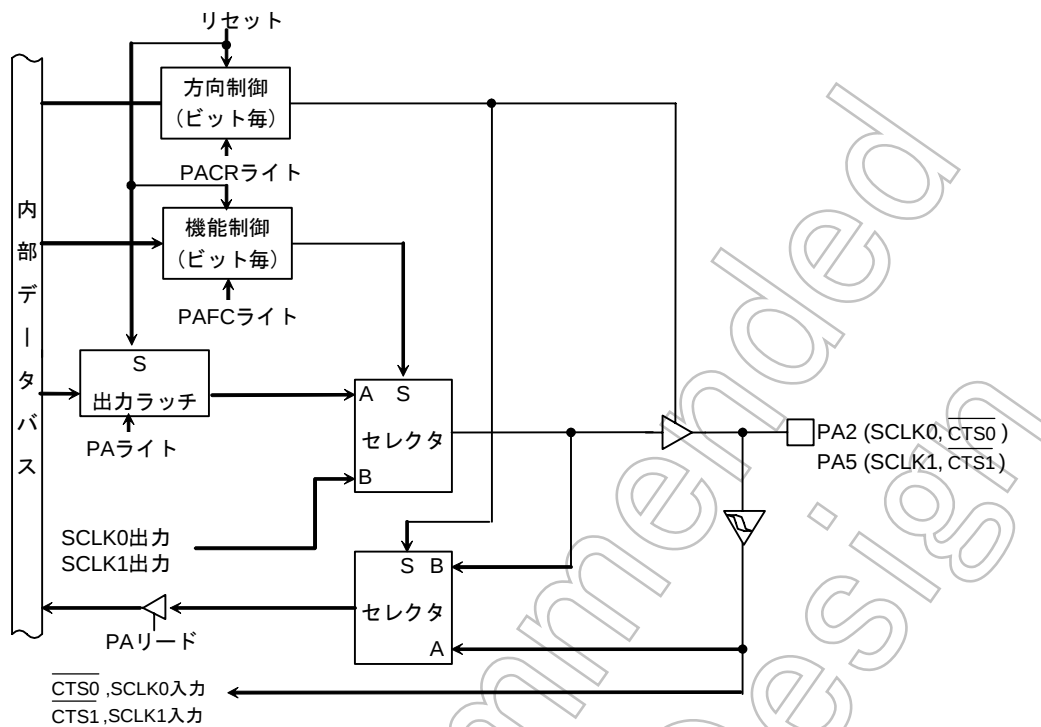


図3.5.21 ポート A(PA2,PA5)

ポート A レジスタ

	7	6	5	4	3	2	1	0
PA (0028H)	シンボル		PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write		R/W					
	リセット後		外部端子データ（出力ラッチレジスタは1にセットされます）					

ポート A コントロールレジスタ

	7	6	5	4	3	2	1	0
PACR (002AH)	シンボル		PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
	Read/Write		W					
	リセット後		0	0	0	0	0	0
			ポート A 機能設定参照					

ポート A ファンクションレジスタ

	7	6	5	4	3	2	1	0
PAFC (002BH)	シンボル		PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
	Read/Write		W					
	リセット後		0	0	0	0	0	0
	機能		ポート A 機能設定参照					

ポート A ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PAFC2 (0029H)	シンボル			PA4F2			PA1F2	
	Read/Write			W			W	
	リセット後			0			0	
	機能			ポート A 機能設定 参照			ポート A 機能設定 参照	

ポート A 機能設定

<PAx2>	<PAxF>	<PAxC>	PA5	PA4	PA3	PA2	PA1	PA0
0	0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	SCLK1/ CTS1	設定禁止	RXD1	SCLK0/ CTS0	設定禁止	RXD0
0	1	1	SCLK1	TXD1 (0. D Dis)	設定禁止	SCLK0	TXD0 (0. D Dis)	設定禁止
1	0	0		設定禁止			設定禁止	
1	0	1		設定禁止			設定禁止	
1	1	0		設定禁止			設定禁止	
1	1	1		TXD1 (0. D Ena)			TXD0 (0. D Ena)	

注意 1 : PACR、PAFC、PAFC2 レジスタはリード・モディファイ・ライトできません。

注意 2 : ポートの機能設定にかかわらず、RXD0/1, SCLK0/1, CTS0, CTS1 入力 is シリアルチャネル 0~1 へ入力されます。

注意 3 : PA1, PA4 は、3-state/オープンドレイン設定のためのレジスタをもっていません。

また、出力ポート時のオープンドレイン機能はありません。

図3.5.22 ポート A レジスタ

3.5.7 ポート C(PC0~PC5)

ポート C はビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。

PC0、PC1、PC3、PC4 はオープンドレイン出力に設定可能です。

入出力ポート以外に以下の機能があります。

- ・ シリアルバスインタフェース 0 の入出力機能(SO0/SDA0、SI0/SCL0、SCK0)
- ・ シリアルバスインタフェース 1 の入出力機能(SO1/SDA1、SI1/SCL1、SCK1)

これらの機能は PCCR、PCFC、PCFC2 の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、PCCR、PCFC、PCFC2 の各レジスタの値は"0"にリセットされ、全ビットが入力ポートとなります。また、出力ラッチの全ビットは"1"へセットされます。

(1)PC0(SO0/SDA0),PC3 (SO1/SDA1)

PC0 と PC3 は入出力ポート以外にシリアルバスインタフェース 0,1 の入出力端子としての機能を持ちます。

またシリアルバスインタフェース 0,1 の出力端子として使用する場合、出力バッファはプログラム可能なオープンドレイン機能を持っています。オープンドレイン機能は PCFC<PC0F,PC3F>と PCCR<PC0C,PC3C>レジスタにより設定が可能です。

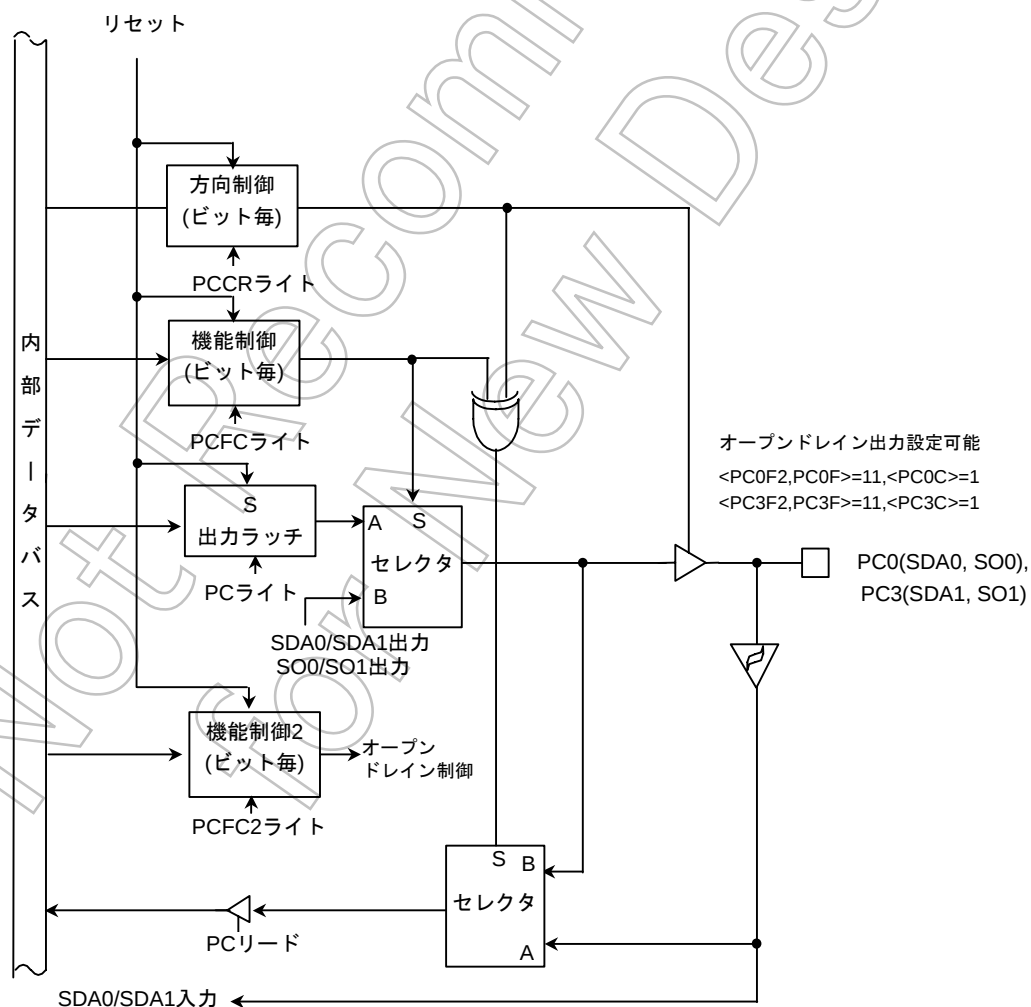


図3.5.23 ポート C(PC0,PC3)

(2)PC1(SI0/SCL0),PC4 (SI1/SCL1)

PC1 と PC4 は入出力ポート以外にシリアルバスインタフェース 0,1 の入出力端子としての機能を持ちます。

またシリアルバスインタフェース 0,1 の出力端子として使用する場合、出力バッファはプログラム可能なオープンドレイン機能を持っています。オープンドレイン機能は PCFC<PC1F,PC4F>と PCCR<PC1C,PC4C>レジスタにより設定が可能です。

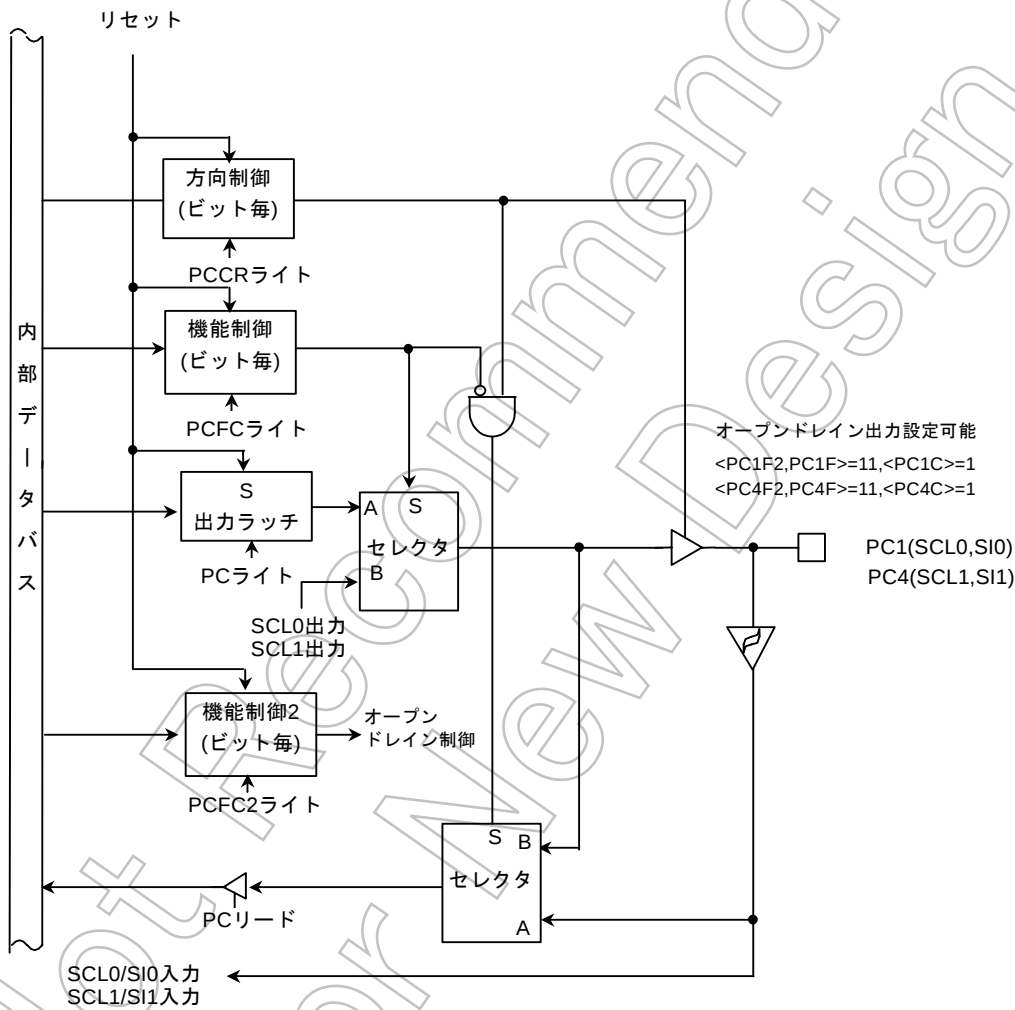


図3.5.24 ポート C(PC1,PC4)

(3)PC2(SCK0),PC5 (SCK 1)

PC2 と PC5 は入出力ポート以外にシリアルバスインタフェース 0,1 の入出力端子としての機能を持ちます。

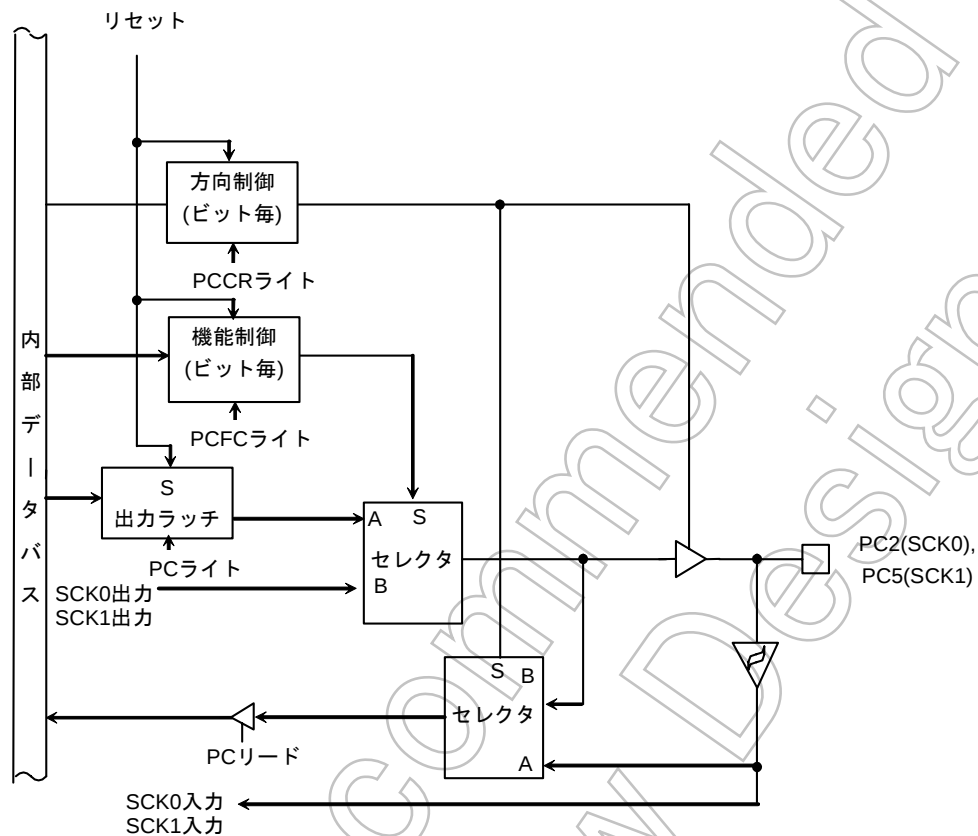


図3.5.25 ポート C(PC2,PC5)

ポート C レジスタ

	7	6	5	4	3	2	1	0
PC (0030H)	シンボル		PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write		R/W					
	リセット後		外部端子データ（出力ラッチレジスタは1にセットされます）					

ポート C コントロールレジスタ

	7	6	5	4	3	2	1	0
PCCR (0032H)	シンボル		PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write		W					
	リセット後		0	0	0	0	0	0
			ポート C 機能設定参照					

ポート C ファンクションレジスタ

	7	6	5	4	3	2	1	0
PCFC (0033H)	シンボル		PC5F	PC4F	PC3F	PC2F	PC1F	PC0F
	Read/Write		W					
	リセット後		0	0	0	0	0	0
	機能		ポート C 機能設定参照					

ポート C ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PCFC2 (0031H)	シンボル			PC4F2	PC3F2		PC1F2	PC0F2
	Read/Write			W	W		W	W
	リセット後			0	0		0	0
	機能			ポート C 機能設定参照			ポート C 機能設定参照	

ポート C 機能設定

<PCxF2>	<PCxF>	<PCxC>	PC5	PC4	PC3	PC2	PC1	PC0
0	0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	SCK1 入力	SI1 入力	SO1 出力 (0. D Dis)	SCK0 入力	SI0 入力	SO0 出力 (0. D Dis)
0	1	1	SCK1 出力	SCL1 入出力 (0. D Dis)	SDA1 入出力 (0. D Dis)	SCK0 出力	SCL0 入出力 (0. D Dis)	SDA0 入出力 (0. D Dis)
1	0	0		設定禁止	設定禁止		設定禁止	設定禁止
1	0	1		設定禁止	設定禁止		設定禁止	設定禁止
1	1	0		設定禁止	SO1 出力 (0. D Ena)		設定禁止	SO0 出力 (0. D Ena)
1	1	1		SCL1 入出力 (0. D Ena)	SDA1 入出力 (0. D Ena)		SCL0 入出力 (0. D Ena)	SDA0 入出力 (0. D Ena)

注意 1 : PCCR、PCFC、PCFC2 レジスタはリード・モディファイ・ライトできません。

注意 2 : ポートの機能設定にかかわらず、SDA0/1, SCL0/1, SI0/1, SCK0/1 入力はシリアルバスインターフェース 0~1 へ入力されます。

注意 3 : PC0, PC1, PC3, PC4 は、3-state/オープンドレイン設定のためのレジスタをもっていません。
また、出力ポート時のオープンドレイン機能はありません。

図3.5.26 ポート C レジスタ

3.5.8 ポート D(PD0~PD5)

ポート D はビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。

PD4 はオープンドレイン出力に設定可能です。

入出力ポート以外に以下の機能があります。

- ・ シリアルチャネル 2 の入出力機能(RXD2、TXD2、SCLK2/ $\overline{\text{CTS2}}$)
- ・ 高速シリアルチャネル 0 の入出力機能(HSSI0、HSSO0、HSClk0)

これらの機能は PDCR、PDFC、PDFC2 の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、PDCR、PDFC、PDFC2 の各レジスタの値は"0"にリセットされ、全ビットが入力ポートとなります。また、出力ラッチの全ビットは"1"へセットされます。

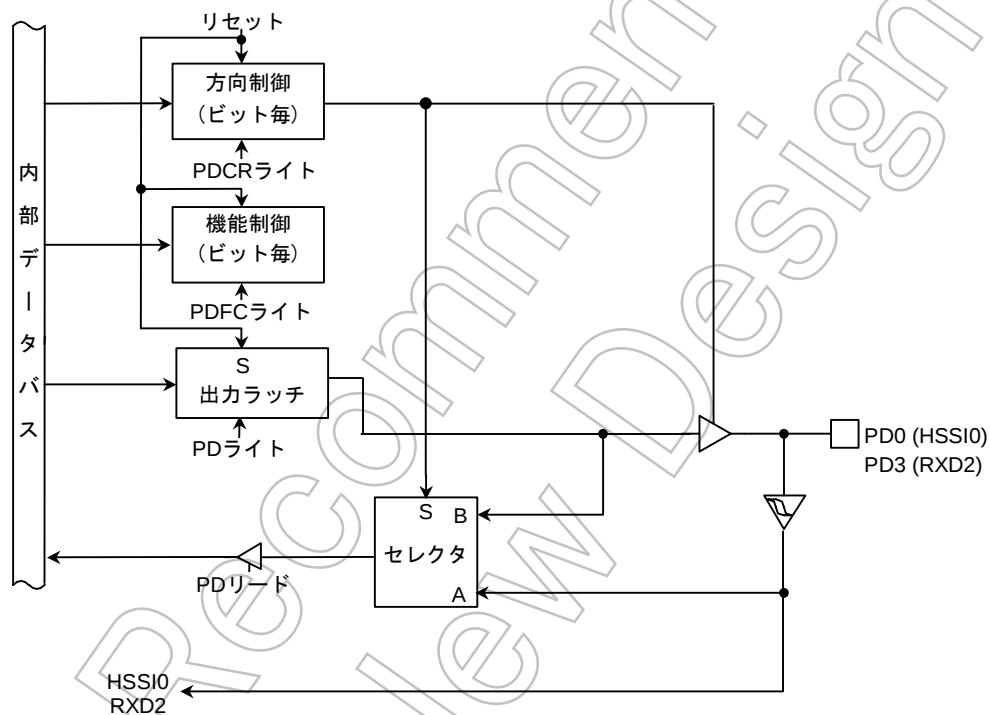


図3.5.27 ポート D(PD0,PD3)

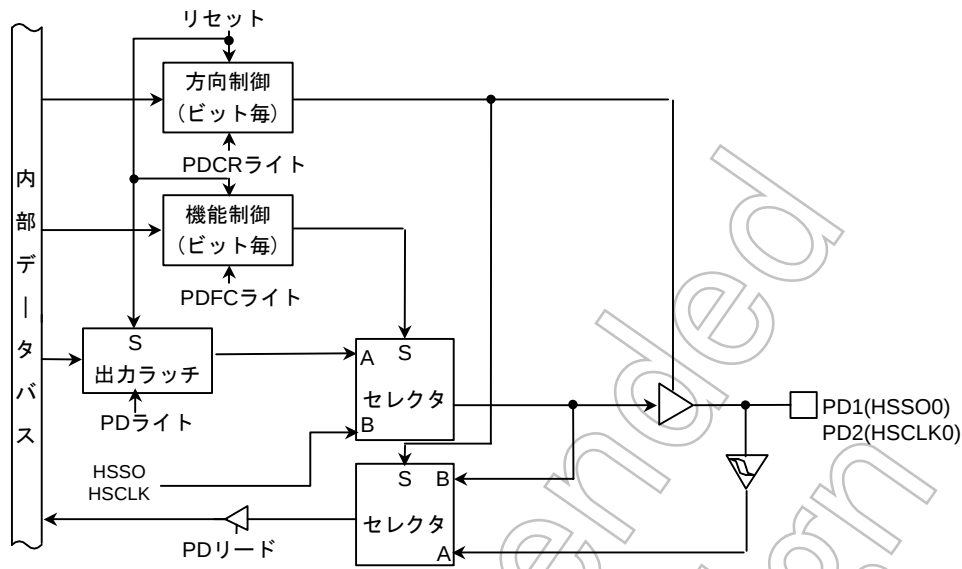


図3.5.28 ポート D(PD1,PD2)

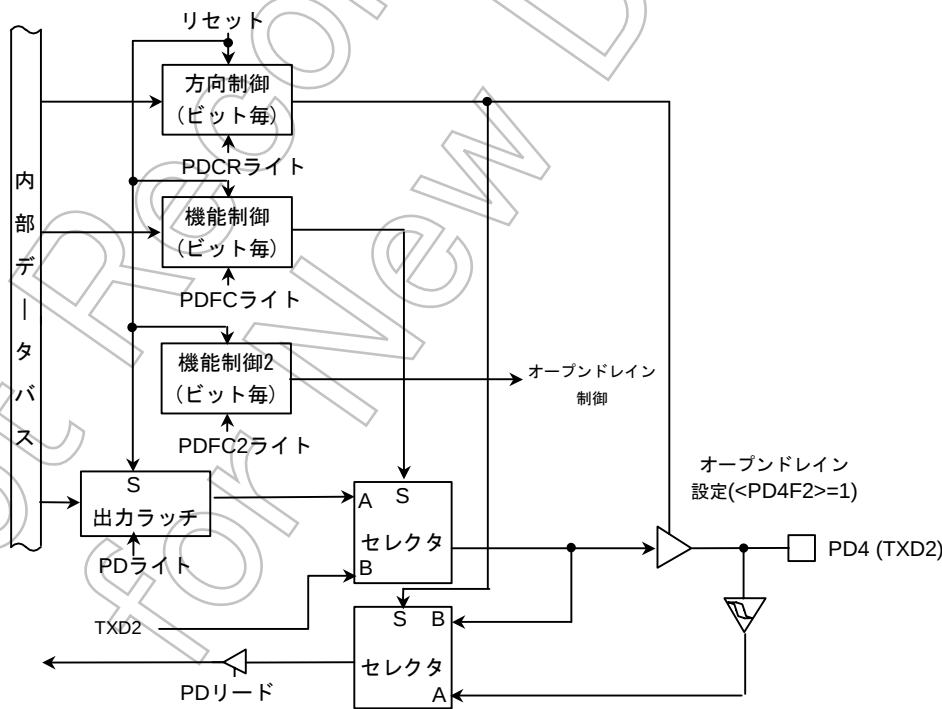


図3.5.29 ポート D(PD4)

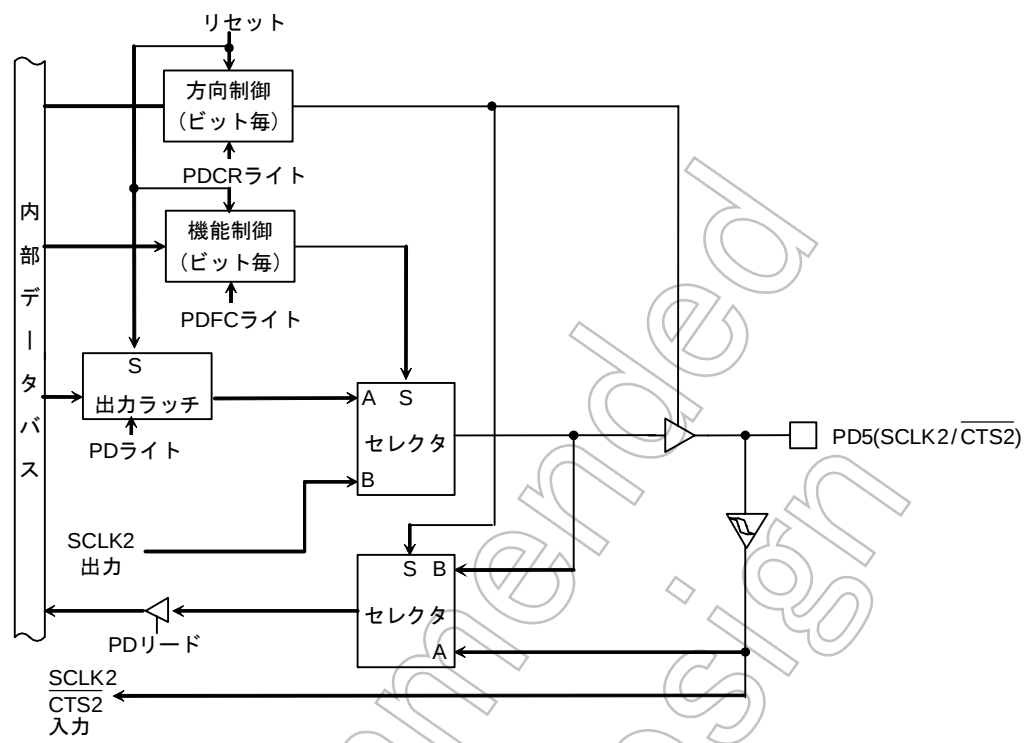


図3.5.30 ポート D(PD5)

ポート D レジスタ

PD (0034H)		7	6	5	4	3	2	1	0
	シンボル			PD5	PD4	PD3	PD2	PD1	PD0
	Read/Write			R/W					
	リセット後			外部端子データ（出力ラッチレジスタは1にセットされます）					

ポート D コントロールレジスタ

PDCR (0036H)		7	6	5	4	3	2	1	0
	シンボル			PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
	Read/Write			W					
	リセット後			0	0	0	0	0	0

ポート D 機能設定参照

ポート D ファンクションレジスタ

PDFC (0037H)		7	6	5	4	3	2	1	0
	シンボル			PD5F	PD4F	PD3F	PD2F	PD1F	PD0F
	Read/Write			W					
	リセット後			0	0	0	0	0	0

ポート D 機能設定参照

ポート D ファンクションレジスタ 2

PDFC2 (0035H)		7	6	5	4	3	2	1	0
	シンボル				PD4F2				
	Read/Write				W				
	リセット後				0				

ポート D
機能設定
参照

ポート D 機能設定

<PDxF2>	<PDxF>	<PDxC>	PD5	PD4	PD3	PD2	PD1	PD0
0	0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	SCLK2/ CTS2	設定禁止	RXD2	設定禁止	設定禁止	HSSI0
0	1	1	SCLK2 出力	TXD2 (O. D Dis)	設定禁止	HSCLK0	HSS00	設定禁止
1	0	0		設定禁止				
1	0	1		設定禁止				
1	1	0		設定禁止				
1	1	1		TXD2 (O. D Ena)				

注意 1 : PDCR、PDFC、PDFC2 レジスタはリード・モディファイ・ライトできません。

注意 2 : ポートの機能設定にかかわらず、RXD2、SCLK2、 $\overline{\text{CTS2}}$ 入力はシリアルチャネル 2 へ入力されます。

注意 3 : ポートの機能設定にかかわらず、HSSI0 入力は高速シリアルチャネル 0 へ入力されます。

注意 4 : PD4 は、3-state/オープンドレイン設定のためのレジスタをもっていません。

また、出力ポート時のオープンドレイン機能はありません。

図3.5.31 ポート D レジスタ

3.5.9 ポート F (PF0~PF6)

ポート F はビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。

入出力ポート以外に以下の機能があります。

- ・ 8 ビットタイマ 0 の入力機能(TA0IN)
- ・ 8 ビットタイマ 1 の出力機能(TA1OUT)
- ・ 8 ビットタイマ 2 の入力機能(TA2IN)
- ・ 8 ビットタイマ 3 の出力機能(TA3OUT)
- ・ 8 ビットタイマ 4 の入力機能(TA4IN)
- ・ 8 ビットタイマ 5 の出力機能(TA5OUT)
- ・ 8 ビットタイマ 6 の入力機能(TA6IN)
- ・ 外部割込みの入力機能(INT0~INT3)

これらの機能は PFCR、PFFC、PFFC2 の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、PFCR、PFFC、PFFC2 の各レジスタの値は"0"にリセットされ、全ビットが入力ポートとなります。また、出力ラッチの全ビットは"1"へセットされます。

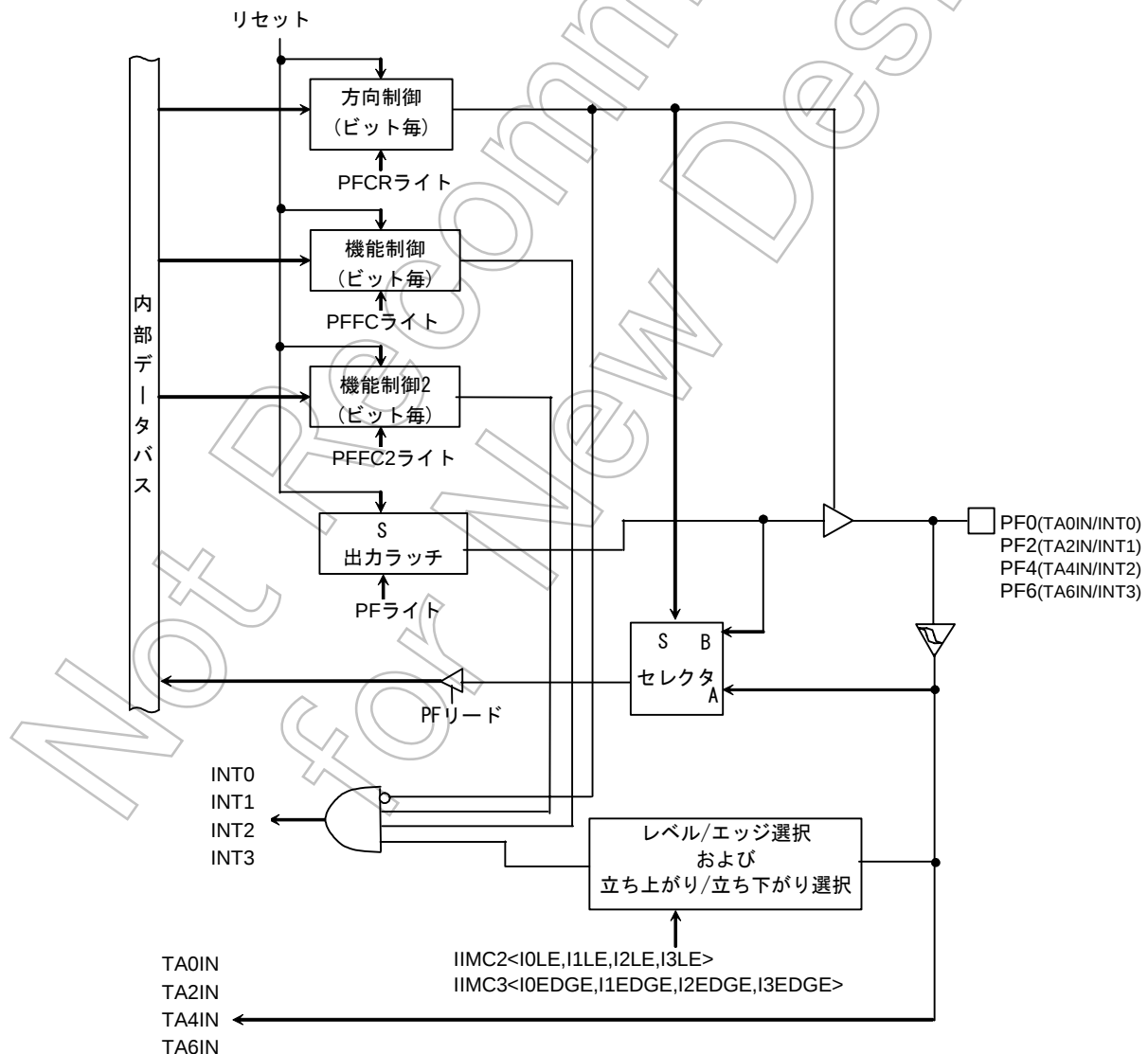


図3.5.32 ポート F (PF0,PF2,PF4,PF6)

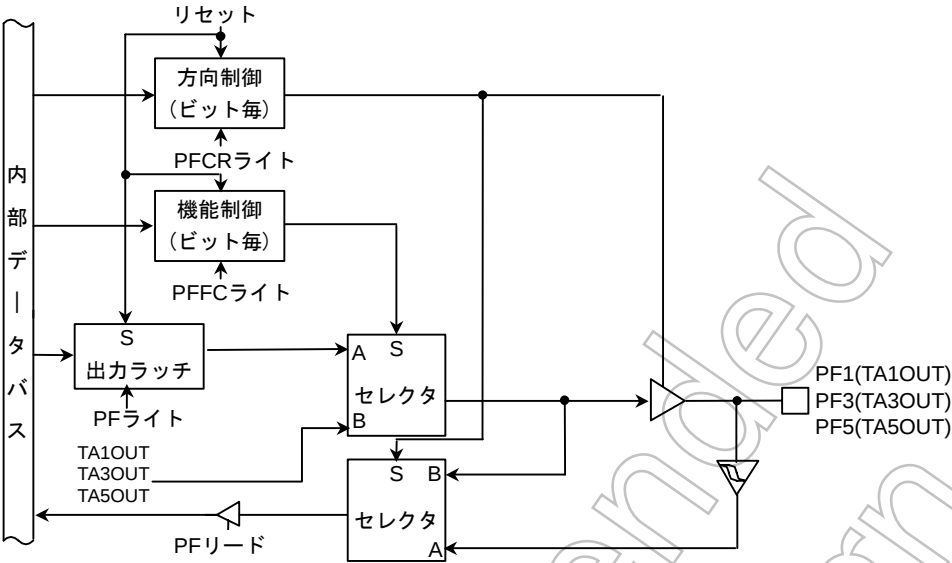


図3.5.33ポート F(PF1,PF3,PF5)

ポート F レジスタ

PF (003CH)		7	6	5	4	3	2	1	0
	シンボル		PF6	PF5	PF4	PF3	PF2	PF1	PF0
	Read/Write		R/W						
			外部端子データ（出カラッチレジスタは1にセットされます）						

ポート F コントロールレジスタ

PFCR (003EH)		7	6	5	4	3	2	1	0
		シンボル	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	ポート F 機能設定参照							

ポート F ファンクションレジスタ

PF6C (003FH)		7	6	5	4	3	2	1	0
		シンボル	PF6F	PF5F	PF4F	PF3F	PF2F	PF1F	PF0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	ポート F 機能設定参照							

ポート F ファンクションレジスタ 2

PF6C2 (003DH)		7	6	5	4	3	2	1	0
		シンボル	PF6F2	PF4F2	PF2F2	PF0F2			
	Read/Write	W	W	W	W	W			
	リセット後	0	0	0	0	0			
	機能	ポート F 機能設定 参照	ポート F 機能設定 参照	ポート F 機能設定 参照	ポート F 機能設定 参照	ポート F 機能設定 参照			

ポート F 機能設定参照

<PFx2>	<PFxF>	<PFxC>	PF6	PF5	PF4	PF3	PF2	PF1	PF0
0	0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	TA6IN	設定禁止	TA4IN	設定禁止	TA2IN	設定禁止	TA0IN
0	1	1	設定禁止	TA5OUT	設定禁止	TA3OUT	設定禁止	TA1OUT	設定禁止
1	0	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
1	0	1	設定禁止		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	INT3		INT2	INT1	INT0	INT0	INT0
1	1	1	設定禁止		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

注意 1: PFCR, PF6C, PF6C2 レジスタはリード・モディファイ・ライトできません。

注意 2: ポートの機能設定にかかわらず、TA0IN, TA2IN, TA4IN, TA6IN 入力は 8 ビットタイマ TMRA0~TMRA6 へ入力されます。

図3.5.34 ポート F レジスタ

3.5.10 ポート J (PJ0~PJ7)

ポート J はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。
入出力ポート以外に以下の機能があります。

- ・ 16 ビットタイマ 0 の出力機能(TB0OUT0、TB0OUT1)
- ・ 16 ビットタイマ 1 の出力機能(TB1OUT0、TB1OUT1)
- ・ 16 ビットタイマ 2 の出力機能(TB2OUT0、TB2OUT1)
- ・ 16 ビットタイマ 3 の出力機能(TB3OUT0、TB3OUT1)
- ・ 16 ビットタイマ 4 の出力機能(TB4OUT0、TB4OUT1)
- ・ 16 ビットタイマ 5 の出力機能(TB5OUT0、TB5OUT1)

これらの機能は PJCR、PJFC、PJFC2 の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、PJCR、PJFC、PJFC2 の各レジスタの値は"0"にリセットされ、全ビットが入力ポートとなります。また、出力ラッチの全ビットは"1"へセットされます。

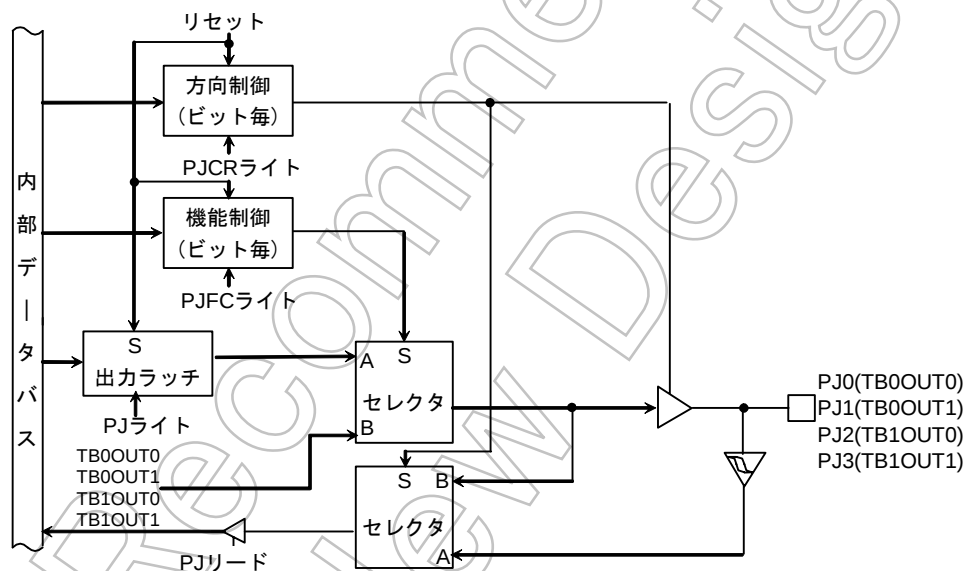


図3.5.35 ポート J(PJ0,PJ1,PJ2,PJ3)

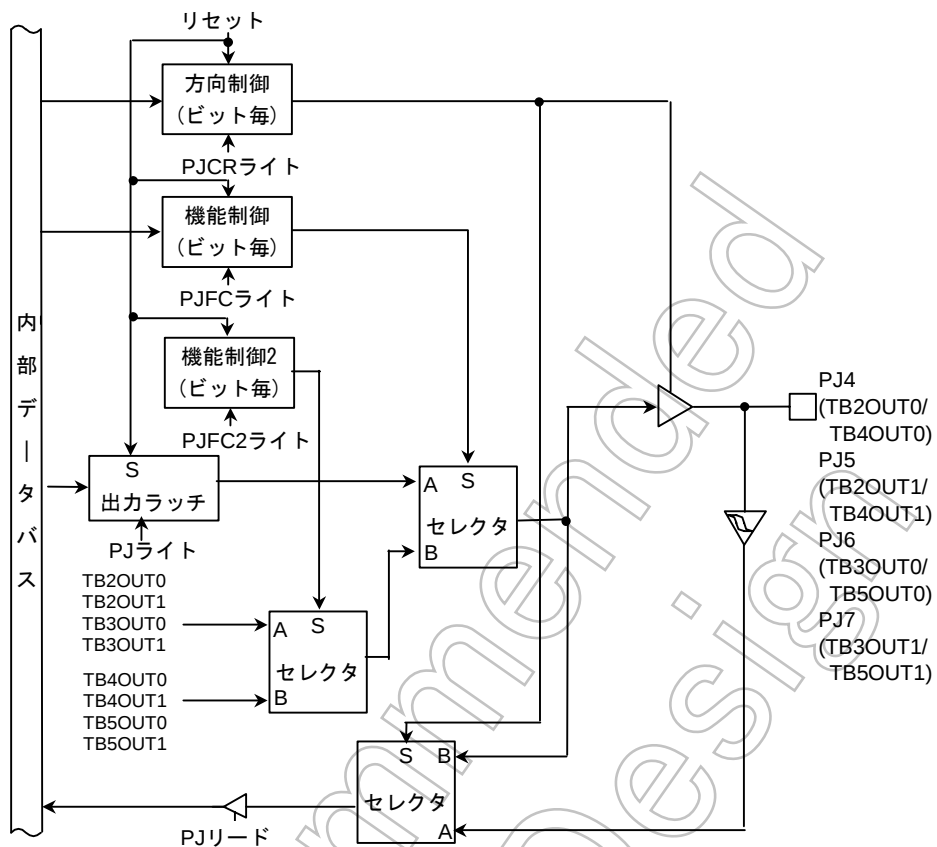


図3.5.36 ポート J(PJ4,PJ5,PJ6,PJ7)

ポート J レジスタ

PJ (004CH)		7	6	5	4	3	2	1	0
	シンボル	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
	Read/Write	R/W							
		外部端子データ（出カラッチレジスタは1にセットされます）							

ポート J コントロールレジスタ

PJCR (004EH)		7	6	5	4	3	2	1	0
	シンボル	PJ7C	PJ6C	PJ5C	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C
	Read/Write	W							
	リセット後	0							
	機能	ポート J 機能設定参照							

ポート J ファンクションレジスタ

PJFC (004FH)		7	6	5	4	3	2	1	0
	シンボル	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	ポート J 機能設定参照							

ポート J ファンクションレジスタ 2

PJFC2 (004DH)		7	6	5	4	3	2	1	0
	シンボル	PJ7F2	PJ6F2	PJ5F2	PJ4F2				
	Read/Write	W							
	リセット後	0	0	0	0				
	機能	ポート J 機能設定参照							

ポート J 機能設定

<PJx2>	<PJxF>	<PJxC>	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
0	0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	1	1	TB3OUT1	TB3OUT0	TB2OUT1	TB2OUT0	TB1OUT1	TB1OUT0	TB0OUT1	TB0OUT0
1	0	0	設定禁止	設定禁止	設定禁止	設定禁止				
1	0	1	設定禁止	設定禁止	設定禁止	設定禁止				
1	1	0	設定禁止	設定禁止	設定禁止	設定禁止				
1	1	1	TB5OUT1	TB5OUT0	TB4OUT1	TB4OUT0				

注意：PJCR,PJFC,PJFC2 レジスタはリード・モディファイ・ライトできません。

図3.5.37 ポート J レジスタ

3.5.11 ポート K (PK0~PK7)

ポート K は入力専用ポートです。

入力ポート以外に以下の機能があります。

- ・ 16 ビットタイマ 0 の入力機能(TB0IN0、TB0IN1)
- ・ 16 ビットタイマ 1 の入力機能(TB1IN0、TB1IN1)
- ・ 16 ビットタイマ 2 の入力機能(TB2IN0、TB2IN1)
- ・ 16 ビットタイマ 3 の入力機能(TB3IN0、TB3IN1)
- ・ 外部割込みの入力機能(INT4~INTB)

これらの機能は PKFC、PKFC2 の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、PKFC、PKFC2 の各レジスタの値は"0"にリセットされ、全ビットが入力ポートとなります。

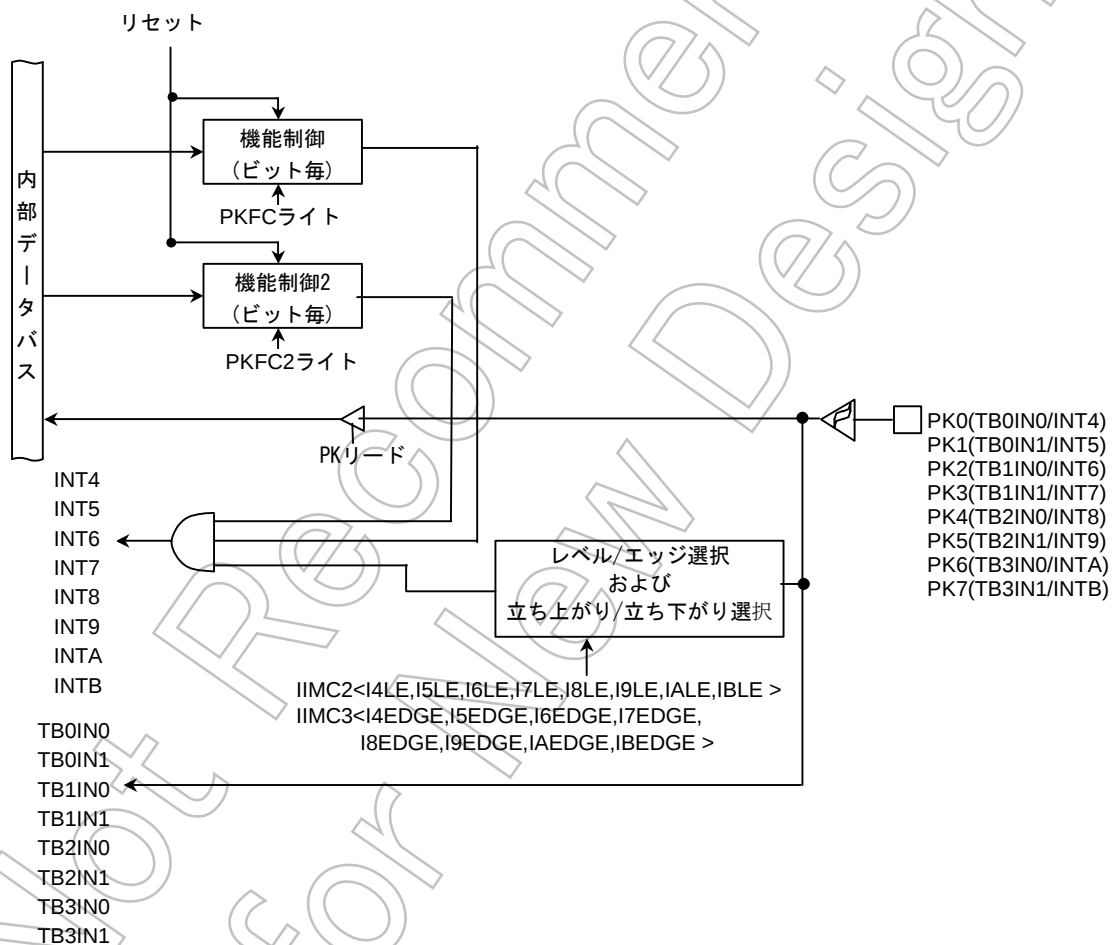


図3.5.38 ポート K(PK0~PK7)

ポート K レジスタ

PK (0050H)		7	6	5	4	3	2	1	0
	シンボル	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	Read/Write	R							
		外部端子データ							

ポート K ファンクションレジスタ

PKFC (0053H)		7	6	5	4	3	2	1	0
	シンボル	PK7F	PK6F	PK5F	PK4F	PK3F	PK2F	PK1F	PK0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	ポート K 機能設定参照							

ポート K ファンクションレジスタ 2

PKFC2 (0051H)		7	6	5	4	3	2	1	0
	シンボル	PK7F	PK6F	PK5F	PK4F	PK3F	PK2F	PK1F	PK0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	ポート K 機能設定参照							

ポート K 機能設定

<PKxF2>	<PKxF>	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	1	TB3IN1	TB3IN0	TB2IN1	TB2IN0	TB1IN1	TB1IN0	TB0IN1	TB0IN0
1	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
1	1	INTB	INTA	INT9	INT8	INT7	INT6	INT5	INT4

注意 1 : PKFC、PKFC2 レジスタはリード・モディファイ・ライトできません。

注意 2 : ポートの機能設定にかかわらず、TB0IN0/1、TB1IN0/1、TB2IN0/1、TB3IN0/1 入力には 16 ビットタイマ TMRB0~TMRB3 へ入力されます。

注意 3 : <PKxF2>=1 かつ<PKxF>=1 の設定(INT4~INTB)と<PKxF2>=0 かつ<PKxF>=1 の設定(TB0IN0~TB3IN1)では、ホールト解除の動作が異なります。

詳細は、3.3.6 スタンバイ制御部の表 3.3.6 ホールト解除ソースとホールト解除の動作を参照してください。

図3.5.39 ポート K レジスタ

3.5.12 ポート L (PL0~PL7)

ポート L はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

PL1 はオープンドレイン出力に設定可能です。

入出力ポート以外に以下の機能があります。

- ・ パターンジェネレータ 0 の出力機能(PG00~PG03)
- ・ パターンジェネレータ 1 の出力機能(PG10~PG13)
- ・ シリアルチャネル 3 の入出力機能(RXD3、TXD3、SCLK3/ $\overline{\text{CTS3}}$)
- ・ 8 ビットタイマ 7 の出力機能(TA7OUT)
- ・ 高速シリアルチャネル 1 の入出力機能(HSSI1、HSSO1、HSCLK1)

これらの機能は PLCR、PLFC、PLFC2 の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、PLCR、PLFC、PLFC2 の各レジスタの値は"0"にリセットされ、全ビットが入力ポートとなります。また、出力ラッチの全ビットは"1"へセットされます。

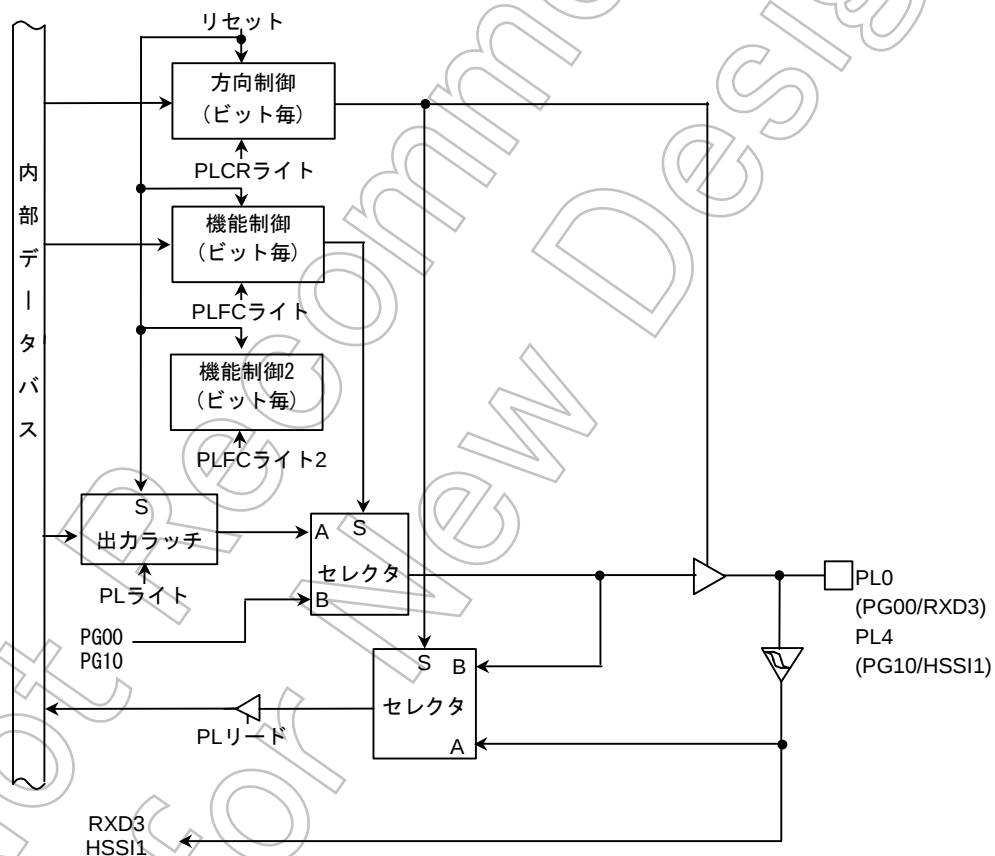


図3.5.40 ポート L(PL0,PL4)

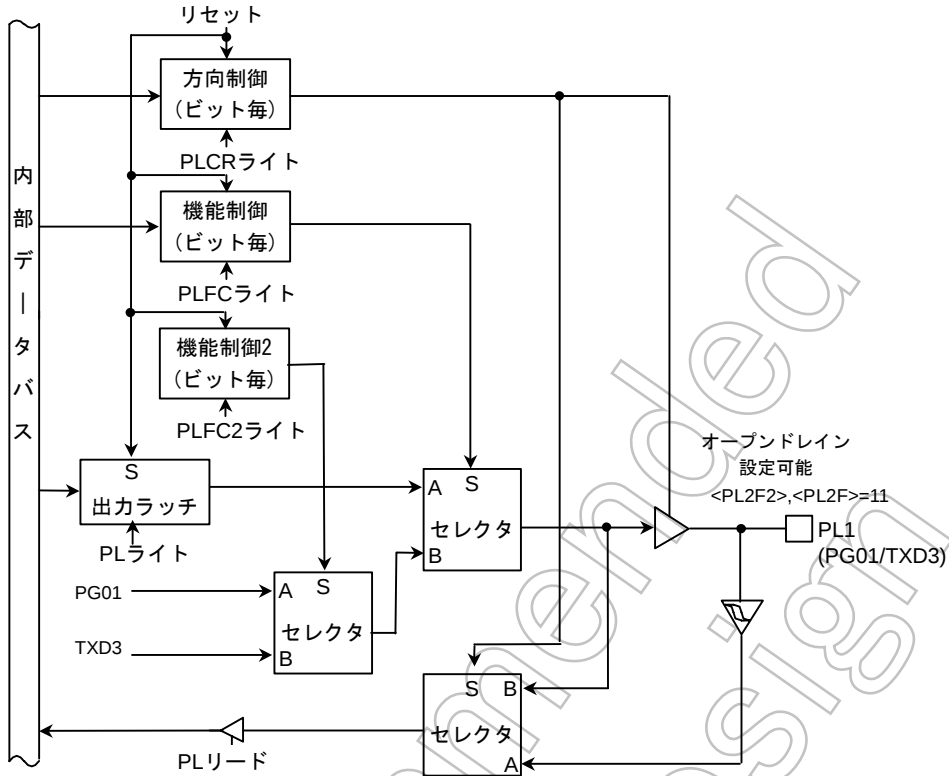


図3.5.41 ポート L(PL1)

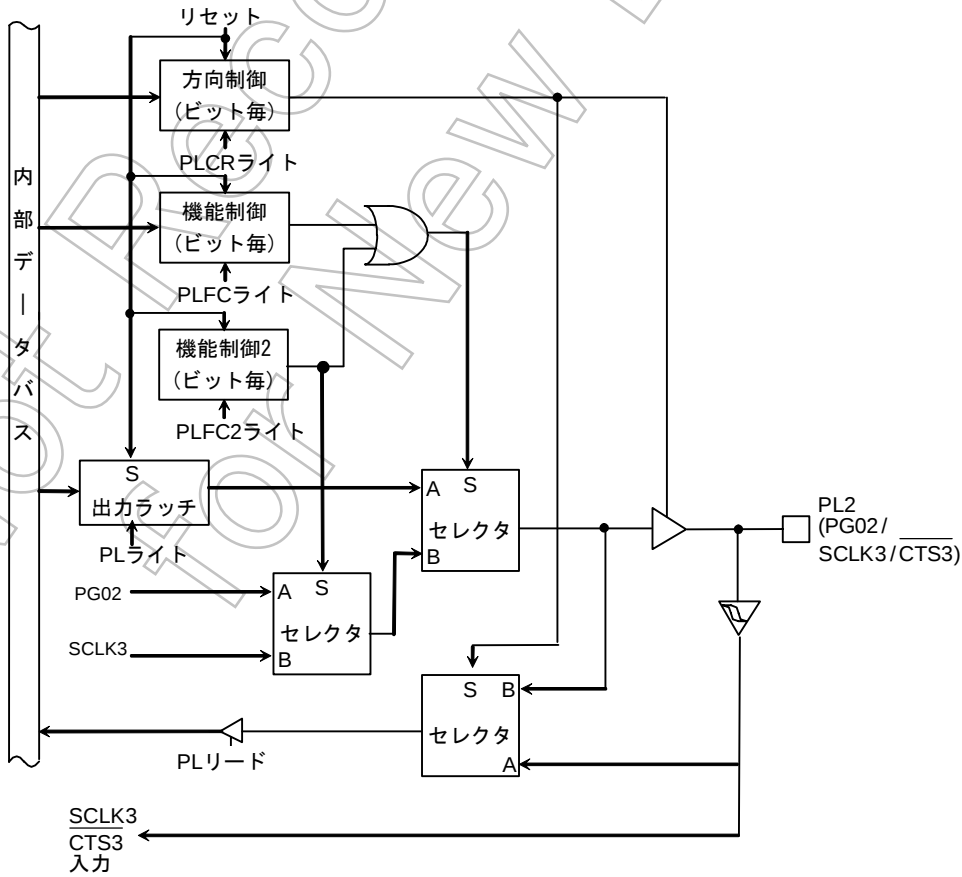


図3.5.42 ポート L(PL2)

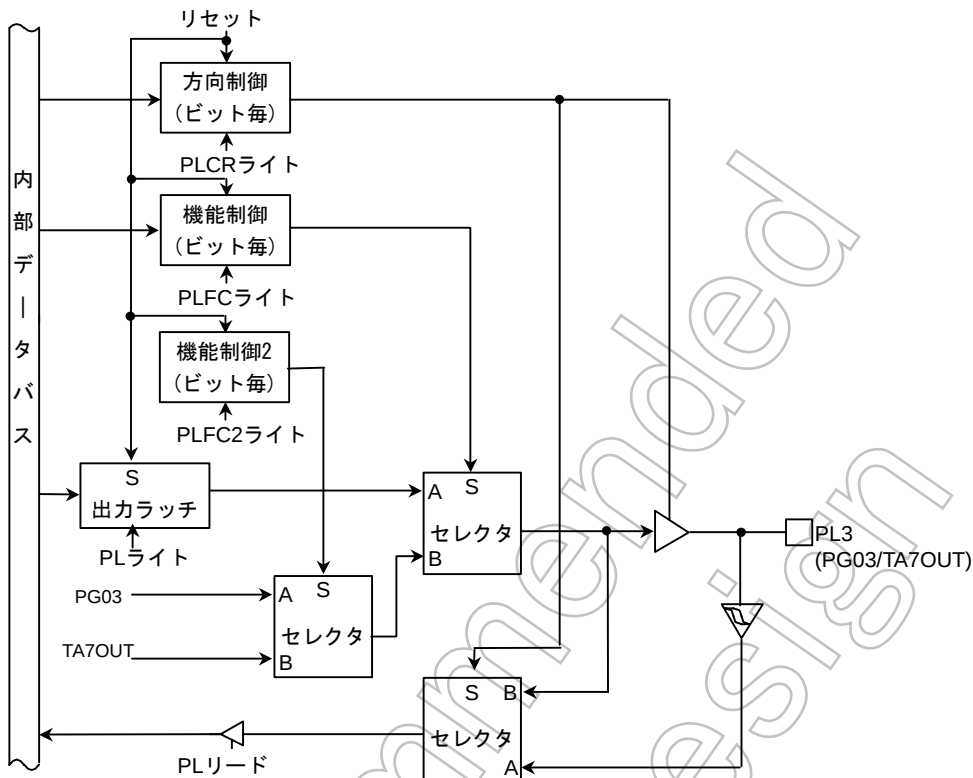


図3.5.43 ポート L(PL3)

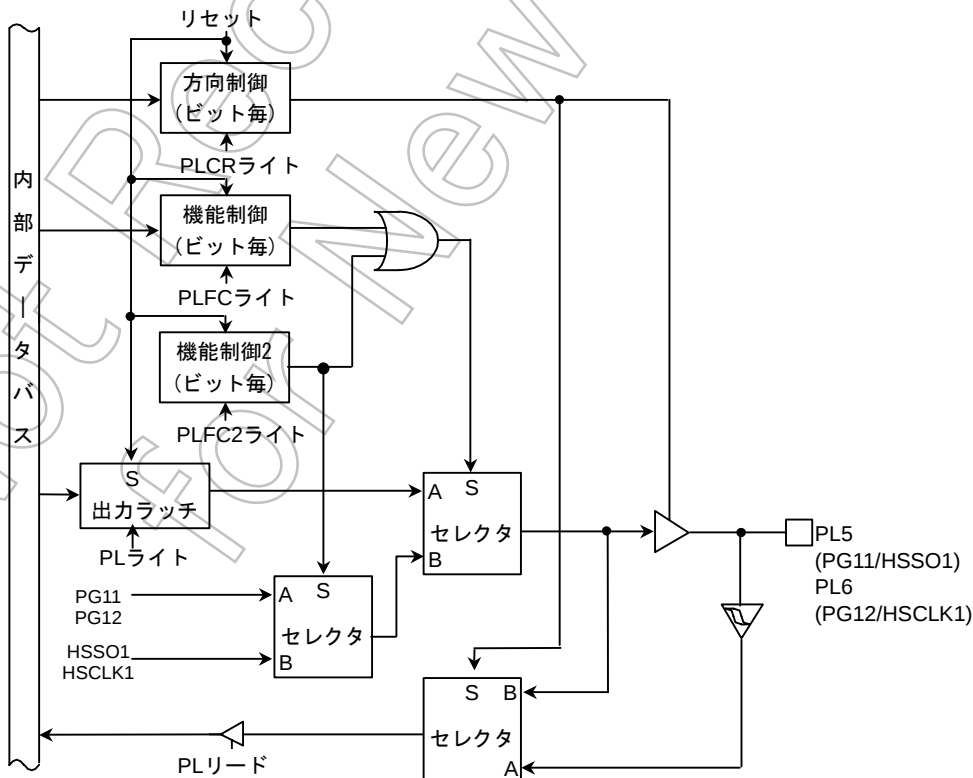


図3.5.44 ポート L(PL5,PL6)

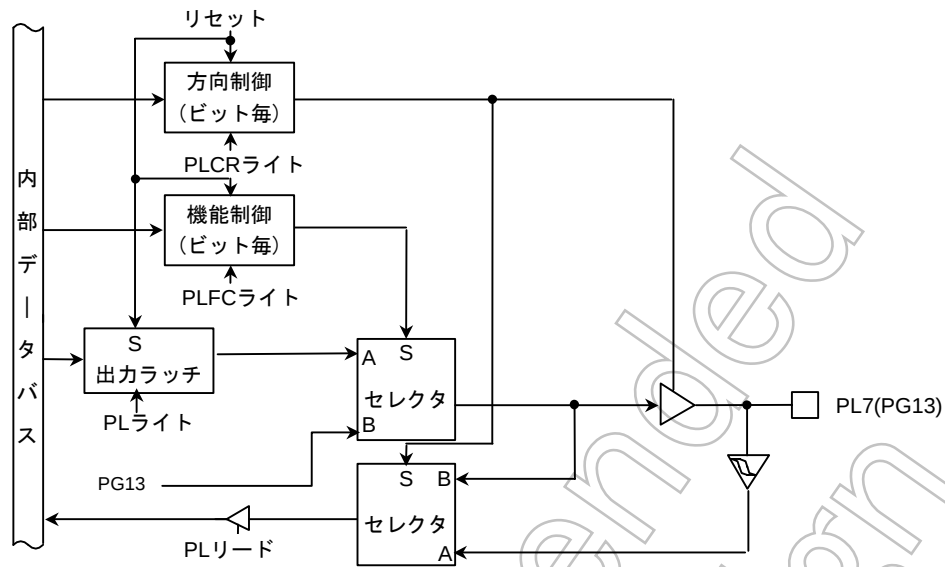


図3.5.45 ポート L(PL7)

ポート L レジスタ

PL (0054H)		7	6	5	4	3	2	1	0
	シンボル	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	Read/Write	R/W							
	リセット後	外部端子データ（出カラッチレジスタは1にセットされます）							

ポート L コントロールレジスタ

PLCR (0056H)		7	6	5	4	3	2	1	0
	シンボル	PL7C	PL6C	PL5C	PL4C	PL3C	PL2C	PL1C	PL0C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
		ポート L 機能設定参照							

ポート L ファンクションレジスタ

PLFC (0057H)		7	6	5	4	3	2	1	0
	シンボル	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	ポート L 機能設定参照							

ポート L ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PLFC2 (0055H)	シンボル	PL6F2	PL5F2	PL4F2	PL3F2	PL2F2	PL1F2	PL0F2
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0
	機能	ポート L 機能設定参照						

ポート L0~L7 機能設定

<PLxF2>	<PLxF>	<PLxC>	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
0	0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	1	1	PG13	PG12	PG11	PG10	PG03	PG02	PG01	PG00
1	0	0		設定禁止	設定禁止	HSS11	設定禁止	SCLK3/CTS3	設定禁止	RXD3
1	0	1		HSS01	設定禁止	設定禁止	設定禁止	SCLK3	TXD3 (O.D Dis)	設定禁止
1	1	0		設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
1	1	1		設定禁止	設定禁止	設定禁止	TA70UT	設定禁止	TXD3 (O.D Ena)	設定禁止

注意 1 : PLCR、PLFC、PLFC2 レジスタはリード・モディファイ・ライトできません。

注意 2 : ポートの機能設定にかかわらず、RXD3, SCLK3, CTS3 入力はシリアルチャネル 3 へ入力されます。

注意 3 : ポートの機能設定にかかわらず、HSS11 入力は高速シリアルチャネル 1 へ入力されます。

注意 4 : PL1 は、3-state/オープンドレイン設定のためのレジスタをもっていません。

また、出力ポート時のオープンドレイン機能はありません。

図3.5.46 ポート L レジスタ

3.5.13 ポート M (PM0~PM7)

ポート M は 8 ビットの入力専用ポートです。

入力ポート以外に以下の機能があります。

- ・ A/D コンバータの入力機能(AN0~AN7)
- ・ キー入力の入力機能(KI0~KI7)

これらの機能は PMFC、KIEN の該当ビットを設定することにより各ファンクションが可能となります。リセット動作により、PMFC は"1"にセット、KIEN は"0"にリセットされ、全ビットがアナログ入力となります。

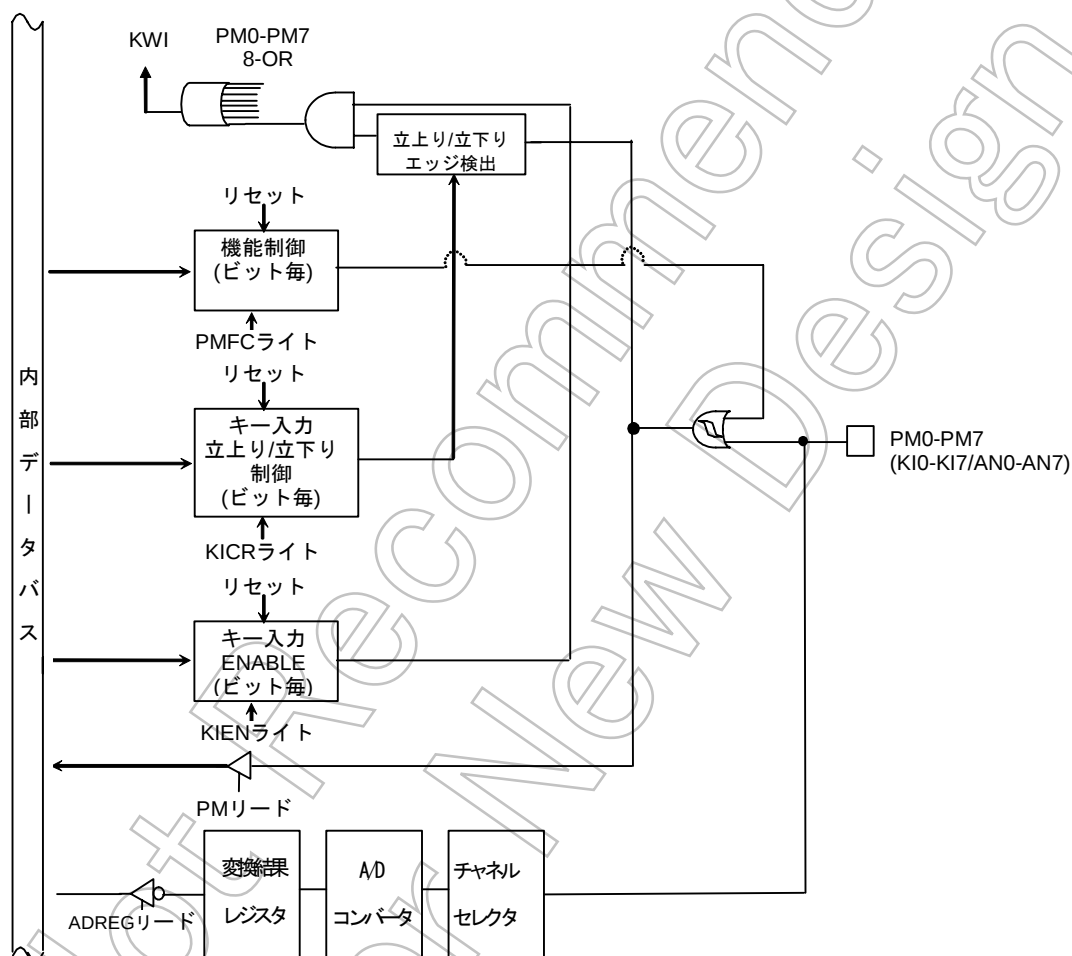


図3.5.47 ポート M(PM0~PM7)

ポート M レジスタ

PM (0058H)		7	6	5	4	3	2	1	0
	シンボル	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0
	Read/Write	R							
	リセット後	外部端子データ							

注意 1 : A/D コンバータの入力チャネル選択は、A/D コンバータ モードレジスタ ADMOD1にて設定します。

ポート M ファンクションレジスタ

PMFC (005BH)		7	6	5	4	3	2	1	0
	シンボル	PM7F	PM6F	PM5F	PM4F	PM3F	PM2F	PM1F	PM0F
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1
		0:ポート入力/キー入力 1:アナログ入力							

キー入力カインーブルレジスタ

KIEN (009EH)		7	6	5	4	3	2	1	0
	シンボル	KI7EN	KI6EN	KI5EN	KI4EN	KI3EN	KI2EN	KI1EN	KI0EN
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
		KI7 入力 0: 禁止 1: 許可	KI6 入力 0: 禁止 1: 許可	KI5 入力 0: 禁止 1: 許可	KI4 入力 0: 禁止 1: 許可	KI3 入力 0: 禁止 1: 許可	KI2 入力 0: 禁止 1: 許可	KI1 入力 0: 禁止 1: 許可	KI0 入力 0: 禁止 1: 許可

キー入力コントロールレジスタ

KICR (009FH)		7	6	5	4	3	2	1	0
	シンボル	KI7EDGE	KI6EDGE	KI5EDGE	KI4EDGE	KI3EDGE	KI2EDGE	KI1EDGE	KI0EDGE
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
		KI7 エッジ 0: 立上り 1: 立下り	KI6 エッジ 0: 立上り 1: 立下り	KI5 エッジ 0: 立上り 1: 立下り	KI4 エッジ 0: 立上り 1: 立下り	KI3 エッジ 0: 立上り 1: 立下り	KI2 エッジ 0: 立上り 1: 立下り	KI1 エッジ 0: 立上り 1: 立下り	KI0 エッジ 0: 立上り 1: 立下り

注意 : PMFC,KIEN,KICR レジスタはリード・モディファイ・ライトできません。

図3.5.48 ポート M レジスタ

3.5.14 ポート N(PN0~PN3)

ポート N は 4 ビットの入力専用ポートです。

入力ポート以外に以下の機能があります。

- ・ A/D コンバータの入力機能(AN8~AN10、AN11/ $\overline{\text{ADTRG}}$)

これらの機能は PNFC の該当ビットを設定することにより各ファンクションが可能となります。

リセット動作により、PNFC は"1"にセットされ、全ビットがアナログ入力となります。

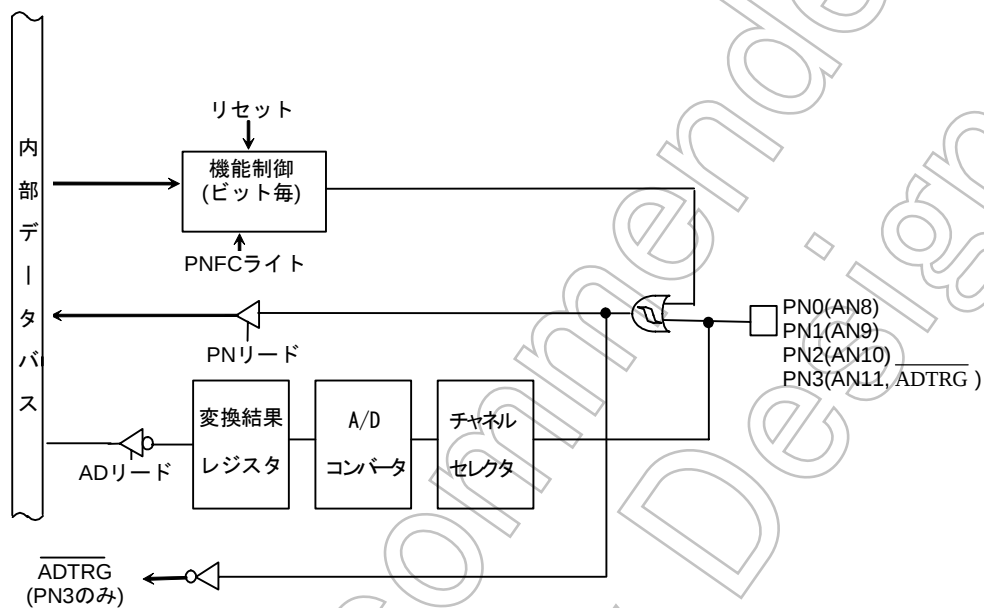


図3.5.49 ポート N(PN0~PN3)

ポート N レジスタ

PN (005CH)		7	6	5	4	3	2	1	0
	シンボル					PN3	PN2	PN1	PN0
	Read/Write					R			
	リセット後					外部端子データ			

注意 1 : A/D コンバータの入力チャネル選択は、A/D コンバータ モードレジスタ ADMOD1 にて設定します。

また、AD トリガ(ADTRG)入力許可の設定は、ADMOD2<ADTRGE>にて設定します。

ポート N ファンクションレジスタ

PNFC (005FH)		7	6	5	4	3	2	1	0
	シンボル					PN3F	PN2F	PN1F	PN0F
	Read/Write					W			
	リセット後					1	1	1	1
						0:ポート 1:アナログ入力			

注意 : PNFC レジスタはリード・モディファイ・ライトできません。

図3.5.50 ポート N レジスタ

3.6 メモリコントローラ

3.6.1 機能概要

メモリコントローラは、任意の 6 つのブロックアドレス空間に対して、以下のような制御を行うことができます。

(1) 6 ブロックのアドレス空間をサポート

外部エリア内に設定する 6 つのブロックアドレス空間に対し、ブロックサイズとスタートアドレスを指定することができます (block0 ~ 5)。

- * SRAM あるいは ROM : 全 CS-ブロック (CS0 ~ CS5) 対応。
- * SDRAM : CS3-ブロックのみ対応。
- * Page-ROM : CS2-ブロックのみ対応。

(2) 接続メモリの指定

選択したアドレス空間に接続するメモリとして、SRAM、ROM、SDRAM を指定できます。

(3) データバス幅の指定

選択したアドレス空間のデータバス幅は、8/16 ビットが選択できます。

(4) ウェイトの制御

コントロールレジスタ内のウェイト指定ビットと WAIT 入力端子により、外部バスサイクルのウェイト数を制御することができます。リードサイクルとライトサイクルは、それぞれ独立にウェイト数を設定することができます。ウェイト数の制御には、下記に示す 6 つのモードがあります。

0 ウェイト, 1 ウェイト,
2 ウェイト, 3 ウェイト, 4 ウェイト
N ウェイト (WAIT 端子による制御)

3.6.2 制御レジスタとリセット解除後の動作

ここでは、メモリコントローラを制御するレジスタと、リセット解除後の状態、必要な設定について説明します。

(1) コントロールレジスタ

メモリコントローラの制御レジスタには、以下のようなものがあります。

- コントロールレジスタ : BnCSH/BnCSL(n=0~5,EX)
接続するメモリの種類や読み出し、書き込みのウェイト数など、メモリコントローラの基本的な機能の設定を行います。
 - メモリスタートアドレスレジスタ : MSARn(n=0~5)
選択したブロックアドレス空間のスタートアドレスを設定します。
 - メモリアドレスマスクレジスタ MAMRn(n=0~5)
選択したブロックアドレス空間のブロックサイズを設定します
 - ページ ROM コントロールレジスタ: PMEMCR
Page-ROM アクセス方法を設定します。

表 3.6.1コントロールレジスタ

		7	6	5	4	3	2	1	0
B0CSL (0140H)	Bit symbol		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B0CSH (0141H)	Bit Symbol	B0E	-	-	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
	Read/Write	W							
	リセット後	0	0(注)	0(注)	0	0	0	0	0
MAMR0 (0142H)	Bit Symbol	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-V9	M0V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR0 (0143H)	Bit Symbol	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B1CSL (0144H)	Bit symbol		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B1CSH (0145H)	Bit Symbol	B1E	-	-	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
	Read/Write	W							
	リセット後	0	0(注)	0(注)	0	0	0	0	0
MAMR1 (0146H)	Bit Symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-V9	M1V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR1 (0147H)	Bit Symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B2CSL (0148H)	Bit symbol		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B2CSH (0149H)	Bit Symbol	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
	Read/Write	W							
	リセット後	1	0	0(注)	0	0	0	0	0
MAMR2 (014AH)	Bit Symbol	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR2 (014BH)	Bit Symbol	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B3CSL (014CH)	Bit symbol		B3WW2	B3WW1	B3WW0		B3WR2	B3WR1	B3WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B3CSH (014DH)	Bit Symbol	B3E	-	-	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
	Read/Write	W							
	リセット後	0	0(注)	0(注)	0	0	0	0	0
MAMR3 (014EH)	Bit Symbol	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR3 (014FH)	Bit Symbol	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

注 1: “0”をライトしてください。

注 2: BnCSL,BnCSH(n=0~3)レジスタはリードモディファイライトできません。

表 3.6.2コントロールレジスタ

		7	6	5	4	3	2	1	0
B4CSL (0150H)	Bit Symbol		B4WW2	B4WW1	B4WW0		B4WR2	B4WR1	B4WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B4CSH (0151H)	Bit Symbol	B4E	—	—	B4REC	B4OM1	B4OM0	B4BUS1	B4BUS0
	Read/Write		W						
	リセット後	0	0(注)	0(注)	0	0	0	0	0
MAMR4 (0152H)	Bit Symbol	M4V22	M4V21	M4V20	M4V19	M4V18	M4V17	M4V16	M4V15
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR4 (0153H)	Bit Symbol	M4S23	M4S22	M4S21	M4S20	M4S19	M4S18	M4S17	M4S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
B5CSL (0154H)	Bit Symbol		B5WW2	B5WW1	B5WW0		B5WR2	B5WR1	B5WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B5CSH (0155H)	Bit Symbol	B5E	—	—	B5REC	B5OM1	B5OM0	B5BUS1	B5BUS0
	Read/Write		W						
	リセット後	0	0(注)	0(注)	0	0	0	0	0
MAMR5 (0156H)	Bit Symbol	M5V22	M5V21	M5V20	M5V19	M5V18	M5V17	M5V16	M5V15
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR5 (0157H)	Bit Symbol	M5S23	M5S22	M5S21	M5S20	M5S19	M5S18	M5S17	M5S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
BEXCSH (0159H)	Bit Symbol					BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
	Read/Write					W			
	リセット後					0	0	0	0
BEXCSL (0158H)	Bit Symbol		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
PMEMCR (0166H)	Bit Symbol				OPGE	OPWR1	OPWR0	PR1	PR0
	Read/Write				R/W				
	リセット後				0	0	0	1	0

注 1: “0”をライトしてください。

注 2: BnCSL, BnCSH(n=4~5), BEXCSH, BEXCSL レジスタはリードモディファイライトできません。

(2) リセット解除後の動作

リセット解除直後には、AM1/AM0 端子の状態に従い、起動データバス幅が決定され、外部メモリをアクセスします。具体的には下記ようになります。

AM1	AM0	スタートモード
0	0	設定しないでください
0	1	16 ビットデータバスで起動 (注)
1	0	8 ビットデータバスで起動 (注)
1	1	設定しないでください

(注) リセット後起動することに使用されるメモリは NOR-Flash, Masked-ROM のどちらかです。

SDRAM は使用できません。

AM1/AM0 端子は、リセット解除直後のみ有効です。それ以外では、データバス幅はコントロールレジスタの<BnBUS1:0>に設定された値になります。

リセット後は、ブロックアドレス空間 2 のコントロールレジスタ (B2CSH/B2CSL) のみが、自動的に有効になります (リセットにより B2CSH<B2E> は“1”に設定されます)。ブロックアドレス空間 2 の制御レジスタのバス幅指定ビットへ、AM1/AM0 端子で指定されたデータバス幅が、ロードされます。また、リセット後、ブロックアドレス空間は 000000H から FFFFFFFH 番地に設定されています (B2CSH<B2M> は“0”にリセットされます)。

リセット解除後、メモリスタートアドレスレジスタ (MSARn) とメモリアドレスマスクレジスタ (MAMRn) で、ブロックアドレス空間の指定を行い、コントロールレジスタ (BnCSH/L) を設定します。設定を有効にするために、コントロールレジスタのイネーブルビット (BnCSH<BnE>) を“1”にセットしてください。

3.6.3 基本的な機能の説明とレジスタの設定

ここでは、メモリコントローラの機能のうち、ブロックアドレスエリアの設定、接続メモリ、ウェイト数の設定について説明します。

(1) ブロックアドレス空間の指定

ブロックアドレス空間は、2種類のレジスタによって指定されます。

メモリスタートアドレスレジスタ(MSARn)は、ブロックアドレス空間のスタートアドレスを設定するレジスタです。メモリコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、メモリアドレスマスクレジスタ(MAMRn)で、マスクされているアドレスビットは、メモリコントローラは、比較対象としません。メモリアドレスマスクレジスタの設定によって、ブロックアドレス空間のサイズが決まります。レジスタに設定された値と、バス上のアドレスを比較し、比較した結果が一致すれば、メモリコントローラは、チップセレクト信号(CSn)を“Low”レベルにします。

(i) メモリスタートアドレスレジスタの設定

メモリスタートアドレスレジスタの<MnS23~16>の各ビットは、それぞれアドレスの A23~A16に対応します。スタート下位アドレス A15~0 は、常に 0000H です。従って、ブロックアドレス空間のスタートアドレスは、000000H~FF0000H まで 64K バイトごとに設定することができます。

(ii) メモリアドレスマスクレジスタの設定

メモリアドレスマスクレジスタでは、アドレスのどのビットの値を比較するか、比較しないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。

ブロックアドレス空間によって設定できるアドレスビットが違っており、

ブロックアドレス空間 0 : A20~A8

ブロックアドレス空間 1 : A21~A8

ブロックアドレス空間 2~5 : A22~15

のマスク設定ができます。上位のビットについては、かならず比較されます。これにより、各ブロックアドレス空間のサイズが決まります。

ブロックアドレス空間によって設定できるサイズは、次のとおりです。

サイズ(バイト) CS エリア	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	○	○	○	○	○		
CS1	○	○		○	○	○	○	○	○	○	
CS2 ~ 5			○	○	○	○	○	○	○	○	○

注: リセット解除後は、ブロックアドレス空間 2 の制御レジスタのみが有効になっています。ブロックアドレス空間 2 の制御レジスタには、特別に<B2M>があり、このビットを“0”にすると、ブロックアドレス空間 2 は 000000H~FFFFFFH に設定されます。リセット解除後は、この状態に設定されています。この<B2M>を 1 に設定すると、他のブロックアドレス空間と同様に、スタートアドレスとアドレス空間サイズを設定することができます。

(iii) レジスタの設定例

ブロックアドレス空間 1 を 110000H のアドレスから 512 バイトに設定する場合、次のようにレジスタを設定します。

MSAR1 レジスタ

ビット	7	6	5	4	3	2	1	0
bit Symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
設定値	0	0	0	1	0	0	0	1

メモリスタートアドレスレジスタ MSAR1 の<M1S23~16>の各ビットは、それぞれアドレス A23~16 に対応します。A15~0 は“0”になります。したがって、MASR1 の値を上記のように設定すると、ブロックアドレス空間のスタートアドレスは、110000H になります。

MAMR1 レジスタ

ビット	7	6	5	4	3	2	1	0
bit Symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15 to 9	M1V8
設定値	0	0	0	0	0	0	0	1

メモリスタートマスクレジスタ MAMR1 の<M1V21~16>,<M1V8>の各ビットは、それぞれ A21~16,A8 のアドレス比較を行うか、行わないかを設定します。<M1V15~9>ビットは A15~A9 を 1 ビットでアドレス比較を行うか行わないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。A22 と A23 は必ず比較されます。

上記のように設定すると、A23~A9 まではスタートアドレスとして設定された値と比較されます。したがって、110000H~1101FFH 番地の 512 バイトが、ブロックアドレス空間 1 として設定され、バス上のアドレスと一致すれば、チップセレクト信号 $\overline{CS1}$ を“L”レベルにします。

ブロックアドレス空間 0 では、A23~A21 は常に比較され、A20~A8 の比較を行うか行わないかをレジスタに設定します。同様にブロックアドレス 2~5 では、A23 は常に比較され、A22~A15 の比較を行うか行わないかをレジスタに設定します。

注: 設定したブロックアドレス空間が、内蔵メモリの空間と重複した場合、ブロックアドレス空間は以下のような優先順位で処理されます。

内蔵 I/O > 内蔵メモリ > ブロックアドレス空間 0>1>2>3>4>5

また、 $\overline{CS0}$ から $\overline{CS5}$ で設定したアドレス空間以外をアクセスした場合は、 $\overline{CSEX}$ 空間として処理されます。従って、ウェイト数、データバス幅の制御などは $\overline{CSEX}$ (BEXCSH, BEXCSL レジスタ)の設定に従います。

(2) 接続メモリの指定

コントロールレジスタ(BnCSH)の<BnOM1:0>ビットを設定することにより、各ブロックアドレス空間に接続するメモリの種類を設定することができます。設定されたメモリによって、メモリインタフェース信号が出力されます。設定は、次のように行います。

<BnOM1,BnOM0> ビット (BnCSH レジスタ)

BnOM1	BnOM0	機能
0	0	SRAM/ROM (デフォルト)
0	1	(予約)
1	0	(予約)
1	1	SDRAM

(注 1) SDRAM は 3 のブロックに設定する必要があります。

(3) データバス幅の設定

データバス幅は、ブロックアドレス空間ごとに設定することが出来ます。バス幅の設定はコントロールレジスタ(BnCSH)の<BnBUS1:0>で、以下のように行います。

<BnBUS> ビット (BnCSH レジスタ)

<BnBUS1>	<BnBUS0>	機能
0	0	8 ビットバスモード (デフォルト)
0	1	16 ビットバスモード
1	0	使用しないでください
1	1	使用しないでください

(注 1) SDRAM は“01” (16 ビット バス) に設定する必要があります。

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。データサイズ、バス幅、スタートアドレスにより、データが、データバスのどの部分に出力されるかが変わります。バス動作の詳細は次のようになります。

(注意)

バス幅が異なるメモリを連続したアドレスに配置している場合、両方のメモリにまたがるアクセスを 1 命令で実行しないでください。データの正常な読み出し／書き込みが行われない場合があります。

データサイズ (ビット)	スタートアドレス	メモリデータサイズ (ビット)	CPU アドレス	CPU データ	
				D15 ~ D8	D7 ~ D0
8	4n + 0	8/16	4n + 0	xxxxxx	b7 ~ b0
	4n + 1	8	4n + 1	xxxxxx	b7 ~ b0
		16	4n + 1	b7 ~ b0	xxxxxx
	4n + 2	8/16	4n + 2	xxxxxx	b7 ~ b0
	4n + 3	8	4n + 3	xxxxxx	b7 ~ b0
16		16	4n + 3	b7 ~ b0	xxxxxx
	4n + 0	8	(1) 4n + 0	xxxxxx	b7 ~ b0
			(2) 4n + 1	xxxxxx	b15 ~ b8
		16	4n + 0	b15 ~ b8	b7 ~ b0
	4n + 1	8	(1) 4n + 1	xxxxxx	b7 ~ b0
			(2) 4n + 2	xxxxxx	b15 ~ b8
		16	(1) 4n + 1	b7 ~ b0	xxxxxx
			(2) 4n + 2	xxxxxx	b15 ~ b8
	4n + 2	8	(1) 4n + 2	xxxxxx	b7 ~ b0
			(2) 4n + 1	xxxxxx	b15 ~ b8
		16	4n + 2	b15 ~ b8	b7 ~ b0
	4n + 3	8	(1) 4n + 3	xxxxxx	b7 ~ b0
			(2) 4n + 4	xxxxxx	b15 ~ b8
32		16	(1) 4n + 3	b7 ~ b0	xxxxxx
			(2) 4n + 4	xxxxxx	b15 ~ b8
	4n + 0	8	(1) 4n + 0	xxxxxx	b7 ~ b0
			(2) 4n + 1	xxxxxx	b15 ~ b8
			(3) 4n + 2	xxxxxx	b23 ~ b16
			(4) 4n + 3	xxxxxx	b31 ~ b24
		16	(1) 4n + 0	b15 ~ b8	b7 ~ b0
			(2) 4n + 2	b31 ~ b24	b23 ~ b16
	4n + 1	8	(1) 4n + 0	xxxxxx	b7 ~ b0
			(2) 4n + 1	xxxxxx	b15 ~ b8
			(3) 4n + 2	xxxxxx	b23 ~ b16
			(4) 4n + 3	xxxxxx	b31 ~ b24
		16	(1) 4n + 1	b7 ~ b0	xxxxxx
			(2) 4n + 2	b23 ~ b16	b15 ~ b8
			(3) 4n + 4	xxxxxx	b31 ~ b24
	4n + 2	8	(1) 4n + 2	xxxxxx	b7 ~ b0
			(2) 4n + 3	xxxxxx	b15 ~ b8
			(3) 4n + 4	xxxxxx	b23 ~ b16
			(4) 4n + 5	xxxxxx	b31 ~ b24
		16	(1) 4n + 2	b15 ~ b8	b7 ~ b0
			(2) 4n + 4	b31 ~ b24	b23 ~ b16
	4n + 3	8	(1) 4n + 3	xxxxxx	b7 ~ b0
			(2) 4n + 4	xxxxxx	b15 ~ b8
			(3) 4n + 5	xxxxxx	b23 ~ b16
			(4) 4n + 6	xxxxxx	b31 ~ b24
		16	(1) 4n + 3	b7 ~ b0	xxxxxx
			(2) 4n + 4	b23 ~ b16	b15 ~ b8
			(3) 4n + 6	xxxxxx	b31 ~ b24

xxxxxx: リード時はそのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号は、ノンアクティブのままであることを示します。

(4) ウェイトの制御

外部バスサイクルは、最小 2 ステート（100ns@f_{sys}=20MHz）で完了します。コントロールレジスタ(BnCSL)の<BnWW2:0>と<BnWR2:0>を設定することにより、リードサイクルとライトサイクルのウェイト数を指定することができます。<BnWW2:0>と<BnWR2:0>の設定方法は同じです。設定は次のように行います。

<BnWW2:0>/<BnWR2:0> (BnCSL レジスタ)

<BnWW2> <BnWR2>	<BnWW1> <BnWR1>	<BnWW0> <BnWR0>	機能
0	0	1	2 ステート (0 ウェイト) アクセス固定モード
0	1	0	3 ステート (1 ウェイト) アクセス固定モード (デフォルト)
1	0	1	4 ステート (2 ウェイト) アクセス固定モード
1	1	0	5 ステート (3 ウェイト) アクセス固定モード
1	1	1	6 ステート (4 ウェイト) アクセス固定モード
0	1	1	WAIT 端子入力モード
上記以外			(予約)

(注 1) SDRAM には上記の設定は無効です。3.13 章 SDRAM コントローラを参照してください。

(i) ウェイト数固定モード

指定されたステート数でバスサイクルを完了するモードです。ステート数は、2 ステート（0 ウェイト）～6 ステート（4 ウェイト）を選択できます。

(ii) WAIT 端子入力モード

WAIT 入力端子をサンプリングし、信号がアクティブの間、ウェイトを挿入しつづけます。このモードでは、最小のバスサイクルが 2 ステートとなります。2 ステート目に、ウェイト信号がノンアクティブ（“High”レベル）であれば、そこでバスサイクルは完了します。2 ステート以上は、ウェイト信号がアクティブな限りバスサイクルが延長されます。

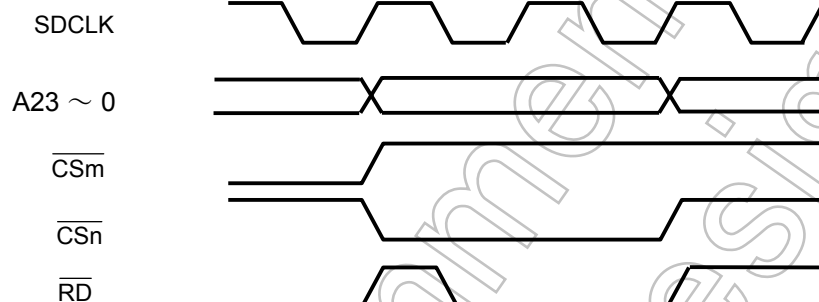
(5) リカバリ (データホールド) サイクル制御

メモリによってはリードサイクル時の $\overline{CE}$ あるいは $\overline{OE}$ からデータホールド時間について A.C スペックが定義されており、その場合データ衝突の問題が起こります。この問題を回避するため BmCSH<BmREC>レジスタに“1”を設定することによって CSm ブロックにアクセス後に、1 ステートのダミーサイクルを挿入することが出来ます。この 1 ダミーサイクルは次のサイクルがほかの CS ブロック用のとき挿入されます。

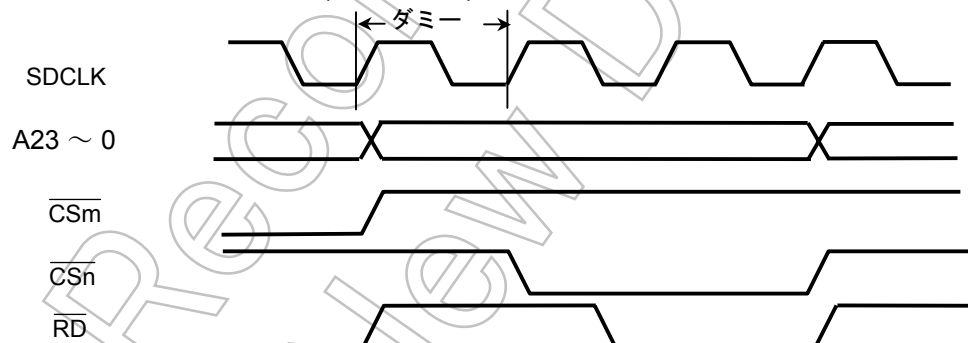
<BnREC> ビット (BnCSH レジスタ)

0	ダミーサイクルを挿入しない (デフォルト)
1	ダミーサイクルを挿入

- ダミーサイクルを挿入しないとき(0 ウェイト)

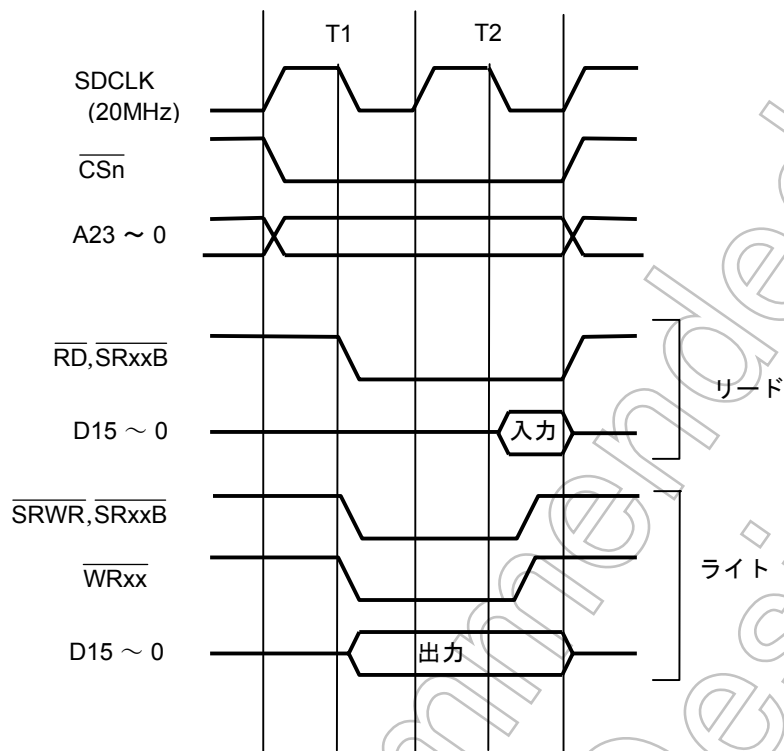


- ダミーサイクルを挿入するとき(0 ウェイト)

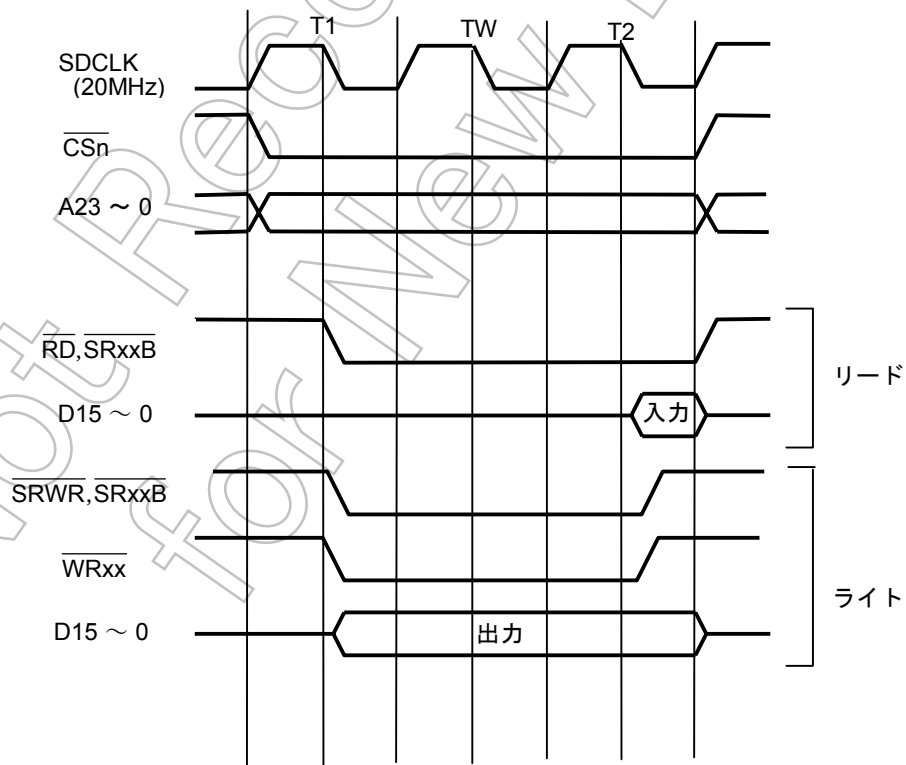


(6) 基準バスタイミング

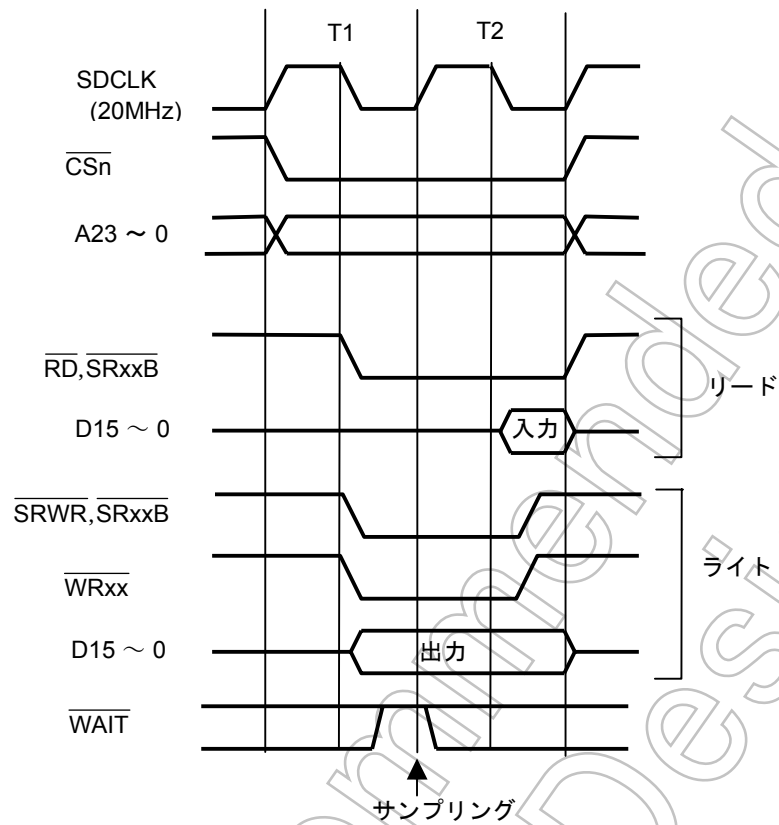
(a) 外部リード／ライトバスサイクル(0 ウェイト)



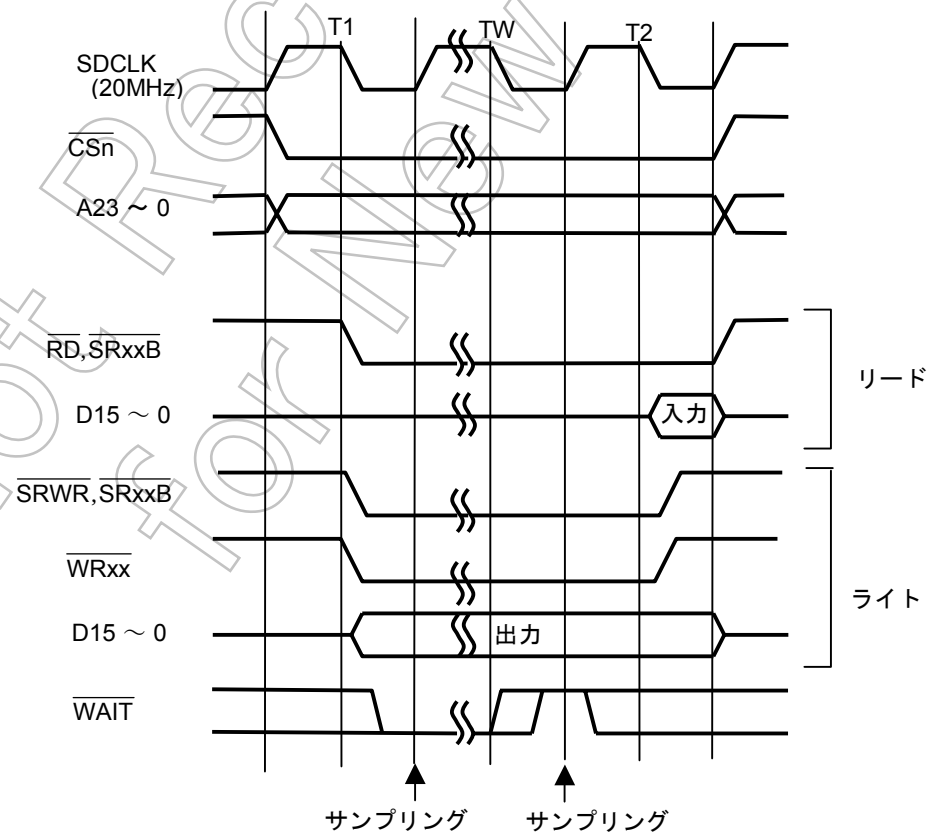
(b) 外部リード／ライトバスサイクル(1 ウェイト)



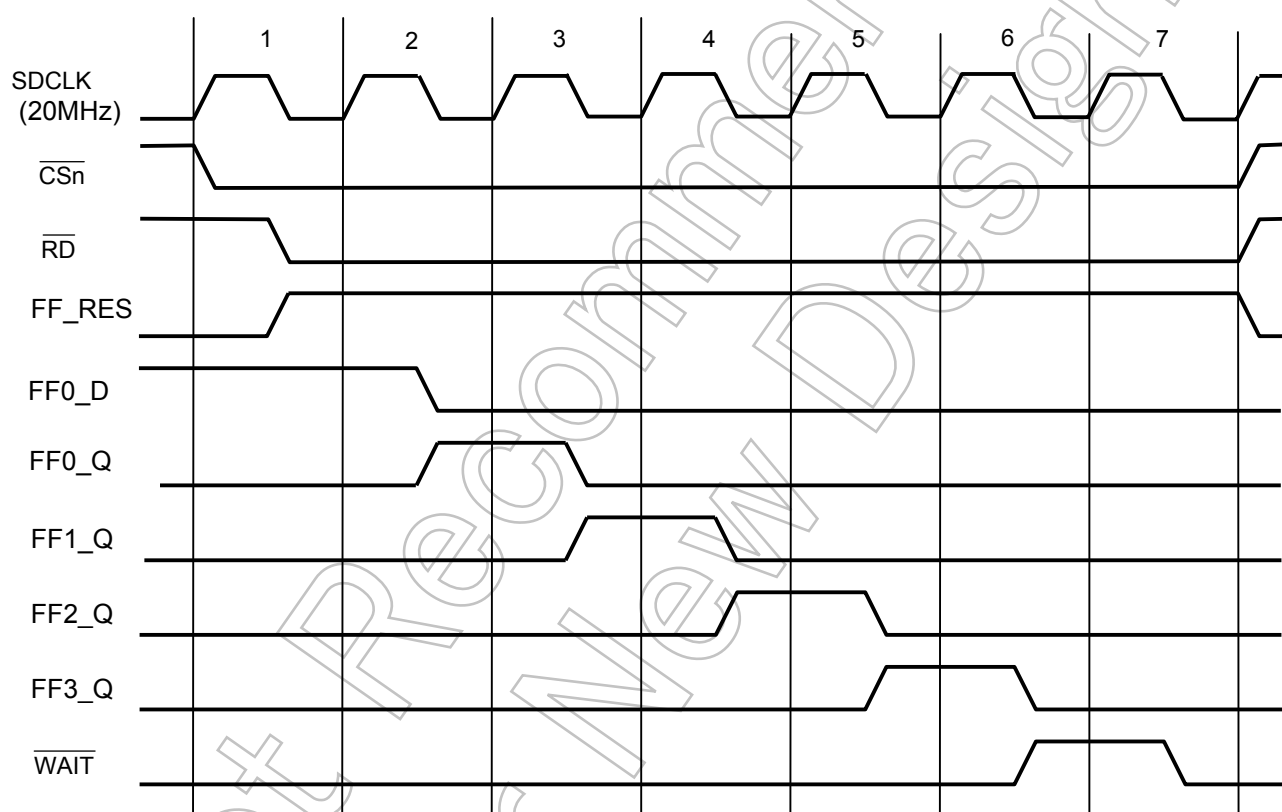
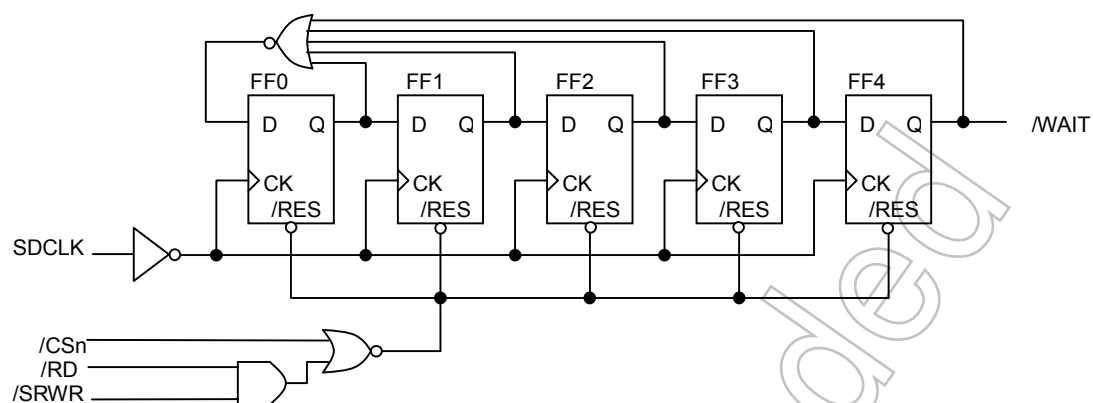
(c) 外部リード／ライトバスサイクル(0 ウェイト @ WAIT 端子入力モード)



(d) 外部リード／ライトバスサイクル(n ウェイト @ WAIT 端子入力モード)



WAIT 入力回路例(5 ウェイトの場合)



(6) 外部メモリ接続

図 3.6.1 は外部 16 ビット SRAM、16 ビット NOR-Flash と TMP92CM27 の接続方法の接続例を示しています。

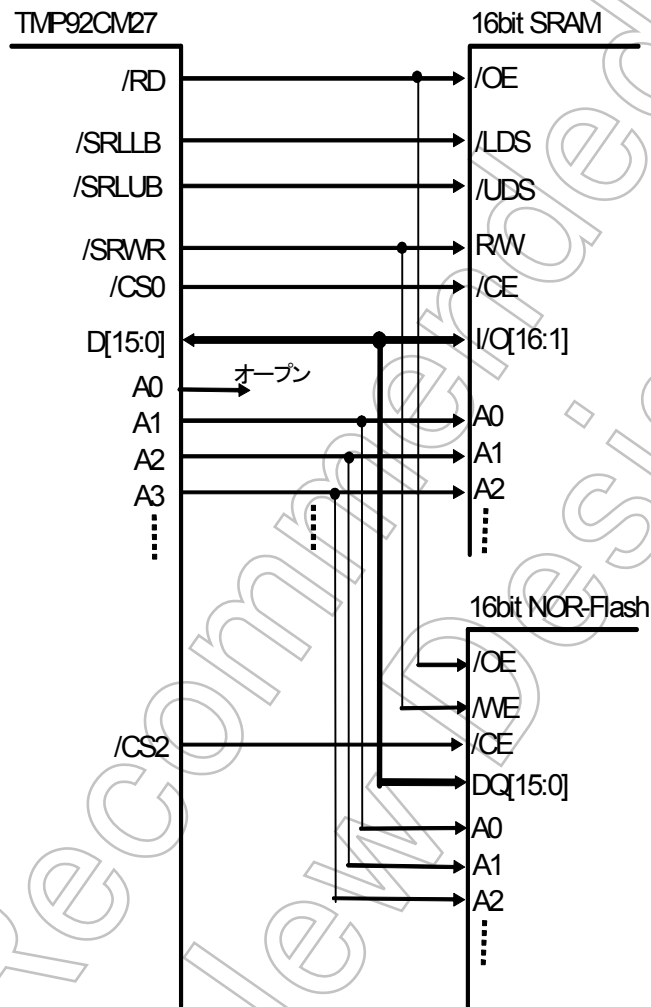


図 3.6.1 外部 16 ビット SRAM、NOR-Flash 接続例

3.6.4 ROM コントロール(ページモード)

ここでは、ROM のページモードアクセスを行う場合の動作と、レジスタの設定方法について説明します。ROM ページモードの設定は、ページ ROM コントロールレジスタで行います。

(1) 動作とレジスタの設定方法

ページモードの ROM アクセスをサポートしています。ただし、ページモードの ROM アクセスを指定できるのは、ブロックアドレス空間 2 のみです。

ROM のページモードの設定は、ページ ROM コントロールレジスタ(PMEMCR)で行います。

PMEMCR レジスタの<OPGE>ビットを“1”に設定すると、ブロックアドレス空間 2 のメモリアクセスは、ROM ページモードアクセスになります。

PMEMCR レジスタの<OPWR1:0>ビットで、読み出しサイクル数の設定を行います。

<OPWR1/OPWR0> ビット (PMEMCR レジスタ)

OPWR1	OPWR0	ページのサイクル数
0	0	1 ステート (n-1-1-1 モード) ($n \geq 2$)
0	1	2 ステート (n-2-2-2 モード) ($n \geq 3$)
1	0	3 ステート (n-3-3-3 モード) ($n \geq 4$)
1	1	(予約)

注: ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ(BnCSL)で設定して下さい。

PMEMCR レジスタの<PR1:0>ビットには、CPU 側から見た ROM のページサイズ (バイト数)を設定します。設定されたページの境界までデータが読み出されると、メモリコントローラは、一連のページリード動作を終了させ、次のページの先頭データの読み出しはノーマルサイクルで行い、その次より再びページリードを続けます。

<PR1/PR0> ビット (PMEMCR レジスタ)

PR1	PR0	ROM ページ サイズ
0	0	64 バイト
0	1	32 バイト
1	0	16 バイト (デフォルト)
1	1	8 バイト

タイミングパルス信号用は 4.3.2 章 ROM リードサイクルを参照してください。

3.6.5 注意事項

(1) /CS と /RD の間のタイミングの注意点

$\overline{RD}$ (リード信号)の寄生容量が $\overline{CSn}$ (チップセレクト信号)の容量より大きい場合のリード信号の遅れにより、意図しないリードサイクルが発生する場合があります。図 3.6.2の(a)のような意図しないリードサイクルによって、不具合が発生する恐れがあります。

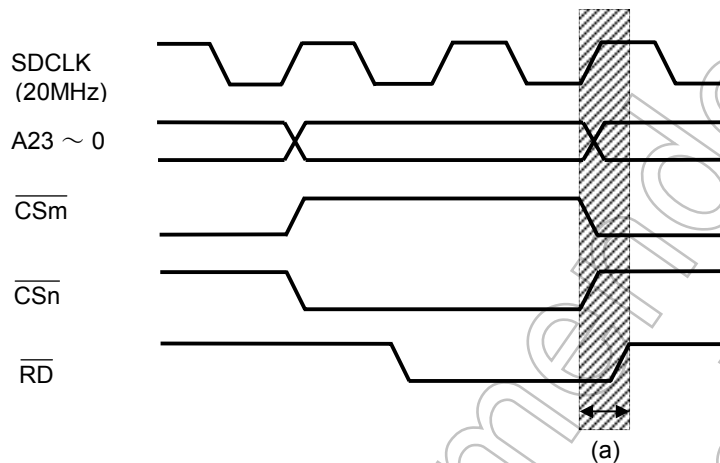


図 3.6.2リード信号遅延時のリードサイクル

例： JEDEC 標準型コマンドを採用している NOR-Flash を外部に接続する場合、トグルビットを正しく読み出せない場合があります。図 3.6.3のように NOR-Flash アクセスの前のサイクルのリード信号立ち上がりが遅れたとき、(b)のように意図しないリードサイクルが生じます。

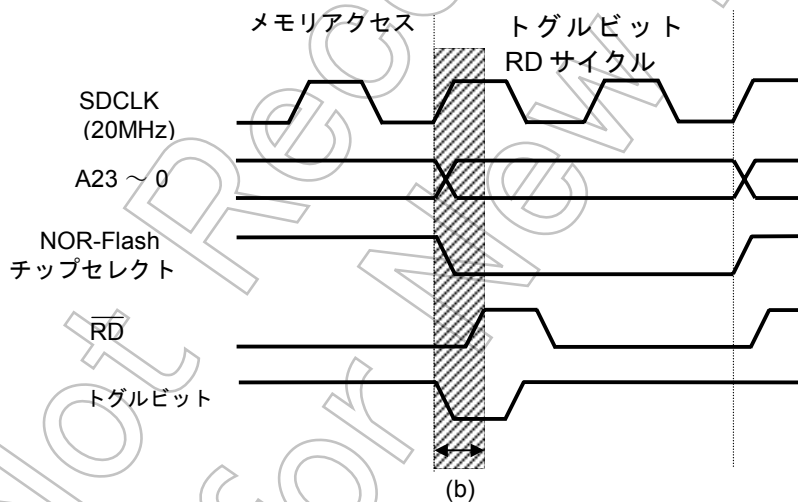


図 3.6.3 NOR-Flash トグルビットリードサイクル

この意図しないリードサイクルでトグルビットが反転してしまう場合、CPU はいつも同じ値のトグルビットを読み出すことになり、正しくトグルビットをリードできません。

このような現象が起こる場合があるため、データポーリング機能での制御を推奨します。

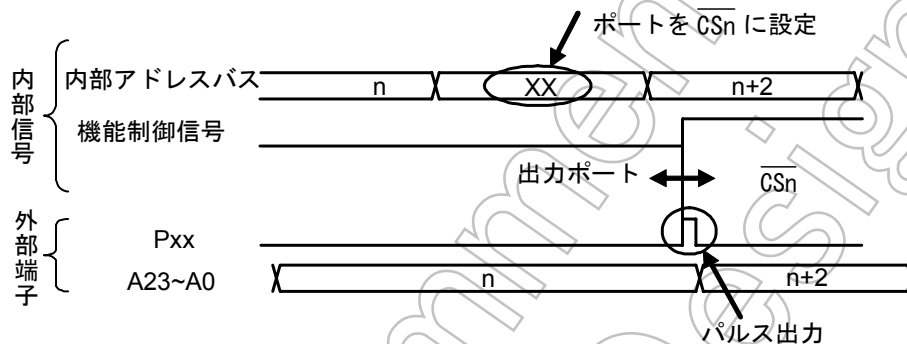
(2) $\overline{CSn}$ 端子の機能切り替え時の注意

チップセレクト信号出力は汎用ポート機能との兼用端子の場合があります。この場合は、リセット動作により、出力ラッチレジスタ及び機能制御レジスタが初期化され、対象端子がポート出力("1"または"0")に初期化されます。

機能切り替え

機能制御レジスタ(PnFC レジスタ)を設定する事により、対象端子をポートからチップセレクト信号出力に切り替えますが、切り替わりのタイミングで数 ns の短いパルスが出力される場合があります。通常のメモリを使用する場合、特に問題にはなりませんが、特殊なメモリを使用する場合、問題となることがあります。

※ XX は機能レジスタアドレス(出力ポートが"0"に初期化される場合)



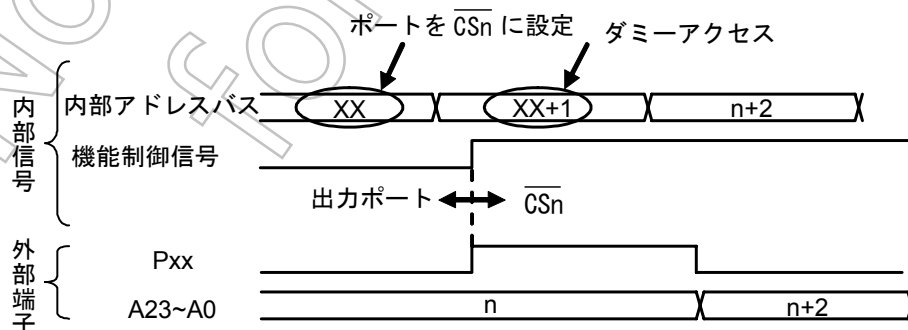
ソフトウェアによる対策

この現象を回避するための S/W での対応策を説明します。

CS 信号はそのアクセスエリアのアドレスをデコードして生成されるため、不要なパルスは $\overline{CSn}$ 機能に設定した直後の、対象 CS エリアへのアクセスによって出力されます。そこで、ポートを $\overline{CS}$ 機能に設定した直後も内部エリアにアクセスすれば不要なパルスは出力しません。

1. NMI 機能の使用禁止
2. 機能切替中の割り込み禁止(DI 命令)
3. 連続した内部アクセスをするために、ダミー命令を追加

(機能切替レジスタへのアクセスを 16 ビット命令で対応する(LDW 命令))



3.7 8 ビットタイマ(TMRA)

TMP92CM27 は 8 ビットタイマを 8 チャンネル (TMRA0~7) 内蔵しています。
TMRA は 2 チャンネルを 1 モジュールとし、4 モジュール(TMRA01, TMRA23, TMRA45, TMRA67)で構成されます。各モジュールは次の 4 種類のモードを持っています。

- 8 ビットインタバルタイマモード
- 16 ビットインタバルタイマモード
- 8 ビットプログラマブル矩形波 (PPG :可変周期、可変デューティ)出力モード
- 8 ビットパルス幅変調(PWM:固定周期、可変デューティ)出力モード

図 3.7.1~図 3.7.4 に TMRA01, TMRA23, TMRA45, TMRA67 のブロック図を示します。
各チャンネルは 8 ビットアップカウンタ、8 ビットコンパレータおよび 8 ビットのタイマレジスタで構成され、2 チャンネルに 1 つのプリスケアラ、タイマフリップフロップで構成されています。
タイマの動作モードとタイマフリップフロップは、5 バイトのレジスタ(SFR)で制御されます。4 つの各モジュール(TMRA01, TMRA23, TMRA45, TMRA67)はそれぞれ独立して動作します。
どのモジュールも表 3.7.1 に示される仕様相違点を除いて同一の動作をしますので、動作及びレジスタの説明は TMRA01 の場合についてのみ行います。
また、本章は次のような構成になっています。

- 3.7.1 モジュール別のブロック図
3.7.2 回路別の動作説明
3.7.3 SFR 説明
3.7.4 モード別動作説明
- (1) 8 ビットタイマモード
 - (2) 16 ビットタイマモード
 - (3) 8 ビット PPG (プログラマブル矩形波)出力モード
 - (4) 8 ビット PWM (パルス幅変調)出力モード
 - (5) モード設定

表 3.7.1 モジュール別仕様相違点

仕様		モジュール	TMRA01	TMRA23	TMRA45	TMRA67
外部端子	外部クロック 入力端子		TA0IN (PF0 と兼用)	TA2IN (PF2 と兼用)	TA4IN (PF4 と兼用)	TA6IN (PF6 と兼用)
	タイマフリップ フロップ出力端子		TA1OUT (PF1 と兼用)	TA3OUT (PF3 と兼用)	TA5OUT (PF5 と兼用)	TA7OUT (PL3 と兼用)
SFR 名 (アドレス)	タイマ RUN レジスタ		TA01RUN (1100H)	TA23RUN (1108H)	TA45RUN (1110H)	TA67RUN (1118H)
	タイマレジスタ		TA0REG (1102H) TA1REG (1103H)	TA2REG (110AH) TA3REG (110BH)	TA4REG (1112H) TA5REG (1113H)	TA6REG (111AH) TA7REG (111BH)
	タイマモードレジスタ		TA01MOD (1104H)	TA23MOD (110CH)	TA45MOD (1114H)	TA67MOD (111CH)
	タイマフリップフロップ コントロールレジスタ		TA1FFCR (1105H)	TA3FFCR (110DH)	TA5FFCR (1115H)	TA7FFCR (111DH)

3.7.1 モジュール別ブロック図

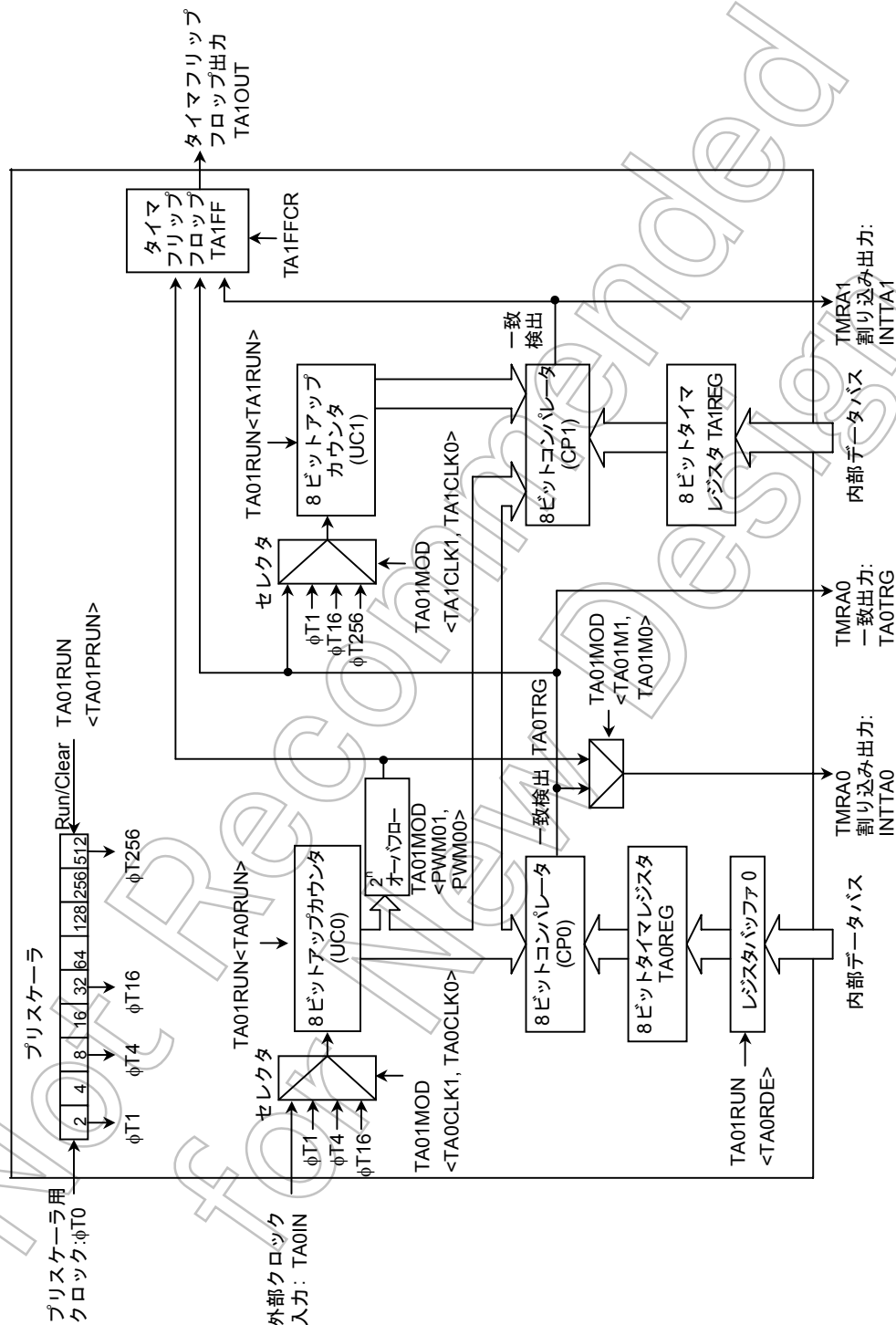


図 3.7.1 TMRA01 ブロック図

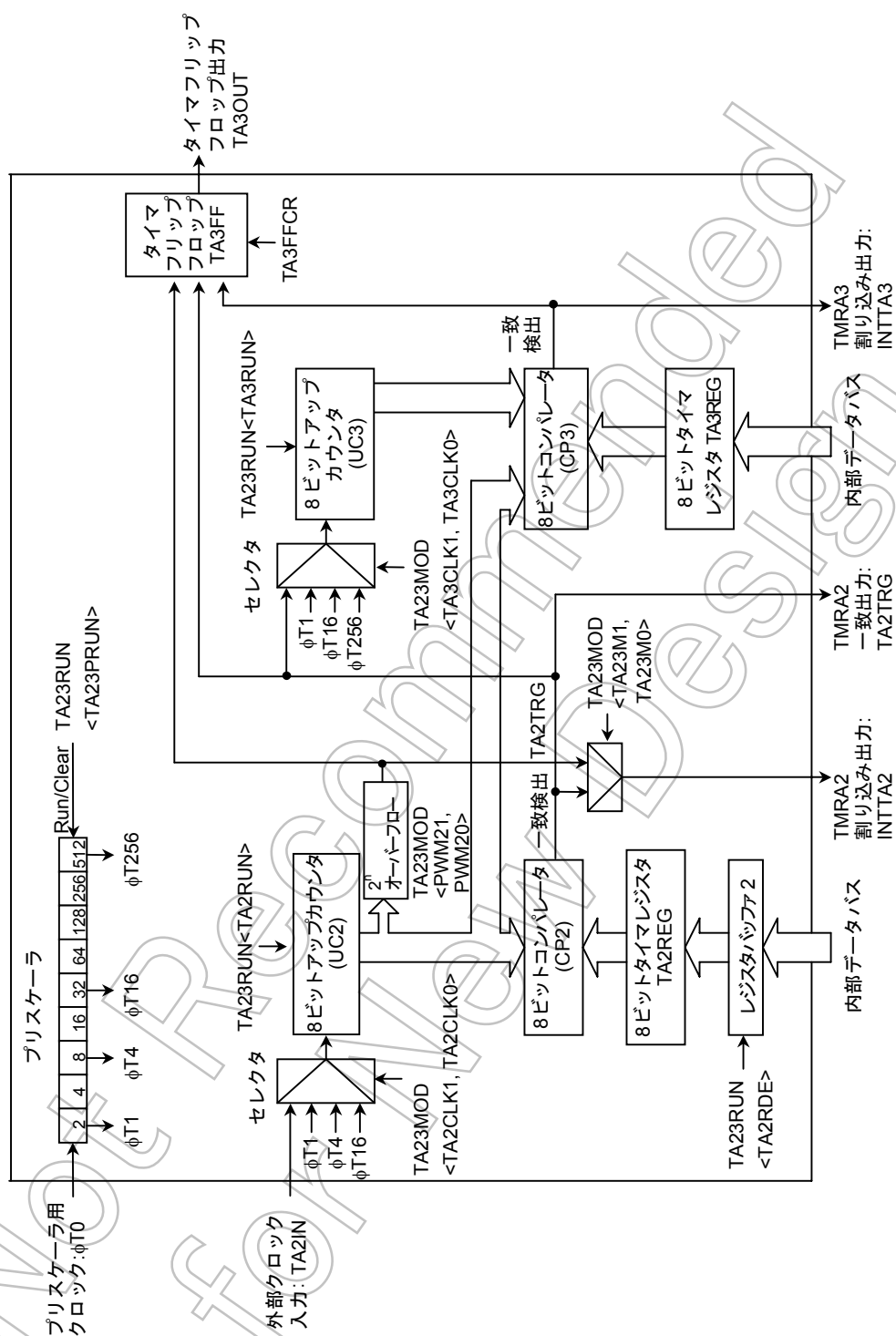


図 3.7.2 TMRA23 ブロック図

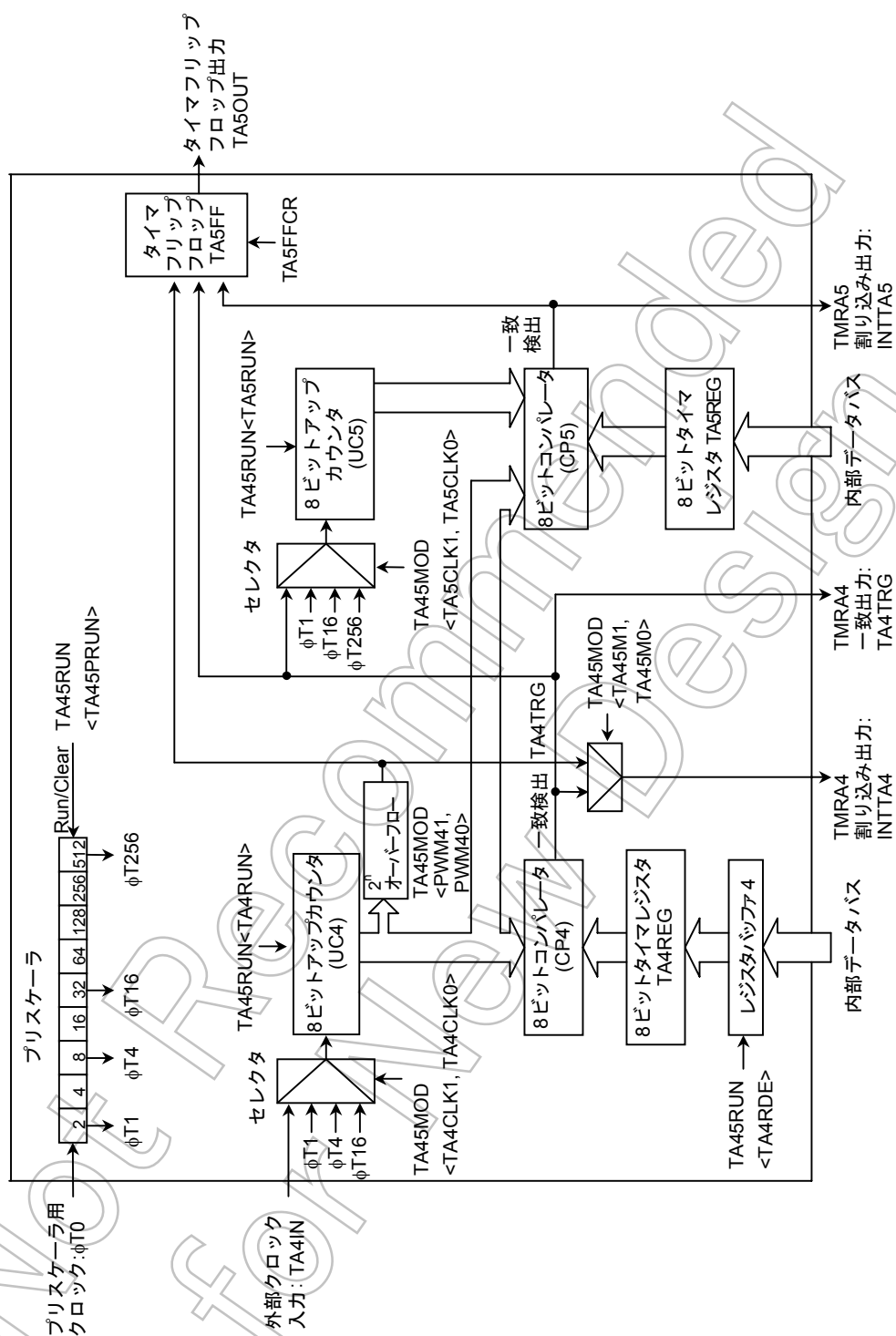


図 3.7.3 TMRA45 ブロック図

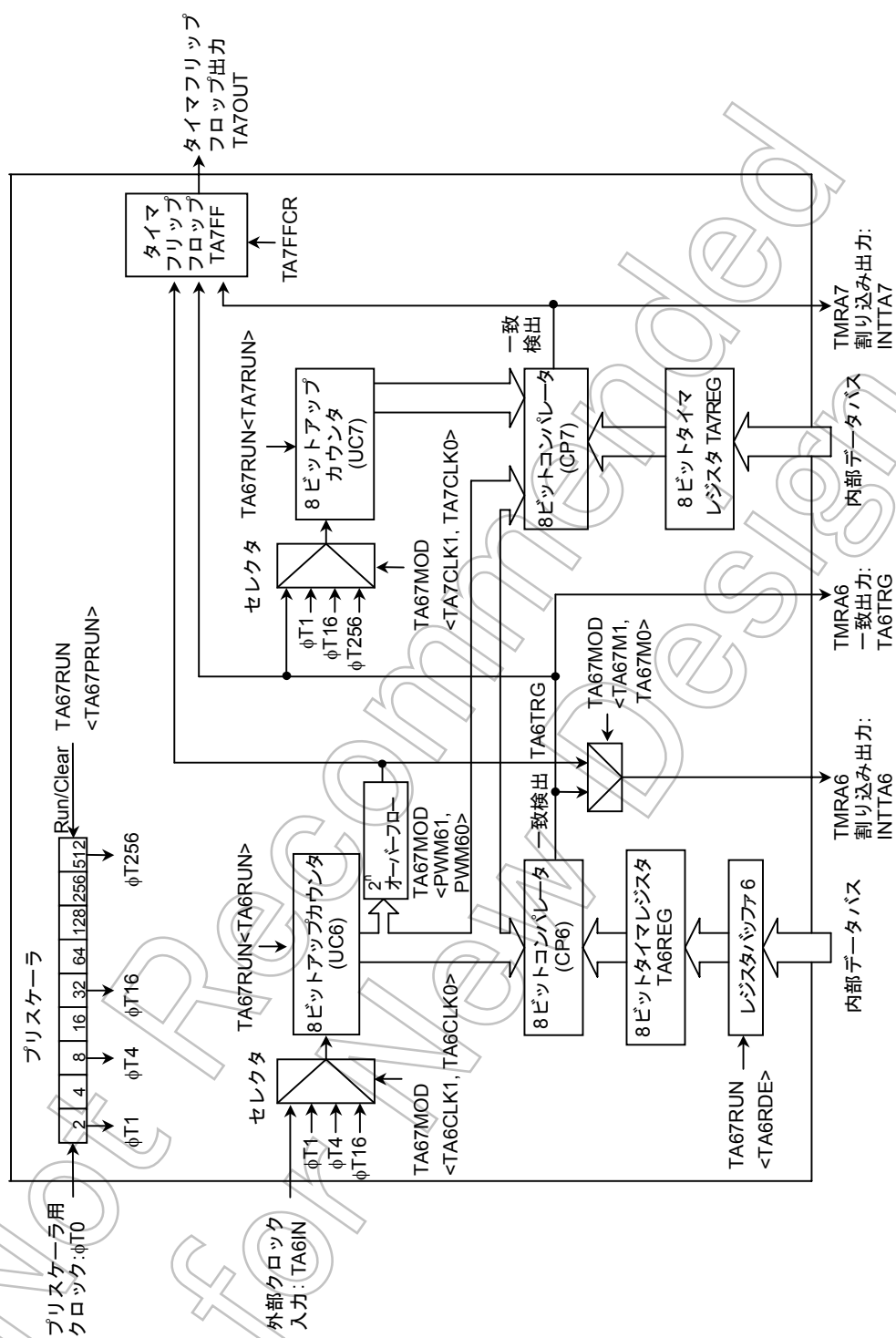


図 3.7.4 TMRA67 ブロック図

3.7.2 回路別動作説明

(1) プリスケアラ

9ビットプリスケアラは、TMRA01の入カクロックを生成します。プリスケアラの入カクロック $\phi T0$ は、fFPHを4分周したクロックです。

このプリスケアラの動作は、タイマコントロールレジスタのTA01RUN<TA01PRUN>の設定によって制御できます。<TA01PRUN>に“1”を設定すると、カウントが開始され、“0”を設定すると、プリスケアラをゼロクリアして停止します。表3.7.2にプリスケアラの分周クロック出力を示します。

表 3.7.2 プリスケアラ 分周クロック出力

@f_c = 40 MHz

ギア値 <GEAR2:0>	プリスケアラ出カクロック分周			
	$\phi T1$	$\phi T4$	$\phi T16$	$\phi T256$
000(f _c)	$2^3/f_c$ (0.2 μ s)	$2^5/f_c$ (0.8 μ s)	$2^7/f_c$ (3.2 μ s)	$2^{11}/f_c$ (51.2 μ s)
001(f _c /2)	$2^4/f_c$ (0.4 μ s)	$2^6/f_c$ (1.6 μ s)	$2^8/f_c$ (6.4 μ s)	$2^{12}/f_c$ (102.4 μ s)
010(f _c /4)	$2^5/f_c$ (0.8 μ s)	$2^7/f_c$ (3.2 μ s)	$2^9/f_c$ (12.8 μ s)	$2^{13}/f_c$ (204.8 μ s)
011(f _c /8)	$2^6/f_c$ (1.6 μ s)	$2^8/f_c$ (6.4 μ s)	$2^{10}/f_c$ (25.6 μ s)	$2^{14}/f_c$ (409.6 μ s)
100(f _c /16)	$2^7/f_c$ (3.2 μ s)	$2^9/f_c$ (12.8 μ s)	$2^{11}/f_c$ (51.2 μ s)	$2^{15}/f_c$ (819.2 μ s)

xxx: Don't care

(2) アップカウンタ(UC0 , UC1)

タイマモードレジスタ(TA01MOD)で指定された入カクロックによってカウントアップする8ビットのバイナリカウンタです。

UC0の入カクロックは、TA0IN 端子からの外部クロックと、3種類のプリスケアラ出カクロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ から、TA01MOD<TA0CLK1:0>の設定値に応じて選択されます。

UC1の入カクロックは、動作モードによって異なります。16ビットタイマモードに設定した場合は、UC0のオーバーフロー出力が入カクロックとなり、16ビットタイマモード以外の設定の場合は、TA01MOD<TA1CLK1:0>の設定によりプリスケアラ出カクロック $\phi T1$ 、 $\phi T16$ 、 $\phi T256$ と、TMRA0のコンパレータ出力(一致検出)の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>、TA01RUN<TA1RUN>によってカウントの開始および停止&クリアを設定します。リセット動作により、アップカウンタはクリアされ、停止します。

(3) タイマレジスタ(TA0REG、TA1REG)

インタバル時間を設定する 8 ビットのレジスタです。タイマレジスタへの設定値とアップカウンタの値が一致すると、コンパレータの一致検出信号が出力されます。タイマレジスタに"00H"を設定した場合は、アップカウンタのオーバーフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。

ダブルバッファは、TA01RUN<TA0RDE>の設定により制御されます。<TA0RDE> = "0" のときディセーブル、<TA0RDE> = "1" のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ 0 へのデータ転送タイミングは、PWM モードの 2^n オーバフロー、または、PPG モードの周期コンペア一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TA0RDE> = "0"に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときには、タイマレジスタ 0 に設定値を書き込み、<TA0RDE> = "1"に設定した後、レジスタバッファ 0 に次の設定値を書き込んでください。図 3.7.5 に TA0REG の構成を示します。

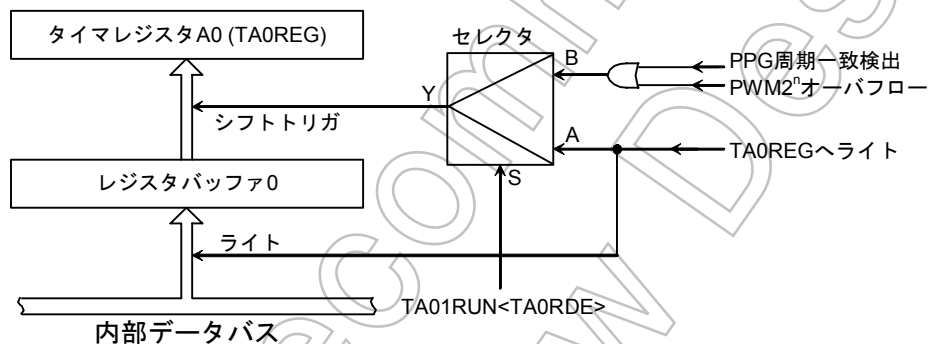


図 3.7.5 タイマレジスタ 0(TA0REG)の構成

注) TA0REG とレジスタバッファ 0 は同じアドレスに割り付けられています。<TA0RDE> = "0" のときは、レジスタバッファ 0 と TA0REG の両方に同じ値が書き込まれ、<TA0RDE> = "1" のときは、レジスタバッファ 0 のみに書き込まれます。

各タイマレジスタのアドレスは以下のようになります。

TA0REG: 1102H	TA1REG: 1103H
TA2REG: 110AH	TA3REG: 110BH
TA4REG: 1112H	TA5REG: 1113H
TA6REG: 111AH	TA7REG: 111BH

これらのすべてのレジスタは、書き込み専用ですので、読み出しはできません。

(4) コンパレータ (CP0, CP1)

アップカウンタの値と、タイマレジスタの値とを比較し、一致するとアップカウンタをゼロクリアするとともに、割り込み(INTTA0, INTTA1)が発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

(注意) タイマ動作中にタイマレジスタにアップカウンタ値以下の値を書き込むとタイマはオーバフローを起こし期待した値での割り込みの発生は得られません。

(変更した設定値がアップカウンタ値以上であれば正常に動作可能です。)

又、16ビットモードでの動作時は、下位8ビットのみの書込みではコンペア回路が動作しませんので書込みは必ず下位8ビット、上位8ビットの順で16ビット単位で行って下さい。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ(TA1FF)は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、タイマフリップフロップコントロールレジスタ TA1FFCR<TAFF1IE>により設定できます。

リセットにより、TA1FF の値は“0”になります。TA1FFCR<TA1FFC1:0>に“01”、または“10”を書き込むことで、TA1FF に“1”、または“0”を設定できます。また、このビットに“00”を書き込むことにより、TA1FF の値を反転することができます(ソフト反転)。

TA1FF の値は、タイマ出力端子 TA1OUT (PF1 と兼用)へ出力することができます。タイマ出力を行う場合、あらかじめポート F 関連レジスタ PFCR、PFFC により、設定を行う必要があります。

各モードによる TA1FF の反転

8ビットタイマモード	: UC0 と TA0REG の一致または、UC1 と TA1REG の一致 (どちらか 1つ選択)
16ビットタイマモード	: UC0 は TA0REG の一致及び、UC1 は TA1REG の一致
8ビットPWMモード	: オーバフローまたは、UC0 と TA0REG の一致
8ビットPPGモード	: UC0 と TA0REG 一致または UC0 と TA1REG の一致

(注意) タイマによる反転とレジスタ設定による変更要求が同時に行われた場合はその時の状態によって以下のような動作となりますので注意が必要です。

- ・ タイマによる反転とレジスタ設定による反転が同時に起きた場合
→ 1回だけ反転します。
- ・ タイマによる反転とレジスタ設定による“1”セットが同時に起きた場合
→ “1”セットとなります。
- ・ タイマによる反転とレジスタ設定による“0”クリアが同時に起きた場合
→ “0”クリアとなります。

又、タイマ動作中に反転制御の変更を行うと正しく動作しませんので、設定の変更はタイマを停止させた状態で行って下さい。

3.7.3 SFR 説明

TMRA01 RUN レジスタ

TA01RUN (1100H)		7	6	5	4	3	2	1	0
	bit Symbol	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
	Read/Write	R/W					R/W		
	リセット後	0				0	0	0	0
機能	Double buffer 0: Disable 1: Enable				IDLE2 モード 0: 停止 1: 動作		TMRA01 プリスケール 0: 停止&クリア 1: カウント		

↓
TA0REG ダブルバッファの制御

0	ディセーブル
1	イネーブル

→ カウント動作

0	停止&クリア
1	カウント

注) TA01RUN のビット 4,5,6 は、リードすると不定値がリードされます。

TMRA23 RUN レジスタ

TA23RUN (1108H)		7	6	5	4	3	2	1	0
	bit Symbol	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
	Read/Write	R/W					R/W		
	リセット後	0				0	0	0	0
機能	Double buffer 0: Disable 1: Enable				IDLE2 モード 0: 停止 1: 動作		TMRA23 プリスケール 0: 停止&クリア 1: カウント		

↓
TA2REG ダブルバッファの制御

0	ディセーブル
1	イネーブル

→ カウント動作

0	停止&クリア
1	カウント

注) TA23RUN のビット 4,5,6 は、リードすると不定値がリードされます。

図 3.7.6 8 ビットタイマレジスタ(TA01RUN, TA23RUN)

TMRA45 RUN レジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TA4RDE				I2TA45	TA45PRUN	TA5RUN	TA4RUN
Read/Write	R/W				R/W			
リセット後	0				0	0	0	0
機能	Double Buffer 0: Disable 1: Enable				IDLE2 モード 0: 停止 1: 動作	TMRA45 ﾌﾟﾘｽｸｰﾗ	UC5	UC4
						0: 停止&クリア 1: カウント		

↓

TA4REG ダブルバッファの制御

0	ディセーブル
1	イネーブル

↘

カウント動作

0	停止&クリア
1	カウント

注) TA45RUN のビット 4,5,6 は、リードすると不定値がリードされます。

TMRA67 RUN レジスタ

TA67RUN (1118H)		7	6	5	4	3	2	1	0
	bit Symbol	TA6RDE				I2TA67	TA67PRUN	TA7RUN	TA6RUN
	Read/Write	R/W					R/W		
	リセット後	0				0	0	0	0
	機能	Double Buffer 0: Disable 1: Enable				IDLE2 モード 0: 停止 1: 動作	TMRA67 プリスケール	UC7	UC6
					0: 停止&クリア 1: カウント				

↓

TA6REG ダブルバッファの制御

0	ディセーブル
1	イネーブル

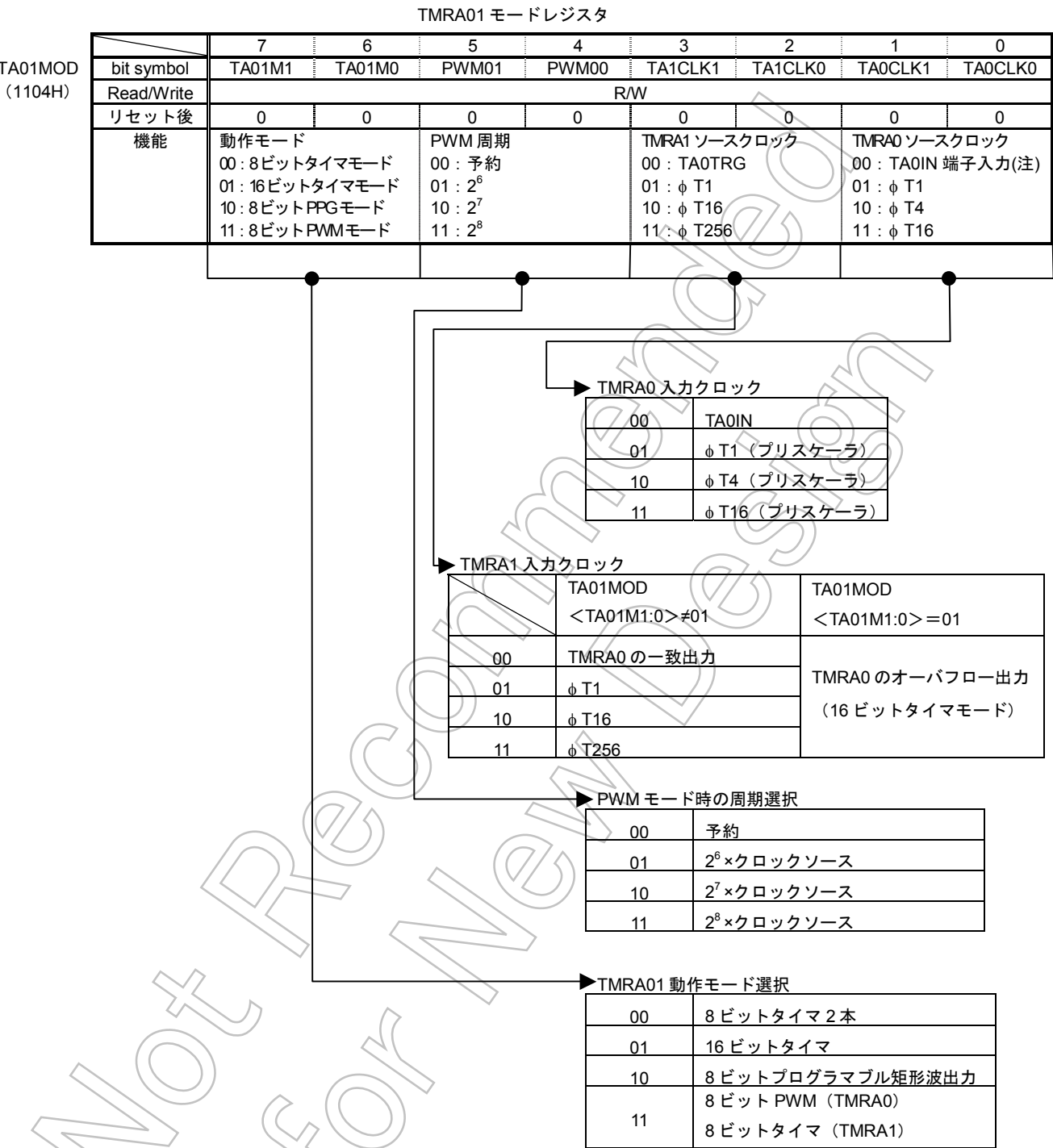
→

カウント動作

0	停止&クリア
1	カウント

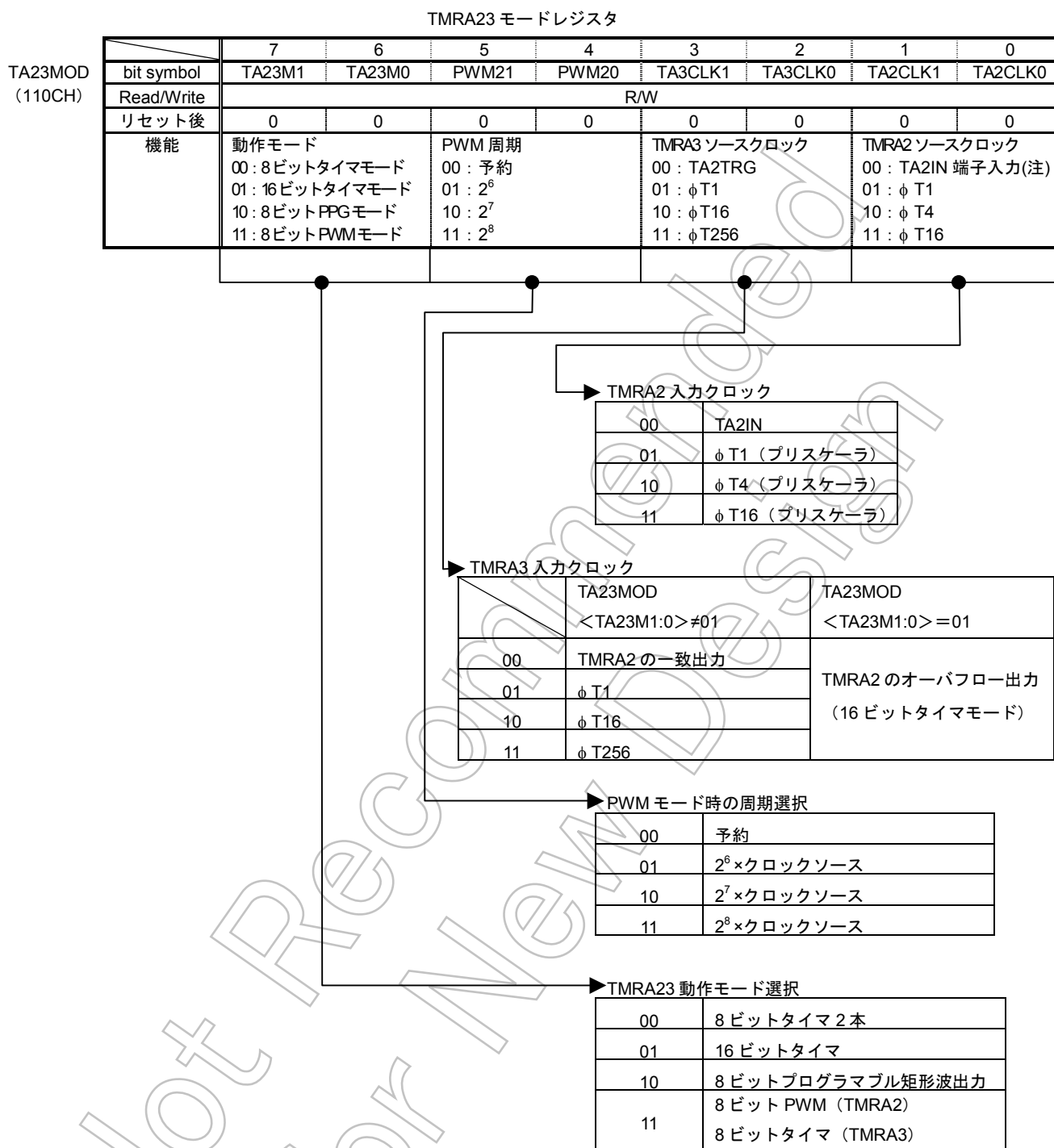
注) TA67RUN のビット 4,5,6 は、リードすると不定値がリードされます。

図 3.7.7 8 ビットタイマレジスタ(TA45RUN, TA67RUN)



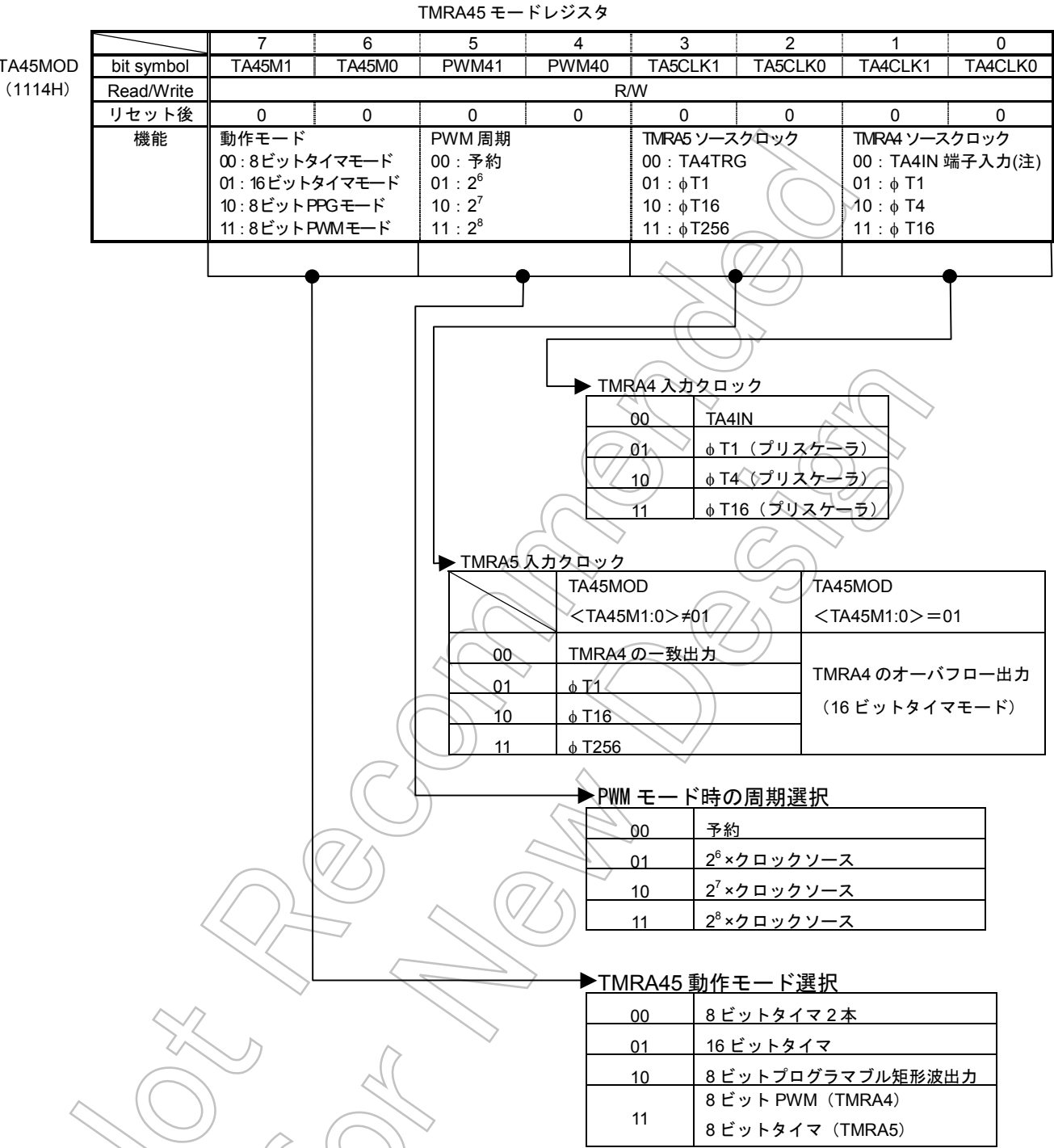
注) TA0IN 端子を設定するときは、まずポート F0 を設定してから、TA01MOD をセットしてください。

図 3.7.8(1) 8 ビットタイマのレジスタ(TA01MOD)



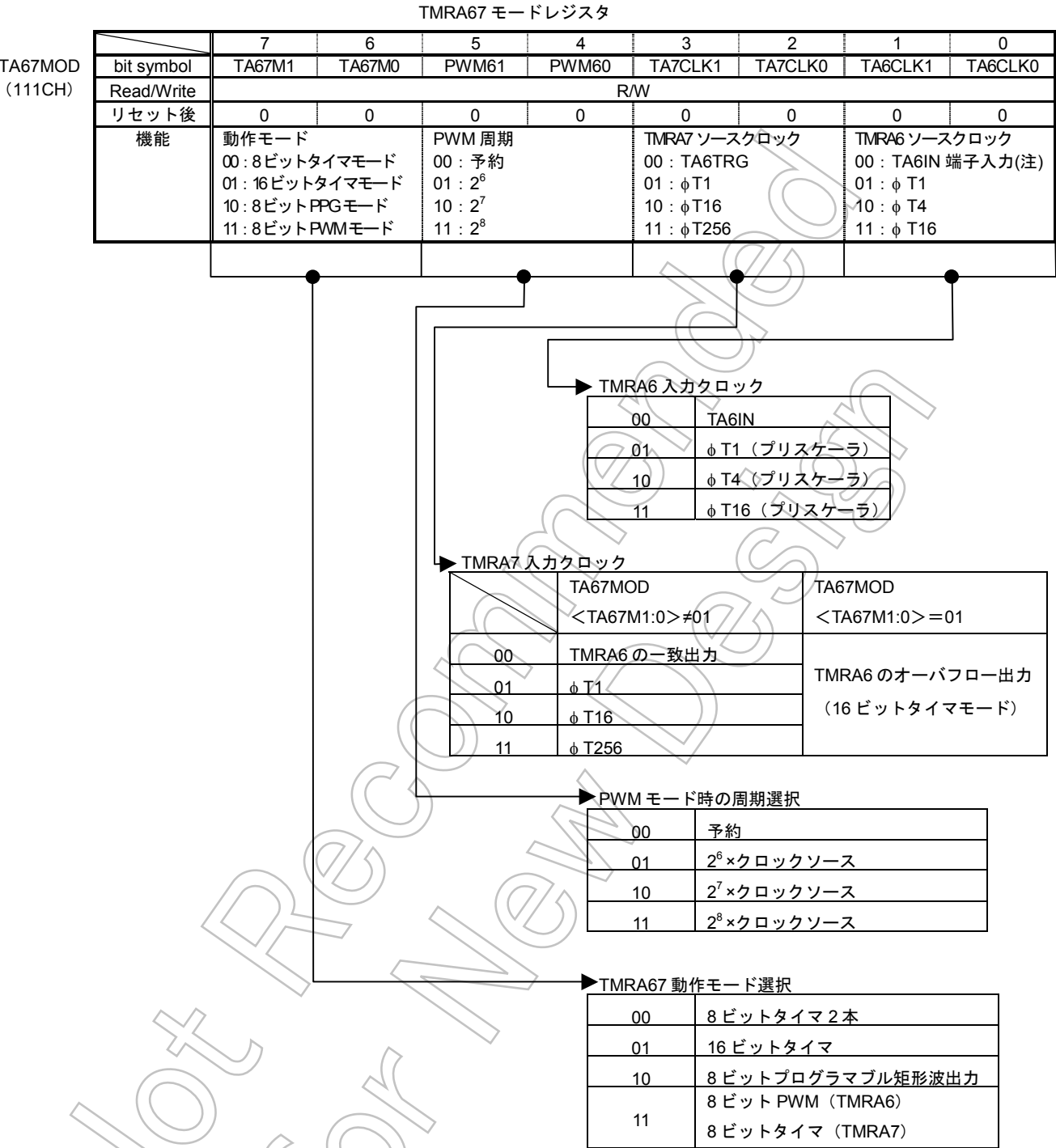
注) TA2IN 端子を設定するときは、まずポート F2 を設定してから、TA23MOD をセットしてください。

図 3.7.8(2) 8 ビットタイマのレジスタ(TA23MOD)



注) TA4IN 端子を設定するときは、まずポート F4 を設定してから、TA45MOD をセットしてください。

図 3.7.8(3) 8 ビットタイマのレジスタ(TA45MOD)



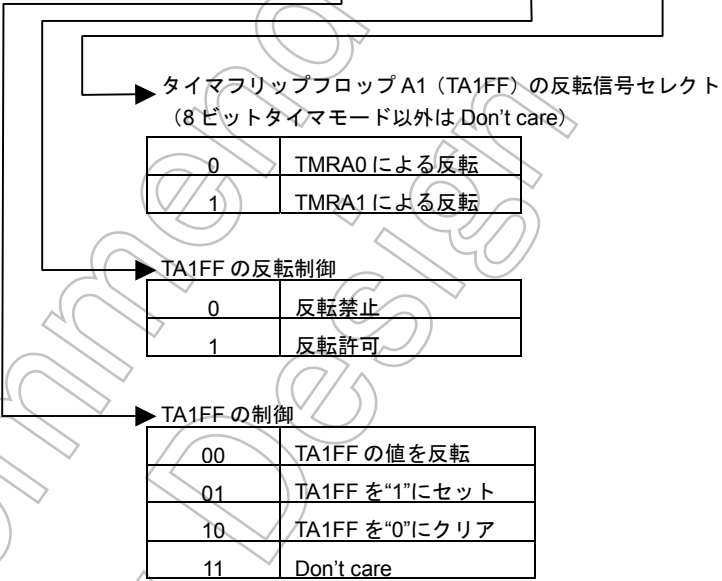
注) TA6IN 端子を設定するときは、まずポート F6 を設定してから、TA67MOD をセットしてください。

図 3.7.8(4) 8 ビットタイマのレジスタ(TA67MOD)

TMRA1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA1FFCR (1105H)	bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
	Read/Write					R/W			
	リセット後					1	1	0	0
	機能					00 : TA1FF を反転 01 : TA1FF を “1” にセット 10 : TA1FF を “0” にクリア 11 : Don't care	TA1FF 反転制御 0 : Disable 1 : Enable	TA1FF 反転信号 セレクト 0 : TMRA0 1 : TMRA1	

リードモディ
ファイライ
トはできま
せん。

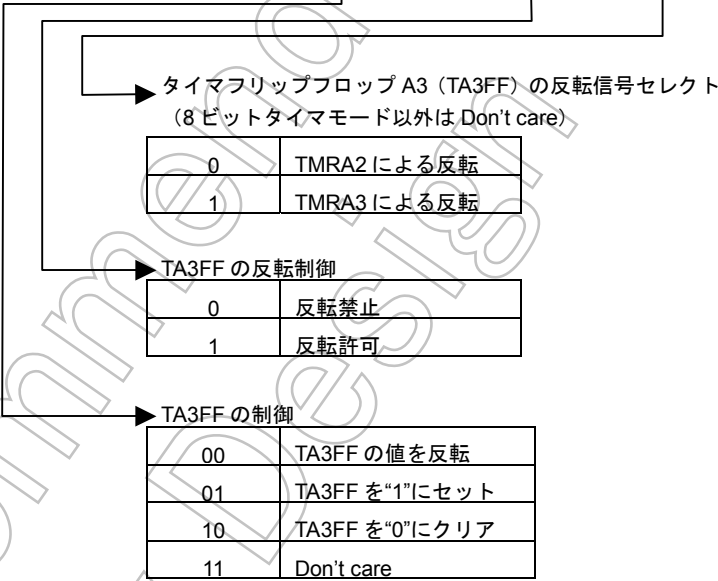


注) TA1FFCR のビット 4,5,6,7 は、リードすると不定値が読み出されます。

図 3.7.9(1) 8 ビットタイマのレジスタ(TA1FFCR)

TMRA3 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA3FFCR (110DH)	bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
	Read/Write					R/W			
	リセット後					1	1	0	0
リードモディ ファイライ トはできま せん。	機能					00 : TA3FF を反転 01 : TA3FF を “1” にセット 10 : TA3FF を “0” にクリア 11 : Don't care		TA3FF 反転制御 0 : Disable 1 : Enable	TA3FF 反転信号 セレクト 0 : TMRA2 1 : TMRA3



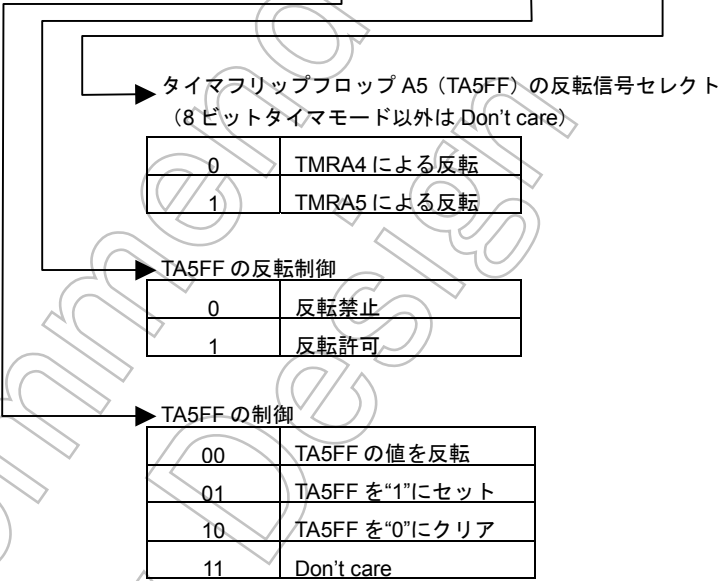
注) TA3FFCR のビット 4,5,6,7 は、リードすると不定値が読み出されます。

図 3.7.9(2) 8 ビットタイマのレジスタ(TA3FFCR)

TMRA5 フリップフロップコントロールレジスタ

	7	6	5	4	3	2	1	0
bit symbol					TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS
Read/Write					R/W			
リセット後					1	1	0	0
機能					00 : TA5FF を反転 01 : TA5FF を “1” にセット 10 : TA5FF を “0” にクリア 11 : Don't care		TA5FF 反転制御 0 : Disable 1 : Enable	
							TA5FF 反転信号 セレクト 0 : TMRA4 1 : TMRA5	

リードモディ
ファイライ
トはできま
せん。

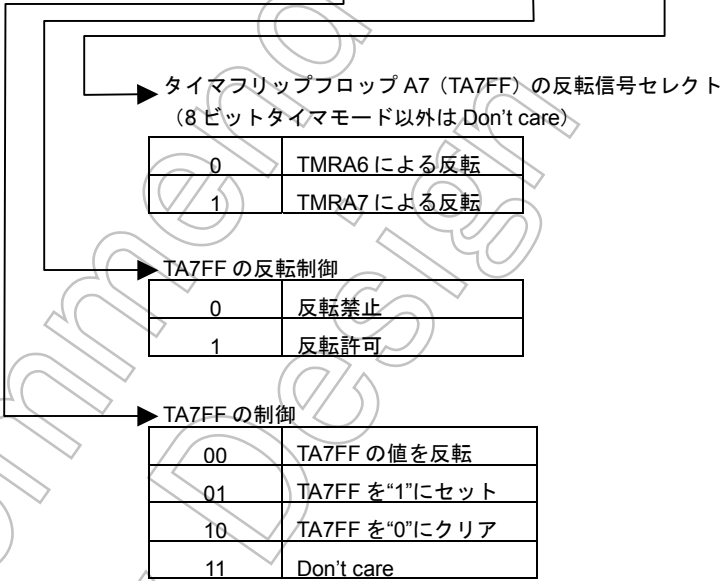


注) TA5FFCR のビット 4,5,6,7 は、リードすると不定値が読み出されます。

図 3.7.9(3) 8 ビットタイマのレジスタ(TA5FFCR)

TMRA7 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA7FFCR (111DH)	bit symbol					TA7FFC1	TA7FFC0	TA7FFIE	TA7FFIS
	Read/Write					R/W			
	リセット後					1	1	0	0
リードモディ ファイライ トはできま せん。	機能					00 : TA7FF を反転 01 : TA7FF を “1” にセット 10 : TA7FF を “0” にクリア 11 : Don't care		TA7FF 反転制御 0 : Disable 1 : Enable	TA7FF 反転信号 セレクト 0 : TMRA6 1 : TMRA7



注) TA7FFCR のビット 4,5,6,7 は、リードすると不定値が読み出されます。

図 3.7.9(4) 8 ビットタイマのレジスタ(TA7FFCR)

タイマレジスタ TA0REG

	7	6	5	4	3	2	1	0
TA0REG (1102H)	—	—	—	—	—	—	—	—
bit symbol	—	—	—	—	—	—	—	—
Read/Write	W							
リセット後	不定							

タイマレジスタ TA1REG

	7	6	5	4	3	2	1	0
TA1REG (1103H)	—	—	—	—	—	—	—	—
bit symbol	—	—	—	—	—	—	—	—
Read/Write	W							
リセット後	不定							

タイマレジスタ TA2REG

	7	6	5	4	3	2	1	0
TA2REG (110AH)	—	—	—	—	—	—	—	—
bit symbol	—	—	—	—	—	—	—	—
Read/Write	W							
リセット後	不定							

タイマレジスタ TA3REG

	7	6	5	4	3	2	1	0
TA3REG (110BH)	—	—	—	—	—	—	—	—
bit symbol	—	—	—	—	—	—	—	—
Read/Write	W							
リセット後	不定							

タイマレジスタ TA4REG

	7	6	5	4	3	2	1	0
TA4REG (1112H)	—	—	—	—	—	—	—	—
bit symbol	—	—	—	—	—	—	—	—
Read/Write	W							
リセット後	不定							

タイマレジスタ TA5REG

	7	6	5	4	3	2	1	0
TA5REG (1113H)	—	—	—	—	—	—	—	—
bit symbol	—	—	—	—	—	—	—	—
Read/Write	W							
リセット後	不定							

タイマレジスタ TA6REG

	7	6	5	4	3	2	1	0
TA6REG (111AH)	—	—	—	—	—	—	—	—
bit symbol	—	—	—	—	—	—	—	—
Read/Write	W							
リセット後	不定							

タイマレジスタ TA7REG

	7	6	5	4	3	2	1	0
TA7REG (111BH)	—	—	—	—	—	—	—	—
bit symbol	—	—	—	—	—	—	—	—
Read/Write	W							
リセット後	不定							

リードモディ
ファイライ
トはできま
せん。

図 3.7.10 8ビットタイマのレジスタ (TA0REG~TA7REG)

3.7.4 モード別動作説明

(1) 8ビットタイマモード

TMRA0, TMRA1 はそれぞれ独立に 8 ビットインタバルタイマとして使用できます。カウンタデータの設定を行う場合、TMRA0, TMRA1 を停止させた状態で行ってください。

① 一定周期の割り込みを発生させる場合(TMRA1 使用)

TMRA1 を用いて、一定周期ごとに TMRA1 割り込み(INTTA1)を発生させる場合、まず TMRA1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD、TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、TMRA1 をカウントさせます。

例) $f_c = 40 \text{ MHz}$ で $40 \mu\text{s}$ ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

	MSB				LSB					
	7	6	5	4	3	2	1	0		
TA01RUN	←	–	X	X	X	–	–	0	–	TMRA 1 を停止し、ゼロクリアします。
TA01MOD	←	0	0	X	X	0	1	–	–	8ビットタイマモードにし、入力クロックをφT1 (0.2 μs 分解能,@fc = 4 0 MHz)に設定します。
TA1REG	←	1	1	0	0	1	0	0	0	TA1REG に 40 μs ÷ φT1 = 200 = C8H を書き込みます。
INTETA01	←	X	1	0	1	–	–	–	–	INTTA1 をイネーブル、割り込みレベル 5 に設定します。
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 をカウントさせます。

注) X = Don't care; “–” = No change

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。

TMRA0: TMRA0 入力(TA0IN)、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$

TMRA1: TMRA0 の一致検出信号 (TA0TRG)、 $\phi T1$ 、 $\phi T16$ 、 $\phi T256$

② デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ (TA1FF)の値を反転させ、この値をタイマフリップフロップ出力端子(TA1OUT)へ出力します。

例) $f_{sys} = 20 \text{ MHz}$ で周期 $1.2 \mu\text{s}$ の矩形波を TA1OUT から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0か TMRA1 を使用しますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

	*クロック条件							[高速クロックギア:1 倍(f_c)]	
	7	6	5	4	3	2	1	0	
TA01RUN	←	-	X	X	X	-	-	0	-
TA01MOD	←	0	0	X	X	0	1	-	-
TA1REG	←	0	0	0	0	0	0	1	1
TA1FFCR	←	X	X	X	X	1	0	1	1
PFCR	←	X	-	-	-	-	-	1	-
PFFC	←	X	-	-	-	-	-	1	-
TA01RUN	←	-	X	X	X	-	1	1	-

TMRA 1 を停止し、ゼロクリアします。
 8 ビットタイマモードにし、入力クロックを $\phi T1$ ($0.2 \mu\text{s}$ @ $f_c = 40 \text{ MHz}$)にします。
 TA1REG に $1.2 \mu\text{s} \div \phi T1 \div 2 = 3$ をセットします。
 TA1FF を “0” にクリアし、TMRA 1 からの一致検出信号で反転するように設定します。
 PF1 を TA1OUT 出力端子に設定します。
 TMRA 1 のカウントを開始させます。

注) X = Don't care; “-” = No change

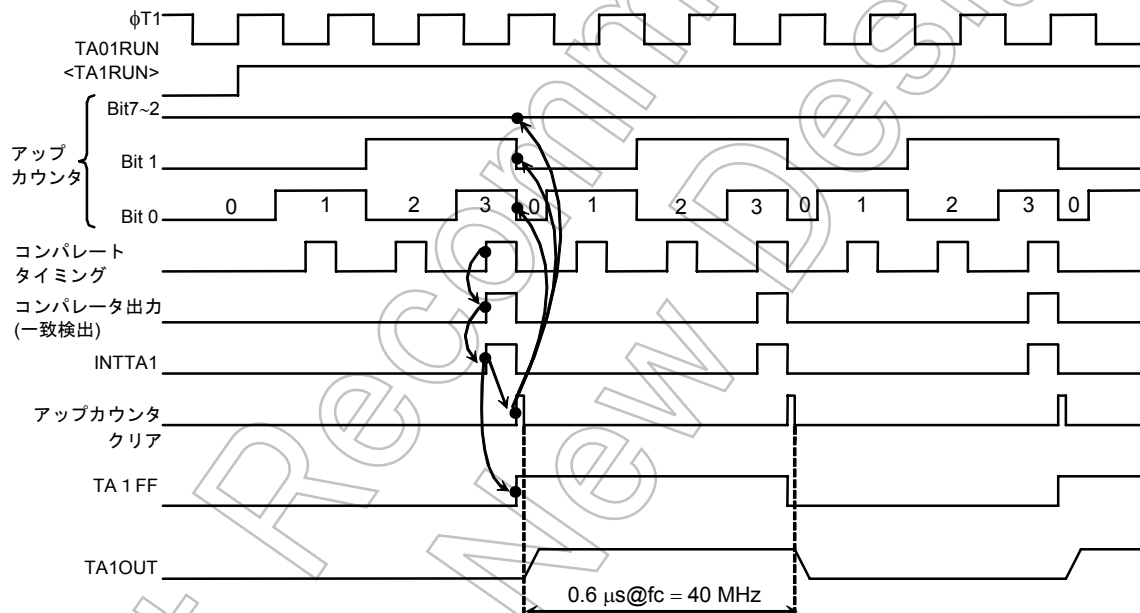


図 3.7.11 矩形波(50% デューティ)出力のタイミングチャート

③ TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

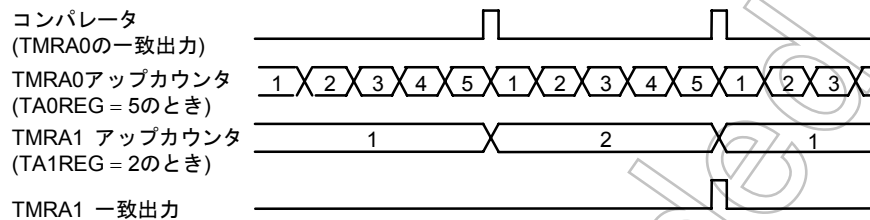


図 3.7.12 TMRA0 による TMRA1 のカウントアップ

(2) 16 ビットタイマモード

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。TA01MOD <TA01M1:0> を “01” に設定することで 16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD <TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバーフロー出力になります。TMRA0 の入力クロックの選択は、表 3.7.2 を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、かならず TA0REG から先に設定してください (TA0REG にデータを書き込むとコンパレータが一時禁止され、TA1REG へのデータ書き込みでコンパレータが開始されるためです)。

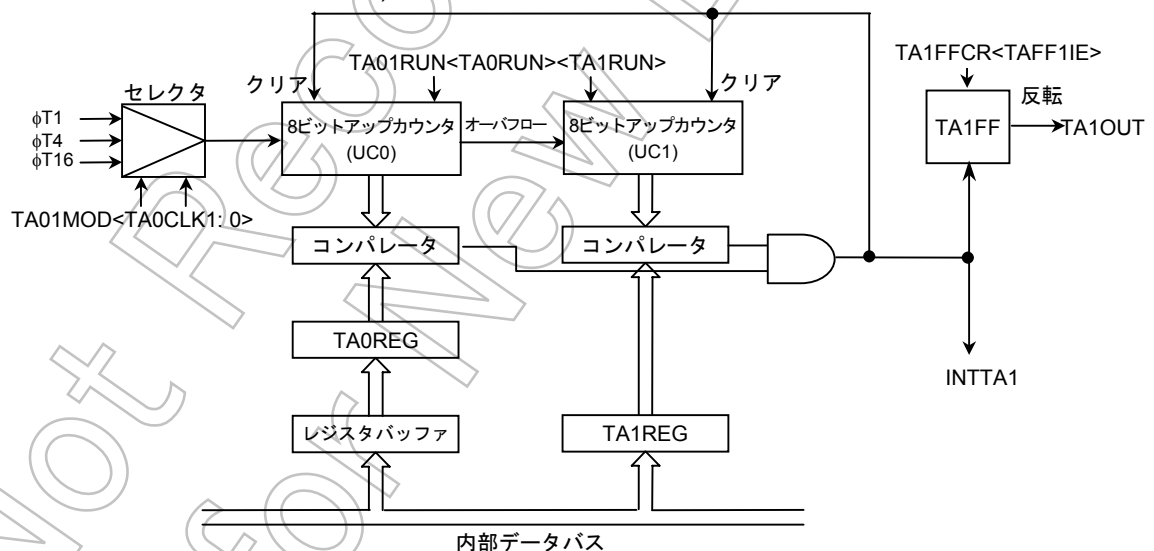


図 3.7.13 16 ビットインタバルタイマモードのブロック図

設定例) $f_c = 40 \text{ MHz}$ で 0.2 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG、TA1REG には次の値を設定します。

*クロック条件 [高速クロックギア:1 倍(f_c)]

$\phi T16$ ($3.2 \mu\text{s}$ at $f_c = 40 \text{ MHz}$) を入力クロックとしてカウントすると、

$$0.2\text{s} \div 3.2 \mu\text{s} = 62500 = \text{F424H};$$

従って TA1REG = F4H、TA0REG = 24H を設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG が一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG が一致すると、コンパレートタイミング時、毎回一致検出信号が出力されます。TMRA0,1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0,1 がゼロクリアされ、割り込み INTTA1 が発生します。また、反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例) TA1REG = 04H、TA0REG = 80H の場合

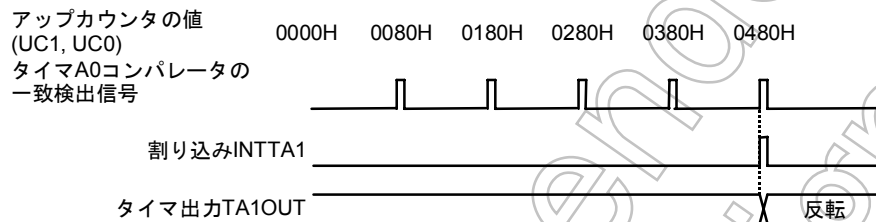


図 3.7.14 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG(プログラマブル矩形波)出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスはローアクティブ、ハイアクティブとどちらの設定も可能です。このモードに設定した場合、TMRA1 は使用できません。矩形波は TA1OUT(PF1 と兼用)へ出力されます。

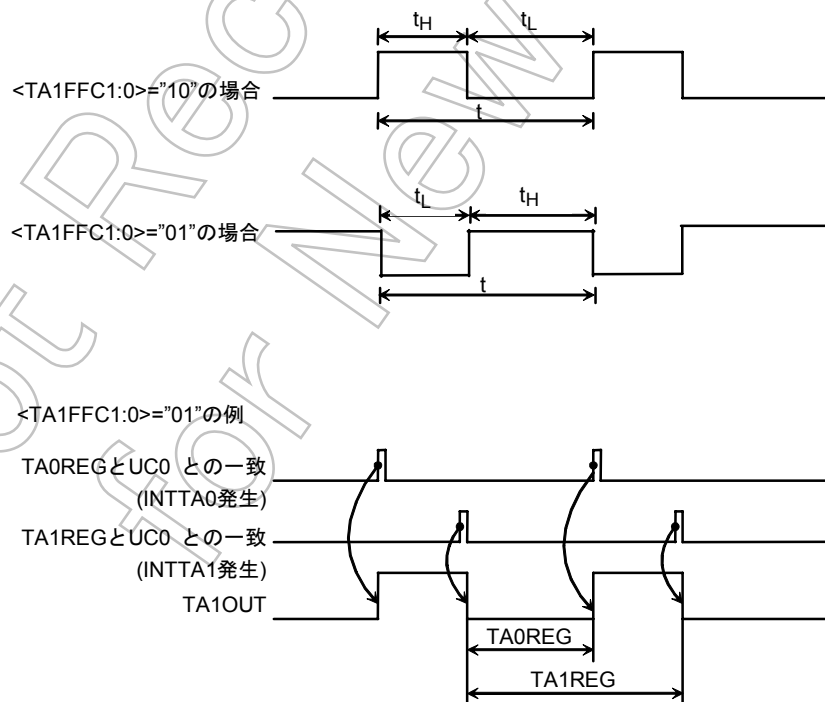


図 3.7.15 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ(UC0)が、タイマレジスタ TA0REG、TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN < TA1RUN >= “1” に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと、図 3.7.16 のようになります。

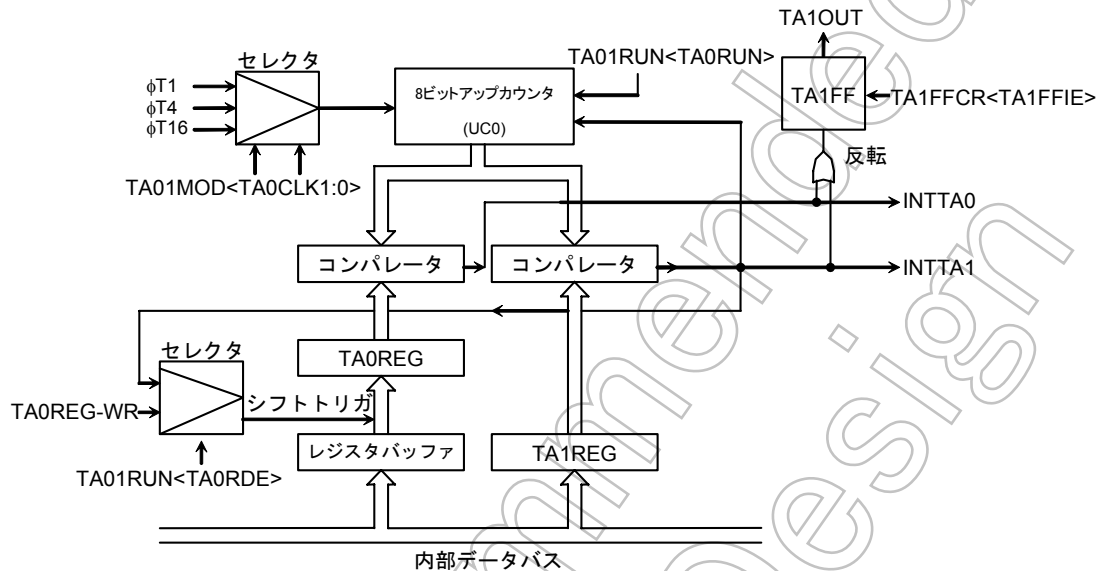


図 3.7.16 8ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ(デューティを変化させるとき)への対応が容易に行えます。

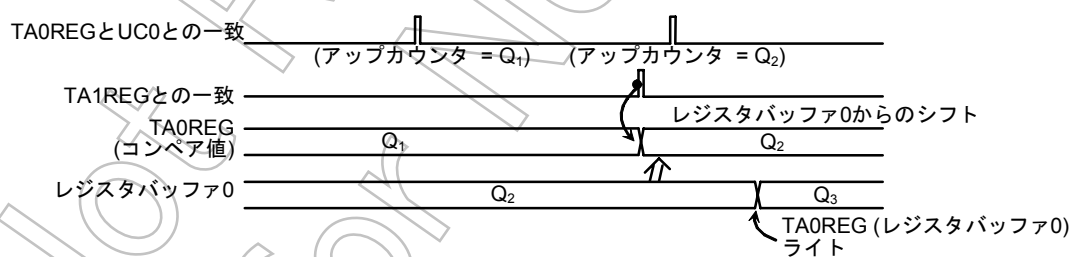
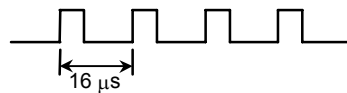


図 3.7.17 レジスタバッファ 0 の動作

例) デューティ 1/4 の 62.5kHz のパルスを出力する場合($f_c = 40 \text{ MHz}$)



*クロック条件 [高速クロックギア:1 倍(f_c)]

タイマレジスタへの設定値を求めます。

周波数を 62.5kHz にするには、周期 $t = 1/62.5\text{kHz} = 16 \mu\text{s}$ の波形をつくります。

$\phi T1 = 0.2 \mu\text{s}$ (@ $f_c = 40 \text{ MHz}$)を用いると、

$$16 \mu\text{s} \div 0.2 \mu\text{s} = 80$$

従って、TA1REG = 80 = 50H

次にデューティを 1/4 にするには、 $t \times 1/4 = 16 \mu\text{s} \times 1/4 = 4 \mu\text{s}$

$$4 \mu\text{s} \div 0.2 \mu\text{s} = 20$$

従って、TA0REG = 20 = 14H

	7	6	5	4	3	2	1	0	
TA01RUN	← 0	X	X	X	—	0	0	0	TMRA0、1 を停止し、ゼロクリアします。ダブルバッファ禁止。
TA01MOD	← 1	0	X	X	X	X	0	1	8ビットPPGモードにし、入力クロックを $\phi T1$ にします。
TA0REG	← 0	0	0	1	0	1	0	0	14Hを書き込みます。
TA1REG	← 0	1	0	1	0	0	0	0	50Hを書き込みます。
TA1FFCR	← X	X	X	X	0	1	1	X	TA1FFをセットし、反転イネーブルにします ※10”にすると負論理の出力波形が得られます。
PFCR	← X	—	—	—	—	—	1	—	PF1をTA1OUT端子に設定します。
PFFC	← X	—	—	—	—	—	1	—	
TA01RUN	← 1	X	X	X	—	1	1	1	TMRA0、1のカウンタを開始します。ダブルバッファ許可。

注) X = Don't care; “—” = No change

(4) 8ビットPWM(パルス幅変調)出力モード

TMRA0のみ可能なモードで、分解能8ビットまでのPWMを出力することができます。

PWM出力はTA1OUT端子(PF1と兼用)へ出力されます。

このモードではTMRA1は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタUC0がタイマレジスタTA0REGの設定値と一致したときと、 2^n ($n = 6, 7, 8$ いずれかをTA01MOD<PWM01:00>で指定)カウンタオーバーフロー発生時に起こります。また、UC0は 2^n カウンタのオーバーフローによってクリアされます。

また、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(TA0REGの設定値) < (2^n カウンタのオーバーフロー設定値)

(TA0REGの設定値) $\neq 0$

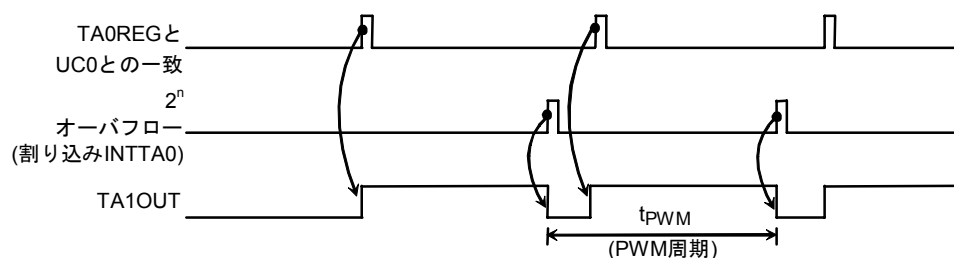


図 3.7.18 8ビットPWM出力波形

このモードをブロック図で表すと、図 3.7.19 のようになります。

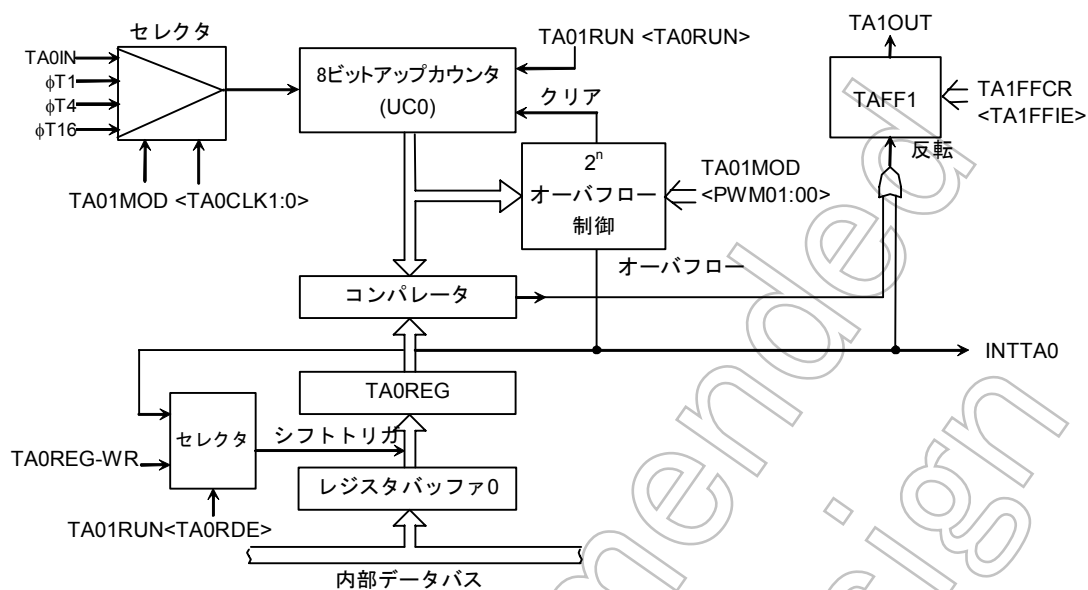


図 3.7.19 8ビットPWM出力モードブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、 2^n オーバフローの検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

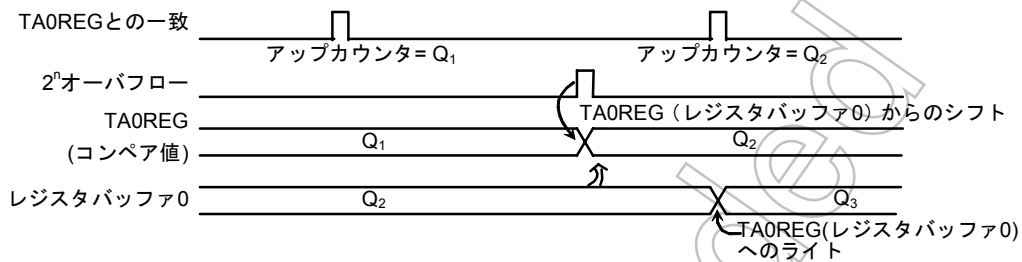
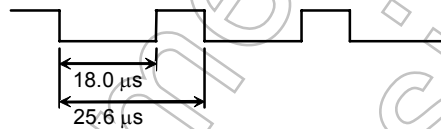


図 3.7.20 レジスタバッファの動作

例) $f_c = 40 \text{ MHz}$ 時、タイマ 0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合。



*クロック条件 [高速クロックギア:1 倍(f_c)]

PWM 周期 $25.6 \mu\text{s}$ を $\phi T1 = 0.2 \mu\text{s}$ (@ $f_c = 40 \text{ MHz}$) で実現する場合:

$$25.6 \mu\text{s} \div 0.2 \mu\text{s} = 128 = 2^n$$

従って $n = 7$ に設定します。

“L”レベルの周期は $18.0 \mu\text{s}$ だから $\phi T1 = 0.2 \mu\text{s}$ では

$$18 \mu\text{s} \div 0.2 \mu\text{s} = 90 = 5AH$$

を TA0REG に設定します。

	MSB					LSB		
	7	6	5	4	3	2	1	0
TA01RUN	←	—	X	X	X	—	—	0
TA01MOD	←	1	1	1	0	—	—	0
TA0REG	←	0	1	0	1	1	0	1
TA1FFCR	←	X	X	X	X	1	0	1
PFCR	←	X	—	—	—	—	1	—
PFFC	←	X	—	—	—	—	1	—
TA01RUN	←	1	X	X	X	—	1	—

TMRA0 を停止し、ゼロクリアします。

8 ビット PWM モード(周期= 2^7)にし、入力クロックを $\phi T1$ にします。

5AH を書き込みます。

TA1FF をクリアし、反転イネーブルにします。

PF1 を TA1OUT 端子に設定します。

TMRA0 のカウントを開始します。ダブルバッファ許可。

注) X = Don't care; “—” = No change

表 3.7.3 PWM 周期

@fc = 40 MHz

クロック ギア値 <GEAR2:0>	PWM 周期								
	2 ⁶			2 ⁷			2 ⁸		
	φT1	φT4	φT16	φT1	φT4	φT16	φT1	φT4	φT16
000 (fc)	12.8μs	51.2μs	204.8μs	25.6μs	102.4μs	409.6μs	51.2μs	204.8μs	819.2μs
001 (fc/2)	25.6μs	102.4μs	409.6μs	51.2μs	204.8μs	819.2μs	102.4μs	409.6μs	1.63ms
010 (fc/4)	51.2μs	204.8μs	819.2μs	102.4μs	409.6μs	1.63ms	204.8μs	819.2μs	3.27ms
011 (fc/8)	102.4μs	409.6μs	1.63ms	204.8μs	819.2μs	3.27ms	409.6μs	1.63ms	6.55ms
100 (fc/16)	204.8μs	819.2μs	3.27ms	409.6μs	1.63ms	6.55ms	819.2μs	3.27ms	13.1ms

XXX: Don't care

(5) モード設定

表 3.7.4 に、TMRA01 の各モード設定一覧を示します。

表 3.7.4 各タイマモードの設定レジスタ

レジスタ名 <bit Symbol>	TA01MOD				TA1FFCR
	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	<TA1FFIS>
機能	タイマモード	PWM 周期	上位タイマ入力 クロック	下位タイマ入力 クロック	タイマ F/F 反転信号セレクト
8 ビットタイマ × 2 ch	00	—	下位タイマー致, φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16 ビットタイマモード	01	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビット PPG × 1 ch	10	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビット PWM × 1 ch	11	2 ⁶ , 2 ⁷ , 2 ⁸ (01, 10, 11)	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビットタイマ × 1 ch	11	—	φT1, φT16, φT256 (01, 10, 11)	—	出力不可

注) “—” = Don't care

3.8 16 ビットタイマ/イベントカウンタ

TMP92CM27 は、16 ビットタイマ/イベントカウンタ(タイマ B)を 6 チャンネル(TMRB0 ~ TMRB5)内蔵しており、以下の動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波(PPG)出力モード

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

図 3.8.1 ~ 図 3.8.6 に TMRB0 ~ TMRB5 のブロック図を示します。

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本(1 本はダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 本、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。各タイマは 11 バイトのレジスタ(SFR)で制御されます。

各チャネル(TMRB0 ~ TMRB5)はそれぞれ独立に動作します。表 3.8.1に仕様の相違点を示します。動作説明は TMRB0 の場合についてのみ説明します。

表 3.8.1 TMRB のチャネル別仕様相違点

チャネル		TMRB0	TMRB1	TMRB2	TMRB3	TMRB4	TMRB5
仕様							
外部端子	外部クロック キャプチャトリガ入力 端子	TB0IN0 TB0IN1	TB1IN0 TB1IN1	TB2IN0 TB2IN1	TB3IN0 TB3IN1	None	None
	タイマフリップフロップ 出力端子	TB0OUT0 TB0OUT1	TB1OUT0 TB1OUT1	TB2OUT0 TB2OUT1	TB3OUT0 TB3OUT1	TB4OUT0 TB4OUT1	TB5OUT0 TB5OUT1
SFR	タイマ Run レジスタ	TB0RUN	TB1RUN	TB2RUN	TB3RUN	TB4RUN	TB5RUN
	タイマモードレジスタ	TB0MOD	TB1MOD	TB2MOD	TB3MOD	TB4MOD	TB5MOD
	タイマフリップフロップ コントロールレジスタ	TB0FFCR	TB1FFCR	TB2FFCR	TB3FFCR	TB4FFCR	TB5FFCR
	タイマレジスタ	TB0RG0L	TB1RG0L	TB2RG0L	TB3RG0L	TB4RG0L	TB5RG0L
		TB0RG0H	TB1RG0H	TB2RG0H	TB3RG0H	TB4RG0H	TB5RG0H
		TB0RG1L	TB1RG1L	TB2RG1L	TB3RG1L	TB4RG1L	TB5RG1L
		TB0RG1H	TB1RG1H	TB2RG1H	TB3RG1H	TB4RG1H	TB5RG1H
	キャプチャレジスタ	TB0CP0L	TB1CP0L	TB2CP0L	TB3CP0L	TB4CP0L	TB5CP0L
		TB0CP0H	TB1CP0H	TB2CP0H	TB3CP0H	TB4CP0H	TB5CP0H
		TB0CP1L	TB1CP1L	TB2CP1L	TB3CP1L	TB4CP1L	TB5CP1L
		TB0CP1H	TB1CP1H	TB2CP1H	TB3CP1H	TB4CP1H	TB5CP1H
外部信号	キャプチャトリガ入力 信号	TA1OUT	TA1OUT	TA3OUT	TA3OUT	TA5OUT	TA5OUT
割り込み	タイマ割り込み	INTTB00	INTTB10	INTTB20	INTTB30	INTTB40	INTTB50
		INTTB01	INTTB11	INTTB21	INTTB31	INTTB41	INTTB51
	タイマオーバフロー 割り込み	INTTBOF0	INTTBOF1	INTTBOF2	INTTBOF3	INTTBOF4	INTTBOF5

注 1) : TB2OUT0/TB4OUT0, TB2OUT1/TB4OUT1, TB3OUT0/TB5OUT0, TB3OUT1/TB5OUT1 は出力端子を兼用しているため、同時に使用することはできません。

注 2) : INTTB30/INTTB31, INTTB40/INTTB41, INTTB50/INTTB51 は割り込み要因を兼用しているため、同時に使用することはできません。

注 3) : INTTBOF0/INTTBOF1/INTTBOF2/INTTBOF3/INTTBOF4/INTTBOF5は割り込み要因を兼用していますが、同時に使用することができます。どの割り込みが発生したかは INTST レジスタをリードしてください。

また、本章は下記のような構成になっています。

3.8.1 チャンネル別のブロック図

3.8.2 回路別の動作説明

3.8.3 SFR 説明

3.8.4 モード別動作説明

Not Recommended
for New Design

3.8.1 ブロック図

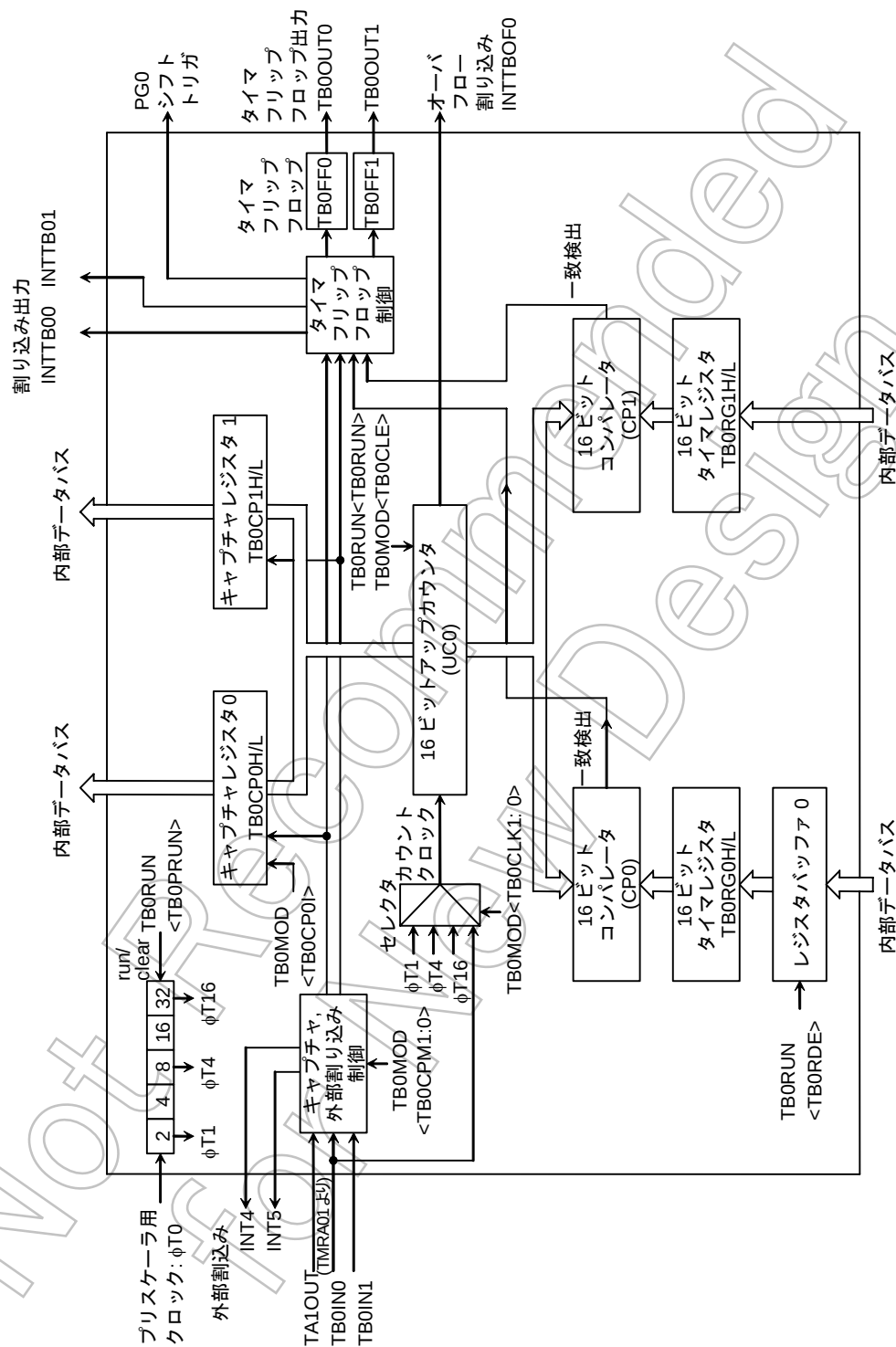


図 3.8.1 TMRB0 のブロック図

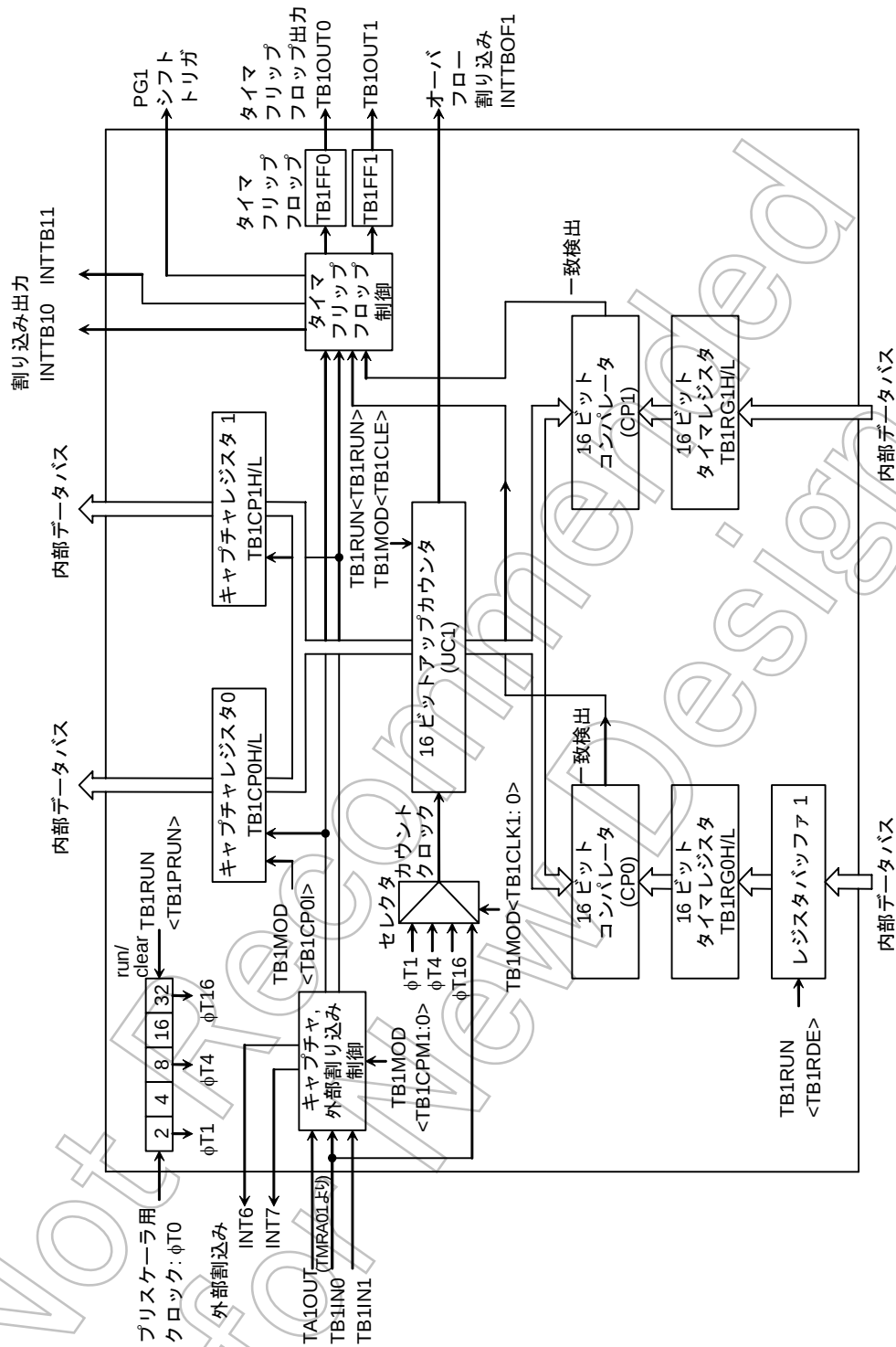


図 3.8.2 TMRB1 のブロック図

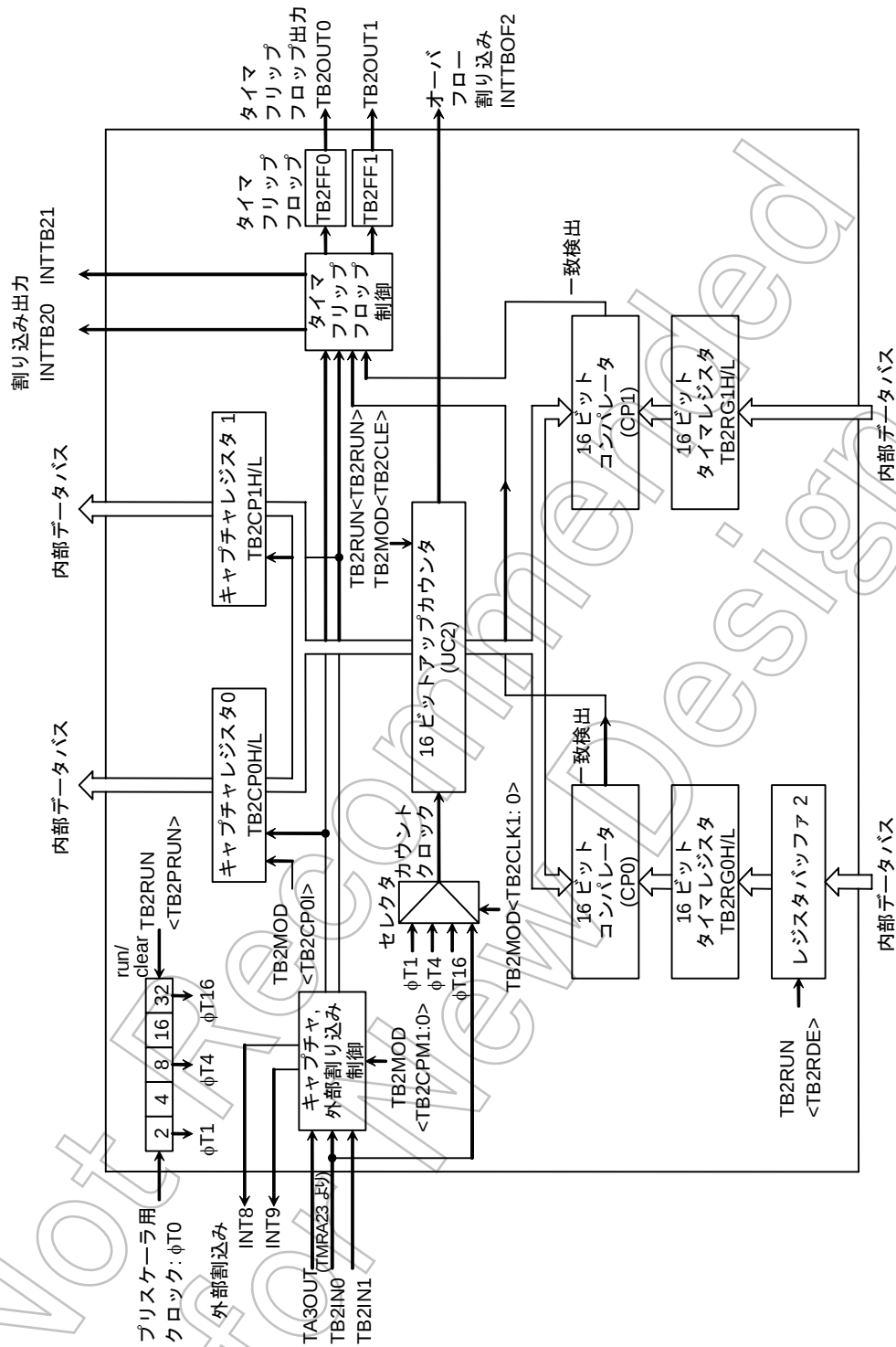


図 3.8.3 TMRB2 のブロック図

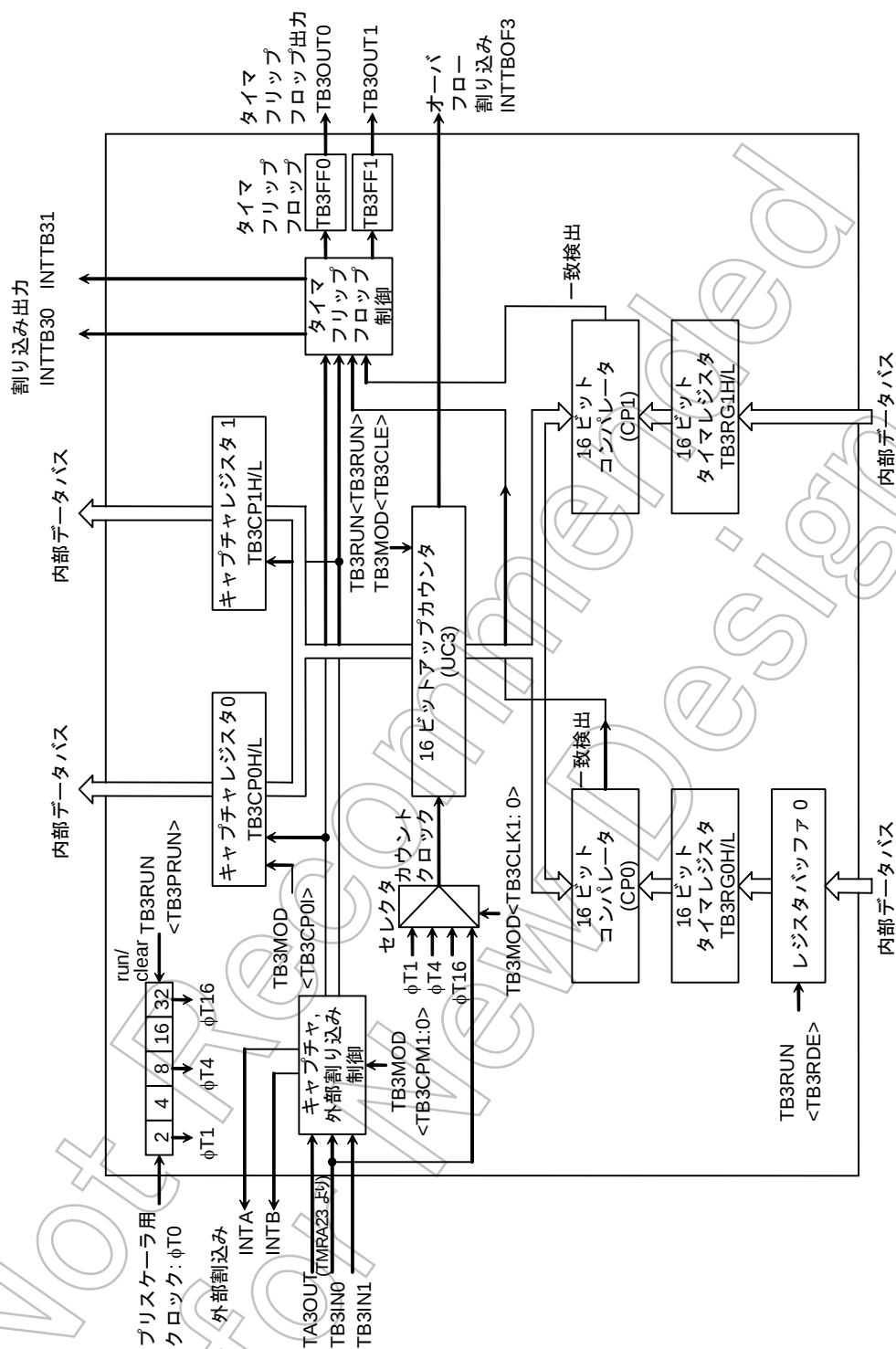


図 3.8.4 TMRB3 のブロック図

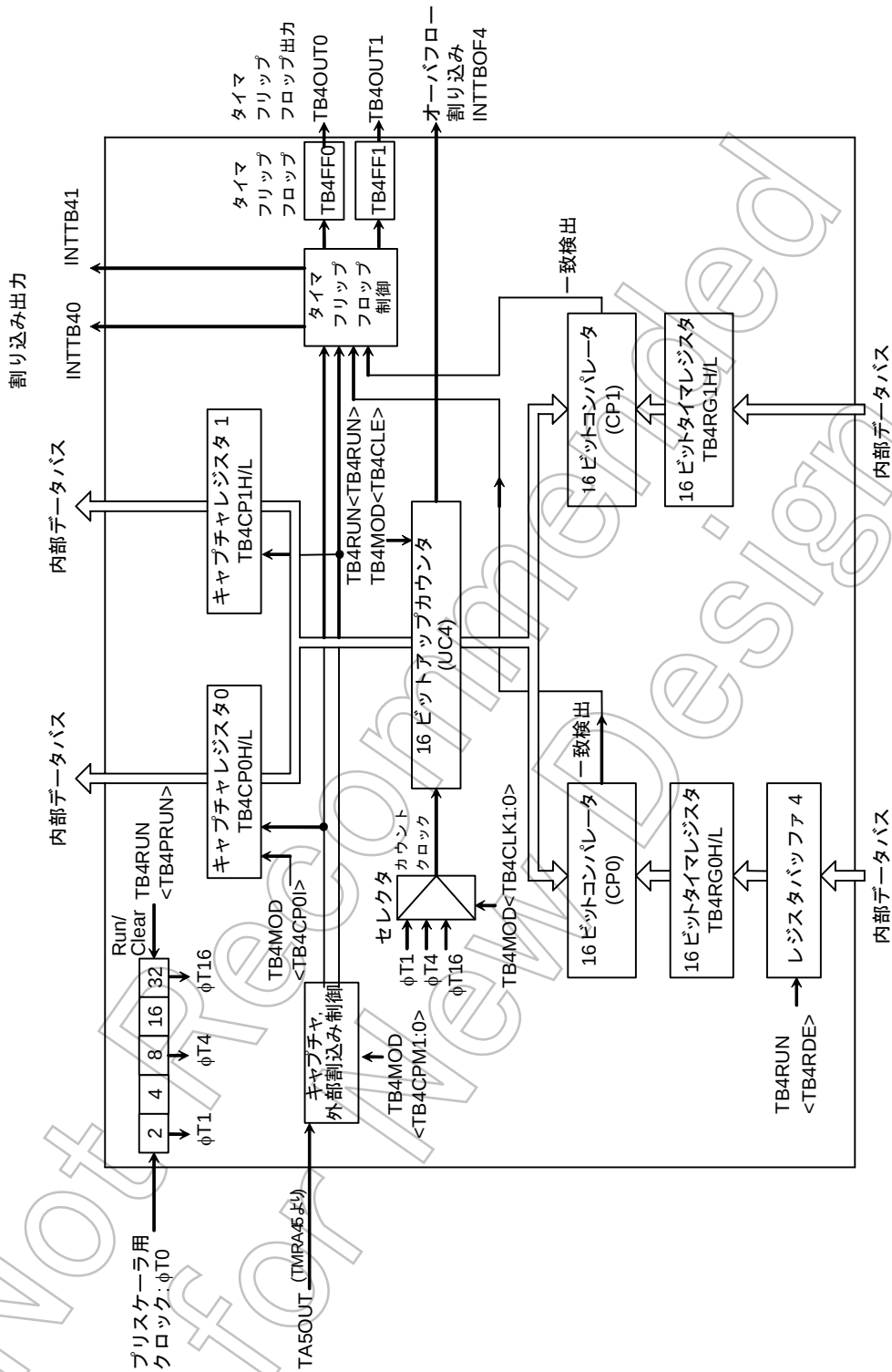


図 3.8.5 TMRB4 のブロック図

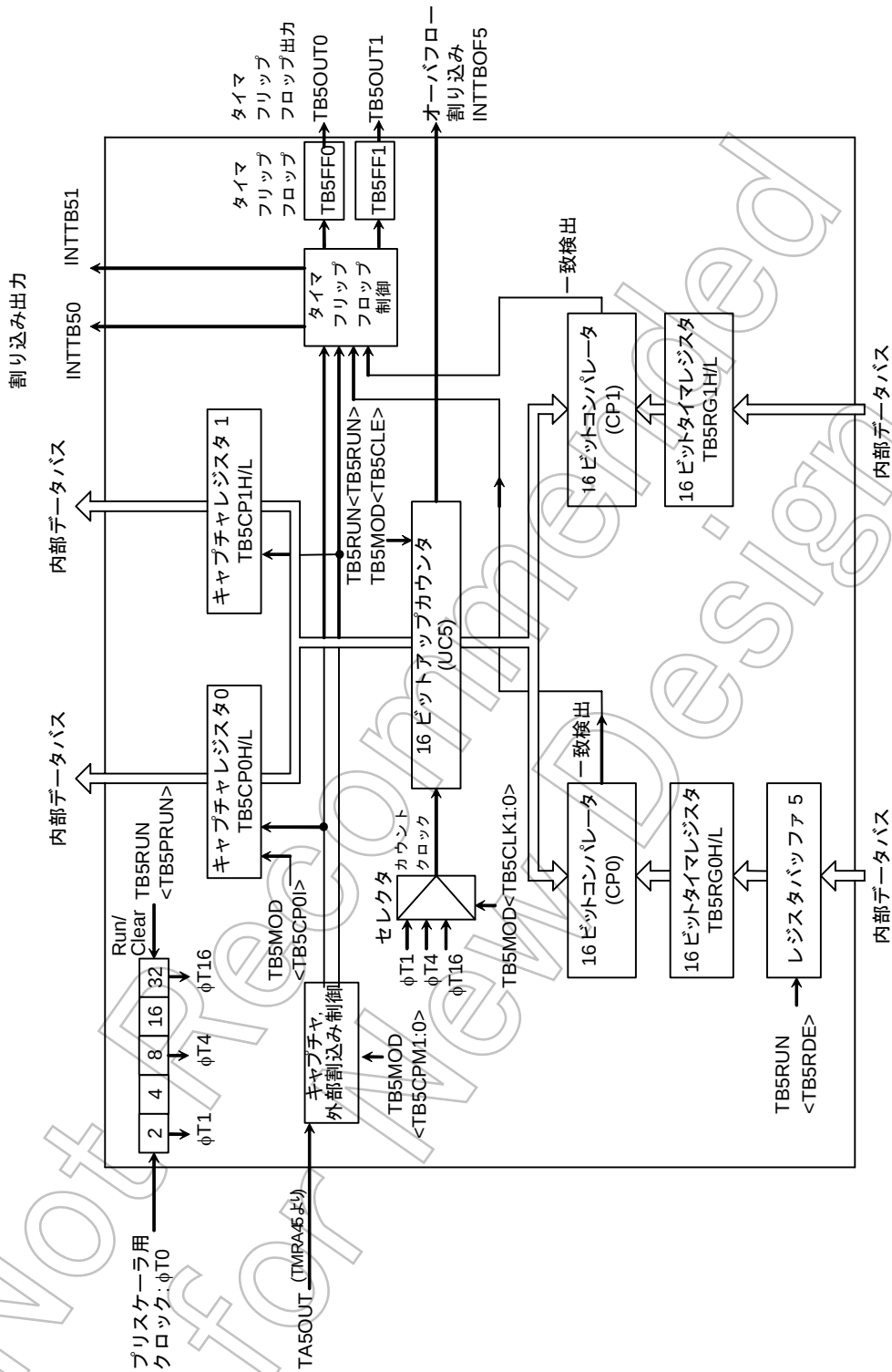


図 3.8.6 TMRB5 のブロック図

3.8.2 回路別の動作説明

(1) プリスケーラ

TMRB0 のクロックソースを得るため、5 ビットプリスケーラがあります。プリスケーラへの入力クロック $\phi T0$ は、f_{FPH} を 4 分周したクロックです。プリスケーラは TB0RUN<TB0PRUN>により制御されます。“1”を設定するとカウントを開始し、“0”に設定するとクリアされ停止します。プリスケーラ出力クロックの分解能を表3.8.2に示します。

表 3.8.2 プリスケーラ出力クロック分解能

@f_c = 40 MHz

クロックギア値 SYSCR1 <GEAR2:0>	プリスケーラ出力クロック分解能		
	$\phi T1$	$\phi T4$	$\phi T16$
000 (f _c)	$2^3/f_c$ (0.2 μ s)	$2^5/f_c$ (0.8 μ s)	$2^7/f_c$ (3.2 μ s)
001 (f _c /2)	$2^4/f_c$ (0.4 μ s)	$2^6/f_c$ (1.6 μ s)	$2^8/f_c$ (6.4 μ s)
010 (f _c /4)	$2^5/f_c$ (0.8 μ s)	$2^7/f_c$ (3.2 μ s)	$2^9/f_c$ (12.8 μ s)
011 (f _c /8)	$2^6/f_c$ (1.6 μ s)	$2^8/f_c$ (6.4 μ s)	$2^{10}/f_c$ (25.6 μ s)
100 (f _c /16)	$2^7/f_c$ (3.2 μ s)	$2^9/f_c$ (12.8 μ s)	$2^{11}/f_c$ (51.2 μ s)

xxx: Don't care

(2) アップカウンタ(UC0)

TB0MOD <TB0CLK1:0>で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

入力クロックは、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、または TB0IN0 端子の外部クロックのいずれかを選択でき、TB0RUN<TB0RUN>によってカウントの開始、および停止&クリアを設定します。

UC0 は、タイマレジスタ TB0RG1H/L と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE>で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

また、UC0 のオーバフローが発生した場合、オーバフロー割り込み(INTTB0F0)が発生します。

(3) タイマレジスタ (TB0RG0H/L, TB0RG1H/L)

この2つの16ビットレジスタは、アップカウンタ値を設定して使用します。アップカウンタ UC0 の値が、タイマレジスタの値と一致すると、コンパレータ一致検出信号が出力されます。16ビットタイマレジスタ TB0RG0H/L、TB0RG1H/L へのデータ設定は、2バイトデータ転送命令を用いるか、1バイトデータ転送命令を2回用いて、下位8ビット、上位8ビットの順に行います。

TB0RG0H/L タイマレジスタは、ダブルバッファ構成になっており、レジスタバッファ0とペアになっています。ダブルバッファのイネーブル/ディセーブルの制御は、TB0RUN<TB0RDE>によって行います。このビットが“0”のときディセーブルとなり、“1”のときイネーブルとなります。

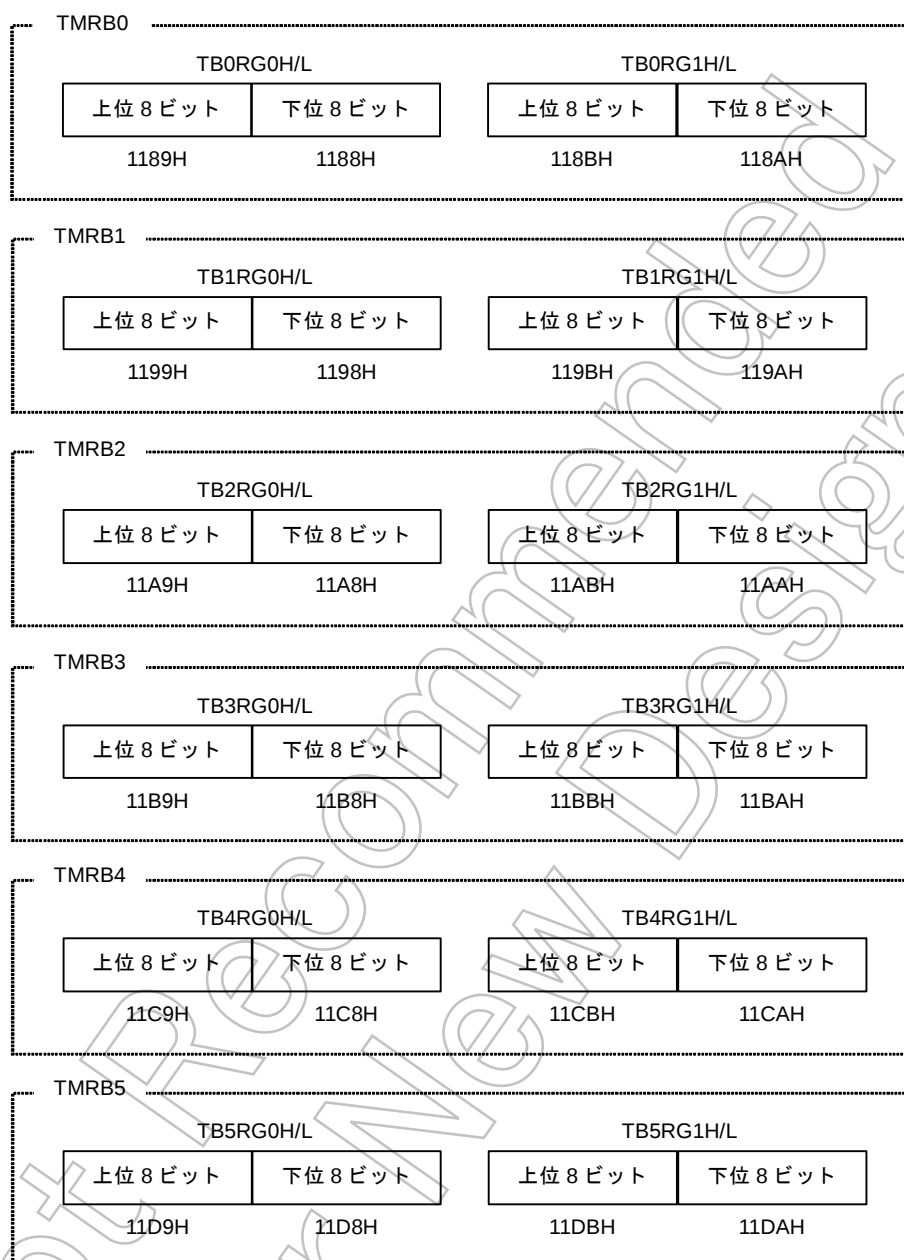
ダブルバッファイネーブルに設定した場合、レジスタバッファ0からタイマレジスタ(TB0RG0)へのデータ転送は、アップカウンタ(UC0)とタイマレジスタ(TB0RG1)の値が一致したときに行われます。

リセット動作により、TB0RG0H/L、TB0RG1H/L は不定のため、16ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。

リセット動作により、<TB0RDE>= “0”に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み<TB0RDE>= “1”に設定した後、レジスタバッファ0へ次のデータを書き込んでください。

TB0RG0H/L とレジスタバッファ0は、同じアドレス 001189H/001188H に割り付けられています。<TB0RDE> = “0”のときは、TB0RG0H/L とレジスタバッファ0に同じ値が書き込まれ、<TB0RDE> = “1”のときは、レジスタバッファ0のみに値が書き込まれます。

タイマレジスタのアドレスは次のとおりです。

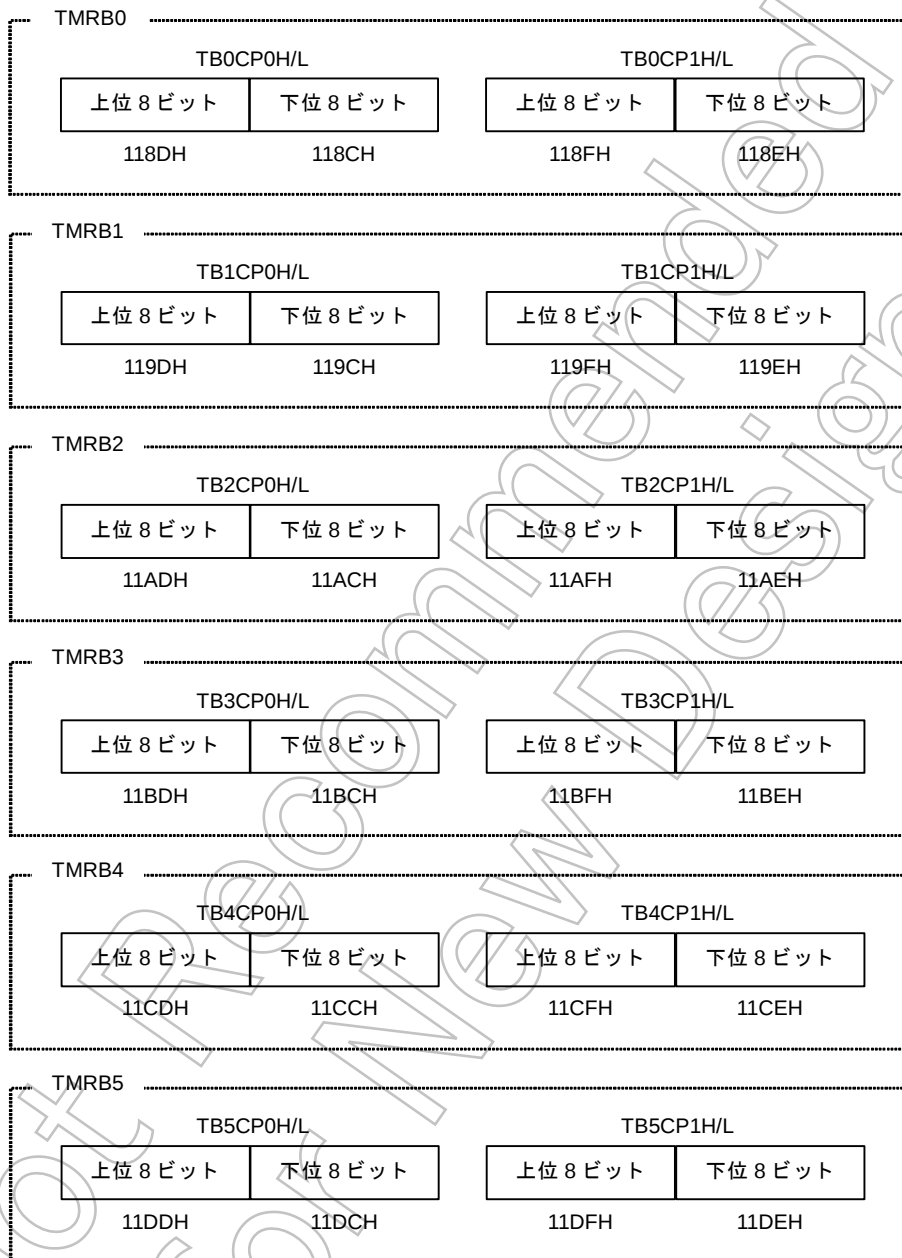


タイマレジスタは書き込み専用レジスタのため、読み出すことはできません。

(4) キャプチャレジスタ(TB0CP0H/L,TB0CP1H/L)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。

キャプチャレジスタを読み出す場合は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に読み出してください。各キャプチャレジスタのアドレスは次のとおりです。



キャプチャレジスタは読み出し専用レジスタのため、プログラムによる書き込みはできません。

(5) キャプチャ、外部割り込み制御

アップカウンタ UC0 の値をキャプチャレジスタ TB0CP0H/L, TB0CP1H/L にラッチするタイミングと外部割り込みの発生を制御します。

キャプチャレジスタのラッチタイミング、外部割り込み INT4 のエッジ選択は、TB0MOD<TB0CPM1:0>で設定します。(TMRB4, TMRB5 には外部入力によるキャプチャタイミングと外部割り込みの発生を制御する機能がありません。)

なお、外部割り込み INT5 は、立ち上がりエッジに固定されています。

また、ソフトウェアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取りこむことができ、TB0MOD<TB0CP0I>に“0”を設定するたびに、その時点の UC0 の値をキャプチャレジスタ TB0CP0H/L へキャプチャします。

キャプチャ/割り込み制御は、プリスケアラを動作状態(TB0RUN<TB0PRUN>=“1”)にしておく必要があります。

(注意)本制御回路で外部割り込みを制御することができるのは、ポート設定を TMRB0 の入力機能(TB0IN0)に設定した時のみです。ポート設定を INT4 に設定した場合は、割り込み入力モード制御 1、2(IIMC1、IIMC2)で制御します。

(6) コンパレータ(CP0、CP1)

アップカウンタ UC0 と TB0RG0H/L、TB0RG1H/L への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、それぞれ割り込み INTTB00、INTTB01 を発生します。

(7) タイマフリップフロップ(TB0FF0, TB0FF1)

タイマフリップフロップ(TB0FF0, TB0FF1)は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。TB0FF0 の反転トリガ制御は、TB0FFCR<TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1>によって設定できます。また TB0FF1 の制御は、TB0MOD<TB0CT1, TB0ET1>によって制御できます。リセット後、TB0FF0、TB0FF1 の値は不定となります。

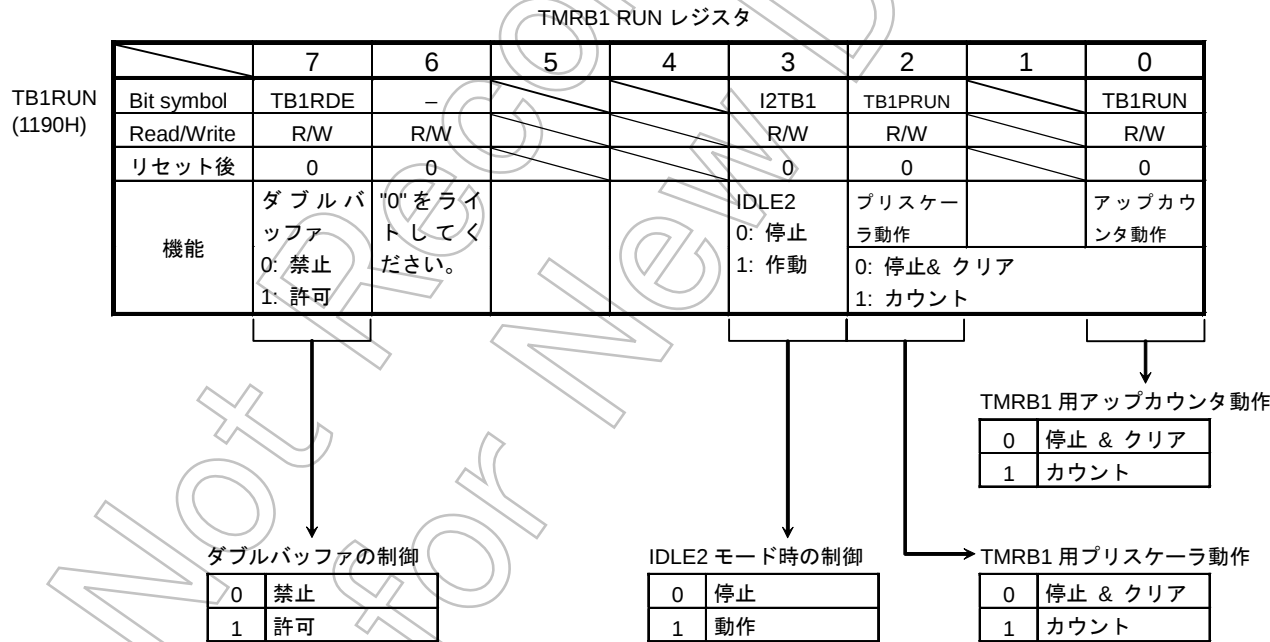
TB0FFCR<TB0FF0C1:0> または<TB0FF1C1:0>に“00”を設定することで反転、“01”を設定することで“1”をセット、“10”を設定することで“0”にクリアすることが可能です。

TB0FF0、TB0FF1 の値は、タイマ出力端子 TB0OUT0(PJ0 と兼用)、TB0OUT1(PJ1 と兼用)へ出力することができます。TMRB2/TMRB3 と TMRB4/TMRB5 のタイマ出力端子は端子を兼用していますので同時に使用することはできません。タイマ出力を行う場合、あらかじめポートの各レジスタを設定する必要があります。

3.8.3 SFR 説明

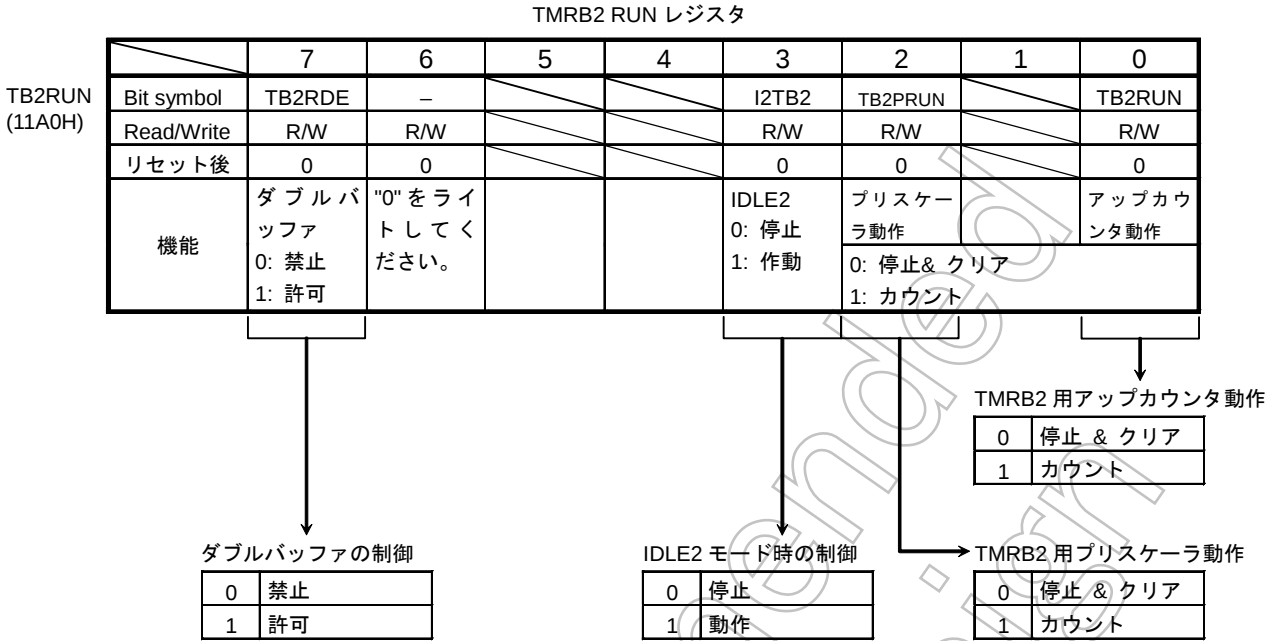


注：TB0RUN のビット 1、4、5 はリードすると不定値がリードされます。

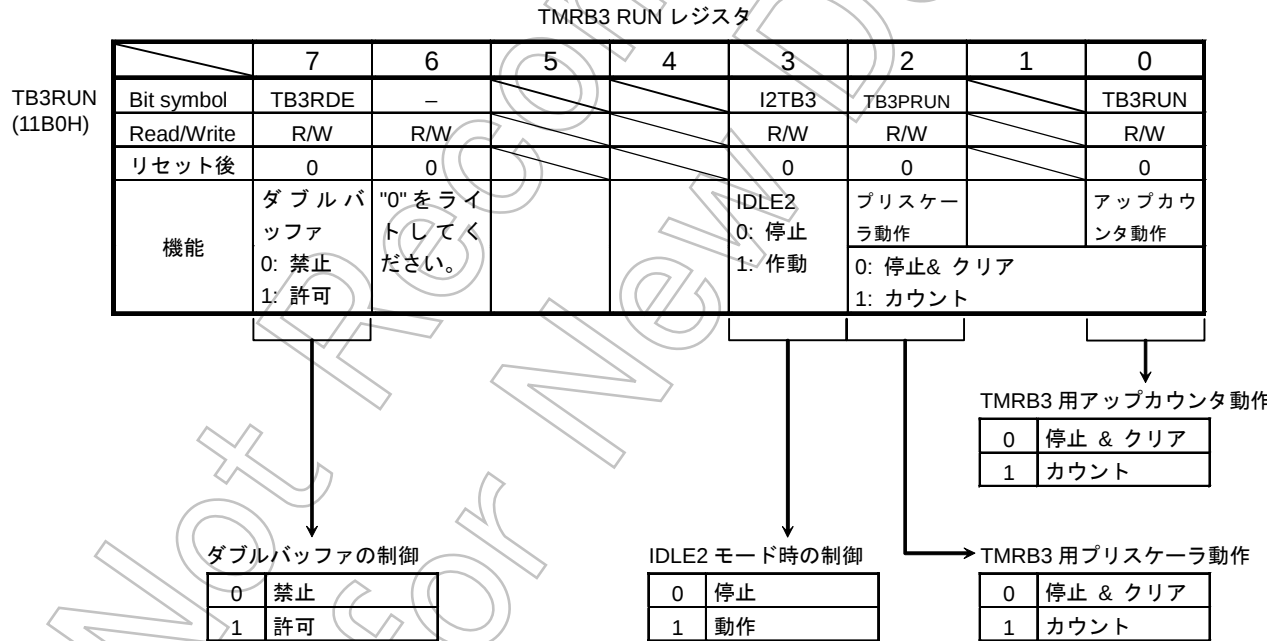


注：TB1RUN のビット 1、4、5 はリードすると不定値がリードされます。

図 3.8.7 16 ビットタイマのレジスタ (1)



注：TB2RUN のビット 1、4、5 はリードすると不定値がリードされます。



注：TB3RUN のビット 1、4、5 はリードすると不定値がリードされます。

図 3.8.8 16 ビットタイマのレジスタ (2)

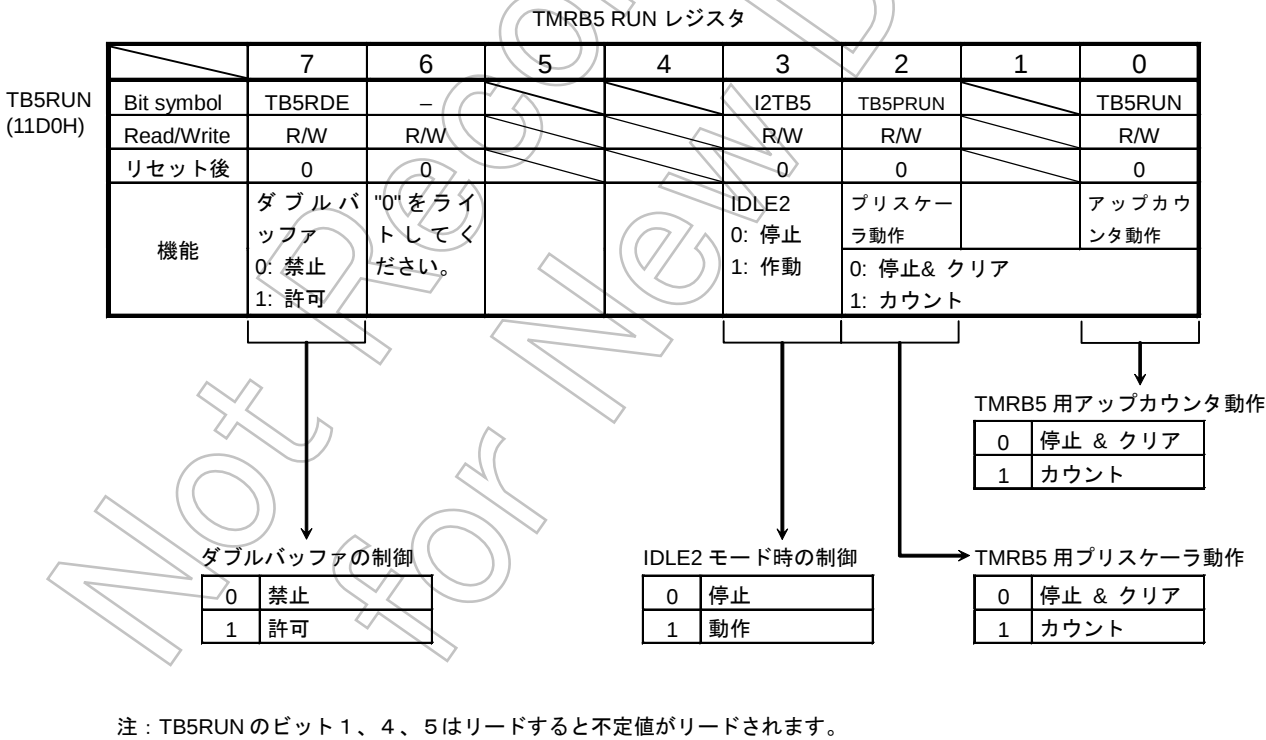
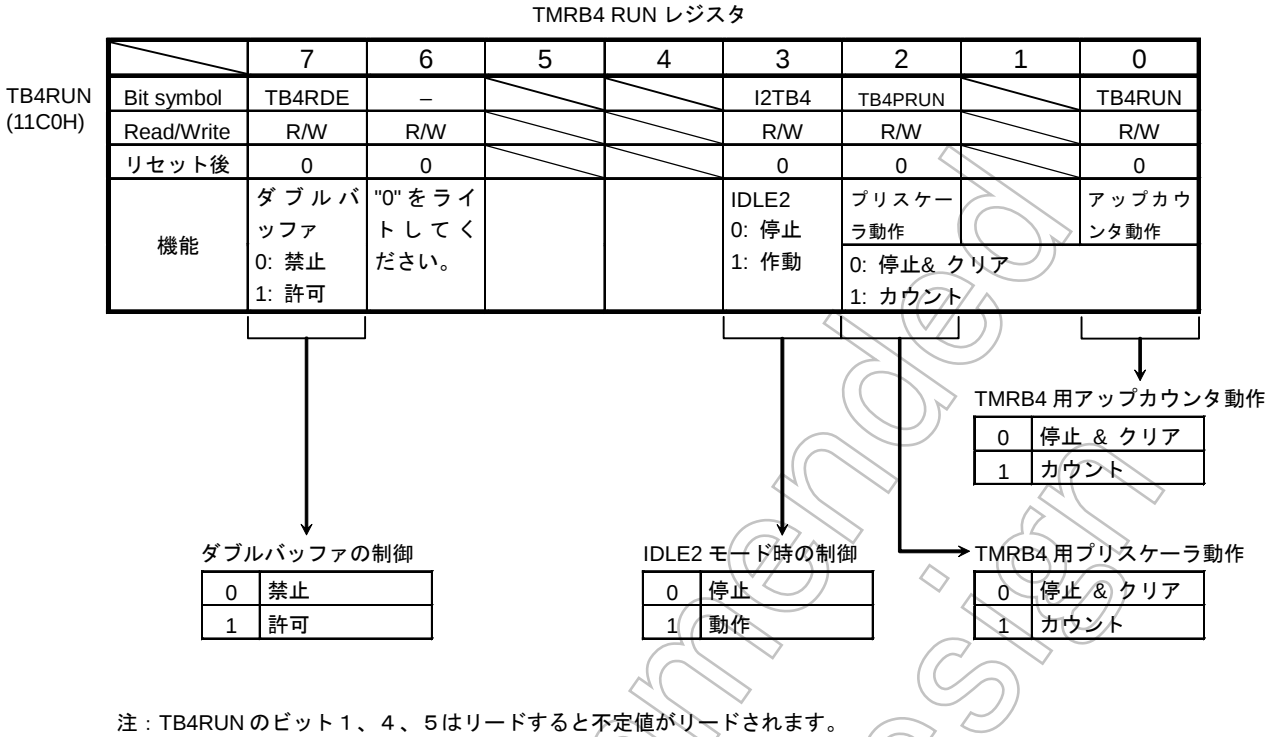


図 3.8.9 16 ビットタイマのレジスタ (3)

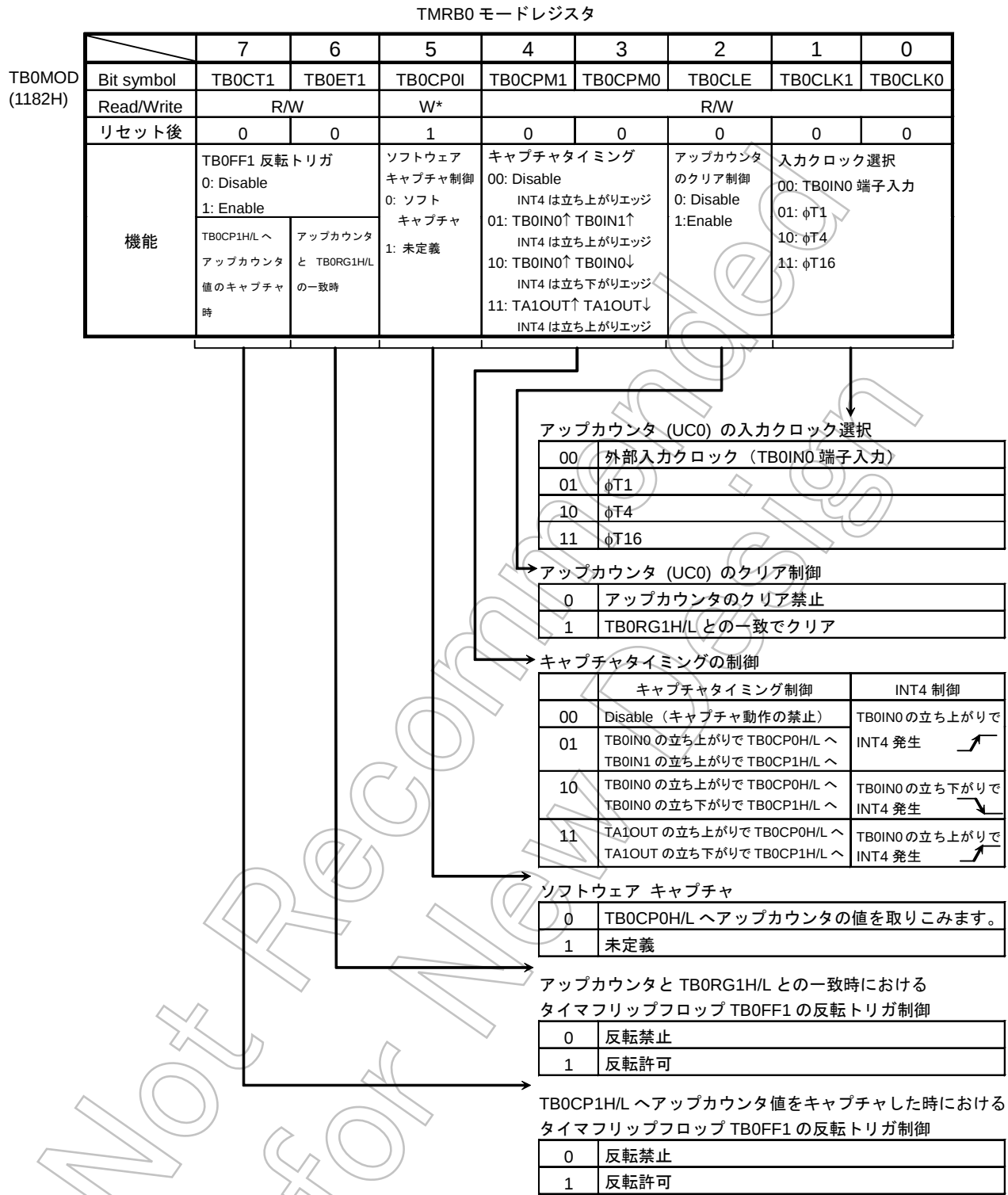


図 3.8.10 16 ビットタイマのレジスタ (4)

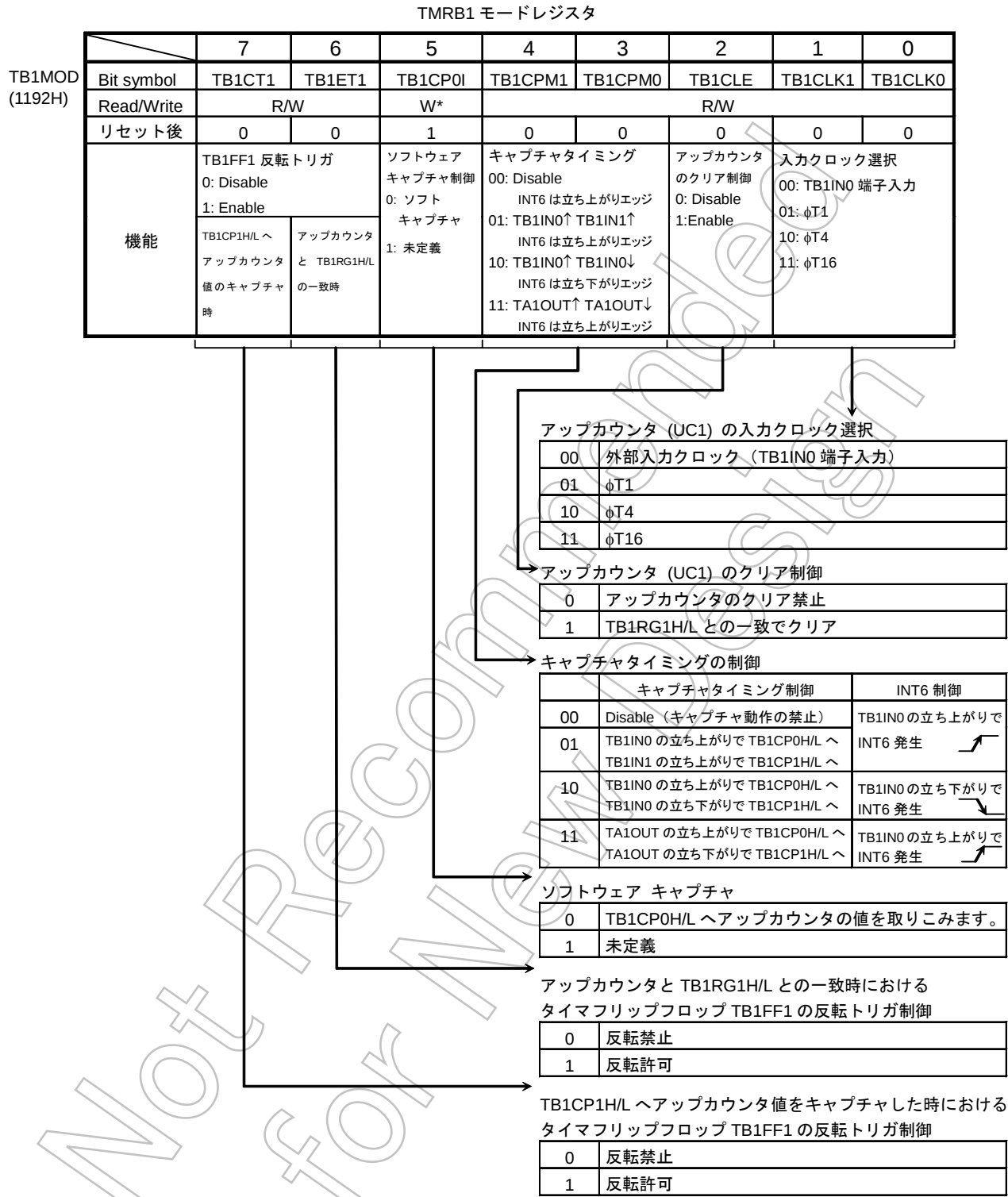


図 3.8.11 16 ビットタイマのレジスタ (5)

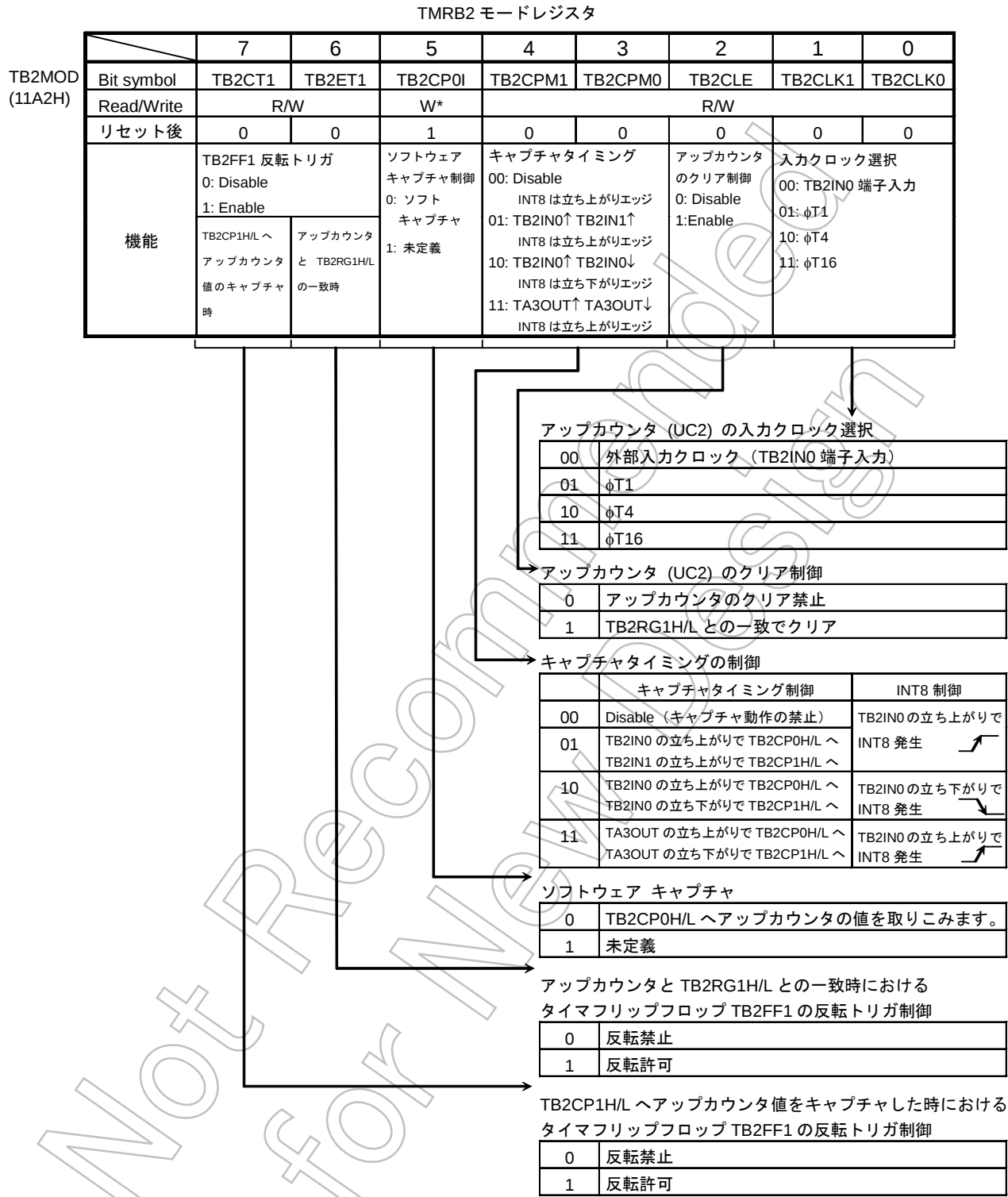


図 3.8.12 16 ビットタイマのレジスタ (6)

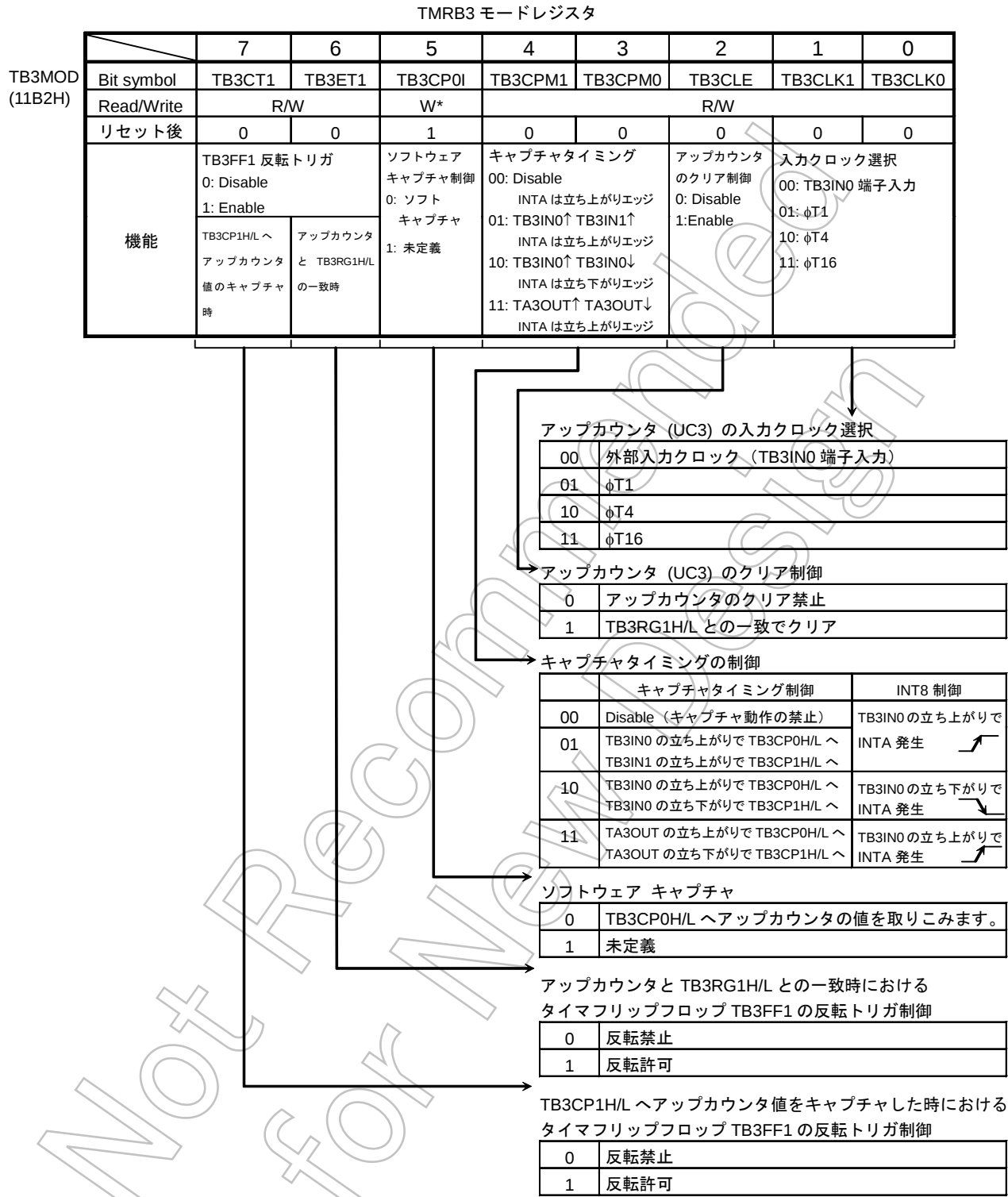


図 3.8.13 16 ビットタイマのレジスタ (7)

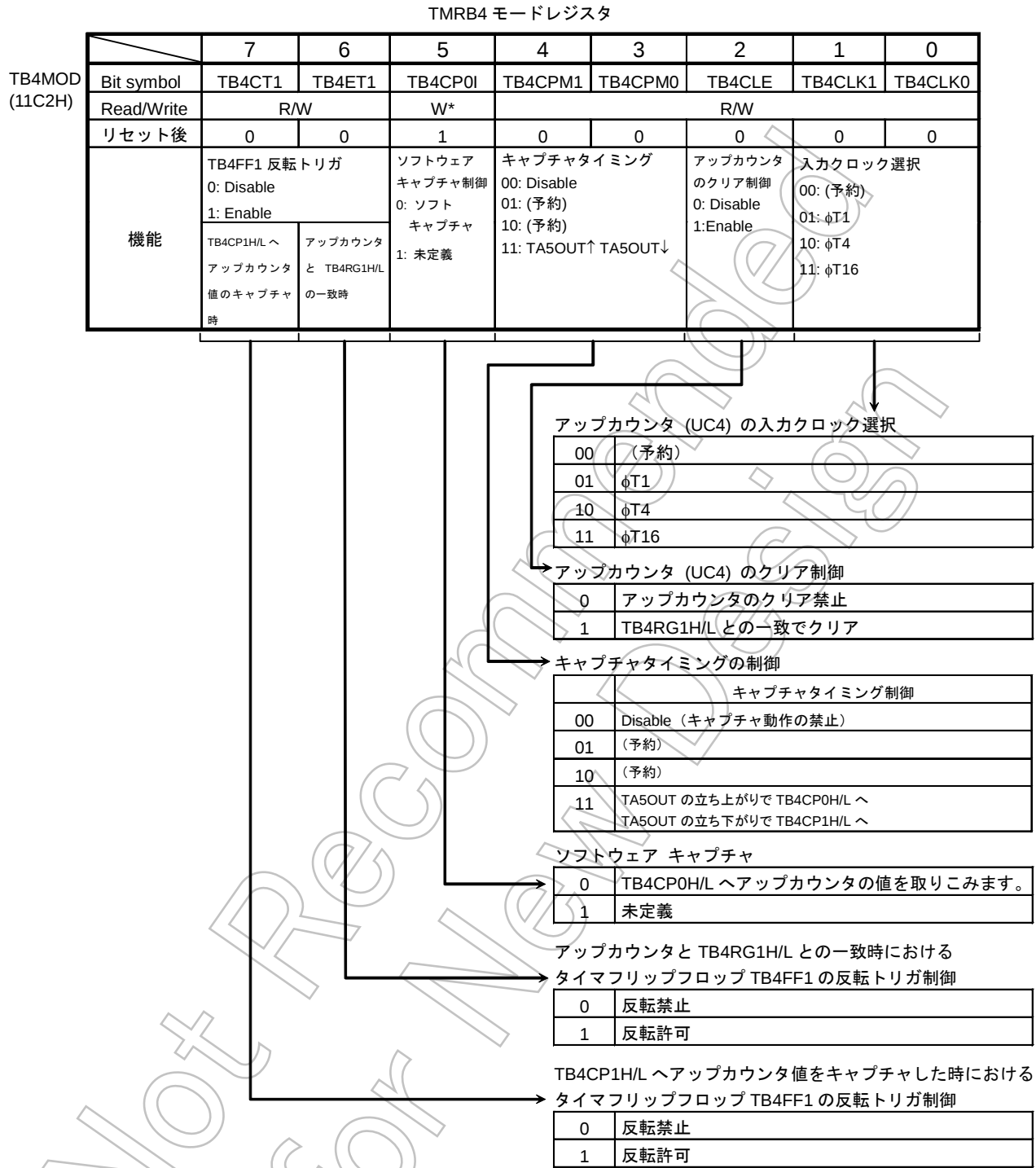


図 3.8.14 16 ビットタイマのレジスタ (8)

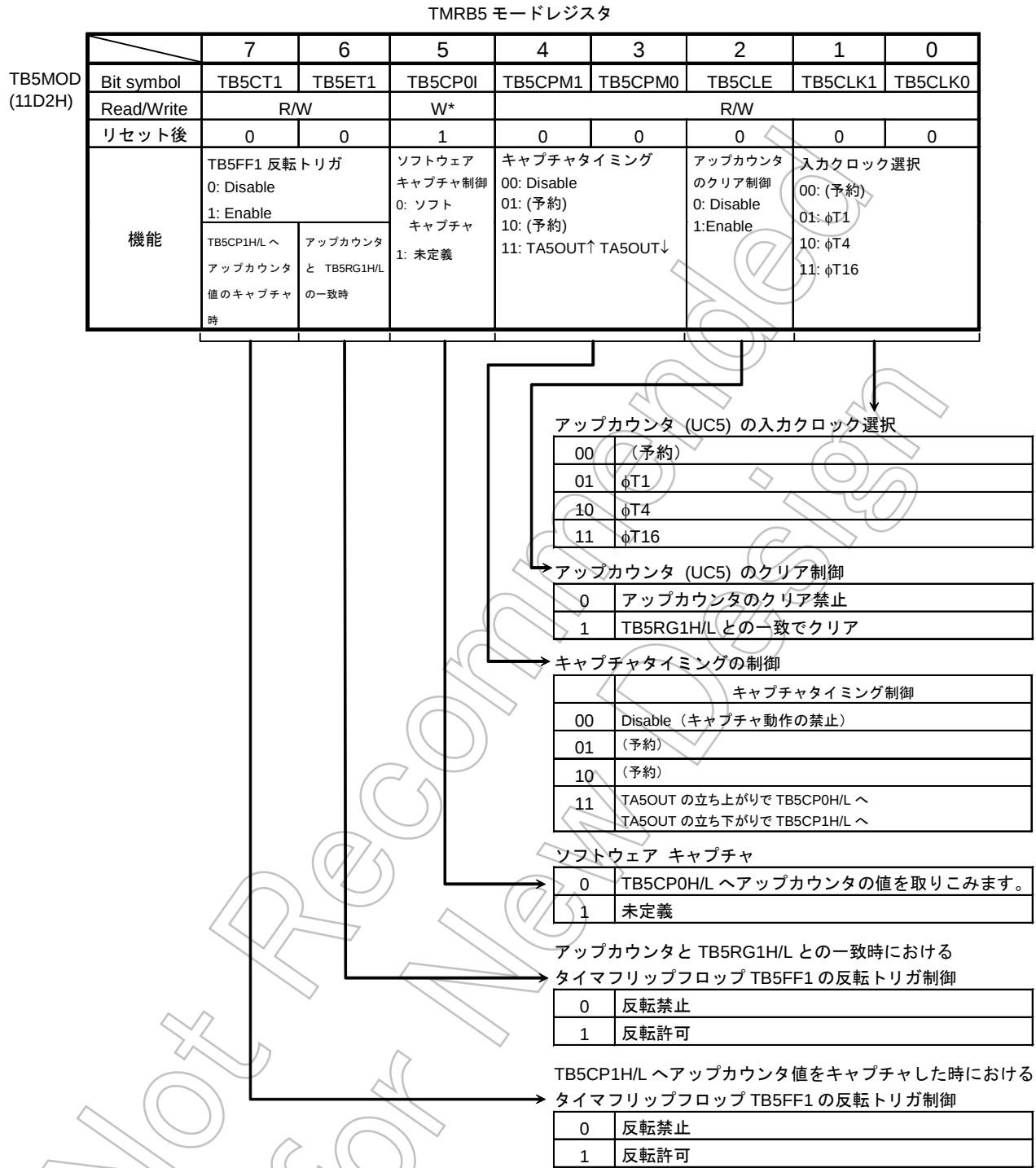


図 3.8.15 16 ビットタイマのレジスタ (9)

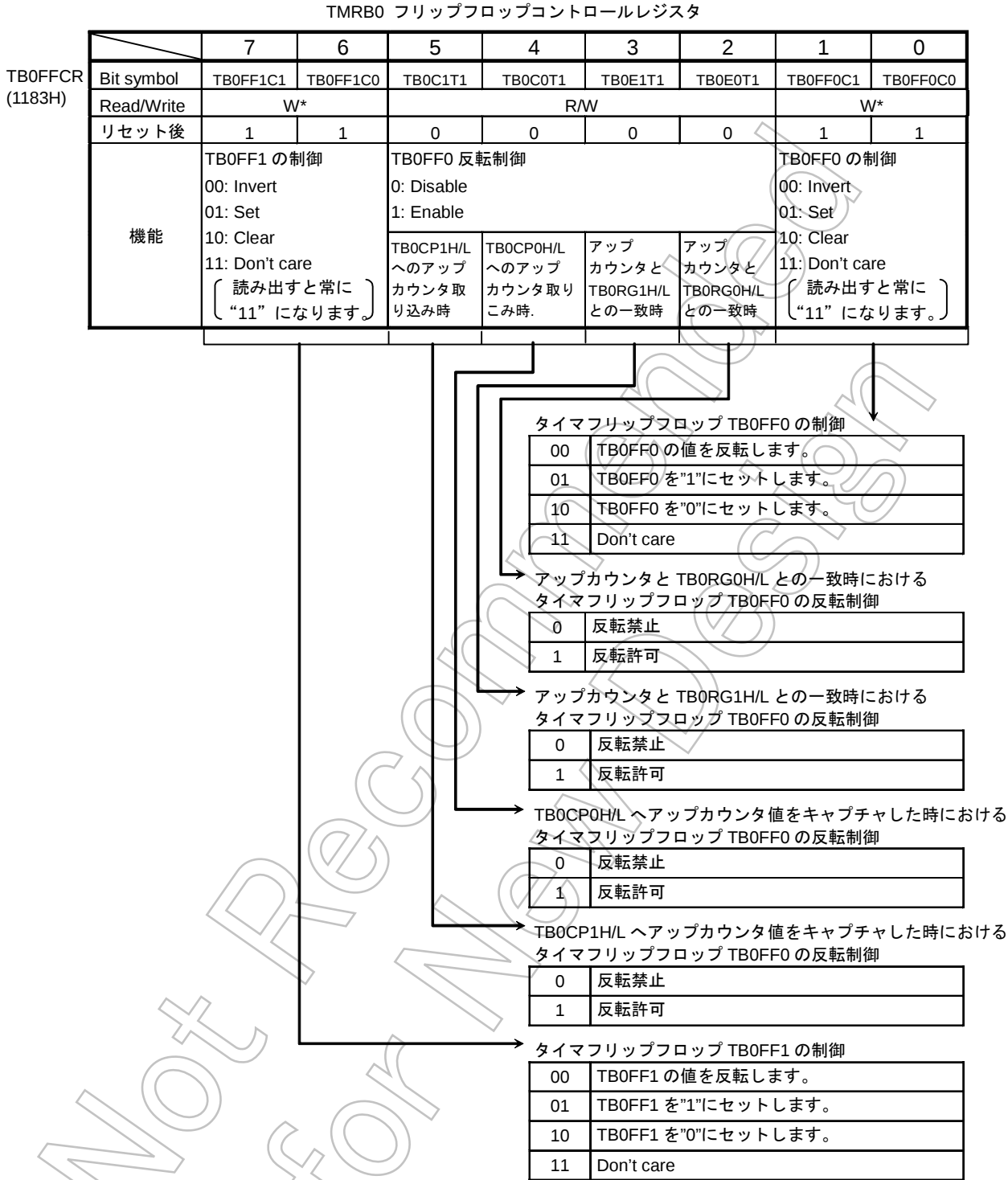


図 3.8.16 16 ビットタイマのレジスタ (10)

TMRB1 フリップフロップコントロールレジスタ

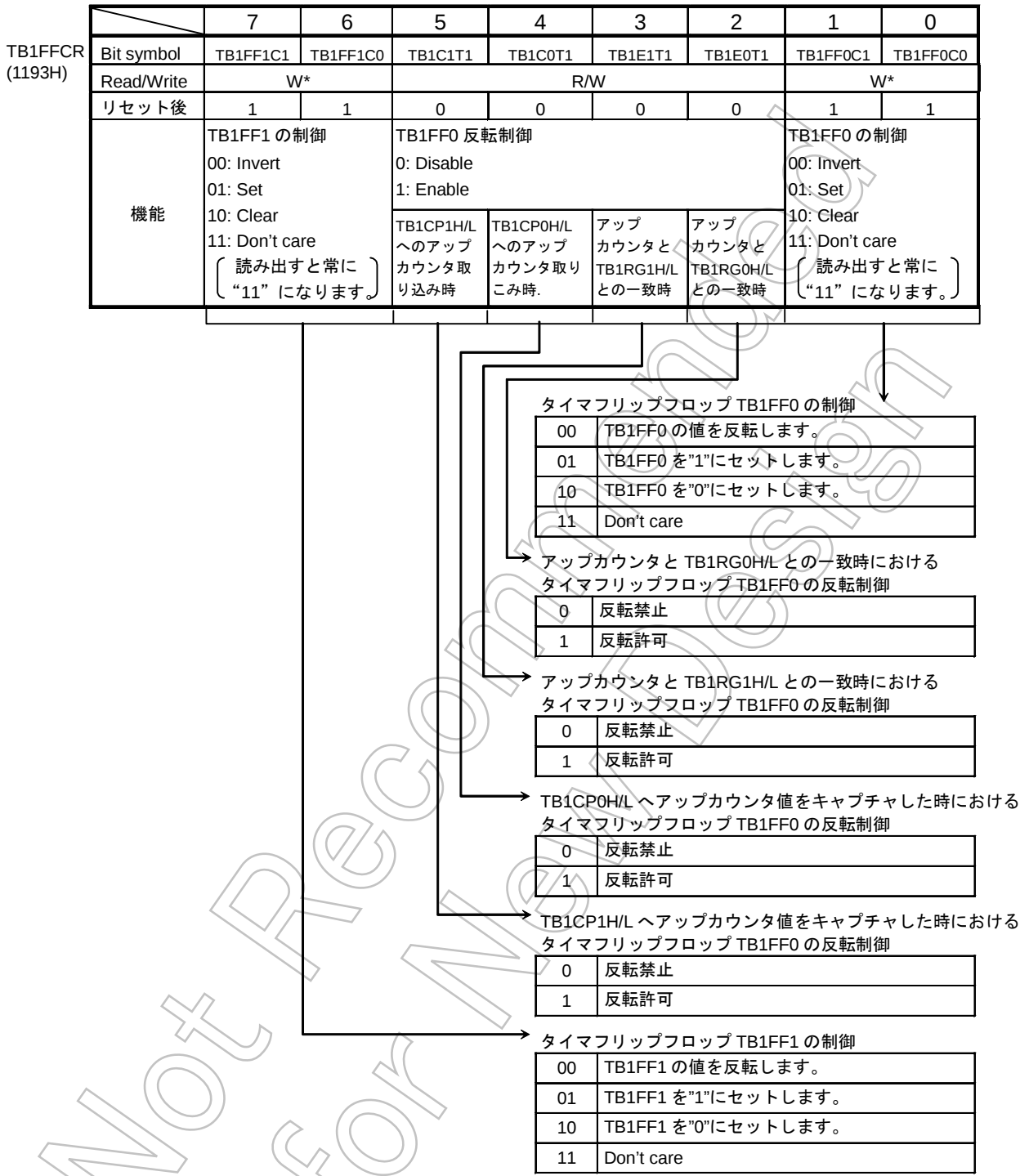


図 3.8.17 16 ビットタイマのレジスタ (11)

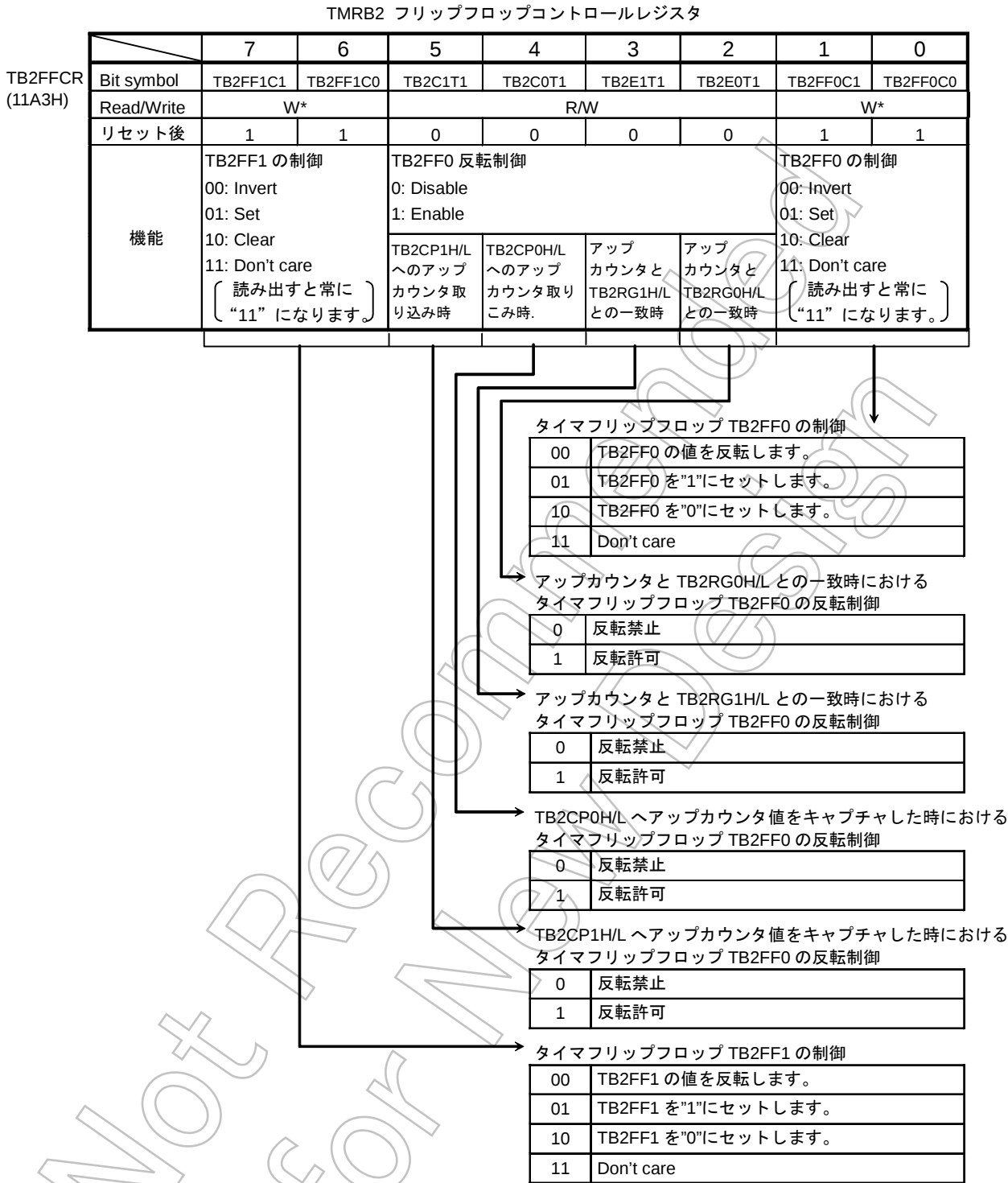


図 3.8.18 16 ビットタイマのレジスタ (12)

TMRB3 フリップフロップコントロールレジスタ

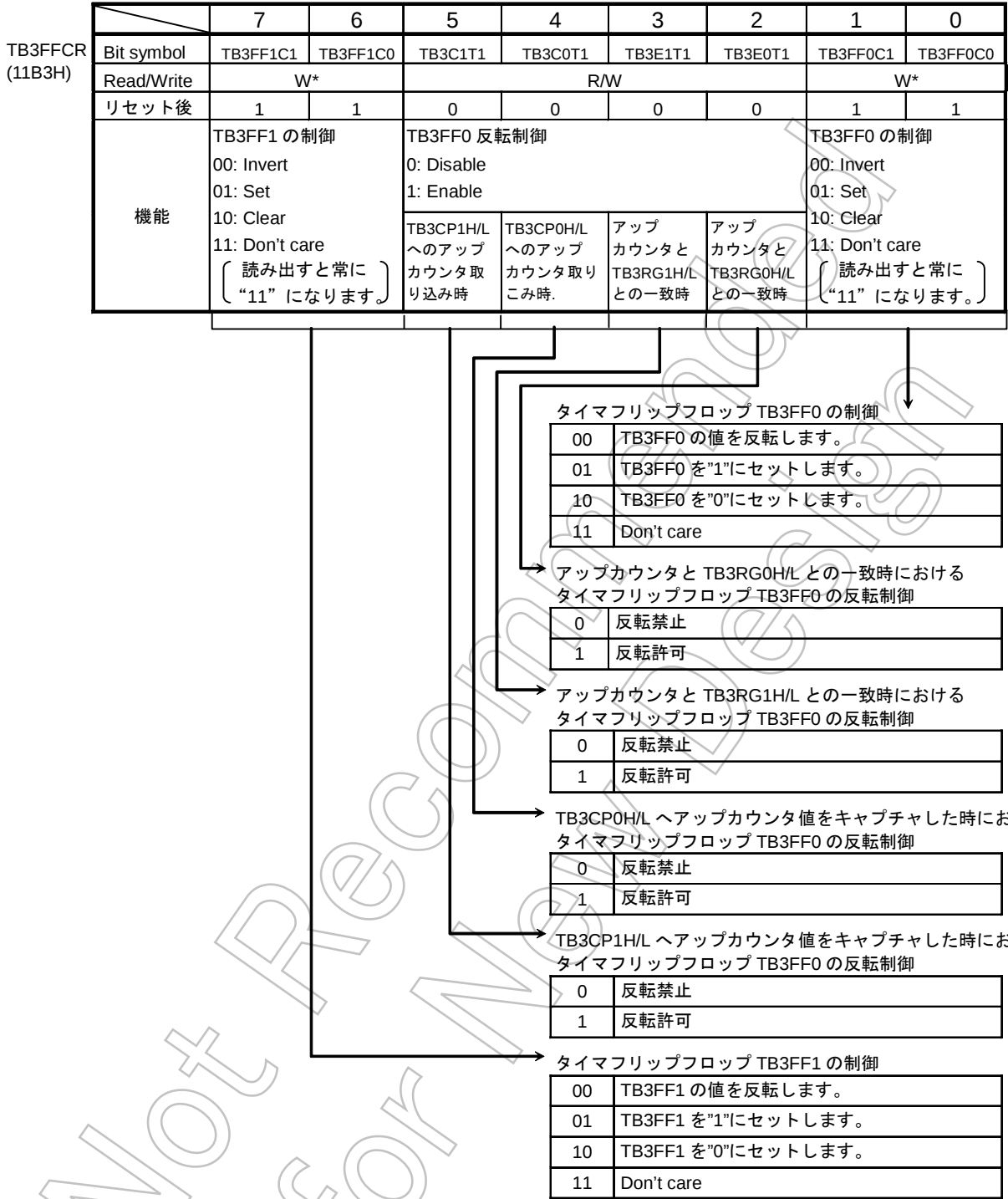


図 3.8.19 16 ビットタイマのレジスタ (13)

TMRB4 フリップフロップコントロールレジスタ

TB4FFCR (11C3H)		7	6	5	4	3	2	1	0
	Bit symbol	TB4FF1C1	TB4FF1C0	TB4C1T1	TB4C0T1	TB4E1T1	TB4E0T1	TB4FF0C1	TB4FF0C0
	Read/Write	W*		R/W				W*	
	リセット後	1	1	0	0	0	0	1	1
機能	TB4FF1 の制御		TB4FF0 反転制御				TB4FF0 の制御		
	00: Invert 01: Set 10: Clear 11: Don't care 〔読み出すと常に “11” になります。〕		0: Disable 1: Enable TB4CP1H/L へのアップ カウンタ取り込み時 TB4CP0H/L へのアップ カウンタ取り込み時 アップカウンタと TB4RG1H/L との一致時 アップカウンタと TB4RG0H/L との一致時				00: Invert 01: Set 10: Clear 11: Don't care 〔読み出すと常に “11” になります。〕		

タイマフリップフロップ TB4FF0 の制御

00	TB4FF0 の値を反転します。
01	TB4FF0 を"1"にセットします。
10	TB4FF0 を"0"にセットします。
11	Don't care

アップカウンタと TB4RG0H/L との一致時における
タイマフリップフロップ TB4FF0 の反転制御

0	反転禁止
1	反転許可

アップカウンタと TB4RG1H/L との一致時における
タイマフリップフロップ TB4FF0 の反転制御

0	反転禁止
1	反転許可

TB4CP0H/L へアップカウンタ値をキャプチャした時における
タイマフリップフロップ TB4FF0 の反転制御

0	反転禁止
1	反転許可

TB4CP1H/L へアップカウンタ値をキャプチャした時における
タイマフリップフロップ TB4FF0 の反転制御

0	反転禁止
1	反転許可

タイマフリップフロップ TB4FF1 の制御

00	TB4FF1 の値を反転します。
01	TB4FF1 を"1"にセットします。
10	TB4FF1 を"0"にセットします。
11	Don't care

図 3.8.20 16 ビットタイマのレジスタ (14)

TMRB5 フリップフロップコントロールレジスタ

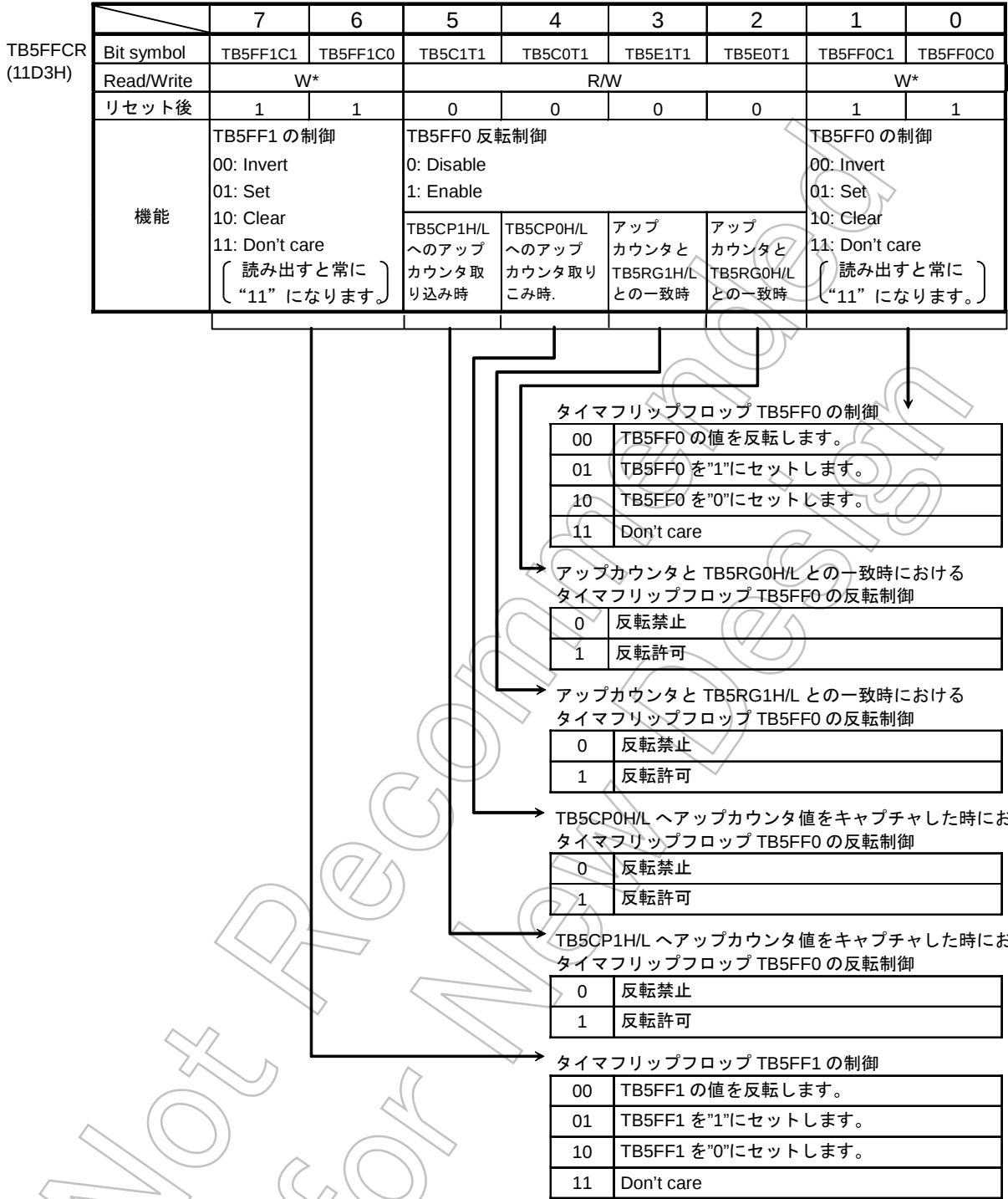


図 3.8.21 16 ビットタイマのレジスタ (15)

タイマレジスタ (TB0RG0H/L, TB0RG1H/L)

		7	6	5	4	3	2	1	0
TB0RG0L (1188H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG0H (1189H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1L (118AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1H (118BH)	bit Symbol	—							
	Read/Write	W							

リードモディファイライトはできません。

キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

		7	6	5	4	3	2	1	0
TB0CP0L (118CH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB0CP0H (118DH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB0CP1L (118EH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB0CP1H (118FH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							

図 3.8.22 16 ビットタイマのレジスタ (16)

タイマレジスタ (TB1RG0H/L, TB1RG1H/L)

		7	6	5	4	3	2	1	0
TB1RG0L (1198H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG0H (1199H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG1L (119AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG1H (119BH)	bit Symbol	—							
	Read/Write	W							

リードモディファイライトはできません。

キャプチャレジスタ (TB1CP0H/L, TB1CP1H/L)

		7	6	5	4	3	2	1	0
TB1CP0L (119CH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB1CP0H (119DH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB1CP1L (119EH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB1CP1H (119FH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							

図 3.8.23 16 ビットタイマのレジスタ (17)

タイマレジスタ (TB2RG0H/L, TB2RG1H/L)

		7	6	5	4	3	2	1	0
TB2RG0L (11A8H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB2RG0H (11A9H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB2RG1L (11AAH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB2RG1H (11ABH)	bit Symbol	—							
	Read/Write	W							

リードモディファイライトはできません。

キャプチャレジスタ (TB2CP0H/L, TB2CP1H/L)

		7	6	5	4	3	2	1	0
TB2CP0L (11ACH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB2CP0H (11ADH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB2CP1L (11AEH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB2CP1H (11AFH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							

図 3.8.24 16 ビットタイマのレジスタ (18)

タイマレジスタ (TB3RG0H/L, TB3RG1H/L)

		7	6	5	4	3	2	1	0
TB3RG0L (11B8H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB3RG0H (11B9H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB3RG1L (11BAH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB3RG1H (11BBH)	bit Symbol	—							
	Read/Write	W							

リードモディファイライトはできません。

キャプチャレジスタ (TB3CP0H/L, TB3CP1H/L)

		7	6	5	4	3	2	1	0
TB3CP0L (11BCH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB3CP0H (11BDH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB3CP1L (11BEH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB3CP1H (11BFH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							

図 3.8.25 16 ビットタイマのレジスタ (19)

タイマレジスタ (TB4RG0H/L, TB4RG1H/L)

		7	6	5	4	3	2	1	0
TB4RG0L (11C8H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB4RG0H (11C9H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB4RG1L (11CAH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB4RG1H (11CBH)	bit Symbol	—							
	Read/Write	W							

リードモディファイライトはできません。

キャプチャレジスタ (TB4CP0H/L, TB4CP1H/L)

		7	6	5	4	3	2	1	0
TB4CP0L (11CCH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB4CP0H (11CDH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB4CP1L (11CEH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB4CP1H (11CFH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							

図 3.8.26 16 ビットタイマのレジスタ (20)

タイマレジスタ (TB5RG0H/L, TB5RG1H/L)

		7	6	5	4	3	2	1	0
TB5RG0L (11D8H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB5RG0H (11D9H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB5RG1L (11DAH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB5RG1H (11DBH)	bit Symbol	—							
	Read/Write	W							

リードモディファイライトはできません。

キャプチャレジスタ (TB5CP0H/L, TB5CP1H/L)

		7	6	5	4	3	2	1	0
TB5CP0L (11DCH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB5CP0H (11DDH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB5CP1L (11DEH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							
TB5CP1H (11DFH)	bit Symbol	—							
	Read/Write	R							
	リセット後	不定							

図 3.8.27 16 ビットタイマのレジスタ (21)

3.8.4 モード別動作説明

(1) 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TB0RG1H/L にインタバル時間を設定し、INTTB01 割り込みを発生させます。

	7	6	5	4	3	2	1	0	
TB0RUN	← 0	0	X	X	—	0	X	0	TMRB0 を停止します。
INTETB0	← X	1	0	0	X	0	0	0	INTTB01 をイネーブル、レベル 4 に設定し、INTTB00 を禁止します。
TB0FFCR	← 1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	← 0	0	1	0	0	1	*	*	入カクロックをプリスケアラ出カクロックにし
							(** = 01, 10, 11)		キャプチャ機能をディセーブルにします。
TB0RG1H/L	← *	*	*	*	*	*	*	*	インタバル時間を設定します(16 ビット)。
		*	*	*	*	*	*	*	
TB0RUN	← 0	0	X	X	—	1	X	1	TMRB0 を起動します。

注) X = Don't care; “—” = No change

(2) 16 ビットイベントカウンタモード

入カクロックを外部クロック (TB0IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB0IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0	
TB0RUN	← 0	0	X	X	—	0	X	0	TMRB0 を停止します。
PKFC	← —	—	—	—	—	—	—	1	} PK0 を TB0IN0 入力モードに設定します。
PKFC2	← —	—	—	—	—	—	—	0	
INTETB0	← X	1	0	0	X	0	0	0	INTTB01 をイネーブル(レベル 4)に、INTTB00 をディセーブルにします。
TB0FFCR	← 1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	← 0	0	1	0	0	1	0	0	入カクロックを TB0IN0 端子入力にします。
TB0RG1H/L	← *	*	*	*	*	*	*	*	カウント数を設定します(16 ビット)。
		*	*	*	*	*	*	*	(16 ビット)
TB0RUN	← 0	0	X	X	—	1	X	1	TMRB0 を起動します。

注) X; Don't care —; No change

イベントカウンタとして使用する場合も、プリスケアラは“動作状態”にしてください (TB0RUN < TB0PRUN > = “1”)。

(3) 16 ビット PPG(プログラマブル矩形波)出力モード

任意周波数、任意デューティの矩形波(プログラマブル矩形波)を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ UC0 とタイマレジスタ TB0RG0H/L、TB0RG1H/L への設定値との一致により、タイマフリップフロップ TB0FF0 の反転トリガをかけることで、プログラマブル矩形波を TB0OUT0 端子より出力することができます。ただし、TB0RG0H/L と TB0RG1H/L の設定値は次の条件を満たす必要があります。

(TB0RG0H/L への設定値) < (TB0RG1H/L への設定値)

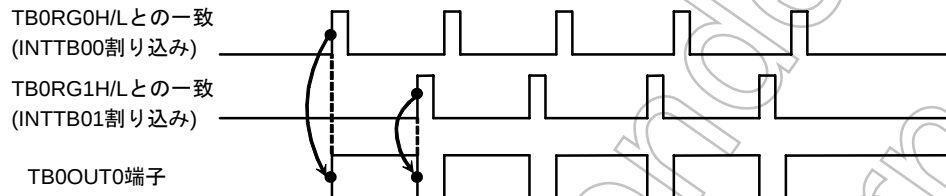


図 3.8.28 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TB0RG0H/L のダブルバッファをイネーブルにすることにより、TB0RG1H/L との一致でレジスタバッファ 0 の値が TB0RG0H/L へシフトインされます。これにより、小さいデューティ(デューティを変化させるとき)への対応が容易に行えます。

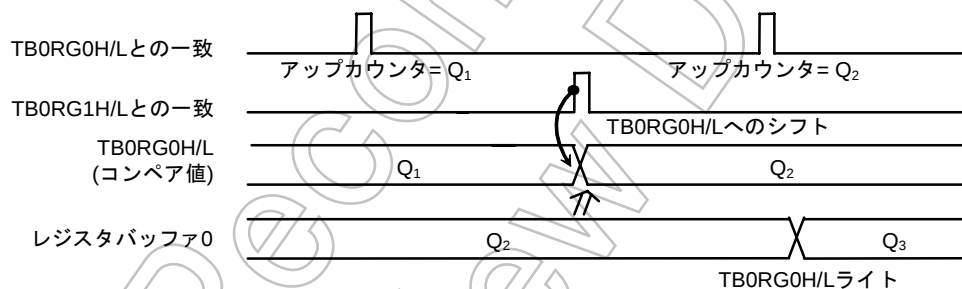


図 3.8.29 レジスタバッファの動作

このモードのブロック図を示します。

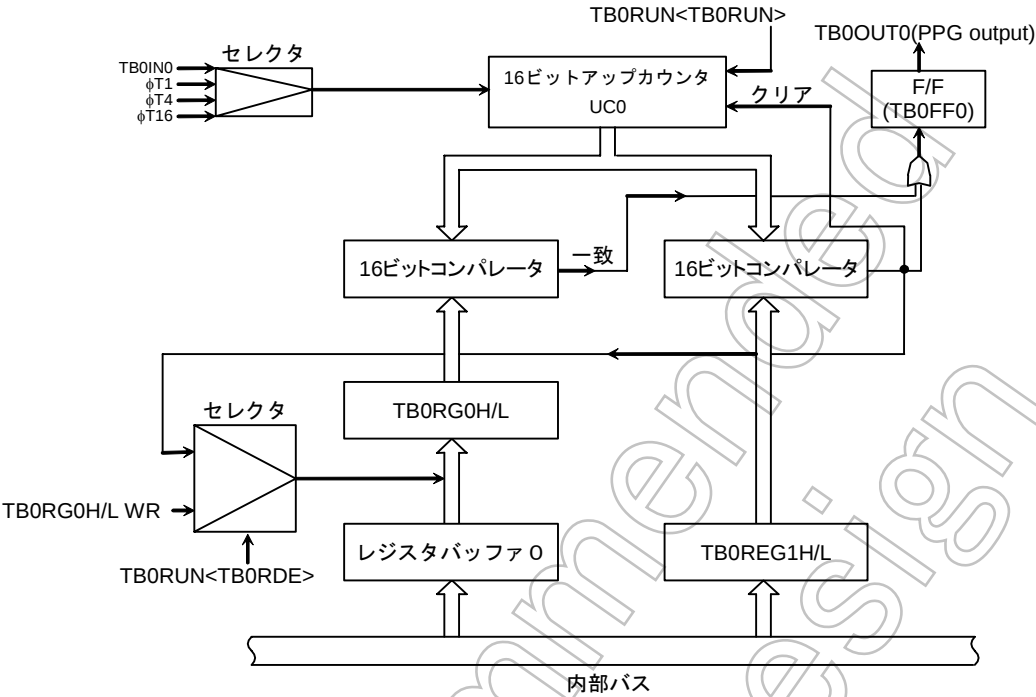


図 3.8.30 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。:

		7	6	5	4	3	2	1	0	
TB0RUN	←	0	0	X	X	-	0	X	0	TB0RG0H/L ダブルバッファをディセーブルにし、TMRB0 を停止します。
TB0RG0H/L	←	*	*	*	*	*	*	*	*	デューティを設定します(16 ビット)。
TB0RG1H/L	←	*	*	*	*	*	*	*	*	周波数を設定します(16 ビット)。
TB0RUN	←	1	0	X	X	-	0	X	0	TB0RG0H/L ダブルバッファをイネーブルにします。
TB0FFCR	←	X	X	0	0	1	1	1	0	(INTTB01 割り込みでデューティの変更)
TB0MOD	←	0	0	1	0	0	1	*	*	TB0FF0 を TB0RG0H/L、TB0RG1H/L との一致検出で反転するように設定します。また TB0FF0 の初期値を “0” にします。
										入力クロックをプリスケール出力クロックにし、
PJFC	←	-	-	-	-	-	-	-	1	キャプチャ機能をディセーブルにします。
PJCR	←	-	-	-	-	-	-	-	1	TB0OUT0 を PJ0 端子に割り付けます。
TB0RUN	←	1	0	X	X	-	1	X	1	TMRB0 を起動します。.

注) X = Don't care; “-” = No change

(4) キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

- ① 外部トリガパルスからのワンショットパルス出力
- ② 周波数測定
- ③ パルス幅測定
- ④ 時間差測定

① 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC0 をプリスケール出力クロックを用いてフリーランニングでカウントアップさせておきます。TB0IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ TB0CP0H/L に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT4 が発生します。この割り込みで、タイマレジスタ TB0RG0H/L には、TB0CP0H/L の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。タイマレジスタ TB0RG1H/L には、TB0RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。

さらに、タイマフリップフロップコントロールレジスタ TB0FFCR <TB0E1T1, TB0E0T1> に“11”を設定し、UC0 と TB0RG0H/L との一致、および、TB0RG1H/L との一致により、タイマフリップフロップ TB0FF0 が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB01 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、「図 3.8.31 外部トリガパルスからのワンショットパルス出力 (ディレイあり)」の c、d、p と対応しています。

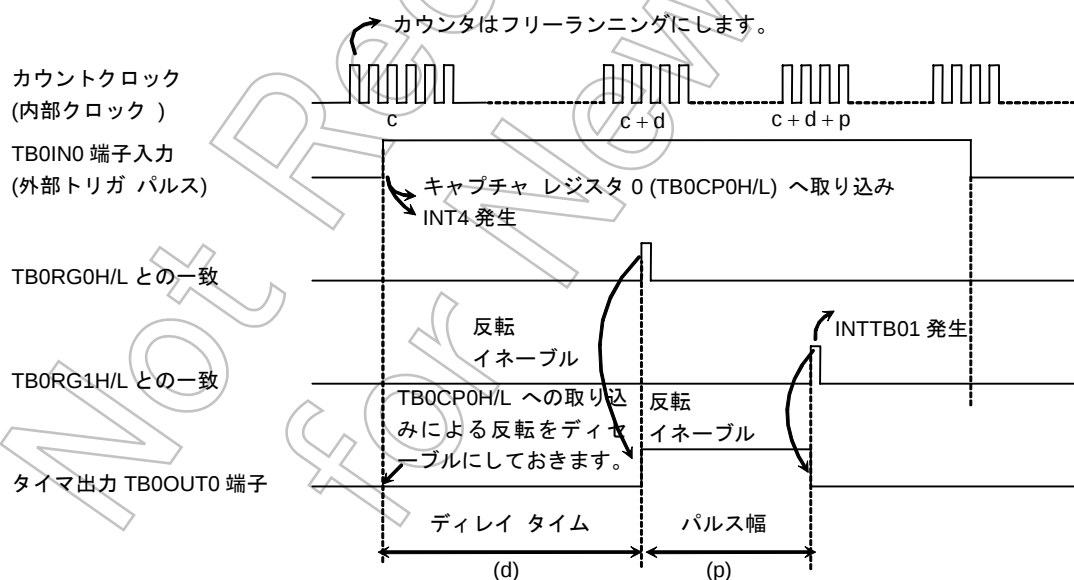


図3.8.31 ワンショットパルス出力 (ディレイあり)

設定例: TB0IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

※クロック条件

システムクロック : 高速 (fc)
高速クロックギア : 1 倍 (fc)

メインでの設定

TB0MOD	←	X	X	1	0	1	0	0	1	→	フリーランニングにします。 φT1 でカウントさせます。
TB0FFCR	←	X	X	0	0	0	0	1	0	→	TB0IN0 入力の立ち上がりで TB0CP0 へ取り込みます。
PJFC	←	-	-	-	-	-	-	-	1	→	TB0FF0 をゼロクリアします。
PJCR	←	-	-	-	-	-	-	-	1	→	TB0FF0 の反転をディセーブルにします。
INTE45	←	-	-	-	-	X	1	0	0	→	PJ0 端子を TB0OUT0 に割り付けます。
INTETB0	←	X	0	0	0	X	0	0	0	→	INT4 をイネーブルに、INTTB00、INTTB01 をディセーブルにします。
TB0RUN	←	-	0	X	X	-	1	X	1	→	TMRB0 を起動します。

INT4 での設定

TB0RG0H/L	←	TB0CP0H/L + 3ms/φT1									
TB0RG1H/L	←	TB0RG0H/L + 2ms/φT1									
TB0FFCR	←	X	X	-	-	1	1	-	-	→	TB0RG0, 1 との一致による TB0FF0 の反転をイネーブルにします。
INTETB0	←	X	1	0	0	X	-	-	-	→	INTTB01 をイネーブルにします。

INTTB01 での設定

TB0FFCR	←	X	X	-	-	0	0	-	-	→	TB0RG0, 1 との一致による TB0FF0 の反転をディセーブルにします。
INTETB0	←	X	0	0	0	X	-	-	-	→	INTTB01 をディセーブルにします。

(注) X; Don't care -; no change

ディレイが不要な場合、TB0CP0H/L への取り込みによって TB0FF0 を反転させ、割り込み INT4 で TB0CP0H/L の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TB0RG1H/L に設定します。TB0FF0 は、TB0RG1H/L と UC0 の一致によって反転するように、反転イネーブルを選択します。また、INTTB01 割り込みでこれをディセーブルに戻します。

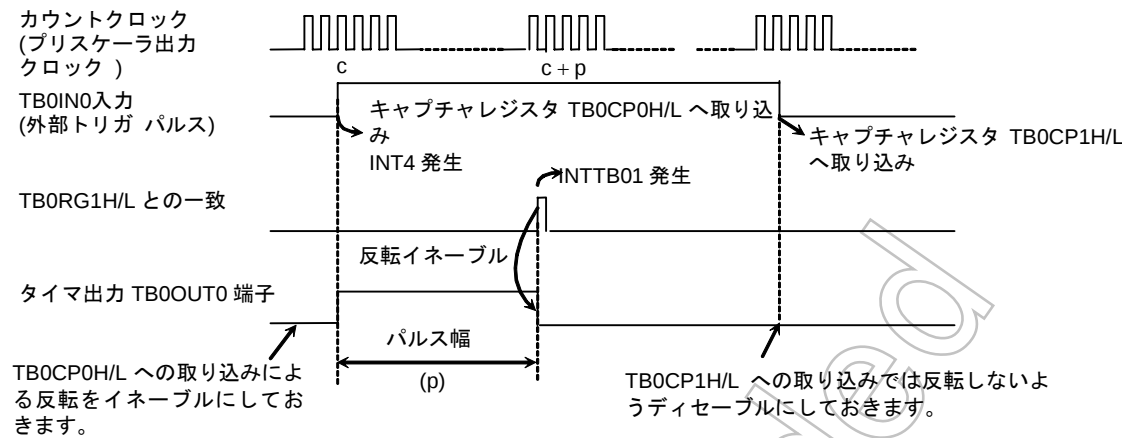


図3.8.32 外部トリガパルスのワンショットパルス出力(ディレイなし)

② 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと 8 ビットタイマ (TMRA01) を組み合わせて行います (TMRA01 は、TA1FF を反転させることで測定時間の設定に用います)。

TMRB0 のカウントクロックは TB0IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD <TB0CPM1:0> には “11” を設定します。この設定により、8 ビットタイマ (TMRA01) のタイマフリップフロップ TA1FF の立ち上がりで、キャプチャレジスタ TB0CP0H/L に 16 ビットアップカウンタ UC0 のカウンタ値を取り込み、8 ビットタイマ (TMRA01) の TA1FF の立ち下がりで、キャプチャレジスタ TB0CP1H/L に UC0 のカウンタ値の取り込みを行います。

周波数は、8 ビットタイマの割り込み INTTA0、または、INTTA1 で測定時間を基準にして TB0CP0H/L、TB0CP1H/L の差より求めます。

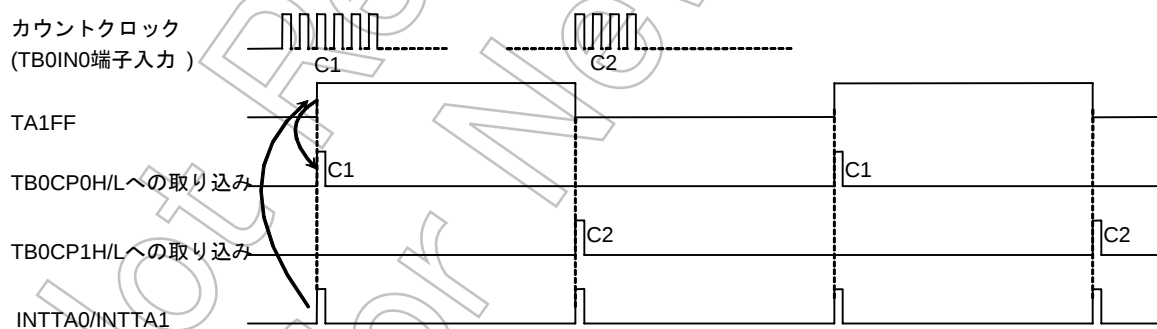


図3.8.33 周波数測定

例えば、8 ビットタイマによる TA1FF の “1” レベル幅の設定値が 0.5 s で、TB0CP0H/L と TB0CP1H/L の差が 100 であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

③ パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB0IN0 端子より外部パルスを入力し、アップカウンタ UC0 をプリスケアラ出力クロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり / 立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ TB0CP0H/L, TB0CP1H/L に取り込みます。TB0IN0 端子の立ち下がりにより、INT4 が発生します。

“H”レベルパルス幅は、TB0CP0H/L と TB0CP1H/L の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TB0CP0H/L と TB0CP1H/L の差が 100 で、プリスケアラ出力クロックの周期が $0.8\mu\text{s}$ であれば、パルス幅は、 $100 \times 0.8\mu\text{s} = 80\mu\text{s}$ となります。

なお、クロックソースにより定まる UC0 の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

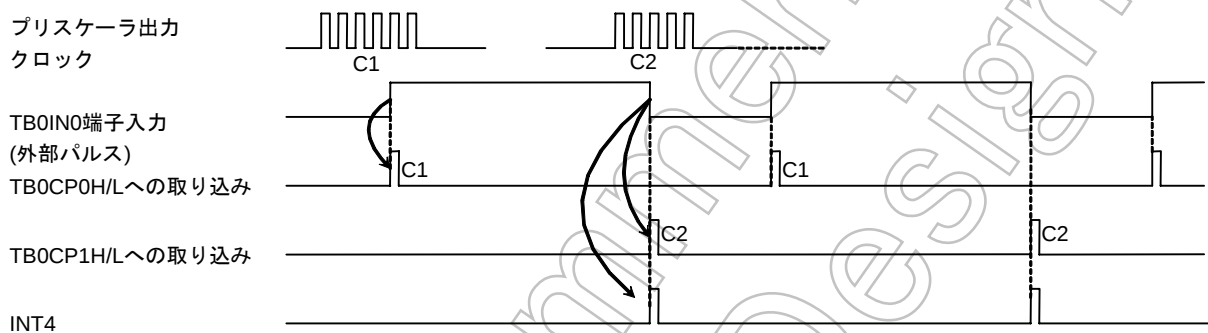


図3.8.34 パルス幅測定

(注) パルス幅測定は、TB0MOD <TB0CPM1:0>に“10”を設定することで行います。外部割り込み INT4 は、TB0IN0 入力の立ち下がりエッジで発生します。その他の設定では、INT4 は TB0IN0 入力の立ち上がりエッジで発生します。

また、外部パルスの“L”レベル幅を測定することもできます。この場合、「図 3.8.35 時間差測定」における、2 回目の INT4 割り込み処理により、1 回目の C1 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

④ 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ UC0 をフリーランニングでカウントアップさせておきます。TB0IN0 端子の入力パルスの立ち上がりエッジで、UC0 の値をキャプチャレジスタ TB0CP0H/L に取り込みます。このとき、割り込み INT4 が発生します。

TB0IN1 端子の入力パルスの立ち上がりエッジで、UC0 の値をキャプチャレジスタ TB0CP1H/L に取り込みます。このとき、割り込み INT5 が発生します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB0CP1H/L から TB0CP0H/L を引いた値に、内部クロックの周期をかけて求めることができます。

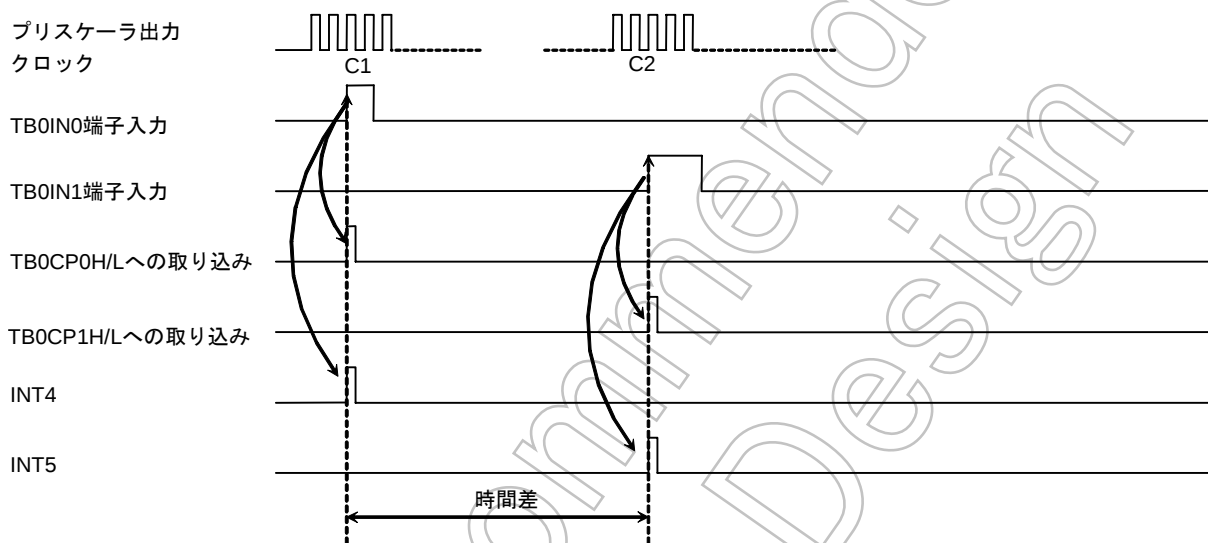


図 3.8.35 時間差測定

3.9 パターンジェネレータ/ステッピングモータコントロール (PG)

タイマ (8 ビット/16 ビット) と連動するパターンジェネレータ/ステッピングモータコントロールポート (以下 PG) を 4 ビット 2 チャンネル (PG0, PG1) 内蔵しています。この PG は、8 ビットの入出力ポート PL と兼用です。

2 つのチャンネルのうちチャンネル 0 (PG0) は、8 ビットタイマ 0, 1 (TMRA01) または 16 ビットタイマ 0 (TMRB0) と連動し、チャンネル 1 (PG1) は 8 ビットタイマ 2, 3 (TMRA23) または 16 ビットタイマ 1 (TMRB1) と連動して出力を変更します。図 3.9.1 にブロック図を示します。

PG は、コントロールレジスタ PG01CR によって制御され、パターンジェネレーションモード、ステッピングモータコントロールモードを選択することができます。

また、PG 出力はポート L と兼用しており、ポート L の任意のビットを PG 出力とすることができます。

チャンネル 0 (PG0) とチャンネル 1 (PG1) はそれぞれ独立に動作します。

下記の点を除いて、いずれのチャンネルも同一の動作をしますので、チャンネル 0 (PG0) の場合についてのみ説明します。

PG0, 1 相違点

	PG0	PG1
タイマのトリガ信号	8 ビットタイマ 0,1 (TMRA01) または 16 ビットタイマ 0 (TMRB0) より	8 ビットタイマ 2,3 (TMRA23) または 16 ビットタイマ 1 (TMRB1) より

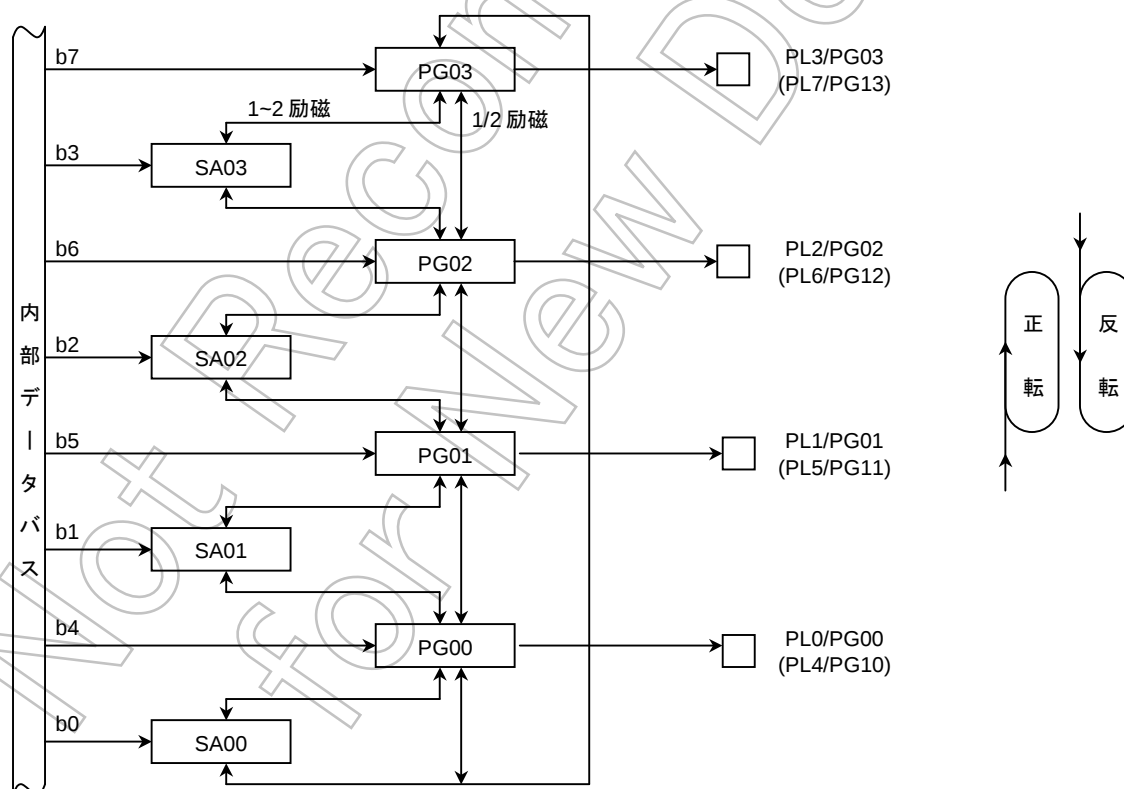


図3.9.1 パターンジェネレータ/ステッピングモータコントロールブロック図

PG01CR
(1462H)

	7	6	5	4	3	2	1	0
Bit symbol	PAT1	CCW1	PG1M	PG1TE	PAT0	CCW0	PG0M	PG0TE
Read/Write	R/W				R/W			
リセット後	0	0	0	0	0	0	0	0
機能	PG1 書き込みモード 0: 8 ビット書き込み 1: 4 ビット書き込み	PG1 回転方向 0: 正転 1: 反転	PG1 モード (励磁) 0: 1 励磁 または 2 励磁 1: 1~2 励磁	PG1 トリガ 入力許可 0: 禁止 1: 許可	PG0 書き込みモード 0: 8 ビット書き込み 1: 4 ビット書き込み	PG0 回転方向 0: 正転 1: 反転	PG0 モード (励磁) 0: 1 励磁 または 2 励磁 1: 1~2 励磁	PG0 トリガ 入力許可 0: 禁止 1: 許可

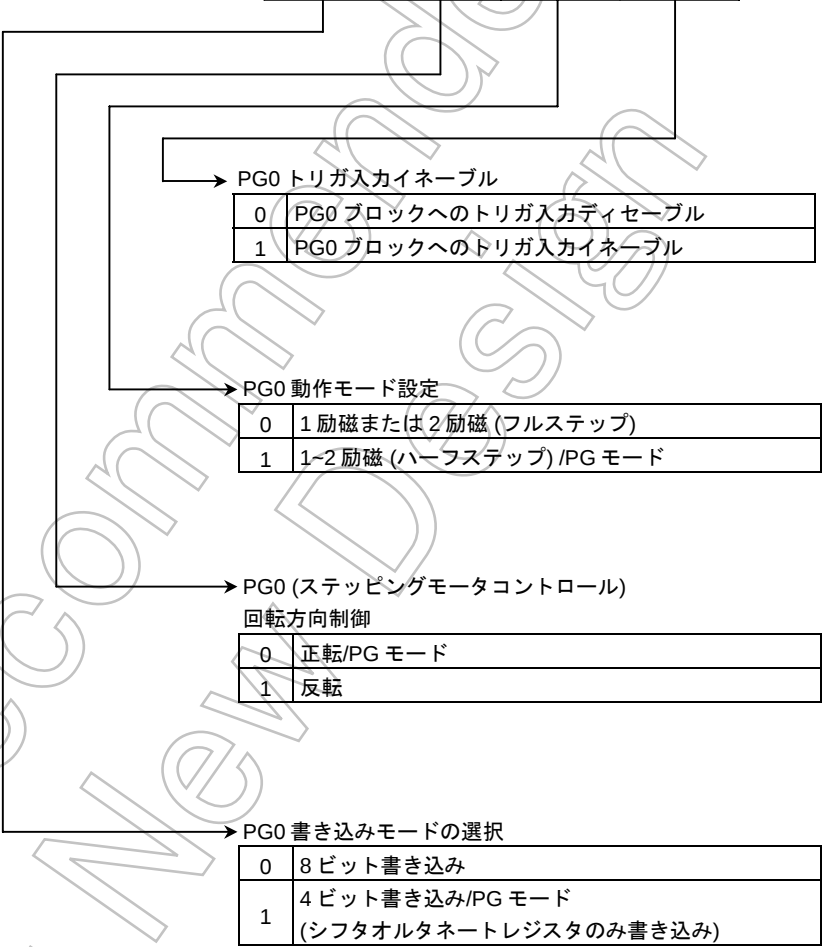


図 3.9.2 パターンジェネレータコントロールレジスタ (PG01CR) (1/2)

PG01CR
(1462H)

	7	6	5	4	3	2	1	0
Bit symbol	PAT1	CCW1	PG1M	PG1TE	PAT0	CCW0	PG0M	PG0TE
Read/Write	R/W				R/W			
リセット後	0	0	0	0	0	0	0	0
機能	PG1書き込みモード 0: 8ビット書き込み 1: 4ビット書き込み	PG1回転方向 0: 正転 1: 反転	PG1モード(励磁) 0: 1励磁または2励磁 1: 1~2励磁	PG1トリガ入力許可 0: 禁止 1: 許可	PG0書き込みモード 0: 8ビット書き込み 1: 4ビット書き込み	PG0回転方向 0: 正転 1: 反転	PG0モード(励磁) 0: 1励磁または2励磁 1: 1~2励磁	PG0トリガ入力許可 0: 禁止 1: 許可

→ PG1トリガ入力カインーブル

0	PG1ブロックへのトリガ入力カディセーブル
1	PG1ブロックへのトリガ入力カインーブル

→ PG1動作モード設定

0	1励磁または2励磁(フルステップ)
1	1~2励磁(ハーフステップ)/PGモード

→ PG1(ステッピングモータコントロール)
回転方向制御

0	正転/PGモード
1	反転

→ PG1書き込みモードの選択

0	8ビット書き込み
1	4ビット書き込み / PGモード (シフトオルタネートレジスタのみ書き込み)

図 3.9.3 パターンジェネレータコントロールレジスタ (PG01CR) (2/2)

	7	6	5	4	3	2	1	0
PG0REG (1460H)	PG03	PG02	PG01	PG00	SA03	SA02	SA01	SA00
Read/Write	W				R/W			
リセット後	0	0	0	0	不 定			
機 能	パターンジェネレータ 0 (PG0) 出力 ラッチレジスタ (PG 出力に設定されたポート (PL)) を読むことにより、リード可能				シフタオルタネートレジスタ 0 PG モード (4 ビットライト) 対応レジスタ			

リード
モディファイ
ライト
できません。

図 3.9.4 パターンジェネレータ 0 レジスタ (PG0REG)

	7	6	5	4	3	2	1	0
PG1REG (1461H)	PG13	PG12	PG11	PG10	SA13	SA12	SA11	SA10
Read/Write	W				R/W			
リセット後	0	0	0	0	不 定			
機 能	パターンジェネレータ 1 (PG1) 出力 ラッチレジスタ (PG 出力に設定されたポート (PL)) を読むことにより、リード可能				シフタオルタネートレジスタ 1 PG モード (4 ビットライト) 対応レジスタ			

リード
モディファイ
ライト
できません。

図 3.9.5 パターンジェネレータ 1 レジスタ (PG1REG)

PG01CR2
(1464H)

	7	6	5	4	3	2	1	0
Bit symbol							PG1T	PG0T
Read/Write							R/W	
リセット後							0	0
機能							PG1 シフト トリガ 0: 8 ビットタ イマトリガ (TMRA23) 1: 16 ビットタ イマトリガ (TMRB1)	PG0 シフト トリガ 0: 8 ビットタ イマトリガ (TMRA01) 1: 16 ビットタ イマトリガ (TMRB0)



図 3.9.6 パターンジェネレータコントロールレジスタ 2 (PG01CR2)

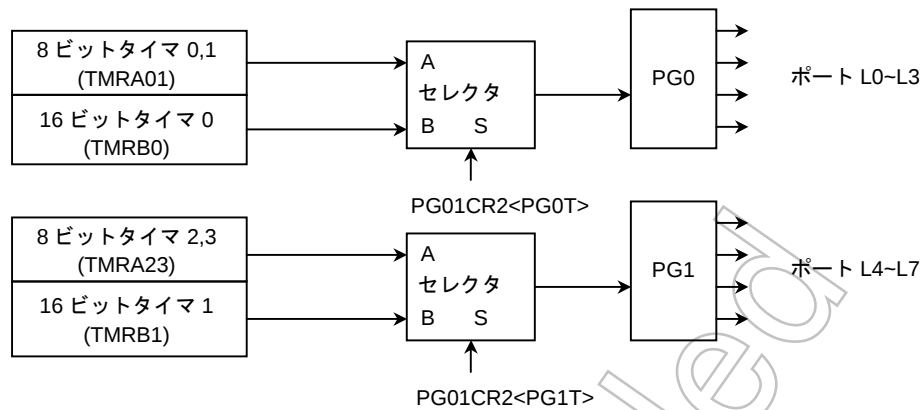


図 3.9.7 タイマとパタージェネレータの接続関係

(1) パタージェネレーションモード

PG は、PG01CR の<PAT0> = “1” 設定により、パタージェネレータとして機能します。このモードでは、CPU からの書き込みがシフトオルタネートレジスタのみにしか行われないため、シフトトリガ用タイマの割り込み処理の中で PG への書き込みを行い、タイマと連動し、リアルタイムでパターンを出力することができます。

なお、このモードでは PG01CR<PG0M>は “1” に、PG01CR<CCW0>は “0” に、PG01CR<PG0TE>は “1” に設定してください。

また、この PG の出力はポート L へ出力されますが、ポート L ファンクションレジスタ (PLFC)、およびポート L ファンクションレジスタ 2 (PLFC2) によるビット単位のポート/ファンクション切り替えが可能のため、任意のポート端子を PG 出力に割り付けることができます。

図 3.9.9にこのモードのブロック図を示します。

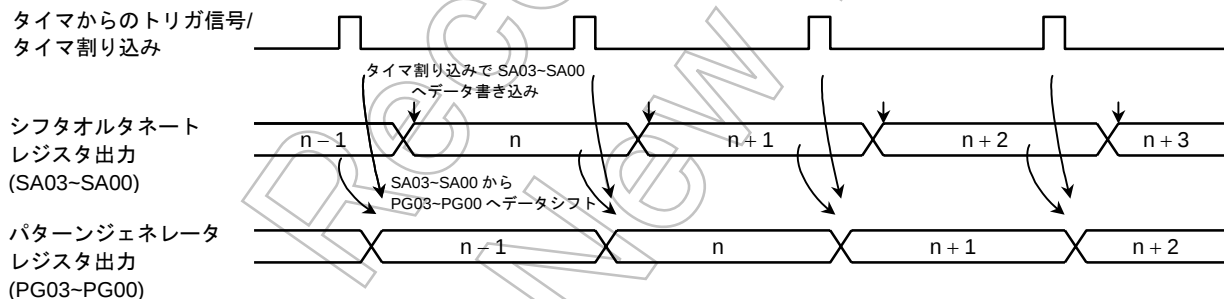


図 3.9.8 パタージェネレーションモードタイミング例

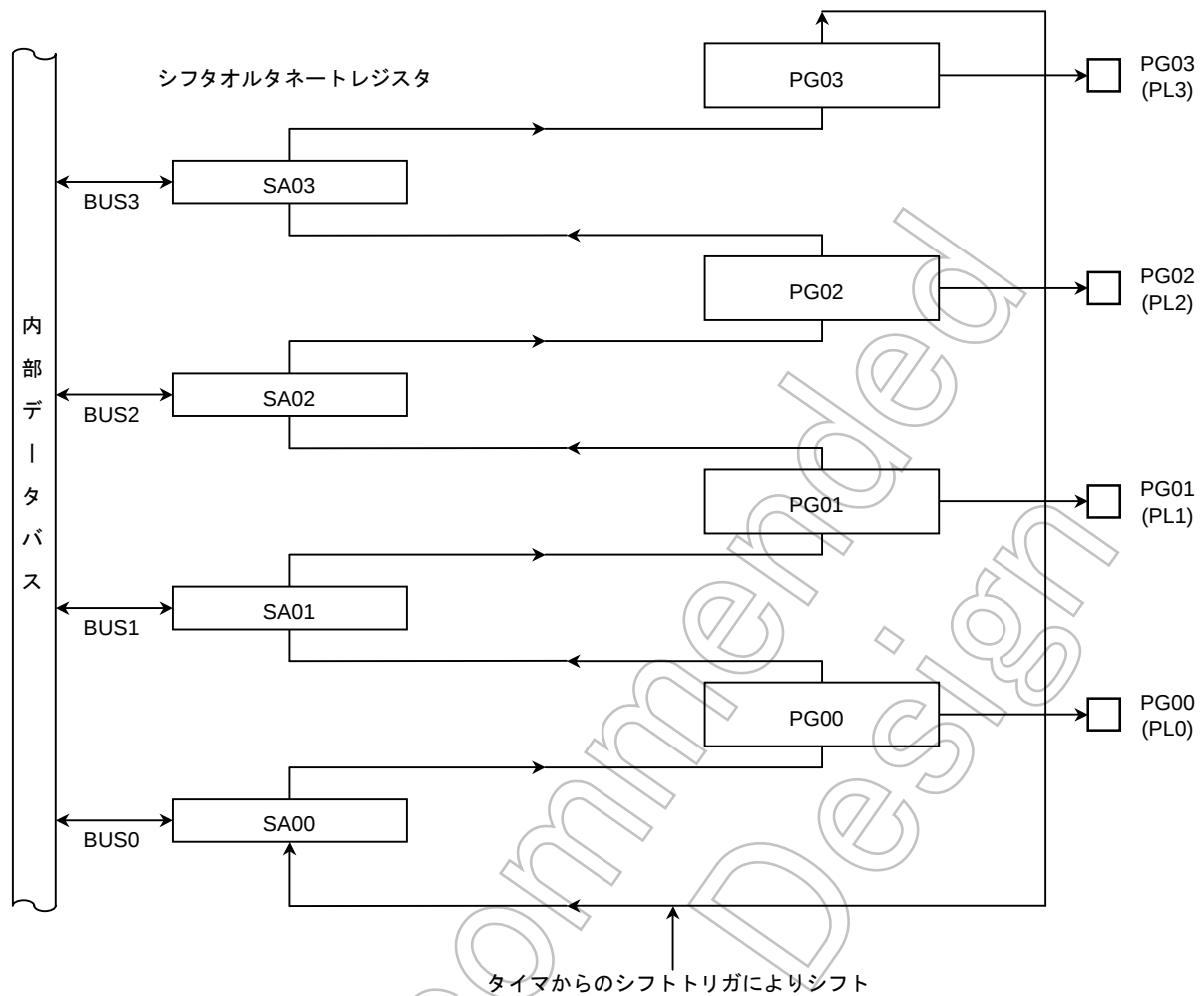


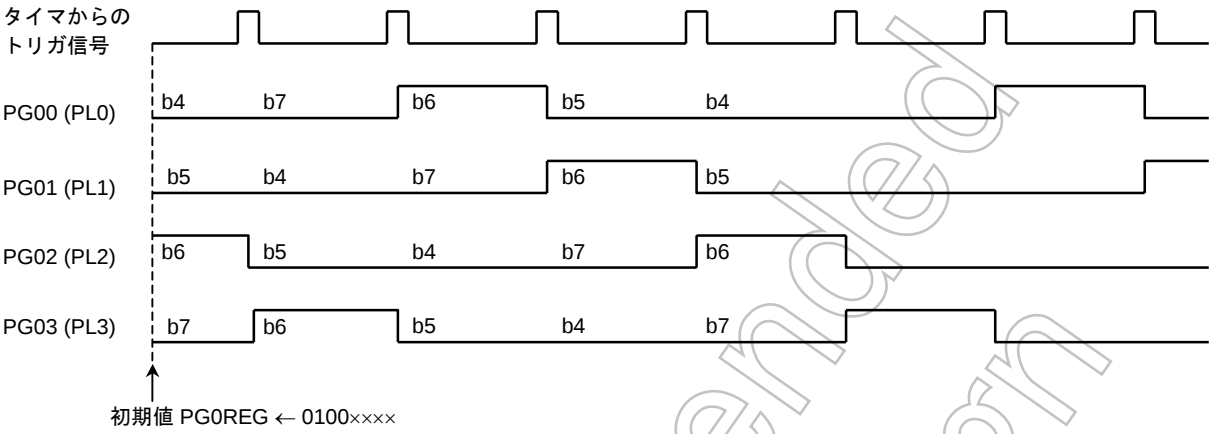
図 3.9.9 パターンジェネレーションモードのブロック図 (PG0)

このパターンジェネレーションモードでは、ハード的に出力ラッチへの書き込みを禁止しているだけで、その他はステッピングモータコントロールモードの 1~2 励磁と同じ動作を行います。従って、タイマからのトリガ信号でシフトした後のデータ書き込みは、必ず次のトリガ信号が発生するまでに行う必要があります。

(2) ステッピングモータコントロールモード

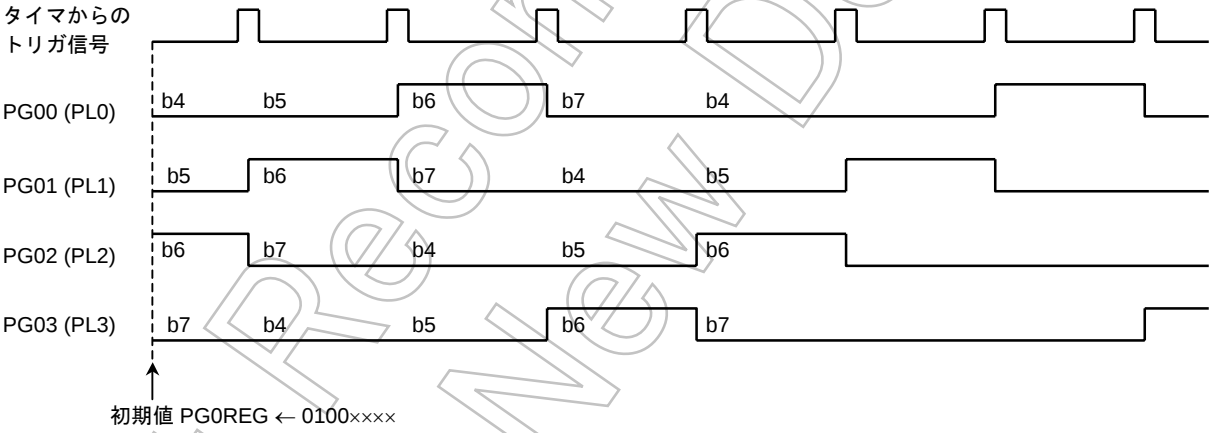
a. 4相1励磁/2励磁

図 3.9.10, 図 3.9.11にチャンネル 0 (PG0) の場合の 4 相 1 励磁、4 相 2 励磁の出力波形を示します。



注) bn は初期値 PG0REG ← b7 b6 b5 b4 × × × × を表します。

(1) 正転



(2) 反転

図 3.9.10 4 相 1 励磁の出力波形 (正転/反転)

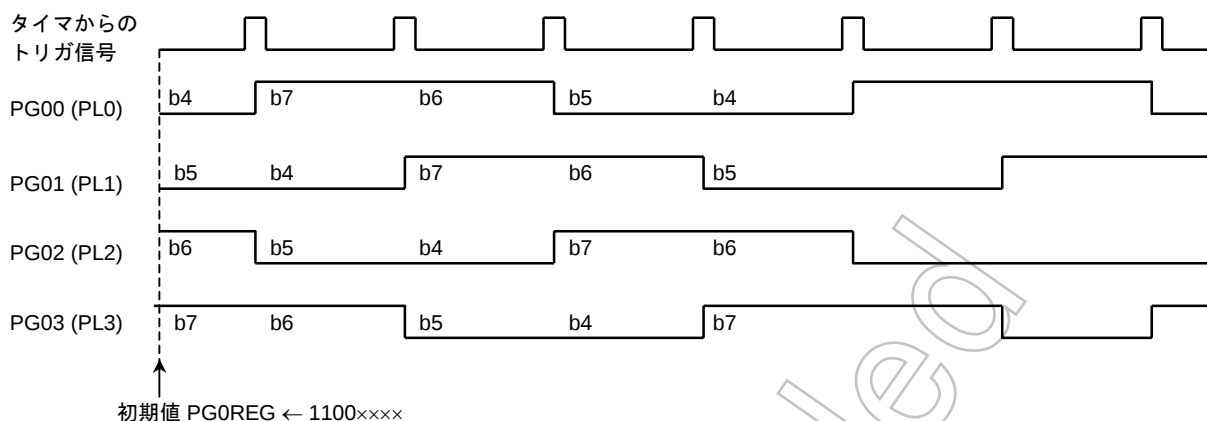


図 3.9.11 4相2励磁の出力波形 (正転)

PG0 (PL と兼用) の出力ラッチが、タイマからのトリガ信号の立ち上がりでシフトし、ポートに出力されます。

シフトの方向は、PG01CR<CCW0>で設定します。CCW0 を“0”にすると正転 (PG00→PG01→PG02→PG03) となり、“1”にすると反転 (PG00←PG01←PG02←PG03) となります。PG への初期設定の際、1 ビットだけ“1”を設定すると4相1励磁となり、また連続する2ビットに“1”を設定すると4相2励磁となります。4相1励磁/2励磁の波形出力のときにはシフトオルタネートレジスタは無視されます。

図 3.9.12 にブロック図を示します。

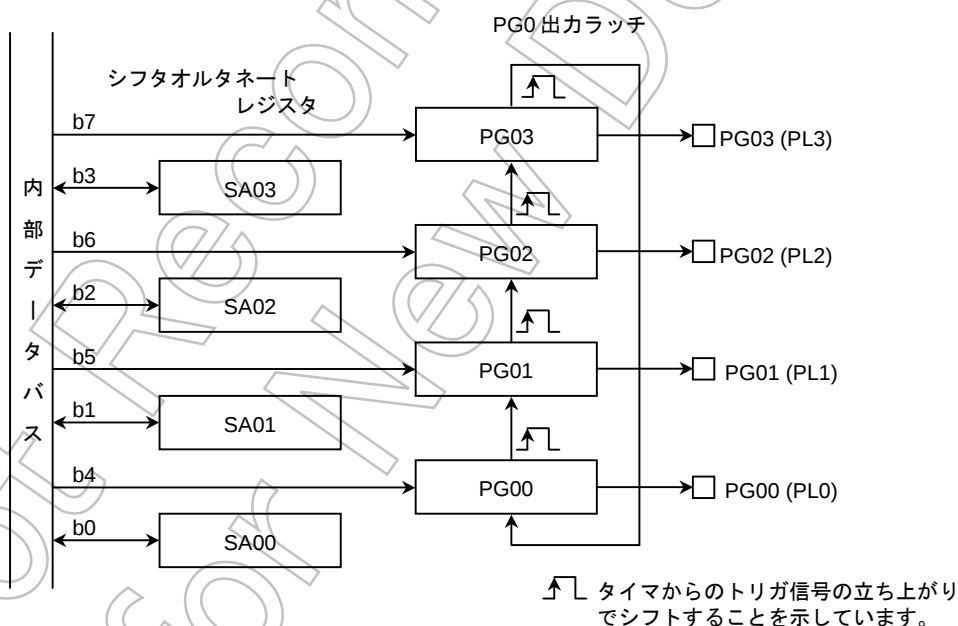
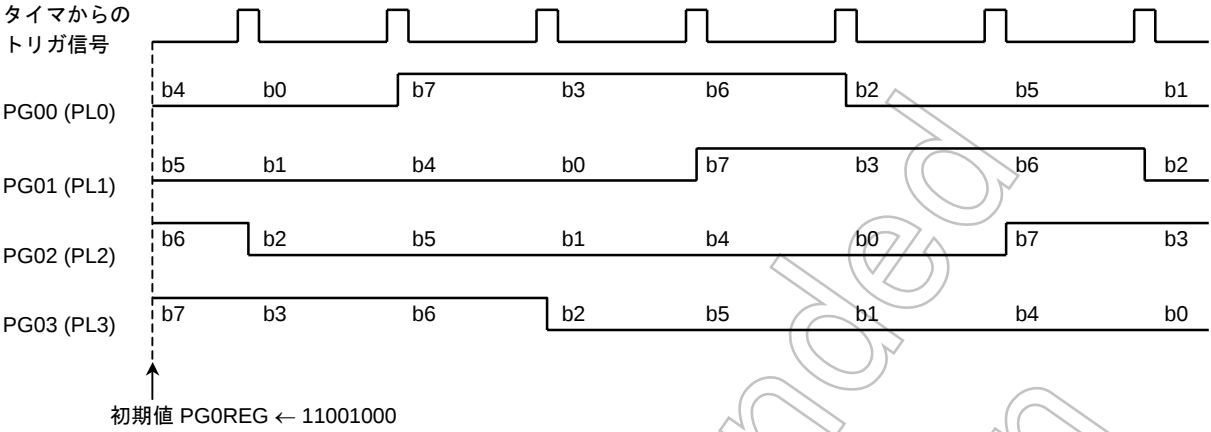


図 3.9.12 4相1励磁/2励磁 (正転) のブロック図

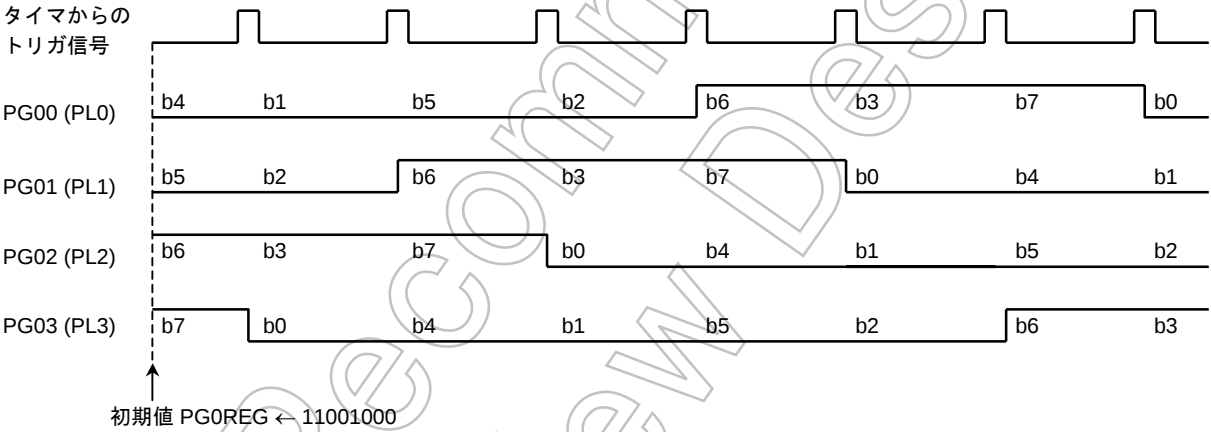
b. 4 相 1~2 励磁

図 3.9.12に 4 相 1~2 励磁の出力波形を示します。



注) b_n は初期値 PG0REG ← b7 b6 b5 b4 b3 b2 b1 b0 を表します。

(1) 正転



(2) 反転

図 3.9.12 4 相 1~2 励磁の出力波形 (正転/反転)

4 相 1~2 励磁の初期値の設定は次のとおりです。

初期値 b7 b6 b5 b4 b3 b2 b1 b0 を b7 b3 b6 b2 b5 b1 b4 b0

と並べたとき連続する 3 ビットを“1”にし、ほかのビットを“0”にします (正論理)。例えば b7, b3, b6 を“1”にすると初期値は 11001000 となり、図 3.9.12 のような出力波形が得られます。

負論理の出力波形を得たい場合は、初期値の“1”、“0”を反転した値を設定します。例えば図 3.9.12 の出力波形を負論理にする場合は、初期値を 00110111 にします。

PG0 (PL と兼用) の出力ラッチとパターンジェネレータ用のシフトオルタネートレジスタ (SA0) が、タイマからのトリガ信号の立ち上がりでシフトし、ポートへ出力されます。シフトの方向は、PG01CR<CCW0>で設定します。

図 3.9.13 にブロック図を示します。

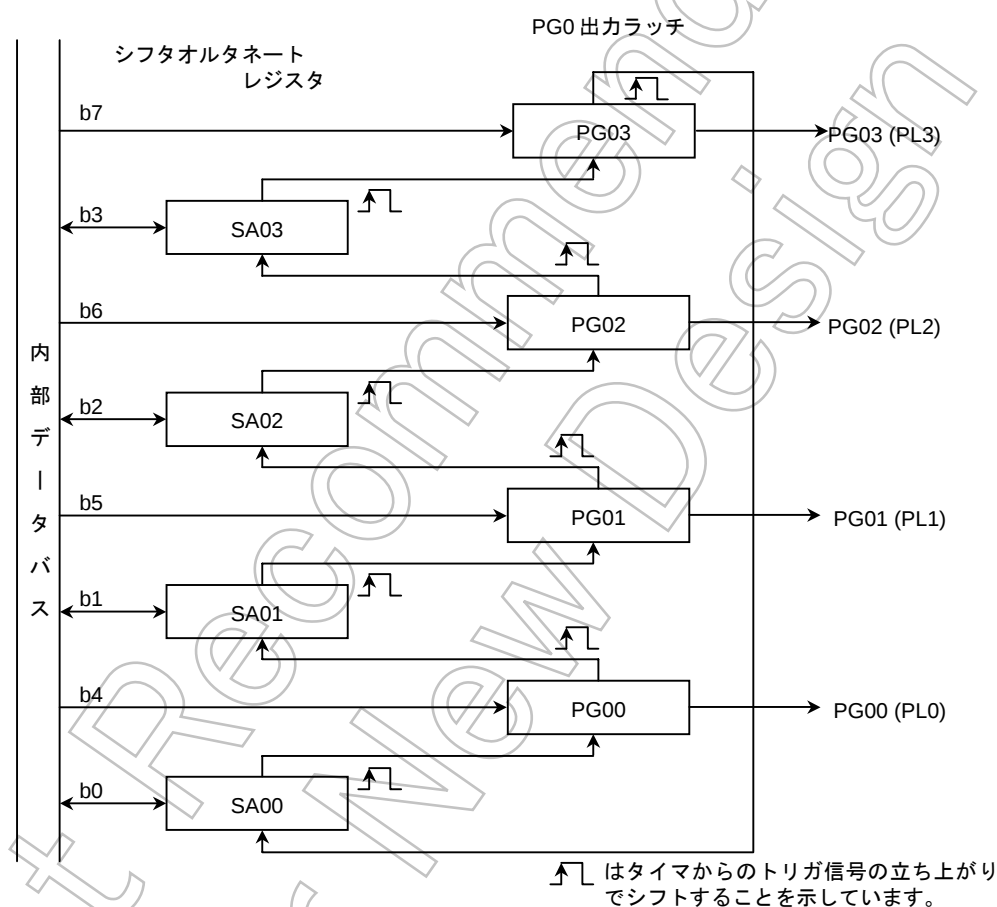


図 3.9.13 4 相 1~2 励磁 (正転) のブロック図

例: チャンネル 0 (PG0) を TMRA0 で 4 相 1~2 励磁 (正転) 駆動する場合、次のように各レジスタを設定します。

```

      7 6 5 4 3 2 1 0
TA01RUN ← 0 X X X - 0 0 0
TA01MOD ← 0 0 0 0 - - 0 1

TA1FFCR ← X X X X 1 0 1 0

TA0REG  ← * * * * * * * *
PLCR     ← - - - - 1 1 1 1
PLFC     ← - - - - 1 1 1 1
PLFC2    ← - - - - 0 0 0 0
PG01CR   ← - - - - 0 0 1 1
PG0REG   ← 1 1 0 0 1 0 0 0
TA01RUN  ← 0 X X X - 1 - 1

```

TMRA0 を停止し、0 にクリアします。

8 ビットタイマモード、入力クロック $\phi T1$ にします。

TA1FF をクリアし、タイマ 0 による反転トリガをイネーブル。

タイマレジスタに周期を設定します。

PL0~PL3 を PG0 端子に設定します。

PG0 を 4 相 1~2 励磁、正転に設定します。

初期値を設定します。

タイマ 0 を起動します。

X: Don't care、-: No change

(3) タイマからのトリガ信号

PG で使用するタイマからのトリガ信号は、タイマフリップフロップ (TA1FF, TA3FF, TB0FF0, TB0FF1, TB1FF0, TB1FF1) の反転トリガ信号とは一部異なります。図 3.9.1 に 8 ビットタイマの各動作モードによる、トリガ信号発生タイミングの違いを示します。

表 3.9.1 トリガ信号の選択

	TA1FF の反転	PG のシフト
8 ビット タイマモード	アップカウンタと TA0REG または TA1REG の一致時 TA1FFCR<TA1FFIS> で選択	左記と同じタイミング
16 ビット タイマモード	アップカウンタと TA0REG, TA1REG 両方の 一致時 (アップカウンタ値 = TA1REG $\times 2^8$ + TA0REG)	左記と同じタイミング
PPG 出力モード	アップカウンタと TA0REG, TA1REG それぞれの一致時	アップカウンタと TA1REG の一致時 (PPG 周期)
PWM 出力モード	アップカウンタと TA0REG の一致時と、 PWM 周期	PG シフト用のトリガ信号 は発生しません。

注) PG をシフトさせる場合も TA1FFCR<TA1FFIE> = "1" にして、TA1FF は反転イネーブルにしておく必要があります。

PG は、16 ビットタイマ TMRB0/TMRB1 と連動することができますが、この場合 16 ビットタイマからの PG シフトトリガ信号は、アップカウンタ UC0/UC1 と TB0RG1H/L/TB1RG1H/L の一致時のみ発生します。

(4) PG とタイマ出力の応用

「タイマからのトリガ信号」の項で述べましたが、PG のシフトと TFF の反転するタイミングは、タイマのモードで異なります。ここでは 8 ビットタイマを PPG 出力モードで動作させながら PG を動作させる場合の応用例を説明します。

ステッピングモータを駆動する場合、各相の値 (PG の出力) と合わせて、励磁の切り替わるタイミングで同期信号を必要とすることがよくあります。本応用ではこの点に着目し、ポート L をステッピングモータコントロールポートとして使用し、TA1OUT (PF1 と兼用) へ同期クロックを出力します。

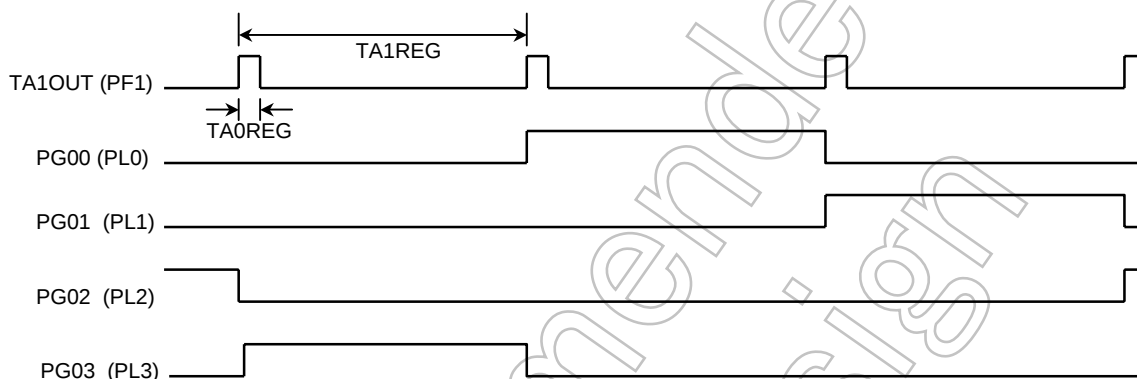


図 3.9.14 4 相 1 励磁の出力波形

設定例:

	7	6	5	4	3	2	1	0
TA01RUN ←	0	X	X	X	-	0	0	0
TA01MOD ←	1	0	X	X	X	X	0	1
TA1FFCR ←	X	X	X	X	0	1	1	X
TA0REG ←	*	*	*	*	*	*	*	*
TA1REG ←	*	*	*	*	*	*	*	*
PFCR ←	X	-	-	-	-	-	1	-
PFFC ←	X	-	-	-	-	-	1	-
PLCR ←	-	-	-	-	1	1	1	1
PLFC ←	-	-	-	-	1	1	1	1
PLFC2 ←	-	-	-	-	0	0	0	0
PG01CR ←	-	-	-	-	0	0	0	1
PG0REG ←	*	*	*	*	*	*	*	*
TA01RUN ←	0	X	X	X	-	1	1	1

X: Don't care, -: No change

TMRA0, 1 を停止し 0 にクリアします。

TMRA0, 1 を PPG モード、入力クロックを $\phi T1$ にします。

TA1FF の反転イネーブルを "1" にセットします。

TA1OUT のデューティをセットします。

TA1OUT の周期をセットします。

PF1 を TA1OUT 端子に設定します。

PL0~PL3 を PG0 端子に設定します。

PG0 を 4 相 1 励磁に設定します。

初期値を設定します。

TMRA0, 1 を起動します。

3.10 シリアル チャネル (SIO)

TMP92CM27 はシリアル入出力を 4 チャンネル内蔵しています。それぞれ SIO0、SIO1、SIO2、SIO3 と呼びます。各チャンネルは、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。

- I/O インタフェース モード ——— モード0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
- 非同期通信 (UART) モード ———
 - モード1: 送受信データ長7ビット
 - モード2: 送受信データ長8ビット
 - モード3: 送受信データ長9ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

図 3.10.3～図 3.10.5 に、各チャンネルのブロック図を示します。

各チャンネルは主に、プリスケアラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

各チャンネルは、それぞれ独立に動作します。いずれのチャンネルも、下記に示す表 3.10.1 の仕様相違点を除いて同一の動作をしますので、SIO0 の場合についてのみ説明します。

表 3.10.1 SIO のチャンネル別仕様相違点

	SIO0	SIO1	SIO2	SIO3
端子名称	TXD0 (PA1) RXD0 (PA0) CTS0, SCLK0 (PA2)	TXD1 (PA4) RXD1 (PA3) CTS1, SCLK1 (PA5)	TXD2 (PD4) RXD2 (PD3) CTS2, SCLK2 (PD5)	TXD3 (PL1) RXD3 (PL0) CTS3, SCLK3 (PL2)
IrDA モード	あり	なし	なし	なし

本章は、下記のような構成になっています。

3.10.1 チャンネル別のブロック図

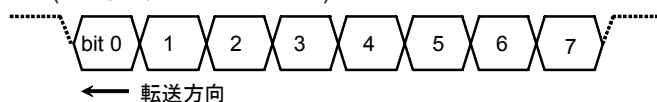
3.10.2 回路別の動作説明

3.10.3 SFR 説明

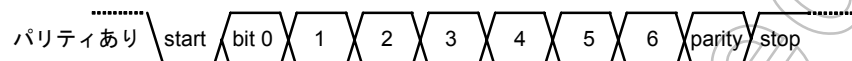
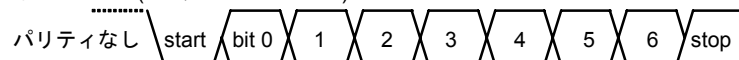
3.10.4 モード別動作説明

3.10.5 IrDA のサポート

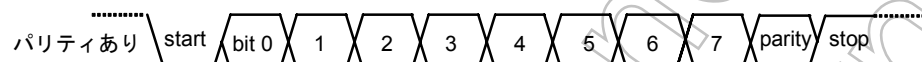
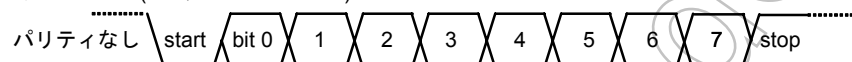
● モード0 (I/Oインタフェース モード)



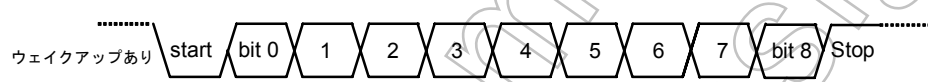
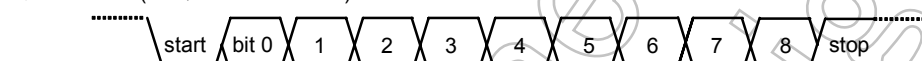
● モード1 (7ビットUARTモード)



● モード2 (8ビットUARTモード)



● モード3 (9ビットUARTモード)



bit 8=1ならアドレス (セレクト コード)
bit 8=0ならデータ

図 3.10.1 データフォーマット

3.10.1 チャンネル別のブロック図

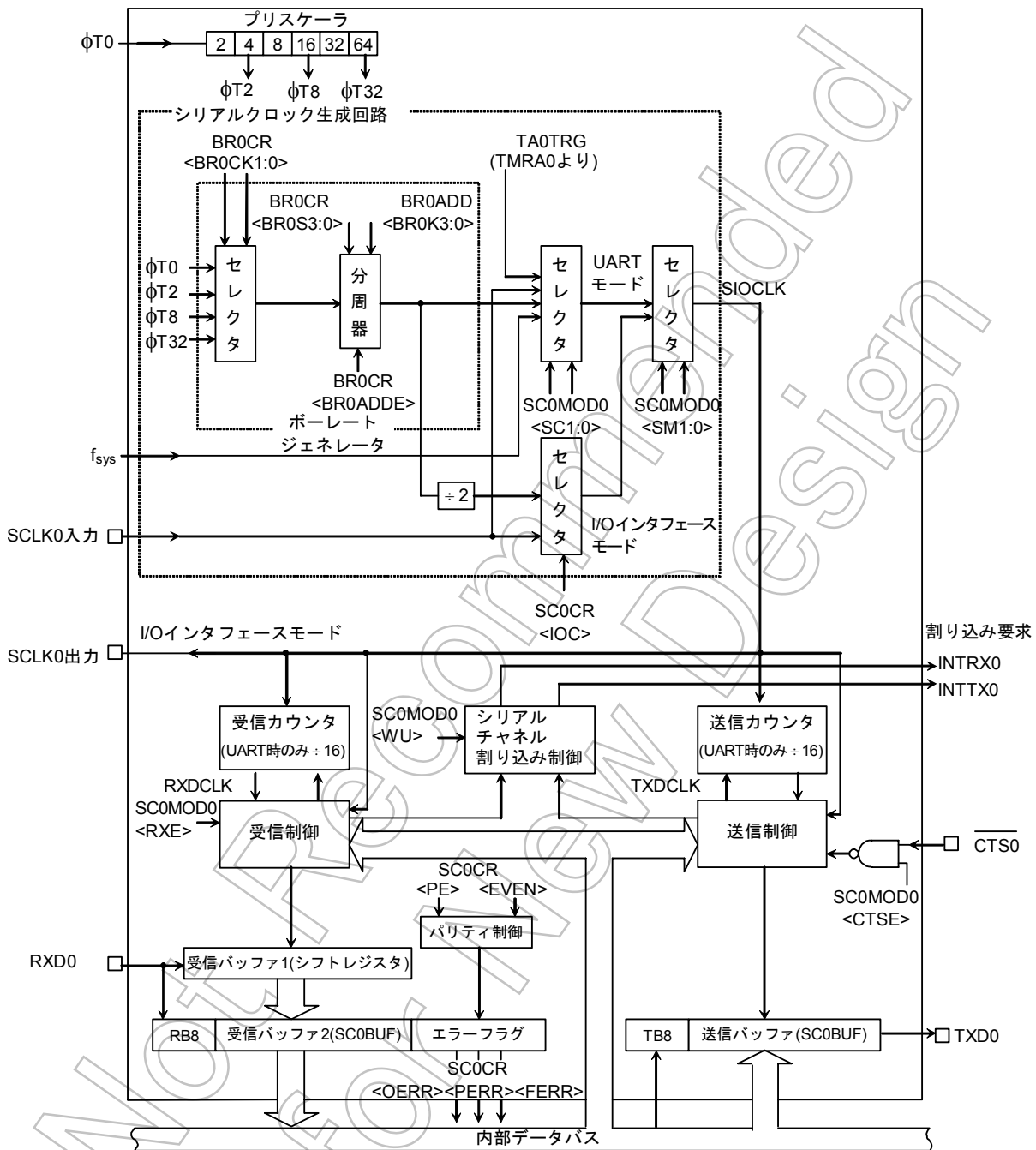


図 3.10.3 SIO0 ブロック図

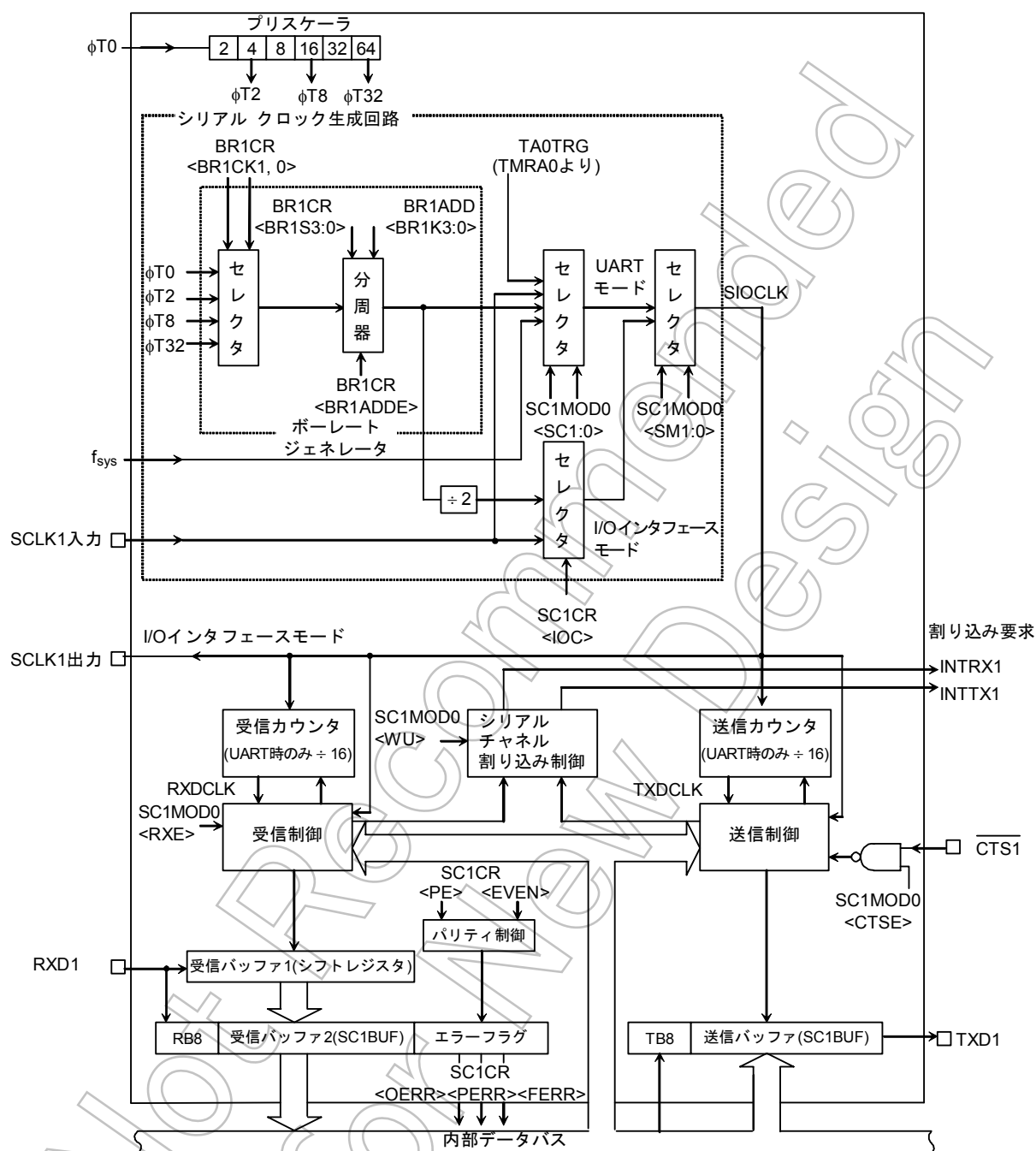


図 3.10.5 SIO1 ブロック図

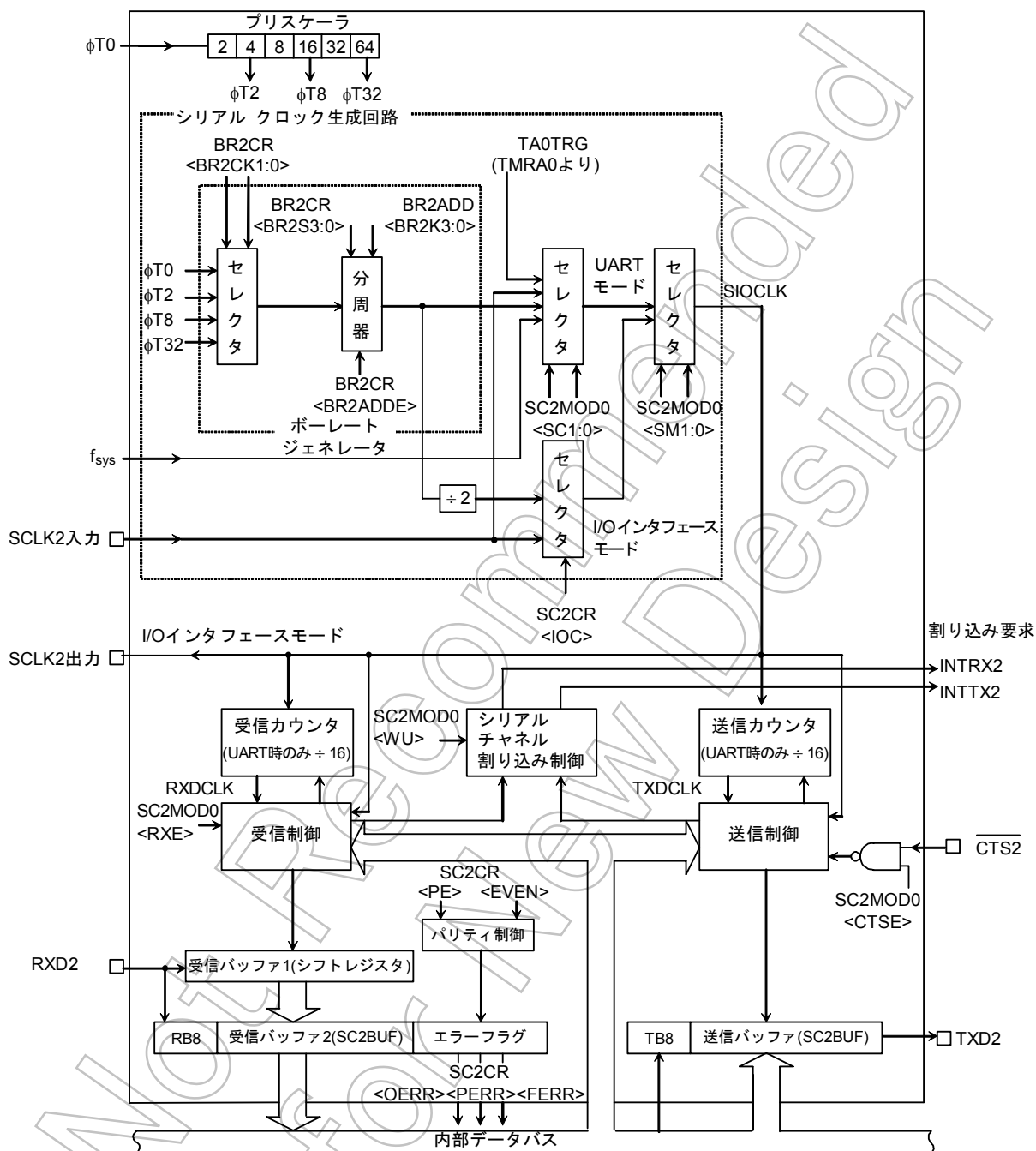


図 3.10.4 SIO2 ブロック図

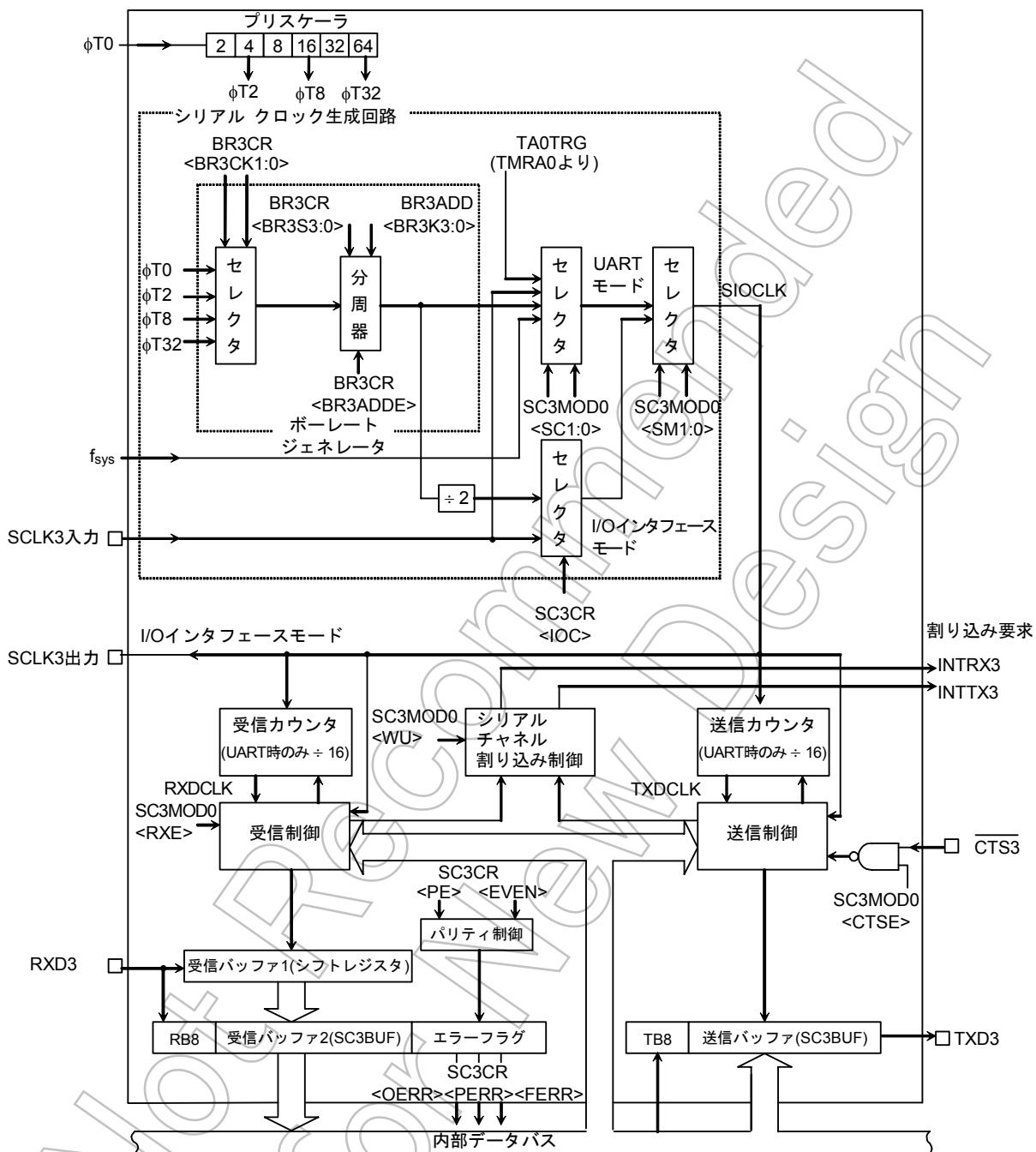


図 3.10.5 SIO3 ブロック図

3.10.2 回路別の動作説明

(1) プリスケーラ、プリスケーラクロック選択

SIO0 の動作クロックを生成するために、6 ビットプリスケーラがあります。プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合動作することが可能となります。プリスケーラ出力クロックの分解能を表 3.10.2に示します。

表 3.10.2 ボーレートジェネレータへのプリスケーラクロック分解能

クロックギア <GEAR2:0>	クロック分解能			
	$\phi T0$	$\phi T2$	$\phi T8$	$\phi T32$
000 (fc)	$2^2 / fc$	$2^4 / fc$	$2^6 / fc$	$2^8 / fc$
001 ($^{fc}/2$)	$2^3 / fc$	$2^5 / fc$	$2^7 / fc$	$2^9 / fc$
010 ($^{fc}/4$)	$2^4 / fc$	$2^6 / fc$	$2^8 / fc$	$2^{10} / fc$
011 ($^{fc}/8$)	$2^5 / fc$	$2^7 / fc$	$2^9 / fc$	$2^{11} / fc$
100 ($^{fc}/16$)	$2^6 / fc$	$2^8 / fc$	$2^{10} / fc$	$2^{12} / fc$

ボーレートジェネレータには、プリスケーラ出力クロックより $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ の 4 種類のクロックが用いられます。

(2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは6ビットプリスケアラより、 $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BR0CR <BR0CK1:0> で設定します。

ボーレートジェネレータは、 $1, N + (16-K)/16$ 、16 分周が可能な分周器を内蔵しており、BR0CR<BR0ADDE><BR0S3:0>、BR0ADD<BR0K3:0>の設定に従い分周を行い転送速度を決定します。

•UART モードの場合

(1) BR0CR <BR0ADDE> = 0 の場合

BR0ADD <BR0K3:0> の設定は無視され、BR0CR <BR0S3:0> に設定された値“N”に従い N 分周を行います。(N = 1、2、3 … 16)

(2) BR0CR <BR0ADDE> = 1 の場合

$N + (16 - K)/16$ 分周機能がイネーブルになり BR0CR <BR0S3:0> に設定された値 “N” (N = 2、3 … 15)、BR0ADD <BR0K3:0> に設定された値“K”に従い $N + (16 - K)/16$ 分周を行います。(K = 1、2、3 … 15)

注) N = 1 および 16 のときは $N + (16 - K)/16$ 分周機能は禁止となりますのでかならず BR0CR <BR0ADDE> = “0”に設定してください。

•I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K)/16$ 分周機能は使用できません。かならず BR0CR <BR0ADDE> = “0”に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

・ UART モード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

・ I/O インタフェースモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

●整数分周 (N 分周) の場合

$f_c = 12.288\text{MHz}$ で入力クロック ϕT_2 、分周値 “N” ($\text{BR0CR} \langle \text{BR0S3:0} \rangle = 5$ 、 $\text{BR0CR} \langle \text{BR0ADDE} \rangle = “0”$ の場合の UART モードのボーレートは、

※ クロック条件

システムクロック	: 高速 (f_c)
高速クロックギア	: 1 倍 (f_c)
プリスケアラクロック	: f_{FPH}

$$\text{Baud Rate} = \frac{f_c/16}{5} \div 16$$

$$= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600 \text{ (bps)} \text{ となります。}$$

注) $(16-K)/16$ 分周機能は禁止に設定されるため $\text{BR0ADD} \langle \text{BR0K3:0} \rangle$ の設定は無視されます。

●N + (16-K)/16 分周 (UART モードのみ) の場合

また、 $f_c = 4.8\text{MHz}$ で入力クロック ϕT_0 、分周値 “N” ($\text{BR0CR} \langle \text{BR0S3:0} \rangle = 7$ 、“K” ($\text{BR0ADD} \langle \text{BR0K3:0} \rangle = 3$ 、 $\text{BR0CR} \langle \text{BR0ADDE} \rangle = 1$ の場合のボーレートは、

※ クロック条件

システムクロック	: 高速 (f_c)
高速クロックギア	: 1 倍 (f_c)
プリスケアラクロック	: f_{FPH}

$$\text{Baud Rate} = \frac{f_c/4}{7 + \frac{(16-3)}{16}} \div 16$$

$$= 4.8 \times 10^6 \div 16 \div \left(7 + \frac{13}{16} \right) \div 16 = 9600 \text{ (bps)} \text{ となります。}$$

表 3.10.3 ~ 表 3.10.4 に UART モードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます(シリアルチャネル 0~3)。この場合のボーレートの算出方法を示します。

●UART モード

Baud Rate (外部クロック入力 $\div 16$)

ただし、(外部クロック入力周期) $\geq 4/f_c$ を満足する必要があります。

●I/O インタフェースモード

Baud Rate (外部クロック入力)

ただし、(外部クロック入力周期) $\geq 16/f_c$ を満足する必要があります。

表 3.10.3 UART ボーレートの選択
(ボーレートジェネレータ使用、BR0CR <BR0ADDE> = 0 の場合)単位 (kbps)

fc [MHz]	入力クロック	φT0	φT2	φT8	φT32
	分周値 N (BR0CR<BR0S3:0>に設定)				
9.830400	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	0	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.745600	2	115.200			
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300

注 1) I/O インタフェースモード時の転送レートは本表の値の 8 倍になります。

注 2) 本表は、システムクロックとして fc、クロックギアとして fc を選択した場合の値です。

表 3.10.4 UART ボーレートの選択
(タイマ TMRA0 のトリガ出力使用、タイマ TMRA0 の入力クロックが φT1 の場合)
端子 (kbps)

fc	12.288 MHz	12 MHz	9.8304 MHz	8 MHz	6.144 MHz
TA0REG0					
1H	96		76.8	62.5	48
2H	48		38.4	31.25	24
3H	32	31.25			16
4H	24		19.2		12
5H	19.2				9.6
8H	12		9.6		6
AH	9.6				4.8
10H	6		4.8		3
14H	4.8				2.4

ボーレートの算出方法 (タイマ TMRA0 を使用した場合)

$$\text{転送レート} = \frac{f_{\text{FPH}}}{\text{TA0REG} \times 8 \times 16}$$

↑
(タイマ TMRA0 の入力クロックが φT1 の場合)

注 1) I/O インタフェースモードでは、タイマ TMRA0 一致検出信号を転送クロックとして使用することはできません。

注 2) この表は fc がシステムクロックとして選択された場合に計算されます。また、クロックギアは fc に設定されます。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

•I/O インタフェースモードの場合

SC0CR <IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR <IOC> = “1” の SCLK 入力モードのときは、SC0CR <SCLKS> の設定に従って立ち上がり/立ち下がリエッジを検出し、基本クロックをつくります。

•非同期通信 (UART) モードの場合

SC0MOD0 <SC1:0> の設定により、前記ボーレートジェネレータからのクロック、内部クロック fsys、タイマ TMRA0 からの一致検出信号、または外部クロック (SCLK0 端子)のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ 7, 8, 9 発目でデータをサンプリングします。

3 度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが 1, 0, 1 であれば、受信データは “1” と判断され、また、0, 0, 1 であれば “0” と判断されます。

(5) 受信制御部

•I/O インタフェースモードの場合

SC0CR <IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS>の設定に従って SCLK0 端子へ出力されるシフトクロックの立ち上がり/立ち下がリエッジで RXD0 端子をサンプリングします。

SC0CR <IOC> = “1” の SCLK 入力モードのときは、SC0CR <SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がリエッジで RXD0 端子をサンプリングします。

•非同期通信 (UART) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 度のサンプリング中 2 度以上 “0” であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中でも、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろったもう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) を読み出します。CPU が受信バッファ 2 (SC0BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR <RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR <RB8> に格納されます。

9 ビット UART の場合、SC0MOD0 <WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR <RB8> = “1” のときのみ、割り込み INTRX0 が発生します。

SIO 割り込みモードは SIMC レジスタによって設定可能です。

(7) 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

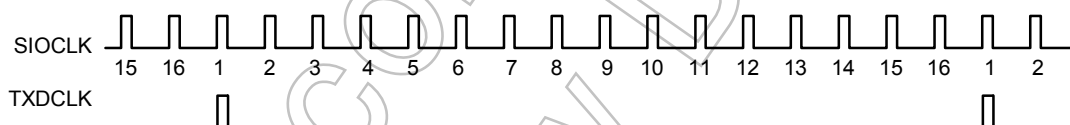


図 3.10.6 送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

SC0CR <IOC> = “0” の SCLK 出力モードのときは、SC0CR <SCLKS> の設定に従って SCLK0 端子より出力されるシフトクロックの立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR <IOC> = “1” の SCLK 入力モードのときは、SC0CR <SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- 非同期通信 (UART) モード

送信バッファに CPU から送信データが書き込まれると次の TXDCLK の立ち上がりエッジに同期して開始します。

ハンドシェイク機能

CTS を使用することにより、1 データフォーマット単位での送信が可能となり、オーバラン エラーの発生を防ぐことができます。この機能は SC0MOD <CTSE>の設定によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき(受信割り込みルーチン内)に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

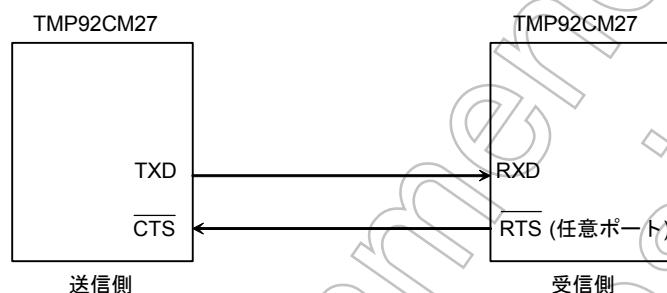
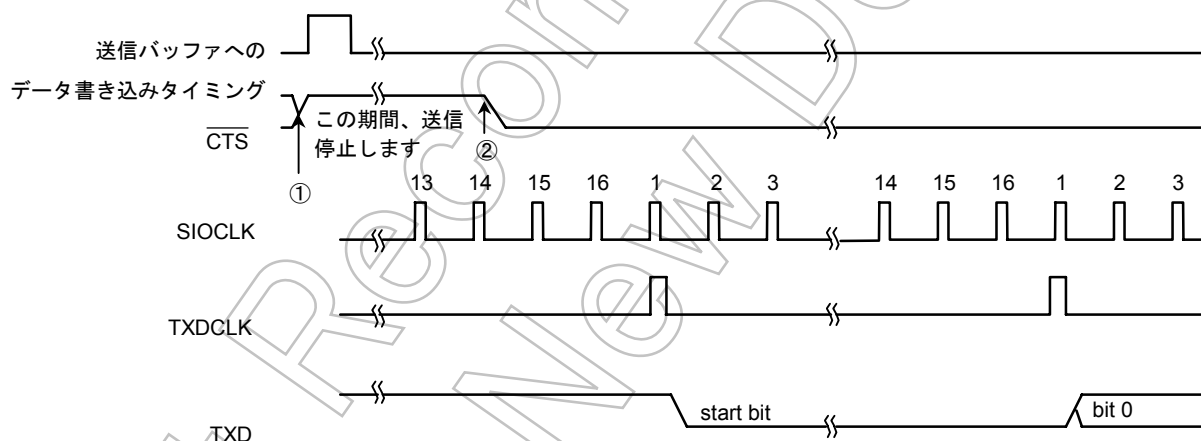


図 3.10.7 ハンドシェイク機能



注1) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

注2) $\overline{\text{CTS}}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.10.8 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

(9) 送信バッファ

送信バッファ SC0BUF は CPU より書き込まれた送信データを最下位ビット(LSB)から順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンプティで INTTX0 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR <PE> を “1” に設定するとパリティ付の送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN> レジスタによって偶数あるいは奇数 パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC0BUF <TB7> に、8 ビット UART モードのときは SC0MOD0 <TB8> にパリティを格納して、送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータにより、パリティを自動発生し、7 ビット UART モードのときは、SC0BUF <RB7> と、8 ビット UART モードのときは、SC0CR<RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR <PERR> フラグがセットされます。

(11) エラーフラグ

受信データの信頼性を上げるために 3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR>

受信バッファ 2 (SC0BUF) に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

- 1) 受信バッファをリードする
- 2) エラーフラグをリードする
- 3) if<OERR>="1"の時
 - (ア) 受信禁止に設定<RXE>に"0"をライト
 - (イ) 現フレームの終了待ち
 - (ウ) 受信バッファのリード
 - (エ) エラーフラグのリード
 - (オ) 受信許可に設定<RXE>に"1"をライト
 - (カ) 再送信要求
- 4) その他の処理

2. パリティエラー <PERR>

受信バッファ 2 (SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異っているとパリティエラーが発生します。

3. フレーミングエラー <FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が “0” の場合フレーミングエラーが発生します。

Not Recommended
for New Design

(12) 各信号発生タイミング

① UART モードの場合

受信

モード	9 ビット (注)	8 ビット+パリティ (注)	8 ビット, 7 ビット+パリティ, 7 ビット
割り込み発生 タイミング	最終ビット (Bit 8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中央付近	ストップビットの 中央付近	ストップビットの中央付近
パリティ エラー 発生タイミング	—	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
オーバラン エラー 発生タイミング	最終ビット (Bit 8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近

注: 9 ビット、8 ビット+パリティモードでは、割り込みは9 ビット目と同時に発生します。そのため、割り込み発生後、1 ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

送信

モード	9-ビット	8 ビット+パリティ	8 ビット, 7 ビット+ パリティ, 7 ビット
割り込み タイミング	ストップビット送信 される直前	ストップビット送信さ れる直前	ストップビット送信される直前

② I/O インターフェースモードの場合

送信 割り込み タイミング	SCLK 出力モード	最終 ビット終了直後 (図 3.10.31参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下がりモードでは立ち下がり直後 (図 3.10.32参照.)
受信 割り込み タイミング	SCLK 出力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.10.33参照.)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後). (図 3.10.34参照)

3.10.3 SFR 説明

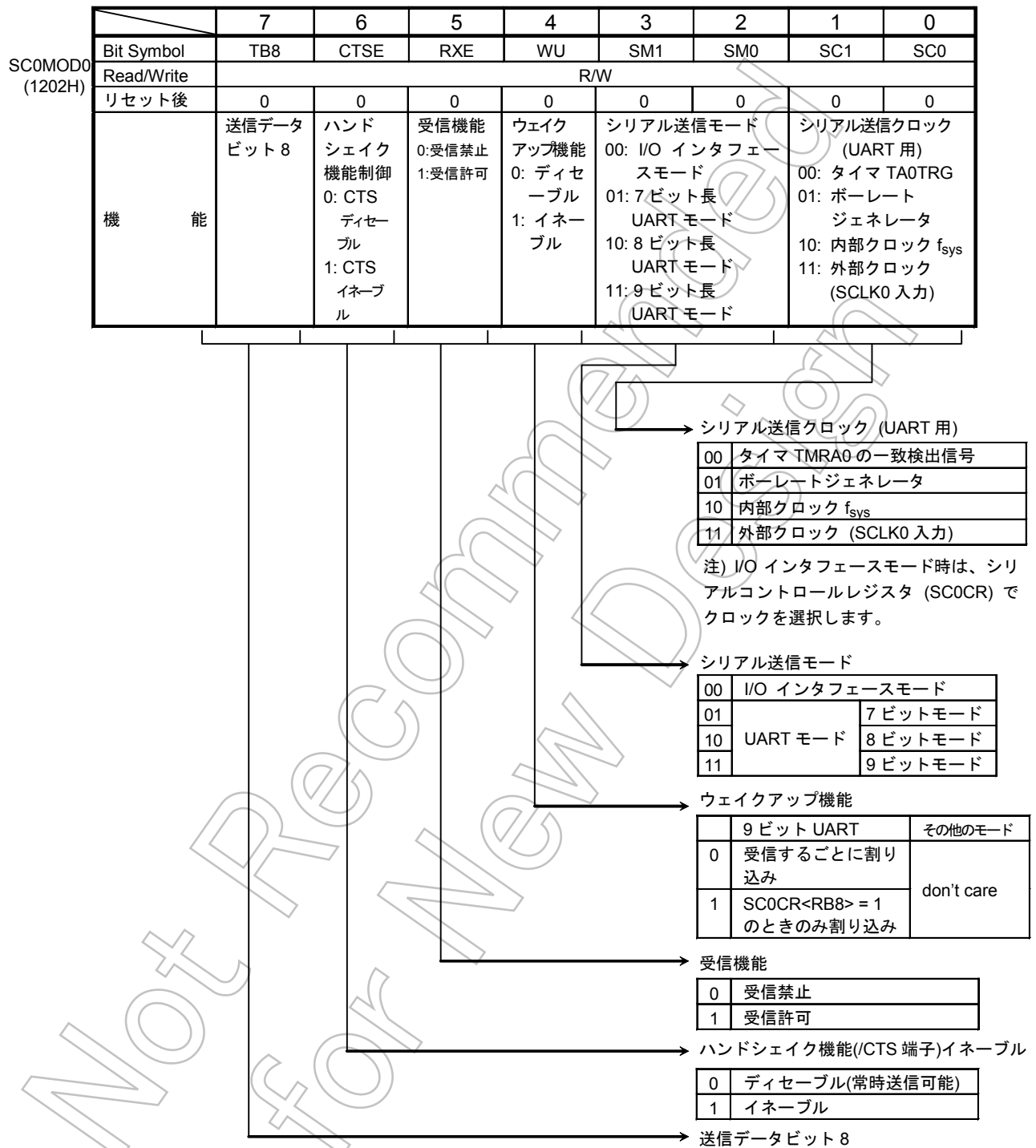


図 3.10.9 シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

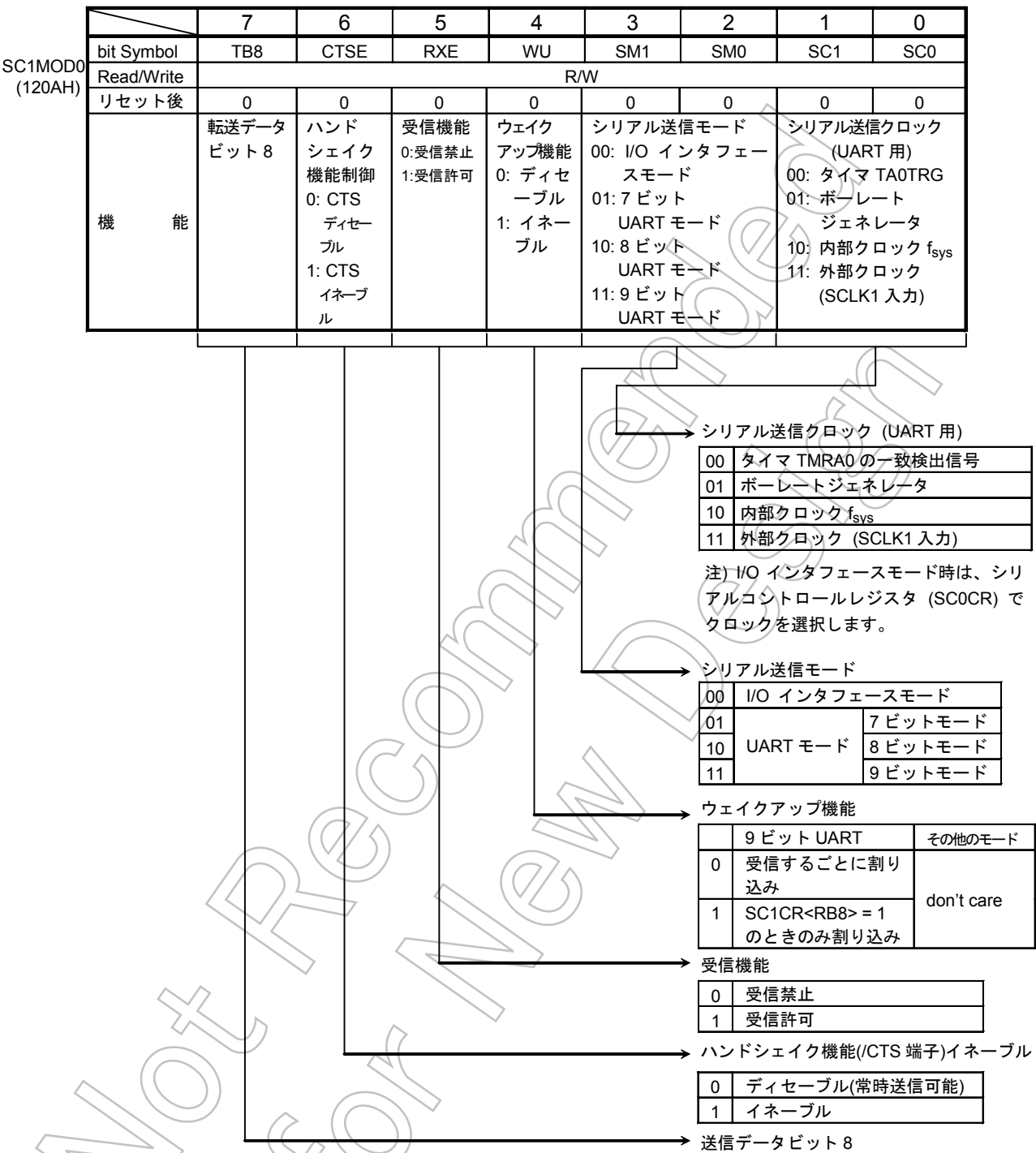


図 3.10.10 シリアルモードコントロールレジスタ 0 (SIO1 用、SC1MOD0)

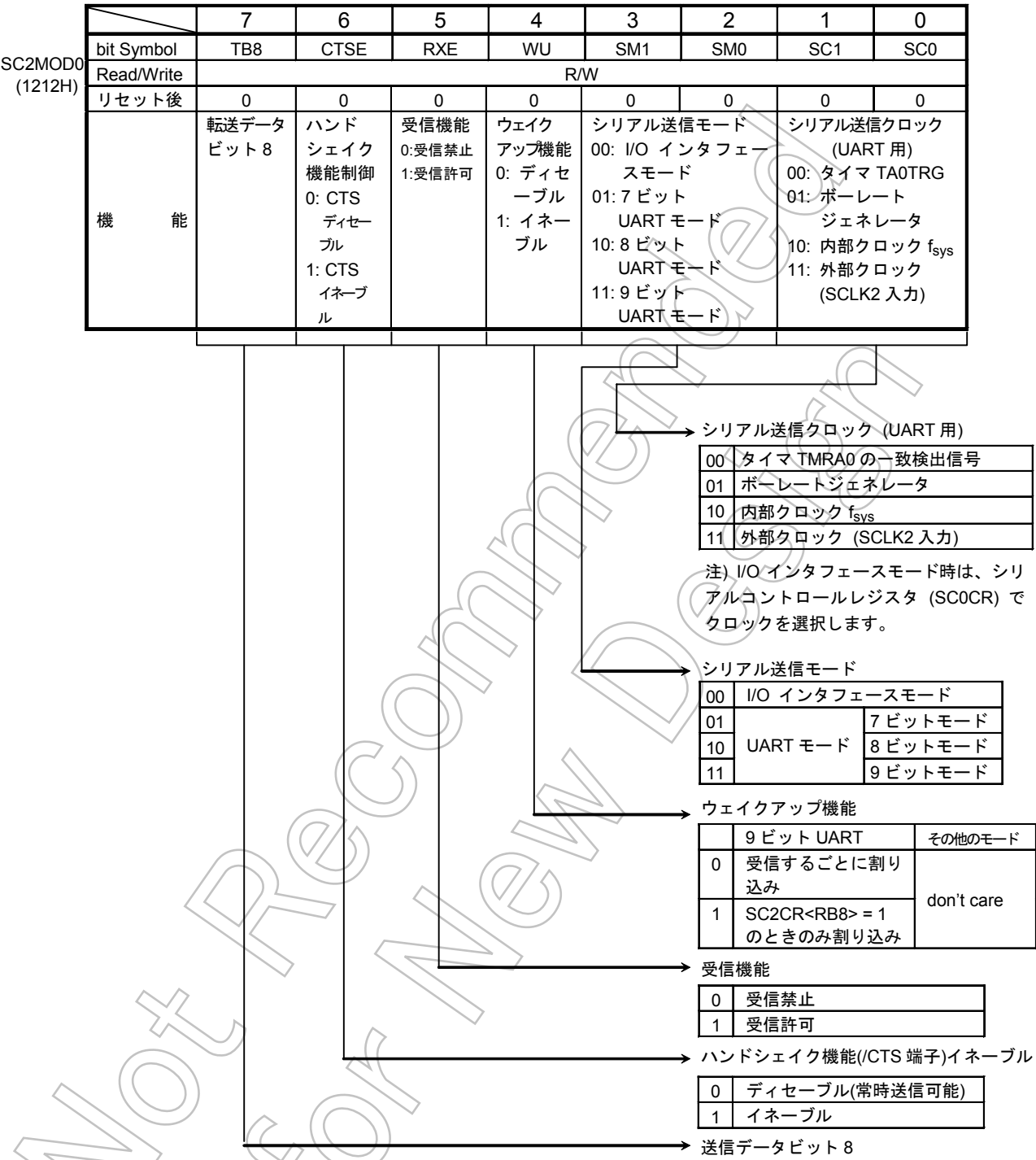


図 3.10.11 シリアルモードコントロールレジスタ 0 (SIO2 用、SC2MOD0)

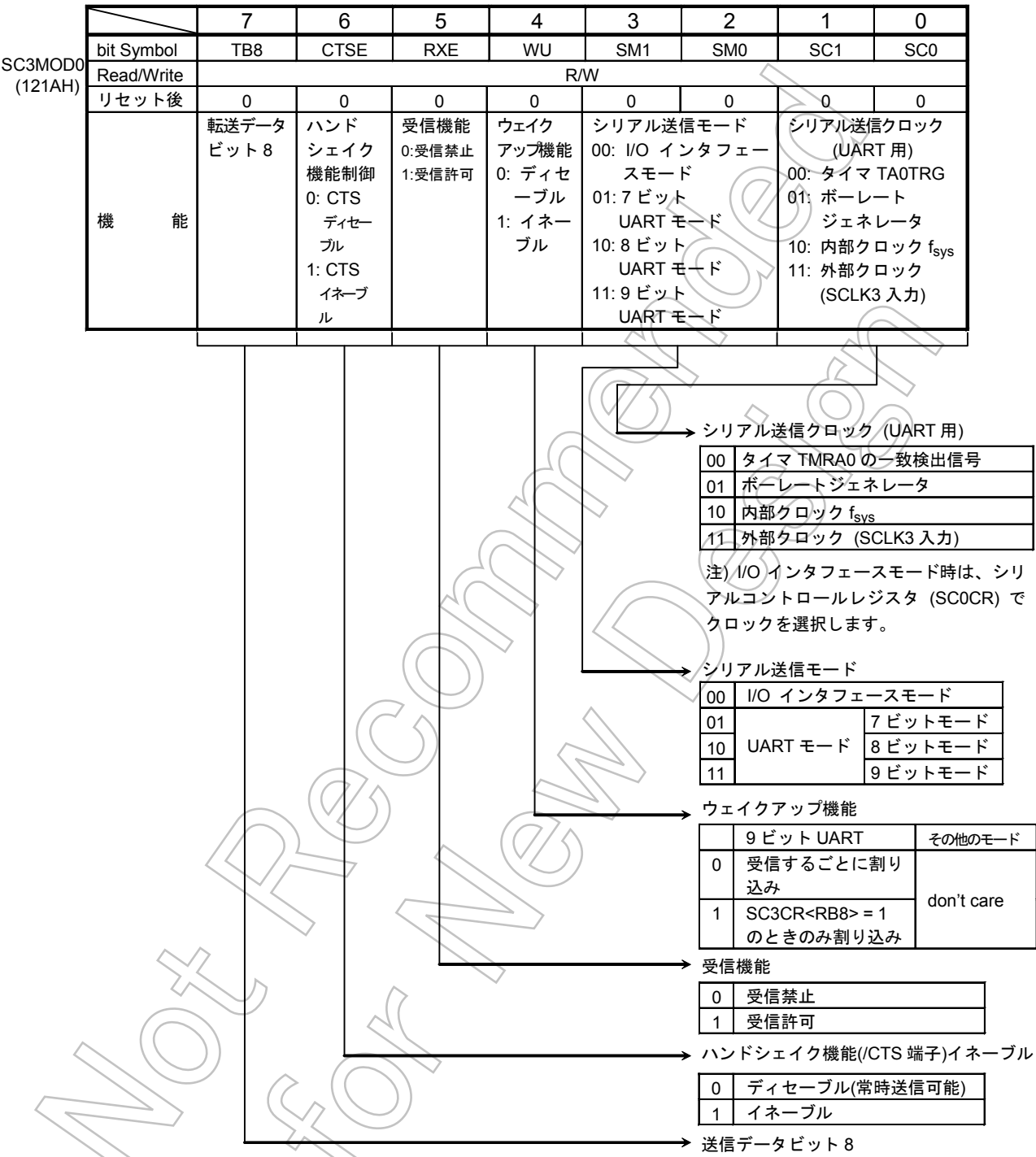
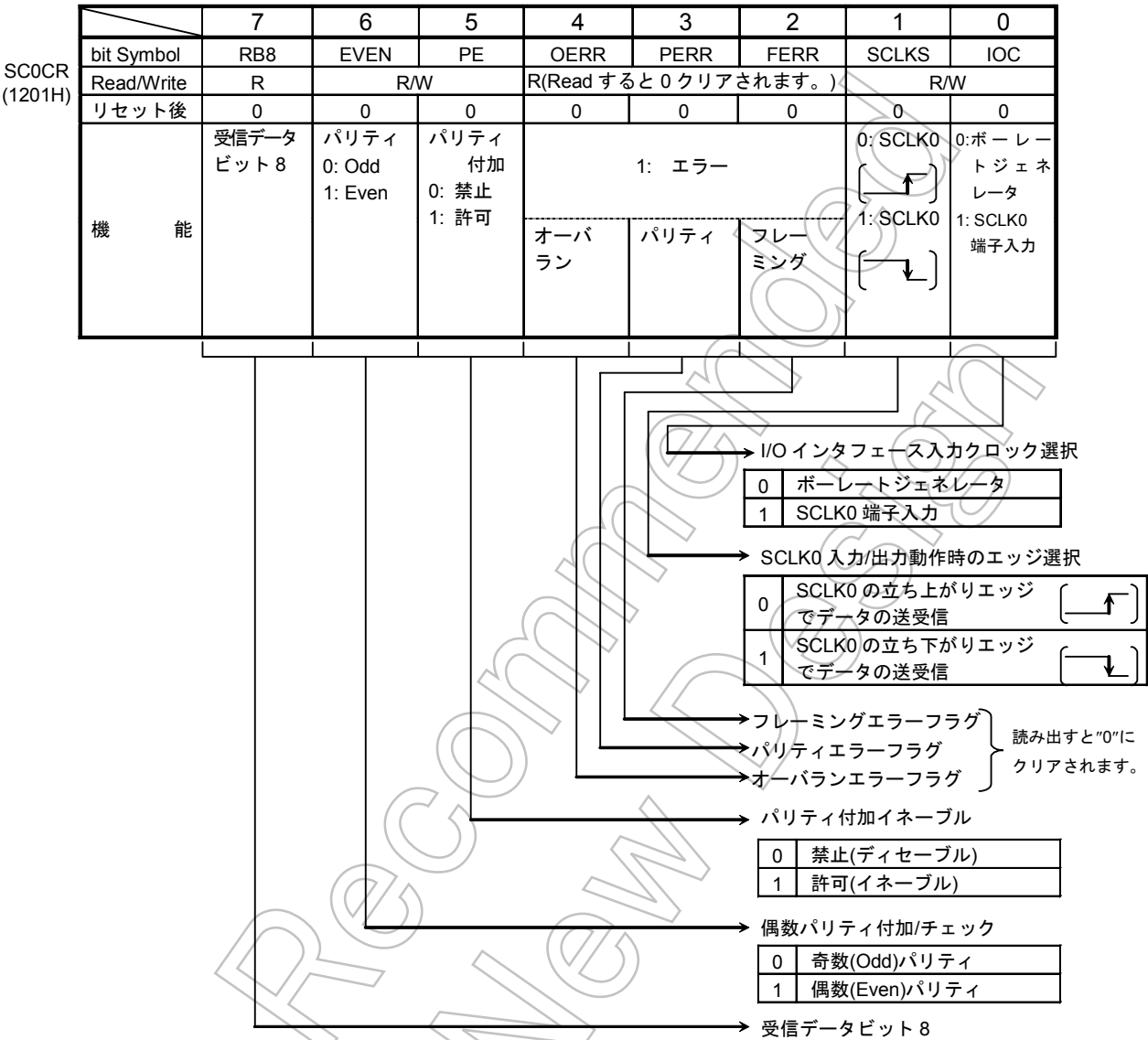
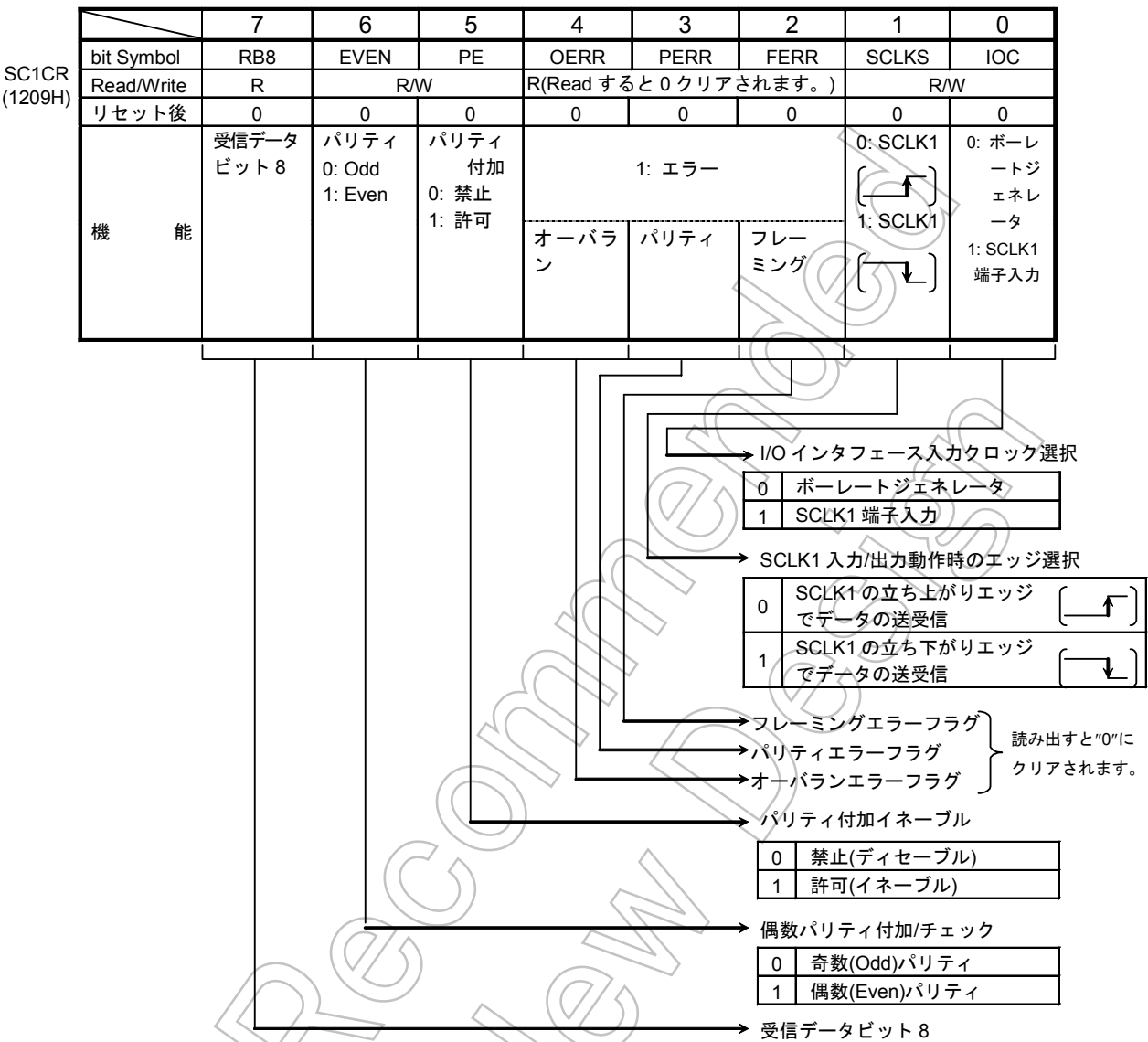


図 3.10.12 シリアルモードコントロールレジスタ 0 (SIO3 用、SC3MOD0)



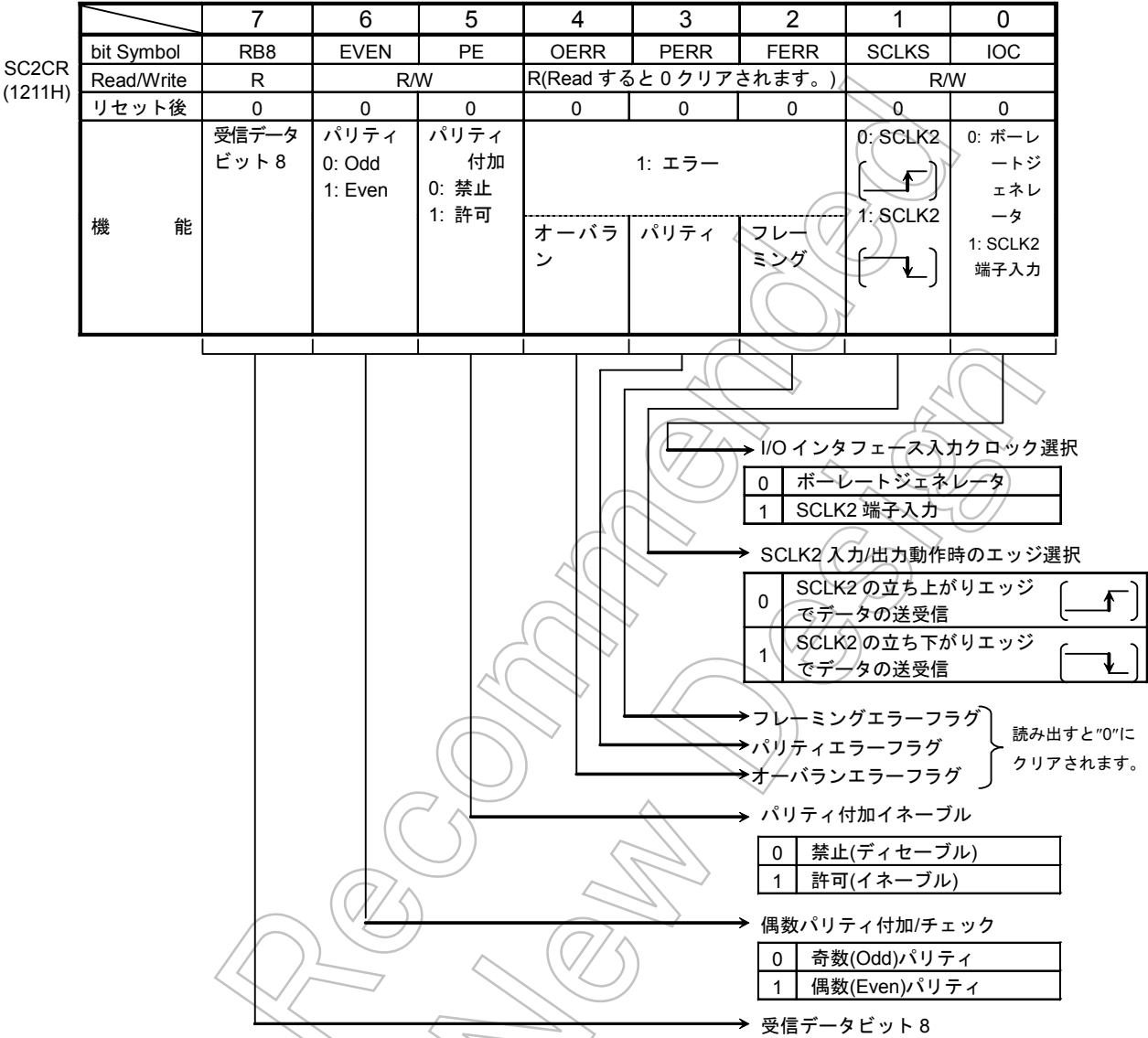
注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.10.13 シリアルコントロールレジスタ (SIO0 用、SC0CR)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのためのテストは行わないでください。

図 3.10.14 シリアルコントロールレジスタ (SIO1 用、SC1CR)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのためのテストは行わないでください。

図 3.10.15 シリアルコントロールレジスタ (SIO2 用、SC2CR)

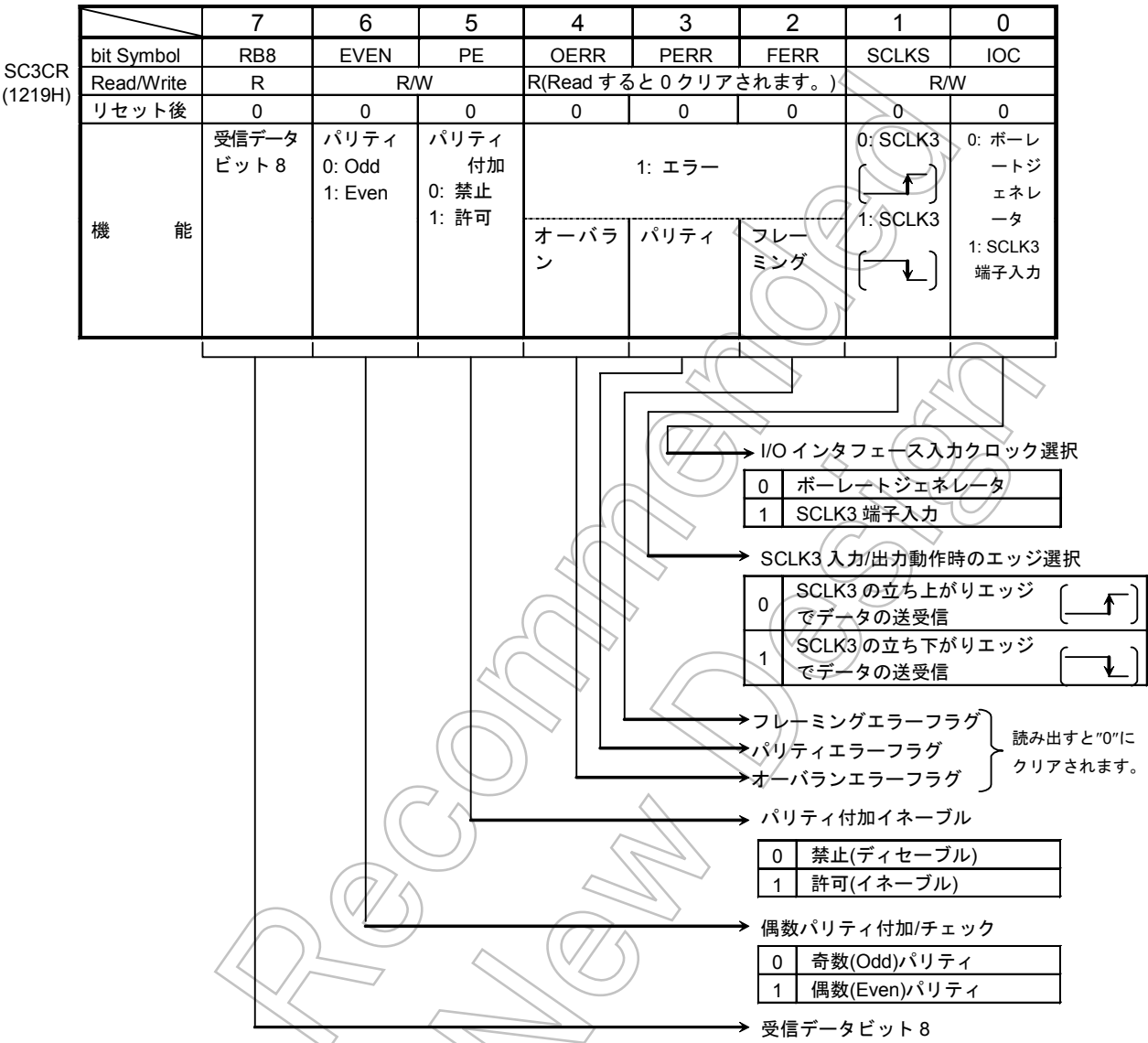
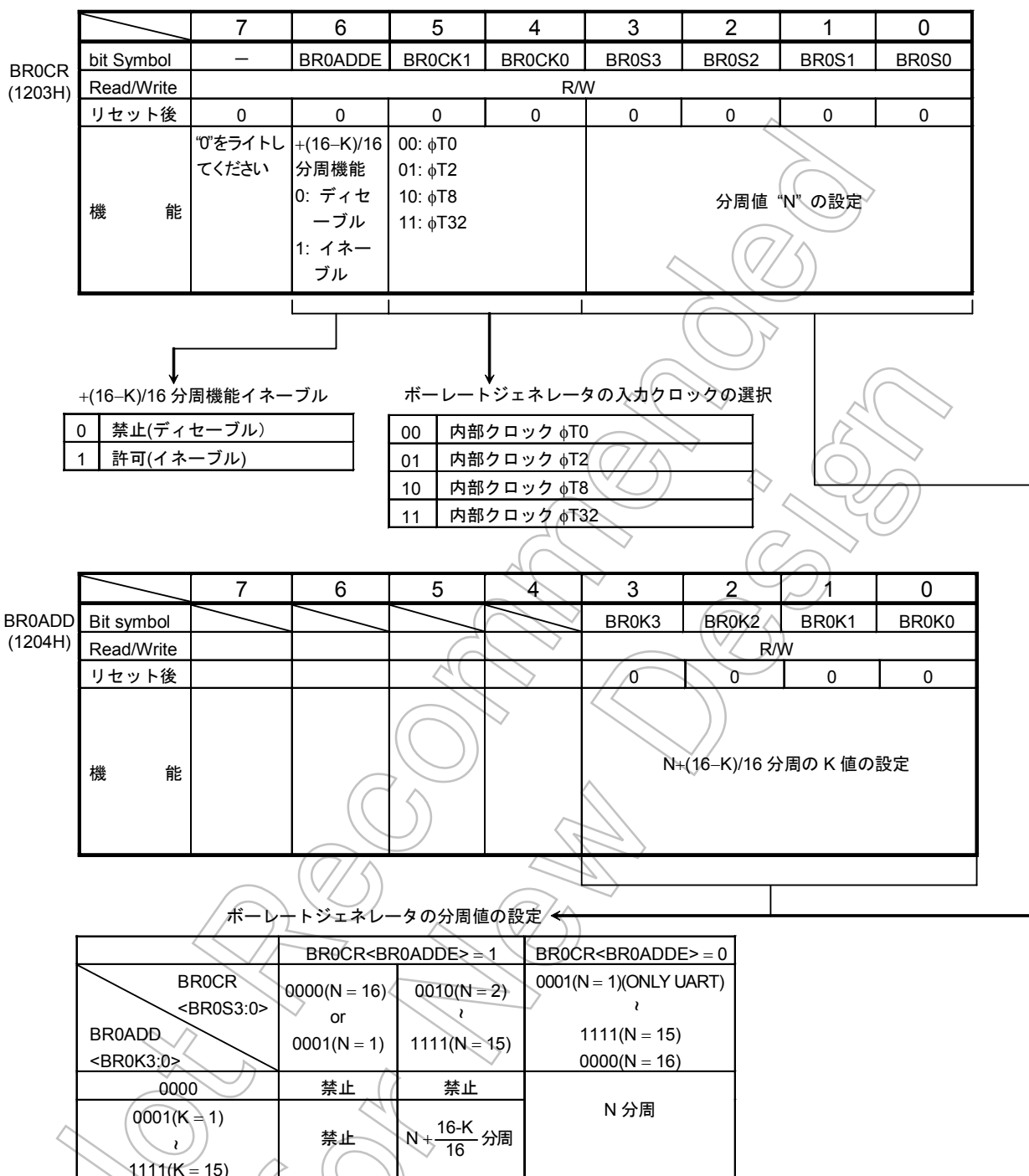


図 3.10.16 シリアルコントロールレジスタ (SIO3 用、SC3CR)



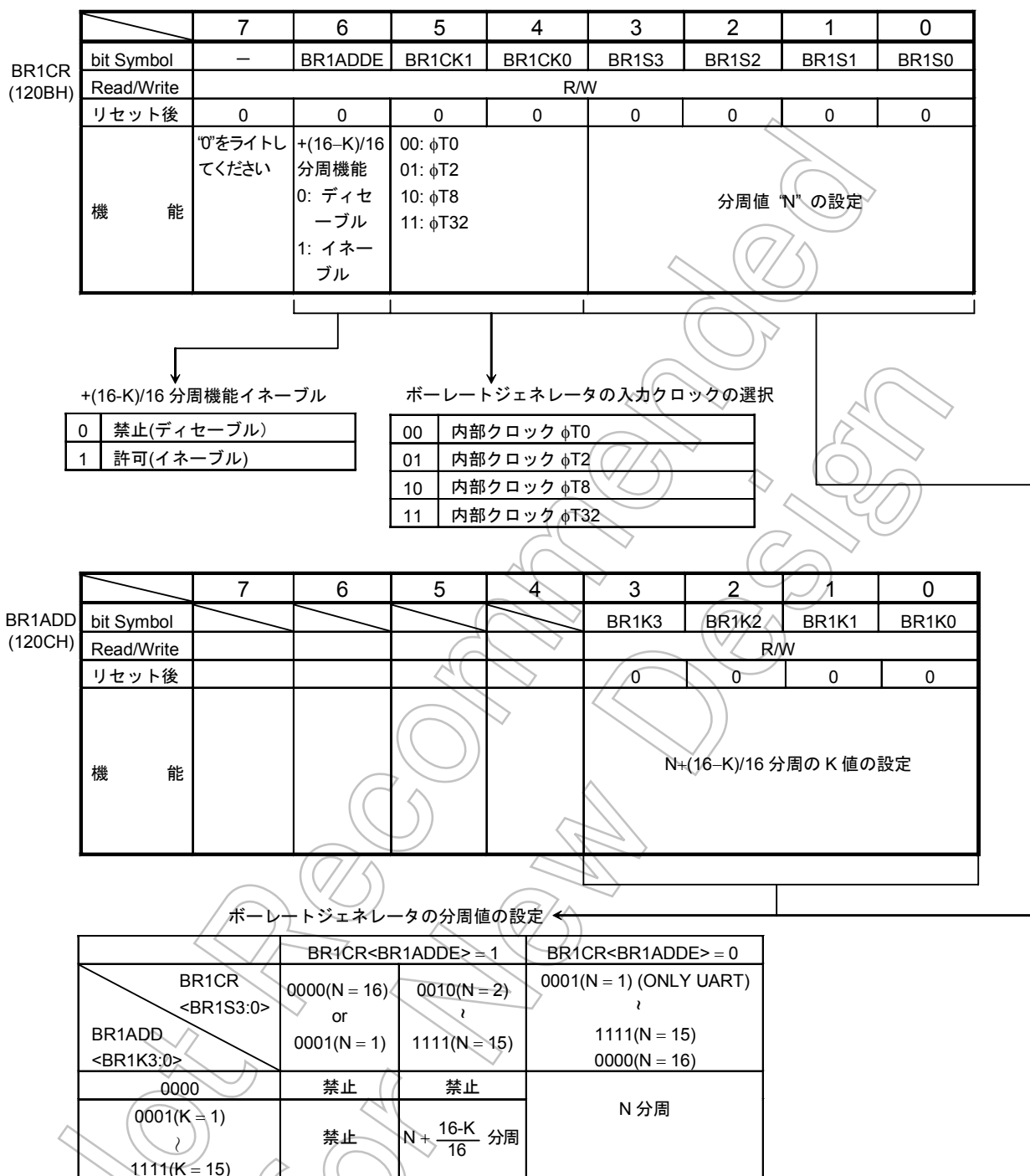
注 1) + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の “1” 分周は UART モードで、+ (16-K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16-K)/16 分周機能を使用する場合、かならず BR0ADD <BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = “1” を設定してください。

図 3.10.17 ポーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)



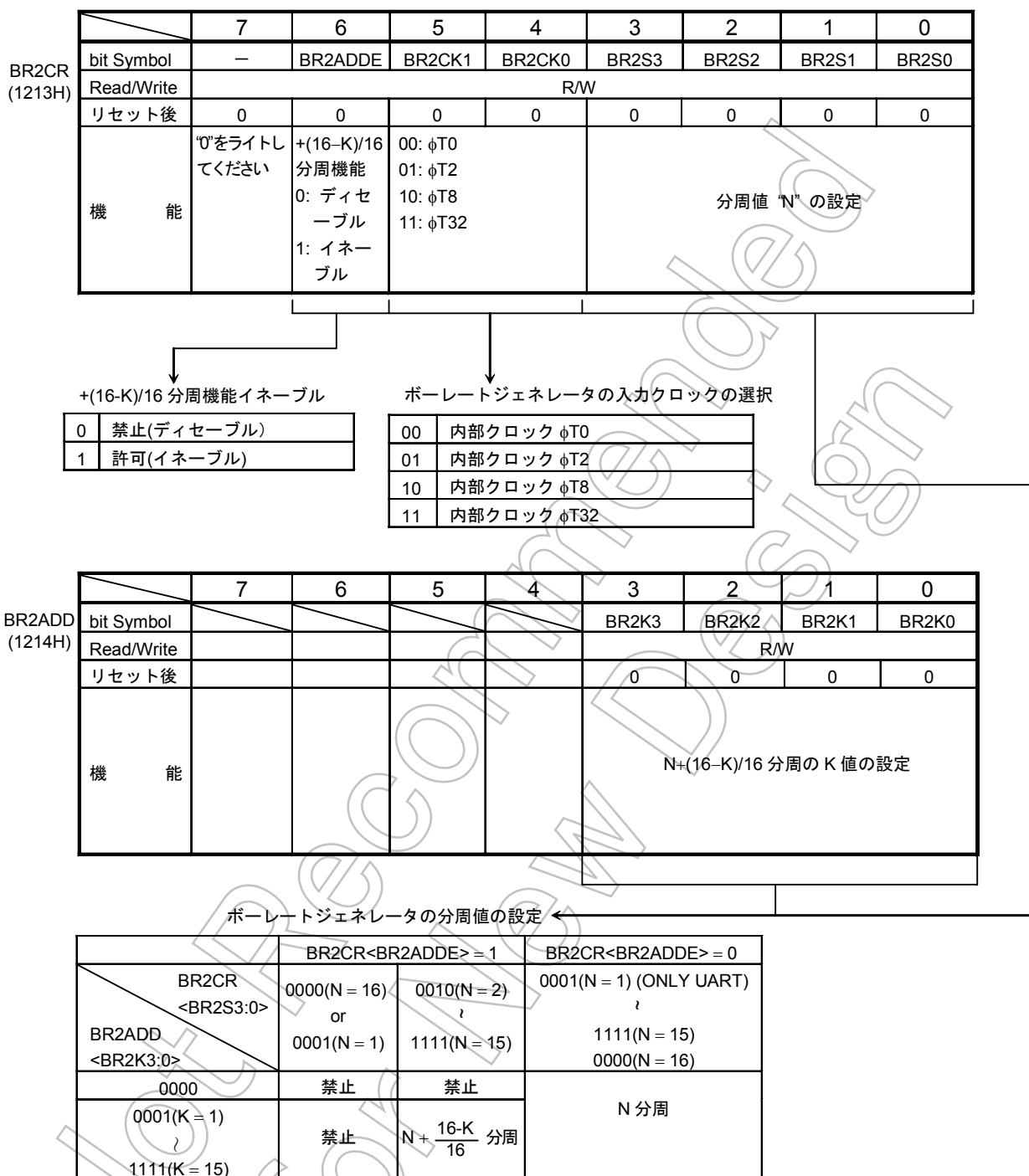
注 1) + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の "1" 分周は UART モードで、+ (16-K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16-K)/16 分周機能を使用する場合、かならず BR1ADD <BR1K3:0> に K 値 (K = 1~15) を設定後に BR1CR <BR1ADDE> = "1" を設定してください。

図 3.10.18 ポーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)



注 1) +(16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の "1" 分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR2ADD <BR2K3:0> に K 値 (K = 1~15) を設定後に BR2CR <BR2ADDE> = "1" を設定してください。

図 3.10.19 ポーレートジェネレータコントロール (SIO2 用、BR2CR, BR2ADD)

BR3CR (121BH)		7	6	5	4	3	2	1	0
	bit Symbol	—	BR3ADDE	BR3CK1	BR3CK0	BR3S3	BR3S2	BR3S1	BR3S0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	"0"をライトしてください	+(16-K)/16 分周機能 0: ディセーブル 1: イネーブル	00: $\phi T0$ 01: $\phi T2$ 10: $\phi T8$ 11: $\phi T32$		分周値 "N" の設定			

+(16-K)/16 分周機能イネーブル

0	禁止(ディセーブル)
1	許可(イネーブル)

ポーレートジェネレータの入カクロックの選択

00	内部クロック $\phi T0$
01	内部クロック $\phi T2$
10	内部クロック $\phi T8$
11	内部クロック $\phi T32$

	7	6	5	4	3	2	1	0
BR3ADD (121CH)	bit Symbol	—	—	—	BR3K3	BR3K2	BR3K1	BR3K0
	Read/Write	R/W						
	リセット後	—	—	—	0	0	0	0
機能	—	—	—	—	N+(16-K)/16 分周の K 値の設定			

ポーレートジェネレータの分周値の設定 ←

	BR3CR<BR3ADDE> = 1	BR3CR<BR3ADDE> = 0
BR3CR <BR3S3:0>	0000(N = 16) or 0001(N = 1)	0010(N = 2) 1111(N = 15)
BR3ADD <BR3K3:0>	0000 0001(K = 1) 1111(K = 15)	0001(N = 1) (ONLY UART) 1111(N = 15) 0000(N = 16)
	禁止	禁止
	禁止	$N + \frac{16-K}{16}$ 分周

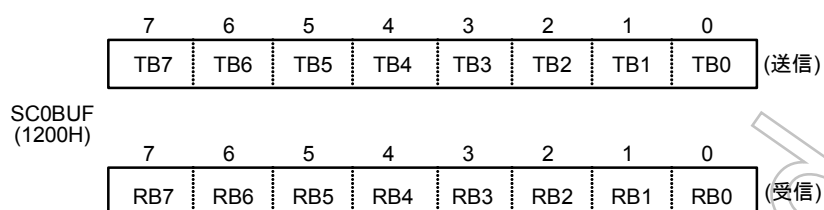
注 1) +(16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の "1" 分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR3ADD <BR3K3:0> に K 値 (K = 1~15) を設定後に BR3CR <BR3ADDE> = "1" を設定してください。

図 3.10.20 ポーレートジェネレータコントロール (SIO3 用、BR3CR, BR3ADD)

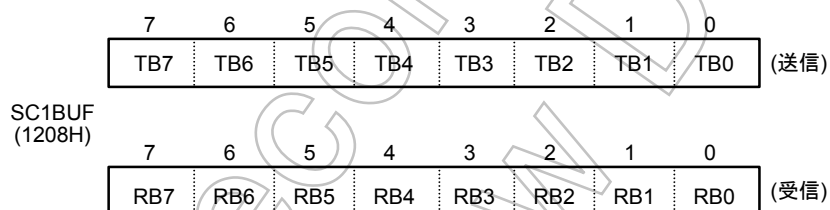


注)SC0BUF はリードモディファイライトできません。

図 3.10.21 シリアル送受信バッファレジスタ (SIO0 用, SC0BUF)

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0						
Read/Write	R/W	R/W						
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.10.22 シリアルモードコントロールレジスタ 1 (SIO0 用, SC0MOD1)

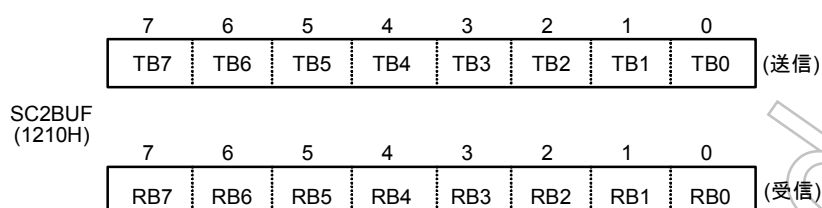


注)SC1BUF はリードモディファイライトできません。

図 3.10.23 シリアル送受信バッファレジスタ (SIO1 用, SC1BUF)

	7	6	5	4	3	2	1	0
bit Symbol	I2S1	FDPX1						
Read/Write	R/W	R/W						
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.10.24 シリアルモードコントロールレジスタ 1 (SIO1 用, SC1MOD1)

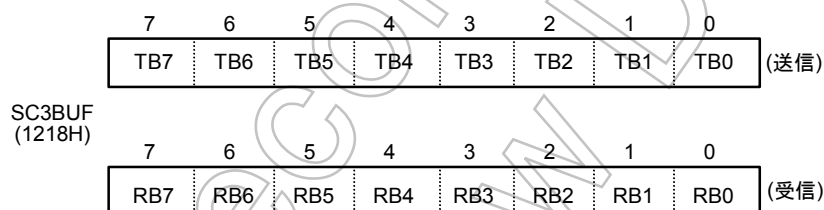


注)SC2BUF はリードモディファイライトできません。

図 3.10.25 シリアル送受信バッファレジスタ (SIO2用, SC2BUF)

	7	6	5	4	3	2	1	0
Bit symbol	I2S2	FDPX2						
Read/Write	R/W	R/W						
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.10.26 シリアルモードコントロールレジスタ 1 (SIO2用, SC2MOD1)



注)SC3BUF はリードモディファイライトできません。

図 3.10.27 シリアル送受信バッファレジスタ (SIO3用, SC3BUF)

	7	6	5	4	3	2	1	0
Bit symbol	I2S3	FDPX3						
Read/Write	R/W	R/W						
リセット後	0	0						
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.10.28 シリアルモードコントロールレジスタ 1 (SIO3用, SC3MOD1)

3.10.4 モード別動作説明

(1) モード 0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

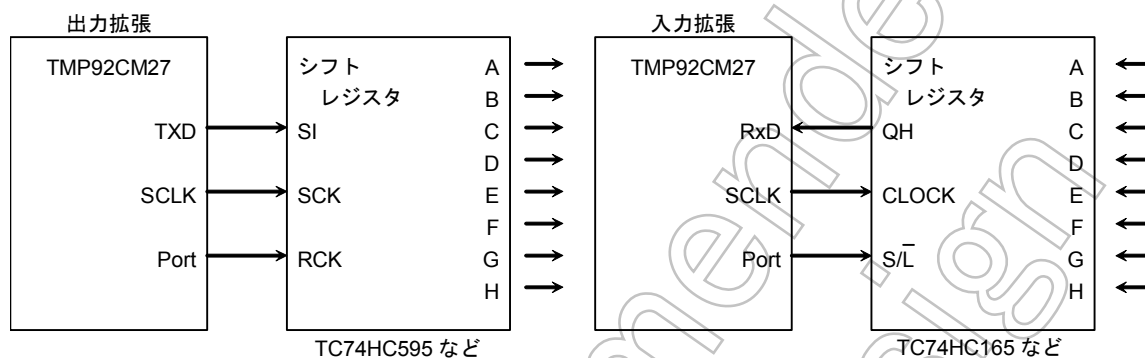


図 3.10.29 SCLK 出力モード接続例

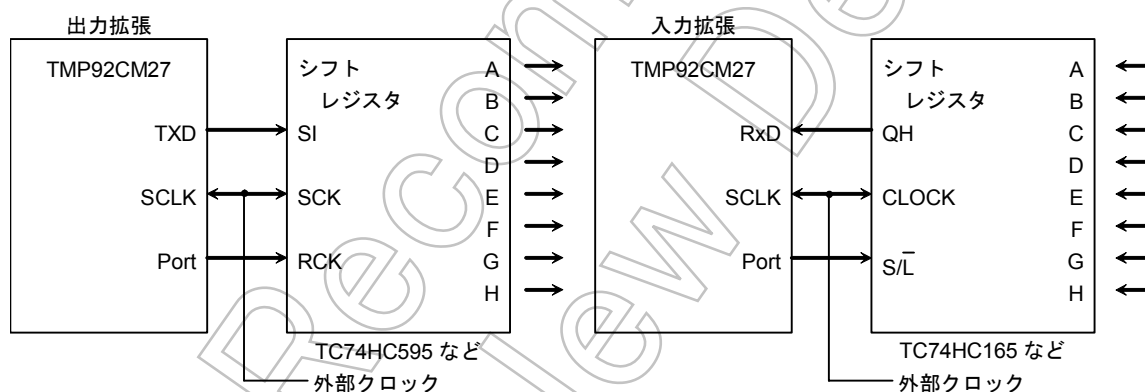


図 3.10.30 SCLK 入力モード接続例

① 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0 <ITX0C> がセットされ、割り込み INTTX0 が発生します

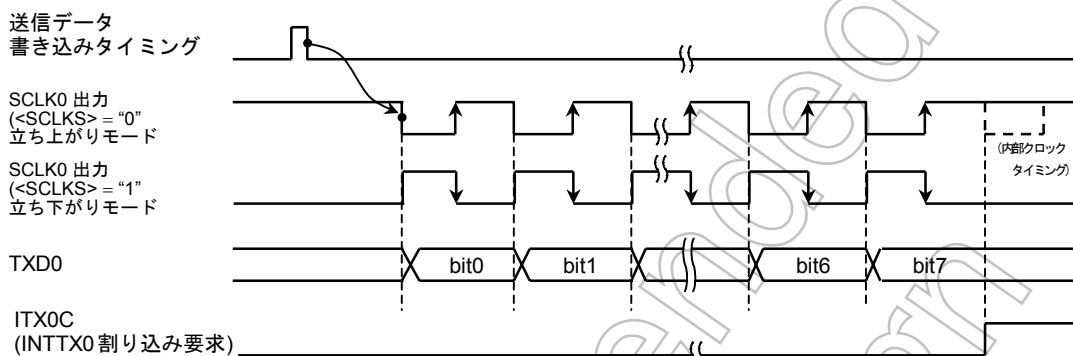


図 3.10.31 I/O インタフェース モード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK0 入力アクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0 <ITX0C> がセットされ割り込み INTTX0 が発生します。

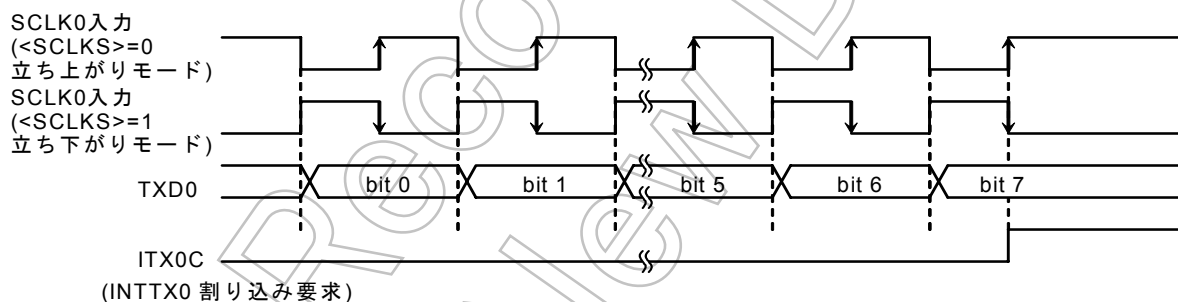


図 3.10.32 I/O インタフェース モード送信動作 (SCLK0 入力モード)

② 受信

SCLK 出力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES0 <IRX0C> がクリアされるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0 <IRX0C> がセットされて割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を"1"にセットすることで行います。

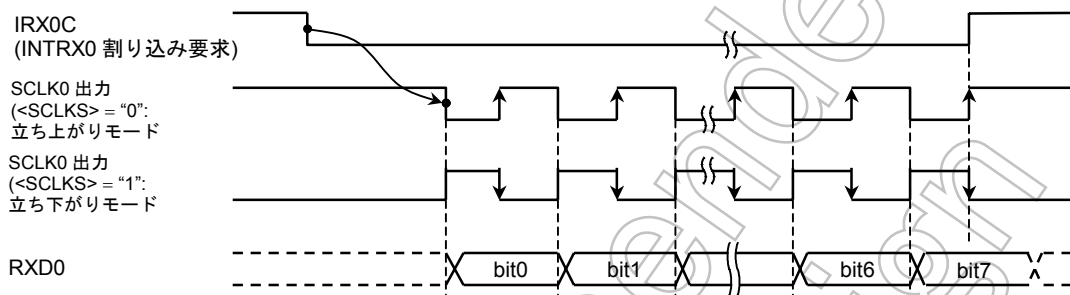


図 3.10.33 I/O インタフェース モード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES0 <IRX0C> がクリアされている状態で、SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0 <IRX0C> がセットされて割り込み INTRX0 が発生します。

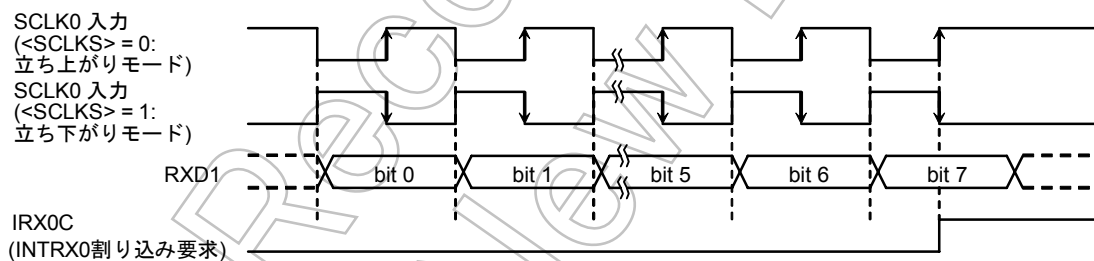


図 3.10.34 I/O インタフェース モード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 (SC0MOD <RXE> = 1) にしておく必要があります。

③ 送受信 (全二重)

全二重モードで、送受信を行う場合は、かならず、受信割り込みレベルを"0"に設定し、送信割り込みのみに割り込みレベル ("1"~"6"のいずれか) を設定してください。
受信処理は、送信割り込み処理ルーチン内で、下記例のように、送信データセットの前に行ってください。

例: チャンネル 0, SCLK 出力
 9600bps で送受信を行う場合
 fsys = 19.6608 MHz

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTES0	X	0	0	1	X	0	0	0	INTTX0 レベルを 1 に設定. INTRX0 レベルを 0 に設定
PACR	-	-	-	-	-	1	1	0	PA0(RXD0), PA1(TXD0), PA2(SCLK0)に設定
PAFC	-	-	-	-	-	1	1	1	
PAFC2	X	X	X	-	X	X	0	X	
SC0MOD0	0	0	0	0	0	0	0	0	I/O インターフェースモードに設定
SC0MOD1	1	1	0	0	0	0	0	0	全二重モードに設定
SC0CR	0	0	0	0	0	0	0	0	sclk_out、立ち上がり受信立ち下がり送信
BR0CR	0	0	1	1	0	1	0	0	転送レートを 9600bps に設定
SC0MOD0	0	0	1	0	0	0	0	0	受信許可
SC0BUF	*	*	*	*	*	*	*	*	送信データを設定し、送信開始

INTTX0 割り込みルーチン

Acc	←	SC0BUF							受信バッファをリード
SC0BUF	*	*	*	*	*	*	*	*	次の送信データを設定.

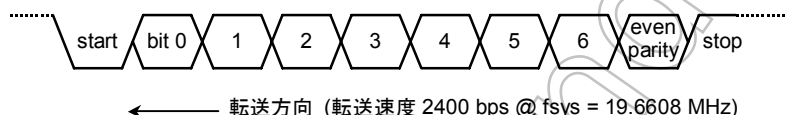
注: X = Don't care; "-" = No change

(2) モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD0 <SM1:0> を”01”にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR <PE> でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = ”1” (イネーブル) のときは、SC0CR <EVEN> で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



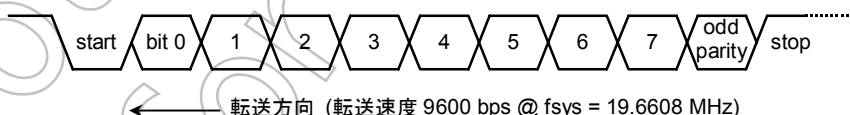
		7	6	5	4	3	2	1	0	
PACR	←	-	-	-	-	-	-	1	-	} PA1 を TXD0 端子として設定
PAFC	←	-	-	-	-	-	-	1	-	
PAFC2	←	X	X	X	-	X	X	0	-	
		(	(	(	(					
	←	X	X	X						
		X								
SC0MOD0	←	X	0	-	X	0	1	0	1	7 ビット UART モードに設定
SC0CR	←	X	1	1	X	X	X	0	0	偶数パリティを付加
BR0CR	←	0	0	1	0	1	0	0	0	転送レートを 2400bps に設定
INTES0	←	X	1	0	0	-	-	-	-	INTTX0 割り込みをイネーブル、レベル 4 に設定
SC0BUF	←	*	*	*	*	*	*	*	*	送信データを設定

注): X = Don't care; “-” = No change

(3) モード 2 (8 ビット UART モード)

SC0MOD0 <SM1:0> を”10”にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SC0CR <PE> でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = ”1” (イネーブル) のとき、SC0CR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



メインルーチンでの設定

	7	6	5	4	3	2	1	0		
PACR	←	—	—	—	—	—	—	0	} PA0 を RXD0 端子として設定	
PAFC	←	—	—	—	—	—	—	1		
SC0MOD0	←	—	0	1	X	1	0	0	1	8 ビット UART モードで受信イネーブル 奇数パリティ付加
SC0CR	←	X	0	1	X	X	X	0	0	
BR0CR	←	0	0	0	1	1	0	0	0	転送レートを 9600 bps に設定
INTES0	←	X	—	—	X	1	0	0		INTTX0 割り込みをイネーブル、レベル 4 に設定

P

P

割り込み割り込みルーチンでの処理例

Acc = SC0CR AND 00011100 エラーチェックを行います。

if Acc = 0 then ERROR

Acc = SC0BUF 受信データを読み取ります。

注): X = Don't care “—” = No change

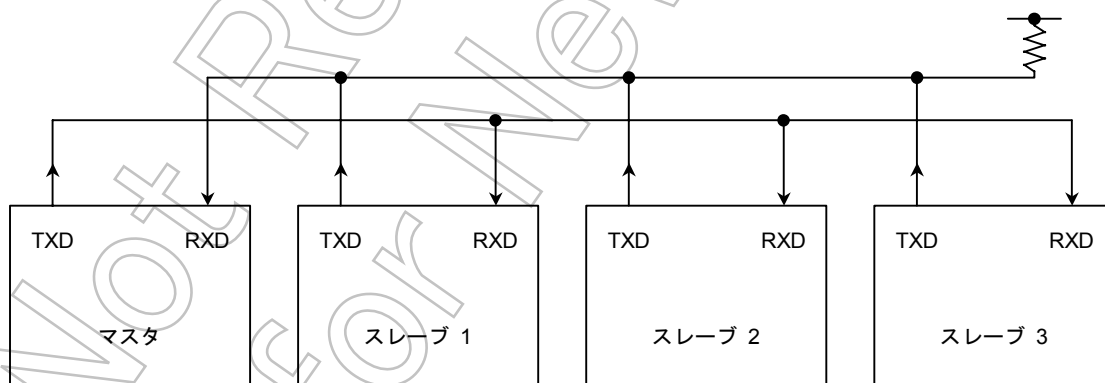
(4) モード 3 (9 ビット UART モード)

SC0MOD0 <SM1:0> を “11” にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタ SC0MOD0 の <TB8> に書き込み、受信の場合シリアルチャネルコントロールレジスタ SC0CR の <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず <TB8><RB8> を先に行い、SC0BUF の方を後にします。

ウェイクアップ機能

9 ビット UART モードでは、SC0MOD0 <WU> を “1” にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8> = “1” のときのみ割り込み INTRX0 が発生します。

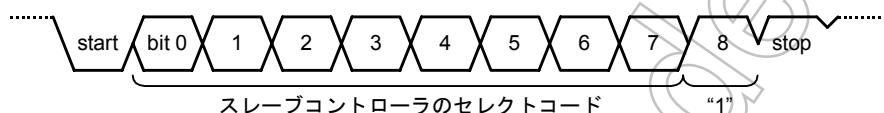


注) スレーブコントローラの TXD 端子は、かならず <PA0C, PA0F> = “01” に設定してオープンドレイン出力モードにしてください。

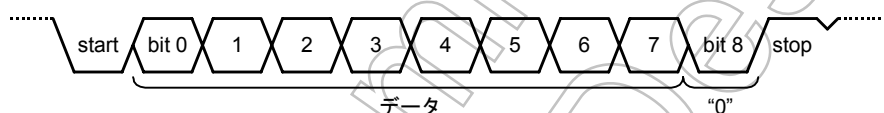
図 3.10.35 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは 9 ビット UART モードにします。
- ② 各スレーブコントローラは SC0MOD0 <WU> を “1” にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード (8 ビット) を含む 1 フレームを送信します。このとき最上位ビット (ビット 8) <TB8> は “1” にします。

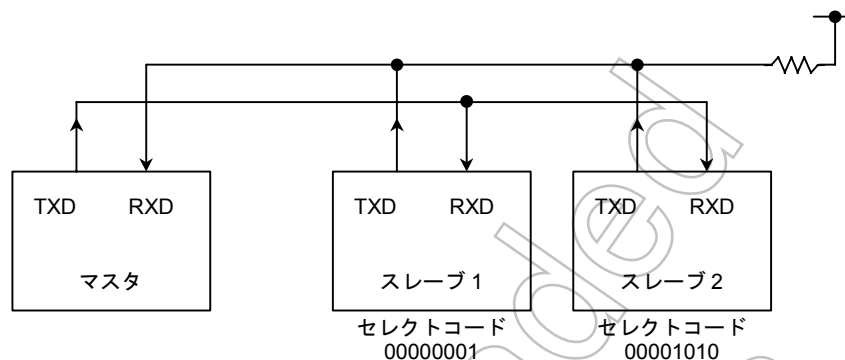


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WU ビットを “0” にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ (SC0MOD0 <WU> = 0 にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット 8) <TB8> は “0” にクリアされます。



- ⑥ WU=1 のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の <RB8> が “0” であるため割り込み INTRX0 が発生せず、受信データを無視します。また、<WU> = 0 になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック fsys を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



シリアルチャネル 0~2 は同じ方法で正確に動作します。チャネル 0 は、この説明のためだけに使用されます。

•マスタコントローラの設定

メインルーチン

	7	6	5	4	3	2	1	0		
PACR	←	-	-	-	-	-	1	0	} PA0 を RXD0、PA1 を TXD0 端子として設定	
PAFC	←	-	-	-	-	-	1	1		
PAFC2	←	X	X	X	-	X	X	0		X
INTES0	←	X	1	0	0	X	1	0	1	INTTX0 割り込みをイネーブル、割り込みレベルを4に設定。
SC0MOD0	←	1	0	1	0	1	1	1	0	INTRX0 割り込みをイネーブル、割り込みレベルを5に設定
SC0BUF	←	0	0	0	0	0	0	0	1	9 ビット UART モードの転送クロックとして fsys を設定
										スレーブコントローラ1のセレクトコードを設定

割り込みルーチン (INTTX0)

SC0MOD0	←	0	-	-	-	-	-	-	} TB8 を "0" に設定 送信データを設定
SC0BUF	←	*	*	*	*	*	*	*	

•スレーブの設定

メインルーチン

	7	6	5	4	3	2	1	0		
PACR	←	-	-	-	-	-	1	0	} PA0 を RXD0、PA1 を TXD0 (オープンドレイン出力)にします。	
PAFC	←	-	-	-	-	-	1	1		
PAFC2	←	X	X	X	-	X	X	1		X
INTES0	←	X	1	0	1	X	1	1	0	INTTX0 割り込みをイネーブル、割り込みレベルを5に設定
SC0MOD0	←	0	0	1	1	1	1	1	0	INTRX0 割り込みをイネーブル、割り込みレベルを6に設定
										転送クロックとして fsys を使用する9ビットUART送信モードで、 <WU>="1"に設定

INTRX0 割り込みルーチン (INTRX0)

```
Acc ← SC0BUF
if Acc = セレクトコード
Then SC0MOD0 ← ---0---- <WU>="0"にクリア
```

注): X = Don't care "-" = No change

3.10.5 IrDA のサポート

SIO0 には、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。図 3.10.36に、構成図を示します。

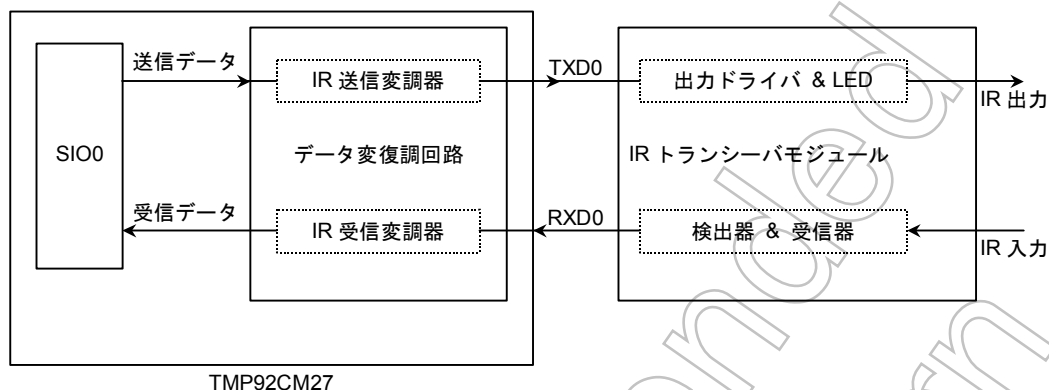


図 3.10.36 IrDA の構成図 (SIO0)

(1) 送信データの変調

送信データが“0”のときは、モデムはボーレート周期の 3/16 倍の幅、または 1/16 倍の幅の TXD0 端子に“1”を出力します。またパルス幅は SIR0CR<PLSEL>にて選択されます。送信データが“1”のときは、モデムは“0”を出力します。

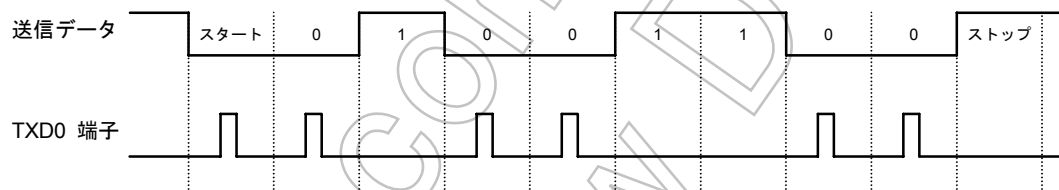


図 3.10.37 送信データの変調例 (SIO0)

(2) 受信データの変調

受信データが、有効なパルス“1”の幅のときは、モデムは SIO0 に対して“0”を出力し、それ以外のときは、“1”を出力します。

有効なパルス幅は SIR0CR<SIR0WD3:0>にて選択されます。

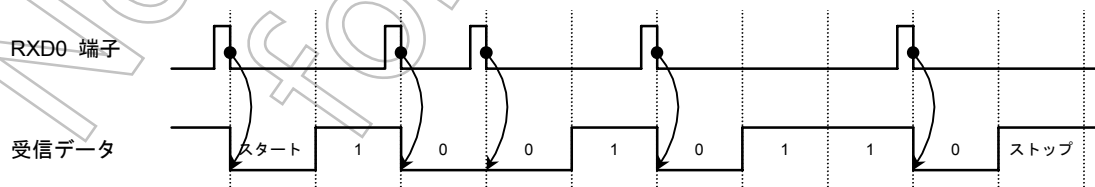


図 3.10.38 受信データの変調例 (SIO0)

(3) データのフォーマット

データフォーマットは、以下のフォーマットのみとなります。

- データ長 : 8 ビット
- パリティビット : なし
- ストップビット : 1 ビット

(4) SFR 説明

図 3.10.39 にコントロールレジスタを示します。このレジスタの設定変更を行うときは、かならず SIO0 が停止している間に行ってください。以下にこのレジスタの設定方法の特徴を示します。

- | | |
|--------------------|----------------------------------|
| 1) SIO 設定 | ;SIO を UART に設定します。 |
| ↓ | |
| 2) LD(SIR0CR), 07H | ;受信データパルス幅を 16x+100ns に設定します。 |
| 3) LD(SIR0CR), 37H | ;TXEN, RXEN の送受信を許可します。 |
| ↓ | |
| 4) 送受信スタート | ;SIO0 から送信データが送られてくるか、赤外線受信パルスを受 |
| および SIO0 用の受信 | けると、データの変復調を行います。 |

(5) 使用上の注意

1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に"01"を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG、 f_{sys} 、SCLK0 入力は使用できません。

2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.10.5 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度 許容誤差 (%)	パルス幅 (最小値)	パルス幅 3/16 (公称値)	パルス幅 (最大値)
2.4 kbps	RZl	±0.87	1.41 μ s	78.13 μ s	88.55 μ s
9.6 kbps	RZl	±0.87	1.41 μ s	19.53 μ s	22.13 μ s
19.2 kbps	RZl	±0.87	1.41 μ s	9.77 μ s	11.07 μ s
38.4 kbps	RZl	±0.87	1.41 μ s	4.88 μ s	5.96 μ s
57.6 kbps	RZl	±0.87	1.41 μ s	3.26 μ s	4.34 μ s
115.2 kbps	RZl	±0.87	1.41 μ s	1.63 μ s	2.23 μ s

赤外線パルス出力幅は、ボーレート $T \times 3/16$ 、または 1.6 μ s (ボーレート 115.2 kbps 時の $T \times 3/16$ に相当) と規定されています。

TMP92CM27 では、送信時の出力パルス幅を $T \times 3/16$ と $T \times 1/16$ とを選択できる機能がありますが、 $T \times 1/16$ を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps、57.6 kbps 時には、出力パルス幅を $T \times 1/16$ に設定してはいけません。

同様の理由で、SIO0 のボーレートジェネレータでの $+(16-K)/16$ 分周機能は 115.2Kbps のボーレートを発生させ使用することはできません。また、送信パルス幅を $1/16$ に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときもまた、 $+(16-K)/16$ 分周機能を使用することはできません。

下表に、 $+(16-K)/16$ 分周機能の使用可否をまとめたものを示します。

表 3.10.6 (16-K)/16 分周機能のボーレートとパルス幅

パルス幅	ボーレート					
	115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
$T \times 3/16$	×(注)	○	○	○	○	○
$T \times 1/16$	—	—	×	○	○	○

○ : (16-K)/16 分周機能使用可

× : (16-K)/16 分周機能使用不可

— : $T \times 1/16$ パルス幅に設定不可

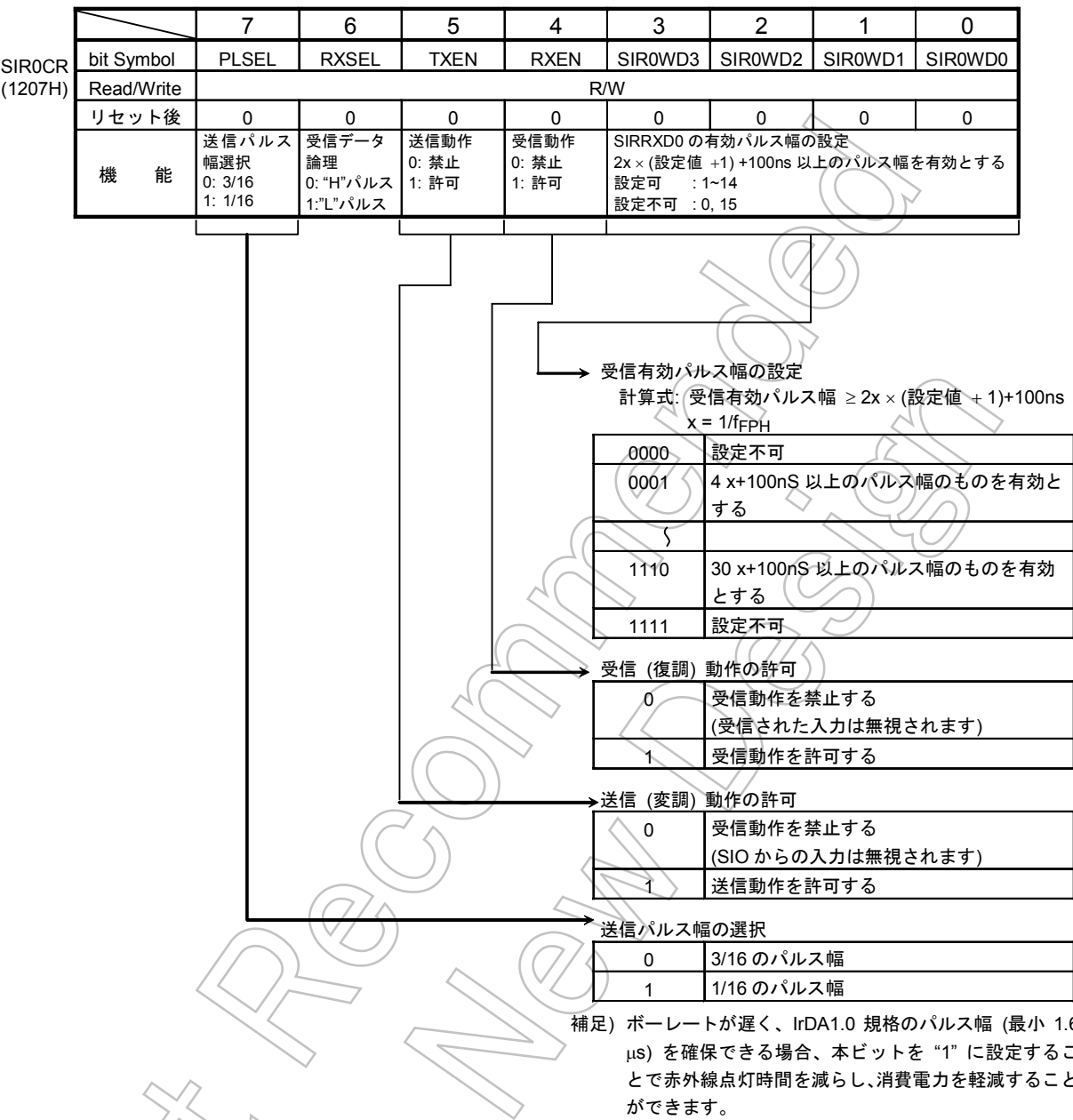


図 3.10.39 IrDA コントロールレジスタ 0 (SIO0 用)

3.11 シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 2 チャンネル内蔵しています。それぞれ SBI0, SBI1 と呼びます。各チャンネルは、下記の 2 つの動作モードを持っています。

- I²C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I²C バスモードのときには、PC0 (SDA0), PC1 (SCL0), PC3 (SDA1), PC4 (SCL1) を通して、外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、PC0 (SO0), PC1 (SI0), PC2 (SCK0), PC3 (SO1), PC4 (SI1), PC5 (SCK1) を通して外部デバイスと接続されます。

各チャンネルは、それぞれ独立して動作し、いずれも同一の動作をしますので、SBI0 の場合についてのみ説明します。

各端子の設定 (SBI0) は、下記のとおりとなります。

	PCCR<PC2C, PC1C, PC0C>	PCFC<PC2F, PC1F, PC0F>	PCFC2<PC1F2, PC0F2>
I ² C バスモード	X11	X11	11
クロック同期式 8 ビット SIO モード	000 (SCK 入力) 100 (SCK 出力)	111	0n 注1)

注 1) クロック同期式 8 ビット SIO モードにおける PCFC2<PC0F2>は、オープンドレイン出力が必要な場合に"1"に設定してください。

各端子の設定 (SBI1) は、下記のとおりとなります。

	PCCR<PC5C, PC4C, PC3C>	PCFC<PC5F, PC4F, PC3F>	PCFC2<PC4F2, PC3F2>
I ² C バスモード	X11	X11	11
クロック同期式 8 ビット SIO モード	000 (SCK 入力) 100 (SCK 出力)	111	0n 注1)

注 1) クロック同期式 8 ビット SIO モードにおける PCFC2<PC3F2>は、オープンドレイン出力が必要な場合に"1"に設定してください。

X: Don't care

3.11.1 構成

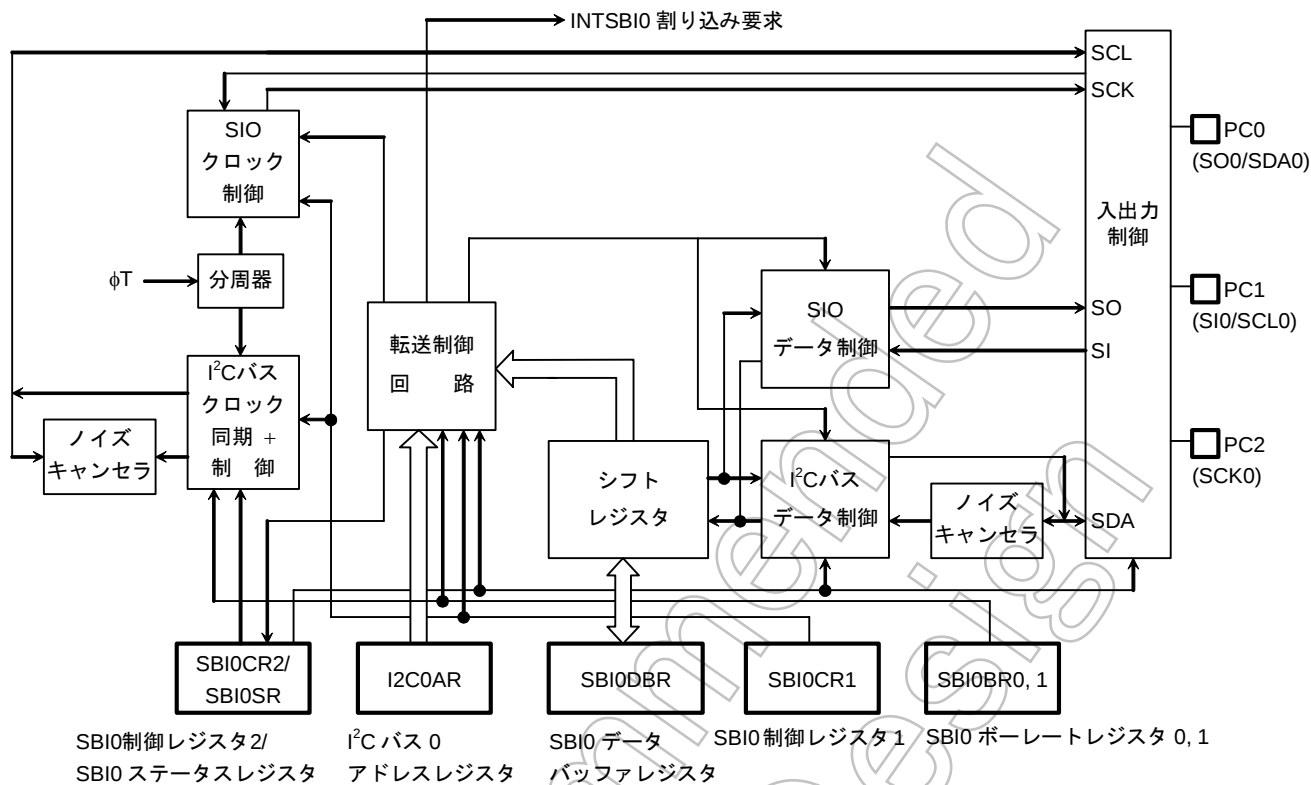


図 3.11.1 シリアルバスインタフェース (SBI0)

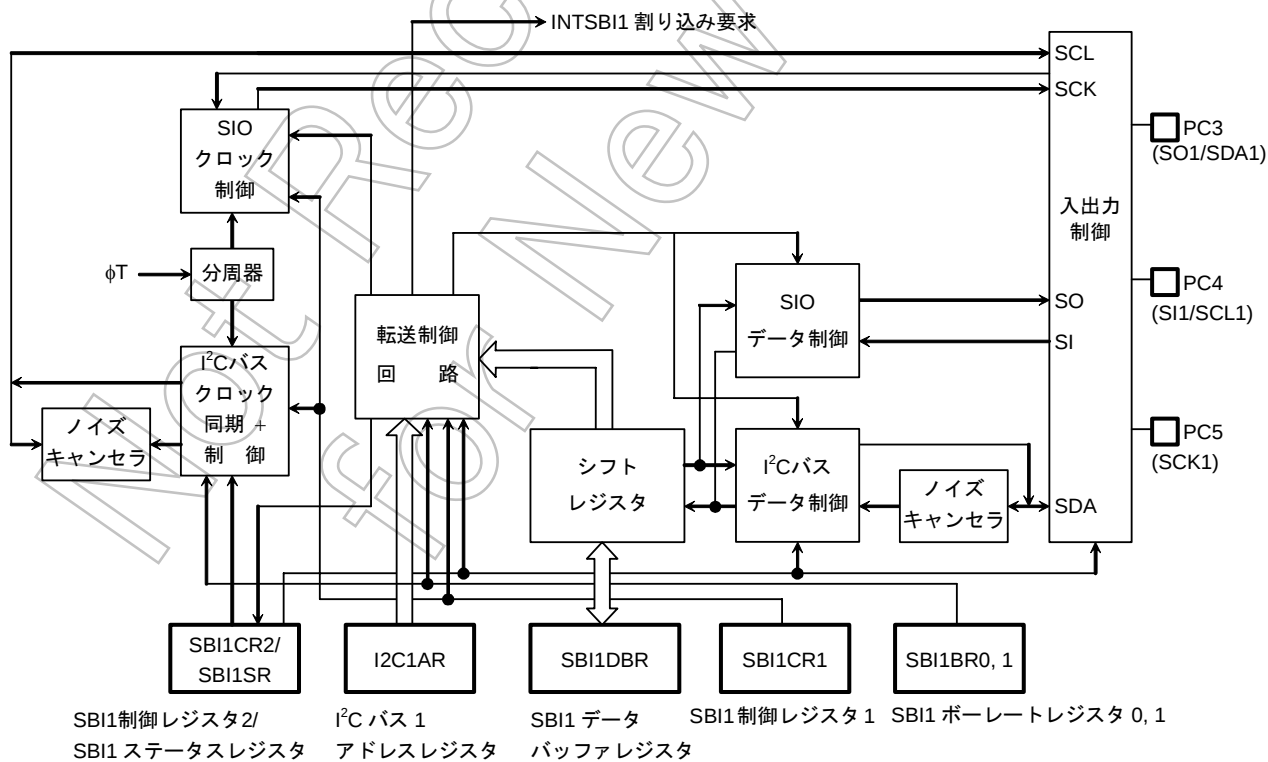


図 3.11.2 シリアルバスインタフェース (SBI1)

3.11.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

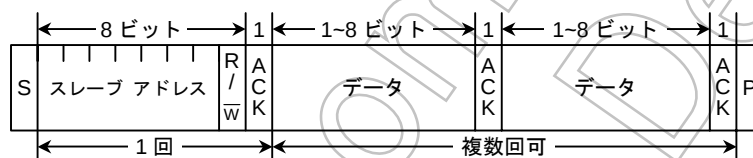
- シリアルバスインタフェース制御レジスタ 1 (SBI0CR1), (SBI1CR1)
- シリアルバスインタフェース制御レジスタ 2 (SBI0CR2), (SBI1CR2)
- シリアルバスインタフェースバッファレジスタ (SBI0DBR), (SBI1DBR)
- I²C バスアドレスレジスタ (I2C0AR), (I2C1AR)
- シリアルバスインタフェースステータスレジスタ (SBI0SR), (SBI1SR)
- シリアルバスインタフェースポーレートレジスタ 0 (SBI0BR0), (SBI1BR0)
- シリアルバスインタフェースポーレートレジスタ 1 (SBI0BR1), (SBI1BR1)

上記レジスタは使用するモードによって、機能が異なります。詳細は3.11.4「I²C バスモード時のコントロールレジスタ」および3.11.7「クロック同期式 8 ビット SIO モード時の制御」を参照してください。

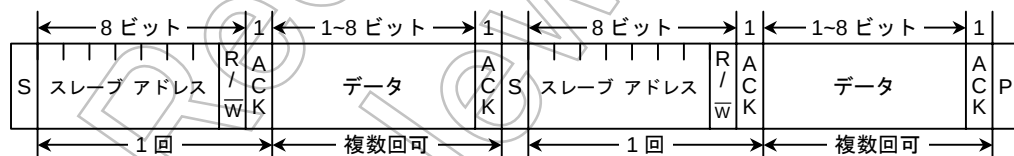
3.11.3 I²C バスモード時のデータフォーマット

I²C バスモード時のデータフォーマットを図 3.11.3 に示します。

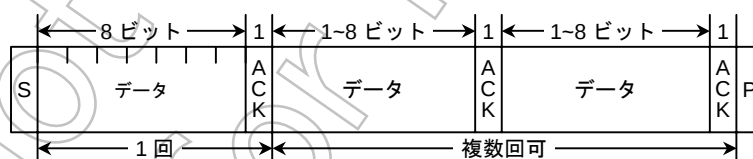
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注) S: スタートコンディション

R/W: 方向ビット

ACK: アクノリッジビット

P: ストップコンディション

図 3.11.3 I²C バスモード時のデータフォーマット

3.11.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI0, SBI1) を I²C バスモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 1

	7	6	5	4	3	2	1	0
SBI0CR1 (1240H)	Bit symbol	BC2	BC1	BC0	ACK	SCK2	SCK1	SCK0/ SWRMON
	Read/Write	W			R/W	W		R/W
	リセット後	0	0	0	0	0	0	0/1 (注 3)
機能	転送ビット数の選択 注 1)			アクノリッジメント クロック 0: 発生 しない 1: 発生 する		内部 SCL 出力クロックの 周波数選択 (注 2) とリセット モニタ		

リード
モディファイ
ライト
できません。

内部 SCL 出力クロックの周波数選択 <SCK2:0> @ライト

000	n = 5	-
001	n = 6	-
010	n = 7	-
011	n = 8	60.6 kHz
100	n = 9	30.8 kHz
101	n = 10	15.5 kHz
110	n = 11	7.78 kHz
111	(Reserved)	(Reserved)

システムクロック: f_c
クロックギア: $f_c/1$
 $f_c \approx 16 \text{ MHz}$ (SCL 端子への出力)
周波数 = $\frac{f_c}{2^n + 8} [\text{Hz}]$

ソフトウェアリセット状態モニタ <SWRMON> @リード

0	ソフトウェアリセット中
1	初期値

アクノリッジメントのためのクロック発生の選択

0	アクノリッジのためのクロックを発生しない。
1	アクノリッジのためのクロックを発生する。

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

注 1) クロック同期式 8 ビット SIO モードに切り替える前に <BC2:0> を "000" にクリアしてください。

注 2) SCL ラインクロックの周波数については、3.11.5 (3) 「シリアルクロック」を参照してください。

注 3) SCK0 の初期値は "0"、SWRMON の初期値は "1" です。

注 4) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが、I²C 規格外となります。

図 3.11.4 I²C バスモード関係のレジスタ (SBI0 用、SBI0CR1)

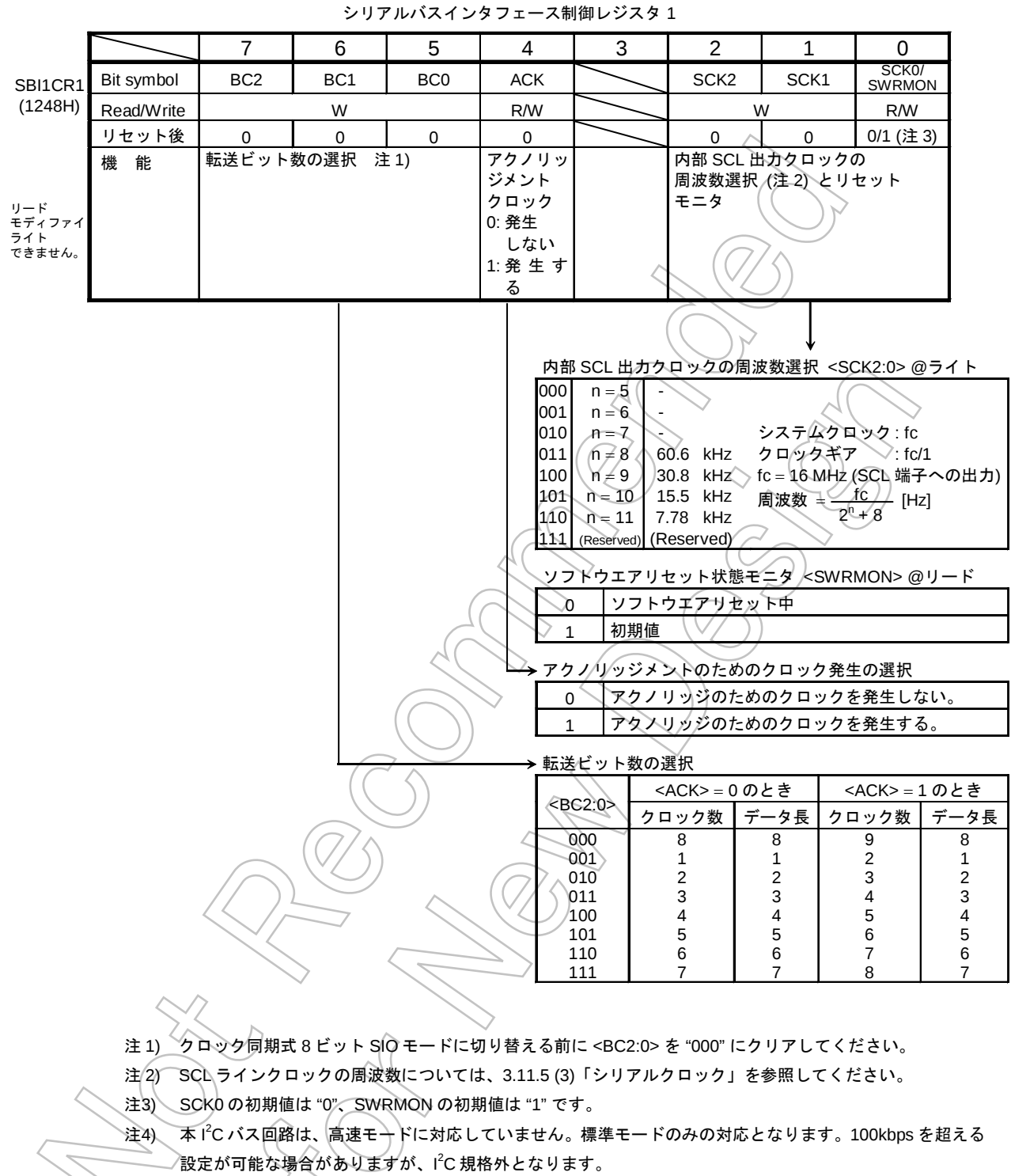
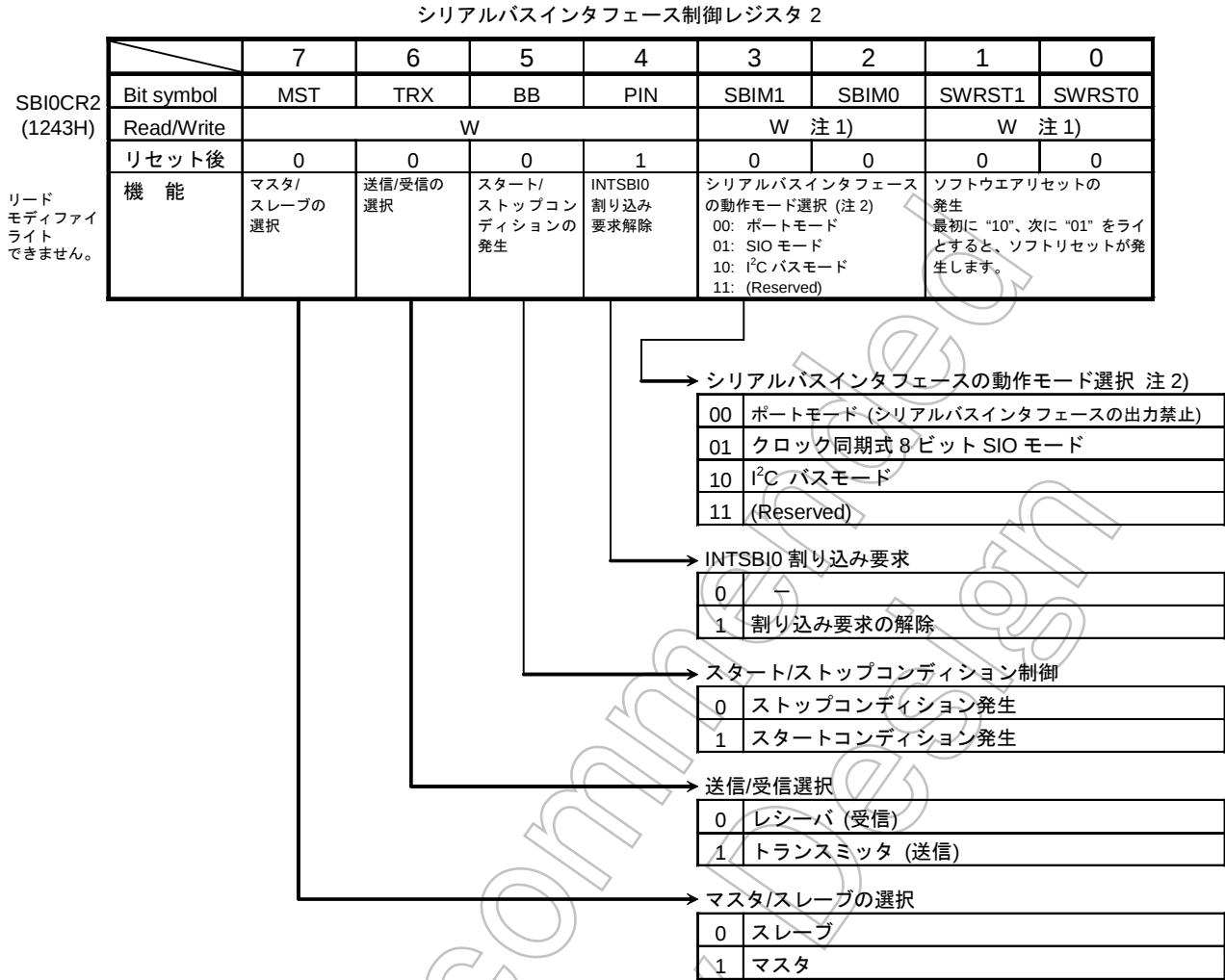


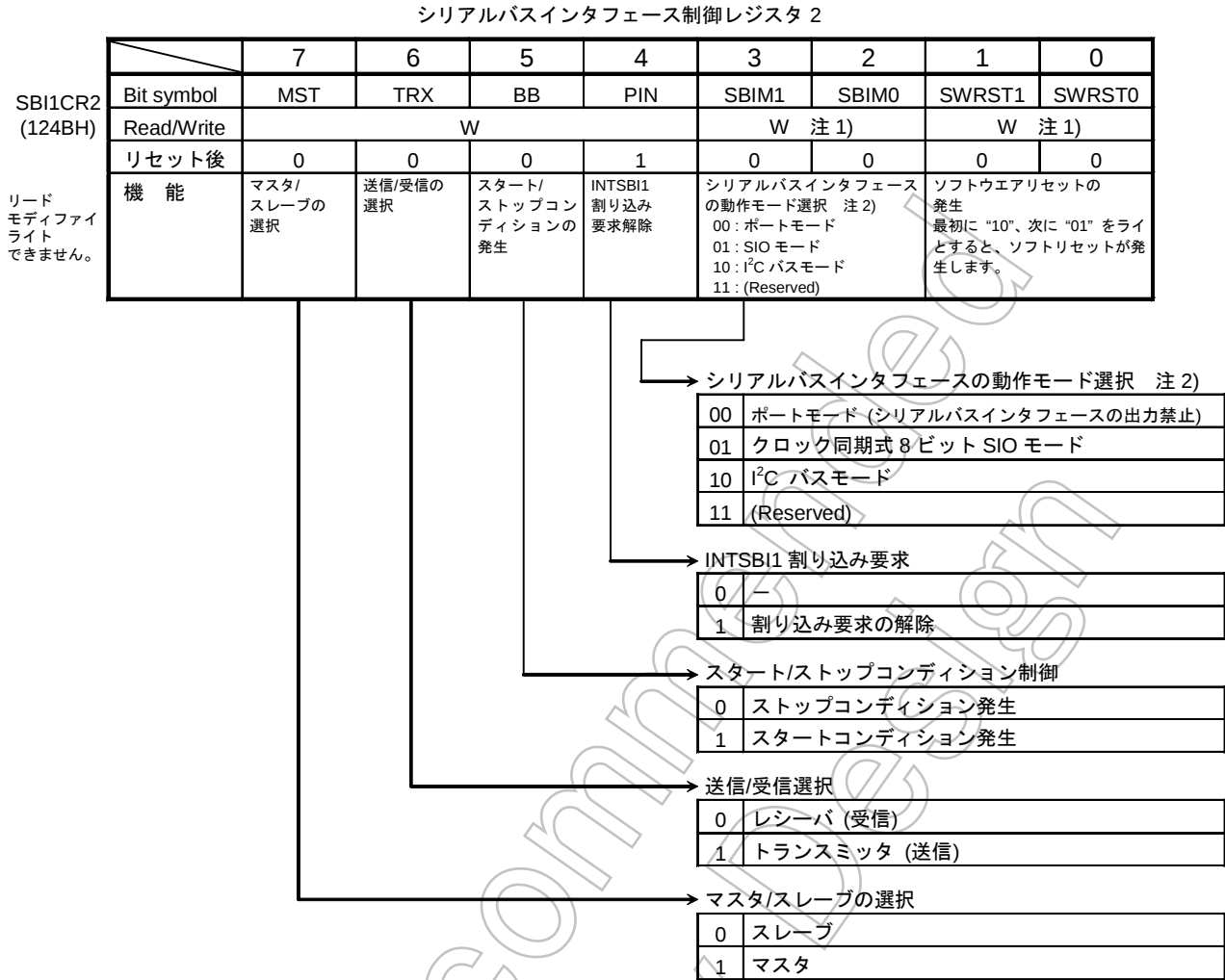
図 3.11.5 I²C バスモード関係のレジスタ (SBI1 用、SBI1CR1)



注 1) このレジスタをリードすると、SBI0SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。
ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が "H" レベルになっていることを確認してから行ってください。

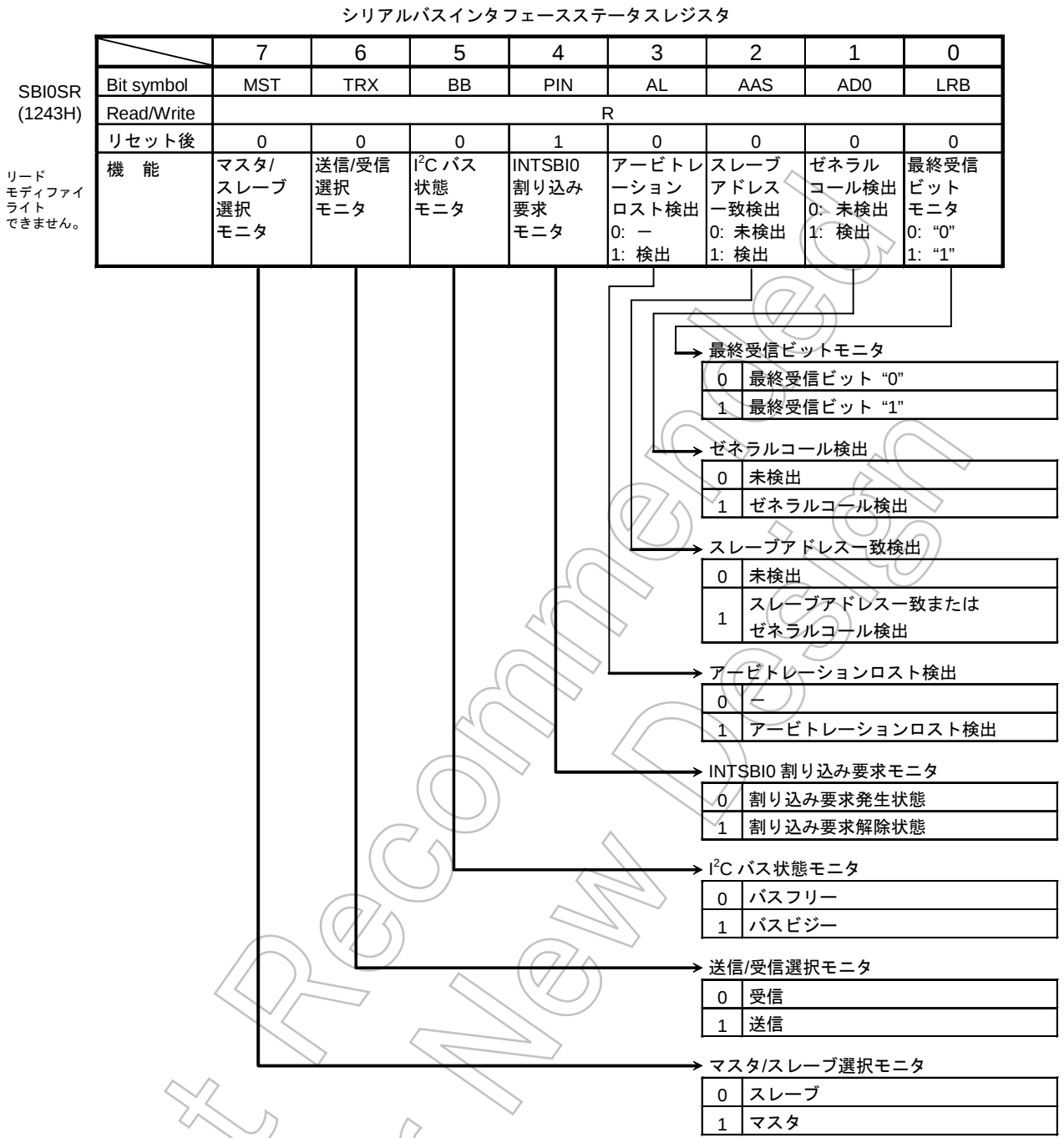
図 3.11.6 I²C バスモード関係のレジスタ (SBI0 用、SBI0CR2)



注 1) このレジスタをリードすると、SBI1SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。
また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が "H" レベルになっていることを確認してから行ってください。

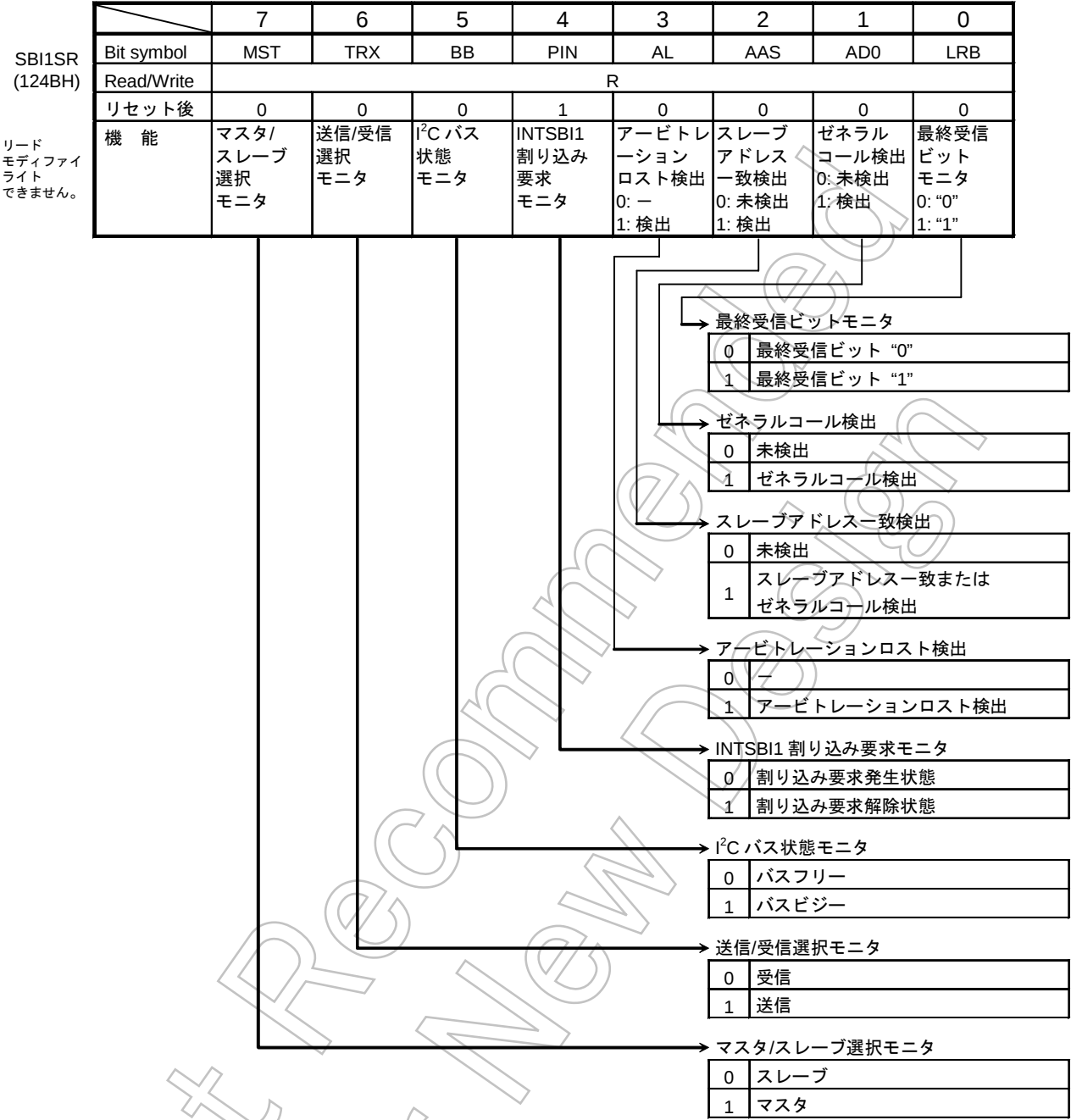
図 3.11.7 I²C バスモード関係のレジスタ (SBI1 用、SBI1CR2)



注) このレジスタをライトすると、SBI0CR2として機能します。

図 3.11.8 I²C バスモード関係のレジスタ (SBI0 用、SBI0SR)

シリアルバスインタフェースステータスレジスタ



注) このレジスタをライトすると、SBI1CR2 として機能します。

図 3.11.9 I²C バスモード関係のレジスタ (SBI1 用、SBI1SR)

シリアルバスインタフェースボーレートレジスタ 0

	7	6	5	4	3	2	1	0
SBI0BR0 (1244H)	Bit symbol	—	I2SBI0					
	Read/Write	W	R/W					
	リセット後	0	0					
リード モデファイ ライト できません。	機 能	"0" をライ トして く ださい。	IDLE2 0: 停止 1: 動作					

IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェースボーレートレジスタ 1

	7	6	5	4	3	2	1	0
SBI0BR1 (1245H)	Bit symbol	P4EN	—					
	Read/Write	W	W					
	リセット後	0	0					
リード モデファイ ライト できません。	機 能	内部クロ ック 0: 停止 1: 動作	"0" をライ トして く ださい。					

内部ボーレート回路制御

0	停止
1	動作

シリアルバスインタフェースデータバッファレジスタ

		7	6	5	4	3	2	1	0
SBI0DBR (1241H)	Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
リード	リセット後	不定							

注 1) 送信データ書き込み時には、データを MSB (ビット 7) 側に つめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBI0DBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

注 3) SBI0DBR に書き込んだ値は INTSBI0 割り込み信号により "0" にクリアされます。

I²C バスアドレスレジスタ

		7	6	5	4	3	2	1	0
I2C0AR (1242H)	Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
	Read/Write	W							
リード モデファイ ライト できません。	リセット後	0	0	0	0	0	0	0	0
	機 能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス 認識 モードの 指定

アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 3.11.10 I²C バスモード関係のレジスタ (SBI0 用、SBI0BR0, SBI0BR1, SBI0DBR, I2C0AR)

シリアルバスインタフェースボーレートレジスタ 0

	7	6	5	4	3	2	1	0
SBI1BR0 (124CH)	Bit symbol	—	I2SBI1					
	Read/Write	W	R/W					
	リセット後	0	0					
リード モデファイ ライト できません。	機 能	“0” をライ トして ください。	IDLE2 0: 停止 1: 動作					

→ IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェースボーレートレジスタ 1

	7	6	5	4	3	2	1	0
SBI1BR1 (124DH)	Bit symbol	P4EN	—					
	Read/Write	W	W					
	リセット後	0	0					
リード モデファイ ライト できません。	機 能	内部クロ ック 0: 停止 1: 動作	“0” をライ トして ください。					

→ 内部ボーレート回路制御

0	停止
1	動作

シリアルバスインタフェースデータバッファレジスタ

		7	6	5	4	3	2	1	0
SBI1DBR (1249H)	Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
リード	リセット後	不定							

リード
モデファイ
ライト
できません。

注 1) 送信データ書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBI1DBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

注 3) SBI1DBR に書き込んだ値は INTSBI1 割り込み信号により “0” にクリアされます。

I²C バスアドレスレジスタ

	7	6	5	4	3	2	1	0	
I2C1AR (124AH)	Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
	Read/Write	W							
リード モディファイ ライト できません。	リセット後	0	0	0	0	0	0	0	0
	機 能	スレーブデバイスとして動作するときのスレーブアドレスの設定							

↓
アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 3.11.11 I²C バスモード関係のレジスタ (SBI1 用、SBI1BR0, SBI1BR1, SBI1DBR, I2C1AR)

3.11.5 I²C バスモード時の制御

(1) アクノリッジメントモードの指定

SBI0CR1<ACK> を“1” にセットしておく、と、アクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスマッタモードのときには、このクロックの期間中、SDA0 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA0 端子を“L”レベルに引き、アクノリッジ信号を発生します。

<ACK> を“0” に設定しておく、と、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

(2) 転送ビット数の選択

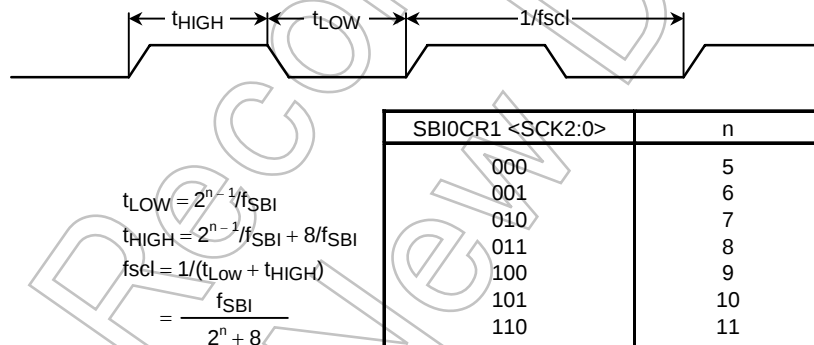
SBI0CR1<BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより“000”にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のとき、<BC2:0> は一度設定された値を保持します。

(3) シリアルクロック

a. クロックソース

SBI0CR1<SCK2:0> で、マスタモード時に SCL0 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式に合わせて t_{LOW} の最小幅など、I²C バス規定を満足する通信ボーレートを選択してください。



注 1) f_{SBI} は f_{FPH} を示します。

注 2) SYSCR0 のプリスケアラの設定において SBI 回路 (I²C-bus、同期通信) 使用時に $f_c/16$ モードは使用できません。

図 3.11.12 クロックソース

b. クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

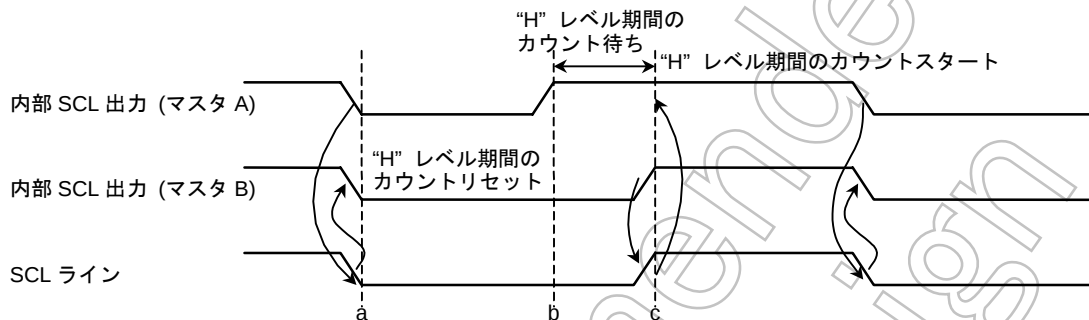


図 3.11.13 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントリセットし、内部 SCL 出力を“L”レベルに引き下げます。

b 点でマスタ A は“L”レベル期間のカウンタを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B が、バスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウンタを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウンタを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと最も長い“L”レベル期間を持つマスタによって決定されます。

(4) スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2C0AR にスレーブアドレス <SA6:0> と <ALS> を設定します。

<ALS> に“0”を設定すると、アドレス認識モードになります。

(5) マスタ/スレーブの選択

SBI0CR2<MST> を“1”に設定すると、マスタデバイスとして動作します。

<MST> を“0”に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、または、アービトレーションロストの検出で、ハードウェアにより“0”にクリアされます。

(6) トランスマッタ/レシーバの選択

SBI0CR2<TRX> を “1” に設定すると、トランスマッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、受信したスレーブアドレスが I2C0AR にセットした値と同じとき、または、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき、ハードウェアによりマスタデバイスから送られてくる方向ビット (R/ $\bar{W}$) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にクリアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> は、バス上のストップコンディションの検出またはアービトレーションロストの検出で、ハードウェアにより “0” にクリアされます。

(7) スタート/ストップコンディションの発生

SBI0SR<BB> が “0” のときに、SBI0CR2 <MST, TRX, BB, PIN> に “1” を書き込むと、バス上にスタートコンディションと、データバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK> に “1” を設定してください。

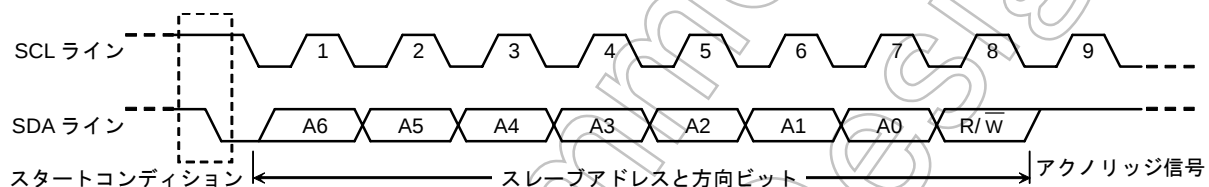


図 3.11.14 スタートコンディションの発生とスレーブアドレスの発生

SBI0SR<BB> = “1” のとき、SBI0CR2<MST, TRX, PIN> に “1”、SBI0CR2<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで <MST, TRX, BB, PIN> の内容を書き替えないでください。

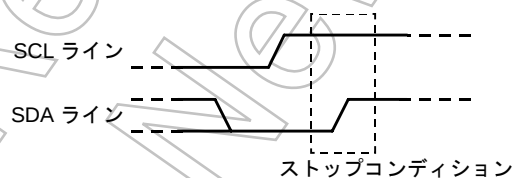


図 3.11.15 ストップコンディションの発生

また、SBI0SR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にクリアされます (バスフリー状態)。

なお、マスタモードでのストップコンディション発生については制約事項がありますので 3.11.6 (4) 「ストップコンディションの発生」を参照してください。

(8) 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBI0) が発生すると、SBI0SR <PIN> が “0” にクリアされます。<PIN> が “0” の間、SCL ラインを “L” レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると “0” にクリアされ、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと “1” にセットされます。

<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2C0AR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にクリアされます。プログラムで SBI0CR2<PIN> に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBI0CR2<SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。

I²C バスモードで使用するときは、シリアルバスインタフェース端子の状態が “H” になっていることを確認後、<SBIM1:0> を “10” に設定します。

ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B と同じデータを出力し、a 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ A のデータを取り込みます。このときマスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼び、マスタ B は SDA 端子を開放し、ほかのマスタが出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

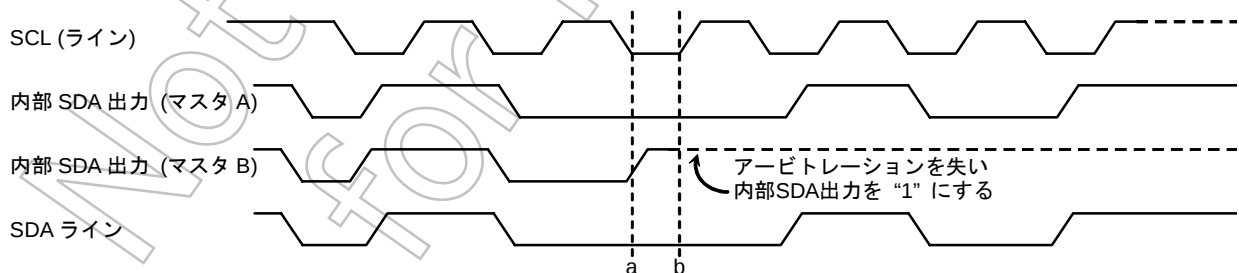


図 3.11.16 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBI0SR<AL> が“1”にセットされます。

<AL> が“1”にセットされると SBI0SR<MST, TRX> は“0”にリセットされ、スレーブレシーバモードになります。そのため、<AL> が“1”にセットされた後のデータ転送では、クロックの出力を停止します。

<AL> は、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み込む、または SBI0CR2 にデータを書き込むと“0”にリセットされます。

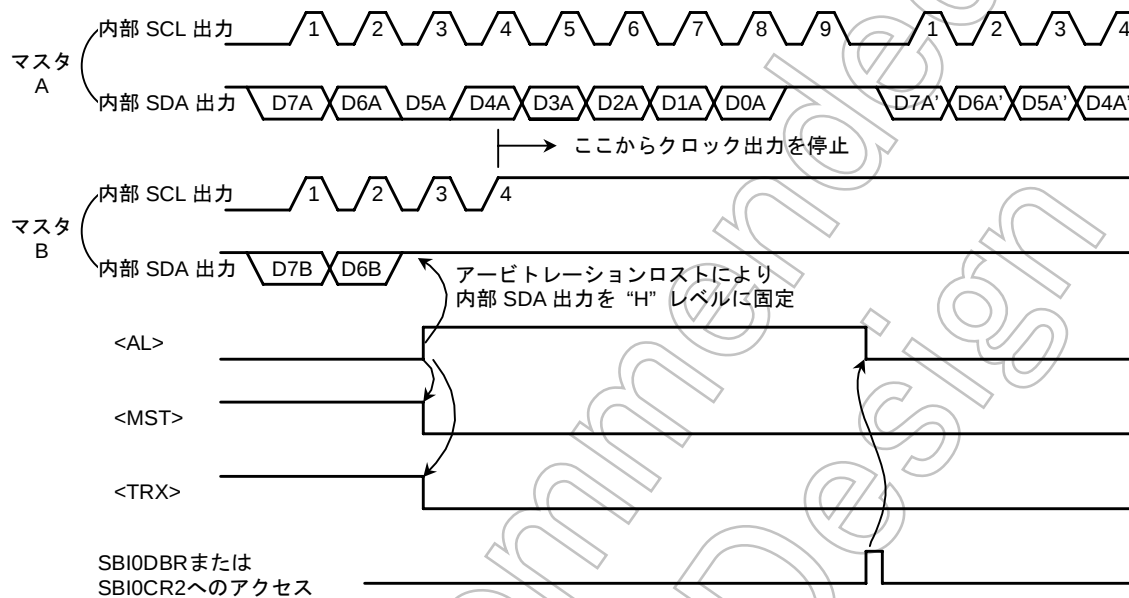


図 3.11.17 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

(11) スレーブアドレス一致検出モニタ

SBI0SR<AAS> は、スレーブモード時、アドレス認識モード (I2C0AR<ALS> = “0”) のとき、ゼネラルコールまたは I2C0AR にセットした値と同じスレーブアドレスを受信すると“1”にセットされます。<ALS> = “1”のときは、最初の 1 ワードが受信されると“1”にセットされます。<AAS> は SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと“0”にクリアされます。

(12) ゼネラルコール検出モニタ

SBI0SR<AD0> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて“0”) を受信したとき“1”にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると“0”にクリアされます。

(13) 最終受信ビットモニタ

SBI0SR<LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI0 割り込み要求発生直後に SBI0SR<LRB> を読み出すと、ACK 信号が読み出されます。

(14) ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBI0CR2<SWRST1:0>へ最初に“10”、次に“01”をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、SBI0CR2<SBIM1:0>を除くすべてのコントロールレジスタとステータスフラグは、リセット直後の値となります。また、SBI0CR1<SWRMON>はシリアルバスインタフェース回路の初期化が終了すると、自動的に“1”にセットされます。

(15) シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)

SBI0DBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。

また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションが発生します。

(16) I²C バスアドレスレジスタ (I2C0AR)

I2C0AR<SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。

また、I2C0AR<ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

(17) ボーレートレジスタ 1 (SBI0BR1)

I²C バスを使用する前に、ボーレート回路制御レジスタ SBI0BR1<P4EN> に “1” を書き込んでください。

(18) ボーレートレジスタ 0 (SBI0BR0)

SBI0BR0<I2SBI0>は IDLE2 モードに遷移した際に動作の許可/禁止を設定するレジスタです。

HALT 命令を実行する前に、あらかじめ設定してください。

3.11.6 I²C バスモード時のデータ転送手順

(1) デバイスの初期化

最初に SBI0BR1<P4EN>, SBI0CR1<ACK, SCK2:0> を設定します。SBI0BR1<P4EN> = “1”を、SBI0CR1 のビット 7~5, 3 には、“0” を書き込んでください。

次に I2C0AR にスレーブアドレス <SA6:0> と、<ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

それから、SBI0CR2<MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” を書き込み、初期状態をスレーブシーバモードにします。

(2) スタートコンディション、スレーブアドレスの発生

a. マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (SBI0SR <BB> = “0”) を確認します。

次に、SBI0CR1<ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBI0DBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

SBI0SR <BB> = “0” の状態で、SBI0CR2<MST, TRX, BB, PIN>に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBI0DBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBI0 割り込み要求が発生し、SBI0SR <PIN> = “0” にクリアされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引きます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBI0 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

b. スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または、I2C0AR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBI0 割り込み要求が発生し、SBI0SR <PIN> = “0” にクリアされます。スレーブモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引きます。

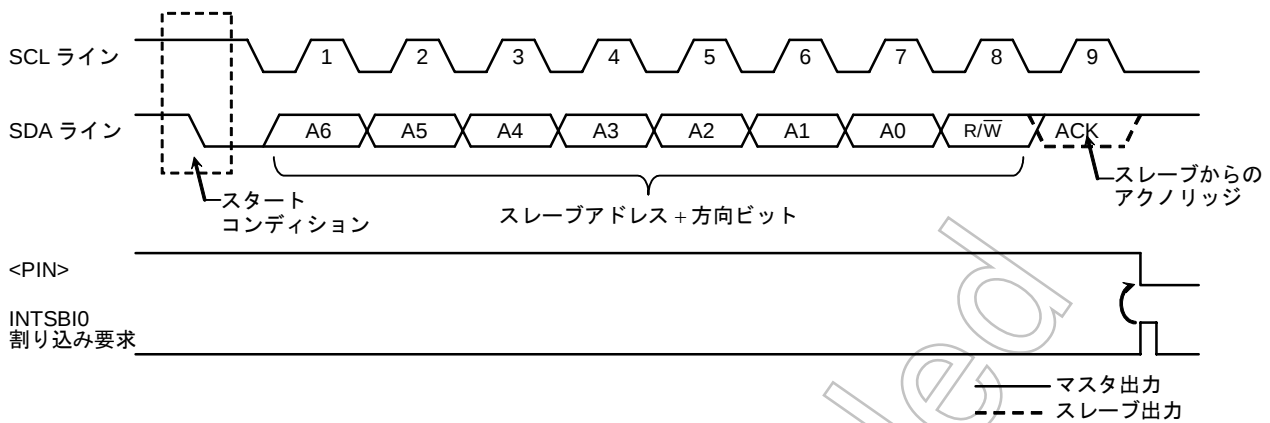


図 3.11.18 スタートコンディションとスレーブアドレスの発生

(3) 1 ワードのデータ転送

1 ワード転送終了の INTSBI0 割り込みの処理で SBI0SR <MST> をテストし、マスタモード/スレーブモードの判断をします。

a. マスタモードの場合 (<MST> = "1")

SBI0SR <TRX> をテストし、トランスマッタ/レシーバの判断をします。

トランスマッタモードの場合 (<TRX> ("1"))

<LRB> をテストします。<LRB> が "1" のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

<LRB> が "0" のとき、レシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき、SBI0DBR に転送データを書き込みます。8 ビット以外のときは SBI0CR1<BC2:0>, <ACK> を設定し、転送データを SBI0DBR に書き込みます。データを書き込むと SBI0SR <PIN> が "1" になり、SCL0 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、SDA0 端子から 1 ワードのデータが転送されます。転送終了後、INTSBI0 割り込み要求が発生して SBI0SR <PIN> が "0" になり、SCL0 端子を "L" レベルに引きます。複数ワードの転送が必要な場合は、上記 <LRB> のテストから繰り返します。

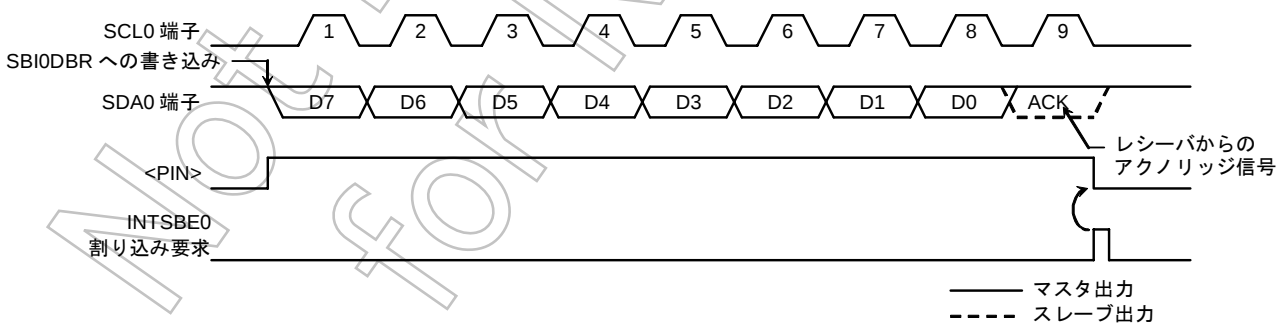


図 3.11.19 <BC2:0> = "000", <ACK> = "1" のときの例 (トランスマッタモード)

レシーバモードの場合 (<TRX> (“0”))

次に転送するデータのビット数が8ビット以外のときは SBI0CR1<BC2:0>, <ACK> を設定し、SCL ラインを解放するために SBI0DBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと SBI0SR <PIN> は “1” になり、次の1ワードのデータ転送用のシリアルクロックを SCL0 端子に出力し、アクノリッジのタイミングで “L” レベルを SDA 端子に出力します。

その後、INTSBIO 割り込み要求が発生して <PIN> が “0” になり、SCL0 端子を “L” レベルに引きます。SBI0DBR から受信データを読み出すたびに1ワードの転送クロックとアクノリッジを出力します。

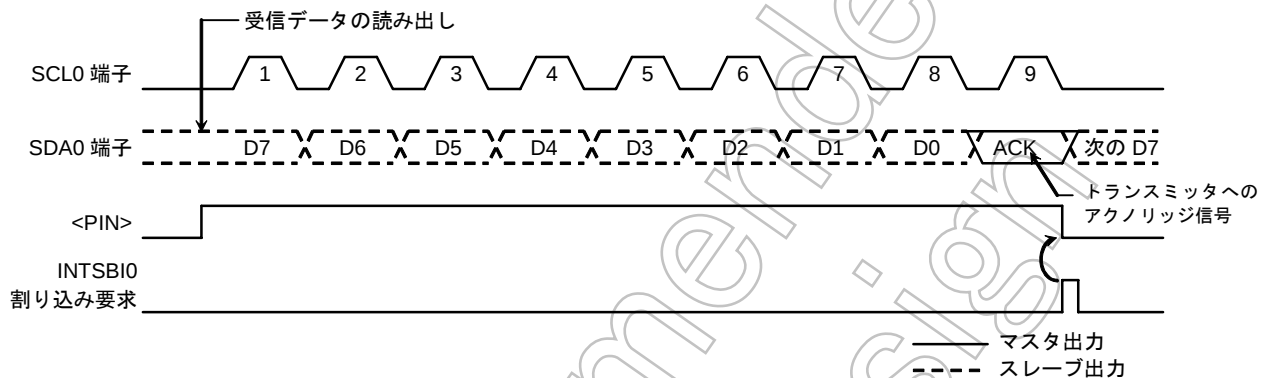


図 3.11.20 <BC2:0> = “000”, <ACK> = “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前に <ACK> を “0” にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、SBI0CR1<BC2:0> = “001” に設定し、データを読み出すと、1ビット転送のためのクロックが発生します。このとき、マスタはレシーバなので、バスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

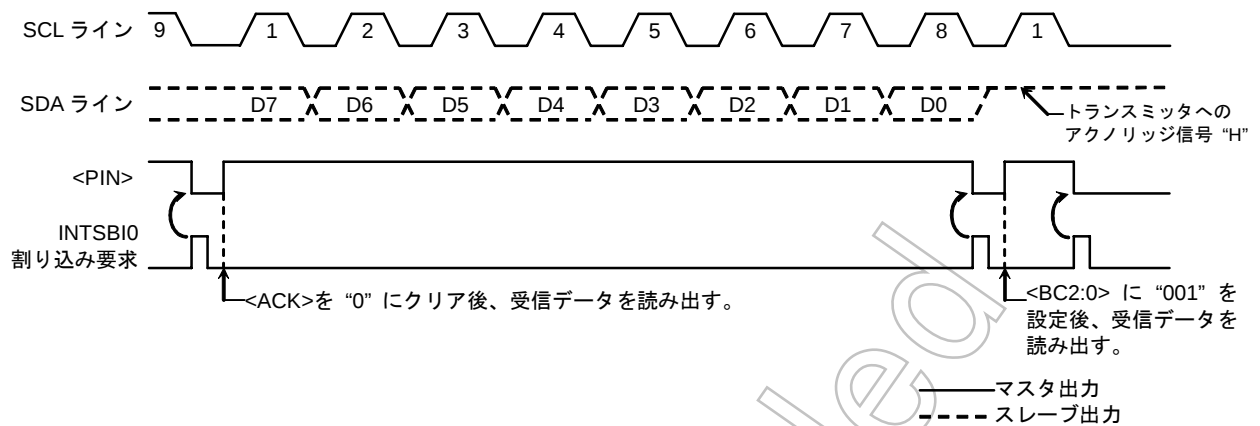


図 3.11.21 マスタレシーバモード時、データの送信を終了させるときの処理

b. スレーブモードの場合 (<MST> = "0")

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、または、ゼネラルコールを受信した後のデータ転送終了時に、INTSBI0 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBI0 割り込み要求が発生します。INTSBI0 割り込み要求が発生すると SBI0SR<PIN> が "0" にリセットされ、SCL0 端子を "L" レベルに引き下げます。SBI0DBR にデータを書き込む、SBI0DBR からデータを読み出す、または SBI0CR2<PIN> に "1" を設定すると、SCL0 端子が t_{LOW} 後に開放されます。

SBI0SR<AL>, <TRX>, <AAS>, <AD0> をテストし、場合分けを行います。表 3.11.1 にスレーブモード時の状態と必要な処理を示します。

表 3.11.1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状 態	処 理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“1”のスレーブアドレスを受信	1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBI0DBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に“1”をセット、<TRX>を“0”にリセットし、バスを開放します。<LRB>が“0”にリセットされていた場合、レシーバが次のデータを要求しているので、転送ビット数を<BC2:0>にセットし、送信するデータを SBI0DBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN> を “1” にセットするために SBI0DBR を読み出し (ダミー読み出し)、または<PIN>に“1”を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	転送ビット数を<BC2:0>にセットし、受信データを SBI0DBR から読み出します。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	

(4) ストップコンディションの発生

SBI0SR<BB> = “1” のときに、SBI0CR2<MST, TRX, PIN>に “1”、<BB>に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA0 端子が立ち上がり、ストップコンディションが発生します。

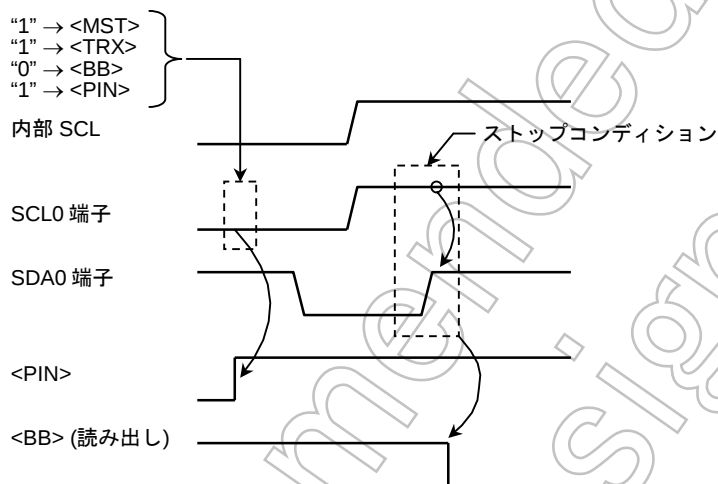


図 3.11.22 ストップコンディションの発生 (シングルマスタの場合)

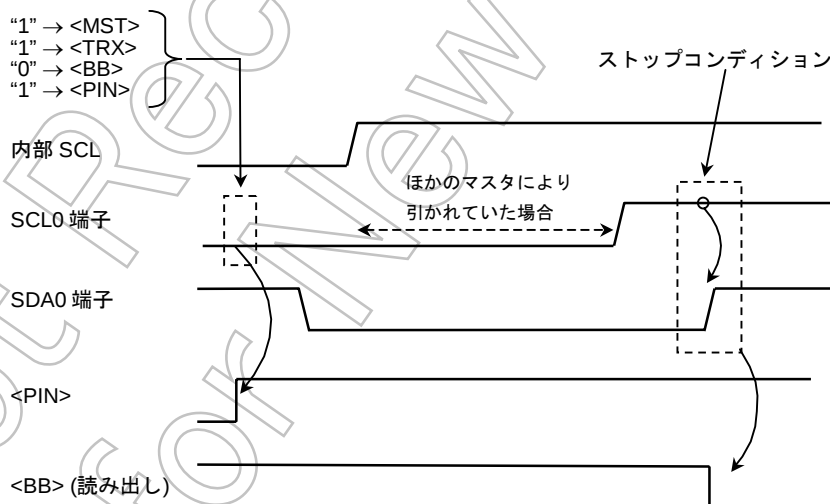


図 3.11.23 ストップコンディションの発生 (マルチマスタの場合)

(5) 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBI0CR2<MST, TRX, BB> に“0”、<PIN>に“1”を書き込み、バスを開放します。このとき SDA0 端子は“H”レベルを保ち、SCL0 端子が開放され、バス上にストップコンディションが発生されないため、ほかのデバイスから見るとバスはビジー状態のままです。この後、SCL0 端子が開放されバスフリー状態になったことを SBI0SR <BB> = “0”、もしくはポートモードによる SCL0 端子の信号レベル“1”の確認で行います。次に <LRB> をテストして“1”になるまで待ち、ほかのデバイスがバスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 (2) の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートコンディションの発生まで、最低 4.7 μ s のソフトウェアによる待ち時間が必要です。

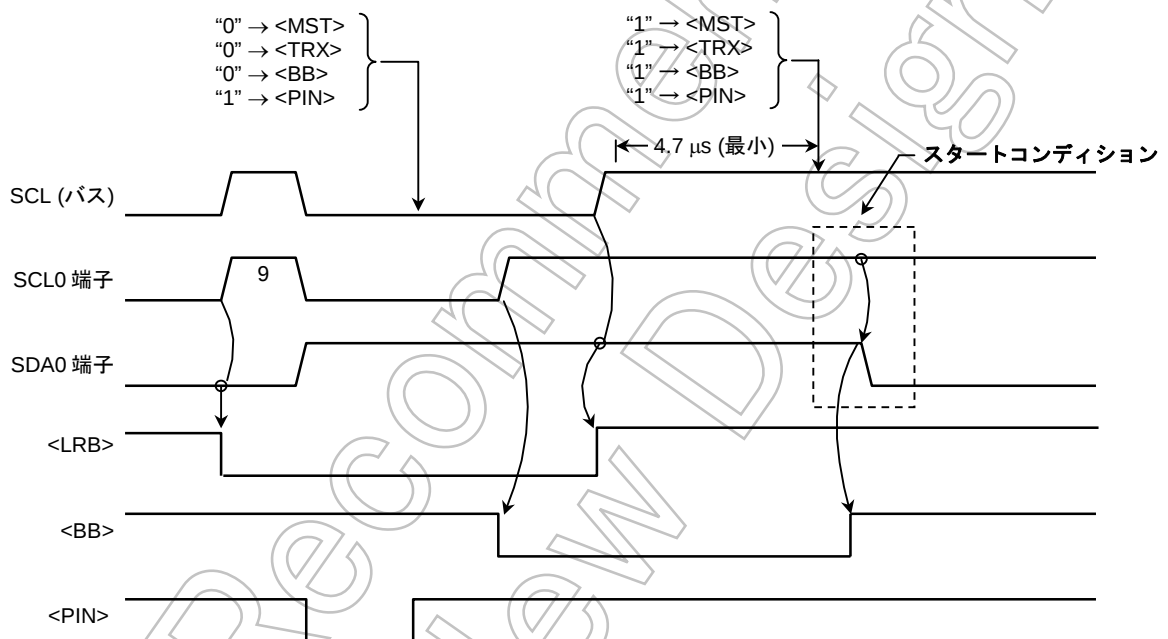
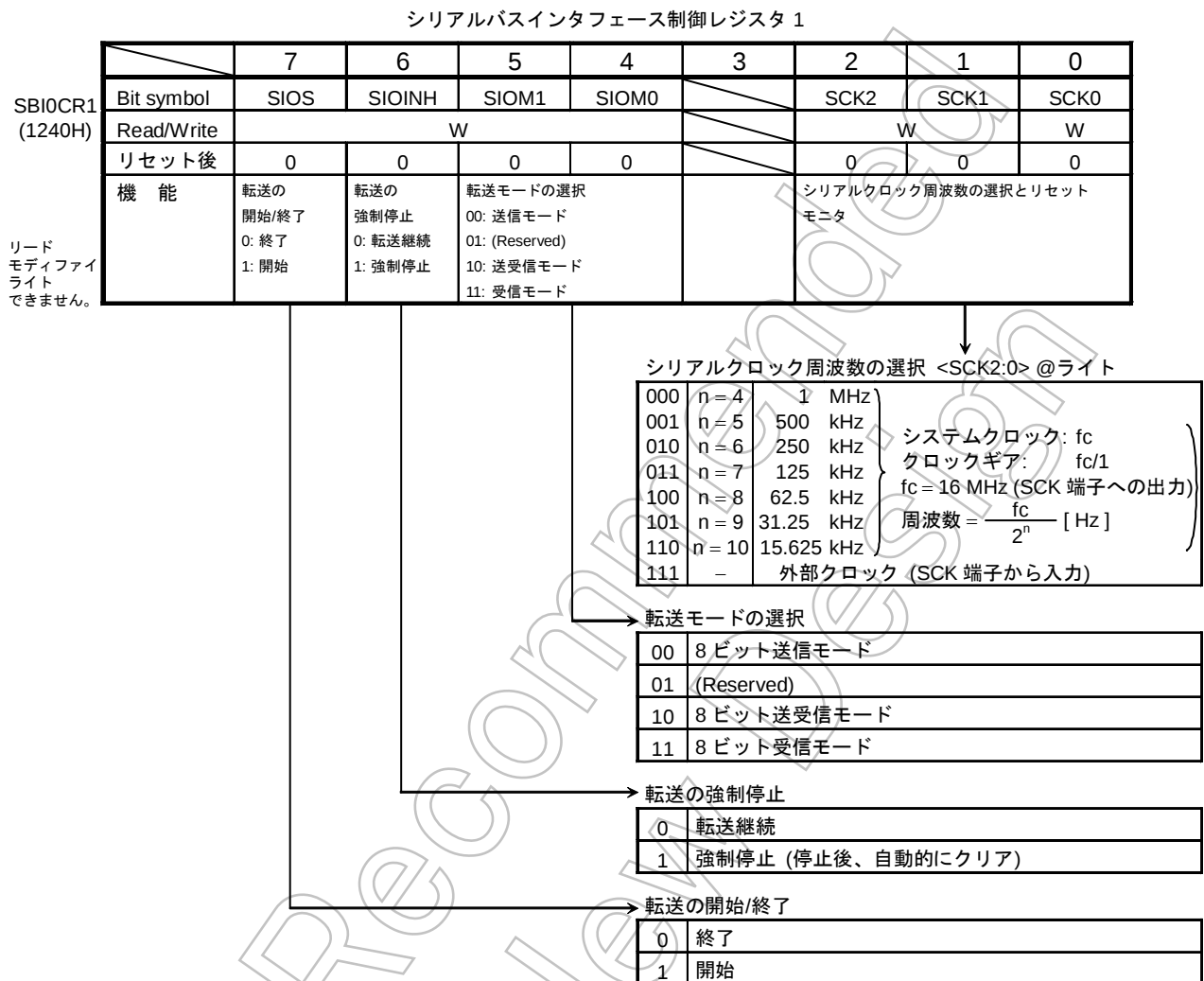


図 3.11.24 再スタートを発生する場合のタイミングチャート

3.11.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用する時の制御、および動作状態のモニタは、以下のレジスタで行います。



注) 転送モード、シリアルクロックの設定時は、<SIOS> = "0" および <SIOINH> = "1" に設定してください。

シリアルバスインタフェースデータバッファレジスタ

SBI0DBR (1241H) リード モディファイ ライト できません。		7	6	5	4	3	2	1	0
	Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
	リセット後	不定							

図 3.11.25 SIO モード関係のレジスタ (SBI0 用、SBI0CR1, SBI0DBR)



注) 転送モード、シリアルクロックの設定時は、<SIOS>="0" および <SIOINH>="1" に設定してください。



図 3.11.26 SIO モード関係のレジスタ (SBI1 用、SBI1CR1, SBI1DBR)

シリアルバスインタフェース制御レジスタ 2

SBI0CR2 (1243H)		7	6	5	4	3	2	1	0
	Bit symbol					SBIM1	SBIM0	—	—
	Read/Write					W		W	W
	リセット後					0	0	0	0
リード モディファイ ライト できません。	機 能					シリアルバスインタフェース の動作モード選択 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (Reserved)		注 2)	注 2)

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、SBI0CR1<BC2:0> を “000” にクリアしてください。

注 2) SBI0CR2 のビット 1,0 は、“00” 以外ライトしないでください。

シリアルバスインタフェースの動作モード選択

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(Reserved)

シリアルバスインタフェースレジスタ

SBI0SR (1243H)		7	6	5	4	3	2	1	0
	Bit symbol					SIOF	SEF		
	Read/Write					R			
	リセット後					0	0		
	機 能					シリアル 転送動作 状態モニタ	シフト動作 状態モニタ		

シリアル転送動作状態モニタ

0	転送終了
1	転送中

シフト動作状態モニタ

0	シフト動作終了
1	シフト転送中

シリアルバスインタフェースポーレートレジスタ 0

SBI0BR0 (1244H)		7	6	5	4	3	2	1	0
	Bit symbol	—	I2SBI0						
	Read/Write	W	R/W						
	リセット後	0	0						
リード モディファイ ライト できません。	機 能	“0” をライ トしてく ださい。	IDLE2 0: 停止 1: 動作						

IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェースポーレートレジスタ 1

SBI0BR1 (1245H)		7	6	5	4	3	2	1	0
	Bit symbol	P4EN	—						
	Read/Write	W	W						
	リセット後	0	0						
リード モディファイ ライト できません。	機 能	内部クロ ック 0: 停止 1: 動作	“0” をライ トしてく ださい。						

内部ポーレート回路制御

0	停止
1	動作

図 3.11.27 SIO モード関係のレジスタ (SBI0 用、SBI0CR2, SBI0SR, SBI0BR0, SBI0BR1)

シリアルバスインタフェース制御レジスタ 2

SBI1CR2 (124BH)		7	6	5	4	3	2	1	0
	Bit symbol					SBIM1	SBIM0	—	—
	Read/Write					W		W	W
	リセット後					0	0	0	0
リード モディファイ ライト できません。	機 能					シリアルバスインタフェース の動作モード選択 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (Reserved)		注 2)	注 2)

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、SBI0CR1<BC2:0> を “000” にクリアしてください。

注 2) SBI1CR2 のビット 1,0 は、“00” 以外ライトしないでください。

シリアルバスインタフェースの動作モード選択

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(Reserved)

シリアルバスインタフェースレジスタ

SBI1SR (124BH)		7	6	5	4	3	2	1	0
	Bit symbol					SIOF	SEF		
	Read/Write					R			
	リセット後					0	0		
	機 能					シリアル 転送動作 状態モニタ	シフト動作 状態モニタ		

シリアル転送動作状態モニタ

0	転送終了
1	転送中

シフト動作状態モニタ

0	シフト動作終了
1	シフト転送中

シリアルバスインタフェースポーレートレジスタ 0

SBI1BR0 (124CH)		7	6	5	4	3	2	1	0
	Bit symbol	—	I2SBI0						
	Read/Write	W	R/W						
	リセット後	0	0						
リード モディファイ ライト できません。	機 能	“0” をライ トしてく ださい。	IDLE2 0: 停止 1: 動作						

IDLE2 時の動作

0	停止
1	動作

シリアルバスインタフェースポーレートレジスタ 1

SBI1BR1 (124DH)		7	6	5	4	3	2	1	0
	Bit symbol	P4EN	—						
	Read/Write	W	W						
	リセット後	0	0						
リード モディファイ ライト できません。	機 能	内部クロ ック 0: 停止 1: 動作	“0” をライ トしてく ださい。						

内部ポーレート回路制御

0	停止
1	動作

図 3.11.28 SIO モード関係のレジスタ (SBI1 用、SBI1CR2, SBI1SR, SBI1BR0, SBI1BR1)

(1) シリアルクロック

a. クロックソース

SBI0CR1<SCK2:0> により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックは SCK0 端子より外部に出力されます。なお、転送開始時、SCK0 端子出力は“H”レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み出し (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を持っています。

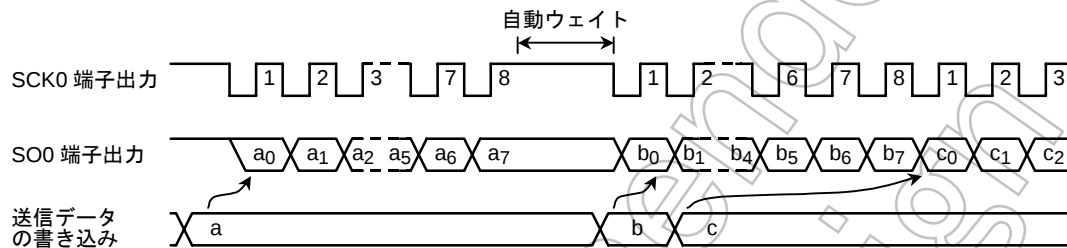


図 3.11.29 自動ウェイト機能

外部クロック (<SCK2:0> (“111”))

外部から SCK0 端子に供給されるクロックを“シリアルクロック”として用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベル幅は、下記に示すパルス幅が必要です。(最大転送周波数は 1 MHz (f_c (16 MHz 時) です。)

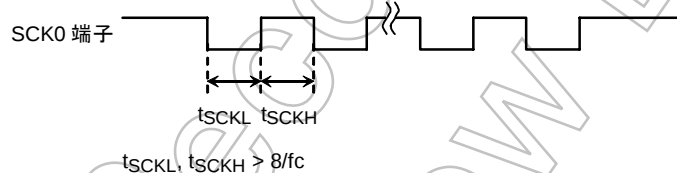


図 3.11.30 外部クロック入力時の最大転送周波数

b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁 (SCK0 端子入出力の立ち下がりエッジ) で、データをシフトします。

後縁シフト

シリアルクロックの後縁 (SCK0 端子入出力の立ち上がりエッジ) で、データをシフトします。

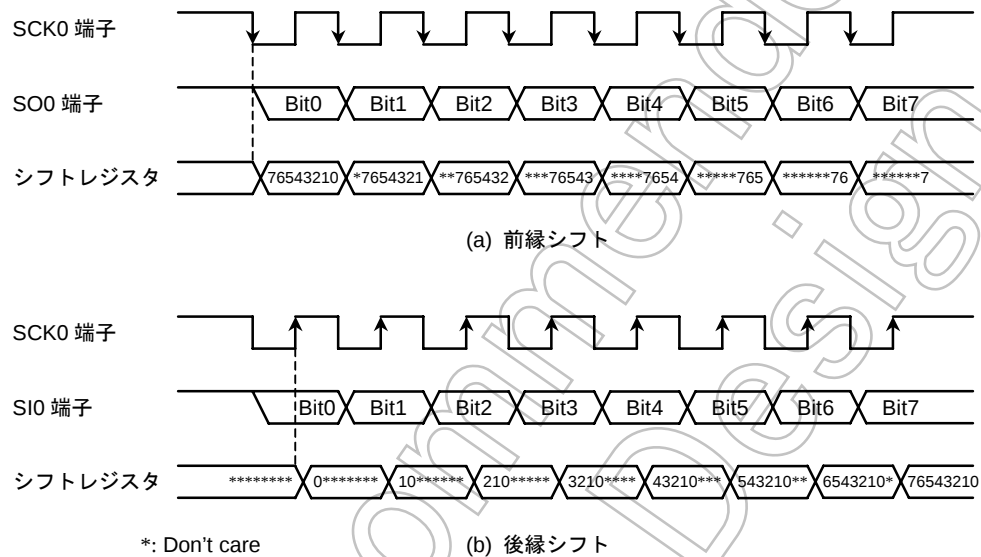


図 3.11.31 シフトエッジ

(2) 転送モード

SBI0CR1<SIOM1:0> で、送信/受信/送受信モードを選択します。

a. 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBI0DBR に書き込みます。

送信データの書き込み後、SBI0CR1 <SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBI0DBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から SO0 端子に出力されます。送信データがシフトレジスタに移されると、SBI0DBR が空になりますので、次の送信データを要求する INTSBI0 (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信した後、次のデータがセットされていないと、シリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと、自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBI0DBR にデータが書き込まれている必要があります。従って、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBI0DBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBI0SR<SIOF> が “1” となってから SCK の立ち下がリエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBI0 割り込み処理プログラムで <SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は、SBI0SR <SIOF> で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合は直ちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に、<SIOS> を “0” にクリアする必要があります。もしシフトアウトする前に <SIOS> がクリアされなかった場合は、ダミーデータの送信後、停止します。

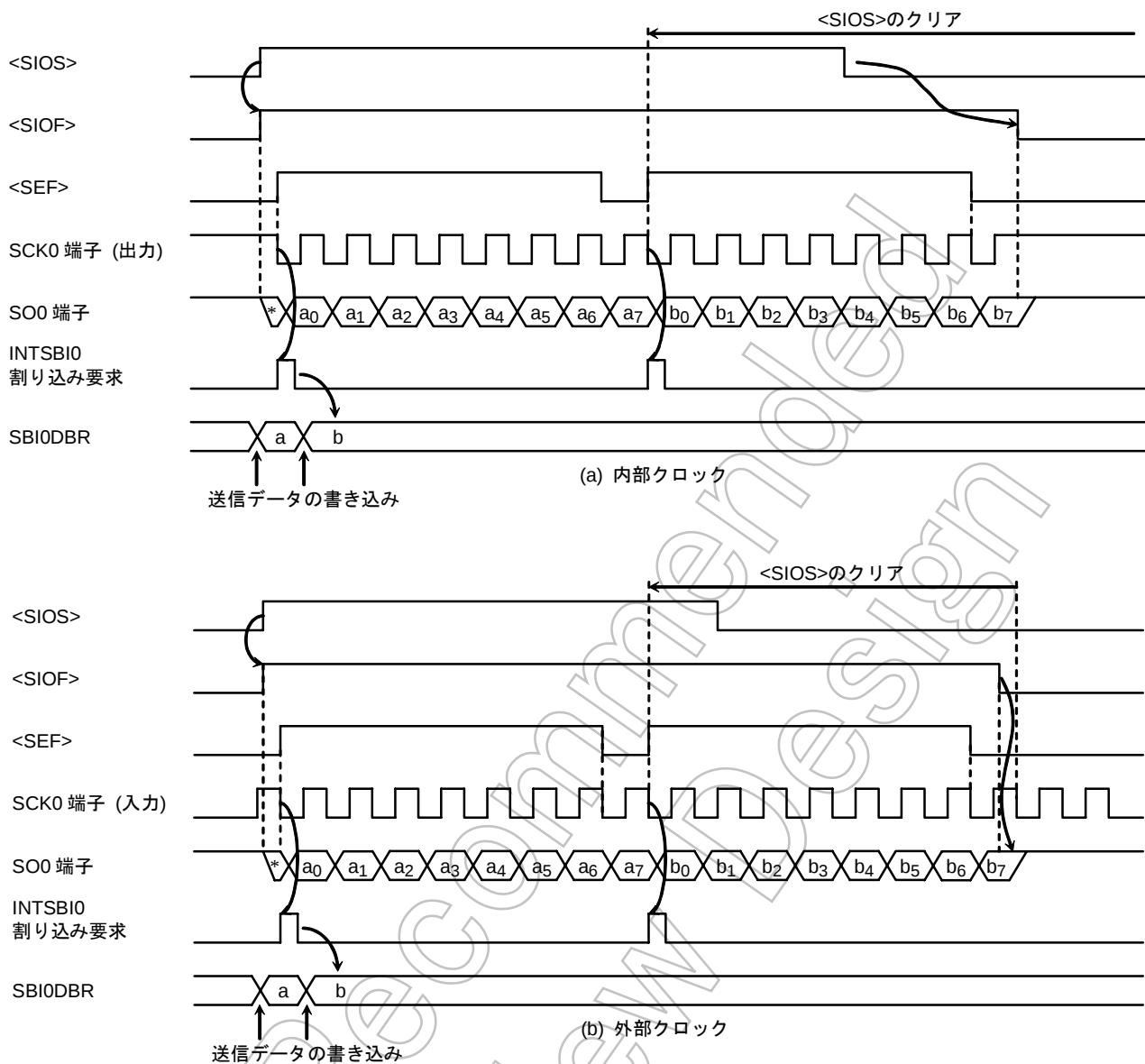


図 3.11.32 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合)。

```

STEST1: BIT2, (SBI0SR)           ; If <SEF> ( 1 then loop
JR      NZ, STEST1
STEST2: BIT  2, (PC)             ; If SCK ( 0 then loop
JR      Z, STEST2
LD      (SBI0CR1), 00000111B    ; <SIOS> ( 0

```

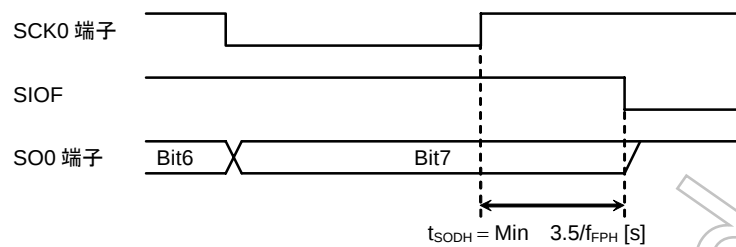


図 3.11.33 送信終了時の送信データ保持時間

b. 8 ビット受信モード

制御レジスタに受信モードをセットした後、SBI0CR1<SIOS> (“1” を書き込むことにより受信可能となります。シリアルクロックに同期して、SIO 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれるとシフトレジスタから SBI0DBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBI0 (バッファフル) 割り込み要求が発生します。受信データは、割り込み処理プログラムにて SBI0DBR から読み出します。

内部クロック動作の場合、受信データが SBI0DBR から読み出されるまでシリアルクロックを停止する、自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み出します。もし、受信データが読み出されない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには、INTSBI0 割り込み処理プログラムで <SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると受信データが全ビットそろい、SBI0DBR への書き込みが完了した時点で受信が終了します。プログラムで受信終了の確認は、SBI0SR<SIOF> で行います。<SIOF> は受信の終了で “0” にクリアされます。受信終了の確認の後、最終受信データを読み出します。<SIOINH> = “1” を書き込んだ場合は、直ちに受信を打ち切り、<SIOF> は “0” になります (受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えると、SBI0DBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出した後で切り替えてください。

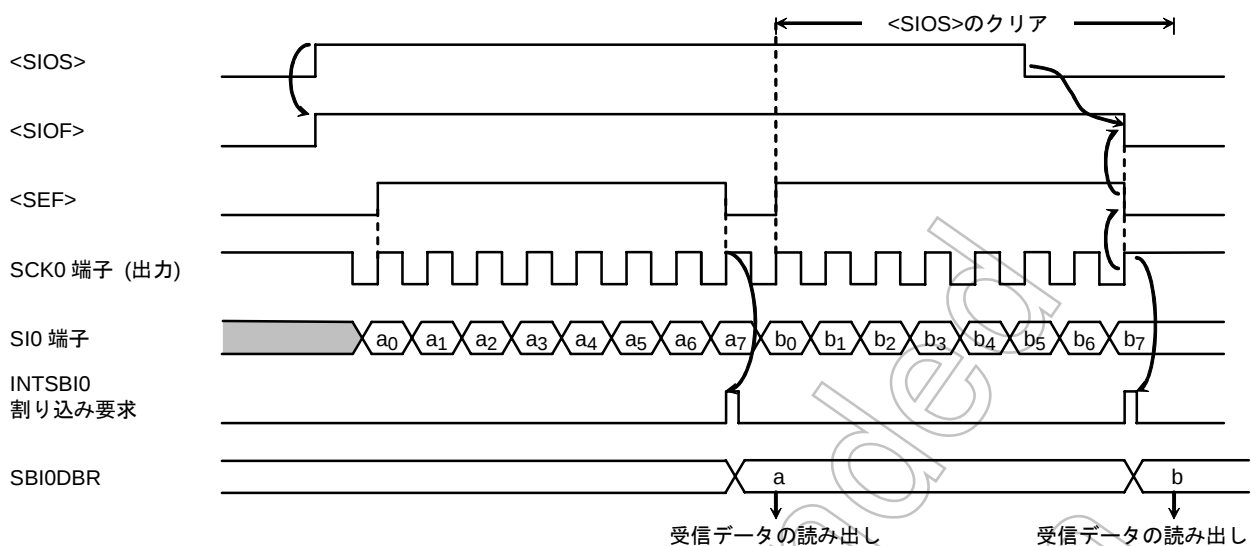


図 3.11.34 受信モード (例: 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBI0DBR に書き込みます。その後、SBI0CR1<SIOS>に“1”をセットすることにより送受信可能となります。最下位ビットからシリアルクロックの立ち下がりで送信データが SO0 端子から出力され、立ち上がりで受信データが SIO 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタから SBI0DBR へ受信データが転送され、INTSBI0 割り込み要求が発生します。割り込み処理プログラムにて受信データをデータバッファレジスタから読み出し、その後、送信データを書き込みます。SBI0DBR は、送信/受信モードで兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が“1”となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI0 割り込み処理プログラムで <SIOS> = “0” を書き込むか、SBI0CR1<SIOINH> = “1” を書き込みます。<SIOS>がクリアされると受信データがそろい、SBI0DBR への転送が完了した時点で送受信が終了します。プログラムによる送受信の終了の確認は、SBI0SR<SIOF>で行います。<SIOF>は送受信の終了で“0”にクリアされます。<SIOINH>をセットした場合は、直ちに送受信を打ち切り、<SIOF>は“0”にクリアされます。

注) 転送モードを切り替えると、SBI0DBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS>=“0” を書き込む) を行い、最終受信データを読み出した後で切り替えてください。

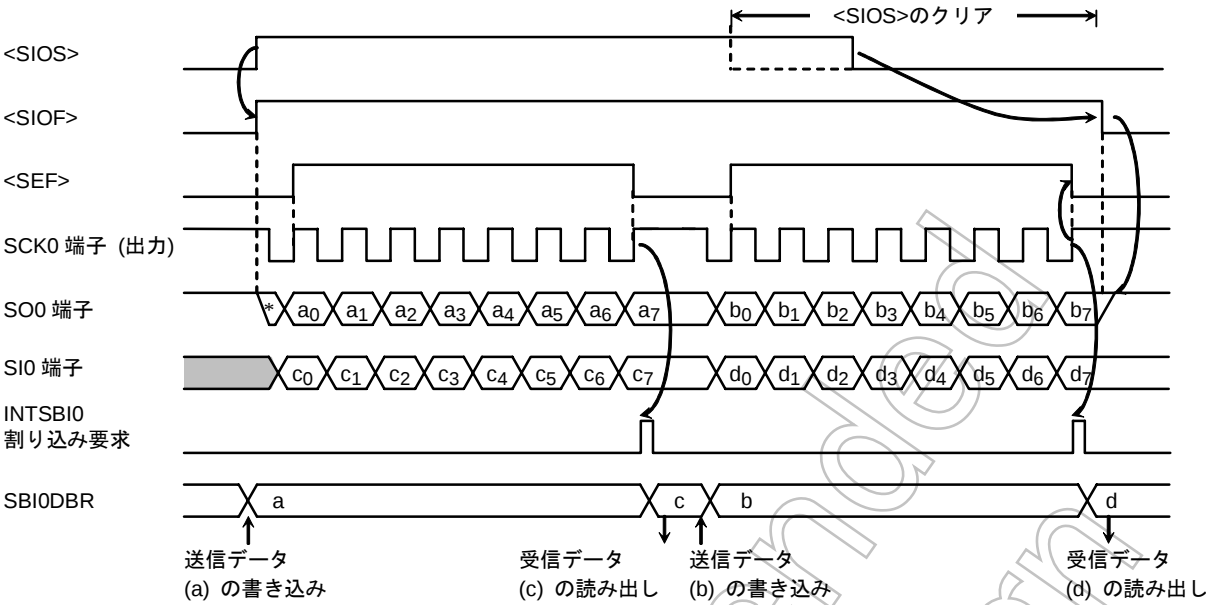


図 3.11.35 送受信モード (例: 内部クロック)

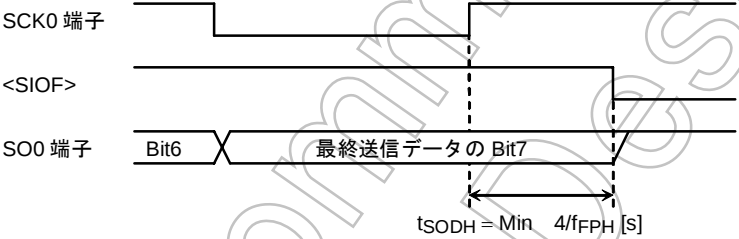


図 3.11.36 送受信終了時の送信データ保持時間 (送受信モード時)

3.12 高速 SIO (HSC)

本製品は、高速 SIO を 2 チャンネル内蔵しています。それぞれ HSC0、HSC1 と呼びます。各チャンネルは、I/O インタフェースモード(同期通信)のマスタモードのみをサポートしています。

下記に特長を示します。

- 1) 送信／受信ダブルバッファ構造
- 2) 送信／受信データの CRC7,CRC16 を生成可能
- 3) 最大 10Mbps までボーレート対応可能
- 4) MSB/LSB-first の選択可能
- 5) データ長 8/16bit の選択可能
- 6) クロック立上り/立下りエッジの選択可能
- 7) INTHSC0/1 の各チャンネル 1 本の割り込み機能

RFR0/RFR1(HSC0RD/HSC1RD の受信バッファがフル)、

RFW0/RFW1(HSC0TD/HSC1TD の送信バッファがエンプティ)、

REND0/REND1(HSC0RS/HSC1RS の受信バッファがフル)、

TEND0/TEND1(HSC0TS/HSC1TS の送信バッファがエンプティ)

の 4 種類の割り込みに対してそれぞれ、状態のリード、マスク、割り込みのクリア、クリアイネーブルを制御可能です。

RFR0/RFR1,RFW0/RFW1 は、マイクロ DMA を使用した高速なデータ処理機能が可能です。

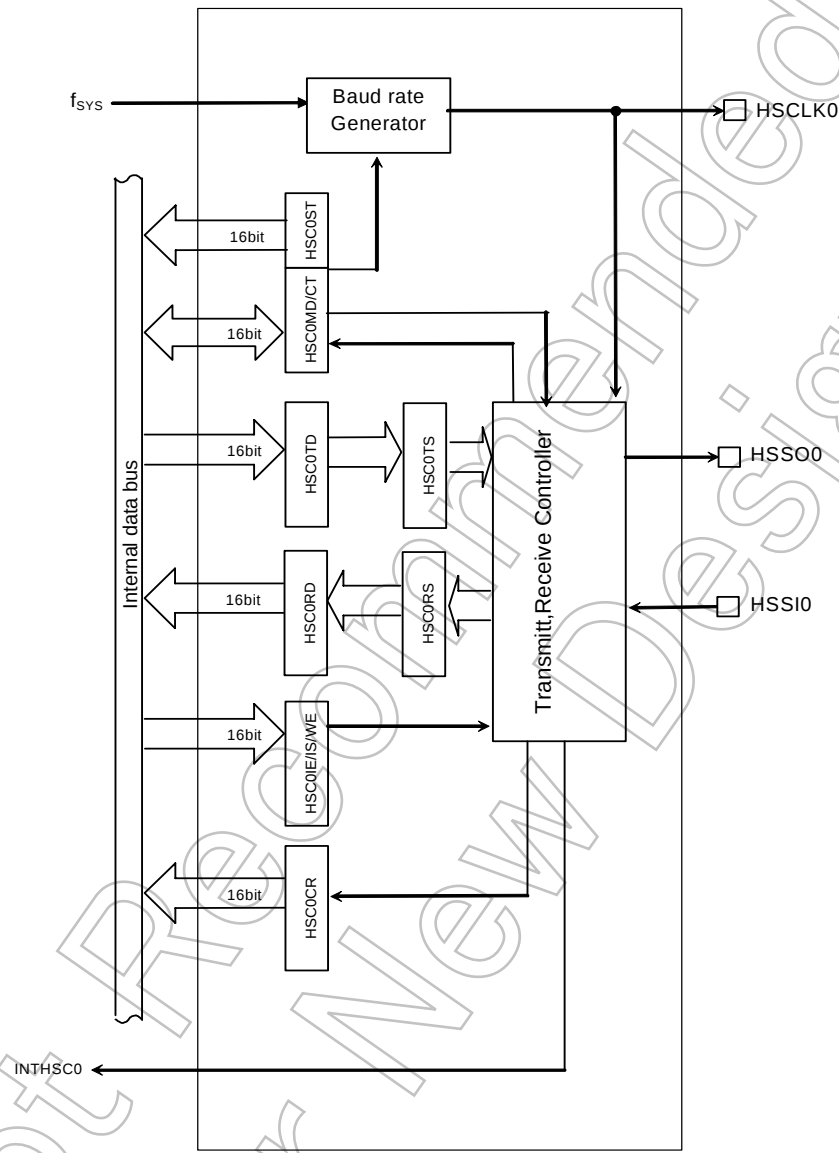
各チャンネルは、それぞれ独立に動作します。下記に示す表 3.12.1 の仕様相違点を除いて同一の動作をしますので、動作説明は HSC0 の場合についてのみ説明します。

表 3.12.1 HSC のチャンネル別仕様相違点

	HSC0	HSC1
外部端子	HSSI0 (PD0) HSSO0 (PD1) HSCLK0 (PD2)	HSSI1 (PL4) HSSO1 (PL5) HSCLK1 (PL6)
SFR (アドレス)	HSC0MD (C00H/C01H) HSC0CT (C02H/C03H) HSC0ST (C04H/C05H) HSC0CR (C06H/C07H) HSC0IS (C08H/C09H) HSC0WE (C0AH/C0BH) HSC0IE (C0CH/C0DH) HSC0IR (C0EH/C0FH) HSC0TD (C10H/C11H) HSC0RD (C12H/C13H) HSC0TS (C14H/C15H) HSC0RS (C16H/C17H)	HSC1MD (C20H/C21H) HSC1CT (C22H/C23H) HSC1ST (C24H/C25H) HSC1CR (C26H/C27H) HSC1IS (C28H/C29H) HSC1WE (C2AH/C2BH) HSC1IE (C2CH/C2DH) HSC1IR (C2EH/C2FH) HSC1TD (C30H/C31H) HSC1RD (C32H/C33H) HSC1TS (C34H/C35H) HSC1RS (C36H/C37H)

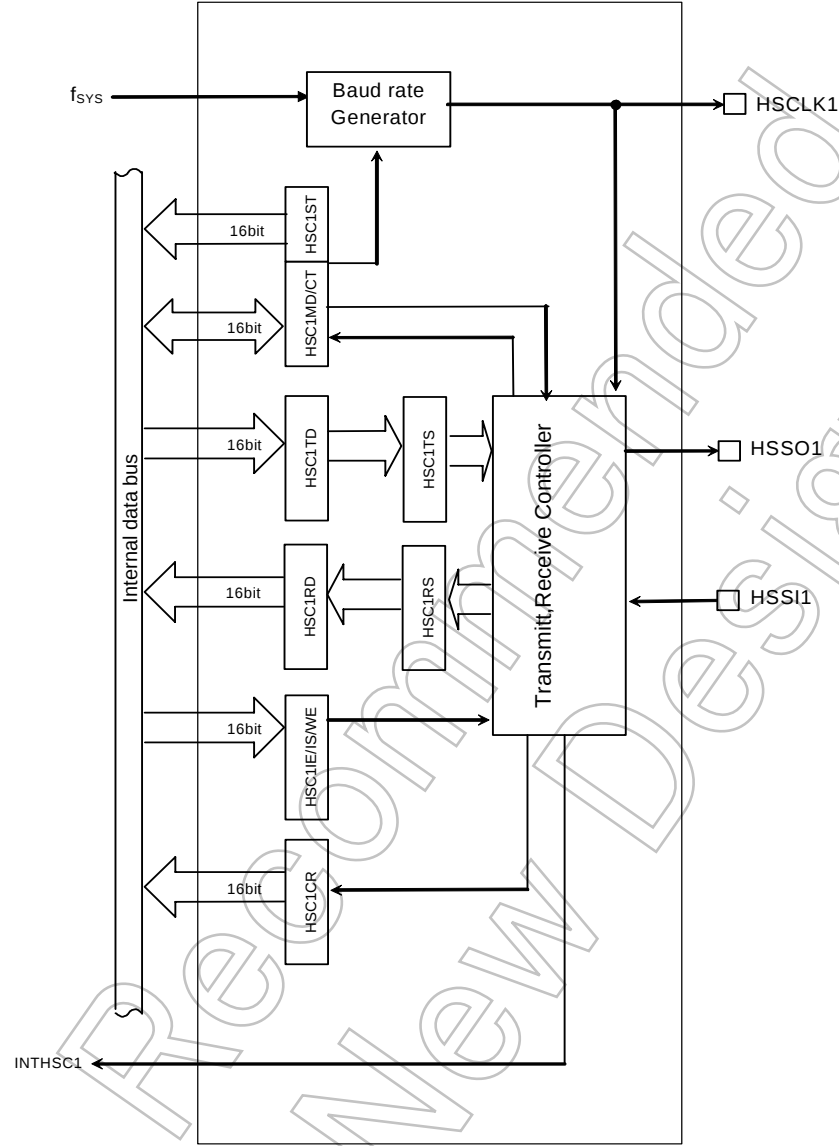
3.12.1 ブロック図

図 3.12.1～図 3.12.2 に、各チャネルのブロック図を示します。



(Note1) リセットによって、HSCLK0,HSSO0,HSSI0端子は入力ポートに設定されます (PortD0,D1,D2)。
よってプルアップ抵抗が必要となります。

図 3.12.1 HSC0 のブロック図



(Note1) リセットによって、HSCLK1,HSSO1,HSSI1端子は入力ポートに設定されます (PortL4,L5,L6)。
よってプルアップ抵抗が必要となります。

図 3.12.2 HSC1 のブロック図

3.12.2 SFR

SFR を以下に説明します。これらは 16 ビットデータバスで CPU に接続されています。

(1) モード設定レジスタ

動作モード,使用クロックなどを設定するレジスタです。

HSC0MD レジスタ

HSC0MD (C00H)		7	6	5	4	3	2	1	0
	bit Symbol		XEN0				CLKSEL02	CLKSEL01	CLKSEL00
	Read/Write		R/W				R/W		
	リセット後		0				1	0	0
(C01H)	機能		SYSCK 0: disable 1: enable				ボーレート選択 000:Reserved 100:fsys/16 001:fsys/2 101:fsys/32 010:fsys/4 110:fsys/64 011:fsys/8 111:Reserved		
		15	14	13	12	11	10	9	8
	bit Symbol	LOOPBACK0	MSB1ST0	DOSTAT0		TCPOL0	RCPOL0	TDINV0	RDINV0
	Read/Write	R/W				R/W			
(C01H)	リセット後	0	1	1		0	0	0	0
	機能	LOOPBACK テストモード 0:disable 1:enable	送受信開始 BIT 0:LSB 1:MSB	非送信時の HSS00 端子 状態設定 0:"0"固定 1:"1"固定		送信時の 同期クロック エッジ 設定 0: 立下り 1: 立上り	受信時の 同期クロック エッジ 設定 0: 立下り 1: 立上り	送信時の データ反転 0: disable 1: enable	受信時の データ反転 0: disable 1: enable

図 3.12.3 HSC0MD レジスタ

HSC1MD レジスタ

HSC1MD (C20H)		7	6	5	4	3	2	1	0
	bit Symbol		XEN1				CLKSEL12	CLKSEL11	CLKSEL10
	Read/Write		R/W				R/W		
	リセット後		0				1	0	0
(C21H)	機能		SYSCK 0: disable 1: enable				ボーレート選択 000:Reserved 100:fsys/16 001:fsys/2 101:fsys/32 010:fsys/4 110:fsys/64 011:fsys/8 111:Reserved		
		15	14	13	12	11	10	9	8
	bit Symbol	LOOPBACK1	MSB1ST1	DOSTAT1		TCPOL1	RCPOL1	TDINV1	RDINV1
	Read/Write	R/W				R/W			
(C21H)	リセット後	0	1	1		0	0	0	0
	機能	LOOPBACK テストモード 0:disable 1:enable	送受信開始 BIT 0:LSB 1:MSB	非送信時の HSS01 端子 状態設定 0:"0"固定 1:"1"固定		送信時の 同期クロック エッジ 設定 0: 立下り 1: 立上り	受信時の 同期クロック エッジ 設定 0: 立下り 1: 立上り	送信時の データ反転 0: disable 1: enable	受信時の データ反転 0: disable 1: enable

図 3.12.4 HSC1MD レジスタ

(a) <LOOPBACK0>

本回路内で内部 HSSO0 出力を内部 HSSI0 へ入力できますのでテストに使用できます。

また、HSC0MD<XEN0>=1,<LOOPBACK0>=1 に設定すると送信、受信の実行の有無に関係なく HSCLK0 端子よりクロックを出力します。

設定を変更するときは、送信／受信動作を実行しないでください。

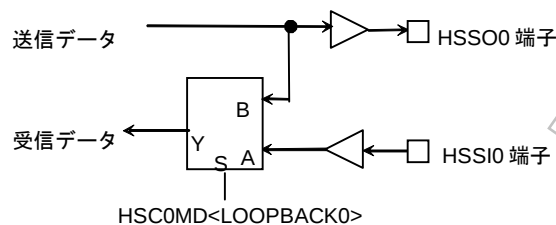


図 3.12.5 <LOOPBACK0>レジスタの機能

(b) <MSB1ST0>

送信／受信データの開始ビットを選択します。

設定を変更するときは、送信／受信動作を実行しないでください。

(c) <DOSTAT0>

非送信時(送信終了後や受信動作時)の HSSO0 端子の状態を設定します。

設定を変更するときは、送信／受信動作を実行しないでください。

(d) <TCPOL0>

送信動作の同期クロックのエッジを選択します。

設定を変更するときは、<XEN0>="0"の状態にしてください。また、<RCPOL0>と同じ値を設定してください。

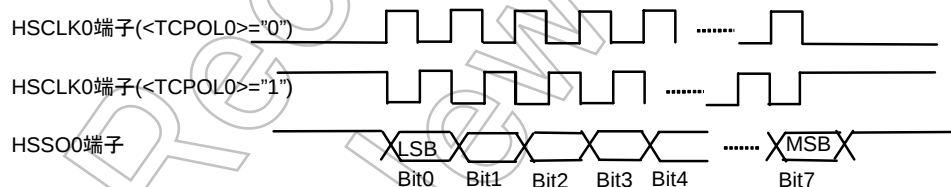


図 3.12.6 <TCPOL0>レジスタの機能

(e) <RCPOL0>

受信動作の同期クロックのエッジを選択します。

設定を変更するときは、<XEN0>="0"の状態にしてください。また、<TCPOL0>と同じ値を設定してください。

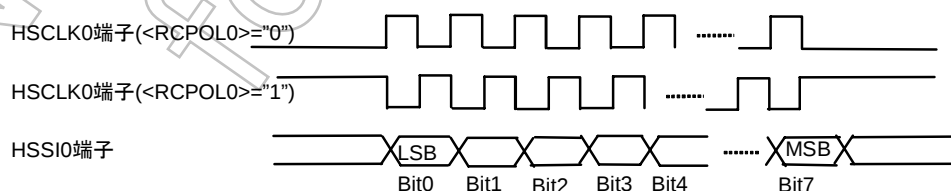


図 3.12.7 <RCPOL0>レジスタの機能

(f) <TDINV0>

送信データを HSSO0 端子から出力するデータを論理反転する/しないを選択します。

設定を変更するときは、送信/受信動作を実行しないでください。CRC 演算回路への入力データは、HSC0TD にライトされた送信データであり<TDINV0>は無関係です。また、<TDINV0>は、非送信時の HSSO0 端子の状態設定<DOSTAT0>には無関係です。

(g) <RDINV0>

HSSI0 端子から入力する受信データを論理反転する/しないを選択します。

設定を変更するときは、送信,受信動作を実行しないでください。CRC 演算回路への入力データは、<RDINV0>により選択された値です。

(h) <XEN0>

IP 内部のクロックの動作設定を選択します。

(i) <CLKSEL02:00>

ボーレート選択レジスタです。ボーレートは f_{SYS} より作成していますので下記表のような設定が可能となります。設定を変更するときは、送信,受信動作を実行しないでください。

表 3.12.2 ボーレート設定例

<CLKSEL02:00>	ボーレート値[Mbps]		
	$f_{\text{SYS}} = 12\text{MHz}$ 時	$f_{\text{SYS}} = 16\text{MHz}$ 時	$f_{\text{SYS}} = 20\text{MHz}$ 時
$f_{\text{SYS}}/2$	6	8	10
$f_{\text{SYS}}/4$	3	4	5
$f_{\text{SYS}}/8$	1.5	2	2.5
$f_{\text{SYS}}/16$	0.75	1	1.25
$f_{\text{SYS}}/32$	0.375	0.5	0.625
$f_{\text{SYS}}/64$	0.1875	0.25	0.3125

(2) コントロールレジスタ

データ長,CRCなどを設定するレジスタです。

HSC0CT レジスタ

HSC0CT (C02H)		7	6	5	4	3	2	1	0
	bit Symbol	—	—	UNIT160			ALGNEN0	RXWEN0	RXUEN0
	Read/Write	R/W					R/W		
	リセット後	0	1	0			0	0	0
(C03H)	機能	"0"をライト してください	"1"をライト してください	データ長 選択 0: 8bit 1: 16bit			全2重での アライメント 0: disable 1: enable	連続受信 動作設定 0: disable 1: enable	UNIT 受信 動作設定 0: disable 1: enable
		15	14	13	12	11	10	9	8
	bit Symbol	CRC16 7 B0	CRCRX TX B0	CRCRESET B0				DMAERFW0	DMAERFR0
	Read/Write	R/W						R/W	R/W
(C03H)	リセット後	0	0	0				0	0
	機能	CRC 選択 0: CRC7 1: CRC16	CRC データ 0: 送信 1: 受信	CRC 演算 レジスタ 制御 0:リセット 1:リセット 解除				マイクロ DMA 動作 0:Disable 1:Enable	マイクロ DMA 動作 0:Disable 1:Enable

図 3.12.8 HSC0CT レジスタ

HSC1CT レジスタ

HSC1CT (C22H)		7	6	5	4	3	2	1	0
	bit Symbol	—	—	UNIT161			ALGNEN1	RXWEN1	RXUEN1
	Read/Write	R/W					R/W		
	リセット後	0	1	0			0	0	0
(C23H)	機能	"0"をライト してください	"1"をライト してください	データ長 選択 0: 8bit 1: 16bit			全2重での アライメント 0: disable 1: enable	連続受信 動作設定 0: disable 1: enable	UNIT 受信 動作設定 0: disable 1: enable
		15	14	13	12	11	10	9	8
	bit Symbol	CRC16 7 B1	CRCRX TX B1	CRCRESET B1				DMAERFW1	DMAERFR1
	Read/Write	R/W						R/W	R/W
(C23H)	リセット後	0	0	0				0	0
	機能	CRC 選択 0: CRC7 1: CRC16	CRC データ 0: 送信 1: 受信	CRC 演算 レジスタ 制御 0:リセット 1:リセット 解除				マイクロ DMA 動作 0:Disable 1:Enable	マイクロ DMA 動作 0:Disable 1:Enable

図 3.12.9 HSC1CT レジスタ

(a) <CRC16_7_B0>

CRC7, CRC16 のいずれを計算するかを選択するレジスタです。

(b) <CRCRX_TX_B0>

CRC 演算回路への入力データを選択します。

(c) <CRCRESET_B0>

CRC 演算レジスタの初期化を実施します。

送信データの CRC16 を計算し、送信データに続いて CRC を送信する手順を、図 3.12.10 のフローチャートを用いて説明します。

- (1) CRC7 と CRC16 のどちらかを計算するか HSC0CT レジスタの <CRC16_7_B0> に設定し、送受信のどちらのデータの CRC を計算するか <CRCRX_TX_B0> で設定します。
- (2) HSC0CR レジスタをリセットするため、<CRCRESET_B0> に "0" をライトしてから、"1" をライトします。
- (3) 送信データを HSC0TD レジスタにライトし、全データの送信完了を待ちます。
- (4) HSC0CR レジスタをリードして、CRC の計算結果を取得します。
- (5) (4) で取得した CRC を (3) と同じ手順で送信します。

受信データの CRC 計算も同様の手順で実行できます。

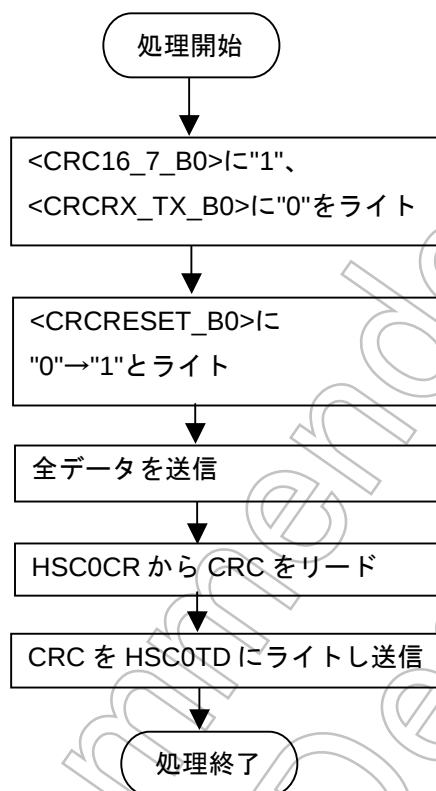


図 3.12.10 CRC 計算手順フローチャート

(d) <DMAERFW0>

RFW0 割り込みをマイクロ DMA に対応させるために、CPU での割り込みクリアを不要にさせる為のビットです。"1"を書き込むと 1 ショット割り込みとなり HSC0WE レジスタによる割り込みクリアが不要になります。

後述の HSC0ST<RFW0>フラグが"0"→"1"に変化する立上り時に、1 ショットの割り込みを CPU に発生します。

(e) <DMAERFR0>

RFR0 割り込みをマイクロ DMA に対応させるために、CPU での割り込みクリアを不要にさせる為のビットです。"1"を書き込むと 1 ショット割り込みとなり HSC0WE レジスタによる割り込みクリアが不要になります。

後述の HSC0ST<RFR0>フラグが"0"→"1"に変化する立上り時に、1 ショットの割り込みを CPU に発生します。

(f) <UNIT160>

送信,受信のデータ長を選択します。なお、これ以降 データ長を UNIT と記します。

設定を変更するときは、送信／受信動作を実行しないでください。

(g) <ALGNEN0>

全 2 重通信実行時に、“1”に設定します。送信／受信を UNIT でアライメントさせるかどうかを選択します。設定を変更するときは、送信／受信動作を実行しないでください。

(h) <RXWEN0>

連続受信動作の許可／禁止を設定します。

(i) <RXUEN0>

UNIT での受信動作の許可/禁止を設定します。<RXWEN0>="1"の場合、このビットの設定は無効となります。設定を変更するときは、送信,受信動作を実行しないでください。

[送受信動作モード]

本 IP では下記 6 つの動作モードをサポートしています。これらは、<ALGNEN0>,<RXWEN0>,<RXUEN0>レジスタで選択されます。

表 3.12.3 送受信動作モード

動作モード	レジスタ設定			説明
	<ALGNEN0>	<RXWEN0>	<RXUEN0>	
(1) UNIT 送信	0	0	0	ライトされた送信データを UNIT 毎に送信
(2) 連続送信	0	0	0	ライトされた送信データを順次送信
(3) UNIT 受信	0	0	1	1UNIT のみデータを受信
(4) 連続受信	0	1	0	バッファに空きがあれば自動受信
(5) UNIT 送受信	1	0	1	送信,受信データを UNIT 毎にアライメントし、1UNIT の送受信
(6) 連続送受信	1	1	0	送信,受信データを UNIT 毎にアライメントし、連続送受信

UNIT 送信と連続送信の違いについて

UNIT 送信は、送信データシフトレジスタ(HSC0TS)に空きがあること($HSC0ST<TEND0>=1$)を確認し、データをライトすることで 1UNIT ずつ送信されます。

連続送信は、ライトされた送信データを順次送出します。ハードウェアはデータのある限り連続して送出を行うため、送信データライトレジスタ(HSC0TD)が空いた時点($HSC0ST<REND0>=1$)で次のデータをライトすることで連続して送信することができます。

UNIT 送信と連続送信を実現するためにハードウェアに違いはなく、使用法により UNIT 送信、連続送信となります。

UNIT 送信、連続送信の送信手順フローを図 3.12.11 に示します。

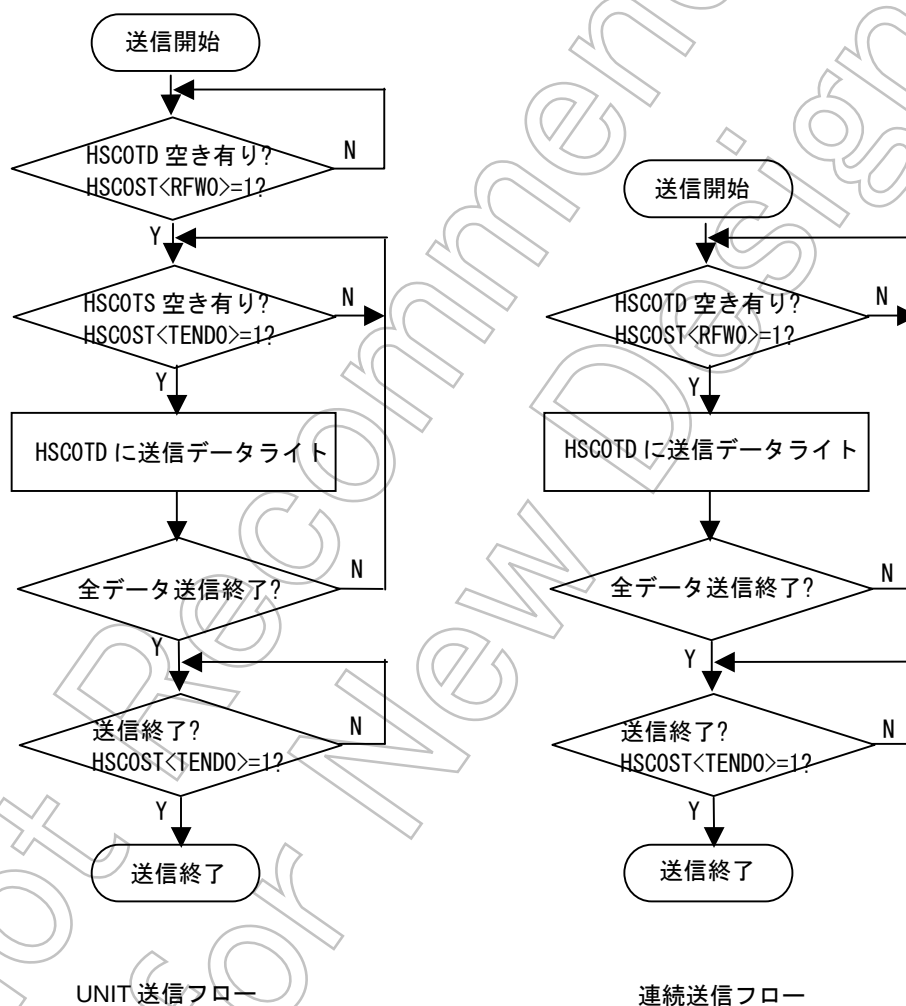


図 3.12.11 UNIT 送信と連続送信フローチャート

UNIT 受信と連続受信の違いについて

UNIT 受信は、1UNIT だけデータを受信するモードです。

HSC0CT<RXUEN0>に"1"をライトすると 1UNIT の受信を行い、受信データレジスタ(HSC0RD)に受信データが格納されます。HSC0CT<RXUEN0>に"0"をライトしてから受信データレジスタ(HSC0RD)をリードしてください。

<RXUEN0>=1 のまま受信データレジスタ(HSC0RD)からデータをリードすると、さらに 1UNIT のデータ受信を自動的行います。ハードウェア的にはシングルバッファでの連続受信を行うモードです。

UNIT 受信時には、HSC0ST<REND0>のステータスは変化しません。

連続受信は、バッファに空きがある場合に自動的にデータを受信するモードです。

バッファに空きができるたびに、つぎのデータを自動的に受信するため、受信データレジスタ(HSC0RD)にデータが格納された時点でデータを読み出すことで、UNIT 毎に途切れることなく連続して受信を行うことができます。ハードウェア的にはダブルバッファでの連続受信を行うモードです。

UNIT 受信、連続受信の送信手順フローを図 3.12.12に示します。

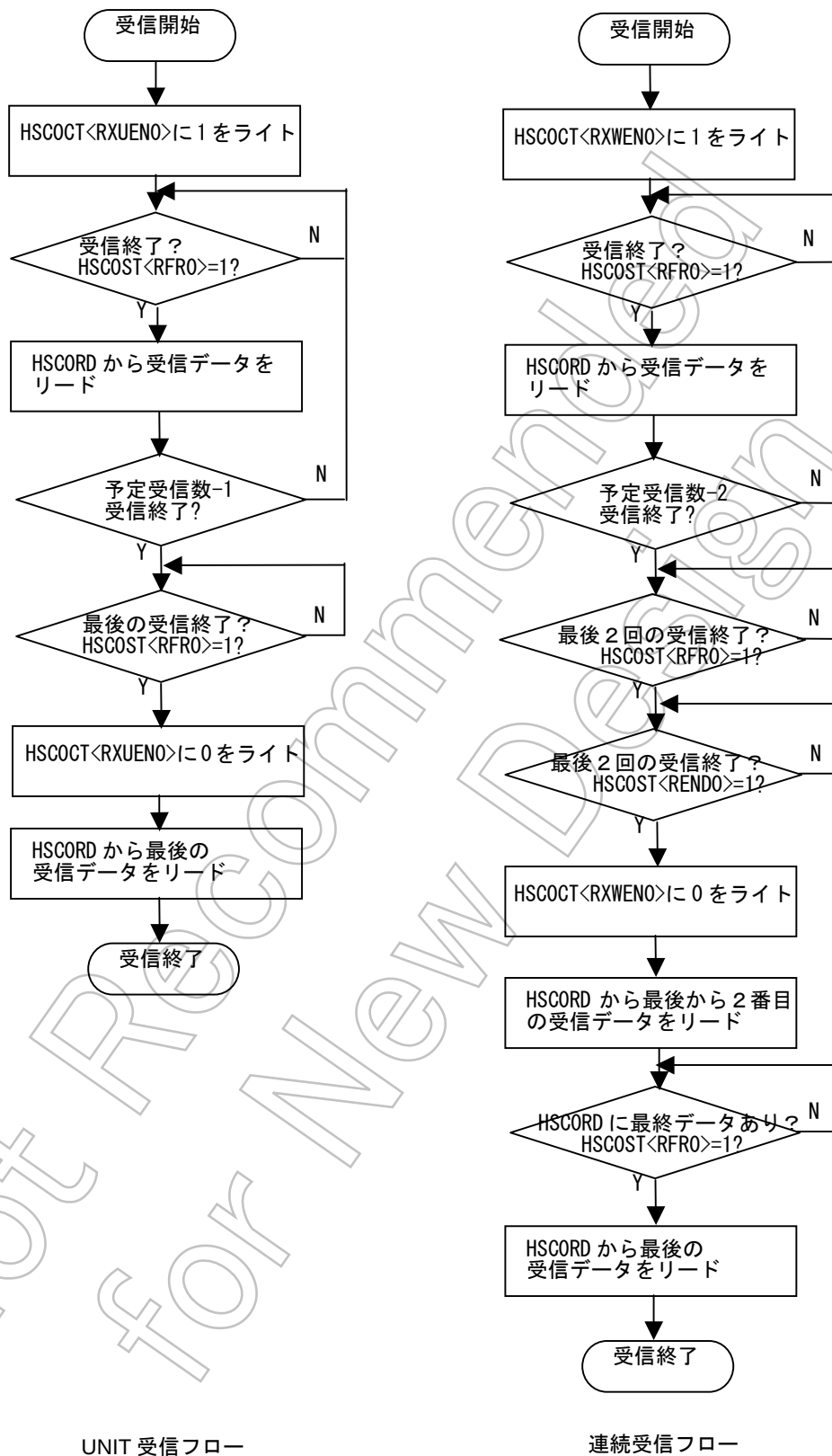


図 3.12.12 UNIT 受信と連続受信フローチャート

(3) 割り込み、ステータスレジスタ

RFR0(HSC0RD の受信バッファがフル)、RFW0(HSC0TD の送信バッファがエンpty)、REND0(HSC0RS の受信バッファがフル)、TEND0(HSC0TS の送信バッファがエンpty)の 4 種類の割り込みに対してそれぞれ、状態のリード、マスク、割り込みのクリア、クリアイネーブルを制御可能です。

RFR0,RFW0 は、マイクロ DMA を使用した高速なデータ処理機能が可能です。

RFW0 を例に、割り込み・ステータスの関連について説明します。

ステータスレジスタ HSC0ST<RFW0>は、送信データレジスタの有無を示す内部信号 RFW0 の状態を示すレジスタです。送信データが有る場合に"0"、無い場合に"1"となります。内部信号をダイレクトにリードすることが可能なため、送信データレジスタのデータ有無を随時判断することが可能です。

割り込みステータスレジスタ HSC0IS<RFWIS0>は、RFW0 の立上がりエッジでセットされます。ステータスレジスタと異なり、HSC0WE<RFWWE0>="1"の状態では"1"をライトしリセットされるまで状態を保持します。

割り込みイネーブルレジスタ HSC0IE<RFWIE0>が"1"の時、RFW0 割り込みを発生します。割り込みイネーブルレジスタが"0"の時は割り込みは発生しません。

割り込み要求レジスタ HSC0IR<RFWIR0>は、割り込みが発生しているか否かを示すレジスタです。

割り込みステータスライトイネーブルレジスタ HSC0WE<RFWWE0>は、割り込みステータスレジスタを誤ってリセットしないためにリセットの許可を設定するレジスタです。

送信データシフトレジスタ(HSC0TS)、受信データレジスタ(HSC0RD)、受信データシフトレジスタ(HSC0RS)のステータス、割り込み関連についても同様の回路構成となっています。

コントロールレジスタ HSC0CT<DMAERFW0>、HSC0CT<DMAERFR0>は、マイクロ DMA を使用するためのレジスタです。RFW0 割り込みを利用してマイクロ DMA 転送を行う場合<DMAERFW0>=1 に、RFR0 割り込みを利用する場合は<DMAERFR0>=1 に設定し、そのほかの割り込みは禁止してください。

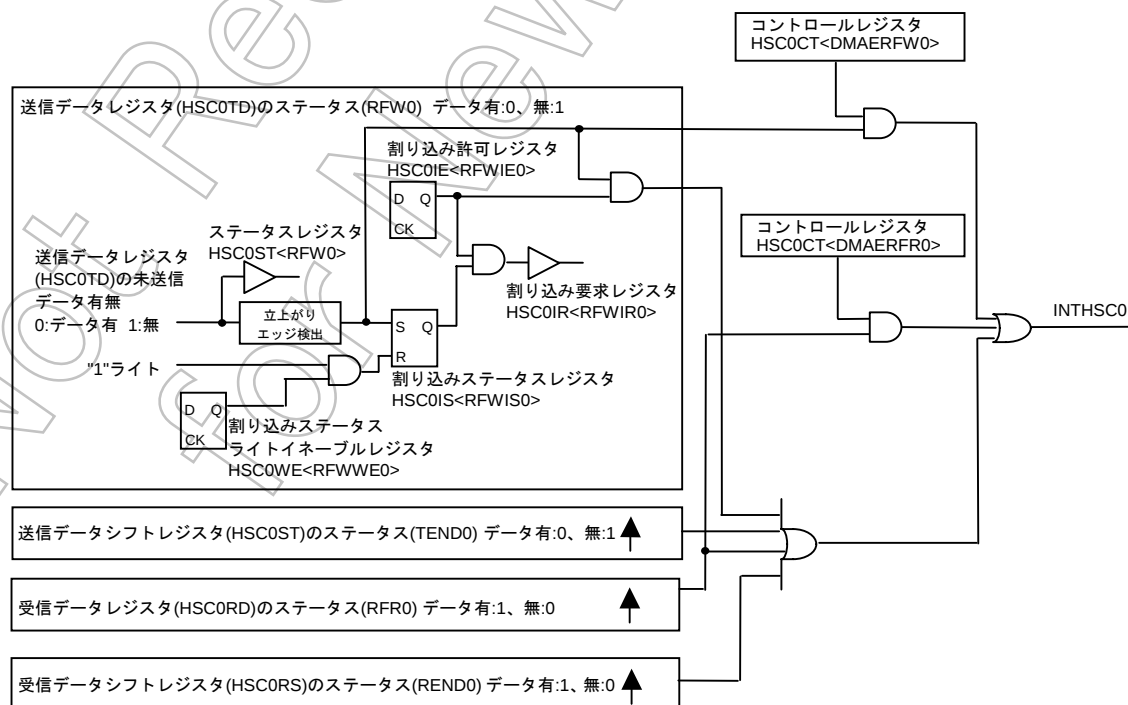


図 3.12.13 割り込み、ステータスレジスタ関連図

(3-1) ステータスレジスタ

4つのステータスを示すレジスタです。

HSC0ST レジスタ

	7	6	5	4	3	2	1	0
bit Symbol					TEND0	REND0	RFW0	RFR0
Read/Write					R			
リセット後					1	0	1	0
機能					送信動作状態 0: 送信中 1: 非送信中	受信シフトレジスタ状態 0: データ無 1: データ有	送信バッファ状態 0: 未送信 1: 未送信 データ有 データ無	受信バッファ状態 0: 有効 1: 有効 データ無 データ有
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write								
リセット後								
機能								

図 3.12.14 HSC0ST レジスタ

HSC1ST レジスタ

	7	6	5	4	3	2	1	0
bit Symbol					TEND1	REND1	RFW1	RFR1
Read/Write					R			
リセット後					1	0	1	0
機能					送信動作状態 0: 送信中 1: 非送信中	受信シフトレジスタ状態 0: データ無 1: データ有	送信バッファ状態 0: 未送信 1: 未送信 データ有 データ無	受信バッファ状態 0: 有効 1: 有効 データ無 データ有
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write								
リセット後								
機能								

図 3.12.15 HSC1ST レジスタ

(a) <TEND0>

送信データシフトレジスタ（HSC0TS）中に、送信すべき有効データがある場合”0”に、またデータを全て送信終了した場合”1”にセットされます。

(b) <REND0>

受信データシフトレジスタ（HSC0RS）に有効なデータが無いが、または受信中の場合は、”0”にリセットし、受信終了し受信データリードレジスタに有効データがありデータを移せず保持している場合”1”にセットされます。

データがCPUにリードされ、受信データリードレジスタへ移されると”0”にリセットされます。

(c) <RFW0>

送信データライトレジスタ（HSC0TD）に送信データをライト後、同データを送信データシフトレジスタに移し、有効データがなくなるまで”0”にリセットし、有効データがなく次のデータを受け可能な場合”1”にセットされます。

(d) <RFR0>

受信データが、受信データシフトレジスタから受信データリードレジスタ（HSC0RD）へ移され有効受信データがある場合”1”にセットされ、データがリードされ有効なデータがない場合”0”にリセットされます。

(3-2) 割込みステータスレジスタ

4つの割込みステータスをリードし、割り込みをクリアするレジスタです。

該当ビットに"1"をライトすることにより、0クリアされます。

本レジスタのステータスは、割込みソースの状態を示します。

割込みイネーブルレジスタ（HSC0IE）がマスクされている状態でも、割込みの状態変化を確認できるレジスタです。

HSC0IS レジスタ									
HSC0IS (C08H)		7	6	5	4	3	2	1	0
	bit Symbol					TENDIS0	RENDIS0	RFWIS0	RFRIS0
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア
(C09H)		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.12.16 HSC0IS レジスタ

HSC1IS レジスタ									
HSC1IS (C28H)		7	6	5	4	3	2	1	0
	bit Symbol					TENDIS1	RENDIS1	RFWIS1	RFRIS1
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア	リード 0:割込み無 1:割込み有 ライト 0:Don't care 1:クリア
(C29H)		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.12.17 HSC1IS レジスタ

(a) <TENDIS0>

TEND0 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には HSC0WE(HSC0 割り込みステータスライトイネーブルレジスタ)の<TENDWE0>が"1"にセットされている必要があります。

(b) <RENDIS0>

REND0 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には HSC0WE(HSC0 割り込みステータスライトイネーブルレジスタ)の<RENDWE0>が"1"にセットされている必要があります。

(c) <RFWDIS0>

RFW0 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には HSC0WE(HSC0 割り込みステータスライトイネーブルレジスタ)の<RFWWE0>が"1"にセットされている必要があります。

(d) <RFRIS0>

RFR0 割り込みのステータスをリードし、割り込みをクリアするためのビットです。

本ビットへの書き込みをする際には HSC0WE(HSC0 割り込みステータスライトイネーブルレジスタ)の<RFRWE0>が"1"にセットされている必要があります。

(3-3) 割込みステータスライトイネーブルレジスタ

4つの割込みステータスビットのクリアイネーブルを設定するレジスタです。

HSC0WE レジスタ

HSC0WE (C0AH)		7	6	5	4	3	2	1	0
	bit Symbol					TENDWE0	RENDWE0	RFWWE0	RFRWE0
	Read/Write					R/W			
	リセット後					0	0	0	0
(C0BH)									
	機能					HSC0IS <TENDIS0> クリア 0: 禁止 1: 許可	HSC0IS <RENDIS0> クリア 0: 禁止 1: 許可	HSC0IS <RFWIS0> クリア 0: 禁止 1: 許可	HSC0IS <RFRIS0> クリア 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
	bit Symbol								
(C0BH)	Read/Write								
	リセット後								
	機能								

図 3.12.18 HSC0WE レジスタ

HSC1WE レジスタ

HSC1WE (C2AH)		7	6	5	4	3	2	1	0
	bit Symbol					TENDWE1	RENDWE1	RFWWE1	RFRWE1
	Read/Write					R/W			
	リセット後					0	0	0	0
(C2BH)									
	機能					HSC1IS <TENDIS1> クリア 0: 禁止 1: 許可	HSC1IS <RENDIS1> クリア 0: 禁止 1: 許可	HSC1IS <RFWIS1> クリア 0: 禁止 1: 許可	HSC1IS <RFRIS1> クリア 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
	bit Symbol								
(C2BH)	Read/Write								
	リセット後								
	機能								

図 3.12.19 HSC1WE レジスタ

(a) <TENDWE0>

HSC0IS<TENDIS0>ビットのクリア許可を設定するビットです。

(b) <RENDWE0>

HSC0IS<RENDIS0>ビットのクリア許可を設定するビットです。

(c) <RFWWE0>

HSC0IS<RFWIS0>ビットのクリア許可を設定するビットです。

(d) <RFRWE0>

HSC0IS<RFRIS0>ビットのクリア許可を設定するビットです。

Not Recommended
for New Design

(3-4) 割込みイネーブルレジスタ

4つの割込み出力の許可を設定するレジスタです。

HSC0IE レジスタ

HSC0IE (C0CH)		7	6	5	4	3	2	1	0
	bit Symbol					TENDIE0	RENDIE0	RFWIE0	RFRIE0
	Read/Write					R/W			
	リセット後					0	0	0	0
(C0DH)									
	機能					TEND0 割り込み 0: 禁止 1: 許可	REND0 割り込み 0: 禁止 1: 許可	RFW0 割り込み 0: 禁止 1: 許可	RFR0 割り込み 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
	bit Symbol								
(C0DH)	Read/Write								
	リセット後								
	機能								

図 3.12.20 HSC0IE レジスタ

HSC1IE レジスタ

HSC1IE (C2CH)		7	6	5	4	3	2	1	0
	bit Symbol					TENDIE1	RENDIE1	RFWIE1	RFRIE1
	Read/Write					R/W			
	リセット後					0	0	0	0
(C2DH)									
	機能					TEND1 割り込み 0: 禁止 1: 許可	REND1 割り込み 0: 禁止 1: 許可	RFW1 割り込み 0: 禁止 1: 許可	RFR1 割り込み 0: 禁止 1: 許可
		15	14	13	12	11	10	9	8
	bit Symbol								
(C2DH)	Read/Write								
	リセット後								
	機能								

図 3.12.21 HSC1IE レジスタ

(a)<TENDIE0>

TEND0 割り込みの許可を設定するビットです。

(b)<RENDIE0>

REND0 割り込みの許可を設定するビットです。

(c)<RFWIE0>

RFW0 割り込みの許可を設定するビットです。

(d)<RFRIE0>

RFR0 割り込みの許可を設定するビットです。

Not Recommended
for New Design

(3-5) 割り込み要求レジスタ

CPU に対する 4 つの割り込み発生状態を示すレジスタです。

割り込みイネーブルレジスタ (HSC0IE) がマスクされている状態では、常に"0" (割り込み発生無し) の読出しとなるレジスタです。

HSC0IR レジスタ

HSC0IR (C0EH)		7	6	5	4	3	2	1	0
	bit Symbol					TENDIR0	RENDIR0	RFWIR0	RFRIR0
	Read/Write					R			
	リセット後					0	0	0	0
	機能					TEND0 割り込み 0: なし 1: 発生	REND0 割り込み 0: なし 1: 発生	RFW0 割り込み 0: なし 1: 発生	RFR0 割り込み 0: なし 1: 発生
(C0FH)		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.12.22 HSC0IR レジスタ

HSC1IR レジスタ

HSC1IR (C2EH)		7	6	5	4	3	2	1	0
	bit Symbol					TENDIR1	RENDIR1	RFWIR1	RFRIR1
	Read/Write					R			
	リセット後					0	0	0	0
	機能					TEND1 割り込み 0: なし 1: 発生	REND1 割り込み 0: なし 1: 発生	RFW1 割り込み 0: なし 1: 発生	RFR1 割り込み 0: なし 1: 発生
(C2FH)		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write								
	リセット後								
	機能								

図 3.12.23 HSC1IR レジスタ

(a)<TENDIR0>

TEND0 割り込みの発生状態を示すビットです。

(b)<RENDIR0>

REND0 割り込みの発生状態を示すビットです。

(c)<RFWIR0>

RFW0 割り込みの発生状態を示すビットです。

(d)<RFRIR0>

RFR0 割り込みの発生状態を示すビットです。

Not Recommended
for New Design

(4) HSC0CR(HSC0 CRC レジスタ)

HSC0CR は送信／受信データの CRC 演算結果を格納するレジスタです。

HSC0CR レジスタ

HSC0CR (C06H)		7	6	5	4	3	2	1	0
	bit Symbol	CRCD007	CRCD006	CRCD005	CRCD004	CRCD003	CRCD002	CRCD001	CRCD000
	Read/Write	R							
	リセット後	0							
	機能	CRC 演算結果格納レジスタ[7:0]							
(C07H)		15	14	13	12	11	10	9	8
	bit Symbol	CRCD015	CRCD014	CRCD013	CRCD012	CRCD011	CRCD010	CRCD009	CRCD008
	Read/Write	R							
	リセット後	0							
	機能	CRC 演算結果格納レジスタ[15:8]							

図 3.12.24 HSC0CR レジスタ

HSC1CR レジスタ

HSC1CR (C26H)		7	6	5	4	3	2	1	0
	bit Symbol	CRCD107	CRCD106	CRCD105	CRCD104	CRCD103	CRCD102	CRCD101	CRCD100
	Read/Write	R							
	リセット後	0							
	機能	CRC 演算結果格納レジスタ[7:0]							
(C27H)		15	14	13	12	11	10	9	8
	bit Symbol	CRCD115	CRCD114	CRCD113	CRCD112	CRCD111	CRCD110	CRCD109	CRCD108
	Read/Write	R							
	リセット後	0							
	機能	CRC 演算結果格納レジスタ[15:8]							

図 3.12.25 HSC1CR レジスタ

(a) <CRCD015:000>

HSC0CT<CRC16_7_b0><CRCRX_TX_B0><CRCRESET_B0>レジスタの設定に従って演算した結果を格納するレジスタです。CRC16 の場合 全ビット有効で、CRC7 の場合下位 7 ビットが有効です。

送信データの CRC16 を演算する場合の動作手順を例として説明します。

まず、<CRC16_7_b0>="1", <CRCRX_TX_B0>="0", <CRCRESET_B0>="0"をライト後に、<CRCRESET_B0>="1"をライトして CRC 演算レジスタの初期化を実施します。次に送信データを HSC0TD レジスタへライトし CRC を演算する全データを送信終了させます。

送信終了は HSC0ST<TEND0>で確認してください。終了後、HSC0CR レジスタをリードすると送信データの CRC16 をリードできます。

Not Recommended
for New Design

(5) 送信データレジスタ

送信データをライトするレジスタです。

HSC0TD レジスタ

HSC0TD (C10H)		7	6	5	4	3	2	1	0
	bit Symbol	TXD007	TXD006	TXD005	TXD004	TXD003	TXD002	TXD001	TXD000
	Read/Write	R/W							
	リセット後	0							
	機能	送信データレジスタ[7:0]							
(C11H)		15	14	13	12	11	10	9	8
	bit Symbol	TXD015	TXD014	TXD013	TXD012	TXD011	TXD010	TXD009	TXD008
	Read/Write	R/W							
	リセット後	0							
	機能	送信データレジスタ[15:8]							

図 3.12.26 HSC0TD レジスタ

HSC1TD レジスタ

HSC1TD (C30H)		7	6	5	4	3	2	1	0
	bit Symbol	TXD107	TXD106	TXD105	TXD104	TXD103	TXD102	TXD101	TXD100
	Read/Write	R/W							
	リセット後	0							
	機能	送信データレジスタ[7:0]							
(C31H)		15	14	13	12	11	10	9	8
	bit Symbol	TXD115	TXD114	TXD113	TXD112	TXD111	TXD110	TXD109	TXD108
	Read/Write	R/W							
	リセット後	0							
	機能	送信データレジスタ[15:8]							

図 3.12.27 HSC1TD レジスタ

(a) <TXD015:000>

送信データをライトするレジスタです。リードすると最後にライトしたデータがリードされます。本レジスタが空になってない状態で、次のデータをライトすると上書きされますので その場合は RFW0 のステータスを確認後 ライトしてください。

HSC0CT<UNIT160>="1"の場合 全ビット有効で、HSC0CT<UNIT160>="0"の場合下位 8 ビットが有効です。

Not Recommended
for New Design

(6) 受信データレジスタ

受信データをリードするレジスタです。

HSC0RD レジスタ

HSC0RD (C12H)		7	6	5	4	3	2	1	0
	bit Symbol	RXD007	RXD006	RXD005	RXD004	RXD003	RXD002	RXD001	RXD000
	Read/Write	R							
	リセット後	0							
	機能	受信データレジスタ[7:0]							
(C13H)		15	14	13	12	11	10	9	8
	bit Symbol	RXD015	RXD014	RXD013	RXD012	RXD011	RXD010	RXD009	RXD008
	Read/Write	R							
	リセット後	0							
	機能	受信データレジスタ[15:8]							

図 3.12.28 HSC0RD レジスタ

HSC1RD レジスタ

HSC1RD (C32H)		7	6	5	4	3	2	1	0
	bit Symbol	RXD107	RXD106	RXD105	RXD104	RXD103	RXD102	RXD101	RXD100
	Read/Write	R							
	リセット後	0							
	機能	受信データレジスタ[7:0]							
(C33H)		15	14	13	12	11	10	9	8
	bit Symbol	RXD115	RXD114	RXD113	RXD112	RXD111	RXD110	RXD109	RXD108
	Read/Write	R							
	リセット後	0							
	機能	受信データレジスタ[15:8]							

図 3.12.29 HSC1RD レジスタ

(a) <RXD015:000>

受信データをリードするレジスタです。リードする際には RFR0 のステータスを確認後リードしてください。

HSC0CT<UNIT160>="1"の場合 全ビット有効で、HSC0CT<UNIT160>="0"の場合下位 8 ビットが有効です。

Not Recommended
for New Design

(7) 送信データシフトレジスタ

送信データをシリアルへ変換するレジスタです。主に LSI のテスト時に変換状態を確認するために使用します。

HSC0TS レジスタ

HSC0TS (C14H)		7	6	5	4	3	2	1	0
	bit Symbol	TSD007	TSD006	TSD005	TSD004	TSD003	TSD002	TSD001	TSD000
	Read/Write	R							
	リセット後	0							
	機能	送信データシフトレジスタ[7:0]							
(C15H)		15	14	13	12	11	10	9	8
	bit Symbol	TSD015	TSD014	TSD013	TSD012	TSD011	TSD010	TSD009	TSD008
	Read/Write	R							
	リセット後	0							
	機能	送信データシフトレジスタ[15:8]							

図 3.12.30 HSC0TS レジスタ

HSC1TS レジスタ

HSC1TS (C34H)		7	6	5	4	3	2	1	0
	bit Symbol	TSD107	TSD106	TSD105	TSD104	TSD103	TSD102	TSD101	TSD100
	Read/Write	R							
	リセット後	0							
	機能	送信データシフトレジスタ[7:0]							
(C35H)		15	14	13	12	11	10	9	8
	bit Symbol	TSD115	TSD114	TSD113	TSD112	TSD111	TSD110	TSD109	TSD108
	Read/Write	R							
	リセット後	0							
	機能	送信データシフトレジスタ[15:8]							

図 3.12.31 HSC1TS レジスタ

(a) <TSD015:000>

送信データのシフトレジスタの状態をリードするレジスタです。

HSC0CT<UNIT160>="1"の場合 全ビット有効で、HSC0CT<UNIT160>="0"の場合 下位 8 ビットが有効です。

(8) 受信データシフトレジスタ

受信データシフトレジスタをリードするレジスタです。

HSC0RS レジスタ

HSC0RS (C16H)		7	6	5	4	3	2	1	0
	bit Symbol	RSD007	RSD006	RSD005	RSD004	RSD003	RSD002	RSD001	RSD000
	Read/Write	R							
	リセット後	0							
	機能	受信データシフトレジスタ[7:0]							
(C17H)		15	14	13	12	11	10	9	8
	bit Symbol	RSD015	RSD014	RSD013	RSD012	RSD011	RSD010	RSD009	RSD008
	Read/Write	R							
	リセット後	0							
	機能	受信データシフトレジスタ[15:8]							

図 3.12.32 HSC0RS レジスタ

HSC1RS レジスタ

HSC1RS (C36H)		7	6	5	4	3	2	1	0
	bit Symbol	RSD107	RSD106	RSD105	RSD104	RSD103	RSD102	RSD101	RSD100
	Read/Write	R							
	リセット後	0							
	機能	受信データシフトレジスタ[7:0]							
(C37H)		15	14	13	12	11	10	9	8
	bit Symbol	RSD115	RSD114	RSD113	RSD112	RSD111	RSD110	RSD109	RSD108
	Read/Write	R							
	リセット後	0							
	機能	受信データシフトレジスタ[15:8]							

図 3.12.33 HSC1RS レジスタ

(a) <RSD015:000>

受信データシフトレジスタの状態をリードするレジスタです。

HSC0CT<UNIT160>="1"の場合 全ビット有効で、HSC0CT<UNIT160>="0"の場合下位 8 ビットが有効です。

3.12.3 動作タイミング

以下に各種、動作タイミングを説明します。

(1) 設定条件

UNIT=8 ビット、LSB ファーストでの送信

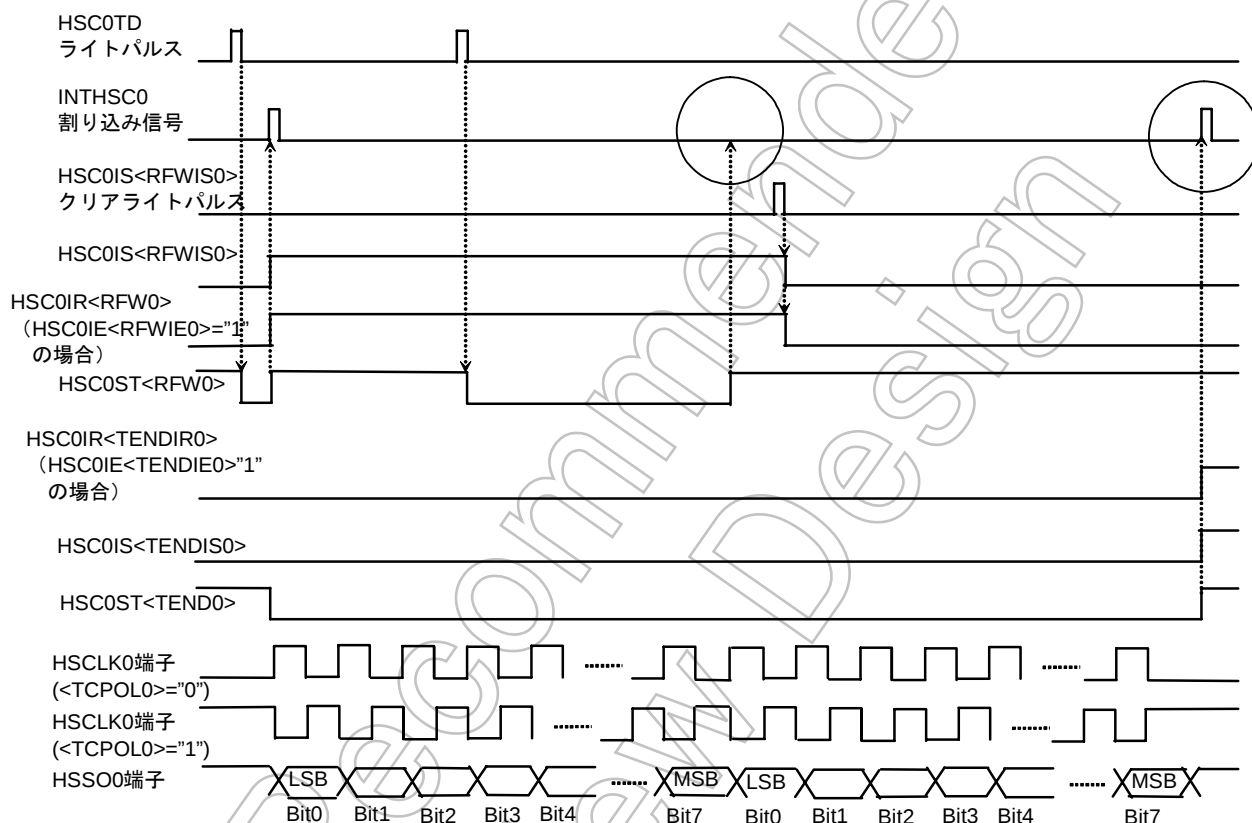


図 3.12.34 送信タイミング図

上記において、HSC0TD レジスタに送信データを書き込み直後に、HSC0ST<RFW0>フラグが"0"にセットされます。HSC0TD レジスタのデータが送信用レジスタ (HSC0TS) にシフトが完了すると HSC0ST<RFW0>ビットは"1"にセットされ、次の送信データの書き込み準備が整ったことを知らせ、同時に HCLK0 端子及び HSSO0 端子からクロックとデータの送信が開始されます。

この時、HSC0ST<RFW0>フラグの立上りに同期して、HSC0IS、HSC0IR が変化し INTHSC0 割り込みが発生します。HSC0IR レジスタが"1"にセットされたままの状態では HSC0ST<RFW0>が"1"にセットされても、割り込みは発生しません。

また、送信が終了し HSC0TD レジスタ及び HSC0TS レジスタに送信すべきデータがなくなった時点で HSC0ST<TEND0>フラグが"1"にセットされ、送信データとクロックが停止し、同時に INTHSC0 割り込みが発生します。この時、HSC0IS<RFW0>をクリアしておかないと、割り込みソースの種類が異なる場合で HSC0ST<TEND0>が"1"にセットされても、INTHSC0 は発生しませんので、注意が必要です。

(2)設定条件

UNIT=8 ビット、LSB ファーストでの UNIT 受信

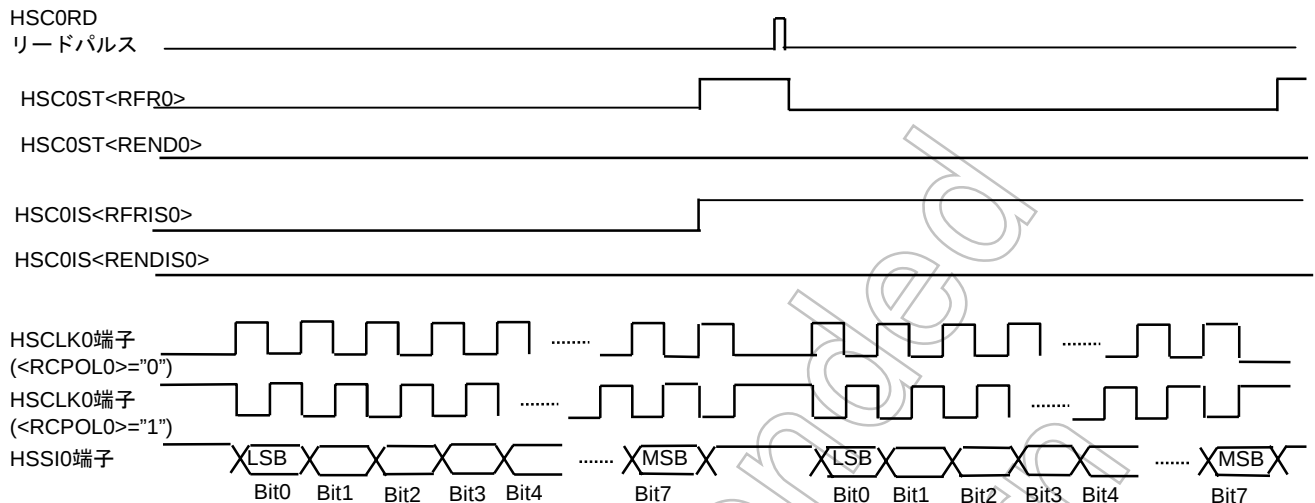


図 3.12.352121 UNIT 受信(HSC0CT<RXUEN0>=1)の場合

HSC0RD レジスタ内に有効な受信データがない (HSC0ST<RFR0>=0) 状態で、HSC0CT<RXUEN0>=1 を設定すると UNIT 受信を開始します。受信が終了し HSC0RD レジスタに受信データが格納されると、HSC0ST<RFR0>フラグが"1"にセットされ、受信データの読み出し準備が整ったことを知らせます。HSC0RD レジスタを読み出すと直後に、HSC0ST<RFR0>フラグが"0"にクリアされ、次のデータの受信を自動的に開始します。UNIT 受信を終了するには、HSC0ST<RFR0>フラグが"1"にセットされているのを確認後、HSC0CT<RXUEN0>=0 を設定します。

(3)設定条件

UNIT=8 ビット、LSB ファーストでの連続受信

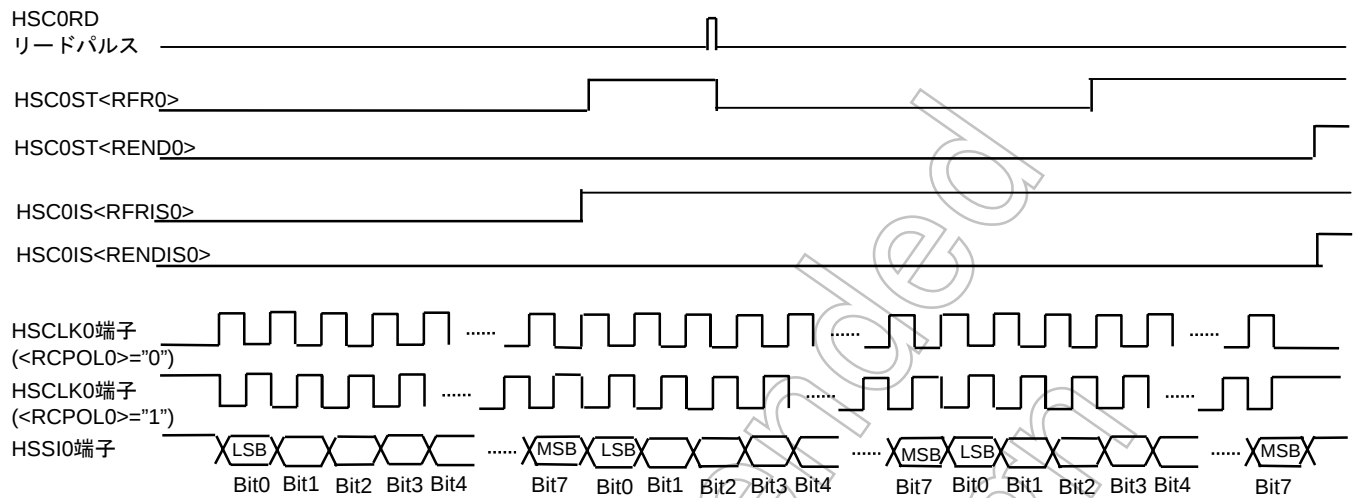


図 3.12.36 連続受信(HSC0CT<RXWEN0>=1)の場合

HSC0RD レジスタ内に有効な受信データがない (HSC0ST<RFR0>=0) 状態で、HSC0CT<RXWEN0>=1 を設定すると連続受信を開始します。1 回目の受信が終了し HSC0RD レジスタに受信データが格納されると、HSC0ST<RFR0>フラグが"1"にセットされ、受信データの読み出し準備が整ったことを知らせます。連続受信は、HSC0RD、HSC0RS レジスタ双方に受信データが格納されるまで連続して受信動作を行います。

連続受信を終了するには、HSC0ST<RFR0>フラグ及び HSC0SR<REND0>フラグが"1"にセットされているのを確認後、HSC0CT<RXWEN0>=0 を設定します。

(4)設定条件

UNIT=8 ビット、LSB ファーストでのマイクロ DMA を利用した送信

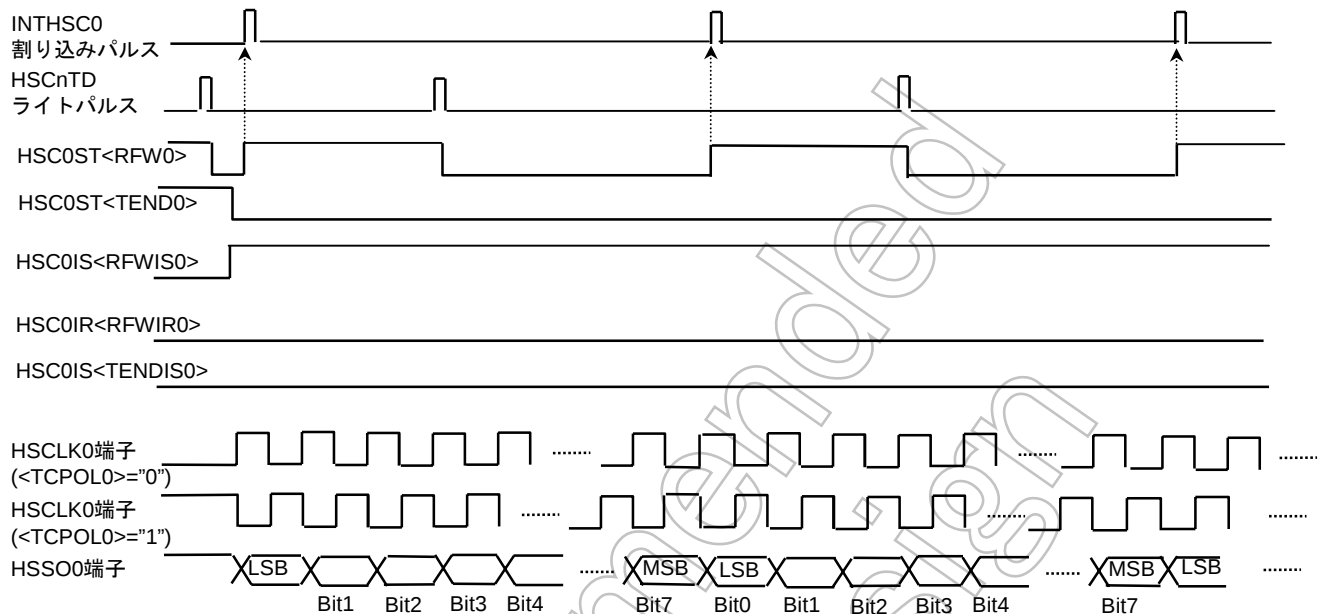


図 3.12.37 マイクロ DMA 転送(送信)

HSC0IE レジスタの全ビットを"0"に、HSC0CT<DMAERFW0>=1 に設定した状態で、HSC0TD レジスタに送信データを書き込み送信開始します。

HSC0TD レジスタのデータがHSC0TS レジスタにシフトされHSC0ST<RFW0>ビットが"1"にセットされ、次の送信データの書き込み準備が整うと INTHSC0 割り込み(RFW0 割り込み)が発生します。

この割り込みによってマイクロ DMA の起動をかけることにより、連続したデータの送信を自動的に行うことができます。

なお、マイクロ DMA での送信を行うには、あらかじめマイクロ DMA の設定が必要です。

(5)設定条件

UNIT=8ビット、LSBファーストでのマイクロDMAを利用した受信

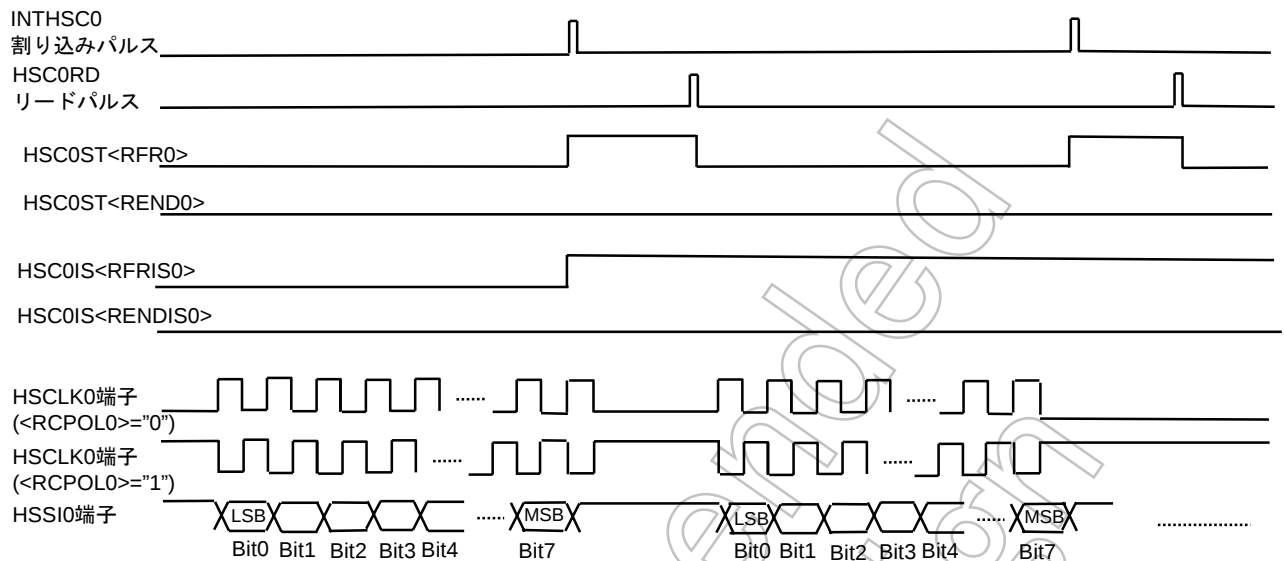


図 3.12.38 マイクロDMA転送(UNIT受信(HSC0CT<RFUEN0>=1))

HSC0IEレジスタの全ビットを"0"に、HSC0CT<DMAERFR0>=1に設定した状態で、HSC0CT<RXUEN0>=1を設定しUNIT受信を開始します。

受信が終了しHSC0RDレジスタに受信データが格納され、受信データの読み出し準備が整うとINTHSC0割り込み(RFR0割り込み)を発生します。

この割り込みによってマイクロDMAの起動をかけることにより、連続したデータの受信を自動的行うことができます。

なお、マイクロDMAでの受信を行うには、あらかじめマイクロDMAの設定が必要です。

3.12.4 使用例

HSC0 の設定手順を以下に説明します。

(1)UNIT 送信

下記設定で送信を行い、送信終了で INTHSC0 割り込みを発生させる場合の設定例を示します。

UNIT : 8bit,
LSB ファースト
ボーレート選択 : fsys/8
同期クロックエッジ : 立ち上がり

設定例

```
ld      (pdfc), 0x07      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0
ld      (pdcr), 0x06      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0

ldw     (hsc0ct), 0x0040 ; データ長を 8bit に設定
ldw     (hsc0md), 0x2c43 ; システムクロックイネーブル、ボーレート選択 : fsys/8
                        ; LSB ファースト、同期クロックエッジ設定 : 立ち上がりに設定

ld      (hsc0ie), 0x08    ; TEND0 割り込み許可に設定
ld      (inteahsc0), 0x10; INTHSC0 割り込みレベルを 1 に設定
ei      ; 割り込み許可 (iff=0)

loop:   ; 送信データレジスタに未送信データが無いことを確認
bit     1, (hsc0st)       ; <RFW0>=1 ?
jr      z, loop

ld      (hsc0td), 0x3a    ; 送信データライト & 送信スタート
      .
      .
      .
```

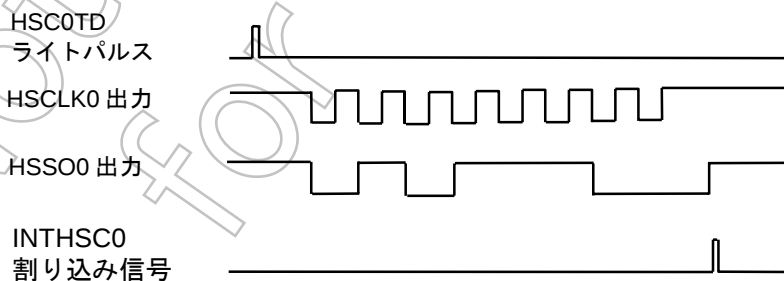


図 3.12.39 UNIT 送信例

(2)UNIT 受信

下記設定で受信を行い、受信終了で INTHSC0 割り込みを発生させる場合の設定例を示します。

UNIT : 8bit、
LSB ファースト
ボーレート選択 : fsys/8
同期クロックエッジ : 立ち上がり

設定例

```
ld      (pdfc), 0x07      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0
ld      (pdcr), 0x06      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0

ldw     (hsc0ct), 0x0040   ; データ長を 8bit に設定
ldw     (hsc0md), 0x2c43   ; システムクロックイネーブル、ボーレート選択 : fsys/8
                                ; LSB ファースト、同期クロックエッジ設定 : 立ち上がりに設定

ld      (hsc0ie), 0x01     ; RFR0 割り込み許可に設定
ld      (inteahsc0), 0x10  ; INTHSC0 割り込みレベルを 1 に設定
ei                                             ; 割り込み許可 (iff=0)

set     0x0, (hsc0ct)      ; UNIT 受信スタート
      .
      .
      .
```

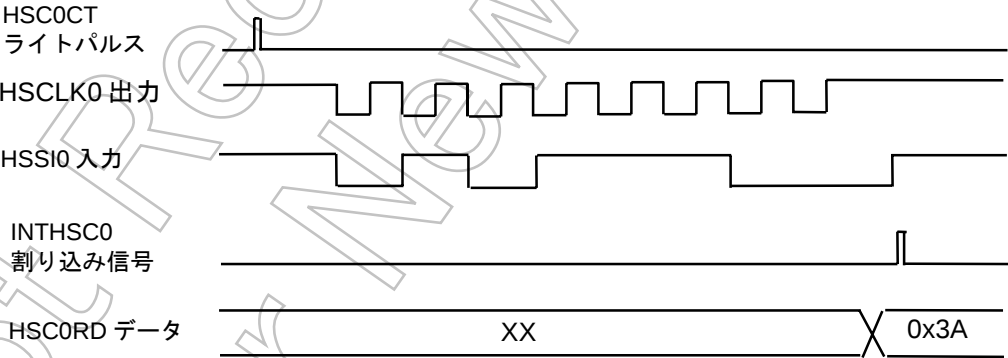


図 3.12.40 UNIT 受信例

(3)連続送信

下記設定で送信を行い、2 バイトの連続送信を行う場合の設定例を示します。

UNIT : 8bit、
 LSB ファースト
 ボーレート選択 : fsys/8
 同期クロックエッジ : 立ち上がり

設定例

```
ld      (pdfc), 0x07      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0
ld      (pdcr), 0x06      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0

ldw     (hsc0ct), 0x0040 ; データ長を 8bit に設定
ldw     (hsc0md), 0x2c43 ; システムクロックイネーブル、ボーレート選択 : fsys/8
                        ; LSB ファースト、同期クロックエッジ設定 : 立ち上がりに設定

loop1:                                     ; 送信データレジスタに未送信データが無いことを確認
bit     1, (hsc0st)        ; <RFW0>=1 ?
jr      z, loop1

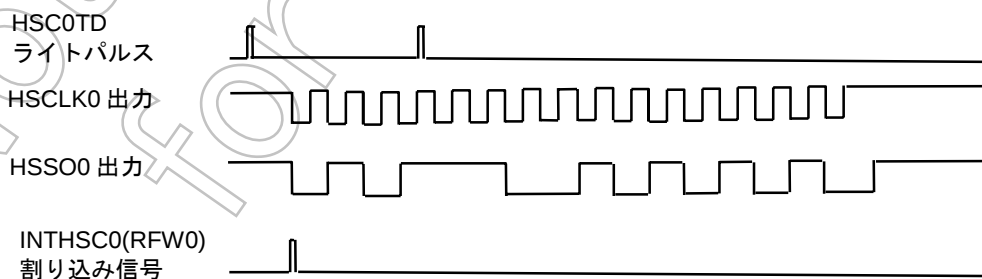
ld      (hsc0td), 0x3a     ; 1 バイト目送信データライト & 送信スタート

loop2:                                     ; 送信データレジスタに未送信データが無いことを確認
bit     1, (hsc0st)        ; <RFW0>=1 ?
jr      z, loop2

ld      (hsc0td), 0x55     ; 2 バイト目送信データライト

loop3:                                     ; 送信データシフトレジスタに未送信データが無いことを確認
bit     3, (hsc0st)        ; <TEND0>=1 ?
jr      z, loop3

        .                  ; 送信終了
        .
```



注) 図のタイミングは一例です。ボーレートが高い場合など、1 バイト目の送信と 2 バイト目の送信間隔が発生する場合があります。

図 3.12.41 連続送信例

(4)連続受信

下記設定で受信を行い、2バイトの連続受信を行う場合の設定例を示します。

UNIT : 8bit、
 LSB ファースト
 ボーレート選択 : fsys/8
 同期クロックエッジ : 立ち上がり

設定例

```
ld      (pdfc), 0x07      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0
ld      (pdcr), 0x06      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0

ldw     (hsc0ct), 0x0040   ; データ長を 8bit に設定
ldw     (hsc0md), 0x2c43   ; システムクロックイネーブル、ボーレート選択 : fsys/8
                                ; LSB ファースト、同期クロックエッジ設定 : 立ち上がりに設定

set      0x01, (hsc0ct)    ; 連続受信スタート

loop1:                                     ; 受信データレジスタに1バイト目の受信データがあることを確認
bit      0, (hsc0st)       ; <RFR0>=1 ?
jr       z, loop1

loop2:                                     ; 受信データシフトレジスタに2バイト目のデータがあることを確認
bit      2, (hsc0st)       ; <REND0>=1 ?
jr       z, loop2

res      0x01, (hsc0ct)    ; 連続受信ディセーブル

ld      a, (hsc0rd)        ; 1バイト目受信データリード

loop3:                                     ; 受信データシフトレジスタから受信データレジスタに
                                ; 2バイト目の受信データがシフトされたことを確認
bit      0, (hsc0st)       ; <RFR0>=1 ?
jr       z, loop3
ld      w, (hsc0rd)        ; 2バイト目受信データリード
```

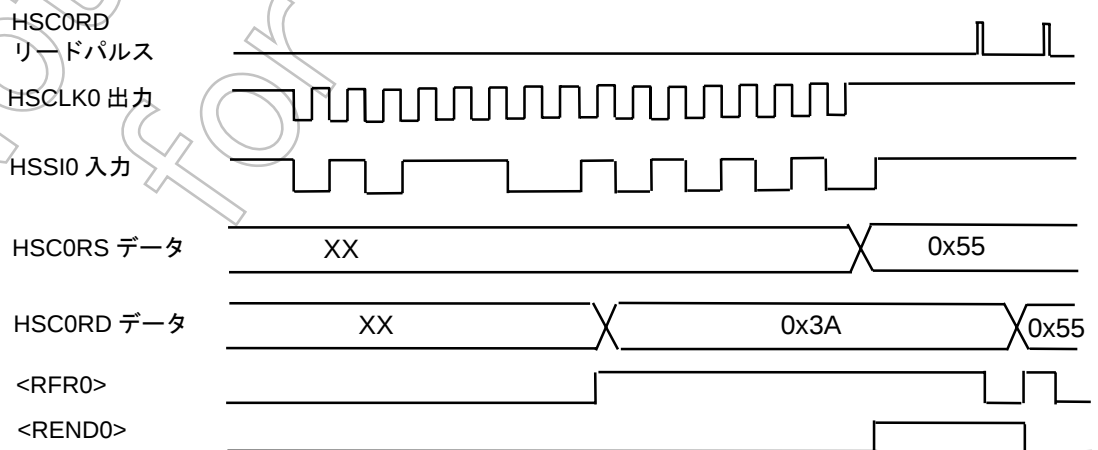


図 3.12.42 連続受信例

(5) マイクロ DMA を利用した連続送信

下記設定でマイクロ DMA を利用し 4 バイト連続送信を行う場合の設定例を示します。

UNIT : 8bit、
 LSB ファースト
 ボーレート選択 : fsys/8
 同期クロックエッジ : 立ち上がり

設定例メインルーチン

```

;-- マイクロ DMA 設定 --
ld      (dma0v), 0x25      ; マイクロ DMA0 を INTHSC0 に設定
ld      wa, 0x0003         ; マイクロ DMA 転送回数に、転送回数-1 回に設定 (3 回)
ldc     dmac0, wa
ld      a, 0x08            ; マイクロ DMA モード設定 : 転送元 INC モード, 1 バイト転送
ldc     dmam0, a

ld      xwa, 0x806000       ; 転送元アドレス設定
ldc     dmas0, xwa
ld      xwa, 0xc10         ; 転送先アドレスを HSC0TD レジスタに設定
ldc     dmad0, xwa

;-- HSC0 設定 --
ld      (pdfc), 0x07       ; ポート設定 PD0:HSS10, PD1:HSS00, PD2:HSCLK0
ld      (pdcr), 0x06       ; ポート設定 PD0:HSS10, PD1:HSS00, PD2:HSCLK0

ldw     (hsc0ct), 0x0040    ; データ長を 8bit に設定
ldw     (hsc0md), 0x2c43    ; システムクロックイネーブル、ボーレート選択 : fsys/8
                                ; LSB ファースト、同期クロックエッジ設定 : 立ち上がりに設定

ld      (hsc0ie), 0x00      ; 割り込み禁止に設定
set     1, (hsc0ct+1)       ; RFW0 によるマイクロ DMA 動作をイネーブルに設定
ld      (intetc01), 0x01    ; INTTC0 割り込みレベルを 1 に設定
ei                                             ; 割り込み許可 (iff=0)

loop1:                                       ; 送信データレジスタに未送信データが無いことを確認
bit     1, (hsc0st)         ; <RFW0>=1 ?
jr      z, loop1

ld      (hsc0td), 0x3a      ; 送信データライト & 送信スタート

```

割り込みルーチン(INTTC0)

```

loop2:
bit     1, (hsc0st)         ; <RFW0> = 1 ?
jr      z, loop2
bit     3, (hsc0st)         ; <TEND0> = 1 ?
jr      z, loop2
nop

```

(6) マイクロ DMA を利用した UNIT 受信

下記設定でマイクロ DMA を利用して UNIT 受信を 4 バイト連続で行う場合の設定例を示します。

UNIT : 8bit、
 LSB ファースト
 ボーレート選択 : fsys/8
 同期クロックエッジ : 立ち上がり

設定例メインルーチン

```

;-- マイクロ DMA 設定 --
ld      (dma0v), 0x25      ; マイクロ DMA0 を INTHSC0 に設定
ld      wa, 0x0003        ; マイクロ DMA 転送回数に、転送回数 - 1 回に設定 (3 回)
ldc     dmac0, wa
ld      a, 0x00           ; マイクロ DMA モード設定 : 転送先 INC モード, 1 バイト転送
ldc     dmam0, a

ld      xwa, 0xc12        ; 転送元アドレスを HSCORD レジスタに設定
ldc     dmas0, xwa
ld      xwa, 0x807000     ; 転送先アドレスを設定
ldc     dmad0, xwa

;-- HSC0 設定 --
ld      (pdfc), 0x07      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0
ld      (pdcr), 0x06      ; ポート設定 PD0:HSSI0, PD1:HSS00, PD2:HSCLK0

ldw     (hsc0ct), 0x0040   ; データ長を 8bit に設定
ldw     (hsc0md), 0x2c43   ; システムクロックイネーブル、ボーレート選択 : fsys/8
                                ; LSB ファースト、同期クロックエッジ設定 : 立ち上がりに設定

ld      (hsc0ie), 0x00     ; 割り込み禁止に設定
set     0, (hsc0ct+1)      ; RFR0 によるマイクロ DMA 動作をイネーブルに設定
ld      (intetc01), 0x01   ; INTTC0 割り込みレベルを 1 に設定
ei                                             ; 割り込み許可 (iff=0)

set     0x0, (hsc0ct)      ; UNIT 受信スタート

```

割り込みルーチン(INTTC0)

```

loop2:                                     ; UNIT 受信の場合の受信終了待ち
bit     0, (hsc0st)         ; <RFR0> = 1 ?
jr      z, loop2
res     0, (hsc0ct)         ; UNIT 受信ディセーブル
ld      a, (hsc0rd)         ; 最終受信データのリード
nop

```

3.13 SDRAM コントローラ(SDRAMC)

TMP92CM27 は、データ用、プログラム用としてアクセス可能な、SDRAM コントローラを内蔵しています。下記にその特徴を記します。

(1) サポート SDRAM

データレートタイプ	: SDR(シングルデータレート) タイプのみ
メモリ容量	: 16 / 64Mbit
バンク数	: 2 / 4 バンク
データバス幅	: 16 bit
読み込みバースト長	: 1 ワード / フルページ
書き込みモード	: シングル / バースト

(2) イニシャライズシーケンスコマンドのサポート

全バンクプリチャージコマンド
8回のオートリフレッシュコマンド
モードレジスタセットのコマンド

(3) アクセスモード

	CPU Access
バースト長	1 ワード / フルページ
アドレッシングモード	シーケンシャル
CAS レイテンシ(クロック)	2
書き込みモード	シングル / バースト

(4) アクセスサイクル

CPU アクセス

リードサイクル	: 1 ワード - 4 ステート / フルページ - 1 ステート
ライトサイクル	: シングル - 3 ステート / バースト - 1 ステート
データサイズ	: 1Byte / 1Word / 1LongWord

(5) リフレッシュサイクル自動発生

- ・ オート・リフレッシュは、SDRAM アクセス以外の期間に発生します。
- ・ リフレッシュ間隔は、プログラマブルです。
- ・ セルフ・リフレッシュ機能をサポートしています。

(注)

- ・ SDRAM 領域は、メモリコントローラの CS3 の設定により決まります。

3.13.1 コントロールレジスタ

図 3.13.1に SDRAMC コントロールレジスタを示します。これらのレジスタを設定することで、SDRAMC の動作を制御します。

SDRAM アクセスコントロールレジスタ 1

SDACR1 (0250H)		7	6	5	4	3	2	1	0
	Bit symbol	—	—	SMRD	SWRC	SBST	SBL1	SBL0	SMAC
	Read/Write	R/W							
	リセット後	0	0	0	0	0	1	0	0
機能	“0”を ライト してくだ さい。	“0”を ライト してくだ さい。	モードレ ジスタリ カバリタ イム 0: 1clock 1: 2clock	ライトリ カバリタ イム 0: 1clock 1: 2clock	バースト ストップ コマンド 0: オールブ リチャージ 1: バースト ストップ	バースト長選択 (注 1) 00: 予約 01: フルページリード, バーストライト 10: 1ワードリード, シングルライト 11: フルページリード, シングルライト			SDRAM コントロ ーラ 0: 禁止 1: 許可

(注 1) <SBL1:0>を変更後、モードレジスタ設定コマンドを実行してください。なお、“フルページリード”状態から“1ワードリード”へ変更する場合は注意が必要です。3.13.3 4) の注意事項を参照してください。

SDRAM アクセスコントロールレジスタ 2

SDACR2 (0251H)		7	6	5	4	3	2	1	0
	Bit symbol				SBS	SDRS1	SDRS0	SMUXW1	SMUXW0
	Read/Write				R/W				
	リセット後				0	0	0	0	0
機能					バンク数 0: 2 バンク 1: 4 バンク	ROW アドレスサイズ 選択 00: 2048rows (11bits) 01: 4096rows (12bits) 10: 8192rows (13bits) 11: 予約	アドレスマルチプレク スタイプ選択 00: TypeA (A9-) 01: TypeB (A10-) 10: TypeC (A11-) 11: 予約		

SDRAM リフレッシュコントロールレジスタ

SDRCR (0252H)		7	6	5	4	3	2	1	0
	Bit symbol	—			SSAE	SRS2	SRS1	SRS0	SRC
	Read/Write	R/W			R/W				
	リセット後	0			1	0	0	0	0
機能	“0”を ライト してくだ さい。				SR オート Exit 機能 0: Disable 1: Enable	リフレッシュ間隔 000: 47state 100: 156state 001: 78state 101: 195state 010: 97state 110: 249state 011: 124state 111: 312state			オート リフレッシュ 0: Disable 1: Enable

SDRAM コマンドレジスタ								
SDCMM (0253H)		7	6	5	4	3	2	1 0
	Bit symbol						SCMM2	SCMM1 SCMM0
	Read/Write						R/W	
	リセット後						0	0 0
	機能						コマンド実行 (注1)(注2) 000: 実行なし 001: イニシャライズコマンド実行 a.全バンクをプリチャージ b. 8回のオートリフレッシュ c.モードレジスタ設定 100: モードレジスタセット 101: セルフリフレッシュ ENTRY 実行 110: セルフリフレッシュ EXIT 実行 その他: 予約	

- (注1) コマンドが実行された後に<SCMM2:0>は"000"にクリアされます。
ただし、セルフリフレッシュ ENTRY コマンドの実行ではクリアされません。この場合、セルフリフレッシュ EXIT
コマンドの実行でクリアされます。
- (注2) セルフリフレッシュ EXIT コマンドを除く他のコマンド実行時は<SCMM2:0>が"000"であることを確認した後、
ライトしてください。

図 3.13.1SDRAMC コントロールレジスタ

3.13.2 動作説明

(1) メモリアクセスコントロール

SDACR<SMAC>に“1”を設定すると、アクセスコントローラはイネーブルになります。

その時、SDRAM コントロール信号 ($\overline{\text{SDCS}}$ 、 $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、 $\overline{\text{SDWE}}$ 、 $\overline{\text{SDLLDQM}}$ 、 $\overline{\text{SDLUDQM}}$ 、 $\overline{\text{SDCLK}}$ 、 $\overline{\text{SDCKE}}$) は、CPU が、CS3 エリアをアクセスしている期間動作します。

アクセスサイクル中、A0 端子から A15 端子よりロー／カラムのマルチプレクスアドレスを出力します。また、マルチプレクス幅は、SDACR2<SMUXW0:1>の設定により決定します。マルチプレクス幅とロー／カラムアドレスの関係を下記の表 3.13.1 に示します。

表 3.13.1 アドレスマルチプレクス

92CM27 ピン 名称	SDRAM アクセスサイクルのアドレス			
	ローアドレス			カラムアドレス
	TypeA <SMUXW>="00"	TypeB <SMUXW>="01"	TypeC <SMUXW>="10"	16Bit データバス幅 B3CSH<BnBUS>="01"
A0	A9	A10	A11	A1
A1	A10	A11	A12	A2
A2	A11	A12	A13	A3
A3	A12	A13	A14	A4
A4	A13	A14	A15	A5
A5	A14	A15	A16	A6
A6	A15	A16	A17	A7
A7	A16	A17	A18	A8
A8	A17	A18	A19	A9
A9	A18	A19	A20	A10
A10	A19	A20	A21	AP
A11	A20	A21	A22	ローアドレス
A12	A21	A22	A23	
A13	A22	A23	0	
A14	A23	0	0	
A15	0	0	0	

CPU による SDRAM リードおよびライトのバースト長は、SDACR1<SBL1:0>により選択可能です。

SDRAM アクセスサイクルは図 3.13.2 および図 3.13.3 に示します。

SDRAM アクセスサイクル数はメモリコントローラの B3CSL レジスタ設定では決まりません。

フルページバーストリードおよびライトサイクルではモードレジスタセットサイクル、プリチャージサイクルはサイクルの前後に自動挿入されます。

(2) SDRAM 上での命令実行

CPU は SDRAM に格納された命令を実行することが可能です。しかし、以下の機能は動作することができません。

- a) HALT 命令の実行
- b) SDCMM レジスタへのライト命令の実行

上記の動作が必要とされる場合、内蔵 RAM 等の他のメモリに分岐して実行することが必要となります。

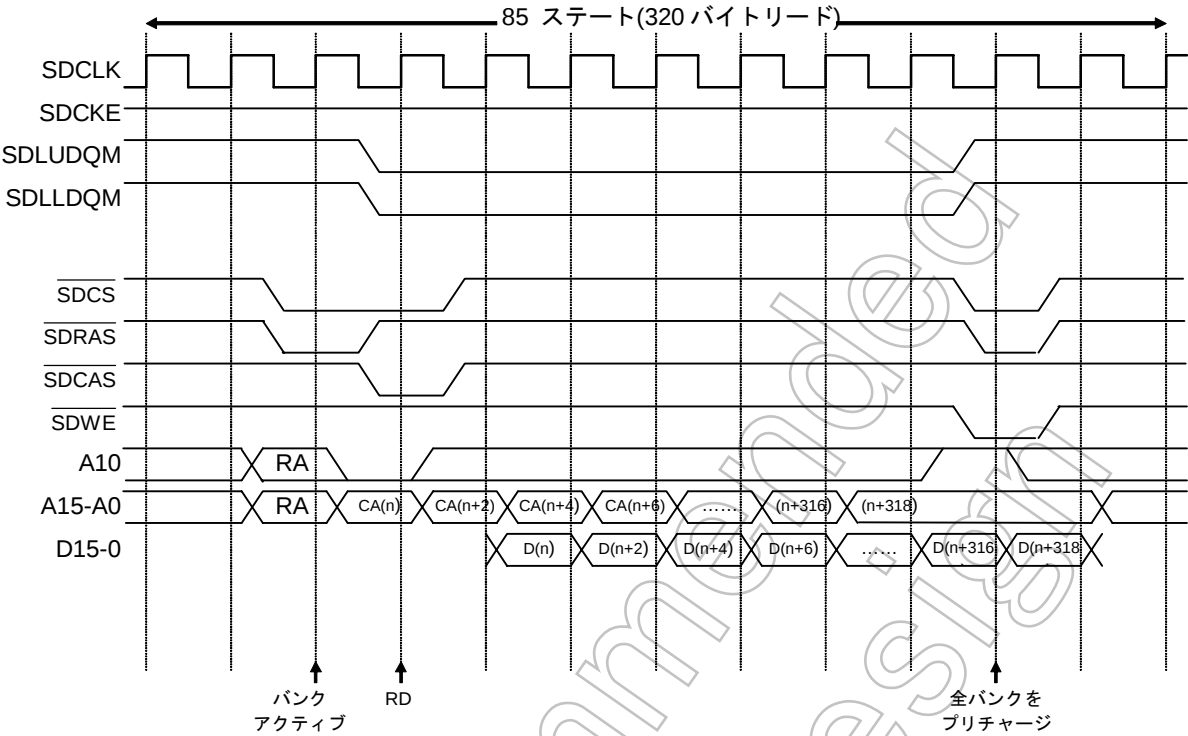


図 3.13.2 バースト リードサイクルのタイミング

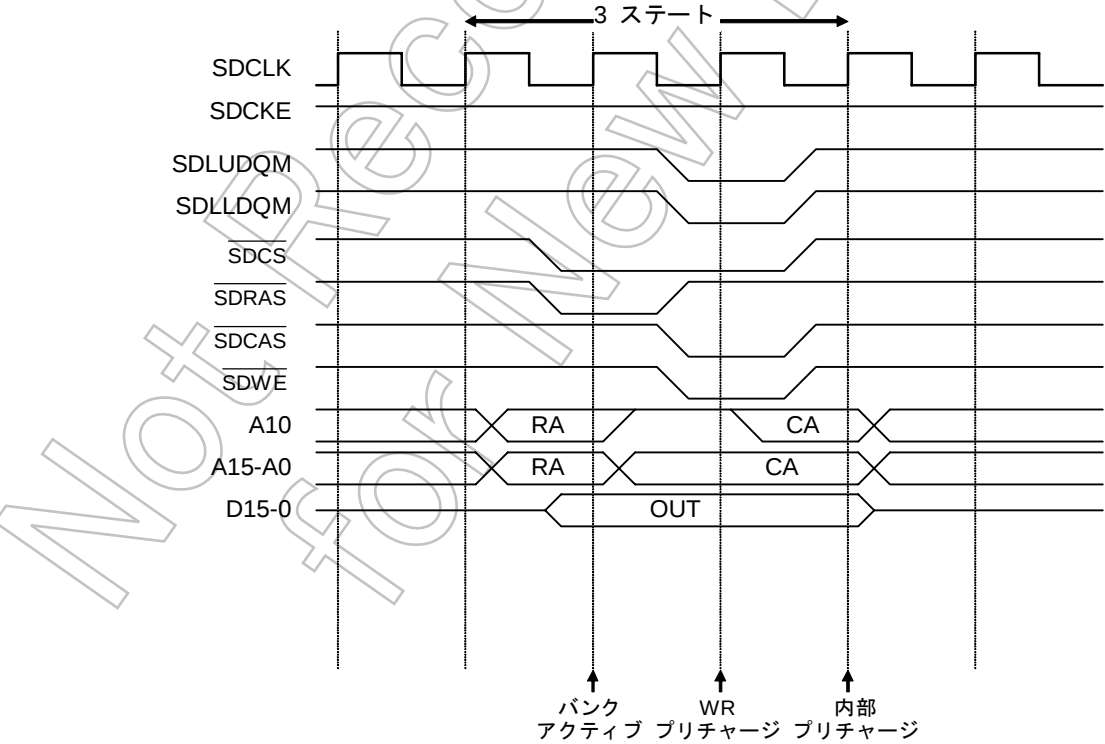


図 3.13.3 CPU ライトサイクルのタイミング

(データバスの構造: 16bit×1, オペランドサイズ: 2byte, アドレス: 2n+0)

(3) リフレッシュコントロール

TMP92CM27 はオートリフレッシュおよびセルフリフレッシュの 2 つのリフレッシュコマンドをサポートしています。

(a) オートリフレッシュ

オートリフレッシュコマンドは、SDRCR<SRS2:0>に設定された間隔を SDCR<SRFC>を”1”にすることで自動的に発生します。発生間隔は 47～312 ステートの間に設定することが可能です。

(2.4μs-15.6μs @ fsys=20MHz)

CPU の動作（命令フェッチおよび実行）はオートリフレッシュコマンドを実行している間停止します。オートリフレッシュサイクルを図 3.13.4 に示します。また、オートリフレッシュ発生間隔を表 3.13.2 に示します。オートリフレッシュは CPU が IDLE1 モード、STOP モードでは動作しません、ノーマルモードか IDLE2 モードにすることが必要です。

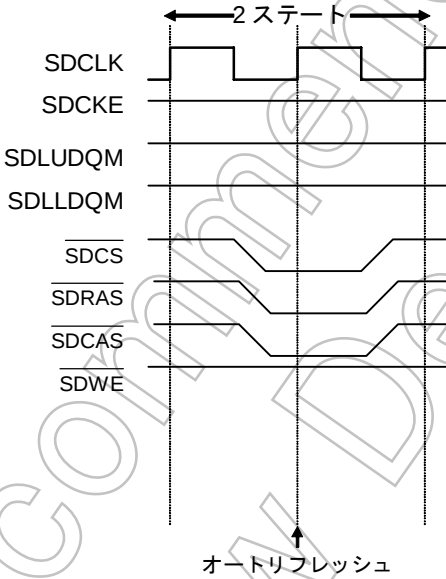


図 3.13.4 オートリフレッシュサイクルのタイミング

表 3.13.2 オートリフレッシュ挿入間隔

SDRCR<SRS2:0>			挿入間隔 (ステート)	周波数 (システムクロック)					
SRS2	SRS1	SRS0		6MHz	10MHz	12.5MHz	15MHz	17.5MHz	20MHz
0	0	0	47	7.8	4.7	3.8	3.1	2.7	2.4
0	0	1	78	13.0	7.8	6.2	5.2	4.5	3.9
0	1	0	97	16.2	9.7	7.8	6.5	5.5	4.9
0	1	1	124	20.7	12.4	9.9	8.3	7.1	6.2
1	0	0	156	26.0	15.6	12.5	10.4	8.9	7.8
1	0	1	195	32.5	19.5	15.6	13.0	11.1	9.8
1	1	0	249	41.5	24.9	19.9	16.6	14.2	12.4
1	1	1	312	52.0	31.2	25.0	20.8	17.8	15.6

単位 [μs]

(b) セルフリフレッシュ

セルフリフレッシュ ENTRY コマンドは SDCMM<SCMM2:0>を"101"に設定することにより発生します。セルフリフレッシュサイクルを図 3.13.5に示します。セルフリフレッシュ ENTRY の間、リフレッシュは SDRAM 内で動作します。(オートリフレッシュコマンドは必要ありません)

注 1) リセットによりスタンバイモードが解除された場合、I/O レジスタは初期化され、オートリフレッシュ機能は動作しません。

注 2) セルフリフレッシュ ENTRY の間は SDRAM にアクセスすることはできません。

注 3) セルフリフレッシュ ENTRY コマンドの後、CPU を IDLE1 あるいは STOP モードに切り換えてください。HALT 命令と SDCMM<SCMM2:0>を"101"に設定する間は、10 バイト以上の NOP あるいはほかの命令を実行してください。

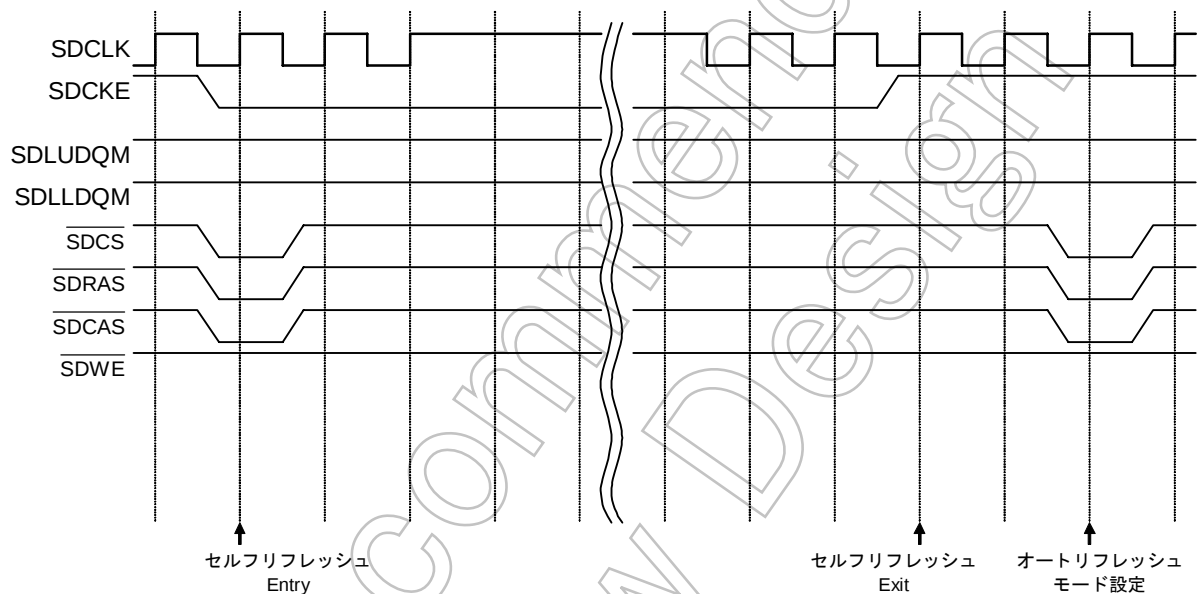


図 3.13.5 セルフリフレッシュサイクルのタイミング

セルフリフレッシュ状態は、セルフリフレッシュ EXIT コマンドを実行することにより解除できます。セルフリフレッシュ EXIT コマンドの実行は、SDCMM<SCMM2:0>に"110"をライトする方法と、HALT 状態解除に同期して自動的に EXIT する方法の 2 通りがあります。いずれの場合もセルフリフレッシュ EXIT 直後に 1 回のオートリフレッシュを実行し、その後は設定された条件でオートリフレッシュを実行します。<SCMM2:0>に"110"をライトにより EXIT した場合、<SCMM2:0>は"000"にクリアされます。

HALT 状態解除に同期した EXIT コマンドの実行は、SDRCR<SSAE>を"0"にすることにより禁止することができます。自動的に EXIT させたくない場合は禁止してください。クロックギアダウンなどの動作クロック周波数低下により SDRAM の使用条件を満たさなくなる状態で EXIT する場合も禁止してください。この場合の実行フローを図 3.13.6 に示します。

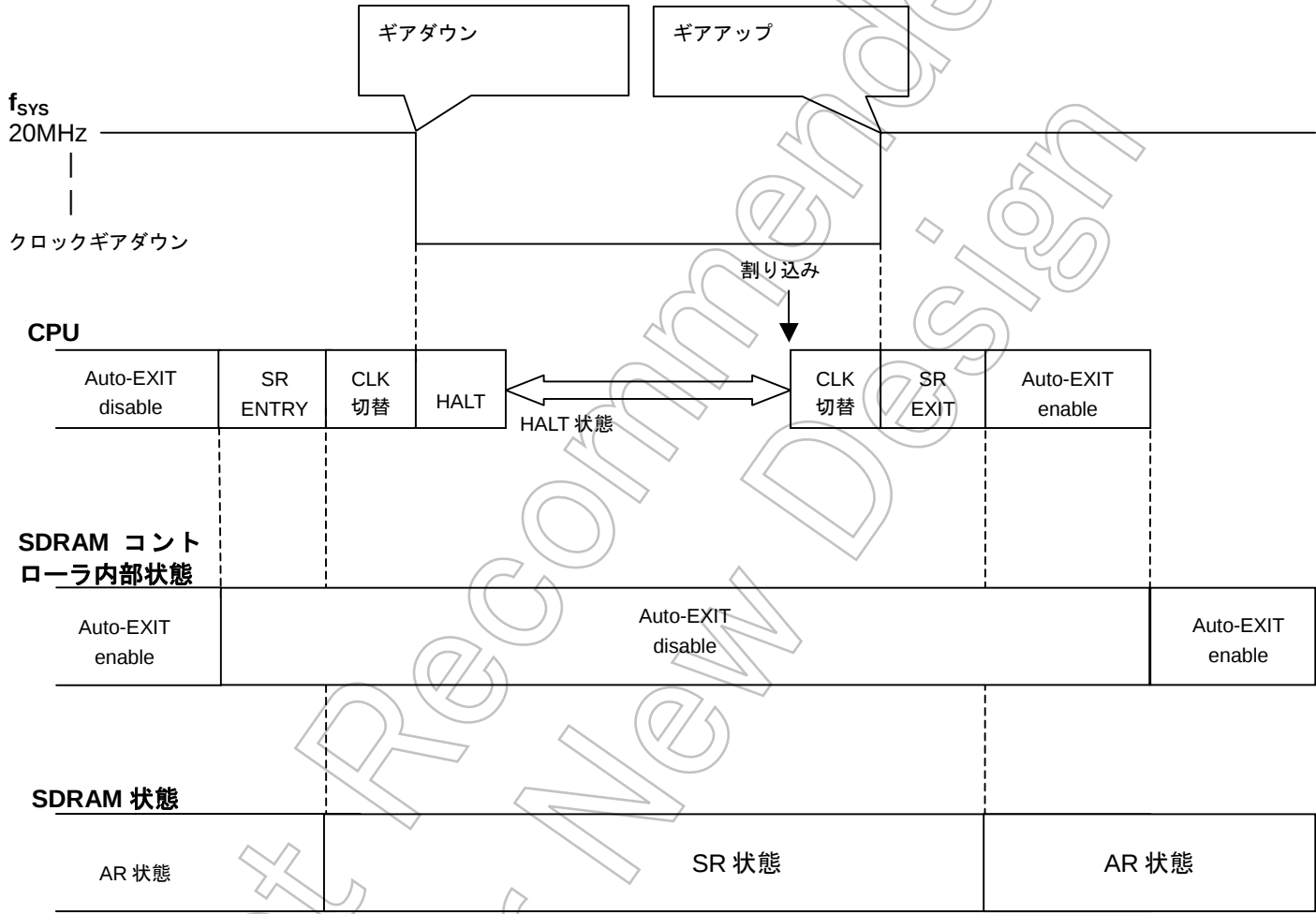


図 3.13.6 クロックギアダウンで HALT 命令実行する際の実行フロー例

推奨例)

LOOP1:

```
LDB    A,(SDCMM)                ; コマンドレジスタクリアチェック
ANDB   A,00000111B              ;
J      NZ,LOOP1                  ;

LDW    (SDRCR),0000010100000011B ; AUTO EXIT DISABLE→SR-ENTRY

NOP × 10                        ; SR_ENTRYコマンド実行待ち
LD     (SYSCR1),XXXXX001B        ; クロックギアダウン (fc/2)
HALT
NOP                                ; SREF EXIT (内部信号のみ)

LD     (SYSCR1),XXXXX000B        ; クロックギアアップ (fc)
LD     (SDCMM),00000110B        ; SR_EXIT
LD     (SDRCR),0001---1B        ; AUTO EXIT ENABLE
```

(4) SDRAM イニシャライズ

リセット解除後 SDRAM に必要な以下のサイクルを発生することが出来ます。そのサイクルを下記に示します。

1. オールバンクプリチャージ
2. 8 サイクルのオートリフレッシュ・サイクル
3. モード・レジスタセット

上記サイクルは、SDCMM<SCMM2:0>を"001"に設定することにより発生します。

このサイクルを実行中、CPU の動作(命令フェッチ、実行)は停止します。

また、イニシャライズサイクルを実行する前に、SDRAM コントロール信号とアドレス信号(A0-A15)としてのポートの設定が必要となります。

イニシャライズサイクルが終了した後、SDCMM<SCMM2:0>は自動的に"000"に設定されます。

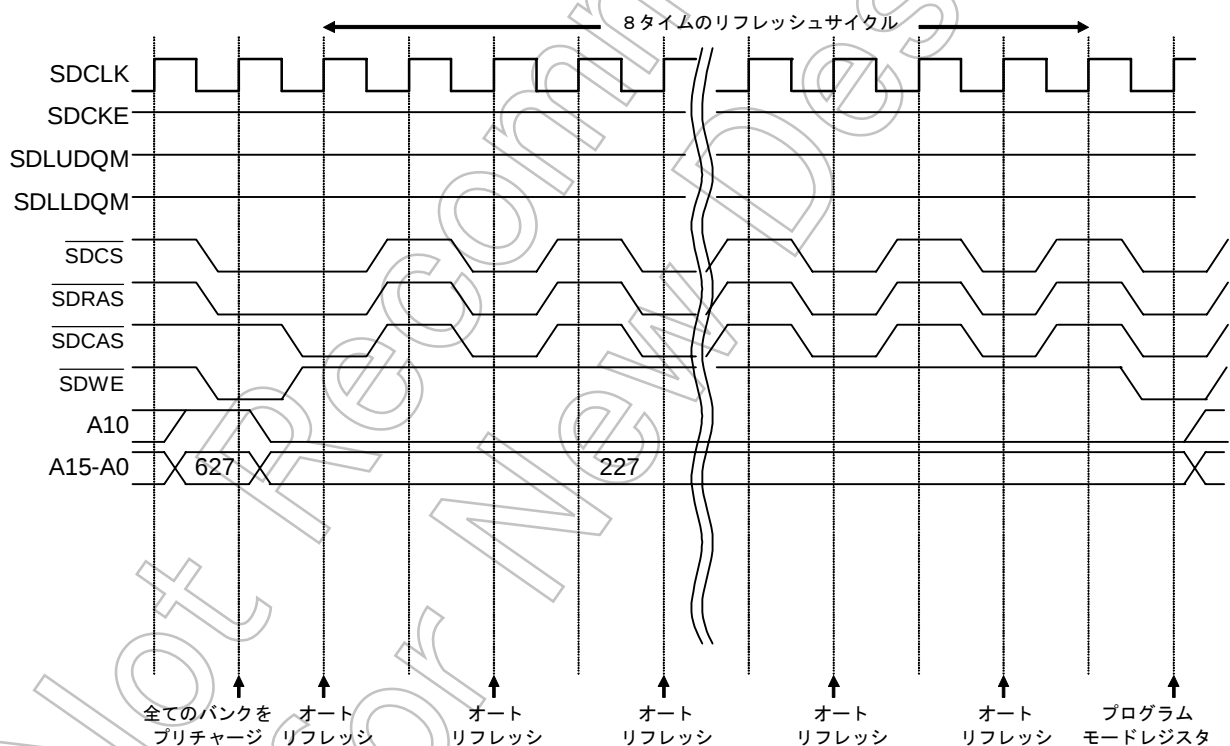


図 3.13.7 イニシャライズサイクルのタイミング

(5) 接続例
SDRAM との接続例を図 3.13.8 に示します。

表 3.13.3 SDRAM との接続

92CM27 ピン名称	SDRAM ピン名称	
	データバス幅 16bit	
	16M	64M
A0	A0	A0
A1	A1	A1
A2	A2	A2
A3	A3	A3
A4	A4	A4
A5	A5	A5
A6	A6	A6
A7	A7	A7
A8	A8	A8
A9	A9	A9
A10	A10	A10
A11	BS	A11
A12	-	BS0
A13	-	BS1
A14	-	-
A15	-	-
$\overline{\text{SDCS}}$	CS	CS
SDLUDQM	UDQM	UDQM
SDLLDQM	LDQM	LDQM
SDRAS	RAS	RAS
$\overline{\text{SDCAS}}$	CAS	CAS
$\overline{\text{SDWE}}$	WE	WE
SDCKE	CKE	CKE
SDCLK	CLK	CLK
SDACR2 <SMUXW1:0>	00: TypeA	00: TypeA

(An): ローアドレス
: Command address pin of SDRAM

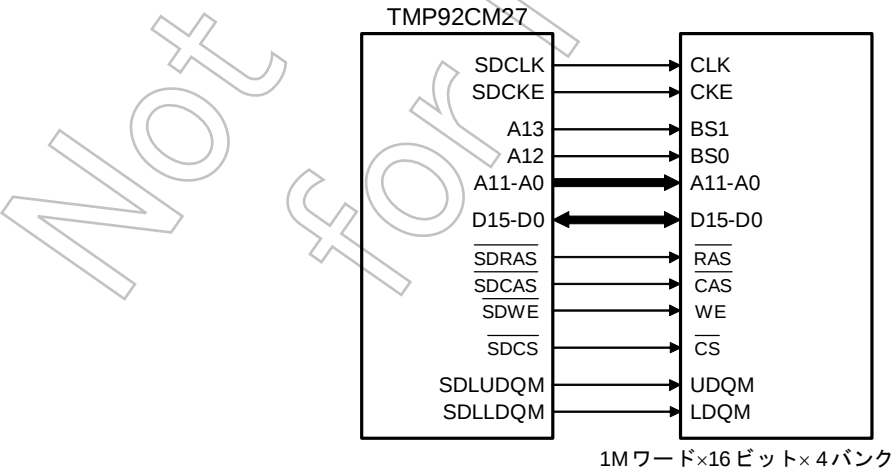


図 3.13.8 SDRAM との接続 (64Mbit : 4M ワード×16 ビット)

3.13.3 SDRAM 使用時の注意点

SDRAM コントローラを使用する上でいくつかの注意点があります。
下記項目をよく確認いただき、誤った使用をしないようにご注意願います。

1) WAIT/ $\overline{\text{BUSRQ}}$ アクセス

SDRAM を使用する際は、SDRAM 以外のメモリアクセスに一部条件が追加されます。
本 LSI の持つ、N-WAIT 設定または $\overline{\text{BUSRQ}}$ 入力において、SDRAM コントローラが制御するオートリフレッシュ機能のリフレッシュ間隔×8190 を超える時間を外部 WAIT または外部 $\overline{\text{BUSRQ}}$ として挿入することはできません。外部 WAIT または外部 $\overline{\text{BUSRQ}}$ はオートリフレッシュ間隔×8190 以下の時間にしてください。

2) HALT 命令前の SDRAM SR(セルフリフレッシュ)-Entry、Initialize、Mode-set コマンド実行

SDRAM コントローラの持つコマンド (SR-Entry、Initialize、Mode-set) の実行には数ステートの実行時間が必要です。
よって、その後に HALT 命令を実行する場合は、HALT 命令との間に10バイト以上のNOP命令、あるいは他の命令を実行してください。

3) AR(オートリフレッシュ)間隔の設定

SDRAM 使用においては、使用する SDRAM の最低動作周波数、最低リフレッシュ間隔を満たすような CPU のクロックを設定することが必要です。
SDRAM を使用しクロックギアをダウンさせることがあるシステムでは、SDRAM のオートリフレッシュ期間に注意の上、システム設計をしてください。
なお、AR 間隔を変更時は SDRCCR<SRC>に"0"をライトし AR を禁止にした状態に変更してください。

4) アクセスモード変更時の注意点

SDRAM アクセスモードを"フルページリード"から"1 ワードリード"へ変更する場合、以下の手順で実行してください。なお、このプログラムは SDRAM 上で実行しないでください。

di		; 割込み禁止(追加)
ld	a,(任意の外部メモリアドレス)	; ダミーリード命令(追加)
ld	(sdacr1),00001101b	; "1-word リード"へ変更
ld	(sdcmr),0x04	; MRS(モードレジスタセット)の実行
ei		; 割込み許可(追加)

3.14 アナログ/デジタルコンバータ

TMP92CM27 は、12 チャンネルのアナログ入力を持つ、10 ビット逐次比較方式アナログ/デジタルコンバータ（AD コンバータ）を内蔵しています。

図 3.14.1 に AD コンバータのブロック図を示します。

12 チャンネルのアナログ入力端子(AN0～AN11)は、入力専用ポート M、N と兼用で入力ポートとしても使用できます。

注) IDLE2, IDLE1, STOP モードにより電源電流を低減させる場合は、タイミングにより内部のコンパレータがイネーブル状態のままスタンバイに入ることがありますので、AD コンバータの動作が停止していることを確認してから“HALT”命令を実行してください。

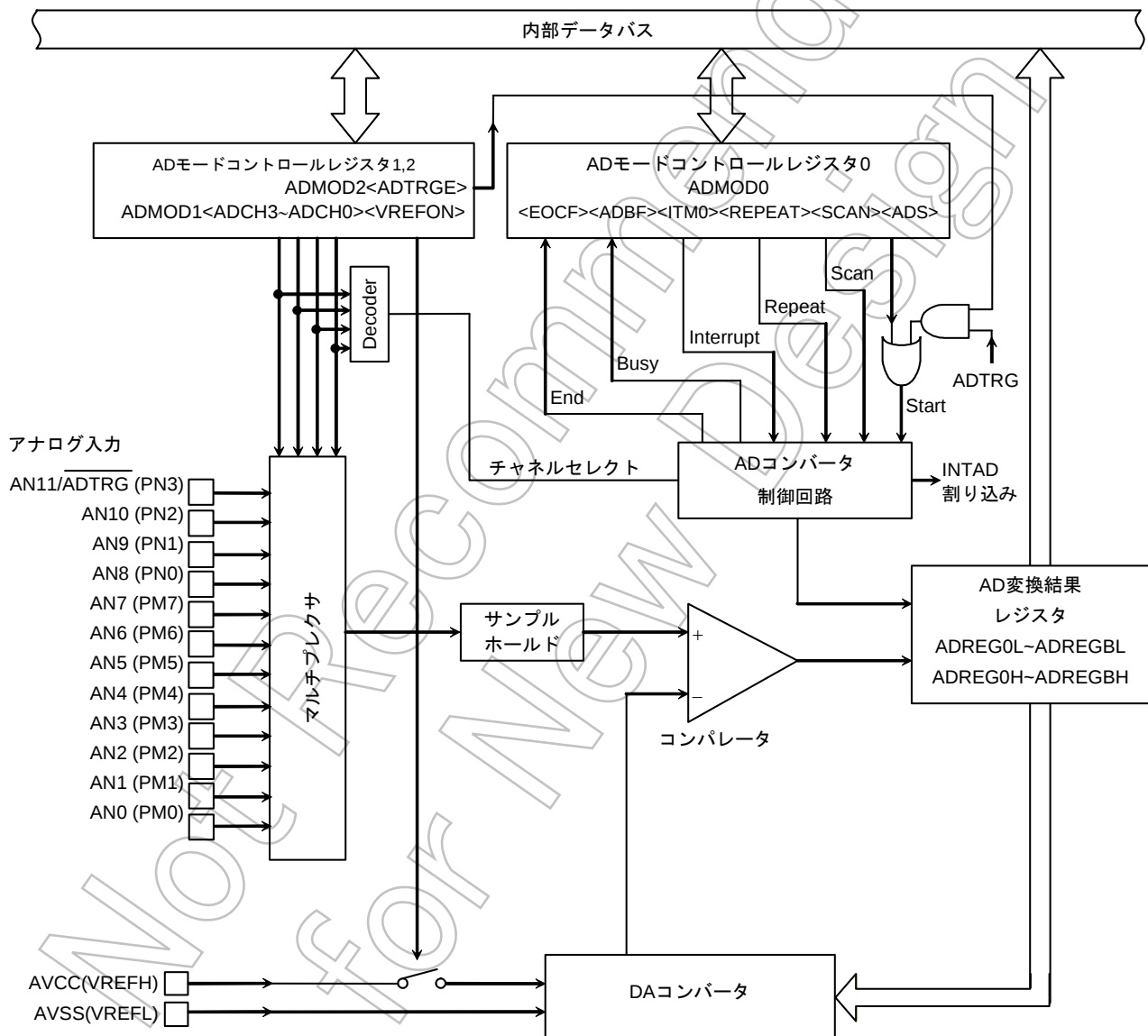


図 3.14.1 AD コンバータのブロック図

3.14.1 アナログ/デジタルコンバータレジスタ

AD コンバータは、3つの AD モードコントロールレジスタ (ADMOD0, ADMOD1, ADMOD2) により制御されています。また、AD 変換結果は、AD 変換結果上位/下位レジスタ ADREG0H/L から ADREGBH/L の 24 個のレジスタに格納されます。図 3.14.2 から図 3.14.6 に AD コンバータ関係のレジスタを示します。

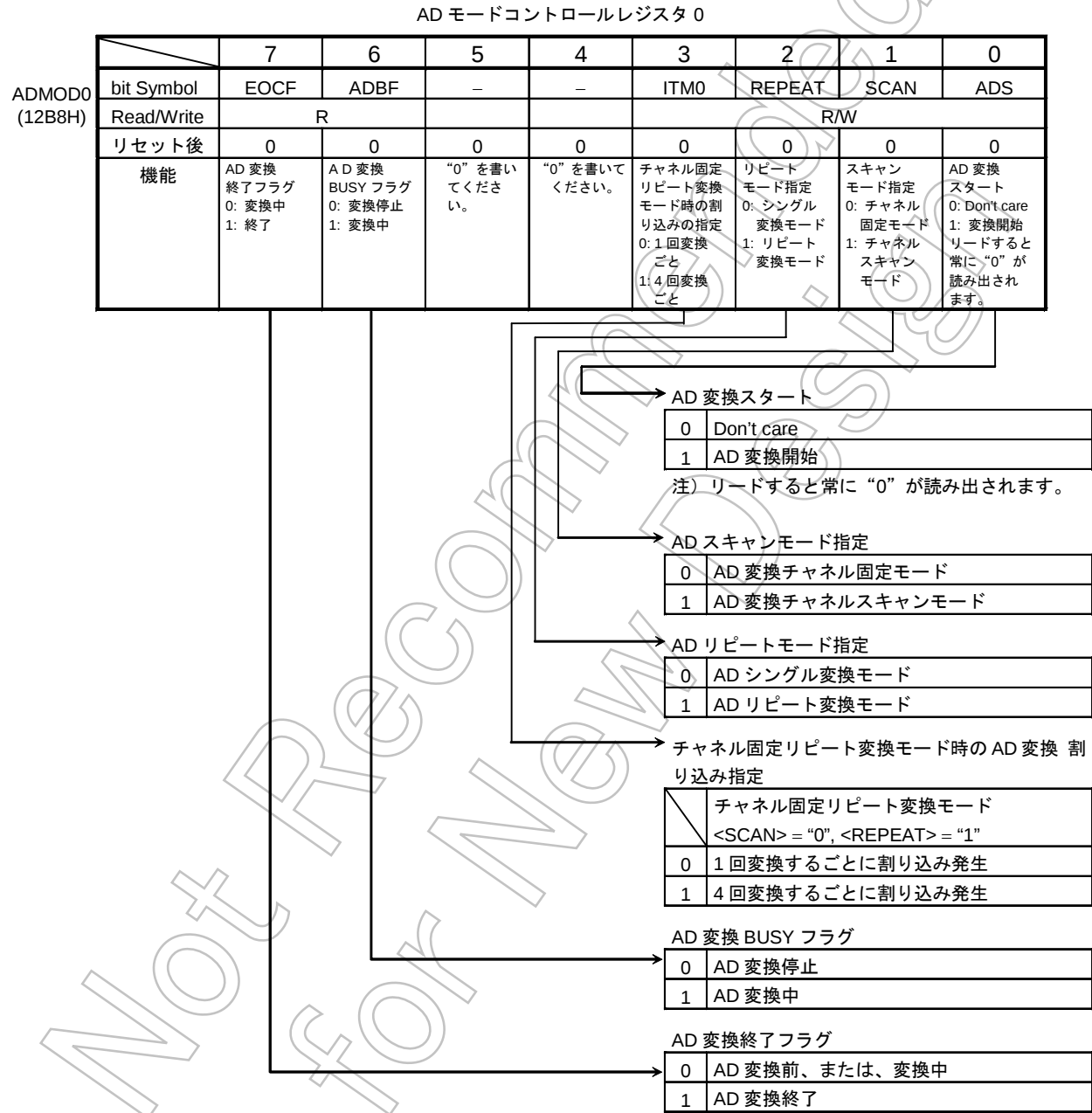
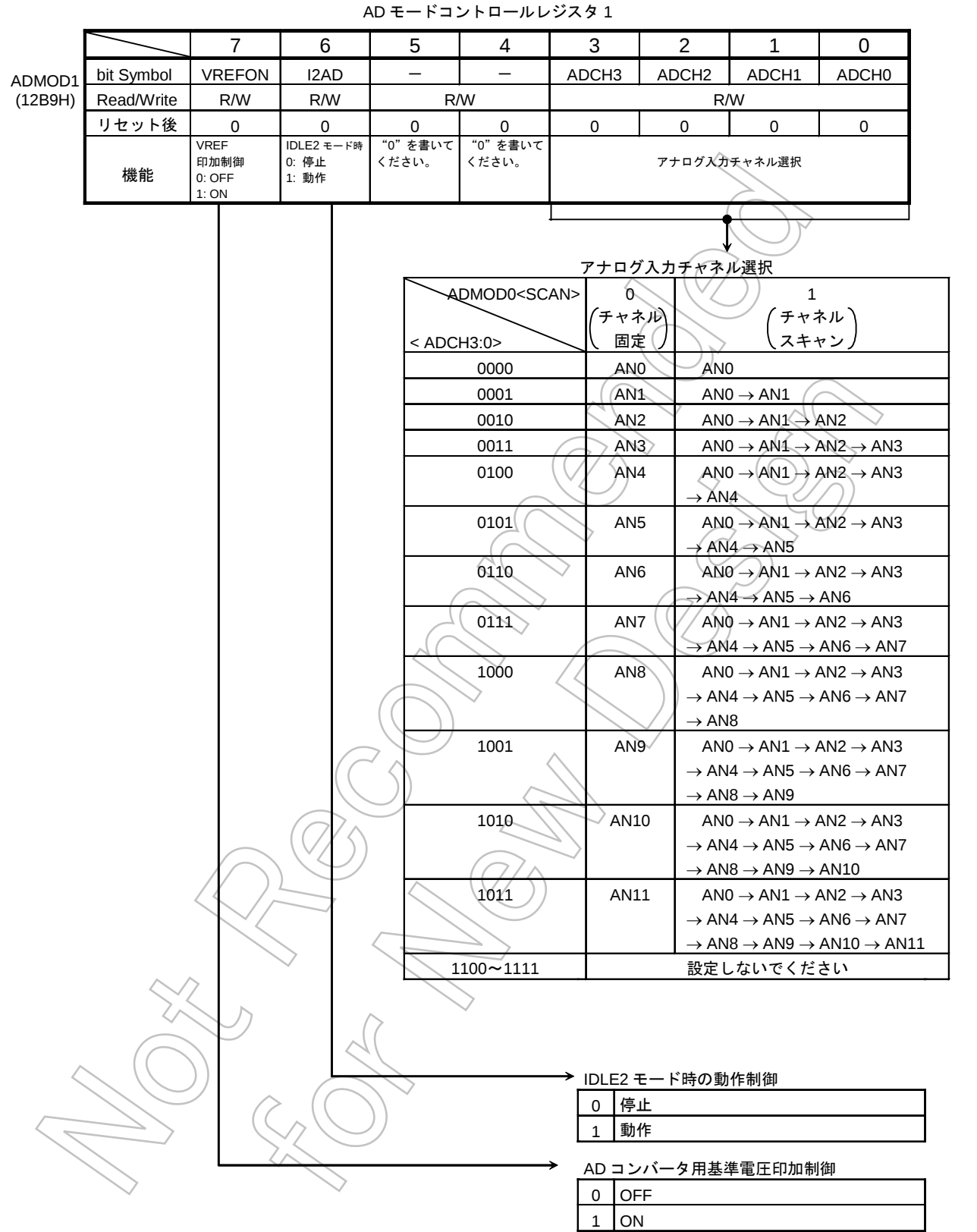


図 3.14.2 AD コンバータのレジスタ (1)



注) AN11 端子は、 $\overline{\text{ADTRG}}$ 入力端子と兼用になっています。このため $\text{ADMOD2}<\text{ADTRGE}>="1"$ で $\overline{\text{ADTRG}}$ を使用している場合、 $\text{ADMOD1}<\text{ADCH3:0}>="1011"$ に設定しないでください。

図 3.14.3 AD コンバータのレジスタ (2)

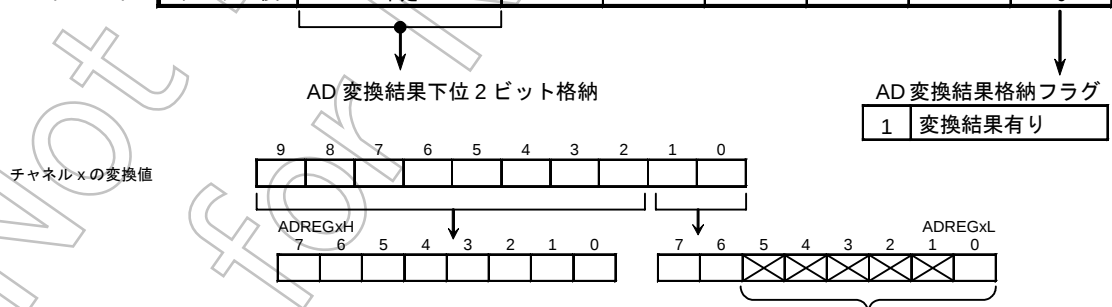
AD モードコントロールレジスタ 2									
ADMOD2 (12BAH)		7	6	5	4	3	2	1	0
	Bit symbol	—	—	—	—	—	—	—	ADTRGE
	Read/Write								R/W
	リセット後	0							0
	機能	“0” を書いてください。							AD 外部トリガ スタート制御 0 : ディセーブル 1 : イネーブル

外部トリガ AD 変換スタート制御。

0	ディセーブル
1	イネーブル

図 3.14.4 AD コンバータのレジスタ (3)

		7	6	5	4	3	2	1	0
AD 変換結果下位レジスタ 0	bit Symbol	ADR01	ADR00						ADR0RF
ADREG0L (12A0H)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 1	bit Symbol	ADR11	ADR10						ADR1RF
ADREG1L (12A2H)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 2	bit Symbol	ADR21	ADR20						ADR2RF
ADREG2L (12A4H)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 3	bit Symbol	ADR31	ADR30						ADR3RF
ADREG3L (12A6H)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 4	bit Symbol	ADR41	ADR40						ADR4RF
ADREG4L (12A8H)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 5	bit Symbol	ADR51	ADR50						ADR5RF
ADREG5L (12AAH)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 6	bit Symbol	ADR61	ADR60						ADR6RF
ADREG6L (12ACH)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 7	bit Symbol	ADR71	ADR70						ADR7RF
ADREG7L (12AEH)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 8	bit Symbol	ADR81	ADR80						ADR8RF
ADREG8L (12B0H)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ 9	bit Symbol	ADR91	ADR90						ADR9RF
ADREG9L (12B2H)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ A	bit Symbol	ADRA1	ADRA0						ADRARF
ADREGAL (12B4H)	Read/Write	R							R
	リセット後	不定							0
AD 変換結果下位レジスタ B	bit Symbol	ADRB1	ADRB0						ADBRF
ADREGBL (12B6H)	Read/Write	R							R
	リセット後	不定							0



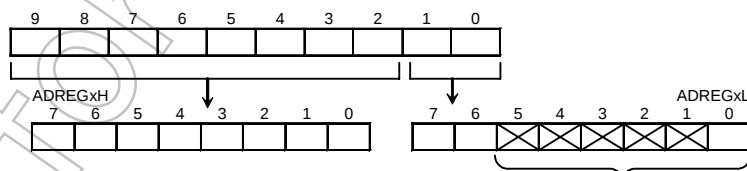
- ビット 5～1 を読み出すと、常に “1” になります。
- ビット 0 は AD 変換格納フラグ<ADRxRF>です。AD 変換値が格納されると、“1” にセットされます。どちらかのレジスタ(ADREGxH, ADREGxL)をリードすると、“0” にクリアされます。

図 3.14.5 AD コンバータのレジスタ (4)

		7	6	5	4	3	2	1	0
AD 変換結果上位レジスタ 0	bit Symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
ADREG0H (12A1H)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 1	bit Symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
ADREG1H (12A3H)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 2	bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
ADREG2H (12A5H)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 3	bit Symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
ADREG3H (12A7H)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 4	bit Symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
ADREG4H (12A9H)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 5	bit Symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
ADREG5H (12ABH)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 6	bit Symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
ADREG6H (12ADH)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 7	bit Symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
ADREG7H (12AFH)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 8	bit Symbol	ADR89	ADR88	ADR87	ADR86	ADR85	ADR84	ADR83	ADR82
ADREG8H (12B1H)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ 9	bit Symbol	ADR99	ADR98	ADR97	ADR96	ADR95	ADR94	ADR93	ADR92
ADREG9H (12B3H)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ A	bit Symbol	ADRA9	ADRA8	ADRA7	ADRA6	ADRA5	ADRA4	ADRA3	ADRA2
ADREGAH (12B5H)	Read/Write	R							
	リセット後	不定							
AD 変換結果上位レジスタ B	bit Symbol	ADRB9	ADRB8	ADRB7	ADRB6	ADRB5	ADRB4	ADRB3	ADRB2
ADREGBH (12B7H)	Read/Write	R							
	リセット後	不定							

AD 変換結果上位 8 ビット格納

チャンネル x の変換値



- ビット 5～1 を読み出すと、常に “1” になります。
- ビット 0 は AD 変換格納フラグ <ADRxRF> です。AD 変換値が格納されると、“1” にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0” にクリアされます。

図 3.14.6 AD コンバータのレジスタ (5)

3.14.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の“High”レベル側を AVCC 端子に、“Low”レベル側を AVSS 端子に印加します。AVCC-AVSS 間の基準電圧をストリング抵抗により 1024 等分し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON>に“0”を書き込むことにより、AVCC-AVSS 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず<VREFON>に“1”を書き込んだ後、内部基準電圧が安定するまでの $3\mu\text{s}$ (システムクロック周波数 f_c に関係ありません) 待ち、ADMOD0<ADS>に“1”を書き込んでください。

(2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN>= “0”)
ADMOD1<ADCH3~ADCH0>の設定により、アナログ入力 AN0~AN11 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN>= “1”)
ADMOD1<ADCH3~ADCH0>の設定により、12 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.14.1 に動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN>は“0”に、ADMOD1<ADCH3~ADCH0>は“0000”に初期化されますので、AN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.14.1 アナログ入力チャネルの選択

<ADCH3~0>	チャネル固定 <SCAN> = “0”	チャネルスキャン <SCAN> = “1”
0000	AN0	AN0
0001	AN1	AN0 → AN1
0010	AN2	AN0 → AN1 → AN2
0011	AN3	AN0 → AN1 → AN2 → AN3
0100	AN4	AN0 → AN1 → AN2 → AN3 → AN4
0101	AN5	AN0 → AN1 → AN2 → AN3 → AN4 → AN5
0110	AN6	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6
0111	AN7	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7
1000	AN8	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8
1001	AN9	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9
1010	AN10	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 → AN10
1011	AN11	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7 → AN8 → AN9 → AN10 → AN11

(3) AD 変換開始

AD 変換は、ADMOD0<ADS>あるいは ADMOD2<ADTRGE>に“1”を設定し、 $\overline{\text{ADTRG}}$ 端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ(ADMOD0<ADBF>)が“1”にセットされます。また、AD 変換中に、 $\overline{\text{ADTRG}}$ 端子に立ち下がりエッジを入力しても無視されます。

(4) AD 変換モードと AD 変換終了割り込み

AD 変換には、4 種類のモードが用意されています。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

AD 変換モードの選択は、ADMOD0<REPEAT, SCAN>で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す ADMOD0<EOCF>が“1”にセットされます。

① チャンネル固定シングル変換モード

ADMOD0<REPEAT, SCAN>に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF>が“1”にセット、ADMOD0<ADBF>が“0”にクリアされ、INTAD の割り込み要求が発生します。

② チャンネルスキャンシングル変換モード

ADMOD0<REPEAT, SCAN>に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF>が“1”にセット、ADMOD0<ADBF>が“0”にクリアされ、INTAD の割り込み要求が発生します。

③ チャンネル固定リピート変換モード

ADMOD0<REPEAT, SCAN>に“10”を設定すると、チャンネル固定リピート変換モードになります。

このモードでは、選択した 1 チャンネルの変換を繰り返し行います。変換が終了するごとに、ADMOD0<EOCF>が“1”にセットされます。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。INTAD の割り込み要求タイミングは ADMOD0<ITM0>の設定により選択できます。

<ITM0>を“0”に設定すると AD 変換が 1 回終了するごとに割り込み要求が発生します。

<ITM0>を“1”に設定すると AD 変換が 4 回終了するごとに割り込み要求が発生します。

④ チャンネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN>に“11”を設定するとチャンネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMOD0<EOCF>が“1”にセットされ、INTAD 割り込み要求が発生します。ADMOD0<ADBF>は“0”にクリアされずに“1”を保持します。

リピート変換モード(③, ④)の動作を停止させたい場合は、ADMOD0<REPEAT>に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBF>は“0”にクリアされます。

ADMOD1<I2AD>=“0”の場合、IDLE2, IDLE1, STOP モードのいずれかのホールド状態へ移行すると、AD 変換中でも AD コンバータは直ちに動作を停止します。ホールド解除後、リピート変換モード(③, ④)では AD 変換を最初から開始します。シングル変換モード(①, ②)では、変換動作を再開しません(停止したままです)。

表 3.14.2 に AD 変換モードと割り込み要求の関係を示します。

表 3.14.2 AD 変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPEAT>	<SCAN>
チャンネル固定 シングル変換モード	変換終了後	X	0	0
チャンネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャンネル固定 リピート変換モード	1 回変換するごとに	0	1	0
	4 回変換するごとに	1		
チャンネルスキャン リピート変換モード	1 回のスキャン変換が 終了するごとに	X	1	1

X: Don't care

(5) AD 変換時間

1 チャンネルあたりの AD 変換ステートは、99 ステート(4.95 μ s @ f_{sys} (20 MHz) です。

(6) AD 変換結果の格納と読み出し

AD 変換結果は、AD 変換結果上位/下位レジスタ(ADREG0H/L~ADREGBH/L)に格納されます(ADREG0H/L~ADREGBH/L は、読み出し専用のレジスタです)。

チャンネル固定リピート変換モードではかつ $ADMOD0 < ITM0 > = "1"$ の場合、AD 変換結果は、ADREG0H/L~ADREG3H/L へと順次格納されます。それ以外のモードでは、アナログ入力チャンネル AN0, AN1, AN2, AN3, から AN11 の変換結果が、それぞれ ADREG0H/L, ADREG1H/L, ADREG2H/L, ADREG3H/L, から ADREGBH/L に格納されます。

表 3.14.3 にアナログ入力チャンネルと AD 変換結果レジスタの対応を示します。

表 3.14.3 アナログ入力チャンネルと AD 変換結果レジスタの対応

アナログ入力 チャンネル (Port M / Port N)	AD 変換結果レジスタ	
	右記以外の変換モード	チャンネル固定リピート 変換モード ($ADMOD0 < ITM0 > = "1"$)
AN0	ADREG0H/L	
AN1	ADREG1H/L	
AN2	ADREG2H/L	
AN3	ADREG3H/L	
AN4	ADREG4H/L	
AN5	ADREG5H/L	
AN6	ADREG6H/L	
AN7	ADREG7H/L	
AN8	ADREG8H/L	
AN9	ADREG9H/L	
AN10	ADREGAH/L	
AN11	ADREGBH/L	

AD 変換結果格納フラグ $ADRxRF$ は、その AD 変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD 変換結果レジスタに変換値が格納されると "1" にセットされ、どちらかの AD 変換結果レジスタ(ADREGxH, ADREGxL)を読み出すと "0" にクリアされます。

また、AD 変換結果の読み出しに伴い、AD 変換終了フラグ $ADMOD0 < EOCF >$ は "0" にクリアされます。

設定例：

- ① AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 2800H のメモリへ書き込む場合

メインルーチンでの設定

	7	6	5	4	3	2	1	0		
INTEPAD	←	X	-	-	-	X	1	0	0	INTAD をイネーブルにし、レベルを “4” に設定します。
ADMOD1	←	1	1	0	0	0	0	1	1	アナログ入力チャネルを AN3 に設定します。
ADMOD0	←	X	X	0	0	0	0	0	1	チャネル固定シングル変換モードで変換を開始します。

割り込みルーチンでの処理例

WA	←	ADREG3H/L	汎用レジスタ WA(16ビット)へADREG3L, ADREG3Hの値を読み出します。
WA	>>	6	WAに読み出した内容を右へ6回シフトし、上位ビットに “0” を入れます。
(2800H)	←	WA	2800H 番地へWAの内容を書き込みます。

- ② AN0～AN2 の3端子のアナログ入力電圧をチャネルスキャンリピート変換モードで AD 変換し続ける場合

INTEPAD	←	X	-	-	-	X	0	0	0	INTAD を禁止します。
ADMOD1	←	1	1	0	0	0	0	1	0	アナログ入力チャネルを AN0～AN2 に設定します。
ADMOD0	←	X	X	0	0	0	1	1	1	チャネルスキャンリピート変換モードで変換を開始します。

注) X = Don't care; “-” = No change

3.15 デジタル/アナログコンバータ

2チャンネルの8ビット分解能 D/A コンバータを内蔵しており次のような特長をもっています。

- 8ビット分解能の D/A コンバータを2チャンネル内蔵
- 各チャンネルにはフルレンジ Buffer AMP を内蔵
- 各チャンネルにコントロールレジスタにてスタンバイ設定可能

3.15.1 動作

コントロールレジスタ 0 DACnCNT0<OPn><REFONn>を“11”に設定して、出力レジスタ DACnREG に出力 CODE およびコントロールレジスタ 1 DACnCNT1<VALIDn>に“1”をライトすることにより、CODE に対応した出力電圧が出力端子 DAOUTn に現われます。<VALIDn>が設定されていない場合は、出力レジスタの値は DAOUTn に反映されません。したがって、CODE を更新する場合は必ず DACnREG で 8 ビットのデータが更新されたのちに DACnCNT1<VALIDn>を設定してください。<VALIDn>に“1”がライトされた時点で DACnREG のデータが 8 ビットデータとして DA コンバータへ取りこまれ CODE として認識されます。また、DACnCNT0<OPn>を “0” に設定することにより出力 DAOUTn は High-Z になります。DACnCNT0<REFONn>を “0” に設定することにより Iref をカットし、消費電流を削減することができます。なお、HALT 命令実行後も CODE に対応した出力電圧が出力端子 DAOUTn より出力されますので、HALT 命令実行前に DACnCNT0<OPn><REFONn>の設定が必要となります。図 3.15.1に D/A コンバータのブロック図を示します。

(注) DACnCNT0<OPn>に“1”をライト直後から DAOUTn より“1”が出力されます。その後、DACnREG で設定された値が DAOUTn より出力されます。

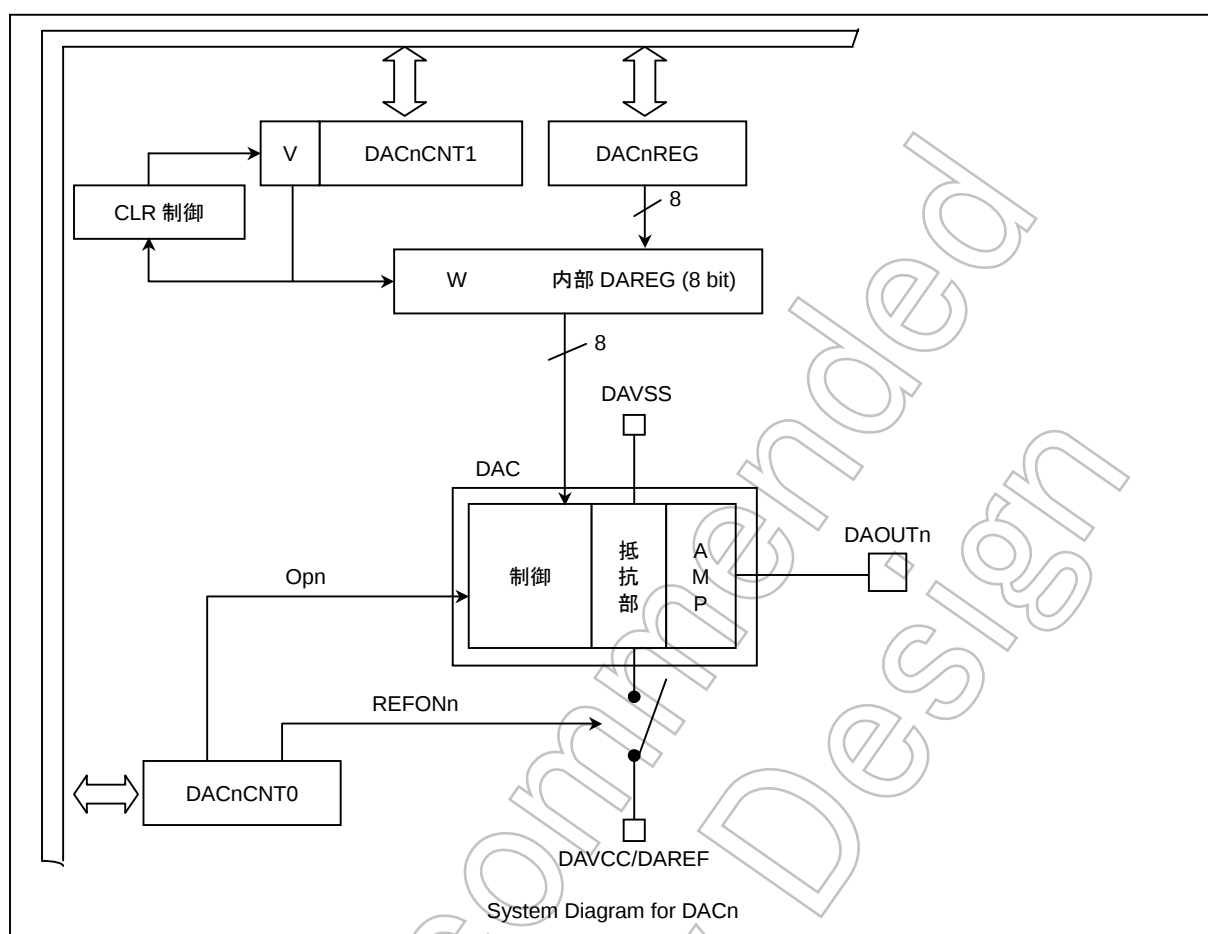


図 3.15.1 D/A コンバータのブロック図

コントロールレジスタ 0 DAC0CNT0 レジスタ

	7	6	5	4	3	2	1	0
DAC0CNT0 (12E3H)	Bit Symbol						REFON0	OP0
	Read/Write						R/W	R/W
	リセット後						0	0
	機 能						0: Ref off 1: Ref on	0: 出力 HZ 1: 出力

コントロールレジスタ 0 DAC1CNT0 レジスタ

		7	6	5	4	3	2	1	0
DAC1CNT0 (12E7H)	Bit Symbol							REFON1	OP1
	Read/Write							R/W	R/W
	リセット後							0	0
	機 能							0: Ref off 1: Ref on	0: 出力 HZ 1: 出力

コントロールレジスタ 1 DAC0CNT1

	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—				VALID0
Read/Write	R/W	R/W	R/W	R/W				W
リセット後	0	0	0	0				0
機 能	"0" をライ トしてく ださい	"0" をライ トしてく ださい	"0" をライ トしてく ださい	"0" をライ トしてく ださい				0: Don't care 1: 出力 CODE 有効

DAC0CNT1
(12E1H)

出力レジスタ DAC0REG

	7	6	5	4	3	2	1	0
Bit Symbol	DAC07	DAC06	DAC05	DAC04	DAC03	DAC02	DAC01	DAC00
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								

DAC0REG
(12E0H)

(注) デジタルデータ及び VALID の書き込みは必ず DAC0REG→DAC0CNT1 の順で行ってください。

コントロールレジスタ 1 DAC1CNT1

	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—				VALID1
Read/Write	R/W	R/W	R/W	R/W				W
リセット後	0	0	0	0				0
機 能	"0" をライ トしてく ださい	"0" をライ トしてく ださい	"0" をライ トしてく ださい	"0" をライ トしてく ださい				0: Don't care 1: 出力 CODE 有効

DAC1CNT1
(12E5H)

出力レジスタ DAC1REG

	7	6	5	4	3	2	1	0
Bit Symbol	DAC17	DAC16	DAC15	DAC14	DAC13	DAC12	DAC11	DAC10
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能								

DAC1REG
(12E4H)

(注) デジタルデータ及び VALID の書き込みは必ず DAC1REG→DAC1CNT1 の順で行ってください。

3.16 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクブル割り込みを発生し CPU に知らせ、外部へはウォッチドッグタイマアウト端子 WDTOUT より "0" を出力し周辺装置へ暴走の検出を知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。

3.16.1 構成

図 3.16.1 にウォッチドッグタイマのブロック図を示します。

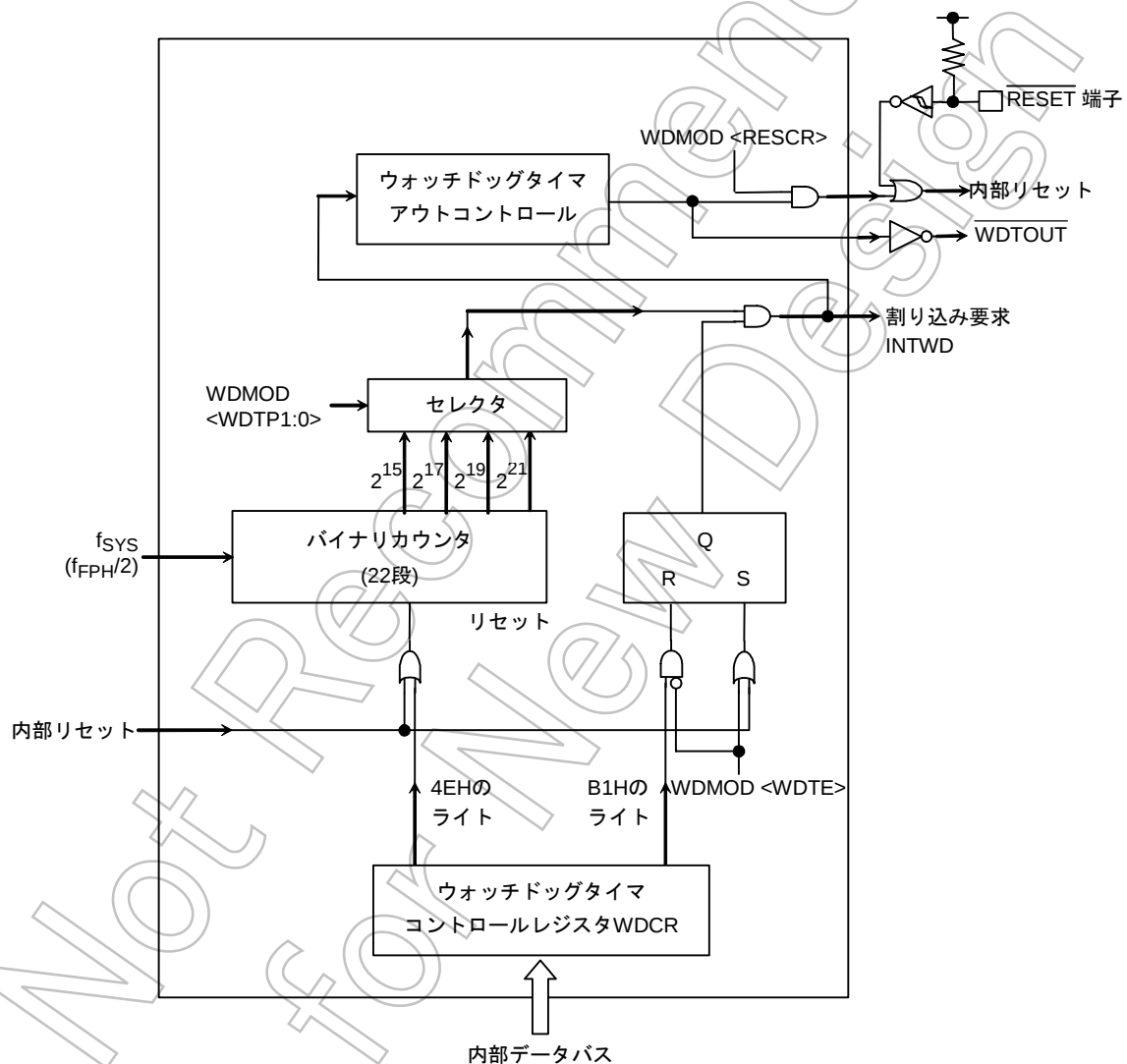


図 3.16.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} , 2^{17} , 2^{19} および 2^{21} があります。このうちの 1 出力を WDMOD <WDTP1:0> で選択することにより、そのオーバーフロー時に、図 3.16.2 で示すように、ウォッチドッグタイマ割り込みを発生し、また、ウォッチドッグタイマアウトを出力します。

ウォッチドッグタイマアウト端子 ($\overline{WDTOUT}$) は、ウォッチドッグタイマのオーバーフローにより "0" を出力するため、周辺装置のリセットを行うことも可能です。この "0" 出力は、ウォッチドッグタイマのクリア (WDCR レジスタにクリアコード (4EH) をライト) により、"1" にセットされます。すなわち、通常モードの場合、クリアコードが WDCR レジスタに書かれるまで、 $\overline{WDTOUT}$ 端子は "0" を出力し続けます。

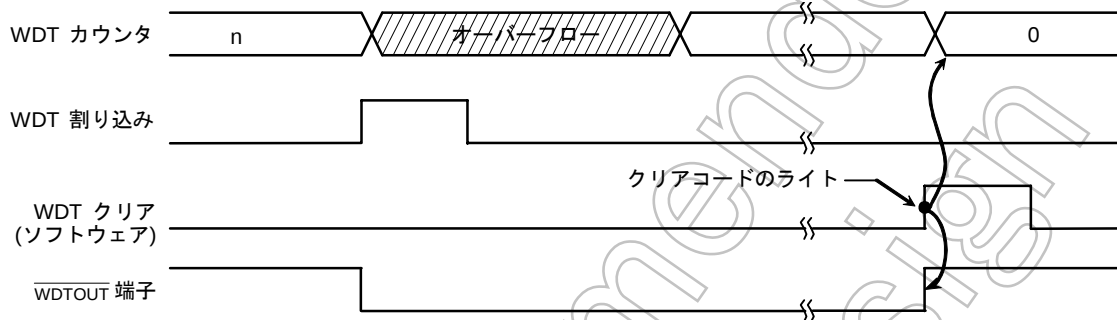


図 3.16.2. ノーマルモード

また、オーバーフロー時に、チップ自身をリセットすることも選択可能です。この場合、図 3.16.3 で示すように 22~29 システムクロック ($17.6\sim 23.2\ \mu\text{s}$ @ $f_{SYS} = 20\ \text{MHz}$) の期間、リセットを行います。

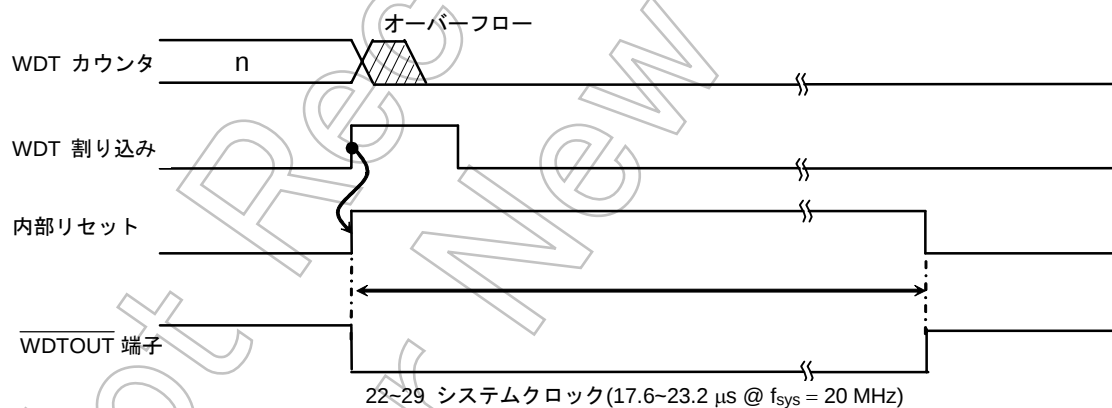


図 3.16.3 リセットモード

3.16.2 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマモードレジスタ (WDMOD)

①. ウォッチドッグ タイマ検出時間の設定 <WDTP1: 0>

暴走検出のためのウォッチドッグ タイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD <WDTP1:0> = "00" にイニシャライズされます。

ウォッチドッグ タイマの検出時間を図 3.16.4 に示します。

②. ウォッチドッグタイマイネーブル/ディセーブル制御レジスタ<WDTE>

リセット時 WDMOD <WDTE> = "1" にイニシャライズされますので、ウォッチドッグ タイマはイネーブルになっています。ディセーブルにするには、このビットを "0" にクリアするとともに WDCR レジスタにディセーブル コード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグ タイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを "1" にセットするだけでイネーブルとなります。

③. ウォッチドッグタイマアウトのリセット接続<RESCR>

暴走検出により自分自身をリセットするか否かを設定するレジスタです。リセット時 WDMOD <RESCR> = "0" に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

• ディセーブル制御

WDMOD <WDTE> を "0" にクリアしたあと、この WDCR レジスタにディセーブル コード (B1H) を書き込むとウォッチドッグ タイマをディセーブルにすることができます。

WDMOD ← 0 - - - - - WDMOD<WDTE> を "0" にクリアします。
WDCR ← 1 0 1 1 0 0 0 1 ディセーブルコード (B1H) を書き込みます。

• イネーブル制御

WDMOD<WDTE>を"1"に設定します。

• ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード (4EH) を書き込みます。

WDMOD
(1300H)

	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP1	WDTP0	—	—	I2WDT	RESCR	—
Read/Write	R/W					R/W		
リセット後	1	0	0	0	0	0	0	0
機能	WDT 制御 1: 許可	検出時間選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$		“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	IDLE2 0: 停止 1: 動作	1: リセット 端子にウ ォッチド ッグタイ ムアウト 自身を接 続	“0”をライ トしてく ださい。

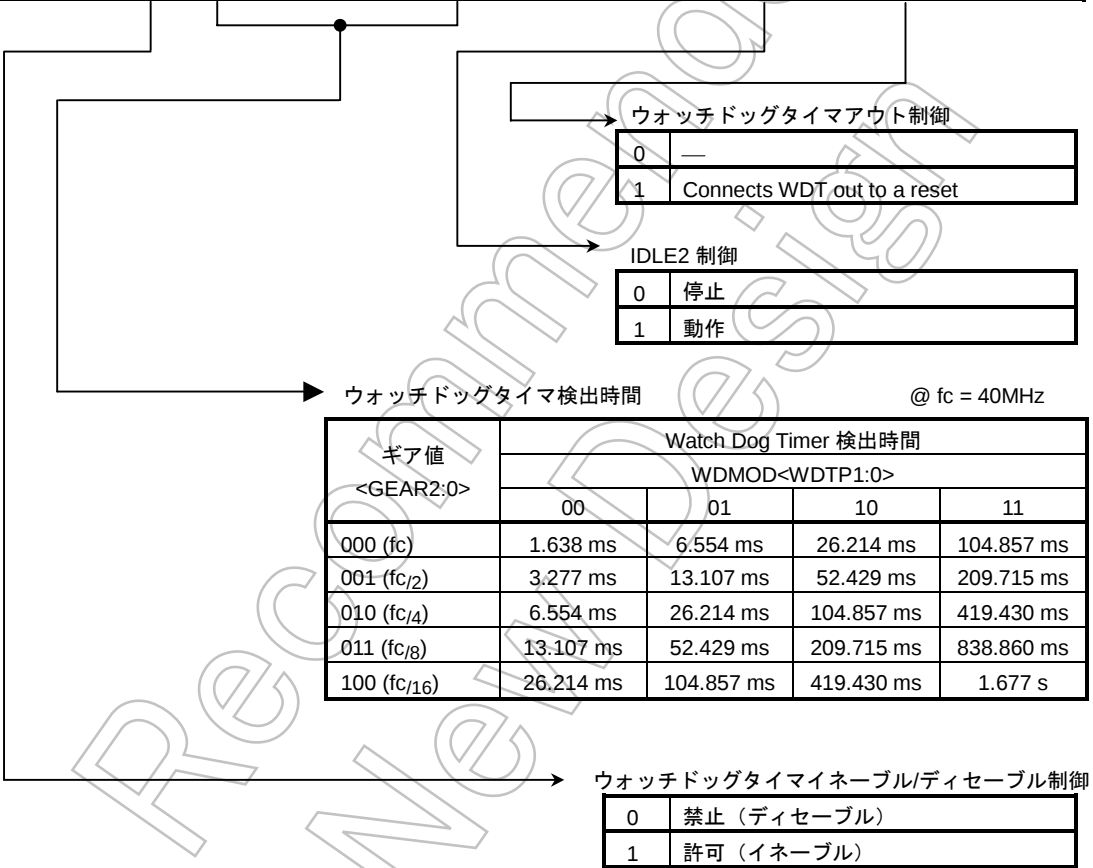


図 3.16.4 ウォッチドッグタイマモードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-							
Read/Write	W							
リセット後	-							
機能	B1H: WDT ディセーブルコード 4EH: WDT クリアコード							
					→ WDT ディセーブル/クリア制御			
					B1H	ディセーブル		
					4EH	クリアコード		
					その他	Don't care		

図 3.16.5 ウォッチドッグタイマモードレジスタ

3.16.3 動作説明

ウォッチドッグタイマは、WDMOD <WDTP1, 0> レジスタで設定された検出時間後に割り込み INTWD を発生させ、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より“L”レベルを出力させるタイマです。ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作(暴走)しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作(暴走)が発生したことを知り、誤動作(暴走)対策プログラムにより正常な状態に戻すことができます。またウォッチドッグタイマアウト端子を周辺装置のリセット等へ接続することにより、CPU の誤動作(暴走)に対処することができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、IDLE1 モードおよび STOP モード中のウォッチドッグタイマはリセットされ停止しています。バス開放中($\overline{\text{BUSAK}} = \text{“L”}$)は、カウントを続けます。

IDLE2 モードでは、WDMOD <I2WDT> の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD <I2WDT> を設定してください。

例: ① バイナリカウンタをクリアします。 .

WDCR ← 0 1 0 0 1 1 1 0 クリアコード(4EH)を書き込みます。

② ウォッチドッグタイマ検出時間を $2^{17}/f_{\text{sys}}$ に設定します。

WDMOD ← 1 0 1 X 0 - - -

③ ウォッチドッグタイマをディセーブルします。

WDMOD ← 0 - - X 0 - - - <WDTE> ビットを 0 にクリアします。

WDCR ← 1 0 1 1 0 0 0 1 ディセーブルコード(B1H)を書き込みます。

3.17 外部バス開放機能

外部にバスマスタを接続可能な外部バス開放機能をもっています。

バス開放要求($\overline{\text{BUSRQ}}$)、バス開放応答($\overline{\text{BUSAK}}$)端子は、ポート 86,87 端子にアサインされており P8CR,P8FC レジスタに設定することにより有効になります。

図3.17.1 に動作タイミング例を示します。なお、 $\overline{\text{BUSRQ}}$ 端子に“0”を入力後、バス開放する($\overline{\text{BUSAK}}$ を“0”にする)までの時間は、その時に CPU が実行している命令に依存して異なります。

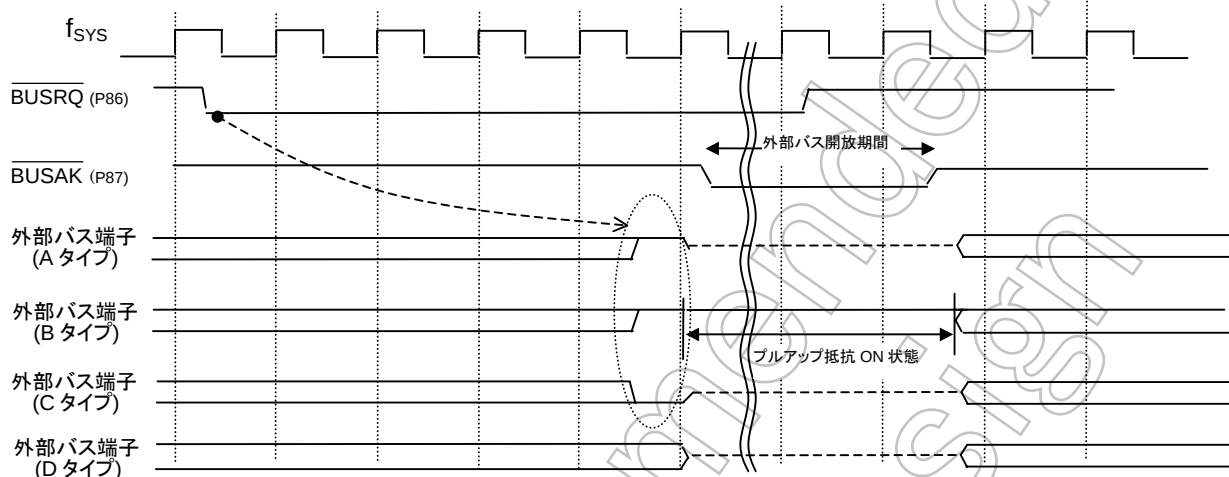


図 3.17.1 バス開放機能の動作タイミング例

3.17.1 被開放端子

CPU は、外部バス開放要求を受けると次のバス起動は行わずに、 $\overline{\text{BUSAK}}$ 端子を“0”にし外部にバスを開放します。この際に開放される端子には図3.17.1 に示すように A,B,C,D の 4 種類のタイプがありハイインピーダンス(HZ)にする直前の動作が異なります(注 1)。

表3.17.1 にタイプ別の対応端子を示します。いずれの端子もポート設定により、その機能に設定されている場合にのみ被開放端子となります。よって出力ポートなどに設定されている場合には被開放端子とならず、前の状態を保持します。

表3.17.1 被開放端子

タイプ	HZにする直前の動作	対象機能(端子名)
A	“1”をドライブ	A23-A16(P67-P60), A15-A8, A7-A0, $\overline{\text{CS0}}$ (P80), $\overline{\text{CS1}}$ (P81), $\overline{\text{CS2}}$ (P82), $\overline{\text{CS3}}$ (P83), $\overline{\text{SDCS}}$ (P83), $\overline{\text{CS4}}$ (P84), $\overline{\text{CS5}}$ (P85), $\overline{\text{SDWE}}$ (P90), $\overline{\text{SDRAS}}$ (P91), $\overline{\text{SDCAS}}$ (P92), $\overline{\text{SDLLDQM}}$ (P93), $\overline{\text{SDLUDQM}}$ (P94), $\overline{\text{SDCLK}}$ (P96)
B	“1”をドライブ	$\overline{\text{RD}}$, $\overline{\text{WRL}}$ (P71), $\overline{\text{WRLU}}$ (P72), $\text{R}/\overline{\text{W}}$ (P73), $\overline{\text{SRWR}}$ (P74), $\overline{\text{SRLB}}$ (P75), $\overline{\text{SRLUB}}$ (P76)
C	“0”をドライブ	$\overline{\text{SDCKE}}$ (P95)
D	何もしない	D15-D8(P17-P10), D7-D0

注 1 : バス開放時、 $\overline{\text{RD}}$, $\overline{\text{WRL}}$ (P71), $\overline{\text{WRLU}}$ (P72), $\text{R}/\overline{\text{W}}$ (P73), $\overline{\text{SRWR}}$ (P74), $\overline{\text{SRLB}}$ (P75), $\overline{\text{SRLUB}}$ (P76)端子の出力バッファはオフされていますが、プルアップが ON された状態になり、ハイインピーダンス (HZ)になりません。

3.17.2 接続例

図3.17.2に接続例を示します。

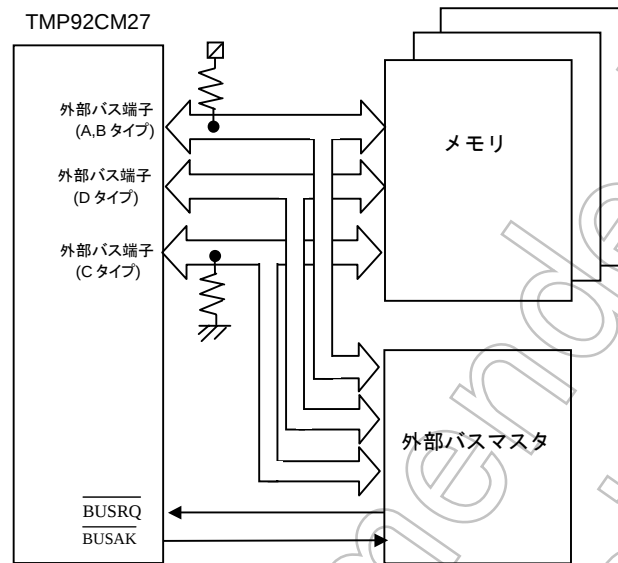


図 3.17.2 接続例

3.17.3 注意事項

外部バス開放機能を使用する上での制限事項を以下に示します。

1) SDRAM コントローラとの併用禁止

SDRAMC は基本的には使用禁止としますが、外部バスマスタも SDRAM を使用する場合はバス開放要求前に SDRAM を SR(セルフリフレッシュ)状態にし、バス開放終了後に SR 状態を解除して使用してください。その際には、汎用ポートなどによるハンドシェークによりお互いの状況を確認するようにしてください。

2) スタンバイモードの対応

本機能を受け付け可能な状態は、CPU が動作している状態、および IDLE2 モード中のみです。IDLE1, STOP 態中では受け付けません(バス開放要求を無視します)。

3) 内蔵リソースのアクセス不可

外部バスマスタは、本製品の内蔵メモリ、内蔵 I/O はアクセスできません。

4) バス開放中の内蔵 I/O の動作

バス開放中、内蔵 I/O は動作を継続しますので注意してください。特にウォッチドッグタイマは、バス開放時間を考慮して暴走検出時間を設定してください。

4. 電気的特性

4.1 最大定格

項目	記号	定格	単位
電源電圧	VCC	-0.5 to 4.0	V
入力電圧	V _{IN}	-0.5~VCC+0.5	V
出力電流 (1 端子当り)	IOL	2	mA
出力電流 (1 端子当り)	IOH	-2	mA
出力電流 (合計)	Σ IOL	80	mA
出力電流 (合計)	Σ IOH	-80	mA
消費電力 (Ta=85℃)	P _D	600	mW
はんだ付け温度 (10s)	T _{SOLDER}	260	℃
保存温度	T _{STG}	-65~150	℃
動作温度	T _{OPR}	-40~85	℃

注意： 最大定格とは瞬時たりとも超えてはならない規格であり、どの1つの項目も超える事ができない規格です。最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず最大定格を超えないように、応用機器の設計を行ってください。

鉛フリー品（G 付製品）へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230℃ 5 秒間 1 回 R タイプフラックス使用（鉛はんだ使用時）	フォーミングまでの半田付着率 95%を良品とする
	245℃ 5 秒間 1 回 R タイプフラックス使用（鉛フリーはんだ使用時）	

4.2 DC 電気的特性

VCC = 3.3 ± 0.3V / X1 = 4 ~ 40MHz / Ta = -40 ~ 85°C

記号	項目	最小	標準	最大	単位	条件
VCC	電源電圧 (DVCC=AVCC=DAVCC) (DVSS=AVSS=DAVSS=0V)	3.0		3.6	V	X1 = 6 ~ 10MHz(PLL 使用時) X1 = 4 ~ 40MHz(PLL 未使用時)
VIL0	低レベル入力電圧 D0 ~ D7 P10 ~ P17(D8 ~ 15)	-0.3		0.6	V	
VIL1	低レベル入力電圧 PC0 ~ PC1, PC3 ~ PC4, PD0, PL4			0.3 × VCC		
VIL2	低レベル入力電圧 P71 ~ P77, P86, P87, PA0 ~ PA5, PC2, PC5, PD1 ~ PD5, PF0 ~ PF7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL3, PL5 ~ PL7, PM0 ~ PM7, PN0 ~ PN3, $\overline{\text{NMI}}$, $\overline{\text{RESET}}$			0.25 × VCC		
VIL3	低レベル入力電圧 AM0 ~ AM1			0.3		
VIL4	低レベル入力電圧 X1			0.2 × VCC		
VIH0	高レベル入力電圧 D0 ~ D7 P10 ~ P17(D8 ~ 15)	2.0		VCC + 0.3	V	
VIH1	高レベル入力電圧 PC0 ~ PC1, PC3 ~ PC4, PD0, PL4	0.7 × VCC				
VIH2	高レベル入力電圧 P71 ~ P77, P86, P87, PA0 ~ PA5, PC2, PC5, PD1 ~ PD5, PF0 ~ PF7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL3, PL5 ~ PL7, PM0 ~ PM7, PN0 ~ PN3, $\overline{\text{NMI}}$, $\overline{\text{RESET}}$	0.75 × VCC				
VIH3	高レベル入力電圧 AM0 ~ AM1	VCC - 0.3				
VIH4	高レベル入力電圧 X1	0.8 × VCC				

記号	項目	最小	標準	最大	単位	条件
VOL	低レベル出力電圧			0.45	V	IOL = 1.6mA
VOL2	低レベル出力電圧 PC0 ~ PC1, PC3 ~ PC4			0.45		IOL = 3.0mA
VOH	高レベル出力電圧	2.4				IOH = -400 μ A
ILI	入力リーク電流		0.02	± 5	μ A	$0.0 \leq V_{in} \leq V_{CC}$
ILO	出力リーク電流		0.05	± 10	μ A	$0.2 \leq V_{in} \leq V_{CC} - 0.2V$
VSTOP	パワーダウン電圧 (@STOP, RAM バックアップ)	1.8		3.6	V	VIL2 = $0.2 \times V_{CC}$, VIH2 = $0.8 \times V_{CC}$
RRST	RESET 端子 プルアップ抵抗	80		500	K Ω	
RKH	プログラマブル プルアップ抵抗 P70 ~ P72, P74 ~ P76					
CIO	端子容量			10	pF	fc= 1 MHz
VTH	シュミット幅 P71 ~ P77, P86, P87, PA0 ~ PA5, PC2, PC5, PD1 ~ PD5, PF0 ~ PF7, PJ0 ~ PJ7, PK0 ~ PK7, PL0 ~ PL3, PL5 ~ PL7, PM0 ~ PM7, PN0 ~ PN3, $\overline{NMI}$, $\overline{RESET}$	0.4	1.0		V	
VTH2	シュミット幅 PC0 ~ PC1, PC3 ~ PC4	0.2			V	
ICC	NORMAL (注 2)		50.0	60.0	mA	VCC=3.6V, fc=40MHz(fs=20MHz)
	IDLE2		25.0	31.5		
	IDLE1		7.5	11.5		
	STOP		0.2	50	μ A	VCC=3.6V

(注 1): Typ 値は特に指定のない限り Ta = 25°C、Vcc = 3.3 V の値です。

(注 2): ICC NORMAL の測定条件：

全て動作、バス端子の CL=30pF、バス以外の出力端子は開放、入力端子はレベル固定。

4.3 AC 電気的特性

4.3.1 基本バスサイクル

リードサイクル

VCC = 3.3 ± 0.3V / fc = 4 ~ 40MHz / Ta = -40 ~ 85°C

No.	項目	記号	計算式		fc=40MHz fsys=20MHz	fc=27MHz fsys=13.5MHz	単位
			Min	Max			
1	発振周期 (X1/X2)	t _{OSC}	25	250	25	37.0	ns
2	システムクロック周期 (=T)	t _{CYC}	50	500	50	74.0	
3	SDCLK 低レベルパルス幅	t _{CL}	0.5T - 15		10	22	
4	SDCLK 高レベルパルス幅	t _{CH}	0.5T - 15		10	22	
5-1	A0 ~ A23 有効 → D0 ~ D15 入力 @ 0 ウェイト	t _{AD}		2.0T - 50	50	--	
5-2	A0 ~ A23 有効 → D0 ~ D15 入力 @ 1 ウェイト	t _{AD3}		3.0T - 50	100	--	
6-1	RD 立ち下がり → D0 ~ D15 入力 @ 0 ウェイト	t _{RD}		1.5T - 45	30	66	
6-2	RD 立ち下がり → D0 ~ D15 入力 @ 1 ウェイト	t _{RD3}		2.5T - 45	80	140	
7-1	RD 低レベルパルス幅 @ 0 ウェイト	t _{RR}	1.5T - 20		55	91	
7-2	RD 低レベルパルス幅 @ 1 ウェイト	t _{RR3}	2.5T - 20		105	165	
8	A0 ~ A23 有効 → RD 立ち下がり	t _{AR}	0.5T - 20		5	17	
9	RD 立ち下がり → SDCLK 立ち上がり	t _{RK}	0.5T - 20		5	17	
10	A0 ~ A23 有効 → D0 ~ D15 保持	t _{HA}	0		0	0	
11	RD 立ち上がり → D0 ~ D15 保持	t _{HR}	0		0	0	
12	WAIT セットアップ時間	t _{TK}	20		20	20	
13	WAIT ホールド時間	t _{KT}	5		5	5	
14	SRAM 用データバイト制御アクセス時間	t _{SBA}		1.5T - 45	40	66	
15	RD 高レベルパルス幅	t _{RRH}	0.5T - 15		10	22	

ライトサイクル

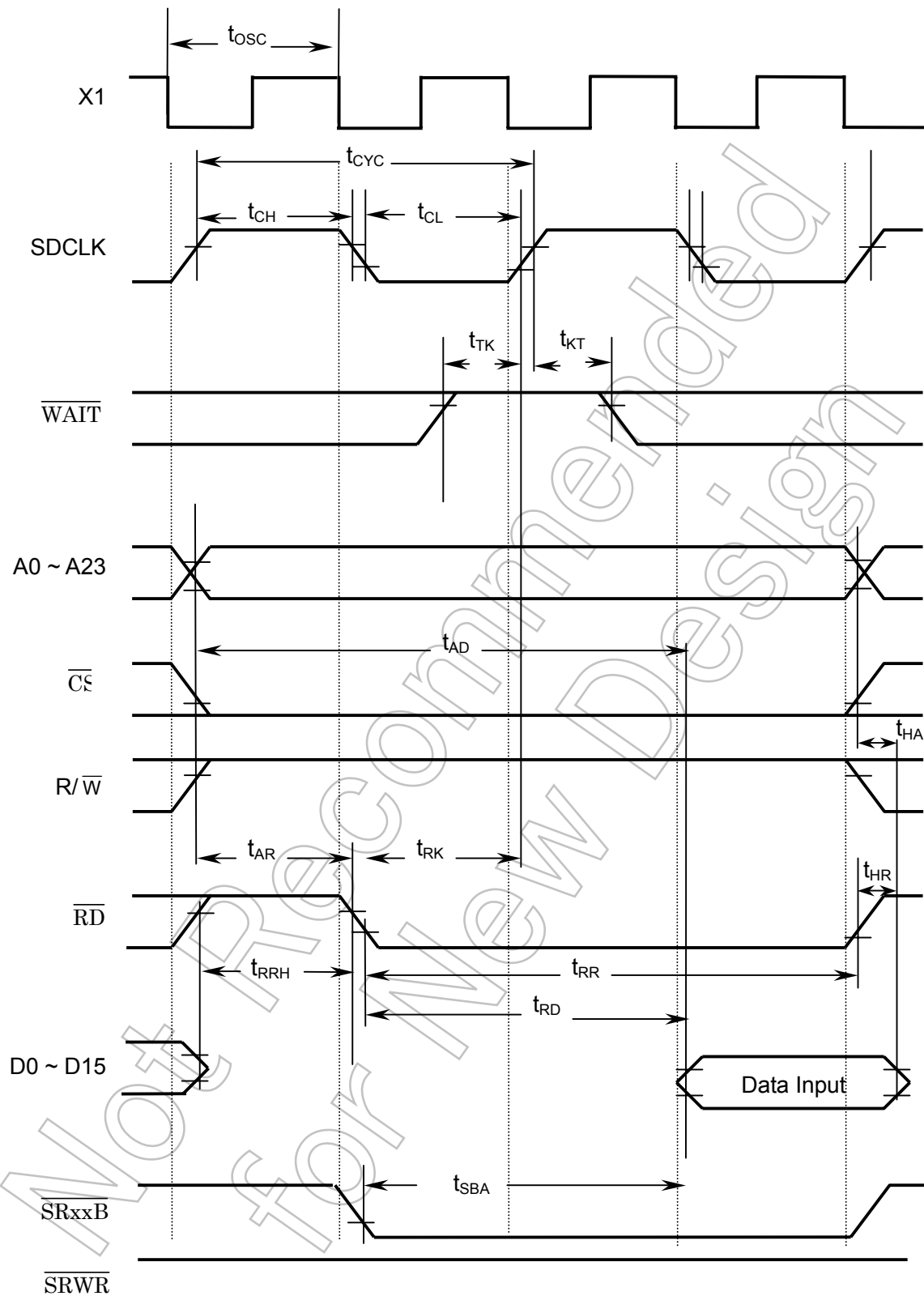
VCC = 3.3 ± 0.3V / fc = 4 ~ 40MHz / Ta = -40 ~ 85°C

No.	項目	記号	計算式		fc=40MHz fsys=20MHz	fc=27MHz fsys=13.5MHz	単位
			Min	Max			
16-1	D0 ~ D15 有効 → WRxx 立ち上がり @ 0WAIT	t _{DW}	1.25T - 35		27.5	57.5	ns
16-2	D0 ~ D15 有効 → WRxx 立ち上がり @ 1WAIT	t _{DW3}	2.25T - 35		77.5	131.5	
17-1	WRxx 低レベルパルス幅 @ 0WAIT	t _{WW}	1.25T - 30		32.5	62.5	
17-2	WRxx 低レベルパルス幅 @ 1WAIT	t _{WW3}	2.25T - 30		82.5	136.5	
18	A0 ~ A23 有効 → WR 立ち下がり	t _{AW}	0.5T - 20		5	17	
19	WRxx 立ち下がり → SDCLK 立ち上がり	t _{WK}	0.5T - 20		5	17	
20	WRxx 立ち上がり → A0 ~ A23 保持	t _{WA}	0.25T - 5		7.5	13.5	
21	WRxx 立ち上がり → D0 ~ D15 保持	t _{WD}	0.25T - 5		7.5	13.5	
22	RD 立ち上がり → D0 ~ D15 出力	t _{RDO}	0.5T - 5		20	--	
23	SRAM 用ライトパルス幅	t _{SWP}	1.25T - 30		32.5	62.5	
24	SRAM データバイト制御 ~ ライト終了時間	t _{SBW}	1.25T - 30		32.5	62.5	
25	SRAM 用アドレスセットアップ時間	t _{SAS}	0.5T - 20		5	17	
26	SRAM 用ライトリカバリ時間	t _{SWR}	0.25T - 5		7.5	13.5	
27	SRAM 用データセットアップ時間	t _{SDS}	1.25T - 35		27.5	57.5	
28	SRAM 用データ保持時間	t _{SDH}	0.25T - 5		7.5	13.5	

AC 測定条件

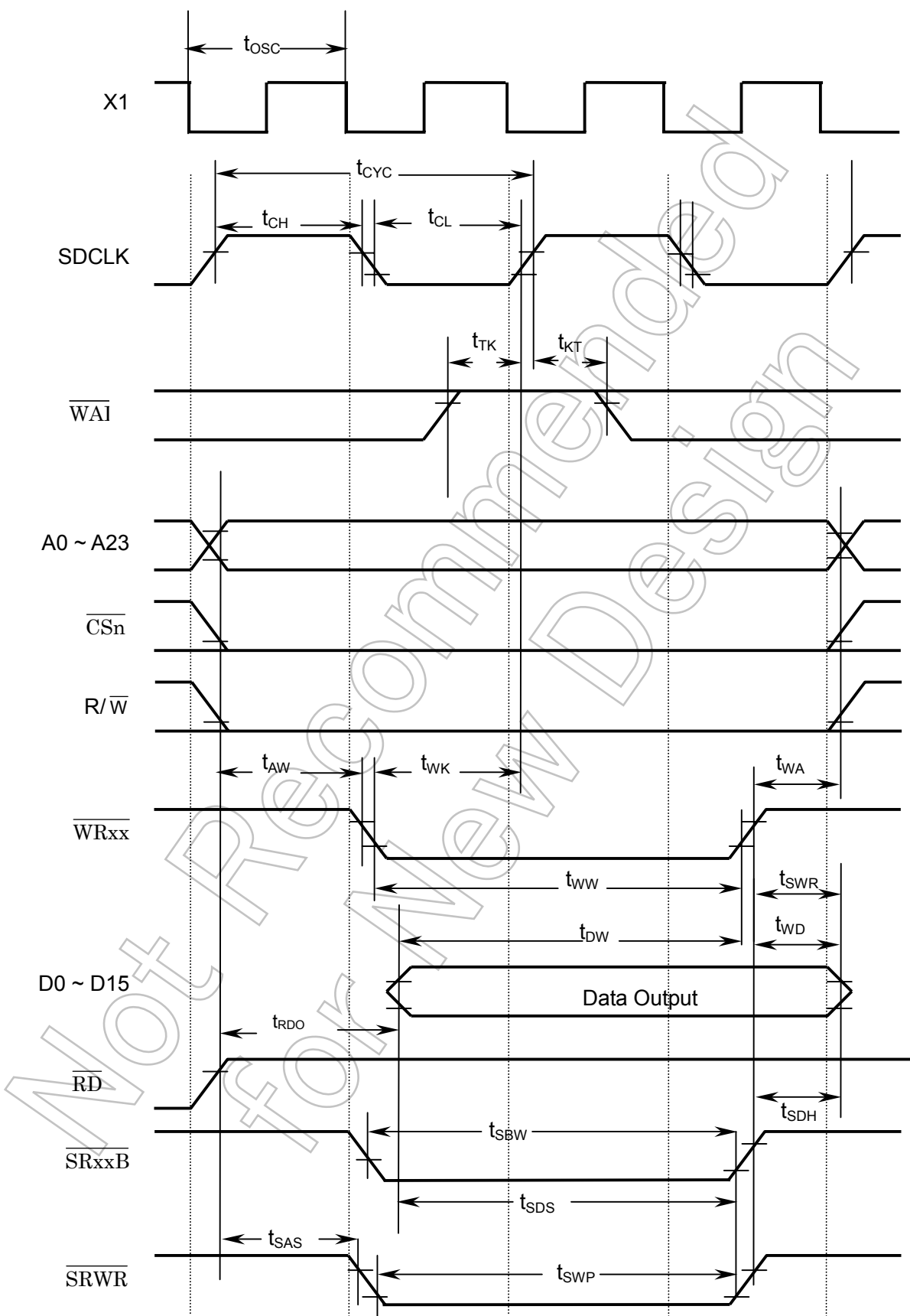
●出力レベル : High = 0.7Vcc, Low = 0.3Vcc, CL = 50pF ●入力レベル : High = 0.9Vcc, Low = 0.1Vcc

(1) リードサイクル (0 wait, $f_c=f_{OSCH}$, $f_{FPH}=f_c/1$)

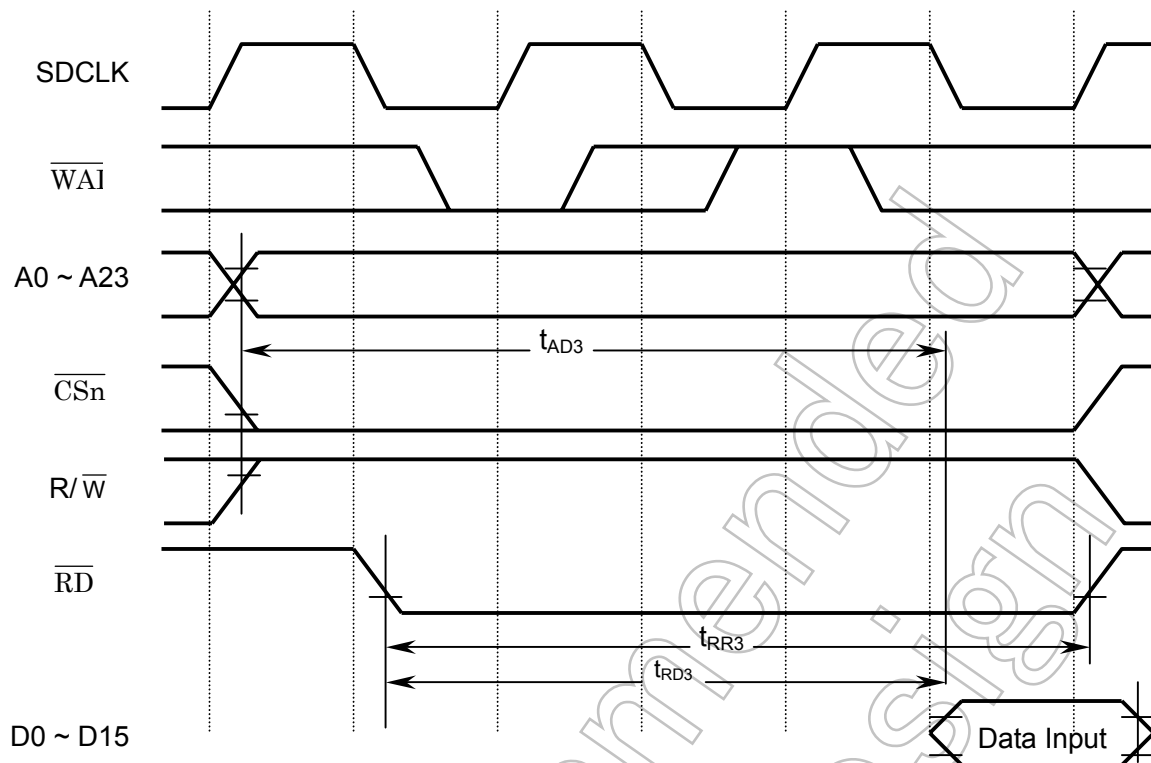
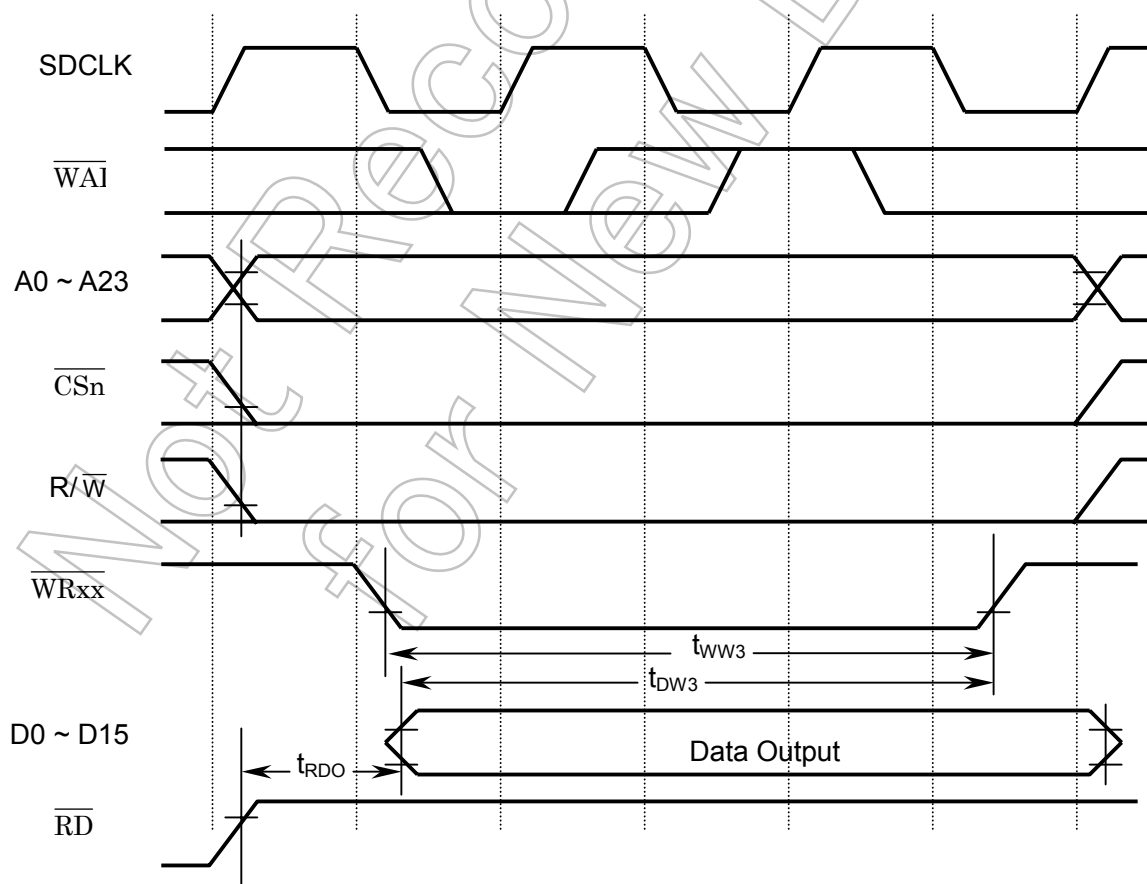


注: X1 入力信号と、他の信号の間の位相関係は未定義です。また、上記のタイミングチャートは一例を示します。

(2) ライトサイクル (0 wait, $f_c=f_{OSCH}$, $f_{FPH}=f_c/1$)



注: X1 入力信号と、他の信号の間の位相関係は未定義です。また、上記のタイミングチャートは一例を示します。

(3) リードサイクル (1 wait, $f_c = f_{OSCH}$, $f_{FPH} = f_c/1$)(4) ライトサイクル (1 wait, $f_c = f_{OSCH}$, $f_{FPH} = f_c/1$)

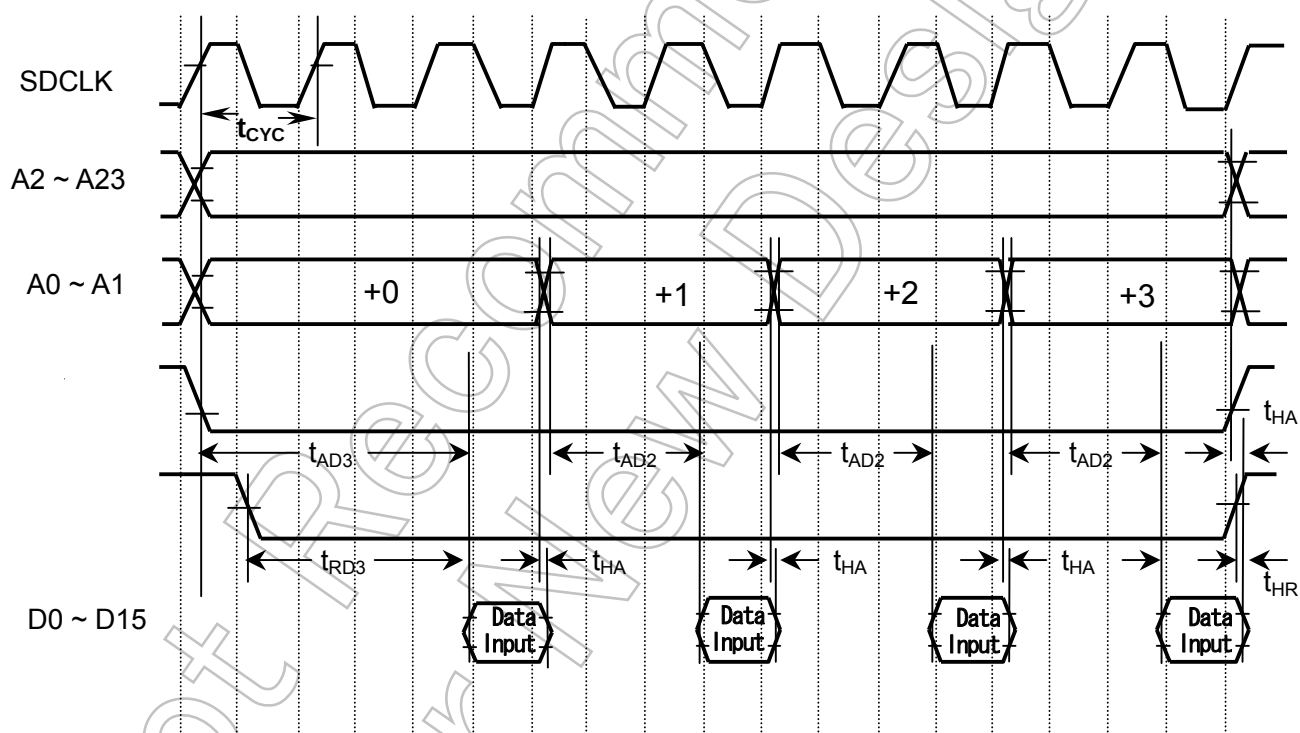
4.3.2 ページ ROM リードサイクル

(1) Page ROM Read Cycle (3-2-2-2 mode)

No	記号	項目	計算式		40MHz	27MHz	単位
			Min	Max			
1	t_{CYC}	System Clock Period (=T)	50	166.7	50	74	ns
2	t_{AD2}	A0,A1 → D0 ~ D15 入力		$2.0T - 50$	50	98	
3	t_{AD3}	A2 ~ A23 → D0 ~ D15 入力		$3.0T - 50$	100	172	
4	t_{RD3}	$\overline{RD}$ 立ち下がり → D0 ~ D15 入力		$2.5T - 45$	80	140	
5	t_{HA}	A0 ~ A23 無効 → D0 ~ D15 保持	0		0	0	
6	t_{HR}	$\overline{RD}$ 立ち上がり → D0 ~ D15 保持	0		0	0	

AC 条件

- 出力 : High = 0.7Vcc, Low = 0.3Vcc, CL = 50pF
- 入力 : High = 0.9Vcc, Low = 0.1Vcc



4.3.3 SDRAM コントローラ AC 電氣的特性

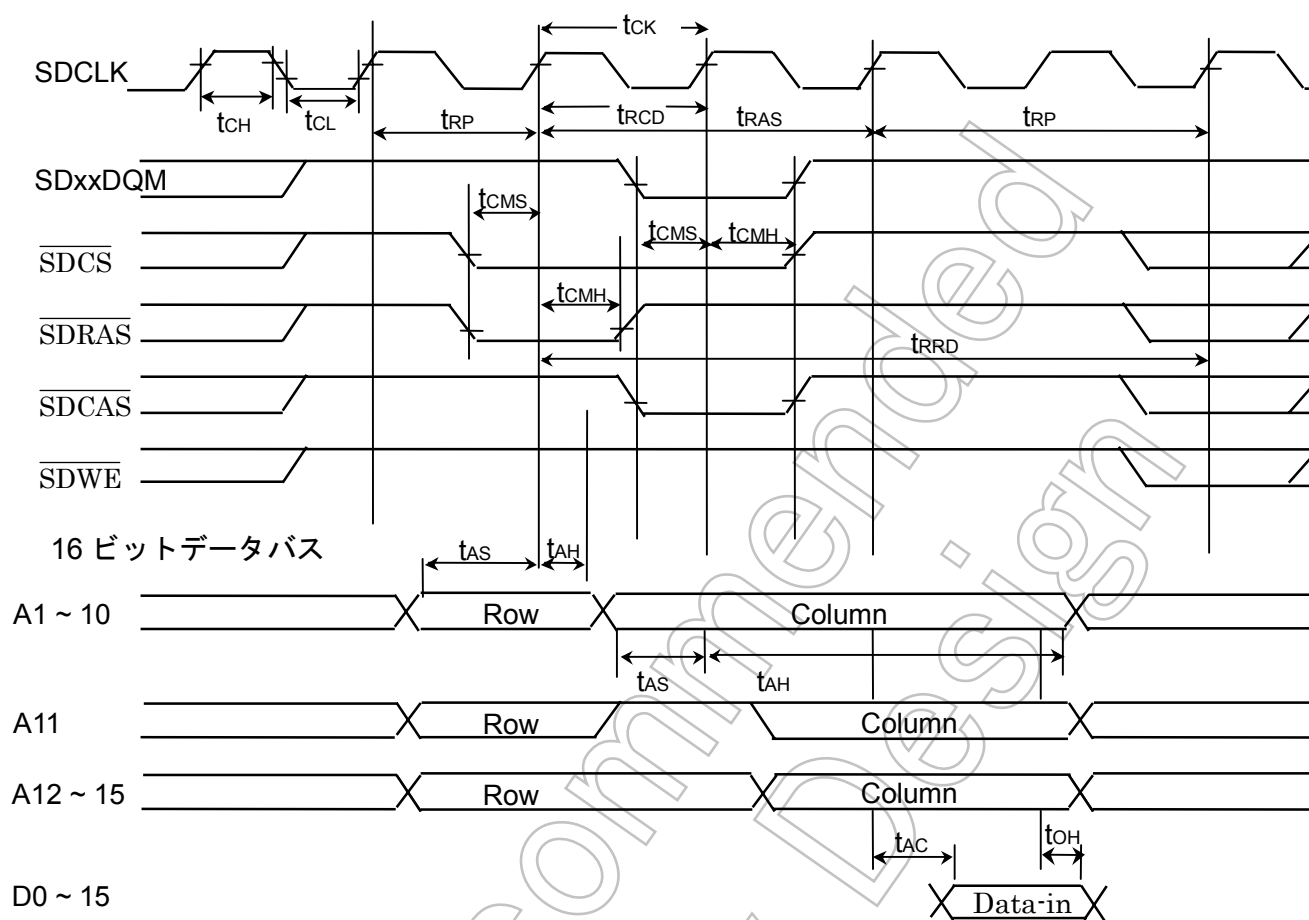
No	記号	項目	計算式		40MHz	27MHz	単位
			Min	Max			
1	t_{RC}	Ref/Active to Ref/Active Command Period	2T		100	148	ns
2	t_{RAS}	Active to Precharge Command Period	2T	12210	100	148	
3	t_{RCD}	Active to Read/Write Command Delay Time	T		50	74	
4	t_{RP}	Precharge to Active Command Period	T		50	74	
5	t_{RRD}	Active to Active Command Period	3T		150	222	
6	t_{WR}	Write Recovery Time(CL*=2)	T		50	74	
7	t_{CK}	CLK Cycle Time(CL*=2)	T		50	74	
8	t_{CH}	CLK High Level Width	0.5T-15		10	22	
9	t_{CL}	CLK Low Level Width	0.5T-15		10	22	
10	t_{AC}	Access Time from CLK(CL*=2)		T-30	20	44	
11	t_{OH}	Output Data Hold Time	0		0	0	
12	t_{DS}	Data-in Set-up Time	0.5T-10		15	27	
13	t_{DH}	Data-in Hold Time	T-15		35	59	
14	t_{AS}	Address Set-up Time	0.75T-30		7.5	25.5	
15	t_{AH}	Address Hold Time	0.25T-9		3.5	9.5	
16	t_{CKS}	CKE Set-up Time	0.5T-15		10	22	
17	t_{CMS}	Command Set-up Time	0.5T-15		10	22	
18	t_{CMH}	Command Hold Time	0.5T-15		10	22	
19	t_{RSC}	Mode Register Set Cycle Time	T		50	74	

*CL は CAS レイテンシを示しています。

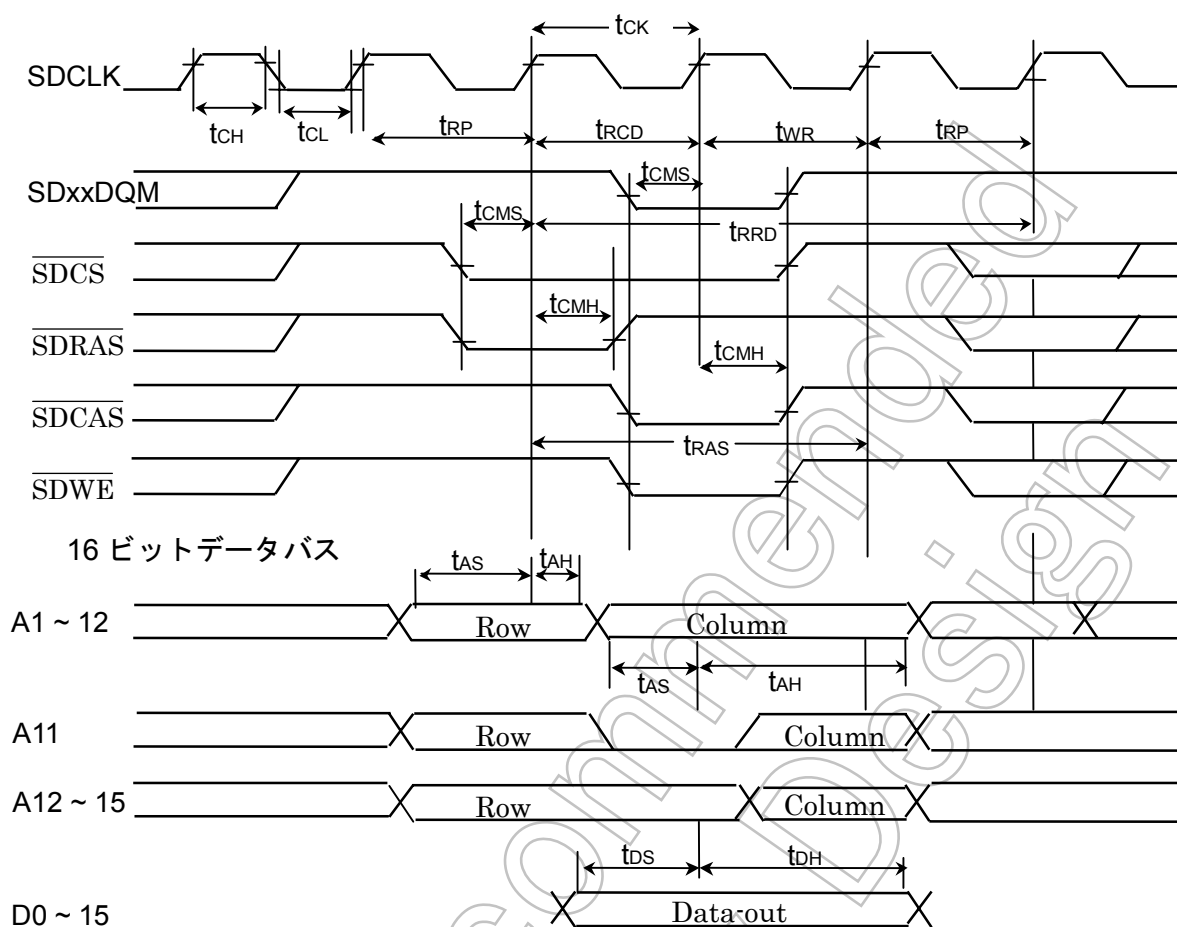
AC 測定条件

- ・ 出力レベル: High = 0.7 Vcc, Low = 0.3 Vcc, CL = 50 pF
- ・ 入力レベル: High = 0.9 Vcc, Low = 0.1 Vcc.

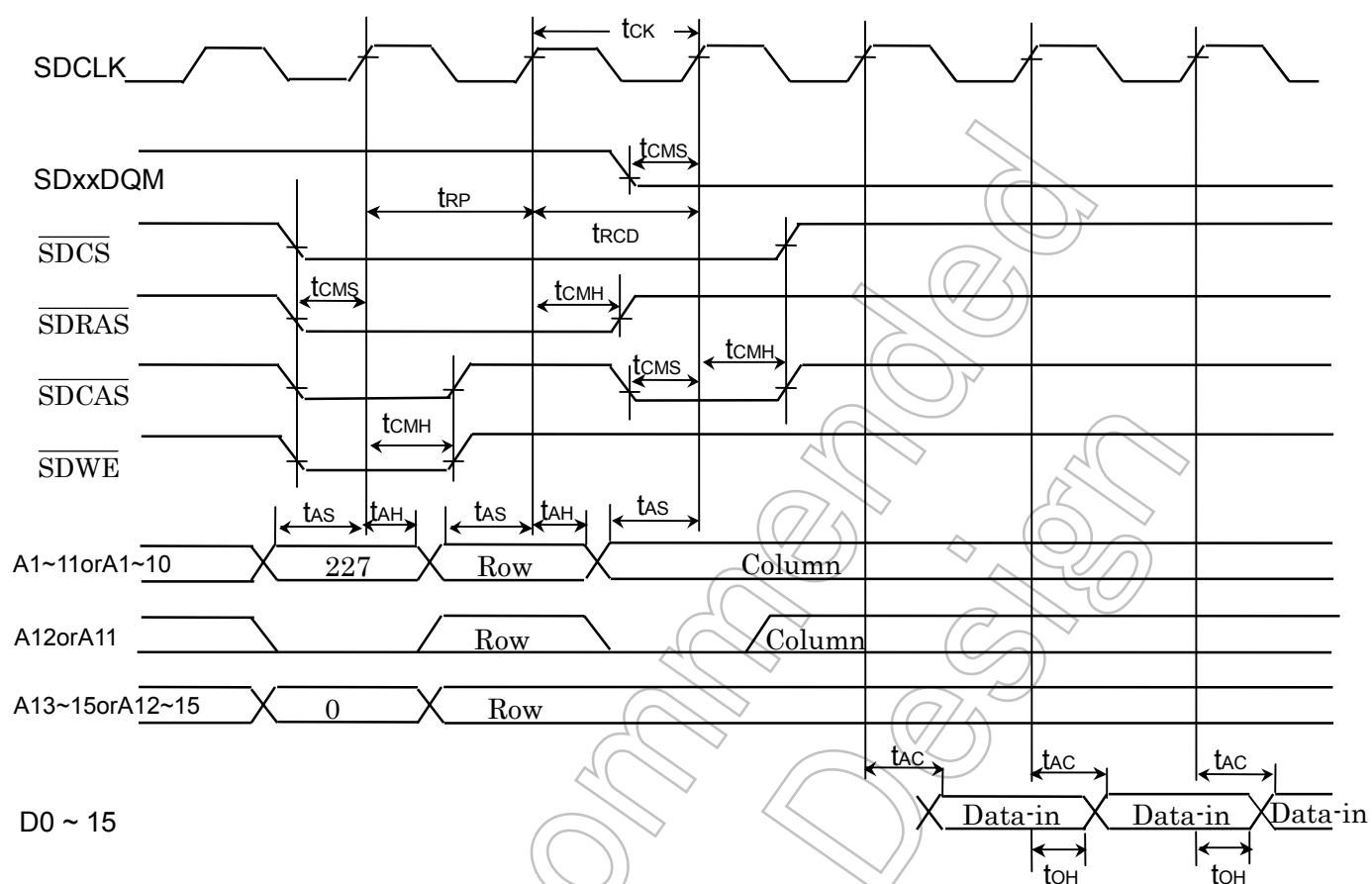
(1) SDRAM リードタイミング(CPU アクセス)



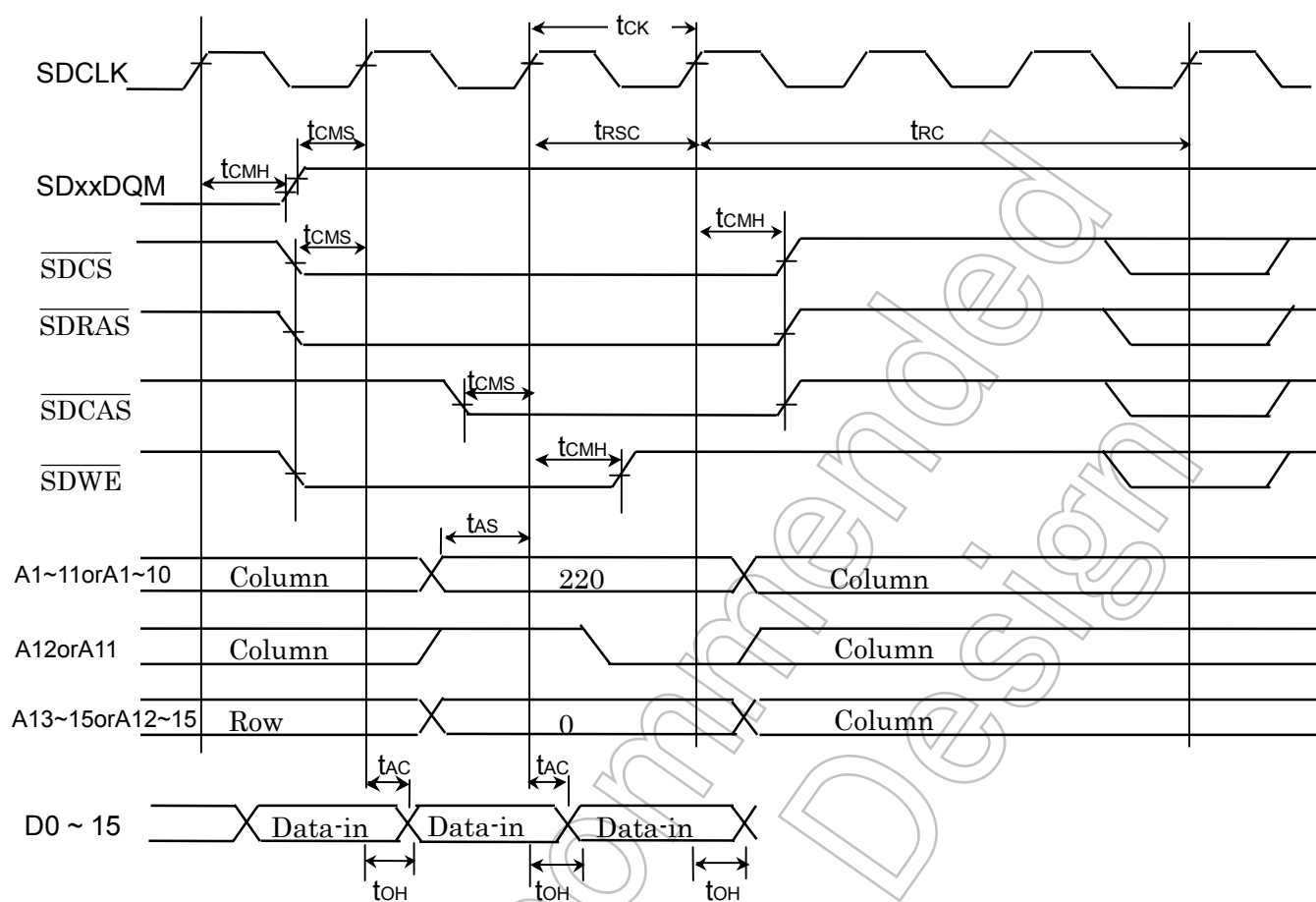
(2) SDRAM ライトタイミング(CPU アクセス)



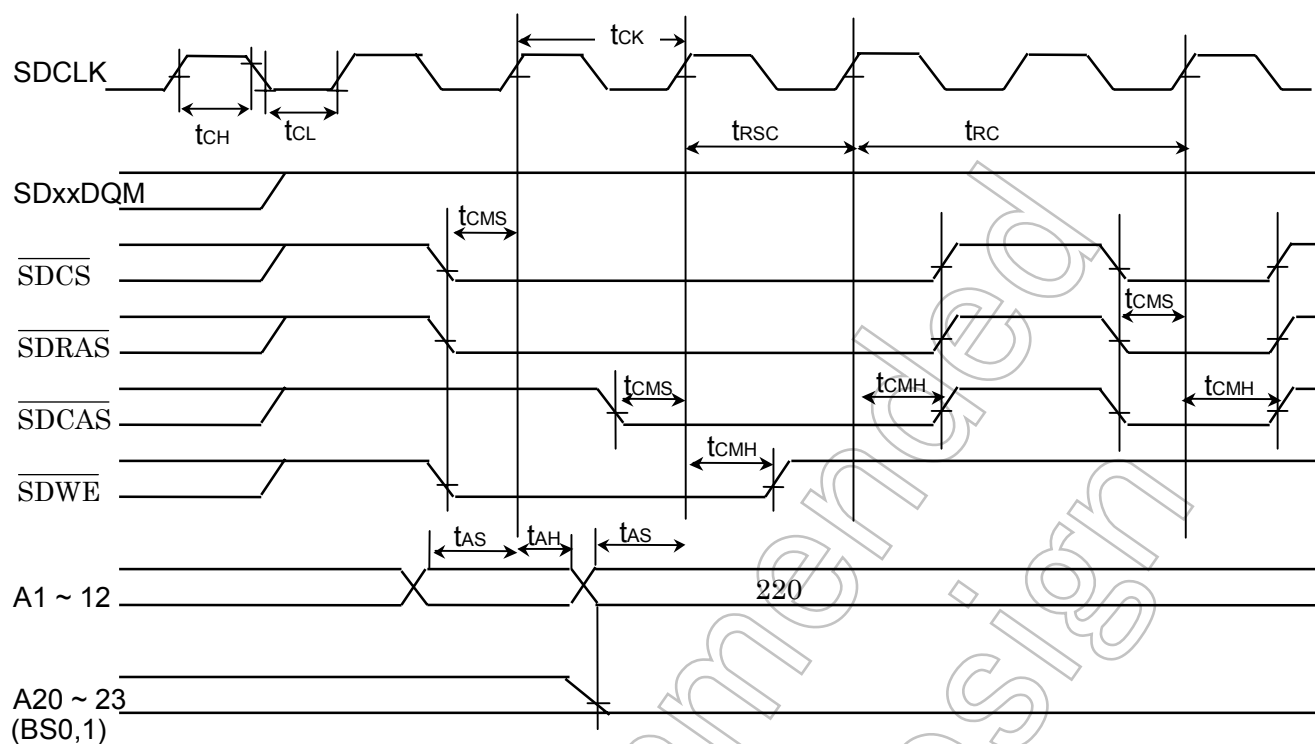
(3) SDRAM バーストリードタイミング(バーストサイクル開始)



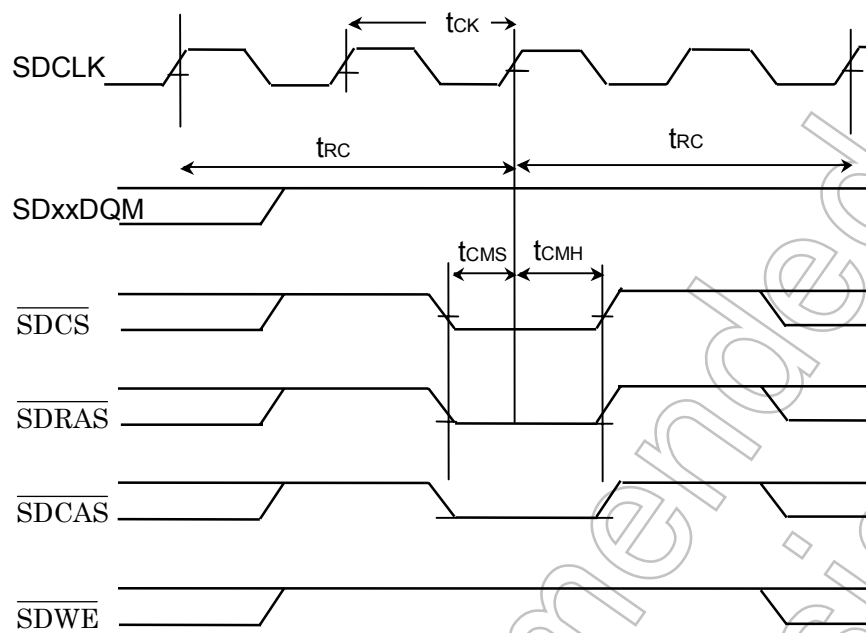
(4) SDRAM バーストリードタイミング(バーストタイミング終了)



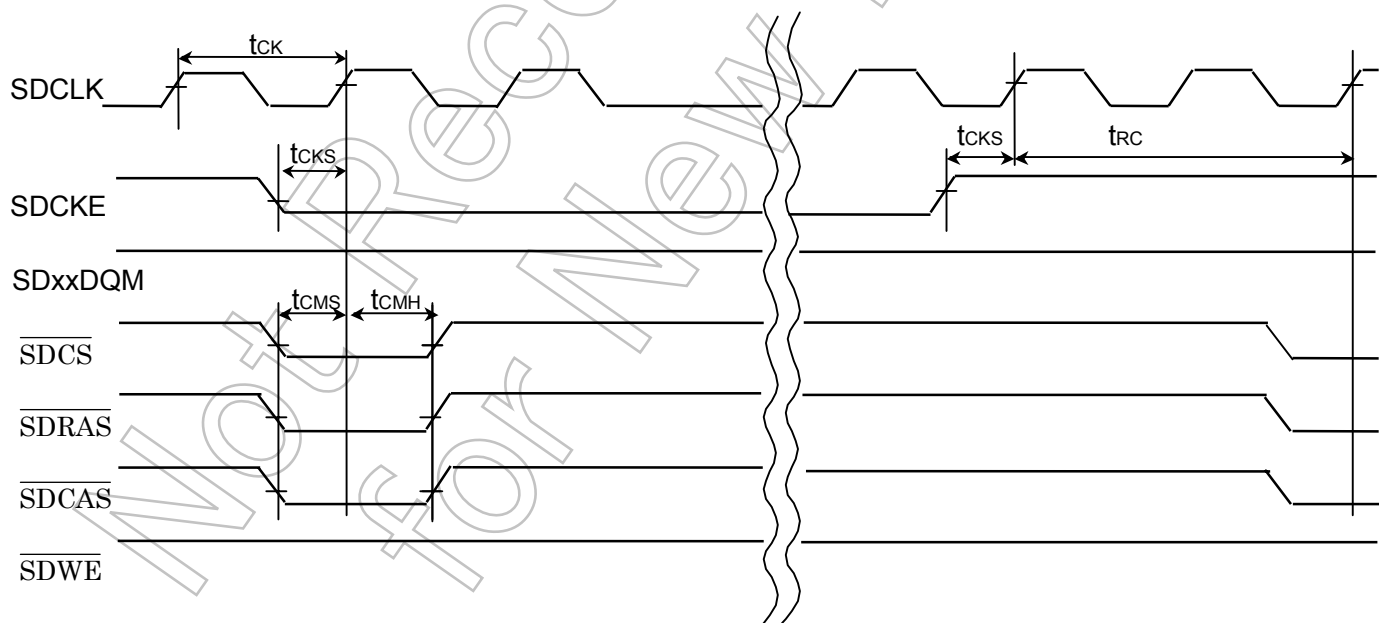
(5) SDRAM 初期化タイミング



(6) SDRAM リフレッシュタイミング



(7) SDRAM セルフリフレッシュタイミング



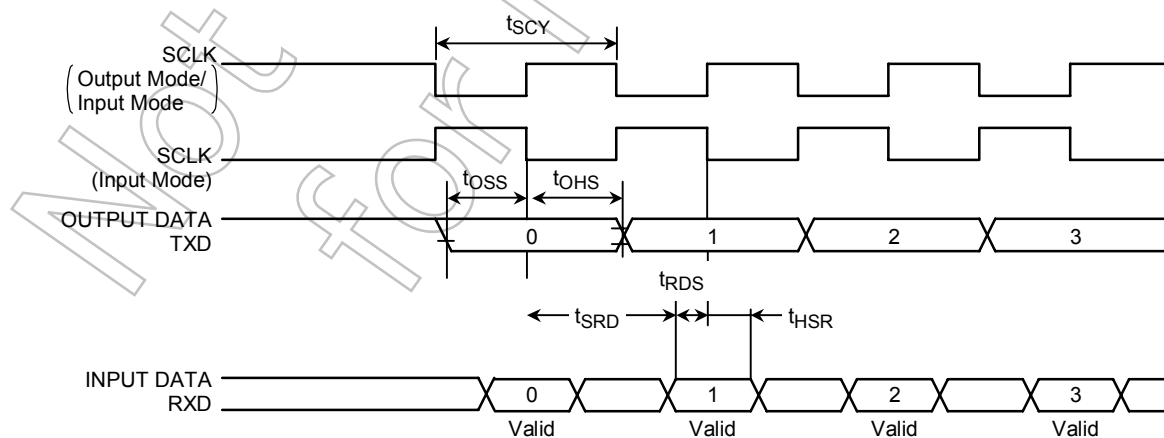
4.3.4 シリアルチャネルタイミング

(1) SCLK 入力モード(I/O インターフェースモード)

項目	記号	計算式		fc=40MHz fsys=20MHz		fc=27MHz fsys=13.5MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	16X		0.4		0.59		μs
出力データ → SCLK 立ち上がり/立ち下がり	t_{OSS}	$t_{SCY}/2-4X-90$		10		58		ns
SCLK 立ち上がり/立ち下がり → 出力データ保持	t_{OHS}	$t_{SCY}/2+2X+0$		250		370		
SCLK 立ち上がり/立ち下がり → 入力データ保持	t_{HSR}	$3X+10$		85		121		
SCLK 立ち上がり/立ち下がり → 入力データ有効	t_{SRD}		$t_{SCY}-0$		400		592	
入力データ有効 → SCLK 立ち上がり/立ち下がり	t_{RDS}	0		0		0		

(2) SCLK 出力モード(I/O インターフェースモード)

項目	記号	計算式		fc=40MHz fsys=20MHz		fc=27MHz fsys=13.5MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	16X	8192X	0.4	204	0.59	303	μs
出力データ → SCLK 立ち上がり/立ち下がり	t_{OSS}	$t_{SCY}/2-40$		160		256		ns
SCLK 立ち上がり/立ち下がり → 出力データ保持	t_{OHS}	$t_{SCY}/2-40$		160		256		
SCLK 立ち上がり/立ち下がり → 入力データ保持	t_{HSR}	0		0		0		
SCLK 立ち上がり/立ち下がり → 入力データ有効	t_{SRD}		$t_{SCY}-1X-180$		195		375	
入力データ有効 → SCLK 立ち上がり/立ち下がり	t_{RDS}	$1X+180$		205		217		



4.3.5 割り込み動作

項目	記号	計算式		fc=40MHz fsys=20MHz		fc=27MHz fsys=13.5MHz		単位
		Min	Max	Min	Max	Min	Max	
INT0~INTB, $\overline{\text{NMI}}$ 低レベルパルス幅	t_{INTAL}	4T+40		240		336		ns
INT0~INTB, $\overline{\text{NMI}}$ 高レベルパルス幅	t_{INTAH}	4T+40		240		336		

4.3.6 AD 変換特性

記号	項目	Min	Typ	Max	単位
AVCC	AD コンバータ 電源供給電圧	VCC	VCC	VCC	V
AVSS	AD コンバータ GND	VSS	VSS	VSS	
AVIN	アナログ入力電圧	AVSS		AVCC	
E_T	総合誤差 (量子化誤差 $\pm 0.5\text{LSB}$ 含む)		± 1.0	± 4.0	LSB

注 1) $1\text{LSB} = (\text{AVCC} - \text{AVSS})/1024 [\text{V}]$

注 2) 最低動作周波数について

AD コンバータの動作は、クロックギアで選択されたクロックの周波数が 4 MHz 以上で保証します。

注 3) AVCC 端子より流れる電源電流は、VCC 端子の電源電流 (I_{CC}) に含まれます。

4.3.7 DA 変換特性

記号	項目	条件	Min	Typ	Max	単位
DAOUT	出力電圧範囲	$R_L = 3.6 \text{ K}\Omega$	DAVSS+0.3		DAVCC-0.3	V
E_T	総合誤差	$R_L = 3.6 \text{ K}\Omega$		± 1.0	± 4.0	LSB
R_L	抵抗性負荷	$\text{DAVSS}+0.3 \leq \text{DAOUT} \leq \text{DAVCC}-0.3$	3.6			$\text{K}\Omega$

注 1) $1\text{LSB} = (\text{DAVCC} - \text{DAVSS})/256 [\text{V}]$

注 2) DAVCC 端子に流れる電源電流は、VCC 端子の電源電流 (I_{CC}) に含まれます。

4.3.8 イベントカウンタ (TA0IN, TA2IN, TA4IN, TA6IN, TB0IN0, TB0IN1, TB1IN0, TB1IN1, TB2IN0, TB2IN1, TB3IN0, TB3IN1)

項目	記号	計算式		fc = 40MHz fsys = 20MHz		fc = 27MHz fsys = 13.5MHz		単位
		Min	Max	Min	Max	Min	Max	
クロックサイクル	t_{VCK}	$8X+100$		300		396		ns
低レベルクロック幅	t_{VCKL}	$4X+40$		140		188		ns
高レベルクロック幅	t_{VCKH}	$4X+40$		140		188		ns

(注) 表中の「X」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用するシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定に依存します。

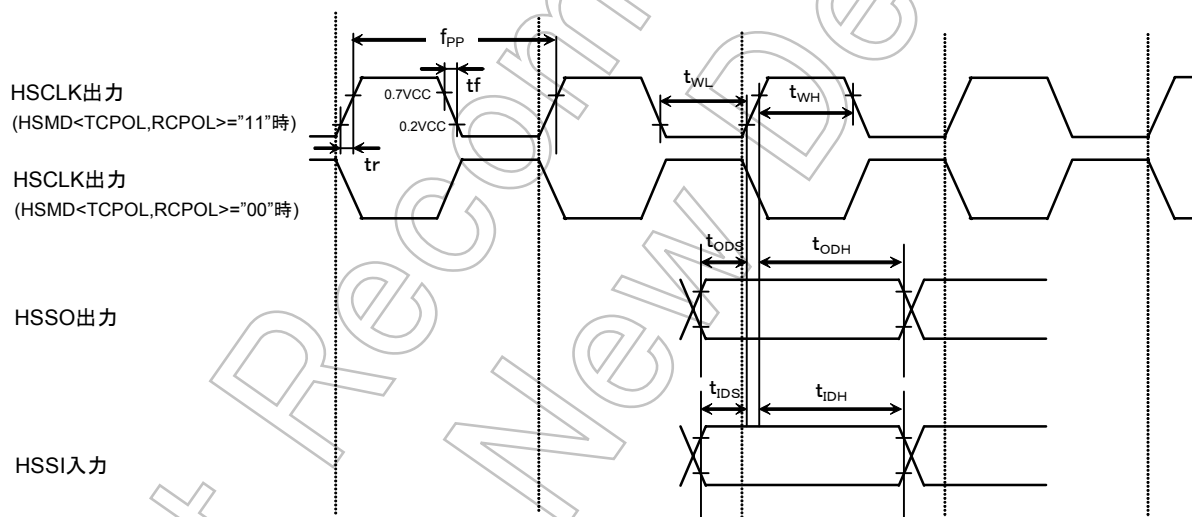
4.3.9 高速 SIO タイミング

記号	項目	計算式		40 MHz	36 MHz	27MHz	単位
		Min	Max				
f_{pp}	HSCLK 周波数 (= 1/X)		10	10	9	6.75	MHz
t_r	HSCLK 立ち上がり時間		8	8	8	8	ns
t_f	HSCLK 立ち下がり時間		8	8	8	8	
t_{WL}	HSCLK 低レベルパルス幅	$0.5X-8$		42	47	66	
t_{WH}	HSCLK 高レベルパルス幅	$0.5X-16$		34	39	58	
t_{ODS1}	出力データ有効 → HSCLK 立ち上がり	$0.5X-18$		32	37	56	
t_{ODS2}	出力データ有効 → HSCLK 立ち下がり	$0.5X-23$		27	32	51	
t_{ODH}	HSCLK 立ち上がり/立ち下がり → 出力データ保持	$0.5X-10$		40	45	64	
t_{IDS}	入力データ有効 → HSCLK 立ち上がり/立ち下がり	$0X+20$		20	20	20	
t_{IDH}	HSCLK 立ち上がり/立ち下がり → 入力データ保持	$0X+5$		5	5	5	

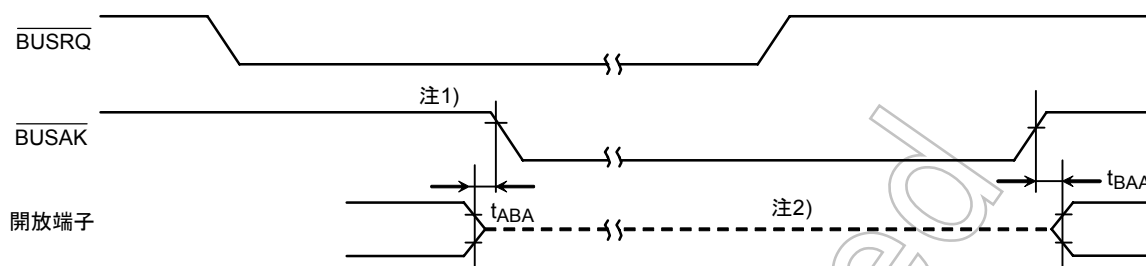
AC 測定条件

出力レベル : High = 0.7 VCC, Low = 0.2 VCC, CL = 25 pF

入力レベル : High = 0.9 VCC, Low = 0.1 VCC



4.3.10 バスリクエスト/バスアクノリッジ



項目	記号	計算式		fc=40 MHz fsys=20MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t_{ABA}	0	30	0	30	ns
BUSAK 立ち上がりからのフローティング時間	t_{BAA}	0	30	0	30	ns

注 1) $\overline{\text{BUSRQ}}$ を “Low” にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまで、バスは解放されません。

注 2) この破線は、出力バッファが OFF になっていることだけを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

5 特殊機能レジスター一覧表

特殊機能レジスタ(SFR : Special Function Register)とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~001FFFHの8Kバイトのアドレス空間に割り付けられています。

- | | |
|------------------|-----------------------------------|
| (1) 入出力ポート | (9) パターンジェネレータ |
| (2) 割り込み制御 | (10) 高速シリアルチャネル |
| (3) DMA コントローラ | (11) UART / シリアルチャネル |
| (4) メモリコントローラ | (12) I ² CBUS/シリアルチャネル |
| (5) クロック制御 / PLL | (13) AD コンバータ |
| (6) SDRAM コントローラ | (14) DA コンバータ |
| (7) 8 ビットタイマ | (15) ウォッチドッグタイマ |
| (8) 16 ビットタイマ | (16) キーオンウェイクアップ |

表の構成

シンボル	名称	アドレス	7	6	...	1	0	
								→ シンボル
								→ Read/Write
								→ リセット時の初期値
								→ 備考

注意 1 : 表中の“RMW 禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例)P1CR レジスタの bit 0 のみを“1”にしたい場合、通常は“SET 0,(0006H)”ですが、このレジスタは“RMW 禁”のため、“LD”(転送)命令にて 8 ビットレジスタに対して書き込む必要があります。

記号の意味

- R/W : リード/ライト可能
- R : リードのみ可能
- W : ライトのみ可能
- W* : リード/ライト可能 (ただし、リードした場合、“1” が読み出されます)
- RMW 禁 : リードモディファイライトができません。(EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TEST, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD 命令の使用不可)。
- RMW*禁 : 当該ポートのプルアップ制御の際には、リードモディファイライト命令は使用できません。

表 5.I/O レジスタマップ

[1] 入出力ポート

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0000H		0010H		0020H	P8	0030H	PC
1H		1H		1H	P8CR	1H	PCFC2
2H		2H		2H	P8FC	2H	PCCR
3H		3H		3H	P8FC2	3H	PCFC
4H	P1	4H		4H	P9	4H	PD
5H		5H		5H	P9DR	5H	PDFC2
6H	P1CR	6H		6H		6H	PDCR
7H	P1FC	7H		7H	P9FC	7H	PDFC
8H		8H	P6	8H	PA	8H	
9H		9H		9H	PAFC2	9H	
AH		AH	P6CR	AH	PACR	AH	
BH		BH	P6FC	BH	PAFC	BH	
CH		CH	P7	CH		CH	PF
DH		DH		DH		DH	PFFC2
EH		EH	P7CR	EH		EH	PFCR
FH		FH	P7FC	FH		FH	PFFC

アドレス	レジスタ名	アドレス	レジスタ名
0040H		0050H	PK
1H		1H	PKFC2
2H		2H	
3H		3H	PKFC
4H		4H	PL
5H		5H	PLFC2
6H		6H	PLCR
7H		7H	PLFC
8H		8H	PM
9H		9H	
AH		AH	
BH		BH	PMFC
CH	PJ	CH	PN
DH	PJFC2	DH	
EH	PJCR	EH	
FH	PJFC	FH	PNFC

注意) レジスタ名の割り付けられていないアドレスにはアクセスしないで下さい。
そのアドレスにはレジスタが割り当てられていません。

[2] 割り込み制御

アドレス	レジスタ名
00D0H	INTE01
1H	INTE23
2H	INTE45
3H	INTE67
4H	INTETA01
5H	INTETA23
6H	INTE8TA45
7H	INTE9TA67
8H	INTES0
9H	INTES1
AH	INTES2
BH	INTES3
CH	INTESB0
DH	INTESB1
EH	INTEAHSC0
FH	INTEBHSC1

アドレス	レジスタ名
00E0H	INTETB0
1H	
2H	INTETB1
3H	
4H	INTEPAD
5H	INTETB2
6H	INTETB3
7H	INTETB4
8H	INTETB5
9H	INTETBOX
AH	
BH	
CH	
DH	
EH	
FH	INTNMWDT

アドレス	レジスタ名
00F0H	INTETC01
1H	INTETC23
2H	INTETC45
3H	INTETC67
4H	
5H	SIMC
6H	IIMC0
7H	
8H	INTCLR
9H	
AH	IIMC1
BH	IIMC2
CH	BECSL
DH	BECSH
EH	EMUCR
FH	MSAREMU

[3] DMA コントローラ

アドレス	レジスタ名
0100H	DMA0V
1H	DMA1V
2H	DMA2V
3H	DMA3V
4H	DMA4V
5H	DMA5V
6H	DMA6V
7H	DMA7V
8H	DMAB
9H	DMAR
AH	
BH	
CH	INTSEL
DH	INTST
EH	IIMC3
FH	IIMC4

[4] メモリコントローラ

アドレス	レジスタ名
0140H	B0CSL
1H	B0CSH
2H	MAMR0
3H	MSAR0
4H	B1CSL
5H	B1CSH
6H	MAMR1
7H	MSAR1
8H	B2CSL
9H	B2CSH
AH	MAMR2
BH	MSAR2
CH	B3CSL
DH	B3CSH
EH	MAMR3
FH	MSAR3

アドレス	レジスタ名
0150H	B4CSL
1H	B4CSH
2H	MAMR4
3H	MSAR4
4H	B5CSL
5H	B5CSH
6H	MAMR5
7H	MSAR5
8H	BEXCSL
9H	BEXCSH
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
0160H	
1H	
2H	
3H	
4H	
5H	
6H	PMEMCR
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] クロック制御 / PLL

アドレス	レジスタ名
10E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	EMCCR2
6H	
7H	
8H	PLLCR0
9H	PLLCR1
AH	
BH	
CH	
DH	
EH	
FH	

[6] SDRAM コントローラ [7] 8 ビットタイマ

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0250H	SDACR1	1100H	TA01RUN	1110H	TA45RUN
1H	SDACR2	1H		1H	
2H	SDRCR	2H	TA0REG	2H	TA4REG
3H	SDCMM	3H	TA1REG	3H	TA5REG
4H		4H	TA01MOD	4H	TA45MOD
5H		5H	TA1FFCR	5H	TA5FFCR
6H		6H		6H	
7H		7H		7H	
8H		8H	TA23RUN	8H	TA67RUN
9H		9H		9H	
AH		AH	TA2REG	AH	TA6REG
BH		BH	TA3REG	BH	TA7REG
CH		CH	TA23MOD	CH	TA67MOD
DH		DH	TA3FFCR	DH	TA7FFCR
EH		EH		EH	
FH		FH		FH	

[8] 16 ビットタイマ

アドレス	レジスタ名
1180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

アドレス	レジスタ名
1190H	TB1RUN
1H	
2H	TB1MOD
3H	TB1FFCR
4H	
5H	
6H	
7H	
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

アドレス	レジスタ名
11A0H	TB2RUN
1H	
2H	TB2MOD
3H	TB2FFCR
4H	
5H	
6H	
7H	
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

アドレス	レジスタ名
11B0H	TB3RUN
1H	
2H	TB3MOD
3H	TB3FFCR
4H	
5H	
6H	
7H	
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

アドレス	レジスタ名
11C0H	TB4RUN
1H	
2H	TB4MOD
3H	TB4FFCR
4H	
5H	
6H	
7H	
8H	TB4RG0L
9H	TB4RG0H
AH	TB4RG1L
BH	TB4RG1H
CH	TB4CP0L
DH	TB4CP0H
EH	TB4CP1L
FH	TB4CP1H

アドレス	レジスタ名
11D0H	TB5RUN
1H	
2H	TB5MOD
3H	TB5FFCR
4H	
5H	
6H	
7H	
8H	TB5RG0L
9H	TB5RG0H
AH	TB5RG1L
BH	TB5RG1H
CH	TB5CP0L
DH	TB5CP0H
EH	TB5CP1L
FH	TB5CP1H

[9] パターンジェネレータ

アドレス	レジスタ名
1460H	PG0REG
1H	PG1REG
2H	PG01CR
3H	
4H	PG01CR2
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[10] 高速シリアルチャネル

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0C00H	HSC0MD	0C10H	HSC0TD	0C20H	HSC1MD	0C30H	HSC1TD
1H	HSC0MD	1H	HSC0TD	1H	HSC1MD	1H	HSC1TD
2H	HSC0CT	2H	HSC0RD	2H	HSC1CT	2H	HSC1RD
3H	HSC0CT	3H	HSC0RD	3H	HSC1CT	3H	HSC1RD
4H	HSC0ST	4H	HSC0TS	4H	HSC1ST	4H	HSC1TS
5H	HSC0ST	5H	HSC0TS	5H	HSC1ST	5H	HSC1TS
6H	HSC0CR	6H	HSC0RS	6H	HSC1CR	6H	HSC1RS
7H	HSC0CR	7H	HSC0RS	7H	HSC1CR	7H	HSC1RS
8H	HSC0IS	8H		8H	HSC1IS	8H	
9H	HSC0IS	9H		9H	HSC1IS	9H	
AH	HSC0WE	AH		AH	HSC1WE	AH	
BH	HSC0WE	BH		BH	HSC1WE	BH	
CH	HSC0IE	CH		CH	HSC1IE	CH	
DH	HSC0IE	DH		DH	HSC1IE	DH	
EH	HSC0IR	EH		EH	HSC1IR	EH	
FH	HSC0IR	FH		FH	HSC1IR	FH	

[11] シリアルチャネル

アドレス	レジスタ名
1200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	SIR0CR
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	

アドレス	レジスタ名
1210H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	
7H	
8H	SC3BUF
9H	SC3CR
AH	SC3MOD0
BH	BR3CR
CH	BR3ADD
DH	SC3MOD1
EH	
FH	

[12] I²CBUS/シリアルチャネル

アドレス	レジスタ名
1240H	SBI0CR1
1H	SBI0DBR
2H	I2C0AR
3H	SBI0CR2/SBI0SR
4H	SBI0BR0
5H	SBI0BR1
6H	
7H	
8H	SBI1CR1
9H	SBI1DBR
AH	I2C1AR
BH	SBI1CR2/SBI1SR
CH	SBI1BR0
DH	SBI1BR1
EH	
FH	

[13] AD コンバータ

アドレス	レジスタ名
12A0H	ADREG0L
1H	ADREG0H
2H	ADREG1L
3H	ADREG1H
4H	ADREG2L
5H	ADREG2H
6H	ADREG3L
7H	ADREG3H
8H	ADREG4L
9H	ADREG4H
AH	ADREG5L
BH	ADREG5H
CH	ADREG6L
DH	ADREG6H
EH	ADREG7L
FH	ADREG7H

アドレス	レジスタ名
12B0H	ADREG8L
1H	ADREG8H
2H	ADREG9L
3H	ADREG9H
4H	ADREGAL
5H	ADREGAH
6H	ADREGBL
7H	ADREGBH
8H	ADMOD0
9H	ADMOD1
AH	ADMOD2
BH	
CH	
DH	
EH	
FH	

[14] DA コンバータ

アドレス	レジスタ名
12E0H	DAC0REG
1H	DAC0CNT1
2H	
3H	DAC0CNT0
4H	DAC1REG
5H	DAC1CNT1
6H	
7H	DAC1CNT0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[15] ウォッチドッグタイマ [16] キーオンウェイクアップ

アドレス	レジスタ名	アドレス	レジスタ名
1300H	WDMOD	0090H	
1H	WDCR	1H	
2H		2H	
3H		3H	
4H		4H	
5H		5H	
6H		6H	
7H		7H	
8H		8H	
9H		9H	
AH		AH	
BH		BH	
CH		CH	
DH		DH	
EH		EH	KIEN
FH		FH	KICR

(1) I/O ポート(1/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
P1	ポート 1	0004H	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			外部端子データ (出力ラッチレジスタは、“0”にクリア)							
P6	ポート 6	0018H	P67	P66	P65	P64	P63	P62	P61	P60
			R/W							
			外部端子データ (出力ラッチレジスタは、“0”にクリア)							
P7	ポート 7	001CH	P77	P76	P75	P74	P73	P72	P71	
			R/W							
			外部端子データ (出力ラッチレジスタは、“1”にセット)							
P8	ポート 8	0020H	プルアップ抵抗 0:OFF 1:ON				プルアップ抵抗 0:OFF 1:ON			
			P87	P86	P85	P84	P83	P82	P81	P80
			R/W							
P9	ポート 9	0024H	外部端子データ (出力ラッチレジスタ は、“1”にセット)				1	0	1	1
			P96	P95	P94	P93	P92	P91	P90	
			R/W							
PA	ポート A	0028H	1	1	1	1	1	1	1	1
			PA5	PA4	PA3	PA2	PA1	PA0		
			R/W							
PC	ポート C	0030H	外部端子データ (出力ラッチレジスタは、“1”にセット)							
			PC5	PC4	PC3	PC2	PC1	PC0		
			R/W							
PD	ポート D	0034H	外部端子データ (出力ラッチレジスタは、“1”にセット)							
			PD5	PD4	PD3	PD2	PD1	PD0		
			R/W							
PF	ポート F	003CH	外部端子データ (出力ラッチレジスタは、“1”にセット)							
			PF6	PF5	PF4	PF3	PF2	PF1	PF0	
			R/W							
PJ	ポート J	004CH	外部端子データ (出力ラッチレジスタは、“1”にセット)							
			PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
			R/W							
PK	ポート K	0050H	外部端子データ							
			PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
			R/W							
PL	ポート L	0054H	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
			R/W							
			外部端子データ (出力ラッチレジスタは、“1”にセット)							
PM	ポート M	0058H	PM7	PM6	PM5	PM4	PM3	PM2	PM1	PM0
			R							
			入力ディセーブル							
PN	ポート N	005CH					PN3	PN2	PN1	PN0
			R							
			入力ディセーブル							

I/O ポート(2/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
P1CR	ポート 1 コントロール レジスタ	0006H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
			0:入力 1:出力							
P1FC	ポート 1 ファンクション レジスタ	0007H (RMW 禁)								P1F
										W
										0
										0:ポート 1:データバス (D8 to D15)
P6CR	ポート 6 コントロール レジスタ	001AH (RMW 禁)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
			W							
			0	0	0	0	0	0	0	0
			0:入力 1:出力							
P6FC	ポート 6 ファンクション レジスタ	001BH (RMW 禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
			W							
			1	1	1	1	1	1	1	1
			0:ポート 1:アドレスバス (A16 to A23)							
P7CR	ポート 7 コントロール レジスタ	001EH (RMW 禁)	P77C	P76C	P75C	P74C	P73C	P72C	P71C	
			W							
			0	0	0	0	0	0	0	
			0:入力 1:出力							
P7FC	ポート 7 ファンクション レジスタ	001FH (RMW 禁)	P77F	P76F	P75F	P74F	P73F	P72F	P71F	
			W							
			0	0	0	0	0	0	0	
			0:ポート 1: WAIT	0:ポート 1: SRLUB	0:ポート 1: SRLLB	0:ポート 1: SRWR	0:ポート 1: R/ W	0:ポート 1: WRLU	0:ポート 1: WRLL	
P8CR	ポート 8 コントロール レジスタ	0021H (RMW 禁)	P87C	P86C						
			W							
			0	0						
			0:入力 1:出力							
P8FC	ポート 8 コントロール レジスタ	0022H (RMW 禁)	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
			W							
			0	0	0	0	0	0	0	0
			0:ポート 1: BUSAK	0:ポート 1: BUSRQ	0:ポート 1: <P85F2>	0:ポート 1: CS4	0:ポート 1: <P83F2>	0:ポート 1: CS2	0:ポート 1: CS1	0:ポート 1: CS0
P8FC2	ポート 8 ファンクション レジスタ 2	0023H (RMW 禁)			P85F2		P83F2			
					W		W			
					0		0			
					0: CS5 1: WDOUT		0: CS3 1: SDCS			
P9DR	ポート 9 ドライブ レジスタ	0025H (RMW 禁)		P96D	P95D	P94D	P93D	P92D	P91D	P90D
			R/W							
				1	1	1	1	1	1	1
			0:HALT 中はハイインピーダンス 1:HALT 中もドライブ							
P9FC	ポート 9 ファンクション レジスタ	0027H (RMW 禁)		P96F	P95F	P94F	P93F	P92F	P91F	P90F
				W						
				0	0	0	0	0	0	0
				0:ポート 1: SDCLK	0:ポート 1: SDCKE	0:ポート 1: SDLUDQM	0:ポート 1: SDLLDQM	0:ポート 1: SDCAS	0:ポート 1: SDRAS	0:ポート 1: SDWE

I/O ポート(3/6)

FC	ポート C ファンクション レジスタ	0033H (RMW 禁)	
----	--------------------------	------------------	--

I/O ポート(4/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0																																																																	
PDFC2	ポート D ファンクション レジスタ 2	0035H (RMW 禁)				PD4F2																																																																					
						W																																																																					
						0																																																																					
						<PDFC の 欄を参照>																																																																					
PDCR	ポート D コントロール レジスタ	0036H (RMW 禁)				PD5C	PD4C	PD3C	PD2C	PD1C	PD0C																																																																
						W																																																																					
						0	0	0	0	0	0																																																																
						<PDFC の欄を参照>																																																																					
PDFC	ポート D ファンクション レジスタ	0037H (RMW 禁)				PD5F	PD4F	PD3F	PD2F	PD1F	PD0F																																																																
						W																																																																					
						0	0	0	0	0	0																																																																
						<table><tr><td><PDxF2,PDxF,PDxC></td><td>PD5</td><td>PD4</td><td>PD3</td><td>PD2</td><td>PD1</td><td>PD0</td></tr><tr><td>000</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td></tr><tr><td>001</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td></tr><tr><td>010</td><td>SCLK2/ CTS2 入力</td><td>設定禁止</td><td>RXD2 入力</td><td>設定禁止</td><td>設定禁止</td><td>HSSI0 入力</td></tr><tr><td>011</td><td>SCLK2 出力</td><td>TXD2 出力 (Open Drain Disable)</td><td>設定禁止</td><td>HSCLK0 出力</td><td>HSSO0 出力</td><td>設定禁止</td></tr><tr><td>100</td><td rowspan="4"></td><td>設定禁止</td><td rowspan="4"></td><td rowspan="4"></td><td rowspan="4"></td><td rowspan="4"></td></tr><tr><td>101</td><td>設定禁止</td></tr><tr><td>110</td><td>設定禁止</td></tr><tr><td>111</td><td>TXD2 出力 (Open Drain Enable)</td></tr></table>							<PDxF2,PDxF,PDxC>	PD5	PD4	PD3	PD2	PD1	PD0	000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	001	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	010	SCLK2/ CTS2 入力	設定禁止	RXD2 入力	設定禁止	設定禁止	HSSI0 入力	011	SCLK2 出力	TXD2 出力 (Open Drain Disable)	設定禁止	HSCLK0 出力	HSSO0 出力	設定禁止	100		設定禁止					101	設定禁止	110	設定禁止	111	TXD2 出力 (Open Drain Enable)															
			<PDxF2,PDxF,PDxC>	PD5	PD4	PD3	PD2	PD1	PD0																																																																		
			000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート																																																																		
			001	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート																																																																		
			010	SCLK2/ CTS2 入力	設定禁止	RXD2 入力	設定禁止	設定禁止	HSSI0 入力																																																																		
			011	SCLK2 出力	TXD2 出力 (Open Drain Disable)	設定禁止	HSCLK0 出力	HSSO0 出力	設定禁止																																																																		
			100		設定禁止																																																																						
			101		設定禁止																																																																						
			110		設定禁止																																																																						
111	TXD2 出力 (Open Drain Enable)																																																																										
PFFC2	ポート F ファンクション レジスタ 2	003DH (RMW 禁)				PF6F2			PF4F2			PF2F2			PF0F2																																																												
						W			W			W			W																																																												
						0			0			0			0																																																												
						<PFFC の 欄を参照>		<PFFC の 欄を参照>		<PFFC の 欄を参照>		<PFFC の 欄を参照>		<PFFC の 欄を参照>																																																													
PFCR	ポート F コントロール レジスタ	003EH (RMW 禁)				PF6C	PF5C	PF4C	PF3C	PF2C	PF1C			PF0C																																																													
						W																																																																					
						0	0	0	0	0	0	0	0																																																														
						<PFFC の欄を参照>																																																																					
PFFC	ポート F ファンクション レジスタ	003FH (RMW 禁)				PF6F	PF5F	PF4F	PF3F	PF2F	PF1F			PF0F																																																													
						W																																																																					
						0	0	0	0	0	0	0	0																																																														
						<table><tr><td><PFxF2,PFxF,PFxC></td><td>PF6</td><td>PF5</td><td>PF4</td><td>PF3</td><td>PF2</td><td>PF1</td><td>PF0</td></tr><tr><td>000</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td></tr><tr><td>001</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td></tr><tr><td>010</td><td>TA6IN 入力</td><td>設定禁止</td><td>設定禁止</td><td>RXD2 入力</td><td>設定禁止</td><td>設定禁止</td><td>HSSI0 入力</td></tr><tr><td>011</td><td>設定禁止</td><td>TA5OUT 出力</td><td>設定禁止</td><td>TA3OUT 出力</td><td>設定禁止</td><td>TA1OUT 出力</td><td>設定禁止</td></tr><tr><td>100</td><td>設定禁止</td><td rowspan="4"></td><td>設定禁止</td><td rowspan="4"></td><td>設定禁止</td><td rowspan="4"></td><td>設定禁止</td></tr><tr><td>101</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>110</td><td>INT3 入力</td><td>INT2 入力</td><td>INT1 入力</td><td>INT0 入力</td></tr><tr><td>111</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td></tr></table>							<PFxF2,PFxF,PFxC>	PF6	PF5	PF4	PF3	PF2	PF1	PF0	000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	001	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	010	TA6IN 入力	設定禁止	設定禁止	RXD2 入力	設定禁止	設定禁止	HSSI0 入力	011	設定禁止	TA5OUT 出力	設定禁止	TA3OUT 出力	設定禁止	TA1OUT 出力	設定禁止	100	設定禁止		設定禁止		設定禁止		設定禁止	101	設定禁止	設定禁止	設定禁止	設定禁止	110	INT3 入力	INT2 入力	INT1 入力	INT0 入力	111	設定禁止	設定禁止	設定禁止	設定禁止
			<PFxF2,PFxF,PFxC>	PF6	PF5	PF4	PF3	PF2	PF1	PF0																																																																	
			000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート																																																																	
			001	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート																																																																	
			010	TA6IN 入力	設定禁止	設定禁止	RXD2 入力	設定禁止	設定禁止	HSSI0 入力																																																																	
			011	設定禁止	TA5OUT 出力	設定禁止	TA3OUT 出力	設定禁止	TA1OUT 出力	設定禁止																																																																	
			100	設定禁止		設定禁止		設定禁止		設定禁止																																																																	
			101	設定禁止		設定禁止		設定禁止		設定禁止																																																																	
			110	INT3 入力		INT2 入力		INT1 入力		INT0 入力																																																																	
111	設定禁止	設定禁止	設定禁止	設定禁止																																																																							

I/O ポート(5/6)

PJFC2	ポート J ファンクション レジスタ 2	004DH (RMW 禁)	PJ7F	PJ6F	PJ5F	PJ4F																																																																										
			W																																																																													
			0	0	0	0																																																																										
			<PJFC の欄を参照>																																																																													
PJCR	ポート J コントロール レジスタ	004EH (RMW 禁)	PJ7C	PJ6C	PJ5C	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C																																																																						
			W																																																																													
			0	0	0	0	0	0	0	0																																																																						
			<PJFC の欄を参照>																																																																													
PJFC	ポート J ファンクション レジスタ	004FH (RMW 禁)	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F																																																																						
			W																																																																													
			0	0	0	0	0	0	0	0																																																																						
			<table><tr><td><PJxF2,PJxF,PJxC></td><td>PJ7</td><td>PJ6</td><td>PJ5</td><td>PJ4</td><td>PJ3</td><td>PJ2</td><td>PJ1</td><td>PJ0</td></tr><tr><td>000</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td></tr><tr><td>001</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td><td>出力ポート</td></tr><tr><td>010</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>011</td><td>TB3OUT1 出力</td><td>TB3OUT0 出力</td><td>TB2OUT1 出力</td><td>TB2OUT0 出力</td><td>TB1OUT1 出力</td><td>TB1OUT0 出力</td><td>TB0OUT1 出力</td><td>TB0OUT0 出力</td></tr><tr><td>100</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td rowspan="3"></td><td rowspan="3"></td><td rowspan="3"></td><td rowspan="3"></td></tr><tr><td>101</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>110</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>111</td><td>TB5OUT1 出力</td><td>TB5OUT0 出力</td><td>TB4OUT1 出力</td><td>TB4OUT0 出力</td></tr></table>									<PJxF2,PJxF,PJxC>	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	001	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	010	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	011	TB3OUT1 出力	TB3OUT0 出力	TB2OUT1 出力	TB2OUT0 出力	TB1OUT1 出力	TB1OUT0 出力	TB0OUT1 出力	TB0OUT0 出力	100	設定禁止	設定禁止	設定禁止	設定禁止					101	設定禁止	設定禁止	設定禁止	設定禁止	110	設定禁止	設定禁止	設定禁止	設定禁止	111	TB5OUT1 出力	TB5OUT0 出力	TB4OUT1 出力	TB4OUT0 出力
			<PJxF2,PJxF,PJxC>	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0																																																																					
			000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート																																																																					
			001	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート																																																																					
			010	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止																																																																					
			011	TB3OUT1 出力	TB3OUT0 出力	TB2OUT1 出力	TB2OUT0 出力	TB1OUT1 出力	TB1OUT0 出力	TB0OUT1 出力	TB0OUT0 出力																																																																					
			100	設定禁止	設定禁止	設定禁止	設定禁止																																																																									
			101	設定禁止	設定禁止	設定禁止	設定禁止																																																																									
			110	設定禁止	設定禁止	設定禁止	設定禁止																																																																									
			111	TB5OUT1 出力	TB5OUT0 出力	TB4OUT1 出力	TB4OUT0 出力																																																																									
PKFC2	ポート K ファンクション レジスタ 2	0051H (RMW 禁)	PK7F2	PK6F2	PK5F2	PK4F2	PK3F2	PK2F2	PK1F2	PK0F2																																																																						
			W																																																																													
			0	0	0	0	0	0	0	0																																																																						
			<PKFC の欄を参照>																																																																													
PKFC	ポート K ファンクション レジスタ	0053H (RMW 禁)	PK7F	PK6F	PK5F	PK4F	PK3F	PK2F	PK1F	PK0F																																																																						
			W																																																																													
			0	0	0	0	0	0	0	0																																																																						
			<table><tr><td><PKxF2,PKxF></td><td>PK7</td><td>PK6</td><td>PK5</td><td>PK4</td><td>PK3</td><td>PK2</td><td>PK1</td><td>PK0</td></tr><tr><td>00</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td><td>入力ポート</td></tr><tr><td>01</td><td>TB3IN1 入力</td><td>TB3IN0 入力</td><td>TB2IN1 入力</td><td>TB2IN0 入力</td><td>TB1IN1 入力</td><td>TB1IN0 入力</td><td>TB0IN1 入力</td><td>TB0IN0 入力</td></tr><tr><td>10</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td><td>設定禁止</td></tr><tr><td>11</td><td>INTB 入力</td><td>INTA 入力</td><td>INT9 入力</td><td>INT8 入力</td><td>INT7 入力</td><td>INT6 入力</td><td>INT5 入力</td><td>INT4 入力</td></tr></table>									<PKxF2,PKxF>	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0	00	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	01	TB3IN1 入力	TB3IN0 入力	TB2IN1 入力	TB2IN0 入力	TB1IN1 入力	TB1IN0 入力	TB0IN1 入力	TB0IN0 入力	10	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	11	INTB 入力	INTA 入力	INT9 入力	INT8 入力	INT7 入力	INT6 入力	INT5 入力	INT4 入力																								
			<PKxF2,PKxF>	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0																																																																					
			00	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート																																																																					
			01	TB3IN1 入力	TB3IN0 入力	TB2IN1 入力	TB2IN0 入力	TB1IN1 入力	TB1IN0 入力	TB0IN1 入力	TB0IN0 入力																																																																					
			10	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止																																																																					
			11	INTB 入力	INTA 入力	INT9 入力	INT8 入力	INT7 入力	INT6 入力	INT5 入力	INT4 入力																																																																					

I/O ポート(6/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0	
PLFC2	ポート L ファンクション レジスタ 2	0055H (RMW 禁)		PL6F2	PL5F2	PL4F2	PL3F2	PL2F2	PL1F2	PL0F2	
				W							
			0	0	0	0	0	0	0		
			<PLFC の欄を参照>								
PLCR	ポート L ファンクション レジスタ	0056H (RMW 禁)	PL7C	PL6C	PL5C	PL4C	PL3C	PL2C	PL1C	PL0C	
			W								
			0	0	0	0	0	0	0		
			<PLFC の欄を参照>								
PLFC	ポート L ファンクション レジスタ	0057H (RMW 禁)	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F	
			W								
			0	0	0	0	0	0	0		
			<PLx F2, PLx F, PLx C>	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
			000	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
			001	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
			010	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
			011	PG13 出力	PG12 出力	PG11 出力	PG10 出力	PG03 出力	PG02 出力	PG01 出力	PG00 出力
			100		設定禁止	設定禁止	HSSI1 入力	設定禁止	SCLK3/ CTS3 入力	設定禁止	RXD3 入力
			101		HCLK1 出力	HSSO1 出力	設定禁止	設定禁止	SCLK3 出力 (Open Drain Disable)	設定禁止	
110	設定禁止	設定禁止	設定禁止		設定禁止	設定禁止	設定禁止	設定禁止			
111	設定禁止	設定禁止	設定禁止	設定禁止	TA7OUT 出力	設定禁止	TXD3 出力 (Open Drain Enable)	設定禁止			
PMFC	ポート M ファンクション レジスタ	005BH (RMW 禁)	PM7F	PM6F	PM5F	PM4F	PM3F	PM2F	PM1F	PM0F	
			W								
			1	1	1	1	1	1	1		
			0:ポート入力/キー入力 1:アナログ入力								
PNFC	ポート N ファンクション レジスタ	005FH (RMW 禁)					PN3F	PN2F	PN1F	PN0F	
			W								
							1	1	1	1	
			0:ポート入力 1:アナログ入力								

(2) 割り込み制御 (1/5)

Symbol	Name	Address	7	6	5	4	3	2	1	0
INTE01	INT0 & INT1 Enable	00D0H	INT1				INT0			
			I1C	I1M2	I1M1	I1M0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT1	割り込み要求レベル			1:INT0	割り込み要求レベル		
INTE23	INT2 & INT3 Enable	00D1H	INT3				INT2			
			I3C	I3M2	I3M1	I3M0	I2C	I2M2	I2M1	I2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT3	割り込み要求レベル			1:INT2	割り込み要求レベル		
INTE45	INT4 & INT5 Enable	00D2H	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT5	割り込み要求レベル			1:INT4	割り込み要求レベル		
INTE67	INT6 & INT7 Enable	00D3H	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT7	割り込み要求レベル			1:INT6	割り込み要求レベル		
INTETA01	INTTA0 & INTTA1 Enable	00D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTA1	割り込み要求レベル			1:INTTA0	割り込み要求レベル		
INTETA23	INTTA2 & INTTA3 Enable	00D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTA3	割り込み要求レベル			1:INTTA2	割り込み要求レベル		
INTE8TA45	INTTA4 & INT8/INTTA5 Enable	00D6H	INT8/INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT8/ INTTA5	割り込み要求レベル			1:INTTA4	割り込み要求レベル		
INTE9TA67	INTTA6 & INT9/INTTA7 Enable	00D7H	INT9/INTTA7 (TMRA7)				INTTA6 (TMRA6)			
			ITA7C	ITA7M2	ITA7M1	ITA7M0	ITA6C	ITA6M2	ITA6M1	ITA6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INT9/ INTTA7	割り込み要求レベル			1:INTTA6	割り込み要求レベル		

割り込み制御 (2/5)

INTES0	INTRX0 & INTTX0 Enable	00D8H	INTTX0				INTRX0				
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
1:INTTX0			割り込み要求レベル			1:INTRX0			割り込み要求レベル		
INTES1	INTRX1 & INTTX1 Enable	00D9H	INTTX1				INTRX1				
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
1:INTTX1			割り込み要求レベル			1:INTRX1			割り込み要求レベル		
INTES2	INTRX2 & INTTX2 Enable	00DAH	INTTX2				INTRX2				
			ITX2C	ITX2M2	ITX2M1	ITX2M0	IRX2C	IRX2M2	IRX2M1	IRX2M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
1:INTTX2			割り込み要求レベル			1:INTRX2			割り込み要求レベル		
INTES3	INTRX3 & INTTX3 Enable	00DBH	INTTX3				INTRX3				
			ITX3C	ITX3M2	ITX3M1	ITX3M0	IRX3C	IRX3M2	IRX3M1	IRX3M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
1:INTTX3			割り込み要求レベル			1:INTRX3			割り込み要求レベル		
INTESB0	INTSBE0 Enable	00DCH	-				INTSBE0				
			-	-	-	-	ISBE0C	ISBE0M2	ISBE0M1	ISBE0M0	
							R	R/W			
							0	0	0	0	
注: 0 をライトしてください			1:INTSBE0			割り込み要求レベル					
INTESB1	INTSBE1 Enable	00DDH	-				INTSBE1				
			-	-	-	-	ISBE1C	ISBE1M2	ISBE1M1	ISBE1M0	
							R	R/W			
							0	0	0	0	
注: 0 をライトしてください			1:INTSBE1			割り込み要求レベル					
INTEAHSC0	INTA & INTHSC0 Enable	00DEH	INTHSC0				INTA				
			IHSC0C	IHSTX0M2	IHSTX0M1	IHSTX0M0	IAC	IAM2	IAM1	IAM0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
1:INTHSC0			割り込み要求レベル			1:INTA			割り込み要求レベル		
INTEBHSC1	INTB & INTHSC1 Enable	00DFH	INTHSC1				INTB				
			IHSC1C	IHSTX1M2	IHSTX1M1	IHSTX1M0	IBC	IBM2	IBM1	IBM0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
1:INTHSC1			割り込み要求レベル			1:INTB			割り込み要求レベル		

割り込み制御 (3/5)

Symbol	Name	Address	7	6	5	4	3	2	1	0
INTETB0	INTTB00 & INTTB01 Enable	00E0H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTB01	割り込み要求レベル			1:INTETB00	割り込み要求レベル		
INTETB1	INTTB10 & INTTB11 Enable	00E2H	INTTB11 (TMRB1)				INTTB10 (TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTB11	割り込み要求レベル			1:INTTB10	割り込み要求レベル		
INTETB2	INTTB20 & INTTB21 Enable	00E5H	INTTB21 (TMRB2)				INTTB20 (TMRB2)			
			ITB21C	ITB21M2	ITB21M1	ITB21M0	ITB20C	ITB20M2	ITB20M1	ITB20M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTB21	割り込み要求レベル			1:INTTB20	割り込み要求レベル		
INTETB3	INTTB30 & INTTB31 Enable	00E6H	INTTB31/INTTB30 (TMRB3)							
							ITB3XC	ITB3XM2	ITB3XM1	ITB3XM0
							R	R/W		
							0	0	0	0
			注: 0 をライトしてください				1:INTTB31/30	割り込み要求レベル		
INTETB4	INTTB40 & INTTB41 Enable	00E7H	INTTB41/INTTB40 (TMRB4)							
							ITB4XC	ITB4XM2	ITB4XM1	ITB4XM0
							R	R/W		
							0	0	0	0
			注: 0 をライトしてください				1:INTTB41/40	割り込み要求レベル		
INTETB5	INTTB50 & INTTB51 Enable	00E8H	INTTB51/INTTB50 (TMRB5)							
							ITB5XC	ITB5XM2	ITB5XM1	ITB5XM0
							R	R/W		
							0	0	0	0
			注: 0 をライトしてください				1:INTTB51/50	割り込み要求レベル		
INTETBOX	INTTBOX (Overflow) Enable	00E9H	INTTBOX							
							ITBOXC	ITBOXM2	ITBOXM1	ITBOXM0
							R	R/W		
							0	0	0	0
			注: 0 をライトしてください				1:INTTBOX	割り込み要求レベル		

割り込み制御 (4/5)

INTEPAD	INTP0 & INTAD Enable	00E4H	INTP0				INTAD			
			IP0C	IP0M2	IP0M1	IP0M0	IADC	IADM2	IADM1	IADM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTP0	割り込み要求レベル			1:INTAD	割り込み要求レベル		
INTNMWDT	NMI & INTWDT Enable	00EFH	NMI				INTWDT			
			INCNM	—	—	—	INCWD	—	—	—
			R				R			
			0				0			
			1:NMI				1:INTWDT			
INTETC01	INTTC0 & INTTC1 Enable	00F0H	INTTC1 (DMA1)				INTTC0 (DMA0)			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC1	割り込み要求レベル			1:INTTC0	割り込み要求レベル		
INTETC23	INTTC2 & INTTC3 Enable	00F1H	INTTC3 (DMA3)				INTTC2 (DMA2)			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC3	割り込み要求レベル			1:INTTC2	割り込み要求レベル		
INTETC45	INTTC4 & INTTC5 Enable	00F2H	INTTC5 (DMA5)				INTTC4 (DMA4)			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC5	割り込み要求レベル			1:INTTC4	割り込み要求レベル		
INTETC67	INTTC6 & INTTC7 Enable	00F3H	INTTC7 (DMA7)				INTTC6 (DMA6)			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1:INTTC7	割り込み要求レベル			1:INTTC6	割り込み要求レベル		

割り込み制御 (5/5)

Symbol	Name	Address	7	6	5	4	3	2	1	0
SIMC	SIO Interrupt Mode コントロール	00F5 (RMW 禁)	—				IR3LE	IR2LE	IR1LE	IR0LE
			W				R/W			
			0				1	1	1	1
			“1”をライトしてください				INTRX3 0: edge mode 1: level mode	INTRX2 0: edge mode 1: level mode	INTRX1 0: edge mode 1: level mode	INTRX0 0: edge mode 1: level mode
IIMC0	Interrupt 入力モード コントロール 0	00F6H (RMW 禁)								NMIREE
										R/W
										0
										NMI 0: Falling 1: Falling and Rising
IIMC1	Interrupt 入力モード コントロール 1	00FAH (RMW 禁)	I7LE	I6LE	I5LE	I4LE	I3LE	I2LE	I1LE	I0LE
			R/W							
			0	0	0	0	0	0	0	0
			INT7 0: Edge 1: Level	INT6 0: Edge 1: Level	INT5 0: Edge 1: Level	INT4 0: Edge 1: Level	INT3 0: Edge 1: Level	INT2 0: Edge 1: Level	INT1 0: Edge 1: Level	INT0 0: Edge 1: Level
IIMC2	Interrupt 入力モード コントロール 2	00FBH (RMW 禁)	I7EDGE	I6EDGE	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE
			R/W							
			0	0	0	0	0	0	0	0
			INT7 0: Rising /High 1: Falling /Low	INT6 0: Rising /High 1: Falling /Low	INT5 0: Rising /High 1: Falling /Low	INT4 0: Rising /High 1: Falling /Low	INT3 0: Rising /High 1: Falling /Low	INT2 0: Rising /High 1: Falling /Low	INT1 0: Rising /High 1: Falling /Low	INT0 0: Rising /High 1: Falling /Low
IIMC3	Interrupt 入力モード コントロール 3	010EH (RMW 禁)					IBLE	IALE	I9LE	I8LE
			R/W							
							0	0	0	0
							INTB 0: Edge 1: Level	INTA 0: Edge 1: Level	INT9 0: Edge 1: Level	INT8 0: Edge 1: Level
IIMC4	Interrupt 入力モード コントロール 4	010FH (RMW 禁)					IBEDGE	IAEDGE	I9EDGE	I8EDGE
			R/W							
							0	0	0	0
							INTB 0: Rising /High 1: Falling /Low	INTA 0: Rising /High 1: Falling /Low	INT9 0: Rising /High 1: Falling /Low	INT8 0: Rising /High 1: Falling /Low
INTCLR	Interrupt Clear コントロール	00F8H (RMW 禁)	—	—	—	—	—	—	—	—
			W							
			0	0	0	0	0	0	0	0
			マイクロ DMA 起動ベクタの書き込みによる割り込み要求フラグのクリア							
INTSEL	割り込み 兼用選択	010CH (RMW 禁)	—	DP49SEL	DP48SEL	DP47SEL	DP39SEL	DP37SEL	DP26SEL	DP24SEL
			R/W							
				0	0	0	0	0	0	0
				0:INTTB50 割り込み 有効 1:INTTB51 割り込み 有効	0:INTTB40 割り込み 有効 1:INTTB41 割り込み 有効	0:INTTB30 割り込み 有効 1:INTTB31 割り込み 有効	0:INTB 割り込み 無効 1:INTB 割り込み 有効	0:INTA 割り込み 無効 1:INTA 割り込み 有効	0:INTTA7 割り込み 有効 1:INT9 割り込み 有効	0:INTTA5 割り込み 有効 1:INT8 割り込み 有効
INTST	割り込み 発生フラグ	010DH (RMW 禁)			TBOF5ST	TBOF4ST	TBOF3ST	TBOF2ST	TBOF1ST	TBOF0ST
			R/W							
					0	0	0	0	0	0
					Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:“0”クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:“0”クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:“0”クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:“0”クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:“0”クリア 1:Don't care	Read 時 0:割り込み 発生なし 1:割り込み 発生あり Write 時 0:“0”クリア 1:Don't care

(3) DMA コントローラ

Symbol	Name	Address	7	6	5	4	3	2	1	0
DMA0V	DMA0 Start Vector	0100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 Start Vector					
DMA1V	DMA1 Start Vector	0101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 Start Vector					
DMA2V	DMA2 Start Vector	0102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 Start Vector					
DMA3V	DMA3 Start Vector	0103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 Start Vector					
DMA4V	DMA4 Start Vector	0104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 Start Vector					
DMA5V	DMA5 Start Vector	0105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 Start Vector					
DMA6V	DMA6 Start Vector	0106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 Start Vector					
DMA7V	DMA7 Start Vector	0107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 Start Vector					
DMAB	DMA Burst	0108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
DMAR	DMA Request	0109H (RMW 禁)	1: DMA request on Burst Mode							
			DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0
1:DMA request in software										

(4) メモリコントローラ (1/3)

Symbol	Name	Address	7	6	5	4	3	2	1	0
B0CSL	BLOCK 0 MEMC コントロール レジスタ Low	0140H (RMW 禁)		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0
				W				W		
				0	1	0		0	1	0
				Write waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子			Read waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子	
B0CSH	BLOCK 0 MEMCT コントロール レジスタ High	0141H (RMW 禁)	B0E	—	—	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
			W					W		
			0			0	0	0	0	0
			CS select 0:Disable 1:Enable	“0”をライ トしてく ださい	“0”をライ トしてく ださい	0:ダミーサイク ルを入れない 1:ダミーサイク ルを入れる	00:ROM/SRAM 01:予約 10:予約 11:予約		Data Bus width 00:8bit 01:16bit 10:予約 11:予約	
B1CSL	BLOCK 1 MEMC コントロール レジスタ Low	0144H (RMW 禁)		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0
				W				W		
				0	1	0		0	1	0
				Write waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子			Read waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子	
B1CSH	BLOCK 1 MEMC コントロール レジスタ High	0145H (RMW 禁)	B1E	—	—	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
			W					W		
			0			0	0	0	0	0
			CS select 0:Disable 1:Enable	“0”をライ トしてく ださい	“0”をライ トしてく ださい	0:ダミーサイク ルを入れない 1:ダミーサイク ルを入れる	00:ROM/SRAM 01:予約 10:予約 11:予約		Data Bus width 00:8bit 01:16bit 10:予約 11:予約	
B2CSL	BLOCK 2 MEMC コントロール レジスタ Low	0148H (RMW 禁)		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0
				W				W		
				0	1	0		0	1	0
				Write waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子			Read waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子	
B2CSH	BLOCK 2 MEMC コントロール レジスタ High	0149H (RMW 禁)	B2E	B2M	—	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
			W					W		
			1	0		0	0	0	0/1	0/1
			CS select 0:Disable 1:Enable	0:16MB 1:Sets area	“0”をライ トしてく ださい	0:ダミーサイク ルを入れない 1:ダミーサイク ルを入れる	00:ROM/SRAM 01:予約 10:予約 11:予約		Data Bus width 00:8bit 01:16bit 10:予約 11:予約	
B3CSL	BLOCK 3 MEMC コントロール レジスタ Low	014CH (RMW 禁)		B3WW2	B3WW1	B3WW0		B3WR2	B3WR1	B3WR0
				W				W		
				0	1	0		0	1	0
				Write waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子			Read waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子	
B3CSH	BLOCK 3 MEMC コントロール レジスタ High	014DH (RMW 禁)	B3E	—	—	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
			W					W		
			0			0	0	0	0	0
			CS select 0:Disable 1:Enable	“0”をライ トしてく ださい	“0”をライ トしてく ださい	0:ダミーサイク ルを入れない 1:ダミーサイク ルを入れる	00:ROM/SRAM 01:予約 10:予約 11:SDRAM		Data Bus width 00:8bit 01:16bit 10:予約 11:予約	

注) 1. B2CSH<B2BUS1:0>へは、リセット解除時の AM[1:0]端子の状態により値が設定されます。

メモリコントローラ (2/3)

Symbol	Name	Address	7	6	5	4	3	2	1	0
B4CSL	BLOCK 4 MEMC コントロール レジスタ Low	0150H (RMW 禁)		B4WW2	B4WW1	B4WW0		B4WR2	B4WR1	B4WR0
				W				W		
				0	1	0		0	1	0
				Write waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子		Read waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子		
B4CSH	BLOCK 4 MEMC コントロール レジスタ High	0151H (RMW 禁)	B4E	—	—	B4REC	B4OM1	B4OM0	B4BUS1	B4BUS0
			W					W		
			0			0	0	0	0	0
			CS select 0:Disable 1:Enable	"0"をライ トしてく ださい	"0"をライ トしてく ださい	0:ダミーサイク ルを入れない 1:ダミーサイク ルを入れる	00:ROM/SRAM 01:予約 10:予約 11:予約		Data Bus width 00:8bit 01:16bit 10:予約 11:予約	
B5CSL	BLOCK 4 MEMC コントロール レジスタ Low	0154H (RMW 禁)		B5WW2	B5WW1	B5WW0		B5WR2	B5WR1	B5WR0
				W				W		
				0	1	0		0	1	0
				Write waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子		Read waits 001:0WAIT 101:2WAIT 111:4WAIT Others:予約	010:1WAIT 110:3WAIT 011: WAIT 端子		
B5CSH	BLOCK 4 MEMC コントロール レジスタ High	0155H (RMW 禁)	B5E	—	—	B5REC	B5OM1	B5OM0	B5BUS1	B5BUS0
			W					W		
			0			0	0	0	0	0
			CS select 0:Disable 1:Enable	"0"をライ トしてく ださい	"0"をライ トしてく ださい	0:ダミーサイク ルを入れない 1:ダミーサイク ルを入れる	00:ROM/SRAM 01:予約 10:予約 11:予約		Data Bus width 00:8bit 01:16bit 10:予約 11:予約	
BEXCSL	BLOCK EX MEMC コントロール レジスタ Low	0158H		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
				W				W		
				0	1	0		0	1	0
				Write waits 001:2WAIT 101:2WAIT 011:1+NWAIT Others:予約	010:1WAIT 110:2WAIT Others:予約		Read waits 001:2WAIT 101:2WAIT 011:1+NWAIT Others:予約	010:1WAIT 110:2WAIT Others:予約		
BEXCSH	BLOCK EX MEMC コントロール レジスタ High	0159H					BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
				W				W		
				0	0	0	0	0	0	0
				"0"をライ トしてく ださい	"0"をライ トしてく ださい	"0"をライ トしてく ださい	00:ROM/SRAM 01:予約 10:予約 11:予約		Data Bus width 00:8bit 01:16bit 10:予約 11:予約	
PMEOCR	Page ROM コントロール レジスタ	0166H	—	—	—	OPGE	OPWR1	OPWR0	PR1	PR0
								R/W		
						0	0	0	1	0
						ROM page access 0:Disable 1:Enable	Wait number on page 00: 1state (n-1-1-1 mode) 01: 2state (n-2-2-2 mode) 10: 3state (n-3-3-3 mode) 11: 予約		Byte number in a page 00: 64byte 01: 32byte 10: 16byte 11: 8byte	

メモリコントローラ (3/3)

MAMR0	Memory マスク レジスタ 0	0142H	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-9	M0V8
			R/W							
			1	1	1	1	1	1	1	1
			0:Compare enable 1:Compare disable							
MSAR0	Memory スタート アドレス レジスタ 0	0143H	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
			R/W							
			1	1	1	1	1	1	1	1
			Set スタート アドレス A23 to A16							
MAMR1	Memory マスク レジスタ 1	0146H	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-9	M1V8
			R/W							
			1	1	1	1	1	1	1	1
			0:Compare enable 1:Compare disable							
MSAR1	Memory スタート アドレス レジスタ 1	0147H	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
			R/W							
			1	1	1	1	1	1	1	1
			Set スタート アドレス A23 to A16							
MAMR2	Memory マスク レジスタ 2	014AH	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
			R/W							
			1	1	1	1	1	1	1	1
			0:Compare enable 1:Compare disable							
MSAR2	Memory スタート アドレス レジスタ 2	014BH	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
			R/W							
			1	1	1	1	1	1	1	1
			Set スタート アドレス A23 to A16							
MAMR3	Memory マスク レジスタ 3	014EH	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
			R/W							
			1	1	1	1	1	1	1	1
			0:Compare enable 1:Compare disable							
MSAR3	Memory スタート アドレス レジスタ 3	014FH	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
			R/W							
			1	1	1	1	1	1	1	1
			Set スタート アドレス A23 to A16							
MAMR4	Memory マスク レジスタ 4	0152H	M4V22	M4V21	M4V20	M4V19	M4V18	M4V17	M4V16	M4V15
			R/W							
			1	1	1	1	1	1	1	1
			0:Compare enable 1:Compare disable							
MSAR4	Memory スタート アドレス レジスタ 4	0153H	M4S23	M4S22	M4S21	M4S20	M4S19	M4S18	M4S17	M4S16
			R/W							
			1	1	1	1	1	1	1	1
			Set スタート アドレス A23 to A16							
MAMR5	Memory マスク レジスタ 5	0156H	M5V22	M5V21	M5V20	M5V19	M5V18	M5V17	M5V16	M5V15
			R/W							
			1	1	1	1	1	1	1	1
			0:Compare enable 1:Compare disable							
MSAR5	Memory スタート アドレス レジスタ 5	0157H	M5S23	M5S22	M5S21	M5S20	M5S19	M5S18	M5S17	M5S16
			R/W							
			1	1	1	1	1	1	1	1
			Set スタート アドレス A23 to A16							

(5) クロック制御/ PLL (1/2)

Symbol	Name	Address	7	6	5	4	3	2	1	0
SYSCR0	System Clock Control 0	10E0H						—		
								R/W		
								0	0	0
								"0"をライトしてください		
SYSCR1	System Clock Control 1	10E1H						GEAR2	GEAR1	GEAR0
								R/W		
								1	0	0
								高周波のギア値選択(fc) 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101: (予約) 110: (予約) 111: (予約)		
SYSCR2	System Clock Control 2	10E2H	—		WUPTM1	WUPTM0	HALTM1	HALTM0		DRVE
			R/W				R/W			R/W
			0		1	0	1	1		0
			"0"をライトしてください.		ウォームアップタイム 00: 予約 01: 2^8 /入力周波数 10: 2^{14} /入力周波数 11: 2^{16} /入力周波数		HALT モード 00: 予約 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード			1: STOP モード 中でも端子をドライブします
PLLCR0	PLL Control 0	10E8H		FCSEL	LWUPFG					
				R/W	R					
				0	0					
			fc クロック選択 0: f _{OSCH} 1: f _{PLL}		ロックアップ タイム 状態フラグ 0: not end 1: end					
PLLCR1	PLL Control 1	10E9H	PLLON							
			R/W							
			0							
			PLL 制御 1: ON 0: OFF							

クロック制御/ PLL (2/2)

Symbol	Name	Address	7	6	5	4	3	2	1	0
EMCCR0	EMC コントロール レジスタ 0	10E3H	PROTECT					EXTIN	DRVOSCH	
			R					R/W	R/W	
			0					0	1	
			プロテクト フラグ 0: OFF 1: ON					1: fc 外部 クロック	fc 発振器 ドライブ 能力 1: NORMAL 0: WEAK	
EMCCR1	EMC コントロール レジスタ 1	10E4H	下記の 1 st -KEY, 2 nd -KEY の書き込みによりプロテクトの ON/OFF を切り替え 1 st -KEY: EMCCR1="5AH", EMCCR2="A5H" 連続ライト 2 nd -KEY: EMCCR1="A5H", EMCCR2="5AH" 連続ライト							
EMCCR2	EMC コントロール レジスタ 2	10E5H								

(6) SDRAM コントローラ

Symbol	名称	アドレス	7	6	5	4	3	2	1	0
SDACR1	SDRAM Access Control Register1	0250H	—	—	SMRD	SWRC	SBST	SBL1	SBL0	SMAC
			R/W							
			0	0	0	0	0	1	0	0
			“0”をライトしてください。	“0”をライトしてください。	モードレジスタリカバリタイム 0: 1clock 1: 2clock	ライトリカバリタイム 0: 1clock 1: 2clock	バーストストップコマンド 0: オールプリアチャージ 1: バーストストップ	バースト長選択 00: 予約 01: フルページリード, バーストライト 10: 1ワードリード, シングルライト 11: フルページリリー, シングルライト		SDRA コントローラ 0: 禁止 1: 許可
SDACR2	SDRAM Access Control Register2	0251H				SBS	SDRS1	SDRS0	SMUXW1	SMUXW0
						0	0	0	0	0
						BANK 数 0: 2バンク 1: 4バンク	ROW アドレスサイズ選択 00: 2048rows (11bits) 01: 4096rows (12bits) 10: 8192rows (13bits) 11: 予約	アドレスマルチプレクスタイプ選択 00: TypeA (A9-) 01: TypeB (A10-) 10: TypeC (A11-) 11: 予約		
SDRCR	SDRAM Refresh Control Register	0252H				SSAE	SRS2	SRS1	SRS0	SRC
						1	0	0	0	0
						SR オート Exit 機能 0: Disable 1: Enable	リフレッシュ間隔 000: 47state 100: 156state 001: 78state 101: 295state 010: 97state 110: 249state 011: 124state 111: 312state		オートリフレッシュ 0: Disable 1: Enable	
SDCMM	SDRAM Command Register	0253H						SCMM2	SCMM1	SCMM0
								0	0	0
								コマンド実行 000: 実行なし 001: イニシャライズコマンド実行 a. 全バンクをプリチャージ b. 8回のオートリフレッシュ c. モードレジスタ設定 100: モードレジスタセット 101: セルフリフレッシュ ENTRY 実行 110: セルフリフレッシュ EXIT 実行 その他: 予約		

(7) 8 ビットタイマ (1/2)

Symbol	Name	Address	7	6	5	4	3	2	1	0
TA01RUN	TMRA01 RUN レジスタ	1100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN
			R/W					R/W		
			0				0	0	0	0
			Double buffer 0: Disable 1: Enable				IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)		
TA0REG	TMRA0 レジスタ	1102H (RMW 禁)	—	—	—	—	—	—	—	—
			W							
			不定							
TA1REG	TMRA1 レジスタ	1103H (RMW 禁)	—	—	—	—	—	—	—	—
			W							
			不定							
TA01MOD	TMRA01 MODE レジスタ	1104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード 00: 8-Bit Timer Mode 01: 16-Bit Timer Mode 10: 8-Bit PPG Mode 11: 8-Bit PWM Mode		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 ソースクロック 00: TA0IN 入力 01: φT1 10: φT4 11: φT16	
TA1FFCR	TMRA01 Flip-Flop Control レジスタ	1105H					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
							R/W		R/W	
							1	1	0	0
							00: Invert TA1FF 01: Set TA1FF 10: Clear TA1FF 11: Don't care		TA1FF 反転制御 0: Disable 1: Enable	TA1FF Inversion select 0: TMRA0 1: TMRA1
TA23RUN	TMRA23 RUN レジスタ	1108H	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN
			R/W					R/W		
			0				0	0	0	0
			Double buffer 0: Disable 1: Enable				IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)		
TA2REG	TMRA2 レジスタ	110AH (RMW 禁)	—	—	—	—	—	—	—	—
			W							
			不定							
TA3REG	TMRA3 レジスタ	110BH (RMW 禁)	—	—	—	—	—	—	—	—
			W							
			不定							
TA23MOD	TMRA23 MODE レジスタ	110CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード 00: 8-Bit Timer Mode 01: 16-Bit Timer Mode 10: 8-Bit PPG Mode 11: 8-Bit PWM Mode		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA3 ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2 ソースクロック 00: TA2IN 入力 01: φT1 10: φT4 11: φT16	
TA3FFCR	TMRA23 Flip-Flop Control レジスタ	110DH					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
							R/W		R/W	
							1	1	0	0
							00: Invert TA3FF 01: Set TA3FF 10: Clear TA3FF 11: Don't care		TA3FF 反転制御 0: Disable 1: Enable	TA3FF Inversion select 0: TMRA2 1: TMRA3

8 ビットタイマ (2/2)

Symbol	Name	Address	7	6	5	4	3	2	1	0		
TA45RUN	TMRA45 RUN レジスタ	1110H	TA4RDE				I2TA45	TA45PRUN	TA5RUN	TA4RUN		
			R/W				R/W					
			0				0	0	0	0		
			Double buffer 0: Disable 1: Enable				IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)				
TA4REG	TMRA4 レジスタ	1112H (RMW 禁)	—	—	—	—	—	—	—			
			W 不定									
TA5REG	TMRA5 レジスタ	1113H (RMW 禁)	—	—	—	—	—	—	—			
			W 不定									
TA45MOD	TMRA45 MODE レジスタ	1114H	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0		
			R/W									
			0	0	0	0	0	0	0	0		
			動作モード 00: 8-Bit Timer Mode 01: 16-Bit Timer Mode 10: 8-Bit PPG Mode 11: 8-Bit PWM Mode		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA5 ソースクロック 00: TA4TRG 01: φT1 10: φT16 11: φT256		TMRA4 ソースクロック 00: TA4IN 入力 01: φT1 10: φT4 11: φT16			
TA5FFCR	TMRA45 Flip-Flop Conttoll レジスタ	1115H					TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS		
			R/W							R/W		
			1							1	0	0
			00: Invert TA5FF 01: Set TA5FF 10: Clear TA5FF 11: Don't care							TA5FF 反転制御 0: Disable 1: Enable	TA5FF Inversion select 0: TMRA4 1: TMRA5	
TA67RUN	TMRA67 RUN レジスタ	1118H	TA6RDE				I2TA67	TA67PRUN	TA7RUN	TA6RUN		
			R/W				R/W					
			0				0	0	0	0		
			Double buffer 0: Disable 1: Enable				IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)				
TA6REG	TMRA6 レジスタ	111AH (RMW 禁)	—	—	—	—	—	—	—			
			W 不定									
TA7REG	TMRA7 レジスタ	111BH (RMW 禁)	—	—	—	—	—	—	—			
			W 不定									
TA67MOD	TMRA67 MODE レジスタ	111CH	TA67M1	TA67M0	PWM61	PWM60	TA7CLK1	TA7CLK0	TA6CLK1	TA6CLK0		
			R/W									
			0	0	0	0	0	0	0	0		
			動作モード 00: 8-Bit Timer Mode 01: 16-Bit Timer Mode 10: 8-Bit PPG Mode 11: 8-Bit PWM Mode		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA7 ソースクロック 00: TA6TRG 01: φT1 10: φT16 11: φT256		TMRA6 ソースクロック 00: TA6IN 入力 01: φT1 10: φT4 11: φT16			
TA7FFCR	TMRA67 Flip-Flop Conttoll レジスタ	111DH					TA7FFC1	TA7FFC0	TA7FFIE	TA7FFIS		
			R/W							R/W		
			1							1	0	0
			00: Invert TA7FF 01: Set TA7FF 10: Clear TA7FF 11: Don't care							TA7FF 反転制御 0: Disable 1: Enable	TA7FF Inversion select 0: TMRA6 1: TMRA7	

(8) 16 ビットタイマ (1/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
TB0RUN	TMRB0 RUN レジスタ	1180H	TB0RDE	—			I2TB0	TB0PRUN		TB0RUN
			R/W	R/W		R/W	R/W		R/W	
			0	0		0	0		0	
			Double Buffer 0: Disable 1: Enable	"0"をライト してください		IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)			
TB0MOD	TMRB0 MODE レジスタ	1182H (RMW 禁)	TB0CT1	TB0ET1	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
			R/W		W	R/W				
			0	0	1	0	0	0	0	0
			TB0FF1 反転トリガ 0: Disable 1: Enable		ソフトウェア キャプチャ 0: ソフトキャ プチャ 1: 未定義	キャプチャタイミング 00: Disable INT4 は立上りエッジ 01: TB0IN0↑, TB0IN1↓ INT4 は立上りエッジ 10: TB0IN0↑, TB0IN0↓ INT4 は立下りエッジ 11: TA1OUT↑, TA1OUT↓ INT4 は立上りエッジ		アップカウン タクリア制御 0: Disable 1: Enable	入力クロック選択 00: TB0IN0 端子入力 01: φT1 10: φT4 11: φT16	
TB0FFCR	TMRB0 Flip-Flop コントロール レジスタ	1183H (RMW 禁)	TB0FF1C1	TB0FF1C0	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
			W*		W*					
			1	1	0	0	0	0	1	1
			TB0FF1 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます		TB0FF0 反転トリガ 0: Disable 1: Enable TB0CP1H/L へ のアップカウン タ取り込み時			TB0CP0H/L へ のアップカウ ンタ取り込み 時		アップカウン タと TB0RG1H/L との一致時
TB0RG0L	TMRB0 レジスタ 0 Low	1188H (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB0RG0H	TMRB0 レジスタ 0 High	1189H (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB0RG1L	TMRB0 レジスタ 1 Low	118AH (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB0RG1H	TMRB0 レジスタ 1 High	118BH (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB0CP0L	TMRB0 Capture レジスタ 0 Low	118CH	—	—	—	—	—	—	—	—
			R 不定							
TB0CP0H	TMRB0 Capture レジスタ 0 High	118DH	—	—	—	—	—	—	—	—
			R 不定							
TB0CP1L	TMRB0 Capture レジスタ 1 Low	118EH	—	—	—	—	—	—	—	—
			R 不定							
TB0CP1H	TMRB0 Capture レジスタ 1 High	118FH	—	—	—	—	—	—	—	—
			R 不定							

16 ビットタイマ (2/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
TB1RUN	TMRB1 RUN レジスタ	1190H	TB1RDE	—			I2TB1	TB1PRUN		TB1RUN
			R/W	R/W		R/W	R/W		R/W	
			0	0		0	0		0	
			Double Buffer 0: Disable 1: Enable	"0"をライト してください		IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)			
TB1MOD	TMRB1 MODE レジスタ	1192H (RMW 禁)	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
			R/W		W			R/W		
			0	0	1	0	0	0	0	0
			TB1FF1 反転トリガ 0: Disable 1: Enable		ソフトウェア キャプチャ 0: ソフトキャ プチャ 1: 未定義	キャプチャタイミング 00: Disable INT6 は立上りエッジ 01: TB1IN0 ↑, TB1IN1 ↑ INT6 は立上りエッジ 10: TB1IN0 ↓, TB1IN0 ↓ INT6 は立下りエッジ 11: TA1OUT ↑, TA1OUT ↓ INT6 は立上りエッジ		アップカウン タクリア制御 0: Disable 1: Enable	入力クロック選択 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16	
TB1FFCR	TMRB1 Flip-Flop コントロール レジスタ	1193H (RMW 禁)	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FF0C1	TB1FF0C0
			W*			R/W			W*	
			1	1	0	0	0	0	1	1
			TB1FF1 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます		TB1FF0 反転トリガ 0: Disable 1: Enable		TB1CP1H/L へ のアップカウン タ取り込み時	TB1CP0H/L へ のアップカウ ンタ取り込み 時	アップカウン タと TB1RG1H/L との一致時	アップカウン タと TB1RG0H/L との一致時
TB1RG0L	TMRB1 レジスタ 0 Low	1198H (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB1RG0H	TMRB1 レジスタ 0 High	1199H (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB1RG1L	TMRB1 レジスタ 1 Low	119AH (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB1RG1H	TMRB1 レジスタ 1 High	119BH (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB1CP0L	TMRB1 Capture レジスタ 0 Low	119CH	—	—	—	—	—	—	—	—
			R 不定							
TB1CP0H	TMRB1 Capture レジスタ 0 High	119DH	—	—	—	—	—	—	—	—
			R 不定							
TB1CP1L	TMRB1 Capture レジスタ 1 Low	119EH	—	—	—	—	—	—	—	—
			R 不定							
TB1CP1H	TMRB1 Capture レジスタ 1 High	119FH	—	—	—	—	—	—	—	—
			R 不定							

16 ビットタイマ (3/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
TB2RUN	TMRB2 RUN レジスタ	11A0H	TB2RDE	—	—	—	I2TB2	TB2PRUN	—	TB2RUN
			R/W	R/W	—	—	R/W	R/W	—	R/W
			0	0	—	—	0	0	—	0
			Double Buffer 0: Disable 1: Enable	"0"をライト してください	—	—	IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)		
TB2MOD	TMRB2 MODE レジスタ	11A2H (RMW 禁)	TB2CT1	TB2ET1	TB2CP0I	TB2CPM1	TB2CPM0	TB2CLE	TB2CLK1	TB2CLK0
			R/W	—	W	—	—	R/W	—	—
			0	0	1	0	0	0	0	0
			TB2FF1 反転トリガ 0: Disable 1: Enable	ソフトウエア キャプチャ 0: ソフトキャ プチャ 1: 未定義	キャプチャタイミング 00: Disable INT8 は立上りエッジ 01: TB2IN0 ↑, TB2IN1 ↑ INT8 は立上りエッジ 10: TB2IN0 ↑, TB2IN0 ↓ INT8 は立下りエッジ 11: TA3OUT ↑, TA3OUT ↓ INT8 は立上りエッジ	アップ カウンタ クリア制御 0: Disable 1: Enable	入力クロック選択 00: TB2IN0 端子入力 01: φT1 10: φT4 11: φT6			
TB2FFCR	TMRB2 Flip-Flop コントロール レジスタ	11A3H (RMW 禁)	TB2FF1C1	TB2FF1C0	TB2C1T1	TB2C0T1	TB2E1T1	TB2E0T1	TB2FF0C1	TB2FF0C0
			W*	—	—	R/W	—	—	W*	—
			1	1	0	0	0	0	1	1
			TB2FF1 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます		TB2FF0 反転トリガ 0: Disable 1: Enable			TB2FF0 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます		
TB2RG0L	TMRB2 レジスタ 0 Low	11A8H (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB2RG0H	TMRB2 レジスタ 0 High	11A9H (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB2RG1L	TMRB2 レジスタ 1 Low	11AAH (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB2RG1H	TMRB2 レジスタ 1 High	11ABH (RMW 禁)	—	—	—	—	—	—	—	—
			W 不定							
TB2CP0L	TMRB2 Capture レジスタ 0 Low	11ACH	—	—	—	—	—	—	—	—
			R 不定							
TB2CP0H	TMRB2 Capture レジスタ 0 High	11ADH	—	—	—	—	—	—	—	—
			R 不定							
TB2CP1L	TMRB2 Capture レジスタ 1 Low	11AEH	—	—	—	—	—	—	—	—
			R 不定							
TB2CP1H	TMRB2 Capture レジスタ 1 High	11AFH	—	—	—	—	—	—	—	—
			R 不定							

16 ビットタイマ (4/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
TB3RUN	TMRB3 RUN レジスタ	11B0H	TB3RDE	—			I2TB3	TB3PRUN		TB3RUN
			R/W	R/W			R/W	R/W		R/W
			0	0			0	0		0
			Double Buffer 0: Disable 1: Enable	"0"をライト してください			IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)		
TB3MOD	TMRB3 MODE レジスタ	11B2H (RMW 禁)	TB3CT1	TB3ET1	TB3CP0I	TB3CPM1	TB3CPM0	TB3CLE	TB3CLK1	TB3CLK0
			R/W		W	R/W				
			0	0	1	0	0	0	0	0
			TB3FF1 反転トリガ 0: Disable 1: Enable	ソフトウェア キャプチャ 0: ソフトキャ プチャ 1: 未定義	キャプチャタイミング 00: Disable INTAは立上りエッジ 01: TB3IN0 ↑, TB3IN1 ↑ INTAは立上りエッジ 10: TB3IN0 ↑, TB3IN0 ↓ INTAは立下りエッジ 11: TA3OUT ↓, TA3OUT ↓ INTAは立上りエッジ	アップ カウンタ クリア制御 0: Disable 1: Enable	入力クロック選択 00: TB3IN0 端子入力 01: φT1 10: φT4 11: φT16			
TB3FFCR	TMRB3 Flip-Flop コントロール レジスタ	11B3H (RMW 禁)	TB3CP1H/Lへ アップカウンタ 値のキャプチャ 時	アップカウンタと TB3RG1H/L の一致時						
			TB3FF1C1	TB3FF1C0	TB3C1T1	TB3C0T1	TB3E1T1	TB3E0T1	TB3FF0C1	TB3FF0C0
			W*		R/W			W*		
			1	1	0	0	0	0	1	1
TB3RG0L	TMRB3 レジスタ 0 Low	11B8H (RMW 禁)	TB3FF1 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます		TB3FF0 反転トリガ 0: Disable 1: Enable			TB3FF0 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます		
					TB3CP1H/Lへ のアップカウン タ取り込み時	TB3CP0H/Lへ のアップカウン タ取り込み時	アップカウン タと TB3RG1H/L との一致時	アップカウン タと TB3RG0H/L との一致時		
					W					
					不定					
TB3RG0H	TMRB3 レジスタ 0 High	11B9H (RMW 禁)			W					
					不定					
TB3RG1L	TMRB3 レジスタ 1 Low	11BAH (RMW 禁)			W					
					不定					
TB3RG1H	TMRB3 レジスタ 1 High	11BBH (RMW 禁)			W					
					不定					
TB3CP0L	TMRB3 Capture レジスタ 0 Low	11BCH			R					
					不定					
TB3CP0H	TMRB3 Capture レジスタ 0 High	11BDH			R					
					不定					
TB3CP1L	TMRB3 Capture レジスタ 1 Low	11BEH			R					
					不定					
TB3CP1H	TMRB3 Capture レジスタ 1 High	11BFH			R					
					不定					

16 ビットタイマ (5/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
TB4RUN	TMRB4 RUN レジスタ	11C0H	TB4RDE	—			I2TB4	TB4PRUN		TB4RUN
			R/W	R/W		R/W	R/W		R/W	
			0	0		0	0		0	
			Double Buffer 0: Disable 1: Enable	"0"をライト してください			IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)		
TB4MOD	TMRB4 MODE レジスタ	11C2H (RMW 禁)	TB4CT1	TB4ET1	TB4CP0I	TB4CPM1	TB4CPM0	TB4CLE	TB4CLK1	TB4CLK0
			R/W		W		R/W			
			0	0	1	0	0	0	0	0
			TB4FF1 反転トリガ 0: Disable 1: Enable		ソフトウェア キャプチャ 0: ソフトキャ プチャ 1: 未定義	キャプチャタイミング 00: Disable 01: 予約 10: 予約 11: TA5OUT ↑, TA5OUT ↓		アップ カウンタ クリア制御 0: Disable 1: Enable	入力クロック選択 00: 予約 01: φT1 10: φT4 11: φT16	
TB4FFCR	TMRB4 Flip-Flop コントロール レジスタ	11C3H (RMW 禁)	TB4FF1C1	TB4FF1C0	TB4C1T1	TB4C0T1	TB4E1T1	TB4E0T1	TB4FF0C1	TB4FF0C0
			W*			R/W			W*	
			1	1	0	0	0	0	1	1
			TB4FF1 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます		TB4FF0 反転トリガ 0: Disable 1: Enable		TB4CP1H/L へ のアップカウン タ取り込み時	TB4CP0H/L へ のアップカウン タ取り込み時	アップカウン タと TB4RG1H/L との一致時	アップカウン タと TB4RG0H/L との一致時
TB4RG0L	TMRB4 レジスタ 0 Low	11C8H (RMW 禁)	—	—	—	—	—	—	—	—
TB4RG0H	TMRB4 レジスタ 0 High	11C9H (RMW 禁)	W 不定							
			—	—	—	—	—	—	—	—
TB4RG1L	TMRB4 レジスタ 1 Low	11CAH (RMW 禁)	W 不定							
			—	—	—	—	—	—	—	—
TB4RG1H	TMRB4 レジスタ 1 High	11CBH (RMW 禁)	W 不定							
			—	—	—	—	—	—	—	—
TB4CP0L	TMRB4 Capture レジスタ 0 Low	11CCH	R 不定							
			—	—	—	—	—	—	—	—
TB4CP0H	TMRB4 Capture レジスタ 0 High	11CDH	R 不定							
			—	—	—	—	—	—	—	—
TB4CP1L	TMRB4 Capture レジスタ 1 Low	11CEH	R 不定							
			—	—	—	—	—	—	—	—
TB4CP1H	TMRB4 Capture レジスタ 1 High	11CFH	R 不定							
			—	—	—	—	—	—	—	—

16 ビットタイマ (6/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
TB5RUN	TMRB5 RUN レジスタ	11D0H	TB5RDE	—			I2TB5	TB5PRUN		TB5RUN
			R/W	R/W		R/W	R/W		R/W	
			0	0		0	0		0	
			Double Buffer 0: Disable 1: Enable	"0"をライト してください		IDLE2 0: 停止 1: 動作	Timer Run/Stop control 0: Stop & Clear 1: Run (count up)			
TB5MOD	TMRB5 MODE レジスタ	11D2H (RMW 禁)	TB5CT1	TB5ET1	TB5CP0I	TB5CPM1	TB5CPM0	TB5CLE	TB5CLK1	TB5CLK0
			R/W		W			R/W		
			0	0	1	0	0	0	0	0
			TB5FF1 反転トリガ 0: Disable 1: Enable		ソフトウェア キャプチャ 0: ソフトキャ プチャ 1: 未定義	キャプチャタイミング 00: Disable 01: 予約 10: 予約 11: TA5OUT ↑, TA5OUT ↓		アップ カウンタ クリア制御 0: Disable 1: Enable	入力クロック選択 00: 予約 01: φT1 10: φT4 11: φT16	
TB5FFCR	TMRB5 Flip-Flop コントロール レジスタ	11D3H (RMW 禁)	TB5CP1H/L へ アップカウンタ 値のキャプチャ 時	アップカウ ンタと TB5RG1H/L の一致時						
			TB5FF1C1	TB5FF1C0	TB5C1T1	TB5C0T1	TB5E1T1	TB5E0T1	TB5FF0C1	TB5FF0C0
			W*		R/W				W*	
			1	1	0	0	0	0	1	1
TB5RG0L	TMRB5 レジスタ 0 Low	11D8H (RMW 禁)	TB5FF1 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます		TB5FF0 反転トリガ 0: Disable 1: Enable				TB5FF0 制御 00: Invert 01: Set 10: Clear 11: Don't care リード時は常に"11"が読み出 されます	
					TB5CP1H/L へ のアップカウン タ取り込み時	TB5CP0H/L へ のアップカウ ンタ取り込み 時	アップカウ ンタと TB5RG1H/L との一致時	アップカウ ンタと TB5RG0H/L との一致時		
TB5RG0H	TMRB5 レジスタ 0 High	11D9H (RMW 禁)								
TB5RG1L	TMRB5 レジスタ 1 Low	11DAH (RMW 禁)								
TB5RG1H	TMRB5 レジスタ 1 High	11DBH (RMW 禁)								
TB5CP0L	TMRB5 Capture レジスタ 0 Low	11DCH								
TB5CP0H	TMRB5 Capture レジスタ 0 High	11DDH								
TB5CP1L	TMRB5 Capture レジスタ 1 Low	11DEH								
TB5CP1H	TMRB5 Capture レジスタ 1 High	11DFH								

(9) パターンジェネレータ

PG0REG	PG0 レジスタ	1460H (RMW 禁)	PG03	PG02	PG01	PG00	SA03	SA02	SA01	SA00
			W				R/W			
			0	0	0	0	不定			
			パターンジェネレータ 0(PG0)出力 ラッチレジスタ (PG 出力に設定されたポートを 読むことにより、リード可能)				シフトオルタネートレジスタ 0 PG モード(4bit ライト)対応レジスタ			
PG1REG	PG1 レジスタ	1461H (RMW 禁)	PG13	PG12	PG11	PG10	SA13	SA12	SA11	SA10
			W				R/W			
			0	0	0	0	不定			
			パターンジェネレータ 1(PG1)出力 ラッチレジスタ (PG 出力に設定されたポートを 読むことにより、リード可能)				シフトオルタネートレジスタ 1 PG モード(4bit ライト)対応レジスタ			
PG01CR	PG0,1 Control レジスタ	1462H	PAT1	CCW1	PG1M	PG1TE	PAT0	CCW0	PG0M	PG0TE
			R/W							
			0	0	0	0	0	0	0	0
			PG1 書き込み モード 0:8bit 書き込み 1:4bit 書き込み	PG1 回転方向 0:正転 1:反転	PG1 モード (励磁) 0:1 励磁 または 2 励磁 1:1-2 励磁	PG1 トリガ入力 許可 0:禁止 1:許可	PG0 書き込み モード 0:8bit 書き込み 1:4bit 書き込み	PG0 回転方向 (励磁) 0:正転 1:反転	PG0 モード (励磁) 0:1 励磁 または 2 励磁 1:1-2 励磁	PG0 トリガ入力 許可 0:禁止 1:許可
PG01CR2	PG0,1 Control2 レジスタ	1464H							PG1T	PG0T
									R/W	
									0	0
									PG1 シフト トリガ 0:8 ビットタ イマトリガ (TMRA23) 1:16 ビット タイマトリ ガ(TMRB1)	PG0 シフト トリガ 0:8 ビットタ イマトリガ (TMRA01) 1:16 ビット タイマトリ ガ(TMRB0)

(10)高速 SIO (1/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
HSC0MD	High Speed Serial Channel 0 モード設定レジスタ	C00H		XEN0				CLKSEL02	CLKSEL01	CLKSEL00
				R/W				R/W		
				0				1	0	0
				SYSCK 0:disable 1:enable				ボーレート選択 000:Reserved 100:fsys/16 001:fsys/2 101:fsys/32 010:fsys/4 110:fsys/64 011:fsys/8 111:Reserved		
		C01H	LOOPBACK0	MSB1ST0	DOSTAT0		TCPOL0	RCPOL0	TDINV0	RDINV0
			R/W				R/W			
			0	1	1		0	0	0	0
			LOOPBACK テストモード 0:disable 1:enable	送受信開始 BIT 0:LSB 1:MSB	非送信時の HSS00 端子 状態設定 0:"0"固定 1:"1"固定		送信時の 同期クロック エッジ設定 0:立下り 1:立上り	受信時の 同期クロック エッジ設定 0:立下り 1:立上り	送信時の データ反転 0:disable 1:enable	受信時の データ反転 0:disable 1:enable
HSC0CT	High Speed Serial Channel 0 コントロールレジスタ	C02H	—	—	UNIT160			ALGNEN0	RXWEN0	RXUEN0
			R/W				R/W			
			0	1	0			0	0	0
			"0"をライト してください	"1"をライト してください	データ長 選択 0: 8bit 1: 16bit			全 2 重での アライメント 0:disable 1:enable	連続受信 動作設定 0:disable 1:enable	UNIT 受信 動作設定 0:disable 1:enable
		C03H	CRC16_7_B0	CRCRX_TX_B0	CRCREST_B0					
			R/W				R/W			
			0	0	0				0	0
			CRC 選択 0:CRC7 1:CRC16	CRC データ 0:送信 1:受信	CRC 演算 レジスタ 制御 0:リセット 1:リセット 解除				μDMA 動作 0: Disable 1: Enable	μDMA 動作 0: Disable 1: Enable
HSC0ST	High Speed Serial Channel 0 ステータスレジスタ	C04H					TEND0	REND0	RFW0	RFR0
							R			
							1	0	1	0
							送信動作状態 0: 送信中 1: 非送信中	受信シフトレジスタ状態 0: データ無 1: データ有	送信バッファ状態 0: 未送信 データ有 1: 未送信 データ無	受信バッファ状態 0: 有効 データ無 1: 有効 データ有
		C05H								
HSC0CR	High Speed Serial Channel 0 CRC レジスタ	C06H	CRCD007	CRCD006	CRCD005	CRCD004	CRCD003	CRCD002	CRCD001	CRCD000
			R							
			0	0	0	0	0	0	0	0
			CRC 演算結果格納レジスタ[7:0]							
		C07H	CRCD015	CRCD014	CRCD013	CRCD012	CRCD011	CRCD010	CRCD009	CRCD008
			R							
			0	0	0	0	0	0	0	0
			CRC 演算結果格納レジスタ[15:8]							

高速 SIO (2/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
HSC0IS	High Speed Serial Channel 0 割り込み ステータス レジスタ	C08H					TENDIS0	RENDIS0	RFWIS0	RFRIS0
							R/W			
							0	0	0	0
							リード 0: 割り込み無 1: 割り込み有 ライト 0: Don't care 1: クリア	リード 0: 割り込み無 1: 割り込み有 ライト 0: Don't care 1: クリア	リード 0: 割り込み無 1: 割り込み有 ライト 0: Don't care 1: クリア	リード 0: 割り込み無 1: 割り込み有 ライト 0: Don't care 1: クリア
HSC0WE	High Speed Serial Channel 0 割り込み ステータス ライト イネーブル レジスタ	C0AH					TENDWE0	RENDWE0	RFWWE0	RFRWE0
							R/W			
							0	0	0	0
							HSC0IS <TENDIS0> クリア 0: 禁止 1: 許可	HSC0IS <RENDIS0> クリア 0: 禁止 1: 許可	HSC0IS <RFWIS0> クリア 0: 禁止 1: 許可	HSC0IS <RFRIS0> クリア 0: 禁止 1: 許可
HSC0IE	High Speed Serial Channel 0 割り込み イネーブル レジスタ	C0CH					TENDIE0	RENDIE0	RFWIE0	RFRIE0
							R/W			
							0	0	0	0
							TEND0 割り込み 0: 禁止 1: 許可	REND0 割り込み 0: 禁止 1: 許可	RFW0 割り込み 0: 禁止 1: 許可	RFR0 割り込み 0: 禁止 1: 許可
HSC0IR	High Speed Serial Channel 0 割り込み 要求 レジスタ	C0EH					TENDIR0	RENDIR0	RFWIR0	RFRIR0
							R			
							0	0	0	0
							TEND0 割り込み 0: なし 1: 発生	REND0 割り込み 0: なし 1: 発生	RFW0 割り込み 0: なし 1: 発生	RFR0 割り込み 0: なし 1: 発生
HSC0IR	High Speed Serial Channel 0 割り込み 要求 レジスタ	C0FH								

高速 SIO (3/6)

HSC0TD	High Speed Serial Channel 0 送信データレジスタ	C10H	TXD007	TXD006	TXD005	TXD004	TXD003	TXD002	TXD001	TXD000
			R/W							
			0	0	0	0	0	0	0	0
		C11H	送信データレジスタ[7:0]							
			TXD015	TXD014	TXD013	TXD012	TXD011	TXD010	TXD009	TXD008
			R							
			0	0	0	0	0	0	0	0
			送信データレジスタ[15:8]							
HSC0RD	High Speed Serial Channel 0 受信データレジスタ	C12H	RXD007	RXD006	RXD005	RXD004	RXD003	RXD002	RXD001	RXD000
			R							
			0	0	0	0	0	0	0	0
		C13H	受信データレジスタ[7:0]							
			RXD015	RXD014	RXD013	RXD012	RXD011	RXD010	RXD009	RXD008
			R							
			0	0	0	0	0	0	0	0
			受信データレジスタ[15:8]							
HSC0TS	High Speed Serial Channel 0 送信データシフトレジスタ	C14H	TSD007	TSD006	TSD005	TSD004	TSD003	TSD002	TSD001	TSD000
			R							
			0	0	0	0	0	0	0	0
		C15H	送信データシフトレジスタ[7:0]							
			TSD015	TSD014	TSD013	TSD012	TSD011	TSD010	TSD009	TSD008
			R							
			0	0	0	0	0	0	0	0
			送信データシフトレジスタ[15:8]							
HSC0RS	High Speed Serial Channel 0 受信データシフトレジスタ	C16H	RSD007	RSD006	RSD005	RSD004	RSD003	RSD002	RSD001	RSD000
			R							
			0	0	0	0	0	0	0	0
		C17H	受信データシフトレジスタ[7:0]							
			RSD015	RSD014	RSD013	RSD012	RSD011	RSD010	RSD009	RSD008
			R							
			0	0	0	0	0	0	0	0
			受信データシフトレジスタ[15:8]							

高速 SIO (4/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
HSC1MD	High Speed Serial Channel 1 モード設定レジスタ	C20H		XEN1				CLKSEL12	CLKSEL11	CLKSEL10
				R/W				R/W		
				0				1	0	0
				SYSCK 0:disable 1:enable				ボーレート選択 000:Reserved 100:fsys/16 001:fsys/2 101:fsys/32 010:fsys/4 110:fsys/64 011:fsys/8 111:Reserved		
		C21H	LOOPBACK1	MSB1ST1	DOSTAT1		TCPOL1	RCPOL1	TDINV1	RDINV1
			R/W				R/W			
			0	1	1		0	0	0	0
			LOOPBACK テストモード 0:disable 1:enable	送受信開始 BIT 0:LSB 1:MSB	非送信時の HSSO1 端子 状態設定 0:"0"固定 1:"1"固定		送信時の 同期クロック エッジ設定 0:立下り 1:立上り	受信時の 同期クロック エッジ設定 0:立下り 1:立上り	送信時の データ反転 0:disable 1:enable	受信時の データ反転 0:disable 1:enable
HSC1CT	High Speed Serial Channel 1 コントロールレジスタ	C22H	—	—	UNIT161			ALGNEN1	RXWEN1	RXUEN1
			R/W				R/W			
			0	1	0			0	0	0
			"0"をライト してください	"1"をライト してください	データ長 選択 0: 8bit 1: 16bit			全 2 重での アライメント 0:disable 1:enable	連続受信 動作設定 0:disable 1:enable	UNIT 受信 動作設定 0:disable 1:enable
		C23H	CRC16_7_B1	CRCRX_TX_B1	CRCREST_B1				DMAERFW1	DMAERFR1
			R/W				R/W			
			0	0	0				0	0
			CRC 選択 0:CRC7 1:CRC16	CRC データ 0:送信 1:受信	CRC 演算 レジスタ 制御 0:リセット 1:リセット 解除				μDMA 動作 0: Disable 1: Enable	μDMA 動作 0: Disable 1: Enable
HSC1ST	High Speed Serial Channel 1 ステータスレジスタ	C24H					TEND1	REND1	RFW1	RFR1
							R			
							1	0	1	0
							送信動作状態 0: 送信中 1: 非送信中	受信シフトレジスタ状態 0: データ無 1: データ有	送信バッファ状態 0: 未送信 データ有 1: 未送信 データ無	受信バッファ状態 0: 有効 データ無 1: 有効 データ有
		C25H								
HSC1CR	High Speed Serial Channel 1 CRC レジスタ	C26H	CRCD107	CRCD106	CRCD105	CRCD104	CRCD103	CRCD102	CRCD101	CRCD100
			R							
			0	0	0	0	0	0	0	0
			CRC 演算結果格納レジスタ[7:0]							
		C27H	CRCD115	CRCD114	CRCD113	CRCD112	CRCD111	CRCD110	CRCD109	CRCD108
			R							
			0	0	0	0	0	0	0	0
			CRC 演算結果格納レジスタ[15:8]							

高速 SIO (5/6)

Symbol	Name	Address	7	6	5	4	3	2	1	0
HSC1IS	High Speed Serial Channel 1 割り込み ステータス レジスタ	C28H					TENDIS1	RENDIS1	RFWIS1	RFRIS1
							R/W			
							0	0	0	0
							リード 0: 割り込み無 1: 割り込み有	リード 0: 割り込み無 1: 割り込み有	リード 0: 割り込み無 1: 割り込み有	リード 0: 割り込み無 1: 割り込み有
							ライト 0: Don't care 1: クリア	ライト 0: Don't care 1: クリア	ライト 0: Don't care 1: クリア	ライト 0: Don't care 1: クリア
		C29H								
HSC1WE	High Speed Serial Channel 1 割り込み ステータス ライト イネーブル レジスタ	C2AH					TENDWE1	RENDWE1	RFWWE1	RFRWE1
							R/W			
							0	0	0	0
							HSC1IS <TENDIS1> クリア 0: 禁止 1: 許可	HSC1IS <RENDIS1> クリア 0: 禁止 1: 許可	HSC1IS <RFWIS1> クリア 0: 禁止 1: 許可	HSC1IS <RFRIS1> クリア 0: 禁止 1: 許可
		C2BH								
HSC1IE	High Speed Serial Channel 1 割り込み イネーブル レジスタ	C2CH					TENDIE1	RENDIE1	RFWIE1	RFRIE1
							R/W			
							0	0	0	0
							TEND1 割り込み 0: 禁止 1: 許可	REND1 割り込み 0: 禁止 1: 許可	RFW1 割り込み 0: 禁止 1: 許可	RFR1 割り込み 0: 禁止 1: 許可
		C2DH								
HSC1IR	High Speed Serial Channel 1 割り込み 要求 レジスタ	C2EH					TENDIR1	RENDIR1	RFWIR1	RFRIR1
							R			
							0	0	0	0
							TEND1 割り込み 0: なし 1: 発生	REND1 割り込み 0: なし 1: 発生	RFW1 割り込み 0: なし 1: 発生	RFR1 割り込み 0: なし 1: 発生
		C2FH								

高速 SIO (6/6)

HSC1TD	High Speed Serial Channel 1 送信データレジスタ	C30H	TXD107	TXD106	TXD105	TXD104	TXD103	TXD102	TXD101	TXD100
			R/W							
			0	0	0	0	0	0	0	0
		C31H	送信データレジスタ[7:0]							
			TXD115	TXD114	TXD113	TXD112	TXD111	TXD110	TXD109	TXD108
			R							
			0	0	0	0	0	0	0	0
			送信データレジスタ[15:8]							
HSC1RD	High Speed Serial Channel 1 受信データレジスタ	C32H	RXD107	RXD106	RXD105	RXD104	RXD103	RXD102	RXD101	RXD100
			R							
			0	0	0	0	0	0	0	0
		C33H	受信データレジスタ[7:0]							
			RXD115	RXD114	RXD113	RXD112	RXD111	RXD110	RXD109	RXD108
			R							
			0	0	0	0	0	0	0	0
			受信データレジスタ[15:8]							
HSC1TS	High Speed Serial Channel 1 送信データシフトレジスタ	C34H	TSD107	TSD106	TSD105	TSD104	TSD103	TSD102	TSD101	TSD100
			R							
			0	0	0	0	0	0	0	0
		C35H	送信データシフトレジスタ[7:0]							
			TSD115	TSD114	TSD113	TSD112	TSD111	TSD110	TSD109	TSD108
			R							
			0	0	0	0	0	0	0	0
			送信データシフトレジスタ[15:8]							
HSC1RS	High Speed Serial Channel 1 受信データシフトレジスタ	C36H	RSD107	RSD106	RSD105	RSD104	RSD103	RSD102	RSD101	RSD100
			R							
			0	0	0	0	0	0	0	0
		C37H	受信データシフトレジスタ[7:0]							
			RSD115	RSD114	RSD113	RSD112	RSD111	RSD110	RSD109	RSD108
			R							
			0	0	0	0	0	0	0	0
			受信データシフトレジスタ[15:8]							

(11)UART / シリアルチャネル (1/4)

Symbol	Name	Address	7	6	5	4	3	2	1	0
SC0BUF	Serial Channel 0 Buffer レジスタ	1200H (RMW 禁)	RB7 / TB7	RB6 / TB6	RB5 / TB5	RB4 / TB4	RB3 / TB3	RB2 / TB2	RB1 / TB1	RB0 / TB0
			R (受信) / W (送信)							
			不定							
SC0CR	Serial Channel 0 コントロール レジスタ	1201H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Clear 0 by reading)			R/W	
			0	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0:Odd 1:Even	パリティ付加 0:Disable 1:Enable	1: Error Overrun	Parity	Framing	0:SCLK0 ↑ 1:SCLK0 ↓	I/O interface 用クロック 選択 0: Baud Rate Generator 1:SCLK0 入力
SC0MOD0	Serial Channel 0 Mode 0 レジスタ	1202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	CTS 制御 0: Disable 1: Enable	受信制御 0: Disable 1: Enable	Wake-up 0:Disable 1:Enable	転送モード 00: I/O Interface Mode 01: 7bit UART Mode 10: 8bit UART Mode 11: 9bit UART Mode		UART 用転送クロック選択 00: TA0TRG (TMRA01) 01: Baud Rate Generator 10: Internal clock fsys 11: External clock (SCLK0 入力)	
BR0CR	Serial Channel 0 Baud Rate コントロール レジスタ	1203H	—	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W							
			0	0	0	0	0	0	0	0
			"0"をライトしてください	(16-K)/16 分周 0:Disable 1:Enable	Baud Rate Generator 入力クロック選択 00: φT0 01: φT2 10: φT8 11: φT32	分周値 "N" の設定 0 to F				
BR0ADD	Serial Channel 0 K 設定 レジスタ	1204H					BR0K3	BR0K2	BR0K1	BR0K0
							R/W			
							0	0	0	0
SC0MOD1	Serial Channel 0 Mode 1 レジスタ	1205H	I2S0	FDPX0						
			R/W	R/W						
			0	0						
			IDLE2 0: 停止 1: 動作	I/O interface mode 0: 半二重 1: 全二重						
SIR0CR	Serial Channel 0 IrDA コントロール レジスタ	1207H	PLSEL	RXSEL	TXEN	RXEN	SIR0WD3	SIR0WD2	SIR0WD1	SIR0WD0
			R/W							
			0	0	0	0	0	0	0	0
			送信パルス幅 選択 0: 3/16 1: 1/16	受信データ 論理 0: "H" pulse 1: "L" pulse	送信動作 0: disable 1: enable	受信動作 0: disable 1: enable	有効パルス幅の設定 "2x × (設定値+1)+100ns" 以上のパルス幅を有効とする 設定可能: 1 to 14 設定不可: 0, 15			

UART / シリアルチャネル (2/4)

Symbol	Name	Address	7	6	5	4	3	2	1	0
SC1BUF	Serial Channel 1 Buffer レジスタ	1208H (RMW 禁)	RB7 / TB7	RB6 / TB6	RB5 / TB5	RB4 / TB4	RB3 / TB3	RB2 / TB2	RB1 / TB1	RB0 / TB0
			R (受信) / W (送信)							
			不定							
SC1CR	Serial Channel 1 コントロール レジスタ	1209H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Clear 0 by reading)			R/W	
			0	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0:Odd 1:Even	パリティ付加 0:Disable 1:Enable	1: Error Overrun	Parity	Framing	0:SCLK1↑ 1:SCLK1↓	I/O interface 用クロック 選択 0: Baud Rate Generator 1:SCLK1 入力
SC1MOD0	Serial Channel 1 Mode 0 レジスタ	120AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	CTS 制御 0: Disable 1: Enable	受信制御 0: Disable 1: Enable	Wake-up 0:Disable 1:Enable	転送モード 00: I/O Interface Mode 01: 7bit UART Mode 10: 8bit UART Mode 11: 9bit UART Mode		UART 用転送クロック選択 00: TA0TRG (TMRA01) 01: Baud Rate Generator 10: Internal clock fsys 11: External clock (SCLK1 入力)	
BR1CR	Serial Channel 1 Baud Rate コントロール レジスタ	120BH	—	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
			R/W							
			0	0	0	0	0	0	0	0
			"0"をライトしてください	(16-K)/16 分周 0:Disable 1:Enable	Baud Rate Generator 入力クロック選択 00: φ T0 01: φ T2 10: φ T8 11: φ T32	分周値 "N" の設定 0 to F				
BR1ADD	Serial Channel 1 K 設定 レジスタ	120CH					BR1K3	BR1K2	BR1K1	BR1K0
							R/W			
							0	0	0	0
SC1MOD1	Serial Channel 1 Mode 1 レジスタ	120DH								
			I2S1 R/W	FDPX1 R/W						
			0	0						
			IDLE2 0: 停止 1: 動作	I/O interface mode 0: 半二重 1: 全二重						

UART / シリアルチャネル (3/4)

Symbol	Name	Address	7	6	5	4	3	2	1	0
SC2BUF	Serial Channel 2 Buffer レジスタ	1210H (RMW 禁)	RB7 / TB7	RB6 / TB6	RB5 / TB5	RB4 / TB4	RB3 / TB3	RB2 / TB2	RB1 / TB1	RB0 / TB0
			R (受信) / W (送信)							
			不定							
SC2CR	Serial Channel 2 コントロール レジスタ	1211H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Clear 0 by reading)			R/W	
			0	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0:Odd 1:Even	パリティ付加 0:Disable 1:Enable	1: Error Overrun	Parity	Framing	0:SCLK2↑ 1:SCLK2↓	I/O interface 用クロック 選択 0: Baud Rate Generator 1:SCLK2 入力
SC2MOD0	Serial Channel 2 Mode 0 レジスタ	1212H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	CTS 制御 0: Disable 1: Enable	受信制御 0: Disable 1: Enable	Wake-up 0:Disable 1:Enable	転送モード 00: I/O Interface Mode 01: 7bit UART Mode 10: 8bit UART Mode 11: 9bit UART Mode		UART 用転送クロック選択 00: TA0TRG (TMRA01) 01: Baud Rate Generator 10: Internal clock fsys 11: External clock (SCLK2 入力)	
BR2CR	Serial Channel 2 Baud Rate コントロール レジスタ	1213H	—	BR2ADDE	BR2CK1	BR2CK0	BR2S3	BR2S2	BR2S1	BR2S0
			R/W							
			0	0	0	0	0	0	0	0
			"0"をライトしてください	(16-K)/16 分周 0:Disable 1:Enable	Baud Rate Generator 入力クロック選択 00: φ T0 01: φ T2 10: φ T8 11: φ T32	分周値 "N" の設定 0 to F				
BR2ADD	Serial Channel 2 K 設定 レジスタ	1214H					BR2K3	BR2K2	BR2K1	BR2K0
							R/W			
							0	0	0	0
SC2MOD1	Serial Channel 2 Mode 1 レジスタ	1215H	N+(16-K)/16 分周の "K" 値の設定 (1 to F)							
			I2S2 R/W	FDPX2 R/W						
			0	0						
			IDLE2 0: 停止 1: 動作	I/O interface mode 0: 半二重 1: 全二重						

UART / シリアルチャネル (4/4)

Symbol	Name	Address	7	6	5	4	3	2	1	0
SC3BUF	Serial Channel 3 Buffer レジスタ	1218H (RMW 禁)	RB7 / TB7	RB6 / TB6	RB5 / TB5	RB4 / TB4	RB3 / TB3	RB2 / TB2	RB1 / TB1	RB0 / TB0
			R (受信) / W (送信)							
			不定							
SC3CR	Serial Channel 3 コントロール レジスタ	1219H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Clear 0 by reading)			R/W	
			0	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0:Odd 1:Even	パリティ付加 0:Disable 1:Enable	1: Error Overrun	Parity	Framing	0:SCLK3↑ 1:SCLK3↓	I/O interface 用クロック 選択 0: Baud Rate Generator 1:SCLK3 入力
SC3MOD0	Serial Channel 3 Mode 0 レジスタ	121AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	CTS 制御 0: Disable 1: Enable	受信制御 0: Disable 1: Enable	Wake-up 0:Disable 1:Enable	転送モード 00: I/O Interface Mode 01: 7bit UART Mode 10: 8bit UART Mode 11: 9bit UART Mode		UART 用転送クロック選択 00: TA0TRG (TMRA01) 01: Baud Rate Generator 10: Internal clock fsys 11: External clock (SCLK3 入力)	
BR3CR	Serial Channel 3 Baud Rate コントロール レジスタ	121BH	—	BR3ADDE	BR3CK1	BR3CK0	BR3S3	BR3S2	BR3S1	BR3S0
			R/W							
			0	0	0	0	0	0	0	0
			"0"をライトしてください	(16-K)/16 分周 0:Disable 1:Enable	Baud Rate Generator 入力クロック選択 00: φ T0 01: φ T2 10: φ T8 11: φ T32	分周値 "N" の設定 0 to F				
BR3ADD	Serial Channel 3 K 設定 レジスタ	121CH					BR3K3	BR3K2	BR3K1	BR3K0
			R/W							
							0	0	0	0
SC3MOD1	Serial Channel 3 Mode 1 レジスタ	121DH	I2S3	FDPX3						
			R/W	R/W						
			0	0						
			IDLE2 0: 停止 1: 動作	I/O interface mode 0: 半二重 1: 全二重						

(12) I²CBUS/Serial Channel(1/4)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
SBI0CR1	SBI0 コントロール レジスタ 1	1240H (no RMW) I ² C mode	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
			W			R/W		W		R/W
			0	0	0	0		0	0	0
			Number of transfer bits 000:8 001:1 010:2 011:3 100:4 101:5 110:6 111:7			Acknowledge mode 0:Disable 1:Enable		Setting of the divide value "n" 000:5 001:6 010:7 011:8 100:9 101:10 110:11 111:予約		
		1240H (no RMW) SIO mode	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
			W			W		W		
			0	0	0	0		0	0	0
			Transfer 0:Stop 1:Start	Transfer 0:Continue 1:Abort	Transfer mode 00:8bit transmit 10:8bit ransmit/receive 11:8bit receive			Setting of the divide value "n" 000:4 001:5 010:6 011:7 100:8 101:9 110:10 111:external clock SCK0		
SBI0DBR	SBI0 Buffer レジスタ	1241H (no RMW)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0
			R(Receiving)/W(Transmission)							
			Undefine							
I2C0AR	I2CBUS0 アドレス レジスタ	1242H (no RMW)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
			W							
			0	0	0	0	0	0	0	0
			Setting Slave アドレス							
SBI0CR2	SBI0 コントロール レジスタ 2	1243H (no RMW) I ² C mode	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
			W							
			0	0	0	1	0	0	0	0
			0:Slave 1:Master	0:Receive 1:Transmit	Start/stop generation 0:Stop 1:Start	INTSBI0 interrupt 0:Request 1:Cancel	Operation mode selection 00:Port mode 10:SIO mode 01:I ² C mode 11:予約		Software reset generate write "10" and "01", then an internal reset signal is generated.	
		1243H (no RMW) SIO mode					SBIM1	SBIM0	—	—
							W		W	W
							0	0	0	0
							Operation mode selection 00:Port mode 10:SIO mode 01:I ² C mode 11:予約		"0"をライトし てください	"0"をライトし てください
SBI0SR	SBI0 Status レジスタ	1243H (no RMW) I ² C mode	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
			R							
			0	0	0	1	0	0	0	0
			0:Slave 1:Master	0:Receive 1:transmit	Bus status monitor 0:Free 1:Busy	INTSBI0 interrupt 0:request 1:Cancel	Arbitration lost detection monitor 1:Detect	Slave address match detection monitor 1:Detect	General call detection 1:Detect	Last receive bit monitor 0: "0" 1: "1"
		1243H (no RMW) SIO mode					SIOF	SEF		
			R							
							0	0		
							Transfer status 0:Stopped 1:In progress	Shift status 0:Stopped 1:In progress		

I²C BUS/Serial Channel(2/4)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
SBI0BR0	SBI0 Baud rate レジスタ 0	1244H	-	I2SBI0						
				R/W						
			-	0						
			"0"をライト してください	IDLE2 0:Abort 1:Operate						
SBI0BR1	SBI0 Baud rate レジスタ 1	1245H	P4EN	—						
			R/W	W						
			0	0						
			Clock control 0:Stop 1:Operate	"0"をライト してください						

Not Recommended for New Design

I²C BUS/Serial Channel(3/4)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0	
SBI1CR1	SBI1 コントロール レジスタ 1	1248H (no RMW) I ² C mode	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON	
			W			R/W		W		R/W	
			0	0	0	0		0	0	0	
			Number of transfer bits 000:8 001:1 010:2 011:3 100:4 101:5 110:6 111:7			Acknowledge mode 0:Disable 1:Enable		Setting of the divide value "n" 000:5 001:6 010:7 011:8 100:9 101:10 110:11 111:予約			
		1248H (no RMW) SIO mode	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0	
			W			W		W			
			0	0	0	0		0	0	0	
SBI1DBR	SBI0 Buffer レジスタ	1249H (no RMW)	RB7/TB7	RB6/TB6	RB5/TB5	RB4/TB4	RB3/TB3	RB2/TB2	RB1/TB1	RB0/TB0	
			R(Receiving)/W(Transmission) Undefined								
I2C1AR	I2CBUS1 アドレス レジスタ	124AH (no RMW)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS	
			W								
			0	0	0	0	0	0	0	0	0
			Setting Slave アドレス								アドレス recognition 0:Enable 1:Disable
SBI1CR2	SBI1 コントロール レジスタ 2	124BH (no RMW) I ² C mode	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0	
			W								
			0	0	0	1	0	0	0	0	
			0:Slave 1:Master	0:Receive 1:Transmit	Start/stop generation 0:Stop 1:Start	INTSBI1 interrupt 0:Request 1:Cancel	Operation mode selection 00:Port mode 10:SIO mode 01:I ² C mode 11:予約		Software reset generate write "10" and "01", then an internal reset signal is generated.		
		124BH (no RMW) SIO mode						SBIM1	SBIM0		
			W								
								0	0		
SBI1SR	SBI1 Status レジスタ	124BH (no RMW) I ² C mode	MST	TRX	BB	PIN	AL	AAS	AD0	LRB	
			R								
			0	0	0	1	0	0	0	0	
			0:Slave 1:Master	0:Receive 1:transmit	Bus status monitor 0:Free 1:Busy	INTSBI1 interrupt 0:request 1:Cancel	Arbitration lost detection monitor 1:Detect	Slave address match detection monitor 1:Detect	General call detection 1:Detect	Last receive bit monitor 0: "0" 1: "1"	
		124BH (no RMW) SIO mode						SIOF	SEF		
			R								
								0	0		
								Transfer status 0:Stopped 1:In progress	Shift status 0:Stopped 1:In progress		

I²C BUS/Serial Channel(4/4)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
SBI1BR0	SBI1 Baud rate レジスタ 0	124CH	-	I2SBI1						
				R/W						
			-	0						
			"0"をライト してください	IDLE2 0:Abort 1:Operate						
SBI1BR1	SBI1 Baud rate レジスタ 1	124DH	P4EN	—						
			R/W	W						
			0	0						
			Clock control 0:Stop 1:Operate	"0"をライト してください						

(13) AD コンバータ (1/3)

Symbol	Name	Address	7	6	5	4	3	2	1	0
ADMOD0	AD Mode コントロール レジスタ 0	12B8H	EOCF	ADBF	—	—	ITM0	REPEAT	SCAN	ADS
			R		R/W		R/W			
			0	0	0	0	0	0	0	0
			AD 変換 終了フラグ 1: 終了	AD 変換 BUSY フラグ 0: 変換停止 1: 変換中	"0"をライト してください		チャンネル固定 リピートモード 時の割り込み 制御 0: 1 回変換毎 1: 4 回変換毎	リピート モード制御 0: シングル 変換 1: リピート 変換	スキャン モード制御 0: 固定変換 1: スキャン 変換	AD 変換 スタート 0: Don't care 1: 変換開始
ADMOD1	AD Mode コントロール レジスタ 1	12B9H	VREFON	I2AD	—	—	ADCH3	ADCH2	ADCH1	ADCH0
			R/W	R/W	R/W		R/W			
			0	0	0	0	0	0	0	0
			VREF 印加 制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	"0"をライト してください		アナログ入力チャンネル選択 固定 / スキャン変換 0000: AN0 / AN0 0001: AN1 / AN0→AN1 0010: AN2 / AN0→AN1→AN2 0011: AN3 / AN0→AN1→AN2→AN3 0100: AN4 / AN0→AN1→AN2→AN3→AN4 0101: AN5 / AN0→AN1→AN2→AN3→AN4→AN5 0110: AN6 / AN0→AN1→AN2→AN3→AN4→AN5→AN6 0111: AN7 / AN0→AN1→AN2→AN3→AN4→AN5→AN6→AN7 1000: AN8 / AN0→AN1→AN2→AN3→AN4→AN5→AN6→AN7→AN8 1001: AN9 / AN0→AN1→AN2→AN3→AN4→AN5→AN6→AN7→AN8→AN9 1010: AN10 / AN0→AN1→AN2→AN3→AN4→AN5→AN6→AN7→AN8→AN9→AN10 1011: AN11 / AN0→AN1→AN2→AN3→AN4→AN5→AN6→AN7→AN8→AN9→AN10→AN11			
ADMOD2	AD Mode コントロール レジスタ 2	12BAH	—	—	—	—	—	—	—	ADTRGE
			R/W							
			0	0	0	0	0	0	0	0
			"0"をライト してください	"0"をライト してください	"0"をライト してください	"0"をライト してください	"0"をライト してください	"0"をライト してください	"0"をライト してください	AD 外部トリガ スタート制御 0: disable 1: enable

AD コンバータ (2/3)

Symbol	Name	Address	7	6	5	4	3	2	1	0
ADREG0L	AD Result レジスタ 0 Low	12A0H	ADR01	ADR00						ADR0RF
			R							R
			不定							0
ADREG0H	AD Result レジスタ 0 High	12A1H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
			R							
			不定							
ADREG1L	AD Result レジスタ 1 Low	12A2H	ADR11	ADR10						ADR1RF
			R							R
			不定							0
ADREG1H	AD Result レジスタ 1 High	12A3H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
			R							
			不定							
ADREG2L	AD Result レジスタ 2 Low	12A4H	ADR21	ADR20						ADR2RF
			R							R
			不定							0
ADREG2H	AD Result レジスタ 2 High	12A5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
			R							
			不定							
ADREG3L	AD Result レジスタ 3 Low	12A6H	ADR31	ADR30						ADR3RF
			R							R
			不定							0
ADREG3H	AD Result レジスタ 3 High	12A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
			R							
			不定							
ADREG4L	AD Result レジスタ 4 Low	12A8H	ADR41	ADR40						ADR4RF
			R							R
			不定							0
ADREG4H	AD Result レジスタ 4 High	12A9H	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
			R							
			不定							
ADREG5L	AD Result レジスタ 5 Low	12AAH	ADR51	ADR50						ADR5RF
			R							R
			不定							0
ADREG5H	AD Result レジスタ 5 High	12ABH	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
			R							
			不定							
ADREG6L	AD Result レジスタ 6 Low	12ACH	ADR61	ADR60						ADR6RF
			R							R
			不定							0
ADREG6H	AD Result レジスタ 6 High	12ADH	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
			R							
			不定							
ADREG7L	AD Result レジスタ 7 Low	12AEH	ADR71	ADR70						ADR7RF
			R							R
			不定							0
ADREG7H	AD Result レジスタ 7 High	12AFH	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
			R							
			不定							

AD コンバータ (3/3)

Symbol	Name	Address	7	6	5	4	3	2	1	0
ADREG8L	AD Result レジスタ 8 Low	12B0H	ADR81	ADR80						ADR8RF
			R							R
			不定							0
ADREG8H	AD Result レジスタ 8 High	12B1H	ADR89	ADR88	ADR87	ADR86	ADR85	ADR84	ADR83	ADR82
			R							
			不定							
ADREG9L	AD Result レジスタ 9 Low	12B2H	ADR91	ADR90						ADR9RF
			R							R
			不定							0
ADREG9H	AD Result レジスタ 9 High	12B3H	ADR99	ADR98	ADR97	ADR96	ADR95	ADR94	ADR93	ADR92
			R							
			不定							
ADREGAL	AD Result レジスタ A Low	12B4H	ADRA1	ADRA0						ADRARF
			R							R
			不定							0
ADREGAH	AD Result レジスタ A High	12B5H	ADRA9	ADRA8	ADRA7	ADRA6	ADRA5	ADRA4	ADRA3	ADRA2
			R							
			不定							
ADREGBL	AD Result レジスタ B Low	12B6H	ADRB1	ADRB0						ADBRF
			R							R
			不定							0
ADREGBH	AD Result レジスタ B High	12B7H	ADRB9	ADRB8	ADRB7	ADRB6	ADRB5	ADRB4	ADRB3	ADRB2
			R							
			不定							

(14) DA コンバータ

Symbol	Name	Address	7	6	5	4	3	2	1	0
DAC0REG	DA 0 レジスタ	12E0H	DAC07	DAC06	DAC05	DAC04	DAC03	DAC02	DAC01	DAC00
			R/W							
			0	0	0	0	0	0	0	0
DAC0CNT1	DA 0 コントロール レジスタ 1	12E1H	—	—	—	—				VALID
			R/W							W
			0	0	0	0				0
			“0”をライ トしてく ださい	“0”をライ トしてく ださい	“0”をライ トしてく ださい	“0”をライ トしてく ださい				0:Don't care 1:出力 CODE 有効
DAC0CNT0	DA 0 コントロール レジスタ 0	12E3H							REFON0	OP0
									R/W	
									0	0
									0:Ref off 1:Ref on	0:出力 HZ 1:出力
DAC1REG	DA 1 レジスタ	12E4H	DAC17	DAC16	DAC15	DAC14	DAC13	DAC12	DAC11	DAC10
			R/W							
			0	0	0	0	0	0	0	0
DAC1CNT1	DA 1 コントロール レジスタ 1	12E5H	—	—	—	—				VALID
			R/W							W
			0	0						0
			“0”をライ トしてく ださい	“0”をライ トしてく ださい	“0”をライ トしてく ださい	“0”をライ トしてく ださい				0:Don't care 1:出力 CODE 有効
DAC1CNT0	DA 1 コントロール レジスタ 0	12E7H							REFON1	OP1
									R/W	
									0	0
									0:Ref off 1:Ref on	0:出力 HZ 1:出力

(15) ウォッチドッグタイマ

Symbol	Name	Address	7	6	5	4	3	2	1	0
WDMOD	WDT Mode レジスタ	1300H	WDTE	WDTP1	WDTP0	—	—	I2WDT	RESCR	—
			R/W	R/W			R/W		R/W	
			1	0	0	0	0	0	0	
			WDT 制御 1: enable	検出時間選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$	“0”をライト してください。		IDLE2 0: 停止 1: 動作	1: リセット 端子に WDT 出力を内部 接続	“0”をライト してください。	
WDCR	WDT コントロール レジスタ	1301H	—							
			W							
			—							
			B1H: WDT disable code				4E: WDT clear code			

(16) キーオンウェイクアップ

Symbol	Name	Address	7	6	5	4	3	2	1	0
KIEN	キー入力 許可設定 レジスタ	009EH (RMW 禁)	KI7EN	KI6EN	KI5EN	KI4EN	KI3EN	KI2EN	KI1EN	KI0EN
			W							
			0	0	0	0	0	0	0	0
			KI7 入力 0: 禁止 1: 許可	KI6 入力 0: 禁止 1: 許可	KI5 入力 0: 禁止 1: 許可	KI4 入力 0: 禁止 1: 許可	KI3 入力 0: 禁止 1: 許可	KI2 入力 0: 禁止 1: 許可	KI1 入力 0: 禁止 1: 許可	KI0 入力 0: 禁止 1: 許可
KICR	キー入力 コントロール レジスタ	009FH (RMW 禁)	KI7EDGE	KI6EDGE	KI5EDGE	KI4EDGE	KI3EDGE	KI2EDGE	KI1EDGE	KI0EDGE
			W							
			0	0	0	0	0	0	0	0
			KI7 エッジ 0: 立上り 1: 立下り	KI6 エッジ 0: 立上り 1: 立下り	KI5 エッジ 0: 立上り 1: 立下り	KI4 エッジ 0: 立上り 1: 立下り	KI3 エッジ 0: 立上り 1: 立下り	KI2 エッジ 0: 立上り 1: 立下り	KI1 エッジ 0: 立上り 1: 立下り	KI0 エッジ 0: 立上り 1: 立下り

6. 使用上の注意、制限事項

(1) 特別な表記、言葉の説明

a. 内蔵 I/O レジスタの説明: レジスタシンボル<ビットシンボル>

例) TA01RUN <TA0RUN>: レジスタ TA01RUN のビット TA0RUN を示します。

b. リードモディファイライト命令 (RMW)

CPU が、1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例 1: SET 3, (TA01RUN) ... TA01RUN レジスタのビット 3 をセットする

例 2: INC 1, (100H) ... アドレス 100H のデータを 1 する

• TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術命令

ADD (mem), R/#

ADC (mem), R/#

SUB (mem), R/#

SBC (mem), R/#

INC #3, (mem)

DEC #3, (mem)

論理演算

AND (mem), R/#

OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem)

RES #3, (mem)

SET #3, (mem)

CHG #3, (mem)

TSET #3, (mem)

ローテート、シフト

RLC (mem)

RRC (mem)

RL (mem)

RR (mem)

SLA (mem)

SRA (mem)

SLL (mem)

SRL (mem)

RLD (mem)

RRD (mem)

c. f_{OSCH} , f_c , f_{FPH} , f_{SYS} および 1 ステート

X1, X2 端子より入力されるクロック周波数を f_{OSCH} 、PLLCR0 <FCSEL> レジスタにより選択されるクロック周波数を f_c と呼びます。

また、SYSCR1 <GEAR2:0> レジスタにより選択されるクロック周波数を f_{FPH} 、 f_{FPH} を 2 分周して得られたクロック周波数をシステムクロック f_{SYS} と呼びます。

この f_{SYS} の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a. AM0 と AM1 端子

これらの端子は、VCC (電源レベル) または VSS (グラウンドレベル) に接続します。動作中は接続されている電位を変更しないでください。

b. アドレス空間の予約領域

FFFFFF0H~FFFFFFFH の 16 バイト空間は内部エリアとして予約されているため使用できません。また、エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータの制御の為に使用されるため、その空間を使用することができません。

c. ウォームアップカウンタ

外部発振器を用いるシステムでも、STOP モードが解除されるとウォームアップカウンタは動作を始めます。結果として、解除要求入力からシステムクロックが出力されるまでの間にはウォームアップ時間と同じだけの時間が掛かります。

d. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作状態となっていますので、ウォッチドッグタイマを使用しない場合は動作禁止に設定してください。

e. AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能がありますので、STOP モードなどで消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

f. CPU (マイクロ DMA)

LDC cr, r 命令、および LDC r, cr 命令だけが CPU 内の制御レジスタとのアクセスに利用できます。(例えば、DMASn レジスタなど)

g. 未定義 SFR ビット

SFR (Special function register) の未定義ビットの値は、読み出すと不定値が出力されます。

h. 「POP SR」 命令

「POP SR」 命令の実行は、DI (割り込み不許可) 状態で行ってください。

i. 割り込み

割り込みを使用する場合は、必ず SIMC レジスタのビット 7 に"1"をライトしてください。

7. 外形寸法図

Package Name: P-LQFP144-1616-0.40C

単位:mm

