

译文

TC358764XBG/TC358765XBG

本资料是为了参考的目的由原始文档翻译而来。
使用本资料时，请务必确认原始文档关联的最新
信息，并遵守其相关指示。

原本:

“TC358764XBG/TC358765XBG” 2016-04-01

翻译日: 2016-08-08

Not Recommended for New Design

CMOS 数字集成电路硅单片

TC358764XBG/TC358765XBG

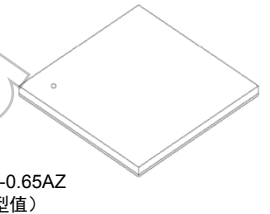
移动外围设备

概述

TC358764XBG/TC358765XBG 的主要功能是实现 DSI-to-LVDS 桥接，使视频数据通过 DSI 链路输出，以驱动兼容 LVDS 的显示板。对于单链路 LVDS 和双链路 LVDS，芯片分别支持高达 1366×768 24-位像素分辨率和 WUXGA (1920×1200 18-位像素) 分辨率。作为辅助功能，芯片还支持 DSI 链路控制的 I²C 主机；这可用作通过 I²C 的任何控制功能的接口。

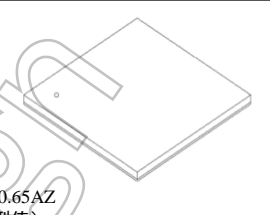
该芯片可通过发送通用长写数据包写寄存器指令，并通过 DSI 链接进行配置。此外，还可通过 I²C 从属接口进行配置。

TC358764XBG



P-TFBGA49-0505-0.65AZ
重量: 53 mg (典型值)

TC358765XBG



P-TFBGA64-0606-0.65AZ
重量: 75 mg (典型值)

特征

● DSI 接收器

- ◇ 可配置多达 4-通道-数据的 DSI 链路，其中，数据通道 0 支持双向传输
- ◇ 每条通道最大比特率为 800 Mbps。
- ◇ 视频输入数据格式：
 - RGB565 16 位/像素
 - RGB666 18 位/像素
 - RGB666 松散的 24 位/像素
 - RGB888 24 位/像素
- ◇ 视频帧大小：
 - 单链路 LVDS 显示板达 1366×768 24-位/像素分辨率
 - 双链路 LVDS 显示板达 WUXGA 分辨率 (1920×1200 18-位像素)
- ◇ 支持视频流数据包进行视频数据传输。
- ◇ 支持通用长数据包访问芯片寄存器组
- ◇ 支持主机控制片上 I²C 主时钟的路径

● LVDS FPD 链路发射器

- ◇ 支持单链路或双链路
- ◇ 最大像素时钟频率为 85 MHz。
- ◇ 对于单链路，LVDS 吞吐量达 297.5 MBytes/sec，而对于双链路，则为 595 Mbytes/sec
- ◇ 对于单链路或双链路，支持分别高达 1366×768 24-位的像素分辨率和 WUXGA (18-位的分辨率)
- ◇ 支持以下像素格式：
 - RGB666 18 位/像素
 - RGB888 24 位/像素

- ◇ 特征东芝幻方算法能使 RGB666 显示板产生相当于 RGB888 24-位显示板的画质
- ◇ 并行数据输入数位排序弹性映射
- ◇ 支持可编程时钟极性
- ◇ 支持断电

● 系统操作

- ◇ 主机通过 DSI 链路配置芯片
- ◇ 通过 DSI 链路，主机采用通用读/写数据包访问芯片寄存器组。一个通用长写数据包可写入多个相邻寄存器地址
- ◇ 包括一个 I²C 主时钟功能，由主机通过 DSI 链路控制 (不支持多台主时钟)
- ◇ 电源管理的特点是节约电能
- ◇ 还可通过 I²C 从机接口访问配置寄存器

● 时钟源

- ◇ LVDS 像素时钟源既可是外部时钟 EXTCLK，也可以是 DSICLK。
- ◇ 内置 PLL 生成无需外部元件的高速 LVDS 序列化时钟

● 数字输入/输出信号

- ◇ 所有数字输入信号都能耐受 3.3V 电压
- ◇ 所有数字输出信号输出范围在 1.8V - 3.3V 之间，具体取决于 IO 电源电压

● 电源

- ◇ MIPI DSI D-PHY: 1.2 V
- ◇ LVDS PHY: 3.3 V
- ◇ I/O: 1.8 V - 3.3V (所有 IO 电源引脚必须为相同级别)
- ◇ 数字内核: 1.2 V

● 功耗

◇ 可通过以下方式实现断电：

1. 停止视频流后禁用 PLL (0x04A0[8] = 1) 和 LVDS (0x049C[0] = 0) (在 DSI LP11 状态下)
2. 驱动 DSI 数据通道达到 LP00 状态
3. 停止 DSIClk 和/或 RefClk

◇ 断电模式：功耗：达到 55 μ W

- DSI-RX: 10.39 μ A
- LVDS_1.2V: 3.10 μ A
- LVDS_3.3V: 0.015 μ A
- 内核: 31.96 μ A
- IOs_1.8V: 0.15 μ A

◇ 正常运行 (2-DSI 数据通道 @ 200 MHz, 单一

LVDS @ 27 MHz): 达到 157.58 mW

- DSI-RX 2 通道 8.25 mA
- LVDS_3.3V: 42.68 mA
- LVDS_1.2V: 1.25 mA
- 内核 4.34 mA
- IOs_1.8V 0.067 mA

◇ 正常运行 (2-DSI 数据通道 @ 314 MHz, 双

每 LVDS @ 44.25 MHz): 达到 259.16 mW

- DSI-RX 2 通道: 9.77 mA
- LVDS_3.3V: 69.63 mA
- LVDS_1.2V: 7.78 mA
- 内核: 6.83 mA
- IOs_1.8V: 0.061 mA

● 封装信息

◇ TC358765XBG :BGA64 (0.65mm 焊球间距)

- 支持 DSI-RX 4-数据-通道 + 双-链路 LVDS-TX
- 6.0mm \times 6.0mm \times 1.2mm

◇ TC358764XBG :BGA49 (0.65mm 焊球间距)

- 支持 DSI-RX 4-数据-通道 + 单-链路 LVDS-TX
- 5.0mm \times 5.0mm \times 1.2mm

目录

参考文献.....	8
1. 简介.....	9
1.1. 适用范围.....	9
1.2. 目的.....	9
2. 设备概述.....	10
3. 特征.....	11
4. 引脚布置.....	13
4.1. TC358765XBG BGA64 引脚分配说明.....	14
4.2. TC358765XBG BGA64 引脚数汇总.....	15
4.3. TC358764XBG BGA49 引脚分配说明.....	16
4.4. TC358764XBG BGA49 引脚数汇总.....	17
5. 封装.....	18
6. 电气特性.....	20
6.1. 绝对最大额定值.....	20
6.2. 操作条件.....	21
6.3. 直流电气规范.....	22
6.3.1. 正常 CMOS I/O 直流规格.....	22
6.3.2. DSI 差分 I/O 直流规格.....	22
6.3.2.1 低功耗发射器.....	22
6.3.2.2 高速接收器.....	23
6.3.2.3 低速接收器.....	23
6.3.3. LVDS 发射器直流规格.....	24
6.3.4. LVDS 发射器电源电流.....	24
7. 修订记录.....	25
RESTRICTIONS ON PRODUCT USE.....	26

插图一览表

图 4.1 TC358765XBG 芯片引脚布置 (BGA64 – 顶视图)	13
图 4.2 TC358764XBG 芯片引脚布置 (BGA49 – 顶视图)	13
图 5.1 P-TFBGA64-0606-0.65AZ (TC358765XBG) 封装图	18
图 5.2 P-TFBGA49-0505-0.65AZ (TC358764XBG) 封装图	19

表格一览表

表 4.1 TC358765XBG BGA64 引脚数汇总	15
表 4.2 TC358764XBG BGA49 引脚数汇总	17
表 5.1 DSI-to-LVDS 封装信息汇总	19
表 6.1 绝对最大额定值	20
表 6.2 TC358764XBG 操作条件	21
表 6.3 TC358765XBG 操作条件	21
表 6.4 正常 CMOS I/O 直流规格	22
表 6.5 DSI 低功耗发射器直流规格	22
表 6.6 DSI 高速接收器直流规格	23
表 6.7 DSI 低功耗接收器直流规格	23
表 7.1 修订记录	25

- MIPI 为 MIPI Alliance, Inc 的注册商标。

Not Recommended
for New Design

特定标准产品和通用线性集成电路应用预防措施和使用注意事项

△注意

要采用适当的电源熔断器，以在过流和/或 IC 故障时不会有大量电流持续流动。在使用条件超过其绝对最大额定值、布线不当或接线或负荷出现异常脉冲噪声时，IC 会完全损坏，造成大量电流持续流动，故障还会产生冒烟或着火。在造成损坏情况下，为尽量降低大量电流流动的影响，需要进行适当设置，如熔断器容量、熔断时间和插入电路位置。

如果涉及包含电感负载，如电机线圈，要在设计中并入保护电路，以防设备在上电时因涌流或断电时因反电动势产生的负电流而造成故障或损坏。关于如何连接保护电路（如限流电阻器或反电动势吸收二极管）的详细情况，请参阅各 IC 数据表或 IC 数据手册。IC 损坏可能导致伤害、冒烟或着火。

要使用带内置保护功能 IC 的稳定电源。如果电源不稳定，保护功能可能无法工作，从而导致 IC 损坏。IC 损坏可能导致伤害、冒烟或着火。

谨慎选择外部元件（如输入和负反馈电容器）和负载元件（如扩音器），例如，电源安培计和稳压器。

如果存在大量漏电电流，如输入或反馈电容器，IC 输出直流电压就会增加。如果该输出电压连接至耐受电压的低输入扩音器，则过电流或 IC 故障就会导致冒烟或着火。（过电流会导致 IC 本身冒烟或着火。）在使用桥接式负载（BTL）连接类型的 IC（向扩音器直接输入输出 DC 电压）时，要尤其注意。

过电流保护电路

在所有情况下，过电流保护电路（称为限流器电路）不需保护 IC。如果过电流保护电路在过电流下工作，要立即消除过电流状态。

根据使用方法和使用条件，如超过绝对最大额定值会导致过电流保护电路无法正常工作或 IC 损坏。此外，根据使用方法和使用条件，如果过电流在运行之后持续长时间流动，则 IC 可能会发热，从而造成损坏。

热关断电路

在所有情况下，热关断电路不需保护 IC。如果热关断电路在过热条件下工作，则要立即消除发热状态。

根据使用方法和使用条件，如超过绝对最大额定值会导致热关断电路无法正常工作或 IC 损坏。

散热设计

使用大电流 IC 时（如电源安培计、稳压器或驱动器），要设计在任何时间和条件下都不超过规定结温（T_J）的适当散热装置。正常使用期间，这些 IC 会产生热平衡。IC 散热设计不当会导致 IC 寿命缩短、IC 特性退化或 IC 损坏。此外，设备的设计要充分考虑到 IC 热辐射对外围元件的影响。

安装**安装至散热器**

要将电源 IC 安装在不会对 IC 施加过大机械应力的散热器上。机械应力过大会导致封装破裂，从而降低可靠性或损坏内部 IC 芯片。此外，根据 IC 情况，可能会禁用硅橡胶。在打算使用 IC 时，要检查是否禁用硅橡胶。关于电源 IC 散热设计和散热器安装的详细情况，请参阅各技术数据表或 IC 数据手册。

还可参照“产品使用限制”。

参考文献

1. MIPI D-PHY, "MIPI Alliance D-PHY 规范草案版本 0.91.00 – r0.01, 2008.03.14"
2. MIPI Alliance DSI 规范, 版本 1.01, 2008.02
3. MIPI Alliance DPI 规范, 版本 2.0, 2005.09
4. FPD-链路简介, AN-1032, 应用注释, 国家半导体 2009
5. DS90C383/DS90CF384 LVDS 发射器 24-位 FPD 链路, 数据表, 国家半导体 2000
6. THC63LVD823 单/双链路 LVDS 发射器, 数据表, 哉英电子, 2000-2003。
7. SN75LVDS83 FlatLink 发射器, 数据表, 德州仪器, 1997-2009。
8. Toshiba LVDS183 CMOS5LA (TC320) 3.3V 单元信息, V1r2, 9/8/2008
9. Toshiba 双链路 LVDS 发射器 CMOS5LA 85MHz 应用注释, V. 1.5, 12/2/2008

Not Recommended
for New Design

1. 简介

TC358764XBG/TC358765XBG 的主要功能是实现 DSI-to-LVDS 桥接，使视频数据通过 DSI 链路输出，以驱动兼容 LVDS 的显示板。该芯片的主要功能是实现 DSI-to-LVDS 桥接，使视频数据通过 DSI 链路输出，以驱动兼容 LVDS 的显示板。对于单链路 LVDS 和双链路 LVDS，芯片分别支持高达 1366×768 24-位像素分辨率和 WUXGA (1920×1200 18-位像素) 分辨率。作为辅助功能，芯片还支持 DSI 链路控制的 I²C 主机；这可用作通过 I²C 的任何控制功能的接口。

该芯片可通过发送通用长写数据包写寄存器指令，并通过 DSI 链路进行配置。此外，还可通过 I²C 从属接口进行配置。

本规范提供有两个版本的产品：

TC358764XBG: 在 BGA49 封装中，支持多达 4 条数据通道的 DSI-RX，并输出到单链路 LVDS。

TC358765XBG: 在 BGA64 封装中，支持多达 4 条数据通道的 DSI-RX，并输出到双链路 LVDS。

1.1. 适用范围

本文对芯片的运行、芯片支持的各种主要功能以及配置寄存器组进行了详细说明，还包括引脚分配、封装、电气特性信息。

1.2. 目的

本文件用作 DSI-TO-LVDS 芯片详细技术信息交换及其在客户目标应用系统范围内使用的载体。也可作为芯片设计实施与验证的功能规范。

Not Recommended
for New Design

2. 设备概述

TC358764XBG/TC358765XBG 芯片的主要功能是作为 DSI-to-LVDS 通信协议桥接，使视频数据通过 DSI 链路流出，以驱动兼容 LVDS 的显示板。换句话说，芯片通过其 DSI 接收器 (DSI-Rx) 收到视频流输入，在缓冲器内对收到的像素数据进行缓冲，然后通过 LVDS 发射器将视频流重新传送。

作为辅助功能，芯片还支持 DSI 链路控制的 I²C 主机；这可用作系统内其他外设的编程接口。

芯片通过 DSI 链路进行配置。另外，它还可以通过 I²C 从机接口进行配置；在这种情况下，可能要禁用 I²C 主机功能。

LVDS 链路基准视频像素时钟通过输入引脚源自外部时钟 EXTCLK 或来自 DSICLK。芯片集成了合成有高速时钟的 PLL，以通过 LVDS 链路对视频数据进行序列化。

DSI-RX 接收器支持每通道 800 Mbps 比特率的 1-4 通道配置。主机可以视频模式下传送视频数据。在视频模式下，主机通过发送视频帧和行同步事件以及视频像素数据来控制视频时序；视频数据传输可为突发或非突发模式。由于芯片只集成了一个 1024-像素的视频缓冲器，所以，主机仍然要以适当的视频行时间传送像素数据，以避免缓冲器过流（或欠流）。

对于单/双链路，LVDS 发射器支持高达 85 MHz 的时钟频率。相应地，对于单链路，LVDS 吞吐量达 297.5 Mbytes/sec，而对于双链路，则为 595 Mbytes/sec。

芯片支持电源管理功能，以在不用时节省电源。主机通过 DSI 链路、采用 ULPS 讯息管理芯片功耗状态。

3. 特征

● DSI 接收器

- ◇ 可配置多达 4-通道-数据的 DSI 链路，其中，数据通道 0 支持双向传输
- ◇ 每条通道的最大比特率为 800 Mbps
- ◇ 视频输入数据格式：
 - RGB565 16 位/像素
 - RGB666 18 位/像素
 - RGB666 松散的 24 位/像素
 - RGB888 24 位/像素
- ◇ 视频帧大小：
 - 单链路 LVDS 显示板达 1366×768 24-位/像素分辨率
 - 双链路 LVDS 显示板达 WUXGA 分辨率 (1920×1200 18-位像素)
- ◇ 支持视频流数据包进行视频数据传输。
- ◇ 支持通用长数据包访问芯片寄存器组
- ◇ 支持主机控制片上 I²C 主时钟的路径

● LVDS FPD 链路发射器

- ◇ 支持单链路或双链路
- ◇ 最大像素时钟频率为 85 MHz。
- ◇ 对于单链路，LVDS 吞吐量达 297.5 MBytes/sec，而对于双链路，则为 595 Mbytes/sec
- ◇ 对于单链路或双链路，支持分别高达 1366×768 24-位的像素分辨率和 WUXGA (18 位/像素) 的分辨率
- ◇ 支持以下像素格式：
 - RGB666 18 位/像素
 - RGB888 24 位/像素
- ◇ 特征东芝幻方算法能使 RGB666 显示板产生几乎相当于 RGB888 24-位显示板的画质
- ◇ 并行数据输入数位排序弹性映射
- ◇ 支持可编程时钟极性
- ◇ 支持断电

● 系统操作

- ◇ 主机通过 DSI 链路配置芯片
- ◇ 通过 DSI 链路，主机采用通用读/写数据包访问芯片寄存器组。一个通用长写数据包可写入多个相邻寄存器地址
- ◇ 包括一个 I²C 主时钟功能，由主机通过 DSI 链路控制 (不支持多台主时钟)
- ◇ 电源管理的特点是节约电能
- ◇ 还可通过 I²C 从机接口访问配置寄存器

● 时钟源

- ◇ LVDS 像素时钟源既可是外部时钟 EXTCLK，也可以是 DSICLK。
- ◇ 内置 PLL 生成无需外部元件的高速 LVDS 序列化时钟

● 数字输入/输出信号

- ◇ 所有数字输入信号都能耐受 3.3V 电压
- ◇ 所有数字输出信号输出范围在 1.8V - 3.3V 之间，具体取决于 IO 电源电压

- 电源

- ◇ MIPI DSI D-PHY: 1.2 V
- ◇ LVDS PHY: 3.3 V
- ◇ I/O: 1.8 V - 3.3V (所有 IO 电源引脚必须为相同级别)
- ◇ 数字内核: 1.2 V

- 功耗

- ◇ 可通过以下方式实现断电:
 1. 停止视频流后禁用 PLL (0x04A0[8] = 1) 和 LVDS (0x049C[0] = 0) (在 DSI LP11 状态下)
 2. 驱动 DSI 数据通道达到 LP00 状态
 3. 停止 DSIClk 和/或 RefClk
- ◇ 断电模式: 功耗: 达到 55 μ W
 - DSI-RX: 10.39 μ A
 - LVDS_1.2V: 3.10 μ A
 - LVDS_3.3V: 0.015 μ A
 - 内核: 31.96 μ A
 - IOs_1.8V: 0.15 μ A
- ◇ 正常运行 (2-DSI 数据通道 @ 200 MHz, 单一 LVDS @ 27 MHz): 达到 157.58 mW
 - DSI-RX 2 通道 8.25 mA
 - LVDS_3.3V: 42.68 mA
 - LVDS_1.2V: 1.25 mA
 - 内核 4.34 mA
 - IOs_1.8V 0.067 mA
- ◇ 正常运行 (2-DSI 数据通道 @ 314 MHz, 每双 LVDS @ 44.25 MHz): 达到 259.16 mW
 - DSI-RX 2 通道 9.77 mA
 - LVDS_3.3V: 69.63 mA
 - LVDS_1.2V: 7.78 mA
 - 内核: 6.83 mA
 - IOs_1.8V: 0.061 mA

- 封装信息

- ◇ TC358765XBG: BGA64 (0.65mm 焊球间距)
 - 支持 DSI-RX 4-数据-通道 + 双-链路 LVDS-TX
 - 6.0mm \times 6.0mm \times 1.2mm
- ◇ TC358764XBG: BGA49 (0.65mm 焊球间距)
 - 支持 DSI-RX 4-数据-通道 + 单-链路 LVDS-TX
 - 5.0mm \times 5.0mm \times 1.2mm

注意: 注意防静电。本产品防静电能力欠佳。请小心处理。

4. 引脚布置

A1	A2	A3	A4	A5	A6	A7	A8
VSS_LVDS2_12	LVTX2A	LVTX2B	LVTX2C	LVTX2DN	LVTX2EN	VSS_LVDS2_33	VSS_LVDS1_12
B1	B2	B3	B4	B5	B6	B7	B8
VDD_LVDS2_12	LVTX2A	LVTX2B	LVTX2C	LVTX2DP	LVTX2EP	VDD_LVDS2_33	VDD_LVDS1_12
C1	C2	C3	C4	C5	C6	C7	C8
VSSI	VDDI	GPIO	GPIO3	VDD_LVDS2_33	VSS_LVDS2_33	LVTX1AP	LVTX1AN
D1	D2	D3	D4	D5	D6	D7	D8
EXTCL	GPIO	GPIO	RESX	TM	VDD_LVDS1_33	LVTX1BP	LVTX1BN
E1	E2	E3	E4	E5	E6	E7	E8
VSS	VDD	GPIO	VDDC	VSSC	VSS_LVDS1_33	LVTX1CP	LVTX1CN
F1	F2	F3	F4	F5	F6	F7	F8
VSSI	VDDI	VDD_MIP	VSS_MIP	VSS_MIP	VDD_MIPI	LVTX1DP	LVTX1DN
G1	G2	G3	G4	G5	G6	G7	G8
I2C_SCL	DSRXD0	DSRXD1	DSRXC	DSRXD2P	DSRXD3P	LVTX1EP	LVTX1EN
H1	H2	H3	H4	H5	H6	H7	H8
I2C_SD	DSRXD0	DSRXD1	DSRXC	DSRXD2M	DSRXD3M	VDD_LVDS1_33	VSS_LVDS1_33

图4.1 TC358765XBG 芯片引脚布置 (BGA64 – 顶视图)

A1	A2	A3	A4	A5	A6	A7
VSSIO	VDDIO	RESX	GPIO0	VSSC	VDDC	VSSC
B1	B2	B3	B4	B5	B6	B7
EXTCLK	VDDC	VSSC	TM	VDD_LVDS1_12	LVTX1AP	LVTX1AN
C1	C2	C3	C4	C5	C6	C7
I2C_SDA	GPIO3	GPIO2	GPIO1	VSS_LVDS1_12	LVTX1BP	LVTX1BN
D1	D2	D3	D4	D5	D6	D7
I2C_SCL	GPIO4	VSS_MIPI	VDD_MIPI	VSS_LVDS1_33	LVTX1CP	LVTX1CN
E1	E2	E3	E4	E5	E6	E7
VDDIO	VSSIO	VSS_MIPI	VDD_MIPI	VDD_LVDS1_33	LVTX1DP	LVTX1DN
F1	F2	F3	F4	F5	F6	F7
DSRXD0P	DSRXD1P	DSRXCP	DSRXD2P	DSRXD3P	LVTX1EP	LVTX1EN
G1	G2	G3	G4	G5	G6	G7
DSRXD0M	DSRXD1M	DSRXCM	DSRXD2M	DSRXD3M	VDD_LVDS1_33	VSS_LVDS1_33

图4.2 TC358764XBG 芯片引脚布置 (BGA49 – 顶视图)

4.1. TC358765XBG BGA64 引脚分配说明

组别	引脚名称	IO 类型	引脚数	说明	电源电压
DSI-RX 接口	DSRXCP	DSI-PHY	1	DSI 时钟信号 - 有效	1.2 V
	DSRXCM	DSI-PHY	1	DSI 时钟信号 - 无效	1.2 V
	DSRXD0P	DSI-PHY	1	DSI 数据通道 0 - 有效	1.2 V
	DSRXD0M	DSI-PHY	1	DSI 数据通道 0 - 无效	1.2 V
	DSRXD1P	DSI-PHY	1	DSI 数据通道 1 - 有效	1.2 V
	DSRXD1M	DSI-PHY	1	DSI 数据通道 1 - 无效	1.2 V
	DSRXD2P	DSI-PHY	1	DSI 数据通道 2 - 有效	1.2 V
	DSRXD2M	DSI-PHY	1	DSI 数据通道 2 - 无效	1.2 V
	DSRXD3P	DSI-PHY	1	DSI 数据通道 3 - 有效	1.2 V
	DSRXD3M	DSI-PHY	1	DSI 数据通道 3 - 无效	1.2 V
	VDD_MIPI	电源	2	MIPI 模拟电源	1.2 V
	VSS_MIPI	接地	2	MIPI 模拟接地	GND
第一链路 LVDS-TX 接口	LVTX1AP	LVDS-PHY	1	LVDS 第一链路数据通道 A - 有效	3.3 V
	LVTX1AN	LVDS-PHY	1	LVDS 第一链路数据通道 A - 无效	3.3 V
	LVTX1BP	LVDS-PHY	1	LVDS 第一链路数据通道 B - 有效	3.3 V
	LVTX1BN	LVDS-PHY	1	LVDS 第一链路数据通道 B - 无效	3.3 V
	LVTX1CP	LVDS-PHY	1	LVDS 第一链路数据通道 C - 有效	3.3 V
	LVTX1CN	LVDS-PHY	1	LVDS 第一链路数据通道 C - 无效	3.3 V
	LVTX1DP	LVDS-PHY	1	LVDS 第一链路数据通道 D (时钟) - 有效	3.3 V
	LVTX1DN	LVDS-PHY	1	LVDS 第一链路数据通道 D (时钟) - 无效	3.3 V
	LVTX1EP	LVDS-PHY	1	LVDS 第一链路数据通道 E - 有效	3.3 V
	LVTX1EN	LVDS-PHY	1	LVDS 第一链路数据通道 E - 无效	3.3 V
	VDD_LVDS1_3_3	电源	2	第一链路 LVDS 3.3 V 电源	3.3 V
	VSS_LVDS1_3_3	接地	2	第一链路 LVDS 3.3 V 接地	GND
VDD_LVDS1_1_2	电源	1	第一链路 LVDS 1.2V 电源	1.2 V	
VSS_LVDS1_1_2	接地	1	第一链路 LVDS 1.2V 接地	GND	
第二链路 LVDS-TX 接口	LVTX2AP	LVDS-PHY	1	LVDS 第二链路数据通道 A - 有效	3.3 V
	LVTX2AN	LVDS-PHY	1	LVDS 第二链路数据通道 A - 无效	3.3 V
	LVTX2BP	LVDS-PHY	1	LVDS 第二链路数据通道 B - 有效	3.3 V
	LVTX2BN	LVDS-PHY	1	LVDS 第二链路数据通道 B - 无效	3.3 V
	LVTX2CP	LVDS-PHY	1	LVDS 第二链路数据通道 C - 有效	3.3 V
	LVTX2CN	LVDS-PHY	1	LVDS 第二链路数据通道 C - 无效	3.3 V
	LVTX2DP	LVDS-PHY	1	LVDS 第二链路数据通道 D (时钟) - 有效	3.3 V
	LVTX2DN	LVDS-PHY	1	LVDS 第二链路数据通道 D (时钟) - 无效	3.3 V
	LVTX2EP	LVDS-PHY	1	LVDS 第二链路数据通道 E - 有效	3.3 V
	LVTX2EN	LVDS-PHY	1	LVDS 第二链路数据通道 E - 无效	3.3 V
	VDD_LVDS2_3_3	电源	2	第二链路 LVDS 3.3 V 电源	3.3 V
	VSS_LVDS2_3_3	接地	2	第二链路 LVDS 3.3 V 接地	GND
VDD_LVDS2_1_2	电源	1	第二链路 LVDS 1.2V 电源	1.2 V	
VSS_LVDS2_1_2	接地	1	第二链路 LVDS 1.2V 接地	GND	

	2				
I2C 接口	I2C_SCL	S-OD	1	I ² C 主机或从机接口时钟信号	1.8V-3.3V
	I2C_SDA	S-OD	1	I ² C 主机或从机接口数据信号	1.8V-3.3V
GPIO	GPIO[4:0]	N _{PD}	5	GPIO 数位 4-0	1.8V-3.3V
系统	RESX	N	1	硬件复位, 低电平有效	1.8V-3.3V
	EXTCLK	N	1	外部像素时钟源	1.8V-3.3V
	TM	N _{PD}	1	测试模式选择	1.8V-3.3V
	VDDIO	电源	2	IO 电源	1.8V-3.3V
	VSSIO	接地	2	IO 接地	GND
	VDDC	电源	2	数字内核电源	1.2 V
	VSSC	接地	2	数字内核接地	GND

缓冲器类型缩写:

- N: 正常 IO
 N_{PD}: 正常 IO 稍微内部下拉
 N_{PU}: 正常 IO 稍微内部上拉
 S-OD: 伪开漏输出, schmitt 输入
 SCHMIDTT: 故障安全 schmitt 输入缓冲器
 DSI-PHY: DSI 前端模拟 IO
 LVDS-PHY: LVDS 前端模拟 IO
 A: 模拟焊盘

4.2. TC358765XBG BGA64 引脚数汇总

表4.1 TC358765XBG BGA64 引脚数汇总

组名	引脚数	注释
DSI-RX 接口	14	包括 DSI 电源和接地
第一链路/第二链路 LVDS-TX 接口	32	包括 LVDS 电源和接地
I2C 接口	2	-
GPIO	5	-
系统	11	-
总引脚数	64	

4.3. TC358764XBG BGA49 引脚分配说明

组别	引脚名称	IO 类型	引脚数	说明	电源电压
DSI-RX 接口	DSRXCP	DSI-PHY	1	DSI 时钟信号 - 有效	1.2 V
	DSRXCM	DSI-PHY	1	DSI 时钟信号 - 无效	1.2 V
	DSRXD0P	DSI-PHY	1	DSI 数据通道 0 - 有效	1.2 V
	DSRXD0M	DSI-PHY	1	DSI 数据通道 0 - 无效	1.2 V
	DSRXD1P	DSI-PHY	1	DSI 数据通道 1 - 有效	1.2 V
	DSRXD1M	DSI-PHY	1	DSI 数据通道 1 - 无效	1.2 V
	DSRXD2P	DSI-PHY	1	DSI 数据通道 2 - 有效	1.2 V
	DSRXD2M	DSI-PHY	1	DSI 数据通道 2 - 无效	1.2 V
	DSRXD3P	DSI-PHY	1	DSI 数据通道 3 - 有效	1.2 V
	DSRXD3M	DSI-PHY	1	DSI 数据通道 3 - 无效	1.2 V
	VDD_MIPI	电源	2	MIPI 模拟电源	1.2 V
	VSS_MIPI	接地	2	MIPI 模拟接地	GND
LVDS-TX 接口	LVTX1AP	LVDS-PHY	1	LVDS 第一链路数据通道 A - 有效	3.3 V
	LVTX1AN	LVDS-PHY	1	LVDS 第一链路数据通道 A - 无效	3.3 V
	LVTX1BP	LVDS-PHY	1	LVDS 第一链路数据通道 B - 有效	3.3 V
	LVTX1BN	LVDS-PHY	1	LVDS 第一链路数据通道 B - 无效	3.3 V
	LVTX1CP	LVDS-PHY	1	LVDS 第一链路数据通道 C - 有效	3.3 V
	LVTX1CN	LVDS-PHY	1	LVDS 第一链路数据通道 C - 无效	3.3 V
	LVTX1DP	LVDS-PHY	1	LVDS 第一链路数据通道 D (时钟) - 有效	3.3 V
	LVTX1DN	LVDS-PHY	1	LVDS 第一链路数据通道 D (时钟) - 无效	3.3 V
	LVTX1EP	LVDS-PHY	1	LVDS 第一链路数据通道 E - 有效	3.3 V
	LVTX1EN	LVDS-PHY	1	LVDS 第一链路数据通道 E - 无效	3.3 V
	VDD_LVDS1_33	电源	2	第一链路 LVDS 3.3 V 电源	3.3 V
	VSS_LVDS1_33	接地	2	第一链路 LVDS 3.3 V 接地	GND
VDD_LVDS1_12	电源	1	第一链路 LVDS 1.2V 电源	1.2 V	
VSS_LVDS1_12	接地	1	第一链路 LVDS 1.2V 接地	GND	
I2C 接口	I2C_SCL	S-OD	1	I ² C 主机或从机接口时钟信号	1.8V-3.3V
	I2C_SDA	S-OD	1	I ² C 主机或从机接口数据信号	1.8V-3.3V
GPIO	GPIO[4:0]	N _{PD}	5	GPIO 数位 4-0	1.8V-3.3V
系统	RESX	N	1	硬件复位, 低电平有效	1.8V-3.3V
	EXTCLK	N	1	外部像素时钟源	1.8V-3.3V
	TM	N _{PD}	1	测试模式选择	1.8V-3.3V
	VDDIO	电源	2	IO 电源	1.8-3.3V
	VSSIO	接地	2	IO 接地	GND
	VDDC	电源	2	数字内核电源	1.2 V
	VSSC	接地	3	数字内核接地	GND

缓冲器类型缩写:

- N: 正常 IO
N_{PD}: 正常 IO 稍微内部下拉
S-OD: 伪开漏输出, schmitt 输入
SCHMIDTT: 故障安全 schmitt 输入缓冲器
DSI-PHY: DSI 前端模拟 IO
LVDS-PHY: LVDS 前端模拟 IO
A: 模拟焊盘

4.4. TC358764XBG BGA49 引脚数汇总

表4.2 TC358764XBG BGA49引脚数汇总

组名	引脚数	注释
DSI-RX 接口	14	包括 DSI 电源和接地
LVDS-TX 接口	16	包括 LVDS 电源和接地
I2C 接口	2	-
GPIO	5	-
系统	12	-
总引脚数	49	

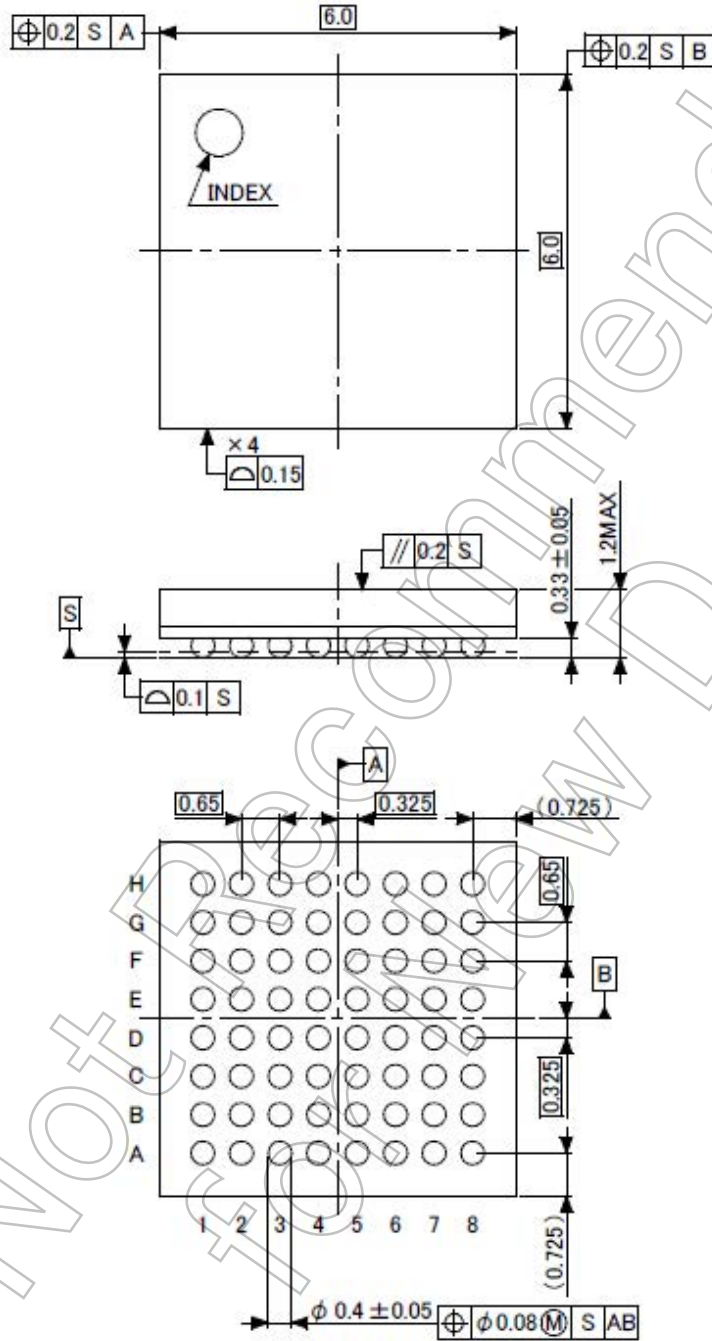
Not Recommended
for New Design

5. 封装

所有值均以毫米为单位。

P-TFBGA64-0606-0.65AZ

"Unit : mm"

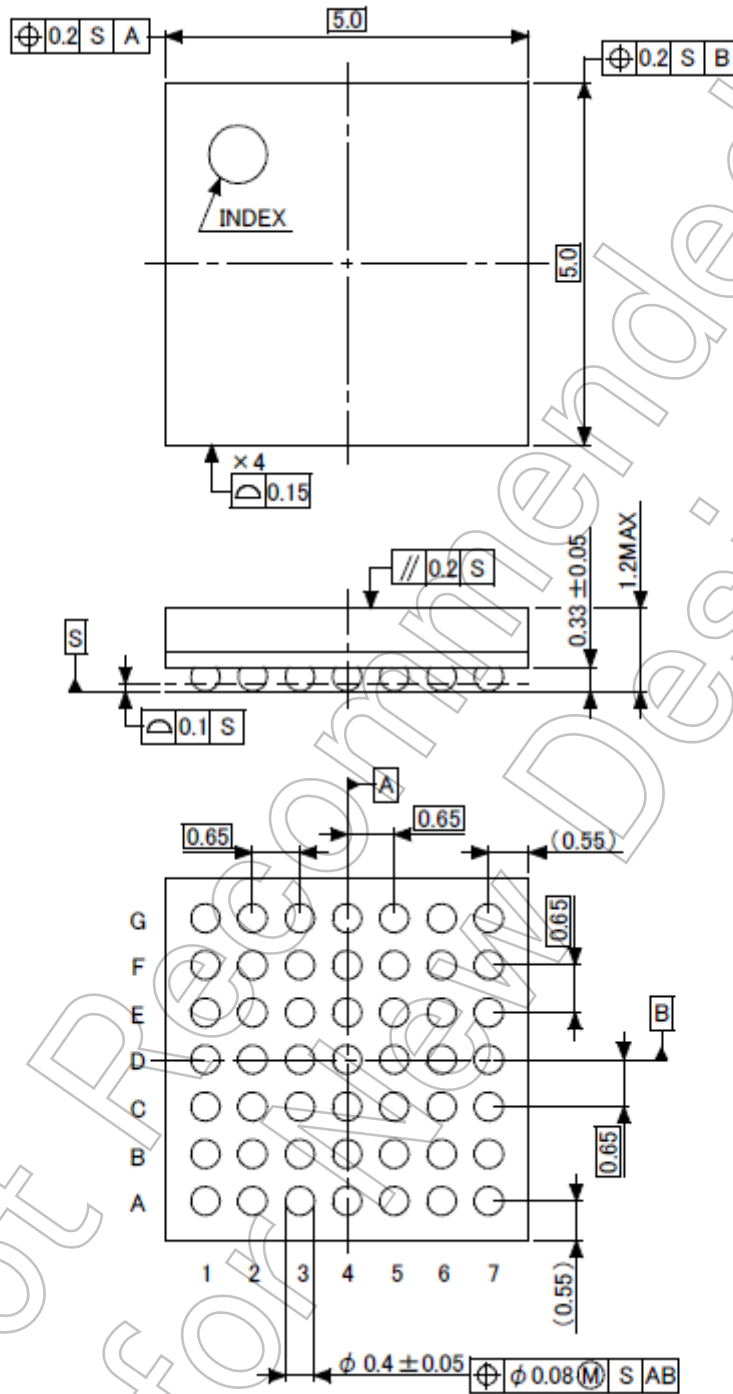


重量: 75 mg (典型值)

图5.1 P-TFBGA64-0606-0.65AZ (TC358765XBG) 封装图

P-TFBGA49-0505-0.65AZ

“Unit : mm”



重量：53 mg（典型值）

图5.2 P-TFBGA49-0505-0.65AZ (TC358764XBG) 封装图

表5.1 DSI-to-LVDS封装信息汇总

封装类型	内容
BGA64 (TC358765XBG)	0.65mm 焊球间距
BGA49 (TC358764XBG)	0.65 mm 焊球间距

6. 电气特性

6.1. 绝对最大额定值

环境工作温度范围： $T_a = -30^{\circ}\text{C} \sim +85^{\circ}\text{C}$

所有电压数值，除差分 I/O 总线电压之外，都与网络接地端子有关。

表6.1 绝对最大额定值

参数	符号	额定值	单位
电源电压 (1.8V – 数字 IO)	VDDIO	-0.3 to +3.9	V
电源电压 (1.2V – 数字核心)	VDDC	-0.3 to +1.8	V
电源电压 (1.2V – MIPI DSI PHY)	VDD_MIPI	-0.3 to +1.8	V
电源电压 (3.3V – LVDS PHY)	VDD_LVDS1_33, VDD_LVDS2_33	-0.3 to +3.9	V
电源电压 (1.2V – LVDS PHY)	VDD_LVDS1_12 VDD_LVDS2_12	-0.3 to +1.8	V
输入电压 (DSI I/O)	V_{IN_DSI}	-0.3 to VDD_MIPI+0.3	V
输出电压 (DSI I/O)	V_{OUT_DSI}	-0.3 to VDD_MIPI+0.3	V
输入电压 (数字 IO)	V_{IN_IO}	-0.3 to VDDIO+0.3	V
输出电压 (数字 IO)	V_{OUT_IO}	-0.3 to VDDIO+0.3	V
输出电压 (LVDS 驱动程序)	V_{OUT_LVDS}	-0.3 to VDD_LVDS_33+0.3	V
结温	T_j	125	$^{\circ}\text{C}$
储存温度	T_{stg}	-40 to +125	$^{\circ}\text{C}$

6.2. 操作条件

表6.2 TC358764XBG操作条件

参数	符号	最小值	典型值	最大值	单位
电源电压(1.8V –数字 IO)	VDDIO	1.65	1.8	1.95	V
电源电压(3.3V –数字 IO)	VDDIO	3.0	3.3	3.6	V
电源电压(1.2V –数字核心)	VDDC	1.1	1.2	1.3	V
电源电压(1.2V – LVDS PHY)	VDD_LVDS1_12	1.1	1.2	1.3	V
电源电压(3.3V – LVDS PHY)	VDD_LVDS1_33	3.0	3.3	3.6	V
电源电压(1.2V – MIPI-DSI PHY)	VDD_MIPI	1.1	1.2	1.3	V
工作温度 (环境温度, 外施电压)	T _a	-30	+25	+85	°C
电源噪声电压	V _{SN}	-	-	100	mV _{pp}

表6.3 TC358765XBG操作条件

参数	符号	最小值	典型值	最大值	单位
电源电压(1.8V –数字 IO)	VDDIO	1.65	1.8	1.95	V
电源电压(3.3V –数字 IO)	VDDIO	3.0	3.3	3.6	V
电源电压(1.2V –数字核心)	VDDC	1.1	1.2	1.3	V
电源电压(1.2V – LVDS PHY)	VDD_LVDS1_12 VDD_LVDS2_12	1.1	1.2	1.3	V
电源电压(3.3V – LVDS PHY)	VDD_LVDS1_33 VDD_LVDS2_33	3.0	3.3	3.6	V
电源电压(1.2V – MIPI-DSI PHY)	VDD_MIPI	1.1	1.2	1.3	V
工作温度 (环境温度, 外施电压)	T _a	-30	+25	+85	°C
电源噪声电压	V _{SN}	-	-	100	mV _{pp}

6.3. 直流电气规范

除非另有规定，所有典型值都在正常操作条件下。

6.3.1. 正常 CMOS I/O 直流规格

表6.4 正常CMOS I/O 直流规格

参数- CMOS I/O	符号	条件	最小值	典型值	最大值	单位
输入电压，高电平输入 注1	V_{IH}	-	0.7 VDDIO	-	VDDIO	V
输入电压，低电平输入 注1	V_{IL}	-	0	-	0.3 VDDIO	V
输入电压，高电平 CMOS Schmitt 触发器 注1,2	V_{IHS}	-	0.7 VDDIO	-	VDDIO	V
输入电压，低电平 CMOS Schmitt 触发器 注1,2	V_{ILS}	-	0	-	0.3 VDDIO	V
输出电压，高电平 注1,2	V_{OH}	$I_{OH} = -0.4mA$	0.8 VDDIO	-	VDDIO	V
输出电压，低电平 注1,2	V_{OL}	$I_{OL} = 2mA$	0	-	0.2 VDDIO	V
输入漏电流，高电平 “正常”引脚上	I_{ILH1} (Note4)	$V_{IN} = +VDDIO, VDDIO = 3.6V$	-10	-	10	μA
输入漏电流，高电平 下拉 I/O 引脚上	I_{ILH2} (Note4)	$V_{IN} = +VDDIO, VDDIO = 3.6V$	-	-	100	μA
输入漏电流，低电平 “正常”或“下拉”I/O 引脚上	I_{ILL1} (Note5)	$V_{IN} = 0V, VDDIO = 3.6V$	-10	-	10	μA
输入漏电流，低电平 “上拉”I/O 引脚上	I_{ILL2} (Note5)	$V_{IN} = 0V, VDDIO = 3.6V$	-	-	-200	μA

注1： 各电源要在建议操作条件下操作。

注2： 要针对各 IO 缓冲器单独规定电流输出值。输出电压随输出电流值变化。

注4： “正常”或上拉 I/O 引脚向 V_{in} （输入电压）施加 VDDIO 电源电压。

注5： “正常”或“下拉”I/O 引脚向 V_{in} （输入电压）施加 VSSIO(0V)。

6.3.2. DSI 差分 I/O 直流规格

6.3.2.1 低功耗发射器

低功耗发射器在所有低功耗操作模式下用来激励线路。下面提供了低功耗发射器的直流特性。

表6.5 DSI 低功耗发射器直流规格

参数	符号	最小值	典型值	最大值	单位
戴维宁输出，高电平	V_{OH}	1.1	1.2	1.3	V
戴维宁输出，低电平	V_{OL}	-50	-	50	mV
低功耗发射器输出阻抗	Z_{OLP}	110	-	-	Ω

6.3.2.2 高速接收器

高速接收器是带有可切换并行输入终端的差分线路接收器。在主机高速传输期间，它用来接收数据。下面提供了高速接收器的直流特性。

表6.6 DSI 高速接收器直流规格

参数	符号	最小值	典型值	最大值	单位
共模电压高速接收模式	$V_{CMRX(DC)}$	70	-	330	mV
差分输入高阈值	V_{IDTH}	-	-	70	mV
差分输入低阈值	V_{IDTL}	-70	-	-	mV
单端输入高电压	V_{IHHS}	-	-	460	mV
单端输入低电压	V_{ILHS}	-40	-	-	mV
高速终端启用用单端阈值	$V_{TERM-EN}$	-	-	450	mV
差分输入阻抗	Z_{ID}	80	100	125	Ω

6.3.2.3 低速接收器

低速接收器用来检测各引脚上的“低功耗”状态。在主机低速传输期间，它用来接收数据。下面提供了低功耗接收机的直流特性。

表6.7 DSI 低功耗接收器直流规格

参数	符号	最小值	典型值	最大值	单位
逻辑 1 输入电压	V_{IH}	880	-	-	mV
逻辑 0 输入电压	V_{IL}	-	-	550	mV

6.3.3. LVDS 发射器直流规格

参数	符号	最小值	典型值	最大值	单位
输出电压上限正常范围 (负载电阻=100Ω±1%)	V_{OH}	-	-	1600	mV
输出电压上限降低范围 (负载电阻=100Ω±1%)	V_{OH}	-	-	1500	mV
输出电压下限正常范围 (负载电阻=100Ω±1%)	V_{OL}	900	-	-	mV
输出电压下限降低范围 (负载电阻=100Ω±1%)	V_{OL}	1000	-	-	mV
输出差分电压“正常” (负载电阻=100Ω±1%)	$ V_{OD} $	250	-	450	mV
输出差分电压“降低” (负载电阻=100Ω±1%)	$ V_{OD} $	150	-	300	mV
输出偏移电压 (正常与降低范围) (负载电阻=100Ω±1%)	V_{OS}	1125	1250	1375	mV
“0”与“1”之间的 VOD 变化 (负载电阻=100Ω±1%)	ΔV_{OD}	-	-	30	mV
输出偏移电压 (负载电阻=100Ω±1%)	ΔV_{OS}	-	-	25	mV
输出电流(驱动芯片短路)	I_{sab}	-	-	12	mA
输出电流 (驱动芯片对地短路)	I_{sab}, I_{sb}	-	-	30	mA

6.3.4. LVDS 发射器电源电流

参数	符号	最小值	典型值	最大值	单位
发射器电源电流 (CIK + 4 数据通道) (75MHz - 3.3V 电源电流)	I_{TCCW}	-	45	65	mA
发射器断电电源电流	I_{TCCS}	-	5	500	μA

7. 修订记录

表7.1 修订记录

修订版本	日期	说明
1.281	2014-04-21	最新发布
1.282	2016-04-01	对封装重量小数点后的数字进行取舍，使其成为一个整数。

Not Recommended
for New Design

RESTRICTIONS ON PRODUCT USE

- Toshiba Corporation, and its subsidiaries and affiliates (collectively "TOSHIBA"), reserve the right to make changes to the information in this document, and related hardware, software and systems (collectively "Product") without notice.
- This document and any information herein may not be reproduced without prior written permission from TOSHIBA. Even with TOSHIBA's written permission, reproduction is permissible only if reproduction is without alteration/omission.
- Though TOSHIBA works continually to improve Product's quality and reliability, Product can malfunction or fail. Customers are responsible for complying with safety standards and for providing adequate designs and safeguards for their hardware, software and systems which minimize risk and avoid situations in which a malfunction or failure of Product could cause loss of human life, bodily injury or damage to property, including data loss or corruption. Before customers use the Product, create designs including the Product, or incorporate the Product into their own applications, customers must also refer to and comply with (a) the latest versions of all relevant TOSHIBA information, including without limitation, this document, the specifications, the data sheets and application notes for Product and the precautions and conditions set forth in the "TOSHIBA Semiconductor Reliability Handbook" and (b) the instructions for the application with which the Product will be used with or for. Customers are solely responsible for all aspects of their own product design or applications, including but not limited to (a) determining the appropriateness of the use of this Product in such design or applications; (b) evaluating and determining the applicability of any information contained in this document, or in charts, diagrams, programs, algorithms, sample application circuits, or any other referenced documents; and (c) validating all operating parameters for such designs and applications. **TOSHIBA ASSUMES NO LIABILITY FOR CUSTOMERS' PRODUCT DESIGN OR APPLICATIONS.**
- **PRODUCT IS NEITHER INTENDED NOR WARRANTED FOR USE IN EQUIPMENTS OR SYSTEMS THAT REQUIRE EXTRAORDINARILY HIGH LEVELS OF QUALITY AND/OR RELIABILITY, AND/OR A MALFUNCTION OR FAILURE OF WHICH MAY CAUSE LOSS OF HUMAN LIFE, BODILY INJURY, SERIOUS PROPERTY DAMAGE AND/OR SERIOUS PUBLIC IMPACT ("UNINTENDED USE").** Except for specific applications as expressly stated in this document, Unintended Use includes, without limitation, equipment used in nuclear facilities, equipment used in the aerospace industry, medical equipment, equipment used for automobiles, trains, ships and other transportation, traffic signaling equipment, equipment used to control combustions or explosions, safety devices, elevators and escalators, devices related to electric power, and equipment used in finance-related fields. **IF YOU USE PRODUCT FOR UNINTENDED USE, TOSHIBA ASSUMES NO LIABILITY FOR PRODUCT.** For details, please contact your TOSHIBA sales representative.
- Do not disassemble, analyze, reverse-engineer, alter, modify, translate or copy Product, whether in whole or in part.
- Product shall not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable laws or regulations.
- The information contained herein is presented only as guidance for Product use. No responsibility is assumed by TOSHIBA for any infringement of patents or any other intellectual property rights of third parties that may result from the use of Product. No license to any intellectual property right is granted by this document, whether express or implied, by estoppel or otherwise.
- **ABSENT A WRITTEN SIGNED AGREEMENT, EXCEPT AS PROVIDED IN THE RELEVANT TERMS AND CONDITIONS OF SALE FOR PRODUCT, AND TO THE MAXIMUM EXTENT ALLOWABLE BY LAW, TOSHIBA (1) ASSUMES NO LIABILITY WHATSOEVER, INCLUDING WITHOUT LIMITATION, INDIRECT, CONSEQUENTIAL, SPECIAL, OR INCIDENTAL DAMAGES OR LOSS, INCLUDING WITHOUT LIMITATION, LOSS OF PROFITS, LOSS OF OPPORTUNITIES, BUSINESS INTERRUPTION AND LOSS OF DATA, AND (2) DISCLAIMS ANY AND ALL EXPRESS OR IMPLIED WARRANTIES AND CONDITIONS RELATED TO SALE, USE OF PRODUCT, OR INFORMATION, INCLUDING WARRANTIES OR CONDITIONS OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, ACCURACY OF INFORMATION, OR NONINFRINGEMENT.**
- Do not use or otherwise make available Product or related software or technology for any military purposes, including without limitation, for the design, development, use, stockpiling or manufacturing of nuclear, chemical, or biological weapons or missile technology products (mass destruction weapons). Product and related software and technology may be controlled under the applicable export laws and regulations including, without limitation, the Japanese Foreign Exchange and Foreign Trade Law and the U.S. Export Administration Regulations. Export and re-export of Product or related software or technology are strictly prohibited except in compliance with all applicable export laws and regulations.
- Please contact your TOSHIBA sales representative for details as to environmental matters such as the RoHS compatibility of Product. Please use Product in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. **TOSHIBA ASSUMES NO LIABILITY FOR DAMAGES OR LOSSES OCCURRING AS A RESULT OF NONCOMPLIANCE WITH APPLICABLE LAWS AND REGULATIONS.**