

CMOS 形 デジタル集積回路 シリコン モノリシック

# TZ2100 シリーズ

Application Processor Lite ApP Lite

## 概要

TZ2100 シリーズは、Arm<sup>®</sup> Cortex<sup>®</sup>-A9 CPU を搭載したアプリケーションプロセッサです。

浮動小数点ユニット (FPU)、グラフィックス機能、LCD コントロール機能やカメラ入力機能を搭載しており、最大1 MBのSRAMを内蔵しています。また、USB ホスト/デバイスコントローラ(オプション)、Ethernet、外部バスなどの各種の拡張インタフェースを搭載し、バックアップ用途のSRAMやRTC機能を内蔵しており、多様な応用分野のメインプロセッサとして使用することができます。

さらにセキュリティ機能として、暗号化エンジンなどを内蔵(オプション)しており、強固なセキュアシステムの構築が可能です。

この製品はアプリケーションプロセッサ: **ApP Lite** のファミリー製品です。

## 用途

民生機器、ハンディ機器、産業機器用途での Human-Machine interface パネル、Machine to machine 用機器、産業機器用制御ボード、アミューズメント機器など。

## 特長

- ホスト CPU
  - Arm<sup>®</sup> Cortex<sup>®</sup>-A9 MP Core (Revision r4p1)  
最大動作周波数 600 MHz
  - Arm<sup>®</sup>v7-A 命令セットアーキテクチャ
  - 浮動小数点ユニット (FPU)
  - 32 KB L1 I キャッシュ/D キャッシュ
  - 128 KB L2 キャッシュ
  - メモリ管理ユニット: 128 エントリ TLB
  - デバッグ機能  
Arm<sup>®</sup> CoreSight<sup>™</sup> (revision: r2p0-01)  
v7 デバッグアーキテクチャ  
JTAG デバッグポート
  - WFI 時の低消費電力機能を搭載
- システム制御機能
  - システム制御ユニット (SMU):  
リセット制御、クロック制御
  - パワー制御ユニット (PMU):  
外部電源制御、内部電源制御
  - セキュリティサービス機能 (オプション)  
AES、SHA-1、SHA-256、RSA  
ランダム発生器 (RNG)
  - 割り込み制御
- SDRAM コントローラ
  - DDR3 / 3L メモリインタフェース (16 ビット幅)
  - データレート: 800 Mbps
  - 対応メモリ容量: 最大 512 MB
  - ODT 機能
- 内蔵 SRAM
  - 1 MB の SRAM を内蔵
  - 32 KB のバックアップ用 SRAM を内蔵  
低消費電力でデータ保持が可能
- リアルタイムクロック (RTC)
  - 低消費電力で動作が可能
  - クロック: 32.768 kHz
  - 時計表示、カレンダー機能
  - 時間調整、アラーム割り込み、周期的割り込み  
BCD フォーマット
- DMA コントローラ
  - DMA330 対応の AXI プロトコルによる DMA 転送をサポート
  - 複数の転送モードに対応  
メモリ間、メモリから I/O、I/O からメモリ
  - 8 つの DMA チャンネルスレッドと、1 つの DMA マネージャスレッド
- タイマ
  - 16 個の 32 ビットダウンカウンタ  
1 カウンタはウォッチドッグタイマとして選択可
- 2D グラフィックスアクセラレータ
  - 東芝オリジナルグラフィックスアクセラレータ
  - Blitting、Rotation、Transforming、Drawing
- YUV⇒RGB 変換
  - 入力フォーマット: YUV 4:2:0 8 ビット、  
YUV 4:2:2 8 ビット
  - 入力解像度: QVGA、VGA から最大 2048×2048
  - 出力フォーマット: RGBA8888、ARGB8888  
RGB565、RGB888

- LCD コントローラ
  - パラレル出力: RGB 24 ビット
  - 出力解像度: WVGA (最大)
  - フレームレート: 60 fps (最大)
  - 入力フォーマット: RGBA8888、ARGB8888、RGB565、ARGB1555
  - $\alpha$  ブレンディング: 最大 5 プレーン
- カメラ入力
  - 1 チャンネル
  - パラレル入力: 8 ビットデータ
  - フレームレート: 60 fps (最大)
  - 解像度 (8 pixel 単位): 2048 × 2048 (最大)
  - 入力フォーマット: YUV 4:2:2 8 ビット RAW8、RGB565、ITU-RBT.656
- オーディオインタフェース
  - 2 チャンネル: 出力専用 1 チャンネル、入出力用 1 チャンネル
  - 音声フォーマット: I2S ステレオ、LR ステレオ、PCM モノラル
  - サンプリングクロック: 192 kHz, 96 kHz, 48 kHz, 44.1 kHz, 32 kHz など
- USB2.0 ホストインタフェース (オプション)
  - 1 ポート USB2.0 準拠 (EHCI rev 1.0, OHCI 対応)
  - データ転送レート: 480 Mbps/12 Mbps/1.5 Mbps
  - 転送モード: コントロール/インタラプト/バルク/アイソクロナス
- USB2.0 デバイスインタフェース (オプション)
  - 1 ポート (Host/Device で排他使用)
  - データ転送レート: 480 Mbps/12 Mbps/1.5 Mbps
  - 転送モード: コントロール/インタラプト/バルク/アイソクロナス
- 10/100 イーサネット MAC
  - 1 チャンネルの 10/100 Mbps イーサネット MAC
  - IEEE Standard 802.3, 2000 Edition に準拠
  - 全 2 重 / 半 2 重通信に対応
  - PHY インタフェースとして RMII に対応 (10/100-Mbps)
  - IEEE802.3x フロー制御機能
  - Jumbo Frame 対応 (4 KB まで)
- eMMC / SD Card /SDIO インタフェース
  - 4 ビットデータ幅 2 チャンネル
  - 8 ビットデータ幅 1 チャンネル
  - 転送速度: 150 MHz (最大)
  - 対応規格: eMMC Ver. 4.5, SD Ver 3.0, SDIO Ver 3.0 DS, HS, SDR12, SDR25, SDR50, SDR104 モードサポート
  - SD カード制御端子
- SPI Flash Memory Controller インタフェース
  - チップセレクト: 2 ビット
  - Bit 幅: Single/Dual/Quad モードインタフェース
  - 転送速度: 50 MHz (最大)
  - メモリサイズ: 64 KB から 128 MB
- SPI インタフェース (通信用、送信専用)
  - 通信用マスタが 2 チャンネル、送信専用が最大 7 チャンネル選択可
  - 転送速度: 25 MHz (最大)
  - 通信用スレーブ 1 チャンネル
  - 転送速度: 5 MHz (最大)
- 外部バスインタフェース
  - データ幅: 32 ビット/16 ビット/8 ビット (混在可)
  - アドレス幅: 27 ビット
  - 対応メモリ容量: 最大 768 MB
  - チップセレクト: 4 ビット
  - 非同期式リード/ライト、非同期式ページリード、同期式バーストリード/ライトに対応
  - 非同期式でのブートデバイス使用可能
- UART インタフェース
  - 4 チャンネルで、1 チャンネルはフロー制御非対応
  - 動作速度: 1.5 Mbps (最大)
  - フロー制御対応ポート UART 16550 に準拠
  - 外部クロック入力対応
  - 全 2 重送信モード、DMA 転送モード
- I<sup>2</sup>C バスインタフェース
  - 4 チャンネル
  - オープンドレイン、シュミットトリガ対応
  - Fast mode plus (最大 1000 kbps)、Fast mode、Standard mode に対応
  - マスタ (マルチマスタ対応)、スレーブ選択可
- パラレルポート入力インタフェース
  - 1 チャンネル
  - データ幅: 8 ビット
  - Data FIFO: 8 ビット × 16 段
- GPIO インタフェース
  - 最大 128 チャンネル
  - 外部入力を割り込み信号として使用可能
- AD 変換入力
  - 4 チャンネル入力
  - 12 ビット逐次変換
  - サンプリング周波数: 1.07 MHz (最大)
- PWM 出力
  - 6 チャンネル
  - 各周波数とデューティ比を任意に設定可

## 製品一覧

TZ2100 シリーズの派生品種には、以下の製品があります。以下の表では、仕様の差異がある項目を記載しています。

製品	最大動作 周波数(MHz)	動作温度 Ta (°C)	内部電源 電圧(V)	暗号機能	USB 2.0 機能
TZ2100XBG(O,2)	300	-40~85	1.00~1.20	—	—
TZ2100XBG(O,5)	300	-20~80	1.00~1.20	—	ホスト/デバイス
TZ2102XBG(O,3)	600	-20~80	1.06~1.21	—	ホスト
TZ2102XBG(O,6)	600	-40~85	1.10~1.20	—	ホスト/デバイス
TZ2101XBG(O,6)	600	-40~85	1.10~1.20	対応	ホスト/デバイス

Not Recommended  
for New Design

## 目次

概要	1
用途	1
特長	1
製品一覧	3
序章	8
関連文書	8
表記規約	8
1. 特長	9
1.1. CPU	9
1.2. システム制御機能	9
1.3. SDRAM コントローラ	9
1.4. 内蔵メモリ	10
1.5. リアルタイムクロック (RTC)	10
1.6. 周辺機能	10
1.7. グラフィックスアクセラレータ、YUV 変換および LCD コントローラ	10
1.8. カメラ入力	11
1.9. オーディオインターフェース	11
1.10. 高速インターフェースコントローラ	11
1.11. 周辺インターフェース	12
2. ブロック図	14
3. 端子の説明	15
3.1. 端子配置図	15
3.2. 端子一覧表 (ボール番号順)	16
3.3. 信号の機能一覧	20
3.3.1. クロック・リセット	20
3.3.2. DDR3/3L メモリインターフェース	20
3.3.3. SPI Flash Memory Controller インターフェース	22
3.3.4. eMMC/SD card/SDIO インターフェース	22
3.3.5. 外部バスインターフェース	23
3.3.6. UART インターフェース	24
3.3.7. I <sup>2</sup> C バスインターフェース	25
3.3.8. SPI インターフェース (通信用マスタ)	26
3.3.9. SPI インターフェース (送信専用)	26
3.3.10. SPI インターフェース (通信用スレーブ)	27
3.3.11. USB2.0 ホスト/デバイスインターフェース	27
3.3.12. イーサネット MAC インターフェース	27
3.3.13. カメラ入力	28

3.3.14. ディスプレイ出力	28
3.3.15. オーディオインターフェース	29
3.3.16. PWM 出力	29
3.3.17. パラレルポート入力インターフェース	29
3.3.18. GPIO インターフェース	30
3.3.19. AD 変換入力	33
3.3.20. デバッグ用 JTAG インターフェース	33
3.3.21. その他	33
3.3.22. 電源およびグラウンド	34
3.4. 端子機能の切り替え	35
3.4.1. レジスタによるシェアピンの切り替え	35
4. 電气的特性	38
4.1. 絶対最大定格	38
4.2. 推奨動作条件	38
4.2.1. TZ2100XBG の動作条件	38
4.2.2. TZ2102XBG の動作条件	39
4.2.3. TZ2101XBG/TZ2102XBG の動作条件 (温度拡張品)	40
4.3. 消費電流	41
4.4. DC 特性	42
4.4.1. デジタル IO 用端子	42
4.4.2. eMMC/SD Card/SDIO 用端子	43
4.5. AC 特性	44
4.5.1. クロック入力	44
4.5.2. DDR3/DDR3L メモリインターフェース	45
4.5.3. SPI Flash Memory Controller インターフェース	46
4.5.4. eMMC / SD card / SDIO インターフェース	47
4.5.5. 外部バスインターフェース	50
4.5.5.1. 同期モード	50
4.5.5.2. 非同期モード	51
4.5.6. I <sup>2</sup> C バスインターフェース	55
4.5.7. SPI インターフェース (通信用マスタ、送信専用)	57
4.5.8. SPI インターフェース (通信用スレーブ)	58
4.5.9. イーサネット MAC インターフェース	59
4.5.10. カメラ入力	60
4.5.11. LCD 出力	61
4.5.12. オーディオインターフェース	62
4.5.13. パラレルポート入力インターフェース	64
4.5.14. AD 変換入力	64
5. 外形図	65
5.1. 外形寸法図	65

---

6. 改訂履歴.....	66
製品取り扱い上のお願い.....	68

**図目次**

図 2.1 ブロック図.....	14
図 3.1 端子配置図.....	15
図 5.1 外形寸法図.....	65

**表目次**

表 3.1 端子一覧表（ボール番号順）.....	16
表 3.2 シェアピン切り替え対応表.....	35
表 6.1 改訂履歴.....	66

Not Recommended  
for New Design

※Arm、AMBA、Cortex、Jazelle、NEON および TrustZone は、Arm Limited（またはその子会社）の US またはその他の国における登録商標です。CoreLink と CoreSight は、Arm Limited（またはその子会社）の US またはその他の国における商標です。All rights reserved.



※その他本文中に記載されている社名、商品名、サービス名などは、それぞれ各社が商標として使用している場合があります。

Not Recommended  
for New Design

## 序章

### 関連文書

- 参照する規格や参照するドキュメント  
– DDR3 SDRAM SPECIFICATION

### 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名を表記するのに [m:n] とまとめて表記する場合があります。  
例: S[3:0] は S3, S2, S1, S0 の 4 つの信号名をまとめて表記しています。
- 本文中、[ ] で囲まれたものはレジスタを定義しています。  
例: [ABCD]
- 同じ種類の複数のレジスタ、フィールド、ビット名を表記するのに「n」で一括表記する場合があります。  
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- レジスタのビット範囲を表記するのに [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD].EFG = 0x01 (16 進数)、[XYZn].VW = 1 (2 進数)
- ワード、バイトは以下の表記を使用しています。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - W1C: 「1」ライトクリア (「1」のライトで対応するビットをクリア「0」)
  - W1S: 「1」ライトセット (「1」のライトで対応するビットをセット「1」)
  - R/W: リード / ライト
  - R/W0C: リード / 「0」ライトクリア
  - R/W1C: リード / 「1」ライトクリア
  - R/W1S: リード / 「1」ライトセット
  - RS/WC: リードセット / ライトクリア (リード後「1」にセット、ライト後「0」にクリア)
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。

## 1. 特長

### 1.1. CPU

#### (1) ホスト CPU

Arm® Cortex®-A9 MP Core (Revision r4p1)

命令セットアーキテクチャ: Arm®v7-A アーキテクチャ

動作周波数: 600 MHz (Note 1) / 300 MHz / 150 MHz / 75 MHz など選択可能

レベル1 命令キャッシュ: 32 KB (4 ウェイセットアソシアティブ)

レベル1 データキャッシュ: 32 KB (4 ウェイセットアソシアティブ)

レベル2 キャッシュ: 128 KB (8 ウェイセットアソシアティブ)

データエンジン: 浮動小数点ユニット (FPU)

内部バス: 単精度・倍精度浮動小数点形式のサポート

デバッグ機能: 64 ビット幅 AXI マスタインタフェース

Arm® CoreSight™ (revision: r2p0-01)

v7 デバッグアーキテクチャ、JTAG デバッグポート

Memory Management Unit: 128 エントリ TLB

パイプライン:

スーパスカラ、アウトオブオーダー

WFI 時の低消費電力機能を搭載

Note 1: TZ2101XBG、TZ2102XBG のみ

### 1.2. システム制御機能

#### (1) システムマネジメントユニット (SMU)

リセット制御、クロック制御

#### (2) パワーマネジメントユニット (PMU)

外部電源制御、内部電源制御

#### (3) セキュリティサービス機能 (オプション対応)

AES、SHA-1、SHA-256、RSA

ランダム発生器 (RNG)

#### (4) 割り込み制御機能

ホスト CPU に対して割り込み信号を出力

### 1.3. SDRAM コントローラ

#### (1) SDRAM コントローラ

DDR3 / 3L メモリインタフェース

バス幅: 16 ビット

データレート: 800 Mbps

対応メモリ容量: 512 MB (最大)

セルフリフレッシュ機能内蔵

ODT 機能

## 1.4. 内蔵メモリ

(1) 内蔵 SRAM

1 MB の SRAM を内蔵

(2) バックアップ SRAM

32 KB のバックアップ用 SRAM 内蔵

専用電源領域に内蔵されており、低消費電力でのデータ保持に最適です。

## 1.5. リアルタイムクロック (RTC)

(1) リアルタイムクロック機能

クロック: 32.768 kHz

時計表示 (時:分:秒)、am-pm/24 時間

カレンダー機能 (月、週、日、うるう年対応)

時間調整、アラーム割り込み、周期的割り込み、BCD フォーマット対応

専用電源領域に内蔵されており、低消費電力での動作が可能です。

## 1.6. 周辺機能

(1) DMA コントローラ

複数の転送モードに対応 (メモリ間、メモリから I/O、I/O からメモリ)

独自の命令セットを持ち、プログラマブルな DMA 転送が可能

8 つの DMA チャンネルスレッドと、1 つの DMA マネージャスレッド

(2) タイマ

16 個の 32 ビットダウンカウンタ

1 カウンタはウォッチドッグタイマ (WDT) として選択可

## 1.7. グラフィックスアクセラレータ、YUV 変換および LCD コントローラ

(1) 2D グラフィックスアクセラレータ

東芝オリジナルグラフィックスアクセラレータ

ブリットエンジン (アルファブレンド処理対応)、変形エンジン、回転エンジン (回転、拡大縮小、

透視投影)、描画エンジン (アンチエイリアス処理) のグラフィックエンジンを搭載

フォーマット: RGBA8888、ARGB8888、RGB565、ARGB1555

(2) YUV 変換

RGB 変換 (YUV 入力)

入力解像度: QVGA、VGA、2048 × 2048 (最大)

入力フォーマット: YUV\_4:2:0 8 ビット、YUV\_4:2:2 8 ビット

出力フォーマット: RGBA8888、ARGB8888、RGB565、RGB888

(3) LCD コントローラ

パラレル出力: 24 ビット (RGB)、Vsync、Hsync、Clock、Valid

出力解像度: WVGA (800 × 480) (最大)

フレームレート: 60 fps (最大)

入力フォーマット: RGBA8888、ARGB8888、RGB565、ARGB1555

α ブレンディング: 最大 5 プレーン

## 1.8. カメラ入力

### (1) 8-bit パラレル

パラレル入力:	8-bit Data、Vsync、Enable/Hsync、Clock
フレームレート:	60 fps (最大)
解像度:	2048 × 2048 (最大、8 pixel 単位)
入力フォーマット:	YUV 4:2:2 8 ビット、RAW8、RGB565、ITU-RBT.656

## 1.9. オーディオインタフェース

### (1) オーディオインタフェース

2 チャンネル:	1 チャンネルが出力専用、1 チャンネルが入出力用 マスタ/スレーブ選択可能
音声フォーマット:	I2S ステレオ、LR ステレオ、PCM モノラル
サンプリングクロック:	192 kHz、96 kHz、48 kHz、44.1 kHz、32 kHz、24 kHz など

## 1.10. 高速インタフェースコントローラ

### (1) USB2.0 ホストインタフェース (オプション)

USB2.0 ホスト:	1 ポート USB2.0 準拠 (EHCI rev 1.0, OHCI 対応)
データ転送レート:	480 Mbps/12 Mbps/1.5 Mbps
転送モード:	コントロール/インタラプト/バルク/アイソクロナス

### (2) USB2.0 デバイスインタフェース (オプション)

USB2.0 デバイス:	1 ポート (Host/Device で排他使用)
データ転送レート:	480 Mbps/12 Mbps/1.5 Mbps
転送モード:	コントロール/インタラプト/バルク/アイソクロナス

### (3) 10/100 イーサネット MAC インタフェース

10/100 Mbps の各転送速度に対応したイーサネット MAC 1 チャンネル  
IEEE Standard 802.3,2000 Edition に準拠  
全 2 重/半 2 重通信に対応  
PHY インタフェースとして RMII に対応 (10/100 Mbps)  
IEEE802.3x フロー制御機能  
Jumbo Frame 対応 (4 KB まで)  
上位プロトコルサポート (受信データチェックサム自動計算) 機能  
専用コントローラによる PHY レジスタアクセス  
割り込み周期化機能

## 1.11. 周辺インタフェース

### (1) 外部バスインタフェース

チップセレクト:	4 ビット
データ幅:	32 ビット / 16 ビット / 8 ビット (混在可能)
アドレス幅:	27 ビット
対応メモリ容量:	最大 768 MB
転送方式:	非同期式、リード/ライト 非同期式、ページリード 同期式、バーストリード/ライト
ブートデバイスサポート:	チップイネーブル 0 により、32 ビット / 16 ビットのデバイスを非同期式でブートデバイスとして使用可能

### (2) eMMC / SD Card / SDIO インタフェース

3 チャンネル:	1 チャンネルが 8 ビットデータ幅、2 チャンネルが 4 ビットデータ幅
転送速度:	150 MHz (最大)
ブートデバイスサポート:	1 チャンネルの eMMC と 1 チャンネル SD カードがブートデバイスとして使用可能
サポートする転送モード:	SD カード/SDIO 用 DS/HS/SDR12/SDR25/SDR50/SDR104 eMMC 用 Backward-compatibility/High-Speed/HS200
SD カード制御用端子:	カード検出、書き込みプロテクト、電源、3.3 V / 1.8 V 電圧切換
対応規格:	eMMC Ver. 4.5、SD Ver 3.0、SDIO Ver 3.0

### (3) SPI Flash memory controller インタフェース

チップセレクト	2 ビット
ブートデバイスサポート	
Bit 幅:	Single/Dual/Quad モードインタフェース
転送速度:	50 MHz (最大)
メモリサイズ:	64 KB から 128 MB
4 byte Address モードサポート	

### (4) SPI インタフェース (通信用マスタ、送信専用)

通信用マスタ 2 チャンネル、送信専用	最大 7 チャンネル選択可
Bit 幅:	Single モードインタフェース
転送速度:	25 MHz を最大周波数として、1 ~ 32767 分周の設定が可能
送受信 FIFO:	16 ビット × 16 段

### (5) SPI インタフェース (通信用スレーブ)

1 チャンネル	
Bit 幅:	Single モードインタフェース
転送速度:	5 MHz (最大)
送受信 FIFO:	16 ビット × 16 段

### (6) UART インタフェース

全 4 チャンネル	
転送速度:	1.5 Mbps (最大)
3 チャンネルがフロー制御対応ポート	
オートフロー制御に対応 (CTS/RTS)	
UART 16550 に準拠	
外部クロック入力対応	
全 2 重送信モード、DMA 転送モード	
1 チャンネルがフロー制御非対応ポート (デバッグ用など)	

(7) I<sup>2</sup>C バスインタフェース

4 チャンネル

オープンドレイン、シュミットトリガ対応インタフェース

転送速度: 最大 100 kbps (Standard mode)

最大 400 kbps (Fast mode)

最大 1000 kbps (Fast mode plus)

モード: マスタ (マルチマスタ対応)、スレーブ選択可能

## (8) パラレルポート入力インタフェース

ターゲットとして動作し、外部ホストからのライトデータを受信

データ幅: 8 ビット

Data FIFO: 8 ビット × 16 段

ストローブ信号のアクティブ極性を選択可能

## (9) GPIO インタフェース

128 チャンネル

124 チャンネルはシェアピン対応 (内 6 チャンネルはオープンドレイン)

4 チャンネルは専用ピンで、IO 電源が VDD3V3\_PA (詳細は 3.3.18 節) になります。

入力/出力の設定が可能

外部入力を割り込み信号として使用可能

プルアップ・プルダウン抵抗の設定可能

## (10) AD 変換入力

4 チャンネル

12 ビット逐次変換

サンプリングレート: 1 チャンネル使用時 (最大 1.07 MHz)、

4 チャンネル使用時 (最大 379 kHz)

## (11) PWM 出力

6 チャンネル

各周波数とデューティ比を任意に設定可能で、同期出力も可能

パルス回数を任意に設定可能

### 2. ブロック図

図 2.1 に、この製品のブロック図を示します。

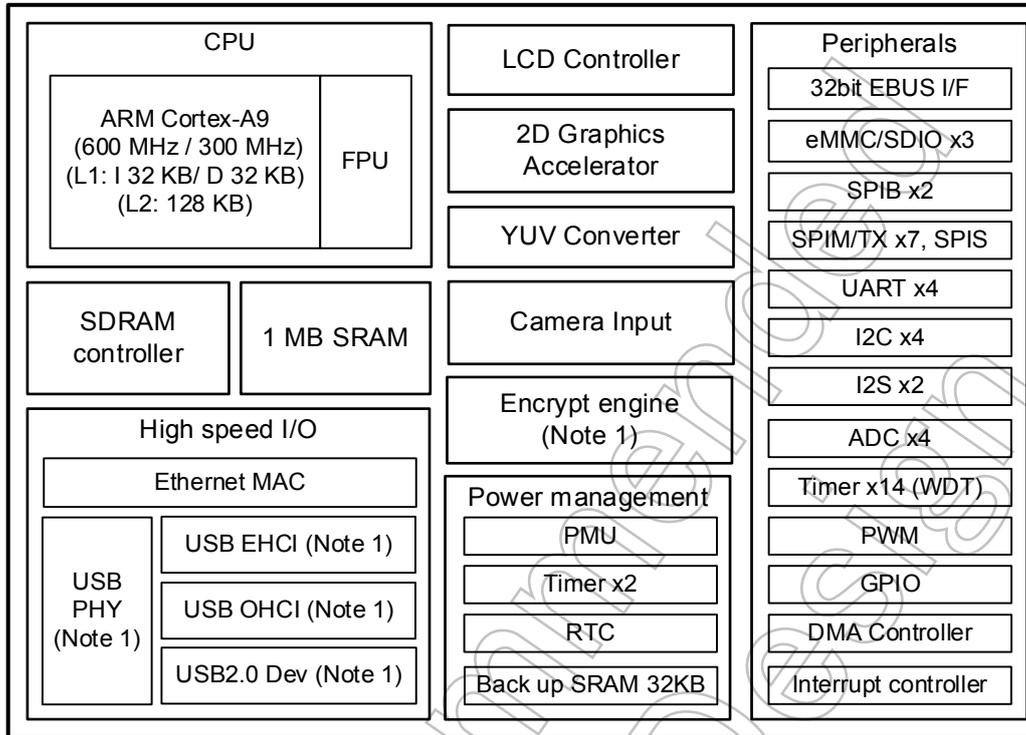


図 2.1 ブロック図

Note 1: 内蔵機能として以下のオプションがあります。

USB2.0 デバイス、USB2.0 ホスト、セキュリティサービス機能

### 3. 端子の説明

#### 3.1. 端子配置図

図 3.1 に、この製品の端子配置図を示します。

TOP VIEW

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
A	VSS	EMMC0_DAT0	EMMC0_DAT4	EB0_C E3_N	EB0_C LKO	EB0_A DD2	EB0_A DD11	EB0_A DD14	EB0_A DD19	EB0_A DD24	EB0_D AT1	EB0_D AT5	EB0_D AT9	EB0_D AT10	EB0_D AT11	EB0_D AT13	EB0_D AT14	EB0_D AT15	VSS
B	EMMC0_CLK	EMMC0_DAT1	EMMC0_DAT5	EB0_C E2_N	EB0_O E_N	EB0_A DD3	EB0_A DD9	EB0_A DD13	EB0_A DD18	EB0_A DD23	EB0_D AT0	EB0_D AT4	EB0_D AT8	EB0_D AT12	EB0_D AT16	EB0_D AT18	EB0_D AT19	EB0_D AT20	EB0_D AT22
C	EMMC0_CLKB	EMMC0_DAT2	EMMC0_DAT6	EB0_C E1_N		EB0_A DD4	EB0_A DD8		EB0_A DD17	EB0_A DD22	EB0_A VD_N		EB0_D AT6	EB0_D AT17	EB0_D AT23	EB0_D AT24	EB0_D AT25	EB0_D AT26	EB0_D AT27
D	EMMC0_CMD	EMMC0_DAT3	EMMC0_DAT7	EB0_C E0_N	EB0_A DD1	EB0_A DD6	EB0_A DD7	EB0_A DD12	EB0_A DD16	EB0_A DD21	EB0_A DD26	EB0_D AT3	EB0_D AT7	EB0_D AT21	EB0_D AT28	EB0_D AT30	EB0_D AT29	EB0_D AT31	EB0_W E_N
E	SD0_D AT3	SD0_D AT2	SD0_D AT1	EB0_C LK1	EB0_A DD0	EB0_A DD5	EB0_A DD10	EB0_A DD15	EB0_A DD20		EB0_A DD25	EB0_D AT2			EB0_B E2_N	EB0_B E0_N		EB0_B E1_N	EB0_B E3_N
F	SD0_D AT0	SD0_C MD	SD0_C LKB	SD0_C LK	GPI00_15										GPI01_1	GPI01_0	EB0_W AIT_N	XIN_3 2K	XOUT_3 2K
G	GPI00_16	GPI00_17	GPI00_19	GPI00_20	GPI00_18		VDD1V8_3V3_E MMC	VDD1V8_3V3_E MMC	VDD1V8_3V3_SD1	VDD1V8_3V3_SD1	VDD3V3_PL_EBUS	VDD3V3_PL_EBUS	VDD3V3_PB		BAK_IS OEN_N	DBG_T RST_N	DBG_T MS	DBG_T DI	DBG_T DO
H	GPI00_21	GPI00_22		GPI00_24	GPI00_23		VDD1V8_3V3_SD0	VSS	VDDC_PA	VSS	VDDC_PA	VSS	VDD3V3_PB		DBG_T CK	LOWP WR		SYS_WAKEUP	WDT_RSTOUT_N
J	GPI00_25	GPI00_26	GPI00_27	GPI00_29	GPI00_28		VDD1V8_3V3_SD0	VDDC_PA	VSS	VSS	VSS	VDDC_PA	VDD3V3_PA		SYS_R ESET_N	DBG_S RST_N	VSS	GPI00_2	GPI00_1
K	GPI00_30	GPI00_31	SPIB0_CLK	SPIB0_IO1	SPIB0_IO0		VDD3V3_PL_I 2C	VSS	VSS	VSS	VSS	VSS	VDD3V3_PA		GPI00_3	GPI00_0	POR_0 UT_N	XIN	XOUT
L	SPIB0_IO2	SPIB0_IO3		SPIB0_CS0_N	SPIB0_CS1_N		VDD3V3_PL_I 2C	VDDC_PA	VSS	VSS	VSS	VDDC_PA	VDDPL_L1			PD_BG R33	PD_PO R33	VDD3V3_USB	VDD3V3_USB
M	BOOTS_EL0	BOOTS_EL1	BOOTS_EL2	BOOTS_EL3	BOOTS_EL4		VDDC_PA	VSS	VDDC_PA	VSS	VDDC_PA	VSS	VDDPL_L0		USB0_REXT	USB0_CLK	USB0_VBUS	USB0_DM	USB0_DP
N	BOOTS_EL5	UA0_R XD	UA0_T XD	GPI00_10	GPI00_11		VSS	VDDC_PA	VDD1V1_DDR	VDD1V1_DDR	VSS	VDDC_PA	VDDPL_L2			VSSUS_B	USB0_TEST	VSSUS_B	VSSUS_B
P	GPI00_13	GPI00_14	I2C0_S DA	GPI00_12			DDR0_VREF	VSS	VDD_D DRIO	VDD_D DRIO	DDR0_ZQ	VPGM	VDD1V1_DDR PLL			VDD3V3_ADC	VSSAD_C	SAD0_DIN2	SAD0_DIN3
R	I2C0_SCL	GPI00_4	GPI00_5	GPI00_6	GPI00_7											VDD3V3_ADC	VSSAD_C	SAD0_DIN0	SAD0_DIN1
T	GPI00_8	GPI00_9	VSS	DDR0_DQ12		DDR0_DQ10	DDR0_DQ8	DDR0_DQ0	DDR0_DQ6	DDR0_RAS_N	DDR0_WE_N	DDR0_BA2	DDR0_CA0		VSS	VSS	VSS	VSS	VSS
U	DDR0_DQ11	VSS	DDR0_DM1	VSS	DDR0_DQ14	VSS	DDR0_DM0	DDR0_DQ2	DDR0_DQ4	DDR0_CAS_N	DDR0_ODT	DDR0_BA0	DDR0_CA3	DDR0_CA2	DDR0_CA9	DDR0_CA13	VSS	DDR0_CK_P	VSS
V	DDR0_DQ13	DDR0_DQ15	VSS	DDR0_DQS_N1	VSS	DDR0_DQS_P0	VSS	DDR0_DQ3	DDR0_DQ5	DDR0_CS_N	DDR0_CA15	DDR0_CA8	DDR0_RESET_N	DDR0_CA5	DDR0_CA7	DDR0_BA1	VSS	DDR0_CK_N	VSS
W	VSS	DDR0_DQ9	VSS	DDR0_DQS_P1	VSS	DDR0_DQS_N0	VSS	DDR0_DQ1	DDR0_DQ7	DDR0_CKE	DDR0_CA10	DDR0_CA6	DDR0_CA11	DDR0_CA14	DDR0_CA4	DDR0_CA1	DDR0_CA12	VSS	VSS

図 3.1 端子配置図

### 3.2. 端子一覧表（ボール番号順）

表 3.1 に、端子一覧表を示します。

表 3.1 端子一覧表（ボール番号順） 1/4

ボール	端子名	IO 電源名	ボール	端子名	IO 電源名
A1	VSS	—	C6	EB0_ADD4	VDD3V3_PL_EBUS
A2	EMMC0_DAT0	VDD1V8_3V3_EMMC	C7	EB0_ADD8	VDD3V3_PL_EBUS
A3	EMMC0_DAT4	VDD1V8_3V3_EMMC	C9	EB0_ADD17	VDD3V3_PL_EBUS
A4	EB0_CE3_N	VDD1V8_3V3_SD1	C10	EB0_ADD22	VDD3V3_PL_EBUS
A5	EB0_CLKO	VDD1V8_3V3_SD1	C11	EB0_AVD_N	VDD3V3_PL_EBUS
A6	EB0_ADD2	VDD3V3_PL_EBUS	C13	EB0_DAT6	VDD3V3_PL_EBUS
A7	EB0_ADD11	VDD3V3_PL_EBUS	C14	EB0_DAT17	VDD3V3_PL_EBUS
A8	EB0_ADD14	VDD3V3_PL_EBUS	C15	EB0_DAT23	VDD3V3_PL_EBUS
A9	EB0_ADD19	VDD3V3_PL_EBUS	C16	EB0_DAT24	VDD3V3_PL_EBUS
A10	EB0_ADD24	VDD3V3_PL_EBUS	C17	EB0_DAT25	VDD3V3_PL_EBUS
A11	EB0_DAT1	VDD3V3_PL_EBUS	C18	EB0_DAT26	VDD3V3_PL_EBUS
A12	EB0_DAT5	VDD3V3_PL_EBUS	C19	EB0_DAT27	VDD3V3_PL_EBUS
A13	EB0_DAT9	VDD3V3_PL_EBUS	D1	EMMC0_CMD	VDD1V8_3V3_EMMC
A14	EB0_DAT10	VDD3V3_PL_EBUS	D2	EMMC0_DAT3	VDD1V8_3V3_EMMC
A15	EB0_DAT11	VDD3V3_PL_EBUS	D3	EMMC0_DAT7	VDD1V8_3V3_EMMC
A16	EB0_DAT13	VDD3V3_PL_EBUS	D4	EB0_CE0_N	VDD1V8_3V3_SD1
A17	EB0_DAT14	VDD3V3_PL_EBUS	D5	EB0_ADD1	VDD3V3_PL_EBUS
A18	EB0_DAT15	VDD3V3_PL_EBUS	D6	EB0_ADD6	VDD3V3_PL_EBUS
A19	VSS	—	D7	EB0_ADD7	VDD3V3_PL_EBUS
B1	EMMC0_CLK	VDD1V8_3V3_EMMC	D8	EB0_ADD12	VDD3V3_PL_EBUS
B2	EMMC0_DAT1	VDD1V8_3V3_EMMC	D9	EB0_ADD16	VDD3V3_PL_EBUS
B3	EMMC0_DAT5	VDD1V8_3V3_EMMC	D10	EB0_ADD21	VDD3V3_PL_EBUS
B4	EB0_CE2_N	VDD1V8_3V3_SD1	D11	EB0_ADD26	VDD3V3_PL_EBUS
B5	EB0_OE_N	VDD1V8_3V3_SD1	D12	EB0_DAT3	VDD3V3_PL_EBUS
B6	EB0_ADD3	VDD3V3_PL_EBUS	D13	EB0_DAT7	VDD3V3_PL_EBUS
B7	EB0_ADD9	VDD3V3_PL_EBUS	D14	EB0_DAT21	VDD3V3_PL_EBUS
B8	EB0_ADD13	VDD3V3_PL_EBUS	D15	EB0_DAT28	VDD3V3_PL_EBUS
B9	EB0_ADD18	VDD3V3_PL_EBUS	D16	EB0_DAT30	VDD3V3_PL_EBUS
B10	EB0_ADD23	VDD3V3_PL_EBUS	D17	EB0_DAT29	VDD3V3_PL_EBUS
B11	EB0_DAT0	VDD3V3_PL_EBUS	D18	EB0_DAT31	VDD3V3_PL_EBUS
B12	EB0_DAT4	VDD3V3_PL_EBUS	D19	EB0_WE_N	VDD3V3_PL_EBUS
B13	EB0_DAT8	VDD3V3_PL_EBUS	E1	SD0_DAT3	VDD1V8_3V3_SD0
B14	EB0_DAT12	VDD3V3_PL_EBUS	E2	SD0_DAT2	VDD1V8_3V3_SD0
B15	EB0_DAT16	VDD3V3_PL_EBUS	E3	SD0_DAT1	VDD1V8_3V3_SD0
B16	EB0_DAT18	VDD3V3_PL_EBUS	E4	EB0_CLKI	VDD1V8_3V3_SD1
B17	EB0_DAT19	VDD3V3_PL_EBUS	E5	EB0_ADD0	VDD3V3_PL_EBUS
B18	EB0_DAT20	VDD3V3_PL_EBUS	E6	EB0_ADD5	VDD3V3_PL_EBUS
B19	EB0_DAT22	VDD3V3_PL_EBUS	E7	EB0_ADD10	VDD3V3_PL_EBUS
C1	EMMC0_CLKB	VDD1V8_3V3_EMMC	E8	EB0_ADD15	VDD3V3_PL_EBUS
C2	EMMC0_DAT2	VDD1V8_3V3_EMMC	E9	EB0_ADD20	VDD3V3_PL_EBUS
C3	EMMC0_DAT6	VDD1V8_3V3_EMMC	E11	EB0_ADD25	VDD3V3_PL_EBUS
C4	EB0_CE1_N	VDD1V8_3V3_SD1	E12	EB0_DAT2	VDD3V3_PL_EBUS

表 3.1 端子一覧表 (ボール番号順) 2/4

ボール	端子名	IO 電源名	ボール	端子名	IO 電源名
E15	EB0_BE2_N	VDD3V3_PL_EBUS	H15	DBG_TCK	VDD3V3_PA
E16	EB0_BE0_N	VDD3V3_PL_EBUS	H16	LOWPWR	VDD3V3_PA
E18	EB0_BE1_N	VDD3V3_PL_EBUS	H18	SYS_WAKEUP	VDD3V3_PA
E19	EB0_BE3_N	VDD3V3_PL_EBUS	H19	WDT_RSTOUT_N	VDD3V3_PA
F1	SD0_DAT0	VDD1V8_3V3_SD0	J1	GPIO0_25	VDD3V3_PL_I2C
F2	SD0_CMD	VDD1V8_3V3_SD0	J2	GPIO0_26	VDD3V3_PL_I2C
F3	SD0_CLKB	VDD1V8_3V3_SD0	J3	GPIO0_27	VDD3V3_PL_I2C
F4	SD0_CLK	VDD1V8_3V3_SD0	J4	GPIO0_29	VDD3V3_PL_I2C
F5	GPIO0_15	VDD3V3_PL_I2C	J5	GPIO0_28	VDD3V3_PL_I2C
F15	GPIO1_1	VDD3V3_PL_EBUS	J7	VDD1V8_3V3_SD0	—
F16	GPIO1_0	VDD3V3_PL_EBUS	J8	VDDC_PA	—
F17	EB0_WAIT_N	VDD3V3_PL_EBUS	J9	VSS	—
F18	XIN_32K	VDD3V3_PB	J10	VSS	—
F19	XOUT_32K	VDD3V3_PB	J11	VSS	—
G1	GPIO0_16	VDD3V3_PL_I2C	J12	VDDC_PA	—
G2	GPIO0_17	VDD3V3_PL_I2C	J13	VDD3V3_PA	—
G3	GPIO0_19	VDD3V3_PL_I2C	J15	SYS_RESET_N	VDD3V3_PA
G4	GPIO0_20	VDD3V3_PL_I2C	J16	DBG_SRST_N	VDD3V3_PA
G5	GPIO0_18	VDD3V3_PL_I2C	J17	VSS	—
G7	VDD1V8_3V3_EMMC	—	J18	GPIO0_2	VDD3V3_PA
G8	VDD1V8_3V3_EMMC	—	J19	GPIO0_1	VDD3V3_PA
G9	VDD1V8_3V3_SD1	—	K1	GPIO0_30	VDD3V3_PL_I2C
G10	VDD1V8_3V3_SD1	—	K2	GPIO0_31	VDD3V3_PL_I2C
G11	VDD3V3_PL_EBUS	—	K3	SPIB0_CLK	VDD3V3_PL_I2C
G12	VDD3V3_PL_EBUS	—	K4	SPIB0_IO1	VDD3V3_PL_I2C
G13	VDD3V3_PB	—	K5	SPIB0_IO0	VDD3V3_PL_I2C
G15	BAK_ISOEN_N	VDD3V3_PB	K7	VDD3V3_PL_I2C	—
G16	DBG_TRST_N	VDD3V3_PA	K8	VSS	—
G17	DBG_TMS	VDD3V3_PA	K9	VSS	—
G18	DBG_TDI	VDD3V3_PA	K10	VSS	—
G19	DBG_TDO	VDD3V3_PA	K11	VSS	—
H1	GPIO0_21	VDD3V3_PL_I2C	K12	VSS	—
H2	GPIO0_22	VDD3V3_PL_I2C	K13	VDD3V3_PA	—
H4	GPIO0_24	VDD3V3_PL_I2C	K15	GPIO0_3	VDD3V3_PA
H5	GPIO0_23	VDD3V3_PL_I2C	K16	GPIO0_0	VDD3V3_PA
H7	VDD1V8_3V3_SD0	—	K17	POR_OUT_N	VDD3V3_PA
H8	VSS	—	K18	XIN	VDD3V3_PA
H9	VDDC_PA	—	K19	XOUT	VDD3V3_PA
H10	VSS	—	L1	SPIB0_IO2	VDD3V3_PL_I2C
H11	VDDC_PA	—	L2	SPIB0_IO3	VDD3V3_PL_I2C
H12	VSS	—	L4	SPIB0_CS0_N	VDD3V3_PL_I2C
H13	VDD3V3_PB	—	L5	SPIB0_CS1_N	VDD3V3_PL_I2C

表 3.1 端子一覧表 (ボール番号順) 3/4

ボール	端子名	IO 電源名	ボール	端子名	IO 電源名
L7	VDD3V3_PL_I2C	—	N18	VSSUSB	—
L8	VDDC_PA	—	N19	VSSUSB	—
L9	VSS	—	P1	GPIO0_13	VDD3V3_PL_I2C
L10	VSS	—	P2	GPIO0_14	VDD3V3_PL_I2C
L11	VSS	—	P4	I2C0_SDA	VDD3V3_PL_I2C
L12	VDDC_PA	—	P5	GPIO0_12	VDD3V3_PL_I2C
L13	VDDPLL1	—	P7	DDR0_VREF	VDD_DDRIO
L16	PD_BGR33	—	P8	VSS	—
L17	PD_POR33	—	P9	VDD_DDRIO	—
L18	VDD3V3_USB	—	P10	VDD_DDRIO	—
L19	VDD3V3_USB	—	P11	DDR0_ZQ	VDD_DDRIO
M1	BOOTSEL0	VDD3V3_PL_I2C	P12	VPGM	—
M2	BOOTSEL1	VDD3V3_PL_I2C	P13	VDD1V1_DDRPLL	—
M3	BOOTSEL2	VDD3V3_PL_I2C	P16	VDD3V3_ADC	—
M4	BOOTSEL3	VDD3V3_PL_I2C	P17	VSSADC	—
M5	BOOTSEL4	VDD3V3_PL_I2C	P18	SAD0_DIN2	VDD3V3_ADC
M7	VDDC_PA	—	P19	SAD0_DIN3	VDD3V3_ADC
M8	VSS	—	R1	I2C0_SCL	VDD3V3_PL_I2C
M9	VDDC_PA	—	R2	GPIO0_4	VDD3V3_PL_I2C
M10	VSS	—	R3	GPIO0_5	VDD3V3_PL_I2C
M11	VDDC_PA	—	R4	GPIO0_6	VDD3V3_PL_I2C
M12	VSS	—	R5	GPIO0_7	VDD3V3_PL_I2C
M13	VDDPLL0	—	R16	VDD3V3_ADC	—
M15	USB0_REXT	VDD3V3_USB	R17	VSSADC	—
M16	USB0_CLK	VDD3V3_USB	R18	SAD0_DIN0	VDD3V3_ADC
M17	USB0_VBUS	VDD3V3_USB	R19	SAD0_DIN1	VDD3V3_ADC
M18	USB0_DM	VDD3V3_USB	T1	GPIO0_8	VDD3V3_PL_I2C
M19	USB0_DP	VDD3V3_USB	T2	GPIO0_9	VDD3V3_PL_I2C
N1	BOOTSEL5	VDD3V3_PL_I2C	T3	VSS	—
N2	UA0_RXD	VDD3V3_PL_I2C	T4	DDR0_DQ12	VDD_DDRIO
N3	UA0_TXD	VDD3V3_PL_I2C	T6	DDR0_DQ10	VDD_DDRIO
N4	GPIO0_10	VDD3V3_PL_I2C	T7	DDR0_DQ8	VDD_DDRIO
N5	GPIO0_11	VDD3V3_PL_I2C	T8	DDR0_DQ0	VDD_DDRIO
N7	VSS	—	T9	DDR0_DQ6	VDD_DDRIO
N8	VDDC_PA	—	T10	DDR0_RAS_N	VDD_DDRIO
N9	VDD1V1_DDR	—	T11	DDR0_WE_N	VDD_DDRIO
N10	VDD1V1_DDR	—	T12	DDR0_BA2	VDD_DDRIO
N11	VSS	—	T13	DDR0_CA0	VDD_DDRIO
N12	VDDC_PA	—	T15	VSS	—
N13	VDDPLL2	—	T16	VSS	—
N16	VSSUSB	—	T17	VSS	—
N17	USB0_TEST	VDD3V3_USB	T18	VSS	—

表 3.1 端子一覧表 (ボール番号順) 4/4

ボール	端子名	IO 電源名	ボール	端子名	IO 電源名
T19	VSS	—	V10	DDR0_CS_N	VDD_DDRIO
U1	DDR0_DQ11	VDD_DDRIO	V11	DDR0_CA15	VDD_DDRIO
U2	VSS	—	V12	DDR0_CA8	VDD_DDRIO
U3	DDR0_DM1	VDD_DDRIO	V13	DDR0_RESET_N	VDD_DDRIO
U4	VSS	—	V14	DDR0_CA5	VDD_DDRIO
U5	DDR0_DQ14	VDD_DDRIO	V15	DDR0_CA7	VDD_DDRIO
U6	VSS	—	V16	DDR0_BA1	VDD_DDRIO
U7	DDR0_DM0	VDD_DDRIO	V17	VSS	—
U8	DDR0_DQ2	VDD_DDRIO	V18	DDR0_CK_N	VDD_DDRIO
U9	DDR0_DQ4	VDD_DDRIO	V19	VSS	—
U10	DDR0_CAS_N	VDD_DDRIO	W1	VSS	—
U11	DDR0_ODT	VDD_DDRIO	W2	DDR0_DQ9	VDD_DDRIO
U12	DDR0_BA0	VDD_DDRIO	W3	VSS	—
U13	DDR0_CA3	VDD_DDRIO	W4	DDR0_DQS_P1	VDD_DDRIO
U14	DDR0_CA2	VDD_DDRIO	W5	VSS	—
U15	DDR0_CA9	VDD_DDRIO	W6	DDR0_DQS_N0	VDD_DDRIO
U16	DDR0_CA13	VDD_DDRIO	W7	VSS	—
U17	VSS	—	W8	DDR0_DQ1	VDD_DDRIO
U18	DDR0_CK_P	VDD_DDRIO	W9	DDR0_DQ7	VDD_DDRIO
U19	VSS	—	W10	DDR0_CKE	VDD_DDRIO
V1	DDR0_DQ13	VDD_DDRIO	W11	DDR0_CA10	VDD_DDRIO
V2	DDR0_DQ15	VDD_DDRIO	W12	DDR0_CA6	VDD_DDRIO
V3	VSS	—	W13	DDR0_CA11	VDD_DDRIO
V4	DDR0_DQS_N1	VDD_DDRIO	W14	DDR0_CA14	VDD_DDRIO
V5	VSS	—	W15	DDR0_CA4	VDD_DDRIO
V6	DDR0_DQS_P0	VDD_DDRIO	W16	DDR0_CA1	VDD_DDRIO
V7	VSS	—	W17	DDR0_CA12	VDD_DDRIO
V8	DDR0_DQ3	VDD_DDRIO	W18	VSS	—
V9	DDR0_DQ5	VDD_DDRIO	W19	VSS	—

### 3.3. 信号の機能一覧

この製品では、ひとつの端子に複数の機能が割り付けられています。機能の切り替えは、この製品の起動後、レジスタ設定によって行います。

起動後のレジスタ設定による端子機能選択は、ピンコンフィギュレーションレジスタの該当するビットを設定します。1つのビットで複数の端子の機能が切り替わるものがありますので注意してください。

IDX	信号名	入出力	説明	ピンシェア
信号一覧の インデックス	信号の名称	信号の入出力方向	信号の機能説明	共用端子の場合に「あり」と記入

上述の表に従い、3.3.1以降の表で信号の機能を機能グループごとに説明します。また、入出力の欄に「Analog」、「Power」、「GND」を記載することがあります。

#### 3.3.1. クロック・リセット

IDX	信号名	入出力	説明
1	XIN	In	システムクロック用発振子入力 (24 MHz) システムクロック用発振器入力 (24 MHz)
2	XOUT	Out	システムクロック用発振子出力 (24 MHz)
3	XIN_32K	In	RTC 用発振子入力 (32.768 kHz)
4	XOUT_32K	IO	RTC 用発振子出力 (32.768 kHz) RTC 用発振器入力 (32.768 kHz)
5	SYS_RESET_N	In	システムリセット入力
6	POR_OUT_N	Out	パワーオンリセット出力
7	WDT_RSTOUT_N	Out	ウォッチドックタイマリセット出力
8	BAK_ISOEN_N	In	バックアップ電源領域分離イネーブル
9	DBG_SRST_N	In	CPU 用(除デバッグリソース)システムリセット入力
10	SYS_WAKEUP	In	ウェイクアップ割り込み入力
11	LOWPWR	Out	ローパワーイネーブル

#### 3.3.2. DDR3/3L メモリインタフェース

IDX	信号名	入出力	説明
1	DDR0_CK_P	Out	DDR3/DDR3L 差動クロック出力(正極)
2	DDR0_CK_N	Out	DDR3/DDR3L 差動クロック出力(負極)
3	DDR0_CKE	Out	DDR3/DDR3L クロックイネーブル
4	DDR0_CA15	Out	DDR3/DDR3L アドレス 15
5	DDR0_CA14	Out	DDR3/DDR3L アドレス 14
6	DDR0_CA13	Out	DDR3/DDR3L アドレス 13
7	DDR0_CA12	Out	DDR3/DDR3L アドレス 12
8	DDR0_CA11	Out	DDR3/DDR3L アドレス 11
9	DDR0_CA10	Out	DDR3/DDR3L アドレス 10
10	DDR0_CA9	Out	DDR3/DDR3L アドレス 9
11	DDR0_CA8	Out	DDR3/DDR3L アドレス 8
12	DDR0_CA7	Out	DDR3/DDR3L アドレス 7
13	DDR0_CA6	Out	DDR3/DDR3L アドレス 6
14	DDR0_CA5	Out	DDR3/DDR3L アドレス 5
15	DDR0_CA4	Out	DDR3/DDR3L アドレス 4
16	DDR0_CA3	Out	DDR3/DDR3L アドレス 3
17	DDR0_CA2	Out	DDR3/DDR3L アドレス 2

IDX	信号名	入出力	説明
18	DDR0_CA1	Out	DDR3/DDR3L アドレス 1
19	DDR0_CA0	Out	DDR3/DDR3L アドレス 0
20	DDR0_BA2	Out	DDR3/DDR3L バンクアドレス 2
21	DDR0_BA1	Out	DDR3/DDR3L バンクアドレス 1
22	DDR0_BA0	Out	DDR3/DDR3L バンクアドレス 0
23	DDR0_RAS_N	Out	DDR3/DDR3L ローアドレス選択信号
24	DDR0_CAS_N	Out	DDR3/DDR3L カラムアドレス選択信号
25	DDR0_DQ15	IO	DDR3/DDR3L データバス 15
26	DDR0_DQ14	IO	DDR3/DDR3L データバス 14
27	DDR0_DQ13	IO	DDR3/DDR3L データバス 13
28	DDR0_DQ12	IO	DDR3/DDR3L データバス 12
29	DDR0_DQ11	IO	DDR3/DDR3L データバス 11
30	DDR0_DQ10	IO	DDR3/DDR3L データバス 10
31	DDR0_DQ9	IO	DDR3/DDR3L データバス 9
32	DDR0_DQ8	IO	DDR3/DDR3L データバス 8
33	DDR0_DQ7	IO	DDR3/DDR3L データバス 7
34	DDR0_DQ6	IO	DDR3/DDR3L データバス 6
35	DDR0_DQ5	IO	DDR3/DDR3L データバス 5
36	DDR0_DQ4	IO	DDR3/DDR3L データバス 4
37	DDR0_DQ3	IO	DDR3/DDR3L データバス 3
38	DDR0_DQ2	IO	DDR3/DDR3L データバス 2
39	DDR0_DQ1	IO	DDR3/DDR3L データバス 1
40	DDR0_DQ0	IO	DDR3/DDR3L データバス 0
41	DDR0_DQS_P1	IO	DDR3/DDR3L データストロブ差動正極 1
42	DDR0_DQS_P0	IO	DDR3/DDR3L データストロブ差動正極 0
43	DDR0_DQS_N1	IO	DDR3/DDR3L データストロブ差動負極 1
44	DDR0_DQS_N0	IO	DDR3/DDR3L データストロブ差動負極 0
45	DDR0_DM1	IO	DDR3/DDR3L ライトデータバイトマスク 1
46	DDR0_DM0	IO	DDR3/DDR3L ライトデータバイトマスク 0
47	DDR0_CS_N	Out	DDR3/DDR3L チップ選択
48	DDR0_WE_N	Out	DDR3/DDR3L ライトイネーブル
49	DDR0_VREF	Analog	DDR3/DDR3L DQ リファレンス電圧
50	DDR0_ODT	Out	DDR3/DDR3L ODT イネーブル
51	DDR0_RESET_N	Out	DDR3/DDR3L リセット出力
52	DDR0_ZQ	Analog	DDR3/DDR3L リファレンス抵抗入力

DDR0\_CK\_PとDDR0\_CK\_Nの差動端子の間に、ブリッジ終端抵抗（推奨値: 220 Ω）を接続してください。

### 3.3.3. SPI Flash Memory Controller インタフェース

IDX	信号名	入出力	説明	ピン シェア
1	SPIB0_CLK	Out	SPIB0 クロック出力	あり
2	SPIB0_IO0	IO	SPIB0 シリアルデータ出力	あり
3	SPIB0_IO1	IO	SPIB0 シリアルデータ入力	あり
4	SPIB0_IO2	IO	SPIB0 クワッドデータ 2	あり
5	SPIB0_IO3	IO	SPIB0 クワッドデータ 3	あり
6	SPIB0_CS0_N	Out	SPIB0 チップセレクト 0	あり
7	SPIB0_CS1_N	Out	SPIB0 チップセレクト 1	あり

### 3.3.4. eMMC/SD card/SDIO インタフェース

IDX	信号名	入出力	説明	ピン シェア
1	SD0_CD	In	SD0 カード検出信号	あり
2	SD0_WP	In	SD0 カード ライトプロテクト	あり
3	SD0_V18EN	Out	SD0 カード 1.8 V / 3.3 V 制御信号	あり
4	SD0_POWER	Out	SD0 カード電源制御出力	あり
5	SD0_CLK	Out	SD0 クロック出力	あり
6	SD0_CLKB	In	SD0 タイミング調整用クロック B	あり
7	SD0_CMD	IO	SD0 コマンド	あり
8	SD0_DAT0	IO	SD0 用データ 0	あり
9	SD0_DAT1	IO	SD0 用データ 1	あり
10	SD0_DAT2	IO	SD0 用データ 2	あり
11	SD0_DAT3	IO	SD0 用データ 3	あり
12	SD1_CD	In	SD1 カード検出信号	あり
13	SD1_WP	In	SD1 カード ライトプロテクト	あり
14	SD1_V18EN	Out	SD1 カード 1.8 V / 3.3 V 制御信号	あり
15	SD1_POWER	Out	SD1 カード電源制御出力	あり
16	SD1_CLK	Out	SD1 クロック出力	あり
17	SD1_CLKB	In	SD1 タイミング調整用クロック B	あり
18	SD1_CMD	IO	SD1 コマンド	あり
19	SD1_DAT0	IO	SD1 用データ 0	あり
20	SD1_DAT1	IO	SD1 用データ 1	あり
21	SD1_DAT2	IO	SD1 用データ 2	あり
22	SD1_DAT3	IO	SD1 用データ 3	あり
23	EMMC0_CLK	Out	eMMC クロック出力	あり
24	EMMC0_CLKB	In	eMMC タイミング調整用クロック B	あり
25	EMMC0_CMD	IO	eMMC コマンド	あり
26	EMMC0_DAT0	IO	eMMC データ 0	あり
27	EMMC0_DAT1	IO	eMMC データ 1	あり
28	EMMC0_DAT2	IO	eMMC データ 2	あり
29	EMMC0_DAT3	IO	eMMC データ 3	あり
30	EMMC0_DAT4	IO	eMMC データ 4	あり
31	EMMC0_DAT5	IO	eMMC データ 5	あり
32	EMMC0_DAT6	IO	eMMC データ 6	あり
33	EMMC0_DAT7	IO	eMMC データ 7	あり

### 3.3.5. 外部バスインタフェース

IDX	信号名	入出力	説明	ピン シェア
1	EB0_ADD26	Out	EBUS アドレス 26	あり
2	EB0_ADD25	Out	EBUS アドレス 25	あり
3	EB0_ADD24	Out	EBUS アドレス 24	あり
4	EB0_ADD23	Out	EBUS アドレス 23	あり
5	EB0_ADD22	Out	EBUS アドレス 22	あり
6	EB0_ADD21	Out	EBUS アドレス 21	あり
7	EB0_ADD20	Out	EBUS アドレス 20	あり
8	EB0_ADD19	Out	EBUS アドレス 19	あり
9	EB0_ADD18	Out	EBUS アドレス 18	あり
10	EB0_ADD17	Out	EBUS アドレス 17	あり
11	EB0_ADD16	Out	EBUS アドレス 16	あり
12	EB0_ADD15	Out	EBUS アドレス 15	あり
13	EB0_ADD14	Out	EBUS アドレス 14	あり
14	EB0_ADD13	Out	EBUS アドレス 13	あり
15	EB0_ADD12	Out	EBUS アドレス 12	あり
16	EB0_ADD11	Out	EBUS アドレス 11	あり
17	EB0_ADD10	Out	EBUS アドレス 10	あり
18	EB0_ADD9	Out	EBUS アドレス 9	あり
19	EB0_ADD8	Out	EBUS アドレス 8	あり
20	EB0_ADD7	Out	EBUS アドレス 7	あり
21	EB0_ADD6	Out	EBUS アドレス 6	あり
22	EB0_ADD5	Out	EBUS アドレス 5	あり
23	EB0_ADD4	Out	EBUS アドレス 4	あり
24	EB0_ADD3	Out	EBUS アドレス 3	あり
25	EB0_ADD2	Out	EBUS アドレス 2	あり
26	EB0_ADD1	Out	EBUS アドレス 1	あり
27	EB0_ADD0	Out	EBUS アドレス 0	あり
28	EB0_DAT31	IO	EBUS データ 31	あり
29	EB0_DAT30	IO	EBUS データ 30	あり
30	EB0_DAT29	IO	EBUS データ 29	あり
31	EB0_DAT28	IO	EBUS データ 28	あり
32	EB0_DAT27	IO	EBUS データ 27	あり
33	EB0_DAT26	IO	EBUS データ 26	あり
34	EB0_DAT25	IO	EBUS データ 25	あり
35	EB0_DAT24	IO	EBUS データ 24	あり
36	EB0_DAT23	IO	EBUS データ 23	あり
37	EB0_DAT22	IO	EBUS データ 22	あり
38	EB0_DAT21	IO	EBUS データ 21	あり
39	EB0_DAT20	IO	EBUS データ 20	あり
40	EB0_DAT19	IO	EBUS データ 19	あり
41	EB0_DAT18	IO	EBUS データ 18	あり
42	EB0_DAT17	IO	EBUS データ 17	あり
43	EB0_DAT16	IO	EBUS データ 16	あり
44	EB0_DAT15	IO	EBUS データ 15	あり
45	EB0_DAT14	IO	EBUS データ 14	あり
46	EB0_DAT13	IO	EBUS データ 13	あり
47	EB0_DAT12	IO	EBUS データ 12	あり

IDX	信号名	入出力	説明	ピンシェア
48	EB0_DAT11	IO	EBUS データ 11	あり
49	EB0_DAT10	IO	EBUS データ 10	あり
50	EB0_DAT9	IO	EBUS データ 9	あり
51	EB0_DAT8	IO	EBUS データ 8	あり
52	EB0_DAT7	IO	EBUS データ 7	あり
53	EB0_DAT6	IO	EBUS データ 6	あり
54	EB0_DAT5	IO	EBUS データ 5	あり
55	EB0_DAT4	IO	EBUS データ 4	あり
56	EB0_DAT3	IO	EBUS データ 3	あり
57	EB0_DAT2	IO	EBUS データ 2	あり
58	EB0_DAT1	IO	EBUS データ 1	あり
59	EB0_DAT0	IO	EBUS データ 0	あり
60	EB0_CE3_N	Out	EBUS チップイネーブル 3	あり
61	EB0_CE2_N	Out	EBUS チップイネーブル 2	あり
62	EB0_CE1_N	Out	EBUS チップイネーブル 1	あり
63	EB0_CE0_N	Out	EBUS チップイネーブル 0	あり
64	EB0_BE3_N	Out	EBUS バイトイネーブル[31:24]	あり
65	EB0_BE2_N	Out	EBUS バイトイネーブル[23:16]	あり
66	EB0_BE1_N	Out	EBUS バイトイネーブル[15:8]	あり
67	EB0_BE0_N	Out	EBUS バイトイネーブル[7:0]	あり
68	EB0_AVD_N	Out	EBUS アドレス有効検出出力	あり
69	EB0_WE_N	Out	EBUS ライトイネーブル	あり
70	EB0_OE_N	Out	EBUS 出力イネーブル	あり
71	EB0_WAIT_N	In	EBUS ウェイト入力	あり
72	EB0_CLKI	In	EBUS クロック入力	あり
73	EB0_CLKO	Out	EBUS クロック	あり

### 3.3.6. UART インタフェース

IDX	信号名	入出力	説明	ピンシェア
1	UA0_RXD	In	UART0 シリアルデータ入力	—
2	UA0_TXD	Out	UART0 シリアルデータ出力	—
3	UA1_RXD	In	UART1 シリアルデータ入力	あり
4	UA1_TXD	Out	UART1 シリアルデータ出力	あり
5	UA1_CTS_N	In	UART1 CTS 信号入力	あり
6	UA1_RTS_N	Out	UART1 RTS 信号出力	あり
7	UA1_EXCLK	In	UART1 外部クロック入力	あり
8	UA2_RXD	In	UART2 シリアルデータ入力	あり
9	UA2_TXD	Out	UART2 シリアルデータ出力	あり
10	UA2_CTS_N	In	UART2 CTS 信号入力	あり
11	UA2_RTS_N	Out	UART2 RTS 信号出力	あり
12	UA3_RXD	In	UART3 シリアルデータ入力	あり
13	UA3_TXD	Out	UART3 シリアルデータ出力	あり
14	UA3_CTS_N	In	UART3 CTS 信号入力	あり
15	UA3_RTS_N	Out	UART3 RTS 信号出力	あり

3.3.7. I<sup>2</sup>C バスインタフェース

IDX	信号名	入出力	説明	ピン シェア
1	I2C0_SDA	IO	I2C0 データ	—
2	I2C0_SCL	IO	I2C0 クロック	—
3	I2C1_SDA	IO	I2C1 データ	あり
4	I2C1_SCL	IO	I2C1 クロック	あり
5	I2C2_SDA	IO	I2C2 データ	あり
6	I2C2_SCL	IO	I2C2 クロック	あり
7	I2C3_SDA	IO	I2C3 データ	あり
8	I2C3_SCL	IO	I2C3 クロック	あり

Note: 各端子は、オープンドレインとなっています。

Not Recommended  
for New Design

## 3.3.8. SPI インタフェース（通信用マスタ）

IDX	信号名	入出力	説明	ピン シェア
1	SPIM0_CLK	Out	SPIM0 クロック出力	あり
2	SPIM0_DI	In	SPIM0 シリアルデータ入力	あり
3	SPIM0_DO	Out	SPIM0 シリアルデータ出力	あり
4	SPIM0_CS_N	Out	SPIM0 チップセレクト出力	あり
5	SPIM1_CLK	Out	SPIM1 クロック出力	あり
6	SPIM1_DI	In	SPIM1 シリアルデータ入力	あり
7	SPIM1_DO	Out	SPIM1 シリアルデータ出力	あり
8	SPIM1_CS_N	Out	SPIM1 チップセレクト出力	あり

Note: SPIM0 と SPITX0 は同時に使用することはできません。また、SPIM1 と SPITX1 は同時に使用することはできません。

## 3.3.9. SPI インタフェース（送信専用）

IDX	信号名	入出力	説明	ピン シェア
1	SPITX0_CLK	Out	SPITX0 クロック出力	あり
2	SPITX0_DO	Out	SPITX0 データ出力	あり
3	SPITX0_CS_N	Out	SPITX0 チップセレクト出力	あり
4	SPITX1_CLK	Out	SPITX1 クロック出力	あり
5	SPITX1_DO	Out	SPITX1 データ出力	あり
6	SPITX1_CS_N	Out	SPITX1 チップセレクト出力	あり
7	SPITX2_CLK	Out	SPITX2 クロック出力	あり
8	SPITX2_DO	Out	SPITX2 データ出力	あり
9	SPITX2_CS_N	Out	SPITX2 チップセレクト出力	あり
10	SPITX3_CLK	Out	SPITX3 クロック出力	あり
11	SPITX3_DO	Out	SPITX3 データ出力	あり
12	SPITX3_CS_N	Out	SPITX3 チップセレクト出力	あり
13	SPITX4_CLK	Out	SPITX4 クロック出力	あり
14	SPITX4_DO	Out	SPITX4 データ出力	あり
15	SPITX4_CS_N	Out	SPITX4 チップセレクト出力	あり
16	SPITX5_CLK	Out	SPITX5 クロック出力	あり
17	SPITX5_DO	Out	SPITX5 データ出力	あり
18	SPITX5_CS_N	Out	SPITX5 チップセレクト出力	あり
19	SPITX6_CLK	Out	SPITX6 クロック出力	あり
20	SPITX6_DO	Out	SPITX6 データ出力	あり
21	SPITX6_CS_N	Out	SPITX6 チップセレクト出力	あり

Note: SPIM0 と SPITX0 は同時に使用することはできません。また、SPIM1 と SPITX1 は同時に使用することはできません。

## 3.3.10. SPI インタフェース (通信用スレーブ)

IDX	信号名	入出力	説明	ピン シェア
1	SPIS0_CLK	In	SPIS0 クロック入力	あり
2	SPIS0_DI	In	SPIS0 シリアルデータ入力	あり
3	SPIS0_DO	Out	SPIS0 シリアルデータ出力	あり
4	SPIS0_CS_N	In	SPIS0 チップセレクト入力	あり

Note: ボール番号 J5、J3、K1、J4、またはボール番号 H1、G3、G4、H2 のいずれかの組み合わせで使用してください。

## 3.3.11. USB2.0 ホスト/デバイスインタフェース

IDX	信号名	入出力	説明
1	USB0_DP	IO	USB ポート I/O データ (DP)
2	USB0_DM	IO	USB ポート I/O データ (DM)
3	USB0_REXT	Analog	外部抵抗接続端子 (Note)
4	USB0_VBUS	Analog	VBUS 電圧検出用入力端子 (Device モード時)
5	USB0_CLK	In	USB 用発振器入力 (12 MHz) ※外部発振器を使用する場合
6	USB0_TEST	Analog	テスト用端子

Note: 174 Ω (±1%) を介して、GND へ接続してください。

## 3.3.12. イーサネット MAC インタフェース

IDX	信号名	入出力	説明	ピン シェア
1	ETH0_TXD0	Out	イーサネット RMII 送信データ 0	あり
2	ETH0_TXD1	Out	イーサネット RMII 送信データ 1	あり
3	ETH0_TXEN	Out	イーサネット RMII 送信出力 Enable	あり
4	ETH0_RXD0	In	イーサネット RMII 受信データ 0	あり
5	ETH0_RXD1	In	イーサネット RMII 受信データ 1	あり
6	ETH0_CRSDV	In	イーサネット RMII キャリアセンス/受信データ バリッド	あり
7	ETH0_MDC	Out	イーサネット管理データクロック	あり
8	ETH0_MDIO	IO	イーサネット管理データ I/O	あり
9	ETH0_REFCLK	In	イーサネット RMII リファレンスクロック	あり

### 3.3.13. カメラ入力

IDX	信号名	入出力	説明	ピンシェア
1	CAM0_CLK	In	カメラクロック	あり
2	CAM0_VSYNC	In	カメラ垂直同期信号	あり
3	CAM0_HSYNC	In	カメラ入力データイネーブル またはカメラ水平同期信号	あり
4	CAM0_DATA0	In	カメラ入力データ 0	あり
5	CAM0_DATA1	In	カメラ入力データ 1	あり
6	CAM0_DATA2	In	カメラ入力データ 2	あり
7	CAM0_DATA3	In	カメラ入力データ 3	あり
8	CAM0_DATA4	In	カメラ入力データ 4	あり
9	CAM0_DATA5	In	カメラ入力データ 5	あり
10	CAM0_DATA6	In	カメラ入力データ 6	あり
11	CAM0_DATA7	In	カメラ入力データ 7	あり

### 3.3.14. ディスプレイ出力

IDX	信号名	入出力	説明	ピンシェア
1	LCD0_RD0	Out	LCD_R_Data0 出力	あり
2	LCD0_RD1	Out	LCD_R_Data1 出力	あり
3	LCD0_RD2	Out	LCD_R_Data2 出力	あり
4	LCD0_RD3	Out	LCD_R_Data3 出力	あり
5	LCD0_RD4	Out	LCD_R_Data4 出力	あり
6	LCD0_RD5	Out	LCD_R_Data5 出力	あり
7	LCD0_RD6	Out	LCD_R_Data6 出力	あり
8	LCD0_RD7	Out	LCD_R_Data7 出力	あり
9	LCD0_GD0	Out	LCD_G_Data0 出力	あり
10	LCD0_GD1	Out	LCD_G_Data1 出力	あり
11	LCD0_GD2	Out	LCD_G_Data2 出力	あり
12	LCD0_GD3	Out	LCD_G_Data3 出力	あり
13	LCD0_GD4	Out	LCD_G_Data4 出力	あり
14	LCD0_GD5	Out	LCD_G_Data5 出力	あり
15	LCD0_GD6	Out	LCD_G_Data6 出力	あり
16	LCD0_GD7	Out	LCD_G_Data7 出力	あり
17	LCD0_BD0	Out	LCD_B_Data0 出力	あり
18	LCD0_BD1	Out	LCD_B_Data1 出力	あり
19	LCD0_BD2	Out	LCD_B_Data2 出力	あり
20	LCD0_BD3	Out	LCD_B_Data3 出力	あり
21	LCD0_BD4	Out	LCD_B_Data4 出力	あり
22	LCD0_BD5	Out	LCD_B_Data5 出力	あり
23	LCD0_BD6	Out	LCD_B_Data6 出力	あり
24	LCD0_BD7	Out	LCD_B_Data7 出力	あり
25	LCD0_HSYNC	Out	LCD_HSYNC 出力	あり
26	LCD0_VSYNC	Out	LCD_VSYNC 出力	あり
27	LCD0_VALID	Out	LCD_VALID 出力	あり
28	LCD0_CLK	Out	LCD クロック出力	あり

## 3.3.15. オーディオインタフェース

IDX	信号名	入出力	説明	ピン シェア
1	I2S_MCKI	In	オーディオマスタクロック入力	あり
2	I2S_MCKO	Out	オーディオマスタクロック出力	あり
3	I2S0_BCK	IO	I2S0 オーディオシリアルクロック	あり
4	I2S0_LRCK	IO	I2S0 オーディオ L/R クロック	あり
5	I2S0_DO	Out	I2S0 オーディオシリアルデータ出力	あり
6	I2S1_BCK	IO	I2S1 オーディオシリアルクロック	あり
7	I2S1_LRCK	IO	I2S1 オーディオ L/R クロック	あり
8	I2S1_DO	Out	I2S1 オーディオシリアルデータ出力	あり
9	I2S1_DI	In	I2S1 オーディオシリアルデータ入力	あり

## 3.3.16. PWM 出力

IDX	信号名	入出力	説明	ピン シェア
1	PWM0_OUT0	Out	PWM 出力 0	あり
2	PWM0_OUT1	Out	PWM 出力 1	あり
3	PWM0_OUT2	Out	PWM 出力 2	あり
4	PWM0_OUT3	Out	PWM 出力 3	あり
5	PWM0_OUT4	Out	PWM 出力 4	あり
6	PWM0_OUT5	Out	PWM 出力 5	あり

## 3.3.17. パラレルポート入カインタフェース

IDX	信号名	入出力	説明	ピン シェア
1	PPI0_DI0	In	パラレルデータ入力 0	あり
2	PPI0_DI1	In	パラレルデータ入力 1	あり
3	PPI0_DI2	In	パラレルデータ入力 2	あり
4	PPI0_DI3	In	パラレルデータ入力 3	あり
5	PPI0_DI4	In	パラレルデータ入力 4	あり
6	PPI0_DI5	In	パラレルデータ入力 5	あり
7	PPI0_DI6	In	パラレルデータ入力 6	あり
8	PPI0_DI7	In	パラレルデータ入力 7	あり
9	PPI0_STB_N	In	パラレルストロブ入力	あり
10	PPI0_ACK	Out	パラレルアクノリッジ出力	あり
11	PPI0_WBUSY	Out	受信 FIFO ステータス出力	あり

## 3.3.18. GPIO インタフェース

IDX	信号名	入出力	説明	ピン シェア
1	GPIO0_0	IO	プログラマブル I/O 0 ※I/O 電源は VDD3V3_PA	—
2	GPIO0_1	IO	プログラマブル I/O 1 ※I/O 電源は VDD3V3_PA	—
3	GPIO0_2	IO	プログラマブル I/O 2 ※I/O 電源は VDD3V3_PA	—
4	GPIO0_3	IO	プログラマブル I/O 3 ※I/O 電源は VDD3V3_PA	—
5	GPIO0_4	IO	プログラマブル I/O 4 ※オープンドレインタイプ	あり
6	GPIO0_5	IO	プログラマブル I/O 5 ※オープンドレインタイプ	あり
7	GPIO0_6	IO	プログラマブル I/O 6 ※オープンドレインタイプ	あり
8	GPIO0_7	IO	プログラマブル I/O 7 ※オープンドレインタイプ	あり
9	GPIO0_8	IO	プログラマブル I/O 8 ※オープンドレインタイプ	あり
10	GPIO0_9	IO	プログラマブル I/O 9 ※オープンドレインタイプ	あり
11	GPIO0_10	IO	プログラマブル I/O 10	あり
12	GPIO0_11	IO	プログラマブル I/O 11	あり
13	GPIO0_12	IO	プログラマブル I/O 12	あり
14	GPIO0_13	IO	プログラマブル I/O 13	あり
15	GPIO0_14	IO	プログラマブル I/O 14	あり
16	GPIO0_15	IO	プログラマブル I/O 15	あり
17	GPIO0_16	IO	プログラマブル I/O 16	あり
18	GPIO0_17	IO	プログラマブル I/O 17	あり
19	GPIO0_18	IO	プログラマブル I/O 18	あり
20	GPIO0_19	IO	プログラマブル I/O 19	あり
21	GPIO0_20	IO	プログラマブル I/O 20	あり
22	GPIO0_21	IO	プログラマブル I/O 21	あり
23	GPIO0_22	IO	プログラマブル I/O 22	あり
24	GPIO0_23	IO	プログラマブル I/O 23	あり
25	GPIO0_24	IO	プログラマブル I/O 24	あり
26	GPIO0_25	IO	プログラマブル I/O 25	あり
27	GPIO0_26	IO	プログラマブル I/O 26	あり
28	GPIO0_27	IO	プログラマブル I/O 27	あり
29	GPIO0_28	IO	プログラマブル I/O 28	あり
30	GPIO0_29	IO	プログラマブル I/O 29	あり
31	GPIO0_30	IO	プログラマブル I/O 30	あり
32	GPIO0_31	IO	プログラマブル I/O 31	あり
33	GPIO1_0	IO	プログラマブル I/O 32	あり
34	GPIO1_1	IO	プログラマブル I/O 33	あり
35	GPIO1_2	IO	プログラマブル I/O 34	あり
36	GPIO1_3	IO	プログラマブル I/O 35	あり
37	GPIO1_4	IO	プログラマブル I/O 36	あり
38	GPIO1_5	IO	プログラマブル I/O 37	あり

IDX	信号名	入出力	説明	ピン シェア
39	GPIO1_6	IO	プログラマブル I/O 38	あり
40	GPIO1_7	IO	プログラマブル I/O 39	あり
41	GPIO1_8	IO	プログラマブル I/O 40	あり
42	GPIO1_9	IO	プログラマブル I/O 41	あり
43	GPIO1_10	IO	プログラマブル I/O 42	あり
44	GPIO1_11	IO	プログラマブル I/O 43	あり
45	GPIO1_12	IO	プログラマブル I/O 44	あり
46	GPIO1_13	IO	プログラマブル I/O 45	あり
47	GPIO1_14	IO	プログラマブル I/O 46	あり
48	GPIO1_15	IO	プログラマブル I/O 47	あり
49	GPIO1_16	IO	プログラマブル I/O 48	あり
50	GPIO1_17	IO	プログラマブル I/O 49	あり
51	GPIO1_18	IO	プログラマブル I/O 50	あり
52	GPIO1_19	IO	プログラマブル I/O 51	あり
53	GPIO1_20	IO	プログラマブル I/O 52	あり
54	GPIO1_21	IO	プログラマブル I/O 53	あり
55	GPIO1_22	IO	プログラマブル I/O 54	あり
56	GPIO1_23	IO	プログラマブル I/O 55	あり
57	GPIO1_24	IO	プログラマブル I/O 56	あり
58	GPIO1_25	IO	プログラマブル I/O 57	あり
59	GPIO1_26	IO	プログラマブル I/O 58	あり
60	GPIO1_27	IO	プログラマブル I/O 59	あり
61	GPIO1_28	IO	プログラマブル I/O 60	あり
62	GPIO1_29	IO	プログラマブル I/O 61	あり
63	GPIO1_30	IO	プログラマブル I/O 62	あり
64	GPIO1_31	IO	プログラマブル I/O 63	あり
65	GPIO2_0	IO	プログラマブル I/O 64	あり
66	GPIO2_1	IO	プログラマブル I/O 65	あり
67	GPIO2_2	IO	プログラマブル I/O 66	あり
68	GPIO2_3	IO	プログラマブル I/O 67	あり
69	GPIO2_4	IO	プログラマブル I/O 68	あり
70	GPIO2_5	IO	プログラマブル I/O 69	あり
71	GPIO2_6	IO	プログラマブル I/O 70	あり
72	GPIO2_7	IO	プログラマブル I/O 71	あり
73	GPIO2_8	IO	プログラマブル I/O 72	あり
74	GPIO2_9	IO	プログラマブル I/O 73	あり
75	GPIO2_10	IO	プログラマブル I/O 74	あり
76	GPIO2_11	IO	プログラマブル I/O 75	あり
77	GPIO2_12	IO	プログラマブル I/O 76	あり
78	GPIO2_13	IO	プログラマブル I/O 77	あり
79	GPIO2_14	IO	プログラマブル I/O 78	あり
80	GPIO2_15	IO	プログラマブル I/O 79	あり
81	GPIO2_16	IO	プログラマブル I/O 80	あり
82	GPIO2_17	IO	プログラマブル I/O 81	あり
83	GPIO2_18	IO	プログラマブル I/O 82	あり
84	GPIO2_19	IO	プログラマブル I/O 83	あり
85	GPIO2_20	IO	プログラマブル I/O 84	あり
86	GPIO2_21	IO	プログラマブル I/O 85	あり
87	GPIO2_22	IO	プログラマブル I/O 86	あり
88	GPIO2_23	IO	プログラマブル I/O 87	あり

IDX	信号名	入出力	説明	ピン シェア
89	GPIO2_24	IO	プログラマブル I/O 88	あり
90	GPIO2_25	IO	プログラマブル I/O 89	あり
91	GPIO2_26	IO	プログラマブル I/O 90	あり
92	GPIO2_27	IO	プログラマブル I/O 91	あり
93	GPIO2_28	IO	プログラマブル I/O 92	あり
94	GPIO2_29	IO	プログラマブル I/O 93	あり
95	GPIO2_30	IO	プログラマブル I/O 94	あり
96	GPIO2_31	IO	プログラマブル I/O 95	あり
97	GPIO3_0	IO	プログラマブル I/O 96	あり
98	GPIO3_1	IO	プログラマブル I/O 97	あり
99	GPIO3_2	IO	プログラマブル I/O 98	あり
100	GPIO3_3	IO	プログラマブル I/O 99	あり
101	GPIO3_4	IO	プログラマブル I/O 100	あり
102	GPIO3_5	IO	プログラマブル I/O 101	あり
103	GPIO3_6	IO	プログラマブル I/O 102	あり
104	GPIO3_7	IO	プログラマブル I/O 103	あり
105	GPIO3_8	IO	プログラマブル I/O 104	あり
106	GPIO3_9	IO	プログラマブル I/O 105	あり
107	GPIO3_10	IO	プログラマブル I/O 106	あり
108	GPIO3_11	IO	プログラマブル I/O 107	あり
109	GPIO3_12	IO	プログラマブル I/O 108	あり
110	GPIO3_13	IO	プログラマブル I/O 109	あり
111	GPIO3_14	IO	プログラマブル I/O 110	あり
112	GPIO3_15	IO	プログラマブル I/O 111	あり
113	GPIO3_16	IO	プログラマブル I/O 112	あり
114	GPIO3_17	IO	プログラマブル I/O 113	あり
115	GPIO3_18	IO	プログラマブル I/O 114	あり
116	GPIO3_19	IO	プログラマブル I/O 115	あり
117	GPIO3_20	IO	プログラマブル I/O 116	あり
118	GPIO3_21	IO	プログラマブル I/O 117	あり
119	GPIO3_22	IO	プログラマブル I/O 118	あり
120	GPIO3_23	IO	プログラマブル I/O 119	あり
121	GPIO3_24	IO	プログラマブル I/O 120	あり
122	GPIO3_25	IO	プログラマブル I/O 121	あり
123	GPIO3_26	IO	プログラマブル I/O 122	あり
124	GPIO3_27	IO	プログラマブル I/O 123	あり
125	GPIO3_28	IO	プログラマブル I/O 124	あり
126	GPIO3_29	IO	プログラマブル I/O 125	あり
127	GPIO3_30	IO	プログラマブル I/O 126	あり
128	GPIO3_31	IO	プログラマブル I/O 127	あり

3.3.19. AD 変換入力

IDX	信号名	入出力	説明
1	SAD0_DIN0	In	逐次 AD 変換入力 0
2	SAD0_DIN1	In	逐次 AD 変換入力 1
3	SAD0_DIN2	In	逐次 AD 変換入力 2
4	SAD0_DIN3	In	逐次 AD 変換入力 3

Note: 各 SAD DIN 端子への印加する信号の信号源インピーダンスは 100 Ω 以下でご使用ください。

3.3.20. デバッグ用 JTAG インタフェース

IDX	信号名	入出力	説明
1	DBG_TCK	In	デバッグクロック入力 Arm <sup>®</sup> コアデバッグ用クロック信号用
2	DBG_TDO	Out	デバッグデータ出力 Arm <sup>®</sup> コアデバッグ用シリアル出力信号
3	DBG_TDI	In	デバッグデータ入力 Arm <sup>®</sup> コアデバッグ用シリアル入力信号
4	DBG_TMS	In	デバッグモード選択 Arm <sup>®</sup> コアデバッグ用モード選択信号
5	DBG_TRST_N	In	デバッグリセット Arm <sup>®</sup> コアデバッグ用リセット入力信号
6	DBG_SRST_N	In	デバッグ CPU リセット Arm <sup>®</sup> CPU 用リセット入力信号

3.3.21. その他

IDX	信号名	入出力	説明	ピン シェア
1	VPGM	—	テスト用信号 GND に接続してください。	—
2	PD_BGR33	—	テスト用信号 GND に接続してください。	—
3	PD_POR33	—	テスト用信号 GND に接続してください。	—
4	BOOTSEL0	In	Boot モード選択入力 0	あり
5	BOOTSEL1	In	Boot モード選択入力 1	あり
6	BOOTSEL2	In	Boot モード選択入力 2	あり
7	BOOTSEL3	In	Boot モード選択入力 3	あり
8	BOOTSEL4	In	Boot モード選択入力 4	あり
9	BOOTSEL5	In	Boot モード選択入力 5	あり

### 3.3.22. 電源およびグランド

IDX	ボール番号	端子名 (Note)	属性	説明
1	H9, H11, J8, J12, L8, L12, M7, M9, M11, N8, N12	VDDC_PA	Power	CORE デジタル電源 1.1 V
2	N9, N10	VDD1V1_DDR	Power	DDR デジタル電源 1.1 V
3	P13	VDD1V1_DDRPLL	Power	DDR 用 PLL 電源 1.1 V
4	P9, P10	VDD_DDRIO	Power	DDR3 I/F 用 1.5 V 電源 (DDR3 使用時) DDR3L の場合 1.35 V を印加
5	M13	VDDPLL0	Power	Clock PLL 電源 1.1 V
6	L13	VDDPLL1	Power	Clock PLL 電源 1.1 V
7	N13	VDDPLL2	Power	Clock PLL 電源 1.1 V
8	P16, R16	VDD3V3_ADC	Power	ADC 基準電圧用電源 3.3 V
9	L18, L19	VDD3V3_USB	Power	USB 用電源 3.3 V
10	G7, G8	VDD1V8_3V3_EMMC	Power	EMMC 用 I/O 電源
11	H7, J7	VDD1V8_3V3_SD0	Power	SD0 用 I/O 電源
12	G9, G10	VDD1V8_3V3_SD1	Power	SD1 用 I/O 電源
13	K7, L7	VDD3V3_PL_I2C	Power	I2C 用 I/O 電源
14	G11, G12	VDD3V3_PL_EBUS	Power	EBUS 用 I/O 電源
15	J13, K13	VDD3V3_PA	Power	PA デジタル IO 用電源 3.3 V
16	G13, H13	VDD3V3_PB	Power	バックアップ用電源 3.3 V
17	A1, A19, H8, H10, H12, J9, J10, J11, J17, K8, K9, K10, K11, K12, L9, L10, L11, M8, M10, M12, N7, N11, P8, T3, T15, T16, T17, T18, T19, U2, U4, U6, U17, U19, V3, V5, V7, V17, V19, W1, W3, W5, W7, W18, W19	VSS	GND	GND
18	P17, R17	VSSADC	GND	ADC 用アナログ GND
19	N16, N18, N19	VSSUSB	GND	USB 用アナログ GND

Note: この節では、端子名として記載します。

### 3.4. 端子機能の切り替え

この製品は、ひとつの端子に複数の機能が割り付けられている端子があります。機能の切り替えは、起動後のレジスタ設定により行います。

#### 3.4.1. レジスタによるシェアピンの切り替え

起動後のレジスタ設定による端子機能選択は、GCONF モジュール内の以下のシェアピン制御レジスタ (`[IO_PIN_SELn]`) により機能選択を行います。

制御レジスタ	略称	アドレス
<code>[IO_PIN_SEL0]</code>	PINS0	0x50028600
<code>[IO_PIN_SEL1]</code>	PINS1	0x50028604
<code>[IO_PIN_SEL2]</code>	PINS2	0x50028608
<code>[IO_PIN_SEL3]</code>	PINS3	0x5002860C
<code>[IO_PIN_SEL4]</code>	PINS4	0x50028610
<code>[IO_PIN_SEL5]</code>	PINS5	0x50028614

`[IO_PIN_SELn]` の各制御ビットに対する端子機能の選択を次に示します。各レジスタの初期値は All-0 となっており、デフォルト機能が使用できる状態になっています。対応する制御ビットに 0b1 を設定することでデフォルト以外の機能に切り替えることができます。1 つのビットで複数の端子の機能が切り替わるものがありますので、この設定には注意してください。

また、同一のボールに割り当てられている、デフォルト以外の複数の機能を同時に設定しないでください。(シェアピン切替設定における機能選択は、優先度が高い機能が選択され、その優先度の順位は、デフォルト < 機能 3 < 機能 2 < 機能 1 となります。)

※ 基本的には、使用する機能だけをシェアピン設定してください。

表 3.2 に、この製品のシェアピン切り替え対応表を示します。

表 3.2 シェアピン切り替え対応表

ボール番号	デフォルト信号名(端子名)	機能 1		機能 2		機能 3	
		制御ビット	信号名	制御ビット	信号名	制御ビット	信号名
M1	BOOTSEL0	—	—	PINS4[0]	GPIO2_0	PINS2[0]	PWM0_OUT0
M2	BOOTSEL1	—	—	PINS4[1]	GPIO2_1	PINS2[1]	PWM0_OUT1
M3	BOOTSEL2	—	—	PINS4[2]	GPIO2_2	PINS2[2]	PWM0_OUT2
M4	BOOTSEL3	—	—	PINS4[3]	GPIO2_3	PINS2[3]	PWM0_OUT3
M5	BOOTSEL4	—	—	PINS4[4]	GPIO2_4	PINS2[4]	PWM0_OUT4
N1	BOOTSEL5	—	—	PINS4[5]	GPIO2_5	PINS2[5]	PWM0_OUT5
E5	EB0_ADD0	—	—	PINS3[27]	GPIO1_27	PINS2[7]	LCD0_CLK
D5	EB0_ADD1	—	—	PINS3[28]	GPIO1_28	PINS2[7]	LCD0_VSYNC
A6	EB0_ADD2	—	—	PINS3[29]	GPIO1_29	PINS2[7]	LCD0_HSYNC
B6	EB0_ADD3	—	—	PINS3[30]	GPIO1_30	PINS2[7]	LCD0_VALID
C6	EB0_ADD4	—	—	PINS3[31]	GPIO1_31	PINS2[7]	LCD0_RD0
E6	EB0_ADD5	—	—	—	—	PINS2[7]	LCD0_RD1
D6	EB0_ADD6	—	—	—	—	PINS2[7]	LCD0_RD2
D7	EB0_ADD7	—	—	—	—	PINS2[7]	LCD0_RD3
C7	EB0_ADD8	—	—	—	—	PINS2[7]	LCD0_RD4
B7	EB0_ADD9	—	—	—	—	PINS2[7]	LCD0_RD5
E7	EB0_ADD10	—	—	—	—	PINS2[7]	LCD0_RD6
A7	EB0_ADD11	—	—	—	—	PINS2[7]	LCD0_RD7
D8	EB0_ADD12	—	—	—	—	PINS2[7]	LCD0_GD0
B8	EB0_ADD13	—	—	—	—	PINS2[7]	LCD0_GD1
A8	EB0_ADD14	—	—	—	—	PINS2[7]	LCD0_GD2
E8	EB0_ADD15	—	—	PINS4[19]	GPIO2_19	PINS2[7]	LCD0_GD3
D9	EB0_ADD16	—	—	PINS4[20]	GPIO2_20	PINS2[7]	LCD0_GD4
C9	EB0_ADD17	—	—	PINS4[21]	GPIO2_21	PINS2[7]	LCD0_GD5
B9	EB0_ADD18	—	—	PINS4[22]	GPIO2_22	PINS2[7]	LCD0_GD6
A9	EB0_ADD19	—	—	PINS4[23]	GPIO2_23	PINS2[7]	LCD0_GD7

ボール 番号	デフォルト 信号名(端子名)	機能 1		機能 2		機能 3	
		制御ビット	信号名	制御ビット	信号名	制御ビット	信号名
E9	EB0_ADD20	—	—	PINS4[24]	GPIO2_24	PINS2[7]	LCD0_BD0
D10	EB0_ADD21	—	—	PINS4[25]	GPIO2_25	PINS2[7]	LCD0_BD1
C10	EB0_ADD22	—	—	PINS4[26]	GPIO2_26	PINS2[7]	LCD0_BD2
B10	EB0_ADD23	—	—	PINS4[27]	GPIO2_27	PINS2[7]	LCD0_BD3
A10	EB0_ADD24	—	—	PINS4[28]	GPIO2_28	PINS2[7]	LCD0_BD4
E11	EB0_ADD25	—	—	PINS4[29]	GPIO2_29	PINS2[7]	LCD0_BD5
D11	EB0_ADD26	—	—	PINS4[30]	GPIO2_30	PINS2[7]	LCD0_BD6
C11	EB0_AVD_N	—	—	PINS4[31]	GPIO2_31	PINS2[7]	LCD0_BD7
B11	EB0_DAT0	—	—	PINS5[0]	GPIO3_0	PINS2[8]	CAM0_CLK
A11	EB0_DAT1	—	—	PINS5[1]	GPIO3_1	PINS2[8]	CAM0_VSYNC
E12	EB0_DAT2	—	—	PINS5[2]	GPIO3_2	PINS2[8]	CAM0_HSYNC
D12	EB0_DAT3	—	—	PINS5[3]	GPIO3_3	PINS2[8]	CAM0_DATA0
B12	EB0_DAT4	—	—	PINS5[4]	GPIO3_4	PINS2[8]	CAM0_DATA1
A12	EB0_DAT5	—	—	PINS5[5]	GPIO3_5	PINS2[8]	CAM0_DATA2
C13	EB0_DAT6	—	—	PINS5[6]	GPIO3_6	PINS2[8]	CAM0_DATA3
D13	EB0_DAT7	—	—	PINS5[7]	GPIO3_7	PINS2[8]	CAM0_DATA4
B13	EB0_DAT8	—	—	PINS5[8]	GPIO3_8	PINS2[8]	CAM0_DATA5
A13	EB0_DAT9	—	—	PINS5[9]	GPIO3_9	PINS2[8]	CAM0_DATA6
A14	EB0_DAT10	—	—	PINS5[10]	GPIO3_10	PINS2[8]	CAM0_DATA7
A15	EB0_DAT11	PINS2[9]	ETH0_RXD0	PINS5[11]	GPIO3_11	—	—
B14	EB0_DAT12	PINS2[9]	ETH0_RXD1	PINS5[12]	GPIO3_12	—	—
A16	EB0_DAT13	PINS2[9]	ETH0_CRSDV	PINS5[13]	GPIO3_13	PINS2[12]	SD1_CD
A17	EB0_DAT14	PINS2[9]	ETH0_MDIO	PINS5[14]	GPIO3_14	PINS2[13]	SD1_WP
A18	EB0_DAT15	—	—	PINS5[15]	GPIO3_15	—	—
B15	EB0_DAT16	—	—	PINS5[16]	GPIO3_16	—	—
C14	EB0_DAT17	—	—	PINS5[17]	GPIO3_17	—	—
B16	EB0_DAT18	—	—	PINS5[18]	GPIO3_18	—	—
B17	EB0_DAT19	—	—	PINS5[19]	GPIO3_19	—	—
B18	EB0_DAT20	—	—	PINS5[20]	GPIO3_20	—	—
D14	EB0_DAT21	—	—	PINS5[21]	GPIO3_21	—	—
B19	EB0_DAT22	—	—	PINS5[22]	GPIO3_22	—	—
C15	EB0_DAT23	—	—	PINS5[23]	GPIO3_23	—	—
C16	EB0_DAT24	—	—	PINS5[24]	GPIO3_24	—	—
C17	EB0_DAT25	—	—	PINS5[25]	GPIO3_25	—	—
C18	EB0_DAT26	—	—	PINS5[26]	GPIO3_26	—	—
C19	EB0_DAT27	—	—	PINS5[27]	GPIO3_27	—	—
D15	EB0_DAT28	—	—	PINS5[28]	GPIO3_28	—	—
D17	EB0_DAT29	—	—	PINS5[29]	GPIO3_29	—	—
D16	EB0_DAT30	—	—	PINS5[30]	GPIO3_30	—	—
D18	EB0_DAT31	—	—	PINS5[31]	GPIO3_31	—	—
D19	EB0_WE_N	—	—	PINS4[6]	GPIO2_6	—	—
B5*	EB0_OE_N	—	—	PINS4[7]	GPIO2_7	PINS2[10]	SD1_CMD
A5*	EB0_CLKO	—	—	PINS4[8]	GPIO2_8	PINS2[10]	SD1_CLK
E4*	EB0_CLKI	—	—	PINS4[9]	GPIO2_9	PINS2[10]	SD1_CLKB
D4*	EB0_CE0_N	—	—	PINS4[10]	GPIO2_10	PINS2[10]	SD1_DAT0
C4*	EB0_CE1_N	—	—	PINS4[11]	GPIO2_11	PINS2[11]	SD1_DAT1
B4*	EB0_CE2_N	—	—	PINS4[12]	GPIO2_12	PINS2[11]	SD1_DAT2
A4*	EB0_CE3_N	—	—	PINS4[13]	GPIO2_13	PINS2[11]	SD1_DAT3
E16	EB0_BE0_N	PINS2[9]	ETH0_TXD0	PINS4[14]	GPIO2_14	—	—
E18	EB0_BE1_N	PINS2[9]	ETH0_TXD1	PINS4[15]	GPIO2_15	—	—
E15	EB0_BE2_N	—	—	PINS4[16]	GPIO2_16	—	—
E19	EB0_BE3_N	—	—	PINS4[17]	GPIO2_17	—	—
F17	EB0_WAIT_N	PINS2[9]	ETH0_REFCLK	PINS4[18]	GPIO2_18	—	—
F16	GPIO1_0	PINS2[9]	ETH0_MDC	PINS3[0]	GPIO1_0	PINS2[15]	SD1_V18EN
F15	GPIO1_1	PINS2[9]	ETH0_TXEN	PINS3[1]	GPIO1_1	PINS2[14]	SD1_POWER
K3	SPIB0_CLK	PINS0[0]	SPITX0_CLK	PINS3[2]	GPIO1_2	—	—
K5	SPIB0_IO0	PINS0[1]	SPITX0_DO	PINS3[3]	GPIO1_3	—	—
K4	SPIB0_IO1	—	—	PINS3[4]	GPIO1_4	—	—
L1	SPIB0_IO2	PINS0[3]	SPITX1_CLK	PINS3[5]	GPIO1_5	—	—
L2	SPIB0_IO3	PINS0[4]	SPITX1_DO	PINS3[6]	GPIO1_6	—	—
L4	SPIB0_CS0_N	PINS0[2]	SPITX0_CS_N	PINS3[7]	GPIO1_7	—	—
L5	SPIB0_CS1_N	PINS0[5]	SPITX1_CS_N	PINS3[8]	GPIO1_8	—	—

ボール 番号	デフォルト 信号名(端子名)	機能 1		機能 2		機能 3	
		制御ビット	信号名	制御ビット	信号名	制御ビット	信号名
F4*	SD0_CLK	PINS0[6]	SPITX2_CLK	PINS3[9]	GPIO1_9	—	—
F3*	SD0_CLKB	—	—	PINS3[10]	GPIO1_10	—	—
F2*	SD0_CMD	PINS0[7]	SPITX2_DO	PINS3[11]	GPIO1_11	—	—
F1*	SD0_DAT0	PINS0[8]	SPITX2_CS_N	PINS3[12]	GPIO1_12	—	—
E3*	SD0_DAT1	PINS0[9]	SPITX3_CLK	PINS3[13]	GPIO1_13	—	—
E2*	SD0_DAT2	PINS0[10]	SPITX3_DO	PINS3[14]	GPIO1_14	—	—
E1*	SD0_DAT3	PINS0[11]	SPITX3_CS_N	PINS3[15]	GPIO1_15	—	—
B1*	EMMC0_CLK	PINS0[12]	SPITX4_CLK	PINS3[16]	GPIO1_16	—	—
C1*	EMMC0_CLKB	—	—	PINS3[17]	GPIO1_17	—	—
D1*	EMMC0_CMD	PINS0[13]	SPITX4_DO	PINS3[18]	GPIO1_18	—	—
A2*	EMMC0_DAT0	PINS0[14]	SPITX4_CS_N	PINS3[19]	GPIO1_19	—	—
B2*	EMMC0_DAT1	PINS0[15]	SPITX5_CLK	PINS3[20]	GPIO1_20	—	—
C2*	EMMC0_DAT2	PINS0[16]	SPITX5_DO	PINS3[21]	GPIO1_21	—	—
D2*	EMMC0_DAT3	PINS0[17]	SPITX5_CS_N	PINS3[22]	GPIO1_22	—	—
A3*	EMMC0_DAT4	PINS0[18]	SPITX6_CLK	PINS3[23]	GPIO1_23	—	—
B3*	EMMC0_DAT5	PINS0[19]	SPITX6_DO	PINS3[24]	GPIO1_24	—	—
C3*	EMMC0_DAT6	PINS0[20]	SPITX6_CS_N	PINS3[25]	GPIO1_25	—	—
D3*	EMMC0_DAT7	—	—	PINS3[26]	GPIO1_26	—	—
R2**	GPIO0_4	—	—	PINS0[25]	I2C1_SDA	—	—
R3**	GPIO0_5	—	—	PINS0[25]	I2C1_SCL	—	—
R4**	GPIO0_6	PINS0[21]	PPIO_DI0	PINS0[26]	I2C2_SDA	—	—
R5**	GPIO0_7	PINS0[21]	PPIO_DI1	PINS0[26]	I2C2_SCL	—	—
T1**	GPIO0_8	PINS0[21]	PPIO_DI2	PINS0[27]	I2C3_SDA	—	—
T2**	GPIO0_9	PINS0[21]	PPIO_DI3	PINS0[27]	I2C3_SCL	—	—
N4	GPIO0_10	PINS0[21]	PPIO_DI4	PINS0[28]	UA1_RXD	—	—
N5	GPIO0_11	PINS0[21]	PPIO_DI5	PINS0[29]	UA1_TXD	—	—
P5	GPIO0_12	PINS0[21]	PPIO_DI6	PINS0[30]	UA1_CTS_N	—	—
P1	GPIO0_13	PINS0[21]	PPIO_DI7	PINS0[30]	UA1_RTS_N	—	—
P2	GPIO0_14	PINS0[21]	PPIO_STB_N	PINS0[31]	UA1_EXCLK	—	—
F5	GPIO0_15	—	—	PINS1[0]	UA2_RXD	PINS1[18]	SPIM0_DI
G1	GPIO0_16	—	—	PINS1[1]	UA2_TXD	PINS1[17]	SPIM0_DO
G2	GPIO0_17	—	—	PINS1[2]	UA2_CTS_N	PINS1[16]	SPIM0_CS_N
G5	GPIO0_18	—	—	PINS1[2]	UA2_RTS_N	PINS1[16]	SPIM0_CLK
G3	GPIO0_19	—	—	PINS1[4]	UA3_RXD	PINS1[24]	SPIS0_DI
G4	GPIO0_20	—	—	PINS1[5]	UA3_TXD	PINS1[23]	SPIS0_DO
H1	GPIO0_21	—	—	PINS1[6]	UA3_CTS_N	PINS1[22]	SPIS0_CLK
H2	GPIO0_22	—	—	PINS1[6]	UA3_RTS_N	PINS1[22]	SPIS0_CS_N
H5	GPIO0_23	—	—	PINS1[14]	I2S_MCKI	PINS1[15]	I2S_MCKO
H4	GPIO0_24	—	—	PINS1[8]	I2S0_BCK	PINS1[19]	SPIM1_CLK
J1	GPIO0_25	—	—	PINS1[8]	I2S0_LRCK	PINS1[19]	SPIM1_CS_N
J2	GPIO0_26	—	—	PINS1[9]	I2S0_DO	PINS1[20]	SPIM1_DO
J3	GPIO0_27	PINS0[22]	PPIO_ACK	PINS1[27]	SPIS0_DI	PINS1[31]	SD0_V18EN
J5	GPIO0_28	PINS1[25]	SPIS0_CLK	PINS1[11]	I2S1_BCK	PINS1[28]	SD0_CD
J4	GPIO0_29	PINS1[25]	SPIS0_CS_N	PINS1[11]	I2S1_LRCK	PINS1[29]	SD0_WP
K1	GPIO0_30	PINS1[26]	SPIS0_DO	PINS1[12]	I2S1_DO	PINS1[30]	SD0_POWER
K2	GPIO0_31	PINS0[23]	PPIO_WBUSY	PINS1[13]	I2S1_DI	PINS1[21]	SPIM1_DI

Note: ボール番号に「\*」が記載されている端子は、端子構造が SD-IO (3.3 V or 1.8 V インタフェース双方向マルチドライブバッファ) となっています。  
 ボール番号に「\*\*」が記載されている端子、および、I2C0\_SDA 端子と I2C0\_SCL 端子は、端子構造がオープンドレインとなっています。

### 4. 電気的特性

#### 4.1. 絶対最大定格

項目	記号	最大定格値	単位
供給電圧	VDDMAX	-0.3 ~ (VDD+0.3) (Note 1)	V
入力電圧	V <sub>IN</sub> MAX	-0.3 ~ (VDD+0.3) (Note 1)	V
出力電圧	V <sub>OUT</sub> MAX	-0.3 ~ (VDD+0.3) (Note 1)	V
入力電流	I <sub>IN</sub>	±10	mA
保存温度	T <sub>stg</sub>	-40 ~ 125	°C

Note 1: VDD は推奨動作条件で記述する各 Supply voltage となります。

#### 4.2. 推奨動作条件

製品区分により、動作条件が3つに分かれています。

##### 4.2.1. TZ2100XBG の動作条件

項目	記号 (対象となる電源端子名)	条件	最小	標準	最大	単位	
電源電圧範囲	VDDC_PA	—	1.00	1.10	1.20	V	
	VDDPLL0	—	1.00	1.10	1.20	V	
	VDDPLL1	—	1.00	1.10	1.20	V	
	VDDPLL2	—	1.00	1.10	1.20	V	
	VDD1V1_DDR	—	1.00	1.10	1.20	V	
	VDD1V1_DDRPLL	—	1.00	1.10	1.20	V	
	VDD_DDRIO	—	DDR3 接続時	1.425	1.50	1.575	V
			DDR3L 接続時	1.283	1.35	1.45	
	VDD3V3_PA	—	3.00	3.30	3.60	V	
	VDD3V3_PL_EBUS	—	3.00	3.30	3.60	V	
	VDD3V3_PL_I2C	—	3.00	3.30	3.60	V	
	VDD1V8_3V3_SD0	—	—	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
	VDD1V8_3V3_SD1	—	(Note 2)	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
	VDD1V8_3V3_EMMC	—	—	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
VDD3V3_USB	—	3.15	3.30	3.45	V		
VDD3V3_ADC	—	3.00	3.30	3.60	V		
VDD3V3_PB	(Note 4)	3.00	3.30	3.60	V		
動作温度範囲	T <sub>a</sub> (周囲温度)	—	-20	—	80	°C	
		(Note 3)	-40	—	85		

Note: 1.1 V 系の電源は、各供給電圧の差を 100 mV 以内にしてください。

Note 1: 1.8 V インタフェースとして使用するとき

Note 2: EBUS として使用する場合は、供給電圧を VDD3V3\_PL\_EBUS と共通にしてください。  
この場合には、動作電圧の最小値は 3.0 V になります。

Note 3: 温度拡張品の動作温度範囲を示します。

Note 4: バックアップ用 SRAM 内のデータ保持と RTC 動作は、最小 2.0 V になります。

## 4.2.2. TZ2102XBG の動作条件

項目	記号 (対象となる電源端子名)	条件	最小	標準	最大	単位	
電源電圧範囲	VDDC_PA	—	1.06	1.135	1.21	V	
	VDDPLL0	—	1.06	1.135	1.21	V	
	VDDPLL1	—	1.06	1.135	1.21	V	
	VDDPLL2	—	1.06	1.135	1.21	V	
	VDD1V1_DDR	—	1.06	1.135	1.21	V	
	VDD1V1_DDRPLL	—	1.06	1.135	1.21	V	
	VDD_DDRIO		DDR3 接続時	1.425	1.50	1.575	V
			DDR3L 接続時	1.283	1.35	1.45	
	VDD3V3_PA	—	3.00	3.30	3.60	V	
	VDD3V3_PL_EBUS	—	3.00	3.30	3.60	V	
	VDD3V3_PL_I2C	—	3.00	3.30	3.60	V	
	VDD1V8_3V3_SD0		—	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
	VDD1V8_3V3_SD1		(Note 2)	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
	VDD1V8_3V3_EMMC		—	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
VDD3V3_USB	—	3.15	3.30	3.45	V		
VDD3V3_ADC	—	3.00	3.30	3.60	V		
VDD3V3_PB	(Note 3)	3.00	3.30	3.60	V		
動作温度範囲	T <sub>a</sub> (周囲温度)	—	-20	—	80	°C	

Note: 1.1 V 系の電源は、各供給電圧の差を 100 mV 以内にしてください。

Note 1: 1.8 V インタフェースとして使用するとき

Note 2: EBUS として使用する場合は、供給電圧を VDD3V3\_PL\_EBUS と共通にしてください。  
この場合には、動作電圧の最小値は 3.0 V になります。

Note 3: バックアップ用 SRAM 内のデータ保持と RTC 動作は、最小 2.0 V になります。

## 4.2.3. TZ2101XBG/TZ2102XBG の動作条件（温度拡張品）

項目	記号 (対象となる電源端子名)	条件	最小	標準	最大	単位	
電源電圧範囲	VDDC_PA	—	1.10	1.15	1.20	V	
	VDDPLL0	—	1.10	1.15	1.20	V	
	VDDPLL1	—	1.10	1.15	1.20	V	
	VDDPLL2	—	1.10	1.15	1.20	V	
	VDD1V1_DDR	—	1.10	1.15	1.20	V	
	VDD1V1_DDRPLL	—	1.10	1.15	1.20	V	
	VDD_DDRIO		DDR3 接続時	1.425	1.50	1.575	V
			DDR3L 接続時	1.283	1.35	1.45	
	VDD3V3_PA	—	3.00	3.30	3.60	V	
	VDD3V3_PL_EBUS	—	3.00	3.30	3.60	V	
	VDD3V3_PL_I2C	—	3.00	3.30	3.60	V	
	VDD1V8_3V3_SD0		—	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
	VDD1V8_3V3_SD1		(Note 2)	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
	VDD1V8_3V3_EMMC		—	2.70	3.30	3.60	V
			(Note 1)	1.70	1.80	1.95	
VDD3V3_USB	—	3.15	3.30	3.45	V		
VDD3V3_ADC	—	3.00	3.30	3.60	V		
VDD3V3_PB	(Note 3)	2.70	3.30	3.60	V		
動作温度範囲	Ta (周囲温度)	—	-40	—	85	°C	

Note 1: 1.8 V インタフェースとして使用するとき

Note 2: EBUS として使用する場合は、供給電圧を VDD3V3\_PL\_EBUS と共通にしてください。  
この場合には、動作電圧の最小値は 3.0 V になります。

Note 3: バックアップ用 SRAM 内のデータ保持と RTC 動作は、最小 2.0 V になります。

## 4.3. 消費電流

項目	記号	対象となる電源端子名	最大	単位
消費電流 1	IDDC	VDDC_PA, VDD1V1_DDR, VDDPLL0, VDDPLL1, VDDPLL2 VDD1V1_DDRPLL	1.19 (Note 1)	A
消費電流 2	IDD_DDR	VDD1V1_DDR, VDD1V1_DDRPLL	74 (Note 2)	mA
消費電流 3	IDD_DDRIO	VDD_DDRIO	95 (Note 2)	mA
消費電流 4	IDD3V3_PB	VDD3V3_PB	10 (Note 3)	μA
消費電流 5	IDD1V8_3V3_SD0	VDD1V8_3V3_SD0	24 (Note 4)	mA
消費電流 6	IDD3V3_3V3_SD1	VDD1V8_3V3_SD1	24 (Note 4)	mA
消費電流 7	IDD1V8_3V3_EMMC	VDD1V8_3V3_EMMC	50 (Note 4)	mA
消費電流 8	IDD3V3_USB	VDD3V3_USB	35 (Note 5)	mA

Note: 最大値の規格は、以下のソフトウェアの実行時の最大値をベースに、特に記載がない限り、デバイスのばらつき、電源電圧、パッケージ温度、内部動作条件をそれぞれ考慮した算出値です。

Note 1: LCD 表示対応デモアプリケーションソフトウェア（当社製）を使用

Note 2: 評価用 DDR 負荷試験ソフトウェア（当社製）を使用し、VDD\_DDRIO = 1.45 V での最大値

Note 3: Backup モードの場合で、内蔵 SRAM でデータバックアップと同時に RTC 動作させた試験ソフトウェア（当社製）を使用し、Ta = 60°C での最大値

Note 4: eMMC あるいは SD Card の評価用負荷試験ソフトウェア（当社製）を使用し、VDD1V8\_3V3 = 1.95 V での最大値

Note 5: 評価用 USB 負荷試験ソフトウェア（当社製）

### 4.4. DC 特性

#### 4.4.1. デジタル IO 用端子

対象となる IO に SD-IO タイプは含まれません。また、オープンドレインタイプの特性の場合は、対象 IO の状態の欄にオープンドレインと記載しています。

(VDD3V3\_PA, VDD3V3\_PB, VDD3V3\_PL\_I2C, VDD3V3\_PL\_EBUS = 3.0 V ~ 3.6 V)

項目	記号	IO の状態	条件	最小	最大	単位
低レベル入力電圧	V <sub>IL</sub>	入力 (シュミットなし)	—	VSS	0.8	V
		入力 (シュミット付)	—	VSS	VDD × 0.3	V
		入力 (オープンドレイン)	—	VSS	VDD × 0.3	V
高レベル入力電圧	V <sub>IH</sub>	入力 (シュミットなし)	—	2.0	VDD	V
		入力 (シュミット付)	—	2.1	VDD	V
		入力 (オープンドレイン)	—	VDD × 0.7	5.5	V
低レベル入力電流	I <sub>IL</sub>	入力 (HiZ, PD)	V <sub>IN</sub> = VSS	-10	10	μA
		入力 (PU)	V <sub>IN</sub> = VSS	-200	-10	μA
		入力 (オープンドレイン)	V <sub>IN</sub> = VSS	-10	10	μA
高レベル入力電流	I <sub>IH</sub>	入力 (HiZ, PU)	V <sub>IN</sub> = VDD	-10	10	μA
		入力 (PD)	V <sub>IN</sub> = VDD	10	200	μA
		入力 (オープンドレイン)	V <sub>IN</sub> = VDD	-10	10	μA
低レベル出力電圧	V <sub>OL</sub>	出力	I <sub>OL</sub> = 4 mA	—	0.4	V
			I <sub>OL</sub> = 8 mA	—	0.4	V
		出力 (オープンドレイン)	I <sub>OL</sub> = 8 mA	—	0.4	V
高レベル出力電圧	V <sub>OH</sub>	出力	I <sub>OH</sub> = -4 mA	VDD-0.4	—	V
			I <sub>OH</sub> = -8 mA	VDD-0.4	—	V

Note: 表中の HiZ、PD、PU は、それぞれ入力がハイインピーダンス、プルダウン抵抗付き、プルアップ抵抗付きに設定されていることを示します。また、IO によってそれぞれの入力状態、出力状態の設定が、固定の場合とプログラマブルに設定できるものがあります。  
 なお、オープンドレイン構造、SD-IO 構造の対象端子は、表 3.2 を参照してください。

## 4.4.2. eMMC/SD Card/SDIO 用端子

表 3.2 に示す SD-IO タイプの端子特性を記載します。

(VDD1V8\_3V3\_EMMC, VDD1V8\_3V3\_SD0, VDD1V8\_3V3\_SD1 = 2.7 V ~ 3.6 V)

項目	記号	IO の状態	条件	最小	最大	単位
低レベル入力電圧	V <sub>IL</sub>	入力	—	VSS	VDD × 0.25	V
高レベル入力電圧	V <sub>IH</sub>	入力	—	VDD × 0.625	VDD	V
低レベル入力電流	I <sub>IL</sub>	入力(ハイインピーダンス時)	V <sub>IN</sub> = VSS	-10	10	μA
		入力(プルアップ抵抗付き)	V <sub>IN</sub> = VSS	-360	-30	μA
高レベル入力電流	I <sub>IH</sub>	入力	V <sub>IN</sub> = VDD	-10	10	μA
低レベル出力電圧	V <sub>OL</sub>	出力	I <sub>OL</sub> = 2 mA	—	VDD × 0.125	V
高レベル出力電圧	V <sub>OH</sub>	出力	I <sub>OH</sub> = -2 mA	VDD × 0.75	—	V

(VDD1V8\_3V3\_EMMC, VDD1V8\_3V3\_SD0, VDD1V8\_3V3\_SD1 = 1.7 V ~ 1.95 V)

項目	記号	IO の状態	条件	最小	最大	単位
低レベル入力電圧	V <sub>IL</sub>	入力	—	VSS	0.58	V
高レベル入力電圧	V <sub>IH</sub>	入力	—	1.27	VDD	V
低レベル入力電流	I <sub>IL</sub>	入力(ハイインピーダンス時)	V <sub>IN</sub> = VSS	-2	2	μA
		入力(プルアップ抵抗付き)	V <sub>IN</sub> = VSS	-195	-18	μA
高レベル入力電流	I <sub>IH</sub>	入力	V <sub>IN</sub> = VDD	-2	2	μA
低レベル出力電圧	V <sub>OL</sub>	出力	I <sub>OL</sub> = 2 mA	—	0.45	V
高レベル出力電圧	V <sub>OH</sub>	出力	I <sub>OH</sub> = -2 mA	1.40	—	V

## 4.5. AC 特性

### 4.5.1. クロック入力

水晶振動子接続でクロック発振させる場合

項目	記号	条件	最小	標準	最大	単位
Oscillator Frequency	fOSC24M	—	—	24	—	MHz

Tolerance:  $\pm 100$  ppm

外部発振器からクロックを供給する場合

項目	記号	条件	最小	標準	最大	単位
External Clock Source Frequency	fEXT24M	—	—	24	—	MHz

Tolerance:  $\pm 100$  ppm

水晶振動子接続でクロック発振させる場合

項目	記号	条件	最小	標準	最大	単位
Oscillator Frequency	fOSC32K	—	—	32.768	—	kHz

Tolerance:  $\pm 20$  ppm

ただし、RTC に求められる精度によります。

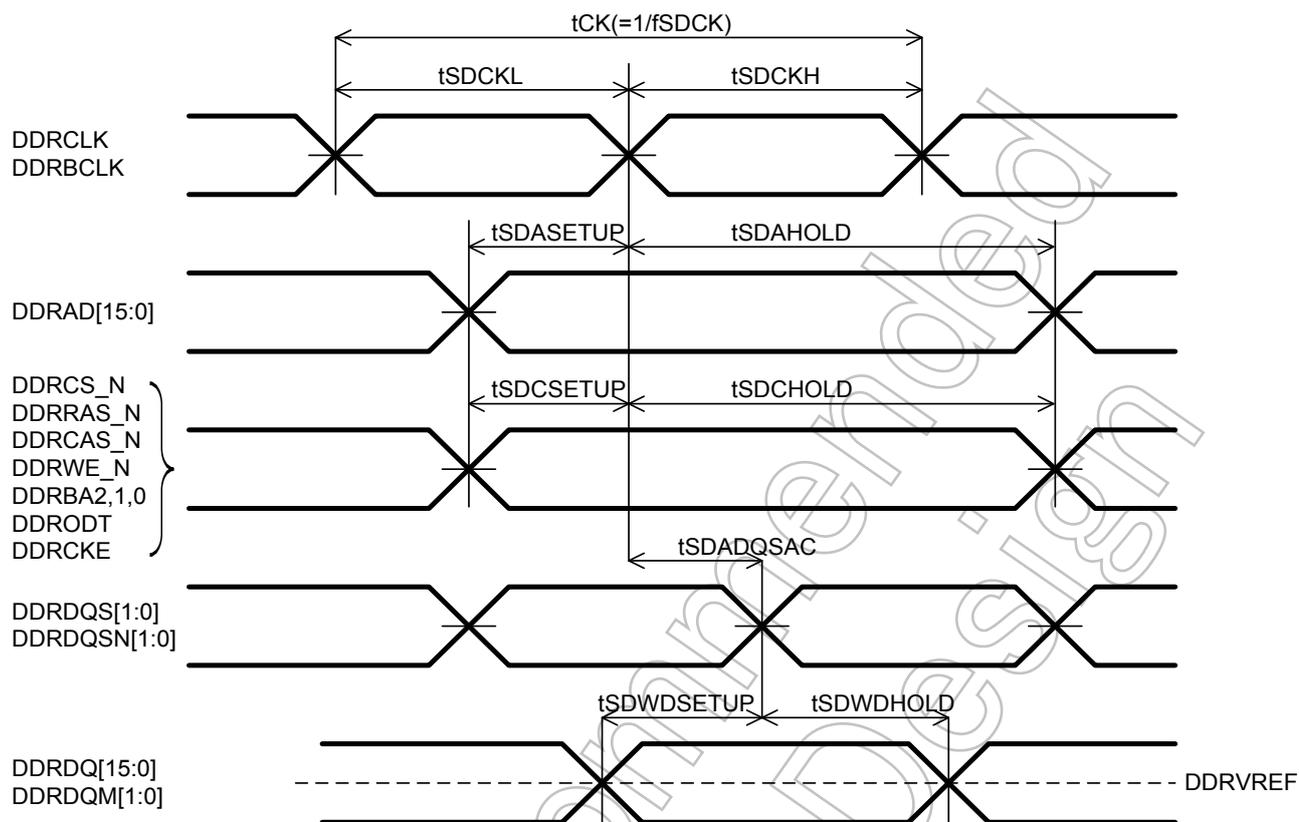
外部発振器からクロックを供給する場合

項目	記号	条件	最小	標準	最大	単位
External Clock Source Frequency	fEXT32K	—	—	32.768	—	kHz

Tolerance:  $\pm 20$  ppm

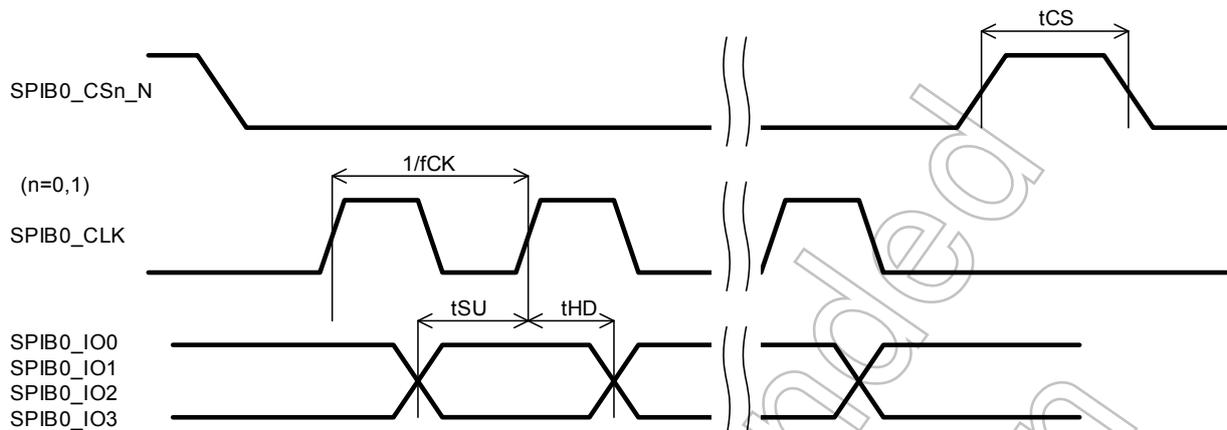
ただし、RTC に求められる精度によります。

### 4.5.2. DDR3/DDR3L メモリインタフェース

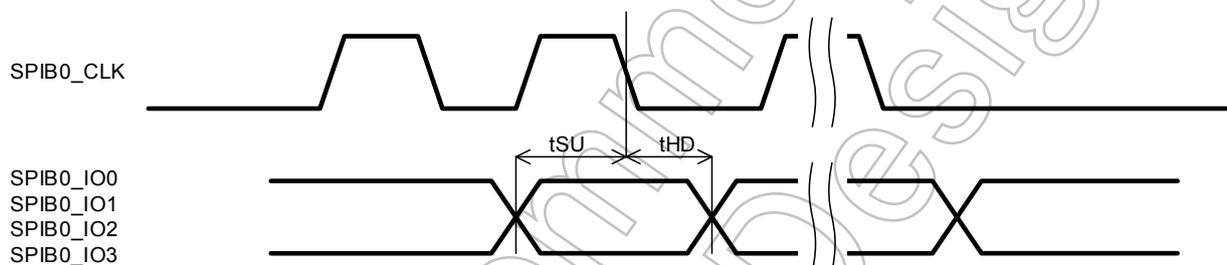


項目	記号	条件	800 Mbps		単位
			最小	最大	
DDRCLK frequency	fSDCK	—	—	400	MHz
DDRCLK clock period	tCK	—	2.5	—	ns
DDRCLK H level width	tSDCKH	—	0.47	0.53	tCK
DDRCLK L level width	tSDCKL	—	0.47	0.53	tCK
Address/Command output setup time	tSDASETUP tSDCSETUP	—	200	—	ps
Address/Command output hold time	tSDAHOLD tSDCHOLD	—	275	—	ps
DDRDQS output delay time	tSDADQSAC	—	-0.25	0.25	tCK
Data output setup time	tSDWDSETUP	—	75	—	ps
Data output hold time	tSDWDHOLD	—	150	—	ps

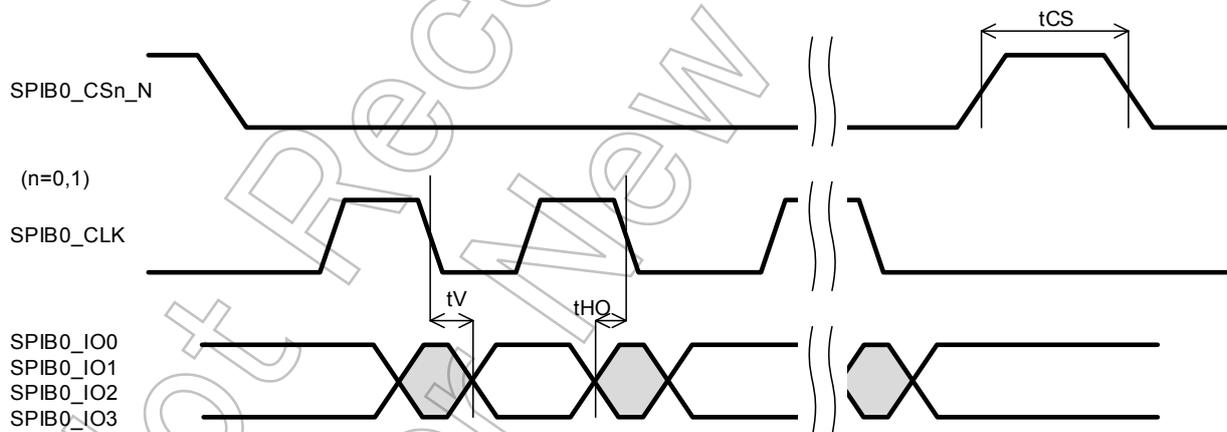
### 4.5.3. SPI Flash Memory Controller インタフェース



Input Timing (SDCE: rising edge) (Note 1)



Input Timing (SDCE: falling edge) (Note 1)



Output Timing

項目	記号	条件	最小	標準	最大	単位
SPI_CLK Clock Frequency	fCK	—	18.75	—	50	MHz
Data in Setup Time	tSU	—	3	—	—	ns
Data in Hold Time	tHD	—	10	—	—	ns
Output Valid	tV	—	—	—	4.5	ns
Output Hold Time	tHO	—	2.5	—	—	ns
Chip Select High Time	tCS	—	(Note 2)			ns

Note 1: Input timing は、SDCE = rising edge と SDCE = falling edge の 2 通りを選択することが可能です。

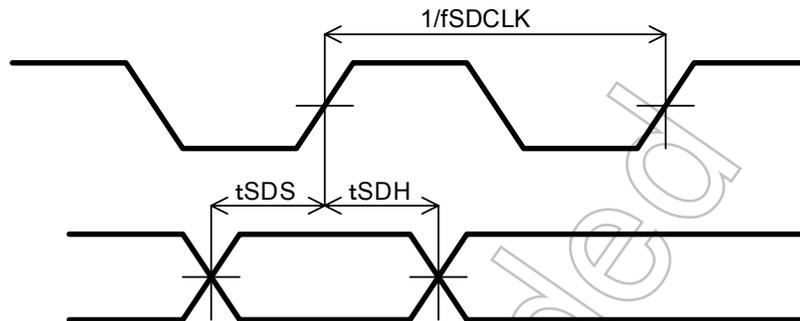
Note 2: tCS は、SCSD で最大 5100 ns まで設定することが可能です。

### 4.5.4. eMMC / SD card / SDIO インタフェース

#### [受信時]

SD<sub>n</sub>\_CLK,  
EMMC0\_CLK

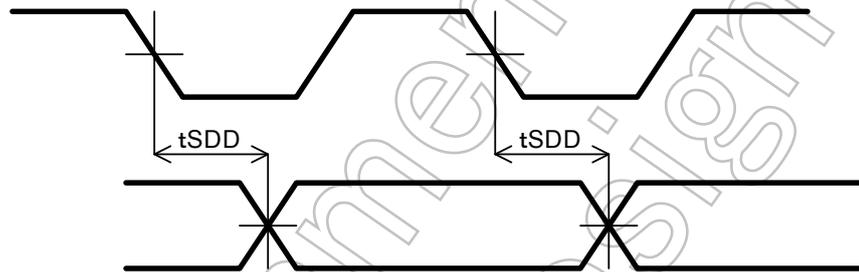
SD<sub>n</sub>\_CMD,  
SD<sub>n</sub>\_DAT[3:0],  
EMMC0\_CMD,  
EMMC0\_DAT[7:0]  
(n=0,1)



#### [送信時]

SD<sub>n</sub>\_CLK  
EMMC0\_CLK

SD<sub>n</sub>\_CMD  
SD<sub>n</sub>\_DAT[3:0]  
EMMC0\_CMD  
EMMC0\_DAT[7:0]  
(n=0,1)



#### SD カード Default Speed

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	25	MHz
CMD/DATA output delay time	tSDD	C <sub>L</sub> < 40pF (Note 1)	0	—	11	ns
CMD/DATA setup time	tSDS	—	5.5	—	—	ns
CMD/DATA hold time	tSDH	—	7.8	—	—	ns

#### Legacy MMC

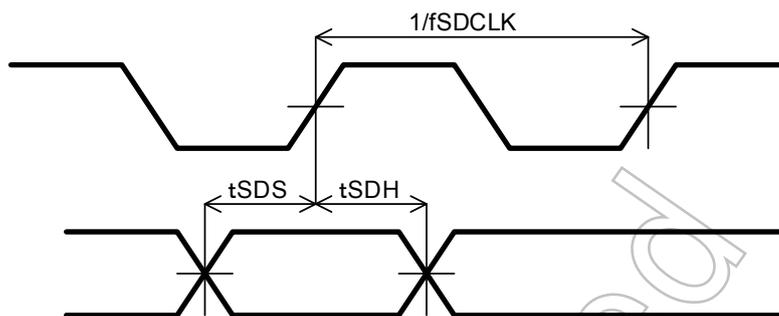
項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	25	MHz
CMD/DATA output delay time	tSDD	C <sub>L</sub> < 40pF (Note 1)	0	—	11	ns
CMD/DATA setup time	tSDS	—	5.5	—	—	ns
CMD/DATA hold time	tSDH	—	7.8	—	—	ns

Note 1: 外部負荷容量 (C<sub>L</sub>)

### [受信時]

SD<sub>n</sub>\_CLK  
EMMC0\_CLK

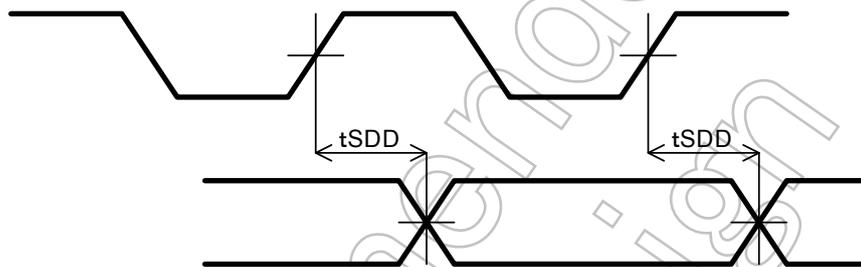
SD<sub>n</sub>\_CMD,  
SD<sub>n</sub>\_DAT[3:0],  
EMMC0\_CMD,  
EMMC0\_DAT[7:0]  
(n=0,1)



### [送信時]

SD<sub>n</sub>\_CLK  
EMMC0\_CLK

SD<sub>n</sub>\_CMD,  
SD<sub>n</sub>\_DAT[3:0]  
EMMC0\_CMD,  
EMMC0\_DAT[7:0]  
(n=0,1)



### SD カード High Speed

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	50	MHz
CMD/DATA output delay time	tSDD	C <sub>L</sub> < 40pF (Note 1)	3.5	—	13.5	ns
CMD/DATA setup time	tSDS	—	5.5	—	—	ns
CMD/DATA hold time	tSDH	—	2.0	—	—	ns

### SD カード SDR12

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	25	MHz
CMD/DATA output delay time	tSDD	C <sub>L</sub> < 40pF (Note 1)	3.5	—	13.5	ns
CMD/DATA setup time	tSDS	—	5.5	—	—	ns
CMD/DATA hold time	tSDH	—	2.0	—	—	ns

### SD カード SDR25

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	50	MHz
CMD/DATA output delay time	tSDD	C <sub>L</sub> < 40pF (Note 1)	3.5	—	13.5	ns
CMD/DATA setup time	tSDS	—	5.5	—	—	ns
CMD/DATA hold time	tSDH	—	2.0	—	—	ns

Note 1: 外部負荷容量 (C<sub>L</sub>)

### SD カード SDR50

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	100	MHz
CMD/DATA output delay time	tSDD	$C_L < 30 \text{ pF}$ (Note 1)	1.3	—	6.5	ns
CMD/DATA setup time	tSDS	—	2.0	—	—	ns
CMD/DATA hold time	tSDH	—	1.0	—	—	ns

### SD カード SDR104

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	150	MHz
CMD/DATA output delay time	tSDD	$C_L < 15 \text{ pF}$ (Note 1)	1.30	—	4.77	ns
CMD/DATA setup time	tSDS	—	1.42	—	—	ns
CMD/DATA hold time	tSDH	—	1.42	—	—	ns

### eMMC High Speed SDR

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	50	MHz
CMD/DATA output delay time	tSDD	$C_L < 40\text{pF}$ (Note 1)	3.5	—	13.5	ns
CMD/DATA setup time	tSDS	—	5.5	—	—	ns
CMD/DATA hold time	tSDH	—	2.0	—	—	ns

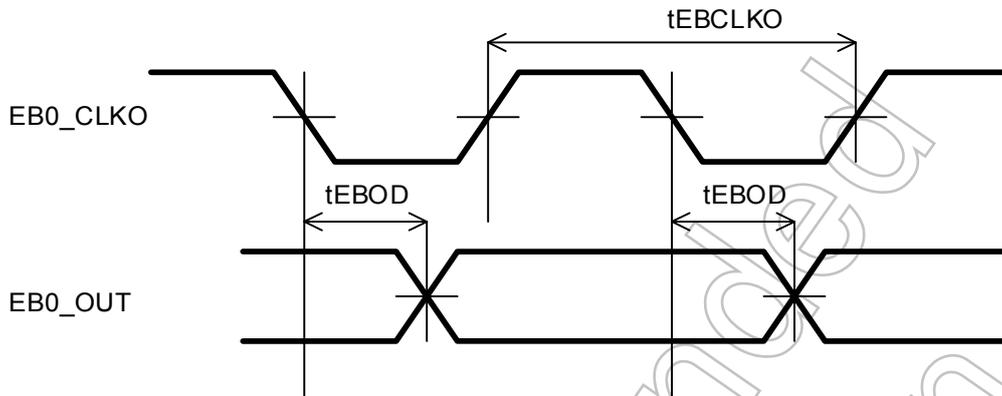
### eMMC HS200

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSDCLK	—	—	—	150	MHz
CMD/DATA output delay time	tSDD	$C_L < 15 \text{ pF}$ (Note 1)	1.30	—	4.77	ns
CMD/DATA setup time	tSDS	—	1.42	—	—	ns
CMD/DATA hold time	tSDH	—	1.42	—	—	ns

Note 1: 外部負荷容量 ( $C_L$ )

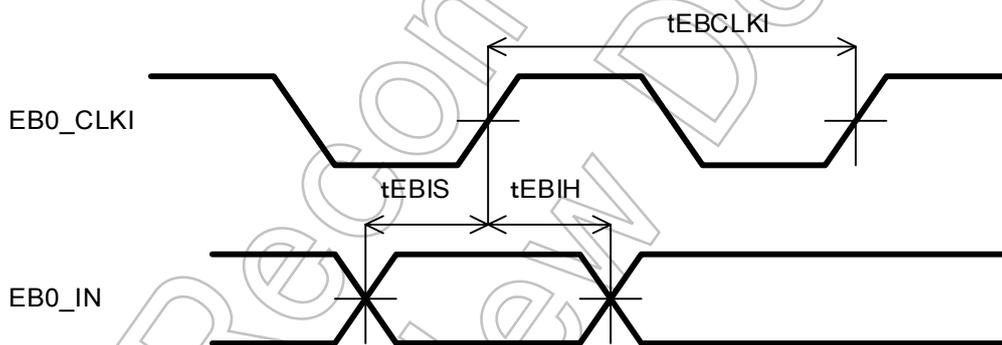
### 4.5.5. 外部バスインタフェース

#### 4.5.5.1. 同期モード



出力信号

項目	記号	条件	最小	標準	最大	単位
Clock Cycle Time	fEBCLKO	(Note 1)	—	40	—	ns
Output Data Delay Time	tEBOD	(Note 1)	0.5	—	10	ns



入力信号

項目	記号	条件	最小	標準	最大	単位
Clock Cycle Time	tEBCLKI	(Note 2)	—	40	—	ns
Input Data Setup Time	tEBIS	(Note 3)	10	—	—	ns
Input Data Hold Time	tEBIH	(Note 3)	0.5	—	—	ns

Note 1: 外部負荷容量 ( $C_L$ )

$$C_L = \begin{cases} 40 & (\text{max}) \\ 6 & (\text{min}) \end{cases} \text{ [pF]}$$

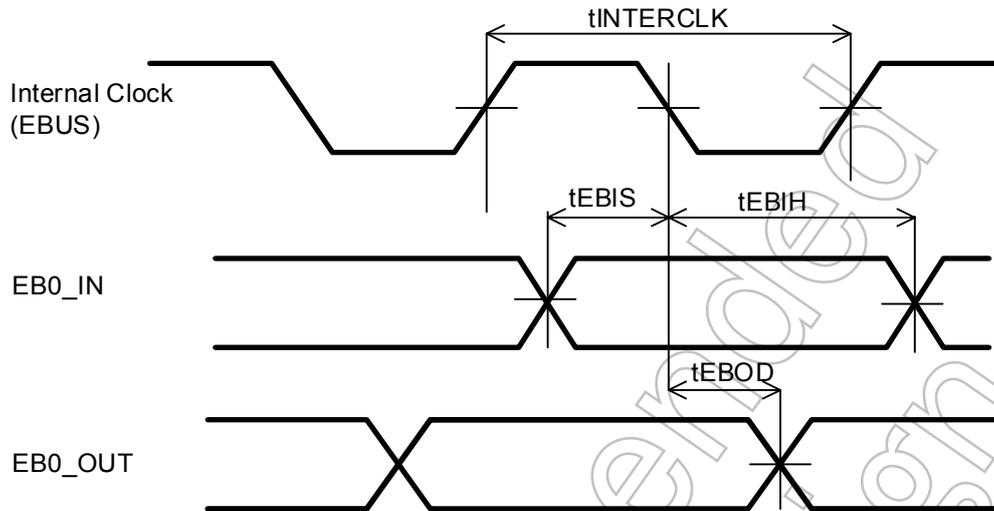
Note 2: EB0\_CLKIにはEB0\_CLKOを対向デバイスの手前で折り返した線を接続します。その際のボード上の遅延は2 ns以下にしてください。

Note 3: 遷移時間 (Transition Time (20% - 80%))

$$\text{Transition Time} = \begin{cases} 1.0 & (\text{max}) \\ 0 & (\text{min}) \end{cases} \text{ [ns]}$$

外部バスインタフェースにおけるサイクル単位 (EB0\_CLKO 基準) のタイミングチャートは、リファレンスマニュアル個別編 27 章 External Bus Interface を参照してください。

### 4.5.5.2. 非同期モード



項目	記号	条件	最小	標準	最大	単位
Clock Cycle Time	$t_{INTERCLK}$	(Note 1) (Note 2)	10	—	40	ns
Output Data Delay Time	$t_{EBOD}$	(Note 1)	0	—	15	ns
Input Data Setup Time	$t_{EBIS}$	(Note 3)	10	—	—	ns
Input Data Hold Time	$t_{EBIH}$	(Note 3)	1	—	—	ns

Note 1: 外部負荷容量 ( $C_L$ )

$$C_L = \begin{cases} 40 & (\text{max}) \\ 6 & (\text{min}) \end{cases} [\text{pF}]$$

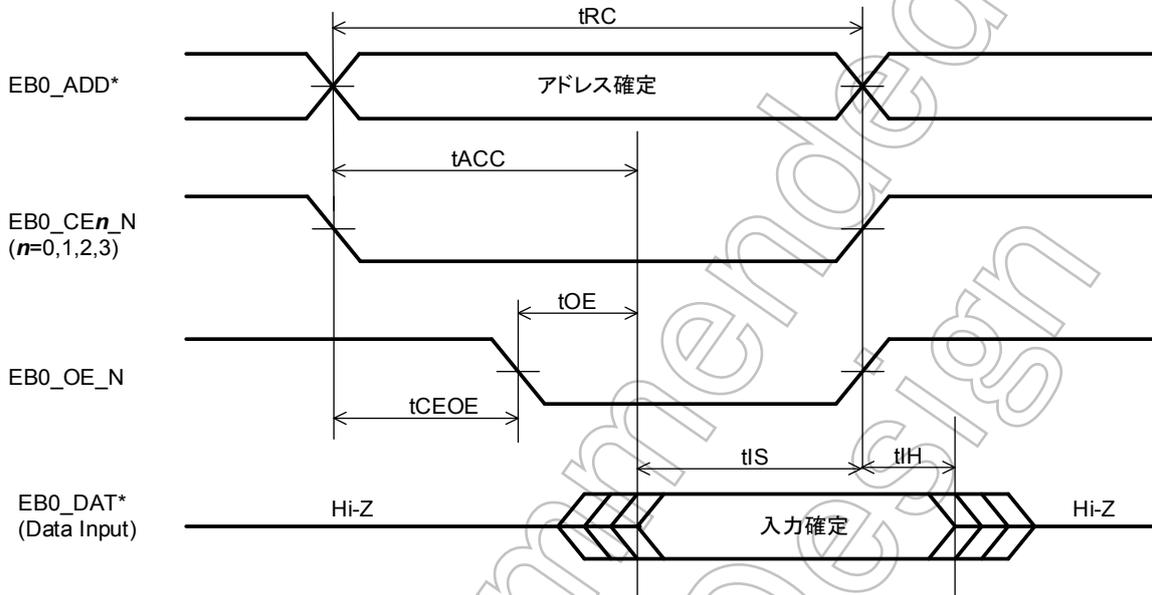
Note 2: 周期は 40 ns (default)、20 ns、10 ns が選択可能です。

Note 3: 立ち上がり遷移時間 (Transition Time (20% → 80%))

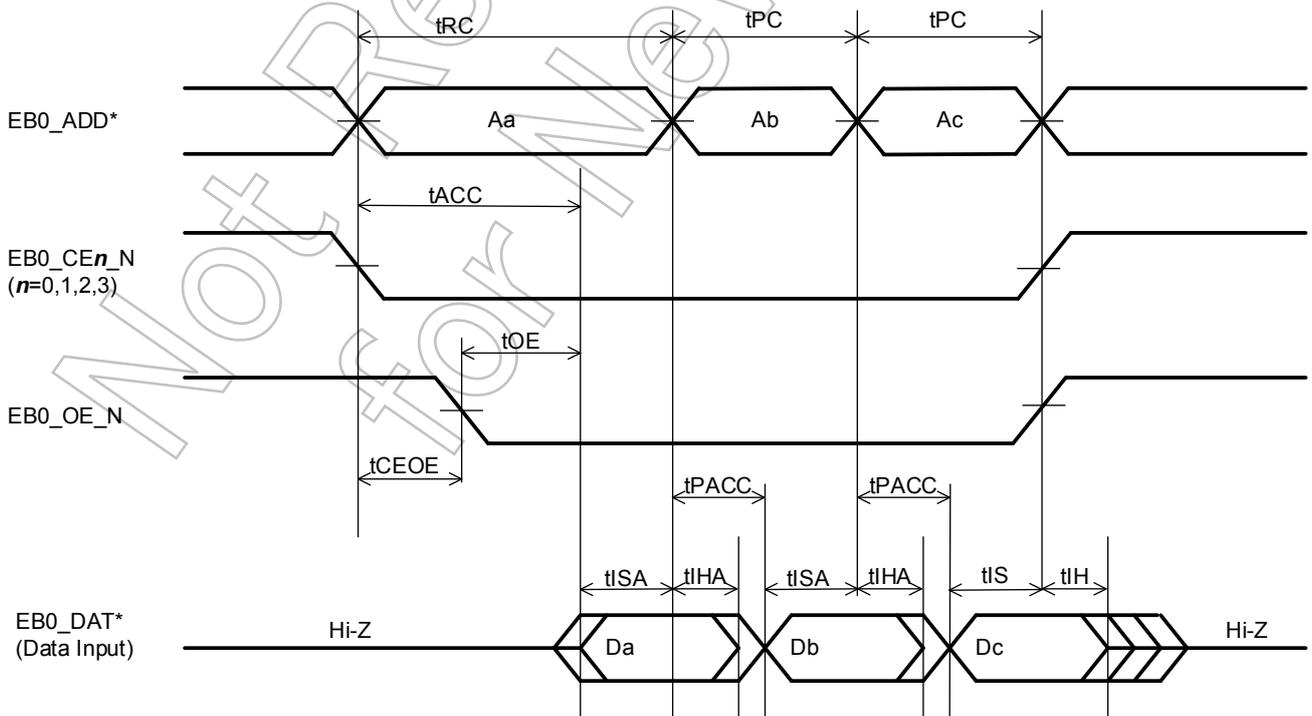
$$\text{Transition Time} = \begin{cases} 1.0 & (\text{max}) \\ 0 & (\text{min}) \end{cases} [\text{ns}]$$

リードサイクル

リード



ページリード



項目	記号	条件	最小	標準	最大	単位
Clock Cycle Time	tINTERCLK	(Note 2)	10	—	40	ns
Read Cycle Time	tRC	(Note 1)	TRC * tINTERCLK - 15	—	—	ns
Address Access Time	tACC	(Note 1) (Note 3) (Note 4)	—	—	TRC * tINTERCLK - 25	ns
Period from EB0_CE_N(fall) to EB0_OE_N(fall)	tCEOE	(Note 1)	TCEOE * tINTERCLK - 15	—	—	ns
Period from EB0_OE_N(fall) to Data Input	tOE	(Note 1) (Note 3)	—	—	(TRC - TCEOE) * tINTERCLK - 25	ns
Data Input Setup Time for Last Data	tIS	(Note 1) (Note 3) (Note 5)	25	—	—	ns
Data Input Hold Time for Last Data	tIH	(Note 1) (Note 3) (Note 6)	0	—	—	ns
Data Input Setup Time	tISA	(Note 1) (Note 3) (Note 7)	25	—	—	ns
Data Input Hold Time	tIHA	(Note 1) (Note 3) (Note 8)	0	—	—	ns
Page Cycle Time	tPC	(Note 1)	TPC * tINTERCLK - 15	—	—	ns
Page Access Time	tPACC	(Note 1) (Note 3)	—	—	TPC * tINTERCLK - 25	ns

TRC、TCEOE、TPCは、それぞれレジスタフィールド[EBIFx\_CYCLESn].TRC、[EBIFx\_CYCLESn].TCEOE、[EBIFx\_CYCLESn].TPC の設定値を表します。

Note 1: 外部負荷容量 (C<sub>L</sub>)

$$C_L = \begin{cases} 40 & (\text{max}) \\ 6 & (\text{min}) \end{cases} \text{ [pF]}$$

Note 2: 周期は 40 ns (default)、20 ns、10 ns が選択可能です。

Note 3: 立ち上がり遷移時間 (Transition Time (20% → 80%))

$$\text{Transition Time} = \begin{cases} 1.0 & (\text{max}) \\ 0 & (\text{min}) \end{cases} \text{ [ns]}$$

Note 4: CE の立下り、ADD の変化の中で、そのタイミングで変化するもっとも遅い変化が起点

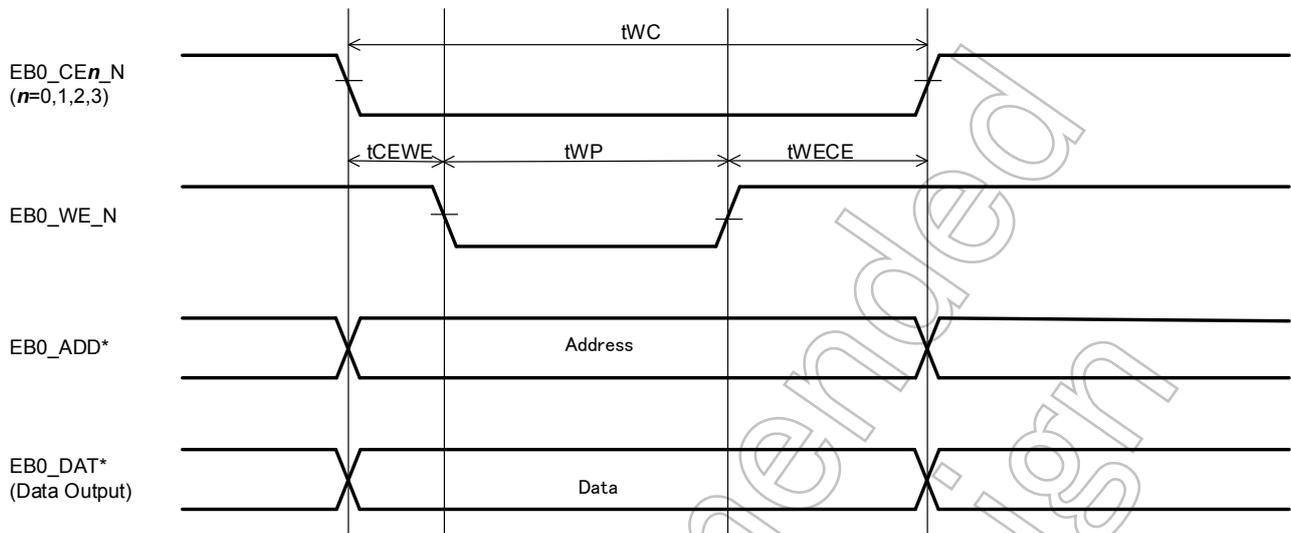
Note 5: CE の立上り、OE の立上り、ADD の変化の中で、もっとも遅い変化が起点

Note 6: CE の立上り、OE の立上り、ADD の変化の中で、もっとも早い変化が起点

Note 7: ADD の変化の中で、もっとも遅い変化が起点

Note 8: ADD の変化の中で、もっとも早い変化が起点

### ライトサイクル



項目	記号	条件	最小	標準	最大	単位
Clock Cycle Time	tINTERCLK	(Note 2)	10	—	40	ns
Write Cycle Time	tWC	(Note 1)	$TWC * tINTERCLK - 15$	—	—	ns
Write Pulse Width	tWP	(Note 1)	$TWP * tINTERCLK - 15$	—	—	ns
Period from EB0_CE_N(fall) to EB0_WE_N(fall)	tCEWE	(Note 1)	$1 * tINTERCLK - 15$	—	—	ns
Period from EB0_WE_N(rise) to EB0_CE_N(rise)	tWECE	(Note 1)	$(TWC - TWP - 1) * tINTERCLK - 15$	—	—	ns

TWC、TWP は、それぞれレジスタフィールド  $[EBIFx\_CYCLESn].TWC$ 、 $[EBIFx\_CYCLESn].TWP$  の設定値を表します。

Note 1: 外部負荷容量 ( $C_L$ )

$$C_L = \begin{cases} 40 & (\text{max}) \\ 6 & (\text{min}) \end{cases} \text{ [pF]}$$

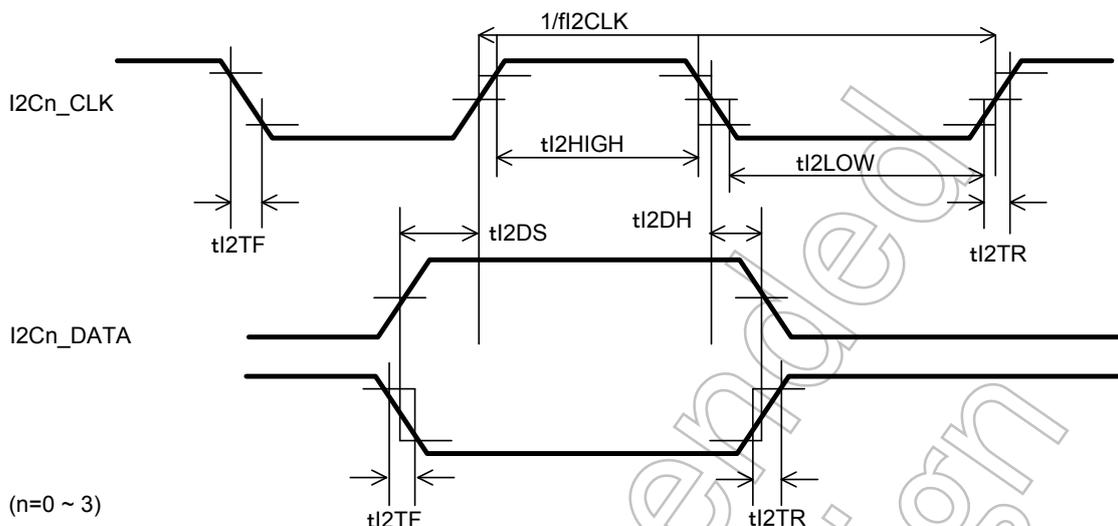
Note 2: 周期は 40 ns (default)、20 ns、10 ns が選択可能です。

外部バスインタフェースにおけるサイクル単位（内部クロック基準）のタイミングチャートは、リファレンスマニュアル個別編 27 章 External Bus Interface の 5.4.3、5.4.4、5.4.5 を参照してください。

これらの AC スペックは、ボード上の配線の遅延や Skew は含まれていません。ボード設計時および遅延調整用レジスタ ( $[EBIFx\_CYCLESn]$ ) 設定時は、本チップの AC スペックと対向デバイスの AC スペックだけでなく、ボード上の配線の遅延および Skew も考慮してください。

レジスタ設定により AC スペックが表現されているものは、表中のスペックが少なくとも正になる値を設定する必要があります。

### 4.5.6. I<sup>2</sup>C バスインタフェース



Standard Speed (100 kHz)

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fI2CLK	—	0	—	100	kHz
LOW period of the SCL clock	tI2LOW	—	4.7	—	—	μs
HIGH period of the SCL clock	tI2HIGH	—	4.0	—	—	μs
rise time of both SDA and SCL signals	tI2TR	—	—	—	1000	ns
fall time of both SDA and SCL signals	tI2TF	—	—	—	300	ns
Input Data setup time	tI2DS	—	250	—	—	ns
Input Data hold time	tI2DH	(Note 1) (Note 2)	0	—	3.45	μs
capacitive load for each bus line	Cb	(Note 4)	—	—	400	pF

Fast Speed (400 kHz)

項目	記号	条件	最小	標準	最大	単位
Clock frequency	fI2CLK	—	0	—	400	kHz
LOW period of the SCL clock	tI2LOW	—	1.3	—	—	μs
HIGH period of the SCL clock	tI2HIGH	—	0.6	—	—	μs
rise time of both SDA and SCL signals	tI2TR	(Note 4)	20 + 0.1Cb	—	300	ns
fall time of both SDA and SCL signals	tI2TF	(Note 4)	20 + 0.1Cb	—	300	ns
Input Data setup time	tI2DS	(Note 3)	100	—	—	ns
Input Data hold time	tI2DH	(Note 1) (Note 2)	0	—	0.9	μs
capacitive load for each bus line	Cb	(Note 4)	—	—	400	pF

Fast mode Plus Speed (1 MHz)

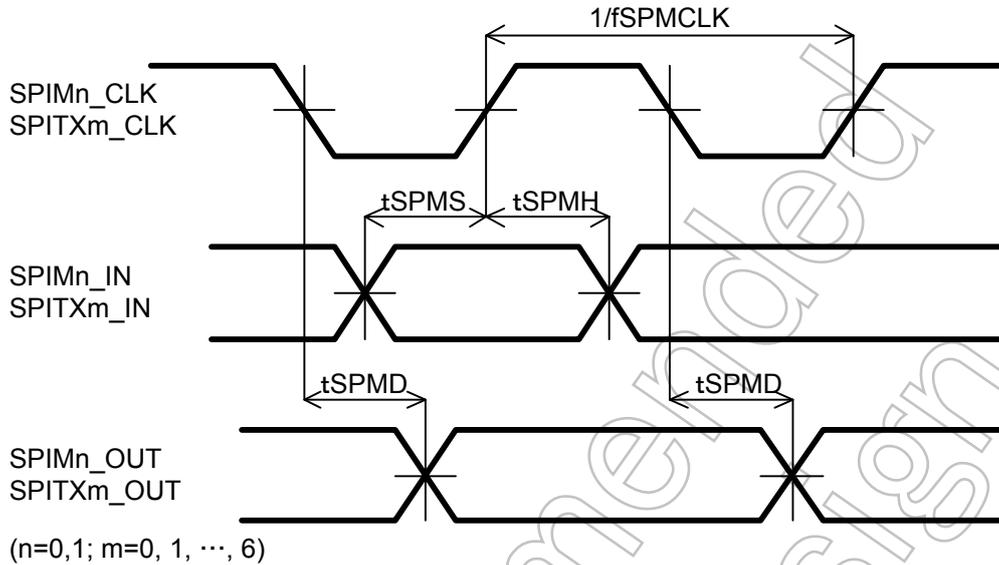
項目	記号	条件	最小	標準	最大	単位
Clock frequency	fI2CLK	—	0	—	1000	kHz
LOW period of the SCL clock	tI2LOW	—	0.5	—	—	μs
HIGH period of the SCL clock	tI2HIGH	—	0.26	—	—	μs
rise time of both SDA and SCL signals	tI2TR	—	—	—	120	ns
fall time of both SDA and SCL signals	tI2TF	—	—	—	120	ns
Input Data setup time	tI2DS	—	50	—	—	ns
Input Data hold time	tI2DH	(Note 1) (Note 2)	0	—	—	μs
capacitive load for each bus line	Cb	(Note 4)	—	—	550	pF

- Note 1: デバイスは内部的に SDA 信号に対して 300 ns 以上のホールド時間 (SCL 信号の  $V_{IHmin}$  に比較して) を有し、SCL の立ち下がりエッジでの不確定な状態を回避しなければなりません。
- Note 2: 最大  $t_{I2DH}$  は少なくとも、デバイスの SCL 信号の「L」期間 ( $t_{LOW}$ ) を延長していないということを満たしていなければなりません。
- Note 3: Fast Speed モード I<sup>2</sup>C バスデバイスを Standard Speed モード I<sup>2</sup>C バスシステムに使用することができますが、要求される条件  $t_{I2DS} \geq 250$  ns を満足しなければなりません。このことは、自動的に、そのデバイスが SCL 信号の「L」期間を延長しない状態になります。あるデバイスが SCL 信号の「L」期間を延長しない場合には、SCL ラインが開放されてから、 $t_{I2TR} (Max) + t_{I2DS} = 1000 + 250 = 1250$  ns (標準モードの立ち上がり時間最大値 + 次のデータビットのセットアップ時間) 以前に、次のデータを SDA ラインに出力しなければなりません。
- Note 4:  $C_b = 1$  つのバスラインのトータル容量 (単位 pF)

Not Recommended  
for New Design

### 4.5.7. SPI インタフェース (通信用マスタ、送信専用)

マスタ通信用: SPIM0~1、送信専用: SPITX0~6



項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSPMCLK	(Note 1)	—	—	25	MHz
Output Data delay time	tSPMD	(Note 1)	0.5	—	10	ns
Input Data setup time	tSPMS	(Note 2)	8	—	—	ns
Input Data hold time	tSPMH	(Note 2)	0	—	—	ns

Note 1: 外部負荷容量 ( $C_L$ )

$$C_L = \begin{cases} 30 & (\text{max}) \\ 0 & (\text{min}) \end{cases} [\text{pF}]$$

Note 2: 遷移時間 (Transition Time (20% - 80%))

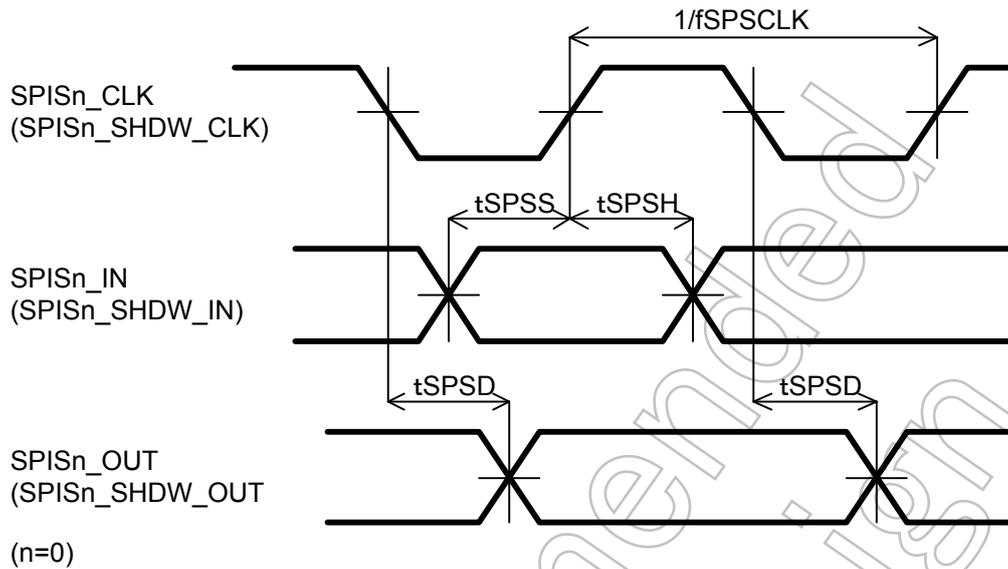
$$\text{Transition Time} = \begin{cases} 1.0 & (\text{max}) \\ 0 & (\text{min}) \end{cases} [\text{ns}]$$

fSPMCLK は、条件を満たした場合の値であり、基板および接続デバイスによって、上限周波数は下がります。

上記波形は、SCPH = 0 条件のもので、SCPH = 1 の場合には、SPIMn\_Out は SPIMn\_CLK の立ち上がり動作になりますが、tSPMD のスペックは SCPH = 0 の場合と同一です。

SPITXm (m = 0, 1, ..., 6) に関しては、入力信号のスペックはありません。

### 4.5.8. SPI インタフェース (通信用スレーブ)



項目	記号	条件	最小	標準	最大	単位
Clock frequency	fSPSCLK	—	—	—	5	MHz
Output Data delay time	tSPSD	(Note 1)	40	—	72.5	ns
Input Data setup time	tSPSS	(Note 2)	0	—	—	ns
Input Data hold time	tSPSH	(Note 2)	72.5	—	—	ns

Note 1: 外部負荷容量 ( $C_L$ )

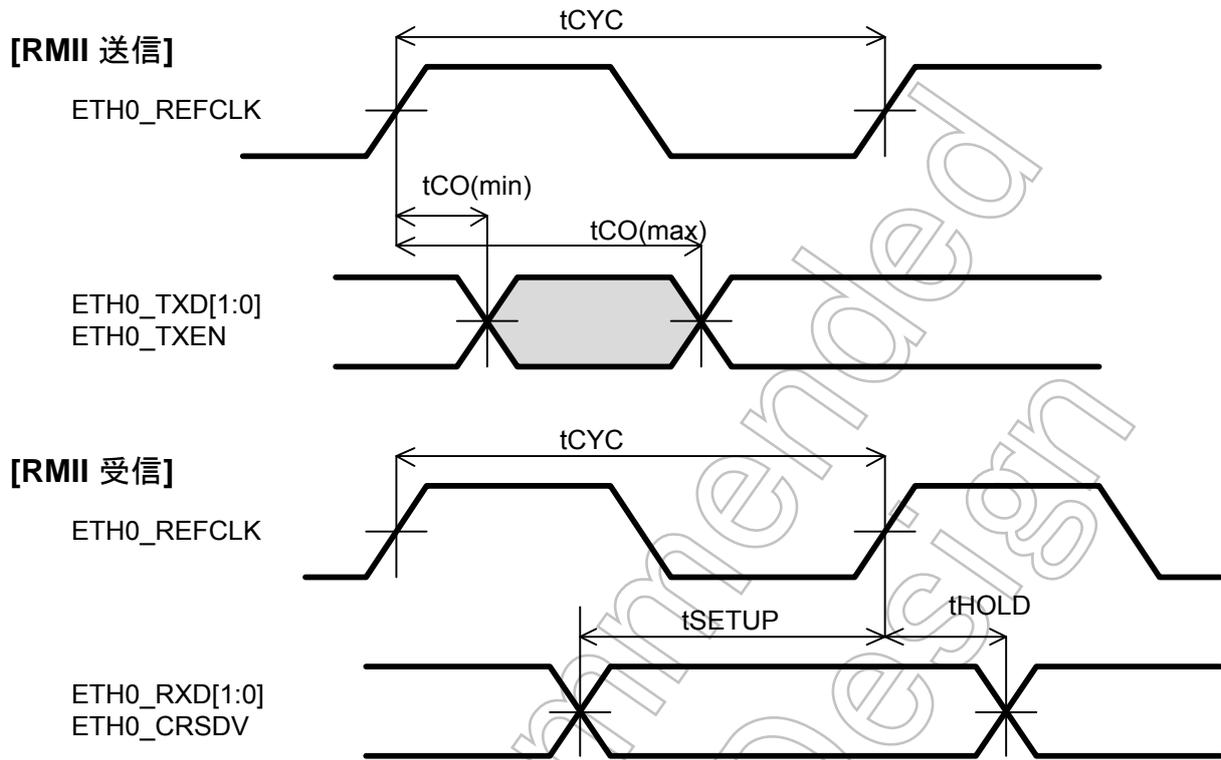
$$C_L = \begin{cases} 30 & (\text{max}) \\ 0 & (\text{min}) \end{cases} \text{ [pF]}$$

Note 2: クロックと入力データの遷移時間 (Transition Time (20% - 80%))

$$\text{Transition Time} = \begin{cases} 1.0 & (\text{max}) \\ 0 & (\text{min}) \end{cases} \text{ [ns]}$$

上記波形は、SCPH = 0 条件のもので、SCPH = 1 の場合には、SPISn\_Out (SPISn\_SHDW\_Out) は SPISn\_CLK (SPISn\_SHDW\_CLK) の立ち上がり動作になりますが、tSPSD のスペックは SCPH = 0 の場合と同一です。

### 4.5.9. イーサネット MAC インタフェース



項目	記号	条件	最小	標準	最大	単位
ETH_REFCLK clock cycle time	tCYC	(Note 2)	—	20	—	ns
ETH_TXD1~0/ETH_TXEN output delay time	tCO	(Note 1)	2	—	12.5	ns
ETH_RXD1~0/ETH_CRSDV setup time	tSETUP	(Note 2)	4	—	—	ns
ETH_RXD1~0/ETH_CRSDV hold time	tHOLD	(Note 2)	2	—	—	ns

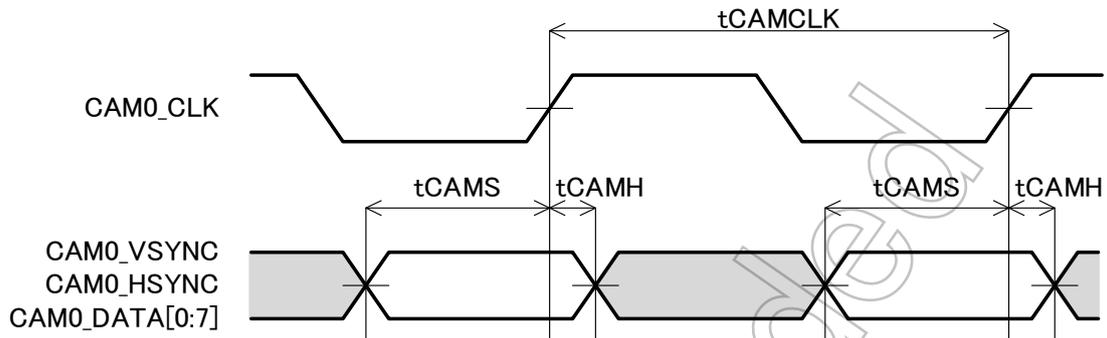
Note 1: 外部負荷容量 ( $C_L$ )

$$C_L = \begin{cases} 25 & (\text{max}) \\ 0 & (\text{min}) \end{cases} [\text{pF}]$$

Note 2: PHY のリファレンスクロックとのスキューは、0.5 ns 以下にしてください。  
遷移時間 (Transition Time (20% - 80%))

$$\text{Transition Time} = \begin{cases} 1.0 & (\text{max}) \\ 0 & (\text{min}) \end{cases} [\text{ns}]$$

### 4.5.10. カメラ入力



項目	記号	条件	最小	標準	最大	単位
CAM0_CLK clock cycle time	tCAMCLK	—	10	—	—	ns
CAM0_VSYNC/CAM0_HSYNC/ CAM0_DATA[7:0] setup time	tCAMS	—	4	—	—	ns
CAM0_VSYNC/CAM0_HSYNC/ CAM0_DATA[7:0] hold time	tCAMH	—	1	—	—	ns

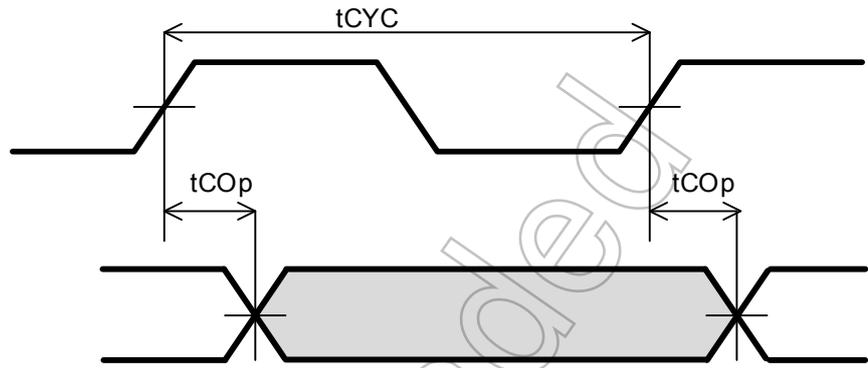
Not Recommended for New Designs

### 4.5.11. LCD 出力

**[GDCDCR\_L].PDC=1**  
(Rising edge)

LCD0\_CLK

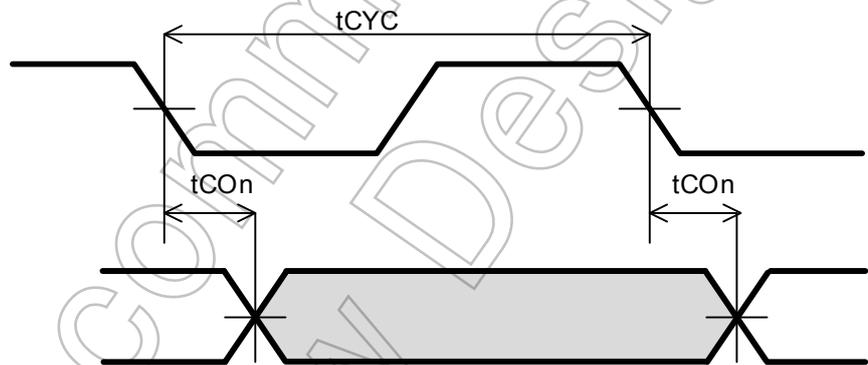
LCD0\_RD[7:0]  
LCD0\_GD[7:0]  
LCD0\_BD[7:0]  
LCD0\_HSYNC  
LCD0\_VSYNC  
LCD0\_VALID



**[GDCDCR\_L].PDC=0**  
(Falling edge)

LCD0\_CLK

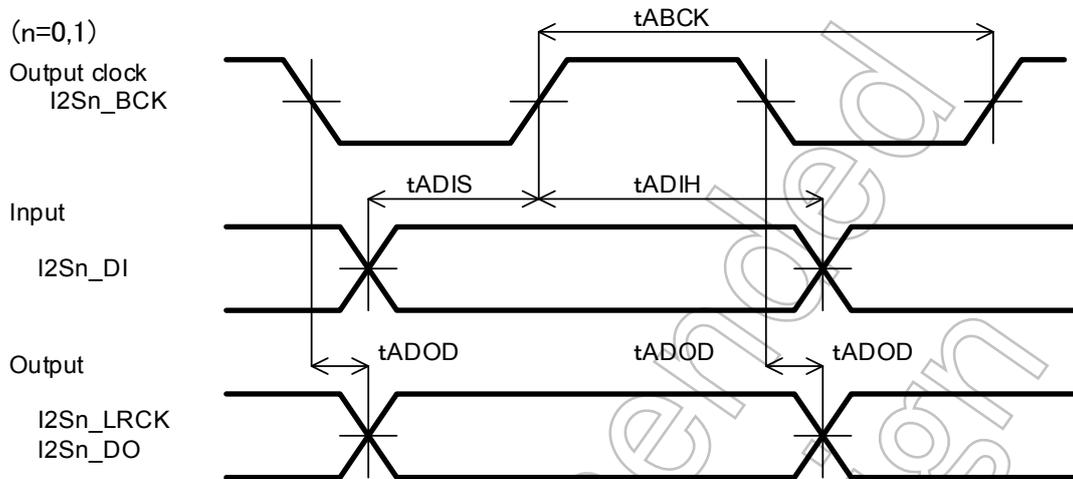
LCD0\_RD[7:0]  
LCD0\_GD[7:0]  
LCD0\_BD[7:0]  
LCD0\_HSYNC  
LCD0\_VSYNC  
LCD0\_VALID



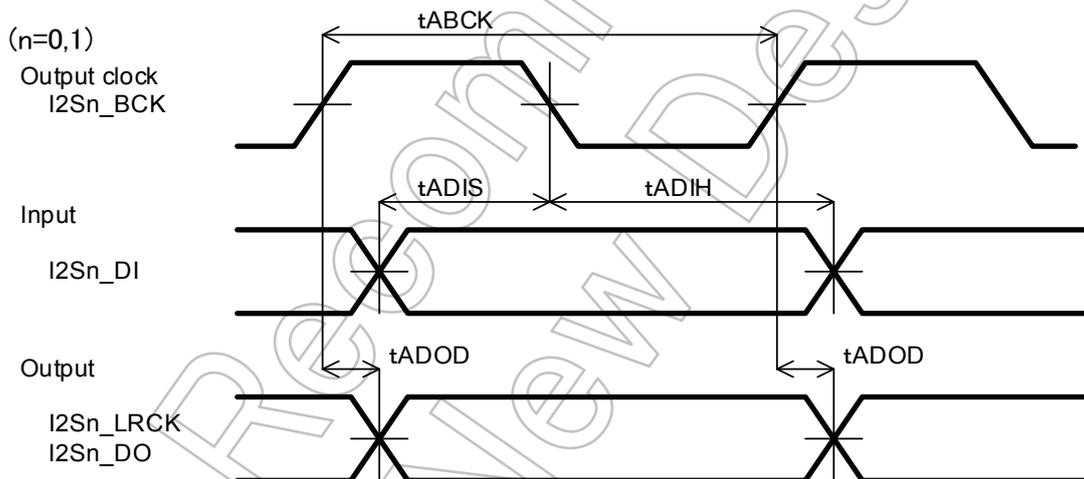
項目	記号	条件	最小	標準	最大	単位
clock cycle time	tCYC	—	23	—	—	ns
output delay time	tCOp	[GDCDCR_L].PDC = 1 (Rising edge)	0	—	5	ns
	tCOn	[GDCDCR_L].PDC = 0 (Falling edge)	0	—	5	ns

### 4.5.12. オーディオインタフェース

#### Bit clock output (1): Falling edge data output, Rising edge input data sampling



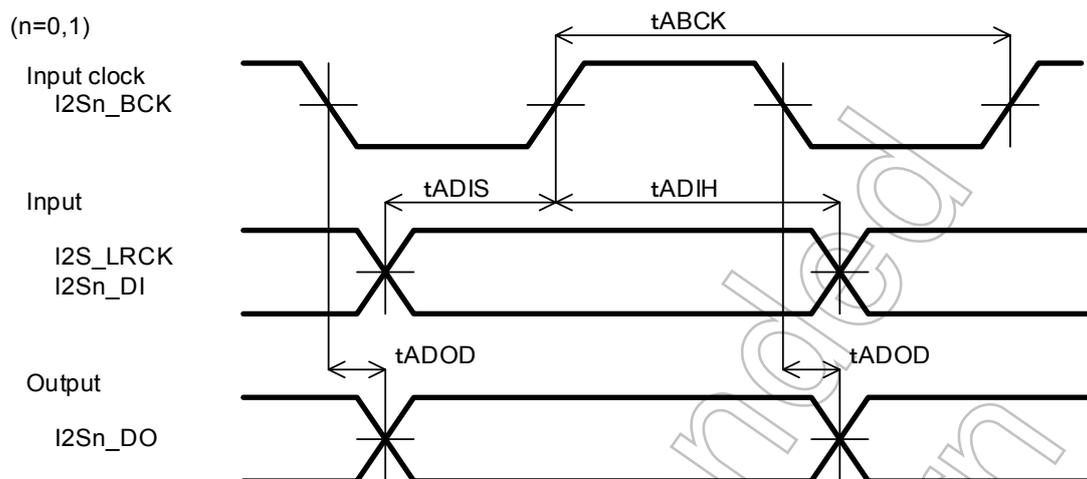
#### Bit clock output (2): Rising edge data output, Falling edge input data sampling



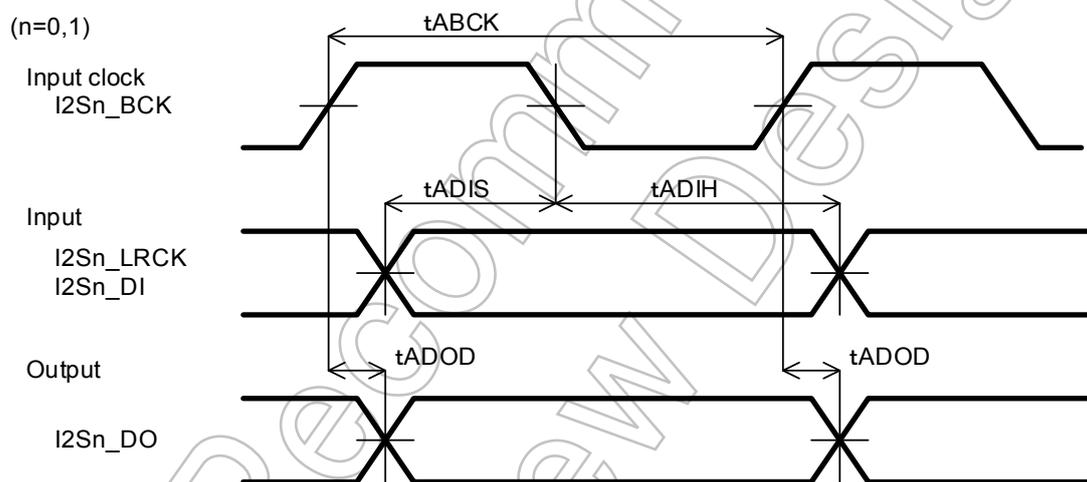
項目	記号	条件	最小	標準	最大	単位
I2S Output Clock Period	$t_{ABCK}$	—	81.38 (Note 1)	—	—	ns
I2S Input Data Setup Time	$t_{ADIS}$	—	10	—	—	ns
I2S Input Data Hold Time	$t_{ADIH}$	—	10	—	—	ns
I2S Output Delay Time	$t_{ADOD}$	—	0	—	10	ns

Note 1: Max 12.288 MHz

### Bit clock input (1): Falling edge data output, Rising edge input data sampling



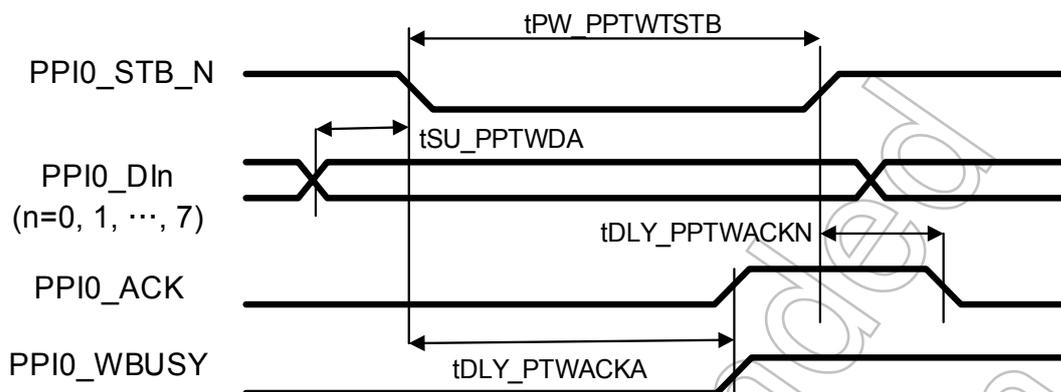
### Bit clock input (2): Rising edge data output, Falling edge input data sampling



項目	記号	条件	最小	標準	最大	単位
I2S Input Clock Period	$t_{ABCK}$	—	81.38 (Note 1)	—	—	ns
I2S Input Data Setup Time	$t_{ADIS}$	—	10	—	—	ns
I2S Input Data Hold Time	$t_{ADIH}$	—	10	—	—	ns
I2S Output Delay Time	$t_{ADOD}$	—	0	—	10	ns

Note 1: Max 12.288 MHz

### 4.5.13. パラレルポート入カインタフェース



項目	記号	条件	最小	標準	最大	単位
Strobe Pulse Width	tPW_PPTWSTB	(Note 1)	50	—	—	ns
Write Data Setup Time	tSU_PPTWDA	(Note 1)	30	—	—	ns
Output Delay of Asserting Acknowledge and Write-Busy Signals	tDLY_PTWACKA	(Note 2)	—	—	70	ns
Output Delay of De-asserting Acknowledge Signal	tDLY_PPTWACKN	(Note 2)	—	—	70	ns

Note 1: 遷移時間 (Transition Time (20% - 80%))

$$\text{Transition Time} = \begin{cases} 1.0 \text{ (max)} \\ 0 \text{ (min)} \end{cases} \text{ [ns]}$$

Note 2: 外部負荷容量 ( $C_L$ )

$$C_L = \begin{cases} 30 \text{ (max)} \\ 0 \text{ (min)} \end{cases} \text{ [pF]}$$

### 4.5.14. AD 変換入力

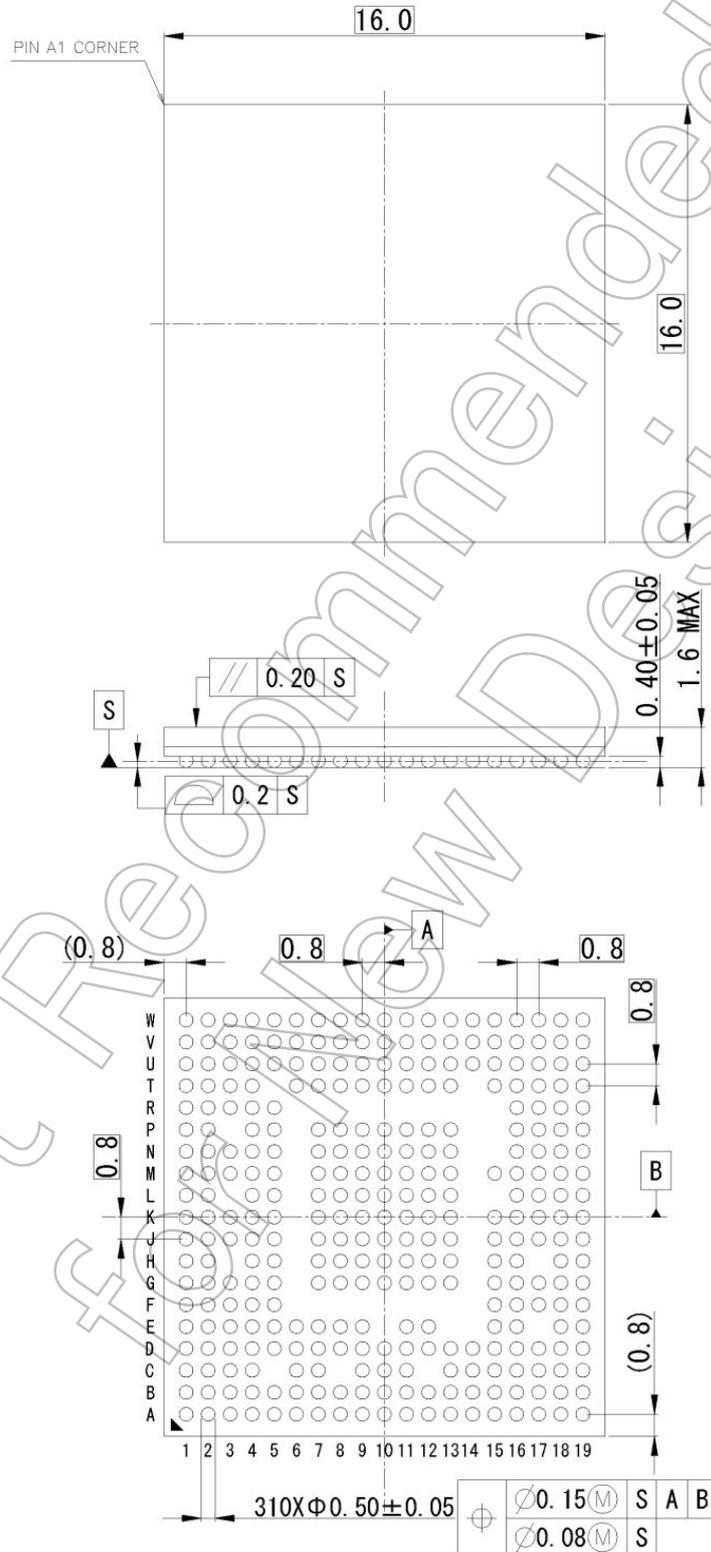
項目	記号	条件	最小	標準	最大	単位
サンプリング周波数	fs	1 チャンネル入力時	—	—	1.07	MHz
アナログ入力電圧範囲	V <sub>IN</sub>	—	0	—	VDD3V3_ADC	V
ADC 微分誤差	DNL	電源/GND に交流ノイズがないこと	-2	—	+4	LSB
ADC 積分誤差	INL		-6	—	+6	LSB

5. 外形図

5.1. 外形寸法図

パッケージ名称 P-LFBGA310-1616-0.80-001

Unit: mm



質量: 0.75 g (標準)

図 5.1 外形寸法図

### 6. 改訂履歴

表 6.1 改訂履歴

Revision	日付	内容
0.1	2014-08-07	暫定版リリース
0.2	2014-09-08	—
0.3	2014-09-16	—
0.4	2014-09-29	パッケージ図面, 端子説明, 電気的特性修正
0.5	2014-12-15	3.2. 端子一覧表に IO 電源名追加 4.5. AC 特性追加
0.6	2015-04-21	1. 特長を更新 3.3.9. SPI インタフェース(送信専用)の信号名を SPITX に変更 4.5. 信号名とタイミング図を整合 4.5.1. 入力クロックに周波数偏差追記 4.5.4. SDR104 のスペック追加 4.5.14. AD 変換入力のスペック追加
1.0	2015-06-12	正式版リリース 3.3.2. 脚注に追記 4.2.2.と 4.2.3 動作電圧の最小値を修正 4.3. 記載
1.1	2015-10-02	3.3.22. P7 を削除、VDD3V3_PB を訂正 4.5.2. 注釈を変更
1.2	2015-11-30	C <sub>F</sub> シンボルを CL に修正
1.3	2016-01-05	図 2.1 ブロック図の CPU 周波数に 300 MHz を追記 図 2.1 ブロック図の Back up SRAM の容量を追記 3.1.1. RTC 用信号の周波数を 32.768 kHz に修正 表 3.2 シェアピン切り替え対応表の SD-IO 注釈を追記
1.4	2016-01-14	3.3.1. RTC 用信号の XOUT_32K の入出力を修正
1.5	2016-05-30	○変更: ・SPI インタフェース (ブートデバイス用) → SPI Flash Memory Controller インタフェース (6 カ所) ・Note 1: オプション → Note 1: TZ2101XBG, TZ2102XBG のみ (1.1 CPU) ・WVGA (最大) → WVGA (800 × 480 最大) ((3) LCD コントローラ) ・デバッグ用システムリセット入力 → CPU 用 (除デバッグリソース) システムリセット入力 (3.3.1 クロック・リセット) kHz ・パラレルデータ入力インタフェース → パラレルポート入力インタフェースパラレル (3.3.17, 4.5.13) ・CL < xxpF → C <sub>L</sub> < xxpF (Note 1) (9 カ所、4.5.4) ・slew 条件 → 遷移時間 (Transition Time (20% - 80%)), Transition Time 条件 (4.5.5.1, 4.5.5.2, 4.5.7, 4.5.8, 4.5.9, 4.5.13) ○削除: Blitting, Rotation, Transforming, Drawing ((1) 2D グラフィックアクセラレータ) ○追加: リットエンジン (アルファブレンド処理対応)、変形エンジン、回転エンジン (回転、拡大縮小、投資投影)、描画エンジン (アンチエイリアス処理) のグラフィックエンジンを搭載 (1.7) ・サポートする転送モード、電源 (SD カード制御用端子) ((2) eMMC / SD Card /SDIO インタフェース) ・CPU リセット Arm CPU 用リセット入力信号 (3.3.20 IDX6) ・シェアピン設定の優先度の説明 (3.4.1) ・SPI_CLK Clock Frequency 仕様最小値 18.75 MHz 追加 (4.5.3) ・Note 1 or Note 2: 外部負荷容量 (C <sub>L</sub> ) (4.5.5.1, 4.5.5.1, 4.5.5.2,

Revision	日付	内容
		4.5.7, 4.5.8, 4.5.9, 4.5.13) ・3.3.11 Note として、USB0_REXT 端子と GND 間に 174 Ω (±1%) 接続を記載 ・4.5.6 I <sup>2</sup> C バスインタフェースに Fast mode Plus を追加 ・VDD3V3_PB 最小値の変更 (4.2.1、4.2.2、4.2.3) と Note 追加
1.6	2016-07-19	製品一覧に製品名 (ADD コード) 追加、動作温度、内部電源電圧、USB 2.0 機能、欄を追加 3.3.20. デバッグ用 JTAG インタフェースの Note を削除 3.4.1 レジスタ名の追記 4.2.2 表題変更 (TZ2101XBG/TZ2102XBG → TZ2102XBG) 4.4.1 表の高レベル出力電圧の条件を「IOH = 8 mA」→「IOH = -8 mA」に修正 4.5.13 表の Strobe Pulse Width の単位を「MHz」→「ns」に修正
1.7	2017-05-16	誤字訂正 概要、特長、1.2. システム制御機能、図 2.1 ブロック図の Note 1 からセキュアブートの文言を削除 3.3.20 の IDX 6 の説明を追加 4.5.5.2 非同期モードにタイミングチャート、表、Note、記載を追加
1.8	2017-08-07	ヘッダ、フッタ、最終ページの更新 社名変更および記載変更
1.9	2018-04-20	Arm ロゴ変更および記載変更 4.5.8 の tSPSD, tSPSS, tSPSH の値を変更 4.5.8 の note 2 に、「クロック」を含めるように変更 誤字訂正

Not Recommended for New

## 製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。