TOSHIBA

32 ビット RISC マイクロコントローラ
TX03 シリーズ

TMPM311CHDUG

株式会社 東芝
セミコンダクター & ストレージ社

製品ご使用上の注意点について

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

1. 電源投入時の動作について

   電源投入時、本資料に掲載されている製品の内部は不定状態となります。

   このため、リセットが有効となるまで、端子の状態は不定となります。

   外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

   また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

2. 未使用端子の処置について

   本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

   未使用端子については、1 本ずつ、抵抗を通して電源端子または GND 端子に固定することを推奨します。

3. クロック発振の安定について

   リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)
   - 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
   - すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address ＋ (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 :サンプルモード 2 に設定 011 :サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) **Type は基本的に下記 3 種類となります。**

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

  例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"

  <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2～0 ビット目を意味します。

- レジスタ名[Bit]

  例: SAMCR[9:7]="000"

  レジスタ SAMCR(32 ビット幅)の 9～7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2014/08/21	Tentative 1	First Release
2015/08/20	1	First Release
2023/07/31	2	Contents Revised

目　次

製品ご使用上の注意点について

TMPM311CHDUG

第 2 章　製品情報 (Product Info.)

第 3 章　プロセッサコア

第 8 章　例外

第 9 章　μDMA コントローラ（μDMAC）

第 12 章 16 ビットタイマ A (TMR16A Ver. B)

第 13 章 4 バイト FIFO 付きシリアルチャネル(SIO/UART)

第 14 章　同期式シリアルインタフェース(SSP)

第 15 章　24 ビット ΔΣ 型アナログ/デジタルコンバータ(DSADC)

第 16 章　温度センサ(TEMP)

第 17 章　パワーオンリセット回路(POR)

第 18 章　ウォッチドッグタイマ(WDT)

第 19 章　ポート等価回路図

第 20 章　電気的特性

第 21 章　パッケージ寸法図

CMOS 32 ビット マイクロコントローラ

TMPM311CHDUG

TMPM311CHDUG は、ARM 社 Cortex-M3 コアを内蔵した 32 ビット RISC マイクロプロセッサです。

機能概要と特長は次のとおりです。

1.1 機能概要

1. ARM 社製 Cortex-M3 コア
   - Thumb®-2 命令で、コード効率の向上を実現
   - 高性能化と低消費電力化を同時に実現
   - リアルタイム制御に向いた高速割り込み応答
2. 内蔵プログラムメモリ/データメモリ
   - プログラムメモリ(RAM) : 16KB
   - データメモリ(RAM) : 5KB
3. 外部割り込み機能：外部割込み端子　2 本

   7 レベルの優先順位を設定可能
4. パワーオンリセット機能
5. エンディアン : リトルエンディアン
6. 最大動作周波数 : 24MHz
7. 動作電圧範囲：2.7 ~ 3.6V
8. 温度範囲：−40°C ~ 85°C
9. パッケージ：LQFP48(7mm × 7mm, 0.5mm ピッチ)

1.2 周辺機能一覧

周辺機能	概要		単位
クロック制御 (CG)	・ 内部高速発振器(10MHz) ・ 外部高速発振器 -発振子接続(8 ~ 20MHz) -クロック入力(8 ~ 24MHz) ・ クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周	1	チャネル
µDMA コントローラ (µDMA)	・ 5 種の転送モードをサポート ・ 最大転送回数：1024 回	32	チャネル
入出力ポート (PORT)	・ 入出力ポート ・ 機能設定、プルアップ/ダウン機能	23	本
16 ビットタイマ (TMRB)	・ 16 ビットインタバルタイマモード ・ 16 ビットイベントカウンタモード ・ 16 ビット PPG 出力(複数チャネル同期出力可能) ・ インプットキャプチャ機能	4	チャネル
16 ビットタイマ (TMR16A)	・ 16 ビットコンペア割り込み ・ リードキャプチャ機能	1	チャネル
ウォッチドッグタイマ (WDT)	・ リセットまたはマスク不能割り込み(NMI)発生	1	チャネル
シリアルチャネル (SIO/UART)	・ UART、同期通信モード選択可能 ・ 送受信合わせて 4 バイトの FIFO を搭載	1	チャネル
同期式シリアルバス インタフェース (SSP)	・ SPI/SSI/Microwire の各フォーマットに対応 ・ 通信速度 -マスタモード: fsys / 2 ~ fsys / 65024 -スレーブモード: fsys / 12 ~ fsys / 65024	1	チャネル
24 ビット ΔΣ 型 AD コンバータ (DSADC)	・ 最小変換時間 : 112µs ・ 入力電位：-0.375 ~ +1 V ・ 変換モード：シングル、リピート ・ ユニット間同時スタート機能	4	ユニット
温度センサ (TEMP)	・ 複数の温度条件での測定により、相対的な温度の計測が可能	1	ユニット

1.3 ブロック図

TMPM311CHDUG のブロック図を示します。

AHB バスは、マルチレイヤ構造となっています。詳細はメモリマップ章を参照してください。

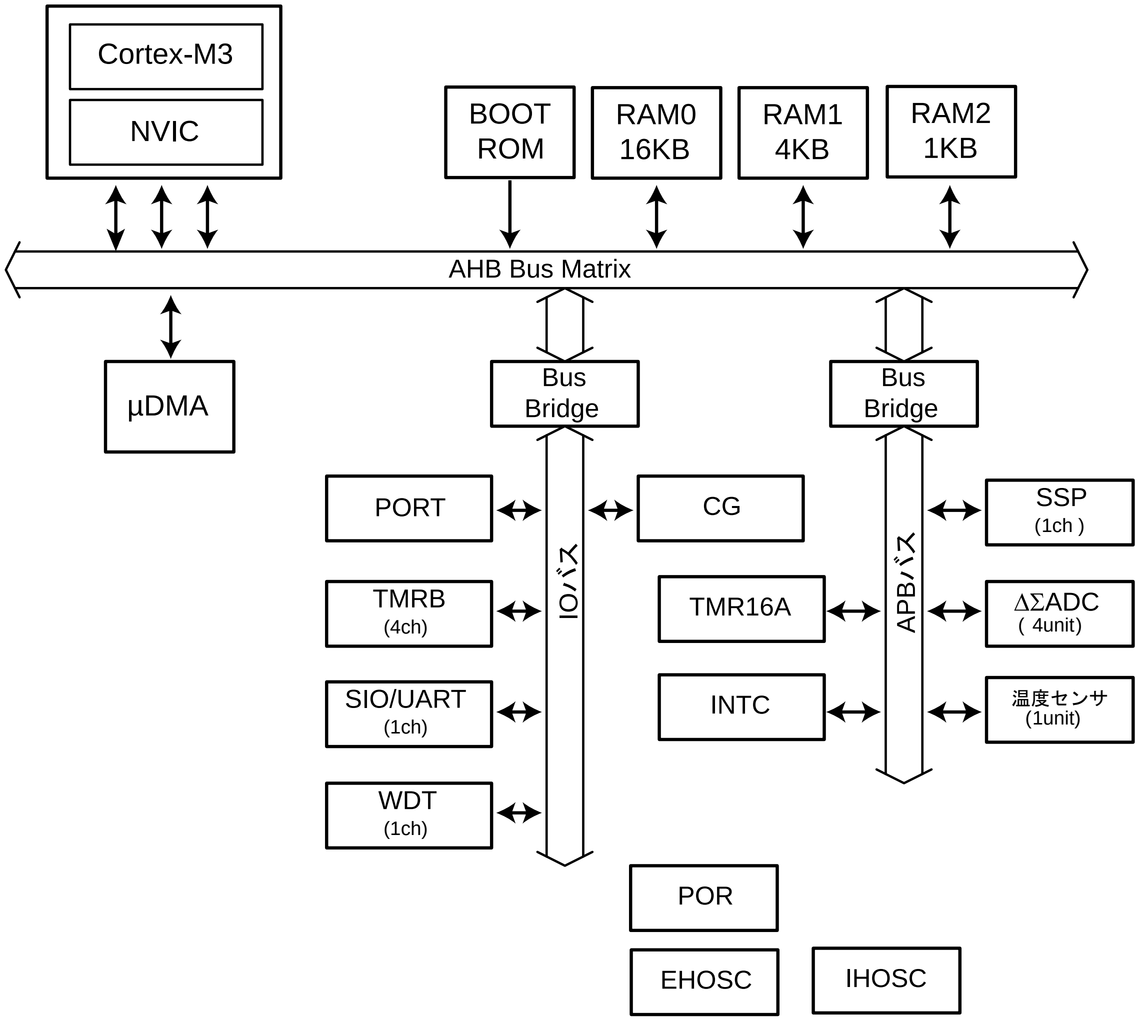


図 1-1 ブロック図

1.4 ピン配置図(Top view)

TMPM311CHDUG のピン配置図は、下記のとおりです。

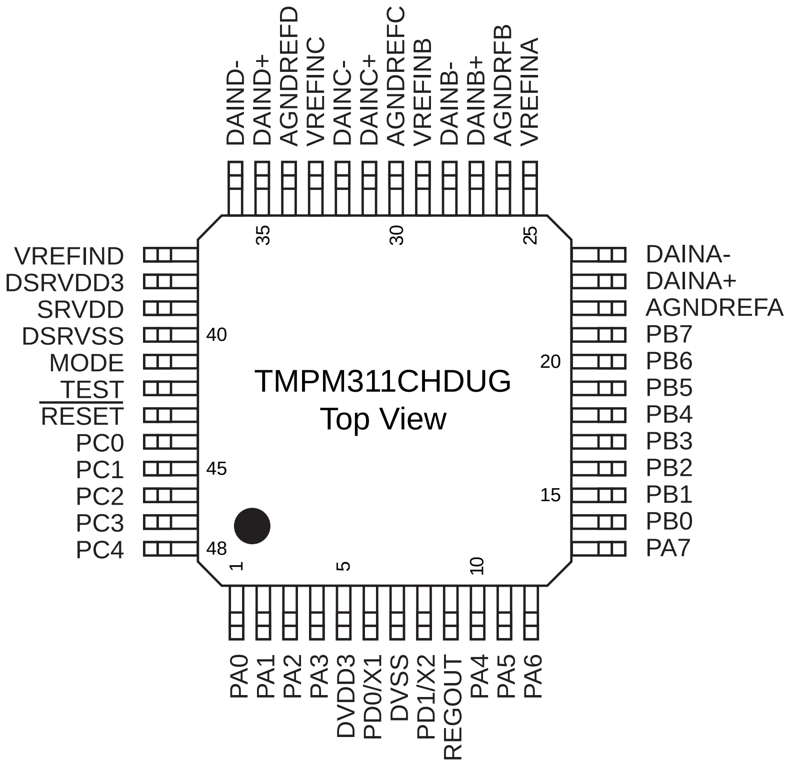


図 1-2 ピン配置図

1.5 端子情報

1.5.1 端子名称と機能

1.5.1.1 機能端子

表 1-1 端子名称と機能

周辺機能	端子名称	Input or Output	機能
外部割り込み	INTx	Input	外部割り込み入力 x 外部割り込み入力 x はノイズフィルタ(フィルタ幅 typ. 30ns)をもちます。
TMRB	TBxIN	Input	インプットキャプチャ入力
	TBxOUT	Output	PPG 出力
SIO/UART	SCxTXD	Output	データ出力
	SCxRXD	Input	データ入力
	SCxSCLK	I/O	クロック入出力
SSP	SPxDO	Output	データ出力
	SPxDI	Input	データ入力
	SPxCLK	I/O	クロック入出力
	SPxFSS	I/O	フレーム/スレーブ選択入出力
DSADC	DAINx+/-	Input	アナログ入力
	DSADEOC	Output	変換終了
	$\overline{\text{DSADTRG}}$	Input	変換開始トリガ

1.5.1.2 制御端子

表 1-2 端子名称と機能

制御 端子名称	Input or Output	機能
$\overline{\text{RESET}}$	Input	リセット信号入力
MODE	Input	モード端子 必ず"Low"レベルに固定してください。
TEST	Input	テスト端子 必ず"Low"レベルに固定してください。

1.5.1.3 クロック端子

表 1-3 端子名称と機能

制御 端子名称	Input or Output	機能
X1	Input	高速発振子接続
X2	Output	高速発振子接続

1.5.1.4 電源端子

表 1-4 端子名称と機能

電源 端子名称	機能
REGOUT	レギュレータ用セラミックコンデンサ (1.0μF±20%)接続
DVDD3	デジタル用電源 DVDD3 は下記の端子に電源を供給しています。 PA0~7, PB0~7, PC0~4, PD0~1, MODE , TEST, $\overline{\text{RESET}}$
DVSS	デジタル用 GND
SRVDD	基準電圧回路用電源
DSRVSS	基準電圧回路用 GND
DSRVDD3	アンプ用電源
VREFINx	24 ビット ΔΣ 型 AD 用電源
AGNDREFx	24 ビット ΔΣ 型 AD 用 GND

1.5.2 電源に関する使用上の注意

本製品では、レギュレータ用コンデンサは図 1-3 にしたがって接続してください。

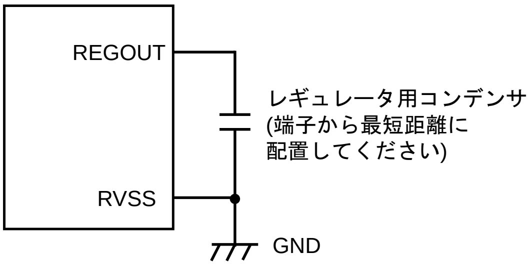


図 1-3 レギュレータ用コンデンサ接続

1.5.3 端子一覧

1.5.3.1 表の見方

表中の記号の意味は下記の通りです。

1. 機能 A

   ファンクションレジスタ設定なしにポートに割り当てられる兼用機能が記載されています。

2. 機能 B

   ファンクションレジスタ設定によりポートに割り当てられる兼用機能が記載されています。機能 B の番号はファンクションレジスタの番号と対応しています。

3. 端子仕様

   記号の意味は下記のとおりです。

   - SMT/CMOS : 入力ゲート

     SMT : Schmitt 入力

     CMOS : CMOS 入力

   - 5V_T : 5V トレラント対応

     Yes : 対応

     N/A : 非対応

   - OD : プログラマブル Open Drain 出力対応

     Yes : 対応

     N/A : 非対応

   - PU/PD:プログラマブル Pull-Up/Pull-Down 対応

     PU : プログラマブル Pull-Up 選択可能

     PD : プログラマブル Pull-Down 選択可能

1.5.3.2　PORT / 機能端子

表 1-5 端子一覧<PORT 順>

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	5V_T	SMT/ CMOS
PORTA											
1	PA0		SP0CLK					PU	N/A	N/A	SMT
2	PA1		SP0DO					PU	N/A	N/A	SMT
3	PA2		SP0DI					PU	N/A	N/A	SMT
4	PA3		SP0FSS					PU	N/A	N/A	SMT
10	PA4		SC0SCLK					PU	N/A	N/A	SMT
11	PA5		SC0RXD					PU	N/A	N/A	SMT
12	PA6	INT1	SC0TXD					PU	N/A	N/A	SMT
13	PA7							PU	N/A	N/A	SMT
PORTB											
14	PB0		TB0IN					PU	N/A	N/A	SMT
15	PB1		TB0OUT					PU	N/A	N/A	SMT
16	PB2		TB1IN					PU	N/A	N/A	SMT
17	PB3		TB1OUT					PU	N/A	N/A	SMT
18	PB4		DSADEOC					PU	N/A	N/A	SMT
19	PB5		$\overline{\text{DSADTRG}}$					PU	N/A	N/A	SMT
20	PB6							PU	N/A	N/A	SMT
21	PB7							PU	N/A	N/A	SMT
PORTC											
44	PC0	INT0						PU	N/A	N/A	SMT
45	PC1							PU	N/A	N/A	SMT
46	PC2							PU	N/A	N/A	SMT
47	PC3							PU/PD	N/A	N/A	SMT
48	PC4							PU	N/A	N/A	SMT
PORTD											
6	PD0	X1						PU	N/A	N/A	SMT
8	PD1	X2						PU	N/A	N/A	SMT

1.5.3.3 専用端子

(1) 機能端子

表 1-6 ピン番号と端子名称

Pin No.	端子名称
23	DAINA+
24	DAINA-
27	DAINB+
28	DAINB-
31	DAINC+
32	DAINC-
35	DAIND+
36	DAIND-

(2) 制御端子

表 1-7 ピン番号と端子名称

Pin No.	端子名称
41	MODE
42	TEST
43	$\overline{\text{RESET}}$

(3) 電源端子

表 1-8 ピン番号と端子名称

Pin No.	端子名称
5	DVDD3
7	DVSS
9	REGOUT
39	SRVDD
40	DSRVSS
38	DSRVDD3
25	VREFINA
22	AGNDREFA
29	VREFINB
26	AGNDREFB
33	VREFINC
30	AGNDREFC
37	VREFIND
34	AGNDREFD

第 2 章　製品情報 (Product Info.)

本章では、周辺機能に関し製品固有の情報についてまとめます。

周辺機能の章と合わせてご使用ください。

- 「2.1.1 μDMA コントローラ(μDMAC)」
- 「2.1.2 16 ビットタイマ/イベントカウンタ(TMRB)」
- 「2.1.3 16 ビットタイマ A(TMR16A)」
- 「2.1.4 シリアルチャネル(SIO/UART)」
- 「2.1.5 同期式シリアルインタフェース(SSP)」
- 「2.1.6 24 ビット ΔΣ 型アナログ/デジタルコンバータ(DSADC)」
- 「2.1.7 ウォッチドッグタイマ (WDT)」

2.1　各周辺機能の情報

2.1.1　μDMA コントローラ(μDMAC)

TMPM311CHDUG では μDMAC を 1 ユニット内蔵しています。(ユニット A)

μDMAC の要因は下記の通りです。

表 2-1 μDMA 要求一覧

チャネル	バースト	シングル
0	SSP0 受信	SSP0 受信
1	SSP0 送信	SSP0 送信
2	SIO/UART0 受信	−
3	SIO/UART0 送信	−
上記以外	−	−

2.1.2 16 ビットタイマ/イベントカウンタ(TMRB)

TMPM311CHDUG では TMRB を 4 チャネル内蔵しています。

各チャネルの違いは下記の通りです。

表 2-2 端子仕様 (x: チャネル番号)

チャネル	TBxOUT	TBxIN
TMRB0	PB1	PB0
TMRB1	PB3	PB2
TMRB2	−	−
TMRB3	−	−

表 2-3 同期スタート仕様

マスタチャネル	スレーブチャネル
TMRB0	TMRB1, TMRB2, TMRB3

表 2-4 キャプチャトリガ仕様

トリガ入力チャネル	トリガ出力
TMRB1 TMRB2 TMRB3	TB0OUT

TMPM311CHDUG では TMRB の以下の機能は意味を持ちません。関連するレジスタには"0"を書いてください。

表 2-5 使用できない機能 (x: チャネル番号)

機能	レジスタ
低消費電力モード動作機能	TBxCR<I2TB>

2.1.3　16 ビットタイマ A(TMR16A)

TMPM311CHDUG では TMR16A を 1 チャネル内蔵していますが、矩形波の端子への出力はありません。

表 2-6 端子仕様 (x: チャネル番号)

チャネル	T16AxOUT
TMR16A0	−

TMPM311CHDUG では TMR16A の以下の機能は意味を持ちません。関連するレジスタには"0"を書いてください。

表 2-7 使用できない機能

機能	レジスタ
低消費電力モード動作機能	T16A0EN<I2T16A>

2.1.4　シリアルチャネル(SIO/UART)

TMPM311CHDUG では SIO/UART を 1 チャネル内蔵しています。

表 2-8 端子仕様 (x: チャネル番号)

チャネル	SCxTXD	SCxRXD	SCxSCLK	$\overline{\text{SCxCTS}}$
SC0	PA6	PA5	PA4	−

TMPM311CHDUG では SIO/UART の以下の機能は意味を持ちません。関連するレジスタには"0"を書いてください。

表 2-9 使用できない機能

機能	レジスタ
シリアルリンクでのウェイクアップ機能	SC0MOD0<WU>
$\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能	SC0MOD0<CTSE>
低消費電力モード動作機能	SC0MOD1<I2SC>

TMPM311CHDUG では TMRB 出力をクロックとして選択することはできません。SC0MOD0<SC>に"00"を設定しないでください。

2.1.5 同期式シリアルインタフェース(SSP)

TMPM311CHDUG では SSP を 1 チャネル内蔵しています。

表 2-10 端子仕様 (x: チャネル番号)

チャネル	SPxDO	SPxDI	SPxCLK	SPxFSS
SSP0	PA1	PA2	PA0	PA3

2.1.6 24 ビット ΔΣ 型アナログ/デジタルコンバータ(DSADC)

TMPM311CHDUG では DSADC を 4 ユニット内蔵しています。

各ユニットのマスタ/スレーブの関係は下記の通りです。

表 2-11 マスタ/スレーブの割り当て

マスタ	スレーブ
ユニット A	ユニット B ユニット C ユニット D

表 2-12 ハードウェアトリガの割り当て

ユニット	ハードウェアトリガ	
	外部トリガ	内部トリガ
ユニット A	$\overline{\text{DSADTRG}}$	–
ユニット B		
ユニット C		
ユニット D		

表 2-13 アナログ入力の割り当て

ユニット	アナログ入力	
	外部アナログ入力	内部アナログ入力
ユニット A	DAINA+ / DAINA-	–
ユニット B	DAINB+ / DAINB-	–
ユニット C	DAINC+ / DAINC-	–
ユニット D	DAIND+ / DAIND-	温度センサ出力

2.1.7　ウォッチドッグタイマ (WDT)

TMPM311CHDUG では WDT の以下の機能は意味を持ちません。関連するレジスタには"0"を書いてください。

表 2-14 使用できない機能

機能	レジスタ
低消費電力モード動作機能	WD0MOD<I2WDT>

第 3 章　　プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア(ARM 社 Cortex-M3 コア)が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされるドキュメンテーションセットを参照してください。ここでは、製品固有の情報について説明します。

3.1　コアに関する情報

TMPM311CHDUG で使用している Cortex-M3 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、下記 URL より ARM 社の"Cortex-M3 プロセッサ用ドキュメンテーションセット"を参照してください。

http://infocenter.arm.com/help/index.jsp

製品名	コアリビジョン
TMPM311CHDUG	r2p1

3.2　構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM311CHDUG での構成は以下のとおりです。

構成可能なオプション	実装
FPB	リテラルコンパレータ : 2 本 命令コンパレータ : 6 本
DWT	コンパレータ : 4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHB トレースマクロセル インタフェース	なし
TPIU	あり
WIC	なし
デバッグポート	なし
ビットバンド	あり
AHB の継続的な制御	なし

3.3　例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

3.3.1　割り込み本数

Cortex-M3 コアは割り込み本数を 1 ~ 240 本の間で任意に構成することができます。

TMPM311CHDUG の割り込み本数は 23 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[4:0]>ビットに反映され、本製品では"0x0"が読み出されます。

3.3.2　割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3 ~ 8 ビットの間で任意に構成することができます。

TMPM311CHDUG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

3.3.3　SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

3.3.4　SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM311CHDUG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

3.3.5　LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウエアに重大な誤りのあることを示します。

TMPM311CHDUG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

3.3.6　補助フォールトステータスレジスタ

Cortex-M3 コアにはソフトウエアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM311CHDUG ではこのレジスタに対して機能を定義していません。リードすると常に"0x0000_0000"が読み出されます。

3.4 イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM311CHDUG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

3.5 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM311CHDUG では、低消費電力モードをサポートしていません。このため、WFI 命令と WFE 命令は実行しないでください。

3.6 排他アクセス

Cortex-M3 コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM311CHDUG ではこの機能を使用していません。

第 4 章　メモリマップ

本章では、バス構成とメモリマップについて説明します。

4.1 バス構成

本マイコンでは、CPU コア、μDMA コントローラ 2 種類のバスマスタが搭載されています。

バスマスタは、バスマトリクスのスレーブポート(S0 ~ S3)に接続され、バスマトリクス内で、接続を示す記号(○,●)を経由して、マスタポート(M0 ~ M3、M5 ~ M7)から、周辺機能に接続されます。●は、ミラー領域への接続を示します。

バスマトリクス内の同一マスターライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスタのアクセスが優先されます。

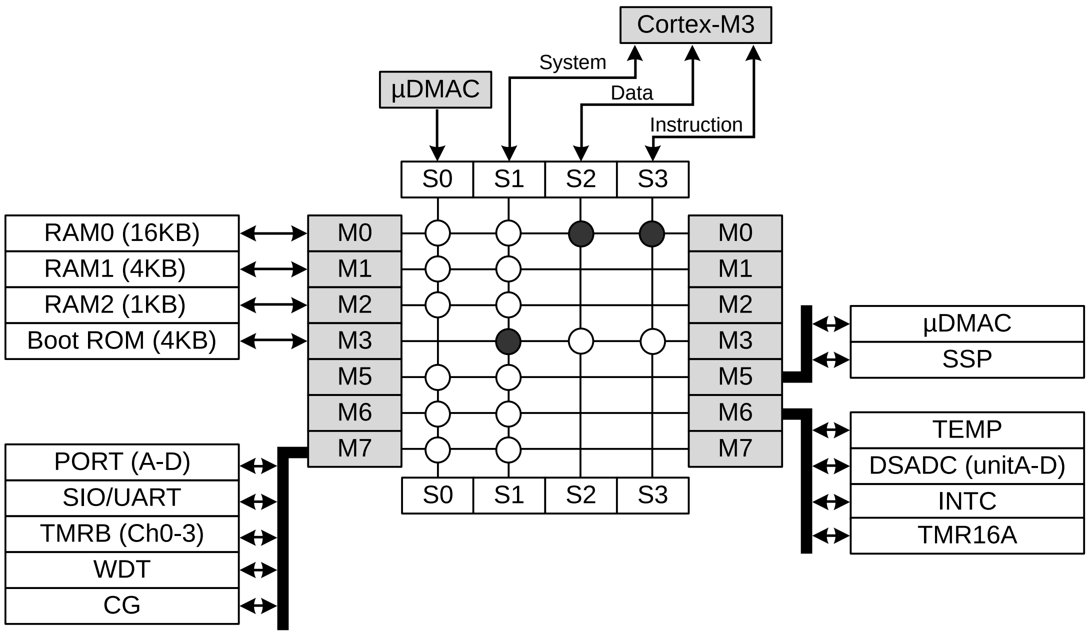


図 4-1 バス構成

4.2　メモリマップ

TMPM311CHDUG のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られています。特殊機能レジスタ(SFR：Special function register)は、入出力ポートおよび周辺機能のコントロールレジスタを示します。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、ARM 社からリリースされる ARM ドキュメンテーションセットを参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

TMPM311CHDUG のメモリマップを図 4-2 に示します。

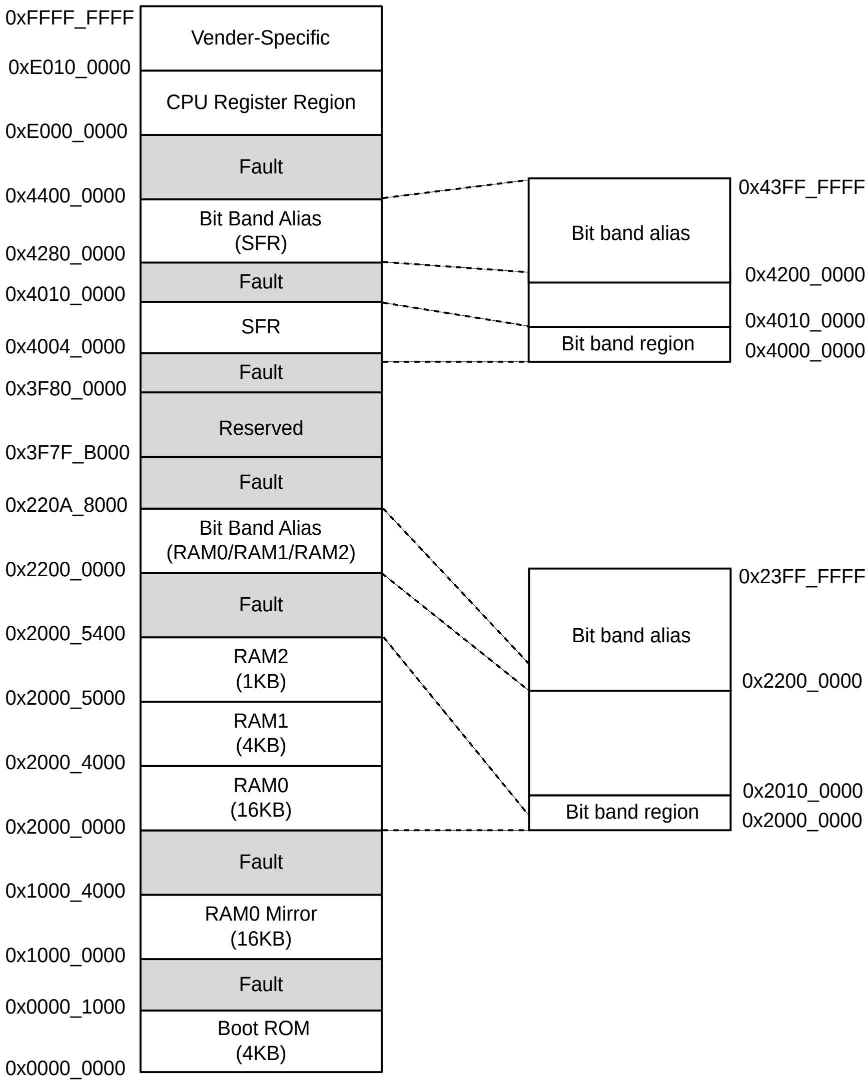


図 4-2 メモリマップ

4.3 メモリマップ詳細

4.3.1 Code 領域/ SRAM 領域

Start Address	マスタ / スレーブ		μDMAC S0	Core S-Bus S3	Core D-Bus S4	Core I-Bus S5
0x0000_0000	Boot ROM	M3	Fault	Fault	o	o
0x0000_1000	Fault	-	Fault	Fault	Fault	Fault
0x1000_0000	RAM0 (mirror)	M0	Fault	Fault	o	o
0x1000_4000	Fault	-	Fault	Fault	Fault	Fault
0x2000_0000	RAM0	M0	o	o	Fault	Fault
0x2000_4000	RAM1	M1	o	o	Fault	Fault
0x2000_5000	RAM2	M2	o	o	Fault	Fault
0x2000_5400	Fault	-	Fault	Fault	Fault	Fault
0x2200_0000	Bit band alias	-	Fault	o	Fault	Fault
0x220A_8000	Fault	-	Fault	Fault	Fault	Fault
0x3F7F_F000	Reserved	-	Fault	Reserved	Fault	Fault
0x3F7F_B000	Fault	-	Fault	Fault	Fault	Fault

注) Reserved 記載のアドレス範囲にはアクセスしないで下さい。

4.3.2 Peripheral 領域

Start Address	マスタ / スレーブ		μDMAC S0	Core S-Bus S1	Core D-Bus S2	Core I-Bus S3
0x4000_0000	Fault	-	Fault	Fault	Fault	Fault
0x4004_0000	SSP	M5	o	o	Fault	Fault
0x4004_C000	μDMAC(SFR)		o	o	Fault	Fault
0x4005_D000	TEMP	M6	o	o	Fault	Fault
0x4006_7000	DSADC		o	o	Fault	Fault
0x4008_D000	TMR16A		o	o	Fault	Fault
0x400B_8000	INTC		o	o	Fault	Fault
0x400C_0000	PORT	M7	-	o	Fault	Fault
0x400C_4000	TMRB		-	o	Fault	Fault
0x400E_1000	SIO/UART		-	o	Fault	Fault
0x400F_2000	WDT		-	o	Fault	Fault
0x400F_3000	CG		-	o	Fault	Fault
0x4010_0000	Fault	-	Fault	Fault	Fault	Fault
0x4200_0000	Bit band alias	-	Fault	o	Fault	Fault
0x4400_0000	Fault	-	Fault	Fault	Fault	Fault

4.4　周辺機能ベースアドレス一覧

Peripheral 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

周辺機能		ベースアドレス
同期式シリアルインタフェース(SSP)	ch0	0x4004_0000
μDMA コントローラ(μDMAC)	Unit A	0x4004_C000
温度センサ(TEMP)		0x4005_D000
24 ビット ΔΣ 型アナログ/デジタルコンバータ (DSADC)	Unit A	0x4006_7000
	Unit B	0x4006_7400
	Unit C	0x4006_7800
	Unit D	0x4006_7C00
16 ビットタイマ A(TMR16A)	ch0	0x4008_D000
割り込みコントローラ(INTC)	ch0	0x400B_8000
入出力ポート	Port A	0x400C_0000
	Port B	0x400C_0100
	Port C	0x400C_0200
	Port D	0x400C_0300
16 ビットタイマ/イベントカウンタ(TMRB)	ch0	0x400C_4000
	ch1	0x400C_4100
	ch2	0x400C_4200
	ch3	0x400C_4300
シリアルチャネル(SIO/UART)	ch0	0x400E_1000
ウォッチドッグタイマ(WDT)	ch0	0x400F_2000
クロック制御(CG)	ch0	0x400F_3000

第 5 章　起動シーケンス

電源投入の際には、内蔵レギュレータおよび内蔵高速発振の安定時間を考慮する必要があります。TMPM311CHDUG では、これらの機能の安定のための時間を内部回路が自動的に挿入します。

5.1 $\overline{\text{RESET}}$ 端子を使用しない場合(パワーオンリセット回路によるリセット)

電源電圧がパワーオンリセットの検知電圧を超えるとパワーオンカウンタが動作を開始し、約 0.5ms 後に内部リセット信号が解除されます。

パワーオンリセット回路の動作については、「パワーオンリセット回路(POR)」の章を参照してください。

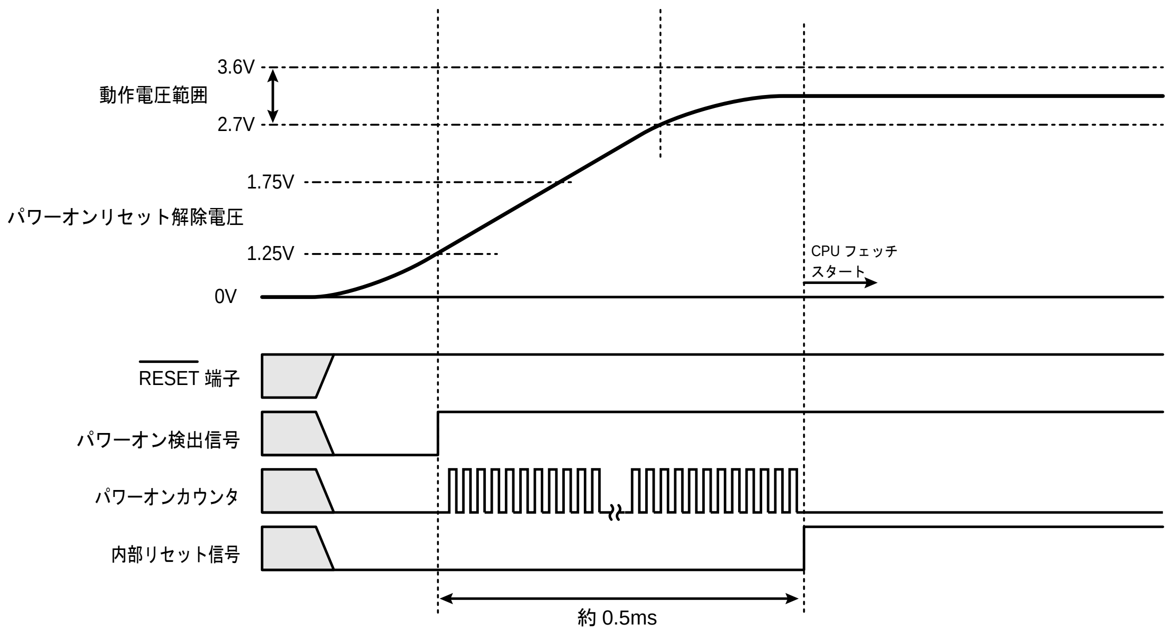


図 5-1 $\overline{\text{RESET}}$ 端子を使用しない場合

5.2　$\overline{\text{RESET}}$ 端子を使用する場合

$\overline{\text{RESET}}$ 端子を使用する場合も電源電圧がパワーオンリセットの検知電圧を超えるとパワーオンカウンタが動作します。パワーオンカウンタ動作後に $\overline{\text{RESET}}$ 端子が"High"になると、内部リセット信号が解除されます。

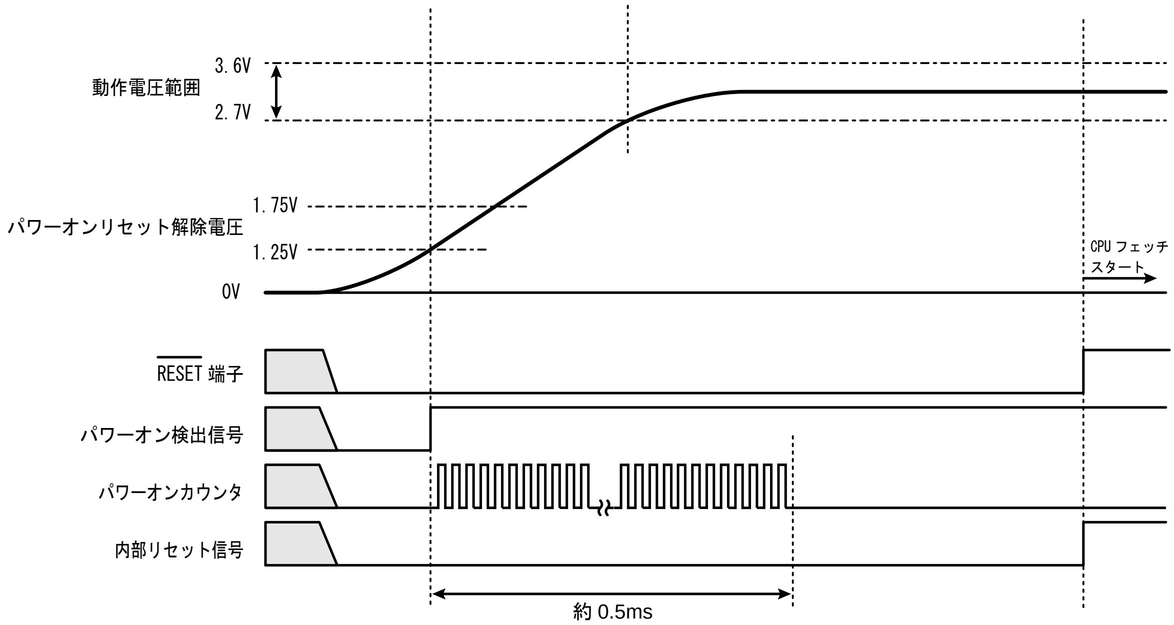


図 5-2 $\overline{\text{RESET}}$ 端子を使用する場合

第 6 章　ブートプログラム(BOOTROM)

6.1　概要

本製品は、リセット解除後、内蔵 BOOTROM から起動します。BOOTROM には、同期式シリアルインタフェース(SSP: Synchronous Serial Port)を経由して、ユーザプログラムをプログラム用内蔵 RAM0 領域に格納後、ユーザプログラムを実行するプログラムが内蔵されています。

ブートプログラムの主な特徴は次の通りです。

1. SSP 通信仕様: SPI マスタモード、1.6Mbps(内蔵高速発振/6 分周)、8 ビット長データ
2. プログラム用内蔵 RAM0 領域への RAM ローダ機能 (チェックサム機能含む)

6.2　留意事項

6.2.1　ベクタテーブルの設定

ベクタテーブルのデフォルトである 0x0000_0000 からの領域には BOOT ROM が配置されているため、ベクタテーブルをユーザープログラム領域に移動する必要があります。ベクタテーブルの先頭番地は、CPU 内の NVIC のベクタテーブルオフセットレジスタにて変更することができます。

詳細は、「例外」の「例外/割り込み関連レジスタ」章を参照してください。

6.2.2　動作中のリセット

動作中にリセットが発生した場合、すべての内蔵 RAM のデータは保証されません。このため、再度ブートプログラムによるデータ転送が必要になります。

リセット要因の詳細については、「例外」の「リセット」章を参照してください。

6.3　システムの構成

6.3.1　使用端子

ブートプログラムが使用する端子を以下に示します。

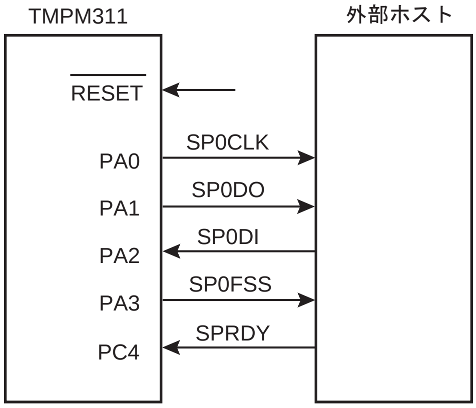


図 6-1 ブートプログラムの使用端子

表 6-1 ブートプログラムの使用端子

端子名	説明
$\overline{\text{RESET}}$	リセット端子による解除要因を取得します。
PA0	マスタとスレーブ間でデータを送受信するためのクロック(SP0CLK)を出力します。
PA1	マスタからスレーブにデータを送信するための信号線(SP0DO)です。
PA2	マスタがスレーブからデータを受信するための信号線(SP0DI)です。
PA3	スレーブをマスタが指定するための信号線(SP0FSS)です。
PC4	ハンドシェイクのための信号線(SPRDY)です。 外部ホストが本製品から SP0CLK を受けられる準備ができた場合は端子状態を"L"(Ready)に設定し、それ以外の場合は端子状態を"H"(Not Ready)に設定します。外部ホスト側はデータ欠落が発生しないように制御してください。

6.3.2　メモリマップ

ブートプログラムが使用するメモリを以下に示します。

表 6-2 ブートプログラム用メモリマップ

BOOTROM	0x0000_0000 - 0x0000_0FFF
RAM0 Mirror プログラム RAM エリア	0x1000_0000 - 0x1000_3FFF
RAM0 データ RAM エリア	0x2000_0000 - 0x2000_3FFF
RMA1 データ RAM エリア	0x2000_4000 - 0x2000_4FFF

0x0000_0000 番地から 4K バイトの領域に BOOT ROM がマッピングされます。プログラム実行用に 0x1000_0000 から 16K バイトの領域に RAM0(0x2000_0000 から 16K バイトの領域)のミラーがマッピングされます。

6.4 動作説明

6.4.1 全体フローチャート

ブートプログラムの全体フローチャートを示します。

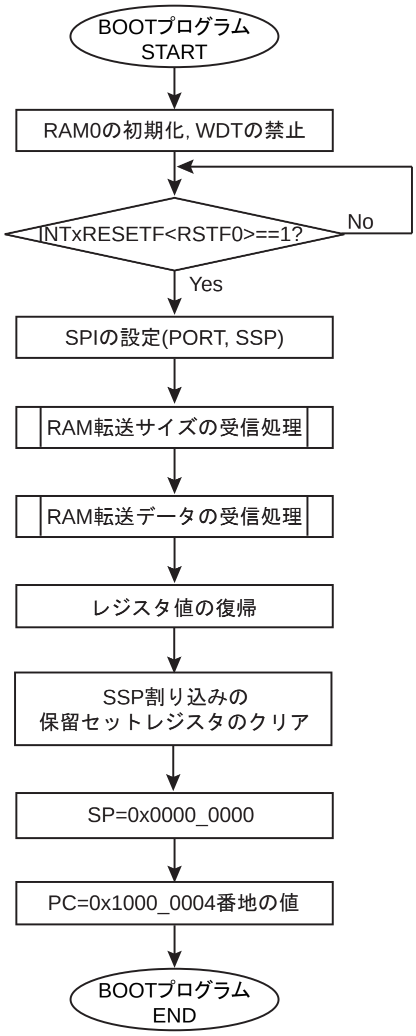


図 6-2 全体フローチャート

以下は全体フローチャートの説明です。

(1) 初期設定

以下を行い「(2)リセット解除判定」を行います。

- ウォッチドッグタイマ(WDT)を停止設定にします。
- 転送先の RAM 領域を初期化します。

(2)　外部リセット端子による解除判定

INTxRESETF<RSTF0>が"1"になるまでポーリングします。INTxRESETF<RSTF0>が"1"の場合、「(3)SPI 通信の初期化」を行います。

注)　パワーオンリセット中に外部リセットが解除されても INTxRESETF<RSTF0>は"1"にセットされないため、外部ホストはタイムアウト処理を入れる、またはパワーオンリセット解除後に外部リセットを解除してください。

(3)　SPI 通信の初期化

以下を行い RAM 転送サイズの受信処理と RAM 転送データの受信処理を行います。その後、「(4)動作の開始」を行います。

- 汎用端子を SPI 通信用端子に設定します。
- SPI の初期化を行います。

注)　ブートプログラムは SSP の通信速度を内蔵高速発振 10MHz/6 分周に設定するため、外部ホストは SSP の通信速度をこれより早い通信速度(約 1.6MHz 以上)に設定してください。

(4)　動作の開始

- ブートプログラムが変更したレジスタ値を元に戻します。
- SSP 割り込みの保留セット(クリア)レジスタのビットをクリアします。
- 0x1000_0004 番地の値(リセットアドレス)を PC に設定します。なお、PC 設定の前に SP に 0x0000_0000 を設定しますので、ユーザプログラムを実行する際は SP の初期化を行ってください。

注)　ブートプログラムは WDT レジスタ値を元に戻し、その後 WDxFLG<FLG>が"0"(レジスタ書き込み許可)となるまでポーリングします。このため"1"(レジスタ書き込み禁止)のままとなる場合は PC 設定を行いませんので、外部ホストはタイムアウト処理を入れてください。

6.4.2 RAM 転送サイズの受信フローチャート

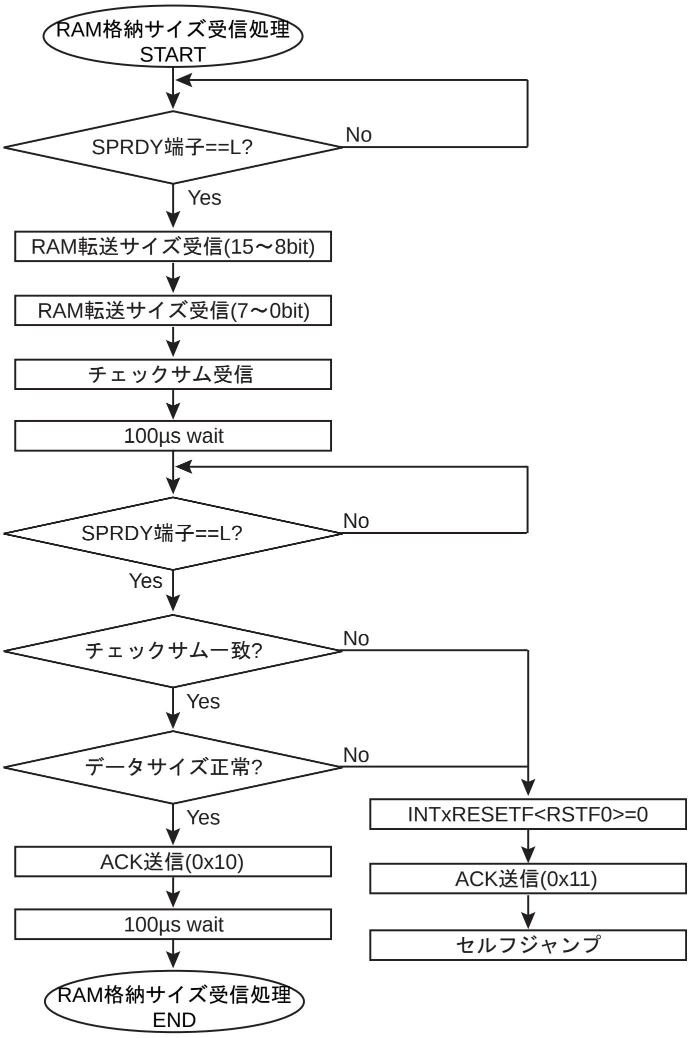


図 6-3 RAM 転送サイズの受信フローチャート

(1) SPRDY 端子の確認

- ブートプログラムは SPRDY 端子が"L"(Ready)となるまでポーリングします。SPRDY 端子が"L"の場合、「(2)RAM 転送サイズの判定」を行います。
  - 外部ホストは RAM 転送サイズと RAM 転送サイズ用チェックサムの送信準備を行い、SPRDY 端子を"L"にしてください。

(2)　RAM 転送サイズの判定

- ブートプログラムは外部ホストから RAM 転送サイズと RAM 転送サイズ用チェックサムを受信します。その後 100μs のウェイトを行い、SPRDY 端子が"L"となるまでポーリングします。
  - 外部ホストは次の応答準備を行い、SPRDY 端子を"L"にしてください。
- ブートプログラムは受信したチェックサムと RAM 転送サイズのチェックサムを比較します。
  - チェックサムが一致し、かつ RAM 転送サイズが 16K バイト(0x4000)以内の場合、正常応答(0x10)を行います。その後、ブートプログラムは 100μs のウェイトを行い RAM 転送サイズの受信処理を終了します。
  - いずれか異常の場合、INTxRESETF<RSTF0>を"0"にクリアし、異常応答(0x11)を行います。その後、セルフジャンプを行います。

    ACK 応答が異常(0x11)の場合、外部ホストは本製品に対し外部リセットを行うなどの対策を行ってください。

注)　受信時の送信ダミーデータは 0xFF です。

6.4.3 RAM 転送データの受信フローチャート

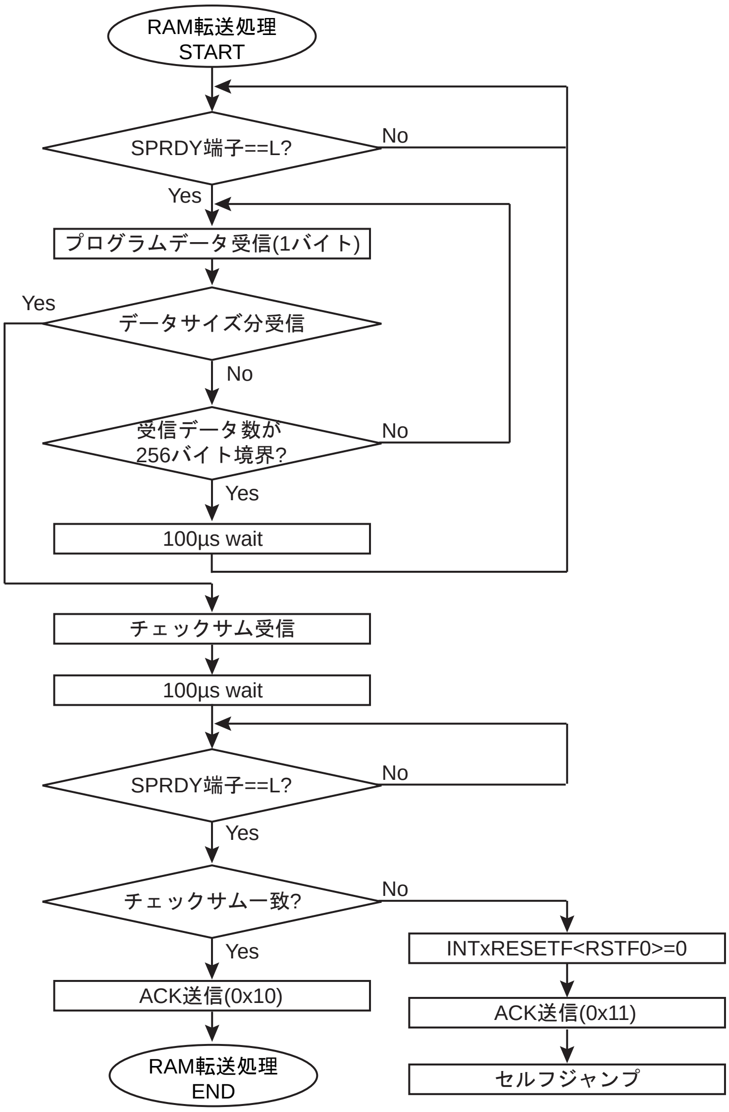


図 6-4 RAM 転送データの受信フローチャート

(1) SPRDY 端子の確認

- ブートプログラムは SPRDY 端子が"L"(Ready)となるまでポーリングします。SPRDY 端子が"L"の場合、「(2)RAM 転送データの判定」を行います。
  - 外部ホストは RAM 転送データと RAM 転送データ用チェックサムの送信準備を行い、SPRDY 端子を"L"にしてください。

(2)　RAM 転送データの判定

- ブートプログラムは外部ホストから RAM 転送データを受信します。受信したデータは RAM0 の先頭アドレス(0x2000_0000)から書き込みます。
  - 受信したデータの合計が RAM 転送サイズに満たない場合、次のデータを受信します。なおブートプログラムは 256 バイト毎に 100µs のウェイトを入れ、SPRDY 端子が"L"となるまでポーリングします。外部ホストは途中で RAM 格納データの送信を止める場合は SPRDY 端子を"H"にし、リセットを行うなどのリカバリ処理を入れることができます。
  - 受信したデータの合計が RAM 転送サイズと同じ場合、RAM 転送データ用チェックサムを受信します。その後、100µs のウェイトを行い、SPRDY 端子が"L"となるまでポーリングします。外部ホストは次の応答準備を行い、SPRDY 端子を"L"にしてください。
- ブートプログラムは受信したチェックサムと RAM0 領域に書き込んだ総データのチェックサムを比較します。
  - チェックサムが一致した場合、正常応答(0x10)を行います。その後、RAM 転送処理を終了します。
  - チェックサムが一致しなかった場合、INTxRESETF<RSTF0>を"0"にクリアし、異常応答(0x11)を行います。その後、セルフジャンプを行います。

    ACK 応答が異常(0x11)の場合、外部ホストは本製品に対し外部リセットを行うなどの対策を行ってください。

注)　受信時の送信ダミーデータは 0xFF です。

6.4.4 通信フォーマット

表 6-3 通信フォーマット

転送バイト数	外部ホスト→本製品への転送データ	本製品→外部ホストへの転送データ
1 バイト目	RAM 転送サイズ 15~ 8bit	–
2 バイト目	RAM 転送サイズ 7~ 0bit	–
3 バイト目	1~2 バイト目のチェックサム値	–
4 バイト目	–	RAM 転送サイズに対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11
5 バイト目 ~ m バイト目	RAM 転送データ	–
m+1 バイト目	5~m バイト目のチェックサム値	–
m+2 バイト目	–	RAM 転送データに対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11

6.4.5 CHECK SUM の計算方法

CHECK SUM の計算方法は、受信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。外部ホストは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

0xE5 + 0xF6 = 0x1DB

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。外部ホストは 0x25 を送信してください。

0 − 0xDB = 0x25

第 7 章　クロック制御

7.1 概要

クロック制御は、内部／外部発振、ウォーミングアップの制御とクロックギアとプリスケーラの制御を行います。

7.2 クロック系統図

クロック系統図を下記に示します。

リセット動作により、セレクタに入力されるクロックのうち、矢印のついたクロックが選択されます。

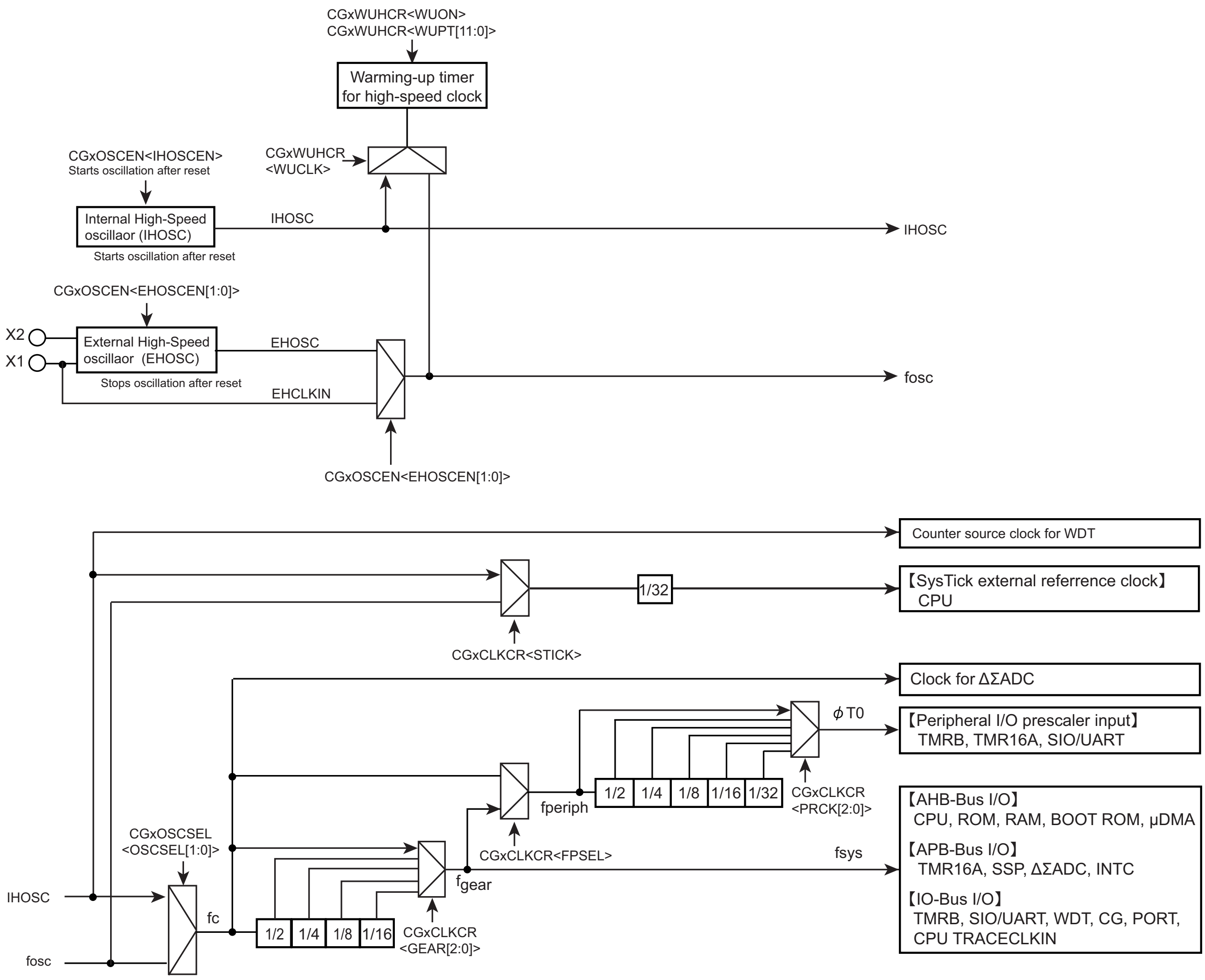


図 7-1 クロック系統図

7.3　レジスタ説明

7.3.1　レジスター覧

クロック制御のレジスタとアドレスを以下に示します。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照下さい。

周辺機能:CG

レジスタ名		Address (Base+)
プロテクトレジスタ	CGxPROTECT	0x0000
高速発振セレクトレジスタ	CGxOSCSEL	0x0004
高速発振ステータスレジスタ	CGxOSCSTF	0x0008
クロックコントロールレジスタ	CGxCLKCR	0x000C
発振許可レジスタ	CGxOSCEN	0x0018
高速発振ウォーミングアップレジスタ	CGxWUHCR	0x0024

7.3.2 レジスタ詳細

クロック制御回路のレジスタの詳細を説明します。

7.3.2.1 CGxPROTECT (プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CGPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	−	R	読み出すと"0"が読めます。
7-0	CGPROTECT [7:0]	R/W	レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 リセット後は"0xC1"で書き込み許可となっています。 "0xC1"以外の値を設定することで CGxOSCSEL、CGxCLKCR、CGxOSCEN および CGxWUHCR への書き込みができなくなります。

7.3.2.2　CGxOSCSEL (高速発振セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OSCSEL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	読み出すと"0"が読めます。
1-0	OSCSEL[1:0]	R/W	高速クロック (fc) のソースクロック選択 00: 内部高速発振(IHOSC) 01: 外部高速発振(EHOSC) / 外部クロック入力 (EHCLKIN) 10: Reserved 11: Reserved 高速クロック (fc)のソースクロックの選択を行います。レジスタ内容の更新は、切り替え先クロックの発振が安定している状態で行ってください。 また、設定を変更した場合、変更した値が CGxOSCSTF<OSCF[1:0]>に反映されていることを確認してください。

7.3.2.3 CGxOSCSTF (高速発振ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OSCF	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	読み出すと"0"が読めます。
1-0	OSCF[1:0]	R	高速クロック (fc) ソースクロック選択ステータス 00: 内部高速発振(IHOSC) 01: 外部高速発振(EHOSC) / 外部クロック入力 (EHCLKIN) 10: Reserved 11: Reserved

7.3.2.4 CGxCLKCR (クロックコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	STICK	FPSEL	PRCK			GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	読み出すと"0"が読めます。
7	STICK	R/W	SysTick リファレンスクロックのソースクロック選択 0: IHOSC 1: fosc SysTick リファレンスクロックのソースクロックを選択します。 リファレンスクロックを変更する前に、SysTick タイマの動作を禁止にしてください。
6	FPSEL	R/W	fperiph のソースクロック選択 0: fgear 1: fc fperiph のソースクロックを選択します。 ソースクロックに fc を選択した場合、クロックギアの設定に関係なく、fperiph の周波数を固定することができます。
5-3	PRCK[2:0]	R/W	プリスケーラクロック(φT0)の分周比選択 000: fperiph　100: fperiph/16 001: fperiph/2　101: fperiph/32 010: fperiph/4　110: Reserved 011: fperiph/8　111: Reserved 周辺機能に供給するプリスケーラクロック(φT0)の分周比を選択します。 周辺機能の動作中にプリスケーラクロックの分周比を切り替えないようにしてください。また、プリスケーラクロックの分周比を変更する場合、φT0 の周波数が fsys の周波数以下になるようにしてください。
2-0	GEAR[2:0]	R/W	ギアクロック(fgear)の分周比選択 000: fc　100: fc/16 001: fc/2　101: Reserved 010: fc/4　110: Reserved 011: fc/8　111: Reserved ギアクロックの分周比を選択します。 周辺機能の動作中にクロックギアの分周比を切り替えないようにしてください。また、クロックギアを使用する場合、φT0 の周波数が fsys の周波数以下になるようにしてください。

7.3.2.5 CGxOSCEN (発振選択レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	EHOSCEN		IHOSCEN
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-3	−	R	読み出すと"0"が読めます。
2-1	EHOSCEN[1:0]	R/W	外部高速発振器の動作選択と fosc のソースクロック選択 00: 外部高速発振器を使用しない 01: fosc のソースクロックとして EHOSC を選択し、外部高速発振器の発振を許可する。 10: fosc のソースクロックとして EHCLKIN を選択する。 11: Reserved 外部高速発振器の動作選択と fosc のソースクロック選択を行います。"01"を設定した場合、ウォーミングアップカウンタによる発振安定時間確保が必要です。詳細については、「7.5 ウォーミングアップタイマ機能」を参照してください。 外部高速発振器を選択する場合は、ポート D の制御レジスタ(PDCR/PDPUP/PDIE)をすべて無効("0")に設定してください。(リセット後はすべて無効状態です)
0	IHOSCEN	R/W	内部高速発振器(IHOSC)制御 0: 禁止 1: 許可 内部高速発振器(IHOSC)の制御を行います。 許可に設定した場合、ウォーミングアップタイマによる発振安定時間確保が必要です。詳細については、「7.5 ウォーミングアップタイマ機能」を参照してください。

7.3.2.6　CGxWUHCR (高速発振器ウォーミングアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	WUPT			
リセット後	0	0	0	0	1	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUPT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	WUCLK
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	WUEF	WUON
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-28	−	R	読み出すと"0"が読めます。
27-16	WUPT[11:0]	R/W	高速発振器用ウォーミングアップタイマのカウンタ比較値設定 ウォーミングアップタイマのカウンタと比較する値を設定します。 ウォーミングアップ時間の計算値 16 ビットのうち、上位 12 ビットの値を設定します。
15-9	−	R	読み出すと"0"が読めます。
8	WUCLK	R/W	高速発振器用ウォーミングアップタイマのソースクロック選択 0: IHOSC 1: fosc
7-2	−	R	読み出すと"0"が読めます。
1	WUEF	R	高速発振器用ウォーミングアップタイマ動作ステータス 0: 動作終了 1: 動作中 ウォーミングアップタイマの状態を確認できます。
0	WUON	W	高速発振器用ウォーミングアップタイマ制御 1: 動作スタート ウォーミングアップタイマの動作をスタート("1"を設定)させるまえに、必ず<WUEF>が"0"であることを確認してください。 <WUON>への"0"の書き込みは意味を持ちません。また、読み出すと"0"が読めます。

7.4 発振器の許可と禁止

7.4.1 内部高速発振器

内部高速発振器の許可と禁止は、CGxOSCEN<IHOSCEN>で制御されます。

リセット解除後は、発振器が許可(CGxOSCEN<IHOSCEN> = "1")となります。

7.4.2 外部高速発振器

外部高速発振器の許可と禁止は、CGxOSCEN<EHOSCEN[1:0]>で制御されます。

リセット解除後は、発振器が禁止(CGxOSCEN<EHOSCEN[1:0]> = "00")となります。

7.5 ウォーミングアップタイマ機能

ウォーミングアップタイマ機能は、外部発振器の発振開始時の安定時間を確保するための機能です。

注) ウォーミングアップタイマは発振安定前のクロックで動作します。従ってウォーミングアップタイマのカウンタに設定する値は、必要なウォーミングアップ時間に余裕を持たせてください。

7.5.1 ウォーミングアップタイマのソースクロック選択方法

CGxWUHCR<WUCLK>の設定値により、高速発振器用のウォーミングアップタイマのソースクロックとして、IHOSC または EHOSC を選択します。

7.5.2 ウォーミングアップタイマの動作開始方法

CGxWUHCR<WUON>を"1"に設定することにより、ウォーミングアップタイマの動作を開始することができます。

7.5.3　ウォーミングアップタイマのカウンタと比較する値の計算方法

安定時間を確保するためのウォーミングアップ時間は CGxWUHCR <WUPT [11:0]>　に設定します。CGxWUHCR<WUPT[11:0]>への設定値の計算方法は次の通りです。

高速発振器用ウォーミングアップタイマの 16 ビットカウンタのうち上位 12 ビットが CGxWUHCR<WUPT[11:0]>と比較されます。

このため、下記の計算式で算出された値の下位 4 ビットを切り捨て、上位 12 ビットを CGxWUHCR<WUPT[11:0]>に設定します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォーミングアップクロック周期}}$$

例えば、外部高速発振器に接続する発振子に 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォーミングアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40000\ \text{サイクル} = 0\text{x}9\text{C}40$$

下位 4 ビットを切り捨て、0x9C4 を CGxWUHCR<WUPT[11:0]>に設定します。

7.5.4　ウォーミングアップタイマの動作終了の確認方法

ウォーミングアップタイマの動作終了は CGxWUHCR<WUEF>を読み出すことで確認できます。

7.5.5　ウォーミングアップタイマの設定例

表 7-1 ウォーミングアップ機能設定例 (外部高速発振器の場合)

CGxWUHCR<WUEF>リード	:	ウォーミングアップカウンタ動作が終了していることの確認 "0"がリードできるまで繰り返し
CGxWUHCR<WUPT[11:0]> = "0x9C4"	:	ウォーミングアップ時間設定
CGxOSCEN<EHOSCEN[1:0]> = "01"	:	外部高速発振器の発振許可 fosc のソースクロックとして EHOSC を選択する
CGxWUHCR<WUON> = "1"	:	ウォーミングアップタイマ動作開始
CGxWUHCR<WUEF>リード	:	ウォーミングアップカウンタ動作終了の確認 "0"がリードできるまで繰り返し

7.6 システムクロック

システムクロック(fsys)は、CPU コアや周辺機能を動作させるために使用されます。

fsys のソースクロックとして、高速クロック(fc)をクロックギアで分周したギアクロック(fgear)を選択できます。

分周比は、CGxCLKCR<GEAR[2:0]>で選択します。

CGxCLKCR<GEAR[2:0]>の値は、クロックギアが動作している間でも変更することができます。ただし、CGxCLKCR<GEAR[2:0]>の値を変更してから fgear が変更されるまで、若干の時間が必要です。

fc のソースクロックとして内蔵高速発振器から入力されるクロック(IHOSC)、外部高速発振入力されるクロック(EHOSC)、または外部クロック入力(EHCLKIN)を選択できます。

クロックギアの分周比と高速クロックの設定範囲を下記に示します。

表 7-2 クロックギアの分周比と高速クロックの設定範囲

外部発振器 (EHOSC)/ 外部クロック入力 (EHCLKIN) 周波数 (MHz)	高速クロック (fc) 周波数 (MHz)	fgear 周波数(MHz)				
		クロックギア分周比				
		1/1	1/2	1/4	1/8	1/16
8	8	8	4	2	1	-
10	10	10	5	2.5	1.25	-
12	12	12	6	3	1.5	-
16	16	16	8	4	2	1
18	18	18	9	4.5	2.25	1.125
20	20	20	10	5	2.5	1.25
24	24	24	12	6	3	1.5

↑リセット後の初期状態

注) SysTick を使用するときにはクロックギア分周比に 1/16 を設定しないでください。

7.7 プリスケーラクロック

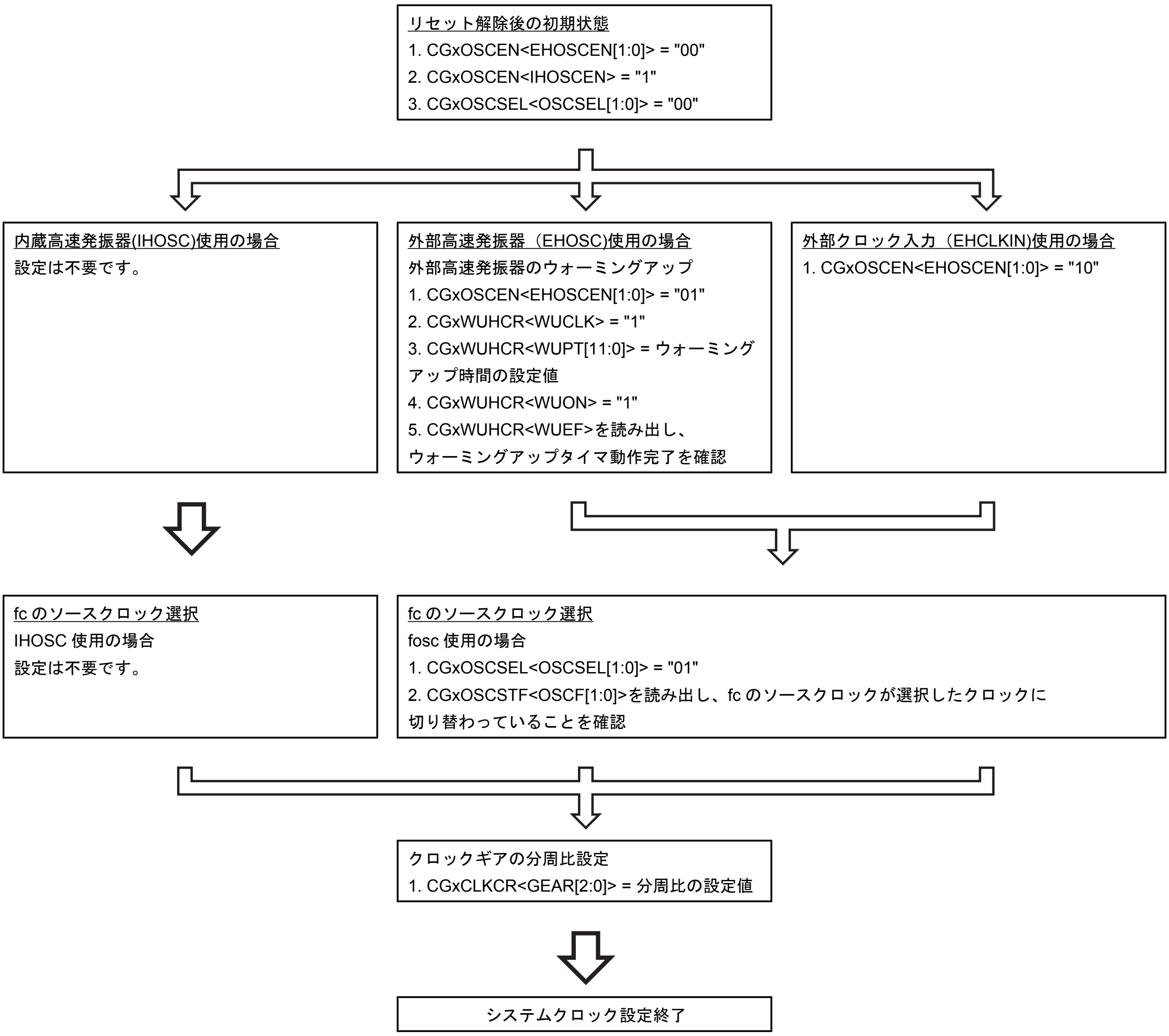
プリスケーラクロック (φT0)は、周辺機能のもつプリスケーラに入力されるクロックです。

φT0 のソースクロックは、fperiph を分周したクロックです。

fperiph のソースクロックは fc と fgear から選択できます。ソースクロックは、CGxCLKCR<FPSEL>で選択できます。

分周比は、CGxCLKCR<PRCK[2:0]>で選択できます。

7.8　リセット解除後のシステムクロック設定



第 8 章　例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて ARM 社からリリースされる ARM ドキュメンテーションセットもご覧ください。

8.1 概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウエアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

8.1.1 種類

例外には以下のものがあります。

それぞれの例外の詳細な内容は、ARM 社からリリースされる ARM ドキュメンテーションセットをご覧ください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCall (スーパバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

8.1.2　処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、　　　　はハードウエアによる処理を、　　　　はソフトウエアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。

処理	内容	説明
CG/CPU が例外を検出	CG/CPU が例外要求を検出します。	8.1.2.1 節
CPU が例外を処理	CPU が例外処理を行います。	8.1.2.2 節
CPU が割り込み処理ルーチンへ分岐	検出した例外に応じた割り込み処理ルーチンへ分岐します。	
割り込み処理ルーチン実行	必要な処理を行います。	8.1.2.3 節
例外からの復帰	別の割り込み処理ルーチンまたはもとのプログラムに復帰します。	8.1.2.4 節

8.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行, メモリアクセス, 外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。外部割り込みの場合、割り込みコントローラの設定も必要になります。詳細は「8.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理、 バスフォールト、 用法フォールトは許可/禁止を選択することができます。

禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 8-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	−3 (最高)	リセット端子, WDT, POR, SYSRESETREQ
2	マスク不能割り込み	−2	WDT
3	ハードフォールト	−1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	−	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	−	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や専用割り込み、周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「8.5.2 要因一覧」を参照してください。

(3)　優先度の設定

・　優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>に設定します。

<PRI_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット~ 8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

TMPM311CHDUG では、<PRI_n>は 3 ビット構成になっています。

8 ビットの構成の場合、優先度は 0 ~ 255 のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

・　優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 8-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n>が 8 ビット構成の場合の数です。

表 8-2 優先度のグループ化設定

<PRIGROUP[2:0]>の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取りフィールド	サブ優先度フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注)　<PRI_n>の構成が 8 ビットより小さい場合、下位ビットは"0"となります。
たとえば、3 ビット構成の場合、<PRI_n[7:5]>で優先度が設定され、<PRI_n[4:0]>は"00000"になります。

8.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

1. プログラムステータスレジスタ(xPSR)
2. プログラムカウンタ(PC)
3. リンクレジスタ(LR)
4. r12
5. r3 ~ r0

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。

前の SP →	以前の内容
	xPSR
	PC
	LR
	r12
	r3
	r2
	r1
SP →	r0

(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x0000_0000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

また、ベクタテーブルにはメインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4)　ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの初期値、リセット、マスク不能割り込み、ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。

その他の例外については、割り込み処理ルーチンのアドレスを必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

8.1.2.3　割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「8.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

8.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

・ テールチェイン

保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

・ 処理が中断されている割り込み処理ルーチンへ復帰

保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

・ 元のプログラムへ復帰

保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

・ レジスタの復帰

退避していた 8 つのレジスタ(xPSR, PC, LR, r12, r3 ~ r0)を復帰し SP を調整します。

・ 割り込み番号のロード

退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

・ SP の選択

例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

8.2　リセット

リセットにより、コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。

リセットには幾つかの要因があり、要因ごとに初期化される対象が異なります。

8.2.1　要因

- $\overline{\text{RESET}}$ 端子

  $\overline{\text{RESET}}$ 端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。

  動作中に TMPM311CHDUG にリセットをかけるには、$\overline{\text{RESET}}$ 端子を少なくとも内部高周波発振 12 クロックの間、"Low"にしてください。

- パワーオンリセット(POR)

  POR にリセット例外を発生する機能があります。詳細は「パワーオンリセット回路」の章を参照してください。

- ウォッチドックタイマ(WDT)

  WDT にリセット例外を発生する機能があります。詳細は「ウォッチドッグタイマ」の章を参照してください。

- SYSRESETREQ

  NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの <SYSRESETREQ>をセットすることで、リセット例外を発生させることができます。

8.2.2　リセット要因と有効な範囲

要因と有効となる範囲を以下に示します。

表 8-3 リセット要因と有効な範囲

	パワーオンリセット	端子 $\overline{\text{RESET}}$	WDT リセット	SYS-RESET-REQ
システムデバッグコンポーネント (FPB, DWT, ITM)	o	-	-	-
その他	o	o	o	o

o : 初期化される(レジスタ)。内容が保証されない(RAM)。
− : 初期化されない(レジスタ)。内容が保持される(RAM)。

8.2.3　リセット要因の確認

リセットの要因を確認するためには、割り込みコントローラの INTxRESETF を読みだしてください。

8.3　マスク不能割り込み(NMI)

マスク不能割り込みには、WDT によるマスク不能割り込みがあります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

8.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外を発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

注) TMPM311CHDUG では、外部参照クロックとして CGxCLKCR<STICK>で選択されるクロックを 32 分周したクロックが使用されます。

8.5　割り込み

この節では、割り込み要求の伝わる経路、要因、 必要な設定について説明します。

割り込みは、割り込み要因ごとに割り込み要求信号により CPU へ通知されます。CPU は、優先順位付けを行い、最も優先度の高い割り込みを発生します。

外部割り込み要求は、CPU の設定のほかに割り込みコントローラの設定が必要な場合があります。

8.5.1　割り込み要求

8.5.1.1　経路

割り込み要求の経路を図 8-1 に示します。

[1]は周辺機能から直接 CPU へ入力される割り込みです。この割り込みは NVIC の設定のみで使用できます。

[2]は外部割り込み端子(INTx)から割り込みコントローラへ入力される割り込みです。この割り込みは割り込みコントローラの割り込み検出回路に入力されます。割り込み検出回路では、INTxCRn レジスタで設定されたアクティブレベルにしたがって割り込みが検出されます。

検出された割り込み[3]は CPU へ入力されます。NVIC の割り込みイネーブルセットレジスタで許可されていれば割り込みが発生します。

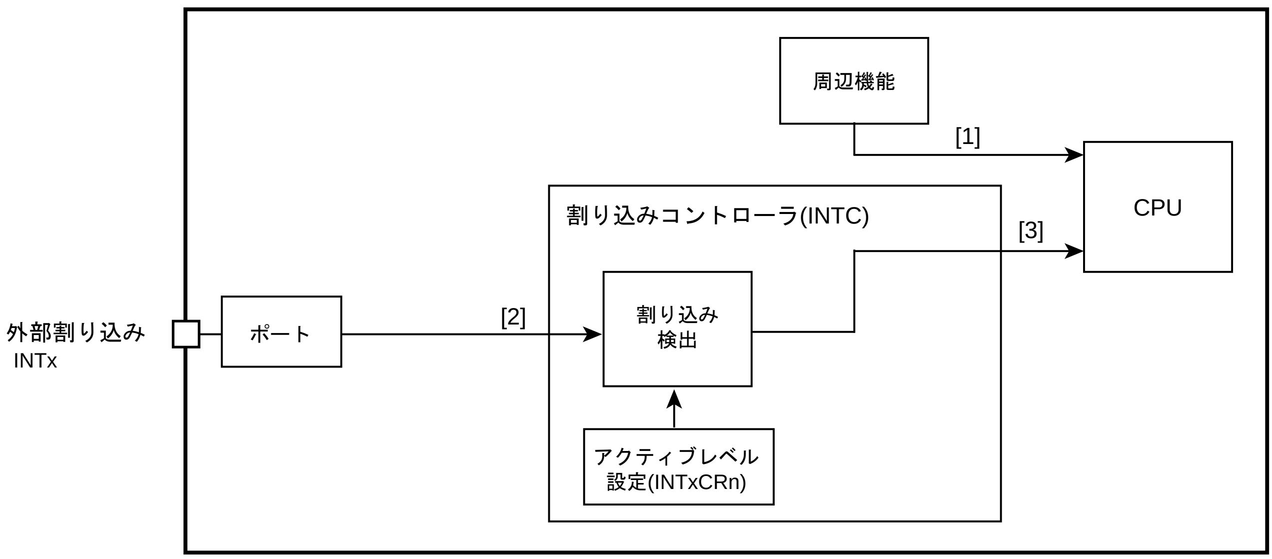


図 8-1 割り込み要求の経路

8.5.1.2 割り込み要求の発生

割り込み要求は、割り込み要因に割り当てられた外部割り込み端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- 外部割り込み端子からの割り込み
- 周辺機能の割り込み

  周辺機能の割り込みを使用する場合、使用する周辺機能で割り込み要求が発生されるよう設定する必要があります。

  設定の詳細については各章を参照ください。
- 割り込み要求の強制的な発生

  NVIC の割り込み保留セットレジスタの該当するビットをセットすることで、割り込み要求を強制的に発生させることができます。

CPU は、割り込み要求信号の"High" レベルを割り込みとして認識します。

8.5.2　要因一覧

各周辺機能の割り込み名称を表 8-4 に、要因一覧を表 8-5 にそれぞれ示します。

INTC を経由する割り込みついては、アクティブレベルを INTxCRn で設定します。設定できるアクティブレベルは、"o"マークがついているものです。

INTC 割り込み番号は、INTxCRn の"n"と INTxEN のビットに対応します。

表 8-4 周辺機能と割り込み名称

周辺機能	割り込み名称	機能
外部割り込み	INTx	外部割り込み入力端子 x
μDMA コントローラ (μDMAC)	INTDMAxTCn	ユニット x チャネル n 転送終了
	INTDMAxERR	ユニット x 転送エラー割り込み
16 ビットタイマ/イベントカウンタ (TMRB)	INTTBx	タイマレジスタ 0 コンペアー致割り込み タイマレジスタ 1 コンペアー致割り込み オーバフロー割り込み
	INTCAPx0	インプットキャプチャ 0 割り込み
	INTCAPx1	インプットキャプチャ 1 割り込み
16 ビットタイマ A (TMR16A)	INTT16Ax	一致割り込み
シリアルチャネル (SIO/UART)	INTRXx	受信割り込み
	INTTXx	送信割り込み
同期式シリアル通信回路 (SSP)	INTSSPx	送信割り込み 受信割り込み 受信オーバーラン割り込み タイムアウト割り込み
24 ビット ΔΣ 型アナログ/デジタルコンバータ (DSADC)	INTDSADx	ユニット x 変換終了割り込み

表 8-5 割り込み要因一覧

番号	要因	INTC 割り込み番号	アクティブレベル				
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ
0	INTDSADA						
1	INTDSADB						
2	INTDSADC						
3	INTDSADD						
4	INT0	0	o	o	o	o	o
5	INT1	1	o	o	o	o	o
6	INTSSP0						
7	INTRX0						
8	INTTX0						
9	INTTB0						
10	INTTB1						
11	INTTB2						
12	INTTB3						
13	INTCAP00						
14	INTCAP01						
15	INTCAP10						

表 8-5 割り込み要因一覧

番号	要因	INTC 割り込み番号	アクティブレベル				
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ
16	INTCAP11						
17	INTT16A0						
18	INTDMAATC0						
19	INTDMAATC1						
20	INTDMAATC2						
21	INTDMAATC3						
22	INTDMAAERR						

8.5.3　処理詳細

8.5.3.1　処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 $\boxed{}$ はハードウエアによる処理を、 $\boxed{}$ はソフトウエアによる処理を示しています。

処理	内容	説明
検出のための準備	割り込みを検出するための設定を、NVIC レジスタで行います。 o 共通 NVIC レジスタの設定	「8.5.3.2 準備」
要因発生のための準備	割り込みの要因発生のための設定を行います。割り込みの種類により設定内容が異なります。 外部割り込みは、割り込みコントローラの設定も必要です。 o 外部割込み端子 割り込みコントローラの設定 o 各周辺機能からの割り込み 各周辺機能の設定（使用する周辺機能の章を参照ください） o 共通 NVIC レジスタの設定	
割り込み要因の発生	割り込みの要因が発生します。	
INTCを経由しない割り込み / INTCを経由する割り込み		
INTCが割り込みを検出	INTC を経由する割り込みは、INTC で検出され CPU に通知されます。	「8.5.1.1 経路」
CPU が割り込みを検出	CPU が割り込みを検出します。 複数の割り込み要因が存在する場合、優先順位に従って最も優先度の高い割り込み要因を検出します。	「8.5.3.4 検出(CPU)」
CPU が割り込みを処理	CPU が割り込み処理を行います。 スタックにレジスタの内容を退避し、割り込み処理ルーチンへ分岐します。	「8.5.3.5 CPU の処理」

処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「8.5.3.6 割り込み処理ルーチンでの処理(要因の取り下げ)」
⇩		
元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

8.5.3.2　準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

割り込みコントローラの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、割り込みコントローラ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割込み端子)
4. 要因の準備(2) (周辺機能からの割り込み)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. 割り込みコントローラの設定
7. CPU 割り込み許可

(1)　CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

注 1)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

注 2)　PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2)　CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。
本製品では割り込み優先度レジスタの優先度設定領域は 3 ビットの構成になっています。

(3) 要因の準備(1) (外部割込み端子)

外部割込み端子については、使用する外部割込み端子の入力を PxIE で許可してください。

Port レジスタ		
PxIE<PxmIE>	←	"1"

注) 「m」は該当ビットを示します。

(4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
<SETPEND[m]>	←	"1"

注) 「m」は該当ビットを示します。

(6) 割り込みコントローラの設定

割り込みコントローラを経由する割り込みは、INTxCRn でアクティブレベルの設定を行います。INTxCRn は要因ごとに設定が必要なレジスタです。要因ごとに選択できるアクティブレベルの設定については、「表 8-5 割り込み要因一覧 」を参照してください。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを INTxCLR を設定します。、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。

割り込みコントローラレジスタ		
INTxCRn<ACT>	←	アクティブレベル
INTxCLR	←	使用する要因に対応する値

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7) CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは 1 ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
<CLRPEND[m]>	←	"1"
<SETENA[m]>	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1)　「m」は該当ビットを示します。
注 2)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

8.5.3.3　検出(割り込みコントローラ)

割り込みコントローラを経由する割り込みは、割り込みコントローラに設定されたアクティブレベルにしたがって検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後、割り込みコントローラで要因が保持されますが、"High"レベルまたは"Low"レベル設定の割り込み要因は、アクティブレベルから非アクティブレベルに変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

割り込みコントローラは割り込みを検出すると INTxCLR で解除されるまで"High"レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

8.5.3.4　検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

8.5.3.5　CPU の処理

割り込みが検出されると、CPU はスタックへ xPSR、PC、LR、R12、r3 ~ r0 を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

8.5.3.6 割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に xPSR、PC、LR、R12、r3～r0 をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

割り込みコントローラを経由する割り込みについては、INTxCLR で割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられると割り込みコントローラからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は INTxCLR に要求を解除するための値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

8.6　例外/割り込み関連レジスタ

8.6.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

8.6.1.1　NVIC のレジスタ

Base Address = 0xE000_E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正値レジスタ	0x001C
割り込みイネーブルセットレジスタ	0x0100
割り込みイネーブルクリアレジスタ	0x0180
割り込み保留セットレジスタ	0x0200
割り込み保留クリアレジスタ	0x0280
割り込み優先度レジスタ	0x0400 ~ 0x0417
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

8.6.1.2　割り込みコントローラ(INTC)のレジスタ

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

周辺機能:INTC

レジスタ名		Address (+BASE)
割り込みコントロールレジスタ 0	INTxCR0	0x0000
割り込みコントロールレジスタ 1	INTxCR1	0x0004
要因クリアレジスタ	INTxCLR	0x0044
リセット要因フラグレジスタ	INTxRESETF	0x0048

8.6.2 NVIC レジスタ

8.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	−	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	−	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック(fosc/32) (注) 1: CPU クロック(fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では外部参照クロックとして fosc(CGxCLKCR<STICK>で選択されるクロック)を 32 分周したクロックが使用されます。

8.6.2.2　SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

8.6.2.3 SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

8.6.2.4　SysTick 較正値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	1	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正値は 10 ms 1: 較正値は 10 ms でない
29-24	−	R	リードすると"0"が読めます。
23-0	TENMS	R	較正値(注)

注)　本製品では較正用の値は準備していません。

8.6.2.5 割り込み制御用レジスタ

それぞれの割り込み要因について、割り込みイネーブルセットレジスタ、割り込みイネーブルクリアレジスタ、割り込み保留セットレジスタ、割り込みクリアレジスタがあります。

各ビットが指定された割り込みに対応しています。

(1) 割り込みイネーブルセットレジスタ

割り込みを許可したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを許可します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

このレジスタのビットをクリアするには、割り込みイネーブルクリアレジスタの対応するビットに"1"をセットします。

表 8-6 割り込みイネーブルセットレジスタ

Bit symbol	Type	機能
SETENA	R/W	割り込み番号[22:0] [ライト] 1: 割り込みを許可状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

(2)　割り込みイネーブルクリアレジスタ

割り込みを禁止したり、割り込みの許可/禁止状態が確認できます。

"1"をライトすることで該当する割り込みを禁止します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可/禁止状態が確認できます。

表 8-7 割り込みイネーブルクリアレジスタ

Bit symbol	Type	機能
CLRENA	R/W	割り込み番号[22:0] [ライト] 1: 割り込みを禁止状態にする [リード] 0: 割り込みが禁止状態 1: 割り込みが許可状態

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	−	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

(3) 割り込み保留セットレジスタ

割り込みを強制的に保留したり、保留されているかどうかを確認できます。

"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

表 8-8 割り込み保留セットレジスタ

Bit symbol	Type	機能
SETPEND	R/W	割り込み番号[22:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	−	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

(4)　割り込み保留クリアレジスタ

保留された割り込みをクリアしたり、保留されているかどうかを確認できます。

"1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

表 8-9 割り込み保留クリアレジスタ

Bit symbol	Type	機能
CLRPEND	R/W	割り込み番号[22:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり

	31	30	29	28	27	26	25	24
bit symbol	−	−	−	−	−	−	−	−
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	−	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込込 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

8.6.2.6 割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8
0xE000_E40C	PRI_15	PRI_14	PRI_13	PRI_12
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16
0xE000_E414	-	PRI_22	PRI_21	PRI_20

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号 3 優先度
28-24	−	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号 2 優先度
20-16	−	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号 1 優先度
12-8	−	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号 0 優先度
4-0	−	R	リードすると"0"が読めます。

8.6.2.7　ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-7	TBLOFF	R/W	オフセット値 アドレス 0x0000_0000 からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	−	R	リードすると"0"が読めます。

8.6.2.8 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	−	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	−	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1) 本製品はリトルエンディアンがデフォルトで選択されます。

注 2) 本製品では、SYSRESETREQ が出力されるとリセットが発生します。リセットにより<SYSRESETREQ>はクリアされます。

8.6.2.9　システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31　　24	23　　16	15　　8	7　　0
0xE000_ED18	PRI_7	PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)	PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)	PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 4~7 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	−	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	−	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	−	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	−	R	リードすると"0"が読めます。

8.6.2.10 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	−	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAUL TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	−	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	−	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	−	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注)　アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

8.6.3 割り込みコントローラレジスタ

8.6.3.1 INTxCRn (割り込みコントロールレジスタ n)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	ST		-	ACT		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	–	R	読み出すと"0"が読めます。
5-4	ST[1:0]	R	アクティブレベル検出ステータス 00: アクティブレベルを検出していない 01: アクティブレベルとして信号の立ち上がりを検出した 10: アクティブレベルとして信号の立ち下がりを検出した 11: アクティブレベルとして信号の立ち上がりと立ち下がりを検出した アクティブレベルに両エッジ検出を設定した場合、CPU がこのレジスタを読み出すまでに立ち上がりと立下りの両方を検出すると、"11"が読めます。 要因クリアレジスタで割り込み要求をクリアすると、このレジスタはクリアされます。 アクティブレベルに両エッジ検出を設定していない場合に、このレジスタを読み出すと"00"が読めます。
3	–	R	読み出すと"0"が読めます。
2-0	ACT[2:0]	R/W	アクティブレベル選択 000: "Low"レベル検出 001: "High"レベル検出 010: 立ち下がりエッジ検出 011: 立ち上がりエッジ検出 100: 両エッジ検出 101: Reserved 110: Reserved 111: Reserved

8.6.3.2　INTxCLR (要因クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	CLR
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	読み出すと"0"が読めます。
0	CLR	W	要因クリア クリアしたい割り込み番号を指定します。読み出すと"0"が読めます。 0: 割り込み番号 0 1: 割り込み番号 1

8.6.3.3 INTxRESETF (リセット要因フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RSTF4	RSTF3	-	-	RSTF0
端子リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-5	−	R	読み出すと"0"が読めます。
4	RSTF4	R/W	リセット要因フラグ 4 [Write] 0: クリア 1: Don’t care [Read] 0: - 1: SYSRESETREQ によりリセットがかかった
3	RSTF3	R/W	リセット要因フラグ 3 [Write] 0: クリア 1: Don’t care [Read] 0: - 1: ウォッチドックタイマによりリセットがかかった
2-1	−	R	読み出すと"0"が読めます。
0	RSTF0	R/W	リセット要因フラグ 0 [Write] 0: クリア 1: Don’t care [Read] 0: - 1: $\overline{\text{RESET}}$ 端子によりリセットがかかった

第 9 章　　µDMA コントローラ（µDMAC）

9.1　概要

9.1.1　機能一覧

1 ユニットあたりの主な機能を以下に説明します。

周辺機能による起動トリガの情報については、「製品情報」章を参照してください。

表 9-1 µDMA 概要(1 ユニットあたり)

項目	機能		
チャネル数	32ch		
DMA 起動トリガ	ハードウエアでスタート		周辺機能の DMA 要求で起動
	ソフトウエアでスタート		DMAxChnlSwRequest レジスタにて設定
プライオリティ	チャネル間	ch0(高優先度) > … > ch31(高優先度) > ch0(通常優先度) > … > ch31(通常優先度)	DMAxChnlPrioritySet レジスタにて高優先度設定が可能
転送データサイズ	8/16/32bit		
転送回数	1~1024 回		
アドレス	転送元アドレス	インクリメント/固定	転送元と転送先のアドレスは、固定かインクリメントするかを選択できます。
	転送先アドレス	インクリメント/固定	
エンディアン	リトルエンディアン		
割込み機能	転送終了割込み		チャネルごとに出力
	エラー割込み		
動作モード	基本モード 自動要求モード ピンポンモード メモリスキャッターギャザーモード 周辺スキャッターギャザーモード		

9.2　ブロック図

µDMA コントローラは以下の機能ブロックを内蔵しています。

- APB ブロック

  制御レジスタへのアクセスを制御します。
- AHB ブロック

  DMA 転送のバスサイクルを制御します。
- DMA 制御ブロック

  DMA 動作全体の制御を行います。

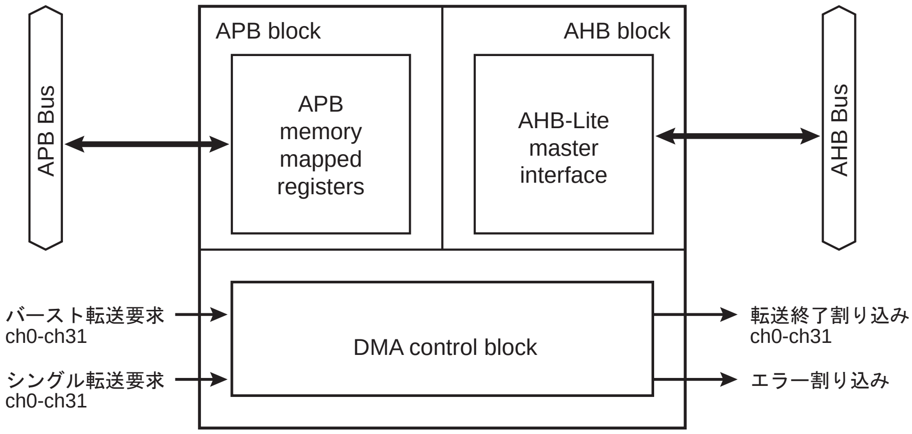


図 9-1 µDMA ブロック図(ユニット共通)

9.3 レジスタ説明

9.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照下さい。

周辺機能名:DMA

レジスタ名		Address(Base+)
DMA status Register	DMAxStatus	0x0000
DMA configuration Register	DMAxCfg	0x0004
channel control data base pointer Register	DMAxCtrlBasePtr	0x0008
channel alternate control data base pointer Register	DMAxAltCtlBasePtr	0x000C
channel software request ststus Register	DMAxChnlSwRequest	0x0014
channel useburst set Register	DMAxChnlUseburstSet	0x0018
channel useburst clear Register	DMAxChnlUseburstClr	0x001C
channel request mask set Register	DMAxChnlReqMaskSet	0x0020
channel request mask clear Register	DMAxChnlReqMaskClr	0x0024
channel enable set Register	DMAxChnlEnableSet	0x0028
channel enable clear Register	DMAxChnlEnableClr	0x002C
channel primary-alternate set Register	DMAxChnlPriAltSet	0x0030
channel primary-alternate clear Register	DMAxChnlPriAltClr	0x0034
channel priority set Register	DMAxChnlPrioritySet	0x0038
channel priority clear Register	DMAxChnlPriorityClr	0x003C
Bus error clear Register	DMAxErrClr	0x004C

注) レジスタは必ずワード（32bit）アクセスしてください。

9.3.2　DMAxStatus (DMAC Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	1	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	master_ enable
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	-	R	"0"が読めます。
28	-	R	"1"が読めます。
27-21	-	R	"0"が読めます。
20-16	-	R	"1"が読めます。
15-8	-	R	"0"が読めます。
7-4	-	R	不定値が読めます。
3-1	-	R	"0"が読めます。
0	master_enable	R	DMA 動作 0: 禁止 1: 許可

9.3.3 DMAxCfg (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	master_ enable
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-1	-	W	"0"をライトしてください。
0	master_enable	W	DMA 動作 0：禁止 1：許可

注) DMAxCfg = 0x00000001, DMAxChnlReqMaskSet = 0xFFFFFFFF, DMAxChnlEnableSet = 0xFFFFFFFF を設定した後、使用するチャネルをマスク解除(DMAxChnlReqMaskClr の該当ビットを"1")に設定してください。

9.3.4　DMAxCtrlBasePtr (Channel control data base pointer Register)

	31	30	29	28	27	26	25	24
bit symbol	ctrl_base_ptr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ctrl_base_ptr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ctrl_base_ptr						-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	ctrl_base_ptr	R/W	一次データベースポインタ 一次データのベースアドレスを指定します。
9-0	-	R	"0"が読めます。

9.3.5　DMAxAltCtrlBasePtr (Channel alternate control data base pointer Register)

	31	30	29	28	27	26	25	24
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	alt_ctrl_base_pt							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	alt_ctrl_base_pt	R	代替データベースポインタ 代替データのベースアドレスが読めます。

9.3.6 DMAxChnlSwRequest(Channel software request Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_sw_re quest (ch31)	chnl_sw_re quest (ch30)	chnl_sw_re quest (ch29)	chnl_sw_re quest (ch28)	chnl_sw_re quest (ch27)	chnl_sw_re quest (ch26)	chnl_sw_re quest (ch25)	chnl_sw_re quest (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_sw_re quest (ch23)	chnl_sw_re quest (ch22)	chnl_sw_re quest (ch21)	chnl_sw_re quest (ch20)	chnl_sw_re quest (ch19)	chnl_sw_re quest (ch18)	chnl_sw_re quest (ch17)	chnl_sw_re quest (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_sw_re quest (ch15)	chnl_sw_re quest (ch14)	chnl_sw_re quest (ch13)	chnl_sw_re quest (ch12q)	chnl_sw_re quest (ch11)	chnl_sw_re quest (ch10)	chnl_sw_re quest (ch9)	chnl_sw_re quest (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_sw_re quest (ch7)	chnl_sw_re quest (ch6)	chnl_sw_re quest (ch5)	chnl_sw_re quest (ch4)	chnl_sw_re quest (ch3)	chnl_sw_re quest (ch2)	chnl_sw_re quest (ch1)	chnl_sw_re quest (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_sw_request	W	DMA 要求 0: 転送要求しない 1: 転送要求する 各チャネルに対する転送要求を設定します。

9.3.7　DMAxChnlUseburstSet(Channel useburst set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_useburst _set (ch31)	chnl_useburst _set (ch30)	chnl_useburst _set (ch29)	chnl_useburst _set (ch28)	chnl_useburst _set (ch27)	chnl_useburst _set (ch26)	chnl_useburst _set (ch25)	chnl_useburst _set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_useburst _set (ch23)	chnl_useburst _set (ch22)	chnl_useburst _set (ch21)	chnl_useburst _set (ch20)	chnl_useburst _set (ch19)	chnl_useburst _set (ch18)	chnl_useburst _set (ch17)	chnl_useburst _set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_useburst _set (ch15)	chnl_useburst _set (ch14)	chnl_useburst _set (ch13)	chnl_useburst _set (ch12)	chnl_useburst _set (ch11)	chnl_useburst _set (ch10)	chnl_useburst _set (ch9)	chnl_useburst _set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_useburst _set (ch7)	chnl_useburst _set (ch6)	chnl_useburst _set (ch5)	chnl_useburst _set (ch4)	chnl_useburst _set (ch3)	chnl_useburst _set (ch2)	chnl_useburst _set (ch1)	chnl_useburst _set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_useburst_set	R/W	シングル転送禁止 [ライト] 1: シングル転送を禁止する [リード] 0: シングル転送許可 1: シングル転送禁止 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのシングル転送が禁止され、バースト転送要求のみが有効になります。"0"の書き込みは意味を持ちません。シングル転送禁止を解除する際は、DMAxChnlUseburstClr レジスタで行います。 リードの場合、該当するチャネルのシングル転送の許可/禁止状態が確認できます。 以下の場合、自動的にビットが操作されます。 ・最後から 2 番目の 2^R 回転送("R"は制御データの channel_cfg<R_power>で設定)終了時に残りの転送回数が 2^R 回未満の場合、このビットは"0"にクリアされます。 ・周辺スキャッターギャザーモードで、制御データの channel_cfg<next_useburst>が"1"に設定されている場合、代替データによる DMA 転送終了後にこのビットに"1"が設定されます。

注)　転送回数が 2^R 回未満の設定で、バースト転送要求を使用しない場合はこのビットに"1"を設定しないでください。

9.3.8 DMAxChnlUseburstClr(Channel useburst clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_useburst _clr (ch31)	chnl_useburst _clr (ch30)	chnl_useburst _clr (ch29)	chnl_useburst _clr (ch28)	chnl_useburst _clr (ch27)	chnl_useburst _clr (ch26)	chnl_useburst _clr (ch25)	chnl_useburst _clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_useburst _clr (ch23)	chnl_useburst _clr (ch22)	chnl_useburst _clr (ch21)	chnl_useburst _clr (ch20)	chnl_useburst _clr (ch19)	chnl_useburst _clr (ch18)	chnl_useburst _clr (ch17)	chnl_useburst _clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_useburst _clr (ch15)	chnl_useburst _clr (ch14)	chnl_useburst _clr (ch13)	chnl_useburst _clr (ch12)	chnl_useburst _clr (ch11)	chnl_useburst _clr (ch10)	chnl_useburst _clr (ch9)	chnl_useburst _clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_useburst _clr (ch7)	chnl_useburst _clr (ch6)	chnl_useburst _clr (ch5)	chnl_useburst _clr (ch4)	chnl_useburst _clr (ch3)	chnl_useburst _clr (ch2)	chnl_useburst _clr (ch1)	chnl_useburst _clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_useburst_clr	W	シングル転送許可 1: シングル転送を許可する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのシングル転送を許可します。"0"の書き込みは意味を持ちません。 シングル転送の禁止および設定の確認は、DMAxChnlUseburstSet レジスタで行います。

9.3.9　DMAxChnlReqMaskSet(Channel request mask set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_req_mask_set (ch31)	chnl_req_mask_set (ch30)	chnl_req_mask_set (ch29)	chnl_req_mask_set (ch28)	chnl_req_mask_set (ch27)	chnl_req_mask_set (ch26)	chnl_req_mask_set (ch25)	chnl_req_mask_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_req_mask_set (ch23)	chnl_req_mask_set (ch22)	chnl_req_mask_set (ch21)	chnl_req_mask_set (ch20)	chnl_req_mask_set (ch19)	chnl_req_mask_set (ch18)	chnl_req_mask_set (ch17)	chnl_req_mask_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_req_mask_set (ch15)	chnl_req_mask_set (ch14)	chnl_req_mask_set (ch13)	chnl_req_mask_set (ch12)	chnl_req_mask_set (ch11)	chnl_req_mask_set (ch10)	chnl_req_mask_set (ch9)	chnl_req_mask_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_req_mask_set (ch7)	chnl_req_mask_set (ch6)	chnl_req_mask_set (ch5)	chnl_req_mask_set (ch4)	chnl_req_mask_set (ch3)	chnl_req_mask_set (ch2)	chnl_req_mask_set (ch1)	chnl_req_mask_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_req_mask_set	R/W	DMA 要求マスク [ライト] 1: 周辺回路からの DMA 要求をマスクする [リード] 0: DMA 外部要求は有効 1: DMA 外部要求は無効 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルに対する転送要求を無効にします。"0"の書き込みは意味を持ちません。マスクを無効にする際は、DMAxChnlReqMaskClr レジスタで行います。 リードの場合、該当するチャネルの DMA 外部要求マスク有効/無効の状態が確認できます。

9.3.10 DMAxChnlReqMaskClr(Channel request mask clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_req_mask_clr (ch31)	chnl_req_mask_clr (ch30)	chnl_req_mask_clr (ch29)	chnl_req_mask_clr (ch28)	chnl_req_mask_clr (ch27)	chnl_req_mask_clr (ch26)	chnl_req_mask_clr (ch25)	chnl_req_mask_clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_req_mask_clr (ch23)	chnl_req_mask_clr (ch22)	chnl_req_mask_clr (ch21)	chnl_req_mask_clr (ch20)	chnl_req_mask_clr (ch19)	chnl_req_mask_clr (ch18)	chnl_req_mask_clr (ch17)	chnl_req_mask_clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_req_mask_clr (ch15)	chnl_req_mask_clr (ch14)	chnl_req_mask_clr (ch13)	chnl_req_mask_clr (ch12)	chnl_req_mask_clr (ch11)	chnl_req_mask_clr (ch10)	chnl_req_mask_clr (ch9)	chnl_req_mask_clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_req_mask_clr (ch7)	chnl_req_mask_clr (ch6)	chnl_req_mask_clr (ch5)	chnl_req_mask_clr (ch4)	chnl_req_mask_clr (ch3)	chnl_req_mask_clr (ch2)	chnl_req_mask_clr (ch1)	chnl_req_mask_clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_req_mask_clr	W	DMA 要求マスクの解除 1: 該当するチャネルの DMA 要求マスクを解除する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの DMA 要求マスクを無効にします。"0"の書き込みは意味を持ちません。 有効の設定および設定の確認は、DMAxChnlReqMaskSet レジスタで行います。

9.3.11　DMAxChnlEnableSet(Channel enable set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_enable_set (ch31)	chnl_enable_set (ch30)	chnl_enable_set (ch29)	chnl_enable_set (ch28)	chnl_enable_set (ch27)	chnl_enable_set (ch26)	chnl_enable_set (ch25)	chnl_enable_set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_enable_set (ch23)	chnl_enable_set (ch22)	chnl_enable_set (ch21)	chnl_enable_set (ch20)	chnl_enable_set (ch19)	chnl_enable_set (ch18)	chnl_enable_set (ch17)	chnl_enable_set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_enable_set (ch15)	chnl_enable_set (ch14)	chnl_enable_set (ch13)	chnl_enable_set (ch12)	chnl_enable_set (ch11)	chnl_enable_set (ch10)	chnl_enable_set (ch9)	chnl_enable_set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_enable_set (ch7)	chnl_enable_set (ch6)	chnl_enable_set (ch5)	chnl_enable_set (ch4)	chnl_enable_set (ch3)	chnl_enable_set (ch2)	chnl_enable_set (ch1)	chnl_enable_set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_enable_set	R/W	DMA 動作 [ライト] 1: 該当チャネルを有効にする [リード] 0: 該当チャネルは無効 1: 該当チャネルは有効 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルを有効にします。"0"の書き込みは意味を持ちません。無効にする際は、DMAxChnlEnableClr レジスタで行います。 リードの場合、該当するチャネルの有効/無効の状態が確認できます。 また、以下の場合に自動的に無効になります。 ・DMA サイクル終了 ・channel_cfg<cycle_ctrl>が"000"の制御データをリードしたとき ・バスエラーが発生した時

9.3.12 DMAxChnlEnableClr(Channel enable clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_enable_ clr (ch31)	chnl_enable_ clr (ch30)	chnl_enable_ clr (ch29)	chnl_enable_ clr (ch28)	chnl_enable_ clr (ch27)	chnl_enable_ clr (ch26)	chnl_enable_ clr (ch25)	chnl_enable_ clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_enable_ clr (ch23)	chnl_enable_ clr (ch22)	chnl_enable_ clr (ch21)	chnl_enable_ clr (ch20)	chnl_enable_ clr (ch19)	chnl_enable_ clr (ch18)	chnl_enable_ clr (ch17)	chnl_enable_ clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_enable_ clr (ch15)	chnl_enable_ clr (ch14)	chnl_enable_ clr (ch13)	chnl_enable_ clr (ch12)	chnl_enable_ clr (ch11)	chnl_enable_ clr (ch10)	chnl_enable_ clr (ch9)	chnl_enable_ clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_enable_ clr (ch7)	chnl_enable_ clr (ch6)	chnl_enable_ clr (ch5)	chnl_enable_ clr (ch4)	chnl_enable_ clr (ch3)	chnl_enable_ clr (ch2)	chnl_enable_ clr (ch1)	chnl_enable_ clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_enable_clr	W	DMA 無効 1: 該当するチャネルを無効にする 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルを無効にします。"0"の書き込みは意味を持ちません。 有効の設定および設定の確認は、DMAxChnlEnableSet レジスタで行います。 また、以下の場合に自動的に無効になります。 ・DMA サイクル終了 ・channel_cfg<cycle_ctrl>が"000"の制御データをリードしたとき ・バスエラーが発生した時

9.3.13　DMAxChnlPriAltSet(Channel primary-alternate set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_pri_alt_ set (ch31)	chnl_pri_alt_ set (ch30)	chnl_pri_alt_ set (ch29)	chnl_pri_alt_ set (ch28)	chnl_pri_alt_ set (ch27)	chnl_pri_alt_ set (ch26)	chnl_pri_alt_ set (ch25)	chnl_pri_alt_ set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_pri_alt_ set (ch23)	chnl_pri_alt_ set (ch22)	chnl_pri_alt_ set (ch21)	chnl_pri_alt_ set (ch20)	chnl_pri_alt_ set (ch19)	chnl_pri_alt_ set (ch18)	chnl_pri_alt_ set (ch17)	chnl_pri_alt_ set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_pri_alt_ set (ch15)	chnl_pri_alt_ set (ch14)	chnl_pri_alt_ set (ch13)	chnl_pri_alt_ set (ch12)	chnl_pri_alt_ set (ch11)	chnl_pri_alt_ set (ch10)	chnl_pri_alt_ set (ch9)	chnl_pri_alt_ set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_pri_alt_ set (ch7)	chnl_pri_alt_ set (ch6)	chnl_pri_alt_ set (ch5)	chnl_pri_alt_ set (ch4)	chnl_pri_alt_ set (ch3)	chnl_pri_alt_ set (ch2)	chnl_pri_alt_ set (ch1)	chnl_pri_alt_ set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_pri_alt_set	R/W	一次データ/代替データ選択 [ライト] 1: 代替データを使用する [リード] 0: 一次データ 1: 代替データ 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルで最初に使用するデータを代替に設定します。"0"の書き込みは意味を持ちません。無効にする際は、DMAxChnlEnableClr レジスタで行います。最初のデータとして代替を指定できるのは、基本モード、自動要求モード、ピンポンモードです。 リードの場合、該当するチャネルのデータが一次か代替かを確認できます。 また、以下の場合に自動的に設定が切り替わります。 ・ピンポンモード、メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで一次データによるデータ転送が終了したとき ・ピンポンモード、メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで代替データによるデータ転送が終了したとき

9.3.14 DMAxChnlPriAltClr(Channel primary-alternate clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chn_pri_alt_ clr (ch31)	chn_pri_alt_ clr (ch30)	chn_pri_alt_ clr (ch29)	chn_pri_alt_ clr (ch28)	chn_pri_alt_ clr (ch27)	chn_pri_alt_ clr (ch26)	chn_pri_alt_ clr (ch25)	chn_pri_alt_ clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chn_pri_alt_ clr (ch23)	chn_pri_alt_ clr (ch22)	chn_pri_alt_ clr (ch21)	chn_pri_alt_ clr (ch20)	chn_pri_alt_ clr (ch19)	chn_pri_alt_ clr (ch18)	chn_pri_alt_ clr (ch17)	chn_pri_alt_ clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chn_pri_alt_ clr (ch15)	chn_pri_alt_ clr (ch14)	chn_pri_alt_ clr (ch13)	chn_pri_alt_ clr (ch12)	chn_pri_alt_ clr (ch11)	chn_pri_alt_ clr (ch10)	chn_pri_alt_ clr (ch9)	chn_pri_alt_ clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chn_pri_alt_ clr (ch7)	chn_pri_alt_ clr (ch6)	chn_pri_alt_ clr (ch5)	chn_pri_alt_ clr (ch4)	chn_pri_alt_ clr (ch3)	chn_pri_alt_ clr (ch2)	chn_pri_alt_ clr (ch1)	chn_pri_alt_ clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_pri_alt_clr	W	代替データ設定の解除 1: 一次データを使用する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルのデータを一次に設定します。"0"の書き込みは意味を持ちません。代替の設定および設定の確認は、DMAxChnlPriAltSet レジスタで行います。 また、以下の場合に自動的に設定が切り替わります。 ・メモリスキャッターギャザーモードまたは周辺スキャッターギャザーモードで一次データによるデータ転送が終了したとき ・ピンポンモードで一次データによるデータ転送が終了したとき ・ピンポンモード、メモリスキャッターギャザーモード、周辺スキャッターギャザーモードで代替データによるデータ転送が終了したとき

9.3.15　DMAxChnlPrioritySet(Channel priority set Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_priority_ set (ch31)	chnl_priority_ set (ch30)	chnl_priority_ set (ch29)	chnl_priority_ set (ch28)	chnl_priority_ set (ch27)	chnl_priority_ set (ch26)	chnl_priority_ set (ch25)	chnl_priority_ set (ch24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	chnl_priority_ set (ch23)	chnl_priority_ set (ch22)	chnl_priority_ set (ch21)	chnl_priority_ set (ch20)	chnl_priority_ set (ch19)	chnl_priority_ set (ch18)	chnl_priority_ set (ch17)	chnl_priority_ set (ch16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	chnl_priority_ set (ch15)	chnl_priority_ set (ch14)	chnl_priority_ set (ch13)	chnl_priority_ set (ch12)	chnl_priority_ set (ch11)	chnl_priority_ set (ch10)	chnl_priority_ set (ch9)	chnl_priority_ set (ch8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	chnl_priority_ set (ch7)	chnl_priority_ set (ch6)	chnl_priority_ set (ch5)	chnl_priority_ set (ch4)	chnl_priority_ set (ch3)	chnl_priority_ set (ch2)	chnl_priority_ set (ch1)	chnl_priority_ set (ch0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	chnl_priority_set	R/W	優先度設定 [ライト] 1: 高優先度に設定する [リード] 0: 通常優先度 1: 高優先度 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの優先度を高優先度に設定します。"0"の書き込みは意味を持ちません。通常優先度に戻す際は、DMAxChnlPriorityClr レジスタで行います。 リードの場合、該当するチャネルが高優先度か通常優先度かを確認できます。

9.3.16 DMAxChnlPriorityClr(Channel priority clear Register)

	31	30	29	28	27	26	25	24
bit symbol	chnl_priority_ clr (ch31)	chnl_priority_ clr (ch30)	chnl_priority_ clr (ch29)	chnl_priority_ clr (ch28)	chnl_priority_ clr (ch27)	chnl_priority_ clr (ch26)	chnl_priority_ clr (ch25)	chnl_priority_ clr (ch24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	chnl_priority_ clr (ch23)	chnl_priority_ clr (ch22)	chnl_priority_ clr (ch21)	chnl_priority_ clr (ch20)	chnl_priority_ clr (ch19)	chnl_priority_ clr (ch18)	chnl_priority_ clr (ch17)	chnl_priority_ clr (ch16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	chnl_priority_ clr (ch15)	chnl_priority_ clr (ch14)	chnl_priority_ clr (ch13)	chnl_priority_ clr (ch12)	chnl_priority_ clr (ch11)	chnl_priority_ clr (ch10)	chnl_priority_ clr (ch9)	chnl_priority_ clr (ch8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	chnl_priority_ clr (ch7)	chnl_priority_ clr (ch6)	chnl_priority_ clr (ch5)	chnl_priority_ clr (ch4)	chnl_priority_ clr (ch3)	chnl_priority_ clr (ch2)	chnl_priority_ clr (ch1)	chnl_priority_ clr (ch0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	chnl_priority_clr	W	高優先度設定の解除 [ライト] 1: 通常優先度に設定する 各ビットが指定された番号のチャネルに対応しています。 "1"をライトすることで該当するチャネルの優先度を通常に戻します。"0"の書き込みは意味を持ちません。高優先度の設定および設定の確認は、DMAxChnlPrioritySet レジスタで行います。

9.3.17　DMAxErrClr(Bus error clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	err_clr
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	"0"が読めます。
0	err_clr	R/W	バスエラー [ライト] 1: バスエラー解除 [リード] 0: バスエラーなし 1: バスエラー状態 リードするとバスエラーが発生しているかどうかを確認できます。 "1"をライトすることでバスエラーを解除することができます。"0"の書き込みは意味を持ちません。

9.4 動作説明

本 DMA は、チャネル制御データによって制御されます。チャネル制御データはメモリ上に置かれたデータで、1 チャネルにつき 4 ワードのデータをチャネル数分連続した空間に配置します。

チャネル制御データには、一次データと代替データがあります。動作モードによってどちらかを設定レジスタで選択して使用する場合と、両方を使用する場合があります。

9.4.1 チャネル制御データメモリマップ

図 9-2 にチャネル制御データのメモリマップ例を示します。

一次データ用のスタートアドレスを DMAxCtrlBasePtr に、代替データ用のスタートアドレスを DMAxAltCtrlBasePtr に設定します。

Alternate Ch31	0x3F0	Primary Ch31	0x1F0
Alternate Ch30	0x3E0	Primary Ch30	0x1E0
Alternate Ch29	0x3D0	Primary Ch29	0x1D0
Alternate Ch28	0x3C0	Primary Ch28	0x1C0
Alternate Ch27	0x3B0	Primary Ch27	0x1B0
Alternate Ch26	0x3A0	Primary Ch26	0x1A0
Alternate Ch25	0x390	Primary Ch25	0x190
Alternate Ch24	0x380	Primary Ch24	0x180
Alternate Ch23	0x370	Primary Ch23	0x170
Alternate Ch22	0x360	Primary Ch22	0x160
Alternate Ch21	0x350	Primary Ch21	0x150
Alternate Ch20	0x340	Primary Ch20	0x140
Alternate Ch19	0x330	Primary Ch19	0x130
Alternate Ch18	0x320	Primary Ch18	0x120
Alternate Ch17	0x310	Primary Ch17	0x110
Alternate Ch16	0x300	Primary Ch16	0x100
Alternate Ch15	0x2F0	Primary Ch15	0x0F0
Alternate Ch14	0x2E0	Primary Ch14	0x0E0
Alternate Ch13	0x2D0	Primary Ch13	0x0D0
Alternate Ch12	0x2C0	Primary Ch12	0x0C0
Alternate Ch11	0x2B0	Primary Ch11	0x0B0
Alternate Ch10	0x2A0	Primary Ch10	0x0A0
Alternate Ch9	0x290	Primary Ch9	0x090
Alternate Ch8	0x280	Primary Ch8	0x080
Alternate Ch7	0x270	Primary Ch7	0x070
Alternate Ch6	0x260	Primary Ch6	0x060
Alternate Ch5	0x250	Primary Ch5	0x050
Alternate Ch4	0x240	Primary Ch4	0x040
Alternate Ch3	0x230	Primary Ch3	0x030
Alternate Ch2	0x220	Primary Ch2	0x020
Alternate Ch1	0x210	Primary Ch1	0x010
Alternate Ch0	0x200	Primary Ch0	0x000

Reserved	0x00C
Control	0x008
Destination End Pointer	0x004
Source End Pointer	0x000

図 9-2 制御データのメモリマップ

図 9-2 は、32 チャネルすべてが使用できる場合のメモリマップです。使用できるチャネル数により必要となる領域は異なります。チャネル数とアドレスの関係を表 9-2 に示します。

表 9-2 チャネル制御データのアドレスビット設定

チャネル	アドレス [9]	[8]	[7]	[6]	[5]	[4]	[3:0]	設定可能なベースアドレス
0	-	-	-	-	-	A	チャネル制御データ指定	0xXXXX_XX00, 0xXXXX_XX20, 0xXXXX_XX40, 0xXXXX_XX60, 0xXXXX_XX80, 0xXXXX_XXA0, 0xXXXX_XXC0, 0xXXXX_XXE0
0 ~ 1	-	-	-	-	A	C[0]		0xXXXX_XX00, 0xXXXX_XX40, 0xXXXX_XX80, 0xXXXX_XXC0
0 ~ 3	-	-	-	A	C[1:0]			0xXXXX_XX00, 0xXXXX_XX80
0 ~ 7	-	-	A	C[2:0]				0xXXXX_X000, 0xXXXX_X100, 0xXXXX_X200, 0xXXXX_X300, 0xXXXX_X400, 0xXXXX_X500, 0xXXXX_X600, 0xXXXX_X700, 0xXXXX_X800, 0xXXXX_X900, 0xXXXX_XA00, 0xXXXX_XB00, 0xXXXX_XC00, 0xXXXX_XD00, 0xXXXX_XE00, 0xXXXX_XF00
0 ~ 15	-	A	C[3:0]					0xXXXX_X000, 0xXXXX_X200, 0xXXXX_X400, 0xXXXX_X600, 0xXXXX_X800, 0xXXXX_XA00, 0xXXXX_XC00, 0xXXXX_XE00
0 ~ 31	A	C[4:0]						0xXXXX_X000, 0xXXXX_X400, 0xXXXX_X800, 0xXXXX_XC00

A : 一次/代替指定(0 : 一次、1 : 代替)
C[x:0] : チャネル番号の指定

9.4.2　チャネル制御データの構造

チャネル制御データは以下の 3 つのデータを含みます。

- 転送元データの最終アドレス
- 転送先の最終アドレス
- 制御データ

それぞれの内容について以下に説明します。

9.4.2.1　転送データ最終アドレス

転送するデータの最終アドレスを設定します。アドレスのアライメントは、転送データサイズに合わせてください。このアドレスを元に DMA が転送元のスタートアドレスを計算します。

31 ... 0
src_data_end_ptr

bit	bitsymbol	機能
[31:0]	src_data_end_ptr	転送元データの最終アドレス

9.4.2.2 転送先の最終アドレス

転送先の最終アドレスを設定します。アドレスのアライメントは、転送データサイズに合わせてください。このアドレスを元に DMA が転送先のスタートアドレスを計算します。

31	0
dst_data_end_ptr	

bit	bitsymbol	機能
[31:0]	dst_data_end_ptr	転送先の最終アドレス

9.4.2.3 制御データ設定

31 30	29 28	27 26	25 24	23 18	17 14	13 4	3	2 0
dst_inc	dst_size	src_inc	src_size	-	R_power	n_minus_1	next_useburst	cycle_ctrl

bit	bit symbol	機能
[31:30]	dst_inc	転送先アドレスのインクリメント 注 2) 00: 1byte 01: 2byte 10: 4byte 11: インクリメントなし
[29:28]	dst_size	転送先データサイズ(注 1) 00: 1byte 01: 2byte 10: 4byte 11: Reserved
[27:26]	src_inc	転送元アドレスのインクリメント 注 2) 00: 1byte 01: 2byte 10: 4byte 11: インクリメントなし
[25:24]	src_size	転送元データサイズ(注 1) 00: 1byte 01: 2byte 10: 4byte 11: Reserved
[23:18]	-	"000000"を設定してください

bit	bit symbol	機能
[17:14]	R_power	アービトレーション 0000: 1 回転送後 0001: 2 回転送後 0010: 4 回転送後 0011: 8 回転送後 0100: 16 回転送後 0101: 32 回転送後 0110: 64 回転送後 0111: 128 回転送後 1000: 256 回転送後 1001: 512 回転送後 1010 - 1111: アービトレーションしない 設定した回数の転送後毎に、アービトレーションをします。
[13:4]	n_minus_1	転送回数 0x000: 1 回 0x001: 2 回 0x002: 3 回 : 0x3FF: 1024 回
[3]	next_useburst	シングル転送設定変更 0: <chnl_useburst_set>の値を変更しない 1: <chnl_useburst_set>に"1"を設定する 周辺スキャッターギャザーモードで代替データを用いた DMA 転送終了時に <chnl_useburst_set>ビットに"1"を設定するかどうかを指定します。 注)最後から 2 番目の 2^R 回転送("R"は<R_power>で設定)終了時に残りの転送回数が 2^R 回未満の場合、<chnl_useburst_set>は自動的に"0"にクリアされますが、このビットを"1"とすることで、<chnl_userburst_set>を"1"に設定できます。
[2:0]	cycle_ctrl	動作モード 000: 無効。DMA は動作を停止します。 001: 基本モード 010: 自動要求モード 011: ピンポンモード 100: メモリスキャッターギャザーモード(一次データ) 101: メモリスキャッターギャザーモード(代替データ) 110: 周辺スキャッターギャザーモード(一次データ) 111: 周辺スキャッターギャザーモード(代替データ)

注 1)　<dst_size>は<src_size>と同じ値を設定してください。
注 2)　<dst_size>と<src_size>の設定により、<dst_inc>と<src_inc>の設定は以下のように制限されます。

<src_inc>/<dst_inc>	<src_size>/<dst_size>		
	00 (1byte)	01 (2byte)	10 (4byte)
00(1byte)	o	-	-
01(2byte)	o	o	-
10(4byte)	o	o	o
インクリメントなし	o	o	o

9.4.3　動作モード

チャネル制御データの channel_cfg<cycle_ctrl>で設定する動作モードについて説明します。

9.4.3.1 無効

転送終了後に DMA は動作モードを無効に設定します。これにより、再度同じ転送が行われることを防ぎます。また、ピンポンモード、メモリスキャッターギャザーモード、周辺スキャッターギャザーモードの際に、無効設定のデータを読み込むと処理を終了します。

9.4.3.2 基本モード

基本モードでは、一次または代替のどちらのデータ構造を使用するか設定が可能です。

転送要求により転送を開始します。

<R_power>設定の転送ごとにアービトレーションを行い、より高い優先度の要求があればチャネルを切り替えます。動作中のチャネルの転送要求があると、転送を継続します。

<n_minus_1>に設定された回数の転送を行った後、転送終了割り込みを発生します。

9.4.3.3 自動要求モード

このモードでは 1 回の転送要求で転送を終了させることができます。一次または代替のどちらのデータ構造を使用するか設定が可能です。

転送要求により転送を開始します。

<R_power>設定の転送ごとに、より高い優先度の要求があればチャネルを切り替えます。なければ転送を継続します。

<n_minus_1>に設定された回数の転送を行った後、転送終了割り込みを発生します。

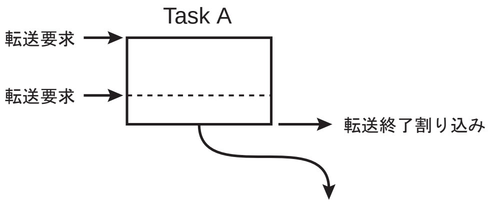
9.4.3.4 ピンポンモード

ピンポンモードでは、一次データと代替データを交互に使用しながら連続した DMA 転送を行います。<cycle_ctrl>に無効("000")が設定されたデータを読み込むか、チャネルが無効に設定されると転送を終了します。一次データおよび代替データによる転送が終了するごとに転送終了割り込みを発生します。

準備：

一次データと代替データを準備し、DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャネルのビットに"1"を設定します。

Task A: 一次データ
<cycle_ctrl[2:0]> = "011"
(ピンポンモード)
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0> =
"0x005"
(6 回)



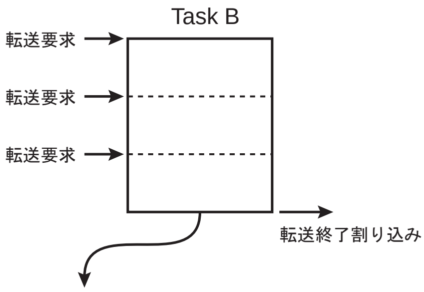
転送要求を受け、DMA は 4 回の転送を実施します。

アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により残りの 2 回の転送を実施します。

転送終了割り込み要求を発生し、アービトレーションを実施します。

Task A 終了後、Task C 用の一次データ設定が可能になります。

Task B: 代替データ
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x00B"
(12 回)



転送要求を受け、DMA は 4 回の転送を実施します。

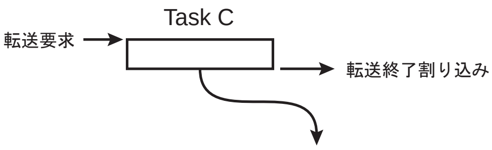
アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 4 回の転送を実施します。

アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 4 回の転送を実施します。

転送終了割り込み要求を発生し、アービトレーションを実施します。

Task B 終了後、Task D 用の代替データ設定が可能になります。

Task C: 一次データ
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0001"
(2 回)
<n_minus_1[9:0]> =
"0x001"
(2 回)

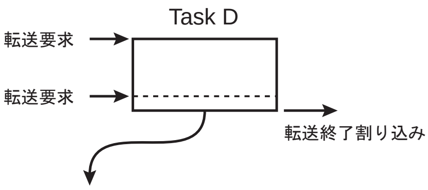


転送要求を受け、DMA は 2 回の転送を実施します。

転送終了割り込み要求を発生し、アービトレーションを実施します。

Task C 終了後、Task E 用の代替データ設定が可能になります。

Task D: 代替データ
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x004"
(5 回)

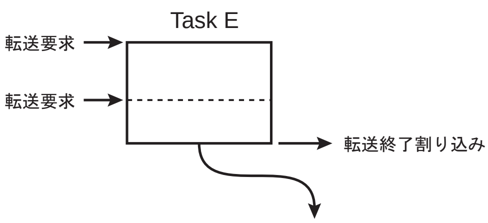


転送要求を受け、DMA は 4 回の転送を実施します。

アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 1 回の転送を実施します。

転送終了割り込み要求を発生し、アービトレーションを実施します。

TaskE: 一次データ
<cycle_ctrl[2:0]> = "011"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x006"
(7 回)

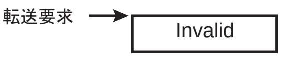


転送要求を受け、DMA は 4 回の転送を実施します。

アービトレーションを実施します。他の優先度の高い要求がない場合、該当チャネルへの転送要求により 3 回の転送を実施します。

転送終了割り込み要求を発生し、アービトレーションを実施します。

最終: 代替データ
<cycle_ctrl[2:0]> = "000"
(無効)



転送要求を受けますが、<cycle_ctrl>に無効が設定されているため、処理が終了します。

(Task E の<cycle_ctrl[2:0]>を"001"の通常モードに設定することによって処理を終了させることもできます。)

9.4.3.5 メモリスキャッターギャザーモード

メモリスキャッターギャザーモードでは、一次データは代替データ用のデータを転送するために使用します。

転送要求を受けると、一次データを用いて代替データの 4 つのデータを転送し、新たな転送要求なしに続けて代替データによるデータ転送を行います。その後、一次データによる代替データの転送と代替データによる転送を、<cycle_ctrl[2:0]>に無効("000")または基本モード("001)が設定されたデータを読み込むまで行います。この間、新たな転送要求必要ありません。転送終了後、割り込みを発生します。

このモードでは、一次データの channel_cfg の設定を以下のように設定する必要があります。

表 9-3 メモリスキャッターギャザーモード(一次データ)設定値

bit	bit symbol	設定値	説明
[31:30]	dst_inc	10	転送先アドレスのインクリメントとして 4byte を指定
[29:28]	dst_size	10	転送先サイズとして 4byte を指定
[27:26]	src_inc	10	転送元アドレスのインクリメントとして 4byte を指定
[25:24]	src_size	10	転送元サイズとして 4byte を指定
[17:14]	R_power	0010	アービトレーションサイクルとして 4 を指定
[13:4]	n_minus_1	N	準備する代替タスク数×4 を指定
[3]	next_useburst	0	メモリスキャッターギャザーモードでは"0"を指定
[2:0]	cycle_ctrl	100	メモリスキャッターギャザーモード(一次データ)を指定 注)

注) <n_minus_1>に設定された回数の転送が終了すると、自動的に"000"の無効が設定されます。

準備：

一次データを準備します。<cycle_ctrl>に"100"を設定し、転送回数<n_minus_1>には、4 つのタスク分の 4 × 4 = 16 を設定します。

タスク A,B,C,D 用の代替データを<src_data_end_ptr>に設定されたメモリ位置に準備します。

DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャネルのビットに"1"を設定します。

Copy A: 一次データ

<cycle_ctrl[2:0]> = "100"

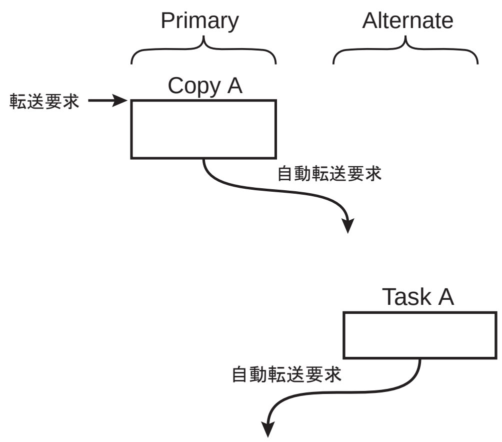
(メモリスキャッターギャザー)

<R_power[3:0]> = "0010"

(4 回)

<n_minus_1[9:0]> = "0x00F"

(16 回)



転送要求を受け、DMA は Task A の代替データ用の 4 回の転送を実施します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。

Task A: 代替データ

<cycle_ctrl[2:0]> = "100"

<R_power[3:0]> = "0010"

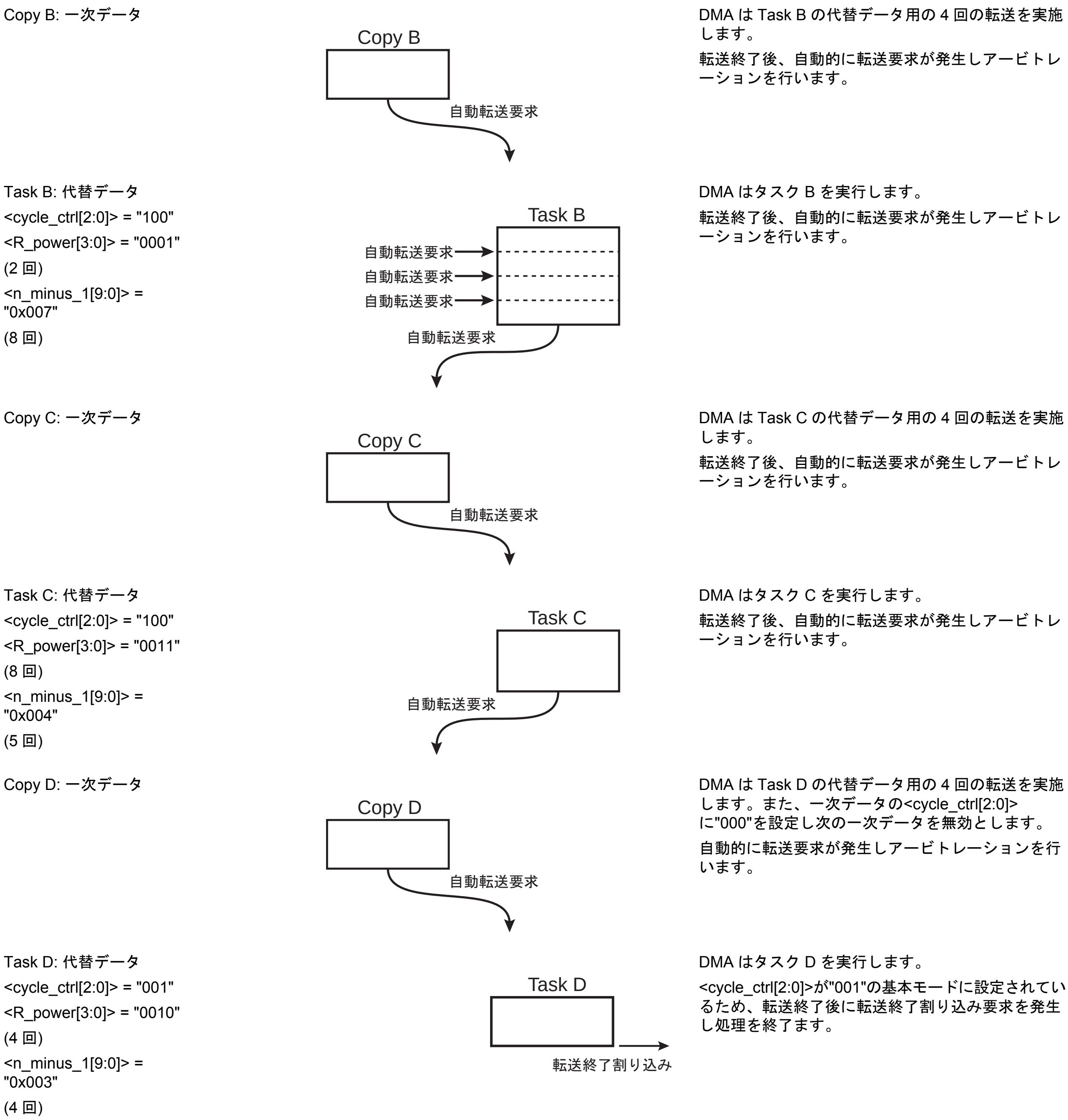
(4 回)

<n_minus_1[9:0]> = "0x002"

(3 回)

DMA はタスク A を実行します。

転送終了後、自動的に転送要求が発生しアービトレーションを行います。



9.4.3.6　周辺スキャッターギャザーモード

周辺スキャッターギャザーモードでは、一次データは代替データ用のデータを転送するために使用します。

転送要求を受けると、一次データを用いて代替データの 4 つのデータを転送し、続けて代替データによるデータ転送を行います。

その後、転送要求が発生すると一次データによる代替データの転送と代替データによる転送を、<cycle_ctrl[2:0]>に無効("000")または基本モード("001)が設定されたデータを読み込むまで行います。この間、新たな転送要求必要ありません。転送終了後、割り込みを発生します。

このモードでは、channel_cfg の設定を以下のようにする必要があります。

表 9-4 周辺スキャッターギャザーモード(一次データ)固定値

bit	bit symbol	設定値	説明
[31:30]	dst_inc	10	転送先アドレスのインクリメントとして 4byte を指定
[29:28]	dst_size	10	転送先サイズとして 4byte を指定
[27:26]	src_inc	10	転送元アドレスのインクリメントとして 4byte を指定
[25:24]	src_size	10	転送元サイズとして 4byte を指定
[17:14]	R_power	0010	アービトレーションサイクルとして 4 を指定
[13:4]	n_minus_1	N	準備する代替タスク数×4 を指定
[2:0]	cycle_ctrl	110	周辺スキャッターギャザーモード(一次データ)を指定

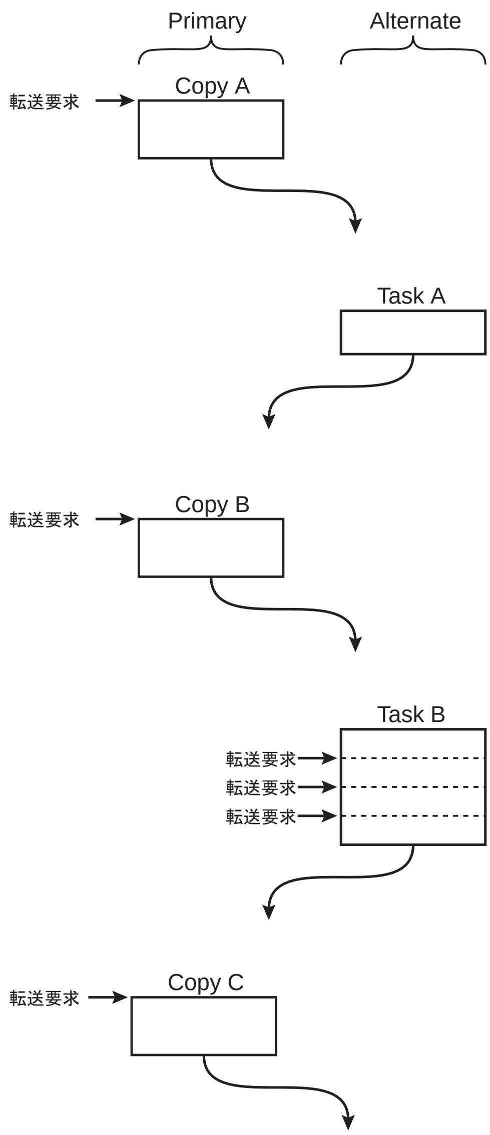
注) <n_minus_1>に設定された回数の転送が終了すると、自動的に"000"の無効が設定されます。

準備：

一次データを準備します。<cycle_ctrl>に"110"を設定し、転送回数<n_minus_1>には、4 つのタスク分の 4 × 4 = 16 を設定します。

タスク A,B,C,D 用の代替データを<src_data_end_ptr>に設定されたメモリ位置に準備します。

DMAxCfg<master_enable>および DMAxChnlEnableSet の該当チャネルのビットに"1"を設定します。



Copy A: 一次データ
<cycle_ctrl[2:0]> = "110"
(周辺スキャッターギャザー)
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x00F"
(16 回)

転送要求を受け、DMA は Task A の代替データ用の 4 回の転送を実施します。

転送終了後、自動的にタスク A の処理に移行します。

Task A: 代替データ
<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> = "0x002"
(3 回)

DMA はタスク A を実行します。

転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

Copy B: 一次データ

DMA は Task B の代替データ用の 4 回の転送を実施します。

転送終了後、自動的にタスク B の処理に移行します。

Task B: 代替データ
<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0001"
(2 回)
<n_minus_1[9:0]> = "0x007"
(8 回)

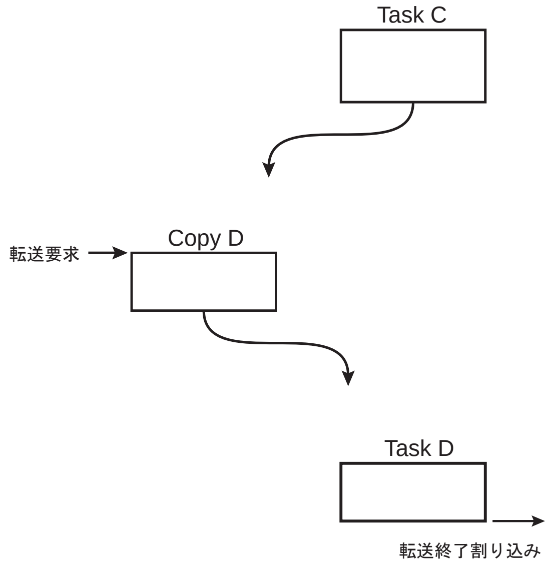
DMA はタスク B を実行します。2^R 回転送ごとにアービトレーションが発生するため、タスク B が終了するためには少なくとも 3 回の転送要求が必要です。

転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

Copy C: 一次データ

DMA は Task C の代替データ用の 4 回の転送を実施します。

転送終了後、自動的にタスク C の処理に移行します。



Task C: 代替データ
<cycle_ctrl[2:0]> = "111"
<R_power[3:0]> = "0011"
(8 回)
<n_minus_1[9:0]> =
"0x004"
(5 回)

DMA はタスク C を実行します。

転送終了後、周辺機能からの転送要求があり、最高優先度の場合次の処理を開始します。

Copy D: 一次データ

DMA は Task D の代替データ用の 4 回の転送を実施します。また、一次データの<cycle_ctrl[2:0]>に"000"を設定し次の一次データを無効とします。

自動的にタスク D の処理に移行します。

Task D: 代替データ
<cycle_ctrl[2:0]> = "001"
<R_power[3:0]> = "0010"
(4 回)
<n_minus_1[9:0]> =
"0x003"
(4 回)

DMA はタスク D を実行します。

<cycle_ctrl[2:0]>が"001"の基本モードに設定されているため、転送終了後に転送終了割り込み要求を発生し処理を終了します。

9.5 使用上の注意

下記の周辺機能の DMA 転送要求を使用して転送を行う場合、使い方に注意が必要です。

- 同期式シリアルインタフェース(SSP)
- 4 バイト FIFO 付きシリアルチャネル(SIO/UART)

9.5.1 SSP を使用する場合

FIFO のウォーターマークレベルと転送回数を考慮して使用する必要があります。

送信、受信それぞれ以下の方法で転送を行ってください。

- 送信

  転送モードは基本モードを推奨します。

  シングル転送は禁止してください。

  転送回数により以下の 2 つの方法があります。

  a. アービトレーション設定を"1 回転送後"として使用する

  すべての場合に使用できる方法です。

  制御データのアービトレーション<R_power>設定を"0000"としてください。

  b. アービトレーションとウォータマークレベルをあわせて使用する

  転送回数が FIFO のウォーターマークレベルの倍数で、ウォーターマークレベルとアービトレーションの転送回数が同じ場合に使用できる方法です。

  制御データのアービトレーション<R_power>設定を、FIFO のウォーターマークレベルとあわせてください。

- 受信

  転送回数により以下の方法で使用してください。

  a. ウォーターマークレベル未満

  シングル転送要求のみ発生します。

  転送モードは基本モードを推奨します。

  制御データのアービトレーション<R_power>設定を"0000"としてください。

  b. ウォーターマークレベルの倍数

  シングル転送は禁止してください。

  転送モードは基本モードを推奨します。

  制御データのアービトレーション<R_power>設定を、FIFO のウォーターマークレベルとあわせてください。

  c. 上記以外

  転送モードは周辺スキャッタギャザーモードを使用してください。

  2 つのタスクを準備します。

  1 つ目のタスクは<b.>と同じ設定にします。シングル転送を禁止し、<R_power>設定を FIFO のウォーターマークレベルとあわせ、ウォーターマークレベルの倍数分の転送を行います。

  2 つ目のタスクは<a.>と同じ設定にします。シングル転送にて、<R_power>設定を"0000"とし、残りのデータを転送します。

9.5.2　SIO/UART を使用する場合

以下の点に注意して使用してください。

- 転送モードは基本モードを推奨します。
- アービトレーションは"1 回転送後"にしてください。
  制御データのアービトレーション<R_power>設定を"0000"としてください。
- SIO/UART の FIFO は使用しないでください。
  SIO/UART は、シングルバッファまたはダブルバッファの設定で使用してください。

転送開始が待たされて新たな要求が同一チャネルで発生した場合、転送は 1 回しか行われません。確実に転送が行われるよう、プログラム設計の際に考慮してください。

転送開始が待たされる状況として、以下のような場合が考えられます。

- 同一ユニット内の優先度の高い転送要求が発生した場合
- 他の優先度の高いバスマスタとアクセス対象が同じ場合

本 μDMA コントローラは、前処理/後処理に約 11 クロック、周辺機能と内蔵 RAM 間の 1 データの転送に約 5 クロックかかります。転送の待ち時間の目安としてください。

第 10 章　入出力ポート

本章では、ポート関連のレジスタとその設定および回路について説明します。

10.1 レジスタ説明

ポートを使用する際には以下のレジスタを設定する必要があります。

レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		設定値	
PxDATA	データレジスタ	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
PxCR	出力コントロールレジスタ	0 : 出力禁止 1 : 出力許可	出力の制御を行います。
PxFRn	ファンクションレジスタ n	0 : PORT 1 : 機能	機能設定を行ないます。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。
PxPUP	プルアップコントロールレジスタ	0 : プルアップ禁止 1 : プルアップ許可	プログラマブルプルアップを制御します。
PxPDN	プルダウンコントロールレジスタ	0 : プルダウン禁止 1 : プルダウン許可	プログラマブルプルダウンを制御します。
PxIE	入力コントロールレジスタ	0 : 入力禁止 1 : 入力許可	入力の制御を行ないます。 PxIE をイネーブルにしてから外部データが PxDATA に反映されるまで若干の時間が必要です。

10.1.1　レジスター覧

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

機能の存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

レジスタ名	Address (Base+)	ポート A	ポート B	ポート C	ポート D
データ レジスタ	0x0000	PADATA	PBDATA	PCDATA	PDDATA
出力コントロールレジスタ	0x0004	PACR	PBCR	PCCR	PDCR
ファンクションレジスタ 1	0x0008	PAFR1	PBFR1	PCFR1	PDFR1
プルアップコントロールレジスタ	0x002C	PAPUP	PBPUP	PCPUP	PDPUP
プルダウンコントロールレジスタ	0x0030	–	–	PCPDN	–
入力コントロールレジスタ	0x0038	PAIE	PBIE	PCIE	PDIE

注)　"–"表記のアドレスにはアクセスしないでください。

10.1.2 ポート機能と設定一覧

以下に各ポートの機能とレジスタ設定についての一覧を示します。

- 「表 10-1 ポート A レジスタ設定」
- 「表 10-2 ポート B レジスタ設定」
- 「表 10-3 ポート C レジスタ設定」
- 「表 10-4 ポート D レジスタ設定」

PxFRn の欄は、設定の必要なファンクションレジスタを示します。このレジスタを"1"に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の網掛けのビットはリードすると"0" が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0/1"は任意に設定可能であることを示します。

10.1.2.1 PORT A

表 10-1 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	PADATA	PACR	PAFRn	PAPUP	PAPDN	PAIE
PA0	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	SP0CLK	Input	FT2	0/1	0	PAFR1	0/1		1
		Output		0/1	1	PAFR1	0/1		0
PA1	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	SP0DO	Output	FT2	0/1	1	PAFR1	0/1		0
PA2	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	SP0DI	Input	FT2	0/1	0	PAFR1	0/1		1
PA3	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	SP0FSS	Input	FT2	0/1	0	PAFR1	0/1		1
		Output		0/1	1	PAFR1	0/1		0
PA4	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	SC0SCLK	Input	FT1	0/1	0	PAFR1	0/1		1
		Output		0/1	1	PAFR1	0/1		0
PA5	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	SC0RXD	Input	FT1	0/1	0	PAFR1	0/1		1

表 10-1 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ					
				PADATA	PACR	PAFRn	PAPUP	PAPDN	PAIE
PA6	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	SC0TXD	Output	FT1	0/1	1	PAFR1	0/1		0
PA7	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	INT1	Input	FT4	0/1	0	0	0/1		1

10.1.2.2 PORT B

表 10-2 ポート B レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ					
				PBDATA	PBCR	PBFRn	PBPUP	PBPDN	PBIE
PB0	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	TB0IN0	Input	FT1	0/1	0	PBFR1	0/1		1
PB1	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	TB0OUT	Output	FT1	0/1	1	PBFR1	0/1		0
PB2	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	TB1IN0	Input	FT1	0/1	0	PBFR1	0/1		1
PB3	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	TB1OUT	Output	FT1	0/1	1	PBFR1	0/1		0
PB4	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	DSADEOC	Output	FT1	0/1	1	PBFR1	0/1		0
PB5	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	$\overline{\text{DSADTRG}}$	Input	FT1	0/1	0	PBFR1	0/1		1
PB6	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
PB7	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0

10.1.2.3　PORT C

表 10-3 ポート C レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	PCDATA	PCCR	PCFRn	PCPUP	PCPDN	PCIE
PC0	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
	INT0	Input	FT4	0/1	0	0	0/1		1
PC1	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
PC2	リセット後(注)			0	1	PCFR1	1		1
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0
PC3	リセット後(注)			0	0	PCFR1	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0
PC4	リセット後			0	0	0	0		0
	Input Port	Input		0/1	0	0	0/1		1
	Output Port	Output		0/1	1	0	0/1		0

注)　リセット解除後、必要に応じ設定を変更してください。

10.1.2.4 PORT D

表 10-4 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	PDDATA	PDCR	PDFRn	PDPUP	PDPDN	PDIE
PD0	リセット後			0	0		0		0
	Input Port	Input		0/1	0		0/1		1
	Output Port	Output		0/1	1		0/1		0
	X1: 発振子	Input		0/1	0		0		0
	X1: クロック入力	Input		0/1	0		0		0
PD1	リセット後			0	0		0		0
	Input Port	Input		0/1	0		0/1		1
	Output Port	Output		0/1	1		0/1		0
	X2	Input		0/1	0		0		0

注) 外部高速発振接続端子(X1 または X2)を使用する場合はポート D のすべてのレジスタを"0"(Disable)にしてください。また外部高速発振を使用する場合は CGxOSCEN<EHOSCEN>を設定してください。設定値については「クロック制御」章を参照してください。

10.2　ポート回路図

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

回路図内の"ダイレクトリセット"は、電源投入時に有効になります。

10.2.1　タイプ FT1

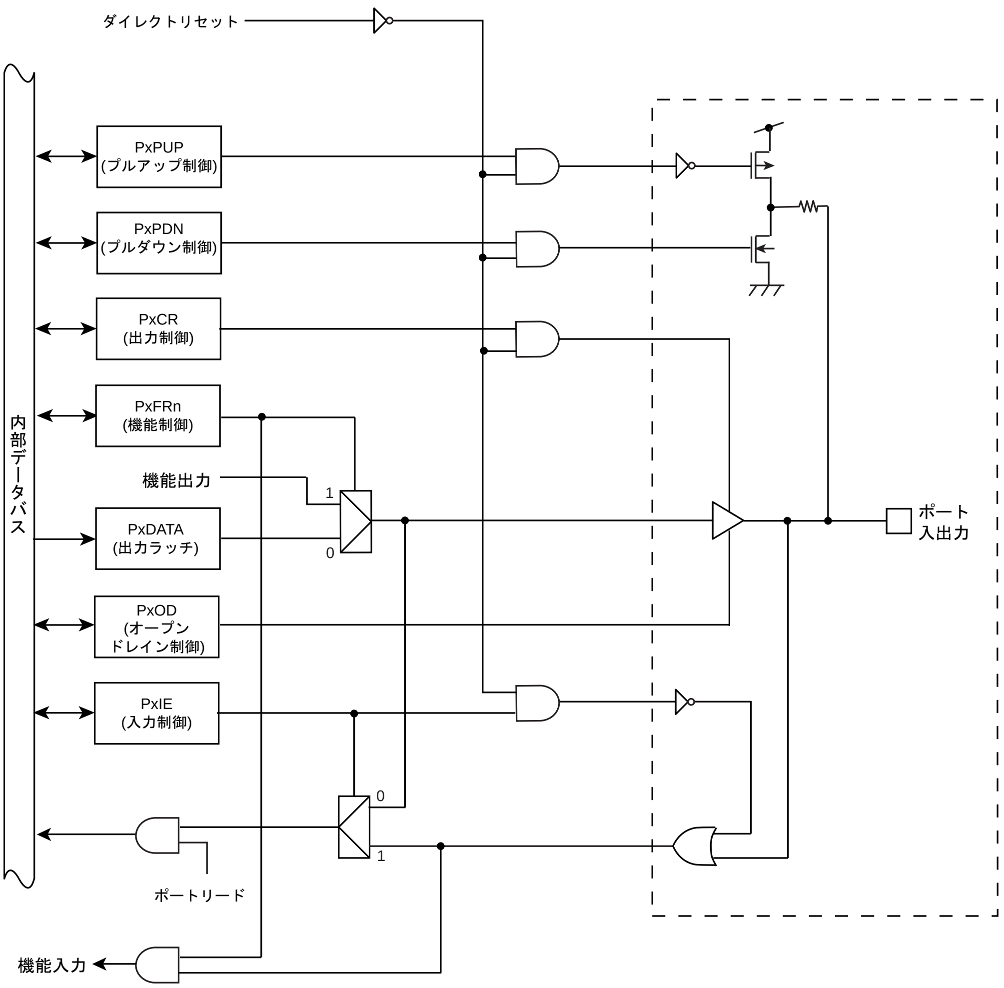


図 10-1 タイプ FT1

10.2.2　タイプ FT2

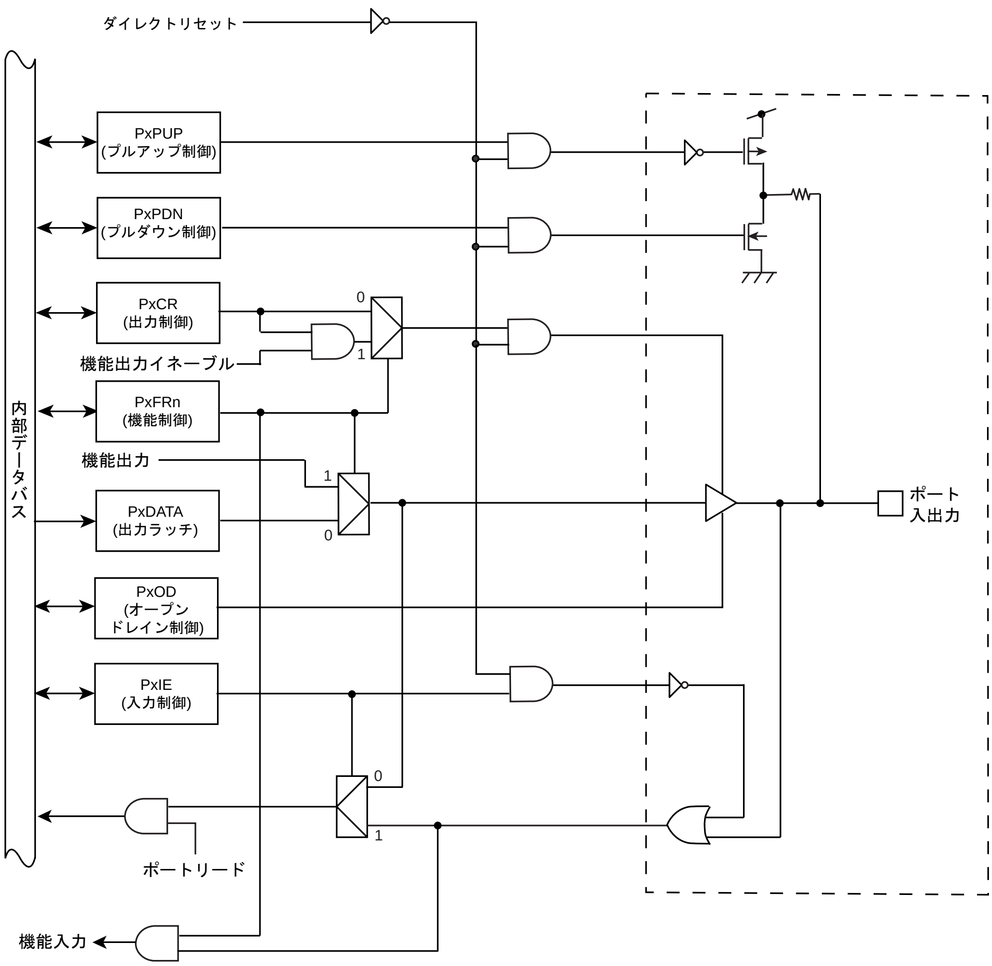


図 10-2 タイプ FT2

10.2.3　タイプ FT4

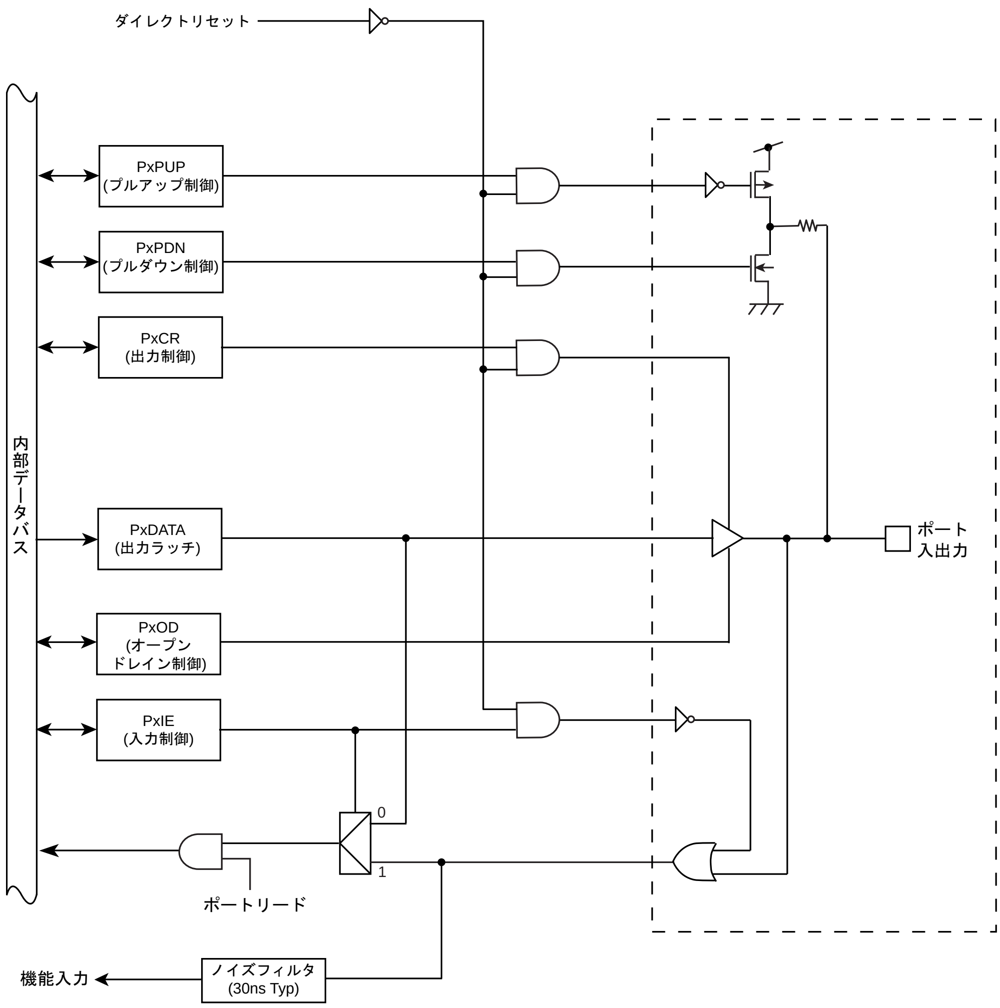


図 10-3 タイプ FT4

第 11 章　16 ビットタイマ/イベントカウンタ(TMRB)

11.1　概要

TMRB は、次の動作モードをもっています。

・ インタバルタイマモード
・ イベントカウンタモード
・ プログラマブル矩形波出力 (PPG) モード
・ プログラマブル矩形波出力 (PPG) 外部トリガ出力モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

・ 周波数測定
・ パルス幅測定

以下の説明中、"x"はチャネル番号を表します。

11.2　構成

TMRB は、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

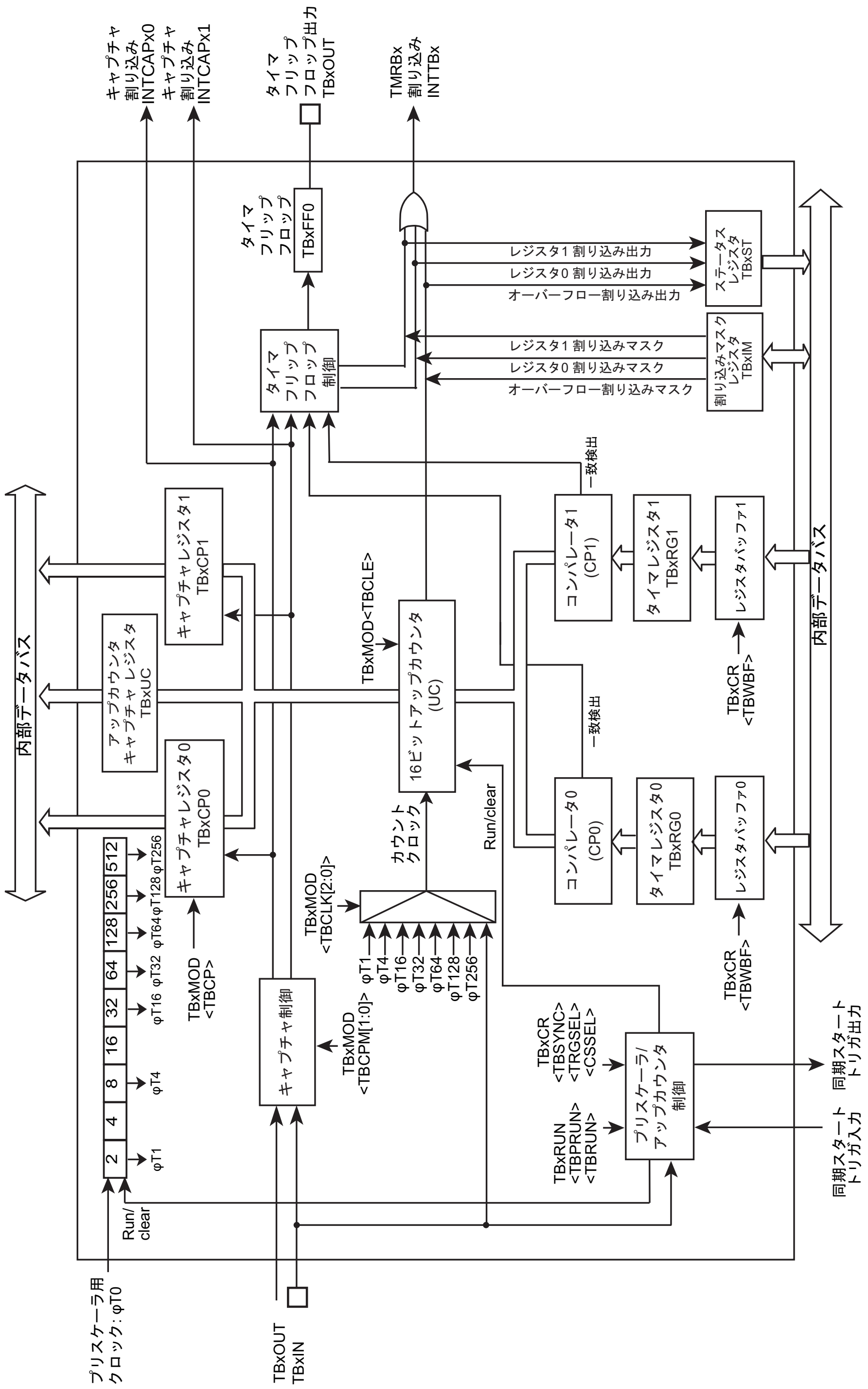


図 11-1 TMRB ブロック図

11.3 レジスタ説明

11.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C

注) タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施して下さい。

11.3.2　TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行ないます。
5-0	−	R	リードすると"0"が読めます。

11.3.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
1	−	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

11.3.4　TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	TBSYNC	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6	–	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャネルごと) 1: 同期動作
4	–	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1:動作
2	–	R/W	"0"を書いてください。
1	TRGSEL	R/W	外部トリガエッジ選択 0: 立ち上がり 1:立ち下がり 外部トリガ(TBxIN)でのカウントスタート選択時のカウントスタートのエッジを選択します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1:外部トリガ

11.3.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	TBCPM		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0"を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	TBCPM[1:0]	R/W	キャプチャタイミング 00: ディセーブル 01: Reserved 10: TBxIN↑ TBxIN↓ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 11: TBxFF0↑ TBxFF0↓ TBxFF0 の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、TBxFF0 の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込みます。
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注) TMRBx が動作中に、TBxMOD レジスタの設定変更を行なわないでください。

11.3.6　TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care リードすると"11" が読めます。

11.3.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフロー割り込み要求フラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致(TBxRG1)割り込み要求フラグ 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致(TBxRG0)割り込み要求フラグ 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。
注 2) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。
注 3) フラグをクリアするためには TBxST をリードしてしてください。

11.3.8　TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致(TBxRG1)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする TBxRG1 との一致割り込み要求をマスクする／しないを設定します。
0	TBIM0	R/W	一致(TBxRG0)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする TBxRG0 との一致割り込み要求をマスクする／しないを設定します。

注)　TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

11.3.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ値をキャプチャした値 カウンタ動作中に TBxUC をリードすると、アップカウンタの値をキャプチャします。

11.3.10　TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

11.3.11　TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

11.3.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

11.3.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

11.4　動作説明

11.4.1　プリスケーラ

アップカウンタのソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。

11.4.2　アップカウンタ(UC)

16 ビットのバイナリカウンタです。

11.4.2.1　ソースクロック

ソースクロックは TBxMOD<TBCLK[2:0]>で設定することができます。

プリスケーラ出力クロック φT1, φT4, φT16, φT32, φT64, φT128, φT256 または、TBxIN 入力のいずれかを選択できます。

11.4.2.2　動作開始と停止

カウンタのスタート方法には、ソフトスタート、外部トリガスタート、同期スタートがあります。

1. ソフトスタート

   <TBRUN> に "1"を設定することでカウントを開始します。"0"でカウント停止と同時にアップカウンタのクリアを行います。

2. 外部トリガスタート

   外部トリガカウントスタートモードでは、外部信号でタイマのカウントスタートが可能となります。

   TBxCR<CSSEL>に"1"を設定することで外部トリガスタートモードとなります。この状態で、<TBRUN>に"1"を設定するとトリガ待ち状態となり、TBxIN の立ちあがりまたは立ち下がりでカウントを開始します。

   TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

   ・ <TRGSEL> = "0" : TBxIN の立上りエッジが選択されます。
   ・ <TRGSEL> = "1" : TBxIN の立下がりエッジが選択されます。

   <TBRUN> に "0"を設定することでカウント停止と同時にアップカウンタのクリアを行います。

3. 同期スタート

   タイマ同期モードでは、タイマ間のスタートの同期を取ることが可能となります。PPG 出力モードにてタイマ同期モードを使用することによりモータ等の駆動に応用が可能です。

製品によってマスタとなるチャネルとスレーブとなるチャネルの組み合わせは決まっています。本製品でのマスタとスレーブの組み合わせは「製品情報」の章を参照ください。

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。スレーブチャネルの<TBSYNC>ビットに "1"を設定するとマスタチャネルのソフトウエアまたは外部トリガによるスタートに同期してカウント開始および停止します。スレーブチャネルの TBxRUN <TBPRUN, TBRUN>ビットの設定は不要です。マスタチャネルの<TBSYNC>ビットは"0"を設定してください。

なお、外部トリガカウントモードとタイマ同期モードが同時に設定されている場合は、タイマ同期モードが優先されます。

11.4.2.3 カウンタのクリア

アップカウンタは以下のタイミングでクリアされます。

1. TBxRG1 との一致時

   TBxMOD<TBCLE> = "1"に設定することで、アップカウンタと TBxRG1 との一致でカウンタをクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランンニングカウンタとして動作します。

2. アップカウンタ停止時

   TBxRUN<TBRUN> = "0"に設定すると、アップカウンタが停止するとともにクリアされます。

11.4.2.4 オーバフロー

アップカウンタがオーバフローすると、オーバフロー割り込み INTTBx が発生します。

11.4.3 タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタと比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、タイマレジスタはレジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、 <TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、アップカウンタと TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、 ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値が書き込まれます。

11.4.4 キャプチャ制御

アップカウンタの値をキャプチャレジスタ TBxCP0、TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができます。TBxMOD<TBCP> に "0" を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタ TBxCP0 へキャプチャします。

11.4.5　キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタの値をキャプチャするレジスタです。

11.4.6　アップカウンタキャプチャレジスタ(TBxUC)

カウンタ動作中に TBxUC レジスタをリードすると、アップカウンタの現在のカウント値がキャプチャされその値が読みだされます。カウント停止中は最後にキャプチャした値が保持されます。

11.4.7　コンパレータ(CP0, CP1)

アップカウンタと、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

11.4.8　タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアされます。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行ってください。

11.4.9　キャプチャ割り込み(INTCAPx0, INTCAPx1)

キャプチャレジスタ TBxCP0, TBxCP1 にアップカウンタの値をラッチするタイミングで割り込み INTCAPx0, INTCAPx1 をそれぞれ発生します。

11.5 モード別動作説明

11.5.1 インタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	X	1	0	0	0	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
							(*** = 001 ~ 111)			
TBxRG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します

注) X; Don’t care、*; 任意の値、-; Don't change

11.5.2 イベントカウンタモード

入力クロックを外部クロック(TBxIN 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
該当ポートを TBxIN に割り付けます。										
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	X	1	0	0	0	0	0	0	入力クロックを TBxIN にします。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
TBxMOD	←	X	0	-	-	-	-	-	-	ソフトウエアキャプチャを行います。

注) X; Don’t care、*; 任意の値、-; Don't change

11.5.3　PPG (プログラマブル矩形波)出力モード

任意周波数、任意デューティの矩形波を出力することができます。出力パルスは、ローアクティブ、 ハイアクティブどちらでも可能です。

アップカウンタ とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF0) に反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。

ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

TBxRG0 設定値 < TBxRG1 設定値

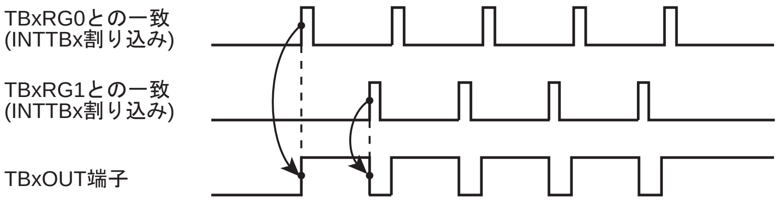


図 11-2 プログラマブル矩形波(PPG)出力波形例

16 ビット PPG モードでは、ダブルバッファをイネーブルにすることにより、アップカウンタと TBxRG1 との一致で、レジスタバッファ 0/1 の値が TBxRG0/1 へ転送されます。

これにより、TBxRG0/1 の更新タイミングを意識せずに、周波数、デューティを変更することができます。

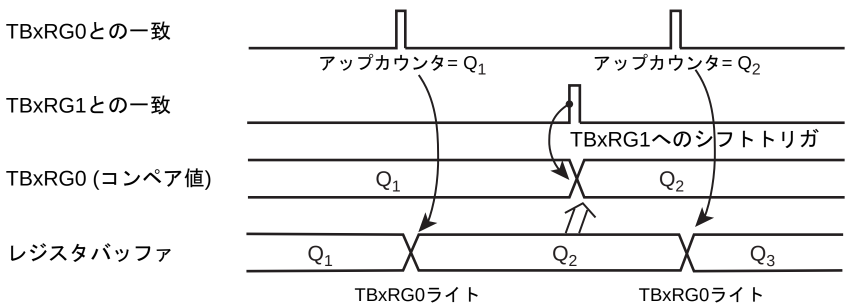


図 11-3 ジスタバッファの動作

このモードのブロック図を示します。

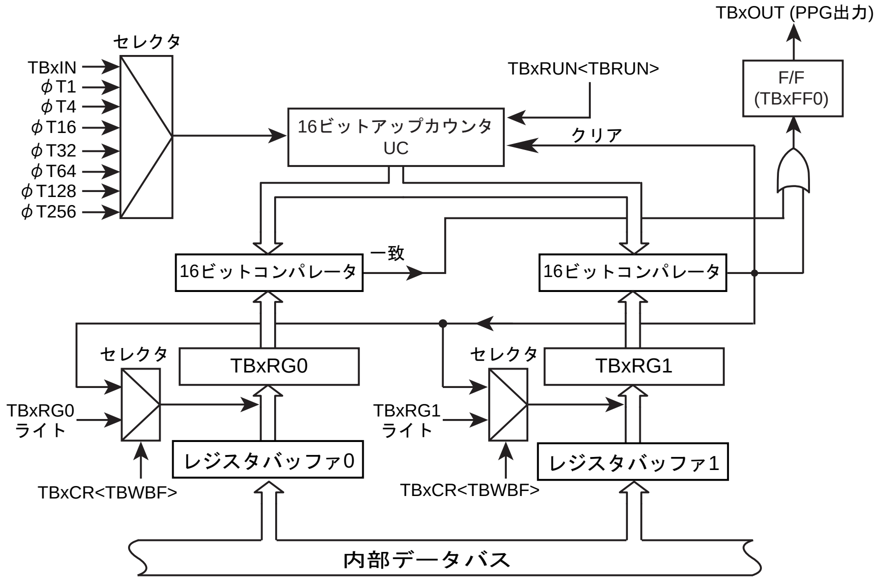


図 11-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxCR	←	1	0	X	X	X	0	X	X	ダブルバッファをイネーブルします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティを設定します。
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	周期を設定します。
	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	X	1	0	0	0	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
							(*** = 001 ~ 111)			
該当ポートを TBxOUT に割り付けます。										
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します

注) X; Don't care、*; 任意の値、-; Don't change

11.5.4　プログラマブル矩形波(PPG)外部トリガ出力モード

PPG(プログラマブル矩形波)出力モードを外部トリガカウントスタートモードで動作させることで、ソフトウエアでは処理が間に合わない短いディレイタイムの PPG 波形を出力することができます。

外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり）の例を以下に示します。

16 ビットアップカウンタが停止している状態で、TBxIN 端子の立ち上がりでカウントアップするように TBxCR<CSSEL>を"1"に TBxCR<TRGSEL>を"0"に設定しておきます。

TBxRG0 には、外部トリガからのディレイタイム(d)を設定します。TBxRG1 にはディレイタイム(d)とワンショットパルスの幅(p)を加算した値(d)+(p)を設定します。

TBxFF0 をアップカウンタと TBxRG0/1 との一致で反転するように TBxFFCR<TBE1T1>、<TBE0T1>を"1"にセットします。

TBxRUN<TBPRUN>、<TBRUN>を"1"にセットし、アップカウンタをスタートできる状態にします。

この状態で、TBxIN に外部トリガパルスが入力されると、外部トリガパルスの立ち上がりで、アップカウンタがスタートします。アップカウンタの値が(d)になると TBxRG0 と一致し、TBxFF0 が反転、"High"レベルになります。アップカウンタの値が(d)+(p)になると TBxRG1 と一致し、TBxFF0 が反転、"Low"レベルになります。

アップカウンタの値が TBxRG1 と一致したときに発生する INTTBx で TBxFF0 が変化しないように TBxFFCR<TBE1T1>、<TBE0T1>を"0"にクリアするか、TBxRUN<TBPRUN><TBRUN>でアップカウンタの動作を停止します。

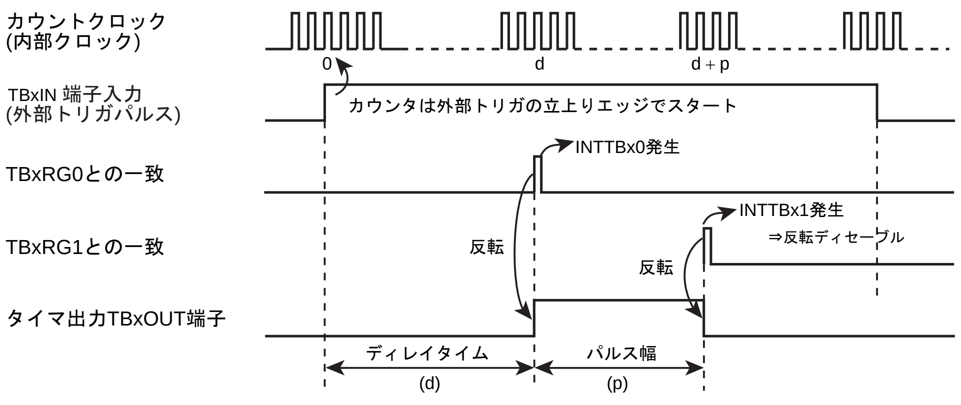


図 11-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

TBxIN 端子の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]										
該当ポートを TBxIN に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(3ms/φT1)
TBxRG0	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。(3+2)ms/φT1)
TBxRG1	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxRG0,TBxRG1 との一致で TBxFF0 を反転します。TBxFF0 を"0"にクリアします。
TBxMOD	←	X	1	0	0	0	0	0	1	アップカウンタをフリーランさせます。ソースクロックを φT1 にします。アップカウンタの取り込みをディセーブルにします。
該当ポートを TBxOUT に割り付けます。										
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します。
[INTTBx 割り込みサービスルーチンでの処理]　出力ディセーブル										
TBxFFCR	←	X	X	−	−	0	0	−	−	TBxFF0 反転トリガ設定をクリアします。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。

注)　X; Don’t care、*; 任意の値、-; Don't change

11.6　キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、多くの応用が可能です。

以下にキャプチャを利用した応用例を示します。

1. 周波数測定
2. パルス幅測定

11.6.1　周波数測定

外部から入力されるクロックの周波数測定を行う例を示します。

ここでは TMRBm を 16 ビットインターバルタイマで、TMRBn を 16 ビットイベントカウンタモードで使用します。

TMRBn の 16 ビットアップカウンタを外部から入力されるクロックにてフリーランニングでカウントアップさせておくため、TBnMOD<TBCLK>を"000"に、TBnRUN<TBPRUN>、<TBRUN>を"1"に設定します。

TBmFF0 が TBmRG0/1 と一致したときに反転するように TBmFFCR<TBE1T1>、<TBE0T1>を"1"に設定します。

TBmFF0 の立ち上がりで TBnCP0 にアップカウンタの値を取り込み、TBmOUT の立下りで TBnCP1 でアップカウンタの値を取り込むように TBxMOD<TBCPM>を"11"に設定します。

TBmRG0 と TBmRG1 に外部クロック数をカウントする測定時間を設定し、TMRBm を動作させます。

TMRBm のアップカウンタが TBmRG0 と一致すると TBmFF0 が立ち上がり、TBnCP0 に TMRBn のアップカウンタの値が取り込まれます。また、TMRBm のアップカウンタが TBmRG1 と一致すると TBmFF0 が立ち下がり、TBnCP1 に TMRBn のアップカウンタの値が取り込まれます。

周波数は INTTBm で、(TBnCP1-TBnCP0)を TBmRG1 と TBmRG0 の時間差で割ることで求めます。

例えば、TBmRG1 と TBmRG0 の時間差が 0.5 s で、TBnCP0 と TBnCP1 の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

TBmFF0 の変化タイミングにより、TBnCP1-TBnCP0 がマイナスになることがあります。TBnCP1-TBnCP0 の値にあわせて補正を行ってください。

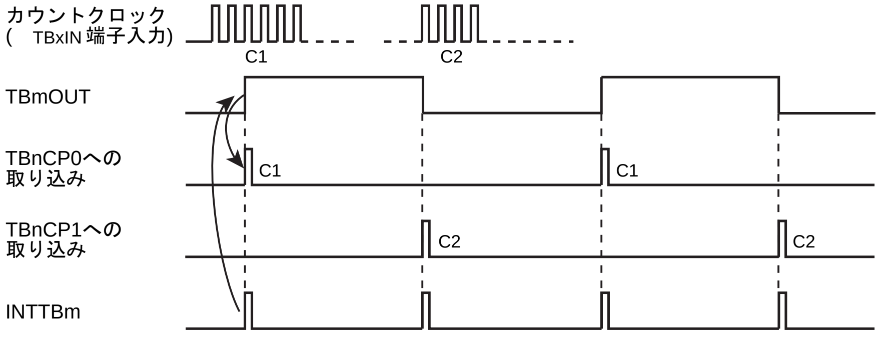


図 11-6 周波数測定

TBxIN 端子に周波数測定を行うパルスを入力した場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBmFF0 でのキャプチャ設定										
該当ポートを TBxIN に割り付けます。										
TBmEN	←	1	X	X	X	X	X	X	X	TMRBm モジュールを起動します。
TBmRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBnEN	←	1	X	X	X	X	X	X	X	TMRBn モジュールを起動します。
TBnRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBmCR	←	1	0	X	X	X	0	X	X	ダブルバッファをイネーブルします。
TBmRG0	←	*	*	*	*	*	*	*	*	外部クロック測定時間 1 を設定します。
	←	*	*	*	*	*	*	*	*	
TBmRG1	←	*	*	*	*	*	*	*	*	外部クロック測定時間 2 を設定します。
	←	*	*	*	*	*	*	*	*	
TBmFFCR	←	X	X	0	0	1	1	1	0	TBmFF0 反転トリガをクリアし、TBmRG0/1 との一致で反転するように設定します。
TBnMOD	←	0	1	1	1	0	0	0	0	TBmFF0 の立ち上がり/立下りでアップカウンタの内容を取り込み、アップカウンタのクリアディセーブル、入力クロックを TBxIN にします。
TBmIM	←	X	X	X	X	X	1	0	1	TBmRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBm 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBnRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
TBmRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
[INTTBm 割り込みサービスルーチンでの処理]										
TBmFFCR	←	X	X	−	−	0	0	−	−	TBmFF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTB ｍ割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBnCP0/1 を読み出し、周波数を計算します。										

注)　X; Don’t care、*; 任意の値、-; Don't change

11.6.2　パルス幅測定

外部から入力されるパルスの"High"レベル幅測定を行う例を示します。

TBxIN 端子の立ち上がりでアップカウンタの値を TBxCP0 に、立下りで TBxCP1 に取り込むように TBxMOD<TBCPM>を"10"に設定します。

割り込み INTCAPx1 を許可しておきます。

TMRBx を動作させます。

TBxIN 端子に外部パルスの立ち上がりが入力されると、TBxCP0 にアップカウンタの値が取り込まれます。TBxIN 端子に外部パルスの立下りが入力されると TBxCP1 にアップカウンタの値が取り込まれるとともに割り込み INTCAPx1 が発生します。

割り込みサービスルーチンの中で TBxCP1 と TBxCP0 の差を求め、プリスケーラ出力クロックの周期をかけることで、外部パルスの"High"レベル幅を求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、アップカウンタの最大カウント時間を越えるパルス幅の測定を行う場合は、補正を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、割り込み INTCAPx0 も許可し、「図 11-7 パルス幅測定」における、2 回目の INTCAPx0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

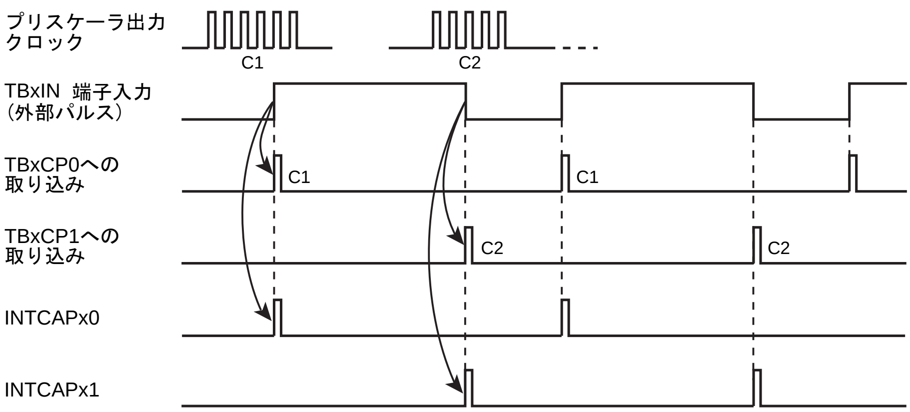


図 11-7 パルス幅測定

TBxIN 端子に入力される外部パルスの"High"レベル幅を測定する例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN でのキャプチャ設定										
該当ポートを TBxIN に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxFFCR	←	X	X	0	0	0	0	1	0	TBxFF0 反転トリガをクリアし、ディセーブルします。
TBxMOD	←	X	1	1	0	0	0	0	1	アップカウンタをフリーランさせます。ソースクロックを φT1 にし、TBxIN 端子への立ち上がりで TBxCP0 へ、TBxIN 端子への立下りで TBxCP1 へアップカウンタ値を取り込みます。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTCAPx1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	TMRBx を起動します。
[INTCAPx1 割り込みサービスルーチンでの処理]　"High"レベル幅を計算する										
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTCAPx1 割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBxRG0/1 の値を読み出し、"High"レベル幅を計算する。										

注)　X; Don’t care、*; 任意の値、-; Don't change

第 12 章　16 ビットタイマ A (TMR16A Ver. B)

12.1　概要

TMR16Ax には以下の機能があります。

- タイマ動作
- 矩形波出力
- リードキャプチャ

12.2　構成

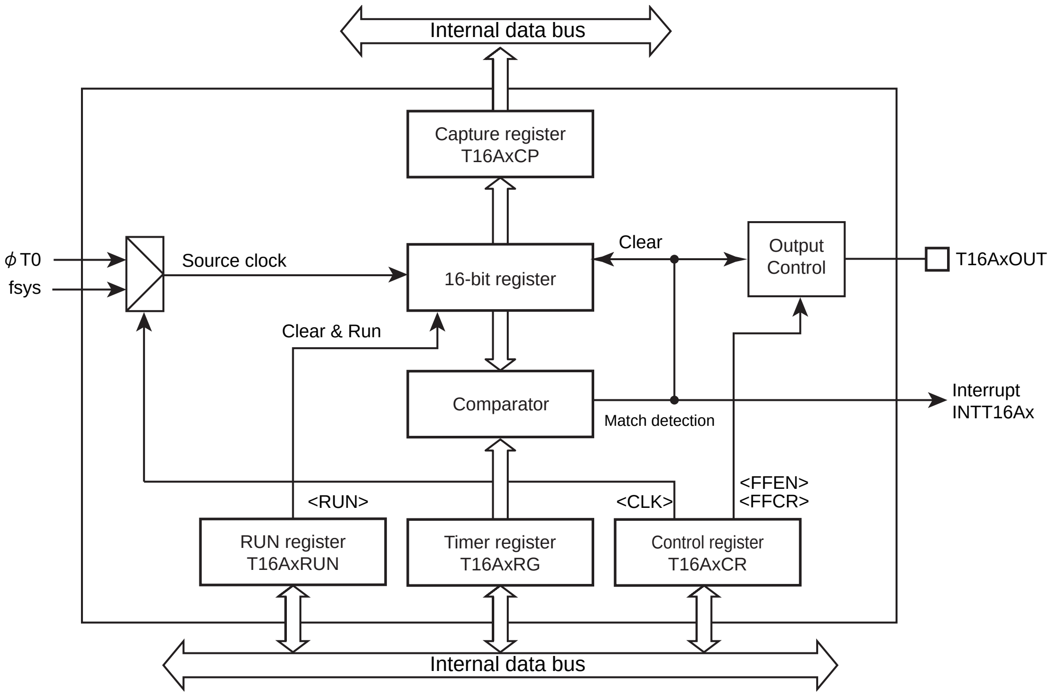


図 12-1 TMR16Ax ブロック図

12.3　レジスタ説明

12.3.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
イネーブルレジスタ	T16AxEN	0x0000
RUN レジスタ	T16AxRUN	0x0004
コントロールレジスタ	T16AxCR	0x0008
タイマレジスタ	T16AxRG	0x000C
キャプチャレジスタ	T16AxCP	0x0010

注)　T16AxRUN<RUN>が"1"の状態で T16AxEN、T16AxCR、T16AxRG、T16AxCP の書き換えをしないでください。

12.3.1.1 T16AxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HALT	I2T16A
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	HALT	R/W	デバッグ中のホールトモード時の動作 0: 動作 1: 停止 デバッグ中のホールトモード時の動作を指定します。"1"を設定するとホールトモード時に動作を停止します。
0	I2T16A	R/W	IDLE モード中の動作 0: 停止 1: 動作 IDLE モード中の動作を指定します。"1"を設定することで IDLE モード中も動作を継続します。

12.3.1.2 T16AxRUN (RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	RUN	R/W	カウンタ動作 0: 停止 1: 動作(Clear & Run)

12.3.1.3　T16AxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FFEN	-	FFCR		-	-	-	CLK
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15	−	R/W	"0"をライトしてください。
14-8	−	R	リードすると"0"が読めます。
7	FFEN	R/W	T16AxOUT の反転制御 0: 禁止 1: 許可 "1"を設定すると、カウンタと T16AxRG<[15:0]>との一致により T16AxOUT を反転します。
6	−	R	リードすると"0"が読めます。
5-4	FFCR[1:0]	W	T16AxOUT の制御 00: 反転 01: "High"レベル出力 10: "Low"レベル出力 11: - ソフトウエアにより T16AxOUT を制御できます。 リードすると"11"が読めます。
3-1	−	R	リードすると"0"が読めます。
0	CLK	R/W	ソースクロック 0: fsys 1: φT0 ソースクロックを選択します。

12.3.1.4 T16AxRG (タイマレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RG[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RG[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	RG[15:0]	R/W	カウンタと比較する値を設定します。 "0x0000"は設定しないでください。

12.3.1.5 T16AxCP (キャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CP[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CP[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	CP[15:0]	R	カウンタ値 現在のカウンタの値が読めます。

12.4　動作説明

12.4.1　タイマ動作

1. 準備

　T16AxCR<CLK>でソースクロックを選択します。"0"で fsys、"1"で φT0 が選択されます。T16AxRG<RG[15:0]>にカウント値を設定します。

2. カウンタ動作

　T16AxRUN<RUN>に"1"を設定するとカウンタはクリアされ、カウントアップを開始します。カウンタの値と T16AxRG<RG[15:0]>に設定された値が一致すると、カウンタは"0x0000"にクリアされ、カウントアップを継続します。

3. 一致割り込みの発生

　カウンタの値と T16AxRG<RG[15:0]>の値が一致すると一致割り込み INTT16Ax を出力します。

4. 停止

　T16AxRUN<RUN>に"0"を設定するとカウントを停止します。カウンタの値はそのまま保持します。

注) T16AxCR、T16AxRG、T16AxCP の書き換えは、カウンタの停止中(T16AxRUN<RUN>が"0")に行ってください。

12.4.2　矩形波出力

　T16AxOUT はレジスタ設定またはカウンタの値と T16AxRG<RG[15:0]>との一致により変化します。

　T16AxOUT の初期状態は"Low"レベル出力です。

1. ソフトウエアによる制御

　T16AxCR<FFCR[1:0]>の設定により"High"レベル出力、"Low"出力、反転が可能です。

　T16AxCR の書き換えは、カウンタの停止中(T16AxRUN<RUN>が"0")に行ってください。

2. カウンター致による反転

　T16AxCR<FFEN>を"1"にすることにより、T16AxRG<RG[15:0]>とカウンタの値の一致で T16AxOUT が反転します。

　カウンタが停止した際は、T16AxOUT の状態は保持されます。

12.4.3　リードキャプチャ

　T16AxCP<[15:0]>を読み出すことにより、カウンタの現在の値をキャプチャし、読み出すことができます。

12.4.4 自動停止

T16AxEN<I2T16A><HALT>の設定により、以下の場合での TMR16Ax のカウントアップ動作を指摘することができます。

1. IDLE モード遷移時

   T16AxEN<I2T16A>の設定により、IDLE モード中の TMR16Ax の動作を指定します。

   "1"を設定すると、動作モードが IDLE モードに遷移すると自動的にカウントアップを停止します。IDLE モードから元のモードへ遷移するとカウントアップを再開します。

2. デバッグ中のホールトモード時

   T16AxEN<HALT>の設定により、コアがホールトモードになった時の TMR16Ax の動作を指定します。

   "0"を設定すると、ホールトモードに遷移した時に自動的にカウントアップを停止します。ホールトモードが解除されるとカウントアップを再開します。

第 13 章　4 バイト FIFO 付きシリアルチャネル(SIO/UART)

13.1　概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

・ 同期通信モード(I/O インタフェースモード)
・ 非同期通信モード(UART モード)

特長は以下のとおりです。

・ 転送クロック
  - プリスケーラでペリフェラルクロック(ϕ T0)を 1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能
    (UART モードのみ)
  - システムクロック(fsys)を使用可能(UART モードのみ)
・ バッファ
  - ダブルバッファ構成で使用可能
  - 送信バッファのクリアが可能
・ FIFO
  送受信合わせて 4 バイトの FIFO を使用可能
・ I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインターバル時間設定が可能
  - 最終ビット出力後の SCxTXD 端子の状態を下記から選択可能
    "High"保持/"Low"保持/最終ビット保持
  - クロック入力モード時、アンダーランエラーが発生したときの SCxTXD 端子の状態を下記から選択可能
    "High"保持/"Low"保持
  - クロック入力モード時、SCxTXD 端子の最終ビットホールド時間を設定可能
・ UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{SCxCTS}}$ 端子を用いたハンドシェイク機能
  - SCxRXD 端子へのノイズキャンセラ付加

以下の説明中、"x"はチャネル番号をあらわします。

13.2　構成

下記にシリアルチャネルとシリアルクロック生成回路のブロック図を示します。

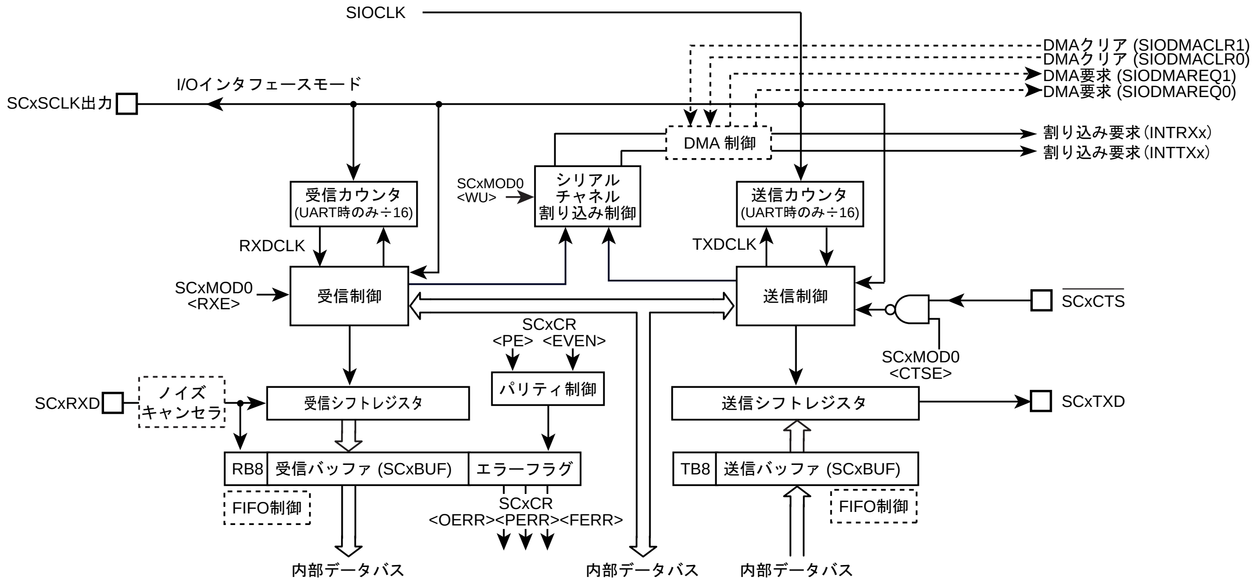


図 13-1 シリアルチャネルブロック図

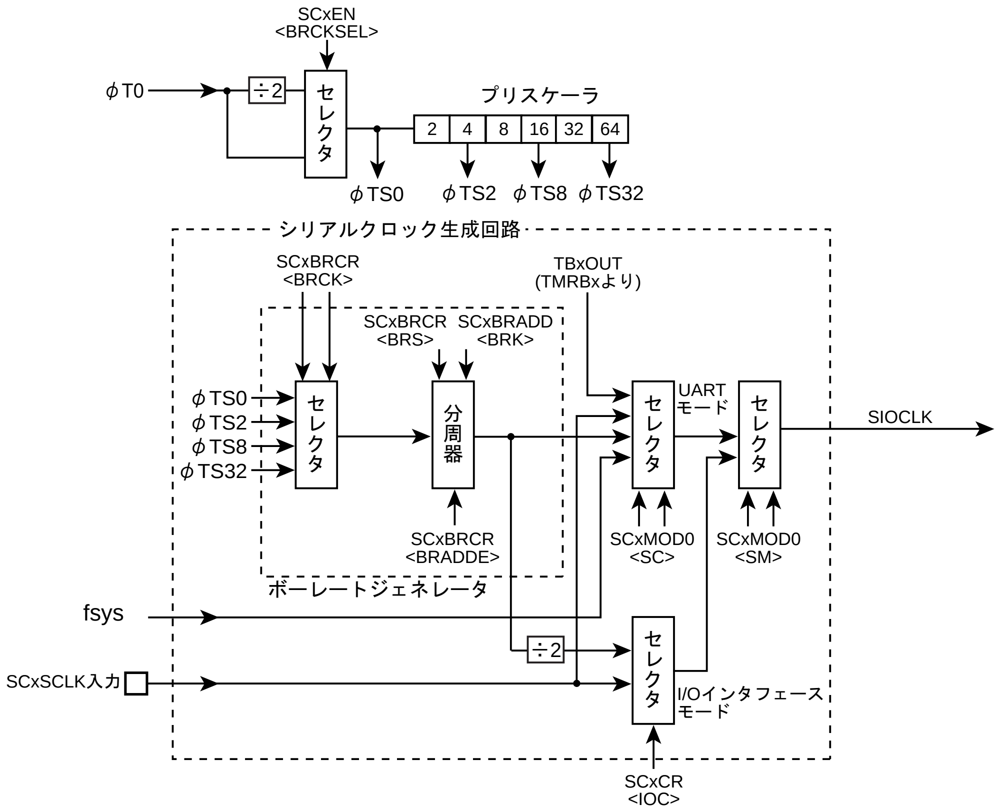


図 13-2 シリアルクロック生成回路ブロック図

13.3 レジスタ説明

13.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030

注) 送信中、受信中にコントロールレジスタを書き換えないでください。

13.3.2 SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BRCKSEL	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	BRCKSEL	R/W	プリスケーラの入力クロックを選択します。 0: φT0/2 1: φT0
0	SIOE	R/W	シリアルチャネル動作 0: 禁止 1: 動作 シリアルチャネルの動作を指定します。シリアルチャネルを使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除くシリアルチャネルのすべてのクロックが停止しますので消費電力の低減が可能です。 シリアルチャネルを一旦動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

13.3.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファまたは FIFO [リード] RB：受信用バッファまたは FIFO

13.3.4　SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EHOLD			-	TXDEMP	TIDLE	
リセット後	0	0	0	0	0	1	1	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	–	R	リードすると"0"が読めます。
14-12	EHOLD[2:0]	R/W	クロック入力モードの SCxTXD 端子の最終ビットホールド時間の設定(I/O インタフェースモードのみ有効) 最終ビットのホールド時間 ≤ SCLK 周期/2 となるように、最終ビットのホールド時間、SCLK 周期を設定してください。 000: 2/fsys　100: 32/fsys 001: 4/fsys　101: 64/fsys 010: 8/fsys　110: 128/fsys 011: 16/fsys　111: Reserved
11	–	R	リードすると"0"が読めます。
10	TXDEMP	R/W	クロック入力モード時、アンダーランエラーが発生したときの SCxTXD 端子の状態選択(I/O インタフェースモードのみ有効) 0: "Low"出力 1: "High"出力
9-8	TIDLE[1:0]	R/W	最終ビット出力後の SCxTXD 端子の状態選択(I/O インタフェースモードのみ有効) <TIDLE[1:0]>="10"を設定したときには、<EHOLD[2:0]>="000"を設定してください。 00: "Low"出力保持 01: "High"出力保持 10: 最終ビット保持 11: Reserved
7	RB8	R	受信データビット 8 (UART モードのみ有効) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART モードのみ有効) パリティの条件を設定します。パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。 0: Odd 1: Even
5	PE	R/W	パリティ付加(UART モードのみ有効) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダーランエラー (注) 0: エラーではない 1: エラー

Bit	Bit Symbol	Type	機能
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) クロック出力モードのときは"0"を設定してください。 0: SCxSCLK 端子の立ち下がりエッジで送信バッファのデータを 1bit ずつ SCxTXD 端子へ出力します。 SCxSCLK 端子の立ち上がりエッジで SCxRXD 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCxSCLK 端子は High レベルからスタートします(立ち上がりモード)。 1: SCxSCLK 端子の立ち上がりエッジで送信バッファのデータを 1bit ずつ SCxTXD 端子へ出力します。 SCxSCLK 端子の立ち下がりエッジで SCxRXD 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCxSCLK 端子は Low レベルからスタートします。(立ち下りモード)
0	IOC	R/W	クロック選択(I/O インタフェースモード用) 0: クロック出力モード (転送クロックは SCxSCLK 端子から出力されます) 1: クロック入力モード (転送クロックは SCxSCLK 端子から入力されます)

注) <OERR>, <PERR>, <FERR>は読み出すとクリアされます。

13.3.5　SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART モードのみ) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART モードのみ) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 "1"を設定すると $\overline{\text{SCxCTS}}$ 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART モードのみ) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART モードのみ) 00: TMRB 出力 01: ボーレートジェネレータ 10: システムクロック(fsys) 11: 外部クロック(SCxSCLK 端子入力) (I/O インタフェースモード時の転送クロックは、SCxCR<IOC>で選択します。)

注 1)　<RXE>は、すべての設定が終わった後に許可してください。
注 2)　受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

13.3.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。 また FIFO が許可されている場合は、FIFO 構成を指定します。UART モードの場合は、FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(I/O インタフェースモード用) 000: なし 001: 1 x SCLK 周期 010: 2 x SCLK 周期 011: 4 x SCLK 周期 100: 8 x SCLK 周期 101: 16 x SCLK 周期 110: 32 x SCLK 周期 111: 64 x SCLK 周期 I/O インタフェースモードでクロック出力モードの場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定 します。
0	–	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、すべての設定を行った後に許可してください。

注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

13.3.7　SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。

<TXRUN>	<TBEMP>	状態
1	−	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

Bit	Bit Symbol	Type	機能
4	SBLEN	R/W	送信 STOP ビット長(UART モード用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず STOP ビット長は 1 ビットであるとして動作します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first 転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(クロック出力/入力モード), 受信(クロック出力モード), UART モードの送信時に、送信、 受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(クロック入力モード), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトウエアリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態に なります。(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td><RXE></td></tr>
<tr><td>SCxMOD1</td><td><TXE></td></tr>
<tr><td>SCxMOD2</td><td><TBEMP>, <RBFLL>, <TXRUN></td></tr>
<tr><td>SCxCR</td><td><OERR>, <PERR>, <FERR></td></tr>
</table>
</td></tr>
</table>

注 1)　転送動作中にソフトウエアリセットを実施する場合は 2 回連続して実行してください。

注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

13.3.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K)/16 分周機能(UART モードのときのみ) 0: ディセーブル 1: イネーブル
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00:φTS0 01:φTS2 10:φTS8 11:φTS32
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000 : N = 16 0001 : N = 1 0010 : N = 2 : 1111 : N = 15

注 1)　UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 2)　I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

13.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K)/16 分周の K 値の設定(UART モード用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 13-1 にまとめます。

表 13-1 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定	
<BRK>の設定	設定不要	"K"値を設定 (注 2)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1)　N + (16 − K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2)　"K"値に"0"を設定することはできません。

13.3.10　SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>-</td><td>R/W</td><td>必ず"000"を書き込んでください。</td></tr>
<tr><td>4</td><td>RFST</td><td>R/W</td><td>受信 FIFO 使用バイト数
0: 最大
1: 受信 FIFO の FILL レベルに同じ
受信 FIFO 使用バイト数の設定ビットです。(注 1)
"0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。
"1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。</td></tr>
<tr><td>3</td><td>TFIE</td><td>R/W</td><td>送信 FIFO 使用時の送信割り込み許可
0: 禁止
1:許可
送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>2</td><td>RFIE</td><td>R/W</td><td>受信 FIFO 使用時の受信割り込み許可
0: 禁止
1:許可
受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>1</td><td>RXTXCNT</td><td>R/W</td><td>RXE/TXE の自動禁止
0: なし
1: 自動禁止
送信/受信の自動禁止機能の制御ビットです。
"1"に設定した場合、設定された通信方式により以下のように動作します。
<table>
<tr><td>半二重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。</td></tr>
<tr><td>全二重</td><td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット, 受信許可ビットとも"0"となり、送受信が禁止される。</td></tr>
</table></td></tr>
<tr><td>0</td><td>CNFG</td><td>R/W</td><td>FIFO の許可
0: 禁止
1: 許可
FIFO 使用の許可ビットです。(注 2)
"1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。
<table>
<tr><td>半二重受信</td><td>受信 FIFO 4 バイト</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO 4 バイト</td></tr>
<tr><td>全二重</td><td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td></tr>
</table></td></tr>
</table>

注 1)　送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。

注 2)　9 ビット UART モードでは FIFO は使用できません。

13.3.11　SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>–</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7</td><td>RFCS</td><td>W</td><td>受信 FIFO クリア(注 1)
1: クリア
"1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。
リードすると"0"が読めます。</td></tr>
<tr><td>6</td><td>RFIS</td><td>R/W</td><td>割り込み発生条件選択
0: FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき
1: FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき
割り込み発生タイミングの詳細については、13.13.1.2 を参照してください。</td></tr>
<tr><td>5-2</td><td>–</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>1-0</td><td>RIL[1:0]</td><td>R/W</td><td>受信割り込みが発生する受信 FIFO の fill レベル
<table>
<tr><th></th><th>半二重</th><th>全二重</th></tr>
<tr><td>00</td><td>4 バイト</td><td>2 バイト</td></tr>
<tr><td>01</td><td>1 バイト</td><td>1 バイト</td></tr>
<tr><td>10</td><td>2 バイト</td><td>2 バイト</td></tr>
<tr><td>11</td><td>3 バイト</td><td>1 バイト</td></tr>
</table></td></tr>
</table>

注)　送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

13.3.12 SCxTFC (送信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	TBCLR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	−	R	リードすると"0"が読めます。
8	TBCLR	W	送信バッファクリア 0: Don't care 1: クリア "1"を書き込むと送信バッファがクリアされます。 リードすると"0"が読めます。
7	TFCS	W	送信 FIFO クリア(注 1) 0: Don't care 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき 1: FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき 割り込み発生タイミングの詳細については、13.13.2.2 を参照してください。
5-2	−	R	リードすると"0"が読めます。
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル (下表参照)

	半二重	全二重
00	Empty	Empty
01	1 バイト	1 バイト
10	2 バイト	Empty
11	3 バイト	1 バイト

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止) した場合は、必ず SCxTFC の再設定を行ってください。

13.3.13　SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注)　<ROR>はバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

13.3.14 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダーラン(注) 0: アンダーランは発生していない 1: アンダーラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR>はバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

13.4　動作モード

表 13-2 にモードをまとめます。

表 13-2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK クロックに同期してデータの送受信を行います。SCLK クロックはクロック入力/出力モードのいずれでも使用できます。転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first のみ選択できます。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

13.5 データフォーマット

13.5.1 データフォーマット一覧

図 13-3 にデータフォーマットを示します。

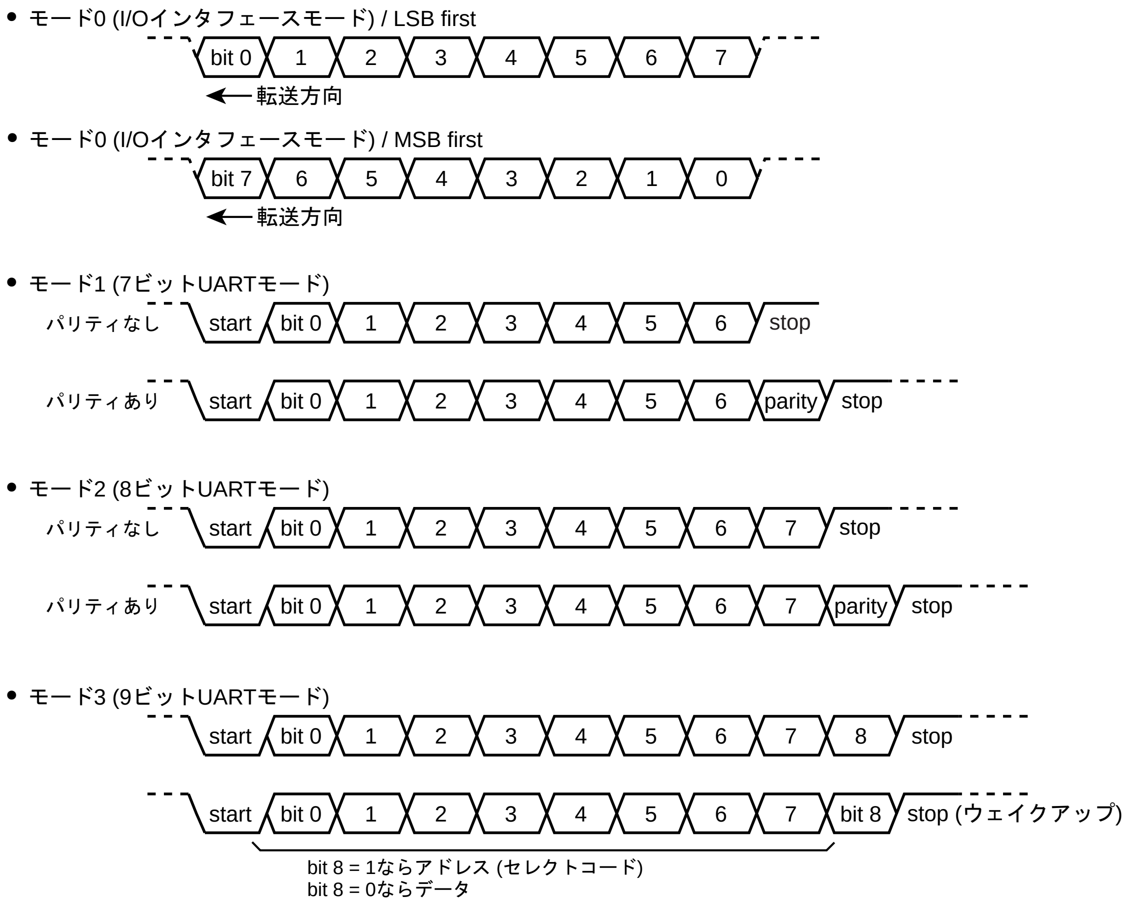


図 13-3 データフォーマット

13.5.2　パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。また、受信データに付加されているパリティビットを生成されたパリティビットと比較することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

13.5.2.1　送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

13.5.2.2　受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

13.5.3　STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

13.6 クロック制御

13.6.1 プリスケーラ

7 ビットのプリスケーラを実装しており、φT0 の 1 / 2/ 4 / 8 / 16 / 32/ 64 / 128 分周のクロックを生成します。

プリスケーラの入力クロックは、クロック/モード制御部の CGSYSCR と SCxEN<BRCKSEL>で選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

13.6.2 シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

13.6.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 1 / 4 / 16 / 64 分周から選択します。入力クロックの選択は SCxEN<BRCKSEL>と SCxBRCR<BRCK>で行います。

SCxEN<BRCKSEL>	SCxBRCR<BRCK>	ボーレートジェネレータ入力 φTx
0	00	φT0/2
0	01	φT0/8
0	10	φT0/32
0	11	φT0/128
1	00	φT0
1	01	φT0/4
1	10	φT0/16
1	11	φT0/64

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N＋(16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS[3:0]>	K 値 SCxBRADD<BRK[3:0]>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注)　1 分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を　ϕTx とした時、N 分周の場合と N + (16-K)/16 分周の場合のボーレートジェネレータ出力クロックは以下の計算式であらわされます。

- N 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N}$$

- N + (16-K)/16 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N + \frac{(16 - K)}{16}}$$

13.6.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM[1:0]>で指定します。

I/O インタフェースモード時のクロックは、SCxCR<IOC><SCLKS>で設定します。

UART モード時のクロックは、SCxMOD0<SC[1:0]>で設定します。

(1) I/O インタフェースモードの転送クロック

表 13-3 に I/O インタフェースモードで可能なクロックを示します。

表 13-3 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM[1:0]>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
"00" (I/O インタフェースモード)	"0" (クロック出力モード)	"0" (送信: 立ち下がり、受信 : 立ち上がり)	ボーレートジェネレータ出力の 2 分周
	"1" (クロック入力モード)	"0" (送信: 立ち下がり、受信 : 立ち上がり)	SCxSCLK 端子入力
		"1" (送信: 立ち上がり、受信 : 立ち下がり)	SCxSCLK 端子入力

SCxSCLK 端子入力を使用する場合、以下の条件を満足する必要があります。

- ダブルバッファ使用の場合

  SCLK 周期 > 6/fsys

- ダブルバッファ未使用の場合

  SCLK 周期 > 8/fsys

(2)　UART モードの転送クロック

表 13-4 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 13-4 UART モードのクロック選択

モード SCxMOD0<SM[1:0]>	クロック選択 SCxMOD0<SC[1:0]>
UART モード ("01", "10", "11")	"00" : タイマ出力
	"01" : ボーレートジェネレータ
	"10" : fsys
	"11" : SCxSCLK 端子入力

SCxSCLK 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{\underline{(\text{TBxRG1} \times 2}) \times \underline{2} \times 16}$$

(タイマプリスケーラクロックφT1(2分周)を選択した場合)

(タイマフリップフロップ反転2回で1クロック周期となる)

13.7 送信/受信バッファと FIFO

13.7.1 構成

送信/受信バッファと FIFO の構成を図 13-4 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

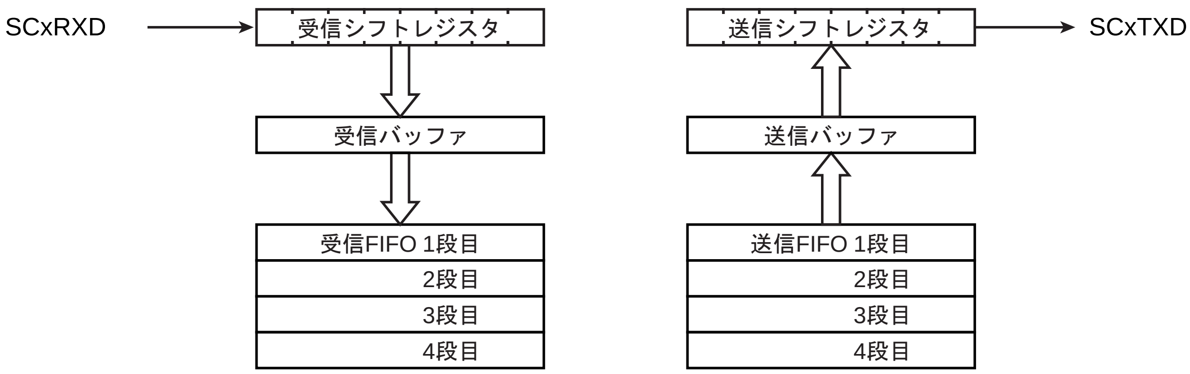


図 13-4 バッファと FIFO の構成

13.7.2 送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と UART モードでは、<WBUF>の設定によらずダブルバッファ構成になります。

その他のモードでは<WBUF>の設定に従います。

表 13-5 にモードとバッファ構成の関係をまとめます。

表 13-5 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART モード	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード （クロック出力モード）	送信	シングル	ダブル
	受信	シングル	ダブル

13.7.3　送信バッファの初期化

送信バッファにデータが残っている状態で送信を中断した場合、送信バッファに新たにデータを書き込む前に送信バッファの初期化を行う必要があります。

送信バッファの初期化は、送信動作が停止している状態で行ってください。SCxMOD2<TXRUN>を読み出すことで、送信動作が停止しているかを判断できます。送信動作が停止していることが確認できたら、SCxTFC<TBCLR>に"1"を設定し、送信バッファの初期化を行います。

送信 FIFO が有効な場合、送信 FIFO の状態で動作が変わります。送信 FIFO にデータがある場合、送信 FIFO から送信バッファにデータが転送されます。送信 FIFO が空なら、SCxMOD2<TBEMP>が"1"にセットされます。

注)　I/O インタフェースモードのクロック入力モードではクロックが非同期に入力されます。送信動作が停止しているときにクロックを入力しないようにしてください。

13.7.4　FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注)　送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 13-6 にモードと FIFO 構成の関係をまとめます。

表 13-6 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	-
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

13.8 ステータスフラグ

SCxMOD2 に 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可の時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

13.9 エラーフラグ

SCxCR に 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR を読み出すと"0"にクリアされます。

<table>
<tr><th rowspan="2">モード</th><th colspan="3">フラグ</th></tr>
<tr><th><OERR></th><th><PERR></th><th><FERR></th></tr>
<tr><td>UART モード</td><td>オーバランエラー</td><td>パリティエラー</td><td>フレーミングエラー</td></tr>
<tr><td rowspan="2">I/O インタフェース
モード
(クロック入力モード)</td><td rowspan="2">オーバランエラー</td><td>アンダーランエラー
(ダブルバッファまたは FIFO 使用時)</td><td rowspan="2">"0"固定</td></tr>
<tr><td>"0"固定
(ダブルバッファおよび FIFO 未使用時)</td></tr>
<tr><td>I/O インタフェース
モード
(クロック出力モード)</td><td>不定</td><td>不定</td><td>"0"固定</td></tr>
</table>

13.9.1 OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。

受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が Full(使用バイト数)になるまではフラグはセットされません。

I/O インタフェースモードのクロック出力モードの設定では、フラグのセットとともにクロック出力が停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

13.9.2　PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティビットが異なる場合に"1"にセットされます。

アンダーランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

クロック入力モードの場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

クロック出力モードの場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注)　I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダーランフラグをクリアしてください。

13.9.3　FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

13.10 受信

13.10.1 受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、8 クロック目でデータをサンプリングします。

13.10.2 受信制御部

13.10.2.1 I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCxSCLK 端子へ出力されるクロックの立ち上がりで SCxRXD 端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCxSCLK 端子の立ち上がり/立ち下がりエッジでシリアル受信データ SCxRXD 端子をサンプリングします。

13.10.2.2 UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

13.10.3 受信動作

13.10.3.1 受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

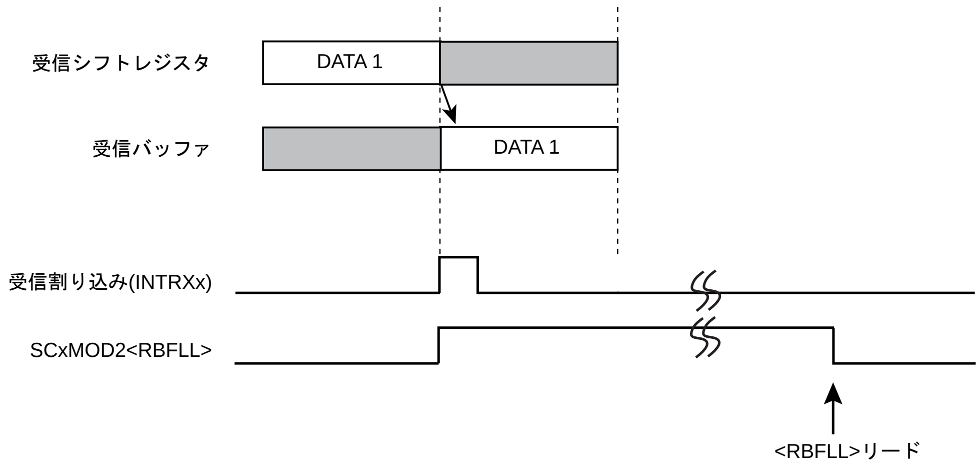


図 13-5 受信バッファの動作

13.10.3.2　受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注) UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーフラグは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "01"	: 転送モードを半二重受信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTCNT><CNFG> = "10111"	: fill レベル到達後の継続受信自動禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxRFC<RIL[1:0]> = "00"	: 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
SCxRFC<RFCS><RFIS> = "11"	: 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

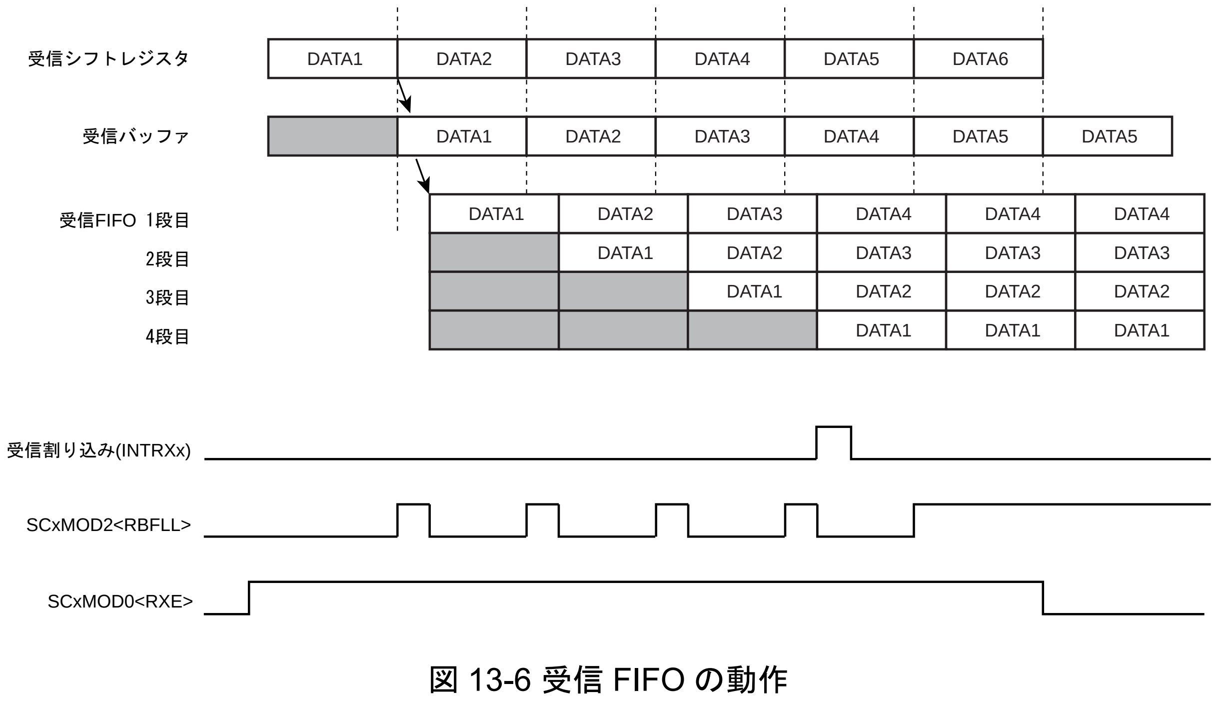


図 13-6 受信 FIFO の動作

13.10.3.3 I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されるとクロック出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されるとクロック出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されるとクロック出力を停止します。

1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、クロック出力を再開します。

また、SCxFNCF<RXTXCNT>がセットされているとクロック出力停止とともに SCxMOD0<RXE>がクリアされ受信動作を停止します。

13.10.3.4　受信データの読み出し

FIFO の有効/無効にかかわらず、受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリディビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

13.10.3.5　ウエイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

13.10.3.6　オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は、受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生してオーバーランフラグがセットされます。この場合でも、受信 FIFO のデータは保存されます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注)　I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

13.11 送信

13.11.1 送信カウンタ

送信カウンタは 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

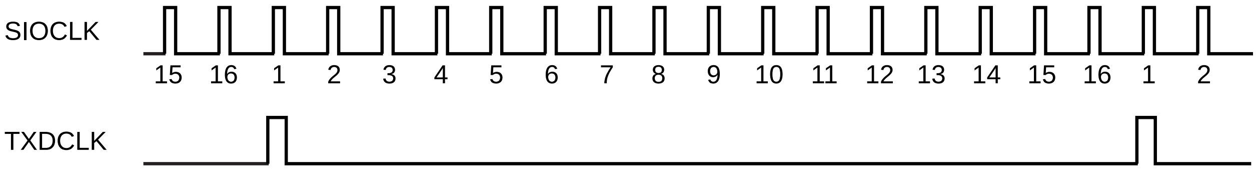


図 13-7 UART モード送信クロックの生成

13.11.2 送信制御部

13.11.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0"のクロック出力モードのときは、SCxSCLK 端子より出力されるクロックの立ち下がりで送信バッファのデータを 1 ビットずつ SCxTXD 端子へ出力します。

SCxCR<IOC> = "1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って SCxSCLK 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ SCxTXD 端子へ出力します。

13.11.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

13.11.3　送信動作

13.11.3.1　送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは SCxMOD1<TXE>に"1"がセットされると送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

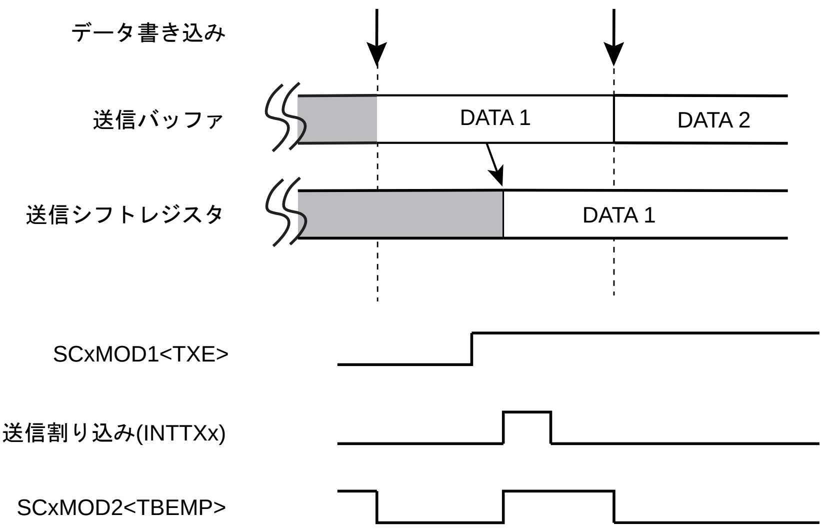


図 13-8 送信バッファの動作(ダブルバッファ有効時)

13.11.3.2 送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP> フラグは"0"にクリアされます。

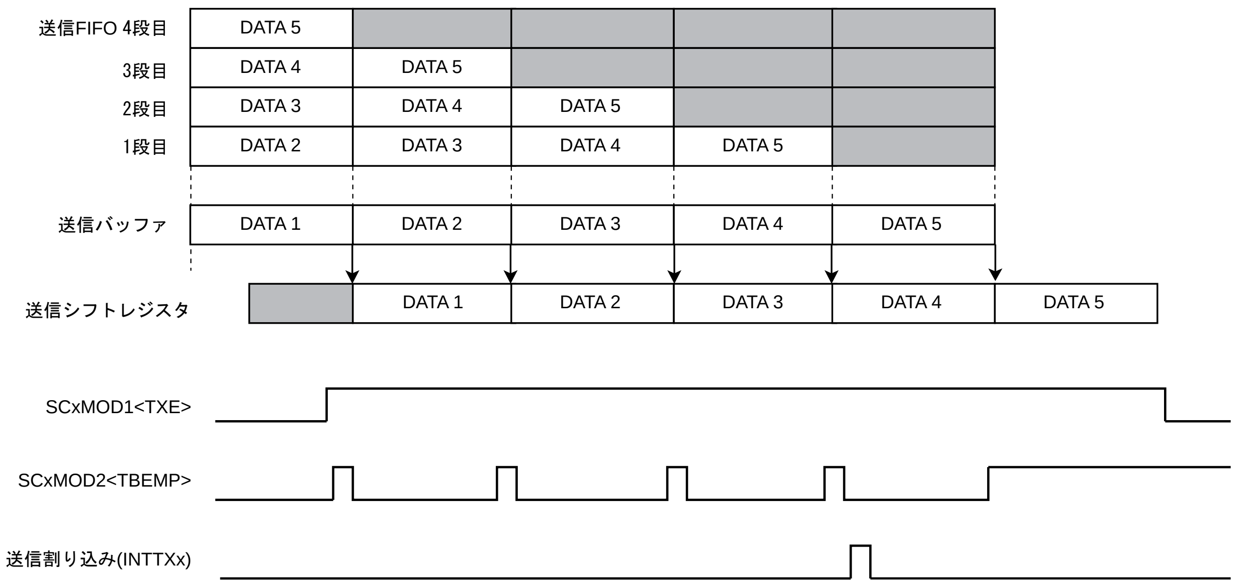
注) 送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF <CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、5 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "10"	: 転送モードを半二重送信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTXCNT><CNFG> = "11011"	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC<TIL[1:0]> = "00"	: 割り込み発生の fill レベル を 0 に設定
SCxTFC<TFCS><TFIS> = "11"	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF<CNFG> = "1"	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



13.11.3.3　I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータがすべて送信されるとクロック出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ/FIFO 使用状況によってクロック出力の停止/再開のタイミングが変わります。

(1)　シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

(2)　ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

(3)　FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータ送信が終了するとクロック出力を停止します。次のデータが書き込まれるとクロック出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、クロック出力停止とともに SCxMOD0<TXE>がクリアされ、送信動作を停止します。

13.11.3.4　I/O インターフェースモード時の最終ビット出力後の SCxTXD 端子の状態

最終ビットを出力し、データのホールド時間が終了した後の SCxTXD 端子の状態を、SCxCR<TIDLE>で指定することができます。

SCxCR<TIDLE>="00"の場合、SCxTXD 端子は"Low"出力を保持します。SCxCR<TIDLE>="01"の場合、SCxTXD 端子は"High"出力を保持します。SCxCR<TIDLE>="10"の場合、SCxTXD 端子は最終ビットを保持します。

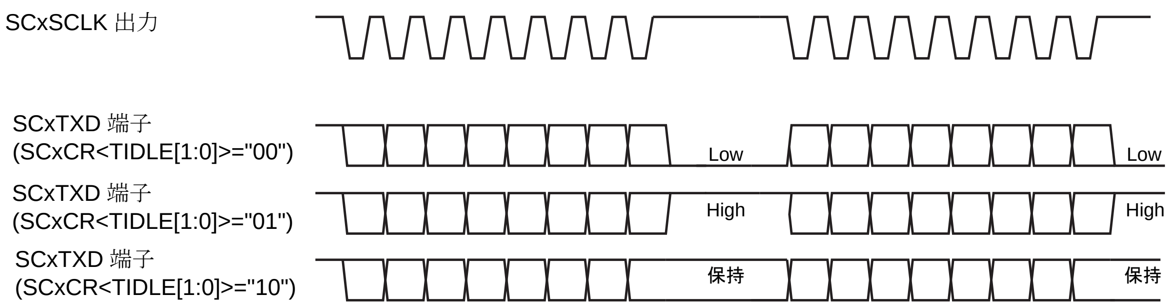


図 13-9 最終ビット出力後の SCxTXD 端子の状態

13.11.3.5 アンダーランエラー

I/O インタフェースモードのクロック入力モード時、送信 FIFO が空で、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときはアンダーランエラーになり、SCxCR<PERR>に"1"がセットされます。

アンダーランエラーが発生したときの SCxTXD 端子の状態を SCxCR<TXDEMP>で指定することができます。SCxCR<TXDEMP>が"0"の場合、SCxTXD 端子はデータ出力期間の間、"Low"出力を保持します。SCxCR<TXDEMP>が"1"の場合、SCxTXD 端子はデータ出力期間の間、"High"出力を保持します。

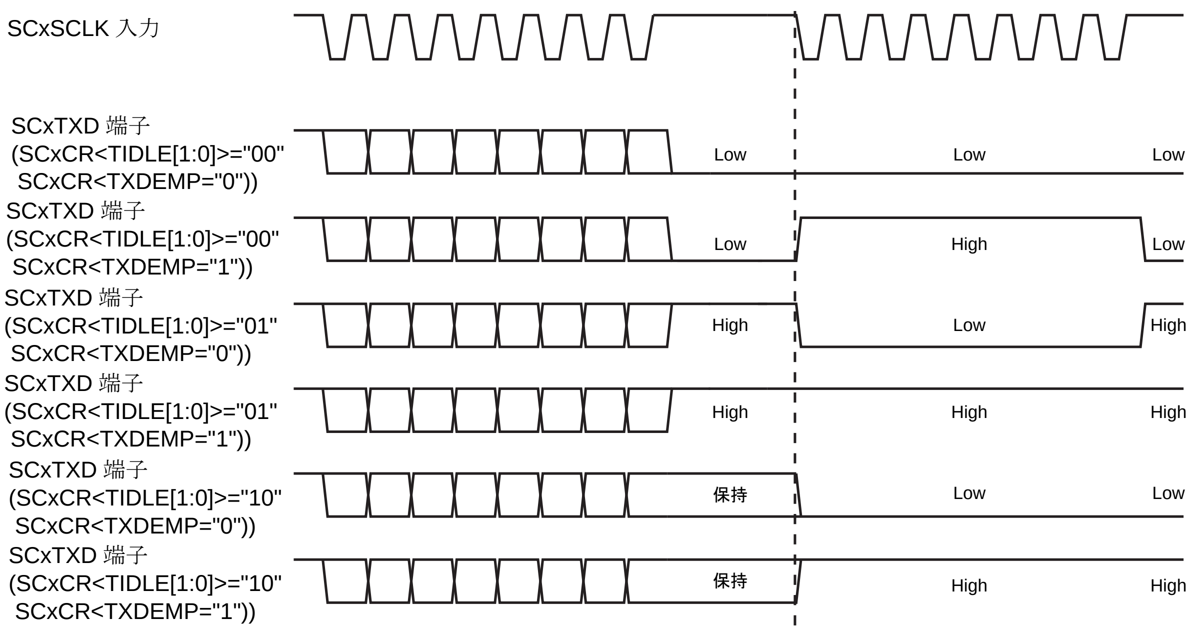


図 13-10 アンダーランが発生したときの SCxTXD 出力

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダーランフラグをクリアしてください。

13.11.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間

I/O インタフェースモードでクロック入力モードの場合、SCxCR<EHOLD[2:0]>で最終ビットのホールド時間を設定できます。

最終ビットのホールド時間 ≤ SCLK 周期/2 を満たすように、最終ビットのホールド時間、SCLK 周期を設定してください。

13.12　ハンドシェイク機能

ハンドシェイク機能は $\overline{\text{SCxCTS}}$ (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{SCxCTS}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{SCxCTS}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注 1)　送信中に $\overline{\text{SCxCTS}}$ 信号を立ち上げた場合、送信終了後に停止します。

注 2)　$\overline{\text{SCxCTS}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

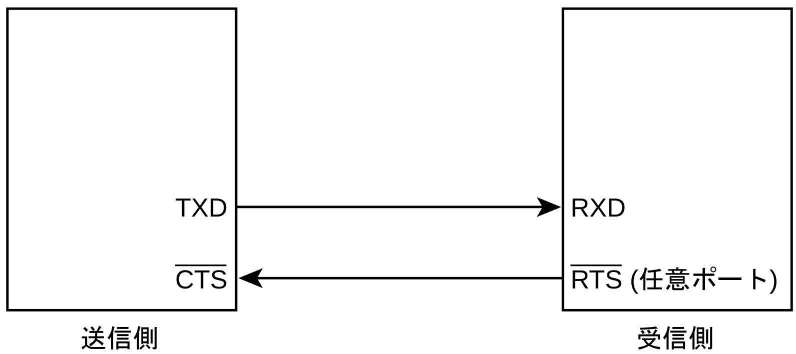


図 13-11 ハンドシェイク機能接続

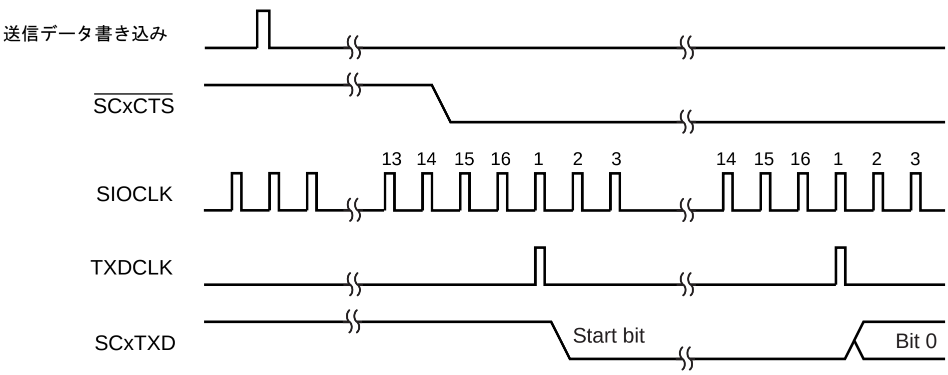


図 13-12 $\overline{\text{SCxCTS}}$ 信号のタイミング

13.13 割り込み/エラー発生タイミング

13.13.1 受信割り込み

受信動作のデータの流れと読み出しの経路を図 13-13 に示します。

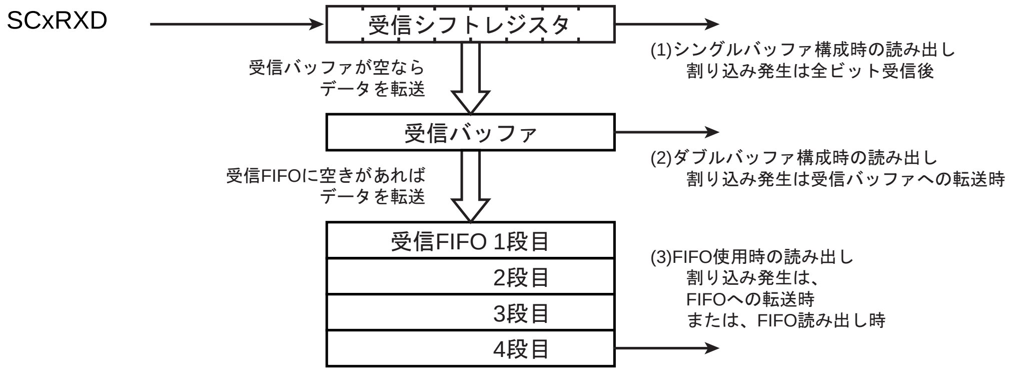


図 13-13 受信バッファ/FIFO 構成図

13.13.1.1 シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 13-7 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	–	・最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・受信バッファにデータがない場合、第 1 ストップビットの中央付近 ・受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・受信バッファにデータがない場合、最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時

注) オーバーランエラー成立時は割り込みは発生しません。

13.13.1.2 FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 13-8 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 13-8 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき ・受信 FIFO から受信データをリードしたとき

13.13.2　送信割り込み

送信動作のデータの流れと書き込みの経路を図 13-14 に示します。

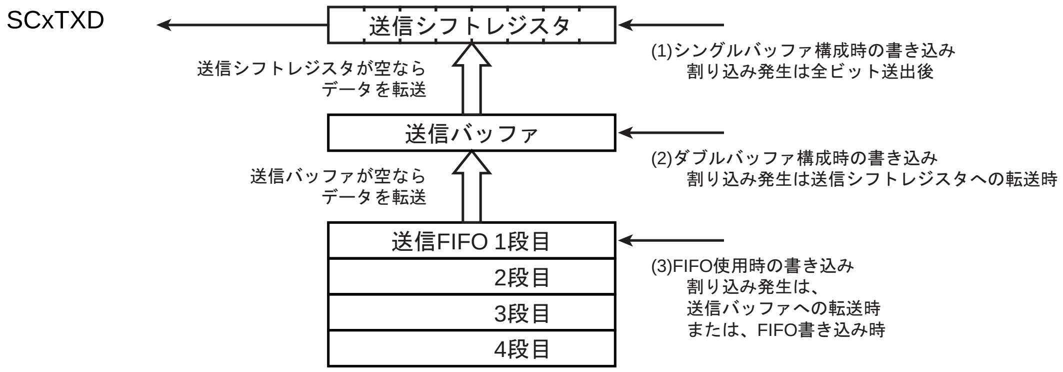


図 13-14 送信バッファ/FIFO 構成図

13.13.2.1　シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 13-9 シングルバッファ/ ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE> ="1"で送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されれるため、送信割り込みが発生します。	

13.13.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 13-10 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 13-10 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき ・送信 FIFO へ送信データをライトしたとき

13.13.3 エラー発生

13.13.3.1 UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	−	パリティビットの中央付近

13.13.3.2 I/O インタフェースモード

オーバランエラー	最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	次回の SCxSCLK 端子の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注) クロック出力モードではオーバランエラー、アンダーランエラーフラグは意味を持ちません。

13.14　DMA 要求

UART/SIO 割り込み(INTRXx,INTTXx)発生のタイミングで DMAC に対して DMA 要求を発行します。

本製品で DMA 要求に使用できるチャネルについては、「製品情報」の章を参照してください。

注 1)　SIO/UART の送信/受信割り込みを使用して DMA 転送を行う場合、SCxMOD<SWRST>でソフトウエアリセットを実施した後、DMAC の動作を許可させ、送信/受信の設定を行ってください。

注 2)　DMA 転送を使用する場合、FIFO は使用できません。

13.15　ソフトウエアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。

これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR <OERR> <PERR> <FERR>が初期化され、送受信回路は初期状態になります。

その他の状態は保持されます。

13.16　モード別動作説明

13.16.1　モード 0 (I/O インタフェースモード)

SCxMOD0 <SM[1: 0]>を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力するクロック出力モードと、外部より同期クロック SCLK を入力するクロック入力モードがあります。

以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

13.16.1.1　送信

(1)　クロック出力モード

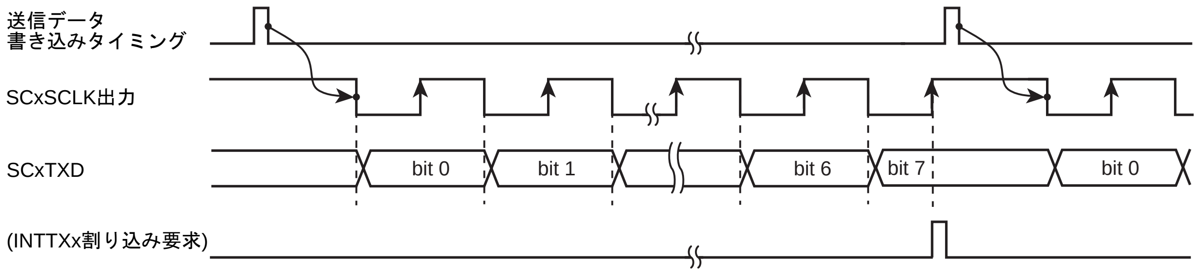
- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  送信バッファにデータを書き込むたびに、データが SCxTXD 端子から、クロックが SCxSCLK 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

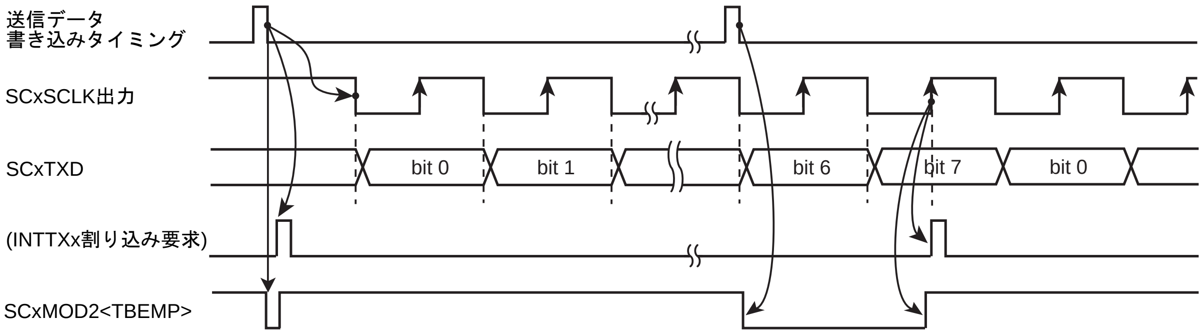
- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタが空の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

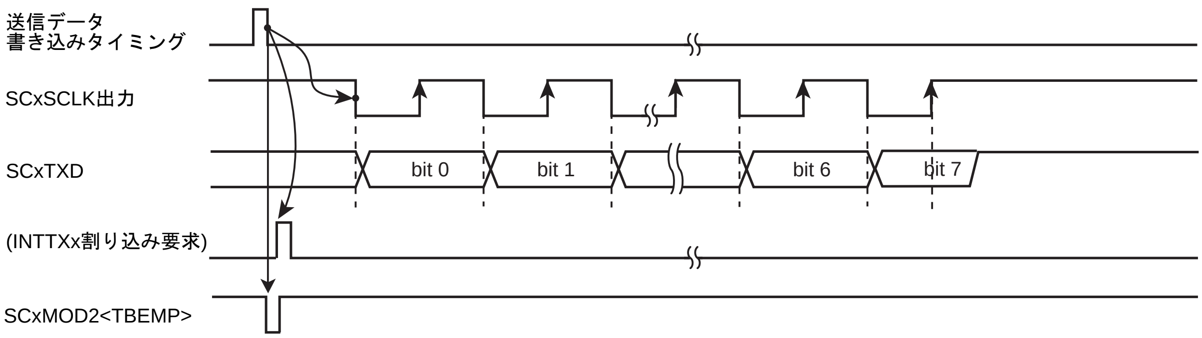
  シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、クロック出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合) (SCxCR<TIDLE>="01")

図 13-15 I/O インタフェースモード送信動作(クロック出力モード)

(2)　クロック入力モード

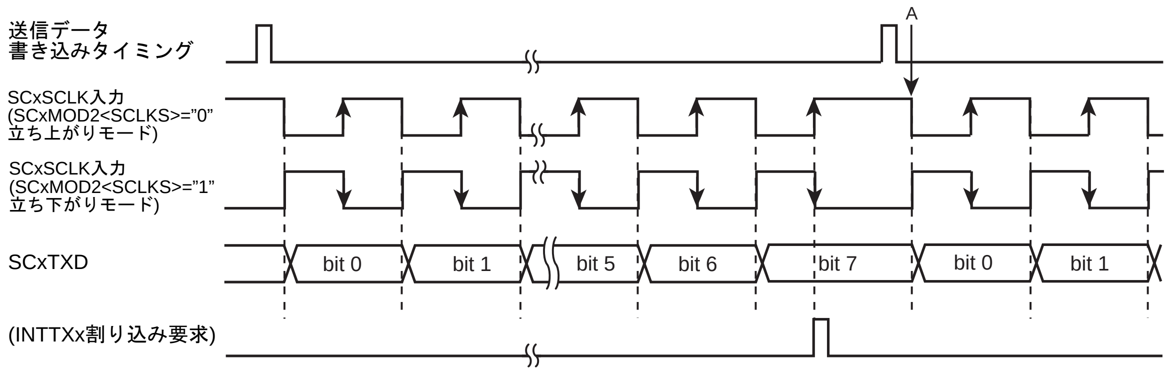
- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

　送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが SCxTXD 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 13-16 に示す A 点までに書き込んでください。

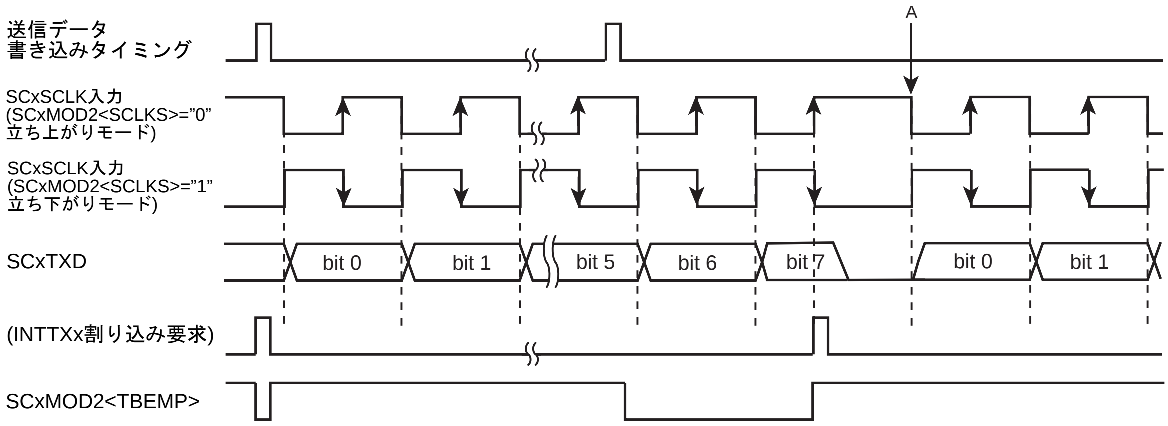
- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

　クロックが入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP> が"1"にセットされ、割り込み(INTTXx)が発生します。

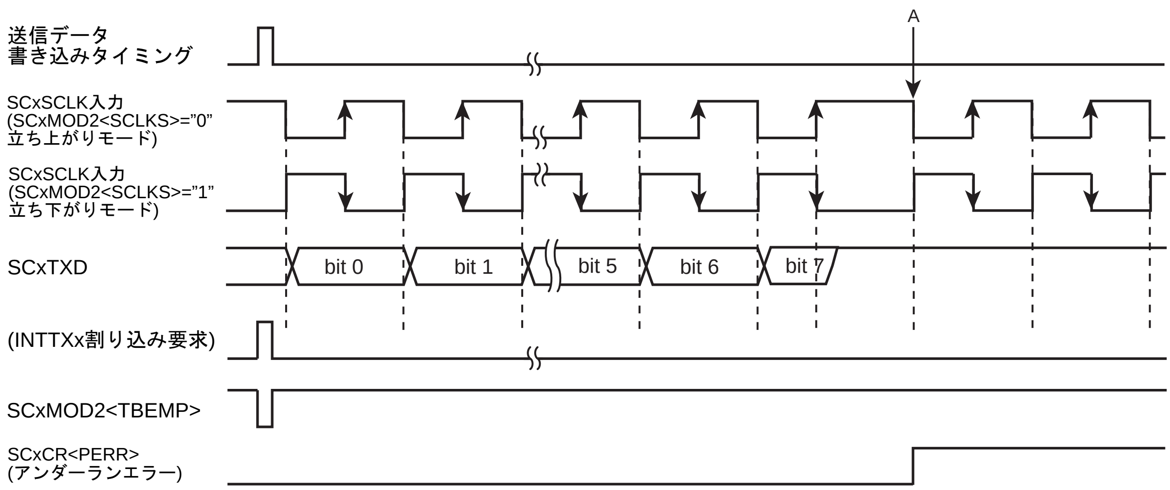
　送信バッファにデータが書き込まれていない状態で、クロックが入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが SCxTXD 端子に出力されます。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TILDE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがある場合) (SCxCR<TILDE>="00")



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがない場合) (SCxCR<TXDEMP><TILDE>="100")

図 13-16 I/O インタフェースモード送信動作(クロック入力モード)

13.16.1.2　受信

(1)　クロック出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることでクロック出力が開始されます。

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  受信データが読み出されるごとに、SCxSCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

  受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、クロック出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

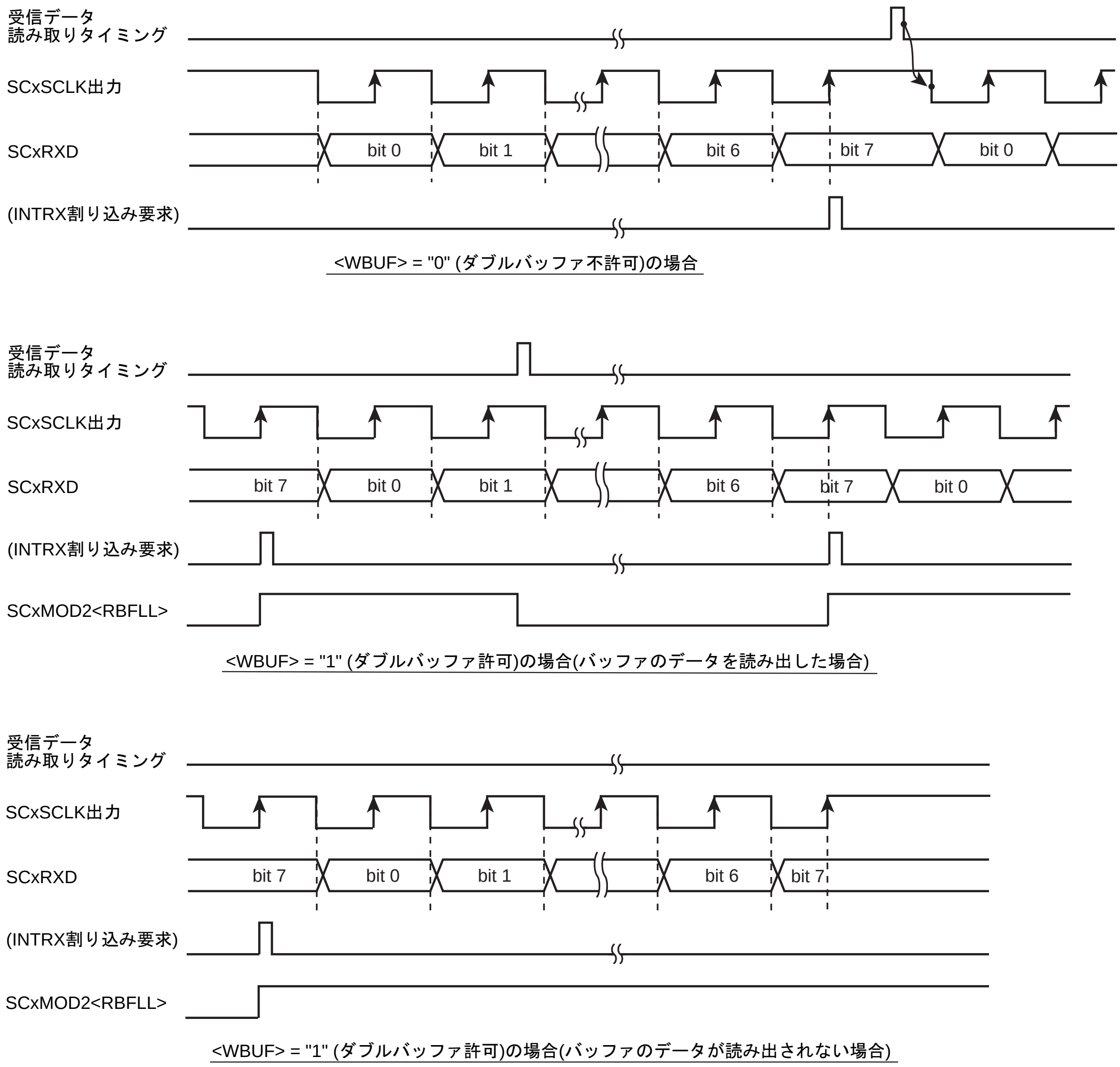
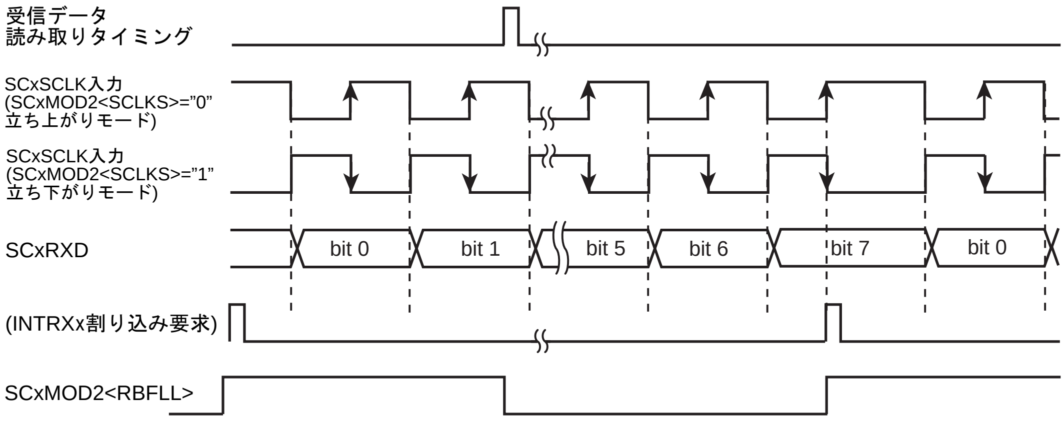


図 13-17 I/O インタフェースモード受信動作(クロック出力モード)

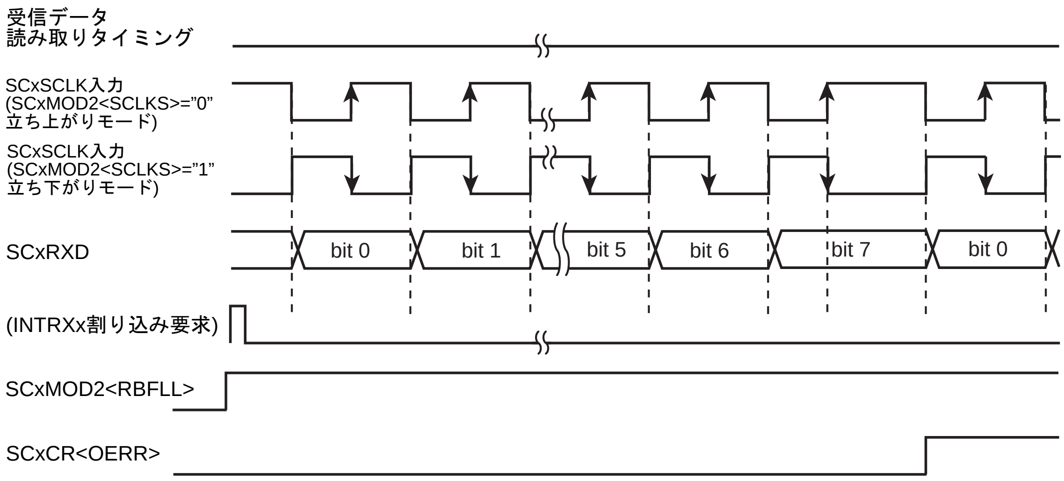
(2)　クロック入力モード

クロック入力モードでは常に受信ダブルバッファが許可されており、受信したデータはシフトレジスタから受信バッファに移され、連続して次のデータを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 13-18 I/O インタフェースモード受信動作(クロック入力モード)

13.16.1.3 送受信(全二重)

(1) クロック出力モード

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

　送信バッファにデータを書き込むとクロック出力を開始します。

　クロック出力によりデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれたデータが、SCxTXD 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態でクロック出力は停止します。

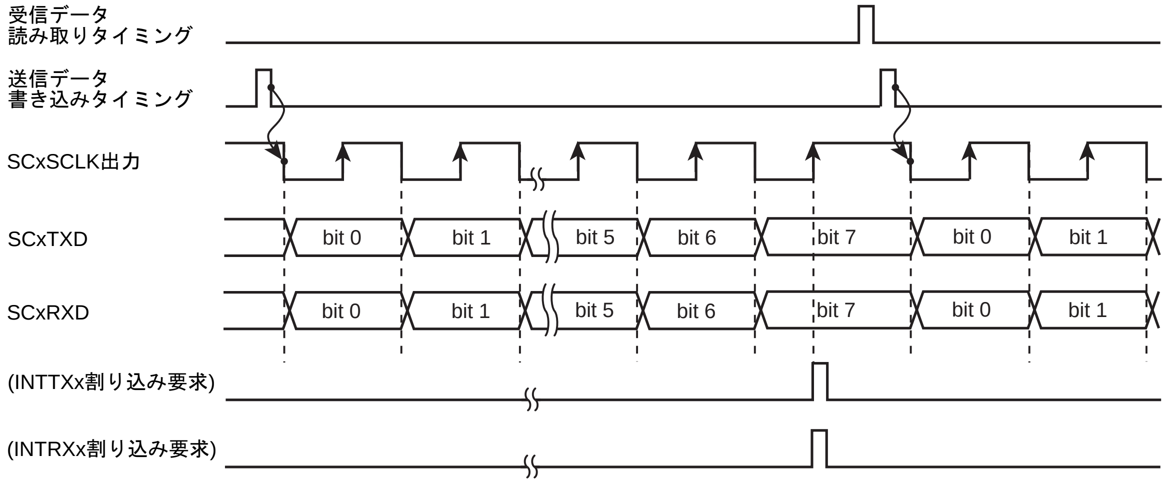
　受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

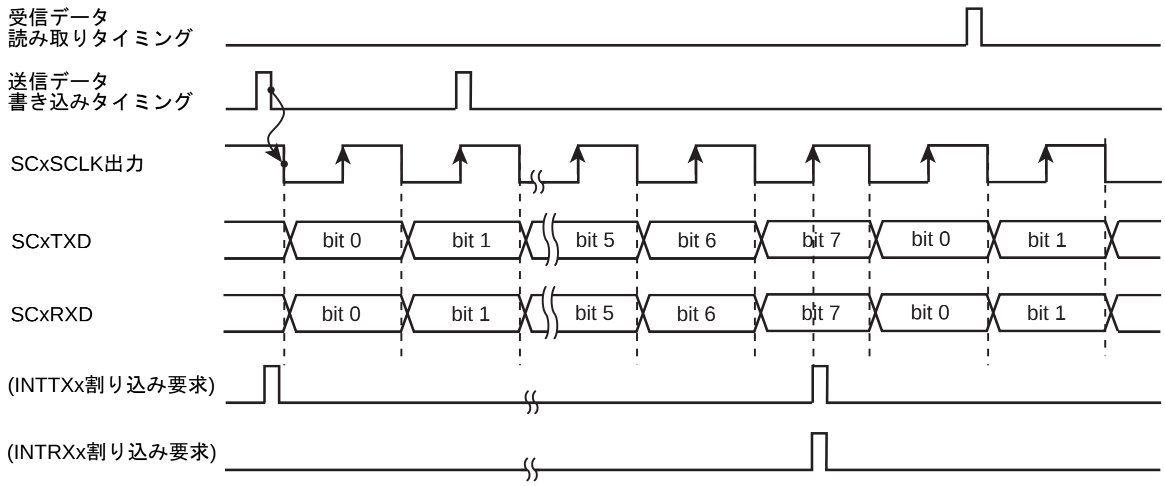
　送信バッファにデータを書き込むとクロック出力を開始します。

　データが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行してデータが SCxTXD 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

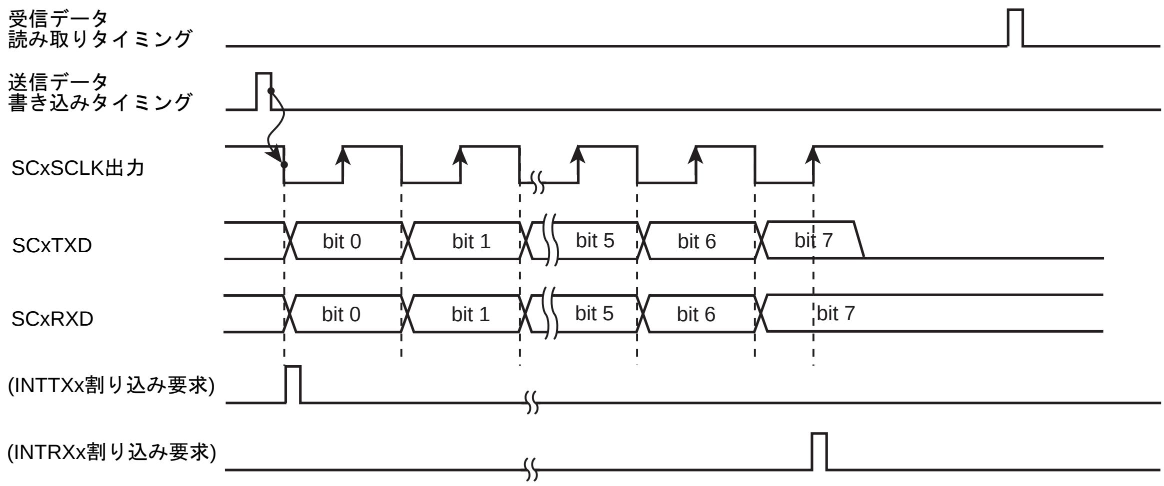
　この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合はクロック出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると、クロック出力が再開されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合 (SCxCR<TIDLE>="00")

図 13-19 I/O インタフェースモード送受信動作(クロック出力モード)

(2) クロックス力モード

- 送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

  送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが SCxTXD 端子より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

  次のフレームのクロックが入力される前にデータを送信バッファへ書き込むようにしてください。(図 13-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

  次のデータのためのクロックが入力される前に送信データを送信バッファへ書き込むようにしてください。(図 13-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

  続けて次のデータのためのクロックが入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

  データの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。

  また、次のデータのためのクロック入力までに送信バッファへ転送データが書き込まれていない場合は、アンダーランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが SCxTXD 端子に出力されます。

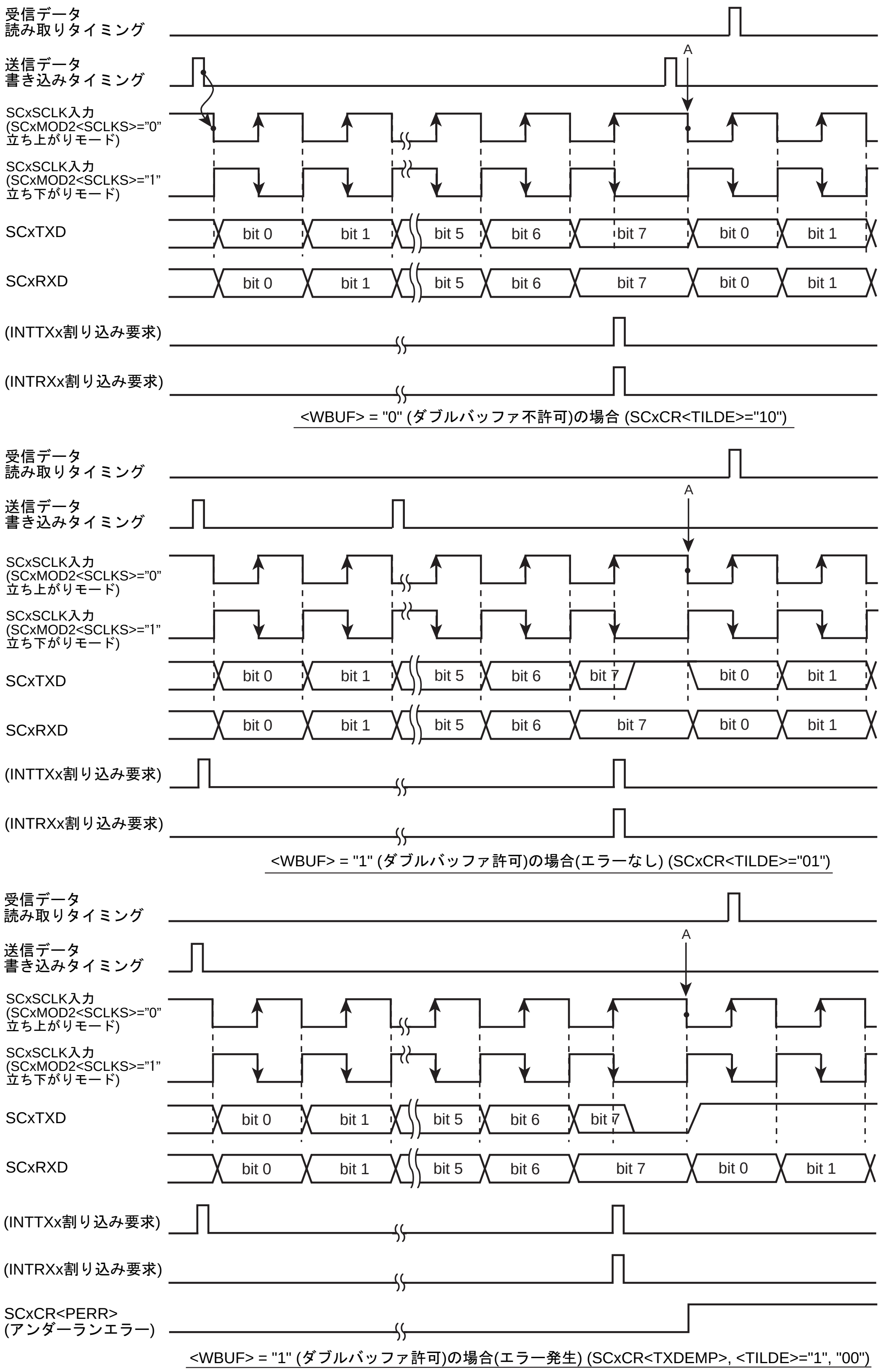


図 13-20 I/O インタフェースモード送受信動作(クロック入力モード)

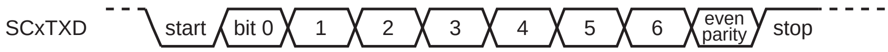
13.16.2 モード 1 (7 ビット UART モード)

SCxMOD0 <SM[1: 0]>を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。

<PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



(転送速度2400 bps @fsys = 9.8304 MHz)

クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

13.16.3 モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。

(転送速度9600 bps @fsys = 9.8304 MHz)

クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don’t care - : no change

13.16.4　モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込みます。受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

13.16.4.1　ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注)　スレーブコントローラの SCxTXD 端子は、必ず PxOD を設定してオープンドレイン出力モードにしてください。

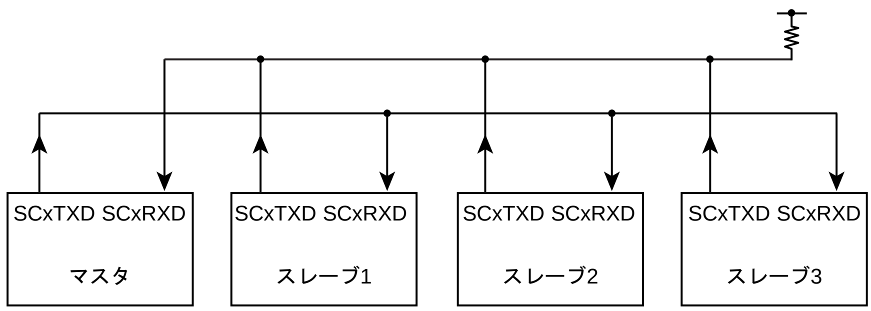


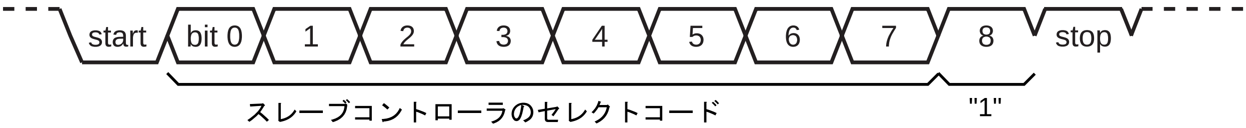
図 13-21 ウェイクアップ機能によるシリアルリンク

13.16.4.2 プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。

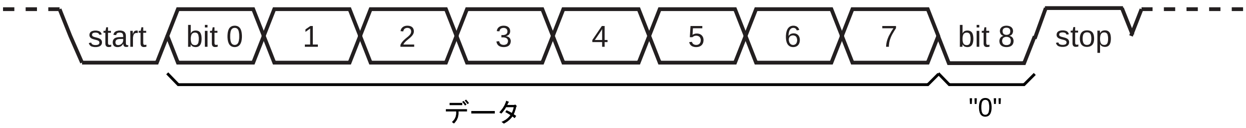
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。

3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。

5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 14 章　同期式シリアルインタフェース(SSP)

14.1　概要

同期式シリアルインタフェース(SSP: Synchronous Serial Port)の特長は以下のとおりです。

通信プロトコル		SPI を含む 3 種類の同期式シリアル ・Motorola SPI (SPI)フレームフォーマット ・TI synchronous (SSI)フレームフォーマット ・National Microwire (Microwire)フレームフォーマット
動作モード		マスタ/スレーブモード
送信 FIFO		幅 16-bit／深さ 8 段
受信 FIFO		幅 16-bit／深さ 8 段
送受信データのサイズ		4 ~ 16 ビット
割り込みの種類		送信割り込み 受信割り込み 受信オーバラン割り込み タイムアウト割り込み
通信速度 (注)	マスタモード時	fsys / 2 ~ fsys/65024
	スレーブモード時	fsys / 12 ~ fsys/65024
DMA 転送		サポート
内部テスト機能		内部ループバックテストモードの使用が可能

14.2　ブロック図

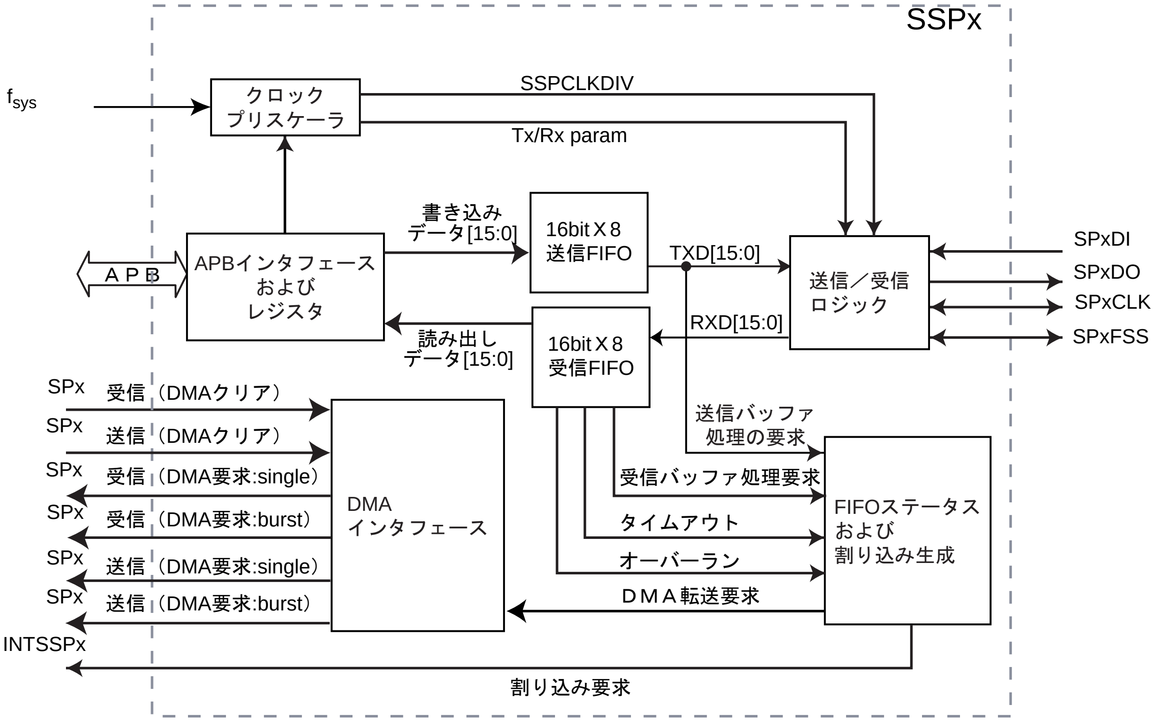


図 14-1 SSP ブロック図

14.3 レジスタ

14.3.1 レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
制御レジスタ 0	SSPxCR0	0x0000
制御レジスタ 1	SSPxCR1	0x0004
受信 FIFO(読み出し)および送信 FIFO(書き込み) データレジスタ	SSPxDR	0x0008
ステータスレジスタ	SSPxSR	0x000C
クロックプリスケールレジスタ	SSPxCPSR	0x0010
割り込み許可/禁止レジスタ	SSPxIMSC	0x0014
許可前の割り込みステータスレジスタ	SSPxRIS	0x0018
許可後の割り込みステータスレジスタ	SSPxMIS	0x001C
割り込みクリアレジスタ	SSPxICR	0x0020
DMA 制御レジスタ	SSPxDMACR	0x0024

注) 上記レジスタはワード(32bit) アクセスのみとなります。

14.3.2　SSPxCR0(制御レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SCR							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SPH	SPO	FRF		DSS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	W	"0"を書き込んでください。
15-8	SCR[7:0]	R/W	シリアルクロックレート設定 パラメータ:0x00 ~ 0xFF の値 SSP の送信ビットレートおよび受信ビットレートの生成に使用されます。 このビットレートは以下の式から求められます。 ビットレート = f_{sys} / (<CPSDVSR> × (1+ <SCR>)) <CPSDVSR> は、SSPxCPSR レジスタからプログラムされる 2 ~ 254 の偶数値であり、<SCR>は 0 ~ 255 の値を取ります。
7	SPH	R/W	SPxCLK フェーズ設定 0:1st クロックエッジでデータを取り込み 1:2nd クロックエッジでデータを取り込み (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。
6	SPO	R/W	SPxCLK 極性選択 0:SPxCLK は Low 状態 1:SPxCLK は High 状態 (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。
5-4	FRF[1:0]	R/W	フレームフォーマット選択 00:　SPI フレームフォーマット 01:　SSI シリアルフレームフォーマット 10:　Microwire フレームフォーマット 11:　Reserved(動作未定義)
3-0	DSS[3:0]	R/W	データサイズ選択 0000:　Reserved(動作未定義)　1000:　9 ビットデータ 0001:　Reserved(動作未定義)　1001:　10 ビットデータ 0010:　Reserved(動作未定義)　1010:　11 ビットデータ 0011:　4 ビットデータ　1011:　12 ビットデータ 0100:　5 ビットデータ　1100:　13 ビットデータ 0101:　6 ビットデータ　1101:　14 ビットデータ 0110:　7 ビットデータ　1110:　15 ビットデータ 0111:　8 ビットデータ　1111:　16 ビットデータ

14.3.3 SSPxCR1(制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SOD	MS	SSE	LBM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	W	"0"を書き込んでください。
3	SOD	R/W	スレーブモード SPxDO 出力制御 0: 許可 1: 禁止 スレーブモード出力ディセーブル。このビットは、スレーブモード(<MS>=1)の場合にのみ作用します。
2	MS	R/W	マスタ/ スレーブモード選択(注) 0: デバイスがマスタ 1: デバイスがスレーブ
1	SSE	R/W	SSP 動作禁止/許可 0: 禁止 1: 許可
0	LBM	R/W	ループバックモード 0: 通常シリアルポート動作イネーブル 1: 送信シリアルシフタの出力が受信シリアルシフタの入力に内部で接続されます。

注) マスタ/スレーブの切り替えビットです。スレーブモードでかつ送信時は、以下の設定順序を必ず守ってください。

1) スレーブモードに設定 :<MS>=1
2) 送信データを FIFO に設定 :<DATA>=0x****
3) SSP をイネーブルに設定 :<SSE>=1

14.3.4　SSPxDR(データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DATA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	W	"0"を書き込んでください。
15-0	DATA[15:0]	R/W	送信/ 受信 FIFO のデータ(0x0000 ~ 0xFFFF) リード時:受信 FIFO ライト時:送信 FIFO 16 ビット未満のデータサイズに合わせてプログラムしている場合は、データを右寄せ(LSB)にする必要があります。先頭の未使用ビットは送信ロジックによって無視されます。受信ロジックは自動的に右寄せを行います。

14.3.5 SSPxSR(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	BSY	RFF	RNE	TNF	TFE
リセット後	不定	不定	不定	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-5	−	W	"0"を書き込んでください。
4	BSY	R	ビジーフラグ 0: アイドル 1:ビジー <BSY>="1" :現在フレームの送信中/ 受信中であるか、送信 FIFO が空ではないことを示します。
3	RFF	R	受信 FIFO フルフラグ 0:受信 FIFO がフルではない 1: 受信 FIFO がフル
2	RNE	R	受信 FIFO 空きフラグ 0:受信 FIFO が空 1: 受信 FIFO が空ではない
1	TNF	R	送信 FIFO フルフラグ 0: 送信 FIFO がフル 1: 送信 FIFO がフルではない
0	TFE	R	送信 FIFO 空きフラグ 0: 送信 FIFO が空ではない 1: 送信 FIFO が空

14.3.6　SSPxCPSR (クロックプリスケールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CPSDVSR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	W	"0"を書き込んでください。
7-0	CPSDVSR[7:0]	R/W	クロックプリスケール除数 設定値:2- 254 の偶数値 クロックプリスケール除数。fsys の周波数に基づき、2 ~ 254 の偶数値を設定する必要があります。最下位ビットは読み出し時に常に 0 を戻します。

14.3.7 SSPxIMSC(割り込み許可/禁止レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXIM	RXIM	RTIM	RORIM
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	W	"0"を書き込んでください。
3	TXIM	R/W	送信 FIFO 割り込み許可/禁止設定 0: 禁止 1:許可 送信 FIFO に半分以下の空領域がある条件割り込みの許可/禁止
2	RXIM	R/W	受信 FIFO 割り込み許可/禁止設定 0: 禁止 1:許可 受信 FIFO の半分以下がフルである条件割り込みの許可/禁止
1	RTIM	R/W	受信タイムアウト 割り込み許可/禁止設定 0: 禁止 1:許可 タイムアウト期限までに受信 FIFO にデータが存在し、読み出されていないことを示す割り込みの許可/禁止
0	RORIM	R/W	受信オーバーラン 割り込み許可/禁止設定 0: 禁止 1:許可 受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込みの許可/禁止

14.3.8　SSPxRIS (許可前の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXRIS	RXRIS	RTRIS	RORRIS
リセット後	不定	不定	不定	不定	1	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	W	"0"を書き込んでください。
3	TXRIS	R	許可前の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXRIS	R	許可前の受信割り込みフラグ 0:割り込み無し 1: 割り込み有り
1	RTRIS	R	許可前の受信タイムアウト割り込みフラグ 0:割り込み無し 1: 割り込み有り
0	RORRIS	R	許可前の受信オーバラン割り込みフラグ 0:割り込み無し 1:割り込み有り

14.3.9 SSPxMIS (許可後の割り込みステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	TXMIS	RXMIS	RTMIS	RORMIS
リセット後	不定	不定	不定	不定	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	W	"0"を書き込んでください。
3	TXMIS	R	許可後の送信割り込みフラグ 0: 割り込み無し 1: 割り込み有り
2	RXMIS	R	許可後の受信割り込みフラグ 0:割り込み無し 1: 割り込み有り
1	RTMIS	R	許可後の受信タイムアウト割り込みフラグ 0:割り込み無し 1: 割り込み有り
0	RORMIS	R	許可後の受信オーバラン割り込みフラグ 0:割り込み無し 1:割り込み有り

14.3.10　SSPxICR (割り込みクリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RTIC	RORIC
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-2	–	W	"0"を書き込んでください。
1	RTIC	W	受信タイムアウト割り込みフラグをクリア 0:無効 1:クリア
0	RORIC	W	受信オーバラン割り込みフラグをクリア 0:無効 1:クリア

14.3.11 SSPxDMACR (DMA 制御レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TXDMAE	RXDMAE
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	–	W	"0"を書き込んでください。
1	TXDMAE	R/W	送信 FIFO の DMA 制御 0:禁止 1:許可
0	RXDMAE	R/W	受信 FIFO の DMA 制御 0:禁止 1:許可

14.4　SSP の概要

SSP は、3 種類の同期シリアルインタフェース機能を持つ周辺デバイスと、シリアル通信が可能なインタフェースです。

SSP は、周辺デバイスから受信したデータのシリアル- パラレル変換を実行します。

送信パスと受信パスは、送信モードと受信モードにおいて 16 ビット幅 8 段のそれぞれ独立した送信 FIFO と受信 FIFO にデータをバッファリングします。シリアルデータは、SPxDO から送信し、SPxDI から受信します。

SSP には、入力クロック fsys からシリアル出力クロック SPxCLK を生成するために、プログラム可能なプリスケーラが含まれています。SSP の動作モード、フレーム形式ならびにデータサイズは、制御レジスタ SSPxCR0 および SSPxCR1 を通じてプログラムします。

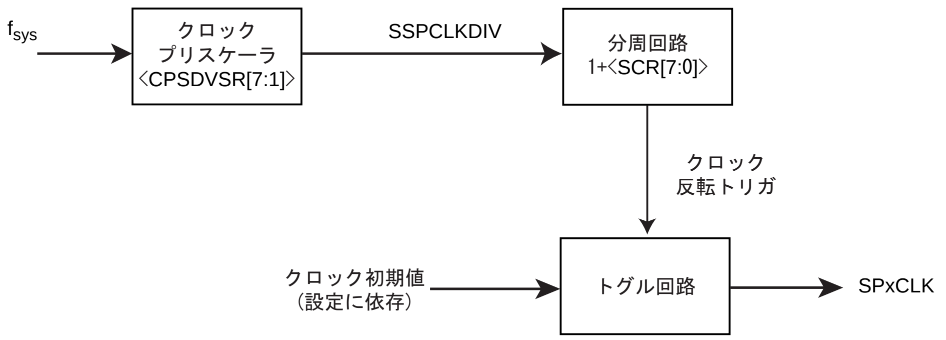
14.4.1　クロックプリスケーラ

マスタとして動作する場合、シリアル出力クロック SPxCLK を生成するために、シリアルにリンクした 2 つのフリーランカウンタから構成されるクロックプリスケーラが使用されます。

このクロックプリスケーラは、SSPxCPSR レジスタを介し、2 ~ 254 の偶数ステップで fsys を除算するようにプログラムすることができます。SSPxCPSR レジスタの最下位ビットを使用しないことにより、奇数ステップによるプログラミングはされなくなります。

プリスケーラの出力は、さらに SSPxCR0 レジスタにプログラミングされた値に+1 された 1 ~ 256 のステップで除算され、マスタ出力クロック SPxCLK が生成されます。

ビットレート = fsys / (<CPSDVSR>×(1+<SCR>))



14.4.2　送信 FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の送信 FIFO バッファです。

14.4.3　受信 FIFO

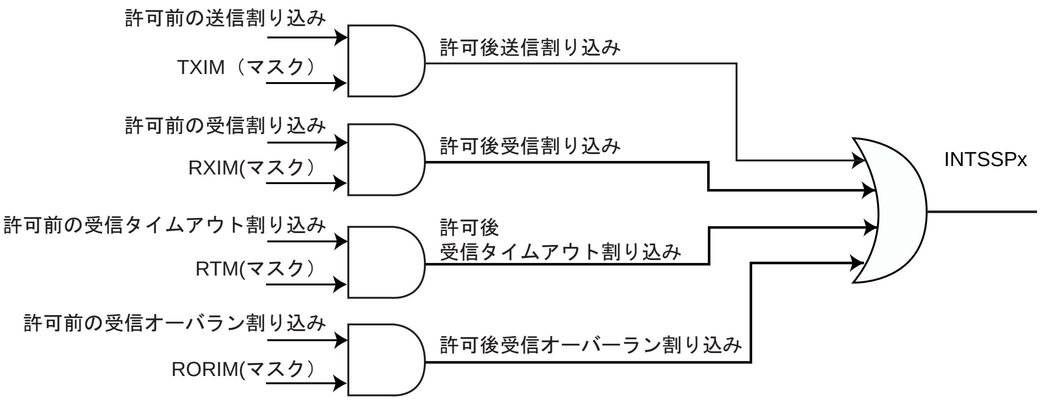
マスタおよびスレーブモード共有の 16 ビット幅 8 段の受信 FIFO バッファです。

14.4.4 割り込み生成ロジック

SSP によって、個々にマスク可能なアクティブの割り込みが生成されます。

送信割り込み	送信 FIFO の空領域が半分以上である条件割り込み (送信 FIFO 内の有効データ数 ≦ 4)
受信割り込み	受信 FIFO の有効データが半分以上である条件割り込み (受信 FIFO 内の有効データ数 ≧ 4)
タイムアウト割り込み	タイムアウトまでに読み出されていないデータが受信 FIFO に存在することを示す割り込み
オーバラン割り込み	受信 FIFO がフルのときに書き込みが行われたことを示す条件割り込み

また、マスクされた個々のソースを 1 つの割り込みに結合しています。上記割り込みのいずれかがアサートされると、結合割り込み INTSSPx がアサートされます。



a. 送信割り込み

送信割り込みは、送信 FIFO 内の有効エントリが 4 エントリ以下になるとアサートされます。SSP 動作ディセーブル(SSPxCR1<SSE>=0)でも送信割り込みが発生します。

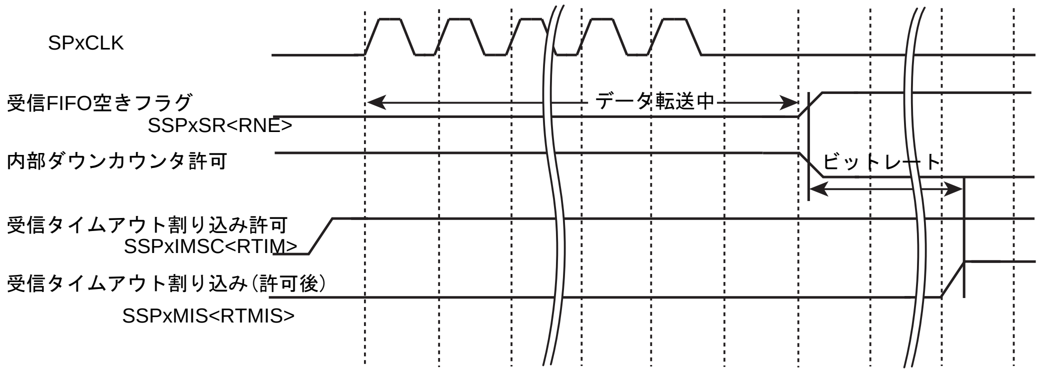
初回の送信データは、本割り込みを使用して FIFO に書き込むことができます。

b. 受信割り込み

受信 FIFO 内の有効エントリが 4 エントリ以上になるとアサートされます。

c. タイムアウト割り込み

タイムアウト割り込みは、受信 FIFO が空ではないときに SSP が一定の 32 ビット周期(ビットレート)の間アイドル状態を続けるとアサートされます。この機構により、ユーザは受信 FIFO にまだデータが存在し、処理が必要であることを認識することができます。マスタ／スレーブ モード共に発生します。タイムアウト割り込みが発生した場合は、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、転送開始でタイムアウト割り込みはクリアされます。また、受信 FIFO に空きがない状態で送受信を行った場合、タイムアウト割り込みはクリアされオーバラン割り込みが発生します。



d.　オーバーラン割り込み

受信 FIFO が既にフルのときに次のデータ(9 個目)を受信すると、転送終了直後、 受信オーバラン割り込みが発生します。オーバラン割り込み発生以降の受信データ（9 個目のデータを含む）は無効となり、破棄されます。ただし、9 個目のデータ受信中（割り込み発生する前）に受信 FIFO のデータをリードすると、9 個目の受信データは有効データとして受信 FIFO に書き込まれます。オーバラン割り込みが発生した場合、正しい転送を行なうためには、SSPxICR<RORIC>に"1"を書き込んだ後、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、オーバラン割り込みをクリアした後、一定の 32 ビット周期(ビットレート)の間、受信 FIFO をリードしない場合(受信 FIFO が空ではない時) はタイムアウト割り込みが発生します。

14.4.5　DMA インタフェース

SSP は、DMA のバースト転送およびシングル転送をサポートしており、SSPxDMACR レジスタで DMA 転送を許可することで、バースト転送、シングル転送とも有効となります。

SSP 動作を禁止設定するか DMA 転送を禁止設定することで、全ての転送要求が解除されます。

14.4.5.1　バースト転送

受信 FIFO に格納されるデータがウォーターマークレベル(FIFO の 1/2)以上になると受信のバースト DMA 転送要求がアサートされます。

送信 FIFO に格納するデータがウォーターマークレベル(FIFO の 1/2)以下になると送信のバースト DMA 転送要求がアサートされます。

DMA のバースト長は 4 ワードに設定してください。

以下の表は、送信 FIFO および受信 FIFO に対する DMABREQ のトリガポイントを示しています。

	バースト長	
ウォーターマークレベル	送信（空き位置の数）	受信（充填位置の数）
1/2	4	4

14.4.5.2 シングル転送

受信 FIFO に 1 つでもデータが格納されていると受信の DMA シングル転送要求がアサートされます。

送信 FIFO に 1 つでも空きがあると送信の DMA シングル転送要求がアサートされます。

バースト転送とシングル転送は同時に使用することもできます。受信の場合、データがウォーターマークレベル以上ではバースト転送要求、シングル転送要求ともアサートされ、ウォータマークレベル以下になるとシングル転送要求のみアサートされます。送信の場合、データがウォーターマークレベル以下ではバースト転送要求、シングル転送要求ともアサートされ、ウォーターマークレベル以上になるとシングル転送要求のみアサートされます。

たとえば 19 ワードの受信を行う場合、4 回の 4 ワードのバースト転送終了後、DMA はバースト転送に対する転送終了信号をアサートしバースト転送が終了します。残りの 3 ワードに対しシングル転送要求がアサートされ、3 回のシングル転送を行うことですべてのデータ転送を行うことができます。

14.5　SSP の動作

14.5.1　SSP の初期設定

SSP 通信プロトコルの設定は SSP がディセーブルの状態で、設定する必要があります。制御レジスタ SSPxCR0 および SSPxCR1 を使って、以下のいずれかのプロトコルに設定し、本 SSP をマスタまたはスレーブに設定してください。また、通信速度に関して、クロックプリスケールレジスタ SSPxCPSR および SSPxCR0<SCR>を設定してください。

本 SSP は以下のプロトコルをサポートします。

- SPI
- SSI
- Microwire

14.5.2　SSP のイネーブル

送信 FIFO に 送信データが書き込まれていて、かつ動作イネーブルした時、もしくは動作イネーブル状態で送信 FIFO に送信データが書き込まれたときに転送が開始されます。

ただし、動作イネーブルにした時に送信 FIFO が 4 エントリ以下の場合は送信割り込みが発生します。この割り込みを使って初回データを書き込むことも可能です。

注)　SPI のスレーブモードでかつ SPxFSS 端子未使用の場合、イネーブルする前に必ず 1Byte 以上のデータを送信 FIFO に書き込んでください。送信 FIFO が空の状態でイネーブルすると、転送データが正常に出力されません。

14.5.3　クロック比

SPxCLK の周波数は以下の条件を満たす必要があります。

製品によってさらに制約がある場合がありますので、「製品情報」の章で確認してください。

- マスタモードの場合

  f_{SPxCLK} (最大) : f_{sys} /2

  f_{SPxCLK} (最小) : f_{sys} /(254×256)
- スレーブモードの場合

  f_{SPxCLK} (最大) : f_{sys} /12

  f_{SPxCLK} (最小) : f_{sys} /(254×256)

14.6 フレーム形式

各フレームフォーマットは、プログラムされたデータのサイズにより、4 ~ 16 ビットの幅を持ち、MSB から送信が開始されます。

- シリアルクロック(SPxCLK)

  SSP がアイドル状態の間は SSI と Microwire では Low でホールドされ、SPI では非アクティブでホールドされます。また、データ送信中にのみ設定されたビットレートで出力されます。

- シリアルフレーム(SPxFSS)

  SPI および Microwire のフレーム形式では、Low アクティブとなり、フレームの送信中は常に Low にアサートされます。

  SSI フレーム形式の場合は、各フレームの送信前に 1 ビットレートの間のみアサートされます。このフレーム形式では、 SPxCLK の立ち上がりエッジで出力データを送信し、その立下りエッジで入力データを受信します。

各フレーム フォーマットの詳細は「14.6.1 ~ 14.6.3」を参照してください。

14.6.1　SSI のフレームフォーマット

このモードでは、SSP はアイドル状態で SPxCLK および SPxFSS が Low にセットされ、送信データライン SPxDO が Hi-Z になります。送信 FIFO にデータをライトすると、マスタは SPxFSS ラインに 1 SPxCLK 分の High パルスを出力します。送信データは送信 FIFO から送信のシリアルシフトレジスタに転送されます。SPxCLK の次の立ち上がりエッジで、MSB から 4 ~ 16 ビットのデータ が SPxDO 端子により出力されます。

同様に、受信データは SPxCLK の立ち下がりエッジで MSB から SPxDI 端子に入力されます。受信されたデータは、その LSB データ がラッチされた後、SPxCLK の立ち上がりエッジでシリアルシフトレジスタから受信 FIFO に転送されます。

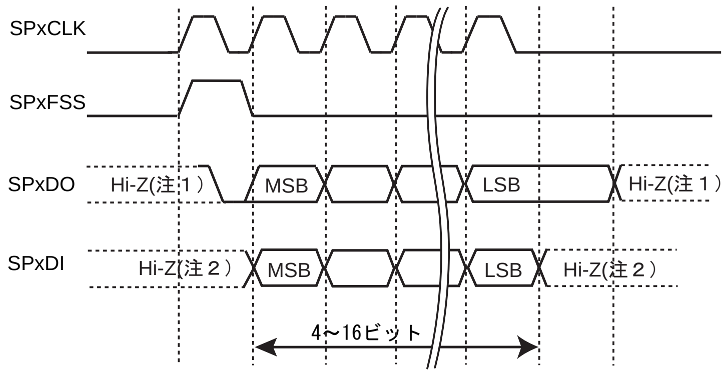


図 14-2 SSI フレームフォーマット（シングル転送送受信）

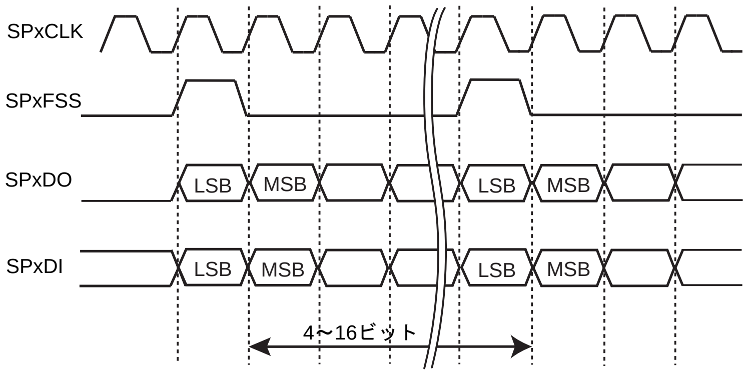


図 14-3 SSI フレームフォーマット（連続転送送受信）

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

14.6.2 SPI のフレームフォーマット

SPI インタフェースは 4 線インタフェースであり、SPxFSS はスレーブ選択として動作します。SPI フォーマットの主な特長は、SPxCLK の動作タイミングを SSPxCR0 レジスタ内の<SPO> ビットと<SPH> ビットを使って、設定できます。

SSPxCR0<SPO>はアイドル状態時の SPxCLK をホールドするレベルを設定します。

SSPxCR0<SPH>はデータをラッチするクロックエッジを選択します。

	SSPxCR0<SPO>	SSPxCR0<SPH>
0	Low 状態	1st クロックエッジでデータを取り込み
1	High 状態	2nd クロックエッジでデータを取り込み

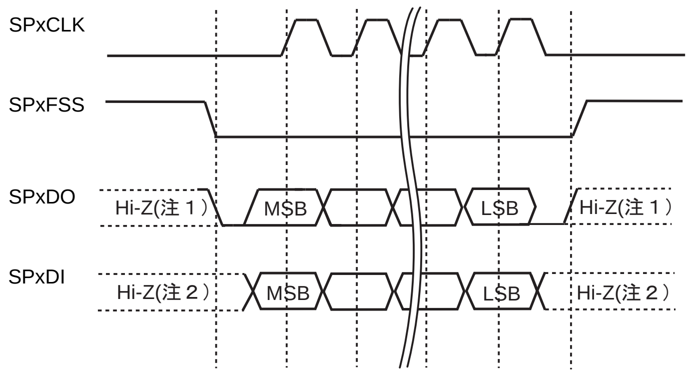


図 14-4 SPI フレームフォーマット（シングル転送、<SPO>=0＆<SPH>=0）

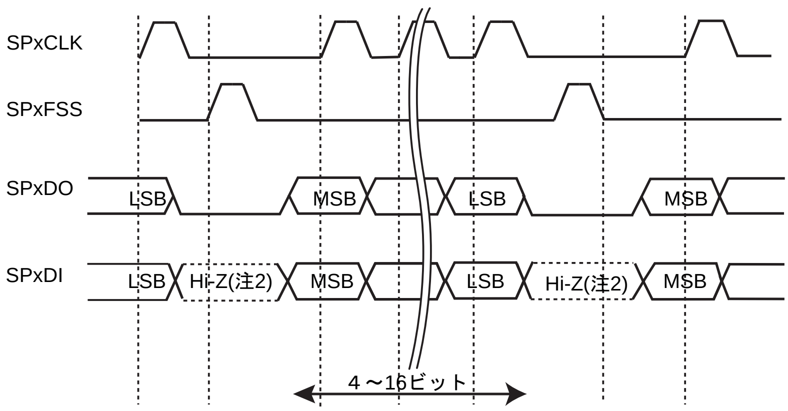


図 14-5 SPI フレームフォーマット（連続転送、<SPO>=0＆<SPH>=0）

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

<SPO>=0 におけるアイドル周期では、

・　SPxCLK が Low にセットされます。
・　SPxFSS が High にセットされます。
・　送信データライン SPxDO が Low にセットされます。

SSP がイネーブルされているときに送信 FIFO 内に有効データが存在する場合、送信開始は Low でドライブされる SPxFSS マスタシグナルによって通知されます。これにより、マスタの SPxDI 入力ラインでスレーブデータがイネーブルされます。

SPxCLK の半周期後、有効マスタデータが SPxDO ピンに転送されます。これで、マスタデータとスレーブデータの両方がセットされ、SPxCLK のさらに半周期後に SPxCLK マスタクロックピンが High になります。その後、データは SPxCLK シグナルの立ち上がりエッジで捕捉され、立下りエッジで伝達されます。

シングル転送の場合、そのデータワードの全ビットの転送が完了し、その末尾ビットが捕捉されてから SPxCLK　 1 周期後に、SPxFSS ラインがアイドル High 状態に戻ります。

しかし、連続転送の場合には、各データワード転送間で SPxFSS シグナルを High でパルスする必要があります。これは、スレーブ選択ピンがそのシリアルペリフェラルレジスタにデータをフリーズし、<SPH> ビットが論理 0 の場合は変更を許可しないためです。

したがって、シリアルペリフェラルデータの書き込みをイネーブルするには、マスタデバイスが各データ転送間でスレーブデバイスの SPxFSS ピンをドライブする必要があります。連続転送が完了すると、末尾ビットが捕捉されてから SPxCLK　 1 周期後に SPxFSS ピンがアイドル状態に戻ります。

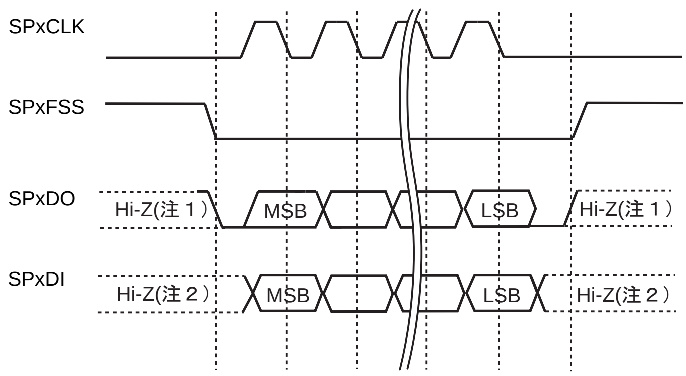


図 14-6 SPI フレームフォーマット（<SPO>=0＆<SPH>=1）

図 14-6 は、<SPO>=0、<SPH>=1 の SPI フレームフォーマットです。シングル転送、連続転送とも同じフォーマットとなります。

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

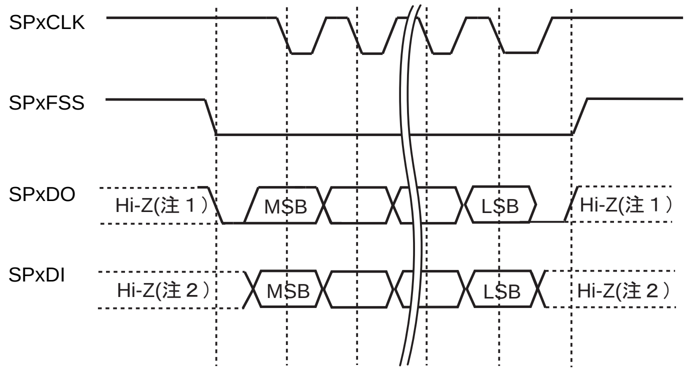


図 14-7 SPI フレームフォーマット（シングル転送<SPO>=1＆<SPH>=0）

図 14-7 は、<SPO>=1、<SPH>=0 のシングル転送時の SPI フォーマットです。

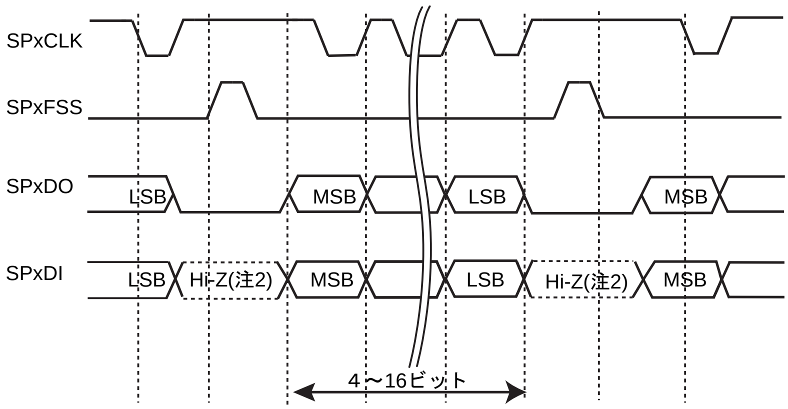


図 14-8 SPI フレームフォーマット（連続転送<SPO>=1＆<SPH>=0）

図 14-8 は、<SPO>=1、<SPH>=0 の連続転送時の SPI フォーマットです。

注 1) SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2) SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

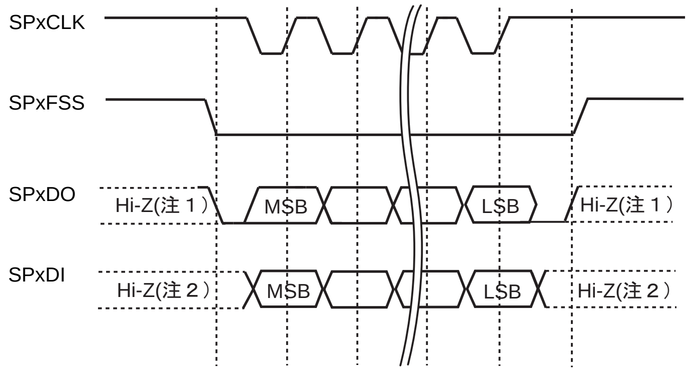


図 14-9 SPI フレームフォーマット（<SPO>=1＆<SPH>=1）

図 14-9 は、<SPO>=1、<SPH>=1 の SPI フレームフォーマットです。シングル転送、連続転送とも同じフォーマットになります。

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

14.6.3 Microwire のフレームフォーマット

Microwire 形式は半二重モードで動作する特殊なマスタ- スレーブ伝達方式を使用します。このモードでは、フレームの開始時に 8 ビットの制御メッセージがスレーブに送信されます。この送信中、SSP はデータを受信しません。メッセージが送信された後、スレーブがそれをデコードし、8 ビット制御メッセージの末尾ビットの送信から 1 シリアルクロック間待機した後、要求されたデータで応答します。戻されるデータの長さは 4 ~ 16 ビットであり、全体のフレーム長は 13 ~ 25 ビットとなります。

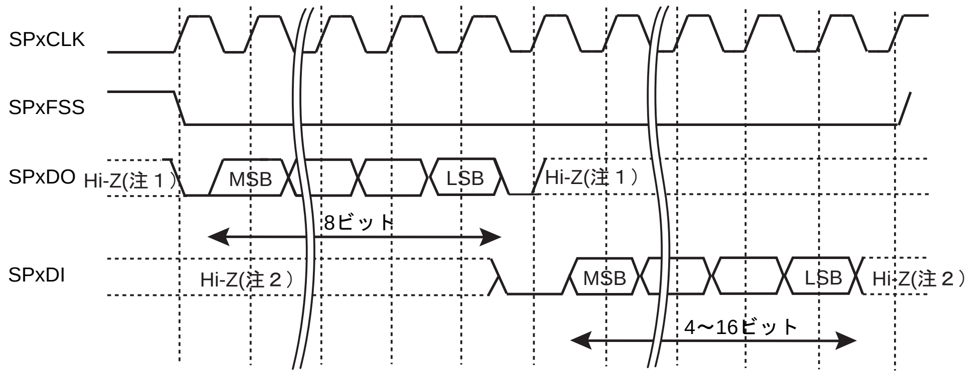


図 14-10 Microwire フレームフォーマット（シングル転送）

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください

Microwire 形式は SPI 形式と非常に似ていますが、全二重ではなく半二重通信のマスタ-スレーブメッセージ伝達方式を使用する点が異なります。各シリアル伝送は、SSP からオフチップスレーブデバイスに送信される 8 ビットの制御ワードで開始されます。この送信中、 SSP は入力データを受信しません。このメッセージの送信後、オフチップスレーブがこれをデコードし、8 ビット制御メッセージの末尾ビット送信後から 1 シリアルクロックが経過するまで待機し、要求されたデータで応答します。戻されるデータは 4 ~ 16 ビット長、フレーム全体は 13 ~ 25 ビット長になります。このコンフィギュレーションにおけるアイドル周期では :

- SPxCLK が Low にセットされます。
- SPxFSS が High にセットされます。
- 送信データライン SPxDO が Low にセットされます。

伝送は送信 FIFO への制御バイトの書き込みによってトリガされます。SPxFSS の立下りエッジによって送信 FIFO の最下位エントリにストアされていた値が送信ロジックのシリアルシフトレジスタに転送され、8 ビット制御フレームの MSB が SPxDO ピンにシフトアウトされます。

このフレーム伝送の間、SPxFSS は Low でホールドされ、SPxDI ピンはトライステートでホールドされます。オフチップシリアルスレーブデバイスは、SPxCLK の立ち上がりエッジでそのシリアルシフタに各制御ビットをラッチします。

スレーブデバイスによって末尾ビットがラッチされると、1 クロックウェイト状態の間にその制御バイトがデコードされ、スレーブはデータを送信することによって SSP に応答します。各ビットは、SPxCLK の立下りエッジで SPxDI ラインにドライブされます。

一方、SSP は SPxCLK の立ち上がりエッジで各ビットをラッチします。シングル転送の場合は、フレームの終わりで末尾ビットが受信シリアルシフタにラッチされてから 1 クロック周期後に SPxFSS シグナルが High にプルされ、これによってデータが受信 FIFO に転送されます。

注)　オフチップスレーブデバイスは、受信シフタによって LSB がラッチされた後の SPxCLK の立下りエッジで、または SPxFSS ピンが High になるときのどちらかで、受信ラインをトライステートでホールドすることができます。

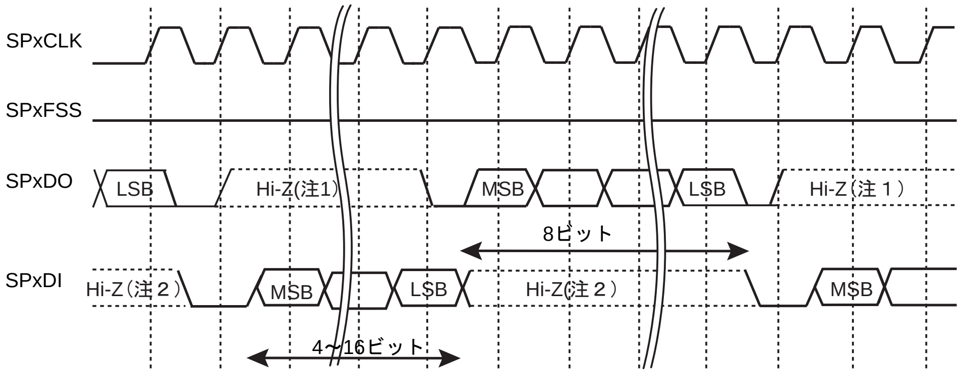


図 14-11 Microwire フレームフォーマット（連続転送）

注 1)　SPxDO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ／プルダウン抵抗によるレベル固定をしてください。

注 2)　SPxDI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ／プルダウン抵抗によるレベル固定をしてください。

連続転送の場合、データ伝送の開始と終了はシングル転送の場合と同じように行われます。しかし、SPxFSS ラインは常にアサート(Low でホールド)され、データの伝送が次から次に発生します。

次のフレームの制御バイトは、現在のフレームから受信されたデータの LSB の直後に続きます。受信された各値は、そのフレームの LSB が SSP にラッチされた後、SPxCLK の立下りエッジで受信シフタから転送されます。

注)　(接続例)SSP は、システム内におけるマスタ/ スレーブの dynamics 切り替えをサポートしていません。
各 SSP の例は、マスタまたはスレーブのどちらかとして構成/接続されています。

第 15 章　24 ビット ΔΣ 型アナログ/デジタルコンバータ(DSADC)

DSADC の基準電圧回路(BGR)は温度センサと共通に使用しており、使用するためには温度センサの制御レジスタ(TEMPEN)の設定も必要です。

15.1　特徴

DSADC には、以下のような特徴があります。

- 変換スタート
  ソフトウエアによる変換スタート
  ハードウエアトリガによる変換スタート
- 変換モード
  - シングル変換
  - リピート変換
- ステータスフラグ
  - 変換結果格納フラグ
  - オーバーランフラグ
  - 変換終了フラグ
  - 変換中フラグ
- 変換クロックを分周可能
  fc/1、fc/2、fc/4、fc/8
- 変換終了割り込みを出力
- 変換開始補正機能
- ユニット間同時スタート機能
- 変換終了信号の出力

15.1.1　端子処理について

DSADC の基準電圧として、内蔵の基準電圧回路を使用する方法と VREFINx から印加する方法があります。それぞれ下記のとおり端子処理を行ってください。

- 内蔵の基準電圧回路を使用する場合
  - VREFINx に基準電源の接続はしない
  - AGNDREFx は DVSS と同じレベルに接続
  - VREFINx と AGNDREFx の間に 1μF のコンデンサを接続
- VREFINx から基準電圧を印加する場合
  - VREFINx に基準電源を接続する
  - AGNDREFx は DVSS と同じレベルに接続
  - VREFINx と AGNDREFx の間に 1μF のコンデンサを接続

注)　内蔵の基準電圧回路を使用する場合、BGR と AMP を有効にする必要があります。
VREFINx から基準電圧を印加する場合、AMP は有効にしないでください。
BGR は温度センサと共用しています。BGR と AMP の制御は、温度センサのレジスタ TEMPEN <EN0> <EN1>で設定します。

DSADC を使用しない場合、下記のとおり端子処理を行ってください。

- AGNDREFx は DVSS と同じレベルに接続

また、温度センサも使用しない場合、基準電圧回路に関し下記のとおり端子処理を行ってください。

- DSRVDD3、SRVDD は DVDD3 に接続
- DSRVSS は DVSS に接続

15.2 ブロック図

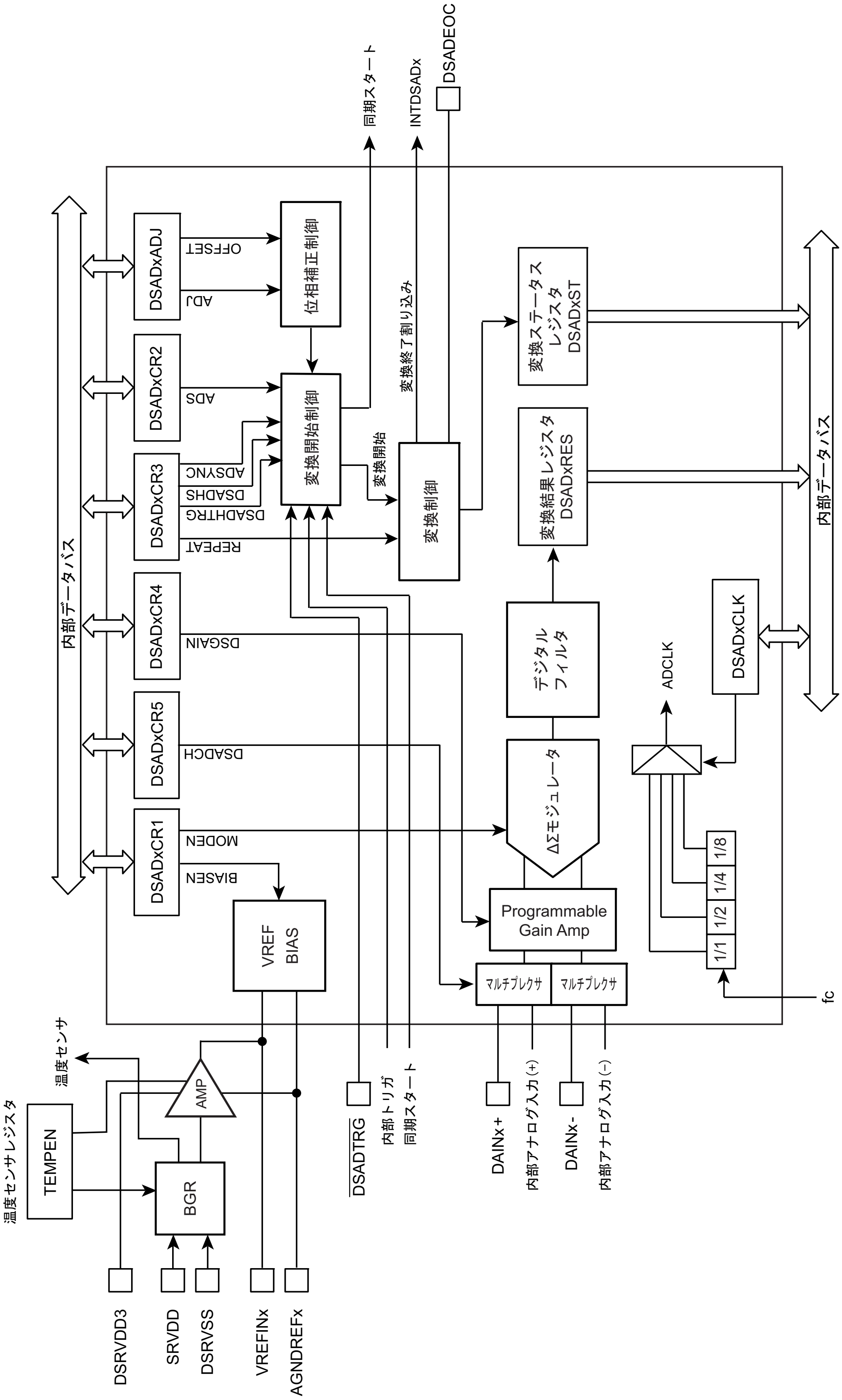


図 15-1 24 ビット ΔΣ 型 AD コンバータブロック図

15.3　レジスタ説明

15.3.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

周辺機能:DSAD

レジスタ名		Address(Base+)
クロック設定レジスタ	DSADxCLK	0x0000
コントロールレジスタ 0	DSADxCR0	0x0004
コントロールレジスタ 1	DSADxCR1	0x0008
コントロールレジスタ 2	DSADxCR2	0x000C
コントロールレジスタ 3	DSADxCR3	0x0010
コントロールレジスタ 4	DSADxCR4	0x0014
コントロールレジスタ 5	DSADxCR5	0x0018
補正レジスタ	DSADxADJ	0x0030
変換ステータスレジスタ	DSADxST	0x0040
変換結果レジスタ	DSADxRES	0x0044

レジスタアクセスに関する注意

変換中は、以下のレジスタ以外はアクセスしないでください。

- DSADxCR0<ADRST[1:0]>
- DSADxCR3<REPEAT>
- DSADxCR5<DSADCH>

15.3.2 レジスタ詳細

15.3.2.1 DSADxCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	ADCLK		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます。
2-0	ADCLK[2:0]	R/W	AD 変換クロック選択 000: fc/1 001: fc/2 010: fc/4 011: fc/8 100-111: 設定禁止

注 1) <ADCLK[2:0]>レジスタの変更は、AD 変換停止時で DSADxCR1<BIASEN>および<MODEN>が"0" の状態で行ってください。

注 2) 同期スタート機能を使用する場合、すべてのユニットで同じ変換クロックを選択してください。

15.3.2.2　DSADxCR0（コントロールレジスタ 0）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	−	リードすると"0"が読めます。
1-0	ADRST	W	ソフトウエアリセット(注) "10"、"01"の順にライトすることでソフトウエアリセットが発生します。内部回路と DSADxCLK 以外のレジスタは初期化されます。

注)　DSADxCR1<BIASEN> = "1"のときのみ有効です。

15.3.2.3　DSADxCR1（コントロールレジスタ 1）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BIASEN	MODEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	−	リードすると"0"が読めます。
1	BIASEN	R/W	バイアス制御 0 : 停止 1 : 動作
0	MODEN	R/W	モジュレータ制御 0 : 停止 1 : 動作

15.3.2.4 DSADxCR2（コントロールレジスタ 2）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	−	リードすると"0"が読めます。
0	ADS	W	変換開始 1: 変換開始 "1"を設定すると変換を開始します。"0"の書き込みは意味を持ちません。 リードすると"0"が読めます。

15.3.2.5　DSADxCR3（コントロールレジスタ 3）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	DSADHS	DSADHTG	-	-	-	ADSYNC
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	REPEAT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-14	−	−	リードすると"0"が読めます。
13	DSADHS	R/W	ハードウエア起動要因(注 1) 0: 外部トリガ 1: 内部トリガ
12	DSADHTG	R/W	ハードウエア起動 0: 禁止 1: 許可
11-9	−	R	リードすると"0"が読めます。
8	ADSYNC	R/W	同期モード 0: 個別動作 1: 同期動作 "1"を設定すると、複数ユニットで同時に変換スタートします。(注 2)
7-1	−	R	リードすると"0"が読めます。
0	REPEAT	R/W	変換モード 0: シングル変換 1: 連続変換

注 1)　本製品のハードウエア起動要因については、「製品情報」の章を参照してください。

注 2)　スレーブとして使用するユニットのみ"1"を設定してください。マスタとなるユニットは"0"で使用します。本製品でのマスタとスレーブの割り当ては、「製品情報」の章を参照してください。

15.3.2.6 DSADxCR4（コントロールレジスタ 4）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	DSGAIN		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	−	リードすると"0"が読めます。
2-0	DSGAIN[2:0]	R/W	ゲインアンプ設定 000: ×1 001: ×2 010: ×4 011: ×8 100: ×16 101-111: Reserved

15.3.2.7　DSADxCR5（コントロールレジスタ 5）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	DSADCH
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	−	リードすると"0"が読めます。
0	DSADCH	R/W	アナログ入力設定 0: DAIN x (+/-) 1: 内部アナログ入力(+/-) アナログ入力信号を指定します。

注)　本製品での内部アナログ入力については「製品情報」章を参照してください。

15.3.2.8 DSADxADJ(補正レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	OFFSET							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	OFFSET							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	ADJ
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	OFFSET	R/W	変換開始補正時間 DSADxCR2<ADS>に"1"を設定してから、変換を開始するまでの時間を設定します。 <OFFSET>×1/fsys 分の遅延がつきます。
15-1	−	R	リードすると"0"が読めます。
0	ADJ	R/W	変換開始補正 0: 補正しない 1: 補正する "1"を設定すると、変換開始の設定から<OFFSET>で設定した遅延後に変換を開始します。

15.3.2.9　DSADxST(変換ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	EOCF	R	変換終了フラグ(注) 0: 変換終了していない 1: 変換終了
0	ADBF	R	変換中フラグ 0: 変換していない 1: 変換中

注)　このビットは、本レジスタを読み出すとクリアされます。

15.3.2.10 DSADxRES(変換結果レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	ADR[23:16]							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ADR[15:8]							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR[7:0]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADOVR	ADRF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	ADR[23:0]	R	変換結果 変換結果が 2 の補数表現の値で格納されます。 変換中にリードすると前回の変換結果がリードされます。
7-2	-	R	リードすると"0"が読めます。
1	ADOVR	R	オーバーランフラグ(注) 0: 発生していない 1: 発生した <ADR>を読み出す前に変換結果が上書きされると"1"がセットされます。
0	ADRF	R	変換結果格納フラグ(注) 0: 変換結果が格納されていない 1: 変換結果が格納された 変換結果が<ADR>に格納されると"1"がセットされます。

注) このビットは本レジスタを読み出すと"0"にクリアされます。

15.4　動作説明

15.4.1　起動および停止手順

DSADC の使用を開始する場合、停止をする場合の手順を説明します。設定が必要なレジスタを以下に示します。

レジスタ	ビット	制御対象
TEMPEN	EN0, EN1	基準電圧回路(注)
DSADxCLK	ADCLK	変換クロックの分周
DSADxCR4	DSGAIN	ゲイン設定
DSADxCR1	BIASEN, MODEN	バイアス回路、モジュレータ回路動作

注)　基準電圧回路は温度センサと共通に使用します。

15.4.1.1　起動

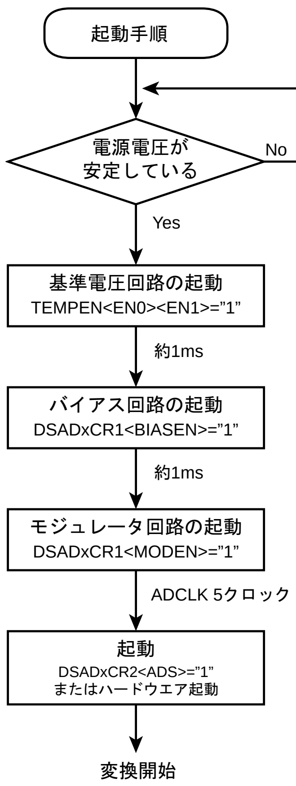


図 15-2 起動手順

電源電圧が安定した状態で、以下の順序で操作を行ってください。

1. 基準電圧回路の起動

   TEMPEN<EN0><EN1>に"1"を設定し、1ms 以上の安定化時間を確保します。

   TEMPEN<EN1>は必ず TEMPEN<EN0>が有効な状態で有効にしてください。<EN0>、<EN1>を同時に有効にすることも可能です。

2. バイアス回路の起動

   DSADxCR1<BIASEN>に"1"を設定し、1ms 以上の安定化時間を確保します。

   <BIASEN>を設定する前に変換クロックを供給してください。変換クロックについては「1.4.2 変換クロック(ADCLK)」を参照してください。

3. モジュレータ回路の起動

   DSADxCR1<MODEN>を"1"に設定します。

   その後、ADCLK 5 クロック後より変換が可能になります。

   変換モード(DSADxCR3<REPEAT>)、ゲイン設定(DSADxCR4<DSGAIN>)は、変換開始前に設定してください。

4. 変換スタート

   ソフトウエアまたはハードウエア起動により変換を開始します。

15.4.1.2 停止

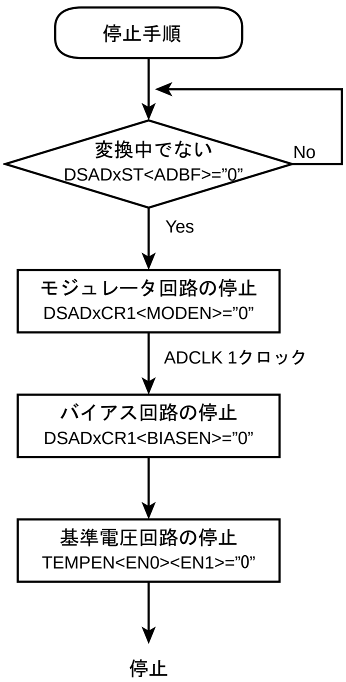


図 15-3 停止手順

変換が終了している状態(DSADxST<ADBF>="0")で、以下の順序で操作を行ってください。

1. モジュレータ回路の停止

   DSADxCR1<MODEN>を"0"に設定します。

2. バイアス回路の停止

   モジュレータ回路停止から ADCLK 1 クロック以上経過後に DSADxCR1<BIASEN>に"0"を設定します。

3. 基準電圧生成回路の停止

TEMPEN<EN0><EN1>に"0"を設定します。

注) 基準電圧回路は温度センサと共用しています。温度センサ使用中は TEMPEN<EN0>は停止("0"設定)しないでください。

15.4.2 変換クロック(ADCLK)

DSADC に供給される変換クロックは DSADxCLK で分周することができます。

変換クロックの周波数変更または停止は、DSADC が停止した状態(DSADxCR1<BIASEN><MODEN>がともに"0")で行ってください。

同期スタート機能を使用する場合、すべてのユニットで同じ変換クロックを選択してください。

15.4.2.1 変換時間

変換時間は、ADCLK の周波数を f_{ADCLK} とすると以下の計算式で求められます。

$$\text{変換時間} = 1 / f_{ADCLK} \times 2640 + \text{固定遅延時間}\ [s]$$

固定遅延時間は、シングル変換および、リピート変換の 1 回目では 673 から 675 クロック、リピート変換の 2 回目以降では 0 クロックです。

例えば、fc=16MHz にて fc/1 選択時で、2 回目以降の場合 変換時間は 165μs となります。

15.4.3 変換モード

変換モードは、1 回のみ変換するシングルモードと連続して変換するリピートモードの 2 種類で、DSADxCR3<REPEAT>で設定します。

15.4.4 変換開始

変換はソフトウエアまたはハードウエアトリガによって開始します。

ソフトウエアの場合、DSADxCR2<ADS>に"1"を設定することで変換を開始します。

ハードウエア起動を使用する場合、まず、DSADxCR3<DSADHS>で外部トリガか内部トリガを選択し、<DSADHTG>でハードウエア起動を許可します。ハードウエアトリガが発生すると変換を開始します。

注 1) 変換開始後の再スタートは無視されます。

注 2) ハードウエア起動が許可された状態でもソフトウエアによって変換を開始できます。

15.4.5 変換ステータス

変換状態は DSADxST で確認することができます。

変換動作中は DSADxST<ADBF>が"1"になり、変換が終了すると DSADxST<EOCF>が"1"になります。<EOCF>は、DSADxST をリードするとクリアされます。

リピート変換の場合、動作中 DSADxST<ADBF>は"1"を保持し、リピート変換を終了したときに"0"にクリアされます。

15.4.6　変換対象の切り替え

リピート変換中、DSADxCR5<DSADCH>により外部端子入力と内部入力を切り替えることができます。ただし、変換終了前 16 ADCLK クロック、終了後 220 ACLK クロック間の切り替えはしないでください。実際の変換終了と、変換終了割り込みおよび DSADEOC 出力には時間差が生じます。上記の期間に対し、余裕を持って切り替えを行ってください。

切り替え後 2 回の変換結果は無効です。3 回目の結果から使用してください。

15.4.7　変換停止

シングルモードの場合、変換が終了すると DSADC は自動的に停止します。

リピートモード時に変換を停止する場合、DSADxCR3<REPEAT>に"0"を設定すると実行中の変換を中断し DSADC は停止します。この際、変換終了割り込みは発生しません。

注)　<REPEAT>に"0"を設定してリピート変換を終了する際、DSADxCR3 の他のビットを書き換えないでください。

15.4.8　変換終了

変換が終了すると変換終了割り込みを発生します。変換結果が DSADxRES<ADR>に格納され、DSADxRES<ADRF>に"1"が設定されます。また、DSADEOC 端子から ADCLK 10 クロック間の"High"パルスが出力されます。

割り込みを使用しない場合、DSADxST<EOCF>をポーリングしてください。<EOCF>が"1"であれば変換が終了しています。

<ADR>に結果が設定されたのち、読み出される前に次の結果が書き込まれた場合、<ADOVR>に"1"が設定されます。<ADRF>と<ADOVR>は DSADxRES をリードするとクリアされます。

15.4.9　変換結果

差動入力電圧±1V に対する変換結果は以下のとおりです。

注)　VREFINx = 2.75V の場合の値です。

AINP - AINN	変換結果
+1V	0x6A5900
0V	0x000000
-1V	0x95A700

15.5　同期スタート機能

マスタとなるユニットの変換開始と同時にスレーブとなるユニットの変換を開始することができます。本製品でのマスタとスレーブの割り当ては、「製品情報」の章を参照してください。

15.5.1　起動

同期スタート機能を使用する際の設定手順を示します。

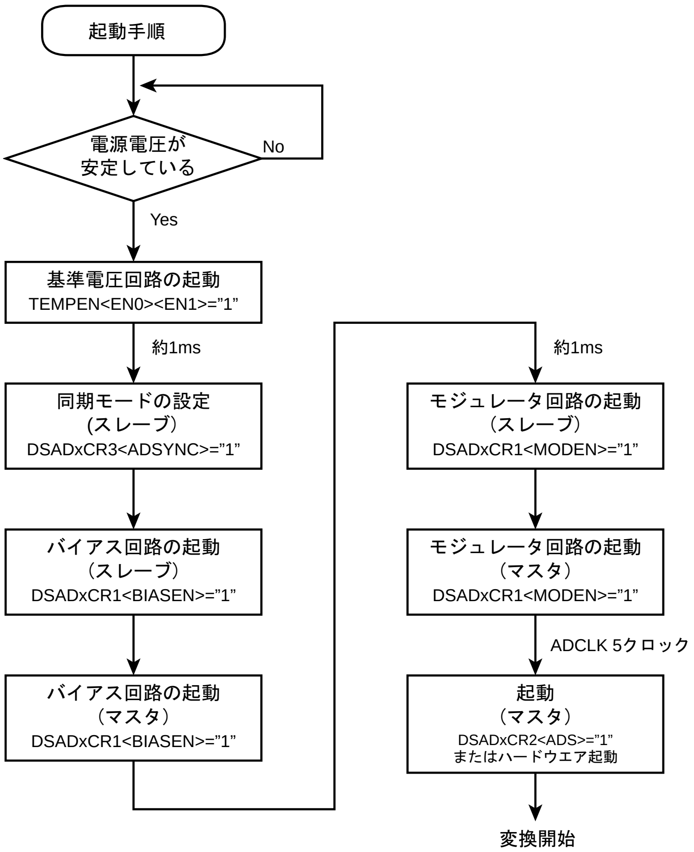


図 15-4 同期動作設定手順

1. 基準電圧回路の起動

TEMPEN<EN0><EN1>に"1"を設定し、1ms 以上の安定化時間を確保します。

TEMPEN<EN1>は必ず TEMPEN<EN0>が有効な状態で有効にしてください。<EN0>、<EN1>を同時に有効にすることも可能です。

2. 同期動作の設定

同期スタート機能を使用する際は、スレーブユニットの DSADxCR3<ADSYNC>を"1"、マスタユニットの<ADSYNC>設定を"0"として使用してください。

3. バイアス回路の起動

DSADxCR1<BIASEN>に"1"を設定し、1ms 以上の安定化時間を確保します。<BIASEN>はスレーブ側を最初に設定し、最後にマスタを設定してください。

<BIASEN>を設定する前にそれぞれのモジュールの変換クロックを供給してください。変換クロックについては「1.4.2 変換クロック(ADCLK)」を参照してください。

4. モジュレータ回路の起動

　DSADxCR1<MODEN>を"1"に設定します。<MODEN>はスレーブ側を最初に設定し、最後にマスタを設定してください。

　その後、ADCLK 5 クロック後より変換が可能になります。

5. 変換スタート

　ソフトウエアまたはハードウエア起動により変換を開始します。変換は、マスタチャネルにてスタートしてください。スレーブチャネルのソフトウエアスタート、ハードウエア起動は有効にしないでください。

変換モード(DSADxCR3<REPEAT>、ゲイン設定(DSADxCR4<DSGAIN>)は、各ユニットの設定が有効です。変換開始前にユニットごとに設定してください。

15.5.2 停止

シングル変換モードでは、各ユニットの変換終了のタイミングで DSADC は停止します。

リピート変換モードでは、以下の方法で停止してください。

- スレーブのみ停止する場合

  　スレーブの変換モードの変更(DSADxCR3<REPEAT>を"0")またはソフトリセットによりスレーブを停止します。

  　マスタは変換を継続します。

- マスタのみ停止する場合

  　スレーブの DSADxCR3<ADSYNC>を"0"として同期動作設定を解除した後、マスタを、変換モードの変更またはソフトリセットにより停止します。

  　スレーブは変換を継続します。

- マスタ、スレーブとも停止する場合

  　スレーブ、マスタの順にそれぞれ変換モードの変更またはソフトリセットにより停止します。

15.6 変換開始補正機能

変換開始補正機能を用いて、DSADxCR2<ADS>に"1"を設定してから変換が開始するまでに遅延をつけることができます。

DSADxADJ<ADJ>に"1"を設定するとこの機能が有効になります。遅延時間は DSADxADJ<OFFSET>で設定します。<OFFSET>×1/fsys の遅延時間経過後、ADCLK に同期して変換がスタートします。

同期動作の場合、各ユニットの<OFFSET>に所望の遅延時間を設定することができます。マスタの変換開始要因が発生してから、各ユニットの<OFFSET>に設定された時間後に変換を開始します。

変換開始要因が発生してから変換開始までの間は<OFFSET>の値を書き換えないでください。

遅延時間経過中に再度変換開始の要因が発生した場合、その時点から遅延時間経過後に変換がスタートします。

第 16 章　温度センサ(TEMP)

16.1　概要

温度センサにより相対温度を計測できます。

温度センサは、基準電圧回路(BGR)の電圧を受けて温度に対応した電圧を出力します。出力された電圧は、ΔΣ 変換方式アナログ/デジタルコンバータ(DSADC)のユニット D に入力されており、AD 変換によりデジタル値として温度に対応する値を得ることができます。

注)　基準電圧回路(BGR)は ΔΣ 変換方式アナログ/デジタルコンバータ (DSADC)と共用しています。

温度変化による温度センサ出力電圧の差には直線性があるため、複数の温度条件でのデータを取得することで相対的な温度を計測することができます。

温度センサ、DSADC を使用しない場合、基準電圧回路に関し下記のとおり端子処理を行ってください。

・　DSRVDD3、SRVDD は DVDD3 に接続
・　DSRVSS は DGND に接続

16.2　構成

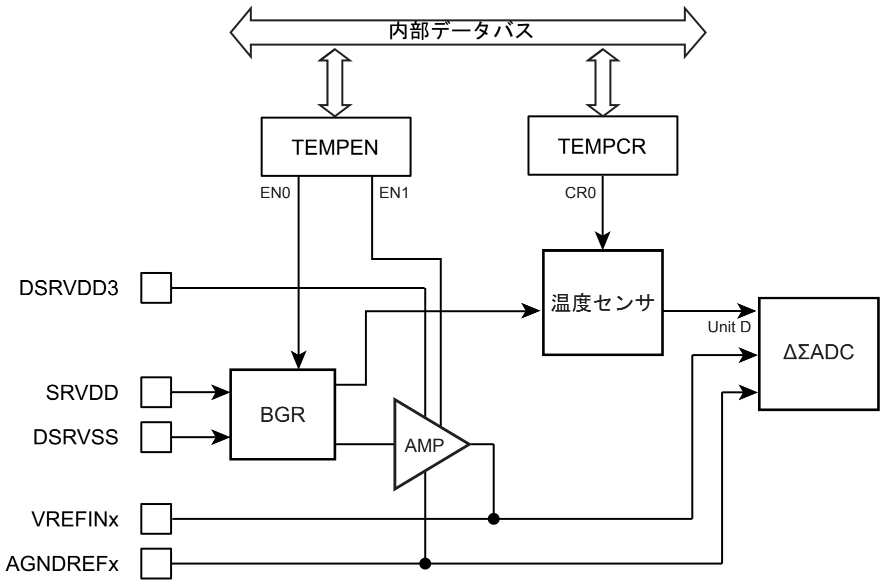


図 16-1 温度センサ構成

16.3　レジスタ説明

16.3.1　レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	TEMPEN	0x0000
コントロールレジスタ	TEMPCR	0x0004

16.3.2　レジスタ詳細

16.3.2.1　TEMPEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EN1	EN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	EN1	R/W	AMP 動作(注 1)(注 2) 0: 無効 1: 有効 ΔΣADC 用 AMP の有効/無効を設定します。
0	EN0	R/W	BGR 動作 0: 無効 1: 有効 基準電圧回路の有効/無効を設定します。

注 1)　TEMPEN<EN1>は必ず TEMPEN<EN0>が有効な状態で有効にしてください。<EN0>、<EN1>を同時に有効にすることも可能です。

注 2)　ΔΣADC で基準電圧を VREFINx に印加する場合、AMP は有効にしないでください。

16.3.2.2 TEMPCR（コントロールレジスタ）

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	CR0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	–	リードすると"0"が読めます。
0	CR0	R/W	温度センサ動作 0: 無効 1: 有効 温度センサの有効/無効を設定します。

16.4　動作説明

16.4.1　起動

電源電圧が安定した状態で、以下の順序で操作を行ってください。

1. 基準電圧回路の起動

   TEMPEN<EN0>に"1"を設定し、1ms 以上の安定化時間を確保します。

2. 温度センサの起動

   TEMPCR<CR0>を"1"に設定します。

   約 10μs 後より出力電圧が有効になります。

16.4.2　停止

電源電圧が安定した状態で、以下の順序で操作を行ってください。

1. 温度センサの停止

   TEMPCR<CR0>を"0"に設定します。

2. 基準電圧生成回路の停止

   TEMPEN<EN0>に"0"を設定します。

注)　基準電圧回路は ΔΣADC と共用しています。ΔΣADC 使用中は TEMPEN<EN0>は停止("0"設定)しないでください。

第 17 章　パワーオンリセット回路(POR)

パワーオンリセット回路(POR)は、電源投入または切断時に、リセット信号を発生する回路です。

注)　電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。機器設計的には電気的特性を参照の上十分な考慮をしてください。

17.1　構成

パワーオンリセット回路は、基準電圧発生回路、コンパレータ、パワーオンカウンタから構成されます。

電源電圧をラダー抵抗によって分圧した電圧を、基準電圧発生回路が発生した基準電圧とコンパレータで比較します。

電源電圧とは、DVDD3 を指しています。

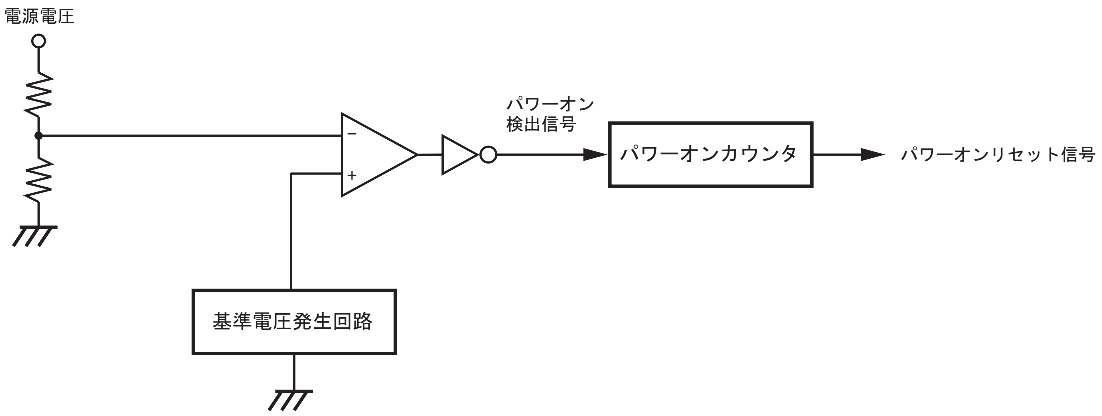


図 17-1 パワーオンリセット回路

17.2　機能

17.2.1　電源投入時の動作

電源投入時、電源電圧がパワーオンリセット解除電圧(1.25V ~ 1.75V)以下の間、パワーオン検出信号が発生し、パワーオンリセットが発生します。

電源電圧がリセット解除電圧を超えると、パワーオン検出信号が解除されます。パワーオン検出信号が解除されるとパワーオンカウンタがカウントアップを開始します。

パワーオンカウンタが約 0.5ms 後にオーバーフローし、パワーオンリセットが解除されます。

パワーオンリセット解除前に電源電圧を動作電圧範囲まで上げてください。また電源立ち上がりに関し、0V から動作電圧範囲内になるまでに 10μs 以上となるようにしてください。

パワーオンリセット信号が発生している間、CPU および周辺機能はリセットされます。

17.2.2　電源切断時の動作

電源切断時、電源電圧がパワーオンリセット検出電圧(1.20V ~ 1.70V)以下になると、パワーオン検出信号が発生し、パワーオンリセットが発生します。

パワーオンリセット信号が発生している間、CPU および周辺機能はリセットされます。

17.2.3　電源切断後の再投入について

電源が切断され、電源電圧がパワーオンリセット検出電圧以下になった場合、電源電圧を 0V まで下げてください。

その後、電源投入時と同じ制約を守って、電源電圧を立ち上げてください。

電源電圧が 0V まで下がらない、再投入時の電源電圧上昇が電源投入時と同じ制約が守られない場合、TMPM311CHDUG は正常に動作しません。

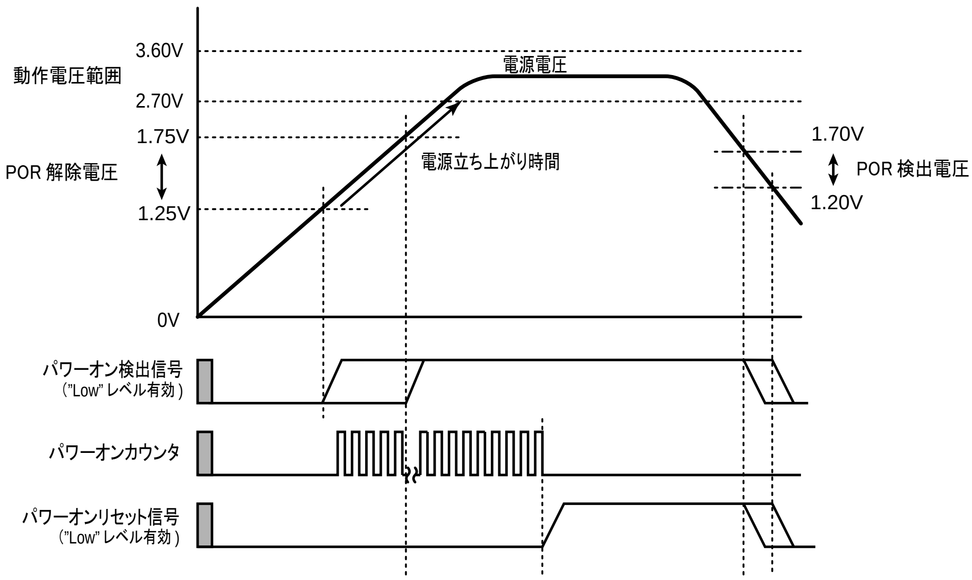


図 17-2 パワーオンリセット動作タイミング

第 18 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDTx 割り込みを発生またはマイコンをリセットします。

注)　INTWDTx 割り込みはマスク不能割り込み(NMI)要因のひとつです。

18.1　構成

図 18-1 にウォッチドッグタイマのブロック図を示します。

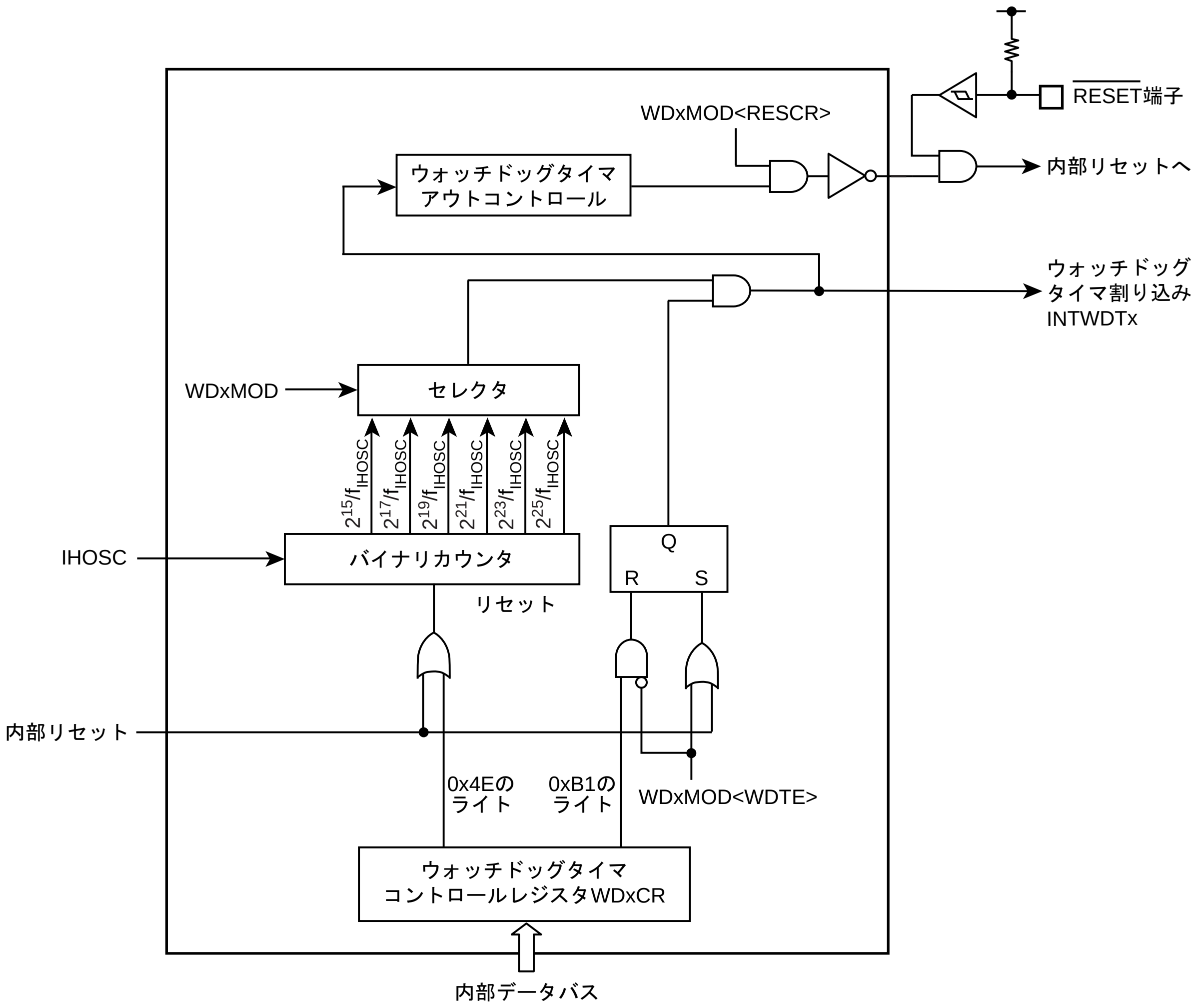


図 18-1 ウォッチドッグタイマのブロック図

18.2　レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照下さい。

周辺機能:WDT

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDxMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDxCR	0x0004
ウォッチドッグアクセスステータスレジスタ	WDxFLG	0x0008

18.2.1　WDxMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0:禁止 1: 許可
6-4	WDTP[2:0]	R/W	検出時間の選択 000: $2^{15}/f_{IHOSC}$　100: $2^{23}/f_{IHOSC}$ 001: $2^{17}/f_{IHOSC}$　101: $2^{25}/f_{IHOSC}$ 010: $2^{19}/f_{IHOSC}$　110: 設定禁止 011: $2^{21}/f_{IHOSC}$　111: 設定禁止
3	−	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDTx 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	−	R/W	"0"をライトしてください。

注)　INTWDTx 割り込みはマスク不能割り込み(NMI)要因のひとつです。

18.2.2 WDxCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

18.2.3 WDxFLG(ウォッチドッグアクセスステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	FLG
リセット後	0	0	0	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	FLG	R	リードすると不定値が読めます。
0	FLG	R	レジスタ書き込みステータス 0: レジスタ書き込み可能 1: レジスタ書き込み禁止 WDxMOD および WDxCR に書き込む際はこのビットが"0"であることを確認して下さい。

18.3　動作説明

18.3.1　基本動作

ウォッチドッグタイマは、入力クロック IHOSC をカウントクロックとするバイナリカウンタで構成されています。検出時間は WDxMOD<WDTP[2:0]>によって 2^{15}, 2^{17}, 2^{19} , 2^{21}, 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDTx)が発生します。

ノイズなどの原因による CPU の暴走やシステムクロックの停止を検出するため、ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDTx 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDTx によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

18.3.2　動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

18.3.3 暴走検出時の動作

18.3.3.1 INTWDTx 割り込み発生の場合

図 18-2 に INTWDTx 割り込み発生(WDxMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDTx 割り込みが発生します。INTWDTx 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

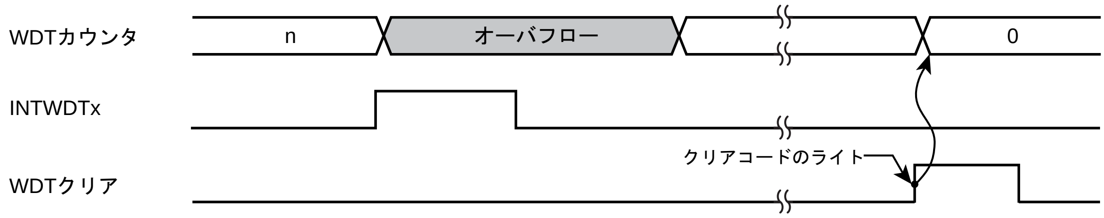


図 18-2 INTWDTx 割り込み発生

18.3.3.2 内部リセット発生の場合

図 18-3 に内部リセット発生(WDxMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間、リセットを行います。

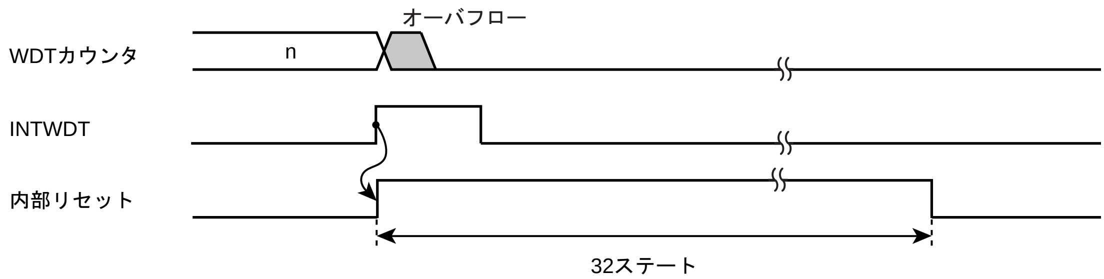


図 18-3 内部リセット発生

18.4 ウォッチドッグタイマの制御

18.4.1 レジスタアクセス

WDxMOD、WDxCR レジスタへ書き込みを行う場合は、WDxFLG<FLG>が"0"であることを確認してして下さい。

なおディセーブル制御の場合は、WDxMOD と WDxCR レジスタへの連続書き込みが可能です。WDxFLG<FLG>の確認は、WDxMOD の書き込みの前のみ行ってください。

18.4.2　ディセーブル制御

WDxMOD<WDTE>に "0"を設定したあと、WDxCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

18.4.3　イネーブル制御

WDxMOD<WDTE>に"1"を設定します。

18.4.4　ウォッチドッグタイマのクリア制御

WDxCR レジスタにクリアコード(0x4E)を書き込むと、バイナリカウンタはクリアされ、再カウントします。

18.4.5　ウォッチドッグタイマ検出時間の設定

検出時間を WDxMOD<WDTP[2:0]>に設定します。

例えば、検出時間を $2^{21}/f_{IHOSC}$ に設定する場合、WDxMOD<WDTP[2:0]>に"011"を設定します。

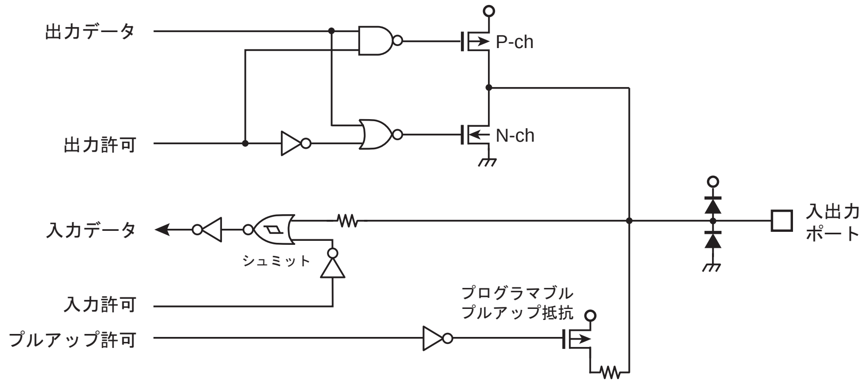
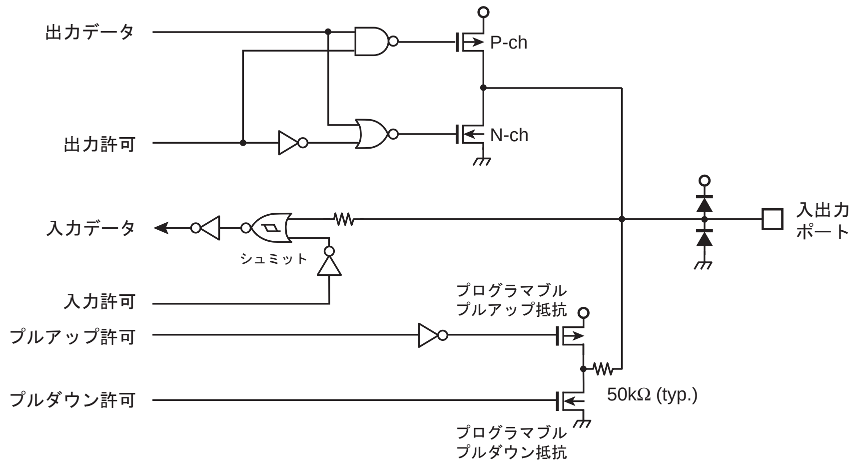
第 19 章　　ポート等価回路図

ポート等価回路図は、基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

注)　図中の数値の記載のない抵抗は、入力保護抵抗を示します。

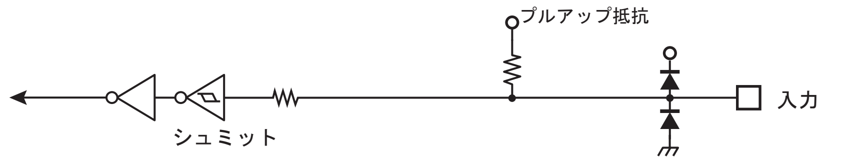
19.1　ポート

<table>
<tr><td>PA0~7, PB0~7, PC0~2, PC4, PD0~1</td><td>
</td></tr>
<tr><td>PC3</td><td>
</td></tr>
</table>

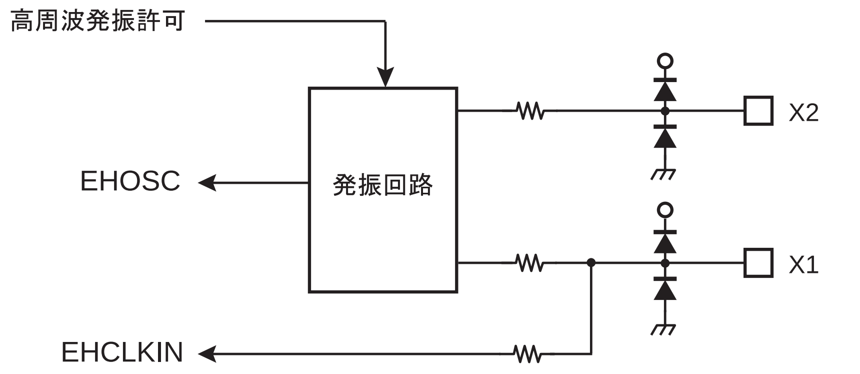
19.2　アナログ端子

<table>
<tr><td>DAINA+, DAINA-,
DAINB+, DAINB-,
DAINC+, DAINC-,
DAIND+, DAIND-</td><td>
</td></tr>
</table>

19.3　制御端子

MODE, TEST	
$\overline{\text{RESET}}$	

19.4　クロック

X1, X2	

第 20 章　電気的特性

20.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3	-0.3 ~ 3.9	V
		DSRVDD3	-0.3 ~ 3.9	
		SRVDD	-0.3 ~ 3.9	
電圧保護用キャパシタ端子		REGOUT	-0.3 ~ 3.0	V
入力電圧	デジタル端子	V_{IN1}	-0.3 ~ DVDD3 + 0.3	V
	DAIN0+, DAIN0-, DAIN1+, DAIN1-, DAIN2+, DAIN2-, DAIN3+, DAIN3+	V_{IN2}	-0.3 ~ DSRVDD3 + 0.3	
低レベル出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル出力電流	1 端子	I_{OH}	-5	
	合計	ΣI_{OH}	-50	
消費電力 (Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	-40 ~ 125	°C
動作温度		T_{OPR}	-40 ~ 85	°C

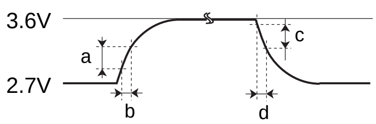
注)　**絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。**

20.2　DC 電気的特性 (1/2)

DVDD3 = DSRVDD3 = SRVDD = 2.7 V ~ 3.6 V
DVSS = DSRVSS = 0V
Ta = −40 ~ 85 °C

項目		記号	条件	Min.	Typ.	Max..	単位
電源電圧	DVDD3 DSRVDD3 RSVDD	VDD DSRVDD3 RSVDD	f_{OSC} = 8 ~ 24 MHz fsys = 1 ~ 24 MHz	2.7	−	3.6	V
低レベル入力電圧	PA0~7, PB0~7, PC0~4, PD0~1, TEST, MODE, $\overline{\text{RESET}}$	V_{IL}	−	−0.3	−	0.25 DVDD3	V
高レベル入力電圧	PA0~7, PB0~7, PC0~4, PD0~1, TEST, MODE, $\overline{\text{RESET}}$	V_{IH}	−	0.75 DVDD3	−	DVDD3+0.3	V
低レベル出力電圧		V_{OL}	I_{OL} = 2 mA	−	−	0.4	V
高レベル出力電圧		V_{OH}	I_{OH} = −2 mA	2.4	−	DVDD3	V
入力リーク電流		I_{LI}	0.0 ≤ V_{IN} ≤ DVDD3	−	0.02	±5	μA
出力リーク電流		I_{LO}	0.2 ≤ V_{IN} ≤ DVDD3 -0.2	−	0.05	±10	
シュミット入力幅		V_{TH}	2.7 V ≤ DVDD3 ≤ 3.6 V	0.3	0.6	−	V
リセットプルアップ抵抗		RRST	DVDD3 = 2.7V ~ 3.6V	−	50	150	kΩ
プログラマブルプルアップ/ダウン抵抗		PKH	DVDD3 = 2.7V ~ 3.6V	−	50	150	kΩ
動作範囲内電源変動レート		VRS	DSRVDD3 = DVDD3	−	−	10	mV/μs
		VFS		−	−	−10	
Pin 容量(電源端子を除く)		C_{IO}	fc = 1 MHz	−	−	10	pF
低レベル出力電流		I_{OL}	1 端子ごと	−	−	2	mA
		ΣI_{OL}	全端子(全ポート)	−	−	35	mA
高レベル出力電流		I_{OH}	1 端子ごと	−	−	-2	mA
		ΣI_{OH}	全端子(全ポート)	−	−	-35	mA

注 1)　Typ 値は特に指定のない限り Ta = 25 °C, DVDD3 = DSRVDD3 = SRVDD = 3.3 V の値です。
注 2)　DVDD3, DSRVDD3, SRVDD, は同電位で使用してください。
注 3)　VRS, VFS の変動は電気的特性に対して厳しい箇所で測定してください。



VRS = a / b, VFS = c / d

20.3 DC 電気的特性 (2/2)

Ta = −40 ~ 85 °C

項目	記号	条件		Min.	Typ. (注)	Max.	単位
		システムクロック (fsys)	動作条件				
消費電流	I_{DD}	20MHz	動作条件は表 20-1、表 20-2 を参照ください	−	6.4	7.2	mA
		24MHz		−	7.5	8.5	

注) Typ 値は特に指定のない限り Ta = 25 °C, DVDD3 = DSRVDD3 = SRVDD = 3.3 V の値です。

表 20-1 I_{DD} 測定条件 (端子設定、発振回路)

端子設定	DVDD3 = DSRVDD3 = SRVDD	3.3 V
	入力端子	固定
	出力端子	開放
動作条件 (発振回路)	外部高速発振器 (EHOSC)	発振
	内部高速発振器 (IHOSC)	発振

表 20-2 I_{DD} 測定条件 (CPU、周辺回路)

回路	搭載回路数	
CPU	1	動作 (ドライストン Ver. 2.1)
μDMAC	1	SIO 送信で起動 RAM から SIO へ転送
DSADC	4	ユニット A ~ D:動作
TMRB	4	チャネル 0 ~ 3:動作
WDT	1	動作
SIO/UART	1	SIO、送信(10Mbps)
SSP	1	SPI、送信(5Mbps)
I/O port	4	停止
TMR16A	1	動作
TEMP	1	動作

20.4　24 ビット ΔΣ 型 AD コンバータ変換特性

DVDD3 = DSRVDD3 = SRVDD = 2.9 V ~ 3.6 V
DVSS = DSRVSS = 0V
Ta = −40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
アナログ基準電圧(+)	dsVREFIN	内蔵 BGR	−	2.75	−	V
		外部印加	2.7	−	2.8	
アンプ消費電流	dsAMPIcc	−	−	0.5	1.0	mA
変換消費電流(1unit あたり)	dsADIcc	−	−	1.4	2.5	mA
入力レンジ	AINP AINN	−	−0.375	−	1	V
差動入力電圧	Vpp	−	−1	−	1	V
SNDR	dsSNDR	GAIN = x1 330μs≤ 変換時間 入力振幅= ±500mV オフセット = 500mV	−	90	−	dB
入力インピーダンス	dsinp		−	49.5 (注 2)	−	kΩ
変換時間	Tconvds	−	112	−	−	μs

注 1)　AD コンバータ単体動作の時の特性です。
注 2)　AINN = 0V での値です。

20.5　温度センサ変換特性

DVDD3 = DSRVDD3 = SRVDD = 2.7 V ~ 3.6 V
DVSS = DSRVSS = 0V
Ta = −40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
基準電圧生成回路消費電流(注 1)	BGRIcc	−	−	0.2	0.5	mA
温度センサ消費電流	TEMPIcc	−	−	0.7	1.0	mA
相対誤差(注 2)	−	Ta = −20 ~ 85°C	−	−	±3	°C
		Ta = −40 ~ 85°C	−	−	±5	

注 1)　基準電圧生成回路は、24 ビット ΔΣ 型 AD コンバータと共通に使用します。
注 2)　30°C および 60°C で測定した結果を用いて直線近似した場合の、温度センサ単体での設計保証値です。

20.6 AC 電気的特性

20.6.1 シリアルチャネル (SIO/UART)

20.6.1.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

20.6.1.2 AC 電気的特性(I/O インタフェースモード)

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。

(1) SCLK 入力モード

[データ入力]

項目	記号	計算式		fsys = 24MHz		単位
		Min.	Max.	Min.	Max.	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	167	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	167	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	334	−	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 1)	t_{SRD}	30	−	30	−	
SCLK 立ち上がり/立ち下がり (注 1) → 入力 Data 保持	t_{HSR}	x + 30	−	72	−	

[データ出力]

項目	記号	計算式		fsys = 24MHz		単位
		Min.	Max.	Min.	Max.	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	170 (注 3)	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	170 (注 3)	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	340	−	
Output Data ← SCLK 立ち上がり/立ち下がり (注 1)	t_{OSS}	$t_{SCY}/2 - 3x - 45$	−	0 (注 2)	−	
SCLK 立ち上がり/立ち下がり (注 1) → Output Data 保持	t_{OHS}	$t_{SCY}/2$	−	170	−	

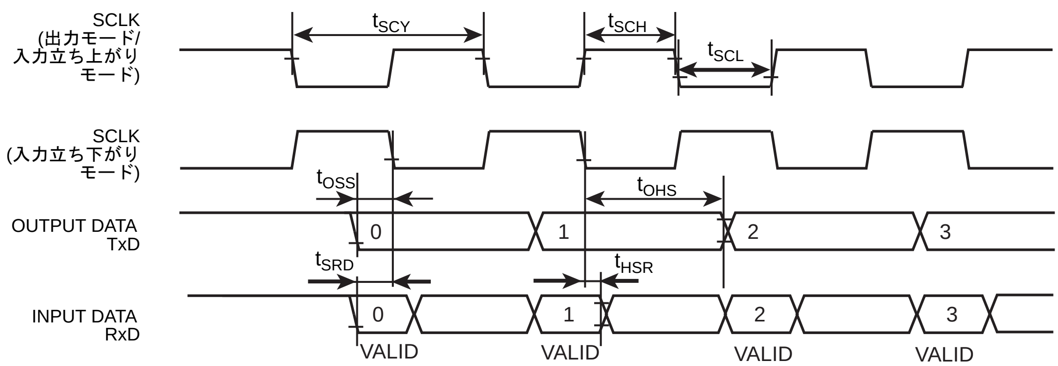
注 1) SCLK 立ち上がり/立ち下がり SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3) t_{OSS} を"0"とした場合の値を示しています。計算式による値ではありません。

(2)　SCLK 出力モード

項目	記号	計算式		fsys = 24 MHz		単位
		Min.	Max.	Min.	Max.	
SCLK 周期 (プログラマブル)(注 3)	t_{SCY}	2x	–	83	–	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	t_{SCY}/2 - 20	–	22	–	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	t_{SCY}/2 - 20	–	22	–	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45	–	45	–	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	



20.6.2 同期式シリアルインタフェース (SSP)

20.6.2.1 AC 測定条件

表中の計算式に使われる"T"は内部プリスケーラ入力クロック fsys 周期を示します。

- 出力レベル: High = 0.8 ×DVDD3, Low = 0.2 ×DVDD3
- 入力レベル: High = 0.75 ×DVDD3, Low = 0.25 ×DVDD3
- 負荷容量：CL=30pF

20.6.2.2 AC 電気的特性

通信ボーレートクロックは以下の条件範囲で設定する必要があります。

- マスタモード時

  m = (<CPSDVSR> × (1 + <SCR>)) = fsys/SPCLK

  <CPSDVR>は偶数のみが設定可能です。また m の範囲は 65024 ≥ m ≥2 となります。
- スレーブモード時

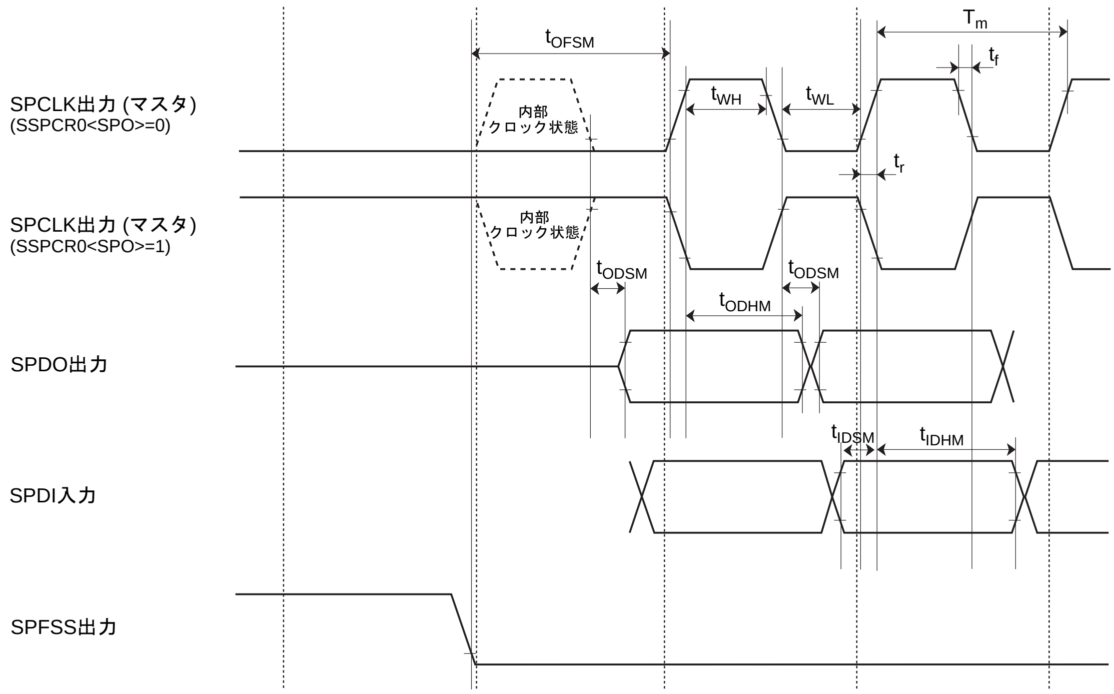
  n = fsys/SPCLK (65024 ≥ n ≥12)

項目	記号	計算式		fsys = 24MHz (m=2, n=12)		単位
		Min.	Max	Min.	Max	
SPCLK 周期 (マスタ)	T_m	(m)T ただし、83ns 以上	–	83 (12MHz)	–	ns
SPCLK 周期 (スレーブ)	T_s	(n)T ただし、500ns 以上	–	500 (2MHz)	–	
SPCLK 立ち上がり時間	t_r	–	15	–	15	
SPCLK 立ち下がり時間	t_f	–	15	–	15	
マスタモード時 SPCLK 低レベルパルス幅	t_{WLM}	(m)T/2 - 15	–	24	–	
マスタモード時 SPCLK 高レベルパルス幅	t_{WHM}	(m)T/2 - 15	–	24	–	
スレーブモード時 SPCLK 低レベルパルス幅	t_{WLS}	(n)T/2 - 15	–	235	–	
スレーブモード時 SPCLK 高レベルパルス幅	t_{WHS}	(n)T/2 - 15	–	235	–	
マスタモード時 SPCLK 立ち上がり/立ち下がり→ 出力データ有効	t_{ODSM}	–	15	–	15	
マスタモード時 SPCLK 立ち上がり/立ち下がり→ 出力データ保持	t_{ODHM}	(m)T/2 - 15	–	24	–	
マスタモード時 入力データ有効 ← SPCLK 立ち上がり/立ち下がり	t_{IDSM}	20	–	20	–	
マスタモード時 SPCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHM}	0	–	0	–	
マスタモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	t_{OFSM}	(m)T - 15	(m)T + 15	68	98	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 出力データ有効	t_{ODSS}	–	(3T) + 40	–	155	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 出力データ保持	t_{ODHS}	(n)T/2 + (2T)	–	333	–	
スレーブモード時 入力データ有効 ← SPCLK 立ち上がり/立ち下がり	t_{IDSS}	10	–	10	–	
スレーブモード時 SPCLK 立ち上がり/立ち下がり → 入力データ保持	t_{IDHS}	(3T) + 15	–	140	–	
スレーブモード時 SPFSS 有効 → SPCLK 立ち上がり/立ち下がり	t_{OFSS}	(n)T + 10	–	510	–	

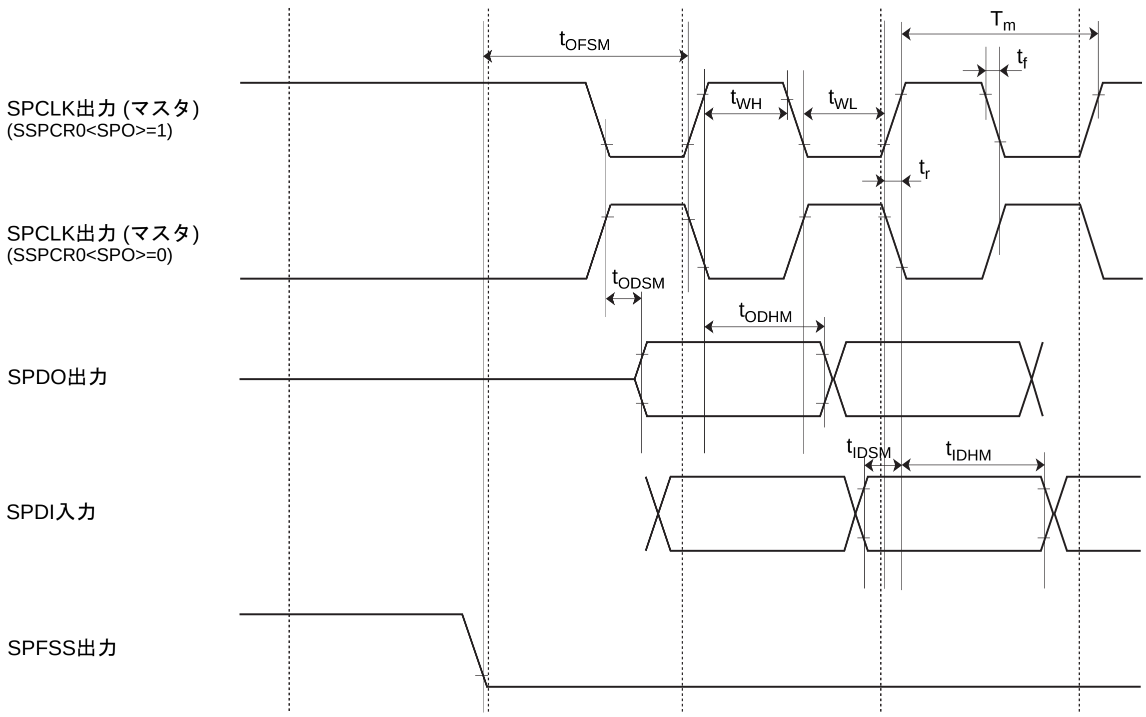
(1) SSP の SPI モード (マスタ)

- fsys ≥ 2 × SPxCLK (最大)
- fsys ≥ 65024 × SPxCLK (最小)

(1) マスタ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



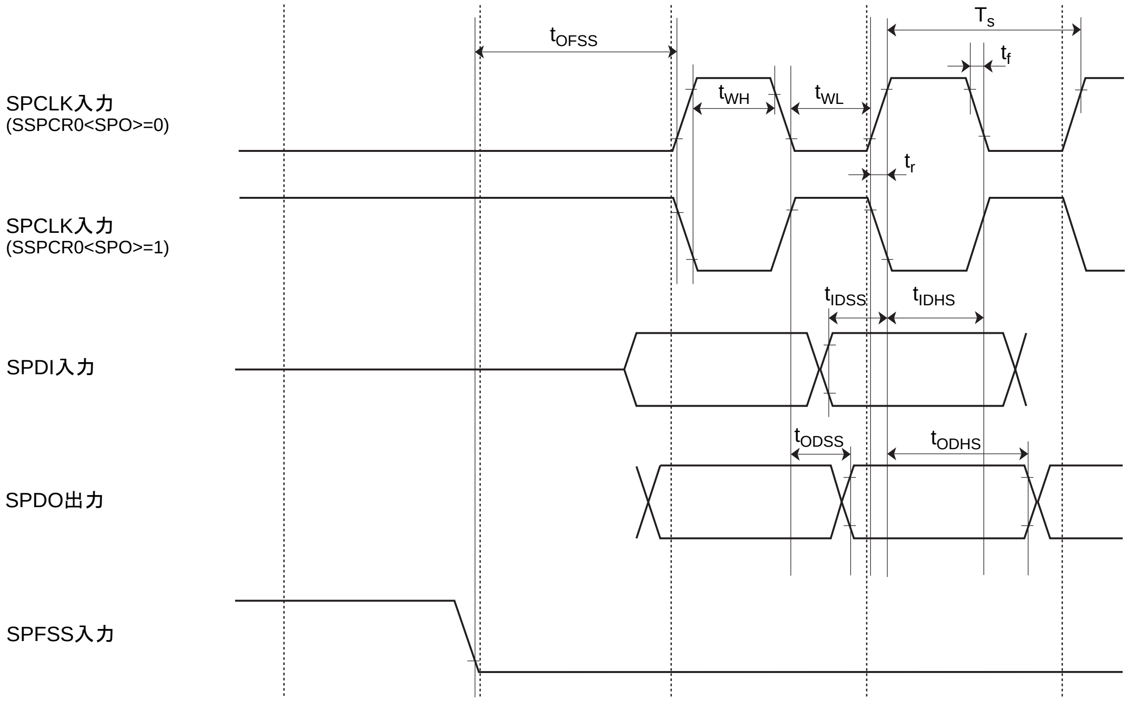
(2) マスタ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)



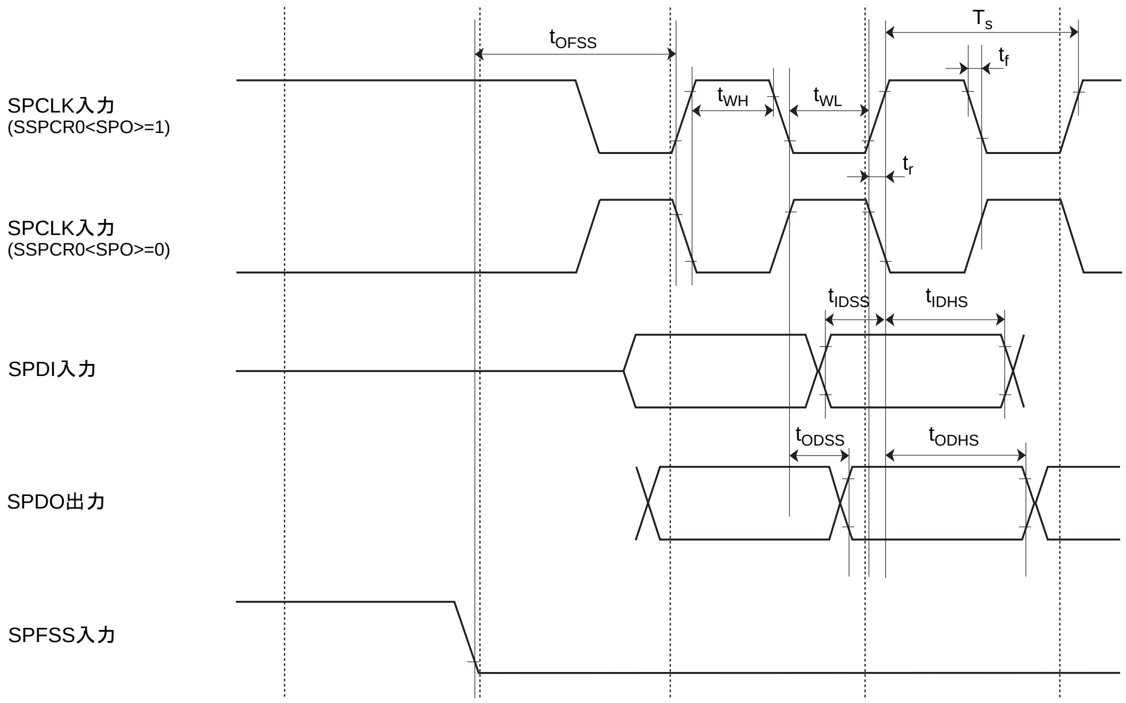
(2)　SSP の SPI モード (スレーブ)

- fsys ≥ 12 × SPCLK (最大)
- fsys ≥ 65024 × SPCLK (最小)

(1) スレーブ SSPCR0<SPH>="0" (1st エッジでデータをラッチ)



(2) スレーブ SSPCR0<SPH>="1" (2nd エッジでデータをラッチ)



20.6.3 16 ビットタイマ/イベントカウンタ(TMRB)

20.6.3.1 イベントカウンタ

(1) AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

(2) AC 電気的特性

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		fsys = 24 MHz		単位
		Min.	Max.	Min.	Max.	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	−	183	−	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	−	183	−	

20.6.3.2 キャプチャ

(1) AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

(2) AC 電気的特性

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		fsys = 24 MHz		単位
		Min.	Max.	Min.	Max.	
低レベルパルス幅	t_{CPL}	2x + 100	−	183	−	ns
高レベルパルス幅	t_{CPH}	2x + 100	−	183	−	

20.6.4　外部割り込み

20.6.4.1　AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

20.6.4.2　AC 電気的特性

表中の x はシステムクロック fsys の周期を表します。

項目	記号	計算式		fsys = 24 MHz		単位
		Min.	Max.	Min.	Max.	
低レベルパルス幅	t_{INTAL}	x + 100	–	142	–	ns
高レベルパルス幅	t_{INTAH}	x + 100	–	142	–	

20.6.5　24 ビット ΔΣ 型アナログ/デジタルコンバータトリガ入力

20.6.5.1　AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.75 × DVDD3、Low = 0.25 × DVDD3
- 負荷容量: CL = 30pF

20.6.5.2　AC 電気的特性

表中の x は fsys の周期を表します。

項目	記号	計算式		fsys = 24 MHz		単位
		Min.	Max.	Min.	Max.	
低レベルパルス幅	T_{DSADL}	2x + 20	–	104	–	ns
高レベルパルス間隔	T_{DSADH}	2x + 20	–	104	–	

20.6.6 内蔵発振回路特性

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数	IHOSC	Ta = −40 ~ 85 °C	9	10	11	MHz

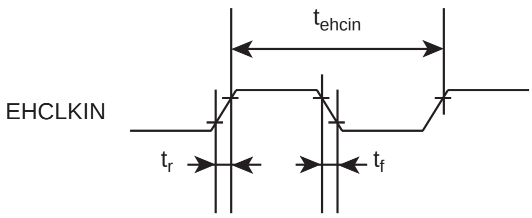
注) 発振周波数精度を要求するシステムクロック(fsys)としては使用しないでください。

20.6.7 外部発振子

項目	記号	条件	Min.	Typ.	Max.	単位
高周波発振	EHOSC	Ta = −40 ~ 85 °C	8	−	20	MHz

20.6.8 外部クロック入力

項目	記号	Min.	Typ.	Max.	単位
クロック周波数	t_{ehcin}	8	−	24	MHz
クロック Duty	−	45	−	55	%
クロック立ち上がり時間	t_r	−	−	10	ns
クロック立ち下がり時間	t_f	−	−	10	ns



20.6.9 ノイズフィルタ特性

項目	条件	Min.	Typ.	Max.	単位
ノイズキャンセル幅	−	15	30	60	ns

20.7　発振回路

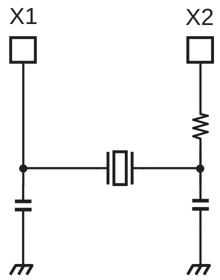


図 20-1 高周波発振回路例

注)　発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

20.7.1　セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

20.7.2　水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。

京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

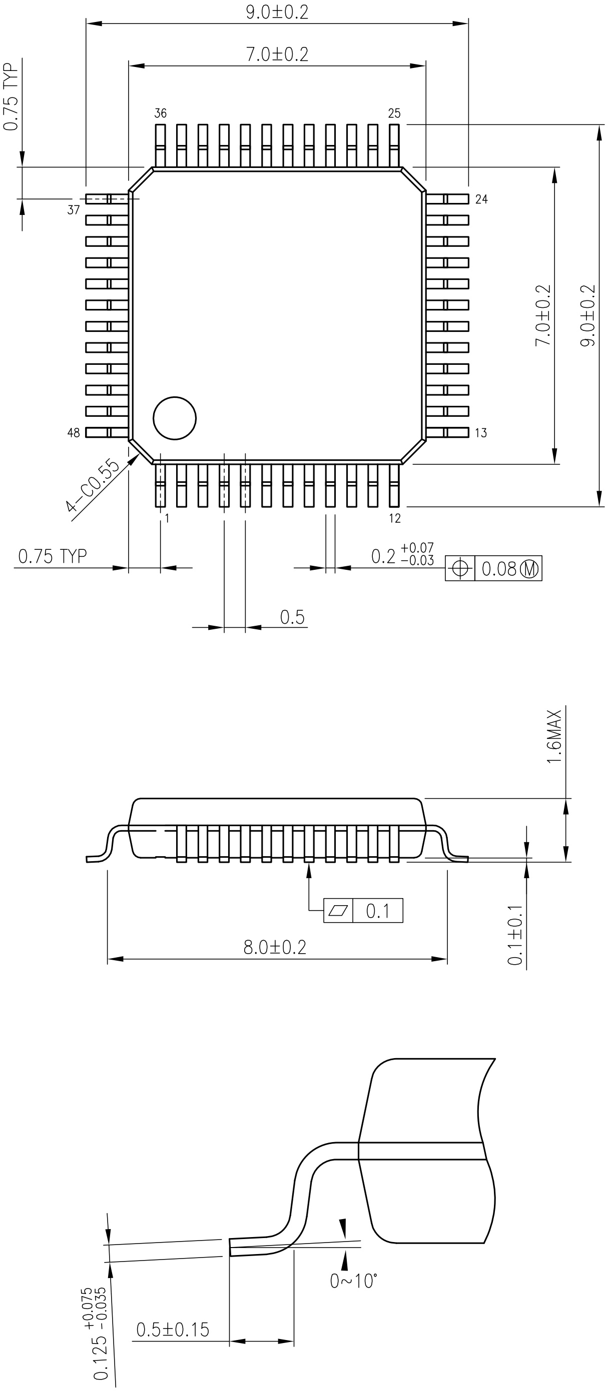
20.7.3　プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

第 21 章　　パッケージ寸法図

パッケージ型名：LQFP48-P-0707-0.50C

"Unit:mm"



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下"特定用途"という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス＆ストレージ株式会社
https://toshiba.semicon-storage.com/jp/