TOSHIBA

32 ビット RISC マイクロコントローラ
TX00 シリーズ

TMPM036FWFG

株式会社 東芝

セミコンダクター & ストレージ社

©TOSHIBA CORPORATION 2015-2023

****
ARM, Cortex および Thumb はARM Limited(またはその子会社)のEUまたはその他の国における
登録商標です。All rights reserved.
****

ARM

製品ご使用上の注意点について

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

1. 電源投入時の動作について

   電源投入時、本資料に掲載されている製品の内部は不定状態となります。

   このため、リセットが有効となるまで、端子の状態は不定となります。

   外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

   また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

2. 未使用端子の処置について

   本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

   未使用端子については、1 本ずつ、抵抗を通して電源端子または GND 端子に固定することを推奨します。

3. クロック発振の安定について

   リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address + (固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注) SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注) 本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 :サンプルモード 2 に設定 011 :サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) **Type は基本的に下記 3 種類となります。**

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

  例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"

  <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2～0 ビット目を意味します。
- レジスタ名[Bit]

  例: SAMCR[9:7]="000"

  レジスタ SAMCR(32 ビット幅)の 9～7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2014/10/30	Tentative 1	First Release
2015/08/19	1	First Release
2022/09/30	2	Contents Revised
2023/07/31	3	Contents Revised

目　次

製品ご使用上の注意点について

TMPM036FWFG

1.1　機能概要.....1
1.2　ブロック図.....4
1.3　ピン配置図(Top view).....5
1.4　ピン名称と機能.....6
1.4.1　機能端子名称と機能.....6
1.4.1.1　周辺機能端子名称
1.4.1.2　デバッグ端子名称
1.4.1.3　制御端子名称
1.4.1.4　電源端子名称
1.4.2　ピン名称と機能.....8
1.4.2.1　表の見方
1.4.2.2　PORT / デバッグ端子
1.4.2.3　制御端子
1.4.2.4　電源端子

第 2 章　製品情報

2.1　各周辺機能の情報.....16
2.1.1　DMA コントローラ(DMAC).....16
2.1.1.1　要因一覧表
2.1.1.2　Peripheral to Peripheral でサポートする周辺機能
2.1.1.3　DMA リクエスト制御レジスタ（DMARQCTL)
2.1.1.4　DMACREDGE(DMAC 要求設定レジスタ)
2.1.1.5　DMACRCLR(DMAC 要求クリアレジスタ)
2.1.2　16 ビットタイマ/イベントカウンタ(TMRB).....19
2.1.3　16 ビットタイマ A(TMR16A).....20
2.1.4　シリアルチャネル(SIO/UART).....20
2.1.5　I2C バス(I2C).....21
2.1.6　アナログ/デジタルコンバータ(ADC).....21
2.1.7　デバッグインタフェース.....21

第 3 章　プロセッサコア

3.1　コアに関する情報.....23
3.2　構成可能なオプション.....23
3.3　例外/割り込み.....24
3.3.1　割り込み本数.....24
3.3.2　SysTick.....24
3.3.3　SYSRESETREQ.....24
3.3.4　LOCKUP.....24
3.4　イベント.....24
3.5　電力管理.....24

第 4 章　メモリマップ

4.1　メモリマップ 27
4.2　バスマトリクス 28
4.2.1　構成 29
4.2.1.1　シングルチップモード
4.2.1.2　シングルブートモード
4.2.2　接続表 30
4.2.2.1　Code 領域/ SRAM 領域
4.2.2.2　Peripheral 領域/ 外部バス領域
4.2.3　周辺機能ベースアドレス一覧 32

第 5 章　リセット動作

5.1　コールドリセット 36
5.1.1　RESET 端子を使用したコールドリセット 36
5.1.2　パワーオンリセットを使用したコールドリセット 37
5.2　ウォームリセット 37
5.3　リセット解除後 37

第 6 章　クロック/モード制御

6.1　特長 39
6.2　レジスタ説明 40
6.2.1　レジスター覧 40
6.2.2　CGSYSCR(システムコントロールレジスタ) 41
6.2.3　CGOSCCR(発振コントロールレジスタ) 42
6.2.4　CGSTBYCR(スタンバイコントロールレジスタ) 44
6.2.5　CGPLLSEL(PLL セレクトレジスタ) 45
6.2.6　CGPROTECT(プロテクトレジスタ) 46
6.3　クロック制御 47
6.3.1　クロックの種類 47
6.3.2　リセット動作による初期値 47
6.3.3　クロック系統図 48
6.3.4　ウォーミングアップ機能 49
6.3.5　クロック逓倍回路(PLL) 51
6.3.5.1　動作開始
6.3.5.2　PLL 動作開始手順
6.3.6　システムクロック 53
6.3.6.1　システムクロックの設定方法
6.3.6.2　外部高速発振器を使用する場合
6.3.7　プリスケーラクロック 55
6.4　動作モードとモード遷移 56
6.4.1　モード状態遷移 56
6.5　動作モード 57
6.5.1　NORMAL モード 57
6.6　低消費電力モード 57
6.6.1　IDLE モード 57
6.6.2　STOP1 モード 58
6.6.3　低消費電力モードの選択 59
6.6.4　各モードにおける動作状態 60
6.6.5　低消費電力モードの解除 61
6.6.6　ウォーミングアップ 62
6.6.7　モード遷移によるクロック動作 63
6.6.7.1　NORMAL → STOP1 → NORMAL 動作モード遷移
6.6.8　低消費電力モード遷移時の注意事項 64

第 7 章　例外

7.1　概要.....65
7.1.1　種類.....65
7.1.2　処理の流れ.....66
7.1.2.1　例外要求と検出
7.1.2.2　例外の処理と割り込み処理ルーチンへの分岐(横取り)
7.1.2.3　割り込み処理ルーチンの発行
7.1.2.4　例外からの復帰
7.2　リセット例外.....71
7.3　マスク不能割り込み(NMI).....72
7.4　SysTick.....72
7.5　割り込み.....73
7.5.1　割り込み要求.....73
7.5.1.1　経路
7.5.1.2　割り込み要因の発生
7.5.1.3　割り込み要因の伝達
7.5.1.4　外部割り込み端子を使用する際の注意
7.5.2　要因一覧.....75
7.5.2.1　アクティブレベル
7.5.3　処理詳細.....78
7.5.3.1　処理の流れ
7.5.3.2　準備
7.5.3.3　検出(クロックジェネレータ)
7.5.3.4　検出(CPU)
7.5.3.5　CPU の処理
7.5.3.6　割り込み処理ルーチンでの処理(要因の取り下げ)
7.6　例外/割り込み関連レジスタ.....84
7.6.1　レジスタ一覧.....84
7.6.1.1　NVIC のレジスタ
7.6.1.2　クロックジェネレータのレジスタ
7.6.1.3　割り込みマスク機能のレジスタ
7.6.2　NVIC レジスタ.....85
7.6.2.1　SysTick 制御およびステータスレジスタ
7.6.2.2　SysTick リロード値レジスタ
7.6.2.3　SysTick 現在値レジスタ
7.6.2.4　SysTick 較正値レジスタ
7.6.2.5　割り込みイネーブルセットレジスタ
7.6.2.6　割り込みイネーブルクリアレジスタ
7.6.2.7　割り込み保留セットレジスタ
7.6.2.8　割り込み保留クリアレジスタ 1
7.6.2.9　割り込み優先度レジスタ
7.6.2.10　アプリケーション割り込みおよびリセット制御レジスタ
7.6.2.11　システムハンドラ優先度レジスタ
7.6.2.12　システムハンドラ制御および状態レジスタ
7.6.3　クロックジェネレータレジスタ.....96
7.6.3.1　CGIMCGA(CG 割り込みモードコントロールレジスタ A)
7.6.3.2　CGIMCGB(CG 割り込みモードコントロールレジスタ B)
7.6.3.3　CGICRCG(CG 割り込み要求クリアレジスタ)
7.6.3.4　CGRSTFLG(リセットフラグレジスタ)
7.6.3.5　CGNMIFLG(NMI フラグレジスタ)
7.6.4　割り込みマスク機能のレジスタ.....103
7.6.4.1　INTMxFLG(割り込みフラグレジスタ)
7.6.4.2　INTMxMASK(割り込みマスクレジスタ)

第 8 章　DMA コントローラ（DMAC）

8.1　概要.....105
8.2　DMA 転送タイプについて.....106
8.3　ブロック図.....107
8.4　レジスタ説明.....108
8.4.1　DMAC レジスタ一覧.....108

8.4.2 DMACxIntStatus (DMAC Interrupt Status Register)....109
8.4.3 DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register)....110
8.4.4 DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register)....111
8.4.5 DMACxIntErrorStatus (DMAC Interrupt Error Status Register)....112
8.4.6 DMACxIntErrClr (DMAC Interrupt Error Clear Register)....113
8.4.7 DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)....114
8.4.8 DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)....115
8.4.9 DMACxEnbldChns (DMAC Enabled Channel Register)....116
8.4.10 DMACxSoftBReq (DMAC Software Burst Request Register)....117
8.4.11 DMACxSoftSReq (DMAC Software Single Request Register)....119
8.4.12 DMACxConfiguration (DMAC Configuration Register)....121
8.4.13 DMACCxSrcAddr (DMAC Channelx Source Address Register)....122
8.4.14 DMACCxDestAddr (DMAC Channelx Destination Address Register)....123
8.4.15 DMACxCnLLI (DMAC Channelx Linked List Item Register)....124
8.4.16 DMACxCnControl (DMAC Channelx Control Register)....125
8.4.17 DMACxCnConfiguration (DMAC Channelx Configuration Register)....127
8.5 特殊機能....129
8.5.1 Scatter/gather 機能....129
8.5.2 Linked list 動作....130

第 9 章 入出力ポート

9.1 レジスタ説明....133
9.1.1 レジスター一覧....134
9.1.2 ポート機能と設定一覧....135
9.1.2.1 PORT A
9.1.2.2 PORT B
9.1.2.3 PORT C
9.1.2.4 PORT D
9.1.2.5 PORT E
9.1.2.6 PORT F
9.1.2.7 PORT G
9.1.2.8 PORT H
9.1.2.9 PORT J
9.1.2.10 PORT K
9.1.2.11 PORT L
9.1.2.12 PORT M
9.1.2.13 PORT N
9.1.3 ポート回路図....147
9.1.3.1 ポートタイプ一覧
9.1.3.2 タイプ FT1
9.1.3.3 タイプ FT4
9.1.3.4 タイプ FT5
9.1.3.5 タイプ FT6

第 10 章 16 ビットタイマ/イベントカウンタ(TMRB)

10.1 概要....153
10.2 構成....154
10.3 レジスタ説明....155
10.3.1 レジスター一覧....155
10.3.2 TBxEN(イネーブルレジスタ)....156
10.3.3 TBxRUN(RUN レジスタ)....157
10.3.4 TBxCR(コントロールレジスタ)....158
10.3.5 TBxMOD(モードレジスタ)....159
10.3.6 TBxFFCR(フリップフロップコントロールレジスタ)....160
10.3.7 TBxST(ステータスレジスタ)....161
10.3.8 TBxIM(割り込みマスクレジスタ)....162
10.3.9 TBxUC(アップカウンタキャプチャレジスタ)....163
10.3.10 TBxRG0(タイマレジスタ 0)....164
10.3.11 TBxRG1(タイマレジスタ 1)....164
10.3.12 TBxCP0(キャプチャレジスタ 0)....165
10.3.13 TBxCP1(キャプチャレジスタ 1)....165

10.3.14 TBxDMA(DMA 要求許可レジスタ)....166
10.4 動作説明....167
10.4.1 プリスケーラ....167
10.4.2 アップカウンタ(UC)....167
10.4.2.1 ソースクロック
10.4.2.2 動作開始と停止
10.4.2.3 カウンタのクリア
10.4.2.4 オーバフロー
10.4.3 タイマレジスタ(TBxRG0, TBxRG1)....168
10.4.4 キャプチャ制御....168
10.4.5 キャプチャレジスタ(TBxCP0, TBxCP1)....169
10.4.6 アップカウンタキャプチャレジスタ(TBxUC)....169
10.4.7 コンパレータ(CP0, CP1)....169
10.4.8 タイマフリップフロップ(TBxFF0)....169
10.4.9 キャプチャ割り込み(INTTBxCAP0, INTTBxCAP1)....169
10.4.10 DMA 要求....169
10.5 モード別動作説明....170
10.5.1 インタバルタイマモード....170
10.5.2 イベントカウンタモード....170
10.5.3 PPG (プログラマブル矩形波)出力モード....171
10.5.4 プログラマブル矩形波(PPG)外部トリガ出力モード....173
10.6 キャプチャ機能を利用した応用例....175
10.6.1 周波数測定....175
10.6.2 パルス幅測定....177

第 11 章 16 ビットタイマ A (TMR16A)

11.1 概要....179
11.2 構成....179
11.3 レジスタ説明....180
11.3.1 レジスター覧....180
11.3.2 レジスタ詳細....180
11.3.2.1 T16AxEN (イネーブルレジスタ)
11.3.2.2 T16AxRUN (RUN レジスタ)
11.3.2.3 T16AxCR (コントロールレジスタ)
11.3.2.4 T16AxRG (タイマレジスタ)
11.3.2.5 T16AxCP (キャプチャレジスタ)
11.4 動作説明....184
11.4.1 タイマ動作....184
11.4.2 T16AxOUT の制御....184
11.4.3 リードキャプチャ....184
11.4.4 自動停止....185

第 12 章 4 バイト FIFO 付きシリアルチャネル(SIO/UART)

12.1 概要....187
12.2 構成....188
12.3 レジスタ説明....189
12.3.1 レジスター覧....189
12.3.2 SCxEN (イネーブルレジスタ)....190
12.3.3 SCxBUF (バッファレジスタ)....191
12.3.4 SCxCR (コントロールレジスタ)....192
12.3.5 SCxMOD0 (モードコントロールレジスタ 0)....194
12.3.6 SCxMOD1 (モードコントロールレジスタ 1)....195
12.3.7 SCxMOD2 (モードコントロールレジスタ 2)....196
12.3.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ)....198
12.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)....199
12.3.10 SCxFCNF (FIFO コンフィグレジスタ)....200
12.3.11 SCxRFC (受信 FIFO コンフィグレジスタ)....202

12.3.12 SCxTFC (送信 FIFO コンフィグレジスタ) 203
12.3.13 SCxRST (受信 FIFO ステータスレジスタ)....204
12.3.14 SCxTST (送信 FIFO ステータスレジスタ)....205
12.3.15 SCxDMA (DMA 要求許可レジスタ)....206
12.4 動作モード....207
12.5 データフォーマット....208
12.5.1 データフォーマット一覧....208
12.5.2 パリティ制御....209
12.5.2.1 送信
12.5.2.2 受信
12.5.3 STOP ビット長....209
12.6 クロック制御....210
12.6.1 プリスケーラ....210
12.6.2 シリアルクロック生成回路....210
12.6.2.1 ボーレートジェネレータ
12.6.2.2 クロック選択回路
12.7 送信/受信バッファと FIFO....214
12.7.1 構成....214
12.7.2 送信/受信バッファ....214
12.7.3 送信バッファの初期化....215
12.7.4 FIFO....215
12.8 ステータスフラグ....216
12.9 エラーフラグ....216
12.9.1 OERR フラグ....216
12.9.2 PERR フラグ....217
12.9.3 FERR フラグ....217
12.10 受信....218
12.10.1 受信カウンタ....218
12.10.2 受信制御部....218
12.10.2.1 I/O インタフェースモードの場合
12.10.2.2 UART モードの場合
12.10.3 受信動作....218
12.10.3.1 受信バッファの動作
12.10.3.2 受信 FIFO の動作
12.10.3.3 I/O インタフェースモード、クロック出力モードでの受信
12.10.3.4 受信データの読み出し
12.10.3.5 ウエイクアップ機能
12.10.3.6 オーバランエラー
12.11 送信....222
12.11.1 送信カウンタ....222
12.11.2 送信制御部....222
12.11.2.1 I/O インタフェースモードの場合
12.11.2.2 UART モードの場合
12.11.3 送信動作....223
12.11.3.1 送信バッファの動作
12.11.3.2 送信 FIFO の動作
12.11.3.3 I/O インタフェースモード、クロック出力モードでの送信
12.11.3.4 I/O インターフェースモード時の最終ビット出力後の SCxTXD 端子の状態
12.11.3.5 アンダーランエラー
12.11.3.6 I/O インタフェースモード、クロック入力モードでのデータのホールド時間
12.12 ハンドシェイク機能....227
12.13 割り込み/エラー発生タイミング....228
12.13.1 受信割り込み....228
12.13.1.1 シングルバッファ/ダブルバッファ構成の場合
12.13.1.2 FIFO 使用の場合
12.13.2 送信割り込み....229
12.13.2.1 シングルバッファ/ダブルバッファ構成の場合
12.13.2.2 FIFO 使用の場合
12.13.3 エラー発生....230
12.13.3.1 UART モード
12.13.3.2 I/O インタフェースモード
12.14 DMA 要求....231
12.15 ソフトウエアリセット....232
12.16 モード別動作説明....233
12.16.1 モード 0 (I/O インタフェースモード)....233

12.16.1.1 送信
12.16.1.2 受信
12.16.1.3 送受信(全二重)
12.16.2 モード 1 (7 ビット UART モード)....244
12.16.3 モード 2 (8 ビット UART モード)....244
12.16.4 モード 3 (9 ビット UART モード)....245
12.16.4.1 ウェイクアップ機能
12.16.4.2 プロトコル

第 13 章 I2C バス

13.1 構成....248
13.2 I2C バスモード....249
13.2.1 I2C バスモード時のデータフォーマット....249
13.3 レジスタ説明....251
13.3.1 チャネル別レジスター覧....251
13.3.2 I2CxCR1(コントロールレジスタ 1)....251
13.3.3 I2CxDBR(データバッファレジスタ)....253
13.3.4 I2CxAR(I2C バスアドレスレジスタ)....254
13.3.5 I2CxCR2(コントロールレジスタ 2)....255
13.3.6 I2CxSR(ステータスレジスタ)....256
13.3.7 I2CxPRS(プリスケーラクロック設定レジスタ)....257
13.3.8 I2CxIE(割り込み許可レジスタ)....258
13.3.9 I2CxIR(割り込みレジスタ)....258
13.4 I2C バスモード時の制御....259
13.4.1 シリアルクロック....259
13.4.1.1 クロックソース
13.4.1.2 クロック同期化
13.4.2 スレーブアドレス一致検出、ゼネラルコール検出の選択....261
13.4.3 アクノリッジメントモードの指定....262
13.4.4 転送ビット数の選択....262
13.4.5 スレーブアドレスとアドレス認識モードの設定....262
13.4.6 マスタ/スレーブの選択....263
13.4.7 トランスミッタ/レシーバの選択....263
13.4.8 スタート/ストップコンディションの発生....264
13.4.9 割り込みサービス要求と解除....266
13.4.10 I2C バスモード....266
13.4.11 ソフトウエアリセット....266
13.4.12 アービトレーションロスト検出モニタ....266
13.4.13 スレーブアドレス一致検出モニタ....268
13.4.14 ゼネラルコール検出モニタ....268
13.4.15 最終受信ビットモニタ....268
13.4.16 データバッファレジスタ(I2CxDBR)....269
13.5 I2C バスモード時のデータ転送手順....270
13.5.1 デバイスの初期化....270
13.5.2 スタートコンディション, スレーブアドレスの発生....270
13.5.2.1 マスタモードの場合
13.5.2.2 スレーブモードの場合
13.5.3 1 ワードのデータ転送....273
13.5.3.1 マスタモードの場合(<MST> = "1")
13.5.3.2 スレーブモードの場合(<MST> = "0")
13.5.4 ストップコンディションの発生....279
13.5.5 再スタートの手順....279
13.6 使用上の注意点....281
13.6.1 ソフトウエアリセット後のレジスタ値....281

第 14 章 10 ビットアナログ/デジタルコンバータ(ADC)

14.1 概要....283
14.2 構成....283

14.3 レジスタ説明.....284
14.3.1 レジスター一覧.....284
14.3.2 ADCLK (変換クロック設定レジスタ).....285
14.3.3 ADMOD0 (モードコントロールレジスタ 0).....286
14.3.4 ADMOD1 (モードコントロールレジスタ 1).....287
14.3.5 ADMOD2 (モードコントロールレジスタ 2).....288
14.3.6 ADMOD3 (AD モードコントロールレジスタ 3).....290
14.3.7 ADMOD4 (モードコントロールレジスタ 4).....291
14.3.8 ADMOD5 (AD モードコントロールレジスタ 5).....292
14.3.9 ADMOD6 (AD モードコントロールレジスタ 6).....293
14.3.10 ADREGn (変換結果レジスタ n: n = 0~11).....294
14.3.11 ADREGSP (変換結果レジスタ SP).....295
14.3.12 ADCMP0 (変換結果比較レジスタ 0).....296
14.3.13 ADCMP1 (変換結果比較レジスタ 1).....296
14.4 動作説明.....297
14.4.1 アナログ基準電圧.....297
14.4.2 AD 変換モード.....297
14.4.2.1 通常 AD 変換
14.4.2.2 最優先 AD 変換
14.4.3 AD 監視機能.....298
14.4.4 入力チャネルの選択.....299
14.4.5 AD 変換動作詳細.....299
14.4.5.1 AD 変換の起動
14.4.5.2 AD 変換動作
14.4.5.3 通常 AD 変換中の最優先変換要求
14.4.5.4 リピート変換モードの停止
14.4.5.5 通常 AD 変換の再起動
14.4.5.6 変換終了
14.4.5.7 割り込み発生タイミングと変換結果格納レジスタ
14.4.5.8 DMA 要求
14.4.5.9 AD コンバータ使用時の注意

第 15 章 電圧検出回路(LVD)

15.1 構成.....305
15.2 レジスタ説明.....306
15.2.1 レジスター一覧.....306
15.2.2 LVDCR1 (検出制御レジスタ 1).....307
15.3 動作説明.....308
15.3.1 検出電圧の選択と電圧検出動作の許可.....308
15.3.2 電源電圧の検出によるリセット.....308
15.3.3 電源電圧の検出による割り込み.....308
15.3.4 電源電圧の検出ステータス.....308

第 16 章 ウォッチドッグタイマ(WDT)

16.1 構成.....309
16.2 レジスタ.....310
16.2.1 レジスター一覧.....310
16.2.1.1 WDMOD(ウォッチドッグタイマモードレジスタ)
16.2.1.2 WDCR(ウォッチドッグタイマコントロールレジスタ)
16.3 動作説明.....312
16.3.1 基本動作.....312
16.3.2 動作モードと動作状態.....312
16.3.3 暴走検出時の動作.....312
16.3.3.1 INTWDT 割り込み発生の場合
16.3.3.2 内部リセット発生の場合
16.4 ウォッチドックタイマの制御.....313
16.4.1 ディセーブル制御.....313
16.4.2 イネーブル制御.....313

16.4.3 ウォッチドッグタイマのクリア制御....313
16.4.4 ウォッチドッグタイマ検出時間の設定....313

第 17 章 フラッシュメモリ動作説明

17.1 フラッシュメモリの特長....315
17.1.1 メモリ容量と構成....315
17.1.2 機能....316
17.1.3 動作モード....316
17.1.3.1 モードの説明
17.1.3.2 モードの決定
17.1.4 メモリマップ....318
17.1.5 プロテクト/セキュリティ機能....319
17.1.5.1 プロテクト機能
17.1.5.2 プロテクトビットマスク機能
17.1.5.3 セキュリティ機能
17.1.6 レジスタ....321
17.1.6.1 レジスタ一覧
17.1.6.2 FCSR(フラッシュステータスレジスタ)
17.1.6.3 FCSECBIT(セキュリティビットレジスタ)
17.1.6.4 FCPSRA(フラッシュプロテクトステータスレジスタ)
17.1.6.5 FCPMRA(フラッシュプロテクトマスクレジスタ)
17.2 フラッシュメモリ詳細....324
17.2.1 機能....324
17.2.2 フラッシュメモリの動作モード....324
17.2.3 ハードウエアリセット....325
17.2.4 コマンド実行方法....325
17.2.5 コマンド説明....326
17.2.5.1 自動ページプログラム
17.2.5.2 自動チップ消去
17.2.5.3 自動ブロック消去
17.2.5.4 自動プロテクトビットプログラム
17.2.5.5 自動プロテクトビット消去
17.2.5.6 ID-Read
17.2.5.7 Read コマンド、Read/リセットコマンド(ソフトウエアリセット)
17.2.6 コマンドシーケンス....329
17.2.6.1 コマンドシーケンス一覧
17.2.6.2 バスライトサイクル時のアドレスビット構成
17.2.6.3 ブロックアドレス(BA)
17.2.6.4 プロテクトビットの指定(PBA)
17.2.6.5 ID-Read のコード(IA, ID)
17.2.6.6 コマンドシーケンス例
17.2.7 フローチャート....334
17.2.7.1 自動プログラム
17.2.7.2 自動消去
17.3 シングルブートモードによる書き替え方法....336
17.3.1 モード設定....336
17.3.2 インタフェース仕様....336
17.3.3 メモリの制約について....337
17.3.4 動作コマンド....338
17.3.4.1 RAM 転送
17.3.4.2 フラッシュメモリチップ消去およびプロテクトビット消去
17.3.5 コマンドによらず共通の動作....338
17.3.5.1 シリアル動作モード判定
17.3.5.2 ACK 応答データ
17.3.5.3 パスワード判定
17.3.5.4 CHECK SUM の計算方法
17.3.6 RAM 転送の転送フォーマット....345
17.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット....347
17.3.8 ブートプログラム全体フローチャート....349
17.3.9 内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順....350
17.3.9.1 Step-1
17.3.9.2 Step-2
17.3.9.3 Step-3
17.3.9.4 Step-4
17.3.9.5 Step-5
17.3.9.6 Step-6

17.4 ユーザーブートモードによる書き替え方法.....353
17.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例.....353
17.4.1.1 Step-1
17.4.1.2 Step-2
17.4.1.3 Step-3
17.4.1.4 Step-4
17.4.1.5 Step-5
17.4.1.6 Step-6
17.4.2 (1-B)書き替えルーチンを外部から転送する手順例.....357
17.4.2.1 Step-1
17.4.2.2 Step-2
17.4.2.3 Step-3
17.4.2.4 Step-4
17.4.2.5 Step-5
17.4.2.6 Step-6

第 18 章 デバッグインタフェース

18.1 仕様概要.....361
18.2 SWJ-DP.....361
18.3 ホールトモード中の周辺機能.....361
18.4 デバッグツールとの接続.....362
18.4.1 接続方法.....362
18.4.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意.....362

第 19 章 ポート等価回路図

19.1 ポート.....364
19.2 アナログ端子.....364
19.3 制御端子.....365
19.4 クロック.....365
19.5 テスト端子.....365

第 20 章 電気的特性

20.1 絶対最大定格.....367
20.2 DC 電気的特性 (1/2).....368
20.3 DC 電気的特性 (2/2).....371
20.4 10 ビット AD コンバータ変換特性.....372
20.5 AC 電気的特性.....373
20.5.1 シリアルチャネル (SIO/UART).....373
20.5.1.1 AC 測定条件
20.5.1.2 AC 電気的特性(I/O インタフェースモード)
20.5.2 I2C インタフェース (I2C).....375
20.5.2.1 AC 測定条件
20.5.2.2 AC 電気的特性
20.5.3 16-bit タイマ/イベントカウンタ(TMRB).....377
20.5.3.1 イベントカウンタ
20.5.3.2 キャプチャ
20.5.4 外部割り込み.....378
20.5.4.1 AC 測定条件
20.5.4.2 AC 電気的特性
20.5.5 デバッグ通信.....379
20.5.5.1 AC 測定条件
20.5.5.2 SWD インタフェース
20.5.6 内蔵発振回路特性.....379
20.5.7 外部発振子.....379

20.5.8　外部クロック入力.....380
20.5.9　フラッシュ特性.....380
20.5.10　ノイズフィルタ特性.....380
20.6　発振回路.....381
20.6.1　セラミック発振子.....381
20.6.2　プリント基板の設計に関する注意.....381
20.6.3　取り扱い上のご注意.....382
20.6.3.1　電源投入時の電源立ち上がりについて
20.6.3.2　動作中の電圧降下発生について
20.6.3.3　起動時の電圧について

第 21 章　パッケージ寸法図

CMOS 32 ビット マイクロコントローラ

TMPM036FWFG

TMPM036FWFG は、ARM® 社 Cortex®-M0 コアを内蔵した 32 ビット RISC マイクロプロセッサです。機能概要と特長は次のとおりです。

1.1 機能概要

1. ARM 社製 Cortex-M0 コアを使用

   Cortex-M0 は Cortex-M シリーズの中で最も小さいコアでありながら以下の性能を実現します。

   a. コード効率を最大限に高めた Thumb®-2 命令セット

   b. 高性能化と低消費電力化を同時に実現

      【高性能化】

      ・32 ビット乗算(32 × 32 = 32 ビット)を 1 クロックで実行

      【低消費電力化】

      ・低消費電力ライブラリを使用した最適化設計

      ・プロセッサコアの動作を停止させるスタンバイ機能

   c. リアルタイム制御に向いた高速割り込み応答

      ・実行時間の長い命令は割り込みで中断可能

      ・スタックへの PUSH をハードウエアで自動的に実行

2. エンディアン : リトルエンディアン

3. 内蔵プログラムメモリ/データメモリ
   - 内蔵 Flash ROM : 128 Kbyte
   - 内蔵 RAM : 16 Kbyte

4. DMA コントローラ(DMAC) : 4 チャネル/ 2 ユニット
   - 転送対象:内蔵メモリ、周辺機能および外部メモリ

5. クロック制御(CG)
   - 外部よりクロックを入力/外部発振(8MHz ~ 20MHz)
   - PLL を内蔵 (2 逓倍)
   - クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能

6. 低消費電力機能
   - IDLE, STOP1

7. 割り込み機能: 4 レベルの優先順位設定可能
   - 内部 24 本
   - 外部 6 本

8. 入出力ポート(PORT) : 86 端子
   入出力端子 : 85 本
   出力端子 : 1 本

9. 16 ビットタイマ(TMRB) : 10 チャネル
   - 16 ビットインタバルタイマモード
   - 16 ビットイベントカウンタモード
   - 16 ビット PPG 出力(4 相同期出力可能)
   - インプットキャプチャ機能

10. 16 ビットタイマ(TMR16A) : 4 チャネル

11. ウォッチドッグタイマ(WDT) : 1 チャネル
    リセットまたはマスク不能割り込み(NMI)発生

12. シリアルチャネル(SIO/UART) : 6 チャネル
    - UART / 同期式モード選択可能
    - 送信 FIFO : 8 ビット幅 4 段、受信 FIFO : 8 ビット幅 4 段

13. I2C バスインタフェース (I2C) : 2 チャネル
    - 通信速度 100kbps / 400kbps

14. 10 ビット AD コンバータ(ADC) : 1 ユニット(8 チャネル)
    - チャネル固定/スキャンモード
    - シングル/リピートモード
    - リピート変換可能
    - AD 監視機能

15. LVD/POR 機能 : 1 ユニット

16. 最大動作周波数 : 20MHz

17. デバッグインタフェース
    - SWD に対応

18. 動作電圧範囲 : 2.3 ~ 3.6V

19. 温度範囲
- −40°C ~ 85°C (Flash W/E 時以外)
- 0°C ~ 70°C (Flash W/E 時)

20. パッケージ

LQFP100 (14mm× 14mm, 0.5mm ピッチ)

1.2 ブロック図

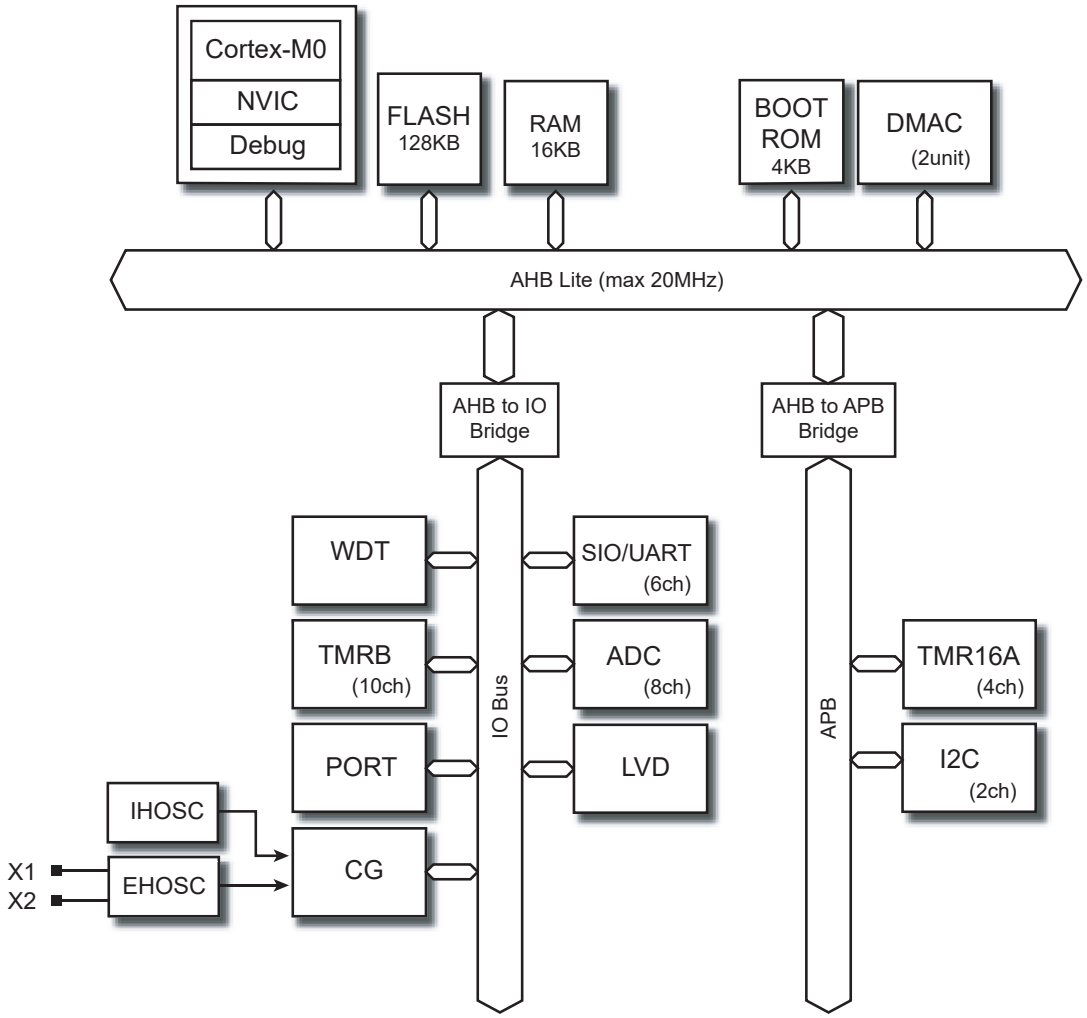


図 1-1 ブロック図

1.3 ピン配置図(Top view)

TMPM036FWFG のピン配置図は、下記のとおりです。

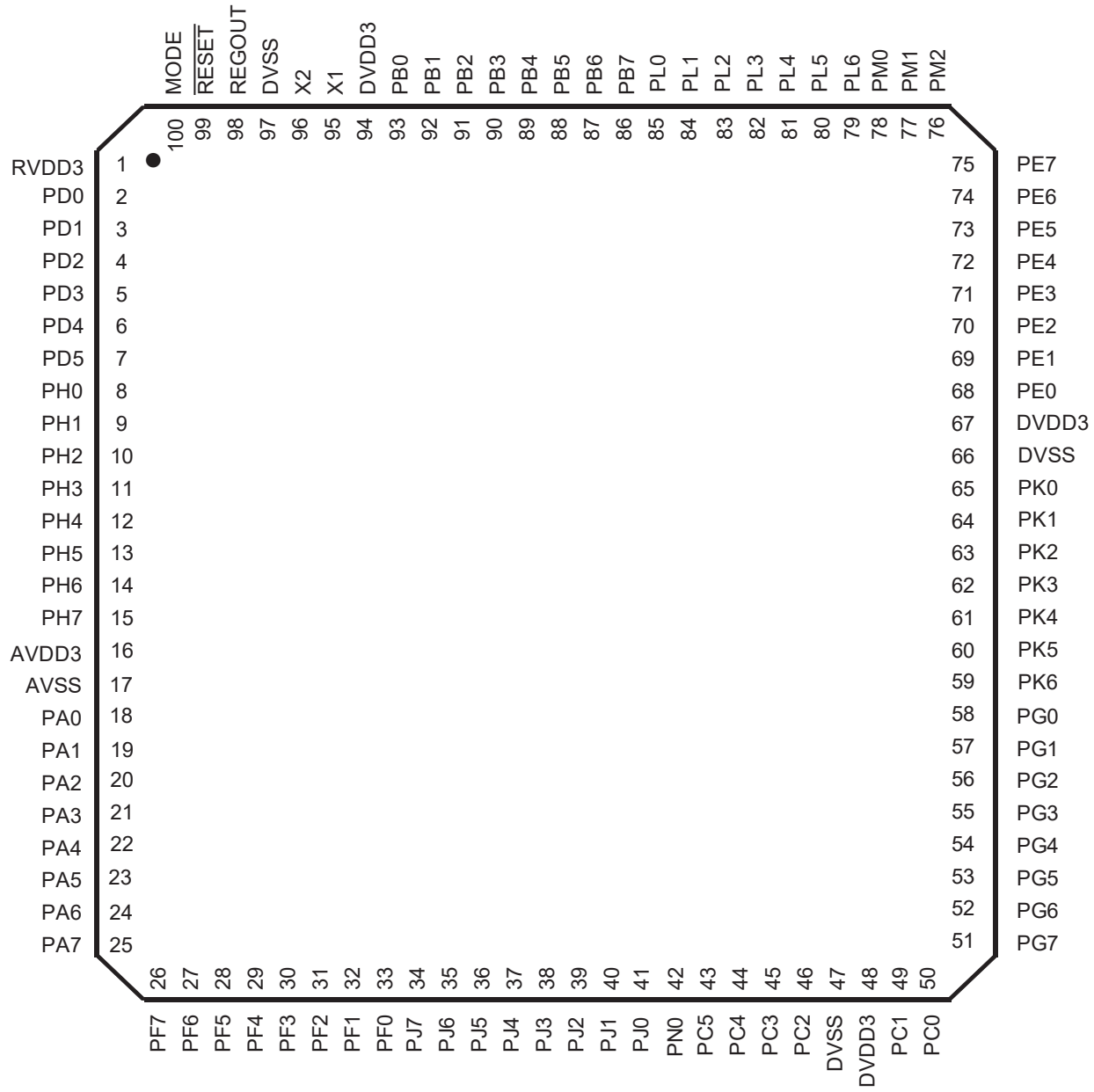


図 1-2 ピン配置図(LQFP100 TOP VIEW)

1.4 ピン名称と機能

1.4.1 機能端子名称と機能

1.4.1.1 周辺機能端子名称

表 1-1 各周辺機能と端子名称と機能

周辺機能	端子名称	Input or Output	機能
外部割り込み	INTx	Input	外部割り込み入力端子 x 外部割込み入力端子 x はノイズフィルタ(フィルタ幅 typ. 30ns)をもちます。
16 ビットタイマ (TMRB)	TBxIN	Input	インプットキャプチャ入力端子
	TBxOUT	Output	出力端子
16 ビットタイマ (TMR16A)	T16AxOUT	Output	出力端子
シリアルチャネル(SIO/UART)	SCxTXD	Output	データ出力端子
	SCxRXD	Input	データ入力端子
	SCxSCLK	I/O	クロック入出力端子
I2C バスインタフェース(I2C)	I2CxSDA	I/O	データ入出力端子
	I2CxSCL	I/O	クロック入出力端子
アナログデジタルコンバータ	AINx	Input	アナログ入力端子

1.4.1.2 デバッグ端子名称

表 1-2 デバッグ端子名称と機能

デバッグ端子名称	Input or Output	機能
SWDIO	I/O	シリアルワイヤデータ入出力端子
SWCLK	Input	シリアルワイヤクロック入力端子

1.4.1.3 制御端子名称

表 1-3 制御端子名称と機能

制御端子名称	Input or Output	機能
X1	Input	高速発振子接続端子
X2	Output	高速発振子接続端子
MODE	Input	モード端子 必ず"Low"レベルに固定してください。
$\overline{\text{RESET}}$	Input	リセット信号入力端子
$\overline{\text{BOOT}}$	Input	BOOT モード制御用端子 リセット信号入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 詳細については、"フラッシュメモリ"章を参照してください。

1.4.1.4 電源端子名称

表 1-4 電源端子名称と機能

電源 端子名称	機能
REGOUT	レギュレータ用コンデンサ(1μF)接続端子
RVDD3	レギュレータ用電源端子
DVDD3	デジタル用電源端子
DVSS	デジタル用 GND 端子
AVDD3	ADC 用電源端子
AVSS	ADC 用 GND 端子

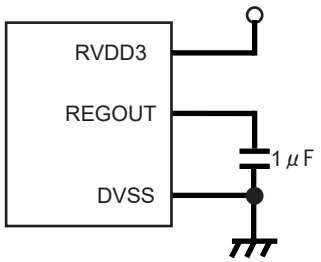


図 1-3 レギュレータ用コンデンサ接続図

(端子から最短距離に配置してください)

1.4.2 ピン名称と機能

1.4.2.1 表の見方

表中の記号の意味は下記の通りです。

1. 機能 A

   ファンクションレジスタ設定なしにポートに割り当てられる兼用機能が記載されています。

2. 機能 B

   ファンクションレジスタ設定によりポートに割り当てられる兼用機能が記載されています。機能 B の番号はファンクションレジスタの番号と対応しています。

3. 端子仕様

   記号の意味は下記のとおりです。

- SMT/CMOS : 入力ゲート

  SMT : Schmitt 入力

  CMOS : CMOS 入力

- OD : プログラマブル Open Drain 出力対応

  Yes : 対応

  N/A : 非対応

- PU/PD:プログラマブル Pull-Up/Pull-Down 対応

  PU : プログラマブル Pull-Up 選択可能

  PD : プログラマブル Pull-Down 選択可能

- 10mA: 10mA 電流ポート対応

  Yes : 対応

  N/A : 非対応

1.4.2.2 PORT / デバッグ端子

表 1-5 ピン番号と端子名称<PORT 順>

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTA											
18	PA0	AIN0						PU/PD	Yes	SMT	N/A
19	PA1	AIN1						PU/PD	Yes	SMT	N/A
20	PA2	AIN2						PU/PD	Yes	SMT	N/A
21	PA3	AIN3						PU/PD	Yes	SMT	N/A
22	PA4	AIN4						PU/PD	Yes	SMT	N/A
23	PA5	AIN5						PU/PD	Yes	SMT	N/A
24	PA6	AIN6						PU/PD	Yes	SMT	N/A
25	PA7	AIN7						PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTB											
93	PB0	$\overline{\text{BOOT}}$						PU/PD	Yes	SMT	N/A
92	PB1		SC4 RXD	SW CLK				PU/PD	Yes	SMT	N/A
91	PB2		SC4 TXD	SWDIO				PU/PD	Yes	SMT	N/A
90	PB3		SC4 SCLK					PU/PD	Yes	SMT	N/A
89	PB4							PU/PD	Yes	SMT	N/A
88	PB5	INT0						PU/PD	Yes	SMT	N/A
87	PB6	INT1						PU/PD	Yes	SMT	N/A
86	PB7	INT2						PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTC											
50	PC0		I2C0 SCL					PU/PD	Yes	SMT	N/A
49	PC1		I2C0 SDA					PU/PD	Yes	SMT	N/A
46	PC2		TB2 OUT					PU/PD	Yes	SMT	Yes
45	PC3		TB0 OUT					PU/PD	Yes	SMT	Yes
44	PC4		T16A0 OUT					PU/PD	Yes	SMT	N/A
43	PC5		TB0IN					PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTD											
2	PD0		TB3 OUT					PU/PD	Yes	SMT	N/A
3	PD1		SC0 SCLK					PU/PD	Yes	SMT	N/A
4	PD2		SC0 RXD					PU/PD	Yes	SMT	N/A
5	PD3		SC0 TXD					PU/PD	Yes	SMT	N/A
6	PD4		TB3IN					PU/PD	Yes	SMT	N/A
7	PD5							PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTE											
68	PE0							PU/PD	Yes	SMT	N/A
69	PE1							PU/PD	Yes	SMT	N/A
70	PE2		SC2 SCLK					PU/PD	Yes	SMT	N/A
71	PE3		SC2 RXD					PU/PD	Yes	SMT	N/A
72	PE4		SC2 TXD					PU/PD	Yes	SMT	N/A
73	PE5	INT5						PU/PD	Yes	SMT	N/A
74	PE6	INT4						PU/PD	Yes	SMT	N/A
75	PE7	INT3						PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTF											
33	PF0		TB7IN					PU/PD	Yes	SMT	N/A
32	PF1		SC3 SCLK					PU/PD	Yes	SMT	N/A
31	PF2		SC3 RXD					PU/PD	Yes	SMT	N/A
30	PF3		SC3 TXD					PU/PD	Yes	SMT	N/A
29	PF4		TB7 OUT					PU/PD	Yes	SMT	N/A
28	PF5		T16A1 OUT					PU/PD	Yes	SMT	N/A
27	PF6							PU/PD	Yes	SMT	N/A
26	PF7							PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTG											
58	PG0		SC1 SCLK					PU/PD	Yes	SMT	N/A
57	PG1		SC1 RXD					PU/PD	Yes	SMT	N/A
56	PG2		SC1 TXD					PU/PD	Yes	SMT	N/A
55	PG3		TB1IN					PU/PD	Yes	SMT	N/A
54	PG4		TB1 OUT					PU/PD	Yes	SMT	N/A
53	PG5		TB4 OUT					PU/PD	Yes	SMT	N/A
52	PG6		TB5 OUT					PU/PD	Yes	SMT	Yes
51	PG7		TB6 OUT					PU/PD	Yes	SMT	Yes

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTH											
8	PH0							PU/PD	Yes	SMT	N/A
9	PH1							PU/PD	Yes	SMT	N/A
10	PH2							PU/PD	Yes	SMT	N/A
11	PH3							PU/PD	Yes	SMT	N/A
12	PH4							PU/PD	Yes	SMT	N/A
13	PH5							PU/PD	Yes	SMT	N/A
14	PH6							PU/PD	Yes	SMT	N/A
15	PH7							PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTJ											
41	PJ0		SC5 SCLK					PU/PD	Yes	SMT	N/A
40	PJ1		SC5 RXD					PU/PD	Yes	SMT	N/A
39	PJ2		SC5 TXD					PU/PD	Yes	SMT	N/A
38	PJ3							PU/PD	Yes	SMT	N/A
37	PJ4							PU/PD	Yes	SMT	N/A
36	PJ5							PU/PD	Yes	SMT	N/A
35	PJ6							PU/PD	Yes	SMT	N/A
34	PJ7							PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTK											
65	PK0		TB8IN					PU/PD	Yes	SMT	N/A
64	PK1		TB8OUT					PU/PD	Yes	SMT	N/A
63	PK2							PU/PD	Yes	SMT	N/A
62	PK3							PU/PD	Yes	SMT	N/A
61	PK4		TB6IN					PU/PD	Yes	SMT	N/A
60	PK5		TB5IN					PU/PD	Yes	SMT	N/A
59	PK6		TB4IN					PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTL											
85	PL0		TB9IN					PU/PD	Yes	SMT	N/A
84	PL1		TB9OUT					PU/PD	Yes	SMT	N/A
83	PL2		I2C1 SCL					PU/PD	Yes	SMT	N/A
82	PL3		I2C1 SDA					PU/PD	Yes	SMT	N/A
81	PL4		TB2IN					PU/PD	Yes	SMT	N/A
80	PL5		T16A3 OUT					PU/PD	Yes	SMT	N/A
79	PL6							PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTM											
78	PM0							PU/PD	Yes	SMT	N/A
77	PM1							PU/PD	Yes	SMT	N/A
76	PM2							PU/PD	Yes	SMT	N/A

PinNo.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	SMT/CMOS	10mA
PORTN											
42	PN0		T16A2 OUT					PU/PD	Yes	SMT	N/A

1.4.2.3 制御端子

表 1-6 ピン番号と端子名称

Pin No.	制御 端子名称
95	X1
96	X2
99	$\overline{\text{RESET}}$
100	MODE
93	$\overline{\text{BOOT}}$

1.4.2.4 電源端子

表 1-7 ピン番号と端子名称

Pin No.	電源 端子名称
98	REGOUT
1	RVDD3
48, 67,94	DVDD3
47, 66,97	DVSS
16	AVDD3
17	AVSS

第 2 章　製品情報

本章では、周辺機能に関し、チャネルまたはユニット数、端子情報、その他の製品固有機能の情報についてまとめます。周辺機能の章と合わせてご使用ください。

- 「2.1.1 DMA コントローラ(DMAC)」
- 「2.1.2 16 ビットタイマ/イベントカウンタ(TMRB)」
- 「2.1.3 16 ビットタイマ A(TMR16A)」
- 「2.1.4 シリアルチャネル(SIO/UART)」
- 「2.1.5 I2C バス(I2C)」
- 「2.1.6 アナログ/デジタルコンバータ(ADC)」
- 「2.1.7 デバッグインタフェース」

2.1　各周辺機能の情報

2.1.1　DMA コントローラ(DMAC)

TMPM036FWFG では DMA コントローラを 2 ユニット内蔵しています。

2.1.1.1　要因一覧表

DMA コントローラの要因は下記の通りです。

表 2-1 DMA 要求一覧

要求番号	対応するペリフェラル			
	Ch0, Ch1(DMACA)		Ch2, Ch3(DMACB)	
	バースト	シングル	バースト	シングル
0	SIO/UART0 受信	−	−	−
1	SIO/UART0 送信	−	−	−
2	SIO/UART1 受信	−	−	−
3	SIO/UART1 送信	−	−	−
4	SIO/UART2 受信	−	−	−
5	SIO/UART2 送信	−	−	−
6	SIO/UART3 受信	−	SIO/UART5 受信	−
7	SIO/UART3 送信	−	SIO/UART5 送信	−
8	I2C0 送受信	−	I2C1 送受信	−
9	−	−	−	−
10	SIO/UART4 受信	−	−	−
11	SIO/UART4 送信	−	−	−
12	TMRB (ch0-3)	−	TMRB (ch8)	−
13	TMRB (ch4-7)	−	TMRB (ch9)	−
14	AD 最優先変換終了 / AD 監視 0 / AD 監視 1	−	−	−
15	AD 変換終了	−	−	−

2.1.1.2　Peripheral to Peripheral でサポートする周辺機能

TMPM036FWFG でサポートする周辺機能(レジスタ）は下記のとおりです。

表 2-2 サポートする周辺機能

Source	Destination
Peripheral register	SCxBUF (x=0 to 5)
	TBxRG0 to 1 (x=0 to 9)
	TBxCP0 to 1 (X=0 to 9)
ScxBUF (x=0 to 5)	Peripheral register
TBxRG0 to 1 (X=0 to 9)	
TBxCP0 to 1 (x=0 to 9)	

2.1.1.3 DMA リクエスト制御レジスタ（DMARQCTL)

I2C で DMA リクエストを制御するレジスタとアドレスは下記の通りです。

BaseAddress= 0x4005_F000

レジスタ名		Address(Base+)
DMAC 要求設定レジスタ	DMACREDGE	0x0000
DMAC 要求クリアレジスタ	DMACRCLR	0x0004

2.1.1.4　DMACREDGE(DMAC 要求設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	I2CDMAC1	I2CDMAC0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	I2CDMAC1	R/W	I2C ch1 における DMA 要求の設定 0: High アクティブ 1: Reserved "0"を設定して下さい
0	I2CDMAC0	R/W	I2C ch0 における DMA 要求の設定 0: High アクティブ 1: Reserved "0"を設定して下さい

2.1.1.5 DMACRCLR(DMAC 要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DCLR1	DCLR0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	DCLR1	W	I2C ch1 による DMA 要求信号のクリア 0: - 1: DMA 要求クリア I2C の DMAC 転送終了割り込みの中で、"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。
0	DCLR0	W	I2C ch0 による DMA 要求信号のクリア 0: - 1: DMA 要求クリア I2C の DMAC 転送終了割り込みの中で、"1"を設定し DMA 要求をクリアします。 リードすると"0"が読めます。

2.1.2 16 ビットタイマ/イベントカウンタ(TMRB)

TMPM036FWFG では 10 チャネルの TMRB を内蔵しています。

表 2-3 端子仕様

チャネル	TBxOUT	TBxIN
TMRB0	PC3	PC5
TMRB1	PG4	PG3
TMRB2	PC2	PL4
TMRB3	PD0	PD4
TMRB4	PG5	PK6
TMRB5	PG6	PK5
TMRB6	PG7	PK4
TMRB7	PF4	PF0
TMRB8	PK1	PK0
TMRB9	PL1	PL0

表 2-4 同期スタート仕様

マスタチャネル	スレーブチャネル
TMRB0	TMRB1, TMRB2, TMRB3
TMRB4	TMRB5, TMRB6, TMRB7
TMRB8	TMRB9

表 2-5 キャプチャトリガ仕様

トリガ入力チャネル	トリガ出力
TMRB0 TMRB1 TMRB2	TB6OUT
TMRB3 TMRB4 TMRB5	TB7OUT
TMRB6 TMRB7 TMRB8	TB9OUT

本製品は、各 ch の CAP 割り込みが同一要因にそれぞれ割り当てられています。

そのため、同一要因の割り込み INTTBxCAP0 と INTTBxCAP1 の区別をするには、下記のような対応が必要です。

1. CAP 割り込み発生時に、TBxIN 端子の状態を読み、"High"か"Low"の判別をします。
2. 端子状態"High"ならば、INTTBxCAP0 割り込み発生。端子状態"Low"ならば INTTBxCAP1 割り込み発生と判別します。

注)　なお、この方法はパルス幅が High/Low 幅とも割り込み処理時間以上の場合に利用できます

2.1.3　16 ビットタイマ A(TMR16A)

TMPM036FWFG では 4 チャネルの TMR16A を内蔵しています。

表 2-6 端子仕様

チャネル	T16AxOUT
T16A0	PC4
T16A1	PF5
T16A2	PN0
T16A3	PL5

2.1.4　シリアルチャネル(SIO/UART)

TMPM036FWFG では 6 チャネルの SIO を内蔵しています。

表 2-7 端子仕様

チャネル	SCxTXD	SCxRXD	SCxSCLK
SC0	PD3	PD2	PD1
SC1	PG2	PG1	PG0
SC2	PE4	PE3	PE2
SC3	PF3	PF2	PF1
SC4	PB2	PB1	PB3
SC5	PJ2	PJ1	PJ0

表 2-8 転送クロック仕様

クロック入力チャネル	クロック出力
SC0	TB0OUT
SC1	TB1OUT

注) TMPM036FWFG はハンドシェイク機能(SCxCTS 端子）をサポートしていません。

2.1.5 I2C バス(I2C)

TMPM036FWFG では 2 チャネルの I2C を内蔵しています。

表 2-9 端子仕様

チャネル	I2CxSDA	I2CxSCL	
I2C0	PC1	PC0	電源遮断対応 I/O
I2C1	PL3	PL2	電源遮断非対応 I/O

2.1.6 アナログ/デジタルコンバータ(ADC)

TMPM036FWFG では 1 ユニットの ADC を内蔵しています。

表 2-10 端子仕様

アナログ入力	AIN0 ~ 7
ポート	PA0 ~ 7

注) TMPM036FWFG のアナログ入力は AIN0 ~ AIN7 の 8 チャネルです。

表 2-11 内部起動トリガ選択

種類	内部トリガ
通常 AD 変換起動トリガ	TMRB ch0 のキャプチャ割込み(INTTB0CAP0)
最優先 AD 変換起動トリガ	TMRB ch1 のキャプチャ割込み(INTTB1CAP0)

2.1.7 デバッグインタフェース

TMPM036FWFG はシリアルワイヤデバッグポートをサポートしています。

表 2-12 端子仕様

I/F	SWDIO	SWCLK
シリアルワイヤ	PB2	PB1

第 3 章　プロセッサコア

TX00 シリーズには、高性能・低消費電力な 32 ビットプロセッサコア(ARM 社 Cortex-M0 コア)が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされる"テクニカルリファレンスマニュアル(TRM)"を参照してください。ここでは、製品固有の情報について説明します。

3.1　コアに関する情報

TMPM036FWFG で使用している Cortex-M0 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、ARM 社の下記 URL より"Cortex-M series processors"のマニュアルを参照してください。

http://infocenter.arm.com/help/index.jsp

製品名	コアリビジョン
TMPM036FWFG	r0p0-03

3.2　構成可能なオプション

Cortex-M0 コアは、一部の機能について実装するかどうかを選択することができます。TMPM036FWFG での構成は以下のとおりです。

構成可能なオプション	実装
割り込み本数	32 本
エンディアン	リトルエンディアン
SysTick タイマ	あり
ウォッチポイントコンパレータ	2 本
ブレークポイントコンパレータ	4 本
ホールトデバッグ	あり
乗算器	高速

注)　高速乗算器は、32bit×32bit の演算を 1 クロックで行い、結果の下位 32bit を生成します。

3.3　例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

3.3.1　割り込み本数

Cortex-M0 コアは割り込み本数を仕様に合わせて構成することができます。

TMPM036FWFG の割り込み本数は 32 本です。

3.3.2　SysTick

TMPM036FWFG には SysTick タイマを実装しています。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

3.3.3　SYSRESETREQ

Cortex-M0 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM036FWFG では SYSRESETREQ 信号が出力されると他のリセット要因と同様の動作になります。

3.3.4　LOCKUP

回復不能な例外が発生すると Cortex-M0 コアは LOCKUP 信号を出力し、ソフトウエアに重大な誤りのあることを示します。

TMPM036FWFG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

3.4　イベント

Cortex-M0 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM036FWFG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

3.5　電力管理

Cortex-M0 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM036FWFG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

第 4 章　メモリマップ

4.1　メモリマップ

TMPM036FWFG のメモリマップは、ARM Cortex-M0 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M0 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR：Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M0 テクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

TMPM036FWFG のメモリマップを以下に示します。

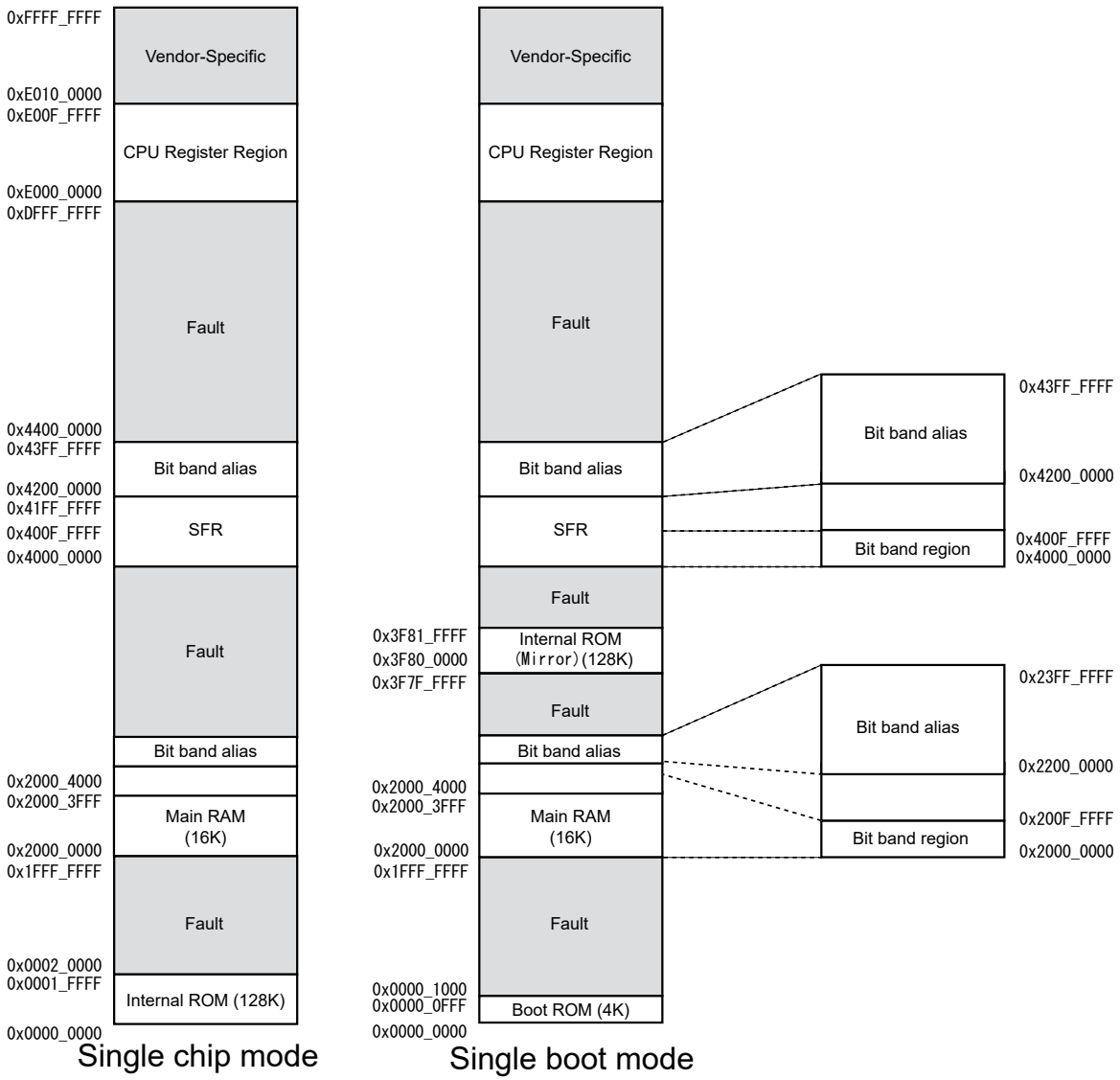


図 4-1 TMPM036FWFG Memory Map

4.2　バスマトリクス

本マイコンでは、CPU コア、DMA コントローラの 3 種類のバスマスタが搭載されています。

バスマスタは、バスマトリクスのスレーブポート(S0,S1,S2)に接続され、バスマトリクス内で、接続を示す記号()を経由して、マスタポート(M0~M8)から、周辺機能に接続されます。

バスマトリクス内の同一マスターライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスタのアクセスが優先されます。

4.2.1 構成

4.2.1.1 シングルチップモード

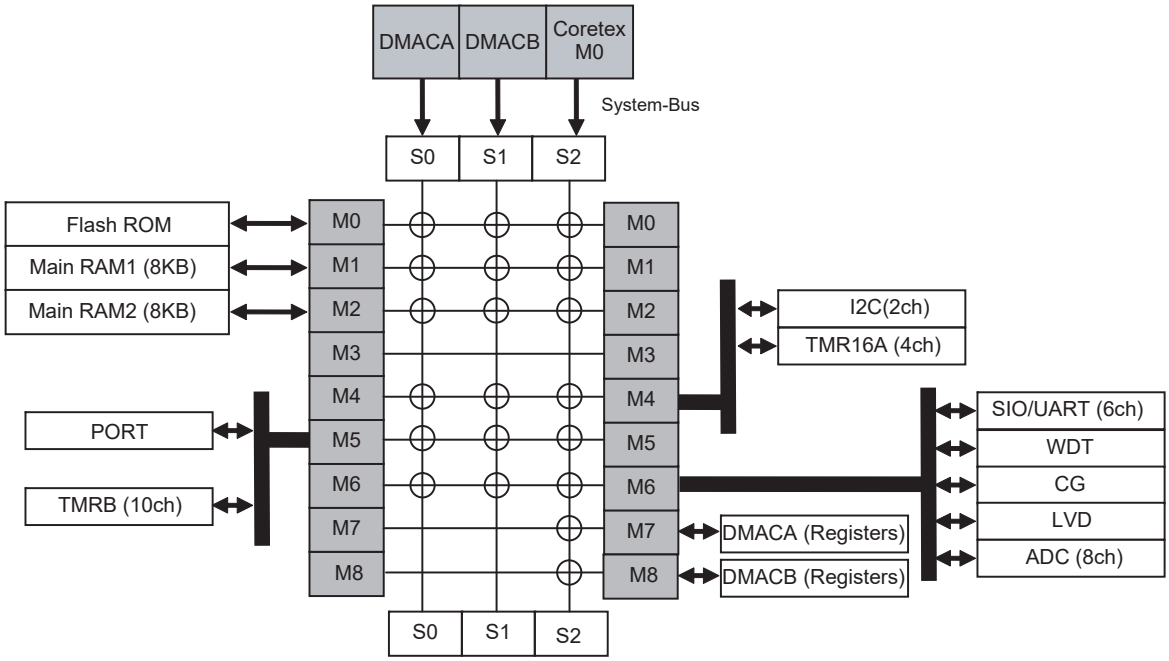


図 4-2 TMPM036FWFG (シングルチップモード)

4.2.1.2 シングルブートモード

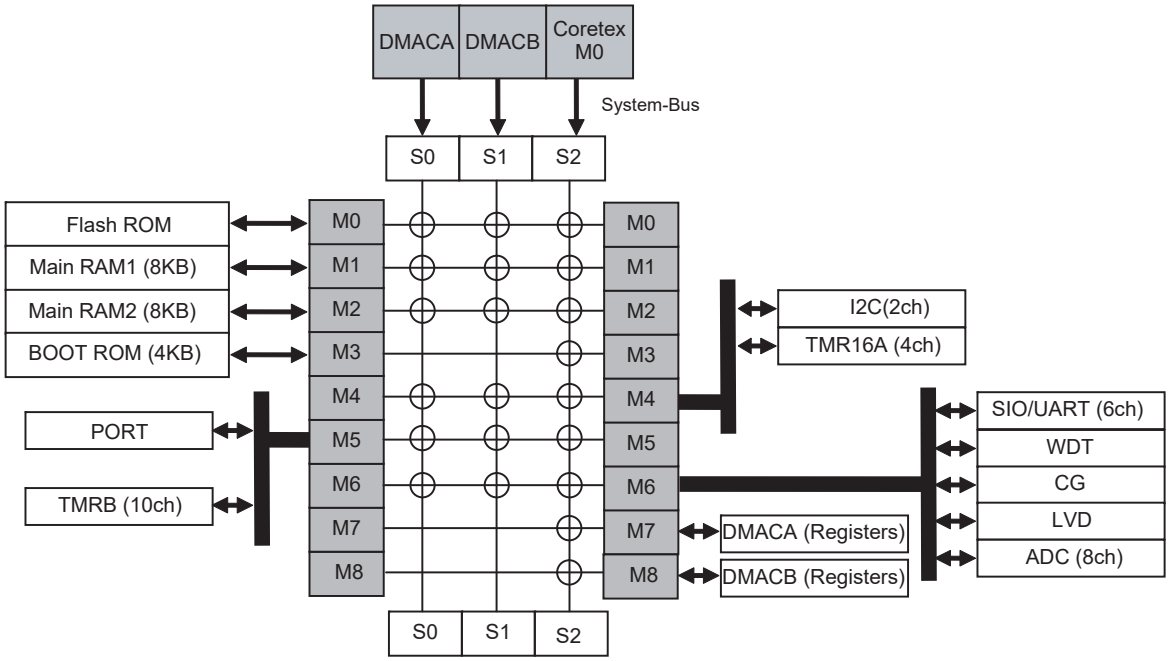


図 4-3 TMPM036FWFG (シングルブートモード)

4.2.2　接続表

4.2.2.1　Code 領域/ SRAM 領域

(1)　シングルチップモード

Start Address			DMAC A	DMAC B	Core
			S0	S1	S2
0x0000_0000	Flash ROM	M0	o	o	o
0x0010_0000	Fault	-	Fault	Fault	Fault
0x2000_0000	Main RAM0	M1	o	o	o
0x2000_2000	Main RAM1	M2	o	o	o
0x2400_0000	Fault	-	Fault	Fault	Fault

(2)　シングルブートモード

Start Address			DMAC A	DMAC B	Core
			S0	S1	S2
0x0000_0000	BOOT ROM	M3	Fault	Fault	o
0x000_1000	Fault	-	Fault	Fault	Fault
0x2000_0000	Main RAM0	M1	o	o	o
0x2000_2000	Main RAM1	M2	o	o	o
0x2400_0000	Fault	-	Fault	Fault	Fault

4.2.2.2 Peripheral 領域/ 外部バス領域

Start Address			DMAC A	DMAC B	Core
			S0	S1	S2
0x4000_0000	DMAC A	M7	-	-	o
0x4000_1000	DMAC B	M8	-	-	o
0x4005_F000	DMARC	M4	o	o	o
0x4006_6000	Reserved	-	-	-	-
0x4008_D000	TMR16A(ch0-3)	M4	o	o	o
0x4008_F000	Reserved	-	-	-	-
0x400A_0000	I2C(Ch0,1)	M4	o	o	o
0x400A_1000	Fault	-	Fault	Fault	Fault
0x400C_0000	PORT	M5	o	o	o
0x400C_0C00	Reserved	-	-	-	-
0x400C_4000	TMRB(ch0-9)	M5	o	o	o
0x400C_4800	Fault	-	Fault	Fault	Fault
0x400E_1000	SIO/UART(ch0-5)	M6	o	o	o
0x400E_1500	Reserved	-	-	-	-
0x400F_2000	WDT	M6	-	-	o
0x400F_2100	Reserved	-	-	-	-
0x400F_3000	CG	M6	-	-	o
0x400F_3100	Reserved	-	-	-	-
0x400F_4000	LVD	M6	-	-	o
0x400F_4100	Reserved	-	-	-	-
0x400F_5100	SFR(INTMSK)	M6	-	-	o
0x400F_C000	ADC	M6	o	o	o
0x400F_C100	Reserved	-	-	-	-
0x41FF_F000	SFR(FLASH)	M6	-	-	o
0x4200_0000	Bit band alias	-	-	-	o

4.2.3　周辺機能ベースアドレス一覧

Peripheral 領域のうち、制御レジスタ以外のアドレスにはアクセスしないでください。制御レジスタの詳細は、各周辺機能の章を参照してください。

周辺機能		ベースアドレス
DMA コントローラ(PL081)	Unit A	0x4000_0000
	Unit B	0x4000_1000
DMA リクエスト制御(DMARC)		0x4005_F000
16 ビットタイマ（TMR16A)	ch0	0x4008_D000
	ch1	0x4008_E000
	ch2	0x4008_F000
	ch3	0x4009_0000
I2C	ch0	0x400A_0000
	ch1	0x400A_1000
入出力ポート	Port A	0x400C_0000
	Port B	0x400C_0100
	Port C	0x400C_0200
	Port D	0x400C_0300
	Port E	0x400C_0400
	Port F	0x400C_0500
	Port G	0x400C_0600
	Port H	0x400C_0700
	Port J	0x400C_0800
	Port K	0x400C_0900
	Port L	0x400C_0A00
	Port M	0x400C_0B00
	Port N	0x400C_0C00
16 ビットタイマ(TMRB）	ch0	0x400C _4000
	ch1	0x400C_4100
	ch2	0x400C_4200
	ch3	0x400C_1300
	ch4	0x400C_4400
	ch5	0x400C_4500
	ch6	0x400C_4600
	ch7	0x400C_4700
	ch8	0x400C_4800
	ch9	0x400C_4900
(SIO/UART)	ch0	0x400E_1000
	ch1	0x400E_1100
	ch2	0x400E_1200
	ch3	0x400E_1300
	ch4	0x400E_1400
	ch5	0x400E_1500
ウォッチドッグタイマ(WDT)		0x400F_2000
クロック/モード制御(CG)		0x400F_3000
電圧検出回路(LVD)		0x400F_4000
SFR(INTMSK)		0x400F_5100
ADC		0x400F_C000

周辺機能	ベースアドレス
SFR(FLASH)	0x41FF_FF00

第 5 章　リセット動作

リセットの種類として以下のものがあります。

- パワーオンリセット
- $\overline{\text{RESET}}$ 端子
- 電圧検出回路(LVD)
- ウォッチドッグタイマ(WDT)
- アプリケーションおよびリセット制御レジスタ<SYSRESETREQ>

リセットの要因を確認するためには、クロックジェネレータの CGRSTFLG を参照してください。リセットが発生すると CGRSTFLG のリセット要因に対応するビットがセットされます。詳細は例外の章を参照してください。

電圧検出回路によるリセットについては「電圧検出回路(LVD)」の章を参照してください。

ウォッチドッグタイマによるリセットについては「ウォッチドッグタイマ(WDT)」の章を参照してください。

<SYSRESETREQ>によるリセットについては"Cortex-M0 テクニカルリファレンスマニュアル"を参照してください。

注)　リセット動作を行うと内蔵 RAM のデータは保持されません。

5.1　コールドリセット

5.1.1　$\overline{\text{RESET}}$ 端子を使用したコールドリセット

$\overline{\text{RESET}}$ 端子を使用する場合は、$\overline{\text{RESET}}$ 端子を"Low"にした状態で電源を投入してください。

なお $\overline{\text{RESET}}$ 端子を使用した電源投入の際には、内蔵レギュレータの安定のための時間を考慮する必要があります。本製品では、内蔵レギュレータ安定のための時間として約 1.0ms 必要です。内蔵レギュレータが安定するための十分な時間 $\overline{\text{RESET}}$ 端子に"Low"を入力する必要があります。

内部リセット信号が解除されるまでの時間は、$\overline{\text{RESET}}$ 端子が"High"になってから約 0.8ms 後です。

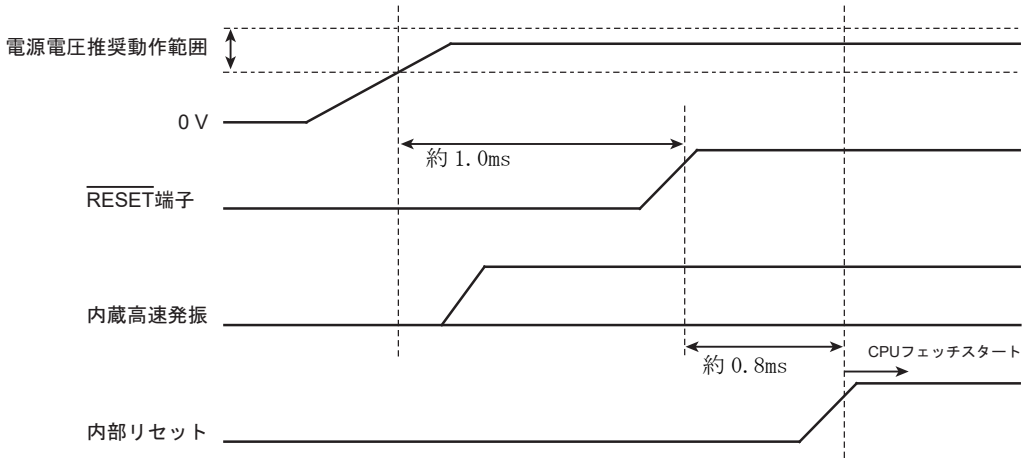


図 5-1 $\overline{\text{RESET}}$ 端子使用時のコールドリセットシーケンス

5.1.2 パワーオンリセットを使用したコールドリセット

パワーオンリセットを使用する場合、電源電圧の立ち上がりに制約があります。

電源電圧がパワーオンリセット解除電圧を越えてから、動作電圧範囲に到達するまで約 1.0ms 以内に電源電圧を立ち上げてください。

電源電圧がパワーオンリセット解除電圧を越えてから内部リセットが解除されるまでの時間は、約 1.8ms 後です。

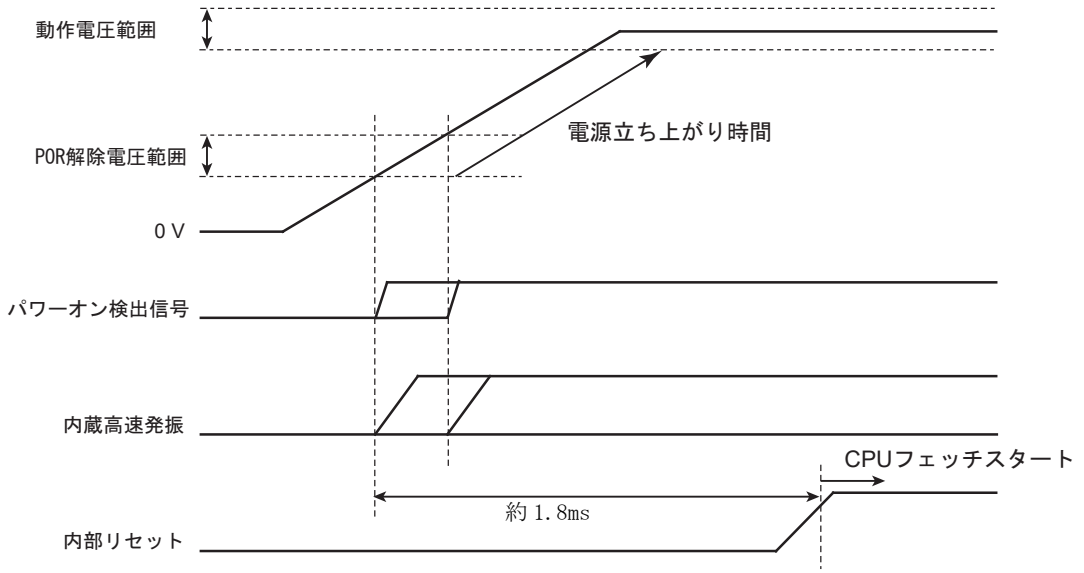


図 5-2 パワーオンリセット使用時のコールドリセットシーケンス

5.2 ウォームリセット

TMPM036FWFG にウォームリセットをかけるには、電源電圧が推奨動作範囲内で $\overline{\text{RESET}}$ 端子を少なくとも内部高周波発振 12 クロック間、"Low"にしてください。$\overline{\text{RESET}}$ 端子が"High"になってから約 0.8ms 後に内部リセットが解除されます。

WDT および<SYSRESETREQ>によるリセットでは、高周波発振約 30 クロックで内部リセットが解除されます。

5.3 リセット解除後

ウォームリセットにより、ほとんどのコアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。

コア内部のシステムデバッグコンポーネント(FPB, DWT, ITM)レジスタおよび FLASH 関連レジスタの FCSECBIT レジスタはコールドリセットでのみ初期化されます。

リセット解除後、内蔵高速発振器のクロックで動作を開始します。必要に応じて外部クロック、PLL 逓倍回路の設定を行ってください。

第 6 章　クロック/モード制御

6.1　特長

クロック/モード制御ブロックでは、クロックギアやプリスケーラクロックの選択、PLL(逓倍回路)や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケーラクロックの制御
- クロック逓倍回路（PLL）の制御
- ウォーミングアップタイマの制御

また、動作モードとして NORMAL モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

6.2　レジスタ説明

6.2.1　レジスター覧

クロック/ モード制御のレジスタとアドレスを以下に示します。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照下さい。

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
プロテクトレジスタ	CGPROTECT	0x003C

6.2.2 CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-21	−	R	リードすると"0"が読めます。
20	−	R/W	"0"を書いてください。
19-18	−	R	リードすると"0"が読めます。
17-16	−	R/W	"01"を書いてください。
15-14	−	R	リードすると"0"が読めます。
13	−	R/W	"0"を書いてください。
12	FPSEL	R/W	fperiph 選択 0: fgear 1: fc fperiph のソースクロックを選択します。 fc を選択した場合、クロックギアの切り替えに関係なく、fperiph を固定することが可能です。
11	−	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケーラクロック選択 000: fperiph　100: fperiph/16 001: fperiph/2　101: fperiph/32 010: fperiph/4　110: Reserved 011: fperiph/8　111: Reserved 周辺機能に供給するプリスケーラクロックを選択します。
7-3	−	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	高速クロック(fc)のギア選択 000: fc　100: fc/2 001: Reserved　101: fc/4 010: Reserved　110: fc/8 011: Reserved　111: fc/16

6.2.3　CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUODR							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUODR				HWUPSEL	EHOSCSEL	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	OSCF	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PLLON	WUEF	WUEON
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUODR[11:0]	R/W	ウォーミングアップカウンタ設定値 16 ビットのウォーミングアップタイマの、上位 12 ビットのカウント値を設定します。
19	HWUPSEL	R/W	高速ウォームアップクロック選択 0: 内部高速発振(IHOSC) 1: 外部高速発振(f_{eosc}) ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。
18	EHOSCSEL	R/W	外部発振選択 0: 外部クロック入力(EHCLKIN) 1: 発振子(EHOSC)
17	OSCSEL	R/W	高速発振器選択(注 2) 0: 内部(IHOSC) 1: 外部(EHOSC)
16	XEN2	R/W	内部高速発振器の動作選択 0: 停止 1: 発振
15-14	−	R/W	"0"を書いてください。
13	−	R	リードすると"0"が読めます。
12	−	R/W	"0"を書いてください。
11-10	−	R	リードすると"0"が読めます。
9	OSCF	R	高速発振選択ステータス 0:内部 1:外部
8	XEN1	R/W	外部高速発振器の動作選択 0: 停止 1: 発振
7-3	−	R/W	必ず"00110"を設定してください。
2	PLLON	R/W	PLL(逓倍回路)動作の選択(注 3) 0: 停止 1: 発振
1	WUEF	R	ウォーミングアップタイマステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイマの状態を確認できます。

Bit	Bit Symbol	Type	機能
0	WUEON	W	ウォーミングアップタイマ制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイマがスタートします。 リードすると"0"が読めます。

注 1) ウォーミングアップ時間の設定については「6.3.4 ウォーミングアップ機能」を参照してください。

注 2) 外部クロックを入力する時、<EHOSCSEL>でクロックを選択後、<OSCSEL>を選択してください。(<OSCSEL>の設定変更と同時に<EHOSCSEL>の設定変更を行わないでください。)

注 3) PLL 逓倍値設定後、PLL 初期化安定時間として 100μs 以上、CGOSCCR<<PLLON>="0" (PLL 停止)を保持する必要があります。

注 4) CGOSCCR<PLLON>="1"に変更後、ウォーミングアップを実行した際に、CGPLLSEL<PLLSEL ＞＝"1"に切り替えてください。

注 5) STOP1 モードから復帰する際、内部高速発振器起動のため関係ビット<HWUPSEL>, <OSCSEL>, <XEN2>, <XEN1>, <PLLON>および CGPLLSEL<PLLSEL>は初期化され、内部高速発振で起動します。

注 6) 内部高速発振器(IHOSC)をシステムクロックとして使用する場合、PLL 逓倍の使用は禁止です。

注 7) 内部高速発振器(IHOSC)にを使用する場合、発振精度を要求するシステムクロックとしては使用しないでください。

6.2.4　CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-20	−	R	リードすると"0"が読めます。
19-18	−	R/W	"0"を書いてください。
17	−	R/W	"0"を書いてください。
16	−	R	リードすると"0"が読めます。
15-3	−	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP1 010: Reserved 011: IDLE 100: Reserved 101: Reserved 110: Reserved 111: Reserved

6.2.5 CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	PLLST	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLLSET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PLLSET							PLLSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	–	R	リードすると"0"が読めます。
18	PLLST	R	PLL 選択ステータス 0:fosc 1:f_{PLL}
17-16	–	R	リードすると"0"が読めます。
15-1	PLLSET	R/W	PLL 逓倍値設定(下記以外は設定禁止) 0x609F: 2 逓倍
0	PLLSEL	R/W	PLL 選択 0: fosc 使用 1: f_{PLL} 使用 PLL にて逓倍されたクロックの使用可否を選択します。 リセット解除後は"fosc(内部高速発振)"選択ですので、PLL を使用する場合はこのビットの設定が必要です。

注 1) PLL 逓倍数は表 6-2 の設定範囲で使用してください。

注 2) PLL 逓倍値の設定は、CGOSCCR<PLLON> = "0"(PLL 停止)の状態で行なってください。

注 3) PLL 逓倍値設定後、PLL 初期化安定時間として 100μs 以上、CGOSCCR<PLLON>="0" (PLL 停止)を保持する必要があります。

注 4) STOP1 モードから復帰する際、CGOSCCR<HWUPSEL>, <OSCSEL>, <XEN2>, <XEN1>, <PLLON>および<PLLSEL>は初期化され、内部高速発振で起動します。

注 5) 内部高速発振器(IHOSC)をシステムクロックとして使用する場合、PLL 逓倍の使用は禁止です。

6.2.6　CGPROTECT(プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CGPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	CGPROTECT	R/W	レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することで CG 関連レジスタのうち CGPROTECT 以外のレジスタへの書き込みができなくなります。

6.3 クロック制御

6.3.1 クロックの種類

クロックの一覧を以下に示します。

fosc	: 内部発振回路で生成されるクロック、X1、X2 端子より入力されるクロック
f_{PLL}	: PLL により逓倍(2 逓倍)されたクロック
fc	: CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
fgear	: CGSYSCR<GEAR[2:0]>で選択されたクロック(ギアクロック)
fsys	: fgear と同等のクロック(システムクロック)
fperiph	: CGSYSCR<FPSEL>で選択されたクロック
φT0	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケーラクロック)

ギアクロック fgear、プリスケーラクロック φT0 は以下のように分周したクロックを選択することが可能です。

ギアクロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケーラクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

6.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
PLL (逓倍回路)	: 停止
高速クロックギア	: fc (分周なし)

リセット動作によりすべてのクロックの設定が fosc と同じになります。

fc = fosc

fsys = fosc

φT0 = fosc

6.3.3　クロック系統図

クロック系統図を図 6-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

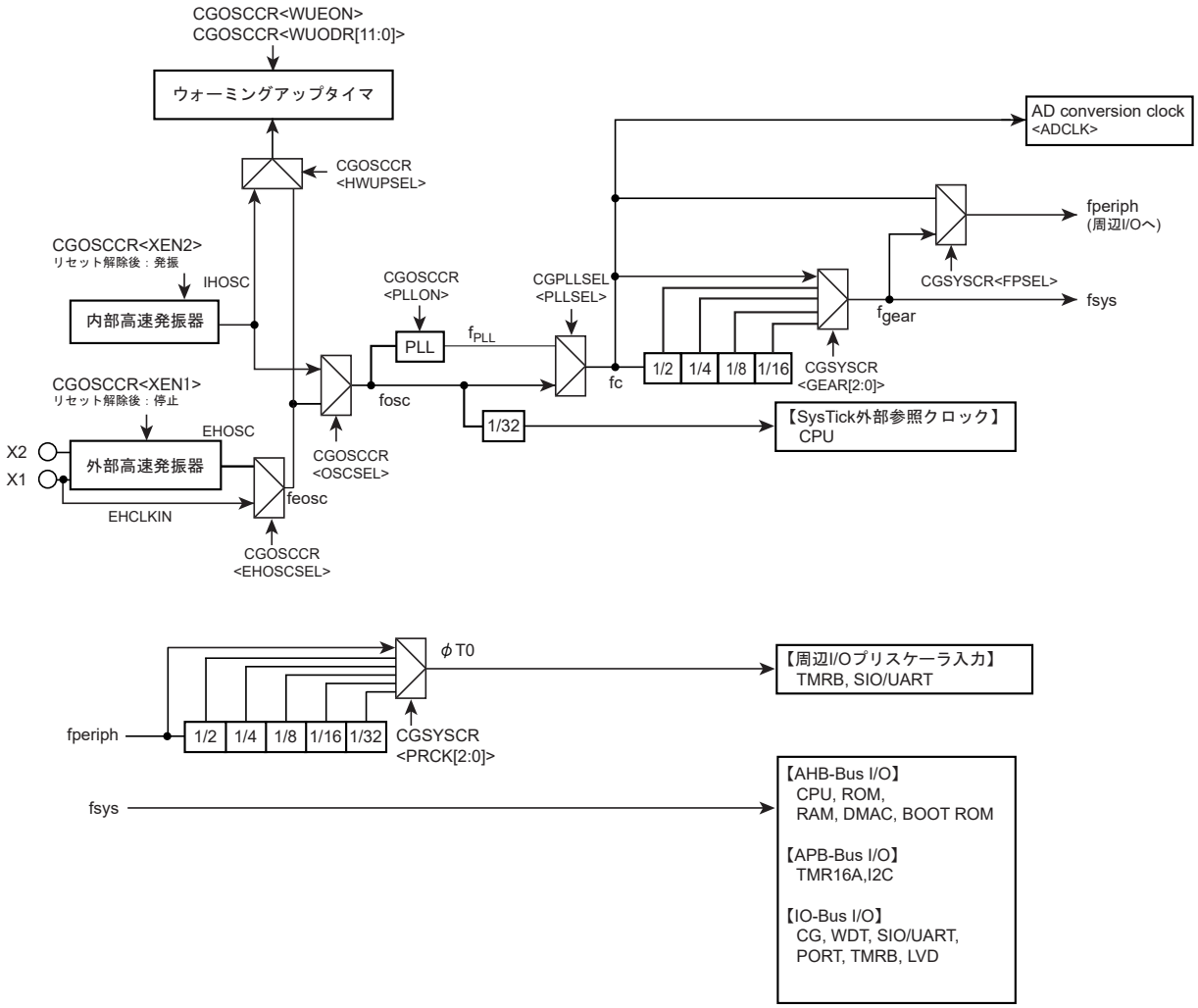


図 6-1 クロック系統図

6.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、ウォーミングアップタイマを用いて発振子の発振安定時間や、PLL の安定時間を確保するための機能です。発振が安定している外部クロックなどを使用する場合にはウォーミングアップを行う必要はありません。

詳細については「6.6.6 ウォーミングアップ」を参照してください。

ウォーミングアップ機能の使用方法を説明します。

1. クロックの選択

   ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<HWUPSEL>で選択します。

2. ウォーミングアップカウンタ設定値の算出

   CGOSCCR<WUODR[11:0]>の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて<WUODR[11:0]>に設定します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

   高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40{,}000\text{サイクル} = 0\text{x}9\text{C}40$$

   下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUODR[11:0]>に設定します。

3. ウォーミングアップの開始および終了確認

   ソフトウエア によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に"1"を設定することでウォーミングアップを開始します。また、終了の確認は<WUEF>で行います。<WUEF>が"1"でウォーミングアップ中、"0"で終了を示します。

注 1) 低消費電力モードへ遷移する場合、カウント値が CGOSCCR<WUODR[11:0]>に反映されているのを確認してから WFI 命令を実行してください。

注 2) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数に揺らぎがある場合は誤差を含みます。したがって概略時間として捉える必要があります。

以下に、ウォーミングアップ機能の設定例を示します。

表 6-1 ウォーミングアップ機能設定例

	CGOSCCR<WUODR[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
↻	CGOSCCR<WUODR[11:0]> リード	: ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
	CGOSCCR<XEN2> = "1"	: 内部高速発振器(IHOSC)許可
	CGOSCCR<WUEON> = "1"	: ウォーミングアップタイマ(WUP)スタート
↻	CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

注 1)　発振が安定している外部クロックなどを使用する場合はウォーミングアップを行う必要はありません。

注 2)　ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

注 3)　CGOSCCR<WUODR[11:0]>にウォーミングアップカウント値を設定後、カウント値が反映されているのを待ってから WFI 命令を実行してスタンバイモードへ遷移してください。

注 4)　STOP1 モードからの復帰時、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>は初期化され、CGOSCCR<WUODR[11:0]>は初期化されません。

6.3.5 クロック逓倍回路(PLL)

高速発振器の出力クロック fosc を 2 逓倍した f_{PLL} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

6.3.5.1 動作開始

PLL はリセット解除後、ディセーブル状態です。

PLL を使用するためには、CGOSCCR<PLLON>が"0"の状態で CGPLLSEL<PLLSET>の逓倍値の設定を行なった後、PLL の初期化時間として約 100μs 経過後に、<PLLON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 100μs 経過後に、CGPLLSEL<PLLSEL>にて"1"を選択することにより、fosc を 2 逓倍した f_{PLL} クロックを使用することができます。

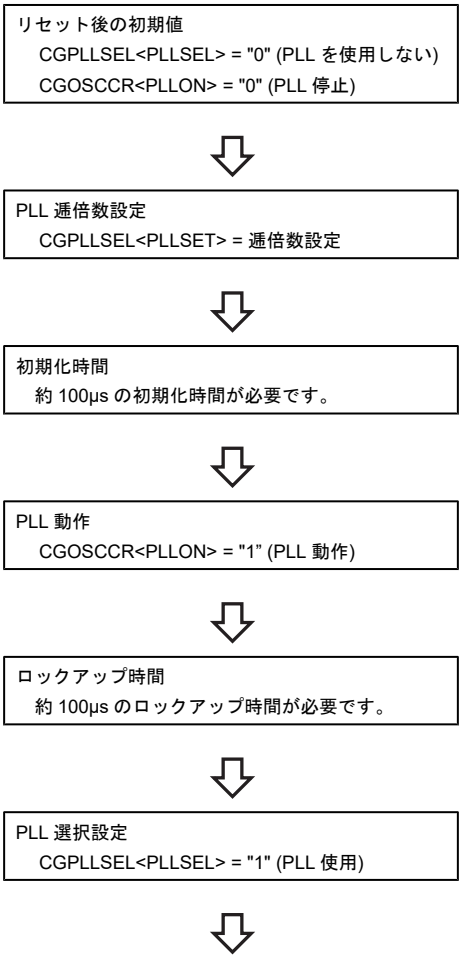
なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能等を用いて確保する必要があります。

注 1) 内部高速発振器(IHOSC)を使用している時には、PLL を使用しないでください。

逓倍値は 2 逓倍です。<PLLSET>の設定値は以下のとおりです。

逓倍数	<PLLSET>
2	0x609F

6.3.5.2　PLL 動作開始手順



6.3.6 システムクロック

システムクロックの源振として、内部高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

内部高速発振は、発振周波数精度が要求される場合には使用しないでください。

外部高速発振クロックは PLL で逓倍して使用できます。

源振		周波数	PLL 使用
内部高速発振(f_{IHOSC})		10MHz	不可
外部高速発振	発振子(f_{EHOSC})	8 ≤ fOSC ≤ 10MHz	2 逓倍
		10 < fOSC ≤20MHz	不可
	クロック入力($f_{EHCLKIN}$)	8 ≤ fOSC ≤ 10MHz	2 逓倍
		10 < fOSC ≤ 20MHz	不可

PLL で逓倍されたクロックをシステムクロックと ADC 用クロックとして使用することができます。それぞれ使用可能な周波数は以下のとおりです。

	システムクロック	ADC clock
動作周波数(MHz)	1 ~ 20	20 (Max.)

システムクロックは CGSYSCR<GEAR>で分周が可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

PLL、クロックギアの設定による動作周波数例を表 6-2 に示します。

表 6-2 PLL 2 逓倍使用時の高周波数設定範囲例

外部発振子 (MHz)	外部クロック入力 (MHz)	PLL 逓倍数	最大動作周波数 (fc) (MHz)	クロックギア(CG) PLL = ON 時					クロックギア(CG) PLL = OFF 時				
				1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	2	16	16	8	4	2	1	8	4	2	1	-
10	10		20	20	10	5	2.5	1.25	10	5	2.5	1.25	-
12	12	-	12	-	-	-	-	-	12	6	3	1.5	-
16	16		16	-	-	-	-	-	16	8	4	2	1
20	20		20	-	-	-	-	-	20	10	5	2.5	1.25

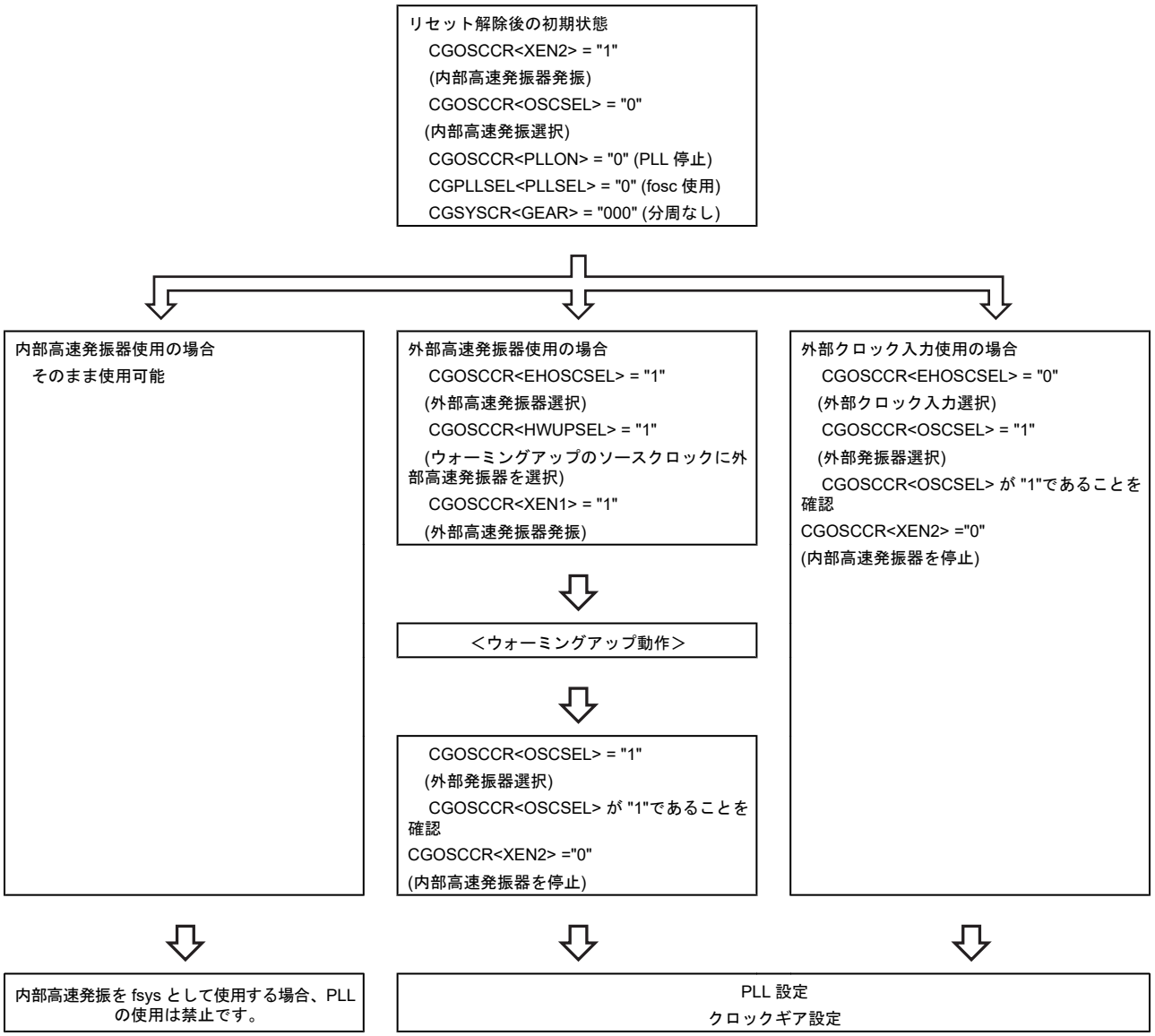
↑リセット後の初期値

6.3.6.1　システムクロックの設定方法

システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を PLLSEL, CGOSCCR で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します。

クロック設定手順



6.3.6.2 外部高速発振器を使用する場合

本製品はリセット解除後、内部高速発振器からスタートします。外部高速発振器、PLL 逓倍回路を使用する場合、「6.3.5 クロック逓倍回路(PLL)」および「6.3.6.1 システムクロックの設定方法」の手順にしたがって設定を行います。

以下の図は、外部高速発振器および PLL 逓倍回路を使用した場合の遷移を示します。

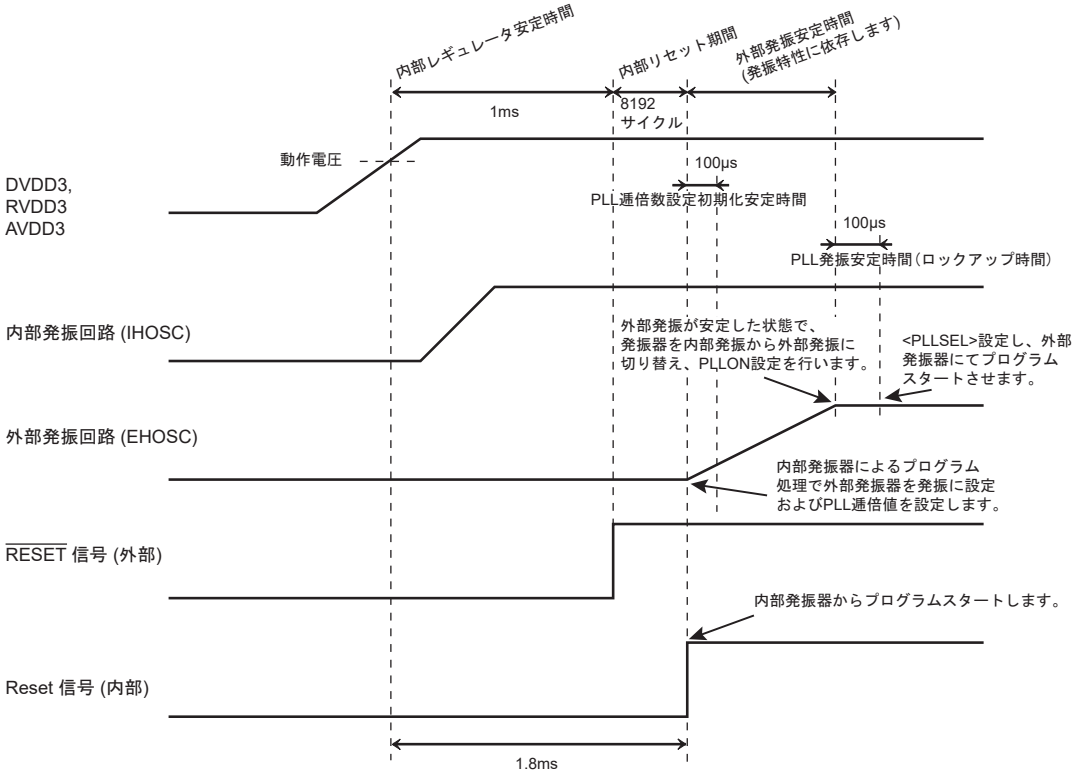


図 6-2 外部高速発振器を使用し PLL 逓倍回路を設定した場合の遷移

6.3.7 プリスケーラクロック

周辺機能(TMRB,SIO/UART) には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック φT0 は、CGSYSCR<FPSEL>から選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>にて分周することが可能です。リセット後の φT0 は fperiph/1 が選択されます。

注) タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

6.4　動作モードとモード遷移

6.4.1　モード状態遷移

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード、STOP1 モードがあります。

図 6-3 にモード状態遷移図を示します。

Sleep-on-exit については、"テクニカルリファレンスマニュアル"を参照してください。

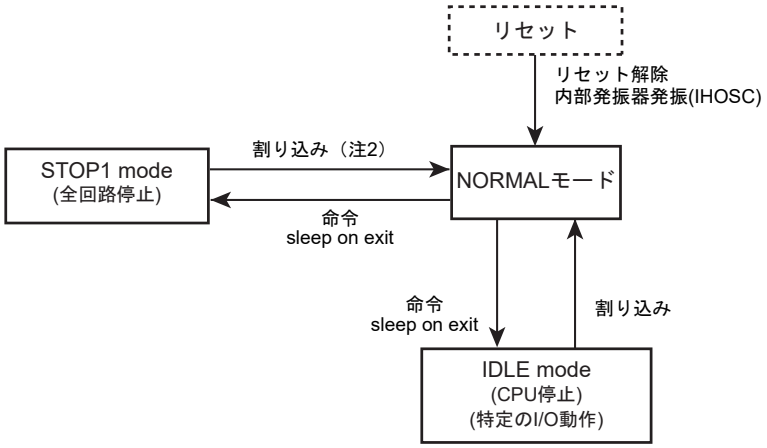


図 6-3 モード状態遷移図

注 1)　STOP1 モードからの復帰時、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>は初期化され、CGOSCCR<WUODR[11:0]>は初期化されません。

注 2)　STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

6.5 動作モード

6.5.1 NORMAL モード

CPU コアおよび周辺ハードウエアを高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

6.6 低消費電力モード

低消費電力モードには、IDLE, STOP1 モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。

注 2) 本製品は、Cortex-M0 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE, STOP1 モードの特長は次のとおりです。

6.6.1 IDLE モード

CPU が停止するモードです。周辺機能の一部は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16 ビットタイマ/イベントカウンタ(TMRB)
- 16 ビットタイマ(TMR16A)
- シリアルチャネル(SIO/UART)
- アナログ/デジタルコンバータ(ADC)
- ウォッチドッグタイマ(WDT)

注) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

6.6.2　STOP1 モード

内部発振器も含めてすべての内部回路が停止するモードです。STOP1 モードが解除されると内部発振器が発振を開始し、NORMAL モードへ復帰します。

STOP1 モード中は端子のドライブ状態を保持することができます。STOP1 モード時の端子状態を表 6-3 に示します。

表 6-3 STOP モード時の端子状態

機能	ピン名称	入出力	STOP1
制御端子	$\overline{\text{RESET}}$, MODE	入力	o
発振器	X1/ EHCLKIN	入力	×
	X2	出力	"High"レベル出力
ポート	PB1 (SWCLK) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による
	PB2 (SWDIO) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による
		出力	データ有効な時に許可、データ無効なときは禁止
	PB5, PB6, PB7, PE5, PE6, PE7 (INT0 to 5) (割り込み機能設定, PxFRn<PxmFn>="1"かつ PxIE<PxmIE>="1")	入力	o
	上記以外	入力	PxIE[m]による
		出力	PxIE[m]による

o : 入力または出力が有効
× : 入力または出力が無効

6.6.3 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 6-4 に<STBY[2:0]>の設定より選択されるモードを示します。

表 6-4 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP1	001
IDLE	011

注) 上記の設定以外は行わないでください。

6.6.4　各モードにおける動作状態

各モードにおける動作状態を表 6-5 に示します。

表 6-5 各動作モードにおける動作状態

Block	NORMAL 内部高速 発振器使用 (IHOSC)	NORMAL 外部高速 発振器使用 (EHOSC)	IDLE 内部高速 発振器使用 (IHOSC)	IDLE 外部高速 発振器使用 (EHOSC)	STOP1 (注 1)
Processor core	o	o	−	−	−
DMAC	o	o	o	o	−
IO port	o	o	o	o	o
SIO/UART	o	o	Δ	Δ	−
I2C	o	o	o	o	−
TMRB	o	o	Δ	Δ	−
TMR16A	o	o	Δ	Δ	−
WDT	o	o	Δ(注 3)	Δ(注 3)	−
10-bit ADC	o	o	Δ	Δ	−
CG	o	o	o	o	o
PLL	o	o	Δ	Δ	−
外部高速発振器 (EHOSC)	Δ	o	Δ	o	−
LVD	o	o	o	o	−
内部高速発振器 (IHOSC)	o	o(注 2)	o	o(注 2)	−
メイン RAM	o	o	o	o	o

o : 対象のモード中に動作が可能

− : 対象のモードに移行すると自動的にモジュールへのクロックが停止

Δ : 対象のモード中にソフトウエアにてモジュールの動作/停止の選択が可能

注 1)　STOP1 モードに遷移する前に、"−"の周辺機能を停止させてから STOP1 モードに遷移してください。なお、AD コンバータのリファレンス電源を OFF にすることによりリーク電流を抑えることができます。

注 2)　リセット解除後および STOP モード解除後は内部発振器からクロックを供給します。

注 3)　IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

6.6.5 低消費電力モードの解除

低消費電力モードからの解除は、割り込み, マスク不能割り込み, リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を表 6-6 に示します。

表 6-6 解除ソースと解除可能なモード

低消費電力モード			IDLE	STOP1
解除ソース	割り込み	INT0 to 5 (注 2)	o	o
		INTTB0 to 9	o	×
		INTTTMR16A0 to 3	o	×
		INTTB0CAP0 / INTTB0CAP1 to INTTB9CAP0 / INTTB9CAP1	o	×
		INTRX0 to 5, INTTX0 to 5	o	×
		INTI2C0 to 1	o	×
		INTAD/INTADHP/INTADM0 to 1	o	×
		INTDMACTCA, INTDMACTCB, INTDMACERRA,INTDMACERRB	o	×
	SysTick 割り込み		o	×
	マスク不能割り込み (INTWDT)		o	×
	マスク不能割り込み (INTLVD)		o	×
	RESET ($\overline{\text{RESET}}$ 端子)		o	o

o : 解除後、割り込み処理を開始します。(RESET は本製品を初期化します)

× : 解除に使用できません

注 1) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していない場合、復帰要因以外の割り込みで解除が行われる場合があります。

注 2) IDLE,STOP モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

・ 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1 モードの解除に使用する割り込みは、CPU の設定のほかにクロックジェネレータで割り込み検出の設定を行う必要があります。

・ マスク不能割り込み(NMI)による解除

NMI の要因には WDT 割り込み込み(INTWDT)、LVD 割り込み(INTLVD）があります。

INTWDT、INTLVD は IDLE モードでのみ使用可能です。

・ リセットによる解除

$\overline{\text{RESET}}$ 端子によるリセットですべての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。

STOP1 モードの解除にリセットを使用する場合、自動ウォーミングアップが行われないため、発振器動作が安定するまでリセット信号を有効に保ってください。

・ SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

6.6.6　ウォーミングアップ

モード遷移時、内部発振器の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの遷移では、自動的に内部発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに移行する命令を実行する前に、CGOSCCR<WUODR[11:0]>でウォーミングアップ時間の設定を行ってください。

注)　STOP1 モードからの復帰時、内部発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<XEN2>、<XEN1>、<PLLON>は初期化されます。ただし、CGOSCCR<WUODR[11:0]>は初期化されません。

各動作モード遷移時におけるウォーミングアップの有無を表 6-7 に示します。

表 6-7 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	自動ウォーミングアップ(注)

注)　リセットで解除する場合には自動ウォーミングアップを行わないため、発振動作が安定するまでリセット信号を有効にしてください。

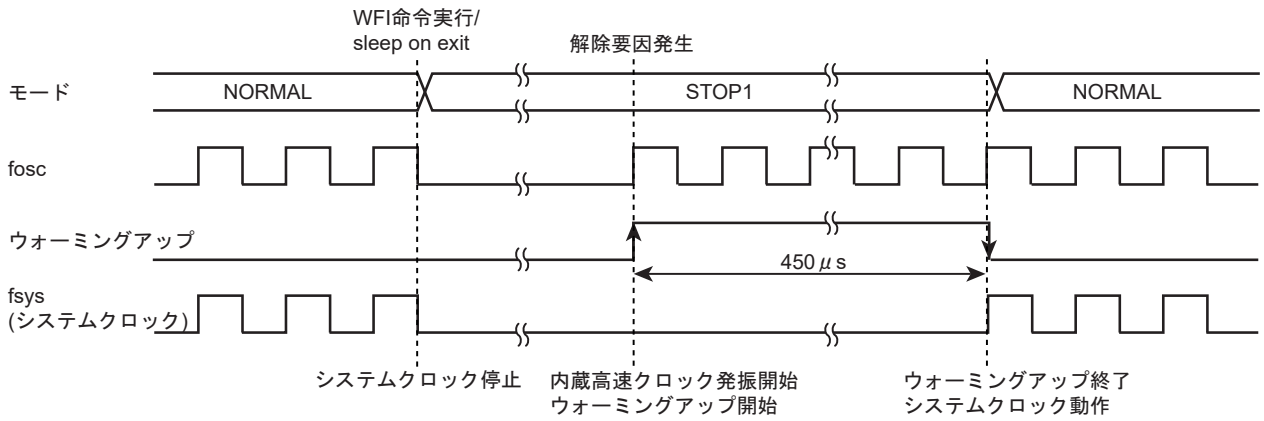
6.6.7 モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

6.6.7.1 NORMAL → STOP1 → NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。この場合のウォーミングアップは内蔵 Flash の安定時間(450μs)として、STOP1 モードへ遷移する前に CGOSCCR<WUODR>に 0x119 を設定してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われませんので、発振動作が安定するまでリセット信号を有効に保ってください。



6.6.8　低消費電力モード遷移時の注意事項

1.IDLE、STOP1 モードへ遷移する場合

1. STOP1 モードへ遷移する前に、fosc とウォーミングアップカウンタのソースクロックが同じとなるよう CGOSCCR<OSCSEL>で選択したクロックを CGOSCCR<HWUPSEL>へ設定してください。

2. IDLE モードのみマスク不能割り込みによる解除が可能です。

3. STOP1 モードの解除要因としてマスク不能割り込みは使用しないでください。

   STOP1 モードへ遷移する前にマスク不能割り込みが入らないようにしてください。

   (ウォッチドッグタイマ停止、LVD 停止）

4. STOP1 モードへ遷移しなかった場合、CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>および CGPLLSEL<PLLSEL>は初期化されずにモード遷移前の状態が保持されます。

第 7 章　例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"Cortex-M0 テクニカルリファレンスマニュアル"もご覧ください。

7.1　概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウエアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

7.1.1　種類

例外には以下のようなものがあります。

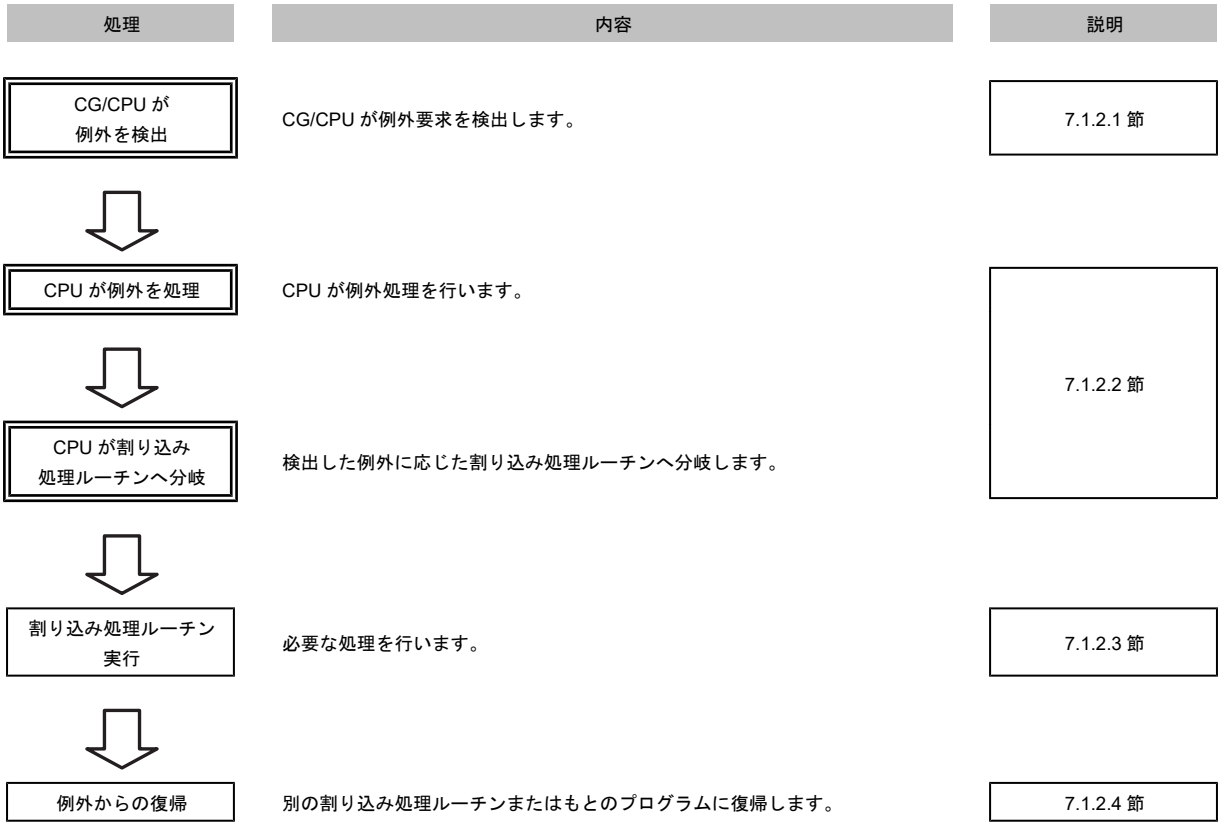
それぞれの例外の詳細な内容は、ARM 社からリリースされる Cortex-M0 プロセッサのドキュメンテーションセットをご覧ください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- SVCall (スーパバイザコール)
- PendSV
- SysTick
- 外部割り込み

7.1.2　処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。



7.1.2.1　例外要求と検出

(1)　例外要求の発生

例外は、CPU の命令実行, メモリアクセス, 外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。外部割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「7.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。

禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 7-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	−3 (最高)	リセット端子, WDT, POR, VLVD, OFD, SYSRESETREQ
2	マスク不能割り込み	−2	WDT
3	ハードフォールト	−1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4~10	予約	–	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12~13	予約	–	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注)

注) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「7.5.2 要因一覧」を参照してください。

(3)　優先度の設定

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>ビットに設定します。

TMPM036FWFG では、<PRI_n>は 2 ビット構成になっています。

2 ビットの構成の場合、優先度は 0～3 のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

7.1.2.2　例外の処理と割り込み処理ルーチンへの分岐(横取り)

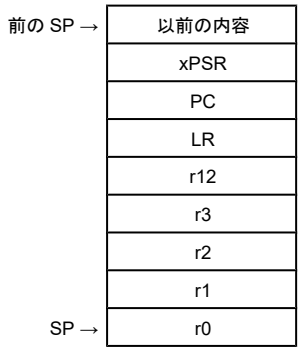
例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1)　レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。PC, PSR, LR, r12, r3~r0

1. プログラムステータスレジスタ(xPSR)
2. プログラムカウンタ(PC)
3. リンクレジスタ(LR)
4. r12
5. r3 ~ r0

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4) ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの先頭アドレス, リセット, マスク不能割り込み, ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。

その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10 ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30 ~ 0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

7.1.2.3 割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「7.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

7.1.2.4　例外からの復帰

(1)　割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

  保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

  このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

  保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

  保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2)　復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

  退避していた 8 つのレジスタ(PC, xPSR, LR, r12, r3～r0)を復帰し SP を調整します。

- 割り込み番号のロード

  退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- SP の選択

  例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

7.2 リセット例外

リセット例外には、以下の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

- 外部リセット端子によるリセット例外

  外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。

- POR によるリセット例外

  POR にリセット例外を発生する機能があります。詳細は「パワーオンリセット回路」の章をご覧ください。

- WDT によるリセット例外

  WDT にリセット例外を発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- <SYSRESETREQ>によるリセット例外

  NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの

  <SYSRESETREQ>をセットすることで、リセット例外を発生させることができます。

- LVD によるリセット例外

  LVD にリセット例外を発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

7.3　マスク不能割り込み(NMI)

マスク不能割り込みには、以下の要因があります。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタの CGNMIFLG を参照してください。

- WDT によるマスク不能割り込み

  WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- LVD によるマスク不能割り込み

  LVD にマスク不能割り込みを発生する機能があります。詳細は「電圧検出回路」の章をご覧ください。

7.4　SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外を発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

注)　本製品では、外部参照クロックとして fosc(CGOSCCR<OSCSEL><EHOSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

7.5 割り込み

この節では、割り込みの伝わる経路, 要因, 必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

低消費電力モード解除に使用する割り込み要求は、クロックジェネレータに入力され低消費電力モード解除ロジックを経由して CPU に要因が伝わります。低消費電力モード解除に使用する要因ごとに、低消費電力モード解除ロジックの設定が必要です。

7.5.1 割り込み要求

7.5.1.1 経路

割り込み要求の経路を図 7-1 に示します。

周辺機能からの割り込み要求は直接 CPU に入力(経路 ①)、および割り込みマスクを経由して CPU に入力されます(経路 ②)。

外部割り込み端子からの割り込み要求(経路 ③)は<INTxEN>により、クロックジェネレータの低消費電力モード解除のロジックを経由して CPU に入力する(経路 ⑤④)か、直接 CPU に入力する(経路 ⑥④)かを選択できます。

クロックジェネレータの低消費電力モード解除のロジックを経由する場合、あらかじめ設定されたアクティブレベルが検出されると、低消費電力モード解除ロジックにより、あらたな割り込み要求信号に変換され、CPU に入力されます。

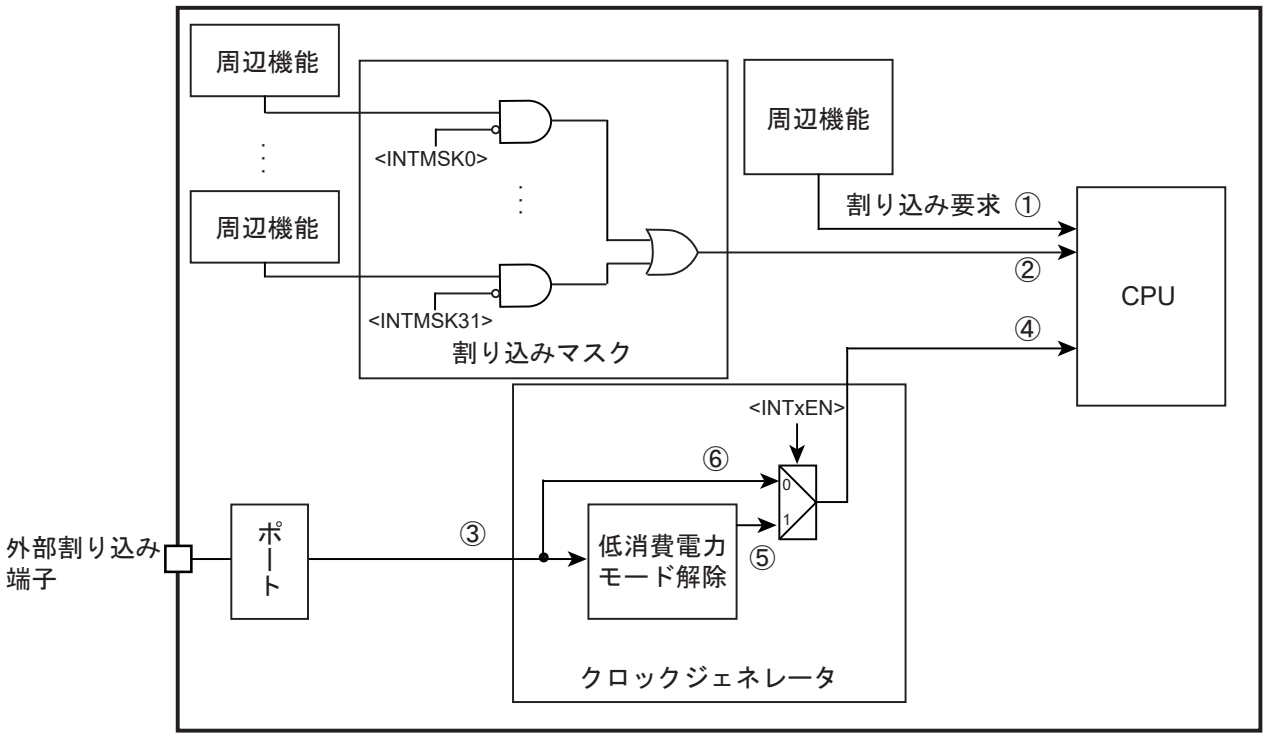


図 7-1 割り込みの経路

7.5.1.2　割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部割り込み端子, 周辺機能, NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- 外部割り込み端子からの割り込み

  外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。
- 周辺機能の割り込み

  周辺機能の割り込みを使用する場合、使用する周辺機能で割り込み要求が出力されるよう設定する必要があります。

  設定の詳細については各章をご覧ください。
- 割り込みの強制的な保留

  NVIC の割り込み保留セットレジスタの該当するビットをセットすることで、割り込み要因を発生させることができます。

7.5.1.3　割り込み要因の伝達

外部端子/周辺機能から発生した割り込み要求のうち、低消費電力モード解除要因にならないものは直接 CPU に接続されます。

低消費電力モード解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについては低消費電力モード解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

7.5.1.4　外部割り込み端子を使用する際の注意

外部割り込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割り込み端子からの入力信号は、入力ディセーブル(PxIE<PxmIE>="0")の場合"High"となります。また、外部割り込みを低消費電力モード解除要因として使用しない場合（「図 7-1 割り込みの経路」の ⑥ の経路)、外部割り込み端子からの入力信号がそのまま CPU に伝わります。CPU は"High"入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割り込みを低消費電力モード解除要因とせずに使用する際には、割り込み端子入力を"Low"レベルとして入力イネーブルにし、その後 CPU で割り込み許可設定を行ってください。

7.5.2 要因一覧

各周辺機能の割り込み名称を表 7-2 に示します。

表 7-2 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
0	INT0	外部割込み端子 0	o	o	o	o	o	CGIMCGA
1	INT1	外部割込み端子 1	o	o	o	o	o	
2	INT2	外部割込み端子 2	o	o	o	o	o	
3	INT3	外部割込み端子 3	o	o	o	o	o	
4	INT4	外部割込み端子 4	o	o	o	o	o	CGIMCGB
5	INT5	外部割込み端子 5	o	o	o	o	o	
6	INTRX01(注 1)							
	INTRX0 INTRX1	シリアルチャネル 0 受信割り込み シリアルチャネル 1 受信割り込み						
7	INTT16A2	16 ビットタイマ A 2 コンペアー致割り込み						
8	INTTX01(注 1)							
	INTTX0 INTTX1	シリアルチャネル 0 送信割り込み シリアルチャネル 1 送信割り込み						
9	INTT16A3	16 ビットタイマ A 3 コンペアー致割り込み						
10	INTDMACB INTDMACTCB INTDMACERRB	 DMAC B 転送終了割り込み DMAC B 転送エラー割り込み						
11	INTI2C1	I2C1 送受信割り込み						
12	INTI2C0	I2C0 送受信割り込み						
13	INTDMACA INTDMACTCA INTDMACERRA	 DMAC A 転送終了割り込み DMAC A 転送エラー割り込み						
14	INTT16A0	16 ビットタイマ A 0 コンペアー致割り込み						
15	INTT16A1	16 ビットタイマ A 1 コンペアー致割り込み						
16	INTTMRB0	16 ビットタイマ/イベントカウンタ 0						
	INTTB0 INTTB0CAP0 INTTB0CAP1	コンペアー致/オーバーフロー割り込み キャプチャ 0 割り込み キャプチャ 1 割り込み						
17	INTTMRB1	16 ビットタイマ/イベントカウンタ 1						
	INTTB1 INTTB1CAP0 INTTB1CAP1	コンペアー致/オーバーフロー割り込み キャプチャ 0 割り込み キャプチャ 1 割り込み						
18	INTTMRB2	16 ビットタイマ/イベントカウンタ 2						
	INTTB2 INTTB2CAP0 INTTB2CAP1	コンペアー致/オーバーフロー割り込み キャプチャ 0 割り込み キャプチャ 1 割り込み						

表 7-2 割り込み要因一覧

番号	要因		低消費電力モード解除と割り込みのアクティブレベル					CG 割り込みモードコントロールレジスタ
			"Low" レベル	"High" レベル	立ち上がりエッジ	立ち下がりエッジ	両エッジ	
19	INTTMRB3	16 ビットタイマ/イベントカウンタ 3						
	INTTB3	コンペアー致/オーバーフロー割り込み						
	INTTB3CAP0	キャプチャ 0 割り込み						
	INTTB3CAP1	キャプチャ 1 割り込み						
20	INTTMRB4	16 ビットタイマ/イベントカウンタ 4						
	INTTB4	コンペアー致/オーバーフロー割り込み						
	INTTB4CAP0	キャプチャ 0 割り込み						
	INTTB4CAP1	キャプチャ 1 割り込み						
21	INTTMRB5	16 ビットタイマ/イベントカウンタ 5						
	INTTB5	コンペアー致/オーバーフロー割り込み						
	INTTB5CAP0	キャプチャ 0 割り込み						
	INTTB5CAP1	キャプチャ 1 割り込み						
22	INTTMRB6	16 ビットタイマ/イベントカウンタ 6						
	INTTB6	コンペアー致/オーバーフロー割り込み						
	INTTB6CAP0	キャプチャ 0 割り込み						
	INTTB6CAP1	キャプチャ 1 割り込み						
23	INTTMRB7	16 ビットタイマ/イベントカウンタ 7						
	INTTB7	コンペアー致/オーバーフロー割り込み						
	INTTB7CAP0	キャプチャ 0 割り込み						
	INTTB7CAP1	キャプチャ 1 割り込み						
24	INTRX235(注 1)							
	INTRX2	シリアルチャネル 2 受信割り込み						
	INTRX3	シリアルチャネル 3 受信割り込み						
	INTRX5	シリアルチャネル 5 受信割り込み						
25	INTTMRB8	16 ビットタイマ/イベントカウンタ 8						
	INTTB8	コンペアー致/オーバーフロー割り込み						
	INTTB8CAP0	キャプチャ 0 割り込み						
	INTTB8CAP1	キャプチャ 1 割り込み						
26	INTTX235(注 1)							
	INTTX2	シリアルチャネル 2 送信割り込み						
	INTTX3	シリアルチャネル 3 送信割り込み						
	INTTX5	シリアルチャネル 5 送信割り込み						
27	INTTMRB9	16 ビットタイマ/イベントカウンタ 9						
	INTTB9	コンペアー致/オーバーフロー割り込み						
	INTTB9CAP0	キャプチャ 0 割り込み						
	INTTB9CAP1	キャプチャ 1 割り込み						
28	INTRX4	シリアルチャネル 4 受信割り込み						
29	INTTX4	シリアルチャネル 4 送信割り込み						
30	INTADC							
	INTADHP	最優先 AD 変換割り込み						
	INTADM0	AD 変換監視機能 0 割り込み						
	INTADM1	AD 変換監視機能 1 割り込み						
31	INTAD	通常 AD 変換割り込み						

注 1)　割り込みマスク機能レジスタ経由で CPU へ入力されます。割り込み要因については、「7.6.4 割り込みマスク機能のレジスタ」を参照してください

7.5.2.1 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の"High"を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として"High"パルスを出力するようになっています。

低消費電力モード解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり(「↑」)エッジまたは立ち下がり(「↓」)エッジとなり、割り込み端子からの割り込み要求は"High"レベル、"Low"レベル、立ち上がり(「↑」)エッジ、立ち下がり(「↓」)エッジから選ぶことができます。

低消費電力モード解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCGx<INTxEN>を有効にし、CGIMCGx<EMCGx>にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 7-2 で指定されているとおりに設定してください。

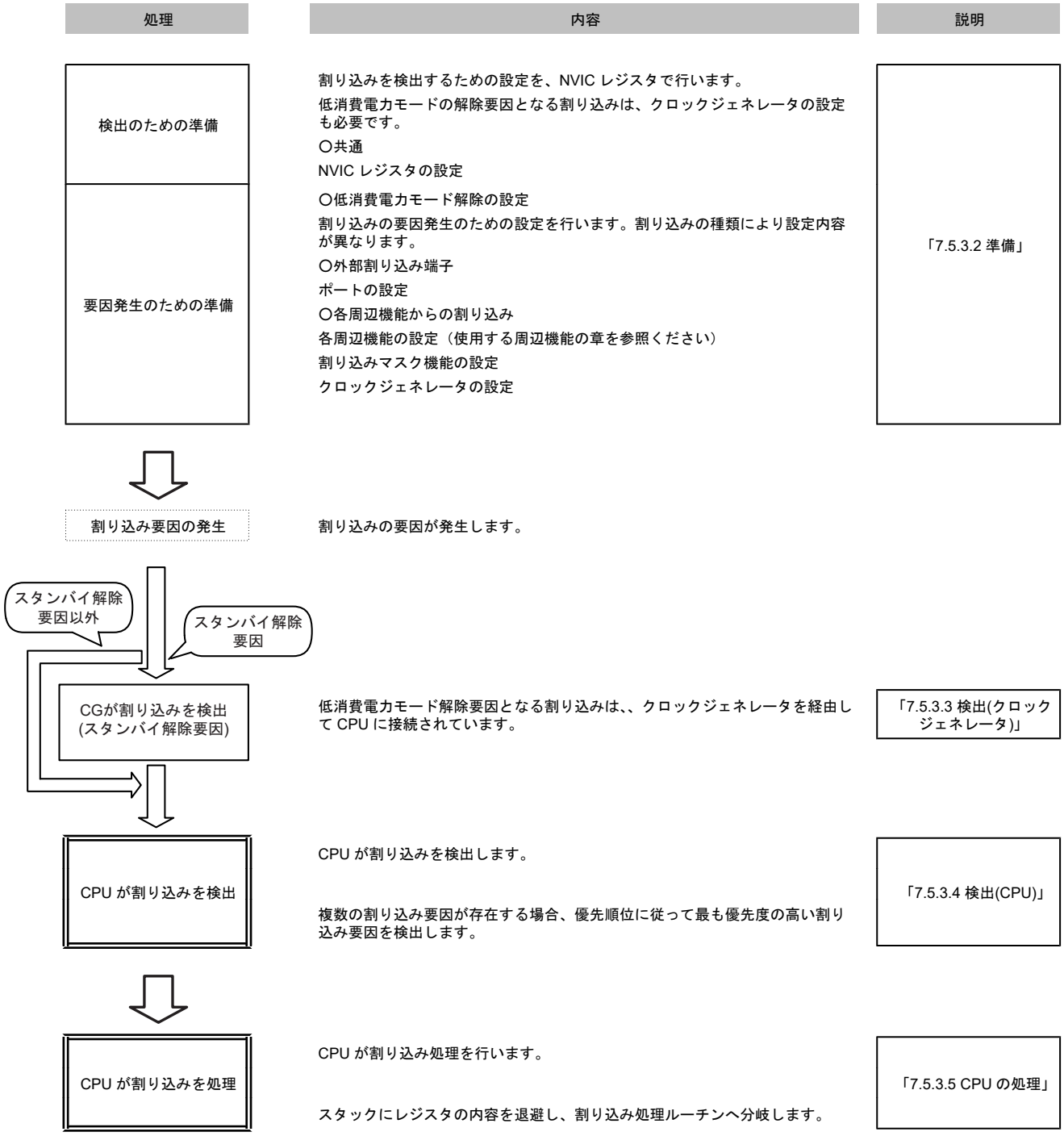
クロックジェネレータで検出された割り込みは、"High"レベル信号で CPU に通知されます。

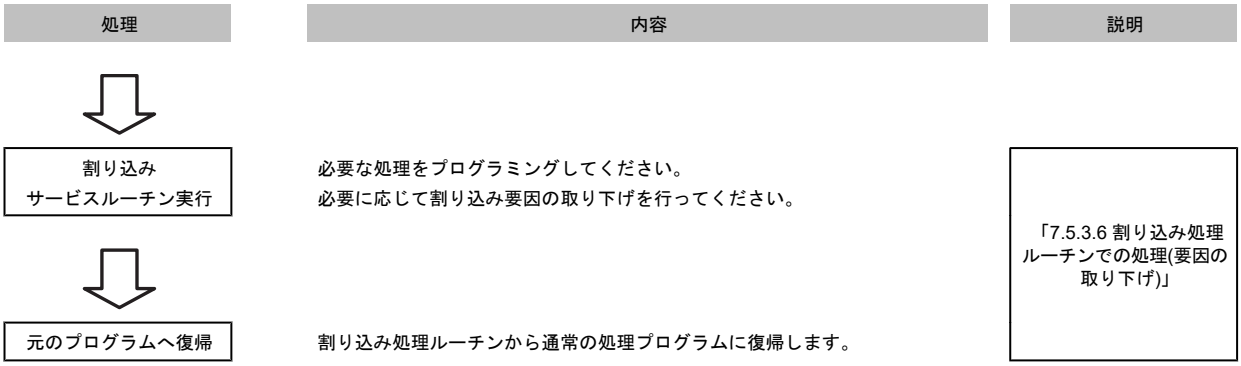
7.5.3　処理詳細

7.5.3.1　処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。





7.5.3.2 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割り込み端子)
4. 要因の準備(2) (周辺機能からの割り込み、割り込みマスク機能の設定)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. 割り込みマスクの設定
7. クロックジェネレータの設定
8. CPU 割り込み許可

(1) CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

(2)　CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、2 ビットで、「0」から「3」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

NVIC レジスタ		
<PRI_n>	←	「優先度」

注) 「n」は該当する例外/割り込みの番号を示します。

(3)　要因の準備(1) (外部割込み端子)

外部割込み端子を使用する場合、該当する端子のポートの設定を行います。該当するポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxIE<PxmIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビットを示します。
PxIE で入力イネーブル設定であれば割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

(4)　要因の準備(2) (周辺機能からの割り込み、割り込みマスク機能の設定)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

周辺機能から要求される割り込みの内、割り込みマスクを経由する割り込みは、INTMxMASK レジスタで要因ごとの割り込み許可と割り込みマスクのいずれかの設定を行います。INTMxFLG レジスタは要因ごとの割り込み要求状態の確認と割り込み要求のクリアを行います。周辺回路からの割り込み要求と割り込みマスク機能のレジスタの対応については、「表 7-3 割り込み要求の割り当て」を参照してください。

割り込み許可の前に、不要な割り込み発生を防止するため周辺機能から要求される割り込みを禁止し、その後 INTMxFLG レジスタに保持された割り込み要求をクリアしてください。INTMxFLG レジスタは、要因に対応したビットシンボルに"1"を書き込むことで保持されていた割り込み要求をクリアすることができます。

(5)　要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
<SETPEND[m]>	←	"1"

注) 「m」は該当ビットを示します。

(6) クロックジェネレータの設定

低消費電力モード解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。要因ごとのアクティブレベルの設定については、「表 7-2 割り込み要因一覧」を参照してください。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「7.6.3.3 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割込み端子からの割り込み要求を低消費電力モード解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPU が割り込み要因として検出するためには、"High"パルスまたは"High"レベルの信号を入力する必要があります。

また、「7.5.1.4 外部割り込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7) CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは 1 ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア<CLRPEND[m]>	←	"1"
割り込みイネーブルセット<SETENA[m]>	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1)「m」は該当ビットを示します。
注 2)　PRIMASK レジスタは、ユーザ・アクセス・レベルではセットされません。

7.5.3.3　検出(クロックジェネレータ)

低消費電力モード解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後、クロックジェネレータで要因が保持されますが、"High"レベルまたは"Low"レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると CG 割り込み要求クリアレジスタ(CGICRCG)で解除されるまで"High"レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

7.5.3.4　検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

7.5.3.5　CPU の処理

割り込みが検出されると、CPU はスタックへ xPSR, PC, LR, r12, r3~r0 を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

7.5.3.6　割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1)　割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M0 コアは自動的に xPSR, PC, LR, r12, r3~r0 をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2) 割り込み要因の取り下げ

低消費電力モード解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

7.6　例外/割り込み関連レジスタ

7.6.1　レジスター覧

制御レジスタとアドレスは以下の通りです。

7.6.1.1　NVIC のレジスタ

NVIC レジスタ　　Base Address = 0xE000_E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正値レジスタ	0x001C
割り込みイネーブルセットレジスタ	0x0100
割り込みイネーブルクリアレジスタ	0x0180
割り込み保留セットレジスタ	0x0200
割り込み保留クリアレジスタ	0x0280
割り込み優先度レジスタ	0x0400 ~ 0x041F
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

7.6.1.2　クロックジェネレータのレジスタ

ベースアドレスは「メモリマップ」章の「周辺機能ベースアドレス一覧」のクロック/モード制御(CG)を参照ください。

周辺機能名: CG

レジスタ名		Address
CG 割り込みモードコントロールレジスタ A	CGIMCGA	0x0040
CG 割り込みモードコントロールレジスタ B	CGIMCGB	0x0044
CG 割り込み要求クリアレジスタ	CGICRCG	0x0060
リセットフラグレジスタ	CGRSTFLG	0x0064
NMI フラグレジスタ	CGNMIFLG	0x0068

7.6.1.3　割り込みマスク機能のレジスタ

ベースアドレスは「メモリマップ」章の「周辺機能ベースアドレス一覧」の割り込みマスク機能(INTMASK)を参照ください。

周辺機能名: INTMASK

レジスタ名		Address
割り込みフラグレジスタ	INTMxFLG	0x0000
割り込みマスクレジスタ	INTMxMASK	0x0004

7.6.2 NVIC レジスタ

7.6.2.1 SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	−	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	−	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック (fosc/32) (注) 1: CPU クロック (fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注) 本製品では、外部参照クロックとして fosc (CGOSCCR<OSCSEL><EHOSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

7.6.2.2　SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

7.6.2.3　SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

7.6.2.4 SysTick 較正値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	1	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正値は 10 ms 1: 較正値は 10 ms でない
29-24	−	R	リードすると"0"が読めます。
23-0	TENMS	R	較正値(注)

注) 本製品では較正用の値は準備していません。

7.6.2.5　割り込みイネーブルセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 31)	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	SETENA (割り込み 13)	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込み 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SETENA	R/W	割り込み番号[31:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注)　割り込みの内容と割り込み番号については、「7.5.2 要因一覧」を参照してください。

7.6.2.6 割り込みイネーブルクリアレジスタ

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 31)	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	CLRENA (割り込み 13)	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10)	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2)	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	CLRENA	R/W	割り込み番号[31:0] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「7.5.2 要因一覧」を参照してください。

7.6.2.7　割り込み保留セットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 31)	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	SETPEND (割り込み 13)	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10)	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込み 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2)	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	SETPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注)　割り込みの内容と割り込み番号については、「7.5.2 要因一覧」を参照してください。

7.6.2.8 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 31)	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	CLRPEND (割り込み 13)	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込み 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-0	CLRPEND	R/W	割り込み番号[31:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「7.5.2 要因一覧」を参照してください。

7.6.2.9　割り込み優先度レジスタ

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8
0xE000_E40C	PRI_15	PRI_14	PRI_13	PRI_12
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24
0xE000_E41C	PRI_31	PRI_30	PRI_29	PRI_28

Cortex-M0 コアでは、優先度は 2 ビットで設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3		−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2		−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1		−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0		−	−	−	−	−	−
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	PRI_3	R/W	割り込み番号 3 優先度
29-24	−	R	リードすると"0"が読めます。
23-22	PRI_2	R/W	割り込み番号 2 優先度
21-16	−	R	リードすると"0"が読めます。
15-14	PRI_1	R/W	割り込み番号 1 優先度
13-8	−	R	リードすると"0"が読めます。
7-6	PRI_0	R/W	割り込み番号 0 優先度
5-0	−	R	リードすると"0"が読めます。

7.6.2.10 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-3	–	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	–	R	リードすると"0"が読めます。

注 1) 本製品はリトルエンディアン固定です。

注 2) 本製品では、SYSRESETREQ が出力されるとリセットが発生します。リセットにより<SYSRESETREQ>はクリアされます。

7.6.2.11　システムハンドラ優先度レジスタ

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_ED1C	PRI_11 (SVCall)	PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)	PRI_14 (PendSV)	PRI_13	PRI_12

Cortex-M0 コアでは、優先度は 2 ビットで設定することができます。

以下に、代表として割り込み番号 12~15 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_15		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_14		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_13		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_12		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_15	R/W	SysTick 優先度
28-24	−	R	リードすると"0"が読めます。
23-21	PRI_14	R/W	PendSV 優先度
20-16	−	R	リードすると"0"が読めます。
15-13	PRI_13	R/W	予約
12-8	−	R	リードすると"0"が読めます。
7-5	PRI_12	R/W	予約
4-0	−	R	リードすると"0"が読めます。

7.6.2.12 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14-0	−	R	リードすると"0"が読めます。

注) アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

7.6.3　クロックジェネレータレジスタ

7.6.3.1　CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	EMCG3[2:0]	R/W	INT3 低消費電力モード解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST3[1:0]	R	INT3 低消費電力モード解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	−	R	リードすると不定値が読まれます。
24	INT3EN	R/W	INT3 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCG2[2:0]	R/W	INT2 低消費電力モード解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST2[1:0]	R	INT2 低消費電力モード解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定値が読まれます。
16	INT2EN	R/W	INT2 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG1[2:0]	R/W	INT1 低消費電力モード解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST1[1:0]	R	INT1 低消費電力モード解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定値が読まれます。
8	INT1EN	R/W	INT1 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG0[2:0]	R/W	INT0 低消費電力モード解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST0[1:0]	R	INT0 低消費電力モード解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定値が読まれます。
0	INT0EN	R/W	INT0 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、低消費電力モード解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.2　CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	−	R/W	"000"をライトしてください。
27-25	−	R	リードすると不定値が読めます。
24	−	R/W	"0"をライトしてください。
23	−	R	リードすると"0"が読めます。
22-20	−	R/W	"000"をライトしてください。
19-17	−	R	リードすると不定値が読めます。
16	−	R/W	"0"をライトしてください。
15	−	R	リードすると"0"が読めます。
14-12	EMCG5[2:0]	R/W	INT5 低消費電力モード解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST5[1:0]	R	INT5 低消費電力モード解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定値が読まれます。
8	INT5EN	R/W	INT5 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG4[2:0]	R/W	INT4 低消費電力モード解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST4[1:0]	R	INT4 低消費電力モード解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ

Bit	Bit Symbol	Type	機能
1	−	R	リードすると不定値が読まれます。
0	INT4EN	R/W	INT4 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、低消費電力モード解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.3 CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0 0_0001: INT1 0_0010: INT2 0_0011: INT3 0_0100: INT4 0_0101: INT5 0_0110 ~ 1_1111: 設定禁止 リードすると"0"が読めます。

7.6.3.4　CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット解除後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット解除後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
パワーオン リセット解除後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	LVDRSTF	-	SYSRSTF	-	WDTRSTF	PINRSTF	PONRSTF
パワーオン リセット解除後	0	不定	0	不定	0	不定	不定	1

Bit	Bit Symbol	Type	機能
31-7	−	R	リードすると"0"が読めます。
6	LVDRSTF	R/W	LVD リセットフラグ [Read] 0: - 1: LVD によるリセットによるリセットフラグ [Write] 0:クリア (注 2) 1: Don't care
5	−	R	リードすると"0"が読めます。
4	SYSRSTF	R/W	デバッグリセットフラグ(注 1) [Read] 0: - 1: SYSRESETREQ によるリセットによるリセットフラグ [Write] 0:クリア (注 2) 1: Don't care
3	−	R	リードすると"0"が読めます。
2	WDTRSTF	R/W	WDT リセットフラグ [Read] 0: - 1: WDT リセットによるリセットフラグ [Write] 0:クリア (注 2) 1: Don't care
1	PINRSTF	R/W	$\overline{\text{RESET}}$ 端子フラグ [Read] 0: - 1: $\overline{\text{RESET}}$ 端子によるリセットフラグ [Write] 0:クリア (注 2) 1: Don't care
0	PONRSTF	R/W	パワーオンリセットフラグ [Read] 0: - 1: パワーオンリセットによるリセットフラグ [Write] 0:クリア (注 2) 1: Don't care

注 1) CPU の NVIC 内にある、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2) 本レジスタは自動的にはクリアされませんので、"0"を書いてクリアしてください。

7.6.3.5　CGNMIFLG(NMI フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	NMIFLG3	NMIFLG2	-	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます。
4	−	R	リードすると"0"が読めます。
3	NMIFLG3	R	NMI 起動要因フラグ 0: 要因なし 1 : LVD で低電圧からの復帰検知の場合に NMI が発生
2	NMIFLG2	R	NMI 起動要因フラグ 0: 要因なし 1 : LVD で電源電圧が低電圧を検知した場合に NMI が発生
1	−	R	リードすると"0"が読めます。
0	NMIFLG0	R	NMI 起動要因フラグ 0: 要因なし 1 : WDT による NMI 発生

7.6.4 割り込みマスク機能のレジスタ

周辺回路からの割り込み要求と割り込みマスク機能のレジスタの対応を表 7-3 示します。

表 7-3 割り込み要求の割り当て

[Ch 0]

ビットシンボル番号	割り込み名称	ビットシンボル番号	割り込み名称
0	INTRX0	16	-
1	INTRX1	17	-
2	INTTX0	18	-
3	INTTX1	19	-
4	INTRX2	20	-
5	INTRX3	21	-
6	INTRX5	22	-
7	INTTX2	23	-
8	INTTX3	24	-
9	INTTX5	25	-
10	-	26	-
11	-	27	-
12	-	28	-
13	-	29	-
14	-	30	-
15	-	31	-

7.6.4.1　INTMxFLG(割り込みフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	INTFLG31	INTFLG30	INTFLG29	INTFLG28	INTFLG27	INTFLG26	INTFLG25	INTFLG24
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INTFLG23	INTFLG22	INTFLG21	INTFLG20	INTFLG19	INTFLG18	INTFLG17	INTFLG16
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INTFLG15	INTFLG14	INTFLG13	INTFLG12	INTFLG11	INTFLG10	INTFLG9	INTFLG8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INTFLG7	INTFLG6	INTFLG5	INTFLG4	INTFLG3	INTFLG2	INTFLG1	INTFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 0	INFLG31 - INTFLG0	R/W	割り込み要求フラグ [Write] 0: クリア 1: Don't Cate [Read] 0: 割り込み要求なし 1: 割り込み要求あり

7.6.4.2　INTMxMASK(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	INTMSK31	INTMSK30	INTMSK29	INTMSK28	INTMSK27	INTMSK26	INTMSK25	INTMSK24
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INTMSK23	INTMSK22	INTMSK21	INTMSK20	INTMSK19	INTMSK18	INTMSK17	INTMSK16
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INTMSK15	INTMSK14	INTMSK13	INTMSK12	INTMSK11	INTMSK10	INTMSK9	INTMSK8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INTMSK7	INTMSK6	INTMSK5	INTMSK4	INTMSK3	INTMSK2	INTMSK1	INTMSK0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31 - 0	INTMSK31 - INTMSK0	R/W	割り込みマスク 0: 割り込み許可 1: 割り込みマスク

第 8 章　DMA コントローラ（DMAC）

8.1　概要

主な機能を以下に説明します。

表 8-1 DMA 機能概要 (2 ユニット)

項目	機能		説明
チャネル数	2ch		-
DMA 要求数	16 要因		-
DMA 起動トリガ	ハードウェアでスタート		周辺回路の DMA 要求で起動
	ソフトウェアでスタート		DMACxSoftBReq へのライトで起動
バスマスタ	32bit × 1 (AHB)		-
プライオリティ	高 : ユニット A CH0 ユニット A CH1 ユニット B CH0 低 : ユニット B CH1		固定
FIFO	4word × 2ch		-
バス幅	8/16/32bit		Source、Distination で別々に設定可能。
バーストサイズ	1/4/8/16/32/64/128/256		-
転送回数	~4095		-
アドレス	転送元アドレス	incr ement not increment	Source と Destination のアドレスは、increment か not increment かを選択できます (アドレス wrapping はサポートしていません)
	転送先アドレス	incr ement not increment	
エンディアン	リトルエンディアン		-
転送タイプ	Peripheral to Memory Memory to Peripheral Memory to Memory Peripheral to Peripheral		"Memory to Memory"を選択した場合、DMA 起動のハードウエアスタートはサポートしていません。詳細は、DMACxCnConfiguration を参照してください。 "Peripheral to Peripheral"を選択した場合、Source と Destination に割り当てられる周辺機能には制約があります。「製品情報」の章を参照してください。
割り込み機能	転送終了割り込み(INTDMACxTC) エラー割り込み(INTDMACxERR)		-
特殊機能	Scatter/gather 機能		-

8.2　DMA 転送タイプについて

表 8-2 DMA　転送タイプ

<table>
<tr><th>No.</th><th>DMA 転送タイプ</th><th>DMA 要求元</th><th>受付可能な DMA 要求の種類</th><th>説明</th></tr>
<tr><td>1</td><td>Memory to Peripheral</td><td>Peripheral (Destination)</td><td>バースト要求</td><td>Word の転送要求の場合、DMA のバーストサイズを 1 に設定して下さい</td></tr>
<tr><td>2</td><td>Peripheral to Memory</td><td>Peripheral (Source)</td><td>バースト要求 / シングル要求</td><td>データの総転送サイズが、バーストサイズの整数倍でない時、バースト要求とシングル要求の両方を使用することができます。
データの総転送サイズ ≥ バーストサイズのときには、シングル要求は無視されバースト転送が行われます。
総転送サイズ < バーストサイズ時となったときには、シングル転送が行われます。</td></tr>
<tr><td>3</td><td>Memory to Memory
注)</td><td>DMAC</td><td>−</td><td>DMA 要求なしで、DMA を Enable にするとデータ転送が開始します。
(Mem to Mem を選択し、 DMACxCnConfiguration<E>を "1"に設定します。)
全てのデータ転送が終了するか、DMAC を disabled にすると停止します。</td></tr>
<tr><td rowspan="2">4</td><td rowspan="2">Peripheral to Peripheral</td><td>Peripheral (Source)</td><td>バースト 要求 / シングル要求</td><td rowspan="2"><table><tr><th>転送サイズ</th><th>Source</th><th>Destination</th></tr><tr><td>(1)バーストサイズの整数倍</td><td>バースト要求</td><td>バースト要求</td></tr><tr><td>(2)バーストサイズの非整数倍</td><td>バースト要求 / シングル要求</td><td>-</td></tr></table></td></tr>
<tr><td>Peripheral (Destination)</td><td>バースト要求</td></tr>
</table>

注)　Memory to Memory を使用して多くのデータを転送する場合、Priority の低いチャネルを使うことを推奨します。Priority の低いチャネルを使用することにより、転送途中でも、Priority の高いチャネルの転送を開始することができます。優先度の高いチャネルを Memory to Memory で使用すると、このチャネルの転送が終了するまで、優先度の低いチャネルの転送を開始することができません。

8.3 ブロック図

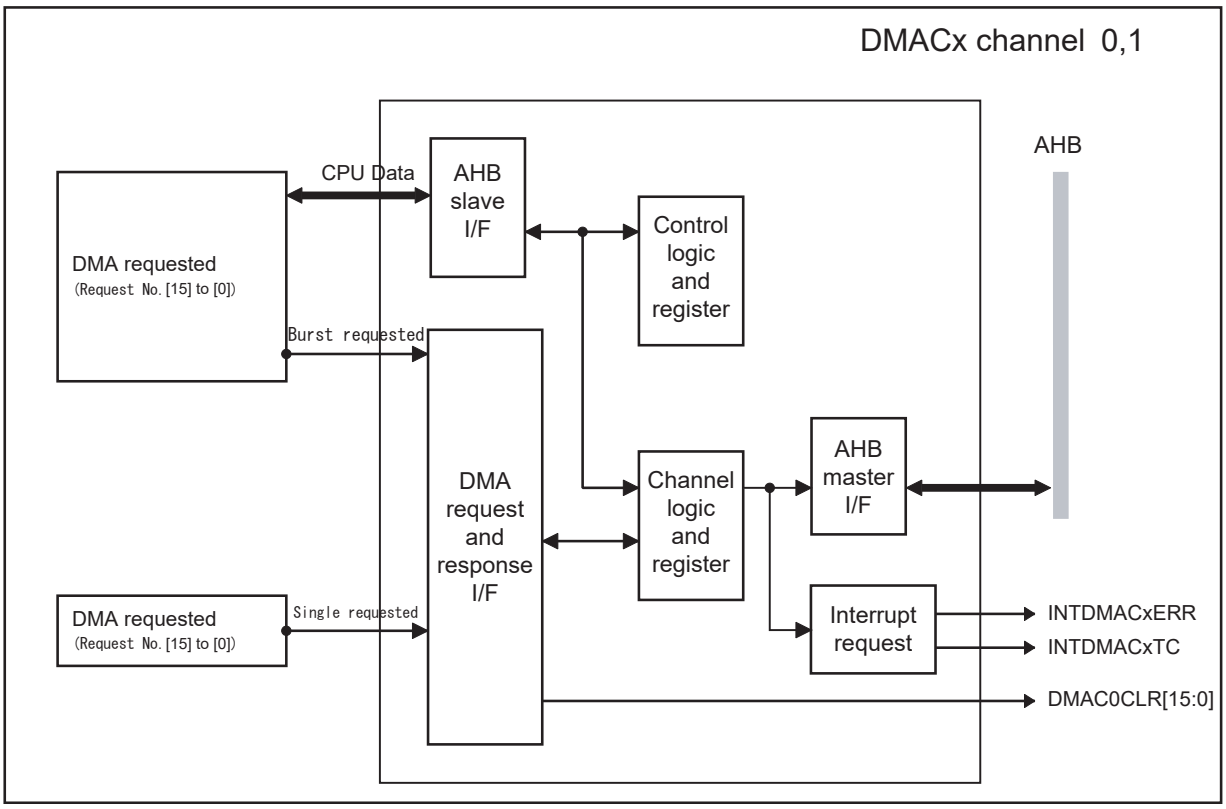


図 8-1 DMAC ブロック図

8.4　レジスタ説明

8.4.1　DMAC レジスター覧

以下に各レジスタの機能とアドレスを示します。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

Register Name (x=A)		Address(Base+)
DMAC Interrupt Status Register	DMACxIntStaus	0x0000
DMAC Interrupt Terminal Count Status Register	DMACxIntTCStatus	0x0004
DMAC Interrupt Terminal Count Clear Register	DMACxIntTCClear	0x0008
DMAC Interrupt Error Status Register	DMACxIntErrorStatus	0x000C
DMAC Interrupt Error Clear Register	DMACxIntErrClr	0x0010
DMAC Raw Interrupt Terminal Count Status Register	DMACxRawIntTCStatus	0x0014
DMAC Raw Error Interrupt Status Register	DMACxRawIntErrorStatus	0x0018
DMAC Enabled Channel Register	DMACxEnbldChns	0x001C
DMAC Software Burst Request Register	DMACxSoftBReq	0x0020
DMAC Software Single Request Register	DMACxSoftSReq	0x0024
DMAC Configuration Register	DMACxConfiguration	0x0030
DMAC Channel0 Source Address Register	DMACxC0SrcAddr	0x0100
DMAC Channel0 Destination Address Register	DMACxC0DestAddr	0x0104
DMAC Channel0 Linked List Item Register	DMACxC0LLI	0x0108
DMAC Channel0 Control Register	DMACxC0Control	0x010C
DMAC Channel0 Configuration Register	DMACxC0Configuration	0x0110
DMAC Channel1 Source Address Register	DMACxC1SrcAddr	0x0120
DMAC Channel1 Destination Address Register	DMACxC1DestAddr	0x0124
DMAC Channel1 Linked List Item Register	DMACxC1LLI	0x0128
DMAC Channel1 Control Register	DMACxC1Control	0x012C
DMAC Channel 1 Configuration Register	DMACxC1Configuration	0x0130

注 1)　上記レジスタは、ワード(32bit)アクセスのみとなります

注 2)　チャンネルごとにレジスタが用意されているものに関しては、チャンネルの構造が同じ場合、レジスタ詳細説明において、ユニット番号をあらわす部分を"x"、チャネル番号をあらわす部分を"n"で表現しています

注 3)　チャネルごとに用意されているレジスタへの Write の後にチャネルごとに用意されていないレジスタを Read する場合、命令の間を 1 サイクル以上あけるか、2 回 Read してください。

8.4.2 DMACxIntStatus (DMAC Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntStatus1	IntStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0"をライトしてください.
1	IntStatus1	R	DMAC チャネル 1 の割込み発生状態 0 : 割込み要求なし 1 : 割込み要求あり 転送終了割込み許可レジスタおよびエラー割込み許可レジスタを経由した後の DMAC 割込み発生状態を示します。転送エラー、カウンタ終了のどちらでも割込み要求が発生します。
0	IntStatus0	R	DMAC チャネル 0 の割込み発生状態 0 : 割込み要求なし 1 : 割込み要求あり 転送終了割込み許可レジスタおよびエラー割込み許可レジスタを経由した後の DMAC 割込み発生状態を示します。転送エラー、カウンタ終了のどちらでも割込み要求が発生します。

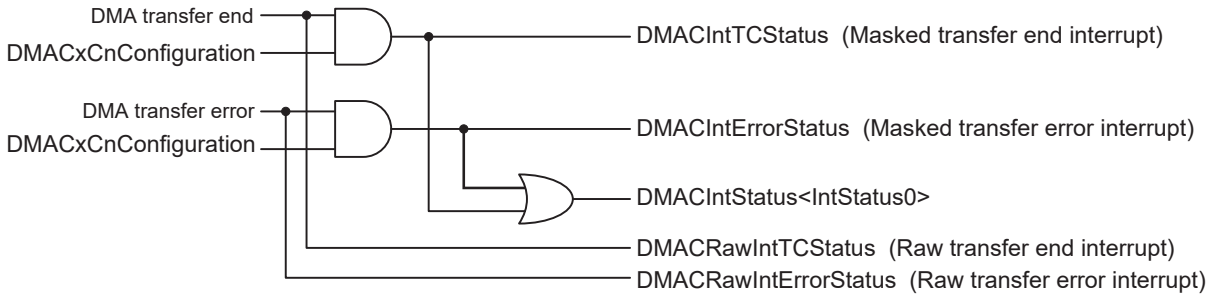


図 8-2 割り込み関連ブロック図

8.4.3　DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCStatus1	IntTCStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntTCStatus1	R	DMAC チャネル 1 の転送終了割込み発生状態 0 : 割り込み要求なし 1 : 割り込み要求あり 許可後の転送終了割込み発生状態を示します。
0	IntTCStatus0	R	DMAC チャネル 0 の転送終了割込み発生状態 0 : 割り込み要求なし 1 : 割り込み要求あり 許可後の転送終了割込み発生状態を示します。

8.4.4 DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCClear1	IntTCClear0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntTCClear1	W	DMAC チャネル 1 の転送終了割込みクリア 0 : 無効 1 : クリア "1" をライトすると DMACxIntTCStatus<IntTCStatus1> がクリアされます
0	IntTCClear0	W	DMAC チャネル 0 の転送終了割込みクリア 0 : 無効 1 : クリア "1" をライトすると DMACxIntTCStatus<IntTCStatus0> がクリアされます

8.4.5　DMACxIntErrorStatus (DMAC Interrupt Error Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrStatus1	IIntErrStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntErrStatus1	R	DMAC チャネル 1 のエラー割込み状態 0 : 割り込み要求なし 1 : 割り込み要求あり 許可後のエラー割込み発生状態を示します
0	IntErrStatus0	R	DMAC チャネル 0 のエラー割込み状態 0 : 割り込み要求なし 1 : 割り込み要求あり 許可後のエラー割込み発生状態を示します

8.4.6 DMACxIntErrClr (DMAC Interrupt Error Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrClr1	IntErrClr0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntErrClr1	W	DMAC チャネル 1 のエラー割込みクリア 0 : 無効 1 : クリア "1" をライトすると DMACxIntErrorStatus<IntErrStatus1> がクリアされます。
0	IntErrClr0	W	DMAC チャネル 0 のエラー割込みクリア 0 : 無効 1 : クリア "1" をライトすると DMACxIntErrorStatus<IntErrStatus0> がクリアされます。

8.4.7　DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntTCS1	RawIntTCS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	RawIntTCS1	R	DMAC チャネル 1 の許可前転送終了割込み発生状態 0 : 割り込み要求なし 1 : 割り込み要求あり
0	RawIntTCS0	R	DMAC チャネル 0 の許可前転送終了割込み発生状態 0 : 割り込み要求なし 1 : 割り込み要求あり

8.4.8 DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntErrS1	RawIntErrS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	RawIntErrS1	R	DMAC チャネル 1 の許可前エラー割込み発生状態 0 : 割込み要求なし 1 : 割込み要求あり
0	RawIntErrS0	R	DMAC チャネル 0 の許可前エラー割込み発生状態 0 : 割込み要求なし 1 : 割込み要求あり

8.4.9　DMACxEnbldChns (DMAC Enabled Channel Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EnabledCH1	EnabledCH0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	EnabledCH1	R	DMAC チャネル 1 の許可状態 0 : DMA 転送終了時クリア 1 : チャネル 1 許可状態 DMACxCnControl レジスタの総転送回数を全て転送すると(値が 0 になる）クリアされます。
0	EnabledCH0	R	DMAC チャネル 0 の許可状態 0 : DMA 転送終了時クリア 1 : チャネル 1 許可状態 DMACxCnControl レジスタの総転送回数を全て転送すると(値が 0 になる）クリアされます。

8.4.10 DMACxSoftBReq (DMAC Software Burst Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftBReq15	SoftBReq14	SoftBReq13	SoftBReq12	SoftBReq11	SoftBReq10	SoftBReq9	SoftBReq8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftBReq7	SoftBReq6	SoftBReq5	SoftBReq4	SoftBReq3	SoftBReq2	SoftBReq1	SoftBReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	-	"0" をライトしてください
15	SoftBReq15	R/W	ソフトウェアによる DMA バースト要求(要求番号 [15]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
14	SoftBReq14	R/W	ソフトウェアによる DMA バースト要求(要求番号 [14]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
13	SoftBReq13	R/W	ソフトウェアによる DMA バースト要求(要求番号 [13]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
12	SoftBReq12	R/W	ソフトウェアによる DMA バースト要求(要求番号 [12]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
11	SoftBReq11	R/W	ソフトウェアによる DMA バースト要求(要求番号 [11]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
10	SoftBReq10	R/W	ソフトウェアによる DMA バースト要求(要求番号 [10]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
9	SoftBReq9	R/W	ソフトウェアによる DMA バースト要求(要求番号 [9]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生

Bit	Bit Symbol	Type	機能
8	SoftBReq8	R/W	ソフトウェアによる DMA バースト要求(要求番号 [8]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
7	SoftBReq7	R/W	ソフトウェアによる DMA バースト要求(要求番号 [7]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
6	SoftBReq6	R/W	ソフトウェアによる DMA バースト要求(要求番号 [6]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
5	SoftBReq5	R/W	ソフトウェアによる DMA バースト要求(要求番号 [5]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
4	SoftBReq4	R/W	ソフトウェアによる DMA バースト要求(要求番号 [4]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
3	SoftBReq3	R/W	ソフトウェアによる DMA バースト要求(要求番号 [3]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
2	SoftBReq2	R/W	ソフトウェアによる DMA バースト要求(要求番号 [2]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
1	SoftBReq1	R/W	ソフトウェアによる DMA バースト要求(要求番号 [1]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
0	SoftBReq0	R/W	ソフトウェアによる DMA バースト要求(要求番号 [0]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生

注 1)　同時にソフトウエアとハードウエアによる DMA 要求を実施しないでください

注 2)　DMA のリクエスト番号は "製品情報"の章 を参照してください。バースト要求のない DMA 要求番号に対応するレジスタには"0"を書き込んでください。

8.4.11 DMACxSoftSReq (DMAC Software Single Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftSReq15	SoftSReq14	SoftSReq13	SoftSReq12	SoftSReq11	SoftSReq10	SoftSReq9	SoftSReq8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftSReq7	SoftSReq6	SoftSReq5	SoftSReq4	SoftSReq3	SoftSReq2	SoftSReq1	SoftSReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	-	"0" をライトしてください
15	SoftSReq15	R/W	ソフトウェアによる DMA シングル要求(要求番号 [15]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
14	SoftSReq14	R/W	ソフトウェアによる DMA シングル要求(要求番号 [14]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
13	SoftSReq13	R/W	ソフトウェアによる DMA シングル要求(要求番号 [13]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
12	SoftSReq12	R/W	ソフトウェアによる DMA シングル要求(要求番号 [12]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
11	SoftSReq11	R/W	ソフトウェアによる DMA シングル要求(要求番号 [11]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
10	SoftSReq10	R/W	ソフトウェアによる DMA シングル要求(要求番号 [10]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
9	SoftSReq9	R/W	ソフトウェアによる DMA シングル要求(要求番号 [9]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生

Bit	Bit Symbol	Type	機能
8	SoftSReq8	R/W	ソフトウェアによる DMA シングル要求(要求番号 [8]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
7	SoftSReq7	R/W	ソフトウェアによる DMA シングル要求(要求番号 [7]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
6	SoftSReq6	R/W	ソフトウェアによる DMA シングル要求(要求番号 [6]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
5	SoftSReq5	R/W	ソフトウェアによる DMA シングル要求(要求番号 [5]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
4	SoftSReq4	R/W	ソフトウェアによる DMA シングル要求(要求番号 [4]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
3	SoftSReq3	R/W	ソフトウェアによる DMA シングル要求(要求番号 [3]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
2	SoftSReq2	R/W	ソフトウェアによる DMA シングル要求(要求番号 [2]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
1	SoftSReq1	R/W	ソフトウェアによる DMA シングル要求(要求番号 [1]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
0	SoftSReq0	R/W	ソフトウェアによる DMA シングル要求(要求番号 [0]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生

注 1)　同時にソフトウエアとハードウエアによる DMA 要求を実施しないでください。

注 2)　DMA のリクエスト番号は "製品情報"の章 を参照してください。シングル要求のない DMA 要求番号に対応するレジスタには"0"を書き込んでください。

8.4.12 DMACxConfiguration (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	E
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください。
1	-	R/W	"0"を書き込んでください。
0	E	R/W	DMA 回路制御 0 : 停止 1 : 動作 DMA 回路が停止している場合、DMA 回路のレジスタへの書き込み、読み出しはできません。DMA を動作させる場合には常に<E>="1" を設定してください。

8.4.13　DMACCxSrcAddr (DMAC Channelx Source Address Register)

	31	30	29	28	27	26	25	24
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SrcAddr[31:0]	R/W	DMA 転送元アドレスの設定 設定する前には転送元のメモリや IP レジスタのビット幅と、アドレスを確認してください。 転送元のビット幅の設定により、以下の制約があります。

転送元のビット幅 DMACCxControl<Swidth[2:0]>	最下位アドレスの設定
000　:バイト(8 ビット)	制約なし
001　:ハーフワード(16 ビット)	2 の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC…)になるように設定
010　:ワード(32 ビット)	4 の倍数(0x0,0x4,0x8,0xC…)になるように設定

チャネル x を許可(DMACCxConfiguration<E>="1")すると、レジスタに記述された内容が更新されますので、チャネルを許可する前に DMACCxSrcAddr を設定してください。

DMA が動作中の場合、DMACCxSrcAddr レジスタの値は逐次変化するため、リード値は固定ではありません。

また、転送中に DMACCxSrcAddr をアップデートしないでください。DMACCxSrcAddr を変更する場合には必ずチャネル x を禁止(DMACCxConfiguration<E>="0")に設定後、変更してください。

8.4.14 DMACCxDestAddr (DMAC Channelx Destination Address Register)

	31	30	29	28	27	26	25	24
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	DestAddr[31:0]	R/W	DMA 転送先アドレスの設定 設定する前には転送先のメモリや IP レジスタのビット幅と、アドレスを確認してください。 転送先のビット幅の設定により、以下の制約があります。

転送先のビット幅 DMACCxControl<Dwidth[2:0]>	最下位アドレスの設定
000 :バイト(8 ビット)	制約なし
001 :ハーフワード(16 ビット)	2 の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC…)になるように設定
010 :ワード(32 ビット)	4 の倍数(0x0,0x4,0x8,0xC…)になるように設定

転送中に DMACCxDestAddr をアップデートしないでください。DMACCxDestAddr を変更する場合には必ずチャネルを禁止(DMACCxConfiguration<E>="0")に設定後、変更してください。

8.4.15　DMACxCnLLI (DMAC Channelx Linked List Item Register)

	31	30	29	28	27	26	25	24
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	LLI						-	-
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
31-2	LLI[29:0]	R/W	次の転送情報の先頭アドレスを設定 設定値は 0xFFFF_FFF0 以内で設定してください。 <LLI>="0"のとき、LLI が最後のチェーンであり、DMA 転送終了後、DMA チャネルが禁止になります。
1-0	-	W	"0"をライトしてください。

<LLI> の動作詳細は、「8.5 特殊機能」を参照ください.

8.4.16 DMACxCnControl (DMAC Channelx Control Register)

	31	30	29	28	27	26	25	24
bit symbol	I	-	-	-	DI	SI	-	-
リセット後	0	不定	不定	不定	0	0	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	Dwidth			Swidth			DBSize	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DBSize	SBSize			TransferSize			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TransferSize							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	I	R/W	転送割り込み許可ビット 0 : 禁止 1 : 許可 <I>="1" かつ DMACCxConfiguration<ITC>="1" の設定で、転送終了割り込みが発生します。Scatter/gather 機能使用時に、最終転送の DMAC 設定フロー内で、本ビットを'1' にすることで、最終転送時にのみ転送終了割り込みを発生することが可能になります。通常転送時に割り込みを発生させたいときには、本ビットも"1" に設定し Enable 状態にする必要があります。
30-28	-	-	"0" をライトしてください
27	DI	R/W	転送先アドレスインクリメント 0 : アドレス固定 1 : インクリメント
26	SI	R/W	転送元アドレスインクリメント 0 : アドレス固定 1 :インクリメント
25-24	-	-	"0" をライトしてください
23-21	Dwidth[2:0]	R/W	転送先ビット幅 000 : バイト (8 bits) 001 : ハーフバイト (16 bits) 010 : ワード (32 bits) 上記以外: Reserved 設定値については、表 8-3 を参照してください。
20-18	Swidth[2:0]	R/W	転送元ビット幅 000: バイト (8 bits) 001: ハーフワード (16 bits) 010 : ワード (32 bits) 上記以外: Reserved 設定値については、表 8-3 を参照してください。
17-15	DBSize[2:0]	R/W	転送先バーストサイズ(注) 000: 1 ビート　　100: 32 ビート 001: 4 ビート　　101: 64 ビート 010: 8 ビート　　110: 128 ビート 011: 16 ビート　　111: 256 ビート 設定値については、表 8-3 を参照してください。

Bit	Bit Symbol	Type	機能
14-12	SBSize[2:0]	R/W	転送元バーストサイズ(注) 000:　1 ビート　　100:　32 ビート 001:　4 ビート　　101:　64 ビート 010:　8 ビート　　110:　128 ビート 011:　16 ビート　　111:　256 ビート 設定値については、表 8-3 を参照してください。
11-0	TransferSize [11:0]	R/W	総転送回数の設定 転送元ビット幅で定義された幅、(4byte/2byte/1byte)単位のデータの、転送したい総回数を設定します。 バーストサイズは、内部動作の DMA 要求毎に一度に転送されるデータ量のみを示していますので、転送元ビット幅と、総転送回数を変えない限り、どんなバーストサイズに設定しても、総転送されるデータ量は変化しません。 この値は DMA 転送の実施に伴い、"0" までデクリメントします。 転送実行時はリードすると未転送回数が読み出されます、転送停止時は"0"が読みだされます。 総転送回数は転送元ビット幅の単位になります。 例えば: <Swidth>="000" (8bit)の場合, 転送回数は、byte 単位。 <Swidth>="001" (16bit)の場合,転送回数は、 half word 単位. <Swidth>="010" (32bit)の場合, 転送回数は、 word 単位

表 8-3 <Dwidth[2:0]>,<Swidth[2:0]>, <DBSize[2:0]>, <SBSize[2:0]>の設定の方法

<Dwidth[2:0]> / <Swidth[2:0]>	以下の計算式を満たすように設定してください。 転送元ビット幅 × 総転送回数＝転送先ビット幅 ×N (N：整数)
	(例 1)転送元ビット幅:8 ビット、転送先ビット幅:32 ビット、総転送回数:25 回の場合 8 ビット × 25 回 = 200 ビット(25 バイト) N = 200 ÷ 32 = 6.25 ワード 6.25 は整数でないことから、上記設定は出来ません。 転送元ビット幅が転送先ビット幅よりも小さい場合は、総転送回数を設定する場合に注意が必要です。
	(例 2)転送元ビット幅:32 ビット、転送先ビット幅:16 ビット、総転送回数:13 回の場合 32 ビット × 13 回 = 416 ビット(13 ワード) N = 416 ÷ 16 = 26 ハーフワード 26 は整数の為、問題ありません。
<DBSize[2:0]> / <SBSize[2:0]>	「Peripheral to Memory」や、「Memory to Peripheral」の転送の場合、周辺機能は転送準備が整った事を示す DMA 要求信号を発生し、この信号をトリガに複数回実行されます（「Memory to Memory」転送の場合は、ソフトスタートのみです）。 周辺機能からの、DMA 要求信号ごとに転送されるデータ量を、バーストサイズで設定し、FIFO などの複数のデータを格納できるものをもつ周辺機能の場合に使用します。

注)　DBsize と SBsize で設定するバーストサイズは、AHB バスの HBURST とは関係ありません。

8.4.17 DMACxCnConfiguration (DMAC Channelx Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	Halt	Active	Lock
リセット後	不定	不定	不定	不定	不定	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ITC	IE	FlowCntrl			-	DestPeripheral	
リセット後	0	0	0	0	0	不定	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestPeripheral		-	SrcPeripheral				E
リセット後	0	0	不定	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	-	-	"0" をライトしてください
18	Halt	R/W	DMA 要求受付制御 0 : DMA 要求 受付 1 : DMA 要求 無視
17	Active	R	チャネル FIFO 内のデータの有無 0 : FIFO 内にデータなし 1 : FIFO 内にデータあり
16	Lock	R/W	ロック転送設定（不分割転送） 0 : ロック転送 禁止 1: ロック転送 許可(注3) ロック転送を許可するとバスを解放せずに指定バースト数を連続転送します。
15	ITC	R/W	転送終了割込み許可 0 : 割り込み禁止 1 : 割り込み許可 <ITC>=1 かつ < DMACCxControl Register><I>=1 の設定で、転送終了割り込みが発生します。
14	IE	R/W	エラー割り込み許可 0 :割り込み禁止 1: 割り込み許可
13-11	FlowCntrl[2:0]	R/W	転送方式の設定 <FlowCntrl[2:0]> 設定値 / 転送方式 000: Memory to Memory (注) 001: Memory to Peripheral 010: Peripheral to Memory 011: Peripheral to Peripheral 100~111: Reserved
10	-	-	"0" をライトしてください
9-6	DestPeripheral [3:0]	R/W	転送先 DMA 要求番号 要求番号は「表 2-1 DMA 要求一覧」を参照してください 転送先が Memory の場合はこの設定は無視されます
5	-	-	"0" をライトしてください

Bit	Bit Symbol	Type	機能
4-1	SrcPeripheral [3:0]	R/W	転送元 DMA 要求番号 要求番号は「表 2-1 DMA 要求一覧」を参照してください 転送元が Memory の場合はこの設定は無視されます.
0	E	R/W	チャネルイネーブル 0 : 禁止 1 : 許可 このビットでチャネルを Enable/Disable できます。(Memory to Memory を選択している場合、転送開始ビットとして動作します。) DMACxCnControl <TransferSize>の総転送回数の転送を全て終了すると（値が 0 になる）、対象のチャネルの <E>は自動的にクリアされます。 転送中に Disable を実行すると、チャネル FIFO のデータ保存されません。再スタートする場合はチャネルをすべて初期化して、スタートしてください。 もし、一時的に停止したい場合は、<Halt> ビットで DMA 要求を停止して、<Active> が"0" になるまでポーリングで待ったあと後に、<E> でチャネルを Disable してください。

注 1)　"Memory to Memory" を選択した場合、 DMA 起動のハードウエアはサポートしていません。<E>に"1" をライトすることで転送を開始します。

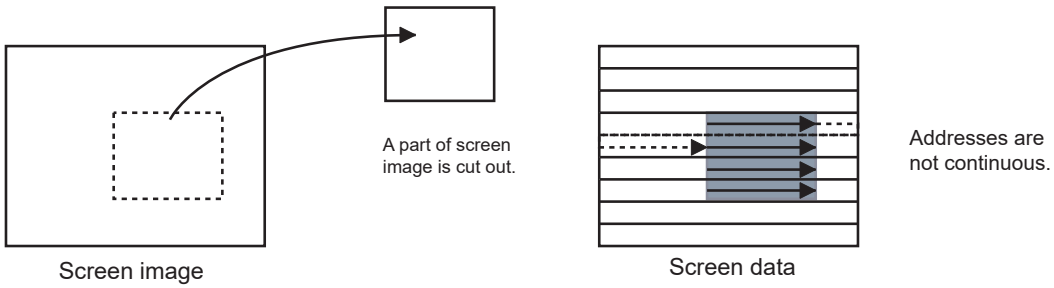
注 2)　DMACxEnableChns<EnabledCHx>がイネーブルの時に、対応する DMACxCnConfiguration<Halt>を"1"にする書き込み実施時には、チャネルイネーブルビット(E:bit0)を先に 0:禁止にしてから、書き込みを行ってください。 上記を行わずに、書き込みを行った場合にスレーブエラーが発生した場合は、リセット処理のみで復帰が可能です。スレーブエラーとは、転送幅/アドレスなどに不整合がある場合に発生するエラーです。

注 3)　ロック転送を行うには下記の条件を満たす必要があります。
a）転送元と転送先のビット幅が同じ
b）転送元のバーストサイズは4以上

8.5 特殊機能

8.5.1 Scatter/gather 機能

画像データの一部を切り取ってデータを転送するような場合、画像データはすべて連続データとしては扱えず、特定の規則に従ってアドレスが大きく変化します。そのため、常に連続のアドレスでしか転送出来ない DMA では、アドレスが変化する箇所で、その都度再設定が必要になります。



Scatter/gather 機能とは、あらかじめ設定された"Linked list" を通じて、CPU がその動作の制御を行う必要なく、DMA の各種設定（転送元アドレス、転送先アドレス、転送回数、転送バス幅）を、指定された DMA 回数を終了毎に再ロードして、連続動作することが出来る機能です。

DMACCxLLI レジスタに"Linked list" のアドレスをセットすることで動作の許可／停止を制御します。

Linked List で設定出来る項目は、以下の 4word で構成されています。:

1. DMACxCnSrcAddr
2. DMACxCnDestAddr
3. DMACxCnLLI
4. DMACxCnControl

割り込み動作との併用も可能です。

DMACCxControl<I>=1、かつ、DMACCxConfiguration<ITC>=1 の設定で、DMA 転送終了割り込みが発生します。

Scatter/gather 機能使用時、DMA 最終転送の時のみ、終了割り込みを発生させたい場合は、DMACCxControl<I>=0、かつ、DMACCxConfiguration<ITC>=1 にて転送を開始し、最終回の DMA 転送設定フロー内で、<I>=1 にすることで、最終転送でのみ転送終了割り込みを発生することが可能になります。このビットを利用することで、LLI を使った転送途中でも、条件を追加し分岐処理などの動作が可能です。割り込みをクリアするためには、DMACIntTCClear レジスタの対応ビット を制御します。

8.5.2　Linked list 動作

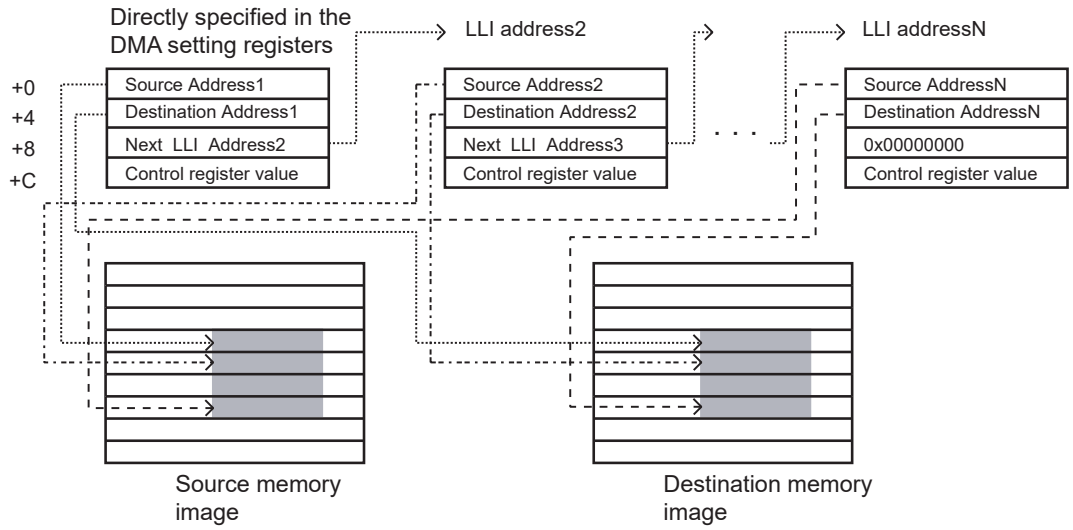
Scatter/gather 機能を動作させるには、まず 一連の Linked List を作成し、転送元と転送元データエリアを定義する必要があります。

各々の設定を LLI（LinkedList）と呼びます。

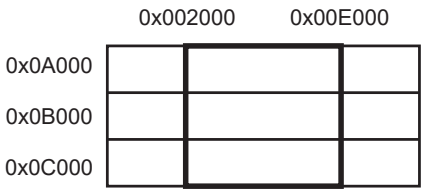
LLI は、1 ブロック分のデータ転送を制御しています。 1 回の LLI は通常の DMA 設定を示し、連続データの転送制御を行っています。 1 回の DMA 転送が終了するたびに、次の LLI 設定をロードし、DMA 動作の継続（Daisy Chain）をすることが出来ます。

以下に、設定例を示します

1. 1 番最初の DMA 転送設定は、DMA のレジスタに直接設定します。
2. 2 番目の DMA 転送以降は、"next LLI AddressX" に設定されたメモリのアドレスに書き込みます。
3. N 番目の DMA 転送で終了させる場合は、"next LLI AddressX" を 0x0000 _ 0000 と設定します。

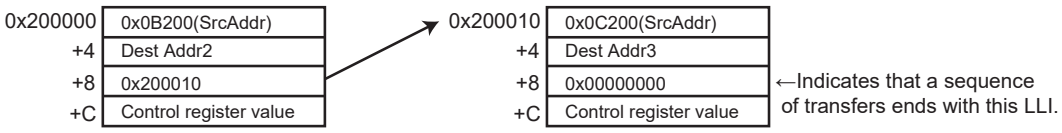


転送元メモリイメージの四角で囲まれたエリアを転送する場合



	設定レジスタ	設定項目
+0	DMACxCnSrcAddr	:0x0A200
+4	DMACxCnDestAddr	:Destination address 1
+8	DMACxCnLLI	:0x200000
+C	DMACxCnControl	:バースト転送回数, 転送回数などを設定

Linked List



第 9 章　入出力ポート

本章では、ポート関連のレジスタとその設定および回路について説明します。

9.1　レジスタ説明

ポートを使用する際には以下のレジスタを設定する必要があります。

レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		設定値	
PxDATA	データレジスタ	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
PxCR	出力コントロールレジスタ	0 : 出力禁止 1 : 出力許可	出力の制御を行います。
PxFRn	ファンクションレジスタ n	0 : PORT 1 : 機能	機能設定を行ないます。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。
PxOD	オープンドレインコントロールレジスタ	0 : CMOS 1 : オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、PxOD の設定により、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
PxPUP	プルアップコントロールレジスタ	0 : プルアップ禁止 1 : プルアップ許可	プログラマブルプルアップを制御します。
PxPDN	プルダウンコントロールレジスタ	0 : プルダウン禁止 1 : プルダウン許可	プログラマブルプルダウンを制御します。
PxIE	入力コントロールレジスタ	0 : 入力禁止 1 : 入力許可	入力の制御を行ないます。 PxIE をイネーブルにしてから外部データが PxDATA に反映されるまで若干の時間が必要です。

9.1.1　レジスター覧

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

機能の存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

レジスタ名	Address (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E
データ レジスタ	0x0000	PADATA	PBDATA	PCDATA	PDDATA	PEDATA
出力コントロールレジスタ	0x0004	PACR	PBCR	PCCR	PDCR	PECR
ファンクションレジスタ 1	0x0008	-	PBFR1	PCFR1	PDFR1	PEFR1
ファンクションレジスタ 2	0x000C	-	PBFR2	-	-	-
オープンドレインコントロールレジスタ	0x0028	PAOD	PBOD	PCOD	PDOD	PEOD
プルアップコントロールレジスタ	0x002C	PAPUP	PBPUP	PCPUP	PDPUP	PEPUP
プルダウンコントロールレジスタ	0x0030	PAPDN	PBPDN	PCPDN	PDPDN	PEPDN
入力コントロールレジスタ	0x0038	PAIE	PBIE	PCIE	PDIE	PEIE

レジスタ名	Address (Base+)	ポート F	ポート G	ポート H	ポート J	ポート K
データ レジスタ	0x0000	PFDATA	PGDATA	PHDATA	PJDATA	PKDATA
出力コントロールレジスタ	0x0004	PFCR	PGCR	PHCR	PJCR	PKCR
ファンクションレジスタ 1	0x0008	PFFR1	PGFR1	-	PJFR1	PKFR1
ファンクションレジスタ 2	0x000C	-	-	-	-	-
オープンドレインコントロールレジスタ	0x0028	PFOD	PGOD	PHOD	PJOD	PKOD
プルアップコントロールレジスタ	0x002C	PFPUP	PGPUP	PHPUP	PJPUP	PKPUP
プルダウンコントロールレジスタ	0x0030	PFPDN	PGPDN	PHPDN	PJPDN	PKPDN
入力コントロールレジスタ	0x0038	PFIE	PGIE	PHIE	PJIE	PKIE

レジスタ名	Address (Base+)	ポート L	ポート M	ポート N
データ レジスタ	0x0000	PLDATA	PMDATA	PNDATA
出力コントロールレジスタ	0x0004	PLCR	PMCR	PNCR
ファンクションレジスタ 1	0x0008	PLFR1	-	PNFR1
ファンクションレジスタ 2	0x000C	-	-	-
オープンドレインコントロールレジスタ	0x0028	PLOD	PMOD	PNOD
プルアップコントロールレジスタ	0x002C	PLPUP	PMPUP	PNPUP
プルダウンコントロールレジスタ	0x0030	PLPDN	PMPDN	PNPDN
入力コントロールレジスタ	0x0038	PLIE	PMIE	PNIE

注)　"−"表記のアドレスにはアクセスしないでください。

9.1.2 ポート機能と設定一覧

以下に各ポートの機能とレジスタ設定についての一覧を示します。

- 「表 9-1 ポート A レジスタ設定」
- 「表 9-2 ポート B レジスタ設定」
- 「表 9-3 ポート C レジスタ設定」
- 「表 9-4 ポート D レジスタ設定」
- 「表 9-5 ポート E レジスタ設定」
- 「表 9-6 ポート F レジスタ設定」
- 「表 9-7 ポート G レジスタ設定」
- 「表 9-8 ポート H レジスタ設定」
- 「表 9-9 ポート J レジスタ設定」
- 「表 9-10 ポート K レジスタ設定」
- 「表 9-11 ポート L レジスタ設定」
- 「表 9-12 ポート M レジスタ設定」
- 「表 9-13 ポート N レジスタ設定」

PxFRn の欄は、設定の必要なファンクションレジスタを示します。このレジスタを"1"に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の網掛けのビットはリードすると"0" が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0/1"は任意に設定可能であることを示します。

9.1.2.1　PORT A

表 9-1 ポート A レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PADATA	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
PA0	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN0	Input	FT5	0/1	0		0/1	0	0	0
PA1	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN1	Input	FT5	0/1	0		0/1	0	0	0
PA2	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN2	Input	FT5	0/1	0		0/1	0	0	0
PA3	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN3	Input	FT5	0/1	0		0/1	0	0	0
PA4	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN4	Input	FT5	0/1	0		0/1	0	0	0
PA5	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN5	Input	FT5	0/1	0		0/1	0	0	0
PA6	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN6	Input	FT5	0/1	0		0/1	0	0	0
PA7	リセット後			0	0		0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	AIN7	Input	FT5	0/1	0		0/1	0	0	0

9.1.2.2 PORT B

表 9-2 ポート B レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PBDATA	PBCR	PBFRn	PBOD	PBPUP	PBPDN	PBIE
PB0	リセット後		FT1	0	0	0	0	0	0	0
(注)	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PB1	リセット後			0	0	PBFR2	0	0	1	1
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC4RXD	Input	FT1	0/1	0	PBFR1	0/1	0/1	0/1	1
	SWCLK	Input		0/1	0	PBFR2	0	0	1	1
PB2	リセット後			0	1	PBFR2	0	1	0	1
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC4TXD	Output	FT1	0/1	1	PBFR1	0/1	0/1	0/1	0
	SWDIO	I/O		0/1	1	PBFR2	0/	1	0	1
PB3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC4SCLK	Input	FT1	0/1	0	PBFR1	0/1	0/1	0/1	0
		Output		0/1	1	PBFR1	0/1	0/1	0/1	1
PB4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PB5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	INT0	Input	FT4	0/1	0		0/1	0/1	0/1	1
PB6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	INT1	Input	FT4	0/1	0		0/1	0/1	0/1	1
PB7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	INT2	Input	FT4	0/1	0		0/1	0/1	0/1	1

注) PB0 は $\overline{\text{BOOT}}$ 機能と兼用で、$\overline{\text{RESET}}$ 端子が"Low"の期間に入力およびプルアップが許可となっています。 $\overline{\text{RESET}}$ 端子の立ち上がりで PB0 が"1"の場合はシングルチップモード、 PB0 が"0"の場合はシングル BOOT モードとなります。

9.1.2.3　PORT C

表 9-3 ポート C レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PCDATA	PCCR	PCFRn	PCOD	PCPUP	PCPDN	PCIE
PC0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	I2C0SCL	I/O	FT1	0/1	1	PCFR1	1	0/1	0/1	1
PC1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	I2C0SDA	I/O	FT1	0/1	1	PCFR1	1	0/1	0/1	1
PC2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB2OUT	Output	FT1	0/1	1	PCFR1	0/1	0/1	0/1	0
PC3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB0OUT	Output	FT1	0/1	1	PCFR1	0/1	0/1	0/1	0
PC4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	T16A0OUT	Output	FT1	0/1	1	PCFR1	0/1	0/1	0/1	0
PC5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB0IN	Input	FT1	0/1	0	PCFR1	0/1	0/1	0/1	1

9.1.2.4 PORT D

表 9-4 ポート D レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PDDATA	PDCR	PDFRn	PDOD	PDPUP	PDPDN	PDIE
PD0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB3OUT	Output	FT1	0/1	1	PDFR1	0/1	0/1	0/1	0
PD1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC0SCK	Input	FT1	0/1	0	PDFR1	0/1	0/1	0/1	1
		Output		0/1	1	PDFR1	0/1	0/1	0/1	0
PD2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC0RXD	Input	FT1	0/1	0	PDFR1	0/1	0/1	0/1	1
PD3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC0TXD	Output	FT1	0/1	1	PDFR1	0/1	0/1	0/1	0
PD4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB3IN	Input	FT1	0/1	0	PDFR1	0/1	0/1	0/1	1
PD5	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.2.5　PORT E

表 9-5 ポート E レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PEDATA	PECR	PEFRn	PEOD	PEPUP	PEPDN	PEIE
PE0	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PE1	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PE2	リセット後			0	1	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC2SCK	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
		Output		0/1	1	PEFR1	0/1	0/1	0/1	0
PE3	リセット後			0	1	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC2RXD	Input	FT1	0/1	0	PEFR1	0/1	0/1	0/1	1
PE4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC2TXD	Output	FT1	0/1	1	PEFR1	0/1	0/1	0/1	0
PE5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	INT5	Input	FT4	0/1	0		0/1	0/1	0/1	1
PE6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	INT4	Input	FT4	0/1	0		0/1	0/1	0/1	1
PE7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	INT3	Input	FT4	0/1	0		0/1	0/1	0/1	1

9.1.2.6 PORT F

表 9-6 ポート F レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PFDATA	PFCR	PFFRn	PFOD	PFPUP	PFPDN	PFIE
PF0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB7IN	Input	FT1	0/1	0	PFFR1	0/1	0/1	0/1	1
PF1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC3SCK	Input	FT1	0/1	0	PFFR1	0/1	0/1	0/1	1
		Output		0/1	1	PFFR1	0/1	0/1	0/1	0
PF2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC3RXD	Input	FT1	0/1	0	PFFR1	0/1	0/1	0/1	1
PF3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC3TXD	Output	FT1	0/1	1	PFFR1	0/1	0/1	0/1	0
PF4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB7OUT	Output	FT1	0/1	1	PFFR1	0/1	0/1	0/1	0
PF5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	T16A1OUT	Output	FT1	0/1	1	PFFR1	0/1	0/1	0/1	0
PF6	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PF7	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.2.7　PORT G

表 9-7 ポート G レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PGDATA	PGCR	PGFRn	PGOD	PGPUP	PGPDN	PGIE
PG0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC1SCK	Input	FT1	0/1	0	PGFR1	0/1	0/1	0/1	1
		Output		0/1	1	PGFR1	0/1	0/1	0/1	0
PG1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC1RXD	Input	FT1	0/1	0	PGFR1	0/1	0/1	0/1	1
PG2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC1TXD	Output	FT1	0/1	1	PGFR1	0/1	0/1	0/1	0
PG3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB1IN	Input	FT1	0/1	0	PGFR1	0/1	0/1	0/1	1
PG4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB1OUT	Output	FT1	0/1	1	PGFR1	0/1	0/1	0/1	0
PG5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB4OUT	Output	FT1	0/1	1	PGFR1	0/1	0/1	0/1	0
PG6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB5OUT	Output	FT1	0/1	1	PGFR1	0/1	0/1	0/1	0
PG7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB6OUT	Output	FT1	0/1	1	PGFR1	0/1	0/1	0/1	0

9.1.2.8　PORT H

表 9-8 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PHDATA	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
PH0	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PH1	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1

表 9-8 ポート H レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PHDATA	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PH2	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PH3	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PH4	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PH5	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PH6	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PH7	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.2.9 PORT J

表 9-9 ポート J レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PJDATA	PJCR	PJFRn	PJOD	PJPUP	PJPDN	PJIE
PJ0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC5SCK	Input	FT1	0/1	0	PJFR1	0/1	0/1	0/1	1
		Output		0/1	1	PJFR1	0/1	0/1	0/1	0
PJ1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC5RXD	Input	FT1	0/1	0	PJFR1	0/1	0/1	0/1	1
PJ2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	SC5TXD	Output	FT1	0/1	1	PJFR1	0/1	0/1	0/1	0
PJ3	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PJ4	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PJ5	リセット後		FT1	0	0	0	0	0	0	0

表 9-9 ポート J レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PJDATA	PJCR	PJFRn	PJOD	PJPUP	PJPDN	PJIE
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PJ6	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PJ7	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.2.10　PORT K

表 9-10 ポート K レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PKDATA	PKCR	PKFRn	PKOD	PKPUP	PKPDN	PKIE
PK0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB8IN	Input	FT1	0/1	0	PKFR1	0/1	0/1	0/1	1
PK1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB8OUT	Output	FT1	0/1	1	PKFR1	0/1	0/1	0/1	0
PK2	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PK3	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PK4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB6IN	Input	FT1	0/1	0	PKFR1	0/1	0/1	0/1	1
PK5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB5IN	Input	FT1	0/1	0	PKFR1	0/1	0/1	0/1	1
PK6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB4IN	Input	FT1	0/1	0	PKFR1	0/1	0/1	0/1	1

9.1.2.11 PORT L

表 9-11 ポート L レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PLDATA	PLCR	PLFRn	PLOD	PLPUP	PLPDN	PLIE
PL0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB9IN	Input	FT1	0/1	0	PLFR1	0/1	0/1	0/1	1
PL1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB9OUT	Output	FT1	0/1	1	PLFR1	0/1	0/1	0/1	0
PL2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	I2C1SCL	I/O	FT1	0/1	1	PLFR1	1	0/1	0/1	1
PL3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	I2C1SDA	I/O	FT1	0/1	1	PLFR1	1	0/1	0/1	1
PL4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	TB2IN	Input	FT1	0/1	0	PLFR1	0/1	0/1	0/1	1
PL5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	T16A3OUT	Output	FT1	0/1	1	PLFR1	0/1	0/1	0/1	0
PL6	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.2.12 PORT M

表 9-12 ポート M レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PMDATA	PMCR	PMFRn	PMOD	PMPUP	PMPDN	PMIE
PM0	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PM1	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
PM2	リセット後		FT1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0

9.1.2.13　PORT N

表 9-13 ポート N レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				PNDATA	PNCR	PNFRn	PNOD	PNPUP	PNPDN	PNIE
PN0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0		0/1	0/1	0/1	1
	Output Port	Output		0/1	1		0/1	0/1	0/1	0
	T16A2OUT	Output	FT1	0/1	1	PNFR1	0/1	0/1	0/1	0

9.1.3 ポート回路図

9.1.3.1 ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は「ポート部等価回路図」で記されている等価回路の範囲を示します。

表 9-14 機能一覧

Type	機能入出力 入出力	Pull-up	Pull-down	アナログ
FT1	入出力	R	R	−
FT4	入力 (INT)	R	R	−
FT5	入力(AIN)	R	R	o
FT6	入力($\overline{\text{BOOT}}$)	EnR	R	−

int: 割り込み入力
−: なし
o: 有り
R: リセット中は強制的に禁止
EnR: リセット中は強制的に許可

9.1.3.2　タイプ FT1

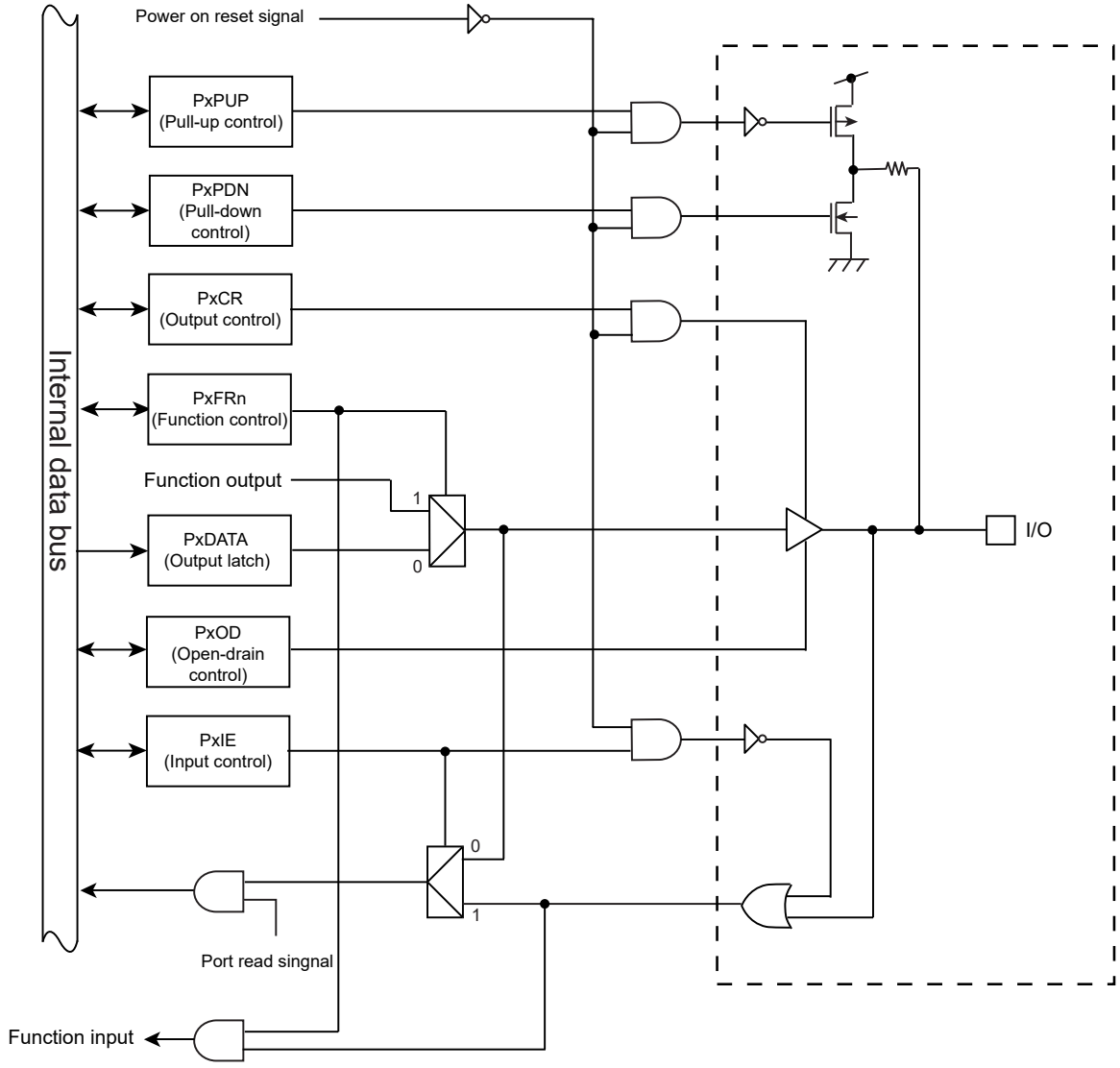


図 9-1 ポートタイプ FT1

9.1.3.3 タイプ FT4

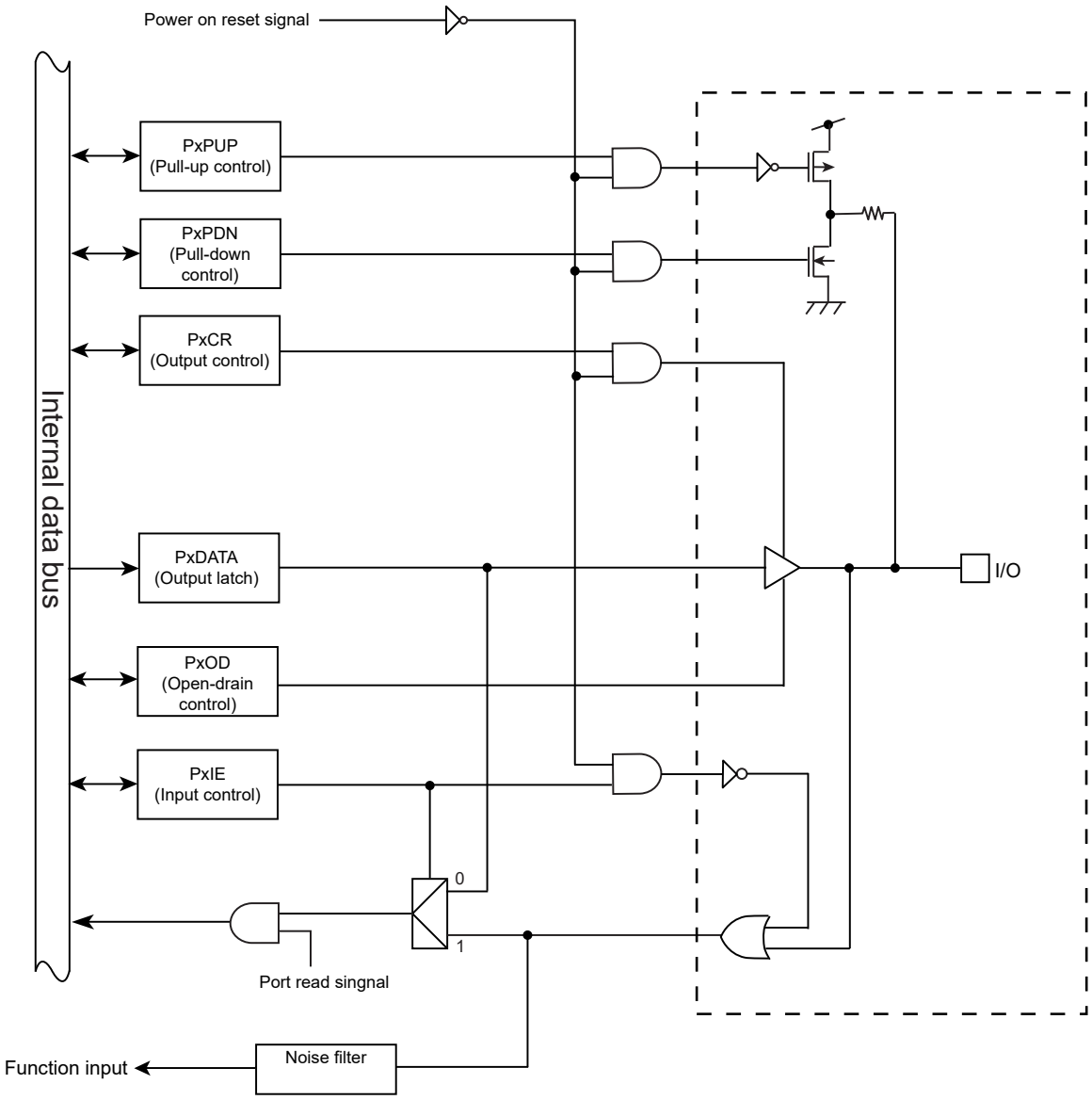


図 9-2 ポートタイプ FT4

9.1.3.4　タイプ FT5

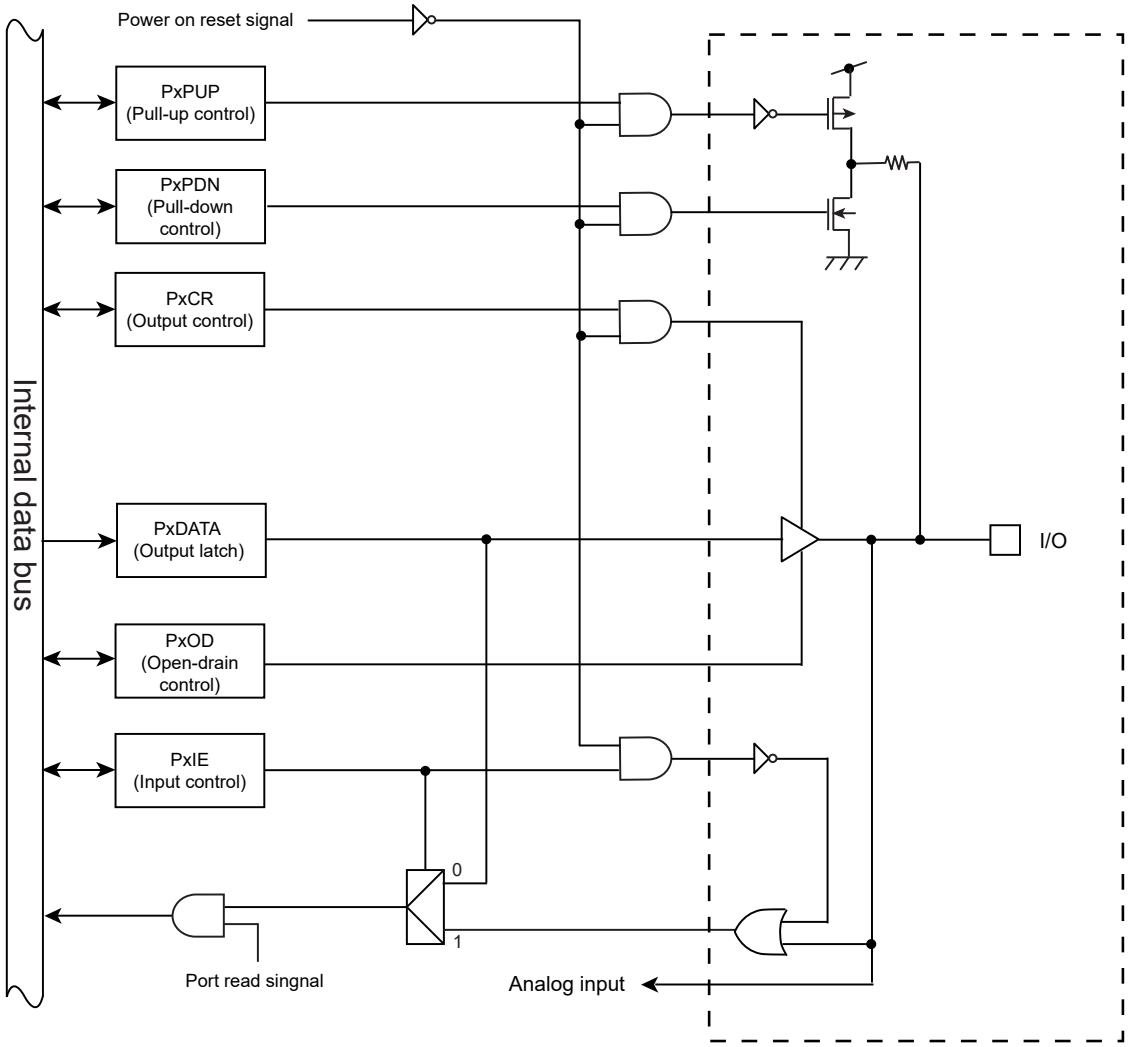


図 9-3 ポートタイプ FT5

9.1.3.5 タイプ FT6

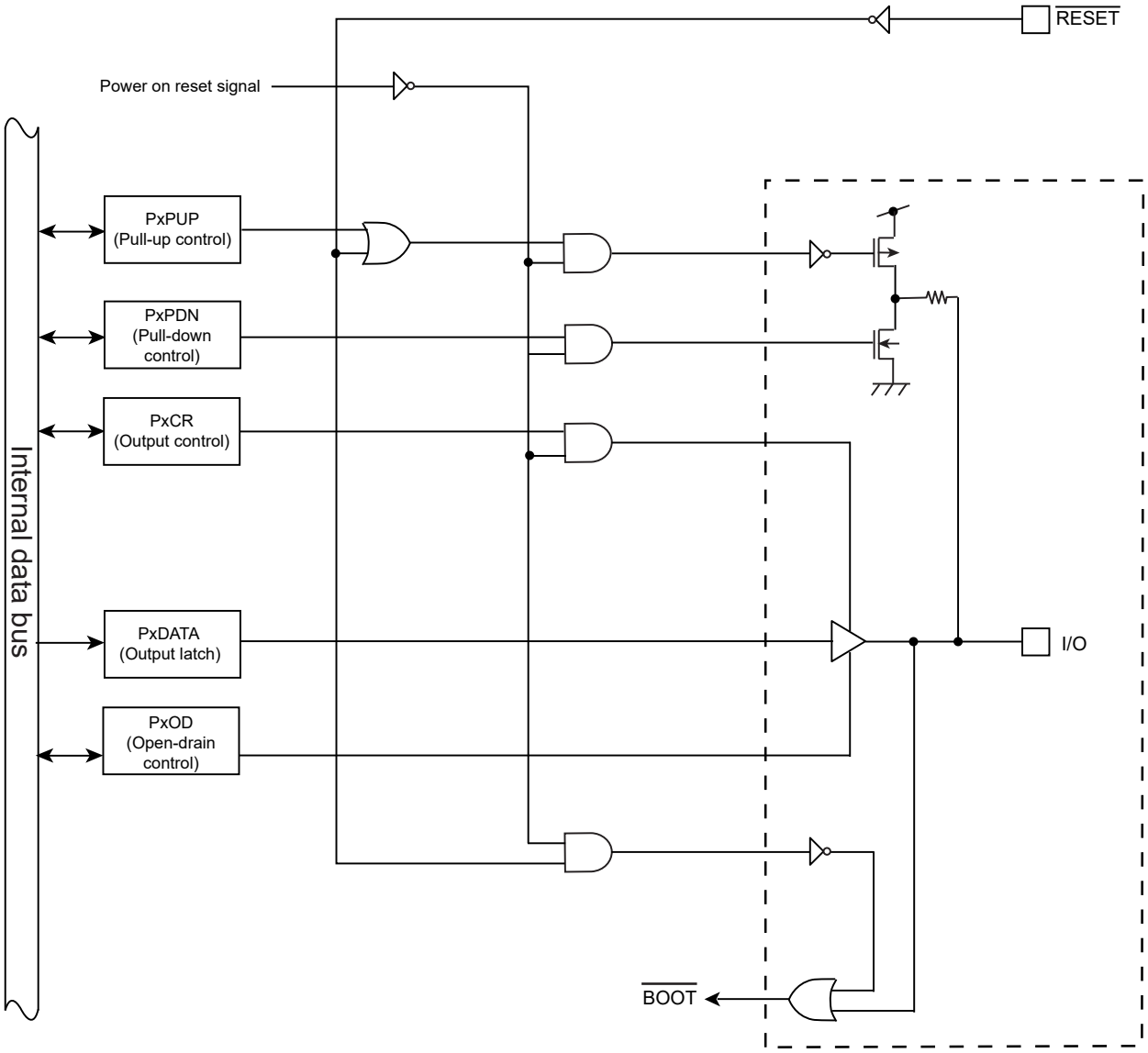


図 9-4 ポートタイプ FT6

第 10 章　16 ビットタイマ/イベントカウンタ(TMRB)

10.1　概要

TMRB は、次の動作モードをもっています。

- インタバルタイマモード
- イベントカウンタモード
- プログラマブル矩形波出力 (PPG) モード
- プログラマブル矩形波出力 (PPG) 外部トリガ出力モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 周波数測定
- パルス幅測定

10.2　構成

TMRB は、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

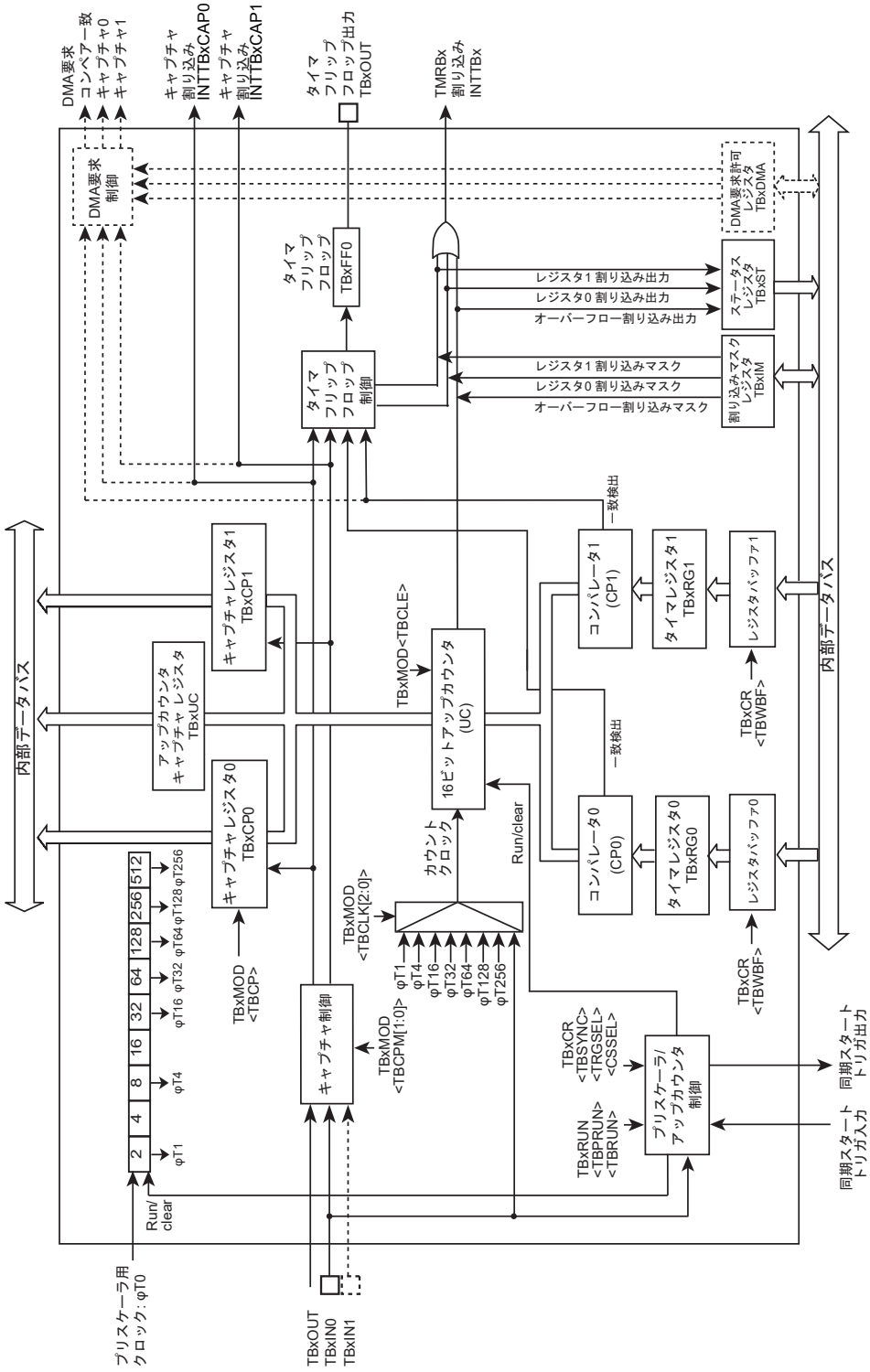


図 10-1 TMRB ブロック図

10.3 レジスタ説明

10.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C
DMA 要求許可レジスタ	TBxDMA	0x0030

注) タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施して下さい。

10.3.2　TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行ないます。
5-0	–	R	リードすると"0"が読めます。

10.3.3 TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
1	−	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

10.3.4　TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	TBSYNC	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6	−	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャネルごと) 1: 同期動作
4	−	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLE 時の動作 0: 停止 1:動作
2	−	R/W	"0"を書いてください。
1	TRGSEL	R/W	外部トリガエッジ選択 0: 立ち上がり 1:立ち下がり 外部トリガ(TBxIN)でのカウントスタート選択時のカウントスタートのエッジを選択します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1:外部トリガ

10.3.5 TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	TBCPM		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care "0"を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	TBCPM[1:0]	R/W	キャプチャタイミング 00: ディセーブル 01: Reserved 10: TBxIN↑ TBxIN↓ TBxIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 11: TBxFF0↑ TBxFF0↓ TBxFF0 の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、TBxFF0 の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込みます。
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1 (TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 000: TBxIN 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注) TMRBx が動作中に、TBxMOD レジスタの設定変更を行なわないでください。

10.3.6　TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care リードすると"11" が読めます。

10.3.7 TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフロー割り込み要求フラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致(TBxRG1)割り込み要求フラグ 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致(TBxRG0)割り込み要求フラグ 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。
注 2) TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。
注 3) フラグをクリアするためには TBxST をリードしてしてください。

10.3.8　TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致(TBxRG1)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　TBxRG1 との一致割り込み要求をマスクする／しないを設定します。
0	TBIM0	R/W	一致(TBxRG0)割り込み要求マスク 0:割り込み要求をマスクしない 1:割り込み要求をマスクする 　TBxRG0 との一致割り込み要求をマスクする／しないを設定します。

注)　TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

10.3.9 TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ値をキャプチャした値 カウンタ動作中に TBxUC をリードすると、アップカウンタの値をキャプチャします。

10.3.10　TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

10.3.11　TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

10.3.12 TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

10.3.13 TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

10.3.14　TBxDMA(DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBDMAEN2	TBDMAEN1	TBDMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBDMAEN2	R/W	DMA 要求選択:コンパレータ 1 (CP1)一致検出 0:禁止 1:許可
1	TBDMAEN1	R/W	DMA 要求選択:インプットキャプチャ 1 0:禁止 1:許可
0	TBDMAEN0	R/W	DMA 要求選択:インプットキャプチャ 0 0:禁止 1:許可

注 1)　TBxIM レジスタで割り込みをマスク設定している場合、DMA 要求を許可しても要求は発生しません。
注 2)　DMA 要求要因の割り当てはチャネル毎に異なります。詳細は「製品情報」の章を参照ください。

10.4 動作説明

10.4.1 プリスケーラ

アップカウンタのソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。

10.4.2 アップカウンタ(UC)

16 ビットのバイナリカウンタです。

10.4.2.1 ソースクロック

ソースクロックは TBxMOD<TBCLK[2:0]>で設定することができます。

プリスケーラ出力クロック φT1, φT4, φT16, φT32, φT64, φT128, φT256 または、TBxIN 入力のいずれかを選択できます。

10.4.2.2 動作開始と停止

カウンタのスタート方法には、ソフトスタート、外部トリガスタート、同期スタートがあります。

1. ソフトスタート

   <TBRUN> に "1"を設定することでカウントを開始します。"0"でカウント停止と同時にアップカウンタのクリアを行います。

2. 外部トリガスタート

   外部トリガカウントスタートモードでは、外部信号でタイマのカウントスタートが可能となります。

   TBxCR<CSSEL>に"1"を設定することで外部トリガスタートモードとなります。この状態で、<TBRUN>に"1"を設定するとトリガ待ち状態となり、TBxIN の立ちあがりまたは立ち下がりでカウントを開始します。

   TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

   - <TRGSEL> = "0"：TBxIN の立上りエッジが選択されます。
   - <TRGSEL> = "1"：TBxIN の立下がりエッジが選択されます。

   <TBRUN> に "0"を設定することでカウント停止と同時にアップカウンタのクリアを行います。

3. 同期スタート

   タイマ同期モードでは、タイマ間のスタートの同期を取ることが可能となります。PPG 出力モードにてタイマ同期モードを使用することによりモータ等の駆動に応用が可能です。

製品によってマスタとなるチャネルとスレーブとなるチャネルの組み合わせは決まっています。本製品でのマスタとスレーブの組み合わせは「製品情報」の章を参照ください。

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。スレーブチャネルの<TBSYNC>ビットに "1"を設定するとマスタチャネルのソフトウエアまたは外部トリガによるスタートに同期してカウント開始および停止します。スレーブチャネルの TBxRUN <TBPRUN, TBRUN>ビットの設定は不要です。マスタチャネルの<TBSYNC>ビットは"0"を設定してください。

なお、外部トリガカウントモードとタイマ同期モードが同時に設定されている場合は、タイマ同期モードが優先されます。

10.4.2.3　カウンタのクリア

アップカウンタは以下のタイミングでクリアされます。

1. TBxRG1 との一致時

   TBxMOD<TBCLE> = "1"に設定することで、アップカウンタと TBxRG1 との一致でカウンタをクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2. アップカウンタ停止時

   TBxRUN<TBRUN> = "0"に設定すると、アップカウンタが停止するとともにクリアされます。

10.4.2.4　オーバフロー

アップカウンタがオーバフローすると、オーバフロー割り込み INTTBx が発生します。

10.4.3　タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタと比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、タイマレジスタはレジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、 <TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、アップカウンタと TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、 ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値が書き込まれます。

10.4.4　キャプチャ制御

アップカウンタの値をキャプチャレジスタ TBxCP0、TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができます。TBxMOD<TBCP> に "0" を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタ TBxCP0 へキャプチャします。

10.4.5 キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタの値をキャプチャするレジスタです。

10.4.6 アップカウンタキャプチャレジスタ(TBxUC)

カウンタ動作中に TBxUC レジスタをリードすると、アップカウンタの現在のカウント値がキャプチャされその値が読みだされます。カウント停止中は最後にキャプチャした値が保持されます。

10.4.7 コンパレータ(CP0, CP1)

アップカウンタと、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

10.4.8 タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアされます。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行ってください。

10.4.9 キャプチャ割り込み(INTTBxCAP0, INTTBxCAP1)

キャプチャレジスタ TBxCP0, TBxCP1 にアップカウンタの値をラッチするタイミングで割り込み INTTBxCAP0, INTTBxCAP1 をそれぞれ発生します。

10.4.10 DMA 要求

一致割り込みまたはキャプチャ割り込み発生のタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行なう場合は TBxDMA レジスタの該当ビットで許可の設定を行なってください。

注) TBxIM レジスタで割り込みをマスク設定している場合、DMA 要求を許可しても要求は発生しません。

10.5　モード別動作説明

10.5.1　インタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx を起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。
TBxMOD	←	X	1	0	0	0	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
							(*** = 001 ~ 111)			
TBxRG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。
	←	*	*	*	*	*	*	*	*	
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します

注)　X; Don’t care、*; 任意の値、-; Don't change

10.5.2　イベントカウンタモード

入力クロックを外部クロック(TBxIN 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx を起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
該当ポートを TBxIN に割り付けます。										
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。
TBxMOD	←	X	1	0	0	0	0	0	0	入力クロックを TBxIN にします。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
TBxMOD	←	X	0	-	-	-	-	-	-	ソフトウエアキャプチャを行います。

注)　X; Don’t care、*; 任意の値、-; Don't change

10.5.3 PPG (プログラマブル矩形波)出力モード

任意周波数、任意デューティの矩形波を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF0) に反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。

ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

TBxRG0 設定値 < TBxRG1 設定値

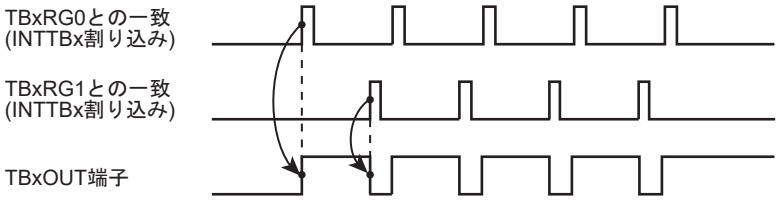


図 10-2 プログラマブル矩形波(PPG)出力波形例

16 ビット PPG モードでは、ダブルバッファをイネーブルにすることにより、アップカウンタと TBxRG1 との一致で、レジスタバッファ 0/1 の値が TBxRG0/1 へ転送されます。

これにより、TBxRG0/1 の更新タイミングを意識せずに、周波数、デューティを変更することができます。

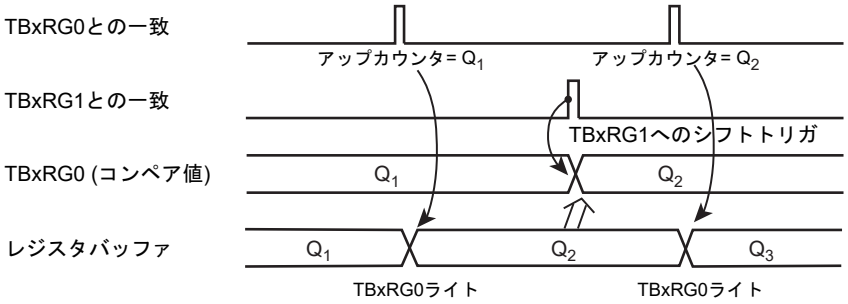


図 10-3 レジスタバッファの動作

このモードのブロック図を示します。

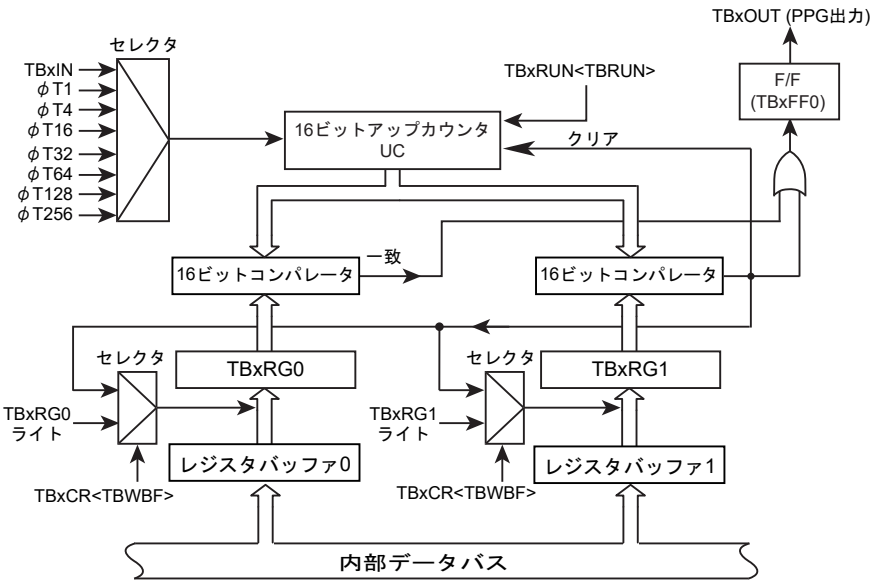


図 10-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx を起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxCR	←	1	0	X	X	X	0	X	X	ダブルバッファをイネーブルします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティを設定します。
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	周期を設定します。
	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。TBxFF0 を TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	X	1	0	0	1	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
							(*** = 001 ~ 111)			
該当ポートを TBxOUT に割り付けます。										
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します

注)　X; Don't care、*; 任意の値、-; Don't change

10.5.4 プログラマブル矩形波(PPG)外部トリガ出力モード

PPG(プログラマブル矩形波)出力モードを外部トリガカウントスタートモードで動作させることで、ソフトウエアでは処理が間に合わない短いディレイタイムの PPG 波形を出力することができます。

外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり）の例を以下に示します。

16 ビットアップカウンタが停止している状態で、TBxIN 端子の立ち上がりでカウントアップするように TBxCR<CSSEL>を"1"に TBxCR<TRGSEL>を"0"に設定しておきます。

TBxRG0 には、外部トリガからのディレイタイム(d)を設定します。TBxRG1 にはディレイタイム(d)とワンショットパルスの幅(p)を加算した値(d)+(p)を設定します。

TBxFF0 をアップカウンタと TBxRG0/1 との一致で反転するように TBxFFCR<TBE1T1>、<TBE0T1>を"1"にセットします。

TBxRUN<TBPRUN>、<TBRUN>を"1"にセットし、アップカウンタをスタートできる状態にします。

この状態で、TBxIN に外部トリガパルスが入力されると、外部トリガパルスの立ち上がりで、アップカウンタがスタートします。アップカウンタの値が(d)になると TBxRG0 と一致し、TBxFF0 が反転、"High"レベルになります。アップカウンタの値が(d)+(p)になると TBxRG1 と一致し、TBxFF0 が反転、"Low"レベルになります。

アップカウンタの値が TBxRG1 と一致したときに発生する INTTBx で TBxFF0 が変化しないように TBxFFCR<TBE1T1>、<TBE0T1>を"0"にクリアするか、TBxRUN<TBPRUN><TBRUN>でアップカウンタの動作を停止します。

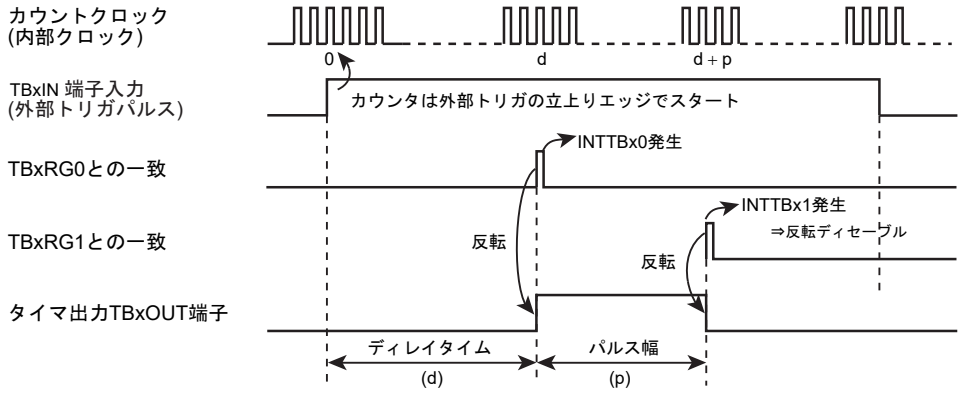


図 10-5 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

TBxIN 端子の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]										
該当ポートを TBxIN に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx を起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(3ms/φT1)
TBxRG0	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。((3+2)ms/φT1)
TBxRG1	←	*	*	*	*	*	*	*	*	
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。TBxFF0 を TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	X	1	0	0	1	0	0	1	ソースクロックを φT1 にします。キャプチャ機能ディセーブルにします。
該当ポートを TBxOUT に割り付けます。										
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します。
[INTTBx 割り込みサービスルーチンでの処理]										
TBxFFCR	←	X	X	−	−	0	0	−	−	TBxFF0 反転トリガ設定をディセーブルにします。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。

注)　X; Don’t care、*; 任意の値、-; Don't change

10.6 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、多くの応用が可能です。

以下にキャプチャを利用した応用例を示します。

1. 周波数測定
2. パルス幅測定

10.6.1 周波数測定

外部から入力されるクロックの周波数測定を行う例を示します。

ここでは TMRBm を 16 ビットインターバルタイマで、TMRBn を 16 ビットイベントカウンタモードで使用します。

TMRBn の 16 ビットアップカウンタを外部から入力されるクロックにてフリーランニングでカウントアップさせておくため、TBnMOD<TBCLK>を"000"に、TBnRUN<TBPRUN>、<TBRUN>を"1"に設定します。

TBmFF0 が TBmRG0/1 と一致したときに反転するように TBmFFCR<TBE1T1>、<TBE0T1>を"1"に設定します。

TBmFF0 の立ち上がりで TBnCP0 にアップカウンタの値を取り込み、TBmFF0 の立下りで TBnCP1 でアップカウンタの値を取り込むように TBnMOD<TBCPM[1:0]>を"11"に設定します。

TBmRG0 と TBmRG1 に外部クロック数をカウントする測定時間を設定し、TMRBm を動作させます。

TMRBm のアップカウンタが TBmRG0 と一致すると TBmFF0 が立ち上がり、TBnCP0 に TMRBn のアップカウンタの値が取り込まれます。また、TMRBm のアップカウンタが TBmRG1 と一致すると TBmFF0 が立ち下がり、TBnCP1 に TMRBn のアップカウンタの値が取り込まれます。

周波数は INTTBm で、(TBnCP1-TBnCP0)を TBmRG1 と TBmRG0 の時間差で割ることで求めます。

例えば、TBmRG1 と TBmRG0 の時間差が 0.5 s で、TBnCP0 と TBnCP1 の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

TBmFF0 の変化タイミングにより、TBnCP1-TBnCP0 がマイナスになることがあります。TBnCP1-TBnCP0 の値にあわせて補正を行ってください。

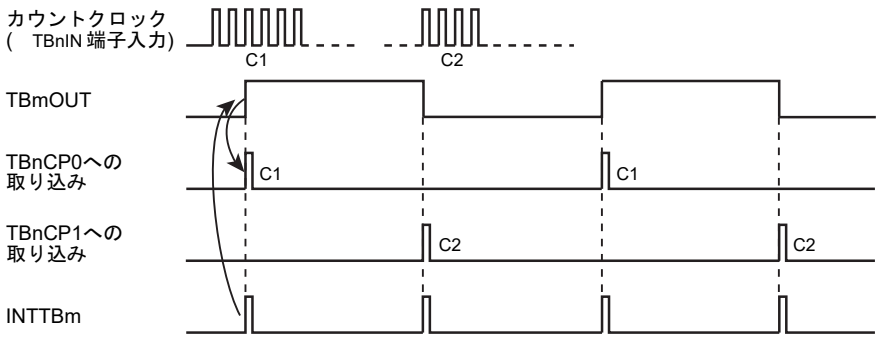


図 10-6 周波数測定

TBxIN 端子に周波数測定を行うパルスを入力した場合の設定例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBmFF0 でのキャプチャ設定										
該当ポートを TBxIN に割り付けます。										
TBmEN	←	1	X	X	X	X	X	X	X	TMRBm モジュールを起動します。
TBmRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBnEN	←	1	X	X	X	X	X	X	X	TMRBn モジュールを起動します。
TBnRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBmCR	←	1	X	X	X	X	X	X	X	ダブルバッファをイネーブルします。
TBmRG0	←	*	*	*	*	*	*	*	*	外部クロック測定時間 1 を設定します。
	←	*	*	*	*	*	*	*	*	
TBmRG1	←	*	*	*	*	*	*	*	*	外部クロック測定時間 2 を設定します。
	←	*	*	*	*	*	*	*	*	
TBmFFCR	←	X	X	0	0	1	1	1	0	TBmFF0 を TBmRG0, TBmRG1 との一致検出で反転するように設定します。TBmFF0 を TBmCP0, TBmCP1 の取り込みで反転しないように設定します。また、TBmFF0 の初期値を "0" にします。
TBnMOD	←	X	1	1	1	0	0	0	0	TBmFF0 の立ち上がり/立下りでアップカウンタの内容を取り込み、アップカウンタのクリアディセーブル、入力クロックを TBxIN にします。
TBmIM	←	X	X	X	X	X	1	0	1	TBmRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBm 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBnRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
TBmRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します
[INTTBm 割り込みサービスルーチンでの処理]										
TBmFFCR	←	X	X	−	−	0	0	−	−	TBmFF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTB m割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBnCP0/1 を読み出し、周波数を計算します。										

注)　m, n; 任意のチャネル番号、 X; Don’t care、*; 任意の値、-; Don't change

10.6.2 パルス幅測定

外部から入力されるパルスの"High"レベル幅測定を行う例を示します。

TBxIN 端子の立ち上がりでアップカウンタの値を TBxCP0 に、立下りで TBxCP1 に取り込むように TBxMOD<TBCPM[1:0]>を"10"に設定します。

割り込み INTTBxCAP1 を許可しておきます。

TMRBx を動作させます。

TBxIN 端子に外部パルスの立ち上がりが入力されると、TBxCP0 にアップカウンタの値が取り込まれます。TBxIN 端子に外部パルスの立下りが入力されると TBxCP1 にアップカウンタの値が取り込まれるとともに割り込み INTTBxCAP1 が発生します。

割り込みサービスルーチンの中で TBxCP1 と TBxCP0 の差を求め、プリスケーラ出力クロックの周期をかけることで、外部パルスの"High"レベル幅を求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、アップカウンタの最大カウント時間を越えるパルス幅の測定を行う場合は、補正を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、割り込み INTTBxCAP0 も許可し、「図 10-7 パルス幅測定」における、2 回目の INTTBxCAP0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

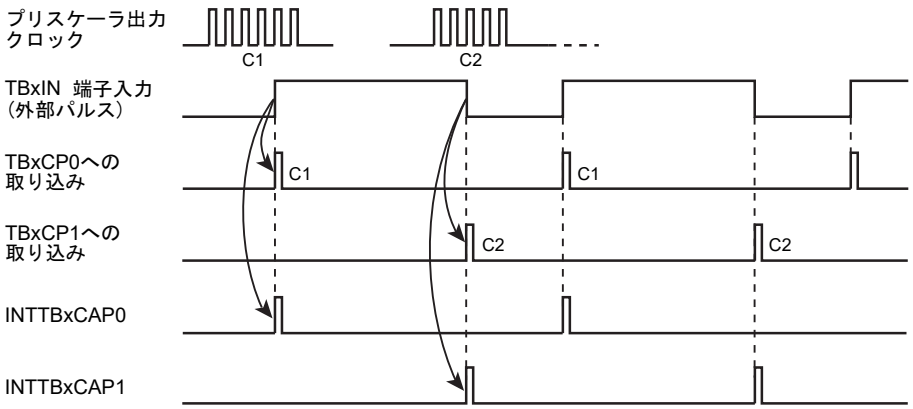


図 10-7 パルス幅測定

TBxIN 端子に入力される外部パルスの"High"レベル幅を測定する例を以下に示します。ここではソースクロックに φT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN でのキャプチャ設定										
該当ポートを TBxIN に割り付けます。										
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx を起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	プリスケーラとカウンタ動作を停止します。
TBxFFCR	←	X	X	0	0	0	0	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出と TBxCP0, TBxCP1 の取り込みで反転しないように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	X	1	1	0	0	0	0	1	ソースクロックを φT1 にし、TBxIN 端子への立ち上がりで TBxCP0 へ、TBxIN 端子への立下りで TBxCP1 へアップカウンタ値を取り込みます。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	X	X	X	X	X	1	X	1	プリスケーラとカウンタ動作を起動します。
[INTTBxCAP1 割り込みサービスルーチンでの処理]　"High"レベル幅を計算する。										
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTBxCAP1 割り込みに対応するビットを"1"にし、割り込みを禁止します。
TBxRG0/1 の値を読み出し、"High"レベル幅を計算します。										

注)　X; Don’t care、*; 任意の値、-; Don't change

第 11 章　16 ビットタイマ A (TMR16A)

11.1　概要

TMR16A には以下の機能があります。

- 一致割り込み
- 矩形波出力
- リードキャプチャ

以下の説明中、"x"はチャネル番号を表します。

11.2　構成

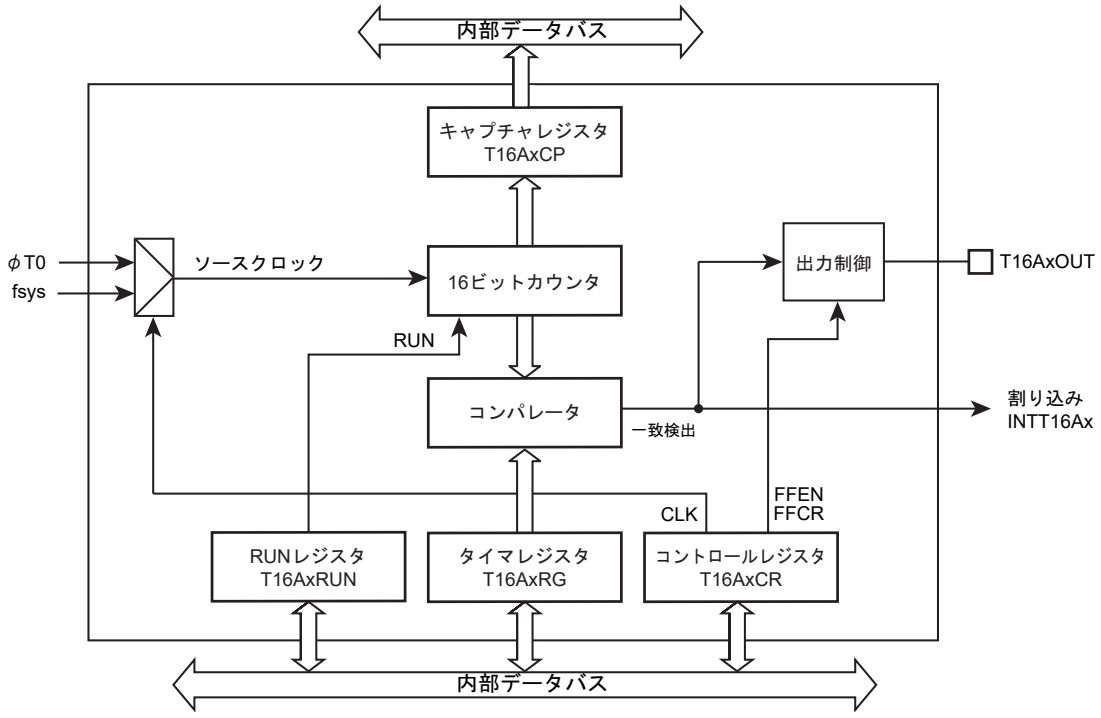


図 11-1 TMR16A ブロック図

11.3　レジスタ説明

11.3.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
イネーブルレジスタ	T16AxEN	0x0000
RUN レジスタ	T16AxRUN	0x0004
コントロールレジスタ	T16AxCR	0x0008
タイマレジスタ	T16AxRG	0x000C
キャプチャレジスタ	T16AxCP	0x0010

注)　T16ARUN<RUN>が"1"の状態で T16AxEN、T16AxCR、T16AxRG、T16AxCP の書き換えをしないでください。

11.3.2　レジスタ詳細

11.3.2.1　T16AxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HALT	I2T16A
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	HALT	R/W	デバッグホールト中の動作 0: 動作 1: 停止 デバッグホールト中の動作を指定します。"1"を設定するとデバッグホールトにより動作を停止します。
0	I2T16A	R/W	IDLE モード中の動作 0: 停止 1: 動作 IDLE モード中の動作を指定します。"1"を設定することで IDLE モード中も動作を継続します。

11.3.2.2 T16AxRUN (RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	RUN	R/W	カウンタ動作 0: 停止 1: 動作

11.3.2.3 T16AxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	UCCR	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	FFEN	-	FFCR		-	-	-	CLK
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15	UCCR	R/W	"1"をライトしてください。
14-8	−	R	リードすると"0"が読めます。
7	FFEN	R/W	T16AxOUT の反転 0: 禁止 1: 許可 "1"を設定すると、カウンタと T16ARG との一致により T16AxOUT を反転します。
6	−	R	リードすると"0"が読めます。
5-4	FFCR[1:0]	W	T16AxOUT の制御 00: Invert 01: Set 10: Clear 11: No operation このビットに書き込むことで、ソフトウエアにより T16AxOUT を制御できます。 このビットはリードすると"11"が読めます。
3-1	−	R	リードすると"0"が読めます。
0	CLK	R/W	ソースクロック 0: fsys 1: ΦT0 ソースクロックを選択します。

11.3.2.4　T16AxRG (タイマレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RG[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RG[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	RG[15:0]	R/W	カウンタと比較する値を設定します。

注)　"0x0000"は設定できません。

11.3.2.5 T16AxCP (キャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CP[15:8]							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CP[7:0]							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	CP[15:0]	R/W	カウンタ値 [リード] 現在のカウンタの値が読めます。 [ライト] カウンタ値を設定します。カウンタは、T16AxRG<RG>との一致でのみクリアされますので、動作開始前に"0x0000"をライトしてクリアしてください。

11.4　動作説明

11.4.1　タイマ動作

1. 準備

   T16AxCR<UCCR>に"1"を設定します。

   T16AxCR<CLK>でソースクロックを選択します。"0"で fsys、"1"で ΦT0 が選択されます。T16AxRG<RG>にカウント値を設定します。

2. カウンタ動作

   カウンタ動作開始前に T16AxCP<CP>に"0x0000"を設定してカウンタをクリアします。

   T16AxRUN<RUN>に"1"を設定するとカウントアップを開始します。カウンタの値と T16AxRG<RG>に設定された値が一致すると、カウンタは"0x0000"にクリアされ、カウントアップを継続します。

3. 一致割り込みの発生

   カウンタの値と T16AxRG の値が一致すると一致割り込み INTT16Ax を出力します。

4. 停止

   T16AxRUN<RUN>に"0"を設定するとカウントを停止します。カウンタの値はそのまま保持します。次にカウント動作を開始(<RUN>に"1"を設定) する前にカウンタをクリアしてください。

注) T16AxCR、T16AxRG、T16AxCP の書き換えは、カウンタの停止中(T16AxRUN<RUN>が"0")に行ってください。

11.4.2　T16AxOUT の制御

T16AxOUT はレジスタ設定またはカウンタと T16AxRG との一致により変化します。

T16AxOUT の初期状態は"0"です。

1. ソフトウエアによる制御

   T16AxCR<T16AFFC>の設定により"1"セット、"0"クリア、反転が可能です。

   T16AxCR の書き換えは、カウンタの停止中(T16AxRUN<RUN>が"0")に行ってください。

2. カウンター致による反転

   T16ACR<FFEN>を"1"にすることにより、T16AxRG とカウント値の一致で T16AxOUT が反転します。カウンタが停止した際は、T16AxOUT の状態は保持されます。

11.4.3　リードキャプチャ

T16AxCP を読み出すことにより、カウンタの現在の値をキャプチャすることができます。

11.4.4 自動停止

T16AxEN の設定により、以下の場合に TMR16A を自動停止することができます。

1. IDLE モード遷移時

   T16AEN<I2T16A>の設定により、IDLE モード中の TMR16A の動作を指定します。

   "1"の設定で、IDLE モードに遷移すると自動的にカウントアップを停止します。IDLE モードから元のモードへ遷移するとカウントアップを再開します。

2. デバッグホールト中

   T16AEN<HALT>の設定により、コアがデバッグホールト状態での TMR16A の動作を指定します。

   "0"の設定で、デバッグホールトに遷移すると自動的にカウントアップを停止します。コアのデバッグホール状態が解除されるとカウントアップを再開します。

第 12 章　4 バイト FIFO 付きシリアルチャネル(SIO/UART)

12.1　概要

シリアルチャネル(SIO/UART)は次の動作モードを持っています。

- 同期通信モード(I/O インタフェースモード)
- 非同期通信モード(UART モード)

特長は以下のとおりです。

- 転送クロック
  - プリスケーラでペリフェラルクロック(φT0)を 1/1、1/2、1/4、1/8、1/16、1/32、1/64、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能

    (UART モードのみ)
  - システムクロック(fsys)を使用可能(UART モードのみ)
- バッファ
  - ダブルバッファ構成で使用可能
  - 送信バッファのクリアが可能
- FIFO

  送受信合わせて 4 バイトの FIFO を使用可能
- I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインターバル時間設定が可能
  - 最終ビット出力後の SCxTXD 端子の状態を下記から選択可能

    "High"保持/"Low"保持/最終ビット保持
  - クロック入力モード時、アンダーランエラーが発生したときの SCxTXD 端子の状態を下記から選択可能

    "High"保持/"Low"保持
  - クロック入力モード時、SCxTXD 端子の最終ビットホールド時間を設定可能
- UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{SCxCTS}}$ 端子を用いたハンドシェイク機能
  - SCxRXD 端子へのノイズキャンセラ付加

以下の説明中、"x"はチャネル番号をあらわします。

12.2　構成

下記にシリアルチャネルとシリアルクロック生成回路のブロック図を示します。

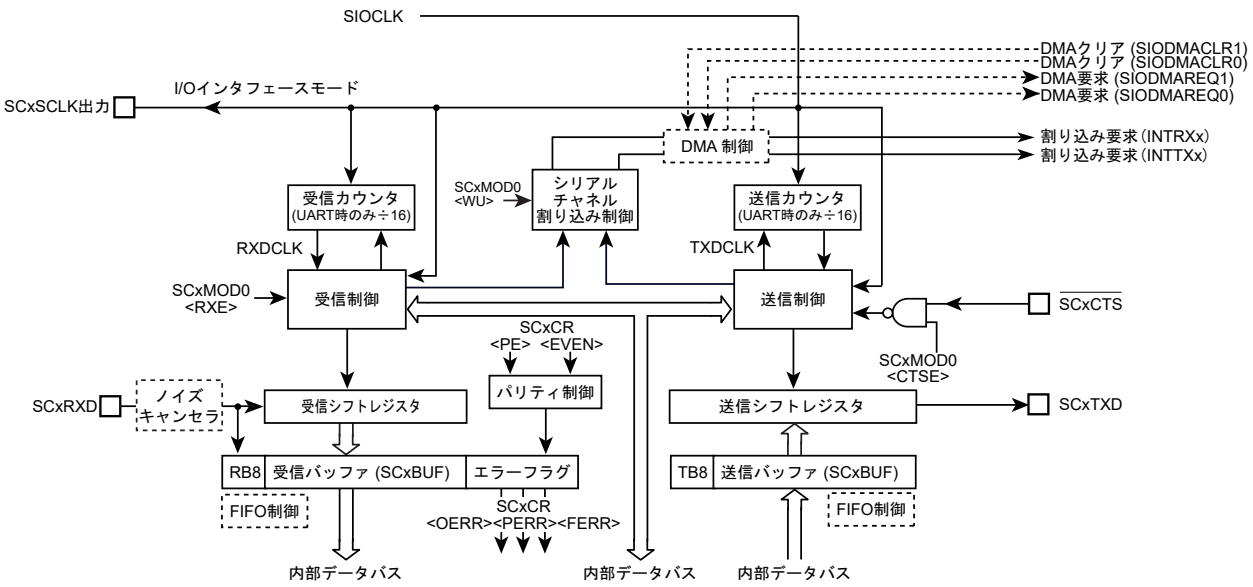


図 12-1 シリアルチャネルブロック図

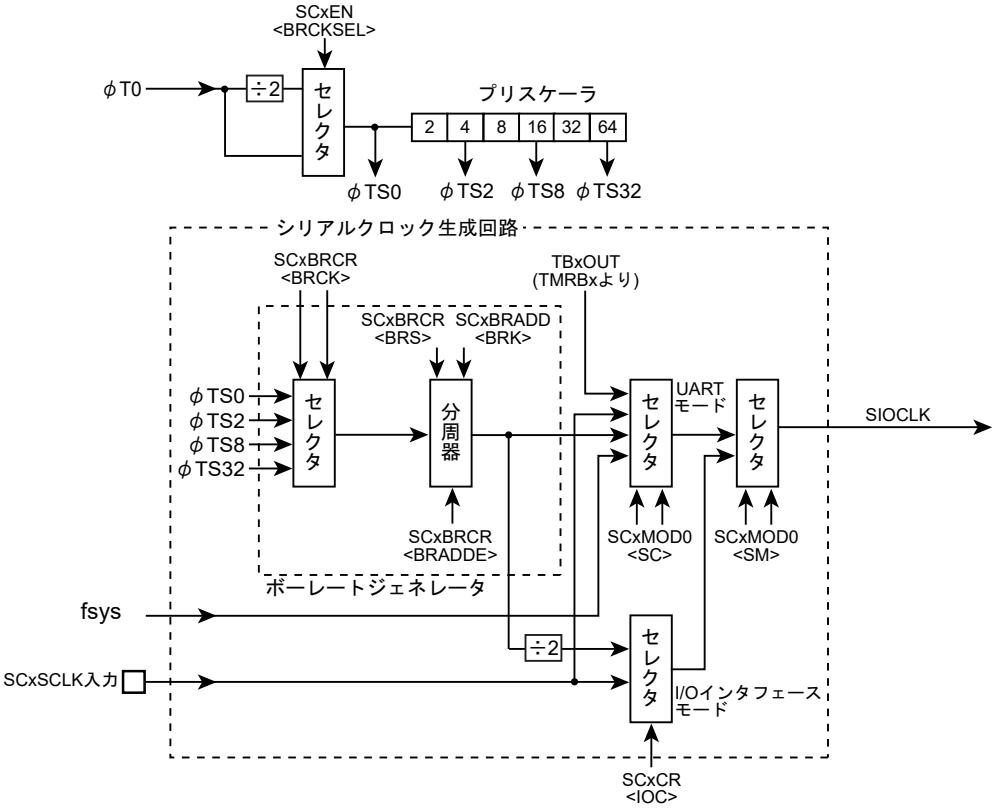


図 12-2 シリアルクロック生成回路ブロック図

12.3 レジスタ説明

12.3.1 レジスター覧

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address (Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030
DMA 要求許可レジスタ	SCxDMA	0x0034

注) 送信中、受信中にコントロールレジスタを書き換えないでください。

12.3.2　SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	BRCKSEL	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	BRCKSEL	R/W	プリスケーラの入力クロックを選択します。 0: φT0/2 1: φT0
0	SIOE	R/W	シリアルチャネル動作 0: 禁止 1: 動作 シリアルチャネルの動作を指定します。シリアルチャネルを使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除くシリアルチャネルのすべてのクロックが停止しますので消費電力の低減が可能です。 シリアルチャネルを一旦動作させた後に動作禁止にした場合は、レジスタの設定は保持されます。

12.3.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファまたは FIFO [リード] RB：受信用バッファまたは FIFO

12.3.4　SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	EHOLD			-	TXDEMP	TIDLE	
リセット後	0	0	0	0	0	1	1	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-15	−	R	リードすると"0"が読めます。
14-12	EHOLD[2:0]	R/W	クロック入力モードの SCxTXD 端子の最終ビットホールド時間の設定(I/O インタフェースモードのみ有効) 最終ビットのホールド時間 ≤ SCLK 周期/2 となるように、最終ビットのホールド時間、SCLK 周期を設定してください。 000: 2/fsys　100: 32/fsys 001: 4/fsys　101: 64/fsys 010: 8/fsys　110: 128/fsys 011: 16/fsys　111: Reserved
11	−	R	リードすると"0"が読めます。
10	TXDEMP	R/W	クロック入力モード時、アンダーランエラーが発生したときの SCxTXD 端子の状態選択(I/O インタフェースモードのみ有効) 0: "Low"出力 1: "High"出力
9-8	TIDLE[1:0]	R/W	最終ビット出力後の SCxTXD 端子の状態選択(I/O インタフェースモードのみ有効) <TIDLE[1:0]>="10"を設定したときには、<EHOLD[2:0]>="000"を設定してください。 00: "Low"出力保持 01: "High"出力保持 10: 最終ビット保持 11: Reserved
7	RB8	R	受信データビット 8 (UART モードのみ有効) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART モードのみ有効) パリティの条件を設定します。パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。 0: Odd 1: Even
5	PE	R/W	パリティ付加(UART モードのみ有効) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダーランエラー (注) 0: エラーではない 1: エラー

Bit	Bit Symbol	Type	機能
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) クロック出力モードのときは"0"を設定してください。 0: SCxSCLK 端子の立ち下がりエッジで送信バッファのデータを 1bit ずつ SCxTXD 端子へ出力します。 SCxSCLK 端子の立ち上がりエッジで SCxRXD 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCxSCLK 端子は High レベルからスタートします(立ち上がりモード)。 1: SCxSCLK 端子の立ち上がりエッジで送信バッファのデータを 1bit ずつ SCxTXD 端子へ出力します。 SCxSCLK 端子の立ち下がりエッジで SCxRXD 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCxSCLK 端子は Low レベルからスタートします。(立ち下りモード)
0	IOC	R/W	クロック選択(I/O インタフェースモード用) 0: クロック出力モード (転送クロックは SCxSCLK 端子から出力されます) 1: クロック入力モード (転送クロックは SCxSCLK 端子から入力されます)

注) <OERR>, <PERR>, <FERR>は読み出すとクリアされます。

12.3.5　SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART モードのみ) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART モードのみ) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 "1"を設定すると $\overline{\text{SCxCTS}}$ 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART モードのみ) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART モードのみ) 00: TMRB 出力 01: ボーレートジェネレータ 10: システムクロック(fsys) 11: 外部クロック(SCxSCLK 端子入力) (I/O インタフェースモード時の転送クロックは、SCxCR<IOC>で選択します。)

注 1)　<RXE>は、すべての設定が終わった後に許可してください。

注 2)　受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

12.3.6 SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。 また FIFO が許可されている場合は、FIFO 構成を指定します。UART モードの場合は、FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(I/O インタフェースモード用) 000: なし 001: 1 x SCLK 周期 010: 2 x SCLK 周期 011: 4 x SCLK 周期 100: 8 x SCLK 周期 101: 16 x SCLK 周期 110: 32 x SCLK 周期 111: 64 x SCLK 周期 I/O インタフェースモードでクロック出力モードの場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定 します。
0	–	R/W	"0"をライトしてください。

注 1) <TXE>ビットは、すべての設定を行った後に許可してください。

注 2) 送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。

12.3.7　SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。

<TXRUN>	<TBEMP>	状態
1	–	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

4	SBLEN	R/W	送信 STOP ビット長(UART モード用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず STOP ビット長は 1 ビットであるとして動作します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first 転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(クロック出力/入力モード), 受信(クロック出力モード), UART モードの送信時に、送信、 受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(クロック入力モード), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトウエアリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態に なります。(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td><RXE></td></tr>
<tr><td>SCxMOD1</td><td><TXE></td></tr>
<tr><td>SCxMOD2</td><td><TBEMP>, <RBFLL>, <TXRUN></td></tr>
<tr><td>SCxCR</td><td><OERR>, <PERR>, <FERR></td></tr>
</table>
</td></tr>
</table>

注 1)　転送動作中にソフトウエアリセットを実施する場合は 2 回連続して実行してください。

注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

12.3.8　SCxBRCR (ボーレートジェネレータコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K)/16 分周機能(UART モードのときのみ) 0: ディセーブル 1: イネーブル
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: φTS0 01: φTS2 10: φTS8 11: φTS32
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000 : N = 16 0001 : N = 1 0010 : N = 2 : 1111 : N = 15

注 1)　UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 2)　I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

12.3.9 SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K)/16 分周の K 値の設定(UART モード用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 12-1 にまとめます。

表 12-1 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定	
<BRK>の設定	設定不要	"K"値を設定 (注 2)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1) N + (16 − K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2) "K"値に"0"を設定することはできません。

12.3.10　SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>-</td><td>R/W</td><td>必ず"000"を書き込んでください。</td></tr>
<tr><td>4</td><td>RFST</td><td>R/W</td><td>受信 FIFO 使用バイト数
0: 最大
1: 受信 FIFO の FILL レベルに同じ
受信 FIFO 使用バイト数の設定ビットです。(注 1)
"0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。
"1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。</td></tr>
<tr><td>3</td><td>TFIE</td><td>R/W</td><td>送信 FIFO 使用時の送信割り込み許可
0: 禁止
1:許可
送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>2</td><td>RFIE</td><td>R/W</td><td>受信 FIFO 使用時の受信割り込み許可
0: 禁止
1:許可
受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>1</td><td>RXTXCNT</td><td>R/W</td><td>RXE/TXE の自動禁止
0: なし
1: 自動禁止
送信/受信の自動禁止機能の制御ビットです。
"1"に設定した場合、設定された通信方式により以下のように動作します。
<table>
<tr><td>半二重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(<TXE>)が"0"となり、送信が禁止される。</td></tr>
<tr><td>全二重</td><td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット, 受信許可ビットとも"0"となり、送受信が禁止される。</td></tr>
</table></td></tr>
<tr><td>0</td><td>CNFG</td><td>R/W</td><td>FIFO の許可
0: 禁止
1: 許可
FIFO 使用の許可ビットです。(注 2)
"1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。
<table>
<tr><td>半二重受信</td><td>受信 FIFO 4 バイト</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO 4 バイト</td></tr>
<tr><td>全二重</td><td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td></tr>
</table></td></tr>
</table>

注 1)　送信 FIFO は常に構成されている FIFO の最大バイト数(<CNFG>の説明を参照)を使用できます。

注 2)　9 ビット UART モードでは FIFO は使用できません。

12.3.11　SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RFCS	W	受信 FIFO クリア(注 1) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。
6	RFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき 1: FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき 割り込み発生タイミングの詳細については、12.13.1.2 を参照してください。
5-2	−	R	リードすると"0"が読めます。
1-0	RIL[1:0]	R/W	受信割り込みが発生する受信 FIFO の fill レベル

	半二重	全二重
00	4 バイト	2 バイト
01	1 バイト	1 バイト
10	2 バイト	2 バイト
11	3 バイト	1 バイト

注)　送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

12.3.12 SCxTFC (送信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	TBCLR
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-9	–	R	リードすると"0"が読めます。
8	TBCLR	W	送信バッファクリア 0: Don't care 1: クリア "1"を書き込むと送信バッファがクリアされます。 リードすると"0"が読めます。
7	TFCS	W	送信 FIFO クリア(注 1) 0: Don't care 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。
6	TFIS	R/W	割り込み発生条件選択 0: FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき 1: FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき 割り込み発生タイミングの詳細については、12.13.2.2 を参照してください。
5-2	–	R	リードすると"0"が読めます。
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル

	半二重	全二重
00	Empty	Empty
01	1 バイト	1 バイト
10	2 バイト	Empty
11	3 バイト	1 バイト

注 1) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2) SCxEN<SIOE>=0(SIO/UART 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止) した場合は、必ず SCxTFC の再設定を行ってください。

12.3.13　SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注)　<ROR>はバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

12.3.14 SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダーラン(注) 0: アンダーランは発生していない 1: アンダーラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <TUR>はバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

12.3.15　SCxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DMAEN1	DMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	Read as 0.
1	DMAEN1	R/W	受信割り込みによる DMA 要求(受信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可
0	DMAEN0	R/W	送信割り込みによる DMA 要求(送信割り込み INTTX 発生により DMA リクエストを発行) 0: 禁止 1: 許可

注)　DMA 要求(転送)中に同要求が発行された場合、要求は保持されずネスティングされません。

12.4 動作モード

表 12-2 にモードをまとめます。

表 12-2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、I/O を拡張するために使用できます。SCLK クロックに同期してデータの送受信を行います。SCLK クロックはクロック入力/出力モードのいずれでも使用できます。転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first のみ選択できます。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

12.5　データフォーマット

12.5.1　データフォーマット一覧

図 12-3 にデータフォーマットを示します。

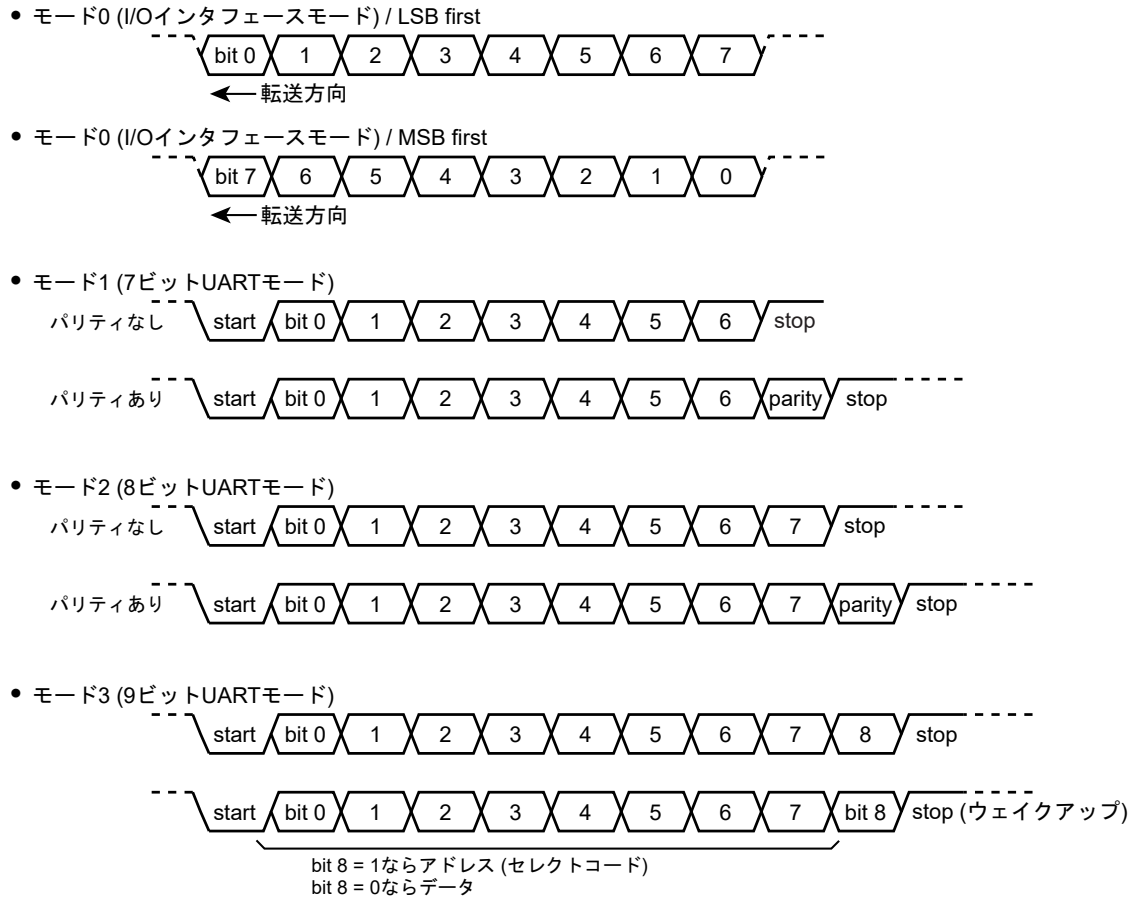


図 12-3 データフォーマット

12.5.2 パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。また、受信データに付加されているパリティビットを生成されたパリティビットと比較することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

12.5.2.1 送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

12.5.2.2 受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

12.5.3 STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

12.6　クロック制御

12.6.1　プリスケーラ

7 ビットのプリスケーラを実装しており、φT0 の 1 / 2/ 4 / 8 / 16 / 32/ 64 / 128 分周のクロックを生成します。

プリスケーラの入力クロックは、クロック/モード制御部の CGSYSCR と SCxEN<BRCKSEL>で選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

12.6.2　シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

12.6.2.1　ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1)　ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 1 / 4 / 16 / 64 分周から選択します。入力クロックの選択は SCxEN<BRCKSEL>と SCxBRCR<BRCK>で行います。

SCxEN<BRCKSEL>	SCxBRCR<BRCK>	ボーレートジェネレータ入力 φTx
0	00	φT0/2
0	01	φT0/8
0	10	φT0/32
0	11	φT0/128
1	00	φT0
1	01	φT0/4
1	10	φT0/16
1	11	φT0/64

(2)　ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS[3:0]>	K 値 SCxBRADD<BRK[3:0]>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

ボーレートジェネレータ分周機へのクロック入力を φTx とした時、N 分周の場合と N + (16-K)/16 分周の場合のボーレートジェネレータ出力クロックは以下の計算式であらわされます。

・ N 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N}$$

・ N + (16-K)/16 分周

$$\text{ボーレートジェネレータ出力クロック} = \frac{\phi Tx}{N + \frac{(16 - K)}{16}}$$

12.6.2.2　クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM[1:0]>で指定します。

I/O インタフェースモード時のクロックは、SCxCR<IOC><SCLKS>で設定します。

UART モード時のクロックは、SCxMOD0<SC[1:0]>で設定します。

(1)　I/O インタフェースモードの転送クロック

表 12-3 に I/O インタフェースモードで可能なクロックを示します。

表 12-3 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM[1:0]>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
"00" (I/O インタフェース モード)	"0" (クロック出力 モード)	"0" (送信: 立ち下がり、 受信 : 立ち上がり)	ボーレートジェネレータ出力の 2 分周
	"1" (クロック入力 モード)	"0" (送信: 立ち下がり、 受信 : 立ち上がり)	SCxSCLK 端子入力
		"1" (送信: 立ち上がり、 受信 : 立ち下がり)	SCxSCLK 端子入力

SCxSCLK 端子入力を使用する場合、以下の条件を満足する必要があります。

- ダブルバッファ使用の場合

  SCLK 周期 > 6/fsys

- ダブルバッファ未使用の場合

  SCLK 周期 > 8/fsys

(2) UART モードの転送クロック

表 12-4 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 12-4 UART モードのクロック選択

モード SCxMOD0<SM[1:0]>	クロック選択 SCxMOD0<SC[1:0]>
UART モード ("01", "10", "11")	"00" : タイマ出力
	"01" : ボーレートジェネレータ
	"10" : fsys
	"11" : SCxSCLK 端子入力

SCxSCLK 端子入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

(タイマフリップフロップ反転2回で1クロック周期となる)

(タイマプリスケーラクロックφT1(2分周)を選択した場合)

12.7　送信/受信バッファと FIFO

12.7.1　構成

送信/受信バッファと FIFO の構成を図 12-4 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。



図 12-4 バッファと FIFO の構成

12.7.2　送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードでクロック入力モードの場合と UART モードでは、<WBUF>の設定によらずダブルバッファ構成になります。

その他のモードでは<WBUF>の設定に従います。

表 12-5 にモードとバッファ構成の関係をまとめます。

表 12-5 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART モード	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック入力モード)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェースモード (クロック出力モード)	送信	シングル	ダブル
	受信	シングル	ダブル

12.7.3 送信バッファの初期化

送信バッファにデータが残っている状態で送信を中断した場合、送信バッファに新たにデータを書き込む前に送信バッファの初期化を行う必要があります。

送信バッファの初期化は、送信動作が停止している状態で行ってください。SCxMOD2<TXRUN>を読み出すことで、送信動作が停止しているかを判断できます。送信動作が停止していることが確認できたら、SCxTFC<TBCLR>に"1"を設定し、送信バッファの初期化を行います。

送信 FIFO が有効な場合、送信 FIFO の状態で動作が変わります。送信 FIFO にデータがある場合、送信 FIFO から送信バッファにデータが転送されます。送信 FIFO が空なら、SCxMOD2<TBEMP>が"1"にセットされます。

注) I/O インタフェースモードのクロック入力モードではクロックが非同期に入力されます。送信動作が停止しているときにクロックを入力しないようにしてください。

12.7.4 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 12-6 にモードと FIFO 構成の関係をまとめます。

表 12-6 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	-
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

12.8　ステータスフラグ

SCxMOD2 に 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可の時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

12.9　エラーフラグ

SCxCR に 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR を読み出すと"0"にクリアされます。

<table>
<tr><th rowspan="2">モード</th><th colspan="3">フラグ</th></tr>
<tr><th><OERR></th><th><PERR></th><th><FERR></th></tr>
<tr><td>UART モード</td><td>オーバランエラー</td><td>パリティエラー</td><td>フレーミングエラー</td></tr>
<tr><td rowspan="2">I/O インタフェース
モード
(クロック入力モード)</td><td rowspan="2">オーバランエラー</td><td>アンダーランエラー
(ダブルバッファまたは FIFO 使用時)</td><td rowspan="2">"0"固定</td></tr>
<tr><td>"0"固定
(ダブルバッファおよび FIFO 未使用時)</td></tr>
<tr><td>I/O インタフェース
モード
(クロック出力モード)</td><td>不定</td><td>不定</td><td>"0"固定</td></tr>
</table>

12.9.1　OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。

受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が Full(使用バイト数)になるまではフラグはセットされません。

I/O インタフェースモードのクロック出力モードの設定では、フラグのセットとともにクロック出力が停止します。

注)　I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

12.9.2 PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティビットが異なる場合に"1"にセットされます。

アンダーランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

クロック入力モードの場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

クロック出力モードの場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) I/O インタフェースモードのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダーランフラグをクリアしてください。

12.9.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

12.10　受信

12.10.1　受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、8 クロック目でデータをサンプリングします。

12.10.2　受信制御部

12.10.2.1　I/O インタフェースモードの場合

SCxCR<IOC>="0"のクロック出力モードのときは、SCxSCLK 端子へ出力されるクロックの立ち上がりで SCxRXD 端子をサンプリングします。

SCxCR <IOC>="1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って、SCxSCLK 端子の立ち上がり/立ち下がりエッジでシリアル受信データ SCxRXD 端子をサンプリングします。

12.10.2.2　UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

12.10.3　受信動作

12.10.3.1　受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

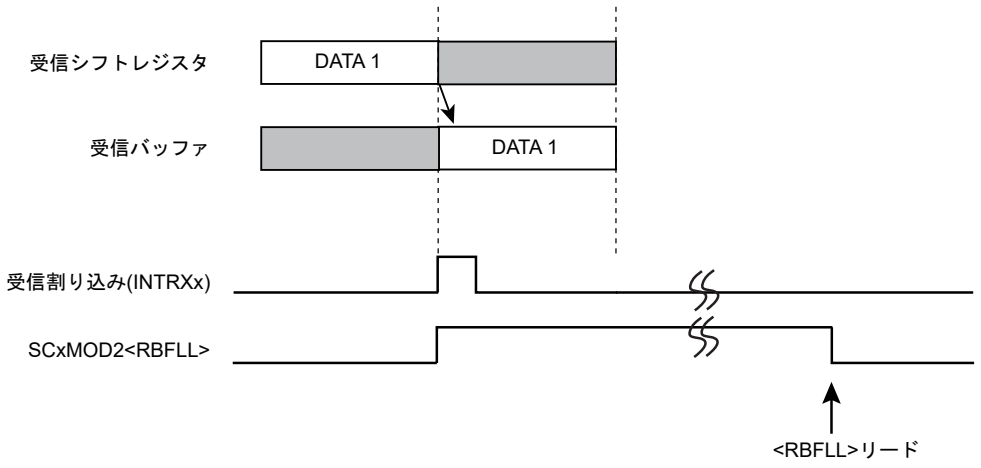


図 12-5 受信バッファの動作

12.10.3.2 受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注) UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーフラグは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

```
SCxMOD1<FDPX[1:0]> = "01"          : 転送モードを半二重受信に設定
SCxFCNF<RFST><TFIE><RFIE>          : fill レベル到達後の継続受信自動禁止
<RXTCNT><CNFG> = "10111"             受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxRFC<RIL[1:0]> = "00"            : 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
SCxRFC<RFCS><RFIS> = "11"          : 受信 FIFO のクリアと割り込み発生条件の設定
```

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

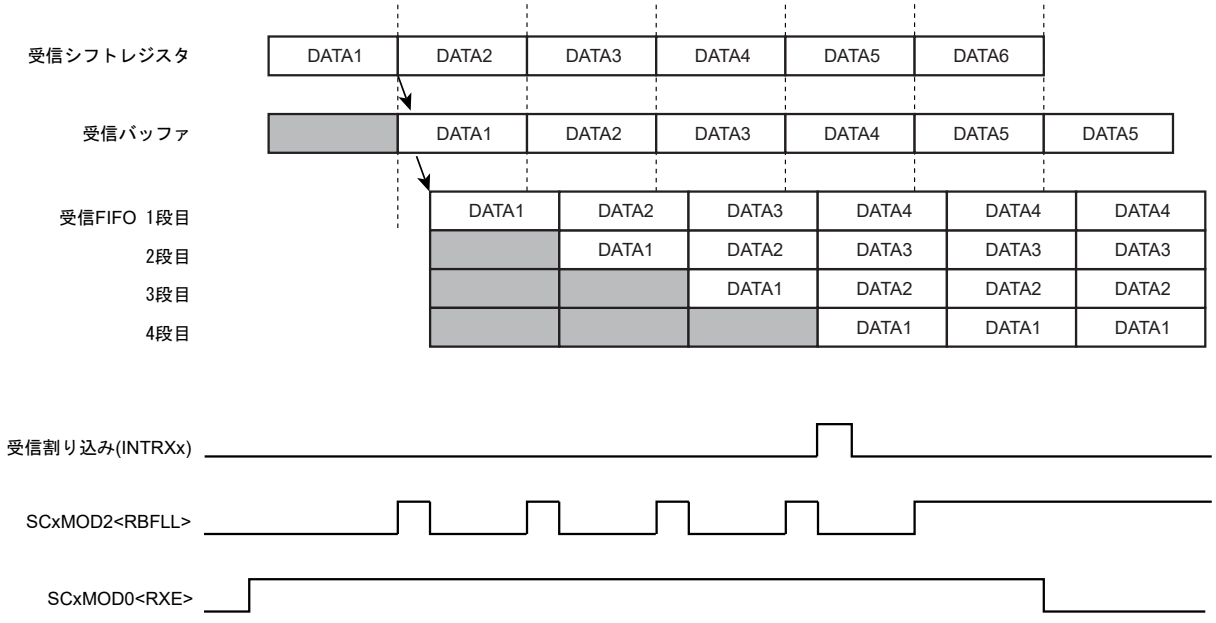


図 12-6 受信 FIFO の動作

12.10.3.3　I/O インタフェースモード、クロック出力モードでの受信

I/O インタフェースモードでクロック出力モード設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されるとクロック出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

クロック出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1)　シングルバッファの場合

1 データ受信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されるとクロック出力を再開します。

(2)　ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、クロック出力を停止します。1 データが読み出されるとクロック出力を再開します。

(3)　FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されるとクロック出力を停止します。

1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、クロック出力を再開します。

また、SCxFNCF<RXTXCNT>がセットされているとクロック出力停止とともに SCxMOD0 <RXE>がクリアされ受信動作を停止します。

12.10.3.4 受信データの読み出し

FIFO の有効/無効にかかわらず、受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリディビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

12.10.3.5 ウエイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

12.10.3.6 オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は、受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生してオーバーランフラグがセットされます。この場合でも、受信 FIFO のデータは保存されます。

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、オーバランフラグをクリアしてください。

12.11　送信

12.11.1　送信カウンタ

送信カウンタは 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

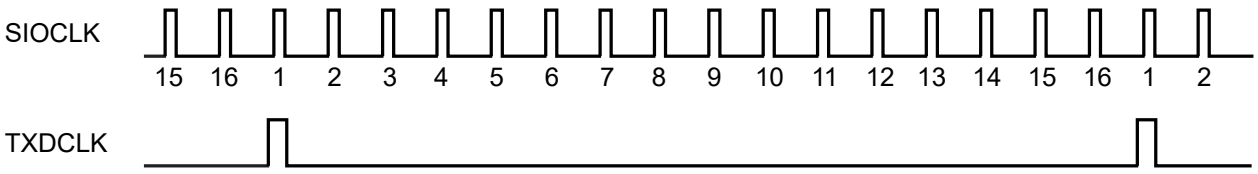


図 12-7 UART モード送信クロックの生成

12.11.2　送信制御部

12.11.2.1　I/O インタフェースモードの場合

SCxCR<IOC> = "0"のクロック出力モードのときは、SCxSCLK 端子より出力されるクロックの立ち下がりで送信バッファのデータを 1 ビットずつ SCxTXD 端子へ出力します。

SCxCR<IOC> = "1"のクロック入力モードのときは、SCxCR<SCLKS>の設定に従って SCxSCLK 端子の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ SCxTXD 端子へ出力します。

12.11.2.2　UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

12.11.3 送信動作

12.11.3.1 送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは SCxMOD1<TXE>に"1"がセットされると送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

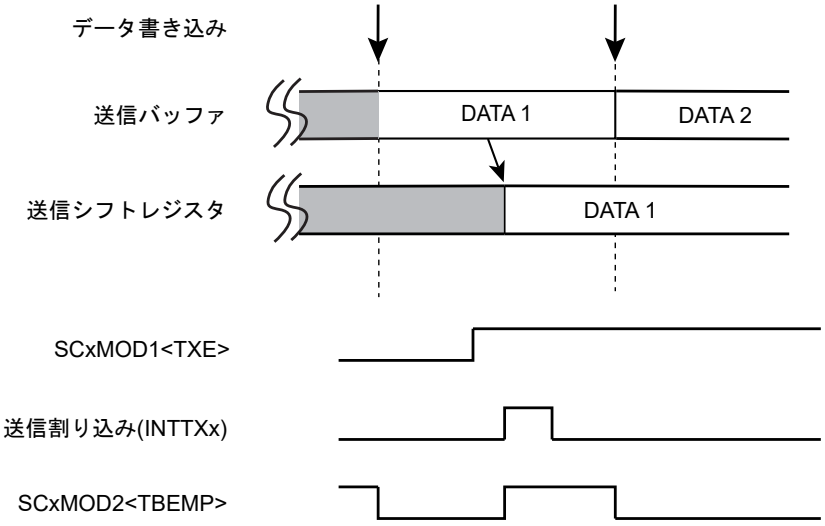


図 12-8 送信バッファの動作(ダブルバッファ有効時)

12.11.3.2　送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP> フラグは"0"にクリアされます。

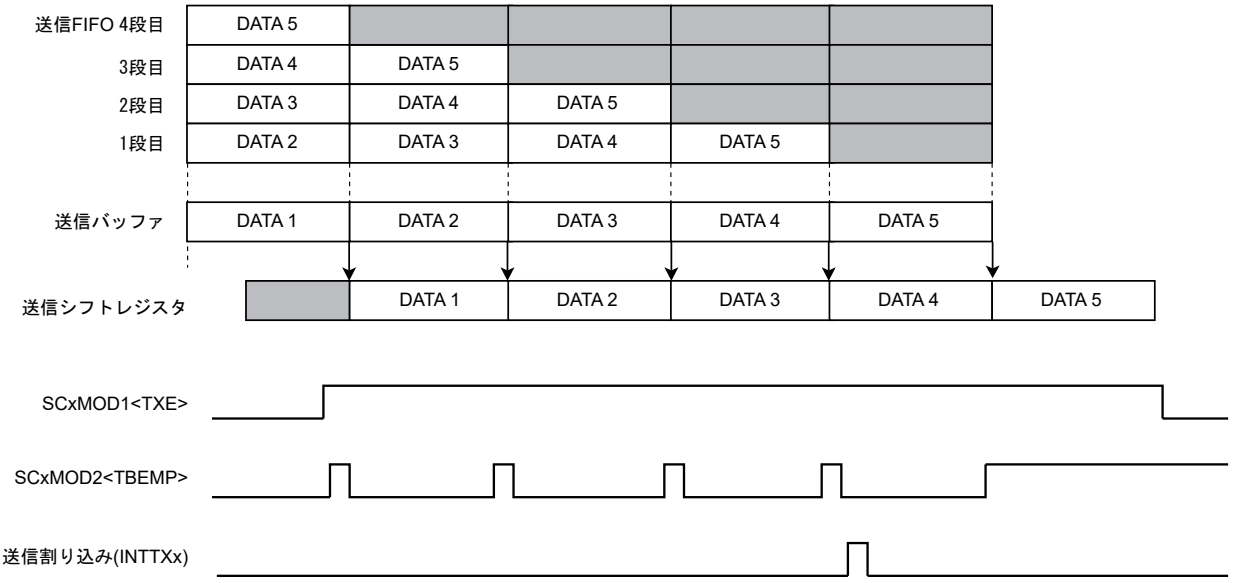
注)　送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF <CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、5 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "10"	: 転送モードを半二重送信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTXCNT><CNFG> = "11011"	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC<TIL[1:0]> = "00"	: 割り込み発生の fill レベル を 0 に設定
SCxTFC<TFCS><TFIS> = "11"	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF<CNFG> = "1"	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。



12.11.3.3 I/O インタフェースモード、クロック出力モードでの送信

I/O インタフェースモードでクロック出力モードの場合、設定されたデータがすべて送信されるとクロック出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ/FIFO 使用状況によってクロック出力の停止/再開のタイミングが変わります。

(1) シングルバッファの場合

1 データ送信後にクロック出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれるとクロック出力を再開します。

(2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されるとクロック出力を停止します。バッファに次のデータが書き込まれるとクロック出力を再開します。

(3) FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータ送信が終了するとクロック出力を停止します。次のデータが書き込まれるとクロック出力を再開します。

また、SCxFCNF<RXTXCNT>がセットされていると、クロック出力停止とともに SCxMOD0<TXE>がクリアされ、送信動作を停止します。

12.11.3.4 I/O インターフェースモード時の最終ビット出力後の SCxTXD 端子の状態

最終ビットを出力し、データのホールド時間が終了した後の SCxTXD 端子の状態を、SCxCR<TIDLE>で指定することができます。

SCxCR<TIDLE>="00"の場合、SCxTXD 端子は"Low"出力を保持します。SCxCR<TIDLE>="01"の場合、SCxTXD 端子は"High"出力を保持します。SCxCR<TIDLE>="10"の場合、SCxTXD 端子は最終ビットを保持します。

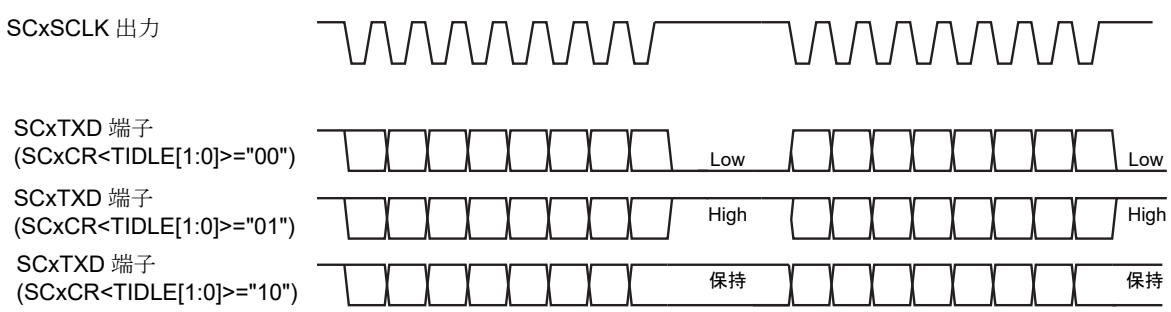


図 12-9 最終ビット出力後の SCxTXD 端子の状態

12.11.3.5　アンダーランエラー

I/O インタフェースモードのクロック入力モード時、送信 FIFO が空で、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときはアンダーランエラーになり、SCxCR<PERR>に"1"がセットされます。

アンダーランエラーが発生したときの SCxTXD 端子の状態を SCxCR<TXDEMP>で指定することができます。SCxCR<TXDEMP>が"0"の場合、SCxTXD 端子はデータ出力期間の間、"Low"出力を保持します。SCxCR<TXDEMP>が"1"の場合、SCxTXD 端子はデータ出力期間の間、"High"出力を保持します。

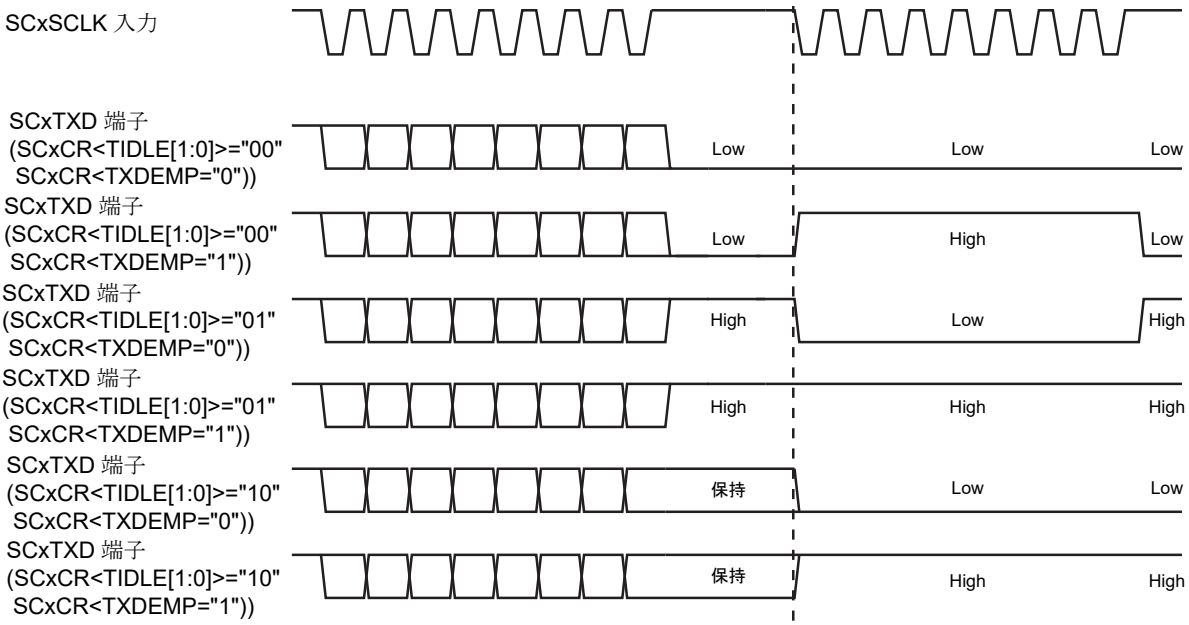


図 12-10 アンダーランが発生したときの SCxTXD 出力

I/O インタフェースモードのクロック出力モードの設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注)　I/O インタフェースのクロック出力モードから他のモードへ切り替える際には、SCxCR を読み出し、アンダーランフラグをクリアしてください。

12.11.3.6　I/O インタフェースモード、クロック入力モードでのデータのホールド時間

I/O インタフェースモードでクロック入力モードの場合、SCxCR<EHOLD[2:0]>で最終ビットのホールド時間を設定できます。

最終ビットのホールド時間 ≤ SCLK 周期/2 を満たすように、最終ビットのホールド時間、SCLK 周期を設定してください。

12.12 ハンドシェイク機能

ハンドシェイク機能は $\overline{\text{SCxCTS}}$ (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{\text{SCxCTS}}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{SCxCTS}}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注 1) 送信中に $\overline{\text{SCxCTS}}$ 信号を立ち上げた場合、送信終了後に停止します。
注 2) $\overline{\text{SCxCTS}}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します。

なお、$\overline{\text{RTS}}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{\text{RTS}}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

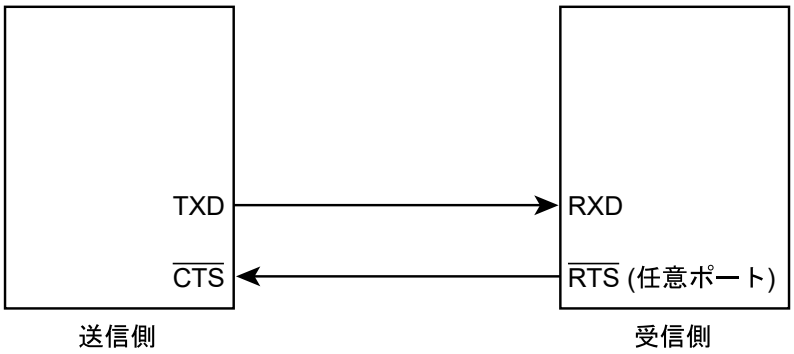


図 12-11 ハンドシェイク機能接続

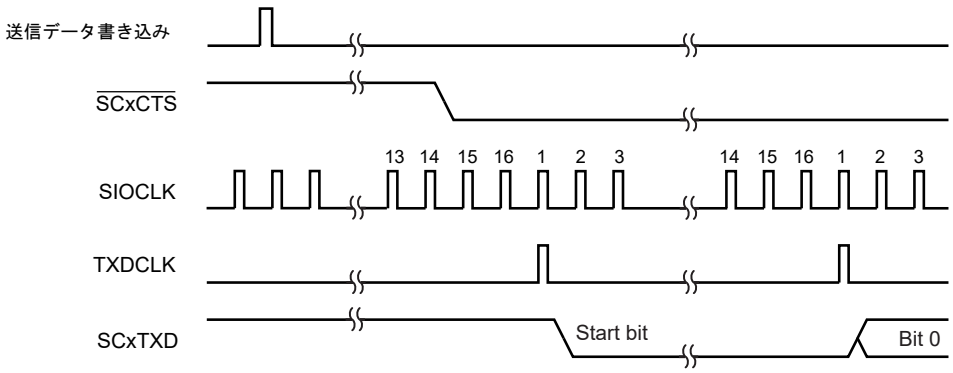


図 12-12 $\overline{\text{SCxCTS}}$ 信号のタイミング

12.13　割り込み/エラー発生タイミング

12.13.1　受信割り込み

受信動作のデータの流れと読み出しの経路を図 12-13 に示します。

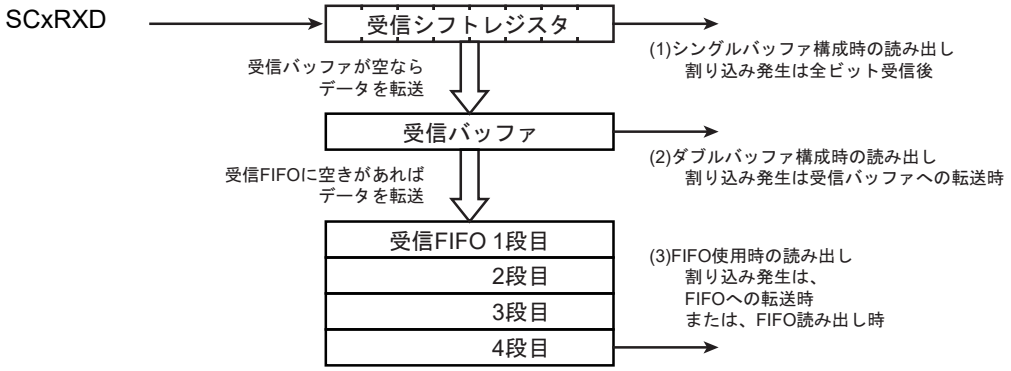


図 12-13 受信バッファ/FIFO 構成図

12.13.1.1　シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 12-7 シングルバッファ/ダブルバッファ構成の場合の受信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	−	・最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・受信バッファにデータがない場合、第 1 ストップビットの中央付近 ・受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時	受信シフトレジスタから受信バッファへ、データの移動が発生するとき。具体的には以下のタイミング。 ・受信バッファにデータがない場合、最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・受信シフトレジスタと受信バッファの両方にデータがある場合、バッファのリード時

注)　オーバーランエラー成立時は割り込みは発生しません。

12.13.1.2　FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 12-8 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 12-8 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき ・受信 FIFO から受信データをリードしたとき

12.13.2 送信割り込み

送信動作のデータの流れと書き込みの経路を図 12-14 に示します。

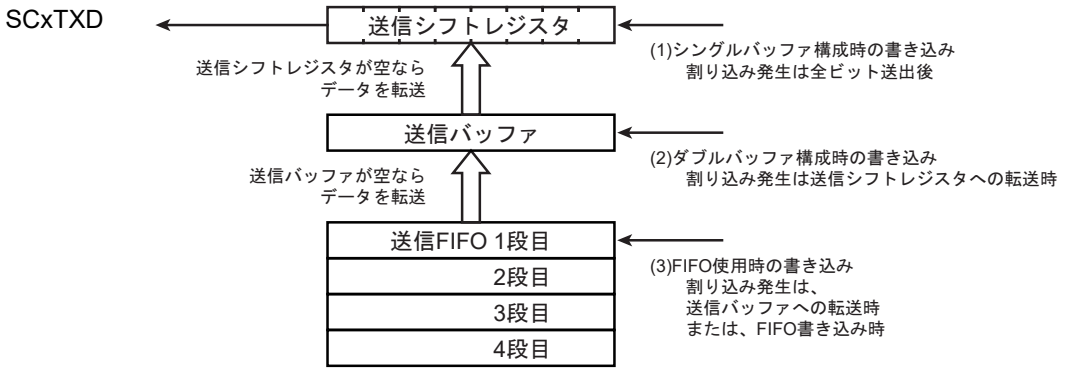


図 12-14 送信バッファ/FIFO 構成図

12.13.2.1 シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

表 12-9 シングルバッファ/ ダブルバッファ構成の場合の送信割り込み発生条件

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時に送信割り込みが発生します。 なお、SCxMOD1<TXE> ="1"で送信シフトレジスタが空の場合、送信バッファにデータを書いた直後に送信バッファから送信シフトレジスタにデータが転送されれるため、送信割り込みが発生します。	

12.13.2.2　FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 12-10 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 12-10 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき ・送信 FIFO へ送信データをライトしたとき

12.13.3　エラー発生

12.13.3.1　UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	−	パリティビットの中央付近

12.13.3.2　I/O インタフェースモード

オーバランエラー	最終ビットの SCxSCLK 端子立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	次回の SCxSCLK 端子の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注)　クロック出力モードではオーバランエラー、アンダーランエラーフラグは意味を持ちません。

12.14 DMA 要求

UART/SIO 割り込み(INTRXx,INTTXx)発生のタイミングで DMAC に対して DMA 要求を発行します。

DMA 転送を行なう場合は SCxDMA の該当ビットの設定を行なってください。

本製品で DMA 要求に使用できるチャネルについては、「製品情報」の章を参照してください。

注 1) SIO/UART の送信/受信割り込みを使用して DMA 転送を行う場合、SCxMOD<SWRST>でソフトウエアリセットを実施した後、DMAC の動作を許可させ、送信/受信の設定を行ってください。

注 2) DMA 転送を使用する場合、FIFO は使用できません。

注 3) ダブルバッファ構成で DMA 転送により送信を行う場合、２つの送信データをバッファに書き込んでから DMA を起動してください。

12.15　ソフトウエアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。

これにより、SCxMOD0<RXE>、SCxMOD1<TXE>、SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR <OERR> <PERR> <FERR>が初期化され、送受信回路は初期状態になります。

その他の状態は保持されます。

12.16 モード別動作説明

12.16.1 モード 0 (I/O インタフェースモード)

SCxMOD0 <SM[1: 0]>を"00"にセットすると I/O インタフェースモードになります。

このモードには、同期クロック SCLK を出力するクロック出力モードと、外部より同期クロック SCLK を入力するクロック入力モードがあります。

以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

12.16.1.1 送信

(1) クロック出力モード

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  送信バッファにデータを書き込むたびに、データが SCxTXD 端子から、クロックが SCxSCLK 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタが空の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

  シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、クロック出力も停止します。

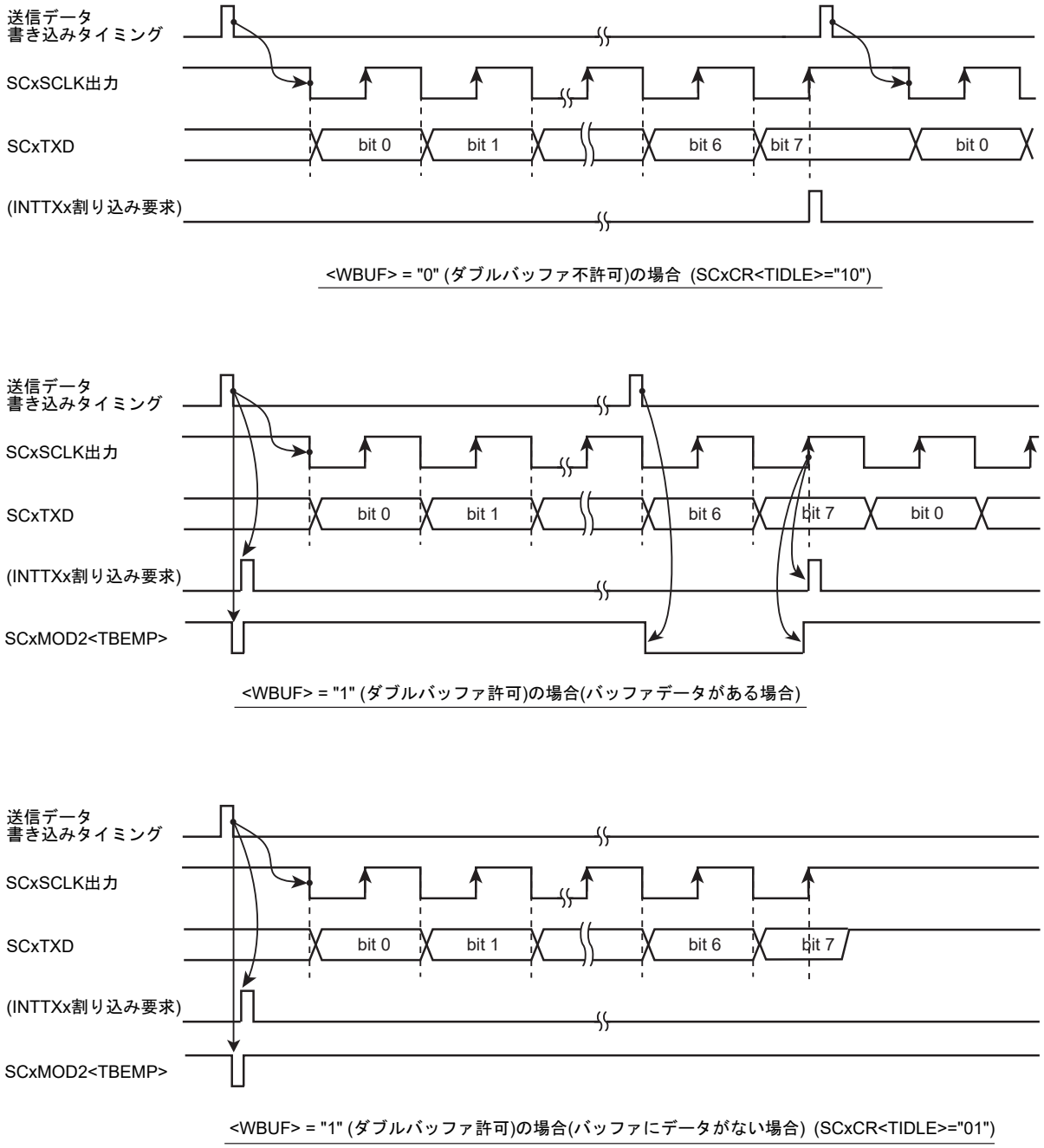


図 12-15 I/O インタフェースモード送信動作(クロック出力モード)

(2) クロック入力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが SCxTXD 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 12-16 に示す A 点までに書き込んでください。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

クロックが入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP>が"1"にセットされ、割り込み(INTTXx)が発生します。

送信バッファにデータが書き込まれていない状態で、クロックが入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが SCxTXD 端子に出力されます。

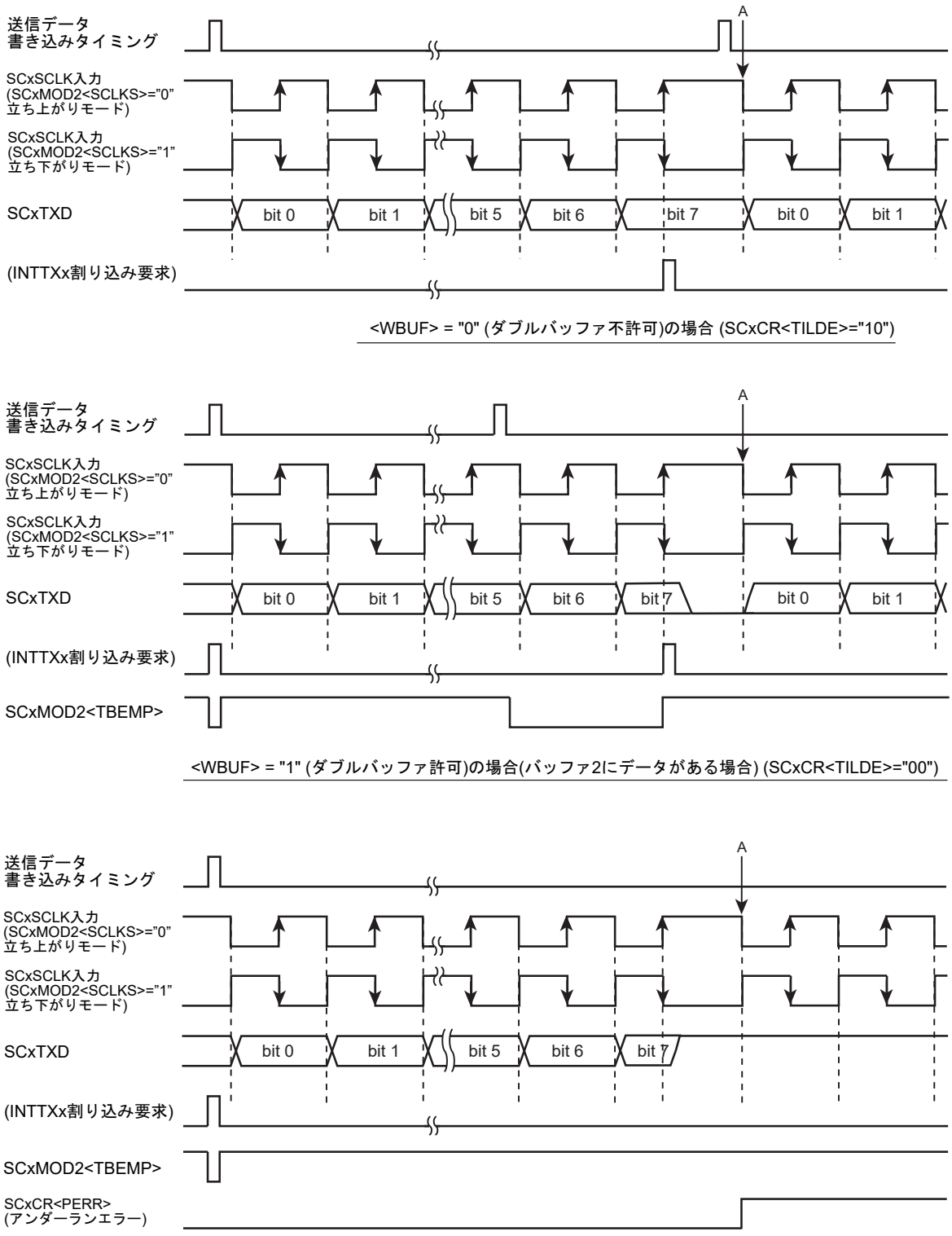


図 12-16 I/O インタフェースモード送信動作(クロック入力モード)

12.16.1.2 受信

(1) クロック出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることでクロック出力が開始されます。

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  受信データが読み出されるごとに、SCxSCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

  受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、クロック出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

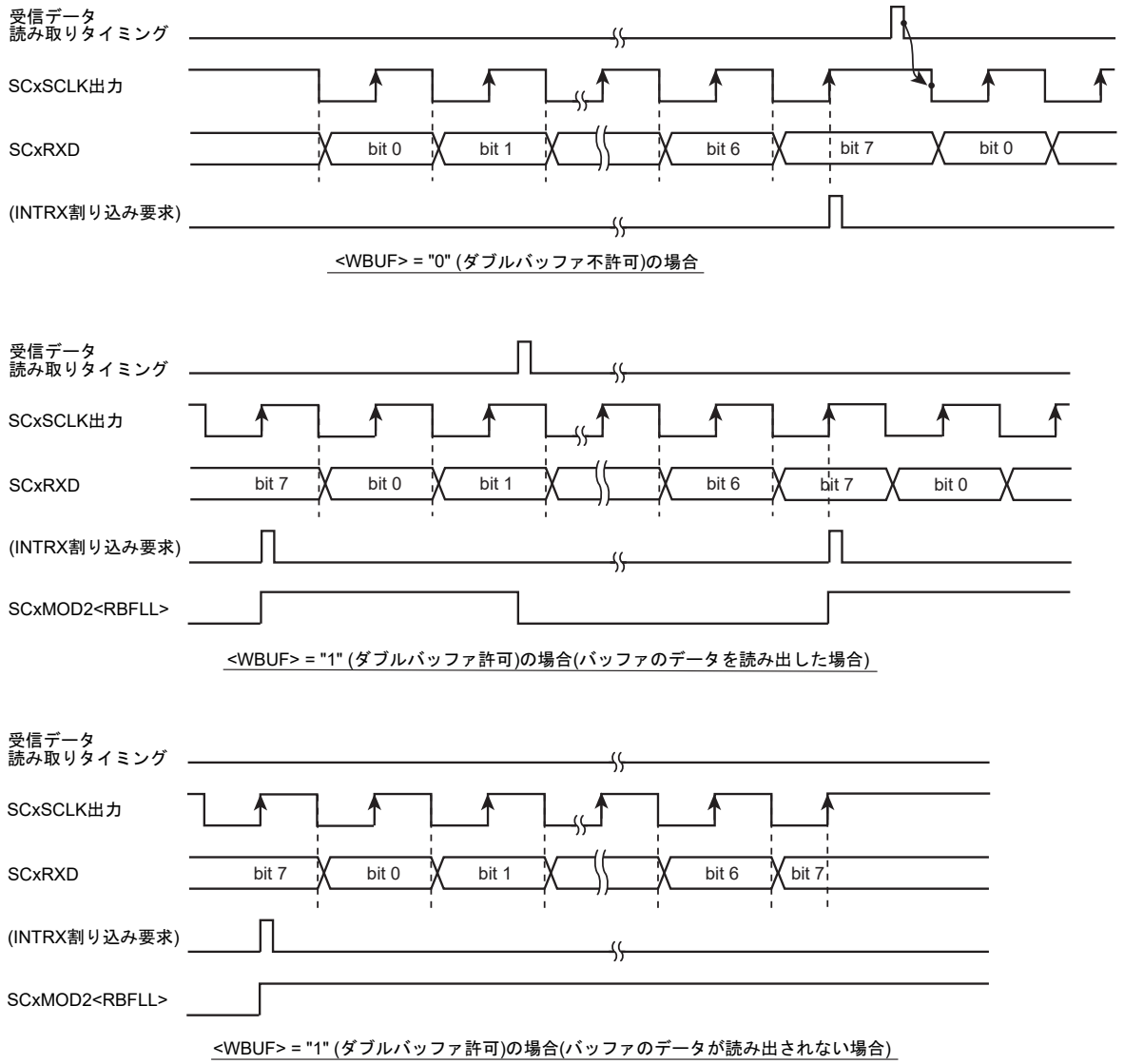
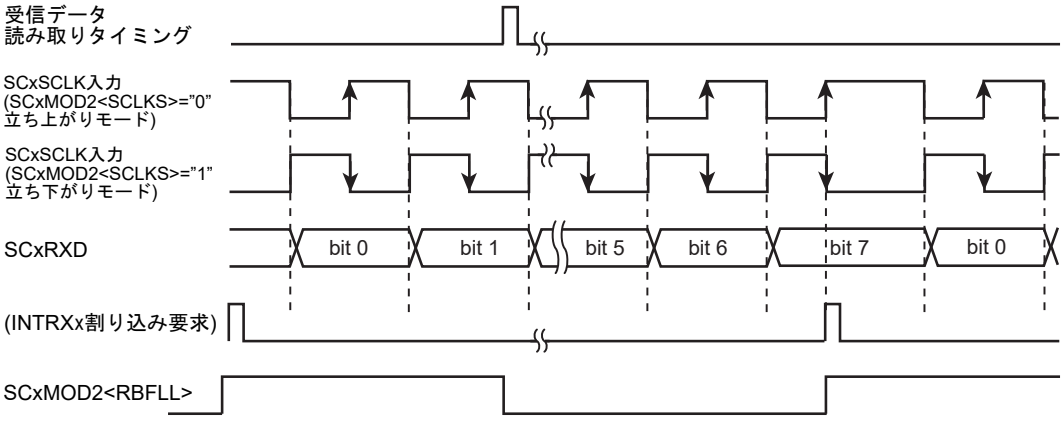


図 12-17 I/O インタフェースモード受信動作(クロック出力モード)

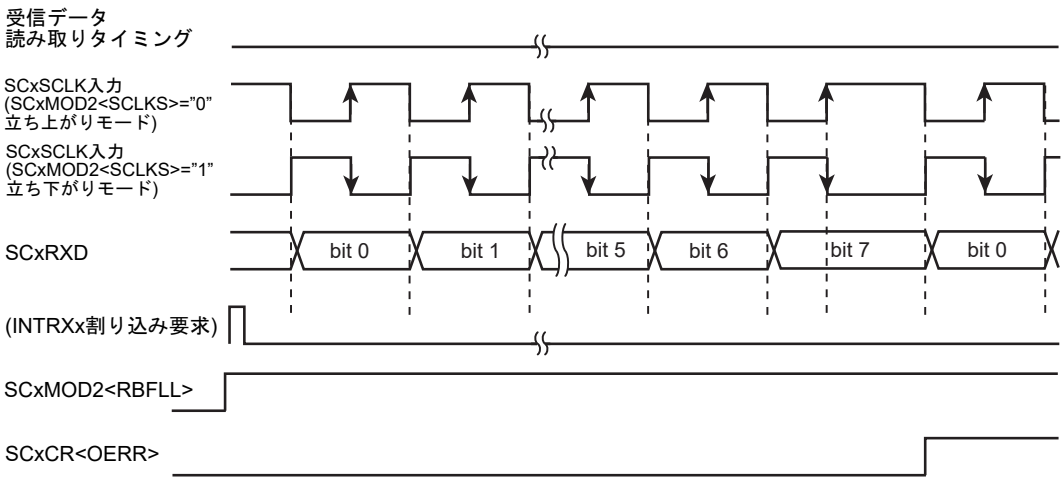
(2) クロック入力モード

クロック入力モードでは常に受信ダブルバッファが許可されており、受信したデータはシフトレジスタから受信バッファに移され、連続して次のデータを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 12-18 I/O インタフェースモード受信動作(クロック入力モード)

12.16.1.3　送受信(全二重)

(1)　クロック出力モード

・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むとクロック出力を開始します。

クロック出力によりデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれたデータが、SCxTXD 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態でクロック出力は停止します。

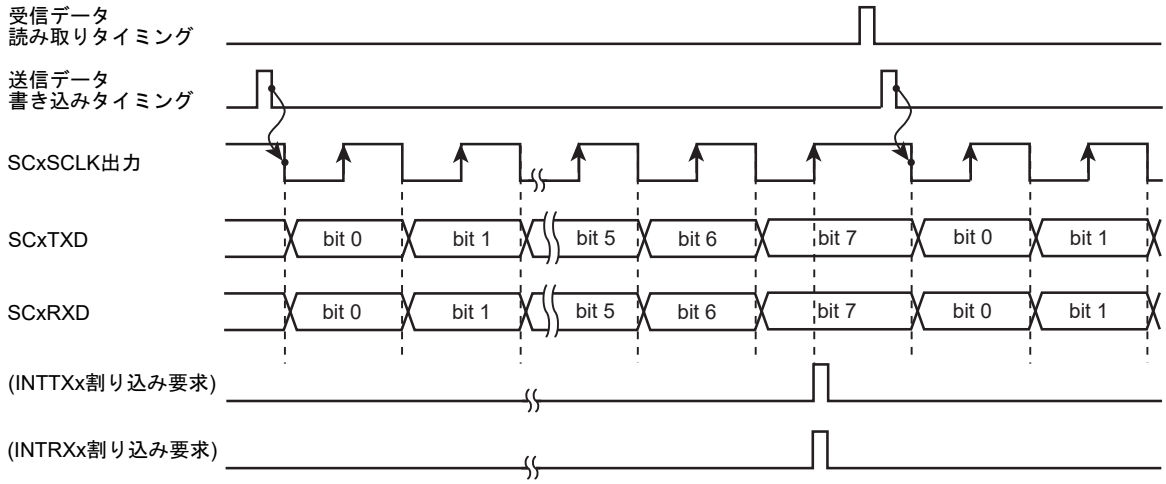
受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

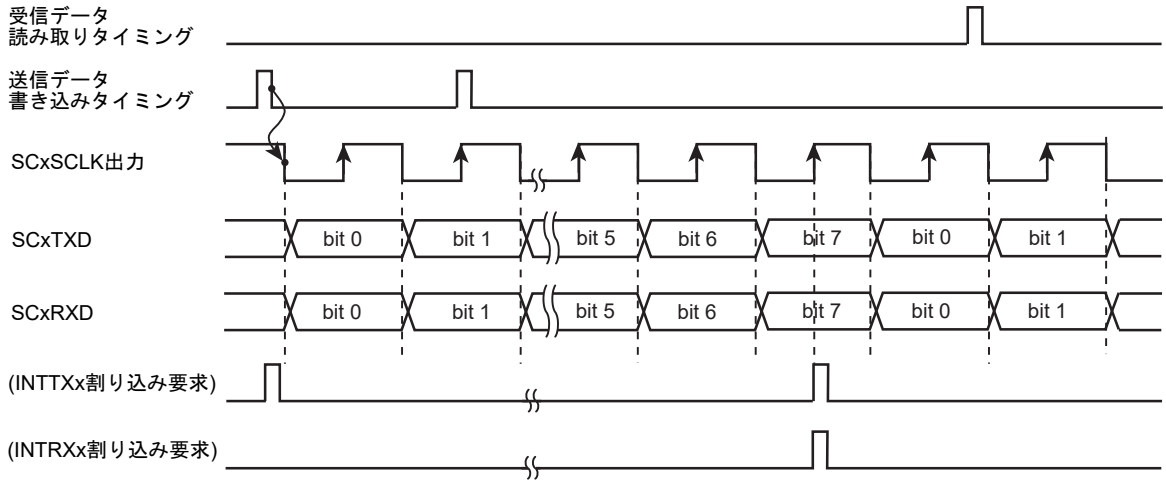
送信バッファにデータを書き込むとクロック出力を開始します。

データが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行してデータが SCxTXD 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

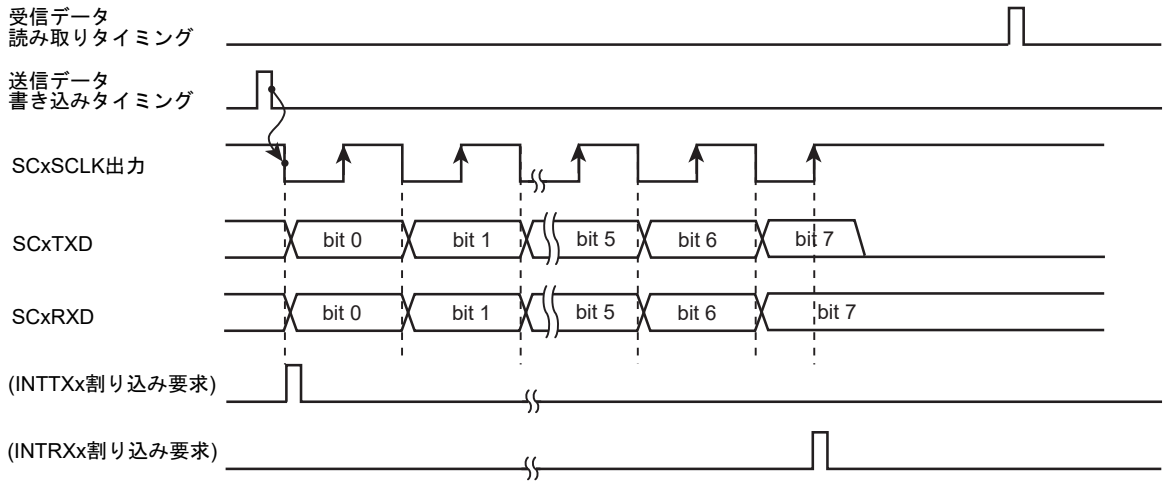
この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合はクロック出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると、クロック出力が再開されて次の送受信が始まります。



<WBUF> = "0" (ダブルバッファ不許可)の場合 (SCxCR<TIDLE>="10")



<WBUF> = "1" (ダブルバッファ許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合 (SCxCR<TIDLE>="00")

図 12-19 I/O インタフェースモード送受信動作(クロック出力モード)

(2)　クロック入力モード

・　送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態でクロックが入力されると、8 ビットのデータが SCxTXD 端子より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームのクロックが入力される前にデータを送信バッファへ書き込むようにしてください。(図 12-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTTXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のデータのためのクロックが入力される前に送信データを送信バッファへ書き込むようにしてください。(図 12-20 に示す A 点までに書き込んでください)。受信データは、次のデータの受信が終了する前に読み出してください。

続けて次のデータのためのクロックが入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

データの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。

また、次のデータのためのクロック入力までに送信バッファへ転送データが書き込まれていない場合は、アンダーランエラーがセットされ、SCxCR<TXDEMP>で設定したレベルが SCxTXD 端子に出力されます。

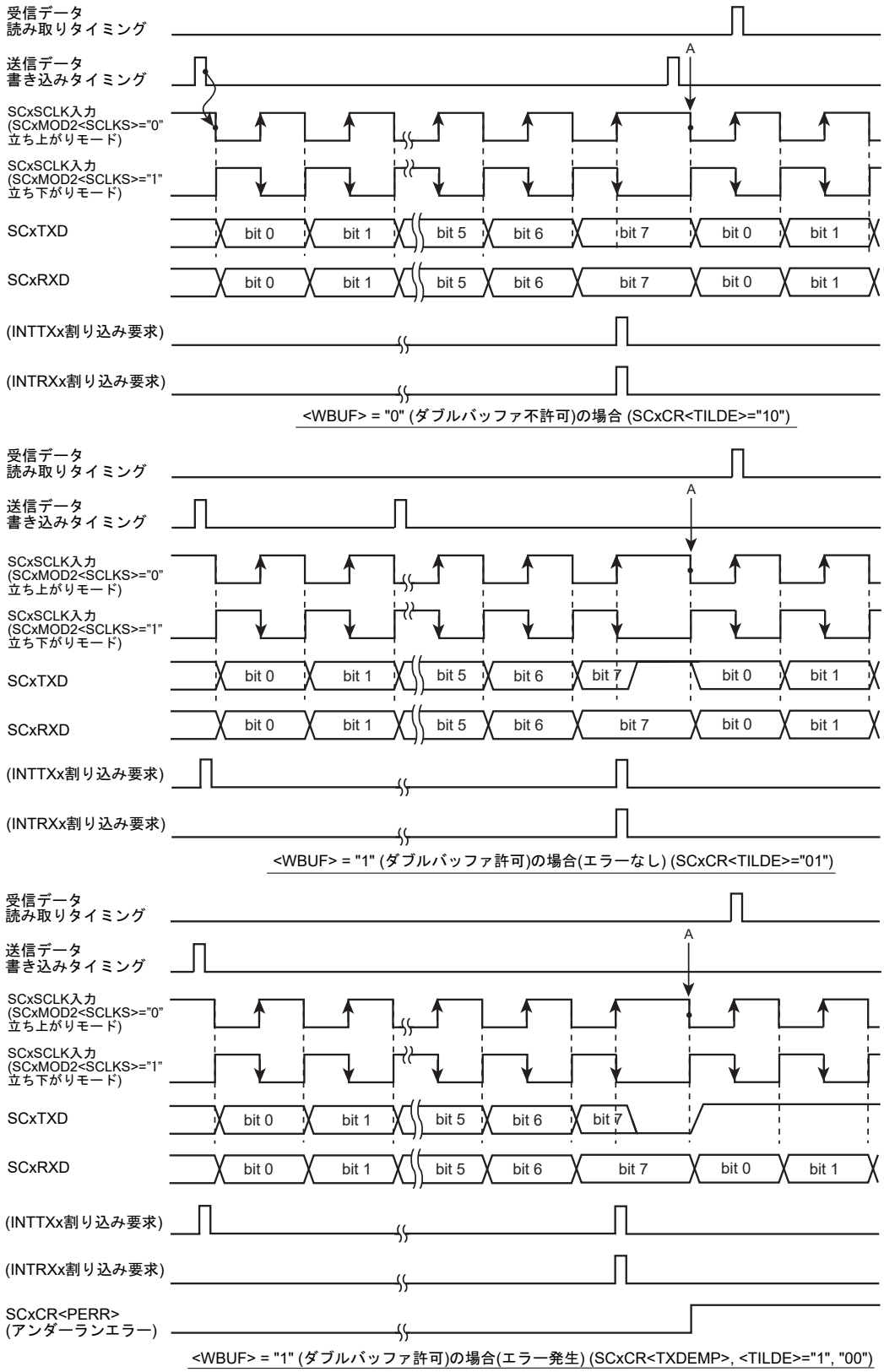


図 12-20 I/O インタフェースモード送受信動作(クロック入力モード)

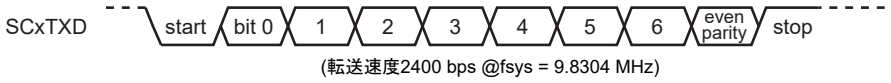
12.16.2　モード 1 (7 ビット UART モード)

SCxMOD0 <SM[1: 0]>を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。

<PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



(転送速度2400 bps @fsys = 9.8304 MHz)

クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

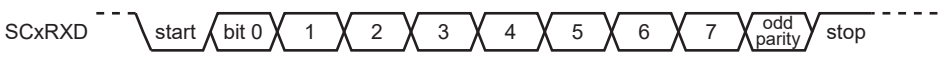
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

12.16.3　モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



(転送速度9600 bps @fsys = 9.8304 MHz)

クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

12.16.4 モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込みます。受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

12.16.4.1 ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注) スレーブコントローラの SCxTXD 端子は、必ず PxOD を設定してオープンドレイン出力モードにしてください。

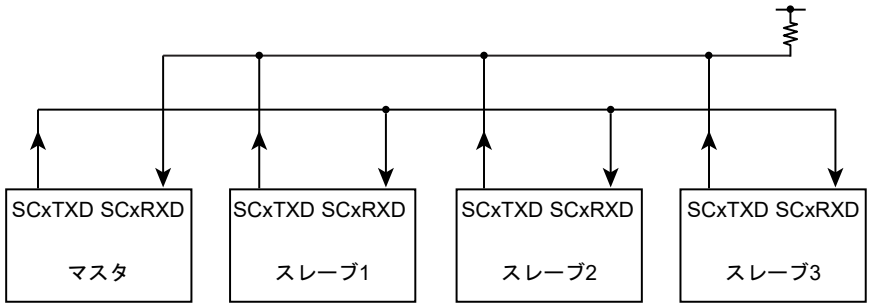
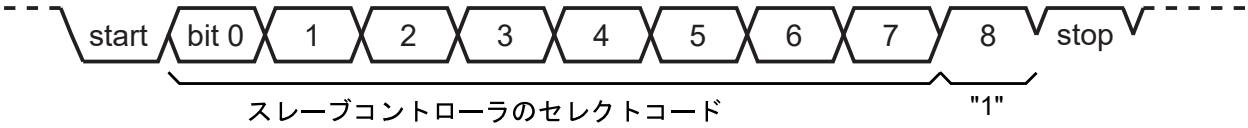


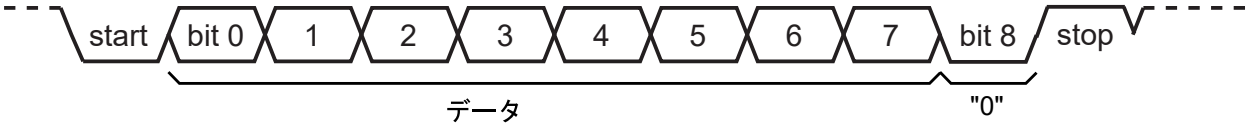
図 12-21 ウェイクアップ機能によるシリアルリンク

12.16.4.2　プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 13 章　I2C バス

TMPM036FWFG には、標準的な I2C バス規格(PHILIPS 仕様)に準拠した、I2C バスを搭載しています。

主な機能は以下のとおりです。

- マスタ/スレーブ送受信選択可能
- 送信/受信選択可能
- マルチマスタ対応(アービトレーションあり、クロック同期認識)
- 通信速度(STANDARD モード/FAST モード対応)
- アドレッシングフォーマット 7bit のみサポート
- 転送データサイズ 1 ～8 ビット
- 転送(送信 or 受信)完了割り込み(レベル)1 本
- 割り込みの許可/禁止設定可能

また独自フォーマットのフリーデータフォーマットに対応しています。

表 13-1 I2C バス使用時の規格対応項目

I2C バス規格項目	I2C バス規格	TMPM036FWFG
STANDARD モード対応(~ 100KHz)	必要	対応
FAST モード対応(~ 400KHz)	必要	対応
Hs (High speed) モード対応(~ 3.4Mbps)	必要	非対応
7 ビットアドレッシング対応	必要	対応
10 ビットアドレッシング対応	必要	非対応
START バイト	必要	非対応
ノイズキャンセラ対応	必要	対応(デジタル)
スロープ制御対応	必要	非対応
電源 OFF 時の I/O 対応	必要	対応
シュミット (VIH/VIL)	VDD × 0.3 / VDD × 0.7	非対応
出力電流 VOL = 0.4V, VDD > 2V	3mA	非対応

13.1　構成

構成を図 13-1 に示します。

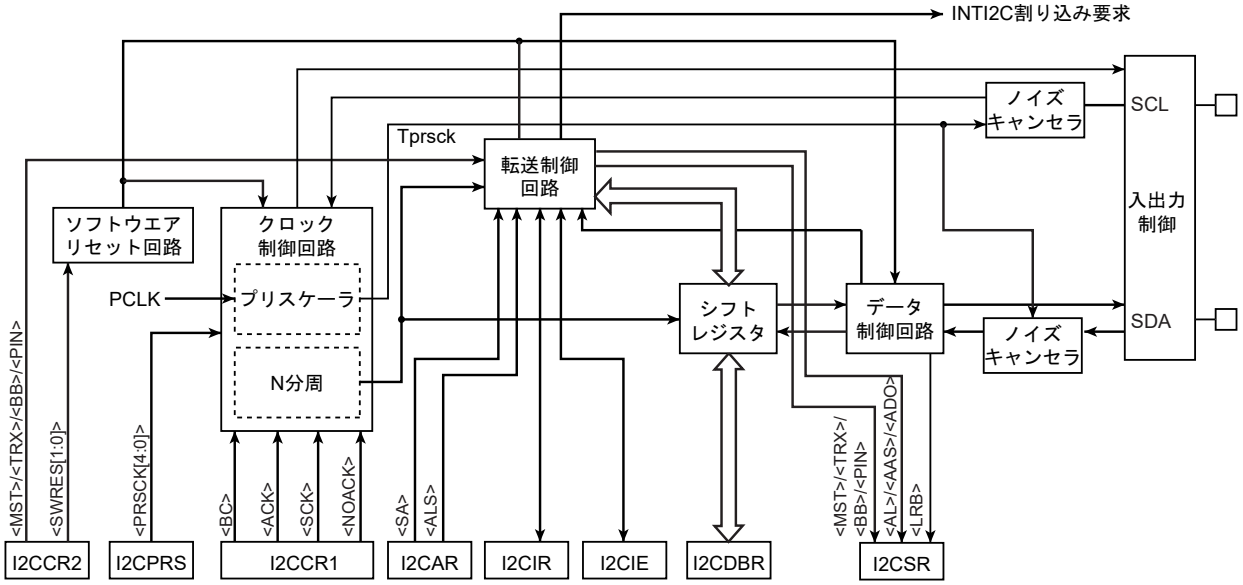


図 13-1 I2C バスブロック図

13.2 I2C バスモード

I2C バスは SDA と SCL を通して、デバイスがバスに接続されるバスで、複数のデバイスと通信が可能です。

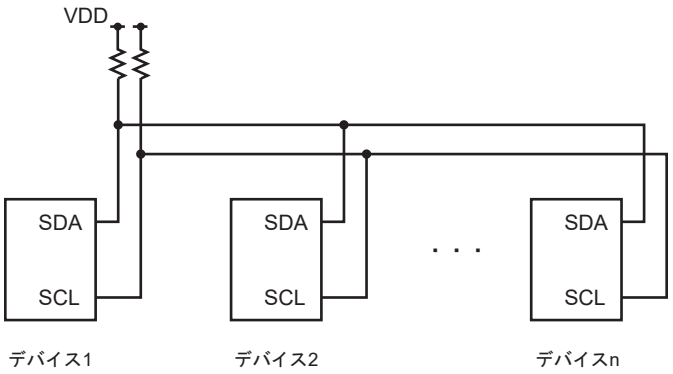


図 13-2 デバイスの接続

I2C バス上のマスタ/スレーブデバイスとして動作します。マスタデバイスは、バス上のシリアルクロックライン(SCL)のドライブ、8bit アドレス送信、1～8bit のデータ送信/受信を行います。スレーブデバイスは、バス上のシリアルクロックに同期して、8bit アドレスの受信、1~8bit のシリアルデータの送信/受信を行います。

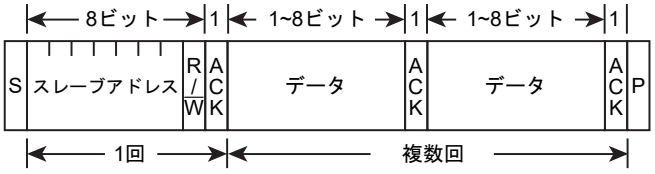
マスタ/スレーブに関わらず、受信動作をしたデバイスはシリアルデータ受信後アクノリッジ信号を出力することができ、送信動作をしたデバイスはそのアクノリッジを受けることができます。マスタはそのアクノリッジのためのクロックを出力することができます。

また、同一バス上に複数のマスタのあるマルチマスタ時、シリアルクロック同期化、およびシリアルデータの整合性を保つためのアービトレーションロストをサポートしています。

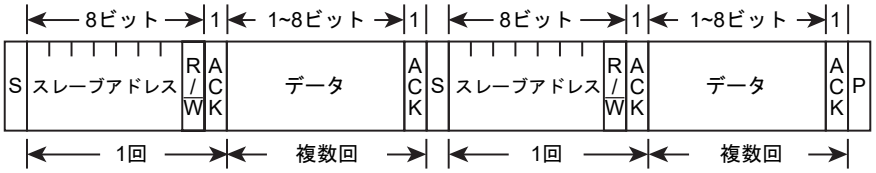
13.2.1 I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 13-3 に示します。

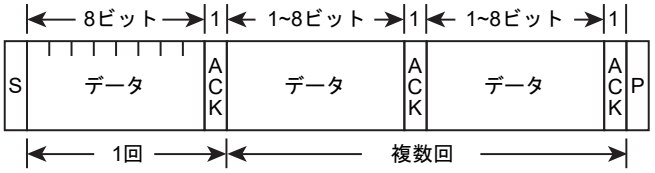
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注)　S : スタートコンディション
　　R/$\overline{W}$: 方向ビット
　　ACK : アクノリッジビット
　　P : ストップコンディション

図 13-3 I2C バスモード時のデータフォーマット

13.3 レジスタ説明

13.3.1 チャネル別レジスター覧

I2C 機能のレジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照下さい。

レジスタ名		Address(Base+)
コントロールレジスタ 1	I2CxCR1	0x0000
データバッファレジスタ	I2CxDBR	0x0004
I2C バスアドレスレジスタ	I2CxAR	0x0008
コントロールレジスタ 2	I2CxCR2(ライト時)	0x000C
ステータスレジスタ	I2CxSR(リード時)	
プリスケーラクロック設定レジスタ	I2CxPRS	0x0010
割り込み許可レジスタ	I2CxIE	0x0014
割り込みレジスタ	I2CxIR	0x0018

注) これらのレジスタは、ワードアクセスしてください。

13.3.2 I2CxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	NOACK	SCK		
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>BC[2:0]</td><td>R/W</td><td>転送ビット数の選択(注 1)
<table>
<tr><th rowspan="2"><BC></th><th colspan="2"><ACK> = 0 のとき</th><th colspan="2"><ACK> = 1 のとき</th></tr>
<tr><th>クロック数</th><th>データ長</th><th>クロック数</th><th>データ長</th></tr>
<tr><td>000</td><td>8</td><td>8</td><td>9</td><td>8</td></tr>
<tr><td>001</td><td>1</td><td>1</td><td>2</td><td>1</td></tr>
<tr><td>010</td><td>2</td><td>2</td><td>3</td><td>2</td></tr>
<tr><td>011</td><td>3</td><td>3</td><td>4</td><td>3</td></tr>
<tr><td>100</td><td>4</td><td>4</td><td>5</td><td>4</td></tr>
<tr><td>101</td><td>5</td><td>5</td><td>6</td><td>5</td></tr>
<tr><td>110</td><td>6</td><td>6</td><td>7</td><td>6</td></tr>
<tr><td>111</td><td>7</td><td>7</td><td>8</td><td>7</td></tr>
</table></td></tr>
<tr><td>4</td><td>ACK</td><td>R/W</td><td>マスターモード
0: アクノリッジのためのクロックを発生しない
1: アクノリッジのためのクロックを発生する
スレーブモード
0:アクノリッジのためのクロックをカウントしない
1:アクノリッジのためのクロックをカウントする</td></tr>
<tr><td>3</td><td>NOACK</td><td>R/W</td><td>スレーブアドレス一致検出およびゼネラルコール検出選択
0: スレーブ動作時、スレーブアドレス一致およびゼネラルコールを検出する
1: スレーブ動作時、スレーブアドレス一致およびゼネラルコールを検出しない

I2CAR<ALS>が 1 のときは、このビットは意味を持ちません。</td></tr>
<tr><td>2-0</td><td>SCK[2:0]</td><td>R/W</td><td>内部 SCL 出力クロックの周波数選択(注 2)
<table>
<tr><td>000 :</td><td>n = 0</td><td>100 :</td><td>n = 4</td></tr>
<tr><td>001 :</td><td>n = 1</td><td>101 :</td><td>n = 5</td></tr>
<tr><td>010 :</td><td>n = 2</td><td>110 :</td><td>n = 6</td></tr>
<tr><td>011 :</td><td>n = 3</td><td>111 :</td><td>n = 7</td></tr>
</table></td></tr>
</table>

注 1)　本レジスタに対する書き込みは、スタートコンディション発生前およびストップコンディション発生後、もしくはアドレスまたはデータ転送後の割り込み発生から、内部割り込み解除までの間に行ってください。アドレスおよびデータ転送中の書き込みはしないでください。

注 2)　I2CxCR1<SCK[2:0]>による分周設定は「13.3.7 I2CxPRS(プリスケーラクロック設定レジスタ)」および「13.4.1 シリアルクロック」を参照してください。

注 3)　読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

13.3.3 I2CxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ 受信データは LSB 側に格納されます。
		W	送信データ 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。

マスタからのアドレス送信時は、転送のターゲットとなるデバイスのアドレスを I2CxDBR<DB[7:1]>に書き込み、I2CxDBR<DB[0]>には、転送の方向ビットとして

<DB[0]> = 0 : マスタ送信 → スレーブ受信

<DB[0]> = 1 : マスタ受信 ← スレーブ送信

を書き込みます。また、I2CxDBR レジスタの全てのビットに 0 を書き込むと、バスにゼネラルコールを送信することができます。

送信/受信時、I2CxDBR に対しての書き込み/読み込み動作によって、転送後の内部割り込みが解除され、次の転送が開始されます。

I2CxDBR は書き込み用のバッファと読み出し用のバッファを兼用していますが、送信時は送信専用、受信時は受信専用として使用してください。また、1 回の転送ごとにレジスタをアクセスするようにしてください。

注 1) 初期化されるのはハードウエアリセット後のみです。ソフトウエアリセット後は初期化されません。(最終データを保持します)

13.3.4　I2CxAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1)　<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

注 2)　スレーブモード時 I2CxAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

13.3.5 I2CxCR2(コントロールレジスタ 2)

このレジスタをリードすると、I2CxSR として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	I2CM	-	SWRES	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTI2C 割り込み要求解除 0: − 1: 割り込み要求の解除
3	I2CM	W	I2C 動作制御 0: 禁止 1: 許可
2	-	R	リードすると"0"が読めます。
1-0	SWRES[1:0]	W	ソフトウエアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。 詳細は「13.4.11 ソフトウエアリセット」を参照願います。

注) 通信中はモードを切り替えないでください。 ポートモードへの切り替えはバスフリーを確認してから行ってください。 また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"High"になっていることを確認してから行ってください。

注) I2CxCR2<I2CM>が"0"のとき、<I2CM>以外の I2CxCR2 に値を書き込むことはできません。I2CxCR2 に値を設定する前に<I2CM>に 1 を書き込んで I2C バスモードにしてください。

13.3.6　I2CxSR(ステータスレジスタ)

このレジスタをライトすると、I2CxCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTI2C 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトレーションロスト検出モニタ 0: − 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: − 1: 検出 (ゼネラルコール検出時もセットされます。)
1	AD0	R	ゼネラルコール検出モニタ 0: − 1: 検出
0	LRB	R	最終受信ビットモニタ 0:最終受信ビット "0" 1:最終受信ビット "1"

13.3.7 I2CxPRS(プリスケーラクロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PRSCK				
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-5	-	R	リードすると"0"が読めます。
4-0	PRSCK[4:0]	R/W	シリアルクロック生成用プリスケーラクロック周波数の選択 00000 : P=32 分周 00001 : P=1 分周 11111 : P=31 分周

注) 「13.3.2 I2CxCR1(コントロールレジスタ 1)」、「13.4.1 シリアルクロック」を参照してください。

13.3.8　I2CxIE(割り込み許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	IE	R/W	I2C 割り込み出力の許可/禁止設定 0:禁止 1:許可

13.3.9　I2CxIR(割り込みレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	ISIC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	-	R	リードすると"0"が読めます。
0	ISIC	R	I2C 割り込み状態 0:割り込みなし 1:割り込み発生 I2CxIE<IE>によるマスク前の I2C 割り込みステータスです。
		W	I2C 割り込みをクリア 0:無効 1:割り込みクリア "1"を書き込むと、I2C 割り込み出力(INTI2C)をクリアします。0 を書き込んでも何も起こりません。

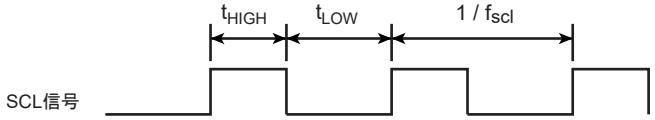
13.4 I2C バスモード時の制御

13.4.1 シリアルクロック

13.4.1.1 クロックソース

I2CxCR1 <SCK[2:0]>で、マスタモード時に SCL 端子から出力されるシリアルクロックの HIGH 時間、LOW 時間を設定します。

<SCK[2:0]>	t_{HIGH} (i / T_{prsck})	t_{LOW} (j / T_{prsck})
	i	j
000	8	12
001	10	14
010	14	18
011	22	26
100	38	42
101	70	74
110	134	138
111	262	266



t_{LOW} = i / Tprsck
t_{HIGH} = j / Tprsck
fscl = 1 / (t_{LOW} + t_{HIGH})

図 13-4 クロックソース

注) バスの負荷容量と Pull-Up 抵抗との組み合わせにより、立ち上がりが鈍り、設定した t_{HIGH} とならないことがあります。また、他のデバイスの出力するシリアルクロックと同期をとる機能（クロック同期化機能）が働いた場合、設定値と異なるクロックとなる場合があります。

マスタ時、スタートコンディション発生時のホールドタイムと、ストップコンディション発生時のセットアップタイムは t_{HIGH}[s] となります。

スレーブ時の I2CxCR2<PIN>を 1 にセットしたとき、SCL 解放までの時間は t_{LOW}[s] となります。

なお、マスタモード/ スレーブモードともに I2CxCR1<SCK[2:0]>と関係なく、外部から入力されるシリアルクロックは、 "High" レベルは 4/Tprsck[s] 以上、“Low” レベルは 5/Tprsck[s] 以上必要です。

I2CxCR1<SCK[2:0]>, I2CxPRS<PRSCK[4:0]>により、マスタ時に出力するシリアルクロックの速度を設定します。シリアルクロック生成の基準クロックには、I2CxPRS<PRSCK[4:0]>に従って分周されたプリスケーラクロックを使用します。

プリスケーラクロックは I2CxCR1<SCK[2:0]>に従ってさらに分周し、シリアルクロックとして使用します。プリスケーラクロックのデフォルト設定は 1 分周(fsys)です。

・　シリアル転送レートについて

シリアルクロックレート(f_{scl})は、動作周波数(f_{sys})をもとに、プリスケーラクロック(p)とシリアルクロック(n)の組み合わせにより以下のように決定されます。

$$\text{シリアルクロックレート:}f_{scl}\ (\text{kHz}) = \frac{\text{fsys(MHz)}}{p\times(2^{n+2}+16)} \times 1000$$

p :　プリスケーラ設定　　I2CxPRS<PRSCK[4:0]>,　1~32
n :　シリアルクロック設定　I2CxCR1<SCK[2:0]>,　0~7

設定範囲は動作周波数(fsys)により変わります。以下の条件を満たすように、プリスケーラ設定"p"の設定可能範囲を決定してください。

50ns　<　プリスケーラクロック幅:Tprsck(ns)　≤　150ns

注)　マスタ/スレーブに関わらず、この範囲外はプリスケーラ設定禁止です。

また、他のデバイスの出力するシリアルクロックと同期をとる機能があるため、シリアルクロックの速度は一定でなくなることもあります。

n : <SCK[2:0]>			p : <PRSCK[4:0]>		
			00001 (1 分周)	01101 (13 分周)	00000 (32 分周)
			fsys との比		
0	0	0	20	260	640
0	0	1	24	312	768
0	1	0	32	416	1024
0	1	1	48	624	1536
1	0	0	80	1040	2560
1	0	1	144	1872	4608
1	1	0	272	3536	8704
1	1	1	528	6864	16896

注)　このビット(群)に対する書き込みは、ストップコンディション発生前もしくはストップコンディション発生後に行ってください。転送中の書き込みは予期せぬ動作の原因になります。

・　プリスケーラクロック幅(ノイズキャンセル幅)について

プリスケーラクロック幅(Tprsck) (ノイズキャンセル幅)は、動作周波数(fsys)をもとに、プリスケーラ設定"p"(I2CxPRS<PRSCK[4:0]>、1～32)により、以下のように決定されます。

$$\text{プリスケーラクロック幅:Tprsck (ns)} = \frac{1}{\text{fsys(MHz)}} \times 1000 \times p$$
(ノイズキャンセル幅)

13.4.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

I2C はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

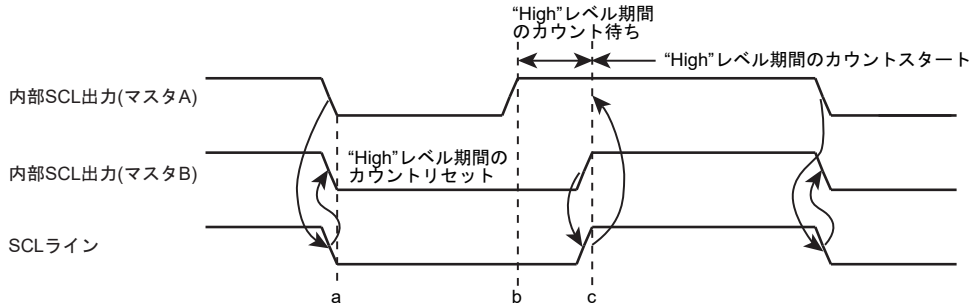


図 13-5 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後,"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

13.4.2 スレーブアドレス一致検出、ゼネラルコール検出の選択

スレーブデバイスがスレーブアドレスの一致検出、ゼネラルコール検出をする際に、I2CxCR1<NOACK>で、スレーブモードのスレーブアドレス一致および、ゼネラルコールを検出する/しないの設定を行います。

<NOACK>= 0 の時、スレーブアドレスの一致検出およびゼネラルコールの検出をおこない、スレーブアドレスの一致検出時またはゼネラルコール検出時、マスタの出力する 9 クロック目(アクノリッジクロック)の間 SDA ラインを "Low"に引き、アクノリッジを返します。

<NOACK>= 1 の時、スレーブアドレスの一致検出およびゼネラルコールの検出をおこなわず、スレーブアドレスの一致時、またはゼネラルコール検出時、マスタの出力するアクノリッジクロック(9 クロック目)の間 SDA ラインを解放(High 状態)し、アクノリッジを返しません。

このとき、マスタから送られてくるスレーブアドレス、ゼネラルコールを無視し、INTI2C 割り込み要求も発生しません。

マスタモード時、I2CxCR1<NOACK>は無視され、動作に影響を与えません。

注)　スレーブモードでデータを転送中に I2CxCR1<NOACK>を 0 にクリアしても 1 の状態が保持され、データ転送時のアクノリッジを返します。

13.4.3　アクノリッジメントモードの指定

I2CxCR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDAx 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDAx 端子を"Low"レベルに引き、更に、スレーブモードのときにゼネラルコールアドレスを受信した場合にもアクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引き、アクノリッジ信号を発生します。

なおゼネラルコールのセカンドバイトは内容によりアクノリッジ信号の発生有無を制御する必要がありますので、ソフトウェアによりアクノリッジ信号の制御を行ってください。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

13.4.4　転送ビット数の選択

I2CxCR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

注)　スレーブアドレスの送信、受信は I2CCR1<ACK>をセットした状態で実施してください。I2CxCR1<ACK>がクリアされた状態ではスレーブアドレスの一致、方向ビットの検出が正常に行われません。

13.4.5　スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、I2CxAR<ALS>に"0"を設定し、I2CxAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

13.4.6 マスタ/スレーブの選択

I2CxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

13.4.7 トランスミッタ/レシーバの選択

I2CxCR2<TRX> を"1"に設定すると、トランスミッタとして動作し、<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時は、

- アドレッシングフォーマットのデータ転送を行うとき
- 受信したスレーブアドレスが I2CxAR にセットした値と同じとき
- ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき

ハードウエアによりマスタデバイスから送られてくる方向ビット(R/$\overline{W}$)が"1"の場合、<TRX>は"1"にセットされ、"0"の場合、<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、送信した方向ビットが"1"の場合、<TRX>は"0"に、方向ビットが"0"の場合、<TRX>は"1"に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

表 13-2 に各モードでの I2CSR<TRX>の変化条件と変化後の<TRX>の値を示します。

注) I2CxCR1<NOACK>が 1 のとき、スレーブアドレス一致の検出、ゼネラルコールの検出が禁止されているため、I2CxSR<TRX>は変化しません。

表 13-2 各モードでの I2CxSR<TRX>の動作

モード	方向ビット	変化条件	変化後の<TRX>
スレーブモード	0	受信したスレーブアドレスが I2CAR<SA>に設定された値と同じとき	0
	1		1
マスタモード	0	ACK 信号が返ってきたとき	1
	1		0

フリーデータフォーマットで使用する場合,、スレーブアドレス, 方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。そのため、<TRX>はハードウエアによって変化することはありません。

13.4.8　スタート/ストップコンディションの発生

I2CxSR<BB>が"0"のときに、I2CxCR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディション、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK>に"1"を設定しておいてください。

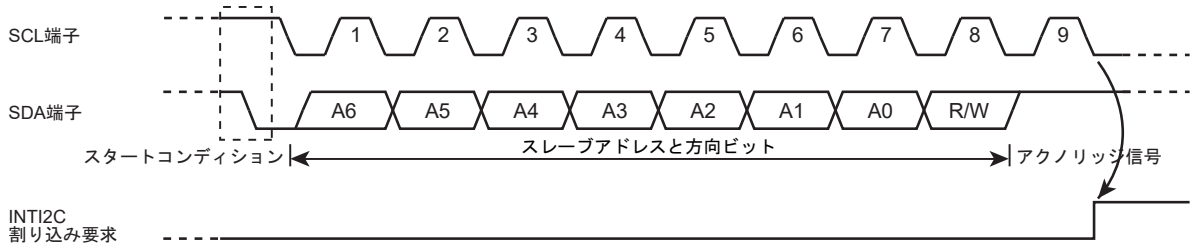
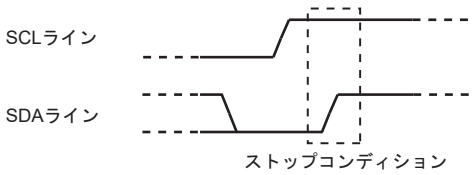


図 13-6 スタートコンディションの発生とスレーブアドレスの発生

<BB> = "1"のときに、<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより"Low"に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。



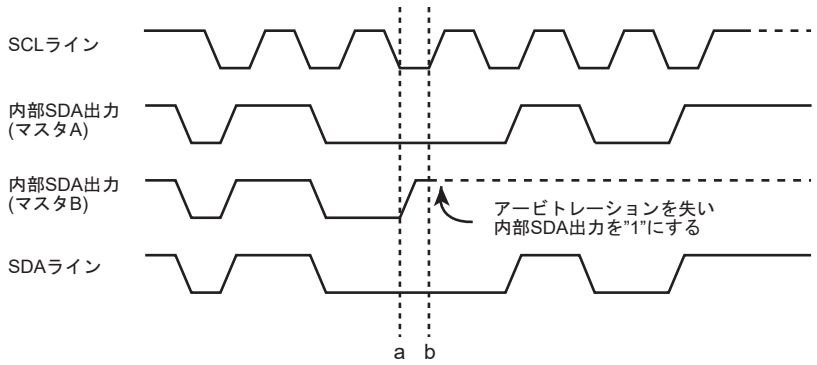


図 13-7 ストップコンディションの発生

また、I2CxSR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

一般的な動作として、I2CxSR の状態と、その際の設定例を示します。

I2CxCR2<MST>,<TRX>,<BB>,<PIN>のビットは本来独立した機能を持っていますが、I2CxSR の状態に応じて次のような定型的な組合せで使用します。

I2CxSR			I2CxCR2				動作
<MST>	<BB>	<PIN>	<MST>	<TRX>	<BB>	<PIN>	
0	0	1	0	0	0	0	スレーブとしてスタートコンディション待ち
			1	1	1	1	スタートコンディション発生
1	1	0	1	1	0	1	ストップコンディション発生
			0	0	0	1	再スタートのため内部割り込み解除

注) このビット(群)に対する書き込みの際に、誤って I2CxCR2<I2CM>を変更しないようにして下さい。

13.4.9　割り込みサービス要求と解除

マスタモードの時、I2CxCR1<BC>と<ACK>によって設定されたクロック数の転送が終了すると、I2C 割り込み要求(INTI2C)が発生します。

スレーブモードで I2CxAR<ALS>が"0"の場合は、以下のときに INTI2C が発生します。

- I2CxCR1<NOACK>が 0 のとき、受信したスレーブアドレスが I2CxAR<SA[6:0]>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- I2CxCR1<NOACK>が 0 のとき、ゼネラルコールを受信した時のアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

割り込み要求(INTI2Cx)が発生すると、I2CxCR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"Low"レベルに引きます。

<PIN>は I2CxDBR にデータを書き込むか、I2CxDBR からデータを読み出すと"1"にセットされます。<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、t_{LOW} の時間がかかります。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注)　マスタモードでスレーブアドレスと方向ビット転送中にアービトレーションロストが発生した時、スレーブアドレスが一致した場合、または、しなかった場合とも,<PIN>は"0"にクリアされ。INTI2Cx が発生します。)

13.4.10　I2C バスモード

I2CxCR2<I2CM>を 1 にセットすると I2C バスモードになります。I2C バスモードで使用するときは、端子の状態が"High"になっていることを確認後、<I2CM>を"1"に設定してください。また、初期状態への切り替えはバスフリーを確認後、<I2CM>を 0 にしてください。

注)　I2CxCR2<I2CM>が"0"のとき、<I2CM>以外の I2CxCR2 に値を書き込むことはできません。I2CxCR2 に値を設定する前に<I2CM>に 1 を書き込んで I2C バスモードにしてください。

13.4.11　ソフトウエアリセット

I2C バスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、I2C バスインタフェース回路を初期化することができます。

I2CxCR2<SWRES[1:0]>へ、最初に"10"、次に"01"をライトすると、I2C バスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、I2CxCR2<I2CM>と I2CxDBR レジスタを除く、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRES>は、I2C バスインタフェースを初期化すると、自動的に"0"にクリアされます。

注)　ソフトウエアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

13.4.12　アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために SDA ラインはマスタ A によって"Low"レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼び、アービトレーションを失ったマスタ B は SDA、SCL 端子を開放し、アービトレーションを失っていないマスタ A の出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

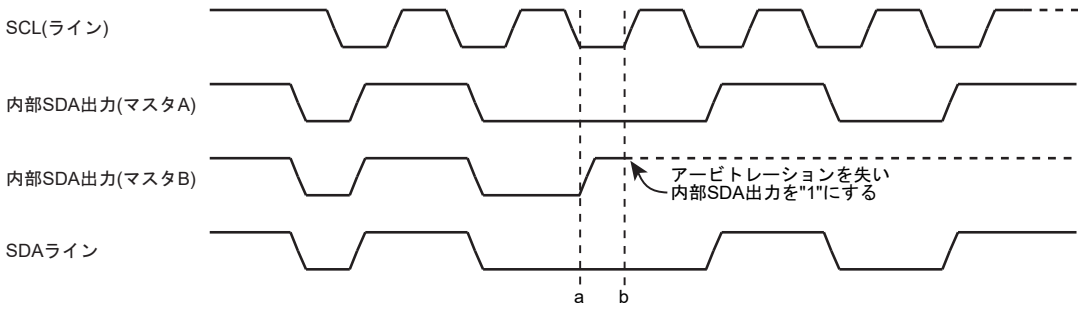


図 13-8 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、I2CxSR<AL> が"1"にセットされます。

<AL> が"1"にセットされると I2CxSR<MST, TRX>は"0"にクリアされ、スレーブレシーバモードになります。そのため、<AL>が"1"にセットされた後のデータ転送では I2C バスインタフェース回路はクロック出力を停止します。

<AL>は、I2CxDBR にデータを書き込むか、I2CxDBR からデータを読み込む、または I2CxCR2 にデータを書き込むと"0"にクリアされます。

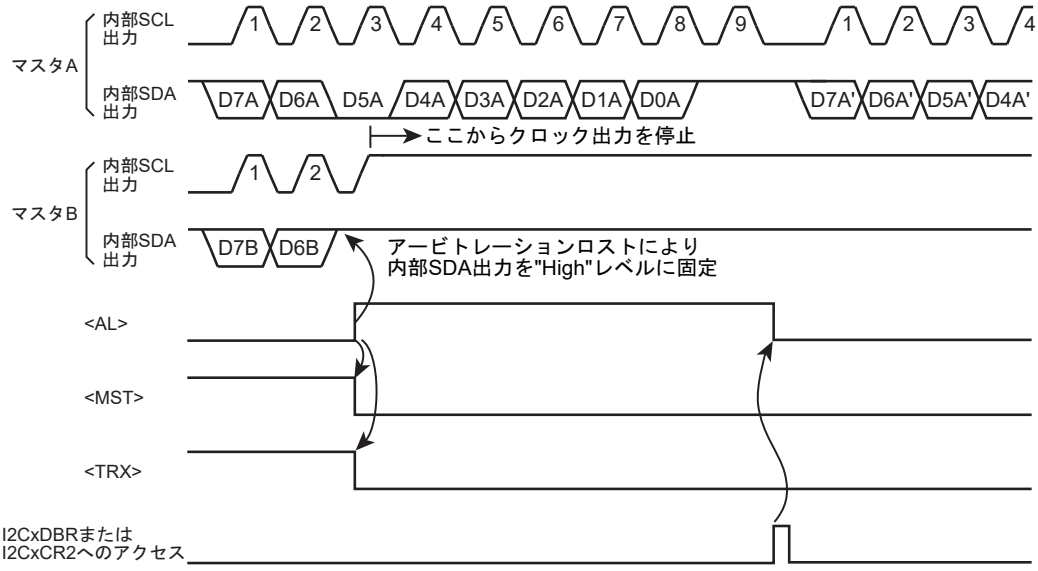


図 13-9 マスタ B の場合の例(D7A=D7B,D6A=D6B)

13.4.13　スレーブアドレス一致検出モニタ

I2CxSR<AAS>は、スレーブモード時、アドレス認識モード(I2CxAR<ALS> = "0")の場合にスレーブアドレスの一致検出ができます。

I2CxCR1<NOACK>を 0 にクリアすると、アドレス一致検出を許可し、ゼネラルコールまたは、I2CxAR<SA>にセットした値と同じスレーブアドレスを受信することで、I2CxSR<AAS>は、1 にセットされます。

I2CxCR1<NOACK>を 1 にセットすると、アドレス一致検出を禁止し、ゼネラルコールまたは、I2CxAR<SA>にセットした値と同じスレーブアドレスを受信しても、I2CxSR<AAS>は、1 にセットされません。

フリーデータフォーマット(<ALS> = "1")のときは、最初の 1 ワードが受信されると"1"にセットされます。<AAS> は I2CxDBR にデータを書き込むか、I2CxDBR からデータを読み出すと"0"にクリアされます。

13.4.14　ゼネラルコール検出モニタ

I2CxSR<AD0>は、スレーブモード時、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき"1"にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

13.4.15　最終受信ビットモニタ

I2CxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTI2Cx 割り込み要求発生直後に I2CxSR<LRB> を読み出すと、ACK 信号が読み出されます。

13.4.16 データバッファレジスタ(I2CxDBR)

I2CxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

13.5　I2C バスモード時のデータ転送手順

13.5.1　デバイスの初期化

SDA と SCL 端子の状態が"High"(バスフリー) になっていることを確認し、I2CxCR2<I2CM>に"1" を設定し、I2C をイネーブルに設定します。

次に、I2CxCR1<ACK>に"1"を 、I2CxCR1<NOACK>に"0" を、I2CxCR1<BC[2:0]>に"000" をそれぞれ書き込み、アクノリッジのためのクロック数を“カウントする”、 スレーブアドレス一致検出およびゼネラルコール検出を”許可”に、 データ長を“8 ビット”にそれぞれ設定します。

また、I2CxCR1<SCK>で t_{HIGH}、t_{LOW} を設定します。

それから I2CxAR<SA>にスレーブアドレスを設定し、I2CAR<ALS>を 0 に設定してアドレッシングフォーマットを設定します。

最後に、I2CxCR2<MST>、 I2CxCR2<TRX>、 I2CxCR2<BB>に"0" を、I2CxCR2<PIN>に"1" を、I2CxCR2<SWRES[1:0]>に"00" を設定し、初期状態をスレーブレシーバモードにします。

注) I2C の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、I2C の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

		7	6	5	4	3	2	1	0	
I2CxCR2	←	0	0	0	1	1	0	0	0	I2C を許可
I2CxCR1	←	0	0	0	1	0	1	1	0	アクノリッジメントモード、I2CCR1<SCK>= 110 に設定
I2CxAR	←	1	0	1	0	0	0	0	0	スレーブアドレスを 1010000 に、アドレッシングフォーマットに設定
I2CxCR2	←	0	0	0	1	1	0	0	0	スレーブレシーバモードに設定

注) X; Don't care

13.5.2　スタートコンディション, スレーブアドレスの発生

13.5.2.1　マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(<BB> = "0")を確認します。次に、I2CxCR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、I2CxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = "0" の状態で、I2CxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCLx 端子から 9 クロックを出力します。最初の 8 クロックで、I2CxDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTI2C 割り込み要求が発生し、<PIN> = "0"にされます。マスタモード時は、<PIN> = "0" の間 SCL ラインを"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTI2C 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

注 1) スレーブアドレスを出力するために I2CxDBR に書き込む時は事前にソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

注 2) スレーブアドレスを書き込んでからスタートコンディションを発生させるまでの間に、ほかのマスタによる転送が行われる場合があります。そのため、出力するスレーブアドレスの書き込みから 98.0μs (STANDARD モード I2C バス規格による最短の転送時間)、または 23.7μs (FAST モード I2C バス規格による最短の転送時間) 以内に、再度ソフトウエアによるバスフリーの確認を行い、バスフリーが確認できたときのみスタートコンディションを発生させてください。

メインルーチンでの設定

```
                    7  6  5  4  3  2  1  0
Reg.          ←  I2CxSR
Reg.          ←  Reg. AND 0x20
if Reg.       ≠  0x00                          バスがフリー状態になるまで確認します。
Then
I2CxCR1       ←  X  X  X  1  0  X  X  X       アクノリッジメントモードに設定します。
I2CxDBR       ←  X  X  X  X  X  X  X  X       目的のスレーブのスレーブアドレスと方向をセットします。
I2CxCR2       ←  1  1  1  1  1  0  0  0       スタートコンディションの発生を行います。
```

INTI2Cx 割り込みルーチンでの処理例

割り込み要求クリア

処理

割り込み終了

13.5.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2CxAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを"Low"レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTI2Cx 割り込み要求が発生し、<PIN> = "0"にされます。スレーブモード時は、<PIN> = "0"の間 SCL ラインを"Low"レベルに引きます。

注) DMA 転送を使用する場合は
・マスタスレーブが 1 対 1
・送信または受信が連続して可能
のときにのみ可能です。

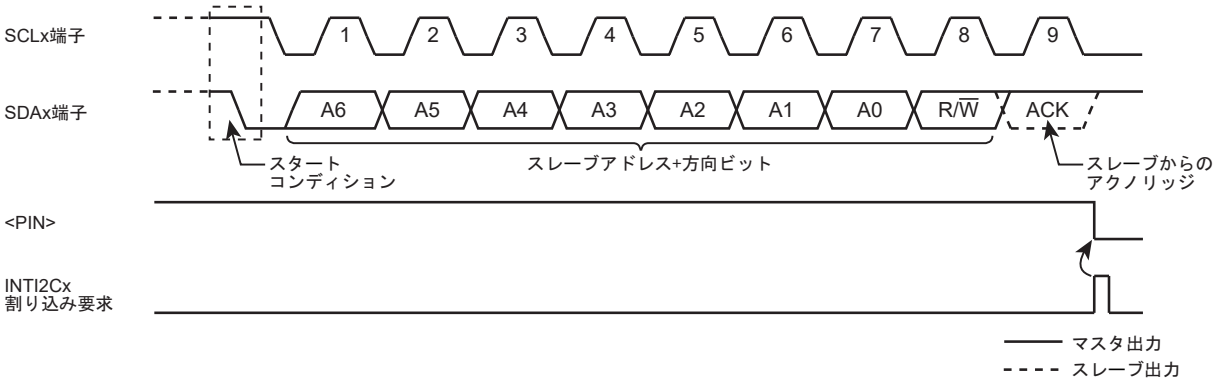


図 13-10 スタートコンディションとスレーブアドレスの発生

13.5.3 1 ワードのデータ転送

1 ワード転送終了の割り込みの処理で I2CxSR<MST>をテストし、マスタモード/スレーブモードの判断をします。

13.5.3.1 マスタモードの場合(<MST> = "1")

I2CxSR<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1) トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき I2CxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、転送データを I2CxDBR に書き込みます。データを書き込むと<PIN>が"1"になり SCL 端子から次の 1 ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTI2C 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTI2Cx 割り込み

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行

I2CxCR1	←	X	X	X	X	0	X	X	X	転送ビット数および ACK を設定します。
I2CxDBR	←	X	X	X	X	X	X	X	X	転送データを書き込みます。

割り込み処理終了

注) X; Don't care

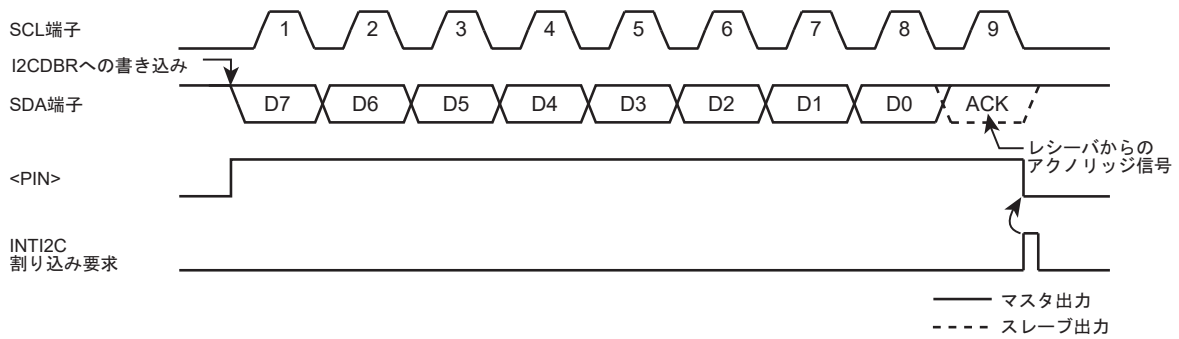


図 13-11 <BC[2:0]>="000",<ACK>="1"の場合（トランスミッタモード）

(2)　レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットのときは I2CxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、SCL ラインを解放するために I2CxDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用のシリアルクロックを SCLx 端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"を SDAx 端子に出力します。

その後、INTI2Cx 割り込み要求が発生し、<PIN>が"0"になり SCLx 端子を"Low"レベルに引きます。I2CxDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

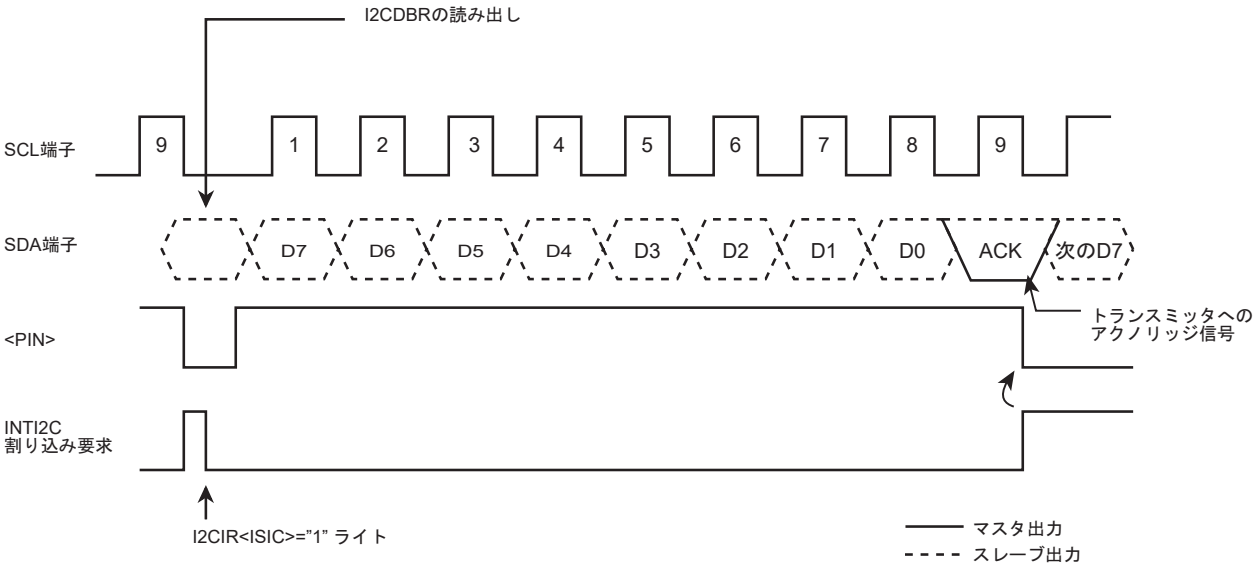


図 13-12 <BC[2:0]>="000",<ACK>="1"のときの例（レーシーバモード）

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001"に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"High"レベルを保ちます。トランスミッタは ACK 信号としてこの"High"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

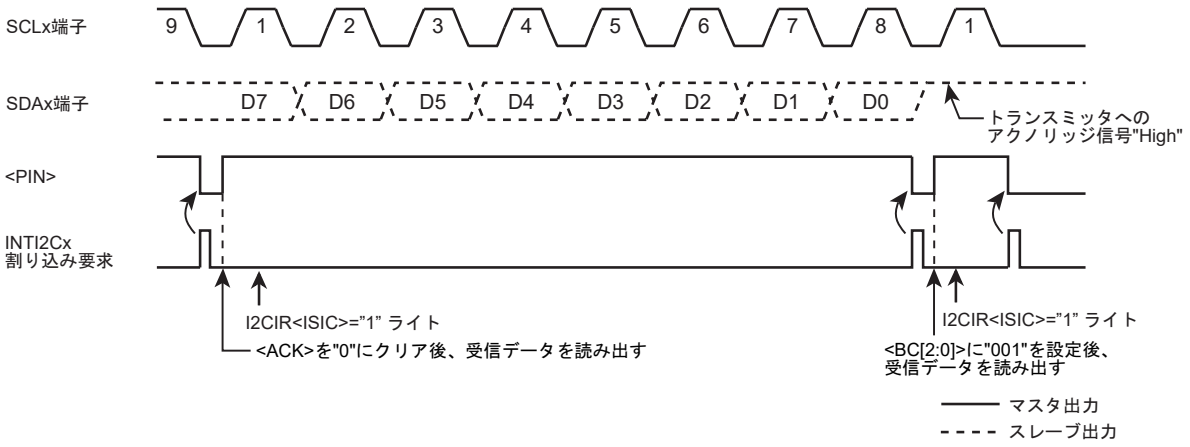


図 13-13 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

INTI2Cx 割り込み(データ送信後)

		7	6	5	4	3	2	1	0	
I2CxCR1	←	X	X	X	X	0	X	X	X	受信データのビット数および ACK を設定します。
Reg.	←	I2CxDBR								ダミーデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 1~(N − 2)回目)

		7	6	5	4	3	2	1	0	
Reg.	←	I2CxDBR								1~(N − 2)回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 (N − 1)回目)

		7	6	5	4	3	2	1	0	
I2CxCR1	←	X	X	X	0	0	X	X	X	アクノリッジ信号のクロックを発生しないようにします。
Reg.	←	I2CxDBR								(N − 1)回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0	
I2CxCR1	←	0	0	1	0	0	X	X	X	1 ビット転送のためのクロックを発生します。
Reg.	←	I2CxDBR								N 回目のデータを取り込みます。
割り込み終了										

INTI2Cx 割り込み(データ受信後)

ストップコンディションを発生する処理	データ転送を終了させます。
割り込み終了	

注)　X; Don’t care

13.5.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、以下の場合に INTI2C 割り込み要求が発生します。

- I2CxCR1<NOACK>が 0 のとき、ゼネラルコールアドレスを受信したときのアクノリッジ信号出力後
- I2CxCR1<NOACK>が 0 のとき、受信したスレーブアドレスが、I2CxAR<SA>に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコールアドレス受信後におけるデータ転送終了時

また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTI2C 割り込み要求が発生します。INTI2C 割り込み要求が発生すると<PIN>が"0"にされ、SCLx 端子を"Low"レベルに引きます。I2CxDBR にデータを書き込むか<PIN>に"1"を設定すると SCLx 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

I2CxSR<AL>, <TRX>, <AAS>, <AD0>をテストし、場合分けを行います。「表 13-3 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが"1"の場合

INTI2Cx 割り込み

```
if TRX = 0
Then その他処理へ移行
if AL = 0
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
I2CxCR1     ←  X  X  X  1  0  X  X  X     送信ビット数を設定します。
I2CxDBR     ←  X  X  X  X  X  X  X  X     送信データをセットします。
```

注) X; Don't care

表 13-3 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを I2CxDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを I2CxDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	<PIN>を 1 にセットするために I2CxDBR にダミーデータ(0x00)を書き込みます。または<PIN>に 1 を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を<BC[2:0]>にセットし、受信データを I2CxDBR から読み込み、ダミーデータ(0x00)を書き込みます。

注)　スレーブモードで<SA[6:0]>が 0x00 に設定されている場合、I2C バス規格の START バイト(0x01)を受信したときにスレーブアドレスが一致したと判断し、<TRX>が 1 にセットされます。<SA[6:0]>に 0x00 を設定しないでください。

13.5.4 ストップコンディションの発生

I2CxSR<BB> = "1"のときに、I2CxCR2<MST, TRX, PIN> に"1" 、<BB>に"0"を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されてから、SDA 端子が立ち上がり、ストップコンディションが発生します。

SCL ラインが解放されてからストップコンディションが発生するまで、t_{HIGH} かかります。

		7	6	5	4	3	2	1	0	
I2CxCR2	←	1	1	0	1	1	0	0	0	ストップコンディションを発生させます。

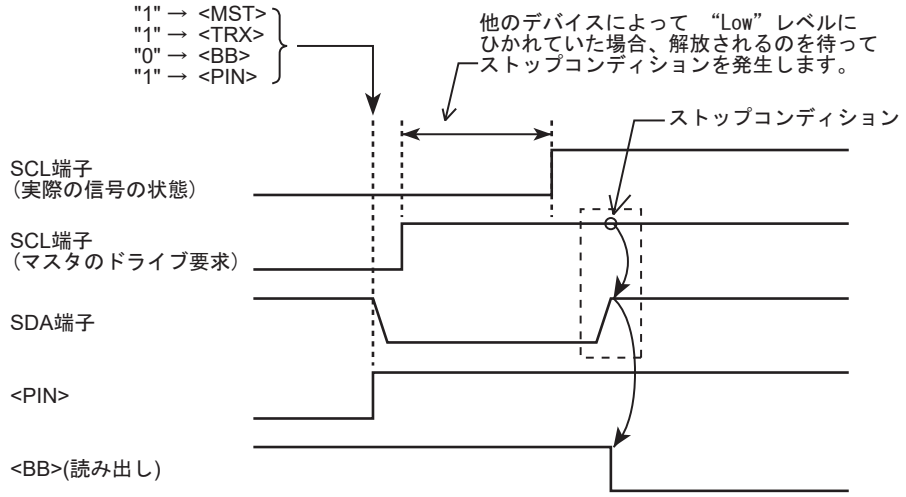


図 13-14 ストップコンディションの発生

13.5.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、I2CxCR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDA 端子は"High"レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、I2CxSR<BB>をテストして"0"になるまで待ち、SCLx 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「13.5.2 スタートコンディション, スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウエアによる待ち時間が必要です。

注 1) <MST> = "0"の状態の時に<MST> = "0"をライトしないでください(再スタートできません)。

注 2) マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0	
I2CxCR2	←	0	0	0	1	1	0	0	0	バスを開放します。
if I2CxSR<BB> ≠ 0										SCL 端子の開放を確認します。
Then										
if I2CxSR<LRB> ≠ 1										他のデバイスの SCL 端子"Low"レベルの確認を行います。
Then										
4.7 μs Wait										
I2CxCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
I2CxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
I2CxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注)　X; Don't care

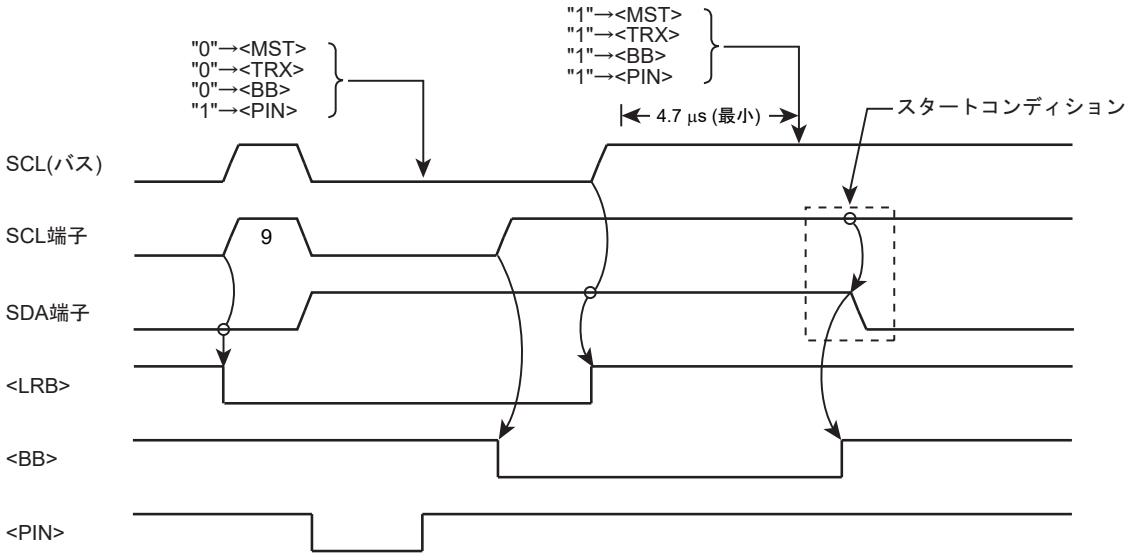


図 13-15 再スタートを発生する場合のタイミングチャート

13.6 使用上の注意点

13.6.1 ソフトウエアリセット後のレジスタ値

ソフトウエアリセットの実行により、I2CxCR2<I2CM>以外のレジスタと内部回路が初期化され、SCL および SDA は開放されます。(「13.4.1.2 クロック同期化」参照)

ただし、I2CxSR<LRB>については、ソフトウエアリセット後リードするタイミングによって、初期値(0)と異なる値が読み出される場合があります。

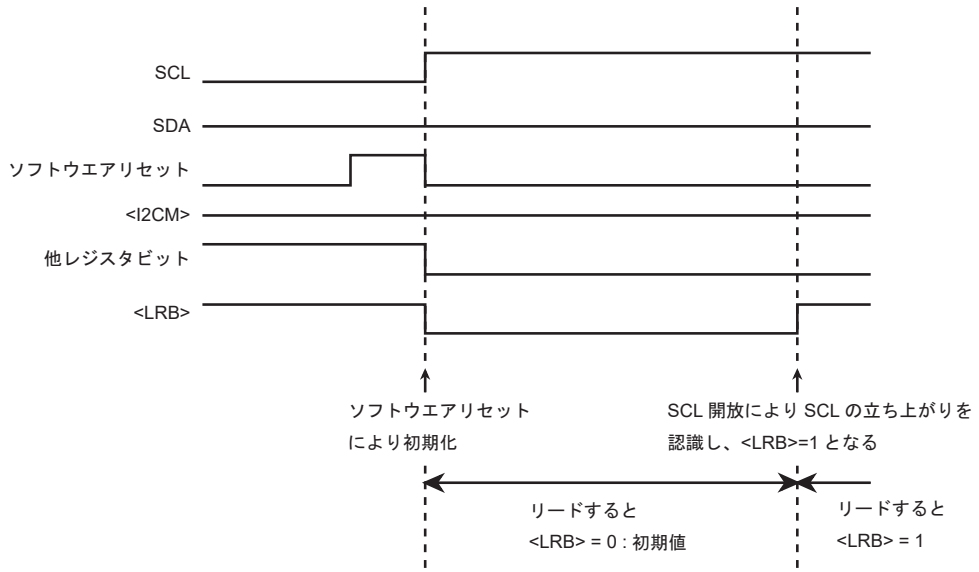


図 13-16 SDA=1 の状態で、ソフトウエアリセットにより SCL=0 から 1 に開放する場合

第 14 章　10 ビットアナログ/デジタルコンバータ(ADC)

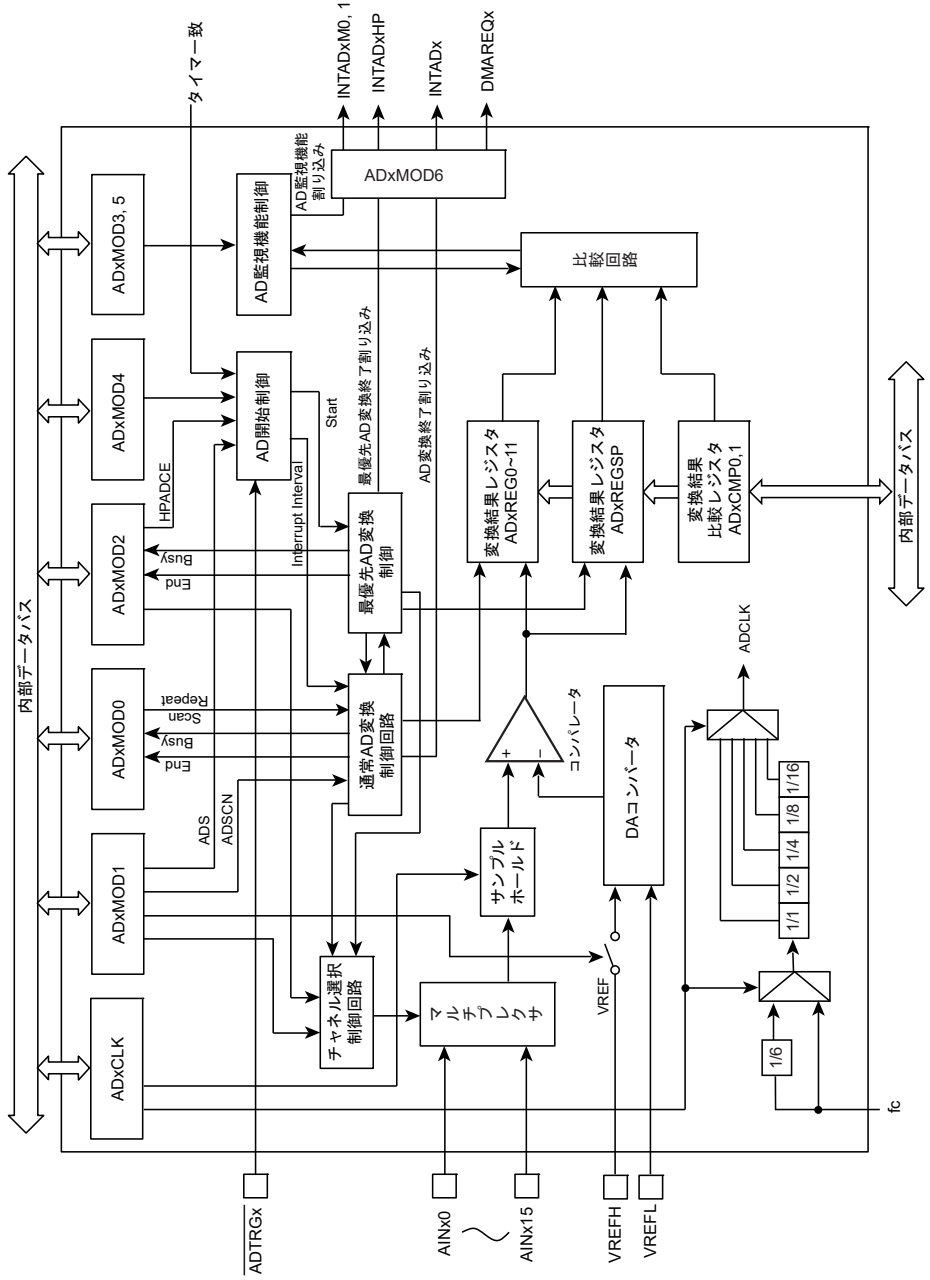
14.1　概要

TMPM036FWFG は、10 ビット逐次変換方式アナログ/デジタルコンバータ (ADC) を内蔵しています。

使用可能なチャネルと設定については、「製品情報」の章を参照してください。

14.2　構成

図 14-1 に AD コンバータのブロック図を示します。



注)　VFREH は AVDD3 と VREFL は AVSS と共用しています。

図 14-1 10 ビット AD コンバータのブロック図

14.3　レジスタ説明

14.3.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
変換クロック設定レジスタ	ADCLK	0x0000
モードコントロールレジスタ 0	ADMOD0	0x0004
モードコントロールレジスタ 1	ADMOD1	0x0008
モードコントロールレジスタ 2	ADMOD2	0x000C
モードコントロールレジスタ 3	ADMOD3	0x0010
モードコントロールレジスタ 4	ADMOD4	0x0014
モードコントロールレジスタ 5	ADMOD5	0x0018
モードコントロールレジスタ 6	ADMOD6	0x001C
変換結果レジスタ 0	ADREG0	0x0030
変換結果レジスタ 1	ADREG1	0x0034
変換結果レジスタ 2	ADREG2	0x0038
変換結果レジスタ 3	ADREG3	0x003C
変換結果レジスタ 4	ADREG4	0x0040
変換結果レジスタ 5	ADREG5	0x0044
変換結果レジスタ 6	ADREG6	0x0048
変換結果レジスタ 7	ADREG7	0x004C
変換結果レジスタ 8	ADREG8	0x0050
変換結果レジスタ 9	ADREG9	0x0054
変換結果レジスタ 10	ADREG10	0x0058
変換結果レジスタ 11	ADREG11	0x005C
変換結果レジスタ SP	ADREGSP	0x0060
変換結果比較レジスタ 0	ADCMP0	0x0064
変換結果比較レジスタ 1	ADCMP1	0x0068

14.3.2 ADCLK (変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCC		-	-	ADCLK			
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	ADCC[1:0]	R/W	変換クロック数選択 00: 35.5 変換クロック 01: 42 変換クロック 10: 68 変換クロック 11: 81 変換クロック
5-3	−	R	リードすると"0"が読めます。
3-0	ADCLK[3:0]	R/W	AD 変換クロック選択(注 1)(注 2) 0000: fc　1000: fc/6 0001: fc/2　1001:fc/12 0010: fc/4　1010:fc/24 0011: fc/8　1011:fc/48 0100: fc/16　1100:fc/96 0101 ~ 0111: Reserved　1101 ~ 1111:Reserved

注 1)　AD 変換中に、AD 変換クロック設定を変更しないで下さい。

注 2)　ADCLK で設定するクロックは、fsys(システムクロック）以下に設定して下さい。(ADCLK ≤ fsys)

変換クロック数は以下の条件を満たすように設定してください。

VREFH AVDD	変換時間
2.7 ~ 3.6V	16.2 μs 以上
2.3 ~ 3.6V	32.4 μs 以上

14.3.3　ADMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EOCFN	ADBFN	-	ITM		REPEAT	SCAN	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	EOCFN	R	通常 AD 変換終了フラグ(注 1) 0: 変換前または変換中 1: 終了 このビットは ADMOD0 をリードすると"0"にクリアされます。
6	ADBFN	R	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
5	−	R	リードすると"0"が読めます。
4-3	ITM[1:0]	R/W	チャネル固定リピート変換モード時の割り込み指定 00: 1 回変換するごとに割り込み発生 01: 4 回変換するごとに割り込み発生 10: 8 回変換するごとに割り込み発生 11: 設定禁止 この設定はチャネル固定リピートモード(<REPEAT> ="1"、<SCAN> = "0")のときのみ有効です。
2	REPEAT	R/W	リピートモード指定 0: シングル変換モード 1: リピート変換モード
1	SCAN	R/W	スキャンモード指定 0: チャネル固定モード 1: チャネルスキャンモード チャネルスキャンモードを指定した場合は ADMOD1<ADSCN>でスキャンするチャネル数を指定してください。
0	ADS	W	AD 変換スタート 0: Don't care 1: 変換開始 モード設定を行ってから変換を開始してください。 このビットはリードすると常に"0"が読み出されます。

14.3.4 ADMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VREFON	I2AD	ADSCN		ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	VREFON	R/W	VREF 印加制御(注) 0: OFF 1: ON
6	I2AD	R/W	IDLE モード時の動作設定 0: 停止 1: 動作
5-4	ADSCN[1:0]	R/W	チャネルスキャンモード時の動作選択 00: 4 チャネルスキャン 01: 8 チャネルスキャン 10: 12 チャネルスキャン 11: Reserved ADMOD0<SCAN>でチャネルスキャンモードを選択した際の動作を選択します。<ADCH>の設定により変換するチャネルが決まります。下表に変換チャネルを示します。
3-0	ADCH[3:0]	R/W	アナログ入力チャネル選択(下表参照)

注) AD 変換をスタートさせる場合は、必ず<VREFON>に"1"を書き込んだ後、内部基準電圧が安定するまでの 3μs 待ってから、ADMOD0<ADS>に"1"を書き込んでください。

アナログ入力チャネル選択

		<ADCH[3:0]>							
		0000	0001	0010	0011	0100	0101	0110	0111
ADMOD0 <SCAN>=0	チャネル固定	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7
ADMOD0 <SCAN>=1	<ADSCN>=00 4 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN4	AIN4~ AIN5	AIN4~ AIN6	AIN4~ AIN7
	<ADSCN>=01 8 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7
	<ADSCN>=10 12 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7

		<ADCH[3:0]>							
		1000	1001	1010	1011	1100	1101	1110	1111
ADMOD0 <SCAN>=0	チャネル固定	AIN8	AIN9	AIN10	AIN11	AIN12	AIN13	AIN14	AIN15
ADMOD0 <SCAN>=1	<ADSCN>=00 4 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN4	AIN4~ AIN5	AIN4~ AIN6	AIN4~ AIN7
	<ADSCN>=01 8 チャネルスキャン	AIN0	AIN0~ AIN1	AIN0~ AIN2	AIN0~ AIN3	AIN0~ AIN4	AIN0~ AIN5	AIN0~ AIN6	AIN0~ AIN7
	<ADSCN>=10 12 チャネルスキャン	AIN0~ AIN8	AIN0~ AIN9	AIN0~ AIN10	AIN0~ AIN11	-	-	-	-

14.3.5　ADMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EOCFHP	ADBFHP	HPADCE	-	HPADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	EOCFHP	R	最優先 AD 変換終了フラグ(注) 0: 変換前または変換中 1: 終了
6	ADBFHP	R	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
5	HPADCE	W	最優先変換の起動 0: Don't care 1: 変換開始 読み出しは常に 0 が読めます。
4	−	R/W	0 をライトしてください。
3-0	HPADCH[3:0]	R/W	最優先変換起動時の変換チャネル選択(下表参照)

注)　ADMOD2 レジスタを読み出すと"0"にクリアされます。

最優先変換のチャネル選択

HPADCH[3:0]	0000	0001	0010	0011	0100	0101	0110	0111
変換チャネル	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7

HPADCH[3:0]	1000	1001	1010	1011	1100	1101	1110	1111
変換チャネル	AIN8	AIN9	AIN10	AIN11	AIN12	AIN13	AIN14	AIN15

14.3.6　ADMOD3 (AD モードコントロールレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	ADOBIC0	ADREGS0				ADOBSV0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	0 をライトしてください。
6	−	R	リードすると"0"が読めます。
5	ADOBIC0	R/W	AD 監視機能割り込み 0 の設定 0:変換結果レジスタの値が、変換結果比較レジスタ 0 の値より小さい場合割り込み発生 1: 変換結果レジスタの値が、変換結果比較レジスタ 0 の値より大きい場合割り込み発生
4-1	ADREGS0[3:0]	R/W	AD 監視機能 0 使用時に、比較対象とする変換結果レジスタの選択(下表参照)
0	ADOBSV0	R/W	AD 監視機能 0 0: 無効 1: 有効

<ADREGS0[3:0]>	比較される AD 変換結果レジスタ	<ADREGS0[3:0]>	比較される AD 変換結果レジスタ
0000	ADREG0	0100	ADREG4
0001	ADREG1	0101	ADREG5
0010	ADREG2	0110	ADREG6
0011	ADREG3	0111	ADREG7
-	-	1xxx	ADREGSP

14.3.7 ADMOD4 (モードコントロールレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HADHS	HADHTG	ADHS	ADHTG	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	HADHS	R/W	最優先 AD 変換のハードウエア起動ソース選択 0: 外部トリガ 1: タイマー致割り込み(注 1)
6	HADHTG	R/W	最優先 AD 変換のハードウエア起動 0: 無効 1: 有効
5	ADHS	R/W	通常 AD 変換のハードウエア起動ソース(注 2) 0: 外部トリガ 1: タイマー致割り込み(注 1)
4	ADHTG	R/W	通常 AD 変換のハードウエア起動 0: 無効 1: 有効
3-2	−	R	リードすると"0"が読めます。
1-0	ADRST[1:0]	W	10 → 01 のライトで ADC をソフトウエアリセットします。(注 3)

注 1) 起動ソースの詳細は「製品情報」の章を参照してください。

注 2) 最優先 AD 変換のハードウエア起動ソースに外部トリガを使用しているときは、通常 AD 変換のハードウエア起動ソースとして外部トリガを設定できません。

注 3) ソフトウエアリセットをかけると、ADCLK<ADCLK>以外のレジスタの内容はすべて初期化されます。

14.3.8　ADMOD5 (AD モードコントロールレジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	ADOBIC1	ADREGS1				ADOBSV1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます。
5	ADOBIC1	R/W	AD 監視機能割り込み 1 の設定 0: 変換結果レジスタの値が、変換結果 比較レジスタ 1 の値より小さい場合割り込み発生 1: 変換結果レジスタの値が、変換結果比較レジスタ 1 の値よりより大きい場合割り込み発生
4-1	ADREGS1[3:0]	R/W	AD 監視機能 1 使用時に、比較対象とする変換結果レジスタの選択(下表参照)
0	ADOBSV1	R/W	AD 監視機能 1 0: 無効 1: 有効

<ADREGS1[3:0]>	比較される AD 変換結果レジスタ	<ADREGS1[3:0]>	比較される AD 変換結果レジスタ
0000	ADREG0	0100	ADREG4
0001	ADREG1	0101	ADREG5
0010	ADREG2	0110	ADREG6
0011	ADREG3	0111	ADREG7
−	−	1xxx	ADREGSP

14.3.9 ADMOD6 (AD モードコントロールレジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	ADM1DMA	ADM0DMA	ADHPDMA	ADDMA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3	ADM1DMA	R/W	AD 変換監視 1　DMA 起動要因設定 AD 変換監視 1 割り込み(INTADM1）をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
2	ADMDMA	R/W	AD 変換監視 0　DMA 起動要因設定 AD 変換監視 0 割り込み(INTADM0）をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可
1	ADHPDMA	R/W	最優先 AD 変換 DMA 起動要因設定 最優先 AD 変換終了割り込み(INTADHP）をトリガに DMAC を起動することが可能です 0: 禁止 1: 許可
0	ADDMA	R/W	通常 AD 変換 DMA 起動要因設定 通常 AD 変換終了割り込み(INTAD）をトリガに DMAC を起動することが可能です。 0: 禁止 1: 許可

14.3.10　ADREGn (変換結果レジスタ n:　n = 0~11)

ADREG0 ~ ADREG11 まで変換結果レジスタは 12 あり、すべて同様の構成です。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRn							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRn		-	-	-	-	OVRn	ADRnRF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-6	ADRn[9:0]	R	AD 変換結果 変換結果が格納されます。変換チャネルと結果レジスタの関係は 14.4.5.7 章の表 14-2、表 14-3 を参照してください。
5-2	−	R	リードすると"0"が読めます。
1	OVRn	R	オーバーランフラグ 0: 発生していない 1: 発生した 　<ADRn>を読み出す前に変換結果が上書きされると"1"がセットされます。 　このビットは読み出すと"0"にクリアされます。
0	ADn0RF	R	AD 変換結果格納フラグ 0:変換結果が格納されていない 1: 変換結果が格納された 　変換結果が格納されると"1"がセットされます。 　このビットは変換結果を読み出すと"0"にクリアされます

注)　本レジスタはハーフワードまたはワードアクセスしてください。

14.3.11 ADREGSP (変換結果レジスタ SP)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRSP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRSP		-	-	-	-	OVRSP	ADRSPRF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-6	ADRSP[9:0]	R	AD 変換結果 最優先 AD 変換の結果が格納されます。
5-2	−	R	リードすると"0"が読めます。
1	OVRSP	R	オーバーランフラグ 0: 発生していない 1: 発生した <ADRSP>を読み出す前に変換結果が上書きされると"1"がセットされます。 このビットは読み出すと"0"にクリアされます。
0	ADRSPRF	R	AD 変換結果格納フラグ 0:変換結果が格納されていない 1: 変換結果が格納された 変換結果が格納されると"1"がセットされます。 このビットは変換結果を読み出すと"0"にクリアされます。

注) 本レジスタはハーフワードまたはワードアクセスしてください。

14.3.12　ADCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADCOM0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCOM0		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-6	ADCOM0[9:0]	R/W	AD 監視機能 0 が有効な時、ADMOD3<ADREGS0>で指定された変換結果レジスタの値と比較する値を設定します。
5-0	−	R	リードすると"0"が読めます。

注)　本レジスタへの書き込みは、AD 監視機能 0 が無効な状態(ADMOD3<ADBSV0> = "0")で行ってください。

14.3.13　ADCMP1 (変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADCOM1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADCOM1		-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-6	ADCOM1[9:0]	R/W	AD 監視機能 1 が有効な時、ADMOD5<ADREGS1>で指定された変換結果レジスタの値と比較する値を設定します。
5-0	−	R	リードすると"0"が読めます。

注)　本レジスタへの書き込みは、AD 監視機能 1 が無効な状態(ADMOD5<ADBSV1>="0")で行ってください

14.4 動作説明

14.4.1 アナログ基準電圧

アナログ基準電圧の"High"レベル側を VREFH 端子に、"Low"レベル側を VREFL 端子に印加します。

AD 変換をスタートさせる場合は、必ず<VREFON>に"1"を書き込んだ後、内部基準電圧が安定するまでの 3 μs 待ってから、ADMOD0<ADS>に"1"を書き込んで変換を開始してください。

ADC を使用しない場合、ADMOD1<VREFON>に"0"を書き込むことにより、VREFH－VREFL 間のスイッチを OFF し、アナログ回路の消費電流を抑えることができます。

注) TMPM036FWFG では VREFH を AVDD3 と VREFL を AVSS と共用しています。

14.4.2 AD 変換モード

AD 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

通常 AD 変換には 4 つの動作モードがあります。

14.4.2.1 通常 AD 変換

通常 AD 変換には、次の 4 つの動作モードが用意されており、ADMOD0<REPEAT> <SCAN>の設定により選択ができます。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

チャネルスキャンモード(ADMOD0 <SCAN>="1")を選択した場合、ADMOD1<ADSCN>で以下のようにチャネルスキャンのモードを選択することができます。

- ４チャネルスキャンモード
- ８チャネルスキャンモード
- １２チャネルスキャンモード

4 つの変換モードについて以下に説明します。

(1) チャネル固定シングル変換モード

ADMOD0<REPEAT, SCAN>に"00"を設定すると、チャネル固定シングル変換モードになります。

このモードでは、選択した 1 チャネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCFN>が"1"、ADMOD0<ADBFN>が"0"となり、変換終了割り込み要求(INTAD)が発生します。<EOCFN>は読み出すことにより"0"にクリアされます。

(2) チャネルスキャンシングル変換モード

ADMOD0<REPET, SCAN> に"01"を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMOD0<EOCFN>が"1"にセット、ADMOD0<ADBFN>が"0"にされ、変換終了割り込み要求(INTAD)が発生します。<EOCFN>は読み出すことで 0 にクリアされます。

(3)　チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN>に"10"を設定するとチャネル固定リピート変換モードになります。

このモードでは、選択した 1 チャネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCFN>が"1"にセットされます。ADMOD0<ADBFN>は"0"にクリアされず"1"を保持します。変換終了割り込み要求(INTAD)発生タイミングは ADMOD0<ITM>の設定により選択できます。<EOCFN>がセットされるタイミングも割り込みのタイミングに連動します。

<EOCFN>は読み出すことにより 0 にクリアされます。

(4)　チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN>に"11"を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMOD0<EOCFN>が"1"にセットされ、変換終了割り込み要求(INTAD)が発生します。ADMOD0<ADBFN>は"0"にクリアされず"1"を保持します。<EOCFN>は読み出すことにより"0"にクリアされます。

14.4.2.2　最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行うことができます。

動作モードはチャネル固定のシングル変換のみです。ADMOD0<REPEAT, SCAN>の設定は関係ありません。起動条件が成立すると、ADMOD2<HPADCH>で指定されるチャネルの変換を一度だけ行います。変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生して、ADMOD2<EOCFHP>は 1 にセットされ、<ADBFHP>は 0 に戻ります。EOCFHP フラグは読み出すとクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

14.4.3　AD 監視機能

AD 監視機能を 2 チャネル持っています。

ADMOD3<ADOBSV0>, ADMOD5<ADOBSV1>に"1"をセットすると AD 監視機能が有効になり、ADMOD3<ADREGS0>, ADMOD5<ADREGS1>で指定された変換結果レジスタの内容が比較レジスタの値より大または小(ADMOD3<ADOBIC0>, ADMOD5<ADBIC1>で大か小は指定)になると AD 監視機能割り込み要求(INTADM0,INTADM1)が発生します。この比較動作は該当変換結果レジスタへ結果が格納されるごとに行われます。

AD 監視機能に割り当てている変換結果レジスタの変換結果を読み出さないで連続的に使用した場合、変換結果が上書きされ変換結果格納フラグ<ADRxRF>およびオーバーランフラグ<OVRx>はセットされたままとなります。

14.4.4 入力チャネルの選択

変換するチャネルは、AD コンバータの動作モードにより以下のように選択されます。

1. 通常 AD 変換時
   - アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN> = "0")

     ADMOD1<ADCH>の設定により、アナログ入力端子の中から 1 チャネルを選択します。
   - アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN> = "1")

     ADMOD1 <ADCH><ADSCN>の設定により、スキャンモードを選択します。

2. 最優先 AD 変換時

   ADMOD2<HPADCH>の設定により、アナログ入力端子の中から 1 チャネルを選択します。

14.4.5 AD 変換動作詳細

14.4.5.1 AD 変換の起動

通常 AD 変換は ADMOD0<ADS> に"1"をセットすることにより起動されます。また、最優先 AD 変換は ADMOD2<HPADCE> に"1"をセットすることにより起動されます。

通常 AD 変換は ADMOD0<REPEAT,SCAN>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャネル固定のシングル変換のみです。

通常 AD 変換は ADMOD4<ADHS>、最優先 AD 変換は ADMOD4<HADHS>で選択されるハードウエア起動ソースにより起動することができます。<ADHS>、<HADHS>が"0"の場合は、$\overline{\text{ADTRG}}$ 端子より立ち下がりエッジの入力により起動され、このビットが"1" の場合、タイマの一致で起動されます。

ハードウエア起動を許可するには、通常 AD 変換では ADMOD4<ADHTG>、最優先 AD 変換では ADMOD4<HADHTG>に"1"をセットします。

ハードウエア起動が許可された場合でもソフトウエア起動は有効です。

注 1) 製品により $\overline{\text{ADTRG}}$ 端子を持たないものがあります。

注 2) 最優先 AD 変換のハードウエア起動ソースに外部トリガを使用しているときは、通常 AD 変換ハードウエア起動としては外部トリガを設定できません。

注 3) トリガとなるタイマについては、"製品情報"の章を参照してください。

14.4.5.2 AD 変換動作

通常 AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ(ADMOD0<ADBFN>)に"1"がセットされます。

また、最優先 AD 変換が開始されると、最優先 AD 変換中を示す最優先 AD 変換 BUSY フラグ(ADMOD2<ADBFHP>)に 1 がセットされます。このとき、通常 AD 変換用の BUSY フラグ ADMOD0<ADBFN>と通常 AD 変換用の変換終了フラグ ADMOD0<EOCFN>は最優先 AD 変換の開始前の値を保持します

注) 最優先 AD 変換中に通常 AD 変換を再起動させないでください

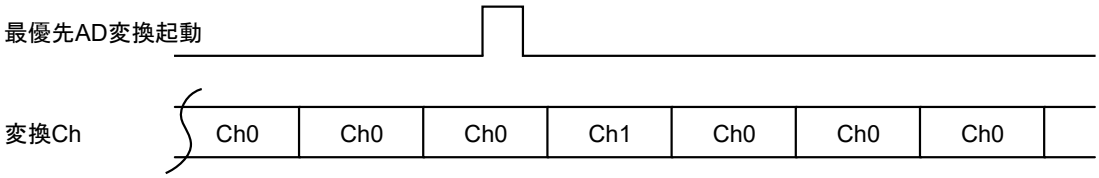
14.4.5.3　通常 AD 変換中の最優先変換要求

通常 AD 変換中に最優先 AD 変換が起動されると、通常 AD 変換を中断し、最優先 AD 変換の終了後に通常 AD 変換を再開します。

通常 AD 変換中に ADMOD2<HPADCE>に"1"をセットすると、現在変換中の AD 変換は中断されて最優先 AD 変換を起動し、ADMOD2<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が行われます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウエアによる最優先 AD 変換の起動が許可されている場合は、ハードウエア起動ソースの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が開始されます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断したチャネルから通常 AD 変換を再開します。

例えば チャネル 0 のチャネルリピート変換中に<HPADCE>に"1"がセットされた場合は、AIN0 の変換が中断され<HPADCH>で指定されたチャネルの変換(下図の場合 AIN1)を行い、結果を ADREGSP へ格納後にチャネルリピート変換を再開します。



14.4.5.4　リピート変換モードの停止

リピート変換モード(チャネル固定リピートまたはチャネルスキャンリピート変換モード)の動作を停止させたい場合は、ADMOD0<REPEAT> に"0"を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBFN> は"0"にクリアされます。

14.4.5.5　通常 AD 変換の再起動

通常 AD 変換実行中に通常 AD 変換を再起動する場合はソフトウエアリセット(ADMOD3<ADRST>)を行ってから起動してください。ハードウエアによる通常 AD 変換の再起動は行わないでください。

14.4.5.6　変換終了

(1)　通常 AD 変換の終了

通常 AD 変換が終了すると、変換終了割り込み要求(INTAD)が発生します。また、AD 変換結果がレジスタに格納され、AD 変換終了を示す ADMOD0<EOCFN> と変換中を示す ADMOD0<ADBFN>が変化します。変換モードにより、割り込み要求発生タイミング、変換結果レジスタ、<EOCFN><ADBFN>の変化タイミングは異なります。

各モードでの変換結果格納レジスタは、表 14-2、表 14-3 を参照してください。

モードごとの割り込み要求発生、フラグ変化は以下の通りです。

・ チャネル固定シングル変換モード

変換が終了した後、ADMOD0<EOCFN>が"1"にセット、ADMOD0<ADBFN>が"0"にクリアされ、変換終了割り込み要求が発生します。

・ チャネルスキャンシングル変換モード

スキャン変換が終了した後、ADMOD0<EOCFN>が"1"、ADMOD0<ADBFN>が"0"となり、変換終了割り込み要求が発生します。

・ チャネル固定リピート変換モード

ADMOD0<ADBFN>は"0"とはならず"1"を保持します。割り込み要求発生タイミングはADMOD0<ITM>の設定により選択できます。割り込みが発生するタイミングでADMOD0<EOCFN>もセットされます。

・ チャネルスキャンリピート変換モード

1回のスキャン変換が終了するごとにADMOD0<EOCF>が"1"にセットされ、INTAD割り込み要求が発生します。ADMOD0<ADBFN>は"0"にならず"1"を保持します。

(2) 最優先AD変換の終了

最優先AD変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生し、最優先AD変換終了を示すADMOD2<EOCFHP>が"1"にセットされます。

変換結果はADREGSPに格納されます。

(3) データポーリング

割り込みを使用せずに、ポーリングで変換終了を確認することもできます。変換が終了するとADMOD0<EOCFN>に"1"がセットされますのでこのビットをポーリングすることで変換終了を確認し変換結果を読み出してください。

変換結果レジスタは、ハーフワードまたはワードアクセスで読んでください。<OVRx> = "0"、<ADRxRF> = "1"であれば、正しい変換結果が得られたことになります。

14.4.5.7 割り込み発生タイミングと変換結果格納レジスタ

表14-1に、変換モードと割り込み発生タイミングとフラグの関係を、表14-2および表14-3に変換結果レジスタについてまとめます。

表 14-1 AD 変換モードと割り込み発生タイミング, フラグ動作の関係

変換モード		スキャン/リピートモード設定			割り込み発生タイミング	ADMOD0<EOCFN>/ ADMOD2<EOCFHP> セットタイミング (注)	ADMOD0	ADMOD2
		ADMOD0 <REPEAT>	ADMOD0 <SCAN>	ADMOD0 <ITM>			<ADBFN> (割り込み発生後)	<ADBFHP>
通常変換	チャネル固定 シングル変換	0	0	−	変換終了後	変換終了後	0	−
	チャネル固定 リピート変換	1	0	00	1 回変換ごと	変換 1 回終了後	1	−
				01	4 回変換ごと	変換 4 回終了後	1	−
				10	8 回変換ごと	変換 8 回終了後	1	−
	チャネルスキャン シングル変換	0	1	−	スキャン変換終了後	スキャン変換終了後	0	−
	チャネルスキャン リピート変換	1	1	−	1 回のスキャン変換終了ごと	1 回のスキャン変換終了後	1	−
最優先変換		−	−	−	変換終了後	変換終了	−	0

注)　ADMOD0<EOCFN>,ADMOD2<EOCFHP>はリードするとクリアされます。

表 14-2 結果格納レジスタ(チャネル固定リピート変換モード)

<ITM[1:0]>	格納レジスタ
00 1 回変換ごとに割り込み発生	ADREG0
01 4 回変換ごとに割り込み発生	ADREG0 ~ ADREG3
10 8 回変換ごとに割り込み発生	ADREG0 ~ ADREG7

表 14-3 結果格納レジスタ(チャネル固定リピートモード以外)

ADMOD1 <ADCH[3:0]>	ADMOD0 <SCAN>=0		ADMOD0 <SCAN>=1					
	チャネル固定		<ADSCN>=00 4 チャネルスキャン		<ADSCN>=00 8 チャネルスキャン		<ADSCN>=00 12 チャネルスキャン	
	変換チャネル	格納レジスタ	変換チャネル	格納レジスタ	変換チャネル	格納レジスタ	変換チャネル	格納レジスタ
0000	AIN0	ADREG0	AIN0	ADREG0	AIN0	ADREG0	AIN0	ADREG0
0001	AIN1	ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1	AIN0~AIN1	ADREG0 ~ ADREG1
0010	AIN2	ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2	AIN0~AIN2	ADREG0 ~ ADREG2
0011	AIN3	ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3	AIN0~AIN3	ADREG0 ~ ADREG3
0100	AIN4	ADREG4	AIN4	ADREG4	AIN0~AIN4	ADREG0 ~ ADREG4	AIN0~AIN4	ADREG0 ~ ADREG4
0101	AIN5	ADREG5	AIN4~AIN5	ADREG4 ~ ADREG5	AIN0~AIN5	ADREG0 ~ ADREG5	AIN0~AIN5	ADREG0 ~ ADREG5
0110	AIN6	ADREG6	AIN4~AIN6	ADREG4 ~ ADREG6	AIN0~AIN6	ADREG0 ~ ADREG6	AIN0~AIN6	ADREG0 ~ ADREG6
0111	AIN7	ADREG7	AIN4~AIN7	ADREG4 ~ ADREG7	AIN0~AIN7	ADREG0 ~ ADREG7	AIN0~AIN7	ADREG0 ~ ADREG7
1000	AIN8	ADREG0	AIN8	ADREG0	AIN8	ADREG0	AIN0~AIN8	ADREG0 ~ ADREG8
1001	AIN9	ADREG1	AIN8~AIN9	ADREG0 ~ ADREG1	AIN8~AIN9	ADREG0 ~ ADREG1	AIN0~AIN9	ADREG0 ~ ADREG9
1010	AIN10	ADREG2	AIN8~AIN10	ADREG0 ~ ADREG2	AIN8~AIN10	ADREG0 ~ ADREG2	AIN0~AIN10	ADREG0 ~ ADREG10
1011	AIN11	ADREG3	AIN8~AIN11	ADREG0 ~ ADREG3	AIN8~AIN11	ADREG0 ~ ADREG3	AIN0~AIN11	ADREG0 ~ ADREG11
1100	AIN12	ADREG4	AIN12	ADREG4	AIN8~AIN12	ADREG0 ~ ADREG4	-	-
1101	AIN13	ADREG5	AIN12~AIN13	ADREG4 ~ ADREG5	AIN8~AIN13	ADREG0 ~ ADREG5	-	-
1110	AIN14	ADREG6	AIN12~AIN14	ADREG4 ~ ADREG6	AIN8~AIN14	ADREG0 ~ ADREG6	-	-
1111	AIN15	ADREG7	AIN12~AIN15	ADREG4 ~ ADREG7	AIN8~AIN15	ADREG0 ~ ADREG7	-	-

14.4.5.8　DMA 要求

AD 変換終了割り込みまたは AD 監視割り込みのタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行う場合は ADMOD6 レジスタの該当ビットで許可の設定を行ってください。

14.4.5.9　AD コンバータ使用時の注意

AD コンバータ使用時の注意
電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。AD 変換中に AD 入力が兼用となっている端子への入力及び端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどして対策して下さい。

第 15 章　電圧検出回路(LVD）

電圧検出回路(LVD）は、電源電圧の低下を検出してリセットを発生します。

また、電源電圧の低下/上昇を検出して割り込み(INTLVD)を発生します。

注)　INTLVD は、マスク不能割り込み(NMI)要因のひとつです。

15.1　構成

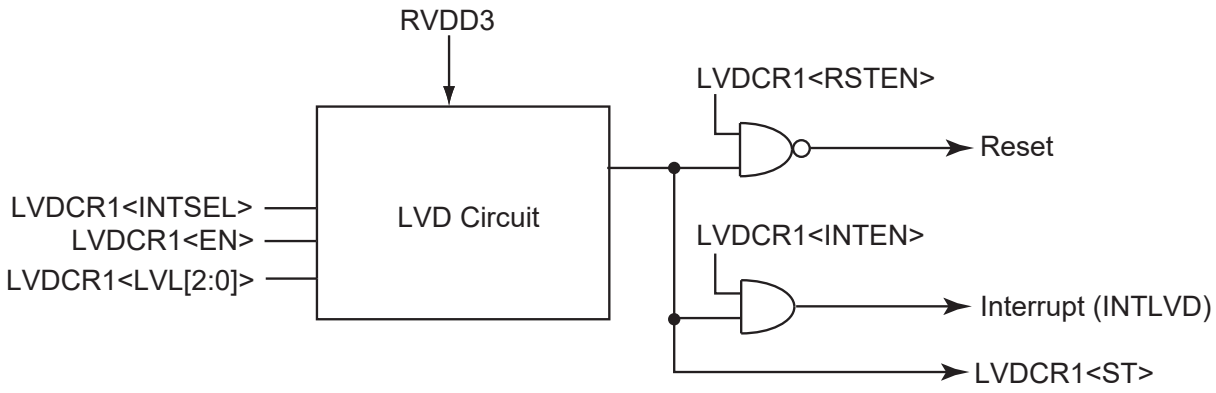


図 15-1 LVD ブロック図

15.2　レジスタ説明

制御レジスタとアドレスは以下の通りです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照下さい。

15.2.1　レジスター覧

レジスタ名		Address (Base+)
Reserved	-	0x0000
検出制御レジスタ 1	LVDCR1	0x0004

15.2.2 LVDCR1 (検出制御レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	–	–	–	–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	–	–	–	–	–	–	-	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ST	RSTEN	INTEN	INTSEL	LVL			EN
リセット後	0	1	0	0	0	1	1	1

Bit	Bit Symbol	Type	機能
31 - 8	–	R	リードすると"0"が読めます。
7	ST	R	電圧検出ステータス 0: 電源電圧は検出電圧以上 1: 電源電圧は検出電圧以下
6	RSTEN	R/W	リセット信号出力の禁止/許可 0: 禁止 1: 許可
5	INTEN	R/W	割込み発生の禁止/許可 0: 禁止 1: 許可
4	INTSEL	R/W	割込み発生条件選択 0: 電源電圧が電源検出電圧を下回った場合に割り込み発生 1: 電源電圧が電源検出電圧を下回った場合または上回った場合に割り込み発生 このビットは、<RSTEN>="0"、<INTEN>="1"のときに有効になります。
3 - 1	LVL[2:0]	R/W	検出電圧 000: Reserved 001: Reserved 010: Reserved 011: 2.5 ± 0.2V 100: 2.6 ± 0.2V 101: 2.7 ± 0.2V 110: 2.8 ± 0.2V 111: 2.9 ± 0.2V
0	EN	R/W	電圧検出動作 0: 禁止 1: 許可

注 1) LVDCRn は、パワーオンリセットまたは $\overline{\text{RESET}}$ 端子によるリセットで初期化されます。

注 2) 電源電圧の検出電圧と解除電圧の間には、ヒステリシスを設けていません。電源電圧変化の傾きによっては検知結果にが安定せず、検出と解除を繰り返すことがあります。

15.3　動作説明

15.3.1　検出電圧の選択と電圧検出動作の許可

LVDCRn<LVL[2:0]>で検出電圧を選択し、LVDCRn<EN>を"1"にセットすると電圧検出動作が許可されます。

15.3.2　電源電圧の検出によるリセット

LVDCRn<RSTEN>を"1"にセットした状態で、電源電圧が設定された検出電圧レベルを下回ると、リセットを発生します。

電源電圧低下が検出されリセットを発生するためには 100 μs 程度の時間が必要です。電源電圧が検出電圧を下回る期間が短いとリセットを発生できない場合があります。

15.3.3　電源電圧の検出による割り込み

LVDCRn<RSTEN>を"0"、LVDCRn<INTEN>を"1"にセットした状態で、電源電圧が設定された検出電圧レベルを下回るあるいは上回ると割り込み(INTLVD)を発生します。

割込みの発生条件は LVDCRn<INTSEL>で指定できます。

LVDCRn<INTSEL>が"0"の時、電源電圧が設定された検出電圧を下回った場合に割り込みが発生します。

LVDCRn<INTSEL>が"1"の時、電源電圧が設定された検出電圧を下回った場合または上回った場合に割り込みが発生します。

電圧低下が検出され割り込みが発生されるためには 100 μs 程度の時間が必要です。電源電圧が検出電圧を下回る期間が短いと割り込みが発生しない場合があります。

15.3.4　電源電圧の検出ステータス

LVDCRn<ST>を読み出すことで電源電圧検出の状態を確認することができます。

LVDCRn<ST>が"0"の時、電源電圧は検出電圧以上です。

LVDCRn<ST>が"1"の時、電源電圧は検出電圧以下です。

電源電圧検出で発生した割り込みサービスルーチンの中で、一定時間後に LVDCRn<ST>を読み出し想定した状態になっていることを確認することで、電源電圧の変化を安定して検出することができます。

第 16 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"を出力して暴走の検出を知らせます。

注)　TMPM036FWFG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

16.1　構成

図 16-1 にウォッチドッグタイマのブロック図を示します。

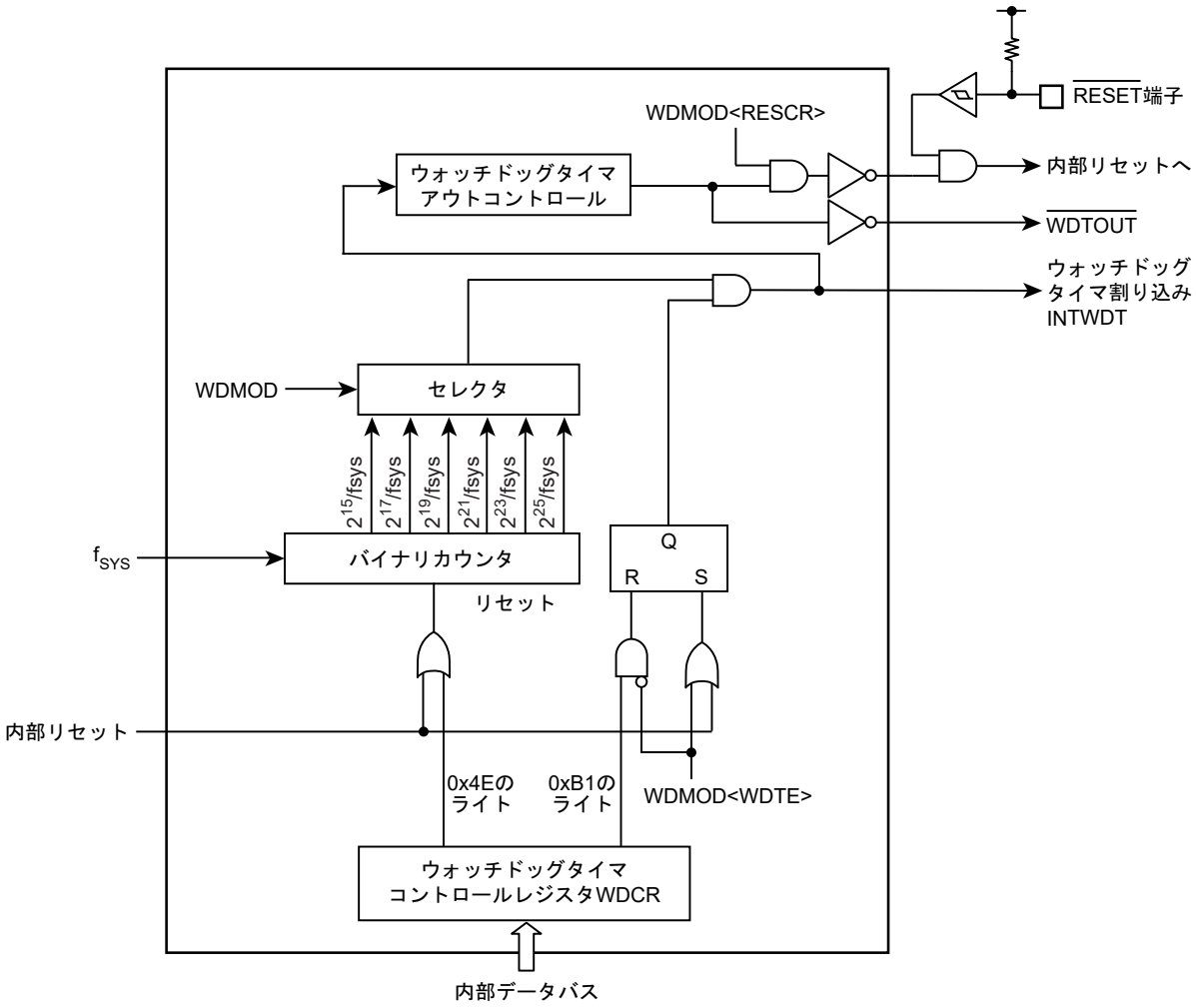


図 16-1 ウォッチドッグタイマのブロック図

16.2　レジスタ

16.2.1　レジスター覧

制御レジスタとアドレスは以下のとおりです。

ベースアドレスは、「メモリマップ」章の「周辺機能ベースアドレス一覧」を参照ください。

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

16.2.1.1　WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0:禁止 1: 許可 暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。 ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。
6-4	WDTP[2:0]	R/W	検出時間の選択 000: $2^{15}/f_{SYS}$　100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$　101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$　110: 設定禁止 011: $2^{21}/f_{SYS}$　111: 設定禁止
3	−	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	−	R/W	"0"をライトしてください。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

16.2.1.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

16.3　動作説明

16.3.1　基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は WDMOD<WDTP[2:0]>によって 2^{15}, 2^{17}, 2^{19} , 2^{21}, 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注)　TMPM036FWFG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

16.3.2　動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は WDMOD<I2WDT>の設定に従います。

- STOP1 mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

16.3.3　暴走検出時の動作

16.3.3.1　INTWDT 割り込み発生の場合

図 16-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

マスク不能割り込み要因は複数あり、CGNMIFLG レジスタでマスク不能割り込み要因を識別できます。INTWDT 割り込みの場合、CGNMIFLG<NMIFLG0>がセットされます。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト($\overline{\text{WDTOUT}}$)より"Low"を出力します。$\overline{\text{WDTOUT}}$ は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注)　TMPM036FWFG にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

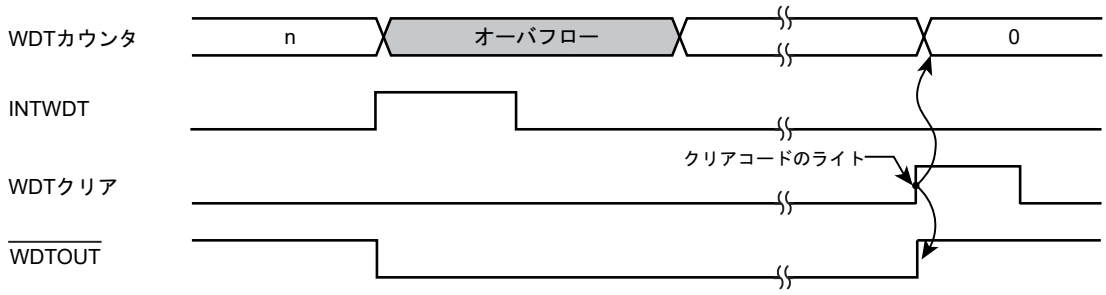


図 16-2 INTWDT 割り込み発生

16.3.3.2 内部リセット発生の場合

図 16-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間リセットを行います。

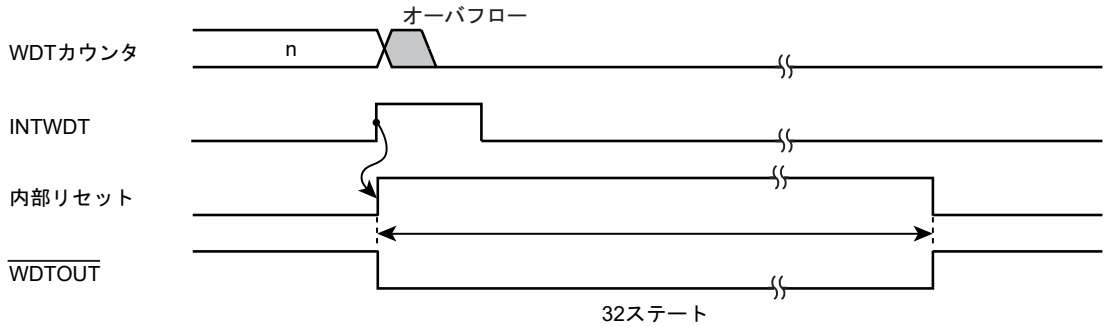


図 16-3 内部リセット発生

16.4 ウォッチドックタイマの制御

16.4.1 ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

16.4.2 イネーブル制御

WDMOD<WDTE>に"1"を設定します。

16.4.3 ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

16.4.4 ウォッチドッグタイマ検出時間の設定

検出時間を WDMOD<WDTP[2:0]>に設定します。

例えば、検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

第 17 章　フラッシュメモリ動作説明

フラッシュメモリについて、構成およびその動作を説明します。本文中の「1 ワード」は、32 ビットをあらわします。

17.1　フラッシュメモリの特長

17.1.1　メモリ容量と構成

TMPM036FWFG の内蔵するフラッシュメモリの容量と構成は、表 17-1 および図 17-1 のとおりです。

表 17-1 メモリ容量と構成

メモリ容量	ブロック構成				1 ページのワード数	ページ数	書き込み時間		消去時間	
	128 KB	64 KB	32 KB	16 KB			1 ページ	全エリア	ブロック消去	チップ消去
128 KB	−	−	4	−	32	1024	1.25ms	1.28 sec	0.1 sec	0.2 sec

注)　上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザーの書き替え方法により異なります。

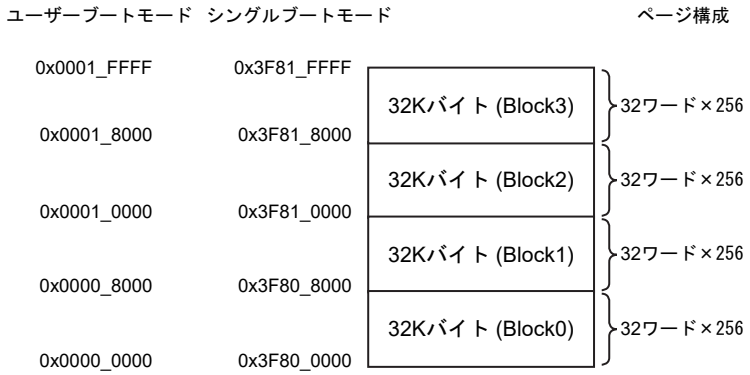


図 17-1 ブロック構成

フラッシュメモリ構成の単位として、「ブロック」と「ページ」があります。

・　ページ

1 ページは 32 ワードで、アドレス[31:7]が同じで、先頭アドレス[6:0] = 0 、最後のアドレス[6:0] = 0x7F のグループです。

・　ブロック

1 ブロックは 32KB で、4 ブロックで構成されます。

書き込みはページ単位で行います。1 ページあたりの書き込み時間は 1.25ms (Typ.)です。

消去はブロック単位(自動ブロック消去コマンド使用)またはフラッシュメモリ全体(自動チップ消去コマンド使用)で行います。消去時間は使用するコマンドによって異なり、自動ブロック消去コマンドを使用した場合は 1 ブロックあたり 0.1 s (Typ.)、自動チップ消去コマンドを使用して全領域を消去した場合は 0.2s(Typ.)です。

また、ブロック単位でプロテクト機能を使用することができます。プロテクト機能については「17.1.5 プロテクト/セキュリティ機能」を参照してください

17.1.2　機能

本製品内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本製品への移行が容易です。また、フラッシュメモリ内に書き込み、 チップ消去など自動で行う回路を内蔵していますので、書き込み、 消去動作を容易に実現できます。

JEDEC 準拠の機能	変更, 追加, 削除した機能
・自動プログラム ・自動チップ消去 ・自動ブロック消去 ・データポーリング/トグルビット	<変更>ブロック単位でのライト/消去プロテクト(ソフトウエアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

17.1.3　動作モード

17.1.3.1　モードの説明

本製品には、シングルチップモードとシングルブートモードがあり、シングルチップモードにはノーマルモードとユーザーブートモードがあります。モード遷移図を図 17-2 に示します。

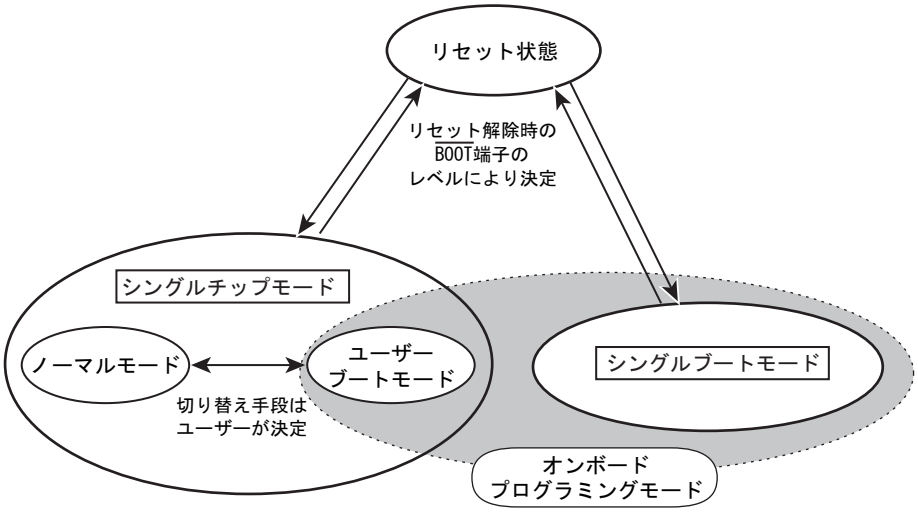


図 17-2 モード遷移図

(1) シングルチップモード

リセット解除後、フラッシュメモリから起動するモードで、以下の 2 つのモードがあります。

- ノーマルモード

  ユーザーのアプリケーションプログラムを実行するモードです。
- ユーザーブートモード

  ユーザーのセット上でフラッシュメモリの書き替えを実行するモードです。

ノーマルモードとユーザーブートモードの切り替えはユーザーが独自に設定できます。例えばポート A の PA0 が"1" のときノーマルモード、"0" のときにユーザーブートモードというように自由に設計することが可能です。ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

(2) シングルブートモード

リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動するモードです。

BOOT ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。 シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことでフラッシュメモリの書き替えが実行できます。

(3) オンボードプログラミングモード

ユーザーのセット上でフラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードです。この 2 つをオンボードプログラミングモードと定義します。

17.1.3.2 モードの決定

シングルチップ、シングルブートの各動作モードは、リセットを解除するときの $\overline{\text{BOOT}}$ 端子の状態により決定されます。

表 17-2 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

注) 本製品は、電源投入時に、$\overline{\text{BOOT}}$ 端子が Low レベルであるとシングルブートモードで起動します。シングルチップモード時の電源投入の際はリセット動作が完了するまで、$\overline{\text{BOOT}}$ 端子を High レベルにしてください。

17.1.4　メモリマップ

図 17-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF 番地には BOOT ROM がマッピングされます。

フラッシュメモリと RAM のマッピングは以下のとおりです。

FLASH サイズ	RAM サイズ	FLASH アドレス	RAM アドレス
128 KB	16 KB	0x0000_0000 ~ 0x0001_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F81_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2000_3FFF

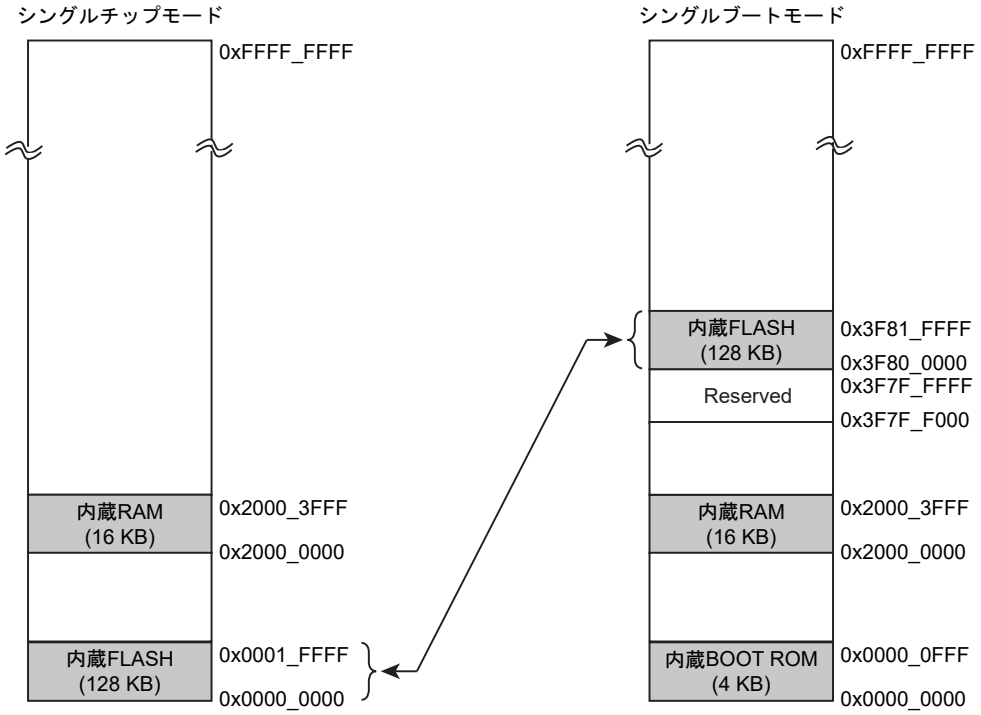


図 17-3 メモリマップの比較

17.1.5 プロテクト/セキュリティ機能

本製品は、フラッシュメモリに対して、プロテクトとセキュリティの 2 つの機能を持っています。

1. プロテクト機能
   フラッシュメモリへの書き込み、消去をブロック単位で禁止
2. プロテクトビットマスク機能
   プロテクト機能を一時的に解除
3. セキュリティ機能
   フラッシュライタによるフラッシュメモリの読み出しの禁止
   デバッグ機能の使用制限

17.1.5.1 プロテクト機能

ブロック単位で書き込みと消去の動作を禁止することができます。

プロテクト機能を有効にするためには、プロテクトビットプログラムコマンドを用いて対応するプロテクトビットを"1"にします。プロテクトビット消去コマンドによりプロテクトビットを"0"にすることでブロックプロテクトは解除されます。プロテクトビットは、FCPSRA <BLK[3:0]>でモニタすることができます。

プロテクトビットのプログラムは 1 ビット単位、消去は 4 ビット単位で行います。プロテクトビットのプログラムと消去の方法については、「17.2.5 コマンド説明」の章を参照してください。

17.1.5.2 プロテクトビットマスク機能

TMPM036FWFG は、プロテクトビットをマスクすることにより、プロテクト機能を一時的に解除することができます。

マスク機能を有効にするには、FCPMRA<BLKM[3:0]>の該当ビットを"0"にします。

なお FCPMRA<BLKM[3:0]>はシステムリセットで"1"にセットされ、プロテクトビットの情報が非マスク状態となって保持されます。

FCPMRA<BLKM[3:0]>の書き替えは以下の手順で行います。

注) 以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCPMRA に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータ(FCPMRA<BLKM[3:0]>の該当ビットへ)を書き込む。

注 1) プロテクトビットマスク機能を設定しても、自動チップ消去は使用できません。

17.1.5.3 セキュリティ機能

セキュリティ機能が有効な場合の動作を、表 17-3 に示します。

表 17-3 セキュリティ機能が有効な場合の動作

項目	内容
フラッシュメモリの読み出し	CPU からの読み出しは可能です。
デバッグポート	JTAG、シリアルワイヤ、トレースの通信ができなくなります。
フラッシュメモリに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。またプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

注 1)　セキュリティ機能が有効な時、プロテクトビットマスク機能を設定すると、ブロック消去とページ書込みコマンドのみ使用することができます。

セキュリティ機能が有効になる条件は以下のとおりです。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. すべてのプロテクトビット(FCPSRA<BLK>)が"1"にセットされている。

FCSECBIT<SECBIT>はパワーオンリセットで"1"にセットされます。

FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

注)　以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。
2. 1.の書き込みから 16 クロック以内にデータを書き込む。

17.1.6 レジスタ

17.1.6.1 レジスター覧

ベースアドレスは、”メモリマップ”章の”周辺機能ベースアドレス一覧”を参照して下さい。

レジスタ名		Address(Base+)
セキュリティビットレジスタ	FCSECBIT	0x0010
フラッシュステータスレジスタ	FCSR	0x0020
フラッシュプロテクトステータスレジスタ	FCPSRA	0x0030
フラッシュプロテクトマスクレジスタ	FCPMRA	0x0038

17.1.6.2 FCSR(フラッシュステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY_BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	RDY_BSY	R	Ready/Busy (注 1) 0: Busy(自動動作中) 1: Ready(自動動作終了) 本ビットはフラッシュメモリの状態を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウエアリセットにより "1" に復帰します。

注 1) コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウエアリセットで復帰してください。ハードウエアリセットを行う場合は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

17.1.6.3　FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティ機能設定可能

注)　本レジスタは、パワーオンリセットで初期化されます。

17.1.6.4　FCPSRA(フラッシュプロテクトステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BLK3	BLK2	BLK1	BLK0
リセット後	0	0	0	0	(注 1)	(注 1)	(注 1)	(注 1)

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-0	BLK3- BLK0	R	Block3 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

注 1)　プロテクト状態に応じた値になります。

17.1.6.5 FCPMRA(フラッシュプロテクトマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BLKM3	BLKM2	BLKM1	BLKM0
リセット後	0	0	0	0	1	1	1	1

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-0	BLKM3- BLKM0	R/W	Block3 ~ 0 のプロテクト Bit をマスクします 0: プロテクト解除(プロテクト Bit マスク） 1: −(プロテクト Bit 非マスク） 該当ビットが"0"の時は対応するブロックのプロテクトが解除されます。"1"の時は、対応する Flash 内のプロテクト Bit(FCPSRA の各 Bit)のプロテクト状態となります。

注 1) 本レジスタは、システムリセットにより初期化されます。

注 2) Flash 書き換え中、消去中に FCPRMA<BLKM[3:0]>は変更できません。

注 3) FCPRMA<BLKM[3:0]>を書き換えた場合は、レジスタを再読出しし、書き換えを確認後に Flash アクセスをしてください。

17.2　フラッシュメモリ詳細

オンボードプログラミングモードでは、制御プログラム中でコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間、フラッシュメモリ上のプログラムは実行できませんので、書き込み/消去制御プログラムは RAM 上で実行してください。 また、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

17.2.1　機能

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠していますが、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み, 消去を行う場合、32 ビット(1 ワード)のストア命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 17-4 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

注)　フラッシュメモリへの書き込み、消去、プロテクトビットプログラム、プロテクトビット消去の各コマンドシーケンスの処理終了を FCSR<RDY_BSY> で確認した後、フラッシュメモリからのデータ読み出し、または命令フェッチを開始するまで 200μs 以上のウェイト時間を確保してください。

17.2.2　フラッシュメモリの動作モード

フラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- メモリデータを読み出すモード(リードモード)
- メモリデータを自動的に消去/書き替えるモード(自動動作)

電源投入後、リセット解除後、および自動動作の正常終了時にフラッシュメモリはリードモードになります。フラッシュメモリに書かれた命令の実行、およびデータの読み出しはリードモードで行います。

リードモード中にコマンドを入力すると自動動作へ移り、コマンドの処理が正常に終了するとリードモードに戻ります(ID-Read コマンドを除く)。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。

コマンドが正常に終了しないなど、強制的にリードモードに復帰させる場合には、後述する Read コマンド、Read/リセットコマンドもしくはハードウエアリセットを用います。

17.2.3 ハードウエアリセット

ハードウエアリセットとはパワーオンリセットおよびウォームリセットを指しており、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了した場合のリードモードへの復帰のために使用します。

自動動作中にハードウエアリセットが発生すると、フラッシュメモリは自動動作を中止しリードモードに戻ります。フラッシュメモリの自動プログラム/消去動作中にハードウエアリセットを行う場合は、システムクロックによらず 0.5μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。なお、自動動作の実行中にハードウエアリセットが入った場合は、データの書き替えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

本製品のリセット動作については、「リセット動作」の章を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

17.2.4 コマンド実行方法

コマンド実行は、ストア命令を用いてフラッシュメモリに対してコマンドシーケンスを書き込むことで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します。コマンド実行の詳細は、「17.2.5 コマンド説明」を参照してください。

フラッシュメモリに対するストア命令の実行を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスライトサイクルで構成されています。フラッシュメモリは、バスライトサイクルのアドレスとデータが規定の順番で実行された時はコマンドの自動動作を実施します。規定の順番で実行されなかった場合、フラッシュメモリはコマンドの実行を中止してリードモードになります。

コマンドシーケンスの途中でキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read コマンドまたは Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。Read コマンドおよび Read/リセットコマンドをソフトウエアリセットと呼びます。

コマンドシーケンスの書き込みが終了すると自動動作を開始し、FCSR<RDY_BSY>が"0"になります。自動動作が正常終了した時に FCSR<RDY_BSY> = "1" となり、リードモードに復帰します。

自動動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウエアリセットを用います。また、自動動作が正常終了しない場合(FCSR<RDY_BSY>が"0"のままの場合)、フラッシュメモリはこのモードのままロックされリードモードには復帰しません。リードモードに復帰させるにはハードウエアリセットを行う必要があります。ハードウエアリセットで動作を中止させた場合は、コマンドは正常に実行されません。

コマンドを実行する際には以下の事項に留意してください。

1. コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCSR<RDY_BSY> = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
2. 各コマンドシーケンスは、フラッシュメモリ外のエリアから実行します。
3. 各バスライトサイクルは連続して、1 ワード(32 ビット)のデータ転送命令で行って下さい。
4. 各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスはしないで下さい。また、リセットを除く割り込み/フォールトは発生させないようにしてください。
5. コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウエアリセットを発行して、リードモードに戻して下さい。

17.2.5　コマンド説明

各コマンドの内容について説明します。具体的なコマンドシーケンスは「17.2.6 コマンドシーケンス」を参照してください。

17.2.5.1　自動ページプログラム

(1)　動作内容

自動ページプログラムは、ページごとにデータを書き込みます。複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります。ページを跨ってデータを書き込むことはできません。

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1"データセルであっても"0"データセルであっても 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要があります

注 1)　消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性があります。

注 2)　プロテクトされたブロックへの書き込みはできません。

(2)　実行方法

第 1 ~ 第 3 バスライトサイクルが自動ページプログラムのコマンドシーケンスです。

第 4 バスライトサイクルでページの先頭アドレスとデータを書き込みます。第 5 バスライトサイクル以降、連続して 1 ページ分のデータを書き込みます。データは 1 ワード(32 ビット)単位で書き込んでください。

ページの一部に書き込みを行う場合、書き込みが不要なアドレスのデータを"0xFFFFFFFF"として 1 ページ分の書き込みを行ってください。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に書き込みができたか、実行後に読み出しをして確認してください。

自動プログラム動作が正常終了しなかった場合、このページへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

17.2.5.2　自動チップ消去

(1)　動作内容

自動チップ消去は、全アドレスのメモリセルに対して消去動作を行います。プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は自動チップ消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動チップ消去のコマンドシーケンスです。コマンドシーケンス入力後、自動チップ消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

17.2.5.3 自動ブロック消去

(1) 動作内容

自動ブロック消去コマンドは、指定されたブロックに対する消去動作を行います。指定されたブロックがプロテクトされている場合、消去を行いません。

(2) 実行方法

第 1～第 5 バスライトサイクルが自動ブロック消去のコマンドシーケンスです。第 6 バスライトサイクルで消去するブロックを指定します。コマンドシーケンス入力後、自動ブロック消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

17.2.5.4 自動プロテクトビットプログラム

(1) 動作内容

自動プロテクトビットプログラムは、プロテクトビットにビット単位で"1"を書き込みます。プロテクトビットを"0"にするためには自動プロテクトビット消去コマンドを使用します。

プロテクトの機能については「17.1.5 プロテクト/セキュリティ機能」を参照してください。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビットプログラムのコマンドシーケンスになります。第 7 バスライトサイクルで書き込むプロテクトビットを指定します。コマンドシーケンス入力後、自動プロテクトビットプログラム動作を行います。正しく書き込みができたかどうか、FCPSRA<BLK>で確認してください。

17.2.5.5 自動プロテクトビット消去

(1) 動作内容

自動プロテクトビット消去コマンドは、実行する際のセキュリティの状態によって動作内容が異なります。セキュリティ状態については、「17.1.5 プロテクト/セキュリティ機能」を参照してください。

- セキュリティ状態でない場合

  指定されたプロテクトビットを"0"にクリアします。プロテクトビットの消去は 4 ビット単位で行われます。

・　セキュリティ状態の場合

フラッシュメモリの全アドレスのデータを消去した後、すべてのプロテクトビットを消去します。

(2)　実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビット消去のコマンドシーケンスになります。第 7 バスライトサイクルで消去するプロテクトビットを指定します。コマンドシーケンス入力後、自動動作を行います。

セキュリティ状態でない場合、指定されたプロテクトビットが消去されます。正常に消去が行われたか、FCPSRA<BLK>で確認してください。

セキュリティ状態の場合、フラッシュメモリの全アドレスのデータ消去およびすべてのプロテクトビットが消去されます。データの消去およびプロテクトビットの消去が正常に行われたか読み出して確認し、必要に応じて再度自動プロテクトビット消去、自動チップ消去あるいは自動ブロック消去を実行してください。

いずれの場合も他のコマンドと同様、自動動作中は FCSR<RDY_BSY>が"0"となり、終了後"1"となりリードモードに戻ります。自動動作を中断するためにはハードウエアリセットが必要です。

17.2.5.6　ID-Read

(1)　動作内容

ID-Read コマンドは、フラッシュメモリのタイプ等の情報を読み出すことができます。読み出せる内容は、メーカーコード、デバイスコード、マクロコードの 3 種類です。

(2)　実行方法

第 1～第 3 バスライトサイクルが ID-Read のコマンドシーケンスになります。第 4 バスサイクルで読み出すコードを指定します。第 4 バスライトサイクル以降、任意のフラッシュ領域からのリード動作でコードが得られます。

ID-Read コマンドは連続実行が可能です。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。

ID-Read コマンドは自動的にリードモードに戻りません。リードモードへの復帰は Read コマンド、Read/リセットコマンドまたはハードウエアリセットで行います。

17.2.5.7　Read コマンド、Read/リセットコマンド (ソフトウエアリセット)

(1)　動作内容

フラッシュメモリをリードモードに戻すコマンドです。

ID-Read コマンドを実行した場合、マクロは自動的にはリードモードに復帰せず、その状態で停止します。このような状態からリードモードに復帰させるために、Read コマンドまたは Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルする場合にも使用します。

(2) 実行方法

Read コマンドでは第 1 バスサイクルが、Read/リセットコマンドでは第 1～3 バスライトサイクルがコマンドシーケンスになります。コマンドシーケンス実行後、フラッシュメモリはリードモードになります。

17.2.6 コマンドシーケンス

17.2.6.1 コマンドシーケンス一覧

表 17-5 に各コマンドのバスライトサイクルのアドレスとデータを示します。

ID-Read コマンドの第 5 バスサイクル以外はすべて"「バスライトサイクル」です。バスライトサイクルは 32 ビット(1 ワード) のデータ転送命令で実施します(表では、データの下位 8 ビットのデータのみ示しています)。

アドレスの詳細は、表 17-6 を参照してください。表 17-6 で「コマンド」と記載された、Addr [15:9]に下記の値を使用します。

注 1) アドレスビット[1:0]へは常に"0"を設定してください。

注 2) アドレスビット[19]はフラッシュメモリサイズにより以下の値を設定してください。
メモリサイズが 1MB 以下：常に"0"
メモリサイズが 1MB を超える：1MB 以下の領域へのバスライトサイクルでは"0"
1MB を超える領域へのバスライトサイクルでは"1"

表 17-5 コマンドシーケンス

コマンド	第 1 バスサイクル	第 2 バスサイクル	第 3 バスサイクル	第 4 バスサイクル	第 5 バスサイクル	第 6 バスサイクル	第 7 バスサイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	–	–	–	–	–	–
	0xF0	–	–	–	–	–	–
Read/リセット	0xX55X	0xXAAX	0xX55X	–	–	–	–
	0xAA	0x55	0xF0	–	–	–	–
ID-Read	0xX55X	0xXAAX	0xX55X	IA	0xXX	–	–
	0xAA	0x55	0x90	0x00	ID	–	–
自動ページプログラム	0xX55X	0xXAAX	0xX55X	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	–
	0xAA	0x55	0x80	0xAA	0x55	0x10	–
自動ブロック消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	BA	–
	0xAA	0x55	0x80	0xAA	0x55	0x30	–
自動プロテクトビットプログラム	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット消去	0xX55X	0xXAAX	0xX55X	0xX55X	0xXAAX	0xX55X	0xXX
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- IA: ID アドレス

- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ(32 ビットデータ)

  第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス(表 17-7 参照)
- PBA: プロテクトビットアドレス(表 17-8 参照)

17.2.6.2 バスライトサイクル時のアドレスビット構成

表 17-6 は「表 17-5 コマンドシーケンス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。

表 17-6 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:15]	Addr [14]	Addr [13:12]	Addr [11:9]	Addr [8:7]	Addr [6:4]	Addr [3:0]

通常コマンド	通常のバスライトサイクルアドレス設定				
	フラッシュ領域	"0"推奨		コマンド	Addr[1:0] = "0"固定、他ビットは"0"推奨
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)				
	フラッシュ領域	"0"推奨	ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨	
ブロック消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)				
	ブロックアドレス(表 17-7)	Addr[1:0] = "0"固定、他ビットは"0"推奨			
Auto ページプログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)				
	ページアドレス				Addr[1:0] = "0"固定、他ビットは"0"推奨
プロテクトビットプログラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)				
	フラッシュ領域	"0"固定		プロテクトビット選択 (表 17-8)	Addr[1:0] = "0"固定、他ビットは"0"推奨

17.2.6.3 ブロックアドレス(BA)

表 17-7 にブロックアドレスを示します。自動ブロック消去コマンドの第 6 バスライトサイクルで、消去するブロックに含まれる任意のアドレスを指定します。

表 17-7 ブロックアドレス表

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
2	0x0001_8000 ~ 0x0001_FFFF	0x3F81_8000 ~ 0x3F81_FFFF	32
3	0x0001_0000 ~ 0x0001_7FFF	0x3F81_0000 ~ 0x3F81_7FFF	32
1	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
0	0x0000_0000 ~ 0x0000_7FFF	0x3F80_0000 ~ 0x3F80_7FFF	32

17.2.6.4　プロテクトビットの指定(PBA)

プロテクトビットは、プログラム時は 1 ビット単位、消去時は 4 ビット単位の操作になります。

自動プロテクトビットプログラムのプロテクトビット選択表を表 17-8 に示します。アドレス例の、上段はユーザーブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

消去は、自動プロテクトビット消去コマンドを実行することで 4 ビットのプロテクトビットがまとめて消去されます。

表 17-8 プロテクトビットプログラムアドレス表

Block	プロテクトビット	第 7 バスライトサイクルのアドレス			アドレス例 [31:0]
		アドレス [14:9]	アドレス [8]	アドレス [7]	
Block0	<BLK[0]>	"0"固定	0	0	0x0000_0000 0x3F80_0000
Block1	<BLK[1]>		0	1	0x0000_0080 0x3F80_0080
Block2	<BLK[2]>		1	0	0x0000_0100 0x3F80_0100
Block3	<BLK[3]>		1	1	0x0000_0180 0x3F80_0180

17.2.6.5　ID-Read のコード(IA, ID)

ID-Read コマンドでのコード指定方法と読み出される内容を表 17-9 に示します。

下表のアドレス例の、上段はユーザーブートモード時のアドレス、下段はシングルブートモード時のアドレスです。

表 17-9 ID-Read コマンドのコード指定とコードの内容

Code	ID[7:0]	IA[13:12]	アドレス例[31:0]
メーカーコード	0x98	0b00	0x0000_0000 0x3F80_0000
デバイスコード	0x5A	0b01	0x0000_1000 0x3F80_1000
−	Reserved	0b10	−
マクロコード	0x33	0b11	0x0000_3000 0x3F80_3000

17.2.6.6 コマンドシーケンス例

(1) ユーザーブートモード

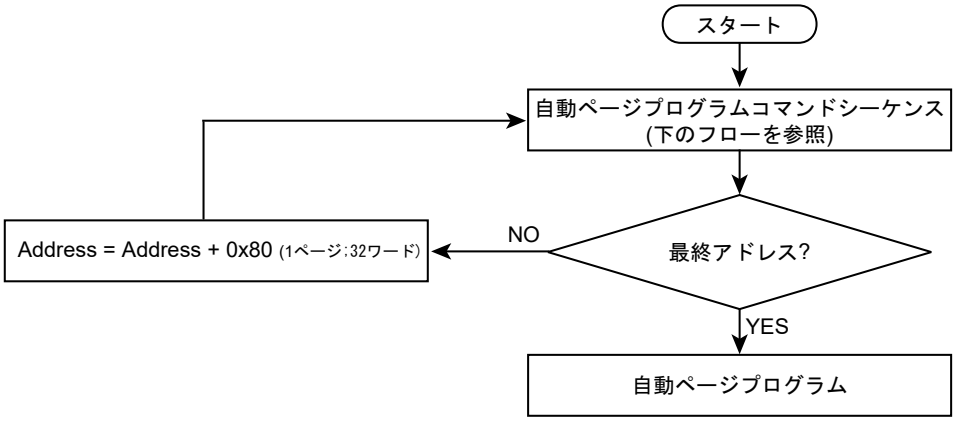
コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read	アドレス	0x0000_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
Read/リセット	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	–	–	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_00F0	–	–	–	–
ID-Read	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動ページプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動ブロック消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550	0x0000_0AA0	0x0000_0550	0x0000_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

(2) シングルブートモード

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read	アドレス	0x3F80_0000	–	–	–	–	–	–
	データ	0x0000_00F0	–	–	–	–	–	–
Read/リセット	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	–	–	–	–
	データ	0x0000_00AA	0x3F80_0055	0x3F80_00F0	–	–	–	–
ID-Read	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	IA	0x0000_0000	–	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	–	–
自動ページプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	–
自動ブロック消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	BA	–
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	–
自動プロテクトビットプログラム	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550	0x3F80_0AA0	0x3F80_0550	0x3F80_0550
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

17.2.7　フローチャート

17.2.7.1　自動プログラム



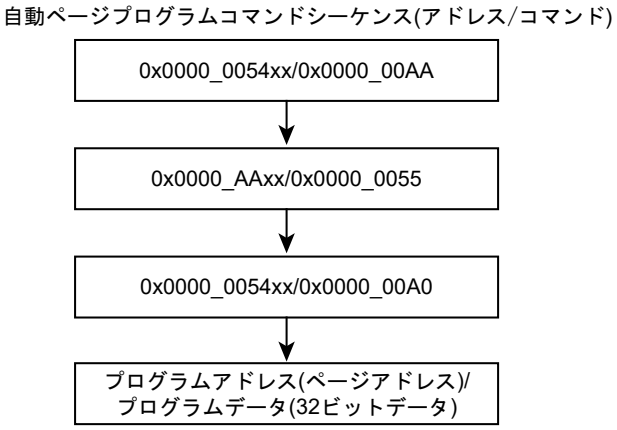


図 17-4 自動プログラムフローチャート

17.2.7.2 自動消去

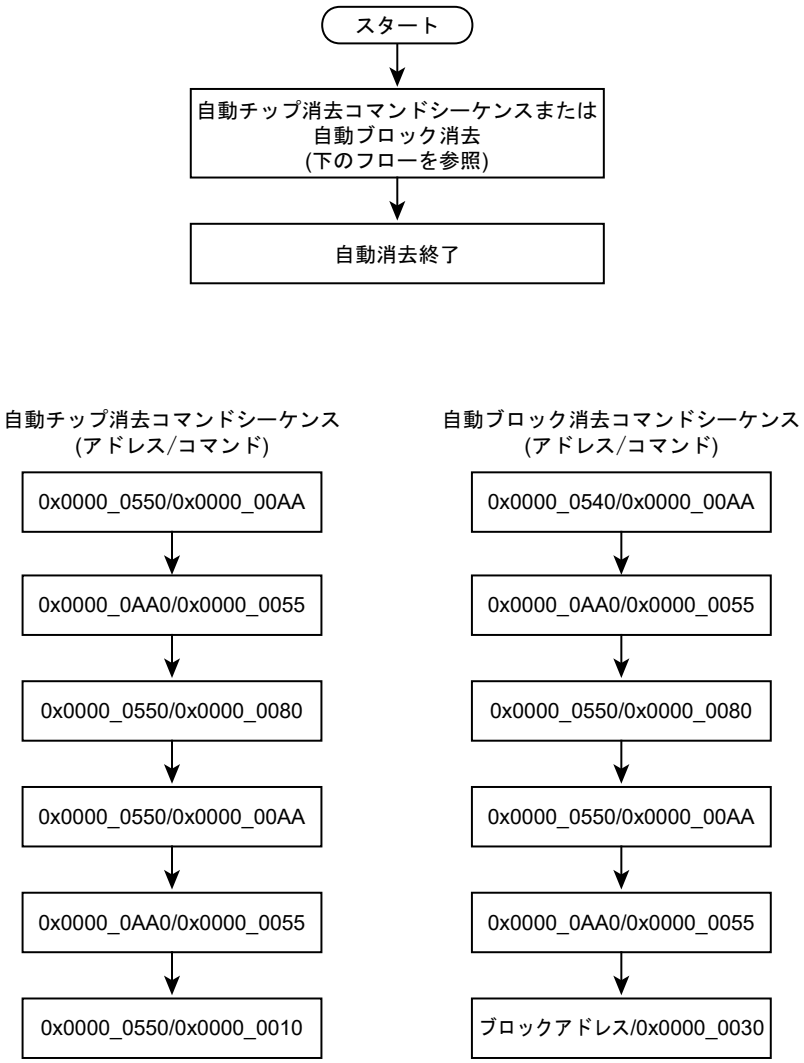


図 17-5 自動消去フローチャート

17.3　シングルブートモードによる書き替え方法

内蔵 BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

シングルブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスのシリアルチャネル(SIO/UART) と外部ホストを接続し、外部ホスト側から内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。ホスト側との通信の詳細は後述のプロトコルに従ってください。

シングルブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

17.3.1　モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}}$ = 0
$\overline{\text{RESET}}$ = 0 → 1

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、$\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

注)　本製品は、電源投入時に、$\overline{\text{BOOT}}$ 端子が Low レベルであるとシングルブートモードで起動します。シングルチップモード時の電源投入の際はリセット動作が完了するまで、$\overline{\text{BOOT}}$ 端子を High レベルにしてください。

17.3.2　インタフェース仕様

シングルブートモードでの SIO/UART 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

  通信チャネル: チャネル 4

  シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファスト

  データ長: 8 ビット

  パリティビット: なし

  STOP ビット: 1 ビット

  ボーレート: 任意のボーレート

- I/O インタフェースモードで通信する場合

  通信チャネル: チャネル 4

  シリアル転送モード: I/O インタフェースモード, 全二重通信, LSB ファスト

  同期信号 (SCLK4): 入力モード,クロック立ち上がりエッジ設定

  ハンドシェイク端子: PB4 (出力モード)

  ボーレート: 任意のボーレート

ブートプログラムは、クロック/モード制御ブロックの設定は初期状態のままで動作します。クロック設定の初期状態は、「クロック/モード制御」の章を参照してください。

ボーレートは、「17.3.5.1 シリアル動作モード判定」で説明しているように 16 ビットタイマ(TMRB)を用いて判定します。判定時のボーレートは所望のボーレートの 1/16 で通信するため、このボーレートがタイマで計測可能な範囲である必要があります。タイマのカウントクロックは ΦT1(fc/2)で動作します。

I/O インタフェースモードのハンドシェイク端子は、受信待ちのときに"Low"、送信中は"High"を出力します。通信プロトコルに従って、ハンドシェイク端子の状態を確認して通信を行ってください。

ブートプログラムで使用する端子を表 17-10 にまとめます。これ以外の端子はブートプログラムでは操作しません。

表 17-10 端子の接続

端子		インタフェース	
		UART	I/O インタフェースモード
モード設定端子	$\overline{\text{BOOT}}$	o	o
リセット端子	$\overline{\text{RESET}}$	o	o
通信端子	TXD4 (PB2)	o	o
	RXD4 (PB1)	o	o
	SCLK4 (PB3)	×	o (入力モード)
	PB4	×	o (出力モード)

o;必要、×;不要

17.3.3 メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵フラッシュメモリに対して表 17-11 のような制約がありますのでご注意ください。

表 17-11 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT プログラムのワークエリアになります。 プログラムは 0x2000_0400 から RAM の最終番地に格納してください。 プログラムの開始アドレスは偶数アドレスでなければいけません。
内蔵フラッシュメモリ	以下の番地はソフトなどの ID 情報やパスワードの格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 0x3F81_FFF0 ~ 0x3F81_FFFF

注) パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

17.3.4　動作コマンド

ブートプログラムには、以下の動作コマンドが準備されています。

表 17-12 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

17.3.4.1　RAM 転送

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域(0x2000_0000 ~ 0x2000_03FF)を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。実行開始アドレスは偶数アドレスでなければいけません。

この RAM 転送機能により、ユーザー独自のオンボートプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、「17.2.6 コマンドシーケンス」で説明するフラッシュメモリコマンドシーケンスを使う必要があります。

17.3.4.2　フラッシュメモリチップ消去および プロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。

17.3.5　コマンドによらず共通の動作

ブートプログラム実行において、共通に行われる動作について説明します。

17.3.5.1　シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし、I/O インタフェースで通信したい場合、所望のボーレート÷16 で 1 バイト目を 0x30 にして送信してください。図 17-6 にそれぞれの場合の波形を示します。

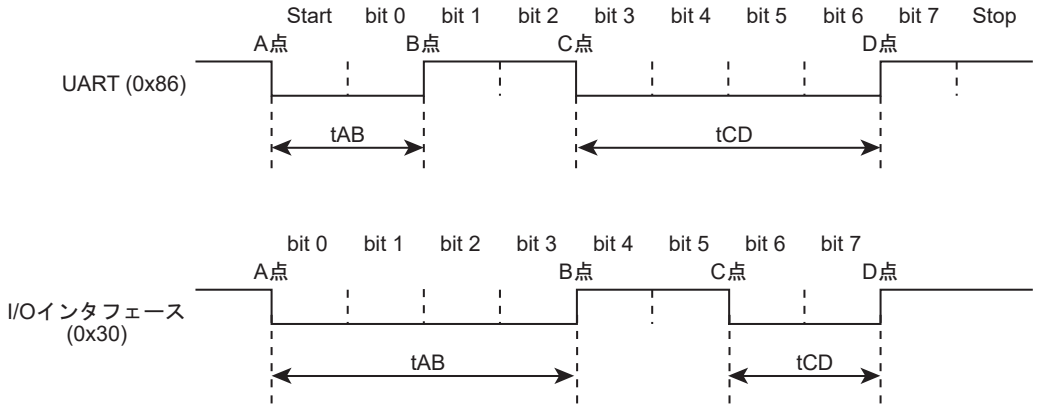


図 17-6 シリアル動作モード判定データ

ブートプログラムは図 17-7 に示すフローチャートで、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86, 0x30)を、16 ビットタイマ(TMRB)を用いて図 17-6 の tAB, tAC と、tAD の時間から求めています。図 17-7 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB, tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート÷16 にして送信してください。

図 17-8 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、I/O インタフェースと判定します。なお、先に述べたように、tAB, tAC, tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 0x30 でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、tAB > tCD であれば 1 バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり, B 点と D 点の立ち上がりを判定できるように 0x91, 0xA1 あるいは 0xB1 を 1 バイト目のデータとして送信できます。tAB > tCD が成立しており、動作モード判定結果 SIO が選択された場合、(1 バイト目の送信データが 0x30 でない場合でも) 2 バイト目のデータは 0x30 となります(以下、I/O インタフェース判定用の 1 バイト目のデータは 0x30 を表記しています)。

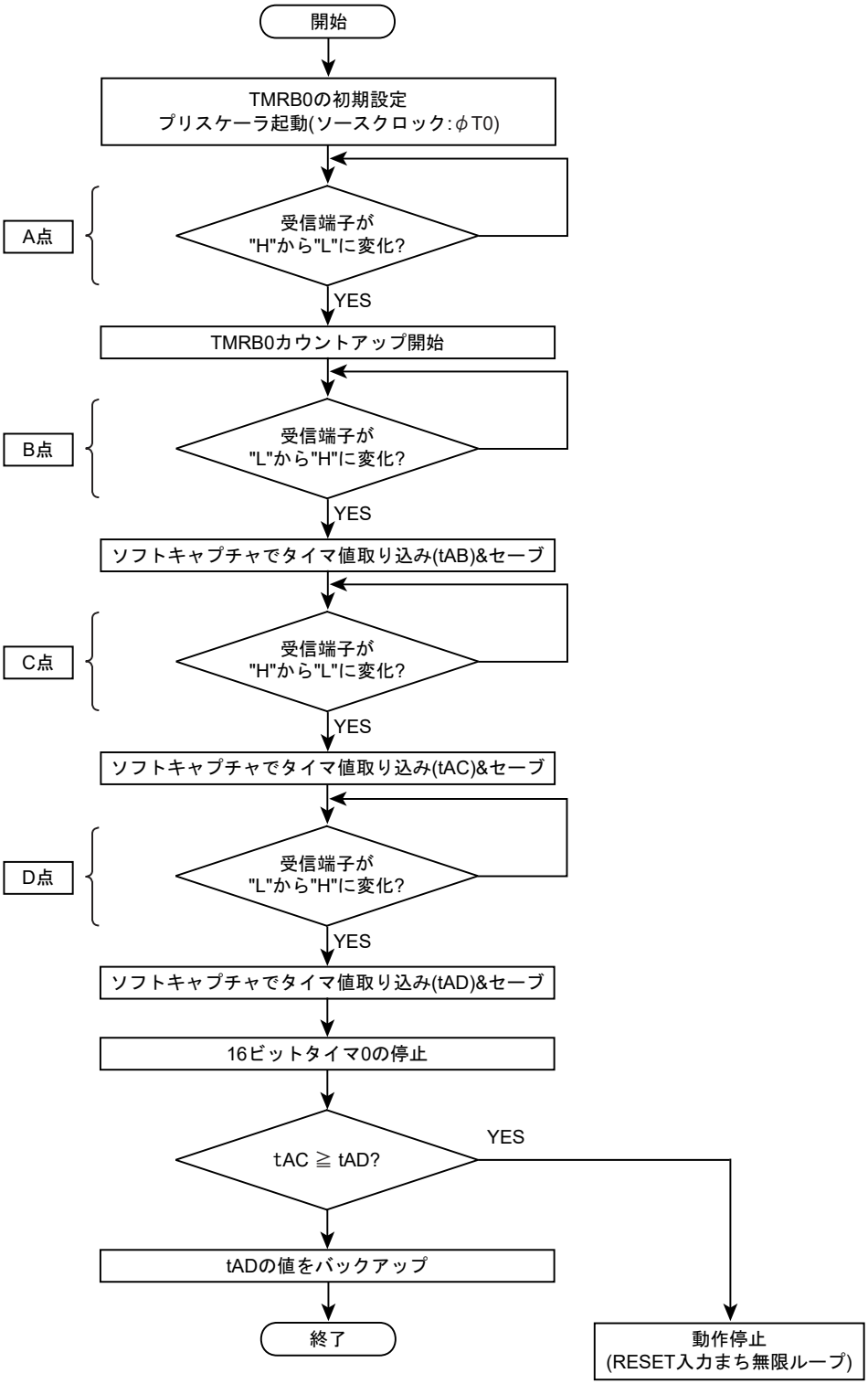


図 17-7 シリアル動作モード受信フローチャート

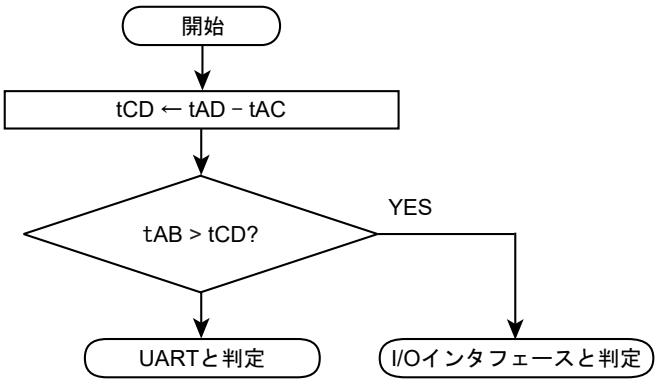


図 17-8 シリアル動作モード判定フローチャート

17.3.5.2 ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 17-13 から表 17-16 に各受信データに対する ACK 応答データを示します。

表 17-14 から表 17-16 に示す ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー, CHECK SUM エラー, パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 17-13 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)
0x30	I/O インタフェースでの通信が可能と判定した。

注) UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 17-14 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注)	動作コマンドデータに受信エラーが発生した。
0x?1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注) 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 17-15 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注) 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。

表 17-16 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

注)　消去コマンドが正常に行われた場合でも、ACK 応答で以上を返す場合があります。FCSR<RDY_BSY>でコマンド終了を確認した後、200μs 以上待って消去の再確認を行って下さい。

17.3.5.3　パスワード判定

ブートプログラムでは、以下の領域をパスワード要否判定データおよびパスワードとして使用します。

領域	アドレス
パスワード要否判定	0x3F81_FFF0 (1byte)
パスワード領域	0x3F81_FFF4 ~ 0x3F81_FFFF (12byte)

RAM 転送コマンドでは、要否判定データにかかわらずパスワード判定を行い、フラッシュメモリチップ消去およびプロテクトビット消去コマンドでは要否判定データが「要」の場合のみパスワード判定を行います。

パスワード要否選択	データ
パスワード要	0xFF 以外
パスワード否	0xFF

パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1)　RAM 転送コマンドでのパスワード判定

図 17-9 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

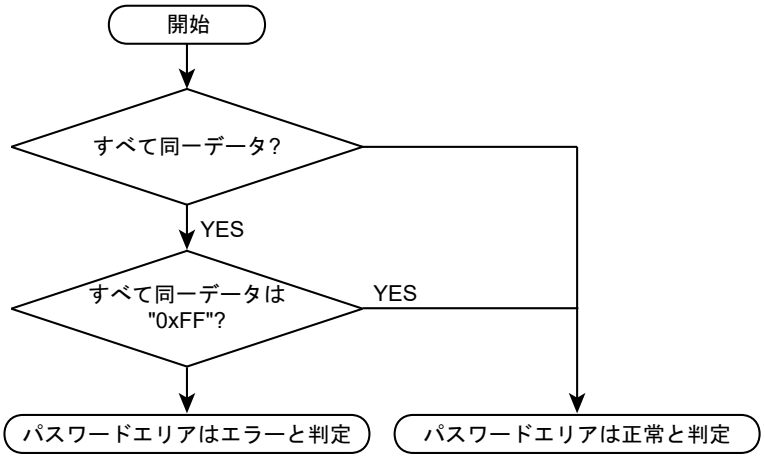


図 17-9 パスワードエリアチェックフローチャート

(2) フラッシュメモリチップ消去およびプロテクトビット消去コマンドでのパスワード判定

図 17-10 に示すように、消去パスワード要否の選択エリアがパスワード有効の場合は、パスワードエリアのデータが同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x41 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。セキュリティ機能が有効な状態でもパスワードの参照は行います。

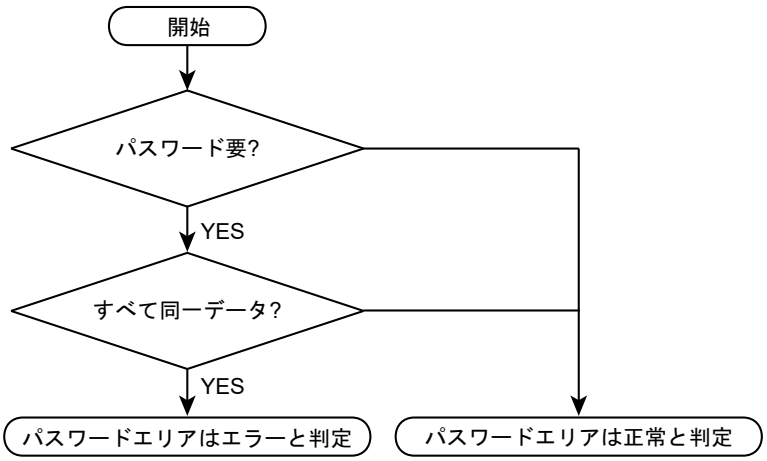


図 17-10 パスワードエリアチェックフローチャート

17.3.5.4 CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

0xE5 + 0xF6 = 0x1DB

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

0 − 0xDB = 0x25

17.3.6 RAM 転送の転送フォーマット

RAM 転送コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラから TMPM036FWFG へ

転送方向「C←T」: TMPM036FWFG からコントローラへ

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「17.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
2	C←T	[I/O インタフェースモード] 0x30	所望のボーレート ÷ 16 で 0x30 を送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目からにしてください。
		シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
		[I/O インタフェースモード] 正常の場合:0x30	送信バッファにデータ(0x30)を書き込み、SCLK クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで通信を行ってください。
3	C→T	動作コマンドデータ(0x10)	RAM 転送コマンドデータ(0x10)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。 次に、3 バイト目の受信データが、表 17-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。RAM 転送の場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FFF4 ~ 0x3F81_FFFF	パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「17.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~ 0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は 17.3.5.4 を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。
19	C→T	RAM 格納開始アドレス 31 ~ 24	ブロック転送における格納先の RAM の開始アドレスを送信してください。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地の範囲で指定してください。RAM の開始アドレスは偶数アドレスでなければいけません。
20	C→T	RAM 格納開始アドレス 23 ~ 16	
21	C→T	RAM 格納開始アドレス 15 ~ 8	
22	C→T	RAM 格納開始アドレス 7 ~ 0	
23	C→T	RAM 格納バイト数 15 ~ 8	ブロック転送するバイト数を送信してください。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください
24	C→T	RAM 格納バイト数 7 ~ 0	
25	C→T	19 ~ 24 バイト目の CHECK SUM 値	19 バイト目から 24 バイト目の CHECK SUM 値を送信してください。
26	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、25 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
27~m	C→T	RAM 格納データ	RAM に格納するデータを、23 バイト目から 24 バイト目に指定されたバイト数分送信してください。
m+1	C→T	27 ~ m バイト値の CHECK SUM 値	27 バイト目 ~ m バイト目の CHECK SUM 値を送信してください。
m+2	C←T	CHECK SUM 値に対する ACK 応答 正常の場合:0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、m + 1 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
–	–	–	m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

17.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット

フラッシュメモリチップ消去およびプロテクトビット消去コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラ→TMPM036FWFG

転送方向「C←T」: コントローラ←TMPM036FWFG

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「17.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
		[I/O インタフェースモード] 0x30	所望のボーレート ÷ 16 で 0x30 を送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目からにしてください。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
		[I/O インタフェースモード] 正常の場合:0x30	送信バッファにデータ(0x30)を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで通信を行ってください。
3	C→T	動作コマンドデータ(0x40)	フラッシュメモリチップ消去およびプロテクトビット消去コマンドデータ(0x40)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります)。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。 次に、3 バイト目の受信データが、表 17-12 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。フラッシュメモリチップ消去およびプロテクトビット消去の場合、0x40 をエコーバック送信します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。
5~16	C→T	パスワードデータ(12 バイト) 0x3F81_FFF4 ~ 0x3F81_FFFF	パスワード要否選択が「否」の場合、ダミーデータです。 パスワード要否選択が「要」の場合、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「17.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F81_FFF0~ 0x3F81_FFFF のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「17.3.5.4 CHECK SUM の計算方法」を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	パスワード要否選択が「否」の場合、正常 ACK 応答データ 0x40 を送信します。 パスワード要否選択が「要」の場合、最初に 5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします(UART モードのみ)。受信エラーがある場合、通信異常の ACK 応答データ 0x48 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x40 を送信します。
19	C→T	消去イネーブルコマンドデータ(0x54)	消去イネーブルコマンドデータ(0x54)を送信してください。
20	C←T	消去イネーブルコマンドに対する ACK 応答 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0x58	最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x58 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。 次に、19 バイト目の受信データが、消去イネーブルコマンドに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
21	C→T	消去コマンドに対する ACK 応答(注 1) 正常の場合: 0x4F 異常の場合: 0x4C	正常に終了した時は、終了コード(0x4F)を返します。 消去 Error が起きた場合は、エラーコード(0x4C)を返します。
–	–	–	次の動作コマンドデータ待ち状態になります。

注 1)　消去コマンドが正常に行われた場合でも、ACK 応答で異常を返す場合があります。FCSR<RDY_BSY>でコマンド終了を確認した後、200μs 以上待って消去の再確認を行って下さい。

17.3.8 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

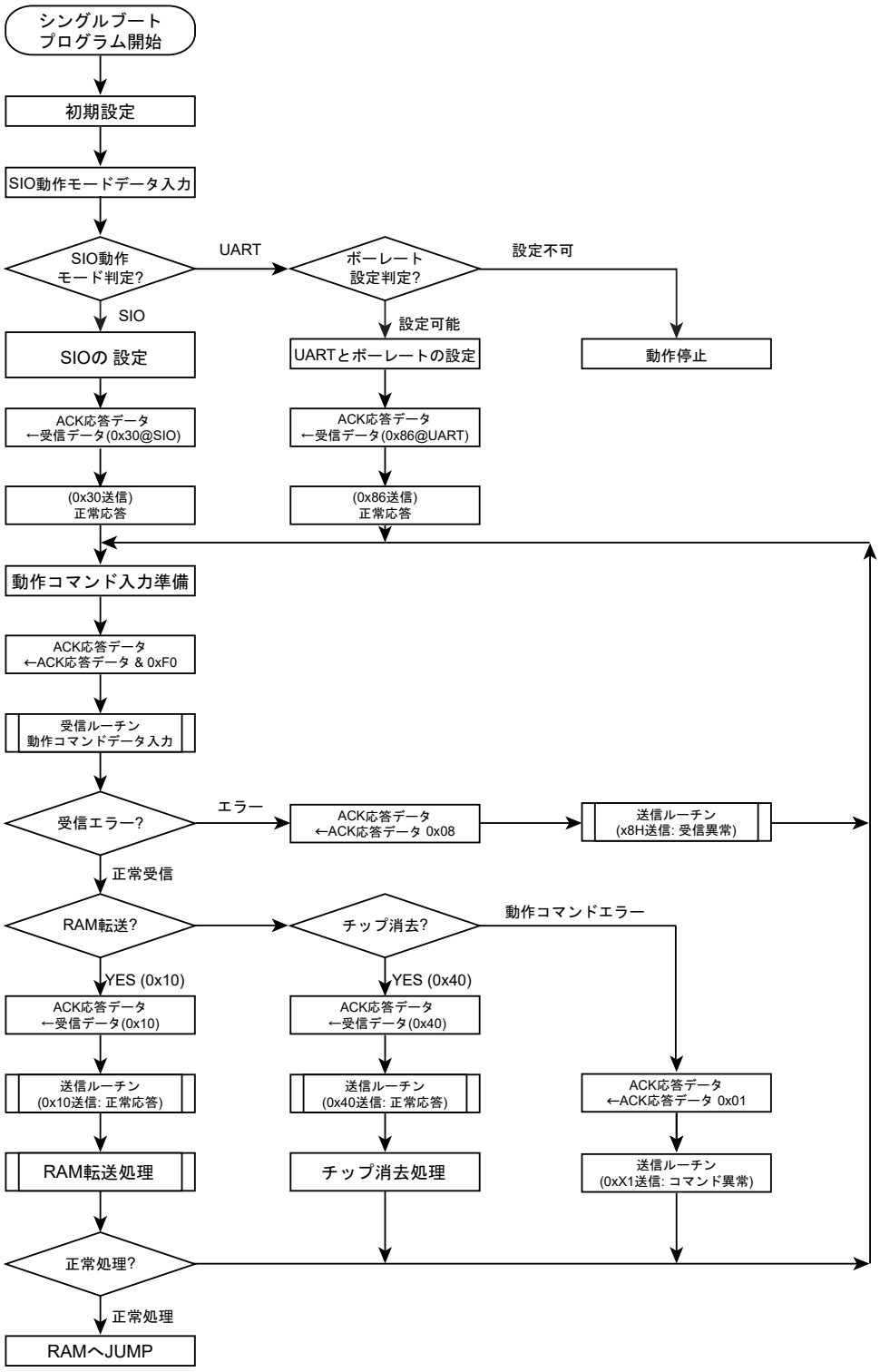


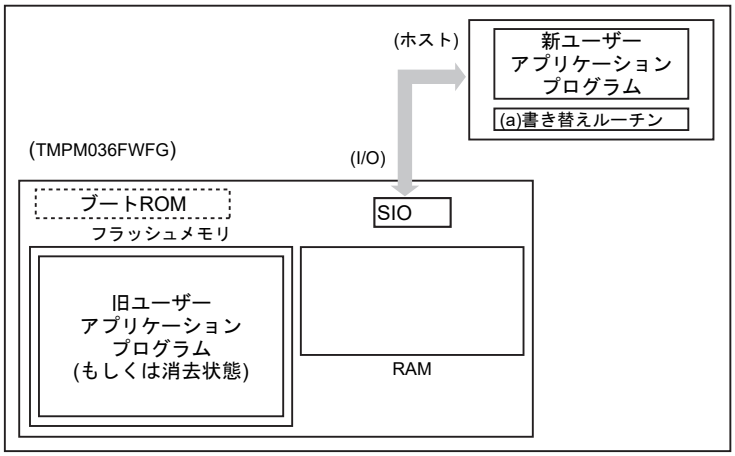
図 17-11 ブートプログラム全体フローチャート

17.3.9　内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順

内蔵ブートプログラムを利用した書き替え手順を示します。

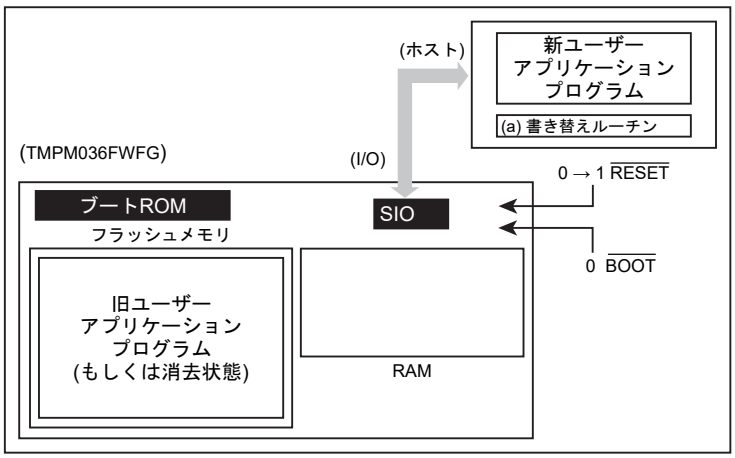
17.3.9.1　Step-1

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO4)を経由して行いますので、ボード上で本デバイスの SIO (SIO4)と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



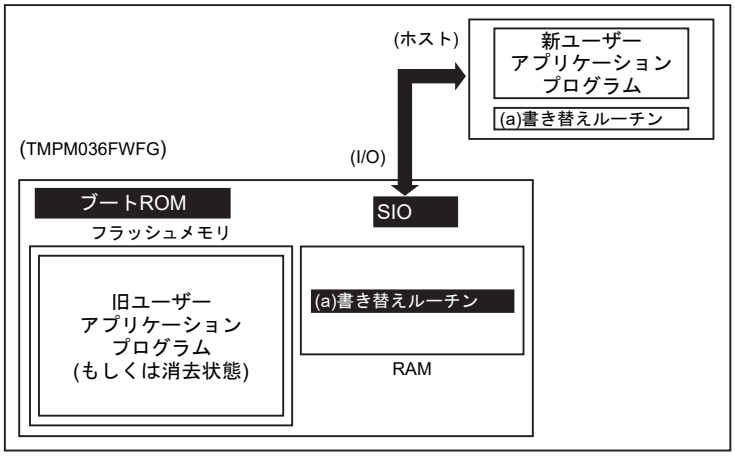
17.3.9.2　Step-2

シングルブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。シングルブートモードの手順に従い、SIO4 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行いますが、最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



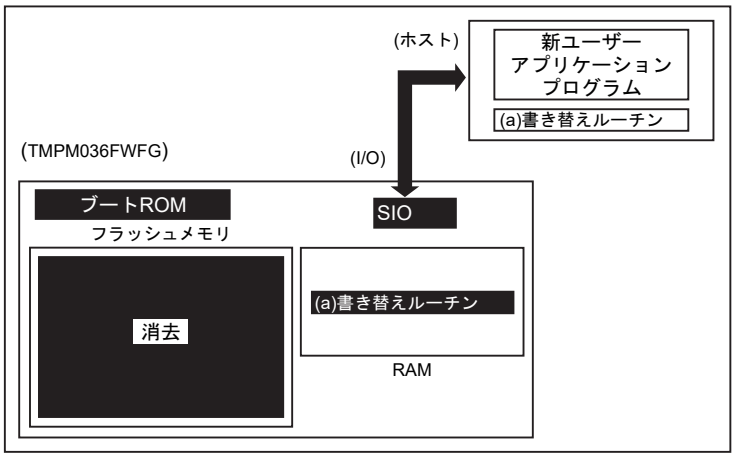
17.3.9.3 Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



17.3.9.4 Step-4

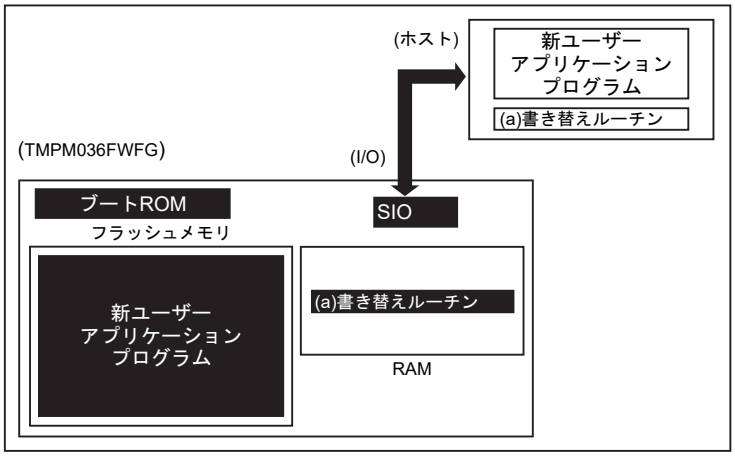
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



17.3.9.5　Step-5

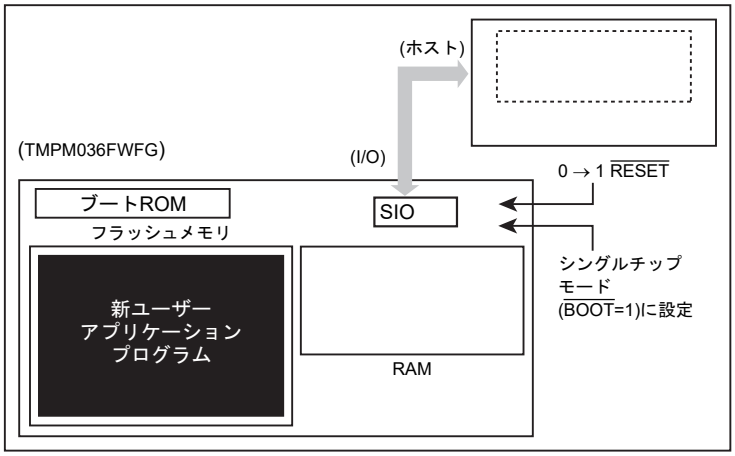
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO4 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



17.3.9.6　Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザーアプリケーションプログラムを実行します。



17.4 ユーザーブートモードによる書き替え方法

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いるデータ転送バスが、シリアル I/O と異なる場合に使用します。 動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、ユーザーのシステムセット条件 に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。ユーザーブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

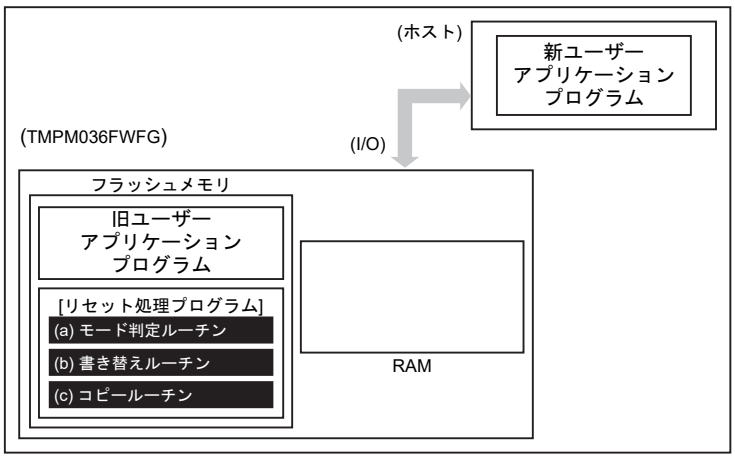
書き替えルーチンをフラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「17.2 フラッシュメモリ詳細」を参照してください。

17.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

17.4.1.1 Step-1

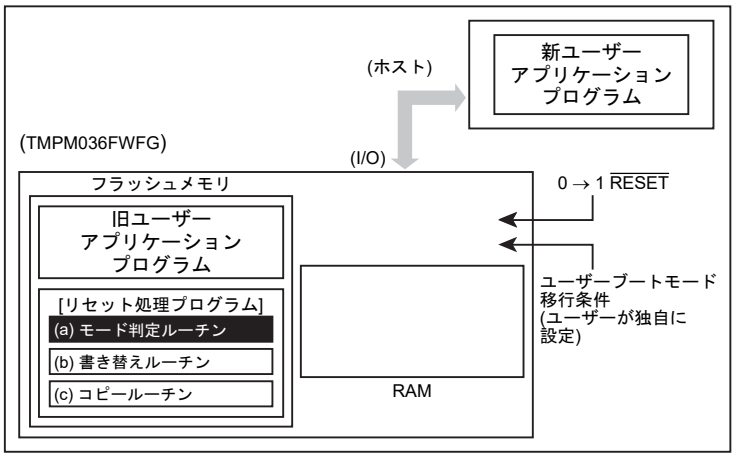
ユーザーは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:	書き替え動作に移るためのプログラム
(b) フラッシュ書き替えルーチン:	書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
(c) コピールーチン:	上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム



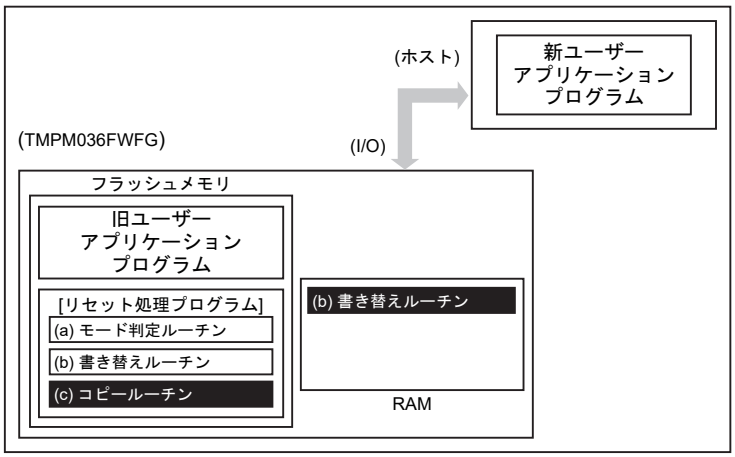
17.4.1.2　Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。



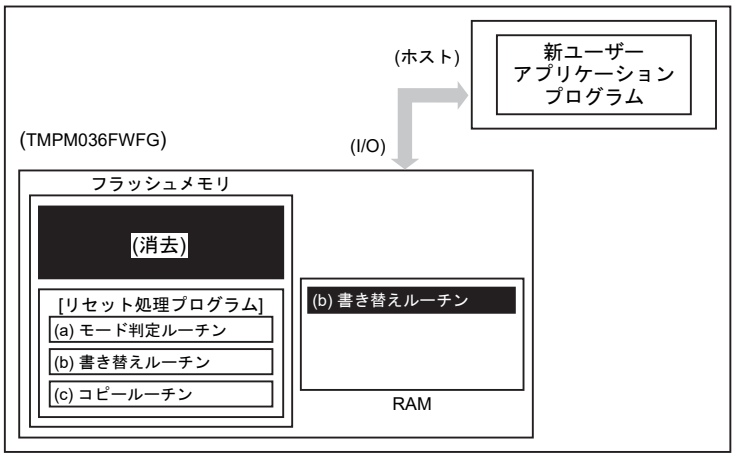
17.4.1.3　Step-3

ユーザーブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内蔵 RAM にコピーします。



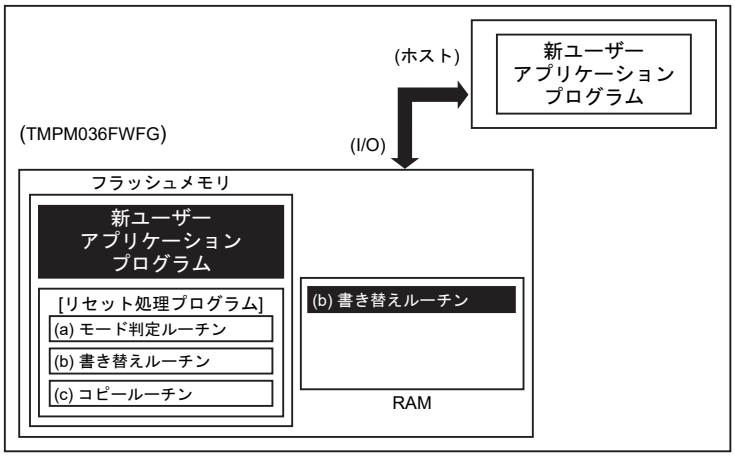
17.4.1.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



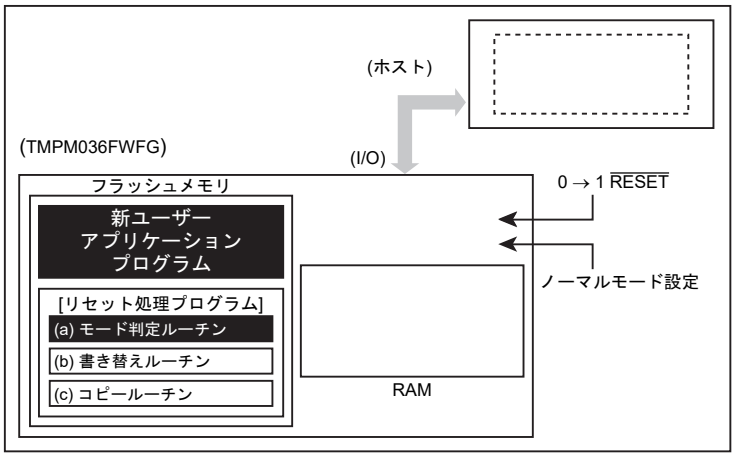
17.4.1.5 Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



17.4.1.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



17.4.2 (1-B)書き替えルーチンを外部から転送する手順例

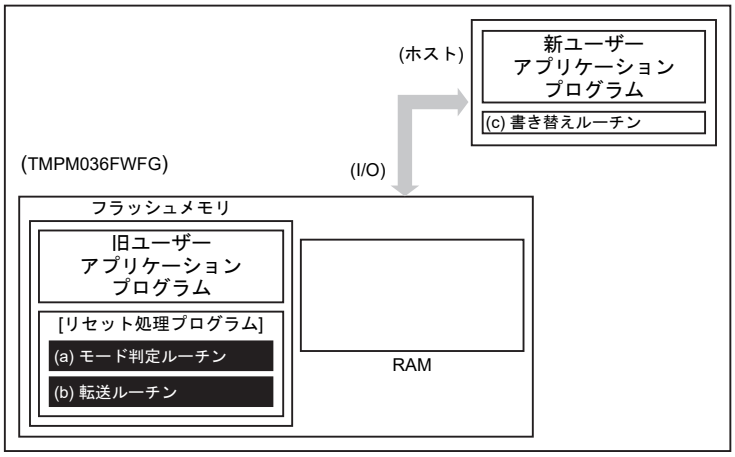
17.4.2.1 Step-1

ユーザーは、あらかじめ どのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン: 書き替え動作に移るためのプログラム
(b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

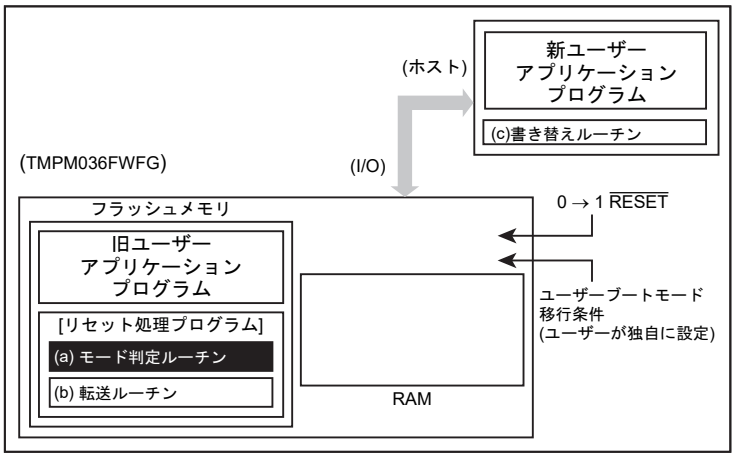
また、下記に示すプログラムはホスト上に用意します。

(c) 書き替えルーチン: 書き替えを行うためのプログラム



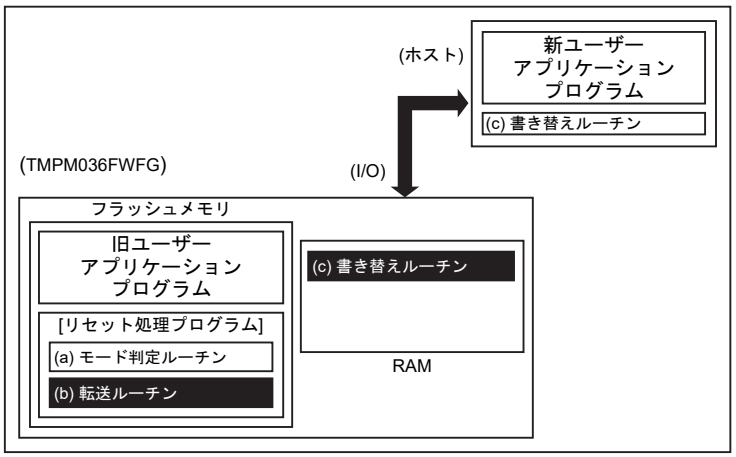
17.4.2.2　Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。



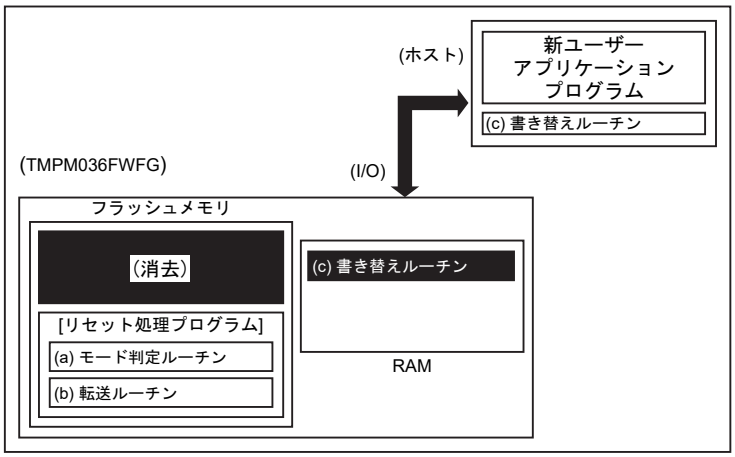
17.4.2.3　Step-3

ユーザーブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内蔵 RAM にロードします。



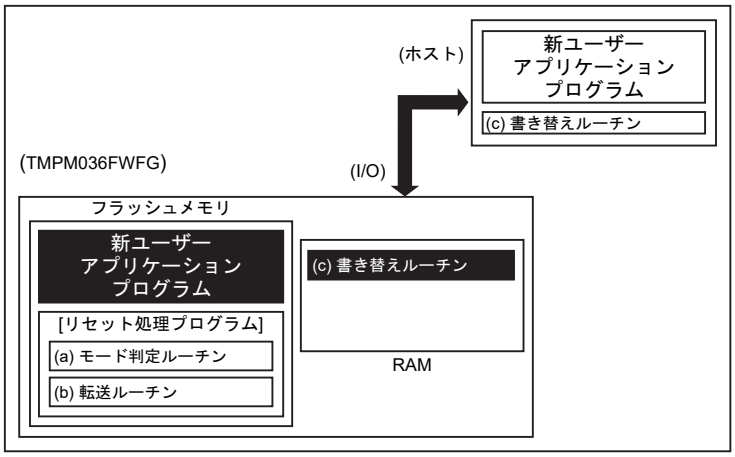
17.4.2.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



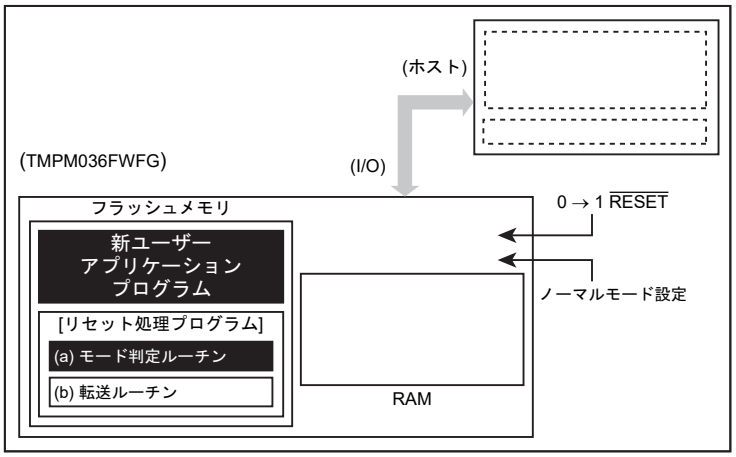
17.4.2.5 Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



17.4.2.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



第 18 章　デバッグインタフェース

18.1　仕様概要

TMPM036FWFG はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニットを搭載しています。

SWJ-DP の詳細に関しましては ARM 社からリリースされる"ARM ドキュメンテーションセット Cortex-M0 用"を参照してください。

18.2　SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)をサポートしています。

Pin name	Function	Description	I/O
SWDIO	SW	Serial Wire Data Input/Output	I/O
SWCLK	SW	Serial Wire Clock	Input

18.3　ホールトモード中の周辺機能

Cortex-M0 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。また、16 ビットタイマ(TMRB および TMR16A）はホールドモード時に動作するかどうかを指定することができます。その他の周辺機能は動作を続けます。

18.4　デバッグツールとの接続

18.4.1　接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

注)　デバッグツールを接続すると、STOP1 モード時の消費電流は増加します。

18.4.2　デバッグインタフェース端子を汎用ポートとして使用する際の注意

デバッグインタフェース端子は汎用ポートと兼用です。

リセット解除後、デバッグ端子となるもの以外は汎用ポート機能となります。必要に応じてデバッグ端子を使用する設定を行ってください。

デバッグ時にユーザプログラムでリセット解除後すぐに汎用ポートに設定を変更すると、デバッグツールからの制御が受け付けられず、デバッグツールによるデバッグができなくなる場合があります。

デバッグインタフェース端子の使用状況に合わせて、設定を変える場合は注意してください。

表 18-1 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子	
	SWCLK	SWDIO
SW	o	o

o：イネーブル ×：ディセーブル(汎用ポートとして使用可能)

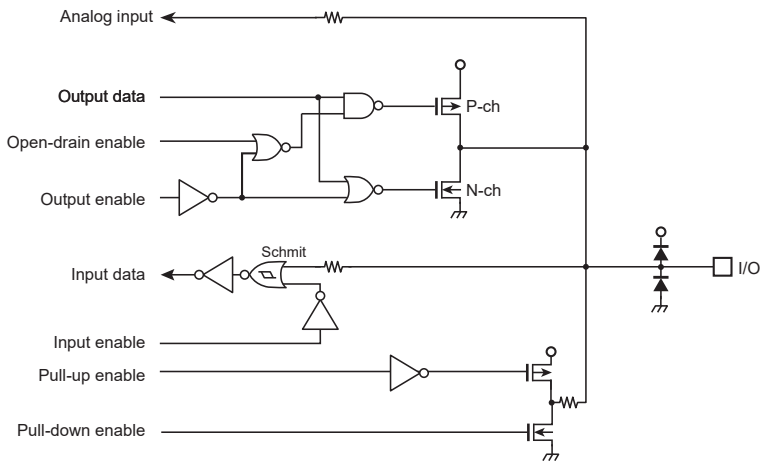
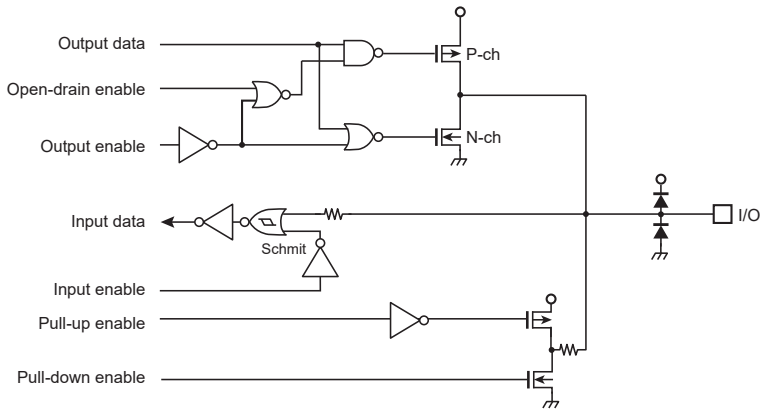
第 19 章　ポート等価回路図

ポート等価回路図は、基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。

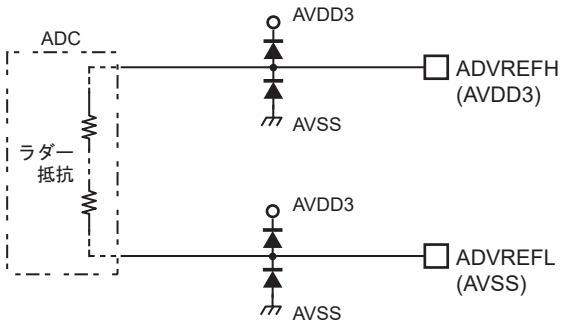
入力保護抵抗は、数十 Ω～数百 Ω 程度です。X2 のダンピング抵抗値は、図中に typ.値を記入しています。

注)　図中の数値の記載のない抵抗は、入力保護抵抗を示します。

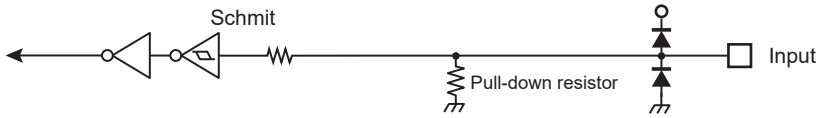
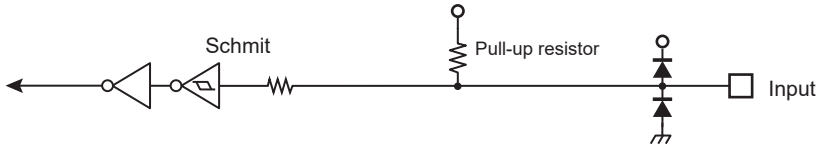
19.1　ポート

PA0 ~ PA7	
PB0 ~ PB7, PC0 ~ PC5, PD0 ~ PD4, PE0 ~ PE5, PF0 ~ PF7, PG0 ~ PG7, PH0 ~ PH7 PJ0 ~ PJ7 PK0 ~ PK6 PL0 ~ PL6 PM0 ~ PM2 PN0	

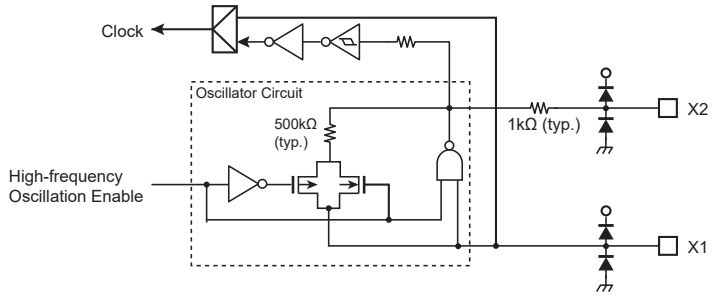
19.2　アナログ端子

VREFH VREFL	

19.3 制御端子

MODE	 必ず GND に接続してください
$\overline{\text{RESET}}$	

19.4 クロック

X1, X2	

19.5 テスト端子

FTEST3	 必ず OPEN にしてください

第 20 章　電気的特性

20.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3	−0.3 ~ 3.9	V
		RVDD3	−0.3 ~ 3.9	
		AVDD3	−0.3 ~ 3.9	
入力電圧	デジタル端子	V_{IN1}	−0.3 ~ DVDD3 + 0.3	V
	アナログ端子	V_{IN2}	−0.3 ~ AVDD3 + 0.3	
低レベル出力電流	1 端子(下記以外)	I_{OL1}	5	mA
	PC2,PC3,PG6,PG7	I_{OL2}	20	
	合計	ΣI_{OL}	75	
高レベル出力電流	1 端子(下記以外)	I_{OH1}	−5	
	PC2,PC3,PG6,PG7	I_{OH2}	−20	
	合計	ΣI_{OH}	-75	
消費電力 (Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	−55 ~ 125	°C
動作温度		T_{OPR}	−40 ~ 85	°C

注) **絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。**

20.2　DC 電気的特性 (1/2)

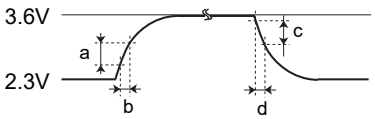
DVSS = RVSS = AVSS = 0V
Ta = −40 ~ 85 °C

項目		記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD3 RVDD3 AVDD3	DVDD3 RVDD3 AVDD3	f_{OSC} = 8 ~ 16 MHz fsys = 1 ~ 20 MHz	2.3	−	3.6	V
低レベル入力電圧	PB0 ~ 7, PC0 ~ 5, PD0 ~ 5, PE0 ~ 7, PF0 ~ 7, PG0 ~ 7, PJ0 ~ 7, PK0 ~ 6, PL0 ~ 6, PM0 ~ 2, PN0	V_{IL1}	Schmit 入力	−0.3	−	0.2 DVDD3	V
	PA0 ~ 7	V_{IL2}				0.2 AVDD3	
	X1, MODE, $\overline{RESET}$	V_{IL3}				0.2 DVDD3	
高レベル入力電圧	PB0 ~ 7, PC0 ~ 5, PD0 ~ 5, PE0 ~ 7, PF0 ~ 7, PG0 ~ 7, PJ0 ~ 7, PK0 ~ 6, PL0 ~ 6, PM0 ~ 2, PN0	V_{IH1}	Schmit 入力	0.8 DVDD3	−	DVDD3+0.3	V
	PA0 ~ 7	V_{IH2}		0.8 AVDD3		AVDD3+0.3	
	X1, MODE, $\overline{RESET}$	V_{IH3}		0.8 DVDD3		DVDD3+0.3	
低レベル出力電圧	PAx,PBx,PC0-1,PC4-5,PDx, PDx,PEx,PFx,PG0-5, PHx,PJx,PKx,PLx,PMx,PNx	V_{OL1}	I_{OL1} = 2 mA 2.3 ≤ DVDD3 ≤ 3.6V	−	−	0.4	V
	PC2,PC3,PG6,PG7	V_{OL2}	I_{OL2} = 10 mA 2.3 ≤ DVDD3 ≤ 2.7V			0.4	
高レベル出力電圧	PAx,PBx,PC0-1,PC4-5,PDx, PDx,PEx,PFx,PG0-5, PHx,PJx,PKx,PLx,PMx,PNx	V_{OH1}	I_{OH1} = −2 mA 2.3 ≤ DVDD3 ≤ 3.6V	DVDD3-0.4	−	DVDD3	V
	PC2,PC3,PG6,PG7	V_{OH2}	I_{OH2} = −10 mA 2.3 ≤ DVDD3 ≤ 2.7V	DVDD3-0.4	−	DVDD3	

DVSS = RVSS = AVSS = 0V
Ta = −40 ~ 85 °C

項目		記号	条件	Min	Typ. (注 1)	Max	単位
入力リーク電流	−	I_{LI1}	0.0 ≤ V_{IN} ≤ DVDD3 0.0 ≤ V_{IN} ≤ AVDD3	−	0.02	±5	μA
	PC0, PC1(電源 OFF 時)	I_{LI2}	0.0 ≤ V_{IN} ≤ DVDD3 0 ≤ DVDD3 ≤ 0.2	−	−	±1.8	
出力リーク電流		I_{LO}	0.2 ≤ V_{IN} ≤ DVDD3 -0.2 0.2 ≤ V_{IN} ≤ AVDD3 -0.2	−	0.05	±10	
シュミット入力幅		VTH1	2.7 V ≤ DVDD3 ≤ 3.6 V	0.1 DVDD3	−	−	V
		VTH2	2.3 V ≤ DVDD3 ≤ 2.7 V	0.1 DVDD3	−		
リセットプルアップ抵抗		RRST	2.7 V ≤ DVDD3 ≤ 3.6 V	25	50	75	kΩ
プログラマブルプルアップ/ダウン抵抗		PKH	2.7 V ≤ DVDD3 ≤ 3.6 V	25	50	75	kΩ
動作範囲内電源変動レート		VRS	RVDD3 = DVDD3	−	−	10	mV/μs
		VFS		−	−	-1.44	
Pin 容量(電源端子を除く)		C_{IO}	fc = 1 MHz	−	−	10	pF
低レベル出力電流		I_{OL1}	1 端子ごと: PAx,PBx,PC0-1,PC4-5, PDx,PEx,PF,PG0-5, PHx,PJx,PKx,PLx,PMx, PNx 2.7 V ≤ DVDD3 ≤ 3.6 V	−	−	2	mA
		I_{OL2}	1 端子ごと: PC2,PC3,PG6,PG7 2.7 V ≤ DVDD3 ≤ 3.6 V	−	−	10	mA
		ΣI_{OL1}	ポートごと:PA	−	−	10	mA
		ΣI_{OL2}	ポートエリアごと: PBx,PLx,PMx	−	−	32	mA
		ΣI_{OL3}	ポートエリアごと: PEx,PKx,PGx	−	−	32	mA
		ΣI_{OL4}	ポートエリアごと: PCx,PFx,PJx,PN0	−	−	32	mA
高レベル出力電流		I_{OH1}	1 端子ごと: PAx,PBx,PC0-1,PC4-5, PDx,PEx,PF,PG0-5 PHx,PJx,PKx,PLx,PMx, PNx 2.7 V ≤ DVDD3 ≤ 3.6 V	−	−	-2	mA
		I_{OH2}	1 端子ごと: PC2,PC3,PG6,PG7 2.7 V ≤ DVDD3 ≤ 3.6 V	−	−	-10	mA
		ΣI_{OH1}	ポートごと:PA	−	−	-10	mA
		ΣI_{OH2}	ポートエリアごと: PBx,PLx,PMx	−	−	-32	mA
		ΣI_{OH3}	ポートエリアごと: PEx,PKx,PGx	−	−	-32	mA
		ΣI_{OL4}	ポートエリアごと: PCx,PFx,PJx,PN0	−	−	32	mA
		ΣI_O	全端子(全ポート)	−	−	± 60	mA

注 1)　Typ 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。
注 2)　DVDD3, RVDD3, AVDD3, は同電位で使用してください。
注 3)　VRS, VFS の変動は電気的特性に対して厳しい箇所で測定してください。



VRS = a / b, VFS = c / d

20.3 DC 電気的特性 (2/2)

Ta = −40 ~ 85 °C

項目	記号	条件			Min	Typ. (注)	Max	単位
		電源電圧	高速発振器	動作条件				
NORMAL	I_{DD}	DVDD3 = RVDD3 = AVDD3 = 3.6V	発振	全回路動作	−	−	14.1	mA
		DVDD3 = RVDD3 = AVDD3 = 3.3V	動作条件は表 20-1 を参照ください		−	10.0	13.0	
IDLE					−	5.3	7.3	mA
STOP1			停止	動作条件は表 20-1 を参照ください	−	50	650	μA

注) Typ 値は特に指定のない限り Ta = 25 °C, DVDD3 = RVDD3 = AVDD3 = 3.3 V の値です。

表 20-1 I_{DD} 測定条件 (端子設定、発振回路)

		NORMAL	IDLE	STOP1
端子設定	DVDD3 = RVDD3 = AVDD3	3.3V		
	X1, X2 端子	発振子接続 (10MHz)		
	入力端子	固定		
	出力端子	開放		
動作条件 (発振回路)	システムクロック (fsys)	20MHz		停止
	外部高速発振器 (EHOSC)	発振		停止
	内部高速発振器 (IHOSC)	停止		
	fsys 用 PLL	動作 (2 逓倍)		停止
	周辺回路	全動作	停止	停止

20.4　10 ビット AD コンバータ変換特性

AVSS = DVSS = 0V, Ta = -40 ~ 85 °C

項目		記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)		AVDD	−	2.3	2.7	3.6	V
アナログ入力電圧		VAIN	−	AVSS	−	AVDD	V
アナログ基準電圧電源電流	AD 変換時	IREF	DVSS = AVSS	−	0.45	0.7	mA
	AD 非変換時			−	15	50	nA
微分非直線性誤差		−	変換時間 =16.2μ S AVDD=2.7 ~ 3.6V	−	4.0	6.0	LSB
積分非直線性誤差				−	4.0	6.0.	
ゼロ誤差				−	4.0	6.0.	
フルスケール誤差				−	4.0	6.0.	
総合誤差				−	4.0.	6.0	
微分非直線性誤差		−	変換時間 =32.4μ S AVDD=2.3 ~ 3.6V	−	4.0	6.0	
積分非直線性誤差				−	4.0	6.0.	
ゼロ誤差				−	4.0	6.0.	
フルスケール誤差				−	4.0	6.0.	
総合誤差				−	4.0	6.0	

注 1)　1LSB = (AVDD − AVSS)/1024 [V]
注 2)　AD コンバータ単体動作の時の特性です。

20.5 AC 電気的特性

20.5.1 シリアルチャネル (SIO/UART)

20.5.1.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 入力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF

20.5.1.2 AC 電気的特性(I/O インタフェースモード)

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。

(1) SCLK 入力モード

[データ入力]

DVDD3=2.3 to 3.6V

項目	記号	計算式		fsys = 20 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	200	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	200	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	400	−	
有効 Data 入力 ← SCLK 立ち上がり/立ち下がり (注 1)	t_{SRD}	30	−	30	−	
SCLK 立ち上がり/立ち下がり (注 1) → 入力 Data 保持	t_{HSR}	x + 30	−	80	−	

[データ出力]

DVDD3=2.3 to 3.6V

項目	記号	計算式		fsys = 20 MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	200 (注 3)	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	200 (注 3)	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	400	−	
Output Data ← SCLK 立ち上がり/立ち下がり (注 1)	t_{OSS}	$t_{SCY}/2 - 3x - 45$	−	5 (注 2)	−	
SCLK 立ち上がり/立ち下がり (注 1) → Output Data 保持	t_{OHS}	$t_{SCY}/2$	−	105	−	

注 1) SCLK 立ち上がり/立ち下がり SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2) 計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3) t_{OSS} を"0"とした場合の値を示しています。計算式による値ではありません。

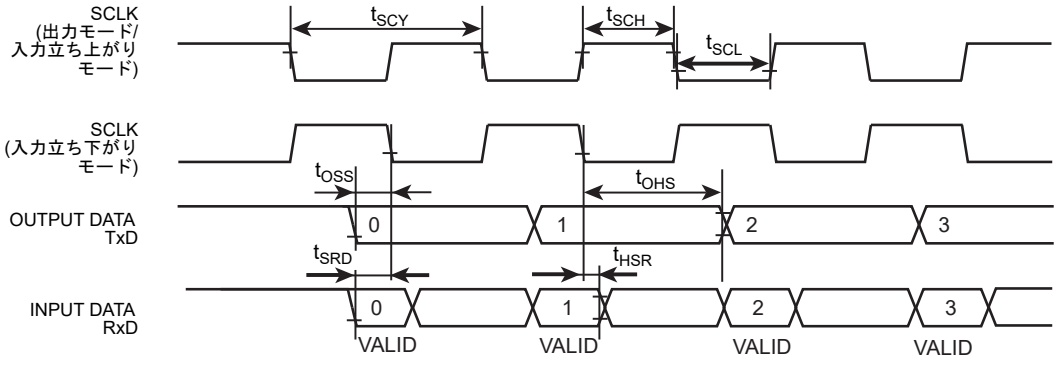
(2)　SCLK 出力モード

DVDD3=2.7 to 3.6V

項目	記号	計算式		fsys = 20 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	2x	–	100	–	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	t_{SCY}/2 - 30	–	20	–	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	t_{SCY}/2 - 30	–	20	–	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45	–	45	–	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	

DVDD3=2.3 to 2.7V

項目	記号	計算式		fsys = 20 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	2x	–	100	–	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	t_{SCY}/2 - 30	–	20	–	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	t_{SCY}/2 - 50	–	0	–	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	70	–	70	–	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	–	0	–	



20.5.2 I2C インタフェース (I2C)

20.5.2.1 AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 入力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF

20.5.2.2 AC 電気的特性

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は I2CxCR<SCK>で指定した SCL 出力クロックの周波数選択値、p は I2CxPRS<PRSCK>で指定したプリスケーラ分周比です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0	−	0	100	0	400	kHz
スタートコンディション保持	$t_{HD;\ STA}$	−	−	4.0	−	0.6	−	μs
SCL クロック Low 幅(入力) (注 1)	t_{LOW}	−	−	4.7	−	1.3	−	
SCL クロック High 幅(入力) (注 2)	t_{HIGH}	−	−	4.0	−	0.6	−	
再スタートコンディション セットアップ時間	$t_{SU;\ STA}$	(注 5)	−	4.7	−	0.6	−	
データ保持時間(入力) (注 3, 4)	$t_{HD;\ DAT}$	−	−	0.0	−	0.0	−	
データセットアップ時間	$t_{SU;\ DAT}$	−	−	250	−	100	−	ns
ストップコンディションセットアップ時間	$t_{SU;\ STO}$	−	−	4.0	−	0.6	−	μs
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	(注 5)	−	4.7	−	1.3	−	

注 1) SCL クロック LOW 幅(出力): $P \times (2^{n-1} + 10)/X$

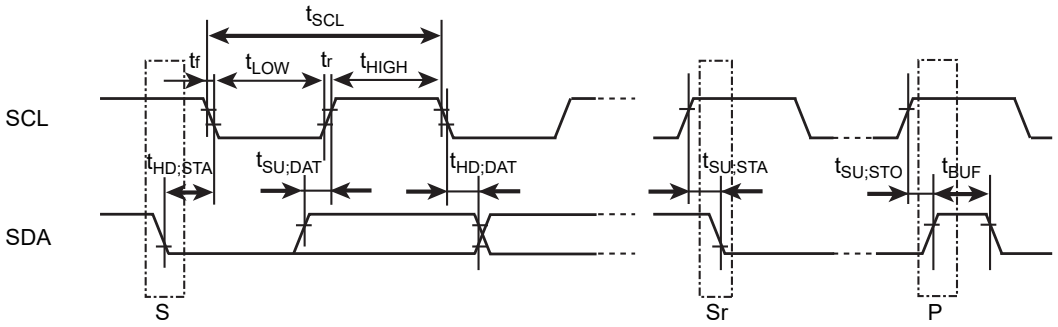
注 2) SCL クロック HIGH 幅(出力): $P \times (2^{n-1} + 6)/X$

通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式にて設定されますのでご注意願います (P : I2CxPRS<PRSCK[4:0]で決まる値、 n : I2CxCR1<SCK[2:0]>で決まる値)

注 3) データ保持時間(出力)は内部 SCL からプリスケーラクロック(Tprsck) 4 サイクル分の時間です。

注 4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL／SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5) ソフトウェアに依存します。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

20.5.3 16-bit タイマ/イベントカウンタ(TMRB)

20.5.3.1 イベントカウンタ

(1) AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF

(2) AC 電気的特性

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		fsys = 20 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	−	200	−	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	−	200	−	

20.5.3.2 キャプチャ

(1) AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF

(2) AC 電気的特性

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		fsys = 20 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	2x + 100	−	200	−	ns
高レベルパルス幅	t_{CPH}	2x + 100	−	200	−	

20.5.4　外部割り込み

20.5.4.1　AC 測定条件

本章に記載されている AC 特性は、以下の条件での測定結果です。

- 入力レベル: High = 0.8 × DVDD3、Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF

20.5.4.2　AC 電気的特性

表中の x はシステムクロック fsys の周期を表します。

1. STOP1 解除割り込み以外

項目	記号	計算式		fsys = 20 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{INTAL}	x + 100	−	150	−	ns
高レベルパルス幅	t_{INTAH}	x + 100	−	150	−	

2. STOP1 解除割り込み

項目	記号	計算式		fsys = 20 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{INTBL}	500	−	500	−	ns
高レベルパルス幅	t_{INTBH}	500	−	500	−	

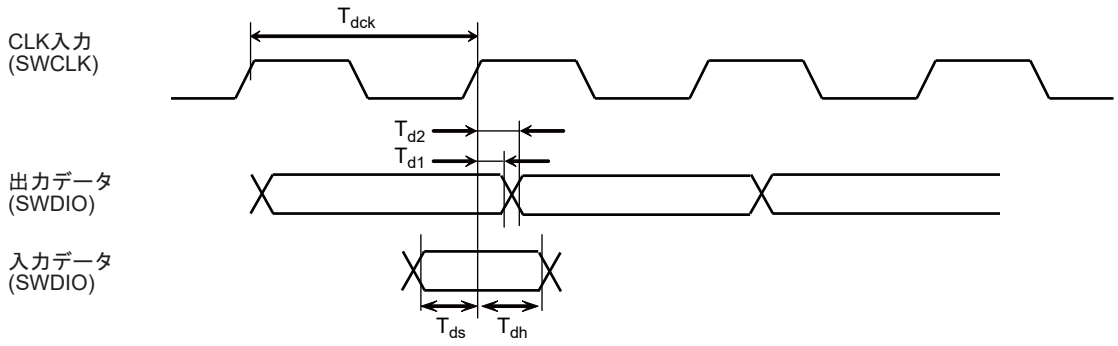
20.5.5 デバッグ通信

20.5.5.1 AC 測定条件

- 出力レベル: High = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 入力レベル: Low = 0.8 × DVDD3, Low = 0.2 × DVDD3
- 負荷容量: CL = 30pF (SWDIO)

20.5.5.2 SWD インタフェース

項目	記号	Min	Max	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立ち上がり → 出力データ保持	T_{d1}	4	–	
CLK 立ち上がり → 出力データ有効	T_{d2}	–	30	
入力データ有効 → CLK 立ち上がり	T_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	–	



20.5.6 内蔵発振回路特性

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	IHOSC	Ta = -40 to 85°C	9.0	10	11	MHz

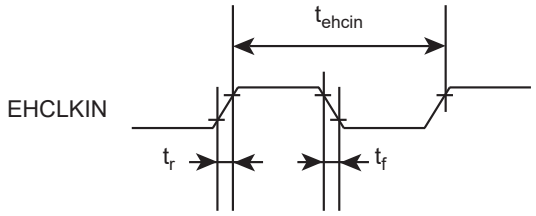
注) 発振周波数精度を要求するシステムクロック(fsys)としては使用しないでください。

20.5.7 外部発振子

項目	記号	条件	Min	Typ.	Max	単位
高周波発振	EHOSC	Ta = -40 to 85°C	8	–	20	MHz

20.5.8　外部クロック入力

項目	記号	Min	Typ.	Max	単位
クロック周波数	t_{ehcin}	8	–	20	MHz
クロック Duty	–	45	–	55	%
クロック立ち上がり時間	t_r	–	–	10	ns
クロック立ち下がり時間	t_f	–	–	10	ns



20.5.9　フラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え保証回数	DVDD3 = RVDD3 = AVDD3 = 2.7 V to 3.6 V Ta = 0 ~ 70°C	–	–	100	回

20.5.10　ノイズフィルタ特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	–	15	30	60	ns

20.6 発振回路

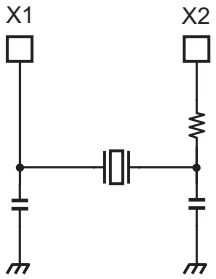


図 20-1 高周波発振回路例

注) 発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

20.6.1 セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

20.6.2 プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

20.6.3　取り扱い上のご注意

20.6.3.1　電源投入時の電源立ち上がりについて

電源投入時の電源立ち上がりについては、下記の範囲としてください。

TMPM036FWFG には複数の電源端子があります。それぞれの端子について、電源投入を全て同時に行って下さい。

電源端子=DVDD3、AVDD3、RVDD3
Ta = -40 ~ 85 °C

項目	条件	Min	Typ.	Max	単位
電源投入時の電源立ち上がり	0V→ 2.3V to 3.6V	-	-	10	mV/μs

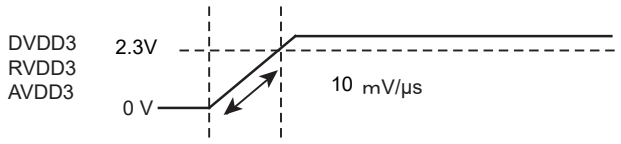


図 20-2 電源投入時の電源電圧変化の勾配

20.6.3.2　動作中の電圧降下発生について

動作中に電圧降下が発生し、動作電圧が動作可能電圧範囲を下回った場合(ブラウンアウト)は、再電源投入を行って下さい。

20.6.3.3　起動時の電圧について

TMPM036FWFG は、動作下限電圧 2.3V となっていますが、初期起動時は LVD 検知電圧が 2.5V±0.2 の設定になっているために、DVDD3(=RVDD3) > 2.7V で起動してください。

起動後、プログラムで LVD を動作禁止にすることにより、2.3V 下限電圧まで動作可能となります。

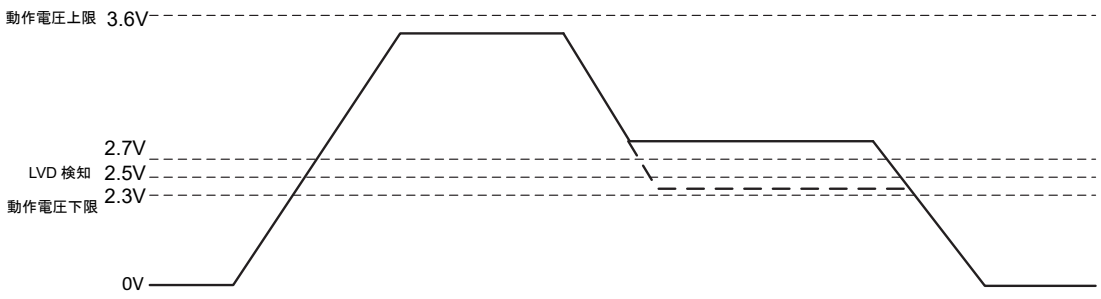


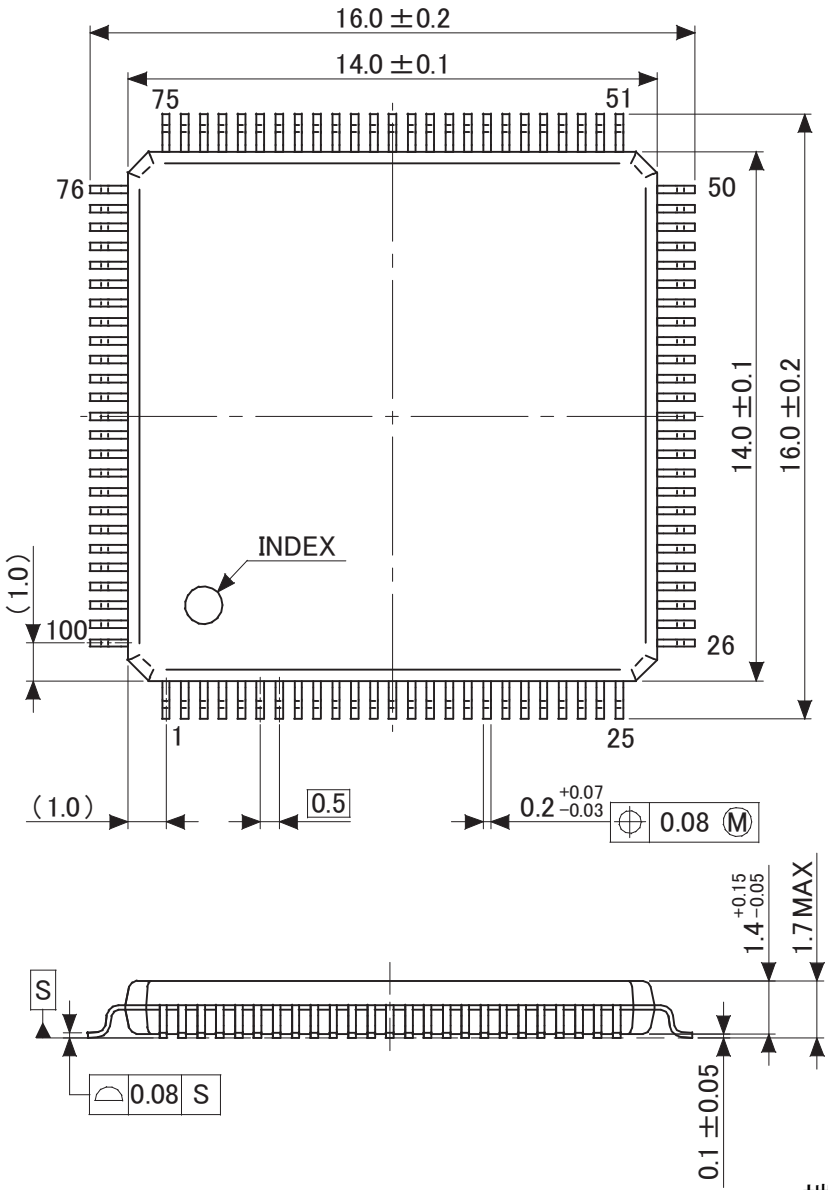
図 20-3 起動時の電圧

第 21 章　パッケージ寸法図

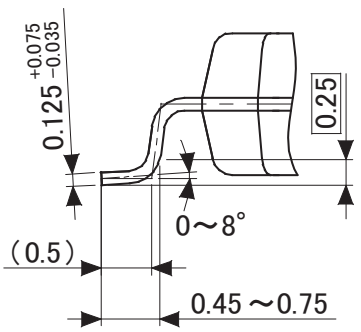
パッケージ型名：LQFP100-P-1414-0.50H

Unit: mm

外形寸法図



端子先端形状詳細図



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。