

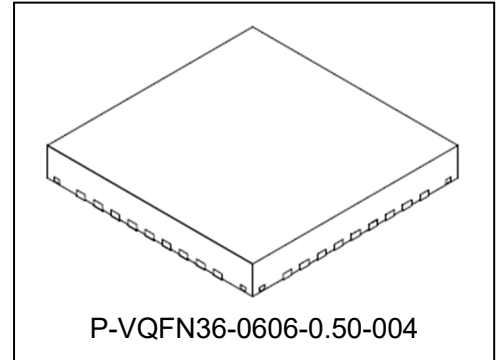
Bi-CMOS 形リニア集積回路 シリコン モノリシック

# TB9M040FTG

車載用三相ブラシレス DC モーター向け IC

## 1. 概要

本製品 TB9M040FTG は車載用マイクロコントローラー(MCU)とモータードライバを統合した IC です。ベクトル制御用に当社独自のベクトルエンジン(VE)を内蔵しており、CPU の負荷を軽減しつつ、容易にベクトル制御を実現します。機能安全として ISO 26262 に従って開発されています。



質量: 0.102g (標準)

## 2. 用途

車載機器 (電動バルブ、HVAC ダンパー、フラップ、グリルシャッター)、などの小型ブラシレス DC モーターアプリケーション。

## 3. 特長

- MCU や三相ブラシレス DC モータードライバ、ハイサイドドライバ、LIN トランシーバ、車両用電源システムなどの集積化によりシステムの小型化が実現可能
- パワーMOSFET 内蔵により、三相ブラシレス DC モーターを直接駆動可能
- ハイサイドドライバ出力から 5V 電源供給可能
- 当社独自のベクトルエンジンを内蔵し、FOC 制御モーターアプリケーションの CPU 負荷低減が可能
- BEMF 検出機能を搭載し、センサーレスモーター制御が可能

本書の情報に基づいて製品やシステムを設計しないでください。最新情報については、事前に東芝の営業担当者にお問い合わせください。

\*\*\*\*\*

Arm、Cortex は、米国および/あるいはその他の国における Arm Limited (またはその子会社) の登録商標です。

\*\*\*\*\*



## 4. 機能

- 32 bit Arm® Cortex®-M23 processor
  - Serial Wire Debug Support
  - 32ch Interrupt Controller
  - Up to 40 MHz clock frequency
- 12 KBytes ROM (BootLoader, Flash API) (incECC SEC/DED)
- 80 KBytes Code Flash (incl. ECC SEC/DED)
- 4 KBytes SRAM (incl. ECC SEC/DED)
- 32-bit Compare Timers (DTIMER)
- 28-bit Capture Timer (8 inputs, 6 measurements)
- Watchdog Timer (WATCHDOG)
- Power saving modes (CPU Sleep, Standby)
- 4ch Pulse Width Modulator Generator (PWMGEN)
- CRC
- 10 General-purpose I/O Ports (GPIO)
- 12-bit A/D Converter (MADC) with 4 analog inputs + internal monitors
- Vector Engine (VE)
- Programmable Motor Driver (PMD)
- Encoder (ENC)
- LDOs (LDO5V, LDO15V)
- High Side Driver
- Power On Reset (POR5V, PORL)
- 2 on-chip OSCs (IOSCH, IOSCL)
- External OSC
- PLL
- LIN ISO17987 transceiver + controller
- 1 full duplex serial interfaces (UART) with LIN support
- SPI-I/F
- Motor driver (2A max×3ch) with built-in shunt resistor including charge pump
- High-speed operational amplifier for motor current sensing via shunt
- Over current protection (LDO, Motor driver)
- Over temperature protection
- Package P-VQFN36-0606-0.50
- Single power supply from 6.0V~18V
- Temperature Range Tj = -40°C~+175°C
- Green package (RoHS compliant)
- AEC-Q100 grade 0 qualified

5. ブロック図

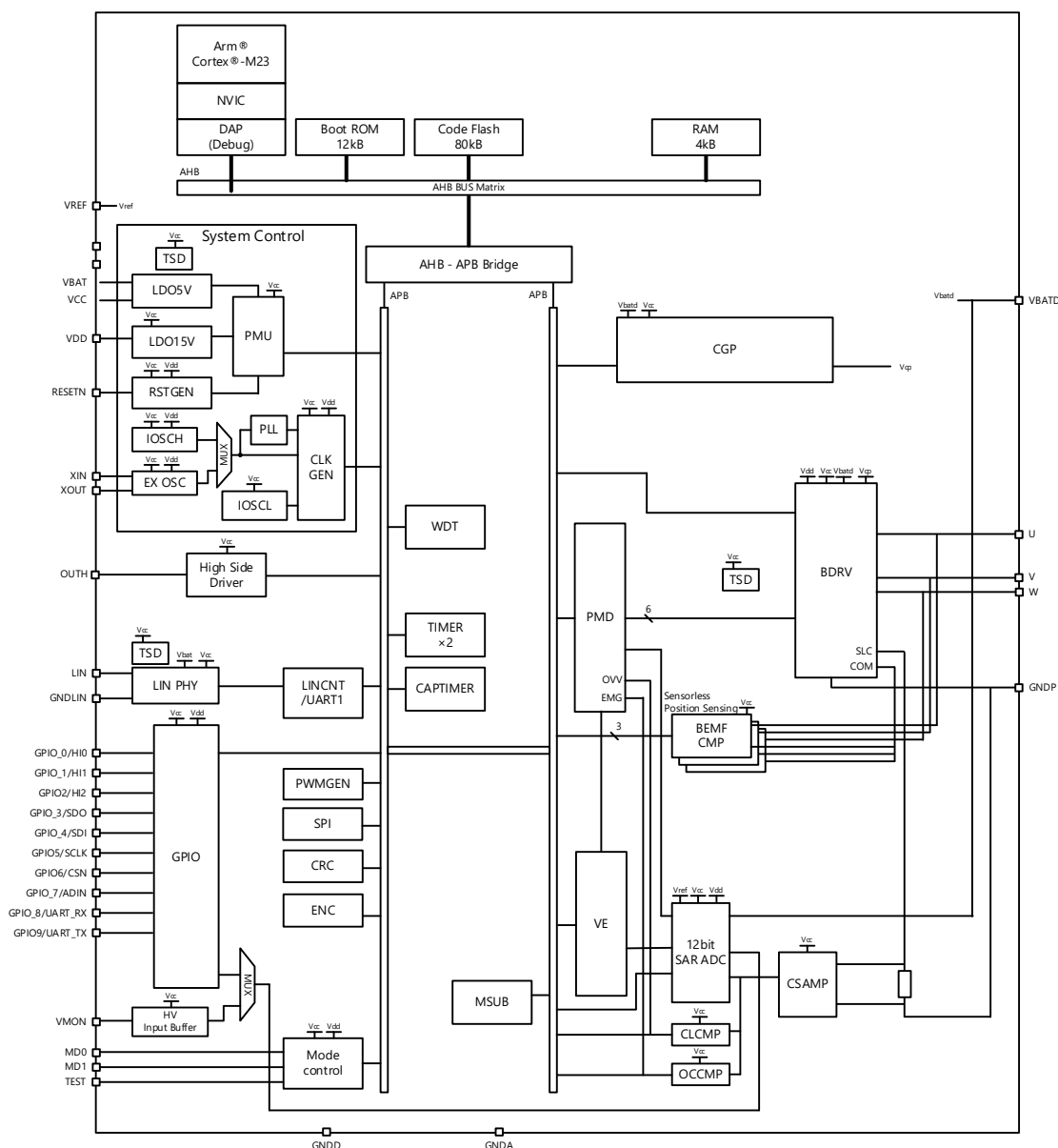


図 5.1 ブロック図

6. 端子配置图

(Top view)

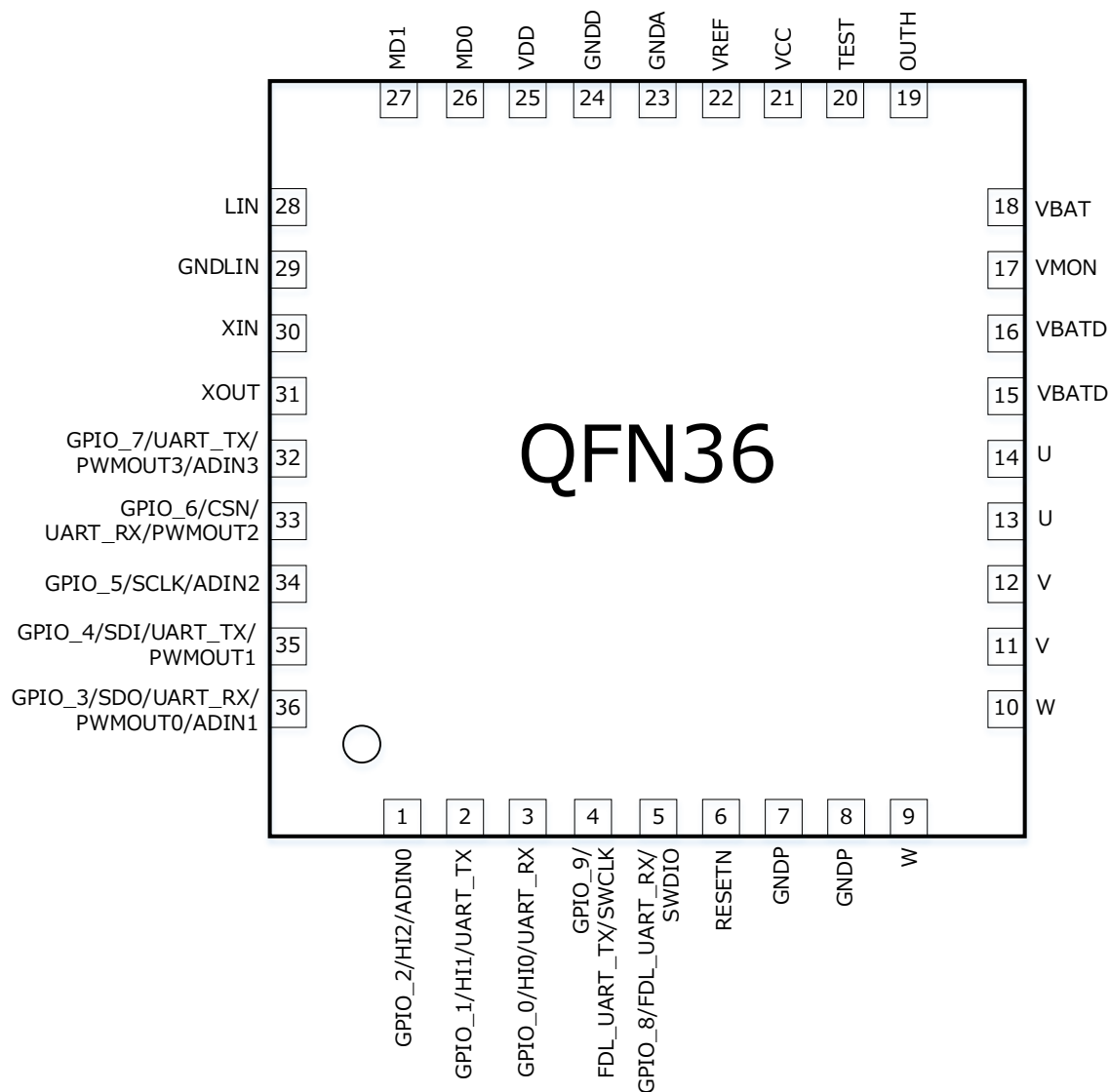


图 6.1 端子配置图

## 7. 端子説明

表 7.1 端子説明

Pin No.	ピン名	入出力	機能
1	GPIO_2/HI2/ADIN0	入出力	汎用入出力ポート/ホールセンサー入力/12bit ADC 入力
2	GPIO_1/HI1/UART_TX	入出力	汎用入出力ポート/ホールセンサー入力/UART_TX
3	GPIO_0/HI0/UART_RX	入出力	汎用入出力ポート/ホールセンサー入力/UART_RX
4	GPIO_9/FDL_UART_TX/SWCLK	入出力	汎用入出力ポート/FDL_UART 用 TX/Debug 用 SWCLK
5	GPIO_8/FDL_UART_RX/SWDIO	入出力	汎用入出力ポート/FDL_UART 用 RX/Debug 用 SWDIO
6	RESETN	入出力	リセット入出力
7	GNDP	-	Power GND
8	GNDP	-	Power GND
9	W	入出力	W 相モーター接続
10	W	入出力	W 相モーター接続
11	V	入出力	V 相モーター接続
12	V	入出力	V 相モーター接続
13	U	入出力	U 相モーター接続
14	U	入出力	U 相モーター接続
15	VBATD	入力	ドライバー回路用バッテリー電源入力
16	VBATD	入力	ドライバー回路用バッテリー電源入力
17	VMON	入力	バッテリー電源入力(ADC 入力用)
18	VBAT	入力	バッテリー電源入力
19	OUTH	出力	High Side ドライバー出力(VCC)
20	TEST	入力	テストモード選択
21	VCC	出力	5V 電源出力
22	VREF	入力	ADC 基準電源入力
23	GND A	-	アナログ回路用 GND
24	GND D	-	デジタル回路用 GND
25	VDD	出力	1.5V 電源出力
26	MD0	入力	モード選択
27	MD1	入力	モード選択
28	LIN	入出力	LIN バスライン
29	GNDLIN	-	LINPHY 用 GND
30	XIN	入力	X'tal or セラミック発振子接続
31	XOUT	出力	X'tal or セラミック発振子接続
32	GPIO_7/UART_TX/PWMOUT3/ADIN3	入出力	汎用入出力ポート/UART_TX/PWM 出力/12bit ADC 入力
33	GPIO_6/CSN/UART_RX/PWMOUT2	入出力	汎用入出力ポート/SPI 通信用チップセレクト /UART_RX /PWM 出力
34	GPIO_5/SCLK/ADIN2	入出力	汎用入出力ポート/SPI 通信用データクロック/12bit ADC 入力
35	GPIO_4/SDI/UART_TX/PWMOUT1	入出力	汎用入出力ポート/SPI 通信用データ入力/UART_TX /PWM 出力
36	GPIO_3/SDO/UART_RX/PWMOUT0 /ADIN1	入出力	汎用入出力ポート/SPI 通信用データ出力/ UART_RX/12bitADC 入力/PWM 出力
-	EP	-	Exposed pad, connect to GND

8. 入出力等価回路

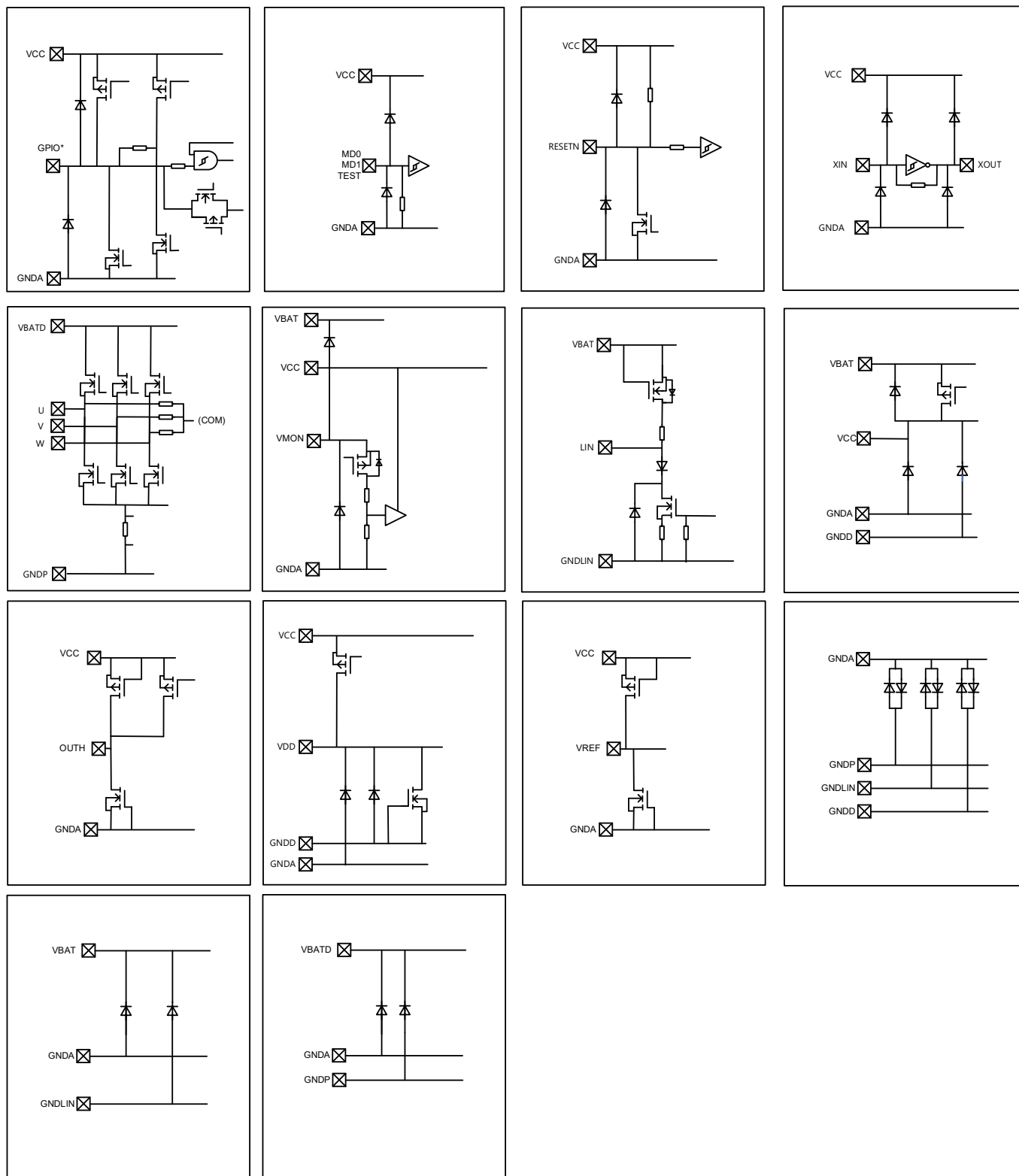


图 8.1 入出力等価回路

9. 動作説明

9.1. Bridge Drivers (BDRV)

- BLDC モーターを駆動する 3 相インバーター回路(ハイサイド Nch MOSFET)/ローサイド Nch MOSFET)です。(出力電流能力 Max 2A)
- デジタル回路からの駆動信号に従って ON/OFF 制御されます。
- 内蔵 FET が ON している際に VDS 開いた場合に異常を検出する回路を内蔵します(HSVDSDET、LSVDSDET)。
- HSVDSDET はレジスター設定で、有効/無効 (フラグのみ) の設定が可能です。
- LSVDSDET はレジスター設定で、有効/無効の設定が可能です。(無効設定するとフラグは出ません。)
- OCCMP、HSVDSDET、LSVDSDET のいずれかを検出した場合に、BDRV を Hi-Z 出力として保護します (Forced off)
- 疑似中点方式の誘起電圧位置検出回路を内蔵します。

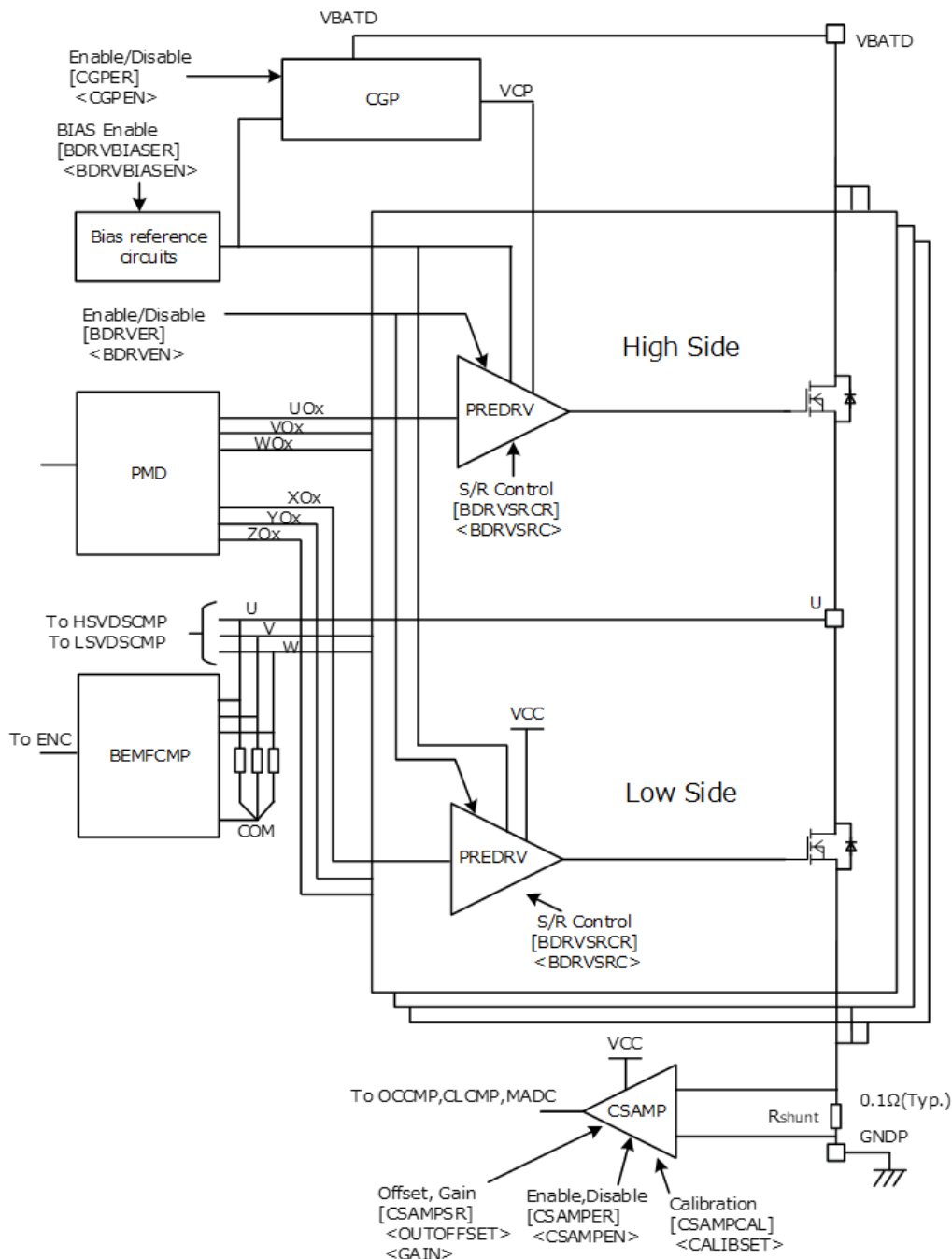


図 9.1.1 BDRV 図

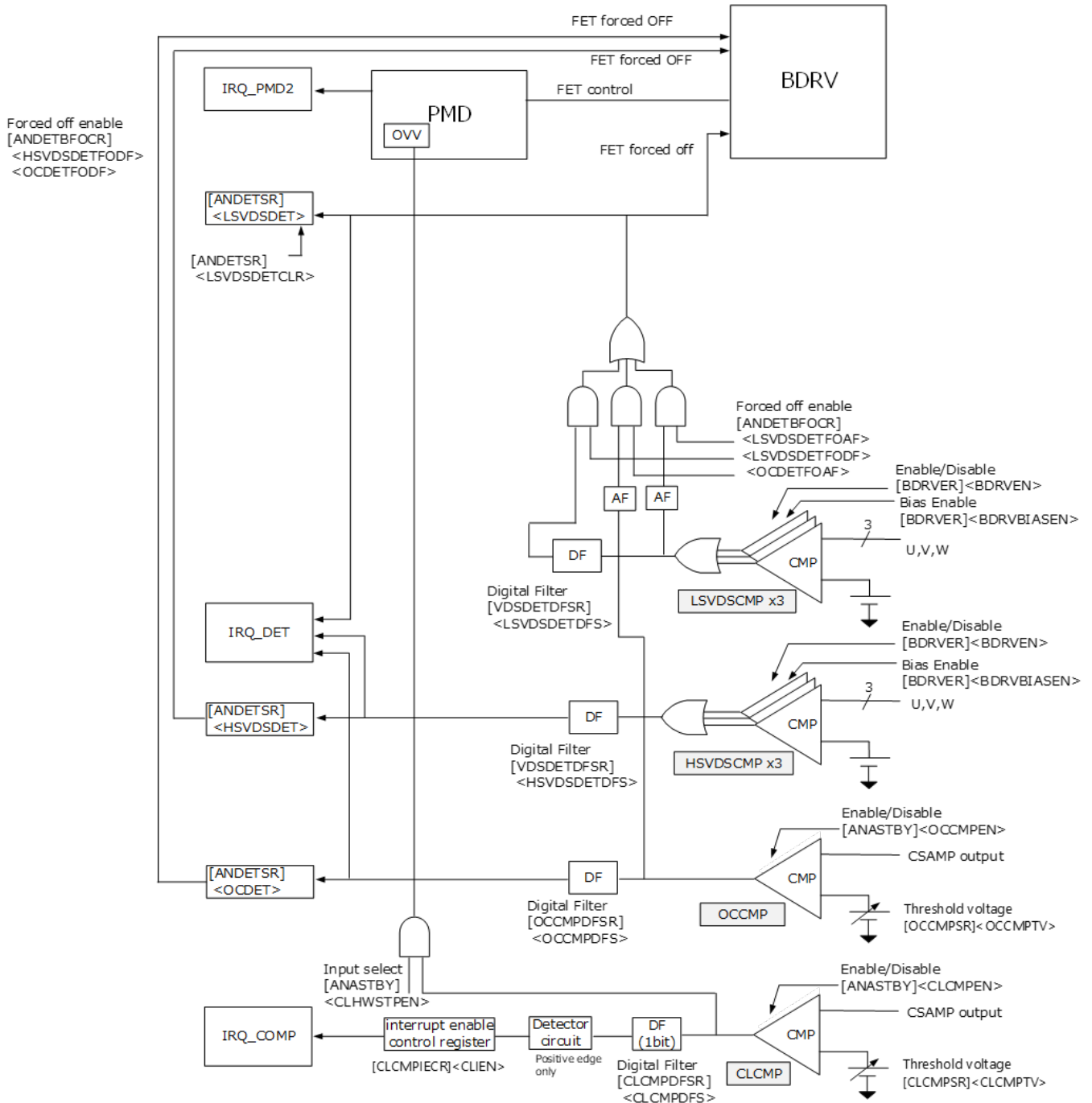


図 9.1.2 BDRV 異常検出ブロック図



9.2. High Side Driver (HSD)

- VCC(5V系)の High Side Driver を 1ch 内蔵しています。
- ドライバーは過電流検知機能を持ちます。
- ドライバーの制御は、レジスター制御と PWM 制御を選択することができます。

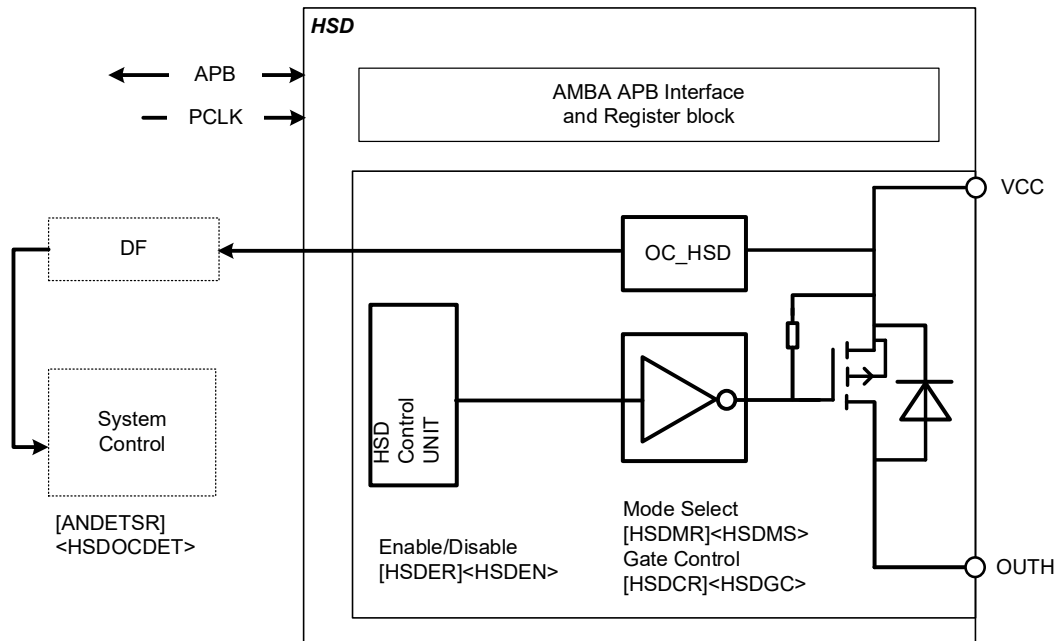


図 9.2.1 HSD ブロック図

9.3. 電流検出 AMP(CSAMP)

- 内蔵シャント抵抗 (Typ. 0.1Ω) に発生した電圧を 3bit のレジスターで設定したゲイン倍に増幅するアンプです。
- 増幅された出力は、12bit ADC(MADC)、過電流検出回路(OCCMP)、電流制限回路(CLCMP)に出力されます。
- 出力オフセット電圧を調整することが可能です。

CSAMP のモジュール構成は図 9.1.1 BDRV 図参照してください。

9.4. 電流制限検出回路(CLCMP)

- 電流検出 AMP の出力がしきい値を超えている場合に電流制限を行うための機能です。
- 電流検出 AMP から出力された電圧値が本コンパレータに入力されます。
- ノイズによる誤動作防止のため、デジタルフィルターを設けています。

異常検出に関する構成は図 9.1.2 BDRV 異常検出ブロック図を参照してください。

9.5. 過電流検出回路(OCCMP)

- 電流検出 AMP の出力がしきい値を超えている場合に異常検出を行うための機能です。
- レジスター設定で、過電流検出機能の有効/無効(フラグのみ)の設定が可能です。
- ノイズによる誤動作防止のため、デジタルフィルターを設けています。

異常検出に関する構成は図 9.1.2 BDRV 異常検出ブロック図を参照してください。

## 9.6. Vector Engine (VE)

表 9.6.1 VE 機能一覧表

機能分類	機能	動作説明
演算機能	基本機能	固定小数点数で演算 ベクトル制御用のタスク PMD、MADC との I/F 用のタスク
	電流制御タスク	d 軸 PI 制御、q 軸 PI 制御 ・ 非干渉制御可能 ・ 電圧スカラー値による出力制限可能
	SIN/COS 演算 1 タスク	位相 $\theta$ の正弦値と余弦値を算出 ・ 位相補間および位相クリップ可能
	SIN/COS 演算 2 タスク	位相 $\theta$ の正弦値と余弦値を算出
	SIN/COS 演算 3 タスク	位相 $\theta$ の正弦値と余弦値を算出 ・ 位相補間および位相クリップ可能
	出力電圧変換タスク	・ 座標軸変換(逆パーク変換) ・ 相変換 2 種類(空間ベクトル変換、逆クラーク変換)
	出力制御タスク	3 相電圧を PMD の PWM 出力設定に変換(2 種類) ・ 出力制限可能 ・ デッドタイム補償可能
	トリガー生成タスク	3 相 duty から PMD の AD 変換サンプリングタイミング設定値を算出(2 種類)
	電流補正準備タスク	低インダクタモーター用に検出電流値を補正 入力処理 6 タスクとセットで使用
	入力処理タスク	MADC から変換結果を読み込んで固定小数点数に変換(4 種類) ・ 電流極性判定(ヒステリシス/逆ヒステリシス)可能
	入力電流変換タスク	・ 相変換(クラーク変換) ・ 座標軸変換(パーク変換)
	個別関数タスク	・ 逆正接(ATAN)演算 ・ 平方根演算 ・ 無処理(NOP)
	位置推定タスク	・ モーターパラメーター、電圧、電流から電気角速度、位相 $\theta$ を算出 (2 種類)
	位置センサー入力処理タスク	・ エンコーダーのように 1 回転に多パルスを発生する位置センサー入力から、位相 $\theta$ と電気角速度を算出
スケジュール管理	プログラムスケジュール制御	・ タスクの実行順および起動制御を定義可能なプログラムスケジュール ・ 最大 32 個の実行タスクを指定可能
	起動制御	・ 繰り返しスタート ・ AD 変換終了による入カスケジュールの開始 出力スケジュール終了後の待機状態から、MADC 変換終了割り込みによる入カスケジュール開始
割り込み制御	スケジュール終了割り込み	END フラグが"1" に設定されたタスクが、指定された回数分([REPTIME]) 繰り返し実行するときに発生する割り込み
	エラー割り込み	スケジュール実行中に PMD からの PWM 割り込みが入力されるとエラーと判断して発生する割り込み

その他	デバッグ用出力	タスクスタートとタスクストップ時にデバッグ用出力をトグルさせることで、タスク動作中を示す信号を出力します。例えば、PMDのデバッグ用出力とのタイミングによっては、動作中を示す期間が反転(L出力)して見える可能性があります。 PMDのデバッグ出力機能でモニターできます。
-----	---------	---

## 9.7. Programmable Motor Driver (PMD)

表 9.7.1 PMD 機能一覧表

機能分類	機能	動作説明
PWM 出力	分解能	PWM キャリアのカウント分解能は 1/VECLK PWM 周波数および duty 設定は 15 ビット固定
	PWM キャリア生成	周波数 0.06~117.18 kHz @VECLK=60 MHz で振幅 15 ビット幅の PWM キャリアを生成可能 ・ 4 種類のキャリア波形(三角波/ノコギリ波/逆三角波/逆ノコギリ波) ・ 相ごとにキャリア波形選択 ・ 基本キャリアと U,V,W 各相間にそれぞれ位相差付加可能
	3 相 PWM 生成	PWM キャリアと duty 設定を比較して 3 相 PWM を生成します。 3 相 PWM は 3 相共通 duty か 3 相独立 duty かを選択可能
	通電制御	6 本の出力ポートそれぞれに、PWM 出力または High/Low 出力の選択が可能 PWM キャリアが共通で 3 相の独立した PWM 波形を生成可能(3 相相補 PWM)
AD 変換開始	同期トリガー生成機能	PWM キャリアと同期した任意のタイミングで AD 変換開始するための MADC 同期トリガー信号を出力します。
保護機能	保護制御	保護信号入力による出力の停止機能(オフ出力) ・ 保護制御
	デッドタイム制御	上下相(U/X,V/Y,W/Z)の切り替え時に短絡防止期間を挿入し、相補 PWM を出力します。
バッファ機能	—	PWM 周期、duty 値、AD 変換開始トリガータイミング、6 本の出力ポートの通電制御設定は、ダブルバッファまたはトリプルバッファ構成で動作中に変更可能 ・ 実行バッファ一段の更新タイミングは、非同期、PWM センター、PWM エンド、PWM センターおよびエンドから選択可能 ・ 中間バッファ一段の更新タイミングは、非同期、PWM センター、PWM エンド、PWM 1/4、PWM 3/4、センターおよびエンド、PWM 1/4 および PWM 3/4 から選択可能
割り込み要求	PWM 割り込み (INTPWM)	PWM 波形に同期した割り込み要求を発生可能 ・ 発生タイミングは基本キャリアセンターと基本キャリアエンドを選択可能 ・ 発生周期選択可能(PWM 半周期/PWM 1 周期/PWM 2 周期/PWM 4 周期) ・ 割り込みの間引き時、同期トリガー生成/バッファ更新の間引き許可/禁止制御
	OVV 割り込み (INTOVV)	OVV 入力による保護動作時に発生する割り込み要求
デバッグ出力	—	モーター関連周辺機能の動作タイミングをポート出力でモニター可能。 ・ PMD の MADC 同期トリガー出力のタイミングモニター ・ モーター制御関連周辺機能割り込み要求タイミングモニター ・ MADC 変換中モニター ・ VE タスク遷移タイミングモニター ・ ENC 内部信号モニター

## 9.8. メモリーマップ

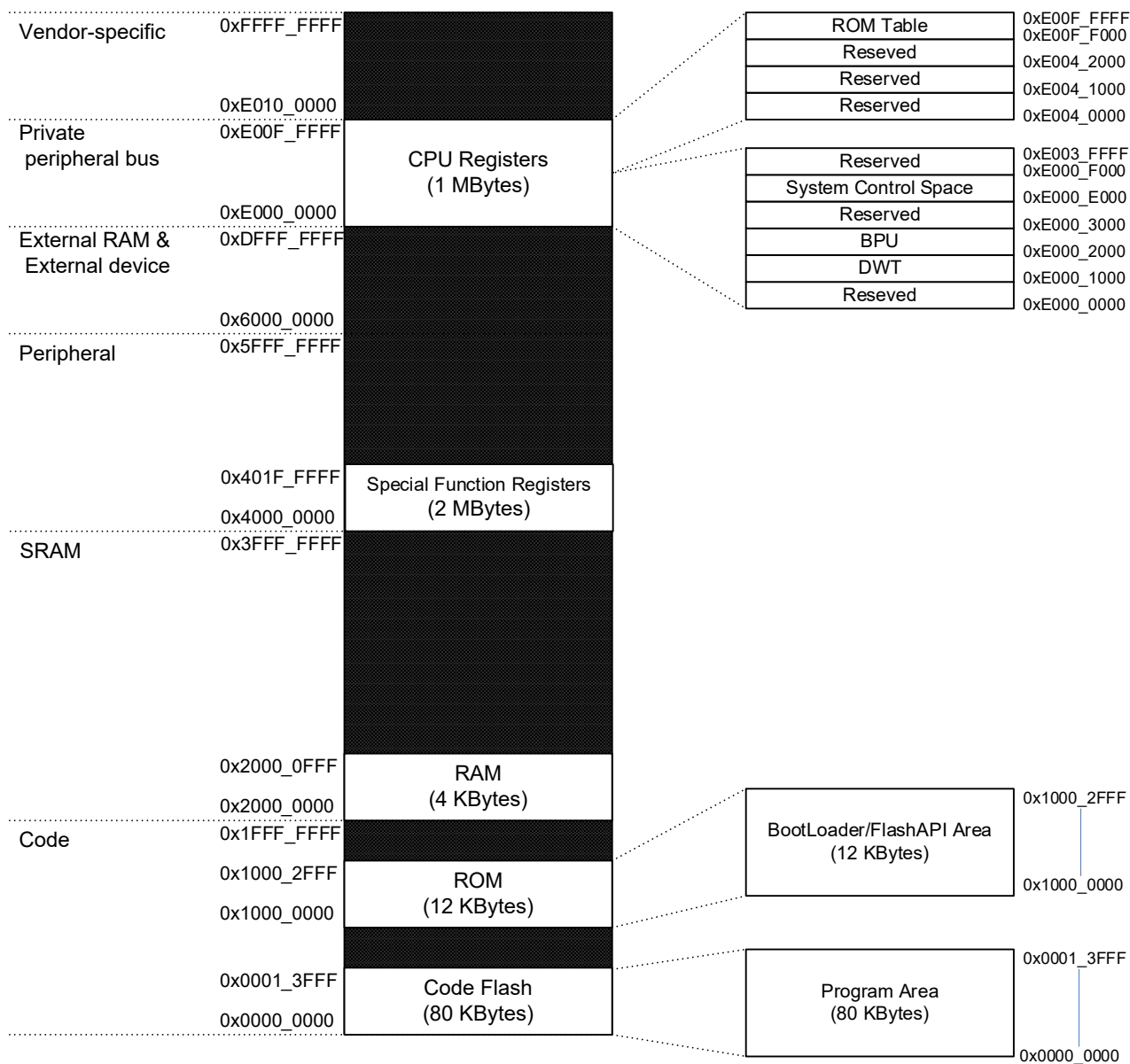


図 9.8.1 メモリーマップ (Normal/Debug Mode)

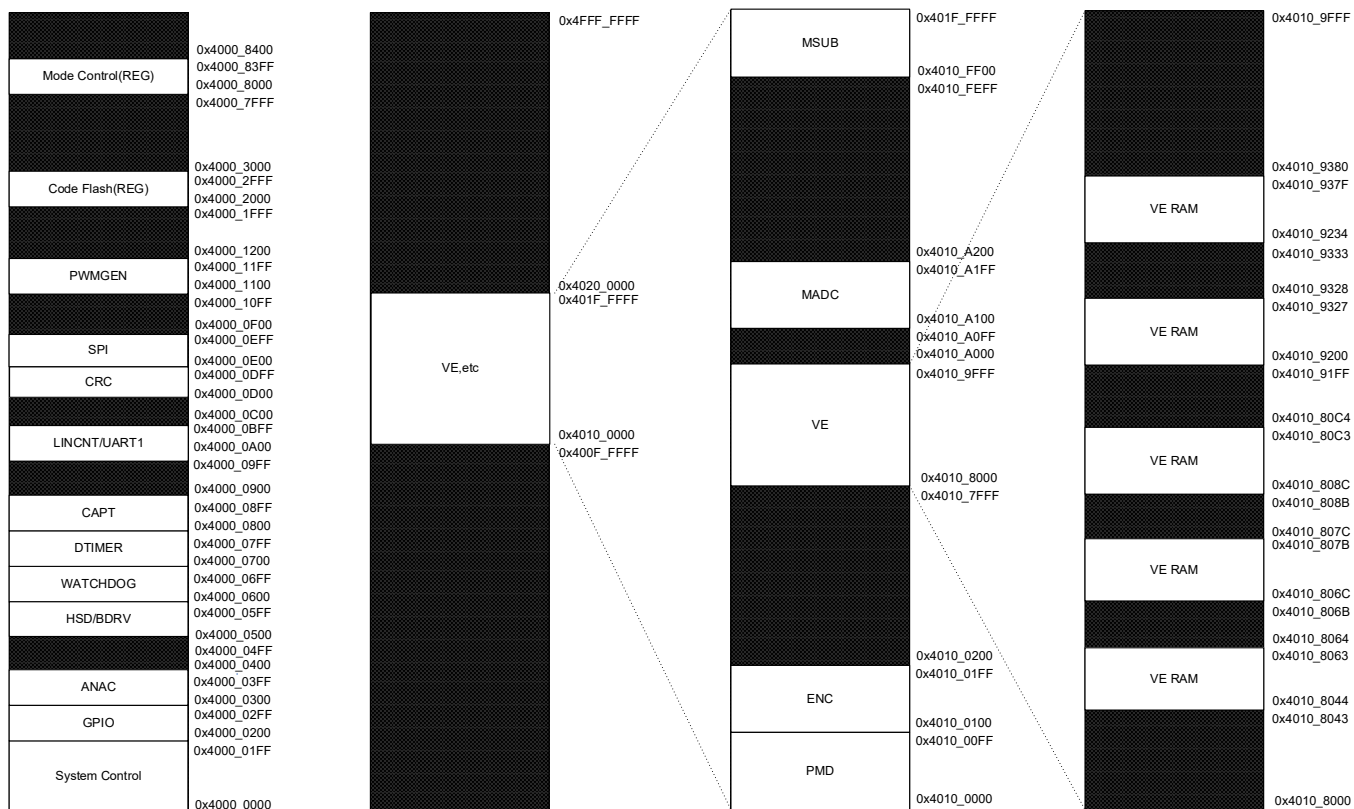


図 9.8.2 メモリーマップ (SPECIAL FUNCTION REGISTERS)

## 10. 電気的特性

## 10.1. 絶対最大定格

表 10.1.1 絶対最大定格

項目	記号	適用端子	定格	単位
電源電圧	Vbat	VBAT, VBATD	-0.3~+40 (注 2)	V
	Vcc	VCC, VREF	-0.3~+6	
	Vdd	VDD	-0.3~+2.1	
GND 端子間電圧	Vgnd	GNDA, GNDD, GNDP, GNDLIN	-0.3~+0.3	
入力電圧	Vin1	LIN	-27~+40 (注 1)	V
	Vin4	VMON	-0.3~Vbat+0.3 (max 40V)	
	Vin7	TEST, MD0, MD1, RESETN GPIO_x, XIN	-0.3~Vcc+0.3 (max 6V)	
出力電圧	Vout1	LIN	-27~+40 (注 1)	V
	Vout5	XOUT, RESETN GPIO_x	-0.3~Vcc+0.3 (max 6V)	
	Vout6	OUTH	-0.3~Vcc+0.3 (max 6V)	
	Vout7	U,V,W	-0.3~VBATD+0.3 (max 40V)	
動作温度	Ta	-	-40~+150	°C
保存温度	Tstg	-	-55~+150	°C

注:

- 絶対最大定格は瞬時たりとも超えてはならない規格です。絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外に障害を与える恐れもあります。いかなる動作条件でも必ず絶対最大定格を超えないように設計を行ってください。また、ご使用に際しては、記載された動作範囲内でご使用ください。
- ±18V 以上の定格については印加時間に制約があります。18~28V(≦90min)、28~40V(≦400ms)。
- U,V,W 端子の出力電流 2A 以上の状態を 10ms 以上継続しないようにしてください。

注 1: VBAT = 6.0~18V 時。

注 2: VBAT 端子と VBATD 端子間は一時的に電圧差が生じて問題ありませんが、LDO5V が正常動作していない条件で、VBATD に電圧を投入した場合には、システムが制御されていない状態となり、意図しない動作をする可能性があります。

## 10.2. 動作範囲

表 10.2.1 動作範囲

項目	記号	定格	単位	備考
電源電圧	Vbat	18~27	V	電気的特性保証外 (注 1)
		6~18		電気的特性保証範囲
動作温度	Topr	-40~150	°C	周囲温度 Ta
		-40~175		ジャンクション温度 Tj (注 1)

注 1: 出荷テストは実施していません。

## 10.3. IC 全般特性

特記なき場合の試験条件: VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
スタンバイ電流 1	Istby1	VBAT VBATD VMON	Standby Mode 時 LFCLK OFF、 VBAT=VBATD=12V, Ta=25°C	-	-	20	μA
スタンバイ電流 2	Istby2		Standby Mode 時 LFCLK OFF、 VBAT=VBATD=12V, Ta=70°C 設計保証	-	-	90	μA

## 10.4. Reset Generator &amp; 待機時間

特記なき場合の試験条件: VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位	
出力電圧 L	Voutlrst	RESETN	Iout=+5mA	0	-	0.4	V	
入力検出 しきい値電圧 H	Vihrst		-	VCC ×0.75	-	-	V	
入力検出 しきい値電圧 L	Vilrst		-	-	-	VCC ×0.25	V	
入力 NF (アナログ)	Tfilrst		-	-	10	20	40	μs
入力 プルアップ抵抗	Rpullup		VCC-RESET 端子間	30	50	100	kΩ	
WATCHDOG リセット時間	Twdt	-	WATCHDOG リセット要求後、IC 内部 遅延リセットが解除されるまでの時間 (Flash busy 時を除く)	-	70	-	μs	
起動安定時間	Trst1	-	VCC 減電圧復帰後、 CPU リセットが解除されるまでの時間	-	-	8	ms	
復帰安定時間	Trst2	-	Wakeup 検出後、1.5V 電源の安定後に CPU リセットが解除されるまでの時間	-	-	2	ms	
外部発振器 安定待ち時間	Trst3	-	別紙で指定した村田製作所の 16MHz セ ラロック発振器使用時、S/W による発 振開始の設定後から、発振器が安定す るまでの時間	-	-	1	ms	
PLL 出力安定時間	Tpll	-	-	-	-	140	μs	

注 1: 起動安定時間は[ANUCONFSR]<CPLDO15>=0 (冷却期間 10ms)の場合、最大で 10ms 追加されます。  
<CPLDO15>=1 の場合は追加ありません。



## 10.5. 5V 電源回路 (LDO5V)

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
VCC 出力電圧 1	Vcc1	VCC	Iload = -10 $\mu$ A~-135mA (IC 内部の VCC/VDD 最大自己消費電流と OUTH 負荷を含む外部負荷電流(max40mA)の合計消費電流) Tj = -40~150°C	4.9	5.0	5.1	V
VCC 出力電圧 3	Vcc3		Iload = -10 $\mu$ A~-135mA (IC 内部の VCC/VDD 最大自己消費電流と OUTH 負荷を含む外部負荷電流(max 40mA)の合計消費電流) Tj = 150~175°C	4.8	5.0	5.2	V
電流リミッター1	Ilimit1		VCC $\geq$ 4.0V	-850	-475	-250	mA
電流リミッター2	Ilimit2		VCC $\leq$ 3.0V	-260	-112	-10	mA
ドロップ電圧	Vdrop		VBAT = 4.8V Iload = -120mA<(-5mA + 自己消費分)	-	0.2	0.45	V
減電圧検出 1	Vrst1		VCC 立ち下がり(UV_VCC)	4.0	-	4.35	V
減電圧解除電圧 1	Vrstr1		VCC 立ち上がり(UV_VCC)	4.2	-	4.75	V
減電圧検出 3	Vrst3		VCC 立ち下がり(POR5V)	3.07	3.45	3.83	V
減電圧解除電圧 3	Vrstr3		VCC 立ち上がり(POR5V)	3.22	3.60	3.98	V

注:

- ・VCC 端子には 1.0 $\mu$ F 以上の容量をできる限り端子付近に接続してください。
- ・【Standby】時の VCC における電流リミッター値は電流リミッター2 となります。

## 10.6. 1.5V 電源回路 (LDO15V)

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
VDD 出力電圧	Vdd	VDD	Iload = -10 $\mu$ A~-60mA (IC 内部の VDD 最大自己消費電流と外部負荷電流(max 1mA)の合計消費電流)	1.45	1.5	1.55	V
電流リミッター3	Ilimit3		-	-250	-150	-70	mA
減電圧検出 2	Vrst2		VDD 立ち下がり	1.3	-	1.4	V
減電圧解除電圧 2	Vrstr2		VDD 立ち上がり	1.35	-	1.45	V
過電圧検出/解除	Vddov		-	1.55	-	1.65	V

注: VDD 端子には 2.2 $\mu$ F 以上の容量をできる限り端子付近に接続してください。

## 10.7. チャージポンプ回路

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
昇圧電圧 1	Vcp1	VCP	-	-	VBATD+ 4.7	-	V
昇圧制限 検出しきい値電 圧	Vcplim1		-	31	33	35	V
昇圧制限解除 検出しきい値電 圧	Vcplim_r1		-	29.5	31.5	33.5	V
昇圧停止 検出しきい値電 圧 2	Vcpstop2	VCP	-	34	36	38	V
昇圧停止解除 検出しきい値電 圧 2	Vcpstop_r2		-	32	34	36	V
昇圧低下検出検 出しきい値電圧	Uvvcpdet	VCP,VBA TD	VCP-VBATD	2.3	2.65	3.00	V
昇圧低下解除し きい値電圧	Uvvcprel	VCP,VBA TD	VCP-VBATD	2.35	2.70	3.05	V

注：チャージポンプは必ず VBAT ≥ 5V 時に起動してください。

## 10.8. 発振器

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
発振周波数 1 (HFCLK)	Fosc1	-	-	19	20	21	MHz
発振周波数 2 (LFCLK)	Fosc2	-	-	24	32	40	kHz
発振周波数 3 (XCLK)	Fosc3	XIN XOUT	使用可能な外付けセラミック発振子 or 水晶発振子の定数	16 (注 1)	-	20 (注 1)	MHz

注 1: 外部発振器の typ. 値を記載。

XCLK の外付け部品としましては、メーカーマッチングでご確認の上ご使用ください。

XCLK の外付け部品として CSTNE16M0VH3C000R0, CSTNE20M0VH3C000R0 で動作確認済みです。

## 10.9. 12bit ADC

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
変換時間 1	Tconv1	-	セトリングタイム+変換時間 MADCCLK=30MHz	-	1.33	-	μs
INL1	Inl1	-	設計保証	-2	-	2	LSB
DNL1	Dnl1	-	設計保証	-1	-	2	LSB
総合誤差 1	Err_total1	-	設計保証	-6	-	6	LSB
入力分圧比	Ratio_r1	VBATD	バッファ入力分圧比 入力レンジ：6~27V	0.095	0.1	0.105	倍
アンプ誤差	Err_amp2	-	バッファAMP 入出力誤差 0.2V~電源電圧の入力範囲	-10	-	10	mV

注：12bit ADC enable 時の入力減衰用プルダウン抵抗は 250kΩ(typ.)です。

## 10.10. Bridge Drivers (BDRV)

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
ON 抵抗 1	Ron1	VBATD,U ,V,W,GN DP	出力=High, (VBATD-U,V,W 間) Tj=-40~150°C	-	0.43	(0.8)	Ω
ON 抵抗 2	Ron2		出力=Low, (U,V,W-GNDP 間) Tj=-40~150°C	-	0.5	(0.9)	Ω
出力電流 (ピーク)	ldrvpeak		(注 1)	-2	-	2	A
出力電流 (実効値)	ldrvrms		(注 1)	-1.4	-	1.4	A
出力オフリーク 1	loff1		出力 OFF、U=V=W=VBATD (注 2)	-	-	10	μA
出力オフリーク 2	loff2		出力 OFF、U=V=W=0V (注 2)	-10	-	-	μA
スルーレート 1	Drvsr1	U,V,W	[BDRVSR] < BDRVSR > = 101 VBATD=12V、Rload=12Ω Rise 10⇒90% (VBATD)	5.83	17.5	52.5	V/μs
スルーレート 2	Drvsr2		[BDRVSR] < BDRVSR > = 101 VBATD=12V、Rload=12Ω Fall 90⇒10% (VBATD)	5.83	17.5	52.5	V/μs
VDS 検出しきい値 1	VDS1		High Side (出力 High)	1.60	2.36	2.88	V
VDS 検出しきい値 2	VDS2		Low Side (出力 Low)	2.38	3.61	5.00	V
デジタルフィルタ —時間 1	Tvdsfil1	-	フィルター時間設定レジスター： [VDSDETDFS] < LSVDSDETDFS > = 111 10MHz × 256 回一致	24.4	25.6	26.9	μs
デジタルフィルタ —時間 2	Tvdsfil2	-	フィルター時間設定レジスター： [VDSDETDFS] < LSVDSDETDFS > = 000 10MHz × 8 回一致	0.76	0.8	0.84	μs
デジタルフィルタ —時間 3	Tvdsfil3	-	フィルター時間設定レジスター： [VDSDETDFS] < HSVDSDETDFS > = 111 10MHz × 256 回一致	24.4	25.6	26.9	μs
デジタルフィルタ —時間 4	Tvdstfil4	-	フィルター時間設定レジスター： [VDSDETDFS] < HSVDSDETDFS > = 000 10MHz × 8 回一致	0.76	0.8	0.84	μs
デッドタイム	Tdead	-	デッドタイム設定レジスター： [DTR] < DTR[9:0] > = 0x02D 3μs 設定時、VECLK=60MHz	(TBD)	(TBD)	(TBD)	μs

注 1: Tj の温度範囲内で使用した場合の値です。(基板と IC を合わせて発熱対策し、Tj ≤ 175°C に収まる場合の規格値であり、この電流を流しても発熱が成立するという意味ではありません)。

注 2: 誘起電圧回路に流れる電流を除く、BDRV 部 FET のリーク電流。

## 10.11. 電流検出 AMP (CSAMP)

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
Gain2	Gain2	-	10 倍設定	0.84	1	1.16	倍
Gain3	Gain3		15 倍設定	1.26	1.5	1.74	倍
Gain4	Gain4		20 倍設定	1.68	2	2.32	倍
Gain5	Gain5		40 倍設定	3.36	4	4.64	倍
Gain6	Gain6		60 倍設定	5.04	6	6.96	倍
出力オフセット電圧 1	Vooffset1		-	V <sub>REF</sub> /2 設定 キャリブレーション実施後、Gain60 倍設定、入力オフセット込み	V <sub>REF</sub> /2 -0.0606	2.5	V <sub>REF</sub> /2 +0.0606
出力オフセット電圧 2	Vooffset2	-	V <sub>REF</sub> /5 設定 キャリブレーション実施後、Gain60 倍設定、入力オフセット込み	V <sub>REF</sub> /5 -0.0606	1.0	V <sub>REF</sub> /5 +0.0606	V
出力オフセット電圧 3	Vooffset3	-	V <sub>REF</sub> /8 設定 キャリブレーション実施後、Gain60 倍設定、入力オフセット込み	V <sub>REF</sub> /8 -0.0606	0.625	V <sub>REF</sub> /8 +0.0606	V
出力オフセット電圧 4	Vooffset4	-	V <sub>REF</sub> /10 設定 キャリブレーション実施後、Gain60 倍設定、入力オフセット込み	V <sub>REF</sub> /10 -0.0606	0.5	V <sub>REF</sub> /10 +0.0606	V
セトリングタイム 2	Tsettle2	-	Gain20 倍設定、出力電圧 2.5V⇔3.5V 入力外付けフィルターなし 出力電圧が最終値の±2%以内に 収束する時間、設計保証 図 10.11.1 参照。	-	-	0.8	μs
セトリングタイム 3	Tsettle3	-	Gain60 倍設定、出力電圧 2.5V⇔3.5V 入力外付けフィルターなし 出力電圧が最終値の±2%以内に 収束する時間、設計保証 図 10.11.1 参照。	-	-	1.7	μs
出力電圧 H	Voh_amp	-	-	VCC- 0.3	-	-	V
出力電圧 L	Vol_amp	-	-	-	-	0.3	V

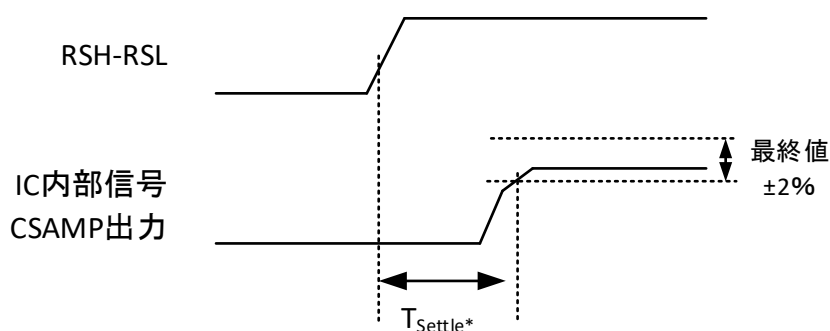


図 10.11.1 電流検出 AMP セトリングタイム タイミングチャート

## 10.12. 電流制限検出回路 (CLCMP)

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
電流制限検出しきい値 1	Vlimit1	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=00000(min)	VCC× 32/64 -0.039	2.500	VCC× 32/64 +0.039	mV
電流制限検出しきい値 2	Vlimit2	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=00001	VCC× 33/64 -0.039	2.578	VCC× 33/64 +0.039	V
電流制限検出しきい値 3	Vlimit3	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=00011	VCC× 35/64 -0.039	2.734	VCC× 35/64 +0.039	V
電流制限検出しきい値 4	Vlimit4	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=00111	VCC× 39/64 -0.039	3.047	VCC× 39/64 +0.039	V
電流制限検出しきい値 5	Vlimit5	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=01111	VCC× 47/64 -0.039	3.672	VCC× 47/64 +0.039	V
電流制限検出しきい値 6	Vlimit6	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=11111(max)	VCC× 63/64 -0.039	4.922	VCC× 63/64 +0.039	V
デジタル フィルタ時間 1	Tclfil1	-	デジタルフィルタ時間設定レジスタ ー：[OVVCR]<OVVCNT[4:0]> = 0x0F VECLK = 60MHz	3.8	4.0	4.2	μs
デジタル フィルタ時間 4	Tclfil4	-	デジタルフィルタ時間設定レジスタ ー：[OVVCR]<OVVCNT[4:0]> = 0x06 VECLK = 60MHz	1.52	1.6	1.68	μs
デジタル フィルタ時間 2	Tclfil2	-	デジタルフィルタ時間設定レジスタ ー： [CLCMPDFSR]<CLCMPDFS>=1 10MHz×32 回一致	3.04	3.2	3.36	μs
デジタル フィルタ時間 3	Tclfil3	-	デジタルフィルタ時間設定レジスタ ー： [CLCMPDFSR]<CLCMPDFS>=0 10MHz×16 回一致	1.52	1.6	1.68	μs

注：デジタルフィルタ時間 1, 4 とデジタルフィルタ時間 2, 3 は、別経路のデジタルフィルターのフィルタ時間になりますので、ご注意ください。デジタルフィルタ時間 1, 4 はレジスター設定により、無効とすることが可能です。

## 10.13. 過電流検出回路 (OCCMP)

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
過電流検出しきい値 1	Voc1	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=00000(min)	$VCC \times 32 / 64$ -0.039	2.500	$VCC \times 32 / 64$ +0.039	mV
過電流検出しきい値 2	Voc2	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=00001	$VCC \times 33 / 64$ -0.039	2.578	$VCC \times 33 / 64$ +0.039	V
過電流検出しきい値 3	Voc3	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=00011	$VCC \times 35 / 64$ -0.039	2.734	$VCC \times 35 / 64$ +0.039	V
過電流検出しきい値 4	Voc4	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=00111	$VCC \times 39 / 64$ -0.039	3.047	$VCC \times 39 / 64$ +0.039	V
過電流検出しきい値 5	Voc5	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=01111	$VCC \times 47 / 64$ -0.039	3.672	$VCC \times 47 / 64$ +0.039	V
過電流検出しきい値 6	Voc6	-	電流制限しきい値設定レジスター： [CLCMPSR]<CLCMPTV>=11111(max)	$VCC \times 63 / 64$ -0.039	4.922	$VCC \times 63 / 64$ +0.039	V
デジタル フィルター時間 2	Tocfil2	-	デジタルフィルター時間設定レジスタ ー： [OCCMPDFSR]<OCCMPDFS> =11 10MHz×64 回一致	6.08	6.4	6.72	μs
デジタル フィルター時間 3	Tocfil3	-	デジタルフィルター時間設定レジスタ ー： [OCCMPDFSR]<OCCMPDFS> =00 10MHz×16 回一致	1.52	1.6	1.68	μs

## 10.14. 位置検出回路 (BEMFCMP)

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
入力オフセット 電圧 1	Voffset1	U, V, W	U 測定時：V=W=0V V 測定時：U=W=0V W 測定時：U=V=0V	-80	-	80	mV
入力オフセット 電圧 21	Voffset21		U 測定時：V=6V, W=0V コンパレータ出力=Lo→High となる U 電圧値-3V を測定 V 測定時：U=0V, W=6V コンパレータ出力=Lo→High となる V 電圧値-3V を測定 W 測定時：U=6V, V=0V コンパレータ出力=Lo→High となる W 電圧値-3V を測定	-75	-	75	mV
入力オフセット 電圧 22	Voffset22		U 測定時：V=12V, W=0V コンパレータ出力=Lo→High となる U 電圧値-6V を測定 V 測定時：U=0V, W=12V コンパレータ出力=Lo→High となる V 電圧値-6V を測定 W 測定時：U=12V, V=0V コンパレータ出力=Lo→High となる W 電圧値-6V を測定	-50	-	50	mV
入力オフセット 電圧 23	Voffset23		U 測定時：V=18V, W=0V コンパレータ出力=Lo→High となる U 電圧値-9V を測定 V 測定時：U=0V, W=18V コンパレータ出力=Lo→High となる V 電圧値-9V を測定 W 測定時：U=18V, V=0V コンパレータ出力=Lo→High となる W 電圧値-9V を測定	-75	-	75	mV
位置検出 フィルタ時間	Tbemffil	-	デジタルフィルタ時間設定レジスタ ：<FILVAL[6:0]>=0x3C VECLK = 60MHz	0.95	1	1.05	μs

## 10.15. Thermal Shutdown (TSD) Circuit

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
過熱検出温度	Ttsd	-	設計保証	175	190	205	°C
過熱検出 解除温度	Ttsdr	-	設計保証	145	160	175	°C

注：

- ・出荷テストは実施しておりません。評価のみ実施。
- ・5V 電源回路用 TSD と LINPHY 用 TSD の電気的特性は同一です。



## 10.16. LIN

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
Supply voltage range	V <sub>VB</sub>	VBAT	ECU operating voltage range (ISO 17987-4 Param 9, SAE J2602-1)	8.0	-	18.0	V
Supply voltage range	V <sub>SUP</sub>		Note : ISO 17987-4 Param 10 and SAE J2602-1 of LIN configuration is defined 7.0V(min), IC requires 6.0V(min) on 5V regulator.	6.0	-	18.0	V
Supply voltage MAX Ratings	V <sub>SUP_NON_OP</sub>		Voltage range with in which the device is not destroyed. An optional time limit for the maximum value shall be at least 400 ms. No guarantee of correct operation. (ISO 17987-4 Param 11, SAE J2602-1)	-0.3	-	40	V
BUS MAX Ratings	V <sub>BUS_MAX_RATING</sub>	LIN	Voltage range with in which the device is not destroyed. (ISO 17987-4 Param 82) An optional time limit for the maximum value shall be at least 400 ms. No guarantee of correct operation.	-27	-	40	V
Receiver threshold voltage, recessive to dominant edge	V <sub>th_rec</sub>		Low Voltage: Recessive Input Threshold (SAE J2602-1)	0.4	-	0.53	V <sub>SUP</sub>
Receiver threshold voltage, dominant to recessive edge	V <sub>th_dom</sub>		High Voltage: Dominant Input Threshold (SAE J2602-1)	0.47	-	0.6	V <sub>SUP</sub>
BUS current limitation	I <sub>BUS_LIM</sub>		Current Limitation for Driver dominant state driver on VBUS = VBAT_max (ISO 17987-4 Param 12)	40	-	200	mA
Leakage current (dominant)	I <sub>BUS_PAS_dom</sub>		Input leakage current at the receiver incl. responder Pull Up resistance as specified in ISO 17987-4 Param 26 driver off VBUS = 0 V VBAT = 12 V (ISO 17987-4 Param 13)	-1	-	-	mA
Leakage current (recessive)	I <sub>BUS_PAS_re</sub>		Driver off 8V < VBAT < 18V, 8V < VBUS < 18V, VBUS > VBAT (ISO 17987-4 Param 14)	-	-	20	μA
Leakage current1	I <sub>BUS_NO_GND</sub>		Control unit disconnected from ground GNDDevice = VSUP 0V < VBUS < 18V VBAT = 12V Loss of local ground shall not affect communication in the residual network. (ISO 17987-4 Param 15)	-1	-	1	mA
Leakage current2	I <sub>BUS_NO_BAT</sub>		VBAT disconnected VSUP = GND 0V < VBUS < 18V Node shall sustain the current that can flow under this condition. Bus shall remain operational under this condition. (ISO 17987-4 Param 16 and SAE J2602-1)	-	-	23	μA
Voltage of Receiver dominant state	V <sub>BUS_dom</sub>		Receiver dominant state (ISO 17987-4 Param 17) Note: ISO 17987-4 Param 17 of LINPHY configuration is not defined minimum voltage.	-27	-	0.4× VBAT	V

項目	記号	端子	条件	最小	標準	最大	单位
Voltage of Receiver recessive state	V <sub>BUS_rec</sub>	LIN	Receiver recessive state (ISO 17987-4 Param 18)	0.6	-	-	V <sub>SUP</sub>
Receiver center voltage	V <sub>BUS_CNT</sub>		$VBUS\_CNT = (V_{th\_dom} + V_{th\_rec})/2$ (ISO 17987-4 Param 19)	0.475	-	0.525	V <sub>SUP</sub>
Receiver hysteresis	V <sub>HYS</sub>		$VHYS = V_{th\_rec} - V_{th\_dom}$ (ISO 17987-4 Param 20 and SAE J2602-1)	0.07	-	0.175	V <sub>SUP</sub>
Duty cycle D1 (for worst case at 20 kbps)	D1		THRec(max) = 0,744 × V <sub>SUP</sub> ; THDom(max) = 0,581 × V <sub>SUP</sub> ; V <sub>SUP</sub> = 7,0V ~ 18V; tBIT = 50μs; D1 = tBus_rec(min)/(2 × tBIT) (ISO 17987-4 Param 27) <PHYFBRM>=0	0.396	-	-	-
Duty cycle D2 (for worst case at 20 kbps)	D2		THRec(min) = 0,422 × V <sub>SUP</sub> ; THDom(min) = 0,284 × V <sub>SUP</sub> ; V <sub>SUP</sub> = 7,6 V ~ 18 V; tBIT = 50μs; D2 = tBus_rec(max)/(2 × tBIT) (ISO 17987-4 Param 28) <PHYFBRM>=0	-	-	0.581	-
Duty cycle D3 (for worst case at 10 kbps)	D3		THRec(max) = 0,778 × V <sub>SUP</sub> ; THDom(max) = 0,616 × V <sub>SUP</sub> ; V <sub>SUP</sub> = 7,0 V ~ 18 V; tBIT = 96μs; D3 = tBus_rec(min)/(2 × tBIT) (ISO 17987-4 Param 29) <PHYFBRM>=0	0.417	-	-	-
Duty cycle D4 (for worst case at 10 kbps)	D4		THRec(min) = 0,389 × V <sub>SUP</sub> ; THDom(min) = 0,251 × V <sub>SUP</sub> ; V <sub>SUP</sub> = 7,6 V ~ 18 V; tBIT = 96μs; D4 = tBus_rec(max)/(2 × tBIT) (ISO 17987-4 Param 30) <PHYFBRM>=0	-	-	0.59	-
Propagation delay	t <sub>rx_pdr</sub>		Propagation delay of receiver (ISO 17987-4 Param 31) • bus dominant to Rx D LOW(t <sub>rx_pdrf</sub> ) • bus recessive to Rx D HIGH(t <sub>rx_pdrh</sub> ) 図 10.16.1 参照	-	-	6	μs
Receiver delay symmetry	t <sub>rx_sym</sub>		Symmetry of receiver propagation delay rising edge with respect to falling edge (ISO 17987-4 Param 32) t <sub>rx_sym</sub> = t <sub>rx_pdrf</sub> - t <sub>rx_pdrh</sub>	-2	-	2	μs
Bus Pull Up resistance1	R <sub>RESPONDER</sub>		internal resistance (ISO 17987-4 Param 26, SAE J2602-1)	20	30	60	kΩ
Bus Pull Up resistance2	R <sub>COMMANDER</sub>		The serial diode is mandatory. Only for valid for transceiver with integrated commander Pull Up resistance. (ISO 17987-4 Param 25, SAE J2602-1) external resistance	900	-	1100	Ω
LIN input capacity (Guaranteed by design)	C <sub>RESPONDER</sub>		Capacitance of responder node (ISO 17987-4 Param 37) 250pF - 220pF = 30pF max	-	-	30	pF
Current consumption in sleep mode (Guaranteed by design)	I <sub>sleep_LIN</sub>	VBAT	VBAT=12V, RT=25°C, Only working LIN bus Wakeup signal Only LINPHY current consumption at [PMUSCR]<LIN_MODE>=0(Sleep Operate Mode)	-	-	3	μA

項目	記号	端子	条件	最小	標準	最大	単位
Dominant time for bus wakeup	$t_{WAKE}$	LIN	Wakeup pulse width from LIN bus 図 10.16.2 参照。	30	-	150	$\mu s$
Turn off time to 【Standby】	$t_{sleep}$	-	Turn off time from 【Active】 to 【Standby】 state	-	-	1	ms
Wakeup threshold voltage	$V_{BUSwk}$	LIN	Threshold voltage for Wakeup signal detection	0.4	0.5	0.6	$V_{SUP}$
ESD Susceptibility HBM1 pins LIN vs. LINGND	$V_{ESDLIN}$	LIN	IEC61000-4-2 Conducted HBM	-6	-	6	kV
ESD Susceptibility HBM3 pins LIN vs. LINGND	$V_{ESDLIN3}$						

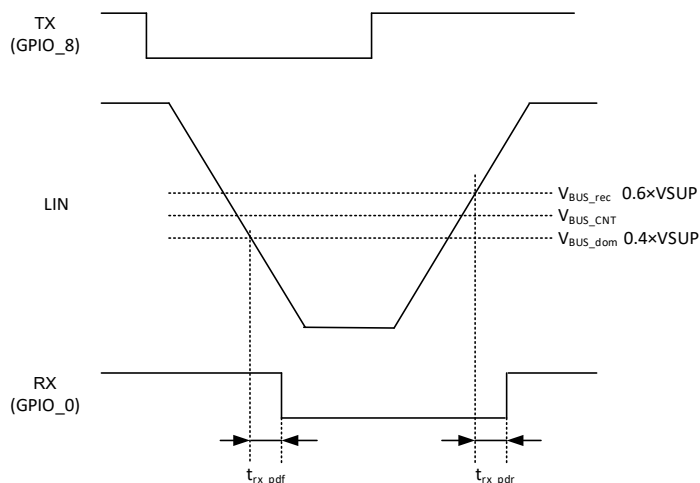


図 10.16.1 LIN Propagation delay タイミングチャート

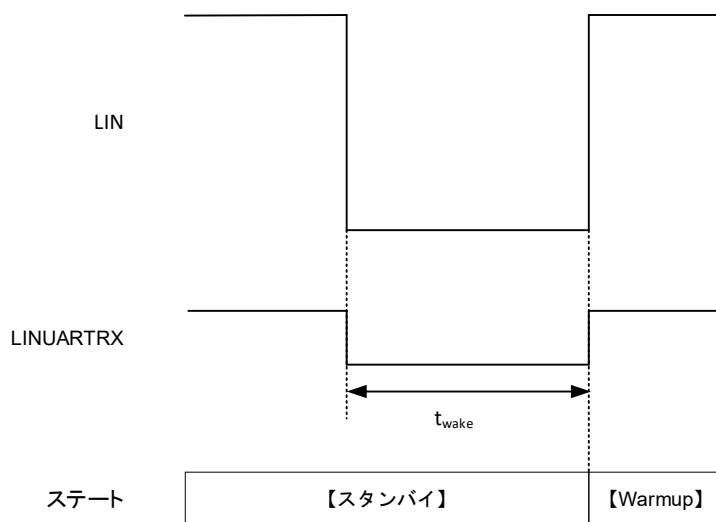


図 10.16.2 LIN Dominant time for bus Wakeup タイミングチャート

## 10.17. UART 特性

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
通信速度	Fuart	UART_RX, UART_TX	-	-	-	1	Mbps

## 10.18. SPI

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
SCLK 周期 (コントローラー)	Tm	SCLK	図 10.18.1, 図 10.18.2 参照。	T×m ただし 250ns 以上	-	-	ns
SCLK 周期 (ターゲット)	Ts		図 10.18.3, 図 10.18.4 参照。	T×n ただし 1μs 以 上	-	-	ns
コントローラーモード時 SCLK "Low"レベル パルス幅	Twlm		図 10.18.1, 図 10.18.2 参照。	0.4	-	0.6	Tm
コントローラーモード時 SCLK "High"レベル パルス幅	Twhm		図 10.18.1, 図 10.18.2 参照。	0.4	-	0.6	Tm
ターゲットモード時 SCLK "Low"レベル パルス幅	Twls		図 10.18.3, 図 10.18.4 参照。	0.4	-	0.6	Ts
ターゲットモード時 SCLK "High"レベル パルス幅	Twhs		図 10.18.3, 図 10.18.4 参照。	0.4	-	0.6	Ts
コントローラーモード時 SCLK 立ち上がり/立ち下 がりエッジ→出力データ有効	Todsm		図 10.18.1, 図 10.18.2 参照。	-	-	50	ns
コントローラーモード時 SCLK 立ち上がり/立ち下 がりエッジ → 出力データ保持	Todhm		図 10.18.1, 図 10.18.2 参照。	-20	-	-	ns
コントローラーモード時 SCLK 立ち上がり/立ち下 がりエッジ→入力 データ有効遅延時間	Tidsm		図 10.18.1, 図 10.18.2 参照。	55	-	-	ns
コントローラーモード時 SCLK 立ち上がり/立ち下 がりエッジ (入力データ保持)	Tidhm		図 10.18.1, 図 10.18.2 参照。	100	-	-	ns
コントローラーモード時 CSN 有効→ SCLK 立ち上がり/立ち下 がりエッジ	Tofsm	CSN SCLK	図 10.18.1, 図 10.18.2 参照。	T×m -50	-	-	ns

項目	記号	端子	条件	最小	標準	最大	単位
ターゲットモード時 SCLK 立ち上がり/立ち下がり エッジ (出力データ有効 遅延時間)	Todss	SCLK	図 10.18.3, 図 10.18.4 参照。	-	-	3T+90	ns
ターゲットモード時 SCLK 立ち上がり/立ち下がり エッジ (出力データ保持)	Todhs		図 10.18.3, 図 10.18.4 参照。	2T	-	-	ns
ターゲットモード時 SCLK 立ち上がり/立ち下がり エッジ (入力データ有効 遅延時間)	Tidss		図 10.18.3, 図 10.18.4 参照。	10	-	-	ns
ターゲットモード時 SCLK 立ち上がり/立ち下がり エッジ →入力データ保持	Tidhs		図 10.18.3, 図 10.18.4 参照。	3T+20	-	-	ns
ターゲットモード時 CSN 有効→ SCLK 立ち上がり/立ち下がり エッジ	Tifss	CSN SCLK	図 10.18.3, 図 10.18.4 参照。	T×n -20	-	-	ns
コントローラーモード 時 SCLK 立ち上がり/立ち下がり エッジ →CSN 入力データアサート	Tofhm		図 10.18.1, 図 10.18.2 参照。	T×m -50	-	-	ns
ターゲットモード時 SCLK 立ち上がり/立ち下がり エッジ →CSN 入力データアサート	Tifhs		図 10.18.3, 図 10.18.4 参照。	T×n -20	-	-	ns

注:

- ・ 負荷容量 CL=100pF
- ・ [GPOPSR]< GPIOPSx>=11 (6mA 設定)
- ・ 10.18 は設計保証となります。
- ・ T は SSPCLK 周期 (40MHz 時は 25ns)
- ・ n は SCLK 周期と SSPCLK 周期の比 ( $n \geq 12$ )
- ・ m は SCLK 周期と SSPCLK 周期の比 ( $65024 \geq m \geq 2$ )

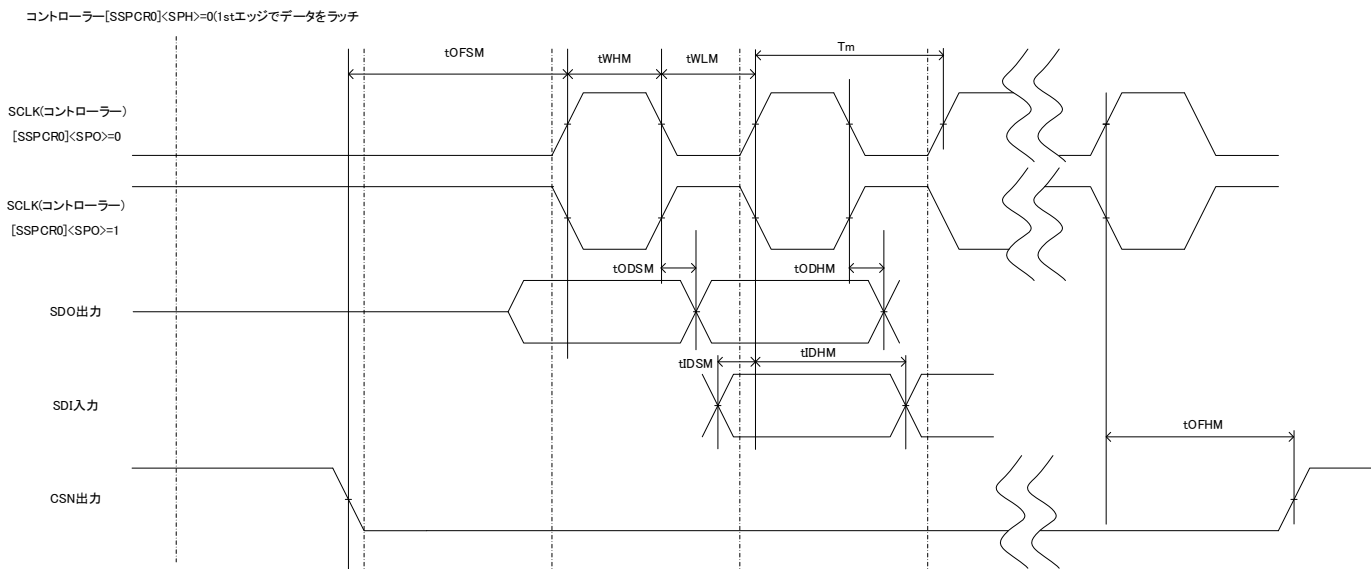


図 10.18.1 SPI 通信タイミングチャート 1

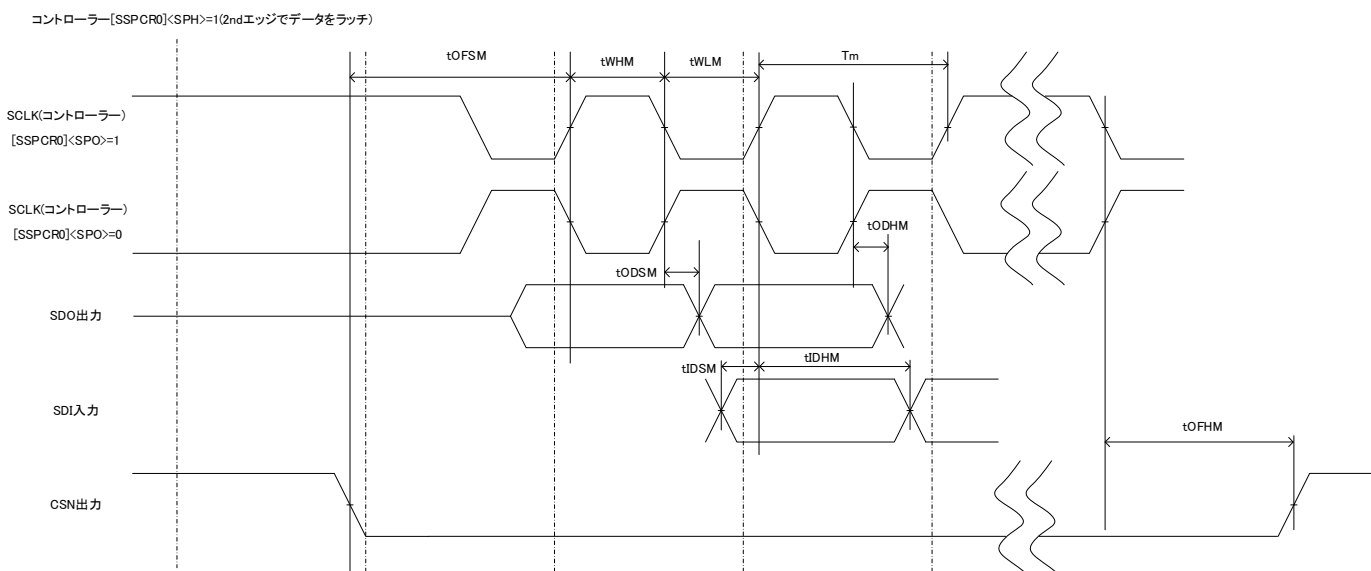


図 10.18.2 SPI 通信タイミングチャート 2

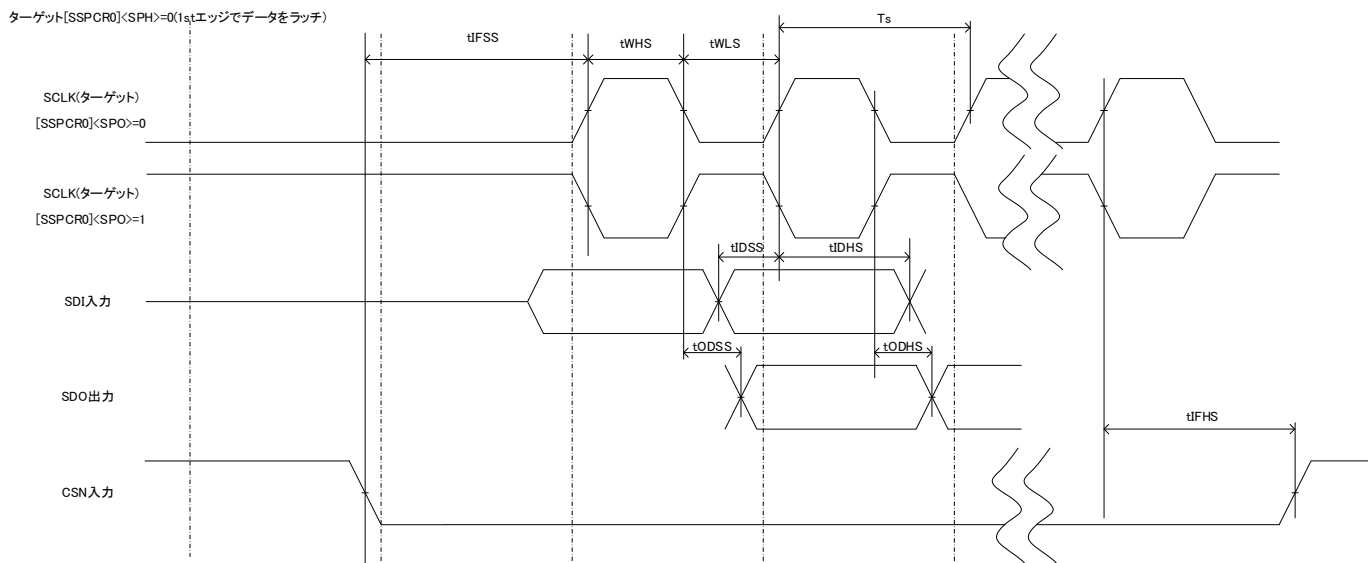


図 10.18.3 SPI 通信タイミングチャート 3

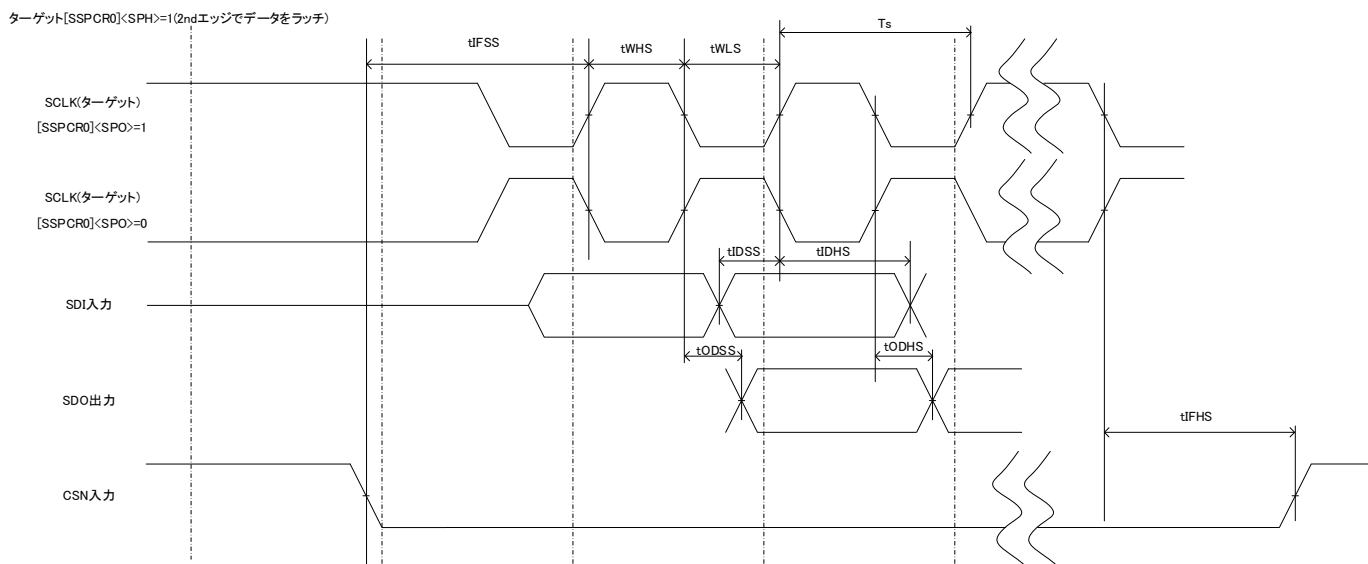


図 10.18.4 SPI 通信タイミングチャート 4

## 10.19. GPIO

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
入力しきい値電圧 H	Vinh	GPIO_x	-	VCC ×0.75	-	-	V
入力しきい値電圧 L	Vinl		-	-	-	VCC ×0.25	V
プルアップ抵抗	Rpullup		-	30	50	100	kΩ
プルダウン抵抗	Rpulldown		-	30	50	100	kΩ
出力電圧 H	Vouth		負荷条件 [GPOPSR]<GPIOPSx>=00 : -1mA [GPOPSR]<GPIOPSx>=01 : -2mA [GPOPSR]<GPIOPSx>=10 : -4mA [GPOPSR]<GPIOPSx>=11 : -6mA	VCC ×0.8	-	-	V
出力電圧 L	Voutl		負荷条件 [GPOPSR]<GPIOPSx>=00 : 1mA [GPOPSR]<GPIOPSx>=01 : 2mA [GPOPSR]<GPIOPSx>=10 : 4mA [GPOPSR]<GPIOPSx>=11 : 6mA	-	-	0.5	V

## 10.20. Flash(Code Flash)

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	規格値			Unit
				Min	Typ.	Max	
バス周波数	-	-	-	-	-	42	MHz
リード周波数	-	-	-	-	-	10.5	MHz
データ保持時間 1	-	-	Tj=85°C, 1k 回の書き込み/消去の後	40	-	-	年
データ保持時間 2	-	-	Tj=85°C, 30k 回の書き込み/消去の後 (80KBytes 中の後半 16KBytes : 0x0001_0000~0x0001_3FFF)	5	-	-	年
Flash 容量	-	-	-	-	80	-	KBytes
データアクセスサイズ	-	-	読み出し/書き込みに同じ	-	Word (32bit)	-	-
消去時間	-	-	80KBytes、Tj=-40~150°C	-	100	-	ms
書き込み時間	-	-	Tj=-40~150°C	-	2.5	-	s
消去ブロックサイズ	-	-	-	-	8	-	KBytes
消去ブロック時間	-	-	1 ブロック (8KBytes)、Tj=-40~150°C	-	6.8	7.2	ms
書き込みブロックサイズ	-	-	-	-	128	-	Bytes
書き込みブロック時間	-	-	128Bytes、Tj=-40~150°C	-	2.4	2.6	ms

注：バス周波数に合わせて Flash リードアクセスの wait 設定を変更する必要があります。



## 10.21. その他

特記なき場合の試験条件：VBAT=6~18V、VCC=4.8~5.2V、VDD=1.45~1.55V、Tj=-40~175°C

項目	記号	端子	条件	最小	標準	最大	単位
入力しきい値電圧 H	Vmdinh	MD0 MD1	-	VCC ×0.75	-	-	V
入力しきい値電圧 L	Vmdinl		-	-	-	VCC ×0.25	V
プルダウン抵抗	Rmdpd		-	30	50	100	kΩ

11. 応用回路例

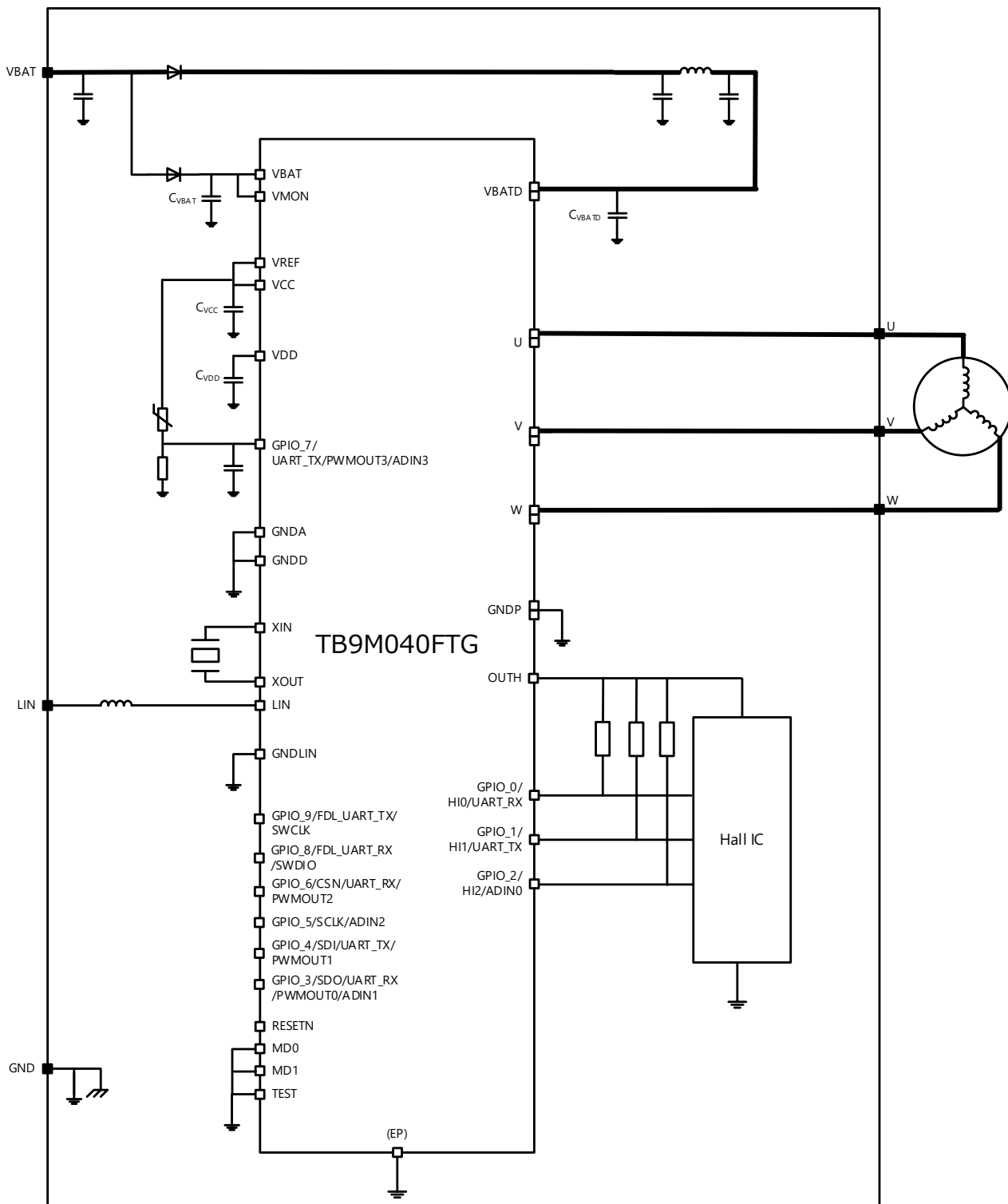


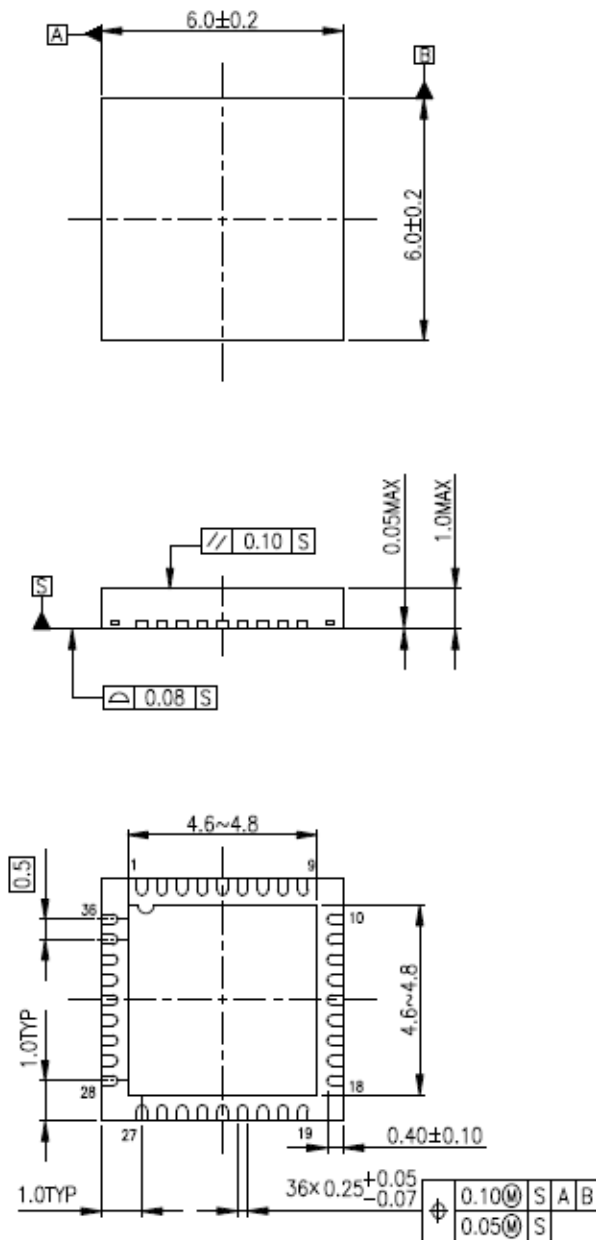
图 11.1 应用回路例

**12. 外形図**

**12.1. 外形寸法図**

P-VQFN36-0606-0.50-004

Unit:mm



質量: 0.102g (標準)

図 12.1 外形寸法図

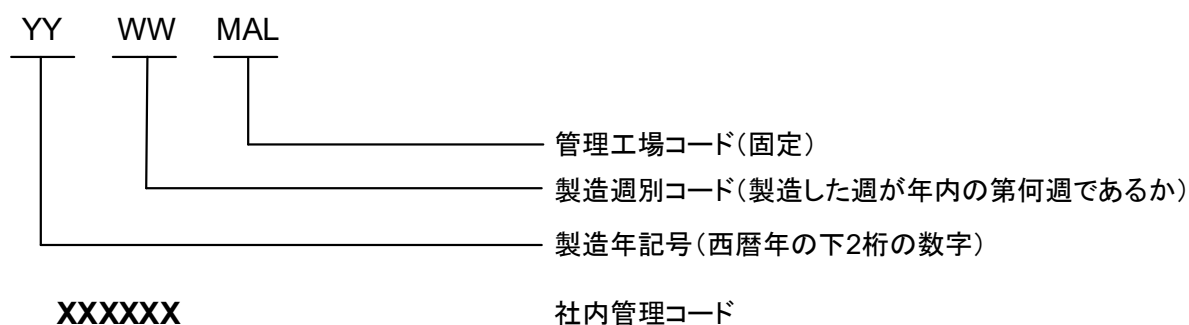
## 12.2. 現品表示

品名：TB9M040FTG



図 12.2 現品表示

ロットコード内訳(表示例)



## 13. 使用上のご注意およびお願い事項

### 13.1. 使用上の注意事項

- (1) 絶対最大定格は複数の定格の、どの1つの値も瞬時たりとも超えてはならない規格です。複数の定格のいずれに対しても超えることができません。絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼による傷害を負うことがあります。
- (2) 過電流の発生や IC の故障の場合に大電流が流れ続けないように、適切な電源ヒューズを使用してください。IC は絶対最大定格を超えた使い方、誤った配線、および配線や負荷から誘起される異常パルスノイズなどが原因で破壊することあり、この結果、IC に大電流が流れ続けることで、発煙・発火に至ることがあります。破壊における大電流の流出入を想定し、影響を最小限にするため、ヒューズの容量や溶断時間、挿入回路位置などの適切な設定が必要となります。

### 13.2. 使用上の留意点

- (1) 過電流保護回路過電流制限回路  
(通常: カレントリミッター回路) はどのような場合でも IC を保護するわけではありません。動作後は、速やかに過電流状態を解除するようお願いいたします。絶対最大定格を超えた場合など、ご使用方法や状況により、過電流制限回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。また、動作後、長時間過電流が流れ続けた場合、ご使用方法や状況によっては、IC が発熱などにより破壊することがあります。
- (2) 熱遮断回路  
熱遮断回路 (通常: サーマルシャットダウン回路) は、どのような場合でも IC を保護するわけではありません。動作後は、速やかに発熱状態を解除するようお願いいたします。絶対最大定格を超えて使用した場合など、ご使用方法や状況により、熱遮断回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。

## 製品取り扱い上のお願い

株式会社東芝およびその子会社と関係会社を以下「当社」といいます。  
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任で、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任で適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、あるいは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製しないでください。
- 本製品を、国内外の法令、規則および命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発の目的、軍事利用の目的、あるいはその他軍사용途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」、「米国輸出管理規則」、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社

<https://toshiba.semicon-storage.com/jp/>