

Bi-CMOS 形リニア集積回路 シリコン モノリシック

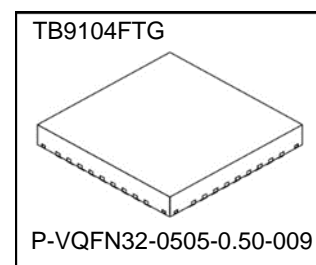
TB9104FTG

Automotive 1ch H-bridge (2ch Half-bridge) Gate Driver

1. 概要

TB9104FTG は、車載用 1 チャンネル(ch) H-bridge Gate Driver および 2 チャンネル Half-bridge Gate Driver です。スタンバイモードにすることで、低消費電力で待機可能です。チャージポンプ回路、電流センスアンプ、SPI 通信回路、PWM 回路、各種異常検出回路を搭載しています。モーターへの回転の指示は、ピンからの他、SPI から可能です。

異常検出時は事前の設定に従い、ゲート駆動をシャットダウンし、DIAG_X 端子から異常を通知する他、SPI 通信を介して詳細な情報を提供します。



質量: 0.07g (標準)

2. 用途

n 型 MOSFET と組み合わせて使用し、スライドドア、バックドア、シート、ウインドウ、ミラーなどのモーター制御用途に適しています。回転の指示も SPI から制御できますので、複数の IC で配線を共有できます。

3. 特長

- スタンバイモード： 低消費電力で動作待機可能
- チャージポンプ搭載： 2 倍昇圧構成。
- バッテリー逆接防止回路へ給電可能
- ゲートドライバー部は 2 モード搭載： ハーフブリッジモード、H ブリッジモード
 - － ハーフブリッジモードは 2 チャンネル使用可能
 - チャンネルごとに独立してハイサイド、ローサイド MOSFET を時間管理し 貫通電流を防止
 - － H ブリッジモードはハーフブリッジを組み合わせ 1 チャンネルとして使用可能
 - 4 つの n 型 MOSFET を時間管理し 貫通電流を防止
- 各種異常検出機能搭載：
 - － VCC 端子（アナログ系電源）低電圧検出
 - － VB 端子（バッテリー）低電圧検出
 - － VCP 端子（チャージポンプ電圧）高電圧検出、昇圧不足検出
 - － RPPO 端子（外部バッテリー逆接防止回路用電源）異常電圧降下検出
 - － SPI 異常（フォーマット異常、コマンド違反など）
 - － 過熱検出
 - － 外部 n 型 MOSFET、ドレイン、ソース間電圧監視（過電流検出）
- 異常検出時 DIAG_X 端子から通知
- モーター電流センスアンプ回路内蔵
 - － オフセットキャリブレーション機能内蔵
- SPI 通信回路内蔵 SPI からドライブ指示が可能 H ブリッジモード用 PWM 波形生成回路内蔵
- バッテリー電源(5.7~18V)、MCU 系電源(4.5~5.5V)、アナログ系電源(4.5~5.5V)の 3 電源が必要
- 周囲温度 (Ta) = -40~125°C、ジャンクション温度(Tj) = -40~150°C
- AEC-Q100 グレード 1 適合予定
- 小型パッケージ VQFN32 5x5mm

これは参考資料です。本資料での最終機器設計はしないでください。

4. ブロック図

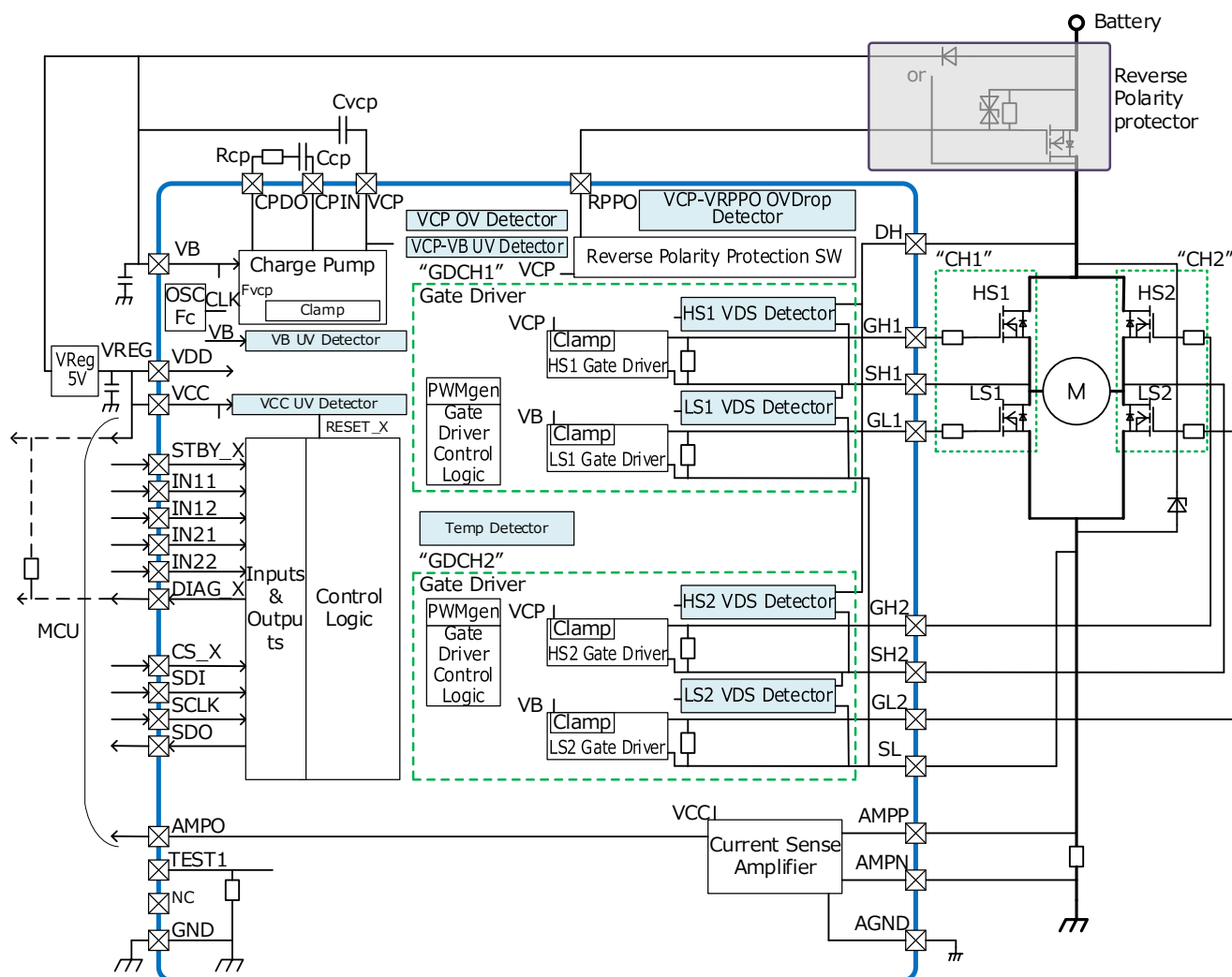


図 4.1 ブロック図

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。また、IC 外部の回路や定数は例であり、動作保証をするものではありません。使用環境を考慮し、評価・確認を十分に実施の上、決定してください。

5. 端子配置図

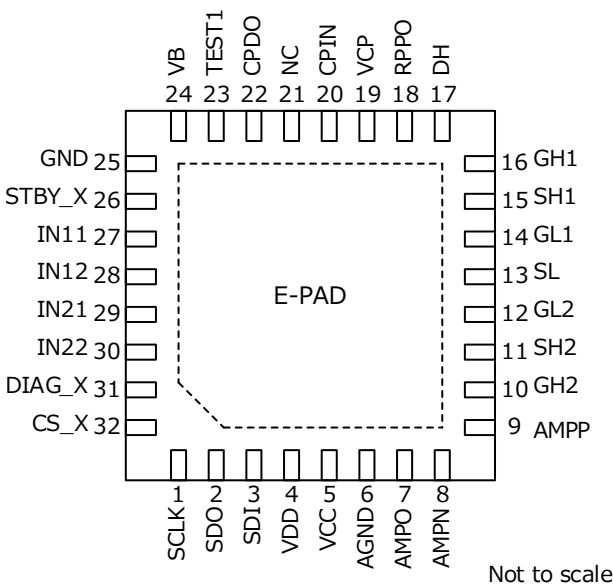


图 5.1 端子配置图 (Top view)

6. 端子説明

表 6.1 TB9104FTG 端子表

端子番号	名称	入出力	端子説明
1	SCLK	Input	SPI: Serial clock input pin. プルダウン抵抗内蔵
2	SDO	Output	SPI: Serial data output pin. 3 state out
3	SDI	Input	SPI: Serial data input pin. プルダウン抵抗内蔵
4	VDD	Power Input	デジタル回路 電源入力端子 VCC 端子と VDD 端子は同一の電源に接続してください。
5	VCC	Power Input	アナログ回路 電源入力端子 低電圧時 IC 初期化信号生成 LPF 内蔵 VCC 端子と VDD 端子は同一の電源に接続してください。
6	AGND	Ground	電流検出アンプ グラウンド端子
7	AMPO	Analog Output	電流検出アンプ 出力端子
8	AMPN	Analog Input	電流検出アンプ 差動入力端子（負入力）
9	AMPP	Analog Input	電流検出アンプ 差動入力端子（正入力）
10	GH2	Output	ゲートドライバ-GDCH2 ハイサイド n 型 MOSFET ゲート出力端子
11	SH2	Bidirectional	ゲートドライバ-GDCH2 ハイサイド n 型 MOSFET ソース端子
12	GL2	Output	ゲートドライバ-GDCH2 ローサイド n 型 MOSFET ゲート出力端子
13	SL	Bidirectional	ローサイド n 型 MOSFET ソース端子
14	GL1	Output	ゲートドライバ-GDCH1 ローサイド n 型 MOSFET ゲート出力端子
15	SH1	Bidirectional	ゲートドライバ-GDCH1 ハイサイド n 型 MOSFET ソース端子
16	GH1	Output	ゲートドライバ-GDCH1 ハイサイド n 型 MOSFET ゲート出力端子
17	DH	Input	ハイサイド n 型 MOSFET ドレイン入力端子
18	RPPO	Power Output	バッテリー逆接続保護回路用 電源出力端子
19	VCP	Bidirectional	チャージポンプ部 平滑キャパシター接続端子
20	CPIN	Bidirectional	チャージポンプ部 昇圧入力端子
21	NC	-	Non-Connection どこにも接続しないでください。
22	CPDO	Output	チャージポンプ部 ドライブ出力端子
23	TEST1	Test terminal	テスト信号端子 どこにも接続しないでください。プルダウン抵抗内蔵
24	VB	Power Input	電源入力端子
25	GND	Ground	グラウンド端子
26	STBY_X	Input	スタンバイ指示入力端子（負論理） プルダウン抵抗内蔵 LPF 内蔵
27	IN11	Input	ゲートドライバ-1 コントロール入力 1 プルダウン抵抗内蔵
28	IN12	Input	ゲートドライバ-1 コントロール入力 2 プルダウン抵抗内蔵
29	IN21	Input	ゲートドライバ-2 コントロール入力 1 プルダウン抵抗内蔵
30	IN22	Input	ゲートドライバ-2 コントロール入力 2 プルダウン抵抗内蔵
31	DIAG_X	Output	異常状態検出通知 出力端子（負論理） 正常時ハイインピーダンス 異常時 Low 出力
32	CS_X	Input	SPI: Chip select. （負論理） プルアップ抵抗内蔵

7. 機能動作説明

7.1. 動作状態

TB9104FTG は動作状態としてスタンバイ状態、リセット状態、通常動作状態の 3 状態があります。スタンバイ状態は、全回路について、電源をオフにしたり、動作を停止したりして、消費電力を抑えた状態です。リセット状態は、各回路を停止し、レジスタを初期状態にしますが、一部の回路は通常状態に移行するのに備えて待機しています。通常動作状態は、各回路を動作させ、MCU からの指示を待って、外部 n 型 MOSFET のゲートをドライブします。なお、通常動作状態では、異常発生に応じて各回路を停止します。動作状態について、表 7.1.1 に示します。

異常を検出したときの動作は、あらかじめユーザーが SPI から設定しておかなければなりません。異常が複数同時に発生した場合は、それぞれの異常における停止指示が足し合わされます。異常状態が解消した後の復帰手順は、あらかじめ SPI から選択することができます。異常状態の種類について、表 7.1.2 に示します。

VDD 端子と VCC 端子は同一の電源へ接続してください。VCC 端子の電圧は、リセット信号の生成に関係しています。

リセットが解除されるのは、VCC 端子の電圧が低電圧検出復帰電圧 V_{vccUr} を超え、かつ、STBY_X 端子が V_{inpH} 以上となったときです。リセットの解除の前に、チャージポンプ回路やローサイドゲートドライバ一部の電源である VB 端子の電圧を V_{vbRNG} としてください。

図 7.1.1 に VDD,VCC と STBY_X などについて遷移を示します。また、図 7.2.1 に VB, VCC,VDD, STBY_X を含めた通常動作への遷移波形を示します。

表 7.1.1 動作状態説明

No.	IC 動作状態	VB 電圧 , VCC 電圧 , VDD 電圧	STBY_X 端子	IN11, IN12, IN21, IN22 端子	OSC	Control logic , レジスタ ー, GetStart- bit	Charge pump , CPDO 端子	RPPO 端子	GH1-SH1, GL1-SL, GH2-SH2, GL2-SL	DIAG_X 端子
1	リセット 状態	V_{vbRNG} , VCC 電圧が V_{vccUd} を 下回る	Do not care	Do not care	-	停止 , 初期値, 0(L)	停止, Z	Z	RL, RL, RL, RL	Z
2	スタンバイ 状態	運用電圧 V_{vbRNG} , V_{vccRNG} , V_{vddRNG}	L	Do not care	停止	停止 , 初期値, 0(L)	停止, Z	Z	RL, RL, RL, RL	Z
3	通常動作状態 動作開始前	運用電圧 V_{vbRNG} , V_{vccRNG} , V_{vddRNG}	H	Do not care	発振	動作 , 動作 , 0(L)	動作, 動作	VCP 電圧	L, L, L, L	L
4	通常動作状態 異常不検出時	運用電圧 V_{vbRNG} , V_{vccRNG} , V_{vddRNG}	H	動作 指示 入力	発振	動作 , 動作 , 1(H)	動作, 動作	VCP 電圧	動作 H/L, 動作 H/L, 動作 H/L, 動作 H/L 7.17 参照	Z

記号の説明 : RL = Resistive low H = High L = Low Z = High-impedance

表 7.1.2 検出可能な異常の種類

No.	異常の内容	説明
1	VCC 端子電圧 低電圧	VCC 低電圧による初期化を行った
2	VB 端子電圧 低電圧	ゲートドライブ電圧が不十分となる可能性がある
3	VCP 端子電圧 高電圧	VCP 端子耐圧を超過する可能性がある
4	VCP, VB 間電圧 低電圧	チャージポンプの昇圧が不十分である ゲートドライブ電圧が不十分となる可能性がある
5	VCP, RPPO 間電圧 高電圧	RPPO 端子外部に地絡など異常がある
6	SPI 異常	通信フォーマットが合っていない。 禁止された空間にアクセスした。
7	Tj (接合温度) 高温	動作温度範囲の上限を超えている
8	HS1 Vdson 高電圧	オンしている外部 n 型 MOSFET "HS1" に過大電流が流れている
9	LS1 Vdson 高電圧	オンしている外部 n 型 MOSFET "LS1" に過大電流が流れている
10	HS2 Vdson 高電圧	オンしている外部 n 型 MOSFET "HS2" に過大電流が流れている
11	LS2 Vdson 高電圧	オンしている外部 n 型 MOSFET "LS2" に過大電流が流れている

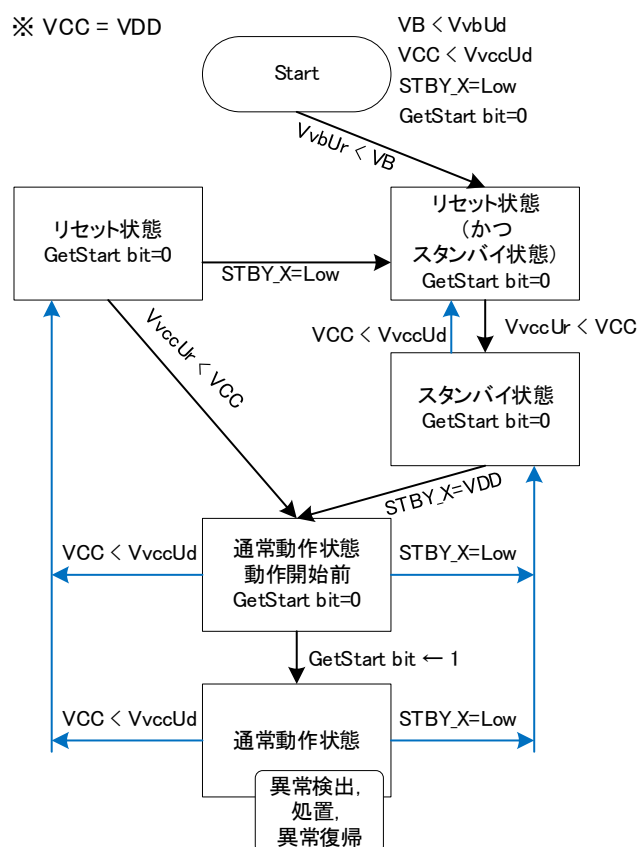


図 7.1.1 動作状態 遷移図

7.2. 使用開始コマンド (Getting Started Command)と手順

GetStart Command/Status 初期値 : 0

TB9104FTG を使用中に、VCC 低電圧による初期化が起こったことを MCU に知らせるためのレジスタです。

TB9104FTG を使用開始する際は、最初に GetStart レジスタに 1 をライトします。このレジスタが 0 であると、全てのレジスタは MCU からライトできません。ただしリードすることは可能です。

このコマンドの状態に関わらず内部回路は動作しており、エラーステータスは設定と状態に従って値が書き換えられます。GetStart レジスタに 1 をライトした後は、使用したい動作に応じた値を各レジスタへ設定していきます。特に異常を検出したときの動作を決める VB_UV_op[2:0], VCPVB_UV_op[2:0], VCPRPPO_ODV_op[2:0], TJ_OT_op[2:0], VDS1H_OV_op[2:0], VDS1L_OV_op[2:0], VDS2H_OV_op[2:0], VDS2L_OV_op[2:0]は、通常動作状態に移行後速やかに設定してください。異常検出回路はすぐに設定に応じた動作を始める上、エラーステータスが 1 であると、該当するレジスタへのライトができません。少なくともゲートドライブ実行前までに設定してください。

表 7.2.1 初期化後 使用開始動作手順の例

手順	IC 動作状態、 MCU からの指示	VB 電圧 , VCC 電圧 , VDD 電圧	STBY_X 端子	IN11, IN12, IN21, IN22 端子	OSC	Control logic , レジスター, GetStart-bit	Charge pump , CPDO 端子	RPPO 端子	GH1-SH1, GL1-SL, GH2-SH2, GL2-SL	DIAG_X 端子
1	リセット状態 , STBY_X: L	VvbRNG , VCC 電圧 が VvccUd を下回る	L	Do not care	停止	停止, 初期値, 0(L)	停止, Z	Z	RL, RL, RL, RL	Z
2	スタンバイ状態, STBY_X=L	運用電圧 VvbRNG , VvccRNG , VvddRNG	L	Do not care	停止	停止, 初期値, 0(L)	停止, Z	Z	RL, RL, RL, RL	Z
3	通常動作状態 VvddRNG VvccRNG 異常不検出時 , STBY_X: L->H	運用電圧 VvbRNG , VvccRNG , VvddRNG	H	Do not care	発振	Twakespi 後 動作, 動作, 0(L)	動作 (昇圧中), 動作	VCP 電圧	Twake 期間 L, L, L, L	L
4	通常動作状態 異常不検出時 , GetStart-bit に 1 をライト	運用電圧 VvbRNG , VvccRNG , VvddRNG	H	Do not care (L,L,L,L)	発振	動作, 動作, 1(H)	動作 (昇圧中), 動作	VCP 電圧	Twake 期間 L, L, L, L	Z
5	チャージポン プ 昇圧中 Twake 期間 , 各レジスター へ設定をライ ト	運用電圧 VvbRNG , VvccRNG , VvddRNG	H	Do not care (L,L,L,L)	発振	動作, 設定値, 1(H)	動作 (昇圧中), 動作	VCP 電圧	Twake 期間 L, L, L, L	Z
6	チャージポン プ 昇圧完了 , WKUP_sts=0 を確認	運用電圧 VvbRNG , VvccRNG , VvddRNG	H	L,L,L,L	発振	動作, 動作, 1(H)	動作, 動作	VCP 電圧	L, L, L, L	Z
7	通常動作状態 異常不検出時 , 動作指示	運用電圧 VvbRNG , VvccRNG , VvddRNG	H	動作 指示	発振	動作, 動作, 1(H)	動作, 動作	VCP 電圧	動作指示通 り駆動(H/L) 7.17 参照	Z

記号の説明 : RL = Resistive low H = High L = Low Z = High-impedance

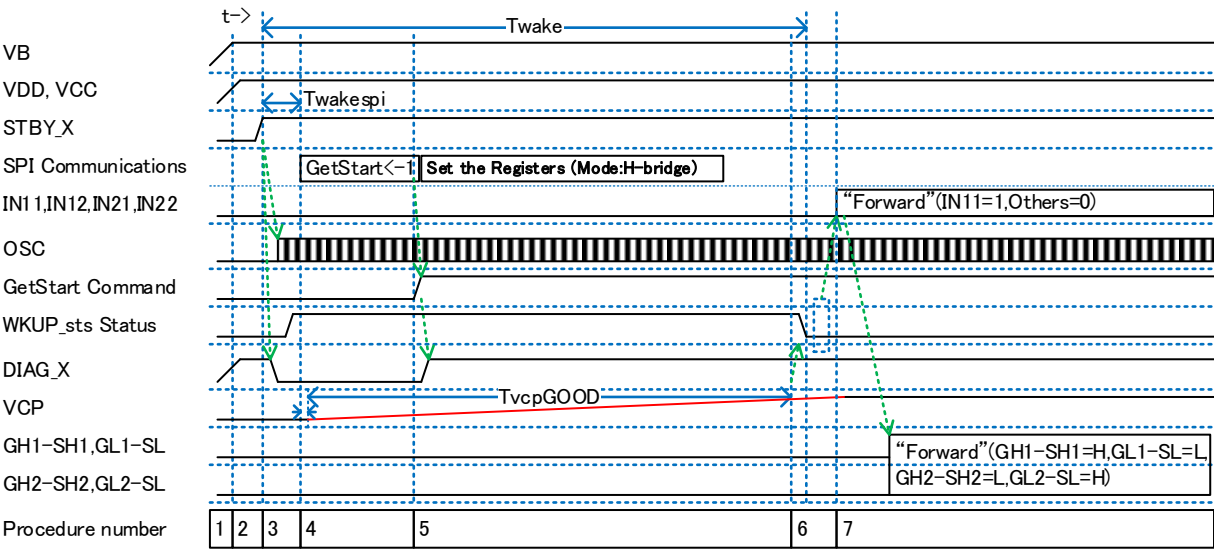


図 7.2.1 使用開始動作手順の例 (表 7.2.1)

7.3. VDD 端子、VCC 端子、VCC 低電圧検出回路

VCC 端子と VDD 端子は、同一の電源へ接続してください。VDD は、STBY_X, IN11, IN12, IN21, IN22, SPI と関係する回路の電源です。VCC は、アナログ回路の電源です。

VCC 端子の電圧 (VCC 電圧) が V_{vccUd} 以下であると、TB9104FTG は動作を停止し各部は初期状態になります。これをリセット状態と呼びます。VCC 電圧が V_{vccUr} 以上であると、TB9104FTG は STBY_X, IN11, IN12, IN21, IN22, SPI の指示に従い動作します。

VCC 電圧を比較するコンパレータは VCC 端子の電圧に重畳するノイズによるグリッチを除去するため、ヒステリシス電圧 $V_{vccUhys}$ を備えています。さらに後段にアナログ Low Pass Filter(以降 LPF)を備え、 T_{vccUpw} を超えた幅の信号だけを利用します。

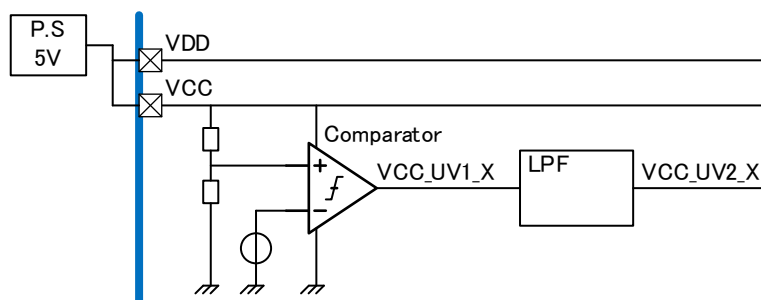


図 7.3.1 VDD,VCC 端子と VCC 低電圧検出回路

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.4. STBY_X 端子、スタンバイ回路

STBY_X 端子は TB9104FTG を低消費電力状態にすることができます。

どの動作状態であっても、STBY_X 端子の電圧(STBY_X 電圧)を V_{inPL} 以下にすることで、内部回路は電源オフまたは動作停止となります。レジスタの設定値も初期値となります。スタンバイ状態と呼びます。TB9104FTG はゲートドライブ中であってもスタンバイ状態に移行できてしまい、その場合、異常検知もゲート制御もできません。このような使い方をする場合は、十分に検証をしてください。通常、無用なトラブルを避けるため、ゲートドライブをオフにしてから、スタンバイ状態にしてください。

STBY_X 電圧を V_{inPH} 以上にすると、VCC 電圧に応じて、リセット状態から通常動作状態に遷移します。STBY_X 端子は、端子オープン時に TB9104FTG が通常動作状態にならないよう、 $50k\Omega$ の抵抗で GND へプルダウンしています。

STBY_X 端子の入力バッファは信号に重畳するノイズによるグリッチを除去するため、ヒステリシス電圧 V_{inPHYS} を備えています。さらに後段にアナログ LPF を備え、 T_{stby_xPW} を超えた幅の信号だけを利用します。

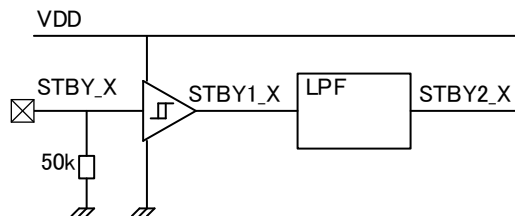


図 7.4.1 STBY_X 端子と LPF

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.5. 発振回路

TB9104FTG は発振回路を内蔵しています。発振周波数は $4MHz(Typ.)$ です。発振回路は、ロジック部品などが誤動作しないよう、発振開始から停止までグリッチが無く十分なパルス幅と振幅のクロックを供給します。発振回路は、リセット期間やスタンバイ期間は、発振を停止します。

7.6. VB 端子、VB 低電圧検出回路

VB 端子の電圧が V_{vbUd} 以下であると、TB9104FTG は異常と判断します。

VB 端子の電圧が V_{vbUr} 以上であると、TB9104FTG は正常と判断します。

VB 端子のコンパレータは VB 端子の電圧に重畳するノイズによるグリッチを除去するため、ヒステリシス電圧 V_{vbUhys} を備えています。さらに後段に LPF を備え、 T_{vbUpw} を超えた幅の信号だけを利用します。VB 低電圧を検出したときの動作は、SPI から動作設定コマンド $VB_UV_op[2:0]$ によって、選択することができます。

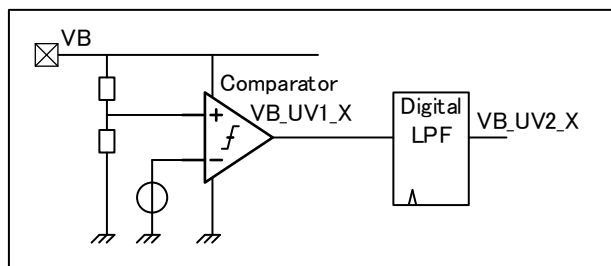


図 7.6.1 VB 端子と VB 低電圧検出回路

注：上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

表 7.6.1 VB 低電圧検出時の動作設定（概要）

動作設定コマンド VB_UV_op[2:0]	検出 推移	動作概要
		R=レジスタ、G=ゲートドライブ、C=チャージポンプ
“000”	- (検出、 復帰)	R: 影響を与えない G: 影響を与えない C: 影響を与えない
“001”	検出	R: ステータスレジスタVB_UV を 1 にする。 G: 影響を与えない C: 影響を与えない
	復帰	R: VB_UV=1 を保持。その後、クリアコマンド VB_UV_cl=1 とすることで、VB_UV=0 と なる。 G: 影響を与えない C: 影響を与えない
“010”	検出	R: VB_UV=1 G: 全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: VB_UV=1 を保持。その後 VB_UV_cl=1 で VB_UV=0。 G: 速やかにゲートドライブを再開する。 C: 影響を与えない
“011”	検出	R: VB_UV=1 G: 全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: VB_UV=1 を保持。その後 VB_UV_cl=1 で VB_UV=0。 G: ゲートドライブ停止を保持。その後 VB_UV_cl=1 で再開。 C: 影響を与えない
“100”	検出	R: VB_UV=1 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
	復帰	R: VB_UV=1 を保持。その後 VB_UV_cl=1 で VB_UV=0。 G: 速やかにゲートドライブを再開する。 C: 速やかにチャージポンプを動作させる。
“101”	検出	R: VB_UV=1 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
	復帰	R: VB_UV=1 を保持。その後 VB_UV_cl=1 で VB_UV=0。 G: ゲートドライブ停止を保持。その後 VB_UV_cl=1 で再開。 C: チャージポンプ停止を保持。その後 VB_UV_cl=1 で再開。
“110”	-	Reserved. 指定すると、SPI エラーになります。
“111”	-	Reserved. 指定すると、SPI エラーになります。

注: “Reserved”としてある設定は使用しないでください。

表 7.6.2 VB 低電圧検出時の動作設定（詳細）

動作設定 コマンド VB_UV_op [2:0] 7.18.13	検出 推移	IN11,IN12, IN21,IN22	Charge Pump	CPDO 端子	RPPO 端子	GH1-SH1, GL1-SL, GH2-SH2, GL2-SL	VB_UV レジスター
"000"	-	指示(H,L)	動作	動作	VCP	動作	0
"001"	検出	指示(H,L)	動作	動作	VCP	動作	1
	復帰	指示(H,L)	動作	動作	VCP	動作	クリア後 0
"010"	検出	Do not care	動作	動作	VCP	L, L, L, L	1
	復帰	指示(H,L)	動作	動作	VCP	動作再開	クリア後 0
"011"	検出	Do not care	動作	動作	VCP	L, L, L, L	1
	復帰	指示(H,L)	動作	動作	VCP	クリア後 再開	クリア後 0
"100"	検出	Do not care	停止	Z	VCP	RL,RL,RL,RL	1
	復帰	指示(H,L)	再開	再開	VCP	動作再開	クリア後 0
"101"	検出	Do not care	停止	Z	VCP	RL,RL,RL,RL	1
	復帰	指示(H,L)	クリア後 再開	クリア後 再開	VCP	クリア後 再開	クリア後 0

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance

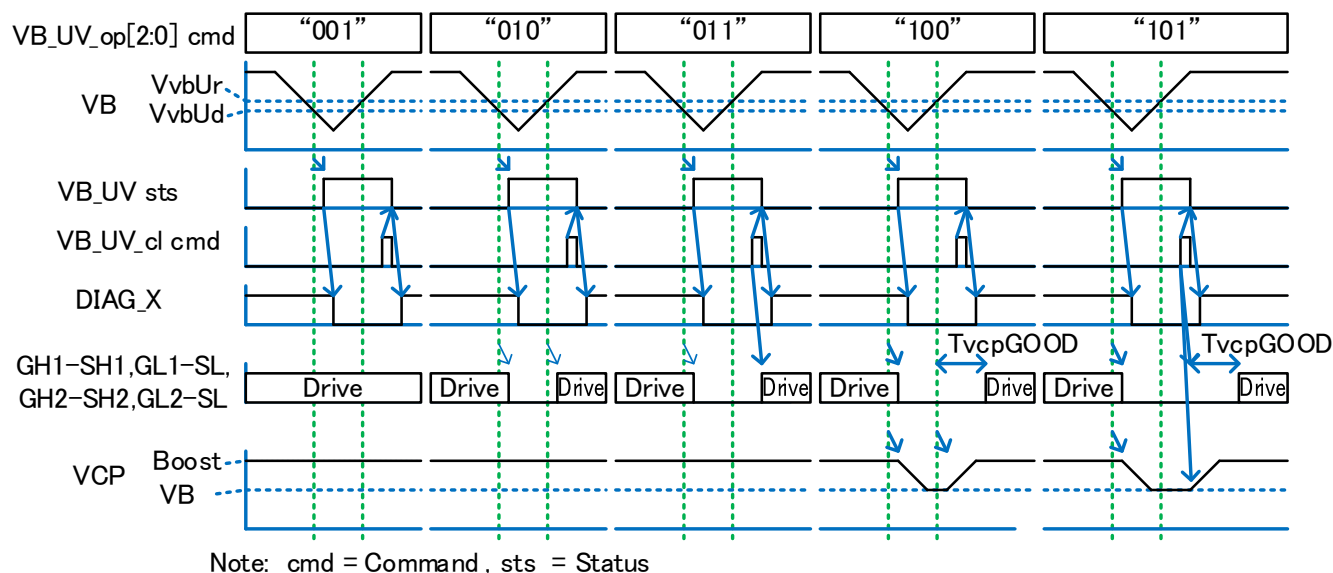


図 7.6.2 VB 低電圧検出時の動作

7.7. ゲートドライバー指示入力端子

IN11,IN12,IN21,IN22 各端子は、MCU からゲートドライバー部への指示を受け取ります。各 IN 端子は、端子オープン時に不用意に動作しないよう、 $50k\Omega$ の抵抗で GND へプルダウンしています。各 IN 端子の入力バッファは信号に重畳するノイズによるグリッチを除去するため、ヒステリシス電圧 V_{inphys} を備えています。信号はその後デジタル回路領域に入り、直ちに内蔵クロックに同期化します。さらに一定時間以上連続する信号だけを通過させる LPF を備えています。このため各 IN 端子から PWM 駆動する際は、駆動周波数に上限が生じます。

INspiSEL コマンドを 1 にすると、IN11,IN12,IN21,IN22 端子の代わりに、INspi11, INspi12, INspi21, INspi22 コマンドから指示を出すことができます。

なおゲートドライバーへオンの指示を出す前に、コマンドレジスターへ設定を済ませてください。オンしている間でも設定することができますが、その場合思わぬ動作となる可能性があります。

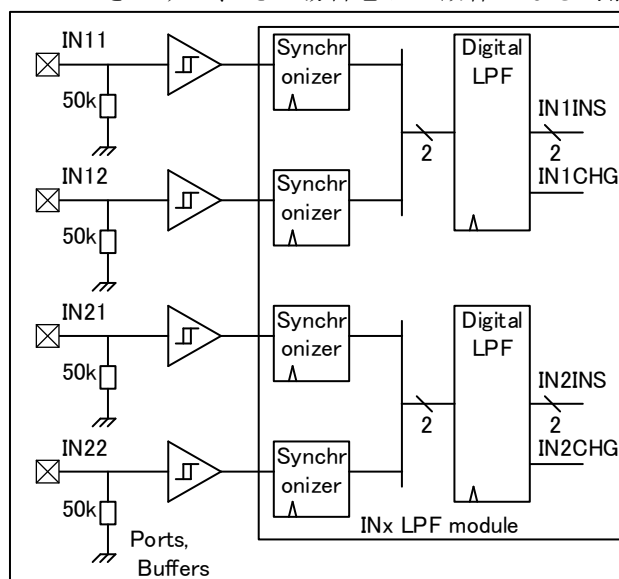


図 7.7.1 IN11,IN12,IN21,IN22 端子とデジタル LPF

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.8. DIAG_X 端子

DIAG_X 端子は、TB9104FTG 内部の動作状態を診断した結果を表しています。異常を検出すると、Low を出力します。不検出時は、ハイインピーダンスとなります。DIAG_X 端子は、外付け抵抗を介して接続先の電源に接続する必要があります。DIAG_X 端子は、出力レベルに関わらず VDD レベルへの天絡または地絡した際に破壊しない能力を持っています。

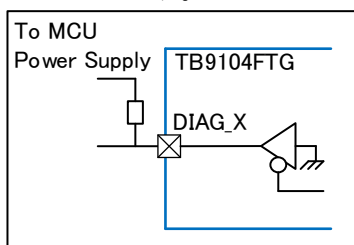


図 7.8.1 DIAG_X 端子

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.9. SPI 端子、SPI 回路

SPI の各入力端子は、端子オープン時に不用意に動作しないよう、 $50\text{k}\Omega$ の抵抗でプルアップまたはプルダウンしてあります。CS_X 端子は、VDD へプルアップしてあります。SDI 端子、SCLK 端子は、GND へプルダウンしてあります。SDO 端子は、3 ステートバッファでドライブします。CS_X 端子が High の場合、SDO 端子はハイインピーダンスとなります。通信するには、CS_X 端子を Low にしなければなりません。SDO 端子は、出力レベルに関わらず VDD レベルへの天絡または地絡した際に破壊しない能力を持っています。

TB9104FTG の SPI(Serial Peripheral Interface)モードは、SPI モード 1 (CPOL=Low, CPHA=High) です。SPI モード 1 では、SDI 端子のレベルを SCLK の立ち下がりで取り込みます。SDO 端子からは SCLK の立ち上がりでビットをシフトして出力します。

SPI モジュールは、リセット状態やスタンバイ状態では動作しません。またレジスターに設定した値も初期値になります。CS_X 信号の立ち下がり後、SCLK 信号の立ち上がりまでに待機時間 T_{cs_xclk} が必要です。さらにその後、SDO 信号がハイインピーダンスから有効なデータになるまで T_{sdoDLY} が必要です。

SCLK 信号の立ち上がりで MCU は SDI 信号にデータを出力してください。次の SCLK 信号の立ち下がりでは TB9104FTG は SDI 信号からデータを取得します。なお、SDI 信号上のデータは SCLK 立ち下がりに対し、セットアップタイム T_{sdiSET} 、ホールドタイム T_{sdiHLD} が必要です。SCLK 信号の立ち上がりで TB9104FTG は SDO 信号にデータを出力します。次の SCLK 信号の立ち下がりでは MCU は SDO 信号からデータを取得してください。

クロック SCLK の最後の立ち下がりから CS_X 信号の立ちあがりまで、待機時間 T_{sclkcs_x} が必要です。さらにその後、SDO 信号がハイインピーダンスになるまで T_{sdocs_xDLY} が必要です。CS_X 信号が立ち上がってから、次に立ち下がるまで、待機時間 T_{cs_xH} が必要です。

これらタイミングについては、図 10.4.1 を参照ください。SDI 信号上でデータは、MSB から LSB の順に送られることを想定しています。SDO 信号上でデータは、MSB から LSB の順に送ります。

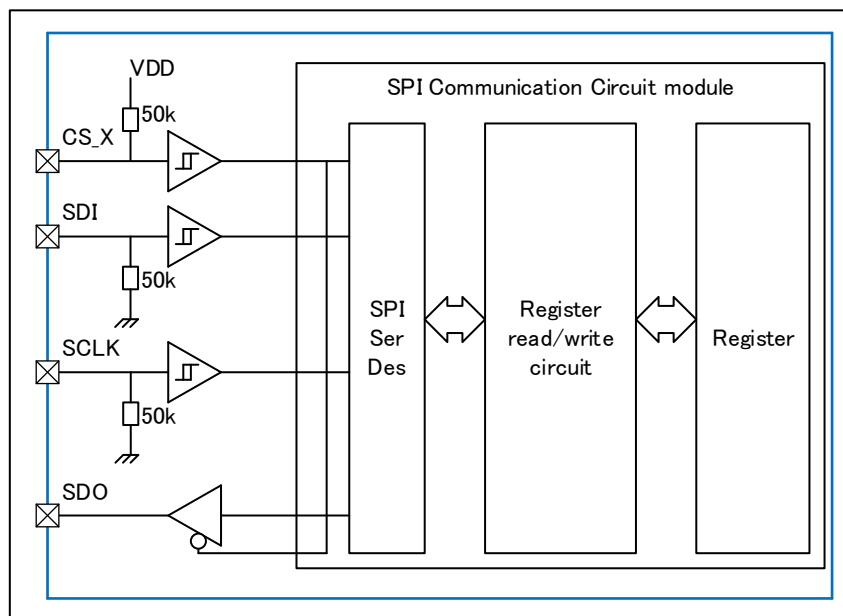


図 7.9.1 SPI 各端子と SPI 回路

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.9.1. SPI 通信動作

フレーム長は 16 ビットです。フレームは、SDI 信号上アドレス指定ビット'A[3:0]'、リード、ライト指定ビット'RD+/WR-'、データ指定ビット'D[9:0]'、データチェック用偶数パリティビット'EvenP'により構成されます。機能としてはリード動作、ライト動作の 2 種類があり、リード、ライト指定ビット'RD+/WR-'により選択します。フレームの構成を図 7.9.1.1 に示します。

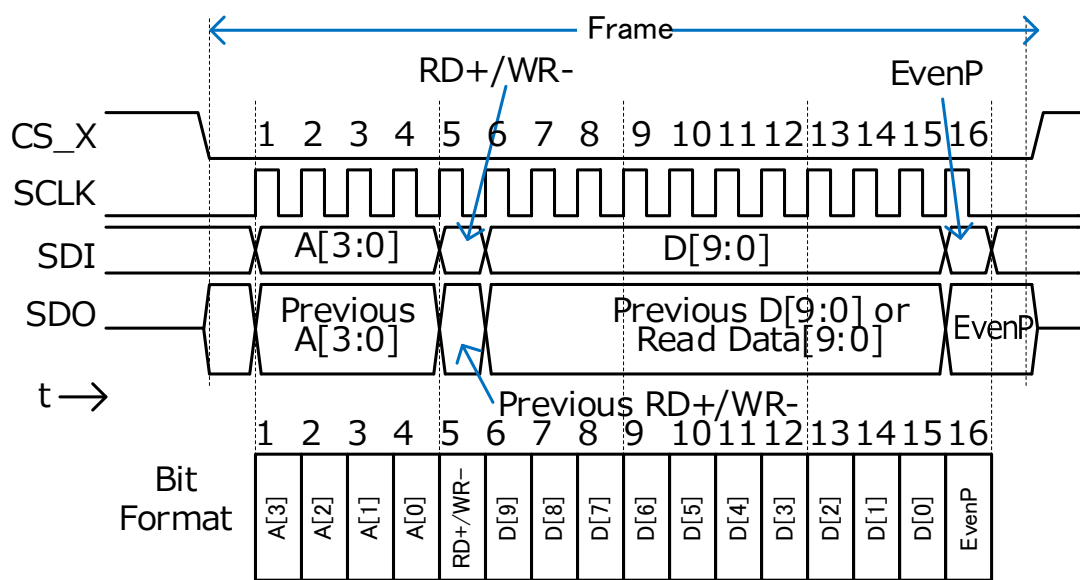


図 7.9.1.1 フレームフォーマット

ライトを実行するときは、表 7.18.1 を参照し、ライトしたいレジスタのアドレスを求め、ライトするデータを用意します。次に図 7.9.1.1 のように TB9104FTG の各端子へアクセスします。SDI 端子へは、アドレスを MSB から LSB へ、"RD+/WR-"ビットの 0、ライトデータを MSB から LSB へと順に入力し、最後にアドレスから、"RD+/WR-"ビットの 0、ライトデータまでの全てのビットを対象とした、偶数パリティを入力します。

リードを実行するときは、表 7.18.1 を参照し、リードしたいレジスタのアドレスを求めます。次に図 7.9.1.1 のように TB9104FTG の各端子へアクセスします。SDI 端子へは、アドレスを MSB から LSB へ、"RD+/WR-"ビットの 1、ライトデータとして"0"を入力し、最後にここまでのビットを対象として生成した偶数パリティを入力します。リードデータは次のフレームで SDO 端子から出力します。ビットの順序はライト時と同じです。リードデータを取り出すための次のフレームとしてダミーフレーム (NOP レジスタへのライトやリード) も使用できます。

図 7.9.1.2 に SPI 通信の例を示します。

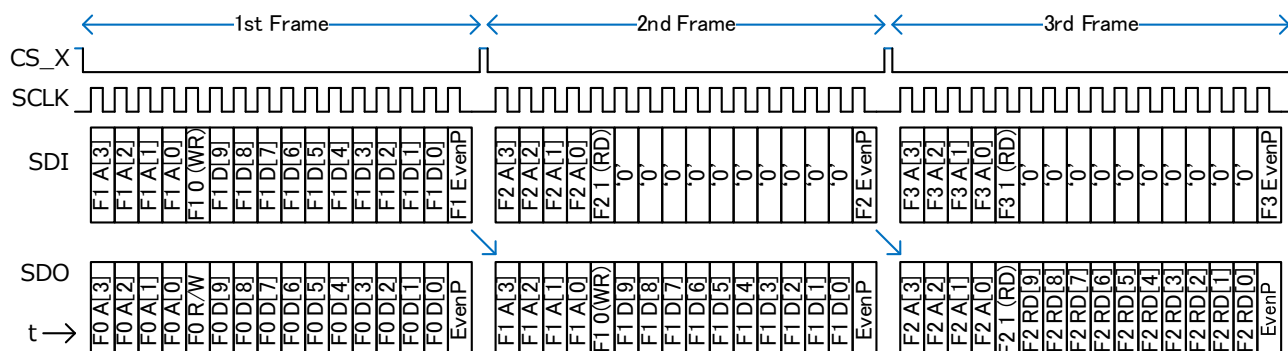


図 7.9.1.2 SPI 通信 送受信の例

7.9.2. SPIに関する異常

SPIError になるのは、次の動作をしたときです。

- ・シリアル通信のフレーム長が 16 SCLK ではない場合
- ・ビット幅を持つコマンドで、ライトすることを禁じている組み合わせをライトした場合
- ・パリティエラー

フレーム長のエラーは、SCLK の数が 0~16 クロック未満の場合、CS_X 立ち上がりの時点でエラーとなります。また、17 クロック以上の場合 SDO 端子からは 0(Low)が出力され、その後 CS_X 立ち上がりの時点でエラーとなります。

パリティエラーは、16 ビットのデータで、1 であるビットが奇数だった場合、エラーとなります。なお、パリティエラーは、ビット誤りが 2 ビット以上あると異常を正確に検出できません。

上記の動作が行われると TB9104FTG は、SPIError レジスターを 1 にセットします。SPIError が 1 になると、DIAG_X 端子は Low になります。異常を検出した後に正常な通信ができなくなる可能性はありますが、復帰するまで継続してアクセスすべきです。異常を検出した後、最初の正常な通信では TB9104FTG は SDO 端子から 1 つ前のアドレス 4 ビットと RD+/WR- ビットに続き、10 ビットの 0 と故意に誤ったパリティビットを返します。その後の通信でパリティビットが正常に復帰することを期待します。

正常な通信が可能となった後 SPIError_cl レジスターに 1 をライトすることで、SPIError レジスターを 0 にすることができます。正常な通信が可能となった後、TB9104FTG 内の各種設定が異常前の状態と同じであるかどうか、確認をしてください。

7.10. チャージポンプ回路

TB9104FTG はハイサイド外部 n 型 MOSFET のゲートを駆動するため、チャージポンプ回路を内蔵しています。2 倍昇圧です。チャージポンプ回路は、リセット状態やスタンバイ状態の間は動作を停止します。通常動作状態に移行した直後の T_{wake} 期間とチャージポンプ起動後の $T_{vcpGOOD}$ 期間は、昇圧が不十分ですので、ゲートドライブはオフにして、VCP,VB 間低電圧検出異常、VCP,RPPO 間高電圧検出異常は判定しません。

チャージポンプ回路は、動作中に VCP 電圧がクランプ電圧 V_{CPCL1d} を上回った場合は直ちに昇圧を停止し、下回れば再開することで VCP 電圧を一定に保ちます。CPDO 端子は、駆動周波数に応じて、GND 電圧と VB 電圧の間で振動します。駆動周波数は、ラジオの中波帯域より下である、200kHz(Typ.) です。CPDO 端子は、停止時は GND 電圧です。

CPIN 端子は、昇圧電圧の入力端子です。

VCP 端子は、昇圧電圧を安定化させるための平滑コンデンサーを接続する端子です。

VCP 電圧は、チャージポンプ動作を停止し続けると、徐々に VB 電圧に移行します。

VCP 端子には外部から電圧を印加しないください。

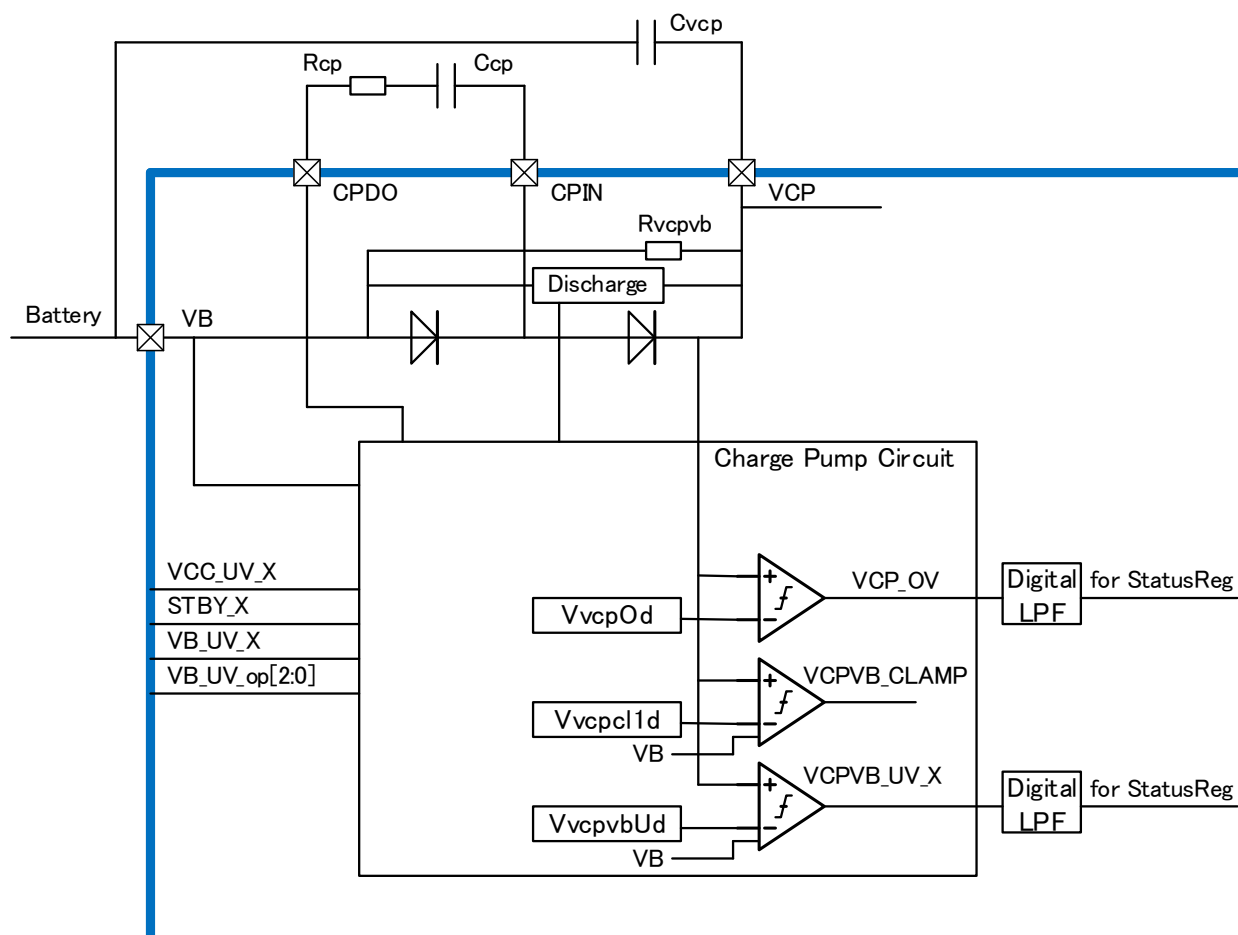


図 7.10.1 チャージポンプ回路

注：上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.10.1. VCP 高電圧検出回路と異常処理

VCP 高電圧検出回路は、VCP 端子の電圧を監視し、過電圧を検出します。VCP 端子の電圧が V_{vcpOd} 以上であると、TB9104FTG は異常と判断します。VCP 端子の電圧が V_{vcpOr} 以下であると、TB9104FTG は正常と判断します。

VCP 端子のコンパレータは VCP 端子の電圧に重畳するノイズによるグリッチを除去するため、ヒステリシス電圧 $V_{vcpOhys}$ を備えています。

チャージポンプコントローラ回路は、VCP 端子の耐圧超過を防ぐため、VCP 高電圧検出回路から過電圧の通知を受けた際は、直ちにチャージポンプ回路の昇圧動作を停止させ、デイスチャージ回路を動作させます。さらに、コンパレータの後段に LPF を備え、 T_{vcpOpw} を超えた幅の信号だけを通過させます。この信号が異常を知らせると、ステータスレジスタ VCP_OV を 1 とし、チャージポンプ回路の昇圧停止と、ゲートドライブの停止を行います。

復帰は、VCP 端子の電圧が正常と判断されているときにクリアコマンド VCP_OV_cl を 1 にすることで、 VCP_OV ステータスは 0 になり、同時にチャージポンプ回路は昇圧を開始し、 $tvcpGOOD$ を経た後、ゲートドライブの動作も再開します。

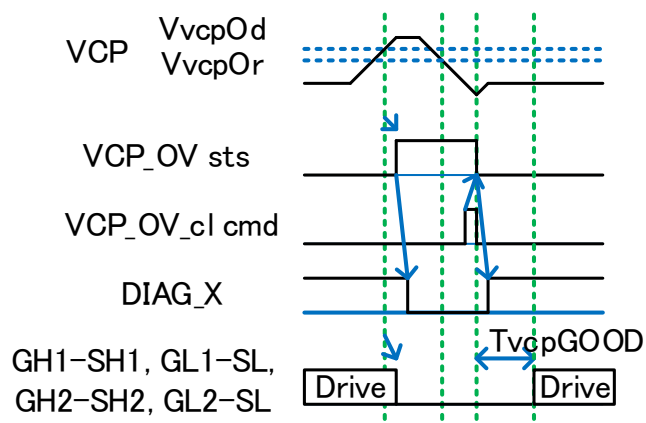
表 7.10.1.1 VCP 高電圧検出時の動作設定（概要）

検出推移	動作概要 R=レジスタ、G=ゲートドライブ、C=チャージポンプ
検出	R: $VCP_OV=1$ G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
復帰	R: $VCP_OV=1$ を保持。その後 $VCP_OV_cl=1$ で $VCP_OV=0$ 。 G: ゲートドライブ停止を保持。その後 $VCP_OV_cl=1$ で再開。 C: チャージポンプ停止を保持。その後 $VCP_OV_cl=1$ で再開。

表 7.10.1.2 VCP 高電圧検出時の動作設定（詳細）

検出推移	IN11,IN12, IN21,IN22	Charge Pump	CPDO 端子	RPPO 端子	GH1-SH1, GL1-SL, GH2-SH2, GL2-SL	VCP_OV レジスタ
検出	Do not care	停止	Z	VCP	RL, RL, RL, RL HS1,LS1, HS2,LS2 は オフ	1
復帰	指示(H,L)	クリア後 再開	クリア後 再開	VCP	クリア後 再開	クリア後 0

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance



Note cmd = Command, sts = Status

図 7.10.1.1 VCP 高電圧検出時の動作

7.10.2. VCP-VB 低電圧検出回路と異常処理

VCP-VB 低電圧検出回路は、VCP 端子の電圧を監視し、昇圧不足を検出します。昇圧不足のときは、ゲートドライブを停止することができます。

通常動作状態に移行した直後の *Twake* 期間とチャージポンプ起動後の *TvcpGOOD* 期間は、昇圧が不十分ですので、VCP、VB 間低電圧検出異常とは判定しません。VCP、VB 端子間の電圧が *VvcpvbUd* 以下であると、TB9104FTG は異常と判断します。VCP、VB 端子間の電圧が *VvcpvbUr* 以上であると、TB9104FTG は正常と判断します。

VCP、VB 端子間の電圧を比較するコンパレータは VCP、VB 端子間の電圧に重畳するノイズによるグリッチを除去するため、ヒステリシス電圧 *VvcpvbUhys* を備えています。さらに後段に LPF を備え、*TvcpvbUpw* を超えた幅の信号だけを利用します。VCP-VB 低電圧検出したときの動作は、SPI から動作設定コマンド *VCPVB_UV_op[2:0]* によって、選択することができます。

表 7.10.2.1 VCP-VB 低電圧検出時の動作設定（概要）

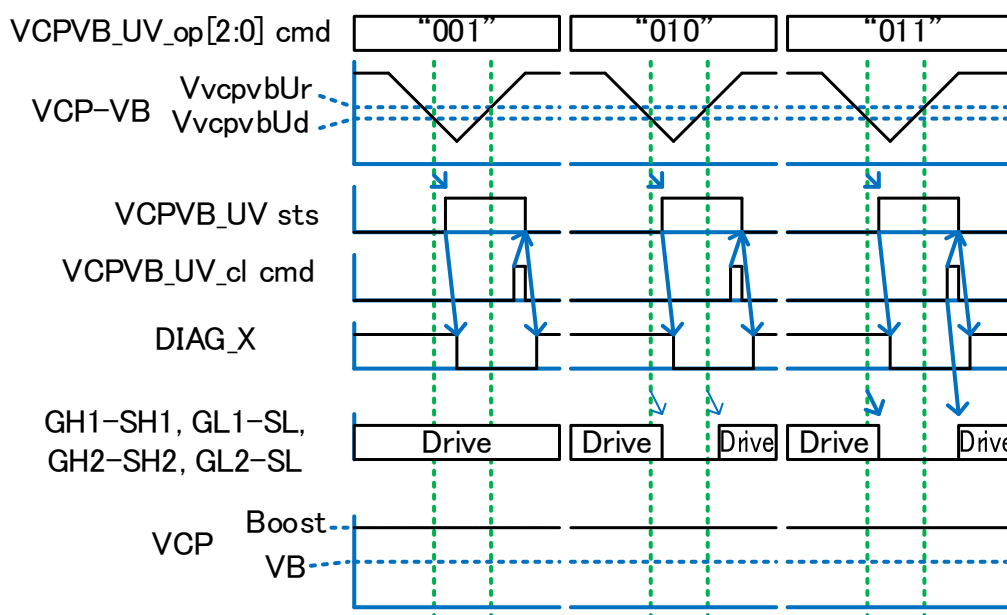
動作設定コマンド VCPVB_UV_op[2:0]	検出 推移	動作概要 R=レジスター、G=ゲートドライブ、C=チャージポンプ
"000"	- (検出、 復帰)	R: 影響を与えない G: 影響を与えない C: 影響を与えない
"001"	検出	R: ステータスレジスターVCPVB_UV を 1 にする。 G: 影響を与えない C: 影響を与えない
	復帰	R: VCPVB_UV=1 を保持。 その後、クリアコマンド VCPVB_UV_cl=1 とすることで、VCPVB_UV=0 となる。 G: 影響を与えない C: 影響を与えない
"010"	検出	R: VCPVB_UV=1 G: 全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: VCPVB_UV=1 を保持。その後 VCPVB_UV_cl=1 で VCPVB_UV=0。 G: 速やかにゲートドライブを再開する。 C: 影響を与えない
"011"	検出	R: VCPVB_UV=1 G: 全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: VCPVB_UV=1 を保持。その後 VCPVB_UV_cl=1 で VCPVB_UV=0。 G: ゲートドライブ停止を保持。その後 VCPVB_UV_cl=1 で再開。 C: 影響を与えない
"100"	-	Reserved. 指定すると、SPI エラーになります。
"101"	-	Reserved. 指定すると、SPI エラーになります。
"110"	-	Reserved. 指定すると、SPI エラーになります。
"111"	-	Reserved. 指定すると、SPI エラーになります。

注: "Reserved"としてある設定は使用しないでください。

表 7.10.2.2 VCP-VB 低電圧検出時の動作設定（詳細）

動作設定 コマンド VCPVB_UV_op [2:0] 7.18.14	検出 推移	IN11,IN12, IN21,IN22	Charge Pump	CPDO 端子	RPPO 端子	GH1-SH1, GL1-SL, GH2-SH2, GL2-SL	VCPVB_UV レジスター
"000"	-	指示(H,L)	動作	動作	VCP	動作	0
"001"	検出	指示(H,L)	動作	動作	VCP	動作	1
	復帰	指示(H,L)	動作	動作	VCP	動作	クリア後 0
"010"	検出	Do not care	動作	動作	VCP	L, L, L, L	1
	復帰	指示(H,L)	動作	動作	VCP	動作再開	クリア後 0
"011"	検出	Do not care	動作	動作	VCP	L, L, L, L	1
	復帰	指示(H,L)	動作	動作	VCP	クリア後 再開	クリア後 0

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance



Note cmd = Command, sts = Status

図 7.10.2.1 VCP-VB 低電圧検出時の動作

7.11. 逆接保護回路駆動用ゲートドライバー回路

逆接保護回路駆動用ゲートドライバーは、バッテリーと、外部 n 型 MOSFET で構成されるブリッジ回路の間に設けられる、逆接保護のための外部 n 型 MOSFET（以下逆接保護 FET と略します）を駆動する回路です。バッテリーが逆極性で接続されたとき、逆接保護回路駆動用ゲートドライバーは逆接保護 FET をオフにします。バッテリーが正しい極性で接続されているときは、チャージポンプ回路が動作している間は常に逆接保護 FET をオンにします。また、逆接保護 FET がオフであってもボディダイオードを通してブリッジ回路へ電流が供給されます。逆接保護回路駆動用ゲートドライバーは、バッテリー逆接続時にあらゆる経路で RPPO 端子へ逆流しないよう設計されています。逆接保護回路駆動用ゲートドライバーは、リセット状態やスタンバイ状態で、RPPO 端子からの電流を遮断します。

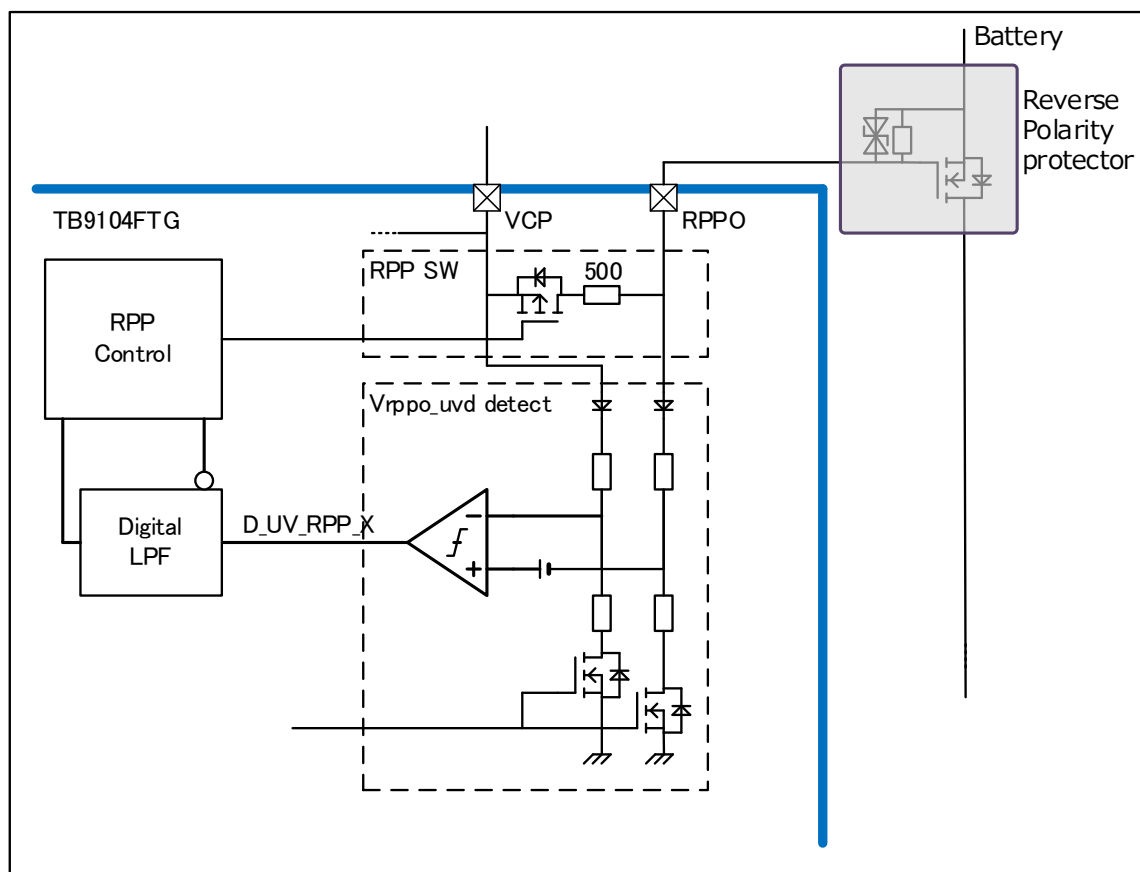


図 7.11.1 逆接保護回路駆動用ゲートドライバー回路

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.11.1. VCP-RPPO 高電圧検出回路と異常処理

VCP-RPPO 高電圧検出回路は、RPPO 端子の過電流を検出するため、VCP 端子と RPPO 端子の間の電圧を監視します。通常動作状態に移行した直後の **Twake** 期間とチャージポンプ起動後の **TvcpGOOD** 期間は、昇圧が不十分ですので、VCP,RPPO 間高電圧検出異常とは判定しません。

VCP 端子、RPPO 端子間の電圧が **VvcprppoOd** 以上であると、TB9104FTG は異常と判断します。

VCP 端子、RPPO 端子間の電圧が **VvcprppoOr** 以下であると、TB9104FTG は正常と判断します。

コンパレータは端子間電圧に重畳するノイズによるグリッチを除去するため、ヒステリシス電圧 **VvcprppoOhys** を備えています。さらに後段に LPF を備え、**TvcprppoOpw** を超えた幅の信号だけを利用します。

VCP-RPPO 高電圧検出したときの動作は、SPI から動作設定コマンド **VCPRPPO_ODV_op[2:0]** によって、選択することができます。

表 7.11.1.1 VCP-RPPO 高電圧検出時の動作設定（概要）

動作設定コマンド VCPRPPO_ODV_op[2:0]	検出 推移	動作概要 R=レジスタ、G=ゲートドライブ、C=チャージポンプ、P=RPPO スイッチ
"000"	- (検出、 復帰)	R: 影響を与えない G: 影響を与えない C: 影響を与えない P: RPPO 端子への VCP 電圧の供給を行う。
"001"	検出	R: ステータスレジスタ VCPRPPO_ODV を 1 にする。 G: 影響を与えない C: 影響を与えない P: RPPO 端子への VCP 電圧の供給を行う。
	復帰	R: VCPRPPO_ODV=1 を保持。その後、クリアコマンド VCPRPPO_ODV_cl=1 とすることで、 VCPRPPO_ODV=0 となる。 G: 影響を与えない C: 影響を与えない P: RPPO 端子への VCP 電圧の供給を行う。
"010"	-	Reserved. 指定すると、SPI エラーになります。
"011"	-	Reserved. 指定すると、SPI エラーになります。
"100"	-	Reserved 注 4
"101"	検出	R: VCPRPPO_ODV=1 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。 P: RPPO 端子への VCP 電圧の供給を停止する。
	復帰 注 1	R: VCPRPPO_ODV=1 を保持。 その後 VCPRPPO_ODV_cl=1 で VCPRPPO_ODV=0 。 G: ゲートドライブ停止を保持。その後 VCPRPPO_ODV_cl=1 で再開。 C: チャージポンプ停止を保持。その後 VCPRPPO_ODV_cl=1 で再開。 P: RPPO 端子への VCP 電圧供給停止を保持。その後 VCPRPPO_ODV_cl=1 で再開。
"110"	-	Reserved. 指定すると、SPI エラーになります。
"111"	検出	R: VCPRPPO_ODV=1 G: ゲートドライブ動作には影響を与えない。 C: チャージポンプ動作には影響を与えない。 P: RPPO 端子への VCP 電圧の供給を停止する。
	復帰 注 2	R: VCPRPPO_ODV=1 を保持。 G: ゲートドライブ動作には影響を与えない。 C: チャージポンプ動作には影響を与えない。 P: RPPO 端子への VCP 電圧供給停止を保持。

注 1: 異常を検出しチャージポンプが停止すると、VCP 端子は VB 電圧となります。RPPO 端子への VCP 電圧の供給を停止すると、RPPO 端子の電圧は外部回路に依存しており、復帰できない可能

性があります。強制的に動作を再開させるには、REGreset コマンドを発行するか、STBY_X 端子を Low にして、初期化する必要があります。

注 2: 異常を検出してもチャージポンプは動作しており、VCP 電圧は VB を上回ったままで復帰できない可能性があります。強制的に動作を開始させるには、REGreset コマンドを発行するか、STBY_X 端子を Low にして、全動作を初期化する必要があります。

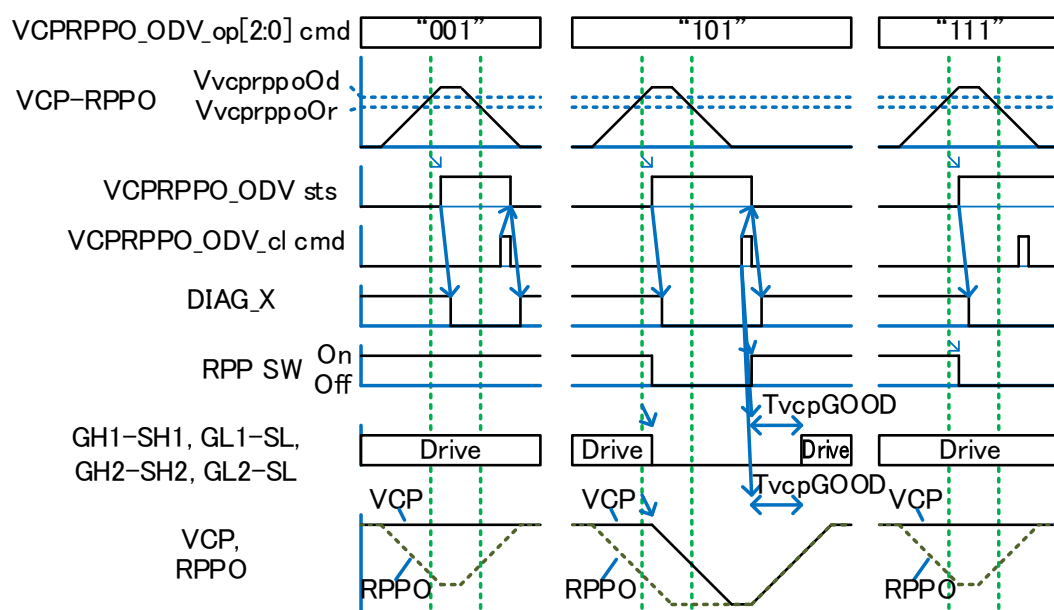
注 3: “Reserved”としてある設定は使用しないでください。

注 4: VCPRPPO_ODV_op に“110”を設定すると、異常検出時にゲートドライブ、チャージポンプを停止しますが、VCP 端子と RPPO 端子の電位差が無くなり、正常に戻ったと判断して動作を再開してしまう現象が見られます。そのため、これらの設定を薦めません。

表 7.11.1.2 VCP-RPPO 高電圧検出時の動作設定（詳細）

動作設定コマンド VCPRPPO_ODV_op [2:0] 7.18.15	検出 推移	IN11,IN12, IN21,IN22	Charge Pump	CPDO 端子	RPPO 端子	GH1-SH1, GL1-SL, GH2-SH2, GL2-SL	VCPRPPO_ODV レジスター
"000"	—	指示(H,L)	動作	動作	VCP	動作	0
"001"	検出	指示(H,L)	動作	動作	VCP	動作	1
	復帰	指示(H,L)	動作	動作	VCP	動作	クリア後 0
"101"	検出	Do not care	停止	Z	停止	RL, RL, RL, RL	1
	復帰	指示(H,L)	クリア後 再開	クリア 後再開	クリア 後再開	クリア後 再開	クリア後 0
"111"	検出	指示(H,L)	動作	動作	停止	動作	1
	復帰	指示(H,L)	動作	動作	停止	動作	1

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance



Note cmd = Command, sts = Status

図 7.11.1.1 VCP-RPPO 高電圧検出時の動作

7.12. ゲートドライバー回路

ゲートドライバー回路は、ハイサイドは VCP を電源とします。ゲートドライバー回路は、外部 n 型 MOSFET をオン、オフ、ハイインピーダンスの 3 状態にします。

オンにするとき、ゲート・ソース間耐電圧を超えないようにするため、ソース端子の電圧を基にゲート・ソース間電圧の上限を制限します。オフにするとき、内蔵する MOSFET でゲート・ソース間をシャントします。ハイインピーダンスの時、外部 n 型 MOSFET のゲートを保護するため、ゲート・ソース間は、50k Ω の抵抗を通してシャントしています。

通常動作状態に移行した直後の Twake 期間とチャージポンプ起動後の TvcpGOOD 期間は、昇圧が十分ですので、ゲートドライブは停止とします。

GH1, GL1, GH2, GL2 端子は天絡地絡しても破壊しません。

ハイサイドおよびローサイドの駆動は、Turn on, Turn off 時間と t_ilm コマンドで設定した時間経過後、lgs_lmth, lgs_lmtl に電流を制限します。

詳細は図 7.17.1.4.1 を参照してください。

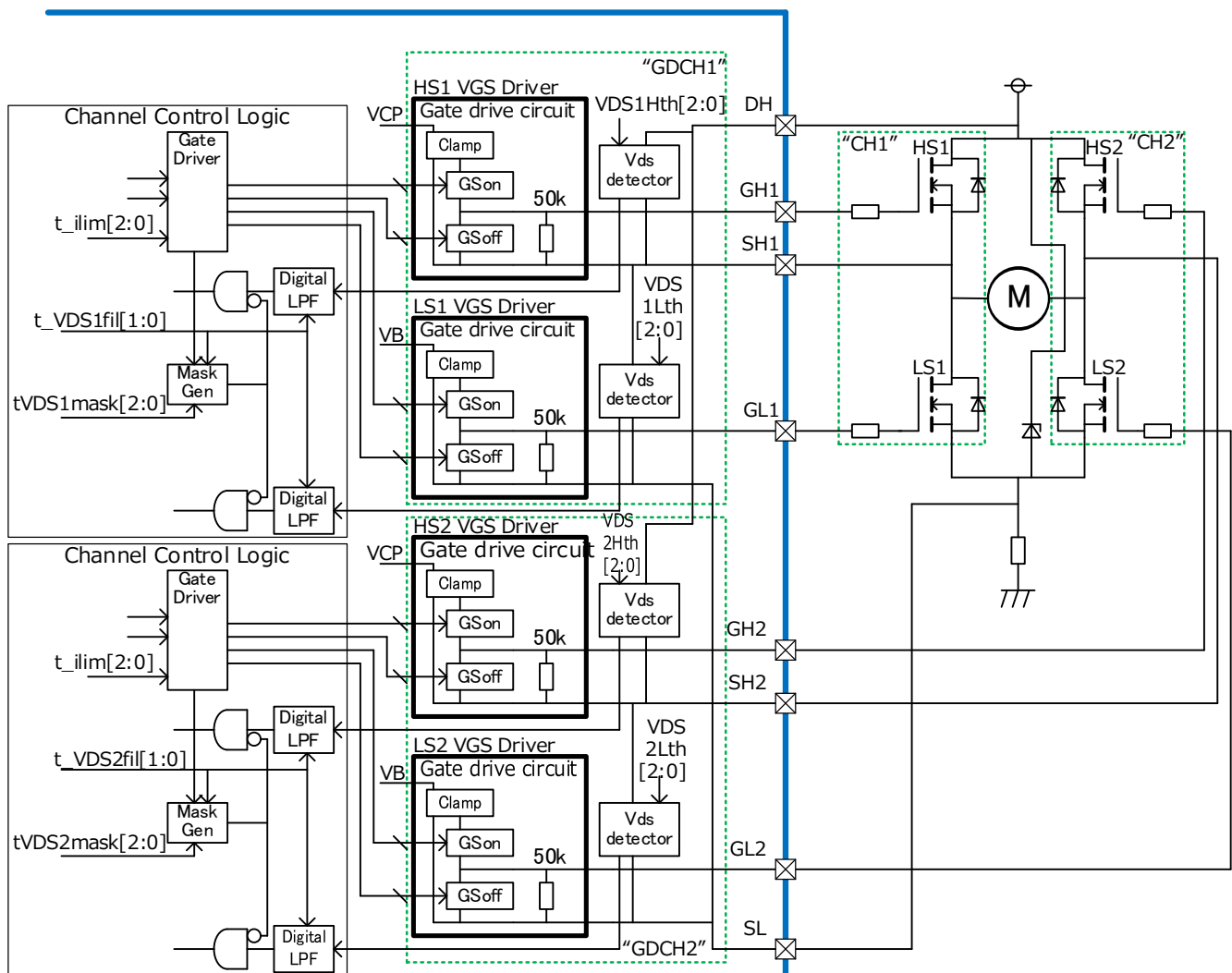


図 7.12.1 ゲートドライバー回路

注：上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.13. Vdson 高電圧検出回路と異常処理

TB9104FTG は、外部 n 型 MOSFET のゲートが駆動されている期間にドレイン、ソース間電圧 V_{ds} が $VDS1Hth[2:0]$, $VDS1Lth[2:0]$, $VDS2Hth[2:0]$, $VDS2Lth[2:0]$ で設定した電圧 $V_{dhshOd0} \sim V_{dhshOd7}$, $V_{shslOd0} \sim V_{shslOd7}$ より低い正常な状態であるかを監視します。

$V_{dhshOd0} \sim V_{dhshOd7}$, $V_{shslOd0} \sim V_{shslOd7}$ より高かった場合、過電流が流れている異常な状態と判断します。TB9104FTG は検出回路の後段に LPF を備え、 $t_VDS1fil[1:0]$, $t_VDS2fil[1:0]$ で設定された幅を超えた信号だけを利用します。なお、 $IN11, IN12, IN21, IN22$ 端子によって駆動の指示が変更された場合、変更から SPI で設定した時間 $T_{vds1MASK}[2:0]$, $T_{vds2MASK}[2:0]$ の間は、監視を中断します。

ハーフブリッジモードの場合、VDSOIN 高電圧と判断されたチャネルは、自チャネルに接続されている外部 n 型 MOSFET の駆動をシャットダウンします。

H ブリッジモードの場合は、どのチャネルで VDSOIN 高電圧と判断しても、ブリッジを構成する 4 外部 FET をシャットダウンします。

ここに出てきた V_{ds} 高電圧検出電圧、デジタル LPF カットオフパルス幅 T_{vdsOpw} 、指示変更時のマスク時間 $T_{vdsMASK}$ は、使用する外部回路で十分に検証の上、設定願います。

表 7.13.1 HS1 Vdson 高電圧検出時の動作設定（概要）

動作設定コマンド VDS1H_OV_op[2:0]	検出推移	動作概要 R=レジスター、G=ゲートドライブ、C=チャージポンプ
"000"	検出、 復帰	R: 影響を与えない G: 影響を与えない C: 影響を与えない
"001"	検出	R: ステータスレジスターVDSHS1_OV を 1 にする。 G: 影響を与えない C: 影響を与えない
	復帰	R: VDSHS1_OV を保持。 その後、クリアコマンド VDS1_OV_cl=1 とすることで、VDSHS1_OV =0, VDSLS1_OV =0 となる。 G: 影響を与えない C: 影響を与えない
"010"	-	Reserved 注 2
"011"	検出	R: ステータスレジスターVDSHS1_OV を 1 にする。 G: ・ハーフブリッジモード時、GDCH1 のゲートドライブをオフにする。 ・H ブリッジモード時、全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: VDSHS1_OV を保持。 その後、クリアコマンド VDS1_OV_cl=1 とすることで、VDSHS1_OV =0, VDSLS1_OV =0 となる。 G: ゲートドライブ停止を保持。その後 VDS1_OV_cl=1 で再開。 C: 影響を与えない
"100"	-	Reserved 注 2
"101"	検出	R: ステータスレジスターVDSHS1_OV を 1 にする。 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
	復帰	R: VDSHS1_OV を保持。 その後、クリアコマンド VDS1_OV_cl=1 とすることで、VDSHS1_OV =0, VDSLS1_OV =0 となる。 G: ゲートドライブ停止を保持。その後 VDS1_OV_cl=1 で再開。 C: チャージポンプ停止を保持。その後 VDS1_OV_cl=1 で再開。
"110"	-	Reserved 指定すると、SPI エラーになります。
"111"	-	Reserved 指定すると、SPI エラーになります。

注 1: "Reserved"としてある設定は使用しないでください。

注 2: VDS1H_OV_op に"010", "100"を設定すると、異常検出時にゲートドライブを停止しますが、ドレイン、ソース間の電圧が正常に復帰したと判断して動作を再開してしまう現象が見られます。この現象が発生する環境では、停止と再開を繰り返してしまいます。そのため、これらの設定を薦めません。

表 7.13.2 HS1 Vdson 高電圧検出時の動作設定（詳細）

動作設定 コマンド VDS1H_OV _op[2:0] 7.18.17	検出 推移	IN11,IN12	Charge Pump	CPDO 端子	RPPO 端子	GH1 - SH1, GL1 - SL	VDSHS1_OV レジスター
"000"	検出、 復帰	指示(H,L)	動作	動作	VCP	動作、動作	0
"001"	検出	指示(H,L)	動作	動作	VCP	動作、動作	1
	復帰	指示(H,L)	動作	動作	VCP	動作、動作	クリア後 0
"011"	検出	Do not care	動作	動作	VCP	L, L H ブリッジモード時は GH2, GL2 も L, L	1
	復帰	指示(H,L)	動作	動作	VCP	クリア後 動作再開	クリア後 0
"101"	検出	Do not care	停止	Z	VCP	全ゲートドライブを RL とする	1
	復帰	指示(H,L)	クリア後 再開	クリア 後 再開	VCP	クリア後 動作再開	クリア後 0

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance

表 7.13.3 LS1 Vdson 高電圧検出時の動作設定（概要）

動作設定コマンド VDS1L_OV_op[2:0]	検出推移	動作概要 R=レジスター、G=ゲートドライブ、C=チャージポンプ
"000"	検出、 復帰	R: 影響を与えない G: 影響を与えない C: 影響を与えない
"001"	検出	R: ステータスレジスターVDSLS1_OV を 1 にする。 G: 影響を与えない C: 影響を与えない
	復帰	R: VDSLS1_OV を保持。 その後、クリアコマンド VDS1_OV_cl=1 とすることで、VDSHS1_OV =0, VDSLS1_OV =0 となる。 G: 影響を与えない C: 影響を与えない
"010"	-	Reserved 注 2
"011"	検出	R: ステータスレジスターVDSLS1_OV を 1 にする。 G: ・ハーフブリッジモード時、GDCH1 のゲートドライブをオフにする。 ・H ブリッジモード時、全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: VDSLS1_OV を保持。 その後、クリアコマンド VDS1_OV_cl=1 とすることで、VDSHS1_OV =0, VDSLS1_OV =0 となる。 G: ゲートドライブ停止を保持。その後 VDS1_OV_cl=1 で再開。 C: 影響を与えない
"100"	-	Reserved 注 2
"101"	検出	R: ステータスレジスターVDSLS1_OV を 1 にする。 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
	復帰	R: VDSLS1_OV を保持。 その後、クリアコマンド VDS1_OV_cl=1 とすることで、VDSHS1_OV =0, VDSLS1_OV =0 となる。 G: ゲートドライブ停止を保持。その後 VDS1_OV_cl=1 で再開。 C: チャージポンプ停止を保持。その後 VDS1_OV_cl=1 で再開。
"110"	-	Reserved 指定すると、SPI エラーになります。
"111"	-	Reserved 指定すると、SPI エラーになります。

注 1: "Reserved"としてある設定は使用しないでください。

注 2: VDS1L_OV_op に"010", "100"を設定すると、異常検出時にゲートドライブを停止しますが、ドレイン、ソース間の電圧が正常に復帰したと判断して動作を再開してしまう現象が見られます。この現象が発生する環境では、停止と再開を繰り返してしまいます。そのため、これらの設定を薦めません。

表 7.13.4 LS1 Vdson 高電圧検出時の動作設定（詳細）

動作設定 コマンド VDS1L_OV _op[2:0] 7.18.18	検出 推移	IN11,IN12	Charge Pump	CPDO 端子	RPPO 端子	GH1 - SH1, GL1 - SL	VDSLS1_OV レジスター
"000"	検出、 復帰	指示(H,L)	動作	動作	VCP	動作、動作	0
"001"	検出	指示(H,L)	動作	動作	VCP	動作、動作	1
	復帰	指示(H,L)	動作	動作	VCP	動作、動作	クリア後 0
"011"	検出	Do not care	動作	動作	VCP	L, L Hブリッジモード時は GH2, GL2 も L, L	1
	復帰	指示(H,L)	動作	動作	VCP	クリア後 動作再開	クリア後 0
"101"	検出	Do not care	停止	Z	VCP	全ゲートドライブを RL とする	1
	復帰	指示(H,L)	クリア後 再開	クリア 後 再開	VCP	クリア後 動作再開	クリア後 0

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance

表 7.13.5 HS2 Vdson 高電圧検出時の動作設定（概要）

動作設定コマンド VDS2H_OV_op[2:0]	検出推移	動作概要 R=レジスタ、G=ゲートドライブ、C=チャージポンプ
"000"	検出、 復帰	R: 影響を与えない G: 影響を与えない C: 影響を与えない
"001"	検出	R: ステータスレジスタVDSHS2_OV を 1 にする。 G: 影響を与えない C: 影響を与えない
	復帰	R: VDSHS2_OV を保持。 その後、クリアコマンド VDS2_OV_cl=1 とすることで、VDSHS2_OV =0, VDSLS2_OV =0 となる。 G: 影響を与えない C: 影響を与えない
"010"	-	Reserved 注 2
"011"	検出	R: ステータスレジスタVDSHS2_OV を 1 にする。 G: ・ハーフブリッジモード時、GDCH2 のゲートドライブをオフにする。 ・H ブリッジモード時、全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: VDSHS2_OV を保持。 その後、クリアコマンド VDS2_OV_cl=1 とすることで、VDSHS2_OV =0, VDSLS2_OV =0 となる。 G: ゲートドライブ停止を保持。その後 VDS2_OV_cl=1 で再開。 C: 影響を与えない
"100"	-	Reserved 注 2
"101"	検出	R: ステータスレジスタVDSHS2_OV を 1 にする。 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
	復帰	R: VDSHS2_OV を保持。 その後、クリアコマンド VDS2_OV_cl=1 とすることで、VDSHS2_OV =0, VDSLS2_OV =0 となる。 G: ゲートドライブ停止を保持。その後 VDS2_OV_cl=1 で再開。 C: チャージポンプ停止を保持。その後 VDS2_OV_cl=1 で再開。
"110"	-	Reserved 指定すると、SPI エラーになります。
"111"	-	Reserved 指定すると、SPI エラーになります。

注 1: "Reserved"としてある設定は使用しないでください。

注 2: VDS2H_OV_op に"010", "100" を設定すると、異常検出時にゲートドライブを停止しますが、ドレイン、ソース間の電圧が正常に復帰したと判断して動作を再開してしまう現象が見られます。この現象が発生する環境では、停止と再開を繰り返してしまいます。そのため、これらの設定を薦めません。

表 7.13.6 HS2 Vdson 高電圧検出時の動作設定（詳細）

動作設定 コマンド VDS2H_OV _op[2:0] 7.18.23	検出 推移	IN21,IN22	Charge Pump	CPDO 端子	RPPO 端子	GH2 - SH2, GL2 - SL	VDSHS2_OV レジスター
"000"	-	指示(H,L)	動作	動作	VCP	動作、動作	0
"001"	検出	指示(H,L)	動作	動作	VCP	動作、動作	1
	復帰	指示(H,L)	動作	動作	VCP	動作、動作	クリア後 0
"011"	検出	Do not care	動作	動作	VCP	L, L Hブリッジモード時は GH1, GL1 も L, L	1
	復帰	指示(H,L)	動作	動作	VCP	クリア後 動作再開	クリア後 0
"101"	検出	Do not care	停止	Z	VCP	全ゲートドライブを RL とする	1
	復帰	指示(H,L)	クリア後 再開	クリア 後 再開	VCP	クリア後 動作再開	クリア後 0

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance

表 7.13.7 LS2 Vdson 高電圧検出時の動作設定（概要）

動作設定コマンド VDS2L_OV_op[2:0]	検出推移	動作概要 R=レジスター、G=ゲートドライブ、C=チャージポンプ
"000"	-	R: 影響を与えない G: 影響を与えない C: 影響を与えない
"001"	検出	R: ステータスレジスターVDSLS2_OV を 1 にする。 G: 影響を与えない C: 影響を与えない
	復帰	R: VDSLS2_OV を保持。 その後、クリアコマンド VDS2_OV_cl=1 とすることで、VDSHS2_OV =0, VDSLS2_OV =0 となる。 G: 影響を与えない C: 影響を与えない
"010"	-	Reserved 注 2
"011"	検出	R: ステータスレジスターVDSLS2_OV を 1 にする。 G: ・ハーフブリッジモード時、GDCH2 のゲートドライブをオフにする。 ・H ブリッジモード時、全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: VDSLS2_OV を保持。 その後、クリアコマンド VDS2_OV_cl=1 とすることで、VDSHS2_OV =0, VDSLS2_OV =0 となる。 G: ゲートドライブ停止を保持。その後 VDS2_OV_cl=1 で再開。 C: 影響を与えない
"100"	-	Reserved 注 2
"101"	検出	R: ステータスレジスターVDSLS2_OV を 1 にする。 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
	復帰	R: VDSLS2_OV を保持。 その後、クリアコマンド VDS2_OV_cl=1 とすることで、VDSHS2_OV =0, VDSLS2_OV =0 となる。 G: ゲートドライブ停止を保持。その後 VDS2_OV_cl=1 で再開。 C: チャージポンプ停止を保持。その後 VDS2_OV_cl=1 で再開。
"110"	-	Reserved 指定すると、SPI エラーになります。
"111"	-	Reserved 指定すると、SPI エラーになります。

注 1: "Reserved"としてある設定は使用しないでください。

注 2: VDS2L_OV_op に"010", "100" を設定すると、異常検出時にゲートドライブを停止しますが、ドレイン、ソース間の電圧が正常に復帰したと判断して動作を再開してしまう現象が見られます。この現象が発生する環境では、停止と再開を繰り返してしまいます。そのため、これらの設定を薦めません。

表 7.13.8 LS2 Vdson 高電圧検出時の動作設定（詳細）

動作設定 コマンド VDS2L_OV _op[2:0] 7.18.24	検出 推移	IN21,IN22	Charge Pump	CPDO 端子	RPPO 端子	GH2 - SH2, GL2 - SL	VDSLS2_OV レジスター
"000"	検出、 復帰	指示(H,L)	動作	動作	VCP	動作、動作	0
"001"	検出	指示(H,L)	動作	動作	VCP	動作、動作	1
	復帰	指示(H,L)	動作	動作	VCP	動作、動作	クリア後 0
"011"	検出	Do not care	動作	動作	VCP	L, L H ブリッジモード時は GH1, GL1 も L, L	1
	復帰	指示(H,L)	動作	動作	VCP	クリア後 動作再開	クリア後 0
"101"	検出	Do not care	停止	Z	VCP	全ゲートドライブを RL とする	1
	復帰	指示(H,L)	クリア後 再開	クリア後 再開	VCP	クリア後 動作再開	クリア後 0

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance

HS1	LS1	HS2	LS2
VDS1H_OV_op[2:0] cmd	VDS1L_OV_op[2:0] cmd	VDS2H_OV_op[2:0] cmd	VDS2L_OV_op[2:0] cmd
DH-SH1	SH1-SL	DH-SH2	SH2-SL
VDS1Hth[2:0] cmd	VDS1Lth[2:0] cmd	VDS2Hth[2:0] cmd	VDS2Lth[2:0] cmd
VDSHS1_OV sts	VDSLS1_OV sts	VDSHS2_OV sts	VDSLS2_OV sts
VDS1_OV_cl cmd		VDS2_OV_cl cmd	
GH1-SH1	GL1-SL	GH2-SH2	GL2-SL

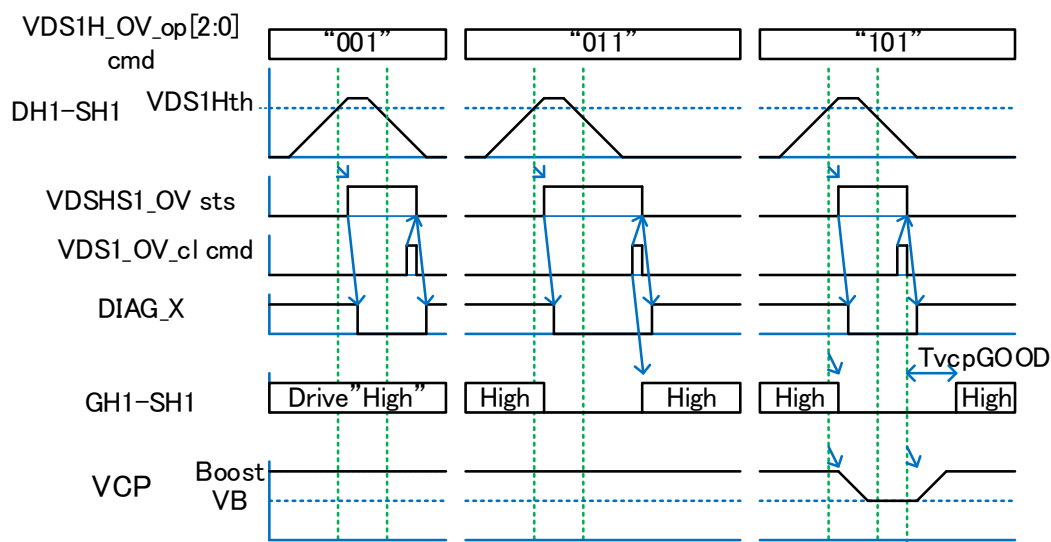


図 7.13.1 HS1 Vdson 高電圧検出時の動作

図 7.13.1 に外部 n 型 MOSFET “HS1” のドレイン、ソース間の電圧異常検出と、動作設定ごとの復帰の様子を示します。“LS1”, “HS2”, “LS2” については表にある端子名、コマンド名、ステータス名に置き換えて参照してください。

7.14. SH1,SH2 状態検出

TB9104FTG は、GDSTESTen コマンドによって、SH1 端子、SH2 端子間に接続されるモーターや配線の断線を検出できる機能を備えています。

本テスト中(GDTESTen=1)も、Vds オン時の過電圧検出機能は動作をします。事前に動作設定コマンド VDS1H_OV_op, VDS1L_OV_op, VDS2H_OV_op, VDS2L_OV_op を"011"など過電圧時にゲートドライブを停止させる設定にし、VDS1Hth, VDS1Lth, VDS2Hth, VDS2Lth, t_VDS1fil, t_VDS2fil, tVDS1mask, tVDS2mask も適切に設定してください。

次に GDTESTen コマンドを 1 にすると、ゲートドライバーは GDTEST[1:0]コマンドの指示に従って外部 n 型 MOSFET を 1 つオンにします。

正常なら SH1,SH2 は図 7.14.1 に示すとおりオンした外部 n 型 MOSFET によって、バッテリー電圧 VB やグラウンド電圧 (0V) に変化します。このときの SH1 端子、SH2 端子の電圧を Vds 検出コンパレーターで測定します。測定した結果は、VDS1Hsts, VDS1Lsts, VDS2Hsts, VDS2Lsts レジスターで見ることができます。断線など何らかの異常がある場合、図 7.14.1 のようにはならない可能性があります。

本テスト時に限らず通常動作の開始時にも、外部 n 型 MOSFET 周辺で天絡地絡があった場合、大電流が流れ、破損や焼損の恐れがあります。TB9104FTG は天絡地絡を検出する機能を備えていません。別途外部に対策が必要か検討ください。

また、外部 n 型 MOSFET 全オフ時の各 Vds 検出結果は、TB9104FTG の外部回路や部品により異なります。正常なときの各 Vds 検出結果を記録しておき、使用開始時に比較をすることをお勧めします。

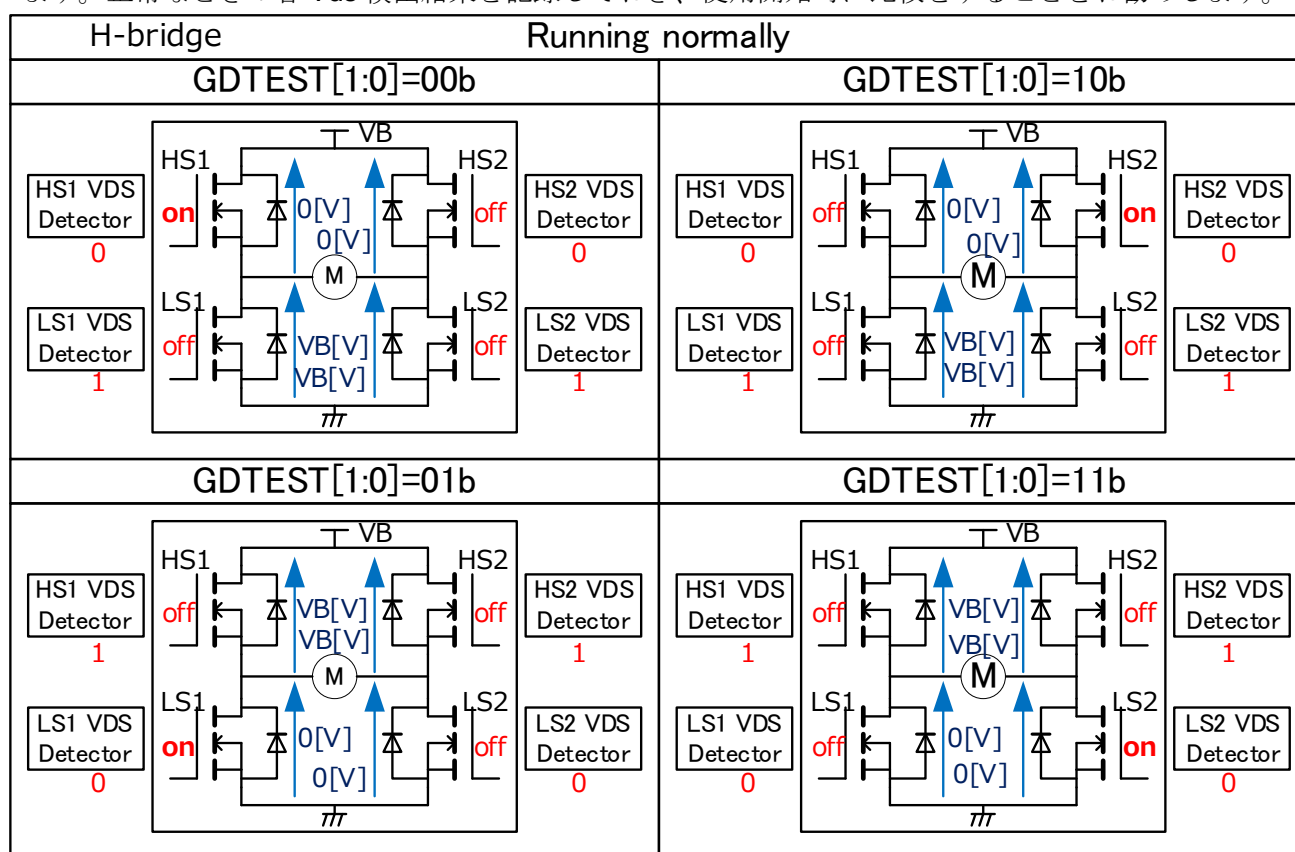


図 7.14.1 SH1,SH2 状態検出

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.15. 過熱検出回路

過熱検出センサーは、チップの温度を監視し、温度上昇を検出します。チップの温度が過熱検出温度 T_{junctOd} を超えていると、TB9104FTG は異常と判定します。チップの温度が T_{junctOr} よりも低いと、TB9104FTG は正常と判定します。

過熱検出回路は、ヒステリシス $T_{\text{junctOhys}}$ を備えています。さらに後段に LPF を備え、 T_{junctOpw} を超えた幅の信号だけを利用します。過熱を検出したときの動作は、動作設定コマンド $TJ_OT_op[2:0]$ によって、選択することができます。

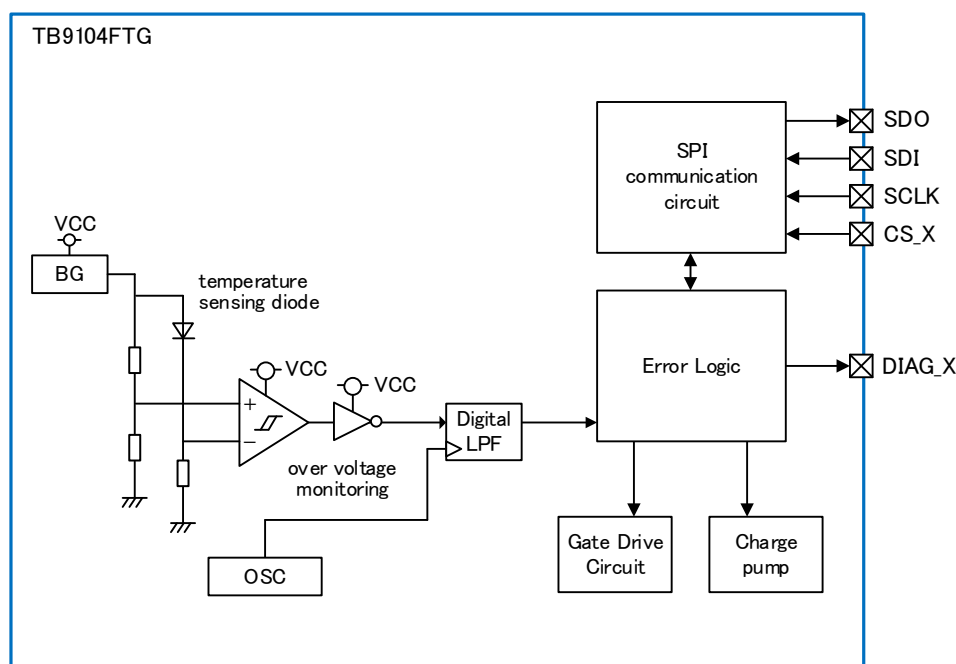


図 7.15.1 過熱検出

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

表 7.15.1 過熱検出時の動作設定（概要）

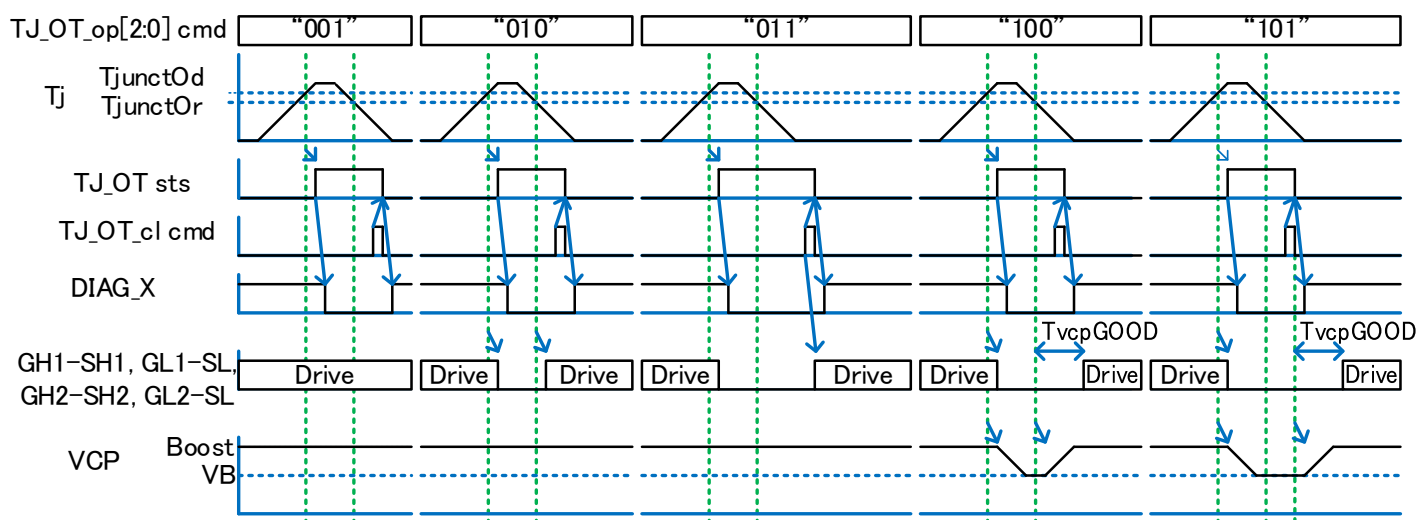
動作設定コマンド TJ_OT_op[2:0]	検出推移	動作概要 R=レジスタ、G=ゲートドライブ、C=チャージポンプ
"000"	-	R: 影響を与えない G: 影響を与えない C: 影響を与えない
"001"	検出	R: ステータスレジスタ TJ_OT を 1 にする。 G: 影響を与えない C: 影響を与えない
	復帰	R: TV_OT=1 を保持。 その後、クリアコマンド TJ_OT_cl=1 とすることで、TJ_OT=0 となる。 G: 影響を与えない C: 影響を与えない
"010"	検出	R: TJ_OT=1 G: 全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: TJ_OT=1 を保持。その後 TJ_OT_cl=1 で TJ_OT=0。 G: 速やかにゲートドライブを再開する。 C: 影響を与えない
"011"	検出	R: TJ_OT=1 G: 全てのゲートドライブを停止する。 C: 影響を与えない
	復帰	R: TJ_OT=1 を保持。その後 TJ_OT_cl=1 で TJ_OT=0。 G: ゲートドライブ停止を保持。その後 TJ_OT_cl=1 で再開。 C: 影響を与えない
"100"	検出	R: TJ_OT=1 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
	復帰	R: TJ_OT=1 を保持。その後 TJ_OT_cl=1 で TJ_OT=0。 G: 速やかにゲートドライブを再開する。 C: 速やかにチャージポンプを動作させる。
"101"	検出	R: TJ_OT=1 G: 全てのゲートドライブを停止する。 C: チャージポンプを停止する。
	復帰	R: TJ_OT=1 を保持。その後 TJ_OT_cl=1 で TJ_OT=0。 G: ゲートドライブ停止を保持。その後 TJ_OT_cl=1 で再開。 C: チャージポンプ停止を保持。その後 TJ_OT_cl=1 で再開。
"110"	-	Reserved 指定すると、SPI エラーになります。
"111"	-	Reserved 指定すると、SPI エラーになります。

注: "Reserved"としてある設定は使用しないでください。

表 7.15.2 過熱検出時の動作設定（詳細）

動作設定コマンド TJ_OT_op [2:0] 7.18.16	検出 推移	IN11,IN12, IN21,IN22	Charge Pump	CPDO 端子	RPPO 端子	GH1-SH1, GL1-SL, GH2-SH2, GL2-SL	TJ_OT レジスター
"000"	検出、 復帰	指示(H,L)	動作	動作	VCP	動作	0
"001"	検出	指示(H,L)	動作	動作	VCP	動作	1
	復帰	指示(H,L)	動作	動作	VCP	動作	クリア後 0
"010"	検出	Do not care	動作	動作	VCP	L, L, L, L	1
	復帰	指示(H,L)	動作	動作	VCP	動作再開	クリア後 0
"011"	検出	Do not care	動作	動作	VCP	L, L, L, L	1
	復帰	指示(H,L)	動作	動作	VCP	クリア後 再開	クリア後 0
"100"	検出	Do not care	停止	Z	VCP	RL,RL,RL,RL	1
	復帰	指示(H,L)	再開	再開	VCP	動作再開	クリア後 0
"101"	検出	Do not care	停止	Z	VCP	RL,RL,RL,RL	1
	復帰	指示(H,L)	クリア後 再開	クリア後 再開	VCP	クリア後 再開	クリア後 0

記号の説明： RL = Resistive low H = High L = Low Z = High-impedance



Note cmd = Command, sts = Status

図 7.15.2 過熱検出時の動作

7.16. 電流センス回路

7.16.1. 構成

TB9104FTG はリファレンス電圧生成用アンプとモーター電流センス用アンプを内蔵しています。リファレンス電圧生成用アンプは、**VCC** 端子の電圧をもとにリファレンス電圧を生成します。モーター電流センス用アンプは、外部のモーター駆動部の **GND** 側に接続されているシャント抵抗を流れる電流により生じる差電圧を増幅します。この増幅電圧は、リファレンス電圧から **VCC** 方向に出力されます。なお、センス可能なモーター電流は電源から **GND** の方向だけです。ゲインは **SPI** 通信で設定可能です。増幅した電圧は、**AMPO** 端子から出力します。**AMPO** 端子には、ノイズ除去のためローパスフィルターを接続することをお勧めします。

モーターに電流が流れない状態で、キャリブレーションを実行し個体でのオフセットばらつきを補正することで、出力電圧の精度が向上します。なお、この精度向上が期待できる入力電圧の範囲は、通常時のシャント抵抗の電圧動作点を考慮したものです。入力端子に抵抗を接続する場合は、新たなゲイン誤差の要因になります。また、**VCC** 電源のノイズおよびシャント抵抗周辺のノイズに対し、規定の耐性を備えています。

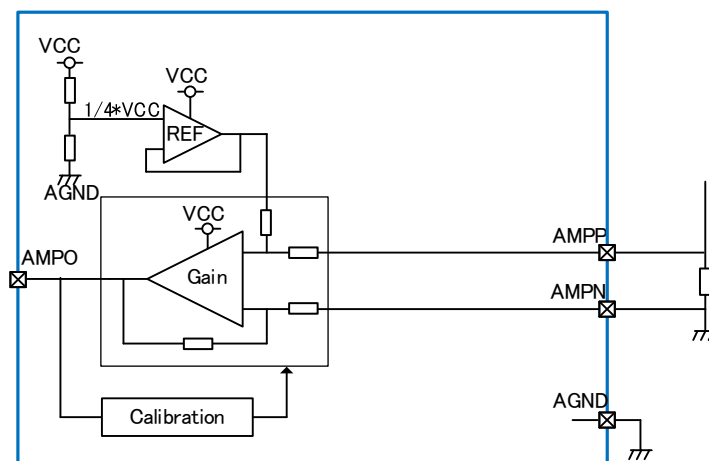


図 7.16.1.1 電流センス回路

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.16.2. オフセットキャリブレーション

TB9104FTG の電流センス回路を使用する前にオフセットキャリブレーションを実施してください。なお、正しくキャリブレーションするため、オフセットキャリブレーションを実行するときは、AMPP 端子と AMPN 端子の間の、入力差電圧を 0[V]にしてください。なお、TB9104FTG は自動で AMPP 端子と AMPN 端子を接続する機能はありません。

キャリブレーションの実行は、SPI から CSAcalSTART コマンドを"1"に設定することで始まります。CSAcalSTART コマンドは自動的に"0"に戻ります。このとき CSAcalibrating ステータスが"1"に、CSAresult ステータスは"0"になります。また、ゲインを 30 倍に固定します。キャリブレーション中はオフセット補正值 CAL_DAT を変化させながらアンプ出力と VCC 端子の電圧の 8 分の 1 を比較することにより、最適な値を探索します。

キャリブレーションが完了すると CSAcalibrating ステータスを 0 にし、キャリブレーション結果を CSAresult ステータスにセットします。CSAresult ステータスが"1"の場合、CAL_DAT はそのまま保持し調整値として使用します。CSAresult ステータスが"0"の場合、CAL_DAT は破棄し初期値に戻します。

CSAresult_cl コマンドを"1"に設定すると CSAresult ステータスを任意のタイミングで"0"にすることができますが、CAL_DAT は保持します。CSAcalibrating ステータスが"1"の期間は、キャリブレーション中であるため、この期間に CSAcalSTART コマンドを"1"に設定しても無効になります。

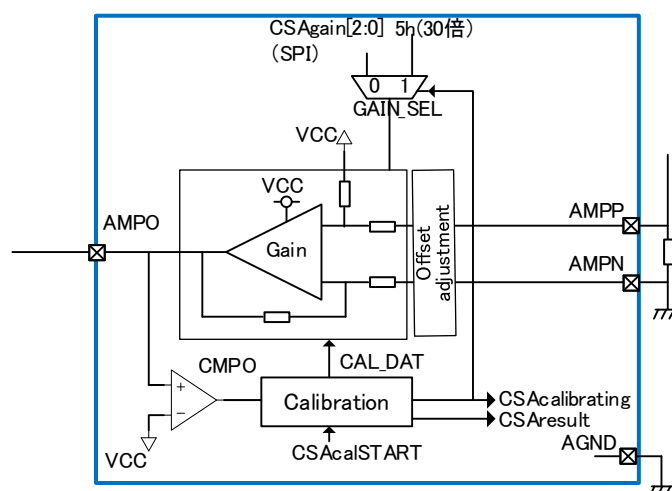


図 7.16.2.1 電流センスアンプ オフセットキャリブレーション回路

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

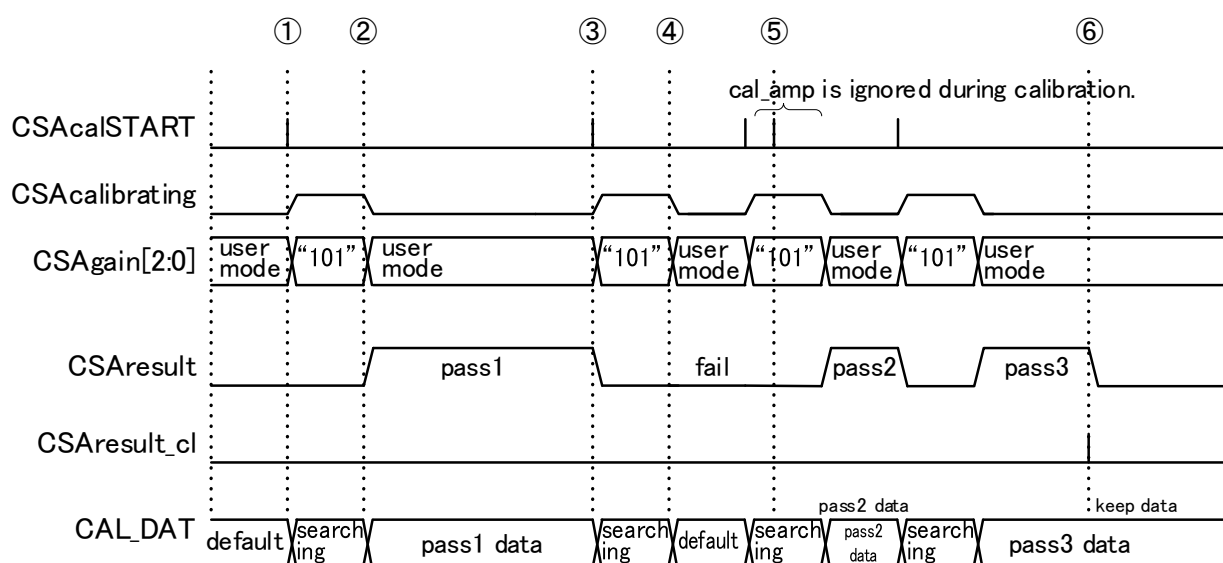


図 7.16.2.2 電流センスアンプ オフセットキャリブレーション波形

注: TB9104FTG には AMPP, AMPN 両端子を自動的に AGND に接続する機能はありません。

7.17. 制御回路 Control Logic

7.17.1. ハーフブリッジモード

7.17.1.1. 動作説明

TB9104FTG は、ハーフブリッジモード時、独立した 2 チャンネルとして動作します。

第 1 のハーフブリッジ用ゲートドライバ GDCH1 は、IN11,IN12 端子の信号で制御されます。ハーフブリッジモードでは、外部ハイサイド n 型 MOSFET HS1 とローサイド n 型 MOSFET LS1 が同時にオンしないよう、IN11,IN12 端子による駆動指示が変更された際には、自動的に両 FET をオフにするデッドタイム $T_{dead}(T_{dead0} \sim 7)$ が挿入されます。HS1 や LS1 が過電流になっていないことを確認するため、オンさせている FET はドレイン・ソース間電圧を監視マスク時間を除いて監視します。

第 2 のハーフブリッジ用ゲートドライバ GDCH2 は、IN21,IN22 端子の信号で制御されます。ハーフブリッジモードでは、外部ハイサイド n 型 MOSFET HS2 とローサイド n 型 MOSFET LS2 が同時にオンしないよう、IN21,IN22 端子による駆動指示が変更された際には、自動的に両 FET をオフにするデッドタイム $T_{dead}(T_{dead0} \sim 7)$ が挿入されます。HS2 や LS2 が過電流になっていないことを確認するため、オンさせている FET はドレイン・ソース間電圧を監視マスク時間を除いて監視します。

未使用のチャンネルは IN 端子を Low としてください。ゲートドライバへオンの指示を出す前に、設定を済ませてください。オンしている間でも設定レジスタへライトすることができますが、その場合思わぬ動作となる可能性があります。

7.17.1.2. 真理値表

ハーフブリッジモードにおける動作状態を表 7.17.1.2.1、表 7.17.1.2.2 に示します。

GH1,SH1 間が RL か Low だと、外部 n 型 MOSFET "HS1"はオフになり、High だとオンになります。

GL1,SL 間が RL か Low だと、外部 n 型 MOSFET "LS1"はオフになり、High だとオンになります。

GH2,SH2 間が RL か Low だと、外部 n 型 MOSFET "HS2"はオフになり、High だとオンになります。

GL2,SL 間が RL か Low だと、外部 n 型 MOSFET "LS2"はオフになり、High だとオンになります。

表 7.17.1.2.1 第 1 のハーフブリッジ用ゲートドライバーGDCH1 真理値表

IC 内部	Inputs			Outputs		説明
動作状態	STBY_X	IN11	IN12	GH1- SH1	GL1- SL	
スタンバイ	Low	X	X	RL	RL	TB9104FTG はスタンバイ モーターの相入力は"High-Z"
リセット	High	X	X	RL	RL	TB9104FTG はリセット モーターの相入力は"High-Z"
通常動作	High	Low	Low	Low	Low	モーターの相入力は"High-Z"
通常動作	High	High	Low	High	Low	モーターの相入力は"High"
通常動作	High	Low	High	Low	High	モーターの相入力は"Low"
通常動作	High	High	High	Low	Low	モーターの相入力は"High-Z"

記号の説明：

X = Do not care RL = Resistive low H = High L = Low High-Z = High-impedance

表 7.17.1.2.2 第 2 のハーフブリッジ用ゲートドライバーGDCH2 真理値表

IC 内部	Inputs			Outputs		説明
動作状態	STBY_X	IN21	IN22	GH2- SH2	GL2- SL	
スタンバイ	Low	X	X	RL	RL	TB9104FTG はスタンバイ モーターの相入力は"High-Z"
リセット	High	X	X	RL	RL	TB9104FTG はリセット モーターの相入力は"High-Z"
通常動作	High	Low	Low	Low	Low	モーターの相入力は"High-Z"
通常動作	High	High	Low	High	Low	モーターの相入力は"High"
通常動作	High	Low	High	Low	High	モーターの相入力は"Low"
通常動作	High	High	High	Low	Low	モーターの相入力は"High-Z"

記号の説明：

X = Do not care RL = Resistive low H = High L = Low High-Z = High-impedance

7.17.1.3. 電流経路

ハーフブリッジモード時、TB9104FTG で使用する外部 n 型 MOSFET の電流経路を図 7.17.1.3.1 に示します。実線は駆動時の電流経路を示します。点線は回生電流の経路を示します。

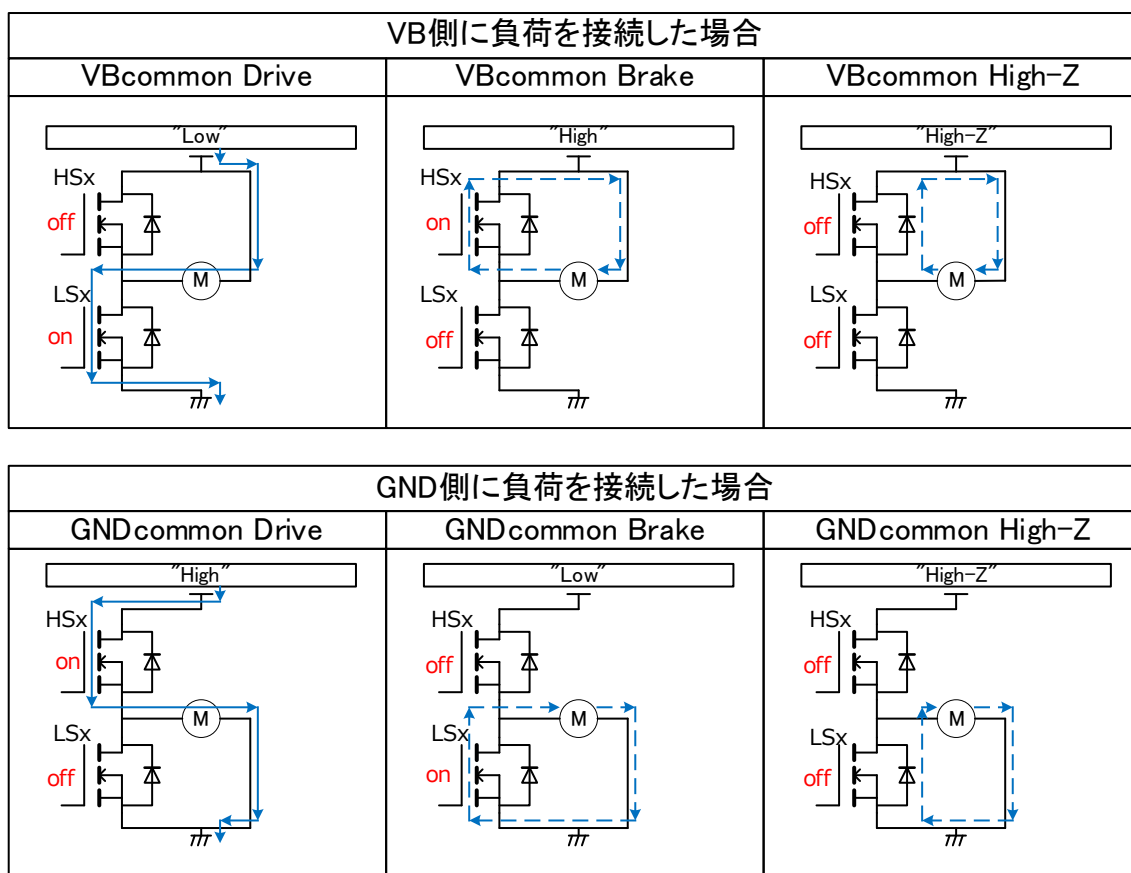


図 7.17.1.3.1 ハーフブリッジモードの電流経路

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.17.1.4. 駆動制御フローチャート

ハーフブリッジモードにおける駆動制御フローチャートを図 7.17.1.4.1 に示します。
また、図 7.17.1.4.1 に記載していない駆動制御の組み合わせを、図 7.17.1.4.2 に示します。

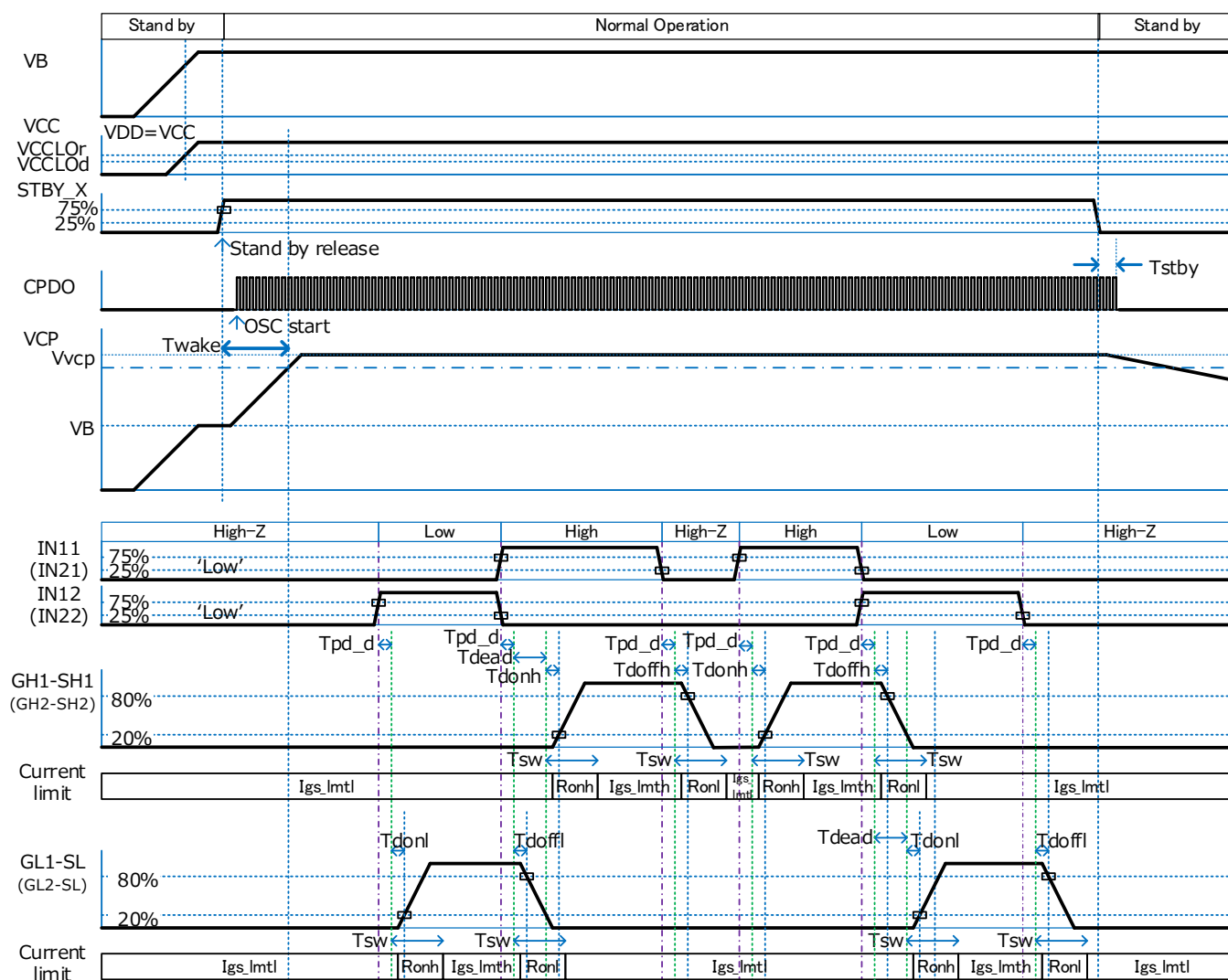


図 7.17.1.4.1 ハーフブリッジ フローチャート1 (チャンネルごと)

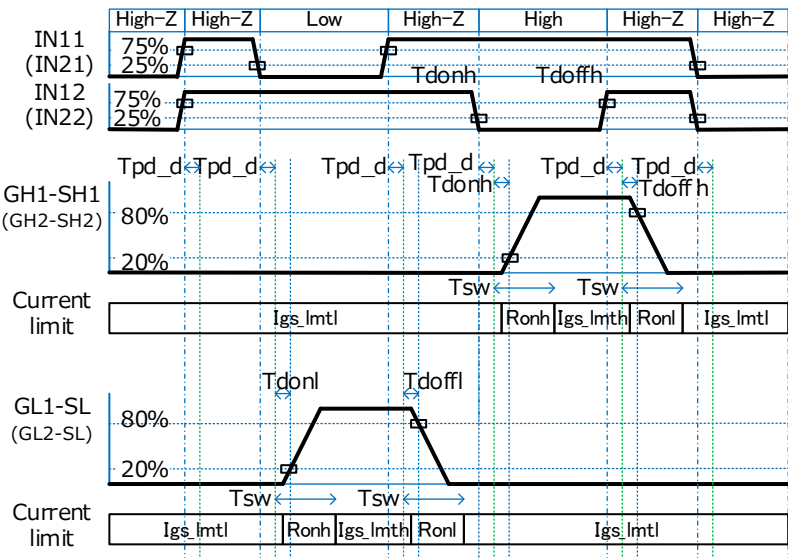


図 7.17.1.4.2 ハーフブリッジ フローチャート 2 その他の駆動制御組み合わせ

7.17.2. Hブリッジモード

7.17.2.1. 動作説明

TB9104FTG は、Hブリッジモード時、1チャンネルのHブリッジとして動作します。制御は、IN11,IN12 端子で行います。IN21,IN22 端子は、GND に接続するようにしてください。Hブリッジモードでは、HS1 と LS1、HS2 と LS2 がそれぞれ同時にオンして貫通電流が流れないように、IN11,IN12 端子による駆動指示が変更された際には自動的にデッドタイムが挿入されます。

HS1 や LS1 が過電流になっていないことを確認するため、オンさせている FET はドレイン・ソース間電圧を監視マスク時間を除いて監視します。

ゲートドライバーへオンの指示を出す前に、設定を済ませてください。オンしている間でも設定レジスタへライトすることができますが、その場合思わぬ動作となる可能性があります。

7.17.2.2. 真理値表

Hブリッジモードにおける動作状態を表 7.17.2.2.1 に示します。GH1,SH1 間が RL か Low だと、外部 n 型 MOSFET "HS1"はオフになり、High だとオンになります。GL1,SL 間が RL か Low だと、外部 n 型 MOSFET "LS1"はオフになり、High だとオンになります。GH2,SH2 間が RL か Low だと、外部 n 型 MOSFET "HS2"はオフになり、High だとオンになります。GL2,SL 間が RL か Low だと、外部 n 型 MOSFET "LS2"はオフになり、High だとオンになります。

表 7.17.2.2.1 Hブリッジモード 真理値表

IC 内部	Inputs			Outputs				説明
動作状態	STBY_X	IN11	IN12	GH1 - SH1	GL1 - SL	GH2 - SH2	GL2 - SL	
スタンバイ	Low	X	X	RL	RL	RL	RL	TB9104FTG はスタンバイ モーターの相入力は"High-Z"
リセット	High	X	X	RL	RL	RL	RL	TB9104FTG はリセット モーターの相入力は"High-Z"
通常動作	High	Low	Low	Low	Low	Low	Low	モーターの相入力は"High-Z"
通常動作	High	High	Low	High	Low	Low	High	モーターの相入力は"Forward drive(SH1→SH2)"
通常動作	High	Low	High	Low	High	High	Low	モーターの相入力は"Reverse drive(SH2→SH1)"
通常動作	High	High	High	Low	High	Low	High	モーターの相入力は"Brake"

記号の説明：

X = Do not care RL = Resistive low H = High L = Low High-Z = High-impedance

7.17.2.3. 電流経路

Hブリッジモード時、TB9104FTG で使用する外部 n 型 MOSFET の電流経路を図 7.17.2.3.1 に示します。赤色の実線は Forward drive 中の電流経路を示し、青色の実線は Reverse drive 中の電流経路を示します。また、点線は Forward drive 中の回生電流の経路を示し、2 点鎖線は Reverse drive 中の電流の経路を示します。

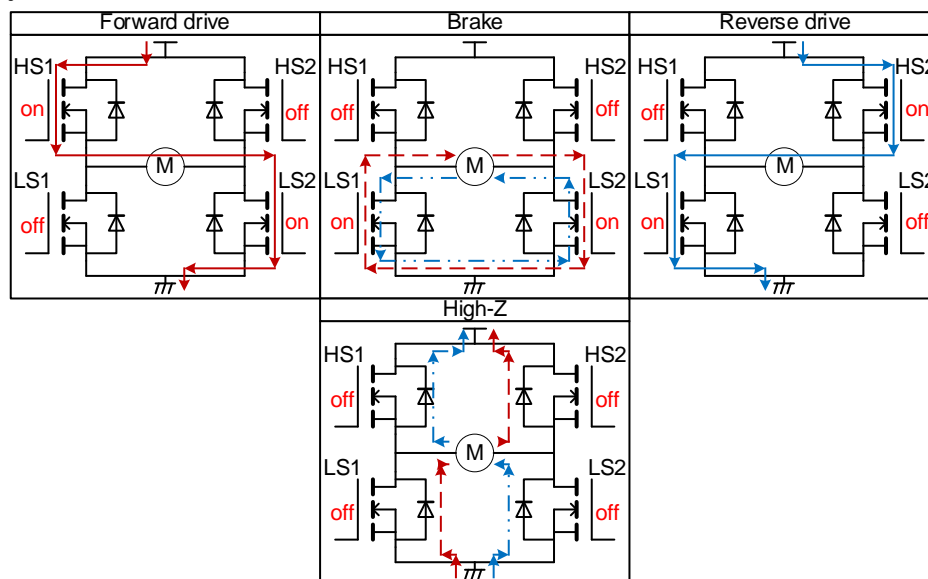


図 7.17.2.3.1 Hブリッジモードの電流経路

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.17.2.4. 駆動制御フローチャート

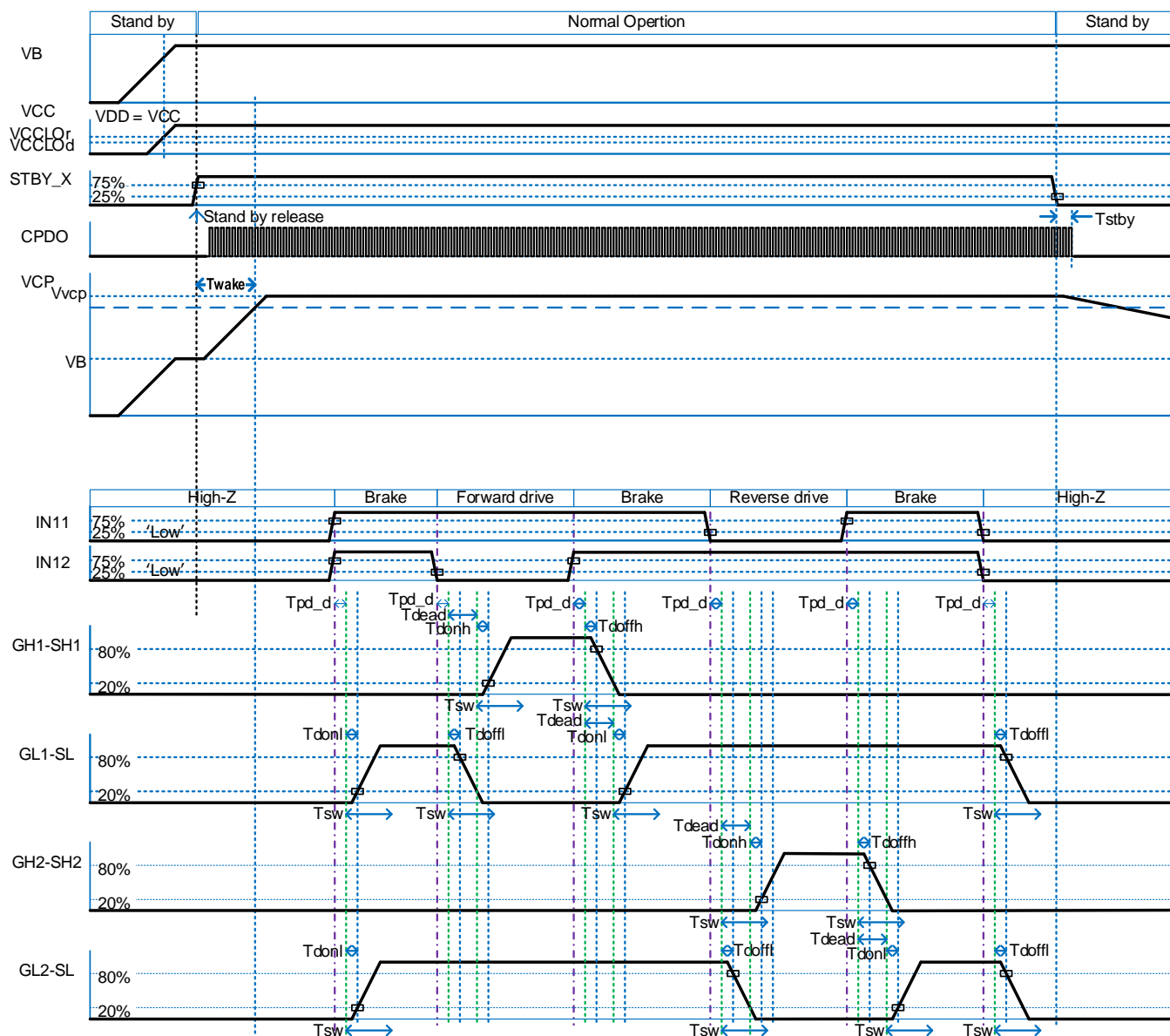


図 7.17.2.4.1 Hブリッジ フローチャート 1

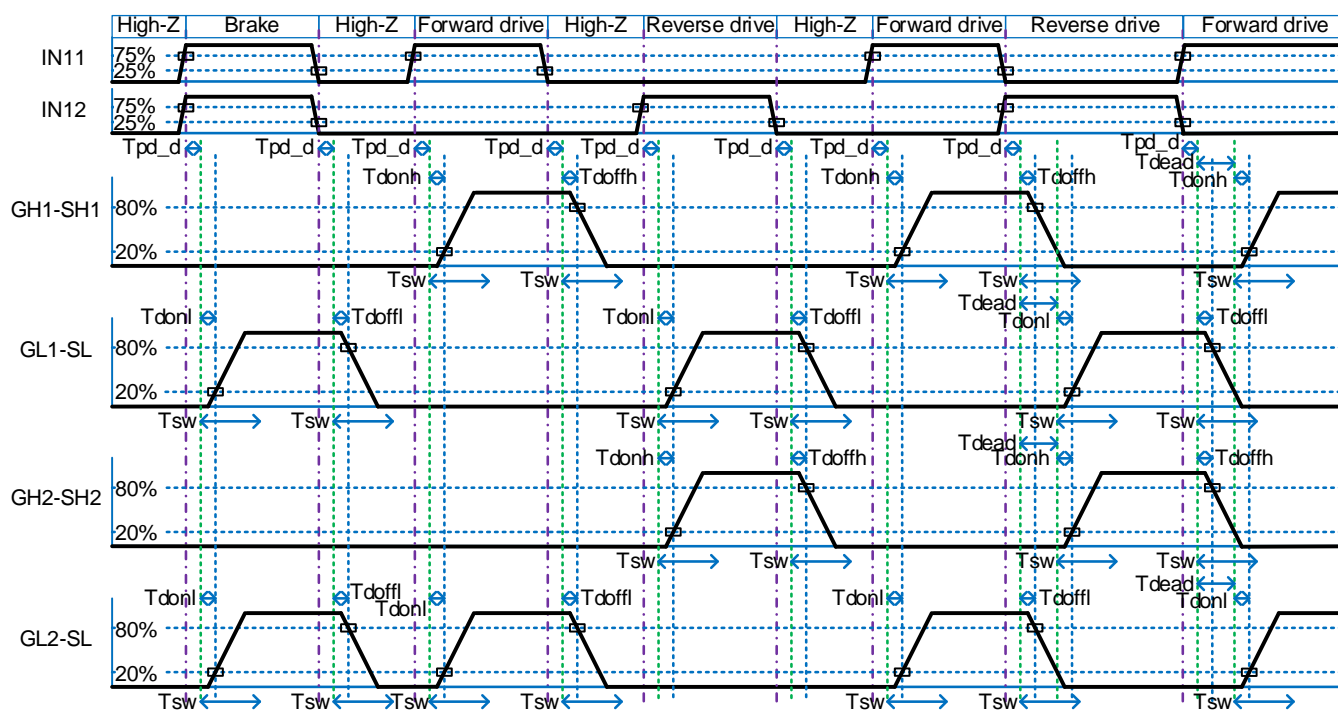


図 7.17.2.4.2 Hブリッジ フローチャート 2

7.17.3. 異常処理

TB9104FTG は各種の異常検出機能を備えています。

異常を検出した際の処理方法として“検出しない”以外を選択すると、異常が発生したとき DIAG_X 端子を **Low** にします。

DIAG_X 端子が **Low** になるのは、異常検出フラグレジスタのうち、1 つでも 1(High)があったときです。

また、各異常検出時の動作設定コマンドに応じて、ゲートドライブ停止、チャージポンプ停止を処理します。

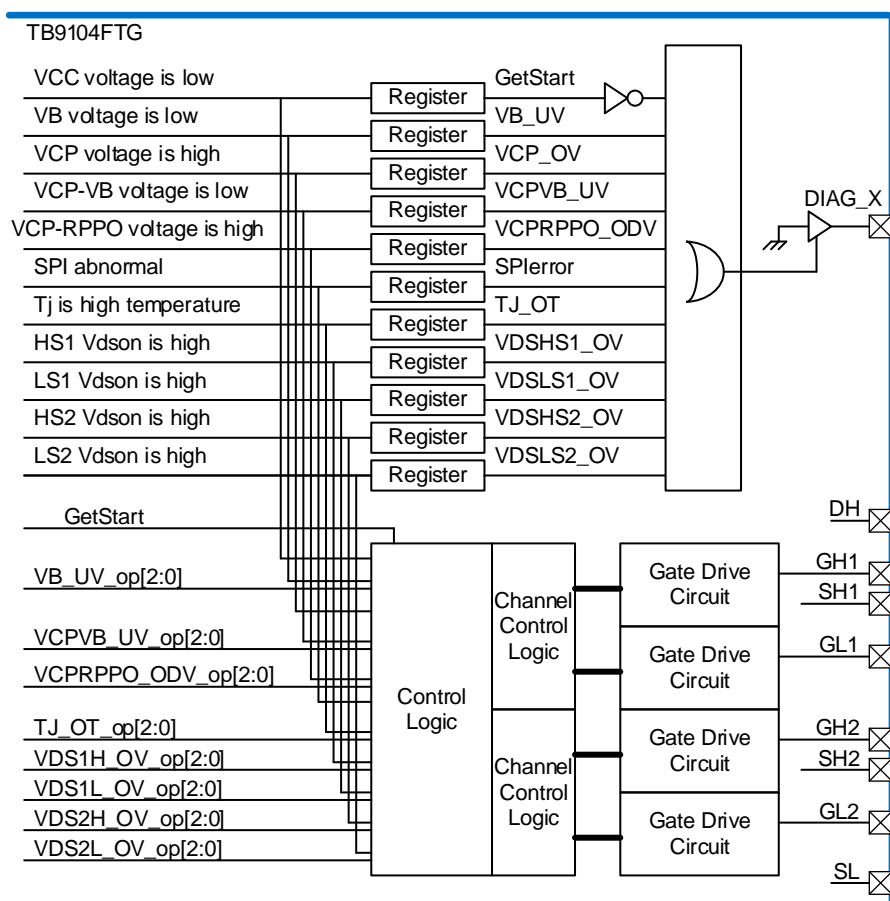


図 7.17.3.1 異常状態の処理と表示

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

7.18. SPI レジスターマップ

表 7.18.1 レジスターマップ

	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Register name	A[3]	A[2]	A[1]	A[0]	R D + /W R-	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	Even P
FAULT STATUS	0000b				Write	GetStat	VB_UV_cl	0	VCP_OV_cl	VCPVB_UV_cl	VCPRPP_O_ODV_cl	SPIerror_cl	TJ_OT_cl	0	0	EP
					Read	GetStat	VB_UV	0	VCP_OV	VCPVB_UV	VCPRPP_O_ODV	SPIerror	TJ_OT	0	WKUP_sts	EP
					Init Value	0	0	0	0	0	0	0	0	0	0	EP
FAULT VDS	0001b				Write	VDS1_OV_cl	0	VDS2_OV_cl	0	0	0	0	0	0	0	EP
					Read	VDSH_S1_OV	VDSL_S1_OV	VDSH_S2_OV	VDSL_S2_OV	0	0	0	0	0	0	EP
					Init Value	0	0	0	0	0	0	0	0	0	0	EP
SET1	0010b				Write	VB_UV_op[2:0]			0	0	0	0	0	0	0	EP
					Read	VB_UV_op[2:0]			0	0	0	0	0	0	0	EP
					Init Value	100b			0	0	0	0	0	0	0	EP
SET2	0011b				Write	VCPVB_UV_op[2:0]			VCPRPPO_ODV_op[2:0]			TJ_OT_op[2:0]			0	EP
					Read	VCPVB_UV_op[2:0]			VCPRPPO_ODV_op[2:0]			TJ_OT_op[2:0]			0	EP
					Init Value	010b			101b			101b			0	EP
SET VDS1_1	0100b				Write	VDS1H_OV_op[2:0]			VDS1L_OV_op[2:0]			tVDS1mask[2:0]			0	EP
					Read	VDS1H_OV_op[2:0]			VDS1L_OV_op[2:0]			tVDS1mask[2:0]			0	EP
					Init Value	011b			011b			001b			0	EP

SET VDS1_2	0101b	Write	VDS1Hth[2:0]			VDS1Lth[2:0]			t_VDS1fil[1:0]		0	0	EP
		Read	VDS1Hth[2:0]			VDS1Lth[2:0]			t_VDS1fil[1:0]		0	0	EP
		Init Value	011b			011b			11b		0	0	EP
SET VDS2_1	0110b	Write	VDS2H_OV_op[2:0]			VDS2L_OV_op[2:0]			tVDS2mask[2:0]		0		EP
		Read	VDS2H_OV_op[2:0]			VDS2L_OV_op[2:0]			tVDS2mask[2:0]		0		EP
		Init Value	011b			011b			001b		0		EP
SET VDS2_2	0111b	Write	VDS2Hth[2:0]			VDS2Lth[2:0]			t_VDS2fil[1:0]		0	0	EP
		Read	VDS2Hth[2:0]			VDS2Lth[2:0]			t_VDS2fil[1:0]		0	0	EP
		Init Value	011b			011b			11b		0	0	EP
SETtime	1000b	Write	t_ilim[2:0]			0	0	0	t_deadt[2:0]		0		EP
		Read	t_ilim[2:0]			0	0	0	t_deadt[2:0]		0		EP
		Init Value	110b			0	0	0	010b		0		EP
CSA_1	1001b	Write	CSAagain[2:0]			CSAcal START	CSAres ult_cl	0	0	0	0	0	EP
		Read	CSAagain[2:0]			CSAcali bratng	CSAres ult	0	0	0	0	0	EP
		Init Value	011b			0	0	0	0	0	0	0	EP
RESET	1010b	Write	REGr eset	0	0	0	0	0	0	0	0	0	EP
		Read	0	0	0	0	0	0	0	0	0	0	EP
		Init Value	0	0	0	0	0	0	0	0	0	0	EP
GD_TEST	1011b	Write	GDTE STen	GDTEST[1:0]		0	0	0	0	0	0	0	EP
		Read	GDTE STen	GDTEST[1:0]		VDS1H sts	VDS1Ls ts	VDS2Hst s	VDS 2Lsts	0	0	0	EP
		Init Value	0	00b		VDS1H sts	VDS1Ls ts	VDS2Hst s	VDS 2Lsts	0	0	0	EP
INspi	1100b	Write	INspi SEL	INspi 11	INspi1 2	INspi21	INspi22	PWMEN	0	0	0	Half- bridge mode	EP
		Read	INspi SEL	INspi 11	INspi1 2	INspi21	INspi22	PWMEN	0	0	0	Half- bridge mode	EP
		Init Value	0	0	0	0	0	0	0	0	0	0	EP

PWMCNT	1101b	Wr ite	PWMCNT[9:0]	EP
		Re ad	PWMCNT[9:0]	EP
		Init Val ue	00_1100_0111b	EP
PWMDT	1110b	Wr ite	PWMDT[9:0]	EP
		Re ad	PWMDT[9:0]	EP
		Init Val ue	00_0110_0011b	EP
NOP	1111b	Wr ite	Do not care(0 or 1)	EP
		Re ad	00_0000_0000b	EP
		Init Val ue	00_0000_0000b	EP

注: アサインされていないビットはライトしても破棄されます。リードすると 0 が読みだせます。

7.18.1. Address=0000b, D[9] “GetStart”

Write	GetStart	1 をライトすると 1 になる。0 をライトしても何も起きない。
Read	GetStart	Initial value=0

GetStart=0: 初期化された直後であることを示します。本レジスターを除き、全てのレジスターはライトすることができません。リードすることはできます。ゲートドライバーはオフ状態になります。

GetStart=1: 通常の運用状態であることを示します。各レジスターへライトやリードをすることができます。本レジスターに 0 をライトしても、無効です。REGreset レジスターに 1 をライトすると、本レジスターは 0 になります。

7.18.2. Address=0000b, D[8] “VB_UV_cl”, “VB_UV”

Write	VB_UV_cl	VvbUr<Vvb 時、1 をライトすると VB_UV=0 となる。 0 をライトしても何も起きない。
Read	VB_UV	Initial value=0

“VB_UV_cl”レジスター。ライトオンリーです。VB 端子の電圧が VvbUr 以上の時、1 をライトすると、“VB_UV”レジスターを 0 にします。その後短時間で自ら 0 に戻ります。

“VB_UV”レジスター。リードオンリーです。“VB_UV”=1 は、VB 端子の電圧が VvbUd 以下になったことを示します。

7.18.3. Address=0000b, D[6] “VCP_OV_cl”, “VCP_OV”

Write	VCP_OV_cl	Vvcp<VvcpOr 時、1 をライトすると VCP_OV=0 となる。 0 をライトしても何も起きない。
Read	VCP_OV	Initial value=0

“VCP_OV_cl”レジスター。ライトオンリーです。VCP 端子の電圧が VvcpOr 以下の時、1 をライトすると、“VCP_OV”レジスターを 0 にします。その後短時間で自ら 0 に戻ります。

“VCP_OV”レジスター。リードオンリーです。“VCP_OV”=1 は、VCP 端子の電圧が VvcpOd 以上になったことを示します。

7.18.4. Address=0000b, D[5] “VCPVB_UV_cl”, “VCPVB_UV”

Write	VCPVB_UV_cl	VvcvrbUr<(Vvcp-Vvb)時、1 をライトすると VCPVB_UV=0 となる。 0 をライトしても何も起きない。
Read	VCPVB_UV	Initial value=0

“VCPVB_UV_cl”レジスター。ライトオンリーです。VCP 端子、VB 端子間の電圧が VvcvrbUr 以上の時、1 をライトすると、“VCPVB_UV”レジスターを 0 にします。その後短時間で自ら 0 に戻ります。

“VCPVB_UV”レジスター。リードオンリーです。“VCPVB_UV”=1 は、VCP 端子、VB 端子間の電圧が VvcvrbUd 以下になったことを示します。

7.18.5. Address=0000b D[4] “VCPRPPO_ODV_cl”, “VCPRPPO_ODV”

Write	VCPRPPO_ODV_cl	(Vvcp-Vrppo)<VvcprppoOr 時、1 をライトすると VCPRPPO_ODV=0 となる。 0 をライトしても何も起きない。
Read	VCPRPPO_ODV	Initial value=0

“VCPRPPO_ODV_cl”レジスター。ライトオンリーです。VCP 端子、RPPO 端子間の電圧が VvcprppoOr 以下の時、1 をライトすると、“VCPRPPO_ODV”レジスターを 0 にします。その後短時間で自ら 0 に戻ります。

“VCPRPPO_ODV”レジスター。リードオンリーです。“VCPRPPO_ODV”=1 は VCP 端子、RPPO 端子間の電圧が VvcprppoOd 以上になったことを示します。

7.18.6. Address=0000b D[3] “SPError_cl”, “SPError”

Write	SPError_cl	1 をライトすると SPError=0 となる。 0 をライトしても何も起きない。
Read	SPError	Initial value=0

“SPError_cl”レジスタ。ライトオンリーです。正常な SPI 通信で 1 をライトすると“SPError”レジスタを 0 にします。その後短時間で自ら 0 に戻ります。

“SPError”レジスタ。リードオンリーです。“SPError”=1 は過去に異常な SPI 通信があったことを示します。

7.18.7. Address=0000b D[2] “TJ_OT_cl”, “TJ_OT”

Write	TJ_OT_cl	Tj<TjunctOr 時、1 をライトすると TJ_OT=0 となる。 0 をライトしても何も起きない。
Read	TJ_OT	Initial value=0

“TJ_OT_cl”レジスタ。ライトオンリーです。TB9104FTG の接合温度が TjunctOr 以下の時、1 をライトすると、“TJ_OT”レジスタを 0 にします。その後短時間で自ら 0 に戻ります。

“TJ_OT”レジスタ。リードオンリーです。“TJ_OT”=1 は TB9104FTG の温度が TjunctOd 以上になったことを示します。

7.18.8. Address=0000b D[0] “WKUP_sts”

Write	0	-
Read	WKUP_sts	Initial value=0

“WKUP_sts”レジスタ。リードオンリーです。TB9104FTG がウェイクアップ期間(Twake 期間と TvcpGOOD 期間)にあり、ゲートドライブできないことを示します。

7.18.9. Address=0001b D[9] “VDS1_OV_cl”, “VDSHS1_OV”

Write	VDS1_OV_cl	外部 MOSFET HS1 と LS1 の Vdson が正常なとき、1 をライトすると VDSHS1_OV=0, VDSLS1_OV となる。 0 をライトしても何も起きない。
Read	VDSHS1_OV	Initial value=0

“VDS1_OV_cl”レジスタ。ライトオンリーです。外部 n 型 MOSFET HS1 と LS1 のオン時のドレイン、ソース間電圧に異常が無いとき、1 をライトすると、“VDSHS1_OV”レジスタと“VDSLS1_OV”レジスタを 0 にします。その後短時間で自ら 0 に戻ります。

“VDSHS1_OV”レジスタ。リードオンリーです。“VDSHS1_OV”=1 は外部 n 型 MOSFET HS1 をオンしたときにドレイン、ソース間電圧が設定値以上になったことを示します。

7.18.10. Address=0001b D[8] “VDSLS1_OV”

Write	0	-
Read	VDSLS1_OV	Initial value=0

“VDSLS1_OV”レジスタ。リードオンリーです。“VDSLS1_OV”=1 は外部 n 型 MOSFET LS1 をオンしたときにドレイン、ソース間電圧が設定値以上になったことを示します。

7.18.11. Address=0001b D[7] “VDS2_OV_cl”, “VDSHS2_OV”

Write	VDS2_OV_cl	外部 n 型 MOSFET HS2 と LS2 の Vdson が正常なとき、1 をライトすると VDSHS2_OV=0, VDSLS2_OV となる。 0 をライトしても何も起きない。
Read	VDSHS2_OV	Initial value=0

“VDS2_OV_cl”レジスタ。ライトオンリーです。外部 n 型 MOSFET HS2 と LS2 のオン時のドレイン、ソース間電圧に異常が無いとき、1 をライトすると、“VDSHS2_OV”レジスタと“VDSLS2_OV”レジスタを 0 にします。その後短時間で自ら 0 に戻ります。

“VDSHS2_OV”レジスタ。リードオンリーです。“VDSHS2_OV”=1 は外部 n 型 MOSFET HS2 をオンしたときにドレイン、ソース間電圧が設定値以上になったことを示します。

7.18.12. Address=0001b D[6] “VDSLS2_OV”

Write	0	-
Read	VDSLS2_OV	Initial value=0

“VDSLS2_OV”レジスタ。リードオンリーです。“VDSLS2_OV”=1 は外部 n 型 MOSFET LS2 をオンしたときにドレイン、ソース間電圧が設定値以上になったことを示します。

7.18.13. Address=0010b D[9:7] “VB_UV_op[2:0]”

Write	VB_UV_op[2:0]	表 7.6.1, 表 7.6.2
Read	VB_UV_op[2:0]	Initial value=100b

“VB_UV_op[2:0]”レジスタ。VB 端子の電圧が低電圧であることを検出したときの動作を設定します。詳細は表 7.6.1, 表 7.6.2 を参照してください。

7.18.14. Address=0011b D[9:7] “VCPVB_UV_op[2:0]”

Write	VCPVB_UV_op[2:0]	表 7.10.2.1, 表 7.10.2.2
Read	VCPVB_UV_op[2:0]	Initial value=010b

“VCPVB_UV_op[2:0]”レジスタ。VCP 端子、VB 端子間の電圧が低電圧であることを検出したときの動作を設定します。詳細は表 7.10.2.1, 表 7.10.2.2 を参照してください。

7.18.15. Address=0011b D[6:4] “VCPRPPO_ODV_op[2:0]”

Write	VCPRPPO_ODV_op[2:0]	表 7.11.1.1, 表 7.11.1.2
Read	VCPRPPO_ODV_op[2:0]	Initial value=101b

“VCPRPPO_ODV_op[2:0]”レジスタ。VCP 端子、RPPO 端子間の電圧が高電圧であることを検出したときの動作を設定します。詳細は表 7.11.1.1, 表 7.11.1.2 を参照してください。

7.18.16. Address=0011b D[3:1] “TJ_OT_op[2:0]”

Write	TJ_OT_op[2:0]	表 7.15.1, 表 7.15.2
Read	TJ_OT_op[2:0]	Initial value=101b

“TJ_OT_op[2:0]”レジスタ。TB9104FTG のジャンクション温度が高温であることを検出したときの動作を設定します。詳細は表 7.15.1, 表 7.15.2 を参照してください。

7.18.17. Address=0100b D[9:7] “VDS1H_OV_op[2:0]”

Write	VDS1H_OV_op[2:0]	表 7.13.1, 表 7.13.2
Read	VDS1H_OV_op[2:0]	Initial value=011b

“VDS1H_OV_op[2:0]”レジスタ。GH1 端子と接続している外部 n 型 MOSFET をオンしているときに、DH 端子、SH1 端子間の電圧が高電圧であることを検出したときの動作を設定します。詳細は表 7.13.1, 表 7.13.2 を参照してください。

7.18.18. Address=0100b D[6:4] “VDS1L_OV_op[2:0]”

Write	VDS1L_OV_op[2:0]	表 7.13.3, 表 7.13.4
Read	VDS1L_OV_op[2:0]	Initial value=011b

"VDS1L_OV_op[2:0]"レジスター。GL1 端子と接続している外部 n 型 MOSFET をオンしているときに、SH1 端子、SL 端子間の電圧が高電圧であることを検出したときの動作を設定します。詳細は表 7.13.3, 表 7.13.4 を参照してください。

7.18.19. Address=0100b D[3:1] “tVDS1mask[2:0]”

Write	tVDS1mask[2:0]	下表参照
Read	tVDS1mask[2:0]	Initial value=001b

"tVDS1mask[2:0]"レジスター。チャンネル 1 でゲートドライブの指示が変更された際、安定した出力となるまで一時的に Vds オン高電圧検出をしない時間を設定します。

-	t_VDS1fil[1:0] = 00b (1μs)	t_VDS1fil[1:0] = 01b (2μs)	t_VDS1fil[1:0] = 10b (4μs)	t_VDS1fil[1:0] = 11b (8μs)
tVDS1mask[2:0]	Mask time	Mask time	Mask time	Mask time
000b	7μs	8μs	10μs	14μs
001b	8μs	9μs	11μs	15μs
010b	9μs	10μs	12μs	16μs
011b	10μs	11μs	13μs	17μs
100b	11μs	12μs	14μs	18μs
101b	12μs	13μs	15μs	19μs
110b	14μs	15μs	17μs	21μs
111b	16μs	17μs	19μs	23μs

7.18.20. Address=0101b D[9:7] “VDS1Hth[2:0]”

Write	VDS1Hth[2:0]	下表参照
Read	VDS1Hth[2:0]	Initial value=011b

"VDS1Hth[2:0]"レジスター。DH 端子、SH1 端子間の電圧検出コンパレーターのしきい値電圧を設定します。

VDS1Hth[2:0]	Threshold voltage
000b	0.1V
001b	0.3V
010b	0.5V
011b	0.7V
100b	0.9V
101b	1.1V
110b	1.3V
111b	1.5V

7.18.21. Address=0101b D[6:4] “VDS1Lth[2:0]”

Write	VDS1Lth[2:0]	下表参照
Read	VDS1Lth[2:0]	Initial value=011b

“VDS1Lth[2:0]”レジスター。SH1 端子、SL 端子間の電圧検出コンパレーターのしきい値電圧を設定します。

VDS1Lth[2:0]	Threshold voltage
000b	0.1V
001b	0.3V
010b	0.5V
011b	0.7V
100b	0.9V
101b	1.1V
110b	1.3V
111b	1.5V

7.18.22. Address=0101b D[3:2] “t_VDS1fil[1:0]”

Write	t_VDS1fil[1:0]	下表参照
Read	t_VDS1fil[1:0]	Initial value=11b

“t_VDS1fil[1:0]”レジスター。DH 端子、SH1 端子間電圧検出コンパレーターの出力信号用 LPF と、SH1 端子、SL 端子間電圧検出コンパレーターの出力信号用 LPF についてカットオフパルス幅を設定します。

t_VDS1fil[1:0]	Cut-off pulse width
00b	1μs
01b	2μs
10b	4μs
11b	8μs

7.18.23. Address=0110b D[9:7] “VDS2H_OV_op[2:0]”

Write	VDS2H_OV_op[2:0]	表 7.13.5, 表 7.13.6
Read	VDS2H_OV_op[2:0]	Initial value=011b

“VDS2H_OV_op[2:0]”レジスター。GH2 端子と接続している外部 n 型 MOSFET をオンしているときに、DH 端子、SH2 端子間の電圧が高電圧であることを検出したときの動作を設定します。詳細は表 7.13.5, 表 7.13.6 を参照してください。

7.18.24. Address=0110b D[6:4] “VDS2L_OV_op[2:0]”

Write	VDS2L_OV_op[2:0]	表 7.13.7, 表 7.13.8
Read	VDS2L_OV_op[2:0]	Initial value=011b

“VDS2L_OV_op[2:0]”レジスター。GL2 端子と接続している外部 n 型 MOSFET をオンしているときに、SH2 端子、SL 端子間の電圧が高電圧であることを検出したときの動作を設定します。詳細は表 7.13.7, 表 7.13.8 を参照してください。

7.18.25. Address=0110b D[3:1] “tVDS2mask[2:0]”

Write	tVDS2mask[2:0]	下表参照
Read	tVDS2mask[2:0]	Initial value=001b

"tVDS2mask[2:0]"レジスター。チャンネル 2 でゲートドライブの指示が変更された際、安定した出力となるまで一時的に Vds オン高電圧検出をしない時間を設定します。

-	t_VDS2fil[1:0] = 00b (1μs)	t_VDS2fil[1:0] = 01b (2μs)	t_VDS2fil[1:0] = 10b (4μs)	t_VDS2fil[1:0] = 11b (8μs)
tVDS2mask[2:0]	Mask time	Mask time	Mask time	Mask time
000b	7μs	8μs	10μs	14μs
001b	8μs	9μs	11μs	15μs
010b	9μs	10μs	12μs	16μs
011b	10μs	11μs	13μs	17μs
100b	11μs	12μs	14μs	18μs
101b	12μs	13μs	15μs	19μs
110b	14μs	15μs	17μs	21μs
111b	16μs	17μs	19μs	23μs

7.18.26. Address=0111b D[9:7] “VDS2Hth[2:0]”

Write	VDS2Hth[2:0]	下表参照
Read	VDS2Hth[2:0]	Initial value=011b

"VDS2Hth[2:0]"レジスター。DH 端子、SH2 端子間の電圧検出コンパレーターのしきい値電圧を設定します。

VDS2Hth[2:0]	Threshold voltage
000b	0.1V
001b	0.3V
010b	0.5V
011b	0.7V
100b	0.9V
101b	1.1V
110b	1.3V
111b	1.5V

7.18.27. Address=0111b D[6:4] “VDS2Lth[2:0]”

Write	VDS2Lth[2:0]	下表参照
Read	VDS2Lth[2:0]	Initial value=011b

"VDS2Lth[2:0]"レジスター。SH2 端子、SL 端子間の電圧検出コンパレーターのしきい値電圧を設定します。

VDS2Lth[2:0]	Threshold voltage
000b	0.1V
001b	0.3V
010b	0.5V
011b	0.7V
100b	0.9V
101b	1.1V
110b	1.3V
111b	1.5V

7.18.28. Address=0111b D[3:2] “t_VDS2fil[1:0]”

Write	t_VDS2fil[1:0]	下表参照
Read	t_VDS2fil[1:0]	Initial value=11b

“t_VDS2fil[1:0]”レジスター。DH 端子、SH2 端子間電圧検出コンパレーターの出力信号用 LPF と、SH2 端子、SL 端子間電圧検出コンパレーターの出力信号用 LPF についてカットオフパルス幅を設定します。

t_VDS2fil[1:0]	Cut-off pulse width
00b	1μs
01b	2μs
10b	4μs
11b	8μs

7.18.29. Address=1000b D[9:7] “t_ilim[2:0]”

Write	t_ilim[2:0]	下表参照
Read	t_ilim[2:0]	Initial value=110b

“t_ilim[2:0]”レジスター。ゲートドライバーの出力電流を制限し始める時間を設定します。

t_ilim[2:0]	電流制限開始時間
000b	6μs
001b	8μs
010b	10μs
011b	12μs
100b	16μs
101b	32μs
110b	64μs
111b	開始しない

7.18.30. Address=1000b D[3:1] “t_deadt[2:0]”

Write	t_deadt[2:0]	下表参照
Read	t_deadt[2:0]	Initial value=010b

“t_deadt[2:0]”レジスター。外部 n 型 MOSFET でハイサイドとローサイド間に貫通電流が流れないよう時間差を設けるためのコマンドです。

t_deadt[2:0]	dead time
000b	1 クロック
001b	2 クロック
010b	3 クロック
011b	4 クロック
100b	5 クロック
101b	6 クロック
110b	7 クロック
111b	8 クロック

7.18.31. Address=1001b D[9:7] “CSAgain[2:0]”

Write	CSAgain[2:0]	下表参照
Read	CSAgain[2:0]	Initial value=011b

"CSAgain[2:0]"レジスター。電流検出アンプのゲインを設定します。

CSAgain[2:0]	ゲイン
000b	7.5 倍
001b	10 倍
010b	12.5 倍
011b	15 倍
100b	20 倍
101b	30 倍
110b	40 倍
111b	40 倍

7.18.32. Address=1001b D[6] “CSAcalSTART”

Write	CSAcalSTART	-
Read	CSAcalibrating	Initial value=0

"CSAcalSTART"レジスター。ライトオンリー。

アンプのキャリブレーションをスタートします。短時間で自動的に 0 に戻ります

"CSAcalibrating"レジスター。リードオンリー。

CSAcalibrating=1 は、アンプのキャリブレーションを実行中であることを示します。

キャリブレーションが終了すると、0 に戻ります。

7.18.33. Address=1001b D[5] “CSAresult_cl”

Write	CSAresult_cl	-
Read	CSAresult	Initial value=0

"CSAresult_cl"レジスター。ライトオンリーです。CSAcalibrating=0 時、1 をライトすると、CSAresult レジスターを 0 にします。短時間で自動的に 0 に戻ります

"CSAresult"レジスター。リードオンリーです。Amp のキャリブレーション結果を示します。

CSAresult=1 は、Pass したことを示します。

7.18.34. Address=1010b D[9] “REGreset”

Write	REGreset	-
Read	0	0

"REGreset"レジスター。ライトオンリーです。1 をライトすると、全レジスターを初期化します。

7.18.35. Address=1011b D[9] “GDTESTen”

Write	GDTESTen	-
Read	GDTESTen	Initial value=0

“GDTESTen”レジスター。SH1 端子、SH2 端子の異常を確認するためのコマンドです。

GDTESTen=1 は、異常確認するため、通常のゲートドライブ動作を停止し、外部 n 型 MOSFET を GDTEST[1:0] コマンドに合わせて、1 つずつオンにするモードです。

7.18.36. Address=1011b D[8:7] “GDTEST[1:0]”

Write	GDTEST[1:0]	下表参照
Read	GDTEST[1:0]	Initial value=00b

“GDTEST[1:0]”レジスター。GDTESTen コマンドと合わせ、外部 n 型 MOSFET を 1 つずつオンにします。

GDTEST[1:0]	動作
00b	HS1 をオンさせる
01b	LS1 をオンさせる
10b	HS2 をオンさせる
11b	LS2 をオンさせる

7.18.37. Address=1011b D[6] “VDS1Hsts”, D[5] “VDS1Lsts”, D[4] “VDS2Hsts”, D[3] “VDS2Lsts”

“VDS1Hsts”レジスター、“VDS1Lsts”レジスター、“VDS2Hsts”レジスター、“VDS2Lsts”レジスター。

GDTESTen コマンドに関係なく Vds コンパレーターの出力を常に読みだせます。外部 n 型 MOSFET のオン、オフに関わらず、各 n 型 MOSFET のドレイン、ソース間電圧としきい値電圧を比較した結果です。

Write	0	-
Read	VDS1Hsts	Initial value= 0

Write	0	-
Read	VDS1Lsts	Initial value= 0

Write	0	-
Read	VDS2Hsts	Initial value= 0

Write	0	-
Read	VDS2Lsts	Initial value= 0

注：初期値は初期化解除後直ちに外部回路の影響を受け、0 か 1 のどちらかになります。

7.18.38. Address=1100b D[9] “INspiSEL”

Write	INspiSEL	-
Read	INspiSEL	Initial value=0

“INspiSEL”レジスター。IN11, IN12, IN21, IN22 端子の代わりに SPI からゲートドライブを指示します。

INspiSEL=1 は、ゲートドライブを SPI から制御するモードです。

INspiSEL=0 は、ゲートドライブを IN11, IN12, IN21, IN22 端子から制御するモードです。

7.18.39. Address=1100b D[8] "INspi11", D[7] "INspi12", D[6] "INspi21", D[5] "INspi22"

Write	INspi11	-
Read	INspi11	Initial value=0

"INspi11"レジスター。INspiSEL=1 の時、IN11 端子の代わりに本レジスターの値でゲートドライブを指示します。

Write	INspi12	-
Read	INspi12	Initial value=0

"INspi12"レジスター。INspiSEL=1 の時、IN12 端子の代わりに本レジスターの値でゲートドライブを指示します。

Write	INspi21	-
Read	INspi21	Initial value=0

"INspi21"レジスター。INspiSEL=1 の時、IN21 端子の代わりに本レジスターの値でゲートドライブを指示します。

Write	INspi22	-
Read	INspi22	Initial value=0

"INspi22"レジスター。INspiSEL=1 の時、IN22 端子の代わりに本レジスターの値でゲートドライブを指示します。

7.18.40. Address=1100b D[4] "PWMEN"

Write	PWMEN	-
Read	PWMEN	Initial value=0

"PWMEN"レジスター。H ブリッジモード時に PWMEN=1 とすると、“Forward”の指示は、“Forward”+“Brake”に、“Reverse”の指示は、“Reverse”+“Brake”に置き換え、モーターの駆動を制限します。

本レジスターへライトすると、直ちに PWM 回路へ反映されます。ドライブの指示が“Brake”や“High-Z”のときにライトするようにしてください。“Forward”や“Reverse”時に値を書き換えますと意図しない動作となる可能性があります。十分に検証してください。

7.18.41. Address=1100b D[0] "Half-bridge mode"

Write	Half-bridge mode	-
Read	Half-bridge mode	Initial value=0

ハーフブリッジモードレジスター。このコマンドが 1 だとハーフブリッジモードとして動作します。0 だと H ブリッジモードです。

7.18.42. Address=1101b D[9:0] “PWMCNT[9:0]”

Write	PWMCNT[9:0]	-
Read	PWMCNT[9:0]	Initial value=00_1100_0111b(0C7h)

PWMCNT[9:0]レジスター。このコマンドは、Hブリッジモードで PWMEN=1 のときに、PWM波形の周期を設定するレジスターです。

値は内蔵クロックのカウント値です。値が1つ増えると約 250ns 周期が延長されます。

書き込める値の範囲と、代表値での周期を以下に示します。

書き込むことが可能な値の範囲：00Fh ~ 3FFh この範囲以外は書き込むことができず、SPI エラーとなります。

最大カウント：3FFh = 1023 . 250 * 1024 = 256,000 ns 3,906 Hz

最小カウント：00Fh = 15 . 250 * 16 = 4,000 ns 250 kHz

初期値カウント：0C7h = 199 . 250 * 200 = 50,000 ns 20 kHz

本レジスターへライトしただけでは前に設定した値のままで動作し続けます。本レジスターの値が PWM 回路へ反映されるのは、PWMDT[9:0]レジスターへライトした後、PWM カウンターの値が 0 になったときです。

7.18.43. Address=1110b D[9:0] “PWMDT[9:0]”

Write	PWMDT[9:0]	-
Read	PWMDT[9:0]	Initial value=00_0110_0011b(063h)

PWMDT[9:0]レジスター。このコマンドは、Hブリッジモードで PWMEN=1 のときに、PWM波形のデューティを設定するレジスターです。

PWM 時、PWM 用カウンタは 0 から PWMCNT[9:0]までカウントすることを繰り返します。PWMDT[9:0]はカウンタの値と比較され、一致するとそれまでの“Forward”, “Reverse”状態から、一転して“Brake”に指示を変更します。使用する外部 n 型 MOSFET やモーターに合わせて、PWMCNT[9:0]と PWMDT[9:0]の値を調整してください。

本レジスターへライトした時点では前に設定した値で動作しています。本レジスターの値が PWM 回路へ反映されるのは、PWM カウンタの値が 0 の時だけです。

書き込むことが可能な値の範囲：00Fh ~ 3FFh この範囲以外は書き込むことができず、SPI エラーとなります。PWMCNT[9:0] ≤ PWMDT[9:0]の場合、デューティ比は 100%となります。

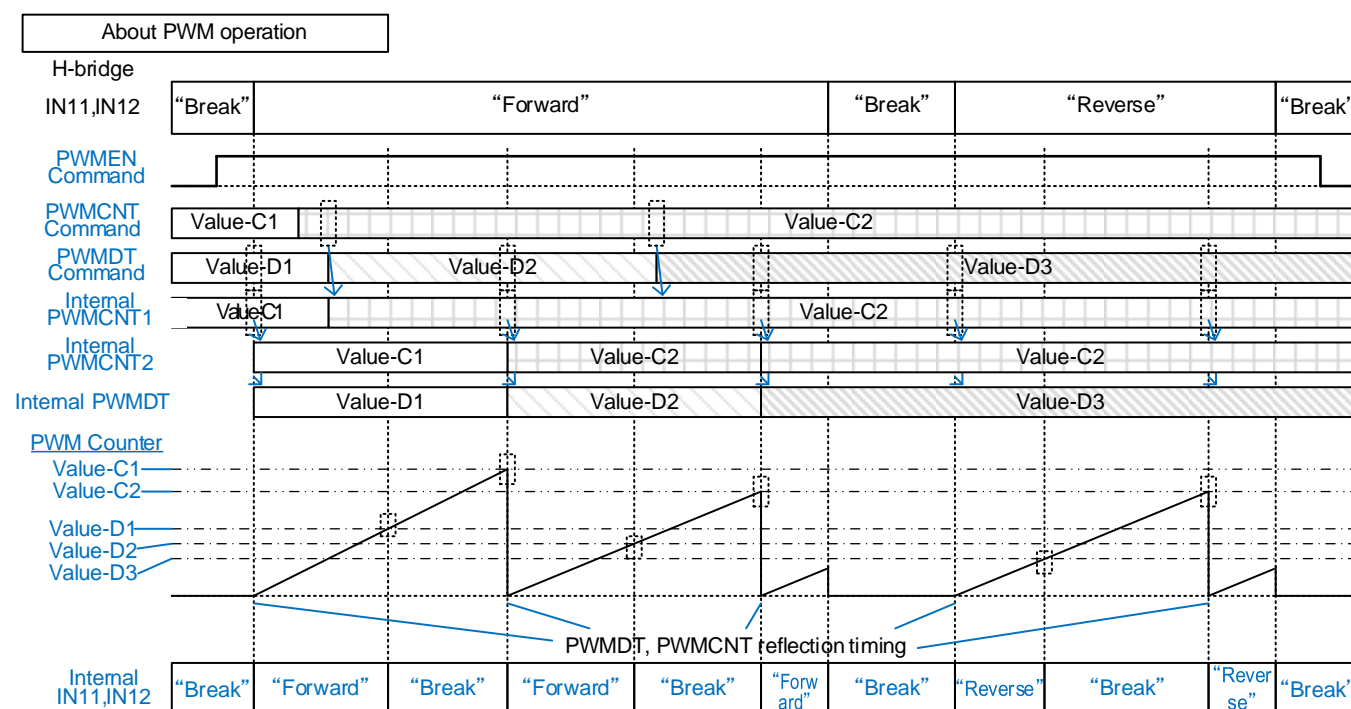


図 7.18.43.1 PWM カウンタの動作

7.18.44. Address=1111b D[9:0] “NOP[9:0]”

Write	NOP[9:0]	-
Read	NOP[9:0]	Initial value=00_0000_0000b

“NOP[9:0]”レジスター。TB9104FTG の SPI でリード動作は、次の通信で目的のレジスターの値を得ることができます。次の通信として、NOP レジスターへのライトやリードを利用することができます。

NOP レジスターへのライトではどのような値をライトしても何も起きません。SDO 端子からは本来得たかったアドレスのデータが出力されます。

なお、NOP レジスターへの通信の次の通信では、SDO 端子からアドレス 1111b と NOP レジスターアクセス時の Read/Write ビット、データとして全て 0 の値が出力されます。

8. 絶対最大定格

表 8.1 絶対最大定格

特に指定が無い場合、Ta=-40~125℃、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。

Spec. No.	項目	対象端子	記号	測定条件	定格			単位
8.1	電源電圧 VB 1	VB	Vvb1a	Slew Rate: $<8V/\mu s$	-0.3	~	Vvcp1a+0.3, 18 低い方	V
8.2	電源電圧 VB 2	VB	Vvb2a	$\leq 1s$	18	~	Vvcp2a+0.3, 40 低い方	V
8.3	電源電圧 VCC	VCC	Vvcc1a	Slew Rate: $<0.3V/\mu s$	-0.3	~	6.0	V
8.4	電源電圧 VDD	VDD	Vvdd1a	Slew Rate: $<0.3V/\mu s$	-0.3	~	6.0	V
8.5	チャージ ポンプ 電圧 1	CPDO	Vcpdo1a	-	-0.3	~	Vvb1a+0.3, 18 低い方	V
8.6	チャージ ポンプ 電圧 2	CPDO	Vcpdo2a	$\leq 1s$	18	~	Vvb2a+0.3 40 低い方	V
8.7	チャージ ポンプ 電圧 3	CPIN	Vcpin1a	-	-0.3	~	Vvcp1a+0.3, 32.5 低い方	V
8.8	チャージ ポンプ 電圧 4	CPIN	Vcpin2a	$\leq 1s$	32.5	~	Vvcp2a+0.3 40 低い方	V
8.9	チャージ ポンプ 電圧 5	VCP	Vvcp1a	-	-0.3	~	32.5	V
8.10	チャージ ポンプ 電圧 6	VCP	Vvcp2a	$\leq 1s$	32.5	~	40	V
8.11	チャージ ポンプ 電圧 7	RPPO	Vrppo1a	-	-0.3	~	Vvcp1a+0.3, 32.5 低い方	V
8.12	チャージ ポンプ 電圧 8	RPPO	Vrppo2a	$\leq 1s$	32.5	~	Vvcp2a+0.3 40 低い方	V
8.13	チャージ ポンプ 電圧 9	RPPO	Vrppo3a	-18V はバッテリー逆接続時 を想定 AGND=GND=0V, VB=VCC=VDD=Open	-18	~	0	V
8.14	ハイサイド ドレイン 電圧 1	DH	Vdh1a	-	-0.3	~	18	V
8.15	ハイサイド ドレイン 電圧 2	DH	Vdh2a	$\leq 1s$	18	~	40	V

Spec. No.	項目	対象端子	記号	測定条件	定格			単位
8.16	ハイサイドゲート電圧 1	GH1, GH2	Vgh1a	$\leq 1 \mu s$, 20kHz	-14	~	-7	V
8.17	ハイサイドゲート電圧 2	GH1, GH2	Vgh2a	-	-7	~	Vvcp1a+0.3, 32.5 低い方	V
8.18	ハイサイドゲート電圧 3	GH1, GH2	Vgh3a	$\leq 1s$	32.5	~	Vvcp2a+0.3 40 低い方	V
8.19	ハイサイドソース電圧 1	SH1, SH2	Vsh1a	$\leq 1 \mu s$, 20kHz	-14	~	-7	V
8.20	ハイサイドソース電圧 2	SH1, SH2	Vsh2a	-	-7	~	Vvcp1a+0.3, 32.5 低い方	V
8.21	ハイサイドソース電圧 3	SH1, SH2	Vsh3a	$\leq 1s$	32.5	~	Vvcp2a+0.3, 40 低い方	V
8.22	ローサイドゲート電圧 1	GL1, GL2	Vgl1a	$\leq 1 \mu s$, 20kHz	-10	~	-7	V
8.23	ローサイドゲート電圧 2	GL1, GL2	Vgl2a	-	-7	~	Vvb1a+0.3, 32.5 低い方	V
8.24	ローサイドゲート電圧 3	GL1, GL2	Vgl3a	$\leq 1s$	32.5	~	Vvb2a+0.3, 40 低い方	V
8.25	ローサイドソース電圧 1	SL	Vsl1a	$\leq 1 \mu s$, 20kHz	-10	~	-7	V
8.26	ローサイドソース電圧 2	SL	Vsl2a	-	-7	~	Vvb1a+0.3, 32.5 低い方	V
8.27	ローサイドソース電圧 3	SL	Vsl3a	$\leq 1s$	32.5	~	Vvb2a+0.3, 40 低い方	V
8.28	端子間差電圧 1	VB-DH	Vvbdh1a	-	-2	~	2	V
8.29	端子間差電圧 2	AGND-GND	Vagndgnd1a	-	-0.3	~	0.3	V
8.30	入力電圧 1	STBY_X, IN11, IN12, IN21, IN22, CS_X, SDI, SCLK	Vinp1a	-	-0.3	~	Vvdd1a+0.3, 6 低い方	V
8.31	入力電圧 2	TEST1	Vinp2a	-	-0.3	~	Vvcp1a+0.3, 32.5 低い方	V
8.32	入力電圧 3	AMPP, AMPN	Vamppn1a	$\leq 1 \mu s$, 20kHz	-10	~	-7	V
8.33	入力電圧 4	AMPP, AMPN	Vamppn2a	-	-7	~	18	V

Spec. No.	項目	対象端子	記号	測定条件	定格			単位
8.34	入力電圧 5	AMPP, AMPN	Vamppn3a	$\leq 1s$	18	~	40	V
8.35	出力電圧 1	DIAG_X, SDO	Vout1a	-	-0.3	~	Vvdd1a+0.3, 6 低い方	V
8.36	出力電圧 2	AMPO	Vampo1a	-	-0.3	~	Vvcc1a+0.3, 6 低い方	V
8.37	出力電流	DIAG_X	ldiag_x1a	-	-10	~	10	mA
8.38	動作周囲温度	-	Ta	-	-40	~	125	°C
8.39	動作接合温度	-	Tj	-	-40	~	150	°C
8.40	保存温度	-	Tstg	-	-55	~	150	°C
8.41	許容損失	-	PD	-	-	~	(0.6)	W

絶対最大定格は瞬時たりとも超えてはならない規格です。

絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外にも破壊や損傷や劣化を与える恐れがあります。いかなる動作条件でも必ず絶対最大定格を超えないように設計を行ってください。

ご使用に際しては、記載された動作範囲内でご使用ください。

表 8.1 にある括弧内の値は設計保証です。

8.1. 許容損失特性

図 8.1.1 許容損失特性

9. 動作範囲

表 9.1 動作範囲

Spec. No.	項目	記号	測定条件	最小	標準	最大	単位
9.1	電源電圧 1	VvbRNG	-	5.7	12	18	V
9.2	電源電圧 2	VvccRNG	-	4.5	5.0	5.5	V
9.3	電源電圧 3	VvddRNG	-	4.5	5.0	5.5	V
9.4	接合温度	TjRNG	-	-40	-	150	°C

VCC 端子と VDD 端子は、同一の電源へ接続してください。

10. 電気的特性

10.1. 消費電流

表 10.1.1 消費電流

(特に規定しない限り $V_B=5.7\sim 18V$, $V_{CC}=V_{DD} = 4.5\sim 5.5V$ ($V_B \geq V_{DD}$), $T_a = -40\sim 125^\circ\text{C}$ 、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.1.1	動作時電源電流(V_B)	I_{vb}	STBY_X=H fPG1=20kHz RloadG=10 Ω CloadG=6100pF Rrpp0=150k Ω	7.0	14.3	20	mA
10.1.2	動作時電源電流(V_{CC})	I_{vcc}	STBY_X=H	2.7	4.9	7.5	mA
10.1.3	動作時電源電流(V_{DD})	I_{vdd}	STBY_X=H	-	0.8	1.4	mA
10.1.4	スタンバイ時電源電流(V_B)	I_{vbSTBY}	STBY_X=L	-	0.1	1.0	μA
10.1.5	スタンバイ時電源電流(V_{CC})	$I_{vccSTBY}$	STBY_X=L	-	1.6	4.5	μA
10.1.6	スタンバイ時電源電流(V_{DD})	$I_{vddSTBY}$	STBY_X=L	-	0.1	6.5	μA

10.2. 発振回路

表 10.2.1 発振回路

(特に規定しない限り $V_B=5.7\sim 18V$, $V_{CC}=V_{DD} = 4.5\sim 5.5V$ ($V_B \geq V_{DD}$), $T_a = -40\sim 125^\circ\text{C}$ 、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.2.1	内部発振周波数	F_c	-	2.6	4.0	5.4	MHz

10.3. 指示入出力端子

表 10.3.1 指示入出力端子

(特に規定しない限り $V_B=5.7\sim 18V$, $V_{CC}=V_{DD}=4.5\sim 5.5V$ ($V_B \geq V_{DD}$), $T_a = -40\sim 125^\circ\text{C}$ 、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.3.1	STBY_X, IN11, IN12, IN21, IN22, CS_X, SDI, SCLK ローレベル入力検出電圧	VinpL	-	-	-	$0.25 \times V_{DD}$	V
10.3.2	STBY_X, IN11, IN12, IN21, IN22, CS_X, SDI, SCLK ハイレベル入力検出電圧	VinpH	-	$0.75 \times V_{DD}$	-	-	V
10.3.3	STBY_X, IN11, IN12, IN21, IN22, SDI, SCLK ローレベル入力電流	IinpL	$V_{DD}=5.0V$, $V_{input}=GND$	-5	-	5	μA
10.3.4	STBY_X, IN11, IN12, IN21, IN22, SDI, SCLK ハイレベル入力電流	IinpH	$V_{DD}=5.0V$, $V_{input}=V_{DD}$	50	100	200	μA
10.3.5	CS_X ローレベル入力電流	Ics_xL	$V_{DD}=5.0V$, $CS_X=GND$	-200	-100	-50	μA
10.3.6	CS_X ハイレベル入力電流	Ics_xH	$V_{DD}=5.0V$, $CS_X=V_{DD}$	-5	-	5	μA
10.3.7	STBY_X analog LPF カットオフパルス幅	Tstby_xPW	-	1	2.5	5	μs
10.3.8	通常状態からスタンバイ状態への遷移時間	Tstby	STBY_X Fall \rightarrow GHx, GLx=オフ	-	-	500	μs
10.3.9	スタンバイ状態から通常状態への遷移時間	Twake	STBY_X Rise \rightarrow GHx, GLx=オン	1.2	1.7	2.7	ms
10.3.10	スタンバイ状態から SPI 通信可能となる時間	Twakespi	STBY_X Rise \rightarrow SDO H, L Out	-	-	150	μs
10.3.11	DIAG_X ローレベル時電圧	Vdiag_xL	I _{diag_x} =5mA	-	-	$0.1 \times V_{DD}$	V
10.3.12	DIAG_X ハインピーダンス時 電流	I _{diag_xZ}	DIAG_X= V_{DD}	-	-	10	μA
10.3.13	SDO ローレベル時電圧	VsdoL	I _{sdo} = 5mA	-	-	$0.1 \times V_{DD}$	V
10.3.14	SDO ハイレベル時電圧	VsdoH	I _{sdo} = -5mA	$0.9 \times V_{DD}$	-	-	V
10.3.15	SDO ハインピーダンス時 電流	I _{sdoZ}	SDO= V_{DD}	-	-	10	μA
10.3.16	IN11, IN12, IN21, IN22 同期化遅延	Tpd_d	図 7.17.1.4.1, 図 7.17.2.4.1 参照	-	1000	-	ns
10.3.17	TEST1 端子プルダウン抵抗	Rtest1PDR		25	50	100	k Ω

注: V_{input} は、被測定端子 STBY_X, IN11, IN12, IN21, IN22, CS_X, SDI, SCLK の電圧 を指す。

10.4. SPI 通信

表 10.4.1 SPI 通信

(特に規定しない限り $V_B=5.7\sim 18V$, $V_{CC}=V_{DD} = 4.5\sim 5.5V$ ($V_B \geq V_{DD}$), $T_a = -40\sim 125^\circ\text{C}$ 、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.4.1	CS_X 立ち下がり、SDO 間遅延時間	Tcs_xsdo	Cload=100pF	-	-	100	ns
10.4.2	有効待機時間	Tcs_xsclk	Fop=2MHz	100	-	-	ns
10.4.3	無効待機時間	Tclkcs_x	-	100	-	-	ns
10.4.4	SDI 設定時間	TsdiSET	-	50	-	-	ns
10.4.5	SDI 保持時間	TsdiHLD	-	50	-	-	ns
10.4.6	SDO 遅延時間	TsdoDLY	Cload=100pF	-	-	100	ns
10.4.7	CS_X 無効時間	Tcs_xH	-	2	-	-	μs
10.4.8	SDO、CS_X 間立ち上がり遅延時間	Tsdocs_xDLY	Cload=100pF	-	-	100	ns
10.4.9	通信周波数	Fop	-	-	-	2	MHz
10.4.10	SCLK High 期間	TsclH	-	250	-	-	ns
10.4.11	SCLK Low 期間	TsclL	-	250	-	-	ns

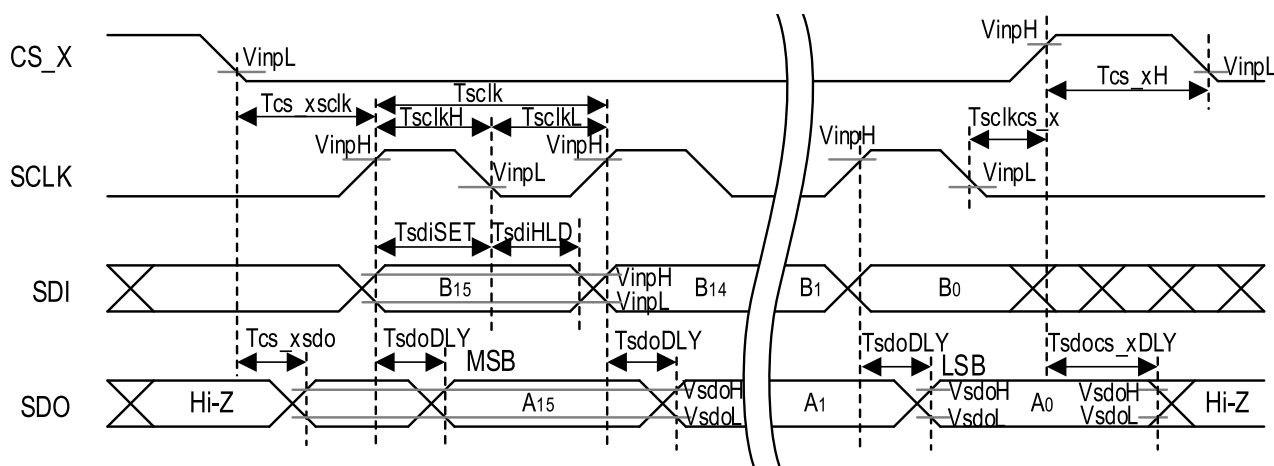


図 10.4.1 SPI タイミングチャート

10.5. チャージポンプ

表 10.5.1 チャージポンプ

(特に規定しない限り $V_B=5.7\sim 18V$, $V_{CC}=V_{DD}=4.5\sim 5.5V$ ($V_B \geq V_{DD}$), $T_a = -40\sim 125^\circ C$ 、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。

$R_{cp} \leq 7.5\Omega$, $C_{cp} = 0.1\mu F$, $C_{vcp} = 2.2\mu F$ $I_{vcpLOAD} = -8mA$ RPPO, GHx, GLx は無負荷)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.5.1	チャージポンプ電圧 1	Vvcp	$V_B=8\sim 18V$	$V_B+5.7$	-	$V_B+14.5$	V
10.5.2	チャージポンプ電圧 2	VvcpL	$V_B=5.7\sim 8V$	$V_B+4.3$	-	V_B+8	V
10.5.3	チャージポンプ スイッチング周波数	Fvcp	-	130	200	270	kHz
10.5.4	チャージポンプ 起動時間	TvcpGOOD	起動後 VCP 電圧が 90%に到達 するまで	-	-	1500	μs
10.5.5	チャージポンプ プルダウン抵抗	Rvcpvb	$V_B=0$, $V_{CP}=1V$	300	600	900	$k\Omega$

10.6. 逆接続保護回路用ゲートドライバー回路

表 10.6.1 逆接続保護回路用ゲートドライバー回路

(特に規定しない限り $V_B=5.7\sim 18V$, $V_{CC}=V_{DD}=4.5\sim 5.5V$ ($V_B\geq V_{DD}$), $T_a=-40\sim 125^{\circ}C$ 、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。

$R_{cp}\leq 7.5\Omega$, $C_{cp}=0.1\mu F$, $C_{vcp}=2.2\mu F$ $I_{vcp}LOAD=-8mA$ GHx, GLx は無負荷)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.6.1	RPP SW オン時 出力電圧	VrppoON	$I_{load}=-110\mu A$	VCP-0.2	-	VCP	V
10.6.2	RPP SW オフ時 リーク電流	IrppoLK	RPPO= V_B	-5	0	5	μA
10.6.3	逆接続時 リーク電流	IrppoRLK	RPPO= -18V, GND=AGND=0V, $V_B=V_{CC}=V_{DD}=Open$ 図 11.1 参照	0	0.1	10	μA

10.7. ゲートドライバー

表 10.7.1 ゲートドライバー

(特に規定しない限り $V_B=5.7\sim 18V$, $V_{CC}=V_{DD}=4.5\sim 5.5V$ ($V_B \geq V_{DD}$), $T_a = -40\sim 125^\circ\text{C}$ 、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。

$R_{cp} \leq 7.5\ \Omega$, $C_{cp} = 0.1\ \mu\text{F}$, $C_{vcp} = 2.2\ \mu\text{F}$)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.7.1	ハイサイド ゲート、ソース間オン時 駆動電圧 1	VgsHSsrc1	SHx=VB, Iload= -100 μA VB=8~18V GHx-SHx	4	-	12	V
10.7.2	ハイサイド ゲート、ソース間オン時 駆動電圧 2	VgsHSsrc2	SHx=VB, Iload= -100 μA VB=5.7~8V GHx-SHx	4	-	8	V
10.7.3	ハイサイド ゲート、ソース間オフ時 シャント電圧	VgsHSsnk	SHx=VB, Iload=100 μA GHx-SHx	-	-	0.2	V
10.7.4	ローサイド ゲート、ソース間オン時 駆動電圧 1	VgsLSsrc1	SL=GND, Iload= -100 μA VB=8~18V GLx-SL	4	-	12	V
10.7.5	ローサイド ゲート、ソース間オン時 駆動電圧 2	VgsLSsrc2	SL=GND, Iload= -100 μA VB=5.7~8V GLx-SL	4	-	8	V
10.7.6	ローサイド ゲート、ソース間オフ時 シャント電圧	VgsLSsnk	SL=GND, Iload=100 μA GLx-SL	-	-	0.2	V
10.7.7	出力抵抗 1	Ronh	ゲートドライバーオン Iload= -50mA	-	10	20	Ω
10.7.8	出力抵抗 2	Ronl	ゲートドライバーオフ Iload=50mA	-	3	6	Ω
10.7.9	ゲート、ソース間 シャント抵抗	Rgsshunt	-	25	50	100	k Ω
10.7.10	Vgsx Rise 後 t _{ilim} で設定した 時間経過後	Igs_lmth	-	-	-10	-	mA
10.7.11	Vgsx Fall 後 t _{ilim} で設定した 時間経過後	Igs_lmtl	-	-	10	-	mA
10.7.12	出力電流切替時間 t _{ilim} ="000"	Tsw0	-	3.7	6	10.5	μs
10.7.13	出力電流切替時間 t _{ilim} ="001"	Tsw1	-	5	8	14	μs
10.7.14	出力電流切替時間 t _{ilim} ="010"	Tsw2	-	6.2	10	17.5	μs
10.7.15	出力電流切替時間 t _{ilim} ="011"	Tsw3	-	7.5	12	21	μs
10.7.16	出力電流切替時間 t _{ilim} ="100"	Tsw4	-	10	16	28	μs
10.7.17	出力電流切替時間 t _{ilim} ="101"	Tsw5	-	20	32	56	μs
10.7.18	出力電流切替時間 t _{ilim} ="110"	Tsw6	-	40	64	112	μs
10.7.19	Turn on 入力伝搬遅延時間 HS	Tdonh	図 7.17.1.4.1, 図 7.17.2.4.1 参照 Rload=10 Ω , Cload=6100pF	10	260	700	ns

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.7.20	Turn on 入力伝搬遅延時間 LS	Tdonl	図 7.17.1.4.1, 図 7.17.2.4.1 参照 Rload=10 Ω , Cload=6100pF	10	260	700	ns
10.7.21	Turn off 入力伝搬遅延時間 HS	Tdoffh	図 7.17.1.4.1, 図 7.17.2.4.1 参照 Rload=10 Ω , Cload=6100pF	10	210	700	ns
10.7.22	Turn off 入力伝搬遅延時間 LS	Tdoffl	図 7.17.1.4.1, 図 7.17.2.4.1 参照 Rload=10 Ω , Cload=6100pF	10	210	700	ns
10.7.23	ハイサイド、ローサイド間伝搬遅延差	Tdifhsls	Tdonh - Tdoffl , Tdonl - Tdoffh Rload=10 Ω , Cload=6100pF	-250	-	250	ns
10.7.24	Dead time t_deadt="000"	Tdead0	-	185	250	385	ns
10.7.25	Dead time t_deadt="001"	Tdead1	-	370	500	770	ns
10.7.26	Dead time t_deadt="010"	Tdead2	-	555	750	1155	ns
10.7.27	Dead time t_deadt="011"	Tdead3	-	740	1000	1540	ns
10.7.28	Dead time t_deadt="100"	Tdead4	-	925	1250	1925	ns
10.7.29	Dead time t_deadt="101"	Tdead5	-	1110	1500	2310	ns
10.7.30	Dead time t_deadt="110"	Tdead6	-	1295	1750	2695	ns
10.7.31	Dead time t_deadt="111"	Tdead7	-	1480	2000	3080	ns

注: GHx = { GH1 , GH2 } , GLx = { GL1 , GL2 } , SHx = { SH1 , SH2 }

10.8. 電流検出アンプ

表 10.8.1 電流検出アンプ

(特に規定しない限り $V_B=5.7\sim 18V$, $V_{CC}=V_{DD}=4.5\sim 5.5V$ ($V_B\geq V_{DD}$), $T_a=-40\sim 125^\circ\text{C}$ 、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.8.1	AMPP, AMPN 入力オフセット電圧 1	Voff1	キャリブレーション実施後 $T_a=25^\circ\text{C}$ Gain=15(CSAgain="011") Comvin=0V Iload=0.5mA	-1	-	1	mV
10.8.2	AMPP, AMPN 入力オフセット電圧 2	Voff2	キャリブレーション実施前 $T_a=25^\circ\text{C}$ Gain=15(CSAgain="011") Comvin=0V Iload=0.5mA	-7	-	7	mV
10.8.3	AMPP, AMPN 入力オフセット電圧 温度特性 1	VoffdT1	キャリブレーション実施後 Gain=15(CSAgain="011") Comvin=0V Iload=0.5mA	(-20)	-	(20)	$\mu\text{V}/^\circ\text{C}$
10.8.4	AMPP, AMPN 入力オフセット電圧 温度特性 2	VoffdT2	キャリブレーション実施前 Gain=15(CSAgain="011") Comvin=0V Iload=0.5mA	(-20)	-	(20)	$\mu\text{V}/^\circ\text{C}$
10.8.5	AMPP, AMPN 入力オフセット電流 1	lin1	(AMPP, AMPN)=(-0.5V, -0.5V)(2V, 2V) の組み合わせ計算式: $I(\text{AMPP}) - I(\text{AMPN})$	-5	-	5	μA
10.8.6	AMPP, AMPN 入力オフセット電流 2	lin2	(AMPP, AMPN)=(2V, -0.5V) の組み合わせ計算式: $I(\text{AMPP}) - I(\text{AMPN})$	30	-	130	μA
10.8.7	AMPO 出力電圧 1	Vohop	Gain=15(CSAgain="011") $V_{inr} = 0.1 \times V_{CC}$ Iload = -500 μA	$V_{CC}-0.15$	-	V_{CC}	V
10.8.8	リファレンス電圧	Vref	-	$(V_{CC}/4)-9$	$V_{CC}/4$	$(V_{CC}/4)+9$	mV
10.8.9	AMPP, AMPN GAIN 0	Gain0	CSAgain = "000" $V_{inr} =$ ($V_{CC} \times 0.75 - 0.15$)/7.5, Comvin=0V, Iload = 無負荷	-1%	7.5	1%	-
10.8.10	AMPP, AMPN GAIN 1	Gain1	CSAgain = "001" $V_{inr} =$ ($V_{CC} \times 0.75 - 0.15$)/10, Comvin=0V, Iload = 無負荷	-1%	10	1%	-
10.8.11	AMPP, AMPN GAIN 2	Gain2	CSAgain = "010" $V_{inr} =$ ($V_{CC} \times 0.75 - 0.15$)/12.5, Comvin=0V, Iload = 無負荷	-1%	12.5	1%	-
10.8.12	AMPP, AMPN GAIN 3	Gain3	CSAgain = "011" $V_{inr} =$ ($V_{CC} \times 0.75 - 0.15$)/15, Comvin=0V, Iload = 無負荷	-1%	15	1%	-

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.8.13	AMPP, AMPN GAIN 4	Gain4	CSA _{gain} = "100" Vin _r = (VCC × 0.75 - 0.15)/20, Com _{vin} = 0V, I _{load} = 無負荷	-1%	20	1%	-
10.8.14	AMPP, AMPN GAIN 5	Gain5	CSA _{gain} = "101" Vin _r = (VCC × 0.75 - 0.15)/30, Com _{vin} = 0V, I _{load} = 無負荷	-1%	30	1%	-
10.8.15	AMPP, AMPN GAIN 6	Gain6	CSA _{gain} = "110", "111" Vin _r = (VCC × 0.75 - 0.15)/40, Com _{vin} = 0V, I _{load} = 無負荷	-1.25%	40	1.25%	-
10.8.16	AMPO スルーレート 1	Sr1	VCC = 5.0V Gain = 15(CSA _{gain} = "011") R _{load} = 1kΩ, C _{load} = 220pF Vin _r = 0V → (VCC × 0.75 - 0.15)/15 V _{out} = 2.25V → 4.0V 時	4.5	10	20	V/μs
10.8.17	AMPO スルーレート 2	Sr2	VCC = 5.0V Gain = 15(CSA _{gain} = "011") R _{load} = 1kΩ, C _{load} = 220pF Vin _r = (VCC × 0.75 - 0.15)/15 → 0V V _{out} = 4.0V → 2.25V 時	-20	-10	-4.5	V/μs
10.8.18	AMPO セトリングタイム	T _{set}	R _{load} = 1kΩ, C _{load} = 220pF 出力電圧 ±2% に収束する時間	-	-	(1.5)	μs
10.8.19	AMPP, AMPN 同相入力範囲	Com _{vin}	-	-0.5	-	2.0	V
10.8.20	VCC PSRR	Ps _{rrop}	VCC に 1kHz を入力、ただし V _{ref} の影響は除く	-	60	-	dB
10.8.21	AMPP, AMPN CMRR	Cm _{rrop}	VCC = 5.0V Gain = 15(CSA _{gain} = "011") Com _{vin} = 20mV _{p-p} , 100kHz	-	100	-	dB
10.8.22	オフセットキャリブレーション時間	T _{ampofscal}	-	-	-	122	μs

注: 括弧で表記した規格は、設計値であり出荷テストは実施していません。

注: 測定回路は図 10.8.1 を参照してください。R_{sh} を GND に向かって流れる電流により発生する電位差を Vin_r と定義します。

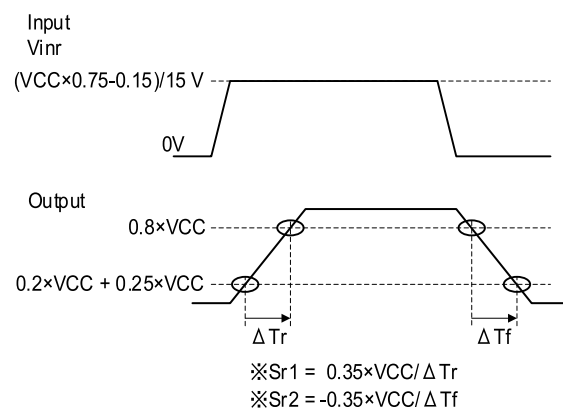
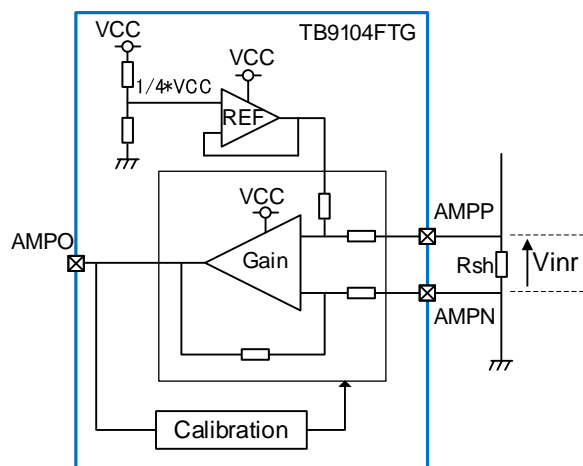


図 10.8.1 電流センスアンプ 測定回路

図 10.8.2 スルーレートタイミングチャート

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。

10.9. 異常検出

表 10.9.1 状態検出

(特に規定しない限り VB=5.7~18V, VCC=VDD = 4.5~5.5V (VB ≥ VDD), Ta = -40~125°C、電圧は GND を基準とし、電流は端子に流れ込む方向を正とします。)

Spec. No.	項 目	記 号	測 定 条 件	最小	標準	最大	単位
10.9.1	VB 低電圧検出	VvbUd	-	4.8	5.1	5.4	V
10.9.2	VB 低電圧検出後復帰	VvbUr	-	5.1	5.4	5.7	V
10.9.3	VB 低電圧検出ヒステリシス	VvbUhys	-	0.1	-	-	V
10.9.4	VB 低電圧 Digital LPF カットオフパルス幅	TvbUpw	-	5.92	8	12.31	μs
10.9.5	VCP 高電圧検出	VvcpOd	-	33	36	39	V
10.9.6	VCP 高電圧検出復帰	VvcpOr	-	30	33	36	V
10.9.7	VCP 高電圧検出ヒステリシス	VvcpOhys	-	0.1	-	-	V
10.9.8	VCP 高電圧検出 Digital LPF カットオフパルス幅	TvcpUpw	-	5.92	8	12.31	μs
10.9.9	VCP,VB 間低電圧検出	VvcpvbUd	VCP-VB	3.2	3.6	4.0	V
10.9.10	VCP,VB 間低電圧検出後復帰	VvcpvbUr	VCP-VB	3.5	3.9	4.3	V
10.9.11	VCP,VB 間低電圧検出ヒステリシス	VvcpvbUhys	VCP-VB	0.1	-	-	V
10.9.12	VCP,VB 間低電圧検出 Digital LPF カットオフパルス幅	TvcpvbUpw	-	5.92	8	12.31	μs
10.9.13	VCP,RPPO 間高電圧検出	VvcprppoOd	VCP-RPPO	2	3	4	V
10.9.14	VCP,RPPO 間高電圧検出後復帰	VvcprppoOr	VCP-RPPO	1	2	3	V
10.9.15	VCP,RPPO 間高電圧検出ヒステリシス	VvcprppoOhys	VCP-RPPO	0.1	-	-	V
10.9.16	VCP,RPPO 間高電圧検出 Digital LPF カットオフパルス幅	TvcprppoOpw	-	5.92	8	12.31	μs
10.9.17	VCC 低電圧検出	VvccUd	-	3.9	4.1	4.35	V
10.9.18	VCC 低電圧検出後復帰	VvccUr	-	4.05	4.3	4.5	V
10.9.19	VCC 低電圧検出ヒステリシス	VvccUhys	-	0.1	-	-	V
10.9.20	VCC 低電圧検出 analog LPF カットオフパルス幅	TvccUpw	-	1	10	20	μs
10.9.21	ジャンクション温度高温検出	TjunctOd	(括弧)内は設計値	(155)	(175)	(195)	°C
10.9.22	ジャンクション温度高温検出後復帰	TjunctOr	(括弧)内は設計値	(145)	(165)	(185)	°C
10.9.23	ジャンクション温度高温検出ヒステリシス	TjunctOhys	(括弧)内は設計値	-	(10)	(15)	°C
10.9.24	ジャンクション温度高温検出 Digital LPF カットオフパルス幅	TjunctOpw	-	1.48	2	3.08	μs
10.9.25	DH 入力電流	Idh	DH = VB	45	95	150	μA
10.9.26	ゲートドライブオフ時 SHx 出力電流 1	Ishx1	VB=DH=12V SH1=SH2=12V	-650	-330	-200	μA
10.9.27	ゲートドライブオフ時 SHx 出力電流 2	Ishx2	VB=DH=12V SH1=SH2=0V	-650	-360	-200	μA
10.9.28	SL 入力電流	Isl	ゲートドライブオン SL = SH1=SH2 = -0.5 ~ 2V	-1200	-700	0	μA

10.9.29	Vds 高電圧検出マスク時間	TvdsMASK	-	設定値 × 0.74	設定値 7.18.19 7.18.25	設定値 × 1.54	μs
10.9.30	Vds 高電圧検出電圧 VDS1Hth,VDS2Hth="000"	VdhshOd0	SL= -0.5~1.2V	0.01	0.1	0.19	V
10.9.31	Vds 高電圧検出電圧 VDS1Hth,VDS2Hth="001"	VdhshOd1	SL= -0.5~1.2V	0.2	0.3	0.4	V
10.9.32	Vds 高電圧検出電圧 VDS1Hth,VDS2Hth="010"	VdhshOd2	SL= -0.5~1.2V	0.4	0.5	0.6	V
10.9.33	Vds 高電圧検出電圧 VDS1Hth,VDS2Hth="011"	VdhshOd3	SL= -0.5~1.2V	0.6	0.7	0.8	V
10.9.34	Vds 高電圧検出電圧 VDS1Hth,VDS2Hth="100"	VdhshOd4	SL= -0.5~1.2V	0.8	0.9	1.0	V
10.9.35	Vds 高電圧検出電圧 VDS1Hth,VDS2Hth="101"	VdhshOd5	SL= -0.5~1.2V	0.99	1.1	1.21	V
10.9.36	Vds 高電圧検出電圧 VDS1Hth,VDS2Hth="110"	VdhshOd6	SL= -0.5~1.2V	1.17	1.3	1.43	V
10.9.37	Vds 高電圧検出電圧 VDS1Hth,VDS2Hth="111"	VdhshOd7	SL= -0.5~1.2V	1.35	1.5	1.65	V
10.9.38	Vds 高電圧検出電圧 VDS1Lth,VDS2Lth="000"	VshslOd0	SL= -0.5~1.2V	0.01	0.1	0.19	V
10.9.39	Vds 高電圧検出電圧 VDS1Lth,VDS2Lth="001"	VshslOd1	SL= -0.5~1.2V	0.2	0.3	0.4	V
10.9.40	Vds 高電圧検出電圧 VDS1Lth,VDS2Lth="010"	VshslOd2	SL= -0.5~1.2V	0.4	0.5	0.6	V
10.9.41	Vds 高電圧検出電圧 VDS1Lth,VDS2Lth="011"	VshslOd3	SL= -0.5~1.2V	0.6	0.7	0.8	V
10.9.42	Vds 高電圧検出電圧 VDS1Lth,VDS2Lth="100"	VshslOd4	SL= -0.5~1.2V	0.8	0.9	1.0	V
10.9.43	Vds 高電圧検出電圧 VDS1Lth,VDS2Lth="101"	VshslOd5	SL= -0.5~1.2V	0.99	1.1	1.21	V
10.9.44	Vds 高電圧検出電圧 VDS1Lth,VDS2Lth="110"	VshslOd6	SL= -0.5~1.2V	1.17	1.3	1.43	V
10.9.45	Vds 高電圧検出電圧 VDS1Lth,VDS2Lth="111"	VshslOd7	SL= -0.5~1.2V	1.35	1.5	1.65	V
10.9.46	Vds 高電圧検出 DigitalLPF カットオフパルス幅 t_VDS1fil,t_VDS2fil="00"	TvdsOpw0	-	0.74	1	1.54	μs
10.9.47	Vds 高電圧検出 DigitalLPF カットオフパルス幅 t_VDS1fil,t_VDS2fil="01"	TvdsOpw1	-	1.48	2	3.08	μs
10.9.48	Vds 高電圧検出 DigitalLPF カットオフパルス幅 t_VDS1fil,t_VDS2fil="10"	TvdsOpw2	-	2.96	4	6.16	μs
10.9.49	Vds 高電圧検出 DigitalLPF カットオフパルス幅 t_VDS1fil,t_VDS2fil="11"	TvdsOpw3	-	5.92	8	12.31	μs

注: 10.9.21 から 10.9.23 にある温度に関する規格は設計上のものであり、出荷テストは行われていません。

過熱シャットダウン回路は、異常状態を一時的に回避するためのものです。

これは、IC の損傷を防ぐことを保証するものではありません。

11. 測定回路図

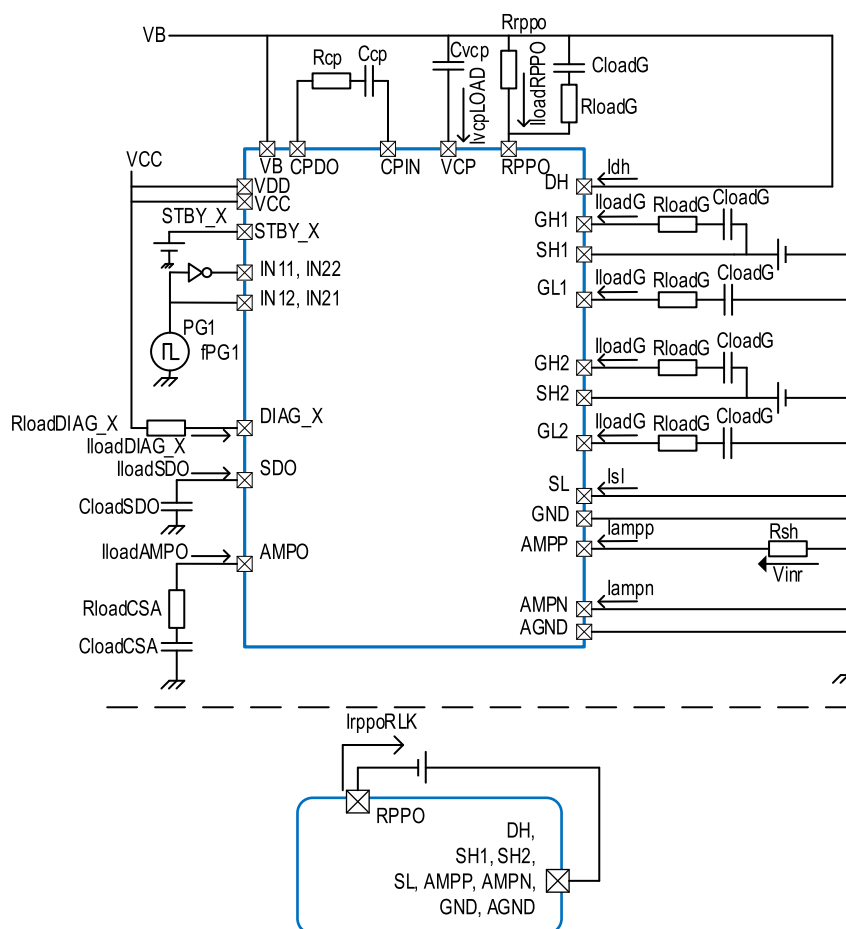


図 11.1 測定回路

注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。上図は代表的な測定回路です。測定項目にある測定条件によって、上図とは IC 外部の回路が変更される場合があります。

12. 特性図

13. 応用回路例

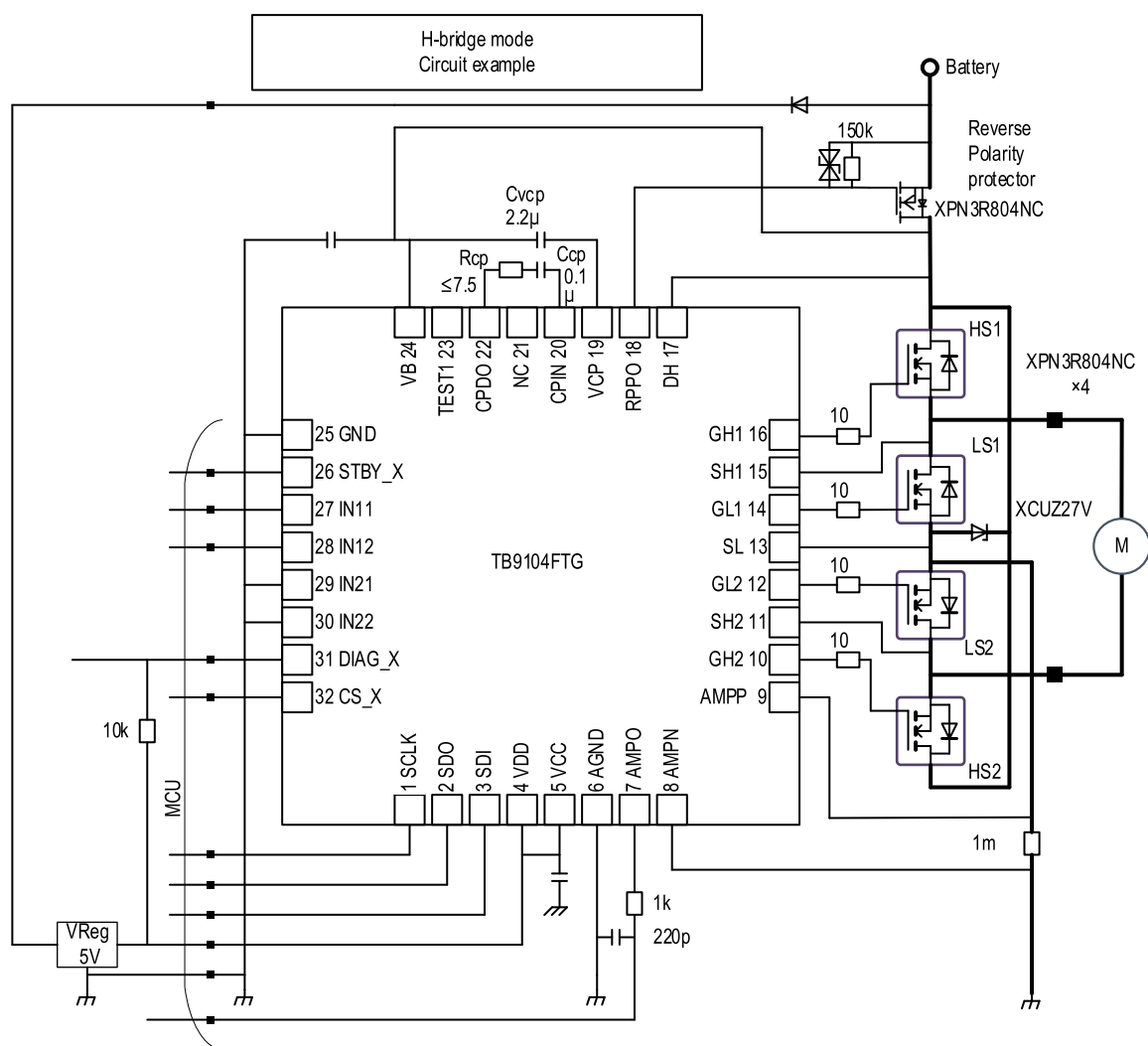


図 13.1 応用回路例 1

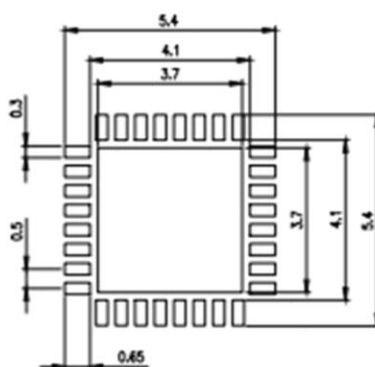
注： 上図は IC について機能・動作などの説明をするため、省略や簡略化をしています。Cvcp, Ccp などキャパシターに積層セラミックタイプを採用する際は、温度依存性、電圧依存性を考慮し、十分検証の上、ご使用ください。回路構成、部品の選定、抵抗値や容量値は例です。お客様の選定した構成で十分に検証して決定してください。

14.2. 参考パッド寸法

参考ランドパターン寸法

P-VQFN32-0505-0.50-009

"Unit: mm"



注意

- ・特に表示がない限り、寸法数字の単位はミリメートルです。
- ・本資料は JEITA ET-7501 Level3に準じた参照用の図です。
当社は、図および情報の正確性、完全性に関して一切の保証をいたしません。
- ・お客様にて各種条件(はんだ付け条件など)を十分評価し、お客様の責任において調整を行ってください。
- ・本資料の図は実際の形状や寸法を正確に示すものではありません。図から採寸などで現品の寸法を見積もるなど、その値で設計しないでください。
- ・設計および使用に際しては、本製品に関する最新の情報および本製品が使用される機器の取扱説明書などをご確認の上、これに従ってください。

Rev01

1/1

図 14.2.1 参考パッド寸法

15. 使用上のご注意およびお願い事項

15.1. 使用上の注意事項

- (1) 絶対最大定格は複数の定格の、どの1つの値も瞬時たりとも超えてはならない規格です。複数の定格のいずれに対しても超えることができません。絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼による傷害を負うことがあります。
- (2) 過電流の発生や IC の故障の場合に大電流が流れ続けないように、適切な電源ヒューズを使用してください。IC は絶対最大定格を超えた使い方、誤った配線、および配線や負荷から誘起される異常パルスノイズなどが原因で破壊することあり、この結果、IC に大電流が流れ続けることで、発煙・発火に至ることがあります。破壊における大電流の流入出を想定し、影響を最小限にするため、ヒューズの容量や溶断時間、挿入回路位置などの適切な設定が必要となります。

15.2. 使用上の留意点

- (3) 過電流保護回路過電流制限回路
(通常: カレントリミッター回路) はどのような場合でも IC を保護するわけではありません。動作後は、速やかに過電流状態を解除するようお願いします。絶対最大定格を超えた場合など、ご使用方法や状況により、過電流制限回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。また、動作後、長時間過電流が流れ続けた場合、ご使用方法や状況によっては、IC が発熱などにより破壊することがあります。
- (4) 熱遮断回路
熱遮断回路 (通常: サーマルシャットダウン回路) は、どのような場合でも IC を保護するわけではありません。動作後は、速やかに発熱状態を解除するようお願いします。絶対最大定格を超えて使用した場合など、ご使用法や状況により、熱遮断回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社

<https://toshiba.semicon-storage.com/jp/>