

CMOS 形 デジタル集積回路 シリコン モノリシック

TMPM4K グループ(1)

概要

- Arm® Cortex®-M4(FPU 機能搭載) 動作周波数: 1~120MHz、動作電圧: 2.7~5.5V
- 128~256KB フラッシュ
- 44~64 ピン、3 種類のパッケージ展開

用涂

モーター、モーター家電、産業機器に幅広く使用可能

- Arm Cortex-M4(FPU 機能搭載) コア搭載
- 動作周波数: 1~120MHz
- メモリー保護ユニット(MPU)搭載
- 動作電圧と消費電力
- 動作電圧: 2.7~5.5V
- 低消費電力動作: IDLE、STOP1
- 動作温度範囲: -40~+105°C
- 内蔵メモリー
- フラッシュ: 128~256KB、書き換え: 10 万回
- RAM: 18KB、パリティー付き
- クロック
- 外部高速発振器: 6MHz~24MHz(セラミック、水晶)
- 外部高速クロック入力: 6~24MHz
- 内蔵高速発振器(IHOSC1): 10MHz、ユーザートリミング
- PLL: 120MHz
- 周波数検知(OFD): システムクロック異常検知
- 電圧検知(LVD): 8 レベル、割り込みとリセット出力選択
- 外部: 9~11 要因、DNF:デジタルノイズフィルター付き
- 内部: 75~81 要因
- 入出力ポート: 33~51 本
- プルアップ/ダウン、オープンドレイン、5V トレラントあり
- オンチップデバッグ(JTAG/SW)、ノンブレークデバッグインター フェース(RAM モニター)
- トリガーセレクター(TRGSEL)
- DMA コントローラーやタイマーカウンターなどの起動要因を拡



LQFP64 10x10mm 0.5mm ピッチ LOFP48 7x7mm 0.5mm ピッチ LQFP44 10x10mm 0.8mm ピッチ

- DMA コントローラー(DMAC)
- 起動要因: 27~32 要因、内部/外部トリガー
- CRC 計算回路(CRC): 1 チャネル
- CRC32, CRC16
- 非同期シリアル通信回路(UART): 3~4 チャネル
- 最大 5Mbps、FIFO(送信 8 段、受信 8 段)
- シリアルペリフェラルインターフェース(TSPI): 2~4 チャネル
- SIO モード、最大 20Mbps、FIFO(送信 16 ビットx8 段、受信 16 ビット×8段)
- I²C インターフェース
- I²C インターフェース(I2C): 1 チャネル、マルチコントローラー
- I²C インターフェース バージョン A (EI2C): 1 チャネル、マルチ コントローラー、10bit アドレス対応
- 12 ビット AD コンバーター(ADC): 2 ユニット、9~12 チャネル入 力
- 変換時間: 0.73µs @ 30MHz(f_{SCLK})
- 自己診断サポート機能
- 2つのユニット間の変換結果比較機能
- オペアンプ(OPAMP): 1 ユニット
- ゲイン選択可
- アドバンストプログラマブルモーター制御回路(A-PMD): 1~2 チ
- 3 相相補 PWM 出力、12 ビット ADC との同期動作
- PFC 制御: 3 相インターリーブ PFC 対応可
- 外部入力による緊急停止機能(EMG 端子、OVV 端子)
- アドバンストエンコーダー入力回路(32-bit) (A-ENC32): 2チャネル
- エンコーダー/センサー(3種)/タイマー/位相カウンターモード

製品量産開始時期 2024-10



- 32 ビットタイマーイベントカウンター(T32A)
- 32 ビットタイマー時 6 チャネル、16 ビットタイマー時 12 チャネル
- インターバルタイマー、イベントカウント、インプットキャプチャー、位相差入力、パルス出力、PPG 出力、同期スタート、トリガースタート
- ウオッチドッグタイマー(SIWDT): 1 チャネル
- システムクロックと別系統のソースクロックを選択
- クリアウインドウ、割り込みとリセット出力選択



機能別製品一覧

この表は開発中製品を含みます。 各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表 1.1 機能別製品一覧

2 · · · · · · · · · · · · · · · · · · ·					
内蔵	機能	TMPM4K4FYBUG TMPM4K4FWBUG	TMPM4K2FYBDUG TMPM4K2FWBDUG	TMPM4K1FYBUG TMPM4K1FWBUG	
Memory	Code Flash (KB)	256 128	256 128	256 128	
Momory	RAM (KB)	18	18	18	
I/O port	PORT (pin)	51	37	33	
External	Factors	11	10	9	
interrupt	Pins	16	12	11	
DMA	DMAC (ch)	32	27	27	
Timer function	T32A (ch)	6	6	6	
Serial	UART (ch)	4	3	3	
communication	I2C/EI2C (ch)	1 / 1	1/1	1 / 1	
function	TSPI(SIO) (ch)	4	2	2	
Analog function	12-bit ADC Unit A/B (AIN ch)	12 / 12	10 / 10	9/9	
OPAMP (unit)		1	1	1	
Motor control	A-PMD (ch)	2	2	1	
function	A-ENC32 (ch)	2	2	2	
Other function CRC (ch)		1	1	1	
Other function	RAMP (ch)	1	1	1	
	LVD (ch)	1	1	1	
System	SIWDT (ch)	1	1	1	
function	OFD (ch)	1	1	1	
	POR (ch)	1	1	1	
Debug interface	DEBUG	JTAG/SW TRACE(4bits) NBDIF	JTAG/SW	JTAG/SW	
Package type Package		LQFP64 (10 mm × 10 mm, 0.5 mm pitch)	LQFP48 (7 mm × 7 mm, 0.5 mm pitch)	LQFP44 (10 mm × 10 mm, 0.8 mm pitch)	
	Package name	P-LQFP64-1010 -0.50-003	P-LQFP48-0707 -0.50-002	P-LQFP44-1010 -0.80-003	

目次

概要	
用途	1
特長	1
機能別製品一覧	3
目次	4
図目次	7
表目次	8
序章	9
表記規約	9
用語・略語	11
1. ブロック図	12
2. 端子配置図	
2.1. LQFP64	
2.2. LQFP48	14
2.3. LQFP44	15
3. メモリーマップ	16
3.1. メモリー容量一覧	17
4. 端子説明	18
4.1. 機能端子名称と機能	18
4.1.1. 周辺機能端子	18
4.1.2. デバッグ端子	19
4.1.3. 制御端子	20
4.1.4. 電源端子	20
4.1.5. 電源間コンデンサー	21
4.2. 機能端子とポート割り当て(端子番号)	22
4.3. ポート	28
4.3.1. ポート仕様一覧	29
5. 機能説明·動作説明	31
5.1. リファレンスマニュアル	31
5.2. プロセッサーコア	32
5.2.1. コアに関する情報	32
5.2.2. 構成可能なオプション	32
5.3. クロック制御と動作モード (CG)	
5.4. フラッシュメモリー(256KB/128KB)	33
5.5. 発振器	34
5.6. トリミング回路 (TRM)	34

	5.7. 周波数検知回路 (OFD)	. 34
	5.8. 電圧検知回路 (LVD)	. 35
	5.9. デジタルノイズフィルター回路 (DNF)	. 35
	5.10. デバッグインターフェース (DEBUG)	. 36
	5.10.1. ノンブレークデバッグインターフェース (NBDIF)	36
	5.11. DMA コントローラー (DMAC)	. 37
	5.12. 非同期シリアル通信回路 (UART)	. 37
	5.13. シリアルペリフェラルインターフェース (TSPI)	. 38
	5.14. I ² C インターフェース	. 38
	5.14.1. I ² C インターフェース (I2C)	39
	5.14.2. I ² C インターフェースバージョン A (EI2C)	
	5.15. 12 ビットアナログデジタルコンバーター (ADC)	. 40
	5.16. オペアンプ (OPAMP)	. 40
	5.17. アドバンストプログラマブルモーター制御回路 (A-PMD)	. 41
	5.18. アドバンストエンコーダー入力回路(32-bit) (A-ENC32)	. 41
	5.19. 32 ビットタイマーイベントカウンター (T32A)	. 42
	5.20. クロック選択式ウオッチドッグタイマー (SIWDT)	. 43
	5.21. CRC 計算回路 (CRC)	. 43
	5.22. RAM パリティー (RAMP)	. 43
	5.23. セキュリティーリスク対策	. 44
	5.23.1. 概要	
	5.23.2. 免責事項	
6	等価回路図	. 45
	6.1. ポート	
	6.2. アナログ関連端子	. 48
	6.3. 制御端子	. 49
	6.4. クロック制御	. 49
7	電気的特性	. 50
	7.1. 絶対最大定格	. 50
	7.2. DC 電気的特性(1/2)	. 51
	7.3. DC 電気的特性(2/2) (消費電流)	. 55
	7.3.1. 消費電流	55
	7.3.2. アナログ消費電流	
	7.4. 電源電圧変動	
	7.5. リセット時内部処理特性	. 57
	7.6. パワーオンリセット特性	. 58
	7.7. PORF 特性	. 58
	7.8. 電圧検知回路特性	. 59

7.9. 12 ビット AD コンバーター特性	60
7.9.1. AD コンバーター特性	60
7.9.2. リファレンス電源	61
7.10. オペアンプ特性	61
7.11. AC 電気的特性	62
7.11.1. シリアルペリフェラルインターフェース(TSPI)	62
7.11.2. I ² C インターフェース(I2C)	67
7.11.3. I ² C インターフェースバージョン A(EI2C)	69
7.11.4. 32 ビットタイマーイベントカウンター(T32A)	71
7.11.5. 外部割り込み	72
7.11.6. 端子トリガー入力(TRGINx)	73
7.11.7. デバッグ通信	74
7.11.8. NBD インターフェース	
7.11.9. SCOUT 端子	
7.11.10. 外部クロック入力	
7.12. ノイズフィルター特性	79
7.13. フラッシュ特性	80
7.13.1. コードフラッシュ特性	80
7.13.2. チップ消去特性	80
7.14. レギュレーター	80
7.15. 発振回路	81
7.15.1. 内蔵発振器	81
7.15.2. 外部発振器	81
7.15.3. 発振回路例	82
7.15.4. セラミック発振子	82
7.15.5. 水晶発振子	
7.15.6. プリント基板の設計に関する注意	
8. 外形寸法図	83
8.1. P-LQFP64-1010-0.50-003	83
8.2. P-LQFP48-0707-0.50-002	84
8.3. P-LQFP44-1010-0.80-003	85
9. 使用上のご注意およびお願い事項	86
10. 改訂履歴	87
Appendix	88
全端子一覧表	88
品番付与情報	90
製品取り扱い上のお願い	91



図目次

义	1.1	TMPM4K グループ(1)のブロック図	. 12
义	3.1	TMPM4KxFYB のメモリーマップ例	. 16
义	4.1	電源間コンデンサーの接続図	. 21
义	5.1	セキュリティーリスク対策	. 44
义	7.1	電源変動レート	. 57
义	7.2	スルーレート	. 61
义	7.3	1st クロックエッジサンプリング(コントローラー)	. 65
义	7.4	2nd クロックエッジサンプリング(コントローラー)	. 65
义	7.5	1st クロックエッジサンプリング(ターゲット)	. 66
义	7.6	2nd クロックエッジサンプリング(ターゲット)	. 66
义	7.7	I2C の AC タイミング	. 68
义	7.8	EI2C の AC タイミング	. 70
义	7.9	カウントパルス入力	. 72
义	7.10	JTAG/SWD 波形	. 75
义	7.11	トレース信号波形	. 76
义	7.12		
义	7.13	SCOUT 出力波形	. 78
义	7.14	外部クロック入力波形	. 79
义	7.15	発振回路例	. 82

表目次

表	1.1	機能別製品一覧	3
表	3.1	メモリー容量とアドレス	. 17
表	4.1	周辺端子名称と機能	. 18
表	4.2	デバッグ端子名称と機能	. 19
表	4.3	制御端子名称と機能	. 20
表	4.4	電源端子名称と機能	. 20
表	4.5	信号接続一覧(1/6)	. 22
表	4.6	信号接続一覧(2/6)	. 23
表	4.7	信号接続一覧(3/6)	. 24
表	4.8	信号接続一覧(4/6)	. 25
表	4.9	信号接続一覧(5/6)	. 26
表	4.10	信号接続一覧(6/6)	
表	4.11	ポート A、B、C、D、E、F、G のポート名と仕様	. 29
表	4.12	ポート H、J、K、L のポート名と仕様	. 30
表	5.1	TMPM4K グループ(1)リファレンスマニュアル一覧	. 31
表	5.2	コアリビジョン	. 32
表	5.3	構成可能なオプションと実装	. 32
表	5.4	搭載発振器	. 34
表	5.5	TRM 搭載一覧	. 34
表	5.6	OFD 搭載一覧	. 34
表	5.7	LVD 搭載一覧	. 35
表	5.8	外部割り込み数(DNF 搭載数)	. 35
表	5.9	デバッグインターフェース搭載一覧	. 36
表	5.10	DMAC 搭載一覧	. 37
表	5.11	UART 搭載一覧	. 37
表	5.12	TSPI 搭載一覧	. 38
表	5.13	I2C/EI2C 搭載一覧	. 38
表	5.14	ADC 搭載一覧	. 40
表	5.15	OPAMP 搭載一覧	. 40
表	5.16	A-PMD 搭載一覧	. 41
表	5.17	A-ENC32 搭載一覧	. 41
表	5.18	T32A 搭載一覧	. 42
		SIWDT 搭載一覧	
表	5.20	CRC 搭載一覧	. 43
表	5.21	RAMP 搭載一覧	. 43
表	5.22	アクセス経路と保護対象(1)	. 44
表	5.23	アクセス経路と保護対象(2)	. 44
表	7.1	絶対最大定格	. 50
表	7.2	IDD 測定条件(端子設定、発振回路)	. 55
		IDD 測定条件(CPU、周辺回路)	
耒	10 1	3. 計房麻	87



序章

表記規約

数値表記は以下の規則に従います。

16 進数表記: 0xABC

10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)

2進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)

ローアクティブの信号は信号名の末尾に「N」で表記します。

● 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。

複数の信号名は[m:n]とまとめて表記する場合があります。例: S[3: 0]はS3、S2、S1、S0の4つの信号名をまとめて表記しています。

本文中[]で囲まれたものはレジスターを定義しています。例: [ABCD]

• 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。 例: [XYZ1]、[XYZ2]、[XYZ3] \rightarrow [XYZn]

「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。ユニットの場合、「x」は A、B、C、…を表します。

例: [ADACR0]、[ADBCR0]、 $[ADCCR0] \rightarrow [ADxCR0]$ チャネルの場合、「x」は 0、1、2、..を表します。

例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]

レジスターのビット範囲は [m:n] と表記します。例: [3: 0]はビット3から0の範囲を表します。

● レジスターの設定値は16進数または2進数のどちらかで表記されています。

例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)

ワード、バイトは以下のビット長を表します。

バイト: 8 ビット ハーフワード: 16 ビット ワード: 32 ビット ダブルワード: 64 ビット

レジスター内の各ビットの属性は以下の表記を使用しています。

R: リードオンリー W: ライトオンリー R/W: リード/ライト

- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。 また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジス ターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んで ください。

Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。

- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。 Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください



Arm,Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における 登録商標です。 All rights reserved.



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している 場合があります。

用語•略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC Analog to Digital Converter

A-ENC32 Advanced Encoder input Circuit (32-bit)

A-PMD Advanced Programmable Motor Control Circuit

CRC Cyclic Redundancy Check

DMAC Direct Memory Access Controller

DNF Digital Noise Filter

EHOSC External High-speed Oscillator

EI2C I²C Interface Version A
Fm Fast Mode of I²C Interface
IHOSC Internal High-speed Oscillator

INT Interrupt

I2CInter-Integrated CircuitLVDVoltage Detection CircuitNBDIFNon-break Debug InterfaceNMINon-maskable InterruptOFDOscillation Frequency Detector

OPAMP Operational Amplifier POR Power-on Reset Circuit

RAMP RAM parity

SIWDT Clock Selective Watchdog Timer

TRGSEL Trigger Selection Circuit

TRM Trimming Circuit

TSPI Serial Peripheral Interface T32A 32-bit Timer Event Counter

UART Asynchronous Serial Communication Circuit



1. ブロック図

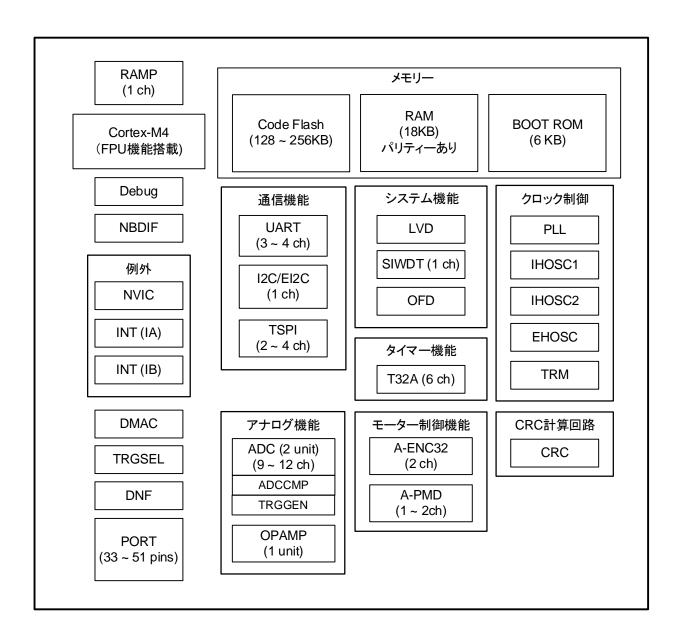
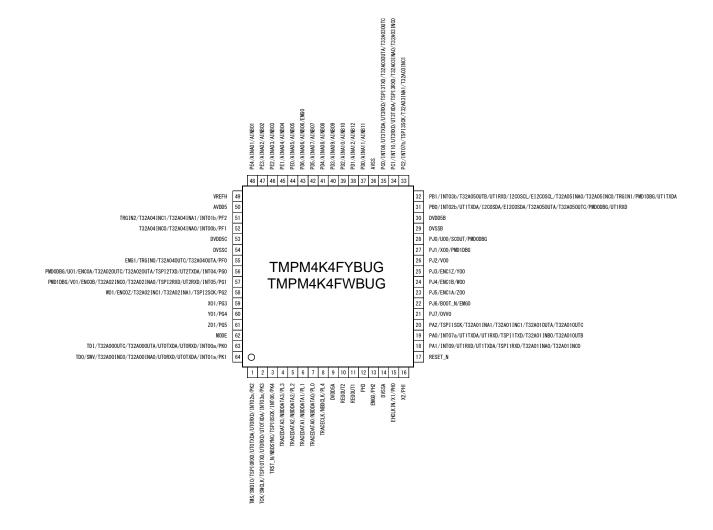


図 1.1 TMPM4Kグループ(1)のブロック図



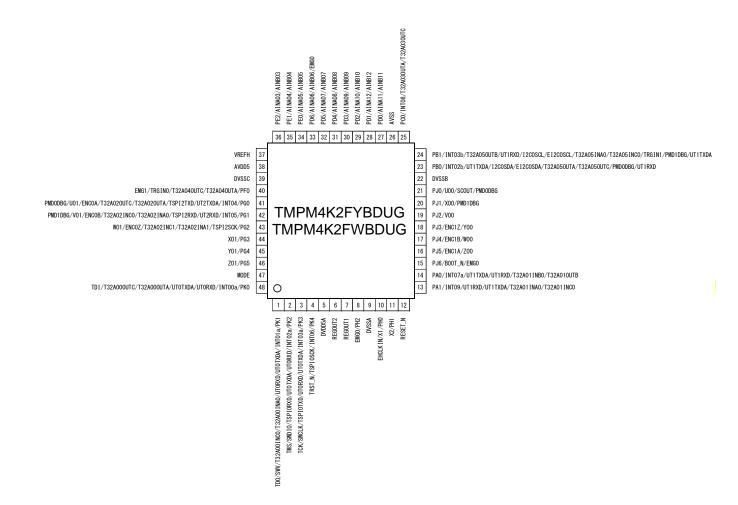
2. 端子配置図

2.1. LQFP64



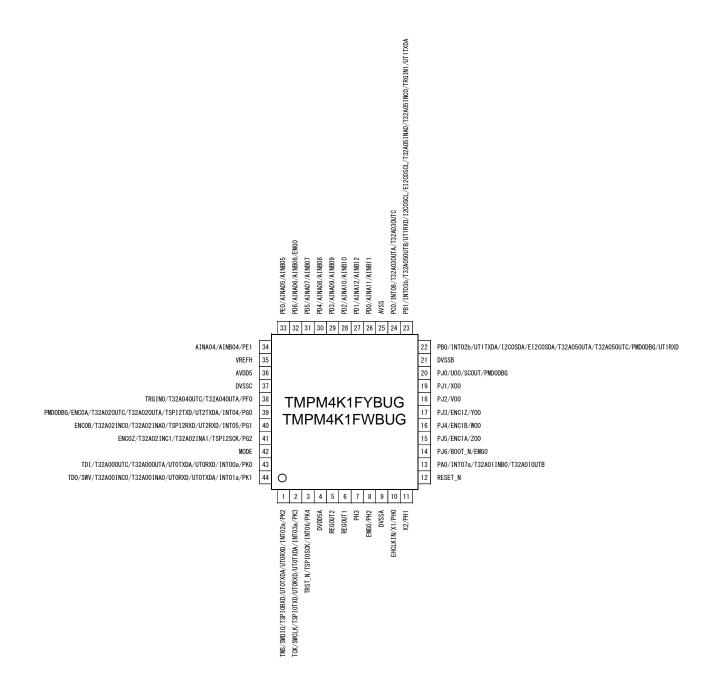


2.2. LQFP48





2.3. LQFP44





3. メモリーマップ

0xFFFFFFF	Vendor-Specific		0xFFFFFFF	Vendor-Specific
0xE0100000	vendor-specific	vel	0xE0100000	vendor-opecino
		n le		
		System level		
	CPU Register Region	Sys		CPU Register Region
0xE0000000			0xE0000000	
	Fault			Fault
0x5E040000			0x5E040000	
	Code Flash			Code Flash
0x5E000000	(Mirror 256KB)		0x5E000000	(Mirror 256KB)
0x5DFF0000	Flash (SFR)	<u>ra</u>	0x5DFF0000	Flash (SFR)
0.000110000	, ,	Peripheral	0.00110000	, ,
0x44000000	Fault	erip	0x44000000	Fault
		ш		
	Bit Band Alias (SFR)			Bit Band Alias (SFR)
0x42000000	(0.11)		0x42000000	(Ol II)
	Fault			Fault
0x40100000	1 auit		0x40100000	i auit
0x4003E000	SFR		0x4003E000	SFR
0x40000000			0x40000000	
0x3F7F9800	Fault		0x3F7F9800	Fault
	BOOT ROM			BOOT ROM
0x3F7F8000			0x3F7F8000	(Mirror 6KB)
	Fault			Fault
0x24000000			0x24000000	
	D: D			D': D 1.41
	Bit Band Alias (RAM/Backup RAM)	₩		Bit Band Alias (RAM/Backup RAM)
0x22000000		SRAM	0x22000000	. ,
	Fault			Fault
0x20004800			0x20004800	
	RAM2 (10KB)			RAM2 (10KB)
0x20002000			0x20002000	
0x20010000	RAM1 (4KB)		0x20010000	RAM1 (4KB)
3.25510000	RAM0		520010000	RAM0
0x20000000	(4KB)		0x20000000	(4KB)
	Fault	<u>e</u>		Fault
0x00040000		Code	0x00001800	
	Code Flash			BOOT ROM
0x00000000	(256KB)		0x00000000	(6KB)

Single Chip Mode

Single BOOT Mode

図 3.1 TMPM4KxFYBのメモリーマップ例

注 1) Fault および Reserved: アクセスしないでください。

注2) シングルチップモードとシングルブートモードの詳細については、リファレンスマニュアルの「Flash Memory」を参照してください。



3.1. メモリー容量一覧

表 3.1 メモリー容量とアドレス

Products			TMPM4K4FYBUG TMPM4K2FYBDUG TMPM4K1FYBUG	TMPM4K4FWBUG TMPM4K2FWBDUG TMPM4K1FWBUG
		Size	256KB	128KB
Peripheral region	Code Flash (Mirror)	START	0x5E000000	0x5E000000
		END	0x5E03FFFF	0x5E01FFFF
		Size	18	KB
SRAM region	RAM	START	0x200	00000
		END	0x200	047FF
		Size	256KB	128KB
Code Region	Code Flash	START	0x00000000	0x00000000
		END	0x0003FFFF	0x0001FFFF



4. 端子説明

4.1. 機能端子名称と機能

4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック制御と動作モード (CG)	SCOUT	Output	クロック出力端子
割り込み制御 (IA/IB)	INTx	Input	外部割り込み入力端子 ノイズフィルター(フィルター幅 typ.30ns)を内蔵しています。
	T32AxINA0	Input	16 ビットタイマーA インプットキャプチャー入力端子 0
	T32AxINA1	Input	16 ビットタイマーA インプットキャプチャー入力端子 1
	T32AxOUTA	Output	16 ビットタイマーA 出力端子
32 ビットタイマー	T32AxINB0	Input	16 ビットタイマーB インプットキャプチャー入力端子 0
イベントカウンター	T32AxINB1	Input	16 ビットタイマーB インプットキャプチャー入力端子 1
(T32A)	T32AxOUTB	Output	16 ビットタイマーB 出力端子
	T32AxINC0	Input	32 ビットタイマーインプットキャプチャー入力端子 0
	T32AxINC1	Input	32 ビットタイマーインプットキャプチャー入力端子 1
	T32AxOUTC	Output	32 ビットタイマー出力端子
シリアルペリフェラルイン	TSPIxRXD	Input	データ入力端子
ターフェース	TSPIxTXD	Output	データ出力端子
(TSPI)	TSPIxSCK	I/O	クロック入出力端子
非同期シリアル	UTxRXD	Input	データ入力端子
通信回路 (UART)	UTxTXDA	Output	データ出力端子 A
I ² C インターフェース	I2CxSDA /EI2CxSDA	I/O	データ入出力端子
(I2C/EI2C)	I2CxSCL /EI2CxSCL	I/O	クロック入出力端子
	EMGx	Input	異常検出入力端子
	OVVx	Input	過電圧検出入力端子
	UOx	Output	U 相出力端子
アドバンスト	VOx	Output	V 相出力端子
プログラマブル モーター制御回路	WOx	Output	W 相出力端子
(A-PMD)	XOx	Output	X相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z相出力端子
	PMDxDBG	Output	モーター制御デバッグ出力端子
アドバンスト	ENCxA	Input	エンコーダー入力端子 A
エンコーダー入力回路	ENCxB	Input	エンコーダー入力端子 B
(A-ENC32)	ENCxZ	Input	エンコーダー入力端子 Z
アナログデジタル コンバーター (ADC)	AINAx/AINBx	Input	アナログ入力端子
トリガー入力 (TRGSEL)	TRGINx	Input	外部トリガー入力端子

注) 端子名称の"x"にはチャネル番号、ユニット番号、割り込み番号が入ります。



4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

デバッグポート	端子名称	Input or Output	機能
	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
JTAG	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
	TRST_N	Input	JTAG テストリセット入力端子
	SWDIO	I/O	シリアルワイヤデータ入出力端子
SW	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューワ出力端子
	TRACECLK	Output	トレースクロック出力端子
	TRACEDATA0	Output	トレースデータ出力端子 0
TRACE	TRACEDATA1	Output	トレースデータ出力端子 1
	TRACEDATA2	Output	トレースデータ出力端子 2
	TRACEDATA3	Output	トレースデータ出力端子 3
	NBDSYNC	Input	ノンブレークデバッグ同期入力端子
	NBDCLK	Input	ノンブレークデバッグクロック入力端子
NDDIE	NBDDATA0	I/O	ノンブレークデバッグデータ入出力端子 0
NBDIF	NBDDATA1	I/O	ノンブレークデバッグデータ入出力端子 1
	NBDDATA2	I/O	ノンブレークデバッグデータ入出力端子 2
	NBDDATA3	I/O	ノンブレークデバッグデータ入出力端子3



4.1.3. 制御端子

表 4.3 制御端子名称と機能

	端子名称	Input or Output	機能
	X1	Input	高速発振子接続端子
	X2	Output	高速発振子接続端子
	EHCLKIN	Input	外部クロック入力端子
制御端子	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 いングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリー」を参照してください。
	RESET_N	Input	リセット信号入力端子
	MODE	Input	モード端子 必ず"Low"レベルに固定してください。

4.1.4. 電源端子

表 4.4 電源端子名称と機能

	端子名称	機能
	DVDD5A (注 1) DVDD5B (注 1) DVDD5C (注 1)	デジタル用電源端子 DVDD5A/B/C は下記の端子に電源を供給しています。 PA~PC、PF~PL、MODE、RESET_N
	DVSSA (注 2) DVSSB (注 2) DVSSC (注 2)	デジタル用 GND 端子
電源	REGOUT1 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	REGOUT2 (注 3)	レギュレーター用コンデンサー接続端子(注 4)
	AVDD5 VREFH	アナログ用電源端子、アナログ基準電源端子(VREFH)です。 AVDD5 は下記の端子に電源を供給しています。 PD、PE
	AVSS	アナログ用 GND 端子、アナログ基準 GND 端子(VREFL)と兼用です。

- 注 1) DVDD5A、DVDD5B、DVDD5C は、端子が無い場合を除き外部で同電位の電圧を印加してください。
- 注 2) DVSSA、DVSSB、DVSSC は、端子が無い場合を除き外部で同電位の電圧を印加してください。
- 注 3) REGOUT1、REGOUT2 は、DVDD5A、DVDD5B、DVDD5C や DVSSA、DVSSB、DVSSC とショートしないでください。
- 注 4) コンデンサーの容量は「7.14. レギュレーター」を参照してください。



4.1.5. 電源間コンデンサー

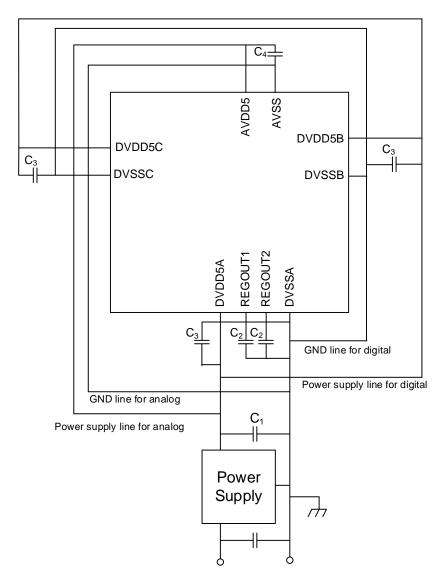


図 4.1 電源間コンデンサーの接続図

- 注 1) 5V 電源出力端子近くにセラミックコンデンサー(C_1)を挿入してください。「7.5. リセット時内部処理特性」の電源傾斜の条件を満たす容量としてください。
- 注 2) 各 MCU 電源端子の近傍で電源-GND 間にバイパスコンデンサー(C_3 、 C_4 : 0.01μ F~ 0.1μ F 程度)を挿入してください。
- 注 3) 内蔵レギュレーター用コンデンサー接続端子(REGOUT1、REGOUT2)に同容量の電源安定用のセラミックコンデンサー(C_2)を挿入してください。これらのコンデンサーは DVSSA 近傍で配置してください。コンデンサー容量は「7.14. レギュレーター」を参照してください。
- 注 4) デジタル電源からアナログ回路へのノイズ混入を抑制するため、アナログ電源ラインとデジタル 電源ラインは 5V 電源出力の近くで分離してください。
- 注 5) 周辺回路からアナログ回路へのノイズ混入を抑制するため、アナログ電源系の入出力端子にフィルター回路やプルアップ/ダウン抵抗を挿入する場合、それらの回路を構成する部品はアナログ電源ラインに接続してください。
- 注6) 電源ラインとGNDラインとコンデンサーによるループ回路で受ける高周波ノイズを抑制するため、 電源ラインとGNDラインは離さずに配線してください。



4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。 表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」。

表 4.5 信号接続一覧(1/6)

機能 兼用機能端子名 ポート名 M4K4 (LQFP64) (LQFP48)	機能	
UART ch 0 UTORXD PK1		
UART ch 0 HK2 1 2 1 PK3 2 3 2 PK1 64 1 44 PK0 63 48 43 PK3 2 3 2 PK2 1 2 1 PK2 1 2 1 PK3 2 3 2 PK2 1 2 1 PK2 1 2 1 PK3 2 3 2 PK2 1 2 1 PK3 2 1 2 PK3 2 3 2 PK4 1 8 13 PA0 19 14 PB0 31 23 22 PB1 32 24 23 PB1 32 24 24 PB1 3		
UART ch 0 UTOTXDA PK3		
Ch 0 UTOTXDA PK1 64 1 44 PK0 63 48 43 PK3 2 3 2 PK2 1 2 1 PA1 18 13 PA0 19 14 PB0 31 23 22 PB1 32 24 23 PB0 31 23 22 UART PB1 32 24 23 PB0 31 23 22 UART Ch 2 UT2RXD PG1 57 42 40 UT3RXD PG0 56 41 39 UT3RXD PC1 34 PC0 35		
UTOTXDA PK0 63	UART	
UTOTXDA PK3 2 3 2 PK2 1 2 1 PK3 12 1 PK3 13 1 PK3 1	ch 0	
UART Ch 1 UART Ch 2 UART Ch 34 PC0 A B Ch 2 A B Ch 3 Ch 2 A Ch 3 A Ch 3 A Ch 4 Ch 4 A Ch 4 A Ch 4 Ch 4		
UART ch 1 UT1RXD PA0 19 14 PB0 31 23 22 PB1 32 24 23 PA1 18 13 PB0 31 23 22 PB1 32 24 23 PA1 18 13 PA0 19 14 PA1 18 13 PB1 32 24 23 PB1 32 24 23 PB0 31 23 22 PB0 31 23 22 UART ch 2 UT2RXD PG1 57 42 40 UT2TXDA PG0 56 41 39 UART PC0 35		
UART ch 1 UT1RXD PA0 19 14 PB0 31 23 22 PB1 32 24 23 PA0 19 14 PA0 19 14 PA1 18 13 PB1 32 24 23 PB1 32 24 23 PB0 31 23 22 UART ch 2 UT2RXD PG1 57 42 40 UT2TXDA PG0 56 41 39 UART UT3RXD PC1 34 PC0 35		
UART ch 1 UT1RXD PB0 31 23 22 PB1 32 24 23 PA0 19 14 PA1 18 13 PB1 32 24 23 PB0 31 23 22 UART ch 2 UT2RXD PG1 57 42 40 UT2TXDA PG0 56 41 39 UART UT3RXD PC1 34 PC0 35		
UART ch 1 UT1TXDA PB0 31 23 22 PB1 32 24 23 PA0 19 14 PA1 18 13 PB1 32 24 23 PB0 31 23 22 PB0 31 23 22 UART ch 2 UT2TXDA PG0 56 41 39 UART UT3RXD PC1 34 PC0 35		
Ch 1 Ch 1 HAT CH 1 HAT CH 1 HAT CH 2 UT1TXDA PA0 19 14 PA1 18 13 PB1 32 24 23 PB0 31 23 22 PB0 31 23 22 UART CH 2 UT2RXD PG1 57 42 40 UT2TXDA PG0 56 41 39 UT3RXD PC1 34 PC0 35		
UT1TXDA PA1	UART	
UT1TXDA PB1 32 24 23 PB0 31 23 22 UART UT2RXD PG1 57 42 40 UT2TXDA PG0 56 41 39 UART UT3RXD PC1 34 PC0 35	ch 1	
PB1 32 24 23 PB0 31 23 22 UART ch 2 UT2TXDA PG1 57 42 40 UT2TXDA PG0 56 41 39 UART PC1 34 23 22 UART PC0 35 35 35		
UART ch 2 UT2RXD PG1 57 42 40 UT2TXDA PG0 56 41 39 UART PC1 34 PC0 35		
Ch 2 UT2TXDA PG0 56 41 39 UART PC0 35 25 25 26 27 27 27 27 27 27 27 27 27 27 27 27 27		
ch 2 UT2TXDA PG0 56 41 39 UART PC1 34 PC0 35		
UART UT3RXD PC0 35		
UART PC0 35		
	UART	
	ch 3	
UT3TXDA PC1 34		
I2C/EI2C	I2C/EI2C	
ch 0 I2C0SCL/ EI2C0SCL PB1 32 24 23	ch 0	
TSPIORXD PK2 1 2 1	TCDI	
TSPI ch 0 TSPI0TXD PK3 2 3 2		
TSPI0SCK PK4 3 4 3		
TSPI1RXD PA1 18	TODI	
TSPI		
TSPI1SCK PA2 20		
TSPI2RXD PG1 57 42 40		
TSPI		
TSPI2SCK PG2 58 43 41		
TSPI3RXD PC1 34		
TSPI		
TSPI3SCK PC2 33	011 0	



表 4.6 信号接続一覧(2/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)
	T32A00INA0	PK1	64	1	44
T32A	T32A00OUTA	PK0	63	48	43
ch 0	T32A00INC0	PK1	64	1	44
	T32A00OUTC	PK0	63	48	43
	T32A01INA0	PA1	18	13	-
	T32A01INA1	PA2	20	-	-
	T32A01OUTA	PA2	20	-	-
T32A	T32A01INB0	PA0	19	14	13
ch 1	T32A01OUTB	PA0	19	14	13
	T32A01INC0	PA1	18	13	-
	T32A01INC1	PA2	20	-	-
	T32A01OUTC	PA2	20	-	-
	T32A02INA0	PG1	57	42	40
	T32A02INA1	PG2	58	43	41
T32A	T32A02OUTA	PG0	56	41	39
ch 2	T32A02INC0	PG1	57	42	40
	T32A02INC1	PG2	58	43	41
	T32A02OUTC	PG0	56	41	39
	T32A03INA0	PC1	34	-	-
	T32A03INA1	PC2	33	-	-
T32A	T32A03OUTA	PC0	35	25	24
ch 3	T32A03INC0	PC1	34	-	-
	T32A03INC1	PC2	33	-	-
	T32A03OUTC	PC0	35	25	24
	T32A04INA0	PF1	52	-	-
	T32A04INA1	PF2	51	-	-
T32A	T32A04OUTA	PF0	55	40	38
ch 4	T32A04INC0	PF1	52	-	-
	T32A04INC1	PF2	51	-	-
	T32A04OUTC	PF0	55	40	38
	T32A05INA0	PB1	32	24	23
	T32A05OUTA	PB0	31	23	22
T32A ch 5	T32A05OUTB	PB1	32	24	23
GITO	T32A05INC0	PB1	32	24	23
	T32A05OUTC	PB0	31	23	22



表 4.7 信号接続一覧(3/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)
	AINA11/ AINB11	PD0	37	27	26
	AINA12/ AINB12	PD1	38	28	27
	AINA10/ AINB10	PD2	39	29	28
	AINA09/ AINB09	PD3	40	30	29
	AINA08/ AINB08	PD4	41	31	30
12-bit ADC unit A	AINA07/ AINB07	PD5	42	32	31
unit B	AINA06/ AINB06	PD6	43	33	32
	AINA05/ AINB05	PE0	44	34	33
	AINA04/ AINB04	PE1	45	35	34
	AINA03/ AINB03	PE2	46	36	-
	AINA02/ AINB02	PE3	47	-	-
	AINA01/ AINB01	PE4	48	-	-
	INT00a	PK0	63	48	43
	INT00b	PF1	52	-	-
	INT01a	PK1	64	1	44
	INT01b	PF2	51	-	-
	INT02a	PK2	1	2	1
	INT02b	PB0	31	23	22
	INT03a	PK3	2	3	2
	INT03b	PB1	32	24	23
INT	INT04	PG0	56	41	39
	INT05	PG1	57	42	40
 	INT06	PK4	3	4	3
	INT07a	PA0	19	14	13
	INT07b	PC2	33	-	-
	INT08	PC0	35	25	24
	INT09	PA1	18	13	-
	INT10	PC1	34	-	-



表 4.8 信号接続一覧(4/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)
		PJ6	22	15	14
	EMG0	PD6	43	33	32
		PH2	13	8	8
	OVV0	PJ7	21	-	-
	UO0	PJ0	28	21	20
	VO0	PJ2	26	19	18
A-PMD ch 0	WO0	PJ4	24	17	16
CITO	XO0	PJ1	27	20	19
	YO0 ZO0	PJ3	25	18	17
		PJ5	23	16	15
		PB0	31	23	22
	PMD0DBG	PG0	56	41	39
			28	21	20
	EMG1		55	40	-
	UO1	PG0	56	41	-
	VO1	PG1	57	42	-
	WO1	PG2	58	43	-
A-PMD	XO1	PG3	59	44	-
ch 1	YO1	PG4	60	45	-
	ZO1	PG5	61	46	-
		PB1	32	24	-
	PMD1DBG	PJ1	27	20	-
		PG1	57	42	-
	ENC0A	PG0	56	41	39
A-ENC32 ch 0	ENC0B	PG1	57	42	40
	ENC0Z	PG2	58	43	41
. =	ENC1A	PJ5	23	16	15
A-ENC32 ch 1	ENC1B	PJ4	24	17	16
011 1	ENC1Z	PJ3	25	18	17



表 4.9 信号接続一覧(5/6)

機能	兼用機能端子名	ポート名	M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)	
	TRGIN0	PF0	55	40	38	
TRGSEL	TRGIN1	PB1	32	24	23	
	TRGIN2	PF2	51	-	-	
	TMS	PK2	1	2	1	
	TCK	PK3	2	3	2	
	TDO	PK1	64	1	44	
JTAG/SW	TDI	PK0	63	48	43	
JTAG/SVV	TRST_N	PK4	3	4	3	
	SWDIO	PK2	1	2	1	
	SWCLK	PK3	2	3	2	
	SWV	PK1	64	1	44	
	TRACECLK	PL4	8			
	TRACEDATA0	PL0	7			
TRACE	TRACEDATA1	PL1	6	-	-	
	TRACEDATA2	PL2	5			
	TRACEDATA3	PL3	4			
	NBDSYNC	PK4	3			
	NBDCLK	PL4	8			
NBDIF	NBDDATA0	PL0	7			
ווסטור	NBDDATA1	PL1	6	-	-	
	NBDDATA2	PL2	5			
	NBDDATA3	PL3	4			



表 4.10 信号接続一覧(6/6)

機能	端子名ポート名		M4K4 (LQFP64)	M4K2 (LQFP48)	M4K1 (LQFP44)
入出カポート	PH	13	12	-	7
	X1	PH0	15	10	10
	X2	PH1	16	11	11
	EHCLKIN	PH0	15	10	10
制御端子	SCOUT	PJ0	28	21	20
	BOOT_N	PJ6	22	15	14
RESE		ET_N	17	12	12
	MODE		62	47	42
	VRE	FH	49	37	35
AVI		DD5	50	38	36
	AVSS		36	26	25
	DVDD5A		9	5	4
	DVDD5B 電源端子 DVDD5C		30	-	-
電源端子			53	-	-
	DVS	SSA	14	9	9
	DVS	SSB	29	22	21
	DVS	SSC	54	39	37
	REGO	DUT1	11	7	6
	REG	OUT2	10	6	5

4.3. ポート

表中の記号の意味は下記のとおりです。

■ Input/Output: ポートの入出力

Input: 入力
Output: 出力
I/O: 入出力

■ PU/PD: プログラマブルプルアップ/プルダウン対応

PU: プログラマブルプルアップ選択可能 PD: プログラマブルプルダウン選択可能

• OD: プログラマブルオープンドレイン出力対応

YES: 対応 NO: 非対応

■ 5V_T: 5V トレラント対応

YES: 対応 N/A: 非対応

■ SMT/CMOS:入力ゲートタイプ

SMT: シュミット入力 CMOS: CMOS 入力

■ リセット中の状態: リセット期間中の端子状態です

Hi-Z: ハイインピーダンス

PU: プルアップ PD: プルダウン

■ リセット後の状態: リセット解除直後の端子状態です

Hi-Z: ハイインピーダンス

PU: プルアップ PD: プルダウン



4.3.1. ポート仕様一覧

表 4.11 ポートA、B、C、D、E、F、Gのポート名と仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PA0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB0	Input/Output	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PB1	Input/Output	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PC0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD5	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD6	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG5	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z



表 4.12 ポートH、J、K、Lのポート名と仕	耒	4.12	ポー	ЬH.	J.	K.	しのポー	卜名上什	⊢様
--------------------------	---	------	----	-----	----	----	------	------	----

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PH0	Input	PD	N/A	N/A	SMT	Hi-Z	Hi-Z
PH1	Input	PD	N/A	N/A	SMT	Hi-Z	Hi-Z
PH2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ5	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ6	Input/Output	PU/PD (注 1)	YES	N/A	SMT	PU	Hi-Z
PJ7	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK0	Input/Output	PU/PD	YES	N/A	SMT	PU(注 2)	PU(注 2)
PK1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z(注 2)	Hi-Z(注 2)
PK2	Input/Output	PU/PD	YES	N/A	SMT	PU(注 2)	PU(注 2)
PK3	Input/Output	PU/PD	YES	N/A	SMT	PD(注 2)	PD(注 2)
PK4	Input/Output	PU/PD	YES	N/A	SMT	PU(注 2)	PU(注 2)
PL0	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL1	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL2	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL3	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL4	Input/Output	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

- 注 1) BOOT_N 端子と兼用です。RESET_N 端子=0 の時、プルアップ(PU)となります。RESET_N 端子=1 の時、内部リセットがかかった場合は Hi-Z です。
- 注 2) 初期値はデバッグ用端子に割り当てられています(PK0:TDI、PK1:TDO/SWV、PK2:TMS/SWDIO、PK3:TCK/SWCLK、PK4:TRST_N)。

PK1:TDO/SWV はツールからのコマンドを受け付けるまでは出力にはなりません。



5. 機能説明 · 動作説明

5.1. リファレンスマニュアル

TMPM4K グループ(1)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM4Kグループ(1)リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出カポート (TMPM4K グループ(1))	PORT-M4K(1)	システム
例外 (TMPM4K グループ(1))	EXCEPT-M4K(1)	システム
クロック制御と動作モード (TMPM4K グループ(1))	CG-M4K(1)-E	システム
製品個別情報 (TMPM4K グループ(1))	PINFO-M4K(1)	システム
フラッシュメモリー	FLASH256U2-A	周辺機能
トリミング回路	TRM-B	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-D	周辺機能
デジタルノイズフィルタ一回路	DNF-A	周辺機能
デバッグインターフェース	DEBUG-A	周辺機能
ノンブレークデバッグインターフェース	NBDIF-A	周辺機能
DMA コントローラー	DMAC-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
シリアルペリフェラルインターフェース	TSPI-E	周辺機能
I ² C インターフェース	I2C-B	周辺機能
I ² C インターフェース バージョン A	EI2C-A	周辺機能
12 ビットアナログデジタルコンバーター	ADC-G2	周辺機能
オペアンプ	OPAMP-B	周辺機能
アドバンストプログラマブルモーター制御回路	A-PMD-A	周辺機能
アドバンストエンコーダー入力回路(32-bit)	A-ENC32-A	周辺機能
32 ビットタイマーイベントカウンター	T32A-C	周辺機能
クロック選択式ウオッチドッグタイマー	SIWDT-A	周辺機能
CRC 計算回路	CRC-A	周辺機能
RAM パリティー	RAMP-B	周辺機能



5.2. プロセッサーコア

TMPM4K グループ(1)には、高性能32 ビットプロセッサーコア(Arm 社 Cortex-M4(FPU 機能搭載) コア) が内蔵されています。

プロセッサーコアの動作については、Arm 社からリリースされる"Cortex-M シリーズプロセッサーの Arm ドキュメンテーションセット"を参照してください。この章では、製品固有の情報について説明します。

5.2.1. コアに関する情報

TMPM4K グループ(1)で使用している Cortex-M4(FPU 機能搭載) コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャーなどの詳細は、Arm 社のホームページよりドキュメントを参照してください。

グループ名 コアリビジョンTMPM4K グループ(1) r0p1

表 5.2 コアリビジョン

5.2.2. 構成可能なオプション

Cortex-M4(FPU機能搭載)コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM4K グループ(1)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレーター: 2 本 命令コンパレーター: 6 本
DWT	コンパレーター: 4 本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHB トレースマクロ セルインターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし



5.3. クロック制御と動作モード (CG)

CG は、クロックギアやプリスケーラークロックの選択、発振器のウオーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振器: 10MHz
- 外部高速発振器と内部高速発振器が選択可能
- PLL(逓倍回路): 高速発振器の周波数に合わせて倍率を変更して 120MHz 出力可能
- クロックギア: 高速クロックを 1、2、4、8、16 分周し、システムクロック(fsys)として選択可能。
- 低消費電力モード:
 IDLE モード: CPU が停止します。周辺機能は動作可能です。
 STOP1 モード: fsvs が停止します。

5.4. フラッシュメモリー(256KB/128KB)

コードフラッシュは命令コードを格納し、CPU がリードして実行します。 また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第3者によるプログラムコードの読み出しを禁止するセキュリティー機能などを搭載しています。



5.5. 発振器

外部にクリスタル発振子またはセラミック発振子を接続して、システム 外部高速発振器(EHOSC):

クロックの源発振に使用します。

10MHz の発振器です。システムクロックの源発振に使用します。 内蔵高速発振器 1(IHOSC1): 内蔵高速発振器 2(IHOSC2):

10MHz の発振器です。OFD、SIWDT の基準クロック、カウントク

ロックの源発振に使用します。

表 5.4 搭載発振器

発振器	M4K4	M4K2	M4K1
EHOSC	0	0	0
IHOSC1	0	0	0
IHOSC2	0	0	0

注) ○: 搭載、一: 非搭載

5.6. トリミング回路 (TRM)

内蔵高速発振器 1(IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

	M4K4	M4K2	M4K1
TRM	0	0	0

注) ○: 搭載、一: 非搭載

5.7. 周波数検知回路 (OFD)

周波数検知回路(OFD)はクロックの異常を検知します。計測対象として外部高速クロック(fenosc)また は高速クロック(fc)のどちらかを選択できます。内蔵の基準クロック(fillosc2)を用いて、選択したクロッ クを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	M4K4	M4K2	M4K1
OFD	0	0	0

注) ○: 搭載、一: 非搭載



5.8. 電圧検知回路 (LVD)

電圧検知回路(LVD)は、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は8種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

	M4K4	M4K2	M4K1
LVD	0	0	0

注) ○: 搭載、一: 非搭載

5.9. デジタルノイズフィルター回路 (DNF)

デジタルノイズフィルター回路(DNF)は外部割り込み入力に搭載したデジタルノイズフィルター回路です。外部割り込み信号 INTx の高レベル/低レベル入力ともにノイズを除去します。

表 5.8 外部割り込み数(DNF搭載数)

	M4K4	M4K2	M4K1
外部割り込み数	11	10	9



5.10. デバッグインターフェース (DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート (SWCLK、SWDIO)と、JTAG デバッグポート(TDI、TDO、TMS、TCK、TRST_N)の2種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック(TRACECLK)とトレース出力(TRACEDATA0~3)、NBDIF(NBDSYNC、NBDCLK、NBDDATA0~3)があります。

TMPM4K グループ(1)製品は、シリアルワイヤデバッグポート、JTAGデバッグポート、トレース出力、および NBDIF をサポートしています。

端子名	ポート	M4K4	M4K2	M4K1
TMS/SWDIO	PK2	0	0	0
TCK/SWCLK	PK3	0	0	0
TDO/SWV	PK1	0	0	0
TDI	PK0	0	0	0
TRST_N	PK4	0	0	0
TRACECLK	PL4	0	-	-
TRACEDATA0	PL0	0	-	-
TRACEDATA1	PL1	0	-	-
TRACEDATA2	PL2	0	-	-
TRACEDATA3	PL3	0	-	-
NBDSYNC	PK4	0	-	-
NBDCLK	PL4	0	-	-
NBDDATA0	PL0	0	-	-
NBDDATA1	PL1	0	-	-
NBDDATA2	PL2	0	-	-
NBDDATA3	PL3	0	-	-

表 5.9 デバッグインターフェース搭載一覧

注) ○: 搭載、一: 非搭載

5.10.1. ノンブレークデバッグインターフェース (NBDIF)

ノンブレークデバッグインターフェース(NBDIF)に対応するデバッグ用機器を接続することで、RAM モニターなどを実現します。

NBDIF の対応は製品によって異なります。「表 5.9 デバッグインターフェース搭載一覧」を参照してください。



5.11. DMA コントローラー (DMAC)

DMAコントローラー(DMAC)は、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを移動させることができる周辺機能です。これらの動作はCPU制御と別に行われるため、DMAを使用することで、CPUの負荷を著しく減らすことができます。

TMPM4K グループ(1)製品は、DMA コントローラー(DMAC)を 1 ユニット搭載しており、ユニット当たり 32 チャネルの起動要因があります。

表 5.10 DMAC搭載一覧

DMAC	M4K4	M4K2	M4K1
Unit A	0	0	0

注) ○: 搭載、一: 非搭載

5.12. 非同期シリアル通信回路 (UART)

非同期シリアル通信回路(UART)は、非同期シリアル通信機能です。7、8、9 ビットのデータ長、パリティー有無、1、2 ビットの STOP ビット長を選択できます。MSB ファースト/LSB ファーストの選択、データ極性の反転の他にポート設定でTXD/RXD端子入れ替えができます。FIFO バッファーは、送信で8段、受信で8段を内蔵しています。

表 5.11 UART搭載一覧

UART	M4K4	M4K2	M4K1
Channel 0	0	0	0
Channel 1	0	0	0
Channel 2	0	0	0
Channel 3	0	-	-

注 1) ○: 搭載、一: 非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。



5.13. シリアルペリフェラルインターフェース (TSPI)

TMPM4K グループ(1)のシリアルペリフェラルインターフェース(TSPI)は、CS 信号を使用しない SIO 方式で、他のデバイスと高速なシリアル転送が可能な通信機能です。

データ長は、7 ビット(パリティーあり)から 32 ビット(パリティーなし)まで 1 ビット単位で変更可能です。受信、送信ともに 16 ビットの FIFO が 8 段あります。 コントローラー、ターゲットに対応します。また、フレームモード(フレーム長(8~32bit))か、セクターモード(2~4 セクターで、フレーム長(8~128bit)を構成)が使用できます。

TSPI(SIO) M4K4 M4K2 M4K1 Channel 0 0 0 0 Channel 1 0 Channel 2 0 0 0 Channel 3 0

表 5.12 TSPI搭載一覧

注 1) 〇: 搭載、一: 非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.14. I²C インターフェース

下表に I²C インターフェースの搭載一覧を示します。 I²C と EI²C は排他的に使用してください。

表 5.13 I2C/EI2C搭載一覧

I2C/EI2C	M4K4	M4K2	M4K1
Channel 0	0	0	0

注 1) ○: 搭載、一: 非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。



5.14.1. I²C インターフェース (I2C)

I²C インターフェース(I2C)は二線式双方向シリアル通信機能です。コントローラーとターゲットの関係で通信をしますが、同一バス上に複数のコントローラーが存在可能なマルチコントローラーをサポートしています。また、通信スピードは標準モード(最大100kHz)、ファストモード(最大400kHz)に対応しています。7bit ターゲットアドレスに対応します。

5.14.2. I²C インターフェースバージョン A (EI2C)

I²C インターフェースバージョン A(EI2C)は、I²C の二線式双方向シリアル通信機能と互換ある通信機能です。コントローラーとターゲットの関係で通信をしますが、同一バス上に複数のコントローラーが存在可能なマルチコントローラーをサポートしています。

また、通信スピードは標準モード (最大 100kHz)、ファストモード(最大 400kHz)、ファストモードプラス(最大 1MHz)に対応しています。ターゲットアドレスは 7bit および 10bit のアドレッシングフォーマットに対応しています。



5.15. 12 ビットアナログデジタルコンバーター (ADC)

ADCは、12 ビット逐次変換方式のアナログ/デジタルコンバーターです。変換結果レジスターとアナログ入力の組み合わせは、AD変換の開始要因ごとにプログラム可能です。

アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(A-PMD のトリガー出力、タイマー/イベントカウンター出力、ポート入力、トリガー生成回路)から選択できます。

変換結果監視機能があり、比較条件と一致した場合に割り込み要求を発生させることができます。

VREFH/VREFL およびリファレンス電源と接続するセレクターを内蔵しており、ソフトウェアで制御することで自己診断機能をサポートします。

ADC	M4K4	M4K2	M4K1
Unit A AIN 数	12	10	9
Unit B AIN 数	12	10	9

表 5.14 ADC搭載一覧

注)外部端子は製品によって異なります。「2端子配置図」を参照してください。

ADC と併せて使用できる、以下の2つの機能があります。

- AD変換結果比較回路(ADCCMP)2つのユニットの変換結果を比較し、設定以上の差がある場合に割り込みを発生させることができます。
- トリガー生成回路(TRGGEN) 変換開始のトリガー信号を出力します。

ADCCMP と TRGGEN については、リファレンスマニュアルの「製品個別情報」の「12 ビットアナログデジタルコンバーター(ADC)」を参照してください。

5.16. オペアンプ (OPAMP)

微弱なアナログ入力を増幅して AD コンバーターへ入力するオペアンプ(OPAMP)を内蔵しています。 ゲインを選択できます。

表 5.15 OPAMP搭載一覧

オペアンプ	M4K4	M4K2	M4K1
Unit A	0	0	0

注) ○: 搭載、一: 非搭載



5.17. アドバンストプログラマブルモーター制御回路 (A-PMD)

アドバンストプログラマブルモーター制御回路(A-PMD)は、ブラシレス DC モーターを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3 相相補 PWM 出力や ADC と連携してモーター制御用の波形を容易に発生できます。

また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。 さらに、力率改善のための3相インターリーブ PFC 制御が可能です。

表 5.16 A-PMD搭載一覧

A-PMD	M4K4	M4K2	M4K1
Channel 0	0	0	0
Channel 1	0	0	-

注 1) ○: 搭載、一: 非搭載

注 2) 外部端子は製品によって異なります。「2 端子配置図」を参照してください。

5.18. アドバンストエンコーダー入力回路(32-bit) (A-ENC32)

アドバンストエンコーダー入力回路(32bit) (A-ENC32)は、インクリメンタル型エンコーダーに対応し、モーターの位置を容易に得ることができます。信号の入力端子にノイズキャンセラーが内蔵されているので、インクリメンタルエンコーダー、ホールセンサーの信号を直接入力することができます。

エンコーダーモード、センサーモード(3種類)、タイマーモードおよび位相カウンターモードの6つの動作モードに対応しています。

表 5.17 A-ENC32搭載一覧

A-ENC	M4K4	M4K2	M4K1
Channel 0	0	0	0
Channel 1	0	0	0

注) ○: 搭載、一: 非搭載



5.19. 32 ビットタイマーイベントカウンター (T32A)

32 ビットタイマーイベントカウンター(T32A)は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンターです。32 ビットタイマーか 16 ビットタイマーかどちらで動作するか選択が可能です。32 ビットタイマーの場合、32 ビットカウンターのタイマーCとして動作します。16 ビットタイマーの場合、16 ビットカウンターのタイマーA とタイマーB の構成で動作します。インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンター入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

表 5.18 T32A搭載一覧

	•	T	
T32A	M4K4	M4K2	M4K1
Channel 0	0	0	0
Channel 1	0	0	0
Channel 2	0	0	0
Channel 3	0	0	0
Channel 4	0	0	0
Channel 5	0	0	0

注 1) ○: 搭載、一: 非搭載

注 2) 外部端子は製品によって異なります。「2.端子配置図」を参照してください。



5.20. クロック選択式ウオッチドッグタイマー (SIWDT)

クロック選択式ウオッチドッグタイマー(SIWDT)は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンターをクリアできなかった場合、カウンターのオーバーフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウントクロックとして、システムクロック(fsys/4)の他に内蔵発振器 $1(f_{IHOSC1})$ 、内蔵発振器 $2(f_{IHOSC2})$ の 3 つから選択が可能です。

指定された期間のみカウントクリアが可能な、カウントクリアウインドウ機能があります。

また、プロテクトモードに設定することでリセットがかかるまでレジスターの変更を禁止することができます(カウンタークリアは可能)。

表 5.19 SIWDT搭載一覧

	M4K4	M4K2	M4K1
SIWDT	0	0	0

注) ○: 搭載、一: 非搭載

5.21. CRC 計算回路 (CRC)

CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリーや通信データを処理してエラーを検出することに使用できます。

表 5.20 CRC搭載一覧

	M4K4	M4K2	M4K1
CRC	0	0	0

注) ○: 搭載、一: 非搭載

5.22. RAM パリティー (RAMP)

RAM へのライト時に偶数パリティーデータを生成(8 ビット単位)して格納し、リード時にはパリティー判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。

パリティー生成/判定はハードウェアなので、リアルタイムでパリティーエラーを検出することができます。

表 5.21 RAMP搭載一覧

	M4K4	M4K2	M4K1
RAMP	0	0	0

注) ○: 搭載、一: 非搭載



5.23. セキュリティーリスク対策

5.23.1. 概要

TMPM4K グループ(1)は、不正なアクセスを防ぐことを目的としたセキュリティーリスク対策として2つの機能を実装しています。動作モードごとに想定するアクセス経路と保護対象を、表 5.22、表 5.23、図 5.1 に示します。

機能の詳細は、「フラッシュメモリー」のリファレンスマニュアルを参照してください。

(1) セキュリティー機能

セキュリティー機能は、デバッグツールとの通信を禁止します。また、フラッシュライターによるフラッシュメモリーの読み出しと書き込みを禁止します。

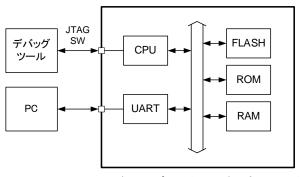
表 5.22 アクセス経路と保護対象(1)

動作モード	アクセス経路	保護対象
シングルチップモード シングルブートモード	JTAG/SW	CPU FLASH/ROM/RAM
フラッシュライターモード	フラッシュライター	FLASH

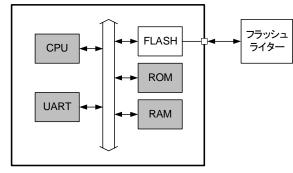
(2) RAM 転送コマンドにおけるパスワード シングルブートモードは、UART 通信でコマンドを送信することで動作します。 RAM 転送コマンドに対しては、パスワードによる認証が行われます。

表 5.23 アクセス経路と保護対象(2)

動作モード	アクセス経路	保護対象
シングルブートモード	UART	CPU FLASH/ROM/RAM



シングルチップモード/シングルブートモード



フラッシュライターモード (FLASHのみ動作)

図 5.1 セキュリティーリスク対策

注) ノンブレークデバッグインターフェース(NBDIF)搭載製品について、セキュリティー機能は NBDIF の通信を禁止しないため、[NBDCR0]<NBDEN>で禁止してください。

5.23.2. 免責事項

巻末の「製品取り扱い上のお願い」を確認ください。

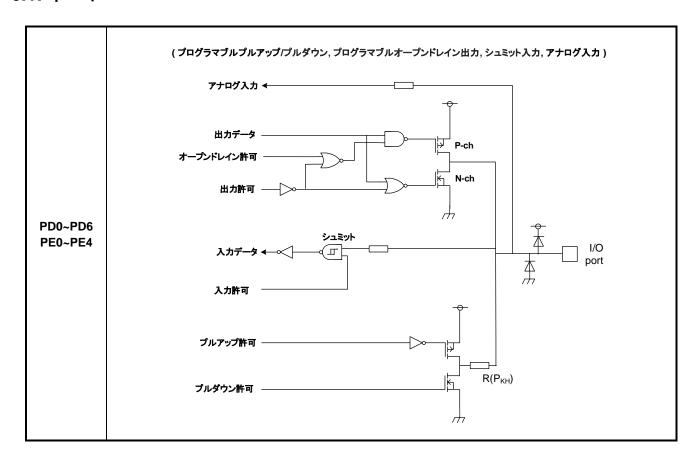


6. 等価回路図

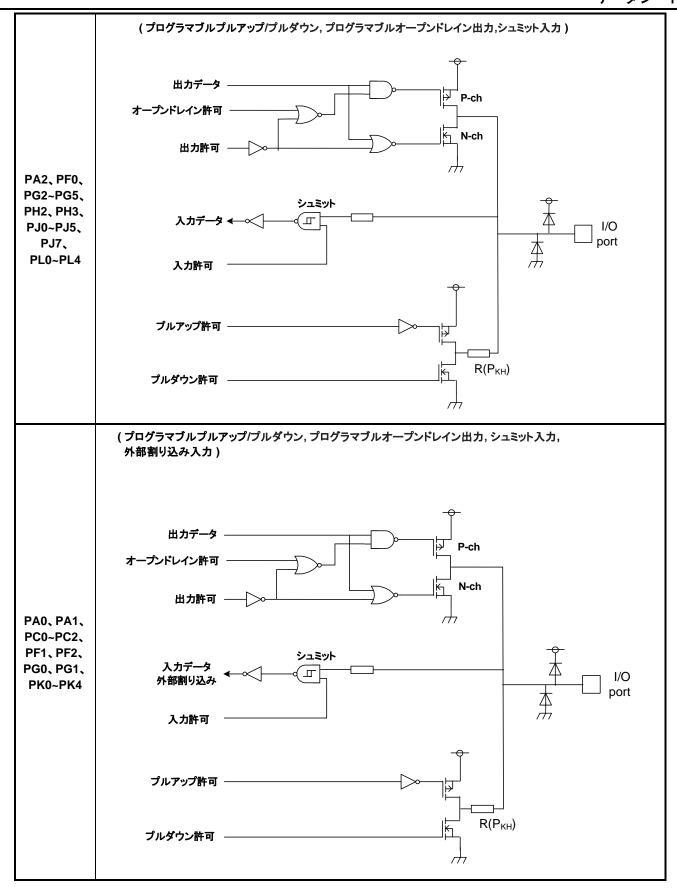
ポート等価回路図は、基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十 Ω ~数百 Ω 程度です。

注) 図中の記号の記載のない抵抗は、入力保護抵抗を示します。

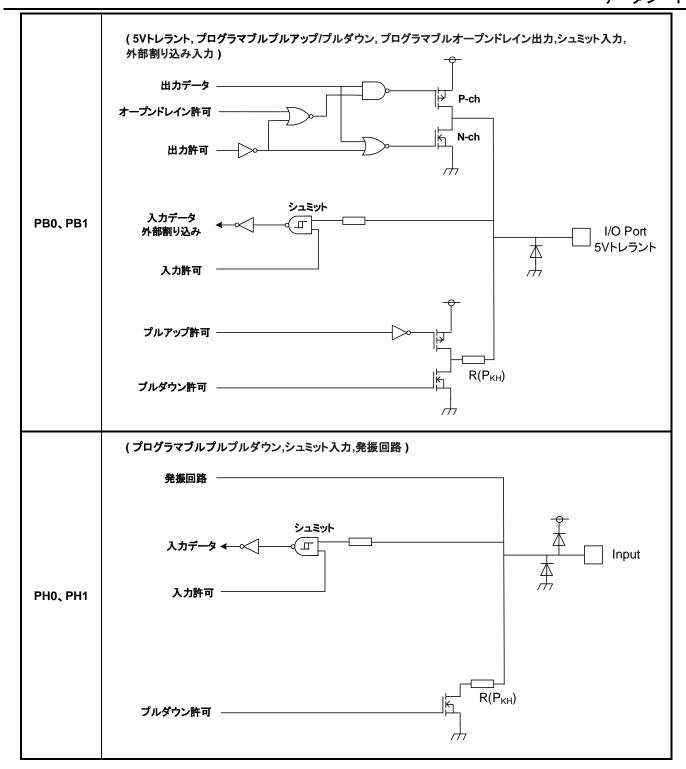
6.1. ポート



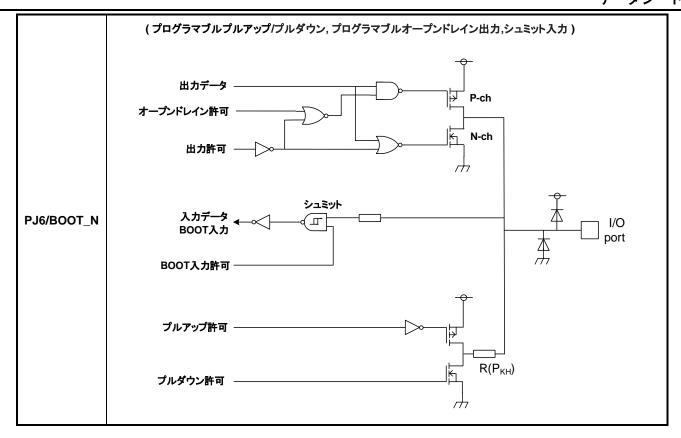




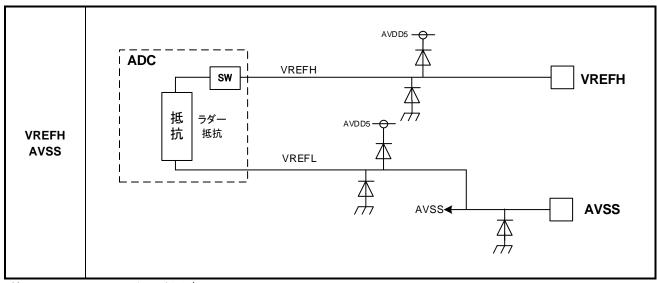








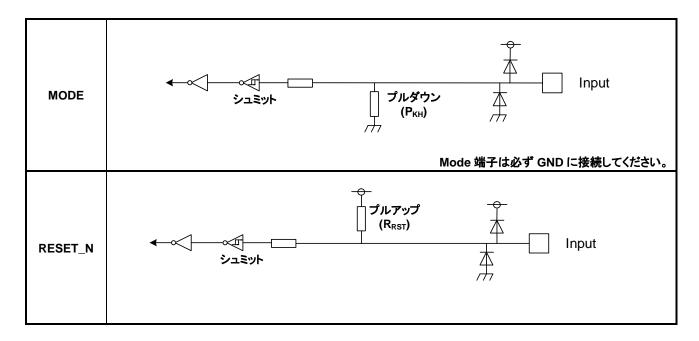
6.2. アナログ関連端子



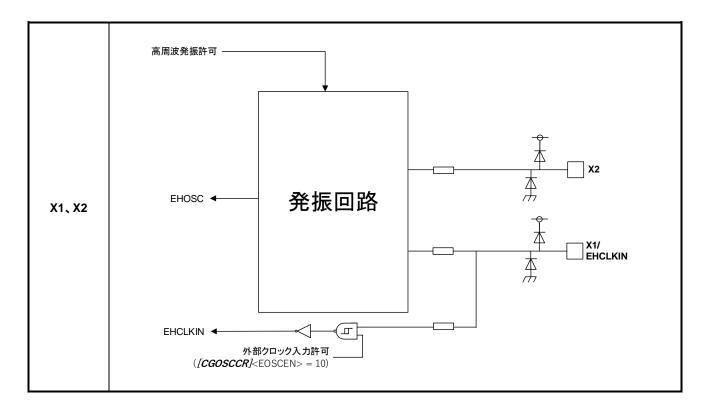
注) SW: ON/OFF スイッチ回路



6.3. 制御端子



6.4. クロック制御





7. 電気的特性

7.1. 絶対最大定格

表 7.1 絶対最大定格

	項目	記号	定格	単位
電源電圧		DVDD5A DVDD5B DVDD5C	-0.3~6.0	V
		AVDD5	-0.3~6.0	
電厂保井 田]キャパシター端子電圧	REGOUT1	-0.3~1.7	
电压体符片	オヤハンダー・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	REGOUT2	-0.3~3.9	V
入力電圧	PA0~PA2、PC0~PC2、PF0~PF2、 PG0~PG5、PH0~PH3、PJ0~PJ7、 PK0~PK4、PL0~PL4、MODE、 RESET_N	V _{IN1} V _{IN2}	-0.3~DVDD5+0.3(≦6.0V) (注 1)	
	PD0~PD6、PE0~PE4	V _{IN3}	-0.3~AVDD5+0.3(≦6.0V)	
	PB0、PB1	V _{IN4}	-0.3~6.0	
低レベル出力電流	1 端子ごと PA0~PA2、PC0~PC2、 PD0~PD6、PE0~PE4、PF0~PF2、 PG0~PG5、PH2~PH3、PJ0~PJ7、		5	
	1 端子ごと PB0、PB1	l _{OL4}	25	
	全端子合計	Σl _{OL}	50	mA
高レベル 出力電流	1 端子ごと PA0~PA2、PB0、PB1、PC0~PC2、 PD0~PD6、PE0~PE4、PF0~PF2、 PG0~PG5、PH2~PH3、PJ0~PJ7、 PK0~PK4、PL0~PL4	Іон	-5	
	全端子合計	ΣІон	-50	
消費電力		PD	500 (Ta=85°C) 250 (Ta=105°C)	mW
はんだ付け温度		T _{SOLDER}	260	°C
保存温度		Tstg	-55~125	°C
動作温度		Topr	-40~105	°C

注 1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

- 注 2) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。
- 注3) DVDD5 と AVDD5 は電源投入から電源遮断まで同電位で使用してください。



7.2. DC 電気的特性(1/2)

 $4.5V \le DVDD5 = AVDD5 \le 5.5V$ DVSS = AVSS = 0V $Ta = -40 \sim 105^{\circ}C$

	項目	記号	条件	Min	Тур.	Max	単位
電源電圧	DVDD5A、DVDD5B、 DVDD5C、AVDD5	VDD	fosc = 6~24MHz fsys = 1~120MHz	4.5	-	5.5	V
低レベル 入力電圧	PA0~PA2、PC0~PC2、 PF0~PF2, PG0~PG5、 PH0~PH3、PJ0~PJ7、 PK0~PK4、PL0~PL4、 MODE、RESET_N	VIL1 VIL2	-	-0.3	-	DVDD5×0.25	٧
	PD0~PD6、PE0~PE4	V_{IL3}	-			AVDD5×0.25	
	PB0、PB1	V _{IL4}	-			DVDD5x0.3	
高レベル入力電圧	PA0~PA2、PC0~PC2、 PF0~PF2、PG0~PG5、 PH0~PH3、PJ0~PJ7、 PK0~PK4、PL0~PL4、 MODE、RESET_N	V _{IH1} V _{IH2}	-	DVDD5×0.75	-	DVDD5+0.3	V
	PD0~PD6、PE0~PE4	V _{IH3}	-	AVDD5×0.75		AVDD5+0.3	
	PB0、PB1	V _{IH4}	-	DVDD5×0.7		5.8	
低レベル	PA0~PA2、PC0~PC2、 PF0~PF2、PG0~PG5、 PH2、PH3、PJ0~PJ7、 PK0~PK4、PL0~PL4	V _{OL1} V _{OL2}	DVDD5 = 4.5V I _{OL} = 1.6mA	-	-	0.4	
出力電圧	PD0~PD6、PE0~PE4	V _{OL3}	AVDD5 = 4.5V I _{OL} = 1.6mA	-	-	0.4	
	PB0、PB1	V _{OL4}	DVDD5 = 4.5V $I_{OL} = 8mA$	-	-	1.0	V
高レベル出力電圧	PA0~PA2、PB0、PB1、 PC0~PC2、PF0~PF2、 PG0~PG5、PH2、PH3、 PJ0~PJ7、PK0~PK4、 PL0~PL4	Voh1 Voh2	DVDD5 = 4.5V I _{OH} = -1.6mA	DVDD5-0.4	-	-	
	PD0~PD6、PE0~PE4	V _{OH3}	AVDD5 = 4.5V I _{OH} = -1.6mA	AVDD5-0.4	-	-	

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25℃、DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5、AVDD5 は同電位で使用してください。



 $4.5V \le DVDD5 = AVDD5 \le 5.5V$ DVSS = AVSS = 0V $Ta = -40 \sim 105$ °C

		_				ıu –	
	項目	記号	条件	Min	Тур.	Max	単位
入カリーク	電流	ILI	0.0V≦VIN≦DVDD5 0.0V≦VIN≦AVDD5	-5	±0.05	5	μΑ
出カリーク	電流	I _{LO}	0.2≦VIN≦DVDD5-0.2 0.2≦VIN≦AVDD5-0.2	-10	±0.05	10	μΑ
シュミットフ	人力幅	Vтн	DVDD5 = AVDD5 = 5.0V	-	1.0	-	V
リセットプノ	レアップ抵抗	R _{RST}	-	25	50	100	
プログラマ	ブルプルアップ/ダウン抵	D	Pull-up	25	50	100	kΩ
抗		Ркн	Pull-down	25	50	100	
Pin 容量(電源端子を除く)	Сю	fc = 1MHz	-	-	10	pF
	1 端子ごと (PB0、PB1 を除く)	I _{OL}	DVDD5 = AVDD5 = 5.0V	-	-	2 (注 4)	
	1 端子ごと (PB0、PB1)	I _{OL4}	DVDD5 = 5.0V	-	-	12 (注 4)	mA
低レベル 出力電流	下記ポート全体で PH2、PH3、PA0~PA2、 PB0、PB1、 PJ0~PJ7、PC0~PC2	Σ I _{OL1}	DVDD5 = 5.0V	-	-	35 (注 5)	
	下記ポート全体で PF0~PF2、PG0~PG5、 PK0~PK4、PL0~PL4	Σ I _{OL2}	DVDD5 = 5.0V	-	-	35 (注 5)	
	下記ポート全体で PD0~PD6、PE0~PE4	Σ I _{OL3}	AVDD5 = 5.0V	-	-	20 (注 5)	
	1 端子ごと	Іон	DVDD5 = AVDD5 = 5.0V	-2 (注 4)	-	-	
高レベル	下記ポート全体で PH2、PH3、PA0~PA2、 PB0、PB1、 PJ0~PJ7、PC0~PC2	Σ Іон1	DVDD5 = 5.0V	-35 (注 5)	-	-	mA
出力電流	下記ポート全体で PF0~PF2、PG0~PG5、 PK0~PK4、PL0~PL4	Σ I _{OH2}	DVDD5 = 5.0V	-35 (注 5)	-	-	
	下記ポート全体で PD0~PD6、PE0~PE4	ΣІонз	AVDD5 = 5.0V	-20 (注 5)	-	-	

- 注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。
- 注 2) Typ.値は特に指定のない限り Ta=25℃、DVDD5=AVDD5=5.0V の値です。
- 注 3) DVDD5、AVDD5 は同電位で使用してください。
- 注 4) 端子の電流合計が各グループ電流の合計を越えてはいけません。
- 注 5) 各グループ電流の合計が、絶対最大定格を越えてはいけません。



 $2.7V \le DVDD5 = AVDD5 < 4.5V$ DVSS = AVSS = 0V $Ta = -40 \sim 105$ °C

	項目	記号	条件	Min	Тур.	Max	単位
電源電圧	DVDD5A、DVDD5B、 DVDD5C、AVDD5	VDD	fosc = 6~24MHz fsys = 1~120MHz	2.7	-	4.5	V
低レベル 入力電圧	PA0~PA2、PC0~PC2、 PF0~PF2, PG0~PG5、 PH0~PH3、PJ0~PJ7、 PK0~PK4、PL0~PL4、 MODE、RESET_N	VIL1 VIL2	-	-0.3	-	DVDD5×0.25	V
	PD0~PD6、PE0~PE4	V _{IL3}	-			AVDD5×0.25	
	PB0、PB1	V _{IL4}	-			DVDD5×0.3	
高レベル入力電圧	PA0~PA2、PC0~PC2、 PF0~PF2, PG0~PG5、 PH0~PH3、PJ0~PJ7、 PK0~PK4、PL0~PL4、 MODE、RESET_N	V _{IH1} V _{IH2}	-	DVDD5×0.75	-	DVDD5+0.3	V
	PD0~PD6、PE0~PE4			AVDD5+0.3			
	PB0、PB1	V_{IH4}	-	DVDD5×0.7		5.8	
低レベル	PA0~PA2、PC0~PC2、 PF0~PF2, PG0~PG5、 PH2、PH3、PJ0~PJ7、 PK0~4、PL0~PL4	V _{OL1} V _{OL2}	DVDD5 = 2.7V I _{OL} = 0.8mA	-	-	0.4	
出力電圧	PD0~PD6、PE0~PE4	V _{OL3}	AVDD5 = 2.7V I _{OL} = 0.8mA	-	-	0.4	
	PB0、PB1	V _{OL4}	DVDD5 = 2.7V I _{OL} = 4mA	-	-	1.0	V
高レベル出力電圧	PA0~PA2、PB0、PB1、 PC0~PC2、PF0~PF2、 PG0~PG5、PH2、PH3、 PJ0~PJ7、PK0~PK4、 PL0~PL4	V _{OH1} V _{OH2}	DVDD5 = 2.7V I _{OH} = -0.8mA	DVDD5-0.4	-	-	
	PD0~PD6、PE0~PE4	V _{ОН3}	AVDD5 = 2.7V I _{OH} = -0.8mA	AVDD5-0.4	-	-	

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

- 注 2) Typ.値は特に指定のない限り Ta=25℃、DVDD5=AVDD5=3.0V の値です。
- 注 3) DVDD5、AVDD5 は同電位で使用してください。



 $2.7V \le DVDD5=AVDD5<4.5V$ DVSS = AVSS = 0V $Ta = -40\sim105^{\circ}C$

	項目	記号	条件	Min	Тур.	Max	単位
入カリーク		ILI	0.0V≦VIN≦DVDD5 0.0V≦VIN≦AVDD5	-5	±0.05	5	
出カリーク	電流	I _{LO}	0.2≦VIN≦DVDD5-0.2 0.2≦VIN≦AVDD5-0.2	-10	±0.05	10	μΑ
シュミットノ	シュミット入力幅		DVDD5 = AVDD5 = 3.0V	-	0.5	-	V
リセットプノ	レアップ抵抗	R _{RST}	-	25	100	200	
	ブルプルアップ/ダウン抵	Ркн	Pull-up	25	100	200	kΩ
抗		. 101	Pull-down	25	100	200	
Pin 容量(電源端子を除く)	Сю	fc = 1MHz	-	-	10	pF
	1 端子ごと (PB0、PB1 を除く)	l _{OL}	DVDD5 = AVDD5 = 3.0V	-	-	1 (注 4)	
	1 端子ごと (PB0、PB1)	l _{OL4}	DVDD5 = 3.0V	-	-	6 (注 4)	mA
低レベル 出力電流	下記ポート全体で PH2、PH3、PA0~PA2、 PB0、PB1、 PJ0~PJ7、PC0~PC2	Σ I _{OL1}	DVDD5 = 3.0V	-	-	18 (注 5)	
	下記ポート全体で PF0~PF2、PG0~PG5、 PK0~PK4、PL0~PL4	Σ I _{OL2}	DVDD5 = 3.0V	-	-	18 (注 5)	
	下記ポート全体で PD0~PD6、PE0~PE4	Σ I _{OL3}	AVDD5 = 3.0V	-	-	10 (注 5)	
	1 端子ごと	Іон	DVDD5 = AVDD5 = 3.0V	-1 (注 4)	-	-	
高レベル	下記ポート全体で PH2、PH3、PA0~PA2、 PB0、PB1、 PJ0~PJ7、PC0~PC2	ΣІОН1	DVDD5 = 3.0V	-18 (注 5)	-	-	mA
出力電流	下記ポート全体で PF0~PF2、PG0~PG5、 PK0~PK4、PL0~PL4	Σ I _{OH2}	DVDD5 = 3.0V	-18 (注 5)	-		
	下記ポート全体で PD0~PD6、PE0~PE4	ΣІонз	AVDD5 = 3.0V	-10 (注 5)	-	-	

- 注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。
- 注 2) Typ.値は特に指定のない限り Ta=25℃、DVDD5=AVDD5=3.0V の値です。
- 注 3) DVDD5、AVDD5 は同電位で使用してください。
- 注 4) 端子の電流合計が各グループ電流の合計を越えてはいけません。
- 注 5) 各グループ電流の合計が、絶対最大定格を越えてはいけません。



7.3. DC 電気的特性(2/2) (消費電流)

7.3.1. 消費電流

 $Ta = -40 \sim 105$ °C

項目	記号	条件	Min	Тур.	Max	単位
NORMAL			-	25.0	35.0	mΛ
IDLE	I _{DD}	動作条件は表 7.2、表 7.3 を参照してください。	-	1.9	8.0	mA
STOP1			-	0.23	5.50	mA

- 注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。
- 注 2) Typ.値は特に指定のない限り Ta=25℃、DVDD5=AVDD5=5.0V の値です。
- 注 3) DVDD5、AVDD5 は同電位で使用してください。
- 注 4) 入力端子は固定、出力端子は解放です。

表 7.2 IDD測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1		
	DVDD5 AVDD5	5.0V(Typ.), 5.5V(max)				
端子設定	X1、X2 端子	発振子接続(10MHz))		
411 IXXC	入力端子	固定		固定		
	出力端子	開放				
	システムクロック (fsys)	1201	MHz	停止		
動作条件	外部高速発振器 (EHOSC)	発	振	停止		
(発振回路)	内部高速発振器 (IHOSC1)		停止			
	PLL	動作		停止		



表 7.3 IDD測定条件(CPU、周辺回路)

回路	搭載 回路数	NORMAL	IDLE	STOP1	
CPU	1	動作 (ドライストン Ver.2.1)	停	止	
DMAC	1	(UART ch 0 送信で起動、 転送先: RAM)	停	止	
ADC	2	全ユニット動作 (0.73µs、リピート変換)	停	止	
OPAMP	1	動作	停	止	
RAMP	1	動作	停	止	
T32A	6	全 ch 動作	停	止	
A-PMD	2	全 ch 動作	停	止	
A-ENC32	2	全 ch 動作	停	止	
SIWDT	1	動作	停	止	
UART	4	2ch: 送信(5Mbps)	停	止	
I2C/EI2C	1		停止		
TSPI	4	2ch: 送信、20MHz	停	止	
CRC	1		停止		
LVD	1		停止		
OFD	1		停止		
Debug	1		停止		
NBDIF	1		停止		
入出力 ポート	-	動作	停	止	

7.3.2. アナログ消費電流

Ta = -40~105°C

_						
項目	記号	条件	Min	Тур.	Max	単位
アナログ消費電流 (VREF 電流を含む))	l _{AVDD}	AVDD5=5.0V(Typ.)、5.5V(Max)、 AVSS=0V ADC(全ユニット)、OPAMP 動作	-	10.2	17.0	mA



7.4. 電源電圧変動

DVSSA=DVSSB=DVSSC=AVSS=0VTa = $-40 \sim 105$ °C

項目	記号	条件	Min	Тур.	Max	単位
電源傾斜	V _{PON}	電源投入時立ち上がり傾斜	0.3	-	100	m\//ua
	V _{POFF}	電源遮断時立ち下がり傾斜	-	-	10	mV/µs
電源変動レート	V _{fr}	2.7V≦DVDD5=AVDD5≦5.5V	-50	-	50	mV/µs

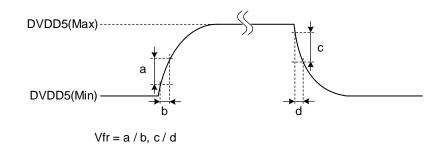


図 7.1 電源変動レート

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。

7.5. リセット時内部処理特性

 ${\tt DVSSA=DVSSB=DVSSC=AVSS=0V}$

 $Ta = -40 \sim 105$ °C

項目	記号	条件	Min	Тур.	Max	単位
内部初期化時間	tiinit	パワーオン時	-	-	1.85	
内部処理時間	t _{IRST}	-	-	-	1.09	ms
		パワーオン時 STOP1 モードで LVD によるリセット動作時 STOP1 モードで RESET_N 端子による リセット動作時	12	-	15	
CPU 動作待ち時間 (注)	tсриwт	NORMAL/IDLE モードで LVD によるリセット動作時 NORMAL/IDLE モードで RESET_N 端子による リセット動作時 NORMAL/IDLE モードで SIWDT/OFD/LOCKUP/ SYSRESET によるリセット動作時	104	-	108	μs

注) WDT/OFD/LOCKUP/SYSRESET によるリセット動作時を除き、リセット要因が継続した場合、同リセット要因が解除された後に、t_{CPUWT} (CPU 動作待ち時間)の計測が始まります。



7.6. パワーオンリセット特性

DVSSA=DVSSB=DVSSC=AVSS=0V Ta = -40~105°C

項目	記号	条件	Min	Тур.	Max	単位
検知電圧	V _{PREL}	電源立ち上がり	2.22	2.33	2.44	\ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \
快和电圧 	V _{PDET}	電源立ち下がり	2.17	2.28	2.39	V
検知パルス幅 1	t _{PDET1}	-	200	-	-	μs

7.7. PORF 特性

DVSSA=DVSSB=DVSSC=AVSS=0V Ta = -40~105°C

項目	記 号	条件	Min	Тур.	Max	単位
検知電圧	V _{PORFL}	電源立ち上がり	2.57	2.64	2.71	\/
快和电压 	VPORFD	電源立ち下がり	2.52	2.59	2.66	V
検知パルス幅 2	T _{PDET2}	-	200	-	-	μs



7.8. 電圧検知回路特性

DVDD5=AVDD5=2.7V~5.5V DVSS=AVSS=0V Ta = -40~105°C

	条件	Min	Тур.	Max	単位	
V	電源立ち上がり	2.63	2.7	2.77	\ \	
VLVLO	電源立ち下がり	2.58	2.65	2.72	V	
V	電源立ち上がり	2.68	2.75	2.82	\ \	
V LVL1	電源立ち下がり	2.63	2.7	2.77	V	
V	電源立ち上がり	2.78	2.85	2.92	\ \	
V LVL2	電源立ち下がり	2.73	2.8	2.87	V	
V	電源立ち上がり	2.88	2.95	3.02	V	
V LVL3	電源立ち下がり	2.83	2.9	2.97	V	
V _{LVL4}	電源立ち上がり	3.96	4.05	4.14	V	
	電源立ち下がり	3.91	4.0	4.09	V	
V _{LVL5}	電源立ち上がり	4.16	4.25	4.34	V	
	電源立ち下がり	4.11	4.2	4.29		
.,	電源立ち上がり	4.36	4.45	4.54	V	
VLVL6	電源立ち下がり	4.31	4.4	4.49	V	
.,	電源立ち上がり	4.56	4.65	4.74	V	
VLVL7	電源立ち下がり	4.51	4.6	4.69	V	
t∨DDT1	電源立ち下がり	-	-	100		
t _{VDDT2}	電源立ち上がり	-	-	100]	
t _{LVDEN}	-	-	-	100	μs	
tlvdpw	-	200	-	-		
	VLVL5 VLVL6 VLVL7 tVDDT1 tVDDT2 tLVDEN tLVDPW	VLVL0 電源立ち下がり VLVL1 電源立ち上がり Tube To Living 電源立ち上がり Tube To Living で源立ち上がり Tube To Living Tube To Living Tube To Liv	VLVL0 電源立ち下がり 2.58 VLVL1 電源立ち上がり 2.68 電源立ち下がり 2.78 電源立ち上がり 2.73 VLVL3 電源立ち上がり 2.88 電源立ち上がり 3.96 電源立ち上がり 4.16 電源立ち上がり 4.11 VLVL6 電源立ち上がり 4.36 電源立ち上がり 4.56 電源立ち下がり 4.51 tVDDT1 電源立ち上がり - tVDDT2 電源立ち上がり - tLVDEN - - tLVDPW - 200	VLVL0 電源立ち下がり 2.58 2.65 VLVL1 電源立ち上がり 2.63 2.7 VLVL2 電源立ち上がり 2.78 2.85 電源立ち上がり 2.73 2.8 VLVL3 電源立ち上がり 2.83 2.9 電源立ち上がり 3.96 4.05 電源立ち上がり 3.91 4.0 VLVL4 電源立ち上がり 4.16 4.25 電源立ち上がり 4.36 4.45 電源立ち上がり 4.31 4.4 VLVL6 電源立ち上がり 4.56 4.65 VLVL7 電源立ち上がり - - 電源立ち上がり 4.51 4.6 tVDDT1 電源立ち下がり - - tLVDDT2 電源立ち上がり - - tLVDEN - - - tLVDPW - 200 -	VLVL0 電源立ち下がり 2.58 2.65 2.72 VLVL1 電源立ち上がり 2.68 2.75 2.82 電源立ち下がり 2.63 2.7 2.77 ULVL2 電源立ち上がり 2.78 2.85 2.92 電源立ち上がり 2.88 2.95 3.02 電源立ち上がり 2.83 2.9 2.97 TULVL4 電源立ち上がり 3.96 4.05 4.14 電源立ち上がり 4.16 4.25 4.34 電源立ち上がり 4.36 4.45 4.54 電源立ち上がり 4.31 4.4 4.49 電源立ち上がり 4.56 4.65 4.74 電源立ち上がり 4.56 4.65 4.74 電源立ち上がり 4.51 4.6 4.69 tvDDT1 電源立ち上がり - - 100 tvDDT2 電源立ち上がり - - 100 tLVDEN - - - - 100 tLVDDW - - - - -	

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

TOSHIBA

7.9. 12 ビット AD コンバーター特性 7.9.1. AD コンバーター特性

DVDD5=AVDD5=2.7V~5.5V DVSS = AVSS = 0V Ta = -40~105°C

		At IIL				1 = -40~10	
項目	記号		条件	Min	Тур.	Max	単位
アナログ基準電圧(+)	VREFH		-	2.7	-	5.5	
アナログ入力電圧	VAIN		-	AVSS (VREFL)	-	VREFH	V
アナログ電源と基準電圧差	ΔVREF	VREFH≦AVDD5		0	-	0.5	
積分非直線性誤差(INL)		1 ユニット動作		-5	-	5	
微分非直線性誤差(DNL)		4.5V≦AVDD5≦5.5		-1	-	4	
ゼロスケール誤差	-	4.5V≦VREFH≦5.5 AVSS = VREFL = 0		-5	-	5	LSB
フルスケール誤差		AIN 負荷抵抗 = 600		-4.5	-	4	
総合誤差		AIN 負荷容量≧0.1 £	<i>t</i> F	-8	-	8	
積分非直線性誤差(INL)		1 ユニット動作	-5	-	5		
微分非直線性誤差(DNL)		2.7V≦AVDD5<4.5V		-1	-	4	
ゼロスケール誤差	_	2.7V≦VREFH<4.5\ AVSS=VREFL=0V	/	-5	-	3	LSB
フルスケール誤差		AIN 負荷抵抗 = 600	Ω	-4.5	-	4	
総合誤差		AIN 負荷容量≧0.1 μ	-7	-	6		
積分非直線性誤差(INL)		2 ユニット同時動作	-5	-	8		
微分非直線性誤差(DNL)		4.5V≦AVDD5≦5.5		-1	-	7	
ゼロスケール誤差	-	4.5V≦VREFH≦5.5 AVSS = VREFL = 0		-7	-	8	LSB
フルスケール誤差		AIN 負荷抵抗 = 600		-5	-	7	
総合誤差		AIN 負荷容量≧0.1 μ	<i>t</i> F	-12	-	14	
積分非直線性誤差(INL)		2 ユニット同時動作		-5	-	5	
微分非直線性誤差(DNL)		2.7V≦AVDD5<4.5V		-1	-	5	
ゼロスケール誤差	-	2.7V≦VREFH<4.5\ AVSS=VREFL=0V	/	-7	-	3	LSB
フルスケール誤差		AIN 負荷抵抗 = 600	Ω	-5	-	6	
総合誤差		AIN 負荷容量≧0.1 μ	<i>t</i> F	-12	-	8	
SCLK 周波数	4	4.5V≦AVDD5≦5.5	V	4	-	30	MHz
SULK 同波数	fsclk	2.7V≦AVDD5<4.5V	1	4	-	24	IVITZ
		オペアンプ未使用	4.5V≦AVDD5≦5.5V	0.2	-	-	
サンプリング時間	t _{smpl}	オペアンノ未使用	2.7V≦AVDD5<4.5V	0.33	-	-	
		オペアンプ使用		0.4	-	-	
赤杨吐眼		ナペフンプナは田	4.5V≦AVDD5≦5.5V	0.73	-	-	μs
変換時間	t _{conv}	オペアンプ未使用	2.7V≦AVDD5<4.5V	1	-	-	
安定待ち時間	t _{sta}	[ADAMODO] <daco 設定後</daco 	DN> = 1	3	-	-	

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

- 注 2) Typ.値は特に指定のない限り Ta=25°C、DVDD5 = AVDD5 = 5.0V の値です。
- 注 3) 1LSB = (VREFH AVSS(VREFL)) / 4096V
- 注 4) AD コンバーターのみ動作時の特性です。



7.9.2. リファレンス電源

DVDD5=AVDD5=2.7V \sim 5.5V DVSS=AVSS=0V Ta = -40 \sim 105°C

項目	条件	Min	Тур.	Max	単位
リファレンス電源	ch 18 選択	0.99	-	1.21	V

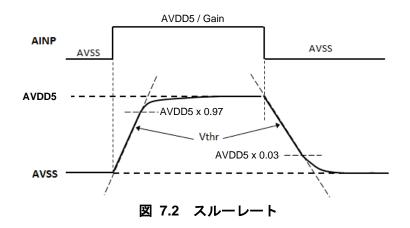
注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.10. オペアンプ特性

DVDD5=AVDD5=2.7V~5.5V DVSS=AVSS=0V Ta = -40~105°C

					<u> </u>	0~100
項目	記号	条件	Min	Тур.	Max	単位
ゲイン(倍率) (注 2)	VGAIN	-	2.0	-	15	倍
アンプ入力電圧範囲(同相)	VAMPINP VAMPINN	-	AVSS-0.3	-	(AVDD5×0.97) / VGAIN	
アンプ入力電圧範囲(差動)	VAMPINP VAMPINN	Min Gain=2.0 倍	0	ı	AVDD5 / (Min Gain)	V
アンプ出力電圧	VVOLT	-	AVDD5×0.03	-	AVDD5 × 0.97	
差動段オフセット電圧	VOFF	-	-5	-	5	mV
ゲイン誤差	-	-	-3	-	3	%
スルーレート	Vthr	10pF	6	10	-	V/µs
AMPEN→出力安定時間	t _{sta1}	上限: +5mV、下限: -5mV 以内になる時間 CL=10pF	-	-	2	μs

- 注 1) アンプ単体動作の時の特性です。
- 注 2) レジスター設定により、2.5、3、3.5、4、4.5、6、7、8、10、12 倍も選択できます。
- 注 3) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。
- 注 4) Typ.値は特に指定のない限り Ta=25°C、DVDD5=AVDD5=5.0V の値です。





7.11. AC 電気的特性

この章の「AC 電気的特性」に示されている値には、クロック誤差は含まれていません。 実際には、AC 特性は誤差(a)と(b)の両方の影響を受ける可能性があります。

- (a) fosc として使用するクロックの発振周波数誤差
- (b) PLL 誤差(最大±3%)

7.11.1. シリアルペリフェラルインターフェース(TSPI)

7.11.1.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7V \sim 5.5V$
- $Ta = -40 \sim 105^{\circ}C$
- 出力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 負荷容量: CL = 30pF
- 注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。



7.11.1.2. AC 電気的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック fsys と同じ 周期です。この周期は、クロックギアの設定に依存します。

<RXDLY>は[TSPIxCR2]<RXDLY[2:0]>の設定値+1になります。

(1) SIO モード コントローラー

4.5V≦DVDD5=AVDD5≦5.5V

	1.0 V = D V D D 0 -7 (V D D 0 =					
項目	記号	Min	Max	単位		
TSPIxSCK 出力周波数	fcyc	-	20	MHz		
TSPIxSCK 出力周期	tcyc	50	-			
TSPIxSCK 低レベル出力パルス幅	tw∟	(tcyc/2)-13	-			
TSPIxSCK 高レベル出力パルス幅	t _{WH}	(t _{CYC} /2)-13	-			
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	35- <rxdly>×T</rxdly>	-	ns		
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	<rxdly>×T-5</rxdly>	-	110		
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD ホールド時間	todly1	-18	-			
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly2	-	16			

2.7V≦DVDD5=AVDD5<4.5V

項目	記号	Min	Max	単位
TSPIxSCK 出力周波数	fcyc	-	20	MHz
TSPIxSCK 出力周期	t _{CYC}	50	-	
TSPIxSCK 低レベル出力パルス幅	t _{WL}	(tcyc/2)-16	-	
TSPIxSCK 高レベル出力パルス幅	twн	(tcyc/2)-16	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	tosu	45- <rxdly>×T</rxdly>	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	<rxdly>×T-5</rxdly>	-	110
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD ホールド時間	todly1	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly2	-	16	



(2) SIO モード ターゲット

4.5V≦DVDD5=AVDD5≦5.5V

項目	記号	Min	Max	単位
TSPIxSCK 入力周波数	f _{CYC}	-	10	MHz
TSPIxSCK 入力周期	tcyc	100	-	
TSPIxSCK 低レベル入力パルス幅	tw∟	37	-	
TSPIxSCK 高レベル入力パルス幅	twн	37	-	
TSPIxRXD 入力 ←SPIxSCK 立ち上がり/立ち下がり時間	tosu	7	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	toho	10	-	110
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD ホールド時間	todly1	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly2	-	36	

2.7V≦DVDD5=AVDD5<4.5V

項目	記号	Min	Max	単位
TSPIxSCK 入力周波数	fcyc	-	10	MHz
TSPIxSCK 入力周期	tcyc	100	-	
TSPIxSCK 低レベル入力パルス幅	t _{WL}	37	-	
TSPIxSCK 高レベル入力パルス幅	twн	37	-	
TSPIxRXD 入力 ←SPIxSCK 立ち上がり/立ち下がり時間	tosu	7	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	toho	10	-	110
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD ホールド時間	t _{ODLY1}	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly2	-	55	



(1) 1st クロックエッジサンプリング(コントローラー)

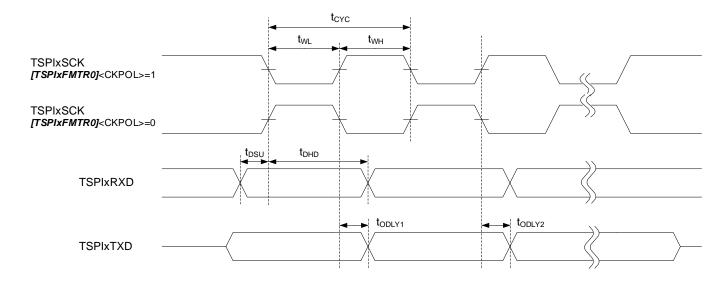


図 7.3 1stクロックエッジサンプリング(コントローラー)

(2) 2nd クロックエッジサンプリング(コントローラー)

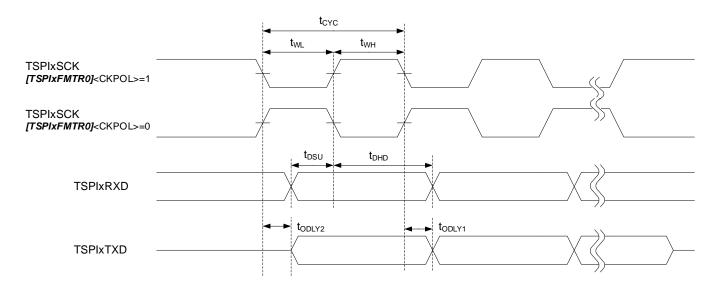


図 7.4 2ndクロックエッジサンプリング(コントローラー)



(3) 1st クロックエッジサンプリング(ターゲット)

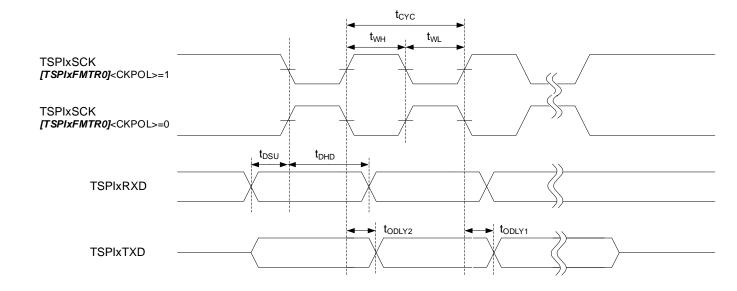


図 7.5 1stクロックエッジサンプリング(ターゲット)

(4) 2nd クロックエッジサンプリング(ターゲット)

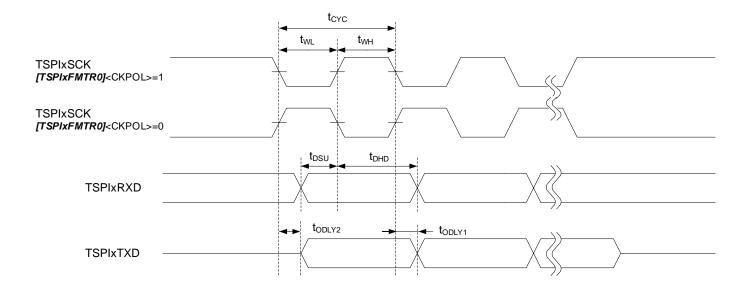


図 7.6 2ndクロックエッジサンプリング(ターゲット)



7.11.2. I²C インターフェース(I2C)

7.11.2.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5=AVDD5=2.7V~5.5V
- $Ta = -40 \sim 105^{\circ}C$
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD5、Low = 0.3×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.11.2.2. AC 電気的特性

14E D		5 2 B	標準-	モード	ファストモ	: − ド	ж т
項目		記 号	Min	Max	Min	Max	単位
SCL クロック周波数		f _{SCL}	0	100	0	400	kHz
スタートコンディション保持時間		t _{HD;STA}	4.0	-	0.6	-	
SCL クロック Low 幅(入力)(注 1)		tLOW	4.7	-	1.3	-	
SCL クロック High 幅(入力)(注 1)		tніgн	4.0	-	0.6	-]
再スタートコンディション	<sren>=0</sren>	tsu;sta	4.7 (注 3)	-	0.6 (注 3)	-	μs
セットアップ時間	<sren>=1</sren>	tsu;sta	4.7 (注 3)	-	0.6	-	
データ保持時間(入力)(注	2)	t _{HD;DAT}	0	-	0	-	
データセットアップ時間		t _{SU;DAT}	250	-	100	-	ns
ストップコンディションセットアップ時間		tsu;sто	4.0	-	0.6	-	
ストップコンディションとスク のバスフリー時間(注 3)	マートコンディション間	tBUF	4.7	-	1.3	-	μs

- 注 1) 通信規格上、標準モード/ファストモードの最高速度は 100kHz/400kHz です。内部 SCL クロックの 周波数の設定は、リファレンスマニュアル「I2C インターフェース」 3.3.2.章の計算式を参照して ください。
- 注2) 通信規格では、SDA 入力時に内部でデータ保持時間を300ns 確保して、SCL 立ち下がり時の不安 定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジス ロープコントロール機能を持っていません。従って、SCL/SDA の t_r/t_f を含めて、バス上で上表の データ保持時間(入力)を守るように、設計してください。
- 注3) ソフトウェアで時間を確保してください。



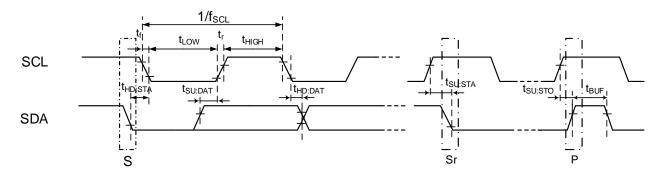


図 7.7 I2CのACタイミング



7.11.3. I²C インターフェースパージョン A(EI2C)

7.11.3.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7 \sim 5.5$ V
- $Ta = -40 \sim 105^{\circ}C$
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7 × DVDD5、Low = 0.3 × DVDD5
- 負荷容量: CL = 30pF
- 注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.11.3.2. AC 電気的特性

		標準	モード	ファスト	モード	ファストモー	ードプラス	334 A.L.
項目	記号	Min	Max	Min	Max	Min	Max	単位
SCL クロック周波数	fscL	0	100	0	400	0	1000	kHz
スタートコンディション保持	thd;sta	4.0	-	0.6	-	0.26	-	
SCL クロック Low 幅(入力)(注 1)	t _{LOW}	4.7	-	1.3	-	0.5	-	•
SCL クロック High 幅(入力)(注 1)	tніgн	4.0	-	0.6	-	0.26	-	μs
再スタートコンディション セットアップ時間	t _{SU;STA}	4.7	-	0.6	-	0.26	-	
データ保持時間(入力)(注 2)	t _{HD;DAT}	0	-	0	-	0	-	
データセットアップ時間	tsu;dat	250	-	100	-	50	-	ns
ストップコンディションセットアップ時間	tsu;sto	4.0	-	0.6	-	0.26	-	
ストップコンディションとスタートコンディション間 のバスフリー時間(注3)	t _{BUF}	4.7	-	1.3	-	0.5	-	μs

- 注 1) 通信規格上、標準モード/ファストモード/ファストモードプラスの最高速度は 100kHz/400kHz/1000kHz です。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I²C インターフェースバージョン A」3.3.1.章の計算式を参照してください。
- 注2) 通信規格では、SDA 入力時に内部でデータ保持時間を300ns 確保して、SCL 立ち下がり時の不安 定な状態を回避することになっていますが、本製品では対応していません。またSCL のエッジス ロープコントロール機能を持っていません。従って、SCL/SDA の t_r/t_fを含めて、バス上で上表の データ保持時間(入力)を守るように、設計してください。
- 注3) ソフトウェアで時間を確保してください。



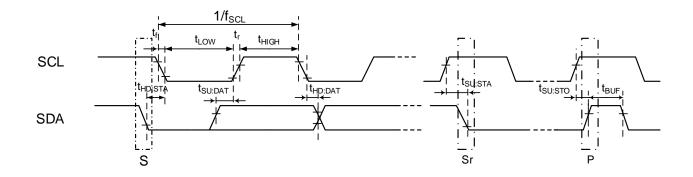


図 7.8 EI2CのACタイミング



7.11.4. 32 ビットタイマーイベントカウンター(T32A)

T32AxINA0/A1、T32AxINB0/B1、T32AxINC0/C1 入力に対する AC 電気的特性です。

7.11.4.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7V \sim 5.5V$
- $Ta = -40 \sim 105^{\circ}C$
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.11.4.2. AC 電気的特性

TはT32Aの動作クロックの周期を表します。T32Aの動作クロックは、プリスケーラークロック $\Phi T0$ と同じ周期です。この周期は、プリスケーラークロックの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	Min	Max	単位
低レベルパルス幅	tvckl	2T + 20	-	ns
高レベルパルス幅	tvскн	2T + 20	-	

(2) パルスカウント動作時

項目	記号	Min	Max	単位
パルス周期	t _{DCYC}	1000	-	
低レベルパルス幅	tpwL	500	-	
高レベルパルス幅	tрwн	500	-	ns
入力セットアップ	t _{ABS}	(NF+1) × T+20	-	
入力ホールド	t _{АВН}	(NF+1) × T+20	-	

NF の値は/T32AxPLSCR/<NF[1:0]>の設定により以下の値になります。

[T32AxPLSCR] <nf[1:0]></nf[1:0]>	計算式の NF 値		
00	0		
01	2		
10	4		
11	8		



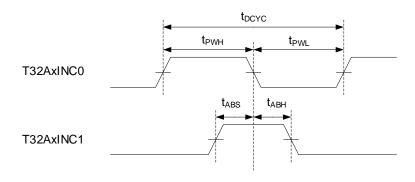


図 7.9 カウントパルス入力

7.11.5. 外部割り込み

7.11.5.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7V \sim 5.5V$
- $Ta = -40 \sim 105$ °C
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.11.5.2. AC 電気的特性

表中のTはシステムクロック fsys の周期を表します。

(1) NORMAL、IDLE モード時

項目	記号	Min	Max	単位
低レベルパルス幅	tintal1	T + 100	-	ns
高レベルパルス幅	tintah1	T + 100	-	

(2) STOP1 モード時

項目	記号	Min	Max	単位
低レベルパルス幅	tINTCL2	125	-	20
高レベルパルス幅	t _{INTCH2}	125	-	ns



7.11.6. 端子トリガー入力(TRGINx)

7.11.6.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7V \sim 5.5V$
- $Ta = -40 \sim 105^{\circ}C$
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.11.6.2. AC 電気的特性

表中のTはシステムクロック fsys の周期を表します。

項目	記号	Min	Max	単位
低レベルパルス幅	t _{ADL}	2T+ 20	-	20
高レベルパルス幅	t _{ADH}	2T+ 20	-	ns



7.11.7. デバッグ通信

7.11.7.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7V \sim 5.5V$
- $Ta = -40 \sim 105^{\circ}C$
- 出力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.11.7.2. SWD インターフェース

4.5V≦DVDD5=AVDD5≦5.5V

項目	記号	Min	Max	単位
CLK 周期	t _{dck}	100	-	
CLK 立ち上がりから出力データ保持	t _{d1}	4	-	
CLK 立ち上がりから出力データ有効	t _{d2}	-	31	ns
入力データ有効から CLK 立ち上がり	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持	t _{dh}	15	-	

2.7V≦DVDD5=AVDD5<4.5V

項目	記号	Min	Max	単位
CLK 周期	t _{dck}	100	-	
CLK 立ち上がりから出力データ保持	t _{d1}	4	-	
CLK 立ち上がりから出力データ有効	t _{d2}	-	45	ns
入力データ有効から CLK 立ち上がり	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持	t _{dh}	15	-	



7.11.7.3. JTAG インターフェース

$4.5V \leq DVDD5 = AVDD5 \leq 5.5V$

項目	項目記号		Max	単位
CLK 周期	t _{dck}	83.3	-	
CLK 立ち下がりから出力データ保持	t _{d3}	4	-	
CLK 立ち下がりから出力データ有効	t _{d4}	-	33	ns
入力データ有効から CLK 立ち上がり	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持	t _{dh}	15	-	

2.7V≦DVDD5=AVDD5<4.5V

項目	[目 記号		Max	単位
CLK 周期	t _{dck}	83.3	-	
CLK 立ち下がりから出力データ保持	t _{d3}	4	-	
CLK 立ち下がりから出力データ有効	t _{d4}	-	45	ns
入力データ有効から CLK 立ち上がり	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持	t _{dh}	15	-	

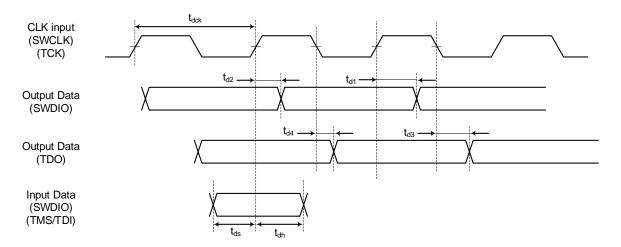


図 7.10 JTAG/SWD波形



7.11.7.4. ETM インターフェース

4.5V≦DVDD5=AVDD5≦5.5V

項目	記号	Min	Max	単位
TRACECLK 周期	t _{tclk}	33.3	-	
TRACECLK 立ち上がりから DATA 有効	t _{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	t _{holdr}	1	-	ns
TRACECLK 立ち下がりから TRACEDATA 有効	t _{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	tholdf	1	-	

$2.7V \leq DVDD5=AVDD5 < 4.5V$

項目	記号	Min	Max	単位
TRACECLK 周期	t _{tclk}	33.3	-	
TRACECLK 立ち上がりから DATA 有効	t _{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持	tholdr	1	-	ns
TRACECLK 立ち下がりから TRACEDATA 有効	t _{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持	tholdf	1	-	

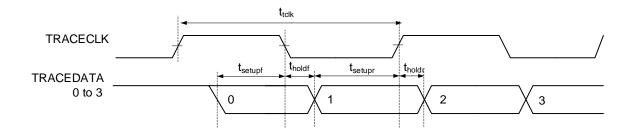


図 7.11 トレース信号波形



7.11.8. NBD インターフェース

7.11.8.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7V \sim 5.5V$
- $Ta = -40^{\circ}C \sim 105^{\circ}C$
- 出力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 入力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 負荷容量: CL = 30pF
- 注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.11.8.2. AC 電気的特性

項目	記号	Min	Max	単位
NBDCLK サイクル時間	t _{NDCYC}	80	-	
NBDCLK 低レベルパルス幅	t _{NDL}	35	-	
NBD DATA 出力遅延時間	t _{NDD}	-	t _{NDCYC} - 20	
NBD DATA 出力ホールド時間	t _{NDHD}	5	-	20
NBD DATA セットアップ時間	t _{NDS}	20	-	ns
NBD DATA ホールド時間	t _{NDH}	5	-	
NBDSYNC セットアップ時間	t _{NDSYS}	20	-	
NBDSYNC 出力ホールド時間	tndsyh	5	-	

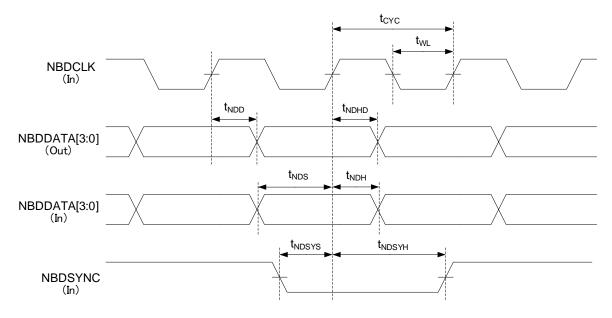


図 7.12 NBDIFのACタイミング



7.11.9. SCOUT 端子

7.11.9.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7V \sim 5.5V$
- $Ta = -40 \sim 105^{\circ}C$
- 出力レベル: High = 0.5×DVDD5、Low = 0.5×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.11.9.2. AC 電気的特性

表中のTはSCOUT出力波形の周期を示します。

$4.5V \le DVDD5 = AVDD5 \le 5.5V$

項目	記号	Min	Max	単位
低レベルパルス幅	t _{SCL}	0.5T-10	-	20
高レベルパルス幅	tscн	0.5T-10	-	ns

2.7V≦DVDD5=AVDD5<4.5V

項目	記号	Min	Max	単位
低レベルパルス幅	tscl	0.5T-12	-	20
高レベルパルス幅	tsch	0.5T-12	-	ns

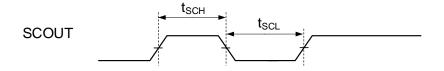


図 7.13 SCOUT出力波形



7.11.10. 外部クロック入力

7.11.10.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = $2.7V \sim 5.5V$
- $Ta = -40^{\circ}C \sim 105^{\circ}C$
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 注) DVDD5はDVDD5A,DVDD5B,DVDD5Cの総称です。DVSSはDVSSA,DVSSB,DVSSCの総称です。

7.11.10.2. AC 電気的特性

項目	記号	Min	Тур.	Max	単位
クロック周波数(1/tehcin)	f _{EHCLKIN}	6	-	24	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t _r	-	-	10	ns
クロック立ち下がり時間	t f	-	-	10	ns

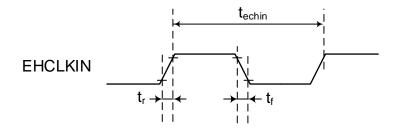


図 7.14 外部クロック入力波形

7.12. ノイズフィルター特性

DVDD5 = AVDD5 = 2.7~5.5V

 $Ta = -40 \sim 105$ °C

項目	条件	Min	Тур.	Max	単位
ノイズキャンセル幅	-	15	30	60	ns

TOSHIBA

7.13. フラッシュ特性

7.13.1. コードフラッシュ特性

 $DVDD5 = AVDD5 = 2.7 \sim 5.5V$ $Ta = -40 \sim 105$ °C

					_ 10 10
項目	条件	Min	Тур.	Max	単位
フラッシュメモリー書き換え回数	-	-	-	100,000	
書き込み時間	1word あたりに換算	-	22.6	-	μs
	ページ	2.1	-	8.4	
消去時間	ブロック	16.8	-	67.1	ms
	エリア(注 2)	-	9.1	-	

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総 称です。

注 2) プロテクトが有効なブロックが無い場合です。

7.13.2. チップ消去特性

 $DVDD5 = AVDD5 = 2.7V \sim 5.5V$ $Ta = -40 \sim 105$ °C

項目	条件	Min	Тур.	Max	単位
チップ消去時間	消去対象: コードフラッシュ プロテクトビット(コード) セキュリティービット	13.3	-	25.9	ms

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総 称です。

注 2) チップ消去コマンド実行時、プロテクトが有効なブロックが無い場合の時間です。

7.14. レギュレーター

 $DVDD5 = AVDD5 = 2.7V\sim5.5V$

 $Ta = -40 \sim 105$ °C

項目	条件	Min	Тур.	Max	単位
REGOUT2 コンデンサー容量		0.8	4.7	5.64	
REGOUT1 コンデンサー容量	-	0.8	4.7	5.64	μF

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称 です。



7.15. 発振回路

7.15.1. 内蔵発振器

DVDD5 = AVDD5 = $2.7V\sim5.5V$ Ta = $-40\sim105^{\circ}C$

項目	記号	条件	Min	Тур.	Max	単位
内蔵発振器 1 発振周波数	finosc1	-	9.9	10	10.1	MHz

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

DVDD5 = AVDD5 = $2.7V\sim5.5V$ Ta = $-40\sim105^{\circ}C$

項目	記号	条件	Min	Тур.	Max	単位
内蔵発振器 2 発振周波数	f _{IHOSC2}		9	10	11	MHz

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。

7.15.2. 外部発振器

DVDD5 = AVDD5 = $2.7V\sim5.5V$ Ta = $-40\sim105^{\circ}C$

項目	記 号	記号 条件		Тур.	Max	単位
発振周波数	f _{EHOSC}	-	6	-	24	MHz

- 注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。 DVSS は DVSSA、DVSSB、DVSSC の総称です。
- 注 2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。



7.15.3. 発振回路例

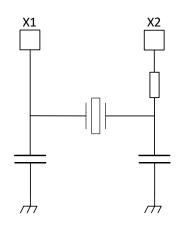


図 7.15 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

7.15.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。 (株)村田製作所の製品詳細につきましては同社ホームページを参照してください。

7.15.5. 水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。 京セラ(株)の製品詳細につきましては同社ホームページを参照してください。

7.15.6. プリント基板の設計に関する注意

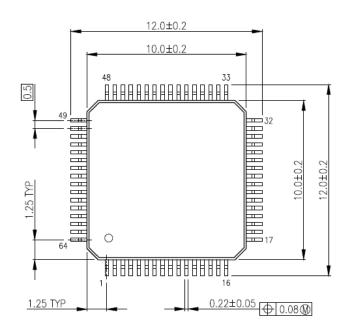
水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

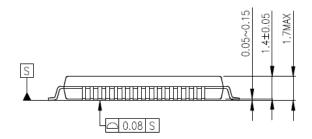


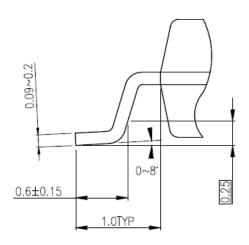
8. 外形寸法図

8.1. P-LQFP64-1010-0.50-003

単位: mm



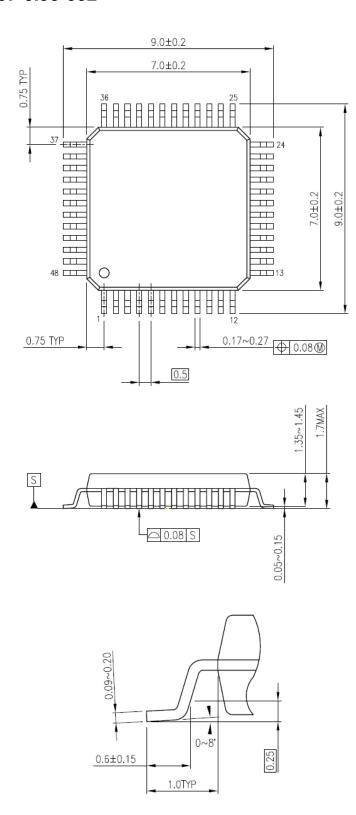






8.2. P-LQFP48-0707-0.50-002

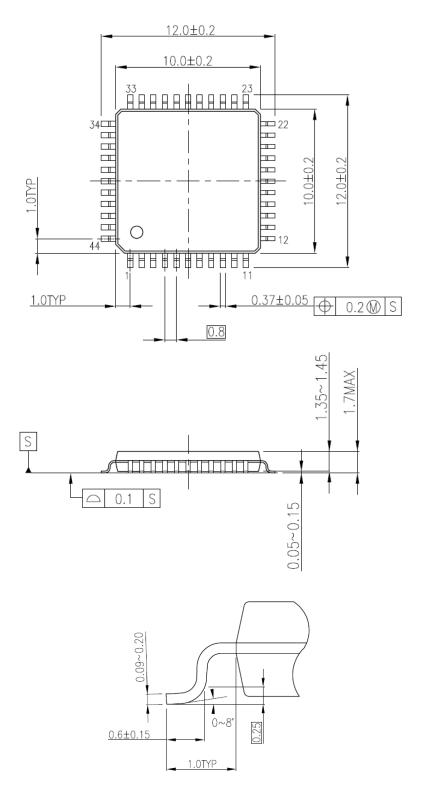
単位: mm



TOSHIBA

8.3. P-LQFP44-1010-0.80-003

単位: mm





9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

(1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。 このため、リセットが有効となるまで、端子の状態は不定となります。 外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有 効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

(2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI内部で静電破壊やラッチアップが発生することがあります。未使用端子については、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND端子に固定することを推奨します。

(3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。



10. 改訂履歴

表 10.1 改訂履歴

Revision	日付	内容
1.0	2024-07-22	•新規作成
1.1	2024-11-22	・7.13.1. コードフラッシュ特性 フラッシュメモリー書き換え回数を 10,000 から 100,000 に変更
1.2	2025-03-14	・7.10. オペアンプ特性 電圧範囲を変更
1.3	2025-09-30	・特長内部割り込み要因数を変更・7.13.2. チップ消去特性チップ消去時間を変更



Appendix

全端子一覧表

兼用機能A、B: ポートファンクションレジスターの設定なしにポートに割り当てられる兼用機能です。 兼用機能1~8: ポートファンクションレジスターの設定によりポートに割り当てられる兼用機能です。

M4K4 LQFP64	M4K2 LQFP48	M4K1 LQFP44	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能2	兼用機能3	兼用機能4	兼用機能 5	兼用機能 6	兼用機能 7	兼用端子8	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中の状態	リセット後 の状態
1	2	1	PK2		INT02a	UT0RXD	UT0TXDA	TSPI0RXD				TMS/SWDIO		I/O	PU/PD	N/A	SMT	PU (注 1)	PU (注 1)
2	3	2	PK3		INT03a	UTOTXDA	UTORXD	TSPI0TXD				TCK/SWCLK		I/O	PU/PD	N/A	SMT	PD (注 1)	PD (注 1)
3	4	3	PK4		INT06			TSPI0SCK			NBDSYNC	TRST_N		I/O	PU/PD	N/A	SMT	PU (注 1)	PU (注 1)
4	-	-	PL3								NBDDATA3	TRACEDATA3		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
5	-	-	PL2								NBDDATA2	TRACEDATA2		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
6	-	-	PL1								NBDDATA1	TRACEDATA1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
7	-	-	PL0								NBDDATA0	TRACEDATA0		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
8	-	-	PL4								NBDCLK	TRACECLK		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
9	5	4	DVDD5A											-	-	-	-	-	-
10	6	5	REGOUT2											-	-	-	-	-	-
11	7	6	REGOUT1											-	-	-	-	-	-
12	-	7	PH3											I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
13	8	8	PH2							EMG0				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
14	9	9	DVSSA											-	-	-	-	-	-
15	10	10	PH0	X1	EHCLKIN									Input	PD	N/A	SMT	Hi-Z	Hi-Z
16	11	11	PH1	X2										Input	PD	N/A	SMT	Hi-Z	Hi-Z
17	12	12	RESET_N											-	PU	-	SMT	-	-
18	13	_	PA1		INT09	UT1RXD	UT1TXDA	TSPI1RXD	T32A01INA0	T32A01INC0				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
19	14	13	PA0		INT07a	UT1TXDA	UT1RXD	TSPI1TXD		T32A01OUTB				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
20		-	PA2			OTTINON.	0111010	TSPI1SCK				T32A01OUTC		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
21	_	_	PJ7					101110011	102/10/11/01	OVV0	102710100171	10271010010		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
22	15	14	PJ6	BOOT_N						EMG0				1/0	PU/PD	N/A	SMT	Hi-Z	Hi-Z
23	16	15	PJ5	BOO1_IV					ENC1A	ZO0				1/0	PU/PD	N/A	SMT	Hi-Z	Hi-Z
23			PJ4						ENC1B	W00				1/0	PU/PD		SMT		
	17	16														N/A		Hi-Z	Hi-Z
25	18	17	PJ3						ENC1Z	Y00				1/0	PU/PD	N/A	SMT	Hi-Z	Hi-Z
26	19	18	PJ2							VO0				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
27	20	19	PJ1							XO0		PMD1DBG		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
28	21	20	PJ0							UO0	SCOUT	PMD0DBG		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
29	22	21	DVSSB											-	-	-	-	-	-
30	-	-	DVDD5B					I2C0SDA/						-	-	-	-	-	-
31	23	22	PB0		INT02b		UT1TXDA	EI2C0SDA I2C0SCL/		T32A05OUTC		PMD0DBG	UT1RXD	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
32	24	23	PB1		INT03b	T32A05OUTB	UT1RXD	EI2C0SCL	T32A05INA0		TRGIN1	PMD1DBG	UT1TXDA	I/O	PU/PD	YES	SMT	Hi-Z	Hi-Z
33	-	-	PC2		INT07b			TSPI3SCK	T32A03INA1					I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
34	-	-	PC1		INT10	UT3RXD	UT3TXDA	TSPI3RXD	T32A03INA0					I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
35	25	24	PC0		INT08	UT3TXDA	UT3RXD	TSPI3TXD	T32A03OUTA	T32A03OUTC				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
36	26	25	AVSS	AINA11/										-	-	-	-	-	-
37	27	26	PD0	AINB11										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
38	28	27	PD1	AINA12/ AINB12										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
39	29	28	PD2	AINA10/ AINB10										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
40	30	29	PD3	AINA09/ AINB09										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
41	31	30	PD4	AINA08/ AINB08										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
42	32	31	PD5	AINA07/ AINB07										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
43	33	32	PD6	AINA06/ AINB06						EMG0				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
44	34	33	PE0	AINA05/ AINB05										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
45	35	34	PE1	AINA04/ AINB04										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
46	36	-	PE2	AINA03/ AINB03										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
47	-	-	PE3	AINA02/ AINB02										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z



M4K4 LQFP64	M4K2 LQFP48	M4K1 LQFP44	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能2	兼用機能3	兼用機能 4	兼用機能 5	兼用機能 6	兼用機能 7	兼用端子8	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中 の状態	リセット後の状態
48	-	-	PE4	AINA01/ AINB01										I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
49	37	35	VREFH											i	-	-	1	1	-
50	38	36	AVDD5											i	-	-	1	1	-
51	-	-	PF2		INT01b				T32A04INA1	T32A04INC1	TRGIN2			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
52	-	-	PF1		INT00b				T32A04INA0	T32A04INC0				I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
53	-	-	DVDD5C											-	-		-		-
54	39	37	DVSSC											-	-		-		-
55	40	38	PF0						T32A04OUTA	T32A04OUTC	TRGIN0	EMG1		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
56	41	39	PG0		INT04	UT2TXDA	TSPI2TXD	T32A02OUTA	T32A02OUTC	ENC0A	UO1	PMD0DBG		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
57	42	40	PG1		INT05	UT2RXD	TSPI2RXD	T32A02INA0	T32A02INC0	ENC0B	VO1	PMD1DBG		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
58	43	41	PG2				TSPI2SCK	T32A02INA1	T32A02INC1	ENC0Z	WO1			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
59	44	-	PG3								XO1			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
60	45	-	PG4								YO1			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
61	46	-	PG5								ZO1			I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z
62	47	42	MODE											-	PD	-	SMT	-	-
63	48	43	PK0		INT00a	UTORXD	UTOTXDA		T32A00OUTA	T32A00OUTC		TDI		I/O	PU/PD	N/A	SMT	PU (注 1)	PU (注 1)
64	1	44	PK1		INT01a	UTOTXDA	UTORXD		T32A00INA0	T32A00INC0		TDO/SWV		I/O	PU/PD	N/A	SMT	Hi-Z	Hi-Z

- 注 1) 初期値で内蔵 pull-up/pull-down 抵抗が許可です。
- 注 2) TRACE と NBDIF は M4K2/M4K1 で使用できません。
- 注 3) UART ch 3 は M4K2/M4K1 で使用できません。
- 注 4) TSPI ch 1、ch 3 は M4K2/M4K1 で使用できません。
- 注 5) INT00b、INT01b、INT07b、INT10 は M4K2/M4K1 で使用できません。 INT09 は M4K1 で使用できません。



品番付与情報

TMP M4 K 4 F Y x UG

東芝マイクロコントローラー _ の識別名

<u>コア</u> -

記号	説明
M4	Arm Cortex-M4 (FPU 機能搭載)
M3	Arm Cortex-M3
MO	Arm Cortex-M0

変更記号

XBG

_	ハッケーシ
記号	説明
QG	プラスチック縮小クアッドアウトライン ノンリードパッケージ、防湿梱包品
UG、DUG、 FG、DFG	プラスチックフラットパッケージ、防湿梱包品
MG, DMG	プラスチックスモールアウトライン パッケージ、防湿梱包品
VDC	プラスチックボールグリッドアレイ、

製品グループ

メモリー容量

防湿梱包品

記号	容量 [KB]
М	32
Р	48
S	64
U	96
W	128
Υ	256
Z	384
D	512
E	768
10	1024
15	1536
20	2048

ファミリー	記号	主なアプリケーション		
TXZ/ TXZ+	Н	汎用・コンシューマーエレクトロニクス		
	К	モーター/インバーター制御・産業機器 (アナログコンボ)		
	М	モーター/インバーター制御・産業機器 (アナログコンボ)、CAN 搭載		
	G	OA/デジタル製品・産業機器		
	Z	産業用ネットワーク、IoT 情報管理デバイス、 イーサネット/USB/CAN 搭載		
	Е	小型精密機器		
	L	単体モーター/インバーター制御・産業機器		
	V	汎用・コンシューマーエレクトロニクス (エントリーシリーズ)		

ピン数

記号		ピン数	記号		ピン数
0	G	32 pin 以下	7	Р	101 ~ 128 pin
1	Н	33 ~ 44 pin	8	Q	129 ~ 144 pin
2	J	45 ~ 48 pin	9	R	145 ~ 176 pin
3	K	49 ~ 52 pin	Α	S	177 ~ 200 pin
4	L	53 ~ 64 pin	В	Т	201 ~ 224 pin
5	М	65 ~ 80 pin	С	U	225 ~ 250 pin
6	N	81 ~ 100 pin	D	V	251 ~ 300 pin

- <u>ROM タイプ</u>

記号	説明
F	Flash



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。 本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- ◆ 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本 資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報(本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど)および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器(以下"特定用途"という)に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器(ヘルスケア除く)、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Webサイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- ◆ 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証(機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。)をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいは その他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出 管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

https://toshiba.semicon-storage.com/jp/