

**TOSHIBA**

東芝 オリジナル CMOS 16ビット マイクロコントローラ

**TLCS-900/L** シリーズ

**TMP93CS36**

Not Recommended  
for New Design

株式会社 **東芝** セミコンダクター社

## はじめに

この度は弊社16ビットマイクロコントローラTLCS-900/Lシリーズ、TMP93CS36をご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

### ホルト状態からの解除に関する注意事項

通常は、割り込みによってホルト状態を解除することができますが、HALTモードがIDLE1、STOPモードに設定されている状態 (RUN、IDLE2は対象外) で、CPUがHALTモードに移行しようとしている期間 ( $f_{FPH}$  約3クロックの間) に、HALTモードを解除可能な割り込み (INT0) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALTモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくHALTモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

## 低電圧/低消費電力

## CMOS 16ビットマイクロコントローラ

## TMP93CS36UG

## 1. 概要と特長

TMP93CS36は、各種の中規模から大規模機器までの制御用として開発された、低電圧/低消費電力動作が可能な高速・高機能16ビットマイクロコントローラです。

本デバイスは、44ピンフラットパッケージ製品です。特長は次のとおりです。

- (1) オリジナル16ビットCPU (900/L CPU使用)
  - TLCS-90と命令ニモニックで上位互換
  - 16Mバイトのリニアアドレス空間
  - 汎用レジスタ、レジスタバンク方式
  - 16ビット乗除算命令、ビット転送/演算命令
  - マイクロDMA: 4チャンネル (1.6  $\mu$ s/2バイト 20 MHz発振時)
- (2) 最小命令実行時間: 200 ns (20 MHz発振時)
- (3) 内蔵RAM: 2Kバイト  
内蔵ROM: 64Kバイト
- (4) 8ビットタイマ: 4チャンネル
- (5) 16ビットタイマ: 2チャンネル
- (6) 汎用シリアルインタフェース: 2チャンネル
- (7) 10ビットADコンバータ: 4チャンネル
- (8) 大電流駆動対応ポート: 2ポート
- (9) ウォッチドッグタイマ

030519TBP1

●マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。

●当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

●本資料に掲載されている製品は、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。

●本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途"という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

●本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。

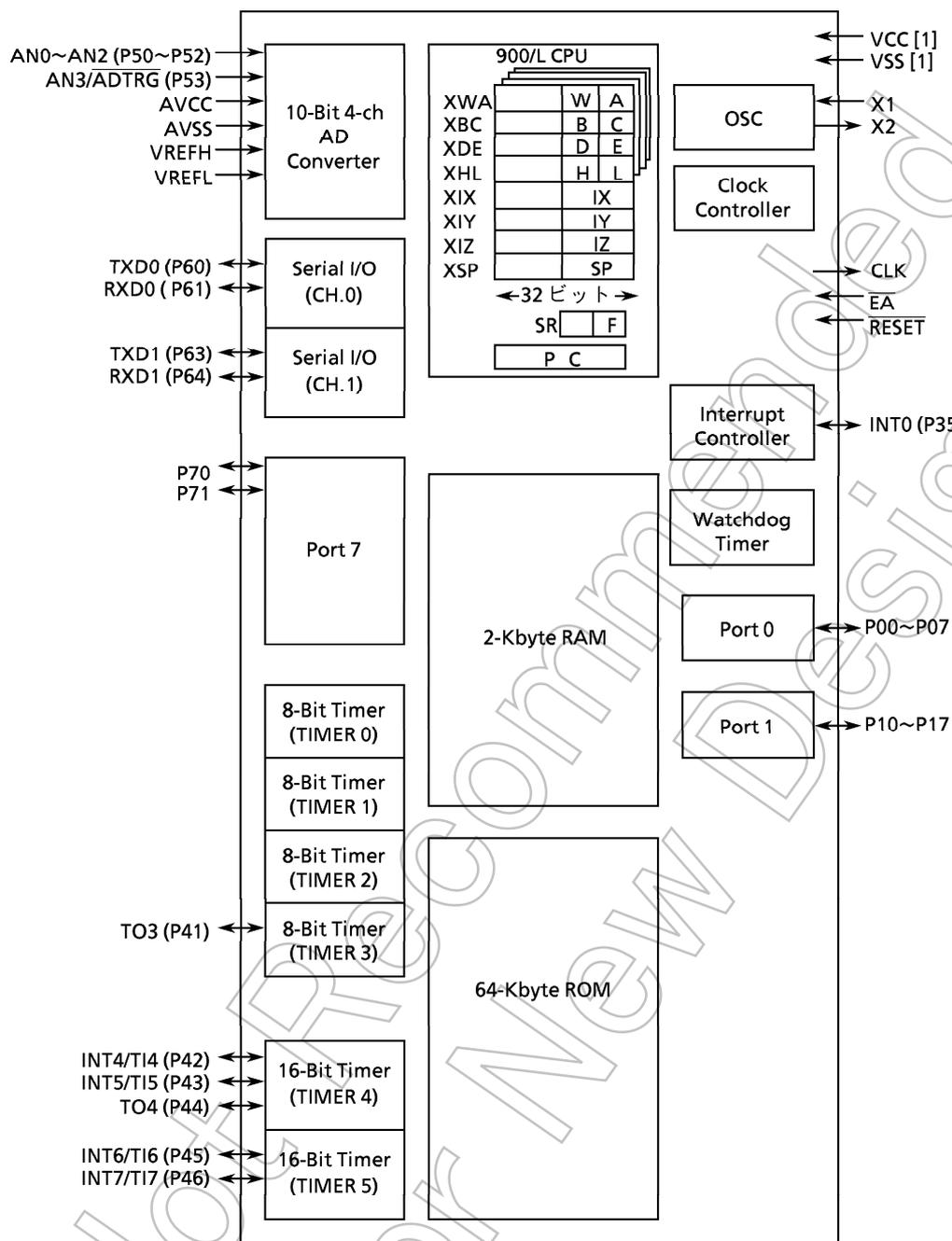
●本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

●本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。

●本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

- (10) 割り込み機能: 割り込み要因30本
- CPU9本 … ソフトウェア割り込み命令、未定義命令実行違反
  - 内部16本
  - 外部5本
- 7レベルの優先順位の設定が可能
- (11) 入出力ポート: 33端子
- (12) スタンバイ機能
- 4種類のHALTモード (RUN, IDLE2, IDLE1, STOP)
- (13) クロック 選択機能
- クロックギア: クロック  $f_c \sim f_c/16$ まで切り替え可能
- (14) 動作電圧
- $V_{CC} = 2.7 \sim 5.5 \text{ V}$
- (15) パッケージ
- P-LQFP44-1010-0.80A

Not Recommended  
for New Design



注) リセット後、( )内の機能が選択されています。

図1.1 TMP93CS36ブロック図

## 2. ピン配置とピン機能

TMP93CS36のピン配置図および入出力ピンの名称と概略機能を示します。

### 2.1 ピン配置図

本デバイスのピン配置図は、図2.1.1のとおりです。

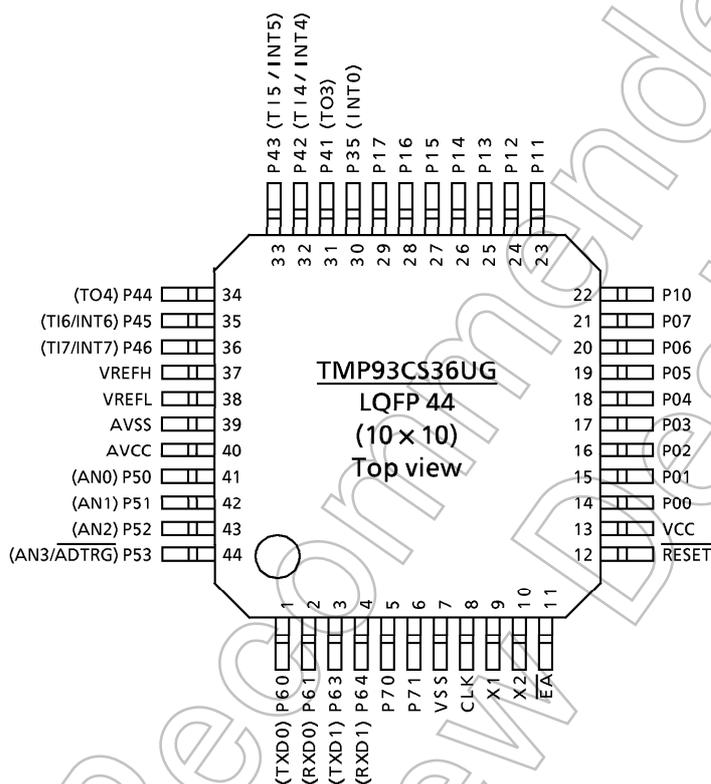


図2.1.1 ピン配置図 (44ピンLQFP)

## 2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2.1~2.2.2のとおりです。

表2.2.1 ピン名称と機能 (1/2)

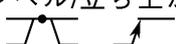
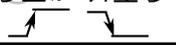
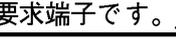
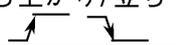
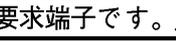
ピン名称	ピン数	入出力	機能
P00~P07	8	入出力	ポート0: ビット単位で入出力の設定ができる入出力ポートです。
P10~P17	8	入出力	ポート1: ビット単位で入出力の設定ができる入出力ポートです。
P35	1	入出力	ポート35: 入出力ポートです。
INT0		入力	割り込み要求端子0: プログラマブル割り込み (レベル/立ち上がりエッジ) 要求端子です。 
P41	1	入出力	ポート41: 入出力ポートです。
TO3		出力	タイマ出力3: タイマ3の出力端子です。
P42	1	入出力	ポート42: 入出力ポートです。
TI4		入力	タイマ入力4: タイマ4の入力端子です。
INT4		入力	割り込み要求端子4: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子です。 
P43	1	入出力	ポート43: 入出力ポートです。
TI5		入力	タイマ入力5: タイマ4の入力端子です。
INT5		入力	割り込み要求端子5: 立ち上がりエッジの割り込み要求端子です。 
P44	1	入出力	ポート44: 入出力ポートです。
TO4		出力	タイマ出力4: タイマ4の出力端子です。
P45	1	入出力	ポート45: 入出力ポートです。
TI6		入力	タイマ入力6: タイマ5の入力端子です。
INT6		入力	割り込み要求端子6: プログラマブル割り込み (立ち上がり/立ち下がりエッジ) 要求端子です。 
P46	1	入出力	ポート46: 入出力ポートです。
TI7		入力	タイマ入力7: タイマ5の入力端子です。
INT7		入力	割り込み要求端子7: 立ち上がりエッジの割り込み要求端子です。 
P50~P52, AN0~AN2	3	入力	ポート50~52: 入力専用ポートです。
		入力	アナログ入力0~2: ADコンバータの入力端子です。
P53	1	入力	ポート53: 入力専用ポートです。
AN3		入力	アナログ入力3: ADコンバータの入力端子です。
ADTRG		入力	ADコンバータ外部スタートトリガ
P60	1	入出力	ポート60: 入出力ポートです (プルアップ抵抗が内蔵されています)。
TXD0		出力	シリアル送信データ0
P61	1	入出力	ポート61: 入出力ポートです (プルアップ抵抗が内蔵されています)。
RXD0		入力	シリアル受信データ1
P63	1	入出力	ポート63: 入出力ポートです (プルアップ抵抗が内蔵されています)。
TXD1		出力	シリアル送信データ

表2.2.2 ピン名称と機能 (2/2)

ピン名称	ピン数	入出力	機 能
P64 RXD1	1	入出力 入力	ポート64: 入出力ポートです (プルアップ抵抗が内蔵されています)。 シリアル受信データ
P70	1	入出力	ポート70: 入出力ポートです (大電流駆動可能)。
P71	1	入出力	ポート71: 入出力ポートです (大電流駆動可能)。
AVCC	1	入力	ADコンバータ電源端子
AVSS	1	入力	ADコンバータGND端子 (0 V)
VREFH	1	入力	ADコンバータ用基準電圧入力端子 (H)
VREFL	1	入力	ADコンバータ用基準電圧入力端子 (L)
X1	1	入力	発振子接続端子
X2	1	出力	発振子接続端子
RESET	1	入力	リセット: TMP93CS36を初期化します (プルアップ抵抗が内蔵されています)。
CLK	1	出力	クロック出力: $f_{SYS}$ を2分周したクロックを出力します。リセット期間中は、プルアップされます (ノイズ削減のため、出力禁止に設定できます)。
$\bar{E}A$	1	入力	外部アクセス: TMP93CS36では、VCCに接続してください。
VCC	1	入力	電源端子 (全VCC端子を電源に接続してください)
VSS	1	入力	GND端子 (全VSS端子をGND (0 V) に接続してください)

注) **RESET**端子以外のプルアップ抵抗付き端子は、ソフトウェアによりその抵抗を端子から電氣的に切り離すことができます。

### 3. 動作説明

ここでは、TMP93CS36の機能および基本動作について、ブロックごとに説明します。

なお、本章の最後に「7. 使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますのでご確認ください。

#### 3.1 CPU

本デバイスには、高性能な16ビットCPU (TLCS-900/L CPU) が内蔵されています。CPUの動作については、前章の“TLCS-900/L CPU”を参照してください。

ここでは、“TLCS-900/L CPU”にて説明されていない、TMP93CS36独自のCPU機能について説明します。

##### 3.1.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、内部高周波発振器の発振が安定した状態で少なくとも10システムクロック間 (20 MHzクロック発振時で16  $\mu$ s)、RESET入力を“Low”レベルにしてください。また、電源投入時はRESET入力が“Low”レベルで、電源電圧が動作範囲内であり、内部高周波発振器の発振が安定した状態で少なくとも10システムクロック間、RESET入力の“Low”レベルを保持してください。

なお、リセット動作にてクロックギアは1/16モードに初期化されるので、システムクロック  $f_{SYS}$  は、 $f_c/32 (= f_c/16 \times 1/2)$  となります。

リセットが受け付けられると、CPUは、下記の動作を行います。

- プログラムカウンタPCをアドレスFFFF00H~FFFF02Hに格納されているリセットベクタに従いセット
  - PC (7:0) ← アドレスFFFF00Hの値
  - PC (15:8) ← アドレスFFFF01Hの値
  - PC (23:16) ← アドレスFFFF02Hの値
- スタックポインタXSPを100Hにセット
- ステータスレジスタSRの<IFF2:0>を“111”にセット (割り込みレベルのマスクレジスタをレベル7にセット)
- ステータスレジスタSRの<MAX>を“1”にセット (マキシマムモードにセット)
- ステータスレジスタSRの<RFP2:0>を“000”にクリア (レジスタバンクを0にセット)

リセットが解除されると、セットされたPCに従い命令の実行を開始します。なお、上記以外のCPU内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵I/Oおよびその他の端子は、下記の動作を行います。

- 仕様で決められているとおりに、内蔵I/Oのレジスタを初期化
- ポート端子 (内蔵I/O兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートにセット
- CLK端子を“H”レベルにプルアップ

注1) リセット動作により、CPUのPC, SR, XSP以外のレジスタ、内蔵RAMのデータは変化しません。

注2) リセット中、CLK端子は“H”レベルにプルアップされますが、外部にて電圧レベルを下げないようにしてください。それにより誤動作する可能性があります。

図3.1.1にTMP93CS36のリセットタイミングチャートを示します。

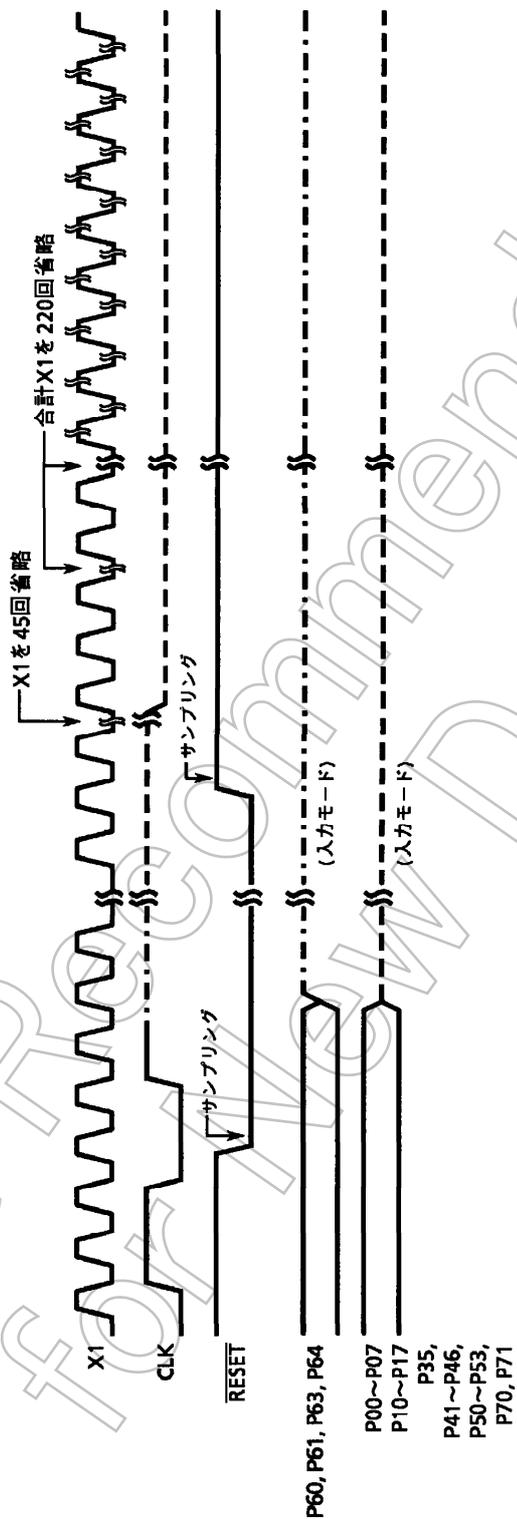


図3.1.1 TMP93CS36リセットタイミングチャート

3.2 メモリマップ

図3.2.1にTMP93CS36のメモリマップと、CPUの各アドレッシングモードのアクセス範囲を示します。

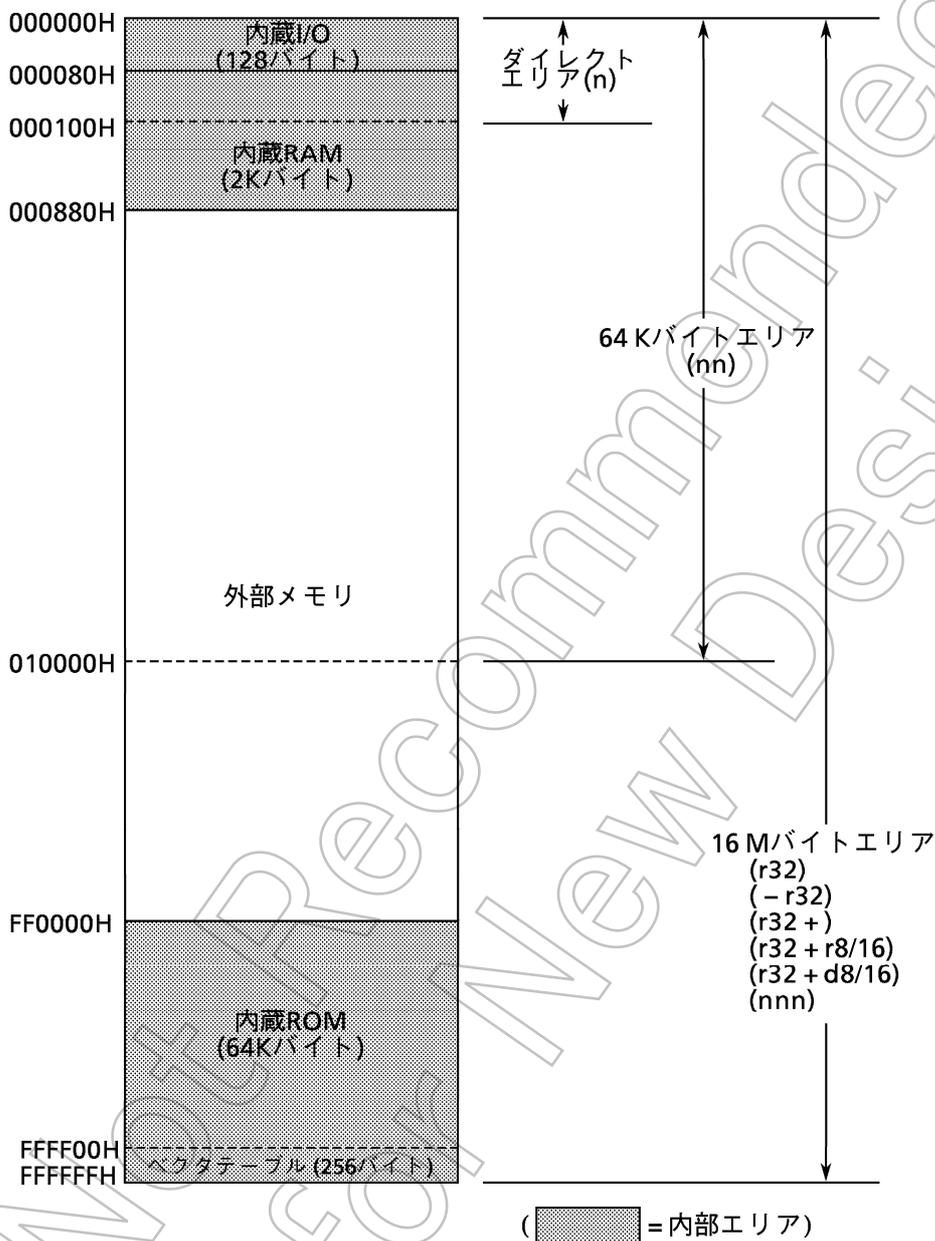


図3.2.1 TMP93CS36メモリマップ

3.3 スタンバイ機能

スタンバイ制御回路は、システムクロック制御部、プリスケラクロック制御部、内部クロックの端子出力機能、スタンバイ制御部から構成されます。

図3.3.1 に動作モード別状態遷移図、図3.3.2 にスタンバイ関連のブロック図、図3.3.3 に関連するI/Oレジスタ、表3.3.1 に動作モード別システムクロック一覧表を示します。

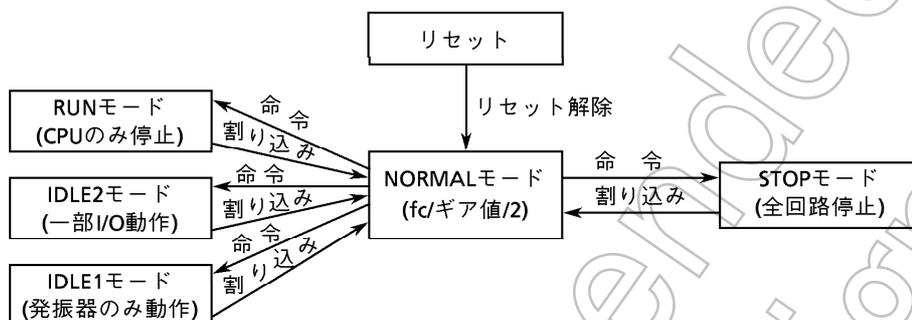
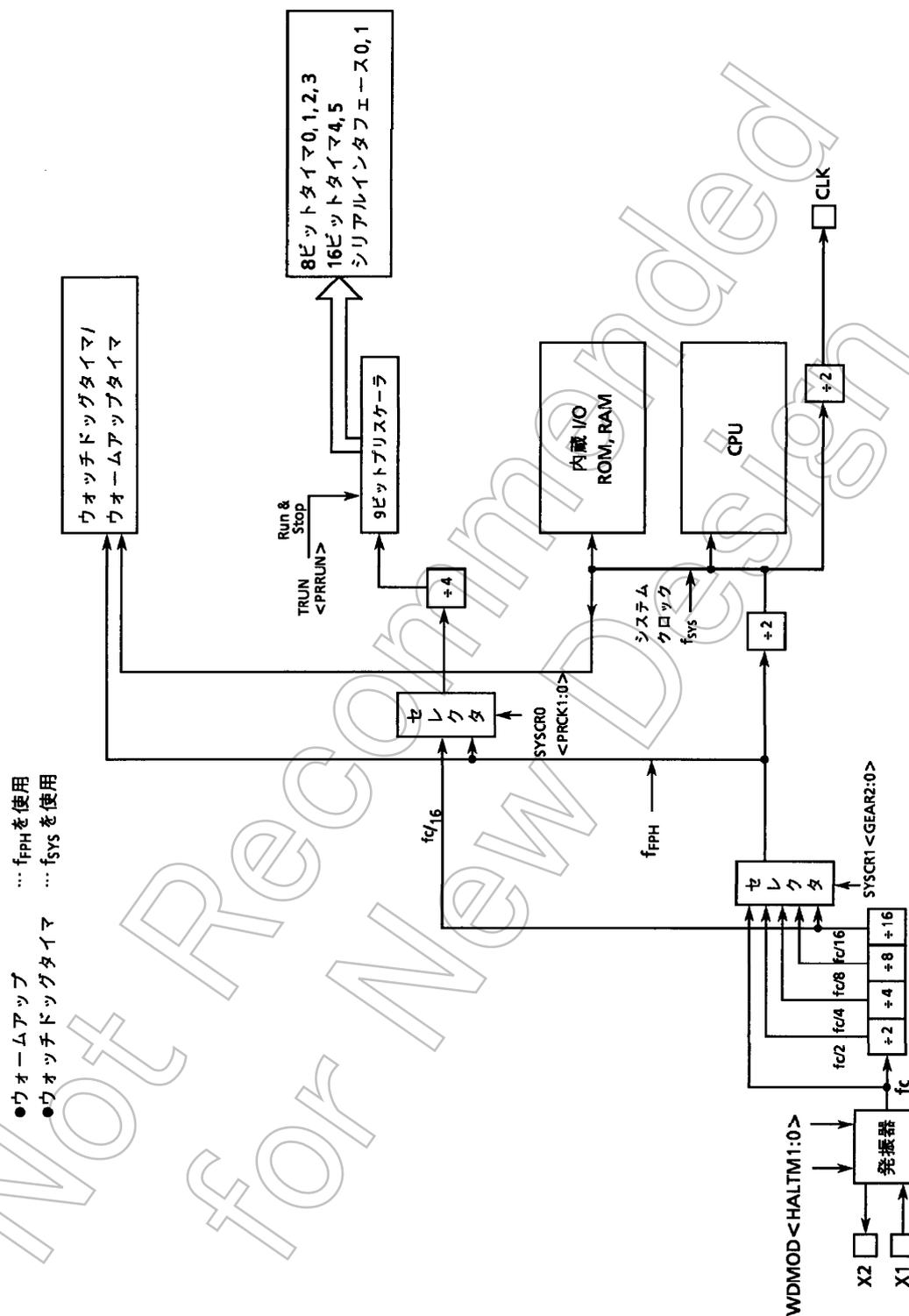


図3.3.1 動作モード別状態遷移図

X1, X2端子より入力されるクロック周波数を $f_c$ 、 $\text{SYSCR1} \langle \text{SYSCK}, \text{GEAR2:0} \rangle$ で選択されたクロックを $f_{\text{PPH}}$ 、 $f_{\text{PPH}}$ を2分周したクロックをシステムクロック $f_{\text{SYS}}$ と定義します。また、この $f_{\text{SYS}}$ の1周期を1ステートと定義します。

表3.3.1 動作モード別システムクロック一覧表

動作モード	発振器 $f_c$	CPU	内蔵I/O	システムクロック $f_{\text{SYS}}$
リセット	発振	リセット	リセット	$f_c/32$
NORMAL		動作	動作	プログラマブル ( $f_c/2, f_c/4, f_c/8,$ $f_c/16, f_c/32$ )
RUN		停止		
IDLE2			停止	
IDLE1		停止	停止	停止
STOP	停止			停止



- ウォームアップ ...  $f_{FPH}$  を使用
- ウォッチドッグタイマ ...  $f_{sys}$  を使用

図3.3.2 スタンバイ関連のブロック図

システムクロックコントロールレジスタ0

	7	6	5	4	3	2	1	0
SYSCR0 (006EH)	Bit symbol	-	-	-	-	-	PRCK1	PRCK0
	Read/Write	R/W						
	リセット後	1	0	1	0	0	0	0
	機能	"1"をライトしてください(リードすると"1"が読めます)。	"0"をライトしてください(リードすると"0"が読めます)。	"1"をライトしてください(リードすると"1"が読めます)。	"0"をライトしてください(リードすると"0"が読めます)。			ブリスケーラクロック選択 00: f <sub>FPH</sub> 01: (Reserved) 10: fc/16 11: (Reserved)

システムクロックコントロールレジスタ1

	7	6	5	4	3	2	1	0
SYSCR1 (006FH)	Bit symbol	/	/	/	/	GEAR2	GEAR1	GEAR0
	Read/Write	R/W						
	リセット後	/	/	/	/	0	1	0
	機能	/	/	/	/	"0"をライトしてください(リードすると"0"が読めます)。	クロックギア選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101: (Reserved) 110: (Reserved) 111: (Reserved)	

クロックアウトプットコントロールレジスタ

	7	6	5	4	3	2	1	0
CKOCR (006DH)	Bit symbol	/	/	/	/	/	-	CLKEN
	Read/Write	R/W						
	リセット後	/	/	/	/	/	0	0
	機能	/	/	/	/	/	"0"をライトしてください。	CLK端子出力制御 0: High-Z出力 1: CLK出力

ウォッチドッグタイマモードコントロールレジスタ

	7	6	5	4	3	2	1	0	
WDMOD (005CH)	Bit symbol	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
	Read/Write	R/W							
	リセット後	1	0	0	0	0	0	0	
	機能	WDT制御 0: 禁止 1: 許可	WDT検出時間の選択 00: 2 <sup>15</sup> /f <sub>SYS</sub> 01: 2 <sup>17</sup> /f <sub>SYS</sub> 10: 2 <sup>19</sup> /f <sub>SYS</sub> 11: 2 <sup>21</sup> /f <sub>SYS</sub>		ウォームアップ時間 0: 2 <sup>14</sup> /入力周波数 1: 2 <sup>16</sup> /入力周波数	HALTモード 00: RUNモード 01: STOPモード 10: IDLE1モード 11: IDLE2モード		0: Don't care 1: リセット端子にWDT出力を内部接続	STOPモード時の端子制御 0: 入出力オフ 1: ホルト以前の状態を保持

注1) SYSCR1のビット7~4は、リードすると"1"が読み出されます。

注2) CKOCR<CLKEN>のリセット後の値は"0"となります。なお、リセット中CLK端子は製品にかかわらず内部でプルアップされています。

図3.3.3 スタンバイ関連 I/Oレジスタ

## 3.3.1 システムクロック制御部

システムクロック制御部は、CPUコアおよび内蔵I/Oへ供給されるシステムクロック ( $f_{SYS}$ ) を生成する回路です。発振回路、クロックのギア回路を備えており、 $SYSCR1<GEAR2:0>$  でクロックのギアを1, 2, 4, 8, 16段 ( $f_c, f_c/2, f_c/4, f_c/8, f_c/16$ ) に切り替え、消費電力の低減を図ることができます。

リセットにより、 $<GEAR2:0> = "100"$  に初期化されますので、システムクロック  $f_{SYS}$  は  $f_c/32$  ( $=f_c/16 \times 1/2$ ) となります。例えば、X1, X2端子に20 MHzの発振子を接続していると、リセットにより  $f_{SYS}$  は0.625 MHzとなります。

クロック ( $f_c$ ) は、X1, X2端子に発振子を接続することにより容易に得られます。また、外部発振器からクロックを入力することもできます。

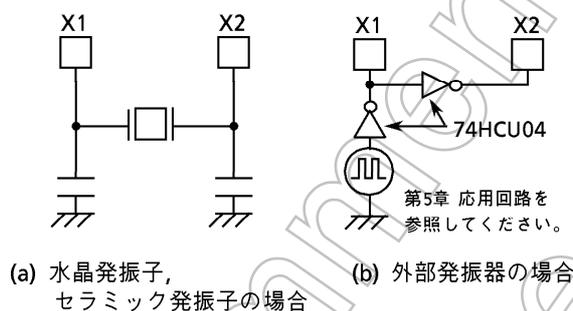


図3.3.4 発振子の接続例

## 注) 発振周波数の調整

発振クロックを外部にて直接モニタする機能としてシステムクロック  $f_{SYS}$  を2分周したクロックをCLK端子より出力することができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを準備しておく必要があります。

## (1) クロックギア制御部

クロックギア選択レジスタSYSCR1<GEAR2:0>により $f_{PPH}$ を $f_c$ ,  $f_c/2$ ,  $f_c/4$ ,  $f_c/8$ ,  $f_c/16$ のいずれかに設定できます。クロックギアを使用して $f_{PPH}$ を切り替えることにより消費電力の低減が図れます。

## 設定例

クロックのギア切り替え

```
SYSCR1    EQU    006FH

          LD     (SYSCR1), XXXX0000B    ; システムクロック fSYSを fc/2へ切り替え
          LD     (SYSCR1), XXXX0100B    ; システムクロック fSYSを fc/32へ切り替え
```

X: Don't care

## (クロックギア切り替え時の注意)

クロックギアの切り替えは、設定例のようにSYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後すぐには切り替わらず数クロックの実行時間が必要となります。よってクロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令(ライトサイクルが実行される命令)を挿入してください。

## (例)

```
SYSCR1    EQU    006FH
          LD     (SYSCR1), XXXX 0001B    ; fSYSを fc/4へ切り替え
          LD     (Dummy), 00H            ; ダミー命令
```

切り替え後のクロックギアで実行すべき命令

X: Don't care

### 3.3.2 プリスケラ クロック制御部

内蔵の8ビットタイマ0~3、16ビットタイマ4,5、シリアルインタフェース0,1用に9ビットプリスケラがあります。

このプリスケラへ入力するクロックは、SYSCR0<PRCK1:0>の設定により $f_{FPH}$ ,  $f_c/16$ の2種類より選択することができます。

リセットにより<PRCK1:0>は“00”に初期化されます。

なお、IDLE1モード(発振器のみ動作)時に、9ビットプリスケラは動作しますのでHALT命令を実行する前にTRUN<PRRUN>に“0”を書き込むことにより、消費電力の低減が図れます。

### 3.3.3 内部クロックの端子出力機能

内部クロック $f_{SYS}$ を2分周したクロックをCLK端子から出力することができます。出力の指定は、クロック出力コントロールレジスタCKOCR<CLKEN>によって行い、“1”を書き込むとクロック出力、“0”を書き込むとハイインピーダンス状態となります。

CKOCR<CLKEN>レジスタのリセット後の値は“0”にクリアされ、CLK端子はハイインピーダンス状態となります。また、CLK端子はリセット中に限り<CLKEN>レジスタの値に関係なく内部でプルアップされます(図3.1.1 TMP93CS36リセットタイミングチャート参照)。

注) <CLKEN> = “0”に設定してCLK端子をハイインピーダンス状態にする場合、CLK端子の入力バッファに流れる貫通電流防止のため、外部にプルアップ抵抗が必要です。

3.3.4 スタンバイ制御部

(1) HALTモード

TMP93CS36は、HALT命令を実行すると、ウォッチドッグタイマモードレジスタWDMOD <HALTM1:0>の設定により、RUN, IDLE2, IDLE1, STOPのいずれかのHALTモードになります。図3.3.5に、ウォッチドッグタイマモードレジスタを示します。



図3.3.5 ウォッチドッグタイマモードレジスタ

RUN, IDLE2, IDLE1, STOPモードの特長は、次のとおりです。

1. **RUN:** CPUのみ停止するモードで、消費電力はCPU動作時とほとんど変わりません。
2. **IDLE2:** 内部発振器と特定の内蔵I/Oだけ動作します。  
このモードでは、消費電力はCPU動作時の約1/2になります。
3. **IDLE1:** 内部発振器だけ動作し、ほかの回路はすべて停止します。  
このモードでは、消費電力は動作時の1/5以下になります。
4. **STOP:** 内部発振器も含めて、すべての内部回路が停止します。  
このモードでは、消費電力は著しく低減されます。

ホルト状態での各ブロックの動作を表3.3.2に示します。

表3.3.2 ホルト状態での各ブロックの動作

HALTモード		RUN	IDLE2	IDLE1	STOP
WDMOD<HALTM1:0>		00	11	10	01
動作 ブ ロ ッ ク	CPU	停止			
	I/Oポート	HALT命令実行時の状態を保持			表3.3.5参照
	8ビットタイマ				
	16ビットタイマ				
	シリアルチャネル				
	ADコンバータ				
	ウォッチドッグタイマ				
	割り込みコントローラ				

## (2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求またはリセットによって行うことができます。使用できるホルト解除ソースは、割り込みマスクレジスタ<IFF2:0>の状態と、HALTモードの組み合わせにより決まります。詳細を表3.3.3に示します。

### ● 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合は、ホルト解除を行いません(ノンマスクブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います)。

ただし、INT0割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わずHALT命令の次の命令から処理をスタートします(INT0割り込み要求フラグは“1”を保持します)。

注) 通常は、割り込みによってホルト状態を解除することができますが、HALTモードがIDLE1、STOPモードに設定されている状態(RUN、IDLE2は対象外)で、CPUがHALTモードに移行しようとしている期間( $f_{\text{FPH}}$ 約3クロックの間)に、HALTモードを解除可能な割り込み(INT0)が入力されても、ホルトが解除できない場合があります(割り込み要求は内部に保留されます)。HALTモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくHALTモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

### ● リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOPモードの解除では、発振器動作が安定するための十分なりセット時間(3 ms以上)が必要です。

リセットによる解除では、内蔵RAMのデータは、ホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます(割り込みによる解除では、ホルト状態に入る直前の状態を保持します)。

表3.3.3 ホルト解除ソースとホルト解除の動作

割り込み受け付け状態		割り込み許可 (割り込み要求レベル) ≥ (割り込みマスク)				割り込み禁止 (割り込み要求レベル) < (割り込みマスク)				
		RUN	IDLE2	IDLE1	STOP	RUN	IDLE2	IDLE1	STOP	
ホル ト 解 除 ソ ー ス	割 り 込 み 要 因	INTWDT	◆	×	×	×	-	-	-	-
		INT0	◆	◆	◆	◆*1	○	○	○	○*1
		INT4~INT7	◆	◆	×	×	×	×	×	×
		INTT0~INTT3	◆	◆	×	×	×	×	×	×
		INTTR4~INTTR7	◆	◆	×	×	×	×	×	×
		INTO4, INTO5	◆	◆	×	×	×	×	×	×
		INTRX0, TX0	◆	◆	×	×	×	×	×	×
		INTRX1, TX1	◆	◆	×	×	×	×	×	×
		INTAD	◆	×	×	×	×	×	×	×
		RESET	◆	◆	◆	◆	◆	◆	◆	◆

- ◆: ホルト解除後、割り込み処理を開始します(RESETはLSIを初期化します)。
- : ホルト解除後、HALT命令の次のアドレスから処理を開始します(割り込み処理は行いません)。
- ×: ホルト解除に使用できません。
- : ノンマスク割り込みの優先順位レベル(割り込み要求レベル)は最優先の“7”に固定されているため、この組み合わせはありません。
- \*1: ウォームアップ時間経過後にホルト解除を行います。
- 注) 割り込み許可状態において、レベルモードのINT0割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで“H”レベルを保持してください。それ以前で“L”レベルにした場合は、正しい割り込み処理を開始できません。

(ホルト状態からの解除例)

RUNモードのホルト状態をエッジモードのINT0割り込みにより解除する場合。

```

アドレス
8203H    LD    (IIMC), 00H    ; INT0 割り込み立ち上がりエッジを選択
8206H    LD    (INTE0AD), 06H ; INT0 割り込みレベルを“6”に設定
8209H    EI    5              ; CPU割り込みレベルを“5”に設定
820BH    LD    (WDMOD), 00H   ; RUNモードに設定
820EH    HALT                ; CPU停止
    
```



## (3) 各モードの動作

## ① RUNモード

RUNモードでは、HALT命令実行後もシステムクロックは停止せず、CPUの命令実行動作だけが停止します。

ホルト状態での割り込み要求のサンプリングは、「CLK」信号の立ち下がりで行われます。

RUNモードの解除は、すべての外部/内部割り込みにより行うことができます(表3.3.3 ホルト解除ソースとホルト解除の動作を参照)。

図3.3.6 に割り込みによるホルト解除のタイミング例を示します。

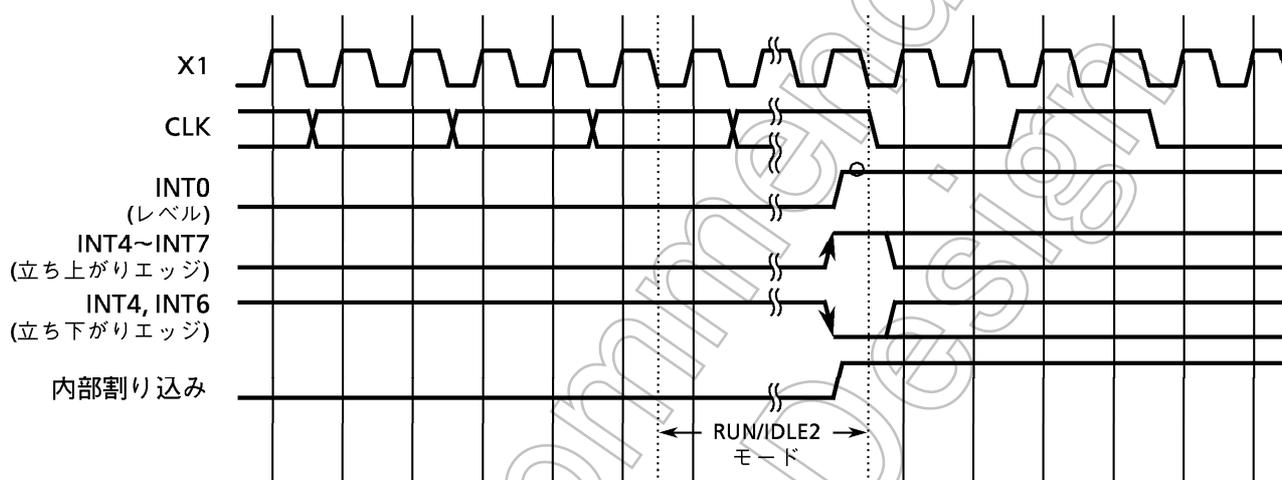


図3.3.6 割り込みによるホルト解除のタイミング例 (RUN/IDLE2モード時)

## ② IDLE2モード

IDLE2モードでは、特定の内蔵I/Oにだけシステムクロックが供給され、CPUの命令実行動作は停止します。

IDLE2モードの割り込みによるホルト解除のタイミングは、RUNモードと同じです。IDLE2モードの解除は、INTWDT/INTAD割り込みを除く外部/内部割り込みにより行うことができます(表3.3.3 ホルト解除ソースとホルト解除の動作を参照)。

なお、IDLE2モードではホルト状態に入る前にウォッチドッグタイマを禁止してください(ホルト解除直後のウォッチドッグタイマ割り込みの発生を防ぐため)。

## ③ IDLE1モード

IDLE1モードでは、内部発振器のみ動作し、システムクロックは停止します。ただし、CLK端子は出力イネーブル ( $CKOCR < CLKEN > = "1"$ ) であれば“H”レベルを出力します。

ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除(動作の再開)は同期して行われます。

IDLE1モードの解除は、外部割り込み (INT0) より行うことができます (表3.3.3 ホルト解除ソースとホルト解除の動作を参照)。

なお、9ビットおよび5ビットプリスケータには、発振クロックが供給されています。HALT命令実行前に、プリスケータを停止 ( $TRUN < PRRUN > = "0"$ ) することで消費電力を低減できます。

図3.3.7に、割り込みによるホルト解除のタイミング例を示します。

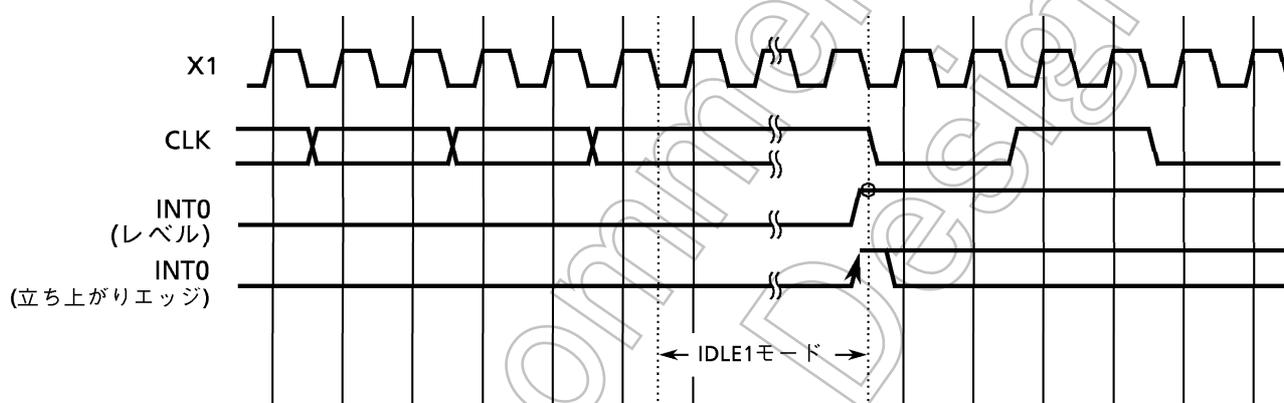


図3.3.7 割り込みによるホルト解除のタイミング例 (IDLE1モード時)

④ STOPモード

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOPモード時の端子状態は、ウォッチドッグタイマモードレジスタWDMOD<DRVE>の設定により異なります(WDMOD<DRVE>の設定については図3.3.5を参照してください)。STOPモード時の端子状態を表3.3.5に示します。

STOPモードの解除は、外部割り込み(INT0)によって行うことができます。解除する場合は、内部発振器の安定化のため、ウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。このウォームアップ時間の設定は、WDMOD<WARM>で行います。表3.3.4に設定例を示します。

なお、外部発振器により安定したクロックを供給できるシステムでは、ウォームアップ時間を短縮することができます。この設定は、T45CR<QCU>を用いて行ってください。

図3.3.8に、割り込みによるホルト解除のタイミング例を示します。

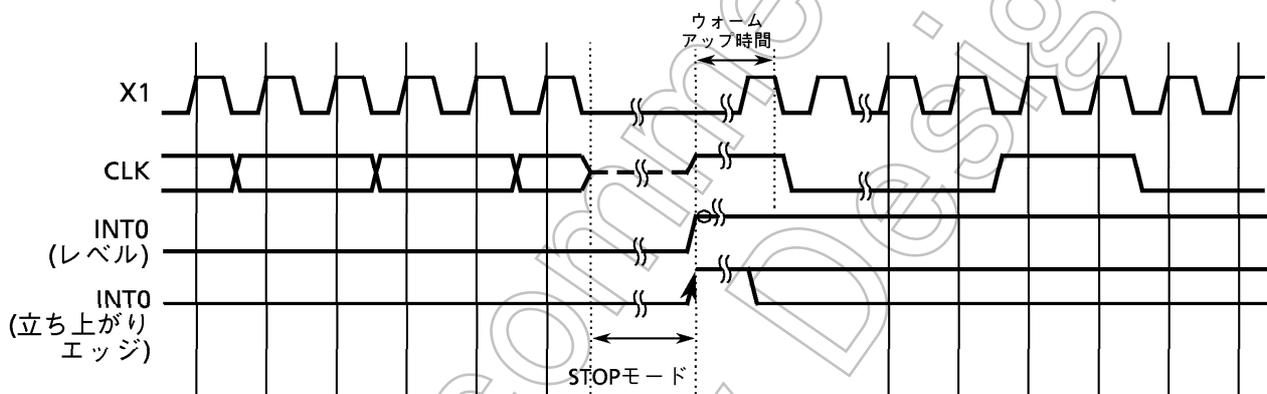


図3.3.8 割り込みによるホルト解除のタイミング例 (STOPモード時)

表3.3.4 ウォームアップ時間の計算例 (STOPモード解除時)

STOPモード解除後の動作クロック	ウォームアップ時間 [ms]		備考
	WDMOD<WARM> = 0	WDMOD<WARM> = 1	
fc	0.8192	3.2768	fc = 20 MHz
fc/2	1.6384	6.5536	
fc/4	3.2768	13.1072	
fc/8	6.5536	26.2144	
fc/16	13.1072	52.4288	

ウォームアップ時間の計算式

WDMOD<WARM> = “0” の場合:  $2^{14}$ /STOPモード解除後の動作クロック

WDMOD<WARM> = “1” の場合:  $2^{16}$ /STOPモード解除後の動作クロック

表3.3.5 STOPモード時の端子状態

ピン名称	入力/出力	<DRVE> = 0	<DRVE> = 1
P00~P07	入力モード 出力モード	▲ High-Z	▲ 出力
P10~P17	入力モード 出力モード/A8~A15	▲ High-Z	▲ 出力
P35	入力モード 出力モード	無効 High-Z	無効 出力
P41~P46	入力モード 出力モード	無効 High-Z	無効 出力
P50~P53	入力ピン	▲	▲
P60, P61, P63, P64	入力モード 出力モード	PU* PU*	PU 出力
P70, P71	入力モード 出力モード	無効 High-Z	無効 出力
CLK	出力 (<CLKEN> = 1)	High-Z	"H" レベル出力
RESET	入力ピン	入力	入力
EA	入力ピン	"H" レベル固定	"H" レベル固定
X1	入力ピン	無効	無効
X2	出力ピン	"H" レベル出力	"H" レベル出力

入力: 入力ゲートが働いています。入力ピンが浮かないよう "L" レベルまたは、"H" レベルを入力してください。

出力: 出力状態になっています。

無効: 入力が無効になります。

High-Z: ハイインピーダンスになります。

PU: プログラマブルプルアップピンです。入力ゲートが働いています。プルアップなしの設定時には、貫通電流防止のため、ピンを固定する必要があります。

PU\*: プログラマブルプルアップピンです。常に入力ゲートがディセーブルになっています。ハイインピーダンスに設定されても貫通電流は流れません。

▲: HALT 命令を実行し、ポートレジスタのアドレスの値でCPUが停止した場合、入力ゲートが働いていますので、貫通電流防止のため、ピンを固定するか、そのような状態を作らぬようプログラムでの対応を行ってください。それ以外の場合は、入力は無効となっています。

注) プログラマブルプルアップの制御はポートレジスタで行います。ただし、出力ファンクション (TO3など) と兼用ピンでそのファンクションに設定されているピンは、プルアップ有無の選択が出力ファンクションのデータに依存します。なお、入力ファンクションとの兼用ピンは、ポートレジスタの設定値だけでプルアップ抵抗を付加するか否かが選択されます。

### 3.4 割り込み

割り込みは、CPUの割り込みマスクレジスタ<IFF2:0>と、内蔵の割り込みコントローラによって制御されます。

割り込み要因には、下記に示す合計30本があります。

- CPU自体からの割り込み…9本  
(ソフトウェア割り込み、未定義命令実行違反)
- 外部端子 (INT0, INT4~INT7) からの割り込み…5本
- 内蔵I/Oからの割り込み…16本

各割り込み要因ごとに、個別の割り込みベクタ番号(固定)が割り当てられており、マスク可能割り込みのそれぞれに、6レベルの優先順位(可変)を割り付けることができます。ノンマスク可能割り込みの優先順位は、最優先の“7”に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値をCPUに送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスク可能割り込みの“7”)をCPUに送ります。

CPUは、その送られてきた優先順位値と、CPUの割り込みマスクレジスタ (IFF2~IFF0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。ただし、CPUが発生するソフトウェア割り込み、未定義命令実行違反割り込みは、<IFF2:0>と比較せず、割り込み処理を開始します。割り込みマスクレジスタ (IFF2~IFF0) の値はEI命令 (EInumを実行すると <IFF2:0> の内容がnum) を使用して、書き替えることができます。例えば、“EI 3”とプログラムすると、割り込みコントローラに設定された、優先順位値3以上のマスク可能割り込みと、ノンマスク可能割り込みが受け付け可能となります。ただし、“EI”、または、“EI 0”とプログラムした場合は優先順位レベル“1”以上のマスク可能割り込みと、ノンマスク可能割り込みを受け付けます (“EI 1”と同じ動作を行います)。また、DI命令 (<IFF2:0> が7) は動作的には “EI 7” と同じですが、マスク可能割り込みの優先順位値が0~6であるため、マスク可能割り込みの受け付け禁止用として使用されます。なお、EI命令は実行後、直ちに有効となります (TLCS-90ではEI命令の次の命令を実行した後に有効)。

割り込みには、上記汎用割り込み処理モードに加えて、「マイクロDMA」処理モードがあります。マイクロDMAは、CPUが自動的にデータの転送(バイト転送またはワード転送)を行うモードですので、内蔵I/Oに対するデータ退避などの割り込み処理を、高速に行うことが可能になります。

図3.4.1に割り込み処理全体のフローを示します。

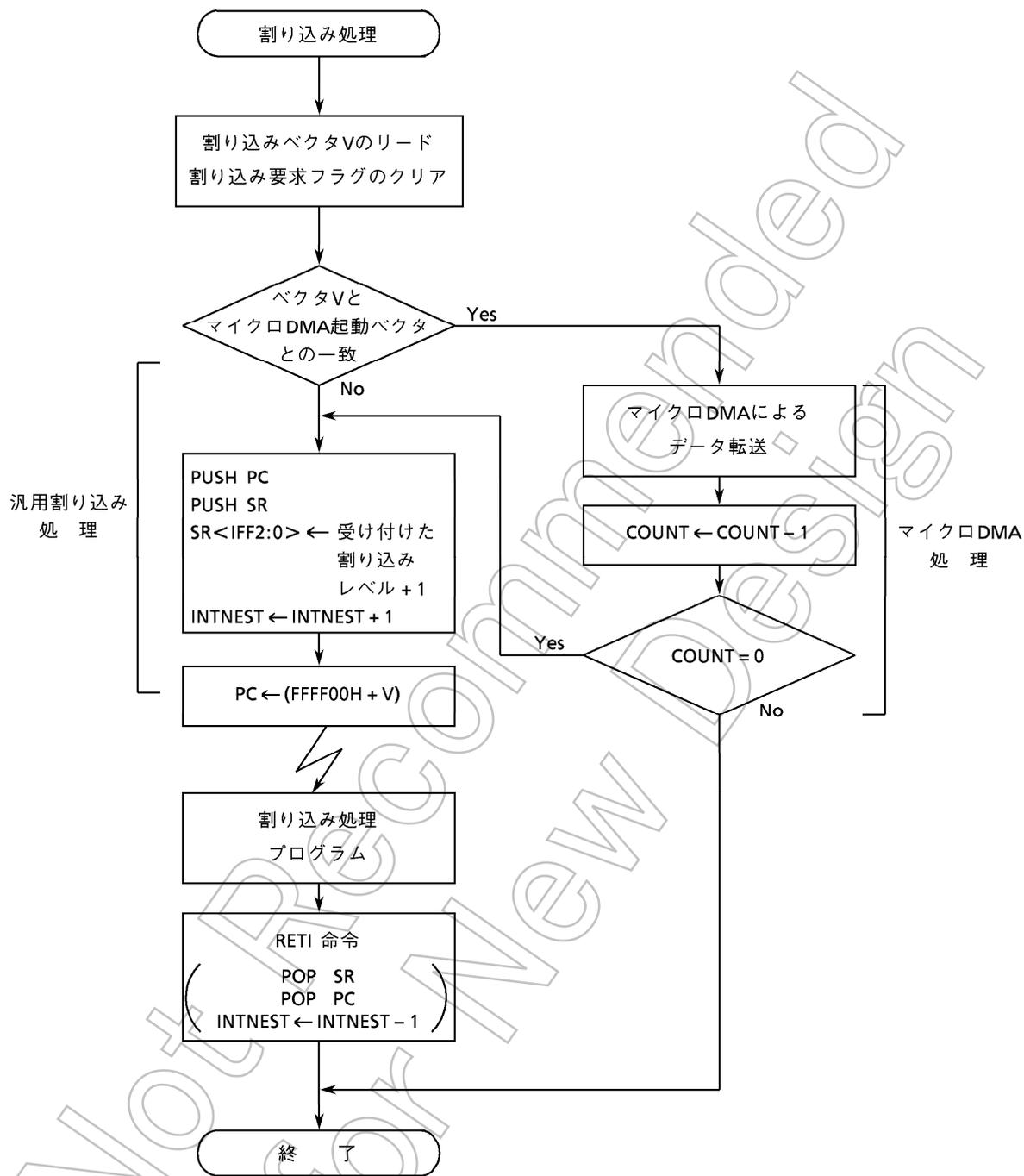


図3.4.1 割り込み処理全体のフロー

### 3.4.1 汎用割り込み処理

CPUが割り込みを受け付けると、下記の動作をします。ただし、CPUが発生するソフトウェア割り込み、未定義命令実行違反割り込みは(1)、(3)は実行せず、(2)、(4)、(5)を実行します。

- (1) CPUは、割り込みコントローラから、割り込みベクタをリードします。  
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティに従って割り込みベクタを発生し、その割り込み要求をクリアします。デフォルトプライオリティは各割り込みにあらかじめ設定された優先順位です。ベクタ値が小さいほど優先順位が高くなっています。
- (2) CPUは、プログラムカウンタPCとステータスレジスタSRを、スタック領域(XSPが示す領域)へ退避します。
- (3) CPUは、受け付けた割り込みレベルに+1した値をレジスタに設定します。ただし、値が“7”のときは、そのまま“7”をセットします。
- (4) 割り込みネスティングカウンタINTNESTを、+1します。
- (5) CPUは、「FFFF00H+割り込みベクタ」のデータで示されるアドレスへジャンプし、割り込み処理ルーチンを開始します。

以上の処理時間を下記の表に示します。

スタックエリアのバス幅	割り込みベクタエリアのバス幅	割り込み処理実行ステート数
8	8	35
	16	31
16	8	29
	16	25

割り込み処理の終了は、通常“RETI”命令で行います。この命令を実行すると、スタック領域からプログラムカウンタPCとステータスレジスタSRの内容を復帰させ、割り込みネスティングカウンタINTNESTを-1します。

ノンマスクابل割り込みは、プログラムによって割り込み受け付けを禁止することができません。マスクابل割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、割り込み要因ごとに優先順位を設定することができます。CPUが持つ割り込みマスクレジスタ<IFF2:0>の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。次に、CPUのマスクレジスタ<IFF2:0>に、受け付けた優先順位に“1”を加えた値を設定します。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

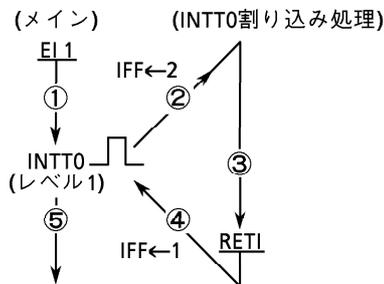
また、前記(1)~(5)までの処理をしている間に発生した現在受け付けられている割り込みより高いレベルの割り込みは、割り込み処理ルーチンの先頭命令が実行される前に受け付けられ、割り込み処理のネスティング状態になります。(ただし、ノンマスクابل割り込み(レベル“7”)同士の割り込みは受け付けられ、ネスティング状態となります)

なお、実行中の割り込みレベルと同じレベルの割り込み要求は、受け付けられません。

リセット後、CPUのマスクレジスタ <IFF2:0> は、“7”に初期化されているため、マスカブル割り込み禁止状態になっています。

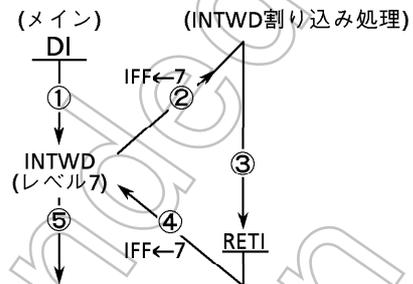
下記(1)~(5)に割り込み処理フローの例を示します。

(1) マスカブル割り込み



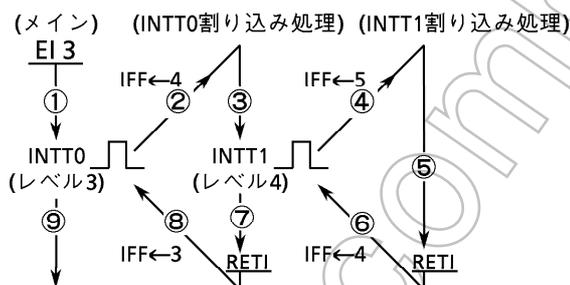
メインプログラムを実行中は、受け付けられますが、CPUが割り込みを受け付けるとIFFを「+1」するため、割り込み処理中レベル1の割り込みは受け付けられません。

(2) ノンマスカブル割り込み



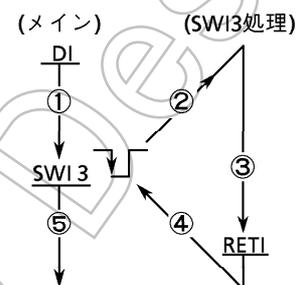
メインプログラムでDI命令が実行されているため、レベル7の割り込みのみ受け付けます。ただし、レベル7の割り込みをCPUが受け付けても、この場合はIFFを「+1」しません。

(3) 割り込みのネスティング



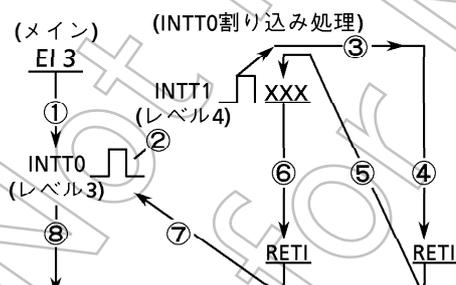
レベル3の割り込み処理中は、IFF=4となっており、レベル4以上の割り込みが要求されれば、その割り込みをCPUが受け付け、割り込みネスティング状態となります。

(4) ソフトウェア割り込み



ソフトウェア割り込みはレベル7のためDI状態 (IFF=7) でも受け付けられます。なお、ソフトウェア割り込みではIFFが変化することはありません。そのため、ソフトウェア割り込み処理にIFF値以上の割り込みが発生すると、割り込みネスティング状態となります。

(5) 割り込みのサンプリング



凡例) — (下線): 命令

①, ② …: 実行フロー順番

CPUが割り込みを受け付け、その割り込み処理を開始するまでの間に別のそれより優先順位の高い割り込みが入った場合は、その優先順位の高い方が先に処理されます。なお、この場合⑤で戻ってくるプログラムカウンタは、INTT0割り込み処理スタートアドレスです。

TMP93CS36では、アドレスFFFF00H~FFFFFFH (256バイト)が、割り込みベクタ領域に割り当てられています。

表3.4.1 TMP93CS36の割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要求発生ソース	ベクタ値 "V"	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ
1	ノン マスカブル	リセットまたは「SWI0」命令	0000H	FFFF00H	-
2		「SWI1」命令	0004H	FFFF04H	-
3		未定義命令実行違反または「SWI2」命令	0008H	FFFF08H	-
4		「SWI3」命令	000CH	FFFF0CH	-
5		「SWI4」命令	0010H	FFFF10H	-
6		「SWI5」命令	0014H	FFFF14H	-
7		「SWI6」命令	0018H	FFFF18H	-
8		「SWI7」命令	001CH	FFFF1CH	-
9		(Reserved)	0020H	FFFF20H	-
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	09H
11	マスカブル	INT0: INT0端子入力	0028H	FFFF28H	0AH
12		(Reserved)	002CH	FFFF2CH	-
13		INT4: INT4端子入力	0030H	FFFF30H	0CH
14		INT5: INT5端子入力	0034H	FFFF34H	0DH
15		INT6: INT6端子入力	0038H	FFFF38H	0EH
16		INT7: INT7端子入力	003CH	FFFF3CH	0FH
17		INTT0: 8ビットタイマ0	0040H	FFFF40H	10H
18		INTT1: 8ビットタイマ1	0044H	FFFF44H	11H
19		INTT2: 8ビットタイマ2	0048H	FFFF48H	12H
20		INTT3: 8ビットタイマ3	004CH	FFFF4CH	13H
21		INTTR4: 16ビットタイマ4 (TREG4)	0050H	FFFF50H	14H
22		INTTR5: 16ビットタイマ4 (TREG5)	0054H	FFFF54H	15H
23		INTTR6: 16ビットタイマ5 (TREG6)	0058H	FFFF58H	16H
24		INTTR7: 16ビットタイマ5 (TREG7)	005CH	FFFF5CH	17H
25		INTTO4: 16ビットタイマ4(オーバフロー)	0060H	FFFF60H	18H
26		INTTO5: 16ビットタイマ5(オーバフロー)	0064H	FFFF64H	19H
27		INTRX0: シリアル受信(チャンネル0)	0068H	FFFF68H	1AH
28		INTTX0: シリアル送信(チャンネル0)	006CH	FFFF6CH	1BH
29		INTRX1: シリアル受信(チャンネル1)	0070H	FFFF70H	1CH
30		INTTX1: シリアル送信(チャンネル1)	0074H	FFFF74H	1DH
31		INTAD: AD変換終了	0078H	FFFF78H	1EH
-	(Reserved)	007CH	FFFF7CH	-	
}	}	}	}	}	
-	(Reserved)	00FCH	FFFFFCH	-	

## リセット/割り込みベクタの設定

## ① リセットベクタ

FFFF00H	PC (7:0)
FFFF01H	PC (15:8)
FFFF02H	PC (23:16)
FFFF03H	XX

## ② 割り込みベクタ (リセットベクタ以外)

ベクタ参照アドレス +0	PC (7:0)	XX : Don't care
+1	PC (15:8)	
+2	PC (23:16)	
+3	XX	

## (設定例)

リセットベクタを **FF0000H**, INTADベクタをアドレス **123456H** に定義する場合

```
ORG    FFFF00H
DL     FF0000H ;リセット = FF0000H
```

```
ORG    FFFF78H
DL     123456H ;INTAD = 123456H
```

```
ORG    FF0000H
LD     A, B (参考)
```

```
ORG    FF9ABCH
LD     B, C
```

```
ORG    123456H
LD     C, A
```

ORG, DLはアセンブラ擬似命令です  
 [ORG: ロケーションカウンタ制御用  
 DL: ロングワード (32ビット) データ定義用

### 3.4.2 マイクロDMA

TMP93CS36には、汎用割り込み処理に加えてマイクロDMA機能があります。CPUは、割り込みを受け付けると、割り込みコントローラから割り込みベクタのほかにマイクロDMAか汎用割り込み処理かの情報を受け取り、マイクロDMAモードが要求されていればマイクロDMA処理を行います。

このマイクロDMAは、TLCS-90のマイクロDMAに比べて転送パラメータをCPU内部の専用レジスタに持っているため、高速に処理を行うことができます。この専用レジスタはCPUのコントロールレジスタに割り付けられているため、“LDC”命令でのみアクセスできます。

#### (1) マイクロDMAの動作

マイクロDMAは、受け付けられた割り込みベクタ値と、割り込みコントローラに設定されたマイクロDMA起動ベクタ値が一致することにより、その起動がかけられます。マイクロDMAは、4チャンネル用意されており、同時に4種類までの割り込み要因に対して、マイクロDMAを設定することができます。

マイクロDMAが受け付けられると、コントロールレジスタに設定された転送元アドレスから転送先アドレスにデータ転送が自動的に行われ、転送数カウンタを-1にします。その結果が“0”でなければ、マイクロDMA処理は終了し、“0”ならば、前項で説明した汎用割り込み処理を行います。

転送元/転送先アドレスを設定するレジスタは、32ビット幅のコントロールレジスタになっていますが、アドレスが24本のため、マイクロDMAで取り扱える空間は、16Mバイトとなります。

転送モードとしては、1バイト転送と1ワード(2バイト)転送の2種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスがインクリメント、デクリメント、固定されるモードが用意されています。このモードにより、I/Oからメモリ、メモリからI/O、I/OからI/Oのデータ転送が容易に行えます。転送モードの詳細は、後述の「転送モードレジスタ」を参照してください。

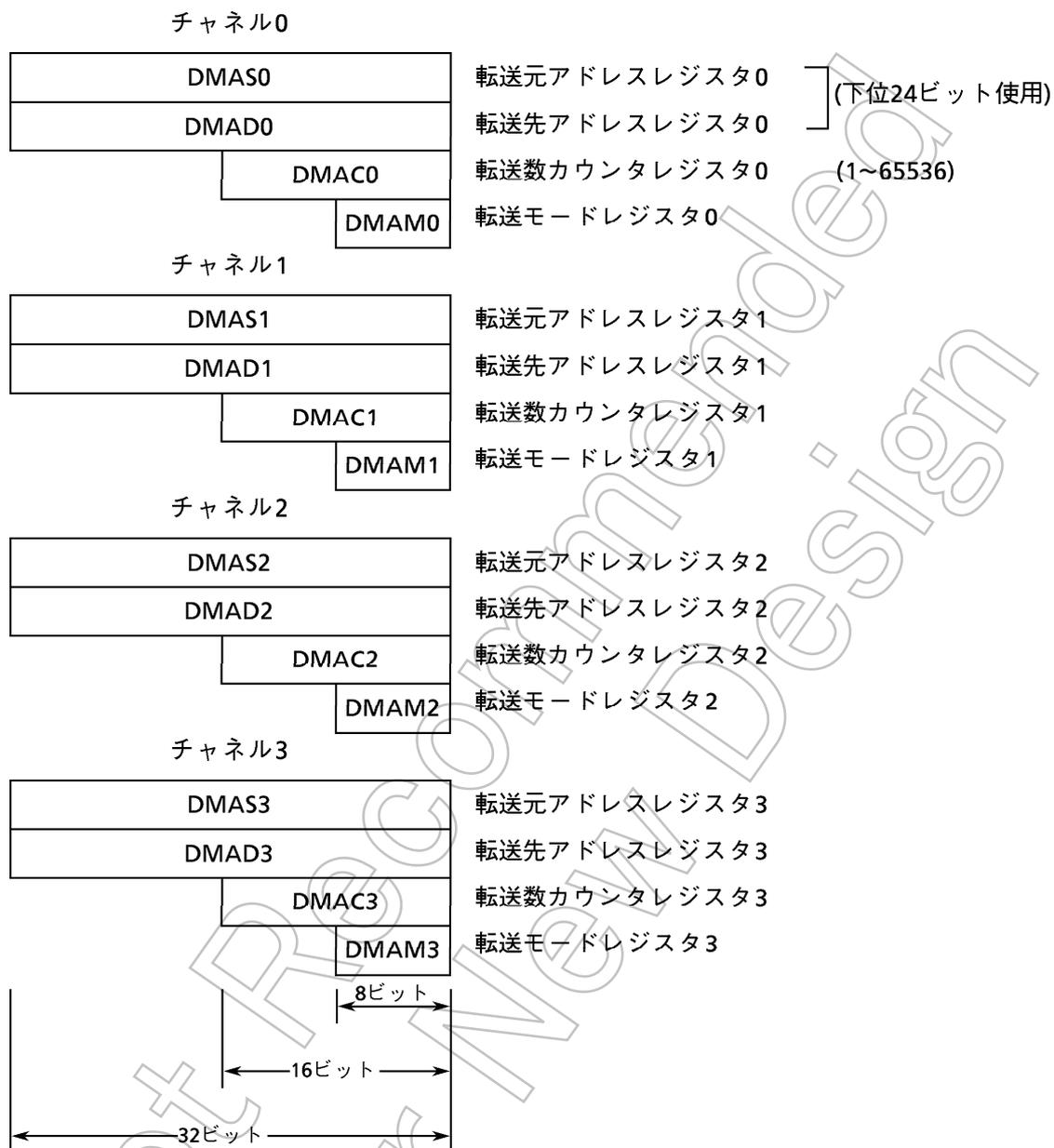
転送カウンタは、16ビット幅で構成されているため、一つの割り込み要因に対して、最大65536回(転送カウンタの初期値が0000Hのとき最大)のマイクロDMA処理を行うことができます。

マイクロDMAによるデータ転送後、この転送カウンタはデクリメントされ、“0”になると汎用割り込み処理へ分岐します。その処理後、同チャンネルの割り込みが起動されると転送カウンタは巡回し、65536よりリスタートしますので、汎用割り込み処理内で転送カウンタの再設定をしてください。

マイクロDMA処理を行うことのできる割り込み要因は、表3.4.1でマイクロDMA起動ベクタのある22種類の割り込みです。

転送先アドレスINCモードのマイクロDMAサイクルを示します(MAXモード,全アドレスエリア16ビットバス,0ウェイト)。

## (2) レジスタ構成 (CPU コントロールレジスタ)

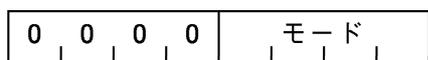


これらのコントロールレジスタへのデータ設定は "LDC cr,r" 命令のみで設定できます。

(例)

```
LD   XWA, 100H
LDC  DMAS0, XWA
LD   XWA, 50H
LDC  DMAD0, XWA
LD   WA, 40H
LDC  DMAC0, WA
LD   A, 05H
LDC  DMAM0, A
```

(3) 転送モードレジスタ: DMAM0~DMAM3



注) このレジスタに値を設定するとき、上位4ビットは“0”にしてください。

Z: 0 = バイト転送、1 = ワード転送

実行時間  
(Min @  $f_c = 20 \text{ MHz}$ )

0	0	0	Z	転送先アドレスINCモード ..... I/O toメモリ用 (DMADn+) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 $\mu\text{s}$ )
0	0	1	Z	転送先アドレスDECモード ..... I/O toメモリ用 (DMADn-) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 $\mu\text{s}$ )
0	1	0	Z	転送元アドレスINCモード ..... メモリto I/O用 (DMADn) ← (DMASn +) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 $\mu\text{s}$ )
0	1	1	Z	転送元アドレスDECモード ..... メモリto I/O用 (DMADn) ← (DMASn -) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 $\mu\text{s}$ )
1	0	0	Z	アドレス固定モード ..... I/O to I/O用 (DMADn) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INT.	16ステート (1.6 $\mu\text{s}$ )
1	0	1	1	カウンタモード ..... 割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn - 1 if DMACn = 0 then INT.	11ステート (1.1 $\mu\text{s}$ )

注1) n: 対応するマイクロDMAチャンネル0~3

DMADn+/DMASn+: ポストインクリメント (転送後、レジスタの値をインクリメント)

DMADn-/DMASn-: ポストデクリメント (転送後、レジスタの値をデクリメント)

注2) 実行時間: 転送元/転送先アドレス空間が16ビットバス幅、0ウェイトに設定されている場合を示します。

注3) 転送モードレジスタへは、上記以外のコードを設定しないでください。

### 3.4.3 割り込みコントローラの制御

図3.4.2に、割り込み回路のブロック図を示します。この図の左半分は、割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路と、ホルト解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと(合計22チャンネル)に、割り込み要求フリップフロップ、割り込み優先順位設定レジスタ、マイクロDMA起動ベクタ格納レジスタを持っています。割り込み要求フリップフロップは、周辺からの割り込み要求をラッチするためのものです。

このフラグは以下の場合にクリアします。

- リセット動作
- CPUが割り込みを受け付け、その割り込みベクタをリード
- クリア命令の実行(割り込みレベル設定レジスタ中の<IxxC>に“0”をライト)

例えば、INT0割り込み要求をクリアはDI命令後に、下記のようにレジスタを設定します。

```
LD    (INTE0AD), ---- 0 --- B
```

また、このクリアビットをリードすると、割り込み要求フラグの状態が読み出され、割り込み要求の有無がわかります。

割り込みの優先順位は、各割り込み要因に用意されている、割り込み優先順位設定レジスタ(INTE0AD, INTE45…など)にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは1から6までの6レベルです。書き込む優先順位値を“0”(または“7”)にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスクابل割り込み(ウォッチドッグタイマ)の優先順位値は“7”に固定されています。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティに従い、割り込みを受け付けます。

割り込みコントローラは、同時に発生した割り込みの中で最も優先順位の高い割り込み要求と、そのベクタアドレスをCPUへ送ります。CPUは、ステータスレジスタ(SR)に設定された優先順位値<IFF2:0>と送られてきた優先順位値付要求信号を比較し、要求信号のレベルが高ければ、割り込みを受け付けます。そして、CPU側のSR<IFF2:0>に、受け付けた優先順位値プラス“1”の値を書き込みし、この値以上の割り込み要求だけが多重に受け付けられる割り込みソースとなります。割り込み処理の終了(RETI命令の実行)により、CPU側のSR<IFF2:0>には、スタックに退避されていた割り込み受け付け以前の優先順位値が復帰します。

割り込みコントローラには、マイクロDMAの起動ベクタを格納するレジスタ(4チャンネル)も準備されています。このレジスタはI/Oレジスタです。この4チャンネルのレジスタに、マイクロDMA処理を行いたい割り込み要因の起動ベクタ(表3.4.1参照)を書き込むことにより、該当の割り込み処理がマイクロDMA処理となります。マイクロDMA処理の前に、マイクロDMAパラメータ用レジスタ(DMAS, DMADなど)に値を設定しておく必要があります。

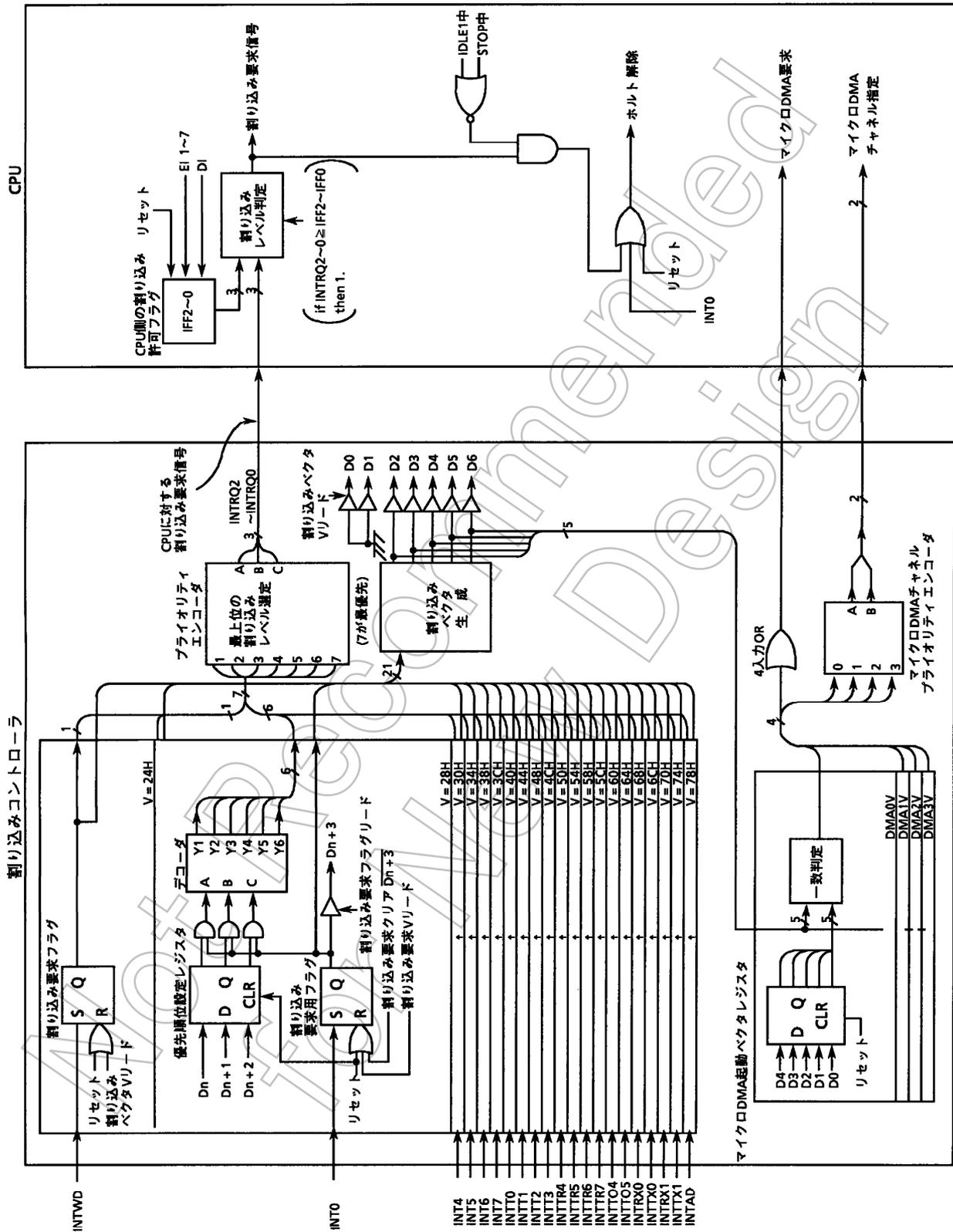


図3.4.2 割り込みコントローラブロック図

(1) 割り込み優先順位設定レジスタ

記号	アドレス	7	6	5	4	3	2	1	0
INTE0AD	0070H	INTAD				INT0			
		IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE45	0071H	INT5				INT4			
		I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE67	0072H	INT7				INT6			
		I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE10	0073H	INTT1 (タイマ1)				INTT0 (タイマ0)			
		IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE32	0074H	INTT3 (タイマ3)				INTT2 (タイマ2)			
		IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE54	0075H	INTTR5 (TREG5)				INTTR4 (TREG4)			
		IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE76	0076H	INTTR7 (TREG7)				INTTR6 (TREG6)			
		IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE054	0077H	INTO5				INTTO4			
		ITO5C	ITO5M2	ITO5M1	ITO5M0	ITO4C	ITO4M2	ITO4M1	ITO4M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE50	0078H	INTTX0				INTRX0			
		ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	
INTE51	0079H	INTTX1				INTRX1			
		ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	

←割り込み要因  
←Bit symbol  
←Read/Write  
←リセット後

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止します。
0	0	1	割り込み要求レベルを1にします。
0	1	0	割り込み要求レベルを2にします。
0	1	1	割り込み要求レベルを3にします。
1	0	0	割り込み要求レベルを4にします。
1	0	1	割り込み要求レベルを5にします。
1	1	0	割り込み要求レベルを6にします。
1	1	1	割り込み要求を禁止します。

IxxC	機能 (リード)	機能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

注1) 上記レジスタはリードモディファイライトできません。

注2) 割り込み要求フラグのクリアについて

INTRX0, INTRX1の2つの割り込みは、レベル割り込みのためIxxCに“0”をライトしてもクリアされません。クリアは、リセット動作または変換値/受信バッファのリード動作のみで行われます。

図3.4.3 割り込み優先順位設定レジスタ

(2) 外部割り込みの制御



- 注1) INTO端子は、後述のスタンバイ解除にも使用できます。スタンバイ解除用として使用しない場合に、このレジスタを"0"にしておくことにより、スタンバイ中もポート機能を維持させることが可能となります。
- 注2) INTO端子のモードをレベルからエッジに切り替える場合 (<IOLE>を"1"から"0"へ)、INTOを禁止してから切り替えしてください。  
 LD (INTE0AD), XXXX0000B ; INTO禁止、要求フラグのクリア  
 LD (IIMC) , XXXXX10XB ; レベルからエッジに切り替える  
 LD (INTE0AD), XXXX0nnnB ; INTOレベルnにセットし、要求フラグをクリア
- 注3) IIMCのビット7~3は、リードすると"1"が読み出されます。
- 注4) 外部割り込みの入力パルスにはスペックがあります。「4.電気的特性」を参照してください。

図3.4.4 割り込み入力モードコントロールレジスタ

表3.4.2 外部割り込み端子の機能設定

割り込み端子	兼用端子	モード	設定方法
INT0	P35	立ち上がりエッジ	IIMC<IOLE> = 0, <IOIE> = 1
		レベル	IIMC<IOLE> = 1, <IOIE> = 1
INT4	P42	立ち上がりエッジ	T4MOD<CAP12M1:0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T4MOD<CAP12M1:0> = 1, 0
INT5	P43	立ち上がりエッジ	—
INT6	P45	立ち上がりエッジ	T5MOD<CAP34M1:0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T5MOD<CAP34M1:0> = 1, 0
INT7	P46	立ち上がりエッジ	—

(3) マイクロDMA起動ベクタレジスタ

CPUが割り込みを受け付けて割り込みベクタをリードするとき、同時に、その割り込みベクタ(ビット2~6のみ)と各チャンネルのマイクロDMA起動ベクタの比較が行われます。それぞれが一致した場合、その割り込み処理は一致したチャンネルのマイクロDMAモードになります。

なお、2チャンネル以上のマイクロDMA起動ベクタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

マイクロDMA0起動ベクタレジスタ

		7	6	5	4	3	2	1	0
DMA0V (007CH)	Bit symbol				DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	割り込みベクタのビット2~6との一致で、マイクロDMAチャンネル0の処理							

リード  
モディファイ  
ライト  
できません。

マイクロDMA1起動ベクタレジスタ

		7	6	5	4	3	2	1	0
DMA1V (007DH)	Bit symbol				DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	割り込みベクタのビット2~6との一致で、マイクロDMAチャンネル1の処理							

リード  
モディファイ  
ライト  
できません。

マイクロDMA2起動ベクタレジスタ

		7	6	5	4	3	2	1	0
DMA2V (007EH)	Bit symbol				DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	割り込みベクタのビット2~6との一致で、マイクロDMAチャンネル2の処理							

リード  
モディファイ  
ライト  
できません。

マイクロDMA3起動ベクタレジスタ

		7	6	5	4	3	2	1	0
DMA3V (007FH)	Bit symbol				DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	割り込みベクタのビット2~6との一致で、マイクロDMAチャンネル3の処理							

リード  
モディファイ  
ライト  
できません。

図3.4.5 マイクロDMA起動ベクタレジスタ

#### (4) 注意事項

CPUは、命令実行ユニットとバスインタフェースユニットが分かれています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPUが割り込みを受け付けて割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令を実行するということがあり得ます。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI命令の後にクリアする命令を書き込むようにしてください。クリアする命令を実行した後、再びEI命令で割り込みをイネーブルにするときは、クリア命令後、必ず1命令以上間を置いてからEI命令を実行してください。クリア命令後すぐにEI命令を行うと、割り込み要求フラグがクリアされる前に割り込みイネーブルになってしまうことがあります。

また、POP SR命令により割り込みマスクレベル(ステータスレジスタSRの <IFF2:0>)を書き替えるときは、必ずDI命令により割り込みを禁止した後POP SR命令を実行してください。

Not Recommended for New Design

## 3.5 ポート機能

TMP93CS36には、合計33ビットの入出力ポートがあります。また、これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表3.5.1に各ポート端子の機能を、表3.5.2に各端子の設定方法を示します。

リセット動作により、これらのポート端子は汎用入出力ポートとなります。なお、入力と出力がプログラマブルな入出力端子は、入力ポートになります。内蔵機能用にポート端子を使うときは、プログラムによる設定が必要です。

表3.5.1 ポート端子の機能

(PU = プログラマブルプルアップ抵抗付き)

ポート名	端子名	端子数	方向	抵抗	方向設定単位	内蔵機能用端子名
ポート0	P00~P07	8	入出力	-	ビット	AD0~AD7
ポート1	P10~P17	8	入出力	-	ビット	AD8~AD15/A8~A15
ポート3	P35	1	入出力	-	ビット	INT0
ポート4	P41	1	入出力	-	ビット	TO3
	P42	1	入出力	-	ビット	TI4/INT4
	P43	1	入出力	-	ビット	TI5/INT5
	P44	1	入出力	-	ビット	TO4
	P45	1	入出力	-	ビット	TI6/INT6
	P46	1	入出力	-	ビット	TI7/INT7
ポート5	P50~P52,	3	入力	-	(固定)	AN0~AN2
	P53	1	入力	-	(固定)	AN3/ADTRG
ポート6	P60	1	入出力	PU	ビット	TXD0
	P61	1	入出力	PU	ビット	RXD0
	P63	1	入出力	PU	ビット	TXD1
	P64	1	入出力	PU	ビット	RXD1
ポート7	P70	1	入出力	-	ビット	(大電流駆動可能)
	P71	1	入出力	-	ビット	(大電流駆動可能)

表3.5.2 I/Oポート設定一覧表

n: 対応するポート番号

ポート	端子名	仕 様	I/Oレジスタ設定値		
			Pn	PnCR	PnFC
ポート0	P00~P07	入力ポート	×	0	なし
		出力ポート	×	1	
ポート1	P10~P17	入力ポート	×	0	0
		出力ポート	×	1	0
ポート3	P35	入力ポート/INT0入力(注1)	×	0	なし
		出力ポート	×	1	
ポート4	P41	入力ポート	×	0	0
		出力ポート	×	1	0
		TO3出力	×	1	1
	P42	入力ポート/TI4/INT4入力	×	0	なし
		出力ポート	×	1	
	P43	入力ポート/TI5/INT5入力	×	0	なし
		出力ポート	×	1	
	P44	入力ポート	×	0	0
		出力ポート	×	1	0
		TO4出力	×	1	1
	P45	入力ポート/TI6/INT6入力	×	0	なし
		出力ポート	×	1	
P46	入力ポート/TI7/INT7入力	×	0	なし	
	出力ポート	×			なし
ポート5	P50~P53	入力ポート	×		
		AN0~AN3入力(注2)	×		
ポート6	P60	入力ポート(プルアップなし)	0	0	0
		入力ポート(プルアップあり)	1	0	0
		出力ポート	×	1	0
		TXD0出力	×	1	0
	P61	入力ポート/RXD0入力(プルアップなし)	0	0	なし
		入力ポート/RXD0入力(プルアップあり)	1	0	
		出力ポート	×	1	
	P63	入力ポート(プルアップなし)	0	0	0
		入力ポート(プルアップあり)	1	0	0
		出力ポート	×	1	0
		TXD1出力	×	1	1
	P64	入力ポート/RXD1入力(プルアップなし)	0	0	なし
入力ポート/RXD1入力(プルアップあり)		1	0		
出力ポート		×	1		
ポート7	P70	入力ポート	×	0	なし
		出力ポート	×	1	
	P71	入力ポート	×	0	
		出力ポート	×	1	

x: Don't care

注1) P35端子をINT0として使用する場合は、IIMCレジスタにて割り込み入力許可の設定をします。

注2) P50~P53をADコンバータの入力チャンネルとして使用する場合はチャンネル選択はADMOD1&lt;ADCH2:0&gt;で設定します。

## 3.5.1 ポート0 (P00~P07)

ポート0は、ビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP0CRによって行います。リセット動作により、P0CRの全ビットは“0”にクリアされ、ポート0は入力モードになります。図3.5.3にポート0関係のレジスタを示します。

外部メモリエリアをアクセスすると、自動的にアドレスデータバス(AD0~AD7)として機能し、P0CRはすべて“0”にクリアされてしまうため、外部メモリエリアをアクセスしないでください。

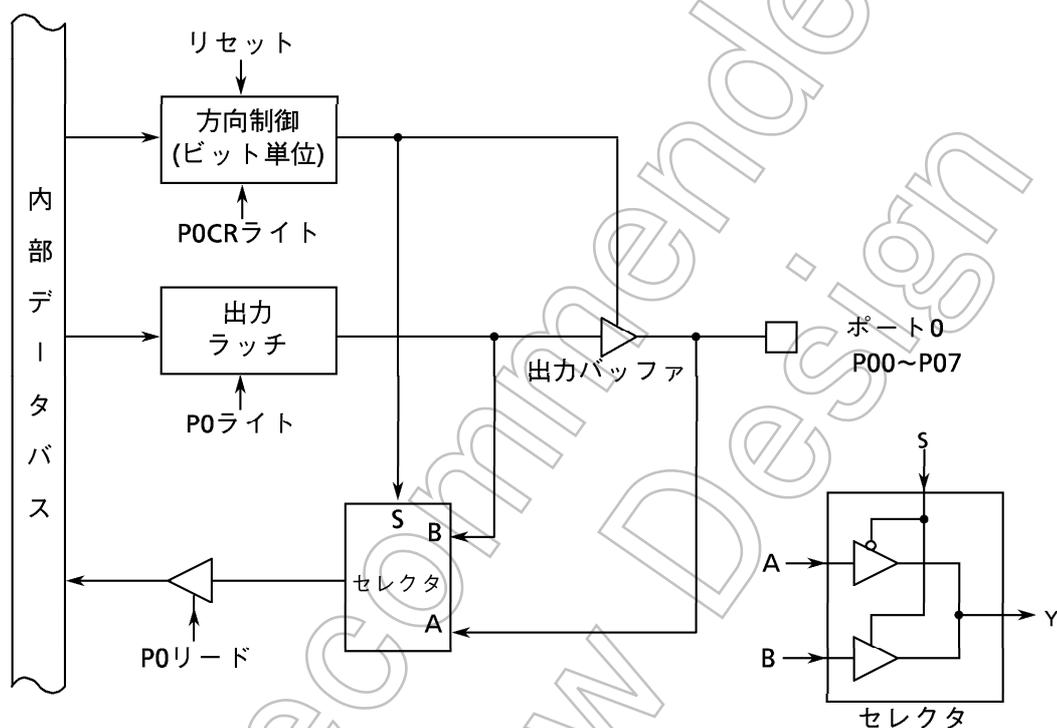


図 3.5.1 ポート0

## 3.5.2 ポート1 (P10~P17)

ポート1は、ビット単位で入出力の設定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP1CRとファンクションレジスタP1FCによって行います。リセット動作により、出力ラッチのP1の全ビットと、P1CRとP1FCの全ビットは“0”にクリアされ、ポート1は入力モードになります。図3.5.3にポート1関係のレジスタを示します。

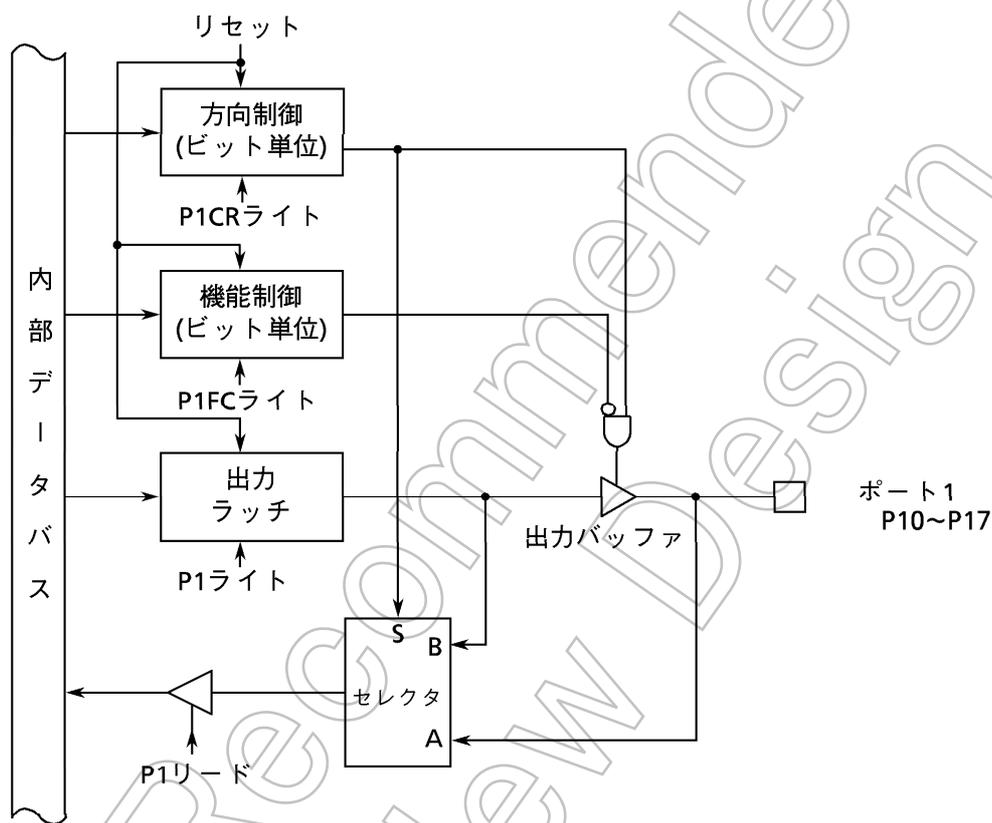


図 3.5.2 ポート1

ポート0レジスタ

P0 (0000H)		7	6	5	4	3	2	1	0
	Bit symbol	P07	P06	P05	P04	P03	P02	P01	P00
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは不定となります。)							

ポート0コントロールレジスタ

P0CR (0002H)		7	6	5	4	3	2	1	0
	Bit symbol	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

リード  
モディファイ  
ライト  
できません。

ポート0の入力/出力設定

0	入力
1	出力

ポート1レジスタ

P1 (0001H)		7	6	5	4	3	2	1	0
	Bit symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート1コントロールレジスタ

P1CR (0004H)		7	6	5	4	3	2	1	0
	Bit symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

リード  
モディファイ  
ライト  
できません。

ポート1ファンクションレジスタ

P1FC (0005H)		7	6	5	4	3	2	1	0
	Bit symbol	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	"0" をライトしてください。							

リード  
モディファイ  
ライト  
できません。

図 3.5.3 ポート0, 1関係のレジスタ

3.5.3 ポート3

ポート3は、1ビットの汎用入出力ポートです。

入出力は、コントロールレジスタP3CRとファンクションレジスタP3FCによって、ビットごとに指定されます。リセット動作により、出力ラッチP3の全ビットは“1”にセットされ、P3CR(ビット0と1は未使用)とP3FCは“0”にリセットされます。

P35 (INT0)

ポート35は、汎用入出力のほかに、外部割り込み要求入力INT0端子としての機能を持っています。

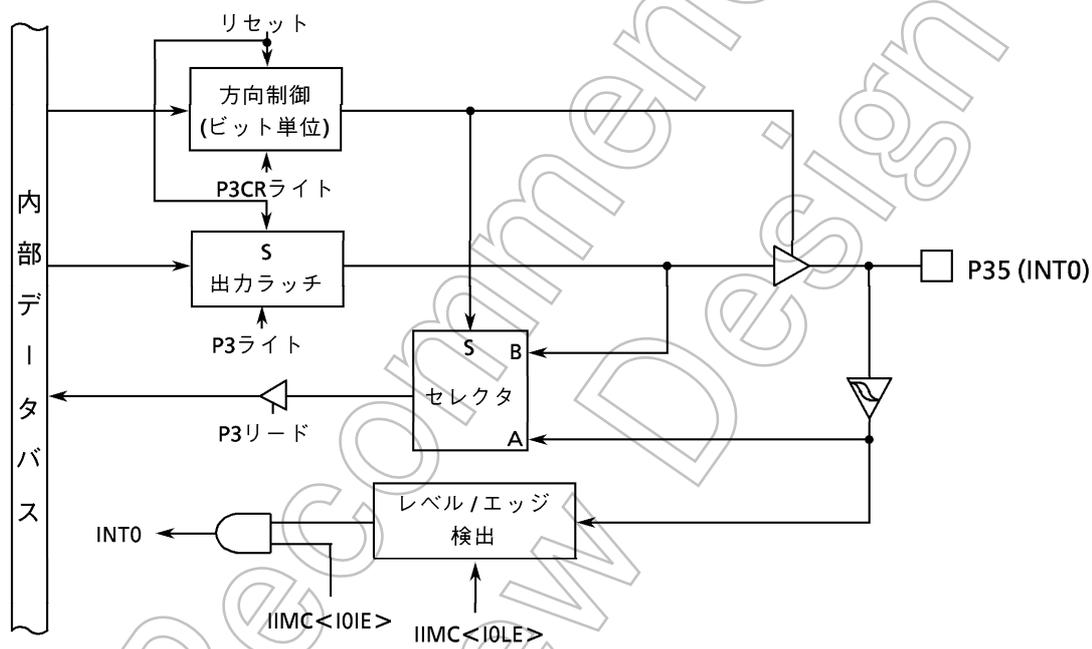


図 3.5.4 ポート3 (P35)

ポート3レジスタ

	7	6	5	4	3	2	1	0
P3 (0007H)	/		P35		-		-	
Bit symbol			R/W		R/W		R/W	
Read/Write	/		/		/		/	
リセット後	/		外部端子 データ (出力 ラッチレジ スタは "1" にセットさ れます。)		0		1	
機能	/		/		"0"を ライトし てくださ い。		"1"をライトして ください (リードする と "1" が読めます)。	

ポート3コントロールレジスタ

	7	6	5	4	3	2	1	0
P3CR (000AH)	/		P35C		-		-	
Bit symbol			W		W		-	
Read/Write	/		/		/		/	
リセット後	/		0		0		-	
機能	/		0: 入力 1: 出力		"0"を ライトし てくださ い。		-	

リード  
モディファイ  
ライト  
できません。

入力/出力設定

0	入力
1	出力

ポート3ファンクションレジスタ

	7	6	5	4	3	2	1	0
P3FC (000BH)	/		/		/		-	
Bit symbol							-	
Read/Write	/		/		/		W	
リセット後	/		/		0		0	
機能	/		/		/		"0"をライトして ください (リードすると "1" が読めます)。	

リード  
モディファイ  
ライト  
できません。

図3.5.5 ポート3関係のレジスタ

3.5.4 ポート4 (P41~P46)

ポート4はビット単位で入出力指定ができる6ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。入出力ポート機能以外に8ビットタイマ3のF/Fの出力, 16ビットタイマ4, 5のクロック入力, 16ビットタイマ4のF/F出力機能があります。この機能はファンクションレジスタP4FCの該当ビットへ“1”を書き込むことにより各ファンクションが可能となります。

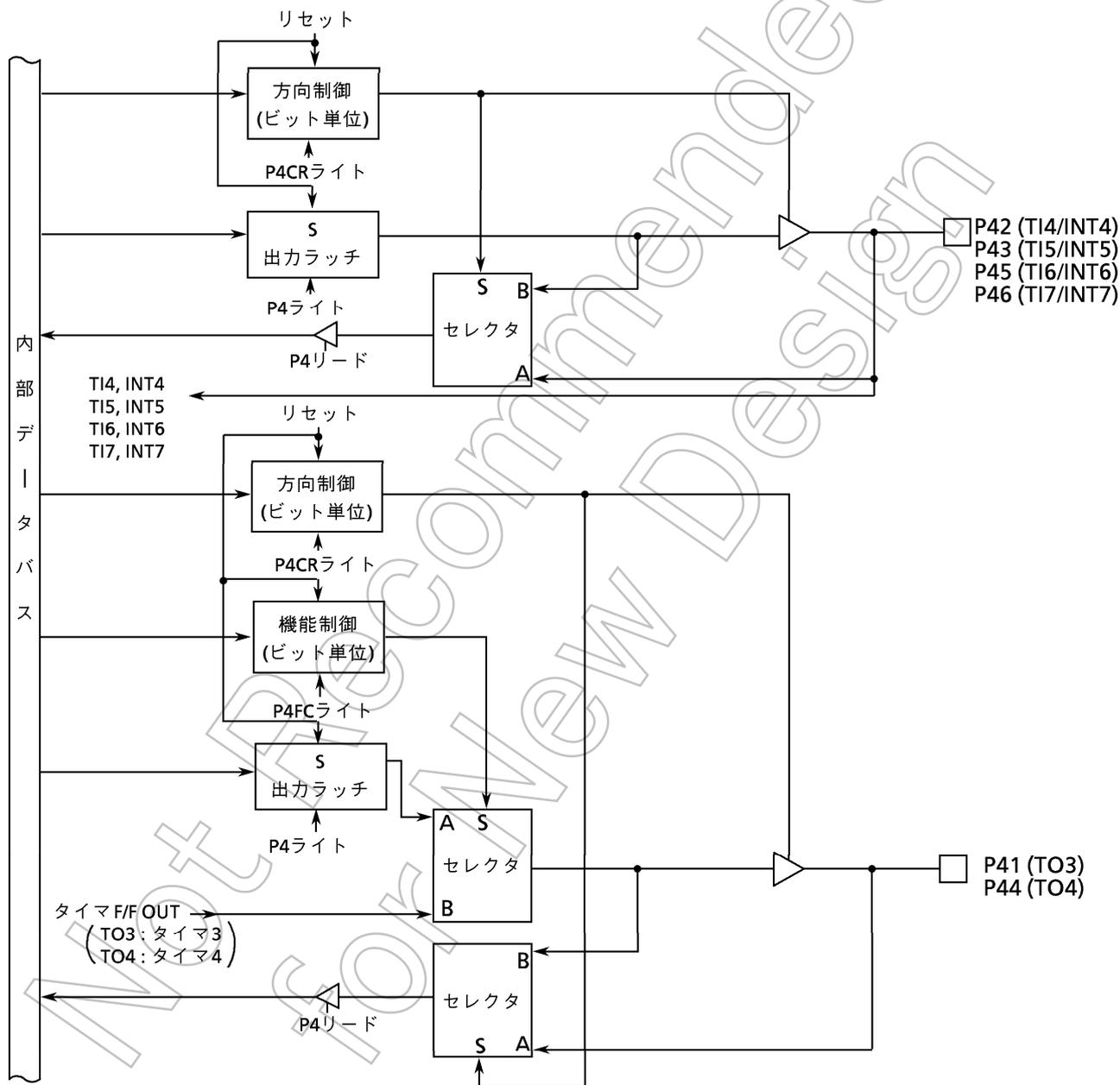


図3.5.6 ポート4

ポート4レジスタ

	7	6	5	4	3	2	1	0
P4 (000CH)	Bit symbol	-	P46	P45	P44	P43	P42	P41
	Read/Write	R/W						
	リセット後	0	外部端子データ (出力ラッチレジスタは "1" にセットされます。)					
	機能	"0" を ライトし てください。						

ポート4コントロールレジスタ

	7	6	5	4	3	2	1	0
P4CR (000EH)	Bit symbol	-	P46C	P45C	P44C	P43C	P42C	P41C
	Read/Write	W						
リード モディファイ ライト できません。	リセット後	0	0	0	0	0	0	0
	機能	"0" を ライトし てください。	0: 入力      1: 出力					

ポート4の入力/出力設定

0	入力
1	出力

ポート4ファンクションレジスタ

	7	6	5	4	3	2	1	0
P4FC (0010H)	Bit symbol	-	-	P44F	-	-	P41F	-
	Read/Write	W	-	W	-	-	W	-
リード モディファイ ライト できません。	リセット後	0	-	0	-	-	0	-
	機能	"0" を ライトし てください。	-	0: ポート 1: TO4	-	-	0: ポート 1: TO3	-

P44のタイマアウト4出力設定

P4FC <P44F>	1
P4CR <P44C>	1

P41のタイマアウト3出力設定

P4FC <P41F>	1
P4CR <P41C>	1

注) P42/TJ4, P43/TI5, P45/TI6, P46/TI7端子は、ポート/ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でもタイマ入力として8/16ビットタイマへ入力されます。

図3.5.7 ポート4関係のレジスタ

3.5.5 ポート5 (P50~P53)

ポート5は、4ビットの入力専用ポートでADコンバータのアナログ入力端子と兼用になっています。また、P53は、アナログ変換外部トリガ入力端子 (ADTRG) と兼用になっています。

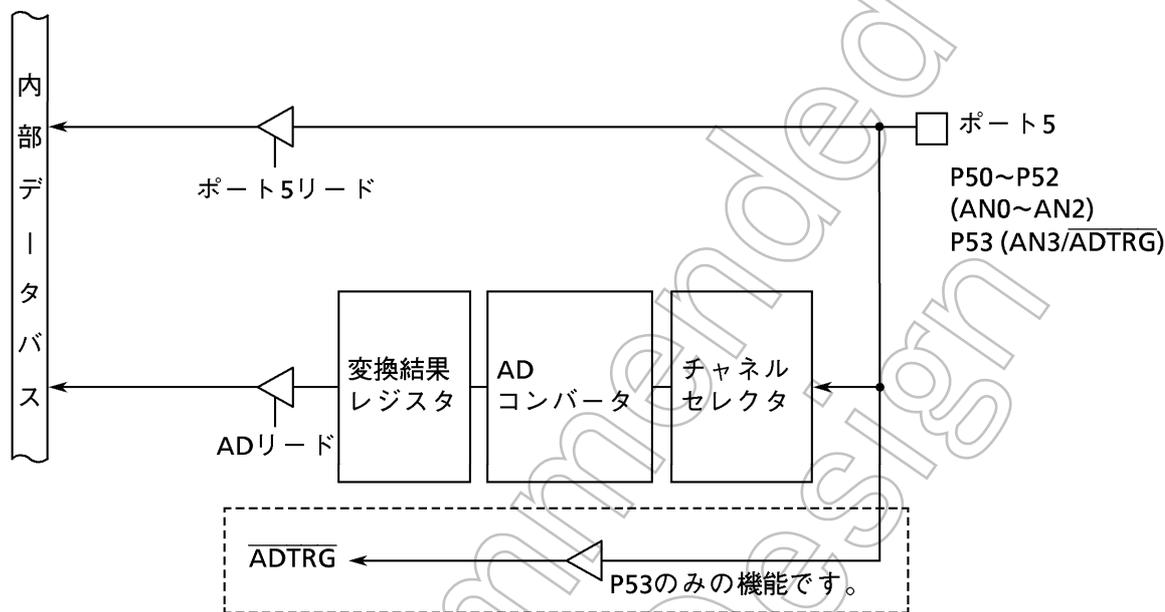


図3.5.8 ポート5

	7	6	5	4	3	2	1	0
P5 (000DH)					P53	P52	P51	P50
Bit symbol								
Read/Write					R			
リセット後					外部端子データ			

図 3.5.9 ポート5関係のレジスタ

注) ADコンバータの入力チャンネル選択は、ADコンバータモードレジスタADMOD1にて設定します。

3.5.6 ポート6 (P60, P61, P63, P64)

ポート60, 61, 63, 64はビット単位で入出力の指定ができる4ビットの汎用入出力ポートです。リセット動作により、入力ポートとなりプルアップされた状態になります。

また、出力ラッチレジスタの全ビットは“1”へセットされます。

入出力ポート以外に、シリアルチャネル0, 1の入出力機能があります。

この機能はポート6ファンクションレジスタP6FCの該当ビットへ“1”を書き込むことにより、各ファンクションが可能となります。

リセット動作により、P6CR, P6FCの値は“0”にリセットされ、全ビットが入力ポートとなります。

(1) ポート60 (TXD0), 63 (TXD1)

ポート60, 63は、入出力ポート以外にシリアルチャネルのTXD出力端子としての機能を持ちます。このポートは、プログラマブルオープンドレイン機能を持っています。

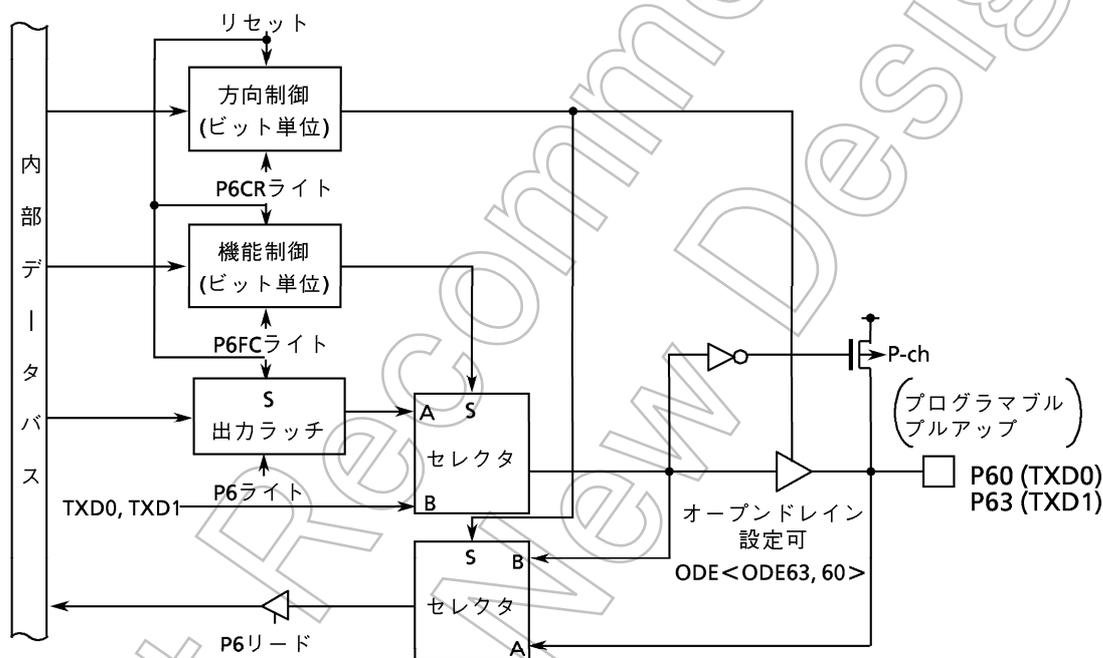


図3.5.10 ポート60, 63

## (2) ポート 61 (RXD0), 64 (RXD1)

ポート 61, 64 は、入出力ポート以外にシリアルチャネルの RXD 入力端子としての機能を持っています。

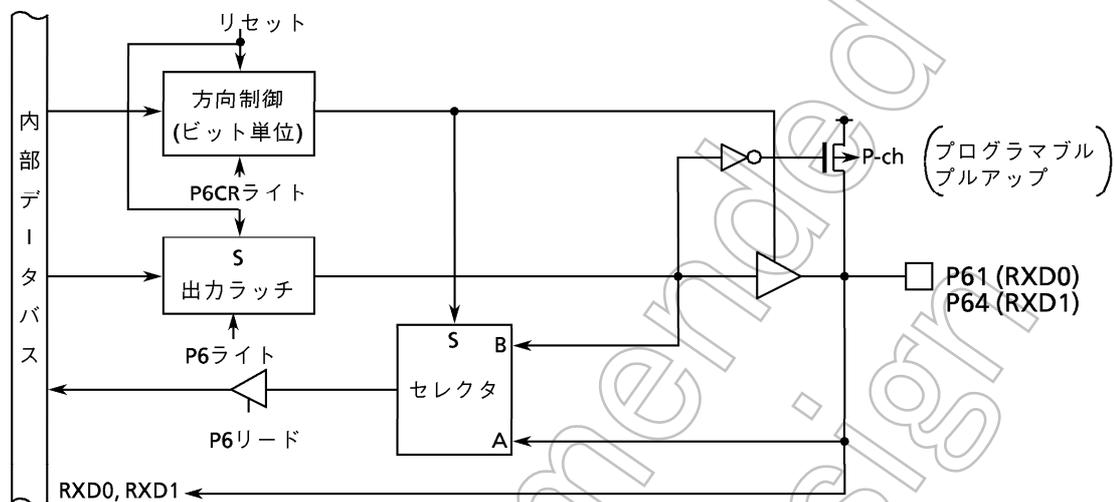


図3.5.11 ポート 61, 64

ポート6レジスタ

P6 (0012H)		7	6	5	4	3	2	1	0
	Bit symbol			-	P64	P63	-	P61	P60
	Read/Write			R/W	R/W		R/W	R/W	
	リセット後			0	外部端子データ (出力ラッチレジスタは“1”にセットされます。)			0	外部端子データ (出力ラッチレジスタは“1”にセットされます。)
機能			“0”をライトしてください。				“0”をライトしてください。		

注1) ポート6を入力モードで使用する場合、内蔵プルアップ抵抗はP6レジスタにて制御します。入力モードあるいは入出力モードを混在させて使用する場合 (1ビットでも入力端子が存在するとき) には、リードモディファイライトを行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

ポート6コントロールレジスタ

P6CR (0014H)		7	6	5	4	3	2	1	0	
	Bit symbol			-	P64C	P63C	-	P61C	P60C	
	Read/Write				W					
	リセット後			0	0	0	0	0	0	
機能			“0”をライトしてください。	0: 入力 1: 出力			“0”をライトしてください。	0: 入力 1: 出力		

リードモディファイライトできません。

ポート6の入力/出力設定

0	入力
1	出力

ポート6ファンクションレジスタ

P6FC (0016H)		7	6	5	4	3	2	1	0
	Bit symbol			-		P63F	-		P60F
	Read/Write			W		W			W
	リセット後			0		0	0		0
機能			“0”をライトしてください。		0: ポート1: TXD1	“0”をライトしてください。		0: ポート1: TXD0	

リードモディファイライトできません。

P63のTXD1出力設定 注2)

P6FC<P63F>	1
P6CR<P63C>	1

P60のTXD0出力設定 注2)

P6FC<P60F>	1
P6CR<P60C>	1

注2) TXD端子をオープンドレイン出力に設定するには、ODEレジスタのビット0 (TXD0端子用) またはビット1 (TXD1端子用) に“1”をライトします。  
P61/RXD0, P64/RXD1端子は、ポート/ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でも、シリアル受信データとしてSIOへ入力されます。

図3.5.12 ポート6関係のレジスタ

## 3.5.7 ポート7 (P70, P71)

ポート7はビット単位で入出力の指定ができる2ビットの汎用入出力ポートです。このポート7は大電流出力可能でLEDを直接駆動することができます。リセット動作によりP7CRの値は“0”にリセットされ、全ビットが入力ポートとなります。

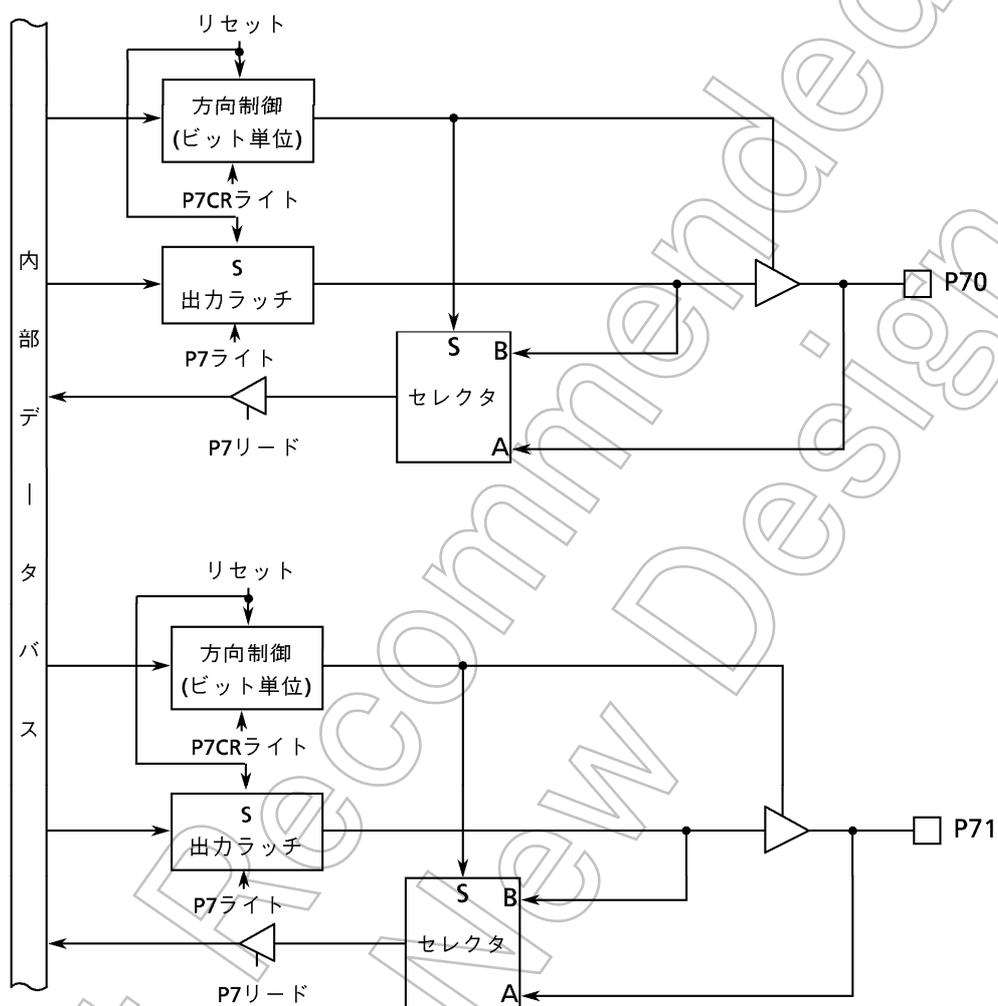


図3.5.13 ポート7

ポート7レジスタ

	7	6	5	4	3	2	1	0					
P7 (0013H)	/						P71		P70				
Bit symbol													
Read/Write							R/W						
リセット後	/						外部端子データ (出力ラッチレジスタは "1" にセットされます。)						
機能													

ポート7コントロールレジスタ

	7	6	5	4	3	2	1	0					
P7CR (0015H)	/						P71C		P70C				
Bit symbol													
Read/Write							W						
リセット後	/						0		0				
機能							0: 入力 1: 出力						

リード  
モディファイ  
ライト  
できません。

↓  
ポート7の入力/出力設定

0	入力
1	出力

図3.5.14 ポート7関係のレジスタ

### 3.6 8ビットタイマ

8ビットタイマを4本(タイマ0~3)内蔵しています。

4本の8ビットタイマはそれぞれ独立に動作させることができます。また、カスケード接続することで2本の16ビットタイマとして使用できます。8ビットタイマは次の4種類の動作モードを持っています。

- 8ビットインタバルタイマモード (4本)
  - 16ビットインタバルタイマモード (2本)
- 組み合わせ可能  
(8ビット×2本、16ビット×1本など)
- 8ビットプログラマブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード (1本)
  - 8ビットPWM (パルス幅変調: 固定周期で可変デューティ) 出力モード (1本)

図3.6.1に8ビットタイマ(タイマ0,1)のブロック図を、図3.6.2に8ビットタイマ(タイマ2,3)のブロック図を示します。

各タイマは8ビットのアップカウンタ、8ビットのコンパレータ、および8ビットのタイマレジスタで構成され、タイマ0,1のペアにタイマフリップフロップTFF1、タイマ2,3のペアにタイマフリップフロップTFF3が用意されています。

各タイマへの入力クロックのうち $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T256$ の内部クロックは、図3.6.3に示す9ビットプリスケアラより得ています。

8ビットタイマの動作モードやタイマフリップフロップは、5つのコントロールレジスタ(T10MOD, T32MOD, TFFCR, TRUN, TRDC)で制御されます。

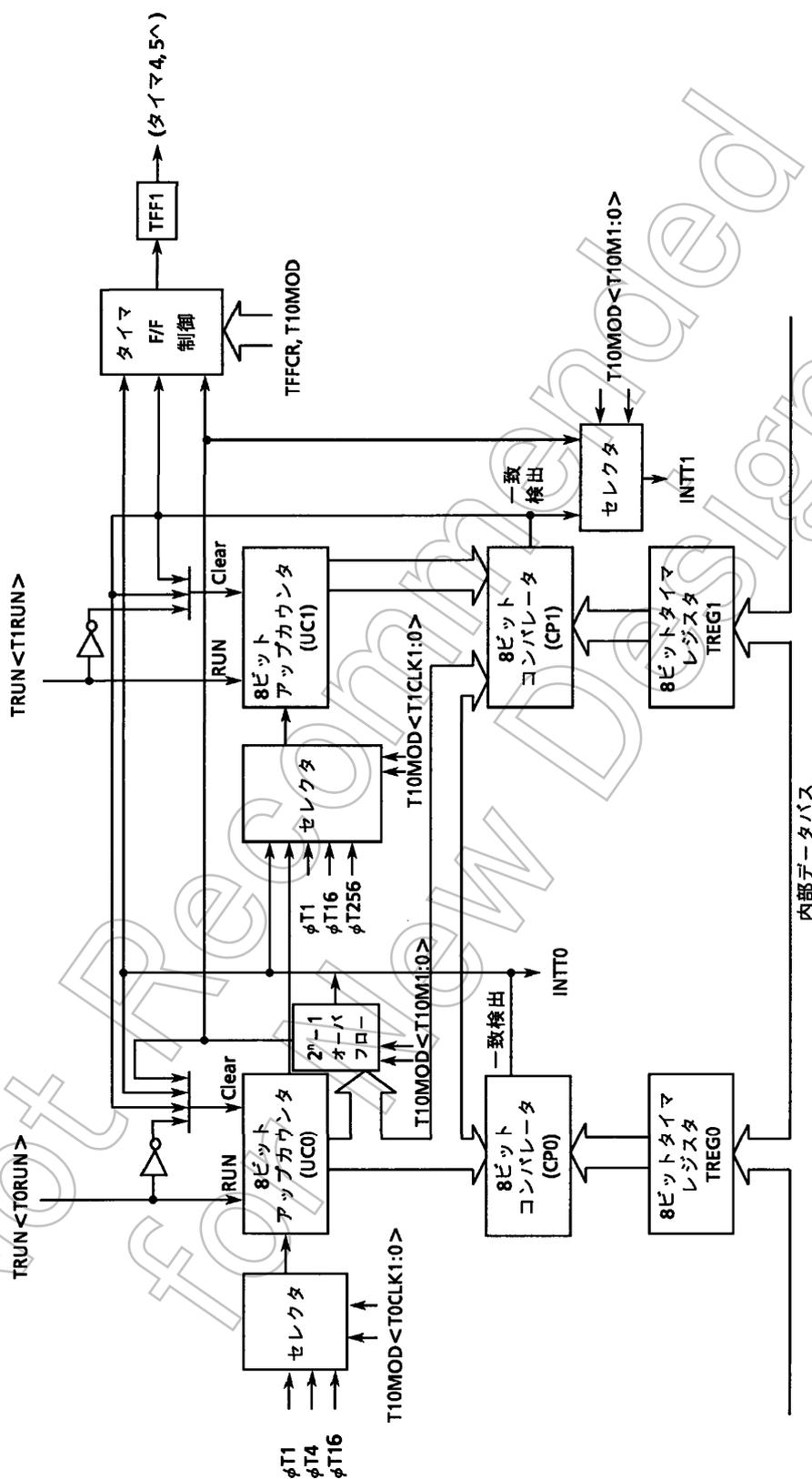


図3.6.1 8ビットタイマブロック図(タイマ0,1)

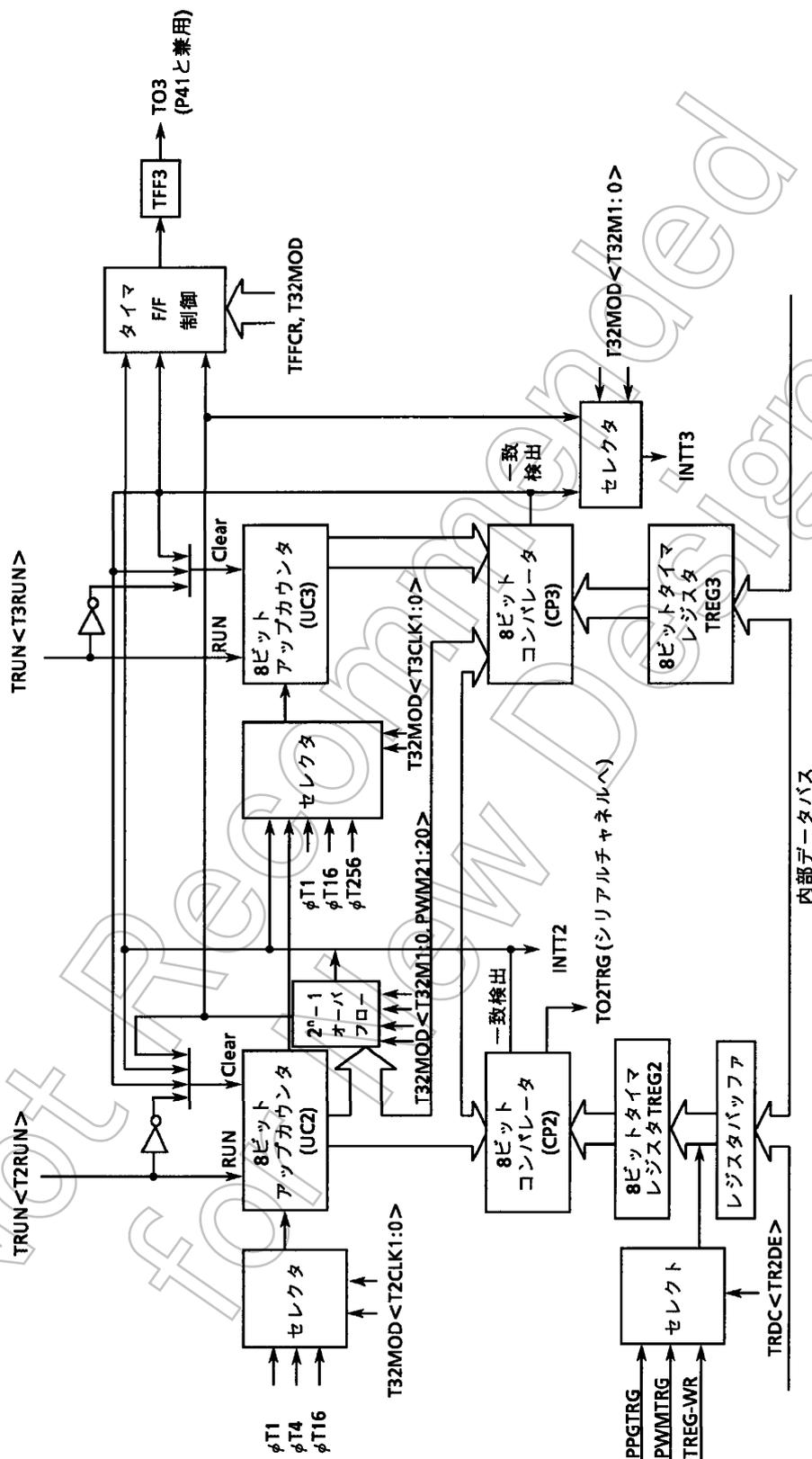


図3.6.2 8ビットタイマブロック図(タイマ2,3)

① プリスケーラ,プリスケーラクロック選択

8ビットタイマ0~3、16ビットタイマ/イベントカウンタ4、5、シリアルインタフェース0、1への入力クロックを生成するために、プリスケーラクロック選択レジスタ、9ビットプリスケーラがあります。ブロック図を図3.6.3に、8、16ビットタイマへのプリスケーラ出力クロックによる分解能を表3.6.1に示します。

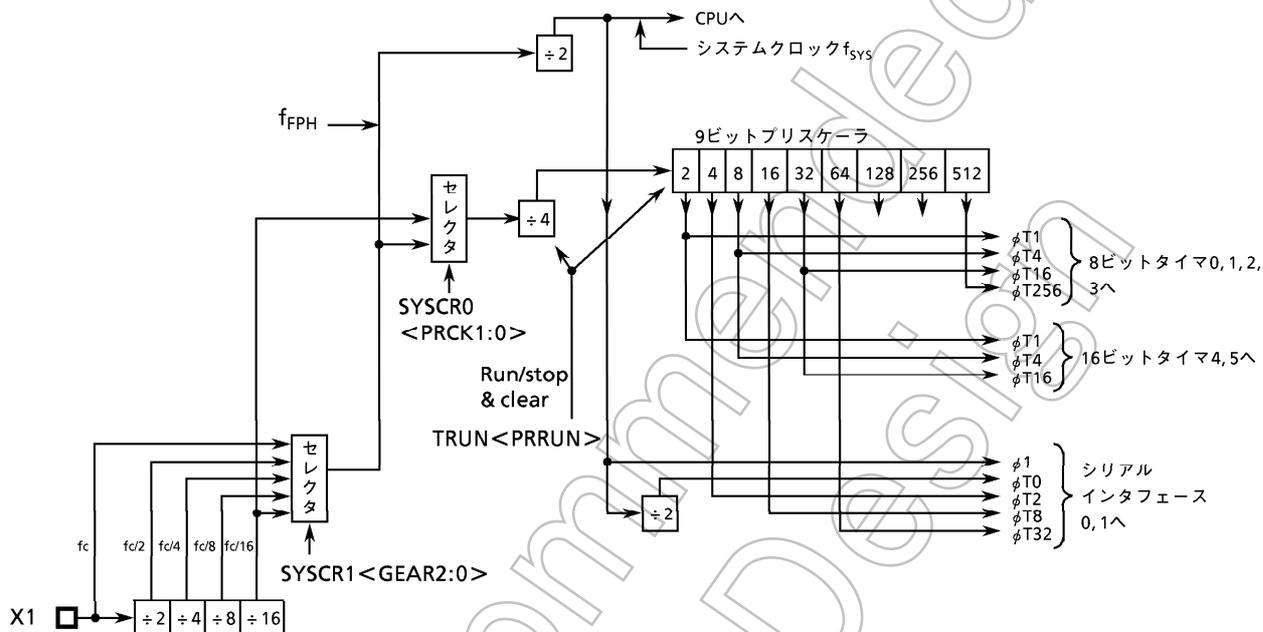


図3.6.3 プリスケーラブロック図

表3.6.1 8、16ビットタイマ入力クロック分解能

@ fc = 20 MHz

プリスケーラ用 クロック選択 <PRCK1:0>	クロック ギア値 <GEAR2:0>	プリスケーラ出カクロック分解能			
		φT1	φT4	φT16	φT256
00 (f_FPH)	000 (fc)	fc/2 <sup>3</sup> (0.4 μs)	fc/2 <sup>5</sup> (1.6 μs)	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>11</sup> (102.4 μs)
	001 (fc/2)	fc/2 <sup>4</sup> (0.8 μs)	fc/2 <sup>6</sup> (3.2 μs)	fc/2 <sup>8</sup> (12.8 μs)	fc/2 <sup>12</sup> (204.8 μs)
	010 (fc/4)	fc/2 <sup>5</sup> (1.6 μs)	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>9</sup> (25.6 μs)	fc/2 <sup>13</sup> (409.6 μs)
	011 (fc/8)	fc/2 <sup>6</sup> (3.2 μs)	fc/2 <sup>8</sup> (12.8 μs)	fc/2 <sup>10</sup> (51.2 μs)	fc/2 <sup>14</sup> (819.2 μs)
	100 (fc/16)	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>9</sup> (25.6 μs)	fc/2 <sup>11</sup> (102.4 μs)	fc/2 <sup>15</sup> (1.6384 ms)
10 (fc/16クロック)	XXX	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>9</sup> (25.6 μs)	fc/2 <sup>11</sup> (102.4 μs)	fc/2 <sup>15</sup> (1.6384 ms)
XXX: Don't care		← 16ビット タイマ →			
		← 8ビット タイマ →			

このプリスケアラへの入力クロックは、 $f_{PPH}$ 、 $f_c/16$ の2種類より選択されたクロックを4分周したクロックです。この選択は、プリスケアラクロック選択レジスタSYSCR0<PRCK1:0>により行います。

リセット後、<PRCK1:0>="00"となりますので、 $f_{PPH}$ の4分周したクロックがプリスケアラの入力クロックとなります。

8ビットタイマには、プリスケアラ出力クロックより $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T256$ の4種類のクロックが用いられます。

このプリスケアラは、タイマ動作コントロールレジスタTRUN<PRRUN>によってカウント/停止させることができます。<PRRUN>=1にするとカウント開始し、<PRRUN>=0にすると"0"にクリアされて停止します。リセットにより、<PRRUN>は"0"にクリアされますので、プリスケアラはクリアされ停止します。

なお、IDLE1モードを使用する場合は、消費電力削減のためHALT命令実行前に<PRRUN>を"0"にクリアし、プリスケアラをストップしてください。

## ② アップカウンタ

8ビットタイマモードレジスタT10MODまたはT32MODで指定された入力クロックによってカウントアップする8ビットのバイナリカウンタです。

タイマ0,2の入力クロックは、3種類の内部クロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ から、T10MOD<T0CLK1:0>/T32MOD<T2CLK1:0>の設定値に応じて選択されます。

タイマ1,3の入力クロックは動作モードによって異なります。16ビットタイマモードに設定した場合は、それぞれタイマ0およびタイマ2のオーバーフロー出力が入力クロックとなり、16ビットタイマモード以外の設定の場合は、T10MODとT32MODの設定により内部クロック $\phi T1$ 、 $\phi T16$ 、 $\phi T256$ と、タイマ0,2のコンパレータ出力(一致検出)の中から選択されます。

例: T10MOD<T10M1:0>="01"に設定すると、タイマ1の入力クロックは、タイマ0のオーバーフロー出力となります(16ビットタイマモード)。

T10MOD<T10M1:0>=00, T10MOD<T1CLK1:0>="01"に設定すると、タイマ1の入力クロックは、 $\phi T1$ となります(8ビットタイマモード)。

動作モードもT10MODとT32MODで設定します。リセット時は、それぞれT10MOD<T10M1:0>=00, T32MOD<T32M1:0>="00"に初期化されますので、8ビットタイマモードとなっています。

アップカウンタは、タイマ動作コントロールレジスタTRUNによってカウント/停止&クリアを各インタバルタイマごとに制御することができます。リセット時、すべてのアップカウンタはクリアされて、タイマは停止しています。

## ③ タイマレジスタ

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタTREG0~TREG3への設定値とアップカウンタの値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を00Hにした場合は、アップカウンタのオーバフロー時に一致信号がアクティブになります。

TREG2は、ダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファのイネーブル/ディセーブルは、8ビットタイマダブルバッファコントロールレジスタTRDC<TR2DE>の設定により行います。<TR2DE>="0"のときディセーブル、<TR2DE>="1"のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWMモードの $2n-1$ オーバフロー、またはPPGモードの周期のコンペア一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TR2DE>="0"に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタに設定値を書き込み、<TR2DE>="1"に設定した後、レジスタバッファに次の設定値を書き込んでください。

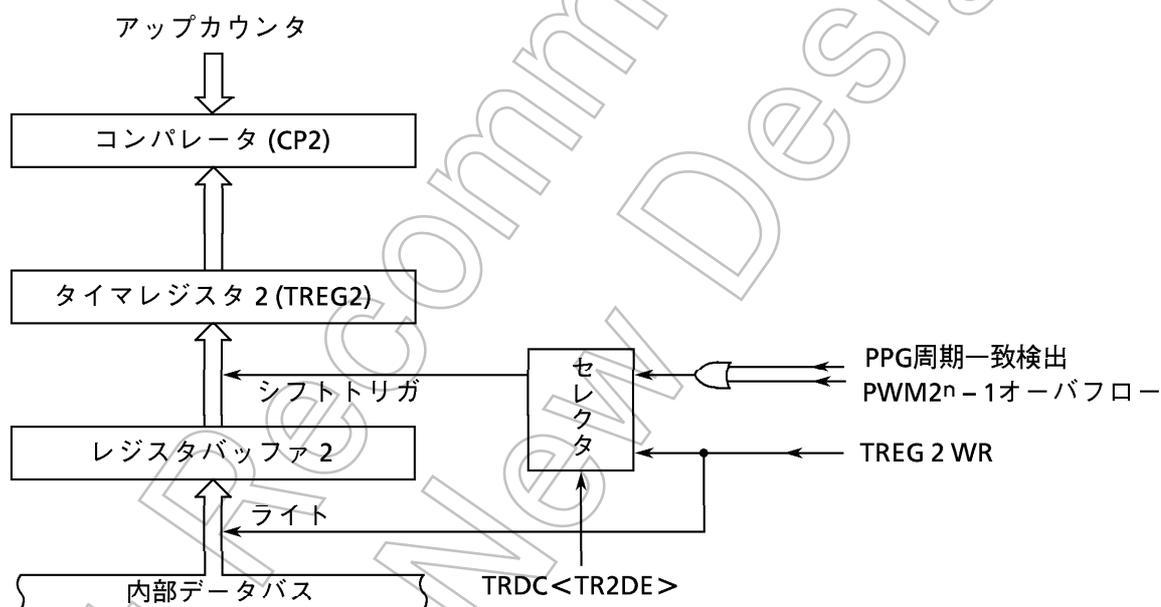


図3.6.4 タイマレジスタ2 (TREG2)の構成

注) タイマレジスタとレジスタバッファは同じメモリアドレスに割り付けられています。  
 <TR2DE>="0"のときは、レジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、<TR2DE>="1"のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのメモリアドレスは次のとおりです。

TREG0: 000022H      TREG2: 000026H  
 TREG1: 000023H      TREG3: 000027H

各レジスタとも書き込み専用のレジスタでリードできません。

#### ④ コンパレータ

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタを0にクリアするとともに、割り込みINTT0~INTT3を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

#### ⑤ タイマフリップフロップ

タイマフリップフロップ (TFF1, TFF3) は、各8ビットコンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、タイマフリップフロップコントロールレジスタTFFCR<TFF3IE, TFF1IE>により設定できます。

リセット後、TFF1, TFF3の値は不定となります。TFFCR<TFF3C1:0, TFF1C1:0>に“01”、または“10”を書き込むことで、TFF1, TFF3の値を“0”、または“1”に設定することができます。また、このビットに“00”を書き込むことにより、TFF1, TFF3の値を反転させることができます(ソフト反転)。

TFF3の値は、タイマ出力端子TO3 (P41と兼用)へ出力することができます。タイマ出力を行う場合、あらかじめポート4ファンクションレジスタP4FCにより設定を行う必要があります。TFF1の出力端子はありません。

Not Recommended for New Design

タイマ動作コントロールレジスタ

TRUN (0020H)	Bit symbol	7	6	5	4	3	2	1	0
	Read/Write	PRRUN		T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	TORUN
	リセット後	R/W		R/W					
	機能	0		0	0	0	0	0	0
プリスケアラ&タイマ動作/停止制御 0: 停止&クリア 1: 動作(カウントアップ)									

→ カウント動作

0	停止&クリア
1	カウント

- PRRUN: プリスケアラの動作
- T5RUN: 16ビットタイマ(タイマ5)の動作
- T4RUN: 16ビットタイマ(タイマ4)の動作
- T3RUN: 8ビットタイマ(タイマ3)の動作
- T2RUN: 8ビットタイマ(タイマ2)の動作
- T1RUN: 8ビットタイマ(タイマ1)の動作
- TORUN: 8ビットタイマ(タイマ0)の動作

注) TRUNのビット6は、リードすると“1”が読み出されます。

システムクロックコントロールレジスタ

SYSCRO (006EH)	Bit symbol	7	6	5	4	3	2	1	0
	Read/Write	-	-	-	-	-	-	PRCK1	PRCK0
	リセット後	R/W							
	機能	1	0	1	0	0	0	0	0
“1”をライトしてください(リードすると“1”が読めます)。 “0”をライトしてください(リードすると“0”が読めます)。 “1”をライトしてください(リードすると“1”が読めます)。 “0”をライトしてください(リードすると“0”が読めます)。 プリスケアラクロック選択 00: f <sub>FPH</sub> 01: (Reserved) 10: fc/16 11: (Reserved)									

↓ プリスケアラ入力クロック選択

00	f <sub>FPH</sub>
01	(Reserved)
10	fc/16
11	(Reserved)

図3.6.5 8ビットタイマ関係のレジスタ (1/5)

タイマ1,0モードコントロールレジスタ

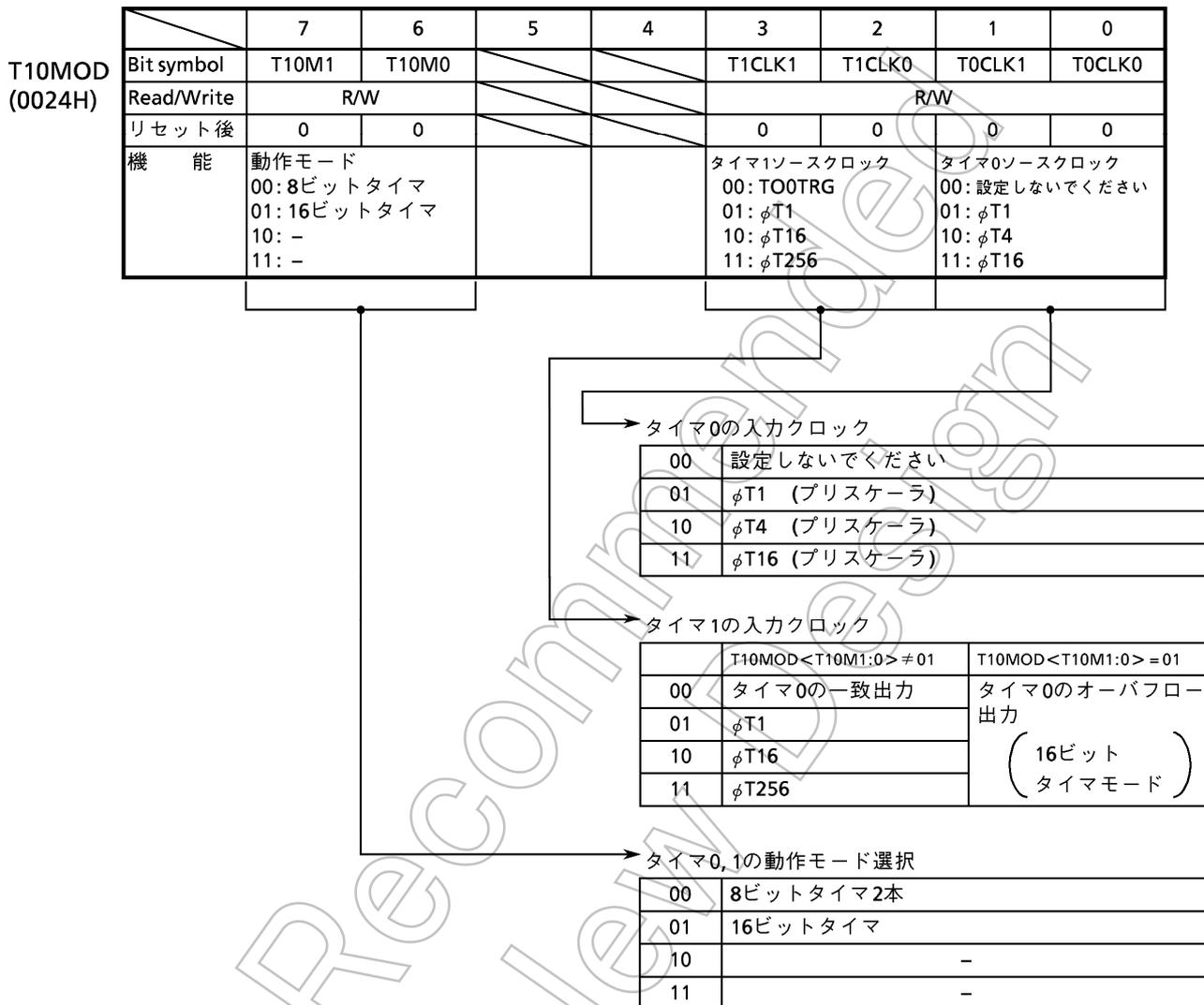


図3.6.6 8ビットタイマ関係のレジスタ (2/5)

タイマ3,2モードコントロールレジスタ

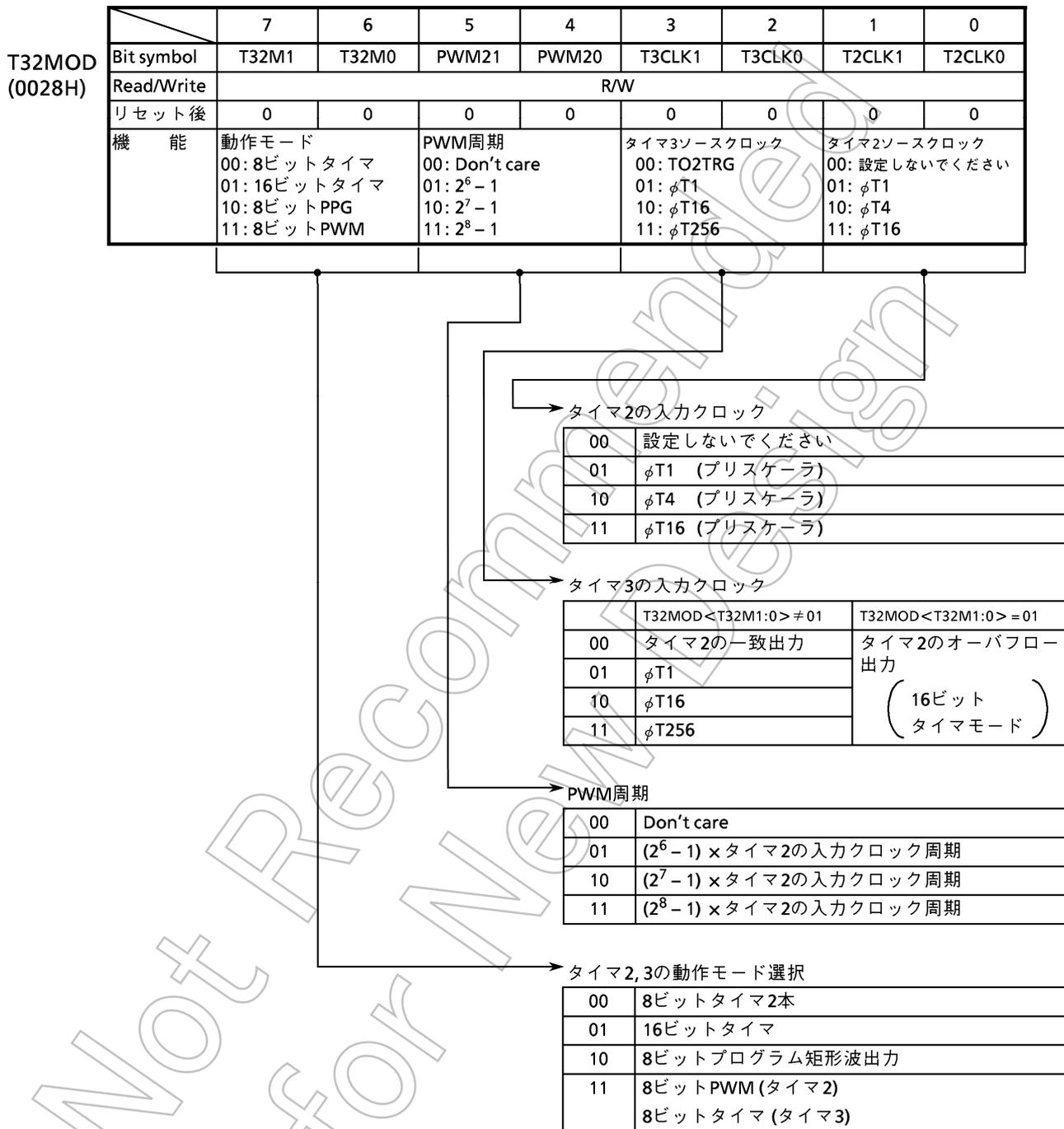
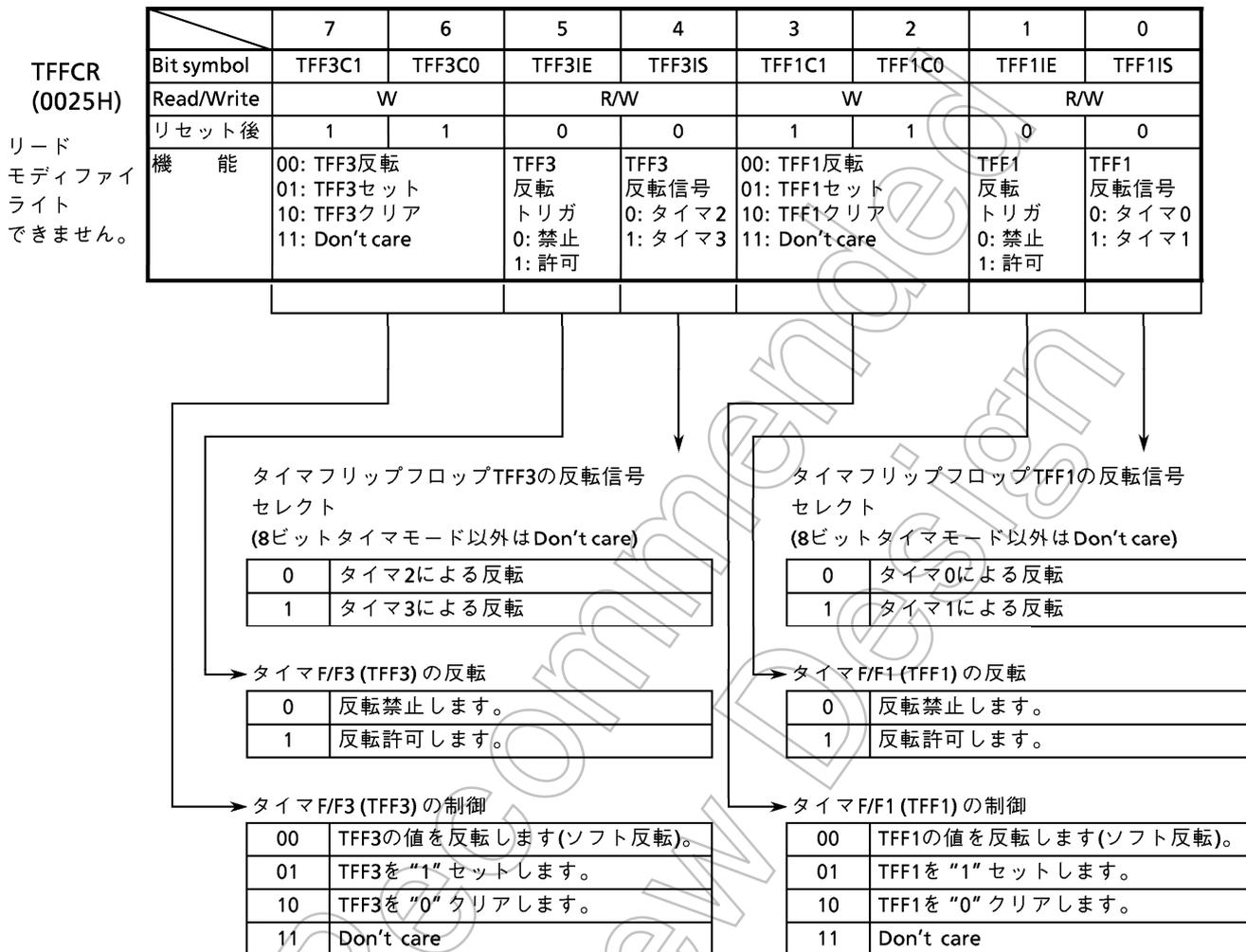


図3.6.7 8ビットタイマ関係のレジスタ(3/5)

タイマフリップフロップコントロールレジスタ



注) TFFCR<TFF3C1:0, TFF1C1:0>は、リードすると“1”が読み出されます。

図3.6.8 8ビットタイマ関係のレジスタ (4/5)

タイマレジスタダブルバッファコントロールレジスタ

	7	6	5	4	3	2	1	0
TRDC (0029H)	/						TR2DE	-
Bit symbol	/						R/W	
Read/Write	/						0	0
リセット後	/						タイマレジスタ2ダブルバッファの制御	
機能	/							

↓  
タイマレジスタ2ダブルバッファの制御

0	禁止
1	許可

図3.6.9 8ビットタイマ関係のレジスタ (5/5)

Not Recommended for New Designs

次に8ビットタイマの動作説明をします。

### (1) 8ビットタイマモード

4本のインタバルタイマ0~3は、それぞれ独立に8ビットインタバルタイマとして使用できます。機能およびカウントデータの設定を行う場合は、タイマ0~3を停止させた状態で行います。

#### 1. 一定周期の割り込みを発生させる場合

ここではタイマ3を使用した例を示します。タイマ3を用いて一定周期ごとにタイマ3割り込みINTT3を発生させる場合、まずタイマ3を停止させ、動作モード、入力クロック、周期をそれぞれT32MOD, TREG3に設定します。次に割り込みINTT3をイネーブルにしてから、タイマ3をカウントさせます。

例:  $f_c = 20 \text{ MHz}$ で $10 \mu\text{s}$ ごとにタイマ3割り込みを発生させたい場合、次の順序で各レジスタを設定します。

\* クロック条件

クロックギア:	1倍
プリスケールクロック:	$f_{\text{FPH}}$

	MSB		LSB						
	7	6	5	4	3	2	1	0	
TRUN	←	-	X	-	-	0	-	-	タイマ3を停止し、0にクリアします。
T32MOD	←	0	0	X	X	0	1	-	8ビットタイマモードにし、入力クロックを $\phi T1$ ( $0.4 \mu\text{s}$ 分解能, @ $f_c = 20 \text{ MHz}$ ) に設定します。
TREG3	←	0	0	0	1	1	0	0	タイマレジスタ3に $10 \mu\text{s} \div \phi T1 = 25$ (19H) を書き込みます。
INTT3	←	1	1	0	1	-	-	-	INTT3をイネーブル、割り込みレベル5に設定します。
TRUN	←	1	X	-	-	1	-	-	タイマ3をカウントさせます。

X: Don't care、-: No change

入力クロックの選択は表3.6.1を参考にしてください。

注) タイマ2とタイマ3の入力クロックは下記のように異なります。

タイマ2:  $\phi T1$ ,  $\phi T4$ ,  $\phi T16$

タイマ3: タイマ2の一致検出信号、 $\phi T1$ ,  $\phi T16$ ,  $\phi T256$

2. デューティ50%の矩形波を出力させる場合

タイマフリップフロップは、タイマ1およびタイマ3にあります。

一定周期ごとにタイマフリップフロップTFF3の値を反転させ、この値をタイマ出力端子TO3へ出力します。TFF1の出力端子はありません。

例:  $f_c = 20 \text{ MHz}$ で周期 $2.4 \mu\text{s}$ の矩形波をTO3端子から出力させたい場合、次の順序で各レジスタを設定します。この場合、タイマ2かタイマ3を用いますが、ここではタイマ3を使用したときのレジスタ設定例を示します。

\* クロック条件  $\left\{ \begin{array}{l} \text{クロックギア: } 1\text{倍}(f_c) \\ \text{プリスケールクロック: } f_{\text{FPH}} \end{array} \right.$

7 6 5 4 3 2 1 0		
TRUN ← - X - - 0 - - -	}	タイマ3を停止し、0にクリアします。
T32MOD ← 0 0 X X 0 1 - -		8ビットタイマモードにし、入力クロックを $\phi T1$ ( $0.4 \mu\text{s}$ @ $f_c = 20 \text{ MHz}$ ) にします。
TREG3 ← 0 0 0 0 0 0 1 1		タイマレジスタに $2.4 \mu\text{s} \div \phi T1 \div 2 = 3$ をセットします。
TFFCR ← 1 0 1 1 - - - -		TFF3を0にクリアし、タイマ3からの一致検出信号で反転するように設定します。
P4CR ← X X X X - - 1 -		P41をTO3出力端子に設定します。
P4FC ← X X X X - - 1 X		
TRUN ← 1 X - - 1 - - -		タイマ3のカウントを開始させます。

X: Don't care、 -: No change

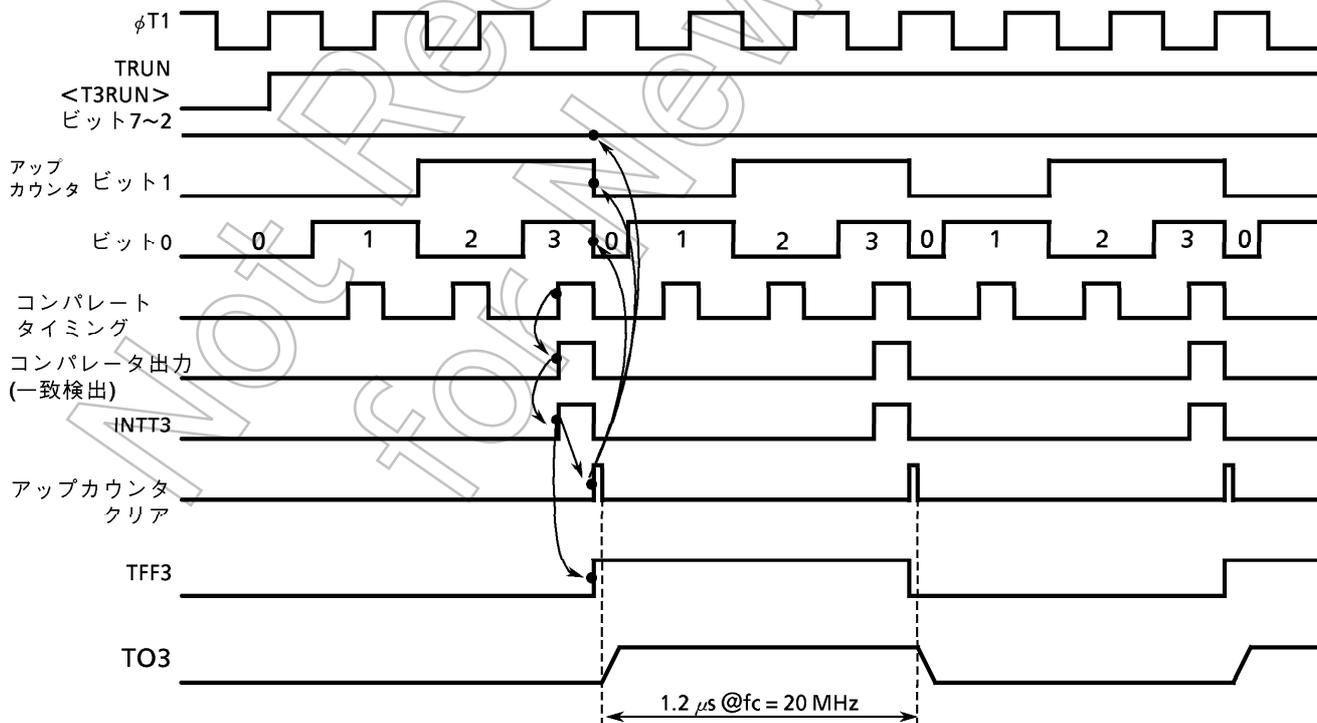


図3.6.10 矩形波 (デューティ50%) 出力のタイミングチャート

### 3. タイマ0の一致出力でタイマ1をカウントアップさせる場合 (同じ機能をタイマ2とタイマ3を使用して実現できます)

8ビットタイマモードに設定し、タイマ1の入力クロックをタイマ0のコンパレータ出力に設定します。

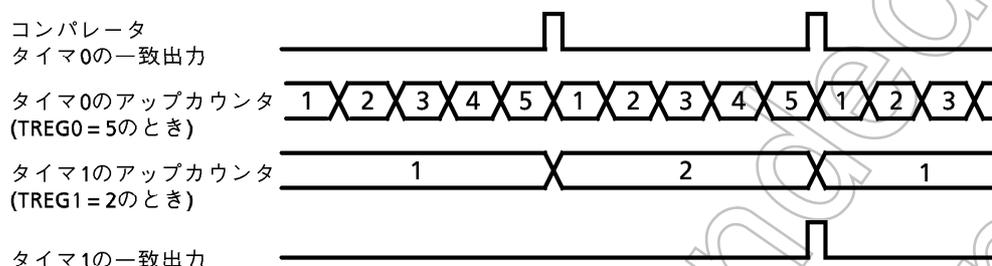


図3.6.11 タイマ0によるタイマ1のカウントアップ

#### (2) 16ビットタイマモード

タイマ0と1またはタイマ2と3をペアにして、16ビットインタバルタイマとして使用できます。

タイマ0,1モードレジスタT10MOD<T10M1:0>、またはT32MOD<T32M1:0>を“01”に設定することで16ビットタイマモードとなります。

16ビットタイマモードに設定すると、T10MOD<T1CLK1:0>とT32MOD<T3CLK1:0>の設定値にかかわらず、タイマ1と3の入力クロックは、それぞれタイマ0,タイマ2のオーバーフロー出力になります。タイマ0とタイマ2の入力クロックの選択は表3.7.1を参考にしてください。

タイマ割り込み周期は、タイマレジスタTREG0とTREG2に下位8ビットを、TREG1とTREG3に上位8ビットを設定します。この場合、必ずTREG0またはTREG2から先に設定してください(TREG0またはTREG2にデータを書き込むとコンパレータが一時禁止され、TREG1またはTREG3へのデータ書き込みでコンパレータが開始されるためです)。

例:  $f_c = 20 \text{ MHz}$ で0.4秒ごとに割り込みINTT3を発生させる場合、タイマレジスタTREG2,3には次の値を設定します。

\* クロック条件  $\left\{ \begin{array}{l} \text{クロックギア:} \quad 1\text{倍}(f_c) \\ \text{プリスケールクロック:} \quad f_{\text{FPH}} \end{array} \right.$

$\phi T_{16} (= 6.4 \mu\text{s} @ 20 \text{ MHz})$ を入力クロックとしてカウントすると

$$0.4 \text{ s} \div 6.4 \mu\text{s} = 62500 = \text{F424H}$$

従って、TREG3=F4H, TREG2=24Hを設定します。

タイマ2のコンパレータ出力は、アップカウンタUC2とTREG2とが一致するたびに出力されますが、アップカウンタUC2はクリアされません。また、このときINTT2は発生しません。

タイマ3のコンパレータは、アップカウンタUC3とTREG3と一致すると、コンパレータタイミング時に、毎回一致検出信号が出力されます。タイマ2,3両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタUC2,3が0にクリアされ、割り込みINTT3が発生します。また、反転インネーブルであれば、タイマフリップフロップTFF3の値は反転されます。

例: TREG3 = 04H, TREG2 = 80H の場合

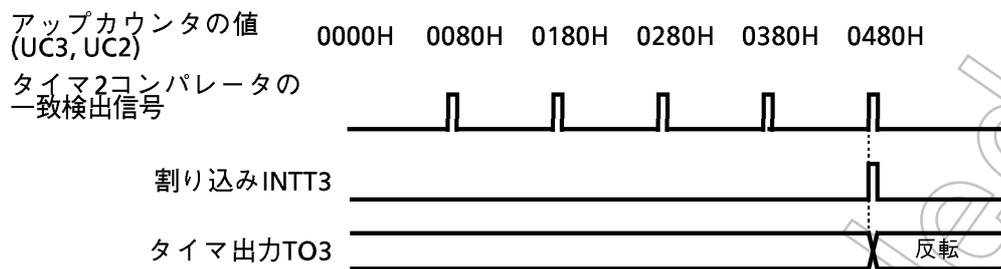


図3.6.12 16ビットタイマモードによるタイマ出力

### (3) 8ビットPPG (プログラマブル矩形波) 出力モード

タイマ2を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスはLowアクティブ、Highアクティブどちらの設定も可能です。

このモードに設定した場合、タイマ3は使用できません。

矩形波はTO3 (P41と兼用)へ出力されます。

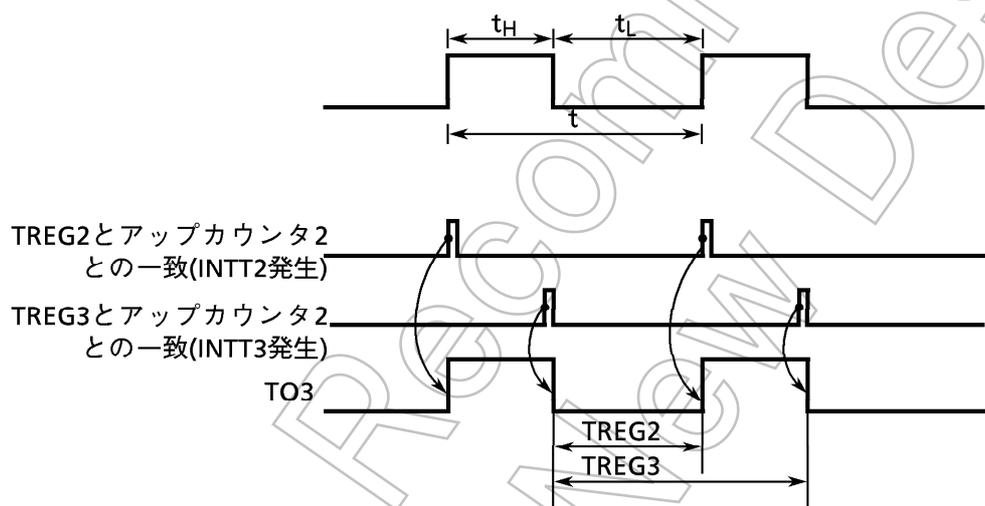


図3.6.13 8ビットPPG出力波形

このモードは、8ビットアップカウンタUC2が、タイマレジスタTREG2およびTREG3と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TREG2の設定値) < (TREG3の設定値) の条件を満たす必要があります。

なお、このモードでは、タイマ3のアップカウンタUC3は使用できませんが、TRUN < T3RUN > = 1に設定して、タイマ3をカウント状態にしてください。

このモードをブロック図で示すと、図3.6.14のようになります。

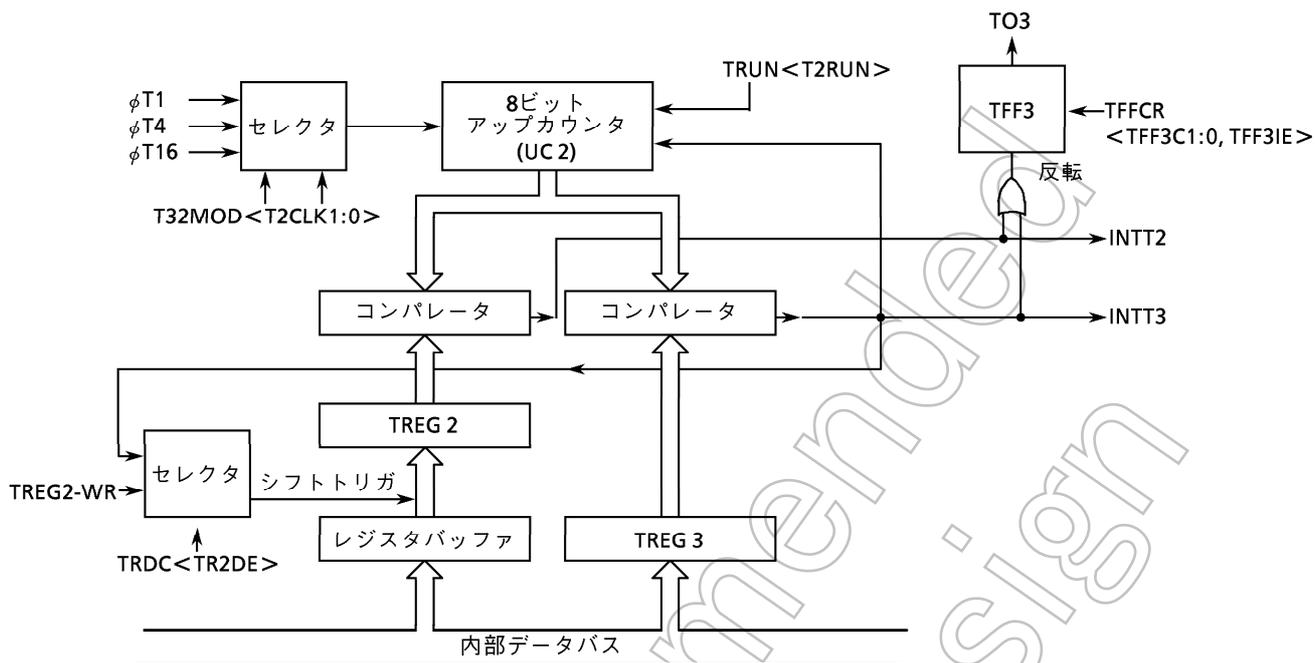


図3.6.14 8ビットPPG出力モードのブロック図

このモードでは、TREG2をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TREG3とUC2の一致時にTREG2へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ(デューティを変化させるとき)への対応が容易に行えます。

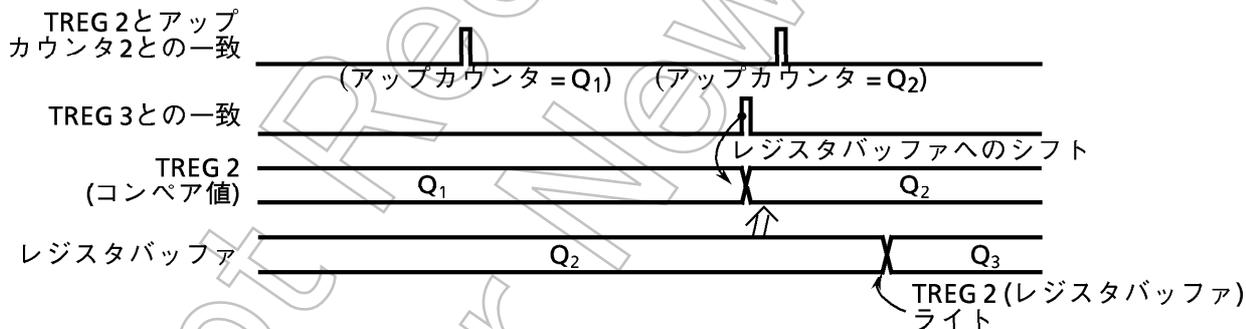


図3.6.15 レジスタバッファの動作

例: デューティ1/4の62.5 kHzのパルスを出力する場合( $f_c = 20 \text{ MHz}$ )



\* クロック条件  $\left\{ \begin{array}{l} \text{クロックギア: } 1 \text{倍 (} f_c \text{)} \\ \text{プリスケラクロック: } f_{\text{FPH}} \end{array} \right.$

タイマレジスタへの設定値を求めます。

周波数を62.5 kHzにするには、周期 $t = 1/62.5 \text{ kHz} = 16 \mu\text{s}$ の波形をつくります。

$\phi T1 = 0.4 \mu\text{s}$  ( $@f_c = 20 \text{ MHz}$ ) を用いると、

$$16 \mu\text{s} \div 0.4 \mu\text{s} = 40$$

従ってタイマレジスタ3 (TREG3) を、 $TREG3 = 40 = 28\text{H}$

次にデューティを1/4にするには、 $t \times 1/4 = 16 \mu\text{s} \times 1/4 = 4 \mu\text{s}$

$$4 \mu\text{s} \div 0.4 \mu\text{s} = 10$$

従って、 $TREG2 = 10 = 0\text{AH}$ に設定します。

	7	6	5	4	3	2	1	0	
TRUN	←	-	X	-	-	0	0	-	タイマ2,3を停止し、0にクリアします。
T32MOD	←	1	0	X	X	X	0	1	8ビットPPGモードにし、入力クロックを $\phi T1$ にします。
TREG2	←	0	0	0	0	1	0	1	0AHを書き込みます。
TREG3	←	0	0	1	0	1	0	0	28Hを書き込みます。
TFFCR	←	0	1	1	X	-	-	-	TFF3をセットし、反転イネーブルにします。
									↑
									→ "10" にすると負論理の出力波形が得られます。
P4CR	←	X	X	X	X	-	-	1	} P41をTO3端子に設定します。
P4FC	←	X	X	X	X	-	-	1	
TRUN	←	1	X	-	-	1	1	-	タイマ2,3のカウントを開始します。

X: Don't care、 -: No change

(4) 8ビットPWM出力モード

タイマ2にのみ可能なモードです。分解能8ビットまでのPWMを出力することができます。PWM出力は、TO3端子 (P41と兼用)へ出力されます。

このモードでは、タイマ3は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタUC2がタイマレジスタTREG2の設定値と一致したとき、 $2^n - 1$  ( $n=6, 7, 8$ のいずれかT32MOD <PWM21:20> で指定) カウンタオーバーフロー発生時に起こります。また、UC2は $2^n - 1$ カウンタのオーバーフローによってクリアされます。

なお、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(タイマレジスタの設定値) < ( $2^n - 1$ カウンタのオーバーフロー設定値)

(タイマレジスタの設定値)  $\neq 0$

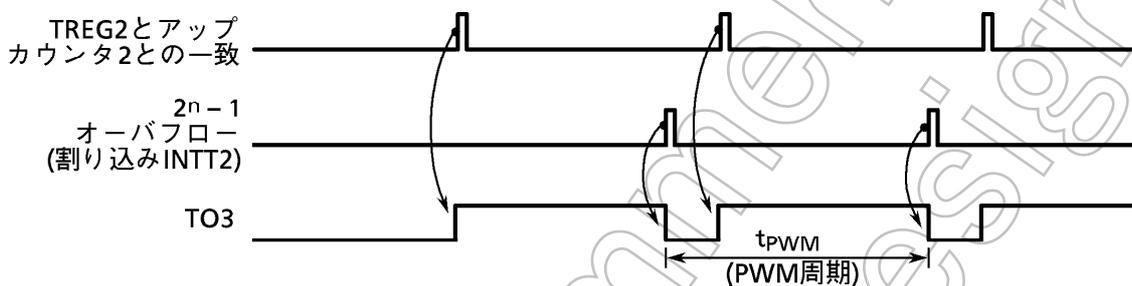


図 3.6.16 8ビットPWM出力波形

このモードをブロック図で示すと図3.6.17のようになります。

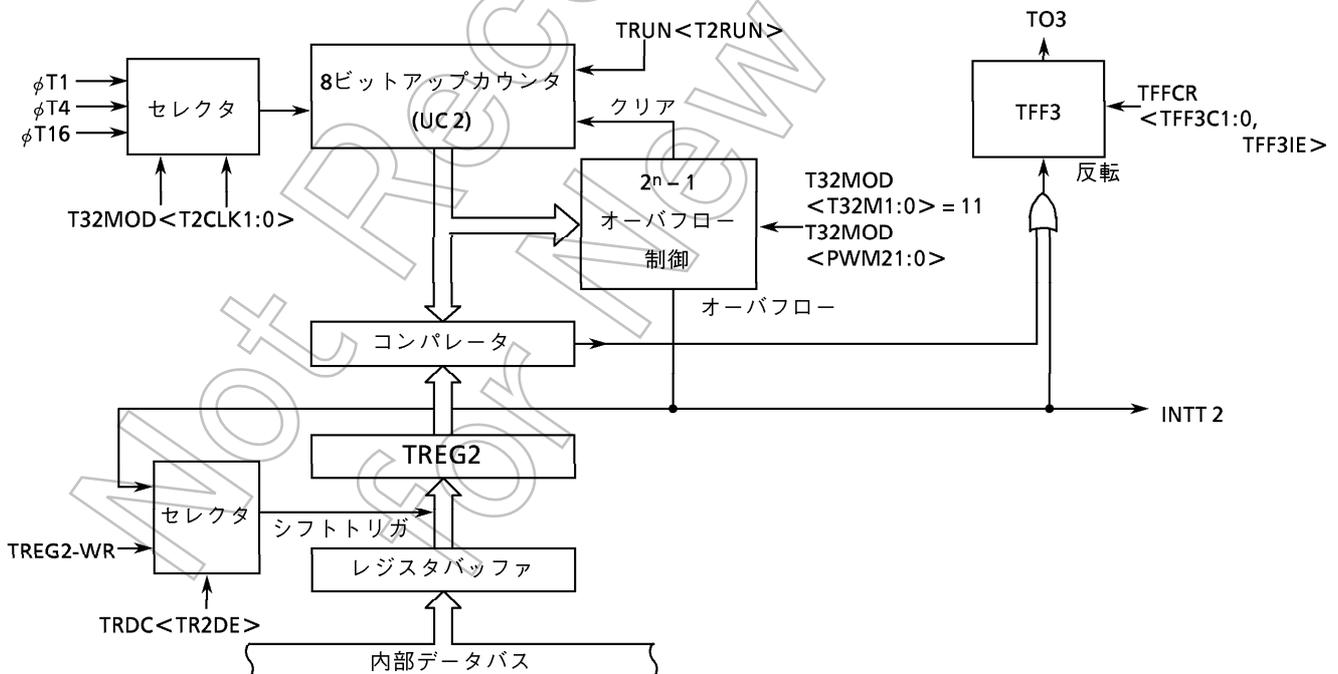


図 3.6.17 8ビットPWM出力モードのブロック図

このモードでは、TREG2をダブルバッファイネーブルにすることにより、 $2^n-1$ オーバフロー検出で、レジスタバッファの値がTREG2へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

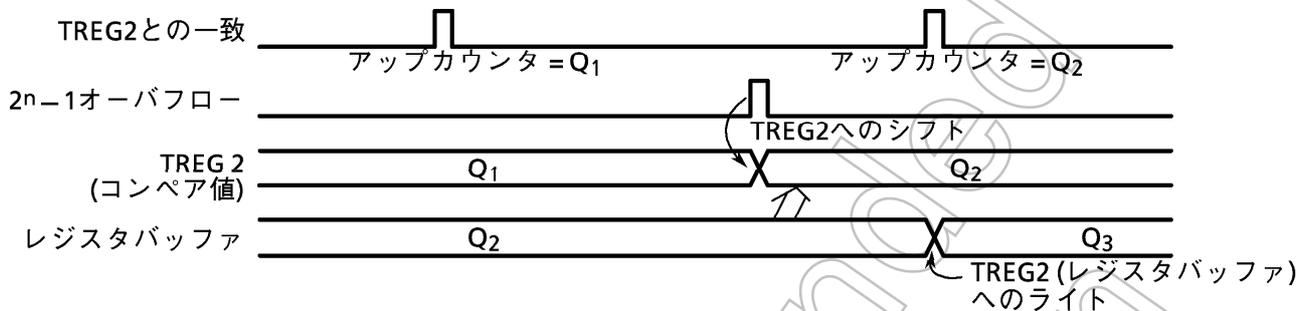


図 3.6.18 レジスタバッファの動作

例:  $f_c=20\text{ MHz}$ 時、タイマ2を使って下記のPWM波形をTO3端子へ出力する場合



\* クロック条件  
 クロックギア: 1倍 ( $f_c$ )  
 プリスケールクロック:  $f_{FPH}$

PWM周期 $50.8\ \mu\text{s}$ を $\phi T1=0.4\ \mu\text{s}$  ( $@ f_c=20\text{ MHz}$ ) で実現する場合

$$50.8\ \mu\text{s} \div 0.4\ \mu\text{s} = 127 = 2^n - 1$$

従って $n=7$ に設定します。

“L”レベルの期間は $28.8\ \mu\text{s}$ ですから $\phi T1=0.4\ \mu\text{s}$ では、

$$28.8\ \mu\text{s} \div 0.4\ \mu\text{s} = 72 = 48H$$

をTREG2に設定します。

	MSB		LSB						
	7	6	5	4	3	2	1	0	
TRUN	-	-	X	-	-	-	0	-	タイマ2を停止し、0にクリアします。
T32MOD	1	1	1	0	-	-	0	1	8ビットPWMモード (周期 = $2^7 - 1$ ) にし、入クロックを $\phi T1$ にします。
TREG2	0	1	0	0	1	0	0	0	48Hを書き込みます。
TFFCR	1	0	1	X	-	-	-	-	TFF3をクリアし、反転イネーブルにします。
P4CR	X	X	X	X	-	-	1	-	} P41をTO3端子に設定します。
P4FC	X	X	X	X	-	-	1	X	
TRUN	1	X	-	-	-	1	-	-	タイマ2のカウントを開始します。

X: Don't care、 -: No change

表3.6.2 PWM周期

@ fc = 20 MHz

プリスケラ用 クロック選択 <PRCK1:0>	クロック ギア値 <GEAR2:0>	PWM周期								
		2 <sup>6</sup> - 1			2 <sup>7</sup> - 1			2 <sup>8</sup> - 1		
		φT1	φT4	φT16	φT1	φT4	φT16	φT1	φT4	φT16
00 (f <sub>FPH</sub> )	000 (fc)	25.2 μs	100.8 μs	403.2 μs	50.8 μs	203.2 μs	812.8 μs	102.0 μs	408.0 μs	1.63 ms
	001 (fc/2)	50.4 μs	201.6 μs	806.4 μs	101.6 μs	406.4 μs	1.63 ms	204.0 μs	816.0 μs	3.26 ms
	010 (fc/4)	100.8 μs	403.2 μs	1.61 ms	203.2 μs	812.8 μs	3.26 ms	408.0 μs	1.63 ms	6.53 ms
	011 (fc/8)	201.6 μs	806.4 μs	3.23 ms	406.4 μs	1.63 ms	6.52 ms	816.0 μs	3.26 ms	13.06 ms
	100 (fc/16)	403.2 μs	1.61 ms	6.45 ms	812.8 μs	3.25 ms	13.04 ms	1.63 ms	6.53 ms	26.11 ms
10 (fc/16クロック)	XXX	403.2 μs	1.61 ms	6.45 ms	812.8 μs	3.25 ms	13.04 ms	1.63 ms	6.53 ms	26.11 ms

XXX: Don't care

## (5) 各モード設定一覧

8ビットタイマの各モードをまとめると表3.6.3のような設定になります。

表3.6.3 各タイマモードの設定レジスタ

レジスタ名	T10MOD/T32MOD				TFFCR
	T10M/T32M	PWM2	T1CLK/T3CLK	TOCLK/T2CLK	TFF1S/TFF3IS
機能	タイマモード	PWM周期	上位タイマ 入カクロック	下位タイマ 入カクロック	タイマF/F反転 信号セレクト
16ビットタイマモード	01	* -	-	φT1, φT4, φT16 (01, 10, 11)	-
8ビットタイマ×2チャンネル	00	* -	下位タイマ一致 φT1, 16, 256 (00, 01, 10, 11)	φT1, φT4, φT16 (01, 10, 11)	0:下位タイマ出力 1:上位タイマ出力
8ビットPPG×1チャンネル	* 10	* -	* -	* φT1, φT4, φT16 (01, 10, 11)	* -
8ビットPWM×1チャンネル	* 11	* 2 <sup>6</sup> -1, 2 <sup>7</sup> -1, 2 <sup>8</sup> -1 (01, 10, 11)	* -	* φT1, φT4, φT16 (01, 10, 11)	* -
8ビットタイマ×1チャンネル	* 11	-	φT1, φT16, φT256 (01, 10, 11)	-	出力不可

-: Don't care、\*: T10MODでは、設定しないでください。

### 3.7 16ビットタイマ/イベントカウンタ

TMP93CS36は、多機能16ビットタイマ/イベントカウンタを2本(タイマ4,5)内蔵しています。16ビットタイマは、次の3つの動作モードを持っています。

- 16ビットインタバルタイマモード
- 16ビットイベントカウンタモード
- 16ビットプログラマブル矩形波出力 (PPG) モード

また、キャプチャ機能を利用することで、次のような動作を行うこともできます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

タイマ/イベントカウンタは、それぞれ16ビットアップカウンタ、16ビットタイマレジスタ2本(うち1本はダブルバッファ構造)、16ビットのキャプチャレジスタ2本、コンパレータ2個、およびキャプチャ入力制御、タイマF/Fとその制御回路で構成されています。

タイマ/イベントカウンタは、それぞれ4つのコントロールレジスタ(T4MOD/T5MOD, T4FFCR/T5FFCR, TRUN, T45CR)によって制御されています。

図3.7.1~3.7.2に、16ビットタイマ/イベントカウンタのブロック図(タイマ4,5)を示します。

16ビットタイマ4と16ビットタイマ5は、それぞれ独立に動作します。いずれのタイマも同一の動作をしますので、16ビットタイマ4の場合についてのみ説明します。

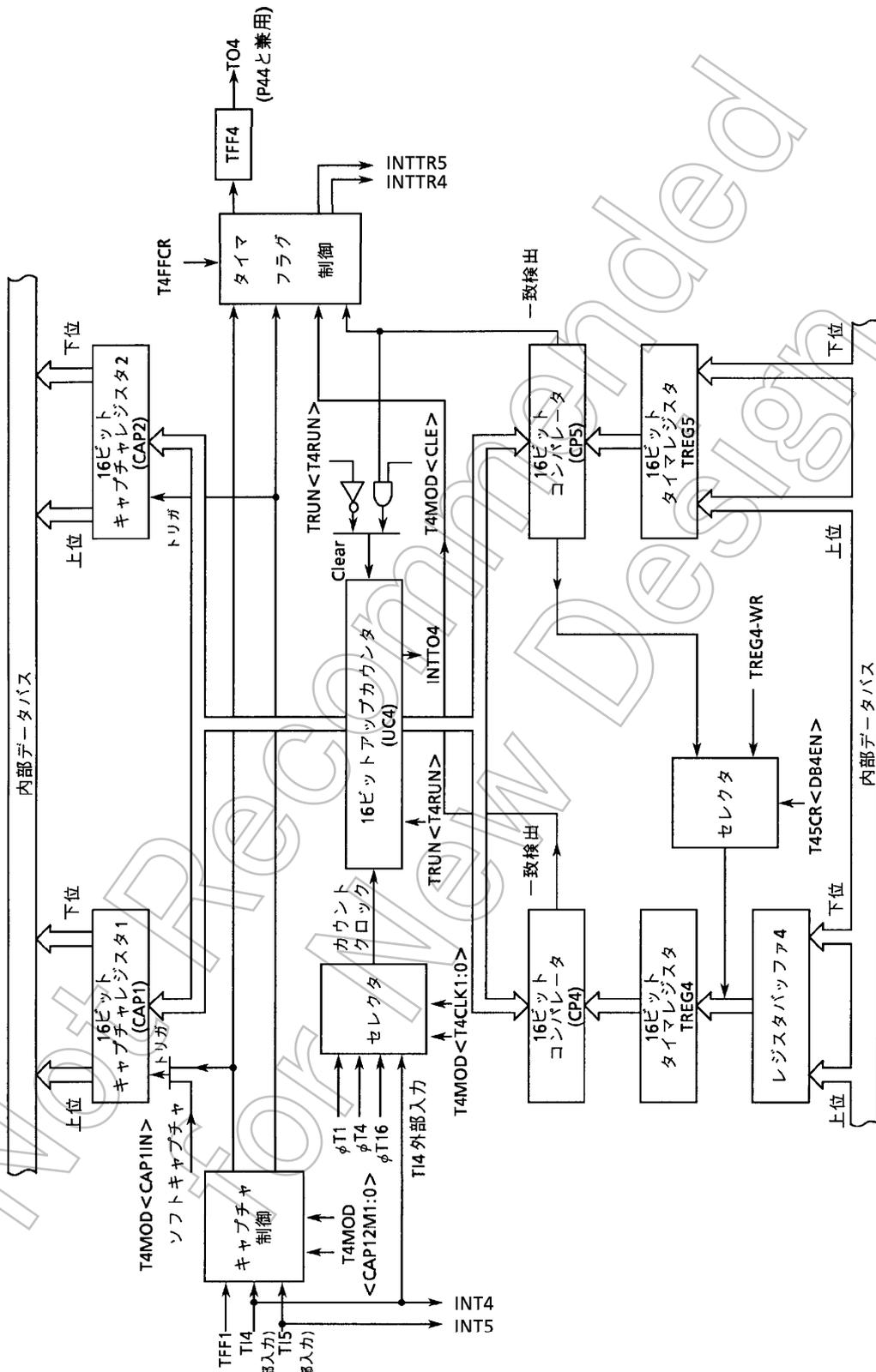


図3.7.1 16ビットタイマブロック図(タイマ4)

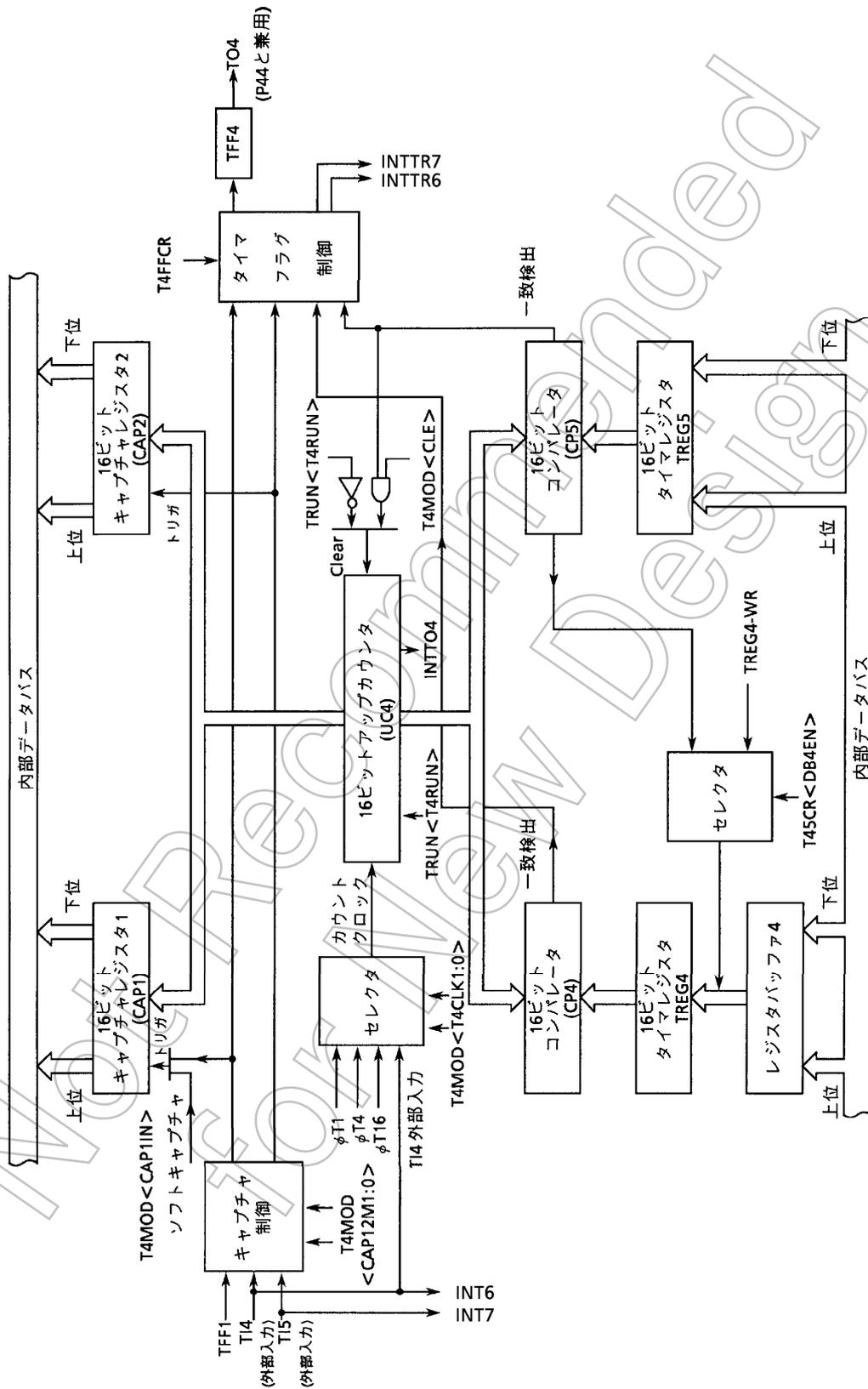


図3.7.2 16ビットタイマブロック図(タイマ5)

タイマ4モードコントロールレジスタ

	7	6	5	4	3	2	1	0
T4MOD (0038H)	Bit symbol		CAP1IN	CAP12M1	CAP12M0	CLE	T4CLK1	T4CLK0
	Read/Write		W		R/W			
	リセット後		1	0	0	0	0	0
リード モディファイ ライト できません。	機能		ソフトウェア キャプチャ 制御 0: ソフト キャプチャ 1: Don't care	キャプチャタイミ 00: 禁止 INT4は立ち上がり エッジ 01: TI4↑ TI5↑ INT4は立ち上がり エッジ 10: TI4↑ TI4↓ INT4は立ち下がり エッジ 11: TFF1↑ TFF1↓ INT4は立ち上がり エッジ	タイマ4 アップ カウンタ制御 0: クリア 禁止 1: クリア 許可	タイマ4ソースクロック 選択 00: TI4端子入力 01: φT1 10: φT4 11: φT16		

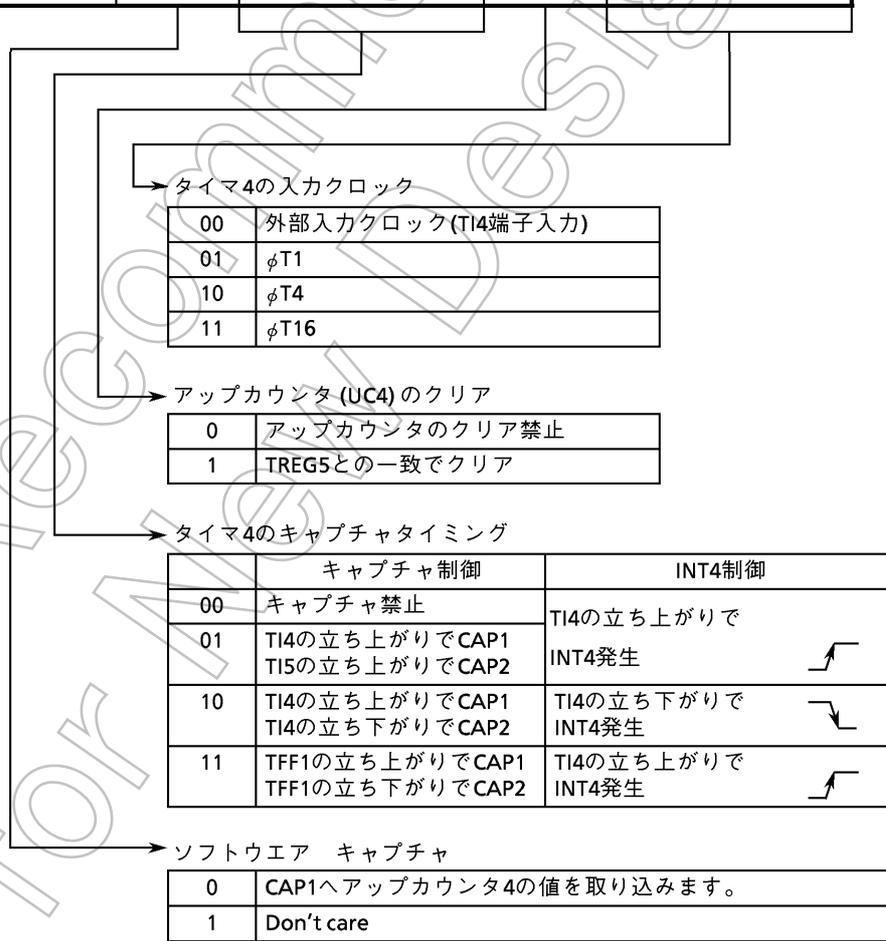


図3.7.3 16ビットタイマ/イベントカウンタ関係のレジスタ (1/6)

タイマ4フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0	
T4FFCR (0039H)	Bit symbol			CAP2T4	CAP1T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0	
	Read/Write			R/W				W		
	リセット後			0	0	0	0	1	1	
機能 リード モディファイ ライト できません。	機能	TFF4反転トリガ 0: トリガ禁止 1: トリガ許可							TFF4の制御 00: TFF4反転 01: TFF4セット 10: TFF4クリア 11: Don't care	
		CAP2への アップカ ウンタ値 取り込み 時	CAP1への アップカ ウンタ値 取り込み 時	アップカ ウンタと TREG5と の一致時	アップカ ウンタと TREG4と の一致時					
		タイマフリップフロップ4 (TFF4) の制御		アップカウンタとTREG4との一致時 タイマフリップフロップ4 (TFF4) の反転トリガ		アップカウンタとTREG5との一致時 タイマフリップフロップ4 (TFF4) の反転トリガ		CAP1へのアップカウンタ値取り込み時 タイマフリップフロップ4 (TFF4) の反転トリガ		
		CAP2へのアップカウンタ値取り込み時 タイマフリップフロップ4 (TFF4) の反転トリガ								

00	TFF4の値を反転します。(ソフト反転)
01	TFF4を“1”にセットします。
10	TFF4を“0”にクリアします。
11	Don't care (読み出すと“11”になります。)

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

図3.7.4 16ビットタイマ/イベントカウンタ関係のレジスタ (2/6)

タイマ5モードコントロールレジスタ

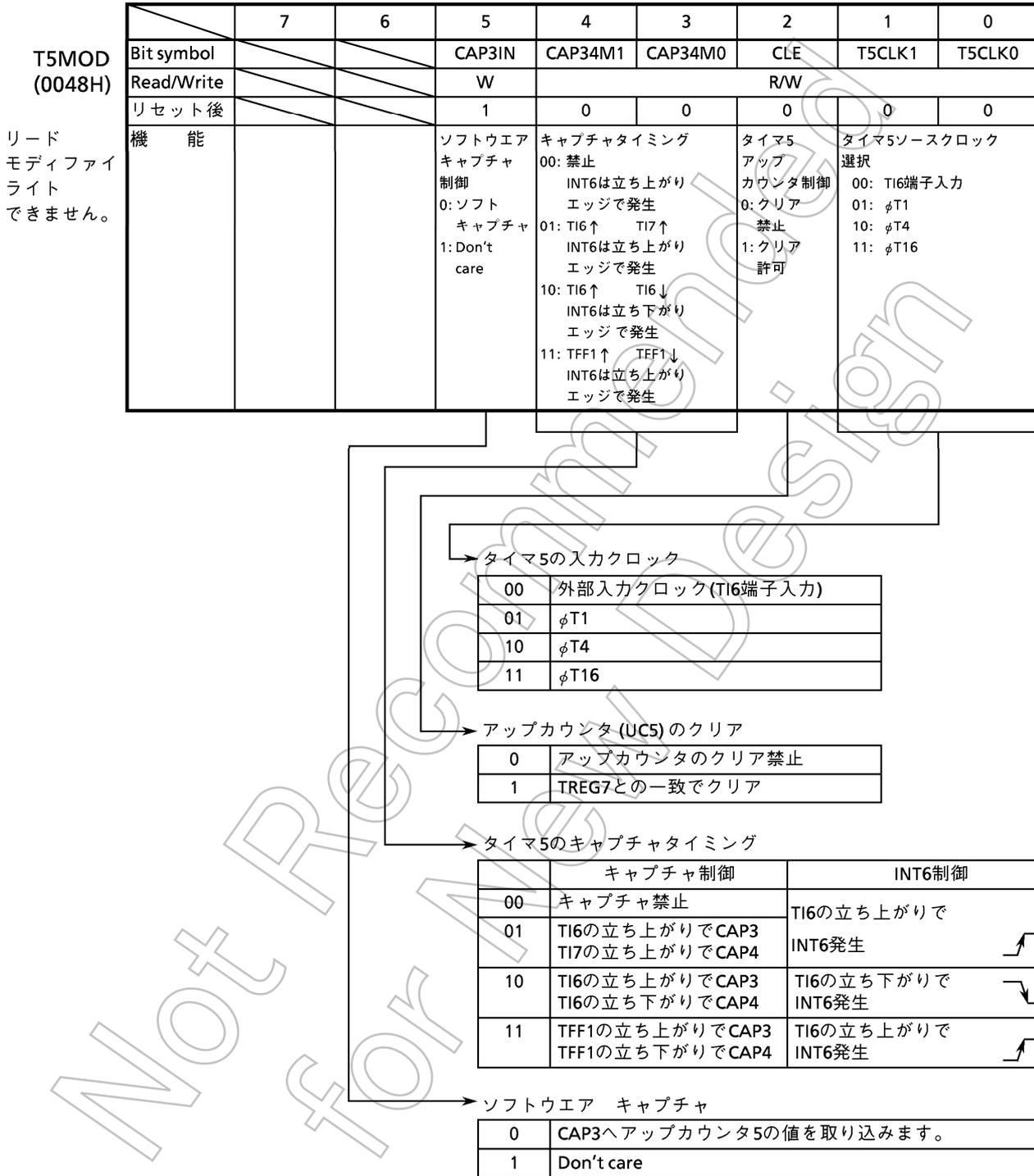


図3.7.5 16ビットタイマ/イベントカウンタ関係のレジスタ (3/6)

タイマ5フリップフロップコントロールレジスタ



図3.7.6 16ビットタイマ/イベントカウンタ関係のレジスタ (4/6)

タイマ4,5コントロールレジスタ

		7	6	5	4	3	2	1	0
T45CR (003AH)	Bit symbol	QCU						DB6EN	DB4EN
	Read/Write	R/W						R/W	
	リセット後	0						0	0
	機能	ウォッチ ドッグタイマ/ ウォーム アップ タイマ 入力選択						ダブルバッファ 0: 禁止 1: 許可  TREG6の ダブル バッファ	

ダブルバッファ制御

0	ディセーブル
1	イネーブル

DB6EN: TREG6のダブルバッファ  
DB4EN: TREG4のダブルバッファ

ウォッチドッグタイマ/  
ウォームアップタイマ入力選択

0	7段バイナリカウンタ使用する
1	7段バイナリカウンタ使用しない(注1)

- 注1) ウォームアップタイマとして7段バイナリカウンタを使用しない場合は、外部から安定したクロックを供給する必要があります。
- 注2) T45CRのビット6~2は、リードすると“1”が読み出されます。

図3.7.7 16ビットタイマ/イベントカウンタ関係のレジスタ (5/6)

タイマ動作コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	PRRUN		T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機能	プリスケアラ&タイマ動作/停止制御 0: 停止&クリア 1: 動作(カウントアップ)							

カウント動作

0	停止&クリア
1	カウント

PRRUN: プリスケアラの動作  
 T5RUN: 16ビットタイマ(タイマ5)の動作  
 T4RUN: 16ビットタイマ(タイマ4)の動作  
 T3RUN: 8ビットタイマ(タイマ3)の動作  
 T2RUN: 8ビットタイマ(タイマ2)の動作  
 T1RUN: 8ビットタイマ(タイマ1)の動作  
 T0RUN: 8ビットタイマ(タイマ0)の動作

注) TRUNのビット6は、リードすると“1”が読み出されます。

システムクロックコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	PRCK1	PRCK0
Read/Write	R/W							
リセット後	1	0	1	0	0	0	0	0
機能	“1”をライトしてください(リードすると“1”が読めます)。	“0”をライトしてください(リードすると“0”が読めます)。	“1”をライトしてください(リードすると“1”が読めます)。	“0”をライトしてください(リードすると“0”が読めます)。				プリスケアラクロック選択 00: f <sub>FPH</sub> 01: (Reserved) 10: f <sub>c</sub> /16 11: (Reserved)

プリスケアラ入カクロック選択

00	f <sub>FPH</sub>
01	(Reserved)
10	f <sub>c</sub> /16
11	(Reserved)

図3.7.8 16ビットタイマ/イベントカウンタ関係のレジスタ (6/6)

1. プリスケーラ

8ビットタイマ0~3、16ビットタイマ/イベントカウンタ4、5、シリアルインタフェース0、1への入力クロックを生成するために、プリスケーラクロック選択レジスタ、9ビットプリスケーラがあります。ブロック図を図3.7.4に、8、16ビットタイマへのプリスケーラ出力クロックによる分解能を表3.7.1に示します。

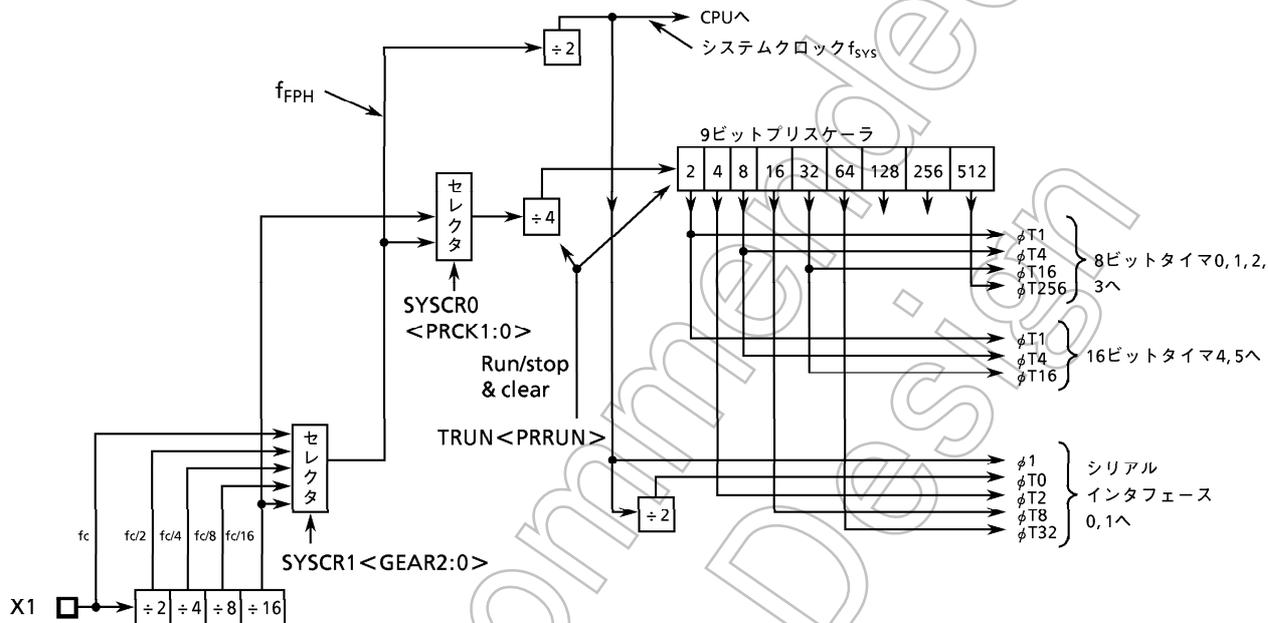


図3.7.9 プリスケーラブロック図

表3.7.1 8、16ビットタイマ入力クロック分解能

@ fc = 20 MHz

プリスケーラ用 クロック選択 <PRCK1:0>	クロック ギア値 <GEAR2:0>	プリスケーラ出力クロック分解能			
		φT1	φT4	φT16	φT256
00 (f <sub>FPH</sub> )	000 (fc)	fc/2 <sup>3</sup> (0.4 μs)	fc/2 <sup>5</sup> (1.6 μs)	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>11</sup> (102.4 μs)
	001 (fc/2)	fc/2 <sup>4</sup> (0.8 μs)	fc/2 <sup>6</sup> (3.2 μs)	fc/2 <sup>8</sup> (12.8 μs)	fc/2 <sup>12</sup> (204.8 μs)
	010 (fc/4)	fc/2 <sup>5</sup> (1.6 μs)	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>9</sup> (25.6 μs)	fc/2 <sup>13</sup> (409.6 μs)
	011 (fc/8)	fc/2 <sup>6</sup> (3.2 μs)	fc/2 <sup>8</sup> (12.8 μs)	fc/2 <sup>10</sup> (51.2 μs)	fc/2 <sup>14</sup> (819.2 μs)
	100 (fc/16)	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>9</sup> (25.6 μs)	fc/2 <sup>11</sup> (102.4 μs)	fc/2 <sup>15</sup> (1.6384 ms)
10 (fc/16クロック)	XXX	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>9</sup> (25.6 μs)	fc/2 <sup>11</sup> (102.4 μs)	fc/2 <sup>15</sup> (1.6384 ms)
XXX: Don't care		<div style="text-align: center;"> <span style="font-size: 2em;">←</span> 16ビットタイマ <span style="font-size: 2em;">→</span> </div> <div style="text-align: center;"> <span style="font-size: 2em;">←</span> 8ビットタイマ <span style="font-size: 2em;">→</span> </div>			

このプリスケータへの入力クロックは、 $f_{PPH}$ ,  $fc/16$ の2種類より選択されたクロックを4分周したクロックです。この選択は、プリスケータクロック選択レジスタSYSCR0<PRCK1:0>により、おこなわれます。

リセット後、<PRCK1:0>="00"となりますので、 $f_{PPH}$ の4分周がプリスケータの入力クロックとなります。

16ビットタイマには、プリスケータ出力クロックより $\phi T1$ ,  $\phi T4$ ,  $\phi T16$ の3種類のクロックが用いられます。

このプリスケータは、タイマ動作コントロールレジスタTRUN<PRRUN>によってカウント/停止させることができます。<PRRUN>=1にするとカウント開始し、<PRRUN>=0にすると0にクリアされて停止します。リセット時は、<PRRUN>は"0"にクリアされますので、プリスケータはクリアされ停止します。

なお、IDLE1モードを使用する場合は、消費電力削減のためHALT命令実行前に<PRRUN>を"0"にセットし、プリスケータをストップしてください。

## 2. アップカウンタ

T4MOD<T4CLK1:0>で指定された入力クロックによって、カウントアップする16ビットのバイナリカウンタです。

入力クロックとして、9ビットのプリスケータ(8ビットタイマと共用)からの内部クロック $\phi T1$ ,  $\phi T4$ ,  $\phi T16$ 、またはTI4端子(P42/INT4と兼用)の外部クロックのいずれかを選択できます。リセット時、<T4CLK1:0>="00"に初期化されますので、TI4の外部入力を選択されています。

カウンタのカウント/停止&クリアは、タイマ動作コントロールレジスタTRUN<T4RUN>で制御することができます。

アップカウンタUC4は、タイマレジスタTREG5と一致すると、クリアイネーブルであれば、0にクリアされます。このクリアイネーブル/ディセーブルは、T4MOD<CLE>で設定します。

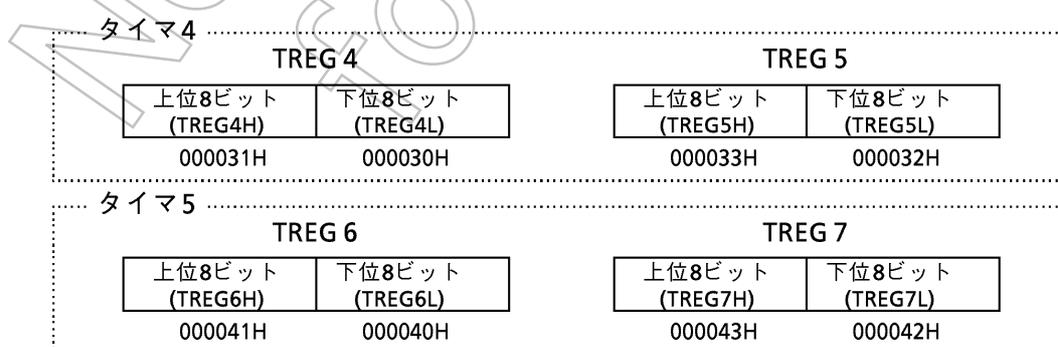
クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

また、UC4のオーバフローが発生した場合、割り込み要求INTTO4が発生します。

## 3. タイマレジスタ

カウンタ値を設定する16ビットレジスタで、各タイマに2本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタUC4の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタTREG4, TREG5へのデータ設定は、上位と下位の2バイトのデータ設定が必ず必要です。2バイトデータ転送命令を用いるか、1バイトデータ転送命令を2回用いて下位8ビット、上位8ビットの順に行います。



TREG4~TREG7は書き込み専用レジスタのため、読み出すことはできません。

このタイマレジスタは、**TREG4**がダブルバッファ構成になっており、レジスタバッファとペアになっています。**TREG4**は**T45CR<DB4EN>**によってダブルバッファのイネーブル/ディセーブルを制御します。**<DB4EN> = "0"**のときディセーブル、**<DB4EN> = "1"**のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送は、**UC4**と**TREG5**との一致時に行われます。

リセット後、**TREG4**、**TREG5**は不定のため、**16ビット**タイマを使用する場合は、あらかじめデータを書き込む必要があります。

リセット動作により、**T45CR<DB4EN> = "0"**に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み**<DB4EN> = "1"**に設定した後、レジスタバッファへ次のデータを書き込んでください。

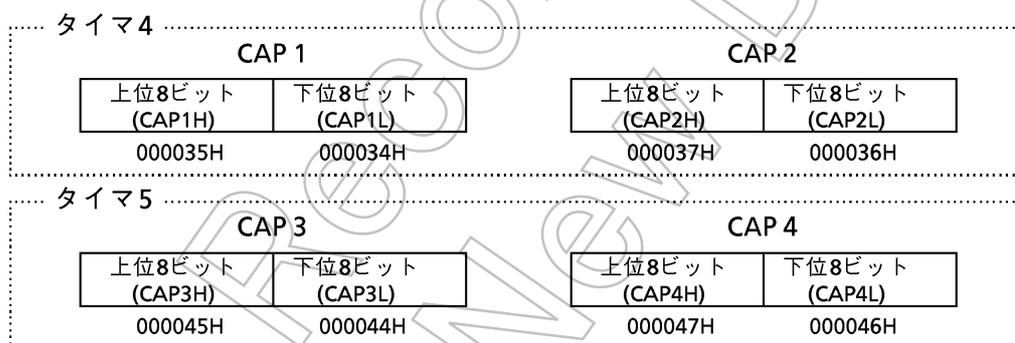
**TREG4**とレジスタバッファは、同じアドレス**000030H/000031H**に割り付けられています。**<DB4EN> = 0**のときは、**TREG4**とそれぞれのレジスタバッファに、同じ値が書き込まれ、**<DB4EN> = 1**のときは、それぞれのレジスタバッファにのみ書き込まれます。従って、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

#### 4. キャプチャレジスタ

アップカウンタの値をラッチする**16ビット**のレジスタです。

このキャプチャレジスタの値は、上位と下位の**2バイト**のデータリードが必ず必要です。

キャプチャレジスタを読み出す場合は、**2バイト**データ転送命令を用いるか、**1バイト**データ転送命令を**2回**用いて下位**8ビット**、上位**8ビット**の順に読み出してください。



CAP1~CAP4は読み出し専用レジスタです。ソフトウェアによる書き込みはできません。

## 5. キャプチャ入力制御

アップカウンタUC4の値を、キャプチャレジスタCAP1, CAP2にラッチするタイミングを制御する回路です。

キャプチャレジスタのラッチタイミングは、T4MOD<CAP12M1:0>で設定します。

- T4MOD<CAP12M1:0> = “00” の場合

キャプチャ機能は、ディセーブルされます。リセット後は、このディセーブル状態となっています。

- T4MOD<CAP12M1:0> = “01” の場合

TI4端子 (P42/INT4と兼用) 入力の立ち上がりエッジでCAP1へ、TI5端子 (P43/INT5と兼用) 入力の立ち上がりエッジでCAP2へ取り込みます。

- T4MOD<CAP12M1:0> = “10” の場合。

TI4端子入力の立ち上がりエッジでCAP1へ、立ち下がりエッジでCAP2へ取り込みます。この設定の場合に限り、INT4割り込みは立ち下がりエッジで発生します。

- T4MOD<CAP12M1:0> = “11” の場合

タイマフリップフロップTFF1の立ち上がりエッジでCAP1へ、立ち下がりエッジでCAP2へ取り込みます。

また、ソフトウェアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができ、T4MOD<CAP1IN>に“0”を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタCAP1へ取り込みます。なお、プリスケーラは、RUN状態 (TRUN<PRRUN> = “1”) にしておく必要があります。

## 6. コンパレータ

アップカウンタUC4と、タイマレジスタTREG4, TREG5への設定値とを比較し、一致を検出する16ビットコンパレータです。

一致すると、それぞれ割り込みINTTR4, INTTR5を発生します。

また、TREG5との一致でのみアップカウンタUC4をクリアします (T4MOD<CLE> = “0” でアップカウンタUC4のクリアを禁止することができます)。

## 7. タイマフリップフロップ

タイマフリップフロップ (TFF4) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、T4FFCR<CAP2T4, CAP1T4, EQ5T4, EQ4T4>によって設定できます。

リセット後、TFF4の値は不定となります。T4FFCR<TFF4C1:0>に“00”を書き込むことで反転、“01”を書き込むことで“1”にセット、“10”を書き込むことで“0”にクリアすることも可能です。

TFF4の値は、タイマ出力端子TO4端子 (P44と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート4ファンクションレジスタP4FCにより、設定を行う必要があります (図3.5.6ポート4関係のレジスタを参照してください)。

## (1) 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタTREG5にインタバル時間を設定しINTTR5割り込みを用います。

	7	6	5	4	3	2	1	0
TRUN	←	←	X	←	0	←	←	←
INTTET54	←	1	1	0	0	1	0	0
T4FFCR	←	X	X	0	0	0	0	1
T4MOD	←	0	0	1	0	0	1	**
								(**=01, 10, 11)
TREG5	←	*	*	*	*	*	*	*
								*
TRUN	←	1	X	←	1	←	←	←

X: Don't care、←: No change

タイマ4を停止します。

INTTR5をイネーブル(レベル4)に設定し、INTTR4を禁止します。

トリガをディセーブルします。

入力クロックを内部クロックにし、キャプチャ機能をディセーブルにします。

インタバル時間を設定します。

(16ビット)

タイマ4を起動します。

## (2) 16ビットイベントカウンタモード

16ビットタイマモードにおいて、入力クロックを外部クロック(TI4端子入力)にすることでイベントカウンタにすることができます。

カウンタはTI4端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることで、カウント値を読むことができます。

TI4端子は、P42、INT4と兼用になっていますが、選択機能はありません。従って、タイマ4を動作状態にすることにより、いつでもイベントカウンタ動作を行うことができます。

	7	6	5	4	3	2	1	0
TRUN	←	←	X	←	0	←	←	←
P4CR	←	←	←	←	←	←	0	←
INTTET54	←	1	1	0	0	1	0	0
T4FFCR	←	X	X	0	0	0	0	1
T4MOD	←	0	0	1	0	0	1	0
TREG5	←	*	*	*	*	*	*	*
								*
TRUN	←	1	X	←	1	←	←	←

X: Don't care、←: No change

タイマ4を停止します。

P42を入力モードに設定します。

INTTR5をイネーブル(レベル4)に設定し、INTTR4を禁止します。

トリガディセーブルにします。

入力クロックをTI4端子入力にします。

カウント数を設定します(16ビット)。

タイマ4を起動します。

イベントカウンタとして使用する場合も、プリスケアラは“RUN”にしてください(TRUN<PRRUN>=“1”)。

(3) 16ビットプログラマブル矩形波 (PPG) 出力モード

タイマ4は、任意周波数、任意デューティの矩形波(プログラマブル矩形波)を出力することができます。出力パルスは、**Low**アクティブ、**High**アクティブどちらでも可能です。アップカウンタUC4とタイマレジスタTREG4, TREG5への設定値との一致により、タイマフリップフロップTFF4の反転トリガをかけることで、プログラマブル矩形波をTO4端子より出力することができます。ただし、TREG4とTREG5の設定値は次の条件を満たす必要があります。

$$(TREG4\text{への設定値}) < (TREG5\text{への設定値})$$

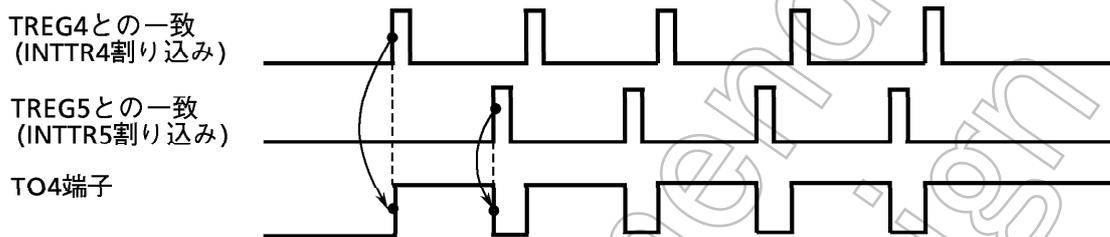


図 3.7.10 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TREG4のダブルバッファをイネーブルにすることにより、TREG5との一致で、レジスタバッファ4の値がTREG4へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

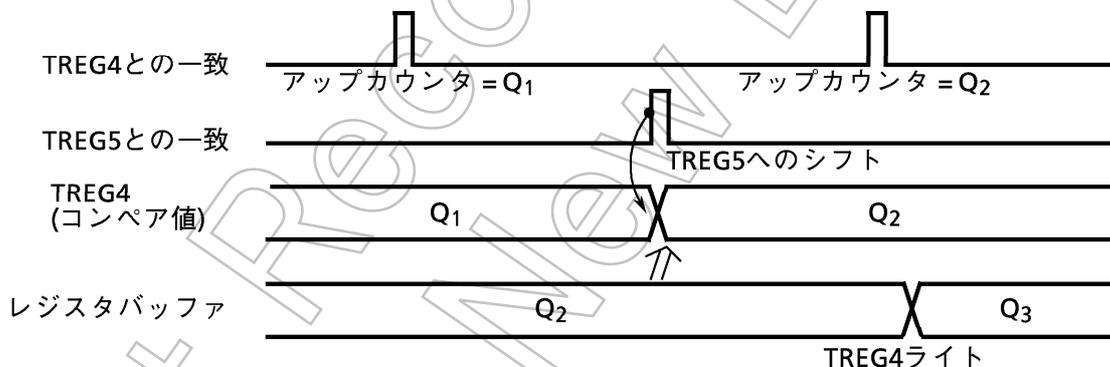


図 3.7.11 レジスタバッファの動作

このモードのブロック図を示します。

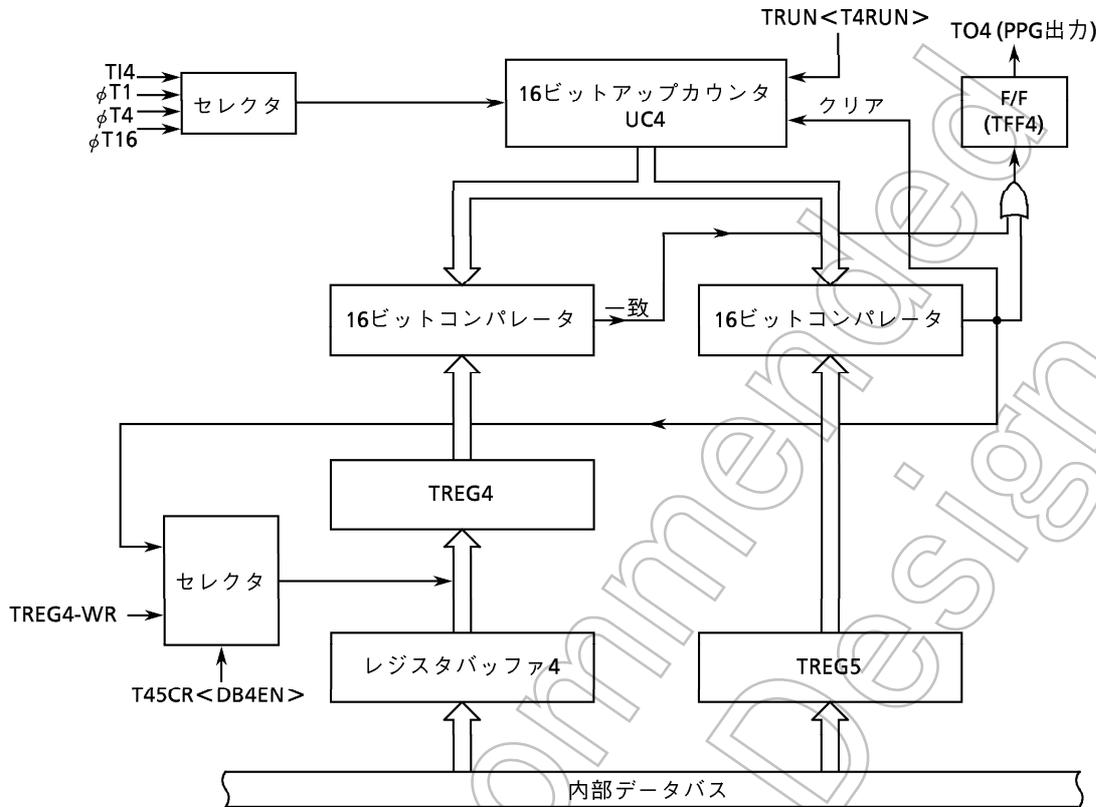


図3.7.12 16ビットPPGモードのブロック図

16ビットPPG出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
T45CR	← 0	X	X	X	X	X	X	← 0	TREG4をダブルバッファディセーブルにします。
TRUN	← -	-	X	← 0	-	-	-	-	タイマ4を停止します。
TREG4	← *	*	*	*	*	*	*	*	デューティを設定します。(16ビット)
TREG5	← *	*	*	*	*	*	*	*	周期を設定します。(16ビット)
T45CR	← 0	X	X	X	X	X	X	← 1	TREG4をダブルバッファイネーブルにします。 (INTTR5割り込みでデューティ/周期の変更)
T4FFCR	← X	X	← 0	← 0	← 1	← 1	← 1	← 0	TFF4をTREG4, TREG5との一致検出で反転するように設定します。また、TFF4の初期値を“0”にします。
T4MOD	← 0	← 0	← 1	← 0	← 0	← 1	*	*	} P44をTO4に割り付けます。
							(** = 01, 10, 11)		
P4CR	← -	← -	← -	← 1	← -	← -	← -	← 1	
P4FC	← -	← -	X	X	← 1	X	X	← X	
TRUN	← 1	X	← 1	-	-	-	-	-	タイマ4を起動します。

X: Don't care、-: No change

## (4) キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

## 1. 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタUC4を、内部クロックを用いてフリーランニングでカウントアップさせておきます。TI4端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタCAP1に取り込みます。

外部トリガパルスの立ち上がり時、割り込みINT4が発生します。この割り込みで、タイマレジスタTREG4には、CAP1の値(c)とディレイタイム(d)を加算した値(c+d)を設定します。タイマレジスタTREG5には、TREG4の値とワンショットパルスのパルス幅(p)を加算した値(c+d+p)を設定します。

さらに、タイマ4フリップフロップコントロールレジスタT4FFCR<EQ5T4, EQ4T4>に“11”を設定し、UC4とTREG4との一致およびTREG5との一致により、タイマ4フリップフロップTFF4が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTR5の割り込み処理により、これをディセーブルに戻します。

なお、文中の(c), (d), (p)は、図3.7.13「ワンショットパルス出力(ディレイあり)」のc, d, pと対応しています。

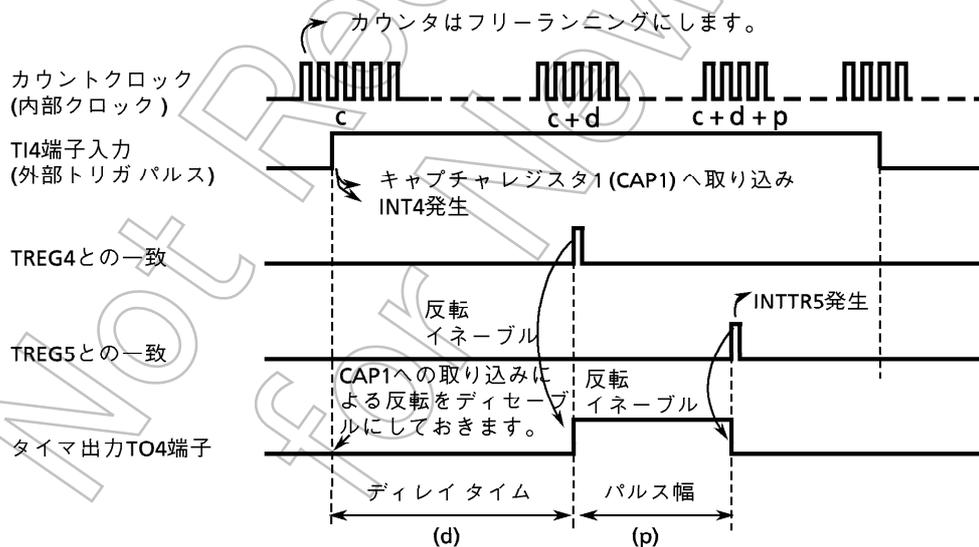


図3.7.13 ワンショットパルス出力(ディレイあり)

設定例: TI4端子からの外部トリガパルスに対して、3msディレイで2msのワンショットパルスを出力する場合

\* クロック条件  $\left\{ \begin{array}{l} \text{クロックギア: } 1\text{倍 (fc)} \\ \text{プリスケールクロック: } f_{\text{FPH}} \end{array} \right.$

メインでの設定

T4MOD ←	-- 1 0 1 0 0 1	フリーランニングにします。 $\phi T1$ でカウントさせます。
T4FFCR ←	X X 0 0 0 0 1 0	TI4入力の立ち上がりでCAP1へ取り込みます。 TFF4を0にクリアします。 TFF4の反転をディセーブルにします。
P4CR ←	--- 1 --- 1	} P44端子をTO4に割り付けます。
P4FC ←	- X X 1 X X - X	
INTE45 ←	--- 1 1 0 0	INT4をイネーブルに、INTTR4, INTTR5をディセーブルにします。
INTE54 ←	1 0 0 0 1 0 0 0	
TRUN ←	1 X - 1 - - - -	タイマ4を起動します。

#### INT4での設定

TREG4 ←	CAP1+3ms/ $\phi T1$	
TREG5 ←	TREG4+2ms/ $\phi T1$	
T4FFCR ←	X X - - 1 1 - -	TREG4, 5との一致によるTFF4の反転をイネーブルにします。
INTE54 ←	1 1 0 0 - - - -	INTTR5をイネーブルにします。

#### INTTR5での設定

T4FFCR ←	X X - - 0 0 - -	TREG4, 5との一致によるTFF4の反転をディセーブルにします。
INTE54 ←	1 0 0 0 - - - -	INTTR5をディセーブルにします。

X: Don't care、-: No change

ディレイが不要な場合、CAP1への取り込みによってTFF4を反転させ、割り込みINT4でCAP1の値(c)にワンショットパルスの幅(p)を加算した値(c+p)をTREG5に設定します。TFF4は、TREG5とUC4の一致によって反転するように、反転イネーブルを選択します。また、INTTR5割り込みでこれをディセーブルに戻します。

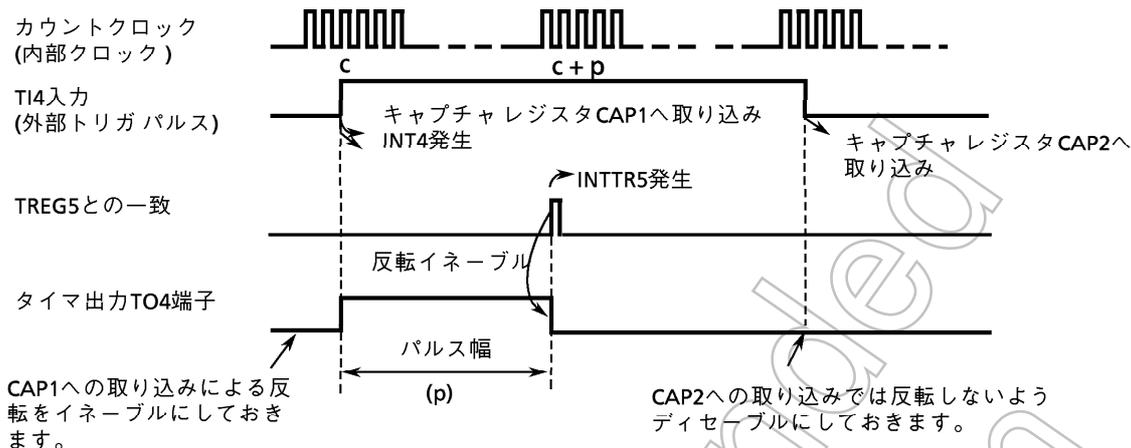


図3.7.14 ワンショットパルス出力(ディレイなし)

## 2. 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16ビットイベントカウンタモードと8ビットタイマ(タイマ0,1)を組み合わせで行います(タイマ0,1は、TFF1を反転させることで測定時間の設定に用います)。

タイマ4のカウントクロックはTI4端子入力を選択し、外部クロック入力によるカウント動作を行います。タイマ4モードコントロールレジスタT4MOD<CAP12M1:0>には“11”を設定します。この設定により、8ビットタイマ(タイマ0,1)のタイマフリップフロップTFF1の立ち上がりで、キャプチャレジスタCAP1に16ビットアップカウンタUC4のカウンタ値を取り込み、8ビットタイマ(タイマ0,1)のTFF1の立ち下がりで、キャプチャレジスタCAP2にUC4のカウンタ値の取り込みを行います。

周波数は、8ビットタイマの割り込みINTT0またはINTT1で、測定時間を基準にしてCAP1, CAP2の差より求めます。

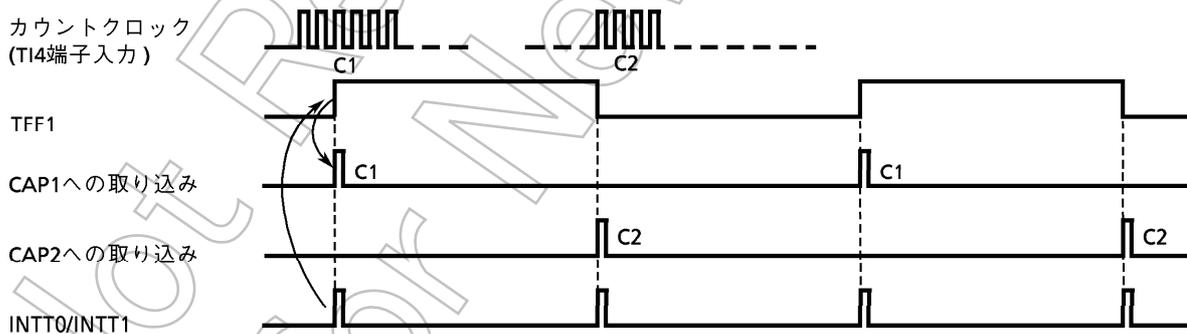


図3.7.15 周波数測定

例えば、8ビットタイマによるTFF1の“1”レベル幅の設定値が0.5 sで、CAP1とCAP2の差が100であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

### 3. パルス幅測定

16ビットタイマのキャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TI4端子より外部パルスを入力し、16ビットアップカウンタUC4を内部クロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタCAP1, CAP2に取り込みます。TI4端子の立ち下がりにより、INT4が発生します。

“H”レベルパルス幅は、CAP1とCAP2の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば、CAP1とCAP2の差が100で、内部クロックの周期が $0.8\mu\text{s}$ であれば、パルス幅は、 $100 \times 0.8\mu\text{s} = 80\mu\text{s}$ となります。

なお、クロックソースにより定まるUC4の最大カウント時間を超えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

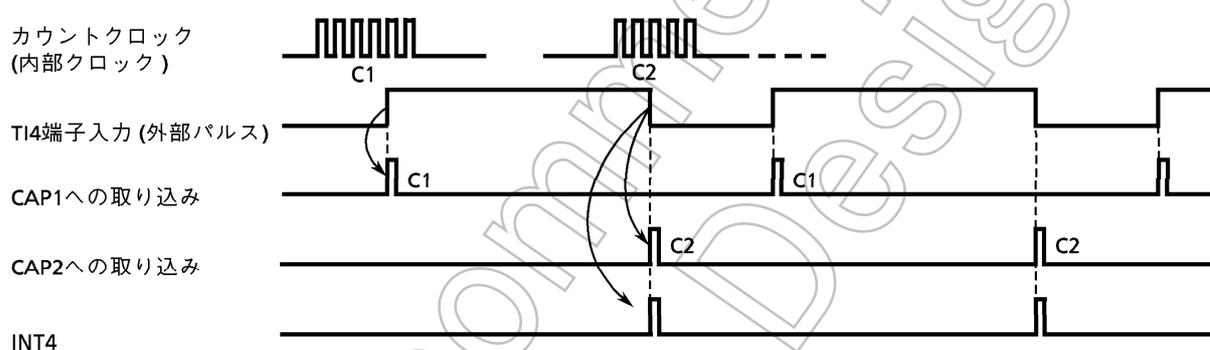


図3.7.16 パルス幅測定

注) パルス幅測定は、タイマ4モードコントロールレジスタT4MOD<CAP12M1:0>に“10”を設定することで行います。外部割り込みINT4は、TI4入力の立ち下がりエッジで発生します。その他の設定では、INT4はTI4入力の立ち上がりエッジで発生します。

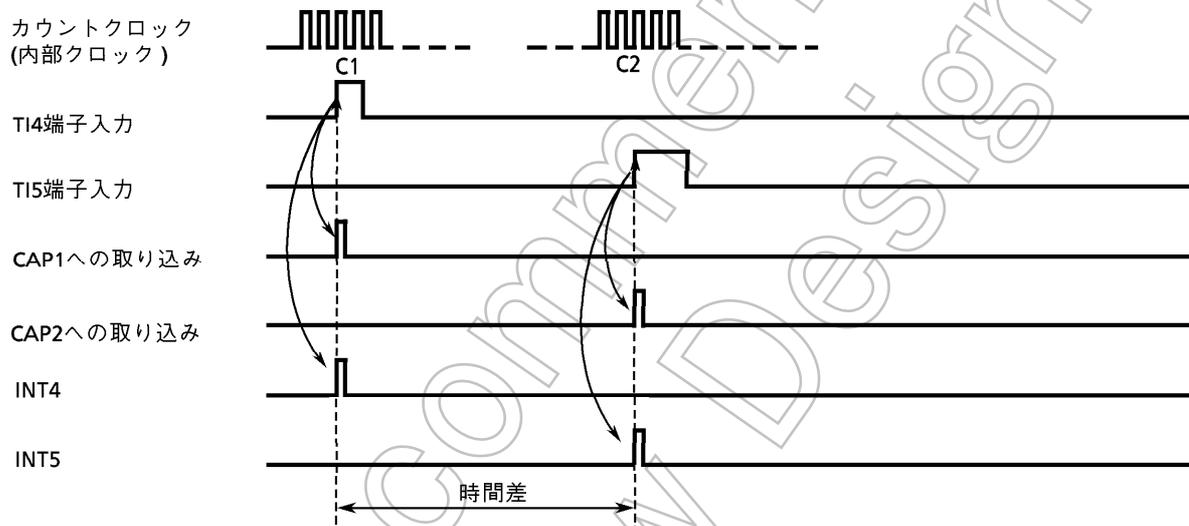
また、外部パルスの“L”レベル幅を測定することもできます。この場合、図3.7.17「時間差測定」における2回目のINT4割り込み処理により、1回目のC2と2回目のC1の差に内部クロックの周期をかけることにより求めることができます。

## 4. 時間差測定

16ビットタイマのキャプチャ機能を用いて、2つの事象の時間差を測定することができます。内部クロックを用いて、16ビットアップカウンタUC4をフリーランニングでカウントアップさせておきます。TI4端子の入力パルスの立ち上がりエッジで、UC4の値をキャプチャレジスタCAP1に取り込みます。このとき、割り込みINT4が発生します。

TI5端子の入力パルスの立ち上がりエッジで、UC4の値をキャプチャレジスタCAP2に取り込みます。このとき、割り込みINT5が発生します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、CAP2からCAP1を引いた値に、内部クロックの周期をかけて求めることができます。



### 3.8 シリアルチャネル

シリアル入出力を2チャネル内蔵しています。チャネル0,1はともに、UART(非同期通信)モードのみです。

シリアルチャネルの動作モードは下記のとおりです。

- UARTモード (チャネル0,1)
  - モード1 : 送受信データ長 7ビット
  - モード2 : 送受信データ長 8ビット
  - モード3 : 送受信データ長 9ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンクでスレーブコントローラを起動させるためのウェイクアップ機能を持っています。

各モードにおけるデータフォーマットを図3.8.1に示します。

- モード1(7ビットUARTモード)



- モード2(8ビットUARTモード)



- モード3(9ビットUARTモード)

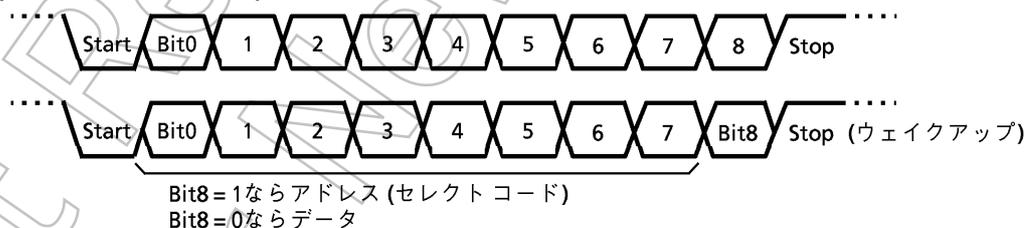


図3.8.1 データフォーマット

シリアルチャネルは、それぞれ送信用、受信用にデータを一時的に格納するためのバッファレジスタを備えているため、送信/受信が独立に行えます。(全二重)

受信用のバッファレジスタは、オーバランエラーの発生を防げるようにダブルバッファ構造となっており、CPUが受信データを読み取るまで1データフォーマット分の余裕を持っています。(受信バッファはすでに受信したデータを格納し、バッファレジスタで次のデータフォーマットのデータを受信します。)

UARTモードでは、ノイズなどに起因する誤ったスタートビットによって、受信動作が開始されないようにチェック機能が付加されています。これは、3回スタートビットをサンプリングして、2回以上正常なスタートビットとして検出された場合のみ、受信開始する機能です。

送信バッファが空になり、次に送信すべきデータをCPUへ要求するとき、または受信バッファにデータが格納され、CPUへ読み取りを要求するとき、それぞれ送信割り込みINTTX、受信割り込みINTRXが発生します。

また、受信動作において、オーバランエラー、パリティエラー、フレーミングエラーの発生により、それぞれのフラグSC0CR, SC1CR<OERR, PERR, FERR>がセットされます。

シリアルチャネル0/1は、専用のボーレートジェネレータを持ち、9ビットプリスケアラ(8/16ビットタイマと共用)からの内部入力クロック( $\phi T0$ ,  $\phi T2$ ,  $\phi T8$ ,  $\phi T32$ )を1~16分周することにより、任意のボーレートを設定することができます。

3.8.1 コントロールレジスタ

各シリアルチャネルは、3つのコントロールレジスタ (チャンネル0ではSC0CR, SC0MOD, BR0CR) によって制御されています。また、送受信データは同チャネルのSC0BUFレジスタに格納されます。

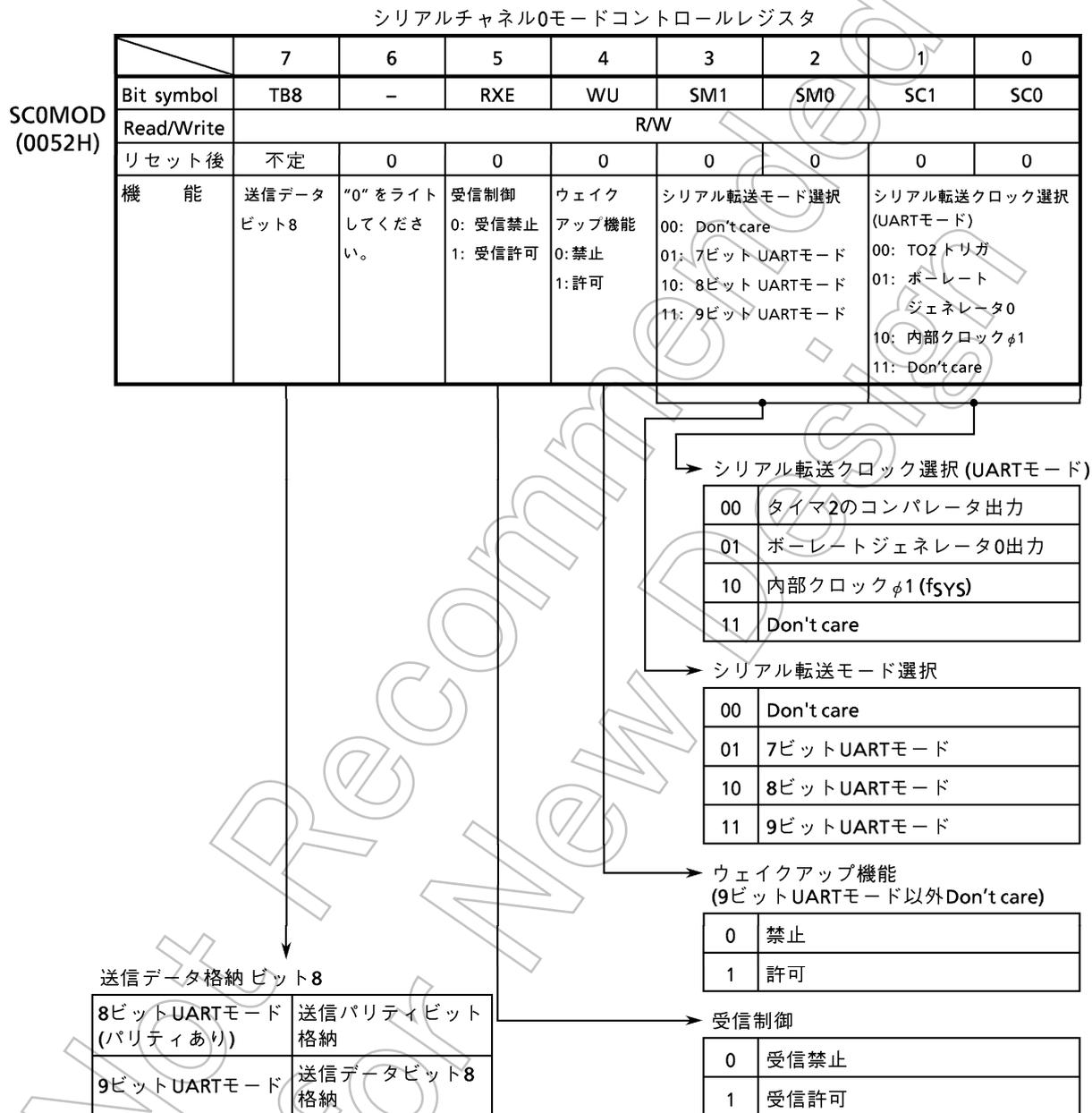
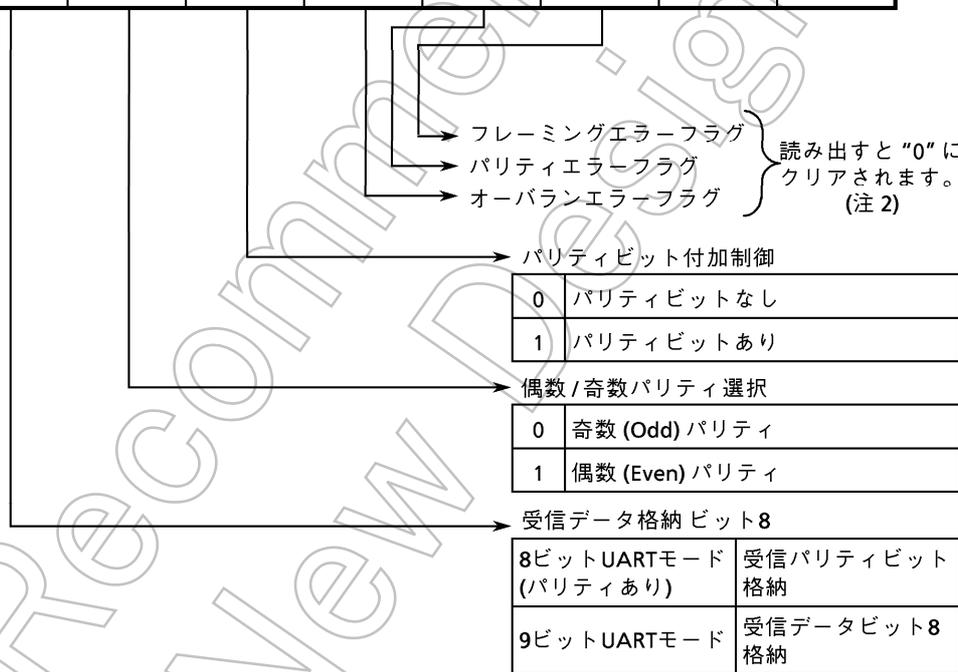


図3.8.2 シリアルチャネル関係のレジスタ (1/7)

シリアルチャネル0コントロールレジスタ

SCOCR  
(0051H)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	-	-
Read/Write	R	R/W		R(リードすると"0"にクリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機能	受信データビット8	偶数/奇数 パリティ 選択 0: 奇数 1: 偶数	パリティ ビット付加 制御 0: パリティ ビットなし 1: パリティ ビットあり	1: エラー			"0"をライト してください。	"0"をライト してください。
				オーバランエ ラーフラグ	パリティ エラーフラグ	フレーミング エラーフラグ		



- 注1) ボーレートジェネレータを使用するときは、TRUN<PRRUN>="1"に設定して、プリスケラをRUN状態にしてください。
- 注2) エラーフラグは、読み出されるとすべて"0"にクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.8.3 シリアルチャネル関係のレジスタ (2/7)

ボーレートジェネレータ0コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-		BROCK1	BROCK0	BROS3	BROS2	BROS1	BROS0
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機能	必ず“0”をラ イトしてくだ さい。		ボーレート ジェネレータ0の 入力クロック選択 00: $\phi T0$ 01: $\phi T2$ 10: $\phi T8$ 11: $\phi T32$		ボーレートジェネレータ0の分周値の設定			

ボーレートジェネレータ0の分周値の設定

0000	16分周
0001	1分周 (分周なし)注2)
⋮	⋮
1111	15分周

ボーレートジェネレータ0の入力クロックの選択

00	内部クロック $\phi T0$
01	内部クロック $\phi T2$
10	内部クロック $\phi T8$
11	内部クロック $\phi T32$

- 注1) ボーレートジェネレータを使用するときは、TRUN<PRRUN> = “1” に設定して、プリスケラをRUN状態にしてください。
- 注2) ボーレートジェネレータ分周値の1分周はUARTのみ有効です。I/Oインタフェースモードでは設定しないでください。
- 注3) BROCRのビット6をリードすると“1”が読み出されます。
- 注4) シリアル転送中は、BROCRへアクセスしないでください。

シリアルチャンネル0バッファレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
リード モディファイ ライトは できません。	TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0
Read/Write	R (受信)/W (送信)							
リセット後	不 定							

図3.8.4 シリアルチャンネル関係のレジスタ (3/7)

シリアルチャンネル1モードコントロールレジスタ

SC1MOD  
(0056H)

	7	6	5	4	3	2	1	0
Bit symbol	TB8	-	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	不定	0	0	0	0	0	0	0
機能	送信データビット8	"0"をライトしてください。	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: 禁止 1: 許可	シリアル転送モード選択 00: Don't care 01: 7ビットUARTモード 10: 8ビットUARTモード 11: 9ビットUARTモード		シリアル転送クロック選択 (UARTモード) 00: TO2トリガ 01: ポーレートジェネレータ1 10: 内部クロックφ1 11: Don't care	

シリアル転送クロック選択 (UARTモード)

00	タイマ2のコンパレータ出力
01	ポーレートジェネレータ1出力
10	内部クロックφ1 (f <sub>sys</sub> )
11	Don't care

シリアル転送モード選択

00	Don't care
01	7ビットUARTモード
10	8ビットUARTモード
11	9ビットUARTモード

ウェイクアップ機能 (9ビットUARTモード以外Don't care)

0	ディセーブル
1	イネーブル

受信制御

0	受信禁止
1	受信許可

送信データ格納ビット8

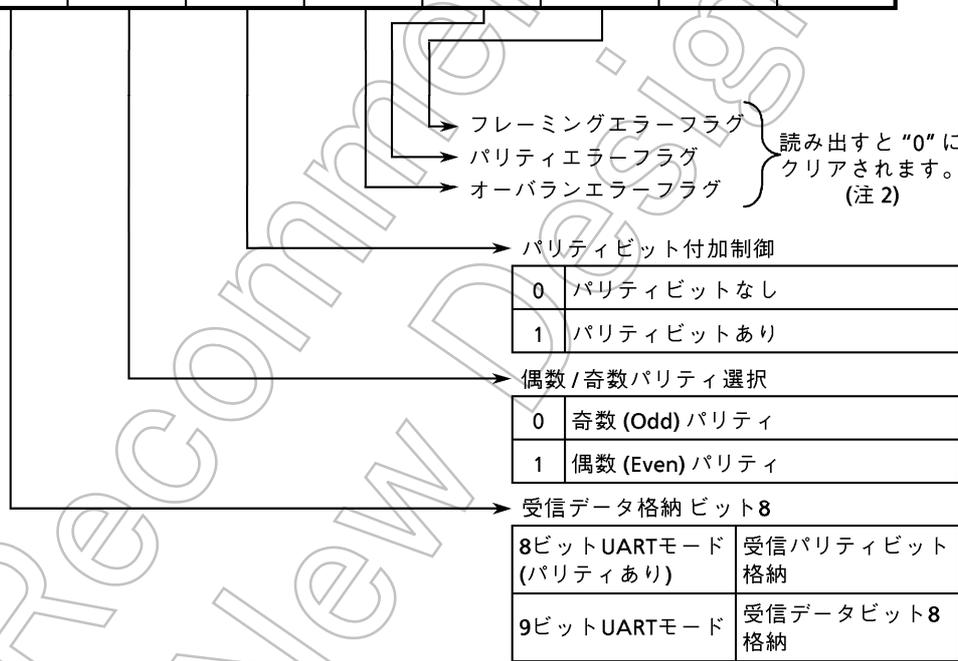
8ビットUARTモード (パリティあり)	送信パリティビット格納
9ビットUARTモード	送信データビット8格納

図3.8.5 シリアルチャンネル関係のレジスタ (4/7)

シリアルチャネル1コントロールレジスタ

SC1CR  
(0055H)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	-	-
Read/Write	R	R/W		R(リードすると"0"にクリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機能	受信データビット8	偶数/奇数 パリティ選択 0: 奇数 1: 偶数	パリティ ビット付加 制御 0: パリティ ビットなし 1: パリティ ビットあり	1: エラー			"0"をライト してください。	"0"をライト してください。
				オーバランエ ラ-フラグ	パリティ エラーフラグ	フレーミング エラーフラグ		



- 注1) ボーレートジェネレータを使用するときは、TRUN<PRRUN>="1"に設定して、プリスケラをRUN状態にしてください。
- 注2) エラーフラグは、読み出されるとすべて"0"にクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.8.6 シリアルチャネル関係のレジスタ(5/7)

ボーレートジェネレータ1コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-		BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機能	必ず“0”をライトしてください。		ボーレートジェネレータ1の入カロックの選択 00: $\phi$ T0 01: $\phi$ T2 10: $\phi$ T8 11: $\phi$ T32		ボーレートジェネレータ1の分周値の設定			

ボーレートジェネレータ1の分周値の設定

0000	16分周
0001	1分周 (分周なし)注 2)
}	}
1111	15分周

ボーレートジェネレータ1の入カロックの選択

00	内部クロック $\phi$ T0
01	内部クロック $\phi$ T2
10	内部クロック $\phi$ T8
11	内部クロック $\phi$ T32

- 注1) ボーレートジェネレータを使用するときは、TRUN<PRRUN> = “1” に設定して、プリスケラをRUN状態にしてください。
- 注2) ボーレートジェネレータ分周値の1分周は、UARTのみ有効です。
- 注3) BR1CRのビット6をリードすると“1”が読み出されます。
- 注4) シリアル転送中は、BR1CRへアクセスしないでください。

シリアルチャンネル1バッファレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
	TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0
Read/Write	R (受信)/W (送信)							
リセット後	不 定							

リード  
モディファイ  
ライトは  
できません。

図3.8.7 シリアルチャンネル関係のレジスタ (6/7)

ポート6ファンクションレジスタ

P6FC  
(0016H)

リード  
モディファイ  
ライト  
できません。

	7	6	5	4	3	2	1	0
Bit symbol			-		P63F	-		P60F
Read/Write			W		W			W
リセット後			0		0	0		0
機能			"0"を ライト してくだ さい。		0: ポート 1: TXD1	"0"を ライト してくだ さい。		0: ポート 1: TXD0

→ P60のTXD0出力設定

0	ポート
1	TXD0(チャンネル0)出力

→ P63のTXD1出力設定

0	ポート
1	TXD1(チャンネル1)出力

オープンドレインイネーブルレジスタ

ODE  
(0058H)

	7	6	5	4	3	2	1	0
Bit symbol					-	-	ODE63	ODE60
Read/Write					R/W			
リセット後					0	0	0	0
機能					"0"をライトしてく ださい(リードする と"0"が読めます)。		P63 0: CMOS 1: オープ ンドレ イン	P60 0: CMOS 1: オープ ンドレ イン

→ P60のオープンドレイン出力設定

0	CMOS出力
1	オープンドレイン出力

→ P63のオープンドレイン出力設定

0	CMOS出力
1	オープンドレイン出力

注) ODEのビット7~4は、リードすると"1"が読み出されます。

図3.8.8 シリアルチャンネル関係のレジスタ (7/7)

3.8.2 構成

図3.8.3 にシリアルチャネル0のブロック図を示します。

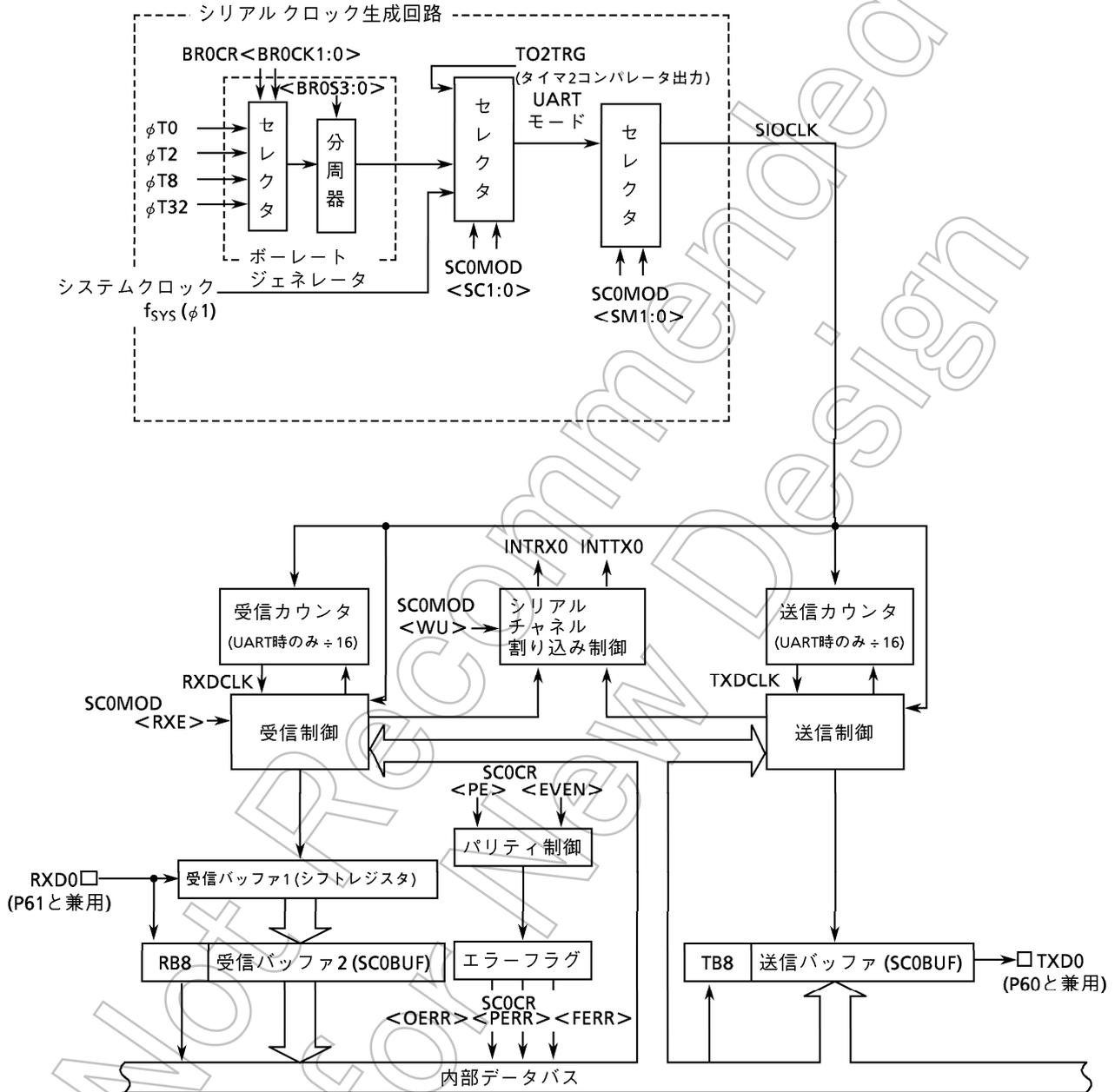


図3.8.9 シリアルチャネル0のブロック図

図3.8.10にシリアルチャンネル1のブロック図を示します。

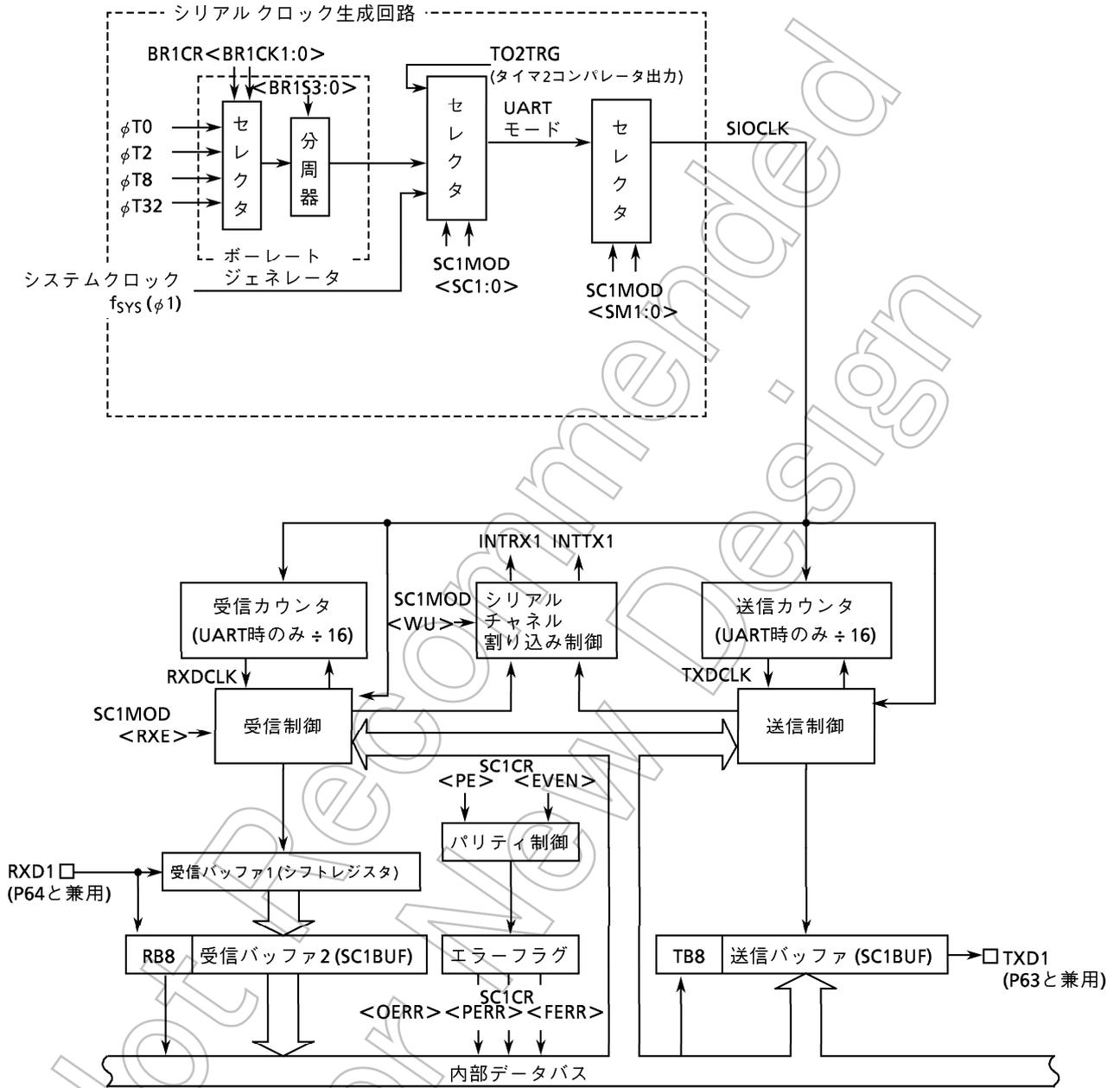


図3.8.10 シリアルチャンネル1のブロック図

シリアルチャンネル0,1はそれぞれ独立に動作します。いずれのシリアルチャンネルも同一の動作をしますので、シリアルチャンネル0の場合についてのみ説明します。

(1) プリスケーラ、プリスケーラクロック選択

8ビットタイマ0~3、16ビットタイマ/イベントカウンタ4,5、シリアルインタフェース0,1への入力クロックを生成するために、プリスケーラクロック選択レジスタ,9ビットプリスケーラがあります。ブロック図を図3.8.11に、シリアルインタフェースへのプリスケーラ出力クロックによる分解能を表3.8.1に示します。

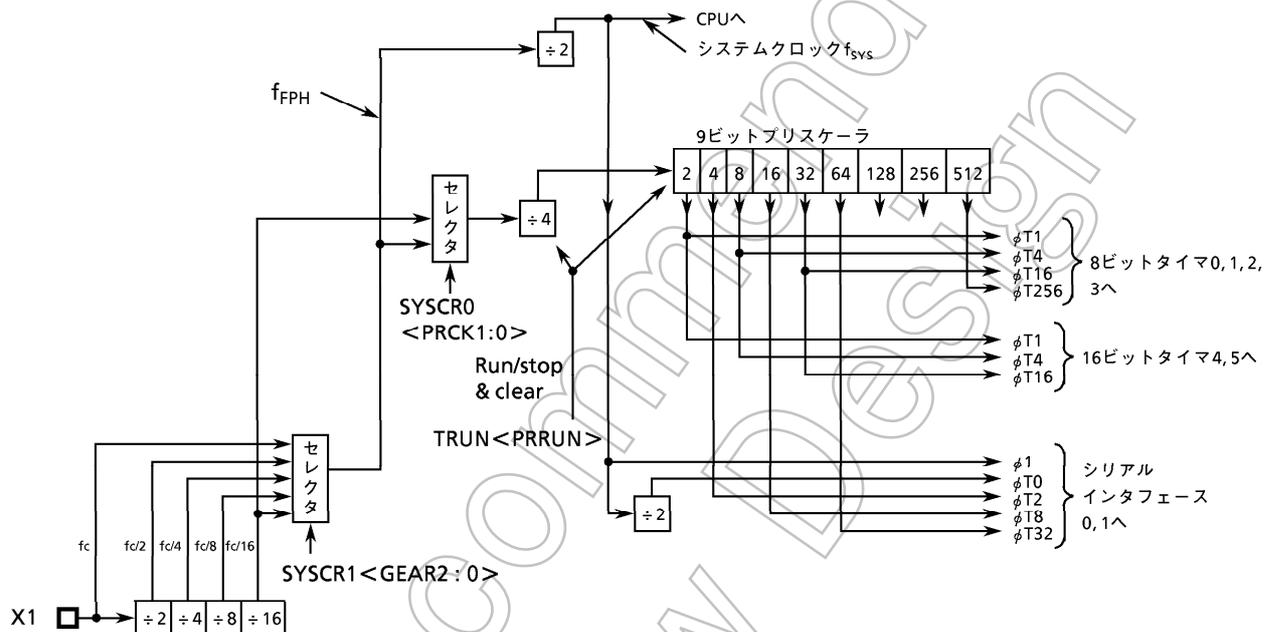


図3.8.11 プリスケーラブロック図

表3.8.1 シリアルインタフェース、ボーレートジェネレータへの入力クロック分解能

@ fc = 20 MHz

プリスケーラ用 クロック選択 <PRCK1:0>	クロック ギア値 <GEAR2:0>	プリスケーラ出力クロック分解能			
		φT0	φT2	φT8	φT32
00 (f_FPH)	000 (fc)	fc/2 <sup>2</sup> (0.2 μs)	fc/2 <sup>4</sup> (0.8 μs)	fc/2 <sup>6</sup> (3.2 μs)	fc/2 <sup>8</sup> (12.8 μs)
	001 (fc/2)	fc/2 <sup>3</sup> (0.4 μs)	fc/2 <sup>5</sup> (1.6 μs)	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>9</sup> (25.6 μs)
	010 (fc/4)	fc/2 <sup>4</sup> (0.8 μs)	fc/2 <sup>6</sup> (3.2 μs)	fc/2 <sup>8</sup> (12.8 μs)	fc/2 <sup>10</sup> (51.2 μs)
	011 (fc/8)	fc/2 <sup>5</sup> (1.6 μs)	fc/2 <sup>7</sup> (6.4 μs)	fc/2 <sup>9</sup> (25.6 μs)	fc/2 <sup>11</sup> (102.4 μs)
	100 (fc/16)	fc/2 <sup>6</sup> (3.2 μs)	fc/2 <sup>8</sup> (12.8 μs)	fc/2 <sup>10</sup> (51.2 μs)	fc/2 <sup>12</sup> (204.8 μs)
10 (fc/16クロック)	XXX	—	fc/2 <sup>8</sup> (12.8 μs)	fc/2 <sup>10</sup> (51.2 μs)	fc/2 <sup>12</sup> (204.8 μs)

XXX: Don't care

このプリスケラへの入力クロックは、 $f_{FPH}$ ,  $fc/16$ の2種類より選択されたクロックを4分周したクロックです。この選択は、プリスケラクロック選択レジスタSYSCR0<PRCK1:0>により行います。

リセット後、<PRCK1:0>="00"となりますので、 $f_{FPH}$ の4分周がプリスケラの入力クロックとなります。

シリアルインタフェースボーレートジェネレータには、プリスケラ出力クロックより $\phi T0$ ,  $\phi T2$ ,  $\phi T8$ ,  $\phi T32$ の4種類のクロックが用いられます。

このプリスケラは、タイマ動作コントロールレジスタTRUN<PRRUN>によってカウント/停止させることができます。<PRRUN>="1"に設定するとカウントを開始し、<PRRUN>="0"に設定すると0にクリアされて停止します。リセット時は、<PRRUN>="0"にクリアされますので、プリスケラはクリアされ停止します。

なお、IDLE1モードを使用する場合は、消費電力削減のためHALT命令実行前に<PRRUN>を"0"にセットし、プリスケラをストップしてください。

## (2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは、タイマと共用の9ビットプリスケラより $\phi T0$ ,  $\phi T2$ ,  $\phi T8$ ,  $\phi T32$ を用います。この入力クロックの選択は、ボーレートジェネレータコントロールレジスタBR0CR<BR0CK1:0>で設定します。

ボーレートジェネレータは4ビットの分周器を内蔵しており、この分周器にて1~16分周を行い、転送速度を決定します。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

### ● UARTモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

従って、原振 $fc=12.288\text{ MHz}$ で入力クロック $\phi T2$ 、分周値=5の場合のUARTモードのボーレートは、

$$\begin{array}{l} * \text{ クロック条件} \\ \left\{ \begin{array}{ll} \text{クロックギア:} & 1\text{倍}(fc) \\ \text{プリスケラクロック:} & f_{FPH} \end{array} \right. \end{array}$$

$$\begin{aligned} \text{ボーレート} &= \frac{fc/16}{5} \div 16 \\ &= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

このボーレートジェネレータの最大ボーレートは307.2 kbpsです。

表3.8.2にUARTモードのボーレートの例を示します。

シリアルチャネルのUARTモードでは、8ビットタイマ2を使ってボーレートを得ることもできます。タイマ2を使用したボーレートの例を表3.8.3に示します。

表3.8.2 UARTモードの選択(1)(ボーレートジェネレータ使用)

単位(kbps)

fc [MHz]	入力クロック	$\phi T0$ (4/fc)	$\phi T2$ (16/fc)	$\phi T8$ (64/fc)	$\phi T32$ (256/fc)
	分周値				
9.830400	1	153.600	38.400	9.600	2.400
	2	76.800	19.200	4.800	1.200
	4	38.400	9.600	2.400	0.600
	8	19.200	4.800	1.200	0.300
	16	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
	10	19.200	4.800	1.200	0.300
14.745600	1	230.400	57.600	14.400	3.600
	3	76.800	19.200	4.800	1.200
	6	38.400	9.600	2.400	0.600
	12	19.200	4.800	1.200	0.300
17.2032	7	38.400	9.600	2.400	0.600
	14	19.200	4.800	1.200	0.300
19.6608	2	153.600	38.400	9.600	2.400
	4	76.800	19.200	4.800	1.200
	8	38.400	9.600	2.400	0.600
	16	19.200	4.800	1.200	0.300

注) 本表は、システムクロックとしてfc、クロックギアとしてfc/1、プリスケラ用クロックとしてシステムクロックを選択した場合の値です。

表3.8.3 UARTボーレートの選択(2)(タイマ2入力クロック $\phi T1$ を使用)

単位(kbps)

TREG2 \ fc	19.6608 MHz	14.7456 MHz	12.288 MHz	12 MHz	9.8304 MHz	8 MHz	6.144 MHz
1H	153.6	115.2	96		76.8	62.5	48
2H	76.8	57.6	48		38.4	31.25	24
3H	51.2	38.4	32	31.25			16
4H	38.4	28.8	24		19.2		12
5H	30.72	23.04	19.2				9.6
8H	19.2	14.4	12		9.6		6
AH	15.36	11.52	9.6				4.8
10H	9.60	7.20	6		4.8		3
14H	7.68	5.76	4.8				2.4

ボーレートの算出方法(タイマ2を使用した場合)

$$\text{転送レート} = \frac{\text{SYSCR0} \langle \text{PRCK1:0} \rangle \text{で選択されたクロック周波数}}{\text{TREG2} \times 8 \times 16}$$

↑ (タイマ2の入力クロックが $\phi T1$ の場合)

注) 本表は、クロックギアとしてfc/1、プリスケラ用クロックとして $f_{FPH}$ を選択した場合の値です。

## (3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- UARTモードの場合

SC0MOD<SC1:0>の設定により、前記ボーレートジェネレータからのクロック、内部クロック $\phi 1$  (max 625 kbps @  $f_c=20$  MHz)、タイマ2からの一致検出信号、外部クロックSCLK0のいずれかを選択し、基本クロックSIOCLKをつくります。

## (4) 受信カウンタ

受信カウンタは、UARTモードで用いられる4ビットのバイナリカウンタで、SIOCLKでカウントアップされます。データ1ビットの受信にSIOCLK16発が用いられ、7, 8, 9発目でデータをサンプリングします。

3回のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9発目のクロックで、データが1, 0, 1であれば受信データは“1”と判断され、また、0, 0, 1であれば“0”と判断されます。

## (5) 受信制御部

- UARTモードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3回のサンプリング中2回の以上が“0”であれば、正常なスタートビットと判断し、受信動作を開始します。

データ受信中でも、多数決論理により受信データを判断しています。

## (6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1(シフトレジスタ型)に受信データが1ビットずつ格納され、7ビットまたは8ビットのデータがそろろうと、もう一方の受信バッファ2(SC0BUF)へ移されるとともに、割り込みINTRX0が発生します。

CPUは受信バッファ2(SC0BUF)の方を読み出します。CPUが受信バッファ2(SC0BUF)を読み出す前でも、受信データは受信バッファ1へ格納することができます。

ただし、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2(SC0BUF)を読み出さなければ、オーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ2およびSC0CR<RB8>の内容は保存されていますが、受信バッファ1の内容は失われます。

8ビットUARTのパリティ付加の場合のパリティビット、9ビットUARTモードの場合の最上位ビットはSC0CR<RB8>に格納されます。

9ビットUARTの場合、SC0MOD<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>=“1”のときのみ、割り込みINTRX0が発生します。

## (7) 送信カウンタ

送信カウンタはUARTモードで用いられる4ビットのバイナリカウンタで、受信カウンタ同様SIOCLKでカウントされ、16発ごとに送信クロックTXDCLKを生成します。

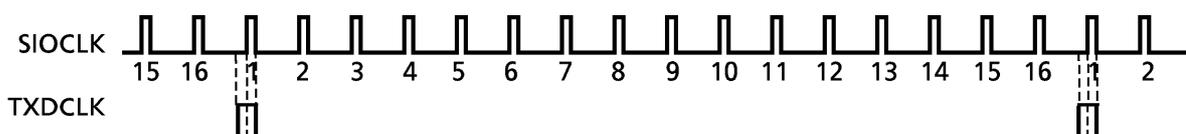


図3.8.12 送信クロックの生成

## (8) 送信制御部

### ● UARTモード

送信バッファにCPUから送信データが書き込まれると、次のTXDCLKの立上りエッジから送信を開始し、送信シフトクロックTXDSFTをつくります。

## (9) 送信バッファ

送信バッファSC0BUFは、CPUより書き込まれた送信データを最下位ビットから順に送出されます。全ビット送出されると、送信バッファエンプティでINTTX0割り込みが発生します。

## (10) パリティ制御回路

シリアルチャネルコントロールレジスタSC0CR<PE>を“1”にすると、パリティ付加の送信を行います。ただし、7ビットUARTまたは8ビットUARTモードのみパリティ付加が可能です。SC0CR<EVEN>レジスタによって偶数(奇数)パリティを選択することができます。

送信時、パリティ制御回路は送信バッファSC0BUFに書き込まれたデータにより自動的にパリティを発生し、7ビットUARTモードのときはSC0BUF<TB7>に、8ビットUARTモードのときはSC0MOD<TB8>にパリティを格納して、送信します。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ1にシフトインされ、受信バッファ2(SC0BUF)に移されたデータにより、パリティを自動発生し、7ビットUARTモードのときはSC0BUF<RB7>のパリティと、8ビットUARTモードのときはSC0MOD<RB8>のパリティとが比較され、異なっているとパリティエラーが発生し、SC0CR<PERR>フラグがセットされます。

## (11) エラーフラグ

受信データの信頼性を上げるために、3つのエラーフラグが用意されています。

### 1. オーバランエラー<OERR>

受信バッファ2(SC0BUF)に有効データが格納されている状態で、受信バッファ1に次のデータが全ビット受信されると、オーバランエラーが発生します。

### 2. パリティエラー<PERR>

受信バッファ2(SC0BUF)に移されたデータから発生したパリティと、RXD端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

### 3. フレーミングエラー<FERR>

受信データのストップビットを中央付近で3回サンプリングし、多数決した結果が“0”の場合、フレーミングエラーが発生します。

## (12) 各信号発生タイミング

UARTモードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生 タイミング	最終ビット (ビット8) の中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中央付近	ストップビットの 中央付近	ストップビットの中央付近
パリティエラー 発生タイミング	—	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
オーバランエラー 発生タイミング	最終ビット (ビット8) の中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近

注) 9ビットモード、8ビット+パリティモードでは、割り込みは9ビット目と同時に発生します。そのため、割り込み発生後、1ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生 タイミング	ストップビット送出 の直前	←	←

3.8.3 動作説明

(1) モード1 (7ビットUARTモード)

シリアルチャネルモードレジスタ **SC0MOD<SM1:0>** を “01” にセットすると、7ビットUARTモードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ **SC0CR<PE>** で、パリティビット付加のイネーブル/ディセーブルを制御しています。<PE>=1(イネーブル)のときは**SC0CR<EVEN>**で、偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



\* クロック条件 { クロックギア: 1倍 (fc)  
プリスケラクロック: fFPH

	7	6	5	4	3	2	1	0		
P6CR	←	X	X	-	-	-	-	1	} P60をTXD0端子とします。	
P6FC	←	X	X	-	X	-	X	1		
SC0MOD	←	X	0	-	X	0	1	0	1	7ビットUARTモードに設定します。
SC0CR	←	X	1	1	X	X	X	0	0	偶数パリティを付加します。
BROCR	←	0	X	1	0	0	1	0	1	2400 bpsに設定します。
TRUN	←	1	X	-	-	-	-	-	-	ボーレートジェネレータ用にプリスケラを起動します。
INTES0	←	1	1	0	0	-	-	-	-	INTTX0割り込みをイネーブル、レベル4にします。
SC0BUF	←	*	*	*	*	*	*	*	*	送信データをセットします。

X: Don't care、-: No change

(2) モード2 (8ビットUARTモード)

**SC0MOD<SM1:0>** を “10” にセットすると、8ビットUARTモードになります。このモードではパリティビットの付加が可能で、**SC0CR<PE>** でパリティビット付加のイネーブル/ディセーブルが制御できます。<PE>=1(イネーブル)のときは、**SC0CR<EVEN>**で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



\* クロック条件 { クロックギア: 1倍 (fc)  
プリスケラクロック: fFPH

メインルーチンでの設定

	7 6 5 4 3 2 1 0	
P6CR	← X X - - - 0 -	P61 (RXD0) を入力ピンにします。
SC0MOD	← - 0 1 X 1 0 0 1	8ビットUARTモード、受信イネーブルにします。
SC0CR	← X 0 1 X X X 0 0	奇数パリティ付加に設定します。
BROCR	← 0 X 0 1 0 1 0 1	9600 bpsに設定します。
TRUN	← 1 X - - - - -	ボーレートジェネレータ用にプリスケアラを起動します。
INTES0	← - - - - 1 1 0 0	INTRX0をイネーブル、レベル4に設定します。

割り込みルーチンでの処理例

```

[ Acc ← SC0CR AND 00011100      } エラーチェックを行います。
  if Acc ≠ 0 then ERROR          }
  Acc ← SC0BUF                  } 受信データを読み取ります。
]
X: Don't care、 -: No change
    
```

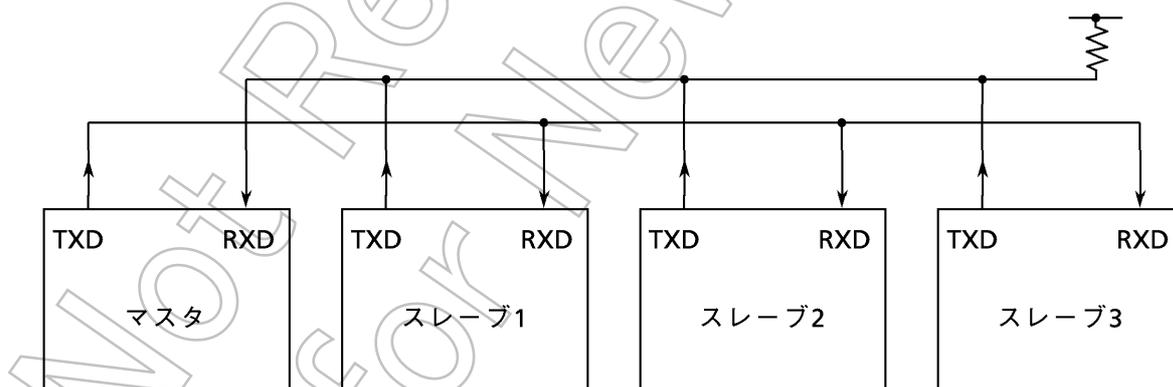
(3) モード3 (9ビットUART)

SC0MOD<SM1:0>を“11”にセットすると、9ビットUARTモードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9ビット目) は、送信の場合、シリアルチャネルモードレジスタの<TB8>に書き込み、受信の場合、シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SC0BUFの方を後にします。

ウェイクアップ機能

9ビットUARTモードでは、SC0MOD<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8>="1"のときのみ割り込みINTRX0が発生します。

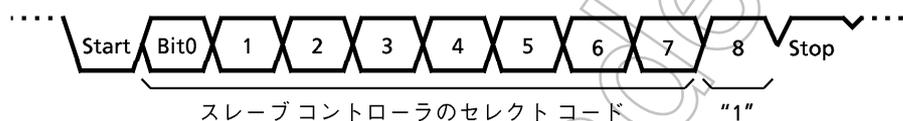


注) スレーブコントローラのTXD端子は、必ずODEレジスタを設定してオープンドレイン出力モードにしてください。

図3.8.13 ウェイクアップ機能によるシリアルリンク

プロトコル
-------

1. マスタおよびスレーブコントローラは、9ビットUARTモードにします。
2. 各スレーブコントローラはSC0MOD<WU>を“1”にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。

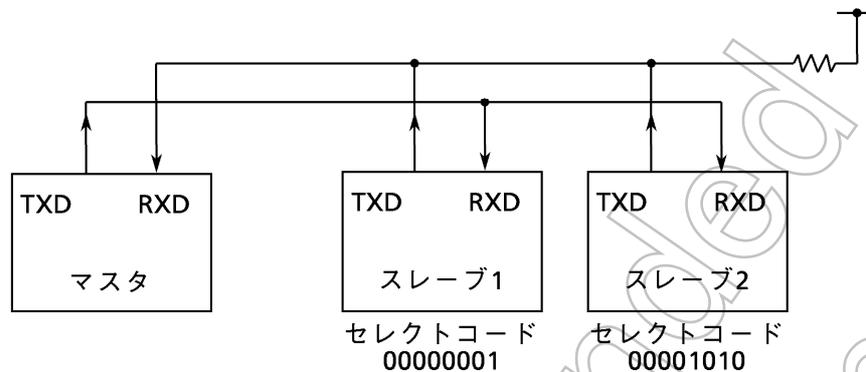


4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を“0”にクリアします。
5. マスタコントローラは、指定したスレーブコントローラ(SC0MOD<WU>=“0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にします。



6. <WU>=“1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため割り込みINTRX0が発生せず、受信データを無視します。  
また、<WU>=“0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック $\phi 1$ を転送クロックとして、2つのスレーブコントローラとシリアルリンクさせる場合



このモードでのシリアルチャンネル0,1は同一の動作をしますので、ここではチャンネル0について説明します。

● マスタコントローラの設定

メインルーチン

```

P6CR  ← X X - - - - 0 1 } P60をTXD0、P61をRXD0端子にします。
P6FC  ← X X - X - 0 X 1
INTES0 ← 1 1 0 0 1 1 0 1  INTTXX0をイネーブル, 割り込みレベルを4に設定します。
SCOMOD ← 1 0 1 0 1 1 1 0  INTRX0をイネーブル, 割り込みレベルを5に設定します。
SC0BUF ← 0 0 0 0 0 0 0 1  9ビットUARTモード, 転送クロックを $\phi 1$ に設定します。
                                     スレーブ1のセレクトコードをセットします。
    
```

割り込みルーチン (INTTXX0)

```

SCOMOD ← 0 - - - - - - - - TB8を"0"にします。
SC0BUF ← * * * * * * * * 送信データをセットします。
    
```

● スレーブの設定

メインルーチン

```

P6CR  ← X X - - - - 0 1 } P60をTXD (オープンドレイン出力) P61をRXDにします。
P6FC  ← X X - X - 0 X 1
ODE   ← X X X X X X - 1
INTES0 ← 1 1 0 1 1 1 1 0  INTTXX0, INTRX0をイネーブルにします。
SCOMOD ← 0 0 1 1 1 1 1 0  9ビットUARTモード転送クロック $\phi 1$ で、<WU> = "1"
                                     に設定します。
    
```

割り込みルーチン (INTRX0)

```

Acc ← SC0BUF
if Acc = セレクトコード
Then SCOMOD ← - - - - 0 - - - - <WU> = "0"にクリアします。
    
```

## 3.9 アナログ/デジタルコンバータ

TMP93CS36は、4チャンネルのアナログ入力を持つ、高速高精度の10ビット逐次比較方式アナログ/デジタルコンバータ (ADコンバータ) を内蔵しています。

図3.9.1に、ADコンバータのブロック図を示します。

4チャンネルのアナログ入力端子 (AN0~AN3) は、入力専用ポート5と兼用で入力ポートとしても使用できます。

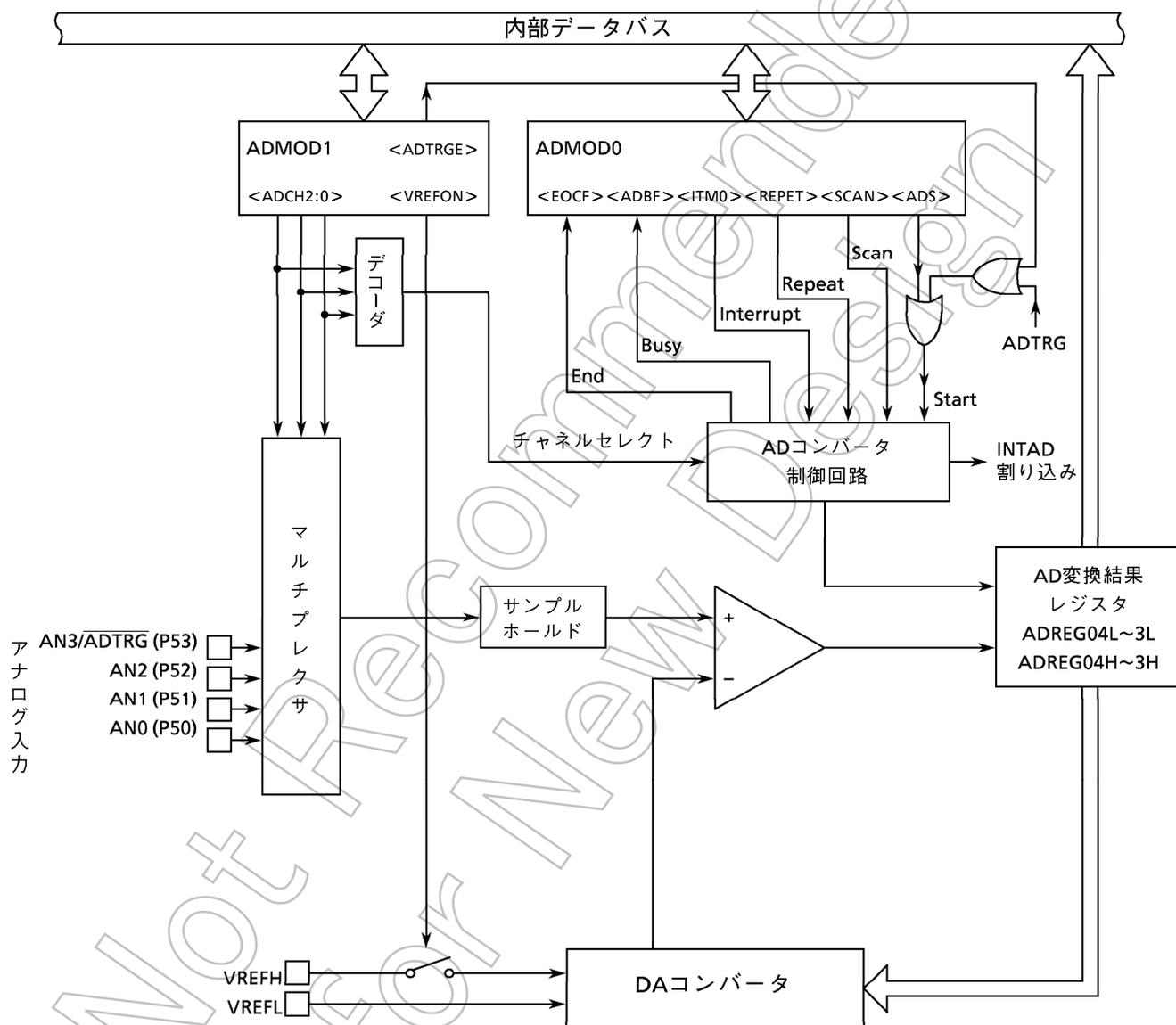


図3.9.1 ADコンバータのブロック図

注1) IDLE2, IDLE1, STOP モードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがあります。HALT命令を実行する前に、ADコンバータの動作を停止させてください。

注2) 最低動作周波数について

ADコンバータの動作は、クロックギアで選択されたクロックの周波数が4 MHz以上で保証します。

3.9.1 アナログ/デジタルコンバータレジスタ

ADコンバータは、2つのADモードコントロールレジスタ (ADMOD0, ADMOD1)により制御されています。また、AD変換結果は、AD変換結果上位/下位レジスタADREG04H/L, ADREG15H/L, ADREG2H/L, ADREG3H/Lの8つのレジスタに格納されます。

図3.10.2にADコンバータ関係のレジスタを示します。

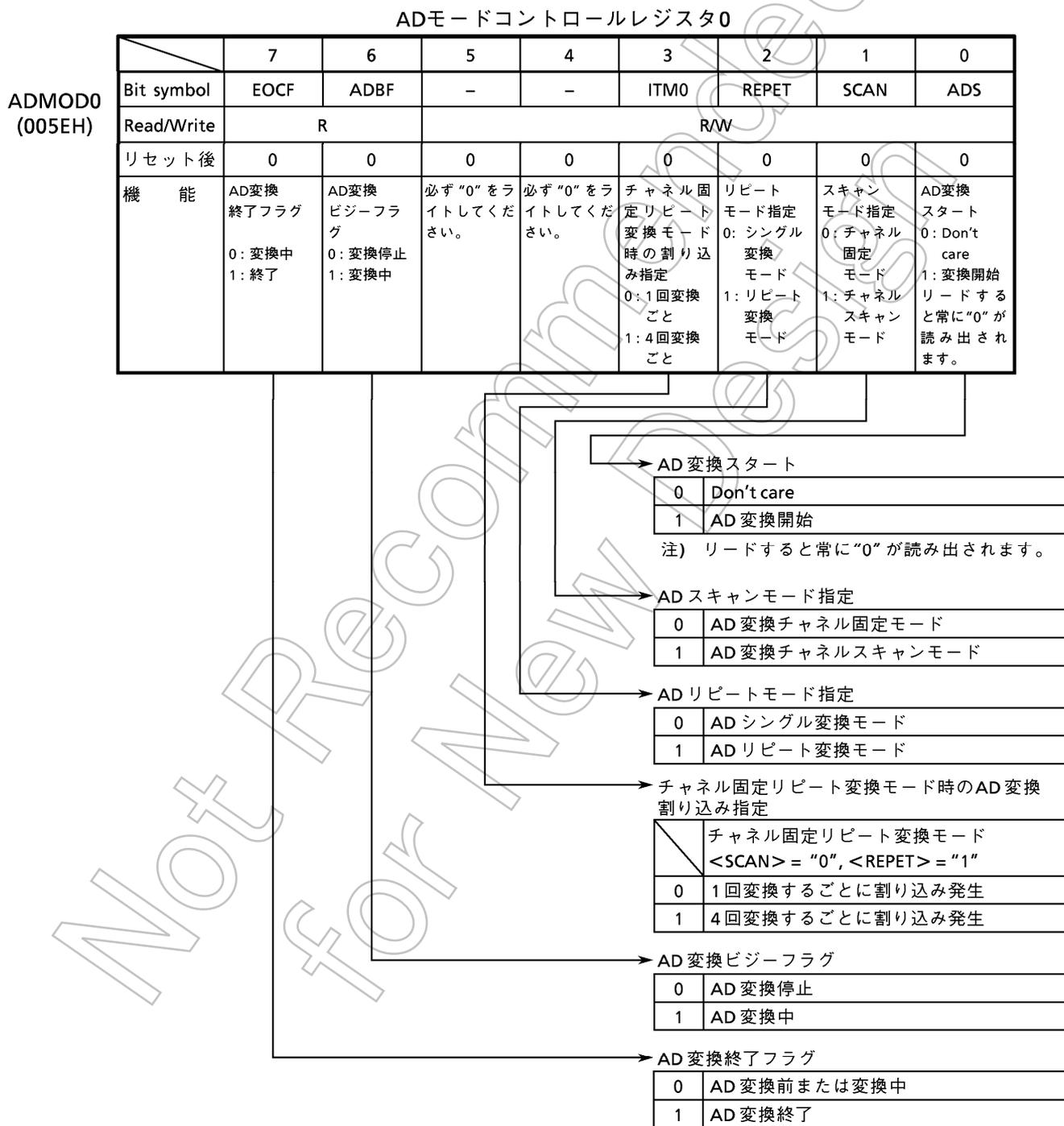


図3.9.2 ADコンバータ関係のレジスタ (1/4)

ADモードコントロールレジスタ1

	7	6	5	4	3	2	1	0
Bit symbol	VREFON				ADTRGE	ADCH2	ADCH1	ADCH0
Read/Write	R/W				R/W			
リセット後	1				0	0	0	0
機能	VREF 印加制御 0: OFF 1: ON				AD外部 トリガ スタート 制御 0: 禁止 1: 許可	アナログ入力チャンネル選択		

アナログ入力チャンネル選択

<SCAN> <ADCH2,1,0>	0 (チャンネル 固定)	1 (チャンネル スキャン)
000	AN0	AN0
001	AN1	AN0→AN1
010	AN2	AN0→AN1→AN2
011 (注)	AN3	AN0→AN1→AN2→AN3
100	Reserved	
101		
110		
111		

外部トリガ (ADTRG入力)による AD 変換  
スタート制御

0	ディセーブル
1	イネーブル

ADコンバータ用基準電圧印加制御

0	OFF
1	ON

変換スタート前 (ADMOD0<ADS>に“1”を  
書き込む前)に<VREFON>を“1”に設定し  
てください。

注) AN3端子は、ADTRG入力端子と兼用になっています。このため<ADTRGE> = “1”でADTRGを使用している場合、  
<ADCH2:0> = “011”に設定しないでください。

図3.9.3 ADコンバータ関係のレジスタ (2/4)

AD変換結果下位レジスタ0/4

	7	6	5	4	3	2	1	0
ADREG04L (0060H)	Bit symbol	ADR01	ADR00					ADR0RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD変換結果下位 2ビット格納						AD変換結果 格納フラグ 1: 変換結果あり

AD変換結果上位レジスタ0/4

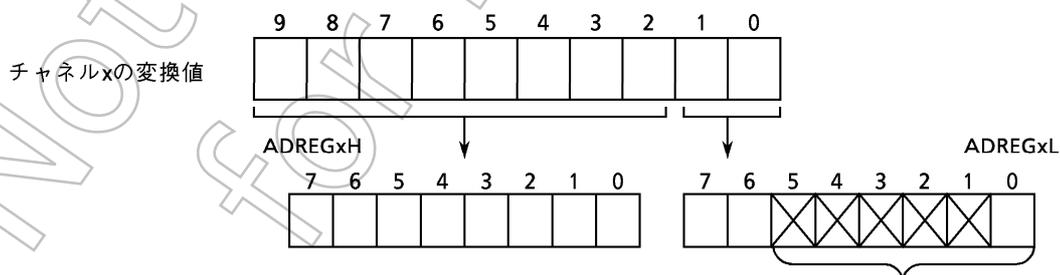
	7	6	5	4	3	2	1	0	
ADREG04H (0061H)	Bit symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
	Read/Write	R							
	リセット後	不定							
	機能	AD変換結果上位8ビット格納							

AD変換結果下位レジスタ1/5

	7	6	5	4	3	2	1	0
ADREG15L (0062H)	Bit symbol	ADR11	ADR10					ADR1RF
	Read/Write	R						R
	リセット後	不定						0
	機能	AD変換結果下位 2ビット格納						AD変換結果 格納フラグ 1: 変換結果あり

AD変換結果上位レジスタ1/5

	7	6	5	4	3	2	1	0	
ADREG15H (0063H)	Bit symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
	Read/Write	R							
	リセット後	不定							
	機能	AD変換結果上位8ビット格納							



- ビット5~1を読み出すと、常に“1”になります。
- ビット0は、AD変換結果格納フラグ<ADR<sub>x</sub>RF>です。AD変換値が格納されると、“1”にセットされます。どちらかのレジスタ(ADREG<sub>x</sub>H, ADREG<sub>x</sub>L)をリードすると、“0”にクリアされます。

図3.9.4 ADコンバータ関係のレジスタ (3/4)

AD変換結果下位レジスタ2

	7	6	5	4	3	2	1	0	
ADREG2L (0064H)	Bit symbol	ADR21	ADR20					ADR2RF	
	Read/Write	R							R
	リセット後	不定							0
	機能	AD変換結果下位2ビット格納							AD変換結果格納フラグ 1: 変換結果あり

AD変換結果上位レジスタ2

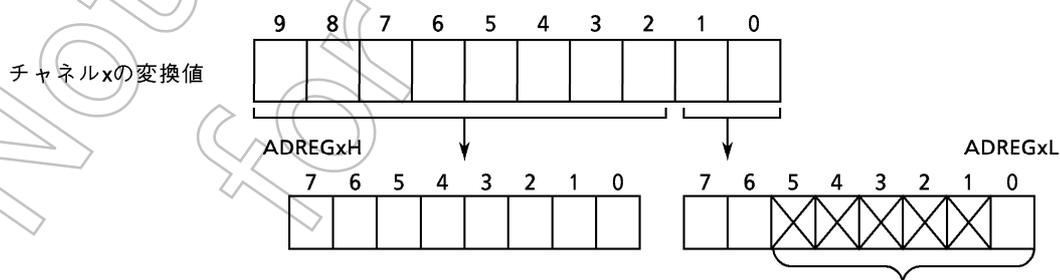
	7	6	5	4	3	2	1	0	
ADREG2H (0065H)	Bit symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write	R							
	リセット後	不定							
	機能	AD変換結果上位8ビット格納							

AD変換結果下位レジスタ3

	7	6	5	4	3	2	1	0	
ADREG3L (0066H)	Bit symbol	ADR31	ADR30					ADR3RF	
	Read/Write	R							R
	リセット後	不定							0
	機能	AD変換結果下位2ビット格納							AD変換結果格納フラグ 1: 変換結果あり

AD変換結果上位レジスタ3

	7	6	5	4	3	2	1	0	
ADREG3H (0067H)	Bit symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
	Read/Write	R							
	リセット後	不定							
	機能	AD変換結果上位8ビット格納							



- ビット5~1を読み出すと、常に“1”になります。
- ビット0は、AD変換結果格納フラグ<ADR<sub>x</sub>RF>です。AD変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREG<sub>x</sub>H, ADREG<sub>x</sub>L) をリードすると、“0”にクリアされます。

図3.9.5 ADコンバータ関係のレジスタ (4/4)

## 3.9.2 動作説明

## (1) アナログ基準電圧

アナログ基準電圧の“H”側をVREFH端子に、“L”側をVREFL端子に印加します。VREFH~VREFL間の基準電圧をストリング抵抗により1024分割し、アナログ入力電圧と比較判定を行うことにより、AD変換を行います。

ADモードレジスタADMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH~VREFL間のスイッチをOFFできます。なお、OFFしている状態からAD変換スタートをさせる場合は、必ず<VREFON>に“1”を書き込んだ後、内部基準電圧が安定するまでの3 $\mu$ s (fcに関係ありません)待ち、ADモードレジスタADMOD0<ADS>に“1”を書き込んでください。

## (2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、ADコンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN> = “0”)
  - ADMOD1<ADCH2:0>の設定により、アナログ入力AN0~AN3端子の中から1チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN> = “1”)
  - ADMOD1<ADCH2:0>の設定により、4種類のスキャンモードの中から1つのスキャンモードを選択します。

表3.9.1に、動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN>は“0”にADMOD1<ADCH2:0>は“000”に初期化されますので、AN0端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表3.9.1 アナログ入力チャネルの選択

<ADCH2:0>	チャネル固定 <SCAN> = “0”	チャネルスキャン <SCAN> = “1”
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011	AN3	AN0 → AN1 → AN2 → AN3
100	Reserved	
101		
110		
111		

## (3) AD変換開始

AD変換は、ADモードコントロールレジスタADMOD0<ADS>に“1”を設定するか、ADモードコントロールレジスタADMOD1<ADTRGE>に“1”を設定し、ADTRG端子より立ち下がりエッジを入力することにより開始されます。AD変換が開始されると、AD変換中を示すAD変換ビジーフラグ(ADMOD0<ADBF>)が“1”にセットされます。

AD変換中に<ADS>に“1”を設定すると再起動がかかります。その時点のAD変換のデータが保証されているかどうかは、変換結果格納フラグADREGxL<ADR<sub>x</sub>RF>を確認して判断してください。

また、AD変換中に、ADTRG端子に立ち下がりエッジを入力しても無視されます。

#### (4) AD変換モードとAD変換終了割り込み

AD変換には、次の4つのモードが用意されています。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

AD変換モードの選択は、ADモードコントロールレジスタ **ADMOD0<REPET, SCAN>** で行います。

AD変換が終了すると、AD変換終了割り込み **INTAD** の割り込み要求が発生します。また、AD変換終了を示す **ADMOD0<EOCF>** が“1”にセットされます。

##### 1. チャンネル固定シングル変換モード

**ADMOD0<REPET, SCAN>** に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した1チャンネルの変換を1回だけ行います。変換が終了した後、**ADMOD0<EOCF>** が“1”にセット、**ADMOD0<ADBF>** が“0”にクリアされ、**INTAD** の割り込み要求が発生します。

##### 2. チャンネルスキャンシングル変換モード

**ADMOD0<REPET, SCAN>** に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ1回だけ行います。スキャン変換が終了した後、**ADMOD0<EOCF>** が“1”にセット、**ADMOD0<ADBF>** が“0”にクリアされ、**INTAD** の割り込み要求が発生します。

##### 3. チャンネル固定リピート変換モード

**ADMOD0<REPET, SCAN>** に“10”を設定するとチャンネル固定リピート変換モードになります。

このモードでは、選択した1チャンネルの変換を繰り返し行います。変換が終了した後、**ADMOD0<EOCF>** が“1”にセットされます。**ADMOD0<ADBF>** は“0”にクリアされず“1”を保持します。**INTAD** の割り込み要求発生タイミングは **ADMOD0<ITM0>** の設定により選択できます。

**<ITM0>** を“0”に設定すると、AD変換が1回終了するごとに割り込み要求が発生します。

**<ITM0>** を“1”に設定すると、AD変換が4回終了するごとに割り込み要求が発生します。

##### 4. チャンネルスキャンリピート変換モード

**ADMOD0<REPET, SCAN>** に“11”を設定すると、チャンネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を繰り返し行います。1回のスキャン変換が終了するごとに **ADMOD0<EOCF>** が“1”にセットされ、**INTAD** 割り込み要求が発生します。**ADMOD0<ADBF>** は“0”にクリアされず“1”を保持します。

リピート変換モード (3、4のモード) の動作を停止させたい場合は、**ADMOD0<REPET>** に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、**ADMOD0<ADBF>** は“0”にクリアされます。

**IDLE2, IDLE1, STOP** モードのホルト状態へ移行すると、AD変換中でもADコンバータは直ちに動作を停止します。ホルト解除後、リピート変換モード (3、4) ではAD変換を最初から開始します。シングル変換モード (1、2) では、変換動作を再開しません (停止したままです)。

表3.9.2にAD変換モードと割り込み要求の関係を示します。

表3.9.2 AD変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPET>	<SCAN>
チャンネル固定 シングル変換モード	変換終了後	X	0	0
チャンネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャンネル固定 リピート変換モード	1回変換するとき	0	1	0
	4回変換するとき	1		
チャンネルスキャン リピート変換モード	1回のスキャン変換 が終了するとき	X	1	1

X: Don't care

(5) AD変換時間

1チャンネル当たりのAD変換ステータは、140ステータ (14  $\mu$ s @  $f_c=20$  MHz) です。

(6) AD変換結果の格納と読み出し

AD変換結果は、AD変換結果上位/下位レジスタ (ADREG04H/L~ADRG3H/L) に格納されます (ADREG04H/L~3H/Lは、読み出し専用のレジスタです)。

チャンネル固定リピート変換モードでは、AD変換結果は、ADREG04H/LからADREG3H/Lへと順次格納されます。それ以外のモードでは、チャンネルAN0, AN1, AN2, AN3の変換結果がそれぞれADREG04H/L, ADREG15H/L, ADREG2H/L, ADREG3H/Lに格納されます。

表3.9.3に、アナログ入力チャンネルとAD変換結果レジスタの対応を示します。

表3.9.3 アナログ入力チャンネルとAD変換結果レジスタの対応

アナログ入力 チャンネル (ポート5)	AD変換結果レジスタ	
	右記以外の変換モード	チャンネル固定リピート 変換モード (4回ごと)
AN0	ADREG04H/L	ADREG04H/L ←
AN1	ADREG15H/L	↓
AN2	ADREG2H/L	ADREG15H/L
AN3	ADREG3H/L	↓
		ADREG2H/L
		↓
		ADREG3H/L

AD変換結果格納フラグ<ADR<sub>x</sub>RF>は、AD変換結果下位レジスタのビット0で、そのAD変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD変換結果レジスタに変換値が格納されると“1”にセットされ、どちらかのAD変換結果レジスタ (ADREG<sub>x</sub>H, ADREG<sub>x</sub>L) を読み出すと“0”にクリアされます。

また、AD変換結果の読み出しに伴い、AD変換終了フラグADMOD0<EOCF>は“0”にクリアされます。

設定例:

1. AN3端子のアナログ入力電圧をAD変換し、AD割り込み (INTAD) 処理ルーチンで変換値を0800Hのメモリへ書き込む場合

メインルーチンでの設定

7 6 5 4 3 2 1 0

INTE0AD ← 1 1 0 0 - - - -	INTADをイネーブルにし、レベルを“4”に設定します。
ADMOD1 ← 1 X X X 0 0 1 1	アナログ入力チャンネルをAN3に設定します。
ADMOD0 ← X X 0 0 0 0 0 1	チャンネル固定シングル変換モードで変換を開始します。

割り込みルーチンでの処理例

WA ← ADREG3	汎用レジスタWA (16ビット) へADREG3L, ADREG3Hの値を読み出します。
WA >> 6	WAに読み出した内容を右へ6回シフトし、上位ビットに“0”を入れます。
(0800H) ← WA	アドレス0800HへWAの内容を書き込みます。

2. AN0~AN2の3端子のアナログ入力電圧を、チャンネルスキャンリピート変換モードでAD変換し続ける場合

INTE0AD ← 1 0 0 0 - - - -	INTADを禁止します。
ADMOD1 ← 1 X X X 0 0 1 0	アナログ入力チャンネルをAN0~AN2に設定します。
ADMOD0 ← X X 0 0 0 1 1 1	チャンネルスキャンリピート変換モードで変換を開始します。

X: Don't care、 -: No change

3.10 ウォッチドッグタイマ (暴走検出用タイマ)、ウォームアップタイマ

TMP93CS36は、暴走検出用のウォッチドッグタイマ、ウォームアップタイマを内蔵しています。ウォッチドッグタイマ (WDT) は、ノイズなどの原因によりCPUが誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとINTWD割り込み (ノンマスクابل) を発生し、CPUに知らせます。

さらに、暴走検出結果を用いて、マイコン自体の強制リセット動作を行うことも可能です。

このブロックは、主に7段と15段のバイナリカウンタで構成されています。

これらのバイナリカウンタが、内部発振器安定化のためのウォームアップタイマも兼用しており、STOPモード解除時に使用します。

3.10.1 構成

図3.10.1にウォッチドッグタイマ、ウォームアップタイマ関連のブロック図を示します。

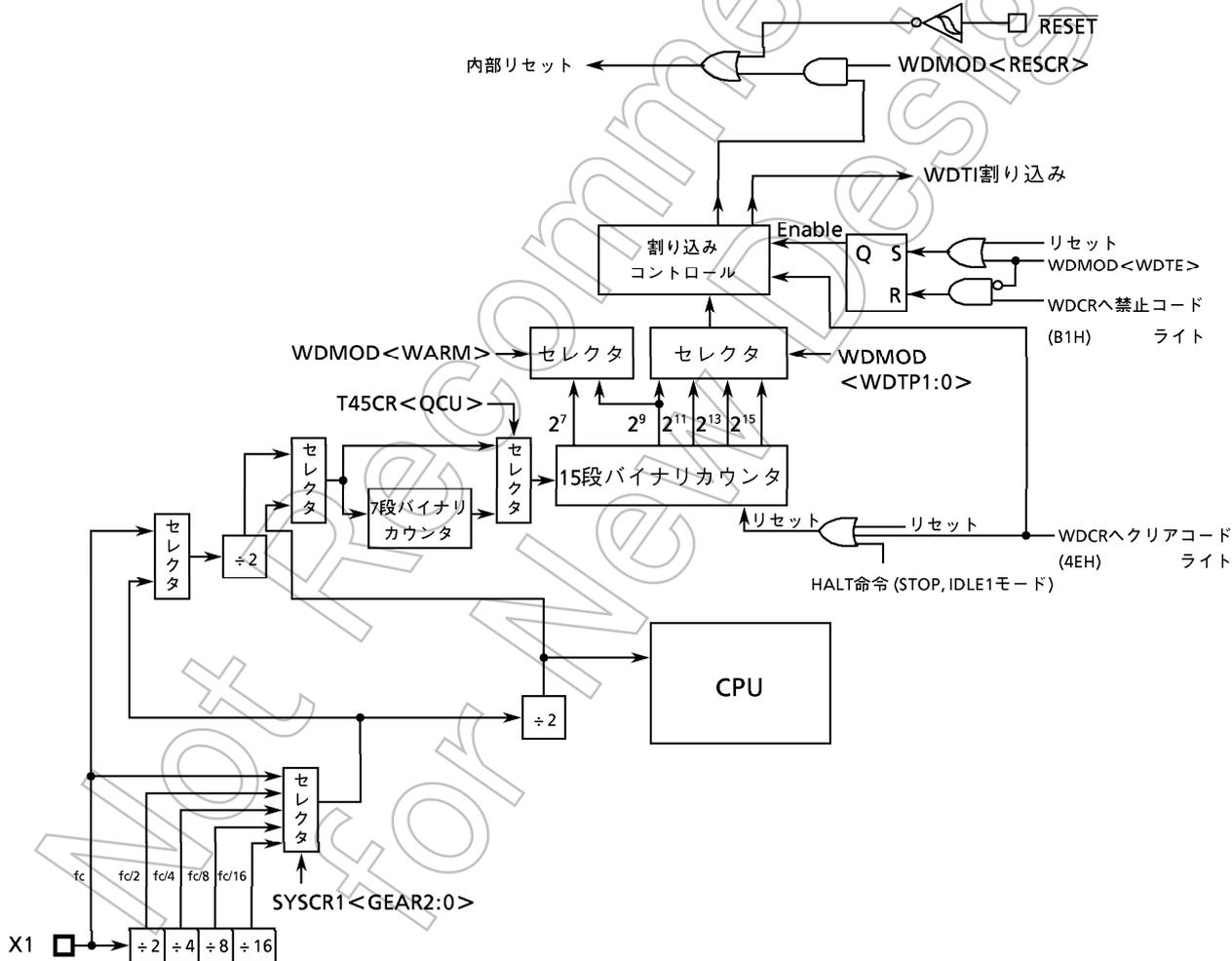


図3.10.1 ウォッチドッグタイマ、ウォームアップタイマ関連のブロック図

ウォッチドッグタイマは、システムクロックを入力クロックとする、7段と15段バイナリカウンタで構成されています。15段バイナリカウンタの出力には $f_{SYS}/2^{15}$ 、 $f_{SYS}/2^{17}$ 、 $f_{SYS}/2^{19}$ および $f_{SYS}/2^{21}$ があります。このうちの1出力をWDMOD<WDTP1:0>で選択することにより、そのオーバフロー時にウォッチドッグタイマ割り込みを発生します。暴走検出結果ソフトウェア(命令)で、割り込みが発生する前にウォッチドッグタイマ用のバイナリカウンタを0にクリアすることが必要です。

LDW (WDMOD), B100H ; 禁止  
LD(WDCR), 4EH ; クリアコード WR  
SET 7, (WDMOD) ; 再許可

また、この暴走検出結果を内部でリセット端子へ接続することも可能です。この場合、自分自身のリセットを行います。



図 3.10.2 通常モード

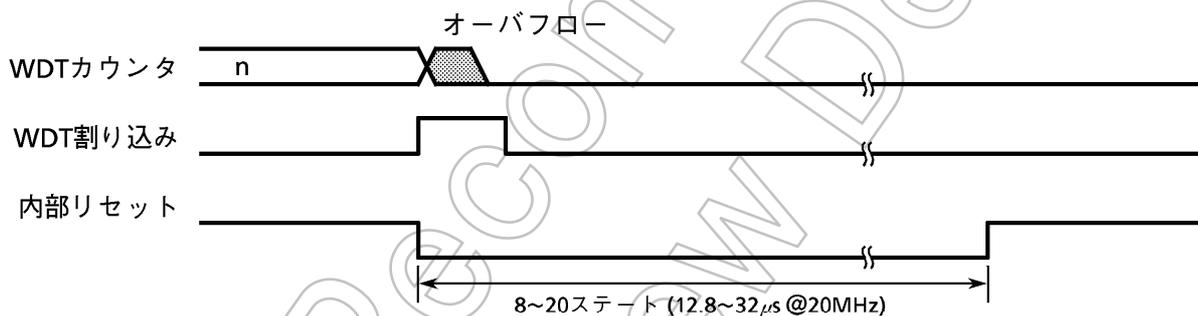


図 3.10.3 リセットモード

ウォームアップタイマには、15段バイナリカウンタの出力のうち、 $2^7$ または $2^9$ をWDMOD<WARM>で選択できます。また、ウォームアップタイマの必要のない外部発振器を用いるシステムのために、T45CR<QCU>レジスタがあります。このレジスタは、STOP解除後のウォームアップ時間を減らすためのレジスタであり、<QCU>に“1”を書き込むと<WARM>の値に関係なく、 $2^7$ でウォームアップ終了信号を出力し、復帰します。ウォッチドッグタイマとして使用中はウォームアップタイマの機能は使用できないため、<QCU>に“0”を書き込んでください。

### 3.10.2 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

#### (1) ウォッチドッグタイマ モードレジスタ (WDMOD)

##### ① ウォッチドッグタイマ検出時間の設定<WDTP>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する2ビットのレジスタです。リセット時、WDMOD<WDTP1:0>="00"に初期化されます。

ウォッチドッグタイマの検出時間を表3.11.1に示します。

##### ② ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

リセット時、WDMOD<WDTE>="1"に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを"0"にクリアするとともに、WDCRレジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生しにくくなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを"1"にセットするだけでイネーブルとなります。

##### ③ ウォッチドッグタイマアウトのリセット接続<RESCR>

暴走検出により自分自身をリセットするか否かを設定するレジスタです。リセット時 WDMOD<RESCR>="0"に初期化されますので、暴走検出結果によるリセットは行われません。

#### (2) ウォッチドッグタイマ コントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

##### ● ディセーブル制御

WDMOD<WDTE>を"0"にクリアした後、このWDCRレジスタにディセーブルコード (B1H) を書き込むと、ウォッチドッグタイマをディセーブルにすることができます。

WDMOD ← 0 - - - - X X	<WDTE>を"0"にクリアします。
WDCR ← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) を書き込みます。

##### ● イネーブル制御

WDMOD<WDTE>を"1"にする。

##### ● ウォッチドッグタイマのクリア制御

WDCRレジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR ← 0 1 0 0 1 1 1 0      クリアコード (4EH) を書き込みます。

X: Don't care、 -: No change

ウォッチドッグタイマモードコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
Read/Write	R/W							
リセット後	1	0	0	0	0	0	0	0
機能	ウォッチドッグタイマ制御 0:禁止 1:許可	ウォッチドッグタイマ検出時間の選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$ 表3.10.1を参照	ウォームアップ時間の選択	HALTモード選択 00: RUNモード 01: STOPモード 10: IDLE1モード 11: IDLE2モード	暴走検出時の内部リセット制御 1: 暴走検出により内部リセットを実行		STOPモード時の端子制御 1: STOPモード中にも端子をドライブ	

3.3「スタンバイ機能」を参照してください。

暴走検出時の内部のリセット制御

0	Don't care
1	暴走検出により内部リセットを実行

STOPモードから復帰時のウォームアップ時間の選択

@  $f_c = 20 \text{ MHz}$

クロック ギア値 <GEAR2:0>	STOPモードからの復帰時の ウォームアップ時間		
	T45CR<QCU> = 0		T45CR<QCU> = 1
	<WARM> = 0	<WARM> = 1	<WARM> = X
000 ( $f_c$ )	0.8192 ms	3.277 ms	6.4 $\mu\text{s}$
001 ( $f_c/2$ )	1.638 ms	6.554 ms	12.8 $\mu\text{s}$
010 ( $f_c/4$ )	3.277 ms	13.107 ms	25.6 $\mu\text{s}$
011 ( $f_c/8$ )	6.554 ms	26.214 ms	51.2 $\mu\text{s}$
100 ( $f_c/16$ )	13.107 ms	52.429 ms	102.4 $\mu\text{s}$

ウォッチドッグタイマの禁止/許可制御

0	禁止
1	許可

注) ウォッチドッグタイマとして使用中、T45CR<QCU>には“0”を書き込んでください。

図3.10.4 ウォッチドッグタイマ関係のレジスタ (1/2)

ウォッチドッグタイマコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	—							
Read/Write	W							
リセット後	—							
機能	ウォッチドッグタイマのディセーブル&クリア B1H: WDT ディセーブルコード 4EH: WDT クリアコード							

リード  
モディファイ  
ライト  
できません。

ウォッチドッグタイマの  
ディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	設定禁止

注) ウォッチドッグタイマとして使用中、T45CR<QCU>には“0”を書き込んでください。

図3.10.5 ウォッチドッグタイマ関係のレジスタ (2/2)

表3.10.1 ウォッチドッグタイマの検出時間

@ fc = 20 MHz

クロック ギア値 <GEAR2:0>	ウォッチドッグタイマ検出時間			
	WDMOD<WDTP1:0>			
	00	01	10	11
000 (fc)	3.277 ms	13.107 ms	52.429 ms	209.715 ms
001 (fc/2)	6.554 ms	26.214 ms	104.858 ms	419.430 ms
010 (fc/4)	13.107 ms	52.429 ms	209.715 ms	838.861 ms
011 (fc/8)	26.214 ms	104.858 ms	419.430 ms	1.678 s
100 (fc/16)	52.429 ms	209.715 ms	838.861 ms	3.355 s

## 3.10.3 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0>レジスタで設定された検出時間後に割り込みINTWTDを発生させるタイマです。ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタをINTWTD割り込みが発生する前に0にクリアすることが必要です。もし、CPUがノイズなどの原因で誤動作(暴走)し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWTD割り込みが発生します。CPUはINTWTD割り込みにより誤動作(暴走)が発生したことを知り、誤動作(暴走)対策プログラムにより正常な状態に戻すことができます。暴走検出結果を周辺装置のリセットなどへ接続することにより、CPUの誤動作(暴走)に対処することができます。

ウォッチドッグタイマは、リセット解除後、直ちに動作を開始します。

なお、IDLE1モードおよびSTOPモード中のウォッチドッグタイマはリセットされ、停止しています。

RUN, IDLE2モード中のウォッチドッグタイマは動作しています。IDLE2モードにおいては、ホルト解除直後のウォッチドッグタイマ割り込みの発生を防ぐために、ホルト状態に入る前にウォッチドッグタイマを禁止してください。

例: 1. バイナリカウンタをクリアします。

WDCR ← 0 1 0 0 1 1 1 0    クリアコード(4EH)の書き込み

2. ウォッチドッグタイマ検出時間を217/システムクロックに設定します。

WDMOD ← 1 0 1 - - - X X

3. ウォッチドッグタイマをディセーブルします。

WDMOD ← 0 - - - - - X X    WDTEを"0"にクリアします。

WDCR ← 1 0 1 1 0 0 0 1    ディセーブルコード(B1H)を書き込みます。

4. IDLE1モードにします。

WDMOD ← 0 - - - 1 0 X X    WDTをディセーブルにして、IDLE1モードに

WDCR ← 1 0 1 1 0 0 0 1    設定します。

HALT命令を実行します。    HALTモードにします。

5. STOPモードにします。(ウォームアップ時間216/システムクロック)

WDMOD ← - - - 1 0 1 X X    STOPモードに設定します。

HALT命令を実行します。    HALTモードにします。

X: Don't care、 -: No change

## 4. 電気的特性

## 4.1 最大定格

計算式に使用している“X”は $f_{PPH}$ の周期を示しますので、クロックギアを使用した場合、“X”の値が異なります。なお、例としての計算値は $f_c$ 、ギア =  $1/f_c (<SY5CK, GEAR2:0> = “000”)$ のとさの値です。

項目	記号	定格	単位
電源電圧	$V_{CC}$	-0.5~6.5	V
入力電圧	$V_{IN}$	-0.5~ $V_{CC}+0.5$	V
出力電流 (1端子当たり), ポート7	$I_{OL1}$	20	mA
出力電流 (1端子当たり), ポート7以外	$I_{OL2}$	2	mA
出力電流 (全端子合計)	$\Sigma I_{OL}$	120	mA
出力電流 (全端子合計)	$\Sigma I_{OH}$	-80	mA
消費電力 ( $T_a = 85^\circ\text{C}$ )	$P_D$	350	mW
はんだ付け温度 (10 s)	$T_{SOLDER}$	260	$^\circ\text{C}$
保存温度	$T_{STG}$	-65~150	$^\circ\text{C}$
動作温度	$T_{OPR}$	-40~85	$^\circ\text{C}$

注) 最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず最大定格を超えないように、応用機器の設計を行ってください。

注) 鉛フリー品 (G付製品) へのはんだ付け性について

試験項目	試験条件	備考
はんだ付け性	230 $^\circ\text{C}$ 5秒間1回Rタイプフラックス使用 (鉛はんだ使用時) 245 $^\circ\text{C}$ 5秒間1回Rタイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでのはんだ付け着率95%を良品とする

## 4.2 DC電气的特性 (1/2)

Ta = -40~85°C

項目	記号	条件	Min	Typ. (注)	Max	単位
電源電圧 ( $AV_{CC} = V_{CC}$ $AV_{SS} = V_{SS} = 0V$ )	V <sub>CC</sub>	fc = 4~20 MHz	4.5		5.5	V
		fc = 4~12.5 MHz	2.7			
低レベル入力電圧	ポート 0, 1	V <sub>IL</sub>	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$		0.8 0.6	V
	ポート 3~7 (P35を除く)	V <sub>IL1</sub>	$V_{CC} = 2.7 \sim 5.5V$	-0.3	0.3V <sub>CC</sub>	
	RESET, INTO	V <sub>IL2</sub>			0.25V <sub>CC</sub>	
	EA	V <sub>IL3</sub>			0.3	
	X1	V <sub>IL4</sub>			0.2V <sub>CC</sub>	
高レベル入力電圧	ポート 0, 1	V <sub>IH</sub>	$V_{CC} \geq 4.5V$ $V_{CC} < 4.5V$	2.2 2.0	V <sub>CC</sub> + 0.3	V
	ポート 3~7 (P35を除く)	V <sub>IH1</sub>	$V_{CC} = 2.7 \sim 5.5V$	0.7V <sub>CC</sub>		
	RESET, INTO	V <sub>IH2</sub>		0.75V <sub>CC</sub>		
	EA	V <sub>IH3</sub>		V <sub>CC</sub> - 0.3		
	X1	V <sub>IH4</sub>		0.8V <sub>CC</sub>		
低レベル出力電圧	V <sub>OL</sub>	I <sub>OL</sub> = 1.6 mA (V <sub>CC</sub> = 2.7~5.5 V)			0.45	V
低レベル出力電流 (P7)	I <sub>OL7</sub>	V <sub>OL</sub> = 1.0 V	(V <sub>CC</sub> = 5 V ± 10%) (V <sub>CC</sub> = 3 V ± 10%)	16 7		mA
高レベル出力電圧	V <sub>OH1</sub>	I <sub>OH</sub> = -400 μA (V <sub>CC</sub> = 3 V ± 10%)	2.4			V
	V <sub>OH2</sub>	I <sub>OH</sub> = -400 μA (V <sub>CC</sub> = 5 V ± 10%)	4.2			

注) Typ.値は特に指定のない限り、Ta = 25°C, V<sub>CC</sub> = 5 Vです。

## DC電氣的特性 (2/2)

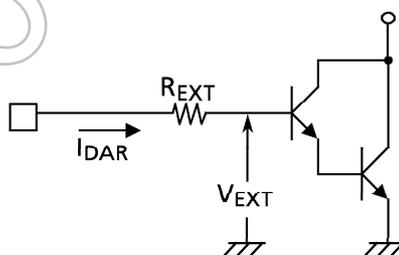
項目	記号	条件	Min	Typ. (注 1)	Max	単位
出力ポート電流 (8出力ピンmax)	$I_{DAR}$ (注2)	$V_{EXT} = 1.5V$ $R_{EXT} = 1.1k\Omega$ ( $V_{CC} = 5V \pm 10\%$ only)	-1.0		-3.5	mA
入力リーク電流	$I_{LI}$	$0.0 \leq V_{IN} \leq V_{CC}$		0.02	$\pm 5$	$\mu A$
出力リーク電流	$I_{LO}$	$0.2 \leq V_{IN} \leq V_{CC} - 0.2$		0.05	$\pm 10$	$\mu A$
パワーダウン電圧 (@ STOP, RAMバックアップ)	$V_{STOP}$	$V_{IL2} = 0.2V_{CC}$ , $V_{IH2} = 0.8V_{CC}$	2.0		6.0	V
RESETプルアップ抵抗	$R_{RST}$	$V_{CC} = 5.5V$	45		130	k $\Omega$
		$V_{CC} = 4.5V$	50		160	
		$V_{CC} = 3.3V$	70		280	
		$V_{CC} = 2.7V$	90		400	
端子容量	$C_{IO}$	$f_c = 1MHz$			10	pF
シュミット幅 RESET, INTO	$V_{TH}$		0.4	1.0		V
プログラマブル プルアップ抵抗	$R_{KH}$	$V_{CC} = 5.5V$	45		130	k $\Omega$
		$V_{CC} = 4.5V$	50		160	
		$V_{CC} = 3.3V$	70		280	
		$V_{CC} = 2.7V$	90		400	
NORMAL (注3)	$I_{CC}$	$V_{CC} = 5V \pm 10\%$ $f_c = 20MHz$		19	25	mA
RUN				17	25	
IDLE2				10	15	
IDLE1				3.5	5	
NORMAL (注3)		$V_{CC} = 3V \pm 10\%$ $f_c = 12.5MHz$ (Typ.値は $V_{CC} = 3.0V$ )		6.5	10	
RUN				5.0	9	
IDLE2				3.0	5	
IDLE1				0.8	1.5	
STOP	$T_a \leq 50^\circ C$	$V_{CC} = 2.7V$ $\sim 5.5V$		0.2	10	$\mu A$
	$T_a \leq 70^\circ C$			20		
	$T_a \leq 85^\circ C$			50		

注1) Typ.値は特に指定のない限り、 $T_a = 25^\circ C$ ,  $V_{CC} = 5V$ です。

注2)  $I_{DAR}$ は、任意の出力ポートについて合計8本までこの $I_{DAR}$ を保証します。

注3)  $I_{CC}$  NORMALの測定条件: CPUのみ動作、出力端子は開放、  
入力端子はレベル固定。

(参考)  $I_{DAR}$ の定義図



## 4.3 AD変換特性

$$AV_{CC} = V_{CC}, AV_{SS} = V_{SS}$$

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧 (+)	V <sub>REFH</sub>	V <sub>CC</sub> = 5V ± 10%	V <sub>CC</sub> -0.2	V <sub>CC</sub>	V <sub>CC</sub>	V
		V <sub>CC</sub> = 3V ± 10%	V <sub>CC</sub> -0.2	V <sub>CC</sub>	V <sub>CC</sub>	
アナログ基準電圧 (-)	V <sub>REFL</sub>	V <sub>CC</sub> = 5V ± 10%	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub> + 0.2	
		V <sub>CC</sub> = 3V ± 10%	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub> + 0.2	
アナログ入力電圧	V <sub>AIN</sub>		V <sub>REFL</sub>		V <sub>REFH</sub>	
アナログ基準電圧電源電流 <V <sub>REFON</sub> > = 1	I <sub>REF</sub> (V <sub>REFL</sub> = 0 V)	V <sub>CC</sub> = 5V ± 10%		0.5	1.5	
		V <sub>CC</sub> = 3V ± 10%		0.3	0.9	
		<V <sub>REFON</sub> > = 0	V <sub>CC</sub> = 2.7~5.5V		0.02	5.0
総合誤差 (量子化誤差は含まず)	—	V <sub>CC</sub> = 5V ± 10%		± 1.0	± 3.0	LSB
		V <sub>CC</sub> = 3V ± 10%		± 1.0	± 5.0	

注1)  $1\text{LSB} = (V_{\text{REFH}} - V_{\text{REFL}}) / 2^{10} [\text{V}]$

注2) 最低動作周波数について

ADコンバータの動作は、クロックギアで選択されたクロックの周波数が4 MHz以上で保証します。

注3) AV<sub>CC</sub>端子より流れる電源電流は、V<sub>CC</sub>端子の電源電流I<sub>CC</sub>に含まれます。

## 4.4 イベントカウンタ (TI4, TI5, TI6, TI7)

項目	記号	計算式		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック周期	t <sub>VCK</sub>	8X + 100		740		500		ns
クロック低レベルパルス幅	t <sub>VCKL</sub>	4X + 40		360		240		ns
クロック高レベルパルス幅	t <sub>VCKH</sub>	4X + 40		360		240		ns

## 4.5 割り込み、キャプチャ

## (1) INTO割り込み

項目	記号	計算式		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
INT0 低レベルパルス幅	t <sub>INTAL</sub>	4X		320		200		ns
INT0 高レベルパルス幅	t <sub>INTAH</sub>	4X		320		200		ns

## (2) INT4~INT7割り込み、キャプチャ

項目	記号	計算式		12.5 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
INT4~INT7低レベルパルス幅	t <sub>INTBL</sub>	4X + 100		420		300		ns
INT4~INT7高レベルパルス幅	t <sub>INTBH</sub>	4X + 100		420		300		ns

## 5. 特殊機能レジスタ一覧表

特殊レジスタ (SFR: Special Function Register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~00007FHの128バイトのアドレス空間に割り付けられています。

- (1) 入出力ポート
- (2) 入出力ポート制御
- (3) クロック制御
- (4) 割り込み制御
- (5) タイマ制御
- (6) シリアルチャネル制御
- (7) ADコンバータ制御
- (8) ウォッチドッグタイマ制御

表の構成

記号	名称	アドレス	7	6	1		0

→ Bit symbol  
 → Read/Write  
 → リセット時の初期値  
 → 備考

\* 表中の“RMW禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) POCRレジスタのビット0のみを“1”にしたい場合、通常は“SET 0, (0002H)”ですが、このレジスタは“RMW禁”のため、“LD”(転送)命令にて8ビットに対して書き込む必要があります。

表5 I/Oレジスタアドレスマップ

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名		
000000H	P0	20H	TRUN	40H	TREG6L	60H	ADREG04L		
1H	P1	21H	(Reserved)	41H	TREG6H	61H	ADREG04H		
2H	P0CR	22H	TREG0	42H	TREG7L	62H	ADREG15L		
3H	(Reserved)	23H	TREG1	43H	TREG7H	63H	ADREG15H		
4H	P1CR	24H	T10MOD	44H	CAP3L	64H	ADREG2L		
5H	P1FC	25H	TFFCR	45H	CAP3H	65H	ADREG2H		
6H	(Reserved)	26H	TREG2	46H	CAP4L	66H	ADREG3L		
7H	P3	27H	TREG3	47H	CAP4H	67H	ADREG3H		
8H	(Reserved)	28H	T32MOD	48H	T5MOD	68H	(Reserved)		
9H	(Reserved)	29H	TRDC	49H	T5FFCR	69H	(Reserved)		
AH	P3CR	2AH	} (Reserved)	4AH	} (Reserved)	6AH	(Reserved)		
BH	P3FC	2BH		4BH		6BH	(Reserved)		
CH	P4	2CH		4CH		6CH	(Reserved)		
DH	P5	2DH		4DH		6DH	CKOCR		
EH	P4CR	2EH		4EH		6EH	SYSCR0		
FH	(Reserved)	2FH		4FH		6FH	SYSCR1		
10H	P4FC	30H		TREG4L		50H	SC0BUF	70H	INTE0AD
11H	(Reserved)	31H		TREG4H		51H	SC0CR	71H	INTE45
12H	P6	32H	TREG5L	52H	SC0MOD	72H	INTE67		
13H	P7	33H	TREG5H	53H	BR0CR	73H	INTET10		
14H	P6CR	34H	CAP1L	54H	SC1BUF	74H	INTET32		
15H	P7CR	35H	CAP1H	55H	SC1CR	75H	INTET54		
16H	P6FC	36H	CAP2L	56H	SC1MOD	76H	INTET76		
17H	} (Reserved)	37H	CAP2H	57H	BR1CR	77H	INTE054		
18H		38H	T4MOD	58H	ODE	78H	INTES0		
19H		39H	T4FFCR	59H	} (Reserved)	79H	INTES1		
1AH		3AH	T45CR	5AH		7AH	(Reserved)		
1BH		3BH	} (Reserved)	5BH	} (Reserved)	7BH	IIMC		
1CH		3CH		5CH		WDMOD	7CH	DMA0V	
1DH		3DH		5DH		WDCR	7DH	DMA1V	
1EH		3EH		5EH		ADMOD0	7EH	DMA2V	
1FH	3FH	5FH	ADMOD1	7FH	DMA3V				

注) レジスタ名の割り付けられていないアドレスには、アクセスしないでください。

(1) 入出力ポート

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P0	Port 0	00H	P07	P06	P05	P04	P03	P02	P01	P00	
			R/W								
			外部端子データ (出力ラッチレジスタは不定となります)								
P1	Port 1	01H	P17	P16	P15	P14	P13	P12	P11	P10	
			R/W								
			外部端子データ (出力ラッチレジスタは "0" にクリアされます)								
P3	Port 3	07H			P35			-	-	-	
					R/W			R/W			
					外部端子データ (出力ラッチレジスタは "1" にセットされます)			0	1	1	
								"0" をライトしてください。	"1" をライトしてください。(リードすると "1" が読めます。)		
P4	Port 4	0CH	-	P46	P45	P44	P43	P42	P41		
			R/W								
			0	外部端子データ (出力ラッチレジスタは "1" にセットされます)							
			"0" をライトしてください。								
P5	Port 5	0DH			P55	P54	P53	P52	P51	P50	
			R								
			外部端子データ								
P6	Port 6	12H (RMW禁*)			-	P64	P63	-	P61	P60	
					R/W	R/W		R/W	R/W		
					0	外部端子データ (出力ラッチレジスタは "1" にセットされます)		0	外部端子データ (出力ラッチレジスタは "1" にセットされます)		
P7	Port 7	13H							P71	P70	
			R/W								
			外部端子データ (出力ラッチレジスタは "1" にセットされます)								

Read/Write

R/W: リード/ライト可能

R: リードのみ可能

W: ライトのみ可能

RMW禁: リードモディファイライトができません (RES, SET, TSET, CHG, STCF, ANDCF, ORCF, XORCF命令などの使用不可)。

RMW禁\*: 該当ポートのプルアップ制御の際には、リードモディファイライトはできません。

(2) 入出力ポート制御

記号	名称	アドレス	7	6	5	4	3	2	1	0		
P0CR	Port 0 control	02H (RMW禁)	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C		
			W									
			0	0	0	0	0	0	0	0	0	
			0: 入力				1: 出力					
P1CR	Port 1 control	04H (RMW禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C		
			W									
			0	0	0	0	0	0	0	0	0	
			0: 入力				1: 出力					
P1FC	Port 1 function	05H (RMW禁)	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F		
			W									
			00	0	0	0	0	0	0	0	0	
			"0" をライトしてください。									
P3CR	Port 3 control	0AH (RMW禁)	P35C		W		-		-			
			0		0		0		0			
			0: 入力		1: 出力		"0" をライトしてください。					
P3FC	Port 3 function	0BH (RMW禁)	-		-		-		-			
			W									
			0		0		0		0		0	
			必ず "0" をライトしてください。 (リードすると "1" が読めます)									
P4CR	Port 4 control	0EH (RMW禁)	-	P46C	P45C	P44C	P43C	P42C	P41C			
			W									
			0	0	0	0	0	0	0	0		
			"0" をライトしてください。		0: 入力				1: 出力			
P4FC	Port 4 function	10H (RMW禁)	-	P44F		-		-		P41F		
			W		W		W		W			
			0		0		0		0		0	
			"0" をライトしてください。		0: ポート 1: TO4				0: ポート 1: TO3			
P6CR	Port 6 control	14H (RMW禁)	-		P64C		P63C		-		P61C	
			-		-		-		-		-	
			0		0		0		0		0	
			"0" をライトしてください。		0: 入力		1: 出力		"0" をライトしてください。		0: 入力	
									0: 出力			
P7CR	Port 7 control	15H (RMW禁)	-		-		-		-		P71C	
			-		-		-		-		P70C	
			W									
		0		0		0		0		0		
			0: 入力				1: 出力					
P6FC	Port 6 function	16H (RMW禁)	-		P63F		-		-		P60F	
			-		-		-		-		-	
			W		W		W		W			
		0		0		0		0		0		
			"0" をライトしてください。		0: ポート 1: TXD1		"0" をライトしてください。				0: ポート 1: TXD0	

(3) クロック制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
CKOCR	Clock output control register	006DH	-	-	/	/	/	/	-	CLKEN
			R/W			R/W			R/W	
			1	0					0	0
"1"をライトしてください(リードすると"1"が読めます)。									"0"をライトしてください。	
SYSCRO	System clock control register 0	006EH	-	-	-	-	-	-	PRCK1	PRCK0
			R/W							
			1	0	1	0	0	0	0	0
必ず"1"をライトしてください。(リードすると"1"が読めます)			必ず"0"をライトしてください。(リードすると"0"が読めます)			必ず"1"をライトしてください。(リードすると"1"が読めます)			必ず"0"をライトしてください。(リードすると"0"が読めます)	
SYSCR1	System clock control register 1	006FH	/	/	/	/	-	GEAR2	GEAR1	GEAR0
			R/W							
							0	1	0	0
						必ず"0"をライトしてください。(リードすると"0"が読めます)				

Not Recommended for New

(4) 割り込み制御 (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0/AD enable register	70H (RMW禁)	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	IOC	IOM2	IOM1	IOM0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE45	INT4/5 enable register	71H (RMW禁)	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE67	INT6/7 enable register	72H (RMW禁)	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET10	INTT1/0 enable register	73H (RMW禁)	INTT1 (タイマ1)				INTT0 (タイマ0)			
			IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET32	INTT3/2 enable register	74H (RMW禁)	INTT3 (タイマ3)				INTT2 (タイマ2)			
			IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET54	INTT5/4 enable register	75H (RMW禁)	INTTR5 (TREG5)				INTTR4 (TREG4)			
			IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET76	INTT7/6 enable register	76H (RMW禁)	INTTR7 (TREG7)				INTTR6 (TREG6)			
			IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTEO54	INTTO5/4 enable register	77H (RMW禁)	INTTO5				INTTO4			
			ITO5C	ITO5M2	ITO5M1	ITO5M0	ITO4C	ITO4M2	ITO4M1	ITO4M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE50	INTRX0/ TX0 enable register	78H (RMW禁)	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1/ TX1 enable register	79H (RMW禁)	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0

lxxM2	lxxM1	lxxM0	機能(ライト)
0	0	0	割り込み要求を禁止します。
0	0	1	割り込み要求レベルを1にします。
0	1	0	割り込み要求レベルを2にします。
0	1	1	割り込み要求レベルを3にします。
1	0	0	割り込み要求レベルを4にします。
1	0	1	割り込み要求レベルを5にします。
1	1	0	割り込み要求レベルを6にします。
1	1	1	割り込み要求を禁止します。

lxxC	機能(リード)	機能(ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

割り込み制御 (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	Micro DMA 0 request vector (RMW禁)	7CH	<del>7</del>	<del>6</del>	<del>5</del>	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
			<del>4</del>	<del>3</del>	<del>2</del>	W				
			<del>1</del>	<del>0</del>	0	0	0	0	0	
			マイクロDMA0起動ベクタ							
DMA1V	Micro DMA 1 request vector (RMW禁)	7DH	<del>7</del>	<del>6</del>	<del>5</del>	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
			<del>4</del>	<del>3</del>	<del>2</del>	W				
			<del>1</del>	<del>0</del>	0	0	0	0	0	
			マイクロDMA1起動ベクタ							
DMA2V	Micro DMA 2 request vector (RMW禁)	7EH	<del>7</del>	<del>6</del>	<del>5</del>	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
			<del>4</del>	<del>3</del>	<del>2</del>	W				
			<del>1</del>	<del>0</del>	0	0	0	0	0	
			マイクロDMA2起動ベクタ							
DMA3V	Micro DMA 3 request vector (RMW禁)	7FH	<del>7</del>	<del>6</del>	<del>5</del>	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
			<del>4</del>	<del>3</del>	<del>2</del>	W				
			<del>1</del>	<del>0</del>	0	0	0	0	0	
			マイクロDMA3起動ベクタ							
IIMC	Interrupt input mode control (RMW禁)	7BH	<del>7</del>	<del>6</del>	-	<del>4</del>	<del>3</del>	I0IE	I0LE	-
			<del>4</del>	<del>3</del>	W	W				
			<del>1</del>	<del>0</del>	-	0	0	0		
			必ず"0"をライトしてください。 1: INTO 入力許可 0: INTO エッジモード 1: INTO レベルモード "0"をライトしてください。							

Not Recommended for New

(5) タイマ制御 (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
TRUN	Timer run control register	20H	PRRUN		T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	TORUN	
			R/W		R/W						
			0		0	0	0	0	0	0	0
			プリスケラ & タイマ動作/停止制御 0: 停止&クリア 1: 動作(カウントアップ)								
TREG0	8-bit timer register 0	22H (RMW禁)	-								
			W								
			不定								
TREG1	8-bit timer register 1	23H (RMW禁)	-								
			W								
			不定								
T10 MOD	8-bit timer 0,1 source CLK & mode control register	24H	T10M1	T10M0			T1CLK1	T1CLK0	TOCLK1	TOCLK0	
			R/W				R/W				
			0	0			0	0	0	0	
			00: 8ビットタイマ 01: 16ビットタイマ 10: - 11: -				00: TO0TRG 01: φT1 10: φT16 11: φT256		00: 設定しないでください。 01: φT1 10: φT4 11: φT16		
TFFCR	8-bit timer flip-flop control register	25H (RMW禁)	TFF3C1	TFF3C0	TFF3IE	TFF3IS	TFF1C1	TFF1C0	TFF1IE	TFF1IS	
			W		R/W		W		R/W		
			1	1	0	0	1	1	0	0	
			00: TFF3反転 01: TFF3セット 10: TFF3クリア 11: Don't care		1: TFF3反転許可	TFF3反転信号 0: タイマ2 1: タイマ3	00: TFF1反転 01: TFF1セット 10: TFF1クリア 11: Don't care		1: TFF1反転許可	TFF1反転信号 0: タイマ0 1: タイマ1	
TREG2	8-bit timer register 2	26H (RMW禁)	-								
			W								
			不定								
TREG3	8-bit timer register 3	27H (RMW禁)	-								
			W								
			不定								
T32 MOD	8-bit timer 2,3 source CLK & mode control register	28H	T32M1	T32M0	PWM21	PWM20	T3CLK1	T3CLK0	T2CLK1	T2CLK0	
			R/W								
			0	0	0	0	0	0	0	0	
			00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM周期 00: - 01: 2 <sup>6</sup> -1 10: 2 <sup>7</sup> -1 11: 2 <sup>8</sup> -1		00: TO2TRG 01: φT1 10: φT16 11: φT256		00: 設定しないでください。 01: φT1 10: φT4 11: φT16		
TRDC	Timer register double buffer control register	29H							TR2DE	-	
			R/W								
									0	0	
											0: ダブルバッファ禁止 1: ダブルバッファ許可

タイマ制御 (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
TREG4L	16-bit timer register 4L (RMW禁)	30H	-							
			W							
			不定							
TREG4H	16-bit timer register 4H (RMW禁)	31H	-							
			W							
			不定							
TREG5L	16-bit timer register 5L (RMW禁)	32H	-							
			W							
			不定							
TREG5H	16-bit timer register 5H (RMW禁)	33H	-							
			W							
			不定							
CAP1L	Capture register 1L	34H	-							
			R							
			不定							
CAP1H	Capture register 1H	35H	-							
			R							
			不定							
CAP2L	Capture register 2L	36H	-							
			R							
			不定							
CAP2H	Capture register 2H	37H	-							
			R							
			不定							
T4MOD	16-bit timer 4 source CLK & mode control register	38H (RMW禁)	CAP1IN		CAP12M1	CAP12M0	CLE	T4CLK1	T4CLK0	
			W		R/W					
			1	0	0	0	0	0	0	
			0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00: 禁止 01: TI4 ↑ TI5 ↑ 10: TI4 ↑ TI4 ↓ 11: TFF1 ↑ TFF1 ↓		1: UC4 クリア許可	ソースクロック 00: TI4入力 01: φT1 10: φT4 11: φT16			
T4FFCR	16-bit timer 4 flip-flop control register	39H (RMW禁)	CAP2T4		CAP1T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0	
			R/W		R/W		W			
			0	0	0	0	0	0		
			CAP2へのアップカウンタ値取り込み時		CAP1へのアップカウンタ値取り込み時	アップカウンタとTREG5との一致時	アップカウンタとTREG4との一致時	00: TFF4反転 01: TFF4セット 10: TFF4クリア 11: Don't care		

タイマ制御 (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
T45CR	T4, T5 control register	3AH	QCU	/	/	/	/	/	DB6EN	DB4EN	
			R/W	/	/	/	/	/	R/W		
			0	/	/	/	/	/	0	0	
			ウォームアップ ブタイマ制御						1: ダブルバッファ 許可		
TREG6L	16-bit timer register 6L	40H (RMW禁)	/	/	/	W 不定	-				
TREG6H	16-bit timer register 6H	41H (RMW禁)	/	/	/	W 不定	-				
TREG7L	16-bit timer register 7L	42H (RMW禁)	/	/	/	W 不定	-				
TREG7H	16-bit timer register 7H	43H (RMW禁)	/	/	/	W 不定	-				
CAP3L	Capture register 3L	44H	/	/	/	R 不定					
CAP3H	Capture register 3H	45H	/	/	/	R 不定					
CAP4L	Capture register 4L	46H	/	/	/	R 不定					
CAP4H	Capture register 4H	47H	/	/	/	R 不定					
T5MOD	16-bit timer 5 source CLK & mode control register	48H (RMW禁)			CAP3IN	CAP34M1	CAP34M0	CLE	T5CLK1	T5CLK0	
					W			R/W			
					1	0	0	0	0	0	0
					0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00: 禁止 01: TI6 ↑ TI7 ↑ 10: TI6 ↑ TI6 ↓ 11: TFF1 ↑ TFF1 ↓		1: UC5 クリア 許可	ソースクロック 00: TI6入力 01: φT1 10: φT4 11: φT16		
T5FFCR	16-bit timer 5 flip-flop control register	49H (RMW禁)			CAP4T6	CAP3T6	EQ7T6	EQ6T6	-	-	
					R/W				W		
					0	0	0	0	1	1	
					TFF6反転トリガ 0: トリガ禁止 1: トリガ許可				必ず "1" をライトしてください。		
		CAP4への アップカウンタ値取り 込み時	CAP3への アップカウンタ値取り 込み時	アップカウンタと TREG7との 一致時	アップカウンタと TREG6との 一致時						

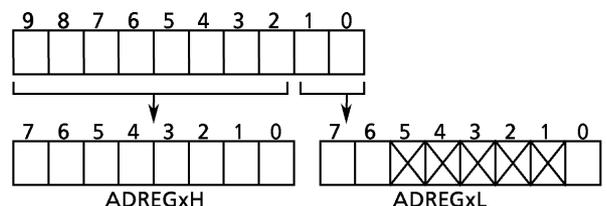
(6) シリアルチャネル制御

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC0BUF	Serial channel 0 buffer register	50H (RMW禁)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 RB1	RB0 TB0		
			R (Receiving)/W (Transmission)								不定	
SC0CR	Serial channel 0 control register	51H	RB8	EVEN	PE	OERR	PERR	FERR	-	-		
			R	R/W		R (読み出すと0にクリア)			R/W			
			不定	0	0	0	0	0	0	0	0	
			受信データビット8	パリティ 0: 奇数 1: 偶数	1: パリティ許可	1: エラー オーバーラン		パリティ	フレーミング	"0"をライトしてください。		"0"をライトしてください。
SC0MOD	Serial channel 0 mode control register	52H	TB8	-	RXE	WU	SM1	SM0	SC1	SC0		
			R/W								不定	
			不定	0	0	0	0	0	0	0	0	
			送信データビット8	"0"をライトしてください。	1: レシーブ許可	1: ウェイクアップ許可	00: Don't care 01: UART 7ビット 10: UART 8ビット 11: UART 9ビット		00: TO2トリガ 01: ポーレートジェネレータ0 10: 内部クロックφ1 11: Don't care			
BR0CR	Baud rate 0 control register	53H	-	/	BROCK1	BROCK0	BROS3	BROS2	BROS1	BROS0		
			R/W	/	R/W							
			0	/	0	0	0	0	0	0		
			必ず"0"をライトしてください。	/	00: φT0 01: φT2 10: φT8 11: φT32		ポーレートジェネレータ0の 分周値設定 0~F					
SC1BUF	Serial channel 1 buffer register	54H (RMW禁)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 RB1	RB0 TB0		
			R (Receiving)/W (Transmission)								不定	
SC1CR	Serial channel 1 control register	55H	RB8	EVEN	PE	OERR	PERR	FERR	-	-		
			R	R/W		R (読み出すと0にクリア)			R/W			
			不定	0	0	0	0	0	0	0	0	
			受信データビット8	パリティ 0: 奇数 1: 偶数	1: パリティ許可	1: エラー オーバーラン		パリティ	フレーミング	"0"をライトしてください。		"0"をライトしてください。
SC1MOD	Serial channel 1 mode control register	56H	TB8	-	RXE	WU	SM1	SM0	SC1	SC0		
			R/W								不定	
			不定	0	0	0	0	0	0	0	0	
			送信データビット8	"0"をライトしてください。	1: レシーブ許可	1: ウェイクアップ許可	00: Don't care 01: UART 7ビット 10: UART 8ビット 11: UART 9ビット		00: TO2トリガ 01: ポーレートジェネレータ1 10: 内部クロックφ1 11: Don't care			
BR1CR	Baud rate 1 control register	57H	-	/	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0		
			R/W	/	R/W							
			0	/	0	0	0	0	0	0		
			必ず"0"をライトしてください。	/	00: φT0 01: φT2 10: φT8 11: φT32		ポーレートジェネレータ1の 分周値設定 0~F					
ODE	Serial open-drain enable	58H	/	/	/	/	/	/	ODE63	ODE60		
			R/W								不定	
			/	/	/	/	/	0	0	0	0	
			/	/	/	/	/	必ず"0"をライトしてください。		1: P63 オープン ドレイン	1: P60 オープン ドレイン	

(7) ADコンバータ制御

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ADMOD 0	AD mode control register 0	5EH	EOCF	ADBF	-	-	ITM0	REPET	SCAN	ADS		
			R			R/W						
			0	0	0	0	0	0	0	0	0	
			AD変換終了フラグ 0:変換中 1:終了	AD変換ビジーフラグ 0:変換停止 1:変換中	必ず“0”をライトしてください。	必ず“0”をライトしてください。	チャンネル固定 リピート変換モードの時の 割り込み指定 0:1回変換ごと 1:4回変換ごと	リピートモード指定 0:シングル 変換モード 1:リピート 変換モード	スキャンモード指定 0:チャンネル 固定モード 1:チャンネル スキャン モード	AD変換スタート 0: Don't Care 1:変換開始 常に“0”が読み出されます。		
ADMOD 1	AD mode control register 1	5FH	VREFON				ADTRGE	ADCH2	ADCH1	ADCH0		
			R/W			R/W						
			1				0	0	0	0		
			VREF印加制御 0:OFF 1:ON				外部トリガ スタート制御 0:禁止 1:許可	アナログ入力チャンネル選択				
AD REG04L	AD conversion result register 0/4 Low	60H	ADR01	ADR00							ADR0RF	
			R			R						
			不定			0						
AD変換結果の下位2ビットが格納されます。												
AD REG04H	AD conversion result register 0/4 High	61H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02		
			R									
			不定									
AD変換結果の上位8ビットが格納されます。												
AD REG15L	AD conversion result register 1/5 Low	62H	ADR11	ADR10							ADR1RF	
			R			R						
			不定			0						
AD変換結果の下位2ビットが格納されます。												
AD REG15H	AD conversion result register 1/5 High	63H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12		
			R									
			不定									
AD変換結果の上位8ビットが格納されます。												
AD REG2L	AD conversion result register 2 Low	64H	ADR21	ADR20							ADR2RF	
			R			R						
			不定			0						
AD変換結果の下位2ビットが格納されます。												
AD REG2H	AD conversion result register 2 High	65H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22		
			R									
			不定									
AD変換結果の上位8ビットが格納されます。												
AD REG3L	AD conversion result register 3 Low	66H	ADR31	ADR30							ADR3RF	
			R			R						
			不定			0						
AD変換結果の下位2ビットが格納されます。												
AD REG3H	AD conversion result register 3 High	67H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32		
			R									
			不定									
AD変換結果の上位8ビットが格納されます。												

チャンネルxのAD変換値



- ADREGxLのビット5~1を読み出すと、常に“1”になります。ビット0は、AD変換結果格納フラグ <ADR<sub>x</sub>RF> です。AD変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0”にクリアされます。

(8) ウォッチドッグタイマ制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
WD MOD	Watchdog timer mode control register	5CH	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
			R/W							
			1	0	0	0	0	0	0	0
			1: WDT 許可	00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$	ウォーム アップタイ ム 0: $2^{14}$ /入力 周波数 1: $2^{16}$ /入力 周波数	HALTモード 00: RUNモード 01: STOPモード 10: IDLE1モード 11: IDLE2モード	1: リセット 端子に WDT 出力を 内部接続	1: STOP モード 中也端 子をド ライブ		
WDCR	Watchdog timer control register	5DH (RMW禁)	-							
			W							
			-							
			B1H: WDT 禁止コード				4EH: WDT クリアコード			

Not Recommended for New Design

6. ポート部等価回路図

● 回路図の見方

基本的に、標準CMOSロジックIC「74HC××」シリーズと同じゲート記号を使って書かれています。

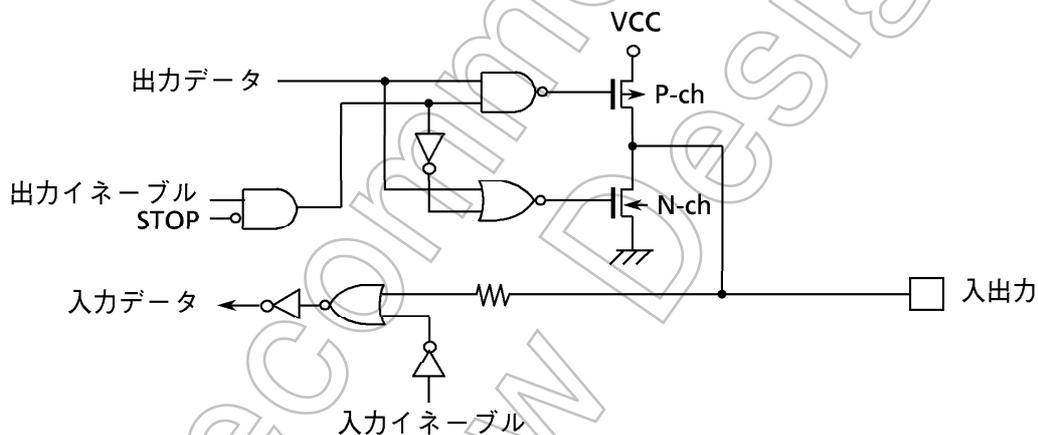
信号名の中で、特殊なものについては下記に示します。

**STOP:** この信号は、HALTモード設定レジスタを「STOP」モード ( $WDMOD<HALTM1:0>=0,1$ ) にして、CPUが「HALT」命令を実行したとき、アクティブ“1”になります。

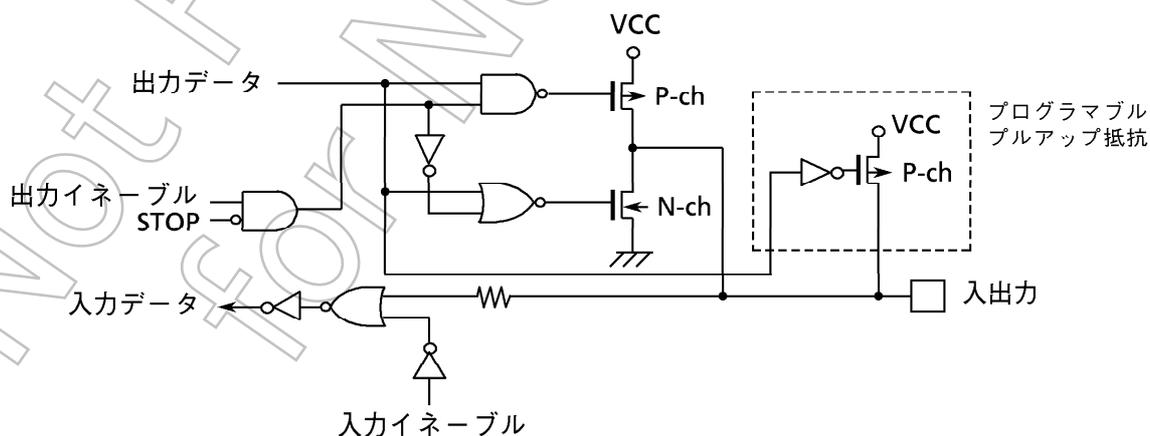
ただし、ドライブイネーブルビット  $WDMOD<DRVE>$  が“1”にセットされているときは、STOPは“0”のままです。

- 入力保護抵抗は、数十Ω～数百Ω程度です。

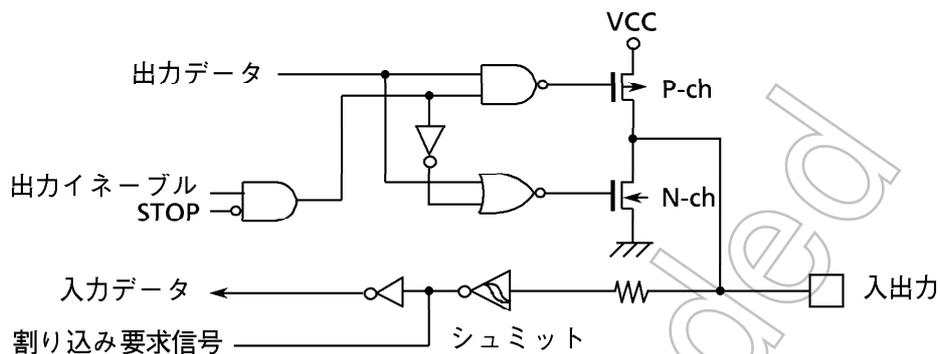
■ P0, P1, P4, P7



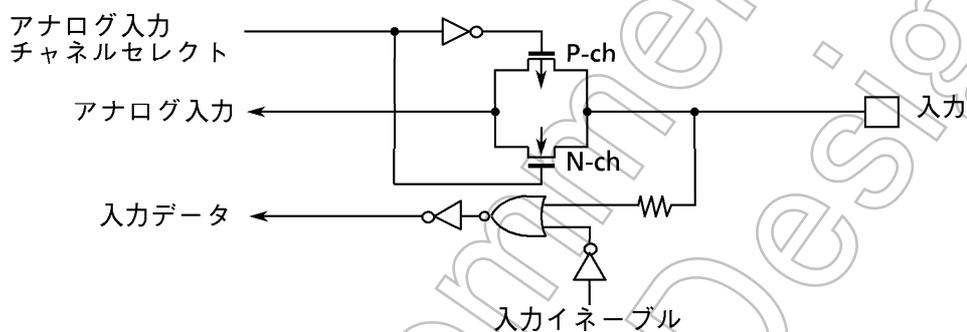
■ P61, P64



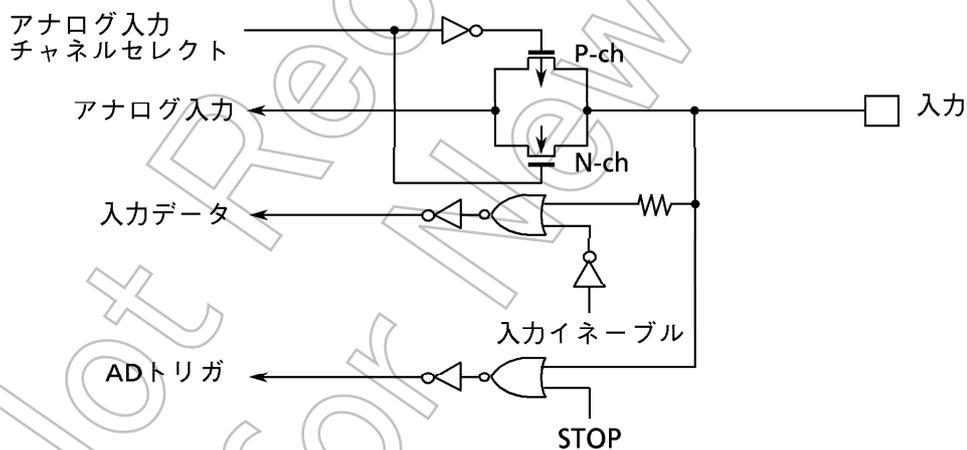
■ P35 (INT0)



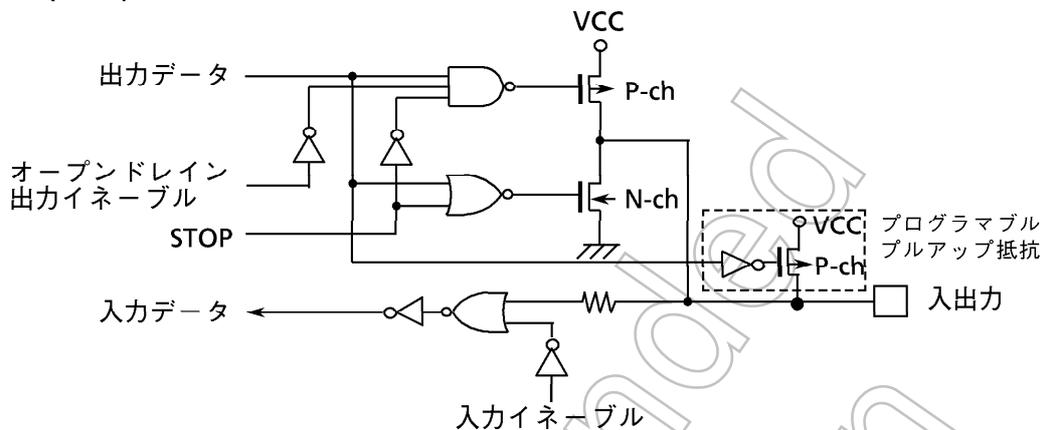
■ P50~P52 (AN0~AN2)



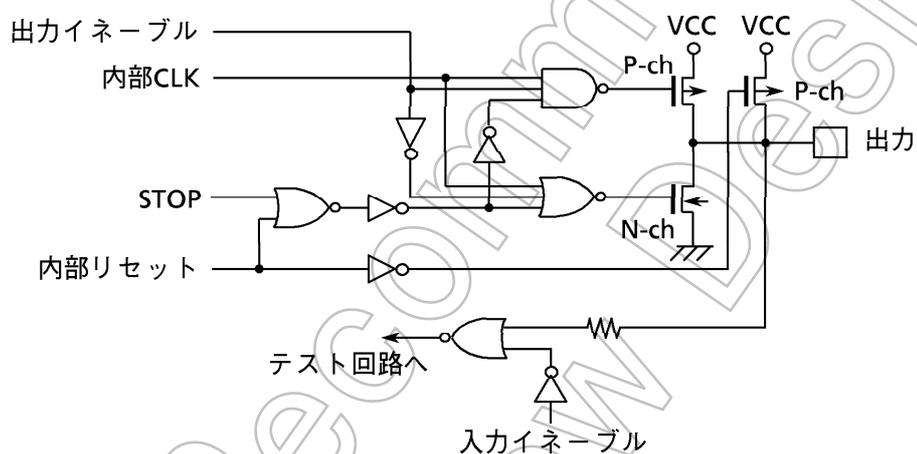
■ P53 (AN3/ADTRG)



■ P60 (TXD0), P63 (TXD1)



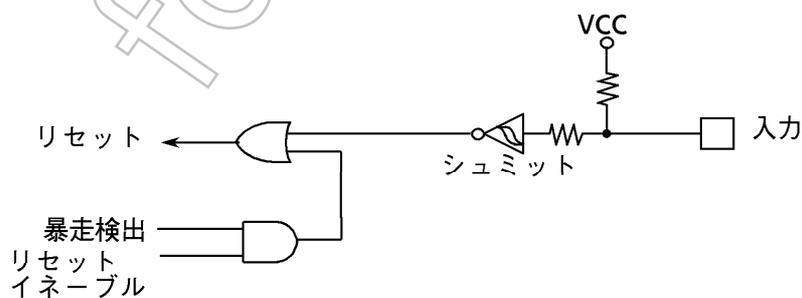
■ CLK



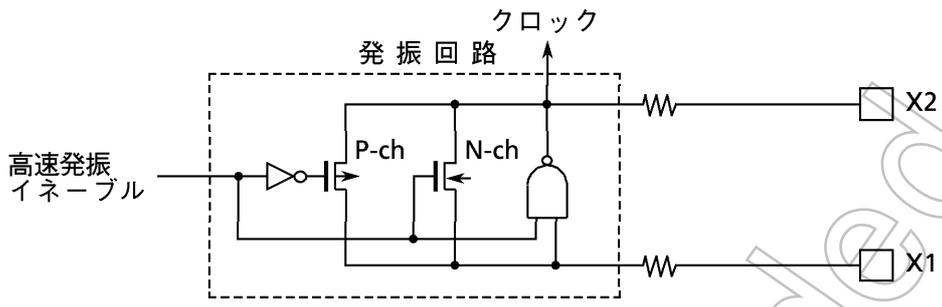
■  $\overline{EA}$



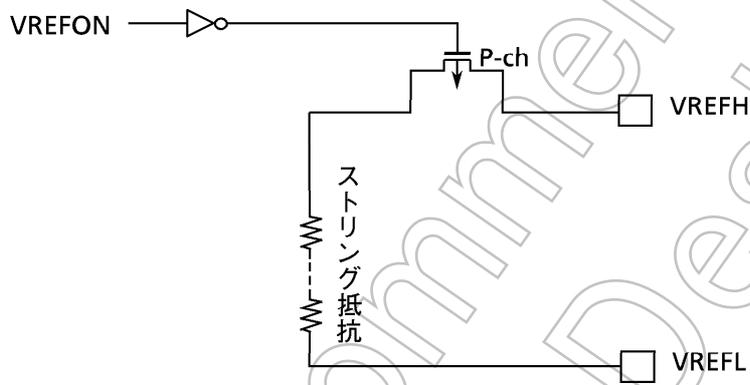
■ RESET



■ X1, X2



■ VREFH, VREFL



Not Recommended for New Design

## 7. 使用上の注意、制限事項

## (1) 特別な表記、言葉の説明

## 1. 内蔵I/Oレジスタの説明：レジスタシンボル&lt;ビットシンボル&gt;

例) TRUN<TORUN> … レジスタTRUNのビットTORUN

## 2. リードモディファイライト命令

CPUが、1つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例1) SET 3, (TRUN) … TRUNレジスタのビット3をセットする。

例2) INC 1, (100H) … アドレス100Hのデータを+1する。

## ● TLCS-900におけるリードモディファイライト命令

交換命令

EX (mem), R

算術演算

ADD (mem), R/# ADC (mem), R/#

SUB (mem), R/# SBC (mem), R/#

INC #3, (mem) DEC #3, (mem)

論理演算

AND (mem), R/# OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem) SET #3, (mem)

RES #3, (mem) TSET #3, (mem)

CHG #3, (mem)

ローテート、シフト

RLC (mem) RRC (mem)

RL (mem) RR (mem)

SLA (mem) SRA (mem)

SLL (mem) SRL (mem)

RLD (mem) RRD (mem)

3.  $f_c$ ,  $f_{FPH}$ ,  $f_{SYS}$ , 1ステート

X1, X2端子より入力されるクロック周波数を $f_c$ 、SYSCR<SYSCK, GEAR2:0>で選択されたクロックを $f_{FPH}$ 、 $f_{FPH}$ を2分周したクロック周波数をシステムクロック $f_{SYS}$ 、また、この $f_{SYS}$ の1周期を1ステートと定義します。

## (2) 使用上の注意、制限事項

### 1. $\overline{EA}$

本端子は、VCCに接続し、動作中にレベル変動のないようにしてください。

### 2. ホールトモード (IDLE1)

IDLE1モード(発振器のみ動作)に設定し、HALT命令を実行する際には、内蔵タイマ用プリスケアラが動作するため、HALT命令を実行する前にTRUN<PRRUN>を“0”にして、プリスケアラを停止してください。

### 3. ウォームアップカウンタ

外部発振器を用いるシステムでSTOPモードの解除を割り込みなどで行う際には、ウォームアップカウンタが動作するため、システムクロックが出力されるまでウォームアップ時間を要します。

### 4. プログラマブル プルアップ抵抗

このプルアップ抵抗は、ポートを入力ポートとして使用する時のみ、プログラマブルに付加/付加なしを選択できます。出力ポートとして使用する時は、プログラマブルを選択することはできません。

付加/付加なしの選択は該当ポートのデータレジスタ(例:P6レジスタ)で制御しますが、その際にはリードモディファイライト命令は使用できませんので、転送命令を使用してください。

### 5. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作イネーブル状態となっているため、ウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

### 6. ADコンバータ

VREFH~VREFL端子間のストリング抵抗をプログラマブルに接続、切り離しする機能がありますので、STOPモードなど消費電力を下げる場合は、HALT命令を実行する前にプログラムで切り離してください。

### 7. CPU (マイクロDMA)

CPU内にある転送元レジスタ(DMASn)などのコントロールレジスタへのデータ書き込み、読み出しは、“LDC cr, r”, “LDC r, cr”のみで行えません。

### 8. 「POP SR」命令

「POP SR」命令の実行は、DI状態で行ってください。

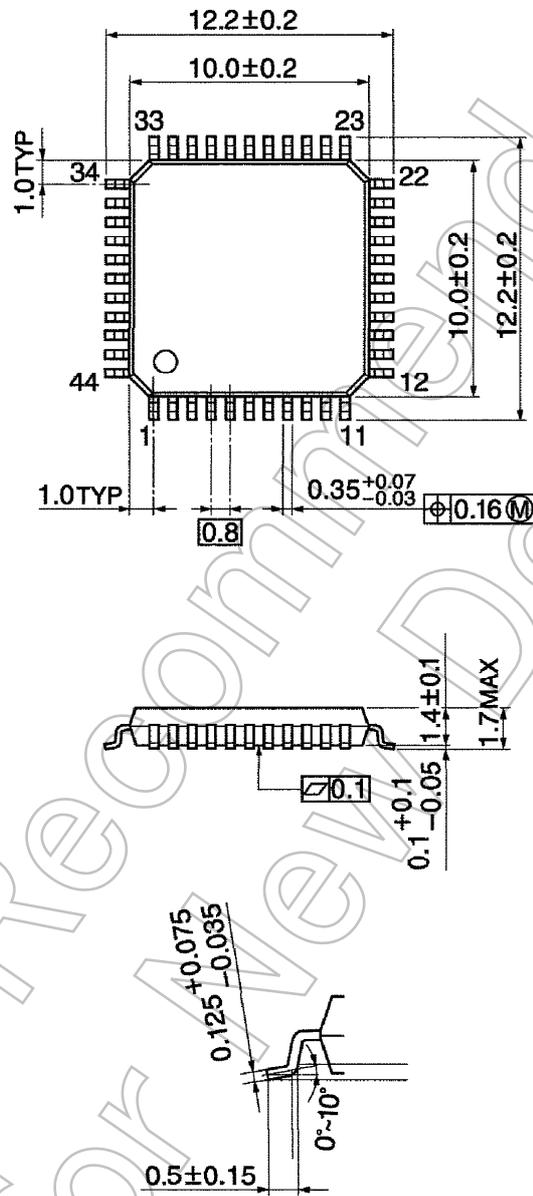
### 9. 割り込み要求によるホルト状態からの解除

通常は、割り込みによってホルト状態を解除することができますが、HALTモードがIDLE1、STOPモードに設定されている状態(RUN、IDLE2は対象外)で、CPUがHALTモードに移行しようとしている期間( $f_{FPH}$ 約3クロックの間)に、HALTモードを解除可能な割り込み(INT0)が入力されても、ホルトが解除できない場合があります(割り込み要求は内部に保留されます)。

HALTモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくHALTモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

8. パッケージ外形寸法図  
P-LQFP44-1010-0.80A

Unit: mm



注) パラジウムめっき仕様