

Bi-CMOS 形リニア集積回路 シリコン モノリシック

TB67Z830SFTG TB67Z830HFTG

TB67Z833SFTG TB67Z833HFTG

TB67Z850SFTG TB67Z850HFTG

TB67Z853SFTG TB67Z853HFTG

3 相ゲートドライバーIC

1. 概要

TB67Z830xFTG/833xFTG/850xFTG/853xFTG は、N チャネル MOSFET を駆動できるハーフブリッジゲートドライバーを 3 つ内蔵しています。8 V から 75 V までの電圧範囲に対応し、最大 1 A のソース電流と 2 A のシンク電流の駆動能力を備えています。

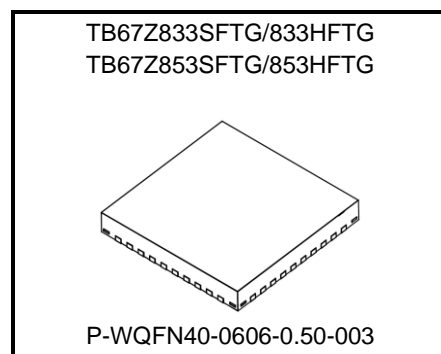
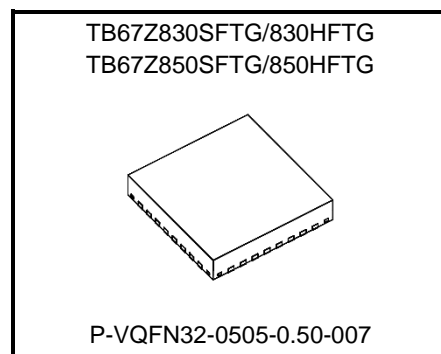
TB67Z833xFTG/853xFTG は、ゲイン調整可能なアンプを 3 つ内蔵し、シャント電流のセンシングに使用できます。

2. 用途

ブラシレス DC モーター、ファン、ポンプ、電動工具など

3. 特長

- 上下 N チャネル MOSFET 駆動用ゲートドライバー
- ゲート駆動電流能力調整可能
ソース電流能力 10 mA~1 A (peak)
シンク電流能力 20 mA~2 A (peak)
- 動作電圧範囲： 8~75 V
- 電圧レギュレーター内蔵
- 電流センス用アンプ 3ch 内蔵 (TB67Z833xFTG/853xFTG)
- SPI および Hardware インターフェース
- 6-PWM 入力、3-PWM 入力、Hall 入力および独立 PWM モード
- スタンバイモード (1 μ A @ VM = 24 V)
- 保護機能内蔵
低電圧誤動作防止、チャージポンプ低電圧動作防止、ゲート駆動電圧モニター、過電流検出、高温警告、熱遮断、フラグ出力 (nFAULT)



質量：

P-VQFN32-0505-0.50-007 0.065g (標準)

P-WQFN40-0606-0.50-003 0.09g (標準)

製品量産開始時期
2024-08

表 3.1 各製品の比較表

製品名	レギュレーター 電圧	電流センス アンプ	インターフェース	パッケージ
TB67Z830HFTG	3.3 V	0ch	Hardware	P-VQFN32-0505-0.50-007
TB67Z830SFTG			SPI	
TB67Z833HFTG		3ch	Hardware	P-WQFN40-0606-0.50-003
TB67Z833SFTG			SPI	
TB67Z850HFTG	5 V	0ch	Hardware	P-VQFN32-0505-0.50-007
TB67Z850SFTG			SPI	
TB67Z853HFTG		3ch	Hardware	P-WQFN40-0606-0.50-003
TB67Z853SFTG			SPI	

目次

1. 概要	1
2. 用途	1
3. 特長	1
4. ブロック図	4
5. 端子配置図	6
6. 端子説明	7
7. 等価回路	10
8. 絶対最大定格	12
9. 動作範囲	13
10. 電気的特性	14
11. 動作説明	22
11.1. 3相ゲートドライバー	22
11.2. DVDDレギュレーター	30
11.3. 電流センスアンプ	30
11.4. 保護機能	34
11.5. スタンバイモード	39
11.6. 制御 I/F	40
12. 応用回路例	49
13. 外形図	50
13.1. P-VQFN32-0505-0.50-007	50
13.2. P-WQFN40-0606-0.50-003	51
14. 記載内容の留意点	52
15. 使用上のご注意およびお願い事項	52
15.1. 使用上の注意事項	52
15.2. 使用上の留意点	53
製品取り扱い上のお願ひ	54

4. ブロック図

ブロック図内の機能ブロック/回路/定数などは、機能を説明するため、一部省略・簡略化している場合があります。

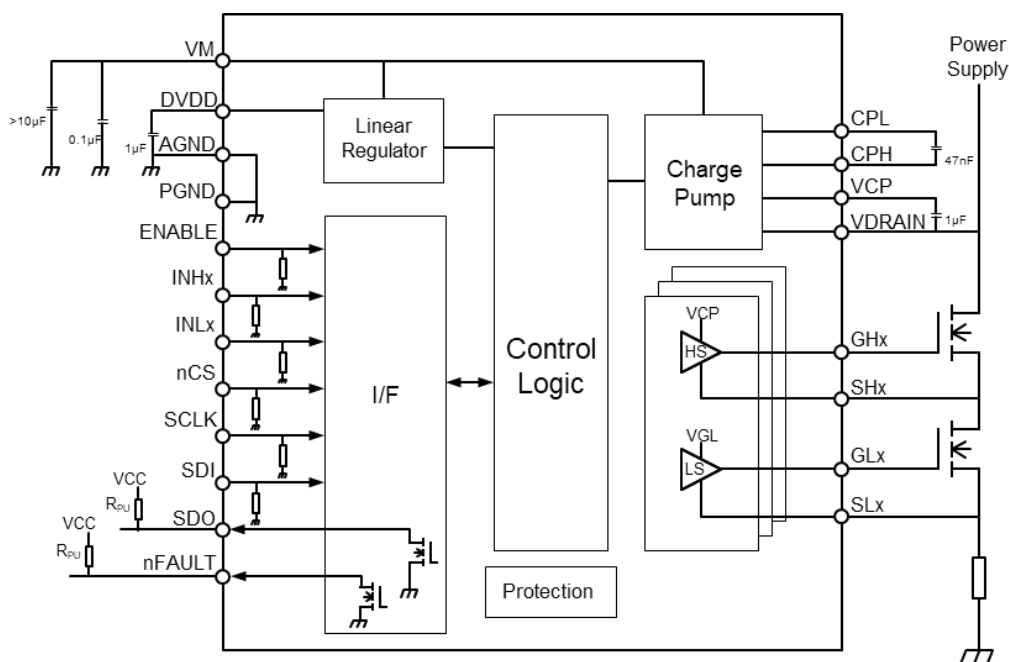


図 4.1 TB67Z830SFTG/TB67Z850SFTG

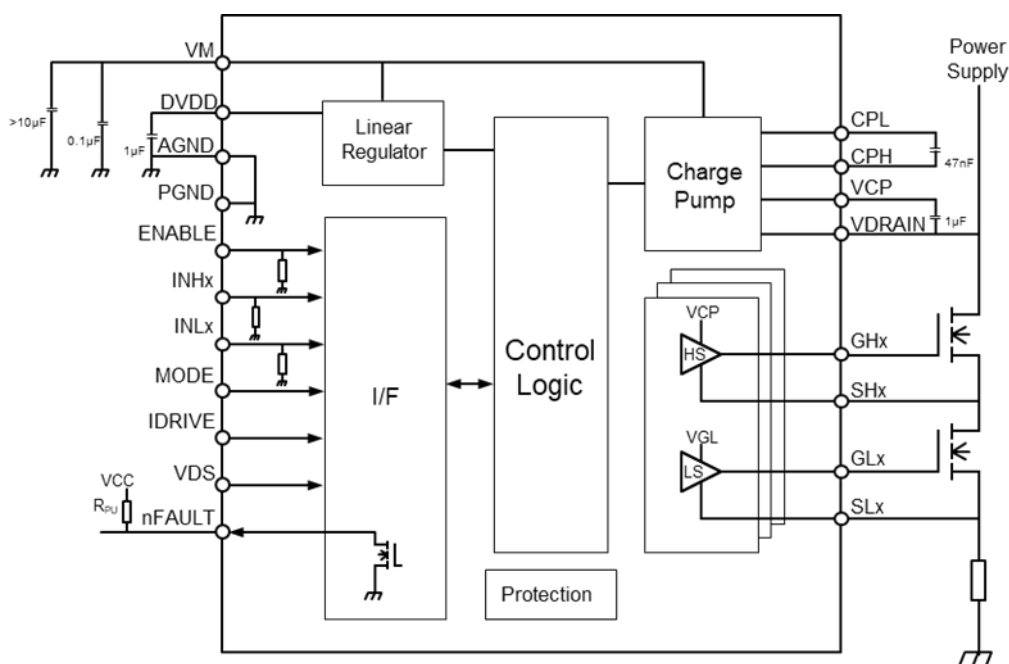


図 4.2 TB67Z830HFTG/TB67Z850HFTG

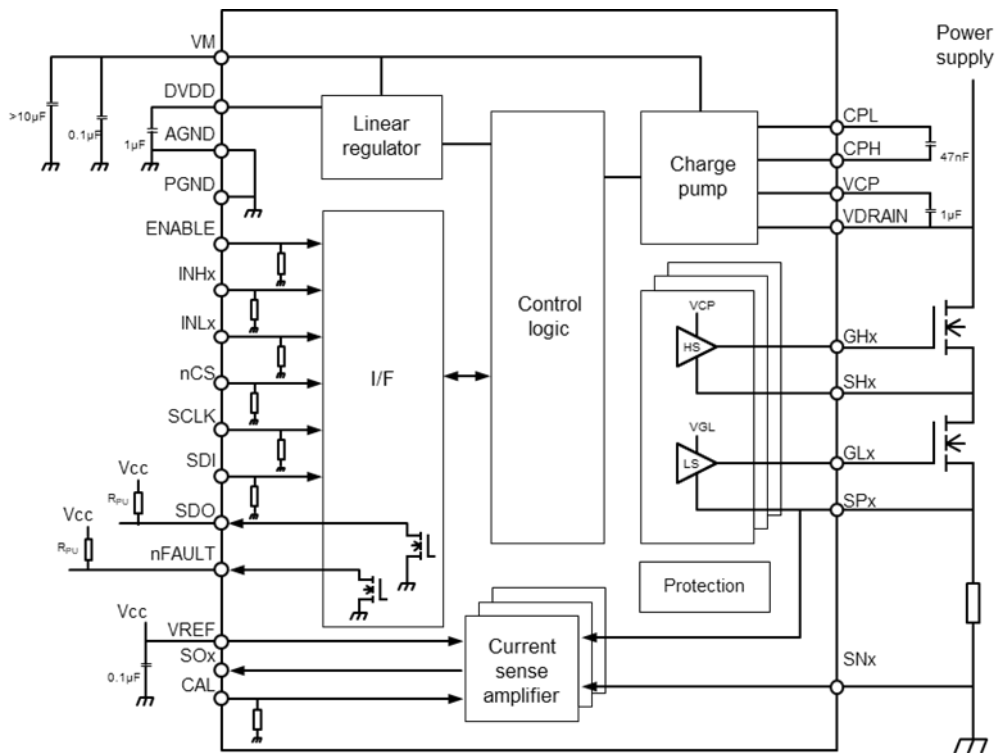


图 4.3 TB67Z833SFTG/TB67Z853SFTG

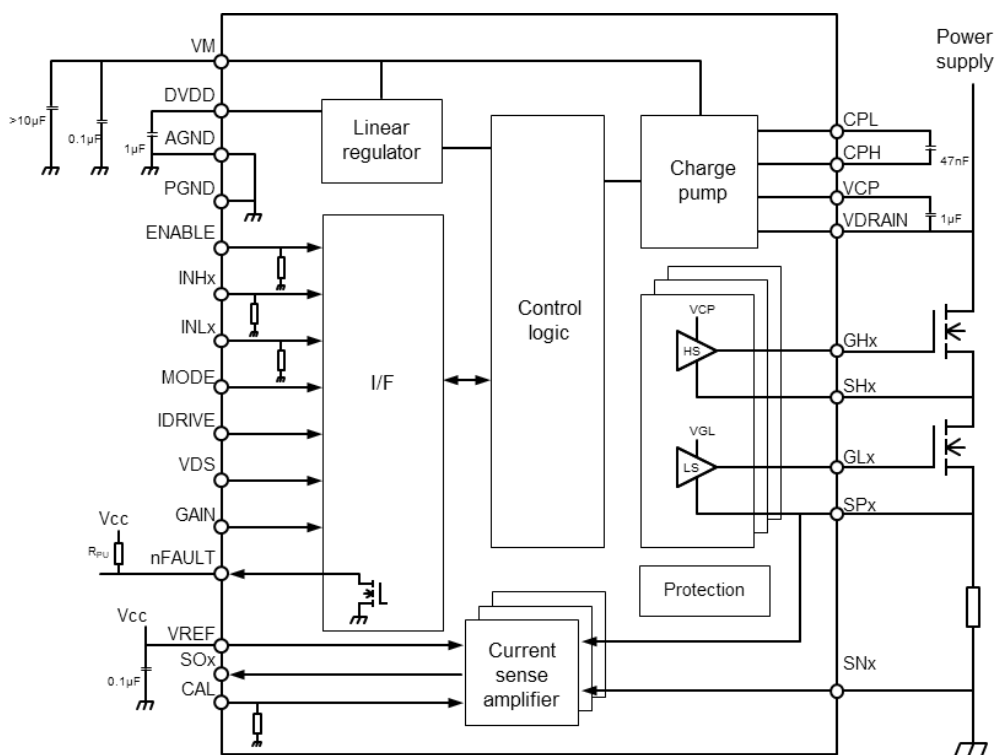


图 4.4 TB67Z833HFTG/TB67Z853HFTG

5. 端子配置图

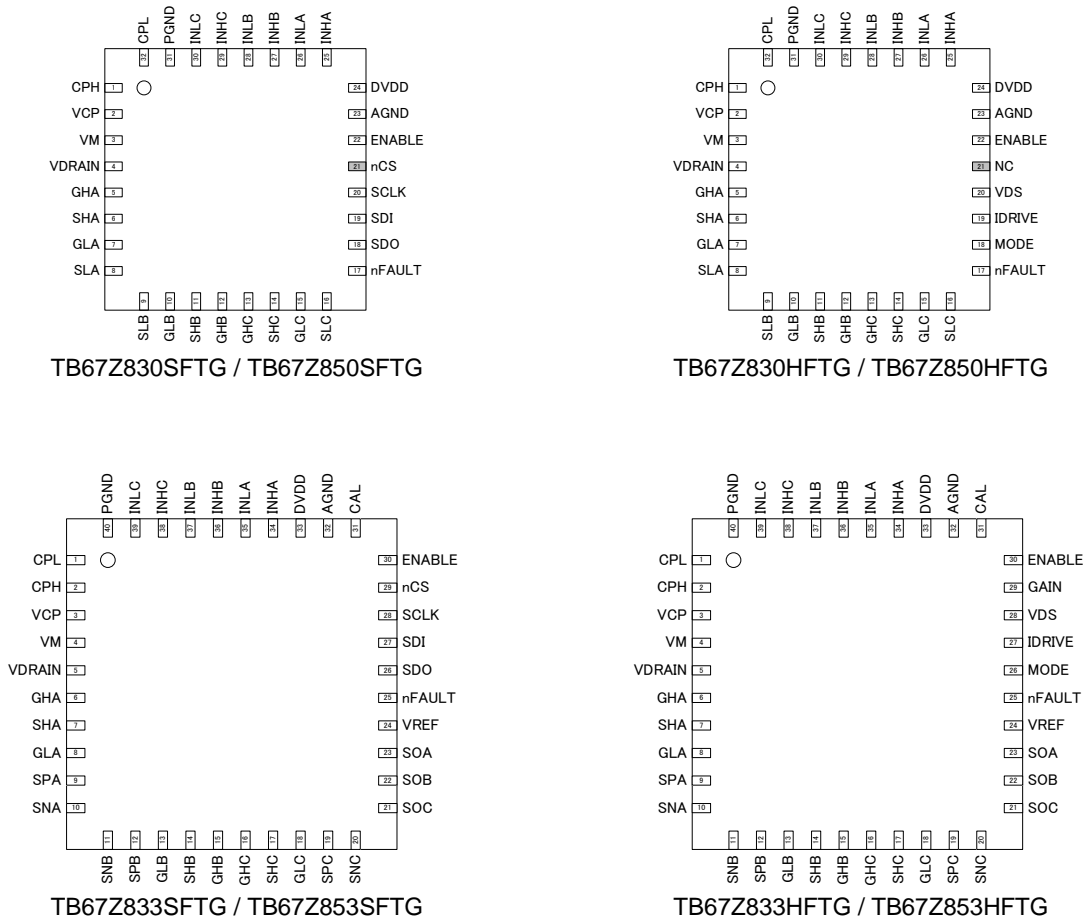


图 5.1 端子配置 (Top view)

6. 端子説明

表 6.1 TB67Z830H/SFTG、TB67Z850H/SFTG 端子説明

端子番号	名称		種類	端子説明
1	CPH	TB67Z8x0H / SFTG	Power	チャージポンプ汲み上げコンデンサー接続端子
2	VCP	TB67Z8x0H / SFTG	Power	チャージポンプ蓄積コンデンサー接続端子
3	VM	TB67Z8x0H / SFTG	Power	電源端子
4	VDRAIN	TB67Z8x0H / SFTG	Input	ハイサイド ドレイン電圧監視端子 チャージポンプ基準電圧監視端子
5	GHA	TB67Z8x0H / SFTG	Output	ハイサイド ゲート駆動出力端子 (Ach)
6	SHA	TB67Z8x0H / SFTG	Input	ハイサイド ソース電圧監視端子 (Ach)
7	GLA	TB67Z8x0H / SFTG	Output	ローサイド ゲート駆動出力端子 (Ach)
8	SLA	TB67Z8x0H / SFTG	Input	ローサイド ソース電圧監視端子 (Ach)
9	SLB	TB67Z8x0H / SFTG	Input	ローサイド ソース電圧監視端子 (Bch)
10	GLB	TB67Z8x0H / SFTG	Output	ローサイド ゲート駆動出力端子 (Bch)
11	SHB	TB67Z8x0H / SFTG	Input	ハイサイド ソース電圧監視端子 (Bch)
12	GHB	TB67Z8x0H / SFTG	Output	ハイサイド ゲート駆動出力端子 (Bch)
13	GHC	TB67Z8x0H / SFTG	Output	ハイサイド ゲート駆動出力端子 (Cch)
14	SHC	TB67Z8x0H / SFTG	Input	ハイサイド ソース電圧監視端子 (Cch)
15	GLC	TB67Z8x0H / SFTG	Output	ローサイド ゲート駆動出力端子 (Cch)
16	SLC	TB67Z8x0H / SFTG	Input	ローサイド ソース電圧監視端子 (Cch)
17	nFAULT	TB67Z8x0H / SFTG	Open Drain	フラグ信号出力端子
18	MODE	TB67Z8x0HFTG	Input	PWM 制御モード設定端子
	SDO	TB67Z8x0SFTG	Open Drain	シリアル通信 データ出力端子
19	IDRIVE	TB67Z8x0HFTG	Input	ゲート駆動電流設定端子
	SDI	TB67Z8x0SFTG	Input	シリアル通信 データ入力端子
20	VDS	TB67Z8x0HFTG	Input	VDS 監視しきい値電圧設定端子
	SCLK	TB67Z8x0SFTG	Input	シリアル通信 クロック端子
21	NC	TB67Z8x0HFTG	NC	Non-Connection
	nCS	TB67Z8x0SFTG	Input	シリアル通信 チップセレクト端子
22	ENABLE	TB67Z8x0H / SFTG	Input	イネーブル端子
23	AGND	TB67Z8x0H / SFTG	Ground	アナロググランド
24	DVDD	TB67Z8x0H / SFTG	Power	レギュレーター電圧出力端子
25	INHA	TB67Z8x0H / SFTG	Input	ハイサイド ゲート制御端子 (Ach)
26	INLA	TB67Z8x0H / SFTG	Input	ローサイド ゲート制御端子 (Ach)
27	INHB	TB67Z8x0H / SFTG	Input	ハイサイド ゲート制御端子 (Bch)
28	INLB	TB67Z8x0H / SFTG	Input	ローサイド ゲート制御端子 (Bch)
29	INHC	TB67Z8x0H / SFTG	Input	ハイサイド ゲート制御端子 (Cch)
30	INLC	TB67Z8x0H / SFTG	Input	ローサイド ゲート制御端子 (Cch)
31	PGND	TB67Z8x0H / SFTG	Ground	パワーグランド
32	CPL	TB67Z8x0H / SFTG	Power	チャージポンプ汲み上げコンデンサー接続端子

注：SLx 端子を使用しないとき、オープンにせずグランドに接地してください。

表 6.2 TB67Z833H/SFTG、TB67Z853H/SFTG 端子説明

端子番号	名称		種類	端子説明
1	CPL	TB67Z8x3H / SFTG	Power	チャージポンプ汲み上げコンデンサー接続端子
2	CPH	TB67Z8x3H / SFTG	Power	チャージポンプ汲み上げコンデンサー接続端子
3	VCP	TB67Z8x3H / SFTG	Power	チャージポンプ蓄積コンデンサー接続端子
4	VM	TB67Z8x3H / SFTG	Power	電源端子
5	VDRAIN	TB67Z8x3H / SFTG	Input	ハイサイド ドレイン電圧監視端子 チャージポンプ基準電圧監視端子
6	GHA	TB67Z8x3H / SFTG	Output	ハイサイド ゲート駆動出力端子 (Ach)
7	SHA	TB67Z8x3H / SFTG	Input	ハイサイド ソース電圧監視端子 (Ach)
8	GLA	TB67Z8x3H / SFTG	Output	ローサイド ゲート駆動出力端子 (Ach)
9	SPA	TB67Z8x3H / SFTG	Input	ローサイド ソース電圧監視端子 (Ach) 電流センスアンプ入力端子 (Ach)
10	SNA	TB67Z8x3H / SFTG	Input	電流センスアンプ入力端子 (Ach)
11	SNB	TB67Z8x3H / SFTG	Input	電流センスアンプ入力端子 (Bch)
12	SPB	TB67Z8x3H / SFTG	Input	ローサイド ソース電圧監視端子 (Bch) 電流センスアンプ入力端子 (Bch)
13	GLB	TB67Z8x3H / SFTG	Output	ローサイド ゲート駆動出力端子 (Bch)
14	SHB	TB67Z8x3H / SFTG	Input	ハイサイド ソース電圧監視端子 (Bch)
15	GHB	TB67Z8x3H / SFTG	Output	ハイサイド ゲート駆動出力端子 (Bch)
16	GHC	TB67Z8x3H / SFTG	Output	ハイサイド ゲート駆動出力端子 (Cch)
17	SHC	TB67Z8x3H / SFTG	Input	ハイサイド ソース電圧監視端子 (Cch)
18	GLC	TB67Z8x3H / SFTG	Output	ローサイド ゲート駆動出力端子 (Cch)
19	SPC	TB67Z8x3H / SFTG	Input	ローサイド ソース電圧監視端子 (Cch) 電流センスアンプ入力端子 (Cch)
20	SNC	TB67Z8x3H / SFTG	Output	電流センスアンプ入力端子 (Cch)
21	SOC	TB67Z8x3H / SFTG	Output	電流センスアンプ出力端子 (Cch)
22	SOB	TB67Z8x3H / SFTG	Output	電流センスアンプ出力端子 (Bch)
23	SOA	TB67Z8x3H / SFTG	Output	電流センスアンプ出力端子 (Ach)
24	VREF	TB67Z8x3H / SFTG	Power	電流センスアンプ電源および基準電圧
25	nFAULT	TB67Z8x3H / SFTG	Open Drain	フラグ信号出力端子
26	MODE	TB67Z8x3HFTG	Input	PWM 制御モード設定端子
	SDO	TB67Z8x3SFTG	Open Drain	シリアル通信 データ出力端子
27	IDRIVE	TB67Z8x3HFTG	Input	ゲート駆動電流設定端子
	SDI	TB67Z8x3SFTG	Input	シリアル通信 データ入力端子
28	VDS	TB67Z8x3HFTG	Input	VDS 監視しきい値電圧設定端子
	SCLK	TB67Z8x3SFTG	Input	シリアル通信 クロック端子
29	GAIN	TB67Z8x3HFTG	Input	電流センスアンプゲイン設定端子
	nCS	TB67Z8x3SFTG	Input	シリアル通信 チップセレクト端子
30	ENABLE	TB67Z8x3H / SFTG	Input	イネーブル端子
31	CAL	TB67Z8x3H / SFTG	Input	電流センスアンプオフセットキャリブレーション端子
32	AGND	TB67Z8x3H / SFTG	Ground	アナロググランド

表 6.2 TB67Z833H/SFTG、TB67Z853H/SFTG 端子説明 (続き)

端子番号	名称		種類	端子説明
33	DVDD	TB67Z8x3H / SFTG	Power	レギュレーター電圧出力端子
34	INHA	TB67Z8x3H / SFTG	Input	ハイサイド ゲート制御端子 (Ach)
35	INLA	TB67Z8x3H / SFTG	Input	ローサイド ゲート制御端子 (Ach)
36	INHB	TB67Z8x3H / SFTG	Input	ハイサイド ゲート制御端子 (Bch)
37	INLB	TB67Z8x3H / SFTG	Input	ローサイド ゲート制御端子 (Bch)
38	INHC	TB67Z8x3H / SFTG	Input	ハイサイド ゲート制御端子 (Cch)
39	INLC	TB67Z8x3H / SFTG	Input	ローサイド ゲート制御端子 (Cch)
40	PGND	TB67Z8x3H / SFTG	Ground	パワーグラウンド

注：SPx 端子を使用しないとき、オープンにせずグラウンドに接地してください。

7. 等価回路

端子名称	端子説明	等価回路
INHx INLx ENABLE nCS SCLK SDI CAL	デジタル入力端子	
MODE GAIN	4 レベル入力端子	
IDRIVE VDS	7 レベル入力端子	
SDO nFAULT	オープンドレイン出力端子	
DVDD	レギュレーター出力端子	

端子名称	端子説明	等価回路
VCP CPH CPL	チャージポンプ端子	
GHx SHx	ハイサイド ゲートドライバー端子	
GLx SPx/SLx	ローサイド ゲートドライバー端子	
SPx SNx SOx	電流センスアンプ 入出力端子	

8. 絶対最大定格

表 8.1 絶対最大定格 (特別な記載がない限り、 $T_a = 25^\circ\text{C}$)

項目	記号	定格	単位	
電源電圧	V_{VM}	-0.3~80	V	
GND 端子間差電圧 (PGND, AGND 間)	ΔV_G	-0.3~0.3	V	
VDRAIN 端子電圧	V_{VDR}	-0.3~80	V	
VDRAIN 電圧スルーレート	SR_{VDR}	2	V/ μs	
電圧レギュレーター	V_{DVDD}	-0.3~6 (注 1)	V	
チャージポンプ端子電圧(VCP, CPP)	V_{VCP}	-0.3~ $V_{VDR}+13.5$ (注 1)	V	
チャージポンプ端子電圧(CPM)	V_{VCPM}	-0.3~ V_{VDR} (注 1)	V	
入力電圧	ENABLE, MODE, VDS, GAIN, IDRIVE, CAL, INHX, INLx, nSCS, SCLK, SDI, SDO, nFAULT	-0.3~6	V	
	SHx (連続)	-5~ $V_{VDR}+5$ (注 2)	V	
	SHx (200 ns パルス)	-10~ $V_{VDR}+10$ (注 2)	V	
	SLx (連続)	-1~1 (注 3)	V	
	SLx (200 ns パルス)	-5~5 (注 3)	V	
	SPx, SNx (連続)	-1~1 (注 3)	V	
	SPx, SNx (200 ns パルス)	-5~5 (注 3)	V	
	VREF	-0.3~6	V	
出力電圧	GHx(連続)	-5~ $V_{VCP}+0.5$ (注 2)	V	
	GHx(200 ns パルス)	-10~ $V_{VCP}+0.5$ (注 2)	V	
	GHx-SHx	-0.3~13.5	V	
	GLx(連続)	-1~13.5 (注 3)	V	
	GLx(200 ns パルス)	-5~13.5 (注 3)	V	
	SOx	-0.3~ $V_{VREF}+0.3$	V	
出力電流	DVDD	I_{DVDD}	30 (注 4)	mA
入力電流	nFAULT	I_{IN}	10	mA
許容損失	WQFN40	P_D	4.0 (注 5)	W
	VQFN32		3.1 (注 6)	
接合部温度	$T_{j(opr)}$	-40~150	$^\circ\text{C}$	
保存温度	T_{stg}	-55~150	$^\circ\text{C}$	

絶対最大定格は瞬時たりとも超えてはならない規格です。

絶対最大定格を超えると IC の破壊や劣化や損傷の原因となり、IC 以外にも破壊や損傷や劣化を与える恐れがあります。いかなる動作条件においても必ず絶対最大定格を超えないように設計を行ってください。ご使用に際しては、記載された動作範囲内でご使用ください。

注 1: DVDD, VCP, VCPP, VCPM 電圧は IC 内部で生成されます。外部から電圧印加しないでください。

注 2: SHx, GHx の電圧が VCP 電圧により制限されます。(VCP-SHx), (VCP-GHx) の電圧が-0.5~96 V を超えないように設計を行ってください。

注 3: GLx, SLx, SPx, SNx の電圧が VM 電圧により制限されます。(VM-GLx), (VM-SLx), (VM-SPx), (VM-SNx) の電圧が-0.5~80 V を超えないように設計を行ってください。

注 4: 出力電流は周囲温度、実装方法により制限される場合があります。接合部温度を超えないように設計を行ってください。

注 5: JEDEC 準拠 4 層基板実装時 ($T_a = 25^\circ\text{C}$)。

T_a が 25°C を超える場合は、32 mW/ $^\circ\text{C}$ でディレーティングする必要があります。

注 6: JEDEC 準拠 4 層基板実装時 ($T_a = 25^\circ\text{C}$)。

T_a が 25°C を超える場合は、25 mW/ $^\circ\text{C}$ でディレーティングする必要があります。

9. 動作範囲

表 9.1 動作範囲 (特別な記載がない限り Ta = -40~125°C)

項目	記号	最小	標準.	最大	単位
VM 電源電圧	V _{VM}	8	—	75	V
VDRAIN 電圧	V _{VDR}	6	—	75	V
入力電圧	V _{IN}	0	—	5.5	V
スイッチングスルーレート (SHx)	SR _{SH}	—	—	2	V/ns
PWM 信号(INHx, INLx)	f _{PWM}	0	—	200 (注 1)	kHz
ハイサイド平均駆動電流	I _{GATE_HS}	0	—	25 (注 1)	mA
ローサイド平均駆動電流	I _{GATE_LS}	0	—	25 (注 1)	mA
DVDD 出力電流	I _{DVDD}	0	—	30 (注 1)	mA
Open Drain プルアップ電圧	V _{OD}	0	—	5.5	V
Open Drain シンク電流	I _{OD}	0	—	5	mA
VREF 電圧	V _{VREF}	3	—	5.5	V
動作周辺温度	T _a	-40	—	125	°C

注 1: 許容損失および接合部温度の絶対最大定格を超えないこと。

10. 電気的特性

表 10.1 電気的特性 (特別な記載がない限り VM = VDRAIN = 12 V, Ta = 25°C)

項目		記号	条件	最小	標準	最大	単位
電源関連							
電源電流	通常動作	I _{VM}	VM = VDRAIN = 24 V, ENABLE = 3.3 V, INHx / INLx = 0 V Hardware I/F 版 : MODE = 0 V, GAIN,MODE,IDRIVE,VDS 端子 Open	—	15	20	mA
		I _{VDRAIN}	SPI I/F 版 : レジスタ-Default 設定	—	4	6	mA
	スタンバイ	I _{STBY} (I _{VM} +I _{VDRAIN})	VM = 8~75 V, VDRAIN = 8~75 V, ENABLE = 0 V, T _j = -40~125 °C	—	—	1	μA
Wake up 時間		t _{WAKE}	VM > V _{VMUP} , ENABLE = 3.3 V から出力 Ready DVDD 外付け容量 1 μF VCP-VDRAIN 間容量 1 μF	—	—	1	ms
Standby 移行時間		t _{STBY}	ENABLE = 0 V からスタンバイモード DVDD 外付け容量 1 μF	—	—	1	ms
Reset 時間		t _{RESET}	ENABLE = 0 V からエラーリセット f _{OSC} = 20 MHz	5	—	40	μs
DVDD 端子電圧	TB67Z83x	V _{DVDD}	VM = 8~75 V, I _{OUT} = 0~30 mA	3	3.3	3.6	V
	TB67Z85x		VM = 8~75 V, I _{OUT} = 0~30 mA	4.5	5	5.5	V
チャージポンプ電圧 (VCP-VDRAIN)		V _{CP}	VM = 13 V I _{VCP} = 0~25 mA	8.4	11	12.5	V
			VM = 10 V I _{VCP} = 0~20 mA	6.3	9	10	
			VM = 8 V I _{VCP} = 0~13 mA	5.4	7	8	
内部発振周波数		f _{OSC}	VM = 8~75 V, T _j = -40~125 °C	17	20	24	MHz
デジタル入力端子関連							
ENABLE	入力電圧	V _{IL}	Low 入力	0	—	0.8	V
		V _{IH}	High 入力	1.8	—	5.5	V
		V _{HYS}	—	—	100	—	mV
	入力電流	I _{IL}	V _{IL} = 0 V	—	—	5	μA
		I _{IH}	V _{IH} = 5 V	—	50	70	μA
	プルダウン抵抗	R _{PD}	—	—	100	—	kΩ
INHx, INLx, nCS, SCLK, SDI CAL	入力電圧	V _{IL}	Low 入力	0	—	0.8	V
		V _{IH}	High 入力	1.5	—	5.5	V
		V _{HYS}	V _{DVDD} = 3.3 V TB67Z83x V _{DVDD} = 5 V TB67Z85x	—	140	—	mV
	入力電流	I _{IL}	V _{IL} = 0 V	—	—	5	μA
		I _{IH}	V _{IH} = 5 V	—	50	70	μA
	プルダウン抵抗	R _{PD}	—	—	100	—	kΩ
	伝搬時間	t _{PD}	INHx / INLx → GHx / GLx	—	175	—	ns

項目	記号	条件	最小	標準	最大	単位		
4 レベル端子								
GAIN, MODE	Mode 1	V ₁	AGND とショート	—	0	—	V	
	Mode 2	V ₂	45 kΩ ± 5%抵抗経由で AGND と接続	TB67Z83x	—	1.2		—
				TB67Z85x	—	1.8		—
	Mode 3	V ₃	Open	TB67Z83x	—	2		—
				TB67Z85x	—	3.1		—
	Mode 4	V ₄	DVDD とショート	—	V _{DVDD}	—		
	プルアップ抵抗	R _{PU}	—	—	50	—	kΩ	
プルダウン抵抗	R _{PD}	—	—	84	—	kΩ		
7 レベル端子								
IDRIVE, VDS	Mode 1	V ₁	AGND とショート	—	0	—	V	
	Mode 2	V ₂	18 kΩ ± 5%抵抗経由で AGND と接続	TB67Z83x	—	0.5		—
				TB67Z85x	—	0.8		—
	Mode 3	V ₃	75 kΩ ± 5%抵抗経由で AGND と接続	TB67Z83x	—	1.1		—
				TB67Z85x	—	1.7		—
	Mode 4	V ₄	Open	TB67Z83x	—	1.65		—
				TB67Z85x	—	2.5		—
	Mode 5	V ₅	75 kΩ ± 5%抵抗経由で DVDD と接続	TB67Z83x	—	2.2		—
				TB67Z85x	—	3.3		—
	Mode 6	V ₆	18 kΩ ± 5%抵抗経由で DVDD と接続	TB67Z83x	—	2.8		—
TB67Z85x				—	4.2	—		
Mode 7	V ₇	DVDD とショート	—	V _{DVDD}	—			
プルアップ抵抗	R _{PU}	—	—	73	—	kΩ		
プルダウン抵抗	R _{PD}	—	—	73	—	kΩ		
Open Drain 端子								
nFAULT SDO	出力 Low 電圧	V _{OL}	I _{OUT} = 5 mA	—	—	0.1	V	
	出力リーク電流	I _{OH}	V _{OUT} = 5 V	—	—	1.0	μA	

項目	記号	条件	最小	標準	最大	単位		
ゲートドライバー								
ゲート 駆動電 圧	ハイサイド電 圧 (GHx-SHx)	V _{GSH(H)}	VM = 13 V, I _{VCP} = 0~25 mA, ソース電流能力 1 A (設計 値)	8.4	11	12.5	V	
			VM = 10 V, I _{VCP} = 0~20 mA, ソース電流能力 1 A (設計 値)	6.3	9	10		
			VM = 8 V, I _{VCP} = 0~13 mA, ソース電流能力 1 A (設計 値)	5.4	7	8		
		V _{GSH(L)}	HOLD 期間中, I _{SINK} = 0.5 mA	—	—	0.5	V	
	ハイサイド電 圧 (GLx-PGND)	V _{GSL(H)}		VM = 12 V, I _{GL} = 0~25 mA, ソース電流能力 1 A (設計 値)	9	11	12	V
				VM = 10 V, I _{GL} = 0~20 mA, ソース電流能力 1 A (設計 値)	7.5	9	10	
				VM = 8 V, I _{GL} = 0~13 mA, ソース電流能力 1 A (設計 値)	5.5	7	8	
		V _{GSL(L)}	HOLD 期間中, I _{SINK} = 0.5 mA	—	—	0.5	V	
ゲート駆動 ソース電流能力	I _{DRIVEP}	SPI	Reg = 0000b	—	10	—	mA	
			Reg = 0001b	—	30	—		
			Reg = 0010b	—	60	—		
			Reg = 0011b	—	80	—		
			Reg = 0100b	—	120	—		
			Reg = 0101b	—	140	—		
			Reg = 0110b	—	170	—		
			Reg = 0111b	—	190	—		
			Reg = 1000b	—	260	—		
			Reg = 1001b	—	330	—		
			Reg = 1010b	—	370	—		
			Reg = 1011b	—	440	—		
			Reg = 1100b	—	570	—		
			Reg = 1101b	—	680	—		
		Reg = 1110b	—	820	—			
		Reg = 1111b	—	1000	—			
		Hardware	IDRIVE = Mode 1	—	10	—		
			IDRIVE = Mode 2	—	30	—		
			IDRIVE = Mode 3	—	60	—		
			IDRIVE = Mode 4	—	120	—		
			IDRIVE = Mode 5	—	260	—		
IDRIVE = Mode 6	—		570	—				
IDRIVE = Mode 7	—		1000	—				

項目	記号	条件	最小	標準	最大	単位			
ゲート駆動 シンク電流能力	IDRIVEN	SPI	Reg = 0000b	—	20	—	mA		
			Reg = 0001b	—	60	—			
			Reg = 0010b	—	120	—			
			Reg = 0011b	—	160	—			
			Reg = 0100b	—	240	—			
			Reg = 0101b	—	280	—			
			Reg = 0110b	—	340	—			
			Reg = 0111b	—	380	—			
			Reg = 1000b	—	520	—			
			Reg = 1001b	—	660	—			
			Reg = 1010b	—	740	—			
			Reg = 1011b	—	880	—			
			Reg = 1100b	—	1140	—			
			Reg = 1101b	—	1360	—			
		Reg = 1110b	—	1640	—				
		Reg = 1111b	—	2000	—				
				Hardware	IDRIVE = Mode 1	—		20	—
					IDRIVE = Mode 2	—		60	—
					IDRIVE = Mode 3	—		120	—
					IDRIVE = Mode 4	—		240	—
		IDRIVE = Mode 5	—		520	—			
		IDRIVE = Mode 6	—		1140	—			
		IDRIVE = Mode 7	—		2000	—			
Hold 電流	IHOLD_SRC	tDRIVE 後のソース電流能力	—	10	—	mA			
	IHOLD_SNK	tDRIVE 後のシンク電流能力	—	60	—				
Turn-on 防止電流	ISTRONG	シンク電流能力	—	2000	—	mA			
Turn-on 防止抵抗	ROFF	ENABLE = 0 V	—	150	—	kΩ			
駆動期間	tDRIVE	SPI	Reg = 00b	—	600	—	ns		
			Reg = 01b	—	1000	—			
			Reg = 10b	—	2000	—			
			Reg = 11b	—	4000	—			
		Hardware	—	4000	—				
Dead time	tDEAD	SPI	Reg = 00b	—	50	—	ns		
			Reg = 01b	—	100	—			
			Reg = 10b	—	200	—			
			Reg = 11b	—	400	—			
		Hardware	—	100	—				

項目	記号	条件	最小	標準	最大	単位	
電流センスアンプ							
ゲイン	GCSA	SPI VREF_DIV = 1b CSA_FET = 0b	CSA_GAIN = 00b	4.85	5	5.15	V/V
			CSA_GAIN = 01b	9.7	10	10.3	
			CSA_GAIN = 10b	19.4	20	20.6	
			CSA_GAIN = 11b	38.8	40	41.2	
		Hardware	GAIN = Mode 1	4.85	5	5.15	
			GAIN = Mode 2	9.7	10	10.3	
			GAIN = Mode 3	19.4	20	20.6	
			GAIN = Mode 4	38.8	40	41.2	
整定時間 (±1%まで)	tSET	VO_STEP = 0.5 V, GCSA = 5 V/V (設計値)	—	200	—	ns	
		VO_STEP = 0.5 V, GCSA = 10 V/V (設計値)	—	300	—		
		VO_STEP = 0.5 V, GCSA = 20 V/V (設計値)	—	600	—		
		VO_STEP = 0.5 V, GCSA = 40 V/V (設計値)	—	1200	—		
同相モード入力範囲	VCOM	—	-0.15	—	0.15	V	
差動モード入力範囲	VDIFF	—	-0.3	—	0.3	V	
入力 Offset	VOFF	VSPX = VSNX = 0 V, VVREF = 3.3 V, キャリブレーション実施後 双方向電流検出モード, Ta = -40~125 °C	-3	—	3	mV	
ドリフト	VDRIFT	VSPX = VSNX = 0 V (設計値)	—	10	—	μV/°C	
リニアアール出力範囲	VLINEAR	VVREF = 3~5.5 V, CAL 実施後	0.25	—	VVREF - 0.25	V	
出力バイアス電圧	VBIAS	SPI	VREF_DIV = 0b, SOx 出力 Open	VVREF - 0.25	—	VVREF	V
			VREF_DIV = 1b, SOx 出力 Open	—	VVREF/2	—	V
		Hardware	SOx 出力 Open	—	VVREF/2	—	V
入力バイアス電流	IBIAS	双方向電流検出 モード	SPx = SNx = -0.3 V SPx 端子から流れ出す電流	—	—	1.2	mA
			SPx = SNx = -0.3 V SNx 端子から流れ出す電流	—	—	130	μA
出力スルーレート	SRSO	負荷容量 = 60 pF (設計値)	—	10	—	V/μs	
基準電圧入力電流	IVREF	VVREF = 5 V	—	3	4.5	mA	
Unity gain bandwidth	UGB	負荷容量 = 60 pF (設計値)	—	1	—	MHz	

項目	記号	条件	最小	標準	最大	単位	
保護機能							
VM 低電圧検出	検出電圧	V _{VMDN}	VM 電圧降下時	5.4	5.6	5.8	V
	解除電圧	V _{VMUP}	VM 電圧上昇時	5.6	5.8	6	V
	Hysteresis	V _{VM_UVHys}	—	—	0.2	—	V
	マスク期間	t _{VM_UVD}	VM 電圧降下時	—	10	—	μs
VDRAIN 低電圧検出	検出電圧	V _{VDRDN}	VDRAIN 電圧降下時	5.4	5.6	5.8	V
	解除電圧	V _{VDRUP}	VDRAIN 電圧上昇時	5.6	5.8	6	V
	Hysteresis	V _{VDR_UVHys}	—	—	0.2	—	V
	マスク期間	t _{VDR_UVD}	VDRAIN 電圧降下時	—	10	—	μs
DVDD 低電圧検出	検出電圧	V _{DVDDDN}	DVDD 電圧降下時	2.6	2.75	2.9	V
	解除電圧	V _{DVDDUP}	DVDD 電圧上昇時	2.7	2.85	3.0	V
	Hysteresis	V _{VDD_UVHys}	—	—	0.1	—	V
チャージポンプ 低電圧検出	検出電圧	V _{VCPDN}	VCP 電圧降下時 VCP - VDRAIN	4.7	5	5.3	V
	解除電圧	V _{VCPUP}	VCP 電圧上昇時 VCP - VDRAIN	5.2	5.5	5.8	V
	Hysteresis	V _{VCP_UVHys}	—	—	0.5	—	V
	マスク期間	t _{VCP_UVD}	VCP 電圧降下時	—	10	—	μs
ハイサイド Clamp	High 出力	V _{GS_CLAMPH}	T _a = -40~125 °C	13.0	14.5	19.0	V
	Low 出力	V _{GS_CLAMP L}	—	—	-0.7	—	V
VDS 過電流検出電圧	V _{D S_OCP}	SPI	Reg = 0000b	0.03	0.06	0.09	V
			Reg = 0001b	—	0.13	—	
			Reg = 0010b	—	0.2	—	
			Reg = 0011b	—	0.26	—	
			Reg = 0100b	—	0.31	—	
			Reg = 0101b	—	0.45	—	
			Reg = 0110b	—	0.53	—	
			Reg = 0111b	—	0.6	—	
			Reg = 1000b	—	0.68	—	
			Reg = 1001b	—	0.75	—	
			Reg = 1010b	—	0.94	—	
			Reg = 1011b	—	1.13	—	
			Reg = 1100b	—	1.3	—	
			Reg = 1101b	—	1.5	—	
		Reg = 1110b	—	1.7	—		
		Reg = 1111b	—	1.88	—		
		Hardware	VDS = Mode 1	0.03	0.06	0.09	
			VDS = Mode 2	—	0.13	—	
			VDS = Mode 3	—	0.26	—	
			VDS = Mode 4	—	0.6	—	
VDS = Mode 5	—		1.13	—			
VDS = Mode 6	—		1.88	—			
VDS = Mode 7	—	Disabled	—				

項目	記号	条件	最小	標準	最大	単位	
VSENSE 過電流検出電圧	V _{SEN_OCP}	SPI	Reg = 00b	—	0.25	—	V
			Reg = 01b	—	0.5	—	
			Reg = 10b	—	0.75	—	
			Reg = 11b	—	1	—	
		Hardware	—	1	—		
過電流保護マスク期間	t _{OCP_MASK}	SPI	Reg = 00b	—	1	—	μs
			Reg = 01b	—	2	—	
			Reg = 10b	—	4	—	
			Reg = 11b	—	8	—	
		Hardware	—	4	—		
過電流保護自動復帰時間	t _{RETRY}	SPI	Reg = 00b	—	4	—	ms
			Reg = 01b	—	50	—	μs
		Hardware	—	4	—	ms	
ゲート駆動電圧モニターしきい値電圧	V _{GS_LT}	T _j = -40~125 °C, V _{DRAIN} = 8~75 V	0.5	1.0	1.5	V	
	V _{GS_HT}	T _j = -40~125 °C, V _{DRAIN} = 8~75 V	2.5	3.0	3.5	V	
高温警告	検出	T _{OTW}	(設計値)	140	150	160	°C
	復帰	T _{OTWR}	(設計値)	110	120	130	°C
	Hysteresis	T _{OTW_Hys}	(設計値)	—	30	—	°C
TSD	検出	T _{TSD}	(設計値)	155	165	175	°C
	復帰	T _{TSDR}	(設計値)	125	135	145	°C
	Hysteresis	T _{TSD_Hys}	(設計値)	—	30	—	°C

項目	記号	条件	最小	標準	最大	単位
SPI Timing						
準備期間	t _{READY}	VM > V _{VMUP} , ENABLE = 3.3 V から SPI 通信可能まで	—	—	1	ms
SCLK 周期	t _{CLK}	—	100	—	—	ns
SCLK H 期間	t _{CLKH}	—	50	—	—	ns
SCLK L 期間	t _{CLKL}	—	50	—	—	ns
SDI setup 時間	t _{SU_SDI}	SDI 入力から SCLK 立ち下がりエッジまでの時間	20	—	—	ns
SDI hold 時間	t _{HD_SDI}	SCLK 立ち下がりエッジから SDI 維持の時間	30	—	—	ns
SDO 出力 Delay	t _{D_SDO}	SCLK High から SDO 出力まで	—	—	30	ns
nCS setup 時間	t _{SU_nCS}	nCS Low から SCLK 立ち上がりエッジまでの時間	50	—	—	ns
nCS hold 時間	t _{HD_nCS}	SCLK 立ち下がりエッジから nCS High までの時間	50	—	—	ns
nCS H 期間	t _{H_nCS}	nCS Low までの H 期間	400	—	—	ns
nCS disable 期間	t _{DIS_nCS}	nCS High から SDO Hi-Z までの時間 (設計値)	—	10	—	ns

注: 特別な記載がない限り、記載された条件に対する電気特性を示しています。

異なる条件下では製品を動作させるとき、電気的特性に示している特性が得られない場合があります。

11. 動作説明

11.1. 3相ゲートドライバ

11.1.1. PWM 制御モード

TB67Z830xFTG/833xFTG/850xFTG/853xFTG は4種類のPWM制御モードを備えています。PWM制御モードはMODE端子(Hardware I/F版)またはPWM_MODEレジスタ(SPI I/F版)で設定できます。外付けMOSFETの駆動中はPWM制御モードの切り替えをしないでください。INHx、INLx端子がAll Lowかつ外付けMOSFETがOFFの状態ではPWM制御モードを設定してください。

11.1.1.1. 6-PWM入力モード

6-PWM入力モードでは、3つのハーフブリッジをそれぞれ制御できます。INHxとINLx端子の入力により、各ハーフブリッジをLow、Highとハイインピーダンス(Hi-Z)の3つの状態に制御できます。

表 11.1 6-PWM入力モード

INLx	INHx	GLx	GHx	SHx
L	L	L	L	Hi-Z
L	H	L	H	H
H	L	H	L	L
H	H	L	L	Hi-Z

GLx / GHx = L : Sink/Hold 電流流せる状態

GLx / GHx = H : Source/Hold 電流流せる状態

11.1.1.2. 3-PWM入力モード

3-PWM入力モードでは、INHx端子により各ハーフブリッジをLowとHighの2つの状態に制御できます。INLx端子によりハーフブリッジをハイインピーダンス(Hi-Z)の状態に制御できます。

表 11.2 3-PWM入力モード

INLx (Enable)	INHx (PWM)	GLx	GHx	SHx
L	X	L	L	Hi-Z
H	L	H	L	L
H	H	L	H	H

GLx / GHx = L : Sink/Hold 電流流せる状態

GLx / GHx = H : Source/Hold 電流流せる状態

11.1.1.3. Hall 入力モード

Hall 入力モードでは、矩形波駆動(120 度通電)を簡単に実現できます。INLA、INHB と INLB 端子に 3 相の Hall 信号を入力するほか、INHA 端子により PWM の周波数と PWM Duty、INHC 端子により回転方向を制御できます。また、INLC 端子により BRAKE を制御できます。

Hardware I/F 版と SPI I/F 版は通常同期整流モードで動作します。IC の動作は下記の通りです。

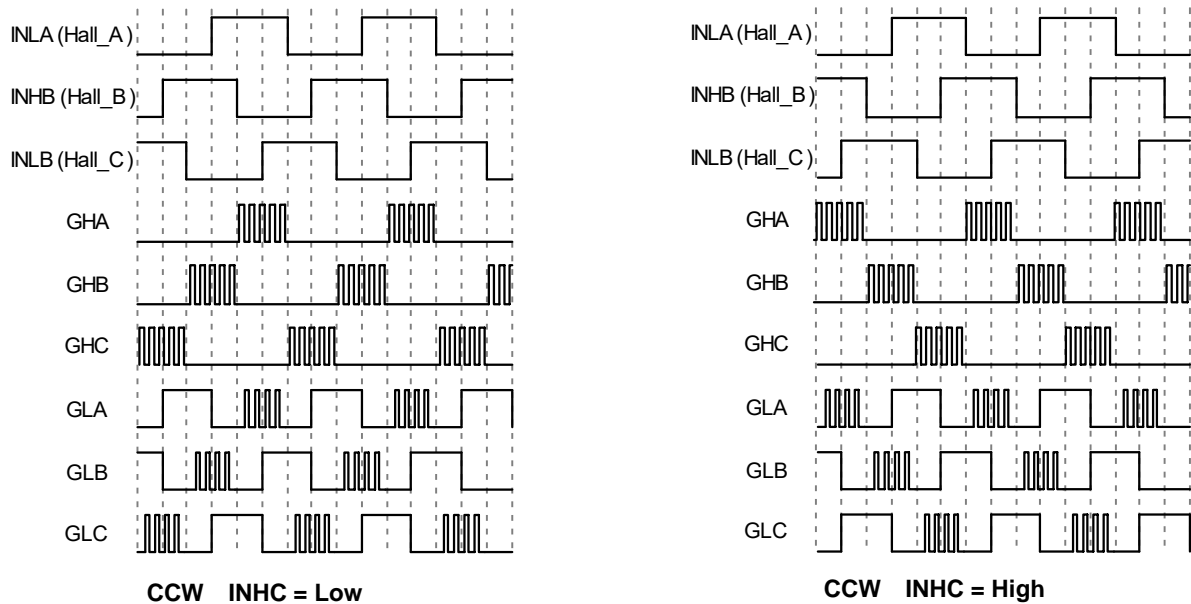


図 11.1 同期整流モードタイミングチャート

表 11.3 同期整流モード(CCW)

STATE	Logic Input CCW (INHC = L)				Gate drive output					
	INLC (nBRAKE)	INLA (Hall_A)	INHB (Hall_B)	INLB (Hall_C)	GHA	GLA	GHB	GLB	GHC	GLC
BRAKE	L	X	X	X	L	H	L	H	L	H
STOP	H	L	L	L	L	L	L	L	L	L
Align		H	H	H	INHA	/INHA	L	H	L	H
A → C		H	L	L	INHA	/INHA	L	L	L	H
A → B		H	L	H	INHA	/INHA	L	H	L	L
C → B		L	L	H	L	L	L	H	INHA	/INHA
C → A		L	H	H	L	H	L	L	INHA	/INHA
B → A		L	H	L	L	H	INHA	/INHA	L	L
B → C		H	H	L	L	L	INHA	/INHA	L	H

表 11.4 同期整流モード (CW)

STATE	Logic Input CW (INHC = H)				Gate drive output					
	INLC (nBRAKE)	INLA (Hall_A)	INHB (Hall_B)	INLB (Hall_C)	GHA	GLA	GHB	GLB	GHC	GLC
BRAKE	L	X	X	X	L	H	L	H	L	H
STOP	H	L	L	L	L	L	L	L	L	L
Align		H	H	H	INHA	/INHA	L	H	L	H
A → C		L	H	H	INHA	/INHA	L	L	L	H
A → B		L	H	L	INHA	/INHA	L	H	L	L
C → B		H	H	L	L	L	L	H	INHA	/INHA
C → A		H	L	L	L	H	L	L	INHA	/INHA
B → A		H	L	H	L	H	INHA	/INHA	L	L
B → C		L	L	H	L	L	INHA	/INHA	L	H

SPI I/F 版は非同期整流モードも対応します。IC の動作が下記になります。

表 11.5 非同期整流モード (CCW) (SPI I/F 版のみ)

STATE	Logic Input CCW (INHC = L)				Gate drive output					
	INLC (nBRAKE)	INLA (Hall_A)	INHB (Hall_B)	INLB (Hall_C)	GHA	GLA	GHB	GLB	GHC	GLC
BRAKE	L	X	X	X	L	H	L	H	L	H
STOP	H	L	L	L	L	L	L	L	L	L
Align		H	H	H	INHA	L	L	H	L	H
A → C		H	L	L	INHA	L	L	L	L	H
A → B		H	L	H	INHA	L	L	H	L	L
C → B		L	L	H	L	L	L	H	INHA	L
C → A		L	H	H	L	H	L	L	INHA	L
B → A		L	H	L	L	H	INHA	L	L	L
B → C		H	H	L	L	L	INHA	L	L	H

表 11.6 非同期整流モード (CW) (SPI I/F 版のみ)

STATE	Logic Input CW (INHC = H)				Gate drive output					
	INLC (nBRAKE)	INLA (Hall_A)	INHB (Hall_B)	INLB (Hall_C)	GHA	GLA	GHB	GLB	GHC	GLC
BRAKE	L	X	X	X	L	H	L	H	L	H
STOP	H	L	L	L	L	L	L	L	L	L
Align		H	H	H	INHA	L	L	H	L	H
A → C		L	H	H	INHA	L	L	L	L	H
A → B		L	H	L	INHA	L	L	H	L	L
C → B		H	H	L	L	L	L	H	INHA	L
C → A		H	L	L	L	H	L	L	INHA	L
B → A		H	L	H	L	H	INHA	L	L	L
B → C		L	L	H	L	L	INHA	L	L	H

11.1.1.4. 独立 PWM モード

独立 PWM モードでは、ハイサイドとローサイドのゲートドライバーを個別に制御できます。

表 11.7 独立 PWM モード

INLx	INHx	GLx	GHx
L	L	L	L
L	H	L	H
H	L	H	L
H	H	H	H

GLx / GHx = L : Sink/Hold 電流流せる状態

GLx / GHx = H : Source/Hold 電流流せる状態

独立 PWM モードでは、同じハーフブリッジのハイサイドとローサイドを同時に使用する場合、誤検出を避けるためには VDS 監視機能を無効にしてください。

11.1.2. 外付け MOSFET 駆動

TB67Z830xFTG/833xFTG/850xFTG/853xFTG は、外付け Nch+Nch の MOSFET を駆動できるゲートドライバー回路を内蔵しています。外付け MOSFET のゲート駆動電流や駆動時間の設定が可能です。また、貫通電流を防止するための駆動シーケンスも内蔵しています。

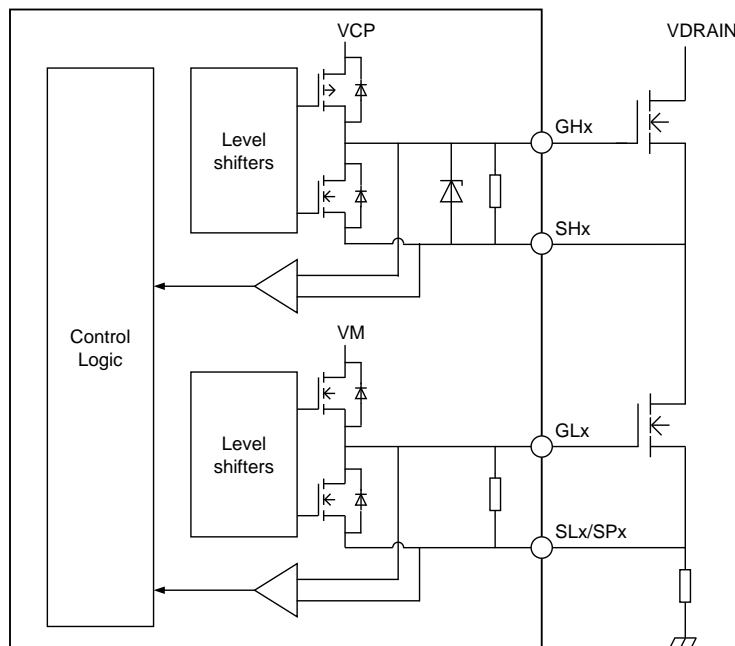


図 11.2 ゲート駆動回路ブロック図

11.1.2.1. 駆動電流能力

外付け MOSFET の ON と OFF のスピードを制御するため、ゲート駆動電流（ソース電流とシンク電流）能力の調整機能を内蔵しています。ソース電流能力は 10 mA から 1 A まで設定できます。シンク電流能力は 20 mA から 2 A まで設定できます。SPI I/F 版ではレジスタ経由でゲート駆動電流能力を設定できます。Hardware I/F 版では IDRIVE 端子からゲート駆動電流能力を設定できます。

表 11.8 SPI I/F 版 ゲート駆動電流設定用レジスタ

レジスタ	設定内容
IDRIVEP_HS	High side ゲート駆動ソース電流能力
IDRIVEN_HS	High side ゲート駆動シンク電流能力
IDRIVEP_LS	Low side ゲート駆動ソース電流能力
IDRIVEN_LS	Low side ゲート駆動シンク電流能力

表 11.9 ゲート駆動 電流能力設定

ソース電流能力 (mA)	シンク電流能力 (mA)	SPI I/F 版 レジスタ設定値	Hardware I/F 版 IDRIVE
10	20	0000b	Mode 1
30	60	0001b	Mode 2
60	120	0010b	Mode 3
80	160	0011b	—
120	240	0100b	Mode 4
140	280	0101b	—
170	340	0110b	—
190	380	0111b	—
260	520	1000b	Mode 5
330	660	1001b	—
370	740	1010b	—
440	880	1011b	—
570	1140	1100b	Mode 6
680	1360	1101b	—
820	1640	1110b	—
1000	2000	1111b	Mode 7

11.1.2.2. 駆動シーケンス

貫通電流を防止するための駆動シーケンスも内蔵しています。6-PWM 入力モードを例にして、駆動シーケンスについて説明します。

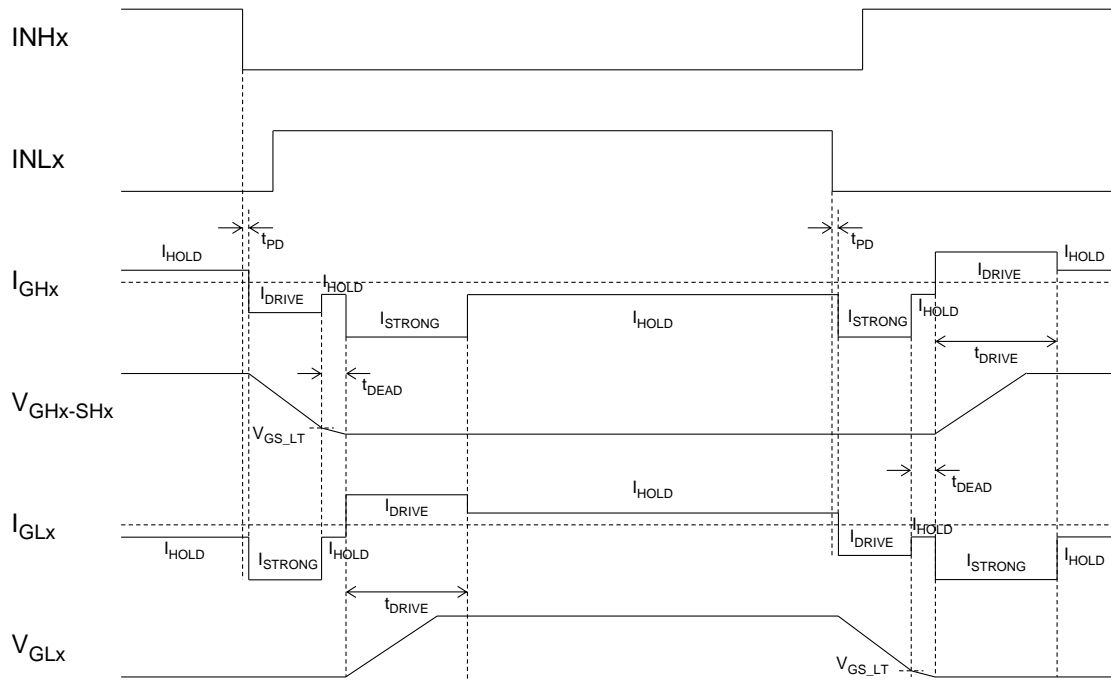


図 11.3 駆動シーケンス例

ハイサイド外付け MOSFET が ON、ローサイド外付け MOSFET が OFF の状態からハイサイド MOSFET が OFF、ローサイド外付け MOSFET が ON の状態に遷移する場合のシーケンスが以下です。

ハイサイド外付け MOSFET を OFF する指令 (INHx = H → L) を受け取ったあと、ハイサイド外付け MOSFET のゲート駆動電流がソース I_HOLD からシンク I_DRIVE に切り替えます。同時に、ローサイド外付け MOSFET のセルフターンオンを防ぐため、ローサイド外付け MOSFET のゲート駆動電流能力がシンクの I_STRONG に切り替わります。

ハイサイド外付け MOSFET を OFF にする期間中、外付け MOSFET のゲート・ソース間電圧 V_GS をモニターし、しきい値 V_GS_LT の 1.0 V (typ.) を下回ったら、デッドタイムを挿入します。デッドタイムの時間 t_DEAD は、Hardware I/F 版では 100 ns (typ.) 固定で、SPI I/F 版では DEAD_TIME レジスタで設定可能です。なお、V_GS 電圧が t_DRIVE を経過しても V_GS_LT 以下にならない場合、ゲート駆動電圧異常として検出します。

貫通電流を防止するため、ローサイド外付け MOSFET の ON 動作はデッドタイムの終了後に行います。ローサイド外付け MOSFET を ON させる期間は t_DRIVE で、この期間中のローサイド外付け MOSFET のゲート駆動電流能力がソースの I_DRIVE です。なお、ハイサイド外付け MOSFET のセルフターンオンを防ぐため、ハイサイド外付け MOSFET のゲート駆動電流能力がシンクの I_STRONG に切り替わります。ローサイド外付け MOSFET を ON にする期間中、V_GS 電圧をモニターします、しきい値 V_GS_HT の 3.0 V (typ.) を超えたら、他の状態に遷移できます。t_DRIVE を経過しても V_GS_HT を超えてない場合、ゲート駆動電圧異常として検出します。

ハイサイド外付け MOSFET が OFF、ローサイド外付け MOSFET が ON の状態からハイサイド MOSFET が ON、ローサイド外付け MOSFET が OFF の状態に遷移する場合も、同じように貫通防止シーケンスが入っています。

SPI I/F 版では、DRV_SEQ レジスタを 0b に設定すると、外付け MOSFET の ON、OFF 期間が t_{DRIVE} に固定します。駆動シーケンスが以下となります。

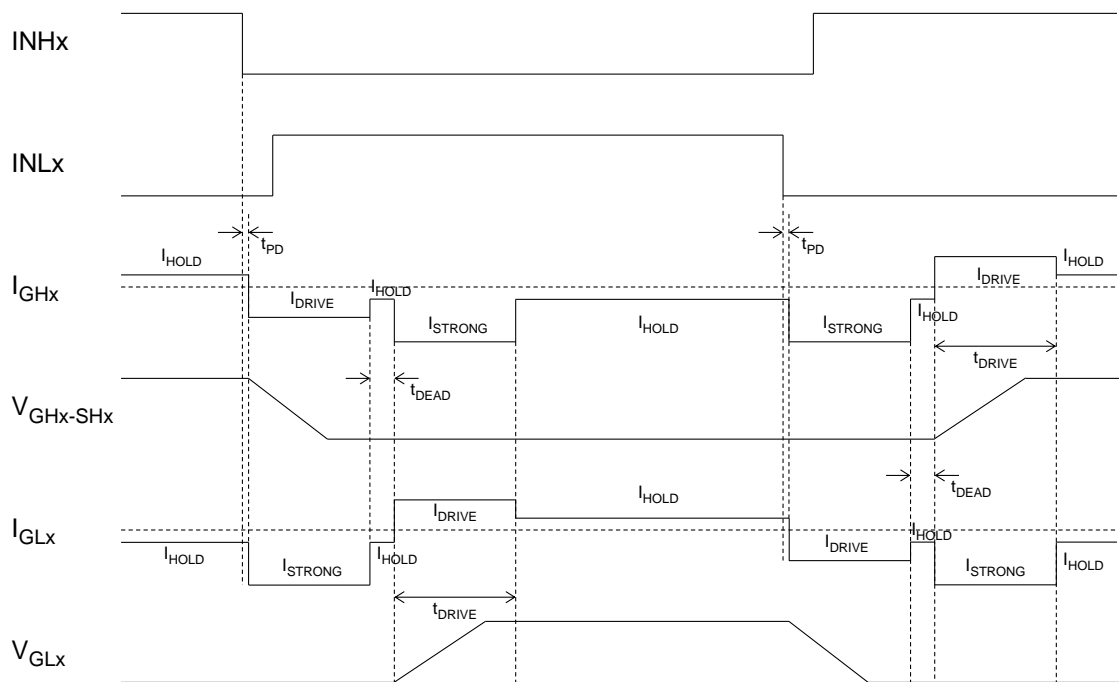


図 11.4 駆動シーケンス例 (DRV_SEQ = 0b)

なお、DRV_SEQ = 0b の場合、ゲート駆動電圧異常は t_{DRIVE} 期間の最後で行います。外付け MOSFET のゲート・ソース間電圧 V_{GS} が、 t_{DRIVE} 期間完了のタイミングで、外付け MOSFET を OFF する場合は V_{GS_LT} 以上、外付け MOSFET を ON する場合は V_{GS_HT} 以下であれば、ゲート駆動電圧異常として検出します。

11.1.3. 電源系統

ローサイド外付け MOSFET を駆動するための電源は VM から供給します。電圧は IC 内部の V_{GLS} 電圧により 11 V にクランプされます。ただし、VM 電圧が 12 V 未満の場合、電圧が VM 電圧に応じて低下します。

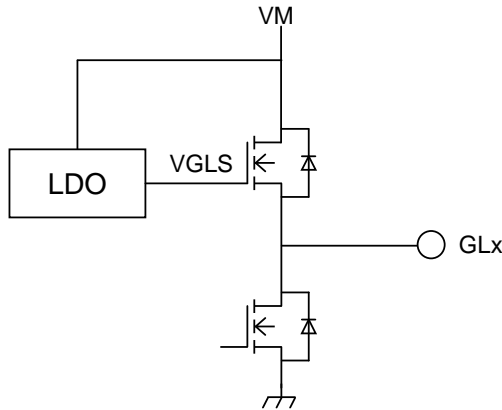


図 11.5 ローサイド 駆動電源

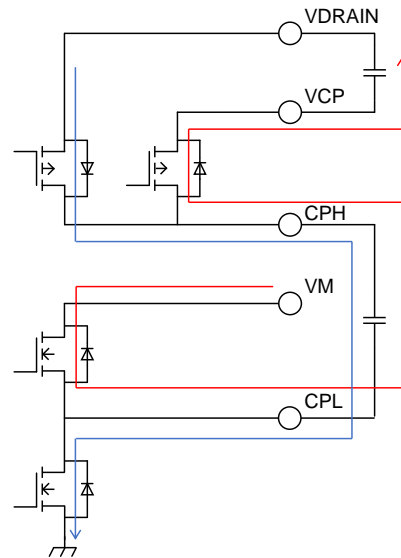


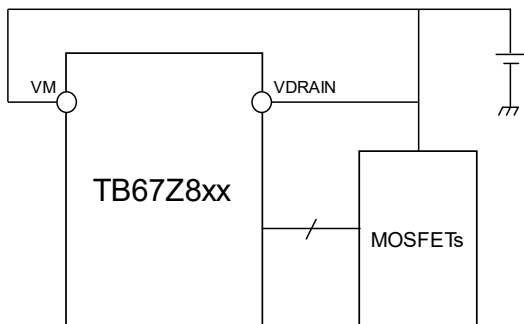
図 11.6 チャージポンプ回路とチャージ電流経路

ハイサイド外付け MOSFET を駆動するための電源はチャージポンプから生成します。チャージポンプは V_{DRAIN}+11 V で、平均出力電流 25 mA まで対応できます。ただし、VM 電圧が 12 V 未満の場合、チャージポンプ電圧が VM 電圧に応じて低下します。

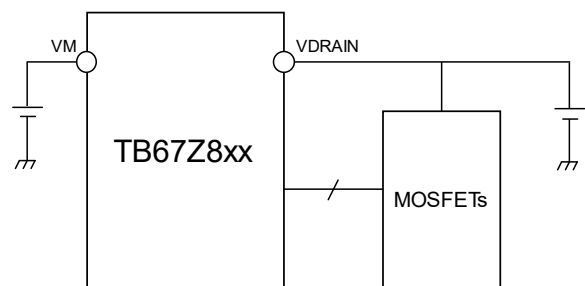
VCP と V_{DRAIN} 間の蓄積コンデンサは、1 μF、耐圧 16 V 以上、X5R あるいは X7R 温特のセラミックコンデンサを使用してください。また、CPH と CPL の間の汲み上げコンデンサは、47 nF、V_{DRAIN} 電圧以上耐圧、X5R あるいは X7R 温特のセラミックコンデンサを使用してください。

CPL 端子が天絡の場合、IC 破壊の恐れがあります。IC の破壊により発煙・発火に至ることがありますので、大電流が流れ続けないように適切な電源ヒューズを使用してください。

チャージポンプ電圧は V_{DRAIN} を基準としているため、VM と V_{DRAIN} に別々の電源を印加することが可能です。IC への電源は VM から供給されます。そのため、VM に低い電圧を印加することで、IC の消費電力を低減することが可能です。



単一電源構成



二電源構成

図 11.7 電源構成例

11.2. DVDD レギュレーター

TB67Z830xFTG/833xFTG には、出力電圧 3.3 V (typ.)、出力電流 30 mA (max)のレギュレーターを内蔵します。TB67Z850xFTG/853xFTG には、出力電圧 5.0 V (typ.)、出力電流 30 mA (max)のレギュレーターを内蔵します。

レギュレーターの出力端子 DVDD と AGND の間に、1 μ F、耐圧 6.3 V 以上、X5R あるいは X7R 温特のセラミックコンデンサーを追加し、IC の近くに配置してください。

レギュレーターを外部回路の電源として使用する場合、レギュレーターの消費電力 P_{LDO} は以下の式で計算できます。

$$P_{LDO} = (V_{VM} - V_{DVDD}) \times I_{DVDD}$$

V_M 電圧が高い場合、レギュレーターの消費電力を増加します。IC の発熱に注意してください。

11.3. 電流センスアンプ

TB67Z833xFTG/TB67Z853xFTG には、ローサイドシャント抵抗の電流をセンスするためのアンプが 3 つ内蔵されています。アンプは双方向電流検出機能以外、SPI I/F 版では、片方向電流検出、VDS 電圧検出、および入力反転モードも対応します。

V_{REF} 端子は、アンプ回路の電源および基準電圧です。DVDD から電圧を供給するか、外部電源から電源供給してください。

電流センスアンプを使用しない場合、 SP_x を SN_x とショートしてグラウンドに接地してください。

11.3.1. 双方向電流検出

双方向電流検出の場合、 SO_x 電圧と SP_x-SN_x 間電圧の関係が以下となります。

$$\begin{aligned} V_{SO_x} &= V_{VREF} / 2 - (V_{SP_x} - V_{SN_x}) \times G_{CSA} \\ &= V_{VREF} / 2 - I_{SENSE} \times R_{SENSE} \times G_{CSA} \end{aligned}$$

注： SP_x-SN_x 間電圧が差動モード入力範囲内、 V_{SO_x} がリニア出力範囲内であることが条件です。

アンプのオフセットや温度ドリフトも出力電圧に影響を与えます。シャント抵抗に流れる電流が 0 の時、出力電圧のバラツキ範囲は $V_{VREF} / 2 \pm (V_{OFF} + V_{DRIFT}) \times G_{CSA}$ となります。

シャント抵抗に流れる電流が以下のように計算できます。

$$I_{SENSE} = (V_{VREF} / 2 - V_{SO_x}) / (R_{SENSE} \times G_{CSA})$$

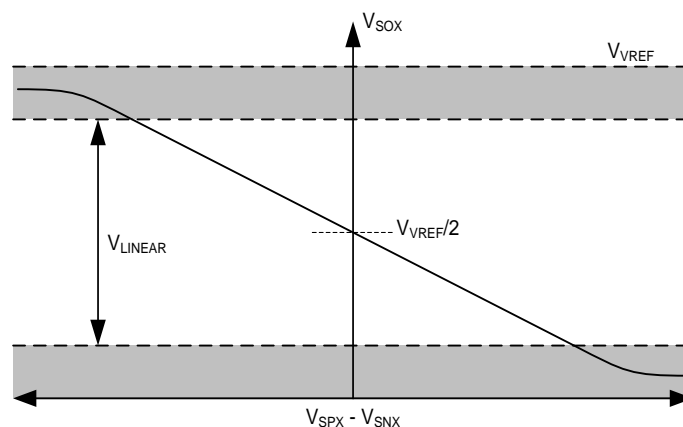


図 11.8 双方向電流検出の出力

電流センスアンプのゲイン(GCSA)は、5 V/V、10 V/V、20 V/V と 40 V/V の 4 つのレベルに設定できます。Hardware I/F 版では GAIN 端子からゲインを設定できます。SPI I/F 版では、CSA_GAIN レジスタを経由してゲインを設定します。

表 11.10 電流センスアンプ ゲイン設定

ゲイン	SPI I/F 版 CSA_GAIN	Hardware I/F 版 GAIN
5 V/V	00b	Mode 1
10 V/V	01b	Mode 2
20 V/V	10b	Mode 3
40 V/V	11b	Mode 4

11.3.2. 片方向電源検出 (SPI I/F 版のみ)

VREF_DIV レジスタを 0b に設定することで、アンプの基準電圧が V_{VREF} となり、片方向電流検出モードが有効になります。

片方向電流検出の場合、 SO_x 電圧と SP_x-SN_x 間電圧の関係が以下となります。

$$\begin{aligned} V_{SO_x} &= V_{VREF} - (V_{SP_x} - V_{SN_x}) \times G_{CSA} \\ &= V_{VREF} - I_{SENSE} \times R_{SENSE} \times G_{CSA} \end{aligned}$$

注： SP_x-SN_x 間電圧が差動モード入力範囲内、 V_{SO_x} がリニア出力範囲内であることが条件です。

アンプのオフセットや温度ドリフトも出力電圧に影響を与えます。

注：シャント抵抗に流れる電流が 0 のとき、出力電圧が V_{VREF} 付近のため、リニア出力範囲外となります。

シャント抵抗に流れる電流が以下のように計算できます。

$$I_{SENSE} = (V_{VREF} - V_{SO_x}) / (R_{SENSE} \times G_{CSA})$$

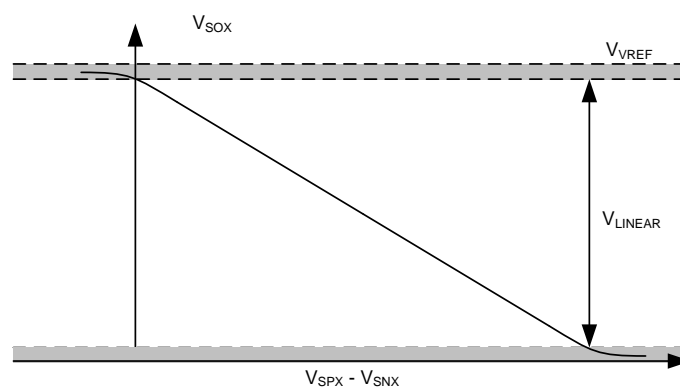


図 11.9 片方向電流検出の出力

11.3.3. VDS 電圧検出 (SPI I/F 版のみ)

シャント抵抗の電圧を増幅して SO_x に出力する以外、ローサイド外付け MOSFET のドレイン-ソース間電圧を増幅して SO_x に出力することもできます。CSA_FET レジスターを 1b にすることでこの機能を有効となります。

VDS 電圧検出が有効の場合、SH_x と SN_x 間の電圧を増幅して SO_x に出力します。ただし、SH_x の高電圧がアンプを損傷しないよう、出力はローサイド外付け MOSFET が ON してから(t_{DRIVE} 期間後)となります。

SO_x 電圧と SH_x-SN_x 間電圧の関係が以下となります。

$$V_{SOx} = V_{VREF} / 2 - (V_{SHx} - V_{SNx}) \times G_{CSA}$$

注：SH_x-SN_x 間電圧が差動モード入力範囲内、VSO_x がリニア出力範囲内であることが条件です。アンプのオフセットや温度ドリフトも出力電圧に影響を与えます。

また、VDS 電圧検出が有効の場合、LS_REF レジスターが自動的に 1b になり、ローサイド外付け MOSFET の SH_x - SN_x 間の電圧で VDS 過電流を検出します。

11.3.4. 入力反転モード (SPI I/F 版のみ)

INV_SEN レジスターを 1b にすることで、電流センスアンプの入力を反転できます。

表 11.11 電流センスアンプの入力設定

INV_SEN	CSA_FET	アンプ入力(+)	アンプ入力(-)
0b	0b	SN _x	SP _x
	1b	SN _x	SH _x
1b	0b	SP _x	SN _x
	1b	SH _x	SN _x

11.3.5. 入力オフセットキャリブレーション

アンプの入力オフセットを小さくするため、キャリブレーション機能を内蔵しています。キャリブレーションは CAL 端子またはレジスター設定 (SPI I/F 版のみ) を経由して実行できます。

キャリブレーションを実行する前に、全ての外付け MOSFET を OFF にするように、INH_x、INL_x 端子を設定してください。また SP_x と SN_x を GND 電位の状態にしてください。

キャリブレーション実行時には、ゲインの設定が変わらず、自動的に双方向電流検出モードに切り替わります。ゲインの設定によってオフセットが変わるため、ゲイン設定を変更した後は、再度キャリブレーションを実行することを推奨します。

キャリブレーション処理に必要な時間は 100 μs (max) です。キャリブレーション処理が完了した後も、CAL 端子またはレジスターの設定を解除しない限り、キャリブレーション状態が維持されます。キャリブレーション状態では INH_x、INL_x の信号は受け付けません。

CAL 端子を使用してキャリブレーションを実行する場合、CAL 端子を H にするとキャリブレーション処理が開始します。3 つのアンプのキャリブレーションが同時に実行されます。キャリブレーション処理が完了し、かつ CAL 端子が L になったら、キャリブレーション状態が解除されて通常動作に戻ります。電流センスアンプのモード設定も自動的にキャリブレーション実行前の設定に戻ります。

レジスター設定を使用してキャリブレーションを実行する場合、CAL_x レジスターを 1b に設定したアンプのみ、キャリブレーションが実行されます。キャリブレーション実行中、レジスターの設定を変更しないでください。キャリブレーション処理が完了し、かつ全ての CAL_x レジスターが 0b になったら、キャリブレーション状態が解除されて通常動作に戻ります。電流センスアンプのモード設定も自動的にキャリブレーション実行前の設定に戻ります。

11.4. 保護機能

表 11.12 保護機能一覧

項目	検出条件	設定	nFAULT	ゲート ドライバー	チャージ ポンプ	ロジック 回路	解除条件
DVDD 低電圧	$V_{DVDD} < V_{DVDDDN}$	—	L	GLx = OFF GHx = OFF	停止	停止	自動復帰: $V_{DVDD} > V_{DVDDUP}$
VM 低電圧	$V_{VM} < V_{VMMDN}$	—	L	GLx = OFF GHx = OFF	停止	動作	自動復帰: $V_{VM} > V_{VMUP}$
VDRAIN 低 電圧	$V_{VDR} < V_{VDRDN}$	—	L	GLx = OFF GHx = OFF	停止	動作	自動復帰: $V_{VDR} > V_{VDRUP}$
チャージ ポンプ 低電圧	$V_{VCP} < V_{VCPDN}$	DIS_CPUV = 0b	L	GLx = OFF GHx = OFF	動作	動作	自動復帰: $V_{VCP} > V_{VCPUP}$
		DIS_CPUV = 1b	維持	通常動作	動作	動作	—
VDS 過電 流検出	$V_{DS} > V_{DS_OCP}$	OCP_MODE = 00b	L	GLx = L GHx = L	動作	動作	ラッチ: CLR_FLT 設定, ENABLE パルス
		OCP_MODE = 01b	L	GLx = L GHx = L	動作	動作	自動復帰: tRETRY 後
		OCP_MODE = 10b	L	通常動作	動作	動作	—
		OCP_MODE = 11b	維持	通常動作	動作	動作	—
VSENSE 過電流検出	$V_{SP} > V_{SEN_OCP}$	OCP_MODE = 00b	L	GLx = L GHx = L	動作	動作	ラッチ: CLR_FLT 設定, ENABLE パルス
		OCP_MODE = 01b	L	GLx = L GHx = L	動作	動作	自動復帰: tRETRY 後
		OCP_MODE = 10b	L	通常動作	動作	動作	—
		OCP_MODE = 11b or DIS_SEN = 1b	維持	通常動作	動作	動作	—
ゲート駆動 電圧異常	tDRIVE 後 VGS しきい値未達	DIS_GDF = 0b	L	GLx = OFF GHx = OFF	動作	動作	ラッチ: CLR_FLT 設定, ENABLE パルス
		DIS_GDF = 1b	維持	通常動作	動作	動作	—
高温警告	$T_j > T_{OTW}$	OTW_REP = 1b	L	通常動作	動作	動作	自動復帰: $T_j < T_{OTWR}$
		OTW_REP = 0b	維持	通常動作	動作	動作	—
TSD	$T_j > T_{TSD}$	—	L	GLx = OFF GHx = OFF	停止	動作	自動復帰: $T_j < T_{TSDR}$

11.4.1. DVDD 低電圧誤動作防止

DVDD 端子の電圧をモニターします。VDVDDDN より低下した場合、IC 内部ロジックを含め各ブロックの動作が停止します。このとき、ゲートドライバーの出力は Hi-Z となり、Turn-on 防止抵抗により外付け MOSFET は全 OFF 状態となります。nFAULT が Low 出力になりますが、DVDD 電圧が一定以下に低下すると Hi-Z 状態になります。

DVDD 端子の電圧が VDVDDUP 以上に上昇すると、ロジックがリセットされ、IC の動作が再開します。

11.4.2. VM 低電圧誤動作防止

VM 端子の電圧をモニターします。VVM DN より低下した場合、低電圧保護機能として外付け MOSFET を OFF にします。デフォルトではソフトシャットダウン機能が有効になっているため、ソフトシャットダウンのシンク電流により外付け MOSFET を OFF にします。

表 11.13 外付け MOSFET OFF 動作

レジスター設定		シンク電流能力	シンク期間
DIS_SOFT = 0b	DRV_SEQ = 0b	ISOFTSINK	40 μ s
	DRV_SEQ = 1b	ISOFTSINK	V _{GS_LT} 検出まで
DIS_SOFT = 1b	DRV_SEQ = 0b	IDRIVEN	40 μ s
	DRV_SEQ = 1b	IDRIVEN	t _{DRIVE}

外付け MOSFET を OFF したあと、ゲートドライバーの出力は Hi-Z となり、Turn-on 防止抵抗により外付け MOSFET の OFF 状態を維持します。また、チャージポンプも停止します。

VM 低電圧検出後、nFAULT が Low 出力になります。FAULT レジスターと UVLO レジスターが 1b になります。VM の電圧が VVMUP を超えると、チャージポンプとゲートドライバー駆動が自動復帰します。nFAULT の Low 出力も解除できます。ただし、UVLO レジスターは 1b を維持します。CLR_FLT 設定、または ENABLE のパルスでクリアします。

11.4.3. VDRAIN 低電圧誤動作防止

VDRAIN 端子の電圧をモニターします。VVDRAIN より低下した場合、低電圧保護機能として外付け MOSFET を OFF にします。デフォルトではソフトシャットダウン機能が有効になっているため、ソフトシャットダウンのシンク電流により外付け MOSFET を OFF にします。

外付け MOSFET を OFF したあと、ゲートドライバーの出力は Hi-Z となり、Turn-on 防止抵抗により外付け MOSFET の OFF 状態を維持します。また、チャージポンプも停止します。

VDRAIN 低電圧検出後、nFAULT が Low 出力になります。FAULT レジスターと UVLO レジスターが 1b になります。VDRAIN の電圧が VVDRAINUP を超えると、チャージポンプとゲートドライバー駆動が自動復帰します。nFAULT の Low 出力も解除できます。ただし、UVLO レジスターは 1b を維持します。CLR_FLT 設定、または ENABLE のパルスでクリアします。

11.4.4. チャージポンプ低電圧動作防止

VCP と VDRAIN 端子間のチャージポンプ電圧をモニターします。VVCPUV より低下した場合、低電圧保護機能として外付け MOSFET を OFF にします。デフォルトではソフトシャットダウン機能が有効になっているため、ソフトシャットダウンのシンク電流により外付け MOSFET を OFF にします。

外付け MOSFET を OFF したあと、ゲートドライバーの出力は Hi-Z となり、Turn-on 防止抵抗により外付け MOSFET の OFF 状態を維持します。

チャージポンプ低電圧検出後、nFAULT が Low 出力になります。FAULT レジスターと CPUV レジスターが 1b になります。チャージポンプ電圧が VVCPUV を超えると、ゲートドライバー駆動が自動復帰します。nFAULT の Low 出力も解除できます。ただし、CPUV レジスターは 1b を維持します。CLR_FLT 設定、または ENABLE のパルスでクリアします。

11.4.5. VDS 過電流検出

外付け MOSFET の VDS 電圧を監視します。VDS の電圧が V_{DS_OCP} 以上の状態が t_{OCP_MASK} 期間以上続くと、過電流を検出します。

SPI I/F 版では、OCP_MODE レジスターで過電流検出後の動作を 4 つのモードから選択して設定できます。

(1) 停止 (ラッチ)

ゲートドライバーの出力が Low となり、外付け MOSFET を OFF にします。nFAULT が Low 出力になります。FAULT レジスター、OCP レジスター、および過電流を検出した外付け MOSFET に対応する VDS_XX レジスターが 1b になります。

VDS の電圧がしきい値電圧 V_{DS_OCP} 以下になると、CLR_FLT 設定または ENBALE のパルスで復帰できます。その場合、レジスターもクリアされます。

(2) 自動復帰

ゲートドライバーの出力が Low となり、外付け MOSFET を OFF にします。nFAULT が Low 出力になります。FAULT レジスター、OCP レジスター、および過電流を検出した外付け MOSFET に対応する VDS_XX レジスターが 1b になります。

CBC レジスターが 0b の場合、自動復帰時間 t_{RETRY} 経過後、レジスターがクリアされ、駆動が復帰します。CBC レジスターが 1b の場合、自動復帰時間 t_{RETRY} 経過後または入力の状態が変化した場合、レジスターがクリアされ、駆動が復帰します。

(3) レポート

ゲートドライバーの動作が継続しますが、nFAULT が Low 出力になります。FAULT レジスター、OCP レジスター、および過電流を検出した外付け MOSFET に対応する VDS_XX レジスターが 1b になります。

VDS の電圧がしきい値電圧 V_{DS_OCP} 以下になると、CLR_FLT 設定または ENBALE のパルスにより、nFAULT 信号とレジスターがクリアされます。

(4) 無効

VDS 過電流検出機能が無効となります。

Hardware I/F 版では、 t_{RETRY} が 4 ms の自動復帰となります。また、VDS 端子により VDS 過電流保護機能を無効に設定できます。

外付け MOSFET を OFF にする際、SPI I/F 版では、OCP_ACT レジスターで OFF する相を設定できます。OCP_ACT レジスターが 0b の場合、過電流を検出した相のみを OFF にします。OCP_ACT レジスターが 1b の場合、3 相をすべて OFF にします。Hardware I/F 版では、3 相全て OFF となります。デフォルトではソフトシャットダウン機能が有効になっているため、ソフトシャットダウンのシンク電流により外付け MOSFET を OFF にします。

11.4.6. VSENSE 過電流検出

シャント抵抗の VSP の電圧を監視して外付け MOSFET の過電流も検出できます。VSP の電圧が V_{SEN_OCP} 以上の状態が t_{OCP_MASK} 期間以上続くと、過電流を検出します。

SPI I/F 版では、OCP_MODE レジスターで過電流検出後の動作を4つのモードから選択して設定できます。

(1) 停止 (ラッチ)

ゲートドライバーの出力が Low となり、外付け MOSFET を OFF にします。nFAULT が Low 出力になります。FAULT レジスター、OCP レジスター、および過電流を検出した相に対応する Sx_OC レジスターが 1 になります。

VSP の電圧がしきい値電圧 V_{SEN_OCP} 以下になると、CLR_FLT 設定または ENBALE のパルスで復帰できます。その場合、レジスターもクリアされます。

(2) 自動復帰

ゲートドライバーの出力が Low となり、外付け MOSFET を OFF にします。nFAULT が Low 出力になります。FAULT レジスター、OCP レジスター、および過電流を検出した相に対応する Sx_OC レジスターが 1b になります。

CBC レジスターが 0b の場合、自動復帰時間 t_{RETRY} 経過後、レジスターがクリアされ、駆動が復帰します。CBC レジスターが 1 の場合、自動復帰時間 t_{RETRY} 経過後または入力の状態が変化した場合、レジスターがクリアされ、駆動が復帰します。

(3) レポート

ゲートドライバーの動作が継続しますが、nFAULT が Low 出力になります。FAULT レジスター、OCP レジスター、および過電流を検出した相に対応する Sx_OC レジスターが 1b になります。

VSP の電圧がしきい値電圧 V_{SEN_OCP} 以下になると、CLR_FLT 設定または ENBALE のパルスにより、nFAULT 信号とレジスターがクリアされます。

(4) 無効

VSENSE 過電流検出機能が無効となります。OCP_MODE 以外にも、DIS_SEN レジスターを 1b に設定するで、VSENSE 過電流の保護機能も無効できます。

Hardware I/F 版では、 t_{RETRY} が 4 ms の自動復帰となります。検出レベルは 1 V に固定されます。

外付け MOSFET を OFF にする際、SPI I/F 版では、SEN_ACT と OCP_ACT レジスターで OFF する相を設定できます。SEN_ACT レジスターが 0b の場合、OCP_ACT の設定に従います。SEN_ACT レジスターが 1b の場合、3相をすべて OFF にします。Hardware I/F 版では、3相全て OFF となります。デフォルトではソフトシャットダウン機能が有効になっているため、ソフトシャットダウンのシンク電流により外付け MOSFET を OFF にします。

11.4.7. ソフトシャットダウン機能

VM 低電圧、VDRAIN 低電圧、チャージポンプ低電圧および過電流検出後、外付け MOSFET をゆっくり OFF にするよう、シンク電流能力を自動で調整します。ソフトシャットダウンの際のシンク電流能力は通常時のシンク電流能力設定 I_{DRIVEN} に依存しています。

表 11.14 I_{DRIVEN} 設定 とソフトシャットダウン時のシンク電流能力

I_{DRIVEN} 設定 (mA)	ソフトシャットダウン時シンク電流能力 (mA)
2000	880
1640	740
1360	660
1140	520
880	380
740	340
660	280
520	240
380	160
340	120
280	60
20~240	20

11.4.8. ゲート駆動電圧モニター

外付け MOSFET を ON・OFF する際、GLx、GHx 端子の電圧をモニターします。t_{DRIVE} 期間が経過しても、目標電圧に到達しない場合、ゲート駆動電圧異常と検出します。異常検出後、ゲートドライバーの出力は Hi-Z となり、Turn-on 防止抵抗により外付け MOSFET は全 OFF 状態となります。また、nFAULT が Low 出力になります。FAULT レジスター、GDF レジスター、および異常を検出したゲート出力に対応する VGS_xx レジスターが 1b になります。

ゲート電圧の異常状態を解除した後、CLR_FLT 設定または ENABLE のパルスで復帰させてください。

SPI I/F 版では、DIS_GDVM レジスターを設定するで、ゲート駆動電圧モニター機能を無効できます。Hardware I/F 版では、この機能は常に有効です。

11.4.9. 高温警告

SPI I/F 版では、IC 内部温度が T_{OTW} を超えると、OTW レジスターが 1b になります。IC 内部温度が T_{OTWR} 以下に下がると OTW レジスターは自動的に 0b に戻ります。また、OTW_REP レジスターを 1b に設定することで、OTW の状態を nFAULT 端子および FAULT レジスターに反映することができます。

Hardware I/F 版では、この機能は無効です。

11.4.10. 熱遮断 (TSD)

IC 内部温度が T_{TSD} を超えると、ゲートドライバーの出力は Hi-Z となり、Turn-on 防止抵抗により外付け MOSFET は全 OFF 状態となります。チャージポンプも停止します。また、nFAULT が Low 出力になります。FAULT レジスターと TSD レジスターが 1b になります。

IC 内部温度が T_{TSDR} 以下に下がると通常動作に自動復帰します。ただし、CLR_FLT 設定または ENABLE のパルスでクリアするまで、TSD レジスターは 1b を維持します

11.5. スタンバイモード

ENABLE 端子が t_{RESET} 期間以上 Low 状態を維持すると、IC はスタンバイモードに移行します。スタンバイモードに入るまで、ENABLE 信号の立ち下がりエッジから t_{STBY} の時間が必要です。

スタンバイモードに入る前に、ゲートドライバーの出力が Low となり、外付け MOSFET を OFF にします。デフォルトではソフトシャットダウン機能が有効になっているため、ソフトシャットダウンのシンク電流により外付け MOSFET を OFF にします。外付け MOSFET を OFF にする期間は $40 \mu s$ (typ.) となります。

スタンバイモードに入ると、DVDD レギュレーター、チャージポンプが停止します。ゲートドライバーの出力も Hi-Z となり、Turn-on 防止抵抗により外付け MOSFET は全 OFF 状態を維持します。また、電流センスアンプの出力が不定となります。

ENABLE 端子が Low の期間が t_{RESET} 期間範囲内の場合、エラーリセットパルスとして認識します。異常状態のフラグを解除し、通常動作に戻ることができます。

スタンバイモード中、ENABLE 端子に High の信号を入れると、スタンバイモードを解除します。スタンバイモードの解除から、他の入力信号を受け付けられるまで、 t_{WAKE} の時間が必要です。また、スタンバイモード解除中、nFAULT が Low 出力となります。

各状態の遷移は以下のように示します。

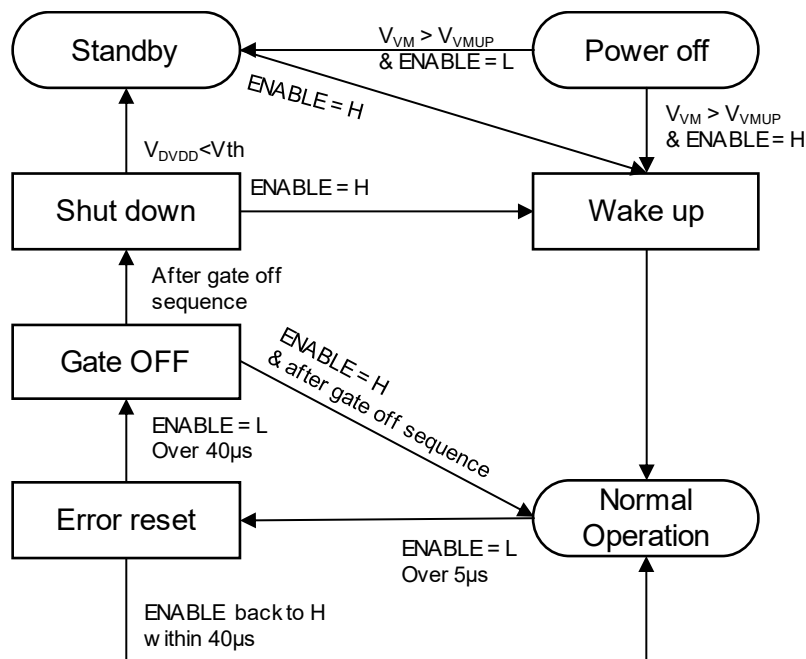


図 11.10 状態遷移

11.6. 制御 I/F

11.6.1. Hardware I/F

Hardware I/F 版では、GAIN、IDRIVE、MODE、および VDS の 4 つの端子を使用して IC の機能を制御します。

表 11.15 GAIN 端子の推奨設定

GAIN 端子	電流センスアンプゲイン設定
DVDD とショート	40 V/V
OPEN (500 kΩ 以上 AGND とショート)	20 V/V
45 kΩ ± 5% 抵抗経由で AGND と接続	10 V/V
AGND とショート	5 V/V

表 11.16 IDRIVE 端子の推奨設定

IDRIVE 端子	ゲート駆動電流能力設定 ソース/シンク電流能力
DVDD とショート	1 A / 2 A
18 kΩ ± 5% 抵抗経由で DVDD と接続	570 mA / 1140 mA
75 kΩ ± 5% 抵抗経由で DVDD と接続	260 mA / 520 mA
OPEN (500 kΩ 以上 AGND とショート)	120 mA / 240 mA
75 kΩ ± 5% 抵抗経由で AGND と接続	60 mA / 120 mA
18 kΩ ± 5% 抵抗経由で AGND と接続	30 mA / 6 mA
AGND とショート	10 mA / 20 mA

表 11.17 MODE 端子の推奨設定

MODE 端子	PWM 制御モード
DVDD とショート	独立 PWM モード
OPEN (500 kΩ 以上 AGND とショート)	Hall 入力モード
45 kΩ ± 5% 抵抗経由で AGND と接続	3-PWM 入力モード
AGND とショート	6-PWM 入力モード

表 11.18 VDS 端子の推奨設定

VDS 端子	VDS 過電流検出しきい値電圧
DVDD とショート	無効
18 kΩ ± 5% 抵抗経由で DVDD と接続	1.88 V
75 kΩ ± 5% 抵抗経由で DVDD と接続	1.13 V
OPEN (500 kΩ 以上 AGND とショート)	0.60 V
75 kΩ ± 5% 抵抗経由で AGND と接続	0.26 V
18 kΩ ± 5% 抵抗経由で AGND と接続	0.13 V
AGND とショート	0.06 V

11.6.2. SPI I/F

SPI I/F 版では、nCS、SCLK、SDI および SDO の 4 つの端子を使用して IC と通信し、IC の機能を制御します。

nCS はチップセレクト端子で、Low の時に通信が有効になります。SCLK はクロック信号の入力端子、SDI はデータの入力端子、SDO はデータの出力端子です。また、SDO はオープンドレイン端子なので、外部プルアップ抵抗を接続する必要があります。

11.6.2.1. SPI 通信フォーマット

nCS が Low の時、通信が有効になります。nCS が High の間は、SCLK と SDI の入力が無視されます。また、この間 SDO 端子が Hi-Z となります。nCS が High から Low、または Low から High への状態遷移中には、SCLK は Low に維持してください。さらに、2 回の通信の間には、nCS を 400 ns 以上 High にしてください。

SDI からの入力データは、1 ビットの指令、4 ビットのアドレス、そして 11 ビットのデータで構成されています。最初の 1 ビット(RW)は書き込み・読み出し指令で、RW = 0b は書き込み、RW = b1 は読み出しとなります。次の 4 ビットは目標レジスタのアドレスです。最後の 11 ビットはデータの内容です。

表 11.19 SDI 入力データフォーマット

R/W	ADDRESS				DATA											
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
RW	A3	A2	A1	A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

SDO からの出力データは、最初の 5 ビットは Don't care ビット、残り 11 ビットはレジスタの内容となります。

表 11.20 SDO 出力データフォーマット

DON'T CARE BITS					DATA										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

通信の場合、最上位ビット (MSB) から送受信してください。送受信を行うためには、16 回の SCLK 信号が必要です。SDI に入力されたデータが 16 ビット以外の場合、フレームエラーが発生し、そのデータが無視されます。

SCLK の立ち下がりエッジで SDI のデータを取り込みます。SCLK の立ち上げエッジから SDO へ出力データを準備します。また、書き込み指令の場合、アドレスを送信した後、目標レジスタの現在のデータが SDO から出力されます。

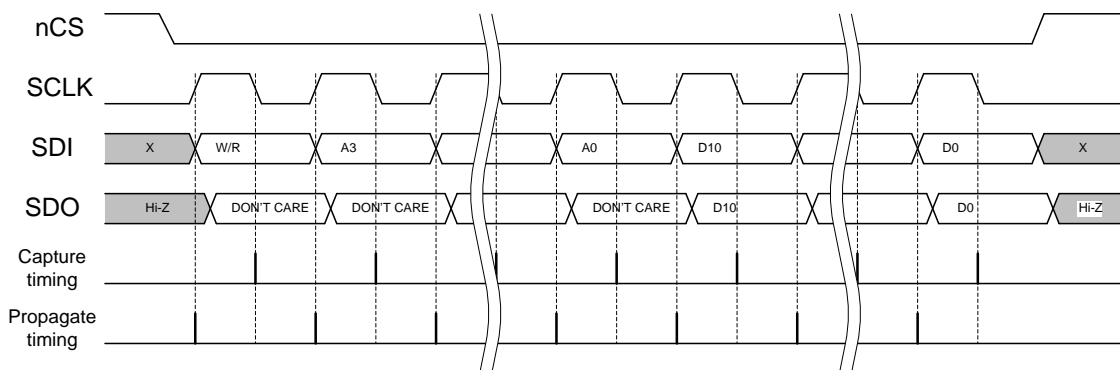


図 11.11 SPI 通信のタイミングチャート

11.6.2.2. レジスタマップ

表 11.21 TB67Z830SFTG / TB67Z850SFTG のレジスタマップ

Address	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Type
0000b	FAULT	OCP	GDF	UVLO	TSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R
0001b	SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R
0010b	OCP_ACT	DIS_CPUV	DIS_GDVM	OTW_REP	PWM_MODE [1:0]		COM	DIR	COAST	BRAKE	CLR_FLT	RW
0011b	LOCK [2:0]			IDRIVEP_HS [4:0]				IDRIVEN_HS [4:0]				RW
0100b	CBC	TDRIVE		IDRIVEP_LS [4:0]				IDRIVEN_LS [4:0]				RW
0101b	TRETRY	DEAD_TIME [1:0]		OCP_MODE [1:0]		OCP_MASK [1:0]		VDS_LVL [4:0]				RW
0110b						DIS_SEN				SEN_LVL [1:0]		RW
0111b							SEN_ACT	DIS_SOFT	DRV_SEQ			RW

表 11.22 TB67Z833SFTG / TB67Z853SFTG のレジスタマップ

Address	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Type
0000b	FAULT	OCP	GDF	UVLO	TSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R
0001b	SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R
0010b	OCP_ACT	DIS_CPUV	DIS_GDVM	OTW_REP	PWM_MODE [1:0]		COM	DIR	COAST	BRAKE	CLR_FLT	RW
0011b	LOCK [2:0]			IDRIVEP_HS [4:0]				IDRIVEN_HS [4:0]				RW
0100b	CBC	TDRIVE		IDRIVEP_LS [4:0]				IDRIVEN_LS [4:0]				RW
0101b	TRETRY	DEAD_TIME [1:0]		OCP_MODE [1:0]		OCP_MASK [1:0]		VDS_LVL [4:0]				RW
0110b	CSA_FET	VREF_DIV	LS_REF	CSA_GAIN [1:0]		DIS_SEN	CAL_A	CAL_B	CAL_C	SEN_LVL [1:0]		RW
0111b							SEN_ACT	DIS_SOFT	DRV_SEQ	INV_SEN		RW

表 11.23 Address = 0000b の説明

Bit	Name	Type	Default	Description
10	FAULT	R	0b	各エラーフラグの OR
9	OCP	R	0b	VDS 過電流検出と VSENSE 過電流検出のエラーフラグ
8	GDF	R	0b	ゲート駆動異常検出のエラーフラグ
7	UVLO	R	0b	VM 低電圧検出と VDRAIN 低電圧検出のエラーフラグ
6	TSD	R	0b	TSD のエラーフラグ
5	VDS_HA	R	0b	Ach High-side VDS 過電流検出のエラーフラグ
4	VDS_LA	R	0b	Ach Low-side VDS 過電流検出のエラーフラグ
3	VDS_HB	R	0b	Bch High-side VDS 過電流検出のエラーフラグ
2	VDS_LB	R	0b	Bch Low-side VDS 過電流検出のエラーフラグ
1	VDS_HC	R	0b	Cch High-side VDS 過電流検出のエラーフラグ
0	VDS_LC	R	0b	Cch Low-side VDS 過電流検出のエラーフラグ

表 11.24 Address = 0001b の説明

Bit	Name	Type	Default	Description
10	SA_OC	R	0b	Ach VSENSE 過電流検出のエラーフラグ
9	SB_OC	R	0b	Bch VSENSE 過電流検出のエラーフラグ
8	SC_OC	R	0b	Cch VSENSE 過電流検出のエラーフラグ
7	OTW	R	0b	高温警告のフラグ
6	CPUV	R	0b	チャージポンプ低電圧検出のエラーフラグ
5	VGS_HA	R	0b	Ach High-side ゲート駆動異常検出のエラーフラグ
4	VGS_LA	R	0b	Ach Low-side ゲート駆動異常検出のエラーフラグ
3	VGS_HB	R	0b	Bch High-side ゲート駆動異常検出のエラーフラグ
2	VGS_LB	R	0b	Bch Low-side ゲート駆動異常検出のエラーフラグ
1	VGS_HC	R	0b	Cch High-side ゲート駆動異常検出のエラーフラグ
0	VGS_LC	R	0b	Cch Low-side ゲート駆動異常検出のエラーフラグ

表 11.25 Address = 0010b の説明

Bit	Name	Type	Default	Description
10	OCP_ACT	RW	0b	0b: VDS 過電流または VSENSE 過電流発生した相のみ OFF 1b: VDS 過電流または VSENSE 過電流発生時、3相を OFF
9	DIS_CPUV	RW	0b	0b: チャージポンプ低電圧検出有効 1b: チャージポンプ低電圧検出無効
8	DIS_GDVM	RW	0b	0b: ゲート駆動電圧モニター機能有効 1b: ゲート駆動電圧モニター機能無効
7	OTW_REP	RW	0b	0b: 高温警告発生時、nFAULT 端子および FAULT レジスターに反映しない 1b: 高温警告発生時、nFAULT 端子および FAULT レジスターに反映する
6:5	PWM_MODE [1:0]	RW	00b	00b: 6-PWM 入力モード 01b: 3-PWM 入力モード 10b: Hall 入力モード 11b: 独立 PWM モード
4	COM	RW	0b	0b: Hall 入力モード時、同期整流モード使用 1b: Hall 入力モード時、非同期整流モード使用
3	DIR	RW	0b	0b: Hall 入力モード時、INCH = L: CCW、INCH = H: CW 1b: Hall 入力モード時、INCH = L: CW、INCH = H: CCW
2	COAST	RW	0b	0b: 通常動作 1b: 外付け MOSFET を全 OFF
1	BRAKE	RW	0b	0b: 通常動作 1b: 3相 High-side の MOSFET OFF、Low-side の MOSFET ON
0	CLR_FLT	RW	0b	エラーフラグをクリアするには 1b を書き込みます 書き込み後、CLR_FLT が自動で 0b に戻ります

表 11.26 Address = 0011b の説明

Bit	Name	Type	Default	Description
10-8	LOCK [2:0]	RW	011b	011b: 全てのレジスターを書き込みできます 110b: LOCK レジスター以外書き込みできません
7-4	IDRIVEP_HS [3:0]	RW	1111b	High-side ソース電流能力 0000b: 10 mA 0001b: 30 mA 0010b: 60 mA 0011b: 80 mA 0100b: 120 mA 0101b: 140 mA 0110b: 170 mA 0111b: 190 mA 1000b: 260 mA 1001b: 330 mA 1010b: 370 mA 1011b: 440 mA 1100b: 570 mA 1101b: 680 mA 1110b: 820 mA 1111b: 1000 mA
3-0	IDRIVEN_HS [3:0]	RW	1111b	High-side シンク電流能力 0000b: 20 mA 0001b: 60 mA 0010b: 120 mA 0011b: 160 mA 0100b: 240 mA 0101b: 280 mA 0110b: 340 mA 0111b: 380 mA 1000b: 520 mA 1001b: 660 mA 1010b: 740 mA 1011b: 880 mA 1100b: 1140 mA 1101b: 1360 mA 1110b: 1640 mA 1111b: 2000 mA

表 11.27 Address = 0100b の説明

Bit	Name	Type	Default	Description
10	CBC	RW	1b	過電流検出が自動復帰(OCP_MODE = 01b)の場合 0b: tRETRY 期間後エラーフラグをクリアし、自動復帰 1b: tRETRY 期間後または PWM ごとエラーフラグをクリアし、自動復帰
9-8	TDRIVE [1:0]	RW	11b	IDRIVE 電流能力のゲート駆動期間 00b: 600 ns 01b: 1000 ns 10b: 2000 ns 11b: 4000 ns
7-4	IDRIVEP_LS [3:0]	RW	1111b	Low-side ソース電流能力 0000b: 10 mA 0001b: 30 mA 0010b: 60 mA 0011b: 80 mA 0100b: 120 mA 0101b: 140 mA 0110b: 170 mA 0111b: 190 mA 1000b: 260 mA 1001b: 330 mA 1010b: 370 mA 1011b: 440 mA 1100b: 570 mA 1101b: 680 mA 1110b: 820 mA 1111b: 1000 mA
3-0	IDRIVEN_LS [3:0]	RW	1111b	Low-side シンク電流能力 0000b: 20 mA 0001b: 60 mA 0010b: 120 mA 0011b: 160 mA 0100b: 240 mA 0101b: 280 mA 0110b: 340 mA 0111b: 380 mA 1000b: 520 mA 1001b: 660 mA 1010b: 740 mA 1011b: 880 mA 1100b: 1140 mA 1101b: 1360 mA 1110b: 1640 mA 1111b: 2000 mA

表 11.28 Address = 0101b の説明

Bit	Name	Type	Default	Description
10	TRETRY	RW	0b	過電流検出の自動復帰時間 0b: 4 ms 1b: 50 μ s
9-8	DEAD_TIME [1:0]	RW	01b	デッドタイム 00b: 50 ns 01b: 100 ns 10b: 200 ns 11b: 400 ns
7-6	OCP_MODE [1:0]	RW	01b	過電流検出後の動作 00b: 停止(ラッチ) 01b: 自動復帰 10b: レポートのみ 11b: 過電流検出無効
5-4	OCP_MASK [1:0]	RW	10b	過電流検出のマスク期間 00b: 1 μ s 01b: 2 μ s 10b: 4 μ s 11b: 8 μ s
3-0	VDS_LVL [3:0]	RW	1001b	VDS 過電流検出しきい値電圧 0000b: 0.06 V 0001b: 0.13 V 0010b: 0.20 V 0011b: 0.26 V 0100b: 0.31 V 0101b: 0.45 V 0110b: 0.53 V 0111b: 0.60 V 1000b: 0.68 V 1001b: 0.75 V 1010b: 0.94 V 1011b: 1.13 V 1100b: 1.30 V 1101b: 1.50 V 1110b: 1.70 V 1111b: 2.00 V

表 11.29 Address = 0110b の説明

Bit	Name	Type	Default	Description
10	CSA_FET	RW	0b	TB67Z833S/TB67Z853S のみ 0b: SPx と SNx 間の電圧をセンス 1b: SHx と SNx 間の電圧をセンス (LS_REF が自動で 1b になる)
9	VREF_DIV	RW	1b	TB67Z833S/TB67Z853S のみ 0b: 電流検出アンプの基準電圧が VREF (片方向電流検出) 1b: 電流検出アンプの基準電圧が VREF/2 (双方向電流検出)
8	LS_REF	RW	0b	TB67Z833S/TB67Z853S のみ 0b: SHx と SPx 間電圧で VDS 過電流を検出する 1b: SHx と SNx 間電圧で VDS 過電流を検出する
7-6	CSA_GAIN [1:0]	RW	10b	TB67Z833S/TB67Z853S のみ 電流検出アンプのゲイン倍 00b: 5 V/V 01b: 10 V/V 10b: 20 V/V 11b: 40 V/V
5	DIS_SEN	RW	0b	0b: VSENSE 過電流検出有効 1b: VSENSE 過電流検出無効
4	CAL_A	RW	0b	TB67Z833S/TB67Z853S のみ 0b: 電流検出アンプ Ach 通常動作 1b: 電流検出アンプ Ach offset キャリブレーション実施
3	CAL_B	RW	0b	TB67Z833S/TB67Z853S のみ 0b: 電流検出アンプ Bch 通常動作 1b: 電流検出アンプ Bch offset キャリブレーション実施
2	CAL_C	RW	0b	TB67Z833S/TB67Z853S のみ 0b: 電流検出アンプ Cch 通常動作 1b: 電流検出アンプ Cch offset キャリブレーション実施
1-0	SEN_LVL [1:0]	RW	11b	VSENSE 過電流検出しきい値電圧 00b: 0.25 V 01b: 0.5 V 10b: 0.75 V 11b: 1.00 V

表 11.30 Address = 0111b の説明

Bit	Name	Type	Default	Description
10-5	Reserved	RW	000000b	Reserved
4	SEN_ACT	RW	0b	0b: OCP_ACT と同じ 1b: 3 相全て OFF
3	DIS_SOFT	RW	0b	0b: Soft shut down 有効 1b: Soft shut down 無効
2	DRV_SEQ	RW	1b	0b: tDRIVE 後 V _{GS} 検出 1b: tDRIVE 中 V _{GS} 検出
1	INV_SEN	RW	0b	TB67Z833S/TB67Z853S のみ 0b: 電流検出アンプ + = SNx, - = SPx 1b: 電流検出アンプ + = SPx, - = SNx
0	Reserved	RW	0b	Reserved

12. 応用回路例

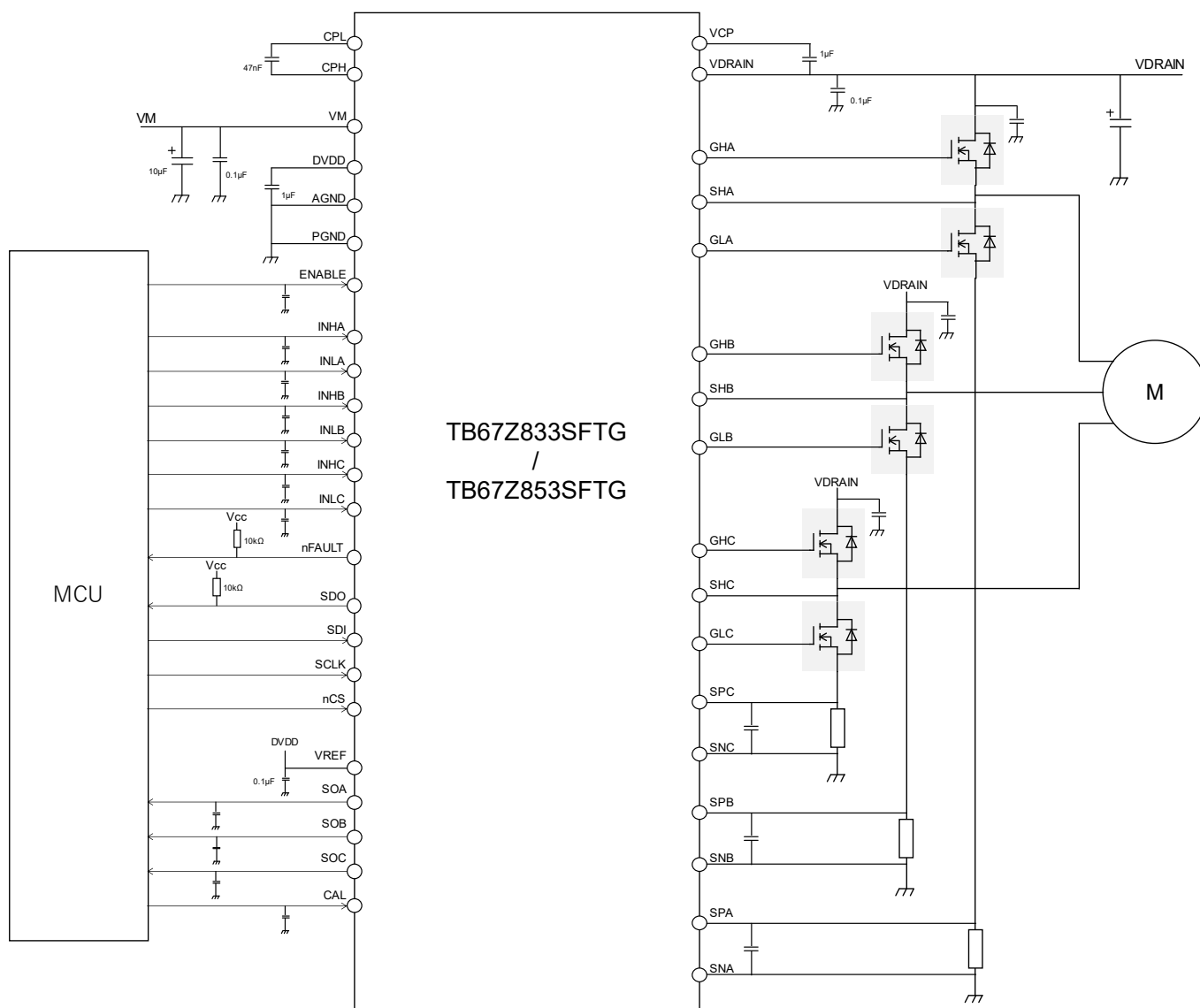


図 12.1 TB67Z833SFTG/853SFTG の応用回路例

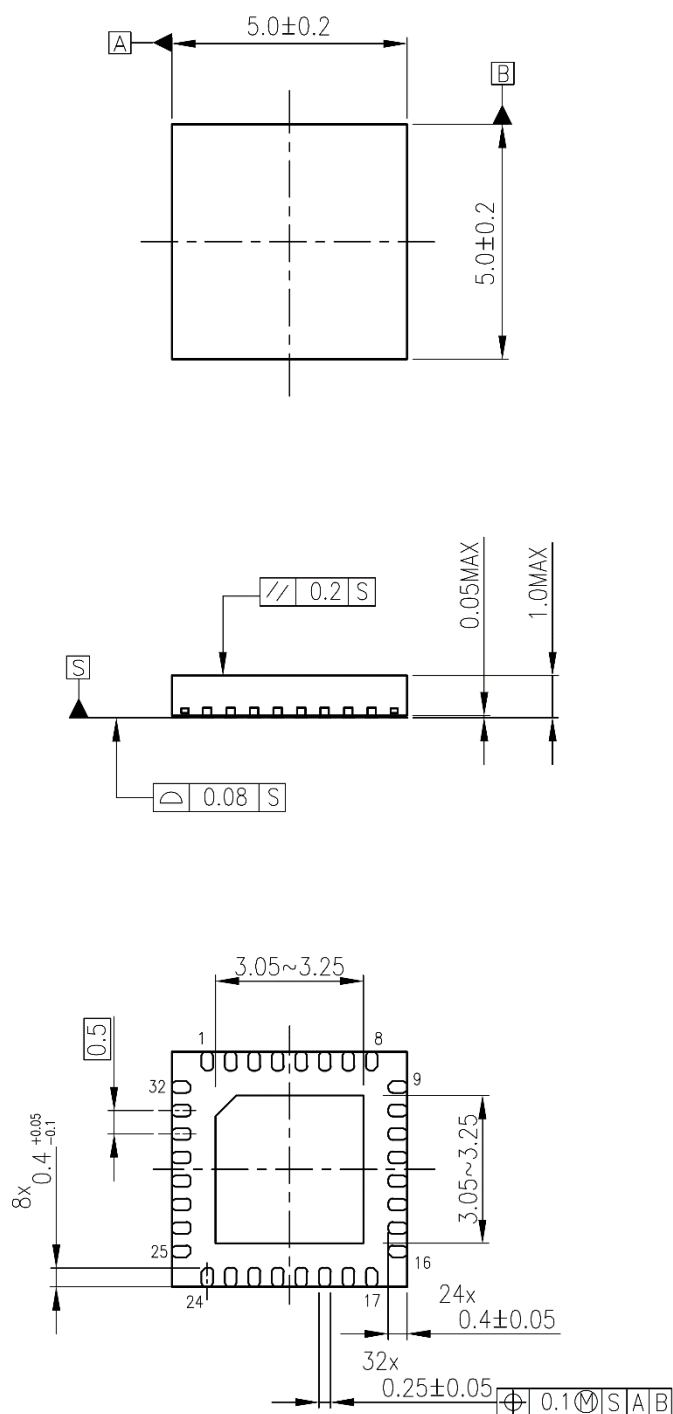
- 注: 必要に応じて各入力端子にノイズ除去用のコンデンサーを追加してください。
- 注: 端子間ショートおよび出力の天絡、地絡時に IC の破壊、発火および周辺部品に過電圧、過電流が加わる恐れがありますので、特に、出力ライン、VM、VDRAIN、GND ラインの設計は十分注意してください。また、IC を回転差し（逆差し）した場合にも、同様に破壊、発火の恐れがありますので注意してください。
- 注: 応用回路例は量産設計を保証するものではありません。量産設計に際しては、十分な評価を行ってください。また、工業所有権の使用の許諾を行うものではありません。

13. 外形图

13.1. P-VQFN32-0505-0.50-007

外形寸法图

Unit: mm

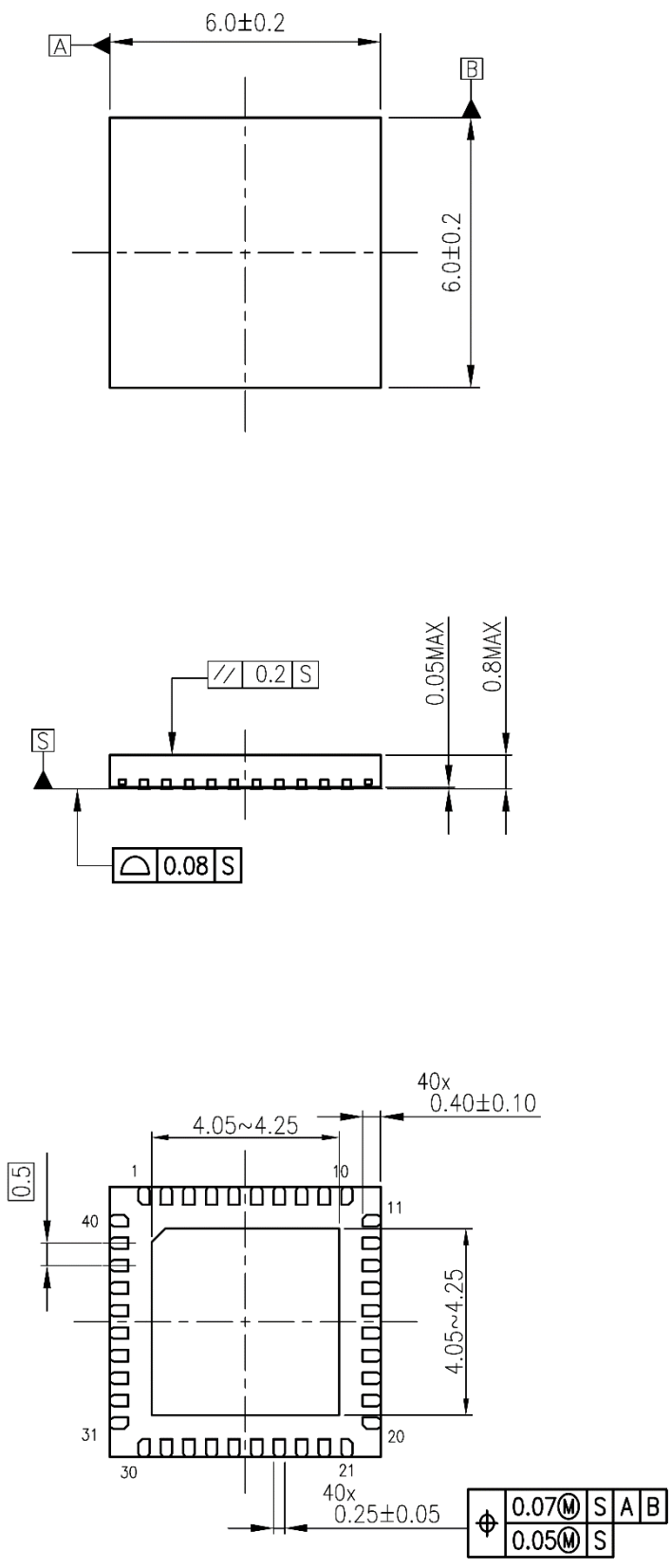


質量: 0.065 g (標準)

13.2. P-WQFN40-0606-0.50-003

外形寸法図

Unit: mm



質量: 0.09 g (標準)

14. 記載内容の留意点

1. ブロック図

ブロック図内の機能ブロック/回路/定数などは、機能を説明するため、一部省略・簡略化している場合があります。

2. 等価回路

等価回路は、回路を説明するため、一部省略・簡略化している場合があります。

3. タイミングチャート

タイミングチャートは機能・動作を説明するため、単純化している場合があります。

4. 応用回路例

応用回路例は、参考例であり、量産設計に際しては、十分な評価を行ってください。

また、工業所有権の使用の許諾を行うものではありません。

15. 使用上のご注意およびお願い事項

15.1. 使用上の注意事項

- (1) 絶対最大定格は複数の定格の、どの1つの値も瞬時たりとも超えてはならない規格です。複数の定格のいずれに対しても超えることができません。絶対最大定格を超えると破壊、損傷および劣化の原因となり、破裂・燃焼による傷害を負うことがあります。
- (2) 過電流の発生やICの故障の場合に大電流が流れ続けないように、適切な電源ヒューズを使用してください。ICは絶対最大定格を超えた使い方、誤った配線、および配線や負荷から誘起される異常パルスノイズなどが原因で破壊することあり、この結果、ICに大電流が流れ続けることで、発煙・発火に至ることがあります。破壊における大電流の流出入を想定し、影響を最小限にするため、ヒューズの容量や溶断時間、挿入回路位置などの適切な設定が必要となります。
- (3) モーターの駆動など、コイルのような誘導性負荷がある場合、ON時の突入電流やOFF時の逆起電力による負極性の電流に起因するデバイスの誤動作あるいは破壊を防止するための保護回路を接続してください。ICが破壊した場合、傷害を負ったり発煙・発火に至ることがあります。保護機能が内蔵されているICには、安定した電源を使用してください。電源が不安定な場合、保護機能が動作せず、ICが破壊することがあります。ICの破壊により、傷害を負ったり発煙・発火に至ることがあります。
- (4) デバイスの逆差し、差し違い、または電源のプラスとマイナスの逆接続はしないでください。電流や消費電力が絶対最大定格を超え、破壊、損傷および劣化の原因になるだけでなく、破裂・燃焼により傷害を負うことがあります。なお、逆差しおよび差し違いのまま通電したデバイスは使用しないでください。

15.2. 使用上の留意点

(1) 過電流保護回路

過電流制限回路はどのような場合でも IC を保護するわけではありません。動作後は、速やかに過電流状態を解除するようお願いします。絶対最大定格を超えた場合など、ご使用方法や状況により、過電流制限回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。また、動作後、長時間過電流が流れ続けた場合、ご使用方法や状況によっては、IC が発熱などにより破壊することがあります。

(2) 熱遮断回路

熱遮断回路（通常：サーマルシャットダウン回路）は、どのような場合でも IC を保護するわけではありません。動作後は、速やかに発熱状態を解除するようお願いします。絶対最大定格を超えて使用した場合など、ご使用法や状況により、熱遮断回路が正常に動作しなかったり、動作する前に IC が破壊したりすることがあります。

(3) 放熱設計

IC の使用に際しては、適切な放熱を行い、規定接合温度(T_j) 以下になるように設計してください。IC は通常使用時においても、自己発熱をします。IC 放熱設計が不十分な場合、IC の寿命の低下・特性劣化・破壊が発生することがあります。また、IC の発熱に伴い、周辺に使用されている部品への影響も考慮して設計してください。

(4) 逆起電力

モーターを逆転やストップ、急減速を行った場合に、モーターの逆起電力の影響でモーターから電源へ電流が流れ込みますので、電源の Sink 能力が小さい場合、IC の電源端子、出力端子が定格以上に上昇する恐れがあります。逆起電力により電源端子、出力端子が定格電圧を超えないように設計してください。

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。