CMOS 形 デジタル集積回路　シリコン モノリシック

TMPM3H グループ(2)

LQFP144
(20x20 mm、0.5 mm ピッチ)
LQFP128
(14x14 mm、0.4 mm ピッチ)
LQFP100
(14x14 mm、0.5 mm ピッチ)
LQFP80
(12x12 mm、0.5 mm ピッチ)
LQFP64
(10x10 mm、0.5 mm ピッチ)

LQFP128
(14x20 mm、0.5 mm ピッチ)
QFP100
(14x20 mm、0.65 mm ピッチ)

概要

- Arm® Cortex®-M3、動作周波数: 1 ~ 120MHz、動作電圧: 2.7 ~ 5.5V
- 512K ~ 1M バイトコードフラッシュ、32K バイトデータフラッシュ
- 64 ~ 144 ピン 、7 種類のパッケージ展開

用途

家電、OA、住設、AV 機器、モーター制御など民生・産業機器に幅広く使用可能

特長

- Arm Cortex-M3 コア搭載
  - 動作周波数: 1 ~ 120MHz
  - メモリー保護ユニット(MPU)搭載
- 動作電圧と消費電力
  - 動作電圧: 2.7 ~ 5.5V
  - 低消費電力動作: IDLE、STOP1、STOP2
- 動作温度範囲: －40 ~ ＋105°C
- 内蔵メモリー
  - コードフラッシュ: 512KB ~ 1MB、書き換え: 10 万回
  - データフラッシュ: 32KB、書き換え: 10 万回
  - 命令実行と並行して実行中と別のエリアを書き換え可能
    (コードフラッシュサイズが 1MB の製品のみ)
  - 命令実行と並行してデータフラッシュを書き換え可能
  - RAM: 128 KB ＋バックアップ RAM: 2KB
    パリティー付
- クロック
  - 外部高速発振器: 6MHz ~ 12MHz(セラミック、水晶)
  - 外部高速クロック入力: 6 ~ 20MHz
  - 内蔵高速発振器(IHOSC1): 10MHz、ユーザートリミング機能
  - PLL: 120MHz 出力
  - 外部低速発振器: 32.768kHz
- 周波数検知(OFD): システムクロック異常検知
- 電圧検知(LVD): 8 レベル、割り込みとリセット出力選択
- 割り込み
  - 外部要因: 12 ~ 23
    (外部端子: 12 ~ 34 本、DNF(デジタルノイズフィルター)付き)
  - 内部要因: 128 ~ 151
- 入出力ポート: 56 ~ 134 本(入力: 4 本、出力: 1 本)
  - プルアップ/ダウン、オープンドレイン、5V トレラントあり
- オンチップデバッグ(JTAG/SW)
- トリガーセレクター(TRGSEL)
  - DMA コントローラーやタイマーカウンターなどの起動要因を拡張
- DMA コントローラー(DMAC)
  - 起動要因: 2 ユニット 54 ~ 64 要因、内部/外部トリガー
- LCD 表示制御(DLCD)
  - ノンバイアス駆動: 40 セグメント × 4 コモン(最大)
- UART: 7 ~ 8 チャネル
  - 最大 2.5Mbps、FIFO(送信 9 ビット × 8、受信 9 ビット × 8)
- TSPI: 1 ~ 5 チャネル
  - SIO/SPI モード、最大 20MHz、FIFO(送信 16 ビット × 8、
    受信 16 ビット × 8)、セクター/フレームモード
- I^2C インターフェース
  - I^2C インターフェース(I2C): 2 ~ 4 チャネル
    マルチマスター、低消費電力動作解除機能
  - I^2C インターフェースバージョン A(EI2C): 2 ~ 4 チャネル
    マルチマスター、10bit アドレス対応、低消費電力動作解除機能
- コンパレーター: 1 チャネル、A-PMD に EMG 信号出力
- 8 ビット DA コンバーター: 2 チャネル
- 12 ビット AD コンバーター: 12 ~ 21 チャネルアナログ入力
  - サンプル&ホールド回路内蔵
  - 変換時間: 1.5μs @SCLK = 20MHz、1.0μs @SCLK = 30MHz,
  - 自己診断機能サポート
- アドバンストプログラマブルモーター制御回路(A-PMD):
  1 チャネル
  - 3 相相補 PWM 出力、12 ビット ADC との同期動作
  - 外部入力による緊急停止機能(EMG0 端子、OVV0 端子)
- アドバンストエンコーダー入力回路(32-bit)(A-ENC32): 1 チャネル
  - エンコーダー/センサー(3 種)/タイマー/位相カウンターモード
- 32 ビットタイマーイベントカウンター(T32A)
  - 32 ビットタイマー時 8 チャネル、16 ビットタイマー時 16 チャネル
  - インターバルタイマー、イベントカウント、インプットキャプチャー、2
    相カウンター入力、PPG 出力、同期スタート、トリガースタート
- リアルタイムクロック(RTC): 1 チャネル
- ウオッチドッグタイマー(SIWDT): 1 チャネル
  - システムクロックと別系統のソースクロックを選択
  - クリアウインドウ、割り込みとリセット出力選択
- リモコン受信回路(RMC): 1 チャネル
- CRC 計算回路(CRC): 1 チャネル　CRC32、CRC16

製品量産開始時期
2023-05

© 2022-2025
Toshiba Electronic Devices & Storage Corporation

機能別製品一覧

この表は開発中製品を含みます。
各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表 1.1 機能別製品一覧(1/2)

内蔵機能		TMPM3HQF10BFG	TMPM3HPF10BFG	TMPM3HPF10BDFG
Memory	Code Flash (KB)	1024	1024	1024
	Data Flash (KB)	32	32	32
	RAM (KB)	128	128	128
	Backup RAM (KB)	2	2	2
I/O port	PORT (Pin)	134	118	118
External interrupt	Factor	23	21	21
	Pin	34	31	31
DMA	DMAC (ch)	64	64	64
Timer function	T32A (ch)	8	8	8
	RTC (ch)	1	1	1
Serial communication function	UART (ch)	8	8	8
	I2C/EI2C (ch)	4/4	4/4	4/4
	TSPI (ch)	5	5	5
Analog function	12-bit ADC (ch)	21	19	19
	8-bit DAC (ch)	2	2	2
	Comparator (ch)	1	1	1
Motor Control peripherals	A-ENC32 (ch)	1	1	1
	A-PMD (ch)	1	1	1
Other peripherals	RMC (ch)	1	1	1
	CRC (ch)	1	1	1
	DLCD	40 segments × 4 commons	40 segments × 4 commons	40 segments × 4 commons
System function	RAMP	1	1	1
	LVD (ch)	1	1	1
	SIWDT (ch)	1	1	1
	OFD (ch)	1	1	1
	POR	1	1	1
Debug interface	Debug	JTAG/SW TRACE(4bit)	JTAG/SW TRACE(4bit)	JTAG/SW TRACE(4bit)
Package	Package type	LQFP144 (20 mm x 20 mm, 0.5 mm pitch)	LQFP128 (14 mm x 14 mm, 0.4 mm pitch)	LQFP128 (14 mm x 20 mm, 0.5 mm pitch)

表 1.2　機能別製品一覧(2/2)

内蔵機能		TMPM3HNF10BFG TMPM3HNFDBFG	TMPM3HNF10BDFG	TMPM3HMF10BFG	TMPM3HLF10BUG
Memory	Code Flash (KB)	1024 512	1024	1024	1024
	Data Flash (KB)	32	32	32	32
	RAM (KB)	128	128	128	128
	Backup RAM (KB)	2	2	2	2
I/O port	PORT (Pin)	92	92	72	56
External interrupt	Factor	18	18	15	12
	Pin	19	19	15	12
DMA	DMAC (ch)	62	62	62	54
Timer function	T32A (ch)	8	8	8	8
	RTC (ch)	1	1	1	1
Serial communication function	UART (ch)	8	8	7	7
	I2C/EI2C (ch)	3/3	3/3	3/3	2/2
	TSPI (ch)	4	4	4	1
Analog function	12-bit ADC (ch)	17	17	12	12
	8-bit DAC (ch)	2	2	2	2
	Comparator (ch)	1	1	1	1
Motor Control peripherals	A-ENC32 (ch)	1	1	1	1
	A-PMD (ch)	1	1	1	1
Other peripherals	RMC (ch)	1	1	1	1
	CRC (ch)	1	1	1	1
	DLCD	32 segments × 4 commons	32 segments × 4 commons	26 segments × 4 commons	-
System function	RAMP	1	1	1	1
	LVD (ch)	1	1	1	1
	SIWDT (ch)	1	1	1	1
	OFD (ch)	1	1	1	1
	POR	1	1	1	1
Debug interface	Debug	JTAG/SW TRACE(4bit)	JTAG/SW TRACE(4bit)	JTAG/SW TRACE(2bit)	JTAG/SW
Package	Package type	LQFP100 (14 mm x 14 mm, 0.5 mm pitch)	QFP100 (14 mm x 20 mm, 0.65 mm pitch)	LQFP80 (12 mm x 12 mm, 0.5 mm pitch)	LQFP64 (10 mm x 10 mm, 0.5 mm pitch)

目次

概要 1
用途 1
特長 1
機能別製品一覧 2
目次 4
図目次 7
表目次 7
序章 9
表記規約 9
用語・略語 11
1. ブロック図 12
2. 端子配置図 13
2.1. LQFP144 13
2.2. LQFP128-1414 14
2.3. LQFP128-1420 15
2.4. LQFP100 16
2.5. QFP100 17
2.6. LQFP80 18
2.7. LQFP64 19
3. メモリーマップ 20
3.1. メモリー容量一覧 21
4. 端子説明 22
4.1. 機能端子名称と機能 22
4.1.1. 周辺機能端子 22
4.1.2. デバッグ端子 24
4.1.3. 制御端子 25
4.1.4. 電源端子 25
4.1.5. 電源間コンデンサー 26
4.2. 機能端子とポート割り当て(端子番号) 27
4.3. ポート 43
4.3.1. ポート仕様一覧 44
5. 機能説明・動作説明 48
5.1. リファレンスマニュアル 48
5.2. プロセッサーコア 49
5.2.1. コアに関する情報 49
5.2.2. 構成可能なオプション 49

5.3. クロック制御回路と動作モード(CG) 50
5.4. フラッシュメモリー(コードフラッシュ、データフラッシュ) 50
5.5. 発振器 51
5.6. トリミング回路(TRM) 51
5.7. 周波数検知回路(OFD) 51
5.8. 電圧検知回路(LVD) 52
5.9. デジタルノイズフィルター回路(DNF) 52
5.10. デバッグインターフェース(DEBUG) 53
5.11. DMA コントローラー(DMAC) 53
5.12. 非同期シリアル通信回路(UART) 54
5.13. シリアルペリフェラルインターフェース(TSPI) 54
5.14. I²C インターフェース 55
5.14.1. I²C インターフェース(I2C) 55
5.14.2. I²C インターフェース バージョン A(EI2C) 55
5.15. 8 ビットデジタルアナログコンバーター(DAC) 55
5.16. 12 ビットアナログデジタルコンバーター(ADC) 56
5.17. コンパレーター(COMP) 56
5.18. アドバンストプログラマブルモーター制御回路(A-PMD) 56
5.19. アドバンストエンコーダー入力回路(32-bit) (A-ENC32) 57
5.20. LCD 表示制御回路(DLCD) 57
5.21. 32 ビットタイマーイベントカウンター(T32A) 57
5.22. リアルタイムクロック(RTC) 58
5.23. クロック選択式ウオッチドッグタイマー(SIWDT) 58
5.24. リモコン受信回路(RMC) 58
5.25. CRC 計算回路(CRC) 59
5.26. RAM パリティー(RAMP) 59
5.27. セキュリティーリスク対策 60
5.27.1. 概要 60
5.27.2. 免責事項 60
6. 等価回路図 61
6.1. ポート 61
6.2. アナログ関連端子 65
6.3. 制御端子 65
6.4. クロック制御 66
7. 電気的特性 67
7.1. 絶対最大定格 67
7.2. DC 電気的特性(1/2) 69

7.3. DC 電気的特性(2/2)(消費電流) 73
7.4. 12 ビット AD コンバーター特性 75
7.5. 8 ビット DA コンバーター変換特性 76
7.6. コンパレーター特性 76
7.7. リセット時内部処理特性 77
7.8. パワーオンリセット特性 77
7.9. PORF 特性 77
7.10. 電圧検知回路特性 78
7.11. AC 電気的特性 79
7.11.1. シリアルペリフェラルインターフェース(TSPI) 79
7.11.2. I²C インターフェース(I2C) 88
7.11.3. I²C インターフェースバージョン A(EI2C) 90
7.11.4. 32 ビットタイマーイベントカウンター(T32A) 92
7.11.5. 外部割り込み 93
7.11.6. 端子トリガー入力(TRGINx) 94
7.11.7. デバッグ通信 95
7.11.8. SCOUT 端子 98
7.11.9. ノイズフィルター特性 98
7.11.10. 外部クロック入力 99
7.12. フラッシュ特性 100
7.12.1. コードフラッシュ特性 100
7.12.2. データフラッシュ特性 100
7.12.3. チップ消去特性 100
7.13. レギュレーター 101
7.14. 発振回路 101
7.14.1. 内蔵発振器 101
7.14.2. 外部発振器 101
7.14.3. 発振回路例 102
7.14.4. セラミック発振子 102
7.14.5. 水晶発振子 102
7.14.6. プリント基板の設計に関する注意 102
8. 外形寸法図 103
8.1. P-LQFP144-2020-0.50-002 103
8.2. P-LQFP128-1414-0.40-001 104
8.3. P-LQFP128-1420-0.50-001 105
8.4. P-LQFP100-1414-0.50-002 106
8.5. P-QFP100-1420-0.65-003 107
8.6. P-LQFP80-1212-0.50-005 108
8.7. P-LQFP64-1010-0.50-003 109

9. 使用上のご注意およびお願い事項 110
10. 改訂履歴 111
Appendix 112
全端子一覧表 112
品番付与情報 116
製品取り扱い上のお願い 117

図目次

図 1.1 TMPM3H グループ(2)製品のブロック図 12
図 3.1 TMPM3HQF10BFG の例 20
図 4.1 電源間コンデンサーの接続図 26
図 5.1 セキュリティーリスク対策 60
図 7.1 電源投入時と遮断時のご注意 68
図 7.2 1st クロックエッジサンプリング(マスター) 86
図 7.3 2nd クロックエッジサンプリング(マスター) 86
図 7.4 1st クロックエッジサンプリング(スレーブ) 87
図 7.5 2nd クロックエッジサンプリング(スレーブ) 87
図 7.6 I2C の AC タイミング 89
図 7.7 EI2C の AC タイミング 91
図 7.8 カウントパルス入力 93
図 7.9 JTAG/SWD 波形 96
図 7.10 トレース信号波形 97
図 7.11 SCOUT 出力波形 98
図 7.12 外部クロック入力波形 99
図 7.13 発振回路例 102

表目次

表 1.1 機能別製品一覧(1/2) 2
表 1.2 機能別製品一覧(2/2) 3
表 3.1 メモリー容量とアドレス 21
表 4.1 周辺端子名称と機能 22
表 4.2 デバッグ端子名称と機能 24
表 4.3 制御端子名称と機能 25
表 4.4 電源端子名称と機能 25
表 4.5 信号接続一覧(UART ch0、ch1) 27
表 4.6 信号接続一覧(UART ch2、ch3) 28
表 4.7 信号接続一覧(UART ch4 ~ 7) 29
表 4.8 信号接続一覧(I2C/EI2C ch0 ~ 3/TSPI ch0、ch1) 30
表 4.9 信号接続一覧(TSPI ch2 ~ 4) 31
表 4.10 信号接続一覧(T32A ch0) 32
表 4.11 信号接続一覧(T32A ch1、ch2) 33
表 4.12 信号接続一覧(T32A ch3 ~ ch5) 34
表 4.13 信号接続一覧(T32A ch6、ch7) 35
表 4.14 信号接続一覧(ADC ch0 ~ 20/ DAC ch0、ch1) 36
表 4.15 信号接続一覧(INT 00 ~ 33) 37
表 4.16 信号接続一覧(A-PMD/A-ENC32/SCOUT/TRGIN/RMC/RTC) 38
表 4.17 信号接続一覧(JTAG/SW/TRACE/発振/BOOT) 39
表 4.18 信号接続一覧(DLCD) 40

表 4.19 信号接続一覧(汎用ポート、制御、電源) 42
表 4.20 ポート A、B、C、D、E のポート名、仕様 44
表 4.21 ポート F、G、H、J、K のポート名、仕様 45
表 4.22 ポート L、M、N、P、R のポート名、仕様 46
表 4.23 ポート T、U、V のポート名、仕様 47
表 5.1 TMPM3H グループ(2)リファレンスマニュアル一覧 48
表 5.2 コアリビジョン 49
表 5.3 構成可能なオプションと実装 49
表 5.4 搭載発振器 51
表 5.5 TRM 搭載一覧 51
表 5.6 OFD 搭載一覧 51
表 5.7 LVD 搭載一覧 52
表 5.8 外部割り込み数(DNF 搭載数) 52
表 5.9 デバッグインターフェース搭載一覧 53
表 5.10 DMAC 搭載一覧 53
表 5.11 UART 搭載一覧 54
表 5.12 TSPI 搭載一覧 54
表 5.13 I^2C 搭載一覧 55
表 5.14 DAC 搭載一覧 55
表 5.15 ADC 搭載一覧 56
表 5.16 アナログ入力数 56
表 5.17 コンパレーター搭載一覧 56
表 5.18 A-PMD 搭載一覧 56
表 5.19 A-ENC32 搭載一覧 57
表 5.20 DLCD 搭載一覧 57
表 5.21 T32A 搭載一覧 57
表 5.22 RTC 搭載一覧 58
表 5.23 SIWDT 搭載一覧 58
表 5.24 RMC 搭載一覧 58
表 5.25 CRC 計算回路搭載一覧 59
表 5.26 RAM パリティー回路搭載一覧 59
表 5.27 アクセス経路と保護対象(1) 60
表 5.28 アクセス経路と保護対象(2) 60
表 7.1 絶対最大定格 67
表 7.2 IDD 測定条件(端子設定、発振回路) 73
表 7.3 IDD 測定条件(CPU、周辺回路) 74
表 10.1 改訂履歴 111

序章

表記規約

- 数値表記は以下の規則に従います。
  16 進数表記:　0xABC
  10 進数表記:　123 または 0d123　(10 進表記であることを示す必要のある場合だけ使用)
  2 進数表記:　0b111　（ビット数が本文中に明記されている場合は「0b」を省略可）
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
  例: S[3: 0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中***[ ]***で囲まれたものはレジスターを定義しています。
  例: ***[ABCD]***
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
  例: ***[XYZ1]***、***[XYZ2]***、***[XYZ3]*** → ***[XYZn]***
- 「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。
  ユニットの場合、「x」は A、B、C、...を表します。
  例: ***[ADACR0]***、***[ADBCR0]***、***[ADCCR0]*** → ***[ADxCR0]***
  チャネルの場合、「x」は 0、1、2、..を表します。
  例: ***[T32A0RUNA]***、***[T32A1RUNA]***、***[T32A2RUNA]*** → ***[T32AxRUNA]***
- レジスターのビット範囲は [m:n] と表記します。
  例: [3: 0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
  例: ***[ABCD]***<EFG> = 0x01 (16 進数)、***[XYZn]***<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  バイト:　8 ビット
  ハーフワード:　16 ビット
  ワード:　32 ビット
  ダブルワード:　64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  R:　リードオンリー
  W:　ライトオンリー
  R/W:　リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
  また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
  Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
  Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください

****
Arm,Cortex および **Thumb** は **Arm Limited(**またはその子会社**)**の **US** またはその他の国における
登録商標です。 **All rights reserved.**
****

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder Input Circuit (32-bit)
APB	Advanced Peripheral Bus
A-PMD	Advanced Programmable Motor Control Circuit
CG	Clock control and Operation Mode
COMP	Comparator
CRC	Cyclic Redundancy Check
DAC	Digital to Analog Converter
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
ELOSC	External Low-speed Oscillator
EHOSC	External High-speed Oscillator
EI2C	I^2C Interface Version A
fsys	Frequency of SYSTEM Clock
I2C	Inter-Integrated Circuit
I2CS	Address Match Wakeup Function
IHOSC	Internal High-speed Oscillator
IA (INTIF)	Interrupt control register A
IB (INTIF)	Interrupt control register B
I-Bus	ICode memory interface
IMN	Interrupt Monitor
INT	Interrupt
IO	IO Bus (32bit Peripheral Bus)
DLCD	LCD Display Control Circuit
LVD	Voltage Detection Circuit
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power-on Reset Circuit
RAMP	RAM Parity Circuit
RLM	Low-speed Oscillation/Power Supply Control/Reset
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
S-Bus	System interface
SCOUT	Source Clock Output
SIWDT	Clock Selective Watchdog Timer
TPIU	Trace Port Interface Unit
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

1. ブロック図

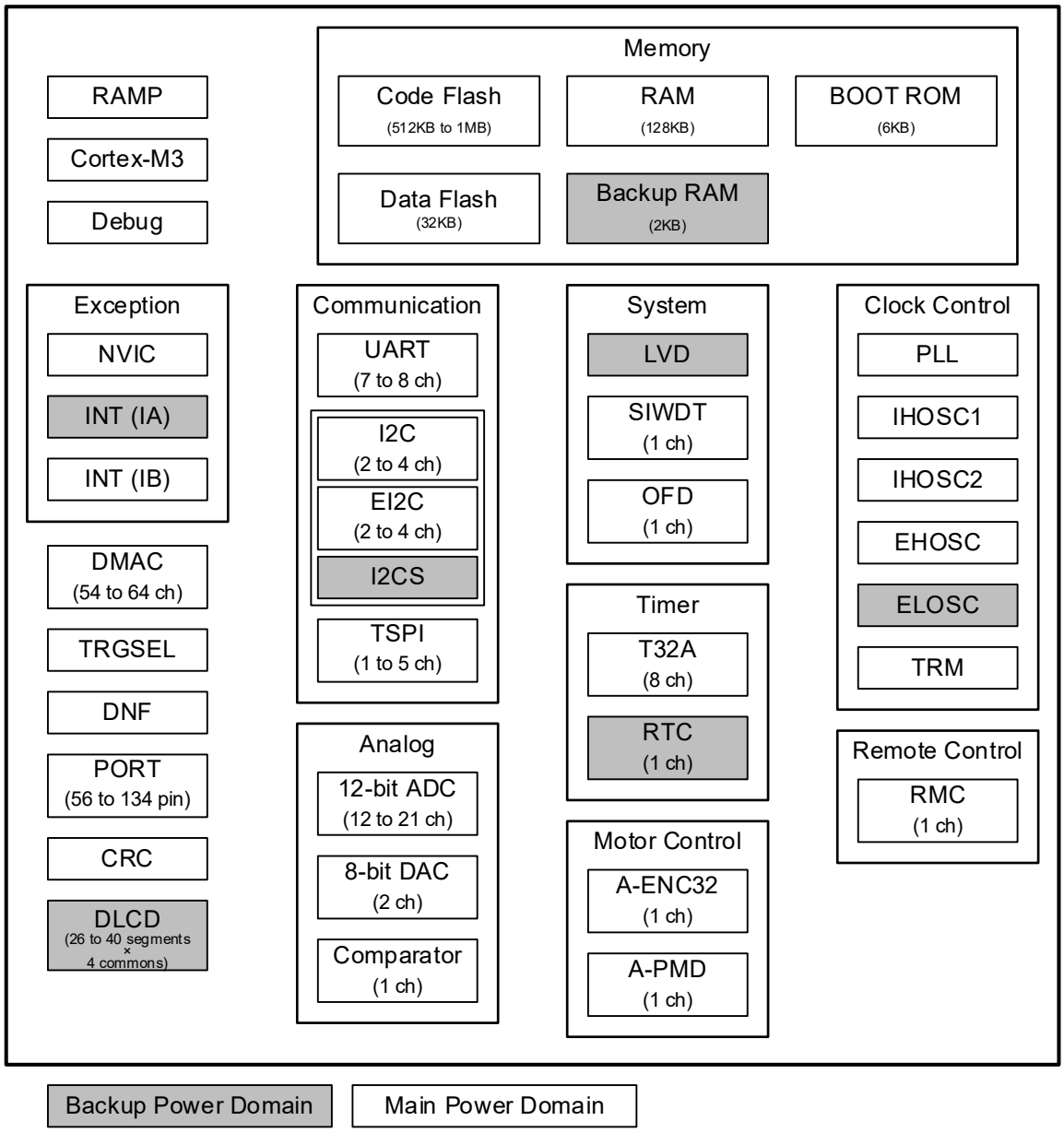
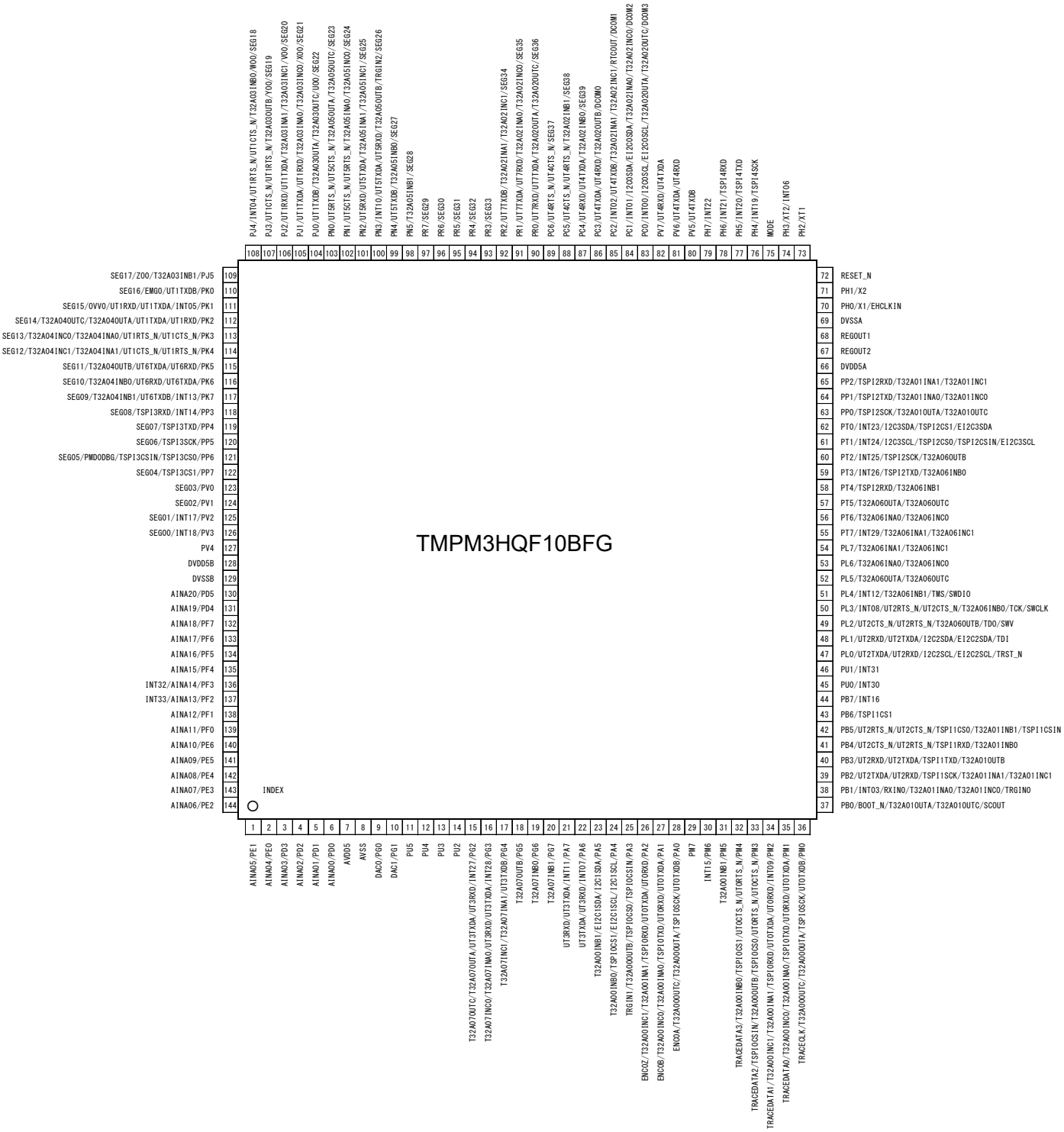


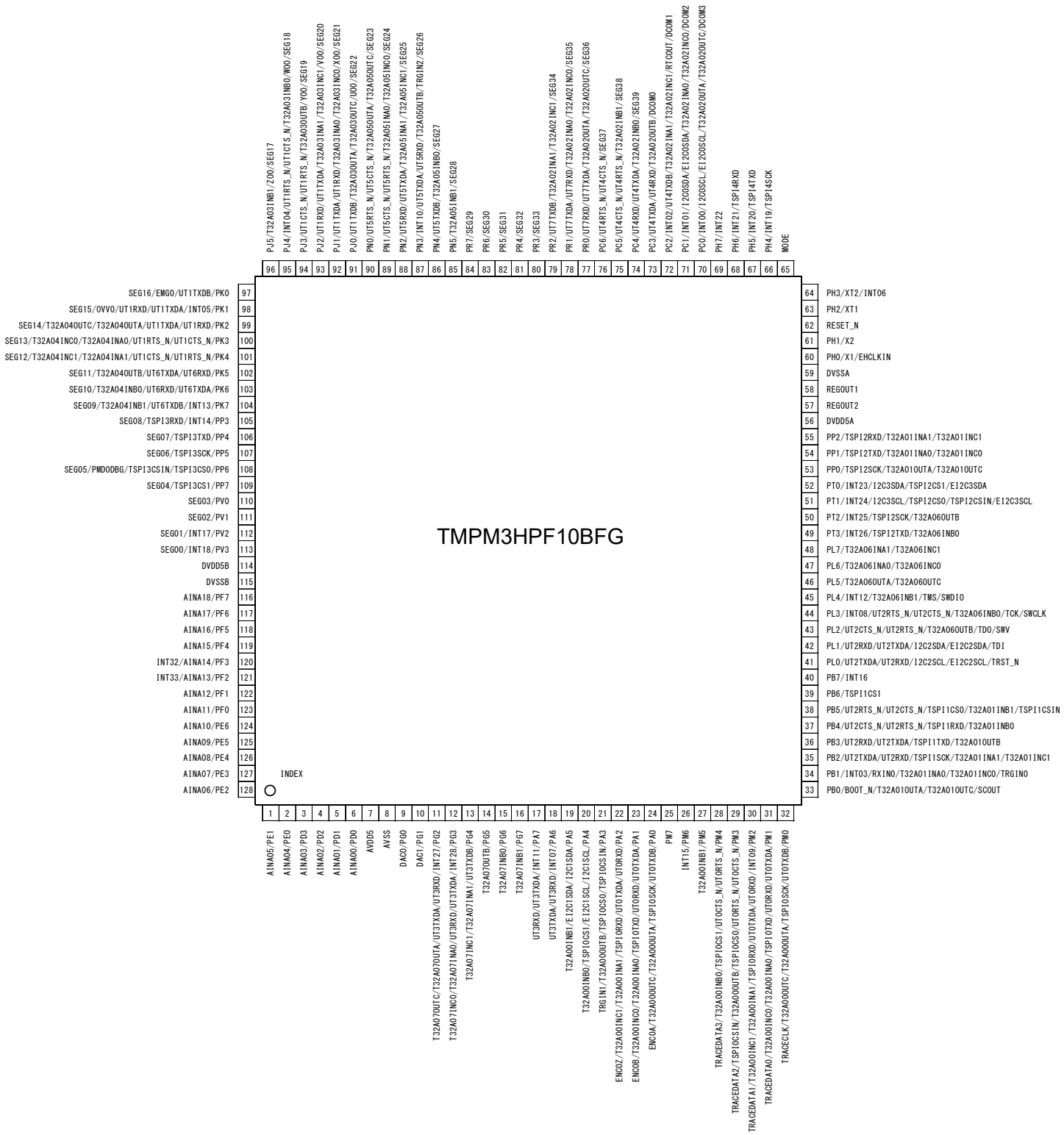
図 1.1 TMPM3Hグループ(2)製品のブロック図

2. 端子配置図

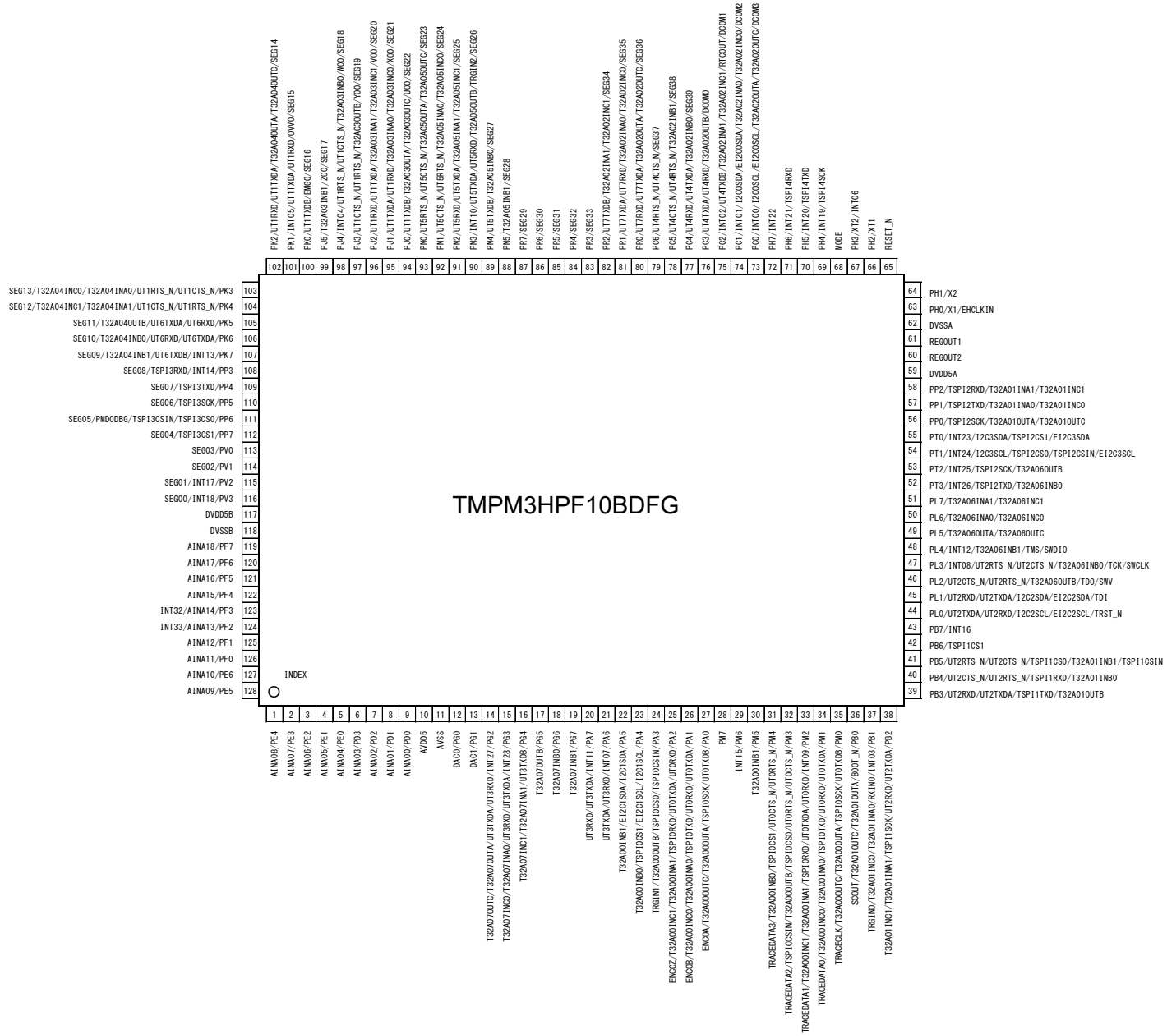
2.1. LQFP144



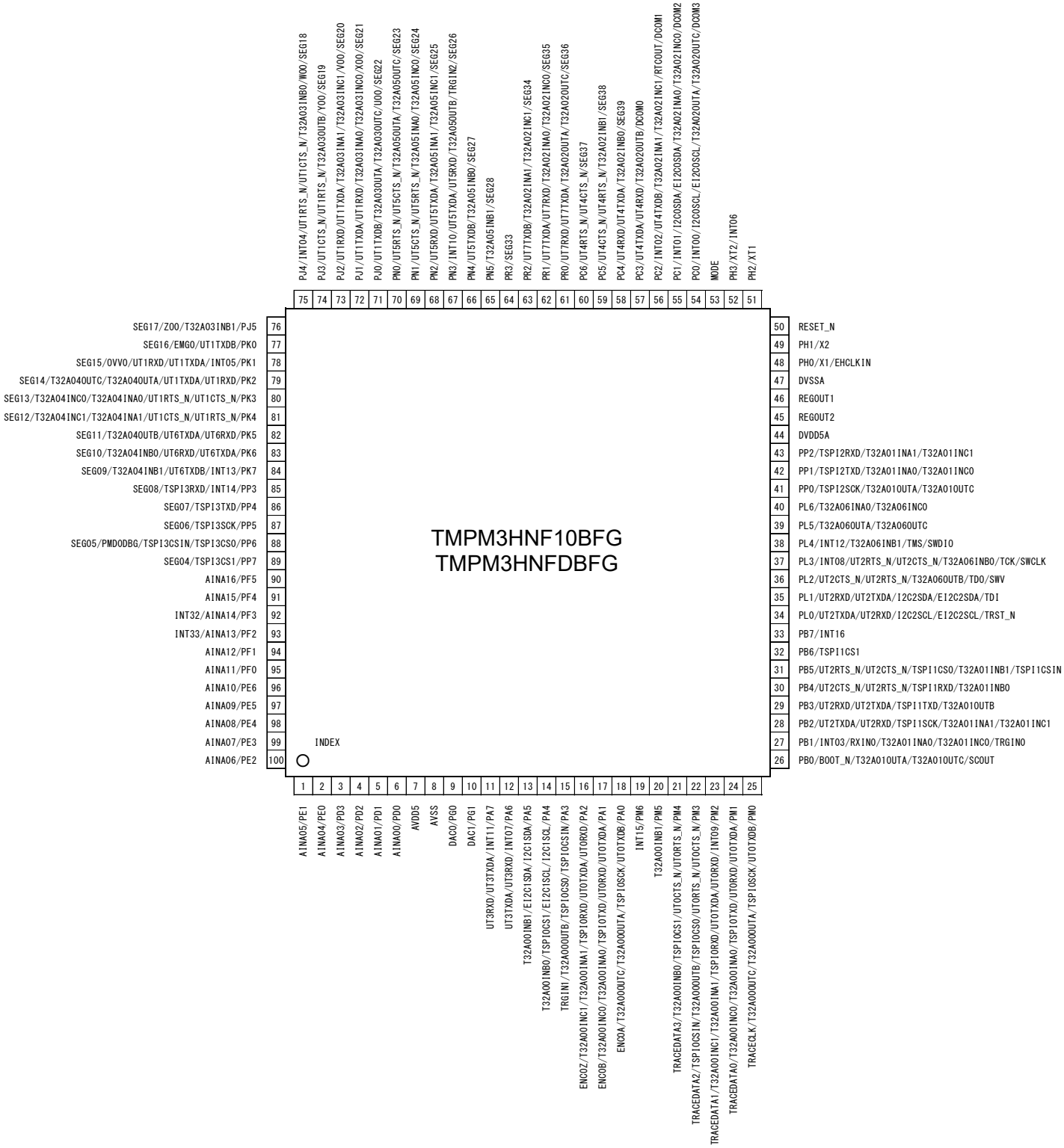
2.2. LQFP128-1414



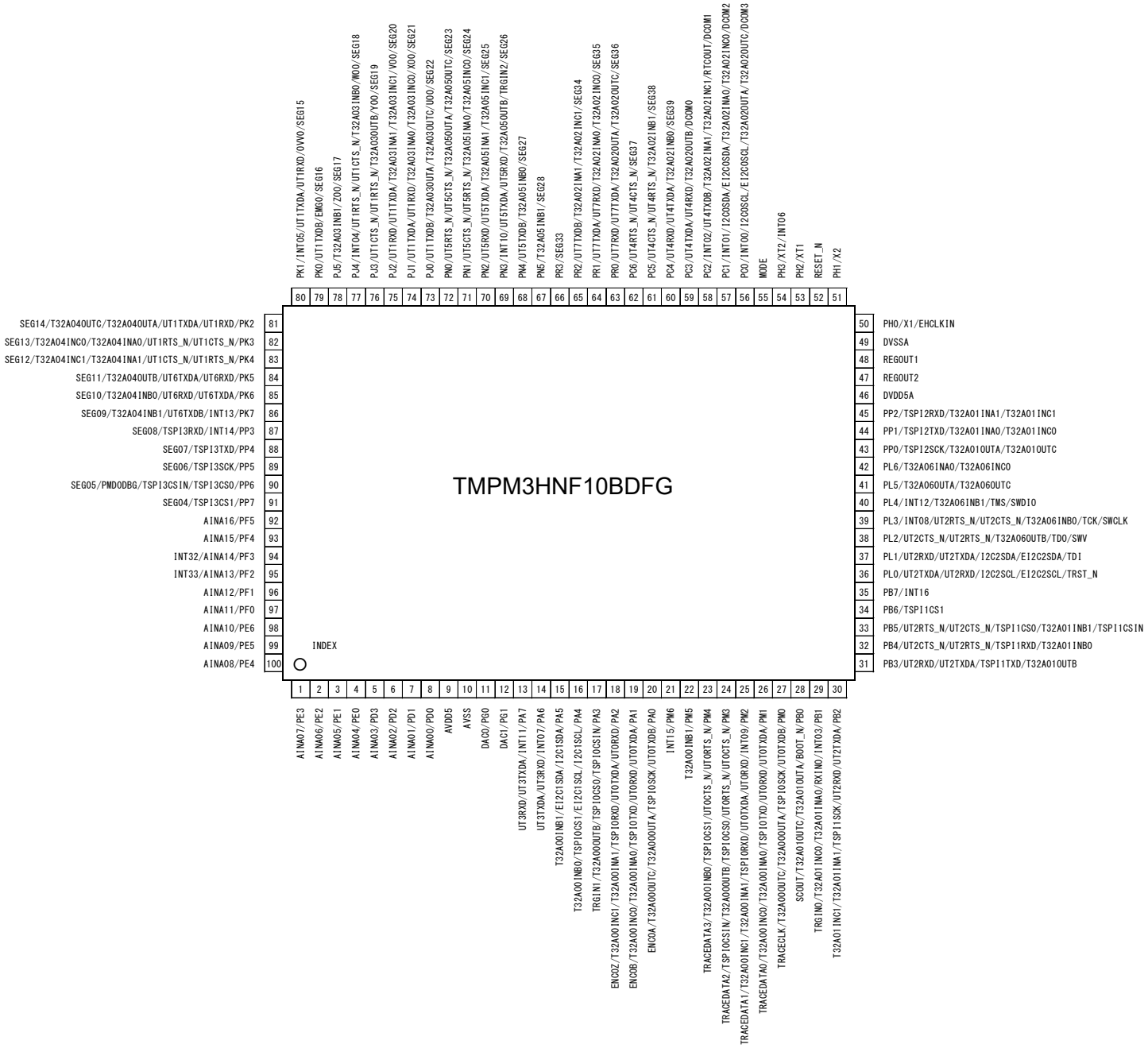
2.3. LQFP128-1420



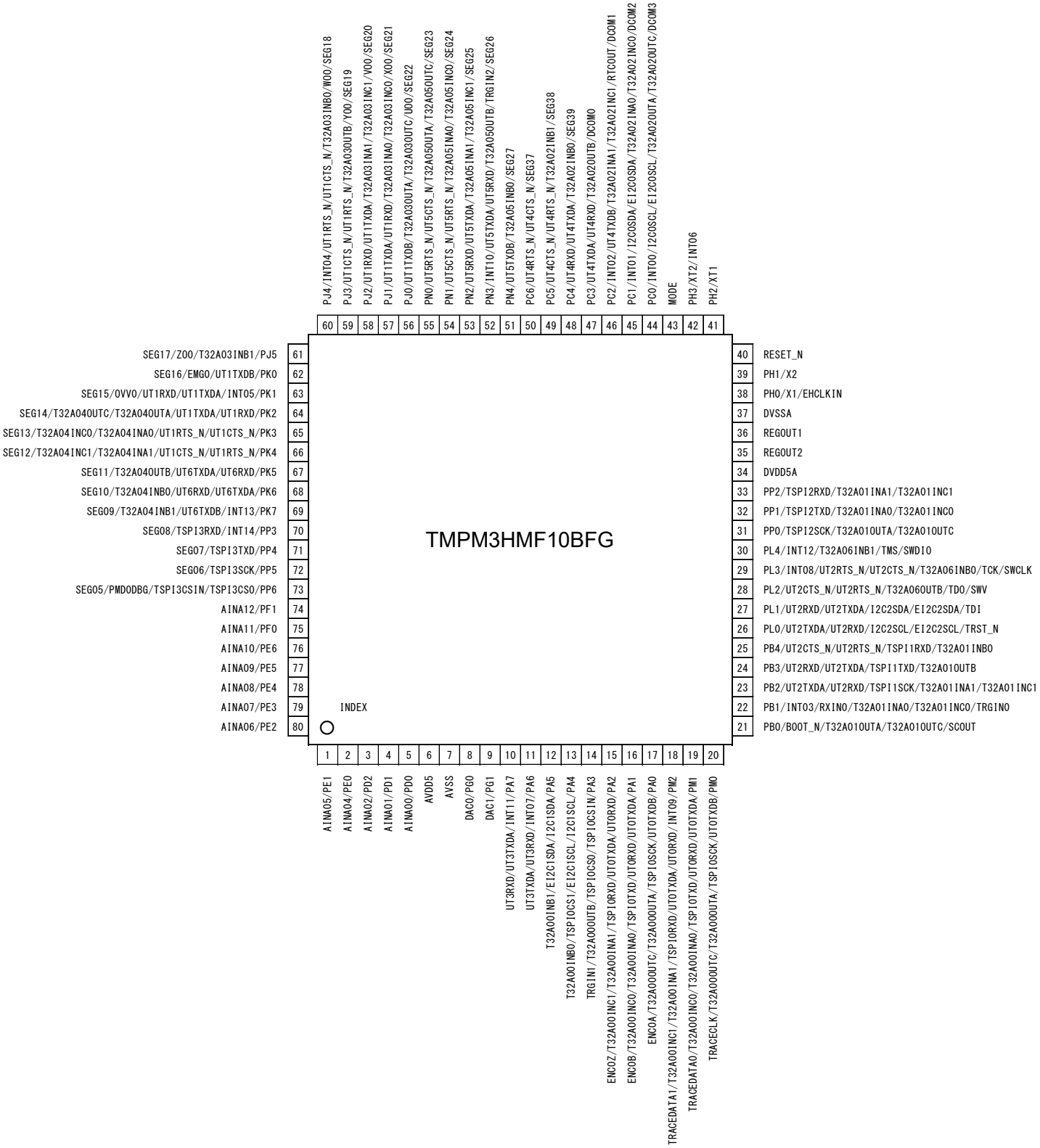
2.4. LQFP100


TMPM3HNF10BFG
TMPM3HNFDBFG
INDEX
1 AINA05/PE1
2 AINA04/PE0
3 AINA03/PD3
4 AINA02/PD2
5 AINA01/PD1
6 AINA00/PD0
7 AVDD5
8 AVSS
9 DAC0/PG0
10 DAC1/PG1
11 UT3RXD/UT3TXDA/INT11/PA7
12 UT3TXDA/UT3RXD/INT07/PA6
13 T32A001NB1/EI2C1SDA/I2C1SDA/PA5
14 T32A001NB0/TSPI0CS1/EI2C1SCL/I2C1SCL/PA4
15 TRG1N1/T32A000UTB/TSPI0CS0/TSPI0CSIN/PA3
16 ENC0Z/T32A001NC1/T32A001NA1/TSPI0RXD/UT0TXDA/UT0RXD/PA2
17 ENC0B/T32A001NC0/T32A001NA0/TSPI0TXD/UT0RXD/UT0TXDA/PA1
18 ENC0A/T32A000UTC/T32A000UTA/TSPI0SCK/UT0TXDB/PA0
19 INT15/PM6
20 T32A001NB1/PM5
21 TRACEDATA3/T32A001NB0/TSPI0CS1/UT0CTS_N/UT0RTS_N/PM4
22 TRACEDATA2/TSPI0CSIN/T32A000UTB/TSPI0CS0/UT0RTS_N/UT0CTS_N/PM3
23 TRACEDATA1/T32A001NC1/T32A001NA1/TSPI0RXD/UT0TXDA/UT0RXD/INT09/PM2
24 TRACEDATA0/T32A001NC0/T32A001NA0/TSPI0TXD/UT0RXD/UT0TXDA/PM1
25 TRACECLK/T32A000UTC/T32A000UTA/TSPI0SCK/UT0TXDB/PM0
26 PB0/BOOT_N/T32A010UTA/T32A010UTC/SCOUT
27 PB1/INT03/RXIN0/T32A01INA0/T32A01INC0/TRGIN0
28 PB2/UT2TXDA/UT2RXD/TSPI1SCK/T32A01INA1/T32A01INC1
29 PB3/UT2RXD/UT2TXDA/TSPI1TXD/T32A010UTB
30 PB4/UT2CTS_N/UT2RTS_N/TSPI1RXD/T32A01INB0
31 PB5/UT2RTS_N/UT2CTS_N/TSPI1CS0/T32A01INB1/TSPI1CSIN
32 PB6/TSPI1CS1
33 PB7/INT16
34 PL0/UT2TXDA/UT2RXD/I2C2SCL/EI2C2SCL/TRST_N
35 PL1/UT2RXD/UT2TXDA/I2C2SDA/EI2C2SDA/TDI
36 PL2/UT2CTS_N/UT2RTS_N/T32A060UTB/TDO/SWV
37 PL3/INT08/UT2RTS_N/UT2CTS_N/T32A06INB0/TCK/SWCLK
38 PL4/INT12/T32A06INB1/TMS/SWDIO
39 PL5/T32A060UTA/T32A060UTC
40 PL6/T32A06INA0/T32A06INC0
41 PP0/TSPI2SCK/T32A010UTA/T32A010UTC
42 PP1/TSPI2TXD/T32A01INA0/T32A01INC0
43 PP2/TSPI2RXD/T32A01INA1/T32A01INC1
44 DVDD5A
45 REGOUT2
46 REGOUT1
47 DVSSA
48 PH0/X1/EHCLKIN
49 PH1/X2
50 RESET_N
51 PH2/XT1
52 PH3/XT2/INT06
53 MODE
54 PC0/INT00/I2C0SCL/EI2C0SCL/T32A020UTA/T32A020UTC/DCOM3
55 PC1/INT01/I2C0SDA/EI2C0SDA/T32A021NA0/T32A021NC0/DCOM2
56 PC2/INT02/UT4TXDB/T32A021NA1/T32A021NC1/RTCOUT/DCOM1
57 PC3/UT4TXDA/UT4RXD/T32A020UTB/DCOM0
58 PC4/UT4RXD/UT4TXDA/T32A021NB0/SEG39
59 PC5/UT4CTS_N/UT4RTS_N/T32A021NB1/SEG38
60 PC6/UT4RTS_N/UT4CTS_N/SEG37
61 PR0/UT7RXD/UT7TXDA/T32A020UTA/T32A020UTC/SEG36
62 PR1/UT7TXDA/UT7RXD/T32A021NA0/T32A021NC0/SEG35
63 PR2/UT7TXDB/T32A021NA1/T32A021NC1/SEG34
64 PR3/SEG33
65 PN5/T32A051NB1/SEG28
66 PM4/UT5TXDB/T32A051NB0/SEG27
67 PN3/INT10/UT5TXDA/UT5RXD/T32A050UTB/TRG1N2/SEG26
68 PN2/UT5RXD/UT5TXDA/T32A051NA1/T32A051NC1/SEG25
69 PN1/UT5CTS_N/UT5RTS_N/T32A051NA0/T32A051NC0/SEG24
70 PN0/UT5RTS_N/UT5CTS_N/T32A050UTA/T32A050UTC/SEG23
71 PJ0/UT1TXDB/T32A030UTA/T32A030UTC/U00/SEG22
72 PJ1/UT1TXDA/UT1RXD/T32A031NA0/T32A031NC0/X00/SEG21
73 PJ2/UT1RXD/UT1TXDA/T32A031NA1/T32A031NC1/V00/SEG20
74 PJ3/UT1CTS_N/UT1RTS_N/T32A030UTB/Y00/SEG19
75 PJ4/INT04/UT1RTS_N/UT1CTS_N/T32A031NB0/W00/SEG18
76 SEG17/Z00/T32A031NB1/PJ5
77 SEG16/EMG0/UT1TXDB/PK0
78 SEG15/OVV0/UT1RXD/UT1TXDA/INT05/PK1
79 SEG14/T32A040UTC/T32A040UTA/UT1TXDA/UT1RXD/PK2
80 SEG13/T32A04INC0/T32A04INA0/UT1RTS_N/UT1CTS_N/PK3
81 SEG12/T32A04INC1/T32A04INA1/UT1CTS_N/UT1RTS_N/PK4
82 SEG11/T32A040UTB/UT6TXDA/UT6RXD/PK5
83 SEG10/T32A04INB0/UT6RXD/UT6TXDA/PK6
84 SEG09/T32A04INB1/UT6TXDB/INT13/PK7
85 SEG08/TSPI3RXD/INT14/PP3
86 SEG07/TSPI3TXD/PP4
87 SEG06/TSPI3SCK/PP5
88 SEG05/PMDODBG/TSPI3CSIN/TSPI3CS0/PP6
89 SEG04/TSPI3CS1/PP7
90 AINA16/PF5
91 AINA15/PF4
92 INT32/AINA14/PF3
93 INT33/AINA13/PF2
94 AINA12/PF1
95 AINA11/PF0
96 AINA10/PE6
97 AINA09/PE5
98 AINA08/PE4
99 AINA07/PE3
100 AINA06/PE2

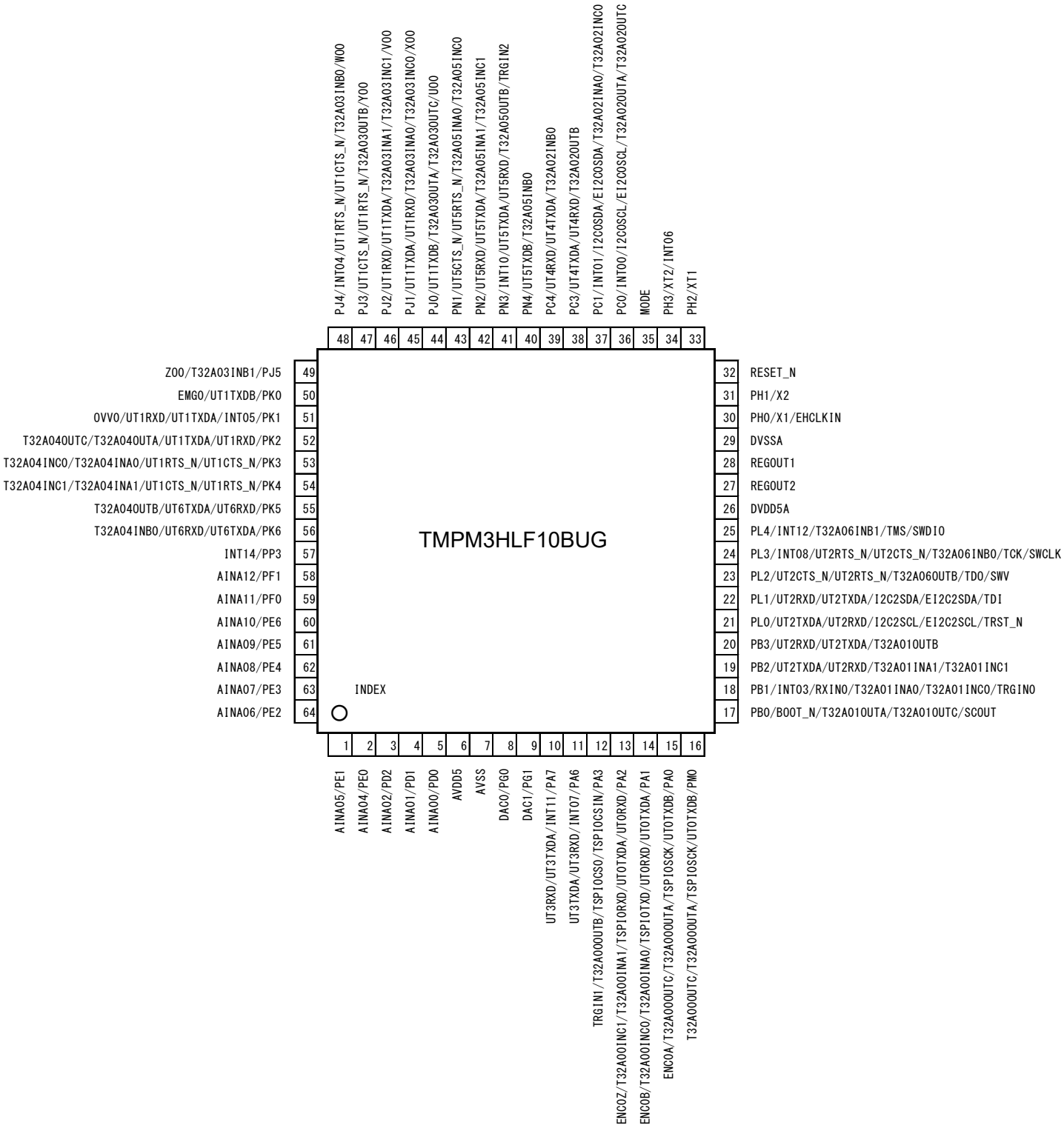
2.5. QFP100


TMPM3HNF10BDFG
INDEX
1 AINA07/PE3
2 AINA06/PE2
3 AINA05/PE1
4 AINA04/PE0
5 AINA03/PD3
6 AINA02/PD2
7 AINA01/PD1
8 AINA00/PD0
9 AVDD5
10 AVSS
11 DAC0/PG0
12 DAC1/PG1
13 UT3RXD/UT3TXDA/INT11/PA7
14 UT3TXDA/UT3RXD/INT07/PA6
15 T32A001NB1/EI2C1SDA/I2C1SDA/PA5
16 T32A001NB0/TSPI0CS1/EI2C1SGL/I2C1SGL/PA4
17 TRGIN1/T32A000UTB/TSPI0CS0/TSPI0CSIN/PA3
18 ENC0Z/T32A001NC1/T32A001NA1/TSPI0RXD/UT0TXDA/UT0RXD/PA2
19 ENC0B/T32A001NC0/T32A001NA0/TSPI0TXD/UT0RXD/UT0TXDA/PA1
20 ENC0A/T32A000UTC/T32A000UTA/TSPI0SCK/UT0TXDB/PA0
21 INT15/PM6
22 T32A001NB1/PM5
23 TRACEDATA3/T32A001NB0/TSPI0CS1/UT0CTS_N/UT0RTS_N/PM4
24 TRACEDATA2/TSPI0CSIN/T32A000UTB/TSPI0CS0/UT0RTS_N/UT0CTS_N/PM3
25 TRACEDATA1/T32A001NC1/T32A001NA1/TSPI0RXD/UT0TXDA/UT0RXD/INT09/PM2
26 TRACEDATA0/T32A001NC0/T32A001NA0/TSPI0TXD/UT0RXD/UT0TXDA/PM1
27 TRACECLK/T32A000UTC/T32A000UTA/TSPI0SCK/UT0TXDB/PM0
28 SCOUT/T32A010UTC/T32A010UTA/BOOT_N/PB0
29 TRGIN0/T32A011NC0/T32A011NA0/RXIN0/INT03/PB1
30 T32A011NC1/T32A011NA1/TSPI1SCK/UT2RXD/UT2TXDA/PB2
31 PB3/UT2RXD/UT2TXDA/TSPI1TXD/T32A010UTB
32 PB4/UT2CTS_N/UT2RTS_N/TSPI1RXD/T32A01INB0
33 PB5/UT2RTS_N/UT2CTS_N/TSPI1CS0/T32A01INB1/TSPI1CSIN
34 PB6/TSPI1CS1
35 PB7/INT16
36 PL0/UT2TXDA/UT2RXD/I2C2SCL/EI2C2SCL/TRST_N
37 PL1/UT2RXD/UT2TXDA/I2C2SDA/EI2C2SDA/TDI
38 PL2/UT2CTS_N/UT2RTS_N/T32A060UTB/TDO/SWV
39 PL3/INT08/UT2RTS_N/UT2CTS_N/T32A061NB0/TCK/SWCLK
40 PL4/INT12/T32A061NB1/TMS/SWDIO
41 PL5/T32A060UTA/T32A060UTC
42 PL6/T32A061NA0/T32A061NC0
43 PP0/TSPI2SCK/T32A010UTA/T32A010UTC
44 PP1/TSPI2TXD/T32A011NA0/T32A011NC0
45 PP2/TSPI2RXD/T32A011NA1/T32A011NC1
46 DVDD5A
47 REGOUT2
48 REGOUT1
49 DVSSA
50 PH0/X1/EHCLKIN
51 PH1/X2
52 RESET_N
53 PH2/XT1
54 PH3/XT2/INT06
55 MODE
56 PC0/INT00/I2C0SGL/EI2C0SGL/T32A020UTA/T32A020UTC/DCOM3
57 PC1/INT01/I2C0SDA/EI2C0SDA/T32A021NA0/T32A021NC0/DCOM2
58 PC2/INT02/UT4TXDB/T32A021NA1/T32A021NC1/RTCOUT/DCOM1
59 PC3/UT4TXDA/UT4RXD/T32A020UTB/DCOM0
60 PC4/UT4RXD/UT4TXDA/T32A021NB0/SEG39
61 PC5/UT4CTS_N/UT4RTS_N/T32A021NB1/SEG38
62 PC6/UT4RTS_N/UT4CTS_N/SEG37
63 PR0/UT7RXD/UT7TXDA/T32A020UTA/T32A020UTC/SEG36
64 PR1/UT7TXDA/UT7RXD/T32A021NA0/T32A021NC0/SEG35
65 PR2/UT7TXDB/T32A021NA1/T32A021NC1/SEG34
66 PR3/SEG33
67 PN5/T32A051NB1/SEG28
68 PM4/UT5TXDB/T32A051NB0/SEG27
69 PN3/INT10/UT5TXDA/UT5RXD/T32A050UTB/TRGIN2/SEG26
70 PN2/UT5RXD/UT5TXDA/T32A051NA1/T32A051NC1/SEG25
71 PN1/UT5CTS_N/UT5RTS_N/T32A051NA0/T32A051NC0/SEG24
72 PN0/UT5RTS_N/UT5CTS_N/T32A050UTA/T32A050UTC/SEG23
73 PJ0/UT1TXDB/T32A030UTA/T32A030UTC/U00/SEG22
74 PJ1/UT1TXDA/UT1RXD/T32A031NA0/T32A031NC0/X00/SEG21
75 PJ2/UT1RXD/UT1TXDA/T32A031NA1/T32A031NC1/V00/SEG20
76 PJ3/UT1CTS_N/UT1RTS_N/T32A030UTB/Y00/SEG19
77 PJ4/INT04/UT1RTS_N/UT1CTS_N/T32A031NB0/W00/SEG18
78 PJ5/T32A031NB1/Z00/SEG17
79 PK0/UT1TXDB/EMG0/SEG16
80 PK1/INT05/UT1TXDA/UT1RXD/OVV0/SEG15
81 SEG14/T32A040UTC/T32A040UTA/UT1TXDA/UT1RXD/PK2
82 SEG13/T32A041NC0/T32A041NA0/UT1RTS_N/UT1CTS_N/PK3
83 SEG12/T32A041NC1/T32A041NA1/UT1CTS_N/UT1RTS_N/PK4
84 SEG11/T32A040UTB/UT6TXDA/UT6RXD/PK5
85 SEG10/T32A041NB0/UT6RXD/UT6TXDA/PK6
86 SEG09/T32A041NB1/UT6TXDB/INT13/PK7
87 SEG08/TSPI3RXD/INT14/PP3
88 SEG07/TSPI3TXD/PP4
89 SEG06/TSPI3SCK/PP5
90 SEG05/PMD0DBG/TSPI3CSIN/TSPI3CS0/PP6
91 SEG04/TSPI3CS1/PP7
92 AINA16/PF5
93 AINA15/PF4
94 INT32/AINA14/PF3
95 INT33/AINA13/PF2
96 AINA12/PF1
97 AINA11/PF0
98 AINA10/PE6
99 AINA09/PE5
100 AINA08/PE4

2.6. LQFP80


TMPM3HMF10BFG
INDEX
1 A1NA05/PE1
2 A1NA04/PE0
3 A1NA02/PD2
4 A1NA01/PD1
5 A1NA00/PD0
6 AVDD5
7 AVSS
8 DAC0/PG0
9 DAC1/PG1
10 UT3RXD/UT3TXDA/INT11/PA7
11 UT3TXDA/UT3RXD/INT07/PA6
12 T32A001NB1/EI2C1SDA/I2C1SDA/PA5
13 T32A001NB0/TSPI0CS1/EI2C1SCL/I2C1SCL/PA4
14 TRGIN1/T32A000UTB/TSPI0CS0/TSPI0CS1N/PA3
15 ENC0Z/T32A001INC1/T32A001INA1/TSPI0RXD/UT0TXDA/UT0RXD/PA2
16 ENC0B/T32A001INC0/T32A001INA0/TSPI0TXD/UT0RXD/UT0TXDA/PA1
17 ENC0A/T32A000UTC/T32A000UTA/TSPI0SCK/UT0TXDB/PA0
18 TRACEDATA1/T32A001INC1/T32A001INA1/TSPI0RXD/UT0TXDA/UT0RXD/INT09/PM2
19 TRACEDATA0/T32A001INC0/T32A001INA0/TSPI0TXD/UT0RXD/UT0TXDA/PM1
20 TRACECLK/T32A000UTC/T32A000UTA/TSPI0SCK/UT0TXDB/PM0
21 PB0/BOOT_N/T32A010UTA/T32A010UTC/SCOUT
22 PB1/INT03/RXIN0/T32A011NA0/T32A011NC0/TRGIN0
23 PB2/UT2TXDA/UT2RXD/TSPI1SCK/T32A011NA1/T32A011NC1
24 PB3/UT2RXD/UT2TXDA/TSPI1TXD/T32A010UTB
25 PB4/UT2CTS_N/UT2RTS_N/TSPI1RXD/T32A011NB0
26 PL0/UT2TXDA/UT2RXD/I2C2SCL/EI2C2SCL/TRST_N
27 PL1/UT2RXD/UT2TXDA/I2C2SDA/EI2C2SDA/TDI
28 PL2/UT2CTS_N/UT2RTS_N/T32A060UTB/TDO/SWV
29 PL3/INT08/UT2RTS_N/UT2CTS_N/T32A061NB0/TCK/SWCLK
30 PL4/INT12/T32A061NB1/TMS/SWDIO
31 PP0/TSPI2SCK/T32A010UTA/T32A010UTC
32 PP1/TSPI2TXD/T32A011NA0/T32A011NC0
33 PP2/TSPI2RXD/T32A011NA1/T32A011NC1
34 DVDD5A
35 REGOUT2
36 REGOUT1
37 DVSSA
38 PH0/X1/EHCLKIN
39 PH1/X2
40 RESET_N
41 PH2/XT1
42 PH3/XT2/INT06
43 MODE
44 PC0/INT00/I2C0SCL/EI2C0SCL/T32A020UTA/T32A020UTC/DCOM3
45 PC1/INT01/I2C0SDA/EI2C0SDA/T32A021NA0/T32A021NC0/DCOM2
46 PC2/INT02/UT4TXDB/T32A021NA1/T32A021NC1/RTCOUT/DCOM1
47 PC3/UT4TXDA/UT4RXD/T32A020UTB/DCOM0
48 PC4/UT4RXD/UT4TXDA/T32A021NB0/SEG39
49 PC5/UT4CTS_N/UT4RTS_N/T32A021NB1/SEG38
50 PC6/UT4RTS_N/UT4CTS_N/SEG37
51 PN4/UT5TXDB/T32A051NB0/SEG27
52 PN3/INT10/UT5TXDA/UT5RXD/T32A050UTB/TRGIN2/SEG26
53 PN2/UT5RXD/UT5TXDA/T32A051NA1/T32A051NC1/SEG25
54 PN1/UT5CTS_N/UT5RTS_N/T32A051NA0/T32A051NC0/SEG24
55 PN0/UT5RTS_N/UT5CTS_N/T32A050UTA/T32A050UTC/SEG23
56 PJ0/UT1TXDB/T32A030UTA/T32A030UTC/U00/SEG22
57 PJ1/UT1TXDA/UT1RXD/T32A031NA0/T32A031NC0/X00/SEG21
58 PJ2/UT1RXD/UT1TXDA/T32A031NA1/T32A031NC1/V00/SEG20
59 PJ3/UT1CTS_N/UT1RTS_N/T32A030UTB/Y00/SEG19
60 PJ4/INT04/UT1RTS_N/UT1CTS_N/T32A031NB0/W00/SEG18
61 SEG17/Z00/T32A03INB1/PJ5
62 SEG16/EMG0/UT1TXDB/PK0
63 SEG15/OVV0/UT1RXD/UT1TXDA/INT05/PK1
64 SEG14/T32A04OUTC/T32A04OUTA/UT1TXDA/UT1RXD/PK2
65 SEG13/T32A04INC0/T32A04INA0/UT1RTS_N/UT1CTS_N/PK3
66 SEG12/T32A04INC1/T32A04INA1/UT1CTS_N/UT1RTS_N/PK4
67 SEG11/T32A04OUTB/UT6TXDA/UT6RXD/PK5
68 SEG10/T32A04INB0/UT6RXD/UT6TXDA/PK6
69 SEG09/T32A04INB1/UT6TXDB/INT13/PK7
70 SEG08/TSPI3RXD/INT14/PP3
71 SEG07/TSPI3TXD/PP4
72 SEG06/TSPI3SCK/PP5
73 SEG05/PMD0DBG/TSPI3CSIN/TSPI3CS0/PP6
74 AINA12/PF1
75 AINA11/PF0
76 AINA10/PE6
77 AINA09/PE5
78 AINA08/PE4
79 AINA07/PE3
80 AINA06/PE2

2.7. LQFP64


TMPM3HLF10BUG
INDEX
1 AINA05/PE1
2 AINA04/PE0
3 AINA02/PD2
4 AINA01/PD1
5 AINA00/PD0
6 AVDD5
7 AVSS
8 DAC0/PG0
9 DAC1/PG1
10 UT3RXD/UT3TXDA/INT11/PA7
11 UT3TXDA/UT3RXD/INT07/PA6
12 TRG1IN1/T32A00OUTB/TSPI0CS0/TSPI0CSIN/PA3
13 ENC0Z/T32A00IN01/T32A00IN1/TSPI0RXD/UT0TXDA/UT0RXD/PA2
14 ENC0B/T32A00IN00/T32A00IN0/TSPI0TXD/UT0RXD/UT0TXDA/PA1
15 ENC0A/T32A00OUTC/T32A00OUTA/TSPI0SCK/UT0TXDB/PA0
16 T32A00OUTC/T32A00OUTA/TSPI0SCK/UT0TXDB/PM0
17 PB0/BOOT_N/T32A010UTA/T32A010UTC/SCOUT
18 PB1/INT03/RXIN0/T32A01INA0/T32A01INC0/TRGIN0
19 PB2/UT2TXDA/UT2RXD/T32A01INA1/T32A01INC1
20 PB3/UT2RXD/UT2TXDA/T32A010UTB
21 PL0/UT2TXDA/UT2RXD/I2C2SCL/EI2C2SCL/TRST_N
22 PL1/UT2RXD/UT2TXDA/I2C2SDA/EI2C2SDA/TDI
23 PL2/UT2CTS_N/UT2RTS_N/T32A060UTB/TDO/SWV
24 PL3/INT08/UT2RTS_N/UT2CTS_N/T32A06INB0/TCK/SWCLK
25 PL4/INT12/T32A06INB1/TMS/SWDIO
26 DVDD5A
27 REGOUT2
28 REGOUT1
29 DVSSA
30 PH0/X1/EHCLKIN
31 PH1/X2
32 RESET_N
33 PH2/XT1
34 PH3/XT2/INT06
35 MODE
36 PC0/INT00/I2C0SCL/EI2C0SCL/T32A020UTA/T32A020UTC
37 PC1/INT01/I2C0SDA/EI2C0SDA/T32A021INA0/T32A021INC0
38 PC3/UT4TXDA/UT4RXD/T32A020UTB
39 PC4/UT4RXD/UT4TXDA/T32A021INB0
40 PN4/UT5TXDB/T32A051INB0
41 PN3/INT10/UT5TXDA/UT5RXD/T32A050UTB/TRG1N2
42 PN2/UT5RXD/UT5TXDA/T32A051INA1/T32A051INC1
43 PN1/UT5CTS_N/UT5RTS_N/T32A051INA0/T32A051INC0
44 PJ0/UT1TXDB/T32A030UTA/T32A030UTC/U00
45 PJ1/UT1TXDA/UT1RXD/T32A031INA0/T32A031INC0/X00
46 PJ2/UT1RXD/UT1TXDA/T32A031INA1/T32A031INC1/V00
47 PJ3/UT1CTS_N/UT1RTS_N/T32A030UTB/Y00
48 PJ4/INT04/UT1RTS_N/UT1CTS_N/T32A031INB0/W00
49 Z00/T32A03INB1/PJ5
50 EMG0/UT1TXDB/PK0
51 OVV0/UT1RXD/UT1TXDA/INT05/PK1
52 T32A040UTC/T32A040UTA/UT1TXDA/UT1RXD/PK2
53 T32A04INC0/T32A04INA0/UT1RTS_N/UT1CTS_N/PK3
54 T32A04INC1/T32A04INA1/UT1CTS_N/UT1RTS_N/PK4
55 T32A040UTB/UT6TXDA/UT6RXD/PK5
56 T32A04INB0/UT6RXD/UT6TXDA/PK6
57 INT14/PP3
58 AINA12/PF1
59 AINA11/PF0
60 AINA10/PE6
61 AINA09/PE5
62 AINA08/PE4
63 AINA07/PE3
64 AINA06/PE2

3. メモリーマップ

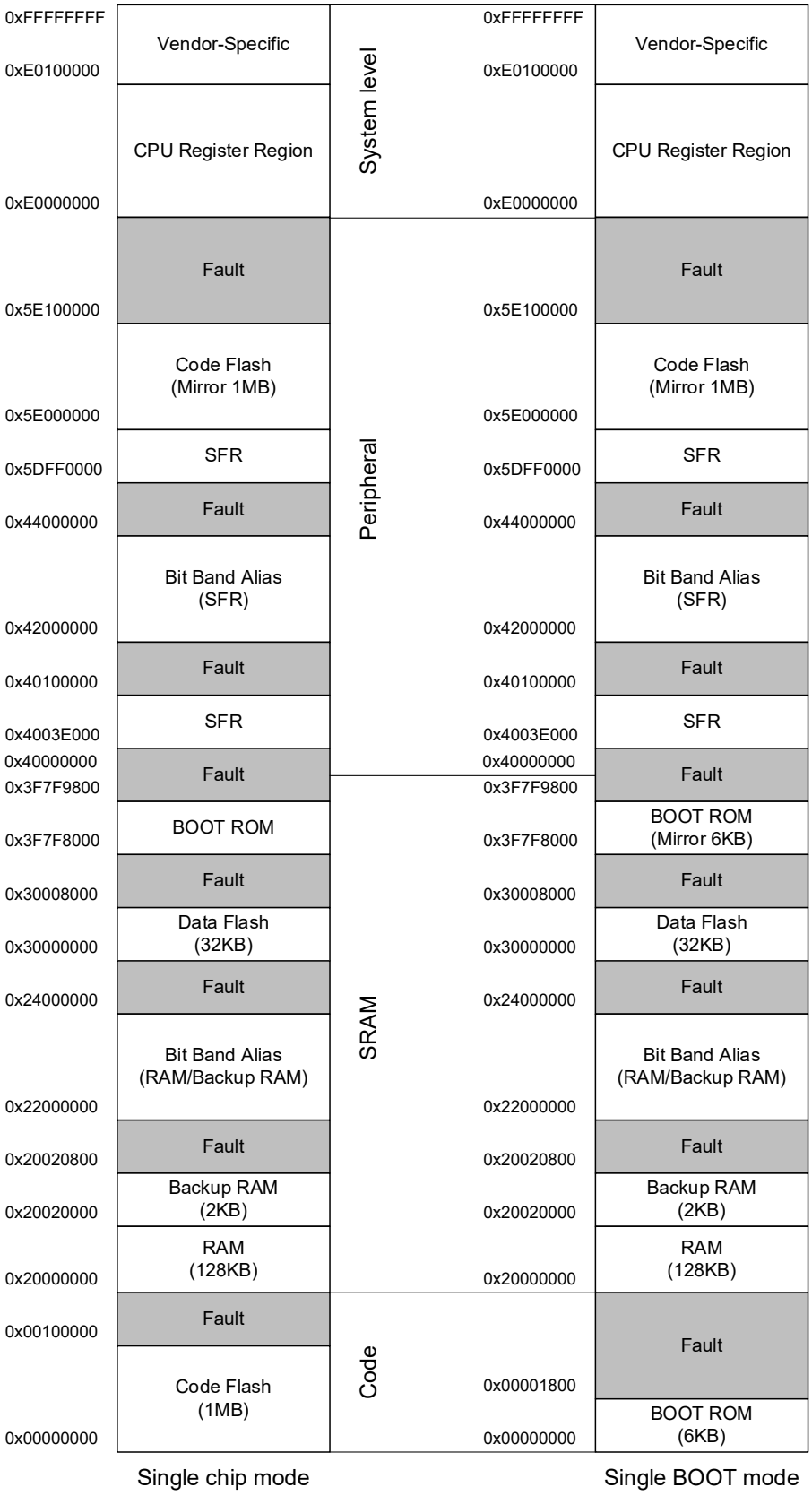


図 3.1 TMPM3HQF10BFGの例

注) シングルチップモードとシングルブートモードについては、リファレンスマニュアル「Flash メモリー」を参照ください。

3.1. メモリー容量一覧

表 3.1 メモリー容量とアドレス

Products			TMPM3HQF10BFG TMPM3HPF10BFG TMPM3HPF10BDFG TMPM3HNF10BFG TMPM3HNF10BDFG TMPM3HMF10BFG TMPM3HLF10BUG	TMPM3HNFDBFG
Peripheral region	Code Flash (Mirror)	Size	1MB	512KB
		START	0x5E000000	0x5E000000
		END	0x5E0FFFFF	0x5E07FFFF
SRAM region	Data Flash	Size	32KB	
		START	0x30000000	
		END	0x30007FFF	
	Backup RAM	Size	2KB	
		START	0x20020000	
		END	0x200207FF	
	RAM	Size	128KB	
		START	0x20000000	
		END	0x2001FFFF	
Code region	Code Flash	Size	1MB	512KB
		START	0x00000000	0x00000000
		END	0x000FFFFF	0x0007FFFF

4. 端子説明

4.1. 機能端子名称と機能

4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック制御と動作モード(CG)	SCOUT	Output	クロック出力端子
割り込み制御(IA/IB)	INTx	Input	外部割り込み入力端子 ノイズフィルター(フィルター幅 Typ. 30ns)を内蔵しています。
32 ビットタイマーイベントカウンター(T32A)	T32AxINA0	Input	16 ビットタイマーA インプットキャプチャー入力端子 0
	T32AxINA1	Input	16 ビットタイマーA インプットキャプチャー入力端子 1
	T32AxOUTA	Output	16 ビットタイマーA 出力端子
	T32AxINB0	Input	16 ビットタイマーB インプットキャプチャー入力端子 0
	T32AxINB1	Input	16 ビットタイマーB インプットキャプチャー入力端子 1
	T32AxOUTB	Output	16 ビットタイマーB 出力端子
	T32AxINC0	Input	32 ビットタイマー インプットキャプチャー入力端子 0
	T32AxINC1	Input	32 ビットタイマー インプットキャプチャー入力端子 1
	T32AxOUTC	Output	32 ビットタイマー出力端子
シリアルペリフェラルインターフェース(TSPI)	TSPIxCSIN	Input	TSPI チップセレクト入力端子
	TSPIxCS0	Output	TSPI チップセレクト出力端子 0
	TSPIxCS1	Output	TSPI チップセレクト出力端子 1
	TSPIxRXD	Input	TSPI データ入力端子
	TSPIxTXD	Output	TSPI データ出力端子
	TSPIxSCK	I/O	TSPI クロック入出力端子
非同期シリアル通信回路(UART)	UTxRXD	Input	UART データ入力端子
	UTxTXDA	Output	UART データ出力端子 A
	UTxTXDB	Output	UART データ出力端子 B
	UTxCTS_N	Input	UART 送信可能入力端子
	UTxRTS_N	Output	UART 送信要求出力端子
I^2C インターフェース(I2C/EI2C)	I2CxSDA/EI2CxSDA	I/O	I^2C インターフェースデータ入出力端子
	I2CxSCL/EI2CxSCL	I/O	I^2C インターフェースクロック入出力端子

Peripheral function	Pin name	Input or Output	Function
アドバンストプログラマブルモーター制御回路(A-PMD)	EMGx	Input	異常検出入力端子
	OVVx	Input	過電圧検出入力端子
	UOx	Output	U 相出力端子
	VOx	Output	V 相出力端子
	WOx	Output	W 相出力端子
	XOx	Output	X 相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z 相出力端子
	PMDxDBG	Output	PMD 動作ステータス出力端子
アドバンストエンコーダー入力回路(32-bit)(A-ENC32)	ENCxA	Input	エンコーダー入力端子 A
	ENCxB	Input	エンコーダー入力端子 B
	ENCxZ	Input	エンコーダー入力端子 Z
アナログデジタルコンバーター(ADC)	AINAx	Input	アナログ入力端子
デジタルアナログコンバーター(DAC)	DACx	Output	DAC 出力端子
トリガー入力	TRGINx	Input	外部トリガー入力端子
リモコン受信回路(RMC)	RXINx	Input	リモコンデータ入力端子
リアルタイムクロック(RTC)	RTCOUT	Output	1Hz クロック出力端子
LCD 表示制御回路(DLCD)	DCOMx	Output	コモン出力端子
	SEGx	Output	セグメント出力端子

注) 端子名称の"x"にはチャネル番号、ユニット番号、割り込み番号が入ります。

4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

デバッグ機能	端子名称	Input or Output	機能
JTAG	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
	TRST_N	Input	JTAG テストリセット入力端子
SW	SWDIO	I/O	シリアルワイヤデータ入出力端子
	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューアー出力端子
TRACE	TRACECLK	Output	トレースクロック出力端子
	TRACEDATA0	Output	トレースデータ出力端子 0
	TRACEDATA1	Output	トレースデータ出力端子 1
	TRACEDATA2	Output	トレースデータ出力端子 2
	TRACEDATA3	Output	トレースデータ出力端子 3

4.1.3. 制御端子

表 4.3 制御端子名称と機能

	端子名	Input or Output	機能
制御端子	X1	Input	高速発振子接続端子
	X2	Output	高速発振子接続端子
	XT1	Input	低速発振子接続端子
	XT2	Output	低速発振子接続端子
	EHCLKIN	Input	外部高速クロック入力端子
	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリー」を参照してください。
	RESET_N	Input	リセット信号入力端子
	MODE	Input	モード端子 必ず"Low"レベルに固定してください。

4.1.4. 電源端子

表 4.4 電源端子名称と機能

	端子名	機能
電源	DVDD5A(注 1) DVDD5B(注 1)	デジタル用電源端子 DVDD5A/B は下記の端子に電源を供給しています。 PA ~ PC、PG2 ~ PG7、PH ~ PV、MODE、RESET_N、BOOT_N 発振回路には、内蔵レギュレーターを経由して端子に電源を供給しています。 X1、X2、XT1、XT2
	DVSSA(注 2) DVSSB(注 2)	デジタル用 GND 端子
	REGOUT1(注 3) REGOUT2(注 3)	レギュレーター用コンデンサー接続端子(注 4) レギュレーター用コンデンサー接続端子(注 4)
	AVDD5	アナログ用電源端子、アナログ基準電源端子(VREFH)と兼用です AVDD5 は下記の端子に電源を供給しています。 PD、PE、PF、PG0 ~ 1
	AVSS	アナログ用 GND 端子、アナログ基準 GND 端子(VREFL)と兼用です。

注 1) DVDD5A、DVDD5B は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注 2) DVSSA、DVSSB は、端子が無い場合を除き外部で同電位の電圧を印加してください。

注 3) REGOUT1、REGOUT2 は、DVDD5A、DVDD5B や DVSSA、DVSSB とショートしないでください。

注 4) コンデンサー容量は「7.13 レギュレーター」を参照してください。

4.1.5. 電源間コンデンサー

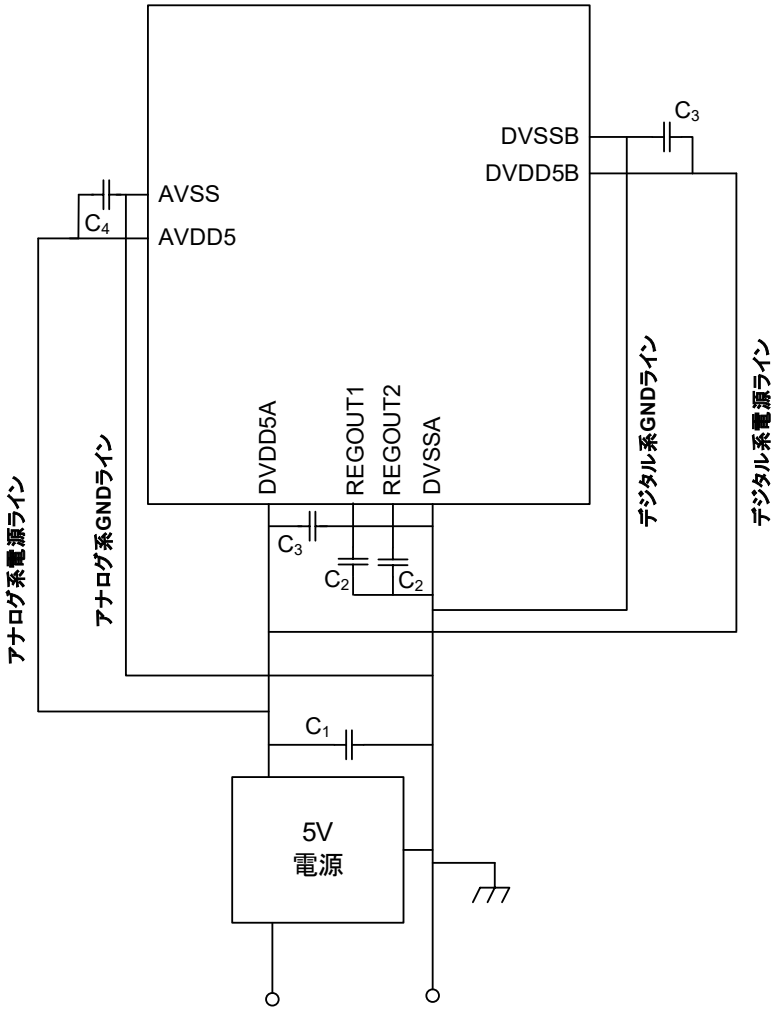


図 4.1 電源間コンデンサーの接続図

注 1) 5V 電源の出力端子近くに電源の出力コンデンサー(C_1)を配置してください。「7.7 リセット時内部処理特性」の電源傾斜の条件を満たす容量としてください。

注 2) 各 MCU 電源端子の近傍に電源-GND 間にバイパスコンデンサー(C_3、C_4:0.01 ~ 0.1μF 程度)を挿入してください。

注 3) 内蔵レギュレーター用コンデンサー接続端子(REGOUT1、REGOUT2)には電源安定用コンデンサー(C_2)を挿入してください。セラミックコンデンサーを推奨します。これらのコンデンサーは DVSSA 近傍に配置してください。コンデンサー容量は「7.13 レギュレーター」を参照してください。

注 4) デジタル電源からアナログ回路へのノイズ混入を抑制するため、アナログ電源ラインとデジタル電源ラインは 5V 電源出力端子の近くで分離してください。

注 5) 周辺回路からアナログ回路へのノイズ混入を抑制するため、アナログ電源系の入出力端子にフィルター回路やプルアップ/ダウン抵抗を挿入する場合は、それらの回路を構成する部品はアナログ電源ラインに接続してください。

注 6) 電源ラインと GND ラインとコンデンサーによるループ回路で受ける高周波ノイズなどを抑制するため、電源ラインと GND ラインは離さずに配線してください。

4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」

表 4.5 信号接続一覧(UART ch0、ch1)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT0TXDA	PA1	27	23	26	17	19	16	14
	PA2	26	22	25	16	18	15	13
	PM1	35	31	34	24	26	19	-
	PM2	34	30	33	23	25	18	-
UT0TXDB	PA0	28	24	27	18	20	17	15
	PM0	36	32	35	25	27	20	16
UT0RXD	PA2	26	22	25	16	18	15	13
	PA1	27	23	26	17	19	16	14
	PM2	34	30	33	23	25	18	-
	PM1	35	31	34	24	26	19	-
UT0CTS_N	PM3	33	29	32	22	24	-	-
	PM4	32	28	31	21	23	-	-
UT0RTS_N	PM4	32	28	31	21	23	-	-
	PM3	33	29	32	22	24	-	-
UT1TXDA	PJ1	105	92	95	72	74	57	45
	PJ2	106	93	96	73	75	58	46
	PK1	111	98	101	78	80	63	51
	PK2	112	99	102	79	81	64	52
UT1TXDB	PJ0	104	91	94	71	73	56	44
	PK0	110	97	100	77	79	62	50
UT1RXD	PJ2	106	93	96	73	75	58	46
	PJ1	105	92	95	72	74	57	45
	PK2	112	99	102	79	81	64	52
	PK1	111	98	101	78	80	63	51
UT1CTS_N	PJ3	107	94	97	74	76	59	47
	PJ4	108	95	98	75	77	60	48
	PK3	113	100	103	80	82	65	53
	PK4	114	101	104	81	83	66	54
UT1RTS_N	PJ4	108	95	98	75	77	60	48
	PJ3	107	94	97	74	76	59	47
	PK4	114	101	104	81	83	66	54
	PK3	113	100	103	80	82	65	53

表 4.6 信号接続一覧(UART ch2、ch3)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT2TXDA	PB2	39	35	38	28	30	23	19
	PB3	40	36	39	29	31	24	20
	PL0	47	41	44	34	36	26	21
	PL1	48	42	45	35	37	27	22
UT2RXD	PB3	40	36	39	29	31	24	20
	PB2	39	35	38	28	30	23	19
	PL1	48	42	45	35	37	27	22
	PL0	47	41	44	34	36	26	21
UT2CTS_N	PB4	41	37	40	30	32	25	-
	PB5	42	38	41	31	33	-	-
	PL2	49	43	46	36	38	28	23
	PL3	50	44	47	37	39	29	24
UT2RTS_N	PB5	42	38	41	31	33	-	-
	PB4	41	37	40	30	32	25	-
	PL3	50	44	47	37	39	29	24
	PL2	49	43	46	36	38	28	23
UT3TXDA	PA7	21	17	20	11	13	10	10
	PA6	22	18	21	12	14	11	11
	PG3	16	12	15	-	-	-	-
	PG2	15	11	14	-	-	-	-
UT3TXDB	PG4	17	13	16	-	-	-	-
UT3RXD	PA6	22	18	21	12	14	11	11
	PA7	21	17	20	11	13	10	10
	PG2	15	11	14	-	-	-	-
	PG3	16	12	15	-	-	-	-

表 4.7　信号接続一覧(UART ch4 ~ 7)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UT4TXDA	PC3	86	73	76	57	59	47	38
	PC4	87	74	77	58	60	48	39
	PV6	81	-	-	-	-	-	-
	PV7	82	-	-	-	-	-	-
UT4TXDB	PC2	85	72	75	56	58	46	-
	PV5	80	-	-	-	-	-	-
UT4RXD	PC4	87	74	77	58	60	48	39
	PC3	86	73	76	57	59	47	38
	PV7	82	-	-	-	-	-	-
	PV6	81	-	-	-	-	-	-
UT4CTS_N	PC5	88	75	78	59	61	49	-
	PC6	89	76	79	60	62	50	-
UT4RTS_N	PC6	89	76	79	60	62	50	-
	PC5	88	75	78	59	61	49	-
UT5TXDA	PN3	100	87	90	67	69	52	41
	PN2	101	88	91	68	70	53	42
UT5TXDB	PN4	99	86	89	66	68	51	40
UT5RXD	PN2	101	88	91	68	70	53	42
	PN3	100	87	90	67	69	52	41
UT5CTS_N	PN1	102	89	92	69	71	54	43
	PN0	103	90	93	70	72	55	-
UT5RTS_N	PN0	103	90	93	70	72	55	-
	PN1	102	89	92	69	71	54	43
UT6TXDA	PK6	116	103	106	83	85	68	56
	PK5	115	102	105	82	84	67	55
UT6TXDB	PK7	117	104	107	84	86	69	-
UT6RXD	PK5	115	102	105	82	84	67	55
	PK6	116	103	106	83	85	68	56
UT7TXDA	PR1	91	78	81	62	64	-	-
	PR0	90	77	80	61	63	-	-
UT7TXDB	PR2	92	79	82	63	65	-	-
UT7RXD	PR0	90	77	80	61	63	-	-
	PR1	91	78	81	62	64	-	-

表 4.8　信号接続一覧(I2C/EI2C ch0 ~ 3/TSPI ch0、ch1)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
I2C0SCL	PC0	83	70	73	54	56	44	36
I2C0SDA	PC1	84	71	74	55	57	45	37
I2C1SCL	PA4	24	20	23	14	16	13	-
I2C1SDA	PA5	23	19	22	13	15	12	-
I2C2SCL	PL0	47	41	44	34	36	26	21
I2C2SDA	PL1	48	42	45	35	37	27	22
I2C3SCL	PT1	61	51	54	-	-	-	-
I2C3SDA	PT0	62	52	55	-	-	-	-
EI2C0SCL	PC0	83	70	73	54	56	44	36
EI2C0SDA	PC1	84	71	74	55	57	45	37
EI2C1SCL	PA4	24	20	23	14	16	13	-
EI2C1SDA	PA5	23	19	22	13	15	12	-
EI2C2SCL	PL0	47	41	44	34	36	26	21
EI2C2SDA	PL1	48	42	45	35	37	27	22
EI2C3SCL	PT1	61	51	54	-	-	-	-
EI2C3SDA	PT0	62	52	55	-	-	-	-
TSPI0SCK	PM0	36	32	35	25	27	20	16
	PA0	28	24	27	18	20	17	15
TSPI0TXD	PM1	35	31	34	24	26	19	-
	PA1	27	23	26	17	19	16	14
TSPI0RXD	PM2	34	30	33	23	25	18	-
	PA2	26	22	25	16	18	15	13
TSPI0CS0	PM3	33	29	32	22	24	-	-
	PA3	25	21	24	15	17	14	12
TSPI0CS1	PM4	32	28	31	21	23	-	-
	PA4	24	20	23	14	16	13	-
TSPI0CSIN	PM3	33	29	32	22	24	-	-
	PA3	25	21	24	15	17	14	12
TSPI1SCK	PB2	39	35	38	28	30	23	-
TSPI1TXD	PB3	40	36	39	29	31	24	-
TSPI1RXD	PB4	41	37	40	30	32	25	-
TSPI1CS0	PB5	42	38	41	31	33	-	-
TSPI1CS1	PB6	43	39	42	32	34	-	-
TSPI1CSIN	PB5	42	38	41	31	33	-	-

表 4.9 信号接続一覧(TSPI ch2 ~ 4)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TSPI2SCK	PP0	63	53	56	41	43	31	-
	PT2	60	50	53	-	-	-	-
TSPI2TXD	PP1	64	54	57	42	44	32	-
	PT3	59	49	52	-	-	-	-
TSPI2RXD	PP2	65	55	58	43	45	33	-
	PT4	58	-	-	-	-	-	-
TSPI2CS0	PT1	61	51	54	-	-	-	-
TSPI2CS1	PT0	62	52	55	-	-	-	-
TSPI2CSIN	PT1	61	51	54	-	-	-	-
TSPI3SCK	PP5	120	107	110	87	89	72	-
TSPI3TXD	PP4	119	106	109	86	88	71	-
TSPI3RXD	PP3	118	105	108	85	87	70	-
TSPI3CS0	PP6	121	108	111	88	90	73	-
TSPI3CS1	PP7	122	109	112	89	91	-	-
TSPI3CSIN	PP6	121	108	111	88	90	73	-
TSPI4SCK	PH4	76	66	69	-	-	-	-
TSPI4TXD	PH5	77	67	70	-	-	-	-
TSPI4RXD	PH6	78	68	71	-	-	-	-

表 4.10　信号接続一覧(T32A ch0)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A00OUTA	PA0	28	24	27	18	20	17	15
	PM0	36	32	35	25	27	20	16
T32A00OUTB	PA3	25	21	24	15	17	14	12
	PM3	33	29	32	22	24	-	-
T32A00OUTC	PA0	28	24	27	18	20	17	15
	PM0	36	32	35	25	27	20	16
T32A00INA0	PA1	27	23	26	17	19	16	14
	PM1	35	31	34	24	26	19	-
T32A00INA1	PA2	26	22	25	16	18	15	13
	PM2	34	30	33	23	25	18	-
T32A00INB0	PA4	24	20	23	14	16	13	-
	PM4	32	28	31	21	23	-	-
T32A00INB1	PA5	23	19	22	13	15	12	-
	PM5	31	27	30	20	22	-	-
T32A00INC0	PA1	27	23	26	17	19	16	14
	PM1	35	31	34	24	26	19	-
T32A00INC1	PA2	26	22	25	16	18	15	13
	PM2	34	30	33	23	25	18	-

表 4.11　信号接続一覧(T32A ch1、ch2)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A01OUTA	PB0	37	33	36	26	28	21	17
	PP0	63	53	56	41	43	31	-
T32A01OUTB	PB3	40	36	39	29	31	24	20
T32A01OUTC	PB0	37	33	36	26	28	21	17
	PP0	63	53	56	41	43	31	-
T32A01INA0	PB1	38	34	37	27	29	22	18
	PP1	64	54	57	42	44	32	-
T32A01INA1	PB2	39	35	38	28	30	23	19
	PP2	65	55	58	43	45	33	-
T32A01INB0	PB4	41	37	40	30	32	25	-
T32A01INB1	PB5	42	38	41	31	33	-	-
T32A01INC0	PB1	38	34	37	27	29	22	18
	PP1	64	54	57	42	44	32	-
T32A01INC1	PB2	39	35	38	28	30	23	19
	PP2	65	55	58	43	45	33	-
T32A02OUTA	PC0	83	70	73	54	56	44	36
	PR0	90	77	80	61	63	-	-
T32A02OUTB	PC3	86	73	76	57	59	47	38
T32A02OUTC	PC0	83	70	73	54	56	44	36
	PR0	90	77	80	61	63	-	-
T32A02INA0	PC1	84	71	74	55	57	45	37
	PR1	91	78	81	62	64	-	-
T32A02INA1	PC2	85	72	75	56	58	46	-
	PR2	92	79	82	63	65	-	-
T32A02INB0	PC4	87	74	77	58	60	48	39
T32A02INB1	PC5	88	75	78	59	61	49	-
T32A02INC0	PC1	84	71	74	55	57	45	37
	PR1	91	78	81	62	64	-	-
T32A02INC1	PC2	85	72	75	56	58	46	-
	PR2	92	79	82	63	65	-	-

表 4.12　信号接続一覧(T32A ch3 ~ ch5)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A03OUTA	PJ0	104	91	94	71	73	56	44
T32A03OUTB	PJ3	107	94	97	74	76	59	47
T32A03OUTC	PJ0	104	91	94	71	73	56	44
T32A03INA0	PJ1	105	92	95	72	74	57	45
T32A03INA1	PJ2	106	93	96	73	75	58	46
T32A03INB0	PJ4	108	95	98	75	77	60	48
T32A03INB1	PJ5	109	96	99	76	78	61	49
T32A03INC0	PJ1	105	92	95	72	74	57	45
T32A03INC1	PJ2	106	93	96	73	75	58	46
T32A04OUTA	PK2	112	99	102	79	81	64	52
T32A04OUTB	PK5	115	102	105	82	84	67	55
T32A04OUTC	PK2	112	99	102	79	81	64	52
T32A04INA0	PK3	113	100	103	80	82	65	53
T32A04INA1	PK4	114	101	104	81	83	66	54
T32A04INB0	PK6	116	103	106	83	85	68	56
T32A04INB1	PK7	117	104	107	84	86	69	-
T32A04INC0	PK3	113	100	103	80	82	65	53
T32A04INC1	PK4	114	101	104	81	83	66	54
T32A05OUTA	PN0	103	90	93	70	72	55	-
T32A05OUTB	PN3	100	87	90	67	69	52	41
T32A05OUTC	PN0	103	90	93	70	72	55	-
T32A05INA0	PN1	102	89	92	69	71	54	43
T32A05INA1	PN2	101	88	91	68	70	53	42
T32A05INB0	PN4	99	86	89	66	68	51	40
T32A05INB1	PN5	98	85	88	65	67	-	-
T32A05INC0	PN1	102	89	92	69	71	54	43
T32A05INC1	PN2	101	88	91	68	70	53	42

表 4.13　信号接続一覧(T32A ch6、ch7)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
T32A06OUTA	PL5	52	46	49	39	41	-	-
	PT5	57	-	-	-	-	-	-
T32A06OUTB	PL2	49	43	46	36	38	28	23
	PT2	60	50	53	-	-	-	-
T32A06OUTC	PL5	52	46	49	39	41	-	-
	PT5	57	-	-	-	-	-	-
T32A06INA0	PL6	53	47	50	40	42	-	-
	PT6	56	-	-	-	-	-	-
T32A06INA1	PL7	54	48	51	-	-	-	-
	PT7	55	-	-	-	-	-	-
T32A06INB0	PL3	50	44	47	37	39	29	24
	PT3	59	49	52	-	-	-	-
T32A06INB1	PL4	51	45	48	38	40	30	25
	PT4	58	-	-	-	-	-	-
T32A06INC0	PL6	53	47	50	40	42	-	-
	PT6	56	-	-	-	-	-	-
T32A06INC1	PL7	54	48	51	-	-	-	-
	PT7	55	-	-	-	-	-	-
T32A07OUTA	PG2	15	11	14	-	-	-	-
T32A07OUTB	PG5	18	14	17	-	-	-	-
T32A07OUTC	PG2	15	11	14	-	-	-	-
T32A07INA0	PG3	16	12	15	-	-	-	-
T32A07INA1	PG4	17	13	16	-	-	-	-
T32A07INB0	PG6	19	15	18	-	-	-	-
T32A07INB1	PG7	20	16	19	-	-	-	-
T32A07INC0	PG3	16	12	15	-	-	-	-
T32A07INC1	PG4	17	13	16	-	-	-	-

表 4.14　信号接続一覧(ADC ch0 ~ 20/ DAC ch0、ch1)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
AINA00	PD0	6	6	9	6	8	5	5
AINA01	PD1	5	5	8	5	7	4	4
AINA02	PD2	4	4	7	4	6	3	3
AINA03	PD3	3	3	6	3	5	-	-
AINA04	PE0	2	2	5	2	4	2	2
AINA05	PE1	1	1	4	1	3	1	1
AINA06	PE2	144	128	3	100	2	80	64
AINA07	PE3	143	127	2	99	1	79	63
AINA08	PE4	142	126	1	98	100	78	62
AINA09	PE5	141	125	128	97	99	77	61
AINA10	PE6	140	124	127	96	98	76	60
AINA11	PF0	139	123	126	95	97	75	59
AINA12	PF1	138	122	125	94	96	74	58
AINA13	PF2	137	121	124	93	95	-	-
AINA14	PF3	136	120	123	92	94	-	-
AINA15	PF4	135	119	122	91	93	-	-
AINA16	PF5	134	118	121	90	92	-	-
AINA17	PF6	133	117	120	-	-	-	-
AINA18	PF7	132	116	119	-	-	-	-
AINA19	PD4	131	-	-	-	-	-	-
AINA20	PD5	130	-	-	-	-	-	-
DAC0	PG0	9	9	12	9	11	8	8
DAC1	PG1	10	10	13	10	12	9	9

表 4.15　信号接続一覧(INT 00 ~ 33)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
INT00	PC0	83	70	73	54	56	44	36
INT01	PC1	84	71	74	55	57	45	37
INT02	PC2	85	72	75	56	58	46	-
INT03	PB1	38	34	37	27	29	22	18
INT04	PJ4	108	95	98	75	77	60	48
INT05	PK1	111	98	101	78	80	63	51
INT06	PH3	74	64	67	52	54	42	34
INT07	PA6	22	18	21	12	14	11	11
INT08	PL3	50	44	47	37	39	29	24
INT09	PM2	34	30	33	23	25	18	-
INT10	PN3	100	87	90	67	69	52	41
INT11	PA7	21	17	20	11	13	10	10
INT12	PL4	51	45	48	38	40	30	25
INT13	PK7	117	104	107	84	86	69	-
INT14	PP3	118	105	108	85	87	70	57
INT15	PM6	30	26	29	19	21	-	-
INT16	PB7	44	40	43	33	35	-	-
INT17	PV2	125	112	115	-	-	-	-
INT18	PV3	126	113	116	-	-	-	-
INT19	PH4	76	66	69	-	-	-	-
INT20	PH5	77	67	70	-	-	-	-
INT21	PH6	78	68	71	-	-	-	-
INT22	PH7	79	69	72	-	-	-	-
INT23	PT0	62	52	55	-	-	-	-
INT24	PT1	61	51	54	-	-	-	-
INT25	PT2	60	50	53	-	-	-	-
INT26	PT3	59	49	52	-	-	-	-
INT27	PG2	15	11	14	-	-	-	-
INT28	PG3	16	12	15	-	-	-	-
INT29	PT7	55	-	-	-	-	-	-
INT30	PU0	45	-	-	-	-	-	-
INT31	PU1	46	-	-	-	-	-	-
INT32	PF3	136	120	123	92	94	-	-
INT33	PF2	137	121	124	93	95	-	-

表 4.16　信号接続一覧(A-PMD/A-ENC32/SCOUT/TRGIN/RMC/RTC)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
UO0	PJ0	104	91	94	71	73	56	44
XO0	PJ1	105	92	95	72	74	57	45
VO0	PJ2	106	93	96	73	75	58	46
YO0	PJ3	107	94	97	74	76	59	47
WO0	PJ4	108	95	98	75	77	60	48
ZO0	PJ5	109	96	99	76	78	61	49
EMG0	PK0	110	97	100	77	79	62	50
OVV0	PK1	111	98	101	78	80	63	51
ENC0A	PA0	28	24	27	18	20	17	15
ENC0B	PA1	27	23	26	17	19	16	14
ENC0Z	PA2	26	22	25	16	18	15	13
PMD0DBG	PP6	121	108	111	88	90	73	-
SCOUT	PB0	37	33	36	26	28	21	17
TRGIN0	PB1	38	34	37	27	29	22	18
TRGIN1	PA3	25	21	24	15	17	14	12
TRGIN2	PN3	100	87	90	67	69	52	41
RXIN0	PB1	38	34	37	27	29	22	18
RTCOUT	PC2	85	72	75	56	58	46	-

表 4.17　信号接続一覧(JTAG/SW/TRACE/発振/BOOT)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
TMS	PL4	51	45	48	38	40	30	25
TCK	PL3	50	44	47	37	39	29	24
TDO	PL2	49	43	46	36	38	28	23
TDI	PL1	48	42	45	35	37	27	22
TRST_N	PL0	47	41	44	34	36	26	21
SWDIO	PL4	51	45	48	38	40	30	25
SWCLK	PL3	50	44	47	37	39	29	24
SWV	PL2	49	43	46	36	38	28	23
TRACECLK	PM0	36	32	35	25	27	20	-
TRACEDATA0	PM1	35	31	34	24	26	19	-
TRACEDATA1	PM2	34	30	33	23	25	18	-
TRACEDATA2	PM3	33	29	32	22	24	-	-
TRACEDATA3	PM4	32	28	31	21	23	-	-
X1	PH0	70	60	63	48	50	38	30
X2	PH1	71	61	64	49	51	39	31
XT1	PH2	73	63	66	51	53	41	33
XT2	PH3	74	64	67	52	54	42	34
EHCLKIN	PH0	70	60	63	48	50	38	30
BOOT_N	PB0	37	33	36	26	28	21	17

表 4.18　信号接続一覧(DLCD)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
DCOM0	PC3	86	73	76	57	59	47	-
DCOM1	PC2	85	72	75	56	58	46	-
DCOM2	PC1	84	71	74	55	57	45	-
DCOM3	PC0	83	70	73	54	56	44	-
SEG00	PV3	126	113	116	-	-	-	-
SEG01	PV2	125	112	115	-	-	-	-
SEG02	PV1	124	111	114	-	-	-	-
SEG03	PV0	123	110	113	-	-	-	-
SEG04	PP7	122	109	112	89	91	-	-
SEG05	PP6	121	108	111	88	90	73	-
SEG06	PP5	120	107	110	87	89	72	-
SEG07	PP4	119	106	109	86	88	71	-
SEG08	PP3	118	105	108	85	87	70	-
SEG09	PK7	117	104	107	84	86	69	-
SEG10	PK6	116	103	106	83	85	68	-
SEG11	PK5	115	102	105	82	84	67	-
SEG12	PK4	114	101	104	81	83	66	-
SEG13	PK3	113	100	103	80	82	65	-
SEG14	PK2	112	99	102	79	81	64	-
SEG15	PK1	111	98	101	78	80	63	-
SEG16	PK0	110	97	100	77	79	62	-
SEG17	PJ5	109	96	99	76	78	61	-
SEG18	PJ4	108	95	98	75	77	60	-
SEG19	PJ3	107	94	97	74	76	59	-
SEG20	PJ2	106	93	96	73	75	58	-
SEG21	PJ1	105	92	95	72	74	57	-
SEG22	PJ0	104	91	94	71	73	56	-
SEG23	PN0	103	90	93	70	72	55	-
SEG24	PN1	102	89	92	69	71	54	-
SEG25	PN2	101	88	91	68	70	53	-
SEG26	PN3	100	87	90	67	69	52	-
SEG27	PN4	99	86	89	66	68	51	-
SEG28	PN5	98	85	88	65	67	-	-
SEG29	PR7	97	84	87	-	-	-	-
SEG30	PR6	96	83	86	-	-	-	-
SEG31	PR5	95	82	85	-	-	-	-
SEG32	PR4	94	81	84	-	-	-	-

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
SEG33	PR3	93	80	83	64	66	-	-
SEG34	PR2	92	79	82	63	65	-	-
SEG35	PR1	91	78	81	62	64	-	-
SEG36	PR0	90	77	80	61	63	-	-
SEG37	PC6	89	76	79	60	62	50	-
SEG38	PC5	88	75	78	59	61	49	-
SEG39	PC4	87	74	77	58	60	48	-

表 4.19　信号接続一覧(汎用ポート、制御、電源)

兼用機能端子名	ポート名	M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	M3HM (LQFP80)	M3HL (LQFP64)
-	PM7	29	25	28	-	-	-	-
-	PU2	14	-	-	-	-	-	-
-	PU3	13	-	-	-	-	-	-
-	PU4	12	-	-	-	-	-	-
-	PU5	11	-	-	-	-	-	-
-	PV4	127	-	-	-	-	-	-
RESET_N	-	72	62	65	50	52	40	32
MODE	-	75	65	68	53	55	43	35
AVDD5	-	7	7	10	7	9	6	6
AVSS	-	8	8	11	8	10	7	7
DVDD5A	-	66	56	59	44	46	34	26
DVDD5B	-	128	114	117	-	-	-	-
DVSSA	-	69	59	62	47	49	37	29
DVSSB	-	129	115	118	-	-	-	-
REGOUT1	-	68	58	61	46	48	36	28
REGOUT2	-	67	57	60	45	47	35	27

4.3. ポート

表中の記号の意味は下記のとおりです。

ポートの右側は仕様を記号で示しています。

- Input/Output: ポートの入出力
  Input: 入力
  Output: 出力
  I/O: 入出力

- PU/PD: プログラマブルプルアップ/プルダウン対応
  PU: プログラマブルプルアップ選択可能
  PD: プログラマブルプルダウン選択可能

- OD: プログラマブルオープンドレイン出力対応
  YES: 対応
  NO: 非対応

- 5V_T: 5V トレラント対応
  YES: 対応
  N/A: 非対応

- SMT/CMOS:入力ゲート
  SMT: シュミット入力
  CMOS: CMOS 入力

- リセット中の状態: リセット期間中の端子状態です
  Hi-Z: ハイインピーダンス
  PU: プルアップ
  PD: プルダウン

- リセット後の状態: リセット解除直後の端子状態です
  Hi-Z: ハイインピーダンス
  PU: プルアップ
  PD: プルダウン

4.3.1. ポート仕様一覧

表 4.20 ポートA、B、C、D、Eのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PA0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA4	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PA5	I/O	PU/PD	YES	YES	SMT	Hi-Z	Hi-Z
PA6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PA7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB0	Output	PU/PD (注)	YES	N/A	SMT	Hi-Z (注)	Hi-Z
PB1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PB7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PC6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PD5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PE6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

注) BOOT_N 端子と兼用です。RESET_N 端子 ＝"Low"レベルの時プルアップ(PU)となります。
RESET_N 端子 ＝"High"レベルの時に内部リセットがかかった場合は Hi-Z です。

表 4.21　ポートF、G、H、J、Kのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PF0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PF7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PG7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH0	Input	PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH1	Input	PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH2	Input	PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH3	Input	PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PH7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PJ5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PK7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

表 4.22　ポートL、M、N、P、Rのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PL0	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PL1	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PL2	I/O	PU/PD	YES	N/A	SMT	Hi-Z(注)	Hi-Z(注)
PL3	I/O	PU/PD	YES	N/A	SMT	PD(注)	PD(注)
PL4	I/O	PU/PD	YES	N/A	SMT	PU(注)	PU(注)
PL5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PL7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PM7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PN5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PP7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PR7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

注) 初期値はデバッグ用端子に割り当てられています。
(PL4:TMS/SWDIO、PL3:TCK/SWCLK、PL2:TDO/SWV、PL1:TDI、PL0:TRST_N)

表 4.23　ポートT、U、Vのポート名、仕様

ポート名	Input/Output	PU/PD	OD	5V_T	SMT/CMOS	リセット中の状態	リセット後の状態
PT0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PT7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PU5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV0	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV1	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV2	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV3	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV4	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV5	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV6	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z
PV7	I/O	PU/PD	YES	N/A	SMT	Hi-Z	Hi-Z

5. 機能説明・動作説明

5.1. リファレンスマニュアル

TMPM3H グループ(2)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM3Hグループ(2)リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出力ポート(TMPM3H グループ(2))	PORT-M3H(2)	システム
例外(TMPM3H グループ(2))	EXCEPT-M3H(2)	システム
クロック制御と動作モード(TMPM3H グループ(2))	CG-M3H(2)-D	システム
製品個別情報(TMPM3H グループ(2))	PINFO-M3H(2)	システム
フラッシュメモリー (コードフラッシュ: 1MB/512KB、データフラッシュ: 32KB)	FLASH10MUD32-A	周辺機能
トリミング回路	TRM-B	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-D	周辺機能
デジタルノイズフィルター回路	DNF-A	周辺機能
デバッグインターフェース	DEBUG-A	周辺機能
DMA コントローラー	DMAC-B	周辺機能
非同期シリアル通信回路	UART-C	周辺機能
シリアルペリフェラルインターフェース	TSPI-E	周辺機能
I^2C インターフェース	I2C-B	周辺機能
I^2C インターフェース バージョン A	EI2C-A	周辺機能
8 ビットデジタルアナログコンバーター	DAC-B	周辺機能
12 ビットアナログデジタルコンバーター	ADC-G	周辺機能
コンパレーター	COMP-C	周辺機能
アドバンストプログラマブルモーター制御回路	A-PMD-B	周辺機能
アドバンストエンコーダー入力回路(32-bit)	A-ENC32-A	周辺機能
LCD 表示制御回路	DLCD-A	周辺機能
32 ビットタイマーイベントカウンター	T32A-C	周辺機能
リアルタイムクロック	RTC-A	周辺機能
クロック選択式ウオッチドッグタイマー	SIWDT-A	周辺機能
リモコン受信回路	RMC-A	周辺機能
CRC 計算回路	CRC-A	周辺機能
RAM パリティー	RAMP-A	周辺機能

5.2. プロセッサーコア

TMPM3H グループ(2)には、高性能 32 ビットプロセッサーコア(Arm 社 Cortex-M3 コア)が内蔵されています。

プロセッサーコアの動作については、Arm 社からリリースされている"Cortex-M シリーズプロセッサーの Arm ドキュメンテーションセット"を参照してください。この章では、製品固有の情報について説明します。

5.2.1. コアに関する情報

TMPM3H グループ(2)で使用している Cortex-M3 コアのリビジョンは以下のとおりです。
CPU コア部、アーキテクチャーなどの詳細は、Arm 社のホームページよりドキュメントを参照してください。

表 5.2 コアリビジョン

グループ名	コアリビジョン
TMPM3H グループ(2)	r2p1

5.2.2. 構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。
TMPM3H グループ(2)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FPB	リテラルコンパレーター: 2 本 命令コンパレーター: 6 本
DWT	コンパレーター: 4 本
ITM	あり
MPU	あり
ETM	あり
AHB-AP	あり
AHB トレースマクロセルインターフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

5.3. クロック制御回路と動作モード(CG)

CG は、クロックギアやプリスケーラークロックの選択、発振器のウオーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振器: 10MHz
- 外部高速発振器と内部高速発振器が選択可能
- PLL(逓倍回路): 高速発振器の周波数に合わせて倍率を変更して 120MHz 出力可能
- クロックギア:
  高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック(fsys)として選択可能。
- 低消費電力モード:
  - IDLE: CPU だけが停止します。周辺機能は動作または停止が可能です。
  - STOP1: 幾つかの周辺回路を除いて、STOP1 モードでは内蔵発振器も含めて全ての内部回路が停止します。設定によって、低周波クロックは、RTC、RMC、DLCD に供給が可能です。
  - STOP2: 幾つかの周辺回路を動作させて、電源供給を遮断します。設定によって、低周波クロックは、RTC、DLCD へ供給が可能です。I^2C インターフェースのアドレス一致ウエイクアップ機能は使用することができます。

5.4. フラッシュメモリー(コードフラッシュ、データフラッシュ)

コードフラッシュは命令コードを格納し、CPU がリードして実行します。データフラッシュはデータを格納し、電源が遮断されてもデータが消えません。

コードフラッシュには 2 つのエリアがあり、1 つのエリアで命令を実行しながら、別のエリアを書き換えることが可能なデュアルモードを搭載しています。(コードフラッシュサイズが 1MB の製品のみ)

コードフラッシュで命令を実行しながら、データフラッシュを書き換えることが可能なデュアルモードを搭載しています。データフラッシュへのデータ保存時にもコードフラッシュ上でアプリプログラムの実行を継続することができます。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第 3 者によるプログラムコードの読み出しを禁止するセキュリティー機能などを搭載しています。

5.5. 発振器

下記の発振器をもちます。

- 外部高速発振器(EHOSC):
  外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。
- 外部低速発振器(ELOSC):
  外部に 32.768kHz のクリスタル発振子を接続して、時計用クロックや低消費動作時の源発振に使用します。
- 内蔵高速発振器 1(IHOSC1):
  10MHz の発振器です。システムクロックの源発振に使用します。
- 内蔵高速発振器 2(IHOSC2):
  10MHz の発振器です。OFD、SIWDT のカウントクロックの源発振に使用します。

表 5.4 搭載発振器

	M3HQ	M3HP	M3HN	M3HM	M3HL
EHOSC	○	○	○	○	○
ELOSC	○	○	○	○	○
IHOSC1	○	○	○	○	○
IHOSC2	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.6. トリミング回路(TRM)

内蔵高速発振器 1(IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
TRM	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.7. 周波数検知回路(OFD)

周波数検知回路(OFD)はクロックの異常を検知します。計測対象として外部高速発振クロック(f_{EHOSC})または高速クロック(fc)のどちらかを選択できます。内蔵の基準クロック(f_{IHOSC2})を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
OFD	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.8. 電圧検知回路(LVD)

電圧検知回路(LVD)は、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は 8 種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
LVD	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.9. デジタルノイズフィルター回路(DNF)

DNF は外部割り込み入力に搭載したデジタルノイズフィルター回路です。外部割り込み信号 INTx の "High" レベル/"Low" レベル入力ともにノイズを除去します。

表 5.8 外部割り込み数(DNF搭載数)

	M3HQ	M3HP	M3HN	M3HM	M3HL
外部 割り込み数	34	31	19	15	12

5.10. デバッグインターフェース(DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート(SWCLK、SWDIO)と、JTAG デバッグポート(TDI、TDO、TMS、TCK、TRST_N)の 2 種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック(TRACECLK)とトレース出力(TRACEDATA0～3)があります。

表 5.9 デバッグインターフェース搭載一覧

デバッグ端子(信号名)	ポート	M3HQ	M3HP	M3HN	M3HM	M3HL
SWDIO	PL4	○	○	○	○	○
TMS						
SWCLK	PL3	○	○	○	○	○
TCK						
SWV	PL2	○	○	○	○	○
TDO						
TDI	PL1	○	○	○	○	○
TRST_N	PL0	○	○	○	○	○
TRACECLK	PM0	○	○	○	○	-
TRACEDATA0	PM1	○	○	○	○	-
TRACEDATA1	PM2	○	○	○	○	-
TRACEDATA2	PM3	○	○	○	-	-
TRACEDATA3	PM4	○	○	○	-	-

注) ○: 搭載、-: 非搭載

5.11. DMA コントローラー(DMAC)

DMAC は、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを移動させることができる周辺機能です。これらの動作は CPU 制御と別に行われるため、DMA を使用することで、CPU の負荷を著しく減らすことができます。

TMPM3H グループ(2)製品は、DMA コントローラー(DMAC)を 2 ユニット搭載しており、ユニット当たり最大 32 チャネルの起動要因があります。

表 5.10 DMAC搭載一覧

UNIT	M3HQ	M3HP	M3HN	M3HM	M3HL
UNIT A	○	○	○	○	○
UNIT B	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.12. 非同期シリアル通信回路(UART)

UART は、非同期シリアル通信機能です。7、8、9 ビットのデータ長、パリティー有無、STOP ビット長を選択できます。MSB ファースト/LSB ファーストの選択、データ極性の反転の他に TXD/RXD の端子入れ替えができます(ポート設定による)。FIFO バッファーは、送信で×8 段、受信で×8 段を内蔵しています。また、CTS/RTS による通信制御やハーフクロックモードをサポートしています。

表 5.11 UART搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○
Channel 2	○	○	○	○	○
Channel 3	○	○	○	○	○
Channel 4	○	○	○	○	○
Channel 5	○	○	○	○	○
Channel 6	○	○	○	○	○
Channel 7	○	○	○	-	-

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.13. シリアルペリフェラルインターフェース(TSPI)

TSPI は通信時に CS(チップセレクト)信号を使用する SPI 方式と、CS 信号を使用しない SIO 方式の 2 つの通信方式に対応し、他のデバイスと高速なシリアル転送が可能な通信機能です。データ長は、7 ビット(パリティーあり)から 32 ビット(パリティーなし)まで 1 ビット単位で変更可能です。受信，送信ともに 16 ビットの FIFO が 8 段あります。マスター、スレーブに対応します。また、フレームモード(フレーム長(8 ~ 32bit))か、セクターモード(2 ~ 4 セクターで、フレーム長(8 ~ 128bit)を構成)が使用できます。

表 5.12 TSPI搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	-
Channel 2	○	○	○	○	-
Channel 3	○	○	○	○	-
Channel 4	○	○	-	-	-

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.14. I²C インターフェース

下表は、I²C インターフェース搭載一覧です。
I2C と EI2C は同じチャネルにアサインされており、同一端子で同時に使用することはできません。

表 5.13 I²C搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0 (注 2)	○	○	○	○	○
Channel 1	○	○	○	○	-
Channel 2	○	○	○	○	○
Channel 3	○	○	-	-	-

注 1) ○: 搭載、-: 非搭載
注 2) アドレス一致ウエイクアップ機能あり

5.14.1. I²C インターフェース(I2C)

I2C は二線式双方向シリアル通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。また、通信スピードは標準モード(最大 100kHz)、ファストモード(最大 400kHz)に対応しています。7-bit スレーブアドレスに対応します。

設定により IDLE, STOP1 や STOP2 などの低消費電力モードでもデータを受信動作できます。また、チャネル 0 にはスレーブアドレス一致で低消費電力モードから復帰するアドレス一致ウエイクアップ機能があります。

5.14.2. I²C インターフェース バージョン A(EI2C)

I²C インターフェースバージョン A は、I²C インターフェースの二線式双方向シリアル通信機能と互換ある通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。また、通信スピードは標準モード(最大 100kHz)、ファストモード(最大 400kHz)、ファストモードプラス(最大 1MHz)に対応しています。また 7-bit スレーブアドレスに加えて、10-bit スレーブアドレスも対応しています。

設定により IDLE, STOP1 や STOP2 などの低消費電力モードでもデータを受信動作できます。

なお、チャネル 0 にはスレーブアドレス一致で低消費電力モードから復帰するアドレス一致ウエイクアップ機能があります。

5.15. 8 ビットデジタルアナログコンバーター(DAC)

DAC は、設定した電圧を出力することができる R-2R 型の 8 ビットのデジタルアナログコンバーターです。バッファーアンプは非搭載です。

チャネル 0(DAC0)は、コンパレーター(COMP)の基準電圧(VREFC)としても使用可能です。

表 5.14 DAC搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.16. 12 ビットアナログデジタルコンバーター(ADC)

ADC は、12 ビット逐次変換方式のアナログ/デジタルコンバーター(AD コンバーター)です。最大 21 チャネルのアナログ入力に対応します。変換結果レジスターとアナログ入力の組み合わせは、AD 変換の開始要因ごとにプログラム可能です(最大 24 個)。アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(A-PMD のトリガー出力、タイマー/イベントカウンター出力、ポート入力)から選択できます。特に A-PMD と連携することでモーターを容易に制御することができます。

また、変換結果監視機能があり、比較条件と一致した場合に割り込み要求を発生させることができます。2 種類のサンプリング時間設定が可能で、AIN チャネルごとに選択可能です。

表 5.15 ADC搭載一覧

UNIT	M3HQ	M3HP	M3HN	M3HM	M3HL
UNIT A	○	○	○	○	○

注) ○: 搭載、-: 非搭載

表 5.16 アナログ入力数

	M3HQ	M3HP	M3HN	M3HM	M3HL
アナログ入力数	21	19	17	12	12

5.17. コンパレーター(COMP)

コンパレーターはアナログ入力値と内蔵 8 ビット DAC の出力値を比較して、比較結果を A-PMD の EMG 入力へ出力します。

表 5.17 コンパレーター搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.18. アドバンストプログラマブルモーター制御回路(A-PMD)

アドバンストプログラマブルモーター制御回路(A-PMD)は、ブラシレス DC モーターを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3 相相補 PWM 出力や ADC と連携してモーター制御用の波形を容易に発生できます。

また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。

表 5.18 A-PMD搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.19. アドバンストエンコーダー入力回路(32-bit) (A-ENC32)

アドバンストエンコーダー入力回路(A-ENC32)は、インクリメンタル型エンコーダーに対応し、モーターの位置を容易に得ることができます。信号の入力端子にノイズキャンセラーが内蔵されているので、インクリメンタルエンコーダー、ホールセンサーの信号を直接入力することができます。

エンコーダーモード、センサーモード(3 種類)、タイマーモードおよび位相カウンターモードの 6 つの動作モードに対応しています。

表 5.19 A-ENC32搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.20. LCD 表示制御回路(DLCD)

LCD 表示制御回路(DLCD)は、ノンバイアス駆動方式に対応した、セグメント表示の LCD 表示制御回路です。最大 40 セグメント ×4 コモンの LCD パネルを駆動可能です。

表 5.20 DLCD搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
セグメント構成	40 セグメント × 4 コモン	40 セグメント × 4 コモン	32 セグメント × 4 コモン	26 セグメント × 4 コモン	-
制御方式	ノンバイアス駆動方式				-

5.21. 32 ビットタイマーイベントカウンター(T32A)

T32A は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンターです。32 ビットタイマーか 16 ビットタイマーかどちらで動作するか選択が可能です。32 ビットタイマーの場合、32 ビットカウンターのタイマーC として動作します。16 ビットタイマーの場合、16 ビットカウンターのタイマーA とタイマーB の構成で動作します。

インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンター入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

表 5.21 T32A搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel 0	○	○	○	○	○
Channel 1	○	○	○	○	○
Channel 2	○	○	○	○	○
Channel 3	○	○	○	○	○
Channel 4	○	○	○	○	○
Channel 5	○	○	○	○	○
Channel 6	○	○	○	○	○
Channel 7	○	○	○	○	○

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.22. リアルタイムクロック(RTC)

リアルタイムクロック(RTC)は秒カウンターをもち、時計機能、うるう年対応のカレンダー機能を実現できる周辺機能です。アラーム機能は、あらかじめ設定した日時に割り込み要求を発生することができます。

RTC は低周波クロックで動作するため、設定により IDLE、STOP1 や STOP2 などの低消費電力モードでも動作します。また、RTC の割り込み要求で低消費電力モードからの復帰が可能です。

クロック補正機能により、低周波発振周波数の誤差による時計の進みや遅れを簡単に補正することができます。

表 5.22 RTC搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
RTC	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.23. クロック選択式ウオッチドッグタイマー(SIWDT)

クロック選択式ウオッチドッグタイマー(SIWDT)は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンターをクリアできなかった場合、カウンターのオーバーフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウントクロックとして、システムクロック(fsys/4)の他に内蔵発振器 1(f_{IHOSC1})，内蔵発振器 2(f_{IHOSC2})の 3 つから選択が可能です。

指定された期間のみカウントクリアが可能な、カウントクリアウインドウ機能があります。

また、プロテクトモードに設定することでリセットがかかるまでレジスターの変更を禁止することができます(カウンタークリアは可能)。

表 5.23 SIWDT搭載一覧

	M3HQ	M3HP	M3HN	M3HM	M3HL
SIWDT	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.24. リモコン受信回路(RMC)

RMC は、搬送波が取り除かれたリモコン信号の受信を行う機能です。リーダー信号を検出し、72 ビット分のデータを一括して受信できます。受信できるデータのフォーマットは、同期方式、同期固定の位相方式の 2 種類です。

また、デジタル式のノイズキャンセラーを内蔵しているため外乱ノイズを防ぐことができます。

RMC は低周波クロックでも動作可能で、設定により IDLE，STOP1 など(STOP2 は除く)の低消費電力モードでも動作します。また、RMC の割り込み要求で低消費電力モードからの復帰が可能です。

表 5.24 RMC搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel0	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.25. CRC 計算回路(CRC)

CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリーや通信データを処理してエラーを検出することに使用できます。

表 5.25 CRC計算回路搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
Channel0	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.26. RAM パリティー(RAMP)

RAM へのライト時に偶数パリティーデータを生成(8 ビット単位)して格納し、リード時にはパリティー判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。パリティー生成/判定はハードウェアなので、リアルタイムでパリティーエラーを検出することができます。

表 5.26 RAMパリティー回路搭載一覧

Channel	M3HQ	M3HP	M3HN	M3HM	M3HL
RAMP	○	○	○	○	○

注) ○: 搭載、-: 非搭載

5.27. セキュリティーリスク対策

5.27.1. 概要

TMPM3H グループ(2)は、不正なアクセスを防ぐことを目的としたセキュリティーリスク対策として２つの機能を実装しています。動作モードごとに想定するアクセス経路と保護対象を、表 5.27、表 5.28、図 5.1 に示します。

機能の詳細は、「フラッシュメモリー」のリファレンスマニュアルを参照してください

(1) セキュリティー機能
セキュリティー機能は、デバッグツールとの通信を禁止します。また、フラッシュライターによるフラッシュメモリーの読み出しと書き込みを禁止します。

表 5.27 アクセス経路と保護対象(1)

動作モード	アクセス経路	保護対象
シングルチップモード シングルブートモード	JTAG/SW	CPU FLASH/ROM/RAM
フラッシュライターモード	フラッシュライター	FLASH

(2) RAM 転送コマンドにおけるパスワード
シングルブートモードは、UART 通信でコマンドを送信することで動作します。
RAM 転送コマンドに対しては、パスワードによる認証が行われます。

表 5.28 アクセス経路と保護対象(2)

動作モード	アクセス経路	保護対象
シングルブートモード	UART	CPU FLASH/ROM/RAM

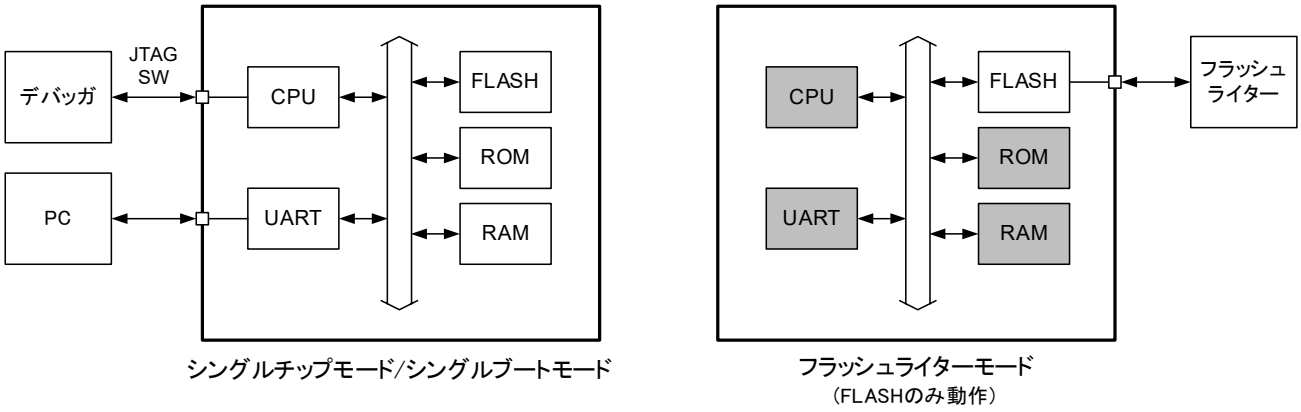


図 5.1 セキュリティーリスク対策

注) ノンブレークデバッグインターフェース(NBDIF)搭載製品について、セキュリティー機能は NBDIF の通信を禁止しないため、***[NBDCR0]***<NBDEN>で禁止してください。

5.27.2. 免責事項

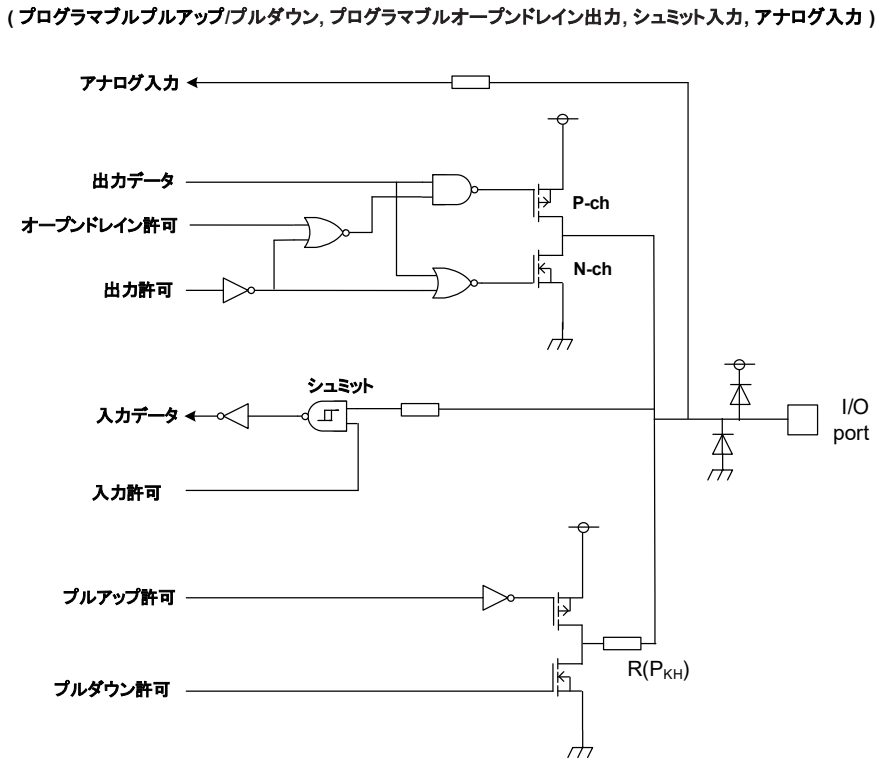
巻末の「製品取り扱い上のお願い」を確認ください。

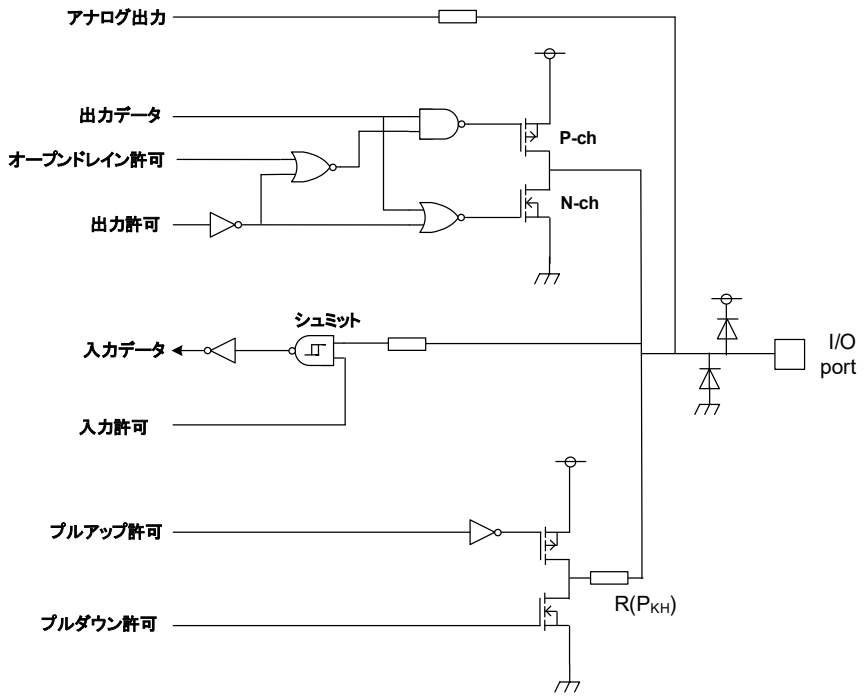
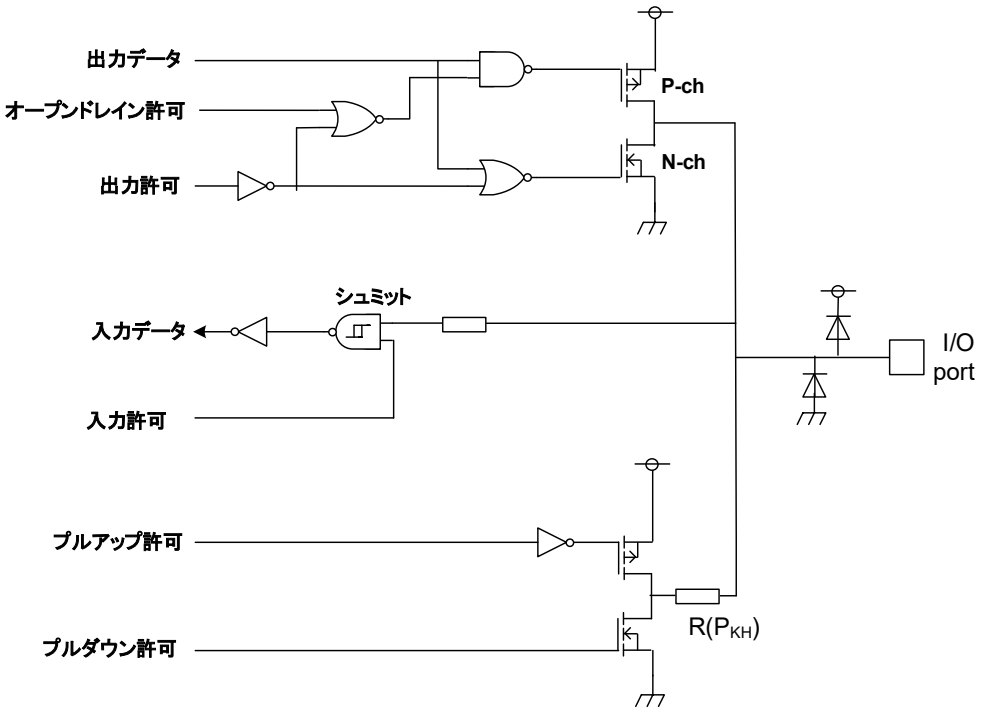
6. 等価回路図

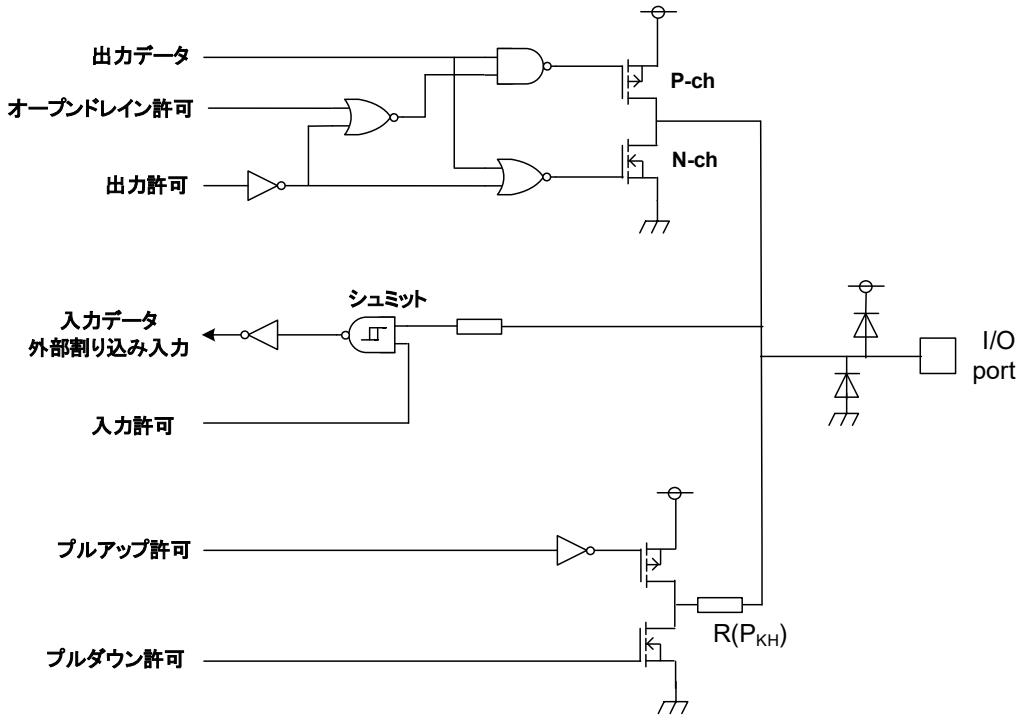
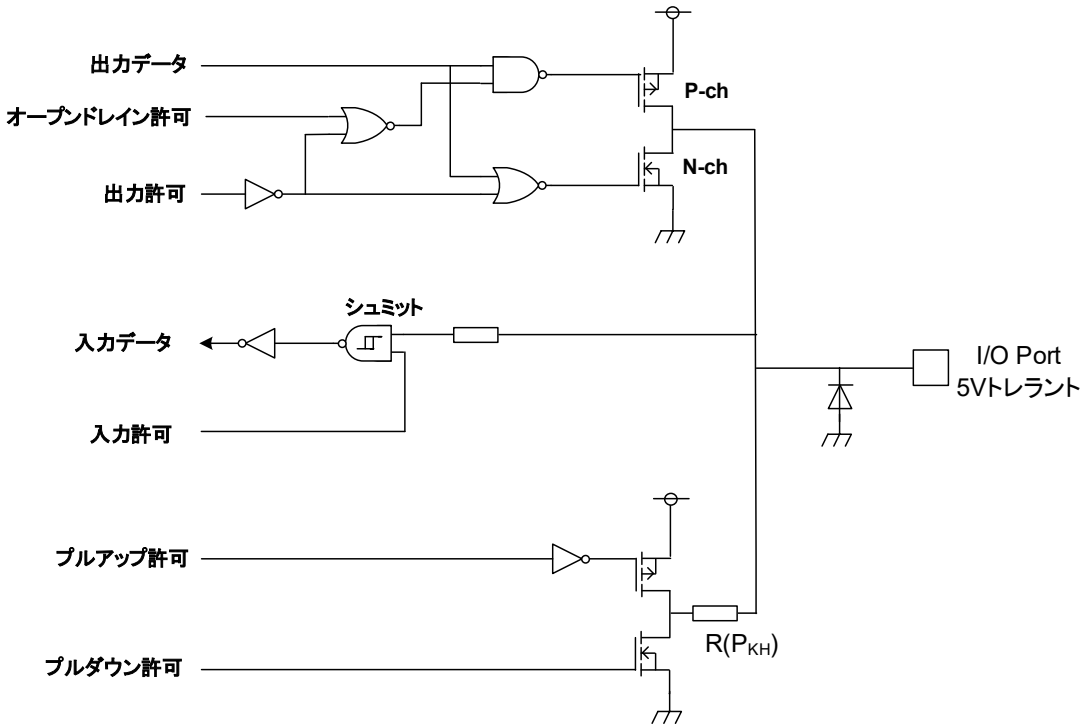
ポート等価回路図は、基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十 Ω ~数百 Ω 程度です。

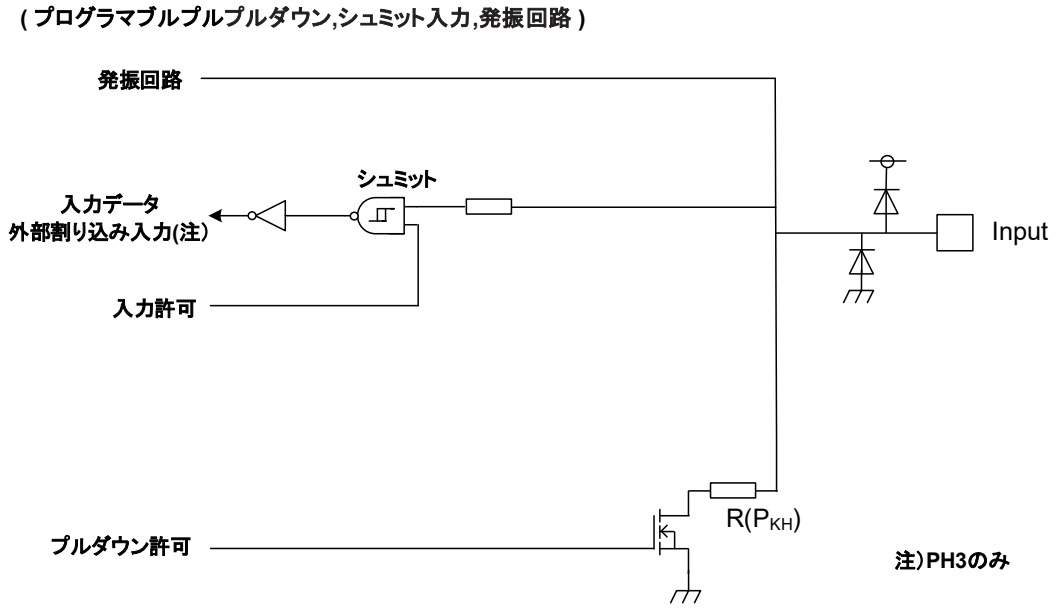
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

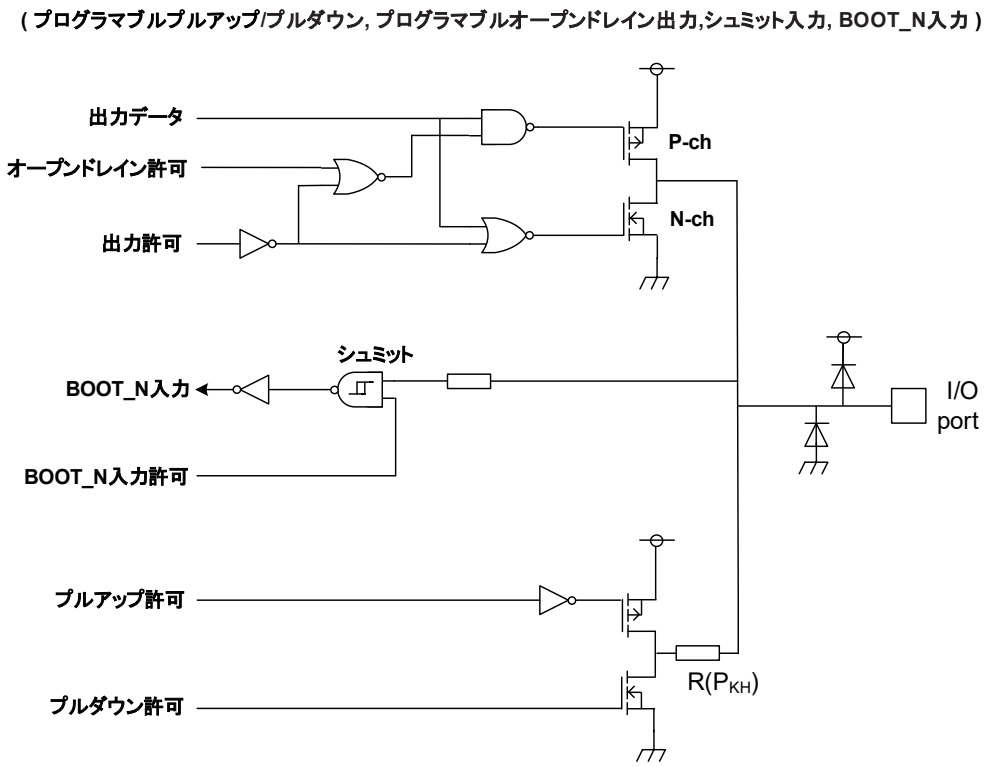
6.1. ポート

PD0 ~ 5 PE0 ~ 6 PF0 ~ 7	

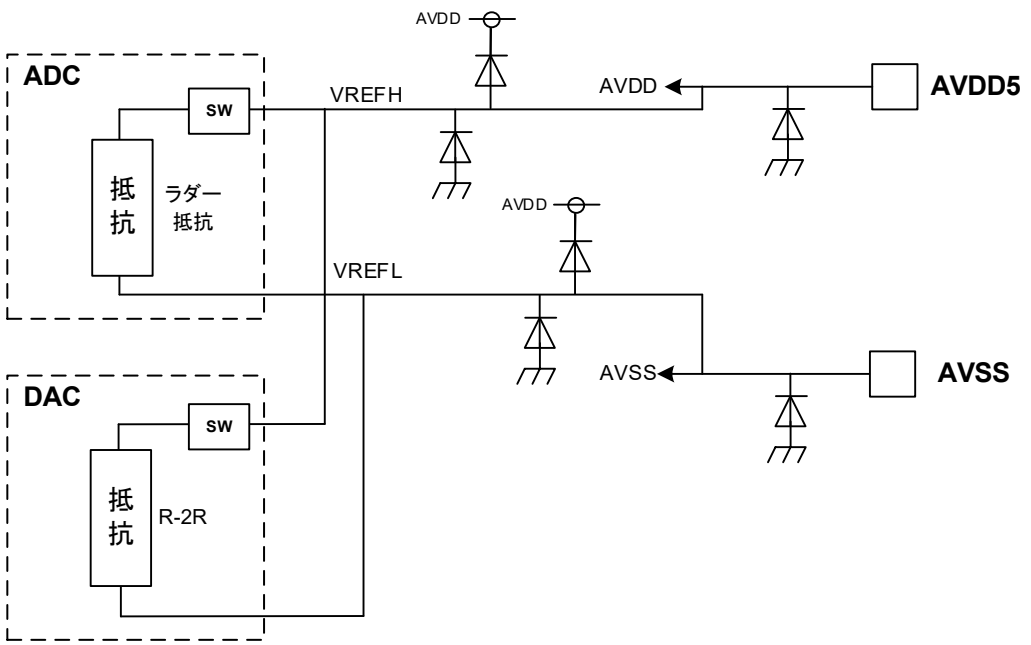
PG0、PG1	(プログラマブルプルアップ/プルダウン, プログラマブルオープンドレイン出力, シュミット入力, アナログ出力) 
PA0 ~ 3 PB2 ~ 6 PC3 ~ 6 PG4 ~ 7 PJ0 ~ 3 PJ5、PK0 PK2 ~ 6 PL0 ~ 2 PL5 ~ 7 PM0、PM1 PM3 ~ 5 PM7 PN0 ~ 2 PN4、PN5 PP0 ~ 2 PP4 ~ 7 PR0 ~ 7 PT4 ~ 6 PU2 ~ 5 PV0、PV1 PV4 ~ 7	(プログラマブルプルアップ/プルダウン, プログラマブルオープンドレイン出力,シュミット入力) 

PA6、PA7, PB1、PB7, PC0、PC1, PC2、PG2, PG3、PH4, PH5、PH6, PH7、PJ4, PK1、PK7, PL3、PL4, PM2、PM6, PN3、PP3, PT0、PT1, PT2、PT3, PT7、PU0, PU1、PV2, PV3	(プログラマブルプルアップ/プルダウン, プログラマブルオープンドレイン出力, シュミット入力, 外部割り込み入力) 
PA4、PA5	(5Vトレ ラント, プログラマブルプルアップ/プルダウン, プログラマブルオープンドレイン出力,シュミット入力) 

PH0 ~ 3	

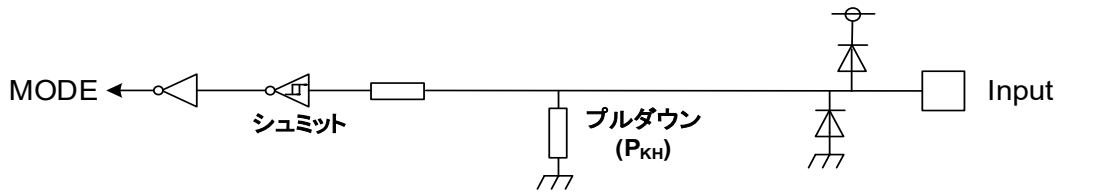
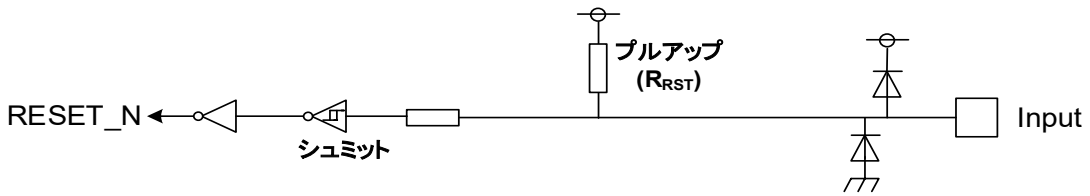
PB0/BOOT_N	

6.2. アナログ関連端子

AVDD5 AVSS	

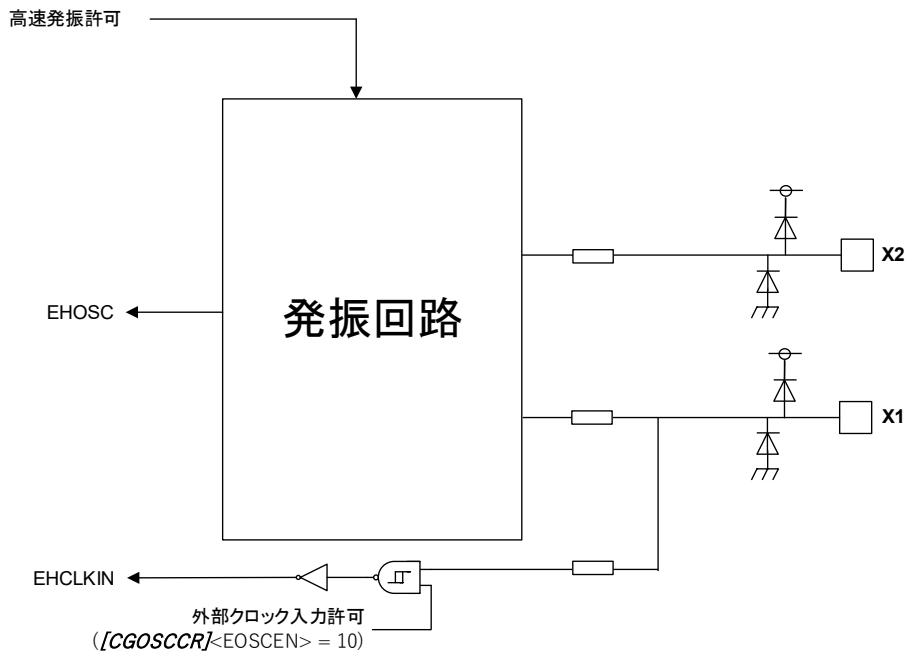
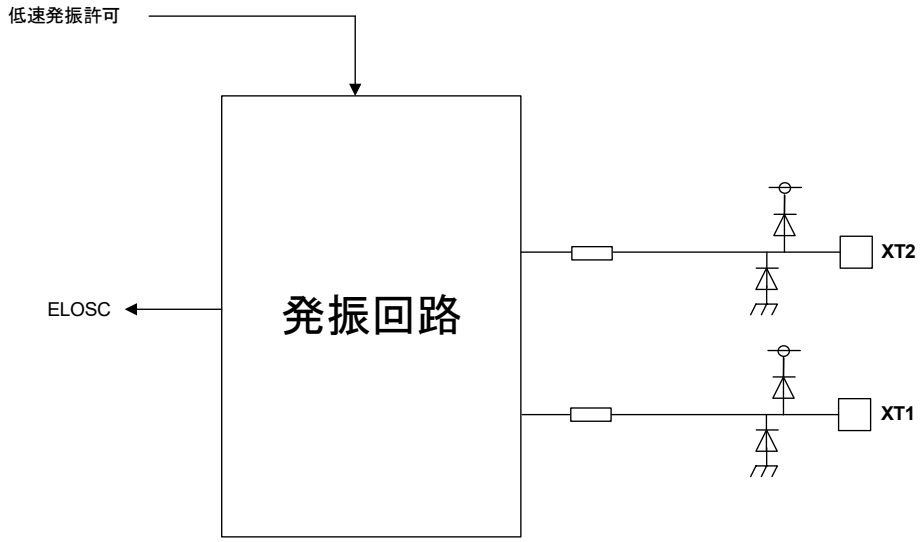
注) SW: ON/OFF スイッチ回路

6.3. 制御端子

MODE	
RESET_N	

注) MODE端子は必ずGNDに接続してください。

6.4. クロック制御

X1、X2	
XT1、XT2	

7. 電気的特性

7.1. 絶対最大定格

表 7.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5A DVDD5B	-0.3 ~ 6.0	V
		AVDD5	-0.3 ~ DVDD5(注 2)	
電圧保持用コンデンサー端子電圧		REGOUT1	-0.3 ~ 1.4	V
		REGOUT2	-0.3 ~ 3.9	
入力電圧	PC0 ~ 6、PH0 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PR0 ~ 7、PV0 ~ 7、PA0 ~ 3、PA6、PA7、PB1 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 7、PT0 ~ 7、PU0 ~ 5、MODE、RESET_N、BOOT_N	V_{IN1} V_{IN2}	-0.3 ~ DVDD5+0.3(≦6.0V) (注 2)	V
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7、PG0、PG1	V_{IN3}	-0.3 ~ AVDD5+0.3(≦6.0V)(注 2)	
	PA4 ~ 5	V_{IN4}	-0.3 ~ 6.0	
低レベル出力電流	1 端子ごと PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PR0 ~ 7、PV0 ~ 7、PA0 ~ 3、PA6、PA7、PB0 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 7、PT0 ~ 7、PU0 ~ 5、PD0 ~ 5、PE0 ~ 6、PF0 ~ 7、PG0 ~ 1	I_{OL}	5	mA
	1 端子ごと PA4 ~ 5	I_{OL4}	25	
	全端子合計	ΣI_{OL}	50	
高レベル出力電流	1 端子ごと PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PR0 ~ 7、PV0 ~ 7、PA0 ~ 7、PB0 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 7、PT0 ~ 7、PU0 ~ 5、PD0 ~ 5、PE0 ~ 6、PF0 ~ 7、PG0、PG1	I_{OH}	-5	
	全端子合計	ΣI_{OH}	-50	
消費電力(Ta = 105°C)		PD	600	mW
はんだ付け温度		T_{SOLDER}	260	°C
保存温度		T_{STG}	-55 ~ 125	°C
動作温度		T_{OPR}	-40 ~ 105	°C

注 1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

注 2) DVDD5 は DVDD5A、DVDD5B の総称です。また、DVSS は DVSSA、DVSSB の総称です。
DVDD5 と AVDD5 は同電位で使用してください。
電源の投入、遮断については、下記を参照してください。

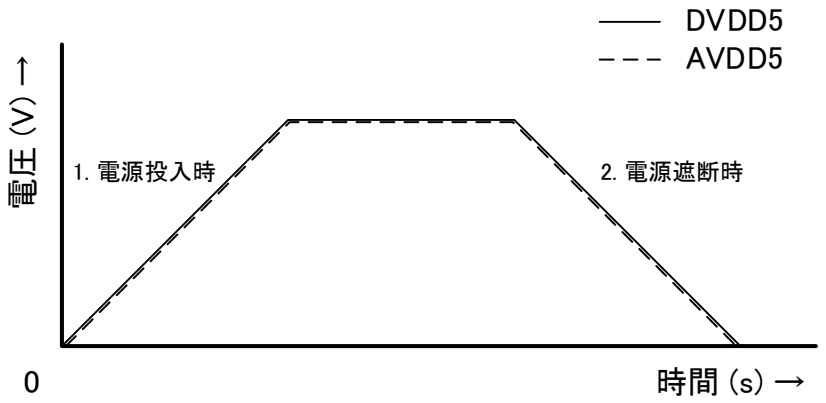


図 7.1　電源投入時と遮断時のご注意

1. 電源投入時
   DVDD5、AVDD5 に同一電源から電圧を供給しても、DVDD5 - DVSS、AVDD5 - AVSS 間に接続するコンデンサー容量や、基板パターンの引き回しによる浮遊容量やインダクタンスの差によって、DVDD5 と AVDD5 の電位に差が生じる場合がありますので注意してください。

2. 電源遮断時
   コンデンサーや基板パターンに電荷が残留することで DVDD5 と AVDD5 の電位に差が生じる場合がありますので注意してください。また、この状態での電源再投入時にも注意してください。

7.2. DC 電気的特性(1/2)

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目		記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD5A、DVDD5B、AVDD5	VDD	f_{OSC} = 6 ~ 12MHz fsys = 1 ~ 120MHz fs = 30 ~ 34kHz	4.5	-	5.5	V
低レベル入力電圧	PC0 ~ 6、PH0 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP3 ~ 7、PR0 ~ 7、PV0 ~ 7、MODE、RESET_N	V_{IL1}	-	-0.3	-	DVDD5×0.25	V
	PA0 ~ 3、PA6 ~ 7、PB1 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 2、PT0 ~ 7、PU0 ~ 5、BOOT_N	V_{IL2}					
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7、PG0、PG1	V_{IL3}				AVDD5×0.25	
	PA4、PA5	V_{IL4}				DVDD5×0.3	
高レベル入力電圧	PC0 ~ 6、PH0 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP3 ~ 7、PR0 ~ 7、PV0 ~ 7、MODE、RESET_N	V_{IH1}	-	DVDD5×0.75	-	DVDD5+0.3	V
	PA0 ~ 3、PA6 ~ 7、PB1 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 2、PT0 ~ 7、PU0 ~ 5、BOOT_N	V_{IH2}					
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7、PG0、PG1	V_{IH3}		AVDD5×0.75		AVDD5+0.3	
	PA4、PA5	V_{IH4}		DVDD5×0.7		DVDD5+0.3	
低レベル出力電圧	PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP0 ~ 7、PR0 ~ 7、PV0 ~ 7、PA0 ~ 3、PA6 ~ 7、PB0 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PT0 ~ 7、PU0 ~ 5	V_{OL1} V_{OL2}	DVDD5 = 4.5V IOL = 1.6mA	-	-	0.4	V
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7, PG0, PG1	V_{OL3}	AVDD5 = 4.5V IOL = 1.6mA	-	-	0.4	
	PA4、PA5	V_{OL4}	DVDD5 = 4.5V IOL = 8mA	-	-	1.0	
高レベル出力電圧	PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP0 ~ 7、PR0 ~ 7、PV0 ~ 7、PA0 ~ 7、PB0 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PT0 ~ 7、PU0 ~ 5	V_{OH1} V_{OH2}	DVDD5 = 4.5V IOH = -1.6mA	DVDD5-0.4	-	-	V
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7, PG0, PG1	V_{OH3}	AVDD5 = 4.5V IOH = -1.6mA	AVDD5-0.4	-	-	

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。
注 2) Typ.値は特に指定のない限り Ta = 25°C、DVDD5 = AVDD5 = 5.0V の値です。
注 3) DVDD5、AVDD5 は同電位で使用してください。

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目		記号	条件	Min	Typ.	Max	単位
入力リーク電流		I_{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA
出力リーク電流		I_{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	±0.05	10	μA
シュミット入力幅		VTH	DVDD5 = AVDD5 = 5V	-	1	-	V
リセットプルアップ抵抗		R_{RST}	-	25	50	100	kΩ
プログラマブルプルアップ/ダウン抵抗		P_{KH}	Pull-up	25	50	100	kΩ
			Pull-down	25	50	100	kΩ
Pin 容量(電源端子を除く)		C_{IO}	fc = 1MHz	-	-	10	pF
低レベル出力電流	1 端子ごと (PA4、PA5 を除く)	I_{OL}	DVDD5 = 5V AVDD5 = 5V	-	-	2 (注 4)	mA
	1 端子ごと PA4 ~ 5	I_{OL4}	DVDD5 = 5V	-	-	12 (注 4)	mA
	グループ単位(下記全ポート) PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、 PK0 ~ 7、PN0 ~ 5、PP3 ~ 7、 PR0 ~ 7、PV0 ~ 7	$\sum I_{OL1}$	DVDD5 = 5V	-	-	35 (注 5)	mA
	グループ単位(下記全ポート) PA0 ~ 7、PB0 ~ 7、PG2 ~ 7、 PL0 ~ 7、PM0 ~ 7、PP0 ~ 2、 PT0 ~ 7、PU0 ~ 5	$\sum I_{OL2}$	DVDD5 = 5V	-	-	35 (注 5)	mA
	グループ単位(下記全ポート) PD0 ~ 5、PE0 ~ 6、PF0 ~ 7, PG0 ~ 1	$\sum I_{OL3}$	AVDD5 = 5V	-	-	20 (注 5)	mA
高レベル出力電流	1 端子ごと	I_{OH}	DVDD5 = 5V AVDD5 = 5V	-2 (注 4)	-	-	mA
	グループ単位(下記全ポート) PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、 PK0 ~ 7、PN0 ~ 5、PP3 ~ 7、 PR0 ~ 7、PV0 ~ 7	$\sum I_{OH1}$	DVDD5 = 5V	-35 (注 5)	-	-	mA
	グループ単位(下記全ポート) PA0 ~ 7、PB0 ~ 7、PG2 ~ 7、 PL0 ~ 7、PM0 ~ 7、PP0 ~ 2、 PT0 ~ 7、PU0 ~ 5	$\sum I_{OH2}$	DVDD5 = 5V	-35 (注 5)	-	-	mA
	グループ単位(下記全ポート) PD0 ~ 5、PE0 ~ 6、PF0 ~ 7, PG0 ~ 1	$\sum I_{OH3}$	AVDD5 = 5V	-20 (注 5)	-	-	mA

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。
注 2) Typ.値は特に指定のない限り Ta = 25°C、DVDD5 = AVDD5 = 5.0V の値です。
注 3) DVDD5、AVDD5 は同電位で使用してください。
注 4) 端子の電流合計が各グループ電流の合計を越えないようにしてください。
注 5) 各グループ電流の合計が、絶対最大定格を越えないようにしてください。

2.7V≦DVDD5 = AVDD5<4.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目		記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD5A、DVDD5B、AVDD5	VDD	f_{OSC} = 6 ~ 12MHz fsys = 1 ~ 120MHz fs = 30 ~ 34kHz	2.7	-	4.5	V
低レベル入力電圧	PC0 ~ 6、PH0 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP3 ~ 7、PR0 ~ 7、PV0 ~ 7、MODE、RESET_N	V_{IL1}	-	-0.3	-	DVDD5×0.25	V
	PA0 ~ 3、PA6 ~ 7、PB1 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 2、PT0 ~ 7、PU0 ~ 5、BOOT_N	V_{IL2}					
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7、PG0 ~ 1	V_{IL3}				AVDD5×0.25	
	PA4、PA5	V_{IL4}				DVDD5×0.3	
高レベル入力電圧	PC0 ~ 6、PH0 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP3 ~ 7、PR0 ~ 7、PV0 ~ 7、MODE、RESET_N	V_{IH1}	-	DVDD5×0.75	-	DVDD5+0.3	V
	PA0 ~ 3、PA6 ~ 7、PB1 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 2、PT0 ~ 7、PU0 ~ 5、BOOT_N	V_{IH2}					
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7, PG0、PG1	V_{IH3}	-	AVDD5×0.75		AVDD5+0.3	
	PA4、PA5	V_{IH4}	-	DVDD5×0.7		DVDD5+0.3	
低レベル出力電圧	PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP0 ~ 7、PR0 ~ 7、PV0 ~ 7、PA0 ~ 3、PA6 ~ 7、PB0 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PT0 ~ 7、PU0 ~ 5	V_{OL1} V_{OL2}	DVDD5 = 2.7V IOL = 0.8mA	-	-	0.4	V
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7、PG0、PG1	V_{OL3}	AVDD5 = 2.7V IOL = 0.8mA	-	-	0.4	
	PA4、PA5	V_{OL4}	DVDD5 = 2.7V IOL = 4mA	-	-	1.0	
高レベル出力電圧	PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP0 ~ 7、PR0 ~ 7、PV0 ~ 7、PA0 ~ 7、PB0 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PT0 ~ 7、PU0 ~ 5	V_{OH1} V_{OH2}	DVDD5 = 2.7V IOH = -0.8mA	DVDD5-0.4	-	-	V
	PD0 ~ 5、PE0 ~ 6、PF0 ~ 7, PG0、PG1	V_{OH3}	AVDD5 = 2.7V IOH = -0.8mA	AVDD5-0.4	-	-	

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。

注 2) Typ.値は特に指定のない限り Ta = 25°C、DVDD5 = AVDD5 = 3.0V の値です。

注 3) DVDD5、AVDD5 は同電位で使用してください。

2.7V≦DVDD5 = AVDD5<4.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目		記号	条件	Min	Typ.	Max	単位
入力リーク電流		I_{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA
出力リーク電流		I_{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	±0.05	10	μA
シュミット入力幅		VTH	DVDD5 = AVDD5 = 3V	-	0.5	-	V
リセットプルアップ抵抗		R_{RST}	-	25	100	200	kΩ
プログラマブルプルアップ/ダウン抵抗		P_{KH}	Pull-up	25	100	200	kΩ
			Pull-down	25	100	200	kΩ
Pin 容量(電源端子を除く)		C_{IO}	fc = 1MHz	-	-	10	pF
低レベル出力電流	1 端子ごと (PA4、PA5 を除く)	I_{OL}	DVDD5 = 3V AVDD5 = 3V	-	-	1 (注 4)	mA
	1 端子ごと PA4、PA5	I_{OL4}	DVDD5 = 3V	-	-	6 (注 4)	mA
	グループ単位(下記全ポート) PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP3 ~ 7、PR0 ~ 7、PV0 ~ 7	$\sum I_{OL1}$	DVDD5 = 3V	-	-	18 (注 5)	mA
	グループ単位(下記全ポート) PA0 ~ 7、PB0 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 2、PT0 ~ 7、PU0 ~ 5	$\sum I_{OL2}$	DVDD5 = 3V	-	-	18 (注 5)	mA
	グループ単位(下記全ポート) PD0 ~ 5、PE0 ~ 6、PF0 ~ 7, PG0, PG1	$\sum I_{OL3}$	AVDD5 = 3V	-	-	10 (注 5)	mA
高レベル出力電流	1 端子ごと	I_{OH}	DVDD5 = 3V AVDD5 = 3V	-1 (注 4)	-	-	mA
	グループ単位(下記全ポート) PC0 ~ 6、PH4 ~ 7、PJ0 ~ 5、PK0 ~ 7、PN0 ~ 5、PP3 ~ 7、PR0 ~ 7、PV0 ~ 7	$\sum I_{OH1}$	DVDD5 = 3V	-18 (注 5)	-	-	mA
	グループ単位(下記全ポート) PA0 ~ 7、PB0 ~ 7、PG2 ~ 7、PL0 ~ 7、PM0 ~ 7、PP0 ~ 2、PT0 ~ 7、PU0 ~ 5	$\sum I_{OH2}$	DVDD5 = 3V	-18 (注 5)	-	-	mA
	グループ単位(下記全ポート) PD0 ~ 5、PE0 ~ 6、PF0 ~ 7, PG0 ~ 1	$\sum I_{OH3}$	AVDD5 = 3V	-10 (注 5)	-	-	mA

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。

注 2) Typ.値は特に指定のない限り Ta = 25°C、DVDD5 = AVDD5 = 3.0V の値です。

注 3) DVDD5、AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないようにしてください。

注 5) 各グループ電流の合計が、絶対最大定格を越えないようにしてください。

7.3. DC 電気的特性(2/2)(消費電流)

Ta = -40 ~ 105°C

項目	記号	条件					Min	Typ. (注 2)	Max	単位
		電源電圧	高速クロック	低速クロック	動作条件	fsys				
Normal	I_{DD}	DVDD5 = AVDD5 = 5.5V	動作条件は表 7.2、表 7.3 を参照してください。			80MHz	-	20	32	mA
						120MHz	-	28	43	
IDLE			発振	発振	動作条件は表 7.2、表 7.3 を参照してください。	80MHz	-	3.7	15.5	
						120MHz	-	5	19	
STOP1			停止	発振		-	-	230	9550	μA
STOP2							-	4	300	
				停止			-	3	300	

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。
注 2) Typ.値は特に指定のない限り Ta = 25°C、DVDD5 = AVDD5 = 5.0V の値です。
注 3) DVDD5、AVDD5 は同電位で使用してください。
注 4) 入力端子は固定、出力端子は解放。

表 7.2 IDD測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1	STOP2	
				低速発振器発振		低速発振器停止
端子設定	DVDD5 = AVDD5	5.0V(Typ.)、5.5V(max)				
	X1、X2 端子	発振子接続(10MHz)				
	XT1、XT2 端子	発振子接続(32.768kHz)				
	入力端子	固定				
	出力端子	開放				
動作条件(発振回路)	システムクロック(fsys)	80MHz、120MHz		停止		
	外部高速発振器(EHOSC)	発振		停止		
	内部高速発振器(IHOSC1)	停止				
	PLL	動作(8 倍、12 倍)		停止		
	外部低速発振器(ELOSC)	発振				停止

表 7.3　IDD測定条件(CPU、周辺回路)

周辺回路	搭載回路数	NORMAL	IDLE	STOP1	STOP2
				低速発振器発振	低速発振器停止
CPU	1	動作(ドライストーン Ver.2.1)	停止		
DMAC	1	(UARTch0 送信で起動、転送先: RAM)	停止		
ADC	1	動作(1.5μs、リピート変換)	停止		
DAC	2	動作	停止		
T32A	6	全 ch: 動作	停止		
A-PMD	1	動作	停止		
A-ENC32	1	動作	停止		
RTC	1	動作			
SIWDT	1	動作	停止		
UART	8	全 ch: 送信(2.5Mbps)	停止		
I2C/EI2C	4/4	停止			
TSPI	5	Ch0、Ch1: 送信、20MHz	停止		
RMC	1	動作	停止		
DLCD	1	停止			
LVD	1	停止			
OFD	1	停止			
入出力ポート	-	動作	停止		

7.4. 12 ビット AD コンバーター特性

DVDD5 = AVDD5 = 2.7V ~ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH (AVDD5)		-	AVDD5	-	V
アナログ入力電圧	VAIN		AVSS (VREFL)	-	AVDD5 (VREFH)	V
積分非直線性誤差(INL)	-	2.7V ≦ AVDD5 ≦ 5.5V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≧ 0.1μF 変換時間 = 1.0 ~ 16.65μs	-5.0	-	+5.0	LSB
微分非直線性誤差(DNL)			-2.0	-	+4.0	
ゼロスケール誤差			-5.0	-	+3.0	
フルスケール誤差			-4.5	-	+3.0	
総合誤差			-7.0	-	+6.0	
安定待ち時間	t_{sta}	***[ADMOD0]***<DACON> = 1 設定後	3	-	-	μs
変換時間	t_{conv}	4.5V ≦ AVDD5 ≦ 5.5V SCLK = 30MHz(注 3)	1.0	-	10.87	
		4.5V ≦ AVDD5 ≦ 5.5V SCLK = 20MHz(注 3)	1.5	-	16.3	
		2.7V ≦ AVDD5 < 4.5V SCLK = 20MHz(注 3)	2.05	-	16.65	

注 1) 1LSB = (AVDD5(VREFH) - AVSS(VREFL)) / 4096[V]

注 2) AD コンバーター単体動作の時の特性です。

注 3) 設定の詳細はリファレンスマニュアル「アナログデジタルコンバーター」を参照してください。

7.5. 8 ビット DA コンバーター変換特性

DVDD5 = AVDD5 = 2.7V ~ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH (AVDD5)		-	AVDD5	-	V
積分非直線性誤差(INL)	-	4.5V ≦ AVDD5 ≦ 5.5V Rload = 10MΩ	-1	-	+1	LSB
微分非直線性誤差(DNL)			-1	-	+1	
総合誤差			-1	-	+1	
積分非直線性誤差(INL)	-	2.7V ≦ AVDD5 < 4.5V Rload = 10MΩ	-2	-	+2	LSB
微分非直線性誤差(DNL)			-1	-	+1	
総合誤差			-2	-	+2	
安定時間	t_{sta}	Cload = 20pF	4.7	-	-	μs

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。

注 2) Typ.値は特に指定のない限り Ta = 25°C、DVDD5 = AVDD5 = 5.0V または Ta = 25°C、DVDD5 = AVDD5 = 3.0V の値です。

注 3) 1LSB = (AVDD5(VREFH) - AVSS(VREFL)) / 256[V]

注 4) DA コンバーター単体動作の時の特性です。

注 5) DAC0 をコンパレーターの基準電圧として使用する場合は、DAC0 の端子はオープンにしてください。

7.6. コンパレーター特性

DVDD5 = AVDD5 = 2.7V ~ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
AIN 入力範囲電圧	VINC	-	VREFC - 1.5	-	VREFC + 1.5	V
基準電圧範囲(注 1)	VREFC		0.2	-	AVDD5-0.5	V
応答時間(注 2)	-		-	-	0.5	μs
コンパレーターイネーブル時間	T_{sta}		-	-	5	μs

注 1) 内蔵 8bitDA コンバーター(DAC0)の出力です。

注 2) VINC が VREFC - 100mV→VREFC + 100mV に、または VREFC + 100mV→VREFC - 100mV に変化する場合。

注 3) コンパレーター単体動作の時の特性です。

7.7. リセット時内部処理特性

DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t_{IINIT}	パワーオン時	-	-	1.96	ms
内部処理時間	t_{IRST}	STOP2 モードをリセット(RESET_N 端子、LVD)で解除時	-	-	1.65	ms
		STOP2 モードを割り込みで解除時	-	-	1.06	ms
		STOP2 モード解除以外のリセット動作時	0.15	-	0.18	ms
CPU 動作待ち時間 (注)	t_{CPUWT}	パワーオン時 STOP1/STOP2 モードで LVD によるリセット動作時 STOP1/STOP2 モードで RESET_N 端子によるリセット動作時	12	-	15	μs
		NORMAL/IDLE モードで LVD によるリセット動作時 NORMAL/IDLE モードで RESET_N 端子によるリセット動作時 NORMAL/IDLE モードで WDT/OFD/LOCKUP/SYSRESET によるリセット動作時	171	-	177	μs
電源傾斜	V_{PON}	電源立ち上がり	0.3	-	100	mV/μs
	V_{POFF}	電源立ち下がり	-	-	10	mV/μs

注) WDT/OFD/LOCKUP/SYSRESET によるリセット動作時を除き、リセット要因が継続した場合、同リセット要因が解除された後に t_{CPUWT}(CPU 動作待ち時間)の計測が始まります。

7.8. パワーオンリセット特性

DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V_{PREL}	電源立ち上がり	2.22	2.33	2.44	V
	V_{PDET}	電源立ち下がり	2.17	2.28	2.39	V
検知パルス幅	T_{PDET}	-	200	-	-	μs

7.9. PORF 特性

DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V_{PORFL}	電源立ち上がり	2.57	2.64	2.71	V
	V_{PORFD}	電源立ち下がり	2.52	2.59	2.66	V
検知パルス幅	T_{PDET}	-	200	-	-	μs

7.10. 電圧検知回路特性

DVDD5 = AVDD5 = 2.7V ~ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V_{LVL0}	電源立ち上がり(解除)	2.63	2.70	2.77	V
		電源立ち下がり(検出)	2.58	2.65	2.72	
	V_{LVL1}	電源立ち上がり(解除)	2.68	2.75	2.82	V
		電源立ち下がり(検出)	2.63	2.70	2.77	
	V_{LVL2}	電源立ち上がり(解除)	2.78	2.85	2.92	V
		電源立ち下がり(検出)	2.73	2.80	2.87	
	V_{LVL3}	電源立ち上がり(解除)	2.88	2.95	3.02	V
		電源立ち下がり(検出)	2.83	2.90	2.97	
	V_{LVL4}	電源立ち上がり(解除)	3.96	4.05	4.14	V
		電源立ち下がり(検出)	3.91	4.00	4.09	
	V_{LVL5}	電源立ち上がり(解除)	4.16	4.25	4.34	V
		電源立ち下がり(検出)	4.11	4.20	4.29	
	V_{LVL6}	電源立ち上がり(解除)	4.36	4.45	4.54	V
		電源立ち下がり(検出)	4.31	4.40	4.49	
	V_{LVL7}	電源立ち上がり(解除)	4.56	4.65	4.74	V
		電源立ち下がり(検出)	4.51	4.60	4.69	
検知応答時間	t_{VDDT1}	電源立ち下がり	-	-	100	μs
検知解除時間	t_{VDDT2}	電源立ち上がり	-	-	100	
セットアップ時間	t_{LVDEN}		-	-	100	
検知最小パルス幅	t_{LVDPW}		200	-	-	

7.11. AC 電気的特性

7.11.1. シリアルペリフェラルインターフェース(TSPI)

7.11.1.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 出力レベル: High = 0.8 × DVDD5、Low = 0.2 × DVDD5
- 入力レベル: High = 0.75 × DVDD5、Low = 0.25 × DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.1.2. AC 電気的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

k1 の値は***[TSPIxFMTR0]***<CSSCKDL[3:0]>、k2 の値は***[TSPIxFMTR0]***<SCKCSDL[3:0]>で設定された TSPIxSCK のサイクル数で、1 ~ 16 の値になります。

<RXDLY>は***[TSPIxCR2]***<RXDLY[2:0]>の設定値+1 になります。

- ***[TSPIxCR2]***<RXDLY[2:0]> = 000 のとき<RXDLY> = 1
- ***[TSPIxCR2]***<RXDLY[2:0]> = 001 のとき<RXDLY> = 2
- ***[TSPIxCR2]***<RXDLY[2:0]> = 010 のとき<RXDLY> = 3

(1) SPI モードマスター(TSPI1/2/3/4)

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V

項目	記号	計算式		fsys = 80MHz k1 = k2 = 1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f_{CYC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t_{CYC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t_{WL}	(t_{CYC}/2)-13	-	12	-	
TSPIxSCK 高レベル出力パルス幅	t_{WH}	(t_{CYC}/2)-13	-	12	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU}	(t_{CYC}×k1)-20	(t_{CYC}×k1)+9	30	59	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	t_{CHD}	(t_{CYC}×(k2+0.5))-20	-	55	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	35-<RXDLY>×T	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	<RXDLY>×T-10.5	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	16	-	16	
TSPIxCSn 立ち下がり →TSPIxTXD 遅延時間	t_{ODLY3}	(t_{CYC}×(k1-0.5))-25	(t_{CYC}×(k1-0.5))+9	0	34	

2.7V ≦ DVDD5 = AVDD5 < 4.5V

項目	記号	計算式		fsys = 80MHz k1 = k2 = 1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f_{CYC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t_{CYC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t_{WL}	(t_{CYC}/2)-16	-	9	-	
TSPIxSCK 高レベル出力パルス幅	t_{WH}	(t_{CYC}/2)-16	-	9	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU}	(t_{CYC}×k1)-20	(t_{CYC}×k1)+11	30	61	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	t_{CHD}	(t_{CYC}×(k2+0.5))-22.5	-	52.5	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	45-<RXDLY>×T	-	20	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	<RXDLY>×T-10.5	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	16	-	16	
TSPIxCSn 立ち下がり →TSPIxTXD 遅延時間	t_{ODLY3}	(t_{CYC}×(k1-0.5))-25	(t_{CYC}×(k1-0.5))+13	0	38	

(2) SPI モードマスター(TSPI0)

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V

項目	記号	計算式		fsys = 80MHz k1 = k2 = 1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f_{CYC}	-	5.88	-	5.88	MHz
TSPIxSCK 出力周期	t_{CYC}	170	-	170	-	ns
TSPIxSCK 低レベル出力パルス幅	t_{WL}	(t_{CYC}/2)-13	-	72	-	
TSPIxSCK 高レベル出力パルス幅	t_{WH}	(t_{CYC}/2)-13	-	72	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU}	(t_{CYC}×k1)-140	(t_{CYC}×k1)+9	30	179	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	t_{CHD}	(t_{CYC}×(k2+0.5))-20	-	235	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	35-<RXDLY>×T	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	<RXDLY>×T-10.5	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	16	-	16	
TSPIxCSn 立ち下がり →TSPIxTXD 遅延時間	t_{ODLY3}	(t_{CYC}×(k1-0.5))-145	(t_{CYC}×(k1-0.5))+9	-60	94	

2.7V ≦ DVDD5 = AVDD5 < 4.5V

項目	記号	計算式		fsys = 80MHz k1 = k2 = 1		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f_{CYC}	-	4.34	-	4.34	MHz
TSPIxSCK 出力周期	t_{CYC}	230	-	230	-	ns
TSPIxSCK 低レベル出力パルス幅	t_{WL}	(t_{CYC}/2)-16	-	99	-	
TSPIxSCK 高レベル出力パルス幅	t_{WH}	(t_{CYC}/2)-16	-	99	-	
TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU}	(t_{CYC}×k1)-200	(t_{CYC}×k1)+9	30	239	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間	t_{CHD}	(t_{CYC}×(k2+0.5))-20	-	325	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	45-<RXDLY>×T	-	20	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	<RXDLY>×T-10.5	-	14.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	-18	-	-18	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	16	-	16	
TSPIxCSn 立ち下がり →TSPIxTXD 遅延時間	t_{ODLY3}	(t_{CYC}×(k1-0.5))-211	(t_{CYC}×(k1-0.5))+13	-96	128	

(3) SPI モードスレーブ(TSPI0/1/2/3/4)

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f_{CYC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t_{CYC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t_{WL}	37	-	37	-	ns
TSPIxSCK 高レベル入力パルス幅	t_{WH}	37	-	37	-	ns
TSPIxCSIN 入力(1st エッジ) ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU1}	170	-	170	-	ns
TSPIxCSIN 入力(2nd エッジ) ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU2}	80	-	80	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間(1st エッジ)	t_{CHD}	80	-	80	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間(2nd エッジ)	t_{CHD}	7	-	7	-	ns
TSPIxRXD 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	7	-	7	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	10	-	10	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	0	-	0	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	49	-	49	ns
TSPIxCSIN 立ち下がり →TSPIxTXD 遅延時間	t_{ODLY3}	-	55	-	55	ns
TSPIxCSIN 高レベル入力パルス幅(1st エッジ)	t_{WDIS}	T×5+20	-	82.5	-	ns
TSPIxCSIN 高レベル入力パルス幅(2nd エッジ)	t_{WDIS}	T×2+20	-	45	-	ns

2.7V ≦ DVDD5 = AVDD5 < 4.5V

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f_{CYC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t_{CYC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t_{WL}	37	-	37	-	ns
TSPIxSCK 高レベル入力パルス幅	t_{WH}	37	-	37	-	ns
TSPIxCSIN 入力(1st エッジ) ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU1}	170	-	170	-	ns
TSPIxCSIN 入力(2nd エッジ) ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{CSU2}	80	-	80	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間(1st エッジ)	t_{CHD}	80	-	80	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間(2nd エッジ)	t_{CHD}	7	-	7	-	ns
TSPIxRXD 入力 ← TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	7	-	7	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	10	-	10	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	0	-	0	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	55	-	55	ns
TSPIxCSIN 立ち下がり →TSPIxTXD 遅延時間	t_{ODLY3}	-	55	-	55	ns
TSPIxCSIN 高レベル入力パルス幅(1st エッジ)	t_{WDIS}	T×5+20	-	82.5	-	ns
TSPIxCSIN 高レベル入力パルス幅(2nd エッジ)	t_{WDIS}	T×2+20	-	45	-	ns

(4) SIO モードマスター(TSPI0/1/2/3/4)

4.5V≦DVDD5 = AVDD5≦5.5V

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f_{CYC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t_{CYC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t_{WL}	(t_{CYC}/2)-13	-	12	-	ns
TSPIxSCK 高レベル出力パルス幅	t_{WH}	(t_{CYC}/2)-13	-	12	-	ns
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	35-<RXDLY>×T	-	10	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	<RXDLY>×T-10.5	-	14.5	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	-18	-	-18	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	16	-	16	ns

2.7V≦DVDD5 = AVDD5<4.5V

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f_{CYC}	-	20	-	20	MHz
TSPIxSCK 出力周期	t_{CYC}	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	t_{WL}	(t_{CYC}/2)-16	-	9	-	ns
TSPIxSCK 高レベル出力パルス幅	t_{WH}	(t_{CYC}/2)-16	-	9	-	ns
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	45-<RXDLY>×T	-	20	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	<RXDLY>×T-10.5	-	14.5	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	-18	-	-18	-	ns
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	16	-	16	ns

(5) SIO モード スレーブ(TSPI0/1/2/3/4)

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f_{CYC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t_{CYC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t_{WL}	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t_{WH}	37	-	37	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t_{CHD}	7	-	7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	49	-	49	

2.7V ≦ DVDD5 = AVDD5 < 4.5V

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f_{CYC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t_{CYC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t_{WL}	37	-	37	-	
TSPIxSCK 高レベル入力パルス幅	t_{WH}	37	-	37	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間	t_{CHD}	7	-	7	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t_{DSU}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t_{DHD}	10	-	10	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY1}	0	-	0	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t_{ODLY2}	-	55	-	55	

(1) 1st クロックエッジサンプリング(マスター)

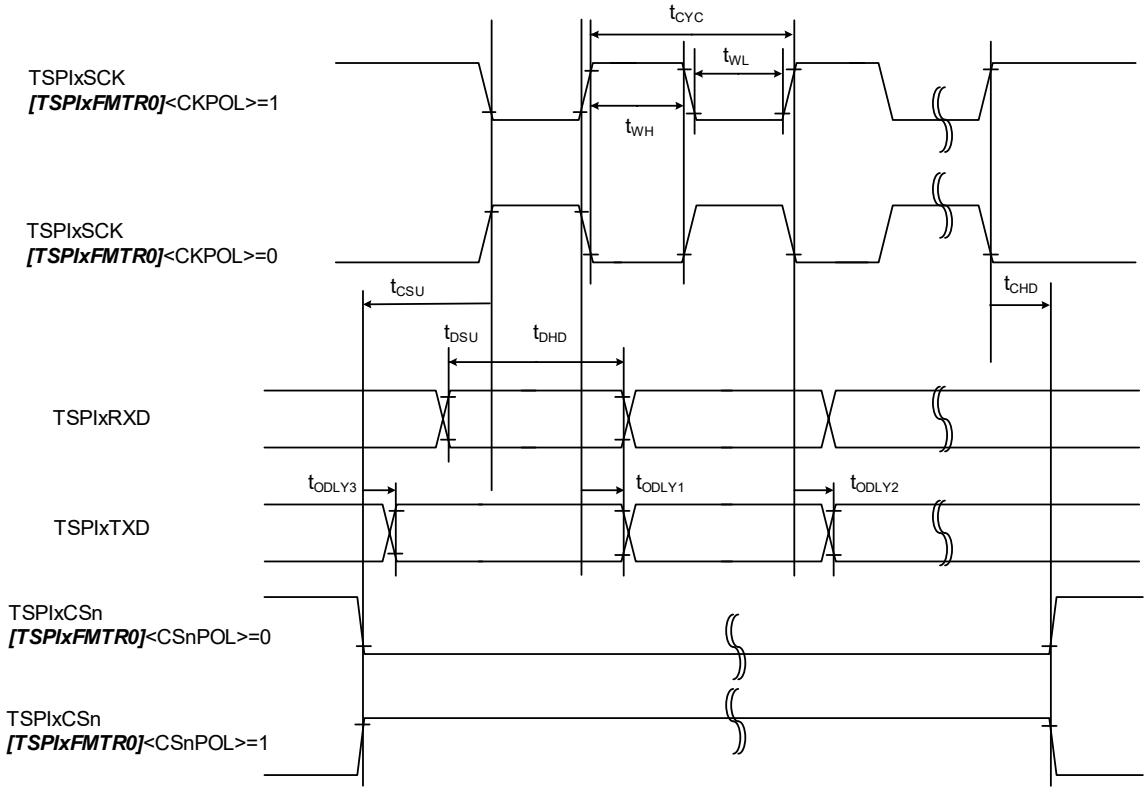


図 7.2 1stクロックエッジサンプリング(マスター)

(2) 2nd クロックエッジサンプリング(マスター)

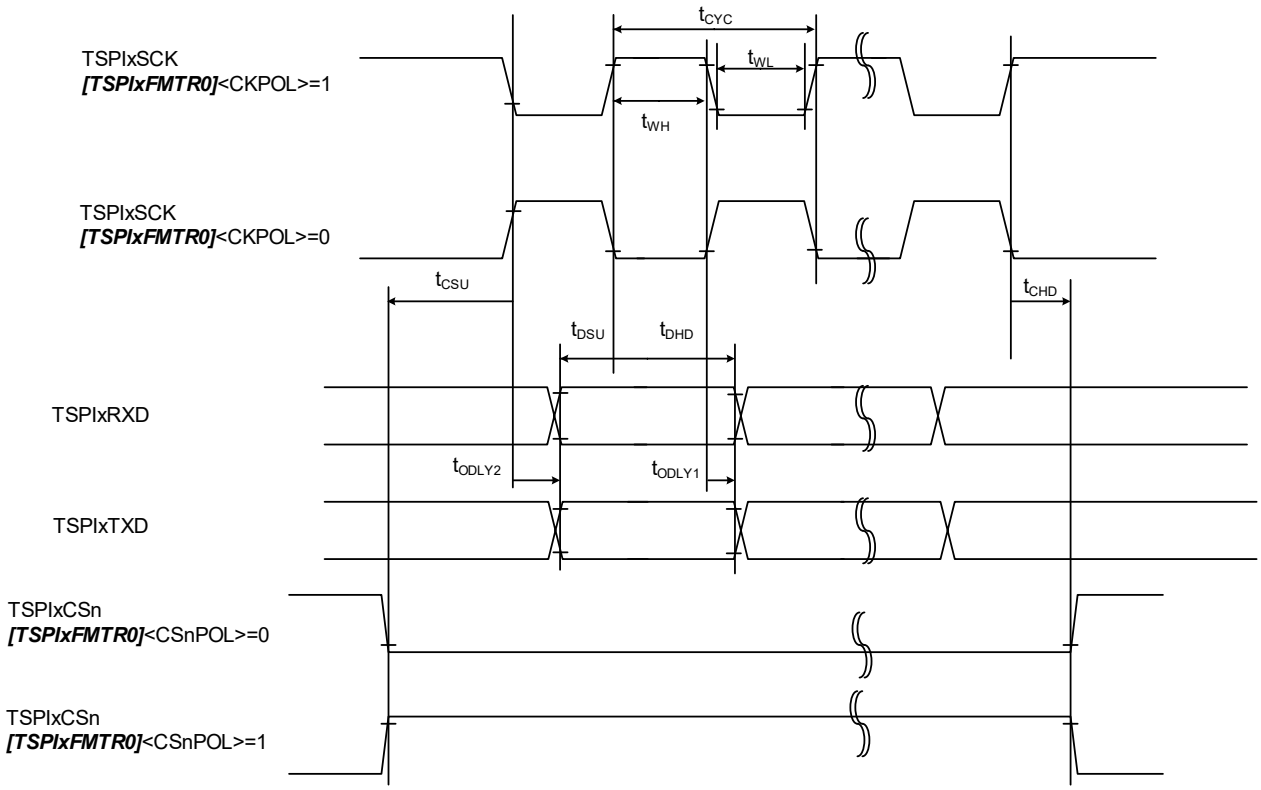


図 7.3 2ndクロックエッジサンプリング(マスター)

(3) 1st クロックエッジサンプリング(スレーブ)

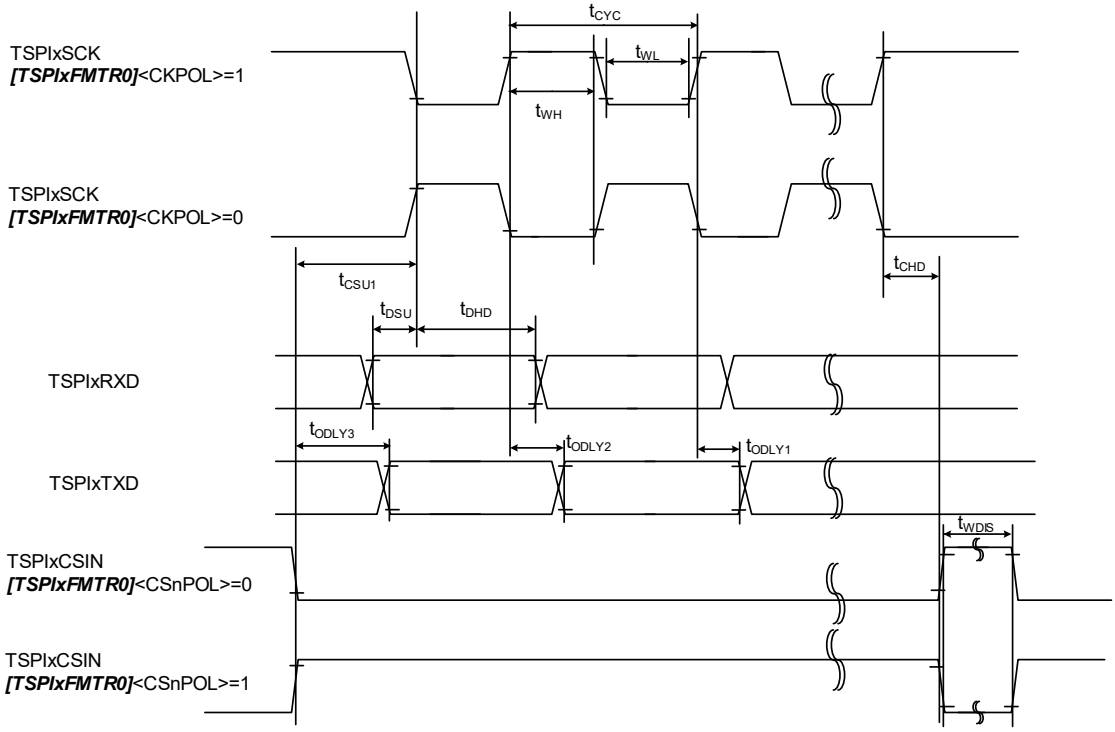


図 7.4 1stクロックエッジサンプリング(スレーブ)

(4) 2nd クロックエッジサンプリング(スレーブ)

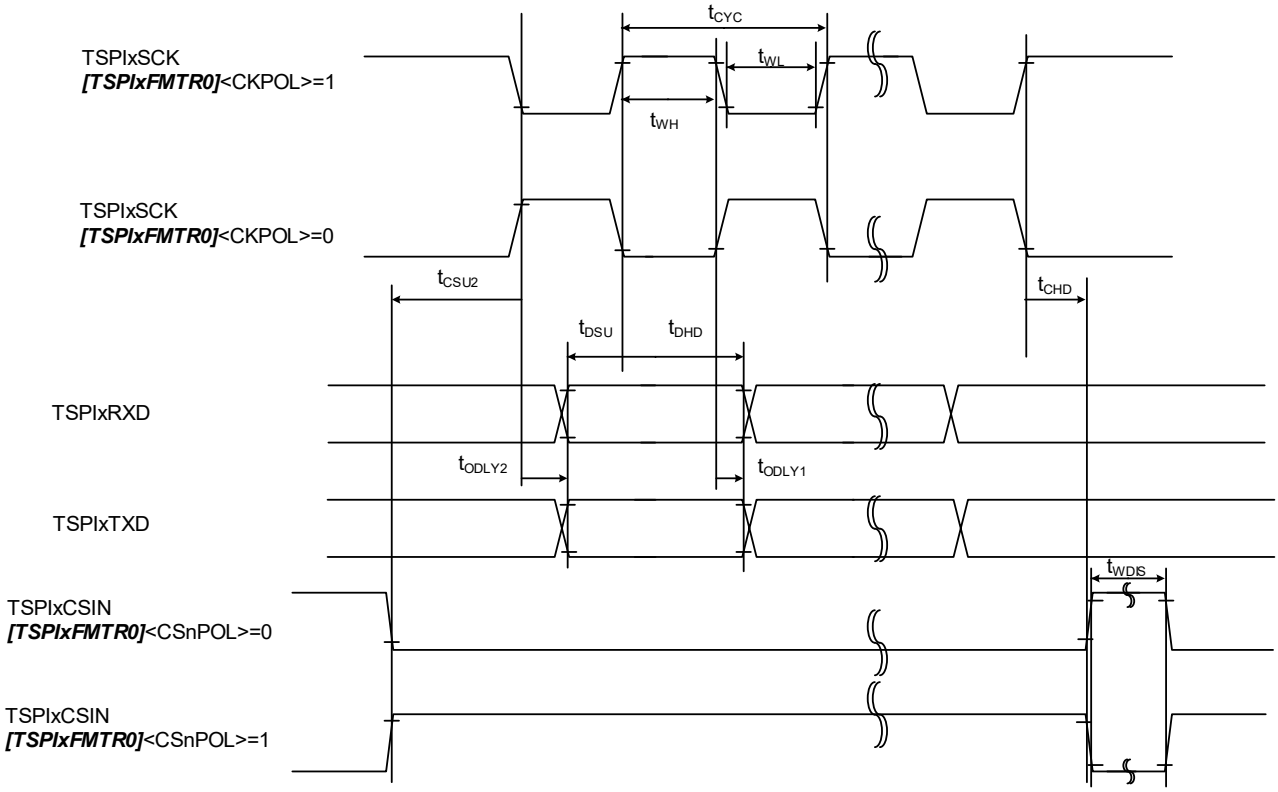


図 7.5 2ndクロックエッジサンプリング(スレーブ)

7.11.2. I²C インターフェース(I2C)

7.11.2.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7 × DVDD5、Low = 0.3 × DVDD5
- 負荷容量: CL = 30pF
- 外部プルアップ抵抗 R_p = 2.2kΩ

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.2.2. AC 電気的特性

項目		記号	標準モード		ファストモード		単位
			Min	Max	Min	Max	
SCL クロック周波数		f_{SCL}	0	100	0	400	kHz
スタートコンディション保持時間		$t_{HD;STA}$	4.0	-	0.6	-	μs
SCL クロック Low 幅(入力)(注 1)		t_{LOW}	4.7	-	1.3	-	
SCL クロック High 幅(入力)(注 1)		t_{HIGH}	4.0	-	0.6	-	
再スタートコンディション セットアップ時間	<SREN> = 0	$t_{SU;STA}$	4.7(注 3)	-	0.6(注 3)	-	
	<SREN> = 1		4.7(注 3)	-	0.6	-	
データ保持時間(入力)(注 2)		$t_{HD;DAT}$	0	-	0	-	
データセットアップ時間		$t_{SU;DAT}$	250	-	100	-	ns
ストップコンディションセットアップ時間		$t_{SU;STO}$	4.0	-	0.6	-	μs
ストップコンディションとスタートコンディション間のバスフリー時間(注 3)		t_{BUF}	4.7	-	1.3	-	
入力フィルターで抑制必要なスパイクパルス幅		t_{SP}	-	-	0	50	ns
SDA と SCL 信号の立ち上がり時間		t_r	-	1000	20	300	
SDA と SCL 信号の立ち下がり時間		t_f	-	300	20 × (VDD/5.5V)	300	

注 1) 通信規格上、標準モード/ファストモードの最高速度は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I²C インターフェース」3.3.2.章の計算式を参照してください。

注 2) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t_r/t_f を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注 3) ソフトウェアで時間を確保してください。

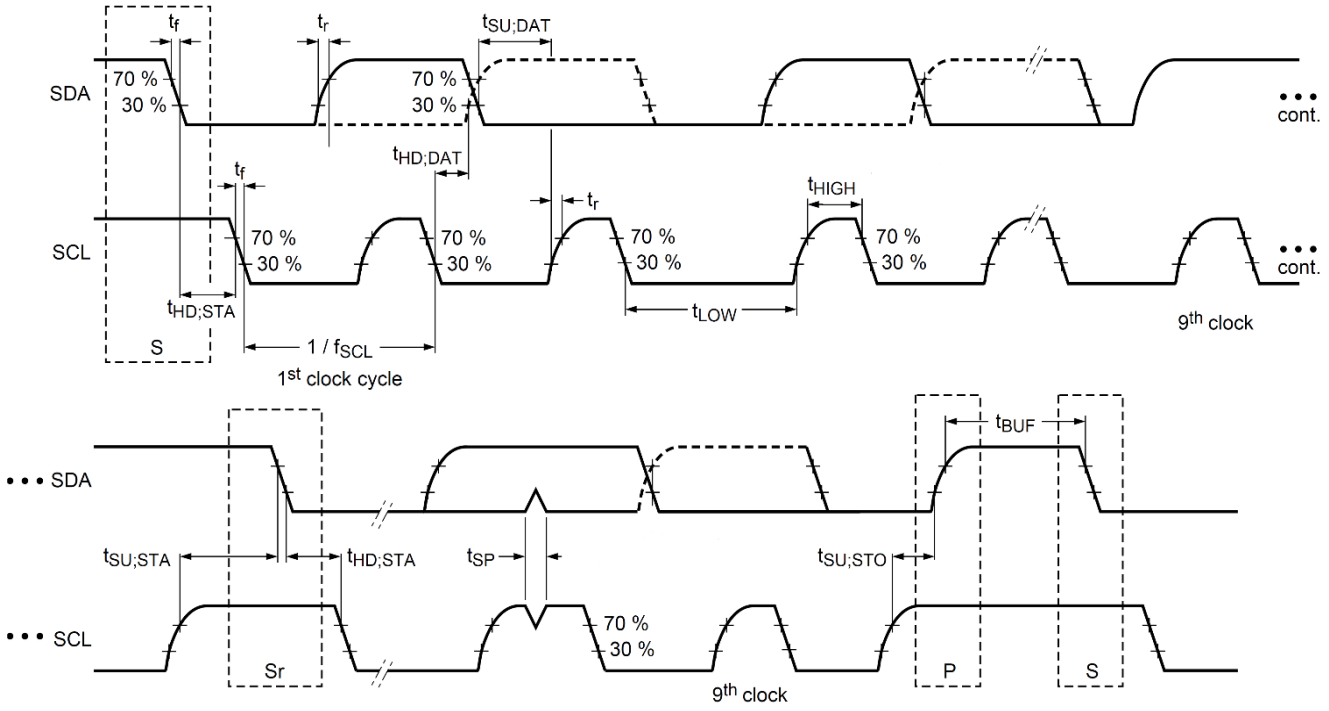


図 7.6　I2CのACタイミング

7.11.3. I²C インターフェースバージョン A(EI2C)

7.11.3.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7 × DVDD5、Low = 0.3 × DVDD5
- 負荷容量: CL = 30pF
- 外部プルアップ抵抗: R_p = 2.2kΩ

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.3.2. AC 電気的特性

項目	記号	標準モード		ファストモード		ファストモードプラス		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	f_{SCL}	0	100	0	400	0	1000	kHz
スタートコンディション保持時間	$t_{HD;STA}$	4.0	-	0.6	-	0.26	-	μs
SCL クロック Low 幅(入力)(注 1)	t_{LOW}	4.7	-	1.3	-	0.5	-	
SCL クロック High 幅(入力)(注 1)	t_{HIGH}	4.0	-	0.6	-	0.26	-	
再スタートコンディション セットアップ時間	$t_{SU;STA}$	4.7	-	0.6	-	0.26	-	
データ保持時間(入力)(注 2)	$t_{HD;DAT}$	0	-	0	-	0	-	
データセットアップ時間	$t_{SU;DAT}$	250	-	100	-	50	-	ns
ストップコンディションセットアップ時間	$t_{SU;STO}$	4.0	-	0.6	-	0.26	-	μs
ストップコンディションとスタートコンディション間のバスフリー時間(注 3)	t_{BUF}	4.7	-	1.3	-	0.5	-	
入力フィルターで抑制必要なスパイクパルス幅	t_{SP}	-	-	0	50	0	50	ns
SDA と SCL 信号の立ち上がり時間	t_r	-	1000	20	300	-	120	
SDA と SCL 信号の立ち下がり時間	t_f	-	300	20 × (VDD/5.5V)	300	20 × (VDD/5.5V)	120	

注 1) 通信規格上、標準モード/ファストモード/ファストモードプラスの最高速度は 100kHz/400kHz/1000kHz です。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I²C インターフェースバージョン A」3.3.1.章の計算式を参照してください。

注 2) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t_r/t_f を含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注 3) ソフトウェアで時間を確保してください。

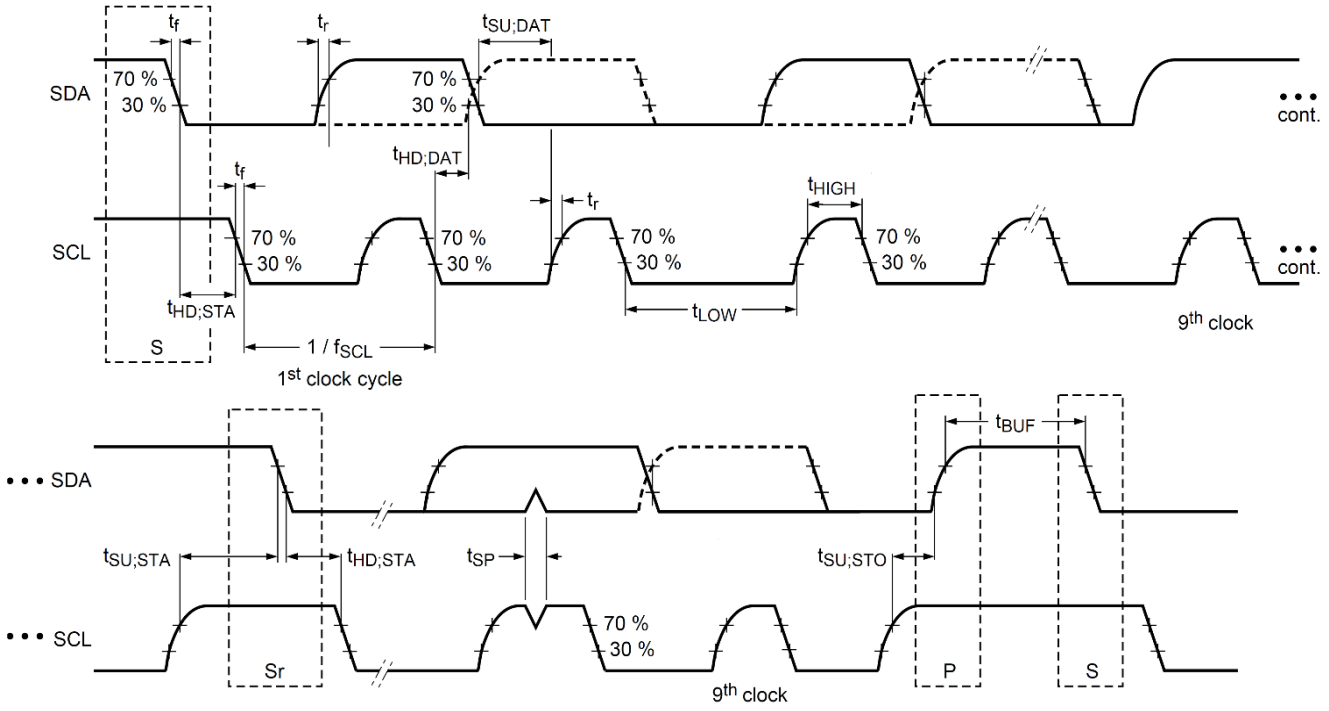


図 7.7　EI2CのACタイミング

7.11.4. 32 ビットタイマーイベントカウンター(T32A)

T32AxINA0/A1、T32AxINB0/B1、T32AxINC0/C1 入力に対する AC 電気的特性です。

7.11.4.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 入力レベル: High = 0.75 × DVDD5、Low = 0.25 × DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.4.2. AC 電気的特性

T は T32A の動作クロックの周期を表します。T32A の動作クロックは、クロック ΦT0 と同じ周期です。この周期は、プリスケーラークロックの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	計算式		ϕT0 = 80MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t_{VCKL}	2T + 20	-	45	-	ns
High レベルパルス幅	t_{VCKH}	2T + 20	-	45	-	

(2) パルスカウント動作時

項目	記号	計算式		ϕT0 = 80MHz NF = 4		単位
		Min	Max	Min	Max	
パルス周期	t_{DCYC}	1000	-	1000	-	ns
低レベルパルス幅	t_{PWL}	500	-	500	-	
高レベルパルス幅	t_{PWH}	500	-	500	-	
入力セットアップ	t_{ABS}	(NF+1)×T+20	-	82.5	-	
入力ホールド	t_{ABH}	(NF+1)×T+20	-	82.5	-	

NF の値は***[T32AxPLSCR]***<NF[1:0]> の設定により以下の値になります。

[T32AxPLSCR]<NF[1:0]>	計算式の NF 値
00	0
01	2
10	4
11	8

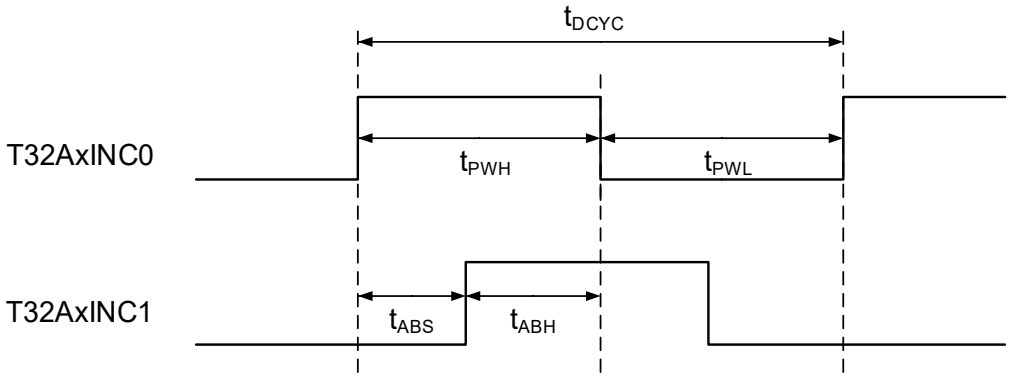


図 7.8　カウントパルス入力

7.11.5. 外部割り込み

7.11.5.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 入力レベル: High = 0.75 × DVDD5、Low = 0.25 × DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.5.2. AC 電気的特性

表中の「T」はシステムクロック fsys の周期を表します。

(1) NORMAL、IDLE モード時

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t_{INTAL1}	T + 100	-	112.5	-	ns
High レベルパルス幅	t_{INTAH1}	T + 100	-	112.5	-	

(2) STOP1、STOP2 モード時

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t_{INTCL2}	125	-	125	-	ns
High レベルパルス幅	t_{INTCH2}	125	-	125	-	

7.11.6. 端子トリガー入力(TRGINx)

7.11.6.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 入力レベル: High = 0.75 × DVDD5、Low = 0.25 × DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.6.2. AC 電気的特性

表中の「T」はシステムクロック fsys の周期を表します。

項目	記号	計算式		fsys = 80 MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t_{ADL}	2T+ 20	-	45	-	ns
High レベルパルス幅	t_{ADH}	2T+ 20	-	45	-	

7.11.7. デバッグ通信

7.11.7.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 出力レベル: High = 0.8 × DVDD5、Low = 0.2 × DVDD5
- 入力レベル: High = 0.75 × DVDD5、Low = 0.25 × DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.7.2. SWD インターフェース

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V

項目	記号	Min	Max	単位
CLK High レベル幅	t_{dckh}	50	-	ns
CLK Low レベル幅	t_{dckl}	50	-	
CLK 立ち上がりから出力データ保持時間	t_{d1}	1	-	
CLK 立ち上がりから出力データ有効時間	t_{d2}	-	35	
入力データ有効から CLK 立ち上がり時間	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持時間	t_{dh}	15	-	

2.7V ≦ DVDD5 = AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK High レベル幅	t_{dckh}	50	-	ns
CLK Low レベル幅	t_{dckl}	50	-	
CLK 立ち上がりから出力データ保持時間	t_{d1}	1	-	
CLK 立ち上がりから出力データ有効時間	t_{d2}	-	45	
入力データ有効から CLK 立ち上がり時間	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持時間	t_{dh}	15	-	

7.11.7.3. JTAG インターフェース

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V

項目	記号	Min	Max	単位
CLK High レベル幅	t_{dckh}	50	-	ns
CLK Low レベル幅	t_{dckl}	50	-	
CLK 立ち下がりから出力データ保持時間	t_{d3}	0	-	
CLK 立ち下がりから出力データ有効時間	t_{d4}	-	35	
入力データ有効から CLK 立ち上がり時間	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持時間	t_{dh}	15	-	

2.7V ≦ DVDD5 = AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK High レベル幅	t_{dckh}	50	-	ns
CLK Low レベル幅	t_{dckl}	50	-	
CLK 立ち下がりから出力データ保持時間	t_{d3}	0	-	
CLK 立ち下がりから出力データ有効時間	t_{d4}	-	45	
入力データ有効から CLK 立ち上がり時間	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持時間	t_{dh}	15	-	

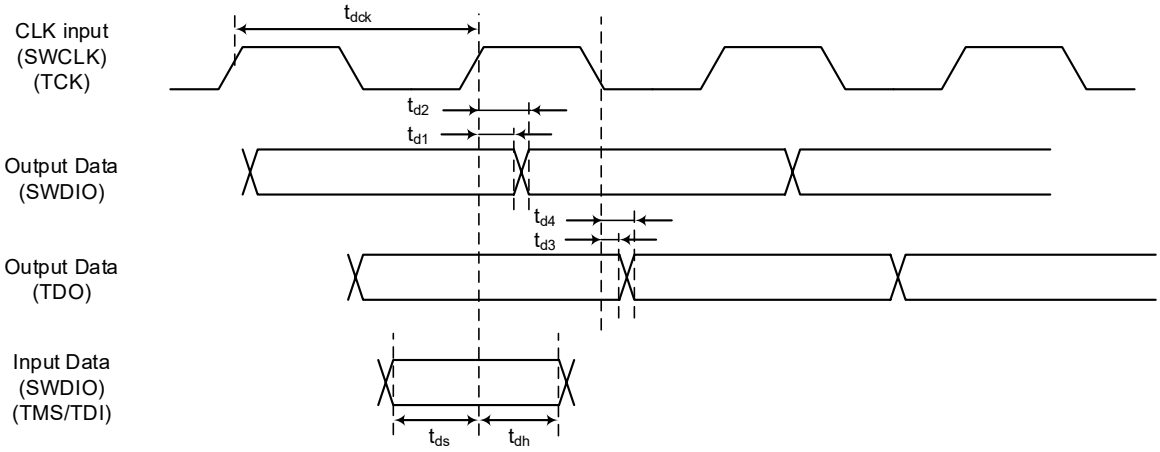


図 7.9 JTAG/SWD波形

7.11.7.4. ETM トレース

4.5V ≦ DVDD5 = AVDD5 ≦ 5.5V

項目	記号	Min	Max	単位
TRACECLK 周期	t_{tclk}	50	-	ns
TRACEDATA 有効から TRACECLK 立ち上がり時間	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持時間	t_{holdr}	1	-	
TRACEDATA 有効から TRACECLK 立ち下がり時間	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持時間	t_{holdf}	1	-	

2.7V ≦ DVDD5 = AVDD5 < 4.5V

項目	記号	Min	Max	単位
TRACECLK 周期	t_{tclk}	100	-	ns
TRACEDATA 有効から TRACECLK 立ち上がり時間	t_{setupr}	2	-	
TRACECLK 立ち上がりから TRACEDATA 保持時間	t_{holdr}	1	-	
TRACEDATA 有効から TRACECLK 立ち下がり時間	t_{setupf}	2	-	
TRACECLK 立ち下がりから TRACEDATA 保持時間	t_{holdf}	1	-	

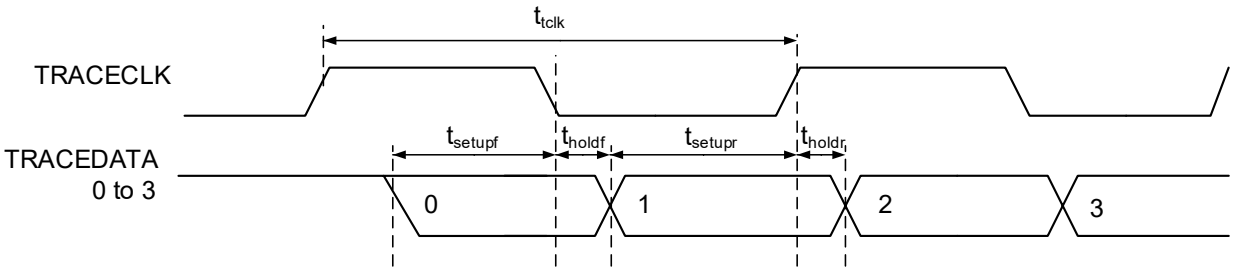


図 7.10 トレース信号波形

7.11.8. SCOUT 端子

7.11.8.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 出力レベル: High = 0.8 × DVDD5、Low = 0.2 × DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.8.2. AC 電気的特性

表中の「T」は SCOUT 出力波形の周期を示します。

項目	記号	計算式		SCOUT = 20MHz		単位
		Min	Max	Min	Max	
Low レベルパルス幅	t_{SCL}	0.5T-10	-	15	-	ns
High レベルパルス幅	t_{SCH}	0.5T-10	-	15	-	

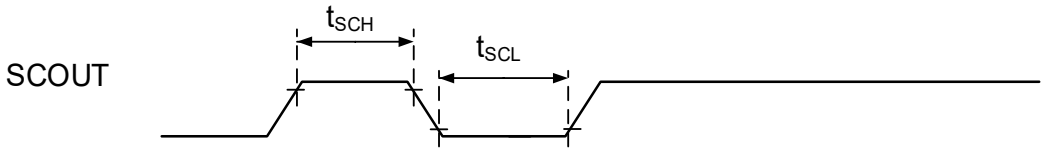


図 7.11 SCOUT出力波形

7.11.9. ノイズフィルター特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	-	15	30	60	ns

7.11.10. 外部クロック入力

7.11.10.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7 ~ 5.5V
- Ta = -40 ~ 105°C
- 入力レベル: High = 0.75 × DVDD5、Low = 0.25 × DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.11.10.2. AC 電気的特性

項目	記号	Min	Typ.	Max	単位
クロック周波数(1/t_{ehcin})	$f_{EHCLKIN}$	6	-	20	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t_r	-	-	10	ns
クロック立ち下がり時間	t_f	-	-	10	ns

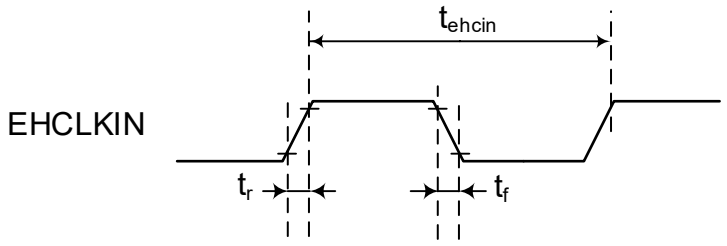


図 7.12 外部クロック入力波形

7.12. フラッシュ特性

7.12.1. コードフラッシュ特性

DVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数	-	-	-	100,000	回
書き込み時間	1 ワードあたりに換算	-	22.6	-	μs
消去時間	ページ	1.1	-	4.2	ms
	ブロック	8.4	-	33.6	
	エリア(注 2)	-	9.1	-	

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。
注 2) 消去コマンド実行時、プロテクトが有効なブロックが無い場合です。

7.12.2. データフラッシュ特性

DVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	条件	Min	Typ.	Max	単位
フラッシュメモリー書き換え回数	-	-	-	100,000	回
書き込み時間	-	-	78	-	μs
消去時間	ページ	1.1	-	4.2	ms
	ブロック	16.2	-	64.6	
	エリア(注 2)	-	9.1	-	

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。
注 2) 消去コマンド実行時、プロテクトが有効なブロックが無い場合です。

7.12.3. チップ消去特性

DVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	条件	Min	Typ.	Max	単位
チップ消去時間	消去対象: コードフラッシュ データフラッシュ プロテクトビット(コード) プロテクトビット(データ) セキュリティービット	30.4	-	39.8	ms

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。
注 2)自動チップ消去、自動プロテクトビット消去(コードおよびデータ)、自動セキュリティービット消去コマンドの実行時間の合計です。自動チップ消去コマンドは、プロテクトが有効なブロックが無い場合の時間です。

7.13. レギュレーター

項目	条件	Min	Typ.	Max	単位
REGOUT1, REGOUT2 コンデンサー容量	DVDD5 = 2.7V ~ 5.5V Ta = -40 ~ 105°C	0.8	4.7	5.64	μF

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.14. 発振回路

7.14.1. 内蔵発振器

DVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f_{IHOSC1}	-	9.9	10	10.1	MHz
	f_{IHOSC2}	-	-	10	-	

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。
注 2) IHOSC1 は必要に応じてトリミングを行ってください。
IHOSC2 はトリミングできません。

7.14.2. 外部発振器

DVDD5 = 2.7V ~ 5.5V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f_{EHOSC}	-	6	-	12	MHz
	f_{ELOSC}	-	30	-	34	kHz

注 1) DVDD5 は DVDD5A、DVDD5B の総称です。
注 2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

7.14.3. 発振回路例

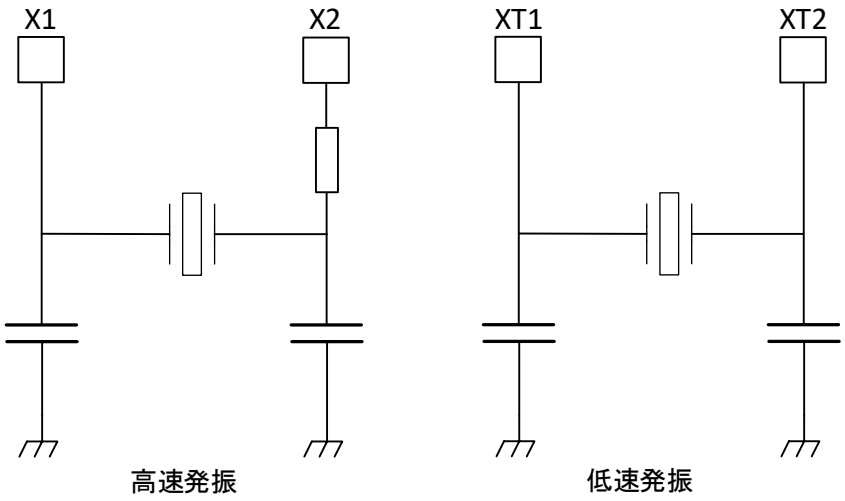


図 7.13 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

7.14.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。
(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

7.14.5. 水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。
京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

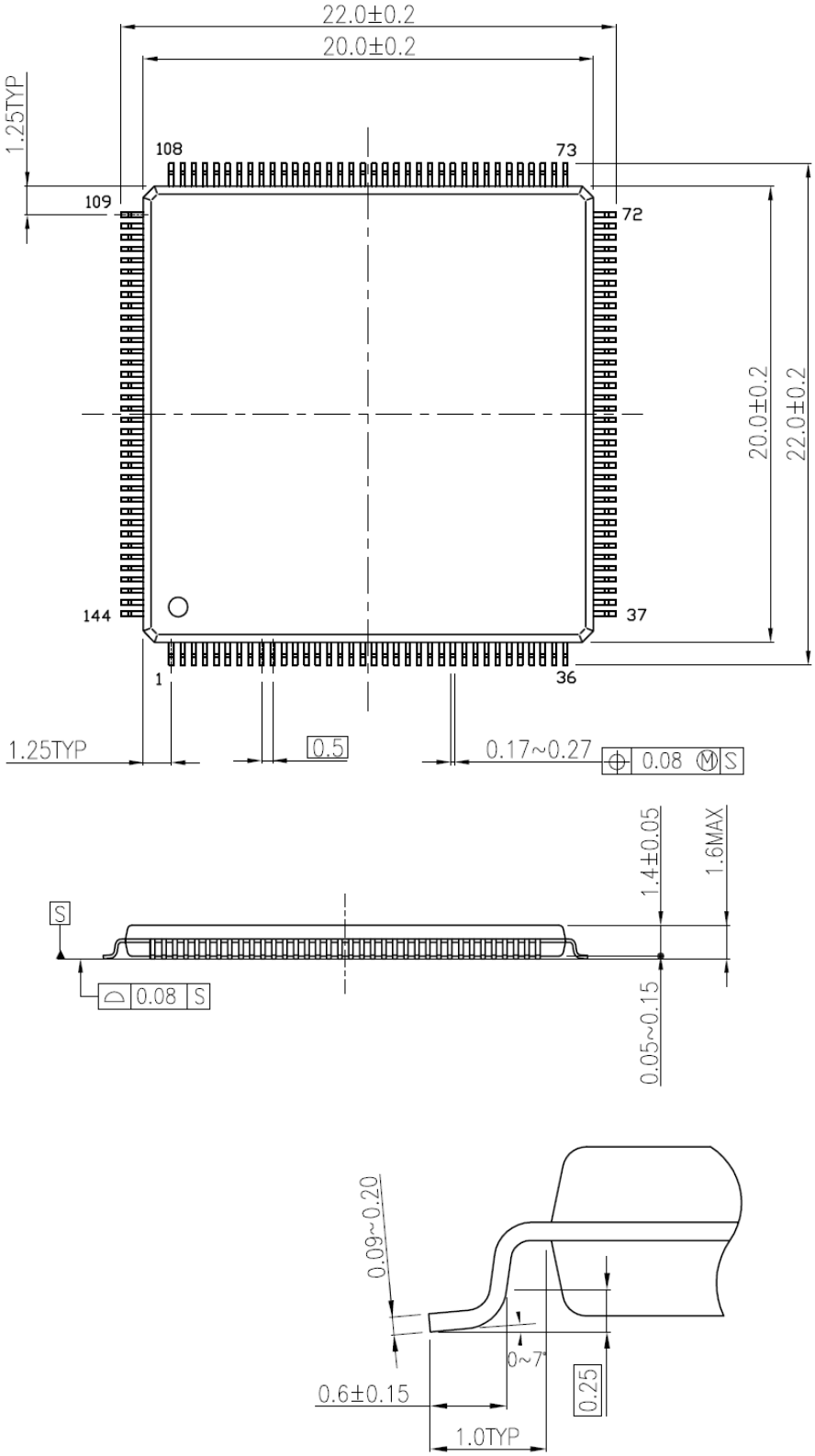
7.14.6. プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

8. 外形寸法図

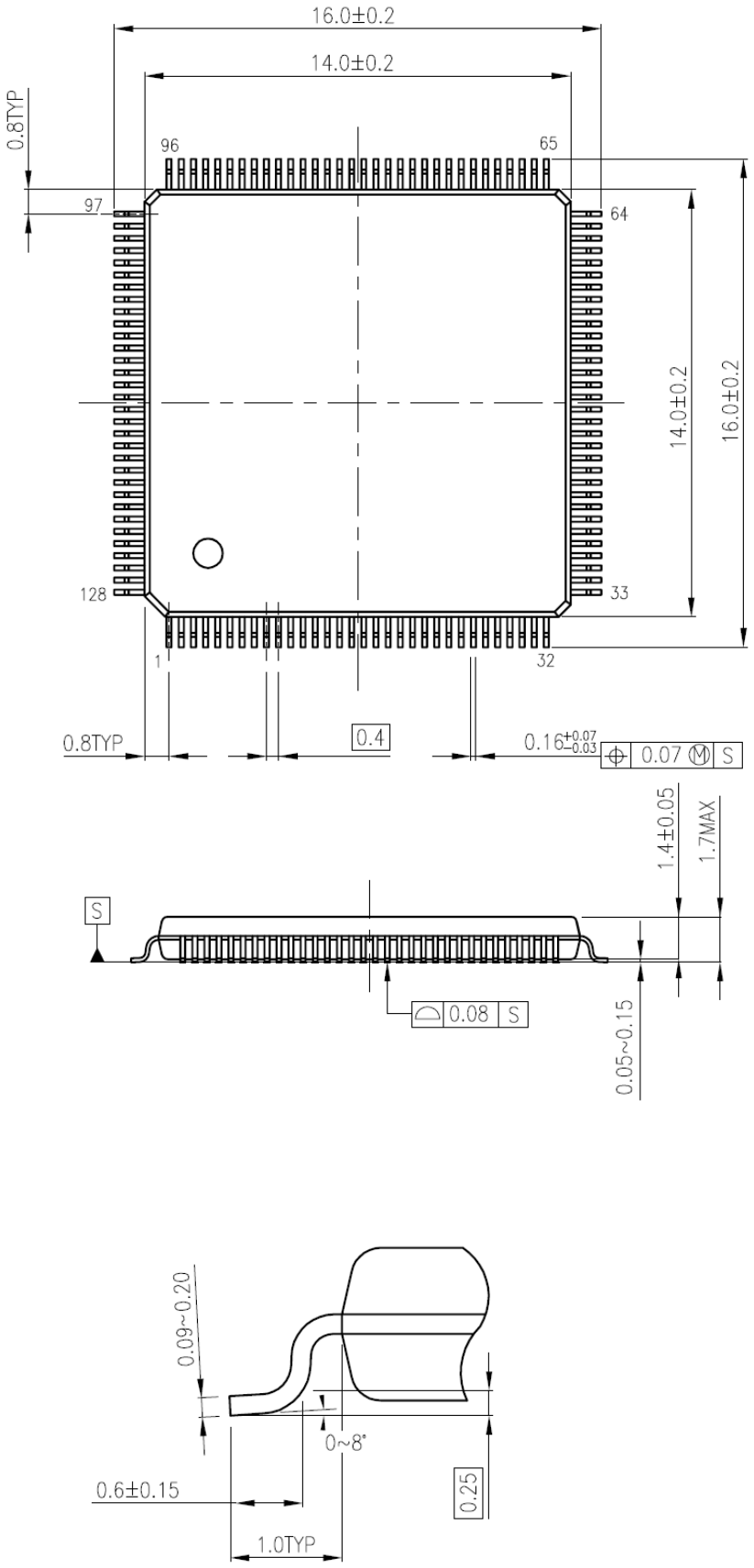
8.1. P-LQFP144-2020-0.50-002

単位: mm



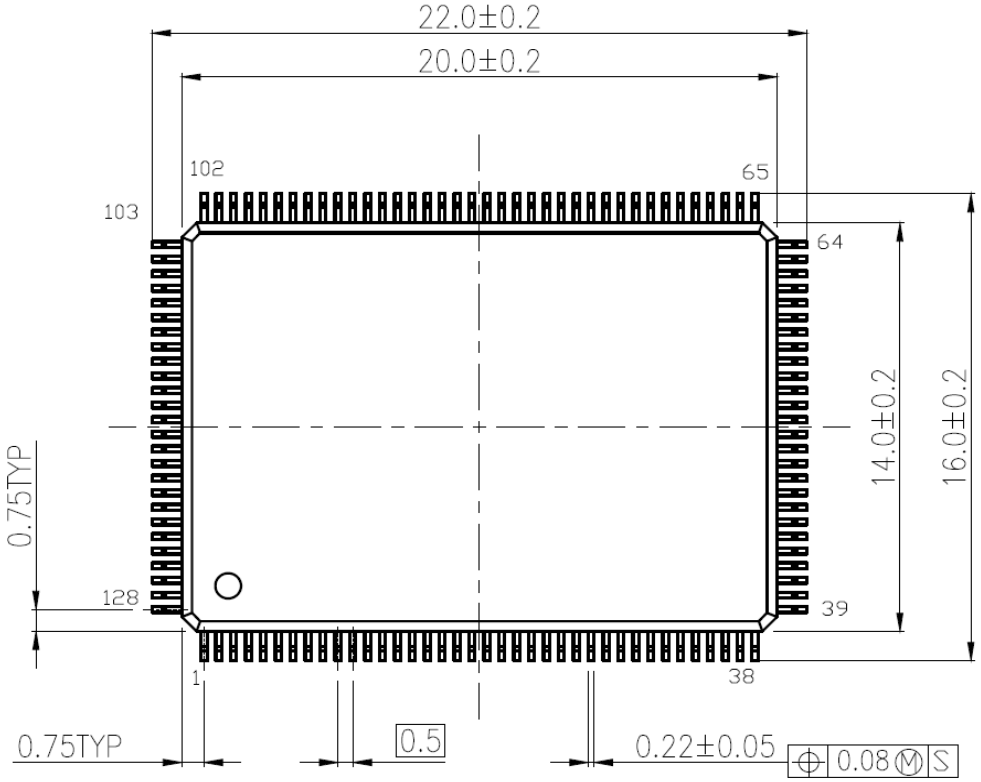
8.2. P-LQFP128-1414-0.40-001

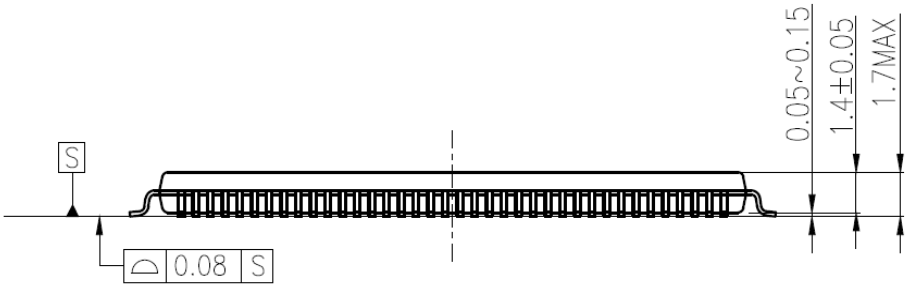
単位: mm

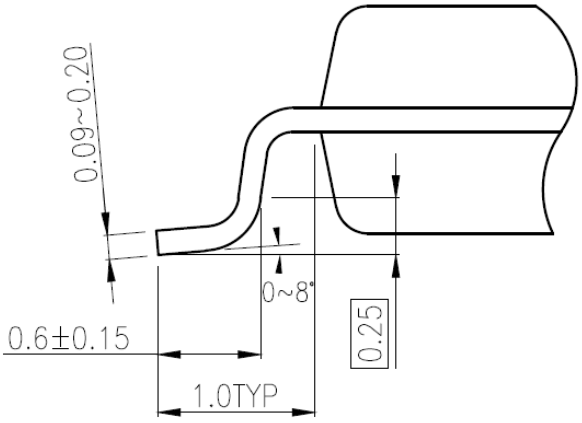


8.3. P-LQFP128-1420-0.50-001

単位: mm

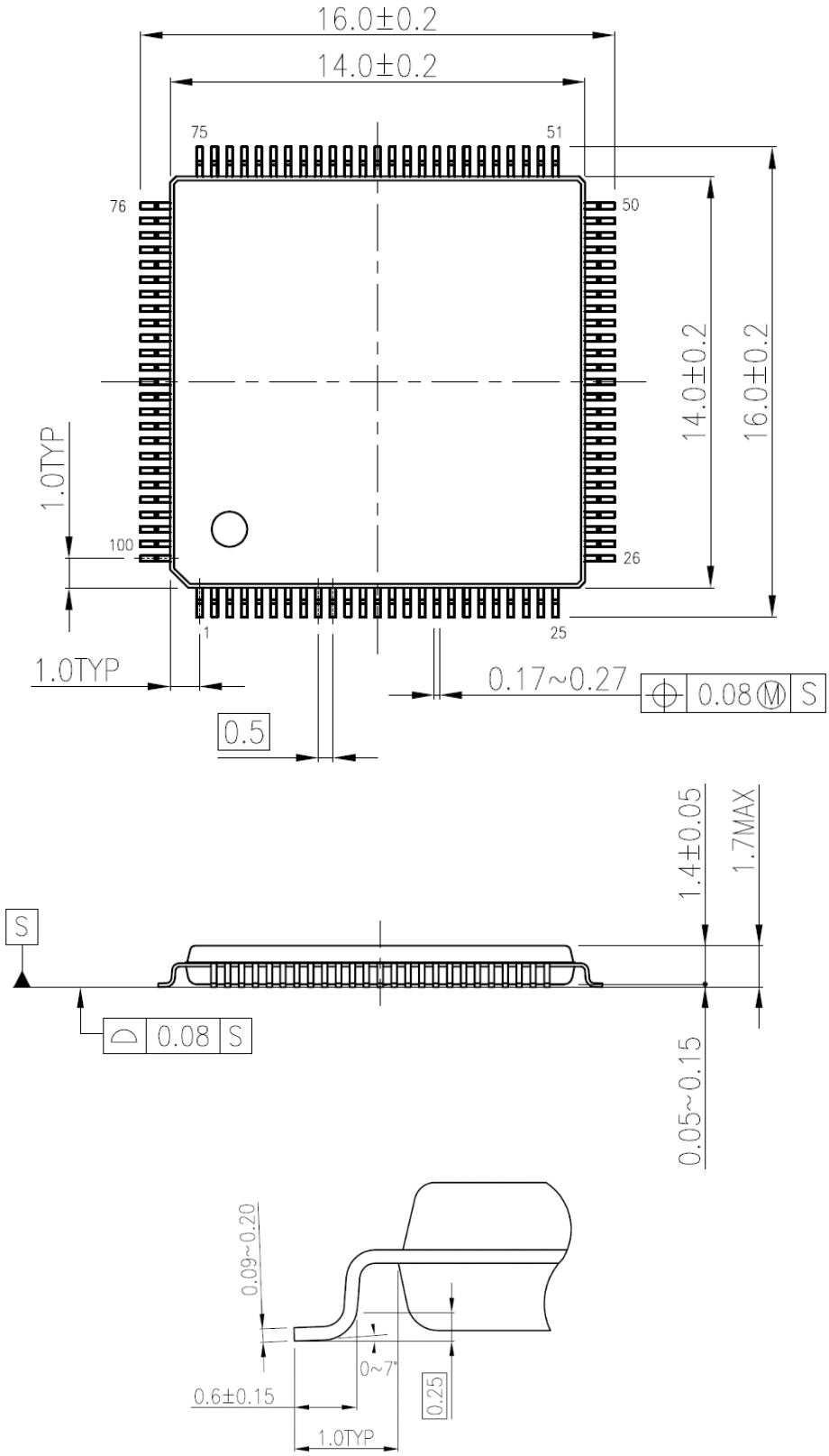






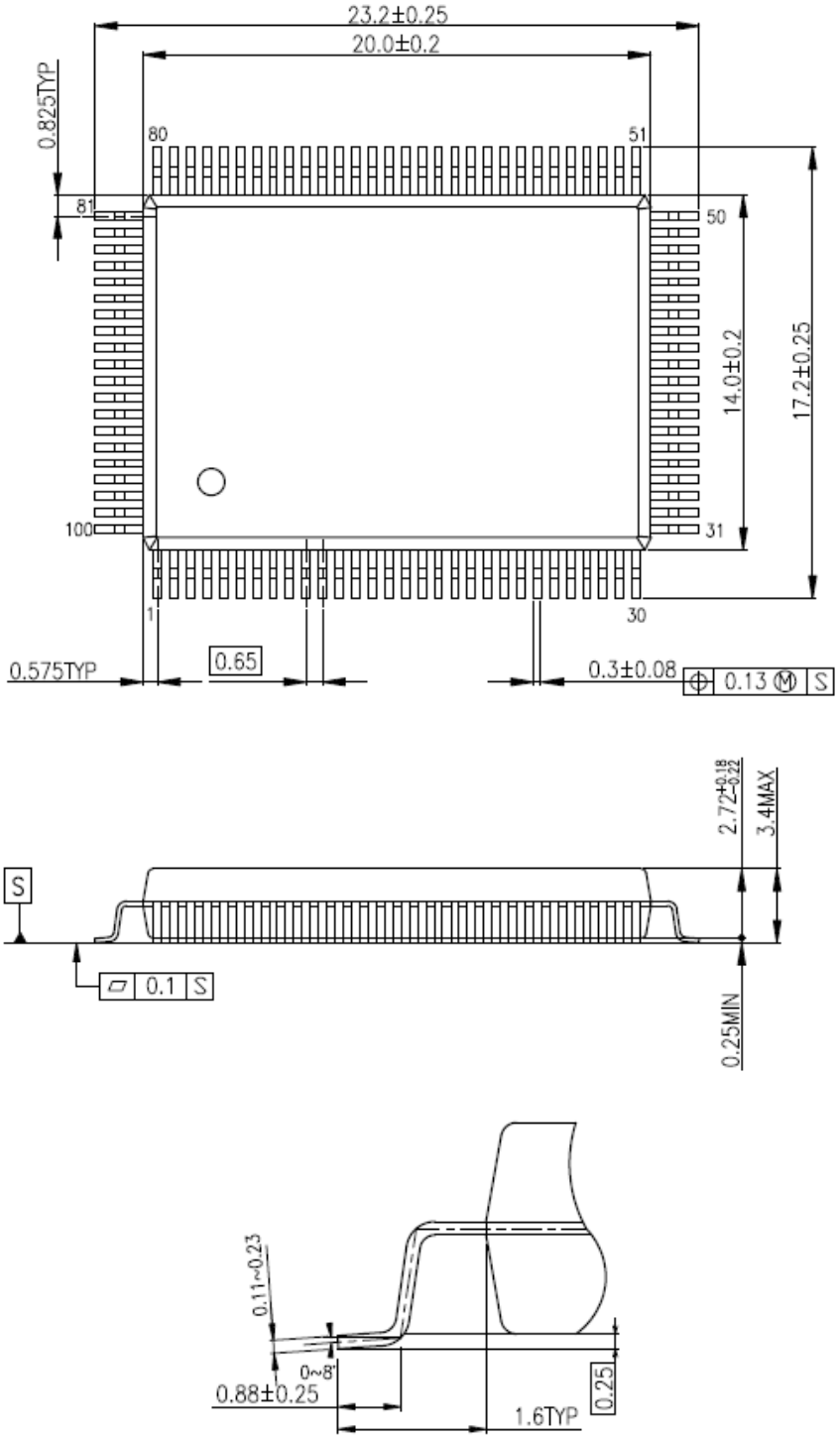
8.4. P-LQFP100-1414-0.50-002

単位: mm



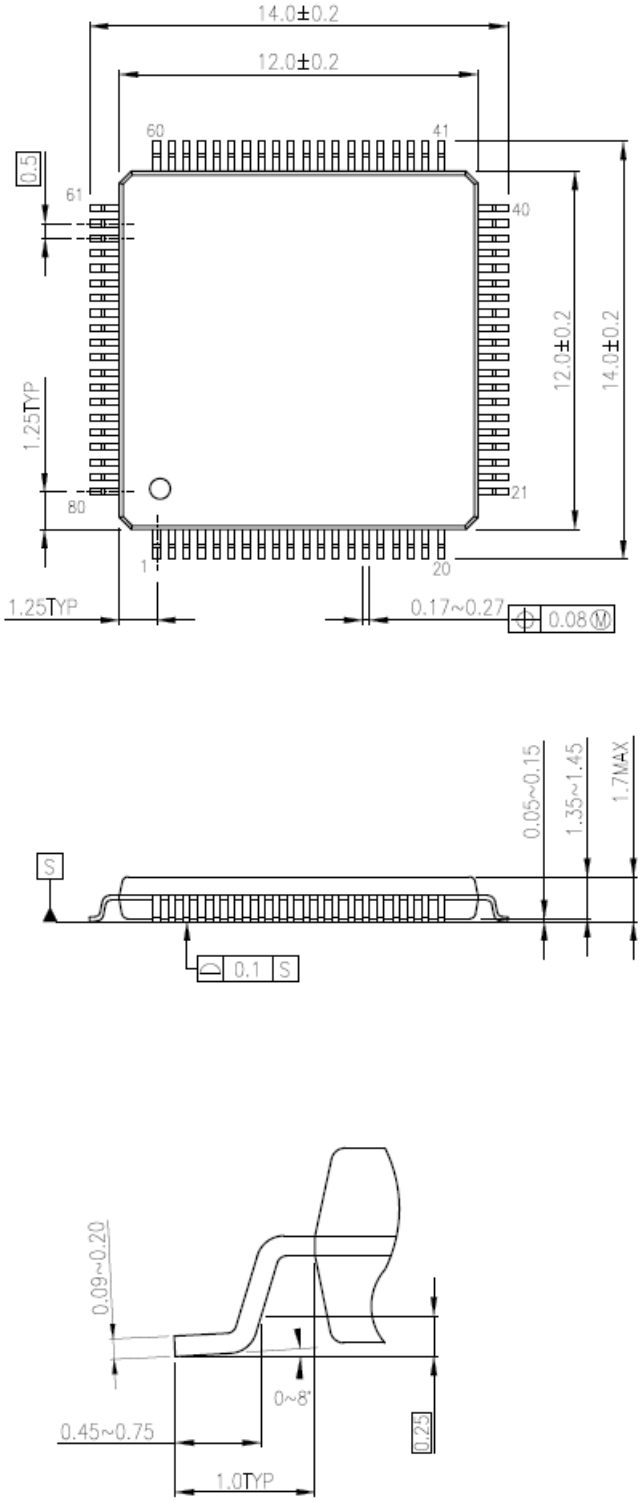
8.5. P-QFP100-1420-0.65-003

単位: mm



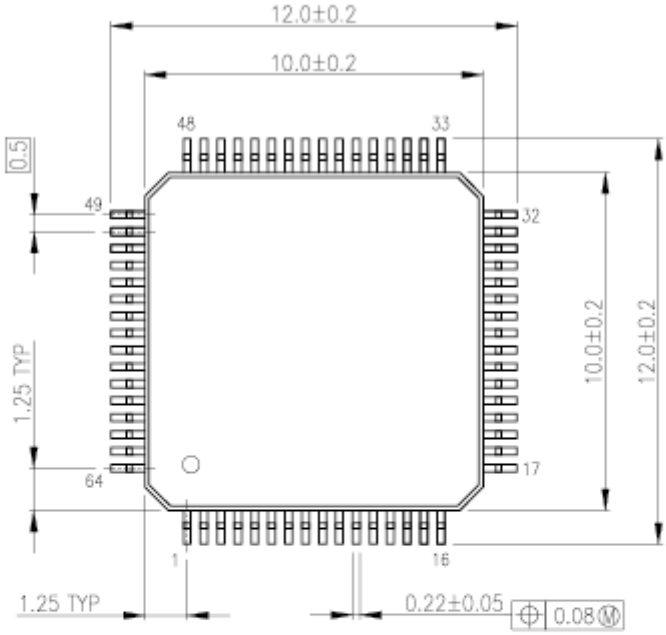
8.6. P-LQFP80-1212-0.50-005

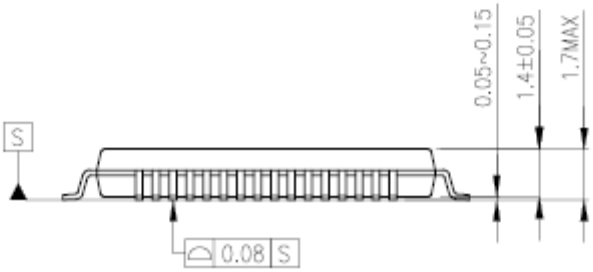
単位: mm

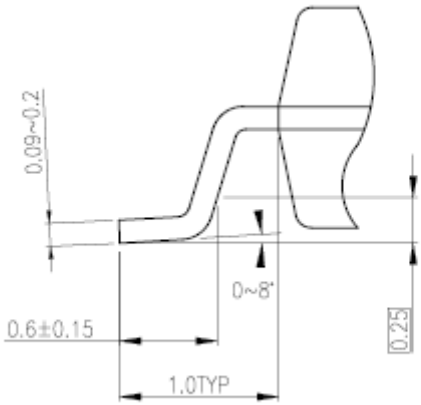


8.7. P-LQFP64-1010-0.50-003

単位: mm







9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。
なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

(1) 電源投入時の動作について
電源投入時、本資料に掲載されている製品の内部は不定状態となります。
このため、リセットが有効となるまで、端子の状態は不定となります。
外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。
また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

(2) 未使用端子の処置について
本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。
未使用端子については、1 本ずつ抵抗を通して電源端子または 1 本ずつ抵抗を通して GND 端子に固定することを推奨します。

(3) クロック発振の安定について
リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

10. 改訂履歴

表 10.1 改訂履歴

Revision	日付	内容
1.0	2023-04-28	初版
1.1	2025-02-21	・体裁の更新 ・5.27.1 概要 説明文を変更、注)を追加 ・6.4. クロック制御 X1,X2 の図を変更 ・8.6. P-QFP80-1212-0.50-005 タイトルと寸法図を変更
1.2	2025-08-01	・7.11.1.2. AC 電気的特性 表と図の見出し番号を変更

Appendix

全端子一覧表

兼用機能A､B: ポートファンクションレジスターの設定なしにポートに割り当てられる兼用機能です。
兼用機能1～6: ポートファンクションレジスターの設定によりポートに割り当てられる兼用機能です。

全端子一覧表(1)

M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	端子名称	兼用機能A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中の状態	リセット後の状態
1	1	4	1	3	PE1	AINA05								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
2	2	5	2	4	PE0	AINA04								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
3	3	6	3	5	PD3	AINA03								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
4	4	7	4	6	PD2	AINA02								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
5	5	8	5	7	PD1	AINA01								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
6	6	9	6	8	PD0	AINA00								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
7	7	10	7	9	AVDD5									-	-	-	-	-	-
8	8	11	8	10	AVSS									-	-	-	-	-	-
9	9	12	9	11	PG0	DAC0								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
10	10	13	10	12	PG1	DAC1								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
11	-	-	-	-	PU5									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
12	-	-	-	-	PU4									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
13	-	-	-	-	PU3									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
14	-	-	-	-	PU2									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
15	11	14	-	-	PG2		INT27	UT3RXD	UT3TXDA	T32A07OUTA	T32A07OUTC			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
16	12	15	-	-	PG3		INT28	UT3TXDA	UT3RXD	T32A07INA0	T32A07INC0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
17	13	16	-	-	PG4			UT3TXDB		T32A07INA1	T32A07INC1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
18	14	17	-	-	PG5					T32A07OUTB				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
19	15	18	-	-	PG6					T32A07INB0				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
20	16	19	-	-	PG7					T32A07INB1				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
21	17	20	11	13	PA7		INT11	UT3TXDA	UT3RXD					入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
22	18	21	12	14	PA6		INT07	UT3RXD	UT3TXDA					入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
23	19	22	13	15	PA5			I2C1SDA	EI2C1SDA		T32A00INB1			入出力	PU/PD	T	SMT	Hi-Z	Hi-Z
24	20	23	14	16	PA4			I2C1SCL	EI2C1SCL	TSPI0CS1	T32A00INB0			入出力	PU/PD	T	SMT	Hi-Z	Hi-Z
25	21	24	15	17	PA3				TSPI0CSIN	TSPI0CS0	T32A00OUTB		TRGIN1	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
26	22	25	16	18	PA2			UT0RXD	UT0TXDA	TSPI0RXD	T32A00INA1	T32A00INC1	ENC0Z	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
27	23	26	17	19	PA1			UT0TXDA	UT0RXD	TSPI0TXD	T32A00INA0	T32A00INC0	ENC0B	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
28	24	27	18	20	PA0			UT0TXDB		TSPI0SCK	T32A00OUTA	T32A00OUTC	ENC0A	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
29	25	28	-	-	PM7									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
30	26	29	19	21	PM6		INT15							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
31	27	30	20	22	PM5						T32A00INB1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
32	28	31	21	23	PM4			UT0RTS_N	UT0CTS_N	TSPI0CS1	T32A00INB0		TRACEDATA3	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
33	29	32	22	24	PM3			UT0CTS_N	UT0RTS_N	TSPI0CS0	T32A00OUTB	TSPI0CSIN	TRACEDATA2	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
34	30	33	23	25	PM2		INT09	UT0RXD	UT0TXDA	TSPI0RXD	T32A00INA1	T32A00INC1	TRACEDATA1	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
35	31	34	24	26	PM1			UT0TXDA	UT0RXD	TSPI0TXD	T32A00INA0	T32A00INC0	TRACEDATA0	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
36	32	35	25	27	PM0			UT0TXDB		TSPI0SCK	T32A00OUTA	T32A00OUTC	TRACECLK	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
37	33	36	26	28	PB0	BOOT_N					T32A01OUTA	T32A01OUTC	SCOUT	出力	PU/PD	N/A	SMT	Hi-Z(注 1)	Hi-Z
38	34	37	27	29	PB1		INT03	RXIN0			T32A01INA0	T32A01INC0	TRGIN0	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
39	35	38	28	30	PB2			UT2TXDA	UT2RXD	TSPI1SCK	T32A01INA1	T32A01INC1		入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
40	36	39	29	31	PB3			UT2RXD	UT2TXDA	TSPI1TXD	T32A01OUTB			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
41	37	40	30	32	PB4			UT2CTS_N	UT2RTS_N	TSPI1RXD	T32A01INB0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
42	38	41	31	33	PB5			UT2RTS_N	UT2CTS_N	TSPI1CS0	T32A01INB1	TSPI1CSIN		入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
43	39	42	32	34	PB6					TSPI1CS1				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
44	40	43	33	35	PB7		INT16							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
45	-	-	-	-	PU0		INT30							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
46	-	-	-	-	PU1		INT31							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
47	41	44	34	36	PL0			UT2TXDA	UT2RXD	I2C2SCL	EI2C2SCL	TRST_N		入出力	PU/PD	N/A	SMT	PU(注 2)	PU(注 2)
48	42	45	35	37	PL1			UT2RXD	UT2TXDA	I2C2SDA	EI2C2SDA	TDI		入出力	PU/PD	N/A	SMT	PU(注 2)	PU(注 2)
49	43	46	36	38	PL2			UT2CTS_N	UT2RTS_N	T32A06OUTB		TDO/SWV		入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
50	44	47	37	39	PL3		INT08	UT2RTS_N	UT2CTS_N	T32A06INB0		TCK/SWCLK		入出力	PU/PD	N/A	SMT	PD(注 2)	PD(注 2)
51	45	48	38	40	PL4		INT12			T32A06INB1		TMS/SWDIO		入出力	PU/PD	N/A	SMT	PU(注 2)	PU(注 2)
52	46	49	39	41	PL5					T32A06OUTA	T32A06OUTC			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
53	47	50	40	42	PL6					T32A06INA0	T32A06INC0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
54	48	51	-	-	PL7					T32A06INA1	T32A06INC1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
55	-	-	-	-	PT7		INT29			T32A06INA1	T32A06INC1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
56	-	-	-	-	PT6					T32A06INA0	T32A06INC0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
57	-	-	-	-	PT5					T32A06OUTA	T32A06OUTC			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
58	-	-	-	-	PT4			TSPI2RXD		T32A06INB1				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
59	49	52	-	-	PT3		INT26	TSPI2TXD		T32A06INB0				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
60	50	53	-	-	PT2		INT25	TSPI2SCK		T32A06OUTB				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
61	51	54	-	-	PT1		INT24	I2C3SCL	TSPI2CS0	TSPI2CSIN	EI2C3SCL			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
62	52	55	-	-	PT0		INT23	I2C3SDA	TSPI2CS1		EI2C3SDA			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
63	53	56	41	43	PP0				TSPI2SCK	T32A01OUTA	T32A01OUTC			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
64	54	57	42	44	PP1				TSPI2TXD	T32A01INA0	T32A01INC0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
65	55	58	43	45	PP2				TSPI2RXD	T32A01INA1	T32A01INC1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
66	56	59	44	46	DVDD5A									-	-	-	-	-	-
67	57	60	45	47	REGOUT2									-	-	-	-	-	-
68	58	61	46	48	REGOUT1									-	-	-	-	-	-
69	59	62	47	49	DVSSA									-	-	-	-	-	-
70	60	63	48	50	PH0	X1	EHCLKIN							入力	PD	N/A	SMT	Hi-Z	Hi-Z
71	61	64	49	51	PH1	X2								入力	PD	N/A	SMT	Hi-Z	Hi-Z
72	62	65	50	52	RESET_N									-	PU	-	SMT	-	-
73	63	66	51	53	PH2	XT1								入力	PD	N/A	SMT	Hi-Z	Hi-Z
74	64	67	52	54	PH3	XT2	INT06							入力	PD	N/A	SMT	Hi-Z	Hi-Z
75	65	68	53	55	MODE									-	PD	-	SMT	-	-
76	66	69	-	-	PH4		INT19	TSPI4SCK						入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
77	67	70	-	-	PH5		INT20	TSPI4TXD						入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
78	68	71	-	-	PH6		INT21	TSPI4RXD						入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
79	69	72	-	-	PH7		INT22							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
80	-	-	-	-	PV5			UT4TXDB						入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
81	-	-	-	-	PV6			UT4TXDA	UT4RXD					入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
82	-	-	-	-	PV7			UT4RXD	UT4TXDA					入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
83	70	73	54	56	PC0		INT00	I2C0SCL	EI2C0SCL	T32A02OUTA	T32A02OUTC		DCOM3	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
84	71	74	55	57	PC1		INT01	I2C0SDA	EI2C0SDA	T32A02INA0	T32A02INC0		DCOM2	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
85	72	75	56	58	PC2		INT02	UT4TXDB		T32A02INA1	T32A02INC1	RTCOUT	DCOM1	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
86	73	76	57	59	PC3			UT4TXDA	UT4RXD	T32A02OUTB			DCOM0	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
87	74	77	58	60	PC4			UT4RXD	UT4TXDA	T32A02INB0			SEG39	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
88	75	78	59	61	PC5			UT4CTS_N	UT4RTS_N	T32A02INB1			SEG38	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
89	76	79	60	62	PC6			UT4RTS_N	UT4CTS_N				SEG37	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
90	77	80	61	63	PR0			UT7RXD	UT7TXDA	T32A02OUTA	T32A02OUTC		SEG36	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
91	78	81	62	64	PR1			UT7TXDA	UT7RXD	T32A02INA0	T32A02INC0		SEG35	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
92	79	82	63	65	PR2			UT7TXDB		T32A02INA1	T32A02INC1		SEG34	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
93	80	83	64	66	PR3								SEG33	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
94	81	84	-	-	PR4								SEG32	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
95	82	85	-	-	PR5								SEG31	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
96	83	86	-	-	PR6								SEG30	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
97	84	87	-	-	PR7								SEG29	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
98	85	88	65	67	PN5					T32A05INB1			SEG28	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
99	86	89	66	68	PN4			UT5TXDB		T32A05INB0			SEG27	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
100	87	90	67	69	PN3		INT10	UT5TXDA	UT5RXD	T32A05OUTB		TRGIN2	SEG26	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
101	88	91	68	70	PN2			UT5RXD	UT5TXDA	T32A05INA1	T32A05INC1		SEG25	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
102	89	92	69	71	PN1			UT5CTS_N	UT5RTS_N	T32A05INA0	T32A05INC0		SEG24	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
103	90	93	70	72	PN0			UT5RTS_N	UT5CTS_N	T32A05OUTA	T32A05OUTC		SEG23	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z

注 1) RESET_N 端子が"Low"の時、内蔵 pull-up が ON です。

注 2) 初期値で内蔵 pull-up/pull-down が ON です。

全端子一覧表(2)

M3HQ (LQFP144)	M3HP (LQFP128-1414)	M3HP (LQFP128-1420)	M3HN (LQFP100)	M3HN (QFP100)	端子名称	兼用機能A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中の状態	リセット後の状態
104	91	94	71	73	PJ0			UT1TXDB		T32A03OUTA	T32A03OUTC	UO0	SEG22	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
105	92	95	72	74	PJ1			UT1TXDA	UT1RXD	T32A03INA0	T32A03INC0	XO0	SEG21	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
106	93	96	73	75	PJ2			UT1RXD	UT1TXDA	T32A03INA1	T32A03INC1	VO0	SEG20	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
107	94	97	74	76	PJ3			UT1CTS_N	UT1RTS_N	T32A03OUTB		YO0	SEG19	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
108	95	98	75	77	PJ4		INT04	UT1RTS_N	UT1CTS_N	T32A03INB0		WO0	SEG18	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
109	96	99	76	78	PJ5					T32A03INB1		ZO0	SEG17	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
110	97	100	77	79	PK0			UT1TXDB				EMG0	SEG16	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
111	98	101	78	80	PK1		INT05	UT1TXDA	UT1RXD			OVV0	SEG15	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
112	99	102	79	81	PK2			UT1RXD	UT1TXDA	T32A04OUTA	T32A04OUTC		SEG14	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
113	100	103	80	82	PK3			UT1CTS_N	UT1RTS_N	T32A04INA0	T32A04INC0		SEG13	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
114	101	104	81	83	PK4			UT1RTS_N	UT1CTS_N	T32A04INA1	T32A04INC1		SEG12	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
115	102	105	82	84	PK5			UT6RXD	UT6TXDA	T32A04OUTB			SEG11	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
116	103	106	83	85	PK6			UT6TXDA	UT6RXD	T32A04INB0			SEG10	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
117	104	107	84	86	PK7		INT13	UT6TXDB		T32A04INB1			SEG09	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
118	105	108	85	87	PP3		INT14	TSPI3RXD					SEG08	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
119	106	109	86	88	PP4			TSPI3TXD					SEG07	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
120	107	110	87	89	PP5			TSPI3SCK					SEG06	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
121	108	111	88	90	PP6			TSPI3CS0	TSPI3CSIN	PMD0DBG			SEG05	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
122	109	112	89	91	PP7			TSPI3CS1					SEG04	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
123	110	113	-	-	PV0								SEG03	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
124	111	114	-	-	PV1								SEG02	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
125	112	115	-	-	PV2		INT17						SEG01	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
126	113	116	-	-	PV3		INT18						SEG00	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
127	-	-	-	-	PV4									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
128	114	117	-	-	DVDD5B									-	-	-	-	-	-
129	115	118	-	-	DVSSB	-			-					-	-	-	-	-	-
130	-	-	-	-	PD5	AINA20								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
131	-	-	-	-	PD4	AINA19								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
132	116	119	-	-	PF7	AINA18								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
133	117	120	-	-	PF6	AINA17								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
134	118	121	90	92	PF5	AINA16								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
135	119	122	91	93	PF4	AINA15								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
136	120	123	92	94	PF3	AINA14	INT32							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
137	121	124	93	95	PF2	AINA13	INT33							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
138	122	125	94	96	PF1	AINA12								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
139	123	126	95	97	PF0	AINA11								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
140	124	127	96	98	PE6	AINA10								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
141	125	128	97	99	PE5	AINA09								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
142	126	1	98	100	PE4	AINA08								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
143	127	2	99	1	PE3	AINA07								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
144	128	3	100	2	PE2	AINA06								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z

全端子一覧表(3)

M3HM (LQFP80)	M3HL (LQFP64)	端子名称	兼用機能A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中の状態	リセット後の状態
1	1	PE1	AINA05								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
2	2	PE0	AINA04								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PD3	AINA03								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
3	3	PD2	AINA02								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
4	4	PD1	AINA01								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
5	5	PD0	AINA00								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
6	6	AVDD5									-	-	-	-	-	-
7	7	AVSS									-	-	-	-	-	-
8	8	PG0	DAC0								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
9	9	PG1	DAC1								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PU5									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PU4									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PU3									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PU2									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PG2		INT27	UT3RXD	UT3TXDA	T32A07OUTA	T32A07OUTC			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PG3		INT28	UT3TXDA	UT3RXD	T32A07INA0	T32A07INC0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PG4			UT3TXDB		T32A07INA1	T32A07INC1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PG5					T32A07OUTB				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PG6					T32A07INB0				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PG7					T32A07INB1				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
10	10	PA7		INT11	UT3TXDA	UT3RXD					入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
11	11	PA6		INT07	UT3RXD	UT3TXDA					入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
12	-	PA5			I2C1SDA	EI2C1SDA		T32A00INB1			入出力	PU/PD	T	SMT	Hi-Z	Hi-Z
13	-	PA4			I2C1SCL	EI2C1SCL	TSPI0CS1	T32A00INB0			入出力	PU/PD	T	SMT	Hi-Z	Hi-Z
14	12	PA3				TSPI0CSIN	TSPI0CS0	T32A00OUTB		TRGIN1	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
15	13	PA2			UT0RXD	UT0TXDA	TSPI0RXD	T32A00INA1	T32A00INC1	ENC0Z	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
16	14	PA1			UT0TXDA	UT0RXD	TSPI0TXD	T32A00INA0	T32A00INC0	ENC0B	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
17	15	PA0			UT0TXDB		TSPI0SCK	T32A00OUTA	T32A00OUTC	ENC0A	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PM7									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PM6		INT15							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PM5						T32A00INB1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PM4			UT0RTS_N	UT0CTS_N	TSPI0CS1	T32A00INB0		TRACEDATA3	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PM3			UT0CTS_N	UT0RTS_N	TSPI0CS0	T32A00OUTB	TSPI0CSIN	TRACEDATA2	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
18	-	PM2		INT09	UT0RXD	UT0TXDA	TSPI0RXD	T32A00INA1	T32A00INC1	TRACEDATA1	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
19	-	PM1			UT0TXDA	UT0RXD	TSPI0TXD	T32A00INA0	T32A00INC0	TRACEDATA0	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
20	16	PM0			UT0TXDB		TSPI0SCK	T32A00OUTA	T32A00OUTC	TRACECLK	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
21	17	PB0	BOOT_N					T32A01OUTA	T32A01OUTC	SCOUT	出力	PU/PD	N/A	SMT	Hi-Z(注 1)	Hi-Z
22	18	PB1		INT03	RXIN0			T32A01INA0	T32A01INC0	TRGIN0	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
23	19	PB2			UT2TXDA	UT2RXD	TSPI1SCK	T32A01INA1	T32A01INC1		入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
24	20	PB3			UT2RXD	UT2TXDA	TSPI1TXD	T32A01OUTB			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
25	-	PB4			UT2CTS_N	UT2RTS_N	TSPI1RXD	T32A01INB0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PB5			UT2RTS_N	UT2CTS_N	TSPI1CS0	T32A01INB1	TSPI1CSIN		入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PB6					TSPI1CS1				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PB7		INT16							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PU0		INT30							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PU1		INT31							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
26	21	PL0			UT2TXDA	UT2RXD	I2C2SCL	EI2C2SCL	TRST_N		入出力	PU/PD	N/A	SMT	PU(注 2)	PU(注 2)
27	22	PL1			UT2RXD	UT2TXDA	I2C2SDA	EI2C2SDA	TDI		入出力	PU/PD	N/A	SMT	PU(注 2)	PU(注 2)
28	23	PL2			UT2CTS_N	UT2RTS_N	T32A06OUTB		TDO/SWV		入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
29	24	PL3		INT08	UT2RTS_N	UT2CTS_N	T32A06INB0		TCK/SWCLK		入出力	PU/PD	N/A	SMT	PD(注 2)	PD(注 2)
30	25	PL4		INT12			T32A06INB1		TMS/SWDIO		入出力	PU/PD	N/A	SMT	PU(注 2)	PU(注 2)
-	-	PL5					T32A06OUTA	T32A06OUTC			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PL6					T32A06INA0	T32A06INC0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PL7					T32A06INA1	T32A06INC1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PT7		INT29			T32A06INA1	T32A06INC1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PT6					T32A06INA0	T32A06INC0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PT5					T32A06OUTA	T32A06OUTC			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PT4			TSPI2RXD		T32A06INB1				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PT3		INT26	TSPI2TXD		T32A06INB0				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PT2		INT25	TSPI2SCK		T32A06OUTB				入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PT1		INT24	I2C3SCL	TSPI2CS0	TSPI2CSIN	EI2C3SCL			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PT0		INT23	I2C3SDA	TSPI2CS1		EI2C3SDA			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
31	-	PP0				TSPI2SCK	T32A01OUTA	T32A01OUTC			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
32	-	PP1				TSPI2TXD	T32A01INA0	T32A01INC0			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
33	-	PP2				TSPI2RXD	T32A01INA1	T32A01INC1			入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
34	26	DVDD5A									-	-	-	-	-	-
35	27	REGOUT2									-	-	-	-	-	-
36	28	REGOUT1									-	-	-	-	-	-
37	29	DVSSA									-	-	-	-	-	-
38	30	PH0	X1	EHCLKIN							入力	PD	N/A	SMT	Hi-Z	Hi-Z
39	31	PH1	X2								入力	PD	N/A	SMT	Hi-Z	Hi-Z
40	32	RESET_N	-								-	PU	-	SMT	-	-
41	33	PH2	XT1								入力	PD	N/A	SMT	Hi-Z	Hi-Z
42	34	PH3	XT2	INT06							入力	PD	N/A	SMT	Hi-Z	Hi-Z
43	35	MODE									-	PD	-	SMT	-	-
-	-	PH4		INT19	TSPI4SCK						入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PH5		INT20	TSPI4TXD						入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PH6		INT21	TSPI4RXD						入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PH7		INT22							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PV5			UT4TXDB						入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PV6			UT4TXDA	UT4RXD					入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PV7			UT4RXD	UT4TXDA					入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
44	36	PC0		INT00	I2C0SCL	EI2C0SCL	T32A02OUTA	T32A02OUTC		DCOM3	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
45	37	PC1		INT01	I2C0SDA	EI2C0SDA	T32A02INA0	T32A02INC0		DCOM2	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
46	-	PC2		INT02	UT4TXDB		T32A02INA1	T32A02INC1	RTCOUT	DCOM1	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
47	38	PC3			UT4TXDA	UT4RXD	T32A02OUTB			DCOM0	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
48	39	PC4			UT4RXD	UT4TXDA	T32A02INB0			SEG39	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
49	-	PC5			UT4CTS_N	UT4RTS_N	T32A02INB1			SEG38	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
50	-	PC6			UT4RTS_N	UT4CTS_N				SEG37	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PR0			UT7RXD	UT7TXDA	T32A02OUTA	T32A02OUTC		SEG36	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PR1			UT7TXDA	UT7RXD	T32A02INA0	T32A02INC0		SEG35	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PR2			UT7TXDB		T32A02INA1	T32A02INC1		SEG34	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PR3								SEG33	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PR4								SEG32	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PR5								SEG31	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PR6								SEG30	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PR7								SEG29	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PN5					T32A05INB1			SEG28	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
51	40	PN4			UT5TXDB		T32A05INB0			SEG27	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
52	41	PN3		INT10	UT5TXDA	UT5RXD	T32A05OUTB		TRGIN2	SEG26	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
53	42	PN2			UT5RXD	UT5TXDA	T32A05INA1	T32A05INC1		SEG25	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
54	43	PN1			UT5CTS_N	UT5RTS_N	T32A05INA0	T32A05INC0		SEG24	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
55	-	PN0			UT5RTS_N	UT5CTS_N	T32A05OUTA	T32A05OUTC		SEG23	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z

注 1) RESET_N 端子が"Low"の時、内蔵 pull-up が ON です。

注 2) 初期値で内蔵 pull-up/pull-down が ON です。

全端子一覧表(4)

M3HM (LQFP80)	M3HL (LQFP64)	端子名称	兼用機能A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	入出力	PU/PD	5V_T	SMT/ CMOS	リセット中の状態	リセット後の状態
56	44	PJ0			UT1TXDB		T32A03OUTA	T32A03OUTC	UO0	SEG22	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
57	45	PJ1			UT1TXDA	UT1RXD	T32A03INA0	T32A03INC0	XO0	SEG21	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
58	46	PJ2			UT1RXD	UT1TXDA	T32A03INA1	T32A03INC1	VO0	SEG20	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
59	47	PJ3			UT1CTS_N	UT1RTS_N	T32A03OUTB		YO0	SEG19	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
60	48	PJ4		INT04	UT1RTS_N	UT1CTS_N	T32A03INB0		WO0	SEG18	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
61	49	PJ5					T32A03INB1		ZO0	SEG17	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
62	50	PK0			UT1TXDB				EMG0	SEG16	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
63	51	PK1		INT05	UT1TXDA	UT1RXD			OVV0	SEG15	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
64	52	PK2			UT1RXD	UT1TXDA	T32A04OUTA	T32A04OUTC		SEG14	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
65	53	PK3			UT1CTS_N	UT1RTS_N	T32A04INA0	T32A04INC0		SEG13	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
66	54	PK4			UT1RTS_N	UT1CTS_N	T32A04INA1	T32A04INC1		SEG12	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
67	55	PK5			UT6RXD	UT6TXDA	T32A04OUTB			SEG11	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
68	56	PK6			UT6TXDA	UT6RXD	T32A04INB0			SEG10	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
69	-	PK7		INT13	UT6TXDB		T32A04INB1			SEG09	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
70	57	PP3		INT14	TSPI3RXD					SEG08	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
71	-	PP4			TSPI3TXD					SEG07	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
72	-	PP5			TSPI3SCK					SEG06	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
73	-	PP6			TSPI3CS0	TSPI3CSIN	PMD0DBG			SEG05	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PP7			TSPI3CS1					SEG04	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PV0								SEG03	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PV1								SEG02	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PV2		INT17						SEG01	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PV3		INT18						SEG00	入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PV4									入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	DVDDSB									-	-	-	-	-	-
-	-	DVSSB									-	-	-	-	-	-
-	-	PD5	AINA20								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PD4	AINA19								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PF7	AINA18								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PF6	AINA17								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PF5	AINA16								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PF4	AINA15								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PF3	AINA14	INT32							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
-	-	PF2	AINA13	INT33							入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
74	58	PF1	AINA12								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
75	59	PF0	AINA11								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
76	60	PE6	AINA10								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
77	61	PE5	AINA09								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
78	62	PE4	AINA08								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
79	63	PE3	AINA07								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z
80	64	PE2	AINA06								入出力	PU/PD	N/A	SMT	Hi-Z	Hi-Z

品番付与情報

TMP M3 H Q F 10 x FG

東芝マイクロコントローラーの識別名

コア

記号	説明
M4	Arm Cortex-M4 (FPU 機能搭載)
M3	Arm Cortex-M3
M0	Arm Cortex-M0

変更記号

パッケージ

記号	説明
QG	プラスチック縮小クアッドアウトラインノンリードパッケージ、防湿梱包品
UG、DUG、FG、DFG	プラスチックフラットパッケージ、防湿梱包品
MG、DMG	プラスチックスモールアウトラインパッケージ、防湿梱包品
XBG	プラスチックボールグリッドアレイ、防湿梱包品

製品グループ

ファミリー	記号	主なアプリケーション
TXZ/TXZ+	H	汎用・コンシューマーエレクトロニクス
	K	モーター/インバーター制御・産業機器(アナログコンボ)
	M	モーター/インバーター制御・産業機器(アナログコンボ)、CAN 搭載
	G	OA/デジタル製品・産業機器
	N	産業用ネットワーク、IoT 情報管理デバイス、イーサネット、USB、CAN 搭載
	E	小型精密機器
	L	単体モーター/インバーター制御・産業機器
	V	汎用・コンシューマーエレクトロニクス(エントリーシリーズ)

メモリー容量

記号	容量 [KB]
M	32
P	48
S	64
U	96
W	128
Y	256
Z	384
D	512
E	768
10	1,024
15	1,536
20	2,048

ピン数

記号		ピン数	記号		ピン数
0	G	32pin 以下	7	P	101pin to 128pin
1	H	33pin to 44pin	8	Q	129pin to 144pin
2	J	45pin to 48pin	9	R	145pin to 176pin
3	K	49pin to 52pin	A	S	177pin to 200pin
4	L	53pin to 64pin	B	T	201pin to 224pin
5	M	65pin to 80pin	C	U	225pin to 250pin
6	N	81pin to 100pin	D	V	251pin to 300pin

ROM タイプ

記号	説明
F	Flash

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社
https://toshiba.semicon-storage.com/jp/