

300W 絶縁型 DC-DCコンバータ

デザインガイド

RD024-DGUIDE-03

東芝デバイス&ストレージ株式会社

目次

1.	はじめに	3
1.1.	搭載パワーMOSFET	3
2.	回路設計	4
2.1.	フェーズシフトフルブリッジ(PSFB)回路設計.....	4
3.	PCB 設計	17
3.1.	PCB パターン設計.....	17
3.2.	PSFB 回路パターン設計	18

1. はじめに

本デザインガイドは 300W 絶縁型 DC-DC コンバータ(以下、本電源)の各種回路、レイアウトの設計方法を記載したドキュメントです。本電源の仕様、使用方法、特性データはリファレンスガイドを参照してください。

なお、回路図に部品番号を記載していても、部品表で「Not Mounted」となっているものは PCB に実装しておりません。回路設計時の定数値調整用として PCB に実装場所を設けています。

1.1. 搭載パワー-MOSFET

当社では、DC-DC コンバータの一次側(メインスイッチ)や、二次側(同期整流部)に適した低耐圧系 U-MOSVIII/IX シリーズを製品化しています。30V から 250V までの広い耐圧展開と、同一耐圧系における豊富なオン抵抗ラインアップを用意しています。DC-DC コンバータの回路トポロジー、入出力電圧、出力仕様、搭載部位(一次側か二次側か)等の設計仕様に応じて最適な製品を選択頂けます。図 1.1 に U-MOSVIII/IX シリーズ製品のラインアップ範囲を示します。

R _{DS(ON)} (最大) V _{GS} = 10V (mΩ)	V _{DSS} (V)											
	30	40	45	60	75	80	100	120	150	200	250	
100-200												
50-100												
20-50												
10-20												
5-10												
3-5												
1-3												
0.7-1												
0.7以下												

図 1.1 U-MOSVIII/IX 製品ラインアップ範囲

次に、本 300W 絶縁型 DC-DC コンバータに搭載している MOSFET を紹介します。入力電圧範囲(36~75V)、出力電圧(12V)、回路トポロジー(フェーズシフトフルブリッジ)より、一次側、二次側ともに 100V 耐圧系素子を選択しました。100V 耐圧系ラインアップから、一次側は駆動損失と導通損失のバランスに優れた TPN1200APL を、二次側は導通損失削減を重視して、オン抵抗が小さい TPH3R70APL を選択し搭載しています。

TPN1200APL

一次側メインスイッチ部に搭載

V_{DSS} = 100V、R_{DS(ON)}(最大) = 12mΩ@V_{GS}=10V、TSOP Advance パッケージ
最新の U-MOSIX-H プロセス品であり、駆動損失と導通損失のバランスを実現。

TPH3R70APL

二次側同期整流部に搭載

V_{DSS} = 100V、R_{DS(ON)}(最大) = 3.7mΩ@V_{GS}=10V、SOP Advance パッケージ
最新の U-MOSIX-H プロセス品であり、同期整流動作における損失低減を実現。

2. 回路設計

本電源の回路設計のポイントを記載します。

2.1. フェーズシフトフルブリッジ(PSFB)回路設計

本電源では、フェーズシフトフルブリッジ(PSFB)回路で 12V 出力を生成しています。PSFB 回路方式は、一次側の各アームのハイサイド MOSFET とローサイド MOSFET をデューティ 50%で交互にオン・オフし、アーム間のオンのタイミング(位相)を調整し出力電圧を制御します。ハイサイド MOSFET とローサイド MOSFET の切り替わり時には貫通動作を防ぐ為にデッドタイムを設けますが、その期間の共振動作により MOSFET は Zero Volt Switching (ZVS) となります。ZVS をすることでスイッチング損失の低減が図れ、高効率電源の実現が可能となります。本電源では Texas Instruments 社製コントローラ LM5046(以下、PSFB PWM コントローラ)を用い、PSFB 回路を構成しています。以下に、本電源の PSFB 回路の基本的な設計項目に関して説明します。なお、コントローラ周辺の詳細設計に関しては、Texas Instruments 社製 LM5046 のデータシート、並びに関連文書類を参照してください。また、本電源の詳細仕様に関してはリファレンスガイド(RD024-RGUIDE-03)を、回路図は RD024-SCHEMATIC-01 を、部品表は RD024-BOM-01 を参照してください。

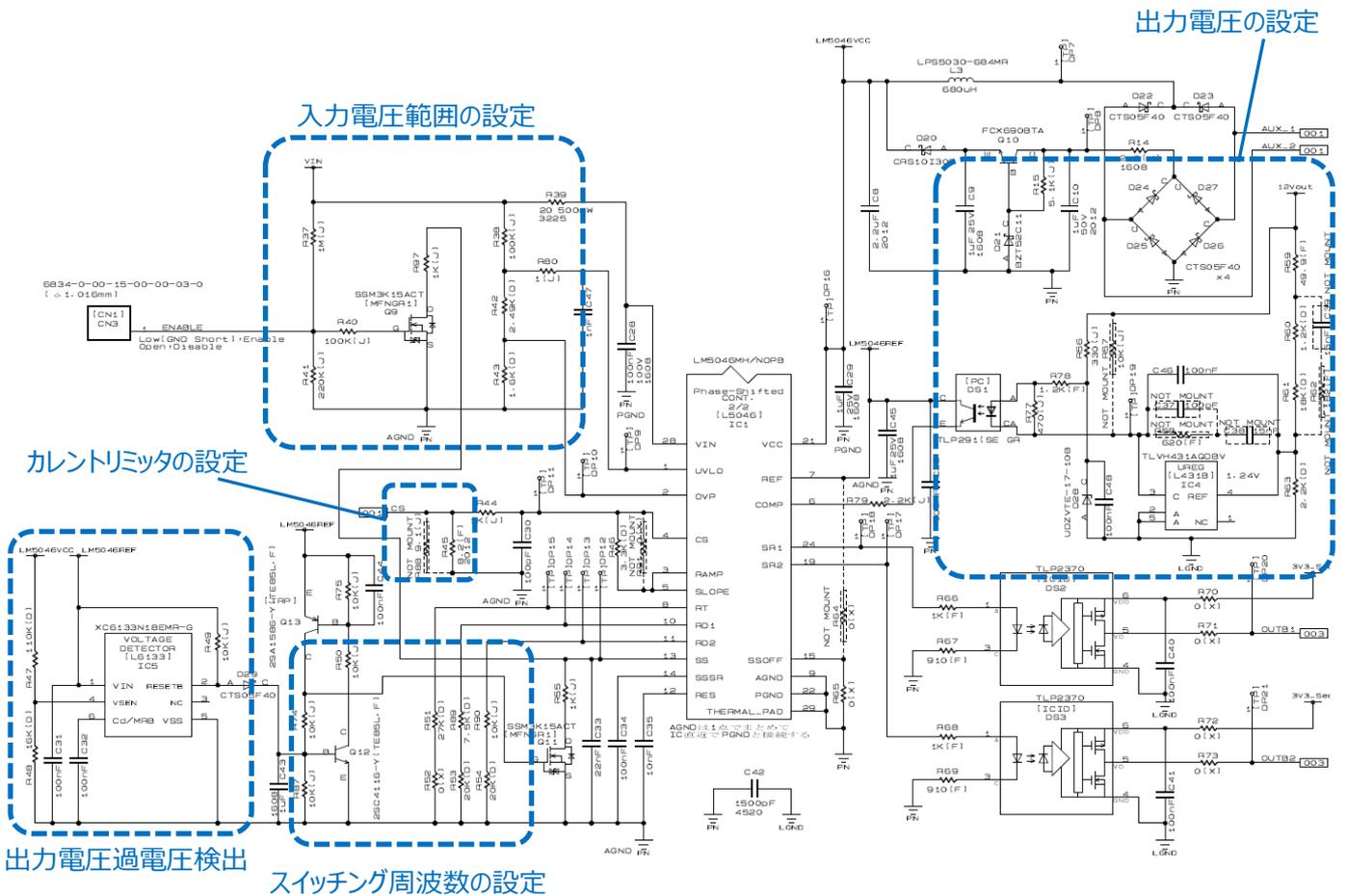


図 2.1 PSFB 回路 1(コントローラ周辺)

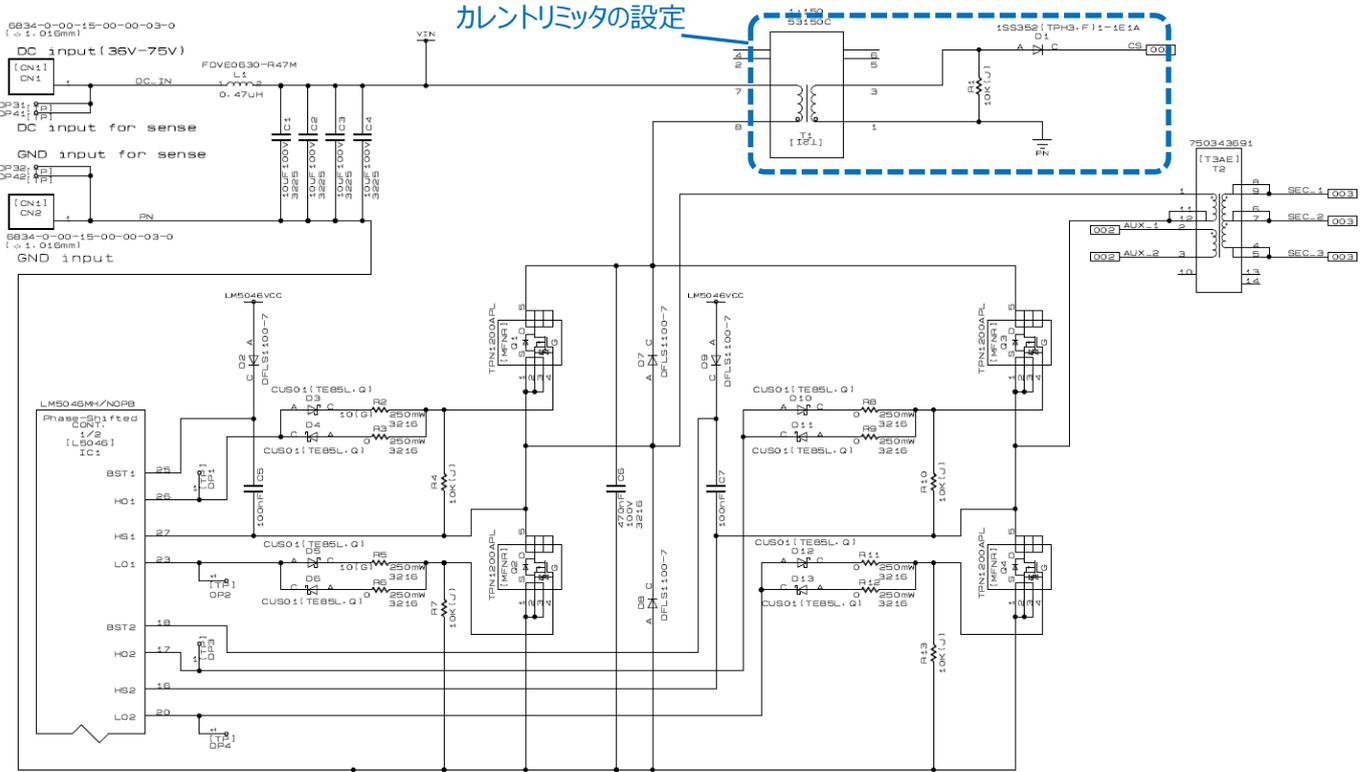


図 2.2 PSFB 回路 2(入力側 MOSFET 周辺)

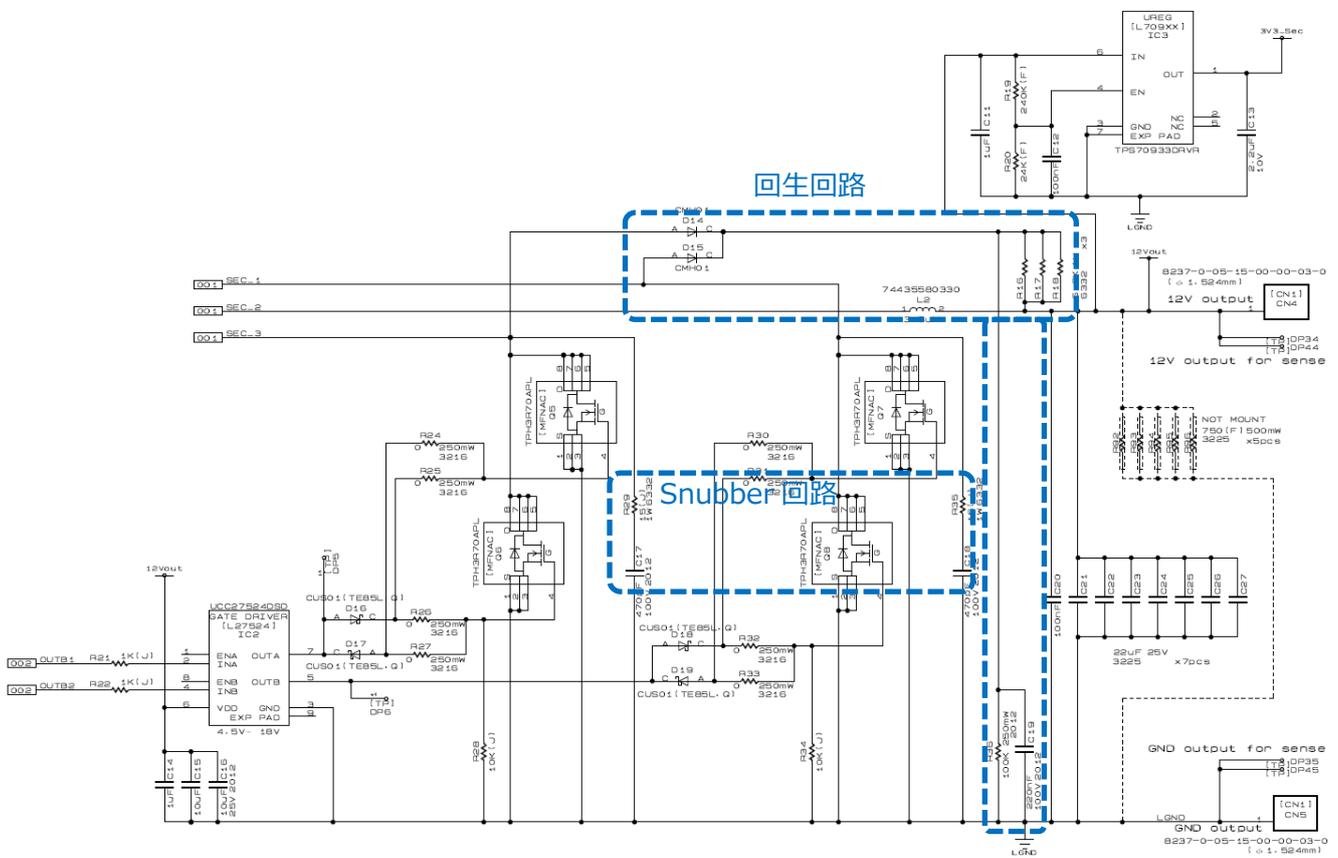


図 2.3 PSFB 回路 3(出力側同期整流 MOSFET 周辺)

入力電圧動作範囲（下限）の設定

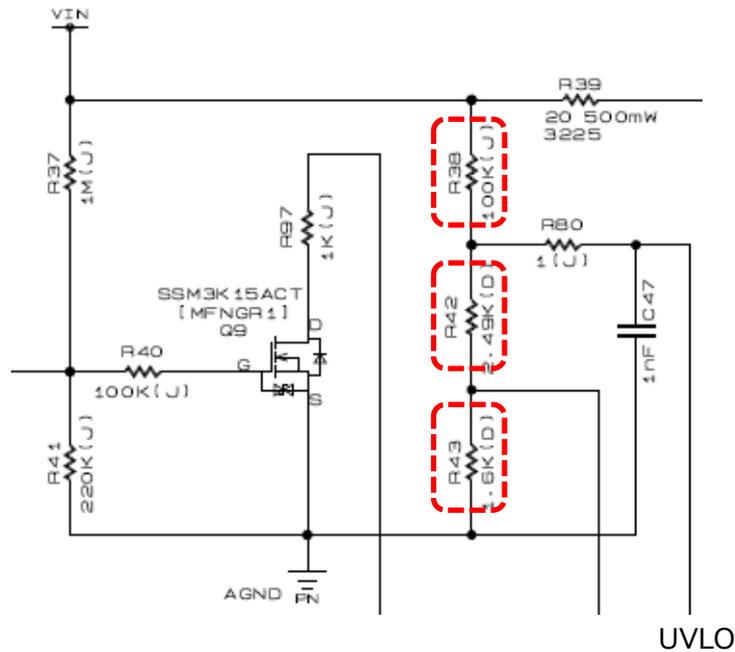


図 2.4 入力電圧範囲の設定

本電源が動作する入力電圧範囲を外付け抵抗(R38、R42、R43)の抵抗値で設定します。入力電圧 V_{in} を抵抗(R38、R42、R43)で分割し、PSFB PWM コントローラの UVLO 端子に入力することで動作電圧下限値($V_{in_min_on}$ 、 $V_{in_min_off}$)を設定します。PSFB PWM コントローラは、これらの抵抗分割と内部ヒステリシス電流(20 μ A)によって発生する UVLO 端子電圧が 1.25V を超えるとスイッチング動作を開始します。PSFB PWM コントローラは、動作開始後は内部ヒステリシス電流を停止し、UVLO 端子電圧が 1.25V を下回るとスイッチング動作を停止します。以下の式で動作電圧下限値($V_{in_min_on}$ 、 $V_{in_min_off}$)を算出します。

$$V_{in_min_on}(V) = 1.25(V) \times \frac{(R38 + R42 + R43)}{(R42 + R43)} + 20(\mu A) \times R38$$

$$V_{in_min_off}(V) = 1.25(V) \times \frac{(R38 + R42 + R43)}{(R42 + R43)}$$

本電源では $V_{in_min_on}$ の設定値を 33.81V、 $V_{in_min_off}$ の設定値を 31.81V とし、図 2.4 に示すように抵抗値(R38)に 100k Ω 、抵抗値(R42)に 2.49k Ω 、抵抗値(R43)に 1.6k Ω を選択しています。図 2.5 に入力電圧(V_{in})と UVLO 端子電圧、スイッチング動作状況の関係を示します。

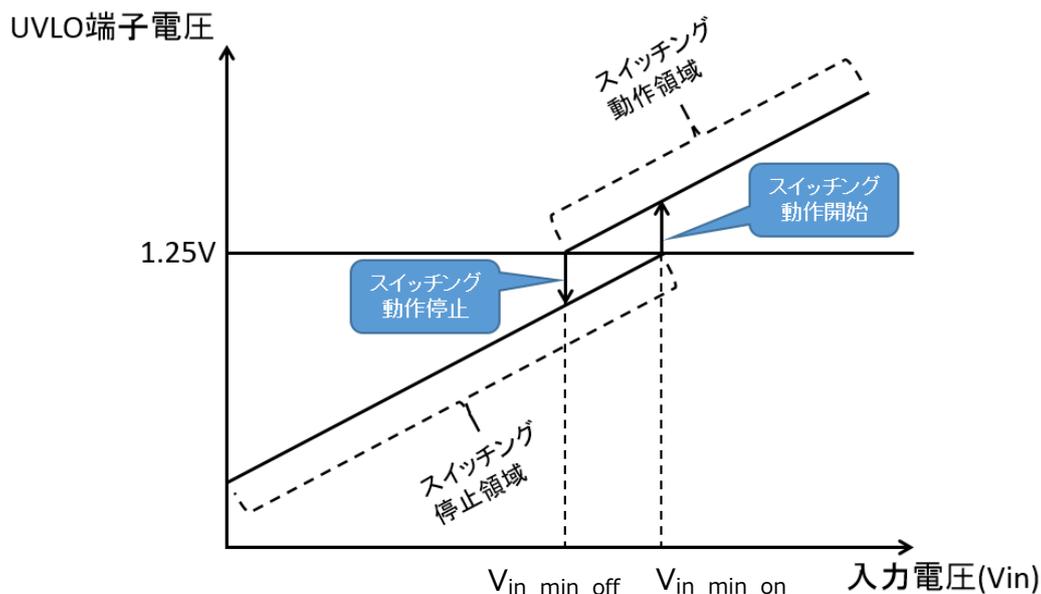


図 2.5 入力電圧 vs UVLO 端子電圧、スイッチング動作状況

入力電圧動作範囲(上限)の設定

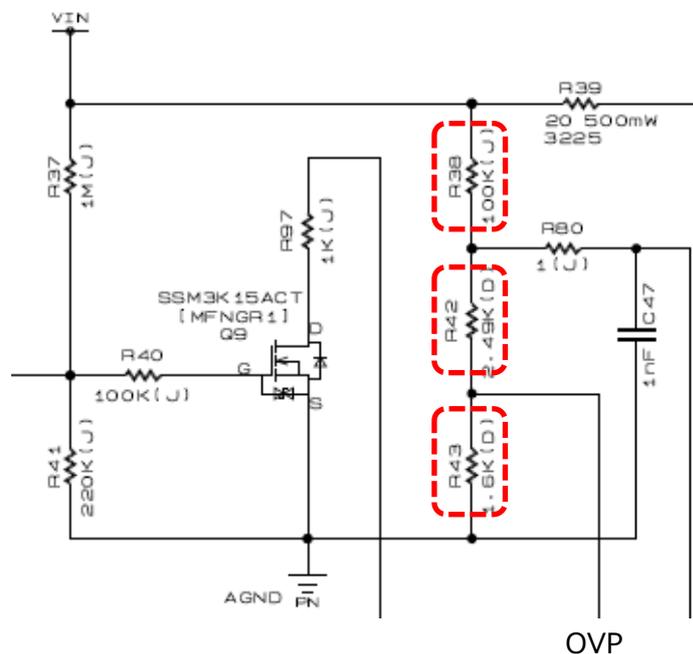


図 2.6 入力電圧範囲の設定

本電源が動作する入力電圧範囲を外付け抵抗(R38、R42、R43)の抵抗値で設定します。入力電圧 V_{in} を抵抗(R38、R42、R43)で分割し、PSFB PWM コントローラの OVP 端子に入力することで動作電圧上限値($V_{in_max_off}$ 、 $V_{in_max_on}$)を設定します。PSFB PWM コントローラは、これらの抵抗分割によって発生する OVP 端子電圧が 1.25V を超えるとスイッチング動作を停止します。PSFB PWM コントローラは、動作停止後に内部ヒステリシス電流の動作を開始し、UVLO 端子電圧

が 1.25V を下回るとスイッチング動作を停止します。以下の式で動作電圧上限値($V_{in_max_on}$ 、 $V_{in_max_off}$)を算出します。

$$V_{in_max_off}(V) = 1.25(V) \times \frac{(R38 + R42 + R43)}{(R43)}$$

$$V_{in_max_on}(V) = 1.25(V) \times \frac{(R38 + R42 + R43)}{(R43)} - 20(\mu A) \times (R38 + R42)$$

本電源では $V_{in_max_off}$ の設定値を 81.32V、 $V_{in_max_on}$ の設定値を 79.27V とし、図 2.6 に示すように抵抗値(R38)に 100k Ω 、抵抗値(R42)に 2.49k Ω 、抵抗値(R43)に 1.6k Ω を選択しています。図 2.7 に入力電圧(V_{in})と OVP 端子電圧、スイッチング動作状況の関係を示します。

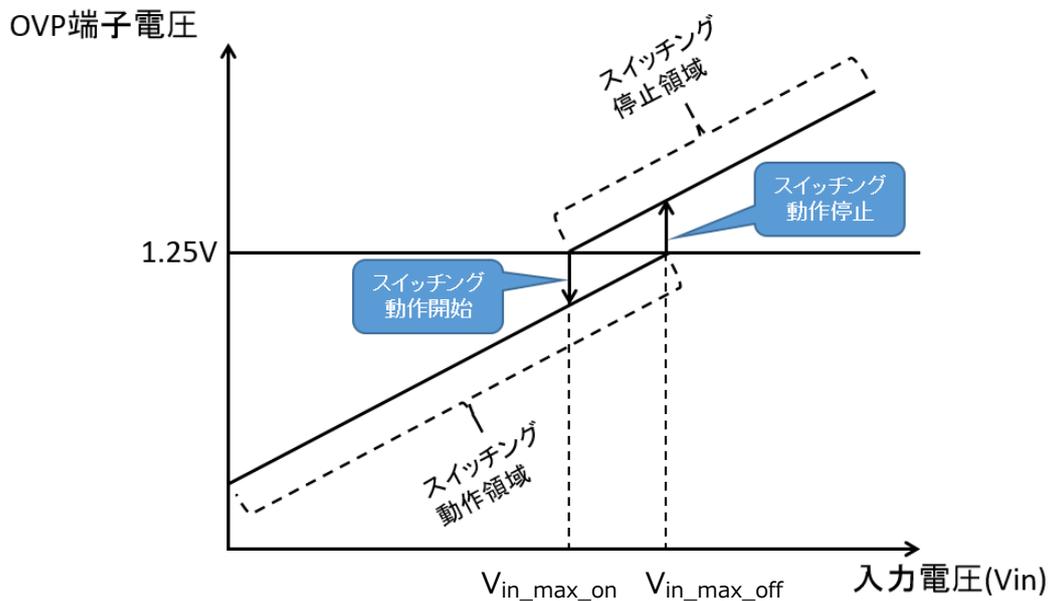


図 2.7 入力電圧 vs OVP 端子電圧、スイッチング動作状況

出力電圧の設定

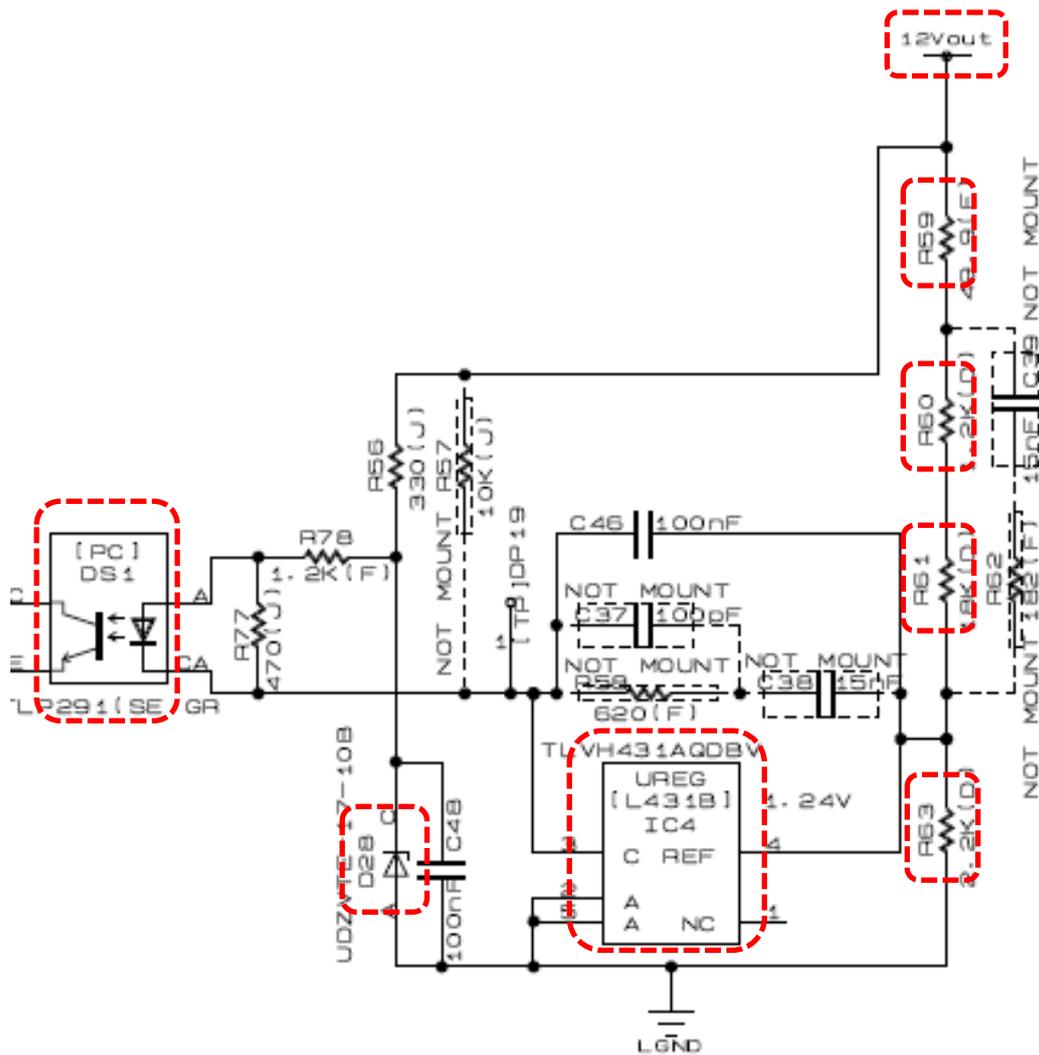


図 2.8 出力電圧の設定

PSFB 回路の出力電圧(V_{out})を外付け抵抗($R59$ 、 $R60$ 、 $R61$ 、 $R63$)の抵抗値、シャントレギュレータ(IC4)で設定します。シャントレギュレータ(TLVH431AQDBV)は PSFB 回路の出力電圧を抵抗($R59$ 、 $R60$ 、 $R61$ 、 $R63$)で分割した電圧がリファレンス電圧(V_{REF})と一致するようにフォトカプラ(DS1)の電流を制御します。PSFB PWM コントローラはフォトカプラ(DS1)からフィードバックされる電流量に応じて出力電圧(V_{out})を一定に保つよう動作します。以下の式で出力電圧(V_{out})を算出します。

$$V_{out} (V) = \frac{V_{REF} (V) \times (R59 + R60 + R61 + R63)}{R63}$$

本電源では出力電圧(V_{out})の設定値を 12.09V とし、図 2.8 に示すように抵抗値($R59$)に 49.9Ω、抵抗値($R60$)に 1.2kΩ、抵抗値($R61$)に 18kΩ、抵抗値($R63$)に 2.2kΩを選択しています。なお、出力発振対策としてフォトカプラ(DS1)電源を安定化させるため、ツェナーダイオード(D28)を使用しています。

カレントリミッタ

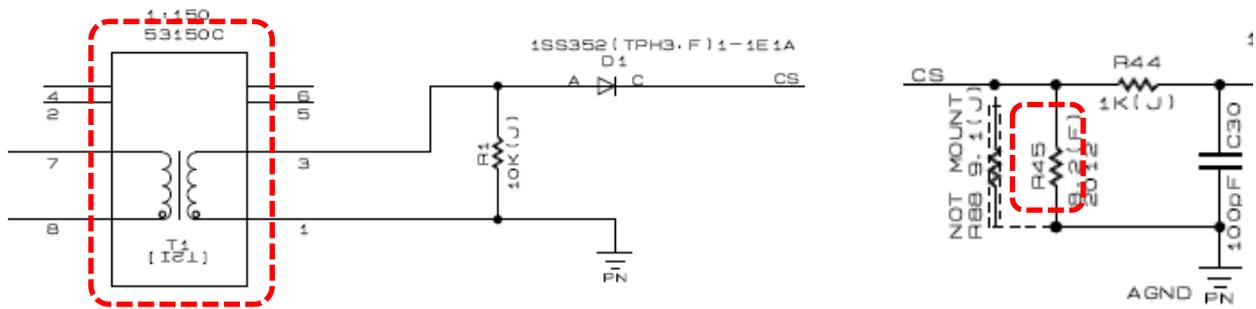


図 2.10 カレントリミッタ

PSFB PWM コントローラの CS 端子の電圧が電流制限しきい値(0.75V)に到達すると、PSFB PWM コントローラが入力側ブリッジ MOSFET を制御して電流制限をかけます。図 2.2 に PSFB 回路 2(入力ブリッジ側 MOSFET 周辺)を示します。カレントリミットレベル(I_{limit})を電流制限しきい値(0.75V)と電流検出抵抗の抵抗値($R45$)とカレントトランス($T1$)の巻数比(*transformer turns ratio*)で設定します。以下の式でカレントリミットレベルを算出します。

$$I_{limit} = \frac{0.75}{R45 \times (\text{transformer turns ratio})}$$

本電源ではカレントリミットレベルの設定値を 13.7A とし、図 2.10 に示すように抵抗値($R45$)に 8.2Ω、カレントトランス ($T1$)の巻数比に 1:150 を選択しています。

ゲート駆動回路

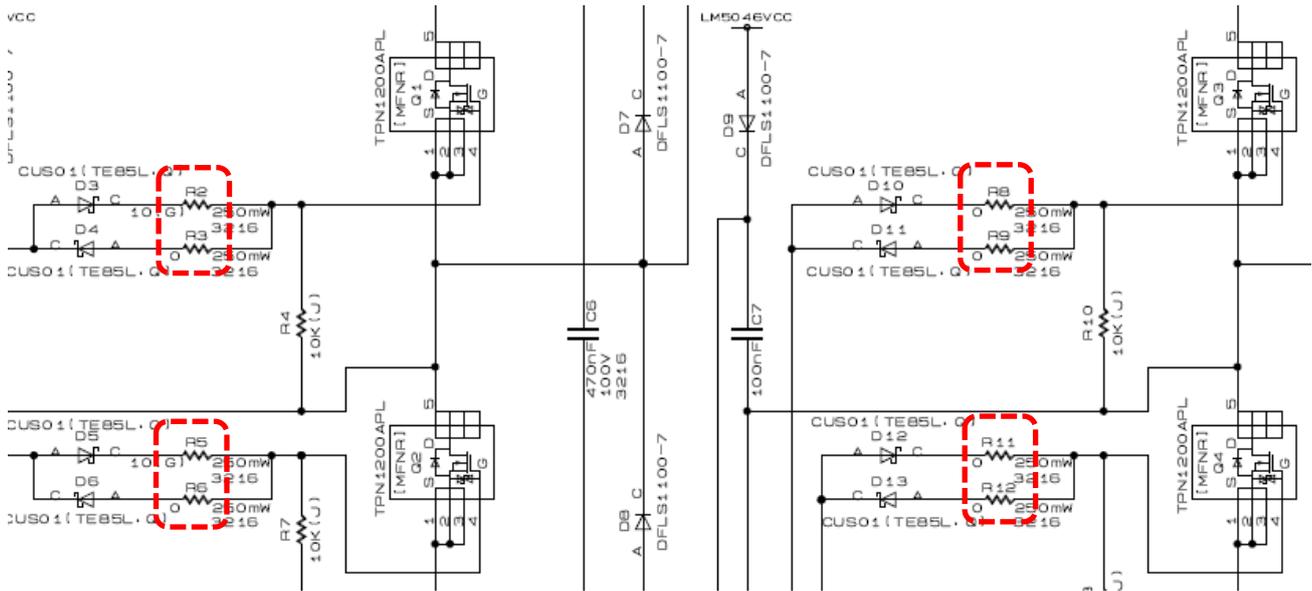


図 2.11 ゲート駆動回路

ゲート駆動回路の設計が電源効率と EMI に影響を与えます。一般に電源効率と EMI はトレードオフの関係にあり、両者のバランスを取った設計が必要です。PSFB 回路は ZVS 動作のため低 EMI ですが、ハードスイッチング領域の存在が EMI の原因と思われる場合は、MOSFET(Q1-Q4)のゲート直列抵抗の抵抗値(R2、R3、R5、R6、R8、R9、R11、R12)を大きくし、EMI を確認してください。MOSFET のターンオン時、ターンオフ時の個別調整が可能です。本電源では図 2.11 に示すように、抵抗値(R2)、(R5)に 10Ωを、その他抵抗値に 0Ωを選択しています。

トランス

PSFB 回路の定常状態における同期整流側の On Duty を 60%に設定すると、出力電圧が 12V なので、2 次側には 20V 程度の方波が必要となります。本電源の入力電圧(標準)は 48V であるため、トランス(T2)の巻数比は、5:2:2:2(センタータップ方式、補助巻線付)を選択します。これにより、2 次側には 19.2V の方波が発生することになります。その他、1 次-2 次間絶縁耐圧、巻線温度上昇、磁束飽和、コアロス等を十分に考慮する必要があります。本電源で使用するトランスの仕様は、部品表(RD024-BOM-01)を参照してください。

また、本電源では、トランスのリーケージインダクタンスを利用して、ZVS を行っています。もし、リーケージインダクタンスによる共振が不足すると、ZVS が実現できず、電源効率低下や EMI 増大等の問題が発生する可能性があります。そのような場合、共振用のコイルを実装し、広い負荷範囲で ZVS となるよう調整願います。

出力コンデンサ

出力コンデンサの静電容量値(C_{out})で出力電圧リップル(V_{ripple})が要求仕様に入るように設定します。以下のおのおので発生するリップル電圧の合成値が出力電圧リップル(V_{ripple})になります。

1. リップル電流(ΔI)と出力コンデンサの等価直列抵抗値(ESR)で発生するリップル電圧(V_{ripple_ESR})
2. リップル電流(ΔI)と出力コンデンサの静電容量(C_{out})とスイッチング周波数(f_{PWM})で発生するリップル電圧(V_{ripple_Cap})
3. スwitchング電圧(V_{sw})と出力コンデンサの等価直列インダクタンス値(ESL)とインダクタンス(L)で発生するリップル(V_{ripple_ESL})

以下の式でおのおののリップル電圧を算出します。

$$V_{ripple_ESR} = \Delta I \times ESR$$

$$V_{ripple_Cap} = \frac{\Delta I}{8 \times C_{out} \times f_{PWM}}$$

$$V_{ripple_ESL} = \frac{V_{sw} \times ESL}{L}$$

ここで、

$$\Delta I = \frac{(V_{sw} - V_{out}) \times V_{out}}{V_{sw} \times f_{PWM} \times L}$$

であり、スイッチング電圧(V_{sw})が 19.2V、出力電圧(V_{out})が 12.09V、スイッチング周波数(f_{PWM})が 370kHz、インダクタンス(L)が 3.5 μ H とすれば、リップル電流(ΔI)は 3.45A です。

等価直列抵抗値(ESR)が 0.29m Ω (2m Ω /7pcs @ 500kHz)、出力コンデンサの静電容量(C_{out})が 50.4 μ F(7.2 μ Fx7pcs @ DC12V & AC0.01V)、出力コンデンサの等価直列インダクタンス値(ESL)が 0.14nH(1nH/7pcs)、インダクタンス(L)が 3.5 μ H とすれば、おのおので発生するリップル電圧は、 V_{ripple_ESR} =0.99mV、 V_{ripple_Cap} =23.1mV、 V_{ripple_ESL} =1.2mV になります。 V_{ripple_Cap} で発生するリップル電圧は V_{ripple_ESR} 、 V_{ripple_ESL} と位相がずれているため単純加算はできませんが、 V_{ripple_Cap} で発生するリップル電圧が小さいため単純合計を出力電圧リップルの目安として用いることができます。

出力電圧リップル(V_{ripple})が要求仕様を満足するように出力コンデンサの C_{out} 、ESR、ESL を調整してください。また、以下についても確認してください。

1. 負荷急変時に発生する出力端アンダーシュート・オーバーシュートが規定電圧範囲に入っていること
2. 出力コンデンサの許容リップル電流が確保できていること
3. 出力コンデンサの公差や経年劣化を考慮すること

同期整流 MOSFET サージ電圧低減回路

一次側回路から二次側回路に電力を伝達する際に二次側の同期整流 MOSFET(Q5、Q6 及び Q7、Q8)のドレインソース間に発生するサージ電圧を低減するために、回生回路と Snubber 回路を設置します。

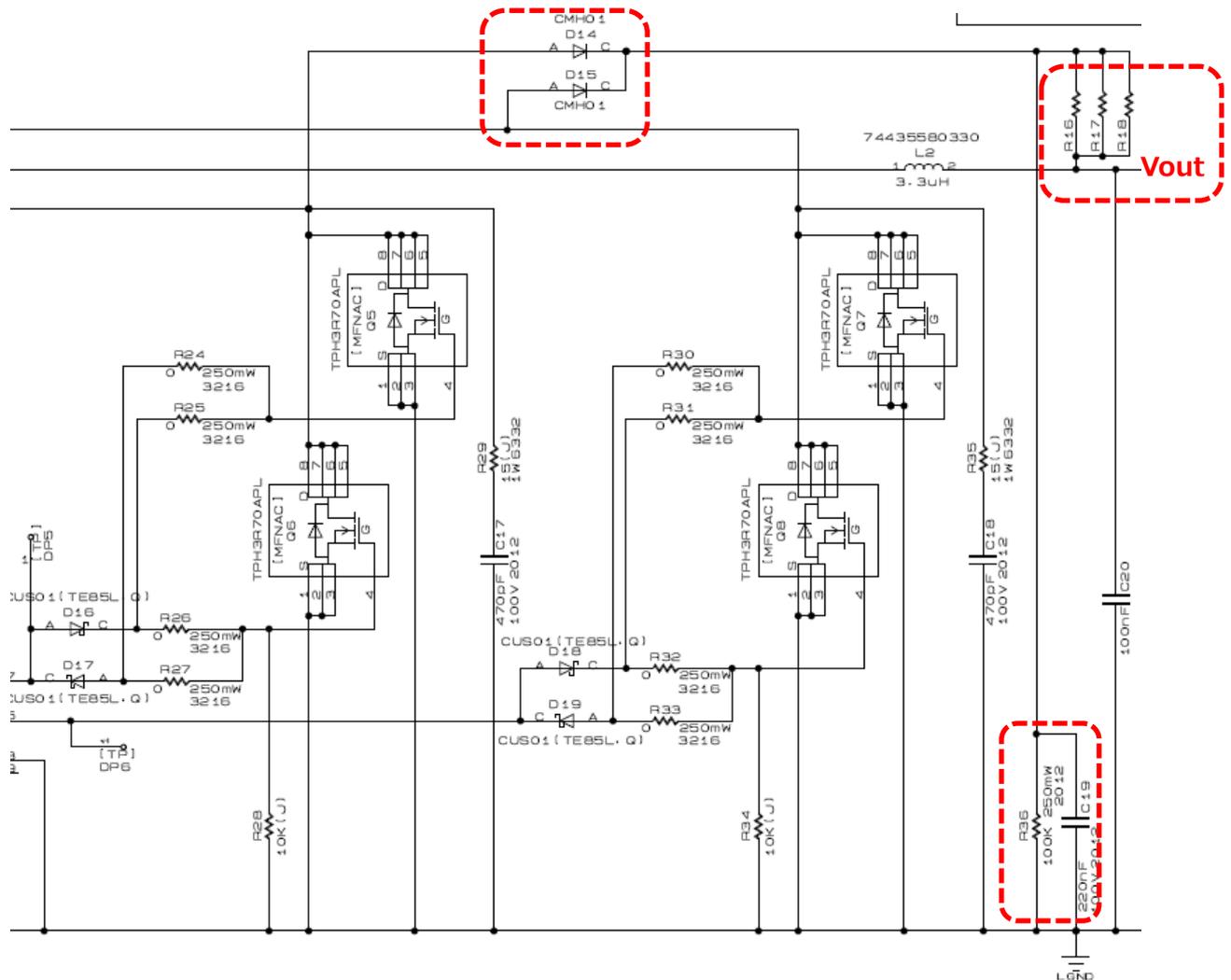


図 2.12 回生回路

図 2.12 に示すように、D14、D15、R16-R18、R36、C19 で回生回路を構します。回生回路では Q5-Q8 に発生したサージ電圧(V_{srg})を C19 で吸収し、R16-R18 を通して出力に回生します。このとき、抵抗 R16-R18 で発生するロス (P_{d_Rreg})は以下のとおりとなります。

$$P_{d_Rreg} = \frac{(V_{srg} - V_{out})^2}{R16}$$

V_{out} が 12.09V サージ電圧(V_{srg})が 60V、R16-R18 が 6.8k Ω の場合 R16-R18 で消費される電力ロス(P_{d_Rreg})は抵抗 1pcs につき 338mW です。実際のサージ電圧のレベルに応じて各素子の定数、定格を調整してください。

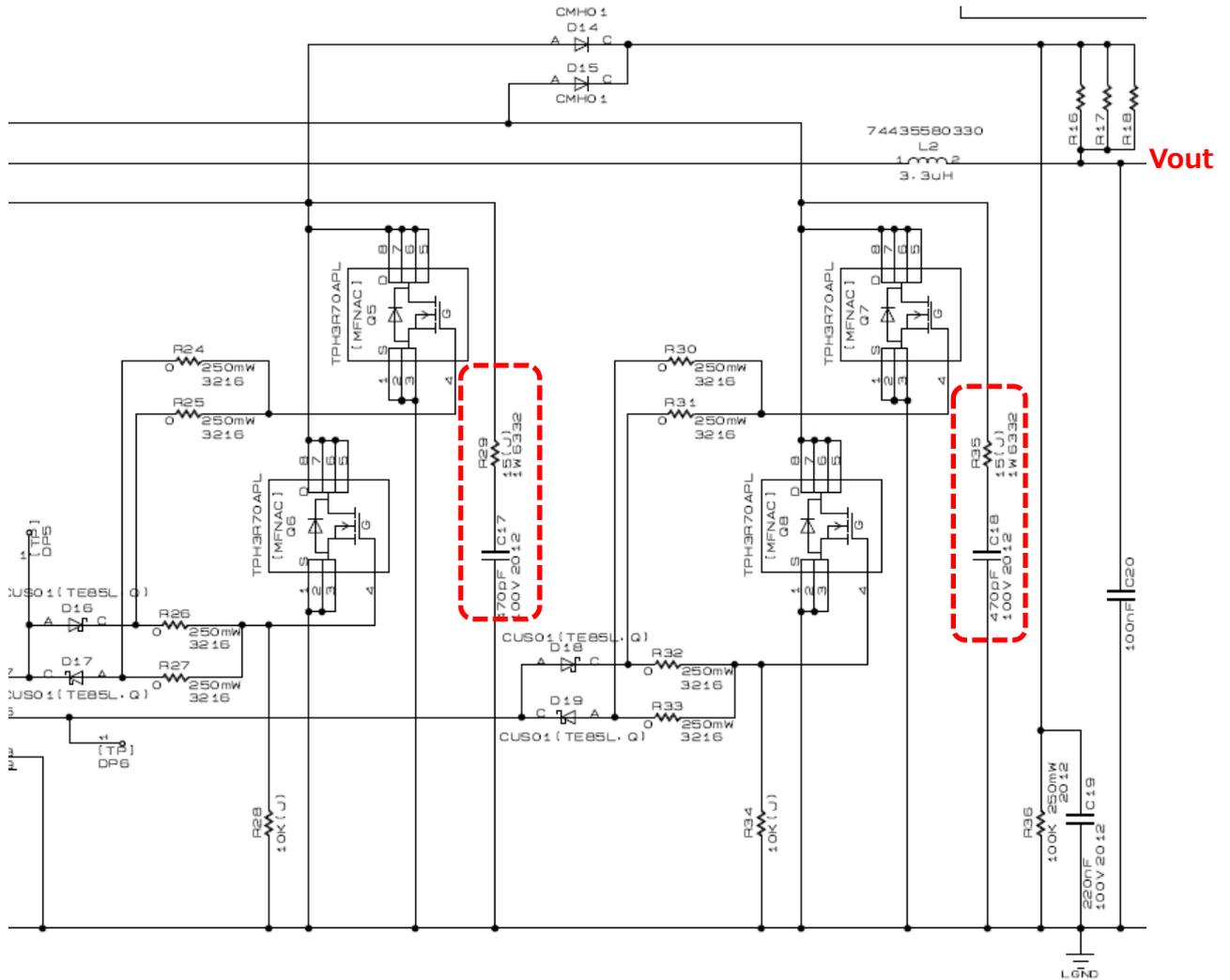


図 2.13 Snubber 回路

図 2.13 に示すように、R29、R35、C17、C18 で Snubber 回路を構成します。Snubber 回路では Q5-Q8 に発生したサージ電圧(V_{srg})を吸収します。このとき、抵抗 R29、R35 で発生するロス P_{d_Rsnb} は以下のとおりとなります。

$$P_{d_Rsnb} = C17 \times (V_{srg})^2 \times \left(\frac{f_{PWM}}{2}\right)$$

サージ電圧(V_{srg})が 60V、C17、C18 が 470pF の場合、抵抗 R29、R35 で発生するロス P_{d_Rsnb} は抵抗 1pcs につき 313mW です。実際のサージ電圧のレベルに応じて各素子の定数、定格を調整してください。

出力過電圧検出回路

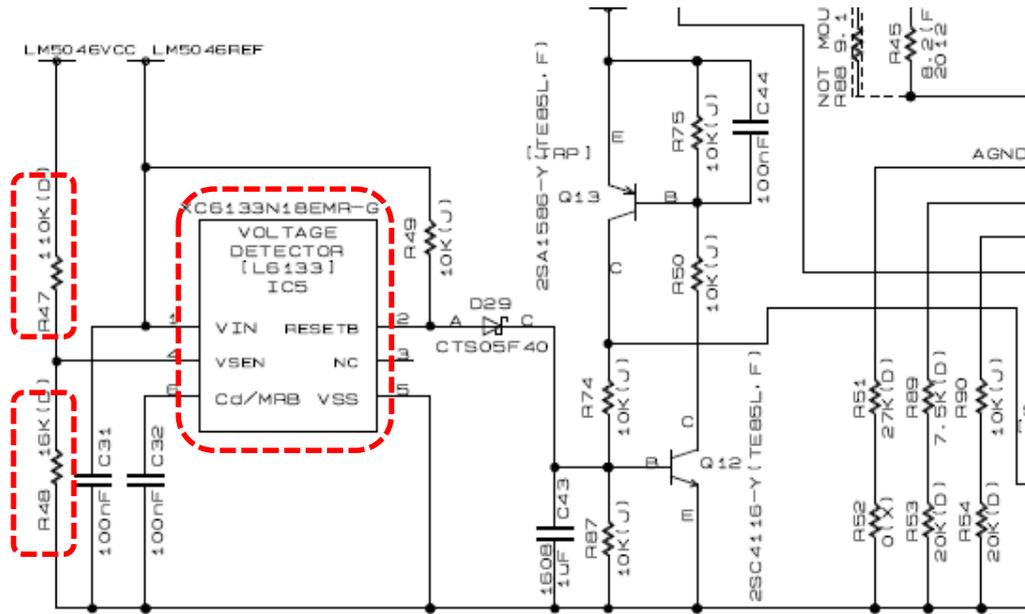


図 2.14 出力過電圧検出回路

出力の過電圧検出値(V_{ovp})を電圧検出器(XC6133N18EMR-G)の検出電圧($V_{det}=1.8V$)、外付け抵抗(R47、R48)の抵抗値で設定します。出力電圧の監視は補助電源電圧(V_{aux})を用いて間接的に行います。補助電源電圧値が過電圧検出値(V_{ovp})に到達すると、電圧検出器が作動して PSFB PWM コントローラの SS ピンをローにラッチしてスイッチング動作を停止します。以下の式で出力過電圧検出値(V_{ovp})を算出します。

$$V_{ovp} = \frac{(V_{det} + 90mV) \times (R47 + R48)}{R48}$$

本電源では過電圧検出値(V_{ovp})の設定値を 14.9V とし、図 2.14 に示すように、抵抗値(R47)に 110kΩ、抵抗値(R48)に 16kΩ を選択しています。過電圧検出により停止したスイッチング動作を再開するには、以下いずれかの条件を満たす必要があります。

1. Enable 端子をリセット(オープンにして、再度 GND へ接続)
2. 外部直流安定化電源の出力を遮断し、改めて印加

なお、出力電圧を直接監視する場合は、出力側に過電圧検出回路を設置する必要があります。

3. PCB 設計

本電源の PCB 設計時の注意点を記載します。

3.1. PCB パターン設計

沿面距離

要求仕様の安全規格に応じて適切な空間距離・沿面距離を確保してください。表 3.1 に本電源で用いた沿面距離を示します。なお、設置する環境、材料、材料の汚損度、湿度、高度(気圧)等によって必要な空間距離・沿面距離が変わるため、十分に考慮してください。

表 3.1 設計最小沿面距離

対象ライン 1	対象ライン 2	対象ライン 1 と対象ライン 2 の沿面距離
入力(カプラ部)	出力(カプラ部)	2.0mm
入力(トランス部)	出力(トランス部)	2.0mm

電流容量

基板上的各パターンは、各パターンにおける最大電流を流した際に、温度上昇、あるいはパターンによる IR ドロップのいずれによる問題も発生させないよう十分なパターン幅を確保する必要があります。

3.2. PSFB 回路パターン設計

PSFB 回路周辺の PCB 設計の注意点を説明します。図 3.1 に PSFB 回路(コントローラ周辺)、図 3.4 に PSFB 回路パターン設計注意点 1、図 3.5 に PSFB 回路パターン設計注意点 2 を示します。コントローラ周辺のレイアウトは PSFB PWM コントローラのデータシート、関連書類などを参照してください。

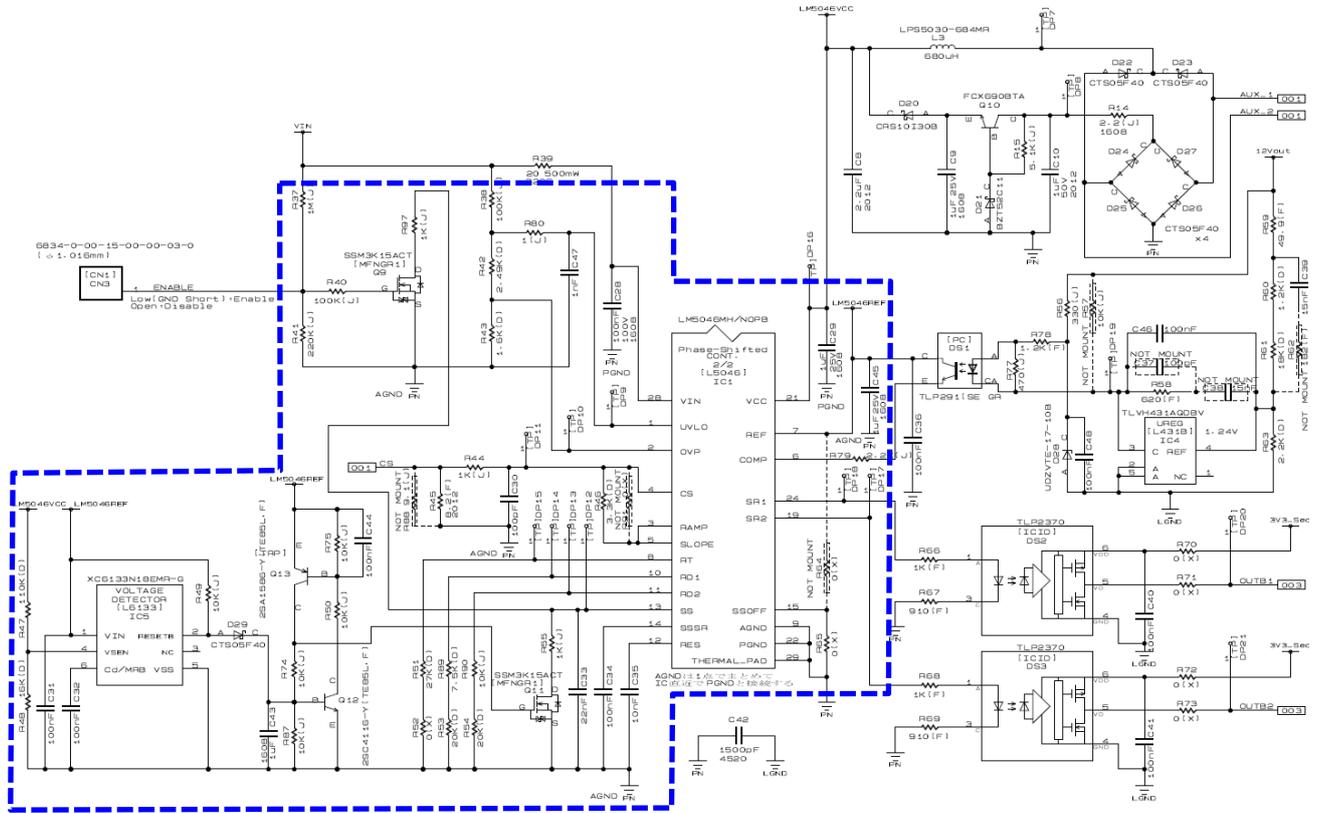


図 3.1 PSFB 回路(コントローラ周辺)

1. PSFB PWM コントローラ(IC1)は 2 次側の大電流スイッチング回路、トランス、リアクトルから離して配置します。
2. 図 3.1 に記載している青色点線内部の部品は PSFB PWM コントローラの近傍に配置します。
3. GND(回路図中 PN)は大電流経路と共通インピーダンスを持たない経路で PSFB PWM コントローラの AGND ピンに接続します。

図 3.2 に PCB 表面のレイアウト、図 3.3 に PCB 裏面のレイアウトを示します。破線で囲んだ PSFB コントローラ周辺部が上記注意点を考慮されていることが分かります。

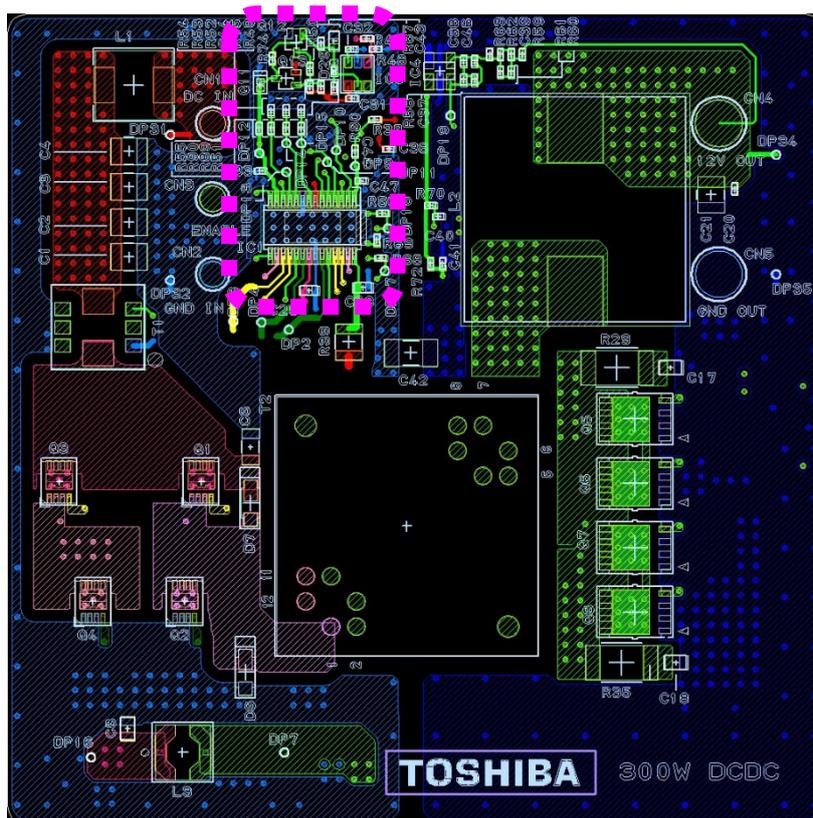


図 3.2 PCB 表面レイアウト(コントローラ周辺)

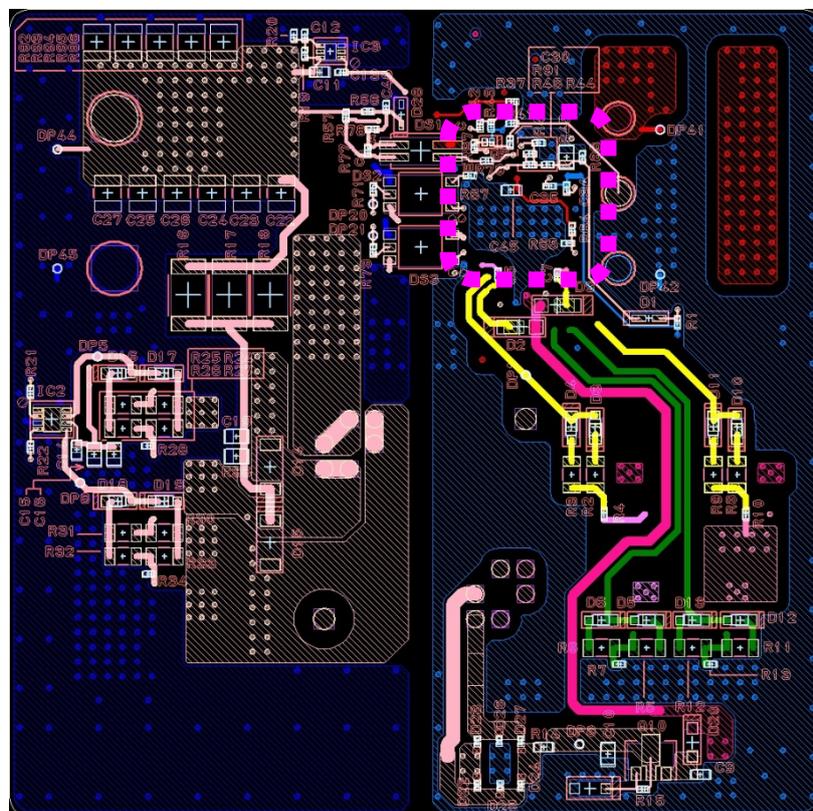


図 3.3 PCB 裏面レイアウト(コントローラ周辺)

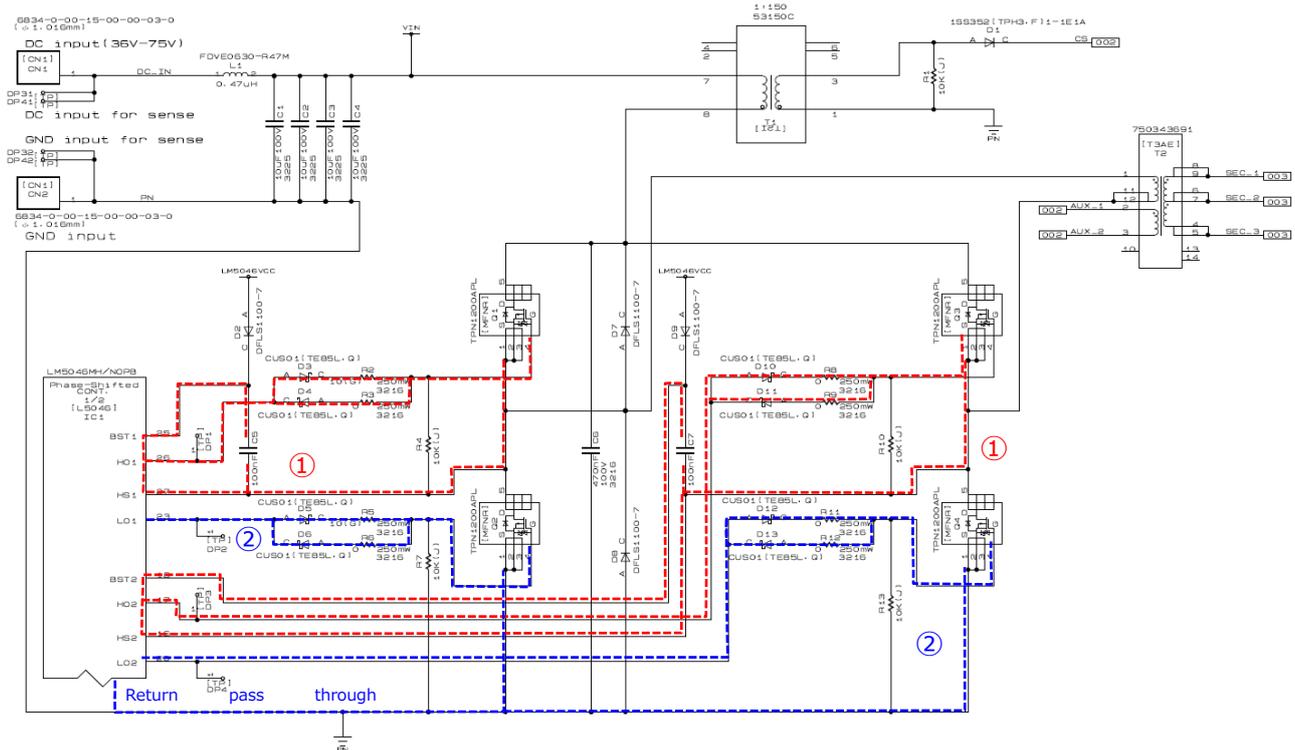


図 3.4 PSFB 回路パターン設計注意点 1

1. 電圧変動大のスイッチングノード周辺(図中①および①と同電位の電圧変動を持つライン)の面積が極小となるよう部品を配置します。
2. ドライバ出カライン(図中①、②)を可能な限り短くするために IC1 と Q1、Q2、Q3、Q4 を近傍に配置し、ドライブ電流最大値を流せるパターン幅を確保します。
3. Q1、Q3 のドライブ電流のリターン経路をソース端子直近から分離します。
4. Q2、Q4 のドライブ電流のリターン経路を GND(PN)プレーンから分離する場合は、Q1、Q2 のソース端子直近から分離します。
5. 電流検出ライン(CS)は GND(PN)とケルビン接続を行い、更に電流変動や電圧変動の少ないエリアを経由し PSFB PWM コントローラにフィードバックを行ないます。

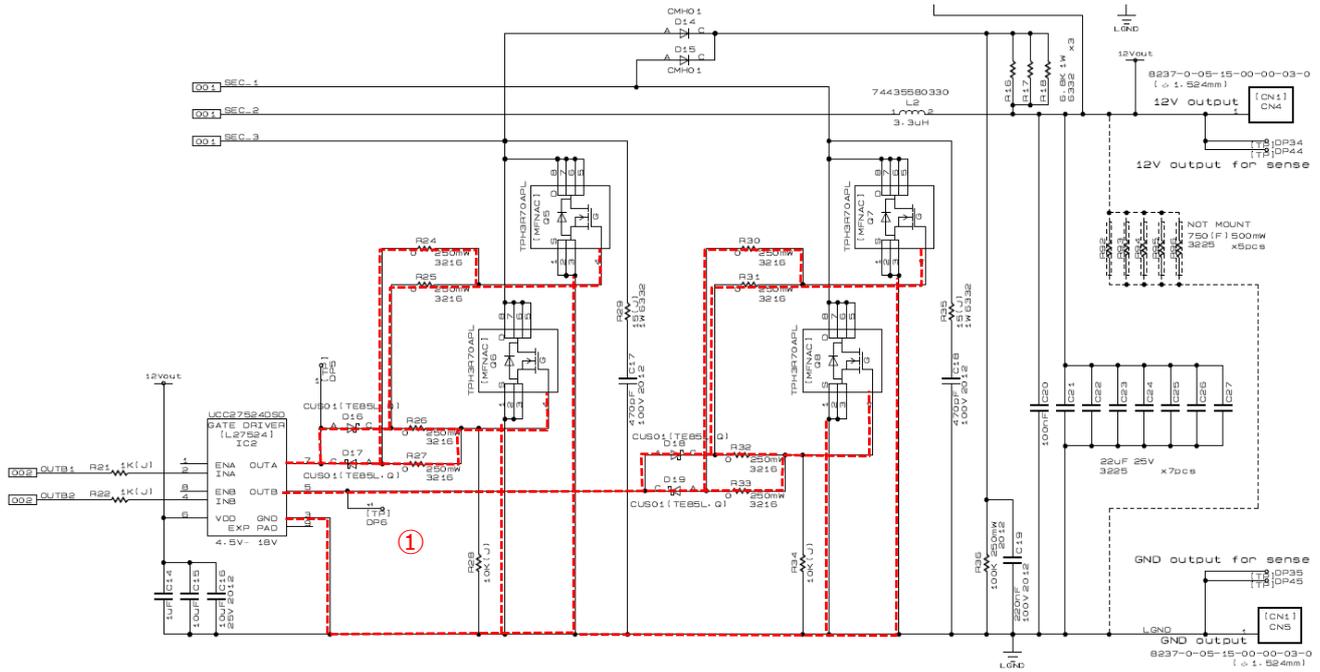


図 3.5 PSFB 回路パターン設計注意点 2

1. ドライバ出ライン(图中①)は可能な限り短くするために IC2 と Q5-Q8 を近傍配置し、ドライブ電流最大値を流すことのできるパターン幅を確保します。
2. ドライブ電流のリターン経路を GND(LGND)プレーン以外にする場合は、Q5-Q8 のソース端子直近から分離します。
3. Snubber 回路 C17、R29 を Q5、Q6 ドレイン-ソース間直近に、C18、R35 を Q7、Q8 ドレイン-ソース間直近に配置します。
4. 回生回路 D14、D15、C19、R36 を Q5、Q6、Q7、Q8 ドレイン-ソース間直近に配置します。
5. トランスと同期整流 MOSFET のループを最小にするため T1 と Q5-Q8 を直近に配置します。

ご利用規約

本規約は、お客様と東芝デバイス&ストレージ株式会社（以下「当社」といいます）との間で、当社半導体製品を搭載した機器を設計する際に参考となるドキュメント及びデータ（以下「本リファレンスデザイン」といいます）の使用に関する条件を定めるものです。お客様は本規約を遵守しなければなりません。本リファレンスデザインをダウンロードすることをもって、お客様は本規約に同意したものとみなされます。なお、本規約は変更される場合があります。当社は、理由の如何を問わずいつでも本規約を解除することができます。本規約が解除された場合は、お客様は、本リファレンスデザインを破棄しなければなりません。またお客様が本規約に違反した場合は、お客様は、本リファレンスデザインを破棄し、その破棄したことを証する書面を当社に提出しなければなりません。

第1条 禁止事項

お客様の禁止事項は、以下の通りです。

1. 本リファレンスデザインは、機器設計の参考データとして使用されることを意図しています。信頼性検証など、それ以外の目的には使用しないでください。
2. 本リファレンスデザインを販売、譲渡、貸与等しないでください。
3. 本リファレンスデザインは、高温・多湿・強電磁界などの対環境評価には使用できません。
4. 本リファレンスデザインを、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用しないでください。

第2条 保証制限等

1. 本リファレンスデザインは、技術の進歩などにより予告なしに変更されることがあります。
2. 本リファレンスデザインは参考用のデータです。当社は、データおよび情報の正確性、完全性に関して一切の保証をいたしません。
3. 半導体素子は誤作動したり故障したりすることがあります。本リファレンスデザインを参考に機器設計を行う場合は、誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。また、使用されている半導体素子に関する最新の情報（半導体信頼性ハンドブック、仕様書、データシート、アプリケーションノートなど）をご確認の上、これに従ってください。
4. 本リファレンスデザインを参考に機器設計を行う場合は、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。当社は、適用可否に対する責任を負いません。
5. 本リファレンスデザインは、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
6. 当社は、本リファレンスデザインに関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本リファレンスデザインに関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。

第3条 輸出管理

お客様は本リファレンスデザインを、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用してはなりません。また、お客様は「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守しなければなりません。

第4条 準拠法

本規約の準拠法は日本法とします。