

**TOSHIBA**

東芝 オリジナル CMOS 32 ビット マイクロコントローラ

**TLCS-900/H1 シリーズ**

**TMP92C820FG**

Not Recommended  
for New Design

株式会社 **東芝** セミコンダクター社

## はじめに

この度は弊社 32 ビットマイクロコントローラ TLCS-900/H1 シリーズ、TMP92C820 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されましてをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

### ホルト状態からの解除に関する注意事項

通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 ( $f_{FPH}$  約 3 クロックの間) に、HALT モードを解除可能な割り込み (INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

## CMOS 32 ビット マイクロコントローラ TMP92C820FG/JTMP92C820

### 1. 概要と特長

TMP92C820 は、東芝オリジナル CPU TLCS-900/H1 をコアに採用し、高速にデータ処理を必要とする各種組み込み用制御機器向けに開発した、高機能 32 ビットマイクロコントローラです。

TMP92C820FG には小型の 144 ピンフラットパッケージを使用し、ユーザシステムの高密度実装化にも最適です。また JTMP92C820 は 144 パッドチップ製品です。

TMP92C820 の特長は次のとおりです。

- (1) オリジナル高速 32 ビット CPU (TLCS-900/H1 CPU 使用)
  - TLCS900, 900/L, 900/H, 900/L1 と命令コード完全互換
  - 16 M バイトのリニアアドレス空間
  - 汎用レジスタ&レジスタバンク方式
  - マイクロ DMA: 8 チャンネル (250 ns/4 バイト @ fSYS = 20 MHz)
- (2) 最小命令実行時間: 50 ns (@fSYS = 20 MHz)
- (3) 内蔵 RAM: 8 K バイト (32 ビット 1 クロックアクセス, プログラム実行可能)  
内蔵 ROM: なし
- (4) 外部メモリ拡張
  - 136 M バイト (プログラム, データエリア) まで拡張可能
  - 外部データバス 8/16/32 ビット幅共存可能 … ダイナミックデータバスサイジング
  - セパレートバスシステム

### 当社半導体製品取り扱い上のお願ひ

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。  
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。 021023\_A
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下“特定用途”という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023\_B
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106\_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023\_C
- 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。 021023\_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023\_D
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。 030519\_S

- (5) メモリコントローラ
  - チップセレクト出力: 4 チャンネル
- (6) 8 ビットタイマ: 4 チャンネル
- (7) 16 ビットタイマ: 1 チャンネル
- (8) 汎用シリアルインタフェース: 3 チャンネル
  - UART/同期モード
  - IrDA
- (9) シリアルバスインタフェース: 1 チャンネル
  - I<sup>2</sup>C バスモード
  - クロック同期モード
- (10) LCD コントローラ
  - シフトレジスタ型, RAM 内蔵型の両 LCD ドライバに対応
  - 白黒および 4/8/16 階調の LCD 表示制御に対応
  - ハードウェア点滅式カーソル機能
- (11) SDRAM コントローラ
  - 16 M/64 M/128 M ビット SDRAM に対応 (16/32 ビットデータバス)
- (12) RTC (リアルタイムクロック)
  - TC8521A を基本とした仕様
  - 電源分離供給
- (13) キーオンウェイクアップ (キー入力割込み)
- (14) 10 ビット AD コンバータ: 5 チャンネル
- (15) ウォッチドッグタイマ
- (16) メロディ/アラームジェネレータ
  - メロディ: 4~5461 Hz のクロックを出力
  - アラーム: 8 種類のアラームパターンを出力
  - 5 種類のインターバル割り込みを出力
- (17) MMU
  - 4 ローカルエリア/8 バンク方式により 136 M バイトまで拡張可能
- (18) 割り込み機能: 45 本
  - CPU9 本 ..... ソフトウェア割り込み命令、未定義命令実行違反
  - 内部 31 本 ..... 7 レベルの優先順位の設定が可能
  - 外部 5 本 ..... 7 レベルの優先順位の設定が可能 (4 本はエッジの極性選択可能)
- (19) 入出力ポート: 83 端子 (データバス 16 ビット、アドレスバス 24 ビット、RD 端子を除く)
- (20) スタンバイ機能
  - 3 種類の HALT モード ..... IDLE2 (プログラマブル), IDLE1, STOP
- (21) トリプルクロック制御機能
  - クロックギア機能: 高周波クロック  $f_c \sim f_c/16$  まで切り替え可能
  - 時計用クロック ( $f_s = 32.768 \text{ kHz}$ )

## (22) 動作電圧

- DVCC = 3.0~3.6 V
- RTCVCC = 2.0~3.6 V

## (23) パッケージ

- 144 ピン QFP: P-LQFP144-1616-0.40C
- 144 パッドチップ供給可能。詳細はお近くの東芝営業窓口までお問い合わせください。

Not Recommended  
for New Design

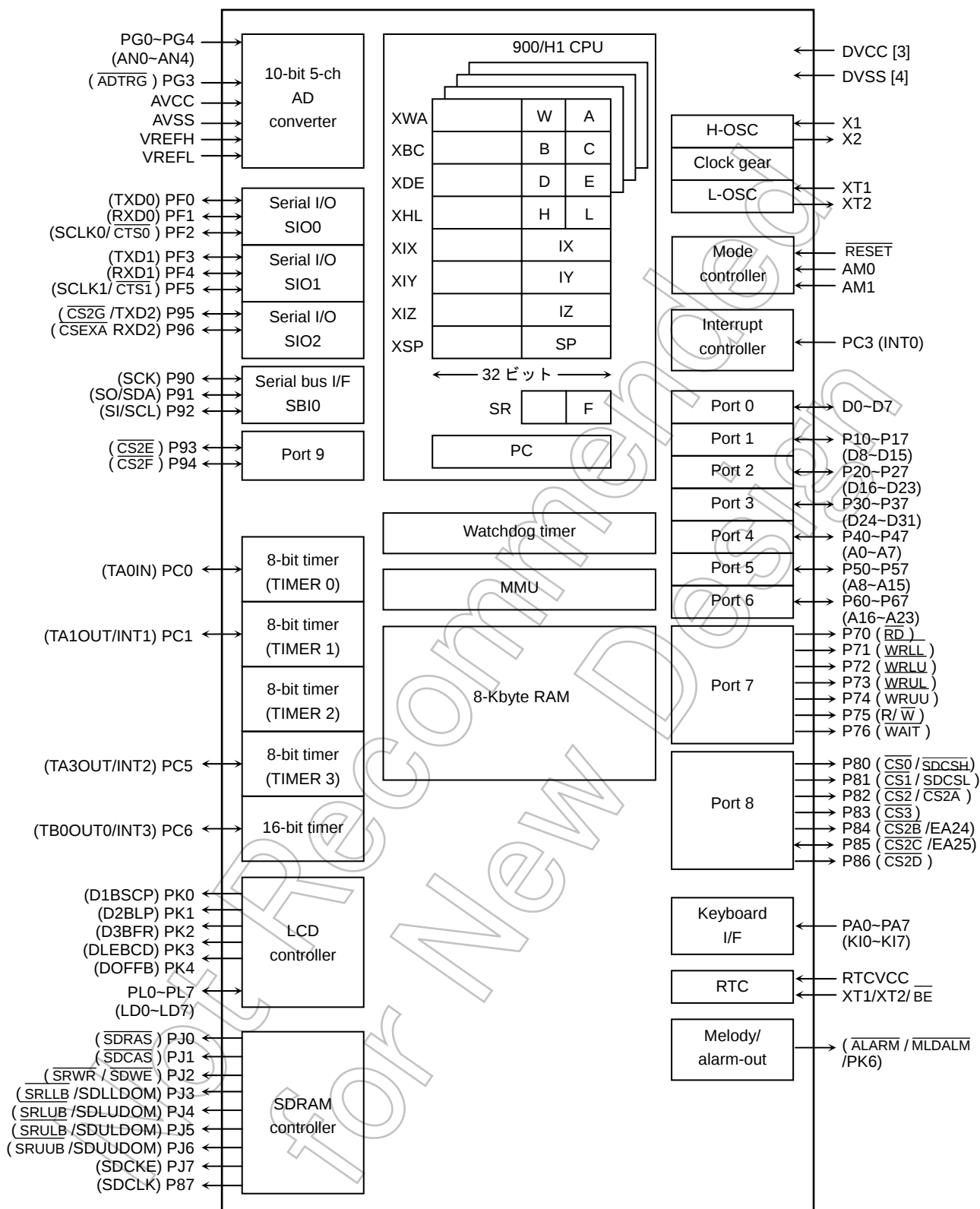


図 1.1 TMP92C820 ブロック図

## 2. ピン配置とピン機能

TMP92C820FG のピン配置図および入出力ピンの名称と概略機能を示します。

### 2.1 ピン配置図

TMP92C820FGピン配置図は、図 2.1.1 のとおりです。

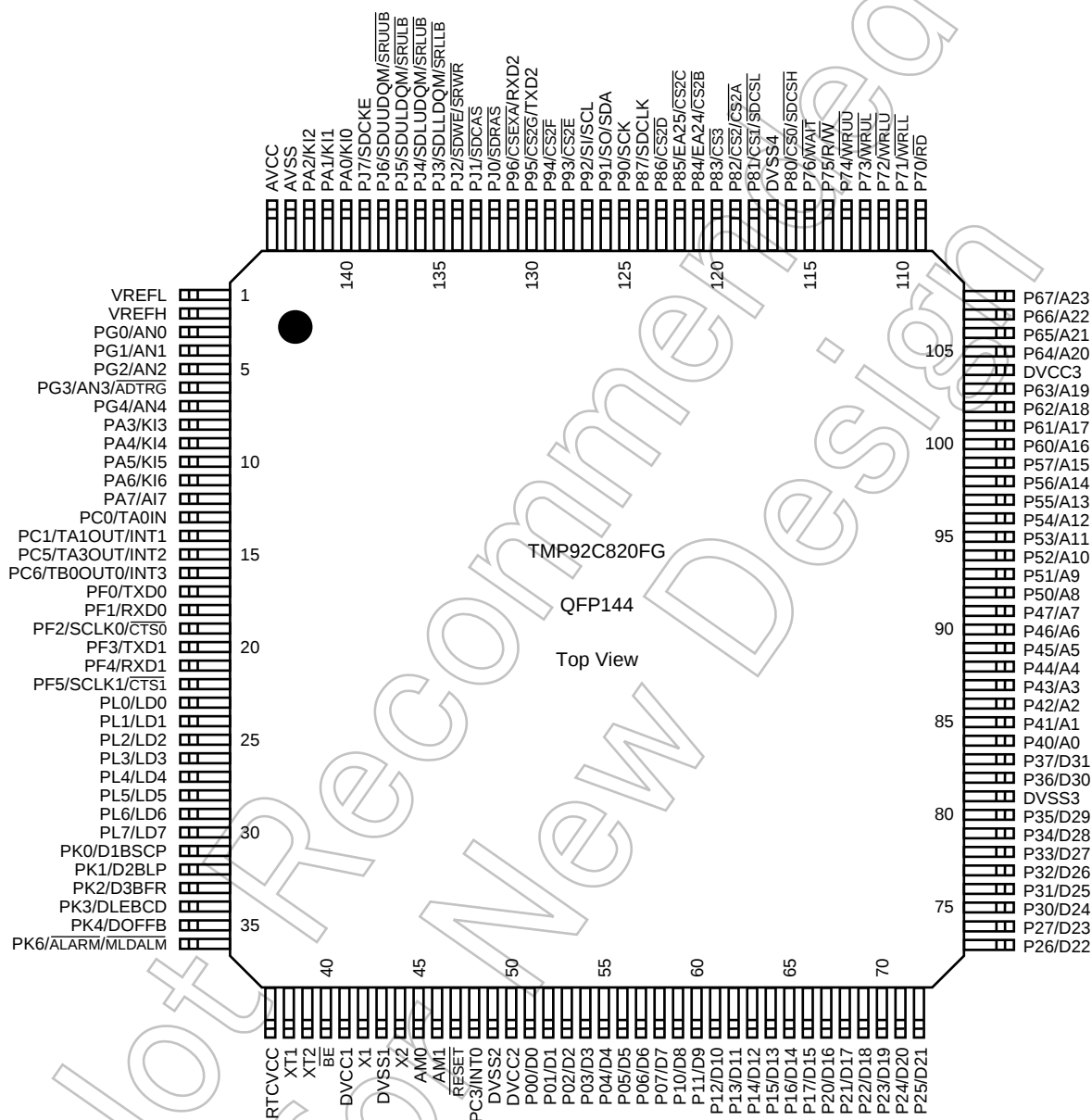


図 2.1.1 ピン配置図 (144 ピン QFP)

## 2.2 PAD 座標値

表 2.2.1 ピン配置図 (144 ピンチップ)

(チップサイズ 4.68 mm × 4.68 mm)

単位:  $\mu\text{m}$ 

| ピン<br>No. | 名称     | X 座標  | Y 座標  | ピン<br>No. | 名称    | X 座標 | Y 座標  | ピン<br>No. | 名称    | X 座標  | Y 座標 |
|-----------|--------|-------|-------|-----------|-------|------|-------|-----------|-------|-------|------|
| 1         | VREFL  | -2213 | 1945  | 49        | DVSS2 | -440 | -2213 | 97        | P55   | 2211  | 685  |
| 2         | VREFH  | -2213 | 1820  | 50        | DVCC2 | -340 | -2213 | 98        | P56   | 2211  | 789  |
| 3         | PG0    | -2213 | 1694  | 51        | P00   | -240 | -2213 | 99        | P57   | 2211  | 894  |
| 4         | PG1    | -2213 | 1568  | 52        | P01   | -140 | -2213 | 100       | P60   | 2211  | 1000 |
| 5         | PG2    | -2213 | 1460  | 53        | P02   | -40  | -2213 | 101       | P61   | 2211  | 1107 |
| 6         | PG3    | -2213 | 1353  | 54        | P03   | 59   | -2213 | 102       | P62   | 2211  | 1213 |
| 7         | PG4    | -2213 | 1249  | 55        | P04   | 160  | -2213 | 103       | P63   | 2211  | 1321 |
| 8         | PA3    | -2213 | 1050  | 56        | P05   | 260  | -2213 | 104       | DVCC3 | 2211  | 1430 |
| 9         | PA4    | -2213 | 946   | 57        | P06   | 360  | -2213 | 105       | P64   | 2211  | 1546 |
| 10        | PA5    | -2213 | 842   | 58        | P07   | 460  | -2213 | 106       | P65   | 2211  | 1672 |
| 11        | PA6    | -2213 | 739   | 59        | P10   | 561  | -2213 | 107       | P66   | 2211  | 1798 |
| 12        | PA7    | -2213 | 635   | 60        | P11   | 661  | -2213 | 108       | P67   | 2211  | 1924 |
| 13        | PC0    | -2213 | 531   | 61        | P12   | 761  | -2213 | 109       | P70   | 1925  | 2211 |
| 14        | PC1    | -2213 | 427   | 62        | P13   | 861  | -2213 | 110       | P71   | 1800  | 2211 |
| 15        | PC5    | -2213 | 326   | 63        | P14   | 961  | -2213 | 111       | P72   | 1675  | 2211 |
| 16        | PC6    | -2213 | 224   | 64        | P15   | 1062 | -2213 | 112       | P73   | 1558  | 2211 |
| 17        | PF0    | -2213 | 123   | 65        | P16   | 1162 | -2213 | 113       | P74   | 1448  | 2211 |
| 18        | PF1    | -2213 | 23    | 66        | P17   | 1263 | -2213 | 114       | P75   | 1346  | 2211 |
| 19        | PF2    | -2213 | -77   | 67        | P20   | 1363 | -2213 | 115       | P76   | 1243  | 2211 |
| 20        | PF3    | -2213 | -179  | 68        | P21   | 1474 | -2213 | 116       | P80   | 1141  | 2211 |
| 21        | PF4    | -2213 | -284  | 69        | P22   | 1589 | -2213 | 117       | DVSS4 | 1038  | 2211 |
| 22        | PF5    | -2213 | -388  | 70        | P23   | 1702 | -2213 | 118       | P81   | 937   | 2211 |
| 23        | PL0    | -2213 | -493  | 71        | P24   | 1814 | -2213 | 119       | P82   | 835   | 2211 |
| 24        | PL1    | -2213 | -598  | 72        | P25   | 1926 | -2213 | 120       | P83   | 734   | 2211 |
| 25        | PL2    | -2213 | -704  | 73        | P26   | 2211 | -1924 | 121       | P84   | 633   | 2211 |
| 26        | PL3    | -2213 | -809  | 74        | P27   | 2211 | -1799 | 122       | P85   | 532   | 2211 |
| 27        | PL4    | -2213 | -914  | 75        | P30   | 2211 | -1674 | 123       | P86   | 431   | 2211 |
| 28        | PL5    | -2213 | -1024 | 76        | P31   | 2211 | -1548 | 124       | P87   | 330   | 2211 |
| 29        | PL6    | -2213 | -1132 | 77        | P32   | 2211 | -1426 | 125       | P90   | 229   | 2211 |
| 30        | PL7    | -2213 | -1243 | 78        | P33   | 2211 | -1311 | 126       | P91   | 128   | 2211 |
| 31        | PK0    | -2213 | -1354 | 79        | P34   | 2211 | -1199 | 127       | P92   | 28    | 2211 |
| 32        | PK1    | -2213 | -1464 | 80        | P35   | 2211 | -1087 | 128       | P93   | -72   | 2211 |
| 33        | PK2    | -2213 | -1576 | 81        | DVSS3 | 2211 | -975  | 129       | P94   | -173  | 2211 |
| 34        | PK3    | -2213 | -1701 | 82        | P36   | 2211 | -864  | 130       | P95   | -274  | 2211 |
| 35        | PK4    | -2213 | -1826 | 83        | P37   | 2211 | -757  | 131       | P96   | -375  | 2211 |
| 36        | PK6    | -2213 | -1953 | 84        | P40   | 2211 | -648  | 132       | PJ0   | -477  | 2211 |
| 37        | RTCVCC | -1962 | -2213 | 85        | P41   | 2211 | -541  | 133       | PJ1   | -580  | 2211 |
| 38        | XT1    | -1851 | -2213 | 86        | P42   | 2211 | -435  | 134       | PJ2   | -684  | 2211 |
| 39        | XT2    | -1574 | -2213 | 87        | P43   | 2211 | -332  | 135       | PJ3   | -788  | 2211 |
| 40        | BE     | -1466 | -2213 | 88        | P44   | 2211 | -228  | 136       | PJ4   | -892  | 2211 |
| 41        | DVCC1  | -1360 | -2213 | 89        | P45   | 2211 | -128  | 137       | PJ5   | -996  | 2211 |
| 42        | X1     | -1257 | -2213 | 90        | P46   | 2211 | -28   | 138       | PJ6   | -1101 | 2211 |
| 43        | DVSS1  | -1057 | -2213 | 91        | P47   | 2211 | 71    | 139       | PJ7   | -1208 | 2211 |
| 44        | X2     | -957  | -2213 | 92        | P50   | 2211 | 171   | 140       | PA0   | -1319 | 2211 |
| 45        | AM0    | -840  | -2213 | 93        | P51   | 2211 | 272   | 141       | PA1   | -1430 | 2211 |
| 46        | AM1    | -740  | -2213 | 94        | P52   | 2211 | 374   | 142       | PA2   | -1555 | 2211 |
| 47        | RESET  | -640  | -2213 | 95        | P53   | 2211 | 477   | 143       | AVSS  | -1828 | 2211 |
| 48        | PC3    | -540  | -2213 | 96        | P54   | 2211 | 581   | 144       | AVCC  | -1955 | 2211 |

## 2.3 ピン名称と機能

入出力ピンの名称と機能は次のとおりです。

表 2.3.1 ピン名称と機能 (1/3)

| ピン名称                           | ピン数 | 入出力 | 機能                                                    |
|--------------------------------|-----|-----|-------------------------------------------------------|
| D0~D7                          | 8   | 入出力 | データ (下位): データバス D0~D7                                 |
| P10~P17                        | 8   | 入出力 | ポート 1: ビット単位で入出力の設定可能な入出力ポート<br>外部 8 ビットバスで使用する際に使用可能 |
| D8~D15                         |     | 入出力 | データ: データバス D8~D15                                     |
| P20~P27                        | 8   | 入出力 | ポート 2: 入出力ポート                                         |
| D16~D23                        |     | 入出力 | データ: データバス D16~D23                                    |
| P30~P37                        | 8   | 入出力 | ポート 3: 入出力ポート                                         |
| D24~D31                        |     | 入出力 | データ: データバス D24~D31                                    |
| P40~P47                        | 8   | 入出力 | ポート 4: 入出力ポート                                         |
| A0~A7                          |     | 出力  | アドレス: アドレスバス A0~A7                                    |
| P50~P57                        | 8   | 入出力 | ポート 5: 入出力ポート                                         |
| A8~A15                         |     | 出力  | アドレス: アドレスバス A8~A15                                   |
| P60~P67                        | 8   | 入出力 | ポート 6: 入出力ポート                                         |
| A16~A23                        |     | 出力  | アドレス: アドレスバス A16~A23                                  |
| P70                            | 1   | 出力  | ポート 70: 出力ポート                                         |
| $\overline{\text{RD}}$         |     | 出力  | リード: 外部メモリをリードするためのストロープ信号                            |
| P71                            | 1   | 出力  | ポート 71: 出力ポート                                         |
| $\overline{\text{WRLL}}$       |     | 出力  | ライト: D0~D7 端子のデータをライトするためのストロープ信号                     |
| P72                            | 1   | 出力  | ポート 72: 出力ポート                                         |
| $\overline{\text{WRLU}}$       |     | 出力  | ライト: D8~D15 端子のデータをライトするためのストロープ信号                    |
| P73                            | 1   | 出力  | ポート 73: 出力ポート                                         |
| $\overline{\text{WRUL}}$       |     | 出力  | ライト: D16~D23 端子のデータをライトするためのストロープ信号                   |
| P74                            | 1   | 出力  | ポート 74: 出力ポート                                         |
| $\overline{\text{WRUU}}$       |     | 出力  | ライト: D24~D31 端子のデータをライトするためのストロープ信号                   |
| P75                            | 1   | 出力  | ポート 75: 出力ポート                                         |
| $\text{R}/\overline{\text{W}}$ |     | 出力  | リード/ライト: リードおよびダミーサイクル時 1、ライトサイクル時 0                  |
| P76                            | 1   | 入出力 | ポート 76: 入出力ポート                                        |
| $\overline{\text{WAIT}}$       |     | 入力  | ウェイト: CPU へのバスウェイト要求端子                                |
| P80                            |     | 出力  | ポート 80: 出力ポート                                         |
| $\overline{\text{CS0}}$        | 1   | 出力  | チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力                 |
| $\overline{\text{SDCSH}}$      |     | 出力  | SDRAM チップセレクト: アドレスが SDRAM 上位アドレス領域内なら "0" を出力        |
| P81                            |     | 出力  | ポート 81: 出力ポート                                         |
| $\overline{\text{CS1}}$        | 1   | 出力  | チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力                 |
| $\overline{\text{SDCSL}}$      |     | 出力  | SDRAM チップセレクト: アドレスが SDRAM 下位アドレス領域内なら "0" を出力        |
| P82                            |     | 出力  | ポート 82: 出力ポート                                         |
| $\overline{\text{CS2}}$        | 1   | 出力  | チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力                 |
| $\overline{\text{CS2A}}$       |     | 出力  | 拡張チップセレクト 2A: アドレスが特定のアドレス領域内なら "0" を出力               |
| P83                            |     | 出力  | ポート 83: 出力ポート                                         |
| $\overline{\text{CS3}}$        | 1   | 出力  | チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力                 |
| P84                            |     | 出力  | ポート 84: 出力ポート                                         |
| EA24                           | 1   | 出力  | 拡張アドレス 24: データエリアを拡張する際に使用するアドレスバス                    |
| $\overline{\text{CS2B}}$       |     | 出力  | 拡張チップセレクト 2B: アドレスが特定のアドレス領域内なら "0" を出力               |
| P85                            |     | 出力  | ポート 85: 出力ポート                                         |
| EA25                           | 1   | 出力  | 拡張アドレス 25: データエリアを拡張する際に使用するアドレスバス                    |
| $\overline{\text{CS2C}}$       |     | 出力  | 拡張チップセレクト 2C: アドレスが特定のアドレス領域内なら "0" を出力               |
| P86                            |     | 出力  | ポート 86: 出力ポート                                         |
| $\overline{\text{CS2D}}$       | 1   | 出力  | 拡張チップセレクト 2D: アドレスが特定のアドレス領域内なら "0" を出力               |
| P87                            |     | 出力  | ポート 87: 出力ポート                                         |
| $\overline{\text{SDCLK}}$      | 1   | 出力  | SDRAM 用クロック                                           |

表 2.3.2 ピン名称と機能 (2/3)

| ピン名称                        | ピン数 | 入出力              | 機能                                                                                                                              |
|-----------------------------|-----|------------------|---------------------------------------------------------------------------------------------------------------------------------|
| P90<br>SCK                  | 1   | 入出力<br>入出力       | ポート 90: 入出力ポート<br>シリアルバスインタフェースの SIO モード時のクロック入出力端子                                                                             |
| P91<br>SO<br>SDA            | 1   | 入出力<br>出力<br>入出力 | ポート 91: 入出力ポート<br>シリアルバスインタフェースの SIO モード時のデータ送信端子<br>シリアルバスインタフェースの I <sup>2</sup> C モード時のデータ送受信端子<br>(プログラムによりオープンドレイン出力端子可能)  |
| P92<br>SI<br>SCL            | 1   | 入出力<br>出力<br>入出力 | ポート 92: 入出力ポート<br>シリアルバスインタフェースの SIO モード時のデータ受信端子<br>シリアルバスインタフェースの I <sup>2</sup> C モード時のクロック入出力端子<br>(プログラムによりオープンドレイン出力端子可能) |
| P93<br>CS2E                 | 1   | 入出力<br>出力        | ポート 93: 入出力ポート<br>拡張チップセレクト 2E: アドレスが特定のアドレス領域内の時 "0" を出力                                                                       |
| P94<br>CS2F                 | 1   | 入出力<br>出力        | ポート 94: 入出力ポート<br>拡張チップセレクト 2F: アドレスが特定のアドレス領域内の時 "0" を出力                                                                       |
| P95<br>CS2G<br>TXD2         | 1   | 入出力<br>出力<br>出力  | ポート 95: 入出力ポート<br>拡張チップセレクト 2G: アドレスが特定のアドレス領域内の時 "0" を出力<br>シリアル 2 送信データ: プログラムによりオープンドレイン出力端子可能                               |
| P96<br>RXD2<br>CSEXA        | 1   | 入出力<br>入力<br>出力  | ポート 96: 入出力ポート<br>シリアル 2 受信データ<br>拡張チップセレクト EXA: アドレスが特定のアドレス領域内の時 "0" を出力                                                      |
| PA0~PA7<br>KI0~KI7          | 8   | 入力<br>入力         | ポート A0~A7: 入力専用ポート<br>キー入力 0~7: キースキャン端子<br>(キーオンウェイクアップ機能、シュミット入力、ブルアップ抵抗付き)                                                   |
| PC0<br>TA0IN                | 1   | 入出力<br>入力        | ポート C0: 入出力ポート<br>タイマ入力: 8 ビットタイマ 0 の入力端子                                                                                       |
| PC1<br>INT1<br>TA1OUT       | 1   | 入出力<br>入力<br>出力  | ポート C1: 入出力ポート<br>割り込み要求端子 1: 立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子<br>タイマ出力: 8 ビットタイマ 1 の出力端子                                           |
| PC3<br>INT0                 | 1   | 入出力<br>入力        | ポート C3: 入出力ポート<br>割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子                                                                  |
| PC5<br>INT2<br>TA3OUT       | 1   | 入出力<br>入力<br>出力  | ポート C5: 入出力ポート<br>割り込み要求端子 2: 立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子<br>タイマ出力: 8 ビットタイマ A2 または A3 の出力端子                                   |
| PC6<br>INT3<br>TB0OUT0      | 1   | 入出力<br>入力<br>出力  | ポート C6: 入出力ポート<br>割り込み要求端子 3: 立ち上がり/立ち下がりエッジを選択可能な割り込み要求端子<br>タイマ出力: 16 ビットタイマ B0 の出力端子                                         |
| PF0<br>TXD0                 | 1   | 入出力<br>出力        | ポート F0: 入出力ポート<br>シリアル 0 送信データ: プログラムによりオープンドレイン出力端子可能                                                                          |
| PF1<br>RXD0                 | 1   | 入出力<br>入力        | ポート F1: 入出力ポート<br>シリアル 0 受信データ                                                                                                  |
| PF2<br>SCLK0<br>CTS0        | 1   | 入出力<br>入出力<br>入力 | ポート F2: 入出力ポート<br>シリアル 0 クロック入出力<br>シリアル 0 データ送信可能 (Clear to send)                                                              |
| PF3<br>TXD1                 | 1   | 入出力<br>出力        | ポート F3: 入出力ポート<br>シリアル 1 送信データ: プログラムによりオープンドレイン出力端子可能                                                                          |
| PF4<br>RXD1                 | 1   | 入出力<br>入力        | ポート F4: 入出力ポート<br>シリアル 1 受信データ                                                                                                  |
| PF5<br>SCLK1<br>CTS1        | 1   | 入出力<br>入出力<br>入力 | ポート F5: 入出力ポート<br>シリアル 1 クロック入出力<br>シリアル 1 データ送信可能 (Clear to send)                                                              |
| PG0~PG4<br>AN0~AN4<br>ADTRG | 5   | 入力<br>入力<br>入力   | ポート G0~G4: 入力専用ポート<br>アナログ入力 0~4: AD コンバータ入力<br>AD トリガ: AD コンバータの外部スタート要求端子 (PG3 と兼用)                                           |

表 2.3.3 ピン名称と機能 (3/3)

| ピン名称                    | ピン数 | 入出力            | 機能                                                                                                                                             |
|-------------------------|-----|----------------|------------------------------------------------------------------------------------------------------------------------------------------------|
| PJ0<br>SDRAS            | 1   | 出力<br>出力       | ポート J0: 出力ポート<br>SDRAM 制御信号: SDRAM 用ローアドレスストロブ信号                                                                                               |
| PJ1<br>SDCAS            | 1   | 出力<br>出力       | ポート J1: 出力ポート<br>SDRAM 制御信号: SDRAM 用カラムアドレスストロブ信号                                                                                              |
| PJ2<br>SDWE<br>SRWR     | 1   | 出力<br>出力<br>出力 | ポート J2: 出力ポート<br>SDRAM 制御信号: SDRAM 用ライトイネーブル信号<br>SRAM 制御信号: SRAM 用データライトストロブ信号                                                                |
| PJ3<br>SDLLDQM<br>SRLLB | 1   | 出力<br>出力<br>出力 | ポート J3: 出力ポート<br>SDRAM 制御信号: SDRAM 用 D0-D7 データイネーブル信号<br>SRAM 制御信号: SRAM 用 D0-D7 データイネーブル信号                                                    |
| PJ4<br>SDLUDQM<br>SRLUB | 1   | 出力<br>出力<br>出力 | ポート J4: 出力ポート<br>SDRAM 制御信号: SDRAM 用 D8-D15 データイネーブル信号<br>SRAM 制御信号: SRAM 用 D8-D15 データイネーブル信号                                                  |
| PJ5<br>SDULDQM<br>SRULB | 1   | 出力<br>出力<br>出力 | ポート J5: 出力ポート<br>SDRAM 制御信号: SDRAM 用 D16-D23 データイネーブル信号<br>SRAM 制御信号: SRAM 用 D16-D23 データイネーブル信号                                                |
| PJ6<br>SDUUDQM<br>SRUUB | 1   | 出力<br>出力<br>出力 | ポート J6: 出力ポート<br>SDRAM 制御信号: SDRAM 用 D24-D32 データイネーブル信号<br>SRAM 制御信号: SRAM 用 D24-D32 データイネーブル信号                                                |
| PJ7<br>SDCKE            | 1   | 出力<br>出力       | ポート J7: 出力ポート<br>SDRAM 制御信号: SDRAM 用クロックイネーブル信号                                                                                                |
| PK0<br>D1BSCP           | 1   | 出力<br>出力       | ポート K0: 出力ポート<br>LCD 制御信号: LCD コントローラ用出力信号                                                                                                     |
| PK1<br>D2BLP            | 1   | 出力<br>出力       | ポート K1: 出力ポート<br>LCD 制御信号: LCD コントローラ用出力信号                                                                                                     |
| PK2<br>D3BFR            | 1   | 出力<br>出力       | ポート K2: 出力ポート<br>LCD 制御信号: LCD コントローラ用出力信号                                                                                                     |
| PK3<br>DLEBCD           | 1   | 出力<br>出力       | ポート K3: 出力ポート<br>LCD 制御信号: LCD コントローラ用出力信号                                                                                                     |
| PK4<br>DOFFB            | 1   | 出力<br>出力       | ポート D4: 出力ポート<br>LCD 制御信号: LCD コントローラ用出力信号                                                                                                     |
| PK6<br>ALARM<br>MLDALM  | 1   | 出力<br>出力<br>出力 | ポート K6: 出力ポート<br>RTC アラーム出力端子<br>メロディ/アラーム用出力の論理反転出力端子                                                                                         |
| PL0-PL7<br>LD0-LD7      | 8   | 入出力<br>出力      | ポート L0-L7: 入出力ポート<br>LCDG データバス: LCD コントローラ用データバス LD0-LD7                                                                                      |
| BE                      | 1   | 入力             | バックアップイネーブル端子                                                                                                                                  |
| AM0, AM1                | 2   | 入力             | 動作モード:<br>AM1 = "0", AM0 = "1" 固定: 外部 16 ビットバススタート, 8/16/32 ビットダイナミックサイジング<br>AM1 = "1", AM0 = "0" 固定: 外部 32 ビットバススタート, 8/16/32 ビットダイナミックサイジング |
| X1/X2                   | 2   | 入出力            | 高周波側発振子接続端子                                                                                                                                    |
| XT1/XT2                 | 2   | 入出力            | 低周波側発振子接続端子                                                                                                                                    |
| RESET                   | 1   | 入力             | リセット: TMP92C820 を初期化します。(シュミット入力、プルアップ付き)                                                                                                      |
| VREFH                   | 1   | 入力             | AD コンバータ用基準電源入力端子 (H)                                                                                                                          |
| VREFL                   | 1   | 入力             | AD コンバータ用基準電源入力端子 (L)                                                                                                                          |
| AVCC                    | 1   | -              | AD コンバータ電源端子                                                                                                                                   |
| AVSS                    | 1   | -              | AD コンバータ電源端子 (0 V)                                                                                                                             |
| DVCC                    | 3   | -              | 電源端子 (全 DVCC 端子を電源に接続してください)                                                                                                                   |
| DVSS                    | 4   | -              | GND 端子 (全 DVSS 端子を GND (0 V) に接続してください)                                                                                                        |
| RTCVCC                  | 1   | -              | RTC, 低周波発振子用電源端子                                                                                                                               |

### 3. 動作説明

ここでは、TMP92C820 の機能、および基本動作についてブロックごとに説明します。

#### 3.1 CPU

TMP92C820 には、高性能な高速 32 ビット CPU 「TLCS-900/H1-CPU」 が内蔵されています。CPU の詳細な動作については、前章の “TLCS-900/H1 CPU” を参照してください。

ここでは、主に TMP92C820 独自の CPU 機能について説明します。

##### 3.1.1 CPU の概要

「TLCS-900/H1 CPU」は「TLCS-900/L1 CPU」をベースに、より高速処理を可能にするために、内部および外部のデータバス幅を 32 ビットに拡張した高速・高性能な CPU です。

「TLCS-900/H1 CPU」の概要を、表 3.1.1 に示します。

表 3.1.1 CPU の概要

| 項目           | TMP92C820                                                                         |
|--------------|-----------------------------------------------------------------------------------|
| CPU アドレスバス幅  | 24 ビット                                                                            |
| CPU データバス幅   | 32 ビット                                                                            |
| 内部動作周波数      | 20 MHz                                                                            |
| 最小バスサイクル     | 1 クロックアクセス<br>(50 ns @ $f_{SYS} = 20$ MHz)                                        |
| データバスサイジング機能 | 8/16/32 ビット                                                                       |
| 内蔵 RAM       | 32 ビット<br>1 クロックアクセス                                                              |
| 内蔵 I/O       | 8/16 ビット    2 クロックアクセス    900/H1 I/O<br>8/16 ビット    5-6 クロックアクセス    900/L1 I/O    |
| 外部デバイス       | 8 ビット<br>2 クロックアクセス(ウェイト挿入可)                                                      |
| 最小命令サイクル     | 1 クロック (50 ns @ $f_{SYS} = 20$ MHz)                                               |
| 条件付分岐命令      | 2 クロック (100 ns @ $f_{SYS} = 20$ MHz)                                              |
| 命令キューバッファ    | 12 バイト                                                                            |
| 命令セット        | TLCS-900, 900/L, 900/H, 900/L1, 900/H2 命令コード互換<br>(但し、NORMAL, MAX, MIN, LDX 命令なし) |
| CPU モード      | マキシマムモードのみ                                                                        |
| マイクロ DMA     | 8 チャンネル                                                                           |

### 3.1.2 リセット動作

TMP92C820 にリセットをかけるには、電源電圧が動作範囲内であり、かつ内部発振器の発振が安定した状態で、少なくとも 20 システムクロック ( $16\ \mu\text{s}$  @  $f_c = 40\ \text{MHz}$ )、 $\overline{\text{RESET}}$  入力端子を “L” レベルにしてください。

リセットが受け付けられると、CPU は下記の動作を行います。

- プログラムカウンタ “PC” を、メモリアドレス FFFF00H~FFFF02H に格納されているリセットベクタに従い以下に示すようにセットします。  
PC<7:0> ← アドレス FFFF00H のデータ  
PC<15:8> ← アドレス FFFF01H のデータ  
PC<23:16> ← アドレス FFFF02H のデータ
- スタックポインタ XSP を 00000000H にセット
- ステータスレジスタ SR の IFF<2:0>を “111” にセット (割り込みレベルのマスク・レジスタをレベル 7 にセット)
- ステータスレジスタ SR の RFP<1:0>を “00” にクリア (レジスタバンク 0 にセット)

リセットが解除されると、セットされたプログラムカウンタ “PC” に従い、命令のフェッチと実行を開始します。なお、上記以外の CPU 内部のレジスタは変化しません。

また、リセットが受け付けられると、内蔵 I/O および入出力ポート及びその他の端子は、下記に示すように初期化されます。

- 内蔵 I/O のレジスタを初期化 (初期値は、第 5 章「特殊レジスタ一覧表」を参照してください。)
- 入出力ポートを汎用入力ポートにセット

$\overline{\text{RESET}}$  入力端子が “H” になり、リセット解除されると、直ちに内部のリセットが解除されます。

パワーオンリセットを採用する場合、電源供給が安定するまでは、メモリコントローラ制御信号が不安定であるため、接続されている外部メモリのバックアップデータが書き替えられる可能性があります。

図 3.1.1 に TMP92C820 のリセットタイミング動作例を示します。

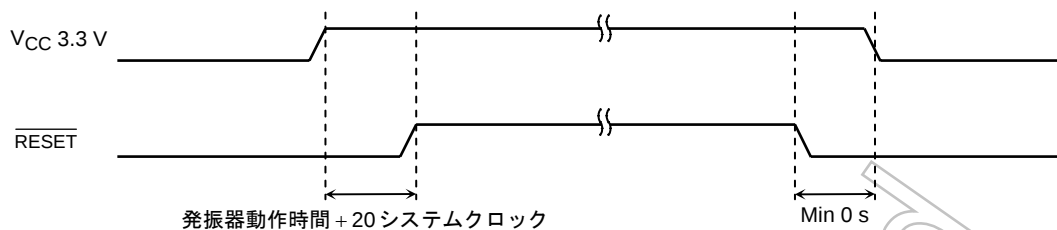


図 3.1.1 リセットタイミング動作例

### 3.1.3 起動モードの選択

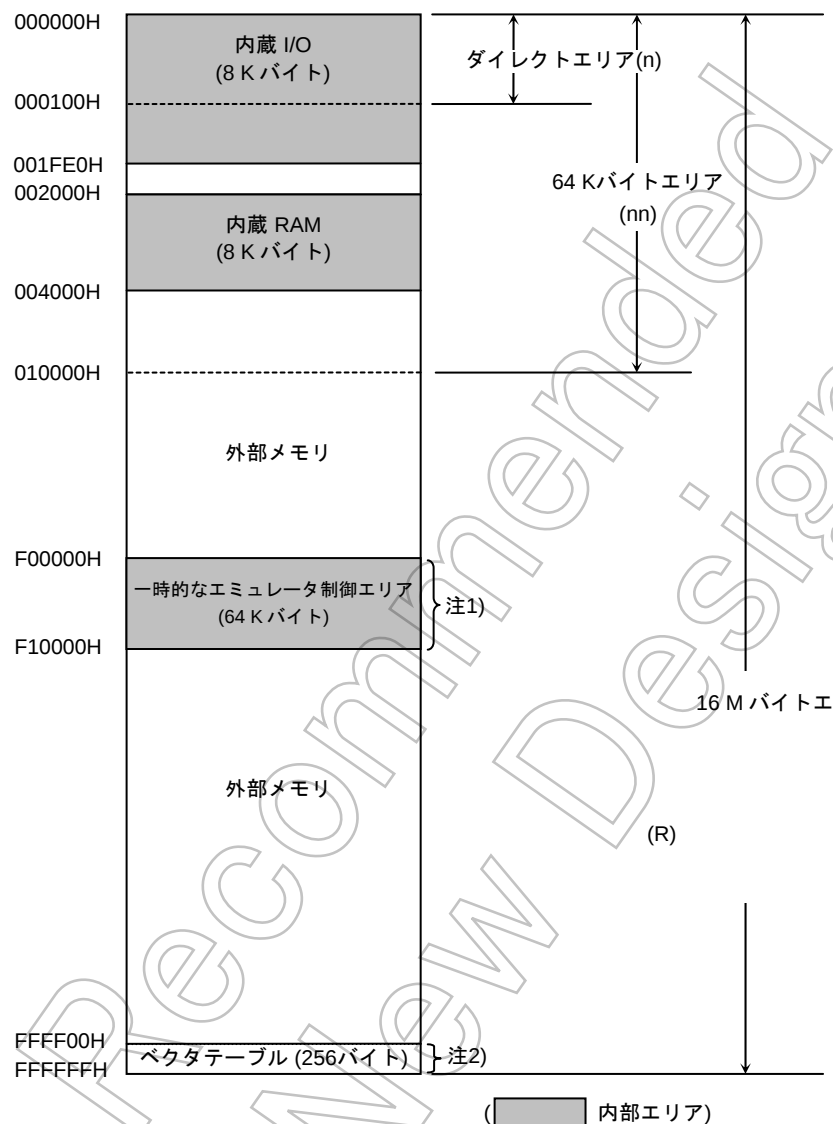
AM1, AM0 を “10” にセットすると、32 ビット外部バスになり、“01” にセットすると 16 ビット外部バスになります。

表 3.1.2 動作モードセットアップ

| 動作モード                                       | モード設定入力端子 |     |     |
|---------------------------------------------|-----------|-----|-----|
|                                             | RESET     | AM1 | AM0 |
| 16 ビット外部バススタート、<br>8/16/32 ビットダイナミックバスサイジング |           | 0   | 1   |
| 32 ビット外部バススタート、<br>8/16/32 ビットダイナミックバスサイジング |           | 1   | 0   |

### 3.2 メモリマップ

TMP92C820 のメモリマップを、図 3.2.1に示します。



- 注 1) エミュレータを使用する場合、16 M バイト空間の任意の 64 K バイトは、エミュレータ制御のために使用されるので、ユーザはその空間を使用することができません。
- 注 2) 最後の 16 バイトの空間 (アドレス FFFFFFF0H~FFFFFFFH) は、内部エリア空間として予約されているので、使用することができません。
- 注 3) 一時的なエミュレータ制御エリアにアクセスすると、 $\overline{WR}$  信号と  $\overline{RD}$  信号が動作します。拡張メモリ使用の際は注意してください。

図 3.2.1 メモリマップ

### 3.3 システムクロック/スタンバイ制御、ノイズ低減機能

低消費電力、低ノイズ化のためにクロックギア、スタンバイ制御回路、ノイズ低減回路を内蔵しています。

クロックの動作モードとしては、シングルクロックモード (X1, X2 端子のみ) とデュアルクロックモード (X1, X2 と XT1, XT2 端子) の 2 モードがあります。

図 3.3.1 に動作モード別状態遷移図を示します。

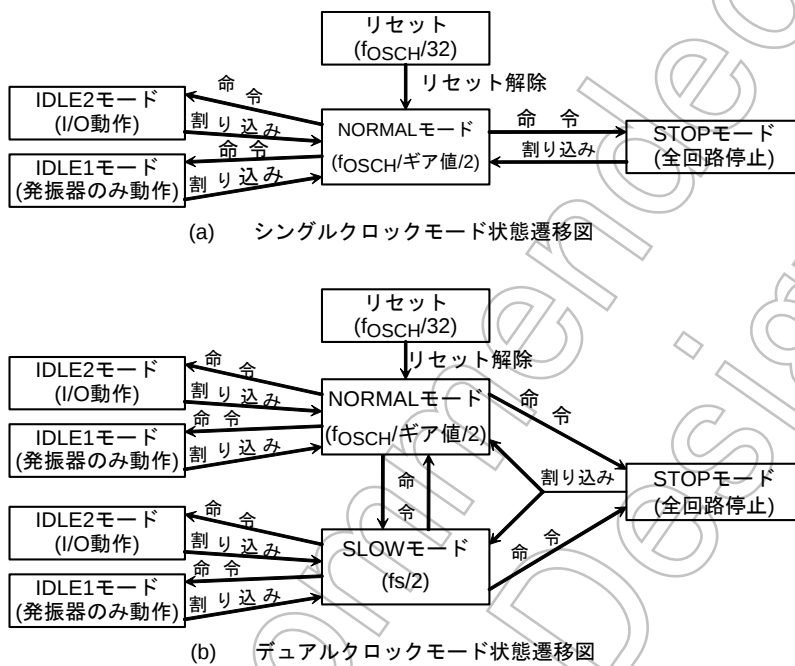


図 3.3.1 動作モード別状態遷移図

X1, X2 端子より入力されるクロック周波数を  $f_{OSCH}$ 、XT1, XT2 端子より入力されるクロック周波数を  $f_s$ 、SYSCR1<SYSCK>で選択されたクロックを  $f_{FPH}$ 、 $f_{FPH}$  を 2 分周したクロック周波数をシステムクロック  $f_{SYS}$  と定義します。また、この  $f_{SYS}$  の 1 周期を 1 ステートと定義します。

## 3.3.1 クロック系統ブロック図

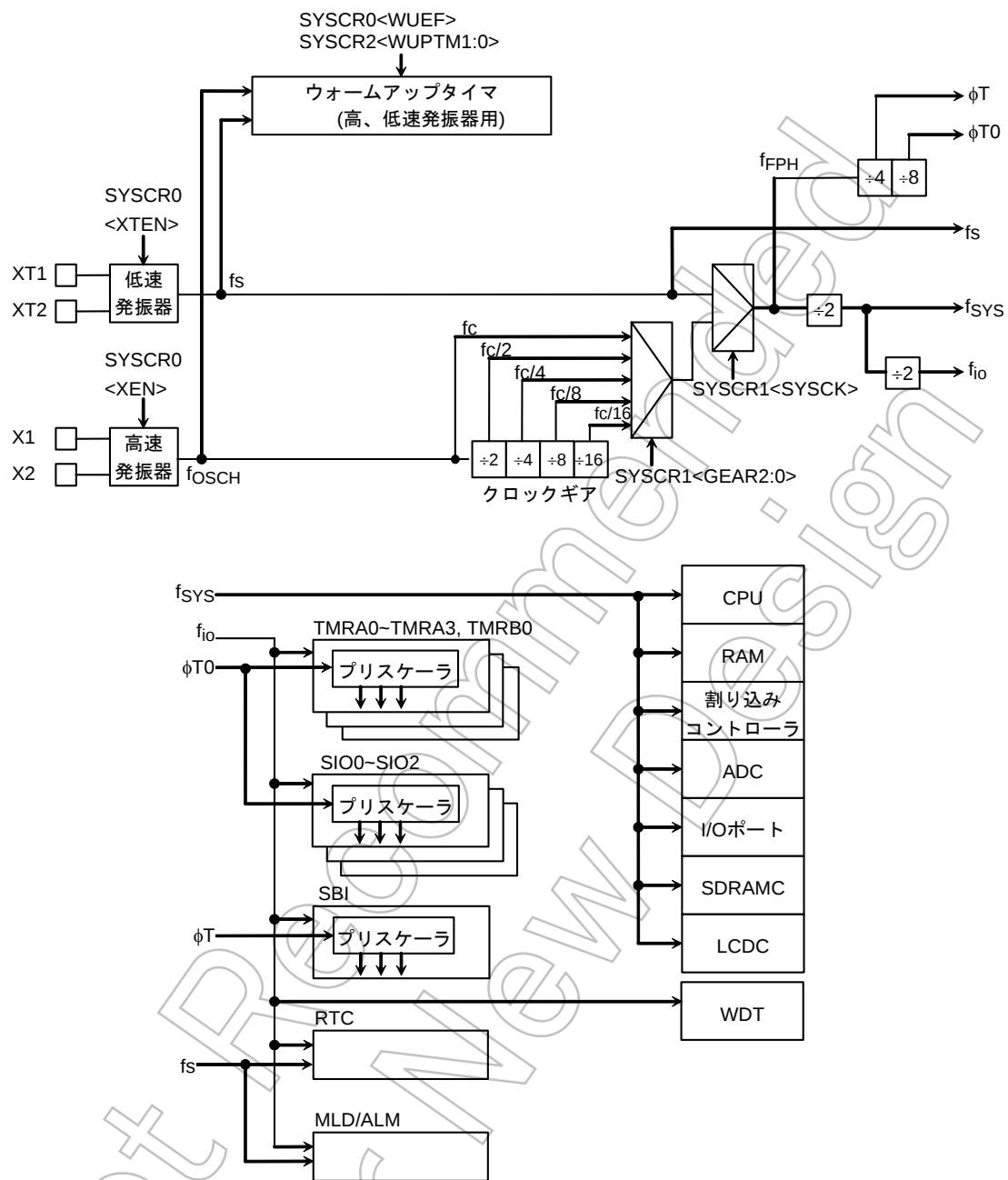


図 3.3.2 デュアルクロック、スタンバイ関連のブロック図

## 3.3.2 SFR 説明

|                   | 7          | 6                           | 5                                                                                                     | 4      | 3                                                                            | 2                                                                                                                                      | 1                                            | 0                                                |
|-------------------|------------|-----------------------------|-------------------------------------------------------------------------------------------------------|--------|------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------|--------------------------------------------------|
| SYSCR0<br>(10E0H) | Bit symbol | XEN                         | XTEN                                                                                                  |        |                                                                              | WUEF                                                                                                                                   |                                              |                                                  |
|                   | Read/Write | R/W                         |                                                                                                       |        |                                                                              | R/W                                                                                                                                    |                                              |                                                  |
|                   | リセット後      | 1                           | 1                                                                                                     |        |                                                                              | 0                                                                                                                                      |                                              |                                                  |
|                   | 機 能        | 高速<br>発振器<br>0: 停止<br>1: 発振 | 低速<br>発振器<br>0: 停止<br>1: 発振                                                                           |        |                                                                              | 発振器用<br>ウォームアッ<br>プタイマ<br>(WUP)制御<br>0 ライト:<br>Don't care<br>1 ライト:<br>WUP<br>スタート<br>0 リード:<br>WUP 終了<br>1 リード<br>WUP 中               |                                              |                                                  |
| SYSCR1<br>(10E1H) | Bit symbol |                             |                                                                                                       |        | SYSCK                                                                        | GEAR2                                                                                                                                  | GEAR1                                        | GEAR0                                            |
|                   | Read/Write |                             |                                                                                                       |        |                                                                              | R/W                                                                                                                                    |                                              |                                                  |
|                   | リセット後      |                             |                                                                                                       |        | 0                                                                            | 1                                                                                                                                      | 0                                            | 0                                                |
|                   | 機 能        |                             |                                                                                                       |        | システム<br>クロック<br>選択<br>0: 高速 (fc)<br>1: 低速 (fs)                               | 高速クロックのギア選択<br>000: 高速クロック<br>001: 高速クロック/2<br>010: 高速クロック/4<br>011: 高速クロック/8<br>100: 高速クロック/16<br>101: }<br>110: } Reserved<br>111: } |                                              |                                                  |
| SYSCR2<br>(10E2H) | Bit symbol | -                           | WUPTM1                                                                                                | WUPTM0 | HALTM1                                                                       | HALTM0                                                                                                                                 | SELDIV                                       | DRVE                                             |
|                   | Read/Write | R/W                         |                                                                                                       |        | R/W                                                                          |                                                                                                                                        |                                              |                                                  |
|                   | リセット後      | 0                           | 1                                                                                                     | 0      | 1                                                                            | 1                                                                                                                                      | 0                                            | 0                                                |
|                   | 機 能        | "0" をライト<br>してください。         | 発振器用ウォームアップ<br>時間選択<br>00: Reserved<br>01: $2^8$ /入力周波数<br>10: $2^{14}$ /入力周波数<br>11: $2^{16}$ /入力周波数 |        | HALT モード選択<br>00: Reserved<br>01: STOP モード<br>10: IDLE1 モード<br>11: IDLE2 モード |                                                                                                                                        | <DRVE><br>使用モード<br>選択<br>0: STOP<br>1: IDLE1 | 1: STOP/<br>IDLE1<br>モード中<br>も端子を<br>ドライブ<br>します |

注 1) SYSCR0<bit5:3>, SYSCR0<bit1:0>, SYSCR1<bit7:4>, SYSCR2<bit7:6>は不定値が読み出されます。

注 2) 低速発振器はリセットにより発振許可となります。

図 3.3.3 クロック関係 SFR

|                   |            | 7                                                                                                                                         | 6 | 5 | 4 | 3 | 2                | 1                                            | 0                                            |
|-------------------|------------|-------------------------------------------------------------------------------------------------------------------------------------------|---|---|---|---|------------------|----------------------------------------------|----------------------------------------------|
| EMCCR0<br>(10E3H) | Bit symbol | PROTECT                                                                                                                                   |   |   |   |   | EXTIN            | DRVOSCH                                      | DRVOSCL                                      |
|                   | Read/Write | R                                                                                                                                         |   |   |   |   | R/W              |                                              |                                              |
|                   | リセット後      | 0                                                                                                                                         |   |   |   |   | 0                | 1                                            | 1                                            |
|                   | 機 能        | プロテクト<br>フラグ<br>0: OFF<br>1: ON                                                                                                           |   |   |   |   | 1: fc 外部<br>クロック | fc 発振器<br>ドライブ<br>能力<br>1: Normal<br>0: Weak | fs 発振器<br>ドライブ<br>能力<br>1: Normal<br>0: Weak |
| EMCCR1<br>(10E4H) | Bit symbol | 下記 1ST-KEY, 2ND-KEY の書き込みによりプロテクト ON/OFF 切り替え<br>1ST-KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続ライト<br>2ND-KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続ライト |   |   |   |   |                  |                                              |                                              |
| EMCCR2<br>(10E5H) | Read/Write |                                                                                                                                           |   |   |   |   |                  |                                              |                                              |
|                   | リセット後      |                                                                                                                                           |   |   |   |   |                  |                                              |                                              |
|                   | 機 能        |                                                                                                                                           |   |   |   |   |                  |                                              |                                              |

図 3.3.4 ノイズ関係 SFR

注) STOP モードから、発振を開始する時など、発振停止から発振を再起動する場合 EMCCR0<DRVOSCH>,<DRVOSCL>を“1”に設定してください。

### 3.3.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f<sub>sys</sub>) を生成する回路です。高速/低速の 2 つの発振回路から出力される f<sub>c</sub>, f<sub>s</sub> クロックを入力として、SYSCR1<SYSCK>レジスタにて高速/低速の切り替え、SYSCR0<XEN>, <XTEN>でそれぞれ高速、低速発振器の発振制御、さらに SYSCR1<GEAR2:0>で高速クロックのギアを 1, 2, 4, 8, 16 段 (f<sub>c</sub>, f<sub>c</sub>/2, f<sub>c</sub>/4, f<sub>c</sub>/8, f<sub>c</sub>/16) に切り替え、消費電力の低減を図ることができます。

リセットにより、デュアルクロックモードになり<XEN>="1", <XTEN>="1", <SYSCK>="0", <GEAR2:0>="100" に初期化されますのでシステムクロック f<sub>sys</sub> は f<sub>c</sub>/32 (= f<sub>c</sub>/16 × 1/2) となります。例えば、X1, X2 端子に 40 MHz の発振子を接続していると、リセットにより f<sub>sys</sub> は 1.25 MHz となります。

#### (1) NORMAL ↔ SLOW モードの切り替え

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認してから切り替えるためにウォームアップタイムがあります。ウォームアップ時間は発振子の特性に合わせて SYSCR2<WUPTM1:0>により選択できます。このスタート/終了確認は SYSCR0<WUEF>を使用し、ソフト (命令) により下記設定例 1, 2 のように行ってください。

表 3.3.1に切り替え時のウォームアップ時間を示します。

注 1) 切り替えようとするクロックが発振器などを使用しており発振安定している場合はウォームアップさせる必要はありません。

注 2) ウォームアップタイムは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

表 3.3.1 ウォームアップ時間 (クロック切り替え時)

| ウォームアップ<br>タイム選択<br>SYSCR2<WUPTM1:0> | NORMAL へ切り替え時 (f <sub>c</sub> ) | SLOW へ切り替え時 (f <sub>s</sub> ) |
|--------------------------------------|---------------------------------|-------------------------------|
| 01 (2 <sup>0</sup> /発振周波数)           | 6.4 [μs]                        | 7.8 [ms]                      |
| 10 (2 <sup>14</sup> /発振周波数)          | 409.6 [μs]                      | 500 [ms]                      |
| 11 (2 <sup>16</sup> /発振周波数)          | 1.638 [ms]                      | 2000 [ms]                     |

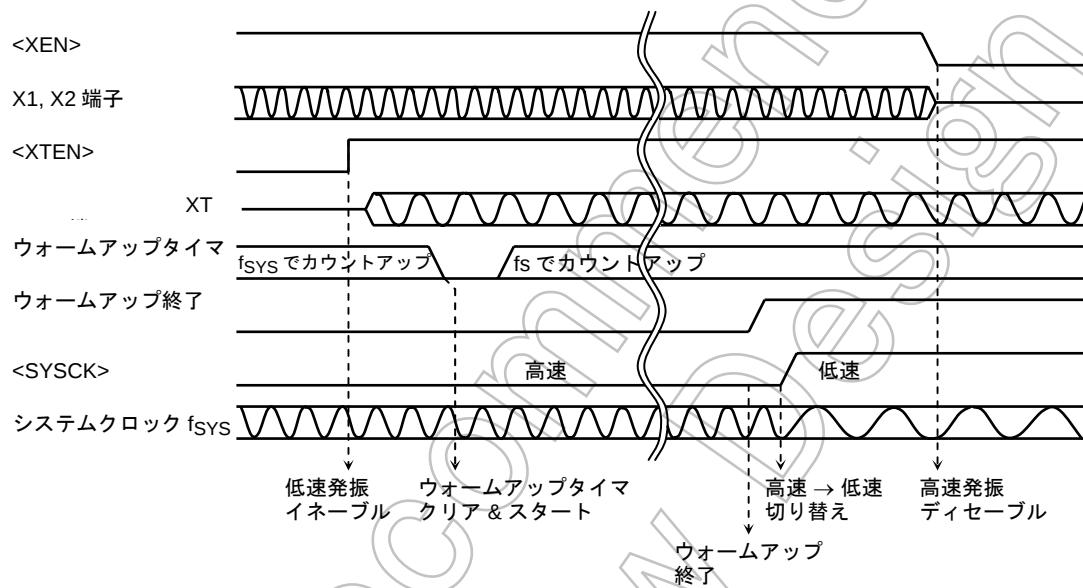
計算値は  
f<sub>OC SH</sub> = 40 MHz,  
f<sub>s</sub> = 32.768 kHz  
の場合です。

## (設定例 1)

高速クロック ( $f_c$ ) から低速クロック ( $f_s$ ) へ切り替える場合

|        |     |                       |                               |
|--------|-----|-----------------------|-------------------------------|
| SYSCR0 | EQU | 10E0H                 |                               |
| SYSCR1 | EQU | 10E1H                 |                               |
| SYSCR2 | EQU | 10E2H                 |                               |
|        | LD  | (SYSCR2), 0X11 ---- B | ; ウォームアップ時間を $2^{16}/f_s$ に設定 |
|        | SET | 6, (SYSCR0)           | ; 低速発振イネーブル                   |
|        | SET | 2, (SYSCR0)           | ; ウォームアップタイムクリア&スタート          |
| WUP:   | BIT | 2, (SYSCR0)           | ; }ウォームアップ終了検出                |
|        | JR  | NZ, WUP               | ; }                           |
|        | SET | 3, (SYSCR1)           | ; 高速 → 低速へ切り替え                |
|        | RES | 7, (SYSCR0)           | ; 高速発振ディセーブル                  |

X: Don't care, -: No change

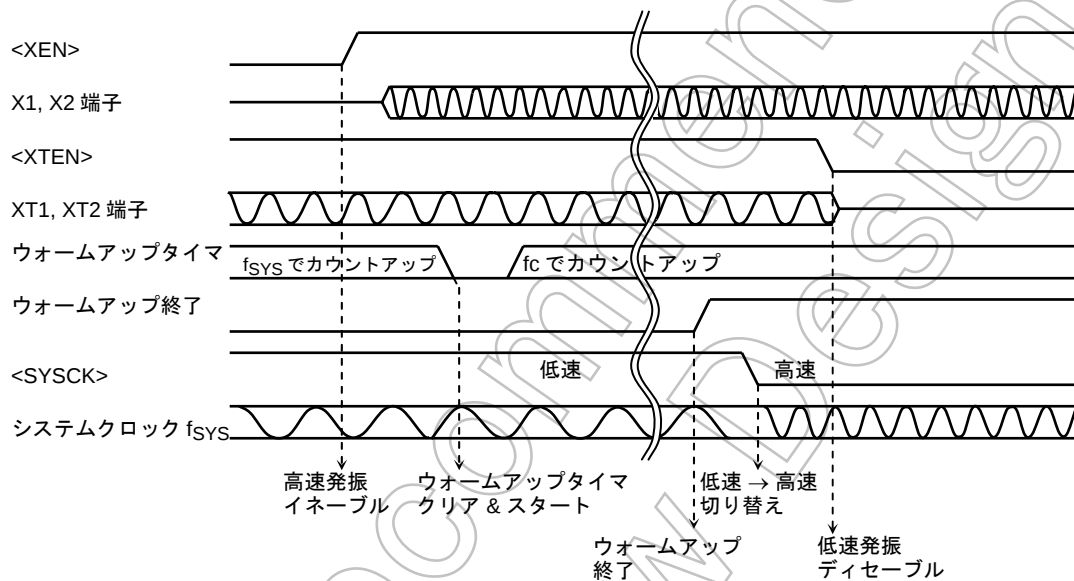


## (設定例 2)

低速クロック ( $f_s$ ) から高速クロック ( $f_c$ ) へ切り替える場合

|        |     |                          |                               |
|--------|-----|--------------------------|-------------------------------|
| SYSCR0 | EQU | 10E0H                    |                               |
| SYSCR1 | EQU | 10E1H                    |                               |
| SYSCR2 | EQU | 10E2H                    |                               |
|        | LD  | (SYSCR2), 0X10 - - - - B | ; ウォームアップ時間を $2^{14}/f_c$ に設定 |
|        | SET | 7, (SYSCR0)              | ; 高速発振イネーブル                   |
|        | SET | 2, (SYSCR0)              | ; ウォームアップタイムクリア&スタート          |
| WUP:   | BIT | 2, (SYSCR0)              | } ウォームアップ終了検出                 |
|        | JR  | NZ, WUP                  |                               |
|        | RES | 3, (SYSCR1)              | ; 低速 → 高速へ切り替え                |
|        | RES | 6, (SYSCR0)              | ; 低速発振ディセーブル                  |

X: Don't care, -: No change



## (2) クロックギア切り替え

SYSCR1<SYSCK>="0" にて高速クロック  $f_c$  を選択した場合、クロックギア選択レジスタ SYSCR1<GEAR2:0>により  $f_{FPH}$  を  $f_c$ ,  $f_c/2$ ,  $f_c/4$ ,  $f_c/8$ ,  $f_c/16$  のいずれかに設定できます。クロックギアを使用して  $f_{FPH}$  を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

## (設定例 3)

高速クロックのギア切り替え

```
SYSCR1    EQU    10E1H
          LD      (SYSCR1), XXXX0000B ; システムクロック  $f_{sys}$  を  $f_c/2$  へ切り替え
X: Don't care
```

## (高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後、すぐには切り替らず数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令(ライトサイクルが実行される命令)を挿入してください。

## (例)

```
SYSCR1    EQU    10E1H
          LD      (SYSCR1), XXXX0001B ;  $f_{sys}$  を  $f_c/4$  へ切り替え
          LD      (DUMMY), 00H        ; ダミー命令
          切り替え後のクロックギア
          で実行すべき命令
```

### 3.3.4 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

- (1) 高速発振器のドライブ能力低減
- (2) 低速発振器のドライブ能力低減
- (3) 高速発振器のシングルドライブ化
- (4) SFR プロテクトレジスタによる暴走対策

これらは、EMCCR0~EMCCR2 レジスタによる設定が必要です。

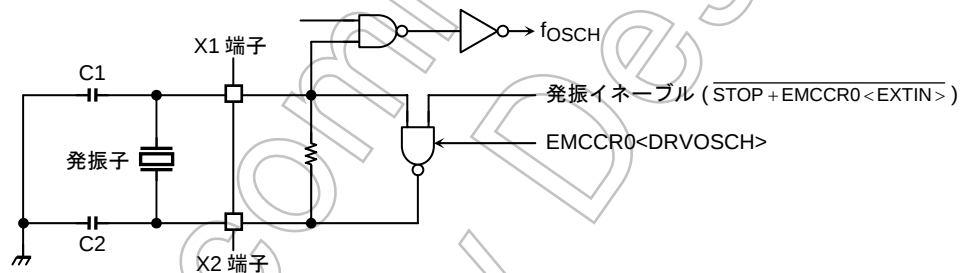
以下に(1)~(4)について説明します。

#### (1) 高速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化。

(ブロック図)



(設定方法)

EMCCR0<DRVOSCH>に“0”を書き込むことにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCH>は“1”に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

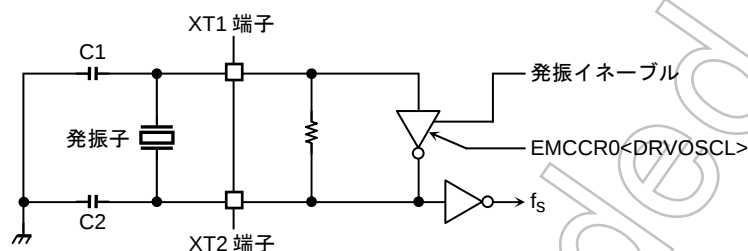
注) この機能 (EMCCR0<DRVOSCH> = “0”)は、fOSCH = 6~10MHz の状態で使用可能です。

## (2) 低速発振器のドライブ能力低減

## (目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化。

## (ブロック図)



## (設定方法)

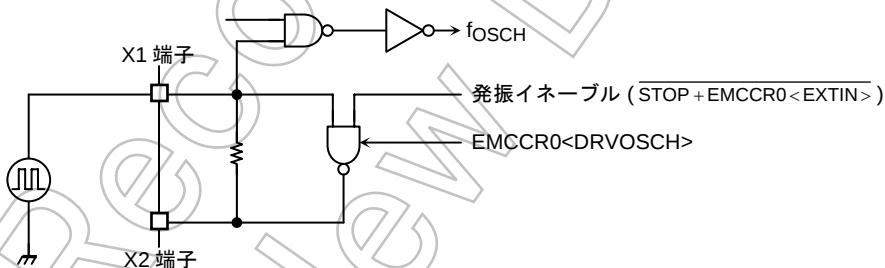
EMCCR0<DRVOSCL>に“0”を書き込むことにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCL>は“1”に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

## (3) 高速発振器のシングルドライブ化

## (目的)

外部に発振器を接続する場合に、ツインドライブの不要化、X2 端子開放時にノイズ混入による誤動作防止。

## (ブロック図)



## (設定方法)

EMCCR0<EXTIN>に“1”を書き込むことにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2 端子は“1”を出力状態となります。

リセットにより、<EXTIN>は“0”に初期化されます。

## (4) SFR プロテクトレジスタによる暴走対策

## (目的)

ノイズ混入などによるプログラムの暴走時の対策。

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ（メモリコントローラ, MMU）の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

また、INTP0 割込みにより暴走時のエラー処理を容易にします。

## 特定の SFR 一覧

- |                                                                                                                                                                                                                                                                                                 |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <ol style="list-style-type: none"><li>1. メモリコントローラ<br/>B0CSL/H, B1CSL/H, B2CSL/H, B3CSL/H, BECSL/H,<br/>MSAR0, MSAR1, MSAR2, MSAR3,<br/>MAMR0, MAMR1, MAMR2, MAMR3, PMEMCR</li><li>2. MMU<br/>LOCAL0/1/2/3</li><li>3. クロックギア (EMCCR1, 2 は書き込み可能です)<br/>SYSCR0, SYSCR1, SYSCR2, EMCCR0</li></ol> |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

## (動作説明)

EMCCR1 と EMCCR2 レジスタに 2 重の鍵を設定する事によりプロテクト (特定の SFR へのライト動作) の実行, 解除が可能となります。

## (2 重の鍵)

1-ST KEY: EMCCR1 に 5AH, EMCCR2 に A5H を連続ライト

2-ND KEY: EMCCR1 に A5H, EMCCR2 に 5AH を連続ライト

プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できます。

リセットにより、プロテクト OFF 状態となります。

また、プロテクト ON 状態にて特定の SFR へのライト動作が実行された場合に INTP0 割り込みを出力します。これにより暴走時のエラー処理を容易にします。

### 3.3.5 スタンバイ制御部

#### (1) HALT モード

HALT 命令を実行すると、SYSCR2 <HALTM1:0> の設定により、IDLE2, IDLE1, STOP のいずれかの HALT モードになります。

IDLE2、IDLE1、STOP モードの特長は、次のとおりです。

##### 1. IDLE2: CPUのみ停止するモードです。

内蔵I/Oは、SFRの中にIDLE2 モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE2 モードでの動作設定が可能です。  
表 3.3.2にIDLE2 設定レジスタの表を示します。

表 3.3.2 IDLE2 モードでの内蔵 I/O 設定レジスタ

| 内蔵 I/O   | SFR             |
|----------|-----------------|
| TMRA01   | TA01RUN<I2TA01> |
| TMRA23   | TA23RUN<I2TA23> |
| TMRB0    | TB0RUN<I2TB0>   |
| SIO0     | SC0MOD1<I2S0>   |
| SIO1     | SC1MOD1<I2S1>   |
| AD コンバータ | ADMOD1<I2AD>    |
| WDT      | WDMOD<I2WDT>    |
| SBI      | SBI0BR0<I2SBI0> |

##### 2. IDLE1: 内部発振器と RTC, MLD のみ動作します。

##### 3. STOP: すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.3.3に示します。

表 3.3.3 ホルト状態での各ブロックの動作

| HALT モード               |              | IDLE2                  | IDLE1                       | STOP |
|------------------------|--------------|------------------------|-----------------------------|------|
| SYSCR2<HALTM1:0>       |              | 11                     | 10                          | 01   |
| 動作<br>ブ<br>ロ<br>ッ<br>ク | CPU          | 停止                     |                             |      |
|                        | I/O ポート      | HALT 命令実行時の状態を保持       | 表 3.3.6, 表 3.3.7, 表 3.3.8参照 |      |
|                        | TMRA, TMRB   | * 動作するブロックをプログラマブルに選択可 | 停止                          |      |
|                        | SIO, *SBI    |                        |                             |      |
|                        | AD コンバータ     |                        |                             |      |
|                        | WDT          |                        |                             |      |
|                        | LCDC, SDRAMC | 動作                     | 動作可                         |      |
|                        | 割り込みコントローラ   |                        |                             |      |
| RTC, MLD               |              |                        |                             |      |

\* ただし、SBI 回路の同期式モードは動作不可

## (2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPUのステータスレジスタSRに割り付けられている割り込みマスクレジスタ<IFF2:0>の状態と、HALTモードの組み合わせにより決まります。詳細を表 3.3.4に示します。

### ● 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合は、ホルト解除を行いません（ノンマスクブル割り込みでは、マスクレジスタの値に関係なく、ホルト解除後、割り込み処理を行います）。

ただし、INT0~3, INTKEY, INTRTC, INTALM0~INTALM4 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず、HALT 命令の次の命令から処理をスタートします（割り込み要求フラグは“1”を保持します）。

注) 通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 ( $f_{\text{FPH}}$  約 3 クロックの間) に、HALT モードを解除可能な割り込み (INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

### ● リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただしSTOPモードの解除では、発振器動作が安定するための十分なリセット時間（表 3.3.5）が必要です。

リセットによる解除では、内蔵 RAM のデータはホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます。（割り込みによる解除では、ホルト状態に入る直前の状態を保持します）

表 3.3.4 ホルト解除ソースとホルト解除の動作

| 割り込み受け付け状態   |          |                                   | 割り込み許可<br>(割り込みレベル) $\geq$ (割り込みマスク) |       |      | 割り込み禁止<br>(割り込みレベル) $<$ (割り込みマスク) |       |      |
|--------------|----------|-----------------------------------|--------------------------------------|-------|------|-----------------------------------|-------|------|
| HALT モード     |          |                                   | プログラマブル<br>IDLE2                     | IDLE1 | STOP | プログラマブル<br>IDLE2                  | IDLE1 | STOP |
| ホルト解除<br>ソース | 割り<br>込み | INTWDT                            | ◆                                    | ×     | ×    | —                                 | —     | —    |
|              |          | INT0~INT3 (注 1)                   | ◆                                    | ◆     | ◆*1  | ○                                 | ○     | ○*1  |
|              |          | INTALM0~INTALM4                   | ◆                                    | ◆     | ×    | ○                                 | ○     | ×    |
|              |          | INTTA0~INTTA3,<br>INTTB00~INTTB01 | ◆                                    | ×     | ×    | ×                                 | ×     | ×    |
|              |          | INTRX0~INTRX2, TX0~TX2            | ◆                                    | ×     | ×    | ×                                 | ×     | ×    |
|              |          | INTSS0~INTSS2                     | ◆                                    | ×     | ×    | ×                                 | ×     | ×    |
|              |          | INTAD                             | ◆                                    | ×     | ×    | ×                                 | ×     | ×    |
|              |          | INTKEY                            | ◆                                    | ◆     | ◆*1  | ○                                 | ○     | ○*1  |
|              |          | INTRTC                            | ◆                                    | ◆     | ×    | ○                                 | ○     | ×    |
|              |          | INTSBE0                           | ◆                                    | ×     | ×    | ×                                 | ×     | ×    |
|              |          | INTLCD                            | ◆                                    | ×     | ×    | ×                                 | ×     | ×    |
|              |          | RESET                             | LSI を初期化します。                         |       |      |                                   |       |      |

◆ : ホルト解除後、割り込み処理を開始します。

○ : ホルト解除後、HALT 命令の次のアドレスから処理を開始します (割り込み処理は行いません)。

× : ホルト解除に使用できません。

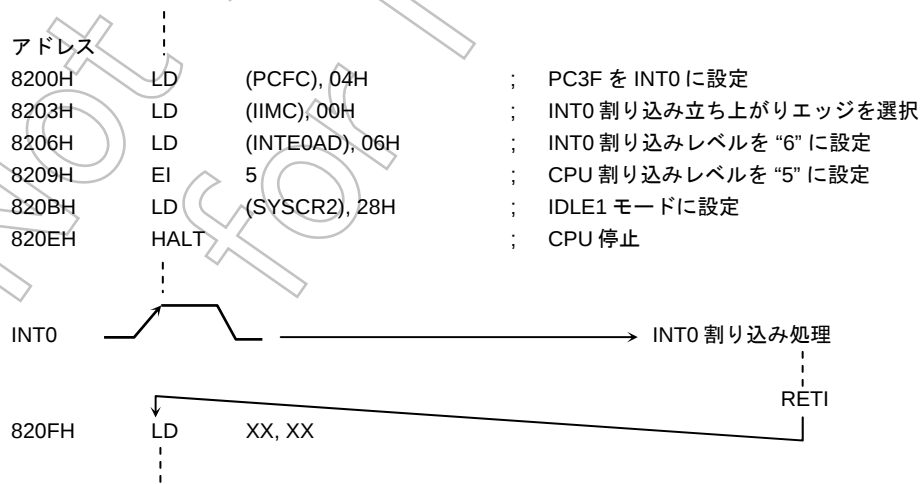
— : ノンマスクابل割り込みの優先順位レベル (割り込み要求レベル) は最優先の “7” に固定されているため、この組み合わせはありません。

\*1 : ウォームアップ時間経過後にホルト解除を行います。

注 1) 割り込み許可状態において、レベルモードの INT0 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで “H” レベルを保持してください。それ以前で “L” レベルにした場合は、正しい割り込み処理を開始できません。

(ホルト状態からの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合。



## (3) 各モードの動作

## 1. IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 3.3.5 に示します。

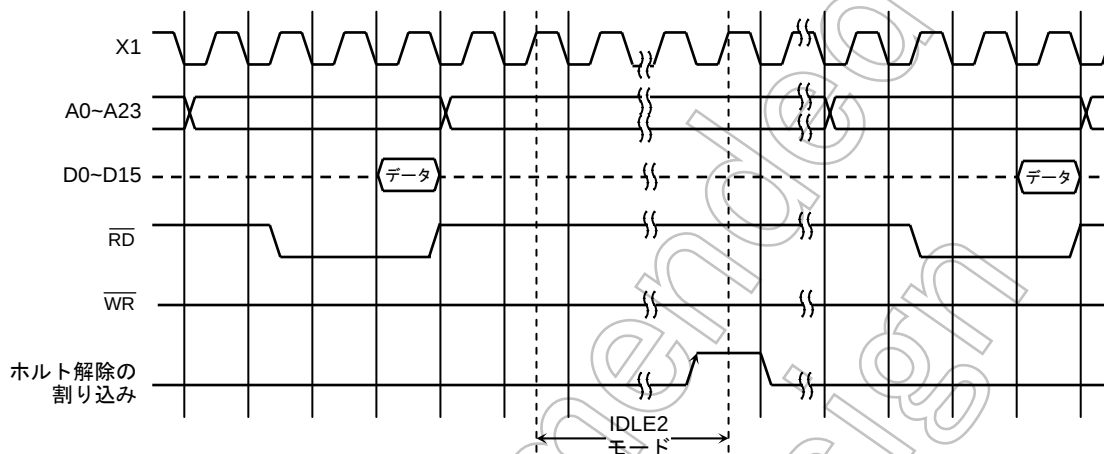


図 3.3.5 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

## 2. IDLE1 モード

IDLE1 モードでは、内部発振器と RTC, MLD のみ動作し、システムクロックは停止します。また、IDLE1 モード時の端子状態は、SYSCR2<SELDIV, DRVE>の設定により異なります。IDLE1 モード時の端子状態を表 3.3.6, 表 3.3.7, 表 3.3.8 に示します。

ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 3.3.6 に示します。

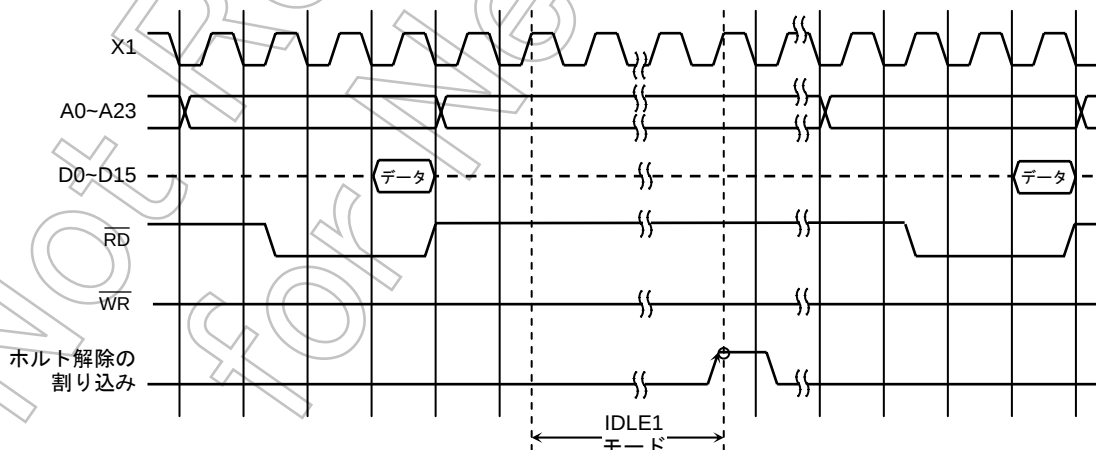


図 3.3.6 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

### 3. STOP モード

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOPモード時の端子状態は、SYSCR2<SELD<sub>DRV</sub>, DR<sub>VE</sub>>の設定により異なります。STOPモード時の端子状態を表 3.3.6, 表 3.3.7, 表 3.3.8に示します。

STOPモードを解除する場合は、内部発振器の安定化のため、ウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。表 3.3.5に設定例を示します。

STOPモードの割り込みによるホルト解除のタイミング例を図 3.3.7に示します。

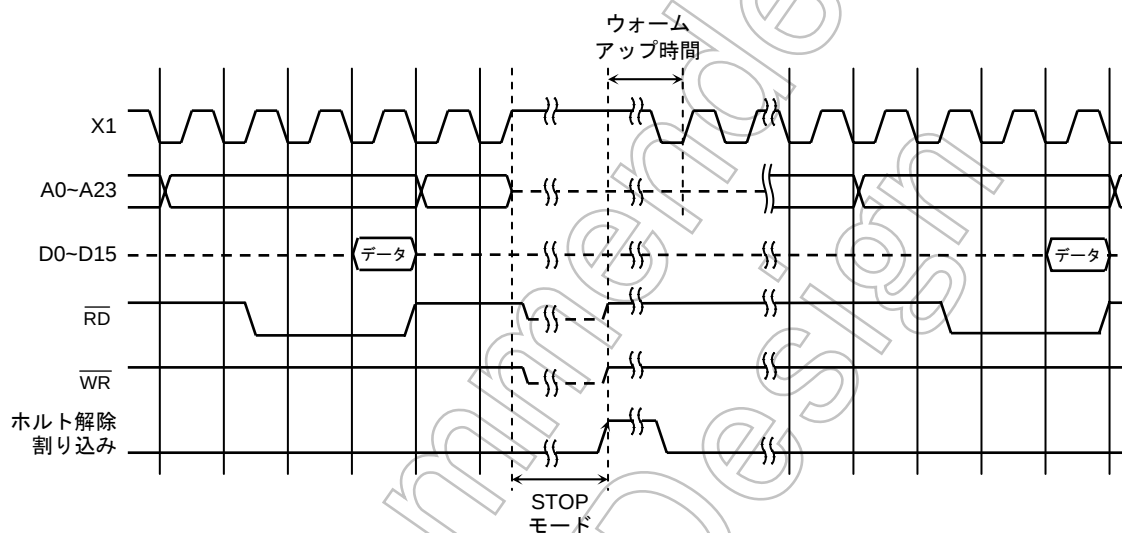


図 3.3.7 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.3.5 ウォームアップ時間の設定例 (STOP モード解除時)

@  $f_{OSCH} = 40 \text{ MHz}$ ,  $f_s = 32.768 \text{ kHz}$

| SYSCR0<br><RSYSCK> | SYSCR2<WUPTM1:0>  |                     |                 |
|--------------------|-------------------|---------------------|-----------------|
|                    | 01 ( $2^8$ )      | 10 ( $2^{14}$ )     | 11 ( $2^{16}$ ) |
| 0 (fc)             | 6.4 $\mu\text{s}$ | 409.6 $\mu\text{s}$ | 1.638 ms        |

表 3.3.6 入力バッファ状態表

| ポート名              | 入力機能名       | 入力バッファ状態 |           |                |                |         |                     |     |              |     |
|-------------------|-------------|----------|-----------|----------------|----------------|---------|---------------------|-----|--------------|-----|
|                   |             | リセット中    | 動作中       |                | HALT 中 (IDLE2) |         | HALT 中 (IDLE1/STOP) |     |              |     |
|                   |             |          | 機能設定      | 入力ポート設定        | 機能設定           | 入力ポート設定 | 条件 A 設定時 (注)        |     | 条件 B 設定時 (注) |     |
|                   |             |          |           |                |                |         |                     |     |              |     |
| D0-D7             | D0-D7       | OFF      | 外部リードで ON | —              | LCDC 外部リードで ON | —       | OFF                 | —   | OFF          | —   |
| P10-P7            | D8-D15      |          |           |                |                |         |                     |     |              |     |
| P20-P27           | D16-D23     |          |           | 16ビットスタート :ON  |                |         |                     |     |              |     |
| P30-P37           | D24-D31     |          |           | 32ビットスタート :OFF |                |         |                     |     |              |     |
| P40-P47           | —           | OFF      | —         |                | —              | —       | OFF                 | —   | OFF          | OFF |
| P50-P57           | —           |          |           | —              |                | —       |                     |     |              |     |
| P60-P67           | —           |          |           |                |                |         |                     |     |              |     |
| P76               | WAIT        | ON       | ON        |                | OFF            | OFF     | OFF                 | —   | OFF          | OFF |
| P90               | SCK         |          |           | ON             | OFF            |         |                     | OFF |              |     |
| P91               | SDA         |          |           | ON             | OFF            |         |                     | OFF |              |     |
| P92               | SI          |          |           |                |                |         |                     |     |              |     |
| P93               | —           |          |           |                |                |         |                     |     |              |     |
| P94               | —           |          |           | —              | —              | —       |                     |     |              |     |
| P95               | —           |          |           |                |                |         |                     |     |              |     |
| P96               | RXD2        |          |           |                | ON             | OFF     |                     | OFF |              |     |
| PA0-PA7(*1)       | KI0-KI7     |          |           |                | ON             | ON      |                     | ON  | ON           |     |
| PC0               | TA0IN       |          |           | ON             | ON             | ON      |                     | OFF | OFF          |     |
| PC1               | INT1        |          |           |                |                |         | OFF                 | OFF |              |     |
| PC3               | INT0        | OFF      | ON        |                |                |         | ON                  | ON  |              |     |
| PC5               | INT2        |          |           |                |                |         |                     |     |              |     |
| PC6               | INT3        |          |           |                |                |         |                     |     |              |     |
| PF0               | —           | —        | —         |                |                | —       | —                   | —   |              |     |
| PF1               | RXD0        | ON       | ON        |                |                | ON      | OFF                 | OFF |              |     |
| PF2               | SCLK0, CTS0 | —        | —         |                |                | OFF     | —                   | —   |              |     |
| PF3               | —           | ON       | ON        |                |                | ON      | OFF                 | OFF |              |     |
| PF4               | RXD1        |          |           |                |                |         |                     |     |              |     |
| PF5               | SCLK1, CTS1 |          |           |                |                |         |                     |     |              |     |
| PG0-PG2, PG4 (*2) | —           | OFF      | —         | ポートリードで ON     | —              | OFF     | —                   | —   | —            | —   |
| PG3 (*2)          | ADTRG       |          | ON        | ON             | ON             |         | ON                  | ON  |              |     |
| PL0-PL7           | —           | —        | ON        | —              | —              |         | —                   | —   | —            | —   |
| BE                | —           | ON       | ON        | —              | ON             | —       | ON                  | —   | ON           | —   |
| RESET (*1)        | —           |          |           |                |                |         |                     |     |              |     |
| AM0, AM1          | —           |          |           |                |                |         |                     |     |              |     |
| X1, XT1           | —           |          |           |                |                |         |                     |     |              |     |

ON : 常時バッファがONしているため、入力端子がドライバされてないと入力バッファに貫通電流が流れます。

OFF : 常時バッファがOFFしています  
— : 対象なし

\*2 : AIN入力では貫通電流が流れません

注) 条件 A/B の設定を示します。

| SYSCR2 レジスタ設定 |          | HALT モード |      |
|---------------|----------|----------|------|
| <DRVE>        | <SELDRV> | IDLE1    | STOP |
| 0             | 0        | 条件 A     | 条件 A |
| 0             | 1        | 条件 B     |      |
| 1             | 0        |          |      |
| 1             | 1        |          | 条件 B |

表 3.3.7 出力バッファ状態表(1/2)

| ポート名    | 出力機能名      | 出力バッファ状態 |                  |         |                |         |                     |         |              |         |
|---------|------------|----------|------------------|---------|----------------|---------|---------------------|---------|--------------|---------|
|         |            | リセット中    | 動作中              |         | HALT 中 (IDLE2) |         | HALT 中 (IDLE1/STOP) |         |              |         |
|         |            |          | 機能設定             | 出力ポート設定 | 機能設定           | 出力ポート設定 | 条件 A 設定時 (注)        |         | 条件 B 設定時 (注) |         |
|         |            |          |                  |         |                |         | 機能設定                | 出力ポート設定 | 機能設定         | 出力ポート設定 |
| D0-D7   | D0-D7      | OFF      | 外部<br>ライトで<br>ON | —       | OFF            | —       | OFF                 | —       | OFF          | —       |
| P10-P17 | D8-D15     |          |                  |         |                |         |                     | ON      |              |         |
| P20-P27 | D16-D23    |          |                  |         |                |         |                     |         |              |         |
| P30-P37 | D24-D31    |          |                  |         |                |         |                     |         |              |         |
| P40-P47 | A0-A7      | ON       | ON               | ON      | ON             | OFF     | OFF                 | ON      | ON           |         |
| P50-P57 | A8-A15     |          |                  |         |                |         |                     |         |              |         |
| P60-P67 | A16-A23    |          |                  |         |                |         |                     |         |              |         |
| P70     | RD         |          |                  |         |                |         |                     |         |              |         |
| P71     | WRLl       |          |                  |         |                |         |                     |         |              |         |
| P72     | WRLU       |          |                  |         |                |         |                     |         |              |         |
| P73     | WRUL       |          |                  |         |                |         |                     |         |              |         |
| P74     | WRUU       |          |                  |         |                |         |                     |         |              |         |
| P75     | R/W        |          |                  |         |                |         |                     |         |              |         |
| P76     | —          | OFF      | —                | —       | —              | —       | —                   | —       | —            |         |
| P80     | CS0, SDCSH | ON       | ON               | ON      | ON             | ON      | OFF                 | OFF     | ON           | ON      |
| P81     | CS1, SDCSL |          |                  |         |                |         |                     |         |              |         |
| P82     | CS2, CS2A  |          |                  |         |                |         |                     |         |              |         |
| P83     | CS3        |          |                  |         |                |         |                     |         |              |         |
| P84     | EA24, CS2B |          |                  |         |                |         |                     |         |              |         |
| P85     | EA25, CS2C |          |                  |         |                |         |                     |         |              |         |
| P86     | CS2D       |          |                  |         |                |         |                     |         |              |         |
| P87     | SDCLK      |          |                  |         |                |         |                     |         |              |         |
| P90     | SCK        | OFF      | ON               |         | ON             |         | OFF                 | OFF     | ON           |         |
| P91     | SO         |          |                  |         |                |         |                     |         |              |         |
| P92     | SCL        |          |                  |         |                |         |                     |         |              |         |
| P93     | CS2E       |          |                  |         |                |         |                     |         |              |         |
| P94     | CS2F       |          |                  |         |                |         |                     |         |              |         |
| P95     | CS2G, TXD2 |          |                  |         |                |         |                     |         |              |         |
| P96     | CSEXA      |          |                  |         |                |         |                     |         |              |         |
| PC0     | —          |          |                  | —       |                | —       |                     | —       |              | —       |
| PC1     | TA1OUT     |          |                  | ON      |                | ON      |                     | OFF     |              | ON      |
| PC3     | —          |          |                  | —       |                | —       |                     | —       |              | —       |
| PC5     | TA3OUT     |          |                  |         |                |         |                     |         |              |         |
| PC6     | TB0OUT     | ON       | ON               | OFF     | ON             |         |                     |         |              |         |
| PF0     | TXD0       | —        | —                | —       | —              |         |                     |         |              |         |
| PF1     | —          | —        | —                | —       | —              |         |                     |         |              |         |
| PF2     | SCLK0      | ON       | ON               | OFF     | ON             |         |                     |         |              |         |
| PF3     | TXD1       | —        | —                | —       | —              |         |                     |         |              |         |
| PF4     | —          | —        | —                | —       | —              |         |                     |         |              |         |
| PF5     | SCLK1      | ON       | ON               | OFF     | ON             |         |                     |         |              |         |

表 3.3.8 出力バッファ状態表(2/2)

| ポート名    | 出力機能名          | 出力バッファ状態 |      |         |                |                               |                     |         |              |         |
|---------|----------------|----------|------|---------|----------------|-------------------------------|---------------------|---------|--------------|---------|
|         |                | リセット中    | 動作中  |         | HALT 中 (IDLE2) |                               | HALT 中 (IDLE1/STOP) |         |              |         |
|         |                |          | 機能設定 | 出力ポート設定 | 機能設定           | 出力ポート設定                       | 条件 A 設定時 (注)        |         | 条件 B 設定時 (注) |         |
|         |                |          |      |         |                |                               | 機能設定                | 出力ポート設定 | 機能設定         | 出力ポート設定 |
| PJ0     | SDRAS          | OFF      | ON   | ON      | ON             | OFF                           |                     |         |              |         |
| PJ1     | SDCAS          |          |      |         |                |                               |                     |         |              |         |
| PJ2     | SDWE, SRWR     |          |      |         |                |                               |                     |         |              |         |
| PJ3     | SDLLDQM, SRLLB |          |      |         |                |                               |                     |         |              |         |
| PJ4     | SDLUDQM, SRLUB |          |      |         |                |                               |                     |         |              |         |
| PJ5     | SDULDQM, SRULB |          |      |         |                |                               |                     |         |              |         |
| PJ6     | SDUUDQM, SRUUB |          |      |         |                |                               |                     |         |              |         |
| PJ7     | SDCKE          |          |      |         |                | セルフリフレッシュサイクル中ならばON           | OFF                 | ON      | ON           |         |
| PK0     | D1BSCP         |          |      |         |                | OFF                           |                     |         |              |         |
| PK1     | D2BLP          |          |      |         |                |                               |                     |         |              |         |
| PK2     | D3BFR          |          |      |         |                |                               |                     |         |              |         |
| PK3     | DLEBCD         |          |      |         |                |                               |                     |         |              |         |
| PK4     | DOFFB          |          |      |         |                |                               |                     |         |              |         |
| PK6     | ALARM, MLDALM  |          |      |         |                |                               |                     |         |              |         |
| PL0-PL7 | LD0-LD7        |          |      |         |                |                               |                     |         |              |         |
| X2      | -              | ON       |      |         |                | IDLE1 で ON , STOP で "H" レベル出力 |                     |         |              |         |
| XT2     | -              |          |      |         |                | IDLE1 で ON , STOP で High-Z    |                     |         |              |         |

ON: 常時バッファが ON しています。ただし、\*1: Pull-Up/Down 抵抗付きポートです。

バス開放時は

特定の端子の出力バッファは OFF します。

OFF: 常時バッファが OFF しています

—: 対象なし

注) 条件 A / B の設定を示します。

| SYSCR2 レジスタ設定 |          | HALT モード |      |
|---------------|----------|----------|------|
| <DRVE>        | <SELDRV> | IDLE1    | STOP |
| 0             | 0        | 条件 A     | 条件 A |
| 0             | 1        | 条件 B     |      |
| 1             | 0        |          |      |
| 1             | 1        |          |      |

### 3.4 割り込み

TLCS-900/H1 の割り込みは、CPU の割り込みマスクフリップフロップ (IFF2~IFF0) と、内蔵の割り込みコントローラによって制御されます。

TMP92C820 の割り込み要因には、下記に示す合計 45 本があります。

CPU 自身からの割り込み: 9 本

- ソフトウェア割り込み: 8 本
- 未定義命令実行違反: 1 本

内部割り込み: 31 本

- 内蔵 I/O からの割り込み: 23 本
- マイクロ DMA 転送終了割り込み: 8 本

外部割り込み: 5 本

- 外部端子割り込み (INT0~INT3, INTKEY)

各割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位 (可変) を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の “7” に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値 (最高はノンマスカブル割り込みの “7”) を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ (IFF2:0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2:0) の値は EI 命令 (EI num...IFF<2:0>の内容が num) を使用して、書き替えることができます。例えば、“EI 3” とプログラムすると、割り込みコントローラに設定された優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令 (IFF<2:0>が 7) は動作的には “EI 7” と同じですが、マスカブル割り込みの優先順位値が 1~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後、直ちに有効となります。

TLCS-900/H1 の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を高速に行うことができます。

さらに、TMP92C820 には、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトウェアから要求を発行する “ソフトスタート機能” があります。

図 3.4.1 に割り込み処理全体のフローを示します。

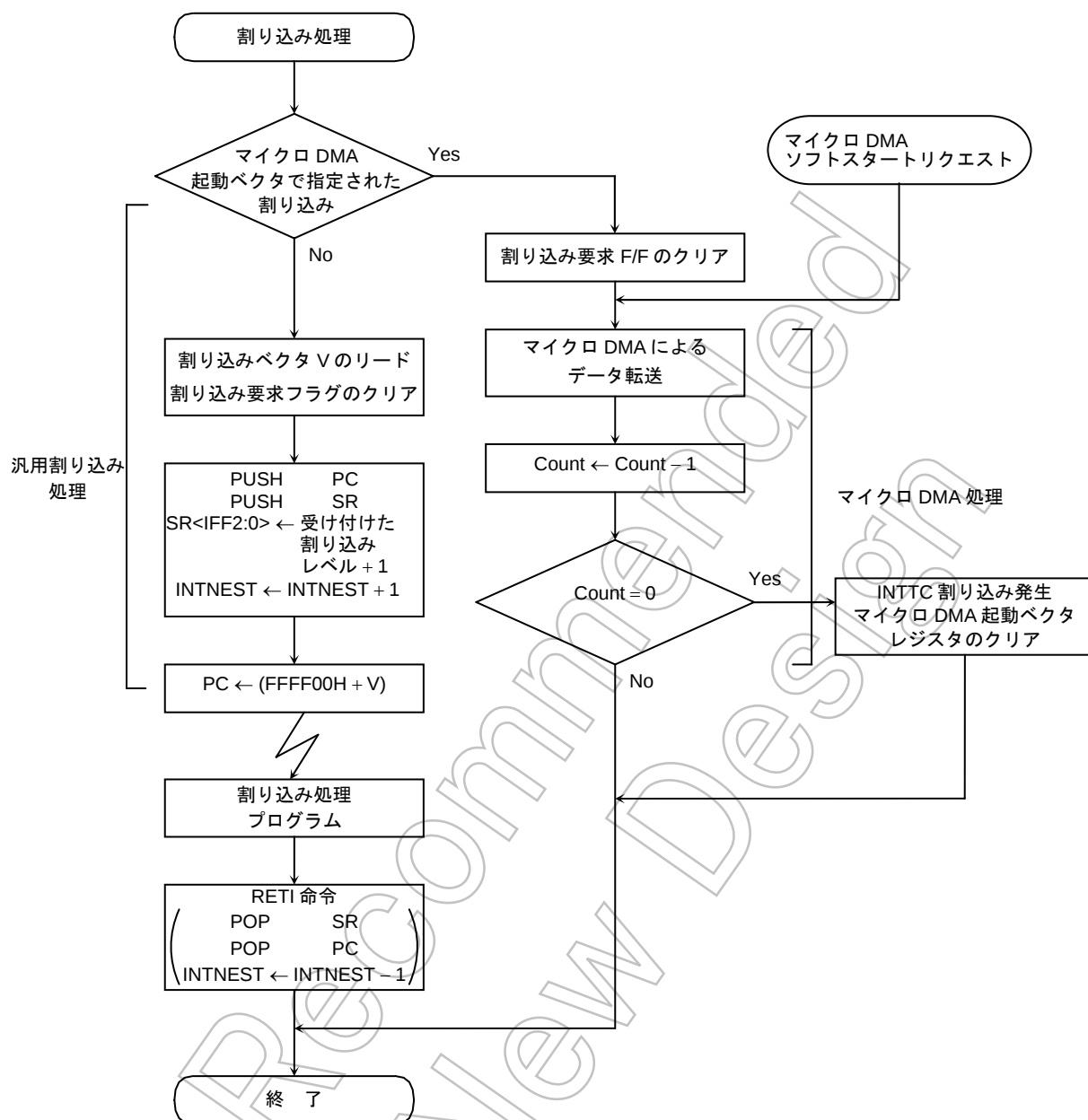


図 3.4.1 割り込み処理全体のフロー

### 3.4.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。なお、この動作は、TLCS900/L、TLCS-900/H、TLCS-900/L1 と同様です。

- (1) CPU は、割り込みコントローラから、割り込みベクタをリードします。  
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定: ベクタ値が小さいほど優先順位が高い) にしたがって割り込みベクタを発生し、その割り込み要求をクリアします。
- (2) CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域 (XSP が示す領域) へ PUSH します。
- (3) CPU の割り込みマスクレジスタ<IFF2:0>の値を、受け付けた割り込みレベルより “1” だけ高い値にセットします。ただし、値が “7” のときは、インクリメントせず “7” をセットします。
- (4) 割り込みネスティングカウンタ INTNEST を、+1 カウントアップします。
- (5) CPU は、「FFFF00H + 割り込みベクタ」のデータで示されるアドレスへジャンプし、割り込み処理ルーチンを開始します。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容をリストアし、割り込みネスティングカウンタ INTNEST を-1 します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。一方、マスカブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、割り込み要因ごとに優先順位を設定することができます (0 か 7 の割り込みレベルの設定は、割り込み要求が無効になります)。CPU が持つ割り込みマスクレジスタ<IFF2:0>の値以上の優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU のマスクレジスタ<IFF2:0>に、受け付けた優先順位に “1” を加えた値をセットします。従って、割り込み処理中に現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 (1)~(5) までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスカブル割り込みのネスティングを禁止することができます。

リセット後、CPU のマスクレジスタ<IFF2:0>は、“7” に初期化されているため、マスカブル割り込み禁止状態になっています。

TMP92C820 では、メモリアドレス FFFF00H~FFFFFFH (256 バイト) が、割り込みベクタ領域に割り当てられています。表 3.4.1 に割り込みテーブルを示します。

表 3.4.1 TMP92C820 の割り込みテーブル (1/2)

| デフォルト<br>プライオリティ | タイプ         | 割り込み要因                                | ベクタ値  | ベクタ参照<br>アドレス | マイクロ DMA<br>起動ベクタ |
|------------------|-------------|---------------------------------------|-------|---------------|-------------------|
| 1                | ノン<br>マスカブル | "SWI0" 命令または "リセット"                   | 0000H | FFFF00H       |                   |
| 2                |             | "SWI1" 命令                             | 0004H | FFFF04H       |                   |
| 3                |             | "SWI2" 命令または "未定義命令実行違反"              | 0008H | FFFF08H       |                   |
| 4                |             | "SWI3" 命令                             | 000CH | FFFF0CH       |                   |
| 5                |             | "SWI4" 命令                             | 0010H | FFFF10H       |                   |
| 6                |             | "SWI5" 命令                             | 0014H | FFFF14H       |                   |
| 7                |             | "SWI6" 命令                             | 0018H | FFFF18H       |                   |
| 8                |             | "SWI7" 命令                             | 001CH | FFFF1CH       |                   |
| 9                |             | (Reserved)                            | 0020H | FFFF20H       |                   |
| 10               |             | INTWD: ウォッチドッグタイマ                     | 0024H | FFFF24H       |                   |
| -                | マスカブル       | マイクロ DMA                              | -     | -             | -(注 1)            |
| 11               |             | INT0: 外部割り込み入力端子                      | 0028H | FFFF28H       | 0AH (注 2)         |
| 12               |             | INT1: 外部割り込み入力端子                      | 002CH | FFFF2CH       | 0BH               |
| 13               |             | INT2: 外部割り込み入力端子                      | 0030H | FFFF30H       | 0CH               |
| 14               |             | INT3: 外部割り込み入力端子                      | 0034H | FFFF34H       | 0DH               |
| 15               |             | (Reserved)                            | 0038H | FFFF38H       | 0EH               |
| 16               |             | INTALM0: ALM0 (8192Hz)                | 003CH | FFFF3CH       | 0FH               |
| 17               |             | INTALM1: ALM1 (512 Hz)                | 0040H | FFFF40H       | 10H               |
| 18               |             | INTALM2: ALM2 (64 Hz)                 | 0044H | FFFF44H       | 11H               |
| 19               |             | INTALM3: ALM3 (2 Hz)                  | 0048H | FFFF48H       | 12H               |
| 20               |             | INTALM4: ALM4 (1 Hz)                  | 004CH | FFFF4CH       | 13H               |
| 21               |             | INTP0: プロテクト 0 (SFR に書き込み)            | 0050H | FFFF50H       | 14H               |
| 22               |             | (Reserved)                            | 0054H | FFFF54H       | 15H               |
| 23               |             | INTTA0: 8 ビットタイマ 0                    | 0058H | FFFF58H       | 16H               |
| 24               |             | INTTA1: 8 ビットタイマ 1                    | 005CH | FFFF5CH       | 17H               |
| 25               |             | INTTA2: 8 ビットタイマ 2                    | 0060H | FFFF60H       | 18H               |
| 26               |             | INTTA3: 8 ビットタイマ 3                    | 0064H | FFFF64H       | 19H               |
| 27               |             | INTTB0: 16 ビットタイマ 0                   | 0068H | FFFF68H       | 1AH               |
| 28               |             | INTTB1: 16 ビットタイマ 1                   | 006CH | FFFF6CH       | 1BH               |
| 29               |             | INTKEY: キーウェイクアップ                     | 0070H | FFFF70H       | 1CH               |
| 30               |             | INTRTC: RTC (アラーム割り込み)                | 0074H | FFFF74H       | 1DH               |
| 31               |             | INTTB00: 16 ビットタイマ 0 (オーバーフロー)        | 0078H | FFFF78H       | 1EH               |
| 32               |             | INTLCD: LCDC/LP ピン                    | 007CH | FFFF7CH       | 1FH               |
| 33               |             | INTRX0: シリアル 0 (SIO0) 受信              | 0080H | FFFF80H       | 20H (注 2)         |
| 34               |             | INTTX0: シリアル 0 (SIO0) 送信              | 0084H | FFFF84H       | 21H               |
| 35               |             | INTRX1: シリアル 1 (SIO1) 受信              | 0088H | FFFF88H       | 22H (注 2)         |
| 36               |             | INTTX1: シリアル 1 (SIO1) 送信              | 008CH | FFFF8CH       | 23H               |
| 37               |             | INTRX2: シリアル 2 (SIO2) 受信              | 0090H | FFFF90H       | 24H (注 2)         |
| 38               |             | INTTX2: シリアル 2 (SIO2) 送信              | 0094H | FFFF94H       | 25H               |
| 39               |             | (Reserved)                            | 0098H | FFFF98H       | 26H               |
| 40               |             | (Reserved)                            | 009CH | FFFF9CH       | 27H               |
| 41               |             | (Reserved)                            | 00A0H | FFFFA0H       | 28H               |
| 42               |             | (Reserved)                            | 00A4H | FFFFA4H       | 29H               |
| 43               |             | (Reserved)                            | 00A8H | FFFFA8H       | 2AH               |
| 44               |             | (Reserved)                            | 00ACH | FFFFACH       | 2BH               |
| 45               |             | (Reserved)                            | 00B0H | FFFFB0H       | 2CH               |
| 46               |             | (Reserved)                            | 00B4H | FFFFB4H       | 2DH               |
| 47               |             | (Reserved)                            | 00B8H | FFFFB8H       | 2EH               |
| 48               |             | INTSBE0: SBI0 I <sup>2</sup> C バス転送終了 | 00BCH | FFFFBCH       | 2FH               |
| 49               |             | (Reserved)                            | 00C0H | FFFFC0H       | 30H               |
| 50               |             | (Reserved)                            | 00C4H | FFFFC4H       | 31H               |

表 3.4.2 TMP92C820 の割り込みテーブル (2/2)

| デフォルト<br>プライオリティ | タイプ   | 割り込み要因                        | ベクタ値                | ベクタ参照<br>アドレス           | マイクロ DMA<br>起動ベクタ |
|------------------|-------|-------------------------------|---------------------|-------------------------|-------------------|
| 51               | マスカブル | (Reserved)                    | 00C8H               | FFFFC8H                 | 32H               |
| 52               |       | INTAD: AD 変換終了                | 00CCH               | FFFFCCH                 | 33H               |
| 53               |       | INTTC0: マイクロ DMA 終了 (チャンネル 0) | 00D0H               | FFFFD0H                 | 34H               |
| 54               |       | INTTC1: マイクロ DMA 終了 (チャンネル 1) | 00D4H               | FFFFD4H                 | 35H               |
| 55               |       | INTTC2: マイクロ DMA 終了 (チャンネル 2) | 00D8H               | FFFFD8H                 | 36H               |
| 56               |       | INTTC3: マイクロ DMA 終了 (チャンネル 3) | 00DCH               | FFFFDCH                 | 37H               |
| 57               |       | INTTC4: マイクロ DMA 終了 (チャンネル 4) | 00E0H               | FFFFE0H                 | 38H               |
| 58               |       | INTTC5: マイクロ DMA 終了 (チャンネル 5) | 00E4H               | FFFFE4H                 | 39H               |
| 59               |       | INTTC6: マイクロ DMA 終了 (チャンネル 6) | 00E8H               | FFFFE8H                 | 3AH               |
| 60               |       | INTTC7: マイクロ DMA 終了 (チャンネル 7) | 00ECH               | FFFFECH                 | 3BH               |
|                  |       | (Reserved)                    | 00F0H<br>:<br>00FCH | FFFFF0H<br>:<br>FFFFFCH | –                 |

注 1) マイクロ DMA デフォルトプライオリティ  
マイクロ DMA は、ほかのマスカブル割り込みより優先されて起動します。

注 2) マイクロ DMA を起動するときは、エッジ検出モードに設定してください。

### 3.4.2 マイクロ DMA

TMP92C820 には、マイクロ DMA 機能があります。マイクロ DMA 機能に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベルで処理を行います。マイクロ DMA は 8 チャンネル用意されており、後述のバースト指定により連続転送が可能です。

なお、マイクロ DMA 機能は、CPU の協調動作によって実現されているため、CPU が HALT 命令を実行しスタンバイ状態 (STOP, IDLE1, IDLE2) になると、マイクロ DMA の要求は無視 (保留) され、HALT 解除後に DMA 転送を開始します。

#### (1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。IFF = 7 のときは、マイクロ DMA の要求は受けつけられません。

マイクロ DMA は 8 チャンネル用意されており、同時に 8 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された転送元アドレスから転送先アドレスに、データ転送が一回 (1/2/4 バイト) 行われ、転送数カウンタをデクリメントします。デクリメントした結果が“0”ならば、以下のような動作をします。

- CPU は、マイクロ DMA 転送終了を割り込みコントローラに伝えます。
- 割り込みコントローラは、マイクロ DMA 転送終了割り込み (INTTCn) を発生させます。
- マイクロ DMA 起動ベクタレジスタの値を“0”にクリアして、次のマイクロ DMA 起動を禁止します。
- マイクロ DMA 処理を終了します。

デクリメントした結果が“0”でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを“0”にしておく必要があります。これはマイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。割り込み要因をマイクロ DMA と汎用割り込みの起動の両方で使用する場合は、その割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低くする必要があります (注)。なお、その割り込み要因は、エッジ割り込みに限られます。

マイクロ DMA 転送終了割り込みは、ほかのマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(CH0 (高) → CH7 (低))

注) マイクロ DMA 要因の割り込みレベルを他の割り込みレベルより高くすると、下記のような動作をする場合があります。

下記設定にて INTxxx 割り込みが先に発生し、割り込み処理フロー (図 3.4.1 参照) で、“マイクロ DMA 起動ベクタで指定された割り込み”の確認後で、“割り込みベクタ V のリード”の間に INTyyy が発生した場合、INTyyy の割り込みレベルのほうが高いため、その時点ではベクタ V は INTyyy のベクタ V に変化してしまいます。割り込み処理フローでは、マイクロ DMA の確認が終了しているため、割り込みベクタ V がすり替わる形となり、CPU はそのまま INTyyy のベクタ V をリードしてしまい、マイクロ DMA の転送カウンタにかかわらず INTyyy が発生してしまいます。

INTxxx: レベル 1 DMA 設定なし

INTyyy: レベル 6 DMA 設定あり

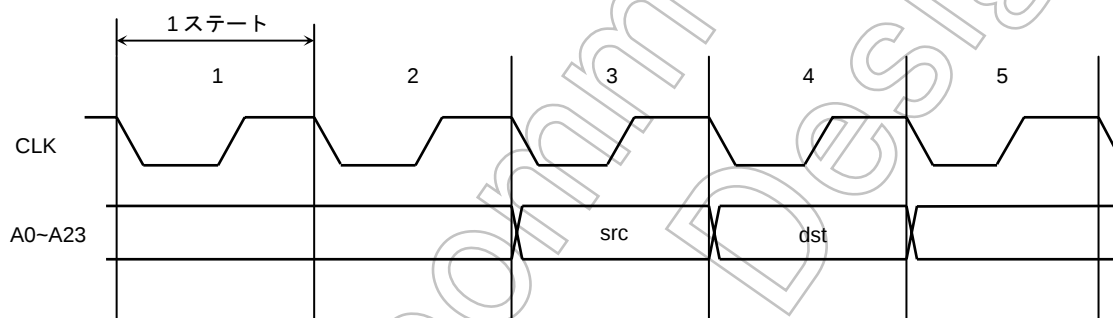
転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は 16 M バイトとなります。

転送モードとしては、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、(4)「転送モードレジスタ詳細」を参照してください。

転送数カウンタは、16 ビット幅で構成されているため、一つの割り込み要因に対して最大 65536 回 (転送カウンタの初期値が 0000H のとき最大) のマイクロ DMA 処理を行うことができます。

マイクロDMA処理を行うことのできる割り込み要因は、表 3.4.1 でマイクロDMA起動ベクタのある 33 種類の割り込みとソフトスタートによる計 34 種類です。

転送先アドレスINCモード (カウンタモード以外は同様) のマイクロDMAサイクルを図 3.4.2 に示します。 (外部 8 ビットバス, 0 ウェイト, ソース/ディストネーションアドレスとも偶数の場合)



注) src および dst アドレスは内部 RAM のアドレスのため、出力されません。

- 第 1~2 ステート: 命令フェッチサイクル (次の命令コードを先取りします。)
  - 命令キューバッファが FULL の場合、このサイクルはダミーサイクルになります。
- 第 3 ステート : マイクロ DMA リードサイクル
- 第 4 ステート : マイクロ DMA ライトサイクル
- 第 5 ステート : (第 1~2 ステートに同じ)

図 3.4.2 マイクロ DMA サイクル図

## (2) ソフトスタート機能

TMP92C820 には、割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへの書き込みサイクルが発生したことにより、マイクロ DMA を起動する“マイクロ DMA ソフトスタート機能”があります。

具体的には、DMAR レジスタの各ビットに“1”をライトすることにより、マイクロ DMA を一回起動することができます(“0”をライトしても変化しません)。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが自動的に“0”クリアされます。なお、使用上の制限として、一度に 1 チャンネルしか起動できません(複数のビットに“1”をライトしないでください)。

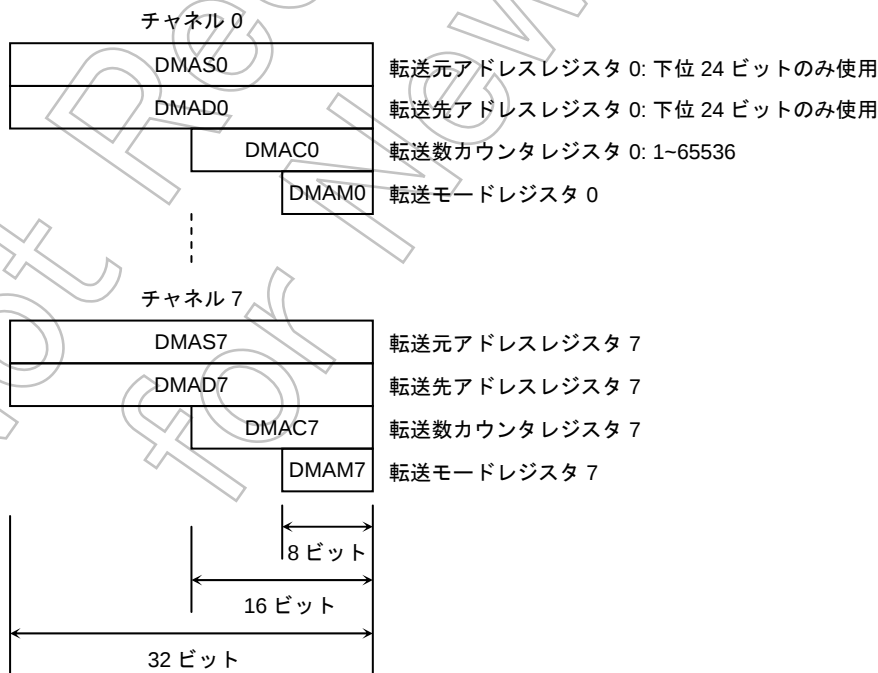
また、再度 DMAR レジスタに“1”をライトする場合は、そのビットが“0”であることを確認してから行ってください。リードした値が“1”の場合は、まだマイクロ DMA 転送が開始されません。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが“0”になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトスタートを実行してもマイクロ DMA 転送カウンタは変化しません。他のビットへの誤書き込みを防ぐために、リードモディファイライト命令は使わないでください。

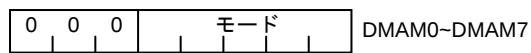
| 記号   | 名称         | アドレス            | 7             | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|------|------------|-----------------|---------------|-------|-------|-------|-------|-------|-------|-------|
| DMAR | DMA 要求レジスタ | 109H<br>(RMW 禁) | DREQ7         | DREQ6 | DREQ5 | DREQ4 | DREQ3 | DREQ2 | DREQ1 | DREQ0 |
|      |            |                 | R/W           |       |       |       |       |       |       |       |
|      |            |                 | 0             | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
|      |            |                 | 1: DMA のソフト要求 |       |       |       |       |       |       |       |

## (3) 転送制御レジスタ

転送元アドレスと転送先アドレスは、下記のレジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



## (4) 転送モードレジスタ詳細



| DMAM [4:0] | 動作                                                                                 | 実行時間   |
|------------|------------------------------------------------------------------------------------|--------|
| 000ZZ      | 転送先アドレス INC モード<br>(DMADn+) ← (DMASn)<br>DMACn ← DMACn - 1<br>DMACn=0 ならば INTTC 発生 | 5 ステート |
| 001ZZ      | 転送先アドレス DEC モード<br>(DMADn-) ← (DMASn)<br>DMACn ← DMACn - 1<br>DMACn=0 ならば INTTC 発生 | 5 ステート |
| 010ZZ      | 転送元アドレス INC モード<br>(DMADn) ← (DMASn+)<br>DMACn ← DMACn - 1<br>DMACn=0 ならば INTTC 発生 | 5 ステート |
| 011ZZ      | 転送元アドレス DEC モード<br>(DMADn) ← (DMASn-)<br>DMACn ← DMACn - 1<br>DMACn=0 ならば INTTC 発生 | 5 ステート |
| 100ZZ      | 転送アドレス INC モード<br>(DMADn+) ← (DMASn+)<br>DMACn ← DMACn - 1<br>DMACn=0 ならば INTTC 発生 | 6 ステート |
| 101ZZ      | 転送アドレス DEC モード<br>(DMADn-) ← (DMASn-)<br>DMACn ← DMACn - 1<br>DMACn=0 ならば INTTC 発生 | 6 ステート |
| 110ZZ      | 転送アドレス固定モード<br>(DMADn) ← (DMASn)<br>DMACn ← DMACn - 1<br>DMACn=0 ならば INTTC 発生      | 5 ステート |
| 11100      | カウンタモード<br>DMASn ← DMASn + 1<br>DMACn ← DMACn - 1<br>DMACn=0 ならば INTTC 発生          | 5 ステート |

ZZ: 00 = 1 バイト転送  
 01 = 2 バイト転送  
 10 = 4 バイト転送  
 11 = Reserved

注 1) 実行時間は、ベストケース (メモリアクセスが 1 クロックの場合) の値です。

1 ステート = 50 ns (@内部 f<sub>sys</sub> = 20 MHz 動作時)

注 2) n はマイクロ DMA チャンネルナンバ (0~7) を表しています。

### 3.4.3 割り込みコントローラの制御

図 3.4.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路とホルト解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと（合計 52 チャンネル）に、割り込み要求フラグ（フリップフロップ）、割り込み優先順位設定レジスタ、マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタを CPU がリードしたとき
- 割り込みをクリアする命令の実行 (INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA 要求を受け付けたとき
- その割り込みでのマイクロ DMA バースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込み優先順位設定レジスタ (INTE0AD、INTE12 等) にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは、1 から 6 までの 6 レベルです。書き込み優先順位値を“0”（または“7”）にすることにより、該当する割り込み要求は禁止されます。

また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ（プライオリティ値の小さいもののベクタの小さいもの）に従い、割り込みを受け付けます。なお、割り込み優先順位設定レジスタの 3 ビット目、7 ビット目を読むと、割り込み要求フラグの状態が読み出され、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ (SR) に設定された割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、CPU 側の SR<IFF2:0>に、受け付けた割り込みレベル+1 の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了 (RETI 命令の実行) により、CPU 側の SR<IFF2:0>には、スタックに退避されていた割り込み発生以前の割り込みマスクレジスタの値をリストアします。

割り込みコントローラには、マイクロDMAの起動ベクタを格納するレジスタ (8チャンネル) が用意されています。このレジスタに起動ベクタ (表 3.4.1参照) を書き込むことにより、該当する割り込み要求が発生することによって、マイクロDMAが起動されます。なお、このマイクロDMA処理の前に、マイクロDMAパラメータ用レジスタ(DMAS、DMADなど)に値を設定しておく必要があります。

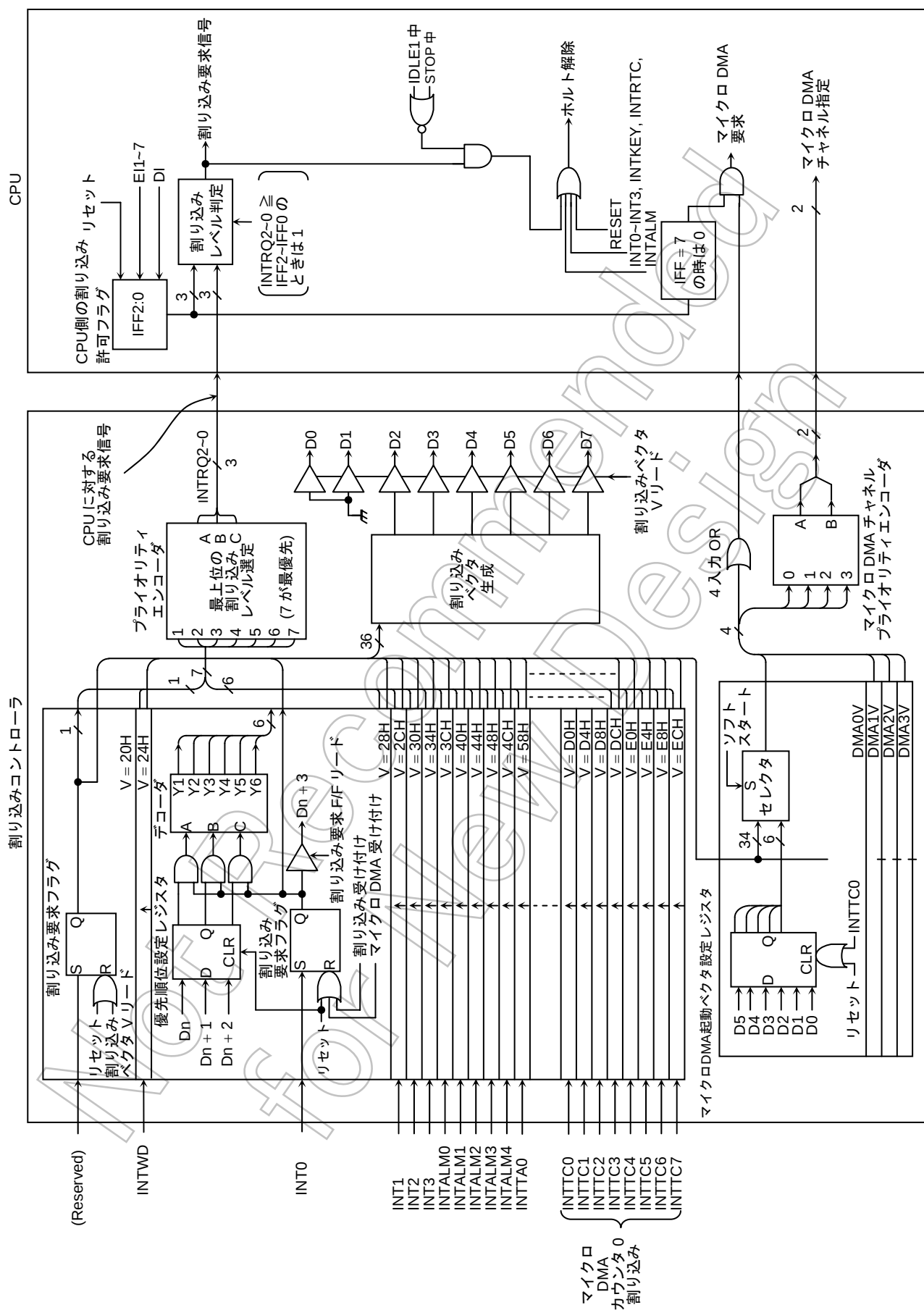


図 3.4.3 割り込みコントローラブロック図

## (1) 割り込み優先順位設定レジスタ

| 記号        | 名称                        | アドレス | 7               | 6      | 5      | 4      | 3              | 2       | 1       | 0       |
|-----------|---------------------------|------|-----------------|--------|--------|--------|----------------|---------|---------|---------|
| INTE0AD   | INT0 & INTAD enable       | F0H  | INTAD           |        |        |        | INT0           |         |         |         |
|           |                           |      | IADC            | IADM2  | IADM1  | IADM0  | I0C            | I0M2    | I0M1    | I0M0    |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTE12    | INT1 & INT2 enable        | D0H  | INT2            |        |        |        | INT1           |         |         |         |
|           |                           |      | I2C             | I2M2   | I2M1   | I2M0   | I1C            | I1M2    | I1M1    | I1M0    |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTE3     | INT3 enable               | D1H  | -               |        |        |        | INT3           |         |         |         |
|           |                           |      | -               | -      | -      | -      | I3C            | I3M2    | I3M1    | I3M0    |
|           |                           |      | -               | -      |        |        | R              | R/W     |         |         |
|           |                           |      | "0" をライトしてください。 |        |        |        | 0              | 0       | 0       | 0       |
| INTEA01   | INTTA0 & INTTA1 enable    | D4H  | INTTA1 (TMRA1)  |        |        |        | INTTA0 (TMRA0) |         |         |         |
|           |                           |      | ITA1C           | ITA1M2 | ITA1M1 | ITA1M0 | ITA0C          | ITA0M2  | ITA0M1  | ITA0M0  |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTEA23   | INTTA2 & INTTA3 enable    | D5H  | INTTA3 (TMRA3)  |        |        |        | INTTA2 (TMRA2) |         |         |         |
|           |                           |      | ITA3C           | ITA3M2 | ITA3M1 | ITA3M0 | ITA2C          | ITA2M2  | ITA2M1  | ITA2M0  |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTETB01  | INTTB0 & INTTB1 enable    | D8H  | INTTB1 (TMRB1)  |        |        |        | INTTB0 (TMRB0) |         |         |         |
|           |                           |      | ITB1C           | ITB1M2 | ITB1M1 | ITB1M0 | ITB0C          | ITB0M2  | ITB0M1  | ITB0M0  |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTETB00  | INTTB00 (Overflow) enable | DAH  | -               |        |        |        | INTTB00        |         |         |         |
|           |                           |      | -               | -      | -      | -      | ITB00C         | ITB00M2 | ITB00M1 | ITB00M0 |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTES0    | INTRX0 & INTTX0 enable    | DBH  | INTTX0          |        |        |        | INTRX0         |         |         |         |
|           |                           |      | ITX0C           | ITX0M2 | ITX0M1 | ITX0M0 | IRX0C          | IRX0M2  | IRX0M1  | IRX0M0  |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTES1    | INTRX1 & INTTX1 enable    | DCH  | INTTX1          |        |        |        | INTRX1         |         |         |         |
|           |                           |      | ITX1C           | ITX1M2 | ITX1M1 | ITX1M0 | IRX1C          | IRX1M2  | IRX1M1  | IRX1M0  |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTESB0   | INTSBEO enable            | E3H  | -               |        |        |        | INTSBEO        |         |         |         |
|           |                           |      | -               | -      | -      | -      | ISBE0C         | ISBE0M2 | ISBE0M1 | ISBE0M0 |
|           |                           |      | -               | -      |        |        | R              | R/W     |         |         |
|           |                           |      | "0" をライトしてください。 |        |        |        | 0              | 0       | 0       | 0       |
| INTEALM01 | INTALM0 & INTALM1 enable  | E5H  | INTALM1         |        |        |        | INTALM0        |         |         |         |
|           |                           |      | IA1C            | IA1M2  | IA1M1  | IA1M0  | IA0C           | IA0M2   | IA0M1   | IA0M0   |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTEALM23 | INTALM2 & INTALM3 enable  | E6H  | INTALM3         |        |        |        | INTALM2        |         |         |         |
|           |                           |      | IA3C            | IA3M2  | IA3M1  | IA3M0  | IA2C           | IA2M2   | IA2M1   | IA2M0   |
|           |                           |      | R               | R/W    |        |        | R              | R/W     |         |         |
|           |                           |      | 0               | 0      | 0      | 0      | 0              | 0       | 0       | 0       |

| 記号       | 名称                     | アドレス | 7              | 6      | 5      | 4      | 3       | 2      | 1      | 0      |
|----------|------------------------|------|----------------|--------|--------|--------|---------|--------|--------|--------|
| INTEALM4 | INTALM4 enable         | E7H  | -              |        |        |        | INTALM4 |        |        |        |
|          |                        |      | -              | -      | -      | -      | IA4C    | IA4M2  | IA4M1  | IA4M0  |
|          |                        |      | -              | -      |        |        | R       | R/W    |        |        |
|          |                        |      | “0”をライトしてください。 |        |        |        | 0       | 0      | 0      | 0      |
| INTERTC  | INTRTC enable          | E8H  | -              |        |        |        | INTRTC  |        |        |        |
|          |                        |      | -              | -      | -      | -      | IRC     | IRM2   | IRM1   | IRM0   |
|          |                        |      | -              | -      |        |        | R       | R/W    |        |        |
|          |                        |      | “0”をライトしてください。 |        |        |        | 0       | 0      | 0      | 0      |
| INTEKEY  | INTKEY enable          | E9H  | -              |        |        |        | INTKEY  |        |        |        |
|          |                        |      | -              | -      | -      | -      | IKC     | IKM2   | IKM1   | IKM0   |
|          |                        |      | -              | -      |        |        | R       | R/W    |        |        |
|          |                        |      | “0”をライトしてください。 |        |        |        | 0       | 0      | 0      | 0      |
| INTLCD   | INTLCD enable          | EAH  | -              |        |        |        | INTLCD  |        |        |        |
|          |                        |      | -              | -      | -      | -      | ILCD1C  | ILCDM2 | ILCDM1 | ILCDM0 |
|          |                        |      | -              | -      |        |        | R       | R/W    |        |        |
|          |                        |      | “0”をライトしてください。 |        |        |        | 0       | 0      | 0      | 0      |
| INTES2   | INTRX2 & INTTX2 enable | EDH  | INTTX2         |        |        |        | INTRX2  |        |        |        |
|          |                        |      | ITX2C          | ITX2M2 | ITX2M1 | ITX2M0 | IRX2C   | IRX2M2 | IRX2M1 | IRX2M0 |
|          |                        |      | R              | R/W    |        |        | R       | R/W    |        |        |
|          |                        |      | 0              | 0      | 0      | 0      | 0       | 0      | 0      | 0      |
| INTEP0   | INTP0 enable           | EEH  | -              |        |        |        | INTP0   |        |        |        |
|          |                        |      | -              | -      | -      | -      | IP0C    | IP0M2  | IP0M1  | IP0M0  |
|          |                        |      | -              | -      |        |        | R       | R/W    |        |        |
|          |                        |      | “0”をライトしてください。 |        |        |        | 0       | 0      | 0      | 0      |

割り込み要求フラグの状態

| lxxM2 | lxxM1 | lxxM0 | 機能 (書き込み)      |
|-------|-------|-------|----------------|
| 0     | 0     | 0     | 割り込み要求を禁止に設定   |
| 0     | 0     | 1     | 割り込みレベルを 1 に設定 |
| 0     | 1     | 0     | 割り込みレベルを 2 に設定 |
| 0     | 1     | 1     | 割り込みレベルを 3 に設定 |
| 1     | 0     | 0     | 割り込みレベルを 4 に設定 |
| 1     | 0     | 1     | 割り込みレベルを 5 に設定 |
| 1     | 1     | 0     | 割り込みレベルを 6 に設定 |
| 1     | 1     | 1     | 割り込み要求を禁止に設定   |

| 記号       | 名称                     | アドレス | 7               | 6      | 5      | 4      | 3             | 2      | 1      | 0      |
|----------|------------------------|------|-----------------|--------|--------|--------|---------------|--------|--------|--------|
| INTETC01 | INTTC0 & INTTC1 enable | F1H  | INTTC1 (DMA1)   |        |        |        | INTTC0 (DMA0) |        |        |        |
|          |                        |      | ITC1C           | ITC1M2 | ITC1M1 | ITC1M0 | ITC0C         | ITC0M2 | ITC0M1 | ITC0M0 |
|          |                        |      | R               | R/W    |        |        | R             | R/W    |        |        |
|          |                        |      | 0               | 0      | 0      | 0      | 0             | 0      | 0      | 0      |
| INTETC23 | INTTC2 & INTTC3 enable | F2H  | INTTC3 (DMA3)   |        |        |        | INTTC2 (DMA2) |        |        |        |
|          |                        |      | ITC3C           | ITC3M2 | ITC3M1 | ITC3M0 | ITC2C         | ITC2M2 | ITC2M1 | ITC2M0 |
|          |                        |      | R               | R/W    |        |        | R             | R/W    |        |        |
|          |                        |      | 0               | 0      | 0      | 0      | 0             | 0      | 0      | 0      |
| INTETC45 | INTTC4 & INTTC5 enable | F3H  | INTTC5 (DMA5)   |        |        |        | INTTC4 (DMA4) |        |        |        |
|          |                        |      | ITC5C           | ITC5M2 | ITC5M1 | ITC5M0 | ITC4C         | ITC4M2 | ITC4M1 | ITC4M0 |
|          |                        |      | R               | R/W    |        |        | R             | R/W    |        |        |
|          |                        |      | 0               | 0      | 0      | 0      | 0             | 0      | 0      | 0      |
| INTETC67 | INTTC6 & INTTC7 enable | F4H  | INTTC7 (DMA7)   |        |        |        | INTTC6 (DMA6) |        |        |        |
|          |                        |      | ITC7C           | ITC7M2 | ITC7M1 | ITC7M0 | ITC6C         | ITC6M2 | ITC6M1 | ITC6M0 |
|          |                        |      | R               | R/W    |        |        | R             | R/W    |        |        |
|          |                        |      | 0               | 0      | 0      | 0      | 0             | 0      | 0      | 0      |
| INTWDT   | INTWD                  | F7H  | -               |        |        |        | INTWD         |        |        |        |
|          |                        |      | -               | -      | -      | -      | ITCWD         | -      | -      | -      |
|          |                        |      | -               |        |        |        | R             | -      |        |        |
|          |                        |      | "0" をライトしてください。 |        |        |        | 0             | -      | -      | -      |

割り込み要求フラグの状態 ←

| IxxM2 | IxxM1 | IxxM0 | 機能 (書き込み)      |
|-------|-------|-------|----------------|
| 0     | 0     | 0     | 割り込み要求を禁止に設定   |
| 0     | 0     | 1     | 割り込みレベルを 1 に設定 |
| 0     | 1     | 0     | 割り込みレベルを 2 に設定 |
| 0     | 1     | 1     | 割り込みレベルを 3 に設定 |
| 1     | 0     | 0     | 割り込みレベルを 4 に設定 |
| 1     | 0     | 1     | 割り込みレベルを 5 に設定 |
| 1     | 1     | 0     | 割り込みレベルを 6 に設定 |
| 1     | 1     | 1     | 割り込み要求を禁止に設定   |

## (2) 外部割り込みの制御

| 記号   | 名称                  | アドレス           | 7 | 6 | 5                                                | 4                                                | 3                                                | 2                                                | 1                                      | 0                       |
|------|---------------------|----------------|---|---|--------------------------------------------------|--------------------------------------------------|--------------------------------------------------|--------------------------------------------------|----------------------------------------|-------------------------|
| IIMC | 割り込み<br>入力モード<br>制御 | F6H<br>(RMW 禁) |   |   | I3EDGE                                           | I2EDGE                                           | I1EDGE                                           | I0EDGE                                           | I0LE                                   | —                       |
|      |                     |                |   |   | W                                                | W                                                | W                                                | W                                                | R/W                                    | R/W                     |
|      |                     |                |   |   | 0                                                | 0                                                | 0                                                | 0                                                | 0                                      | 0                       |
|      |                     |                |   |   | INT3 エッジ<br>0: 立ち上<br>が<br>り<br>1: 立ち下<br>が<br>り | INT2 エッジ<br>0: 立ち上<br>が<br>り<br>1: 立ち下<br>が<br>り | INT1 エッジ<br>0: 立ち上<br>が<br>り<br>1: 立ち下<br>が<br>り | INT0 エッジ<br>0: 立ち上<br>が<br>り<br>1: 立ち下<br>が<br>り | INT0<br>0: エッジ<br>モード<br>1: レベル<br>モード | “0” をライ<br>トしてく<br>ださい。 |

## INT0 割り込み制御

|   |                    |
|---|--------------------|
| 0 | エッジによる割り込み要求発生     |
| 1 | “H” レベルによる割り込み要求発生 |

注 1) INT0 端子のモードをレベルにしてからエッジに切り替える場合 (<I0LE>を 1 から 0 へ) は、INT0 を禁止してから切り替えてください。

## 設定例:

DI  
LD (IIMC), XXXXXX0 - B ; レベルからエッジに切り替える  
LD (INTCLR), 0AH ; 割り込み要求フラグクリア  
EI

注 2) X: Don't care、—: No change

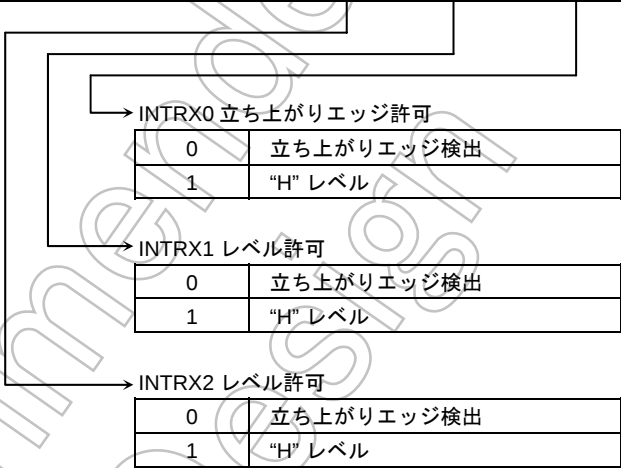
注 3) 外部割り込みの入力パルス幅にはスペックがあります。4.「電気的特性」を参照してください。

## 外部割り込み端子の機能設定

| 割り込み端子 | 兼用端子 | モード      | 設定方法                         |
|--------|------|----------|------------------------------|
| INT0   | PC3  | 立ち上がりエッジ | IIMC<I0LE> = 0, INT0EDGE = 0 |
|        |      | 立ち下がりエッジ | IIMC<I0LE> = 0, INT0EDGE = 1 |
|        |      | “H” レベル  | IIMC<I0LE> = 1               |
| INT1   | PC1  | 立ち上がりエッジ | INT1EDGE = 0                 |
|        |      | 立ち下がりエッジ | INT1EDGE = 1                 |
| INT2   | PC5  | 立ち上がりエッジ | INT2EDGE = 0                 |
|        |      | 立ち下がりエッジ | INT2EDGE = 1                 |
| INT3   | PC6  | 立ち上がりエッジ | INT3EDGE = 0                 |
|        |      | 立ち下がりエッジ | INT3EDGE = 1                 |

(3) SIO 受信割込み制御

| 記号   | 名称                  | アドレス           | 7 | 6 | 5 | 4 | 3 | 2                                                  | 1                                                  | 0                                                  |
|------|---------------------|----------------|---|---|---|---|---|----------------------------------------------------|----------------------------------------------------|----------------------------------------------------|
| SIMC | SIO<br>割込み<br>モード制御 | F5H<br>(RMW 禁) |   |   |   |   |   | IR2LE                                              | IR1LE                                              | IR0LE                                              |
|      |                     |                |   |   |   |   |   | W                                                  | W                                                  | W                                                  |
|      |                     |                |   |   |   |   |   | 1                                                  | 1                                                  | 1                                                  |
|      |                     |                |   |   |   |   |   | 0: INTRX2<br>エッジ<br>モード<br>1: INTRX2<br>レベル<br>モード | 0: INTRX1<br>エッジ<br>モード<br>1: INTRX1<br>レベル<br>モード | 0: INTRX0<br>エッジ<br>モード<br>1: INTRX0<br>レベル<br>モード |



## (4) 割り込み要求フラグレジスタ

割り込み要求フラグのクリアは、INTCLRレジスタに表 3.4.1のマイクロDMA起動ベクタを書くことで行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH ; INT0 割り込み要求フラグのクリア

| 記号     | 名称            | アドレス           | 7       | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|--------|---------------|----------------|---------|-------|-------|-------|-------|-------|-------|-------|
| INTCLR | 割り込み<br>クリア制御 | F8H<br>(RMW 禁) | CLRV7   | CLRV6 | CLRV5 | CLRV4 | CLRV3 | CLRV2 | CLRV1 | CLRV0 |
|        |               |                | W       |       |       |       |       |       |       |       |
|        |               |                | 0       | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
|        |               |                | 割り込みベクタ |       |       |       |       |       |       |       |

## (5) マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

従って、2 チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します。(マイクロ DMA のチェーン)

| 記号    | 名称            | アドレス | 7 | 6 | 5          | 4      | 3      | 2      | 1      | 0      |
|-------|---------------|------|---|---|------------|--------|--------|--------|--------|--------|
| DMA0V | DMA0<br>起動ベクタ | 100H |   |   | DMA0V5     | DMA0V4 | DMA0V3 | DMA0V2 | DMA0V1 | DMA0V0 |
|       |               |      |   |   | R/W        |        |        |        |        |        |
|       |               |      |   |   | 0          | 0      | 0      | 0      | 0      | 0      |
|       |               |      |   |   | DMA0 起動ベクタ |        |        |        |        |        |
| DMA1V | DMA1<br>起動ベクタ | 101H |   |   | DMA1V5     | DMA1V4 | DMA1V3 | DMA1V2 | DMA1V1 | DMA1V0 |
|       |               |      |   |   | R/W        |        |        |        |        |        |
|       |               |      |   |   | 0          | 0      | 0      | 0      | 0      | 0      |
|       |               |      |   |   | DMA1 起動ベクタ |        |        |        |        |        |
| DMA2V | DMA2<br>起動ベクタ | 102H |   |   | DMA2V5     | DMA2V4 | DMA2V3 | DMA2V2 | DMA2V1 | DMA2V0 |
|       |               |      |   |   | R/W        |        |        |        |        |        |
|       |               |      |   |   | 0          | 0      | 0      | 0      | 0      | 0      |
|       |               |      |   |   | DMA2 起動ベクタ |        |        |        |        |        |
| DMA3V | DMA3<br>起動ベクタ | 103H |   |   | DMA3V5     | DMA3V4 | DMA3V3 | DMA3V2 | DMA3V1 | DMA3V0 |
|       |               |      |   |   | R/W        |        |        |        |        |        |
|       |               |      |   |   | 0          | 0      | 0      | 0      | 0      | 0      |
|       |               |      |   |   | DMA3 起動ベクタ |        |        |        |        |        |
| DMA4V | DMA4<br>起動ベクタ | 104H |   |   | DMA4V5     | DMA4V4 | DMA4V3 | DMA4V2 | DMA4V1 | DMA4V0 |
|       |               |      |   |   | R/W        |        |        |        |        |        |
|       |               |      |   |   | 0          | 0      | 0      | 0      | 0      | 0      |
|       |               |      |   |   | DMA4 起動ベクタ |        |        |        |        |        |
| DMA5V | DMA5<br>起動ベクタ | 105H |   |   | DMA5V5     | DMA5V4 | DMA5V3 | DMA5V2 | DMA5V1 | DMA5V0 |
|       |               |      |   |   | R/W        |        |        |        |        |        |
|       |               |      |   |   | 0          | 0      | 0      | 0      | 0      | 0      |
|       |               |      |   |   | DMA5 起動ベクタ |        |        |        |        |        |
| DMA6V | DMA6<br>起動ベクタ | 106H |   |   | DMA6V5     | DMA6V4 | DMA6V3 | DMA6V2 | DMA6V1 | DMA6V0 |
|       |               |      |   |   | R/W        |        |        |        |        |        |
|       |               |      |   |   | 0          | 0      | 0      | 0      | 0      | 0      |
|       |               |      |   |   | DMA6 起動ベクタ |        |        |        |        |        |
| DMA7V | DMA7<br>起動ベクタ | 107H |   |   | DMA7V5     | DMA7V4 | DMA7V3 | DMA7V2 | DMA7V1 | DMA7V0 |
|       |               |      |   |   | R/W        |        |        |        |        |        |
|       |               |      |   |   | 0          | 0      | 0      | 0      | 0      | 0      |
|       |               |      |   |   | DMA7 起動ベクタ |        |        |        |        |        |

(6) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行なうことにより、1 回のマイクロ DMA 起動で転送カウンタレジスタが 0 になるまで、連続転送が可能です。下記に示す DMAB レジスタのマイクロ DMA チャンネルに対応するビットを“1”にすることで、バースト指定できます。

| 記号   | 名称          | アドレス | 7              | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|------|-------------|------|----------------|-------|-------|-------|-------|-------|-------|-------|
| DMAB | DMA<br>バースト | 108H | DBST7          | DBST6 | DBST5 | DBST4 | DBST3 | DBST2 | DBST1 | DBST0 |
|      |             |      | R/W            |       |       |       |       |       |       |       |
|      |             |      | 0              | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
|      |             |      | 1: DMA のバースト要求 |       |       |       |       |       |       |       |

## (7) 注意事項

本 CPU は、命令実行ユニットとバスインタフェースユニットが分かれています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令(注)を実行するということがあり得ます。この場合、CPU は要因消滅ベクタ “0004H” を読み込み、アドレス FFFF04H の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、D I 命令の後にクリアする命令を置くようにしてください。

また、再び割り込みイネーブルに設定する場合は、EI 命令を実行してください。なお、EI 命令はクリア命令後、3 命令 (例: “NOP” が 3 回) 以上行われた後に実行してください。クリア命令後、すぐに EI 命令を実行すると、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、割り込み要求レベルを 0 に変化させるときは、対応する割り込み要求を INTCLR 命令にてクリアしてから、割り込み要求レベルを 0 に変更するようにしてください。

割り込みマスクレジスタ <IFF2:0> を変更する場合は、POP SR 命令を実行してください。なお、割り込みディセーブルにする場合は、POP SR 命令の前に DI 命令を実行してください。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

|              |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |
|--------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| INT0 のレベルモード | <p>エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更 (エッジ → レベル) を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。</p> <p>INT0 を “0” から “1” にすることによって、CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を “1” のままにしておく必要があります。また、INT0 のレベルモードをホルトの解除に使用する場合も、一度 “0” から “1” にした場合は、ホルトが解除されるまで必ず “1” に保持しておく必要があります (ノイズによって途中で “0” が入ることがないようにしてください)。</p> <p>レベルモードからエッジモードへ切り替えたとき、そのレベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。</p> <pre> DI LD (IIMC), 00H    ; レベルからエッジへ切り替える LD (INTCLR), 0AH; INT0 割り込み要求フラグをクリア NOP                ; EI の実行待ち NOP                ; NOP                ; EI </pre> |
| INTRX        | <p>割り込み要求用フリップフロップをクリアするには、リセット動作またはシリアルチャネルの受信バッファをリードする必要があります。INTCLR レジスタライトによるクリアはできません。</p>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令  
レベルモードでの割り込み要求発生後の端子入力変化 (“H” → “L”)

INTRX: 受信バッファをリードする命令

### 3.5 ポート機能

TMP92C820 には 合計 126 ビットの入出力ポートがあります。

これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表 3.5.1 ポート機能に各ポート端子の機能を、表 3.5.3 I/Oポート設定一覧表に各端子の設定方法を示します。

表 3.5.1 ポート機能 (1/2)

(R: PU = プログラマブルプルアップ抵抗付き, U = プルアップ抵抗付き)

| ポート名  | ピン名称    | ピン数 | 方向   | R | 方向設定単位 | 内蔵機能用ピン名称                  |
|-------|---------|-----|------|---|--------|----------------------------|
| ポート 1 | P10~P17 | 8   | 入出力  | — | ビット    | D8~D15                     |
| ポート 2 | P20~P27 | 8   | 入出力  | — | ビット    | D16~D23                    |
| ポート 3 | P30~P37 | 8   | 入出力  | — | ビット    | D24~D31                    |
| ポート 4 | P40~P47 | 8   | 入出力* | — | ビット*   | A0~A7                      |
| ポート 5 | P50~P57 | 8   | 入出力* | — | ビット*   | A8~A15                     |
| ポート 6 | P60~P67 | 8   | 入出力* | — | ビット*   | A16~A23                    |
| ポート 7 | P70     | 1   | 出力   | — | (固定)   | RD                         |
|       | P71     | 1   | 出力   | — | (固定)   | WRLL                       |
|       | P72     | 1   | 出力   | — | (固定)   | WRLU                       |
|       | P73     | 1   | 出力   | — | (固定)   | WRUL                       |
|       | P74     | 1   | 出力   | — | (固定)   | WRUU                       |
|       | P75     | 1   | 出力   | — | (固定)   | R/W                        |
|       | P76     | 1   | 入出力  | — | ビット    | WAIT                       |
| ポート 8 | P80     | 1   | 出力   | — | (固定)   | CS0, SDCSH                 |
|       | P81     | 1   | 出力   | — | (固定)   | CS1, SDCSL                 |
|       | P82     | 1   | 出力   | — | (固定)   | CS2, CS2A                  |
|       | P83     | 1   | 出力   | — | (固定)   | CS3                        |
|       | P84     | 1   | 出力   | — | (固定)   | EA24, CS2B                 |
|       | P85     | 1   | 出力   | — | (固定)   | EA25, CS2C                 |
|       | P86     | 1   | 出力   | — | (固定)   | CS2D                       |
|       | P87     | 1   | 出力   | — | (固定)   | SDCLK                      |
| ポート 9 | P90     | 1   | 入出力  | — | ビット    | SCK                        |
|       | P91     | 1   | 入出力  | — | ビット    | SO, SDA                    |
|       | P92     | 1   | 入出力  | — | ビット    | SI, SCL                    |
|       | P93     | 1   | 入出力  | — | ビット    | CS2E                       |
|       | P94     | 1   | 入出力  | — | ビット    | CS2F                       |
|       | P95     | 1   | 入出力  | — | ビット    | CS2G, TXD2                 |
|       | P96     | 1   | 入出力  | — | ビット    | CSEX $\overline{A}$ , RXD2 |
| ポート A | PA0~PA7 | 8   | 入力   | U | (固定)   | KI0~KI7                    |
| ポート C | PC0     | 1   | 入出力  | — | ビット    | TA0IN                      |
|       | PC1     | 1   | 入出力  | — | ビット    | INT1, TA1OUT               |
|       | PC3     | 1   | 入出力  | — | ビット    | INT0                       |
|       | PC5     | 1   | 入出力  | — | ビット    | INT2, TA3OUT               |
|       | PC6     | 1   | 入出力  | — | ビット    | INT3, TB0OUT0              |
| ポート F | PF0     | 1   | 入出力  | — | ビット    | TXD0                       |
|       | PF1     | 1   | 入出力  | — | ビット    | RXD0                       |
|       | PF2     | 1   | 入出力  | — | ビット    | SCLK0, CTS0                |
|       | PF3     | 1   | 入出力  | — | ビット    | TXD1                       |
|       | PF4     | 1   | 入出力  | — | ビット    | RXD1                       |
|       | PF5     | 1   | 入出力  | — | ビット    | SCLK1, CTS1                |

\*: 機能を汎用入出力ポートで使用时は、ビット単位で入出力の指定が可能です。同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。

残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

表 3.5.2 ポート機能 (2/2)

(R: PU = プログラマブルプルアップ抵抗付き, U = プルアップ抵抗付き)

| ポート名  | ピン名称    | ピン数 | 方向  | R | 方向設定単位 | 内蔵機能用ピン名称            |
|-------|---------|-----|-----|---|--------|----------------------|
| ポート G | PG0~PG4 | 5   | 入力  | — | (固定)   | AN0~AN4, ADTRG (PG3) |
| ポート J | PJ0     | 1   | 出力  | — | (固定)   | SDRAS                |
|       | PJ1     | 1   | 出力  | — | (固定)   | SDCAS                |
|       | PJ2     | 1   | 出力  | — | (固定)   | SDWE, SRWR           |
|       | PJ3     | 1   | 出力  | — | (固定)   | SDLLDQM, SRLLB       |
|       | PJ4     | 1   | 出力  | — | (固定)   | SDLUDQM, SRLUB       |
|       | PJ5     | 1   | 出力  | — | (固定)   | SDULDQM, SRULB       |
|       | PJ6     | 1   | 出力  | — | (固定)   | SDUUDQM, SRUUB       |
|       | PJ7     | 1   | 出力  | — | (固定)   | SDCKE                |
| ポート K | PK0     | 1   | 出力  | — | (固定)   | D1BSCP               |
|       | PK1     | 1   | 出力  | — | (固定)   | D2BLP                |
|       | PK2     | 1   | 出力  | — | (固定)   | D3BFR                |
|       | PK3     | 1   | 出力  | — | (固定)   | DLEBCD               |
|       | PK4     | 1   | 出力  | — | (固定)   | DOFFB                |
|       | PK6     | 1   | 出力  | — | (固定)   | ALARM, MLDALM        |
| ポート L | PL0~PL7 | 8   | 入出力 | — | ビット    | LD0~LD7              |

表 3.5.3 I/O ポート設定一覧表 (1/3)

| ポート   | 端子名     | 仕様                   | I/O レジスタ設定値 |      |      |       |       |
|-------|---------|----------------------|-------------|------|------|-------|-------|
|       |         |                      | Pn          | PnCR | PnFC | PnFC2 | PnODE |
| ポート 1 | P10~P17 | 入力ポート                | X           | 0    | 0    | なし    | なし    |
|       |         | 出力ポート                | X           | 1    |      |       |       |
|       |         | D8~D15 バス            | X           | X    |      |       |       |
| ポート 2 | P20~P27 | 入力ポート                | X           | 0    | 0    | なし    | なし    |
|       |         | 出力ポート                | X           | 1    |      |       |       |
|       |         | D16~D23 バス           | X           | X    |      |       |       |
| ポート 3 | P30~P37 | 入力ポート                | X           | 0    | 0    | なし    | なし    |
|       |         | 出力ポート                | X           | 1    |      |       |       |
|       |         | D24~D31 バス           | X           | X    |      |       |       |
| ポート 4 | P40~P47 | 入力ポート*               | X           | 0*   | 0    | なし    | なし    |
|       |         | 出力ポート*               | X           | 1*   |      |       |       |
|       |         | A0~A7 出力             | X           | 0    |      |       |       |
| ポート 5 | P50~P57 | 入力ポート*               | X           | 0*   | 0    | なし    | なし    |
|       |         | 出力ポート*               | X           | 1*   |      |       |       |
|       |         | A8~A15 出力            | X           | 0    |      |       |       |
| ポート 6 | P60~P67 | 入力ポート*               | X           | 0*   | 0    | なし    | なし    |
|       |         | 出力ポート*               | X           | 1*   |      |       |       |
|       |         | A16~A23 出力           | X           | 0    |      |       |       |
| ポート 7 | P70~P75 | 出力ポート                | X           | なし   | 0    | なし    | なし    |
|       | P70     | $\overline{RD}$ 出力   | X           | なし   | 1    |       |       |
|       | P71     | $\overline{WRL}$ 出力  |             |      |      |       |       |
|       | P72     | $\overline{WRLU}$ 出力 |             |      |      |       |       |
|       | P73     | $\overline{WRUL}$ 出力 |             |      |      |       |       |
|       | P74     | $\overline{WRUU}$ 出力 |             |      |      |       |       |
|       | P75     | R/ $\overline{W}$ 出力 |             |      |      |       |       |
|       | P76     | 入力ポート                | X           | 0    | 0    |       |       |
|       |         | 出力ポート                | X           | 1    | 0    |       |       |
|       | WAIT 入力 | X                    | 0           | 1    |      |       |       |
| ポート 8 | P80~P87 | 出力ポート                | X           | なし   | 0    | 0     | なし    |
|       | P80     | $\overline{CS0}$ 出力  | X           |      | 1    | 0     |       |
|       | P81     | $\overline{CS1}$ 出力  | X           |      | 1    | 0     |       |
|       |         | SDCS 出力              | X           |      | X    | 1     |       |
|       | P82     | $\overline{CS2}$ 出力  | X           |      | 1    | 0     |       |
|       |         | $\overline{CS2A}$ 出力 | X           |      | X    | 1     |       |
|       | P83     | $\overline{CS3}$ 出力  | X           |      | 1    | 0     |       |
|       | P84     | EA24 出力              | X           |      | 1    | 0     |       |
|       |         | $\overline{CS2B}$ 出力 | X           |      | X    | 1     |       |
|       | P85     | EA25 出力              | X           |      | 1    | 0     |       |
|       |         | $\overline{CS2C}$ 出力 | X           |      | X    | 1     |       |
|       | P86     | $\overline{CS2D}$ 出力 | X           |      | X    | 1     |       |
|       | P87     | SDCLK 出力             | X           |      | 1    | 0     |       |

X: Don't care

\*: 機能を汎用入出力ポートで使用时は、ビット単位で入出力の指定が可能です。同一ポート内で1ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。

残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

表 3.5.4 I/O ポート設定一覧表 (2/3)

| ポート   | 端子名                       | 仕様                | I/O レジスタ設定値 |      |      |       |       |
|-------|---------------------------|-------------------|-------------|------|------|-------|-------|
|       |                           |                   | Pn          | PnCR | PnFC | PnFC2 | PnODE |
| ポート 9 | P90~P96                   | 入力ポート             | X           | 0    | 0    | なし    | 0     |
|       |                           | 出力ポート             | X           | 1    | 0    |       | 0     |
|       | P90                       | SCK 入力            | X           | 0    | 0    |       | 0     |
|       |                           | SCK 出力            | X           | X    | 1    |       | 0/1   |
|       | P91                       | SO 出力             | X           | 1    | 1    |       | 0/1   |
|       |                           | SDA               | X           | X    | 1    |       | 1     |
|       | P92                       | SI 入力             | X           | 0    | 0    |       | 0     |
|       |                           | SCL               | X           | X    | 1    |       | 1     |
|       | P93                       | CS2E 出力           | X           | 1    | 1    |       | X     |
|       | P94                       | CS2F 出力           | X           | 1    | 1    |       | X     |
|       | P95                       | CS2G 出力           | X           | 1    | 1    |       | X     |
|       |                           | TXD2 出力           | X           | 0    | 1    |       | 0     |
|       |                           | TXD2 (オープンドレイン)   | X           | 0    | 1    |       | 1     |
|       | P96                       | CSEX $\bar{A}$ 出力 | X           | 1    | 1    |       | X     |
|       |                           | RXD2 入力           | X           | 0    | 1    |       | X     |
| ポート A | PA0~PA7                   | 入力ポート             | X           | なし   | 0    | なし    | なし    |
|       |                           | KI0~KI7 入力        | X           |      | 1    |       |       |
| ポート C | PC0, PC1, PC3<br>PC5, PC6 | 入力ポート             | X           | 0    | 0    | なし    | なし    |
|       |                           | 出力ポート             | X           | 1    | 0    |       |       |
|       | PC0                       | TA0IN 入力          | X           | X    | 1    |       |       |
|       | PC1                       | TA1OUT 出力         | X           | 1    | 1    |       |       |
|       |                           | INT1 入力           | 0           | 0    | 1    |       |       |
|       | PC3                       | INT0 入力           | X           | 0    | 1    |       |       |
|       | PC5                       | INT2 入力           | 0           | 0    | 1    |       |       |
|       |                           | TA3OUT            | 1           | 1    | 1    |       |       |
|       | PC6                       | INT3 入力           | 0           | 0    | 1    |       |       |
|       |                           | TB0OUT0           | 1           | 1    | 1    |       |       |
| ポート F | PF0~PF5                   | 入力ポート             | X           | 0    | 0    | なし    | なし    |
|       |                           | 出力ポート             | X           | 1    | 0    |       |       |
|       | PF0                       | TXD0              | 1           | 0    | 1    |       |       |
|       |                           | TXD0 (オープンドレイン)   | 1           | 1    | 1    |       |       |
|       | PF1                       | RXD0 入力           | X           | 0    | なし   |       |       |
|       | PF2                       | SCLK0 入力/出力       | 1           | 0/1  | 1    |       |       |
|       |                           | CTS0 入力           | 1           | 0    | 1    |       |       |
|       | PF3                       | TXD1              | 1           | 0    | 1    |       |       |
|       |                           | TXD1 (オープンドレイン)   | 1           | 1    | 1    |       |       |
|       | PF4                       | RXD1 入力           | X           | 0    | なし   |       |       |
| ポート G | PG0~PG4                   | 入力ポート             | X           | なし   | なし   | なし    | なし    |
|       |                           | AN0~AN4 入力        | X           |      |      |       |       |
|       | PG3                       | ADTRG 入力          | X           |      |      |       |       |
|       |                           |                   | X           |      |      |       |       |

X: Don't care

表 3.5.5 I/O ポート設定一覧表 (3/3)

| ポート   | 端子名     | 仕様         | I/O レジスタ設定値 |      |      |       |       |
|-------|---------|------------|-------------|------|------|-------|-------|
|       |         |            | Pn          | PnCR | PnFC | PnFC2 | PnODE |
| ポート J | PJ0~PJ7 | 出力ポート      | X           | なし   | 0    | 0     | なし    |
|       | PJ0     | SDRAS 出力   | X           |      | 1    | 0     |       |
|       | PJ1     | SDCAS 出力   | X           |      | 1    | 0     |       |
|       | PJ2     | SDWE 出力    | X           |      | 1    | 0     |       |
|       |         | SRWR 出力    | X           |      | X    | 1     |       |
|       | PJ3     | SDLLDQM 出力 | X           |      | 1    | 0     |       |
|       |         | SRLLB 出力   | X           |      | X    | 1     |       |
|       | PJ4     | SDLUDQM 出力 | X           |      | 1    | 0     |       |
|       |         | SRLUB 出力   | X           |      | X    | 1     |       |
|       | PJ5     | SDULDQM 出力 | X           |      | 1    | 0     |       |
|       |         | SRULB 出力   | X           |      | X    | 1     |       |
|       | PJ6     | SDUUDQM 出力 | X           |      | 1    | 0     |       |
|       |         | SRUUB 出力   | X           |      | X    | 1     |       |
|       | PJ7     | SDCKE 出力   | X           |      | 1    | 0     |       |
| ポート K | PK0~PK6 | 出力ポート      | X           | なし   | 0    | なし    | なし    |
|       | PK0     | D1BSCP 出力  | X           |      | 1    |       |       |
|       | PK1     | D2BLP 出力   | X           |      | 1    |       |       |
|       | PK2     | D3BFR 出力   | X           |      | 1    |       |       |
|       | PK3     | DLEBCD 出力  | X           |      | 1    |       |       |
|       | PK4     | DOFFB 出力   | X           |      | 1    |       |       |
|       | PK6     | ALARM 出力   | 1           |      | 1    |       |       |
|       |         | MLDALM 出力  | 0           |      | 1    |       |       |
| ポート L | PL0~PL7 | 入力ポート      | X           | 0    | 0    | なし    | なし    |
|       |         | 出力ポート      | X           | 1    | 0    |       |       |
|       |         | LD0~LD7 出力 | X           | X    | 1    |       |       |

X: Don't care

リセット後、以下に示された端子は汎用入出力ポート端子として機能します。入力/出力の両方に設定できる入出力端子は入力端子にリセットされます。内蔵された機能を利用する場合はすべてソフトウェアで処理する必要があります。

### 3.5.1 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ **P1CR** およびファンクションレジスタ **P1FC** によって行います。汎用入出力ポート機能以外には、データバス (D8~D15) 機能があります。

また、以下に示す **AM1** と **AM0** 端子の組合せにより、リセット解除後、デバイスはポート 1 を下記機能端子に設定します。

| AM1 | AM0 | リセット後の機能設定     |
|-----|-----|----------------|
| 0   | 0   | 設定禁止           |
| 0   | 1   | データバス (D8~D15) |
| 1   | 0   | データバス (D8~D15) |
| 1   | 1   | 設定禁止           |

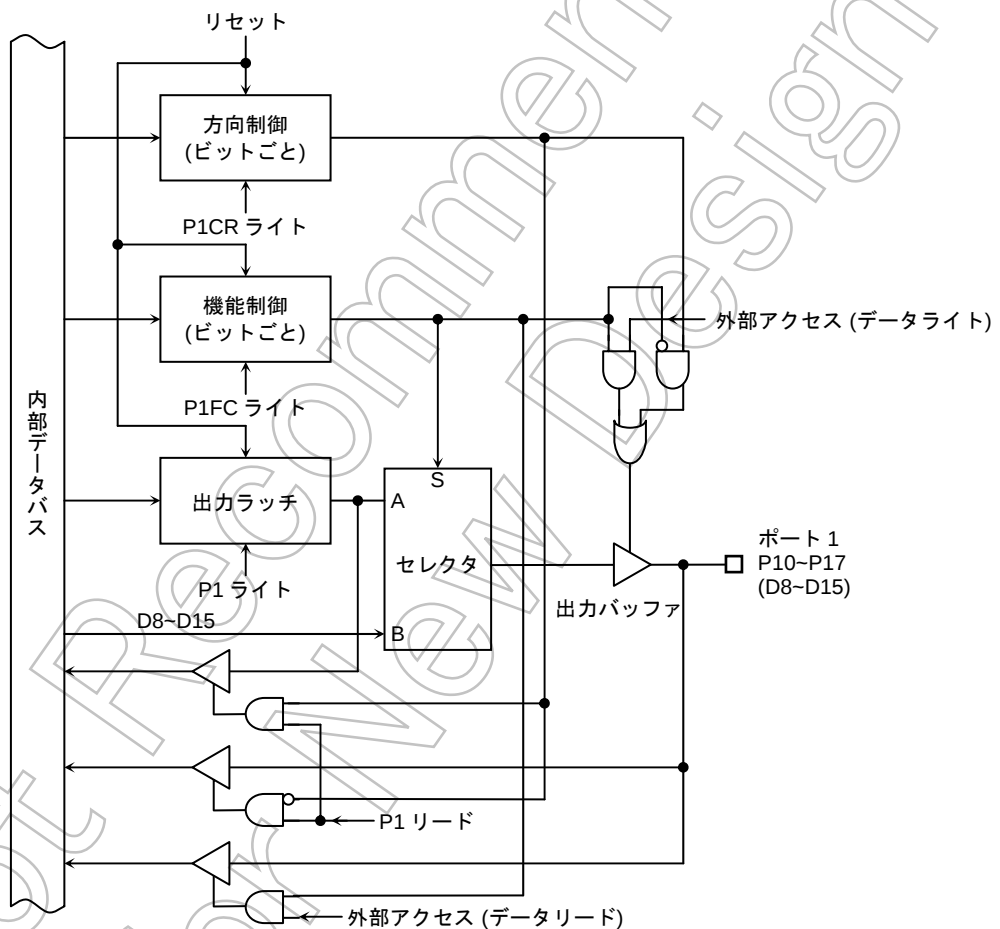


図 3.5.1 ポート 1

ポート 1 レジスタ

P1  
(0004H)

|            | 7                                  | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | P17                                | P16 | P15 | P14 | P13 | P12 | P11 | P10 |
| Read/Write | R/W                                |     |     |     |     |     |     |     |
| リセット後      | 外部端子データ (出力ラッチレジスタは "0" にクリアされます。) |     |     |     |     |     |     |     |

ポート 1 コントロールレジスタ

P1CR  
(0006H)

|            | 7            | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|--------------|------|------|------|------|------|------|------|
| Bit symbol | P17C         | P16C | P15C | P14C | P13C | P12C | P11C | P10C |
| Read/Write | W            |      |      |      |      |      |      |      |
| リセット後      | 0            | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | ポート 1 機能設定参照 |      |      |      |      |      |      |      |

ポート 1 ファンクションレジスタ

P1FC  
(0007H)

|            | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0            |
|------------|---|---|---|---|---|---|---|--------------|
| Bit symbol |   |   |   |   |   |   |   | P1F          |
| Read/Write |   |   |   |   |   |   |   | W            |
| リセット後      |   |   |   |   |   |   |   | 1            |
| 機 能        |   |   |   |   |   |   |   | ポート 1 機能設定参照 |

ポート 1 機能設定

- 注1) P1CR, P1FC はリードモディファイライトできません。  
 注2) <P1XC> は P1CR レジスタの X ビットを示します。

| P1FC<P1xF><br>P1CR<P1XC> | 0     | 1                 |
|--------------------------|-------|-------------------|
| 0                        | 入力ポート | データバス<br>(D8~D15) |
| 1                        | 出力ポート |                   |

図 3.5.2 ポート 1 関係のレジスタ

### 3.5.2 ポート 2 (P20~P27)

ポート 2 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ **P2CR** およびファンクションレジスタ **P2FC** によって行います。汎用入出力ポート機能以外には、データバス (D16~D23) 機能があります。

また以下に示す **AM1** と **AM0** 端子の組合せにより、リセット解除後、デバイスはポート 2 を下記機能端子に設定します。

| AM1 | AM0 | リセット後の機能設定      |
|-----|-----|-----------------|
| 0   | 0   | 設定禁止            |
| 0   | 1   | 入力ポート           |
| 1   | 0   | データバス (D16~D23) |
| 1   | 1   | 設定禁止            |

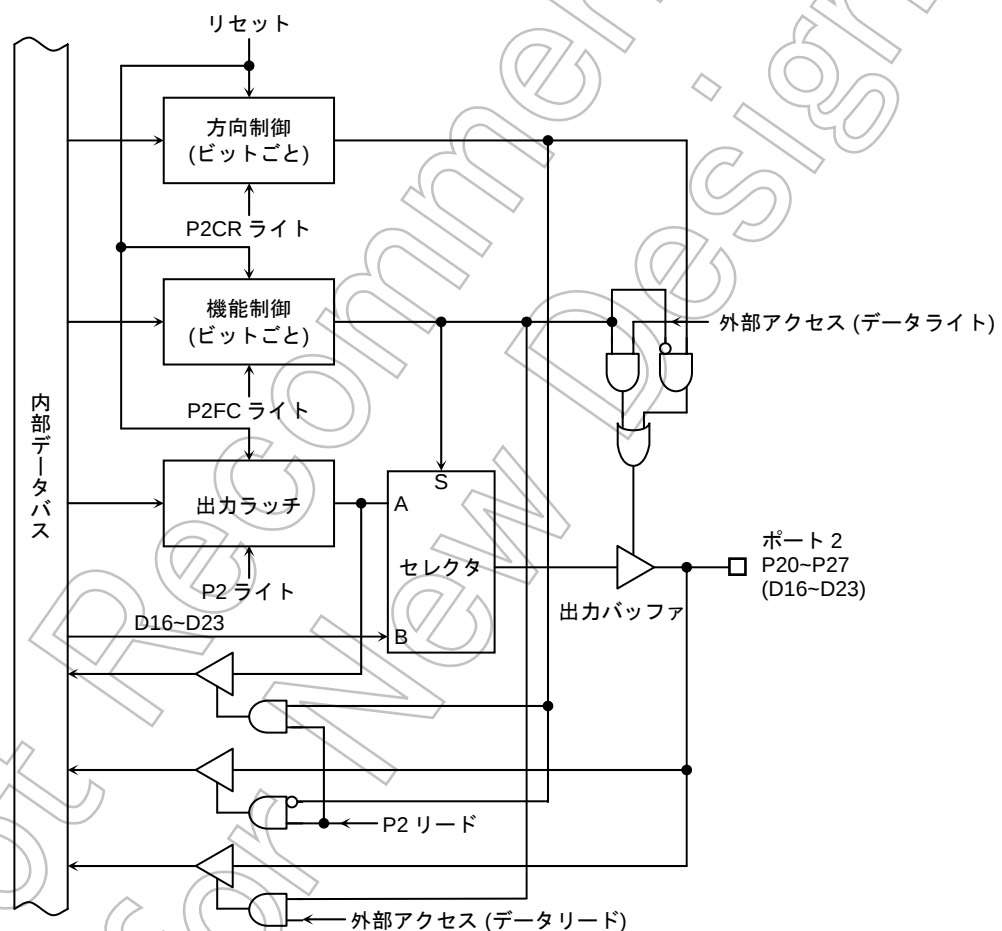


図 3.5.3 ポート 2

## ポート 2 レジスタ

P2  
(0008H)

|            | 7                                  | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | P27                                | P26 | P25 | P24 | P23 | P22 | P21 | P20 |
| Read/Write | R/W                                |     |     |     |     |     |     |     |
| リセット後      | 外部端子データ (出力ラッチレジスタは "0" にクリアされます。) |     |     |     |     |     |     |     |

## ポート 2 コントロールレジスタ

P2CR  
(000AH)

|            | 7           | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|-------------|------|------|------|------|------|------|------|
| Bit symbol | P27C        | P26C | P25C | P24C | P23C | P22C | P21C | P20C |
| Read/Write | W           |      |      |      |      |      |      |      |
| リセット後      | 0           | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | 0: 入力 1: 出力 |      |      |      |      |      |      |      |

## ポート 2 ファンクションレジスタ

P2FC  
(000BH)

|            | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0                                   |
|------------|---|---|---|---|---|---|---|-------------------------------------|
| Bit symbol |   |   |   |   |   |   |   | P2F                                 |
| Read/Write |   |   |   |   |   |   |   | W                                   |
| リセット後      |   |   |   |   |   |   |   | 0/1 注 2)                            |
| 機 能        |   |   |   |   |   |   |   | 0: ポート<br>1: データ<br>バス<br>(D16~D23) |

注1) P2CR, P2FC はリードモディファイライトできません。

注2) AM 端子の状態によって、リセット後、“0”が“1”に変わります。

注3) &lt;P2XC&gt;は P2CR レジスタの X ビットを示します。

| P2FC<P2xF><br>P2CR<P2xC> | 0     | 1                  |
|--------------------------|-------|--------------------|
| 0                        | 入力ポート | データバス<br>(D16~D23) |
| 1                        | 出力ポート |                    |

図 3.5.4 ポート 2 関係のレジスタ

### 3.5.3 ポート 3 (P30~P37)

ポート 3 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ **P3CR** およびファンクションレジスタ **P3FC** によって行います。汎用入出力ポート機能以外には、データバス (D24~D31) 機能があります。

また以下に示す **AM1** と **AM0** 端子の組合せにより、リセット解除後、デバイスはポート 3 を下記機能端子に設定します。

| AM1 | AM0 | リセット後の機能設定      |
|-----|-----|-----------------|
| 0   | 0   | 設定禁止            |
| 0   | 1   | 入力ポート           |
| 1   | 0   | データバス (D24~D31) |
| 1   | 1   | 設定禁止            |

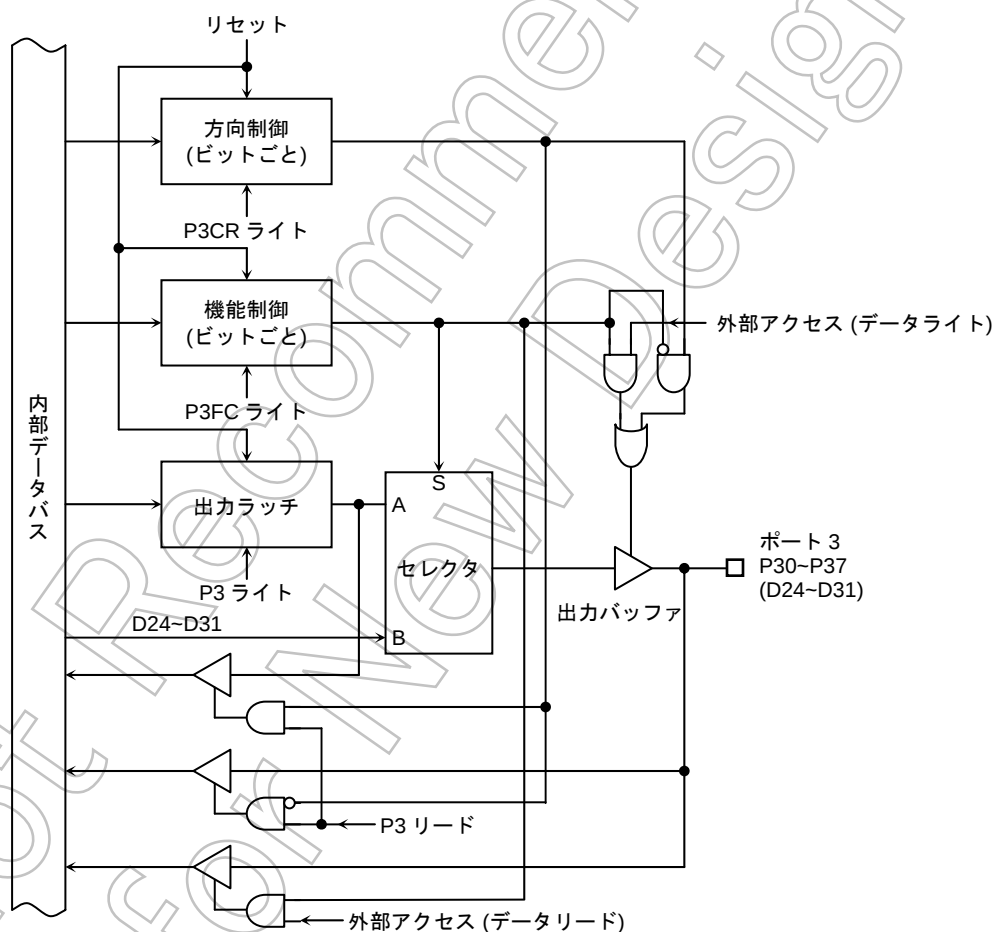


図 3.5.5 ポート 3

## ポート 3 レジスタ

P3  
(000CH)

|            | 7                                  | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | P37                                | P36 | P35 | P34 | P33 | P32 | P31 | P30 |
| Read/Write | R/W                                |     |     |     |     |     |     |     |
| リセット後      | 外部端子データ (出力ラッチレジスタは "0" にクリアされます。) |     |     |     |     |     |     |     |

## ポート 3 コントロールレジスタ

P3CR  
(000EH)

|            | 7           | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|-------------|------|------|------|------|------|------|------|
| Bit symbol | P37C        | P36C | P35C | P34C | P33C | P32C | P31C | P30C |
| Read/Write | W           |      |      |      |      |      |      |      |
| リセット後      | 0           | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | 0: 入力 1: 出力 |      |      |      |      |      |      |      |

## ポート 3 ファンクションレジスタ

P3FC  
(000FH)

|            | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0                                   |
|------------|---|---|---|---|---|---|---|-------------------------------------|
| Bit symbol |   |   |   |   |   |   |   | P3F                                 |
| Read/Write |   |   |   |   |   |   |   | W                                   |
| リセット後      |   |   |   |   |   |   |   | 0/1 注 2)                            |
| 機 能        |   |   |   |   |   |   |   | 0: ポート<br>1: データ<br>バス<br>(D24~D31) |

注1) P3CR, P3FC はリードモディファイライトできません。

注2) AM 端子の状態によって、リセット後、“0”が“1”に変わります。

注3) &lt;P3XC&gt;は P3CR レジスタの X ビットを示します。

| P3FC<P3xF><br>P3CR<P3xC> | 0     | 1                  |
|--------------------------|-------|--------------------|
| 0                        | 入力ポート | データバス<br>(D24~D31) |
| 1                        | 出力ポート |                    |

図 3.5.6 ポート 3 関係のレジスタ

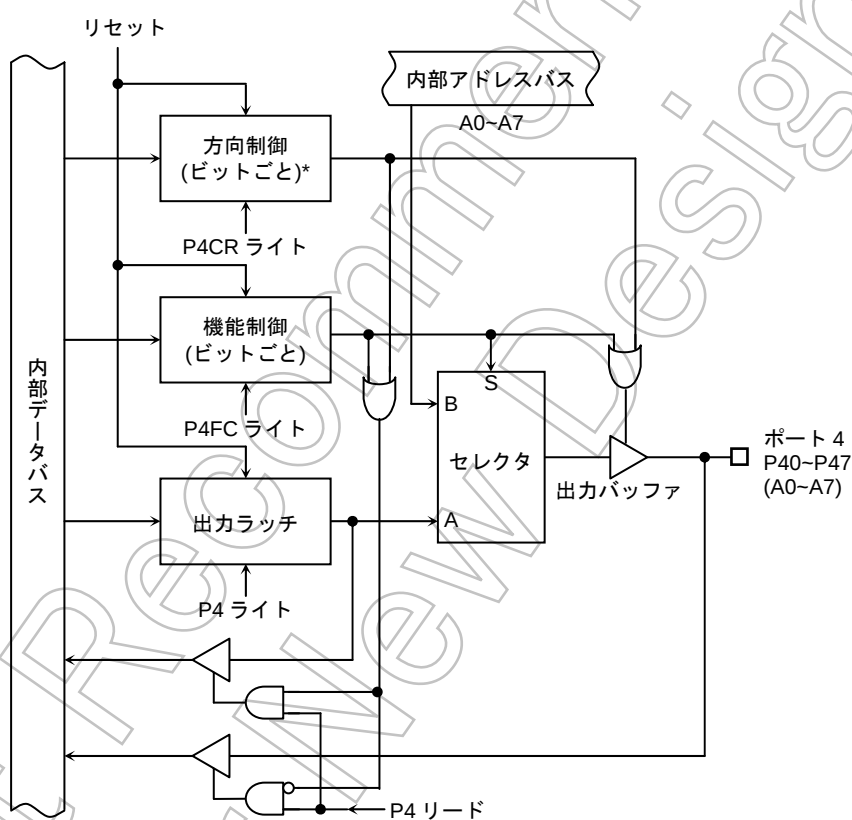
### 3.5.4 ポート 4 (P40~P47)

ポート 4 は、ビット単位で入出力の指定ができる\*8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P4CR およびファンクションレジスタ P4FC によって行います。汎用入出力ポート機能以外には、アドレスバス (A0~A7) 機能があります。

また以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、デバイスはポート 4 を下記機能端子に設定します。

| AM1 | AM0 | リセット後の機能設定     |
|-----|-----|----------------|
| 0   | 0   | 設定禁止           |
| 0   | 1   | アドレスバス (A0~A7) |
| 1   | 0   | アドレスバス (A0~A7) |
| 1   | 1   | 設定禁止           |



\*: 機能を汎用入出力ポートで使用する時は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。  
残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.7 ポート 4

ポート 4 レジスタ

P4  
(0010H)

|            | 7                                  | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | P47                                | P46 | P45 | P44 | P43 | P42 | P41 | P40 |
| Read/Write | R/W                                |     |     |     |     |     |     |     |
| リセット後      | 外部端子データ (出力ラッチレジスタは "0" にクリアされます。) |     |     |     |     |     |     |     |

ポート 4 コントロールレジスタ

P4CR  
(0012H)

|            | 7                 | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|-------------------|------|------|------|------|------|------|------|
| Bit symbol | P47C              | P46C | P45C | P44C | P43C | P42C | P41C | P40C |
| Read/Write | W                 |      |      |      |      |      |      |      |
| リセット後      | 0                 | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | 0: 入力 1: 出力 (注 2) |      |      |      |      |      |      |      |

ポート 4 ファンクションレジスタ

P4FC  
(0013H)

|            | 7                              | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|--------------------------------|------|------|------|------|------|------|------|
| Bit symbol | P47F                           | P46F | P45F | P44F | P43F | P42F | P41F | P40F |
| Read/Write | W                              |      |      |      |      |      |      |      |
| リセット後      | 1                              | 1    | 1    | 1    | 1    | 1    | 1    | 1    |
| 機 能        | 0: ポート 1: アドレスバス (A0-A7) (注 2) |      |      |      |      |      |      |      |

注1) P4CR, P4FC はリードモディファイライトできません。

注2) 機能を汎用入出力ポートで使用する時は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.8 ポート 4 関係のレジスタ

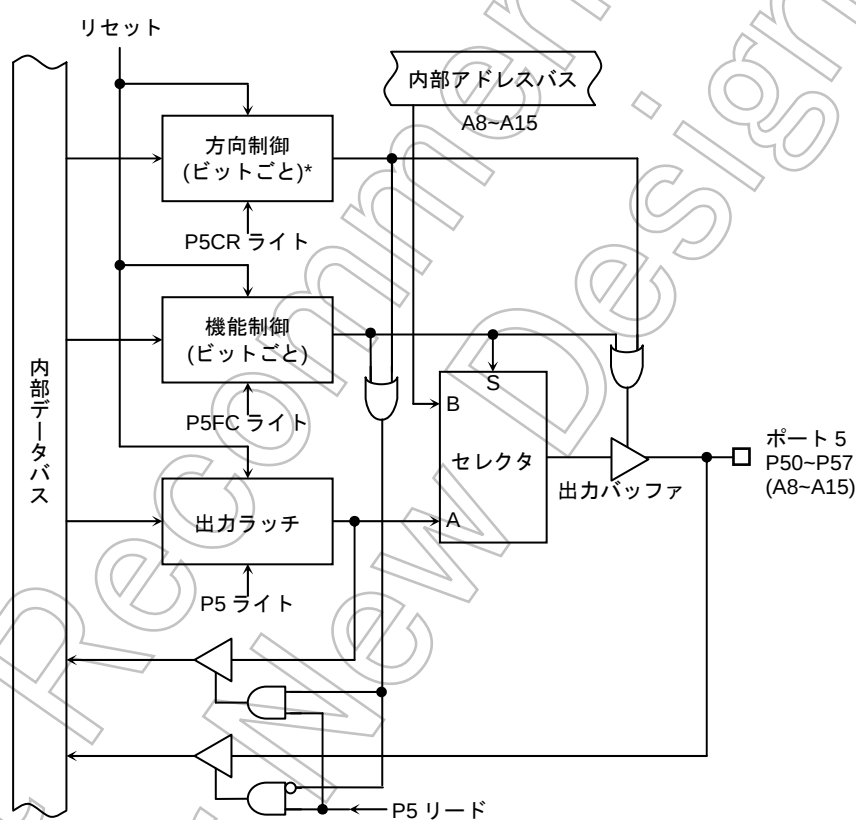
### 3.5.5 ポート 5 (P50~P57)

ポート 5 は、ビット単位で入出力の指定ができる\*8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ **P5CR** およびファンクションレジスタ **P5FC** によって行います。汎用入出力ポート機能以外には、アドレスバス (A8~A15) 機能があります。

また以下に示す **AM1** と **AM0** 端子の組合せにより、リセット解除後、デバイスはポート 5 を下記機能端子に設定します。

| AM1 | AM0 | リセット後の機能設定      |
|-----|-----|-----------------|
| 0   | 0   | 設定禁止            |
| 0   | 1   | アドレスバス (A8~A15) |
| 1   | 0   | アドレスバス (A8~A15) |
| 1   | 1   | 設定禁止            |



\*: 機能を汎用入出力ポートで使用时は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。  
残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.9 ポート 5

ポート 5 レジスタ

P5  
(0014H)

|            | 7                                  | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | P57                                | P56 | P55 | P54 | P53 | P52 | P51 | P50 |
| Read/Write | R/W                                |     |     |     |     |     |     |     |
| リセット後      | 外部端子データ (出力ラッチレジスタは "0" にクリアされます。) |     |     |     |     |     |     |     |

ポート 5 コントロールレジスタ

P5CR  
(0016H)

|            | 7                 | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|-------------------|------|------|------|------|------|------|------|
| Bit symbol | P57C              | P56C | P55C | P54C | P53C | P52C | P51C | P50C |
| Read/Write | W                 |      |      |      |      |      |      |      |
| リセット後      | 0                 | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | 0: 入力 1: 出力 (注 2) |      |      |      |      |      |      |      |

ポート 5 ファンクションレジスタ

P5FC  
(0017H)

|            | 7                               | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|---------------------------------|------|------|------|------|------|------|------|
| Bit symbol | P57F                            | P56F | P55F | P54F | P53F | P52F | P51F | P50F |
| Read/Write | W                               |      |      |      |      |      |      |      |
| リセット後      | 1                               | 1    | 1    | 1    | 1    | 1    | 1    | 1    |
| 機 能        | 0: ポート 1: アドレスバス (A8~A15) (注 2) |      |      |      |      |      |      |      |

注1) P5CR, P5FC はリードモディファイライトできません。

注2) 機能を汎用入出力ポートで使用する時は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.10 ポート 5 関係のレジスタ

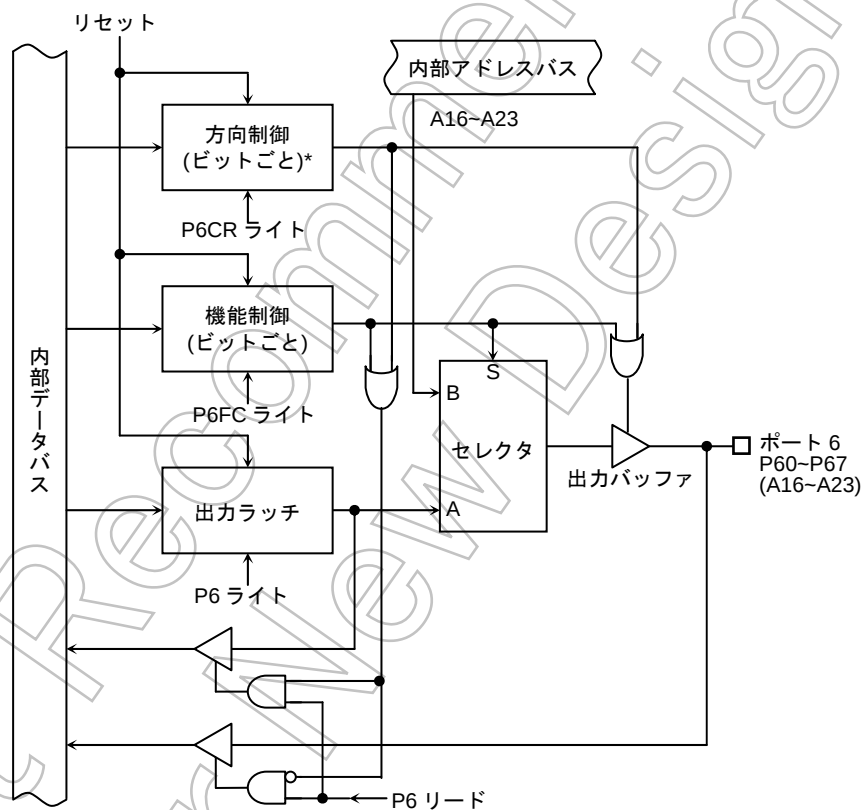
### 3.5.6 ポート 6 (P60~P67)

ポート 6 は、ビット単位で入出力の指定ができる\*8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ **P6CR** およびファンクションレジスタ **P6FC** によって行います。汎用入出力ポート機能以外には、アドレスバス (A16~A23) 機能があります。

また、以下に示す **AM1** と **AM0** 端子の組合せにより、リセット解除後、デバイスはポート 6 を下記機能端子に設定します。

| AM1 | AM0 | リセット後の機能設定       |
|-----|-----|------------------|
| 0   | 0   | 設定禁止             |
| 0   | 1   | アドレスバス (A16~A23) |
| 1   | 0   | アドレスバス (A16~A23) |
| 1   | 1   | 設定禁止             |



\*: 機能を汎用入出力ポートで使用する時は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。  
残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.11 ポート 6

| ポート 6 レジスタ    |            |                                    |     |     |     |     |     |     |     |
|---------------|------------|------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| P6<br>(0018H) |            | 7                                  | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|               | Bit symbol | P67                                | P66 | P65 | P64 | P63 | P62 | P61 | P60 |
|               | Read/Write | R/W                                |     |     |     |     |     |     |     |
|               | リセット後      | 外部端子データ (出力ラッチレジスタは “0” にクリアされます。) |     |     |     |     |     |     |     |

| ポート 6 コントロールレジスタ |            |                   |      |      |      |      |      |      |      |
|------------------|------------|-------------------|------|------|------|------|------|------|------|
| P6CR<br>(001AH)  |            | 7                 | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|                  | Bit symbol | P67C              | P66C | P65C | P64C | P63C | P62C | P61C | P60C |
|                  | Read/Write | W                 |      |      |      |      |      |      |      |
|                  | リセット後      | 0                 | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|                  | 機 能        | 0: 入力 1: 出力 (注 2) |      |      |      |      |      |      |      |

| ポート 6 ファンクションレジスタ |            |                                  |      |      |      |      |      |      |      |
|-------------------|------------|----------------------------------|------|------|------|------|------|------|------|
| P6FC<br>(001BH)   |            | 7                                | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|                   | Bit symbol | P67F                             | P66F | P65F | P64F | P63F | P62F | P61F | P60F |
|                   | Read/Write | W                                |      |      |      |      |      |      |      |
|                   | リセット後      | 1                                | 1    | 1    | 1    | 1    | 1    | 1    | 1    |
|                   | 機 能        | 0: ポート 1: アドレスバス (A16~A23) (注 2) |      |      |      |      |      |      |      |

注1) P6CR, P6FC はリードモディファイライトできません。

注2) 機能を汎用入出力ポートで使用时は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.12 ポート 6 関係のレジスタ

### 3.5.7 ポート 7 (P70~P76)

ポート 7 は、7 ビットの汎用入出力ポートです (P70 から P75 端子は出力のみ)。

ビットごとの入出力の指定は、コントロールレジスタ P7CR およびファンクションレジスタ P7FC によって行います。

また汎用入出力ポート機能以外には、CPU 制御端子の機能があります。P70 から P75 端子は、外部メモリ接続用としての RD/WR ストローブ信号出力端子の機能があります。P76 端子は、ウェイト入力端子の機能があります。リセット後、P70 から P75 端子は出力モード、P76 端子は入力モードとなります。

| AM1 | AM0 | リセット後の機能設定                |
|-----|-----|---------------------------|
| 0   | 0   | 設定禁止                      |
| 0   | 1   | $\overline{\text{RD}}$ 端子 |
| 1   | 0   | $\overline{\text{RD}}$ 端子 |
| 1   | 1   | 設定禁止                      |

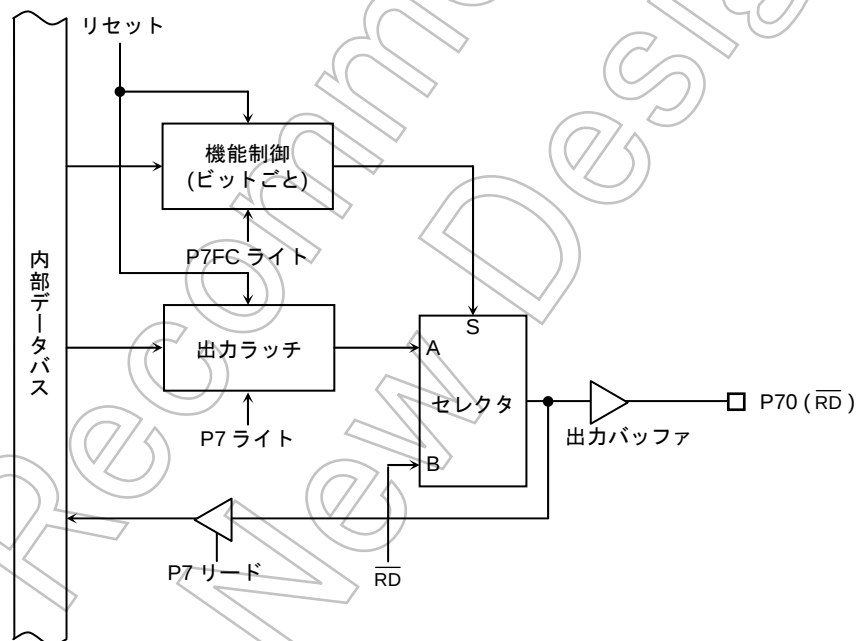


図 3.5.13 ポート 7 (P70)

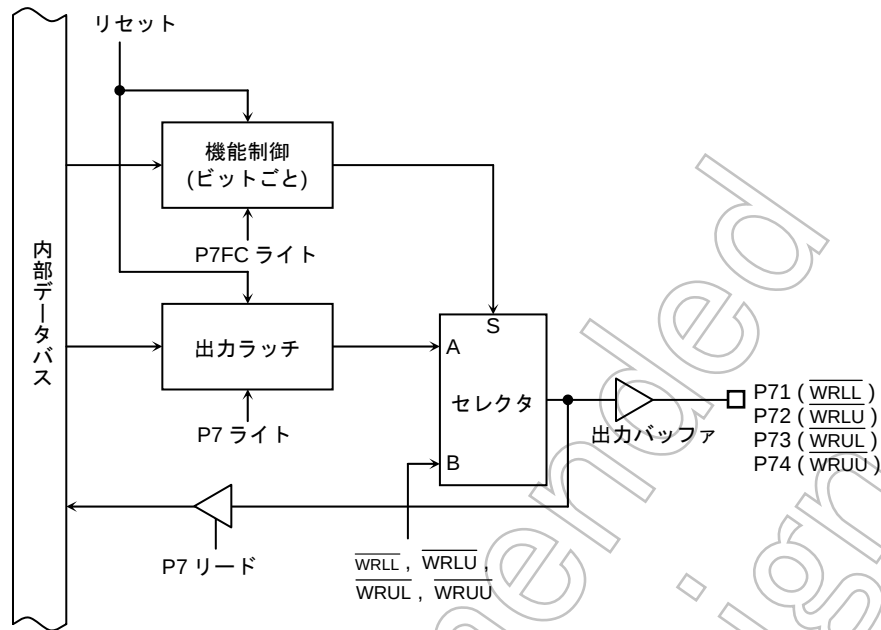


図 3.5.14 ポート 7(P71~P74)

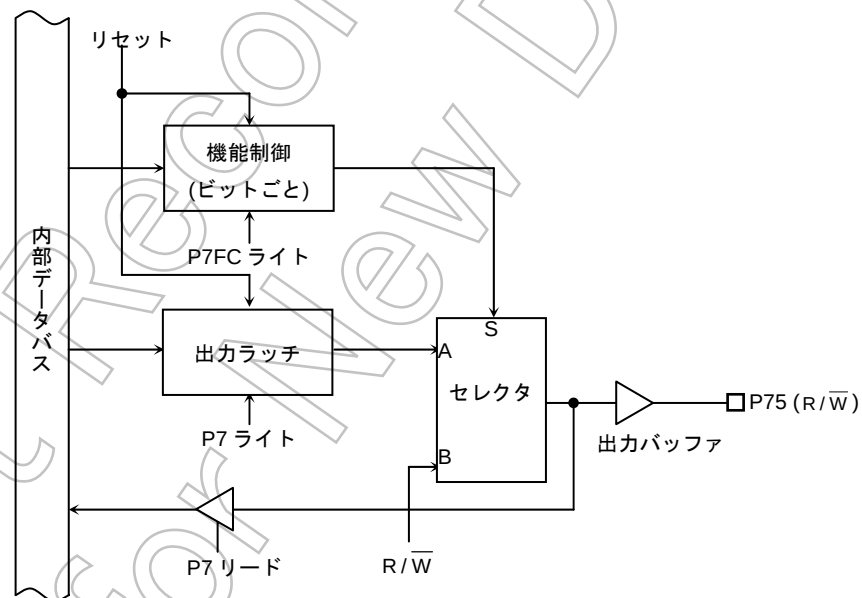


図 3.5.15 ポート 7(P75)

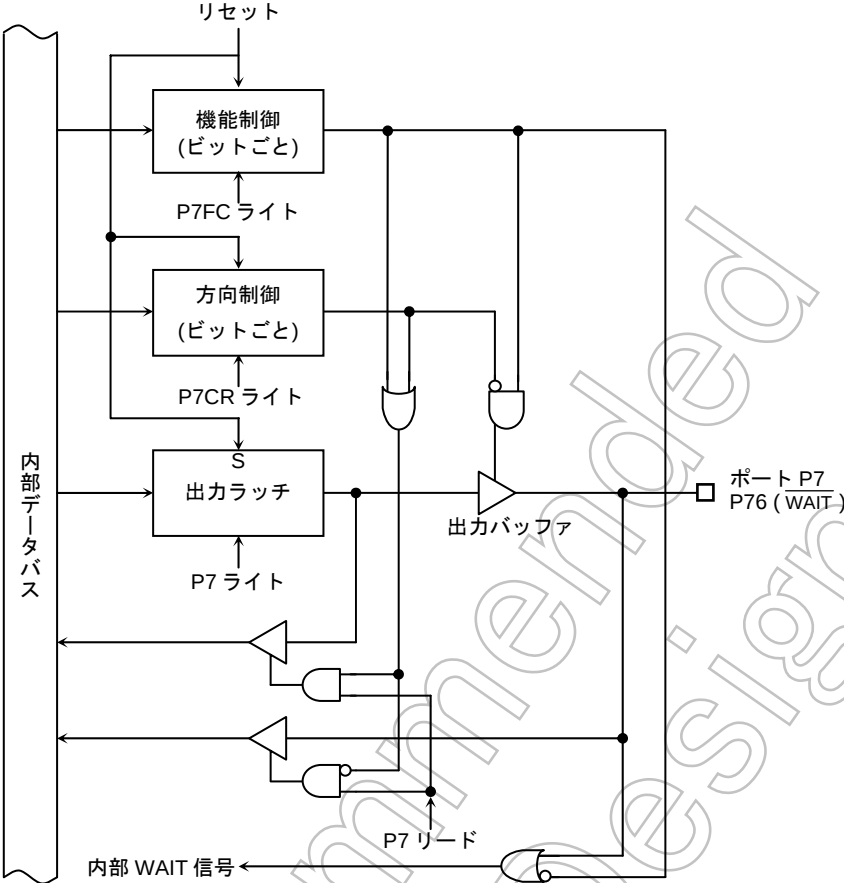


図 3.5.16 ポート 7(P76)

ポート 7 レジスタ

P7  
(001CH)

|            | 7 | 6               | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|---|-----------------|-----|-----|-----|-----|-----|-----|
| Bit symbol |   | P76             | P75 | P74 | P73 | P72 | P71 | P70 |
| Read/Write |   | R/W             |     |     |     |     |     |     |
| リセット後      |   | 外部端子<br>データ (注) | 1   | 1   | 1   | 1   | 1   | 1   |

注) 出力ラッチレジスタは“0”にクリアされます。

ポート 7 コントロールレジスタ

P7CR  
(001EH)

|            | 7 | 6              | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|---|----------------|---|---|---|---|---|---|
| Bit symbol |   | P76C           |   |   |   |   |   |   |
| Read/Write |   | W              |   |   |   |   |   |   |
| リセット後      |   | 0              |   |   |   |   |   |   |
| 機 能        |   | 0: 入力<br>1: 出力 |   |   |   |   |   |   |

ポート 7 ファンクションレジスタ

P7FC  
(001FH)

|            | 7 | 6                 | 5                | 4                 | 3                 | 2                 | 1                 | 0               |
|------------|---|-------------------|------------------|-------------------|-------------------|-------------------|-------------------|-----------------|
| Bit symbol |   | P76F              | P75F             | P74F              | P73F              | P72F              | P71F              | P70F            |
| Read/Write |   | W                 |                  |                   |                   |                   |                   |                 |
| リセット後      |   | 0                 | 0                | 0                 | 0                 | 0                 | 0                 | 1               |
| 機 能        |   | 0: ポート<br>1: WAIT | 0: ポート<br>1: R/W | 0: ポート<br>1: WRUU | 0: ポート<br>1: WRUL | 0: ポート<br>1: WRLU | 0: ポート<br>1: WRLL | 0: ポート<br>1: RD |

注) P7CR, P7FC はリードモディファイライトできません。

図 3.5.17 ポート 7 関係のレジスタ

### 3.5.8 ポート 8 (P80~P87)

ポート 8 は、8 ビットの出力ポートです。リセット動作により、P82 ラッチは “0” にクリアされ、P80~P81 と P83~P87 の出力ラッチは “1” にセットされます。

出力ポート機能以外には、標準チップセレクト信号出力 ( $\overline{CS0} \sim \overline{CS3}$ )、拡張アドレス出力 (EA24, EA25)、拡張チップセレクト信号出力 ( $\overline{CS2A}$ ,  $\overline{CS2B}$ ,  $\overline{CS2C}$ ,  $\overline{CS2D}$ )、SDRAM 制御信号出力 ( $\overline{SDCSL}$ ,  $\overline{SDCSH}$ ,  $\overline{SDCLK}$ ) などの機能があります。これらの機能は P8FC, P8FC2 レジスタの当該ビットに “1” を設定することで動作します。リセットにより P8FC, P8FC2 の全ビットは “0” にクリアされ、出力ポートモードになります。

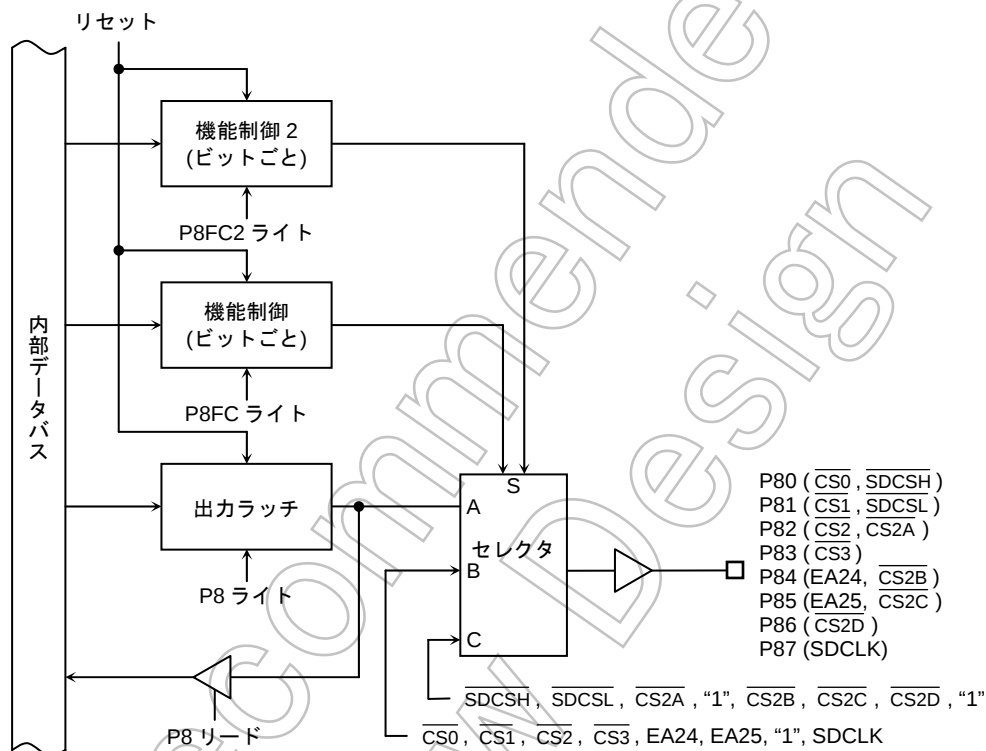


図 3.5.18 ポート 8

ポート 8 レジスタ

P8  
(0020H)

|            | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|-----|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | P87 | P86 | P85 | P84 | P83 | P82 | P81 | P80 |
| Read/Write | R/W |     |     |     |     |     |     |     |
| リセット後      | 1   | 1   | 1   | 1   | 1   | 0   | 1   | 1   |

ポート 8 ファンクションレジスタ

P8FC  
(0023H)

|            | 7                  | 6                       | 5                 | 4                 | 3                | 2                | 1                | 0                |
|------------|--------------------|-------------------------|-------------------|-------------------|------------------|------------------|------------------|------------------|
| Bit symbol | P87F               | –                       | P85F              | P84F              | P83F             | P82F             | P81F             | P80F             |
| Read/Write | W                  |                         |                   |                   |                  |                  |                  |                  |
| リセット後      | 1                  | 0                       | 0                 | 0                 | 0                | 0                | 0                | 0                |
| 機 能        | 0: ポート<br>1: SDCLK | “0” をライ<br>トしてくだ<br>さい。 | 0: ポート<br>1: EA25 | 0: ポート<br>1: EA24 | 0: ポート<br>1: CS3 | 0: ポート<br>1: CS2 | 0: ポート<br>1: CS1 | 0: ポート<br>1: CS0 |

ポート 8 ファンクションレジスタ 2

P8FC2  
(0021H)

|            | 7                       | 6                    | 5                    | 4                    | 3                       | 2                    | 1                     | 0                     |
|------------|-------------------------|----------------------|----------------------|----------------------|-------------------------|----------------------|-----------------------|-----------------------|
| Bit symbol | –                       | P86F2                | P85F2                | P84F2                | –                       | P82F2                | P81F2                 | P80F2                 |
| Read/Write | W                       |                      |                      |                      |                         |                      |                       |                       |
| リセット後      | 0                       | 0                    | 0                    | 0                    | 0                       | 0                    | 0                     | 0                     |
| 機 能        | “0” をライ<br>トしてくだ<br>さい。 | 0: <P86F><br>1: CS2D | 0: <P85F><br>1: CS2C | 0: <P84F><br>1: CS2B | “0” をライ<br>トしてくだ<br>さい。 | 0: <P82F><br>1: CS2A | 0: <P81F><br>1: SDCSL | 0: <P80F><br>1: SDCSH |

注) P8FC, P8FC2 はリードモディファイライトできません。

図 3.5.19 ポート 8 関係のレジスタ

### 3.5.9 ポート 9 (P90~P96)

ポート 9 は、ビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。リセット動作により入力ポートとなり、また、出力ラッチの全ビットは“1”へセットされます。

入出力ポート以外には、以下の機能があります。

1. シリアルバスインタフェースの入出力機能 (SCK, SO/SDA, SI/SCL)

2. 拡張チップセレクト出力機能 ( $\overline{CS2F}$ ,  $\overline{CS2G}$ ,  $\overline{CSEXA}$ )

これらの機能は、ポート 9 ファンクションレジスタ P9FC の該当ビットへの設定により、各ファンクションが可能となります。リセット動作により、P9CR, P9FC の各レジスタの値は“0”にリセットされ、全ビットが入力ポートとなります。

#### (1) ポート 90 (SCK), ポート 91 (SO, SDA), ポート 92 (SI, SCL)

ポート 90~92 は汎用入出力ポートです。それ以外には、SCK (SIO モード時のクロック信号)、SO (SIO モード時のデータ出力信号)、SDA (I<sup>2</sup>C バスモード時のデータ信号)、SI (SIO モード時のデータ入力信号)、SCL (I<sup>2</sup>C バスモード時のクロック信号) としての機能を持っています。

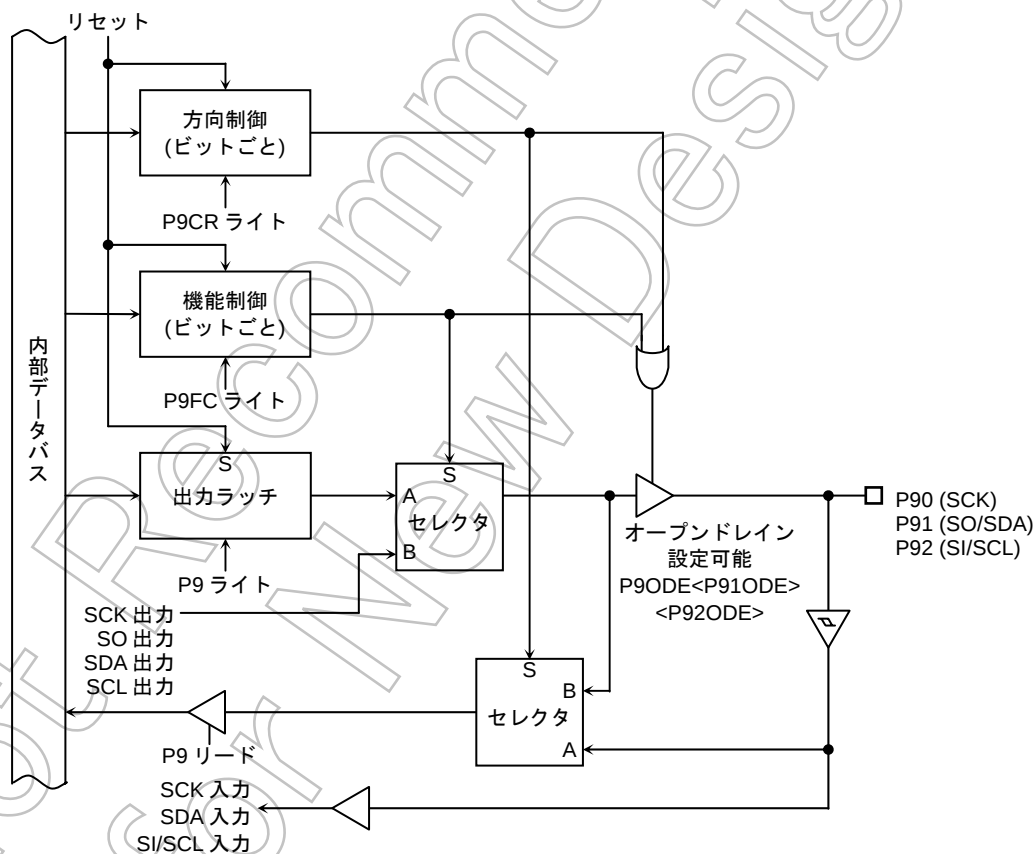


図 3.5.20 ポート 9 (P90~P92)

(2) ポート 93 ( $\overline{\text{CS2E}}$ ), 94 ( $\overline{\text{CS2F}}$ ), 95 (TXD2,  $\overline{\text{CS2G}}$ ), 96 (RXD2,  $\overline{\text{CSEXA}}$ )

ポート 93~96 は汎用入出力ポートです。それ以外には、拡張チップセレクト出力機能を持っています。

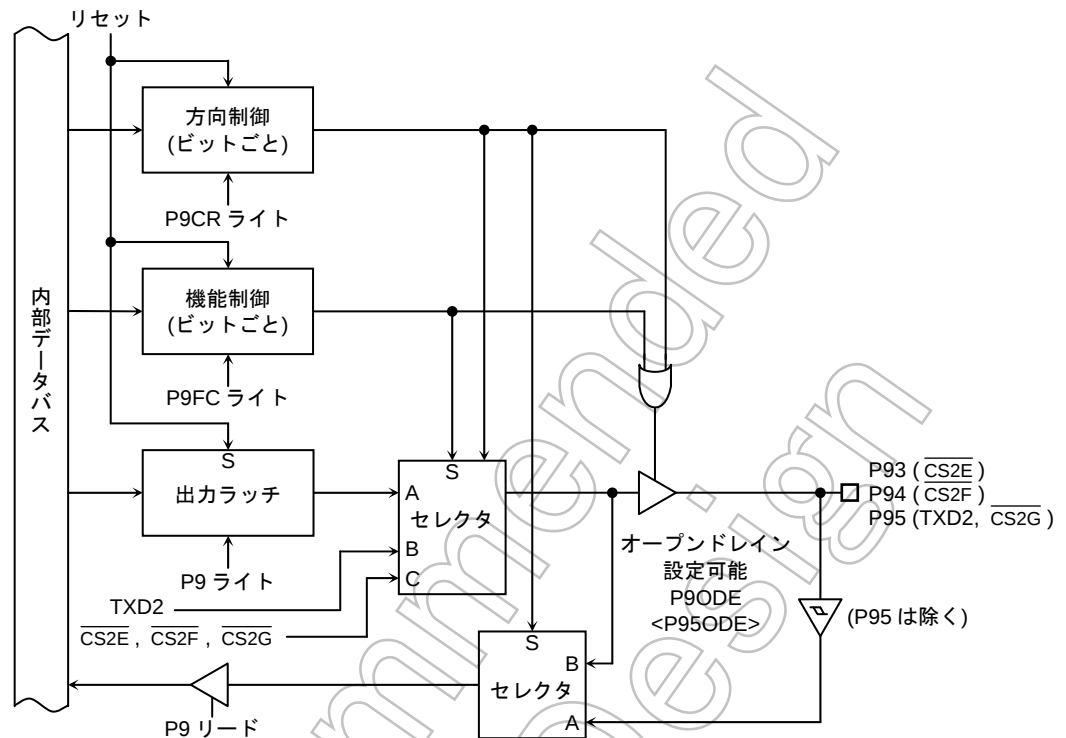


図 3.5.21 ポート 9 (P93~P95)

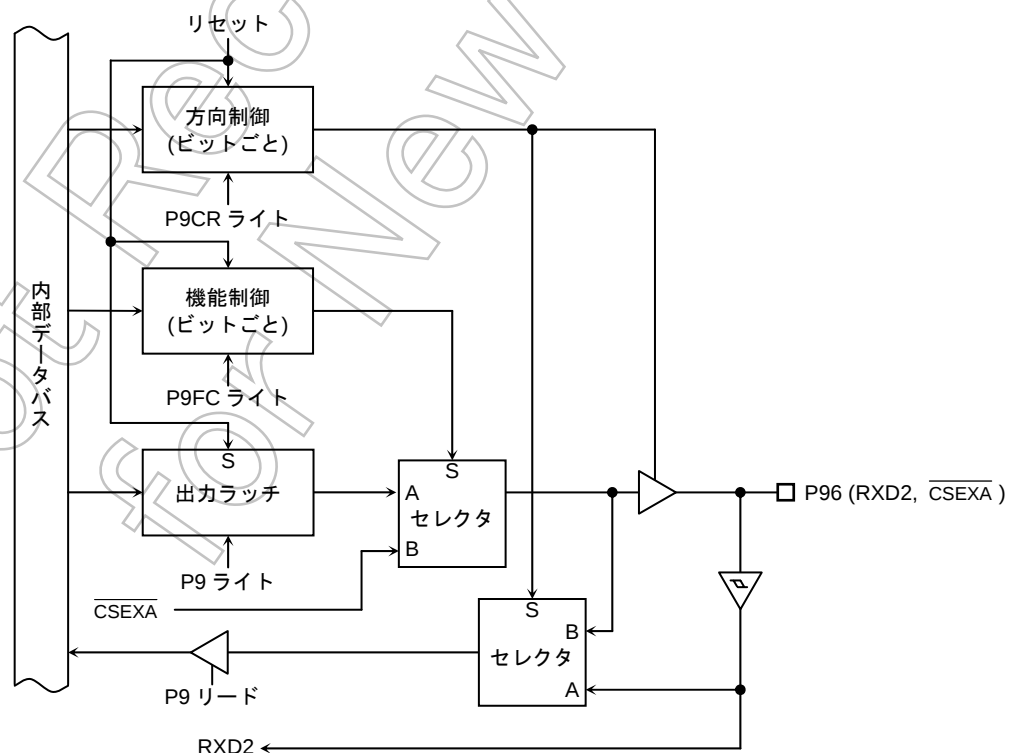


図 3.5.22 ポート 9 (P96)

ポート 9 レジスタ

P9  
(0024H)

|            | 7 | 6                                | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|---|----------------------------------|-----|-----|-----|-----|-----|-----|
| Bit symbol |   | P96                              | P95 | P94 | P93 | P92 | P91 | P90 |
| Read/Write |   | R/W                              |     |     |     |     |     |     |
| リセット後      |   | 外部端子データ (出力ラッチレジスタは“1”にセットされます。) |     |     |     |     |     |     |

ポート 9 コントロールレジスタ

P9CR  
(0026H)

|            | 7 | 6           | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|---|-------------|------|------|------|------|------|------|
| Bit symbol |   | P96C        | P95C | P94C | P93C | P92C | P91C | P90C |
| Read/Write |   | W           |      |      |      |      |      |      |
| リセット後      |   | 0           | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        |   | 0: 入力 1: 出力 |      |      |      |      |      |      |

ポート 9 ファンクションレジスタ

P9FC  
(0027H)

|            | 7 | 6                           | 5                          | 4                 | 3                 | 2                         | 1                    | 0                                      |
|------------|---|-----------------------------|----------------------------|-------------------|-------------------|---------------------------|----------------------|----------------------------------------|
| Bit symbol |   | P96F                        | P95F                       | P94F              | P93F              | P92F                      | P91F                 | P90F                                   |
| Read/Write |   | W                           |                            |                   |                   |                           |                      |                                        |
| リセット後      |   | 0                           | 0                          | 0                 | 0                 | 0                         | 0                    | 0                                      |
| 機 能        |   | 0: ポート<br>1: RXD2,<br>CSEXA | 0: ポート<br>1: TXD2,<br>CS2G | 0: ポート<br>1: CS2F | 0: ポート<br>1: CS2E | 0: ポート, SI<br>1: SCL 注 2) | 0: ポート<br>1: SO, SDA | 0: ポート,<br>SCK 入力<br>注 2)<br>1: SCK 出力 |

CS2E 設定

| <div>&lt;P93C&gt;<br/>&lt;P93F&gt;</div> | 0          | 1     |
|------------------------------------------|------------|-------|
| 0                                        | 入力ポート      | 出力ポート |
| 1                                        | (Reserved) | CS2E  |

CS2F 設定

| <div>&lt;P94C&gt;<br/>&lt;P94F&gt;</div> | 0          | 1                        |
|------------------------------------------|------------|--------------------------|
| 0                                        | 入力ポート      | 出力ポート                    |
| 1                                        | (Reserved) | $\overline{\text{CS2F}}$ |

TXD2/CS2G 設定

| <div>&lt;P95C&gt;<br/>&lt;P95F&gt;</div> | 0     | 1                        |
|------------------------------------------|-------|--------------------------|
| 0                                        | 入力ポート | 出力ポート                    |
| 1                                        | TXD2  | $\overline{\text{CS2G}}$ |

ポート 9 ODE レジスタ

P9ODE  
(0025H)

|            | 7 | 6 | 5                             | 4                  | 3                  | 2                             | 1                             | 0 |
|------------|---|---|-------------------------------|--------------------|--------------------|-------------------------------|-------------------------------|---|
| Bit symbol |   |   | P95ODE                        | —                  | —                  | P92ODE                        | P91ODE                        |   |
| Read/Write |   |   | W                             |                    |                    |                               |                               |   |
| リセット後      |   |   | 0                             | 0                  | 0                  | 0                             | 0                             |   |
| 機 能        |   |   | 0: 3-STATE<br>1: オープン<br>ドレイン | “0”をライト<br>してください。 | “0”をライト<br>してください。 | 0: 3-STATE<br>1: オープン<br>ドレイン | 0: 3-STATE<br>1: オープン<br>ドレイン |   |

注 1) P9CR, P9FC, P9ODE はリードモディファイライトできません。

注 2) SI および SCK 入力機能を使用する場合は、ファンクションをポートに設定して使用してください。

図 3.5.23 ポート 9 関係のレジスタ

## 3.5.10 ポート A (PA0~PA7)

ポート A は、8 ビットのプルアップ抵抗付き汎用入力ポートです。入力ポート以外には、キーボードインタフェース端子としての、キーオンウェイクアップ機能があります。この機能は、PAFC レジスタの該当ビットへ“1”を書き込むことにより動作可能となります。

リセット動作により、PAFC の全ビットの値は“0”にリセットされ、全端子が入力ポートとなります。

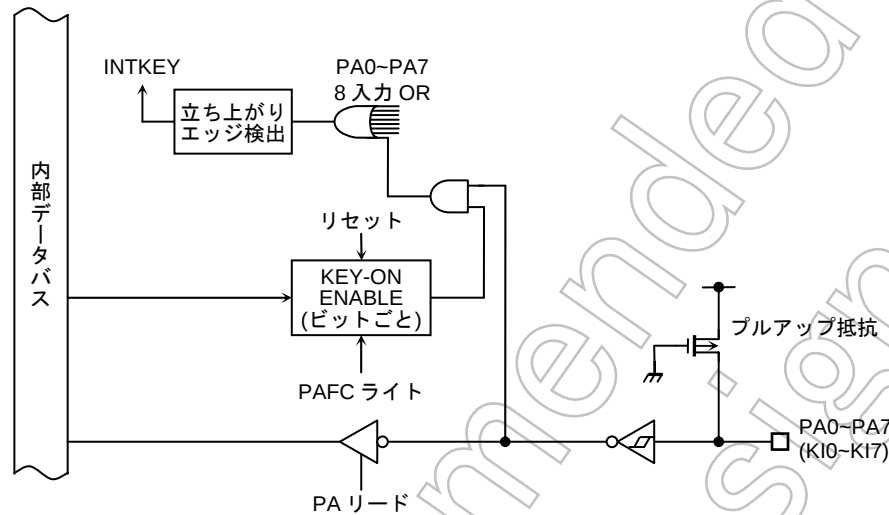


図 3.5.24 ポート A

PAFC = “1” 時に、KI0~KI7 いずれかの端子の状態が立ち下がると、そのエッジを検出して INTKEY 割込みを発生します。INTKEY 割込みは、すべての HALT モード状態を解除可能です。

ポート A レジスタ

PA  
(0028H)

|            | 7       | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|---------|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | PA7     | PA6 | PA5 | PA4 | PA3 | PA2 | PA1 | PA0 |
| Read/Write | R       |     |     |     |     |     |     |     |
| リセット後      | 外部端子データ |     |     |     |     |     |     |     |

ポート A ファンクションレジスタ

PAFC  
(002BH)

|            | 7                         | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|---------------------------|------|------|------|------|------|------|------|
| Bit symbol | PA7F                      | PA6F | PA5F | PA4F | PA3F | PA2F | PA1F | PA0F |
| Read/Write | W                         |      |      |      |      |      |      |      |
| リセット後      | 0                         | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | 0: KEY-IN 禁止 1: KEY-IN 許可 |      |      |      |      |      |      |      |

ポート A の KEY-IN

|   |    |
|---|----|
| 0 | 禁止 |
| 1 | 許可 |

注) PAFC はリードモディファイライトできません。

図 3.5.25 ポート A 関係のレジスタ

### 3.5.11 ポート C (PC0, PC1, PC3, PC5, PC6)

ポート C は、ビット単位で入出力指定ができる 5 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。

入出力ポート機能以外に、ポート C はタイマの入出力端子 (TA0IN, TA1OUT, TA3OUT, TB0OUT0) 機能や、外部割り込み入力端子 (INT0~INT3) 機能を持っています。上記設定は PCCR, PCFC レジスタの該当ビットへ “1” を書き込むことで有効となります。外部割り込みのエッジ選択は、割り込みコントローラ部にある IIMC レジスタにて設定します。リセット動作により PCCR, PCFC レジスタの値は “0” にリセットされ、全端子が入力ポートとなります。

#### (1) PC0 (TA0IN)

入出力ポート機能以外に、ポート PC0 はタイマチャネル 0 の入力端子 TA0IN として機能します。

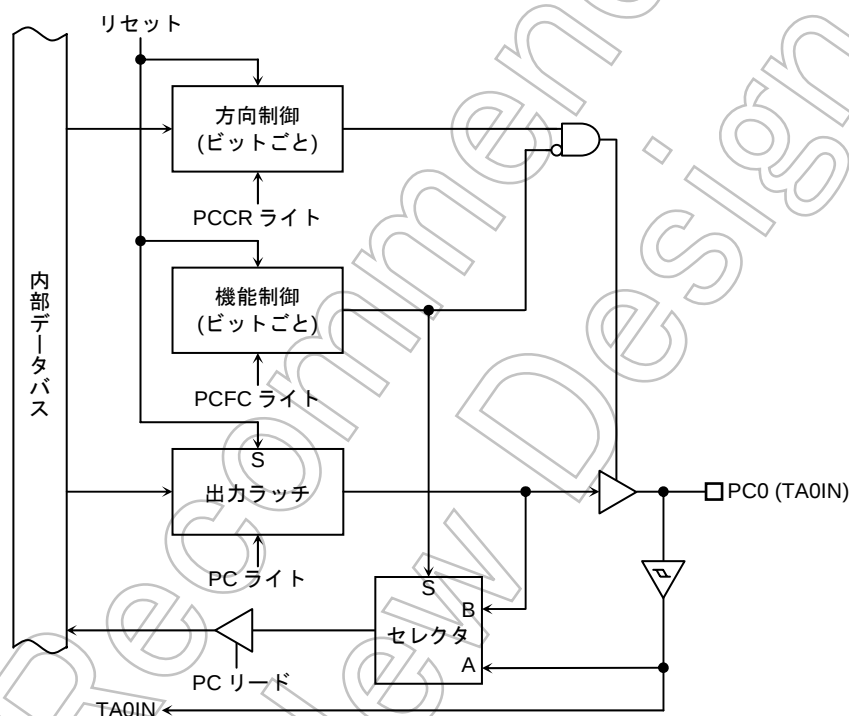


図 3.5.26 ポート C (PC0)

注) 本ポートは出力設定時、設定したデータをリードできません。

(2) PC1 (INT1, TA1OUT)、PC5 (INT2, TA3OUT)、PC6 (INT3, TB0OUT0)

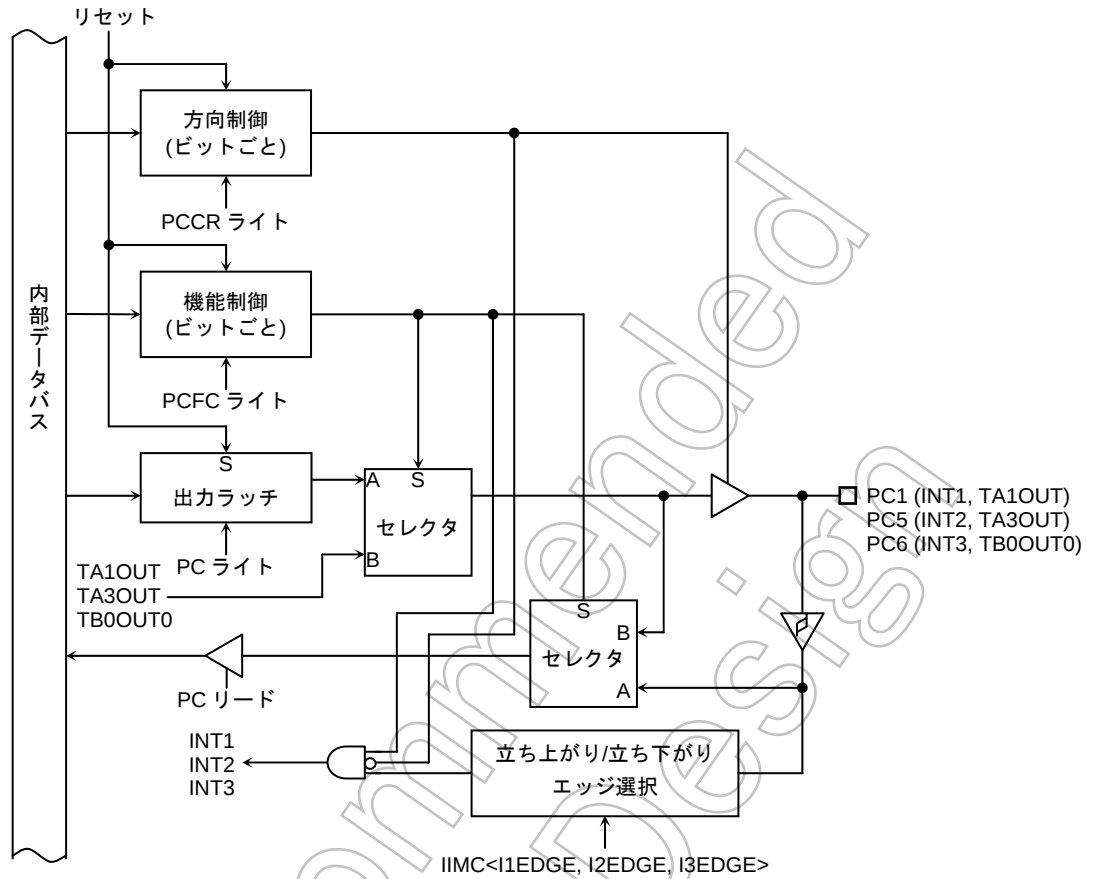


図 3.5.27 ポート C (PC1, PC5, PC6)

注) 本ポートは出力設定時、設定したデータをリードできません。

(3) PC3 (INT0)

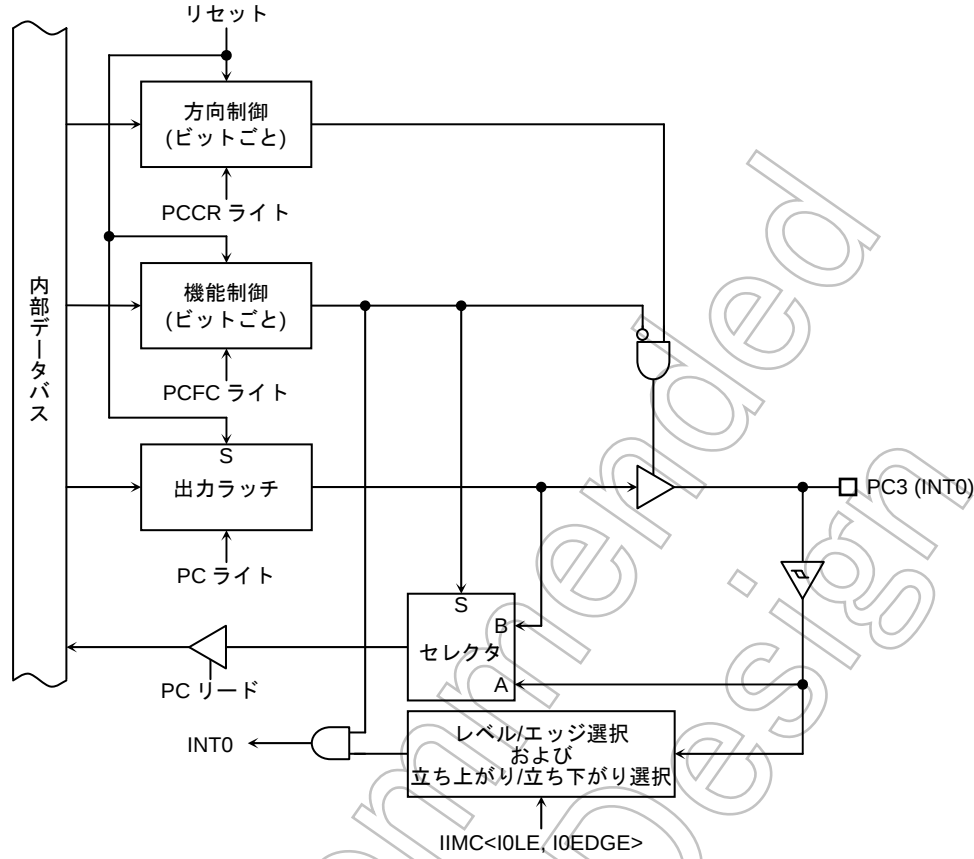


図 3.5.28 ポート C (PC3)

ポート C レジスタ

PC  
(0030H)

|            | 7 | 6                                        | 5   | 4 | 3                                                          | 2 | 1                                        | 0   |
|------------|---|------------------------------------------|-----|---|------------------------------------------------------------|---|------------------------------------------|-----|
| Bit symbol |   | PC6                                      | PC5 |   | PC3                                                        |   | PC1                                      | PC0 |
| Read/Write |   | R/W                                      |     |   | R/W                                                        |   | R/W                                      |     |
| リセット後      |   | 外部端子データ<br>(出力ラッチレジスタは<br>"1" にセットされます。) |     |   | 外部端子<br>データ (出<br>力ラッチ<br>レジスタ<br>は "1" にセ<br>ットされ<br>ます。) |   | 外部端子データ<br>(出力ラッチレジスタは<br>"1" にセットされます。) |     |

ポート C コントロールレジスタ

PCCR  
(0032H)

|            | 7 | 6              | 5    | 4 | 3              | 2 | 1              | 0    |
|------------|---|----------------|------|---|----------------|---|----------------|------|
| Bit symbol |   | PC6C           | PC5C |   | PC3C           |   | PC1C           | PC0C |
| Read/Write |   | W              |      |   | W              |   | W              |      |
| リセット後      |   | 0              | 0    |   | 0              |   | 0              | 0    |
| 機 能        |   | 0: 入力<br>1: 出力 |      |   | 0: 入力<br>1: 出力 |   | 0: 入力<br>1: 出力 |      |

ポート C ファンクションレジスタ

PCFC  
(0033H)

|            | 7 | 6                            | 5                           | 4 | 3                 | 2 | 1                           | 0                  |
|------------|---|------------------------------|-----------------------------|---|-------------------|---|-----------------------------|--------------------|
| Bit symbol |   | PC6F                         | PC5F                        |   | PC3F              |   | PC1F                        | PC0F               |
| Read/Write |   | W                            |                             |   | W                 |   | W                           |                    |
| リセット後      |   | 0                            | 0                           |   | 1                 |   | 0                           | 0                  |
| 機 能        |   | 0: ポート<br>1: INT3<br>TB0OUT0 | 0: ポート<br>1: INT2<br>TA3OUT |   | 0: ポート<br>1: INT0 |   | 0: ポート<br>1: INT1<br>TA1OUT | 0: ポート<br>1: TA0IN |

INT1、TA1OUT 設定

|   | <PC1C><br><PC1F> | 0     | 1      |
|---|------------------|-------|--------|
| 0 |                  | 入力ポート | 出力ポート  |
| 1 |                  | INT1  | TA1OUT |

INT2、TA3OUT 設定

|   | <PC5C><br><PC5F> | 0     | 1      |
|---|------------------|-------|--------|
| 0 |                  | 入力ポート | 出力ポート  |
| 1 |                  | INT2  | TA3OUT |

INT3、TB0OUT0 設定

|   | <PC6C><br><PC6F> | 0     | 1       |
|---|------------------|-------|---------|
| 0 |                  | 入力ポート | 出力ポート   |
| 1 |                  | INT3  | TB0OUT0 |

注 1) PCCR, PCFC はリードモディファイライトできません。

注 2) PC0/TA0IN 端子にはポート/ファンクションの切り替えレジスタがありませんので、入力ポートとして使用する場合でもタイマ入力 0 として 8 ビットタイマ 0 へも入力されます。

注 3) PC0, PC1, PC5, PC6 を出力に設定した場合、設定したデータをリードできません。

図 3.5.29 ポート C 関係のレジスタ

### 3.5.12 ポート F (PF0~PF5)

ポート F は、ビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。リセット動作により、すべての端子が入力ポートとなり、また出力ラッチレジスタの全ビットは“1”へセットされます。

入出力ポート以外にシリアルチャネル 0, 1 の入出力機能があります。この機能は PFFC レジスタの該当ビットへ“1”を書き込むことにより、それぞれの機能が動作可能となります。リセット動作により、PFCR, PFFC 各レジスタの値はすべて“0”にリセットされ、全ビットが入力ポートとなります。

#### (1) ポート PF0, PF3 (TXD0/TXD1)

ポート PF0, PF3 は、入出力ポート以外にシリアルチャネルの TXD 出力端子としての機能を持ちます。

また出力バッファはプログラム可能なオープンドレイン機能を持っており、PFFC<PF0F, PF3F>と PFCR<PF0C, PF3C>レジスタにより設定が可能です。

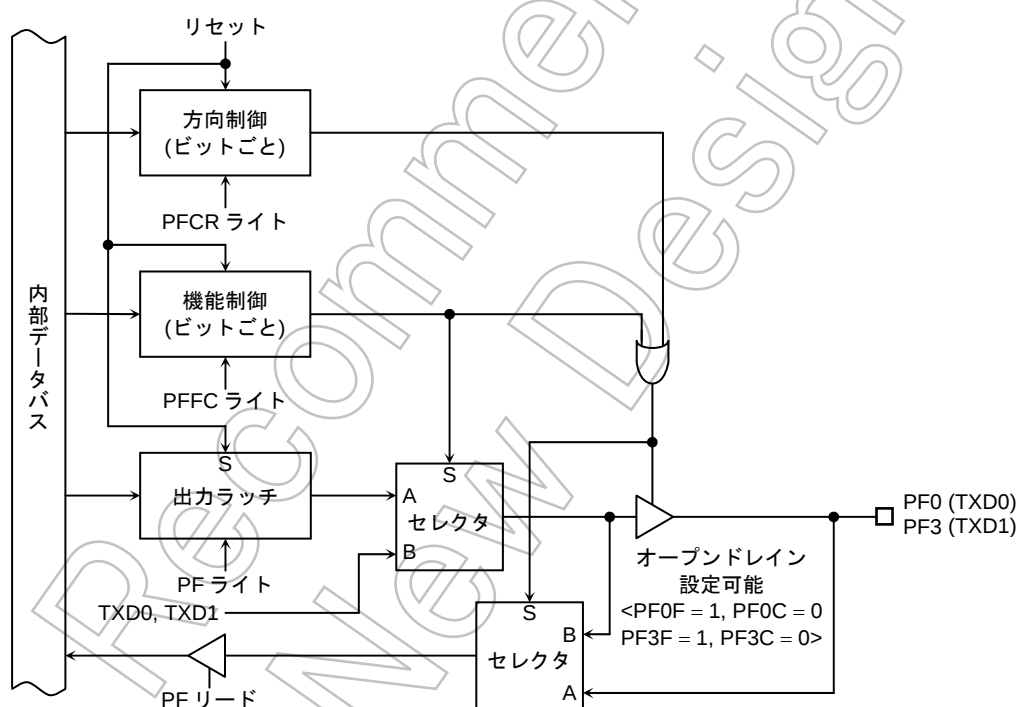


図 3.5.30 ポート F (PF0, PF3)

(2) ポート PF1, PF4 (RXD0, RXD1)

ポート PF1, PF4 は、入出力ポート以外にシリアルチャネルの RXD 入力端子としての機能を持っています。

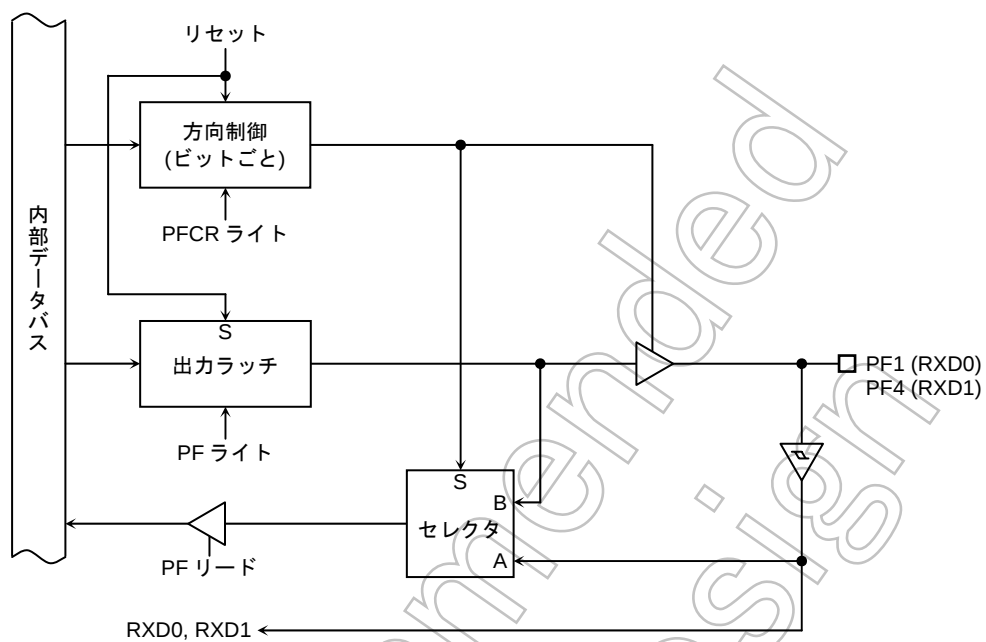


図 3.5.31 ポート F (PF1, PF4)

(3) ポート PF2 ( $\overline{\text{CTS0}}$ , SCLK0)、ポート PF5 ( $\overline{\text{CTS1}}$ , SCLK1)

ポート **F2**, **F5** は、入出力ポート以外にシリアルチャネルの  $\overline{\text{CTS}}$  入力端子または **SCLK** 入出力端子としての機能を持っています。

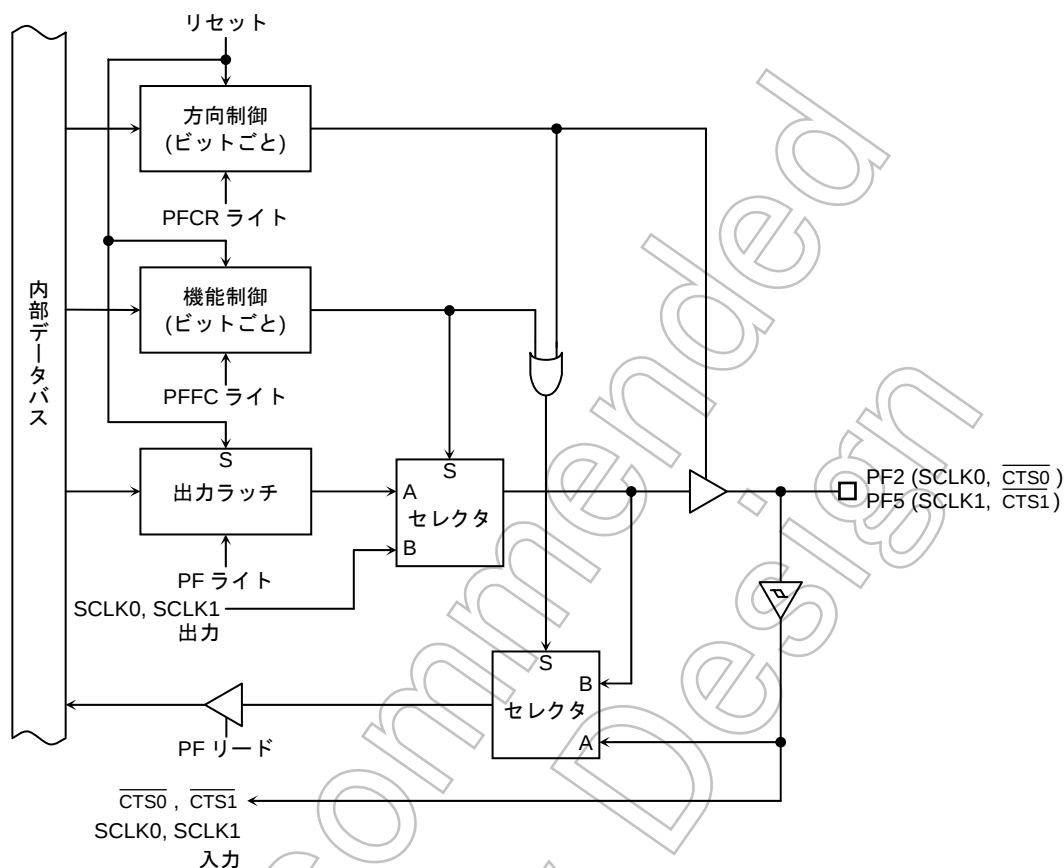


図 3.5.32 ポート F (PF2, PF5)

ポート F レジスタ

PF  
(003CH)

|            | 7 | 6 | 5                                | 4   | 3   | 2   | 1   | 0   |
|------------|---|---|----------------------------------|-----|-----|-----|-----|-----|
| Bit symbol |   |   | PF5                              | PF4 | PF3 | PF2 | PF1 | PF0 |
| Read/Write |   |   | R/W                              |     |     |     |     |     |
| リセット後      |   |   | 外部端子データ (出力ラッチレジスタは“1”にセットされます。) |     |     |     |     |     |

ポート F コントロールレジスタ

PFCR  
(003EH)

|            | 7 | 6 | 5           | 4    | 3    | 2    | 1    | 0    |
|------------|---|---|-------------|------|------|------|------|------|
| Bit symbol |   |   | PF5C        | PF4C | PF3C | PF2C | PF1C | PF0C |
| Read/Write |   |   | W           |      |      |      |      |      |
| リセット後      |   |   | 0           | 0    | 0    | 0    | 0    | 0    |
| 機 能        |   |   | 0: 入力 1: 出力 |      |      |      |      |      |

ポート F ファンクションレジスタ

PFFC  
(003FH)

|            | 7 | 6 | 5                        | 4 | 3                 | 2                        | 1 | 0                 |
|------------|---|---|--------------------------|---|-------------------|--------------------------|---|-------------------|
| Bit symbol |   |   | PF5F                     |   | PF3F              | PF2F                     |   | PF0F              |
| Read/Write |   |   | W                        |   | W                 |                          |   | W                 |
| リセット後      |   |   | 0                        |   | 0                 | 0                        |   | 0                 |
| 機 能        |   |   | 0: ポート<br>1: SCLK1<br>出力 |   | 0: ポート<br>1: TXD1 | 0: ポート<br>1: SCLK0<br>出力 |   | 0: ポート<br>1: TXD0 |

→ 3ステート、オープンドレイン設定

| <PF3C><br><PF3F> | 0          | 1            |
|------------------|------------|--------------|
| 0                | 入力ポート      | 出力ポート        |
| 1                | TXD1 (O.D) | TXD1 (3ステート) |

| <PF1C><br><PF1F> | 0          | 1            |
|------------------|------------|--------------|
| 0                | 入力ポート      | 出力ポート        |
| 1                | TXD0 (O.D) | TXD0 (3ステート) |

注 1) PFCR, PFFC はリードモディファイライトできません。

注 2) PF1/RXD0 および PF4/RXD1 端子は、ポート/ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でもシリアル受信データとして SIO へ入力されます。

注 3) PF1, PF3 は、3ステート/オープンドレイン設定のためのレジスタを持っていません。

図 3.5.33 ポート F 関係のレジスタ

3.5.13 ポート G (PG0~PG4)

ポート G は、5 ビットの入力専用ポートで、AD コンバータのアナログ入力端子と兼用になっています。また、PG3 は AD コンバータの AD トリガ入力端子と兼用になっています。

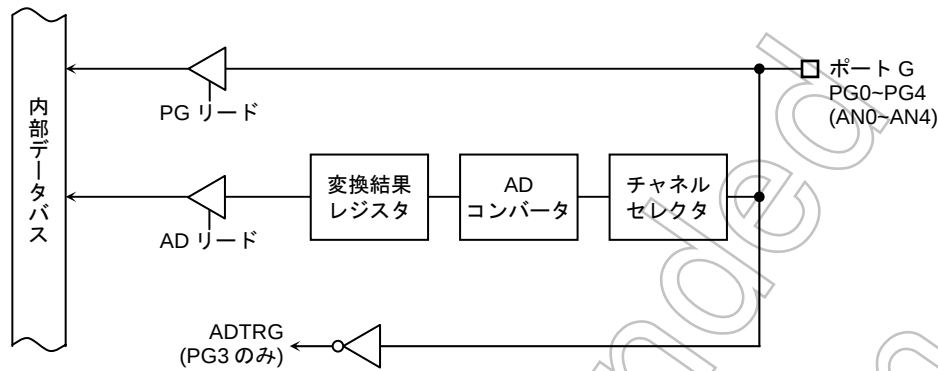


図 3.5.34 ポート G

ポート G レジスタ

|            | 7 | 6 | 5 | 4   | 3   | 2   | 1   | 0       |
|------------|---|---|---|-----|-----|-----|-----|---------|
| PG (0040H) |   |   |   |     |     |     |     |         |
| Bit symbol |   |   |   | PG4 | PG3 | PG2 | PG1 | PG0     |
| Read/Write |   |   |   |     |     |     |     | R       |
| リセット後      |   |   |   |     |     |     |     | 外部端子データ |

注) AD コンバータの入力チャネル選択、および PG3 の AD トリガ (ADTRG) 入力許可の設定は、AD コンバータモードレジスタ ADMOD1 にて設定します。

図 3.5.35 ポート G 関係のレジスタ

## 3.5.14 ポート J (PJ0~PJ7)

ポート J は、8 ビットの出力ポートです。リセット動作により、出力ラッチ PJ は “1” にセットされ、ポート J は “1” を出力します。

出力ポート機能以外に、ポート J には SDRAM コントローラ用出力端子 ( $\overline{\text{SDRAS}}$ ,  $\overline{\text{SDCAS}}$ ,  $\overline{\text{SDWE}}$ ,  $\overline{\text{SDLLDQM}}$ ,  $\overline{\text{SDLUDQM}}$ ,  $\overline{\text{SDULDQM}}$ ,  $\overline{\text{SDUUDQM}}$ ,  $\overline{\text{SDCKE}}$ ) 機能と、SRAM コントローラ用出力端子 ( $\overline{\text{SRWR}}$ ,  $\overline{\text{SRLLB}}$ ,  $\overline{\text{SRLUB}}$ ,  $\overline{\text{SRULB}}$ ,  $\overline{\text{SRUUB}}$ ) 機能があります。これらの設定は PJFC レジスタによって行ないます。

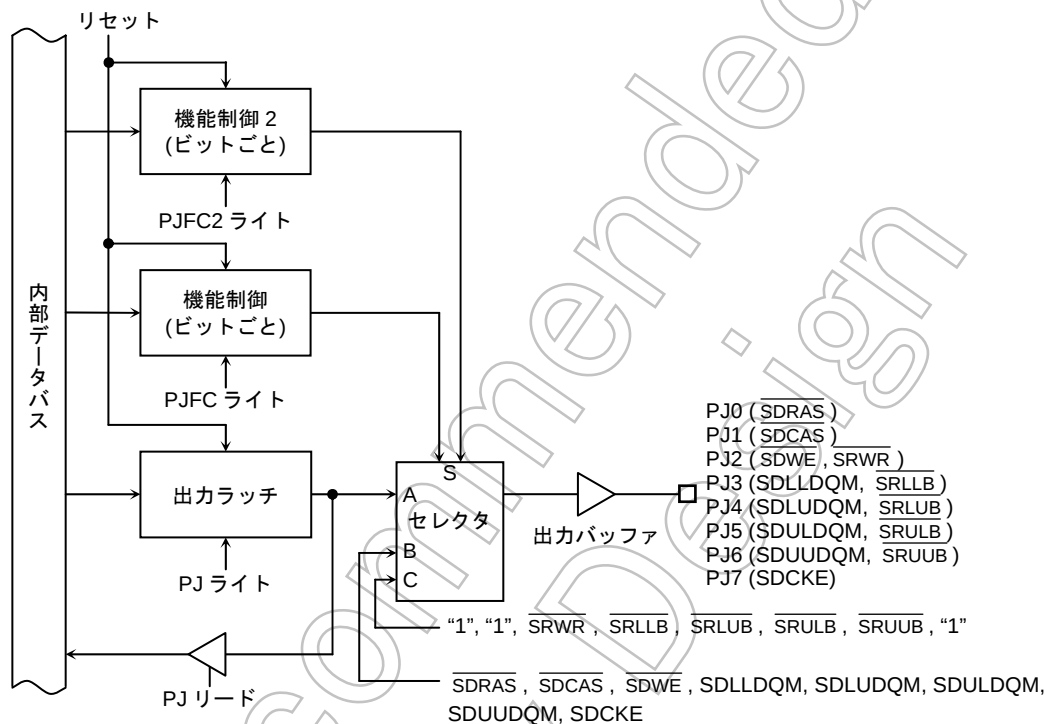


図 3.5.36 ポート J

ポート J レジスタ

PJ  
(004CH)

|            | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|-----|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | PJ7 | PJ6 | PJ5 | PJ4 | PJ3 | PJ2 | PJ1 | PJ0 |
| Read/Write | R/W |     |     |     |     |     |     |     |
| リセット後      | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 1   |

ポート J ファンクションレジスタ

PJFC  
(004FH)

|            | 7                  | 6                    | 5                    | 4                    | 3                    | 2                 | 1                  | 0                  |
|------------|--------------------|----------------------|----------------------|----------------------|----------------------|-------------------|--------------------|--------------------|
| Bit symbol | PJ7F               | PJ6F                 | PJ5F                 | PJ4F                 | PJ3F                 | PJ2F              | PJ1F               | PJ0F               |
| Read/Write | W                  |                      |                      |                      |                      |                   |                    |                    |
| リセット後      | 0                  | 0                    | 0                    | 0                    | 0                    | 0                 | 0                  | 0                  |
| 機 能        | 0: ポート<br>1: SDCKE | 0: ポート<br>1: SDUUDQM | 0: ポート<br>1: SDULDQM | 0: ポート<br>1: SDLUDQM | 0: ポート<br>1: SDLLDQM | 0: ポート<br>1: SDWE | 0: ポート<br>1: SDCAS | 0: ポート<br>1: SDRAS |

ポート J ファンクションレジスタ 2

PJFC2  
(004DH)

|            | 7                       | 6                                         | 5                                         | 4                                         | 3                                         | 2                                        | 1                       | 0                       |
|------------|-------------------------|-------------------------------------------|-------------------------------------------|-------------------------------------------|-------------------------------------------|------------------------------------------|-------------------------|-------------------------|
| Bit symbol | –                       | PJ6F2                                     | PJ5F2                                     | PJ4F2                                     | PJ3F2                                     | PJ2F2                                    | –                       | –                       |
| Read/Write | W                       |                                           |                                           |                                           |                                           |                                          |                         |                         |
| リセット後      | 0                       | 0                                         | 0                                         | 0                                         | 0                                         | 0                                        | 0                       | 0                       |
| 機 能        | "0" をライ<br>トしてく<br>ださい。 | 0: <PJ6F><br>1: $\overline{\text{SRUUB}}$ | 0: <PJ5F><br>1: $\overline{\text{SRULB}}$ | 0: <PJ4F><br>1: $\overline{\text{SRLUB}}$ | 0: <PJ3F><br>1: $\overline{\text{SRLLB}}$ | 0: <PJ2F><br>1: $\overline{\text{SRWR}}$ | "0" をライ<br>トしてく<br>ださい。 | "0" をライ<br>トしてく<br>ださい。 |

注) PJFC, PJFC2 はリードモディファイライトできません。

図 3.5.37 ポート J 関係のレジスタ

### 3.5.15 ポート K (PK0~PK4, PK6)

ポート K は、6 ビットの出力ポートです。リセット動作により出力ラッチ PK は“1”にセットされ、ポート K は“1”を出力します。

出力ポート機能以外に、ポート K には LCD コントローラ用出力 (D1BSCP, D2BLP, D3BFR, DLEBCD, DOFFB) や RTC アラーム出力 ( $\overline{\text{ALARM}}$ )、メロディ/アラームジェネレータ出力 ( $\overline{\text{MLDALM}}$ ,  $\overline{\text{MLDALM}}$  ( $\overline{\text{MLDALM}}$  の論理反転信号)) などの機能があります。これらの設定は、PKFC によって行います。

ポート PK6 のみ 2 つの機能出力 ( $\overline{\text{ALARM}}$ ,  $\overline{\text{MLDALM}}$ ) をマルチプレクスしており、この選択は PK<PK6>レジスタにより行います。リセットにより PKFC レジスタの全ビットは“0”にクリアされ、すべてのポートは出力端子になります。

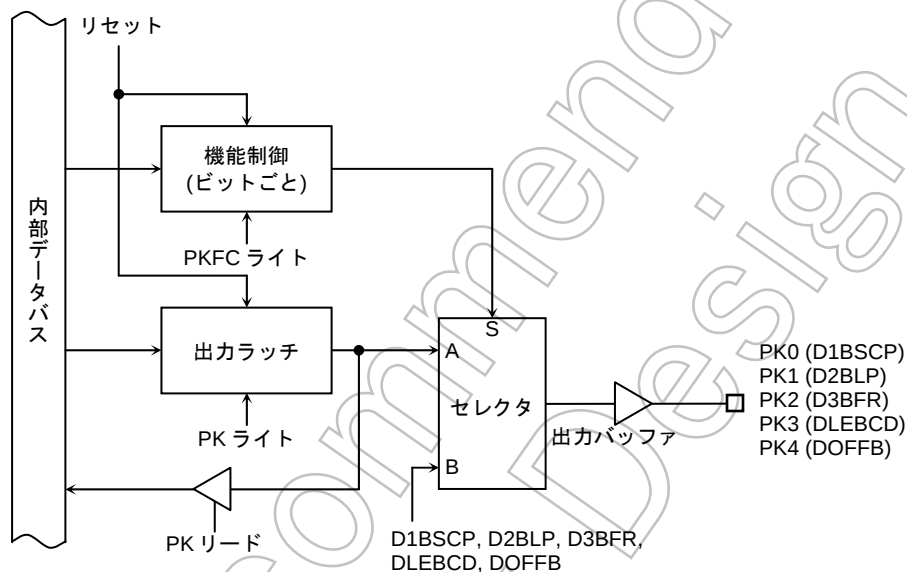


図 3.5.38 ポート K (PK0~PK4)

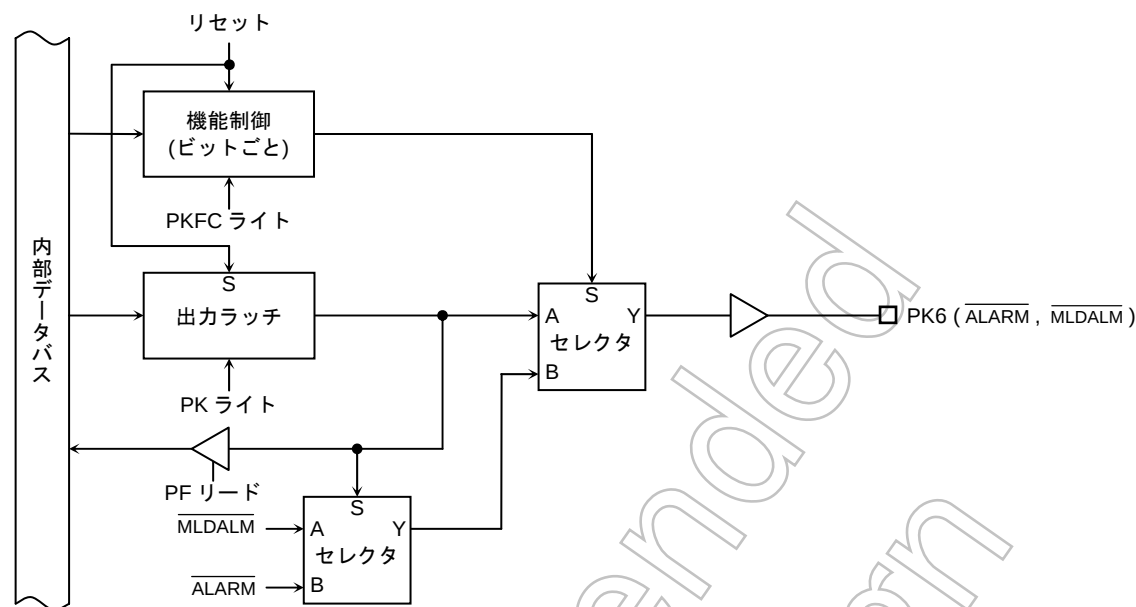


図 3.5.39 ポート K (PK6)

ポート K レジスタ

|               |            |   |     |   |     |     |     |     |     |
|---------------|------------|---|-----|---|-----|-----|-----|-----|-----|
| PK<br>(0050H) |            | 7 | 6   | 5 | 4   | 3   | 2   | 1   | 0   |
|               | Bit symbol |   | PK6 |   | PK4 | PK3 | PK2 | PK1 | PK0 |
|               | Read/Write |   | R/W |   |     |     | R/W |     |     |
|               | リセット後      |   | 1   |   | 1   | 1   | 1   | 1   | 1   |

ポート K ファンクションレジスタ

|                 |            |   |                                                                       |   |                    |                     |                    |                    |                     |
|-----------------|------------|---|-----------------------------------------------------------------------|---|--------------------|---------------------|--------------------|--------------------|---------------------|
| PKFC<br>(0053H) |            | 7 | 6                                                                     | 5 | 4                  | 3                   | 2                  | 1                  | 0                   |
|                 | Bit symbol |   | PK6F                                                                  |   | PK4F               | PK3F                | PK2F               | PK1F               | PK0F                |
|                 | Read/Write |   | W                                                                     |   |                    |                     | W                  |                    |                     |
|                 | リセット後      |   | 0                                                                     |   | 0                  | 0                   | 0                  | 0                  | 0                   |
| 機 能             |            |   | 0: ポート<br>1: ALARM<br>at <PK6><br>= 1<br>1: MLDALM<br>at <PK6><br>= 0 |   | 0: ポート<br>1: DOFFB | 0: ポート<br>1: DLEBCD | 0: ポート<br>1: D3BFR | 0: ポート<br>1: D2BLP | 0: ポート<br>1: D1BSCP |

注) PKFC はリードモディファイライトできません。

図 3.5.40 ポート K 関係のレジスタ

### 3.5.16 ホート L (PL0~PL7)

ポート L は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

汎用入出力ポート機能以外に、ポート L は LCD コントローラ用データバス端子 (LD0~LD7) の機能を備えています。これらの設定は PLFC レジスタによって行います。

リセット動作により PLFC レジスタの全ビットは“0”にクリアされ、また、出力ラッチ PL の全ビットは“1”にセットされ、かつポート L は入力端子になります。

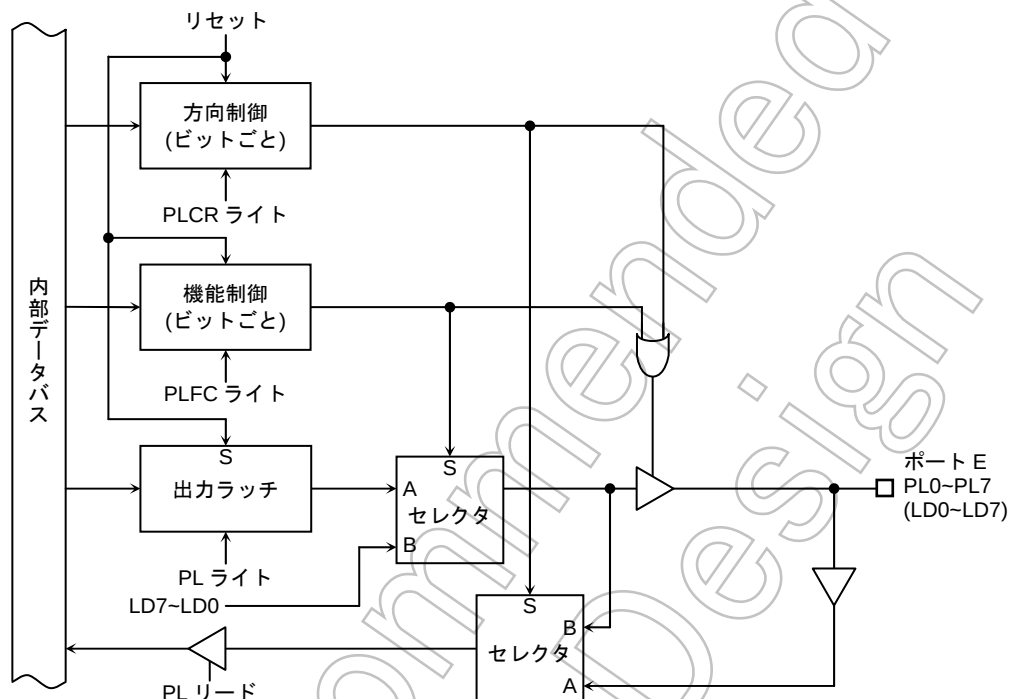


図 3.5.41 ポート L

ポート L レジスタ

PL  
(0054H)

|            | 7                                  | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | PL7                                | PL6 | PL5 | PL4 | PL3 | PL2 | PL1 | PL0 |
| Read/Write | R/W                                |     |     |     |     |     |     |     |
| リセット後      | 外部端子データ (出力ラッチレジスタは "1" にセットされます。) |     |     |     |     |     |     |     |

ポート L コントロールレジスタ

PLCR  
(0056H)

|            | 7           | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|-------------|------|------|------|------|------|------|------|
| Bit symbol | PL7C        | PL6C | PL5C | PL4C | PL3C | PL2C | PL1C | PL0C |
| Read/Write | W           |      |      |      |      |      |      |      |
| リセット後      | 0           | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | 0: 入力 1: 出力 |      |      |      |      |      |      |      |

ポート L ファンクションレジスタ

PLFC  
(0057H)

|            | 7                                    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|--------------------------------------|------|------|------|------|------|------|------|
| Bit symbol | PL7F                                 | PL6F | PL5F | PL4F | PL3F | PL2F | PL1F | PL0F |
| Read/Write | W                                    |      |      |      |      |      |      |      |
| リセット後      | 0                                    | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | 0: ポート 1: LCD コントローラ用データバス (LD7~LD0) |      |      |      |      |      |      |      |

注) PLCR, PLFC はリードモディファイライトできません。

図 3.5.42 ポート L 関係のレジスタ

## 3.6 メモリコントローラ

### 3.6.1 機能概要

TMP92C820 のメモリコントローラは、任意のブロックアドレス空間に対して以下のような制御を行うことができます。

(1) 4 ブロックのアドレス空間をサポート

外部エリア内に設定する 4 つのブロックアドレス空間に対し、ブロックサイズとスタートアドレスを指定することができます。

(2) 接続メモリの指定

選択したアドレス空間に接続するメモリとして、**SRAM, ROM** を指定できます。

(3) データバス幅の指定

選択したアドレス空間のデータバス幅は、**8/16/32 ビット** が選択できます。

(4) ウェイトの制御

コントロールレジスタ内のウェイト指定ビットと  $\overline{\text{WAIT}}$  入力端子により、外部バスサイクルのウェイト数を制御することができます。リードサイクルとライトサイクルは、それぞれ独立にウェイト数を設定することができます。ウェイト数の制御には、下記に示す 5 つのモードがあります。

|                                                                                         |
|-----------------------------------------------------------------------------------------|
| 0 ウェイト, 1 ウェイト,<br>2 ウェイト, 3 ウェイト, 4 ウェイト<br>N ウェイト ( $\overline{\text{WAIT}}$ 端子による制御) |
|-----------------------------------------------------------------------------------------|

### 3.6.2 制御レジスタとリセット解除後の動作

ここでは、メモリコントローラを制御するレジスタと、リセット解除後の状態、必要な設定について説明します。

#### (1) コントロールレジスタ

メモリコントローラの制御レジスタには、以下のようなものがあります。

- コントロールレジスタ: **BnCSH/BnCSL** ( $n = 0\sim3$ , EX)  
接続するメモリの種類や読み出し、書き込みのウェイト数など、メモリコントローラの基本的な機能の設定を行います。
- メモリスタートアドレスレジスタ: **MSARn** ( $n = 0\sim3$ )  
選択したブロックアドレス空間のスタートアドレスを設定します。
- メモリアドレスマスクレジスタ **MAMRn** ( $n = 0\sim3$ )  
選択したブロックアドレス空間のブロックサイズを設定します。

上記のレジスタ設定に加えて、ROM のページモードアクセスコントロールを行う場合には、以下のレジスタの設定が必要です。

- ページROM コントロールレジスタ: **PMEMCR**  
ROM のページモードアクセスを行うときに設定します。

#### (2) リセット解除後の動作

リセット解除直後には、AM1/AM0 端子の状態に従い、起動データバス幅が決定され、全メモリをアクセスします。具体的には下記ようになります。

| AM1 | AM0 | 起動モード         |
|-----|-----|---------------|
| 0   | 0   | 設定しないでください    |
| 0   | 1   | 16ビットデータバスで起動 |
| 1   | 0   | 32ビットデータバスで起動 |
| 1   | 1   | 設定しないでください    |

AM1/AM0 端子は、リセット解除直後のみ有効です。それ以外では、データバス幅はコントロールレジスタの **BnBUS** ビットに設定された値になります。

リセット後は、ブロックアドレス空間 2 のコントロールレジスタ (**B2CSH/B2CSL**) のみが、自動的に有効になります。ブロックアドレス空間 2 の制御レジスタのバス幅指定ビットへ、AM1/AM0 端子で指定されたデータバス幅が、ロードされます。また、リセット後、ブロックアドレス空間はアドレス 000000H から FFFFFFFH に設定されています。

リセット解除後、メモリスタートアドレスレジスタ (**MSARn**)、メモリアドレスマスクレジスタ (**MAMRn**) でブロックアドレス空間の指定を行い、コントロールレジスタ (**BnCS**) を設定します。

設定を有効にするために、コントロールレジスタのイネーブルビット (**BnE**) を 1 にセットしてください。

### 3.6.3 基本的な機能の説明とレジスタの設定

ここでは、メモリコントローラの機能のうち、ブロックアドレスエリアの設定、接続メモリ、ウェイト数の設定について説明します。

#### (1) ブロックアドレス空間の指定

ブロックアドレス空間は、2種類のレジスタによって指定されます。

メモリスタートアドレスレジスタ (MSAR<sub>n</sub>) は、ブロックアドレス空間のスタートアドレスを設定するレジスタです。メモリコントローラは、バスサイクルごとに、このレジスタの値とアドレスとを比較します。このとき、メモリコントローラは、メモリアドレスマスクレジスタ (MAMR<sub>n</sub>) でマスクされているアドレスビットを比較対象としません。メモリアドレスマスクレジスタの設定によって、ブロックアドレス空間のサイズが決まります。レジスタに設定された値と、バス上のアドレスを比較し、比較した結果が一致すれば、メモリコントローラは、チップセレクト信号 ( $\overline{CS_n}$ ) を “L” レベルにします。

#### (i) メモリスタートアドレスレジスタの設定

メモリスタートアドレスレジスタの MS23~MS16 の各ビットは、それぞれアドレスの A23~A16 に対応します。スタート下位アドレス A15~A0 は、常に 0000H です。従って、ブロックアドレス空間のスタートアドレスは 000000H~FF0000H まで、64 K バイトごとに設定することができます。

#### (ii) メモリアドレスマスクレジスタの設定

メモリアドレスマスクレジスタでは、アドレスのどのビットの値を比較するか、しないかを設定します。レジスタは、“0” で「比較する」、「1」で「比較しない」の機能になります。

ブロックアドレス空間によって設定できるアドレスビットが違っており、

ブロックアドレス空間 0 : A20~A8

ブロックアドレス空間 1 : A21~A8

ブロックアドレス空間 2, 3 : A22~15

のマスク設定ができます。上位のビットについては、必ず比較されます。これにより、各ブロックアドレス空間のサイズが決まります。

ブロックアドレス空間によって設定できるサイズは、次のとおりです。

| サイズ(バイト) | 256 | 512 | 32 K | 64 K | 128 K | 256 K | 512 K | 1 M | 2 M | 4 M | 8 M |
|----------|-----|-----|------|------|-------|-------|-------|-----|-----|-----|-----|
| CS エリア   |     |     |      |      |       |       |       |     |     |     |     |
| CS0      | ○   | ○   | ○    | ○    | ○     | ○     | ○     | ○   | ○   |     |     |
| CS1      | ○   | ○   |      | ○    | ○     | ○     | ○     | ○   | ○   | ○   |     |
| CS2~3    |     |     | ○    | ○    | ○     | ○     | ○     | ○   | ○   | ○   | ○   |

注) リセット解除後は、ブロックアドレス空間 2 の制御レジスタのみが有効になっています。ブロックアドレス空間 2 の制御レジスタには、特別に B2M ビットがあり、このビットを “0” にすると、ブロックアドレス空間 2 は 000000H~FFFFFFH に設定されます。リセット解除後は、この状態に設定されています。この B2M ビットを 1 に設定すると、ほかのブロックアドレス空間と同様に、スタートアドレスとアドレス空間サイズを設定することができます。

## (iii) レジスタの設定例

ブロックアドレス空間 1 を 110000H のアドレスから 512 バイトに設定する場合、次のようにレジスタを設定します。

MSAR1 レジスタ

|            | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|------------|-------|-------|-------|-------|-------|-------|-------|-------|
| Bit symbol | M1S23 | M1S22 | M1S21 | M1S20 | M1S19 | M1S18 | M1S17 | M1S16 |
| 設定値        | 0     | 0     | 0     | 1     | 0     | 0     | 0     | 1     |

メモリスタートアドレスレジスタ MSAR 1 の M1S23~M1S16 の各ビットは、それぞれアドレス A23~A16 に対応します。A15~A0 は“0”になります。したがって、MASR1 の値を上記のように設定すると、ブロックアドレス空間のスタートアドレスは 110000H になります。

MAMR1 レジスタ

|            | 7     | 6     | 5     | 4     | 3     | 2     | 1              | 0    |
|------------|-------|-------|-------|-------|-------|-------|----------------|------|
| Bit symbol | M1V21 | M1V20 | M1V19 | M1V18 | M1V17 | M1V16 | M1V15~<br>M1V9 | M1V8 |
| 設定値        | 0     | 0     | 0     | 0     | 0     | 0     | 0              | 1    |

メモリスタートマスクレジスタ MAMR1 の M1V21~M1V16, M1V8 の各ビットは、それぞれ A21~A16, A8 のアドレス比較をする、しないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。A22 と A23 は必ず比較されます。

上記のように設定すると、A23~A9 まではスタートアドレスとして設定された値と比較されます。従って、アドレス 110000H~1101FFH の 512 バイトが、ブロックアドレス空間 1 として設定され、バス上のアドレスと比較すれば、チップセレクト信号  $\overline{CS1}$  を“L”レベルにします。

同様にブロックアドレス 2~3 では、A23 は必ず比較され、A22~A15 を比較するかどうかをレジスタに設定します。

注) 設定したブロックアドレス空間が、内蔵メモリの空間と重複した場合、ブロックアドレス空間は以下のような優先順位で処理されます。

内蔵 I/O > 内蔵メモリ > ブロックアドレス空間 0 > 1 > 2 > 3 > CSEX

また、 $\overline{CS0}$  から  $\overline{CS3}$  で設定したアドレス空間以外をアクセスした場合は、CSEX 空間として処理されます。従って、ウェイト数、データバス幅の制御などは CSEX の設定に従います。

## (2) 接続メモリの指定

コントロールレジスタ (BnCSH) の BnOM1~BnOM0 ビットを設定することにより、各ブロックアドレス空間に接続するメモリの種類を設定することができます。設定されたメモリによって、メモリインタフェース信号が出力されます。設定は、次のように行います。

BnOM1, BnOM0 ビット (BnCSH レジスタ)

| BnOM1 | BnOM0 | 機能               |
|-------|-------|------------------|
| 0     | 0     | SRAM/ROM (デフォルト) |
| 0     | 1     | (Reserved)       |
| 1     | 0     | (Reserved)       |
| 1     | 1     | SDRAM            |

SDRAM はブロックアドレス空間 1 にのみ設定できます。

## (3) データバス幅の設定

データバス幅は、ブロックアドレス空間ごとに設定することができます。バス幅の設定はコントロールレジスタ (BnCSH) の BnBUS1, BnBUS0 ビットで、以下のように行います。

BnBUS ビット (BnCSH レジスタ)

| BnBUS1 | BnBUS0 | 機能                |
|--------|--------|-------------------|
| 0      | 0      | 8ビットバスモード (デフォルト) |
| 0      | 1      | 16ビットバスモード        |
| 1      | 0      | 32ビットバスモード        |
| 1      | 1      | (Reserved)        |

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。データサイズ、バス幅、スタートアドレスにより、データがデータバスのどの部分に出力されるかが変わります。バス動作の詳細は次のようになります。

注) バス幅が異なるメモリを連続したアドレスに配置している場合、両方のメモリにまたがるアクセスを1命令で実行しないでください。データの正常な読み出し/書き込みが行われない場合があります。

| データサイズ<br>(ビット) | スタート<br>アドレス | メモリ側<br>データ幅<br>(ビット) | CPU<br>アドレス | CPU データ |         |         |         |
|-----------------|--------------|-----------------------|-------------|---------|---------|---------|---------|
|                 |              |                       |             | D32~D24 | D23~D16 | D15~D8  | D7~D0   |
| 8               | 4n + 0       | 8/16/32               | 4n + 0      | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 | 4n + 1       | 8                     | 4n + 1      | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              | 16/32                 | 4n + 1      | xxxxxx  | xxxxxx  | b7~b0   | xxxxxx  |
|                 | 4n + 2       | 8/16                  | 4n + 2      | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              | 32                    | 4n + 2      | xxxxxx  | b7~b0   | xxxxxx  | xxxxxx  |
|                 | 4n + 3       | 8                     | 4n + 3      | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
| 16              | 4n + 0       | 8                     | (1) 4n + 0  | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              |                       | (2) 4n + 1  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 |              | 16/32                 | 4n + 0      | xxxxxx  | xxxxxx  | b15~b8  | b7~b0   |
|                 | 4n + 1       | 8                     | (1) 4n + 1  | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              |                       | (2) 4n + 2  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 |              | 16                    | (1) 4n + 1  | xxxxxx  | xxxxxx  | b7~b0   | xxxxxx  |
|                 | 4n + 2       |                       | (2) 4n + 2  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 |              | 32                    | 4n + 1      | xxxxxx  | b15~b8  | b7~b0   | xxxxxx  |
|                 |              | 8                     | (1) 4n + 2  | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 | 4n + 3       |                       | (2) 4n + 1  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 |              | 16                    | 4n + 2      | xxxxxx  | xxxxxx  | b15~b8  | b7~b0   |
|                 |              | 32                    | 4n + 2      | b15~b8  | b7~b0   | xxxxxx  | xxxxxx  |
|                 | 4n + 3       | 8                     | (1) 4n + 3  | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              |                       | (2) 4n + 4  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 |              | 16                    | (1) 4n + 3  | xxxxxx  | xxxxxx  | b7~b0   | xxxxxx  |
|                 | 4n + 3       |                       | (2) 4n + 4  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 |              | 32                    | (1) 4n + 3  | b7~b0   | xxxxxx  | xxxxxx  | xxxxxx  |
|                 |              |                       | (2) 4n + 4  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 | 4n + 0       | 8                     | (1) 4n + 0  | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              |                       | (2) 4n + 1  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 |              | 16                    | (3) 4n + 2  | xxxxxx  | xxxxxx  | xxxxxx  | b23~b16 |
|                 | 4n + 1       |                       | (4) 4n + 3  | xxxxxx  | xxxxxx  | xxxxxx  | b31~b24 |
|                 |              | 16                    | (1) 4n + 0  | xxxxxx  | xxxxxx  | b15~b8  | b7~b0   |
|                 |              | 32                    | (2) 4n + 2  | xxxxxx  | xxxxxx  | b31~b24 | b23~b16 |
|                 | 4n + 1       |                       | (3) 4n + 4  | xxxxxx  | xxxxxx  | xxxxxx  | b31~b24 |
|                 |              | 8                     | (1) 4n + 0  | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              |                       | (2) 4n + 1  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 | 4n + 2       |                       | (3) 4n + 2  | xxxxxx  | xxxxxx  | xxxxxx  | b23~b16 |
|                 |              | 16                    | (4) 4n + 3  | xxxxxx  | xxxxxx  | xxxxxx  | b31~b24 |
|                 |              | 32                    | (1) 4n + 1  | b23~b16 | b15~b8  | b7~b0   | xxxxxx  |
|                 | 4n + 2       |                       | (2) 4n + 4  | xxxxxx  | xxxxxx  | xxxxxx  | b31~b24 |
|                 |              | 8                     | (1) 4n + 2  | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              |                       | (2) 4n + 3  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 | 4n + 3       |                       | (3) 4n + 4  | xxxxxx  | xxxxxx  | xxxxxx  | b23~b16 |
|                 |              | 16                    | (4) 4n + 5  | xxxxxx  | xxxxxx  | xxxxxx  | b31~b24 |
|                 |              | 32                    | (1) 4n + 2  | b15~b8  | b7~b0   | xxxxxx  | xxxxxx  |
|                 | 4n + 3       |                       | (2) 4n + 4  | xxxxxx  | xxxxxx  | b31~b24 | b23~b16 |
|                 |              | 8                     | (1) 4n + 3  | xxxxxx  | xxxxxx  | xxxxxx  | b7~b0   |
|                 |              |                       | (2) 4n + 4  | xxxxxx  | xxxxxx  | xxxxxx  | b15~b8  |
|                 | 4n + 3       |                       | (3) 4n + 5  | xxxxxx  | xxxxxx  | xxxxxx  | b23~b16 |
|                 |              | 16                    | (4) 4n + 6  | xxxxxx  | xxxxxx  | xxxxxx  | b31~b24 |
|                 |              | 32                    | (1) 4n + 3  | b7~b0   | xxxxxx  | xxxxxx  | xxxxxx  |
|                 | 4n + 3       |                       | (2) 4n + 4  | xxxxxx  | b31~b24 | b23~b16 | b15~b8  |

xxxxxx: リード時はそのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号は、ノンアクティブのままであることを示します。

## (4) ウェイトの制御

外部バスサイクルは、最小2ステート (100 ns @ 20 MHz) で完了します。コントロールレジスタ (BnCSL) の BnWW2~BnWW0 と BnWR2~BnWR0 を設定することにより、リードサイクルとライトサイクルのウェイト数を指定することができます。BnWW と BnWR の設定方法は同じです。設定は次のように行います。

BnWW/BnWR ビット (BnCSL レジスタ)

| BnWW2<br>BnWR2 | BnWW1<br>BnWR1 | BnWW0<br>BnWR0 | 機能                               |
|----------------|----------------|----------------|----------------------------------|
| 0              | 0              | 1              | 2ステート (0 ウェイト) アクセス固定モード         |
| 0              | 1              | 0              | 3ステート (1 ウェイト) アクセス固定モード (デフォルト) |
| 1              | 0              | 1              | 4ステート (2 ウェイト) アクセス固定モード         |
| 1              | 1              | 0              | 5ステート (3 ウェイト) アクセス固定モード         |
| 1              | 1              | 1              | 6ステート (4 ウェイト) アクセス固定モード         |
| 0              | 1              | 1              | WAIT 端子入力モード                     |
| 上記以外           |                |                | (Reserved)                       |

注) 接続メモリを SDRAM に設定した場合、RD サイクルでは 4 ステート (2 ウェイト)、WR サイクルでは 3 ステート (1 ウェイト) に設定して下さい。

## (i) ウェイト数固定モード

指定されたステート数でバスサイクルを完了するモードです。ステート数は、2 ステート (0 ウェイト) ~ 5 ステート (3 ウェイト) を選択できます。

## (ii) WAIT 端子入力モード

WAIT 入力端子をサンプリングし、信号がアクティブの間、ウェイトを挿入し続けます。このモードでは、最小のバスサイクルが 2 ステートとなります。2 ステート目に、ウェイト信号がノンアクティブ ("H" レベル) であれば、そこでバスサイクルは完了します。2 ステート以上は、ウェイト信号がアクティブな限りバスサイクルが延長されます。

## (5) リカバリーサイクルの挿入

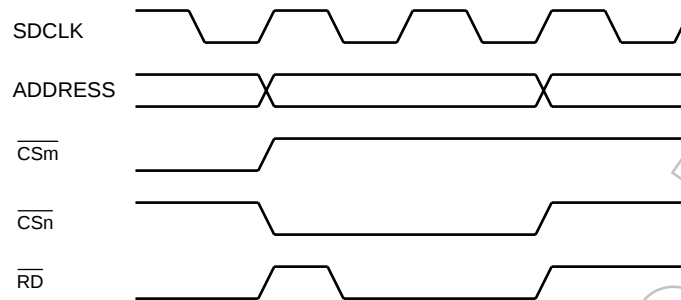
外付けの ROM などのデータ出力フローティング時間 ( $t_{DF}$ ) が大きいものを複数接続した場合などは、お互いのデータバス出力リカバリー時間が問題になりますが、コントロールレジスタ (BnCSH) の BnREC を設定することにより、ほかのブロックアドレス空間をアクセスし始める最初のバスサイクル直前に、1 ステートのダミーサイクルを入れることができます。

BnREC ビット (BnCSH レジスタ)

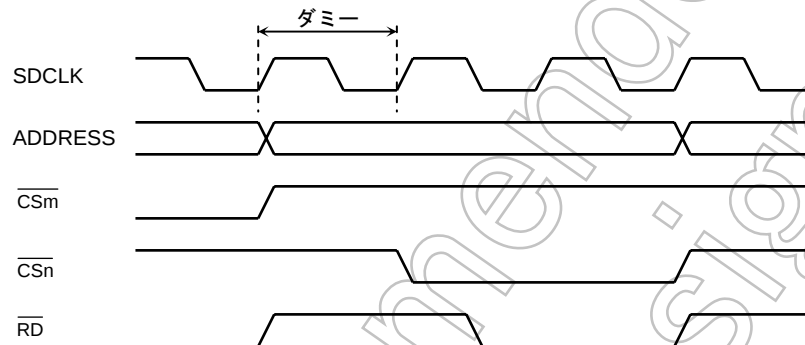
|   |                      |
|---|----------------------|
| 0 | ダミーサイクルを入れない。(デフォルト) |
| 1 | ダミーサイクルを入れる。         |

注) MMU, RAM 内蔵タイプ LCDD を使用する場合は、この機能を利用できません。

- ダミーサイクルを挿入しないとき (0 ウェイト)

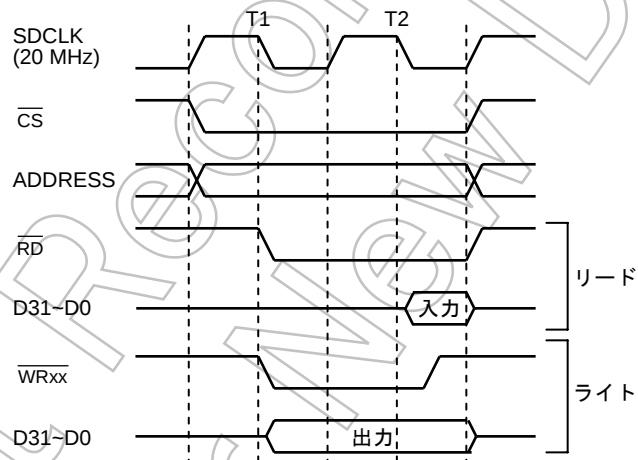


- ダミーサイクルを挿入するとき (0 ウェイト)

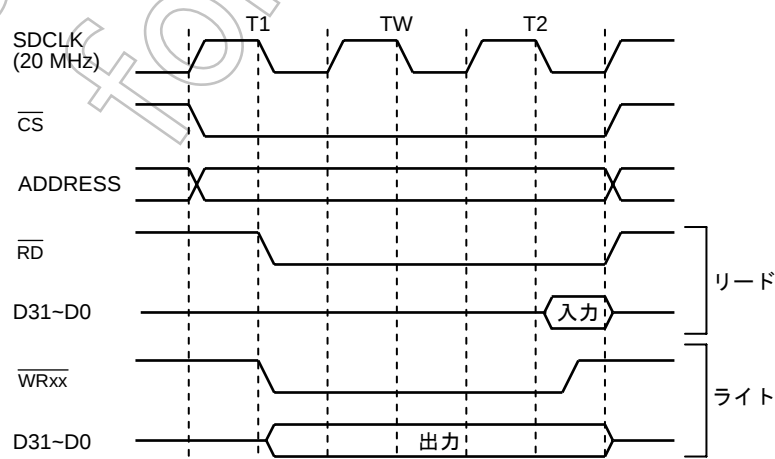


#### (6) バスアクセスタイミング

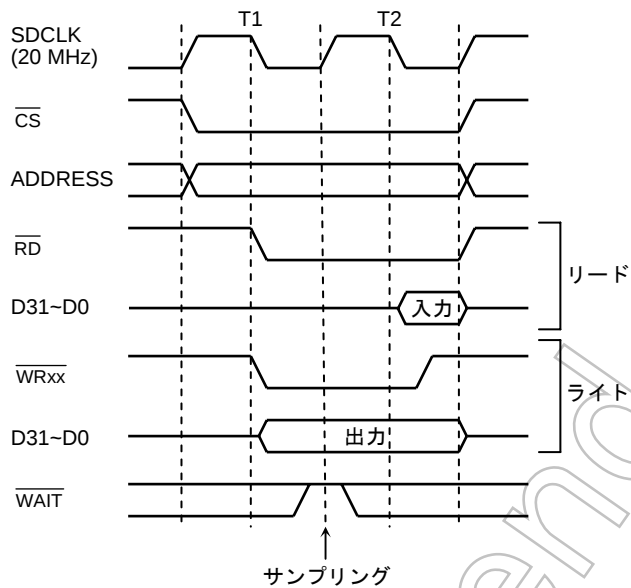
- 外部リード/ライトバスサイクル (0 ウェイト)



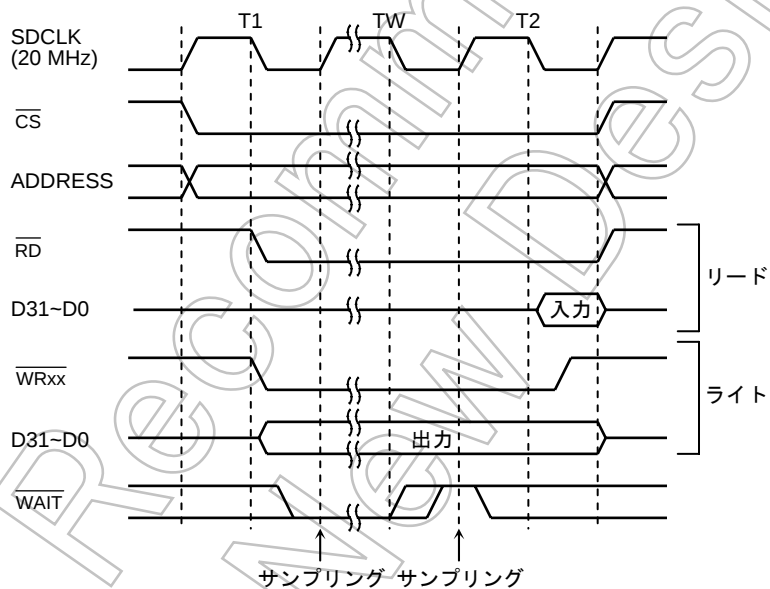
- 外部リード/ライトバスサイクル (1 ウェイト)



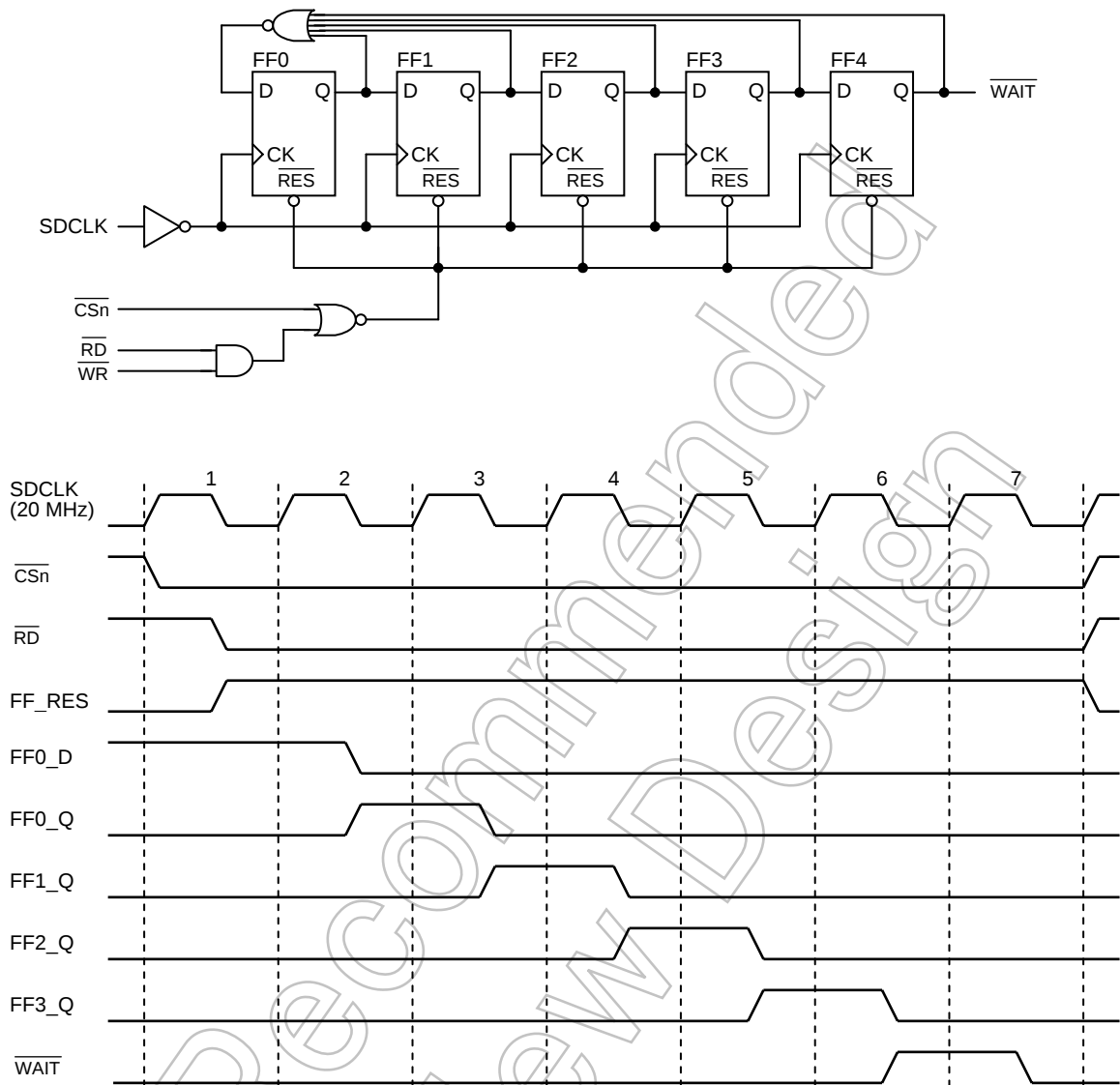
- 外部リード/ライトバスサイクル (0 ウェイト @  $\overline{\text{WAIT}}$  端子入力モード)



- 外部リード/ライトバスサイクル (n ウェイト @  $\overline{\text{WAIT}}$  端子入力モード)



- $\overline{\text{WAIT}}$  入力回路例 (5 ウェイトの場合)



### 3.6.4 ROM コントロール (ページモード)

ここでは、ROM のページモードアクセスを行う場合の動作と、レジスタの設定方法について説明します。ROM ページモードの設定は、ページ ROM コントロールレジスタで行います。

#### (1) 動作とレジスタの設定方法

TMP92C820 は、ページモードの ROM アクセスをサポートしています。ただし、ページモードの ROM アクセスを指定できるのは、ブロックアドレス空間 2 のみです。

ROM のページモードの設定は、ページ ROM コントロールレジスタ (PMEMCR) 行います。

PMEMCR レジスタの OPGE ビットを“1”設定すると、ブロックアドレス空間 2 のメモリアクセスは、ROM ページモードアクセスになります。

PMEMCR レジスタの OPWR1, ビットで、読み出しサイクル数の設定を行います。

OPWR1/OPWR0 ビット (PMEMCR レジスタ)

| OPWR1 | OPWR0 | ページのサイクル数                           |
|-------|-------|-------------------------------------|
| 0     | 0     | 1 ステート (n-1-1-1 モード) ( $n \geq 2$ ) |
| 0     | 1     | 2 ステート (n-2-2-2 モード) ( $n \geq 3$ ) |
| 1     | 0     | 3 ステート (n-3-3-3 モード) ( $n \geq 4$ ) |
| 1     | 1     | (Reserved)                          |

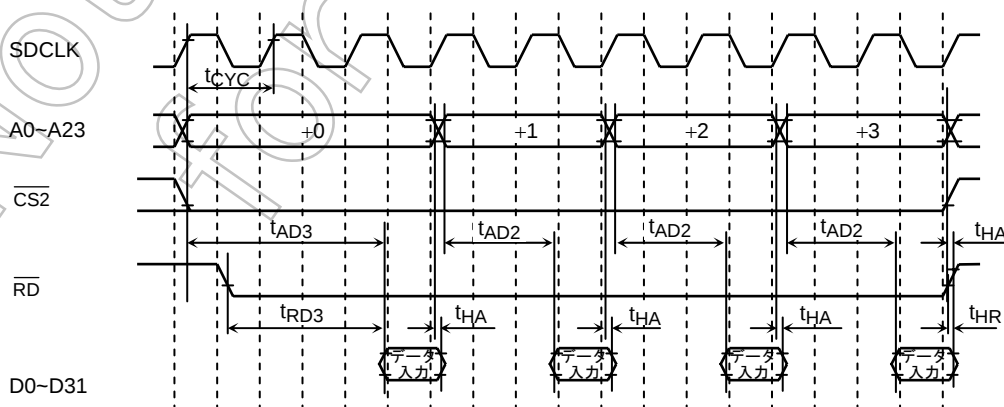
注) ウェイト数  $n$  は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定して下さい。

PMEMCR レジスタの PR1, PR0 ビットには、CPU 側から見た ROM のページサイズ (バイト数) を設定します。設定されたページの境界までデータが読み出されると、メモリコントローラは一連のページリード動作を終了させ、次のページの先頭データの読み出しはノーマルサイクルで行い、その次より再びページリードを続けます。

PR1/PR0 ビット (PMEMCR レジスタ)

| PR1 | PR0 | ROM のページサイズ   |
|-----|-----|---------------|
| 0   | 0   | 64 バイト        |
| 0   | 1   | 32 バイト        |
| 1   | 0   | 16 バイト (初期設定) |
| 1   | 1   | 8 バイト         |

#### (2) 信号波形



### 3.6.5 レジスタ一覧

メモリを制御するレジスタと、設定についてまとめます。各レジスタのアドレスについては、5.「特殊機能レジスタ一覧表」の章を参考にしてください。

#### (1) コントロールレジスタ

コントロールレジスタは、BnCSL と BnCSH の組になっています。BnCSL は、ブロック空間によらず同様の構成です。BnCSH は、ブロックアドレス空間 2 に対応する B2CSH のみ、構成が異なっています。

BnCSL

|            | 7 | 6     | 5     | 4     | 3 | 2     | 1     | 0     |
|------------|---|-------|-------|-------|---|-------|-------|-------|
| Bit symbol |   | BnWW2 | BnWW1 | BnWW0 |   | BnWR2 | BnWR1 | BnWR0 |
| Read/Write |   | W     |       |       |   | W     |       |       |
| リセット後      |   | 0     | 1     | 0     |   | 0     | 1     | 0     |

BnWW<2:0> 書き込みウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス  
 101 = 4 ステート (2 ウェイト) アクセス  
 111 = 6 ステート (4 ウェイト) アクセス  
 その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス  
 110 = 5 ステート (3 ウェイト) アクセス  
 011 = WAIT 端子入力モード

BnWR<2:0> 読み出しウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス  
 101 = 4 ステート (2 ウェイト) アクセス  
 111 = 6 ステート (4 ウェイト) アクセス  
 その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス  
 110 = 5 ステート (3 ウェイト) アクセス  
 011 = WAIT 端子入力モード

B2CSH

|            | 7   | 6   | 5 | 4     | 3     | 2     | 1      | 0      |
|------------|-----|-----|---|-------|-------|-------|--------|--------|
| Bit symbol | B2E | B2M |   | B2REC | B2OM1 | B2OM0 | B2BUS1 | B2BUS0 |
| Read/Write | W   |     |   |       | W     |       |        |        |
| リセット後      | 1   | 0   |   | 0     | 0     | 0     | 0/1    | 0/1    |

B2E イネーブルビット

0 = チップセレクト信号を出力しない。  
 1 = チップセレクト信号を出力する。(デフォルト)

注) リセット解除後は、B2CSH レジスタのイネーブルビット B2E のみ有効 ("1") になっています。

B2M ブロックアドレス空間指定

0 = CS2 のブロックアドレス空間を 000000H~FFFFFFH にする。(デフォルト)  
 1 = CS2 のブロックアドレス空間をプログラマブルに設定する。

B2REC データ出力リカバリー時間用のダミーサイクルの設定

0 = ダミーサイクルを入れない。(デフォルト)  
 1 = ダミーサイクルを入れる。

注) MMU、RAM 内蔵タイプ LCD を使用する場合はこの機能を利用できません。

B2OM<1:0>

00 = SRAM または ROM。(デフォルト)  
 その他 = (Reserved)

B2BUS<1:0> データバス幅の設定

00 = 8 ビット (デフォルト)  
 01 = 16 ビット  
 10 = 32 ビット  
 11 = (Reserved)

注) B2BUS ビットへは、リセット解除後の AM<1:0> 端子の状態により値が設定されます。

BnCSH (n = 0, 1, 3)

|            | 7   | 6 | 5 | 4     | 3     | 2     | 1      | 0      |
|------------|-----|---|---|-------|-------|-------|--------|--------|
| Bit symbol | BnE |   |   | BnREC | BnOM1 | BnOM0 | BnBUS1 | BnBUS0 |
| Read/Write | W   |   |   | W     |       |       |        |        |
| リセット後      | 0   |   |   | 0     | 0     | 0     | 0      | 0      |

**BnE イネーブルビット**

0 = チップセレクト信号を出力しない。(デフォルト)

1 = チップセレクト信号を出力する。

注) リセット解除後は、B2CSH レジスタのイネーブルビット B2E のみ有効 ("1") になっています。

**BnREC データ出力リカバリー時間用のダミーサイクルの設定**

0 = ダミーサイクルを入れない。(デフォルト)

1 = ダミーサイクルを入れる。

注) MMU, RAM 内蔵タイプ LCD を使用する場合はこの機能を利用できません。

**BnOM<1:0>**

00 = SRAM または ROM。(デフォルト)

01 = (Reserved)

10 = (Reserved)

11 = SDRAM

注) SDRAM を設定できるのは、B1CSH のみです。

**BnBUS<1:0> データバス幅の設定**

00 = 8 ビット (デフォルト)

01 = 16 ビット

10 = 32 ビット

11 = (Reserved)

## BEXCSL

|            | 7 | 6      | 5      | 4      | 3 | 2      | 1      | 0      |
|------------|---|--------|--------|--------|---|--------|--------|--------|
| Bit symbol |   | BEXWW2 | BEXWW1 | BEXWW0 |   | BEXWR2 | BEXWR1 | BEXWR0 |
| Read/Write |   | W      |        |        |   | W      |        |        |
| リセット後      |   | 0      | 1      | 0      |   | 0      | 1      | 0      |

## BEXWW&lt;2:0&gt; 書き込みウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス  
 101 = 4 ステート (2 ウェイト) アクセス  
 111 = 6 ステート (4 ウェイト) アクセス  
 その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス  
 110 = 5 ステート (3 ウェイト) アクセス  
 011 =  $\overline{\text{WAIT}}$  端子入力モード

## BEXWR&lt;2:0&gt; 読み出しウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス  
 101 = 4 ステート (2 ウェイト) アクセス  
 111 = 6 ステート (4 ウェイト) アクセス  
 その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス  
 110 = 5 ステート (3 ウェイト) アクセス  
 011 =  $\overline{\text{WAIT}}$  端子入力モード

## BEXCSH

|            | 7 | 6 | 5 | 4 | 3      | 2      | 1       | 0       |
|------------|---|---|---|---|--------|--------|---------|---------|
| Bit symbol |   |   |   |   | BEXOM1 | BEXOM0 | BEXBUS1 | BEXBUS0 |
| Read/Write |   |   |   |   | W      |        |         |         |
| リセット後      |   |   |   |   | 0      | 0      | 0       | 0       |

## BEXOM&lt;1:0&gt;

00 = SRAM または ROM。(デフォルト)  
 01 = (Reserved)  
 10 = (Reserved)  
 11 = (Reserved)

## BEXBUS&lt;1:0&gt; データバス幅の設定

00 = 8 ビット (デフォルト)  
 01 = 16 ビット  
 10 = 32 ビット  
 11 = (Reserved)

## (2) ブロックアドレス空間指定レジスタ

ブロックアドレス空間のスタートアドレスと範囲の指定は、メモリストートアドレス (MSAR<sub>n</sub>)、メモリアドレスマスクレジスタ (MAMR<sub>n</sub>) の2つのレジスタで行います。スタートアドレスを指定するメモリストートアドレスレジスタの設定は、ブロックアドレス空間によらず同様です。

メモリアドレスマスクレジスタは、ブロックアドレス空間により設定できるビットが異なります。

MSAR<sub>n</sub> (n = 0~3)

|            | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|------------|-------|-------|-------|-------|-------|-------|-------|-------|
| Bit symbol | MnS23 | MnS22 | MnS21 | MnS20 | MnS19 | MnS18 | MnS17 | MnS16 |
| Read/Write | R/W   |       |       |       |       |       |       |       |
| リセット後      | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     |

MnS<23:16> スタートアドレスの設定

各ブロックアドレス空間のスタートアドレスを設定します。各ビットはアドレス A23~A16に対応します。

MAMR0

|            | 7     | 6     | 5     | 4     | 3     | 2     | 1              | 0    |
|------------|-------|-------|-------|-------|-------|-------|----------------|------|
| Bit symbol | M0V20 | M0V19 | M0V18 | M0V17 | M0V16 | M0V15 | M0V14~<br>M0V9 | M0V8 |
| Read/Write | R/W   |       |       |       |       |       |                |      |
| リセット後      | 1     | 1     | 1     | 1     | 1     | 1     | 1              | 1    |

M0V<20:8>

アドレス比較の可/否を設定します。M0V20~M0V8はそれぞれアドレス A20~A8に対応します。M0V14~M0V9のビットは、1ビットでアドレス A14~A9に対応します。“0”をセットすると、アドレスバスの値とスタートアドレスとを比較し、“1”をセットすると比較しません。

MAMR1

|            | 7     | 6     | 5     | 4     | 3     | 2     | 1              | 0    |
|------------|-------|-------|-------|-------|-------|-------|----------------|------|
| Bit symbol | M1V21 | M1V20 | M1V19 | M1V18 | M1V17 | M1V16 | M1V15~<br>M1V9 | M1V8 |
| Read/Write | R/W   |       |       |       |       |       |                |      |
| リセット後      | 1     | 1     | 1     | 1     | 1     | 1     | 1              | 1    |

M1V<21:8>

アドレス比較の可/否を設定します。M1V20~M1V8はそれぞれアドレス A21~A8に対応します。M1V15~M1V9のビットは、1ビットでアドレス A15~A9に対応します。“0”をセットすると、アドレスバスの値とスタートアドレスとを比較し、“1”をセットすると比較しません。

MAMR<sub>n</sub> (n = 2~3)

|            | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|------------|-------|-------|-------|-------|-------|-------|-------|-------|
| Bit symbol | MnV22 | MnV21 | MnV20 | MnV19 | MnV18 | MnV17 | MnV16 | MnV15 |
| Read/Write | R/W   |       |       |       |       |       |       |       |
| リセット後      | 1     | 1     | 1     | 1     | 1     | 1     | 1     | 1     |

MnV<22:15>

アドレス比較の可/否を設定します。MnV22~MnV15はそれぞれアドレス A22~A15に対応します。“0”をセットすると、アドレスバスの値とスタートアドレスとを比較し、“1”をセットすると比較しません。

リセット後、MASR0~MASR3 および MAMR0~MAMR3 は“FFH”に設定されます。B0CSH<B0E>、B1CSH<B1E>と B3CSH<B3E>は“0”にリセットされます。これにより、CS0、CS1 および CS3 エリアをディセーブルします。しかし、B2CSH<B2M>は“0”に、B2CSH<B2E>は“1”にリセットされ、CS2 が 000000H~FFFFFFH で有効になります。また、BEXCSH/L で指定されるウェイト数およびバス幅は、CS0~CS3 で設定された以外のエリアをアクセスするために使用されます。

## (3) ページ ROM コントロールレジスタ (PMEMCR)

ページ ROM アクセスについての設定を行うレジスタです。ROM のページアクセスが可能なのは、ブロックアドレス空間 2 のみです。

PMEMCR

|            | 7 | 6 | 5 | 4    | 3     | 2     | 1   | 0   |
|------------|---|---|---|------|-------|-------|-----|-----|
| Bit symbol |   |   |   | OPGE | OPWR1 | OPWR0 | PR1 | PR0 |
| Read/Write |   |   |   | R/W  |       |       |     |     |
| リセット後      |   |   |   | 0    | 0     | 0     | 1   | 0   |

## OPGE イネーブルビット

0 = ROM ページモードアクセスを行わない。(デフォルト)

1 = ROM ページモードアクセスを行う。

## OPWR&lt;1:0&gt;ウェイト数の指定

00 = 1 ステート (n-1-1-1 モード) ( $n \geq 2$ ) (デフォルト)

01 = 2 ステート (n-2-2-2 モード) ( $n \geq 3$ )

10 = 3 ステート (n-3-3-3 モード) ( $n \geq 4$ )

11 = (Reserved)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

## PR&lt;1:0&gt;ROM のページサイズ

00 = 64 バイト

01 = 32 バイト

10 = 16 バイト (デフォルト)

11 = 8 バイト

表 3.6.1 コントロールレジスタ

|                   |            | 7     | 6      | 5      | 4      | 3      | 2      | 1        | 0       |
|-------------------|------------|-------|--------|--------|--------|--------|--------|----------|---------|
| B0CSL<br>(0140H)  | Bit symbol |       | B0WW2  | B0WW1  | B0WW0  |        | B0WR2  | B0WR1    | B0WR0   |
|                   | Read/Write |       | W      |        |        |        | W      |          |         |
|                   | リセット後      |       | 0      | 1      | 0      |        | 0      | 1        | 0       |
| B0CSH<br>(0141H)  | Bit symbol | B0E   | —      | —      | B0REC  | B0OM1  | B0OM0  | B0BUS1   | B0BUS0  |
|                   | Read/Write |       | W      |        |        |        |        |          |         |
|                   | リセット後      | 0     | 0 (注)  | 0 (注)  | 0      | 0      | 0      | 0        | 0       |
| MAMR0<br>(0142H)  | Bit symbol | M0V20 | M0V19  | M0V18  | M0V17  | M0V16  | M0V15  | M0V14-V9 | M0V8    |
|                   | Read/Write |       | R/W    |        |        |        |        |          |         |
|                   | リセット後      | 1     | 1      | 1      | 1      | 1      | 1      | 1        | 1       |
| MSAR0<br>(0143H)  | Bit symbol | M0S23 | M0S22  | M0S21  | M0S20  | M0S19  | M0S18  | M0S17    | M0S16   |
|                   | Read/Write |       | R/W    |        |        |        |        |          |         |
|                   | リセット後      | 1     | 1      | 1      | 1      | 1      | 1      | 1        | 1       |
| B1CSL<br>(0144H)  | Bit symbol |       | B1WW2  | B1WW1  | B1WW0  |        | B1WR2  | B1WR1    | B1WR0   |
|                   | Read/Write |       | W      |        |        |        | W      |          |         |
|                   | リセット後      |       | 0      | 1      | 0      |        | 0      | 1        | 0       |
| B1CSH<br>(0145H)  | Bit symbol | B1E   | —      | —      | B1REC  | B1OM1  | B1OM0  | B1BUS1   | B1BUS0  |
|                   | Read/Write |       | W      |        |        |        |        |          |         |
|                   | リセット後      | 0     | 0 (注)  | 0 (注)  | 0      | 0      | 0      | 0        | 0       |
| MAMR1<br>(0146H)  | Bit symbol | M1V21 | M1V20  | M1V19  | M1V18  | M1V17  | M1V16  | M1V15-V9 | M1V8    |
|                   | Read/Write |       | R/W    |        |        |        |        |          |         |
|                   | リセット後      | 1     | 1      | 1      | 1      | 1      | 1      | 1        | 1       |
| MSAR1<br>(0147H)  | Bit symbol | M1S23 | M1S22  | M1S21  | M1S20  | M1S19  | M1S18  | M1S17    | M1S16   |
|                   | Read/Write |       | R/W    |        |        |        |        |          |         |
|                   | リセット後      | 1     | 1      | 1      | 1      | 1      | 1      | 1        | 1       |
| B2CSL<br>(0148H)  | Bit symbol |       | B2WW2  | B2WW1  | B2WW0  |        | B2WR2  | B2WR1    | B2WR0   |
|                   | Read/Write |       | W      |        |        |        | W      |          |         |
|                   | リセット後      |       | 0      | 1      | 0      |        | 0      | 1        | 0       |
| B2CSH<br>(0149H)  | Bit symbol | B2E   | B2M    | —      | B2REC  | B2OM1  | B2OM0  | B2BUS1   | B2BUS0  |
|                   | Read/Write |       | W      |        |        |        |        |          |         |
|                   | リセット後      | 1     | 0      | 0 (注)  | 0      | 0      | 0      | 0/1      | 0/1     |
| MAMR2<br>(014AH)  | Bit symbol | M2V22 | M2V21  | M2V20  | M2V19  | M2V18  | M2V17  | M2V16    | M2V15   |
|                   | Read/Write |       | R/W    |        |        |        |        |          |         |
|                   | リセット後      | 1     | 1      | 1      | 1      | 1      | 1      | 1        | 1       |
| MSAR2<br>(014BH)  | Bit symbol | M2S23 | M2S22  | M2S21  | M2S20  | M2S19  | M2S18  | M2S17    | M2S16   |
|                   | Read/Write |       | R/W    |        |        |        |        |          |         |
|                   | リセット後      | 1     | 1      | 1      | 1      | 1      | 1      | 1        | 1       |
| B3CSL<br>(014CH)  | Bit symbol |       | B3WW2  | B3WW1  | B3WW0  |        | B3WR2  | B3WR1    | B3WR0   |
|                   | Read/Write |       | W      |        |        |        | W      |          |         |
|                   | リセット後      |       | 0      | 1      | 0      |        | 0      | 1        | 0       |
| B3CSH<br>(014DH)  | Bit symbol | B3E   | —      | —      | B3REC  | B3OM1  | B3OM0  | B3BUS1   | B3BUS0  |
|                   | Read/Write |       | W      |        |        |        |        |          |         |
|                   | リセット後      | 0     | 0 (注)  | 0 (注)  | 0      | 0      | 0      | 0        | 0       |
| MAMR3<br>(014EH)  | Bit symbol | M3V22 | M3V21  | M3V20  | M3V19  | M3V18  | M3V17  | M3V16    | M3V15   |
|                   | Read/Write |       | R/W    |        |        |        |        |          |         |
|                   | リセット後      | 1     | 1      | 1      | 1      | 1      | 1      | 1        | 1       |
| MSAR3<br>(014FH)  | Bit symbol | M3S23 | M3S22  | M3S21  | M3S20  | M3S19  | M3S18  | M3S17    | M3S16   |
|                   | Read/Write |       | R/W    |        |        |        |        |          |         |
|                   | リセット後      | 1     | 1      | 1      | 1      | 1      | 1      | 1        | 1       |
| BEXCSH<br>(0159H) | Bit symbol |       |        |        |        | BEXOM1 | BEXOM0 | BEXBUS1  | BEXBUS0 |
|                   | Read/Write |       |        |        |        | W      |        |          |         |
|                   | リセット後      |       |        |        |        | 0      | 0      | 0        | 0       |
| BEXCSL<br>(0158H) | Bit symbol |       | BEXWW2 | BEXWW1 | BEXWW0 |        | BEXWR2 | BEXWR1   | BEXWR0  |
|                   | Read/Write |       | W      |        |        |        | W      |          |         |
|                   | リセット後      |       | 0      | 1      | 0      |        | 0      | 1        | 0       |
| PMEMCR<br>(0166H) | Bit symbol |       |        |        | OPGE   | OPWR1  | OPWR0  | PR1      | PR0     |
|                   | Read/Write |       |        |        | R/W    |        |        |          |         |
|                   | リセット後      |       |        |        | 0      | 0      | 0      | 1        | 0       |

注) “0” をライトしてください。

### 3.6.6 注意

#### (1) $\overline{CS}$ と $\overline{RD}$ の間のタイミングの注意点

リード信号（アウトプットイネーブル信号）の寄生容量がチップセレクト信号の容量より大きい場合のリード信号の遅れにより、意図しないリードサイクルが発生する場合があります。図 3.6.1の (a) のような意図しないリードサイクルによって、不具合が発生する恐れがあります。

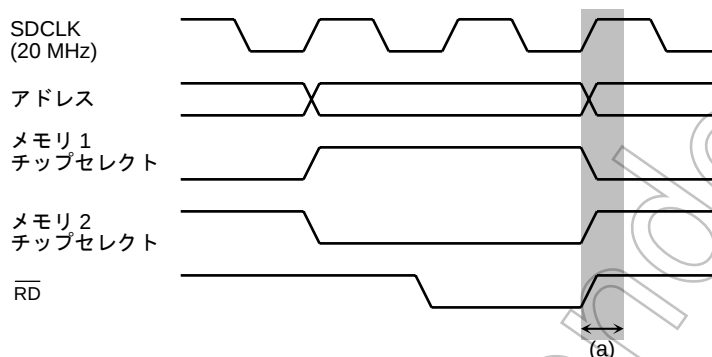


図 3.6.1 リード信号遅延時のリードサイクル

例: JEDEC標準型コマンドを採用しているフラッシュEEPROMを外部に接続する場合、トグルビットを正しく読み出しできない場合があります。図 3.6.2のようにフラッシュEEPROMアクセスの前のサイクルのリード信号立ち上がりが遅れたとき、(b)のように意図しないリードサイクルが生じます。

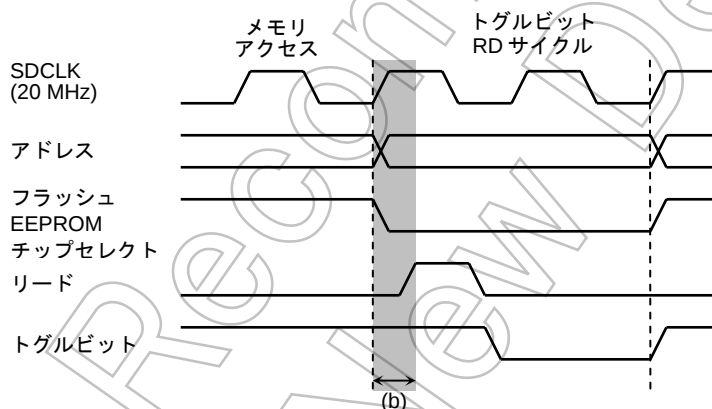


図 3.6.2 フラッシュ EEPROM トグルビットリードサイクル

この意図しないリードサイクルでトグルビットが反転してしまう場合、TMP92C820 はいつも同じ値のトグルビットを読み出すことになり、正しくトグルビットをリードできません。このような現象が起こる場合があるため、データポーリングでの制御を推奨します。

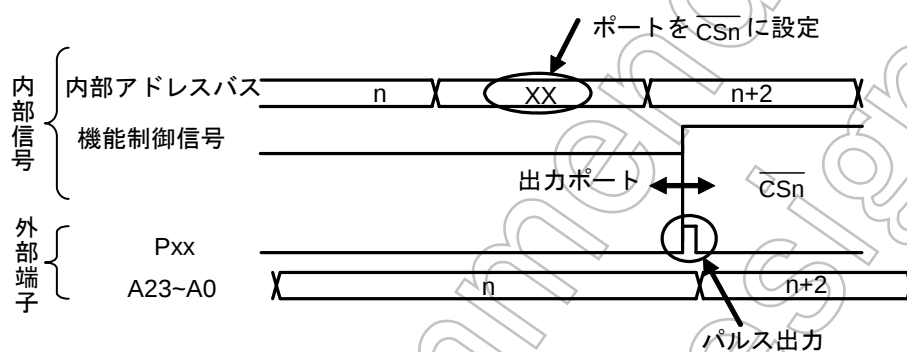
(2)  $\overline{CSn}$  端子の機能切り替え時の注意

チップセレクト信号出力は汎用ポート機能との兼用端子の場合があります。この場合は、リセット動作により、出力ラッチレジスタおよび機能制御レジスタが初期化され、対象端子がポート出力 (“1” または “0”) に初期化されます。

## 機能切り替え

機能制御レジスタ (PnFC レジスタ) を設定する事により、対象端子をポートからチップセレクト信号出力に切り替えますが、切り替わりのタイミングで数 ns の短いパルスが出力される場合があります。通常のメモリを使用する場合、特に問題にはなりません、特殊なメモリを使用する場合、問題となることがあります。

※ XX は機能レジスタアドレス(出力ポートが“0”に初期化される場合)

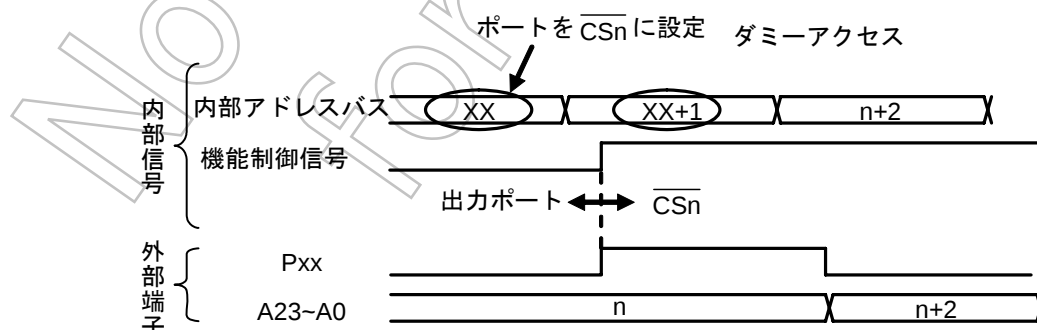


## ソフトウェアによる対策

この現象を回避するための S/W での対応策を説明します。

CS 信号はそのアクセスエリアのアドレスをデコードして生成されるため、不要なパルスは  $\overline{CSn}$  機能に設定した直後の、対象 CS エリアへのアクセスによって出力されます。そこで、ポートを CS 機能に設定した直後も内部エリアにアクセスすれば不要なパルスは出力しません。

1. 機能切り替え中の割り込み禁止 (DI 命令)
2. 連続した内部アクセスをするために、ダミー命令を追加
3. 機能切り替えレジスタへのアクセスを 16 ビット命令で対応する (LDW 命令)



### 3.7 8ビットタイマ

8ビットタイマを4チャンネル(TMRA0~TMRA3)内蔵しています。

TMRAは2チャンネルを1モジュールとし、2モジュールで構成され、それぞれTMRA01, TMRA23と呼びます。各モジュールは次の4種類のモードを持っています。

- 8ビットインタバルタイマモード
- 16ビットインタバルタイマモード
- 8ビットプログラマブル矩形波 (PPG: 可変周期、可変デューティ) 出力モード
- 8ビットパルス幅変調 (PWM: 可変周期、可変デューティ) 出力モード

図 3.7.1~図 3.7.2にTMRA01, TMRA23 のブロック図を示します。

各チャンネルは8ビットアップカウンタ、8ビットコンパレータおよび8ビットのタイマレジスタで構成され、2チャンネルで1つのペアのそれぞれに、タイマフリップフロップとプリスケアラが用意されています。

TMRAの動作モードとタイマフリップフロップは、5つのレジスタ(SFR)で制御されます。

2つの各モジュール(TMRA01, TMRA23)は、それぞれ独立して動作します。どのモジュールも表 3.7.1に示される仕様相違点を除いて同一の動作をしますので、TMRA01の場合についてのみ説明します。

本章は下記のような構成になっています。

#### 3.7.1 モジュール別ブロック図

#### 3.7.2 回路別動作説明

#### 3.7.3 8ビットタイマレジスタ

#### 3.7.4 モード別動作説明

- (1) 8ビットタイマモード
- (2) 16ビットタイマモード
- (3) 8ビット PPG (プログラマブル矩形波) 出力モード
- (4) 8ビット PWM 出力モード
- (5) モード設定

表 3.7.1 モジュール別仕様相違点

| 仕 様             |                       | モジュール | TMRA01                           | TMRA23                           |
|-----------------|-----------------------|-------|----------------------------------|----------------------------------|
| 外部端子            | 外部クロック入力端子            |       | TA0IN (PC0 と兼用)                  | なし                               |
|                 | タイマフリップフロップ出力端子       |       | TA1OUT (PC1 と兼用)                 | TA3OUT (PC5 と兼用)                 |
| SFR 名<br>(アドレス) | タイマ RUN レジスタ          |       | TA01RUN (1100H)                  | TA23RUN (1108H)                  |
|                 | タイマレジスタ               |       | TA0REG (1102H)<br>TA1REG (1103H) | TA2REG (110AH)<br>TA3REG (110BH) |
|                 | タイマモードレジスタ            |       | TA01MOD (1104H)                  | TA23MOD (110CH)                  |
|                 | タイマフリップフロップコントロールレジスタ |       | TA1FFCR (1105H)                  | TA3FFCR (110DH)                  |

### 3.7.1 モジュール別ブロック図

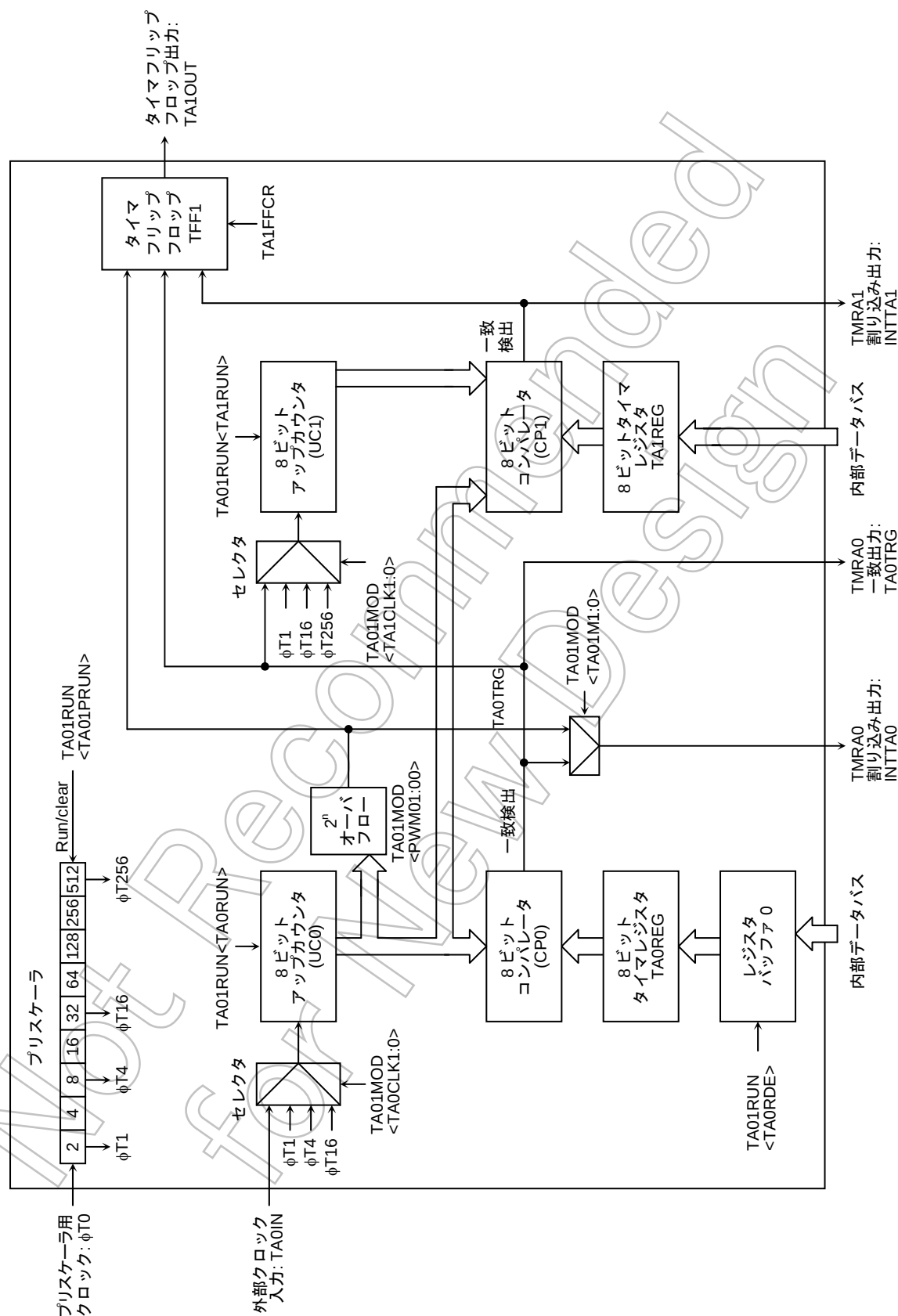


図 3.7.1 TMRA01 ブロック図

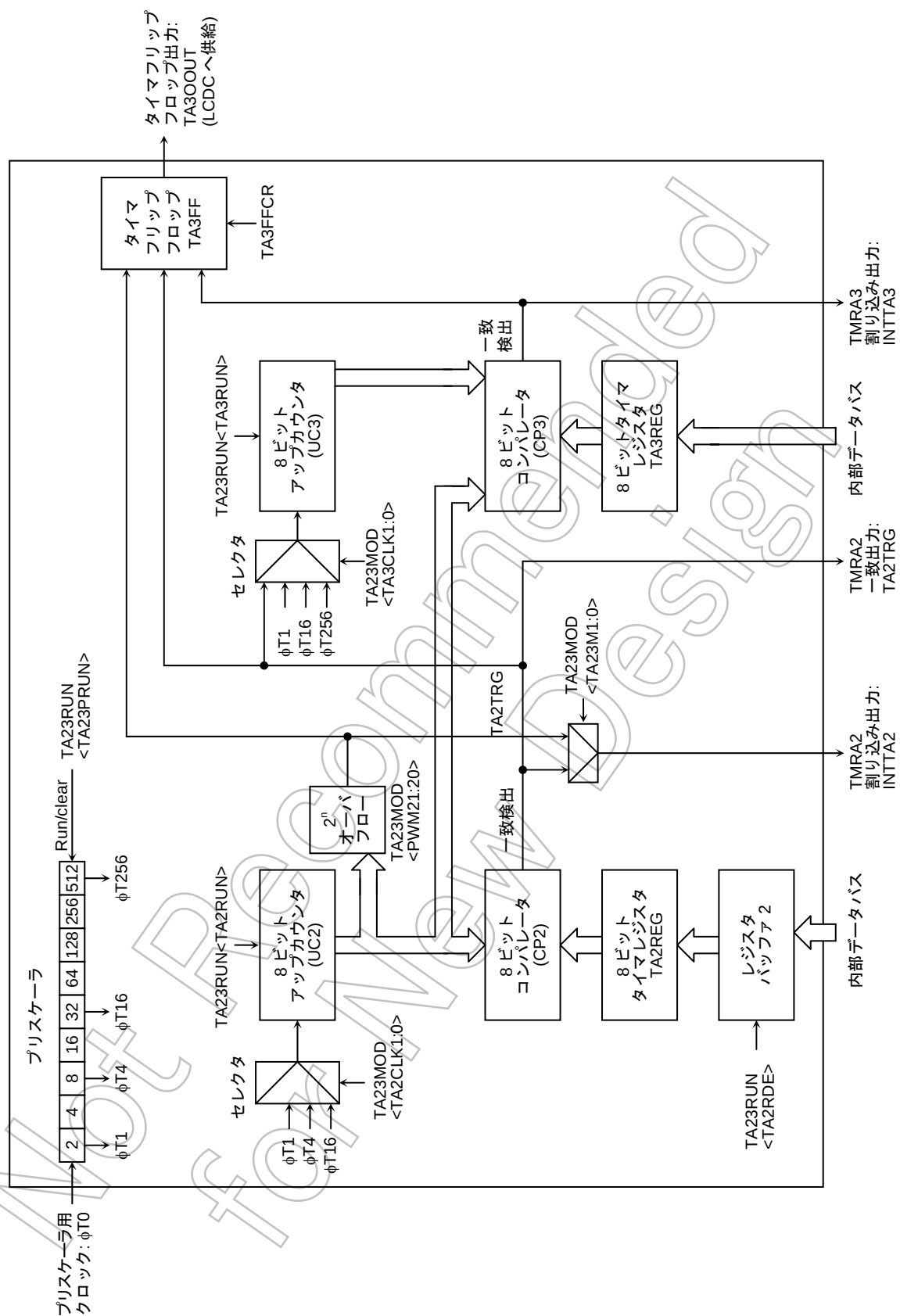


図 3.7.2 TMRA23 ブロック図

### 3.7.2 回路別動作説明

#### (1) プリスケーラ

TMRA01 のクロックソースを得るため 9 ビットプリスケーラがあります。プリスケーラの入力クロック  $\phi T0$  は、クロックギア部の SYSCR0<SYSCK>にて選択したクロックを 8 分周したクロックです。

プリスケーラはTA01RUN<TA01PRUN>により制御されます。<TA01PRUN>に“1”をライトするとカウントが開始され、“0”をライトすると 0 にクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.7.2 に示します。

表 3.7.2 プリスケーラ出力クロック分解能

| クロックギア<br>選択<br>SYSCR1<br><GEAR2:0> | システム<br>クロック選択<br>SYSCR1<br><SYSCK> | －   | タイマカウンタ入力クロック<br>TMRA 部プリスケーラ<br>TAxMOD<TAxCLK1:0> |          |            |              |
|-------------------------------------|-------------------------------------|-----|----------------------------------------------------|----------|------------|--------------|
|                                     |                                     |     | φT1(1/2)                                           | φT4(1/8) | φT16(1/32) | φT256(1/512) |
| －                                   | 1(fs)                               | 1/8 | fs/16                                              | fs/64    | fs/256     | fs/4096      |
| 000 (1/1)                           | 0 (fc)                              |     | fc/16                                              | fc/64    | fc/256     | fc/4096      |
| 001 (1/2)                           |                                     |     | fc/32                                              | fc/128   | fc/512     | fc/8192      |
| 010 (1/4)                           |                                     |     | fc/64                                              | fc/256   | fc/1024    | fc/16384     |
| 011 (1/8)                           |                                     |     | fc/128                                             | fc/512   | fc/2048    | fc/32768     |
| 100 (1/16)                          |                                     |     | fc/256                                             | fc/1024  | fc/4096    | fc/65536     |

#### (2) アップカウンタ (UC0, UC1)

タイマモードレジスタ (TA01MOD) で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA0IN 端子からの外部クロックと、3 種類のプリスケーラ出力クロック  $\phi T1$ ,  $\phi T4$ ,  $\phi T16$  から、TA01MOD<TA01CLK1:0> の設定値に応じて選択されます。

UC1 の入力クロックは、動作モードによって異なります。16 ビットタイマモードに設定した場合は、アップカウンタ UC0 のオーバーフロー出力が入力クロックとなり、16 ビットタイマモード以外の設定の場合は、入力信号は内部クロック  $\phi T1$ ,  $\phi T16$ ,  $\phi T256$  と、TMRA0 のコンパレータ出力 (一致検出) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>, TA01RUN<TA1RUN> によってカウント/停止 & クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。

## (3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタへの設定値と、アップカウンタの値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバーフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファの制御は、TA01RUN<TA0RDE> の設定により行います。<TA0RDE> = “0” のときディセーブル、<TA0RDE> = “1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの 2<sup>n</sup> オーバフロー、または、PPG モードの周期コンペアー一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TA0RDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときには、タイマレジスタに設定値を書き込み、<TA0RDE> = “1” に設定した後、レジスタバッファに次の設定値を書き込んでください。

図 3.7.3にTA0REGの構成を示します。

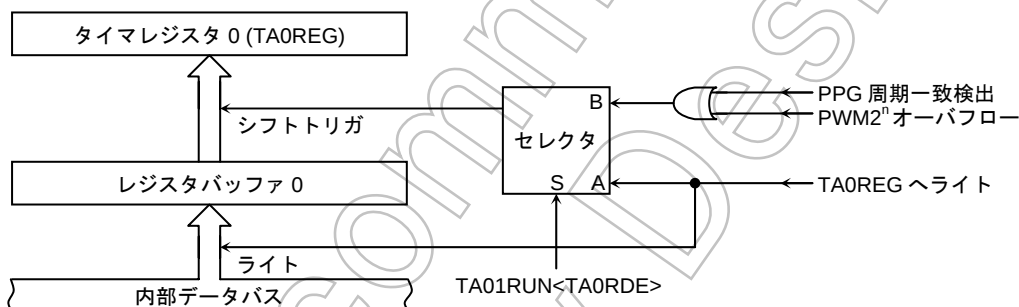


図 3.7.3 タイマレジスタ TMRA0 (TA0REG) の構成

注) タイマレジスタとレジスタバッファは同じアドレスに割り付けられています。<TA0RDE> = “0” のときは、レジスタバッファとタイマレジスタの両方に同じ数字が書き込まれ、<TA0RDE> = “1” のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのアドレスは次の通りです。

|                 |                 |
|-----------------|-----------------|
| TA0REG: 001102H | TA1REG: 001103H |
| TA2REG: 00110AH | TA3REG: 00110BH |

これらのレジスタは書き込み専用レジスタで、リードできません。

## (4) コンパレータ (CP0)

アップカウンタ値とタイマレジスタ値とを比較し、一致するとアップカウンタを 0 にクリアするとともに、割り込み (INTTA0, INTTA1) を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

## (5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ (TA1FF) は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブルイネーブルは、タイマフリップフロップコントロールレジスタ TA1FFCR<TA1FFIE> により設定できます。

リセットにより、TA1FF1~TA1FF0 の値は“0”になります。TA1FFCR<TA1FFC1:0> に“01”、または“10”を書き込むことで、TA1FF に“1”、または“0”を設定できます。また、このビットに“00”を書き込むことにより、TA1FF の値を反転することができます (ソフト反転)。

TA1FF の値は、タイマ出力端子 TA1OUT (PC1 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート C ファンクションレジスタ PCFC により設定を行う必要があります。

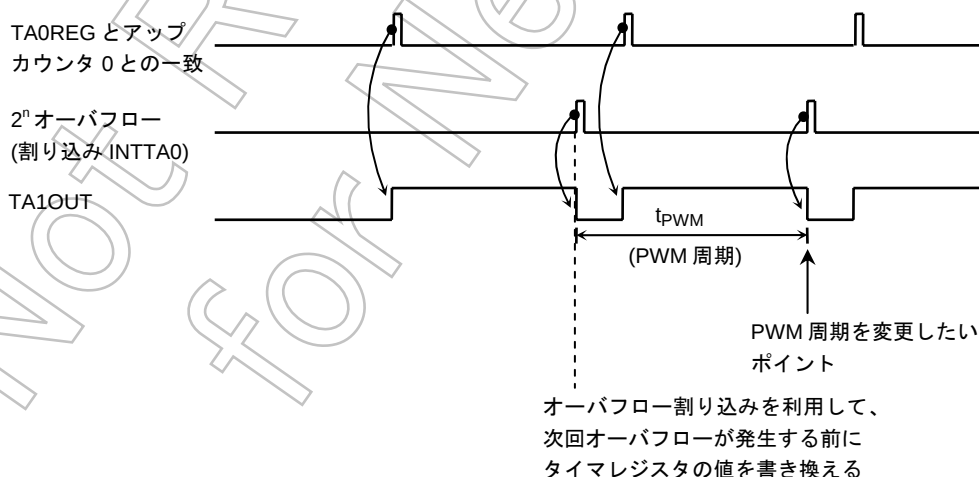
注) 8 ビットタイマにおいて PWM モードや PPG モードを使用時にダブルバッファを利用する場合は、注意が必要です。

タイマレジスタの設定値と、アップカウンタが一致して、オーバフロー発生するタイミング直前にレジスタバッファのデータ更新を行うと、設定値と異なる波形信号が出力される場合があります。

そのため、PWM モードではオーバフロー割り込みを利用し、次回のオーバフローが発生する 6 サイクル前までに ( $f_{SYS} \times 6$ )、レジスタバッファの更新を終了するようにしてください。

また、PPG モードを使用の際も同様に、周期のコンペアー一致割り込みを使用し、次回の周期コンペアーが一致する 6 サイクル前までに、レジスタバッファの更新を終了するようにしてください。

## PWM モード時の例



## 3.7.3 8ビットタイマレジスタ

TMRA01 Run レジスタ

|                    |                                    |        |   |   |   |                         |                                |        |        |
|--------------------|------------------------------------|--------|---|---|---|-------------------------|--------------------------------|--------|--------|
| TA01RUN<br>(1100H) |                                    | 7      | 6 | 5 | 4 | 3                       | 2                              | 1      | 0      |
|                    | Bit symbol                         | TA0RDE |   |   |   | I2TA01                  | TA01PRUN                       | TA1RUN | TA0RUN |
|                    | Read/Write                         | R/W    |   |   |   | R/W                     |                                |        |        |
|                    | リセット後                              | 0      |   |   |   | 0                       | 0                              | 0      | 0      |
| 機 能                | Double<br>buffer<br>0: 禁止<br>1: 許可 |        |   |   |   | IDLE2<br>0: 停止<br>1: 動作 | TMRA01<br>プリス<br>ケーラ           |        |        |
|                    |                                    |        |   |   |   |                         | 0: 停止 & クリア<br>1: 動作 (カウントアップ) |        |        |

→ カウント動作

|   |          |
|---|----------|
| 0 | 停止 & クリア |
| 1 | カウント     |

→ TA0REG ダブルバッファの制御

|   |        |
|---|--------|
| 0 | ディセーブル |
| 1 | イネーブル  |

注) TA01RUN のビット 4~6 は、リードすると不定値がリードされます。

TMRA23 Run レジスタ

|                    |                                    |        |   |   |   |                         |                                |        |        |
|--------------------|------------------------------------|--------|---|---|---|-------------------------|--------------------------------|--------|--------|
| TA23RUN<br>(1108H) |                                    | 7      | 6 | 5 | 4 | 3                       | 2                              | 1      | 0      |
|                    | Bit symbol                         | TA2RDE |   |   |   | I2TA23                  | TA23PRUN                       | TA3RUN | TA2RUN |
|                    | Read/Write                         | R/W    |   |   |   | R/W                     | R/W                            |        |        |
|                    | リセット後                              | 0      |   |   |   | 0                       | 0                              | 0      | 0      |
| 機 能                | Double<br>buffer<br>0: 禁止<br>1: 許可 |        |   |   |   | IDLE2<br>0: 停止<br>1: 動作 | TMRA23<br>プリス<br>ケーラ           |        |        |
|                    |                                    |        |   |   |   |                         | 0: 停止 & クリア<br>1: 動作 (カウントアップ) |        |        |

→ カウント動作

|   |          |
|---|----------|
| 0 | 停止 & クリア |
| 1 | カウント     |

→ TA2REG ダブルバッファの制御

|   |        |
|---|--------|
| 0 | ディセーブル |
| 1 | イネーブル  |

注) TA23RUN のビット 4~6 は、リードすると不定値がリードされます。

図 3.7.4 TMRA のレジスタ

TMRA01 モードレジスタ

TA01MOD  
(1104H)

|            | 7                                                                              | 6      | 5                                                                                       | 4     | 3                                                               | 2       | 1                                                                     | 0       |
|------------|--------------------------------------------------------------------------------|--------|-----------------------------------------------------------------------------------------|-------|-----------------------------------------------------------------|---------|-----------------------------------------------------------------------|---------|
| Bit symbol | TA01M1                                                                         | TA01M0 | PWM01                                                                                   | PWM00 | TA1CLK1                                                         | TA1CLK0 | TA0CLK1                                                               | TA0CLK0 |
| Read/Write | R/W                                                                            |        |                                                                                         |       |                                                                 |         |                                                                       |         |
| リセット後      | 0                                                                              | 0      | 0                                                                                       | 0     | 0                                                               | 0       | 0                                                                     | 0       |
| 機 能        | 動作モード<br>00: 8ビットタイマモード<br>01: 16ビットタイマモード<br>10: 8ビットPPGモード<br>11: 8ビットPWMモード |        | PWM周期<br>00: Reserved<br>01: 2 <sup>6</sup><br>10: 2 <sup>7</sup><br>11: 2 <sup>8</sup> |       | TMRA1 ソースクロック<br>00: TA0TRG<br>01: φT1<br>10: φT16<br>11: φT256 |         | TMRA0 ソースクロック<br>00: TA0IN 端子入力 (注)<br>01: φT1<br>10: φT4<br>11: φT16 |         |

TMRA0 入力クロック

|    |            |
|----|------------|
| 00 | TA0IN 端子入力 |
| 01 | φT1        |
| 10 | φT4        |
| 11 | φT16       |

TMRA1 入力クロック

|    | TA01MOD<br><TA01M1:0> ≠ 01 | TA01MOD<br><TA01M1:0> = 01                |
|----|----------------------------|-------------------------------------------|
| 00 | TMRA0 の一致出力                | TMRA0 の<br>オーバーフロー出力<br>(16ビットタイマ<br>モード) |
| 01 | φT1                        |                                           |
| 10 | φT16                       |                                           |
| 11 | φT256                      |                                           |

PWM モード時の周期選択

|    |                          |
|----|--------------------------|
| 00 | Reserved                 |
| 01 | 2 <sup>6</sup> × ソースクロック |
| 10 | 2 <sup>7</sup> × ソースクロック |
| 11 | 2 <sup>8</sup> × ソースクロック |

TMRA01 動作モード選択

|    |                                     |
|----|-------------------------------------|
| 00 | 8ビットタイマ×2ch                         |
| 01 | 16ビットタイマ                            |
| 10 | 8ビットプログラム矩形波出力                      |
| 11 | 8ビットPWM (TMRA0),<br>8ビットタイマ (TMRA1) |

注) TA0IN 端子を設定するときは、まずポート C を設定してから TA01MOD をセットしてください。

図 3.7.5 TMRA のレジスタ

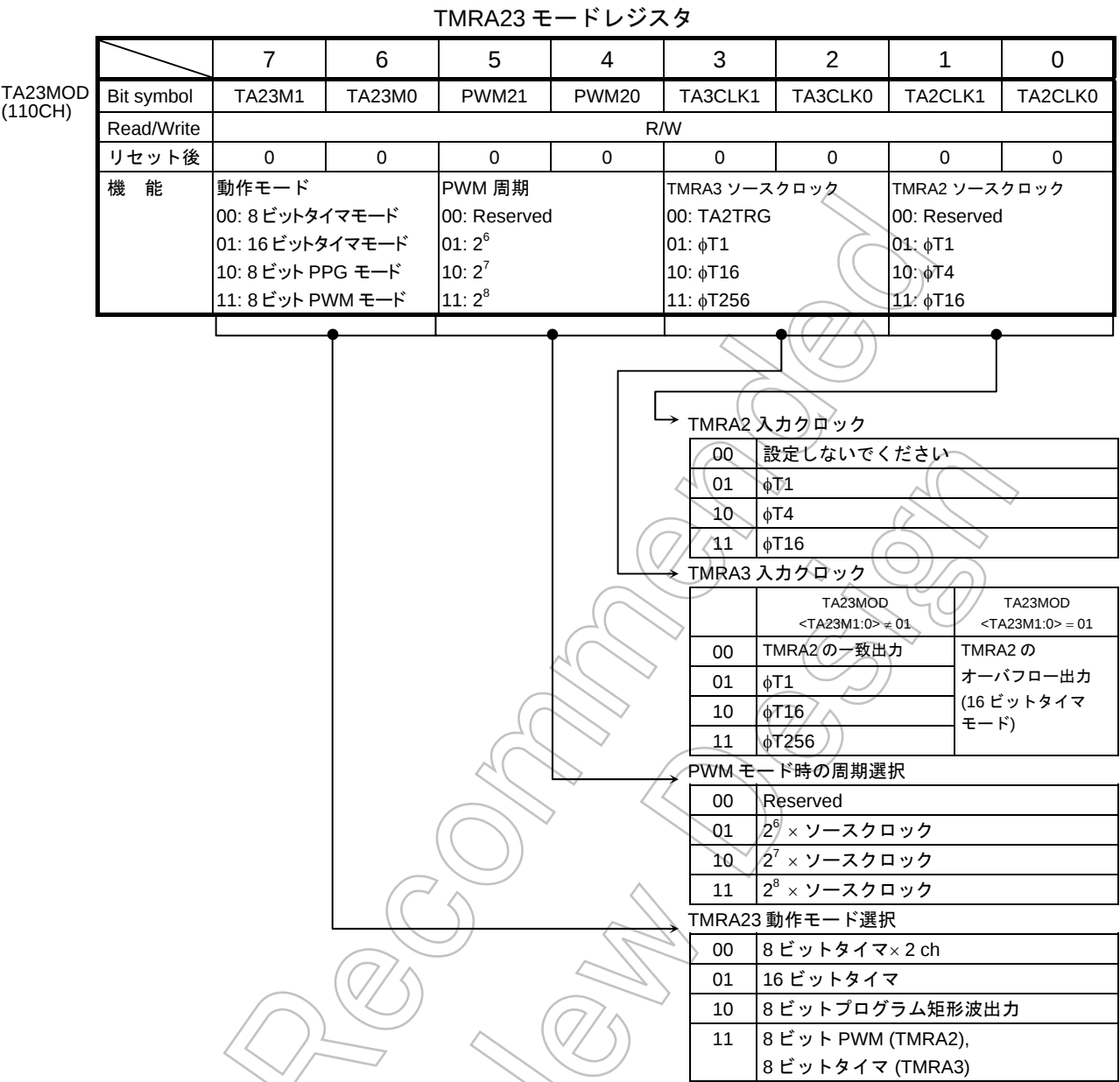


図 3.7.6 TMRA のレジスタ

TMRA1 フリップフロップコントロールレジスタ

TA1FFCR  
(1105H)  
  
リード  
モディファ  
イライトは  
できませ  
ん。

|            | 7 | 6 | 5 | 4 | 3                                                                                   | 2       | 1                               | 0                                              |
|------------|---|---|---|---|-------------------------------------------------------------------------------------|---------|---------------------------------|------------------------------------------------|
| Bit symbol |   |   |   |   | TA1FFC1                                                                             | TA1FFC0 | TA1FFIE                         | TA1FFIS                                        |
| Read/Write |   |   |   |   | R/W                                                                                 |         |                                 |                                                |
| リセット後      |   |   |   |   | 1                                                                                   | 1       | 0                               | 0                                              |
| 機 能        |   |   |   |   | 00: TA1FF を反転<br>01: TA1FF を “1” にセット<br>10: TA1FF を “0” に<br>クリア<br>11: Don't care |         | TA1FF<br>反転制御<br>0: 禁止<br>1: 許可 | TA1FF1<br>反転信号<br>セレクト<br>0: TMRA0<br>1: TMRA1 |



図 3.7.7 TMRA のレジスタ

TMRA3 フリップフロップコントロールレジスタ

TA3FFCR  
(110DH)  
リード  
モディファイ  
アイトは  
できませ  
ん。

|            | 7 | 6 | 5 | 4 | 3                                                                               | 2       | 1                               | 0                                             |
|------------|---|---|---|---|---------------------------------------------------------------------------------|---------|---------------------------------|-----------------------------------------------|
| Bit symbol |   |   |   |   | TA3FFC1                                                                         | TA3FFC0 | TA3FFIE                         | TA3FFIS                                       |
| Read/Write |   |   |   |   | R/W                                                                             |         |                                 |                                               |
| リセット後      |   |   |   |   | 1                                                                               | 1       | 0                               | 0                                             |
| 機 能        |   |   |   |   | 00: TA3FF を反転<br>01: TA3FF を“1”にセット<br>10: TA3FF を“0”に<br>クリア<br>11: Don't care |         | TA3FF<br>反転制御<br>0: 禁止<br>1: 許可 | TA3FF<br>反転信号<br>セレクト<br>0: TMRA2<br>1: TMRA3 |



図 3.7.8 TMRA のレジスタ

TMRA レジスタ (TA0REG~TA3REG)

| 記号     | アドレス  | 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|-------|----|---|---|---|---|---|---|---|
| TA0REG | 1102H | -  |   |   |   |   |   |   |   |
|        |       | W  |   |   |   |   |   |   |   |
|        |       | 不定 |   |   |   |   |   |   |   |
| TA1REG | 1103H | -  |   |   |   |   |   |   |   |
|        |       | W  |   |   |   |   |   |   |   |
|        |       | 不定 |   |   |   |   |   |   |   |
| TA2REG | 110AH | -  |   |   |   |   |   |   |   |
|        |       | W  |   |   |   |   |   |   |   |
|        |       | 不定 |   |   |   |   |   |   |   |
| TA3REG | 110BH | -  |   |   |   |   |   |   |   |
|        |       | W  |   |   |   |   |   |   |   |
|        |       | 不定 |   |   |   |   |   |   |   |

注) 上記レジスタはリードモディファイライトできません。

図 3.7.9 TMRA のレジスタ

### 3.7.4 モード別動作説明

#### (1) 8ビットタイマモード

TMRA0, TMRA1 はそれぞれ独立に 8 ビットインタバルタイマとして使用できます。

##### 1. 一定周期の割り込みを発生させる場合 (TMRA1 使用)

TMRA1 を用いて、一定周期ごとに TMRA 1 割り込み (INTTA1) を発生させる場合、まず TMRA1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD, TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、TMRA1 をカウントさせます。

例:  $f_C = 40 \text{ MHz}$  で  $40 \mu\text{s}$  ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

|          | MSB |   |   |   |   |   |   |   | LSB |                                                             |   |   |   |   |   |   |   |
|----------|-----|---|---|---|---|---|---|---|-----|-------------------------------------------------------------|---|---|---|---|---|---|---|
|          | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |     | 7                                                           | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TA01RUN  | ←   | – | X | X | X | – | – | 0 | –   | TMRA1 を停止し、0 にクリアします。                                       |   |   |   |   |   |   |   |
| TA01MOD  | ←   | 0 | 0 | – | – | 0 | 1 | – | –   | 8 ビットタイマモードにし、入力クロックをφT1 (=16/fc)s @ fc40 = 20 MHz) に設定します。 |   |   |   |   |   |   |   |
| TA1REG   | ←   | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0   | TA1REG に 40 μs ÷ φT1 = 100 = 64H を書き込みます。                   |   |   |   |   |   |   |   |
| INTETA01 | ←   | X | 1 | 0 | 1 | – | – | – | –   | INTTA1 をイネーブル、割り込みレベル 5 に設定します。                             |   |   |   |   |   |   |   |
| TA01RUN  | ←   | – | X | X | X | – | 1 | 1 | –   | TMRA1 をカウントさせます。                                            |   |   |   |   |   |   |   |

X: Don't care, –: No change

入力クロックの選択は表 3.7.3 を参考にしてください。

表 3.7.3 8 ビットタイマによる割り込み周期と入力クロックの選択

| 入力クロック                            | 割り込み周期 (@ $f_{\text{SYS}} = 20 \text{ MHz}$ ) | 分解能                 |
|-----------------------------------|-----------------------------------------------|---------------------|
| $\phi T1 (8/f_{\text{SYS}})$      | $0.4 \mu\text{s} \sim 102.4 \mu\text{s}$      | $0.4 \mu\text{s}$   |
| $\phi T4 (32/f_{\text{SYS}})$     | $1.6 \mu\text{s} \sim 409.6 \mu\text{s}$      | $1.6 \mu\text{s}$   |
| $\phi T16 (128/f_{\text{SYS}})$   | $6.4 \mu\text{s} \sim 1.638 \text{ ms}$       | $6.4 \mu\text{s}$   |
| $\phi T256 (2048/f_{\text{SYS}})$ | $102.4 \mu\text{s} \sim 26.21 \text{ ms}$     | $102.4 \mu\text{s}$ |

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。

TMRA0: TMRA0 入力 (TA0IN)、 $\phi T1$ ,  $\phi T4$ ,  $\phi T16$

TMRA1: TMRA0 の一致検出信号 (TA0TRG)、 $\phi T1$ ,  $\phi T16$ ,  $\phi T256$

## 2. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ (TA1FF1) の値を反転させ、この値をタイマフリップフロップ出力端子 (TA1OUT) へ出力します。

例:  $f_C = 40 \text{ MHz}$  で周期  $2.4 \mu\text{s}$  の矩形波を TA1OUT から出力させたい場合、次の順序で各レジスタを設定します。  
この場合、TMRA0 か TMRA1 を使用しますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

|         | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |   |
|---------|---|---|---|---|---|---|---|---|---|
| TA01RUN | ← | — | X | X | X | — | — | 0 | — |
| TA01MOD | ← | 0 | 0 | — | — | 0 | 1 | — | — |
| TA1REG  | ← | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| TA1FFCR | ← | X | X | X | X | 1 | 0 | 1 | 1 |
| PCCR    | ← | X | — | — | X | — | X | 1 | — |
| PCFC    | ← | X | — | — | X | — | X | 1 | — |
| TA01RUN | ← | — | X | X | X | — | 1 | 1 | — |

X: Don't care, —: No change

TMRA1 を停止し、0 にクリアします。  
8 ビットタイマモードにし、入力クロックを  $\phi T1 (= (16/f_C)s @ f_C = 40 \text{ MHz})$  にします。  
TA1REG に  $2.4 \mu\text{s} \div \phi T1 \div 2 = 3$  をセットします。  
TA1FF を "0" にクリアし、TMRA1 からの一致検出信号で反転するように設定します。  
PC1 を TA1OUT 出力端子に設定します。  
TMRA1 のカウントを開始させます。

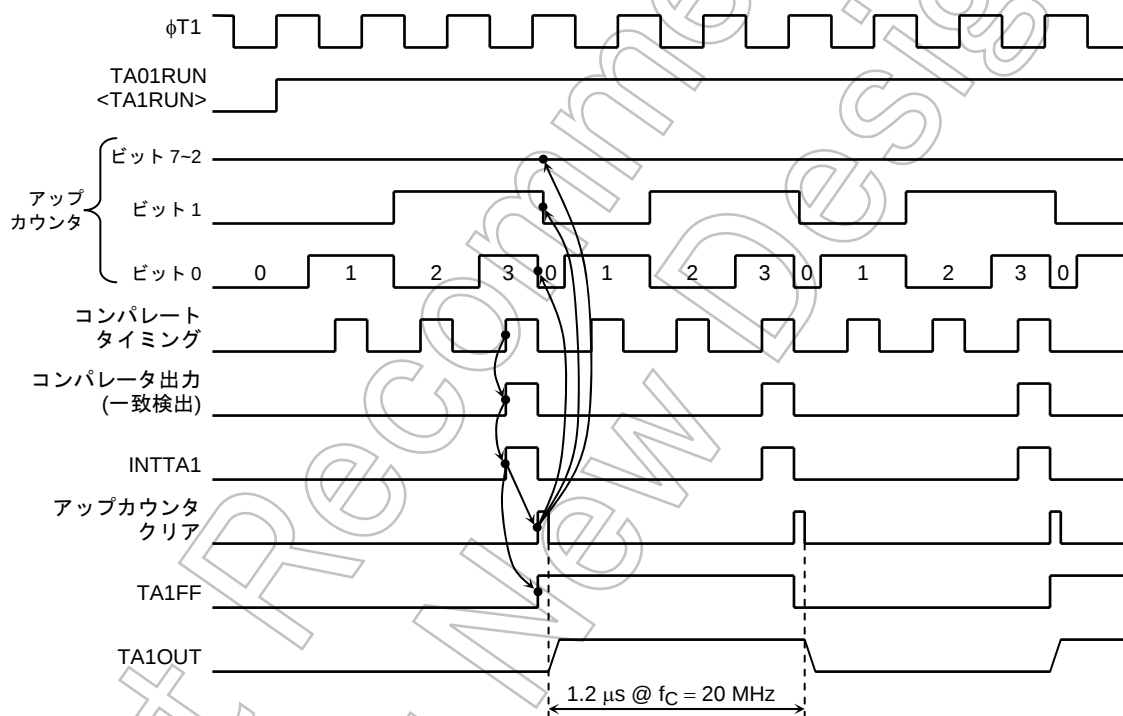


図 3.7.10 矩形波 (50%デューティ) 出力のタイミングチャート

### 3. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

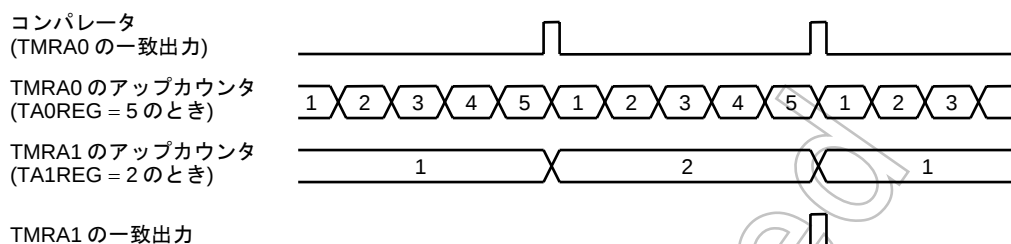


図 3.7.11 TMRA0 による TMRA1 のカウントアップ

#### (3) 16 ビットタイマモード

TMRA0 と TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。TA01MOD<TA01M1:0> を “01” に設定することで 16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバーフロー出力になります。タイマ (割り込み) 周期と入力クロックの選択の関係は、表 3.7.4 (1) を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、必ず TA0REG から先に設定してください (TA0REG にデータを書き込むとコンペアが一時禁止され、TA1REG へのデータ書き込みでコンペアが開始されるためです)。

設定例)  $f_C = 40 \text{ MHz}$  で 0.4 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG, TA1REG には次の値を設定します。

$\phi T16 (= (256/f_C) \text{ s} @ 40 \text{ MHz})$  を入力クロックとしてカウントすると、

$0.4 \text{ s} \div (256/f_C) \text{ s} = 62500 = \text{F424H}$

従って、TA1REG = F4H、TA0REG = 24H を設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG が一致すると、コンパレータタイミング時に毎回一致検出信号が出力されます。TMRA0、TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0、UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また、反転イネーブルであれば、TMRA フリップフロップ TA1FF の値は反転されます。

例) TA1REG = 04H、TA0REG = 80H の場合

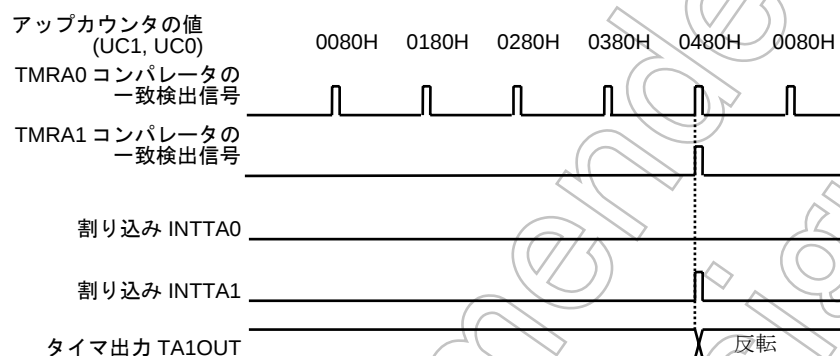


図 3.7.12 16 ビット TMRA モードによる TMRA 出力

### (3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスは Low アクティブ、High アクティブ、どちらの設定も可能です。このモードに設定した場合、TMRA1 は使用できません。矩形波は TA1OUT (PC1 と兼用) へ出力されます。

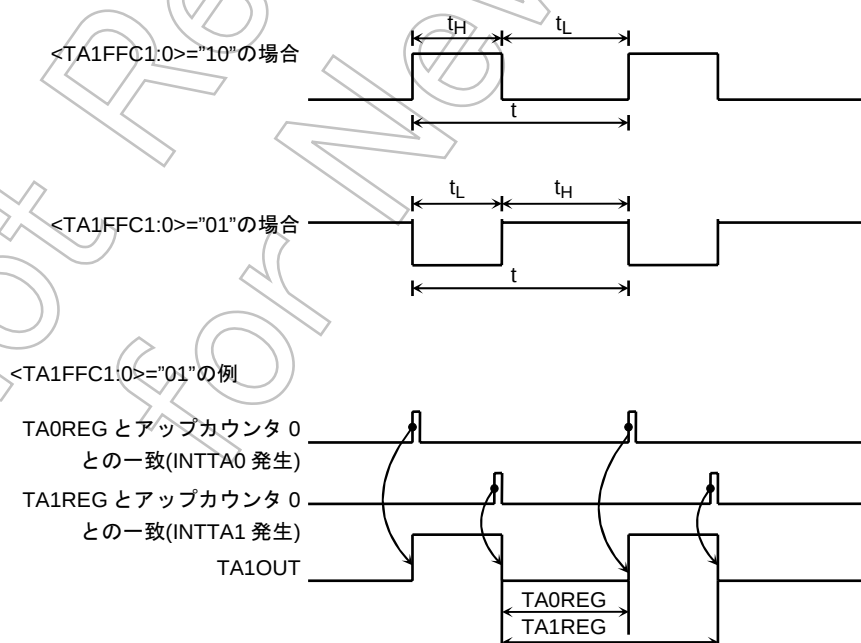


図 3.7.13 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ (UC0) が、TMRA レジスタ TA0REG, TA1REG と一致するたびに **TMRA** 出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは **TMRA1** のアップカウンタ **UC1** は使用できませんが、**TA01RUN<TA1RUN>="1"** に設定して、**TMRA1** をカウント状態にしてください。

このモードをブロック図で示すと、図 3.7.14 のようになります。

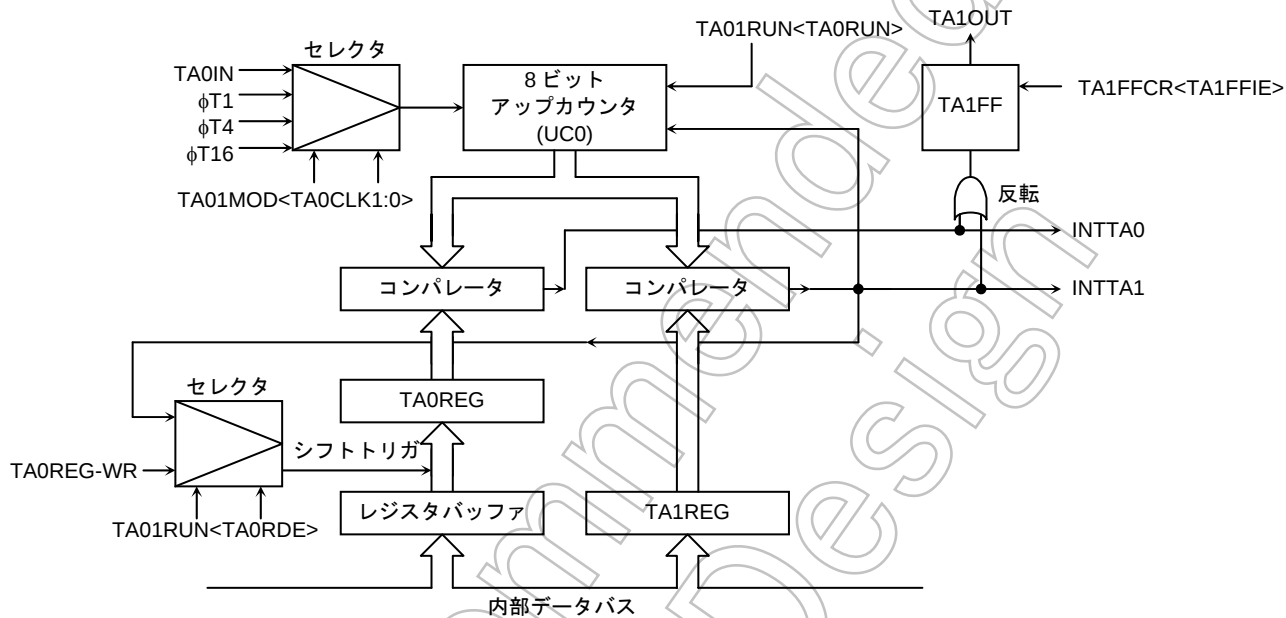


図 3.7.14 8ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG ヘシフトインされます。

ダブルバッファを使用することにより、小さいデューティ（デューティを変化させるとき）への対応が容易に行えます。

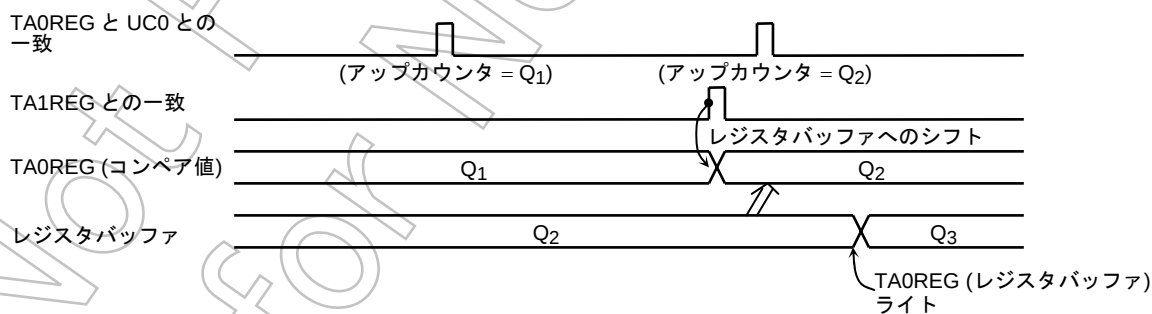
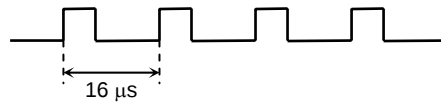


図 3.7.15 レジスタバッファの動作

例: デューティ 1/4 の 62.5 kHz のパルスを出力する場合 ( $f_C = 40 \text{ MHz}$ )



TMRA レジスタへの設定値を求めます。

周波数を 62.5kHz にするには、周期  $t = 1/62.5 \text{ kHz} = 16 \mu\text{s}$  の波形をつくります。

$\phi T1 (= (16/f_C))s$  ( $@f_C = 40\text{MHz}$ )を用いると、

$$16 \mu\text{s} \div (16/f_C)s = 40$$

従って、 $TA1\text{REG} = 40 = 28\text{H}$

次にデューティを 1/4 にするには、 $t \times 1/4 = 16 \mu\text{s} \times 1/4 = 4 \mu\text{s}$

$$4 \mu\text{s} \div (16/f_C) = 10$$

従って、 $TA0\text{REG} = 10 = 0\text{AH}$

|         | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|---|---|---|---|---|---|---|
| TA01RUN | ← 0 | X | X | X | — | 0 | 0 | 0 |
| TA01MOD | ← 1 | 0 | — | — | — | — | 0 | 1 |
| TA0REG  | ← 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| TA1REG  | ← 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| TA1FFCR | ← X | X | X | X | 0 | 1 | 1 | — |
| PCCR    | ← X | — | — | X | — | X | 1 | — |
| PCFC    | ← X | — | — | X | — | X | 1 | — |
| TA01RUN | ← 1 | X | X | X | — | 1 | 1 | 1 |

X: Don't care, —: No change

TMRA0, TMRA1 を停止し、0 にクリアします。

8 ビット PPG モードにし、入力クロックを  $\phi T1$  にします。

0AH を書き込みます。

28H を書き込みます。

TA1FF をセットし、反転イネーブルにします。

"10" にすると負論理の出力波形が得られます。

PC1 を TA1OUT 端子に設定します。

TMRA0, TMRA1 のカウントを開始します。

#### (4) 8 ビット PWM 出力モード

TMRA0 にのみ可能なモードです。分解能 8 ビットまでの PWM を出力することができます。PWM 出力は、TA1OUT 端子 (PC1 と兼用) へ出力されます。

このモードでは、TMRA1は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタ UC0 がタイマレジスタ TA0REG の設定値と一致したときと、2<sup>n</sup> (n = 6, 7, 8 いずれかを TA01MOD<PWM01:00>で指定) カウンタオーバーフロー発生時に起こります。また、UC0 は 2<sup>n</sup> カウンタのオーバーフローによってクリアされます。

また、この PWM モードを使用する場合、次の条件を満たさなければなりません。

(TA0REG の設定値) < (2<sup>n</sup> カウンタのオーバフロー設定値)

(TA0REG の設定値)  $\neq 0$

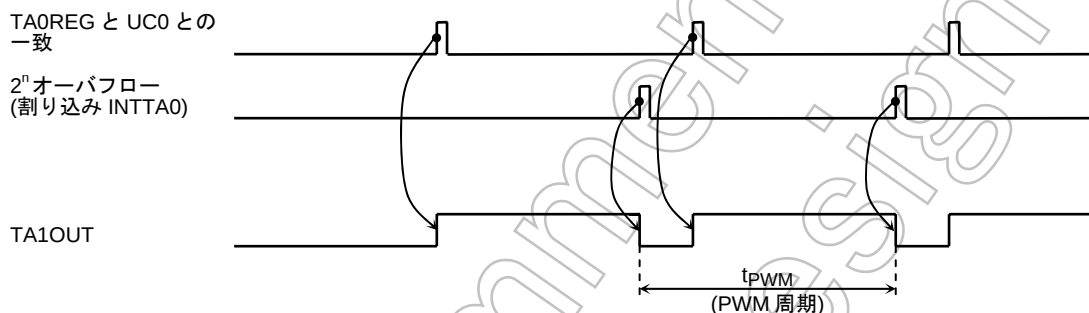


図 3.7.16 8 ビット PWM 出力波形

このモードをブロック図で表すと、図 3.7.17 のようになります。

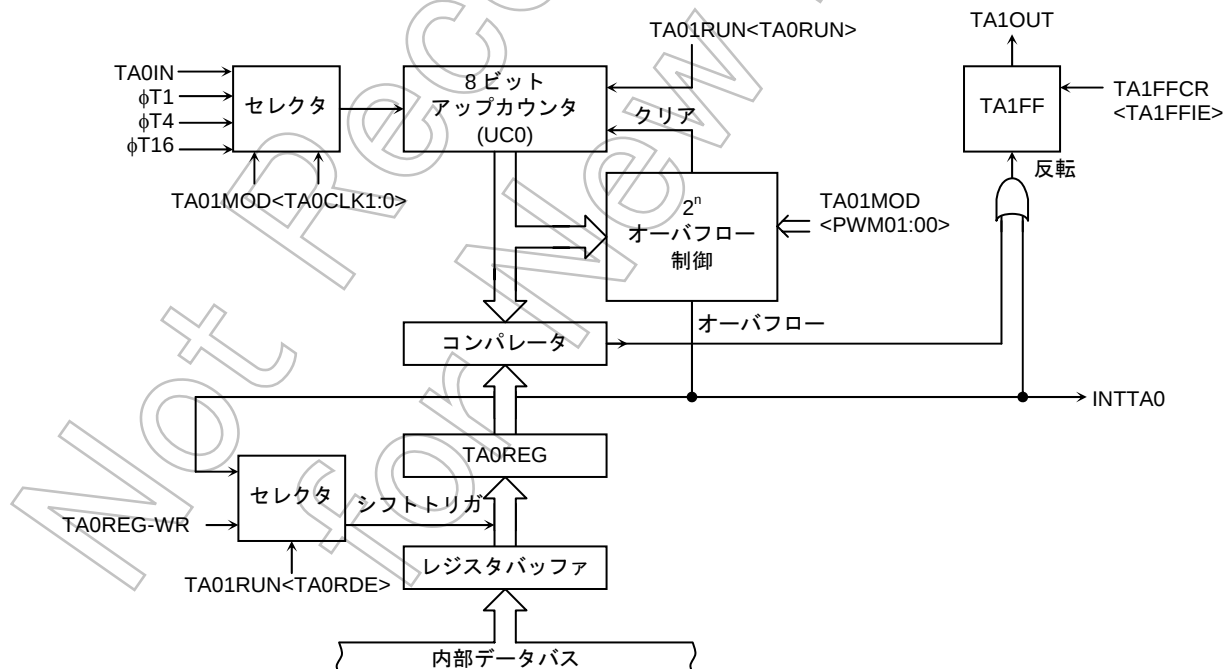


図 3.7.17 8 ビット PWM 出力モードブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、 $2^n$  オーバフローの検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

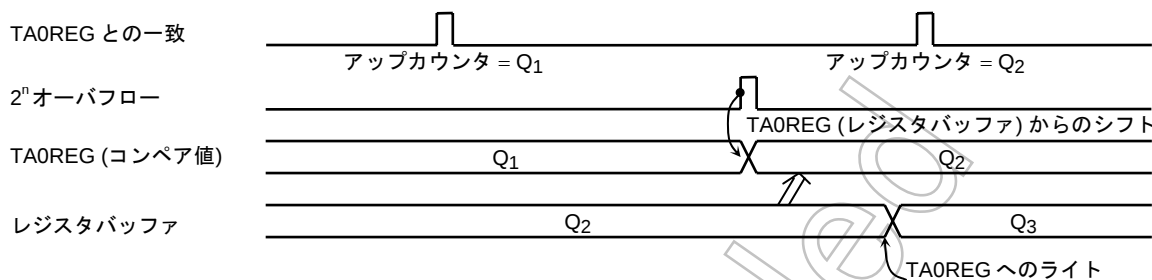
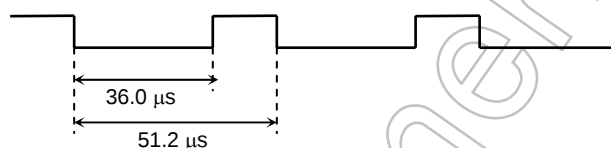


図 3.7.18 レジスタバッファの動作

例:  $f_C = 40$  MHz 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合



PWM 周期 51.2  $\mu$ s を  $\phi T1 = (16/f_C)s$  @  $f_C = 40$  MHz) で実現する場合

$$51.2 \mu s \div (16/f_C)s = 2^n$$

従って、 $n = 7$  に設定します。

"L" レベルの周期は 36.0  $\mu$ s なので、 $\phi T1 = (16/f_C)s$  では

$$36.0 \mu s \div (16/f_C)s = 90 = 5AH$$

を TA0REG に設定します。

|         | MSB | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | LSB |                                                        |
|---------|-----|---|---|---|---|---|---|---|---|-----|--------------------------------------------------------|
| TA01RUN | ←   | — | X | X | X | — | — | — | 0 |     | TMRA0 を停止し、0 にクリアします。                                  |
| TA01MOD | ←   | 1 | 1 | 1 | 0 | — | — | 0 | 1 |     | 8 ビット PWM モード (周期 = $2^7$ ) にし、入力クロックを $\phi T1$ にします。 |
| TA0REG  | ←   | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |     | 5AH を書き込みます。                                           |
| TA1FFCR | ←   | X | X | X | X | 1 | 0 | 1 | — |     | TA1FF をクリアし、反転イネーブルにします。                               |
| PCCR    | ←   | X | — | — | X | — | X | 1 | — |     | } PC1 を TA1OUT 端子に設定します。                               |
| PCFC    | ←   | X | — | — | X | — | X | 1 | — |     |                                                        |
| TA01RUN | ←   | 1 | X | X | X | — | 1 | — | 1 |     | TMRA0 のカウントを開始します。                                     |

X: Don't care, —: No change

表 3.7.4 PWM 周期と 2<sup>n</sup> カウンタの関係

| クロックギア<br>選択<br>SYSCR1<br><GEAR2:0> | システム<br>クロック選択<br>SYSCR0<br><SYSCK> | —  | PWM cycle<br>TAxxMOD<PWMx1:0> |          |           |                       |           |           |                       |           |            |
|-------------------------------------|-------------------------------------|----|-------------------------------|----------|-----------|-----------------------|-----------|-----------|-----------------------|-----------|------------|
|                                     |                                     |    | 2 <sup>6</sup> (x64)          |          |           | 2 <sup>7</sup> (x128) |           |           | 2 <sup>8</sup> (x256) |           |            |
|                                     |                                     |    | TAxxMOD<TAxCLK1:0>            |          |           | TAxxMOD<TAxCLK1:0>    |           |           | TAxxMOD<TAxCLK1:0>    |           |            |
|                                     |                                     |    | φT1(x2)                       | φT4(x8)  | φT16(x32) | φT1(x2)               | φT4(x8)   | φT16(x32) | φT1(x2)               | φT4(x8)   | φT16(x32)  |
| —                                   | 1(fs)                               | ×8 | 1024/fs                       | 4096/fs  | 16384/fs  | 2048/fs               | 8192/fs   | 32768/fs  | 4096/fs               | 16384/fs  | 65536/fs   |
| 000(x1)                             | 0(fc)                               |    | 1024/fc                       | 4096/fc  | 16384/fc  | 2048/fc               | 8192/fc   | 32768/fc  | 4096/fc               | 16384/fc  | 65536/fc   |
| 001(x2)                             |                                     |    | 2048/fc                       | 8192/fc  | 32768/fc  | 4096/fc               | 16384/fc  | 65536/fc  | 8192/fc               | 32768/fc  | 131072/fc  |
| 010(x4)                             |                                     |    | 4096/fc                       | 16384/fc | 65536/fc  | 8192/fc               | 32768/fc  | 131072/fc | 16384/fc              | 65536/fc  | 262144/fc  |
| 011(x8)                             |                                     |    | 8192/fc                       | 32768/fc | 131072/fc | 16384/fc              | 65536/fc  | 262144/fc | 32768/fc              | 131072/fc | 524288/fc  |
| 100(x16)                            |                                     |    | 16384/fc                      | 65536/fc | 262144/fc | 32768/fc              | 131072/fc | 524288/fc | 65536/fc              | 262144/fc | 1048576/fc |

## (5) モード設定

表 3.7.5に、各タイマモードの設定一覧を示します。

表 3.7.5 各タイマモードの設定レジスタ

| レジスタ名         | TA01MOD    |                                                                  |                                                   |                                           | TA1FFCR                  |
|---------------|------------|------------------------------------------------------------------|---------------------------------------------------|-------------------------------------------|--------------------------|
| <Bit symbol>  | <TA01M1:0> | <PWM01:00>                                                       | <TA1CLK1:0>                                       | <TA0CLK1:0>                               | <TA1FFIS>                |
| 機能            | タイマモード     | PWM 周期                                                           | 上位タイマ入力<br>クロック                                   | 下位タイマ入力<br>クロック                           | タイマ F/F<br>反転セレクト        |
| 8ビットタイマ×2チャネル | 00         | —                                                                | 下位タイマー一致,<br>φT1, φT16, φT256<br>(00, 01, 10, 11) | 外部,<br>φT1, φT4, φT16<br>(00, 01, 10, 11) | 0: 下位タイマ出力<br>1: 上位タイマ出力 |
| 16ビットタイマモード   | 01         | —                                                                | —                                                 | 外部,<br>φT1, φT4, φT16<br>(00, 01, 10, 11) | —                        |
| 8ビットPPG×1チャネル | 10         | —                                                                | —                                                 | 外部,<br>φT1, φT4, φT16<br>(00, 01, 10, 11) | —                        |
| 8ビットPWM×1チャネル | 11         | 2 <sup>6</sup> , 2 <sup>7</sup> , 2 <sup>8</sup><br>(01, 10, 11) | —                                                 | 外部<br>φT1, φT4, φT16<br>(00, 01, 10, 11)  | —                        |
| 8ビットタイマ×1チャネル | 11         | —                                                                | φT1, φT16, φT256<br>(01, 10, 11)                  | —                                         | 出力不可                     |

—: Don't care

### 3.8 外部メモリ拡張機能 (MMU)

プログラム/データエリアに 4 個のローカルエリアを持たせることにより、最大 136 M バイトまで拡張可能な MMU 機能です。

外部メモリへのアドレス情報の接続端子は、TLCS-900 共通であるアドレスバス 24 端子 (A0~A23) と、メモリコントローラより出力されるチップセレクト 4 端子 ( $\overline{CS0}$  ~  $\overline{CS3}$ ) に加えて、MMU が作成する拡張アドレスバス EA24, EA25 端子、および  $\overline{CS2A}$  ~  $\overline{CS2G}$  と  $\overline{CSEXA}$  の 10 端子を出力可能です。

下記に特長および 2 タイプの推奨設定方法を示します。なお、表中の AH はアドレス 23~16 を 16 進数表示した値です。

| 用途                                        | 項目                    | (A) 標準拡張<br>メモリ対応                                                                                                     | (B) 多種類拡張<br>メモリ対応 |
|-------------------------------------------|-----------------------|-----------------------------------------------------------------------------------------------------------------------|--------------------|
| プログラム ROM                                 | 最大メモリサイズ              | 2 M バイト: COMMON2 + 14 M バイト: BANK (16 M バイト × 1 pcs)                                                                  |                    |
|                                           | 使用 LOCAL エリア, BANK 数  | LOCAL2 (AH = C0~DF: 2M バイト × 7 BANK)                                                                                  |                    |
|                                           | MEMC 設定               | AH = 80~FF を CS2 へ設定                                                                                                  |                    |
|                                           | 使用 $\overline{CS}$ 端子 | $\overline{CS2A}$                                                                                                     |                    |
| データ ROM                                   | 最大メモリサイズ              | 96 M バイト (16 M バイト × 6 pcs)                                                                                           |                    |
|                                           | 使用 LOCAL エリア, BANK 数  | LOCAL3 (AH = 80~BF: 4 M バイト × 24 BANK)                                                                                |                    |
|                                           | MEMC 設定               | AH = 80~FF を CS2 へ設定                                                                                                  |                    |
|                                           | 使用 $\overline{CS}$ 端子 | $\overline{CS2B}$ , $\overline{CS2C}$ , $\overline{CS2D}$ , $\overline{CS2E}$ , $\overline{CS2F}$ , $\overline{CS2G}$ |                    |
| オプションプログラム ROM                            | 最大メモリサイズ              | 2 M バイト: COMMON1 + 14 M バイト: BANK (16 M バイト × 1 pcs)                                                                  |                    |
|                                           | 使用 LOCAL エリア, BANK 数  | LOCAL1 (AH = 40~5F: 2 M バイト × 7 BANK)                                                                                 |                    |
|                                           | MEMC 設定               | AH = 40~7F を CS1 へ設定                                                                                                  |                    |
|                                           | 使用 $\overline{CS}$ 端子 | $\overline{CS1}$                                                                                                      |                    |
| データ RAM                                   | 最大メモリサイズ              | 1 M バイト: COMMON0 + 7 M バイト: BANK (8 M バイト × 1 pcs)                                                                    |                    |
|                                           | 使用 LOCAL エリア, BANK 数  | LOCAL0 (AH = 10~1F: 1M バイト × 7 BANK)                                                                                  |                    |
|                                           | MEMC 設定               | AH = 00~1F を CS3 へ設定                                                                                                  |                    |
|                                           | 使用 $\overline{CS}$ 端子 | $\overline{CS3}$                                                                                                      |                    |
| 拡張メモリ 1                                   | 最大メモリサイズ              | 1 M バイト (1 M バイト × 1 pcs)                                                                                             |                    |
|                                           | 使用 LOCAL エリア, BANK 数  | なし                                                                                                                    |                    |
|                                           | MEMC 設定               | AH = 20~2F を CS0 へ設定                                                                                                  |                    |
|                                           | 使用 $\overline{CS}$ 端子 | $\overline{CS0}$                                                                                                      |                    |
| 拡張メモリ 2                                   | 最大メモリサイズ              | 256 K バイト (256 K バイト × 1 pcs)                                                                                         |                    |
|                                           | 使用 LOCAL エリア, BANK 数  | なし                                                                                                                    |                    |
|                                           | MEMC 設定               | CSEX (AH = 30~3F) へ設定                                                                                                 |                    |
|                                           | 使用 $\overline{CS}$ 端子 | $\overline{CSEXA}$                                                                                                    |                    |
| 拡張メモリ 3<br>(アドレス直接指定<br>RAM 内蔵型 LCD ドライバ) | 最大メモリサイズ              | 256 K バイト (64 K バイト × 4 pcs)                                                                                          |                    |
|                                           | 使用 LOCAL エリア, BANK 数  | なし                                                                                                                    |                    |
|                                           | MEMC 設定               | CSEX (AH = 30~3F) へ設定                                                                                                 |                    |
|                                           | 使用 $\overline{CS}$ 端子 | D1BSCP, D2BLP, D3BFR, DLEBCD                                                                                          |                    |
| 拡張メモリ 4                                   | 最大メモリサイズ              | 512 K バイト                                                                                                             |                    |
|                                           | 使用 LOCAL エリア, BANK 数  | なし                                                                                                                    |                    |
|                                           | MEMC 設定               | CSEX (AH = 30~3F) へ設定。                                                                                                |                    |
|                                           | 使用 $\overline{CS}$ 端子 | なし                                                                                                                    |                    |

注) SDRAM は LOCAL1 エリアにマッピングしてください。ほかのエリアでは使用できません。

### 3.8.1 推奨メモリマップ

多種類拡張メモリ対応時の推奨論理アドレスメモリマップを図 3.8.1に、物理アドレスマップを図 3.8.2に示します。

使用するメモリが 16 M バイト以内のシステムでメモリを拡張しない場合は特に制限はなく、使用方法はメモリコントローラの章を参照してください。MMU に内蔵するレジスタの設定は不要です。

アドレス 100000H~1FFFFFFH などのバンク設定可能領域をローカルエリアと呼び、各ローカルエリアごとに割り当てられたエリアをコモンエリアと呼びます。ローカルエリアのアドレスは固定で変更できません。

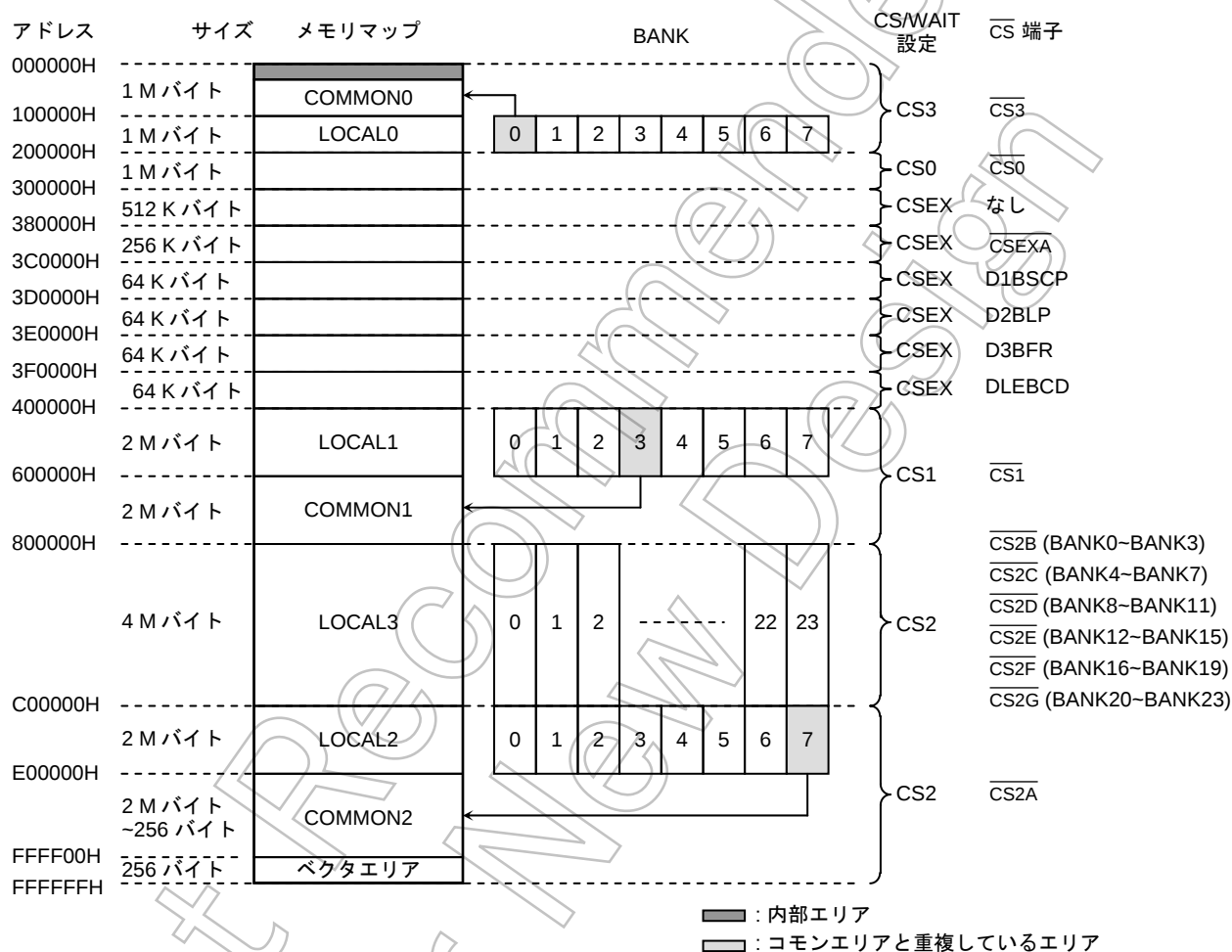
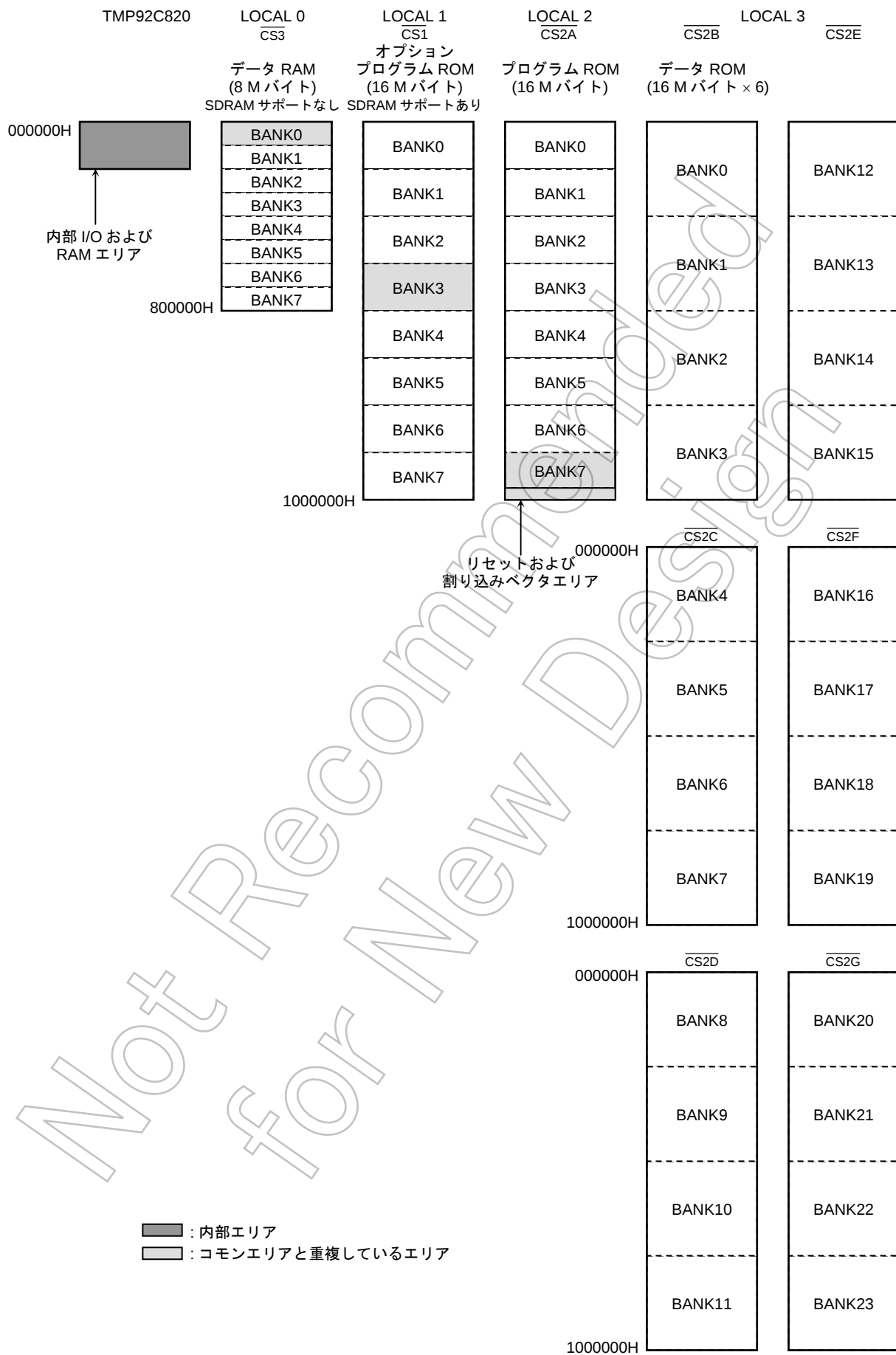


図 3.8.1 論理アドレスメモリマップ



3.8.2 ブロック図

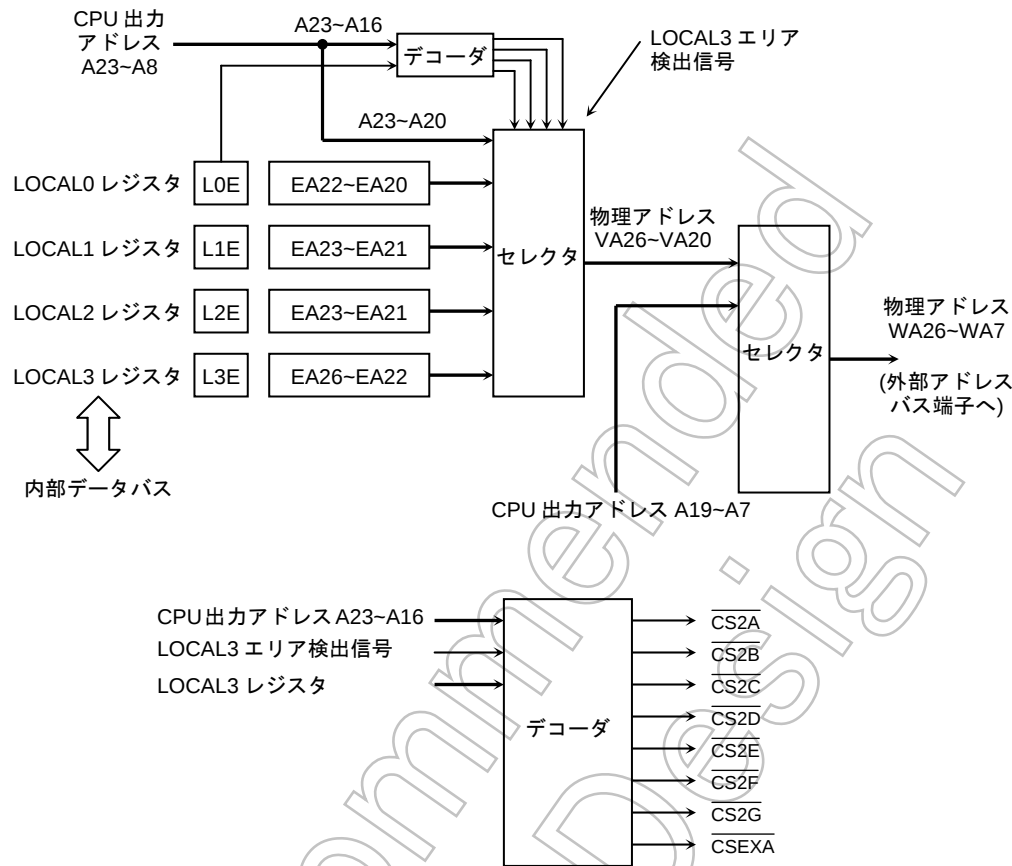


図 3.8.3 MMU ブロック図

LOCAL0 レジスタ

LOCAL0  
(01D0H)

|            | 7                                   | 6 | 5 | 4 | 3 | 2               | 1      | 0      |
|------------|-------------------------------------|---|---|---|---|-----------------|--------|--------|
| Bit symbol | L0E                                 |   |   |   |   | L0EA22          | L0EA21 | L0EA20 |
| Read/Write | R/W                                 |   |   |   |   | R/W             |        |        |
| リセット後      | 0                                   |   |   |   |   | 0               | 0      | 0      |
| 機 能        | LOCAL0 の<br>バンク使用<br>0: 禁止<br>1: 許可 |   |   |   |   | LOCAL0 エリアバンク設定 |        |        |

LOCAL1 レジスタ

LOCAL1  
(01D1H)

|            | 7                                   | 6 | 5 | 4 | 3 | 2               | 1      | 0      |
|------------|-------------------------------------|---|---|---|---|-----------------|--------|--------|
| Bit symbol | L1E                                 |   |   |   |   | L1EA23          | L1EA22 | L1EA21 |
| Read/Write | R/W                                 |   |   |   |   | R/W             |        |        |
| リセット後      | 0                                   |   |   |   |   | 0               | 0      | 0      |
| 機 能        | LOCAL1 の<br>バンク使用<br>0: 禁止<br>1: 許可 |   |   |   |   | LOCAL1 エリアバンク設定 |        |        |

LOCAL2 レジスタ

LOCAL2  
(01D2H)

|            | 7                                   | 6 | 5 | 4 | 3 | 2               | 1      | 0      |
|------------|-------------------------------------|---|---|---|---|-----------------|--------|--------|
| Bit symbol | L2E                                 |   |   |   |   | L2EA23          | L2EA22 | L2EA21 |
| Read/Write | R/W                                 |   |   |   |   | R/W             |        |        |
| リセット後      | 0                                   |   |   |   |   | 0               | 0      | 0      |
| 機 能        | LOCAL2 の<br>バンク使用<br>0: 禁止<br>1: 許可 |   |   |   |   | LOCAL2 エリアバンク設定 |        |        |

LOCAL3 レジスタ

LOCAL3  
(01D3H)

|            | 7                                   | 6 | 5 | 4                                                                                                                                                                                                                                                        | 3      | 2      | 1      | 0      |
|------------|-------------------------------------|---|---|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|--------|--------|--------|
| Bit symbol | L3E                                 |   |   | L3EA26                                                                                                                                                                                                                                                   | L3EA25 | L3EA24 | L3EA23 | L3EA22 |
| Read/Write | R/W                                 |   |   | R/W                                                                                                                                                                                                                                                      |        |        |        |        |
| リセット後      | 0                                   |   |   | 0                                                                                                                                                                                                                                                        | 0      | 0      | 0      | 0      |
| 機 能        | LOCAL3 の<br>バンク使用<br>0: 禁止<br>1: 許可 |   |   | 00000~00011 $\overline{\text{CS2B}}$ 00100~00111 $\overline{\text{CS2C}}$<br>01000~01011 $\overline{\text{CS2D}}$ 01100~01111 $\overline{\text{CS2E}}$<br>10000~10011 $\overline{\text{CS2F}}$ 10100~10111 $\overline{\text{CS2G}}$<br>11000~11111: 設定禁止 |        |        |        |        |

図 3.8.4 MMU 制御レジスタ

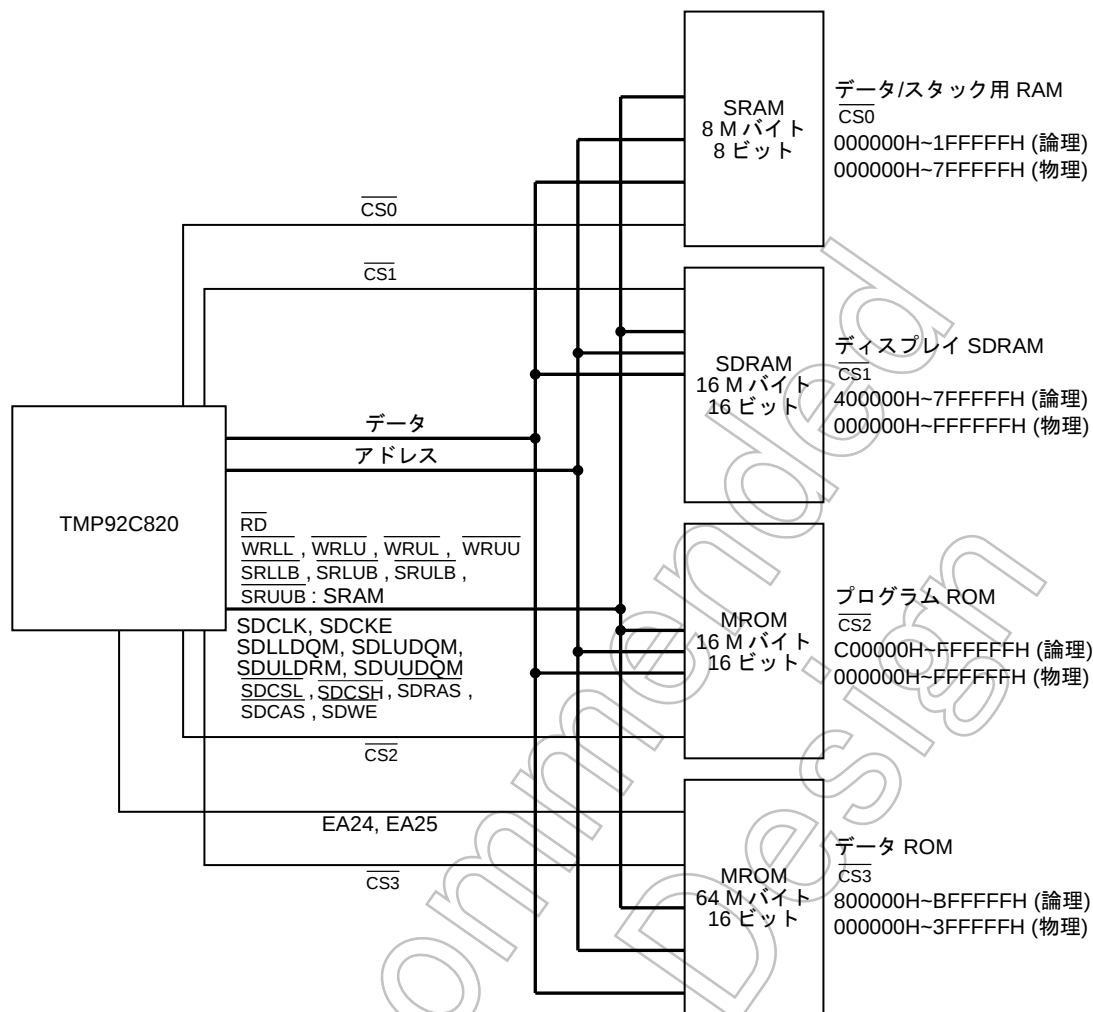
### 3.8.3 MMU 動作説明

あらかじめ、コモンエリアにて **LOCAL** レジスタのローカルエリアのバンク設定レジスタバンク値、バンク許可を設定します。また、その際のピンの仕様 (兼用ピンの設定) と、メモリコントローラでマッピングの設定をします。CPU がそのローカルエリアの論理アドレスを出力すると、MMU はバンク設定レジスタの値に従って外部アドレスバス端子へ物理アドレスとを出力します。これにより、外部メモリのアクセスが可能となります。

各ローカルエリアごとに設けられたコモンエリアは、バンク間の往来時に経由しなければならないエリアです。例えば、**LOCAL2** の **BANK0** から **BANK6** へプログラムが分岐する場合、**BANK0** から一度 **COMMON2** へ分岐し、そこから **BANK6** へ分岐します。

このコモンエリアは、物理マップ上ローカルエリアのバンクのいずれかに重なりますので、重なるメモリエリアはコモンエリアとして使用し、バンクエリアとしては使用しないでください。

Not Recommended  
for New Design



\* 16 ビットバスメモリ時のアドレス接続: CPU A1 = メモリ A0, CPU A2 = メモリ A1...

\* 8 ビットバスメモリ時のアドレス接続: CPU A0 = メモリ A0, CPU A1 = メモリ A1...

図 3.8.5 H/W 設定例

図 3.8.5にTMP92C820 にプログラムROM (MROM: 16 Mバイト) と、データROM (MROM: 64 Mバイト)、8 ビットバスのデータRAM (SRAM: 8 Mバイト)、ディスプレイRAM (SDRAM: 16 Mバイト) を接続した場合の例を示します。

16 ビットバスのメモリには、TMP92C820 から出力されるアドレスを一つずつずらして接続し、8 ビットバスのメモリにはそのまま接続します。

ソフトウェア上で管理するいわゆる論理アドレスと、実際に出力される物理アドレスを示しています。それぞれ RAM を  $\overline{CS0}$ 、SDRAM を  $\overline{CS1}$ 、プログラム MROM を  $\overline{CS2}$ 、データ MROM を  $\overline{CS3}$  に割り当てます。ここではデータ MROM を 64 M バイトにて使用するため、EA24 と EA25 を接続します。

リセット後の初期状態では  $\overline{CS2}$  からアクセスされるため、プログラム ROM を  $\overline{CS2}$  に割り当てるのが普通です。それ以外の割り当てはメモリサイズ、用途に合わせて自由に設定できます。

; 初期設定

; CS0

```
LD (MSAR0), 00H ; 論理アドレス領域: 000000H~1FFFFFFH
LD (MAMR0), FFH ; 論理アドレスサイズ: 2 M バイト
LD (B0CSL), 22H ; 条件: WR 3 ステート (1 ウェイト), RD3 ステート (1 ウェイト)
LD (B0CSH), 80H ; SRAM, 8 ビット
```

; CS1

```
LD (MSAR1), 40H ; 論理アドレス領域: 400000H~7FFFFFFH
LD (MAMR1), FFH ; 論理アドレスサイズ: 4 M バイト
LD (B1CSL), 11H ; 条件: WR2 ステート (0 ウェイト), RD2 ステート (0 ウェイト)
LD (B1CSH), 8DH ; SDRAM, 16 ビット
```

; CS2

```
LD (MSAR2), C0H ; 論理アドレス領域: C00000H~FFFFFFH
LD (MAMR2), 7FH ; 論理アドレスサイズ: 4 M バイト
LD (B2CSL), 11H ; 条件: WR2 ステート (0 ウェイト), RD2 ステート (0 ウェイト)
LD (B2CSH), 0C1H ; ROM, 16 ビット
```

; CS3

```
LD (MSAR3), 80H ; 論理アドレス領域: 800000H~BFFFFFFH
LD (MAMR3), 7FH ; 論理アドレスサイズ: 4 M バイト
LD (B3CSL), 66H ; 条件: WR5 ステート (3 ウェイト), RD5 ステート (3 ウェイト)
LD (B3CSH), 81H ; ROM, 16 ビット
```

; CSX

```
LD (BEXCSL), 11H ; 条件: WR2 ステート (0 ウェイト), RD2 ステート (0 ウェイト)
LD (BEXCSH), 01H ; 16 ビット
```

; Port

```
LD (P8FC), 3FH ; CS0~CS3, EA24, EA25: ポート 8 設定
LD (P8FC2), 02H ; CS1 → SDCSL 設定
```

~

```
LDW (P7CR), 1F1FH ; WRUU, WRUL, WRLU, WRLL, RD
LD (PJFC), 0FFH ; PJ<7:0> = SDRAM 制御
LD (SDACR), 083H ; Add-MUXType B 選択, SDRAM Auto-Init イネーブル
; SDRAM セットアップタイム
```

~

```
LD (SDRCR), 01H ; インターバル リフレッシュ
```

図 3.8.6 バンク動作切り替え例 1

次に、図 3.8.6 に初期設定の例を示します。 $\overline{CS0}$  には 8 ビットバス、8 M バイトの RAM が接続されるため、メモリコントローラにて 8 ビットバス、3 ステートに設定します。同様に、 $\overline{CS1}$  は 16 ビットバス、2 ステートに、 $\overline{CS2}$  は 16 ビットバス、2 ステートに、 $\overline{CS3}$  は 16 ビットバス、2 ステートに設定します。

各チップセレクトに指定するメモリサイズの設定方法は、接続するメモリの最大サイズを指定するのではなく、それぞれのローカルエリアおよびコモンエリアのサイズに合わせて、論理アドレスのサイズを設定します。物理アドレスは、各エリアのバンクレジスタの設定によって制御します。CSEX は上記 CS0~CS3 のチップセレクトで選択されなかった論理アドレスの設定になります。このプログラム例では使用していません。

次にピンの設定を行います。ポート 80~85 をそれぞれ  $\overline{CS0}$ ,  $\overline{CS1}$ ,  $\overline{CS2}$ ,  $\overline{CS3}$ , EA24, EA25 に設定します。

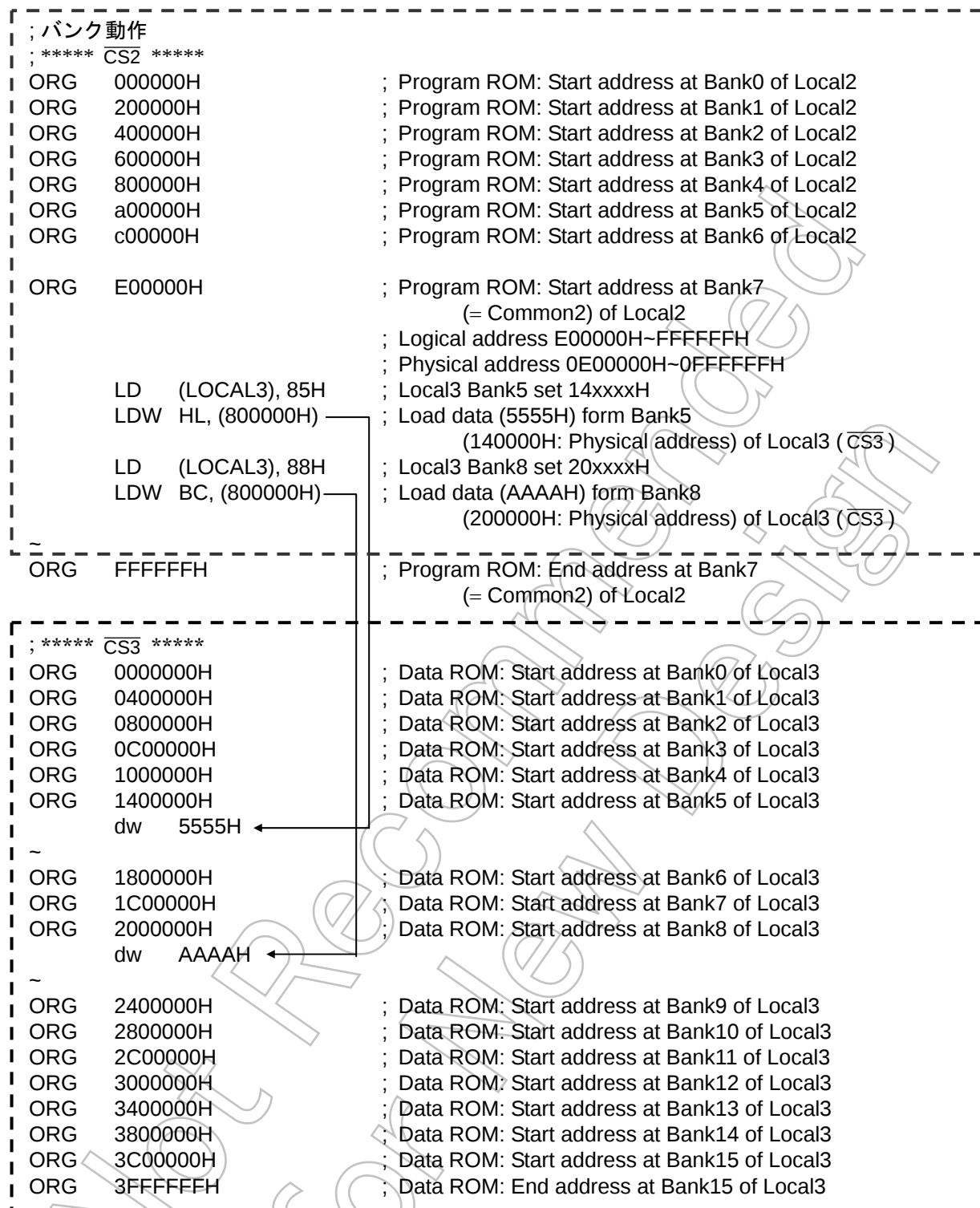


図 3.8.7 バンク動作切り替え例 2

ここでは、バンクをまたいでデータのやり取りを行う例を示します。図 3.8.7にソフトウェアの例を載せます。点線で囲ったものがそれぞれのメモリであり、 $\overline{CS2}$ に割り当てたプログラムROMと、 $\overline{CS3}$ に割り当てたデータROMをそれぞれ示しています。プログラムは、アドレスE00000Hから動き始め、まずLOCAL3 エリアのバンクレジスタにアクセスしたいアドレスの上位5ビットを書き込みます。

このとき、本例では最上位アドレスはEA25のため、最上位ビットは無意味なビットになり、上位5ビット中、4ビットが16個のバンクを意味します。バンク5を指定して、 $\overline{CS3}$ のローカルエリアである論理アドレス800000H~BFFFFFFHをアクセスすると、物理アドレスは1400000H~1700000HとなってデータROMをアクセスします。

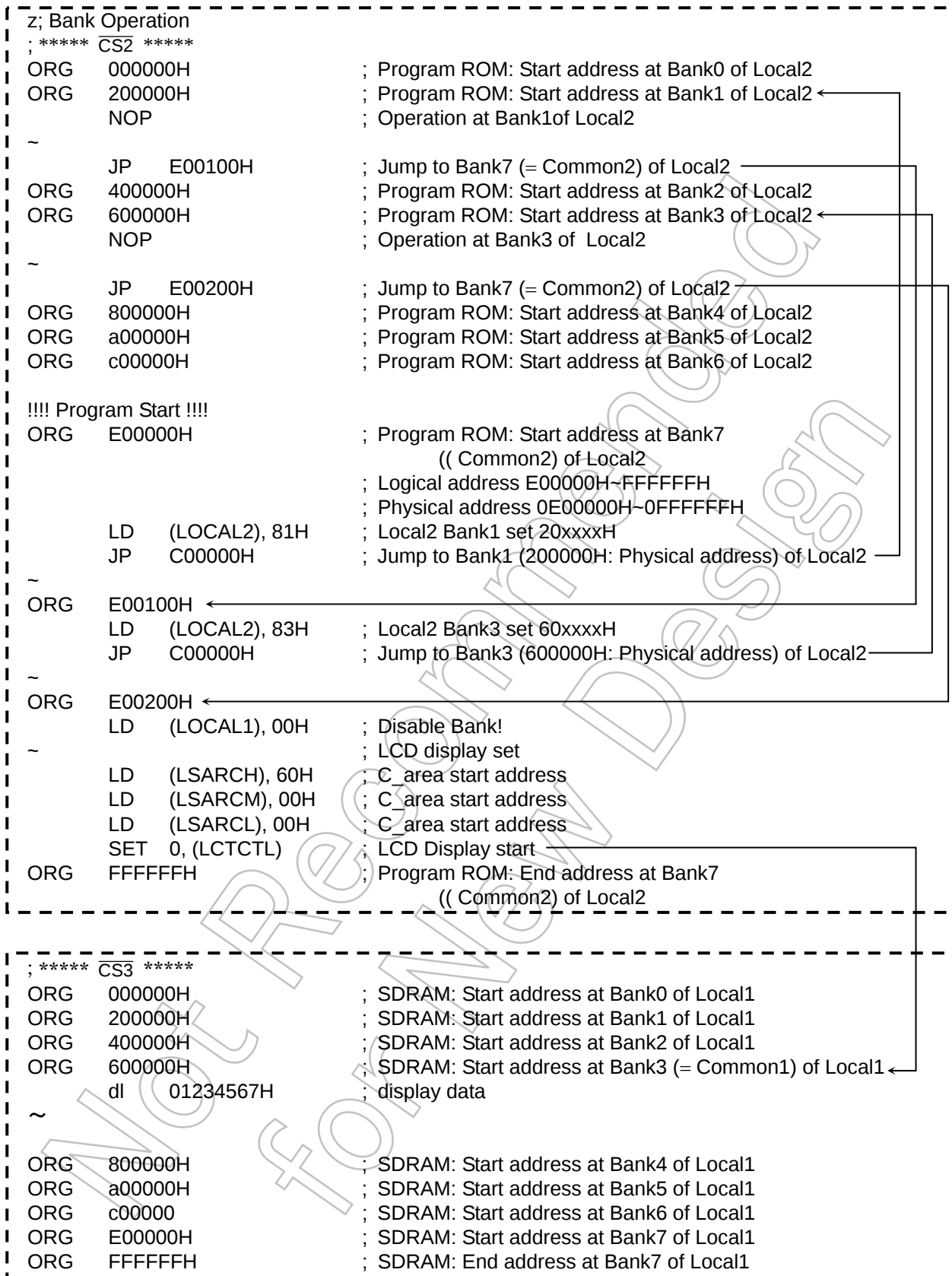


図 3.8.8 バンク動作切り替え例 3

次に、図 3.8.8ではプログラムがジャンプする場合の例を示します。

前例と同様に点線で囲ったものがそれぞれのメモリであり、 $\overline{CS2}$ に割り当てたプログラム ROM と、 $\overline{CS1}$ に割り当てた SDRAM をそれぞれ示しています。プログラムはコモンエリアであるアドレス E00000H から動き始め、まず LOCAL2 エリアのバンクレジスタに分岐したいアドレスの上位 3 ビットを書き込みます。

BANK1 を指定して、 $\overline{CS2}$ のローカルエリアである論理アドレス C00000H~DFFFFFFH へジャンプすると、物理アドレスは 200000H~3FFFFFFH となってジャンプします。元のコモンエリアへ戻る場合は LOCAL2 エリアのバンクレジスタへの書き込みは不要で、直接コモンエリアのアドレス E00000H~FFFFFFH にジャンプすれば戻ることができます。

バンクレジスタの設定の仕方によっては、バンクアドレスとコモンアドレスが重なる設定も可能となってしまいます。コモンエリアを示す論理アドレスが 2 種類以上存在すると、バンクの管理が混乱する恐れがありますので、バンクアドレスとコモンアドレスが重なる場合のバンクは使用しないことをお勧めします。

$\overline{CS}$  をまたいでジャンプする際も同様に設定します。ジャンプしたい LOCAL1 エリアのバンクレジスタに、飛び先アドレスの上位 3 ビットを書き込みます。

BANK4 を指定して、 $\overline{CS1}$ のローカルエリアである論理アドレス 400000H~5FFFFFFH へジャンプすると、物理アドレスは 800000H~9FFFFFFH となってジャンプします。

ここで注意する点ですが、バンクからバンクへ移動するときは必ずコモンエリアを経由することが必要です。つまり、バンクレジスタへのバンク書き込みはコモンエリアのみで行い、バンクエリア内では行わないということです。バンクエリア内でバンク情報を書き替えると、書き替えた直後にバンクが切り替わろうとしてしまうため、プログラムは暴走してしまいます。また、表示 RAM を MMU の BANK ページに設定しないでください。これは LCDC 表示データの読み込みが CPU の管理外で行われることから、LCDC 表示中には表示 RAM エリアの BANK 切り替えを行うと、表示ができなくなるためです。表示データは、コモンエリアへ設定することを推奨します。

### 3.9 シリアルチャネル (SIO)

シリアル入出力を 3 チャネル内蔵しています。それぞれ SIO0、SIO1、SIO2 と呼びます。各チャネルは、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。(チャネル 2 は UART モードのみ対応しています。)

- I/O インタフェースモード ——— モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
- UART (非同期通信) モード ———
  - モード 1: 送受信データ長 7 ビット
  - モード 2: 送受信データ長 8 ビット
  - モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) で、スレーブコントローラを起動させるためのウェイクアップ機能を持っています。

図 3.9.2, 図 3.9.3, 図 3.9.4 に、各チャネルのブロック図を示します。

各チャネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

各チャネルは、それぞれ独立に動作します。いずれのチャネルも、下記に示す表 3.9.1 の仕様相違点を除いて同一の動作をしますので、SIO0 の場合についてのみ説明します。

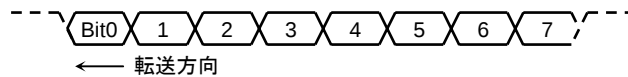
表 3.9.1 SIO のチャネル別仕様相違点

|          | チャネル 0                                        | チャネル 1                                       | チャネル 2                   |
|----------|-----------------------------------------------|----------------------------------------------|--------------------------|
| 対応端子     | TXD0 (PF0)<br>RXD0 (PF1)<br>CTS0 /SCLK0 (PF2) | TXD1 (PF3)<br>RXD1 (PF4)<br>CTS1/SCLK1 (PF5) | TXD2 (P95)<br>RXD2 (P96) |
| IrDA モード | あり                                            | なし                                           | なし                       |

本章は、下記のような構成になっています。

- 3.9.1 チャネル別のブロック図
- 3.9.2 回路別の動作説明
- 3.9.3 SFR説明
- 3.9.4 モード別動作説明
- 3.9.5 IrDA のサポート

- モード 0 (I/O インタフェースモード)



- モード 1 (7 ビット UART モード)

パリティなし --- \ Start Bit0 1 2 3 4 5 6 Stop ---

パリティあり --- \ Start Bit0 1 2 3 4 5 6 Parity Stop ---

- モード 2 (8 ビット UART モード)

パリティなし --- \ Start Bit0 1 2 3 4 5 6 7 Stop ---

パリティあり --- \ Start Bit0 1 2 3 4 5 6 7 Parity Stop ---

- モード 3 (9 ビット UART モード)

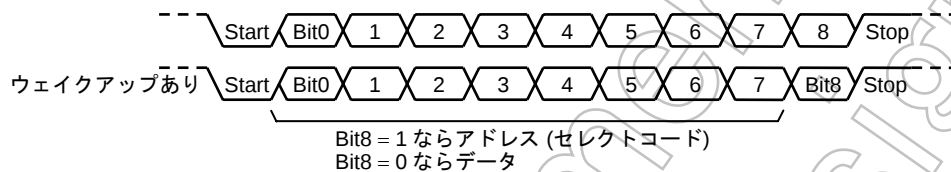


図 3.9.1 データフォーマット

## 3.9.1 チャンネル別のブロック図

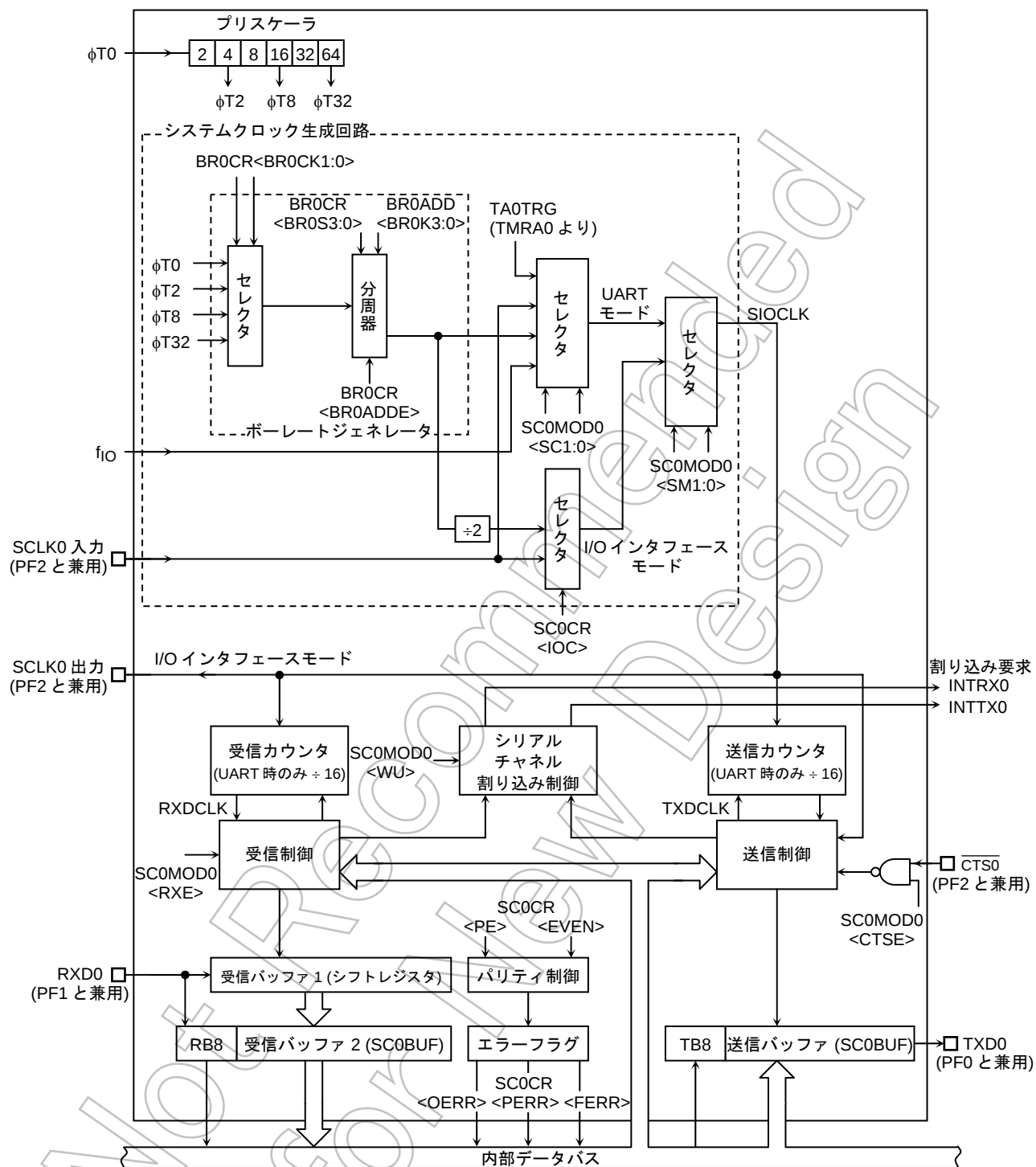


図 3.9.2 SIO0 ブロック図

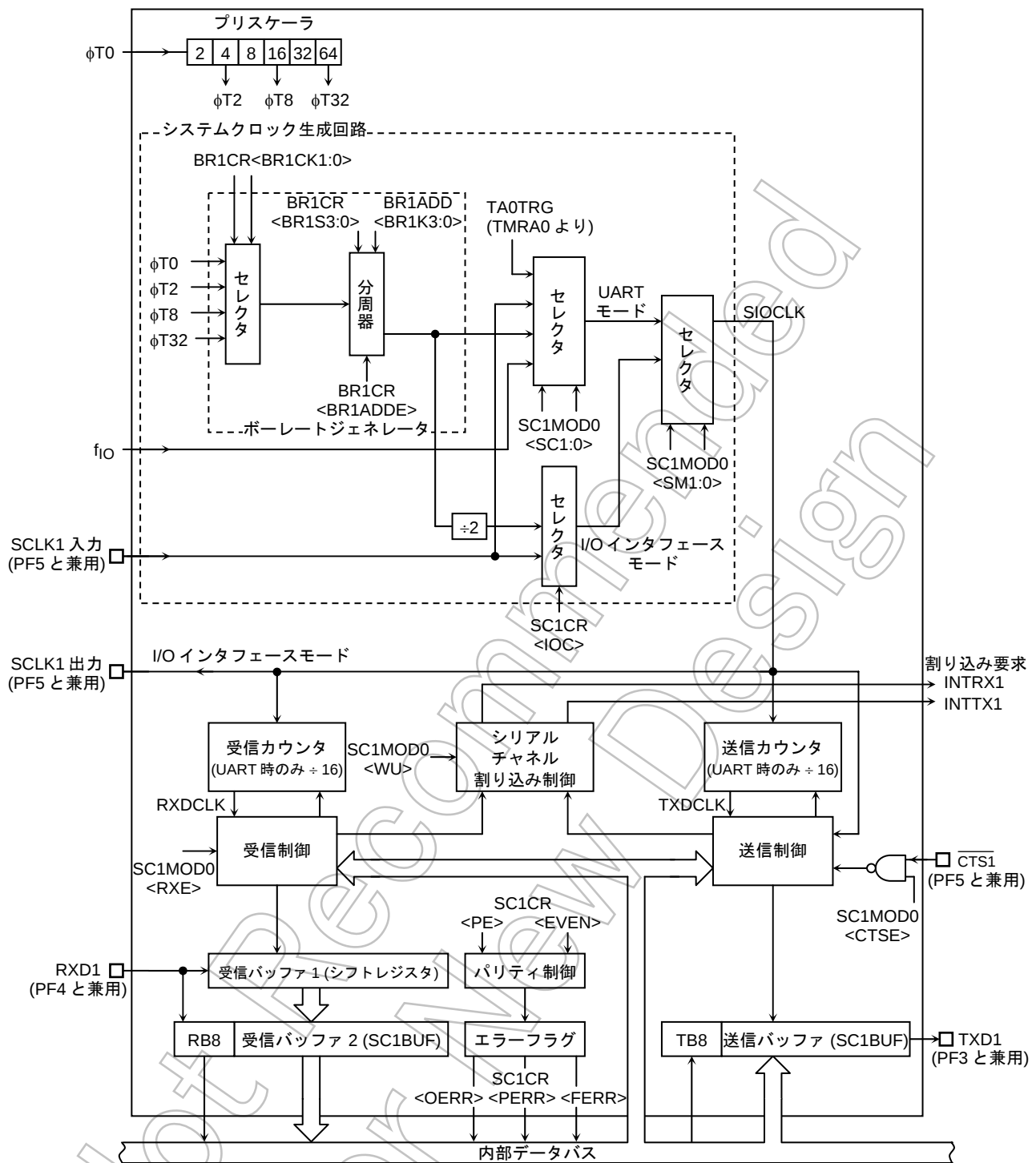


図 3.9.3 SIO1 ブロック図

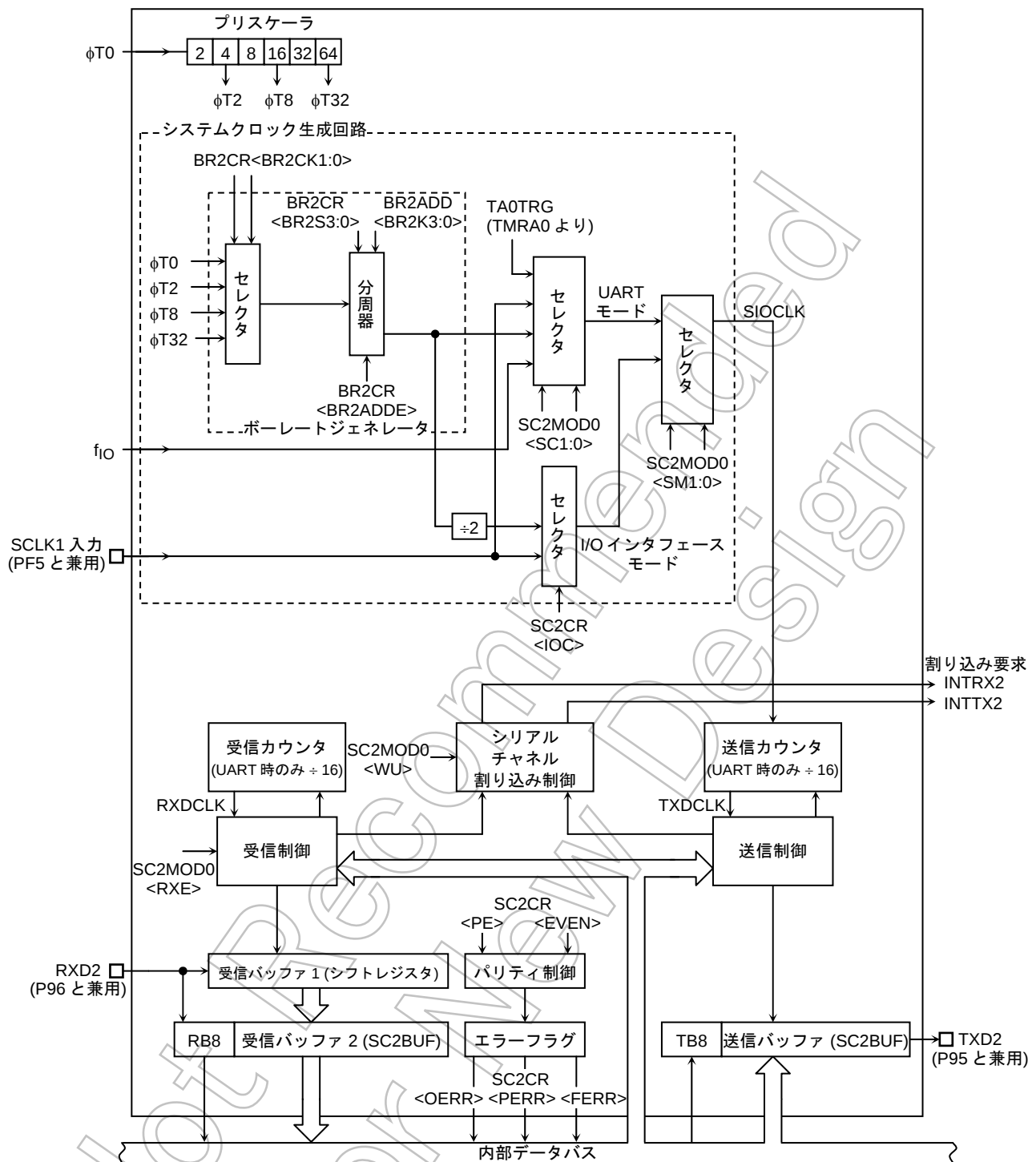


図 3.9.4 SIO2 ブロック図

### 3.9.2 回路別の動作説明

#### (1) プリスケーラ

SIO0 の動作クロックを生成するために、6 ビットプリスケーラがあります。

プリスケーラは、シリアル転送クロックにボーレートジェネレータを選択した場合にのみ動作します。プリスケーラ出力クロックの分解能を、表 3.9.2 に示します。

表 3.9.2 ボーレートジェネレータへの入力クロック分解能

| -  | クロックギア<br>選択<br>SYSCR1<br><GEAR2:0> | -   | ボーレートジェネレータ入力クロック<br>SIO 部プリスケーラ<br>BR0CR<BR0CK1:0> |                |                 |                  |
|----|-------------------------------------|-----|-----------------------------------------------------|----------------|-----------------|------------------|
|    |                                     |     | $\phi T0$                                           | $\phi T2(1/4)$ | $\phi T8(1/16)$ | $\phi T32(1/64)$ |
| fc | 000(1/1)                            | 1/8 | fc/8                                                | fc/32          | fc/128          | fc/512           |
|    | 001(1/2)                            |     | fc/16                                               | fc/64          | fc/256          | fc/1024          |
|    | 010(1/4)                            |     | fc/32                                               | fc/128         | fc/512          | fc/2048          |
|    | 011(1/8)                            |     | fc/64                                               | fc/256         | fc/1024         | fc/4096          |
|    | 100(1/16)                           |     | fc/128                                              | fc/512         | fc/2048         | fc/8192          |

シリアルインタフェースボーレートジェネレータには、プリスケーラ出力クロックより  $\phi T0$ ,  $\phi T2$ ,  $\phi T8$ ,  $\phi T32$  の 4 種類のクロックが用いられます。

## (2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは、6ビットプリスケアラより $\phi T0$ ,  $\phi T2$ ,  $\phi T8$ ,  $\phi T32$  を用います。この入力クロックの選択は、ボーレートジェネレータコントロールレジスタ  $BR0CR<BR0CK1:0>$  で設定します。

ボーレートジェネレータは、1、 $N + (16 - K)/16$ 、16 分周が可能な分周器を内蔵しており、 $BR0CR<BR0ADDE><BR0S3:0>$ 、 $BR0ADD<BR0K3:0>$  の設定に従って分周を行い、転送速度を決定します。

- UART モードの場合

- (1)  $BR0CR<BR0ADDE> = 0$  の場合

$BR0ADD<BR0K3:0>$  の設定は無視され、 $BR0CR<BR0S3:0>$  に設定された値 “N” に従い N 分周を行います。(N = 1、2、3 … 16)

- (2)  $BR0CR<BR0ADDE> = 1$  の場合

$N + (16 - K)/16$  分周機能がイネーブルになり、 $BR0CR<BR0S3:0>$  に設定された値 “N” (N = 2、3 … 15)、 $BR0ADD<BR0K3:0>$  に設定された値 “K” に従い、 $N + (16 - K)/16$  分周を行います。(K = 1、2、3 … 15)

注) N = 1 および 16 のときは  $N + (16 - K)/16$  分周機能は禁止となりますので、必ず  $BR0CR<BR0ADDE> = “0”$  に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は、 $N + (16 - K)/16$  分周機能は使用できません。必ず  $BR0CR<BR0ADDE> = “0”$  に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

$f_C = 39.3216 \text{ MHz}$  で入力クロック  $\phi T_2$ 、分周値 “N” ( $BR0CR<BR0S3:0> = 8$ 、 $BR0CR<BR0ADDE> = “0”$  の場合の UART モードのボーレートは、

$$\text{* クロック条件} \quad \left[ \text{クロックギア:} \quad 1/1 (f_C) \right]$$

$$\begin{aligned} \text{ボーレート} &= \frac{f_C/32}{8} \div 16 \\ &= 39.3216 \times 10^6 \div 32 \div 8 \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

注) + (16 - K)/16 分周機能は禁止に設定されるため、 $BR0ADD<BR0K3:0>$  の設定は無視されます。

- N + (16 - K)/16 分周 (UART モードのみ) の場合

また、 $f_{SYS} = 31.9488 \text{ MHz}$  で入力クロック  $\phi T_2$  ( $f_C/32$ )、分周値 “N” ( $BR0CR<BR0S3:0> = 6$ 、“K” ( $BR0ADD<BR0K3:0> = 8$ 、 $BR0CR<BR0ADDE> = 1$  の場合のボーレートは、

$$\text{* クロック条件} \quad \left[ \text{クロックギア:} \quad 1/1 (f_C) \right]$$

$$\begin{aligned} \text{ボーレート} &= \frac{f_C/32}{6 + \frac{(16-8)}{16}} \div 16 \\ &= 31.9488 \times 10^6 \div 32 \div \left(6 + \frac{8}{16}\right) \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

表 3.9.3にUARTモードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます (シリアルチャネル 0, 1)。この場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \text{外部クロック入力} \div 16$$

ただし、(外部クロック入力周期)  $\geq 4/f_{SYS}$  を満たす必要があります。

- I/O インタフェースモード

$$\text{ボーレート} = \text{外部クロック入力}$$

ただし、(外部クロック入力周期)  $\geq 16/f_{SYS}$  を満たす必要があります。

表 3.9.3 UART ボーレーートの選択

(ボーレートジェネレータ使用、BR0CR&lt;BR0ADDE&gt; = 0 の場合)

単位 (kbps)

| f <sub>SYS</sub> [MHz] | 入力クロック<br>分周値 N | φT0<br>(f <sub>SYS</sub> /4) | φT2<br>(f <sub>SYS</sub> /16) | φT8<br>(f <sub>SYS</sub> /64) | φT32<br>(f <sub>SYS</sub> /256) |
|------------------------|-----------------|------------------------------|-------------------------------|-------------------------------|---------------------------------|
| 9.8304                 | 2               | 76.800                       | 19.200                        | 4.800                         | 1.200                           |
| ↑                      | 4               | 38.400                       | 9.600                         | 2.400                         | 0.600                           |
| ↑                      | 8               | 19.200                       | 4.800                         | 1.200                         | 0.300                           |
| ↑                      | 10              | 9.600                        | 2.400                         | 0.600                         | 0.150                           |
| 12.2880                | 5               | 38.400                       | 9.600                         | 2.400                         | 0.600                           |
| ↑                      | A               | 19.200                       | 4.800                         | 1.200                         | 0.300                           |
| 14.7456                | 2               | 115.200                      | 28.800                        | 7.200                         | 1.800                           |
| ↑                      | 3               | 76.800                       | 19.200                        | 4.800                         | 1.200                           |
| ↑                      | 6               | 38.400                       | 9.600                         | 2.400                         | 0.600                           |
| ↑                      | C               | 19.200                       | 4.800                         | 1.200                         | 0.300                           |
| 19.6608                | 1               | 307.200                      | 76.800                        | 19.200                        | 4.800                           |
| ↑                      | 2               | 153.600                      | 38.400                        | 9.600                         | 2.400                           |
| ↑                      | 4               | 76.800                       | 19.200                        | 4.800                         | 1.200                           |
| ↑                      | 8               | 38.400                       | 9.600                         | 2.400                         | 0.600                           |
| ↑                      | 10              | 19.200                       | 4.800                         | 1.200                         | 0.300                           |
| 22.1184                | 3               | 115.200                      | 28.800                        | 7.200                         | 1.800                           |
| 24.5760                | 1               | 384.000                      | 96.000                        | 24.000                        | 6.000                           |
| ↑                      | 2               | 192.000                      | 48.000                        | 12.000                        | 3.000                           |
| ↑                      | 4               | 96.000                       | 24.000                        | 6.000                         | 1.500                           |
| ↑                      | 5               | 76.800                       | 19.200                        | 4.800                         | 1.200                           |
| ↑                      | 8               | 48.000                       | 12.000                        | 3.000                         | 0.750                           |
| ↑                      | A               | 38.400                       | 9.600                         | 2.400                         | 0.600                           |
| ↑                      | 10              | 24.000                       | 6.000                         | 1.500                         | 0.375                           |

注 1) I/O インタフェースモード時の転送レートは、本表の値の 8 倍になります。

UART モード時、シリアル送信クロックにタイマの一致出力(TA0TRG)が使用できます。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

$$\text{TA0TRG の周波数} = \text{ボーレート} \times 16$$

注) I/O インタフェースモードでは、TMRA0 一致検出信号を転送クロックとして使用することはできません。

## (3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR <IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- UART (非同期通信) モードの場合

SC0MOD0<SC1:0> の設定により、前記ボーレートジェネレータからのクロックか、クロック f<sub>IO</sub>、TMRA0 のトリガ出力信号、または外部クロック (SCLK0 端子)のいずれかを選択し、基本クロック SIOCLK をつくります。

## (4) 受信カウンタ

受信カウンタは、UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ、7, 8, 9 発目でデータをサンプリングします。

3 回のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが 1, 0, 1 であれば受信データは “1” と判断され、0, 0, 1 であれば “0” と判断されます。

## (5) 受信制御部

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS> の設定に従って SCLK0 端子へ出力されるシフトクロックの立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 回のサンプリング中 2 回以上 “0” であれば正常なスタートビットと判断し、受信動作を開始します。データ受信中も、多数決論理により受信データを判断しています。

## (6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろると、もう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) の方を読み出します。CPU が受信バッファ 2 (SC0BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければ、オーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR<RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは、SC0CR<RB8> に格納されます。

9 ビット UART の場合、SC0MOD0<WU> を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8> = “1” のときのみ割り込み INTRX0 が発生します。

SIO 割り込みモードはレジスタ SIMC で選択可能です。

## (7) 送信カウンタ

送信カウンタは UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

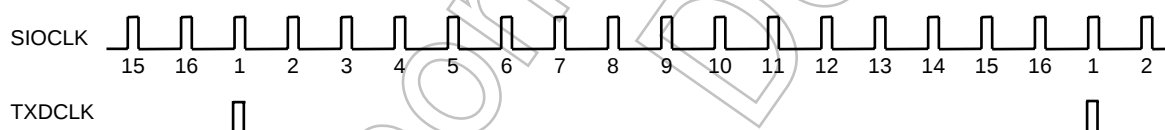


図 3.9.5 送信クロックの生成

## (8) 送信制御部

- I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS> の設定に従って SCLK0 端子より出力されるシフトクロックの立ち上がり/立ち下がりエッジで、送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで、送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- UART (非同期通信) モード

送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジに同期して送信を開始します。

### ハンドシェイク機能

$\overline{\text{CTS0}}$  端子を持っており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は、 $\text{SC0MOD}<\text{CTSE}>$  によってイネーブル/ディセーブル切り替えできます。

送信は、 $\overline{\text{CTS0}}$  端子が“H”レベルになると現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$  端子が“L”レベルに戻るまで送信を停止します。ただし、 $\text{INTTX0}$  割り込みは発生し、次の送信データを CPU に要求します。CPU により送信バッファにデータが書き込まれ、送信待機します。

なお、 $\overline{\text{RTS}}$  端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に  $\overline{\text{RTS}}$  機能に割り当てた任意の 1 ポートを“H”レベルにして、送信側に送信の一時停止を要求することにより、容易にハンドシェイク機能を構築できます。

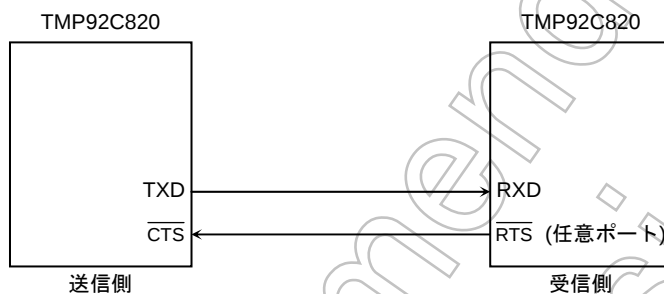
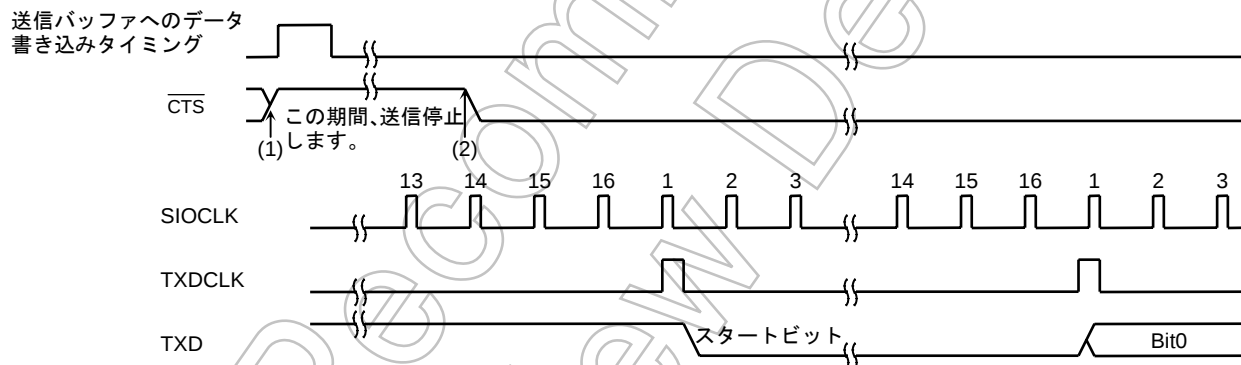


図 3.9.6 ハンドシェイク機能



注 1) 送信中に  $\overline{\text{CTS}}$  信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

注 2)  $\overline{\text{CTS}}$  信号立ち下がり後、最初 TXDCLK クロックの立ち下がりから送信を開始します。

図 3.9.7  $\overline{\text{CTS}}$  (Clear to send) 信号のタイミング

## (9) 送信バッファ

送信バッファ SC0BUF は、CPU より書き込まれた送信データを、送信制御部で生成される送信シフトクロック TXDSFT により最下位ビットから順にシフトアウトし、送出されます。全ビットシフトアウトされると、送信バッファエンプティで INTTX0 割り込みが発生します。

## (10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE> を“1”にするとパリティ付加の送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN> レジスタによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC0BUF<TB7> に、8 ビット UART モードのときは SC0MOD0<TB8> にパリティを格納して、送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータによりパリティを自動発生し、7 ビット UART モードのときは SC0BUF <RB7> のパリティと、8 ビット UART モードのときは SC0CR<RB8> のパリティとが比較され、異なっているとパリティエラーが発生し、SC0CR<PERR> フラグがセットされます。

## (11) エラーフラグ

受信データの信頼性を上げるために、3 つのエラーフラグが用意されています。

## 1. オーバランエラー &lt;OERR&gt;

受信バッファ 2 (SC0BUF) に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されると、オーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

(1) 受信バッファをリードする

(2) エラーフラグをリードする

(3) if <OERR> = “1”

then

(ア) 受信禁止に設定 (<RXE> に “0” をライト)

(イ) 現フレームの終了待ち

(ウ) 受信バッファのリード

(エ) エラーフラグのリード

(オ) 受信許可に設定 (<RXE> に “1” をライト)

(カ) 再送信要求

(4) その他の処理

## 2. パリティエラー &lt;PERR&gt;

受信バッファ 2 (SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

## 3. フレーミングエラー &lt;FERR&gt;

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が “0” の場合、フレーミングエラーが発生します。

## (12) 各信号発生タイミング

## 1. UART モードの場合

## 受信

| モード                  | 9 ビット               | 8 ビット + パリティ          | 8 ビット, 7 ビット + パリティ, 7 ビット |
|----------------------|---------------------|-----------------------|----------------------------|
| 割り込み発生<br>タイミング      | 最終ビット (ビット 8) の中央付近 | 最終ビット (パリティビット) の中央付近 | ストップビットの中央付近               |
| フレーミングエラー<br>発生タイミング | ストップビットの中央付近        | ストップビットの中央付近          | ストップビットの中央付近               |
| パリティエラー<br>発生タイミング   | —                   | 最終ビット (パリティビット) の中央付近 | ストップビットの中央付近               |
| オーバランエラー<br>発生タイミング  | 最終ビット (ビット 8) の中央付近 | 最終ビット (パリティビット) の中央付近 | ストップビットの中央付近               |

注 1) 9 ビットモード、8 ビット + パリティモードでは、割り込みは 9 ビット目と同時に発生します。そのため、割り込み発生後、1 ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

注 2) 受信割り込み発生位置及びエラー発生位置は、通信速度が速いほど中央付近より、後になります。

## 送信

| モード             | 9 ビット            | 8 ビット + パリティ | 8 ビット, 7 ビット + パリティ, 7 ビット |
|-----------------|------------------|--------------|----------------------------|
| 割り込み発生<br>タイミング | ストップビット<br>送出の直前 | ←            | ←                          |

## 2. I/O インタフェースモードの場合

|                   |            |                                                             |
|-------------------|------------|-------------------------------------------------------------|
| 送信割り込み<br>発生タイミング | SCLK 出力モード | 最終ビット終了直後 (3.9.25 を参照)                                      |
|                   | SCLK 入力モード | 最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下がりモードでは立ち下がり直後 (3.9.26 を参照) |
| 受信割り込み<br>発生タイミング | SCLK 出力モード | 受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (3.9.27 を参照) |
|                   | SCLK 入力モード | 受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (3.9.28 を参照) |

3.9.3 SFR 説明

SC0MOD0  
(1202H)

|            | 7              | 6                                                   | 5                          | 4                               | 3                                                                                                                 | 2   | 1                                                                                                              | 0   |
|------------|----------------|-----------------------------------------------------|----------------------------|---------------------------------|-------------------------------------------------------------------------------------------------------------------|-----|----------------------------------------------------------------------------------------------------------------|-----|
| Bit symbol | TB8            | CTSE                                                | RXE                        | WU                              | SM1                                                                                                               | SM0 | SC1                                                                                                            | SC0 |
| Read/Write | R/W            |                                                     |                            |                                 |                                                                                                                   |     |                                                                                                                |     |
| リセット後      | 0              | 0                                                   | 0                          | 0                               | 0                                                                                                                 | 0   | 0                                                                                                              | 0   |
| 機 能        | 送信データ<br>ビット 8 | ハンド<br>シェイク<br>機能制御<br>0: CTS<br>禁止<br>1: CTS<br>許可 | 受信制御<br>0: 受信禁止<br>1: 受信許可 | ウェイクア<br>ップ機能<br>0: 禁止<br>1: 許可 | シリアル転送モード<br>00: I/O インタフェース<br>モード<br>01: 7 ビット長<br>UART モード<br>10: 8 ビット長<br>UART モード<br>11: 9 ビット長<br>UART モード |     | シリアル転送クロック<br>(UART 用)<br>00: TA0TRG<br>01: ボーレート<br>ジェネレータ<br>10: 内部クロック $f_{IO}$<br>11: 外部クロック<br>(SCLK0 入力) |     |

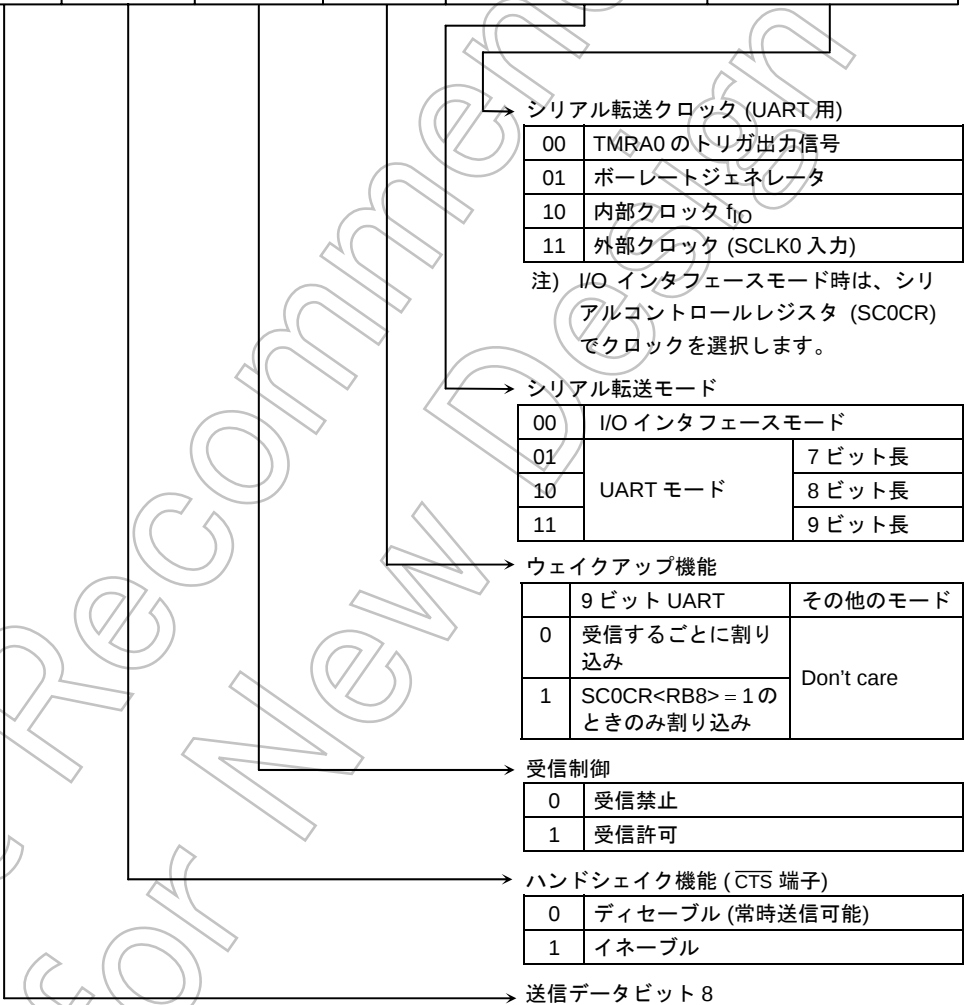


図 3.9.8 シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

SC1MOD0  
(120AH)

|            | 7              | 6                                                   | 5                          | 4                               | 3                                                                                                                 | 2   | 1                                                                                                                     | 0   |
|------------|----------------|-----------------------------------------------------|----------------------------|---------------------------------|-------------------------------------------------------------------------------------------------------------------|-----|-----------------------------------------------------------------------------------------------------------------------|-----|
| Bit symbol | TB8            | CTSE                                                | RXE                        | WU                              | SM1                                                                                                               | SM0 | SC1                                                                                                                   | SC0 |
| Read/Write | R/W            |                                                     |                            |                                 |                                                                                                                   |     |                                                                                                                       |     |
| リセット後      | 0              | 0                                                   | 0                          | 0                               | 0                                                                                                                 | 0   | 0                                                                                                                     | 0   |
| 機能         | 送信データ<br>ビット 8 | ハンド<br>シェイク<br>機能制御<br>0: CTS<br>禁止<br>1: CTS<br>許可 | 受信制御<br>0: 受信禁止<br>1: 受信許可 | ウェイクア<br>ップ機能<br>0: 禁止<br>1: 許可 | シリアル転送モード<br>00: I/O インタフェース<br>モード<br>01: 7 ビット長<br>UART モード<br>10: 8 ビット長<br>UART モード<br>11: 9 ビット長<br>UART モード |     | シリアル転送クロック<br>(UART 用)<br>00: TA0TRG<br>01: ボーレート<br>ジェネレータ<br>10: 内部クロック f <sub>IO</sub><br>11: 外部クロック<br>(SCLK1 入力) |     |

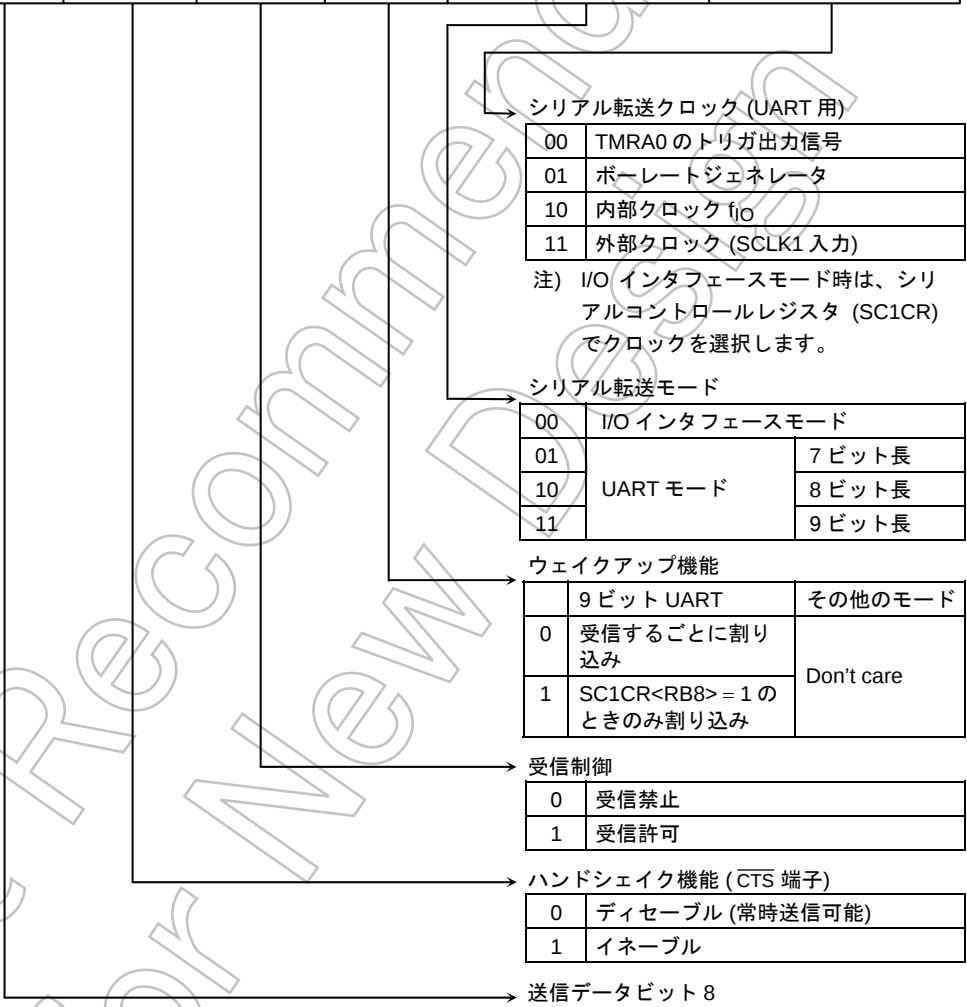


図 3.9.9 シリアルモードコントロールレジスタ (SIO1 用、SC1MOD)

SC2MOD0  
(1212H)

|            | 7              | 6                   | 5                          | 4                               | 3                                                                                                                 | 2   | 1                                                                                                         | 0   |
|------------|----------------|---------------------|----------------------------|---------------------------------|-------------------------------------------------------------------------------------------------------------------|-----|-----------------------------------------------------------------------------------------------------------|-----|
| Bit symbol | TB8            | –                   | RXE                        | WU                              | SM1                                                                                                               | SM0 | SC1                                                                                                       | SC0 |
| Read/Write | R/W            |                     |                            |                                 |                                                                                                                   |     |                                                                                                           |     |
| リセット後      | 0              | 0                   | 0                          | 0                               | 0                                                                                                                 | 0   | 0                                                                                                         | 0   |
| 機能         | 送信データ<br>ビット 8 | “0” をライト<br>してください。 | 受信制御<br>0: 受信禁止<br>1: 受信許可 | ウェイクア<br>ップ機能<br>0: 禁止<br>1: 許可 | シリアル転送モード<br>00: I/O インタフェース<br>モード<br>01: 7 ビット長<br>UART モード<br>10: 8 ビット長<br>UART モード<br>11: 9 ビット長<br>UART モード |     | シリアル転送クロック<br>(UART 用)<br>00: TA0TRG<br>01: ボーレート<br>ジェネレータ<br>10: 内部クロック f <sub>IO</sub><br>11: Reserved |     |

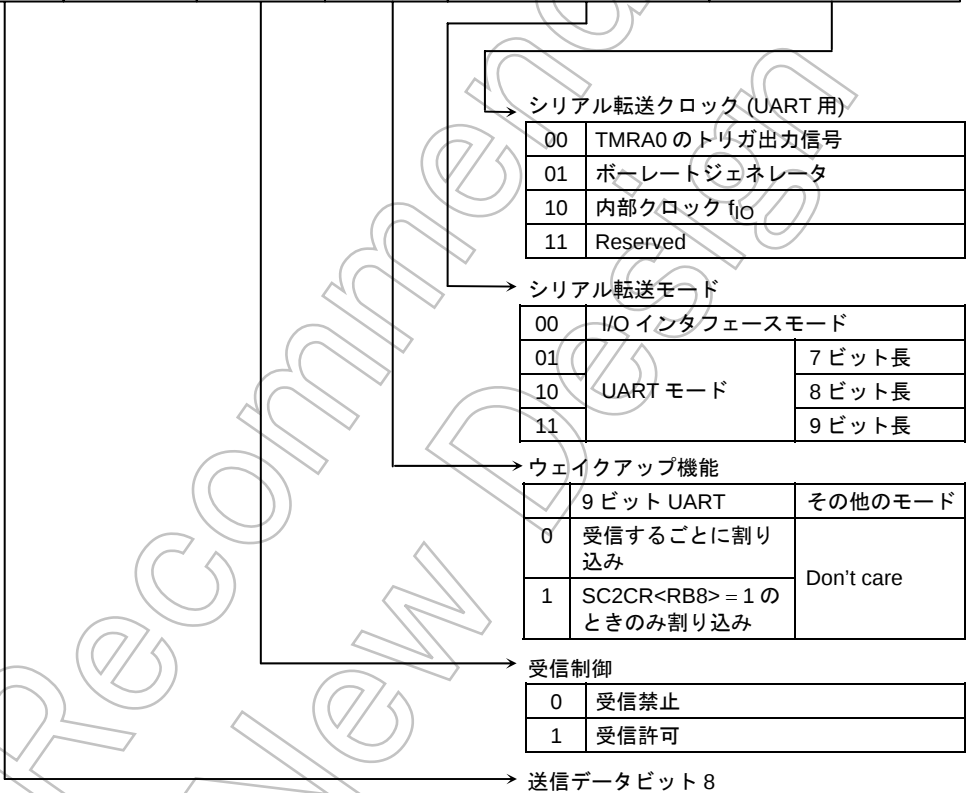
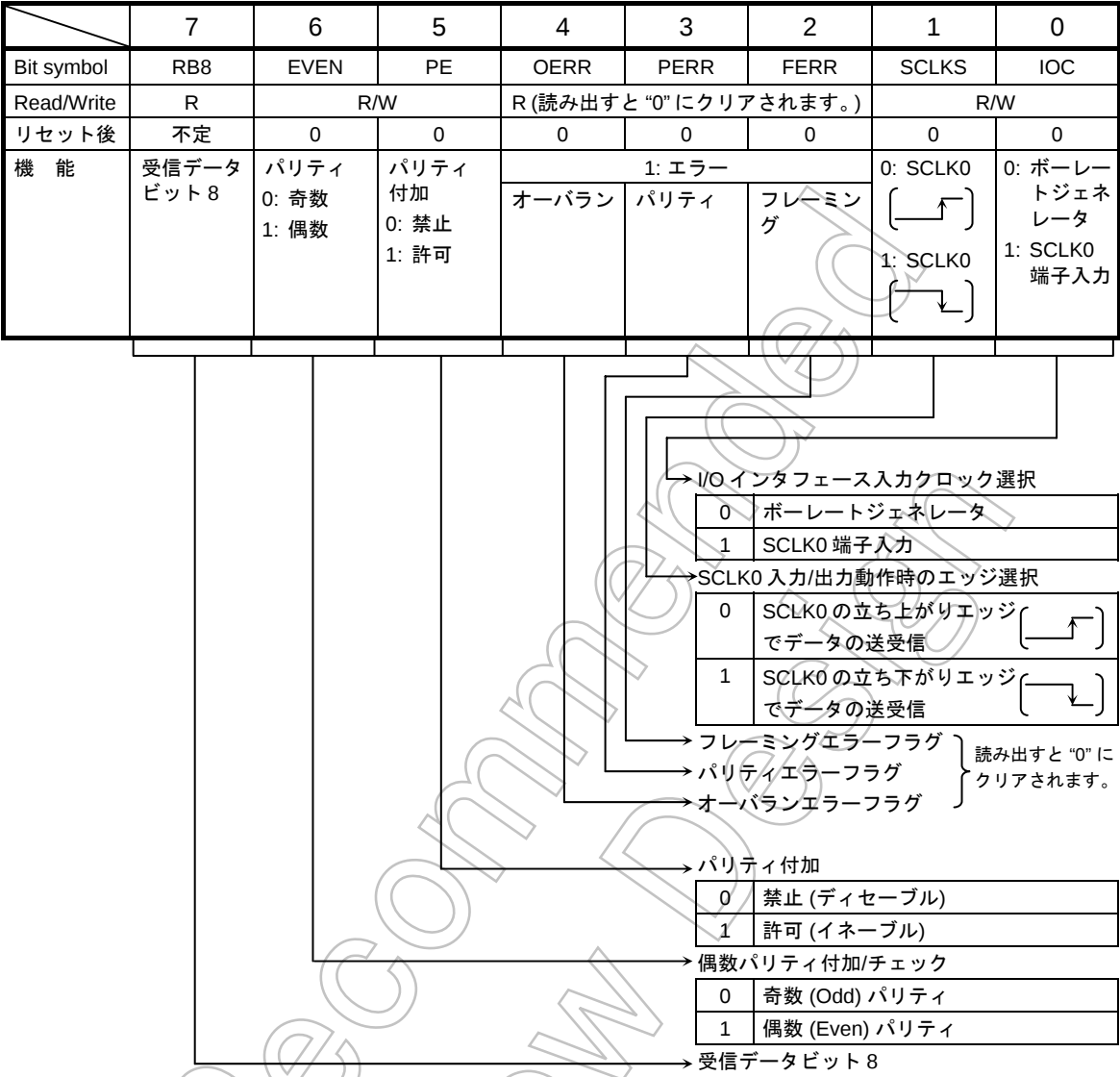


図 3.9.10 シリアルモードコントロールレジスタ (SIO2 用、SC2MOD)

SC0CR  
(1201H)

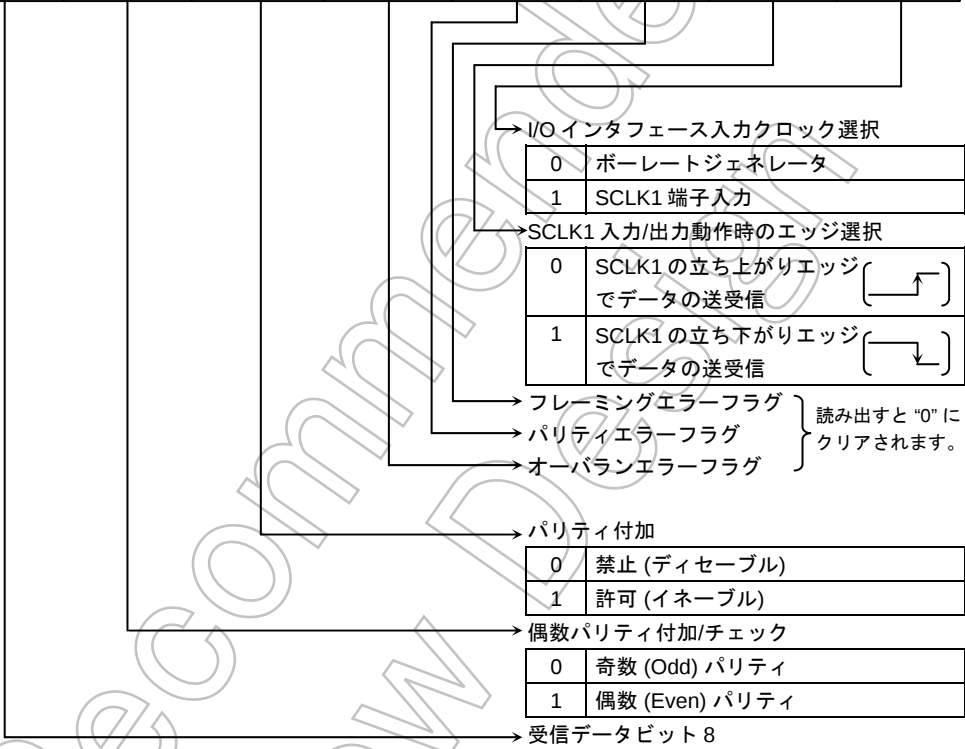


注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.11 シリアルコントロールレジスタ (SIO0 用、SC0CR)

SC1CR  
(1209H)

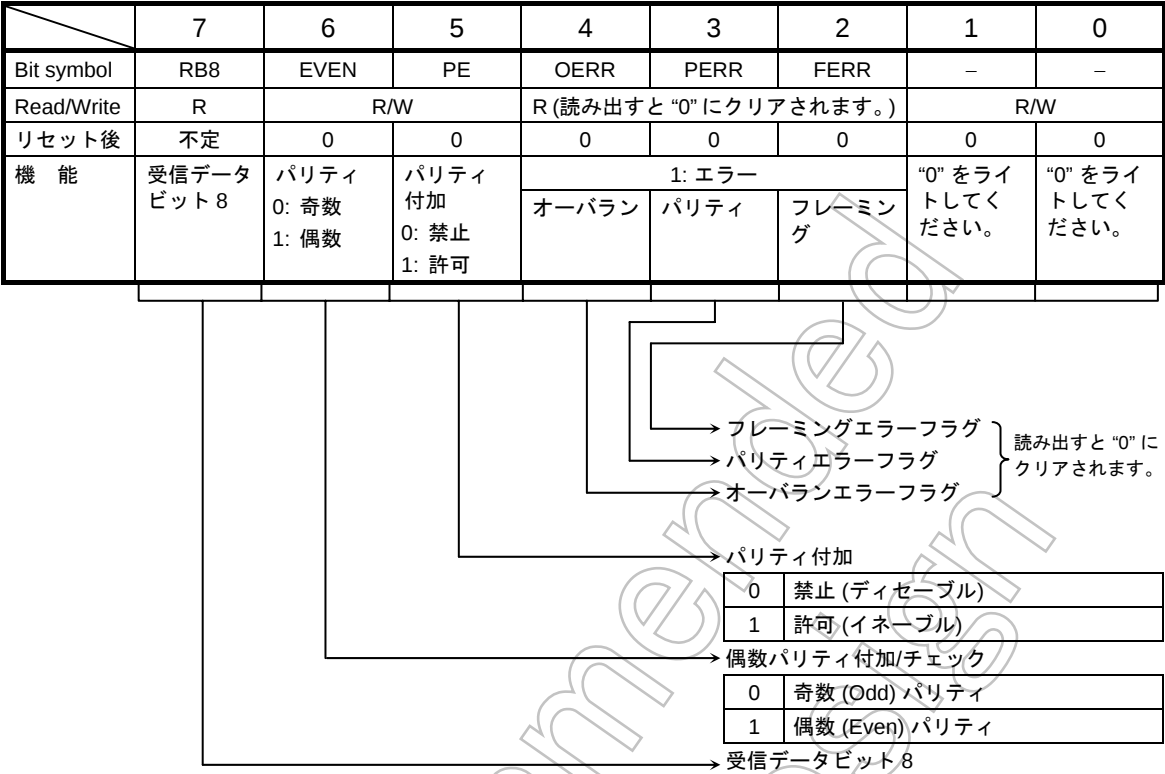
|            | 7              | 6                      | 5                            | 4                                  | 3    | 2    | 1                                      | 0                                          |
|------------|----------------|------------------------|------------------------------|------------------------------------|------|------|----------------------------------------|--------------------------------------------|
| Bit symbol | RB8            | EVEN                   | PE                           | OERR                               | PERR | FERR | SCLKS                                  | IOC                                        |
| Read/Write | R              | R/W                    |                              | R (読み出すと "0" にクリアされます。)            |      |      | R/W                                    |                                            |
| リセット後      | 不定             | 0                      | 0                            | 0                                  | 0    | 0    | 0                                      | 0                                          |
| 機能         | 受信データ<br>ビット 8 | パリティ<br>0: 奇数<br>1: 偶数 | パリティ<br>付加<br>0: 禁止<br>1: 許可 | 1: エラー<br>オーバーラン    パリティ    フレーミング |      |      | 0: SCLK1<br>[ ↑ ]<br>1: SCLK1<br>[ ↓ ] | 0: ボーレー<br>トジェネ<br>レータ<br>1: SCLK1<br>端子入力 |



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

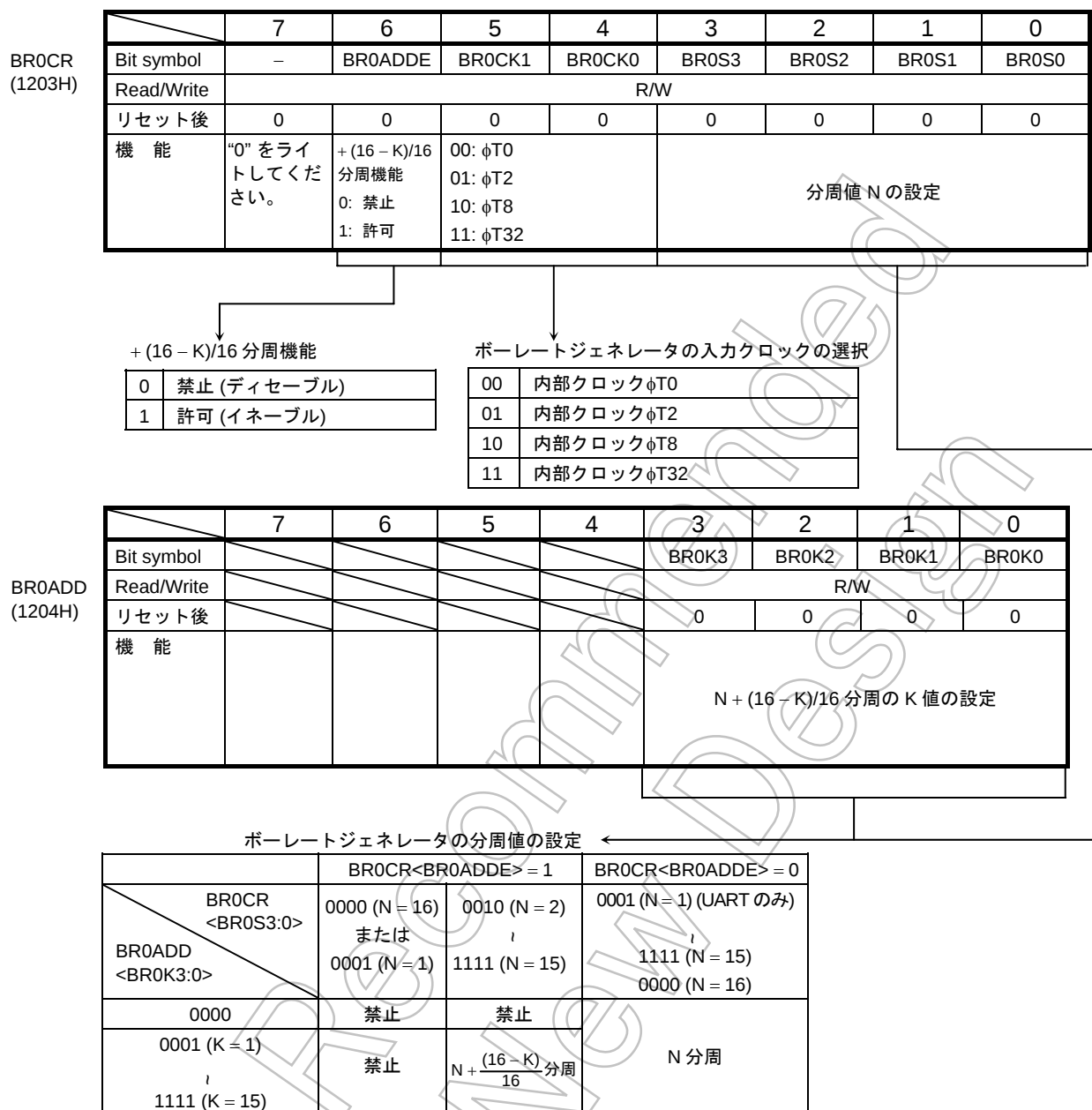
図 3.9.12 シリアルコントロールレジスタ (SIO1 用、SC1CR)

SC2CR  
(1211H)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.13 シリアルコントロールレジスタ (SIO2 用、SC2CR)



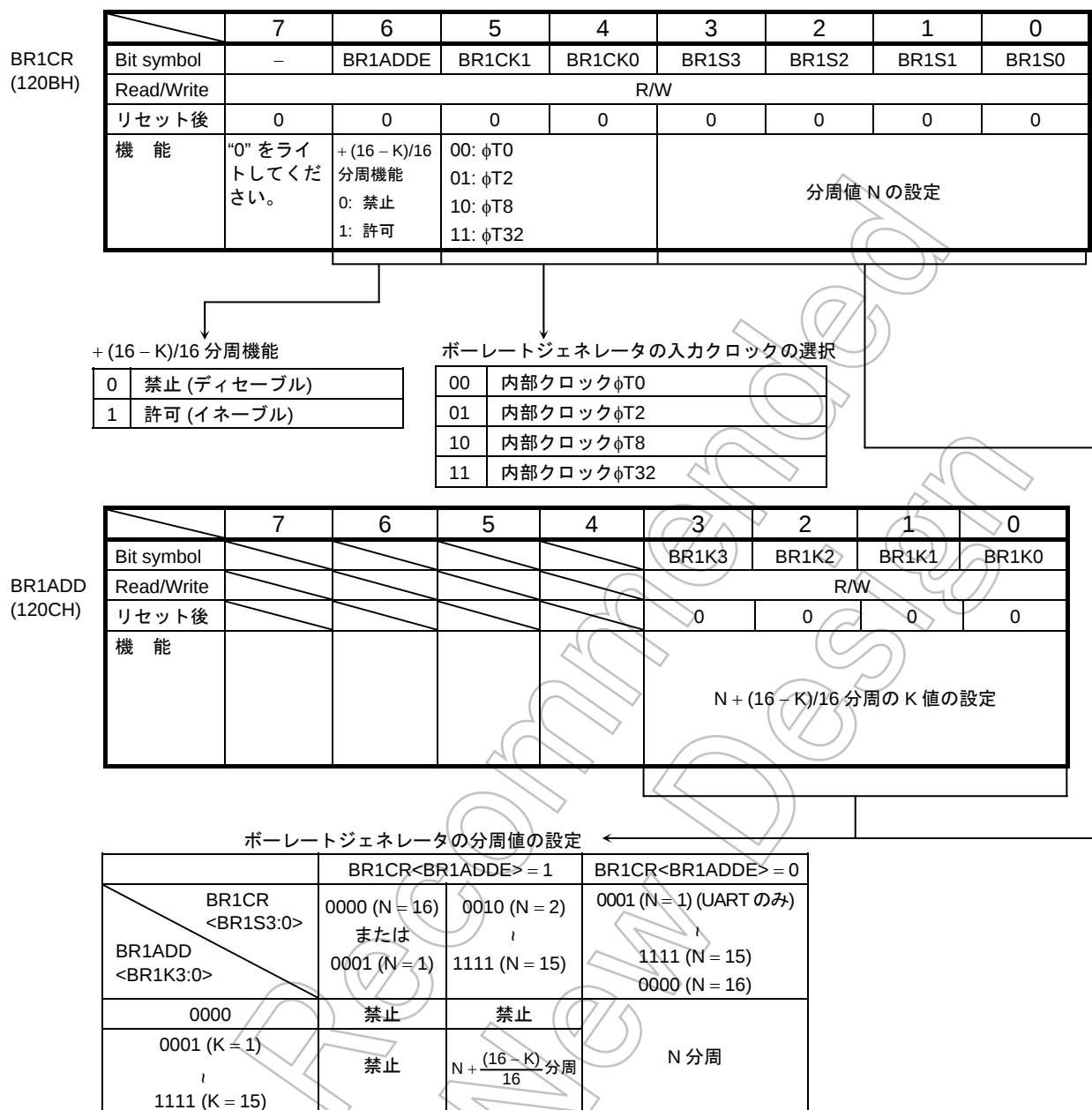
注 1) + (16-K)/16 分周の使用可否

| N       | UART モード | I/O モード |
|---------|----------|---------|
| 2 to 15 | ○        | ×       |
| 1, 16   | ×        | ×       |

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR0ADD<BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR<BR0ADDE> = “1” を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.14 ポーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)



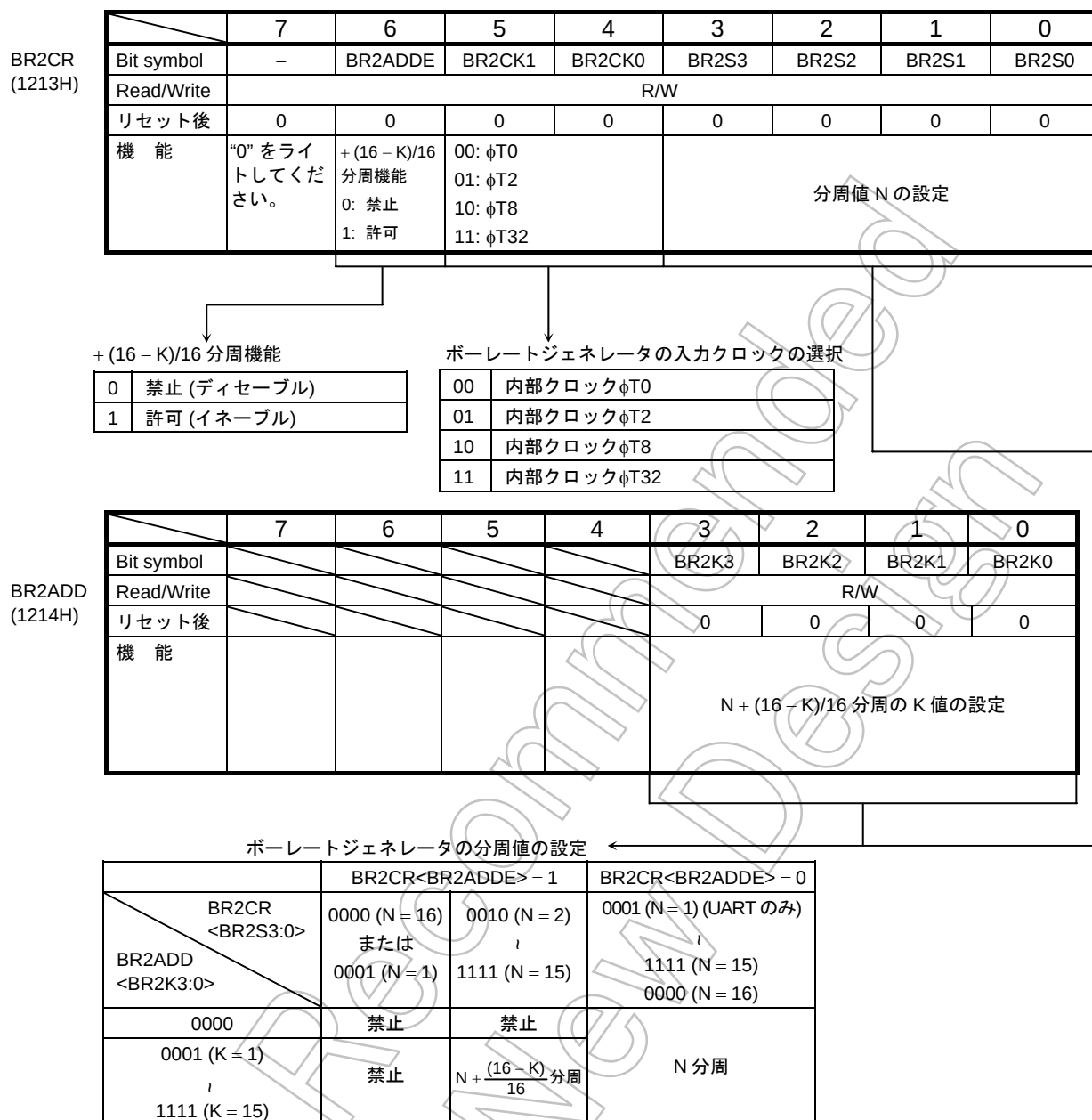
注 1) + (16 - K)/16 分周の使用可否

| N       | UART モード | I/O モード |
|---------|----------|---------|
| 2 to 15 | ○        | ×       |
| 1, 16   | ×        | ×       |

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR1ADD <BR1K3:0> に K 値 (K = 1~15) を設定後に BR1CR <BR1ADDE> = “1” を設定してください。BR1ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.15 ポーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)



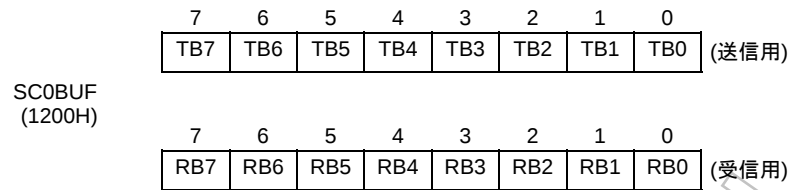
注 1) + (16 - K)/16 分周の使用可否

| N       | UART モード | I/O モード |
|---------|----------|---------|
| 2 to 15 | ○        | ×       |
| 1, 16   | ×        | ×       |

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR2ADD<BR2K3:0> に K 値 (K = 1~15) を設定後に BR2CR <BR2ADDE> = “1” を設定してください。BR2ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.16 ポーレートジェネレータコントロール (SIO2 用、BR2CR, BR2ADD)

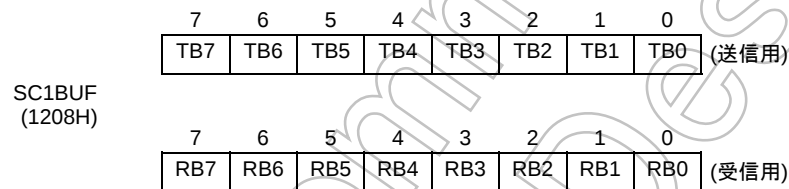


注) SC0BUF はリードモディファイライトできません。

図 3.9.17 シリアル送受信バッファレジスタ (SIO0 用、BR0CR)

|            | 7                       | 6                       | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|-------------------------|-------------------------|---|---|---|---|---|---|
| Bit symbol | I2S0                    | FDPX0                   |   |   |   |   |   |   |
| Read/Write | R/W                     | R/W                     |   |   |   |   |   |   |
| リセット後      | 0                       | 0                       |   |   |   |   |   |   |
| 機能         | IDLE2<br>0: 停止<br>1: 動作 | 同期式<br>0: 半二重<br>1: 全二重 |   |   |   |   |   |   |

図 3.9.18 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)

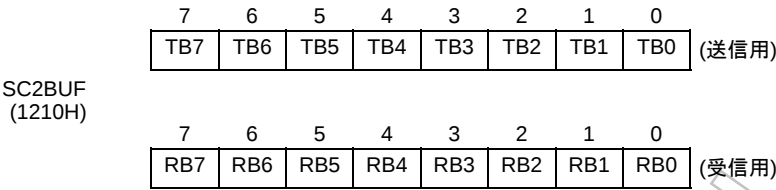


注) SC1BUF はリードモディファイライトできません。

図 3.9.19 シリアル送受信バッファレジスタ (SIO1 用、SC1BUF)

|            | 7                       | 6                       | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|-------------------------|-------------------------|---|---|---|---|---|---|
| Bit symbol | I2S1                    | FDPX1                   |   |   |   |   |   |   |
| Read/Write | R/W                     | R/W                     |   |   |   |   |   |   |
| リセット後      | 0                       | 0                       |   |   |   |   |   |   |
| 機能         | IDLE2<br>0: 停止<br>1: 動作 | 同期式<br>0: 半二重<br>1: 全二重 |   |   |   |   |   |   |

図 3.9.20 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD1)



注) SC2BUF はリードモディファイライトできません。

図 3.9.21 シリアル送受信バッファレジスタ (SIO2 用, SC2BUF)

|                    |            |                         |                         |   |   |   |   |   |   |
|--------------------|------------|-------------------------|-------------------------|---|---|---|---|---|---|
| SC2MOD1<br>(1215H) |            | 7                       | 6                       | 5 | 4 | 3 | 2 | 1 | 0 |
|                    | Bit symbol | I2S2                    | FDPX2                   |   |   |   |   |   |   |
|                    | Read/Write | R/W                     | R/W                     |   |   |   |   |   |   |
|                    | リセット後      | 0                       | 0                       |   |   |   |   |   |   |
|                    | 機 能        | IDLE2<br>0: 停止<br>1: 動作 | 同期式<br>0: 半二重<br>1: 全二重 |   |   |   |   |   |   |

図 3.9.22 シリアルモードコントロールレジスタ 1 (SIO2 用、SC2MOD1)

## 3.9.4 モード別動作説明

## (1) モード 0 (I/O インタフェースモード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

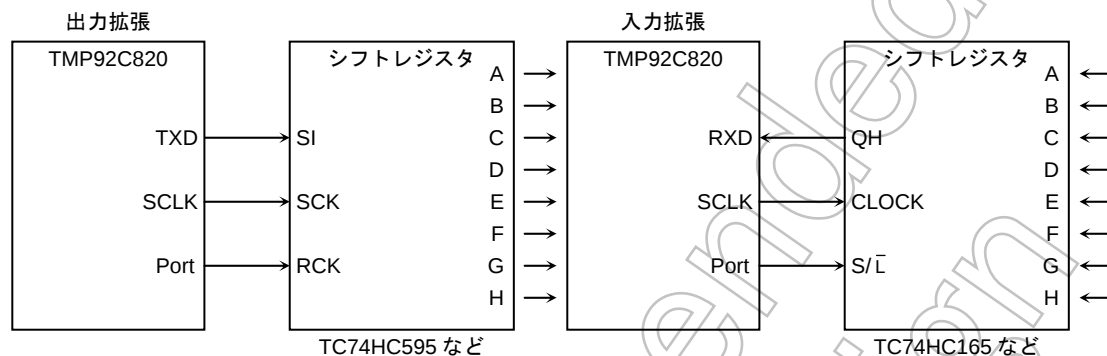


図 3.9.23 SCLK 出力モード接続例

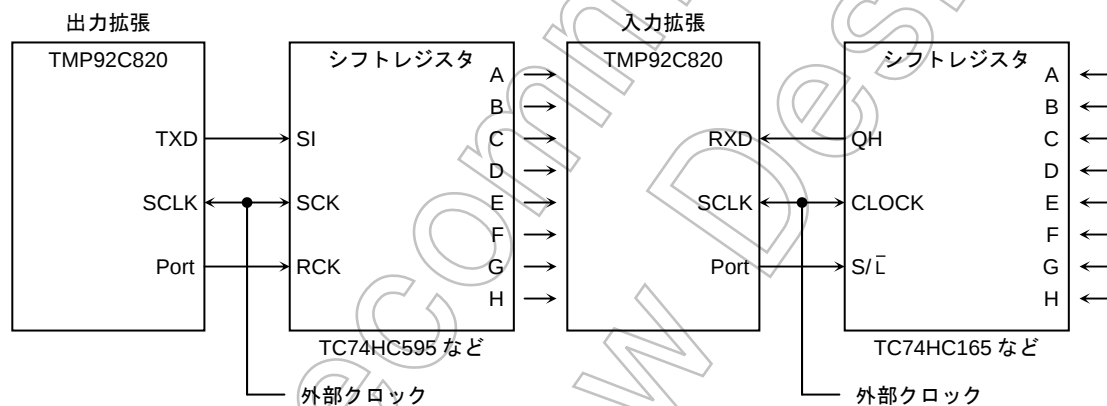


図 3.9.24 SCLK 入力モード接続例

## 1. 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0<ITX0C> がセットされ、割り込み INTTX0 が発生します。

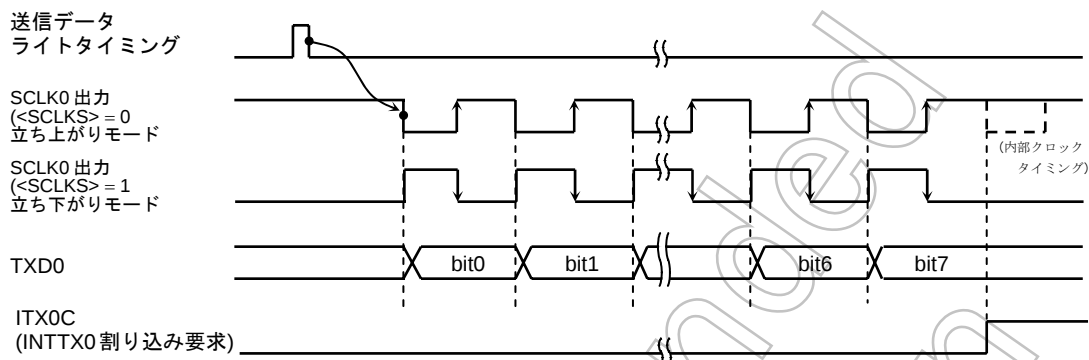


図 3.9.25 I/O インタフェースモード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK0 入力が入ると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0<ITX0C> がセットされ、割り込み INTTX0 が発生します。

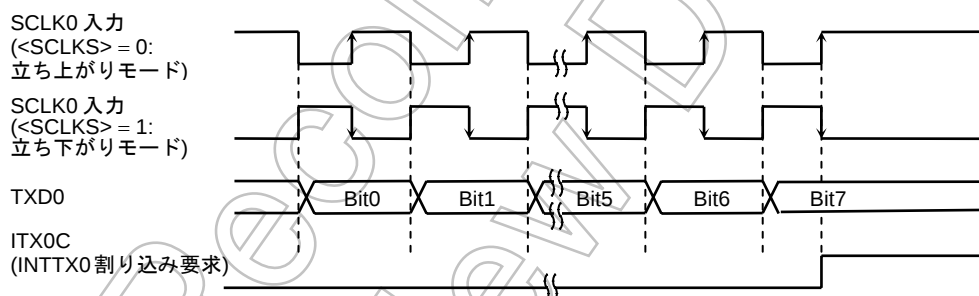


図 3.9.26 I/O インタフェースモード送信動作 (SCLK0 入力モード)

## 2. 受信

SCLK 出力モードでは、受信データが CPU に読み取られ、受信割り込みフラグ  $\text{INTES0}<\text{IRX0C}>$  がクリアされるたびに、SCLK0 端子より同期クロックが出力され、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び  $\text{INTES0}<\text{IRX0C}>$  がセットされて割り込み  $\text{INTRX0}$  が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を“1”にセットすることで行います。

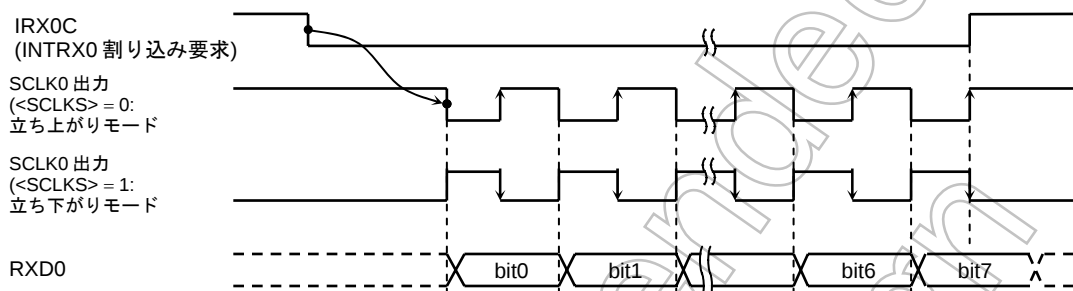


図 3.9.27 I/O インタフェースモード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは、受信データが CPU に読み取られ、受信割り込みフラグ  $\text{INTES0}<\text{IRX0C}>$  がクリアされている状態で SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び  $\text{INTES0}<\text{IRX0C}>$  がセットされて割り込み  $\text{INTRX0}$  が発生します。

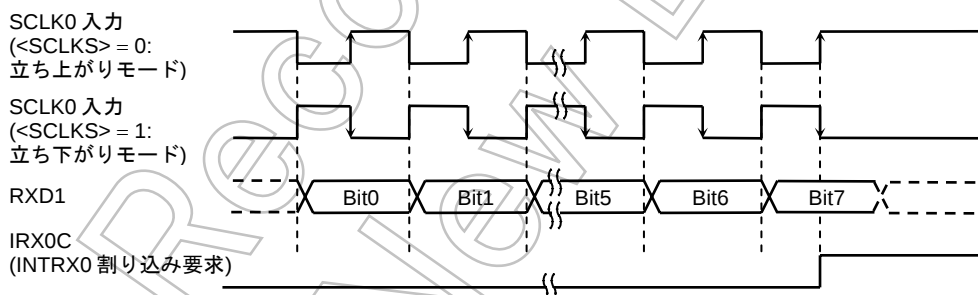


図 3.9.28 I/O インタフェースモード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には、SCLK 入/出力のどちらのモードでも受信イネーブル状態 (SC0MOD<RXE> = 1) にしておく必要があります。

## 3. 送受信 (全二重)

全二重モードで、送受信を行う場合は、必ず受信割り込みレベルを“0”に設定し、送信割り込みのみに割り込みレベル (“1”～“6”のいずれか)を設定してください。

受信処理は、送信割り込み処理ルーチン内で、前記例のように、送信データセットの前に行ってください。

例: チャンネル 0, SCLK 出力  
9600 bps で送受信を行う場合  
 $f_C = 4.9152 \text{ MHz}$

\* クロック条件 □ クロック 1/1 ( $f_C$ )

## メインルーチンでの設定

|         | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|---|---|---|---|---|---|---|
| INTES0  | ← X | 0 | 0 | 1 | X | 0 | 0 | 0 |
| PFCR    | ← X | X | — | — | — | 1 | 0 | 1 |
| PFFC    | ← X | X | — | X | — | 1 | X | 1 |
| SC0MOD0 | ← — | — | — | — | 0 | 0 | — | — |
| SC0MOD1 | ← 1 | 1 | X | X | X | X | X | X |
| SC0CR   | ← 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| BR0CR   | ← 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| SC0MOD0 | ← — | — | 1 | — | — | — | — | — |
| SC0BUF  | ← * | * | * | * | * | * | * | * |

送信割り込みレベルを設定し、受信割り込みを禁止します。  
PF0 (TXD0), PF1 (RXD0), PF2 (SCLK0)に設定します。

I/O インタフェースに設定します。

全二重モードにセットします。

SCLK 出力、立ち上がり受信/立ち下がり送信します。

9600 bps に設定します。

受信許可にします。

送信データをセットします。

## 送信割り込みルーチン

Acc SC0BUF

SC0BUF        \*   \*   \*   \*   \*   \*   \*   \*

X: Don't care、—: No change

受信データをリードします。

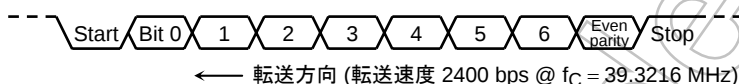
送信データをセットします。

## (2) モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD0<SM1:0> を 01 にセットすると、7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE> で、パリティビット付加のイネーブル/ディセーブルを制御しています。<PE> = 1 (イネーブル) のときは、SC0CR<EVEN> で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



\* クロック条件 [ クロック 1/1 (fC)

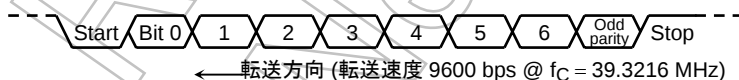
|         | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |                                 |
|---------|-----|---|---|---|---|---|---|---|---------------------------------|
| PFCR    | ← X | X | — | — | — | — | — | 1 | } PF0 を TXD0 端子とします。            |
| PFFC    | ← X | X | — | X | — | — | X | 1 |                                 |
| SC0MOD0 | ← — | 0 | — | — | 0 | 1 | 0 | 1 | 7 ビット UART モードに設定します。           |
| SC0CR   | ← — | 1 | 1 | — | — | — | 0 | 0 | 偶数パリティを付加します。                   |
| BR0CR   | ← 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 2400 bps に設定します。                |
| INTES0  | ← X | 1 | 0 | 0 | — | — | — | — | INTTX0 割り込みをイネーブル、レベル 4 に設定します。 |
| SC0BUF  | ← * | * | * | * | * | * | * | * | 送信データをセットします。                   |

X: Don't care, —: No change

## (3) モード 2 (8 ビット UART モード)

SC0MOD0<SM1:0> を 10 にセットすると、8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で、SC0CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = 1 (イネーブル) のとき、SC0CR<EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



\* クロック条件 [ クロック 1/1 (fC)

メインルーチンでの設定

|         | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |                             |
|---------|-----|---|---|---|---|---|---|---|-----------------------------|
| PFCR    | ← X | X | — | — | — | — | 0 | — | } PF1 (RXD0) を入力ピンにします。     |
| SC0MOD0 | ← — | 0 | 1 | — | 1 | 0 | 0 | 1 |                             |
| SC0CR   | ← — | 0 | 1 | — | — | — | 0 | 0 | 8 ビット UART モード、受信イネーブルにします。 |
| BR0CR   | ← 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 奇数パリティ付加に設定します。             |
| INTES0  | ← — | — | — | — | X | 1 | 0 | 0 | 9600 bps に設定します。            |

INTRX0 割り込みをイネーブル、レベル 4 に設定します。

割り込みルーチンでの処理例

Acc ← SC0CR AND 00011100

if Acc ≠ 0 then ERROR

Acc ← SC0BUF

X: Don't care, —: No change

} エラーチェックを行います。

受信データを読み取ります。

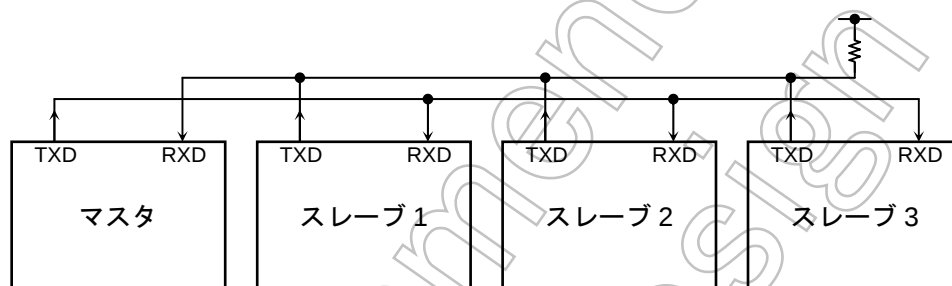
## (4) モード 3 (9 ビット UART)

SC0MOD0<SM1:0> を 11 にセットすると、9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合ならシリアルチャネルモードレジスタの <TB8> に書き込み、受信の場合ならシリアルチャネルコントロールレジスタの <RB8> に格納されます。また、バッファに対する書き込み/読み出しは、必ず最上位ビットの方を先に行い、SC0BUF の方を後にします。

ウェイクアップ機能

9 ビット UART モードでは、SC0MOD0<WU> を “1” にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8>=1 のときのみ割り込み INTRX0 が発生します。

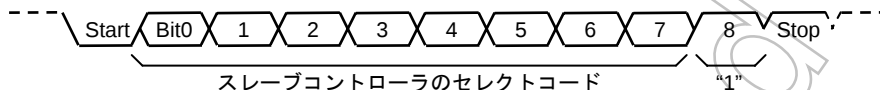


注) スレーブコントローラの TXD 端子は、必ず ODE レジスタを設定してオープンドレイン出力モードにしてください。

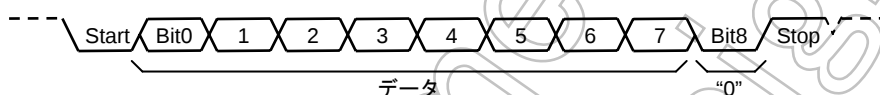
図 3.9.29 ウェイクアップ機能によるシリアルリンク

# **プロトコル**

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SC0MOD0<WU> を “1” にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード (8 ビット) を含む 1 フレームを送信します。このとき、最上位ビット (ビット 8) <TB8> は “1” にします。

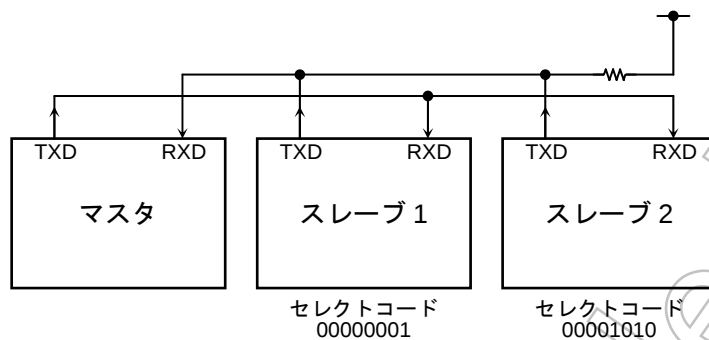


4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WU ビットを “0” にクリアします。
5. マスタコントローラは、指定したスレーブコントローラ (SC0MOD0<WU> = 0 にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット 8) <TB8> は “0” にします。



6. WU = 1 のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の <RB8> が “0” であるため割り込み INTRX0 が発生せず、受信データを無視します。また、<WU> = 0 になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック  $f_{IO}$  を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



#### ● マスタコントローラの設定

##### メインルーチン

|         | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|---|---|---|---|---|---|---|
| PFCR    | ← X | X | — | — | — | — | 0 | 1 |
| PFFC    | ← X | X | — | X | — | — | X | 1 |
| INTES0  | ← 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| SC0MOD0 | ← 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 |
| SC0BUF  | ← 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

} PF0 を TXD0、PF1 を RXD0 端子にします。

INTTX0 をイネーブル、割り込みレベルを 4 に設定します。

INTRX0 をイネーブル、割り込みレベルを 5 に設定します。

9 ビット UART モード、転送クロックを  $f_{IO}$  に設定します。

スレーブ 1 のセレクトコードをセットします。

##### 割り込みルーチン (INTTX0)

|         |     |   |   |   |   |   |   |   |
|---------|-----|---|---|---|---|---|---|---|
| SC0MOD0 | ← 0 | — | — | — | — | — | — | — |
| SC0BUF  | ← * | * | * | * | * | * | * | * |

TB8 を "0" にします。

送信データをセットします。

#### ● スレーブの設定

##### メインルーチン

|         | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|---|---|---|---|---|---|---|
| PFCR    | ← X | X | — | — | — | — | 0 | 0 |
| PFFC    | ← X | X | — | X | — | — | X | 1 |
| INTES0  | ← 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| SC0MOD0 | ← 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |

} PF0 を TXD (オープンドレイン出力) PF1 を RXD にします。

INTTX0, INTRX0 をイネーブルにします。

9 ビット UART モード転送クロック  $f_{SYS}$  で、<WU> = "1" に設定します。

##### 割り込みルーチン (INTRX0)

Acc ← SC0BUF  
if Acc = セレクトコード  
Then SC0MOD0 ← — — — 0 — — — —

<WU> = "0" にクリアします。

### 3.9.5 IrDA のサポート

SIO0 には、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。図 3.9.30に、構成図を示します。

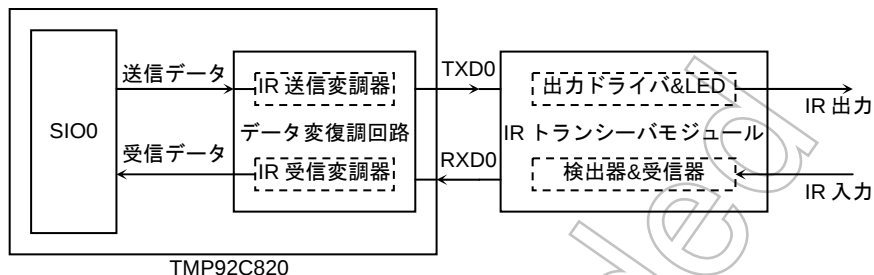


図 3.9.30 IrDA の構成図

#### (1) 送信データの変調

送信データが“0”のときは、ボーレート周期の  $3/16$  倍の幅または  $1/16$  倍の幅（選択は SIRC<PLSEL>で可能）の High レベルを出力し、データが“1”のときは、Low レベルを出力します。

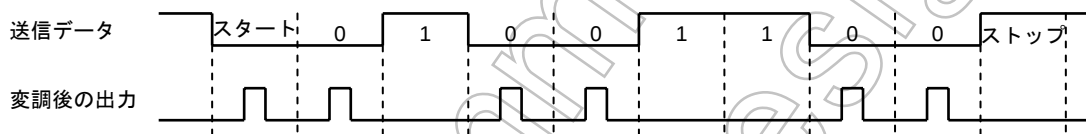


図 3.9.31 送信データの変調例

#### (2) 受信データの復調

入力されたパルスが、有効な High レベル幅（ソフトウェアで幅の設定が可能）のときは SIO0 に対して“0”を出力し、それ以外のときは“1”を出力します。

また、受信パルスの論理を SIRC<RXSEL>にて逆に設定可能です。

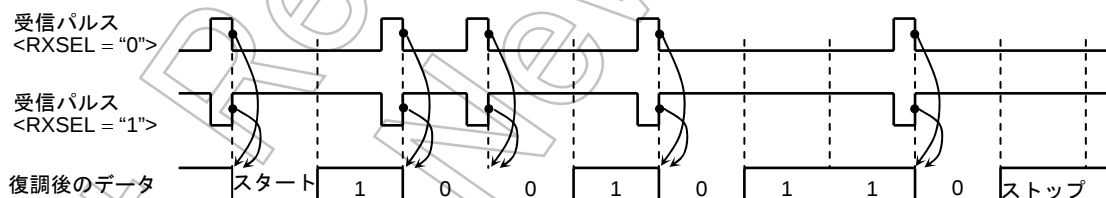


図 3.9.32 受信データの復調例

## (3) データのフォーマット

データの送受信フォーマットは、必ずデータ長 8 ビット、パリティビットなし、ストップビット 1 ビットに設定してください。

それ以外の設定では、正常動作は保証できません。

## (4) SFR 説明

図 3.9.33 にコントロールレジスタを示します。このレジスタの設定変更を行うときは、必ず送受信動作を禁止 (このレジスタの TXEN ビットと RXEN ビットを “0” に設定) してから行ってください。送受信動作中に、このレジスタの設定変更を行った場合、正常動作は保証できません。

下記に、設定例を示します。

- 1) SIO 設定 ; SIO 側の設定を行います。  
↓
- 2) LD (SIRCR), 07H ; 受信有効パルス幅を 16X に設定します。
- 3) LD (SIRCR), 37H ; TXEN, RXEN ビットを “1” にして、SIO の送受信を許可します。  
↓
- 4) 送受信スタート ; SIO から送信データが送られてくるか、赤外線受信パルスを受けると、データの変復調を行います。

## (5) 使用上の注意

## 1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に “01” を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG、fIO、SCLK0 入力を使用できません。

## 2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.9.1 転送速度とパルス出力幅の規格

| 転送速度       | 変調方式 | 転送速度<br>許容誤差<br>(% of Rate) | パルス幅<br>最小値 | パルス幅 3/16<br>公称値 | パルス幅<br>最大値 |
|------------|------|-----------------------------|-------------|------------------|-------------|
| 2.4 kbps   | RZI  | ±0.87                       | 1.41 μs     | 78.13 μs         | 88.55 μs    |
| 9.6 kbps   | RZI  | ±0.87                       | 1.41 μs     | 19.53 μs         | 22.13 μs    |
| 19.2 kbps  | RZI  | ±0.87                       | 1.41 μs     | 9.77 μs          | 11.07 μs    |
| 38.4 kbps  | RZI  | ±0.87                       | 1.41 μs     | 4.88 μs          | 5.96 μs     |
| 57.6 kbps  | RZI  | ±0.87                       | 1.41 μs     | 3.26 μs          | 4.34 μs     |
| 115.2 kbps | RZI  | ±0.87                       | 1.41 μs     | 1.63 μs          | 2.23 μs     |

赤外線パルス出力幅は、ボーレート  $T \times 3/16$ 、または 1.6 μs (ボーレート 115.2 kbps 時の  $T \times 3/16$  に相当) と規定されています。

本デバイスでは、送信時の出力パルス幅を  $T \times 3/16$  と  $T \times 1/16$  とを選択できる機能がありますが、 $T \times 1/16$  を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps、57.6 kbps 時には、出力パルス幅を  $T \times 1/16$  に設定してはいけません。

同様の理由で、転送レートの 115.2 kbps を SIO0 のボーレートジェネレータで生成するときは、K 値付き分周をしてはいけません。また、送信パルス幅を 1/16 に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときも、K 値付き分周を使用してはいけません。下表に、K 値付き分周の使用可否をまとめたものを示します。

表 3.9.2 K 値付き分周を使用可能なボーレートと出力パルス幅の関係

| 出力パルス幅          | ボーレート<br>115.2 kbps | 57.6 kbps | 38.4 kbps | 19.2 kbps | 9.6 kbps | 2.4 kbps |
|-----------------|---------------------|-----------|-----------|-----------|----------|----------|
| $T \times 3/16$ | ×                   | ○         | ○         | ○         | ○        | ○        |
| $T \times 1/16$ | —                   | —         | ×         | ○         | ○        | ○        |

○: K 値付き分周使用可  
 ×: K 値付き分周使用不可  
 —:  $T \times 1/16$  設定不可

SIRCR  
(1207H)

|            | 7                                  | 6                                     | 5                      | 4                      | 3                                                                                                          | 2      | 1      | 0      |
|------------|------------------------------------|---------------------------------------|------------------------|------------------------|------------------------------------------------------------------------------------------------------------|--------|--------|--------|
| Bit symbol | PLSEL                              | RXSEL                                 | TXEN                   | RXEN                   | SIRWD3                                                                                                     | SIRWD2 | SIRWD1 | SIRWD0 |
| Read/Write | R/W                                |                                       |                        |                        |                                                                                                            |        |        |        |
| リセット後      | 0                                  | 0                                     | 0                      | 0                      | 0                                                                                                          | 0      | 0      | 0      |
| 機能         | 送信パルス<br>幅選択<br>0: 3/16<br>1: 1/16 | 受信データ<br>論理<br>0: “H”パルス<br>1: “L”パルス | 送信動作<br>0: 禁止<br>1: 許可 | 受信動作<br>0: 禁止<br>1: 許可 | SIRRD の有効パルス幅の設定<br>$2x \times (\text{設定値} + 1) + 100\text{ns}$ 以上のパルス幅を有効とする<br>設定可 : 1~14<br>設定不可: 0, 15 |        |        |        |

→ 受信有効パルス幅の設定

計算式: 受信有効パルス幅  $\geq 2x \times (\text{設定値} + 1) + 100\text{ns}$   
 $x = 1/f_{\text{SYS}}$

|      |                                         |
|------|-----------------------------------------|
| 0000 | 設定不可                                    |
| 0001 | $4x + 100 \text{ ns}$ 以上のパルス幅のものを有効とする  |
| ~    |                                         |
| 1110 | $30x + 100 \text{ ns}$ 以上のパルス幅のものを有効とする |
| 1111 | 設定不可                                    |

→ 受信 (復調) 動作の許可

|   |                               |
|---|-------------------------------|
| 0 | 受信動作を禁止する<br>(受信された入力は無視されます) |
| 1 | 受信動作を許可する                     |

→ 送信 (変調) 動作の許可

|   |                                 |
|---|---------------------------------|
| 0 | 受信動作を禁止する<br>(SIO からの入力は無視されます) |
| 1 | 送信動作を許可する                       |

→ 送信パルス幅の選択

|   |            |
|---|------------|
| 0 | 3/16 のパルス幅 |
| 1 | 1/16 のパルス幅 |

補足) ボーレートが遅く、IrDA1.0 規格のパルス幅 (最小 1.6  $\mu\text{s}$ ) を確保できる場合、本ビットを “1” に設定することで、赤外線点灯時間を減らし、消費電力を軽減することができます。

図 3.9.33 IrDA コントロールレジスタ

### 3.10 シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 1 チャンネル内蔵しています。

シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I<sup>2</sup>C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I<sup>2</sup>C バスモードのときには、P91 (SDA), P92 (SCL) を通して外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、P90 (SCK), P91 (SO), P92 (SI) を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

|                          | P90DE<P92ODE, P91ODE> | P9CR<P92C, P91C, P90C> | P9FC<P92F, P91F, P90F> |
|--------------------------|-----------------------|------------------------|------------------------|
| I <sup>2</sup> C バスモード   | 11                    | 11X                    | 11X                    |
| クロック同期式<br>8 ビット SIO モード | XX                    | 011<br>010             | 011<br>010 (注)         |

X: Don't care

注) 本製品ではポート回路の仕様により、SI 機能、SCK 入力機能を使用する際には、汎用ポート設定にしてください。

#### 3.10.1 構成

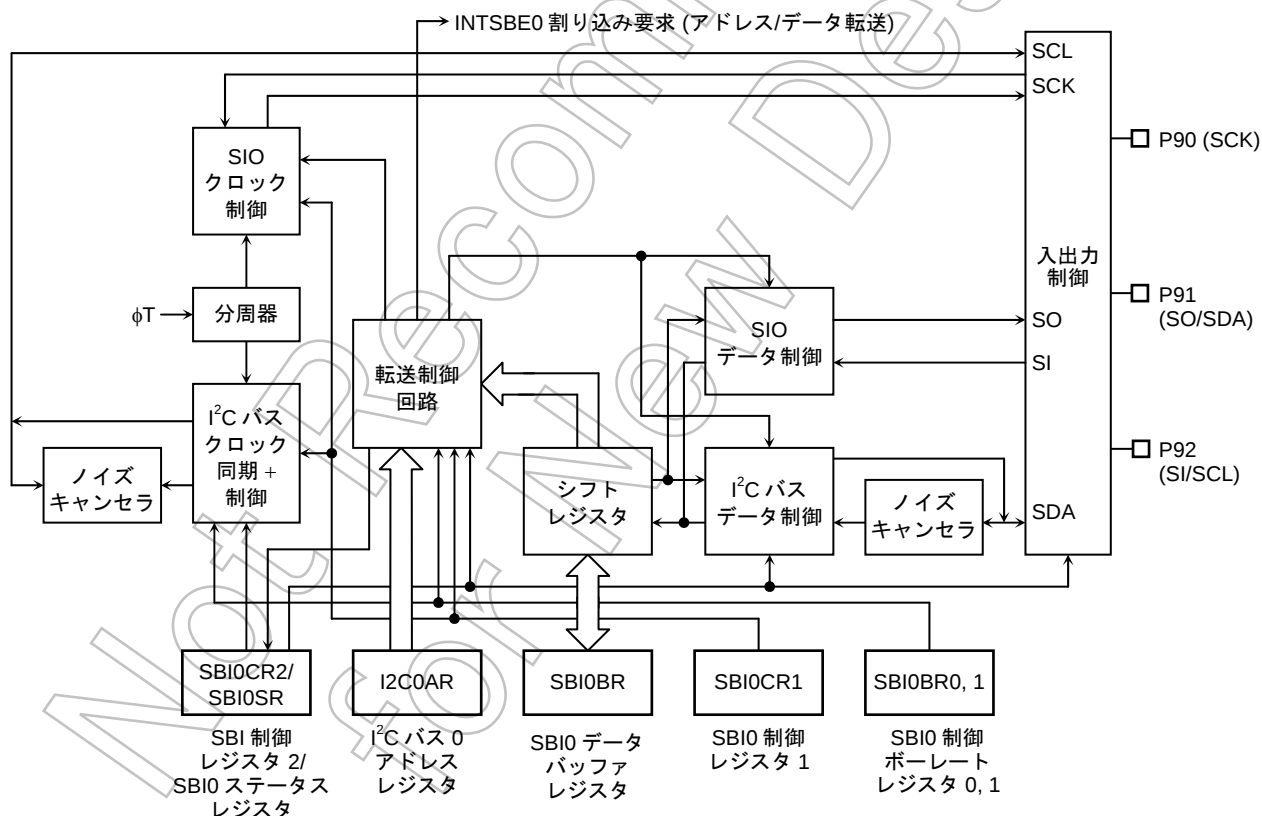


図 3.10.1 シリアルバスインタフェース 0 (SBI0)

### 3.10.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース 0 制御レジスタ 1 (SBI0CR1)
- シリアルバスインタフェース 0 制御レジスタ 2 (SBI0CR2)
- シリアルバスインタフェース 0 データバッファレジスタ (SBI0DBR)
- I<sup>2</sup>C バス 0 アドレスレジスタ (I2C0AR)
- シリアルバスインタフェース 0 ステータスレジスタ (SBI0SR)
- シリアルバスインタフェース 0 ボーレートレジスタ 0 (SBI0BR0)
- シリアルバスインタフェース 0 ボーレートレジスタ 1 (SBI0BR1)

上記レジスタは、使用するモードによって機能が異なります。詳細は、3.10.4「I<sup>2</sup>Cバスモード時の制御」および3.10.7「クロック同期式 8 ビットSIOモード時の制御」をご参照ください。

### 3.10.3 I<sup>2</sup>C バスモード時のデータフォーマット

I<sup>2</sup>Cバスモード時のデータフォーマットを図 3.10.2に示します。

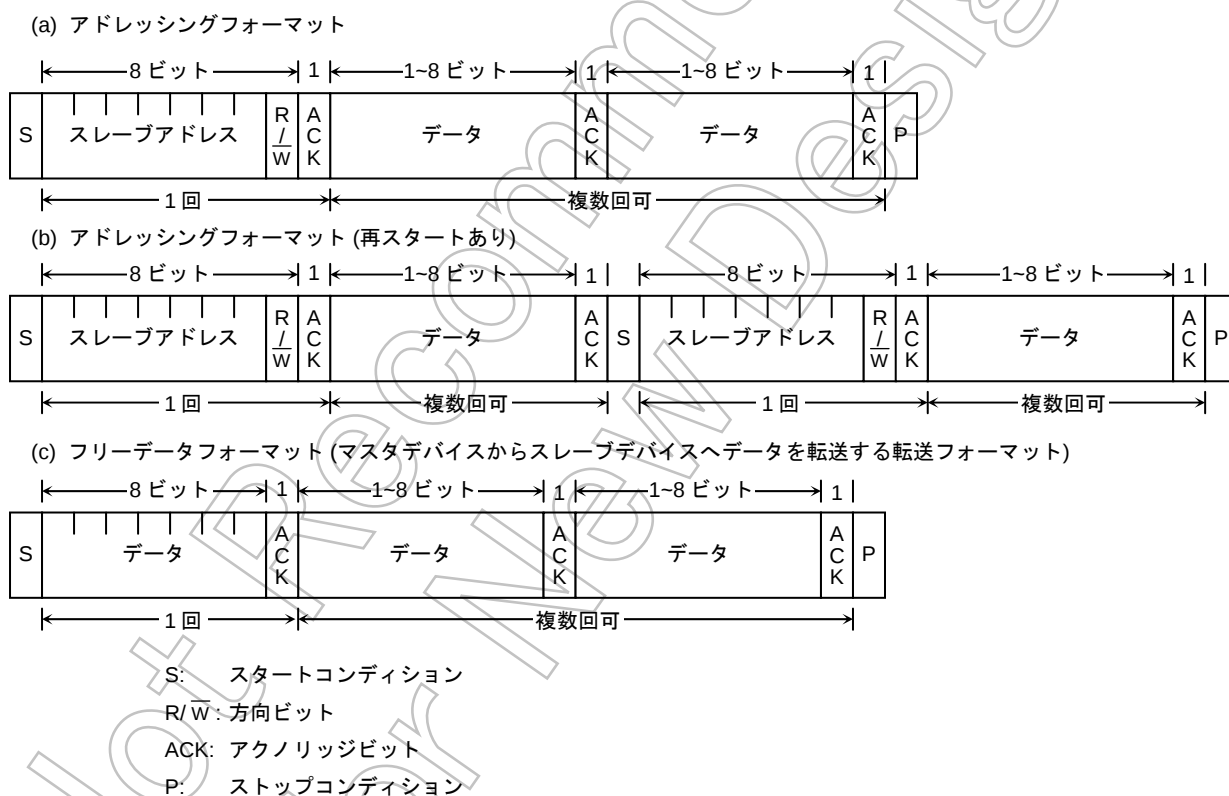


図 3.10.2 I<sup>2</sup>C バスモード時のデータフォーマット

3.10.4 I<sup>2</sup>C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I<sup>2</sup>C バスモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース 0 制御レジスタ 1

|            |                 |     |     |                                                 |   |                                        |      |                 |
|------------|-----------------|-----|-----|-------------------------------------------------|---|----------------------------------------|------|-----------------|
|            | 7               | 6   | 5   | 4                                               | 3 | 2                                      | 1    | 0               |
| Bit symbol | BC2             | BC1 | BC0 | ACK                                             |   | SCK2                                   | SCK1 | SCK0/<br>SWRMON |
| Read/Write | W               |     |     | R/W                                             |   | W                                      |      | R/W             |
| リセット後      | 0               | 0   | 0   | 0                                               |   | 0                                      | 0    | 0/1 (注 3)       |
| 機能         | 転送ビット数の選択 (注 1) |     |     | アクリリジ<br>メントクロ<br>ック<br>0: 発生<br>しない<br>1: 発生する |   | 内部 SCL 出力クロックの<br>周波数選択 (注 2) とリセットモニタ |      |                 |

SBI0CR1  
(1240H)リード  
モディファ  
イライト  
できません。

内部 SCL 出力クロックの周波数選択 &lt;SCK2:0&gt; @ライト

|     |            |            |                                                                                                                                                                                                                                            |
|-----|------------|------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 000 | n = 5      | - (注 4)    | $\left. \begin{array}{l} \text{システムクロック: } f_{\text{SYS}} \\ \text{(クロックギア } 1/f_{\text{SYS}}) \\ f_{\text{SYS}} = 20 \text{ MHz (SCL 端子への} \\ \text{出力)} \\ \text{周波数} = \frac{f_{\text{SYS}}}{2^n + 8} [\text{Hz}] \end{array} \right\}$ |
| 001 | n = 6      | - (注 4)    |                                                                                                                                                                                                                                            |
| 010 | n = 7      | - (注 4)    |                                                                                                                                                                                                                                            |
| 011 | n = 8      | 75.8 kHz   |                                                                                                                                                                                                                                            |
| 100 | n = 9      | 38.5 kHz   |                                                                                                                                                                                                                                            |
| 101 | n = 10     | 19.4 kHz   |                                                                                                                                                                                                                                            |
| 110 | n = 11     | 9.73 kHz   |                                                                                                                                                                                                                                            |
| 111 | (Reserved) | (Reserved) |                                                                                                                                                                                                                                            |

ソフトウェアリセット状態モニタ &lt;SWRMON&gt; @リード

|   |             |
|---|-------------|
| 0 | ソフトウェアリセット中 |
| 1 | 初期値         |

→アクリリジメントのためのクロック発生を選択

|   |                      |
|---|----------------------|
| 0 | アクリリジのためのクロックを発生しない。 |
| 1 | アクリリジのためのクロックを発生する。  |

→転送ビット数の選択

| <BC2:0> | <ACK> = 0 のとき |      | <ACK> = 1 のとき |      |
|---------|---------------|------|---------------|------|
|         | クロック数         | データ長 | クロック数         | データ長 |
| 000     | 8             | 8    | 9             | 8    |
| 001     | 1             | 1    | 2             | 1    |
| 010     | 2             | 2    | 3             | 2    |
| 011     | 3             | 3    | 4             | 3    |
| 100     | 4             | 4    | 5             | 4    |
| 101     | 5             | 5    | 6             | 5    |
| 110     | 6             | 6    | 7             | 6    |
| 111     | 7             | 7    | 8             | 7    |

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、<BC2:0> を "000" にクリアしてください。

注 2) SCL 端子クロックの周波数については、3.10.5 (3) 「シリアルクロック」を参照してください。

注 3) SCK0 の初期値は "0"、SWRMON の初期値は "1" です。

注 4) 本 I<sup>2</sup>C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが、I<sup>2</sup>C 規格の規格外となります。

図 3.10.3 I<sup>2</sup>C バスモード関係のレジスタ

シリアルバスインタフェース 0 制御レジスタ 2

SBI0CR2  
(1243H)

リード  
モード  
モディファイ  
アイト  
できません。

|            | 7                   | 6            | 5                               | 4                       | 3                                                                                                        | 2     | 1                                                                | 0      |
|------------|---------------------|--------------|---------------------------------|-------------------------|----------------------------------------------------------------------------------------------------------|-------|------------------------------------------------------------------|--------|
| Bit symbol | MST                 | TRX          | BB                              | PIN                     | SBIM1                                                                                                    | SBIM0 | SWRST1                                                           | SWRST0 |
| Read/Write | W                   |              |                                 |                         | W (注 1)                                                                                                  |       | W (注 1)                                                          |        |
| リセット後      | 0                   | 0            | 0                               | 1                       | 0                                                                                                        | 0     | 0                                                                | 0      |
| 機 能        | マスタ/<br>スレーブの<br>選択 | 送信/受信の<br>選択 | スタート/<br>ストップコ<br>ンディショ<br>ンの発生 | INTSBEO<br>割り込み<br>要求解除 | シリアルバスインタフェース<br>の動作モード選択 (注 2)<br>00:ポートモード<br>01:SIO モード<br>10:I <sup>2</sup> C バスモード<br>11:(Reserved) |       | ソフトウェアリセットの<br>発生<br>最初に“10”、次に“01”を<br>書き込むと、ソフトリセッ<br>トが発生します。 |        |

→シリアルバスインタフェースの動作モード選択 (注 2)

|    |                             |
|----|-----------------------------|
| 00 | ポートモード (シリアルバスインタフェースの出力禁止) |
| 01 | クロック同期式 8 ビット SIO モード       |
| 10 | I <sup>2</sup> C バスモード      |
| 11 | (Reserved)                  |

→INTSBEO 割り込み要求

|   |           |
|---|-----------|
| 0 | –         |
| 1 | 割り込み要求の解除 |

→スタート/ストップコンディション制御

|   |               |
|---|---------------|
| 0 | ストップコンディション発生 |
| 1 | スタートコンディション発生 |

→送信/受信選択

|   |              |
|---|--------------|
| 0 | レシーバ (受信)    |
| 1 | トランスミッタ (送信) |

→マスタ/スレーブの選択

|   |      |
|---|------|
| 0 | スレーブ |
| 1 | マスタ  |

注 1) このレジスタをリードすると、SBI0SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

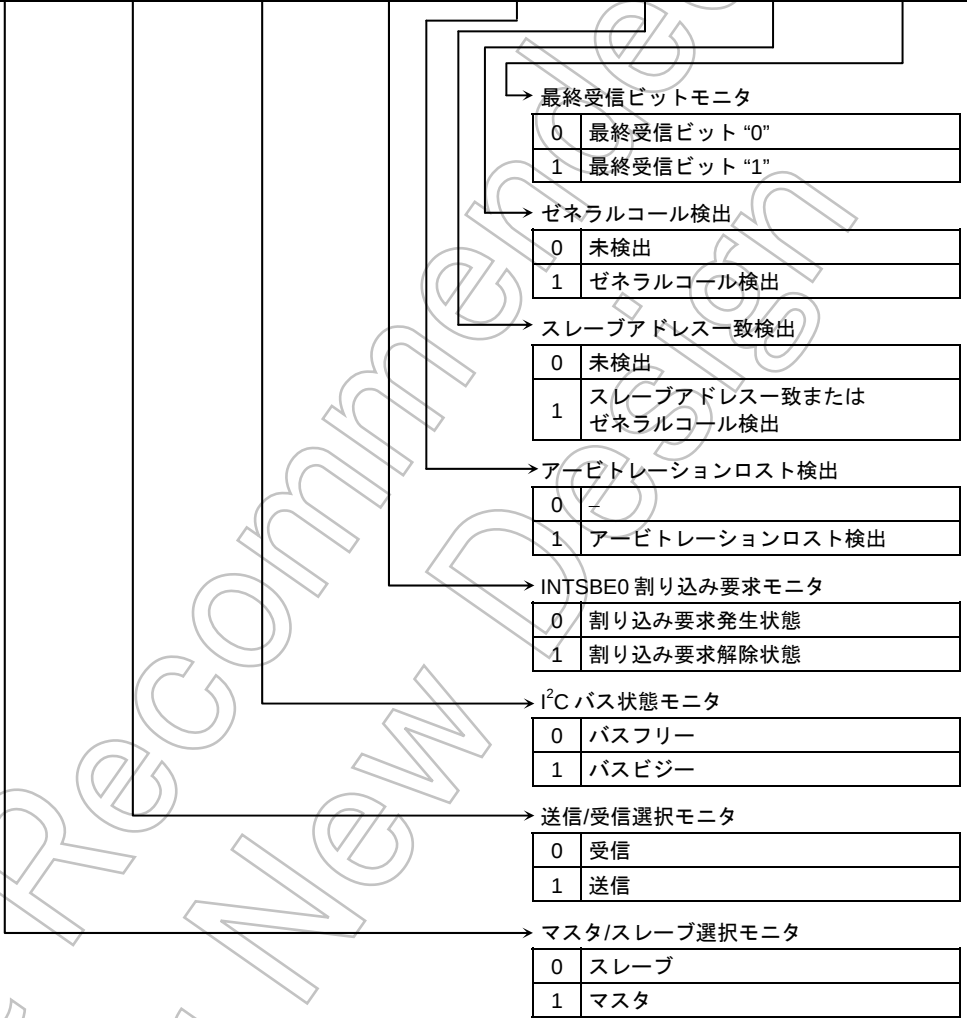
また、ポートモードから I<sup>2</sup>C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が“H”になっていることを確認してから行ってください。

図 3.10.4 I<sup>2</sup>C バスモード関係のレジスタ

シリアルバスインタフェース 0 ステータスレジスタ

SBI0SR  
(1243H)  
  
リード  
モディファイ  
アイト  
できません。

|            | 7                     | 6              | 5                            | 4                        | 3                                              | 2                                       | 1                                | 0                                      |
|------------|-----------------------|----------------|------------------------------|--------------------------|------------------------------------------------|-----------------------------------------|----------------------------------|----------------------------------------|
| Bit symbol | MST                   | TRX            | BB                           | PIN                      | AL                                             | AAS                                     | AD0                              | LRB                                    |
| Read/Write | R                     |                |                              |                          |                                                |                                         |                                  |                                        |
| リセット後      | 0                     | 0              | 0                            | 1                        | 0                                              | 0                                       | 0                                | 0                                      |
| 機 能        | マスタ/<br>スレーブ<br>選択モニタ | 送信/受信<br>選択モニタ | I <sup>2</sup> C バス<br>状態モニタ | INTSBEO<br>割り込み<br>要求モニタ | ア ー ビ ト<br>レーシヨ<br>ンロスト<br>検出<br>0: -<br>1: 検出 | スレーブ<br>アドレス<br>一致検出<br>0: 未検出<br>1: 検出 | ゼネラル<br>コール検出<br>0: 未検出<br>1: 検出 | 最終受信<br>ビット<br>モニタ<br>0: "0"<br>1: "1" |



注) このレジスタをライトすると、SBI0CR2として機能します。

図 3.10.5 I<sup>2</sup>C バスモード関係のレジスタ

## シリアルバスインタフェース 0 ボーレートレジスタ 0

SBI0BR0  
(1244H)  
リード  
モディファイ  
ライト  
できません

|            | 7                       | 6                       | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|-------------------------|-------------------------|---|---|---|---|---|---|
| Bit symbol | –                       | I2SBI0                  |   |   |   |   |   |   |
| Read/Write | W                       | R/W                     |   |   |   |   |   |   |
| リセット後      | 0                       | 0                       |   |   |   |   |   |   |
| 機 能        | “0” をライ<br>トしてく<br>ださい。 | IDLE2<br>0: 停止<br>1: 動作 |   |   |   |   |   |   |

IDLE2 時の動作

|   |    |
|---|----|
| 0 | 停止 |
| 1 | 動作 |

## シリアルバスインタフェース 0 ボーレートレジスタ 1

SBI0BR1  
(1245H)  
リード  
モディファイ  
ライト  
できません

|            | 7                            | 6                       | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|------------------------------|-------------------------|---|---|---|---|---|---|
| Bit symbol | P4EN                         | –                       |   |   |   |   |   |   |
| Read/Write | W                            | W                       |   |   |   |   |   |   |
| リセット後      | 0                            | 0                       |   |   |   |   |   |   |
| 機 能        | 内部<br>クロック<br>0: 停止<br>1: 動作 | “0” をライ<br>トしてく<br>ださい。 |   |   |   |   |   |   |

内部ボーレート回路制御

|   |    |
|---|----|
| 0 | 停止 |
| 1 | 動作 |

## シリアルバスインタフェース 0 データバッファレジスタ

SBI0DBR  
(1241H)  
リード  
モディファイ  
ライト  
できません。

|            | 7             | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|------------|---------------|-----|-----|-----|-----|-----|-----|-----|
| Bit symbol | DB7           | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| Read/Write | R (受信)/W (送信) |     |     |     |     |     |     |     |
| リセット後      | 不定            |     |     |     |     |     |     |     |

注 1) 送信データ書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。

また、受信データは LSB 側に格納されます。

注 2) SBI0DBR は、書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

I<sup>2</sup>C バス 0 アドレスレジスタ

I2C0AR  
(1242H)  
リード  
モディファイ  
ライト  
できません。

|            | 7                             | 6   | 5   | 4   | 3   | 2   | 1   | 0                        |
|------------|-------------------------------|-----|-----|-----|-----|-----|-----|--------------------------|
| Bit symbol | SA6                           | SA5 | SA4 | SA3 | SA2 | SA1 | SA0 | ALS                      |
| Read/Write | W                             |     |     |     |     |     |     |                          |
| リセット後      | 0                             | 0   | 0   | 0   | 0   | 0   | 0   | 0                        |
| 機 能        | スレーブデバイスとして動作するときのスレーブアドレスの設定 |     |     |     |     |     |     | アドレス<br>認識モ<br>ード<br>の指定 |

アドレス認識モードの指定

|   |                 |
|---|-----------------|
| 0 | スレーブアドレスを認識する。  |
| 1 | スレーブアドレスを認識しない。 |

図 3.10.6 I<sup>2</sup>C バスモード関係のレジスタ

### 3.10.5 I<sup>2</sup>C バスモード時の制御

#### (1) アクノリッジメントモードの指定

SBI0CR1<ACK> を“1”にセットしておくで、アクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を“L”レベルに引き、アクノリッジ信号を発生します。

<ACK> を“0”に設定しておくで、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

#### (2) 転送ビット数の選択

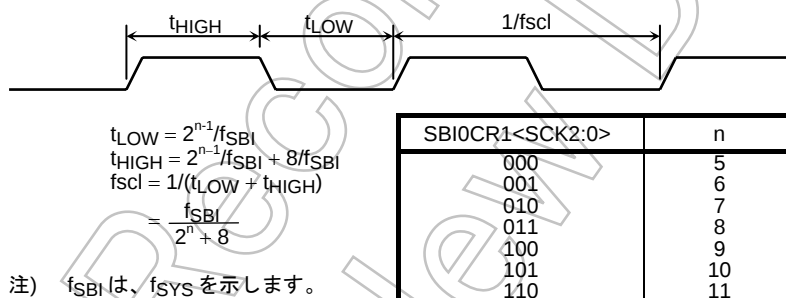
SBI0CR1<BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより“000”にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外るとき、<BC2:0> は一度設定された値を保持します。

#### (3) シリアルクロック

##### 1. クロックソース

SBI0CR1<SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本誌記載の下記計算式に合わせて  $t_{LOW}$  の最小幅など、I<sup>2</sup>C バス規定を満足する通信ボーレートを選択してください。



注)  $f_{SBI}$  は、 $f_{SYS}$  を示します。

図 3.10.7 クロックソース

## 2. クロック同期化

I<sup>2</sup>C バスでは、端子の構造上バスをワイヤード AND で駆動させるため、クロック端子を最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

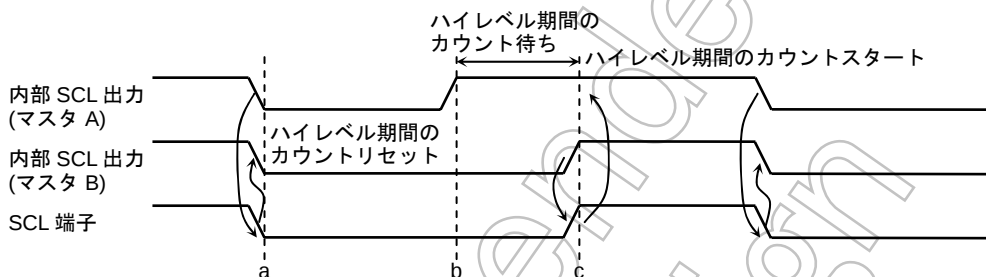


図 3.10.8 クロック同期化の例

“a”点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL 端子は“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

“b”点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B がバスの SCL 端子を“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、“c”点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL 端子が“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のように、バス上のクロックはバスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと、最も長い“L”レベル期間を持つマスタによって決定されます。

### (4) スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2C0AR にスレーブアドレス <SA6:0> と <ALS> を設定します。

<ALS> に“0”を設定すると、アドレス認識モードになります。

### (5) マスタ/スレーブの選択

SBI0CR2<MST> を“1”に設定すると、マスタデバイスとして動作します。

<MST> を“0”に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にクリアされます。

## (6) トランスマッタ/レシーバの選択

SBI0CR2 <TRX>の設定で、トランスマッタ/レシーバの選択ができます。<TRX> = 1 でトランスマッタ、<TRX> = 0 でレシーバとして動作します。

スレーブモードでアドレッシングフォーマットのデータ転送を行う場合、デバイスは1バイト目にスレーブアドレスと方向ビット (R/ $\bar{W}$ ) を受信します。受信したスレーブアドレスが I2C0AR の値 (デバイスの持つスレーブアドレス) と同じであれば、方向ビットに従って<TRX>の値が変化します。R/ $\bar{W}$  = 1 (スレーバ受信) であれば、<TRX>は0にクリアされ、アクノリッジを返し、後に続くデータを受信します。R/ $\bar{W}$  = 0 (スレーバ送信) であれば、<TRX>は1にセットされ、アクノリッジを返し、データを送信します。また、ゼネラルコール (1バイト目のデータがすべて0) は、R/ $\bar{W}$  = 0なので、<TRX>は0にクリアされ、アクノリッジを返し、後に続くデータを受信します。

マスタモードの場合、スレーブデバイスからアクノリッジが返ってくると、送信したR/ $\bar{W}$ に従って<TRX>の値が変化します。R/ $\bar{W}$  = 1 (マスタ送信) であれば、<TRX>は1にセットされ、R/ $\bar{W}$  = 0 (マスタ受信) であれば、<TRX>は0にクリアされます。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX> は I<sup>2</sup>C バス上のストップコンディションの検出またはアービトレーションロストの検出で、ハードウェアにより“0”にクリアされます。

## (7) スタート/ストップコンディションの発生

SBI0SR<BB> が“0”のとき、SBI0CR2<MST, TRX, BB, PIN>に“1111”を書き込むと、バス上にスタートコンディションと、データバッファレジスタに書き込んだスレーブアドレス、方向ビットが出力されます。あらかじめ、<ACK>に“1”を設定してください。

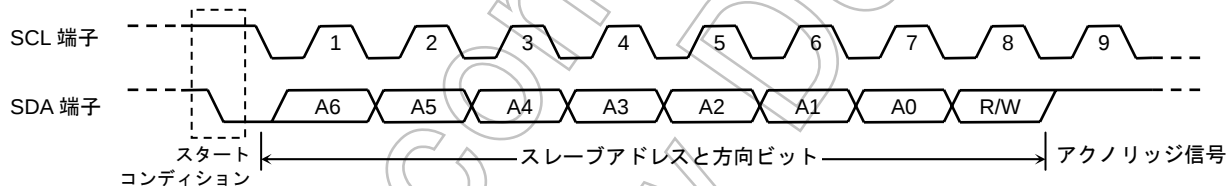


図 3.10.9 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1”のとき、<MST, TRX, PIN>に“111”、<BB>に“0”を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

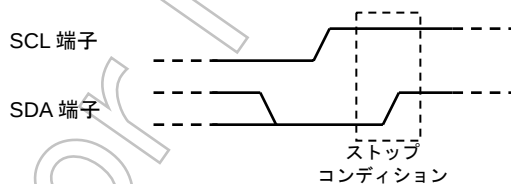


図 3.10.10 ストップコンディションの発生

また、SBI0SR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると“1”にセットされ (バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます (バスフリー状態)。

なお、マスタモードでのストップコンディション発生については制約事項がありますので、3.10.6 (4)「ストップコンディションの発生」を参照してください。

## (8) 割り込みサービス要求と解除

スレーブアドレスまたはデータ転送によるシリアルバスインタフェース割り込み要求 0 (INTSBE0) が発生すると、SBI0SR<PIN> が“0”にクリアされます。<PIN> が“0”の間、SCL 端子を“L”レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると“0”にクリアされ、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと“1”にセットされます。

<PIN> が“1”にセットされてから、SCL 端子が開放されるまで、 $t_{LOW}$  の時間がかかります。

アドレス認識モード (I2C0AR<ALS> = “0”) では、受信したスレーブアドレスが I2C0AR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が“0”にクリアされます。プログラムで SBI0CR2<PIN> に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

## (9) シリアルバスインタフェースの動作モード

SBI0CR2<SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。

I2C バスモードで使用するときは、シリアルバスインタフェース端子の状態が“H”になっていることを確認後、<SBIM1:0> を“10”に設定します。

ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

## (10) アービトレーションロスト検出モニタ

I<sup>2</sup>C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I<sup>2</sup>C バスではバスのアービトレーションに SDA0 端子のデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。“a”点のビットまでマスタ A、マスタ B と同じデータを出力し、“a”点でマスタ A が“L”レベルを出力、マスタ B が“H”レベルを出力すると、バスの SDA 端子はワイヤード AND で駆動されるために、マスタ A よって“L”レベルに引かれます。“b”点でバスの SCL 端子が立ち上がると、スレーブデバイスは SDA 端子データ、すなわちマスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を“アービトレーションロスト”と呼びます。マスタ B は SDA 端子を開放し、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

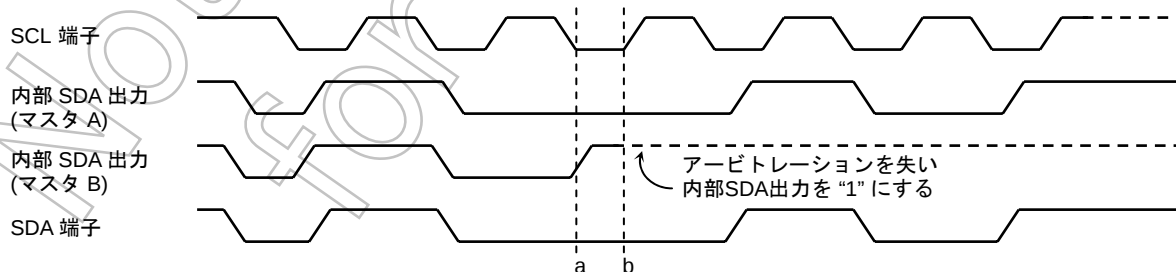


図 3.10.11 アービトレーションロスト

バスの SDA 端子のレベルと内部 SDA 出力のレベルの比較は、SCL 端子の立ち上がりで行います。この比較結果が不一致の場合、アービトレーションロストになり、SBI0SR<AL> が“1”にセットされます。

<AL> が“1”にセットされると SBI0SR<MST, TRX> は“00”にリセットされ、スレーブレシーバモードになります。そのため、<AL> が“1”にセットされた後のデータ転送ではクロックの出力を停止します。

<AL> は、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み込む、または SBI0CR2 にデータを書き込むと“0”にリセットされます。

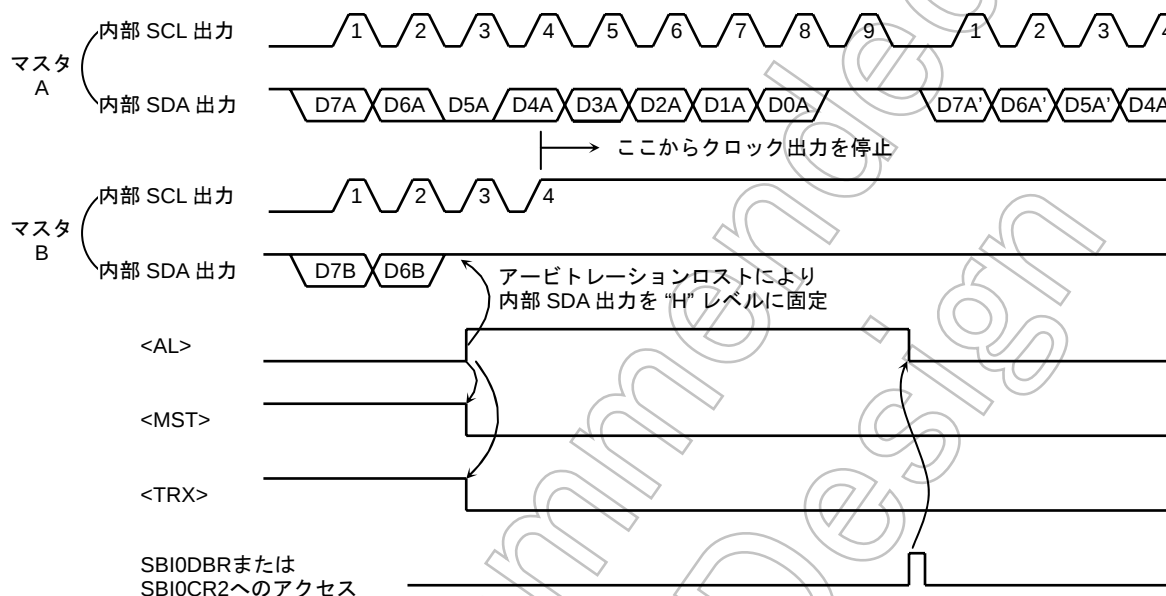


図 3.10.12 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

#### (11) スレーブアドレス一致検出モニタ

SBI0SR<AAS> は、スレーブモード時、アドレス認識モード (I2C0AR<ALS> = “0”) のとき、ゼネラルコールまたは I2C0AR にセットした値と同じスレーブアドレスを受信すると“1”にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると“1”にセットされます。<AAS> は SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと“0”にクリアされます。

#### (12) ゼネラルコール検出モニタ

SBI0SR<AD0> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて“0”) を受信したとき“1”にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると“0”にクリアされます。

#### (13) 最終受信ビットモニタ

SBI0SR<LRB> には、SCL 端子の立ち上がりで取り込まれた SDA 端子の値がセットされます。

アクノリジメントモードのとき、INTSBE0 割り込み要求発生直後に SBI0SR<LRB> を読み出すと、ACK 信号が読み出されます。

(14) ソフトウェアリセット

シリアルバスインタフェース回路が外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBI0CR2<SWRST1:0>へ最初に“10”、次に“01”を書き込むと、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、SBI0CR2<SBIM1:0>すべてのコントロールレジスタとステータレジスタは、リセット直後の値となります。

また、<SWRST1:0SWRMON>は、シリアルバスインタフェース回路の初期化が終了すると、自動的に“1”にセットされます。

(15) シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)

SBI0DBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。

また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

(16) I<sup>2</sup>C バスアドレスレジスタ (I2C0AR)

I2C0AR<SA6:0>は、スレーブデバイスとして動作する場合のスレーブアドレスを設定するビットです。

また、I2C0AR<ALS>=“0”に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS>=“1”に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

(17) ボーレートレジスタ (SBI0BR1)

I<sup>2</sup>C バスを使用する前に、ボーレート回路制御レジスタ SBI0BR1<P4EN>に“1”を書き込んでください。

(18) IDLE2 設定レジスタ (SBI0BR0)

SBI0BR0<I2SBI0>は、IDLE2 モードに遷移した際に動作の許可/禁止を設定するレジスタです。

HALT 命令を実行する前に、あらかじめ設定してください。

### 3.10.6 I<sup>2</sup>C バスモード時のデータ転送手順

#### (1) デバイスの初期化

最初に SBI0BR1<P4EN>, SBI0CR1<ACK, SCK2:0> を設定します。SBI0BR1<P4EN> = “1” を、SBI0CR1 のビット 7~5, 3 には、“0” を書き込んでください。

次に I2C0AR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

最後に、SBI0CR2<MST, TRX, BB> に “000”、<PIN> に “1”、<SBIM1:0> に “10”、<SWRST1:0> に “00” を書き込み、初期状態をスレーブレシーバモードにします。

#### (2) スタートコンディション、スレーブアドレスの発生

##### 1. マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。

次に、SBI0CR1<ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBI0DBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBI0CR2<MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBI0DBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA 端子を開放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBEO 割り込み要求が発生し、<PIN> = “0” にクリアされます。マスタモード時は、<PIN> = “0” の間、SCL 端子を “L” レベルに引きます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBEO 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

##### 2. スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL 端子の最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2C0AR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA 端子を “L” レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBEO 割り込み要求が発生し、<PIN> = “0” にクリアされます。スレーブモード時は、<PIN> = “0” の間 SCL0 端子を “L” レベルに引きます。

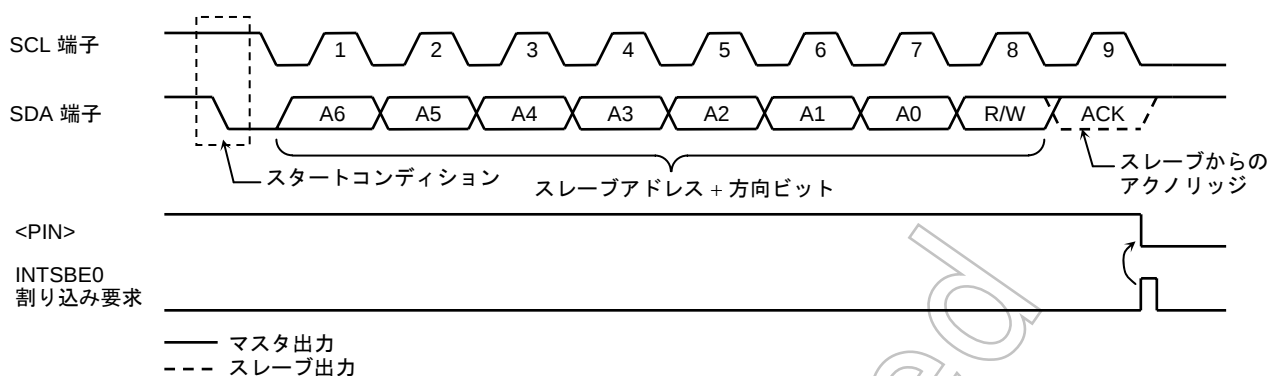


図 3.10.13 スタートコンディションとスレーブアドレスの発生

## (3) 1 ワードのデータ転送

1 ワード転送終了の INTSBE0 割り込みの処理で <MST> をテストし、マスタモード/スレーブモードの判断をします。

## 1. マスタモードの場合 (&lt;MST&gt; = "1")

<TRX> をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 (<TRX> = "1")

<LRB> をテストします。<LRB> が "1" のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

<LRB> が "0" のとき、レシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき、SBI0DBR に転送データを書き込みます。8 ビット以外のときは <BC2:0>, <ACK> を設定し、転送データを SBI0DBR に書き込みます。データを書き込むと <PIN> が "1" になり、SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後、INTSBE0 割り込み要求が発生し、<PIN> が "0" になり SCL 端子を "L" レベルに引きます。複数ワードの転送が必要な場合は、上記 <LRB> のテストから繰り返します。

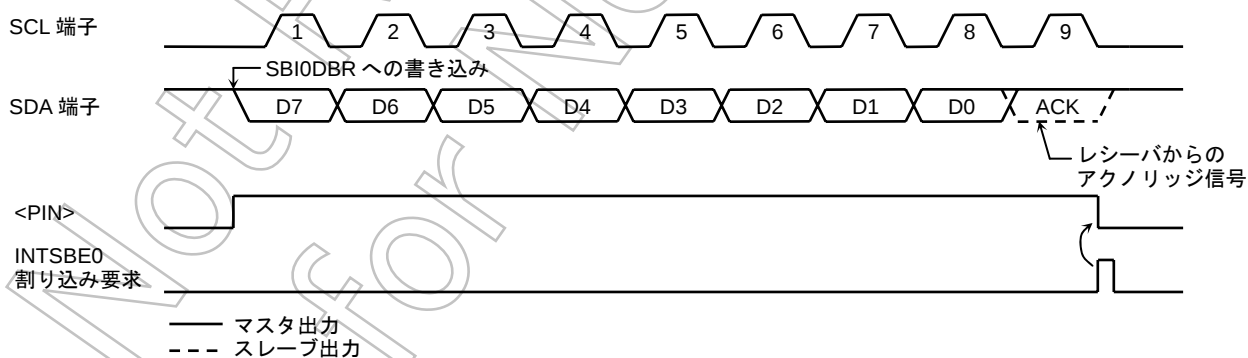


図 3.10.14 &lt;BC2:0&gt; = "000", &lt;ACK&gt; = "1" のときの例 (トランスミッタモード)

## レシーバモードの場合 (&lt;TRX&gt; = “0”)

転送するデータのビット数が 8 ビット以外のときは <BC2:0>, <ACK> を設定し、SCL 端子を開放するために SBI0DBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと <PIN> は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで “L” レベルを SDA 端子に出力します。

その後、INTSBEO 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。SBI0DBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

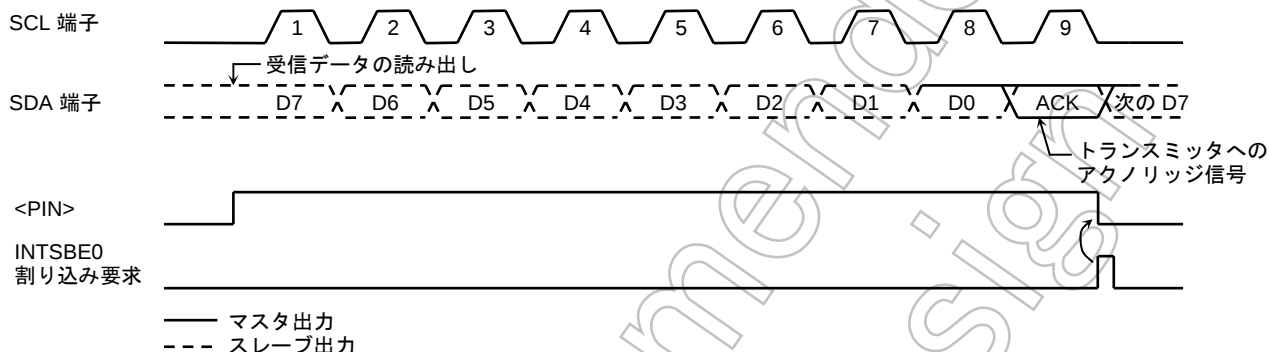


図 3.10.15 <BC2:0> = “000”, <ACK> = “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に <ACK> を “0” にクリアします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = “001” に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このとき、マスタはレシーバなので、バスの SDA 端子は “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。ストップコンディションの発生により、INTSBEO 割り込み要求が発生します。

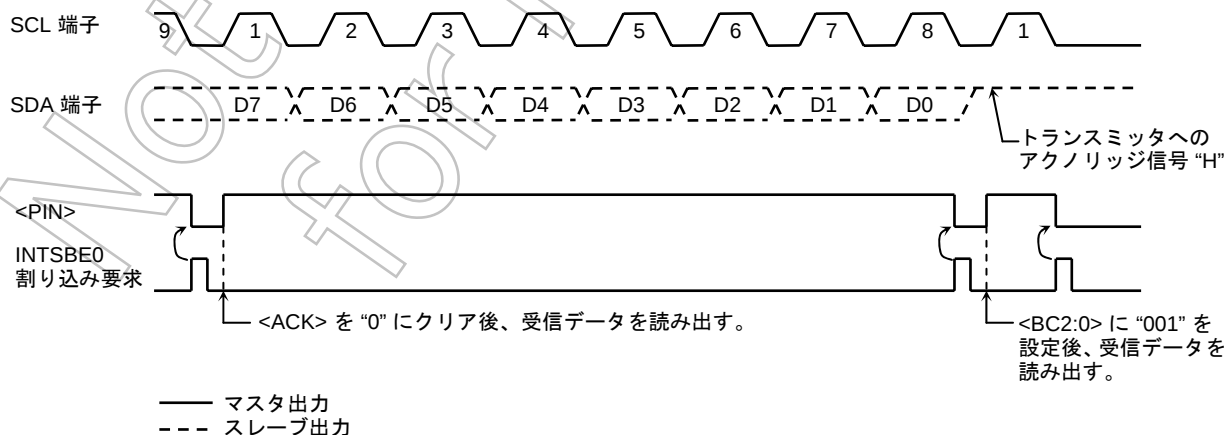


図 3.10.16 マスタレシーバモード時にデータの送信を終了させるときの処理

## 2. スレーブモードの場合 (<MST> = “0”)

スレーブモード時は、通常のスレーブモードとしての処理またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったスレーブアドレスまたはゼネラルコールを受信したとき、もしくは受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に、INTSBE0 割り込み要求が発生します。また、マスタモードのときにアービトレーションロストを検出すると、スレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時にINTSBE0 割り込み要求が発生します。INTSBE0 割り込み要求が発生すると<PIN>が“0”にリセットされ、SCL 端子を“L”レベルに引きます。SBI0DBR にデータを書き込む、SBI0DBR からデータを読み出す、または<PIN>に“1”を設定するとSCL 端子が $t_{LOW}$ 後に開放されます。

SBI0SR <AL>, <TRX>, <AAS>, <AD0> をテストし、場合分けを行います。表 3.10.1に、スレーブモード時の状態と必要な処理を示します。

表 3.10.1 スレーブモード時の処理

| <TRX> | <AL> | <AAS> | <AD0> | 状態                                                                      | 処理                                                               |
|-------|------|-------|-------|-------------------------------------------------------------------------|------------------------------------------------------------------|
| 1     | 1    | 1     | 0     | スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“1”のスレーブアドレスを受信。           | 1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBI0DBR に書き込みます。              |
|       | 0    | 1     | 0     | スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信。                              |                                                                  |
|       |      | 0     | 0     | スレーブトランスミッタモード時、1 ワードのデータの送信が終了。                                        |                                                                  |
| 0     | 1    | 1     | 1/0   | スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“0”のスレーブアドレスまたはゼネラルコールを受信。 | <PIN> を“1”にセットするために SBI0DBR を読み出す (ダミー読み出し) か、<PIN> に“1”を書き込みます。 |
|       |      | 0     | 0     | スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了。                     |                                                                  |
|       | 0    | 1     | 1/0   | スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレスまたはゼネラルコールを受信。                    | 1 ワードのビット数を <BC2:0> にセットし、受信データを SBI0DBR から読み出します。               |
|       |      | 0     | 1/0   | スレーブレシーバモード時、1 ワードのデータの受信が終了。                                           |                                                                  |

## (4) ストップコンディションの発生

SBI0SR <BB> = “1” のときに、SBI0CR2 <MST, TRX, PIN> に “111”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL0 端子がほかのデバイスにより引かれていた場合、SCL0 端子が開放されるのを待ち、SDA0 端子が立ち上がって、ストップコンディションが発生します。

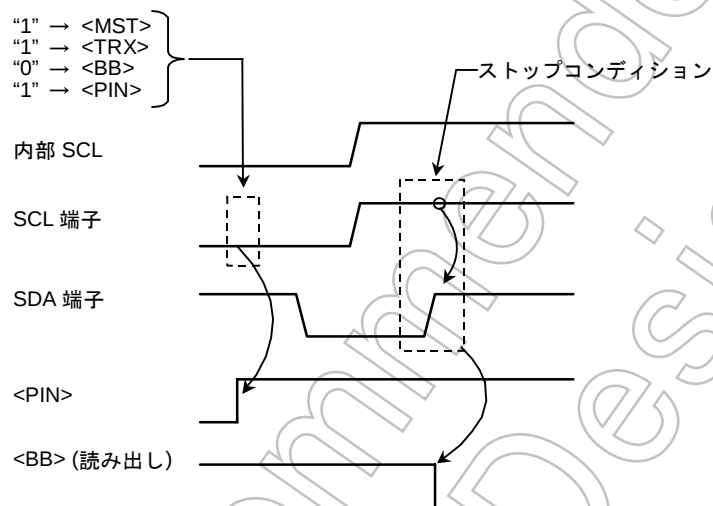


図 3.10.17 ストップコンディションの発生（シングルマスタの場合）

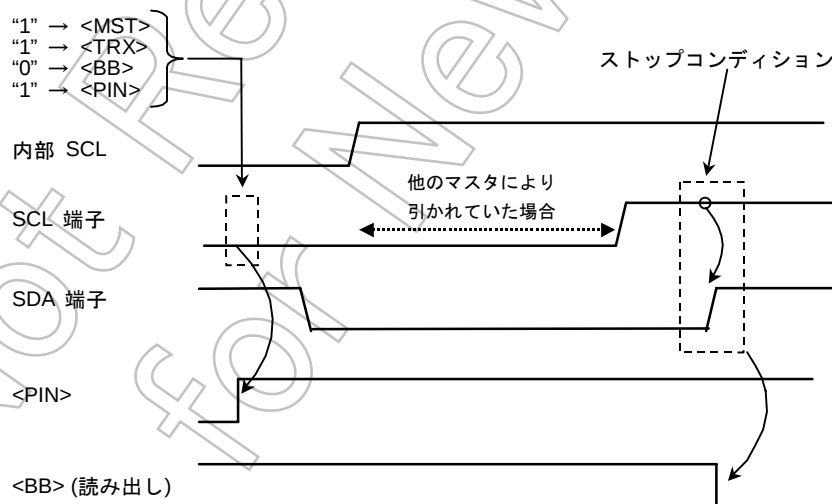


図 3.10.18 ストップコンディションの発生（マルチマスタの場合）

## (5) 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBI0CR2<MST, TRX, BB> に“000”、<PIN> に“1”を書き込み、バスを解放します。このとき SDA 端子は“H”レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、ほかのデバイスから見るとバスはビジー状態のままです。この後、SBI0SR<BB> をテストして“0”になるまで待ち、SCL 端子が開放されたことを確認します。次に<LRB> をテストして“1”になるまで待ち、ほかのデバイスがバスの SCL 端子を“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 (2) の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートコンディションの発生まで、最低 4.7  $\mu$ s のソフトウェアによる待ち時間が必要です。

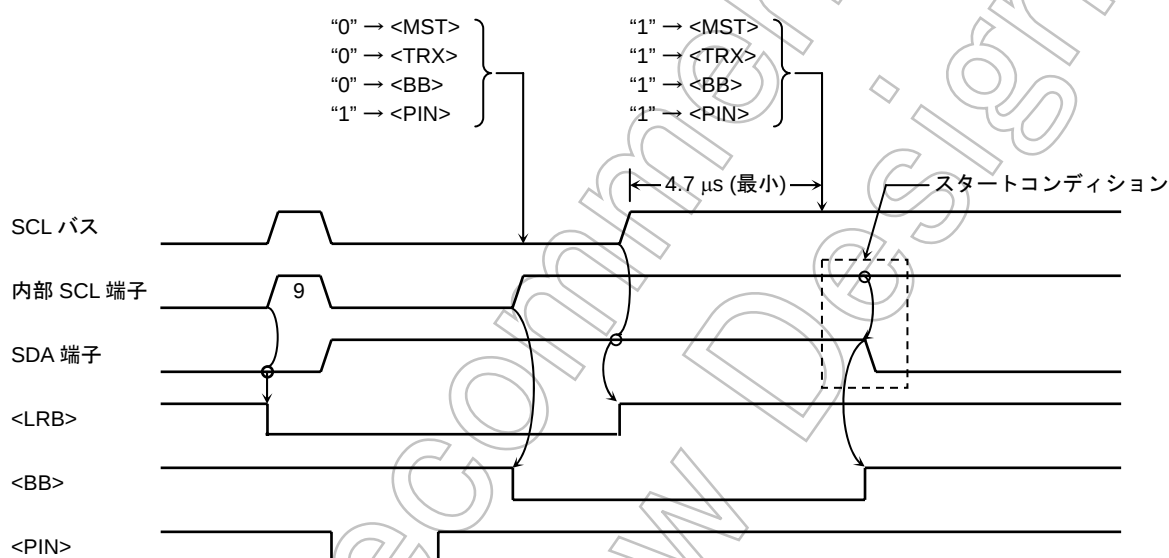


図 3.10.19 再スタートを発生する場合のタイミングチャート

## 3.10.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用する時の制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース 0 制御レジスタ 1

|            | 7                              | 6                                 | 5                                                                  | 4     | 3 | 2                          | 1    | 0    |
|------------|--------------------------------|-----------------------------------|--------------------------------------------------------------------|-------|---|----------------------------|------|------|
| Bit symbol | SIOS                           | SIOINH                            | SIOM1                                                              | SIOM0 |   | SCK2                       | SCK1 | SCK0 |
| Read/Write | W                              |                                   |                                                                    |       |   | W                          |      | W    |
| リセット後      | 0                              | 0                                 | 0                                                                  | 0     |   | 0                          | 0    | 0    |
| 機能         | 転送の<br>開始/終了<br>0: 終了<br>1: 開始 | 転送の<br>強制停止<br>0: 転送継続<br>1: 強制停止 | 転送モードの選択<br>00: 送信モード<br>01: (Reserved)<br>10: 送受信モード<br>11: 受信モード |       |   | シリアルクロック周波数の選択と<br>リセットモニタ |      |      |

注) 転送モード、シリアルクロックの設定時は、<SIOS> = "0" および <SIOINH> = "1" に設定してください。

シリアルクロック周波数の選択 <SCK2:0> @ライト

|     |        |                |
|-----|--------|----------------|
| 000 | n = 4  | 1.25 MHz       |
| 001 | n = 5  | 625 kHz        |
| 010 | n = 6  | 313 kHz        |
| 011 | n = 7  | 156 kHz        |
| 100 | n = 8  | 78.1 kHz       |
| 101 | n = 9  | 39.1 kHz       |
| 110 | n = 10 | 19.5 kHz       |
| 111 | -      | (外部クロック: SCK0) |

システムクロック:  $f_{SYS}$   
 $f_{SYS} = 20 \text{ MHz}$  (SCK 端子への出力)  
 周波数 =  $\frac{f_{SYS}}{2^n}$  [Hz]

→ 転送モードの選択

|    |             |
|----|-------------|
| 00 | 8 ビット送信モード  |
| 01 | (Reserved)  |
| 10 | 8 ビット送受信モード |
| 11 | 8 ビット受信モード  |

→ 転送の強制停止

|   |                    |
|---|--------------------|
| 0 | 転送継続               |
| 1 | 強制停止 (停止後、自動的にクリア) |

→ 転送の開始/終了

|   |    |
|---|----|
| 0 | 終了 |
| 1 | 開始 |

シリアルバスインタフェース 0 データバッファレジスタ

|            | 7             | 6   | 5   | 4   | 3   | 2   | 1  | 0   |
|------------|---------------|-----|-----|-----|-----|-----|----|-----|
| Bit symbol | DB7           | DB6 | DB5 | DB4 | DB3 | DB2 | DB | DB0 |
| Read/Write | R (受信)/W (送信) |     |     |     |     |     |    |     |
| リセット後      | 不定            |     |     |     |     |     |    |     |

図 3.10.20 SIO モード関係のレジスタ

## シリアルバスインタフェース 0 制御レジスタ 2

SBI0CR2  
(1243H)リード  
モディファイ  
アライト  
できません。

|            | 7 | 6 | 5 | 4 | 3                                                                                                  | 2     | 1     | 0     |
|------------|---|---|---|---|----------------------------------------------------------------------------------------------------|-------|-------|-------|
| Bit symbol |   |   |   |   | SBIM1                                                                                              | SBIM0 | —     | —     |
| Read/Write |   |   |   |   | W                                                                                                  |       | W     | W     |
| リセット後      |   |   |   |   | 0                                                                                                  | 0     | 0     | 0     |
| 機 能        |   |   |   |   | シリアルバスインタフェースの動作モード選択<br>00: ポートモード<br>01: SIO モード<br>10: I <sup>2</sup> C バスモード<br>11: (Reserved) |       | (注 2) | (注 2) |

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、シリアルバスインタフェースの動作モード選択

SBI0CR1&lt;BC2:0&gt; を “000” にクリアしてください。

注 2) SBI0CR2 のビット 1:0 には、“00” 以外をライトしないでください。

|    |                             |
|----|-----------------------------|
| 00 | ポートモード (シリアルバスインタフェースの出力禁止) |
| 01 | クロック同期式 8 ビット SIO モード       |
| 10 | I <sup>2</sup> C バスモード      |
| 11 | (Reserved)                  |

## シリアルバスインタフェース 0 ステータスレジスタ

SBI0SR  
(1243H)

|            | 7 | 6 | 5 | 4 | 3                     | 2              | 1 | 0 |
|------------|---|---|---|---|-----------------------|----------------|---|---|
| Bit symbol |   |   |   |   | SIOF                  | SEF            |   |   |
| Read/Write |   |   |   |   | R                     |                |   |   |
| リセット後      |   |   |   |   | 0                     | 0              |   |   |
| 機 能        |   |   |   |   | シリアル<br>転送動作<br>状態モニタ | シフト動作<br>状態モニタ |   |   |

シリアル転送動作状態モニタ

|   |      |
|---|------|
| 0 | 転送終了 |
| 1 | 転送中  |

シフト動作状態モニタ

|   |         |
|---|---------|
| 0 | シフト動作終了 |
| 1 | シフト転送中  |

## シリアルバスインタフェース 0 ボーレートレジスタ 0

SBI0BR0  
(1244H)リード  
モディファイ  
アライト  
できません。

|            | 7                       | 6                       | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|-------------------------|-------------------------|---|---|---|---|---|---|
| Bit symbol | —                       | —                       |   |   |   |   |   |   |
| Read/Write | W                       | R/W                     |   |   |   |   |   |   |
| リセット後      | 0                       | 0                       |   |   |   |   |   |   |
| 機 能        | “0” をライ<br>トしてく<br>ださい。 | “0” をライ<br>トしてく<br>ださい。 |   |   |   |   |   |   |

注) クロック同期式モードは、IDLE2 モードでは動作しません。

## シリアルバスインタフェース 0 ボーレートレジスタ 1

SBI0BR1  
(1245H)リード  
モディファイ  
アライト  
できません。

|            | 7                            | 6                       | 5 | 4 | 3 | 2 | 1 | 0 |
|------------|------------------------------|-------------------------|---|---|---|---|---|---|
| Bit symbol | P4EN                         | —                       |   |   |   |   |   |   |
| Read/Write | W                            | W                       |   |   |   |   |   |   |
| リセット後      | 0                            | 0                       |   |   |   |   |   |   |
| 機 能        | 内部<br>クロック<br>0: 停止<br>1: 動作 | “0” をライ<br>トしてく<br>ださい。 |   |   |   |   |   |   |

内部ボーレート回路制御

|   |    |
|---|----|
| 0 | 停止 |
| 1 | 動作 |

図 3.10.21 SIO モード関係のレジスタ

## (1) シリアルクロック

## 1. クロックソース

SBI0CR1<SCK2:0>により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。

プログラムでデータの書き込み（送信時）またはデータの読み出し（受信時）がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を持っています。

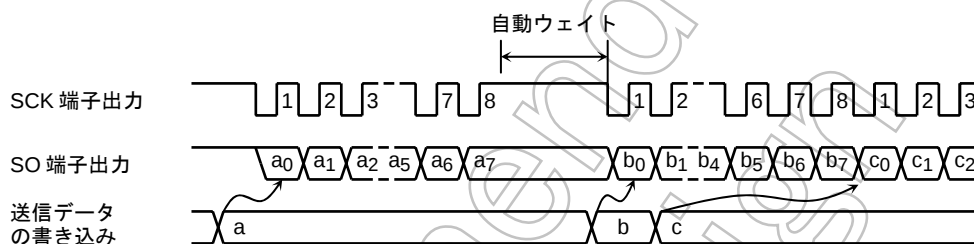


図 3.10.22 自動ウェイト機能

外部クロック (<SCK2:0> = “111”)

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うために、シリアルクロックのHighレベル、Lowレベル幅は、下記に示すパルス幅が必要です。従って、最大転送周波数は1.25 MHz ( $f_{SYS} = 20 \text{ MHz}$  時) です。

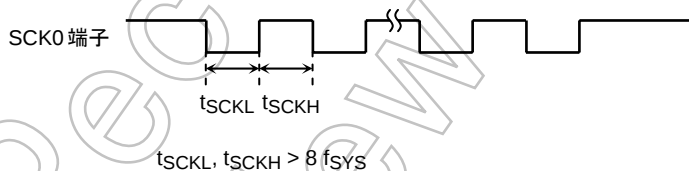


図 3.10.23 外部クロック入力時の最大転送周波数

## 2. シフトエッジ

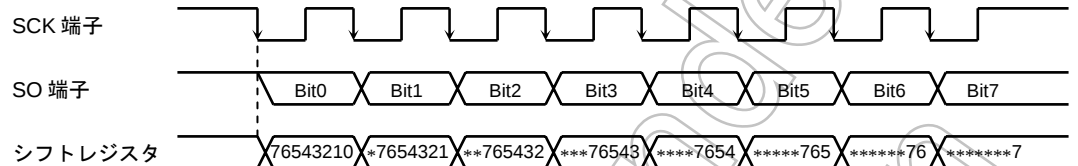
送信は前縁シフト、受信は後縁シフトになります。

## (a) 前縁シフト

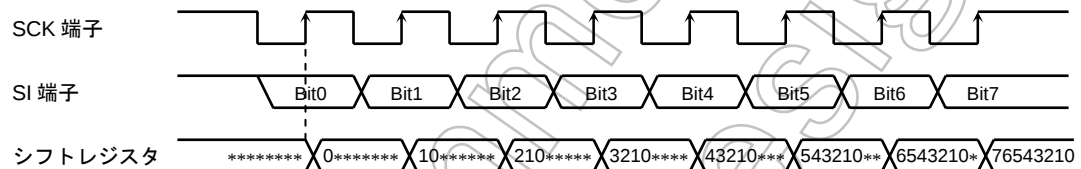
シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

## (b) 後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。



(a) 前縁シフト



(b) 後縁シフト

\*: Don't care

図 3.10.24 シフトエッジ

## (2) 転送モード

SBI0CR1<SIOM1:0> で、送信/受信/送受信モードを選択します。

## 1. 8 ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBI0DBR に書き込みます。

送信データの書き込み後、SBI0CR1<SIOS> = “1” を書き込むことにより送信が開始されます。送信データは SBI0DBR からシフトレジスタに移され、シリアルクロックに同期して、最下位ビット (LSB) 側から SO 端子に出力されます。送信データがシフトレジスタに移されると SBI0DBR が空になりますので、次の送信データを要求する INTSBE0 (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信した後、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBI0DBR にデータが書き込まれている必要があります。従って、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBI0DBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBI0SR<SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBE0 割り込みサービスプログラムで <SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムによる送信終了の確認は、SBI0SR<SIOF>で行います。<SIOF>は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合は直ちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にクリアする必要があります。もし、シフトアウトする前に <SIOS> がクリアされなかった場合は、ダミーのデータの送信後に停止します。

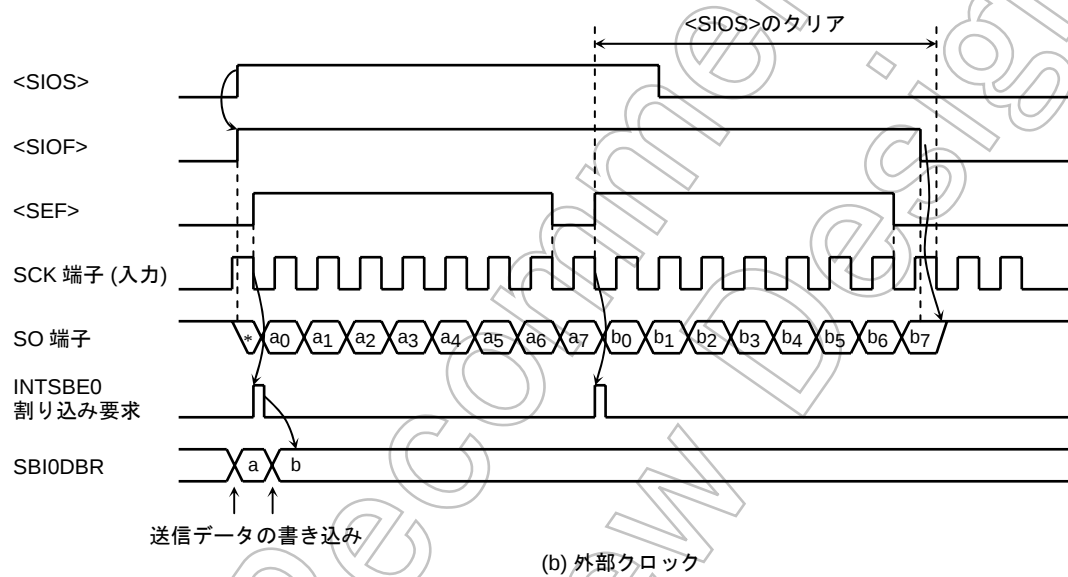
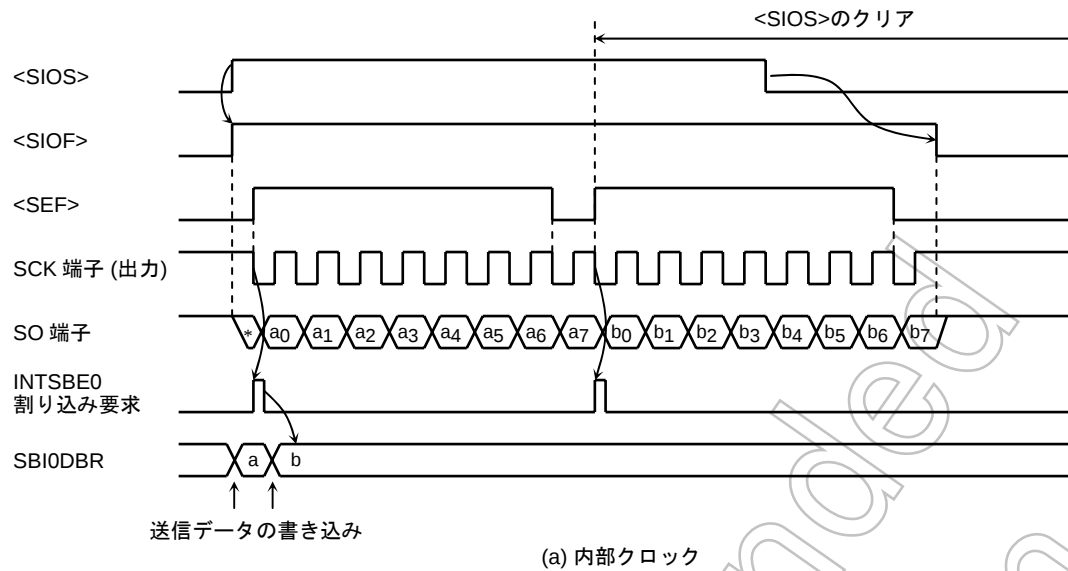


図 3.10.25 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合)

```

STEST1:  BIT    2, (SBI0SR)           ; If <SEF> = 1 then loop
          JR     NZ, STEST1
STEST2:  BIT     0, (P9)              ; If SCK0 = 0 then loop
          JR     Z, STEST2
          LD     (SBI0CR1), 00000111B ; <SIO> ← 0
  
```

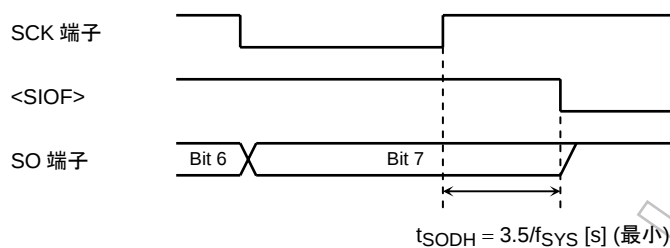


図 3.10.26 送信終了時の送信データ保持時間

## 2. 8ビット受信モード

制御レジスタに受信モードをセットした後、**SBI0CR1<SIOS> = “1”** を書き込むことにより受信可能となります。シリアルクロックに同期して、**SI** 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれると、シフトレジスタから **SBI0DBR** に受信データが書き込まれ、受信データの読み出しを要求する **INTSBE0** (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて **SBI0DBR** から読み出します。

内部クロック動作の場合、受信データが **SBI0DBR** から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み出します。もし、受信データが読み出されない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには、**INTSBE0** 割り込みサービスプログラムで **<SIOS> = “0”** を書き込むか、**<SIOINH> = “1”** を書き込みます。**<SIOS>** がクリアされると受信データが全ビットそろい、**SBI0DBR** への書き込みが完了した時点で受信が終了します。プログラムによる受信終了の確認は、**SBI0SR<SIOF>** で行います。**<SIOF>** は受信の終了で “0” にクリアされます。受信終了の確認の後、最終受信データを読み出します。**<SIOINH> = “1”** を書き込んだ場合は、直ちに受信を打ち切り、**<SIOF>** は “0” になります (受信データは無効になりますので、読み出す必要はありません)。

注) 転送モードを切り替えると、**SBI0DBR** の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (**<SIOS> = “0”** を書き込む) を行い、最終受信データを読み出した後で切り替えてください。

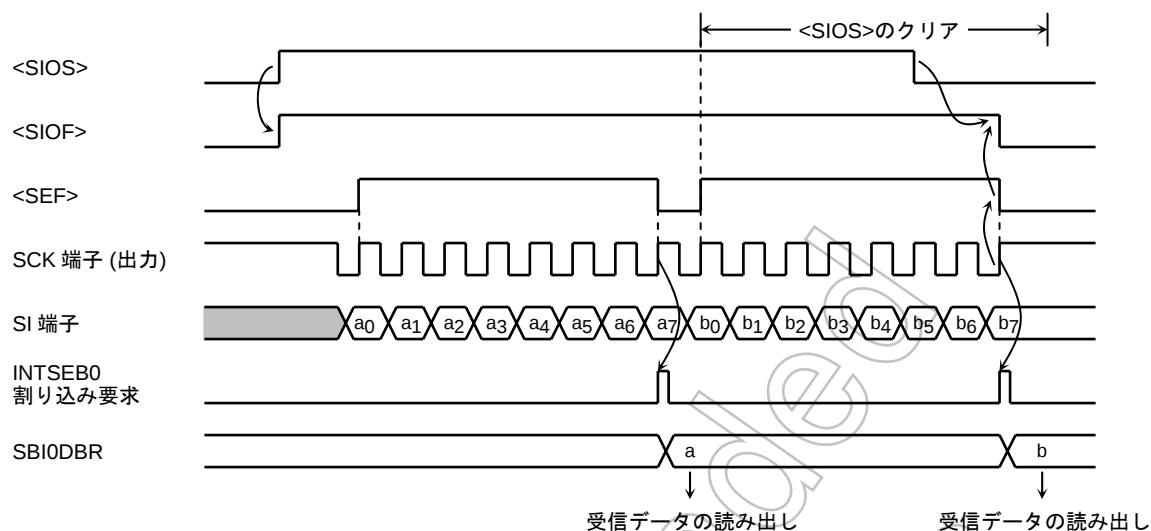


図 3.10.27 受信モード (内部クロックの場合)

### 3. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを **SBI0DBR** に書き込みます。その後、**SBI0CR1<SIOS>** に“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが **SO** 端子から出力され、立ち上がりで受信データが **SI** 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタから **SBI0DBR** へ受信データが転送され、**INTSBE0** 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、その後、送信データを書き込みます。**SBI0DBR** は、送信/受信モードで兼用していますので、送信データは必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、**<SIOF>** が“1”となってから **SCK** の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、**INTSBE0** 割り込みサービスプログラムで **<SIOS> = “0”** を書き込むか、**SBI0CR1<SIOINH> = “1”** を書き込みます。**<SIOS>** がクリアされると受信データがそろい、**SBI0DBR** への転送が完了した時点で送受信が終了します。プログラムによる送受信の終了の確認は、**SBI0SR<SIOF>**で行います。**<SIOF>** は送受信の終了で“0”にクリアされます。**<SIOINH>** をセットした場合は、直ちに送受信を打ち切り、**<SIOF>** は“0”にクリアされます。

注) 転送モードを切り替えると、**SBI0DBR** の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (**<SIOS> = “0”** を書き込む)を行い、最終受信データを読み出した後で切り替えてください。

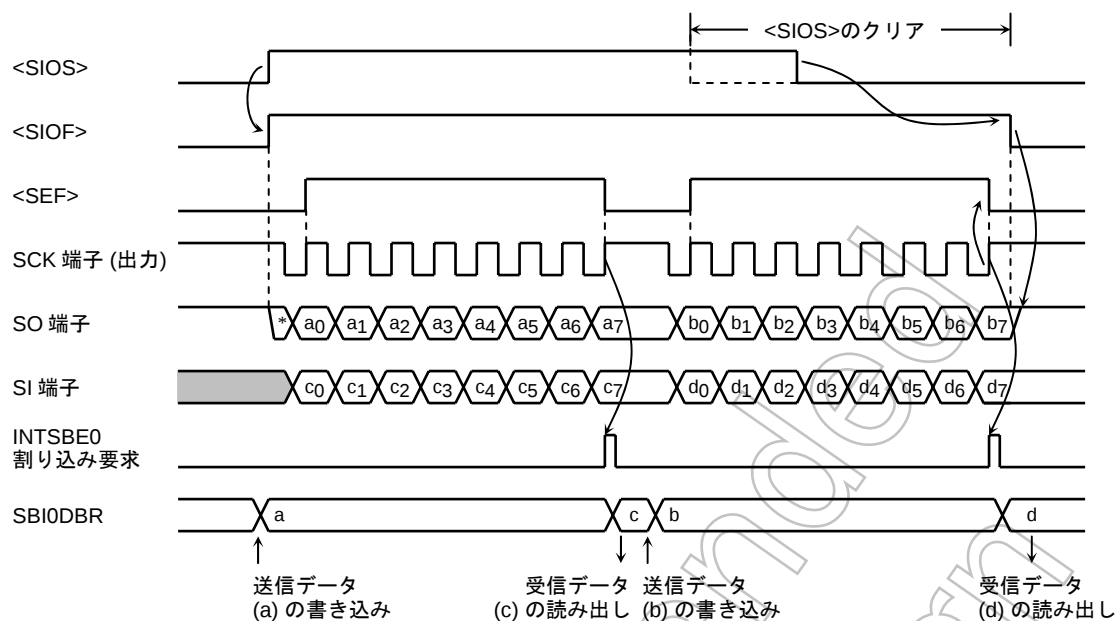


図 3.10.28 送受信モード (内部クロックの場合)

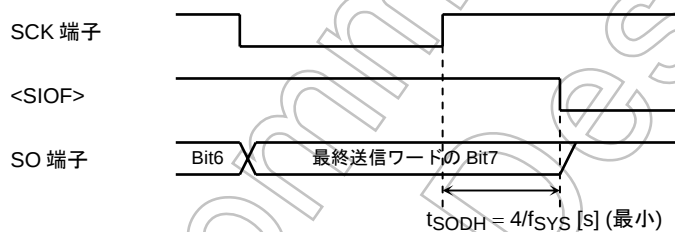


図 3.10.29 送受信終了時の送信データ保持時間 (送受信モード時)

### 3.11 アナログ/デジタルコンバータ

TMP92C820 は、5 チャンネルのアナログ入力を持つ、10 ビット逐次比較方式アナログ/デジタルコンバータ (AD コンバータ) を内蔵しています。

図 3.11.1にADコンバータのブロック図を示します。

5 チャンネルのアナログ入力端子 (AN0~AN4) は、入力専用ポート G と兼用で入力ポートとしても使用できます。

注) IDLE2, IDLE1, STOP モードにより電源電流を低減させる場合は、タイミングにより内部のコンパレータがイネーブル状態のままスタンバイに入ることがありますので、AD コンバータの動作が停止していることを確認してから HALT 命令を実行してください。

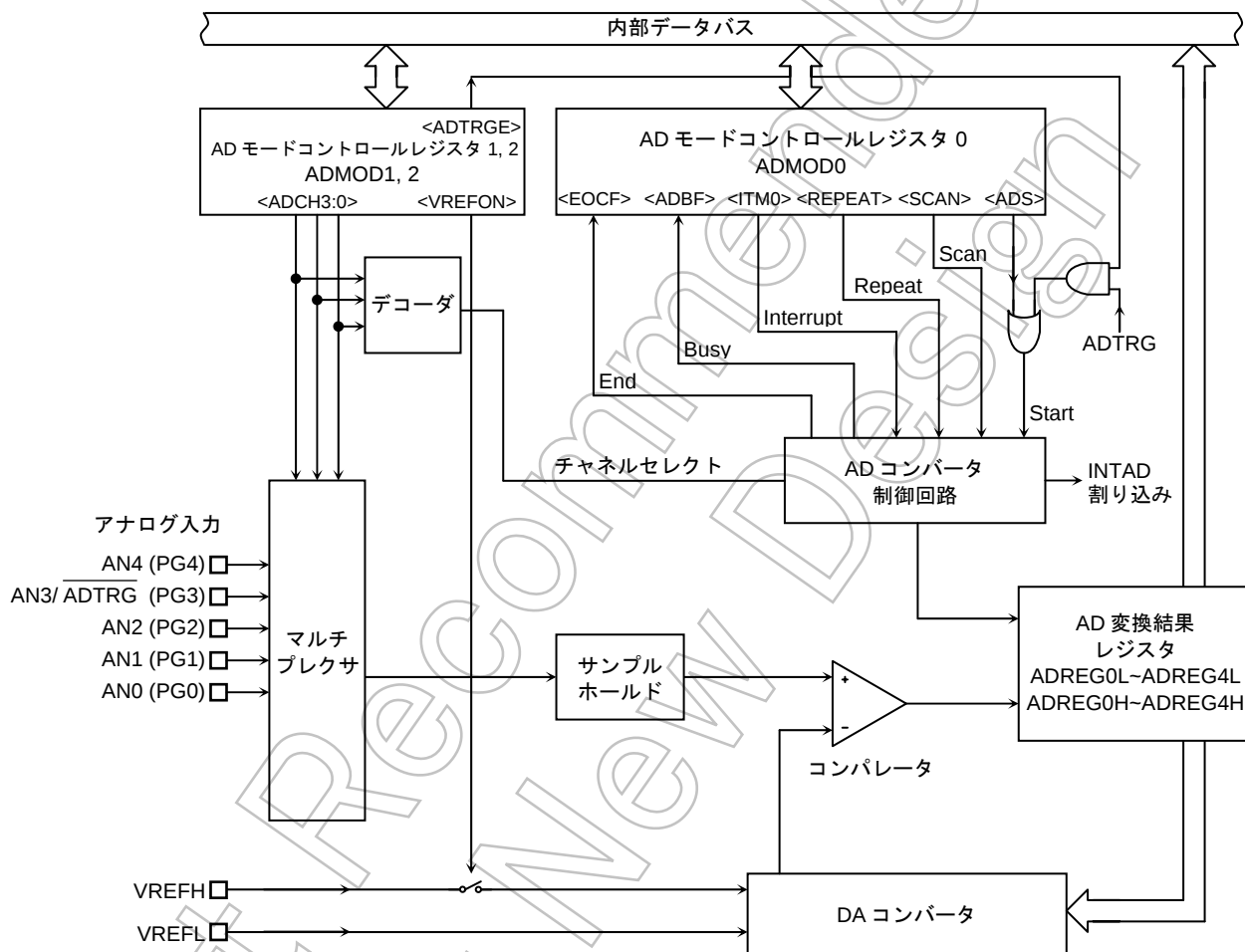


図 3.11.1 AD コンバータのブロック図

### 3.11.1 アナログ/デジタルコンバータレジスタ

ADコンバータは、3つのADモードコントロールレジスタ (ADMOD0, ADMOD1, ADMOD2) により制御されています。また、AD変換結果は、AD変換結果上位/下位レジスタADREG0H/L, ADREG4H/Lの5のレジスタに格納されます。図 3.11.2にADコンバータ関係のレジスタを示します。

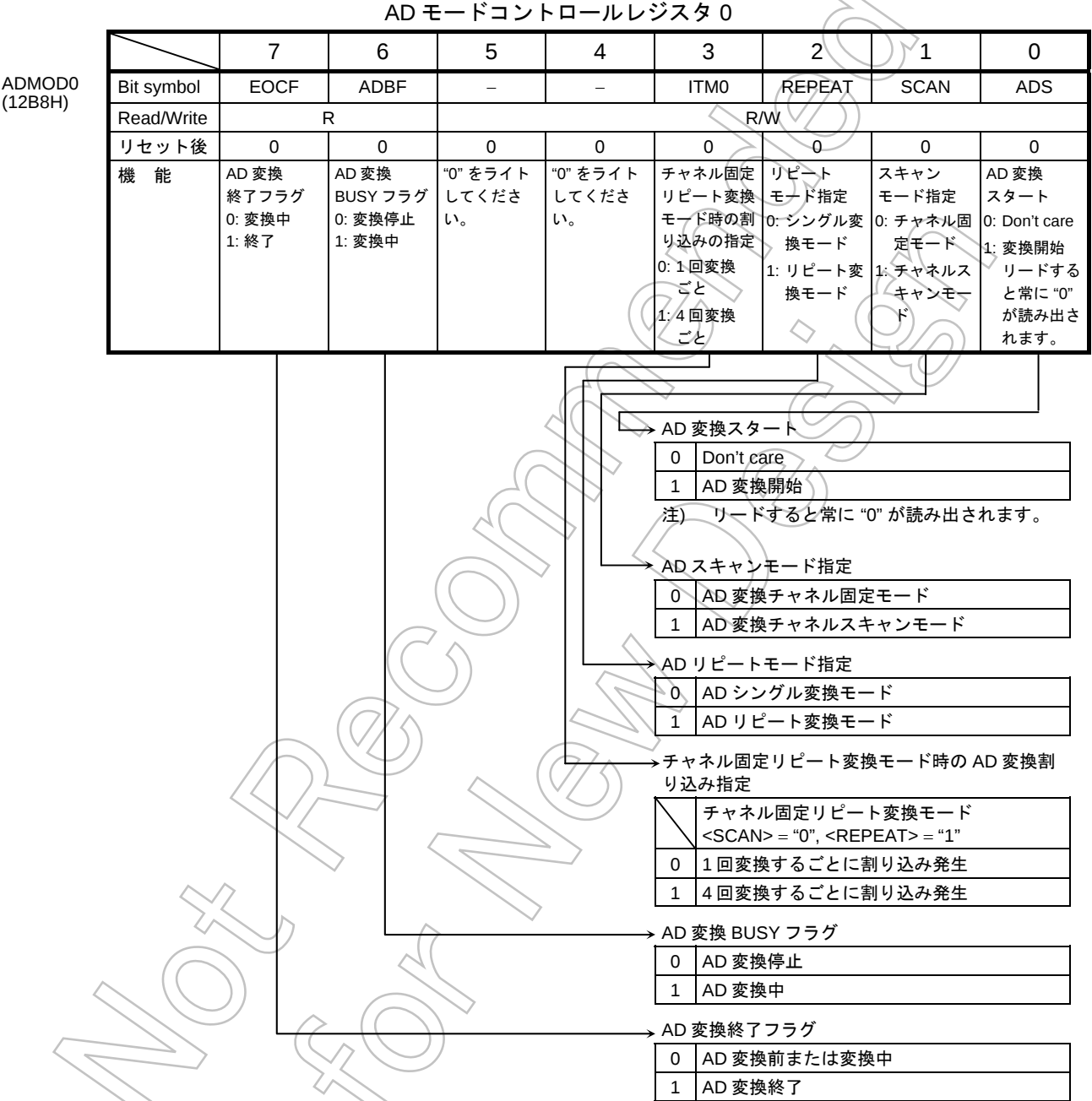


図 3.11.2 AD コンバータ関係のレジスタ

AD モードコントロールレジスタ 1

ADMOD1  
(12B9H)

|            | 7                               | 6                       | 5                   | 4                   | 3                   | 2            | 1     | 0     |
|------------|---------------------------------|-------------------------|---------------------|---------------------|---------------------|--------------|-------|-------|
| Bit symbol | VREFON                          | I2AD                    | —                   | —                   | —                   | ADCH2        | ADCH1 | ADCH0 |
| Read/Write | R/W                             | R/W                     | R/W                 |                     |                     |              |       |       |
| リセット後      | 0                               | 0                       | 0                   | 0                   | 0                   | 0            | 0     | 0     |
| 機 能        | VREF<br>印加制御<br>0: OFF<br>1: ON | IDLE2<br>0: 停止<br>1: 動作 | "0" をライト<br>してください。 | "0" をライト<br>してください。 | "0" をライト<br>してください。 | アナログ入力チャネル選択 |       |       |

アナログ入力チャネル選択

| <SCAN><br><ADCH2:0> | 0<br>(チャネル<br>固定) | 1<br>(チャネル<br>スキャン)         |
|---------------------|-------------------|-----------------------------|
|                     | 0                 | 1                           |
| 000                 | AN0               | AN0                         |
| 001                 | AN1               | AN0 → AN1                   |
| 010                 | AN2               | AN0 → AN1 → AN2             |
| 011 (注)             | AN3               | AN0 → AN1 → AN2 → AN3       |
| 100 (注)             | AN4               | AN0 → AN1 → AN2 → AN3 → AN4 |

IDLE2 制御

|   |    |
|---|----|
| 0 | 停止 |
| 1 | 動作 |

AD コンバータ用基準電圧印加制御

|   |     |
|---|-----|
| 0 | OFF |
| 1 | ON  |

変換スタート前 (ADMOD0<ADS>に "1" を書き込む前) に、<VREFON>を "1" に設定してください。

ADMOD2  
(12BAH)

|            | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0                                        |
|------------|---|---|---|---|---|---|---|------------------------------------------|
| Bit symbol |   |   |   |   |   |   |   | ADTRGE                                   |
| Read/Write |   |   |   |   |   |   |   | R/W                                      |
| リセット後      |   |   |   |   |   |   |   | 0                                        |
| 機 能        |   |   |   |   |   |   |   | AD 外部トリ<br>ガスタート<br>制御<br>0: 禁止<br>1: 許可 |

外部トリガ AD 変換スタート制御

|   |        |
|---|--------|
| 0 | ディセーブル |
| 1 | イネーブル  |

注) AN3 端子は  $\overline{\text{ADTRG}}$  端子と兼用です。<ADTRGE> = 1 と設定して  $\overline{\text{ADTRG}}$  端子を使用するときは、<ADCH2:0> = "011,100" と設定しないでください。

図 3.11.3 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 0

|                    |            |                      |       |   |   |   |   |                                   |
|--------------------|------------|----------------------|-------|---|---|---|---|-----------------------------------|
|                    | 7          | 6                    | 5     | 4 | 3 | 2 | 1 | 0                                 |
| ADREG0L<br>(12A0H) | Bit symbol | ADR01                | ADR00 |   |   |   |   | ADR0RF                            |
|                    | Read/Write | R                    |       |   |   |   |   | R                                 |
|                    | リセット後      | 不定                   |       |   |   |   |   | 0                                 |
|                    | 機 能        | AD 変換結果下位<br>2 ビット格納 |       |   |   |   |   | AD 変換結果<br>格納フラグ<br>1: 変換結果<br>あり |

AD 変換結果上位レジスタ 0

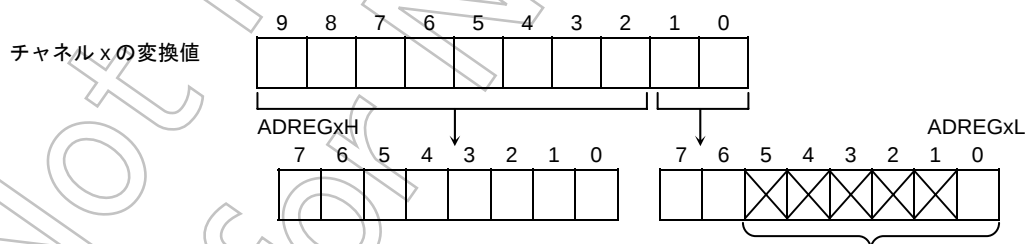
|                    |            |                   |       |       |       |       |       |       |       |
|--------------------|------------|-------------------|-------|-------|-------|-------|-------|-------|-------|
| ADREG0H<br>(12A1H) |            | 7                 | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|                    | Bit symbol | ADR09             | ADR08 | ADR07 | ADR06 | ADR05 | ADR04 | ADR03 | ADR02 |
|                    | Read/Write | R                 |       |       |       |       |       |       |       |
|                    | リセット後      | 不定                |       |       |       |       |       |       |       |
|                    | 機 能        | AD 変換結果上位 8 ビット格納 |       |       |       |       |       |       |       |

AD 変換結果下位レジスタ 1

|                    |            |                      |       |   |   |   |   |                                   |
|--------------------|------------|----------------------|-------|---|---|---|---|-----------------------------------|
|                    | 7          | 6                    | 5     | 4 | 3 | 2 | 1 | 0                                 |
| ADREG1L<br>(12A2H) | Bit symbol | ADR11                | ADR10 |   |   |   |   | ADR1RF                            |
|                    | Read/Write | R                    |       |   |   |   |   | R                                 |
|                    | リセット後      | 不定                   |       |   |   |   |   | 0                                 |
|                    | 機 能        | AD 変換結果下位<br>2 ビット格納 |       |   |   |   |   | AD 変換結果<br>格納フラグ<br>1: 変換結果<br>あり |

AD 変換結果上位レジスタ 1

|                    |            |                   |       |       |       |       |       |       |       |
|--------------------|------------|-------------------|-------|-------|-------|-------|-------|-------|-------|
| ADREG1H<br>(12A3H) |            | 7                 | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|                    | Bit symbol | ADR19             | ADR18 | ADR17 | ADR16 | ADR15 | ADR14 | ADR13 | ADR12 |
|                    | Read/Write | R                 |       |       |       |       |       |       |       |
|                    | リセット後      | 不定                |       |       |       |       |       |       |       |
|                    | 機 能        | AD 変換結果上位 8 ビット格納 |       |       |       |       |       |       |       |



- ビット 5~1 を読み出すと、常に “1” になります。
- ビット 0 は AD 変換格納フラグ<ADRxxRF>です。AD 変換値が格納されると “1” にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0” にクリアされます。

図 3.11.4 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 2

|                    |            |                      |       |   |   |   |   |                                   |
|--------------------|------------|----------------------|-------|---|---|---|---|-----------------------------------|
|                    | 7          | 6                    | 5     | 4 | 3 | 2 | 1 | 0                                 |
| ADREG2L<br>(12A4H) | Bit symbol | ADR21                | ADR20 |   |   |   |   | ADR2RF                            |
|                    | Read/Write | R                    |       |   |   |   |   | R                                 |
|                    | リセット後      | 不定                   |       |   |   |   |   | 0                                 |
|                    | 機 能        | AD 変換結果下位<br>2 ビット格納 |       |   |   |   |   | AD 変換結果<br>格納フラグ<br>1: 変換結果<br>あり |

AD 変換結果上位レジスタ 2

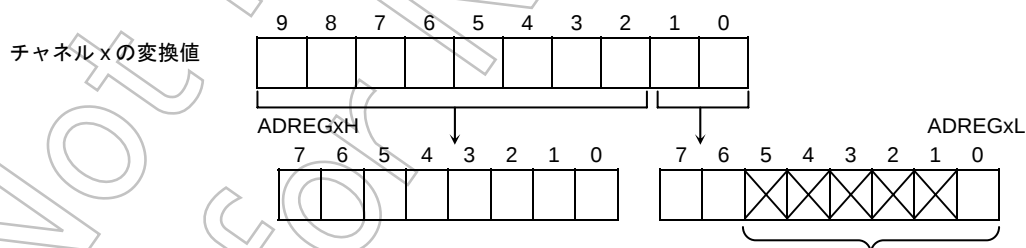
|                    |            |                   |       |       |       |       |       |       |
|--------------------|------------|-------------------|-------|-------|-------|-------|-------|-------|
|                    | 7          | 6                 | 5     | 4     | 3     | 2     | 1     | 0     |
| ADREG2H<br>(12A5H) | Bit symbol | ADR29             | ADR28 | ADR27 | ADR26 | ADR25 | ADR24 | ADR23 |
|                    | Read/Write | R                 |       |       |       |       |       |       |
|                    | リセット後      | 不定                |       |       |       |       |       |       |
|                    | 機 能        | AD 変換結果上位 8 ビット格納 |       |       |       |       |       |       |

AD 変換結果下位レジスタ 3

|                    |            |                      |       |   |   |   |   |                                   |
|--------------------|------------|----------------------|-------|---|---|---|---|-----------------------------------|
|                    | 7          | 6                    | 5     | 4 | 3 | 2 | 1 | 0                                 |
| ADREG3L<br>(12A6H) | Bit symbol | ADR31                | ADR30 |   |   |   |   | ADR3RF                            |
|                    | Read/Write | R                    |       |   |   |   |   | R                                 |
|                    | リセット後      | 不定                   |       |   |   |   |   | 0                                 |
|                    | 機 能        | AD 変換結果下位<br>2 ビット格納 |       |   |   |   |   | AD 変換結果<br>格納フラグ<br>1: 変換結果<br>あり |

AD 変換結果上位レジスタ 3

|                    |            |                   |       |       |       |       |       |       |
|--------------------|------------|-------------------|-------|-------|-------|-------|-------|-------|
|                    | 7          | 6                 | 5     | 4     | 3     | 2     | 1     | 0     |
| ADREG3H<br>(12A7H) | Bit symbol | ADR39             | ADR38 | ADR37 | ADR36 | ADR35 | ADR34 | ADR33 |
|                    | Read/Write | R                 |       |       |       |       |       |       |
|                    | リセット後      | 不定                |       |       |       |       |       |       |
|                    | 機 能        | AD 変換結果上位 8 ビット格納 |       |       |       |       |       |       |



- ビット 5~1 を読み出すと、常に “1” になります。
- ビット 0 は、AD 変換結果格納フラグ<ADRxRF>です。AD 変換値が格納されると “1” にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0” にクリアされます。

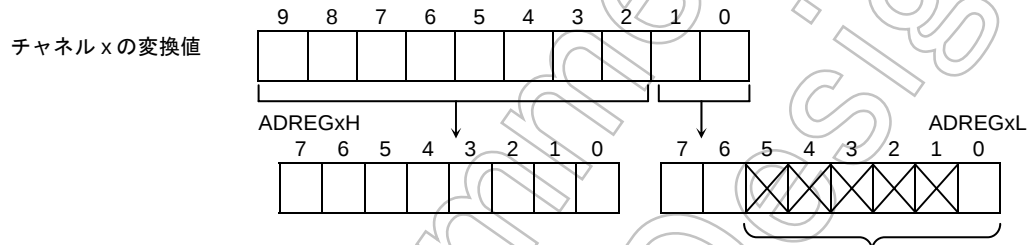
図 3.11.5 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 4

|                    |                      |       |       |   |   |   |   |                                   |        |
|--------------------|----------------------|-------|-------|---|---|---|---|-----------------------------------|--------|
| ADREG4L<br>(12A8H) |                      | 7     | 6     | 5 | 4 | 3 | 2 | 1                                 | 0      |
|                    | Bit symbol           | ADR41 | ADR40 |   |   |   |   |                                   | ADR4RF |
|                    | Read/Write           | R     |       |   |   |   |   |                                   | R      |
|                    | リセット後                | 不定    |       |   |   |   |   |                                   | 0      |
| 機能                 | AD 変換結果下位<br>2 ビット格納 |       |       |   |   |   |   | AD 変換結果<br>格納フラグ<br>1: 変換結果<br>あり |        |

AD 変換結果上位レジスタ 4

|                    |            |                   |       |       |       |       |       |       |       |
|--------------------|------------|-------------------|-------|-------|-------|-------|-------|-------|-------|
| ADREG4H<br>(12A9H) |            | 7                 | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|                    | Bit symbol | ADR49             | ADR48 | ADR47 | ADR46 | ADR45 | ADR44 | ADR43 | ADR42 |
|                    | Read/Write | R                 |       |       |       |       |       |       |       |
|                    | リセット後      | 不定                |       |       |       |       |       |       |       |
|                    | 機 能        | AD 変換結果上位 8 ビット格納 |       |       |       |       |       |       |       |



- ビット 5~1 を読み出すと、常に “1” になります。
- ビット 0 は、AD 変換結果格納フラグ<ADR<sub>x</sub>RF>です。AD 変換値が格納されると “1” にセットされます。どちらかのレジスタ (ADREG<sub>x</sub>H, ADREG<sub>x</sub>L) をリードすると、“0” にクリアされます。

図 3.11.6 AD コンバータ関係のレジスタ

### 3.11.2 動作説明

#### (1) アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。VREFH~VREFL 間の基準電圧をストリング抵抗により 1024 等分し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH~VREFL 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず<VREFON>に“1”を書き込んだ後、内部基準電圧が安定するまでの 3  $\mu$ s (システムクロック周波数  $f_c$  に関係ありません) 待ち、ADMOD0<ADS>に“1”を書き込んでください。

#### (2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN> = “0”)
 

ADMOD1<ADCH2:0>の設定により、アナログ入力 AN0~AN4 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN> = “1”)
 

ADMOD1<ADCH2:0>の設定により、5 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.11.1 に動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN>は“0”に、ADMOD1<ADCH2:0>は“000”に初期化されますので、AN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.11.1 アナログ入力チャネルの選択

| <ADCH2:0> | チャネル固定<br><SCAN> = “0” | チャネルスキャン<br><SCAN> = “1”    |
|-----------|------------------------|-----------------------------|
| 000       | AN0                    | AN0                         |
| 001       | AN1                    | AN0 → AN1                   |
| 010       | AN2                    | AN0 → AN1 → AN2             |
| 011       | AN3                    | AN0 → AN1 → AN2 → AN3       |
| 100       | AN4                    | AN0 → AN1 → AN2 → AN3 → AN4 |

## (3) AD 変換開始

AD 変換は、ADMOD0<ADS>あるいは ADMOD2<ADTRGE>に“1”を設定し、 $\overline{\text{ADTRG}}$  端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換ビジーフラグ (ADMOD<ADBF>) が“1”にセットされます。また、AD 変換中に  $\overline{\text{ADTRG}}$  端子に立ち下がりエッジを入力しても無視されます。

## (4) AD 変換モードと AD 変換終了割り込み

AD 変換には、4 種類のモードが用意されています。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

AD 変換モードの選択は、AD モードコントロールレジスタ ADMOD0<REPEAT, SCAN>で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す ADMOD0<EOCF> が“1”にセットされます。

## a. チャンネル固定シングル変換モード

ADMOD0<REPEAT, SCAN> に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF> が“1”にセット、ADMOD<ADBF> “0”にクリアされ、INTAD の割り込み要求が発生します。

## b. チャンネルスキャンシングル変換モード

ADMOD0<REPEAT, SCAN> に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。変換が終了した後、ADMOD0<EOCF> が“1”にセット、ADMOD0<ADBF> が“0”にクリアされ、INTAD の割り込み要求が発生します。

## c. チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN> に“10”を設定すると、チャネル固定リピート変換モードになります。

このモードでは、選択した1チャネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCF> が“1”にセットされます。ADMOD0<ADBF> は“0”にクリアされず“1”を保持します。INTAD の割り込み要求タイミングは ADMOD0<ITM0> の設定により選択できます。

<ITM0> を“0”に設定すると、AD変換が1回終了するごとに割り込み要求が発生します。<ITM0> を“1”に設定すると、AD変換が4回終了するごとに割り込み要求が発生します。

## d. チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN> に“11”を設定すると、チャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1回のスキャン変換が終了するごとに ADMOD0<EOCF> が“1”にセットされ、INTAD 割り込み要求が発生します。ADMOD0<ADBF> は“0”にクリアされずに“1”を保持します。

リピート変換モード (c., d.) の動作を停止させたい場合は、ADMOD0<REPEAT> に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBF> は“0”にクリアされます。

ADMOD1<I2AD> を0にクリアすることで IDLE2, IDLE1, STOP モードをホルト状態へ移行すると、AD変換中でもADコンバータは直ちに動作を停止します。ホルト解除後、リピート変換モード (c., d.) ではAD変換を最初から開始します。シングル変換モード (a., b.) では、変換動作を再開しません (停止したままです)。

表 3.11.2 にAD変換モードと割り込み要求の関係を示します。

表 3.11.2 AD変換モードと割り込み要求の関係

| モード                   | 割り込み要求の発生             | ADMOD0 |          |        |
|-----------------------|-----------------------|--------|----------|--------|
|                       |                       | <ITM0> | <REPEAT> | <SCAN> |
| チャネル固定<br>シングル変換モード   | 変換終了直後                | X      | 0        | 0      |
| チャネルスキャン<br>シングル変換モード | スキャン変換終了後             | X      | 0        | 1      |
| チャネル固定<br>リピート変換モード   | 1回変換するごとに             | 0      | 1        | 0      |
|                       | 4回変換するごとに             | 1      |          |        |
| チャネルスキャン<br>リピート変換モード | 1回のスキャン変換が<br>終了するごとに | X      | 1        | 1      |

X: Don't care

## (5) AD 変換時間

1 チャンネル当たりの AD 変換ステートは、132 ステート ( $6.6 \mu\text{s}$  @  $f_{\text{SYS}} = 20 \text{ MHz}$ ) です。

## (6) AD 変換結果の格納と読み出し

AD 変換結果は、AD 変換結果上位/下位レジスタ (ADREG0H/L~ADREG4H/L) に格納されます (ADREG0H/L~ADREG4H/L は、読み出し専用のレジスタです)。

チャンネル固定リピート変換モードでは、AD 変換結果は ADREG0H/L~ADREG3H/L へと順次格納されます。それ以外のモードでは、チャンネル AN0, AN1, AN2, AN3, AN4 の変換結果が、それぞれ ADREG0H/L, ADREG1H/L, ADREG2H/L, ADREG3H/L, ADREG4H/L に格納されます。

表 3.11.3 にアナログ入力チャンネルと AD 変換結果レジスタの対応を示します。

表 3.11.3 アナログ入力チャンネルと AD 変換結果レジスタの対応

| アナログ入力<br>チャンネル<br>(ポート G) | AD 変換結果レジスタ |                                                                                                                               |
|----------------------------|-------------|-------------------------------------------------------------------------------------------------------------------------------|
|                            | 右記以外の変換モード  | チャンネル固定リピート<br>変換モード (<ITM0>=1)                                                                                               |
| AN0                        | ADREG0H/L   | <pre> graph TD     A[ADREG0H/L] --&gt; B[ADREG1H/L]     B --&gt; C[ADREG2H/L]     C --&gt; D[ADREG3H/L]     D --&gt; A </pre> |
| AN1                        | ADREG1H/L   |                                                                                                                               |
| AN2                        | ADREG2H/L   |                                                                                                                               |
| AN3                        | ADREG3H/L   |                                                                                                                               |
| AN4                        | ADREG4H/L   |                                                                                                                               |

AD 変換結果格納フラグ <ADRxRF> は、AD 変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD 変換結果レジスタに変換値が格納されると“1”にセットされ、どちらかの AD 変換結果レジスタ (ADREGxH, ADREGxL) を読み出すと“0”にクリアされます。

また、AD 変換結果の読み出しに伴い、AD 変換終了フラグ ADMOD0<EOCF> は“0”にクリアされます。

## 設定例)

1. AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 0800H のメモリへ書き込む場合

## メインルーチンでの設定

|         | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|---|---|---|---|---|---|---|
| INTE0AD | ← 1 | 1 | 0 | 0 | — | — | — | — |
| ADMOD1  | ← 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| ADMOD0  | ← — | — | 0 | 0 | 0 | 0 | 0 | 1 |

INTAD をイネーブルにし、レベルを “4” に設定します。  
アナログ入力チャンネルを AN3 に設定します。  
チャンネル固定シングル変換モードで変換を開始します。

## 割り込みルーチンでの処理例

|         |          |
|---------|----------|
| WA      | ← ADREG3 |
| WA      | >> 6     |
| (0800H) | ← WA     |

汎用レジスタ WA (16 ビット) へ ADREG3L, ADREG3H の値を読み出します。  
WA に読み出した内容を右へ 6 回シフトし、上位ビットに “0” を入れます。  
アドレス 0800H へ WA の内容を書き込みます。

2. AN0~AN2 の 3 端子のアナログ入力電圧をチャネルスキャンリピート変換モードで AD 変換し続ける場合

|         |     |   |   |   |   |   |   |   |
|---------|-----|---|---|---|---|---|---|---|
| INTE0AD | ← 1 | 0 | 0 | 0 | — | — | — | — |
| ADMOD1  | ← 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| ADMOD0  | ← — | — | 0 | 0 | 0 | 1 | 1 | 1 |

INTAD を禁止します。  
アナログ入力チャンネルを AN0~AN2 に設定します。  
チャネルスキャンリピート変換モードで変換を開始します。

X: Don't care、—: No change

### 3.12 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合、これを検出し正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセットへ接続することにより、強制的にリセット動作を行うことができます。(外部の RESET 端子レベルは変化しません。)

#### 3.12.1 構成

図 3.12.1 にウォッチドッグタイマのブロック図を示します。

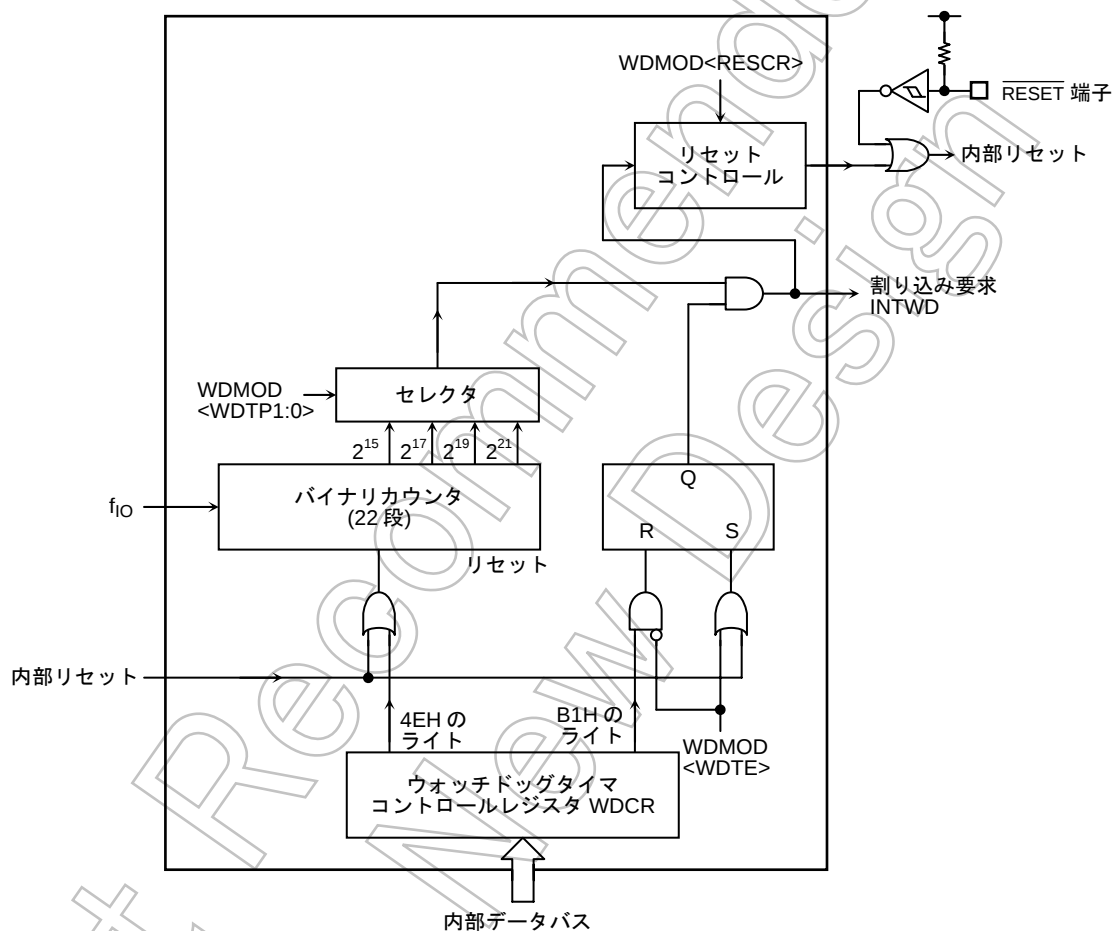


図 3.12.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

### 3.12.2 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0> レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウェア（命令）でウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前に 0 にクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作（暴走）し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作（暴走）が発生したことを知り、誤動作（暴走）対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後、直ちに動作を開始します。

なお、IDLE1 モードおよび STOP モード中のウォッチドッグタイマは停止しています。バス解放中( $\overline{\text{BUSAK}} = \text{"L"}\text{"}$ )は、カウントを続けます。

IDLE2 モードでは、WDMOD<I2WDT> の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD<I2WDT> を設定してください。

ウォッチドッグタイマは、 $f_{IO}$  を入力クロックとする 22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には  $2^{15}$ ,  $2^{17}$ ,  $2^{19}$  および  $2^{21}$  があります。このうちの 1 出力を WDMOD<WDTP1:0> で選択することにより、そのオーバフロー時に図 3.12.2 で示すようにウォッチドッグタイマ割り込みが発生します。



図 3.12.2 ノーマルモード

また、オーバフロー時に、チップ自体をリセットすることも選択可能です。この場合、図 3.12.3 で示すように 44~58 システムクロック ( $35.2\sim 46.4\ \mu\text{s}$  @  $f_{OSCH} = 40\ \text{MHz}$ ) の期間、リセットを行います。なお、この場合(リセットされた場合)、クロック  $f_{IO}$  は、高速発振器のクロック  $f_{OSCH}$  をクロックギアで 16 分周した  $f_{SYS}$  を基に、それを 2 分周して生成されたものが使われます。

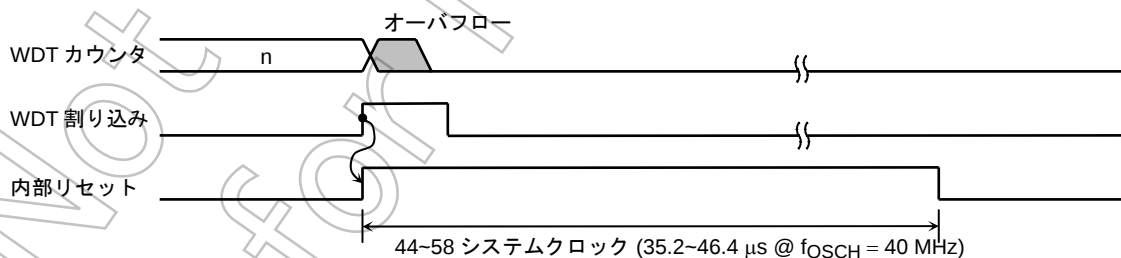


図 3.12.3 リセットモード

### 3.12.3 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ WDMOD と WDCR によって制御されています。

#### (1) ウォッチドッグタイマモードレジスタ WDMOD

##### a. ウォッチドッグタイマ検出時間の設定 <WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時、WDMOD<WDTP1:0> = 00 に初期化されますので、検出時間は  $2^{15}/f_{IO}$  [S] となります。(システムクロックの数は約 65,536 です。)

##### b. ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時、WDMOD<WDTE> = 1 に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを“0”にクリアするとともに WDCR レジスタにディセーブルコード (B1H) をライトする必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>を“1”にセットするだけでイネーブルとなります。

##### c. ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により本 LSI をリセットするか否かを設定するレジスタです。リセット時、WDMOD<RESCR> = 0 に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

#### (2) ウォッチドッグタイマコントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

##### • ディセーブル制御

WDMOD<WDTE> を“0”にクリアした後、この WDCR レジスタにディセーブルコード (B1H) をライトすると、ウォッチドッグタイマをディセーブルにすることができます。

|       |                   |                          |
|-------|-------------------|--------------------------|
| WDCR  | ← 0 1 0 0 1 1 1 0 | クリアコード (4EH) をライトします。    |
| WDMOD | ← 0 - - X 0 - - 0 | WDTE を“0”にクリアします。        |
| WDCR  | ← 1 0 1 1 0 0 0 1 | ディセーブルコード (B1H) をライトします。 |

##### • イネーブル制御

WDMOD<WDTE> を“1”にします。

##### • ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) をライトすると、バイナリカウンタはクリアされ、再カウントします。

WDCR      ← 0 1 0 0 1 1 1 0      クリアコード (4EH) をライトします。

注1) ディセーブル制御をする際には一旦クリアコード (4EH) をライトした後ディセーブル制御をしてください。(設定例を参照してください)

注2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

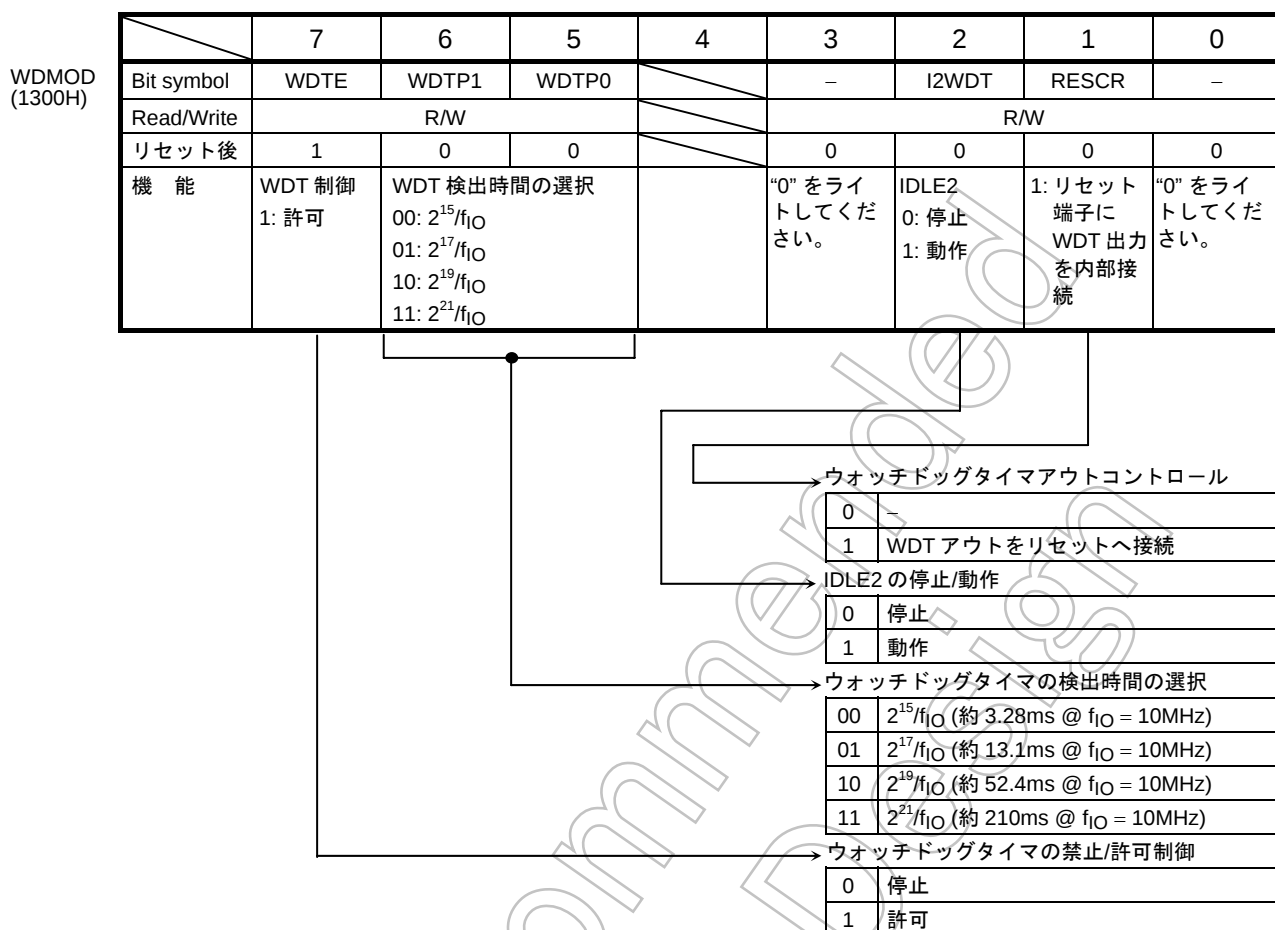


図 3.12.4 ウォッチドッグタイマモードレジスタ

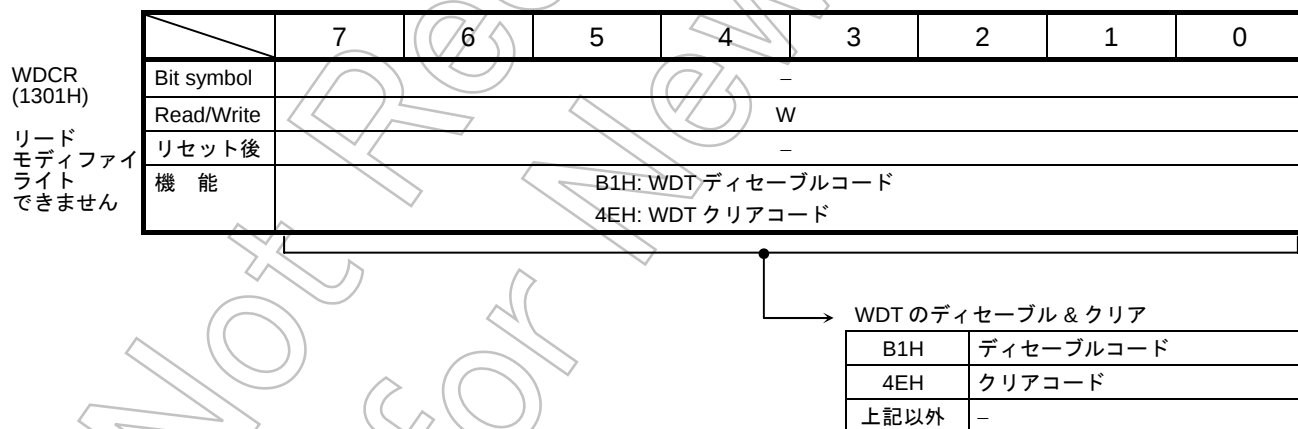


図 3.12.5 ウォッチドッグタイマコントロールレジスタ

### 3.13 リアルタイムクロック(RTC)

#### 3.13.1 RTCの機能概要

- (1) 時計機能 (時間、分、秒)
- (2) カレンダー機能 (月日、週、うるう年)
- (3) 24 時間計と 12 時間計 (AM/PM) のいずれかを選択可能
- (4)  $\pm 30$  秒補正機能 (ソフトウェアによる補正)
- (5) アラーム機能 (アラーム出力)
- (6) アラーム割り込み発生
- (7) 電源分離供給

#### 3.13.2 ブロック図

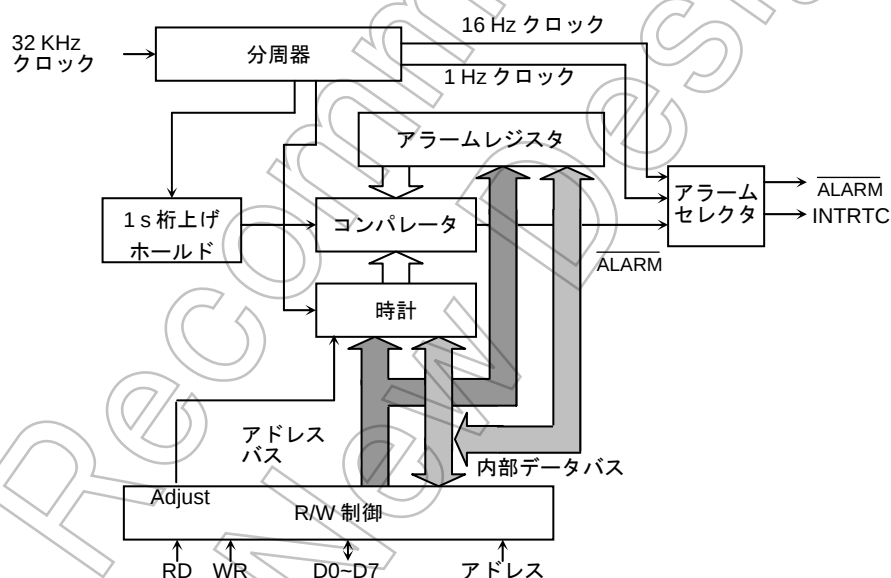


図 3.13.1 RTC ブロック図

注 1) 西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため、99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2) うるう年について

うるう年は、4 で割り切れる年ですが例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますので、この点が問題であればシステム側にてあらかじめ対策してください。

## 3.13.3 コントロールレジスタ

表 3.13.1 PAGE 0 (時計機能) レジスタ

| 記号     | アドレス  | Bit7       | Bit6       | Bit5           | Bit4         | Bit3            | Bit2       | Bit1 | Bit0       | 設定内容        | Read/Write |
|--------|-------|------------|------------|----------------|--------------|-----------------|------------|------|------------|-------------|------------|
| SECR   | 1320H |            | 40 秒       | 20 秒           | 10 秒         | 8 秒             | 4 秒        | 2 秒  | 1 秒        | 秒桁          | R/W        |
| MINR   | 1321H |            | 40 分       | 20 分           | 10 分         | 8 分             | 4 分        | 2 分  | 1 分        | 分桁          | R/W        |
| HOURR  | 1322H |            |            | 20 時<br>/PM/AM | 10 時         | 8 時             | 4 時        | 2 時  | 1 時        | 時間桁         | R/W        |
| DAYR   | 1323H |            |            |                |              |                 | W2         | W1   | W0         | 曜日桁         | R/W        |
| DATER  | 1324H |            |            | 20 日           | 10 日         | 8 日             | 4 日        | 2 日  | 1 日        | 日桁          | R/W        |
| MONTHR | 1325H |            |            |                | 10 月         | 8 月             | 4 月        | 2 月  | 1 月        | 月桁          | R/W        |
| YEARR  | 1326H | 80 年       | 40 年       | 20 年           | 10 年         | 8 年             | 4 年        | 2 年  | 1 年        | 年桁(西暦下 2 桁) | R/W        |
| PAGER  | 1327H | 割り込み<br>許可 |            |                | 秒補正<br>設定    | 時計<br>許可        | アラーム<br>許可 |      | PAGE<br>設定 | PAGE レジスタ   | W, R/W     |
| RESTR  | 1328H | 1Hz<br>許可  | 16Hz<br>許可 | 時計<br>リセット     | アラーム<br>リセット | "0" をライトしてください。 |            |      |            | リセットレジスタ    | W のみ       |

注) PAGE 0 の SECR, MINR, HOURR, DAYR, DATER, MONTHR, YEARR は、リードすると現在の状態がリードされます。

表 3.13.2 PAGE 1 (アラーム機能) レジスタ群

| 記号     | アドレス  | Bit7       | Bit6       | Bit5           | Bit4         | Bit3            | Bit2       | Bit1 | Bit0       | 設定内容             | Read/Write |
|--------|-------|------------|------------|----------------|--------------|-----------------|------------|------|------------|------------------|------------|
| SECR   | 1320H |            |            |                |              |                 |            |      |            |                  | R/W        |
| MINR   | 1321H |            | 40 分       | 20 分           | 10 分         | 8 分             | 4 分        | 2 分  | 1 分        | アラーム分桁           | R/W        |
| HOURR  | 1322H |            |            | 20 時<br>/PM/AM | 10 時         | 8 時             | 4 時        | 2 時  | 1 時        | アラーム時間桁          | R/W        |
| DAYR   | 1323H |            |            |                |              |                 | W2         | W1   | W0         | アラーム曜日桁          | R/W        |
| DATER  | 1324H |            |            | 20 日           | 10 日         | 8 日             | 4 日        | 2 日  | 1 日        | アラーム日桁           | R/W        |
| MONTHR | 1325H |            |            |                |              |                 |            |      | 24/12      | 24 時間クロック<br>モード | R/W        |
| YEARR  | 1326H |            |            |                |              |                 |            |      | うるう年設定     | うるう年モード          | R/W        |
| PAGER  | 1327H | 割り込み<br>許可 |            |                | 秒補正<br>設定    | 時計<br>許可        | アラーム<br>許可 |      | PAGE<br>設定 | PAGE レジスタ        | W, R/W     |
| RESTR  | 1328H | 1Hz<br>許可  | 16Hz<br>許可 | 時計<br>リセット     | アラーム<br>リセット | "0" をライトしてください。 |            |      |            | リセットレジスタ         | W のみ       |

注) PAGE1 の MINR, HOURR, DAYR, MONTHR, YEARR はリードすると現在の状態がリードされます。

## 3.13.4 SFR の説明

RTC はシステムリセットによる初期化はされません。従って、RTC は各レジスタに時刻/月/日曜日/年うるう年を設定後、動作を開始します。

## (1) 秒桁レジスタの設定 (PAGE 0 のみ)

|            |                   |       |       |       |      |      |      |      |
|------------|-------------------|-------|-------|-------|------|------|------|------|
|            | 7                 | 6     | 5     | 4     | 3    | 2    | 1    | 0    |
| Bit symbol |                   | SE6   | SE5   | SE4   | SE3  | SE2  | SE1  | SE0  |
| Read/Write |                   | R/W   |       |       |      |      |      |      |
| リセット後      |                   | 不定    |       |       |      |      |      |      |
| 機能         | "0" がリード<br>されます。 | 40 秒桁 | 20 秒桁 | 10 秒桁 | 8 秒桁 | 4 秒桁 | 2 秒桁 | 1 秒桁 |

設定例を下記に示します。

|   |   |   |   |   |   |   |      |
|---|---|---|---|---|---|---|------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 秒  |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 秒  |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2 秒  |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 3 秒  |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 4 秒  |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 5 秒  |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 6 秒  |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 7 秒  |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 8 秒  |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 9 秒  |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 10 秒 |
| : |   |   |   |   |   |   |      |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 19 秒 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 20 秒 |
| : |   |   |   |   |   |   |      |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 29 秒 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 30 秒 |
| : |   |   |   |   |   |   |      |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 39 秒 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 40 秒 |
| : |   |   |   |   |   |   |      |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 49 秒 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 50 秒 |
| : |   |   |   |   |   |   |      |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 59 秒 |

注) 上記以外の設定はしないでください。

## (2) 分析レジスタの設定 (PAGE 0/1)

MINR  
(1321H)

|            | 7                 | 6    | 5    | 4    | 3   | 2   | 1   | 0   |
|------------|-------------------|------|------|------|-----|-----|-----|-----|
| Bit symbol |                   | MI6  | MI5  | MI4  | MI3 | MI2 | MI1 | MI0 |
| Read/Write |                   | R/W  |      |      |     |     |     |     |
| リセット後      |                   | 不定   |      |      |     |     |     |     |
| 機能         | "0" がリード<br>されます。 | 40 分 | 20 分 | 10 分 | 8 分 | 4 分 | 2 分 | 1 分 |

設定例を下記に示します。

|   |   |   |   |   |   |   |      |
|---|---|---|---|---|---|---|------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 分  |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 分  |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2 分  |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 3 分  |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 4 分  |
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 5 分  |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 | 6 分  |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 7 分  |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 8 分  |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 9 分  |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 10 分 |
| : |   |   |   |   |   |   |      |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 19 分 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 20 分 |
| : |   |   |   |   |   |   |      |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 29 分 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 30 分 |
| : |   |   |   |   |   |   |      |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 | 39 分 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 40 分 |
| : |   |   |   |   |   |   |      |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 49 分 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 50 分 |
| : |   |   |   |   |   |   |      |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 59 分 |

注) 上記以外の設定はしないでください。

## (3) 時間桁レジスタの設定 (PAGE 0/1)

## 1. 24 時間クロックモード (MONTHR&lt;MO0&gt; = 1) の場合

|            |               |   |      |      |     |     |     |     |
|------------|---------------|---|------|------|-----|-----|-----|-----|
|            | 7             | 6 | 5    | 4    | 3   | 2   | 1   | 0   |
| Bit symbol |               |   | HO5  | HO4  | HO3 | HO2 | HO1 | HO0 |
| Read/Write |               |   | R/W  |      |     |     |     |     |
| リセット後      |               |   | 不定   |      |     |     |     |     |
| 機能         | "0" がリードされます。 |   | 20 時 | 10 時 | 8 時 | 4 時 | 2 時 | 1 時 |

設定例を下記に示します。

|   |   |   |   |   |   |     |
|---|---|---|---|---|---|-----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 時 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 時 |
| 0 | 0 | 0 | 0 | 1 | 0 | 2 時 |

⋮

|   |   |   |   |   |   |      |
|---|---|---|---|---|---|------|
| 0 | 0 | 1 | 0 | 0 | 0 | 8 時  |
| 0 | 0 | 1 | 0 | 0 | 1 | 9 時  |
| 0 | 1 | 0 | 0 | 0 | 0 | 10 時 |

⋮

|   |   |   |   |   |   |      |
|---|---|---|---|---|---|------|
| 0 | 1 | 1 | 0 | 0 | 1 | 19 時 |
| 1 | 0 | 0 | 0 | 0 | 0 | 20 時 |

⋮

|   |   |   |   |   |   |      |
|---|---|---|---|---|---|------|
| 1 | 0 | 0 | 0 | 1 | 1 | 23 時 |
|---|---|---|---|---|---|------|

注) 上記以外の設定はしないでください。

## 2. 12 時間クロックモード (MONTHR&lt;MO0&gt; = 0) の場合

|            |               |   |       |      |     |     |     |     |
|------------|---------------|---|-------|------|-----|-----|-----|-----|
|            | 7             | 6 | 5     | 4    | 3   | 2   | 1   | 0   |
| Bit symbol |               |   | HO5   | HO4  | HO3 | HO2 | HO1 | HO0 |
| Read/Write |               |   | R/W   |      |     |     |     |     |
| リセット後      |               |   | 不定    |      |     |     |     |     |
| 機能         | "0" がリードされます。 |   | PM/AM | 10 時 | 8 時 | 4 時 | 2 時 | 1 時 |

設定例を下記に示します。

|   |   |   |   |   |   |          |
|---|---|---|---|---|---|----------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 時 (AM) |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 時      |
| 0 | 0 | 0 | 0 | 1 | 0 | 2 時      |

⋮

|   |   |   |   |   |   |          |
|---|---|---|---|---|---|----------|
| 0 | 0 | 1 | 0 | 0 | 1 | 9 時      |
| 0 | 1 | 0 | 0 | 0 | 0 | 10 時     |
| 0 | 1 | 0 | 0 | 0 | 1 | 11 時     |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 時 (PM) |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 時      |

注) 上記以外の設定はしないでください。

## (4) 週桁レジスタの設定 (PAGE 0/1)

DAYR  
(1323H)

|            | 7             | 6 | 5 | 4 | 3 | 2   | 1   | 0   |
|------------|---------------|---|---|---|---|-----|-----|-----|
| Bit symbol |               |   |   |   |   | WE2 | WE1 | WE0 |
| Read/Write |               |   |   |   |   | R/W |     |     |
| リセット後      |               |   |   |   |   | 不定  |     |     |
| 機 能        | "0" がリードされます。 |   |   |   |   | W2  | W1  | W0  |

設定例を下記に示します。

|   |   |   |     |
|---|---|---|-----|
| 0 | 0 | 0 | 日曜日 |
| 0 | 0 | 1 | 月曜日 |
| 0 | 1 | 0 | 火曜日 |
| 0 | 1 | 1 | 水曜日 |
| 1 | 0 | 0 | 木曜日 |
| 1 | 0 | 1 | 金曜日 |
| 1 | 1 | 0 | 土曜日 |

注) 上記以外の設定はしないでください。

## (5) 日桁レジスタの設定 (PAGE 0/1)

DATER  
(1324H)

|            | 7             | 6 | 5    | 4    | 3   | 2   | 1   | 0   |
|------------|---------------|---|------|------|-----|-----|-----|-----|
| Bit symbol |               |   | DA5  | DA4  | DA3 | DA2 | DA1 | DA0 |
| Read/Write |               |   | R/W  |      |     |     |     |     |
| リセット後      |               |   | 不定   |      |     |     |     |     |
| 機 能        | "0" がリードされます。 |   | 20 日 | 10 日 | 8 日 | 4 日 | 2 日 | 1 日 |

設定例を下記に示します。

|   |   |   |   |   |   |     |
|---|---|---|---|---|---|-----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 日 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 日 |
| 0 | 0 | 0 | 0 | 1 | 0 | 2 日 |
| 0 | 0 | 0 | 0 | 1 | 1 | 3 日 |
| 0 | 0 | 0 | 1 | 0 | 0 | 4 日 |

:

|   |   |   |   |   |   |      |
|---|---|---|---|---|---|------|
| 0 | 0 | 1 | 0 | 0 | 1 | 9 日  |
| 0 | 1 | 0 | 0 | 0 | 0 | 10 日 |
| 0 | 1 | 0 | 0 | 0 | 1 | 11 日 |

:

|   |   |   |   |   |   |      |
|---|---|---|---|---|---|------|
| 0 | 1 | 1 | 0 | 0 | 1 | 19 日 |
| 1 | 0 | 0 | 0 | 0 | 0 | 20 日 |

:

|   |   |   |   |   |   |      |
|---|---|---|---|---|---|------|
| 1 | 0 | 1 | 0 | 0 | 1 | 29 日 |
| 1 | 1 | 0 | 0 | 0 | 0 | 30 日 |
| 1 | 1 | 0 | 0 | 0 | 1 | 31 日 |

注1) 上記以外の設定はしないでください。

注2) 2月30日など、存在しない日は設定しないでください。

## (6) 月桁レジスタの設定 (PAGE 0 のみ)

MONTHR  
(1325H)

|            | 7             | 6 | 5 | 4    | 3   | 2   | 1   | 0   |
|------------|---------------|---|---|------|-----|-----|-----|-----|
| Bit symbol |               |   |   | MO4  | MO3 | MO2 | MO1 | MO0 |
| Read/Write |               |   |   | R/W  |     |     |     |     |
| リセット後      |               |   |   | 不定   |     |     |     |     |
| 機 能        | "0" がリードされます。 |   |   | 10 月 | 8 月 | 4 月 | 2 月 | 1 月 |

設定例を下記に示します。

|   |   |   |   |   |      |
|---|---|---|---|---|------|
| 0 | 0 | 0 | 0 | 1 | 1 月  |
| 0 | 0 | 0 | 1 | 0 | 2 月  |
| 0 | 0 | 0 | 1 | 1 | 3 月  |
| 0 | 0 | 1 | 0 | 0 | 4 月  |
| 0 | 0 | 1 | 0 | 1 | 5 月  |
| 0 | 0 | 1 | 1 | 0 | 6 月  |
| 0 | 0 | 1 | 1 | 1 | 7 月  |
| 0 | 1 | 0 | 0 | 0 | 8 月  |
| 0 | 1 | 0 | 0 | 1 | 9 月  |
| 1 | 0 | 0 | 0 | 0 | 10 月 |
| 1 | 0 | 0 | 0 | 1 | 11 月 |
| 1 | 0 | 0 | 1 | 0 | 12 月 |

注) 上記以外の設定はしないでください。

## (7) 24 時間計/12 時間計の設定 (PAGE 1 のみ)

MONTHR  
(1325H)

|            | 7             | 6 | 5 | 4 | 3 | 2 | 1 | 0                     |
|------------|---------------|---|---|---|---|---|---|-----------------------|
| Bit symbol |               |   |   |   |   |   |   | MO0                   |
| Read/Write |               |   |   |   |   |   |   | R/W                   |
| リセット後      |               |   |   |   |   |   |   | 不定                    |
| 機 能        | "0" がリードされます。 |   |   |   |   |   |   | 0: 12 時間<br>1: 24 時間計 |

## (8) (西暦下 2 桁) 年桁レジスタ (PAGE 0 のみ)

YEARR  
(1326H)

|            | 7    | 6    | 5    | 4    | 3   | 2   | 1   | 0   |
|------------|------|------|------|------|-----|-----|-----|-----|
| Bit symbol | YE7  | YE6  | YE5  | YE4  | YE3 | YE2 | YE1 | YE0 |
| Read/Write | R/W  |      |      |      |     |     |     |     |
| リセット後      | 不定   |      |      |      |     |     |     |     |
| 機 能        | 80 年 | 40 年 | 20 年 | 10 年 | 8 年 | 4 年 | 2 年 | 1 年 |

設定例を下記に示します。

|   |   |   |   |   |   |   |   |      |
|---|---|---|---|---|---|---|---|------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 00 年 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 01 年 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 02 年 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 03 年 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 04 年 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 05 年 |
| : |   |   |   |   |   |   |   |      |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 99 年 |

注) 上記以外の設定はしないでください。

## (9) うるう年桁レジスタの設定 (PAGE 1 のみ)

YEARR  
(1326H)

|            | 7             | 6 | 5 | 4 | 3 | 2 | 1               | 0     |
|------------|---------------|---|---|---|---|---|-----------------|-------|
| Bit symbol |               |   |   |   |   |   | LEAP1           | LEAP0 |
| Read/Write |               |   |   |   |   |   | R/W             |       |
| リセット後      |               |   |   |   |   |   | 不定              |       |
| 機 能        | "0" がリードされます。 |   |   |   |   |   | 00: うるう年        |       |
|            |               |   |   |   |   |   | 01: うるう年から 1 年目 |       |
|            |               |   |   |   |   |   | 10: うるう年から 2 年目 |       |
|            |               |   |   |   |   |   | 11: うるう年から 3 年目 |       |
|            |               |   |   |   |   |   |                 |       |

設定例を下記に示します。

|   |   |                |
|---|---|----------------|
| 0 | 0 | 現在の年(今年) がうるう年 |
| 0 | 1 | 現在がうるう年から 1 年目 |
| 1 | 0 | 現在がうるう年から 2 年目 |
| 1 | 1 | 現在がうるう年から 3 年目 |

## (10) PAGE レジスタの設定 (PAGE 0/1)

|                 | 7          | 6                        | 5             | 4                      | 3                    | 2                       | 1             | 0       |
|-----------------|------------|--------------------------|---------------|------------------------|----------------------|-------------------------|---------------|---------|
| PAGER (1327H)   | Bit symbol | INTENA                   |               | ADJUST                 | ENATMR               | ENAALM                  |               | PAGE    |
|                 | Read/Write | R/W                      |               | W                      | R/W                  |                         |               | R/W     |
|                 | リセット後      | 0                        |               | 不定                     | 不定                   |                         |               | 不定      |
| リードモディファイトできません | 機能         | INTRTC<br>0: 禁止<br>1: 許可 | "0" がリードされます。 | 0: Don't care<br>1: 補正 | 時計<br>0: 禁止<br>1: 許可 | ALARM<br>0: 禁止<br>1: 許可 | "0" がリードされます。 | PAGE 設定 |

注) ENATMR および ENAALM の各々の割り込み許可ビットと、INTENA の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。

(時計/アラーム許可と割り込み許可の設定間に時間差を設ける。)

(例) 現時刻、アラーム設定

Id (pager), 0ch : 時計、アラーム許可

Id (pager), 8ch : 割り込み許可

|      |   |               |
|------|---|---------------|
| PAGE | 0 | Page0 が選択されます |
|      | 1 | Page1 が選択されます |

|        |   |                                                                                                                                                                      |
|--------|---|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ADJUST | 0 | Don't care                                                                                                                                                           |
|        | 1 | 秒を補正します。秒が 0~29 秒のときにこのビットを "1" にすると、秒は "0" になります。また、30~59 秒のときは分を桁上げて秒を "0" にします。f <sub>SYS</sub> の一周期分 ADJUST 信号が出て、一度 ADJUST されるとその後自動的に ADJUST 解除されます。(PAGE0 のみ) |

## (11) リセットレジスタの設定 (PAGE 0/1)

|                 | 7          | 6                      | 5                       | 4             | 3               | 2               | 1 | 0 |
|-----------------|------------|------------------------|-------------------------|---------------|-----------------|-----------------|---|---|
| RESTR (1328H)   | Bit symbol | DIS1Hz                 | DIS16Hz                 | RSTTMR        | RSTALM          | -               | - | - |
|                 | Read/Write | W                      |                         |               |                 |                 |   |   |
|                 | リセット後      | 不定                     |                         |               |                 |                 |   |   |
| リードモディファイトできません | 機能         | 1 Hz<br>0: 許可<br>1: 禁止 | 16 Hz<br>0: 許可<br>1: 禁止 | 1: 時計<br>リセット | 1: アラーム<br>リセット | "0" をライトしてください。 |   |   |

|        |   |                   |
|--------|---|-------------------|
| RSTALM | 0 | 未使用               |
|        | 1 | アラームレジスタをリセットします。 |

|        |   |          |
|--------|---|----------|
| RSTTMR | 0 | 未使用      |
|        | 1 | カウンタリセット |

| <DIS1HZ> | <DIS16HZ> | (PAGER)<br><ENAALM> | 割り込みソース信号    |
|----------|-----------|---------------------|--------------|
| 1        | 1         | 1                   | アラーム         |
| 0        | 1         | 0                   | 1Hz          |
| 1        | 0         | 0                   | 16Hz         |
| その他      |           |                     | "0" が出力されます。 |

### 3.13.5 動作説明

#### (1) 時計データをリードする場合

##### 1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期していますので、1Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

##### 2. 2 度読みを利用する

時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。したがって、データを正しく読み込むために、下記の方法で 2 度以上リードしてください。

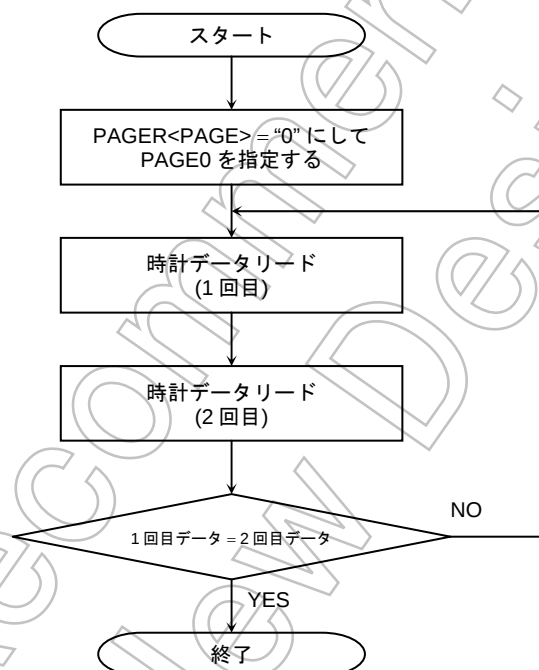


図 3.13.2 時計データのリードフロー

## (2) 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためには次の方法があります。

## 1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期していますので、1Hz 割り込みを待って、データをライトすれば、正常にデータライトできます。

## 2. カウンタをリセットする

RTC 内部には 32.768KHz の信号から 1Hz を発生する 15 段のカウンタが内蔵されており、このカウンタをリセット下跡にデータをライトします。

ただし、カウンタクリアした場合、直後の 1 回のみ、所定の半分でカウンタアップされます。そのため、正常な時間カウンタの設定をする場合は、カウンタクリア後、1Hz 割り込みを許可し、最初の割り込み(0.5Hz で発生)を待ってその後に時間設定をするようにしてください。

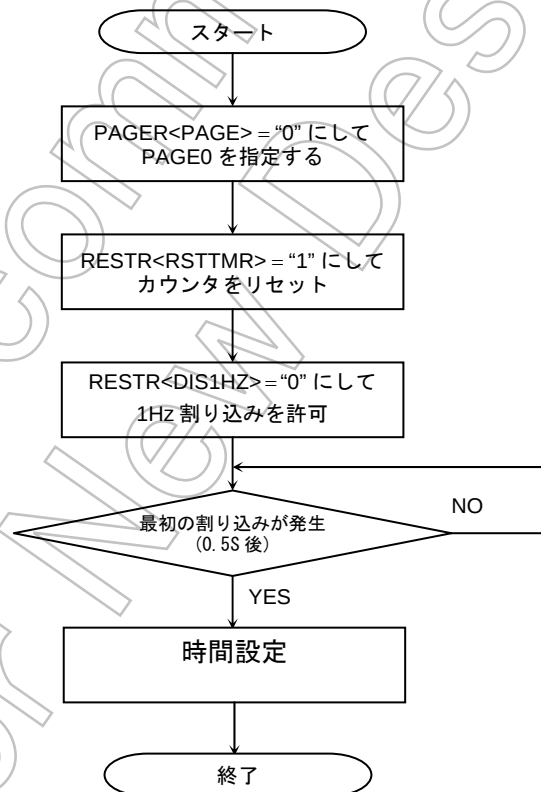


図 3.13.3 時計データライトのフロー

### 3. 時計を禁止する場合

PAGER<ENATMR> に 0 をライトすると、時計は禁止となって桁上げが禁止されますが、1s Carry ホールド回路により誤誤カウントを防ぐことができます。

1s Carry ホールド回路は、時計が禁止中に分周器から発生した 1 秒の桁上げ信号を 1 回分だけ保持し、時計許可になってからその桁上げ信号を時計に出力して時刻を補正し、継続して動作します。ただし、時計禁止状態が 1 秒以上続くと時計は遅れてきます。

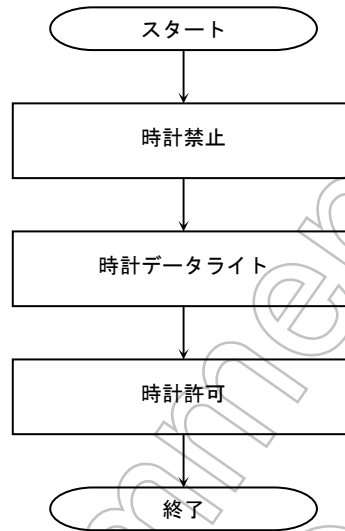


図 3.13.4 時計を禁止するフローチャート

### 3.13.6 アラームの説明

PAGER<PAGE>に“1”をライトすることにより、PAGE1 のレジスタ郡でアラーム機能を使用できます。 $\overline{\text{ALARM}}$  端子からは以下 3 つの信号のいずれかを出力できます。また、INTRTC はいずれの場合も立ち下がりエッジを検出して 1 ショットのパルスを出力します。

なお、RTC はリセットにより初期化されませんので、時計、アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、0 を出力
- (2) 1 Hz のクロックを出力
- (3) 16 Hz のクロックを出力

なお、RTC はリセットにより初期化されませんので、リセット後、時計、アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、 $\overline{\text{ALARM}}$  端子から“0”を出力

PAGER<ENAALM> = “1”で、PAGE 1 のアラームレジスタと PAGE 0 の時計の内容が一致したときに  $\overline{\text{ALARM}}$  端子に“0”を出力するとともに、PAGER<INTENA> = “1”ならば INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

アラームの初期化は RESTR<RSTALM> に“1”をライトすることにより行われ、アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁は Don't care になります。このときは、常に時計の内容と一致したことになり、PAGER<INTENA>, <ENAALM> が“1”であれば INTRTC 割り込みを出力します。

アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁の設定は、PAGE1 の各レジスタにデータをライトすることにより行われます。データを設定した項目は、Don't care が解除されます。

すべての項目が一致したときに、PAGER<ENAALM>, PAGER<INTENA> が“1”であれば INTRTC 割り込みを出力します。ただし、未設定項目 (Don't care 状態) は常に一致しているものと見なされます。

一度設定した項目は、独立で Don't care に戻すことはできません。アラームの初期化を行うとすべて Don't care になります。

例えば、毎日正午 (PM12:00) にアラームを出力させる場合のプログラムを下記に示します。

|     |              |   |                        |
|-----|--------------|---|------------------------|
| LD  | (PAGER), 09H | ; | アラーム禁止, PAGE 1 設定      |
| LD  | (RESTR), D0H | ; | アラーム初期化                |
| LD  | (DAYR), 01H  | ; | W0                     |
| LD  | (HOURR), 12H | ; | 12 時設定                 |
| LD  | (MINR), 00H  | ; | 00 分設定                 |
|     | ~            | ; | セットアップ時間 31 $\mu$ s 注) |
| LD  | (PAGER), 0CH | ; | アラーム許可                 |
| (LD | (PAGER), 8CH | ; | 割り込み許可)                |

アラーム設定は、低周波クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 32 kHz の 1 クロック分 (約 30  $\mu$ s) のズレを生じることがあります。上記例の場合、時間設定しアラーム許可までの間に 31  $\mu$ s のセットアップ時間が必要です。

注) このセットアップ時間は内部割り込みのみの使用の際には不要です。

(2) 1Hz のクロックを出力する場合

PAGER<ENAALM> = 0, RESTR<DIS1HZ> = 0, <DIS16HZ> = 1 を設定すると  $\overline{\text{ALARM}}$  端子に 1Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

(3) 16Hz のクロックを出力する場合

PAGER<ENAALM> = 0, RESTR<DIS1HZ> = 1, <DIS16HZ> = 0 を設定すると  $\overline{\text{ALARM}}$  端子に 16Hz のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

Not Recommended  
for New Design

### 3.14 LCD コントローラ (LCDC)

TMP92C820 は、2 タイプの LCD ドライバに対応する LCD コントローラを 内蔵しています。

- シフトレジスタ型 LCD ドライバ対応モード (SR モード)

あらかじめ、動作モード、転送元データ格納メモリのスタートアドレス、LCD サイズ (コモン、セグメント) などを I/O レジスタに設定後、スタートレジスタをセットします。それにより、LCDC は CPU にバス解放要求を出力し、転送元のメモリからデータをリードして、外部にある LCD ドライバへ設定された LCD サイズ分のデータをデータバス端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される D1BSCP などの制御端子も規定の波形を出力します。転送が終了すると、バス解放要求を解除し、CPU はリスタートします。

- RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

LCD ドライバへのデータ転送は、CPU の転送命令で実行します。

あらかじめ動作モードのみを I/O レジスタに設定後、CPU の転送命令が実行されると LCDC はそれに同期して D1BSCP などの制御端子より外部へ接続される LCD ドライバへチップイネーブル信号を出力します。そのため、LCD サイズに対応したデータ転送数などの制御は CPU の命令で制御します。

本章は下記のような構成になっています。

#### 3.14.1 タイプ別 LCDC の特長

#### 3.14.2 ブロック図

#### 3.14.3 SFR 説明

#### 3.14.4 シフトレジスタ型 LCD ドライバ対応モード (SR モード)

##### 3.14.4.1 動作説明

##### 3.14.4.2 階調モード説明

##### 3.14.4.3 メモリ空間

##### 3.14.4.4 ハードウェアカーソル

##### 3.14.4.5 フレーム信号設定

##### 3.14.4.6 LCD ドライバへのタイミングチャート

##### 3.14.4.7 SR モード時の LCD ドライバ接続例

##### 3.14.4.8 プログラム例

#### 3.14.5 RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

##### 3.14.5.1 動作説明

##### 3.14.5.2 RAM 内蔵タイプの LCD ドライバ接続例

##### 3.14.5.3 プログラム例

## 3.14.1 タイプ別 LCDC の特長

それぞれモードについての特長、端子の使用方法などを下記に示します。

表 3.14.1 タイプ別 LCDC の特長

|                                          |                            | シフトレジスタ型モード                                                                                                                   | RAM 内蔵型モード                                                                       |
|------------------------------------------|----------------------------|-------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------|
| 対応可能な LCD<br>表示画素数                       |                            | コモン (ロー): 128, 160, 200, 240,<br>320, 400, 480<br>セグメント (カラム): 128, 160, 240, 320,<br>400, 480, 560, 640                      | 制限なし                                                                             |
| 転送データバス幅                                 |                            | 32 ビットまたは 16 ビット                                                                                                              | 8 ビット固定                                                                          |
| 内蔵 RAM                                   |                            | 使用禁止                                                                                                                          | 使用可能                                                                             |
| 転送レート<br>(@ f <sub>SYS</sub> = 20 [MHz]) |                            | 50 ns/1 word @SDRAM/BURST<br>100 ns/1 word @SRAM                                                                              | —                                                                                |
| 外部<br>端子                                 | LCD 専用データバス:<br>LD7~LD0 端子 | データバスです。ドライバのデータ入力端子へ接続します。                                                                                                   | 未使用                                                                              |
|                                          | データバス:<br>D7~D0 端子         | 未使用                                                                                                                           | データバスです。ドライバのデータ入力端子へ接続します。                                                      |
|                                          | バーステート:<br>R/W 端子          | 未使用                                                                                                                           | バーステートです。カラム/ロードドライバの $\overline{WR}$ 端子へ接続します。                                  |
|                                          | アドレスバス:<br>A0 端子           | 未使用                                                                                                                           | アドレス 0 です。データバスの値を A0 = 1 で表示データ、A0 = 0 でインストラクションデータとします。カラムドライバの D/I 端子へ接続します。 |
|                                          | シフトクロックパルス:<br>D1BSCP 端子   | シフトクロックパルス出力端子です。カラムドライバの SCP 端子へ接続します。この端子の立ち下がりエッジで、LCD ドライバはデータバスの値をラッチします。                                                | カラムドライバ 1 用チップイネーブル端子です。カラムドライバ 1 の CE 端子へ接続します。                                 |
|                                          | ラッチパルス:<br>D2BLP 端子        | ラッチパルス出力端子です。カラム/ロードドライバの LP 端子へ接続します。この端子の立ち上りエッジで、LCD ドライバの出力段レジスタに表示データがラッチされます。また、カラムドライバをカスケード接続して使用する際のラッチパルスとしても使用します。 | カラムドライバ 2 用チップイネーブル端子です。カラムドライバ 2 の CE 端子へ接続します。                                 |
|                                          | フレーム:<br>D3BFR 端子          | LCD 交流化信号出力端子です。カラム/ロードドライバの FR 端子へ接続します。                                                                                     | カラムドライバ 3 用チップイネーブル端子です。カラムドライバ 3 の CE 端子へ接続します。                                 |
|                                          | カスケードパルス:<br>DLEBCD 端子     | カスケードパルス出力端子です。ロードドライバの DIO1 端子へ接続します。D3BFR 端子の変化ごとに 1 ショットのパルスを出します。                                                         | ロードドライバ用チップイネーブル端子です。ロードドライバの $\overline{LE}$ 端子へ接続します。                          |
| 表示オフ:<br>DOFF 端子                         |                            | 表示オフ出力端子です。カラム/ロードドライバの $\overline{DSPOF}$ 端子へ接続します。“L” で表示 OFF、“H” で表示 ON です。                                                |                                                                                  |

## 3.14.2 ブロック図

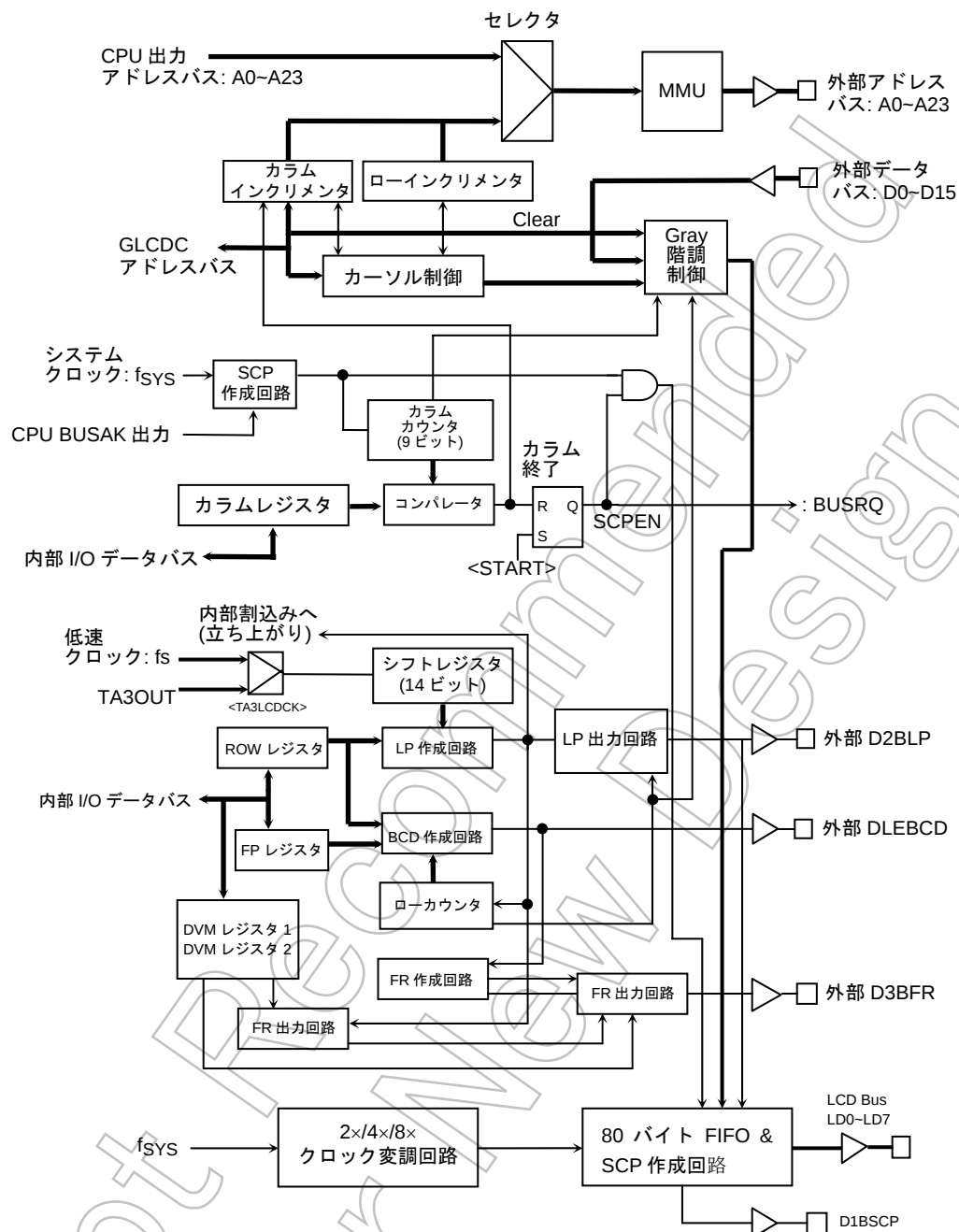


図 3.14.1 LCDC ブロック図

## 3.14.3 SFR 説明

LCDMODE レジスタ

|                    |            |                        |                        |                                                     |       |                                             |                                                        |                                     |                          |
|--------------------|------------|------------------------|------------------------|-----------------------------------------------------|-------|---------------------------------------------|--------------------------------------------------------|-------------------------------------|--------------------------|
| LCDMODE<br>(0200H) |            | 7                      | 6                      | 5                                                   | 4     | 3                                           | 2                                                      | 1                                   | 0                        |
|                    | Bit symbol | BAE                    | AAE                    | SCPW1                                               | SCPW0 | TA3LCDCK                                    | BULK                                                   | RAMTYPE                             | MODE                     |
|                    | Read/Write | R/W                    |                        |                                                     |       |                                             |                                                        |                                     |                          |
|                    | リセット後      | 0                      | 0                      | 1                                                   | 0     | 0                                           | 0                                                      | 0                                   | 0                        |
|                    | 機能         | Bエリア<br>0: 禁止<br>1: 許可 | Aエリア<br>0: 禁止<br>1: 許可 | 00: Base SCP<br>01: 2クロック<br>10: 4クロック<br>11: 8クロック |       | 低周波<br>クロック<br>選択<br>0: 32 KHz<br>1: TA3OUT | バイト数/<br>コモン<br>0: 512<br>バイト<br>1: 1024<br>バイト<br>注4) | 表示メモリ<br>タイプ<br>0: SRAM<br>1: SDRAM | モード選択<br>0: RAM<br>1: SR |

注 1) BULK は RAMTYPE に “1” (SDRAM) を設定したときのみ有効です。BULK は次のコモンのためのアドレスの生成方法を表しています。

注 2) LCDC の SDRAM アクセスは、“バースト 1クロックアクセス”のみです。

注 3) SCPW<1:0>はセクション 3.14.4.6 を参照してください。

注 4) 表 3.14.1 を参照してください。

表 3.14.2 SDRAM バルクとカラムアドレス

| LCDMODE<BULK>          | 0       | 1        |
|------------------------|---------|----------|
| SDRAMC<br>SDACR<SMUXW> | タイプ A   | タイプ B    |
| 1 ページのバルク              | 512 バイト | 1024 バイト |

Divide FRM レジスタ

|                   |            |               |      |      |      |      |      |      |      |
|-------------------|------------|---------------|------|------|------|------|------|------|------|
| LCDDVM<br>(0201H) |            | 7             | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|                   | Bit symbol | FMN7          | FMN6 | FMN5 | FMN4 | FMN3 | FMN2 | FMN1 | FMN0 |
|                   | Read/Write | R/W           |      |      |      |      |      |      |      |
|                   | リセット後      | 0             | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|                   | 機能         | DVM 設定ビット 7~0 |      |      |      |      |      |      |      |

LCD サイズ設定レジスタ

|                    |            |                      |      |      |      |                        |      |      |      |
|--------------------|------------|----------------------|------|------|------|------------------------|------|------|------|
| LCDSIZE<br>(0202H) |            | 7                    | 6    | 5    | 4    | 3                      | 2    | 1    | 0    |
|                    | Bit symbol | COM3                 | COM2 | COM1 | COM0 | SEG3                   | SEG2 | SEG1 | SEG0 |
|                    | Read/Write | R/W                  |      |      |      |                        |      |      |      |
|                    | リセット後      | 0                    | 0    | 0    | 0    | 0                      | 0    | 0    | 0    |
|                    | 機能         | LCD コモン数設定 (SR モード用) |      |      |      | LCD セグメント数設定 (SR モード用) |      |      |      |

|           |               |           |               |
|-----------|---------------|-----------|---------------|
| 0000: 128 | 0101: 400     | 0000: 128 | 0101: 480     |
| 0001: 160 | 0110: 480     | 0001: 160 | 0110: 560     |
| 0010: 200 |               | 0010: 240 | 0111: 640     |
| 0011: 240 |               | 0011: 320 |               |
| 0100: 320 | その他: Reserved | 0100: 400 | その他: Reserved |

LCD コントロールレジスタ

LCDCTL  
(0203H)

|            | 7                                              | 6                                                  | 5                                        | 4                       | 3                                    | 2                                                                            | 1                                    | 0                                             |
|------------|------------------------------------------------|----------------------------------------------------|------------------------------------------|-------------------------|--------------------------------------|------------------------------------------------------------------------------|--------------------------------------|-----------------------------------------------|
| Bit symbol | LCDON                                          | ALL0                                               | FRMON                                    | –                       | FP9                                  | MMULCD                                                                       | FP8                                  | START                                         |
| Read/Write | R/W                                            |                                                    |                                          |                         |                                      |                                                                              |                                      |                                               |
| リセット後      | 0                                              | 0                                                  | 0                                        | 0                       | 0                                    | 0                                                                            | 0                                    | 0                                             |
| 機 能        | $\overline{\text{DOFF}}$ 端子<br>0: OFF<br>1: ON | LD バス<br>出力制御<br>0: ノーマル<br>1: 表示デー<br>タすべて<br>“0” | フレーム<br>分割モード<br>(DVM)<br>0: 禁止<br>1: 許可 | “0” をライ<br>トしてくだ<br>さい。 | $f_{\text{FP}}$ [9:0]<br>ビット 9<br>設定 | RAM 内蔵<br>ドライバ<br>TYPE 設定<br>0: シーケン<br>シャルア<br>クセス型<br>1: ランダム<br>アクセス<br>型 | $f_{\text{FP}}$ [9:0]<br>ビット 8<br>設定 | スタート<br>ビット<br>(SR モード)<br>0: ストップ<br>1: スタート |

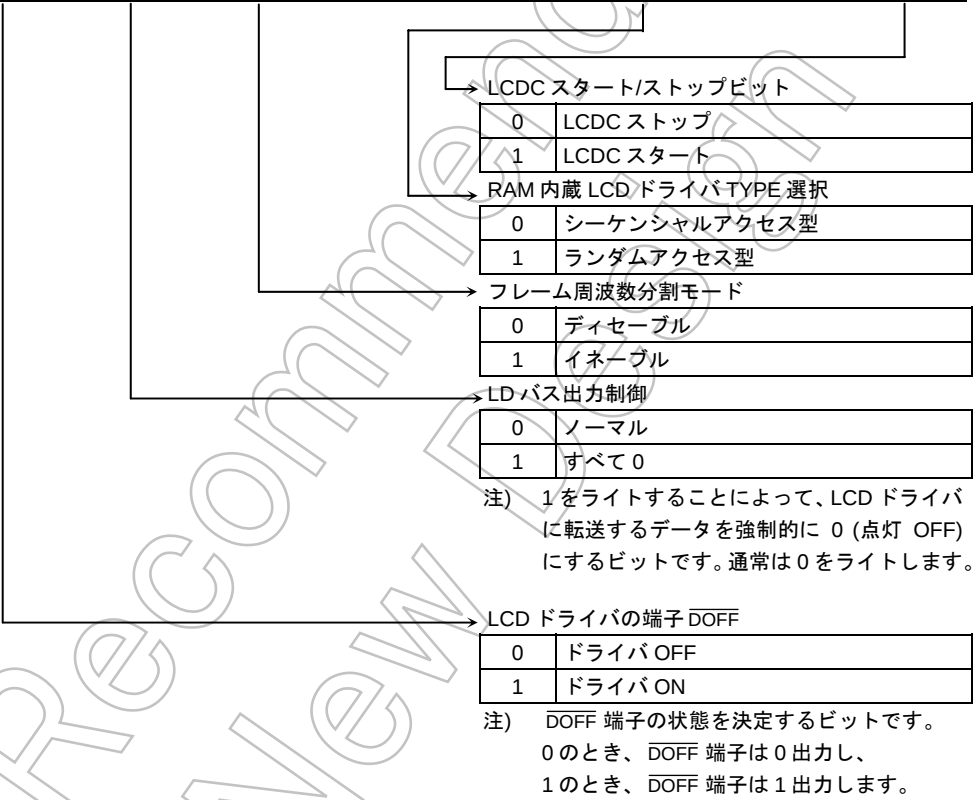


図 3.14.2 LCDC コントロールレジスタ

LCD f<sub>FP</sub> レジスタ

|                   |            |                            |     |     |     |     |     |     |     |
|-------------------|------------|----------------------------|-----|-----|-----|-----|-----|-----|-----|
| LCDFFP<br>(0204H) |            | 7                          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|                   | Bit symbol | FP7                        | FP6 | FP5 | FP4 | FP3 | FP2 | FP1 | FP0 |
|                   | Read/Write | R/W                        |     |     |     |     |     |     |     |
|                   | リセット後      | 0                          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
|                   | 機 能        | f <sub>FP</sub> ビット 7-0 設定 |     |     |     |     |     |     |     |

LCD Gray Level 設定レジスタ

|                  |            |   |   |   |   |   |   |                                                 |       |
|------------------|------------|---|---|---|---|---|---|-------------------------------------------------|-------|
| LCDGL<br>(0205H) |            | 7 | 6 | 5 | 4 | 3 | 2 | 1                                               | 0     |
|                  | Bit symbol |   |   |   |   |   |   | GRAY1                                           | GRAY0 |
|                  | Read/Write |   |   |   |   |   |   | R/W                                             |       |
|                  | リセット後      |   |   |   |   |   |   | 0                                               | 0     |
|                  | 機 能        |   |   |   |   |   |   | 00: モノクローム<br>01: 4 階調<br>10: 8 階調<br>11: 16 階調 |       |

図 3.14.3 LCDC コントロールレジスタ

表 3.14.3 LCD スタート/エンドアドレスレジスタ

|       | スタートアドレスレジスタ      |                   |                   | エンドアドレスレジスタ       |                   |                |
|-------|-------------------|-------------------|-------------------|-------------------|-------------------|----------------|
|       | H<br>(ビット 23~16)  | M<br>(ビット 15~8)   | L<br>(ビット 7~0)    | H<br>(ビット 23~16)  | M<br>(ビット 15~8)   | L<br>(ビット 7~0) |
| A エリア | LSARAH<br>(0211H) | LSARAM<br>(0210H) | —                 | LEARAH<br>(0213H) | LEARAM<br>(0212H) | —              |
| リセット後 | 40H               | 00H               | —                 | 40H               | 00H               | —              |
| B エリア | LSARBH<br>(0215H) | LSARBM<br>(0214H) | —                 | LEARBH<br>(0217H) | LEARBM<br>(0216H) | —              |
| リセット後 | 40H               | 00H               | —                 | 40H               | 00H               | —              |
| C エリア | LSARCH<br>(021AH) | LSARCM<br>(0219H) | LSARCL<br>(0218H) | —                 | —                 | —              |
| リセット後 | 40H               | 00H               | 00H               | —                 | —                 | —              |

注) すべてのレジスタは R (リード)/W (ライト) 可能です。

LCD カーソル設定レジスタ

|            | 7                       | 6                           | 5 | 4 | 3 | 2 | 1                                                                          | 0    |
|------------|-------------------------|-----------------------------|---|---|---|---|----------------------------------------------------------------------------|------|
| Bit symbol | CDE                     | CCS                         |   |   |   |   | CBE1                                                                       | CBE0 |
| Read/Write | R/W                     |                             |   |   |   |   | R/W                                                                        |      |
| リセット後      | 0                       | 0                           |   |   |   |   | 0                                                                          | 0    |
| 機 能        | カーソル<br>0: OFF<br>1: ON | カーソル<br>カラー<br>0: 白<br>1: 黒 |   |   |   |   | カーソル点滅間隔<br>(XT1: 32 kHz)<br>00: 非点滅<br>01: 2 Hz<br>10: 1 Hz<br>11: 0.5 Hz |      |

注 1) カーソル点滅機能は、低速クロックが入力されている場合のみ有効です。低速クロックが入力されていない場合でも、点滅機能以外は使用できます。

注 2) LCDCK にタイマアウト “TA3OUT” を使用している場合でも、カーソル点滅間隔は低速クロックに依存します。

LCD カーソル幅設定レジスタ

|            | 7 | 6 | 5 | 4                                                          | 3   | 2   | 1   | 0   |
|------------|---|---|---|------------------------------------------------------------|-----|-----|-----|-----|
| Bit symbol |   |   |   | CW4                                                        | CW3 | CW2 | CW1 | CW0 |
| Read/Write |   |   |   | R/W                                                        |     |     |     |     |
| リセット後      |   |   |   | 0                                                          | 0   | 0   | 0   | 0   |
| 機 能        |   |   |   | カーソル幅 (X サイズ)<br>00000: 1 ドット (Min)<br>11111: 32 ドット (Max) |     |     |     |     |

LCD カーソル長設定レジスタ

|            | 7 | 6 | 5 | 4                                                          | 3   | 2   | 1   | 0   |
|------------|---|---|---|------------------------------------------------------------|-----|-----|-----|-----|
| Bit symbol |   |   |   | CH4                                                        | CH3 | CH2 | CH1 | CH0 |
| Read/Write |   |   |   | R/W                                                        |     |     |     |     |
| リセット後      |   |   |   | 0                                                          | 0   | 0   | 0   | 0   |
| 機 能        |   |   |   | カーソル長 (Y サイズ)<br>00000: 1 ドット (Min)<br>11111: 32 ドット (Max) |     |     |     |     |

図 3.14.4 LCDC コントロールレジスタ

LCD カーソル ホットポイントピクセル数 (ビット補正) 設定レジスタ

|                  |            |   |   |   |   |                         |      |      |      |
|------------------|------------|---|---|---|---|-------------------------|------|------|------|
| LCDCP<br>(0209H) |            | 7 | 6 | 5 | 4 | 3                       | 2    | 1    | 0    |
|                  | Bit symbol |   |   |   |   | APB3                    | APB2 | APB1 | APB0 |
|                  | Read/Write |   |   |   |   | R/W                     |      |      |      |
|                  | リセット後      |   |   |   |   | 0                       | 0    | 0    | 0    |
|                  | 機 能        |   |   |   |   | ホットポイント補正ピクセル数設定ビット 3~0 |      |      |      |

モノクロの場合

0000: Pixel 0 ポジション

(バーストモードを除く)

1111: Pixel 15 ポジション

図 3.14.5 LCDC コントロールレジスタ

LCD カーソルスタートアドレス設定レジスタ

|                  |            |                       |      |      |      |      |      |      |      |
|------------------|------------|-----------------------|------|------|------|------|------|------|------|
| LCDCP<br>(020AH) |            | 7                     | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|                  | Bit symbol | CAP7                  | CAP6 | CAP5 | CAP4 | CAP3 | CAP2 | CAP1 | CAP0 |
|                  | Read/Write | R/W                   |      |      |      |      |      |      |      |
|                  | リセット後      | 0                     | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|                  | 機 能        | カーソルスタートアドレス設定ビット 7~0 |      |      |      |      |      |      |      |

LCD カーソルスタートアドレス設定レジスタ

|                   |            |                        |       |       |       |       |       |      |      |
|-------------------|------------|------------------------|-------|-------|-------|-------|-------|------|------|
| LCDCPM<br>(020BH) |            | 7                      | 6     | 5     | 4     | 3     | 2     | 1    | 0    |
|                   | Bit symbol | CAP15                  | CAP14 | CAP13 | CAP12 | CAP11 | CAP10 | CAP9 | CAP8 |
|                   | Read/Write | R/W                    |       |       |       |       |       |      |      |
|                   | リセット後      | 0                      | 0     | 0     | 0     | 0     | 0     | 0    | 0    |
|                   | 機 能        | カーソルスタートアドレス設定ビット 15~8 |       |       |       |       |       |      |      |

LCD カーソルスタートアドレス設定レジスタ

|                   |            |                         |       |       |       |       |       |       |       |
|-------------------|------------|-------------------------|-------|-------|-------|-------|-------|-------|-------|
| LCDCPH<br>(020CH) |            | 7                       | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|                   | Bit symbol | CAP23                   | CAP22 | CAP21 | CAP20 | CAP19 | CAP18 | CAP17 | CAP16 |
|                   | Read/Write | R/W                     |       |       |       |       |       |       |       |
|                   | リセット後      | 0                       | 1     | 0     | 0     | 0     | 0     | 0     | 0     |
|                   | 機 能        | カーソルスタートアドレス設定ビット 23~16 |       |       |       |       |       |       |       |

図 3.14.6 LCDC コントロールレジスタ

LCDC1L, LCDC1H, LCDC2L, LCDC2H, LCDC3L, LCDC3H, LCDR1L, LCDR1H レジスタ

|            | 7                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
|------------|-------------------|----|----|----|----|----|----|----|
| Bit symbol | D7                | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| Read/Write | 外部 LCD ドライバの仕様による |    |    |    |    |    |    |    |
| リセット後      | 外部 LCD ドライバの仕様による |    |    |    |    |    |    |    |
| 機 能        | 外部 LCD ドライバの仕様による |    |    |    |    |    |    |    |

図 3.14.7 LCDC コントロールレジスタ

これらのレジスタは、本製品には存在しません。外部に接続するシーケンシャルアクセス型 RAM 内蔵 LCD ドライバ (注 1) のインストラクションレジスタや表示データレジスタのイメージです。

これらのレジスタには 表 3.14.4 のようなアドレスが割り当てられており、それにより対応するアドレスをアクセスするとチップイネーブル端子がアクティブになります。

また、このアドレス 0FE0H~0FE7H のエリアは外部エリアに設定していますので、外部へのアクセスにより  $\overline{RD}$  や  $\overline{WR}$  端子はアクティブになります。

表 3.14.5 にランダムアクセス型 RAM 内蔵 LCD ドライバ (注 2) のアドレスマップを示しています。この選択は LCDCTL<MMULCD>にて設定します。

表 3.14.4 シーケンシャルアクセス型 RAM 内蔵 LCD ドライバチップイネーブル仕様

| レジスタ名  | アドレス  | 用途                   |           | チップ<br>イネーブル端子 | A0 端子 |
|--------|-------|----------------------|-----------|----------------|-------|
| LCDC1L | 1FE0H | RAM 内蔵型カラム<br>ドライバ 1 | インストラクション | D1BSCP         | 0     |
| LCDC1H | 1FE1H |                      | 表示データ     |                | 1     |
| LCDC2L | 1FE2H | RAM 内蔵型カラム<br>ドライバ 2 | インストラクション | D2BLP          | 0     |
| LCDC2H | 1FE3H |                      | 表示データ     |                | 1     |
| LCDC3L | 1FE4H | RAM 内蔵型カラム<br>ドライバ 3 | インストラクション | D3BFR          | 0     |
| LCDC3H | 1FE5H |                      | 表示データ     |                | 1     |
| LCDR1L | 1FE6H | RAM 内蔵型ロー<br>ドライバ    | インストラクション | DLEBCD         | 0     |
| LCDR1H | 1FE7H |                      | 表示データ     |                | 1     |

表 3.14.5 ランダムアクセス型 RAM 内蔵 LCD ドライバチップイネーブル仕様

| アドレス                 | 用途            | チップ<br>イネーブル<br>端子 |
|----------------------|---------------|--------------------|
| 3C0000H~<br>3CFFFFH  | RAM 内蔵型ドライバ 1 | D1BSCP             |
| 3D0000H~<br>3DFFFFH  | RAM 内蔵型ドライバ 2 | D2BLP              |
| 3E0000H~<br>3EFFFFH  | RAM 内蔵型ドライバ 3 | D3BFR              |
| 3F0000H~<br>3FFFFFFH | RAM 内蔵型ドライバ   | DLEBCD             |

注 1) アドレス端子を持たずインストラクションレジスタにより RAM へのアクセス方法をセットする方式の RAM 内蔵型 LCD ドライバを、ここではシーケンシャルアクセス型 RAM 内蔵 LCD ドライバと呼びます。(例 T6B65A, T6C84 など 2000/3 現在)

注 2) アドレス端子を持ち、SRAM と同様のアクセス方式の RAM 内蔵型 LCD ドライバを、ここではランダムアクセス型 RAM 内蔵 LCD ドライバと呼びます。(例 T6C23, T6K01 など 2000/3 現在)

### 3.14.4 シフトレジスタ型 LCD ドライバ対応モード (SR モード)

#### 3.14.4.1 動作説明

あらかじめ、動作モード、転送元データ格納メモリのスタートアドレス、階調レベル、LCD サイズ (コモン/セグメント) などを I/O レジスタに設定後、スタートレジスタをセットします。それにより、LCDC は CPU にバス解放要求 (バス停止要求) を出力し、転送元のメモリからデータをリードし外部にある LCD ドライバへ設定された LCD サイズ分のデータを LD バス (LCD 専用バス) 端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される D1BSCP などの制御端子も規定の波形を出力します。表示データのリードが終了するとバス解放要求を解除し、CPU はリスタートします。LCD コントローラは D3BFR, DLEBCD, D2BLP 端子の波形生成用にシステムクロック  $f_{SYS}$  とは別のクロック LCDCK を使用します。

LCDCK は低周波クロック (XT1, XT2): 32.768 KHz または内蔵の TMRA23 より出力されるタイマアウト TA3OUT を EMCCRO<TA3LCDE> レジスタにて選択します。<TA3LCDE> は外部リセットにより “0” となり、低周波クロックが選択されています。

注) SRモードLCDCでデータリード中におけるCPUは、内部BUSREQ信号によって停止しています。従ってSRモードLCDCを使用する際は、CPU停止時間を考慮してプログラミングしてください。詳細については、表 3.14.9をご覧ください。

## 3.14.4.2 階調モード説明

LCDGL<GRAY1:0>の設定により、モノクロ、4/8/16 階調モードが選択可能で、LCDMODE<RAMTYPE>によりメモリタイプが選択できます。

また、SDRAM モード時には LCDMODE<BULK>の設定により、使用する SDRAM のサイズも選択できます。

TMP92C820 では、フレーム間引きによって階調表示を実現させています。表 3.14.6 に示すように 16 ビットのレジスタ (LGnL/H) により階調制御パレットを定義しています。階調レベル (モノクロ、4/8/16 階調) によって、使用するパレットを選択しています。(表 3.14.7 参照) 各階調 (パレットの密度) におけるデータの ON/OFF は 16 ビットのレジスタ (LGnL/H) により変更できます。パレットの各レジスタには初期値が設定されていますので、使用される LCD ドライバ、パネルの特性に合わせた細やかな調整が可能です。

表 3.14.6 Gray 階調制御パレットの初期値



| レベル<br>コード | Density | Data setting register<br>(Address/After reset) | Bit<br>0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
|------------|---------|------------------------------------------------|----------|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| F          | 16/16   | LGfH/L (023F~E/FFFFH)                          | ●        | ● | ● | ● | ● | ● | ● | ● | ● | ● | ●  | ●  | ●  | ●  | ●  | ●  |
| E          | 14/16   | LGeH/L (023D~C/FDFDH)                          | ●        | ○ | ● | ● | ● | ● | ● | ● | ● | ○ | ●  | ●  | ●  | ●  | ●  | ●  |
| D          | 13/16   | LGdH/L (023B~A/FDDDH)                          | ●        | ○ | ● | ● | ● | ○ | ● | ● | ● | ○ | ●  | ●  | ●  | ●  | ●  | ●  |
| C          | 12/16   | LGcH/L (0239~8/DDDDH)                          | ●        | ○ | ● | ● | ● | ○ | ● | ● | ● | ○ | ●  | ●  | ●  | ○  | ●  | ●  |
| B          | 11/16   | LGbH/L (0237~6/DDD5H)                          | ●        | ○ | ● | ○ | ● | ○ | ● | ● | ● | ○ | ●  | ●  | ●  | ○  | ●  | ●  |
| A          | 10/16   | LGaH/L (0235~4/D5D5H)                          | ●        | ○ | ● | ○ | ● | ○ | ● | ● | ● | ○ | ●  | ○  | ●  | ○  | ●  | ●  |
| 9          | 9/16    | LG9H/L (0233~2/D555H)                          | ●        | ○ | ● | ○ | ● | ○ | ● | ○ | ● | ○ | ●  | ○  | ●  | ○  | ●  | ●  |
| 8          | 8/16    | LG8H/L (0231~0/AAAAH)                          | ○        | ● | ○ | ● | ○ | ● | ○ | ● | ○ | ● | ○  | ●  | ○  | ●  | ○  | ●  |
| 7          | 7/16    | LG7H/L (022F~E/8AAAH)                          | ○        | ● | ○ | ● | ○ | ● | ○ | ● | ○ | ● | ○  | ●  | ○  | ○  | ○  | ●  |
| 6          | 6/16    | LG6H/L (022D~C/8A8AH)                          | ○        | ● | ○ | ● | ○ | ○ | ○ | ● | ○ | ○ | ○  | ○  | ○  | ○  | ○  | ●  |
| 5          | 5/16    | LG5H/L (022B~A/888AH)                          | ○        | ● | ○ | ● | ○ | ○ | ○ | ○ | ○ | ○ | ○  | ○  | ○  | ○  | ○  | ○  |
| 4          | 4/16    | LG4H/L (0229~8/8888H)                          | ○        | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○  | ○  | ○  | ○  | ○  | ○  |
| 3          | 3/16    | LG3H/L (0227~6/8880H)                          | ○        | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○  | ○  | ○  | ○  | ○  | ○  |
| 2          | 2/16    | LG2H/L (0225~4/8080H)                          | ○        | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○  | ○  | ○  | ○  | ○  | ○  |
| 1          | 1/16    | LG1H/L (0223~2/8000H)                          | ○        | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○  | ○  | ○  | ○  | ○  | ○  |
| 0          | 0/16    | LG0H/L (0221~0/0000H)                          | ○        | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○ | ○  | ○  | ○  | ○  | ○  | ○  |

●: ディスプレイ ON、○: ディスプレイ OFF

表 3.14.7 各 Gray 階調における階調制御パレットの有効なレジスタ

|        | LG0<br>L/H | LG1<br>L/H | LG2<br>L/H | LG3<br>L/H | LG4<br>L/H | LG5<br>L/H | LG6<br>L/H | LG7<br>L/H | LG8<br>L/H | LG9<br>L/H | LGA<br>L/H | LGB<br>L/H | LGC<br>L/H | LGD<br>L/H | LGE<br>L/H | LGE<br>L/H |
|--------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| 16 階調  | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          | ●          |
| 8 階調   | ●          | ×          | ●          | ×          | ●          | ×          | ●          | ×          | ●          | ×          | ●          | ×          | ●          | ×          | ×          | ●          |
| 4 階調   | ●          | ×          | ×          | ×          | ●          | ×          | ×          | ×          | ●          | ×          | ×          | ×          | ×          | ×          | ×          | ●          |
| モノクローム | ●          | ×          | ×          | ×          | ×          | ×          | ×          | ×          | ×          | ×          | ×          | ×          | ×          | ×          | ×          | ●          |

×: Don't care、●: 有効

## 3.14.4.3 メモリ空間

LCDCは、LCDパネルに表示するイメージを上, 中, 下と横割りに3分割して表現することができます。各空間は、それぞれA, B, Cエリアと呼ばれ、下記に示す特長を持っています。

LCD スタート/エンドアドレス設定レジスタ (表 3.14.3参照) で、メモリ空間における各エリアのスタート/エンドアドレスを設定します (Cエリアはスタートアドレスのみ)。

A, B エリアはプログラムにより表示、非表示を LCDMODE レジスタで設定できます。A, B エリアが非表示設定の場合、パネル空間すべてが C エリアになります。表示の優先順位は  $A > B > C$  なので、 $(A + B)$  エリアのサイズがパネルサイズより大きい場合、C エリアは非表示になります。

また、パネル空間が C エリアのみに設定されている状態 (A, B エリアともにディセーブル設定) で、A エリアを表示イネーブルにした場合は、C エリアが LCD パネルの下へシフトされ、最上部から A エリアが挿入されます。同様に、パネル空間が C エリアのみの状態で B エリアを表示イネーブルにすると、C エリアの最下部から B エリアがかぶさる格好で挿入されます。

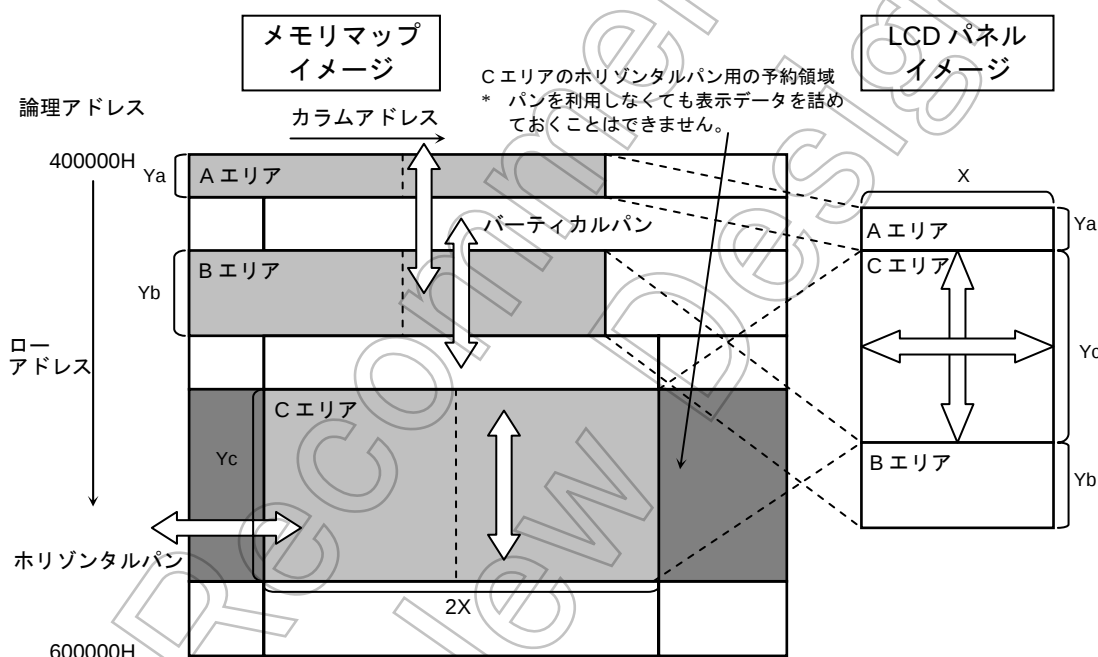


図 3.14.8 物理メモリと LCD パネルのメモリ配置関係 (4 階調モード)

- 表示メモリのマッピングとパンニング機能

LCDC は、A, B, C エリアの各スタートアドレスを変更するだけで、LCD パネルウィンドウを変更することができます。A, B エリアはローアドレスを変更することによって、バーティカルパン（縦方向）が可能です。C エリアはローアドレスとカラムアドレスを変更することによって、バーティカルパン（縦方向）と水平パン（横方向）が可能です。

水平パン機能を使用しなくても、表示画素分の表示データをすき間なく詰めた形で SDRAM に配置することはできないので注意が必要です。表示 RAM の 1 (行) ローアドレスは表示パネルの 1 行に相当します。今、表示したいサイズのパネル 1 行に必要なデータ量が表示 RAM1 ローアドレスの容量に満たなくても、表示パネル 2 行目のデータを表示 RAM の 1 (行) ローアドレス内に設定できません。表示パネルの行が 1 行増えることは、表示 RAM のローアドレスが 1 アドレス増えることになります。

これは、表示 RAM にアドレスをマルチプレクスしていない SRAM を選択した場合も同様の制限となりますので、十分な注意が必要です。また、SDRAM の場合はその使用するメモリのサイズに合わせて表示 RAM1 行分（カラムアドレスビット数：512 バイト = 64 M バイト選択時、1024 バイト = 128 M バイト選択時）を選択できますが、SRAM を使用した場合は表示 RAM1 行分の表示 RAM 容量は 512 バイトに固定されます。

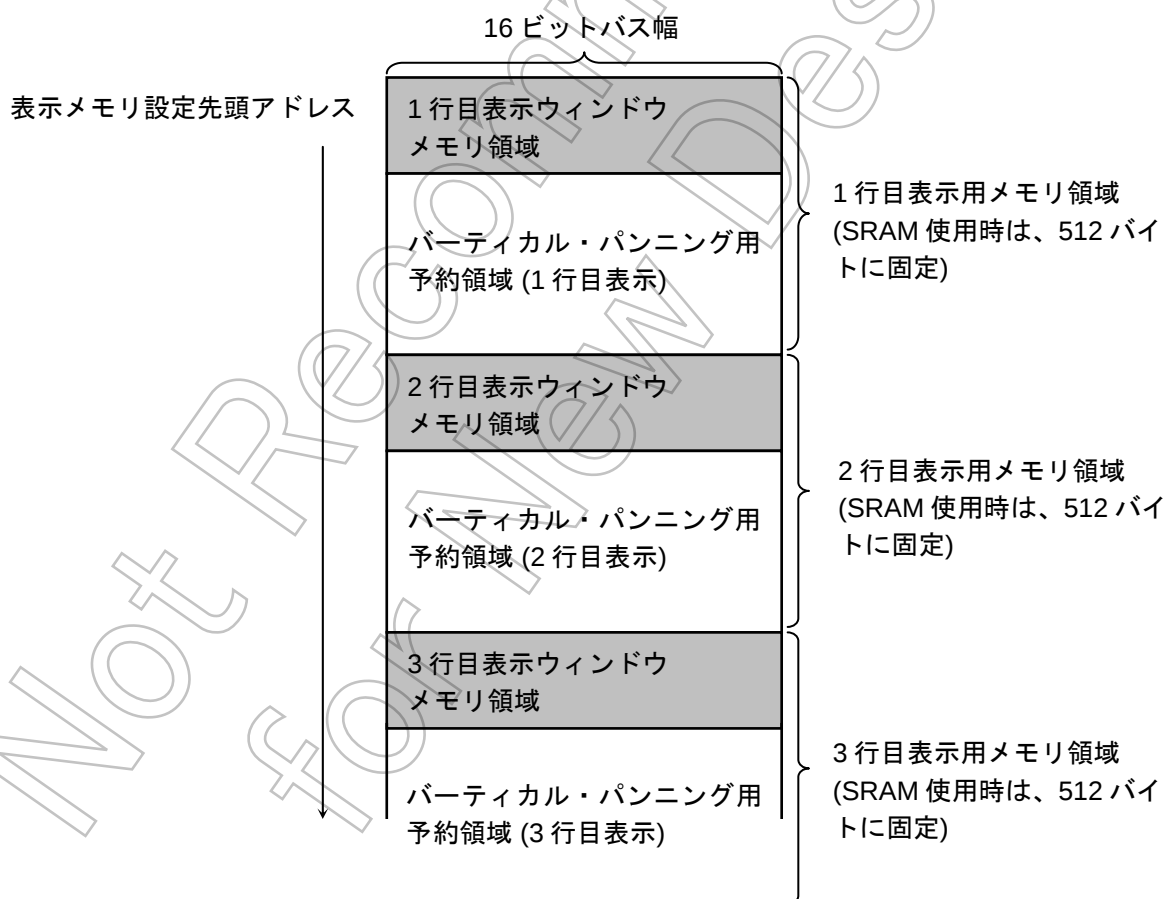


図 3.14.9 表示メモリに SRAM を設定した場合のメモリマップイメージ

TMP92C820 では、モノクロ 4/8/16 階調と 4 段階の階調表示を選択できますが、各階調によって、表示画素 1 ピクセルをデコードする際に使用する表示用メモリ容量が異なります。

下記に示すようにモノクロの場合、表示ピクセルはメモリ内の 1 ビット、4 階調は 2 ビット、8 階調は 3 ビット、16 階調の場合は 4 ビットに相当します。よって先述の図 3.14.8 にあるように、4 階調モードの場合、メモリ空間のカラムアドレスには実際に LCD パネルに表示されるドット数の 2 倍分のデータ容量が必要となります。また、図 3.14.10 に示すように、使用する階調レベルやメモリの種類によって表示データの設定場所が異なりますので、注意が必要です。

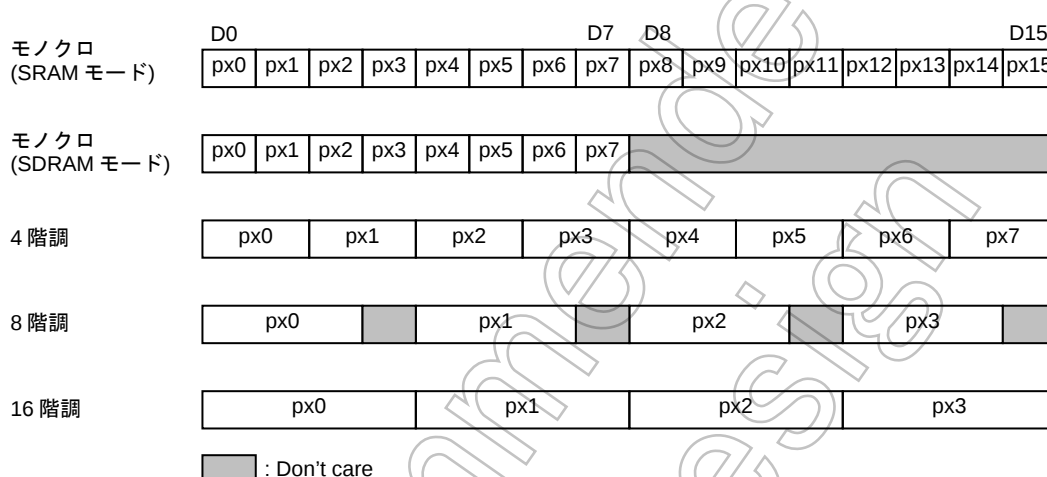


図 3.14.10 リードサイクル (16 ビット) における各 Gray 階調のメモリ使用サイズ

また、上記・図 3.14.10 の中で示す “px” は下記の図に示す液晶パネルイメージの通りですが、TMP92C820 では、px0 のデータを LD7、px7 のデータを LD0 出力します。よって、使用する LCDD の仕様によっては LD0 を LCD ドライバの最上位ビット (例: DI7) に接続する必要があります。弊社の 900/L1 シリーズ TMP91C815, TMP91C016, TMP91C025 などに内蔵の LCD コントローラとはデータ出力の関係が異なりますので注意してください。

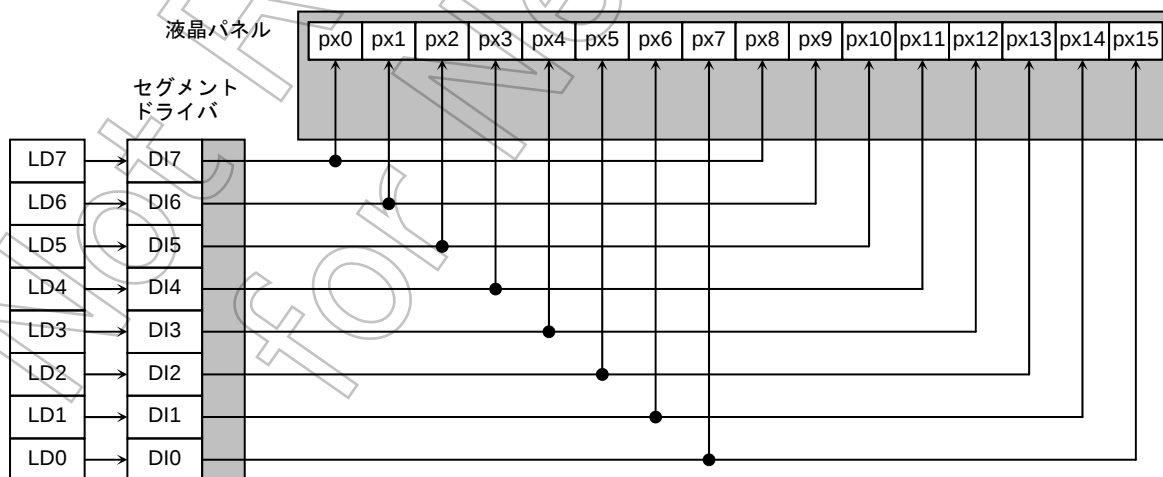


図 3.14.11 TMP92C820 の LD バスと LCDD のデータバスの関係

## 3.14.4.4 ハードウェアカーソル

LCDC は、カラー、点滅間隔、サイズ (最大  $32 \times 32$ ) などが設定可能な四角形のハードウェアカーソルを内蔵しています。

カーソルのレジスタを設定することにより、カーソルのカラー (白/黒)、点滅時間間、サイズ、正確な表示位置などをプログラムで簡単に設定することができます。表示位置はカーソルの左上のホットポイントと呼ばれるポイントを指定することにより決まります (図 3.14.12 参照)。

カーソルのホットポイントの正確な位置は、カーソルスタートアドレス (LCDCPH/M/L) とビット補正 (LCDCP) により決定します。前項で述べたように、例えば 4 階調の場合は 1 ピクセルを表示する場合には 2 ビットのデータ設定が必要ですが、ホットポイントの 1 ビット単位の補正は、ピクセル数で (LCDCP) レジスタに設定できます。

下記に、A, B, C エリアイネーブル、4 階調、カーソルスタートアドレス = 410004H、補正ビット (LCDCP) = 3H の場合のカーソルイメージ図を示します。

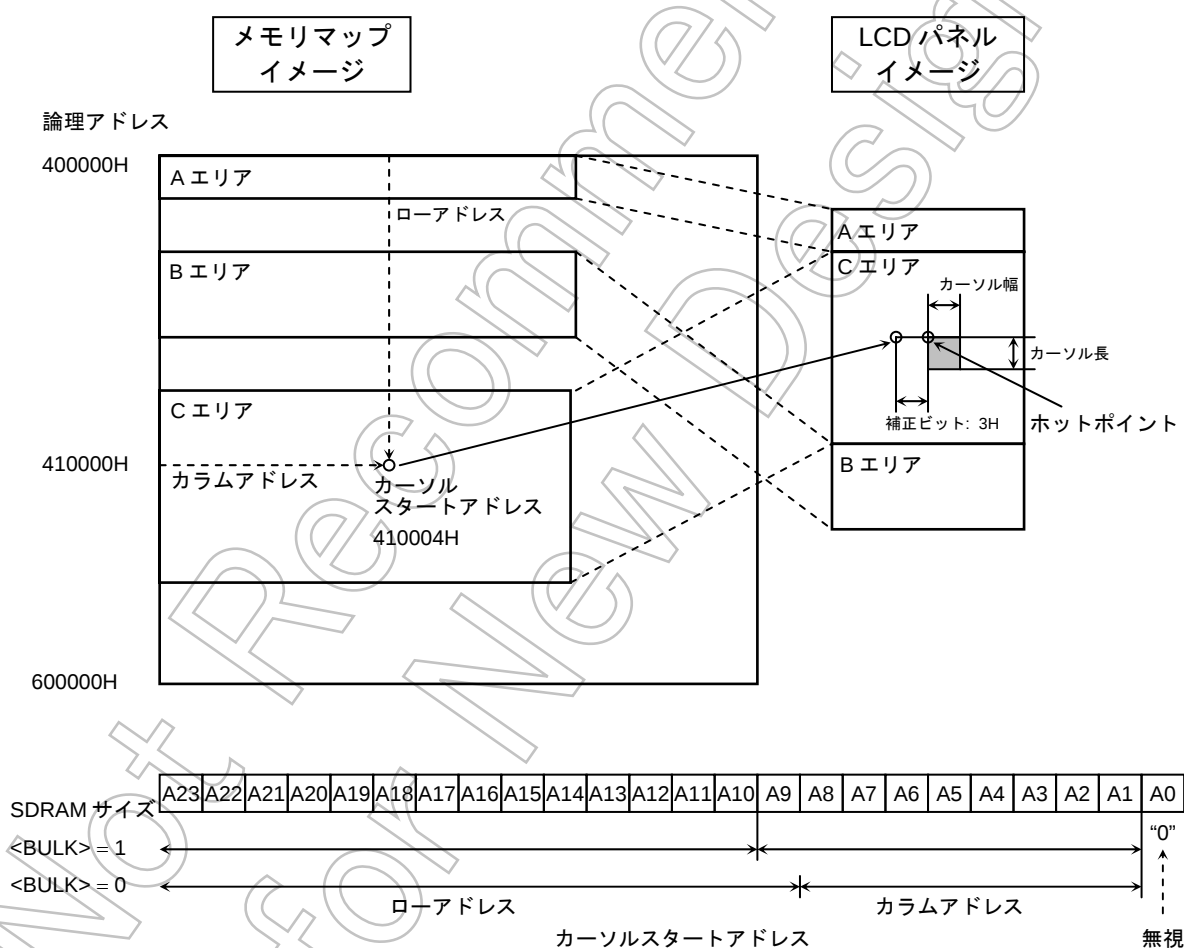


図 3.14.12 カーソル表示のイメージ図

注) TMP92C820 は、メモリ上のアドレスにハードウェアカーソルを設定しているために、ハードウェアカーソルが表示中にパンニングを行った場合、カーソルはメモリ上のデータと共に移動していきます。

LCD カーソル設定レジスタ

LCDCM  
(0206H)

|            | 7                       | 6                           | 5 | 4 | 3 | 2 | 1                                                         | 0    |
|------------|-------------------------|-----------------------------|---|---|---|---|-----------------------------------------------------------|------|
| Bit symbol | CDE                     | CCS                         |   |   |   |   | CBE1                                                      | CBE0 |
| Read/Write | R/W                     |                             |   |   |   |   | R/W                                                       |      |
| リセット後      | 0                       | 0                           |   |   |   |   | 0                                                         | 0    |
| 機 能        | カーソル<br>0: OFF<br>1: ON | カーソル<br>カラー<br>0: 白<br>1: 黒 |   |   |   |   | カーソル点滅間隔<br>00: 非点滅<br>01: 2 Hz<br>10: 1 Hz<br>11: 0.5 Hz |      |

注 1) カーソル点滅機能は、低速クロックに 32 kHz が入力されている場合のみ有効です。低速クロックに 32 kHz が入力されていない場合でも、カーソルは表示のみできます。

注 2) LCDCK にタイマアウト "TA3OUT" を使用している場合でも、低速クロックに 32 kHz が入力されていればカーソル点滅間隔は変わりません。

LCD カーソル幅設定レジスタ

LCDCW  
(0207H)

|            | 7 | 6 | 5 | 4                                                          | 3   | 2   | 1   | 0   |
|------------|---|---|---|------------------------------------------------------------|-----|-----|-----|-----|
| Bit symbol |   |   |   | CW4                                                        | CW3 | CW2 | CW1 | CW0 |
| Read/Write |   |   |   | R/W                                                        |     |     |     |     |
| リセット後      |   |   |   | 0                                                          | 0   | 0   | 0   | 0   |
| 機 能        |   |   |   | カーソル幅 (X サイズ)<br>00000: 1 ドット (Min)<br>11111: 32 ドット (Max) |     |     |     |     |

LCD カーソル長設定レジスタ

LCDCH  
(0208H)

|            | 7 | 6 | 5 | 4                                                          | 3   | 2   | 1   | 0   |
|------------|---|---|---|------------------------------------------------------------|-----|-----|-----|-----|
| Bit symbol |   |   |   | CH4                                                        | CH3 | CH2 | CH1 | CH0 |
| Read/Write |   |   |   | R/W                                                        |     |     |     |     |
| リセット後      |   |   |   | 0                                                          | 0   | 0   | 0   | 0   |
| 機 能        |   |   |   | カーソル長 (Y サイズ)<br>00000: 1 ドット (Min)<br>11111: 32 ドット (Max) |     |     |     |     |

LCD カーソルスタートアドレス設定レジスタ

LCDCPL  
(020AH)

|            | 7                     | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|------------|-----------------------|------|------|------|------|------|------|------|
| Bit symbol | CAP7                  | CAP6 | CAP5 | CAP4 | CAP3 | CAP2 | CAP1 | CAP0 |
| Read/Write | R/W                   |      |      |      |      |      |      |      |
| リセット後      | 0                     | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| 機 能        | カーソルスタートアドレス設定ビット 7~0 |      |      |      |      |      |      |      |

LCD カーソルスタートアドレス設定レジスタ

LCDCPM  
(020BH)

|            | 7                      | 6     | 5     | 4     | 3     | 2     | 1    | 0    |
|------------|------------------------|-------|-------|-------|-------|-------|------|------|
| Bit symbol | CAP15                  | CAP14 | CAP13 | CAP12 | CAP11 | CAP10 | CAP9 | CAP8 |
| Read/Write | R/W                    |       |       |       |       |       |      |      |
| リセット後      | 0                      | 0     | 0     | 0     | 0     | 0     | 0    | 0    |
| 機 能        | カーソルスタートアドレス設定ビット 15~8 |       |       |       |       |       |      |      |

LCD カーソルスタートアドレス設定レジスタ

LCDCPH  
(020CH)

|            | 7                       | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|------------|-------------------------|-------|-------|-------|-------|-------|-------|-------|
| Bit symbol | CAP23                   | CAP22 | CAP21 | CAP20 | CAP19 | CAP18 | CAP17 | CAP16 |
| Read/Write | R/W                     |       |       |       |       |       |       |       |
| リセット後      | 0                       | 1     | 0     | 0     | 0     | 0     | 0     | 0     |
| 機 能        | カーソルスタートアドレス設定ビット 23~16 |       |       |       |       |       |       |       |

LCD カーソル ホットポイントピクセル数 (ビット補正) 設定レジスタ

LCDCP  
(0209H)

|            | 7 | 6 | 5 | 4 | 3                       | 2    | 1    | 0    |
|------------|---|---|---|---|-------------------------|------|------|------|
| Bit symbol |   |   |   |   | APB3                    | APB2 | APB1 | APB0 |
| Read/Write |   |   |   |   | R/W                     |      |      |      |
| リセット後      |   |   |   |   | 0                       | 0    | 0    | 0    |
| 機 能        |   |   |   |   | ホットポイント補正ピクセル数設定ビット 3~0 |      |      |      |

モノクロ (SRAM モード) の場合      0000: 0 ピクセル補正  
                                                  1111: 0 ピクセル補正

モノクロ (SDRAM モード),      x000: 0 ピクセル補正      x100: 4 ピクセル補正  
   4 階調の場合                    x001: 1 ピクセル補正      x101: 5 ピクセル補正  
                                          x010: 2 ピクセル補正      x110: 6 ピクセル補正  
                                          x011: 3 ピクセル補正      x111: 7 ピクセル補正

8, 16 階調の場合                xx00: 0 ピクセル補正      xx10: 2 ピクセル補正  
                                          xx01: 1 ピクセル補正      xx11: 3 ピクセル補正

X: Don't care

ここでは、前項でアドレス設定されたカーソルのスタートアドレスに対して、さらに 1 ビット単位でのビット補正設定ができます。上記のように、モード設定に応じた補正数を調整する必要があります。

例えば 4 階調モード、データバス 16 ビット幅の場合、アドレスで設定できる最小のピクセルは 8 ピクセルに相当するので、ここでの補正は 7 以下で行ってください。同様に、モノクロの場合、15、8/16 階調モードの場合は 3 以下で設定してください。

(例) モノクロモードで (LCDCP) ビット 3:0 が 011H、サイズ (8×8) のカーソルの場合

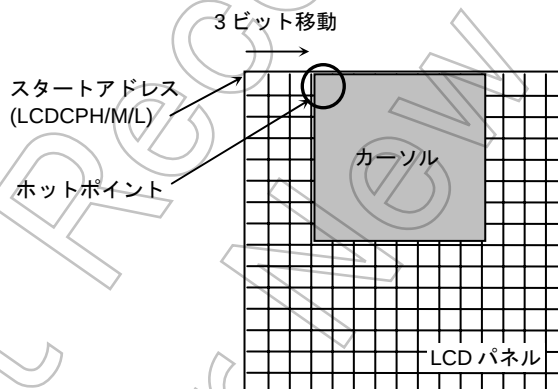


図 3.14.13 ピクセル数 (ビット補正) 設定によるホットポイントの位置

## 3.14.4.5 フレーム信号設定

TMP92C820 では、いわゆるフレーム周期（LCD パネルのリフレッシュ間隔）を、 $f_{FP}[9:0]$ に設定した値により定義しています。DLEBCD 端子には、このフレーム周期ごとにパルスが出力され、D3BFR 端子には、通常この周期ごとに極性が反転する信号が出力されます。

また、特殊機能として表示ムラなどを防ぐために、フレームの極性反転タイミングを上記フレーム周期とは無関係に設定する機能を持っています。

LCD コントロールレジスタ

|                   |            |                            |                                                 |                                             |                        |                              |                                                                              |                              |                                               |
|-------------------|------------|----------------------------|-------------------------------------------------|---------------------------------------------|------------------------|------------------------------|------------------------------------------------------------------------------|------------------------------|-----------------------------------------------|
| LCDCTL<br>(0203H) |            | 7                          | 6                                               | 5                                           | 4                      | 3                            | 2                                                                            | 1                            | 0                                             |
|                   | Bit symbol | LCDON                      | ALL0                                            | FRMON                                       | —                      | FP9                          | MMULCD                                                                       | FP8                          | START                                         |
|                   | Read/Write | R/W                        |                                                 |                                             |                        |                              |                                                                              |                              |                                               |
|                   | リセット後      | 0                          | 0                                               | 0                                           | 0                      | 0                            | 0                                                                            | 0                            | 0                                             |
|                   | 機 能        | DOFF 端子<br>0: OFF<br>1: ON | LD バス<br>転送データ<br>0: ノーマル<br>1: 表示データすべて<br>“0” | D3BFR 端<br>子分割機能<br>(DVM)<br>0: 禁止<br>1: 許可 | “0”をライ<br>トしてくだ<br>さい。 | $f_{FP}[9:0]$<br>ビット 9<br>設定 | RAM 内蔵<br>ドライバ<br>TYPE 設定<br>0: シーケン<br>シャルア<br>クセス型<br>1: ランダム<br>アクセス<br>型 | $f_{FP}[9:0]$<br>ビット 8<br>設定 | スタート<br>ビット<br>(SR モード)<br>0: ストップ<br>1: スタート |

LCD  $f_{FP}$  レジスタ

|                   |            |                     |     |     |     |     |     |     |     |
|-------------------|------------|---------------------|-----|-----|-----|-----|-----|-----|-----|
| LCDFFP<br>(0204H) |            | 7                   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|                   | Bit symbol | FP7                 | FP6 | FP5 | FP4 | FP3 | FP2 | FP1 | FP0 |
|                   | Read/Write | R/W                 |     |     |     |     |     |     |     |
|                   | リセット後      | 0                   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
|                   | 機 能        | $f_{FP}$ ビット 7~0 設定 |     |     |     |     |     |     |     |

Divide FRM レジスタ

|                   |            |               |      |      |      |      |      |      |      |
|-------------------|------------|---------------|------|------|------|------|------|------|------|
| LCDDVM<br>(0201H) |            | 7             | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|                   | Bit symbol | FMN7          | FMN6 | FMN5 | FMN4 | FMN3 | FMN2 | FMN1 | FMN0 |
|                   | Read/Write | R/W           |      |      |      |      |      |      |      |
|                   | リセット後      | 0             | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|                   | 機 能        | DVM 設定ビット 7~0 |      |      |      |      |      |      |      |

## (1) フレーム周期補正機能

本機能では、前項レジスタ  $f_{FP}$  [9:0] に、設定値に従って基本となるフレーム周期 DLEBCD 信号が作られます。通常、この値はコモン数と同等な値を設定しますが、自由に設定値を増やしてフレーム周期を補正することができます。この機能では、フレーム周期表 3.14.8 のフレーム周期よりも高速な周波数に補正をかけることができません。フレーム周期を高速に設定したい場合や、より詳細な設定をしたい場合は後述の、(3)「タイマアウト LCDCK 機能」を利用してください。

フレーム周期は次の計算式で求めることができます。

$$\text{フレーム周期} = \text{LCDCK} / (D \times f_{FP}) \text{ [Hz]}$$

D: 各コモン数の定数 (表 3.14.8 参照)

$f_{FP}$ :  $f_{FP}$  [9:0] レジスタ設定値

LCDCK: LCD ソースクロック

(通常は低周波クロックが選択されています。)

$f_{FP}$  [9:0] の値は、設定したいフレーム周期に合わせて表 3.14.8 の中から選択してください。

注)  $f_{FP}$  [9:0] へ設定する  $f_{FP}$  値は下記の範囲にしてください。

$$\text{COM (コモン数)} \leq f_{FP} \leq 1024$$

(例 1) 240 com でフレーム周期を 72.10-Hz にする場合、表 3.14.8 より COM + 63 が選択され、

$$f_{FP} = 240 (\text{COM}) + 63 = 303 = 12F_{\text{hex}}$$

よって、LCDCTL<FP8> = 1\_hex, LCDFFP<FP7:0> = 2F\_hex を設定してください。

## (2) フレームの反転調整機能

本機能を使用することによって、表示ムラなどの表示品位の低下を防ぐことができます。(注)

<FRMON> = 1 で本機能をイネーブルに設定した場合は、下記 (LCDDVM) レジスタに N を設定すると、D3BFR 端子から (D2BLP × N) のタイミングごとに極性反転した信号が出力されます。

また、使用しない場合は、(LCDCTL)<FRMON> = 0 でディセーブルに設定すると、D3BFR 端子から、DLEBCD 端子の周期ごとに極性反転した信号が出力されます。

ただし、本機能をイネーブルに設定したことによって DLBCD 端子の波形やタイミングに変化はありません。

注) 実際に使用される LCD ドライバ、LCD パネルなどの特性によって効果は変化します。

## (3) タイマアウト LCDCK 機能

LCD ソースクロック LCDCK は、低周波クロック (XT1, XT2): 32.768 [kHz]、または内蔵の TMRA23 より出力されるタイマアウト “TA3OUT” を選択できます。

(例 2) TA3OUT を LCDCK ソースクロックに選択することによりフレーム周期 = 70 [Hz] に設定する方法を示します。( $f_c = 6$  [MHz], 128 COM)

フレーム周期は次式で求められます。

$$\text{フレーム周期} = 1 / (t_{LP} \times f_{FP}) \text{ [Hz]} \quad t_{LP}: D2BLP \text{ の周期}$$

LCDCK のソースクロックを XT [Hz] とすると、この  $t_{LP}$  は

$$t_{LP} = D / XT \quad D: 128 \text{ COM の場合は } 3$$

よって、 $f_{FP} = 128$  の場合、フレーム周期を 70 [Hz] に設定するには

$$\begin{aligned} XT &= 128 \times 3 \times 70 \\ &= 26880 \text{ [Hz]} \end{aligned} \text{ となるクロックが必要になります。}$$

ここで、タイマ 3 の  $\phi T1$  を使用し、 $f_c = 6$  [MHz] で  $XT = 26880$  [Hz] を生成します。

$$1/XT = T3 \times 2 \times 8 \times 2 / f_c \text{ [s]} \quad T3: \text{タイマレジスタ (TA3REG) の値}$$

つまり、

$$XT = f_c / (T3 \times 2 \times 8 \times 2) \text{ [Hz]}$$

となります。

これを計算すると、 $T3 = (TA3REG) = 6.98$  となりますが、小数点以下は設定不可なので、 $(TA3REG) = 06H$  に設定すると、 $XT = 31250$  [Hz] となります。

また、 $D = 3$  より

$$\begin{aligned} \text{フレーム周期} &= 31250 / (128 \times 3) \\ &= 81.38 \text{ [Hz]} \end{aligned} \text{ となります。}$$

さらに、 $f_{FP}$  に補正を加えて  $COM = 148$  ( $COM + 20$ ) として計算すると

$$\begin{aligned} \text{フレーム周期} &= 31250 / (148 \times 3) \\ &= 70.38 \text{ [Hz]} \end{aligned} \text{ となります。}$$

(参考) モノクロモード時は、フレーム周期決定機能、フレーム反転調整機能、タイマアウト LCDCK を使用して、フレーム周期は約 70 [Hz]、4/8/16 Gray 階調モードの時は、約 140 [Hz] を目安にすると表示品位が上がります。

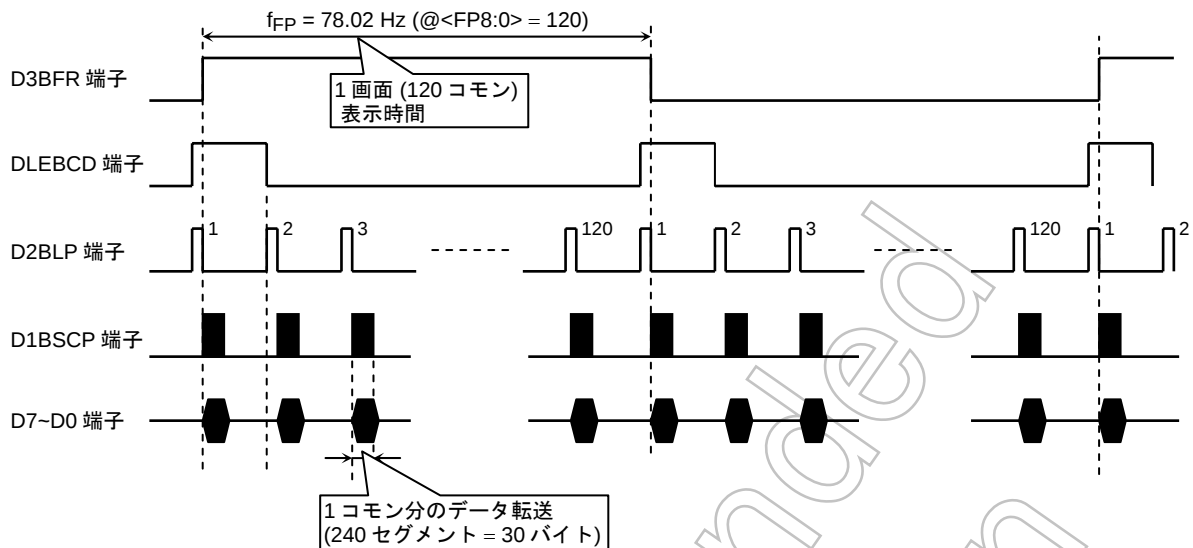


図 3.14.14 SR モード全体タイミング図

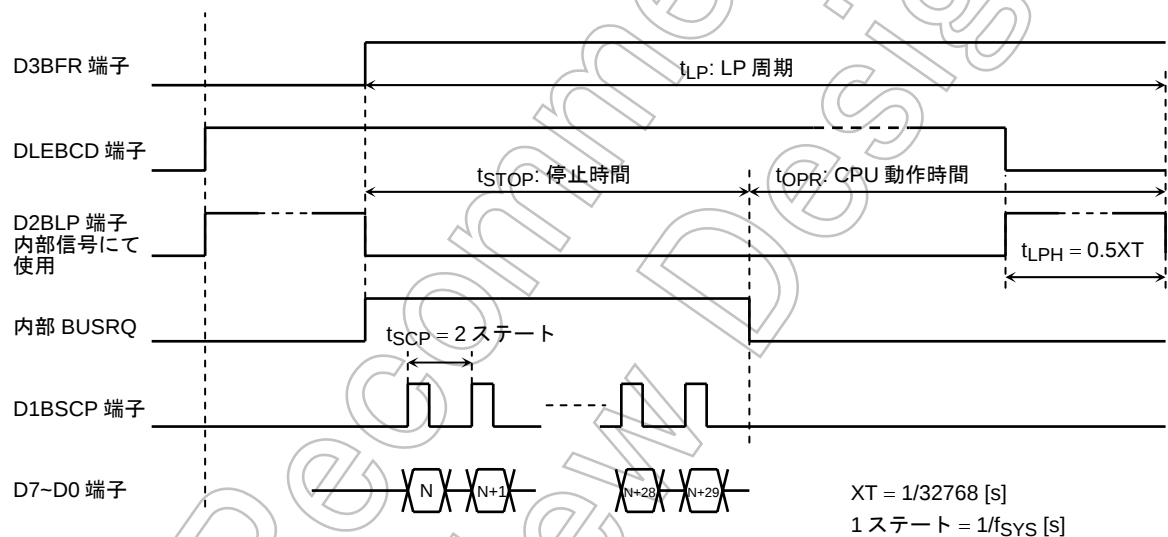


図 3.14.15 SR モード詳細タイミング図

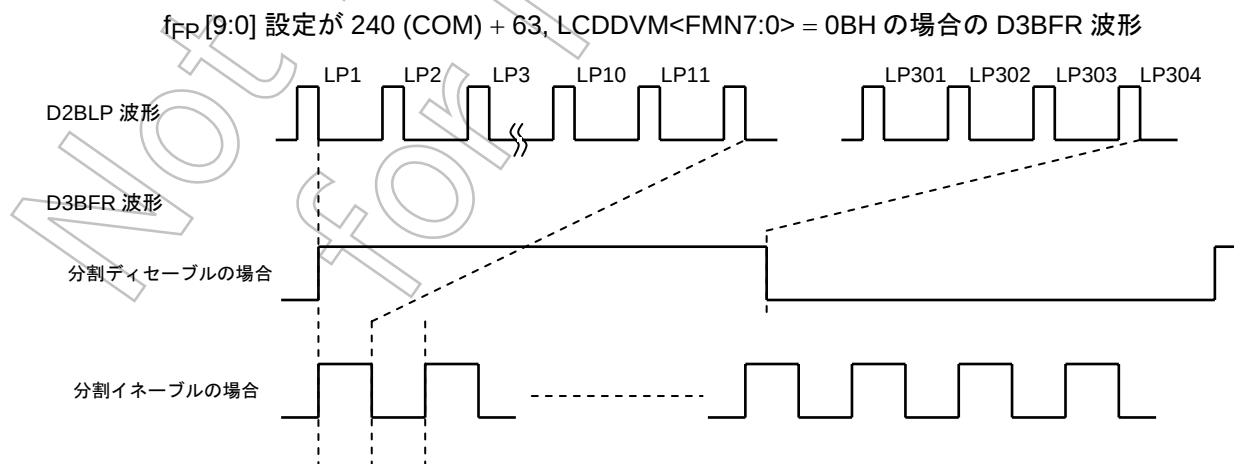


図 3.14.16 D2BLP, D3BFR 端子の波形

表 3.14.8 コモン数別フレーム周期一覧表

| D        | 3     | 2.5   | 2     | 1.5   | 1.5   | 1     | 1     |
|----------|-------|-------|-------|-------|-------|-------|-------|
| COM      | 128   | 160   | 200   | 240   | 320   | 400   | 480   |
| COM + 0  | 85.33 | 81.92 | 81.92 | 91.02 | 68.27 | 81.92 | 68.27 |
| COM + 1  | 84.67 | 81.41 | 81.51 | 90.64 | 68.05 | 81.72 | 68.12 |
| COM + 2  | 84.02 | 80.91 | 81.11 | 90.27 | 67.84 | 81.51 | 67.98 |
| COM + 3  | 83.38 | 80.41 | 80.71 | 89.90 | 67.63 | 81.31 | 67.84 |
| COM + 4  | 82.75 | 79.92 | 80.31 | 89.53 | 67.42 | 81.11 | 67.70 |
| COM + 5  | 82.13 | 79.44 | 79.92 | 89.16 | 67.22 | 80.91 | 67.56 |
| COM + 6  | 81.51 | 78.96 | 79.53 | 88.80 | 67.01 | 80.71 | 67.42 |
| COM + 7  | 80.91 | 78.49 | 79.15 | 88.44 | 66.81 | 80.51 | 67.29 |
| COM + 8  | 80.31 | 78.02 | 78.77 | 88.09 | 66.60 | 80.31 | 67.15 |
| COM + 9  | 79.73 | 77.56 | 78.39 | 87.73 | 66.40 | 80.12 | 67.01 |
| COM + 10 | 79.15 | 77.10 | 78.02 | 87.38 | 66.20 | 79.92 | 66.87 |
| COM + 11 | 78.58 | 76.65 | 77.65 | 87.03 | 66.00 | 79.73 | 66.74 |
| COM + 12 | 78.02 | 76.20 | 77.28 | 86.69 | 65.80 | 79.53 | 66.60 |
| COM + 13 | 77.47 | 75.76 | 76.92 | 86.35 | 65.60 | 79.34 | 66.47 |
| COM + 14 | 76.92 | 75.33 | 76.56 | 86.01 | 65.41 | 79.15 | 66.33 |
| COM + 15 | 76.38 | 74.90 | 76.20 | 85.67 | 65.21 | 78.96 | 66.20 |
| COM + 16 | 75.85 | 74.47 | 75.85 | 85.33 | 65.02 | 78.77 | 66.06 |
| COM + 17 | 75.33 | 74.05 | 75.50 | 85.00 | 64.82 | 78.58 | 65.93 |
| COM + 18 | 74.81 | 73.64 | 75.16 | 84.67 | 64.63 | 78.39 | 65.80 |
| COM + 19 | 74.30 | 73.22 | 74.81 | 84.34 | 64.44 | 78.21 | 65.67 |
| COM + 20 | 73.80 | 72.82 | 74.47 | 84.02 | 64.25 | 78.02 | 65.54 |
| COM + 21 | 73.31 | 72.42 | 74.14 | 83.70 | 64.06 | 77.83 | 65.41 |
| COM + 22 | 72.82 | 72.02 | 73.80 | 83.38 | 63.88 | 77.65 | 65.27 |
| COM + 23 | 72.34 | 71.62 | 73.47 | 83.06 | 63.69 | 77.47 | 65.15 |
| COM + 24 | 71.86 | 71.23 | 73.14 | 82.75 | 63.50 | 77.28 | 65.02 |
| COM + 25 | 71.39 | 70.85 | 72.82 | 82.44 | 63.32 | 77.10 | 64.89 |
| COM + 26 | 70.93 | 70.47 | 72.50 | 82.13 | 63.14 | 76.92 | 64.76 |
| COM + 27 | 70.47 | 70.09 | 72.18 | 81.82 | 62.95 | 76.74 | 64.63 |
| COM + 28 | 70.02 | 69.72 | 71.86 | 81.51 | 62.77 | 76.56 | 64.50 |
| COM + 29 | 69.57 | 69.35 | 71.55 | 81.21 | 62.59 | 76.38 | 64.38 |
| COM + 30 | 69.13 | 68.99 | 71.23 | 80.91 | 62.42 | 76.20 | 64.25 |
| COM + 31 | 68.70 | 68.62 | 70.93 | 80.61 | 62.24 | 76.03 | 64.13 |
| COM + 32 | 68.27 | 68.27 | 70.62 | 80.31 | 62.06 | 75.85 | 64.00 |
| COM + 33 | 67.84 | 67.91 | 70.32 | 80.02 | 61.88 | 75.68 | 63.88 |
| COM + 34 | 67.42 | 67.56 | 70.02 | 79.73 | 61.71 | 75.50 | 63.75 |
| COM + 35 | 67.01 | 67.22 | 69.72 | 79.44 | 61.54 | 75.33 | 63.63 |
| COM + 36 | 66.60 | 66.87 | 69.42 | 79.15 | 61.36 | 75.16 | 63.50 |
| COM + 37 | 66.20 | 66.53 | 69.13 | 78.86 | 61.19 | 74.98 | 63.38 |
| COM + 38 | 65.80 | 66.20 | 68.84 | 78.58 | 61.02 | 74.81 | 63.26 |
| COM + 39 | 65.41 | 65.87 | 68.55 | 78.30 | 60.85 | 74.64 | 63.14 |
| COM + 40 | 65.02 | 65.54 | 68.27 | 78.02 | 60.68 | 74.47 | 63.02 |
| COM + 41 | 64.63 | 65.21 | 67.98 | 77.74 | 60.51 | 74.30 | 62.89 |
| COM + 42 | 64.25 | 64.89 | 67.70 | 77.47 | 60.35 | 74.14 | 62.77 |
| COM + 43 | 63.88 | 64.57 | 67.42 | 77.19 | 60.18 | 73.97 | 62.65 |
| COM + 44 | 63.50 | 64.25 | 67.15 | 76.92 | 60.01 | 73.80 | 62.53 |
| COM + 45 | 63.14 | 63.94 | 66.87 | 76.65 | 59.85 | 73.64 | 62.42 |
| COM + 46 | 62.77 | 63.63 | 66.60 | 76.38 | 59.69 | 73.47 | 62.30 |
| COM + 47 | 62.42 | 63.32 | 66.33 | 76.12 | 59.52 | 73.31 | 62.18 |
| COM + 48 | 62.06 | 63.02 | 66.06 | 75.85 | 59.36 | 73.14 | 62.06 |
| COM + 49 | 61.71 | 62.71 | 65.80 | 75.59 | 59.20 | 72.98 | 61.94 |
| COM + 50 | 61.36 | 62.42 | 65.54 | 75.33 | 59.04 | 72.82 | 61.83 |
| COM + 51 | 61.02 | 62.12 | 65.27 | 75.07 | 58.88 | 72.66 | 61.71 |

| D        | 3     | 2.5   | 2     | 1.5   | 1.5   | 1     | 1     |
|----------|-------|-------|-------|-------|-------|-------|-------|
| COM      | 128   | 160   | 200   | 240   | 320   | 400   | 480   |
| COM + 52 | 60.68 | 61.83 | 65.02 | 74.81 | 58.72 | 72.50 | 61.59 |
| COM + 53 | 60.35 | 61.54 | 64.76 | 74.56 | 58.57 | 72.34 | 61.48 |
| COM + 54 | 60.01 | 61.25 | 64.50 | 74.30 | 58.41 | 72.18 | 61.36 |
| COM + 55 | 59.69 | 60.96 | 64.25 | 74.05 | 58.25 | 72.02 | 61.25 |
| COM + 56 | 59.36 | 60.68 | 64.00 | 73.80 | 58.10 | 71.86 | 61.13 |
| COM + 57 | 59.04 | 60.40 | 63.75 | 73.55 | 57.95 | 71.70 | 61.02 |
| COM + 58 | 58.72 | 60.12 | 63.50 | 73.31 | 57.79 | 71.55 | 60.91 |
| COM + 59 | 58.41 | 59.85 | 63.26 | 73.06 | 57.64 | 71.39 | 60.79 |
| COM + 60 | 58.10 | 59.58 | 63.02 | 72.82 | 57.49 | 71.23 | 60.68 |
| COM + 61 | 57.79 | 59.31 | 62.77 | 72.58 | 57.34 | 71.08 | 60.57 |
| COM + 62 | 57.49 | 59.04 | 62.53 | 72.34 | 57.19 | 70.93 | 60.46 |
| COM + 63 | 57.19 | 58.78 | 62.30 | 72.10 | 57.04 | 70.77 | 60.35 |
| COM + 64 | 56.89 | 58.51 | 62.06 | 71.86 | 56.89 | 70.62 | 60.24 |
| COM + 65 | 56.59 | 58.25 | 61.83 | 71.62 | 56.74 | 70.47 | 60.12 |
| COM + 66 | 56.30 | 58.00 | 61.59 | 71.39 | 56.59 | 70.32 | 60.01 |
| COM + 67 | 56.01 | 57.74 | 61.36 | 71.16 | 56.45 | 70.17 | 59.90 |
| COM + 68 | 55.73 | 57.49 | 61.13 | 70.93 | 56.30 | 70.02 | 59.80 |
| COM + 69 | 55.45 | 57.24 | 60.91 | 70.70 | 56.16 | 69.87 | 59.69 |
| COM + 70 | 55.16 | 56.99 | 60.68 | 70.47 | 56.01 | 69.72 | 59.58 |
| COM + 71 | 54.89 | 56.74 | 60.46 | 70.24 | 55.87 | 69.57 | 59.47 |
| COM + 72 | 54.61 | 56.50 | 60.24 | 70.02 | 55.73 | 69.42 | 59.36 |
| COM + 73 | 54.34 | 56.25 | 60.01 | 69.79 | 55.59 | 69.28 | 59.25 |
| COM + 74 | 54.07 | 56.01 | 59.80 | 69.57 | 55.45 | 69.13 | 59.15 |
| COM + 75 | 53.81 | 55.78 | 59.58 | 69.35 | 55.30 | 68.99 | 59.04 |
| COM + 76 | 53.54 | 55.54 | 59.36 | 69.13 | 55.16 | 68.84 | 58.94 |
| COM + 77 | 53.28 | 55.30 | 59.15 | 68.91 | 55.03 | 68.70 | 58.83 |
| COM + 78 | 53.02 | 55.07 | 58.94 | 68.70 | 54.89 | 68.55 | 58.72 |
| COM + 79 | 52.77 | 54.84 | 58.72 | 68.48 | 54.75 | 68.41 | 58.62 |
| COM + 80 | 52.51 | 54.61 | 58.51 | 68.27 | 54.61 | 68.27 | 58.51 |

注) 上記の値は、 $f_s = 32.768$  [KHz] 時の値です。

表 3.14.9 各セグメント数, コモン数における CPU 停止時間  $t_{STOP}$ , 占有率一覧表

## (1) SDRAM (バースト) -16 ビット, 8/16 階調

| セグメント | コモン                   | 128  | 160  | 200 | 240  | 320  | 400  | 480  |
|-------|-----------------------|------|------|-----|------|------|------|------|
|       | D                     | 3    | 2.5  | 2   | 1.5  | 1.5  | 1    | 1    |
|       | $t_{LP}$ [ $\mu$ s]   | 91.6 | 76.3 | 61  | 45.8 | 45.8 | 30.5 | 30.5 |
| 128   | $t_{STOP}$ [ $\mu$ s] | 1.2  | 1.2  | 1.2 | 1.2  | 1.2  | 1.2  | 1.2  |
|       | RATE [%]              | 1.3  | 1.6  | 2.0 | 2.6  | 2.6  | 3.9  | 3.9  |
| 160   | $t_{STOP}$ [ $\mu$ s] | 1.4  | 1.4  | 1.4 | 1.4  | 1.4  | 1.4  | 1.4  |
|       | RATE [%]              | 1.5  | 1.8  | 2.3 | 3.1  | 3.1  | 4.6  | 4.6  |
| 240   | $t_{STOP}$ [ $\mu$ s] | 1.9  | 1.9  | 1.9 | 1.9  | 1.9  | 1.9  | 1.9  |
|       | RATE [%]              | 2.1  | 2.5  | 3.1 | 4.1  | 4.1  | 6.2  | 6.2  |
| 320   | $t_{STOP}$ [ $\mu$ s] | 2.4  | 2.4  | 2.4 | 2.4  | 2.4  | 2.4  | 2.4  |
|       | RATE [%]              | 2.6  | 3.1  | 3.9 | 5.2  | 5.2  | 7.9  | 7.9  |
| 400   | $t_{STOP}$ [ $\mu$ s] | 2.9  | 2.9  | 2.9 | 2.9  | 2.9  | 2.9  | 2.9  |
|       | RATE [%]              | 3.2  | 3.8  | 4.8 | 6.3  | 6.3  | 9.5  | 9.5  |
| 480   | $t_{STOP}$ [ $\mu$ s] | 3.4  | 3.4  | 3.4 | 3.4  | 3.4  | 3.4  | 3.4  |
|       | RATE [%]              | 3.7  | 4.5  | 5.6 | 7.4  | 7.4  | 11.1 | 11.1 |
| 560   | $t_{STOP}$ [ $\mu$ s] | 3.9  | 3.9  | 3.9 | 3.9  | 3.9  | 3.9  | 3.9  |
|       | RATE [%]              | 4.3  | 5.1  | 6.4 | 8.5  | 8.5  | 12.8 | 12.8 |
| 640   | $t_{STOP}$ [ $\mu$ s] | 4.4  | 4.4  | 4.4 | 4.4  | 4.4  | 4.4  | 4.4  |
|       | RATE [%]              | 4.8  | 5.8  | 7.2 | 9.6  | 9.6  | 14.4 | 14.4 |

## (2) SDRAM (バースト) -16 ビット, 4 階調

| セグメント | コモン                   | 128  | 160  | 200 | 240  | 320  | 400  | 480  |
|-------|-----------------------|------|------|-----|------|------|------|------|
|       | D                     | 3    | 2.5  | 2   | 1.5  | 1.5  | 1    | 1    |
|       | $t_{LP}$ [ $\mu$ s]   | 91.6 | 76.3 | 61  | 45.8 | 45.8 | 30.5 | 30.5 |
| 128   | $t_{STOP}$ [ $\mu$ s] | 1.2  | 1.2  | 1.2 | 1.2  | 1.2  | 1.2  | 1.2  |
|       | RATE [%]              | 1.3  | 1.6  | 2.0 | 2.6  | 2.6  | 3.9  | 3.9  |
| 160   | $t_{STOP}$ [ $\mu$ s] | 1.4  | 1.4  | 1.4 | 1.4  | 1.4  | 1.4  | 1.4  |
|       | RATE [%]              | 1.5  | 1.8  | 2.3 | 3.1  | 3.1  | 4.6  | 4.6  |
| 240   | $t_{STOP}$ [ $\mu$ s] | 1.9  | 1.9  | 1.9 | 1.9  | 1.9  | 1.9  | 1.9  |
|       | RATE [%]              | 2.1  | 2.5  | 3.1 | 4.1  | 4.1  | 6.2  | 6.2  |
| 320   | $t_{STOP}$ [ $\mu$ s] | 2.4  | 2.4  | 2.4 | 2.4  | 2.4  | 2.4  | 2.4  |
|       | RATE [%]              | 2.6  | 3.1  | 3.9 | 5.2  | 5.2  | 7.9  | 7.9  |
| 400   | $t_{STOP}$ [ $\mu$ s] | 2.9  | 2.9  | 2.9 | 2.9  | 2.9  | 2.9  | 2.9  |
|       | RATE [%]              | 3.2  | 3.8  | 4.8 | 6.3  | 6.3  | 9.5  | 9.5  |
| 480   | $t_{STOP}$ [ $\mu$ s] | 3.4  | 3.4  | 3.4 | 3.4  | 3.4  | 3.4  | 3.4  |
|       | RATE [%]              | 3.7  | 4.5  | 5.6 | 7.4  | 7.4  | 11.1 | 11.1 |
| 560   | $t_{STOP}$ [ $\mu$ s] | 3.9  | 3.9  | 3.9 | 3.9  | 3.9  | 3.9  | 3.9  |
|       | RATE [%]              | 4.3  | 5.1  | 6.4 | 8.5  | 8.5  | 12.8 | 12.8 |
| 640   | $t_{STOP}$ [ $\mu$ s] | 4.4  | 4.4  | 4.4 | 4.4  | 4.4  | 4.4  | 4.4  |
|       | RATE [%]              | 4.8  | 5.8  | 7.2 | 9.6  | 9.6  | 14.4 | 14.4 |

## (3) SDRAM (バースト)・16 ビット, モノクローム

| セグメント | コモン                    | 128  | 160  | 200 | 240  | 320  | 400  | 480  |
|-------|------------------------|------|------|-----|------|------|------|------|
|       | D                      | 3    | 2.5  | 2   | 1.5  | 1.5  | 1    | 1    |
|       | t <sub>LP</sub> [μs]   | 91.6 | 76.3 | 61  | 45.8 | 45.8 | 30.5 | 30.5 |
| 128   | t <sub>STOP</sub> [μs] | 0.8  | 0.8  | 0.8 | 0.8  | 0.8  | 0.8  | 0.8  |
|       | RATE [%]               | 0.9  | 1.0  | 1.3 | 1.7  | 1.7  | 2.6  | 2.6  |
| 160   | t <sub>STOP</sub> [μs] | 0.9  | 0.9  | 0.9 | 0.9  | 0.9  | 0.9  | 0.9  |
|       | RATE [%]               | 1.0  | 1.2  | 1.5 | 2.0  | 2.0  | 3.0  | 3.0  |
| 240   | t <sub>STOP</sub> [μs] | 1.2  | 1.2  | 1.2 | 1.2  | 1.2  | 1.2  | 1.2  |
|       | RATE [%]               | 1.3  | 1.5  | 1.9 | 2.5  | 2.5  | 3.8  | 3.8  |
| 320   | t <sub>STOP</sub> [μs] | 1.4  | 1.4  | 1.4 | 1.4  | 1.4  | 1.4  | 1.4  |
|       | RATE [%]               | 1.5  | 1.8  | 2.3 | 3.1  | 3.1  | 4.6  | 4.6  |
| 400   | t <sub>STOP</sub> [μs] | 1.7  | 1.7  | 1.7 | 1.7  | 1.7  | 1.7  | 1.7  |
|       | RATE [%]               | 1.8  | 2.2  | 2.7 | 3.6  | 3.6  | 5.4  | 5.4  |
| 480   | t <sub>STOP</sub> [μs] | 1.9  | 1.9  | 1.9 | 1.9  | 1.9  | 1.9  | 1.9  |
|       | RATE [%]               | 2.1  | 2.5  | 3.1 | 4.1  | 4.1  | 6.2  | 6.2  |
| 560   | t <sub>STOP</sub> [μs] | 2.2  | 2.2  | 2.2 | 2.2  | 2.2  | 2.2  | 2.2  |
|       | RATE [%]               | 2.3  | 2.8  | 3.5 | 4.7  | 4.7  | 7.0  | 7.0  |
| 640   | t <sub>STOP</sub> [μs] | 2.4  | 2.4  | 2.4 | 2.4  | 2.4  | 2.4  | 2.4  |
|       | RATE [%]               | 2.6  | 3.1  | 3.9 | 5.2  | 5.2  | 7.9  | 7.9  |

## (4) SRAM (2 ステート)・16 ビット, 8/16 階調 注 2)

| セグメント | コモン                    | 128  | 160  | 200  | 240  | 320  | 400  | 480  |
|-------|------------------------|------|------|------|------|------|------|------|
|       | D                      | 3    | 2.5  | 2    | 1.5  | 1.5  | 1    | 1    |
|       | t <sub>LP</sub> [μs]   | 91.6 | 76.3 | 61   | 45.8 | 45.8 | 30.5 | 30.5 |
| 128   | t <sub>STOP</sub> [μs] | 3.4  | 3.4  | 3.4  | 3.4  | 3.4  | 3.4  | 3.4  |
|       | RATE [%]               | 3.7  | 4.4  | 5.5  | 7.3  | 7.3  | 11.0 | 11.0 |
| 160   | t <sub>STOP</sub> [μs] | 4.2  | 4.2  | 4.2  | 4.2  | 4.2  | 4.2  | 4.2  |
|       | RATE [%]               | 4.5  | 5.4  | 6.8  | 9.1  | 9.1  | 13.6 | 13.6 |
| 240   | t <sub>STOP</sub> [μs] | 6.2  | 6.2  | 6.2  | 6.2  | 6.2  | 6.2  | 6.2  |
|       | RATE [%]               | 6.7  | 8.1  | 10.1 | 13.4 | 13.4 | 20.2 | 20.2 |
| 320   | t <sub>STOP</sub> [μs] | 8.2  | 8.2  | 8.2  | 8.2  | 8.2  | 8.2  | 8.2  |
|       | RATE [%]               | 8.9  | 10.7 | 13.4 | 17.8 | 17.8 | 26.7 | 26.7 |
| 400   | t <sub>STOP</sub> [μs] | 10.2 | 10.2 | 10.2 | 10.2 | 10.2 | 10.2 | 10.2 |
|       | RATE [%]               | 11.1 | 13.3 | 16.6 | 22.2 | 22.2 | 33.3 | 33.3 |
| 480   | t <sub>STOP</sub> [μs] | 12.2 | 12.2 | 12.2 | 12.2 | 12.2 | 12.2 | 12.2 |
|       | RATE [%]               | 13.3 | 15.9 | 19.9 | 26.5 | 26.5 | 39.8 | 39.8 |
| 560   | t <sub>STOP</sub> [μs] | 14.2 | 14.2 | 14.2 | 14.2 | 14.2 | 14.2 | 14.2 |
|       | RATE [%]               | 15.4 | 18.5 | 23.2 | 30.9 | 30.9 | 46.4 | 46.4 |
| 640   | t <sub>STOP</sub> [μs] | 16.2 | 16.2 | 16.2 | 16.2 | 16.2 | 16.2 | 16.2 |
|       | RATE [%]               | 17.6 | 21.2 | 26.5 | 35.3 | 35.3 | 53.0 | 53.0 |

(5) SRAM (2 ステート)・16 ビット, 4 階調 注 2)

| セグメント | コモン                    | 128  | 160  | 200  | 240  | 320  | 400  | 480  |
|-------|------------------------|------|------|------|------|------|------|------|
|       | D                      | 3    | 2.5  | 2    | 1.5  | 1.5  | 1    | 1    |
|       | t <sub>LP</sub> [μs]   | 91.6 | 76.3 | 61   | 45.8 | 45.8 | 30.5 | 30.5 |
| 128   | t <sub>STOP</sub> [μs] | 1.8  | 1.8  | 1.8  | 1.8  | 1.8  | 1.8  | 1.8  |
|       | RATE [%]               | 1.9  | 2.3  | 2.9  | 3.8  | 3.8  | 5.7  | 5.7  |
| 160   | t <sub>STOP</sub> [μs] | 2.2  | 2.2  | 2.2  | 2.2  | 2.2  | 2.2  | 2.2  |
|       | RATE [%]               | 2.3  | 2.8  | 3.5  | 4.7  | 4.7  | 7.0  | 7.0  |
| 240   | t <sub>STOP</sub> [μs] | 3.2  | 3.2  | 3.2  | 3.2  | 3.2  | 3.2  | 3.2  |
|       | RATE [%]               | 3.4  | 4.1  | 5.2  | 6.9  | 6.9  | 10.3 | 10.3 |
| 320   | t <sub>STOP</sub> [μs] | 4.2  | 4.2  | 4.2  | 4.2  | 4.2  | 4.2  | 4.2  |
|       | RATE [%]               | 4.5  | 5.4  | 6.8  | 9.1  | 9.1  | 13.6 | 13.6 |
| 400   | t <sub>STOP</sub> [μs] | 5.2  | 5.2  | 5.2  | 5.2  | 5.2  | 5.2  | 5.2  |
|       | RATE [%]               | 5.6  | 6.7  | 8.4  | 11.2 | 11.2 | 16.9 | 16.9 |
| 480   | t <sub>STOP</sub> [μs] | 6.2  | 6.2  | 6.2  | 6.2  | 6.2  | 6.2  | 6.2  |
|       | RATE [%]               | 6.7  | 8.1  | 10.1 | 13.4 | 13.4 | 20.2 | 20.2 |
| 560   | t <sub>STOP</sub> [μs] | 7.2  | 7.2  | 7.2  | 7.2  | 7.2  | 7.2  | 7.2  |
|       | RATE [%]               | 7.8  | 9.4  | 11.7 | 15.6 | 15.6 | 23.4 | 23.4 |
| 640   | t <sub>STOP</sub> [μs] | 8.2  | 8.2  | 8.2  | 8.2  | 8.2  | 8.2  | 8.2  |
|       | RATE [%]               | 8.9  | 10.7 | 13.4 | 17.8 | 17.8 | 26.7 | 26.7 |

(6) SRAM (2 ステート)・16 ビット, モノクローム 注 2)

| セグメント | コモン                    | 128  | 160  | 200 | 240  | 320  | 400  | 480  |
|-------|------------------------|------|------|-----|------|------|------|------|
|       | D                      | 3    | 2.5  | 2   | 1.5  | 1.5  | 1    | 1    |
|       | t <sub>LP</sub> [μs]   | 91.6 | 76.3 | 61  | 45.8 | 45.8 | 30.5 | 30.5 |
| 128   | t <sub>STOP</sub> [μs] | 1.0  | 1.0  | 1.0 | 1.0  | 1.0  | 1.0  | 1.0  |
|       | RATE [%]               | 1.0  | 1.2  | 1.6 | 2.1  | 2.1  | 3.1  | 3.1  |
| 160   | t <sub>STOP</sub> [μs] | 1.2  | 1.2  | 1.2 | 1.2  | 1.2  | 1.2  | 1.2  |
|       | RATE [%]               | 1.3  | 1.5  | 1.9 | 2.5  | 2.5  | 3.8  | 3.8  |
| 240   | t <sub>STOP</sub> [μs] | 1.7  | 1.7  | 1.7 | 1.7  | 1.7  | 1.7  | 1.7  |
|       | RATE [%]               | 1.8  | 2.2  | 2.7 | 3.6  | 3.6  | 5.4  | 5.4  |
| 320   | t <sub>STOP</sub> [μs] | 2.2  | 2.2  | 2.2 | 2.2  | 2.2  | 2.2  | 2.2  |
|       | RATE [%]               | 2.3  | 2.8  | 3.5 | 4.7  | 4.7  | 7.0  | 7.0  |
| 400   | t <sub>STOP</sub> [μs] | 2.7  | 2.7  | 2.7 | 2.7  | 2.7  | 2.7  | 2.7  |
|       | RATE [%]               | 2.9  | 3.5  | 4.3 | 5.8  | 5.8  | 8.7  | 8.7  |
| 480   | t <sub>STOP</sub> [μs] | 3.2  | 3.2  | 3.2 | 3.2  | 3.2  | 3.2  | 3.2  |
|       | RATE [%]               | 3.4  | 4.1  | 5.2 | 6.9  | 6.9  | 10.3 | 10.3 |
| 560   | t <sub>STOP</sub> [μs] | 3.7  | 3.7  | 3.7 | 3.7  | 3.7  | 3.7  | 3.7  |
|       | RATE [%]               | 4.0  | 4.8  | 6.0 | 8.0  | 8.0  | 12.0 | 12.0 |
| 640   | t <sub>STOP</sub> [μs] | 4.2  | 4.2  | 4.2 | 4.2  | 4.2  | 4.2  | 4.2  |
|       | RATE [%]               | 4.5  | 5.4  | 6.8 | 9.1  | 9.1  | 13.6 | 13.6 |

注 1) これらの表は下記の条件で算出しています。

- 1) f<sub>SYS</sub> = 20 [MHz]
- 2) f<sub>s</sub> = 32.768 [KHz]
- 3) 上記の数字は、SDRAM の 8 ステートにおける値と SRAM の 3 ステートにおける値です。

注 2) SRAM 表 (4)~(6) の t<sub>STOP</sub> 値は、2 ステート時の値を計算したものです。

表 3.14.10 パン可能なパネルサイズ

## 64 ビット SDRAM モード

|        |     |      |      |     |     |     |     |     |     |     |
|--------|-----|------|------|-----|-----|-----|-----|-----|-----|-----|
| 水平方向   | SEG | 128  | 160  | 240 | 320 | 400 | 480 | 560 | 640 |     |
| モノクローム |     | 16.0 | 12.8 | 8.5 | 6.2 | 5.1 | 4.3 | 3.7 | 3.2 | パネル |
| 4 階調   |     | 16.0 | 12.8 | 8.5 | 6.4 | 5.1 | 4.3 | 3.7 | 3.2 | パネル |
| 8 階調   |     | 8.0  | 6.4  | 4.3 | 3.2 | 2.6 | 2.1 | 1.8 | 1.6 | パネル |
| 16 階調  |     | 8.0  | 6.4  | 4.3 | 3.2 | 2.6 | 2.1 | 1.8 | 1.6 | パネル |

## 垂直方向

|     |      |      |      |      |      |      |     |     |
|-----|------|------|------|------|------|------|-----|-----|
| COM | 128  | 160  | 200  | 240  | 320  | 400  | 480 |     |
|     | 32.0 | 25.6 | 20.5 | 17.1 | 12.8 | 10.2 | 8.5 | パネル |

## 128 ビット SDRAM モード

|        |     |      |      |      |      |      |     |     |     |     |
|--------|-----|------|------|------|------|------|-----|-----|-----|-----|
| 水平方向   | SEG | 128  | 160  | 240  | 320  | 400  | 480 | 560 | 640 |     |
| モノクローム |     | 32.0 | 25.6 | 17.1 | 12.8 | 10.2 | 8.5 | 7.3 | 6.4 | パネル |
| 4 階調   |     | 32.0 | 25.6 | 17.1 | 12.8 | 10.2 | 8.5 | 7.3 | 6.4 | パネル |
| 8 階調   |     | 16.0 | 12.8 | 8.5  | 6.4  | 5.1  | 4.3 | 3.7 | 3.2 | パネル |
| 16 階調  |     | 16.0 | 12.8 | 8.5  | 6.4  | 5.1  | 4.3 | 3.7 | 3.2 | パネル |

## 垂直方向

|     |      |      |      |      |      |      |     |     |
|-----|------|------|------|------|------|------|-----|-----|
| COM | 128  | 160  | 200  | 240  | 320  | 400  | 480 |     |
|     | 32.0 | 25.6 | 20.5 | 17.1 | 12.8 | 10.2 | 8.5 | パネル |

## SRAM モード

|        |     |      |      |      |      |      |     |     |     |     |
|--------|-----|------|------|------|------|------|-----|-----|-----|-----|
| 水平方向   | SEG | 128  | 160  | 240  | 320  | 400  | 480 | 560 | 640 |     |
| モノクローム |     | 32.0 | 25.6 | 17.1 | 12.8 | 10.2 | 8.5 | 7.3 | 6.4 | パネル |
| 4 階調   |     | 16.0 | 12.8 | 8.5  | 6.4  | 5.1  | 4.3 | 3.7 | 3.2 | パネル |
| 8 階調   |     | 8.0  | 6.4  | 4.3  | 3.2  | 2.6  | 2.1 | 1.8 | 1.6 | パネル |
| 16 階調  |     | 8.0  | 6.4  | 4.3  | 3.2  | 2.6  | 2.1 | 1.8 | 1.6 | パネル |

## 垂直方向

|     |      |      |      |      |      |      |     |     |
|-----|------|------|------|------|------|------|-----|-----|
| COM | 128  | 160  | 200  | 240  | 320  | 400  | 480 |     |
|     | 32.0 | 25.6 | 20.5 | 17.1 | 12.8 | 10.2 | 8.5 | パネル |

注 1) 表 3.14.8 の値は、 $f_{\text{FPH}} = 36$  [MHz] 時の値です。

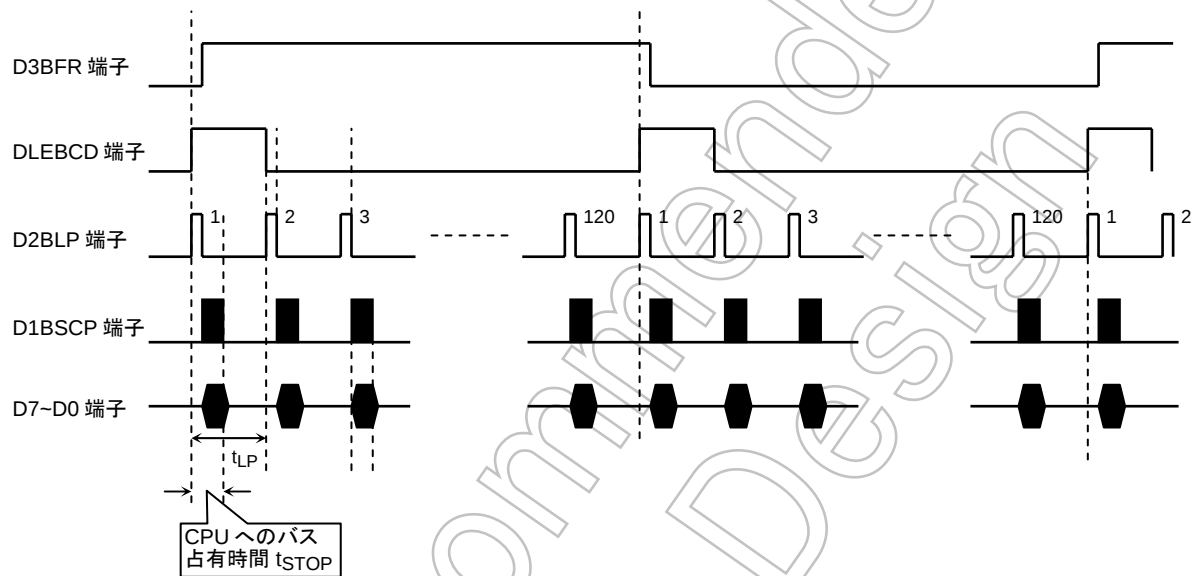
注 2) CPU停止時間 $t_{\text{STOP}}$  (図 3.14.17参照) の数値は、転送元メモリを0ウェイトでリードしたときの値です。

注 3) 下記図の  $t_{\text{LP}}$  は次のような計算式で求めることができます。 ( $f_s = 32.768$  [KHz])

$$t_{\text{LP}} = D/32768 \text{ [s]}$$

(例) 240 コモンの場合、表 3.14.8より、 $D = 1.5$

$$t_{\text{LP}} = 1.5/32768 = 45.8 \text{ [}\mu\text{s]}$$



注) CPUへのバス占有率 =  $t_{\text{STOP}}/t_{\text{LP}}$  より求められます。

図 3.14.17 CPU 停止時間  $t_{\text{STOP}}$  と占有率

## 3.14.4.6 LCD ドライバへのタイミングチャート

TMP92C820 は、いくつかのメモリアクセスモードを持っています。使用できるメモリは、ウェイト数が指定できるSRAMと、64 M/128 MビットのSDRAM (BURSTモード) です。LCD ドライバへのアクセスタイミングは 図 3.14.18を参照してください。TMP92C820 は 80 バイトのFIFOを内蔵しているため、CPUが高速で動作している場合でも、動作が遅いLCDドライバを使用することが可能です。4種類のD1BSCP周期 ( $f_{SYS}$ ,  $f_{SYS}/2$ ,  $f_{SYS}/4$ ,  $f_{SYS}/8$ ) から選択できます。出力データ (LD7:0) は、(内蔵FIFO空でない場合) D1BSCPの立ち上がりエッジで出力されます。FIFOは常にD2BLPの立ち上がりエッジで空の状態にリセットされます。BaseSCPモード ( $\langle SCPW1:0 \rangle = 00$ ) では、D1SCPはBaseSCPと等しく、LD[7:0]はBaseLD[7:0]と等しくなります。通常、FIFOへの入力周波数は、出力周波数よりも早くする必要があります。

FIFO が正しく動作するには、次の式を満たすように、SFR を設定しなくてはなりません。

$$(\text{SegNum}/8 + 1) \times \text{tcw} + 24 \times \text{tFPH} < \text{tLP} - \text{tLPH}$$

ここで、SegNum はセグメント数、tcw は D1BSCP 信号のクロック周期、tLP は D2BLP の周期、tLPH は D2BLP 信号の High 周期です。

図 3.14.22からわかるように、最終データLD[7:0]はD2BLPが立ち上がる前に出力される必要があるので、例えば、 $f_{FPH} = 36$  [MHz],  $XT = 32$  [kHz], 4 階調, 240 コモン, 640 セグメント, SDRAM-BURSTモード の場合、下記の表が示すように、base, 2, 4クロックモードの場合は設定可能ですが、8クロックは設定不可能です。

表 3.14.11  $f_{FPH} = 36$  [MHz],  $XT = 32$  [kHz], 4 階調, 240 コモン, 640 セグメント, SDRAM-BURST モードの場合

| SCPW  | D1BSCP 周期 (MHz) | tcw (ns) | $(\text{SegNum}/8 + 1) \times \text{tcw} + 24 \times \text{tFPH}$ (ns) | $\text{tLP} - \text{tLPH}$ (ns) | 設定可否  |
|-------|-----------------|----------|------------------------------------------------------------------------|---------------------------------|-------|
| Base  | 9               | 111.2    | 9674.4                                                                 | 31250                           | OK    |
| 2クロック | 9               | 111.2    | 9674.4                                                                 | 31250                           | OK    |
| 4クロック | 4.5             | 222.4    | 18681.6                                                                | 31250                           | OK    |
| 8クロック | 2.25            | 444.8    | 36696                                                                  | 31250                           | Error |

注) SDRAM-BURST モード, 8/16階調の場合、Base 設定は2クロックの場合と同様の速度になります。

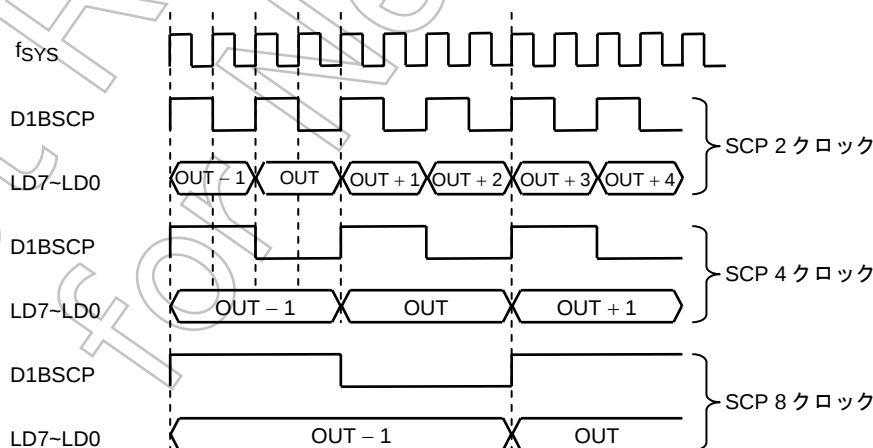
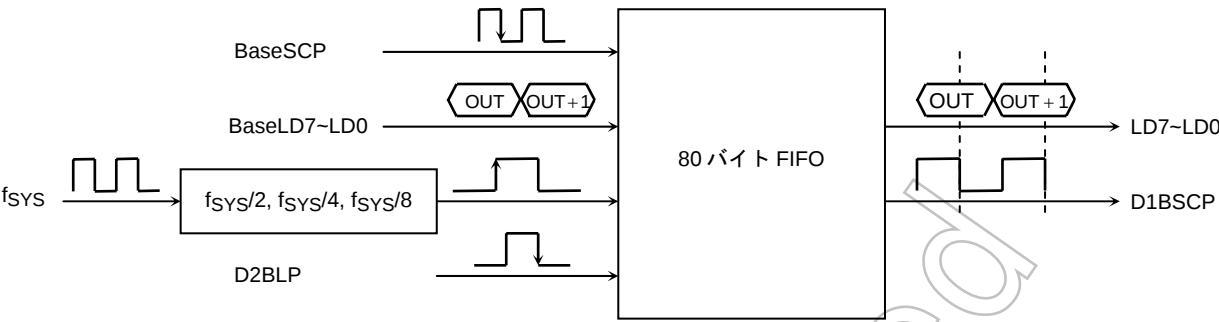


図 3.14.18 LCD ドライバアクセスタイミング図



注) BaseSCP モード (レジスタ設定<SCPW1:0> = 00) においては、D1BCP = BaseSCP, LD [7:0] = BaseLD [7:0] となります。

図 3.14.19 FIFO のタイミング図

SRAM0 ウェイトモード

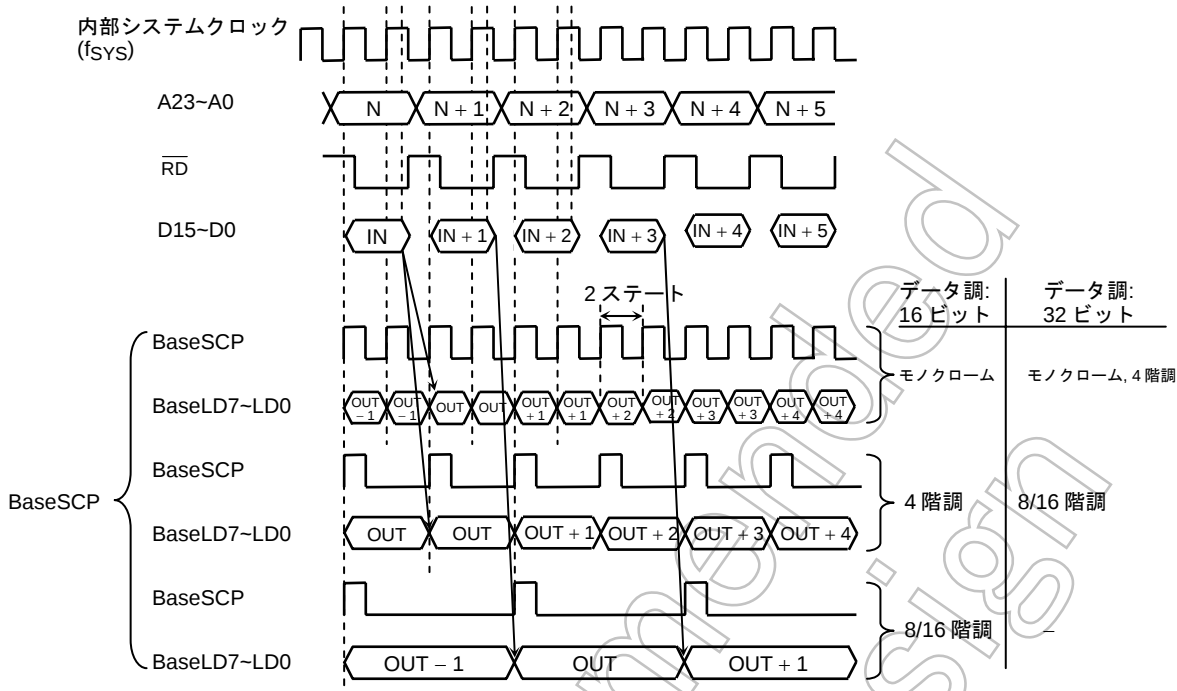


図 3.14.20 SRAM モード時のタイミング図

SDRAM BURST モード

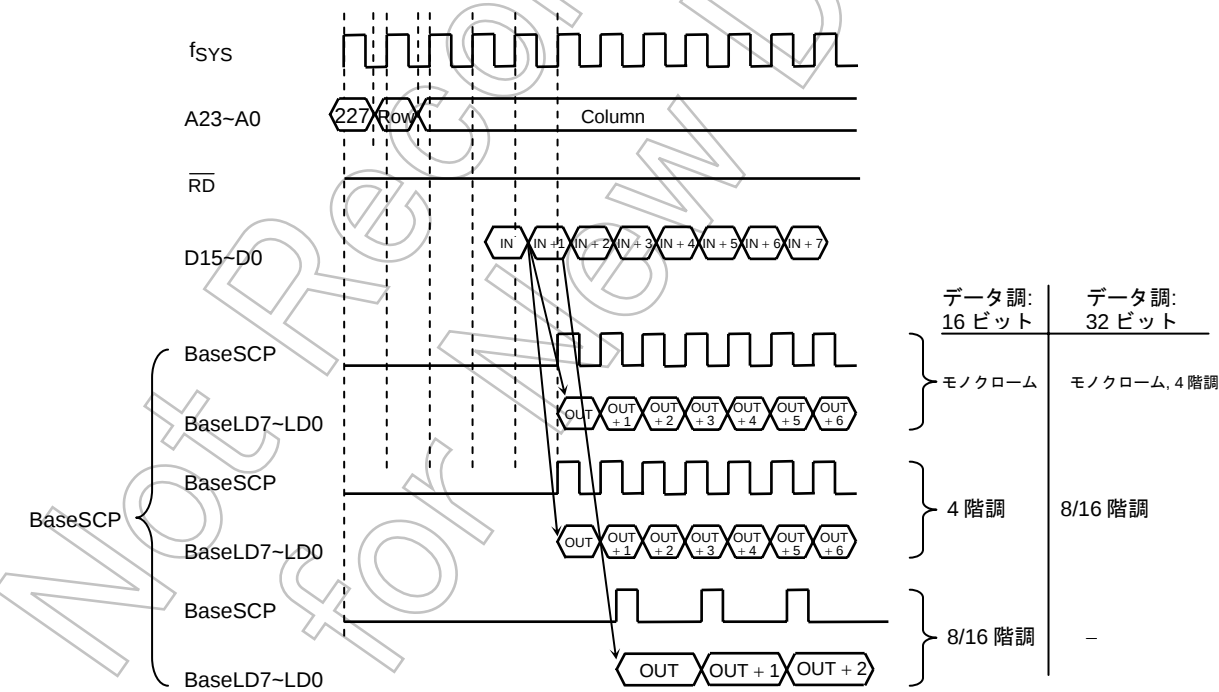
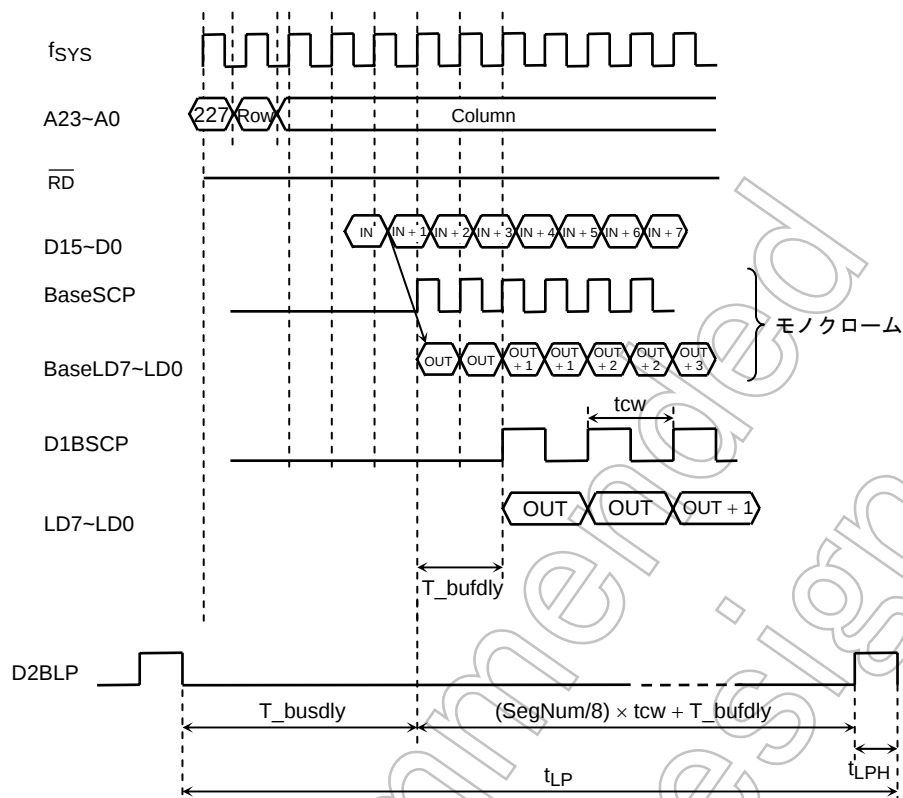


図 3.14.21 SDRAM モード時のタイミング図

## SDRAM BURST1 クロックモード

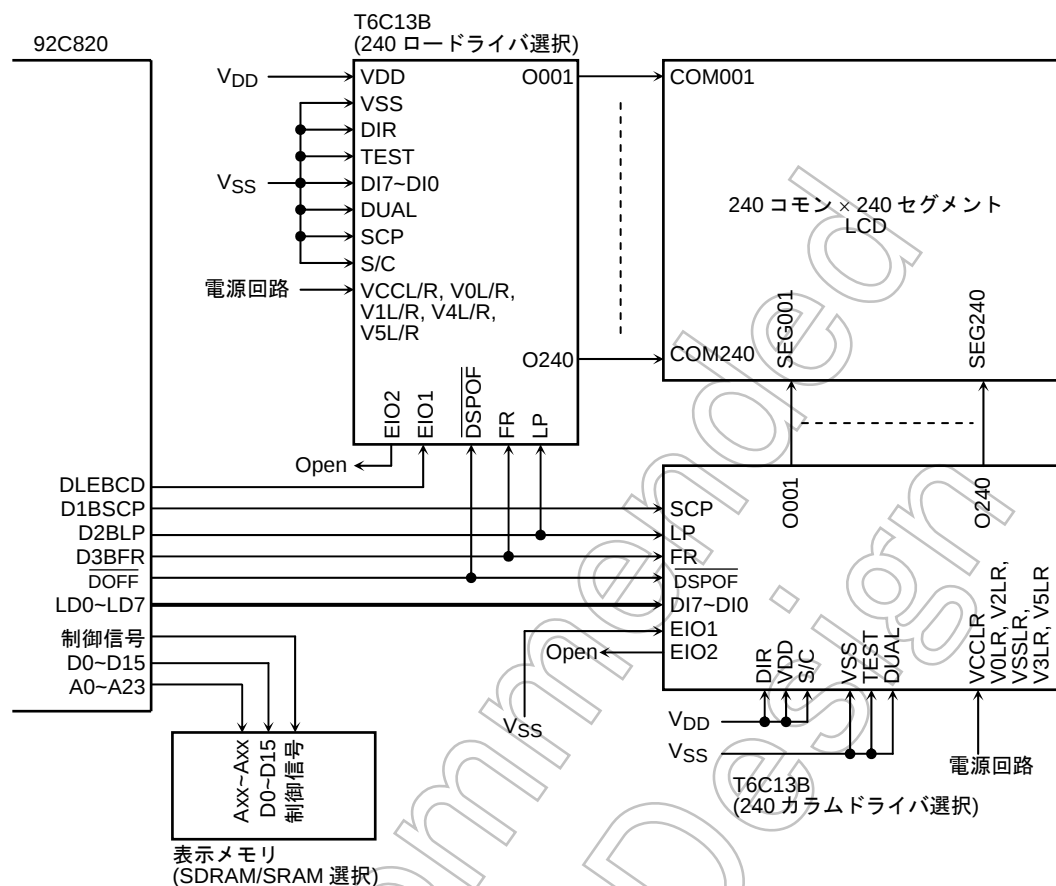


注 1)  $4t_{FPH} \leq T_{budfly} \leq tc + 2t_{FPH}$

注 2)  $T_{budfly}$  は、 $f_{SYS}$  の周期 ( $22 t_{FPH}$ ) の約 11 倍の時間です。

図 3.14.22 FIFO の最大ディレイ時間におけるタイミング図

## 3.14.4.7 SR モード時の LCD ドライバ接続例



- 注 1) 表示メモリは 16 ビットバスのみ対応しています。
- 注 2) LCD ドライバ表示に必要な LCD 駆動電源は、別回路が必要です。
- 注 3) 表示RAMのデータ並びと、出力バスLD0~LD7 の関係はビットパターンをミラー反転した形で出力しますので、接続には注意が必要です。表示RAMのLSBデータがLD7 側から出力されます。上記例の組み合わせの場合はLD0 をLCDDのDI7 へ、LD1 をDI6 へ、という具合での接続となります。詳細は 図 3.14.11 を参照してください。

図 3.14.23 LCD ドライバ接続例

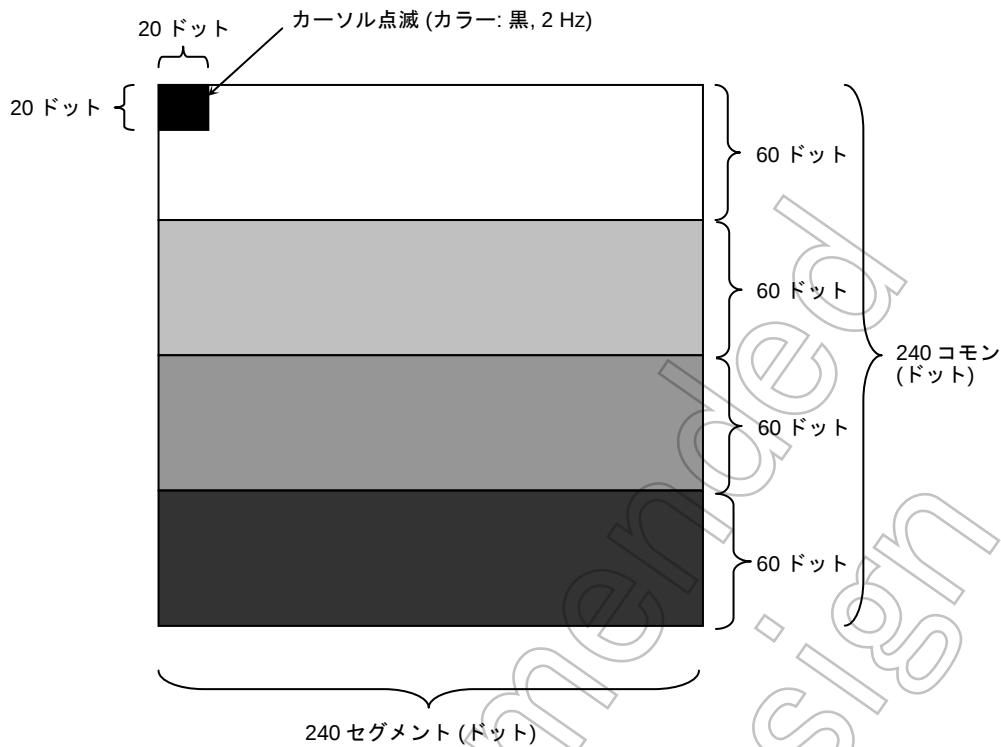


図 3.14.24 下記サンプルプログラムにおける表示イメージ

## 3.14.4.8 プログラム例

- 設定例: 240 セグメント×240 コモン, 4 階調, 64 M ビット SDRAM を使用した場合  
下記は、図 3.14.24 で示される LCD パネルにおけるサンプルプログラムです。

```

;***** SDRAM SET *****
    ld (sdacr), 2bh          ; アドレスマルチプレクスイネーブル, SDRAM
                              ; 64 M ビット選択
    ld (sdr cr), 01h         ; インターバルリフレッシュイネーブル

;***** GLCDC SET *****
    ld (lcdmode), 17h        ; A/B エリア OFF, SDRAM 64 M ビット, SR
                              ; モード
                              ; SCP 幅 2 クロック
    ld (lcddvm), 11          ; フレーム分割 11 カウントセット
    ld (lcdsize), 32h        ; コモン = 240, セグメント = 240
    ld (lcdctl), 20h         ; フレーム分割 ON, ディスプレイ OFF
    ld (lcdffp), 240         ; フレーム周波数補正 (91 Hz)
    ld (lcdgl), 01h          ; 4 階調
    ld (lcdem), 0c1h         ; カーソル ON, 黒, 点滅周期 2 Hz
    ld (lcdw), 19            ; カーソル幅 20 ドット
    ld (lcdch), 19           ; カーソル長 20 ドット
    ld (lcdcp), 00h          ; 補正ビット = 0
    ld (lcdcpl), 00h         ; カーソルスタートアドレス
    ld (lcdcpm), 00h         ; カーソルスタートアドレス
    ld (lcdcph), 40h         ; カーソルスタートアドレス
    ld (lsarch), 40h         ; C エリアスタートアドレス
    ld (lsarc m), 00h        ; C エリアスタートアドレス
    ld (lsarc l), 00h        ; C エリアスタートアドレス

;***** 0/4 data write 60 ROW *****
    ld xix, 400000h          ;
    ld wa, 0000h             ; 0/4 階調データ WRITE (0000000000000000b)
loop1: ld (xix), wa           ;
    inc 2, xix               ;
    cp xix, 407800h          ; 400000H~4077FFH: 60 ROW (ドット)
    jr nz, loop1            ;

;***** 2/4 data write 60 ROW *****
    ld xix, 407800h          ;
    ld wa, 05555h            ; 1/4 階調データ WRITE (0101010101010101b)
loop2: ld (xix), wa           ;
    inc 2, xix               ;
    cp xix, 40F000h          ; 407800H~40EFFFH: 60 ROW (ドット)
    jr nz, loop2            ;

;***** 3/4 data write 60 ROW *****
    ld xix, 40F000h          ;
    ld wa, 0aaaah            ; 2/4 階調データ WRITE (1010101010101010b)
loop3: ld (xix), wa           ;
    inc 2, xix               ;
    cp xix, 416800h          ; 40F000H~4167FFH: 60 ROW (ドット)
    jr nz, loop3            ;

```

```
***** 4/4 data write 60 ROW *****
    ld xix, 416800h          ;
    ld wa, 0ffffh           ; 3/4 階調データ WRITE (11111111111111b)
loop4: ld (xix), wa          ;
    inc 2, xix               ;
    cp xix, 41e000h          ; 416800H~41DFFFH: 60 ROW (ドット)
    jr nz, loop4             ;
***** 4-level gray palette pattern set *****
    ld (lg0l), 00h           ; 0/4 階調パレット 0000B
    ld (lg1l), 05h           ; 2/4 階調パレット 0101B
    ld (lg2l), 0eh           ; 3/4 階調パレット 1110B
    ld (lg3l), 0fh           ; 4/4 階調パレット 1111B
***** DMA, DISPLAY-ON start *****
    ld (lcdctl), 0a1h        ; LCD スタート, フレーム分割イネーブル
```

### 3.14.5 RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

#### 3.14.5.1 動作説明

この動作モードでは、LCD ドライバへのデータ転送は CPU の転送命令で実行します。あらかじめ動作モードのみを I/O レジスタに設定後、CPU の転送命令が実行されると、LCD はそれに同期して D1BSCP などの制御端子より外部へ接続される LCD ドライバへチップセレクト信号を出力します。そのため、LCD サイズに対応したデータ転送数などの制御は CPU の命令で制御します。この際の RAM 内蔵型 LCD ドライバのタイプは 2 種類あり、この選択は LCDCTL<MMULCD> レジスタにて選択します。

<MMULCD> = “0” 時、LCD ドライバ内のインストラクション、表示データレジスタを 1 バイトずつ持つシーケンシャルアクセス型 RAM 内蔵 LCD ドライバに対応します。このときの転送先アドレスは、FE0H~FE7F のいずれかにしてください (表 3.14.3 参照)。

<MMULCD> = “1” 時、SRAM と同様なアクセスが可能なランダムアクセス型 RAM 内蔵 LCD ドライバに対応します。

このときの転送先アドレスは、3C0000H~3FFFFFF のメモリエリアを 64 K バイトごとの 4 つのエリアに割り当てることも可能です (表 3.14.4 参照)。

注) この動作モードでは階調表示、カーソル機能は使用できませんので、注意してください。

以下に<MMULCD> = “0” 時のアクセスタイミング例と、図 3.14.26 に接続例を示します。

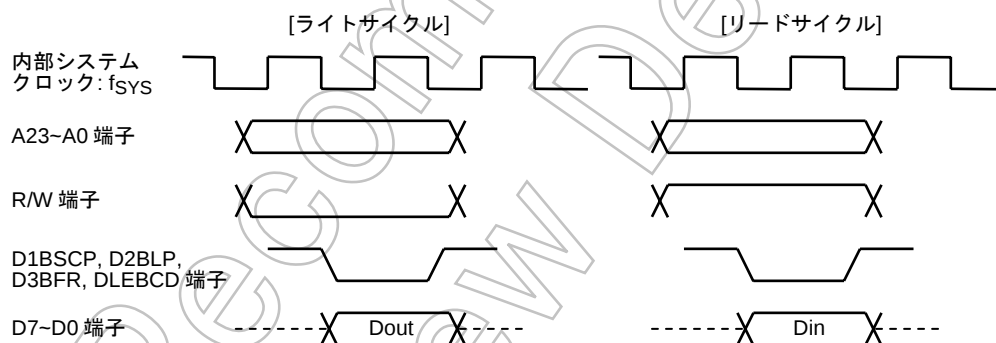
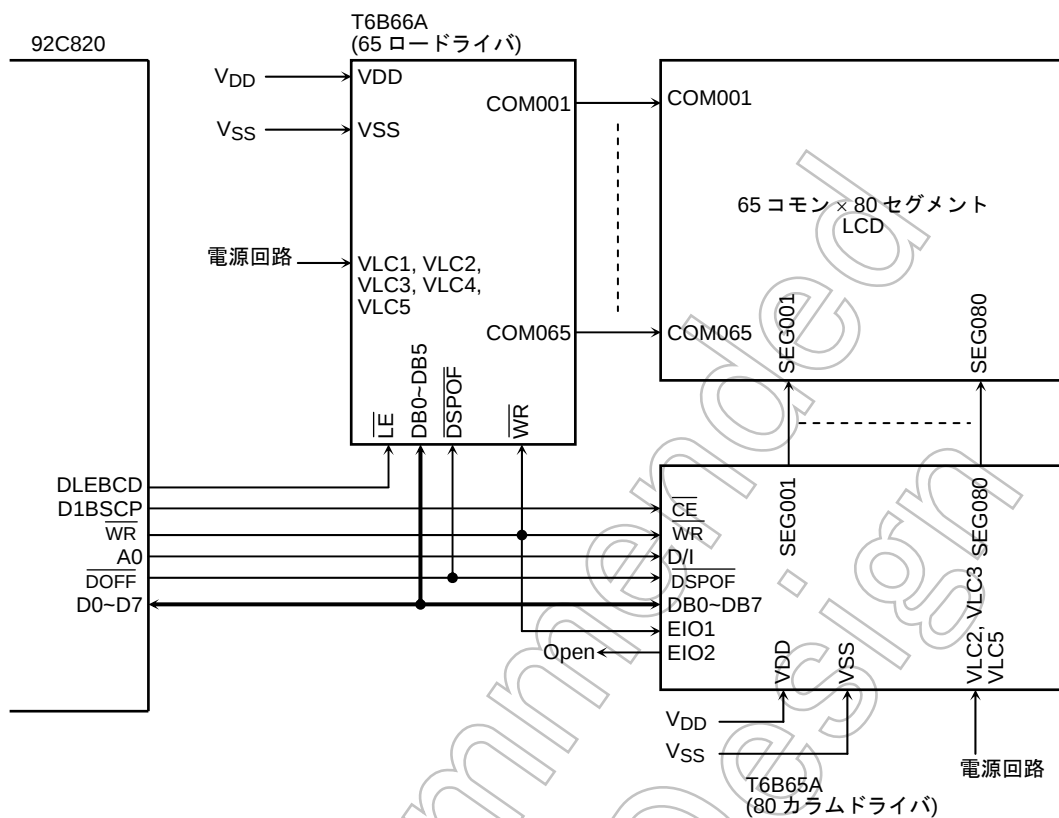


図 3.14.25 RAM 内蔵タイプ LCD ドライバアクセスタイミング例 (0 ウェイト時)

## 3.14.5.2 RAM 内蔵タイプの LCD ドライバ接続例



注) ほかの回路は LCD ドライバ表示のための LCD ドライブ電源として必要です。

図 3.14.26 LCD ドライバ接続例

## 3.14.5.3 プログラム例

- 設定例: 80 セグメント×65 コモンの LCD ドライバを使用する場合

外部に接続するカラムドライバを LCDC1、ロードドライバを LCDR1 としてアサインし、インストラクション、表示データを転送します。また、インストラクションの設定には LD 命令、表示データの設定にはソフトスタートでのマイクロ DMA のバースト機能を使用した例です。

内蔵 RAM (アドレス 1000H~1289H) に、LCD ドライバへの転送データ 650 バイトを格納。

; 外部端子の設定

LD (PDFC), 19H

; LCDC1 用 CE 端子: D1BSCP,

; LCDR1 用 LE 端子: DLEBCD,

; DOFF 端子の設定

; LCDC の設定

LD (LCDCMODE), 00H

; RAM モード

LD (LCDCTL), 00H

; シーケンシャルアクセス型

; LCDC1/LCDR1 のモード設定

LD (LCDC1L), XX

; LCDC1 インストラクション設定

LD (LCDR1L), XX

; LCDR1 インストラクション設定

; マイクロ DMA, INTTC 設定 (チャンネル 0)

LD A, 08H

; 転送元アドレス INC モード

LDC DMAM0, A

;

LD WA, 650

; 転送回数 = 650

LDC DMAC0, WA

;

LD XWA, 400000H

; 転送元アドレス = 400000H

LDC DMAS0, XWA

;

LD XWA, 1FE1H

; 転送先アドレス = 1FE1H (LCDC0H)

LDC DMAD0, XWA

;

LD (INTETC01), 06H

; INTTC0 レベル = 6

EI 6

; 割り込みレベル = 6

LD (DMAB), 01H

; バーストモード

LD (DMAR), 01H

; ソフトスタート

### 3.15 メロディ/アラームジェネレータ (MLD)

メロディ波形, アラーム波形を作成する機能です。出力波形は一方の波形を選択し、MLDALM 端子より出力します。また、アラームジェネレータに使用する 15 ビットのフリーランカウンタより 5 種類の一定周期の割込みを発生することが可能です。

下記に特長を示します。

- メロディジェネレータ

低速クロック (32.768 KHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し、MLDALM 端子より出力できます。外部にスピーカを接続することにより、容易にメロディ音を鳴らすことが可能です。

- アラームジェネレータ

低速クロック (32.768 KHz) を元に作成された変調周波数 (4096 Hz) にて 8 種類のアラーム波形を生成し、MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより、容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し、5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8192 Hz) の一定周期の割り込みを発生させることが可能です。

本章は下記のような構成になっています。

#### 3.15.1 ブロック図

#### 3.15.2 SFR 説明

#### 3.15.3 動作説明

##### 3.15.3.1 メロディジェネレータ

##### 3.15.3.2 アラームジェネレータ

## 3.15.1 ブロック図

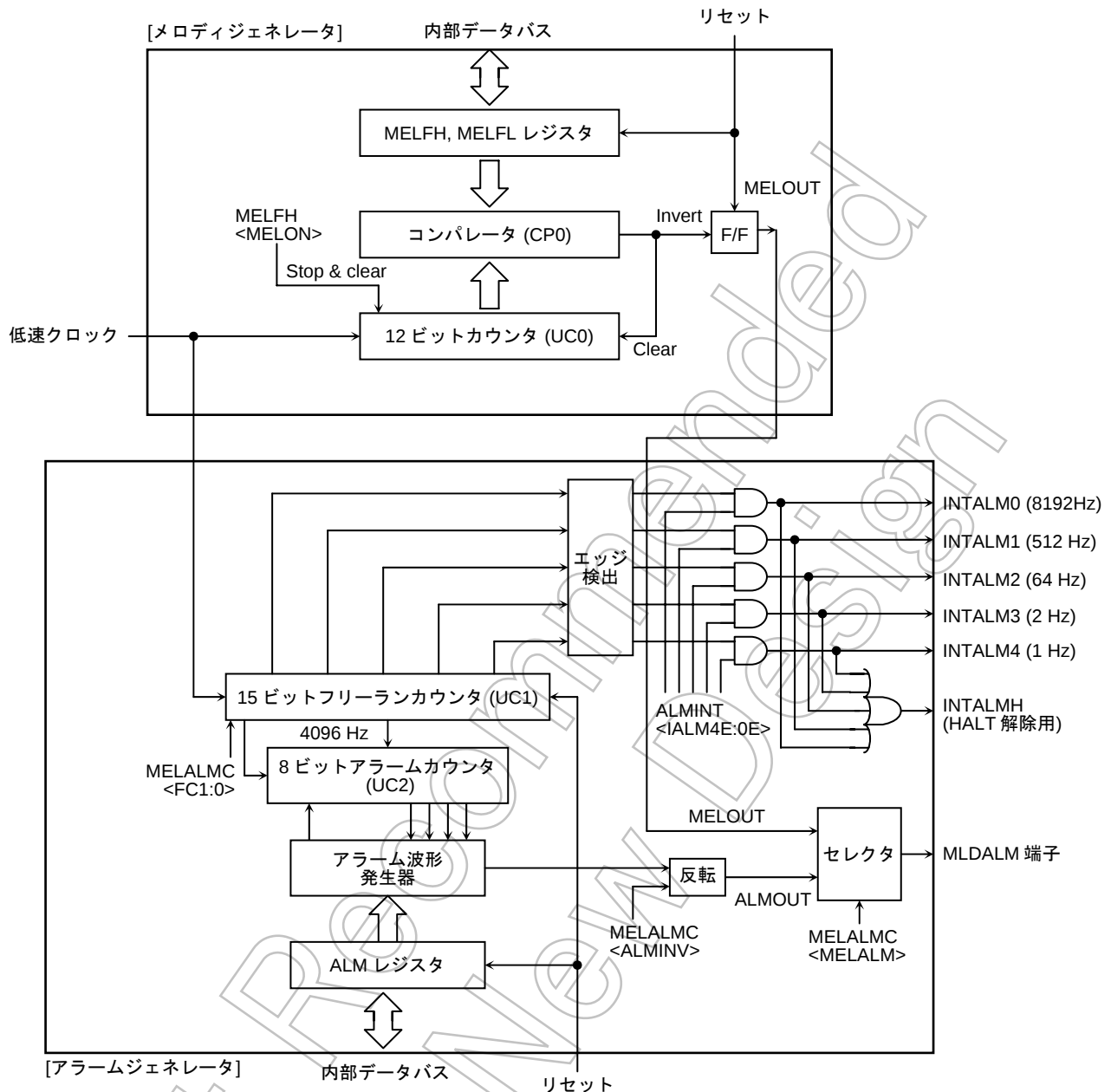


図 3.15.1 MLD ブロック図

## 3.15.2 SFR 説明

ALM レジスタ

|                |            |            |     |     |     |     |     |     |     |
|----------------|------------|------------|-----|-----|-----|-----|-----|-----|-----|
| ALM<br>(1330H) |            | 7          | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|                | Bit symbol | AL8        | AL7 | AL6 | AL5 | AL4 | AL3 | AL2 | AL1 |
|                | Read/Write | R/W        |     |     |     |     |     |     |     |
|                | リセット後      | 0          | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
|                | 機 能        | アラームパターン設定 |     |     |     |     |     |     |     |

MELALMC レジスタ

|                    |            |                                                                       |     |                       |   |                |   |   |                                  |
|--------------------|------------|-----------------------------------------------------------------------|-----|-----------------------|---|----------------|---|---|----------------------------------|
| MELALMC<br>(1331H) |            | 7                                                                     | 6   | 5                     | 4 | 3              | 2 | 1 | 0                                |
|                    | Bit symbol | FC1                                                                   | FC0 | ALMINV                | — | —              | — | — | MELALM                           |
|                    | Read/Write | R/W                                                                   |     |                       |   |                |   |   |                                  |
|                    | リセット後      | 0                                                                     | 0   | 0                     | 0 | 0              | 0 | 0 | 0                                |
|                    | 機 能        | フリーランカウンタ<br>制御<br>00: ホールド<br>01: 再スタート<br>10: クリア<br>11: クリア & スタート |     | アラーム<br>波形反転<br>1: 反転 |   | “0”をライトしてください。 |   |   | 出力波形<br>選択<br>0: アラーム<br>1: メロディ |

注 1) MELALMC<FC1> は常に 0 がリードされます。

注 2) フリーランカウンタが動作状態で、MELALMC レジスタの <FC1:0> 以外のビットに値を設定する場合は <FC1:0> に “01” を設定してください。

MELFL レジスタ

|                  |            |                      |     |     |     |     |     |     |     |
|------------------|------------|----------------------|-----|-----|-----|-----|-----|-----|-----|
| MELFL<br>(1332H) |            | 7                    | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|                  | Bit symbol | ML7                  | ML6 | ML5 | ML4 | ML3 | ML2 | ML1 | ML0 |
|                  | Read/Write | R/W                  |     |     |     |     |     |     |     |
|                  | リセット後      | 0                    | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
|                  | 機 能        | メロディ周波数設定 (下位 8 ビット) |     |     |     |     |     |     |     |

MELFH レジスタ

|                  |            |                                               |   |   |   |                      |      |     |     |
|------------------|------------|-----------------------------------------------|---|---|---|----------------------|------|-----|-----|
| MELFH<br>(1333H) |            | 7                                             | 6 | 5 | 4 | 3                    | 2    | 1   | 0   |
|                  | Bit symbol | MELON                                         |   |   |   | ML11                 | ML10 | ML9 | ML8 |
|                  | Read/Write | R/W                                           |   |   |   | R/W                  |      |     |     |
|                  | リセット後      | 0                                             |   |   |   | 0                    | 0    | 0   | 0   |
|                  | 機 能        | メロディカ<br>ウンタ制御<br>0: ストップ<br>& クリア<br>1: スタート |   |   |   | メロディ周波数設定 (上位 4 ビット) |      |     |     |

ALMINT レジスタ

|                   |            |   |   |                        |                              |        |        |        |        |
|-------------------|------------|---|---|------------------------|------------------------------|--------|--------|--------|--------|
| ALMINT<br>(1334H) |            | 7 | 6 | 5                      | 4                            | 3      | 2      | 1      | 0      |
|                   | Bit symbol |   |   | —                      | IALM4E                       | IALM3E | IALM2E | IALM1E | IALM0E |
|                   | Read/Write |   |   |                        | R/W                          |        |        |        |        |
|                   | リセット後      |   |   | 0                      | 0                            | 0      | 0      | 0      | 0      |
|                   | 機 能        |   |   | “0”をライ<br>トしてくだ<br>さい。 | 1: INTALM4~INTALM0 の割り込み出力許可 |        |        |        |        |

### 3.15.3 動作説明

#### 3.15.3.1 メロディジェネレータ

低速クロック (32.768 KHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し、MLDALM 端子より出力できます。外部にスピーカを接続することにより、容易にメロディ音を鳴らすことが可能です。

(使用方法)

まず、MELALMC<MELALM> に 1 を書き込み、MLDALM 端子からのメロディ波形出力を選択します。次に、MELFH, MELFL レジスタの 12 ビットにメロディ出力周波数を設定します。

下記にメロディ出力周波数の求め方と設定例を示します。

(メロディ出力周波数計算式)

$f_s = 32.768$  [KHz] の場合

メロディ出力周波数  $f_{MLD}$  [Hz] =  $32768 / (2 \times N + 4)$

メロディ設定値  $N = (16384 / f_{MLD}) - 2$

(ただし、 $N = 1 \sim 4095$  (001H~FFFH) の自然数で、0 は設定禁止)

(プログラム例)

“ラ”の音階 (440 Hz) を出力する場合

LD (MELALMC), --XXXXX1B ;メロディ波形選択

LD (MELFL), 23H ;  $N = 16384 / 440 - 2 = 35.2 = 023H$

LD (MELFH), 80H ;波形生成スタート

(参考: 基本音階別設定値表)

| 音階 | 周波数[Hz] | レジスタ<br>設定値: N |
|----|---------|----------------|
| ド  | 264     | 03CH           |
| レ  | 297     | 035H           |
| ミ  | 330     | 030H           |
| ファ | 352     | 02DH           |
| ソ  | 396     | 027H           |
| ラ  | 440     | 023H           |
| シ  | 495     | 01FH           |
| ド  | 528     | 01DH           |

## 3.15.3.2 アラームジェネレータ

低速クロック (32.768 KHz) を元に作成された変調周波数 (4096 Hz) にて 8 種類のアラーム波形を生成し、MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより、容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し、5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8 KHz) の一定周期の割り込みを発生させることが可能です。

## (使用方法)

まず、MELALMC<MELALM> に 0 をライトし、MLDALM 端子からのアラーム波形出力を選択します。次に、MELALMC<FC1:0> に 10 を設定し、内部のカウンタをクリアします。

最後に ALM レジスタの 8 ビットにアラームパターンを設定します。出力データを反転したい場合には<ALMINV>を反転に設定します。

下記にアラームパターンの設定値、プログラム例、設定別出力波形を示します。

(アラームパターンの設定値)

| ALM レジスタ<br>への設定値 | アラーム波形              |
|-------------------|---------------------|
| 00H               | 0 固定                |
| 01H               | AL1 パターン            |
| 02H               | AL2 パターン            |
| 04H               | AL3 パターン            |
| 08H               | AL4 パターン            |
| 10H               | AL5 パターン            |
| 20H               | AL6 パターン            |
| 40H               | AL7 パターン            |
| 80H               | AL8 パターン            |
| 上記以外              | 未定義<br>(設定しないでください) |

## (プログラム例)

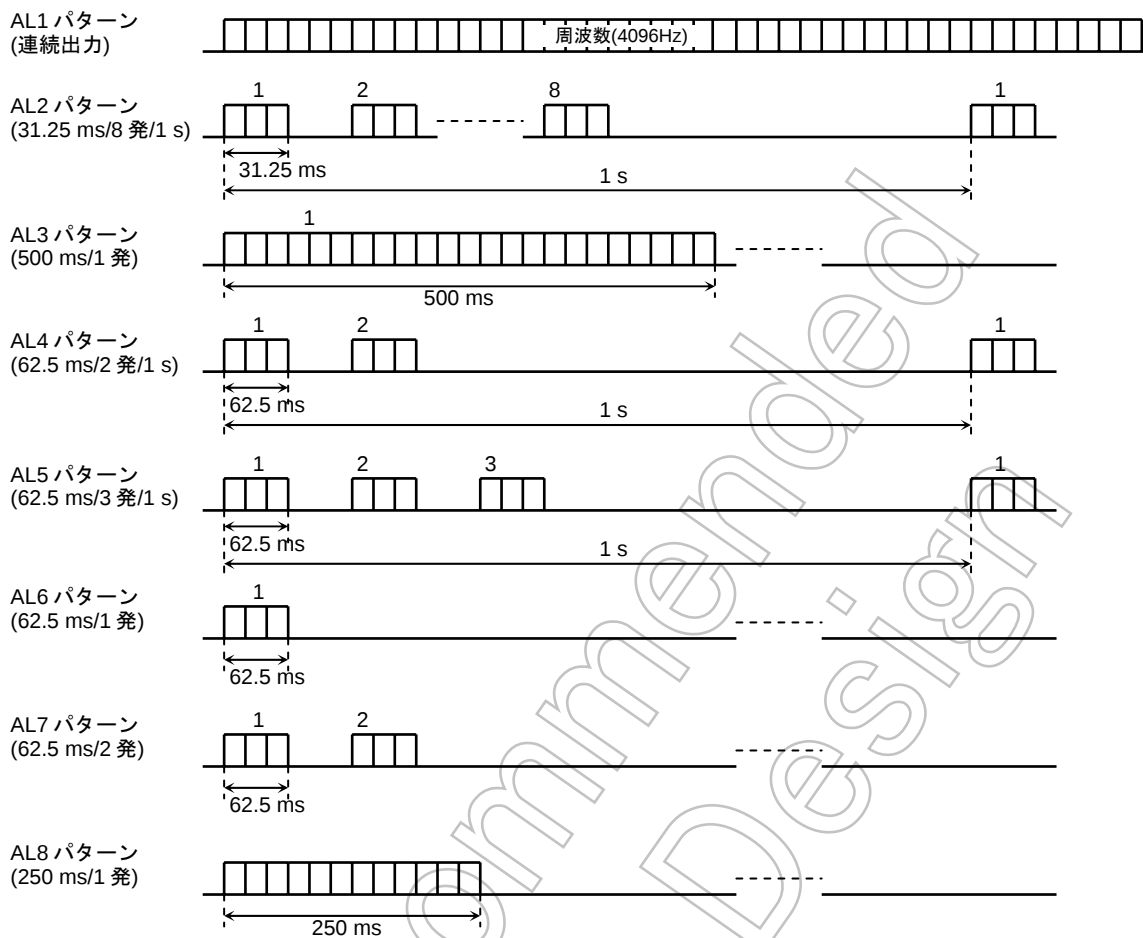
AL2 パターン (31.25 ms/8 発/1 s) のアラームを出力する場合

LD (MELALMC), C0H ;アラーム波形出力設定, フリーラン

;カウンタスタート

LD (ALM), 02H ;AL2 パターン設定, スタート

(アラームパターンの設定値別出力波形: 反転しない場合)



### 3.16 SDRAM コントローラ (SDRAMC)

TMP92C820 は、CPU/LCDCC により SDRAM アクセスのサポートを行なうことができる、SDRAM コントローラを内蔵しています。下記にその特長を記します。

#### (1) SDRAM サポート

16 M/64 M/128 M ビット SDRAM (× 16 ビット × 2/4 バンク)

64 M/128 M ビット SDRAM (× 32 ビット × 4 バンク)

#### (2) 自動初期化機能

- 全バンクプリチャージコマンド発生
- モードレジスタの設定
- 8 回のオートリフレッシュ

#### (3) アクセスモード

|                   | CPU アクセス | LCDCC アクセス |
|-------------------|----------|------------|
| バースト長             | 1 ワード    | フルページ      |
| アドレッシングモード        | シーケンシャル  | シーケンシャル    |
| CAS レイテンシー (クロック) | 2        | 2          |
| ライトモード            | シングルライト  | —          |

#### (4) アクセスサイクル

- CPU アクセス (リード/ライト)
  - リードサイクル : 4 ステート (200 ns @ f<sub>sys</sub> = 20 MHz)
  - ライトサイクル : 3 ステート (150 ns @ f<sub>sys</sub> = 20 MHz)
  - アクセスデータ幅 : 8 ビット/16 ビット/32 ビット
- LCDCC バーストアクセス (リードのみ)
  - リードサイクル : 1 ステート (50 ns @ f<sub>sys</sub> = 20 MHz)
  - オーバーヘッド : 4 ステート (200 ns @ f<sub>sys</sub> = 20 MHz)
  - アクセスデータ幅 : 16 ビット/32 ビット

#### (5) リフレッシュサイクル自動発生

- オートリフレッシュは、SDRAM アクセス以外の期間に発生します。
- オートリフレッシュ間隔は、プログラマブルです。
- セルフリフレッシュ機能をサポートしています。

#### 注)

- LCDCC 用表示データは、各ページの先頭から設定する必要があります。
- プログラムは SDRAM 上では動作しません。
- SDRAM 領域は、メモリコントローラの CS1 の設定により決まります。

## 3.16.1 コントロールレジスタ

図 3.16.1にSDRAMCコントロールレジスタを示します。これらのレジスタを設定することで、SDRAMCの動作を制御します。

|                  |            |                         |   |                                                                 |        |   |                                                                             |        |                                   |
|------------------|------------|-------------------------|---|-----------------------------------------------------------------|--------|---|-----------------------------------------------------------------------------|--------|-----------------------------------|
| SDACR<br>(0250H) |            | 7                       | 6 | 5                                                               | 4      | 3 | 2                                                                           | 1      | 0                                 |
|                  | Bit symbol | SDINI                   |   | SDBUS1                                                          | SDBUS0 |   | SMUXW1                                                                      | SMUXW0 | SMAC                              |
|                  | Read/Write | R/W                     |   | R/W                                                             |        |   | R/W                                                                         |        |                                   |
|                  | リセット後      | 0                       |   | 0                                                               | 0      |   | 0                                                                           | 0      | 0                                 |
|                  | 機 能        | 自動初期化<br>0: 禁止<br>1: 許可 |   | データバス構成選択<br>00: 16 ビット × 1<br>01: 16 ビット × 2<br>10: 32 ビット × 1 |        |   | アドレスマルチプレクス<br>選択<br>00: Type A<br>01: Type B<br>10: Type C<br>11: Reserved |        | SDRAM<br>コントローラ<br>0: 禁止<br>1: 許可 |

SDRAM リフレッシュコントロールレジスタ

|                  |            |                             |                                                                                                                                    |      |      |                                    |   |   |                                   |
|------------------|------------|-----------------------------|------------------------------------------------------------------------------------------------------------------------------------|------|------|------------------------------------|---|---|-----------------------------------|
| SDRCR<br>(0251H) |            | 7                           | 6                                                                                                                                  | 5    | 4    | 3                                  | 2 | 1 | 0                                 |
|                  | Bit symbol | SFRC                        | SRS2                                                                                                                               | SRS1 | SRS0 | SASFRC                             |   |   | SRC                               |
|                  | Read/Write | R/W                         |                                                                                                                                    |      |      |                                    |   |   | R/W                               |
|                  | リセット後      | 0                           | 0                                                                                                                                  | 0    | 0    | 0                                  |   |   | 0                                 |
|                  | 機 能        | セルフリフレッシュ<br>0: 禁止<br>1: 許可 | リフレッシュ間隔<br>000: 78 ステート 100: 195 ステート<br>001: 97 ステート 101: 210 ステート<br>010: 124 ステート 110: 249 ステート<br>011: 156 ステート 111: 312 ステート |      |      | オートセル<br>フリフレッシュ<br>0: 禁止<br>1: 許可 |   |   | インタバル<br>リフレッシュ<br>0: 禁止<br>1: 許可 |

図 3.16.1 SDRAMC コントロールレジスタ

## 3.16.2 動作説明

## (1) メモリアクセスコントロール

SDACR<SMAC> に “1”を設定すると、アクセスコントロールブロックはイネーブルになります。そのとき、SDRAM コントロール信号 (SDCSL, SDCSH, SDRAS, SDCAS, SDWE, SDLLDQM, SDLUDQM, SDULDQM, SDUUDQM, SDCLK, SDCKE) は、CPU または LCDC が CS1 エリアをアクセスしている期間動作します。

## 1. アドレスマルチプレクス機能

アクセスサイクル中、A1 端子からA15 端子よりロー/カラムのマルチプレクスアドレスを出力します。マルチプレクス幅は、SDACR<SMUXW1:0> により設定されます。マルチプレクス幅とロー/カラムアドレスの関係を 表 3.16.1に示します。

表 3.16.1 アドレスマルチプレクス

| 92C820<br>ピン名称 | TMP92C820 アドレス出力 |                                  |                                  |                                  |
|----------------|------------------|----------------------------------|----------------------------------|----------------------------------|
|                | カラム<br>アドレス      | ローアドレス                           |                                  |                                  |
|                |                  | タイプ A<br>SDACR<br><SMUXW> = “00” | タイプ B<br>SDACR<br><SMUXW> = “01” | タイプ C<br>SDACR<br><SMUXW> = “10” |
| A0             | A0               | A0                               | A0                               | A0                               |
| A1             | A1               | A9                               | A10                              | A11                              |
| A2             | A2               | A10                              | A11                              | A12                              |
| A3             | A3               | A11                              | A12                              | A13                              |
| A4             | A4               | A12                              | A13                              | A14                              |
| A5             | A5               | A13                              | A14                              | A15                              |
| A6             | A6               | A14                              | A15                              | A16                              |
| A7             | A7               | A15                              | A16                              | A17                              |
| A8             | A8               | A16                              | A17                              | A18                              |
| A9             | A9               | A17                              | A18                              | A19                              |
| A10            | A10              | A18                              | A19                              | A20                              |
| A11            | A11              | A19                              | A20                              | A21                              |
| A12            | A12              | A20                              | A21                              | A22                              |
| A13            | A13              | A21                              | A22                              | A23                              |
| A14            | A14              | A22                              | A23                              | A14                              |
| A15            | A15              | A23                              | A15                              | A15                              |

## 2. バースト長

CPU による SDRAM アクセスは、1 ワードバーストモードで動作し、LCDC による SDRAM アクセスは、ページバースト長で動作します。

SDRAMアクセスサイクルを、図 3.16.2~図 3.16.3に示します。

SDRAM アクセスサイクル数は、メモリコントローラの B1CSL レジスタの設定で決まります。RD サイクルは 4 ステート必要 (B1CSL<B1WRn>) です。WR サイクルは 3 ステート (B1CSL<B1WWn>) 必要です。

LCDC のバーストリードサイクルでは、モードレジスタ設定、プリチャージサイクル、リフレッシュサイクルは、リードサイクルの前後に自動挿入されます。

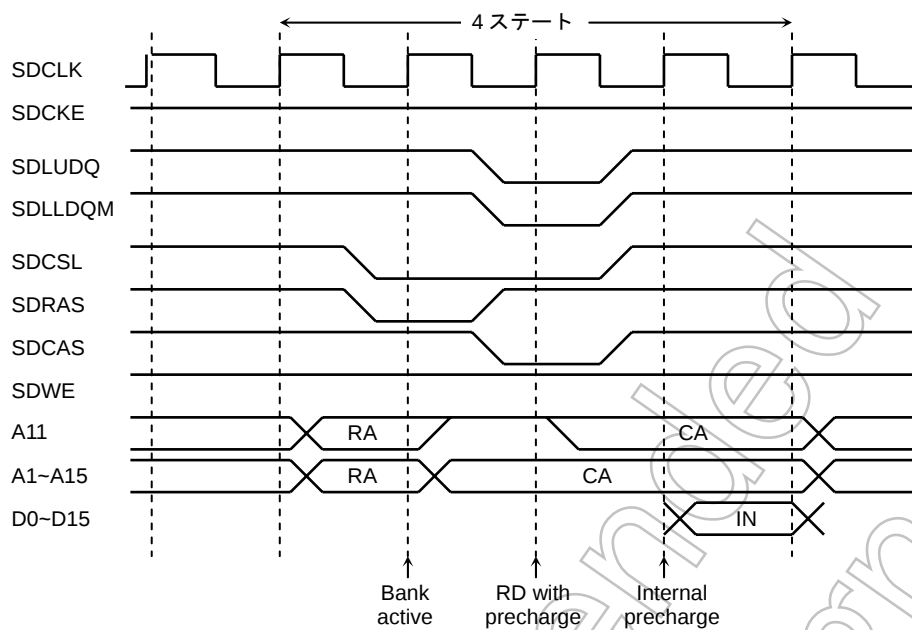


図 3.16.2 CPU リードサイクルタイミング

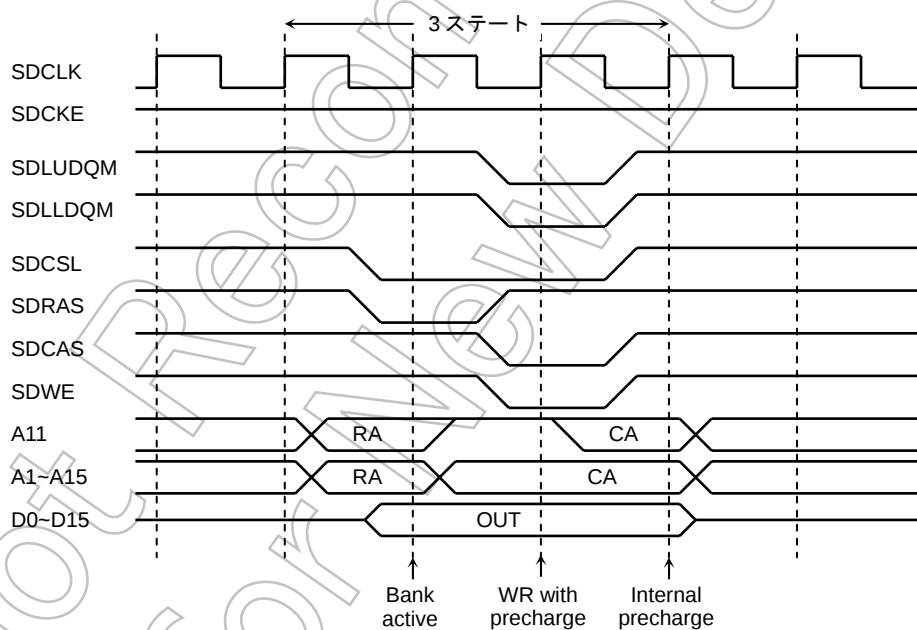
(データバス構成: 16 ビット × 1, オペランドサイズ: 2 バイト, アドレス:  $2n + 0$ )

図 3.16.3 CPU ライトサイクルタイミング

(データバス構成: 16 ビット × 1, オペランドサイズ: 2 バイト, アドレス:  $2n + 0$ )

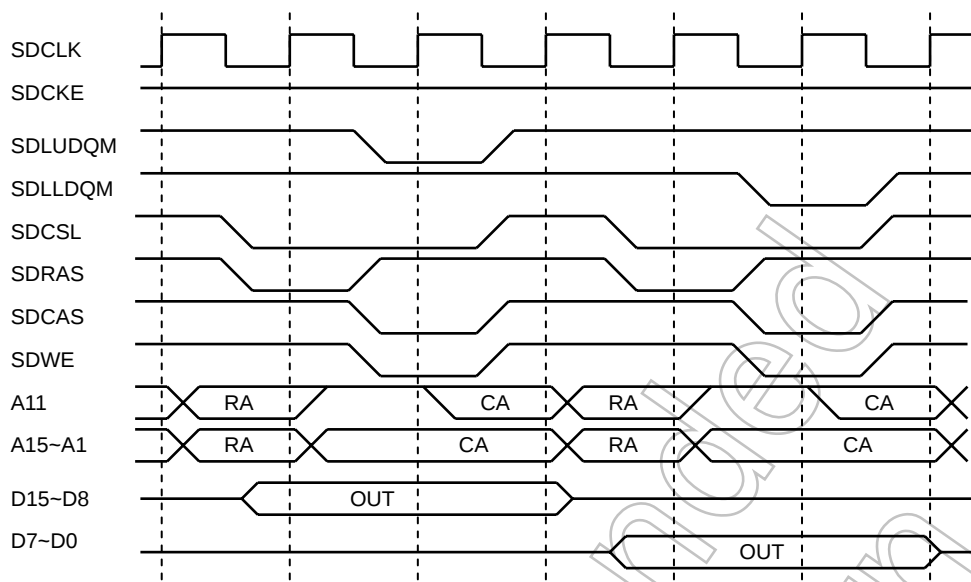


図 3.16.4 CPU ライトサイクルタイミング

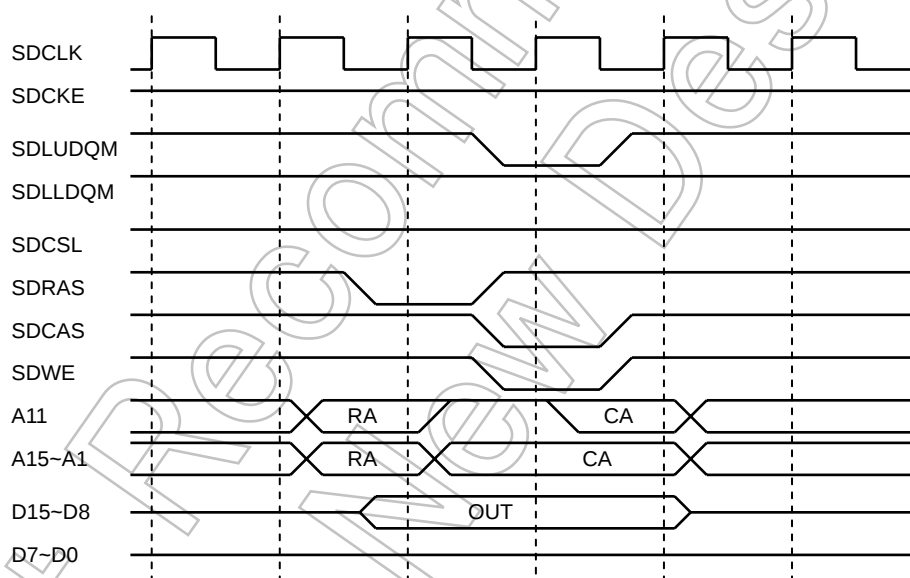
(データバス構成: 16 ビット × 1, オペランドサイズ: 2 バイト, アドレス:  $2n + 1$ )

図 3.16.5 CPU ライトサイクルタイミング

(データバス構成: 16 ビット × 1, オペランドサイズ: 1 バイト, アドレス:  $2n + 1$ )

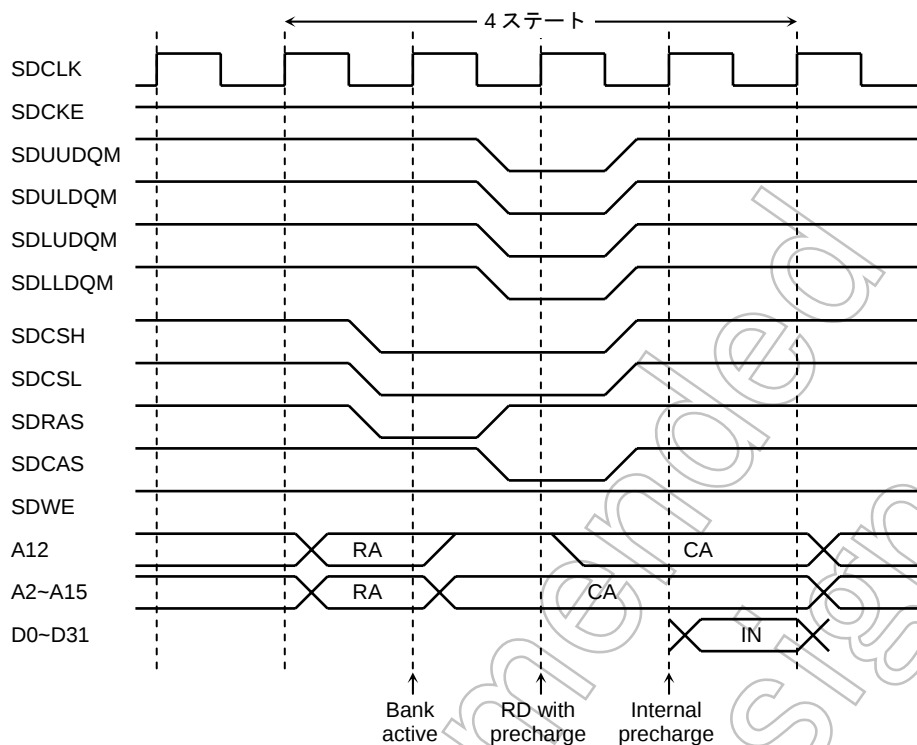


図 3.16.6 CPU リードサイクルタイミング

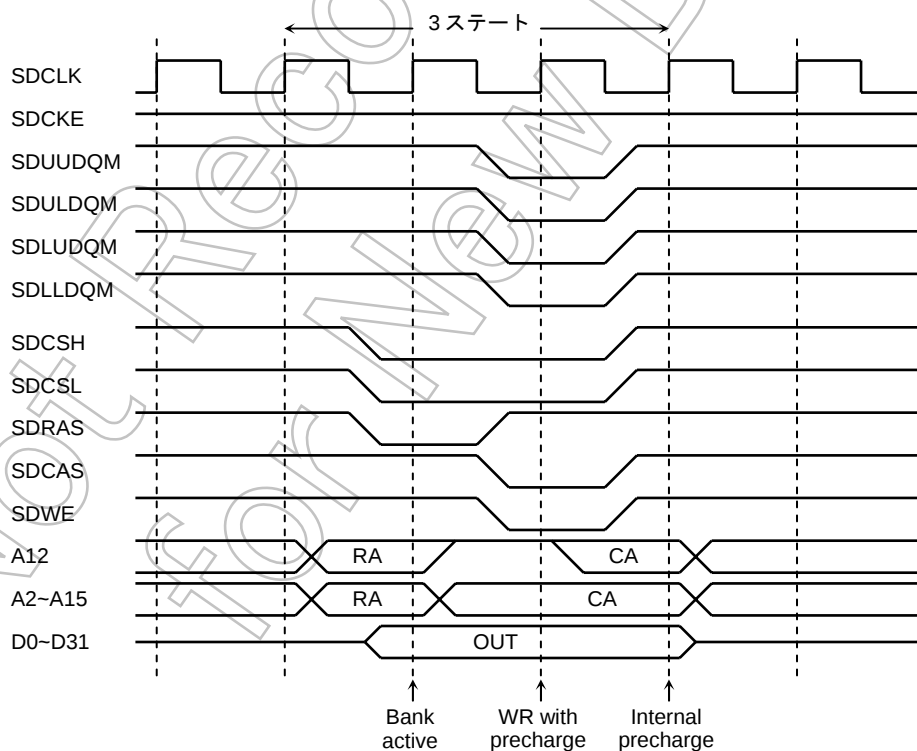
(データバス構成: 16 ビット  $\times$  2 = 32 ビット, オペランドサイズ: 4 バイト, アドレス:  $4n + 0$ )

図 3.16.7 CPU ライトサイクルタイミング

(データバス構成: 16 ビット  $\times$  2 = 32 ビット, オペランドサイズ: 4 バイト, アドレス:  $4n + 0$ )

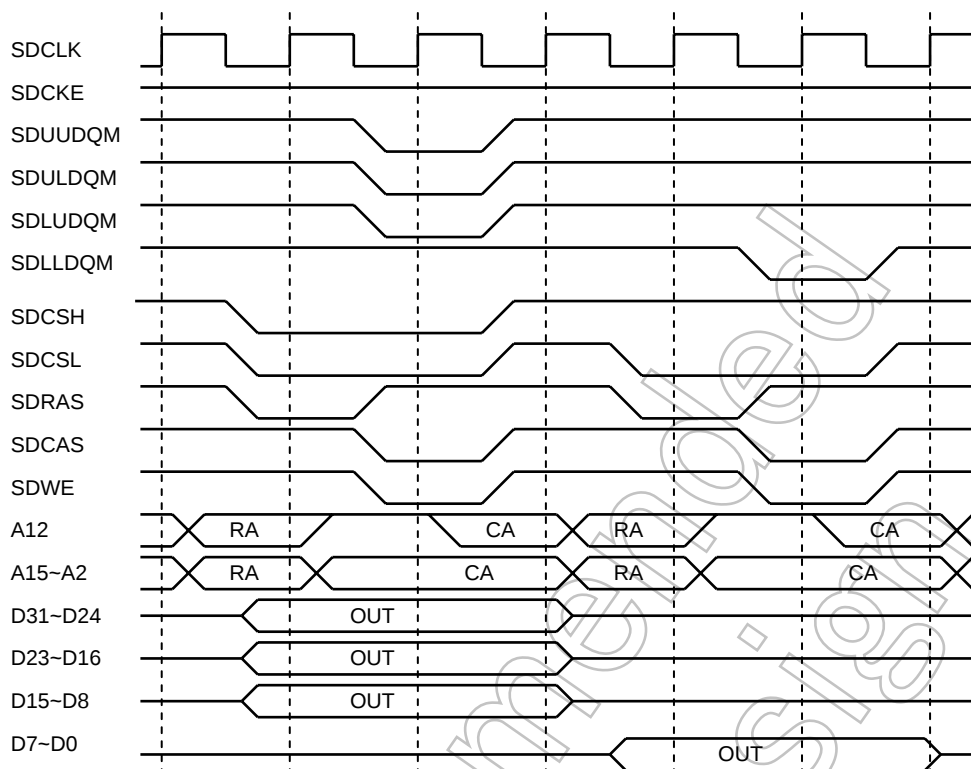


図 3.16.8 CPU ライトサイクルタイミング

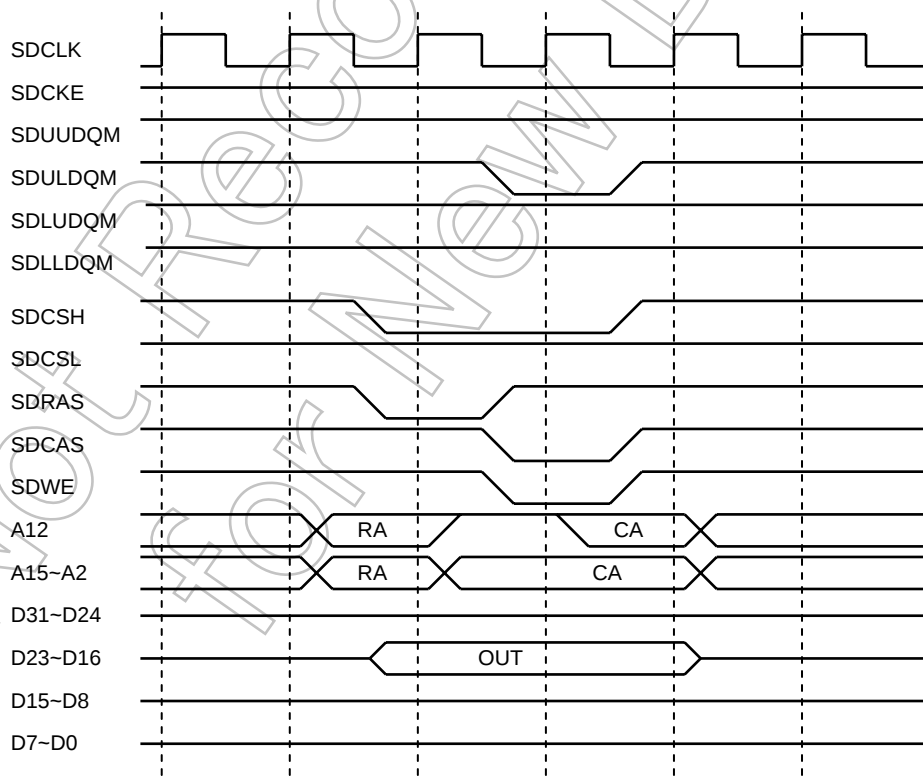
(データバス構成: 16 ビット  $\times$  2 = 32 ビット, オペランドサイズ: 4 バイト, アドレス:  $4n + 1$ )

図 3.16.9 CPU ライトサイクルタイミング

(データバス構成: 16 ビット  $\times$  2 = 32 ビット, オペランドサイズ: 8 バイト, アドレス:  $4n + 3$ )

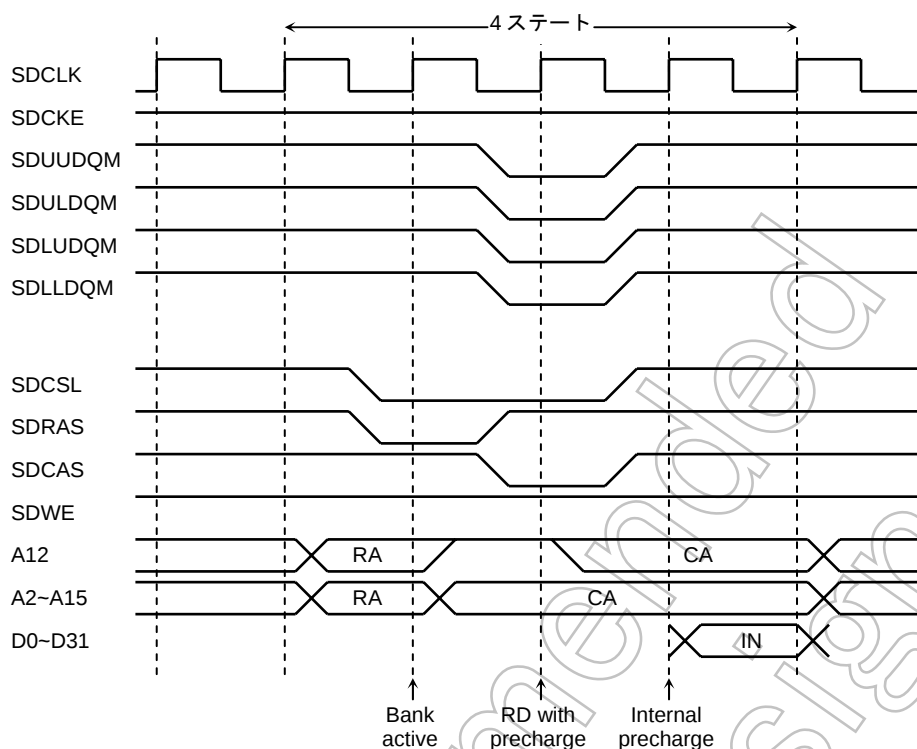


図 3.16.10 CPU リードサイクルタイミング

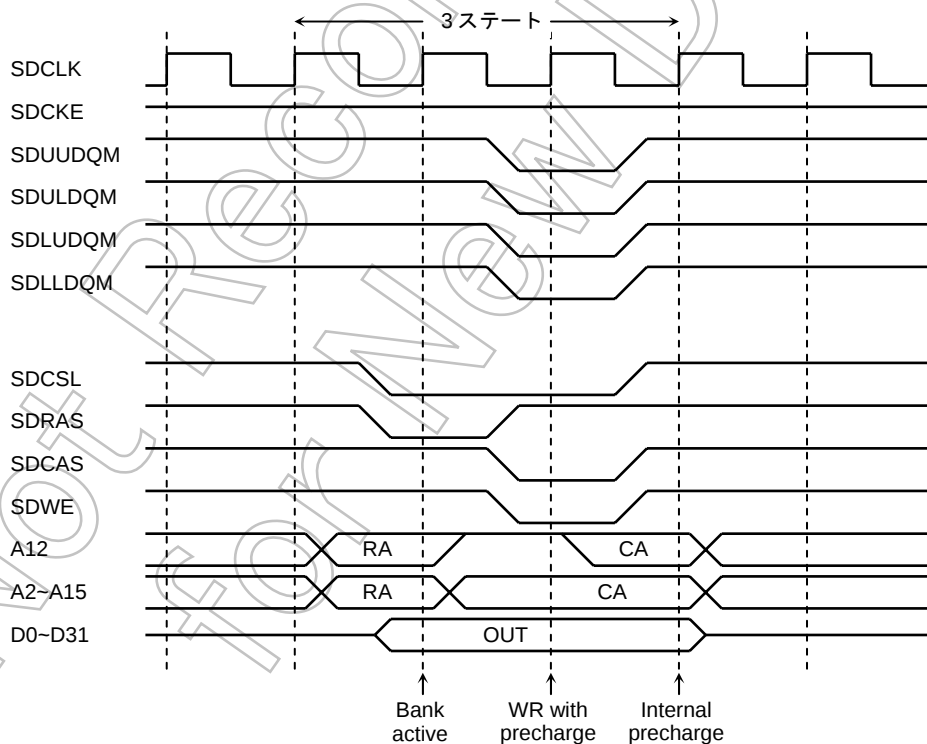
(データバス構成: 32 ビット × 1, オペランドサイズ: 4 バイト, アドレス:  $4n + 0$ )

図 3.16.11 ライトサイクルタイミング

(データバス構成: 32 ビット × 1, オペランドサイズ: 4 バイト, アドレス:  $4n + 0$ )

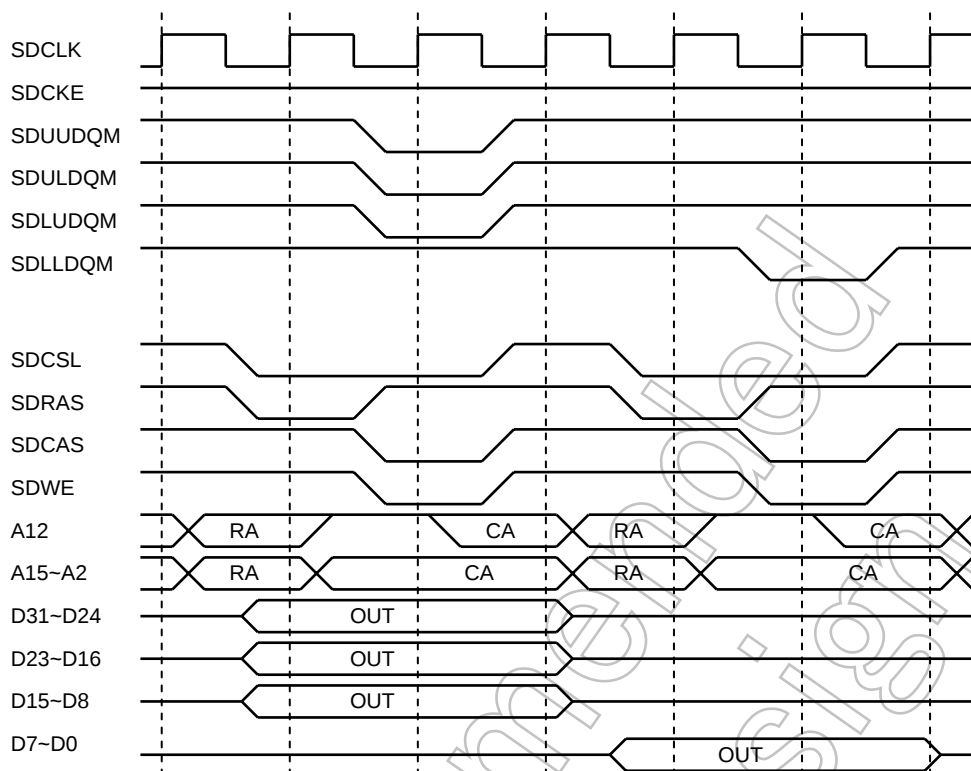


図 3.16.12 CPU ライトサイクルタイミング

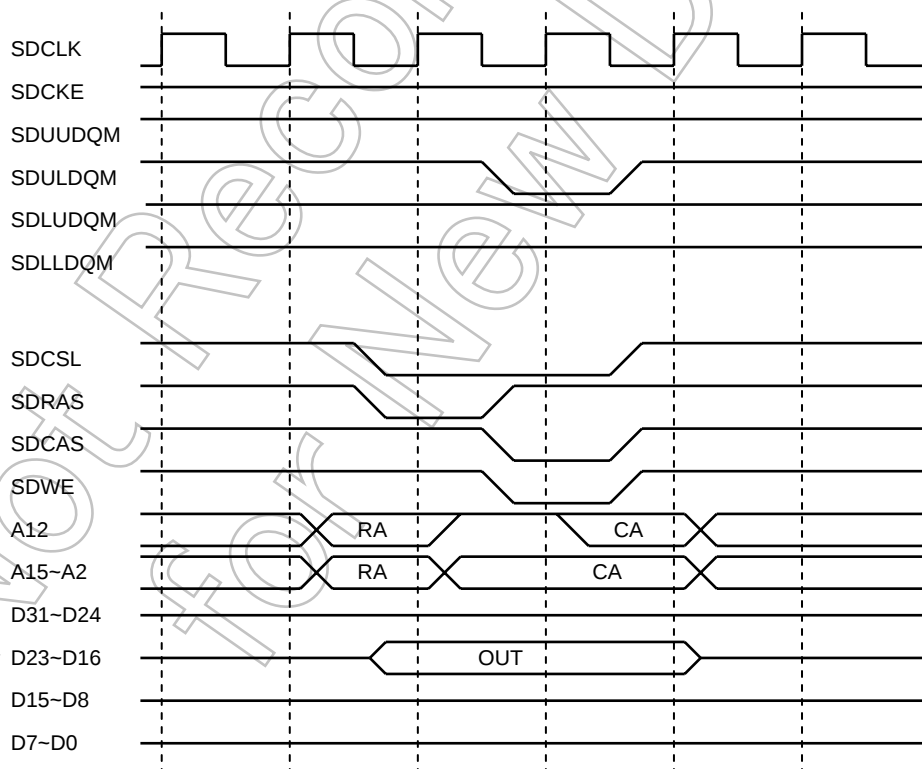
(データバス構成: 32 ビット × 1, オペランドサイズ: 4 バイト, アドレス:  $4n + 1$ )

図 3.16.13 CPU ライトサイクルタイミング

(データバス構成: 32 ビット × 1, オペランドサイズ: 8 バイト, アドレス:  $4n + 3$ )

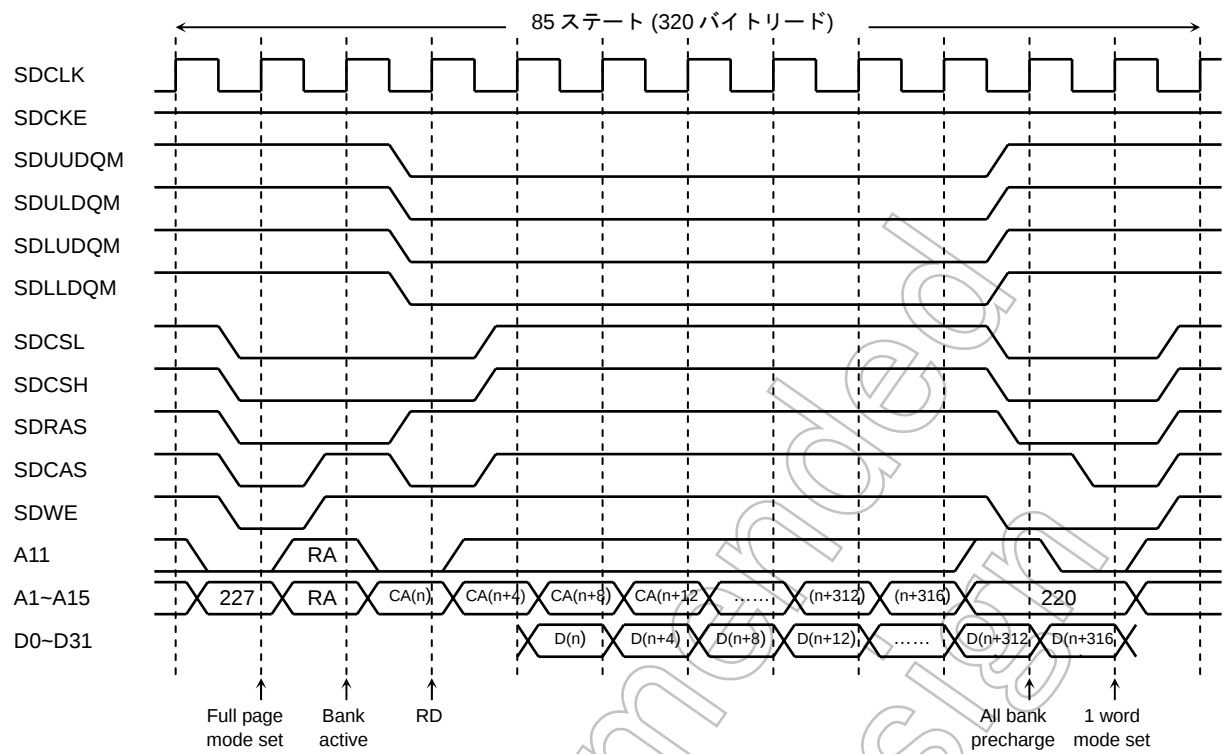


図 3.16.14 LCDC バーストリードサイクル

## (2) リフレッシュコントロール

TMP92C820 は、SDRAM のデータ保持に必要なオートリフレッシュサイクルを自動発生することができます。オートリフレッシュ間隔は、SDRCR<SRS 2:0> により 78 ステートから 312 ステート (20 MHz 時 3.9  $\mu$ s~15.6  $\mu$ s) の設定をすることができます。

SDRCR<SRC>を“1”に設定することにより、リフレッシュサイクルは<SRS 2:0>の間隔設定で発生されます。リフレッシュサイクルの発生タイミングは、<SRS 2:0>で設定した間隔後、SDRAMエリア (CS1) 以外でのアクセスサイクルとなります。リフレッシュサイクルを図 3.16.15に、リフレッシュ間隔を表 3.16.2に示します。

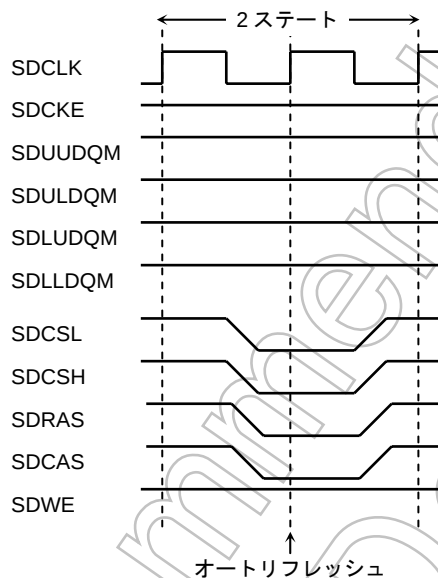


図 3.16.15 オートリフレッシュサイクル

表 3.16.2 リフレッシュサイクル挿入間隔

単位 [ $\mu$ s]

| SDRCR<SRS0:2> |      |      | 挿入間隔<br>(ステート) | f <sub>SYS</sub> 周波数 (システムクロック) |        |          |        |          |        |
|---------------|------|------|----------------|---------------------------------|--------|----------|--------|----------|--------|
| SRS2          | SRS1 | SRS0 |                | 5 MHz                           | 10 MHz | 12.5 MHz | 15 MHz | 17.5 MHz | 20 MHz |
| 0             | 0    | 0    | 78             | 15.6                            | 7.8    | 6.2      | 5.2    | 4.5      | 3.9    |
| 0             | 0    | 1    | 97             | 19.4                            | 9.7    | 7.8      | 6.5    | 5.5      | 4.9    |
| 0             | 1    | 0    | 124            | 24.8                            | 12.4   | 9.9      | 8.3    | 7.1      | 6.2    |
| 0             | 1    | 1    | 156            | 31.2                            | 15.6   | 12.5     | 10.4   | 8.9      | 7.8    |
| 1             | 0    | 0    | 195            | 39.0                            | 19.5   | 15.6     | 13.0   | 11.1     | 9.8    |
| 1             | 0    | 1    | 210            | 42.0                            | 21.0   | 16.8     | 14.0   | 12.0     | 10.5   |
| 1             | 1    | 0    | 247            | 49.4                            | 24.7   | 19.8     | 16.5   | 14.1     | 12.4   |
| 1             | 1    | 1    | 312            | 62.4                            | 31.2   | 25.0     | 20.8   | 17.8     | 15.6   |

LCDC による SDRAM へのバーストアクセス期間中には、オートリフレッシュは発生しません。CPU アクセスサイクルへ移行したときに、オートリフレッシュサイクルが発生します。

さらに、TMP92C820 では、セルフリフレッシュサイクルを発生することができます。そのタイミング図を、図 3.16.16に示します。

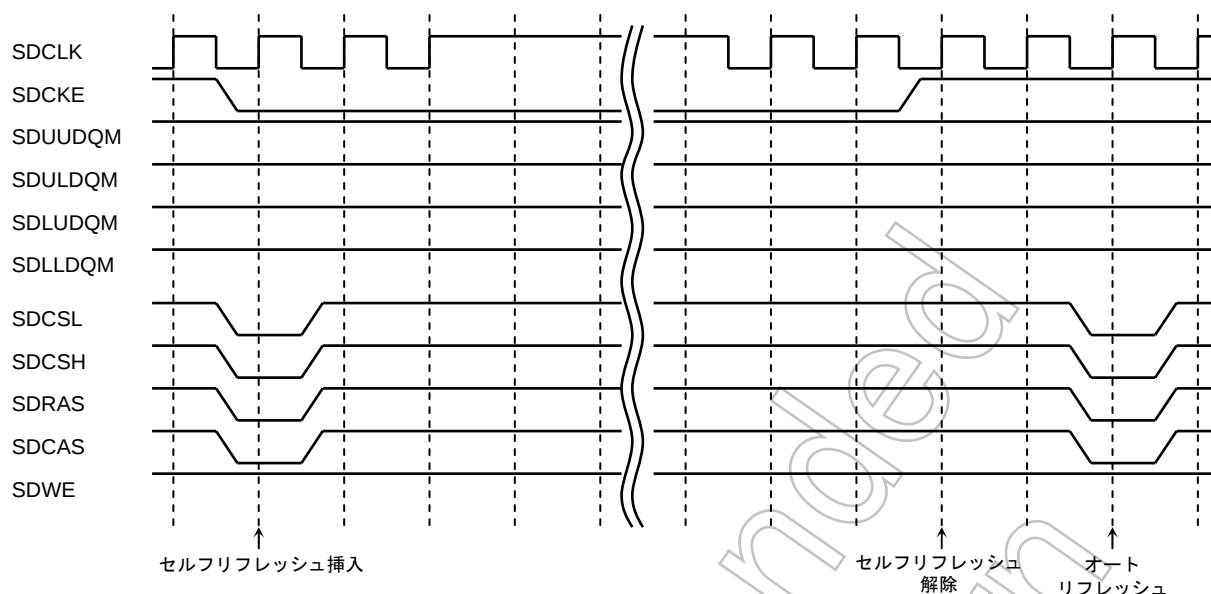


図 3.16.16 セルフリフレッシュサイクルタイミング

- 注 1) IDLE2 モードではクロックを出力し続けますので、SDCLK を止めたい場合は HALT 命令の前に、PF6 を出力ポートに切り替えてください。
- 注 2) IDLE1/STOP モード中の端子状態は、SYSCR2<DRVE> 設定に依存します。ただし、セルフリフレッシュモード時は SDCKE 端子に依存せず、Low レベルを出力します。

SDRCR<SFRC> を“1”に設定した場合、セルフリフレッシュサイクルは、図 3.16.16 に示されるようになります。セルフリフレッシュモードは、内部クロックが停止するスタンバイ (STOP, IDLE1) モードを使用するときに使用します。HALT コマンド (STOP, IDLE1) の前に、SDRCR<SFRC> を“1”に設定してください。

セルフリフレッシュサイクルの終了は、スタンバイモードの解除により自動的に動作します。セルフリフレッシュを解除した後、オートリフレッシュサイクルを自動挿入し、オートリフレッシュモードになります。

- 注) リセットにより HALT 命令が解除された場合、I/O レジスタは初期化され、リフレッシュ機能は動作しません。

SDRCR<SFRC> を“1”に設定する命令の直前に、SDRAM をアクセスするコマンドを書き込まないでください。また、SDRCR<SFRC> を“1”に設定する命令と HALT 命令の間に、少なくとも 4 回の NOP もしくはほかの命令を実行してください。

例)

```
SET 7, (SDRCR)
NOP
NOP
NOP
NOP
NOP
HALT
```

\* 最少 4 回の NOP

## (3) SDRAM 初期化

TMP92C820 は、電源供給時にSDRAMに必要な以下のサイクルを発生することができ  
ます。そのサイクルを図 3.16.17に示します。

1. 全バンクのプリチャージ
2. モードレジスタの設定
3. 8 回のリフレッシュサイクル

上記サイクルは、SDACR<SDINI> を“1”にすることにより発生します。

初期化サイクルは、SDACR<SDINI> を“1”に設定後、以下のコマンドを実行し変化す  
るまでの時間です。

このサイクルを実行中、CPU の動作 (命令フェッチ、コマンド実行) は停止します。

さらに、初期化サイクルを実行する前に、SDRAM コントロール信号とアドレス信号  
(A1~A12) としてのポートの設定が必要となります。初期化サイクルが終了した後、  
SDACR<SDINI> は自動的に“0”にクリアされます。

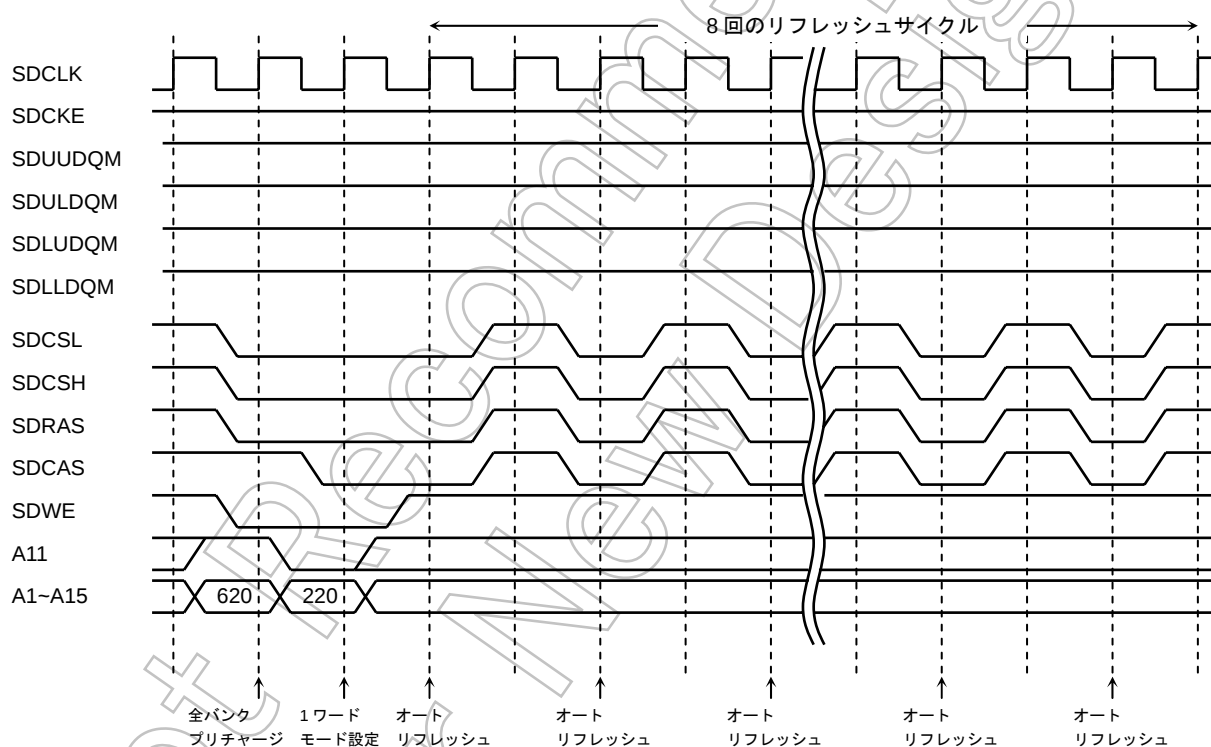


図 3.16.17 初期化サイクルタイミング

## (4) 接続例

SDRAMとの接続例を表 3.16.3, 図 3.16.18~図 3.16.20に示します。

表 3.16.3 SDRAM 接続

| 92C820<br>ピン名称   | SDRAM ピン名称        |                   |                   |                          |                          |                      |                       |              |              |
|------------------|-------------------|-------------------|-------------------|--------------------------|--------------------------|----------------------|-----------------------|--------------|--------------|
|                  | データバス幅 16 ビット     |                   |                   | データバス幅ビット                |                          |                      |                       |              |              |
|                  | 16 M ビット          | 64 M ビット          | 128 M ビット         | 16 M ビット ×<br>16 ビット × 2 | 64 M ビット ×<br>16 ビット × 2 | 64 M ビット ×<br>32 ビット | 128 M ビット ×<br>32 ビット |              |              |
| A0               | —                 | —                 | —                 | —                        | —                        | —                    | —                     | —            | —            |
| A1               | A0<br>(A9)        | A0<br>(A9)        | A0<br>(A10)       | —                        | —                        | —                    | —                     | —            | —            |
| A2               | A1<br>(A10)       | A1<br>(A10)       | A1<br>(A11)       | A0<br>(A10)              | A0<br>(A10)              | A0<br>(A10)          | A0<br>(A10)           | A0<br>(A10)  | A0<br>(A10)  |
| A3               | A2<br>(A11)       | A2<br>(A11)       | A2<br>(A12)       | A1<br>(A11)              | A1<br>(A11)              | A1<br>(A11)          | A1<br>(A11)           | A1<br>(A11)  | A1<br>(A11)  |
| A4               | A3<br>(A12)       | A3<br>(A12)       | A3<br>(A13)       | A2<br>(A12)              | A2<br>(A12)              | A2<br>(A12)          | A2<br>(A12)           | A2<br>(A12)  | A2<br>(A12)  |
| A5               | A4<br>(A13)       | A4<br>(A13)       | A4<br>(A14)       | A3<br>(A13)              | A3<br>(A13)              | A3<br>(A13)          | A3<br>(A13)           | A3<br>(A13)  | A3<br>(A13)  |
| A6               | A5<br>(A14)       | A5<br>(A14)       | A5<br>(A15)       | A4<br>(A14)              | A4<br>(A14)              | A4<br>(A14)          | A4<br>(A14)           | A4<br>(A14)  | A4<br>(A14)  |
| A7               | A6<br>(A15)       | A6<br>(A15)       | A6<br>(A16)       | A5<br>(A15)              | A5<br>(A15)              | A5<br>(A15)          | A5<br>(A15)           | A5<br>(A15)  | A5<br>(A15)  |
| A8               | A7<br>(A16)       | A7<br>(A16)       | A7<br>(A17)       | A6<br>(A16)              | A6<br>(A16)              | A6<br>(A16)          | A6<br>(A16)           | A6<br>(A16)  | A6<br>(A16)  |
| A9               | A8<br>(A17)       | A8<br>(A17)       | A8<br>(A18)       | A7<br>(A17)              | A7<br>(A17)              | A7<br>(A17)          | A7<br>(A17)           | A7<br>(A17)  | A7<br>(A17)  |
| A10              | A9<br>(A18)       | A9<br>(A18)       | A9<br>(A19)       | A8<br>(A18)              | A8<br>(A18)              | A8<br>(A18)          | A8<br>(A18)           | A8<br>(A18)  | A8<br>(A18)  |
| A11              | A10<br>(A19)      | A10<br>(A19)      | A10<br>(A20)      | A9<br>(A19)              | A9<br>(A19)              | A9<br>(A19)          | A9<br>(A19)           | A9<br>(A19)  | A9<br>(A19)  |
| A12              | BS<br>(A20)       | A11<br>(A20)      | A11<br>(A21)      | A10<br>(A20)             | A10<br>(A20)             | A10<br>(A20)         | A10<br>(A20)          | A10<br>(A20) | A10<br>(A20) |
| A13              | —                 | BS0<br>(A21)      | BS0<br>(A22)      | BS<br>(A21)              | BS<br>(A21)              | A11<br>(A21)         | A11<br>(A21)          | BS0<br>(A21) | A11<br>(A21) |
| A14              | —                 | BS1<br>(A22)      | BS1<br>(A23)      | —                        | —                        | BS0<br>(A22)         | BS0<br>(A22)          | BS1<br>(A22) | BS0<br>(A22) |
| A15              | —                 | —                 | —                 | —                        | —                        | BS1<br>(A23)         | BS1<br>(A23)          | —            | BS1<br>(A23) |
| SDCSH            | —                 | —                 | —                 | CS                       | —                        | CS                   | —                     | —            | —            |
| SDCSL            | CS                | CS                | CS                | —                        | CS                       | —                    | CS                    | CS           | CS           |
| SDUUDQM          | —                 | —                 | —                 | UDQM                     | —                        | UDQM                 | —                     | DQM3         | DQM3         |
| SDULDQM          | —                 | —                 | —                 | LDQM                     | —                        | LDQM                 | —                     | DQM2         | DQM2         |
| SDLUDQM          | UDQM              | UDQM              | UDQM              | —                        | UDQM                     | —                    | UDQM                  | DQM1         | DQM1         |
| SDLLDQM          | LDQM              | LDQM              | LDQM              | —                        | LDQM                     | —                    | LDQM                  | DQM0         | DQM0         |
| SDRAS            | RAS               | RAS               | RAS               | RAS                      | RAS                      | RAS                  | RAS                   | RAS          | RAS          |
| SDCAS            | CAS               | CAS               | CAS               | CAS                      | CAS                      | CAS                  | CAS                   | CAS          | CAS          |
| SDWE             | WE                | WE                | WE                | WE                       | WE                       | WE                   | WE                    | WE           | WE           |
| SDCKE            | CKE               | CKE               | CKE               | CKE                      | CKE                      | CKE                  | CKE                   | CKE          | CKE          |
| SDCLK            | CLK               | CLK               | CLK               | CLK                      | CLK                      | CLK                  | CLK                   | CLK          | CLK          |
| SDACR<br><SDBUS> | 00:<br>16 ビット × 1 | 00:<br>16 ビット × 1 | 00:<br>16 ビット × 1 | 01:<br>16 ビット × 2        | 01:<br>16 ビット × 2        | 10:<br>32 ビット × 1    | 10:<br>32 ビット × 1     |              |              |
| SDACR<br><SMUXW> | 00: タイプ A         | 00: タイプ A         | 01: タイプ B         | 00: タイプ A                | 00: タイプ A                | 00: タイプ A            | 00: タイプ A             |              |              |

(An): ロードアドレス

■ : SDRAM のコマンドアドレス端子

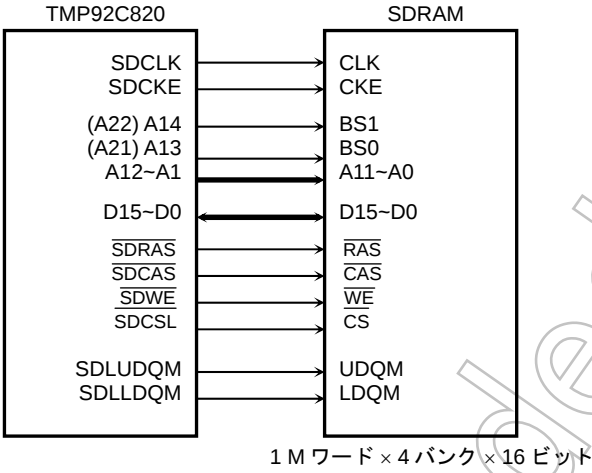


図 3.16.18 SDRAM (1 M ワード × 16 ビット) との接続例

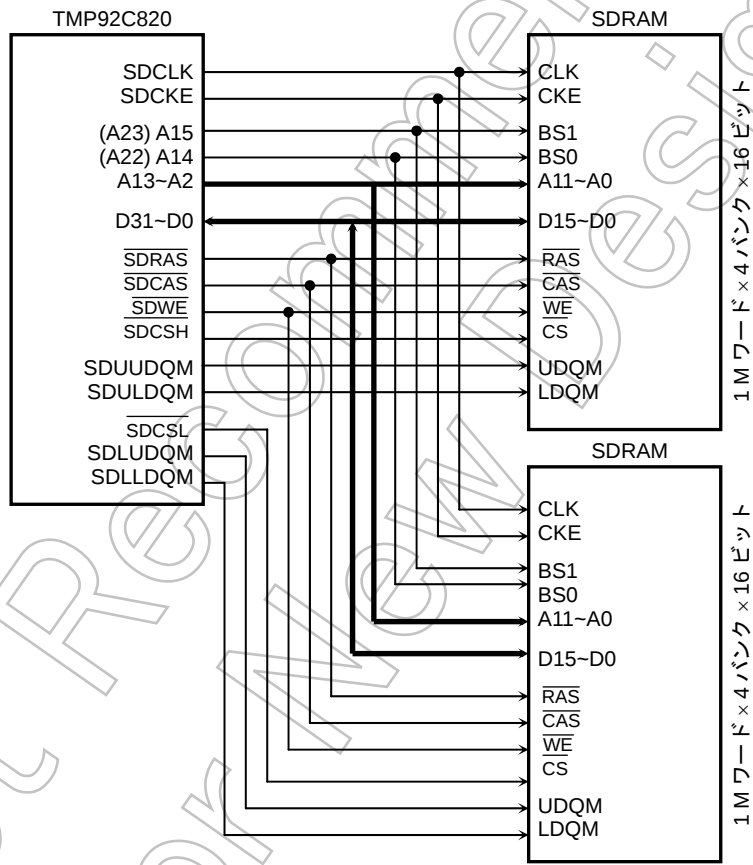
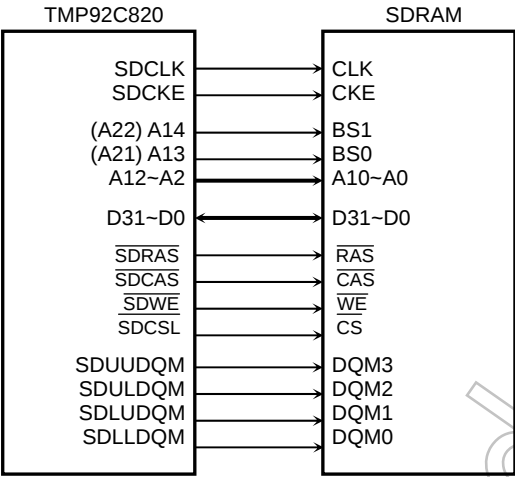


図 3.16.19 SDRAM (1 M ワード × 16 ビット × 2) との接続例



512 K ワード × 4 バンク × 32 ビット

図 3.16.20 SDRAM (512 K ワード × 32 ビット) との接続例

### 3.16.3 SDRAM 使用時の注意点

SDRAM コントローラを使用する上でいくつかの注意点があります。

下記項目をよく確認いただき、誤った使用をしないようにご注意ください。

#### 1) WAIT アクセス

SDRAM を使用する際は、SDRAM 以外のメモリアクセスに一部条件が追加されます。メモリコントローラが持つ WAIT 端子入力設定において、SDRAM コントローラが制御するオートリフレッシュ機能のリフレッシュ間隔×14 を超える時間を外部 WAIT として挿入することはできません。外部 WAIT はオートリフレッシュ間隔×14 以下の時間にしてください。

#### 2) HALT 命令前の SDRAM SR(セルフリフレッシュ)エントリ、自動初期化の実行

SDRAM コントローラの持つ SR-Entry、自動初期化の実行には数ステートの実行時間が必要です。

よって、その後に HALT 命令を実行する場合は、HALT 命令との間に 10 バイト以上の NOP 命令、あるいは他の命令を実行してください。

#### 3) AR(オートリフレッシュ)間隔の設定

SDRAM 使用においては、使用する SDRAM の最低動作周波数、最低リフレッシュ間隔を満たすようなシステムクロック周波数を設定することが必要です。SDRAM を使用し SLOW モードを使用、またはクロックギアをダウンさせることがあるシステムでは、SDRAM の AR 間隔に注意してください。

なお、AR 間隔を変更時は SDRCR<SRC>に"0"をライトし AR を禁止にした状態で変更してください。

また、AR 停止により、SDRAM の A.C スペックを満足できない可能性があるため AR 間隔は分散リフレッシュ間隔に 10 ステート分を付加して設定してください。

(計算例)

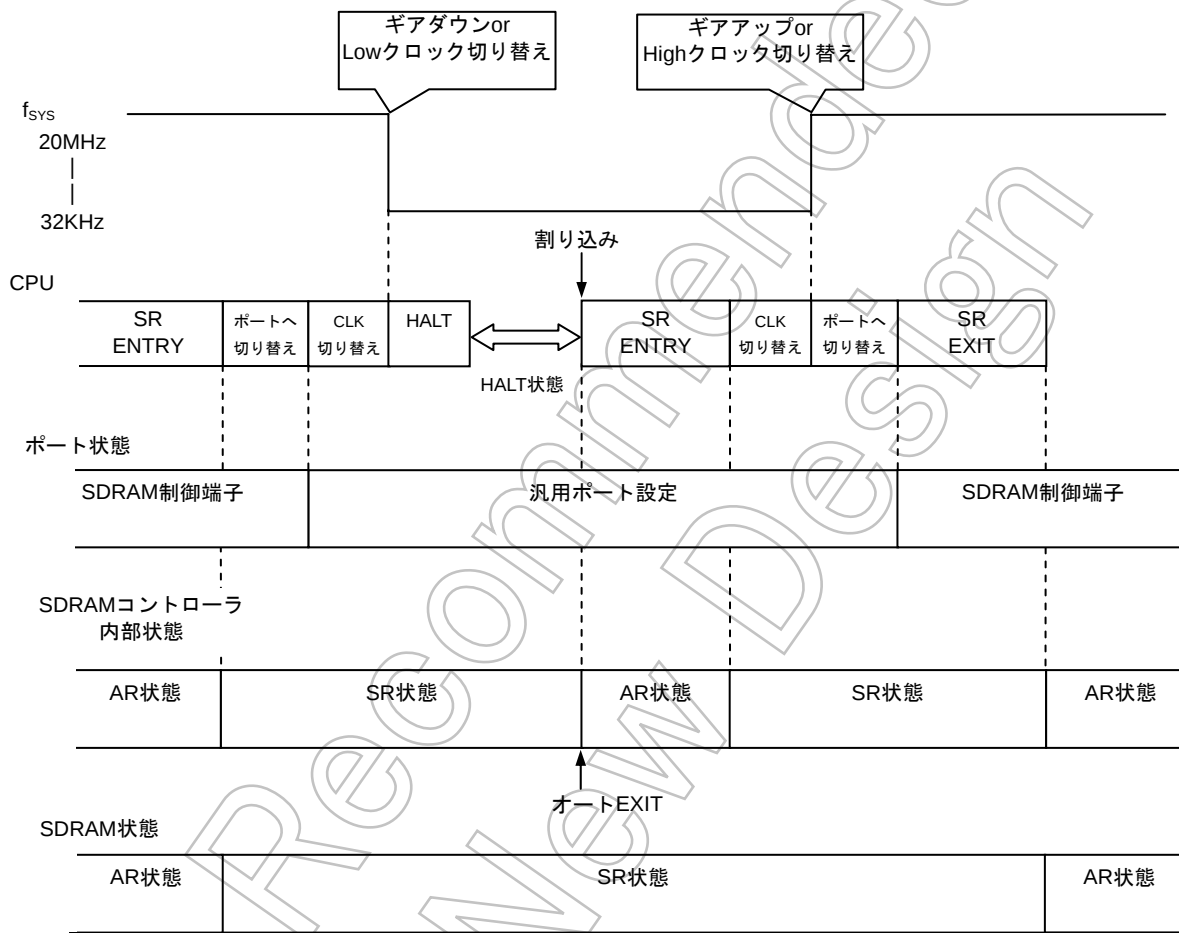
$f_{\text{SYS}}=20\text{MHz}$ , SDRAM の分散リフレッシュ間隔のスペックが 4096 回/64ms の場合

$$64\text{ms} / 4096 \text{ 回} = 15.625\mu\text{s}/1 \text{ 回} = 312.5\text{state}/1 \text{ 回}$$

$$312.5 - 10 = 302.5\text{state}/1 \text{ 回以下の設定が必要} \rightarrow 247\text{state} \text{ の設定が必要}$$

- 4) セルフリフレッシュ状態から Exit 時におけるオート Exit 機能問題
- セルフリフレッシュ機能と、CPU のスタンバイ機能やクロック切り替えを併用する場合、CPU の HALT 解除によって、セルフリフレッシュが自動的に解除される機能（オート Exit 機能）が働き、SDRAM の使用条件を満たせない場合があります。
- ここでは、S/W によって本問題を回避するための一例を示します。

(制御フロー概念図)



注 1) 切り替えを行う対象のポートは「SDCKE 端子」および「SDCS 端子」

注 2) セルフリフレッシュの ENTRY 方法は、4)の条件を含む。

注 3) SR: セルフリフレッシュ、AR: オートリフレッシュを示す。

### 3.17 16 ビットタイマ/イベントカウンタ

TMP92C820 は、16 ビットタイマ/イベントカウンタ (TMRB) を 1 チャンネル内蔵しており、以下の動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波 (PPG) 出力モード

図 3.17.1 に、TMRB0 のブロック図を示します。

TMRB0 は主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 本、およびキャプチャ入力制御、タイマフリップフロップと、その制御回路で構成されています。各タイマは、11 バイトのレジスタ (SFR) で制御されます。

また、本章は下記のような構成になっています。

#### 3.17.1 ブロック図

#### 3.17.2 回路別の動作説明

#### 3.17.3 SFR 説明

#### 3.17.4 モード別動作説明

- (1) 16 ビットインタバルタイマモード
- (2) 16 ビット PPG (プログラマブル矩形波) 出力モード

表 3.17.1 TMRB0 の端子と SFR

| 仕様            |                           | チャンネル | TMRB0             |
|---------------|---------------------------|-------|-------------------|
| 外部端子          | 外部クロック/<br>キャプチャトリガ入力端子   |       | なし                |
|               | タイマフリップフロップ<br>出力端子       |       | TB0OUT0 (PC6 と兼用) |
| SFR<br>(アドレス) | タイマ Run レジスタ              |       | TB0RUN (1180H)    |
|               | タイマモードレジスタ                |       | TB0MOD (1182H)    |
|               | タイマフリップフロップ<br>コントロールレジスタ |       | TB0FFCR (1183H)   |
|               | タイマレジスタ                   |       | TB0RG0L (1188H)   |
|               |                           |       | TB0RG0H (1189H)   |
|               |                           |       | TB0RG1L (118AH)   |
|               |                           |       | TB0RG1H (118BH)   |
|               | キャプチャレジスタ                 |       | TB0CP0L (118CH)   |
|               |                           |       | TB0CP0H (118DH)   |
|               |                           |       | TB0CP1L (118EH)   |
|               |                           |       | TB0CP1H (118FH)   |

## 3.17.1 ブロック図

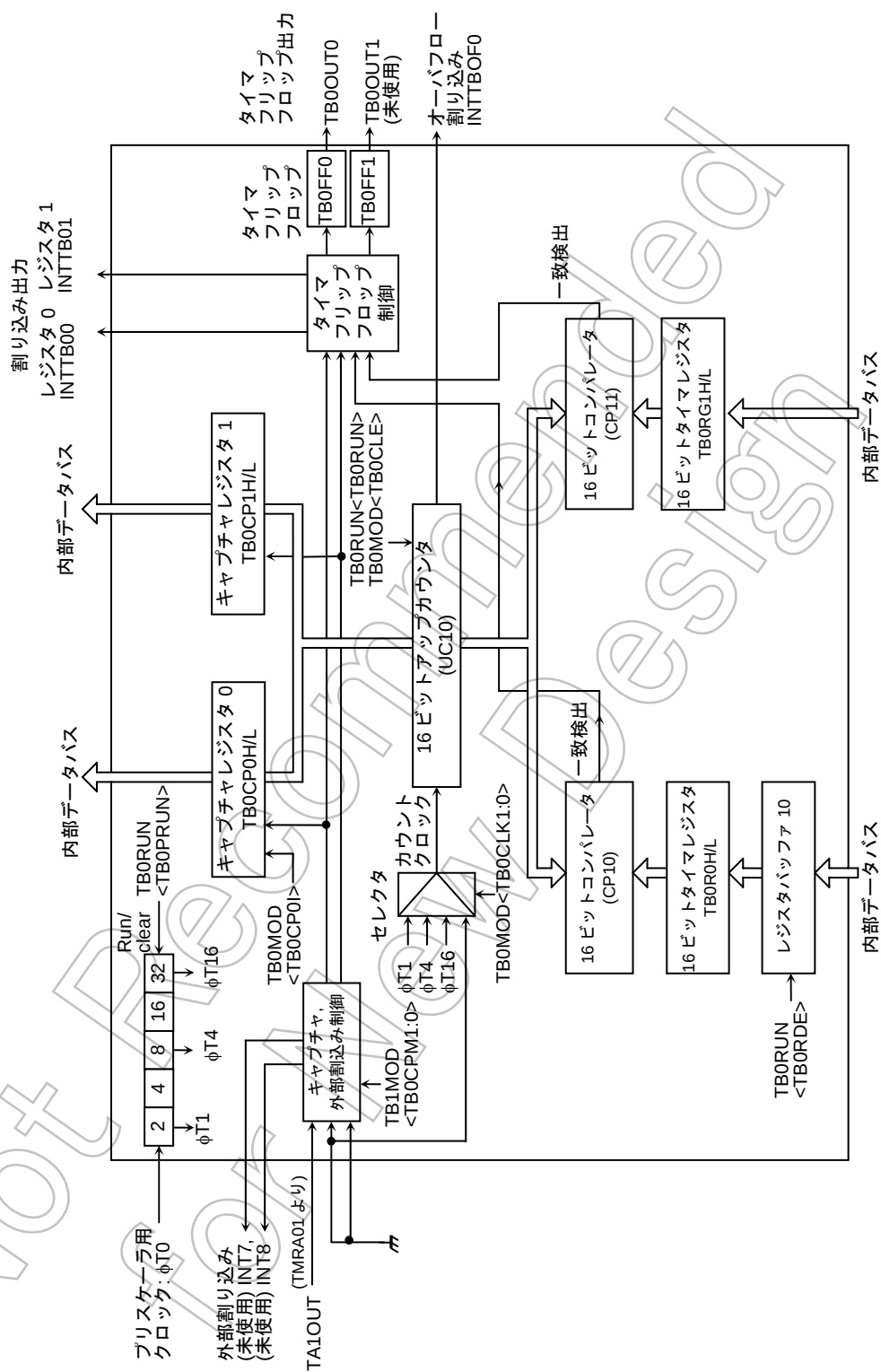


図 3.17.1 TMRB0 のブロック図

## 3.17.2 回路別の動作説明

## (1) プリスケーラ

TMRB0 のクロックソースを得るため、5 ビットプリスケーラがあります。プリスケーラへの入力クロック $\phi T0$ は、クロックギア部の SYSCR1<SYSCK>にて選択したクロックを 8 分周したクロックです。

このプリスケーラはTB0RUN<TB0PRUN>により制御されます。<TB0PRUN> を“1”に設定するとカウントを開始し、<TB0PRUN>を“0”に設定するとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.17.2に示します。

表 3.17.2 プリスケーラ出力クロック分解能

| クロックギア<br>選択<br>SYSCR1<br><GEAR2:0> | システム<br>クロック選択<br>SYSCR1<br><SYSCK> | －   | タイマカウンタ入力クロック<br>TMRB 部プリスケーラ<br>TB0MOD<TB0CLK1:0> |          |            |
|-------------------------------------|-------------------------------------|-----|----------------------------------------------------|----------|------------|
|                                     |                                     |     | φT1(1/2)                                           | φT4(1/8) | φT16(1/32) |
| －                                   | 1 (fs)                              | 1/8 | fs/16                                              | fs/64    | fs/256     |
| 000 (1/1)                           | 0 (fc)                              |     | fc/16                                              | fc/64    | fc/256     |
| 001 (1/2)                           |                                     |     | fc/32                                              | fc/128   | fc/512     |
| 010 (1/4)                           |                                     |     | fc/64                                              | fc/256   | fc/1024    |
| 011 (1/8)                           |                                     |     | fc/128                                             | fc/512   | fc/2048    |
| 100 (1/16)                          |                                     |     | fc/256                                             | fc/1024  | fc/4096    |

## (2) アップカウンタ (UC10)

TB0MOD<TB0CLK1:0>で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

入力クロックは、 $\phi T1$ ,  $\phi T4$ ,  $\phi T16$ 、または TB0IN0 端子の外部クロックのいずれかを選択でき、TB0RUN<TB0PRUN>によってカウント/停止 & クリアを設定します。

UC10 は、タイマレジスタ TB0RG1H/L と一致すると、クリアイネーブルであれば、0 にクリアされます。クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE> で設定します。

また、UC10 のオーバフローが発生した場合、オーバフロー割り込み (INTTBOF0) が発生します。

## (3) タイマレジスタ (TB0RG0H/L, TB0RG1H/L)

この 2 つの 16 ビットレジスタは、周波数を設定して使用します。UC10 アップカウンタの値がタイマレジスタの値と一致すると、コンパレータ一致検出信号が出力されます。16 ビットタイマレジスタ TB0RG0H/L, TB0RG1H/L へのデータ設定は、必ず上位と下位の 2 バイトのデータ設定が必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット, 上位 8 ビットの順に行います。

TB0RG0H/L タイマレジスタは、ダブルバッファ構成になっており、レジスタバッファ 8 とペアになっています。ダブルバッファのイネーブル/ディセーブルの制御は、TMRB コントロールレジスタによって行います。このビットが “0” のときディセーブルとなり、“1” のときイネーブルとなります。

ダブルバッファイネーブルに設定した場合、レジスタバッファからタイマレジスタへのデータ転送は、アップカウンタ(UC10)とタイマレジスタ (TB0RG1H/L) の値が一致したときに行われます。

リセット動作により、TB0RG0H/L, TB0RG1H/L は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。

リセット動作により、<TBORDE>=“0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み<TBORDE>=“1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TB0RG0H/L とレジスタバッファは、同じアドレス 001188H/001189H に割り付けられています。<TBORDE>=“0” のときは、TB0RG0H/L とレジスタバッファに同じ値が書き込まれ、<TBORDE>=“1” のときは、レジスタバッファのみに値が書き込まれます。

タイマレジスタのアドレスは次のとおりです。

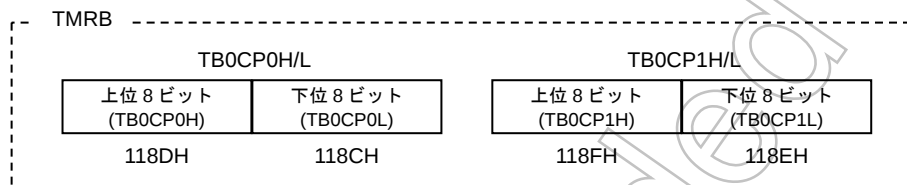
| TMRB                  |                       |                       |                       |
|-----------------------|-----------------------|-----------------------|-----------------------|
| TB0RG0H/L             |                       | TB0RG1H/L             |                       |
| 上位 8 ビット<br>(TB0RG0H) | 下位 8 ビット<br>(TB0RG0L) | 上位 8 ビット<br>(TB0RG1H) | 下位 8 ビット<br>(TB0RG1L) |
| 1189H                 | 1188H                 | 118BH                 | 118AH                 |

注) このタイマレジスタは書き込み専用レジスタのため、読み出すことはできません。

## (4) キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタ UC10 の値をラッチする 16 ビットのレジスタです。

キャプチャレジスタを読み出す場合は、必ず上位と下位の 2 バイトのデータリードが必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 バイト、上位 8 バイトの順に読み出してください。各キャプチャレジスタのアドレスは次のとおりです。



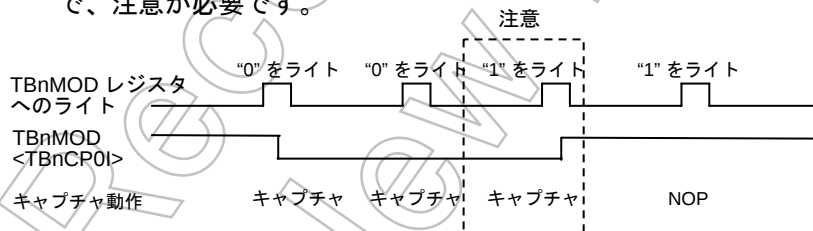
注) キャプチャレジスタは読み出し専用レジスタです。プログラムによる書き込みはできません。

## (5) キャプチャ、外部割込み制御

アップカウンタ UC10 の値を、キャプチャレジスタ TB0CP0H/L または TB0CP1H/L にラッチするタイミングを制御する回路です。キャプチャレジスタの割り込みタイミングは、TB0MOD<TB0CPM1:0> で設定します。

また、ソフトウェアによってもアップカウンタ UC10 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0I> に“0”を書き込むたびに、その時点の UC10 の値をキャプチャレジスタ TB0CP0H/L へキャプチャします。なお、プリスケアラは RUN 状態 (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

注) TB0MOD<TB0CP0I>へ“0”を書き込むたびに、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれますが、TB0MOD<TB0CP0I>へ“0”が書き込まれている状態から TB0MOD<TB0CP0I> ビットへ“1”を書き込んでも、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれますので、注意が必要です。



## (6) コンパレータ (CP10, CP11)

アップカウンタ UC10 と TB0RG0H/L, TB0RG1H/L への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、それぞれ割り込み INTTB00, INTTB01 を発生します。

## (7) タイマフリップフロップ (TB0FF0)

タイマフリップフロップ (TB0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TB0FFCR<TB0C0T1, TB0E1T1, TB0E0T1> によって設定できます。リセット後、TB0FF0 の値は不定となります。TB0FFCR<TB0FF0C1:0> に“00”を書き込むことで反転、“01”を書き込むことで“1”をセット、“10”を書き込むことで“0”にクリアすることが可能です。

TB0FF0 の値は、タイマ出力端子 TB0OUT0 (PC6 と兼用) へ出力することができます。タイマ出力を行う場合は、あらかじめポート C のファンクションレジスタにより設定を行う必要があります。

3.17.3 SFR 説明

TMRB0 Run レジスタ

|                   |            |                               |                     |   |   |                         |                                                    |   |                       |
|-------------------|------------|-------------------------------|---------------------|---|---|-------------------------|----------------------------------------------------|---|-----------------------|
| TB0RUN<br>(1180H) |            | 7                             | 6                   | 5 | 4 | 3                       | 2                                                  | 1 | 0                     |
|                   | Bit symbol | TB0RDE                        | —                   |   |   | I2TB0                   | TB0PRUN                                            |   | TB0RUN                |
|                   | Read/Write | R/W                           |                     |   |   | R/W                     |                                                    |   | R/W                   |
|                   | リセット後      | 0                             | 0                   |   |   | 0                       | 0                                                  |   | 0                     |
|                   | 機 能        | ダブル<br>バッファ<br>0: 禁止<br>1: 許可 | “0” をライト<br>してください。 |   |   | IDLE2<br>0: 停止<br>1: 動作 | TMRB0<br>プリスケ<br>ーラ<br>0: 停止 & クリア<br>1: 動作 (カウント) |   | アップカウ<br>ンタ<br>(UC10) |

→ カウント動作

|   |          |
|---|----------|
| 0 | 停止 & クリア |
| 1 | カウント     |

注) TB0RUN のビット 1, 4, 5 は、リードすると不定値がリードされます。

図 3.17.2 TMRB レジスタ

TMRB0 モードレジスタ

TB0MOD  
(1182H)  
  
リード  
モディファイ  
ライト  
できません

|            | 7               | 6 | 5                                      | 4                                                                               | 3       | 2                                 | 1                                                               | 0       |
|------------|-----------------|---|----------------------------------------|---------------------------------------------------------------------------------|---------|-----------------------------------|-----------------------------------------------------------------|---------|
| Bit symbol | –               | – | TB0CP0I                                | TB0CPM1                                                                         | TB0CPM0 | TB0CLE                            | TB0CLK1                                                         | TB0CLK0 |
| Read/Write | R/W             |   | W*                                     | R/W                                                                             |         |                                   |                                                                 |         |
| リセット後      | 0               | 0 | 1                                      | 0                                                                               | 0       | 0                                 | 0                                                               | 0       |
| 機能         | "0" をライトしてください。 |   | ソフトウェアキャプチャ制御<br>0: ソフトキャプチャ<br>1: 未定義 | キャプチャタイミング<br>00: ディセーブル<br>01: Reserved<br>10: Reserved<br>11: TA1OUT↑ TA1OUT↓ |         | アップカウンタ制御<br>0: クリア禁止<br>1: クリア許可 | TMRB0 ソースクロック<br>00: Reserved<br>01: φT1<br>10: φT4<br>11: φT16 |         |

→TMRB0 ソースクロック

|    |          |
|----|----------|
| 00 | Reserved |
| 01 | φT1      |
| 10 | φT4      |
| 11 | φT16     |

→アップカウンタ (UC0) のクリア

|   |                    |
|---|--------------------|
| 0 | アップカウンタのクリア禁止      |
| 1 | TB0RG1H/L との一致でクリア |

→キャプチャ/割り込みタイミング

|    |                                          |
|----|------------------------------------------|
|    | キャプチャ制御                                  |
| 00 | ディセーブル                                   |
| 01 | Reserved                                 |
| 10 | Reserved                                 |
| 11 | TA1OUT の立ち上がり CAP0<br>TA1OUT の立ち下がり CAP1 |

→ソフトウェアキャプチャ

|   |                              |
|---|------------------------------|
| 0 | TB0CP0H/L へアップカウンタの値を取り込みます。 |
| 1 | 未定義 (注)                      |

注) TB0MOD<TB0CP0I>へ "0" を書き込むたびに、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれますが、TB0MOD<TB0CP0I> ビットへ "0" が書き込まれている状態から TB0MOD<TB0CP0I>へ "1" を書き込んでも、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれますので注意が必要です。

図 3.17.3 TMRB レジスタ

TMRB0 フリップフロップコントロールレジスタ

TB0FFCR  
(1183H)  
リード  
モディファイ  
ライト  
できません

|            | 7                                             | 6 | 5                                                                    | 4       | 3       | 2       | 1                                                                                      | 0       |
|------------|-----------------------------------------------|---|----------------------------------------------------------------------|---------|---------|---------|----------------------------------------------------------------------------------------|---------|
| Bit symbol | –                                             | – | TB0C1T1                                                              | TB0C0T1 | TB0E1T1 | TB0E0T1 | TB0FFC1                                                                                | TB0FFC0 |
| Read/Write | W*                                            |   | R/W                                                                  |         |         |         | W*                                                                                     |         |
| リセット後      | 1                                             | 1 | 0                                                                    | 0       | 0       | 0       | 1                                                                                      | 1       |
| 機能         | “11” をライトしてください。<br><br>*リードすると常に “11” になります。 |   | TB0FF0 反転制御<br>0: 反転禁止<br>1: 反転許可<br><br>TB0CP1H/L へ UC10 値をキャプチャする時 |         |         |         | TB0FF0 の制御<br>00: 反転<br>01: セット<br>10: クリア<br>11: Don't care<br>* リードすると常に “11” になります。 |         |

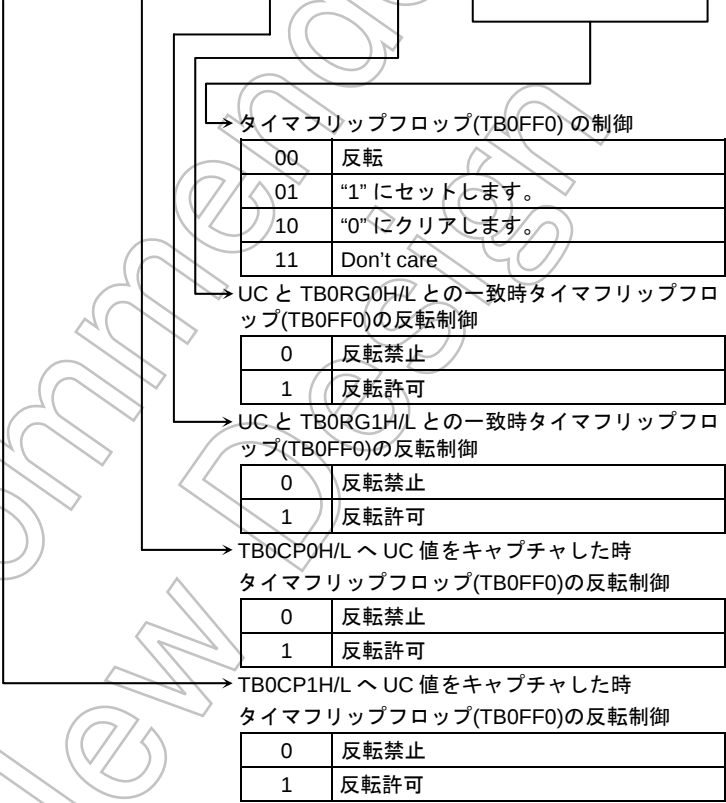


図 3.17.4 TMRB レジスタ

TMRB0 レジスタ

|                    |            | 7  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------------------|------------|----|---|---|---|---|---|---|---|
| TB0RG0L<br>(1188H) | bit Symbol | —  |   |   |   |   |   |   |   |
|                    | Read/Write | W  |   |   |   |   |   |   |   |
|                    | リセット後      | 不定 |   |   |   |   |   |   |   |
| TB0RG0H<br>(1189H) | bit Symbol | —  |   |   |   |   |   |   |   |
|                    | Read/Write | W  |   |   |   |   |   |   |   |
|                    | リセット後      | 不定 |   |   |   |   |   |   |   |
| TB0RG1L<br>(118AH) | bit Symbol | —  |   |   |   |   |   |   |   |
|                    | Read/Write | W  |   |   |   |   |   |   |   |
|                    | リセット後      | 不定 |   |   |   |   |   |   |   |
| TB0RG1H<br>(118BH) | bit Symbol | —  |   |   |   |   |   |   |   |
|                    | Read/Write | W  |   |   |   |   |   |   |   |
|                    | リセット後      | 不定 |   |   |   |   |   |   |   |
| TB0CP0L<br>(118CH) | bit Symbol | —  |   |   |   |   |   |   |   |
|                    | Read/Write | W  |   |   |   |   |   |   |   |
|                    | リセット後      | 不定 |   |   |   |   |   |   |   |
| TB0CP0H<br>(118DH) | bit Symbol | —  |   |   |   |   |   |   |   |
|                    | Read/Write | W  |   |   |   |   |   |   |   |
|                    | リセット後      | 不定 |   |   |   |   |   |   |   |
| TB0CP1L<br>(118EH) | bit Symbol | —  |   |   |   |   |   |   |   |
|                    | Read/Write | W  |   |   |   |   |   |   |   |
|                    | リセット後      | 不定 |   |   |   |   |   |   |   |
| TB0CP1H<br>(118FH) | bit Symbol | —  |   |   |   |   |   |   |   |
|                    | Read/Write | W  |   |   |   |   |   |   |   |
|                    | リセット後      | 不定 |   |   |   |   |   |   |   |

注) 上記レジスタはリードモディファイライトできません。

図 3.17.5 TMRB レジスタ

## 3.17.4 モード別動作説明

## (1) 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TB0RG1H/L にインタバル時間を設定し、INTTB01 割り込みを発生させます。

|         | 7                 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-------------------|---|---|---|---|---|---|---|
| TB0RUN  | ← 0               | 0 | X | X | - | 0 | X | 0 |
| INTTB01 | ← X               | 1 | 0 | 0 | X | 0 | 0 | 0 |
| TB0FFCR | ← 1               | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| TB0MOD  | ← 0               | 0 | 1 | 0 | 0 | 1 | * | * |
|         | (** = 01, 10, 11) |   |   |   |   |   |   |   |
| TB0RG1  | ← *               | * | * | * | * | * | * | * |
|         | * * * * *         |   |   |   |   |   |   |   |
| TB0RUN  | ← 0               | 0 | X | X | - | 1 | X | 1 |

X: Don't care, -: No change

TMRB0 を停止します。

INTTB01 をイネーブル(レベル 4)に、INTTB00 をディセーブルにします。

トリガディセーブルにします。

入力クロックをプリスケアラ出力クロックにし、キャプチャ機能をディセーブルにします。

インタバル時間を設定します。

(16 ビット)

TMRB0 を起動します。

## (2) 16 ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、Low アクティブ、High アクティブどちらも可能です。

アップカウンタ UC0 とタイマレジスタ TB0RG0H/L、TB0RG1H/L への設定値との一致により、タイマフリップフロップ TB0FF0 の反転トリガをかけることで、プログラマブル矩形波を TB0OUT0 端子より出力することができます。ただし、TB0RG0H/L と TB0RG1H/L の設定値は次の条件を満たす必要があります。

$(\text{TB0RG0H/L への設定値}) < (\text{TB0RG1H/L への設定値})$

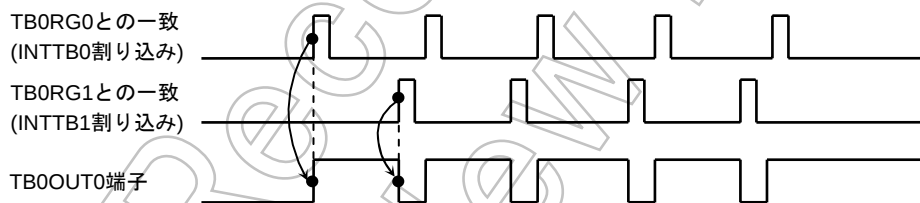


図 3.17.6 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TB0RG0H/L のダブルバッファをイネーブルにすることにより、TB0RG1H/L との一致でレジスタバッファ 0 の値が TB0RG0H/L へシフトインされます。これにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

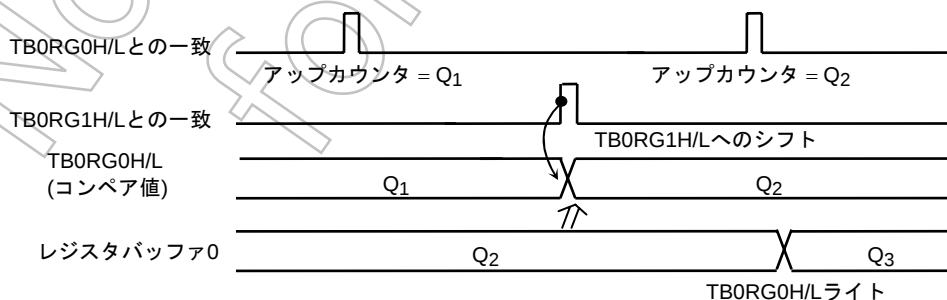


図 3.17.7 レジスタバッファの動作

このモードのブロック図を示します。

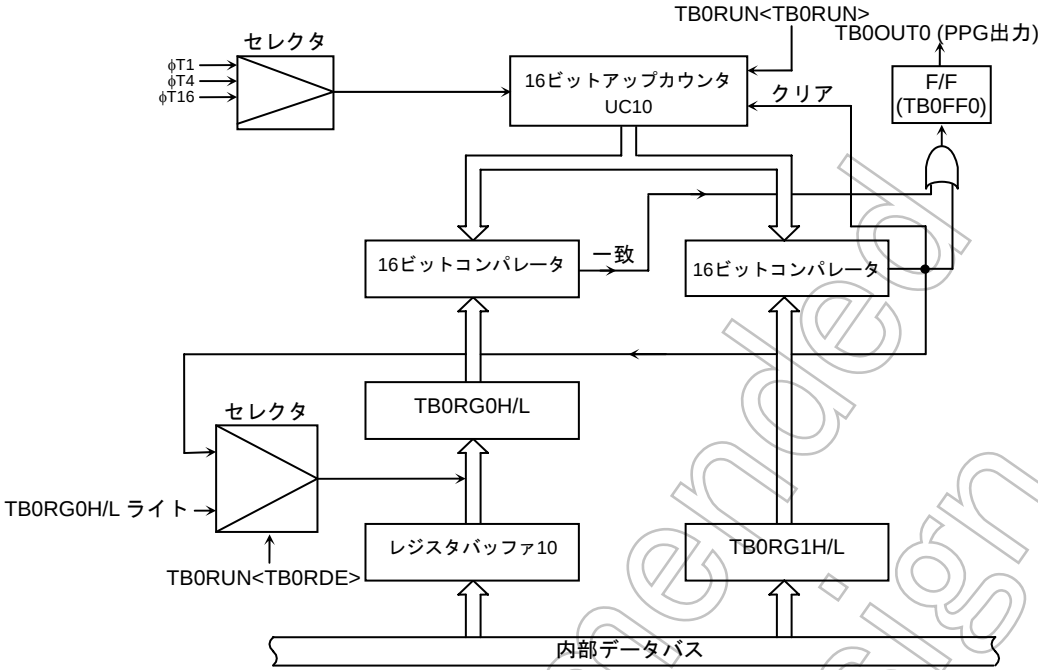


図 3.17.8 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

|           | 7                 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----------|-------------------|---|---|---|---|---|---|---|
| TB0RUN    | ← 0               | 0 | X | X | - | 0 | X | 0 |
| TBORG0    | ← *               | * | * | * | * | * | * | * |
| TBORG1H/L | ← *               | * | * | * | * | * | * | * |
| TB0RUNH/L | ← 1               | 0 | X | X | - | 0 | X | 0 |
| TB0FFCR   | ← X               | X | 0 | 0 | 1 | 1 | 1 | 0 |
| TB0MOD    | ← 0               | 0 | 1 | 0 | 0 | 1 | * | * |
|           | (** = 01, 10, 11) |   |   |   |   |   |   |   |
| PCCR      | ← X               | 1 | - | X | - | X | - | - |
| PCFC      | ← X               | 1 | - | X | - | X | - | - |
| TB0RUN    | ← 1               | 0 | X | X | - | 1 | X | 1 |

X: Don't care, -: No change

- TBORG0H/L ダブルバッファをディセーブルにし、TMRB0 を停止します。
- デューティを設定します。
- (16 ビット)
- 周波数を設定します。
- (16 ビット)
- TBORG0H/L のダブルバッファをイネーブルにします。(INTTB01 割り込みでデューティ/周期の変更)
- TB0FF0 を TBORG0H/L, TBORG1H/L との一致検出で反転するように設定します。また、TB0FF0 の初期値を "0" にします。
- 入力クロックをプリスケアラ出力クロックにし、キャプチャ機能をディセーブルにします。
- TB0OUT0 を PC6 端子に割り付けます。
- TMRB0 を起動します。

### 3.18 電源供給システム PSB (Power supply backup)

TMP92C820 の電源供給は下記の 3 系統があります。

- アナログ電源供給 (AVCC~AVSS)
- デジタル電源供給 (DVCC~DVSS)
- RTC 用デジタル電源供給 (RTCVCC~DVSS)

各電源供給は独立しています。

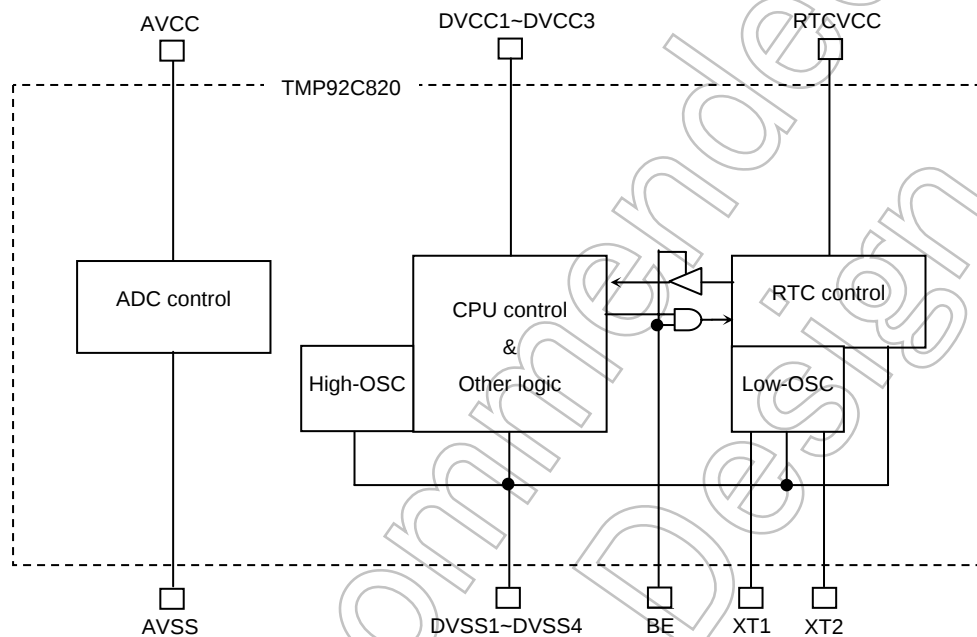


図 3.18.1 電源供給システム

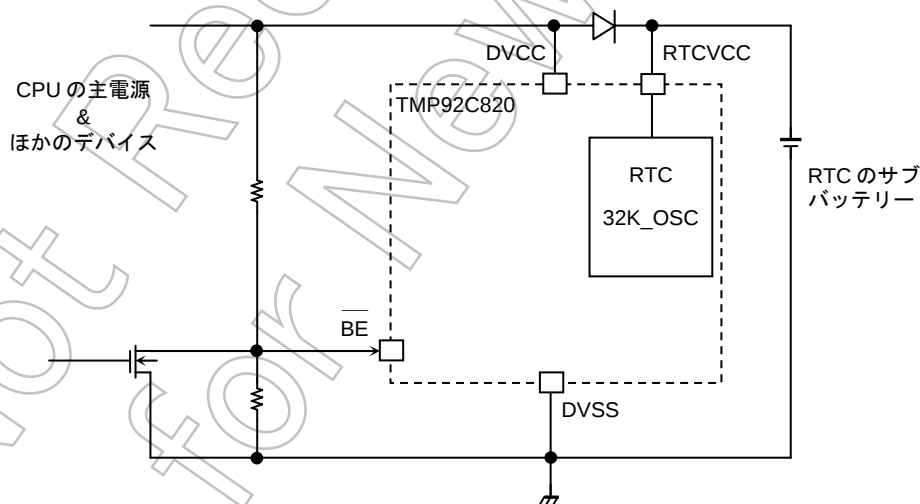


図 3.18.2 電源供給システム用外部回路例

TMP92C820 はサブバッテリー供給下での RTC のみ動作する電源供給バックアップモードを持っています。TMP92C820 は RESET 端子と  $\overline{\text{BE}}$  (バックアップイネーブル) 端子により、電源供給バックアップモードに入ります。

下記に  $\overline{\text{BE}}$  端子と  $\overline{\text{RESET}}$  端子のタイミング図を示します。

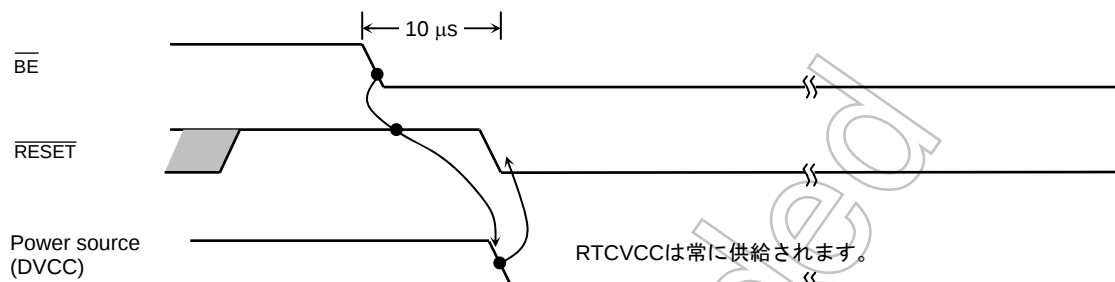


図 3.18.3 ノーマルモードから PSB モードへの移行



図 3.18.4 PSB モードからノーマルモードへの移行

バックアップイネーブル端子 ( $\overline{\text{BE}}$ )

RTC は、 $\overline{\text{BE}} = \text{"L"}$  のときでも動作可能です。 $\overline{\text{BE}} = \text{"L"}$  のとき、RTC のレジスタへのアクセスは禁止され、低周波クロック ( $f_s$ ) は、RTC 以外のブロックへ供給されません。また、このとき RTC 内部回路のみ動作し、出力機能 ( $\overline{\text{ALARM}}$ ,  $\overline{\text{ITRTC}}$  など) は禁止されます。

- 注 1) 通常、LSI の電源を落とした状態で制御信号などに "H" レベルの信号を入力すると、余計な電流消費をする可能性がありますので、"L" レベルまたはハイインピーダンス状態にするのが普通ですが、本バックアップ機能使用時で、DVCC 電源を落とした状態では、 $\overline{\text{BE}}$  端子には必ず "L" レベルの信号を入力する必要があります。
- 注 2)  $\overline{\text{BE}} = \text{"L"}$  としたとき、低周波発振器は強制的に動作し、また RTC も動作します。従って、低周波発振器と RTC を動作させないときには、 $\overline{\text{BE}} = \text{"L"}$  の設定をしないでください。
- 注 3)  $\overline{\text{RESET}}$  を解除する場合は、確実に  $\overline{\text{BE}}$  端子が "H" レベルになった後に、 $\overline{\text{RESET}}$  を解除してください。

## 4. 電気的特性

### 4.1 絶対最大定格

| 項目                                | 記号              | 定格                    | 単位               |
|-----------------------------------|-----------------|-----------------------|------------------|
| 電源電圧                              | $V_{CC}$        | -0.5 ~ 4.0            | V                |
| 入力電圧                              | $V_{IN}$        | -0.5 ~ $V_{CC} + 0.5$ | V                |
| 出力電流 (1 端子当たり)                    | $I_{OL}$        | 2                     | mA               |
| 出力電流 (1 端子当たり)                    | $I_{OH}$        | -2                    | mA               |
| 出力電流 (合計)                         | $\Sigma I_{OL}$ | 80                    | mA               |
| 出力電流 (合計)                         | $\Sigma I_{OH}$ | -80                   | mA               |
| 消費電力 ( $T_a = 85^\circ\text{C}$ ) | $P_D$           | 600                   | mW               |
| はんだ付け温度 (10 s)                    | $T_{solder}$    | 260                   | $^\circ\text{C}$ |
| 保存温度                              | $T_{stg}$       | -65 ~ +150            | $^\circ\text{C}$ |
| 動作温度                              | $T_{opr}$       | -20 ~ +70             | $^\circ\text{C}$ |

注) 絶対最大定格とは瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

鉛フリー品(G 付製品)へのはんだ濡れ性についての注意事項

| 試験項目   | 試験条件                                                    | 備考                          |
|--------|---------------------------------------------------------|-----------------------------|
| はんだ付け性 | 230 $^\circ\text{C}$ 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)    | フォーミングまでの半田付着率<br>95%を良品とする |
|        | 245 $^\circ\text{C}$ 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時) |                             |

## 4.2 DC 電気的特性

$$V_{CC} = 3.3 \pm 0.3V / X1 = 4\sim 40 \text{ MHz} / T_a = -20\sim 70^\circ\text{C}$$

| 項目                                                                                                                                          | 記号               | 条件                                             | Min                    | Typ. | Max                 | 単位 |
|---------------------------------------------------------------------------------------------------------------------------------------------|------------------|------------------------------------------------|------------------------|------|---------------------|----|
| 電源電圧<br>(DVCC = AVCC = RTCVCC)<br>(DVSS = AVSS = 0V)                                                                                        | V <sub>CC</sub>  | X1 = 4~40 MHz (内部 2~20 MHz)<br>XT1 = 30~34 KHz | 3.0                    |      | 3.6                 | V  |
| 低レベル入力電圧<br>D0~D7<br>P10~P17 (D8~D15)<br>P20~P27 (D16~D23)<br>P30~P37 (D24~D31)                                                             | V <sub>IL0</sub> |                                                |                        |      | 0.6                 | V  |
| 低レベル入力電圧<br>P40~P47<br>P50~P57<br>P60~P67<br>P76<br>P95<br>PF0, PF3<br>PG0~PG4<br>PL0~PL7                                                   | V <sub>IL1</sub> |                                                | -0.3                   |      | 0.3V <sub>CC</sub>  |    |
| 低レベル入力電圧<br>P90~P94, P96<br>PA0~PA7<br>PC0, PC1, PC3, PC5, PC6<br>PF1, PF2, PF4, PF5<br>$\overline{\text{BE}}$<br>$\overline{\text{RESET}}$ | V <sub>IL2</sub> |                                                |                        |      | 0.25V <sub>CC</sub> |    |
| 低レベル入力電圧<br>AM0~AM1                                                                                                                         | V <sub>IL3</sub> |                                                |                        |      | 0.3                 |    |
| 低レベル入力電圧<br>X1, XT1                                                                                                                         | V <sub>IL4</sub> |                                                |                        |      | 0.2V <sub>CC</sub>  |    |
| 高レベル入力電圧<br>D0~7<br>P10~P17 (D8~D15)<br>P20~P27 (D16~D23)<br>P30~P37 (D24~D31)                                                              | V <sub>IH0</sub> |                                                | 2.0                    |      |                     | V  |
| 高レベル入力電圧<br>P40~P47<br>P50~P57<br>P60~P67<br>P76<br>P95<br>PF0, PF3<br>PG0~PG4<br>PL0~PL7                                                   | V <sub>IH1</sub> |                                                | 0.7 × V <sub>CC</sub>  |      |                     |    |
| 高レベル入力電圧<br>P90~P94, P96<br>PA0~PA7<br>PC0, PC1, PC3, PC5, PC6<br>PF1, PF2, PF4, PF5<br>$\overline{\text{BE}}$<br>$\overline{\text{RESET}}$ | V <sub>IH2</sub> |                                                | 0.75 × V <sub>CC</sub> |      |                     |    |
| 高レベル入力電圧<br>AM0~AM1                                                                                                                         | V <sub>IH3</sub> |                                                | V <sub>CC</sub> - 0.3  |      |                     |    |
| 高レベル入力電圧<br>X1, XT1                                                                                                                         | V <sub>IH4</sub> |                                                | 0.8 × V <sub>CC</sub>  |      |                     |    |

$$V_{CC} = 3.3 \pm 0.3V / X1 = 4 \sim 40 \text{ MHz} / T_a = -20 \sim 70^\circ\text{C}$$

| 項目                              | 記号                   | 条件                                                                                  | Min | Typ. | Max      | 単位            |
|---------------------------------|----------------------|-------------------------------------------------------------------------------------|-----|------|----------|---------------|
| 低レベル出力電圧                        | $V_{OL}$             | $I_{OL} = 1.6 \text{ mA}$                                                           |     |      | 0.45     | V             |
| 高レベル出力電圧                        | $V_{OH}$             | $I_{OH} = -400 \mu\text{A}$                                                         | 2.4 |      |          | V             |
| 入力リーク電流                         | $I_{LI}$             | $0.0 \leq V_{in} \leq V_{CC}$                                                       |     | 0.02 | $\pm 5$  | $\mu\text{A}$ |
| 出力リーク電流                         | $I_{LO}$             | $0.2 \leq V_{in} \leq V_{CC} - 0.2$                                                 |     | 0.05 | $\pm 10$ | $\mu\text{A}$ |
| パワーダウン電圧<br>(@STOP, RAM バックアップ) | $V_{STOP}$           | $V_{IL2} = 0.2V_{CC}$ ,<br>$V_{IH2} = 0.8V_{CC}$                                    | 1.8 |      | 3.6      | V             |
| RESET ブルアップ抵抗                   | $R_{RST}$            |                                                                                     | 100 |      | 400      | $K\Omega$     |
| プログラマブルブルアップ抵抗                  | $R_{KH}$             |                                                                                     |     |      |          |               |
| 端子容量                            | $C_{IO}$             | $f_c = 1 \text{ MHz}$                                                               |     |      | 10       | pF            |
| シュミット幅                          | $V_{TH}$             | P90~P94, P96, PA0~PA7, PC0,<br>PC1, PC3, PC5, PC6, PF1, PF2,<br>PF4, PF5, BE, RESET | 0.4 | 1.0  |          | V             |
| NORMAL                          | $I_{CC}$             | $DV_{CC} = 3.6 \text{ V}$ , $X1 = 40 \text{ MHz}$<br>(内部 20 MHz)                    |     | 37.0 | 60       | mA            |
| IDLE2 モード                       | $I_{CCIDLE2}$        |                                                                                     |     | 26.0 | 39       | mA            |
| IDLE1 モード                       | $I_{CCIDLE1}$        |                                                                                     |     | 2.7  | 5.0      | mA            |
| STOP                            | $I_{CCSTOP}$         | $DV_{CC} = 3.6 \text{ V}$                                                           |     | 0.4  | 15       | $\mu\text{A}$ |
| SLOW                            | $I_{CCS}$            | $DV_{CC} = 3.6 \text{ V}$ , $XT1 = 32.768 \text{ kHz}$<br>(内部 15.8625 kHz)          |     | 43.0 | 100      | $\mu\text{A}$ |
| SLOW, IDLE2 モード                 | $I_{CCSIDLE2}$       |                                                                                     |     | 30.0 | 70       | $\mu\text{A}$ |
| SLOW, IDLE1 モード                 | $I_{CCSIDLE1}$       |                                                                                     |     | 8.0  | 40       | $\mu\text{A}$ |
| RTC VCC 消費電流                    | $I_{CC \text{ RTC}}$ | RTC VCC = 3.6 V,<br>$XT1 = 32.768 \text{ kHz}$                                      |     | 4.0  | 7.0      | $\mu\text{A}$ |
|                                 |                      | RTC VCC = 2.0 V,<br>$XT1 = 32.768 \text{ kHz}$                                      |     | 1.0  | 2.0      | $\mu\text{A}$ |

### 4.3 AC 電気的特性

#### 4.3.1 基本バスサイクル

リードサイクル

 $V_{CC} = 3.3 \pm 0.3V/X1 = 4\sim 40\text{ MHz}/T_a = -20\sim 70^\circ\text{C}$ 

| No. | 項目                                           | 記号               | Min       | Max       | @20 MHz | @16 MHz | 単位 |
|-----|----------------------------------------------|------------------|-----------|-----------|---------|---------|----|
| 1   | 発振周期 (X1/X2)                                 | t <sub>OSC</sub> | 25        | 250       | 25      | 31.25   | ns |
| 2   | システムクロック周期 (= T)                             | t <sub>CYC</sub> | 50        | 500       | 50      | 62.5    | ns |
| 3   | SDCLK 低レベルパルス幅                               | t <sub>CL</sub>  | 0.5T - 15 |           | 10      | 16      | ns |
| 4   | SDCLK 高レベルパルス幅                               | t <sub>CH</sub>  | 0.5T - 15 |           | 10      | 16      | ns |
| 5-1 | A0~A23 有効 → D0~D31 入力<br>@0 ウェイト             | t <sub>AD</sub>  |           | 2.0T - 30 | 70      | 95      | ns |
| 5-2 | A0~A23 有効 → D0~D31 入力<br>@1 ウェイト             | t <sub>AD3</sub> |           | 3.0T - 30 | 120     | 157.5   | ns |
| 6-1 | $\overline{RD}$ 立ち下り →<br>D0~D31 入力 @ 0 ウェイト | t <sub>RD</sub>  |           | 1.5T - 30 | 45      | 63.75   | ns |
| 6-2 | $\overline{RD}$ 立ち下り →<br>D0~D31 入力 @ 1 ウェイト | t <sub>RD3</sub> |           | 2.5T - 30 | 95      | 126.25  | ns |
| 7-1 | $\overline{RD}$ 低レベルパルス幅 @ 0 ウェイト            | t <sub>RR</sub>  | 1.5T - 20 |           | 55      | 74      | ns |
| 7-2 | $\overline{RD}$ 低レベルパルス幅 @ 1 ウェイト            | t <sub>RR3</sub> | 2.5T - 20 |           | 105     | 136     | ns |
| 8   | A0~A23 有効 → $\overline{RD}$ 立ち下がり            | t <sub>AR</sub>  | 0.5T - 20 |           | 5       | 11      | ns |
| 9   | $\overline{RD}$ 立ち下がり → SDCLK 立ち上がり          | t <sub>RK</sub>  | 0.5T - 20 |           | 5       | 11      | ns |
| 10  | A0~A23 有効 → D0~D31 保持                        | t <sub>HA</sub>  | 0         |           | 0       | 0       | ns |
| 11  | $\overline{RD}$ 立ち上がり → D0~D31 保持            | t <sub>HR</sub>  | 0         |           | 0       | 0       | ns |
| 12  | WAIT セットアップ時間                                | t <sub>TK</sub>  | 15        |           | 15      | 15      | ns |
| 13  | WAIT ホールド時間                                  | t <sub>KT</sub>  | 5         |           | 5       | 5       | ns |
| 14  | SRAM データバイト制御アクセス時間                          | t <sub>SBA</sub> |           | 1.5T - 30 | 45      | 63.75   | ns |

ライトサイクル

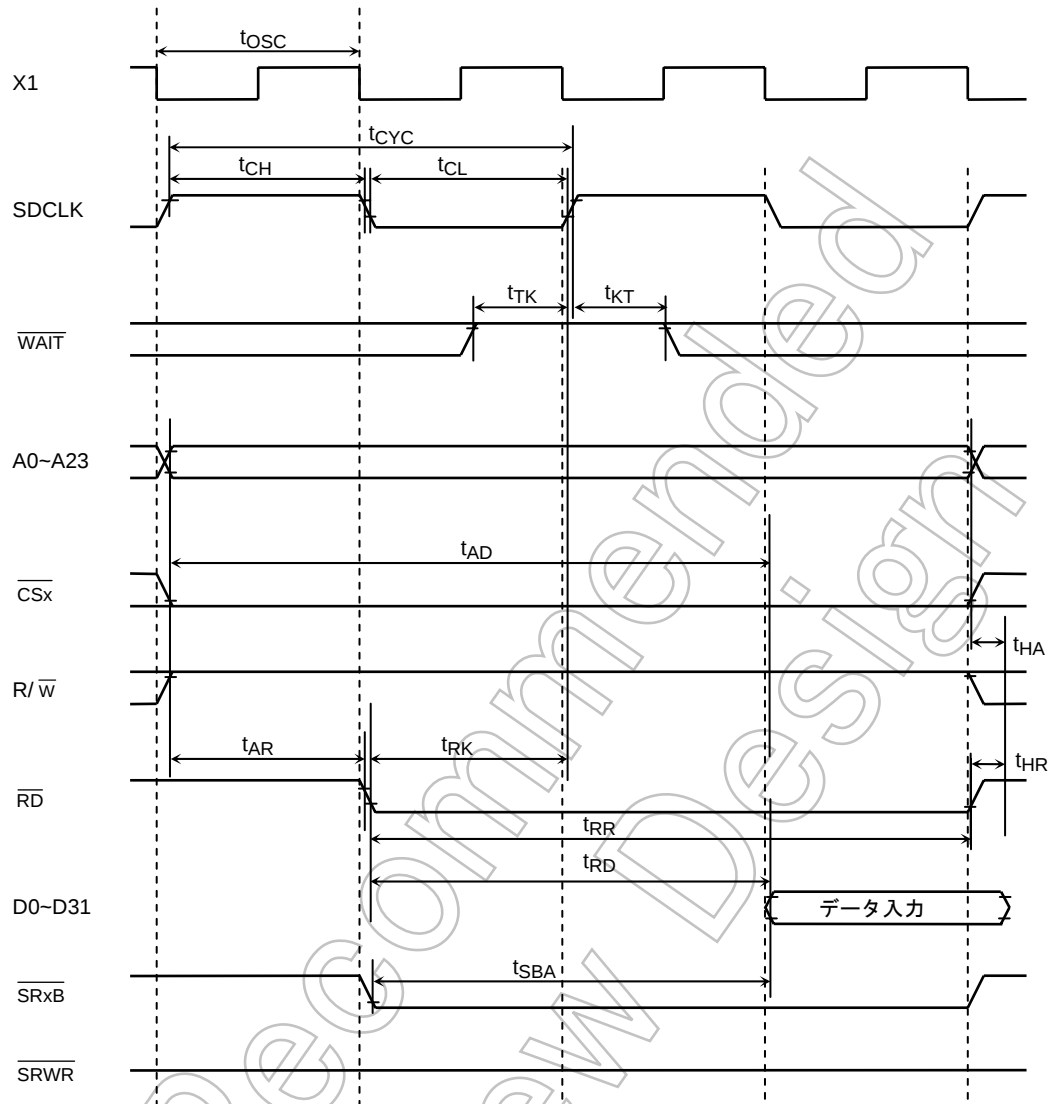
 $V_{CC} = 3.3 \pm 0.3V/X1 = 4\sim 40\text{ MHz}/T_a = -20\sim 70^\circ\text{C}$ 

| No.  | 項目                                | 記号               | Min        | Max | @20 MHz | @16 MHz | 単位 |
|------|-----------------------------------|------------------|------------|-----|---------|---------|----|
| 15-1 | D0~D31 有効 → WRxx 立ち上がり @ 0 ウェイト   | t <sub>DW</sub>  | 1.25T - 35 |     | 28      | 43      | ns |
| 15-2 | D0~D31 有効 → WRxx 立ち上がり @ 1 ウェイト   | t <sub>DW3</sub> | 2.25T - 35 |     | 78      | 106     | ns |
| 16-1 | WRxx 低レベルパルス幅 @ 0 ウェイト            | t <sub>WW</sub>  | 1.25T - 30 |     | 33      | 48      | ns |
| 16-2 | WRxx 低レベルパルス幅 @ 1 ウェイト            | t <sub>WW3</sub> | 2.25T - 30 |     | 83      | 111     | ns |
| 17   | A0~A23 有効 → WR 立ち下がり              | t <sub>AW</sub>  | 0.5T - 20  |     | 5       | 11      | ns |
| 18   | WRxx 立ち下がり → CLK 立ち上がり            | t <sub>WK</sub>  | 0.5T - 20  |     | 5       | 11      | ns |
| 19   | WRxx 立ち上がり → A0~A23 保持            | t <sub>WA</sub>  | 0.25T - 5  |     | 8       | 11      | ns |
| 20   | WRxx 立ち上がり → D0~D31 保持            | t <sub>WD</sub>  | 0.25T - 5  |     | 8       | 11      | ns |
| 21   | $\overline{RD}$ 立ち上がり → D0~D31 出力 | t <sub>RDO</sub> | 0.5T - 5   |     | 20      | 26.25   | ns |
| 22   | SRAM ライトパルス幅                      | t <sub>SWP</sub> | 1.25T - 30 |     | 32.5    | 48.125  | ns |
| 23   | SRAM データバイト制御 - ライト終了時間           | t <sub>SBW</sub> | 1.25T - 30 |     | 32.5    | 48.125  | ns |
| 24   | SRAM アドレスセットアップ時間                 | t <sub>SAS</sub> | 0.5T - 20  |     | 5       | 11.25   | ns |
| 25   | SRAM ライトリカバリ時間                    | t <sub>SWR</sub> | 0.25T - 5  |     | 7.5     | 10.625  | ns |
| 26   | SRAM データ入力セットアップ時間                | t <sub>SDS</sub> | 1.25T - 35 |     | 27.5    | 43.125  | ns |
| 27   | SRAM データ入力ホールド時間                  | t <sub>SDH</sub> | 0.25T - 5  |     | 7.5     | 10.625  | ns |

AC 測定条件

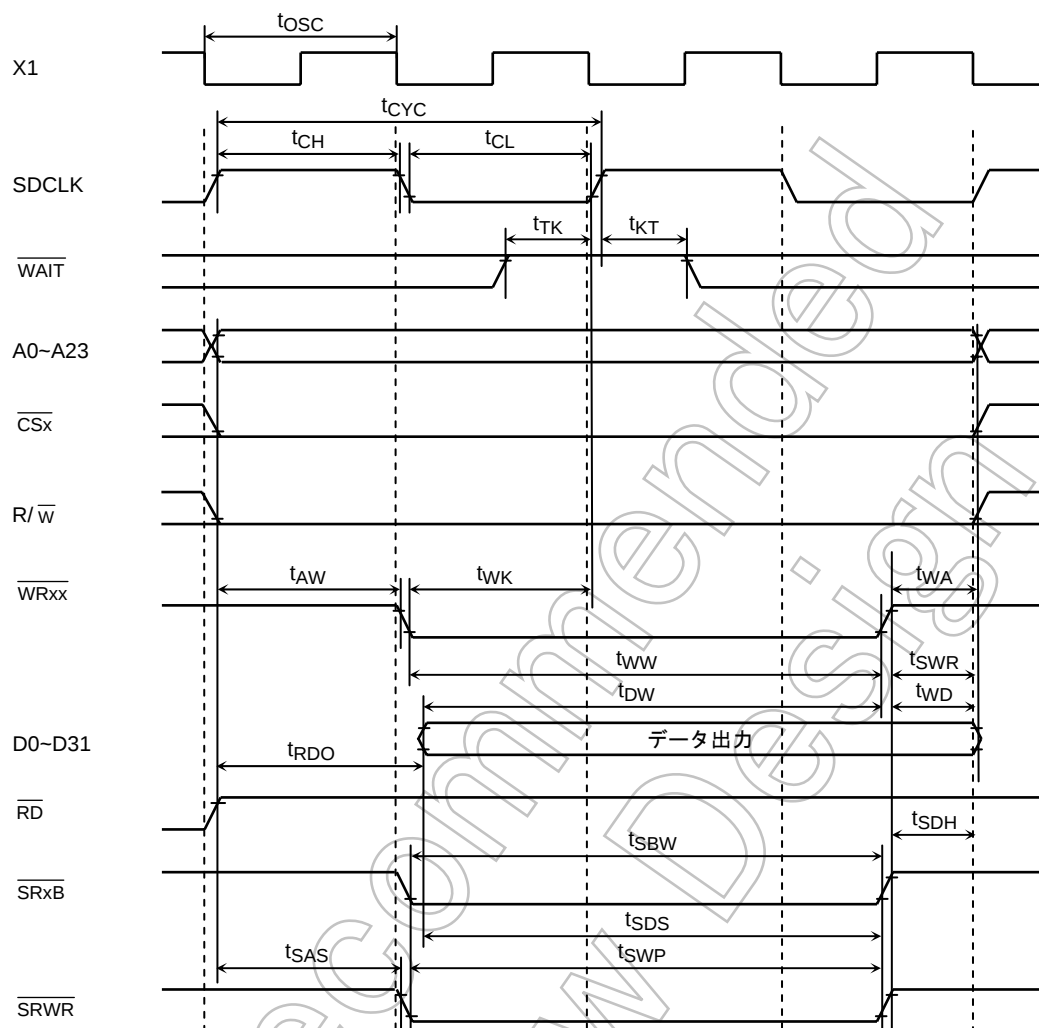
- 出力レベル: High = 0.7V<sub>CC</sub>, Low = 0.3V<sub>CC</sub>, C<sub>L</sub> = 50pF
- 入力レベル: High = 0.9V<sub>CC</sub>, Low = 0.1V<sub>CC</sub>

## (1) リードサイクル (0 ウェイト)



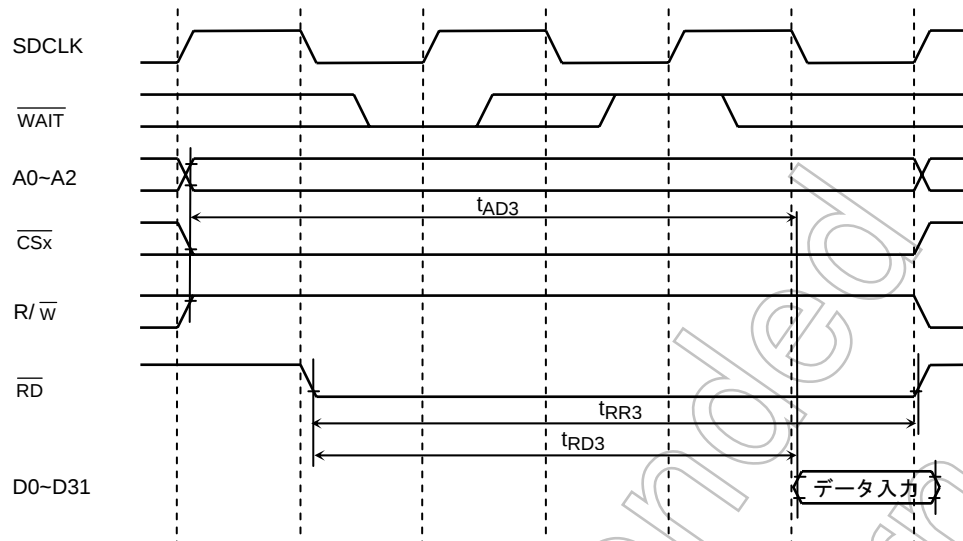
注) X1 入力信号とほかの信号の位相関係は不定です。上図は一例です。

## (2) ライトサイクル (0 ウェイト)

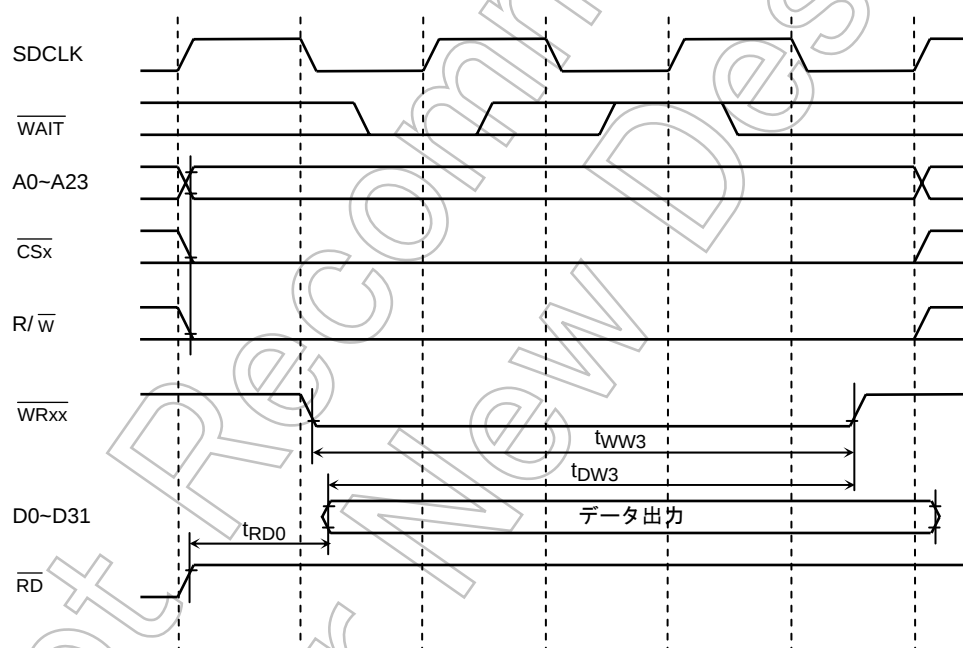


注) X1 入力信号とほかの信号の位相関係は不定です。上図は一例です。

## (3) リードサイクル (1 ウェイト)



## (4) ライトサイクル (1 ウェイト)



## 4.3.2 ページ ROM リードサイクル

## (1) 3-2-2-2 モード

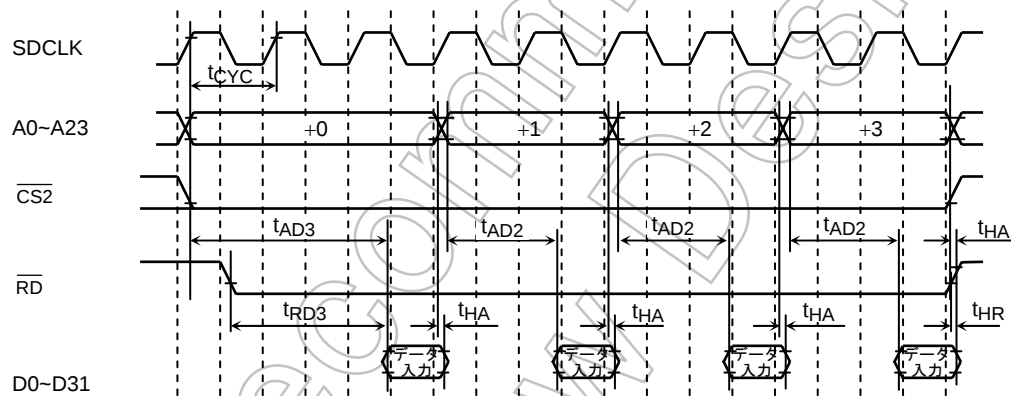
$$V_{CC} = 3.3 \pm 0.3V / X1 = 4 \sim 40 \text{ MHz} / T_a = -20 \sim 70^\circ\text{C}$$

| No. | 項目                    | 記号               | Min | Max       | @20 MHz | @16 MHz | 単位 |
|-----|-----------------------|------------------|-----|-----------|---------|---------|----|
| 1   | システムクロック周期 (= T)      | t <sub>CYC</sub> | 50  | 500       | 50      | 62.5    | ns |
| 2   | A0, A1 → D0~D31 入力    | t <sub>AD2</sub> |     | 2.0T - 50 | 50      | 75      | ns |
| 3   | A2~A23 → D0~D31 入力    | t <sub>AD3</sub> |     | 3.0T - 50 | 100     | 138     | ns |
| 4   | RD 立ち下がり → D0~D31 入力  | t <sub>RD3</sub> |     | 2.5T - 45 | 80      | 111     | ns |
| 5   | A0~A23 無効 → D0~D31 保持 | t <sub>HA</sub>  | 0   |           | 0       | 0       | ns |
| 6   | RD 立ち上がり → D0~D31 保持  | t <sub>HR</sub>  | 0   |           | 0       | 0       | ns |

## AC 測定条件

- 出力: High = 0.7V<sub>CC</sub>, Low = 0.3V<sub>CC</sub>, C<sub>L</sub> = 50 pF
- 入力: High = 0.9V<sub>CC</sub>, Low = 0.1V<sub>CC</sub>

## (2) ページ ROM リードサイクル (3-2-2-2 モード)



## 4.4 SDRAM コントローラ AC 電氣的特性

$$V_{CC} = 3.3 \pm 0.3V/X1 = 4\sim 40 \text{ MHz}/T_a = -20\sim 70^\circ\text{C}$$

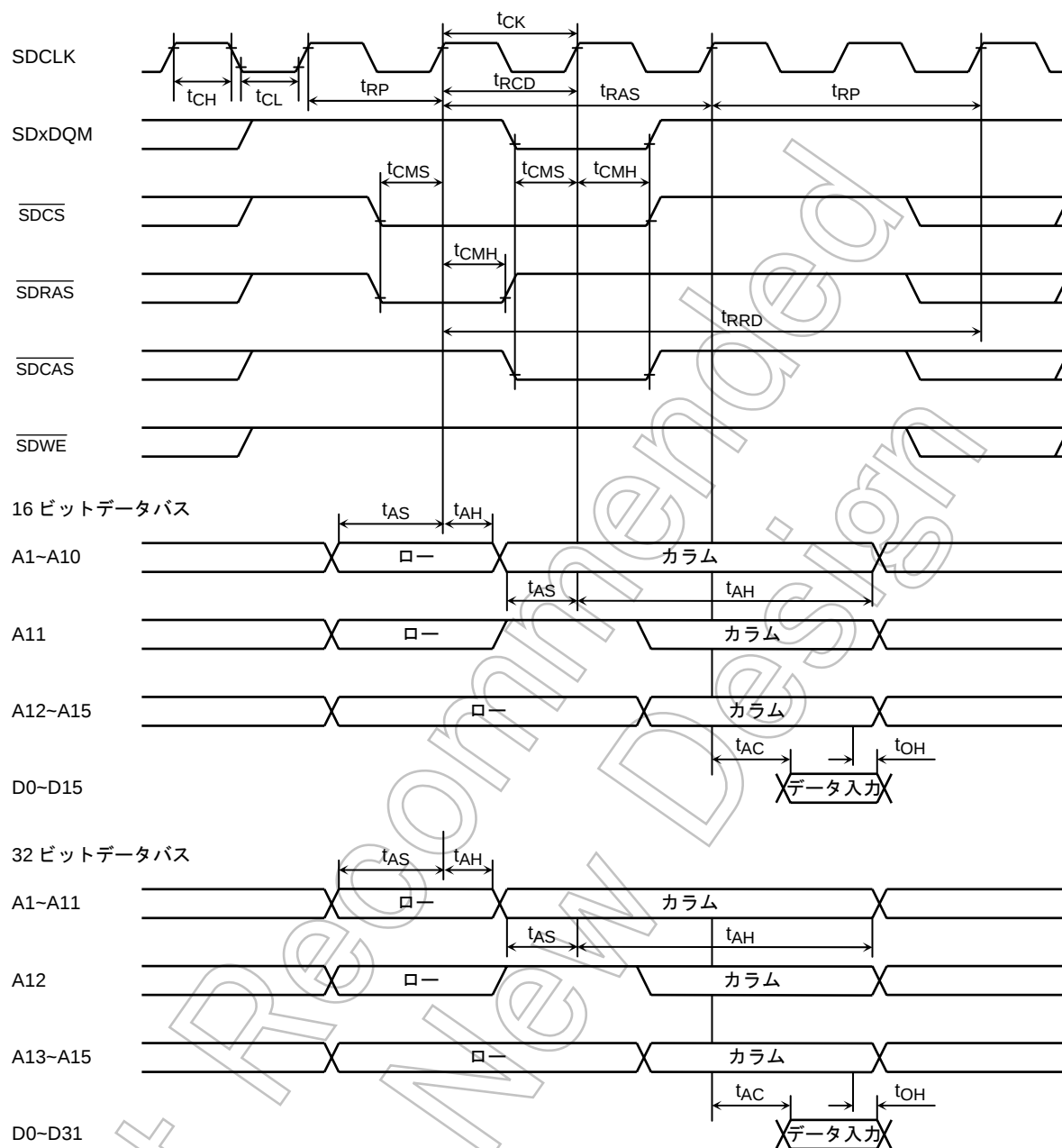
| No. | 項目                      | 記号               | 計算式        |        | @20 MHz |     | @16 MHz |      | 単位 |
|-----|-------------------------|------------------|------------|--------|---------|-----|---------|------|----|
|     |                         |                  | Min        | Max    | Min     | Max | Min     | Max  |    |
| 1   | リフレッシュ → リフレッシュ命令周期     | t <sub>RC</sub>  | 2T         |        | 100     |     | 125     |      | ns |
| 2   | 有効 → プリチャージ命令周期         | t <sub>RAS</sub> | 2T         |        | 100     |     | 125     |      | ns |
| 3   | 有効 → リード/ライト命令遅延        | t <sub>RCD</sub> | T          |        | 50      |     | 62.5    |      | ns |
| 4   | プリチャージ → 有効命令周期         | t <sub>RP</sub>  | T          |        | 50      |     | 62.5    |      | ns |
| 5   | 有効 → 有効命令周期             | t <sub>RRD</sub> | 3T         |        | 150     |     | 187.5   |      | ns |
| 6   | ライトリカバリ時間               | t <sub>WR</sub>  | T          |        | 50      |     | 62.5    |      | ns |
| 7   | クロックサイクル時間 (CL* = 2)    | t <sub>CK</sub>  | T          |        | 50      |     | 62.5    |      | ns |
| 8   | 高レベルクロック幅               | t <sub>CH</sub>  | 0.5T – 15  |        | 10      |     | 16.25   |      | ns |
| 9   | 低レベルクロック幅               | t <sub>CL</sub>  | 0.5T – 15  |        | 10      |     | 16.25   |      | ns |
| 10  | CLK からのアクセス時間 (CL* = 2) | t <sub>AC</sub>  |            | T – 30 |         | 20  |         | 32.5 | ns |
| 11  | 出力データホールド時間             | t <sub>OH</sub>  | 0          |        | 0       |     | 0       |      | ns |
| 12  | データ入力セットアップ時間           | t <sub>DS</sub>  | T – 35     |        | 15      |     | 27.5    |      | ns |
| 13  | データ入力ホールド時間             | t <sub>DH</sub>  | T – 5      |        | 45      |     | 57.50   |      | ns |
| 14  | アドレスセットアップ時間            | t <sub>AS</sub>  | 0.75T – 35 |        | 2.5     |     | 11.88   |      | ns |
| 15  | アドレスホールド時間              | t <sub>AH</sub>  | 3          |        | 3       |     | 3       |      | ns |
| 16  | CKE セットアップ時間            | t <sub>CKS</sub> | 0.5T + 15  |        | 10      |     | 16.25   |      | ns |
| 17  | 命令セットアップ時間              | t <sub>CMS</sub> | 0.5T – 15  |        | 10      |     | 16.25   |      | ns |
| 18  | 命令ホールド時間                | t <sub>CMH</sub> | 0.5T – 15  |        | 10      |     | 16.25   |      | ns |
| 19  | モードレジスタ設定サイクル時間         | t <sub>RSC</sub> | T          |        | 50      |     | 62.5    |      | ns |

注 1) CL\*は、CAS レイテンシを示します。

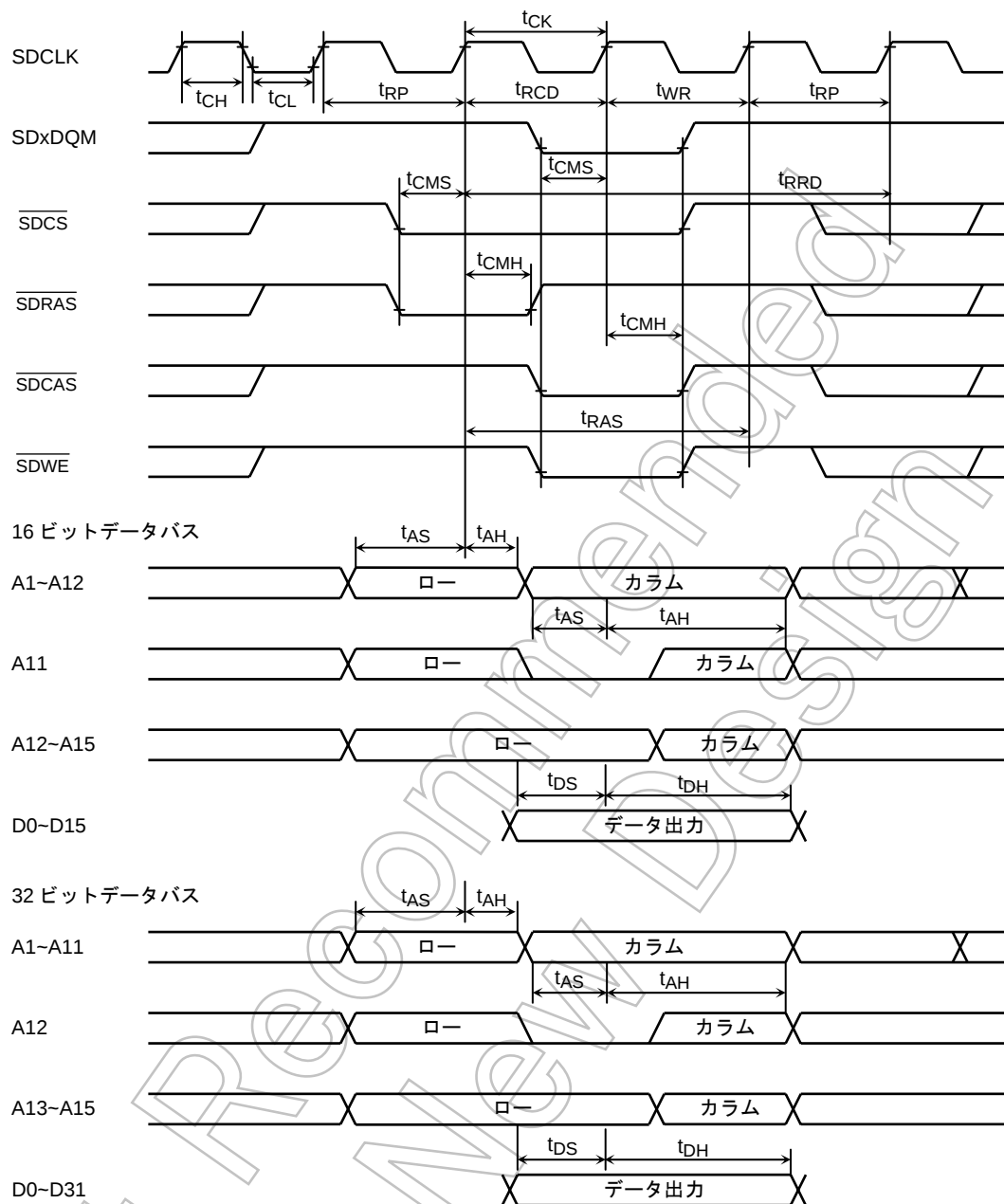
注 2) AC 測定条件

- 出力レベル High = 0.7V<sub>CC</sub>、Low = 0.3V<sub>CC</sub>、C<sub>L</sub> = 50 pF
- 入力レベル High = 0.9V<sub>CC</sub>、Low = 0.1V<sub>CC</sub>

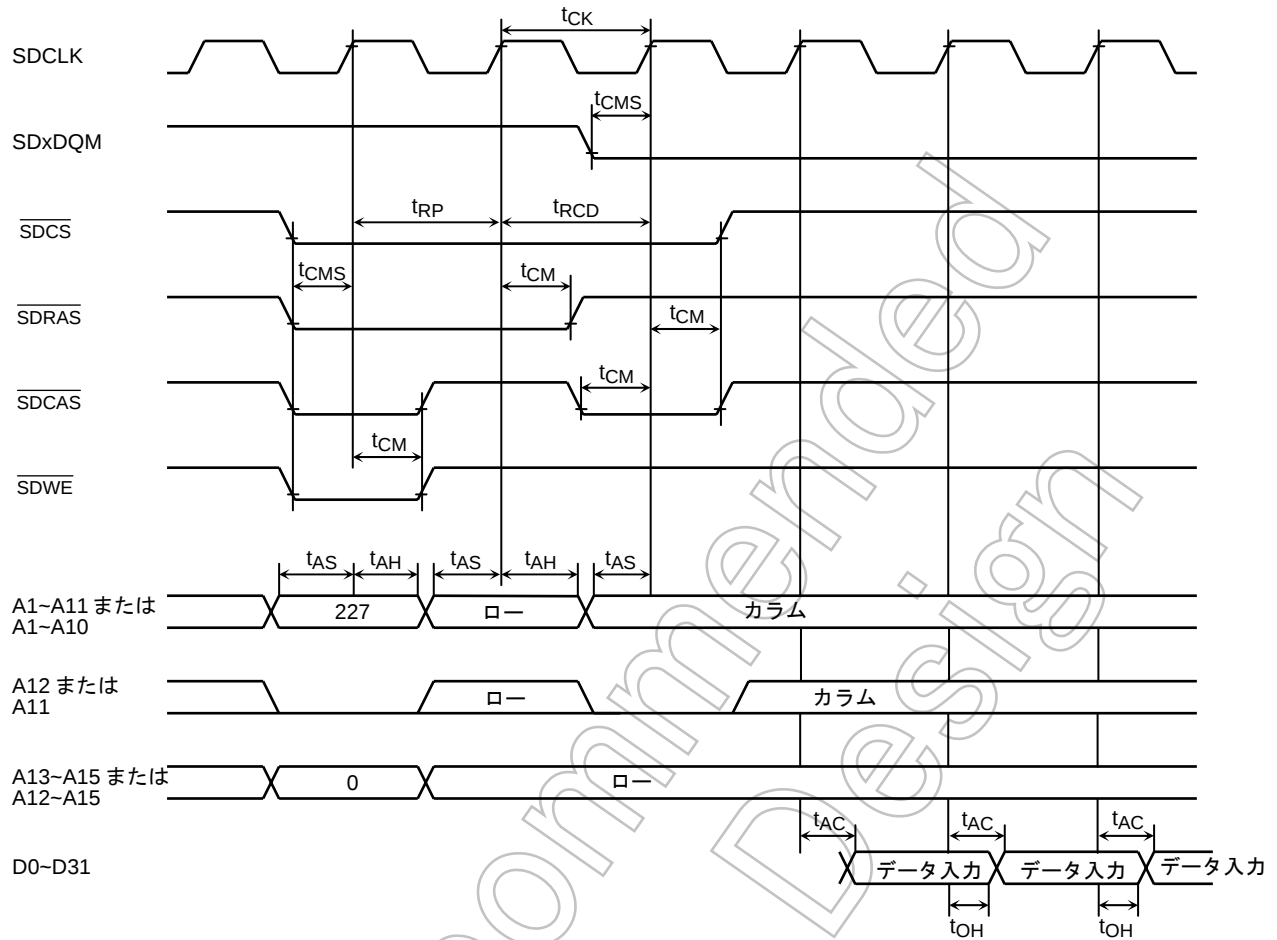
- SDRAM リードタイミング (CPU アクセス, LCDC ノーマルアクセス)



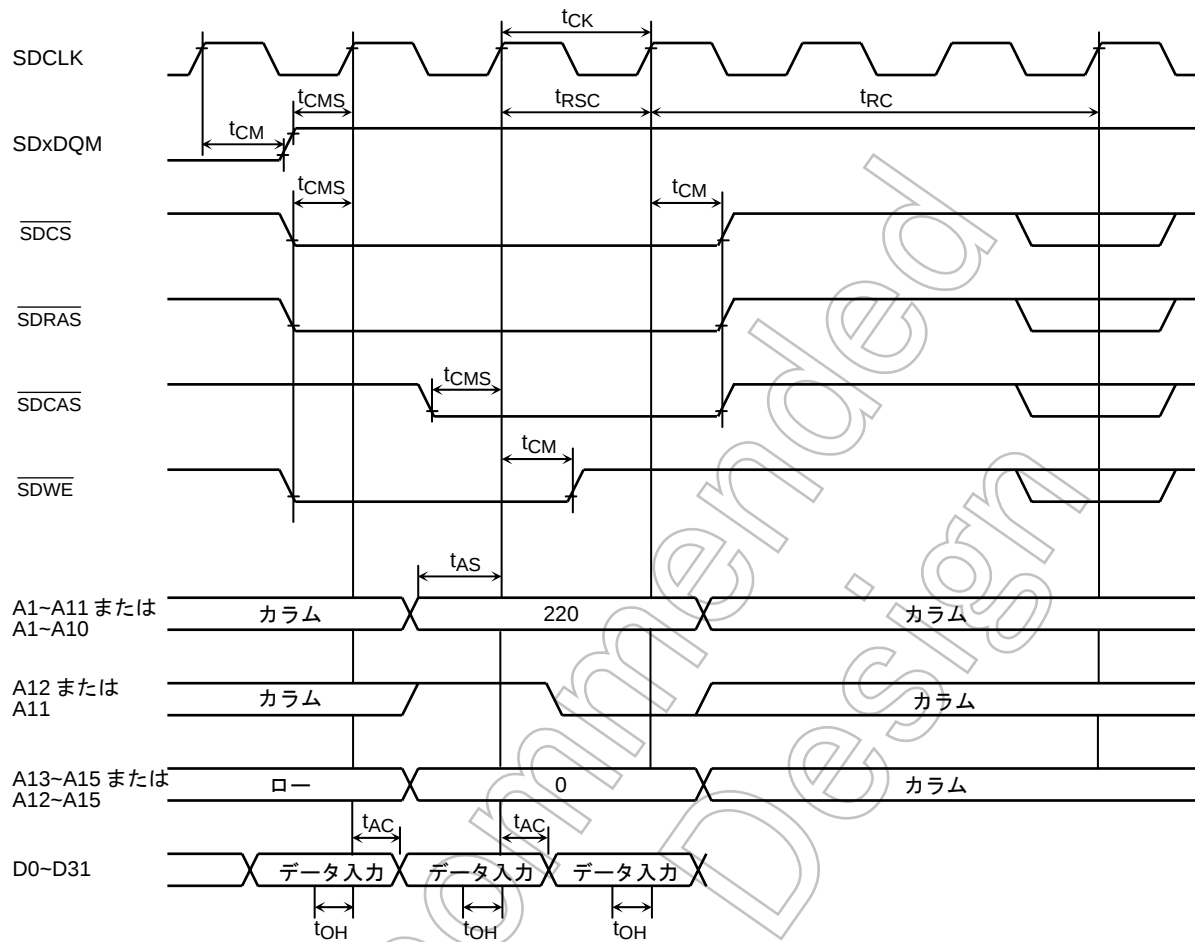
• SDRAM ライトタイミング (CPU アクセス)



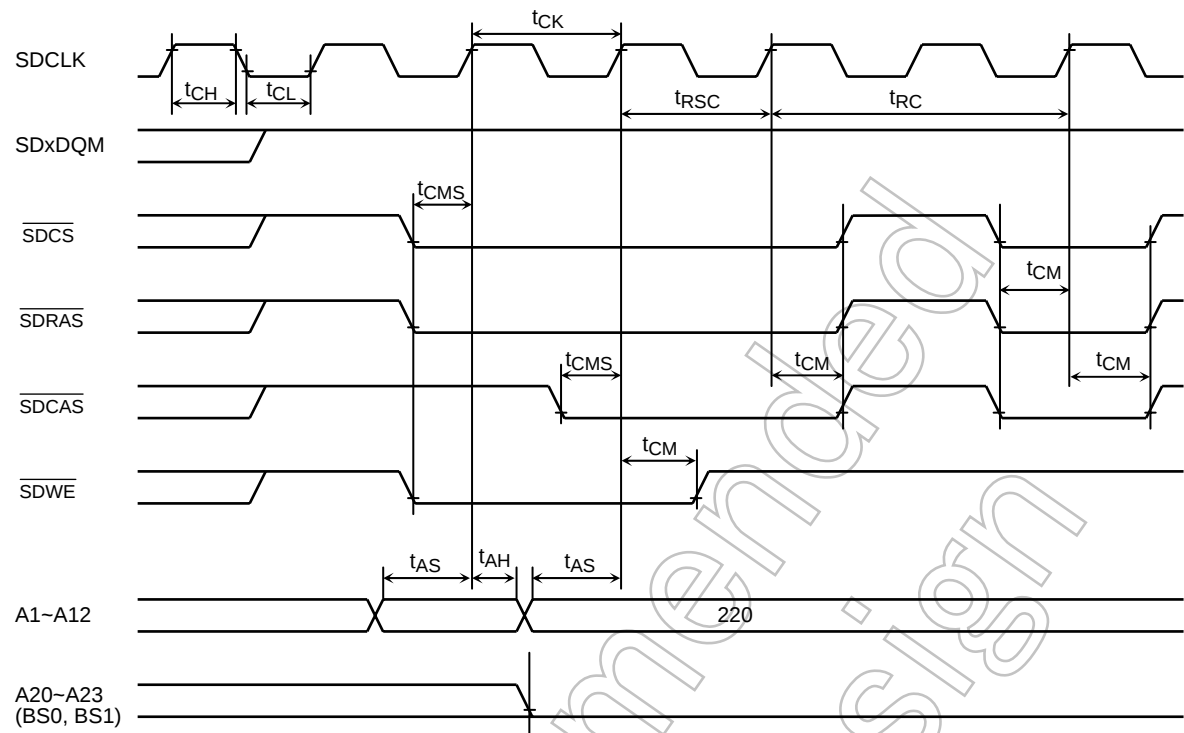
- SDRAM バーストリードタイミング (バーストサイクル開始近傍)



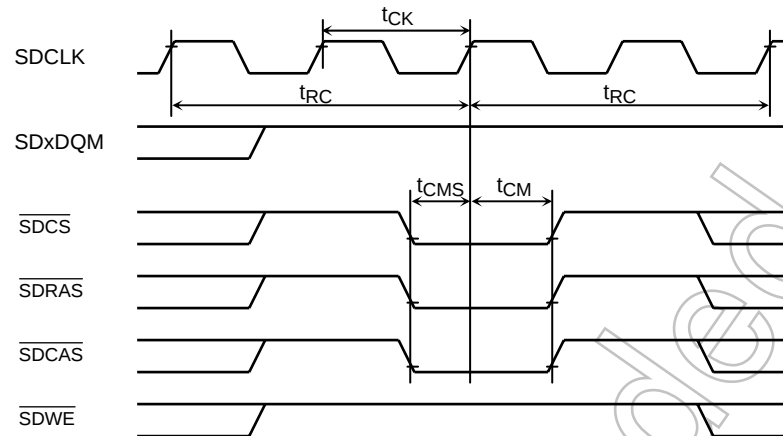
- SDRAM バーストリードタイミング (バーストサイクル終了近傍)



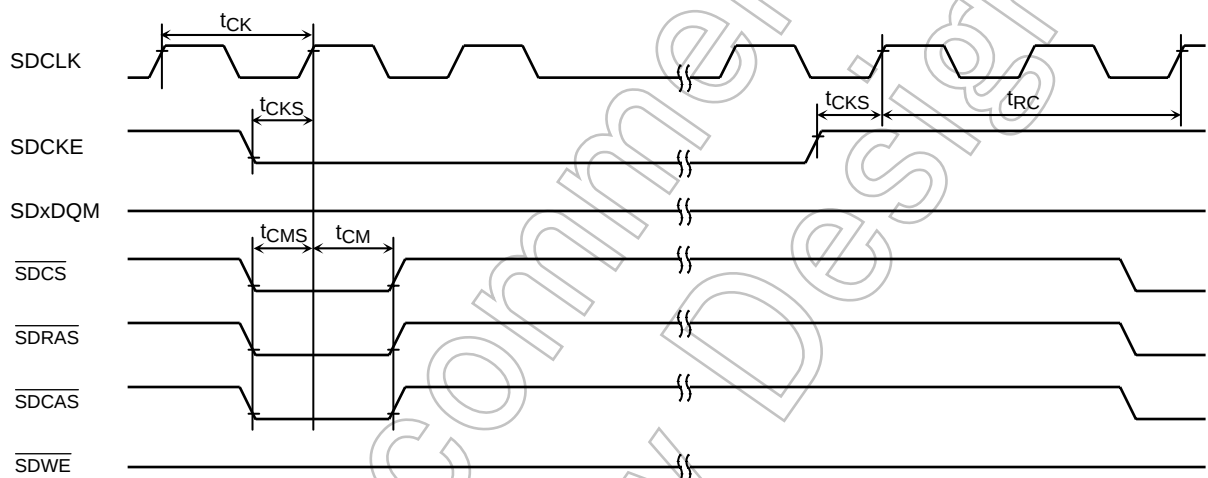
- SDRAM 初期化タイミング



- SDRAM リフレッシュタイミング



- SDRAM セルフリフレッシュタイミング



## 4.5 AD コンバータ

| 項目                        |              | 記号    | Min       | Typ. | Max       | 単位  |
|---------------------------|--------------|-------|-----------|------|-----------|-----|
| アナログ基準電圧 (+)              |              | VREFH | VCC - 0.2 | VCC  | VCC       | V   |
| アナログ基準電圧 (-)              |              | VREFL | VSS       | VSS  | VSS + 0.2 |     |
| AD コンバータ電源電圧              |              | AVCC  | VCC       | VCC  | VCC       |     |
| AD コンバータ GND              |              | AVSS  | VSS       | VSS  | VSS       |     |
| アナログ入力電圧                  |              | AVIN  | VREFL     |      | VREFH     |     |
| アナログ基準電圧<br>電源電流          | <VREFON> = 1 | IREF  |           | 0.8  | 1.2       | mA  |
| アナログ基準電圧<br>電源電流          | <VREFON> = 0 |       |           | 0.02 | 5.0       | μA  |
| 総合誤差<br>(量子化誤差±0.5LSB 含む) |              | ET    |           | ±1.0 | ±4.0      | LSB |

## 4.6 イベントカウンタ (TI0, TI4, TI8, TI9, TIA, TIB)

| 項目           | 記号    | 計算式      |     | 20 MHz |     | 16 MHz |     | 単位 |
|--------------|-------|----------|-----|--------|-----|--------|-----|----|
|              |       | Min      | Max | Min    | Max | Min    | Max |    |
| クロックサイクル     | TvCK  | 8T + 100 |     | 500    |     | 600    |     | ns |
| 低レベルクロックパルス幅 | TvCKL | 4T + 40  |     | 240    |     | 290    |     | ns |
| 高レベルクロックパルス幅 | TvCKH | 4T + 40  |     | 240    |     | 290    |     | ns |

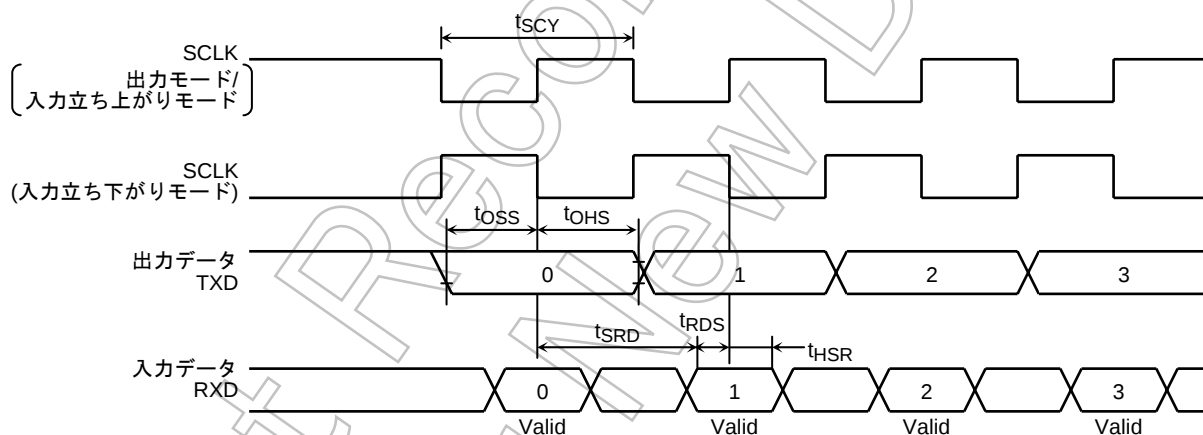
## 4.7 シリアルチャネルタイミング

## (1) SCLK 入力モード (I/O インタフェースモード)

| 項目                   | 記号        | 計算式                |             | 20 MHz |     | 16 MHz |      | 単位            |
|----------------------|-----------|--------------------|-------------|--------|-----|--------|------|---------------|
|                      |           | Min                | Max         | Min    | Max | Min    | Max  |               |
| SCLK 周期              | $T_{SCY}$ | $16T$              |             | 0.8    |     | 1.0    |      | $\mu\text{s}$ |
| 出力データ → SCLK 立ち上がり   | $T_{OSS}$ | $T_{SCY}/2-4T-110$ |             | 90     |     | 140    |      | ns            |
| SCLK 立ち上がり → 出力データ保持 | $T_{OHS}$ | $T_{SCY}/2+2T+0$   |             | 500    |     | 625    |      |               |
| SCLK 立ち上がり → 入力データ保持 | $T_{HSR}$ | 0                  |             | 0      |     | 0      |      |               |
| SCLK 立ち上がり → 入力データ有効 | $T_{SRD}$ |                    | $T_{SCY}-0$ |        | 800 |        | 1000 |               |
| 入力データ有効 → SCLK 立ち上がり | $T_{RDS}$ | 0                  |             | 0      |     | 0      |      |               |

## (2) SCLK 出力モード (I/O インタフェースモード)

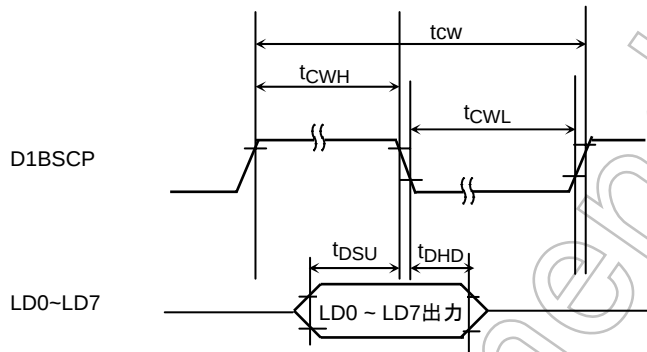
| 項目                   | 記号        | 計算式            |                   | 20 MHz |       | 16 MHz |       | 単位            |
|----------------------|-----------|----------------|-------------------|--------|-------|--------|-------|---------------|
|                      |           | Min            | Max               | Min    | Max   | Min    | Max   |               |
| SCLK 周期 (プログラマブル)    | $T_{SCY}$ | $16T$          | $8192T$           | 0.8    | 409.6 | 1.0    | 512   | $\mu\text{s}$ |
| 出力データ → SCLK 立ち上がり   | $T_{OSS}$ | $T_{SCY}/2-40$ |                   | 360    |       | 460    |       | ns            |
| SCLK 立ち上がり → 出力データ保持 | $T_{OHS}$ | $T_{SCY}/2-40$ |                   | 360    |       | 460    |       |               |
| SCLK 立ち上がり → 入力データ保持 | $T_{HSR}$ | 0              |                   | 0      |       | 0      |       |               |
| SCLK 立ち上がり → 入力データ有効 | $T_{SRD}$ |                | $T_{SCY}/-1T-180$ |        | 570   |        | 737.5 |               |
| 入力データ有効 → SCLK 立ち上がり | $T_{RDS}$ | 0              |                   | 0      |       | 0      |       |               |



## 4.8 割り込み動作

| 項目                 | 記号                 | 計算式     |     | 20 MHz |     | 16 MHz |     | 単位 |
|--------------------|--------------------|---------|-----|--------|-----|--------|-----|----|
|                    |                    | Min     | Max | Min    | Max | Min    | Max |    |
| INT0~INT3 低レベルパルス幅 | T <sub>INTAL</sub> | 4T + 40 |     | 200    |     | 290    |     | ns |
| INT0~INT3 高レベルパルス幅 | T <sub>INTAH</sub> | 4T + 40 |     | 200    |     | 290    |     |    |

## 4.9 LCD コントローラ SR モード



$$V_{CC} = 3.3 \pm 0.3V/X1 = 4 \sim 40 \text{ MHz}/T_a = -20 \sim 70^\circ\text{C}$$

| No. | 項目                   | 記号               | 計算式            |     | 20 MHz<br>(tm = 0) |     | 16 MHz<br>(tm = 0) |     | 単位 |
|-----|----------------------|------------------|----------------|-----|--------------------|-----|--------------------|-----|----|
|     |                      |                  | Min            | Max | Min                | Max | Min                | Max |    |
| 1   | データ有効 → D1BSCP 立ち下がり | t <sub>DSU</sub> | 0.5T - 20 + tm |     | 5                  |     | 11.25              |     | ns |
| 2   | D1BSCP 立ち下がり → データ保持 | t <sub>DHD</sub> | 0.5T - 5 + tm  |     | 20                 |     | 26.25              |     | ns |
| 3   | D1BSCP → 高レベルクロック幅   | t <sub>CWH</sub> | 0.5T - 10 + tm |     | 15                 |     | 21.25              |     | ns |
| 4   | D1BSCP → 低レベルクロック幅   | t <sub>CWL</sub> | 0.5T - 10 + tm |     | 15                 |     | 21.25              |     | ns |
| 5   | D1BSCP → クロック周期      | t <sub>CW</sub>  | T + 2tm        |     | 50                 |     | 62.5               |     | ns |

注)  $tm = (2^{scpw} - 1) \times$   
 例えば、Scpw = 3 (8 クロックモード) や 20 MHz のときは  
 $tm = (2^3 - 1) \times 50 = 350$  となります。

## 4.10 推奨発振回路

TMP92C820 は、(株)村田製作所にて評価されております。詳細につきましては、同社にお問い合わせください。

注) 発振端子の負荷容量は、接続する (または内蔵) 負荷容量 C1, C2 と実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板により負荷容量が異なり、発振器が誤動作する可能性があります。基板設計の際は、発振回路周辺の設計パターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を推奨します。

### (1) 発振子接続回路例

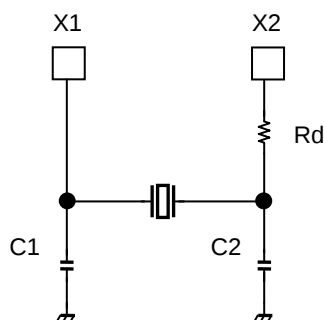


図 4.10.1 高周波発振器の接続図

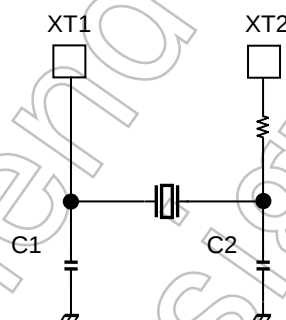


図 4.10.2 低周波発振器の接続図

### (2) TMP92C820 における推奨セラミック発振子 ((株)村田製作所社製)

下表に推奨回路定数を示します。

| MCU         | 発振周波数<br>[MHz] | パッケージ<br>タイプ | 品番 (旧品番)        | 推奨定数               |                    |           |           | 動作条件     |          |
|-------------|----------------|--------------|-----------------|--------------------|--------------------|-----------|-----------|----------|----------|
|             |                |              |                 | C1<br>[pF]<br>注 1) | C2<br>[pF]<br>注 1) | Rf<br>[Ω] | Rd<br>[Ω] | 電源電圧 [V] | 温度 [°C]  |
| TMP92C820FG | 2.000          | SMD          | CSTCC2M00G56-R0 | (47)               | (47)               | Open      | 0         | 1.8~2.7  | -20~ +80 |
|             | 4.000          | SMD          | CSTCR4M00G55-R0 | (39)               | (39)               | Open      | 0         | 2.7~3.6  |          |
|             |                | リード          | CSTLS4M00G56-B0 | (47)               | (47)               | Open      | 0         |          |          |
|             | 6.000          | SMD          | CSTCR6M00G55-R0 | (39)               | (39)               | Open      | 0         |          |          |
|             |                | リード          | CSTLS6M00G56-B0 | (47)               | (47)               | Open      | 0         |          |          |
|             | 10.000         | SMD          | CSTCE10M0G52-R0 | (10)               | (10)               | Open      | 0         | 1.8~2.7  |          |
|             |                | リード          | CSTLS10M0G53-B0 | (15)               | (15)               | Open      | 0         |          |          |
|             | 12.000         | SMD          | CSTCE12M5G52-R0 | (10)               | (10)               | Open      | 0         | 2.7~3.6  |          |
|             | 20.000         | SMD          | CSTCG20M0V53-R0 | (15)               | (15)               | Open      | 0         | 2.7~3.6  |          |

注 1) 定数 C1, C2 の ( ) は、負荷容量内蔵タイプを表しています。

注 2) 村田製発振子は、型番・仕様の切り替えが随時行われております。

詳細につきましては、下記アドレスの同社ホームページをご参照ください。

<http://www.murata.co.jp>

## 5. 特殊機能レジスタ一覧表

特殊機能レジスタ (SFR: Special function register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~001FFFFH の 8 K バイトのアドレス空間に割り付けられています。

- (1) 入出力ポート
- (2) 入出力ポート制御
- (3) 割り込み制御
- (4) DMA コントローラ
- (5) メモリコントローラ
- (6) MMU
- (7) クロックギア
- (8) LCD コントローラ
- (9) SDRAM コントローラ
- (10) 8 ビットタイマ
- (11) 16 ビットタイマ
- (12) UART/シリアルチャネル
- (13) I<sup>2</sup>C バス/シリアルチャネル
- (14) AD コンバータ
- (15) ウォッチドッグタイマ
- (16) RTC (リアルタイムクロック)
- (17) メロディ/アラームジェネレータ

表の構成

| 記号 | 名称 | アドレス | 7 | 6 | ... | 1 | 0 |            |
|----|----|------|---|---|-----|---|---|------------|
|    |    |      |   |   |     |   |   | Bit symbol |
|    |    |      |   |   |     |   |   | Read/Write |
|    |    |      |   |   |     |   |   | リセット時の初期値  |
|    |    |      |   |   |     |   |   | 備考         |

注) 表中の“RMW 禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) PxCR レジスタのビット 0 のみを“1”にしたい場合、通常は“SET 0, (PxCR)”ですが、このレジスタは“RMW 禁”のため、“LD” (転送) 命令にて 8 ビットレジスタに対して書き込む必要があります。

記号の意味

R/W: リード/ライト可能

R: リードのみ可能

W: ライトのみ可能

W\*: リード/ライト可能 (ただし、リードした場合、“1”が読み出されます。)

RMW 禁: リードモディファイライトができません (EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD 命令の使用不可)。

R/W\*: 当該ポートのプルアップ制御の際には、リードモディファイライト命令は使用できません。

表 5.1 I/O レジスタアドレスマップ

## [1] ポート

| アドレス  | レジスタ名 | アドレス  | レジスタ名 | アドレス  | レジスタ名 | アドレス  | レジスタ名 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| 0000H |       | 0010H | P4    | 0020H | P8    | 0030H | PC    |
| 1H    |       | 1H    |       | 1H    | P8FC2 | 1H    |       |
| 2H    |       | 2H    | P4CR  | 2H    |       | 2H    | PCCR  |
| 3H    |       | 3H    | P4FC  | 3H    | P8FC  | 3H    | PCFC  |
| 4H    | P1    | 4H    | P5    | 4H    | P9    | 4H    |       |
| 5H    |       | 5H    |       | 5H    | P9ODE | 5H    |       |
| 6H    | P1CR  | 6H    | P5CR  | 6H    | P9CR  | 6H    |       |
| 7H    | P1FC  | 7H    | P5FC  | 7H    | P9FC  | 7H    |       |
| 8H    | P2    | 8H    | P6    | 8H    | PA    | 8H    |       |
| 9H    |       | 9H    |       | 9H    |       | 9H    |       |
| AH    | P2CR  | AH    | P6CR  | AH    |       | AH    |       |
| BH    | P2FC  | BH    | P6FC  | BH    | PAFC  | BH    |       |
| CH    | P3    | CH    | P7    | CH    |       | CH    | PF    |
| DH    |       | DH    |       | DH    |       | DH    |       |
| EH    | P3CR  | EH    | P7CR  | EH    |       | EH    | PFCR  |
| FH    | P3FC  | FH    | P7FC  | FH    |       | FH    | PFFC  |

| アドレス  | レジスタ名 | アドレス  | レジスタ名 |
|-------|-------|-------|-------|
| 0040H | PG    | 0050H | PK    |
| 1H    |       | 1H    |       |
| 2H    |       | 2H    |       |
| 3H    |       | 3H    | PKFC  |
| 4H    |       | 4H    | PL    |
| 5H    |       | 5H    |       |
| 6H    |       | 6H    | PLCR  |
| 7H    |       | 7H    | PLFC  |
| 8H    |       | 8H    |       |
| 9H    |       | 9H    |       |
| AH    |       | AH    |       |
| BH    |       | BH    |       |
| CH    | PJ    | CH    |       |
| DH    | PJFC2 | DH    |       |
| EH    |       | EH    |       |
| FH    | PJFC  | FH    |       |

注) レジスタ名の割り付けられていないアドレスにはレジスタが割り当てられていませんので、アクセスしないでください。

## [2] INTC

| アドレス  | レジスタ名    |
|-------|----------|
| 00D0H | INTE12   |
| 1H    | INTE3    |
| 2H    |          |
| 3H    |          |
| 4H    | INTETA01 |
| 5H    | INTETA23 |
| 6H    |          |
| 7H    |          |
| 8H    | INTETB01 |
| 9H    |          |
| AH    | INTETBO0 |
| BH    | INTES0   |
| CH    | INTES1   |
| DH    |          |
| EH    |          |
| FH    |          |

| アドレス  | レジスタ名    |
|-------|----------|
| 00E0H | Reserved |
| 1H    | Reserved |
| 2H    | Reserved |
| 3H    | INTESB0  |
| 4H    | Reserved |
| 5H    | INTALM01 |
| 6H    | INTALM23 |
| 7H    | INTALM4  |
| 8H    | INTERTC  |
| 9H    | INTECKEY |
| AH    | INTLCD   |
| BH    | Reserved |
| CH    | Reserved |
| DH    | INTES2   |
| EH    | INTEP0   |
| FH    |          |

| アドレス  | レジスタ名    |
|-------|----------|
| 00F0H | INTE0AD  |
| 1H    | INTETC01 |
| 2H    | INTETC23 |
| 3H    | INTETC45 |
| 4H    | INTETC67 |
| 5H    | SIMC     |
| 6H    | IIMC     |
| 7H    | INTWDT   |
| 8H    | INTCLR   |
| 9H    |          |
| AH    |          |
| BH    |          |
| CH    |          |
| DH    |          |
| EH    |          |
| FH    |          |

## [3] DMAC

| アドレス  | レジスタ名    |
|-------|----------|
| 0100H | DMA0V    |
| 1H    | DMA1V    |
| 2H    | DMA2V    |
| 3H    | DMA3V    |
| 4H    | DMA4V    |
| 5H    | DMA5V    |
| 6H    | DMA6V    |
| 7H    | DMA7V    |
| 8H    | DMAB     |
| 9H    | DMAR     |
| AH    | Reserved |
| BH    |          |
| CH    |          |
| DH    |          |
| EH    |          |
| FH    |          |

## [4] MEMC

| アドレス  | レジスタ名 |
|-------|-------|
| 0140H | B0CSL |
| 1H    | B0CSH |
| 2H    | MAMR0 |
| 3H    | MSAR0 |
| 4H    | B1CSL |
| 5H    | B1CSH |
| 6H    | MAMR1 |
| 7H    | MSAR1 |
| 8H    | B2CSL |
| 9H    | B2CSH |
| AH    | MAMR2 |
| BH    | MSAR2 |
| CH    | B3CSL |
| DH    | B3CSH |
| EH    | MAMR3 |
| FH    | MSAR3 |

| アドレス  | レジスタ名  |
|-------|--------|
| 0150H |        |
| 1H    |        |
| 2H    |        |
| 3H    |        |
| 4H    |        |
| 5H    |        |
| 6H    |        |
| 7H    |        |
| 8H    | BEXCSL |
| 9H    | BEXCSH |
| AH    |        |
| BH    |        |
| CH    |        |
| DH    |        |
| EH    |        |
| FH    |        |

| アドレス  | レジスタ名  |
|-------|--------|
| 0160H |        |
| 1H    |        |
| 2H    |        |
| 3H    |        |
| 4H    |        |
| 5H    |        |
| 6H    | PMEMCR |
| 7H    |        |
| 8H    |        |
| 9H    |        |
| AH    |        |
| BH    |        |
| CH    |        |
| DH    |        |
| EH    |        |
| FH    |        |

## [5] MMU

| アドレス  | レジスタ名  |
|-------|--------|
| 01D0H | LOCAL0 |
| 1H    | LOCAL1 |
| 2H    | LOCAL2 |
| 3H    | LOCAL3 |
| 4H    |        |
| 5H    |        |
| 6H    |        |
| 7H    |        |
| 8H    |        |
| 9H    |        |
| AH    |        |
| BH    |        |
| CH    |        |
| DH    |        |
| EH    |        |
| FH    |        |

注) レジスタ名の割り付けられていないアドレスにはレジスタが割り当てられていませんので、アクセスしないでください。

## [6] CGEAR

| アドレス  | レジスタ名    |
|-------|----------|
| 10E0H | SYSCR0   |
| 1H    | SYSCR1   |
| 2H    | SYSCR2   |
| 3H    | EMCCR0   |
| 4H    | EMCCR1   |
| 5H    | EMCCR2   |
| 6H    | Reserved |
| 7H    |          |
| 8H    | Reserved |
| 9H    | Reserved |
| AH    |          |
| BH    |          |
| CH    |          |
| DH    |          |
| EH    |          |
| FH    |          |

## [7] LCDC-1

| アドレス  | レジスタ名    |
|-------|----------|
| 0200H | LCDMODE  |
| 1H    | LCDDVM   |
| 2H    | LCDSIZE  |
| 3H    | LCDCTL   |
| 4H    | LCDFFP   |
| 5H    | LCDGL    |
| 6H    | LCDCM    |
| 7H    | LCDCW    |
| 8H    | LCDCH    |
| 9H    | LCDCP    |
| AH    | LCDCPL   |
| BH    | LCDCPM   |
| CH    | LCDCPH   |
| DH    | Reserved |
| EH    |          |
| FH    |          |

| アドレス  | レジスタ名  |
|-------|--------|
| 0210H | LSARAM |
| 1H    | LSARAH |
| 2H    | LEARAH |
| 3H    | LEARAH |
| 4H    | LSARBM |
| 5H    | LSARBH |
| 6H    | LEARBM |
| 7H    | LEARBH |
| 8H    | LSARCL |
| 9H    | LSARCM |
| AH    | LSARCH |
| BH    |        |
| CH    |        |
| DH    |        |
| EH    |        |
| FH    |        |

## [7] LCDC-2

| アドレス  | レジスタ名 |
|-------|-------|
| 0220H | LG0L  |
| 1H    | LG0H  |
| 2H    | LG1L  |
| 3H    | LG1H  |
| 4H    | LG2L  |
| 5H    | LG2H  |
| 6H    | LG3L  |
| 7H    | LG3H  |
| 8H    | LG4L  |
| 9H    | LG4H  |
| AH    | LG5L  |
| BH    | LG5H  |
| CH    | LG6L  |
| DH    | LG6H  |
| EH    | LG7L  |
| FH    | LG7H  |

| アドレス  | レジスタ名 |
|-------|-------|
| 0230H | LG8L  |
| 1H    | LG8H  |
| 2H    | LG9L  |
| 3H    | LG9H  |
| 4H    | LGAL  |
| 5H    | LGALH |
| 6H    | LGBL  |
| 7H    | LGBH  |
| 8H    | LGCL  |
| 9H    | LGCH  |
| AH    | LGDL  |
| BH    | LGDLH |
| CH    | LGEL  |
| DH    | LGELH |
| EH    | LGFL  |
| FH    | LGFLH |

| アドレス  | レジスタ名    |
|-------|----------|
| 0240H |          |
| 1H    |          |
| 2H    |          |
| 3H    |          |
| 4H    |          |
| 5H    |          |
| 6H    |          |
| 7H    |          |
| 8H    | Reserved |
| 9H    | Reserved |
| AH    | Reserved |
| BH    | Reserved |
| CH    | Reserved |
| DH    | Reserved |
| EH    | Reserved |
| FH    | Reserved |

注) レジスタ名の割り付けられていないアドレスにはレジスタが割り当てられていませんので、アクセスしないでください。

[8] SDRAMC

| アドレス  | レジスタ名 |
|-------|-------|
| 0250H | SDACR |
| 1H    | SDRCR |
| 2H    |       |
| 3H    |       |
| 4H    |       |
| 5H    |       |
| 6H    |       |
| 7H    |       |
| 8H    |       |
| 9H    |       |
| AH    |       |
| BH    |       |
| CH    |       |
| DH    |       |
| EH    |       |
| FH    |       |

[9] 8 ビットタイマ

| アドレス  | レジスタ名   |
|-------|---------|
| 1100H | TA01RUN |
| 1H    |         |
| 2H    | TA0REG  |
| 3H    | TA1REG  |
| 4H    | TA01MOD |
| 5H    | TA1FFCR |
| 6H    |         |
| 7H    |         |
| 8H    | TA23RUN |
| 9H    |         |
| AH    | TA2REG  |
| BH    | TA3REG  |
| CH    | TA23MOD |
| DH    | TA3FFCR |
| EH    |         |
| FH    |         |

[10] 16 ビットタイマ

| アドレス  | レジスタ名   |
|-------|---------|
| 1180H | TB0RUN  |
| 1H    |         |
| 2H    | TB0MOD  |
| 3H    | TB0FFCR |
| 4H    |         |
| 5H    |         |
| 6H    |         |
| 7H    |         |
| 8H    | TB0RG0L |
| 9H    | TB0RG0H |
| AH    | TB0RG1L |
| BH    | TB0RG1H |
| CH    | TB0CP0L |
| DH    | TB0CP0H |
| EH    | TB0CP1L |
| FH    | TB0CP1H |

[11] SIO

| アドレス  | レジスタ名   |
|-------|---------|
| 1200H | SC0BUF  |
| 1H    | SC0CR   |
| 2H    | SC0MOD0 |
| 3H    | BR0CR   |
| 4H    | BR0ADD  |
| 5H    | SC0MOD1 |
| 6H    |         |
| 7H    | SIRCR   |
| 8H    | SC1BUF  |
| 9H    | SC1CR   |
| AH    | SC1MOD0 |
| BH    | BR1CR   |
| CH    | BR1ADD  |
| DH    | SC1MOD1 |
| EH    |         |
| FH    |         |

[12] SBI

| アドレス  | レジスタ名          |
|-------|----------------|
| 1240H | SBI0CR1        |
| 1H    | SBI0DBR        |
| 2H    | I2C0AR         |
| 3H    | SBI0CR2/SBI0SR |
| 4H    | SBI0BR0        |
| 5H    | SBI0BR1        |
| 6H    |                |
| 7H    |                |
| 8H    |                |
| 9H    |                |
| AH    |                |
| BH    |                |
| CH    |                |
| DH    |                |
| EH    |                |
| FH    |                |

注) レジスタ名の割り付けられていないアドレスにはレジスタが割り当てられていませんので、アクセスしないでください。

[13] 10 ビット ADC

| アドレス  | レジスタ名    |
|-------|----------|
| 12A0H | ADREG0L  |
| 1H    | ADREG0H  |
| 2H    | ADREG1L  |
| 3H    | ADREG1H  |
| 4H    | ADREG2L  |
| 5H    | ADREG2H  |
| 6H    | ADREG3L  |
| 7H    | ADREG3H  |
| 8H    | ADREG4L  |
| 9H    | ADREG4H  |
| AH    | Reserved |
| BH    | Reserved |
| CH    | Reserved |
| DH    | Reserved |
| EH    | Reserved |
| FH    | Reserved |

[14] WDT

| アドレス  | レジスタ名 |
|-------|-------|
| 1300H | WDMOD |
| 1H    | WDCR  |
| 2H    |       |
| 3H    |       |
| 4H    |       |
| 5H    |       |
| 6H    |       |
| 7H    |       |
| 8H    |       |
| 9H    |       |
| AH    |       |
| BH    |       |
| CH    |       |
| DH    |       |
| EH    |       |
| FH    |       |

[15] RTC

| アドレス  | レジスタ名  |
|-------|--------|
| 1320H | SECR   |
| 1H    | MINR   |
| 2H    | HOURLR |
| 3H    | DAYR   |
| 4H    | DATER  |
| 5H    | MONTHR |
| 6H    | YEARR  |
| 7H    | PAGER  |
| 8H    | RESTR  |
| 9H    |        |
| AH    |        |
| BH    |        |
| CH    |        |
| DH    |        |
| EH    |        |
| FH    |        |

[16] MLD

| アドレス  | レジスタ名   |
|-------|---------|
| 1330H | ALM     |
| 1H    | MELALMC |
| 2H    | MELFL   |
| 3H    | MELFH   |
| 4H    | ALMINT  |
| 5H    |         |
| 6H    |         |
| 7H    |         |
| 8H    |         |
| 9H    |         |
| AH    |         |
| BH    |         |
| CH    |         |
| DH    |         |
| EH    |         |
| FH    |         |

注) レジスタ名の割り付けられていないアドレスにはレジスタが割り当てられていませんので、アクセスしないでください。

## (1) 入出力ポート

| 記号 | レジスタ名  | アドレス  | 7                                | 6                                | 5   | 4   | 3               | 2   | 1            | 0   |  |
|----|--------|-------|----------------------------------|----------------------------------|-----|-----|-----------------|-----|--------------|-----|--|
| P1 | Port 1 | 0004H | P17                              | P16                              | P15 | P14 | P13             | P12 | P11          | P10 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ (出力ラッチレジスタは“0”にクリアされます。) |                                  |     |     |                 |     |              |     |  |
| P2 | Port 2 | 0008H | P27                              | P26                              | P25 | P24 | P23             | P22 | P21          | P20 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ (出力ラッチレジスタは“0”にクリアされます。) |                                  |     |     |                 |     |              |     |  |
| P3 | Port 3 | 000CH | P37                              | P36                              | P35 | P34 | P33             | P32 | P31          | P30 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ (出力ラッチレジスタは“0”にクリアされます。) |                                  |     |     |                 |     |              |     |  |
| P4 | Port 4 | 0010H | P47                              | P46                              | P45 | P44 | P43             | P42 | P41          | P40 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ (出力ラッチレジスタは“0”にクリアされます。) |                                  |     |     |                 |     |              |     |  |
| P5 | Port 5 | 0014H | P57                              | P56                              | P55 | P54 | P53             | P52 | P51          | P50 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ (出力ラッチレジスタは“0”にクリアされます。) |                                  |     |     |                 |     |              |     |  |
| P6 | Port 6 | 0018H | P67                              | P66                              | P65 | P64 | P63             | P62 | P61          | P60 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ (出力ラッチレジスタは“0”にクリアされます。) |                                  |     |     |                 |     |              |     |  |
| P7 | Port 7 | 001CH |                                  | P76                              | P75 | P74 | P73             | P72 | P71          | P70 |  |
|    |        |       |                                  | R/W                              |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ<br>注 1)                  | 1                                | 1   | 1   | 1               | 1   | 1            | 1   |  |
| P8 | Port 8 | 0020H | P87                              | P86                              | P85 | P84 | P83             | P82 | P81          | P80 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 1                                | 1                                | 1   | 1   | 1               | 0   | 1            | 1   |  |
| P9 | Port 9 | 0024H |                                  | P96                              | P95 | P94 | P93             | P92 | P91          | P90 |  |
|    |        |       |                                  | R/W                              |     |     |                 |     |              |     |  |
|    |        |       |                                  | 外部端子データ (出力ラッチレジスタは“1”にセットされます。) |     |     |                 |     |              |     |  |
| PA | Port A | 0028H | PA7                              | PA6                              | PA5 | PA4 | PA3             | PA2 | PA1          | PA0 |  |
|    |        |       | R                                |                                  |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ                          |                                  |     |     |                 |     |              |     |  |
| PC | Port C | 0030H |                                  | PC6                              | PC5 |     | PC3             |     | PC1          | PC0 |  |
|    |        |       |                                  | R/W                              |     |     | R/W             |     | R/W          |     |  |
|    |        |       |                                  | 外部端子データ注 2)                      |     |     | 外部端子データ<br>注 2) |     | 外部端子データ 注 2) |     |  |
| PF | Port F | 003CH |                                  |                                  | PF5 | PF4 | PF3             | PF2 | PF1          | PF0 |  |
|    |        |       |                                  | R/W                              |     |     |                 |     |              |     |  |
|    |        |       |                                  | 外部端子データ (出力ラッチレジスタは“1”にセットされます。) |     |     |                 |     |              |     |  |
| PG | Port G | 0040H |                                  |                                  |     | PG4 | PG3             | PG2 | PG1          | PG0 |  |
|    |        |       |                                  | R                                |     |     |                 |     |              |     |  |
|    |        |       |                                  | 外部端子データ                          |     |     |                 |     |              |     |  |
| PJ | Port J | 004CH | PJ7                              | PJ6                              | PJ5 | PJ4 | PJ3             | PJ2 | PJ1          | PJ0 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 1                                | 1                                | 1   | 1   | 1               | 1   | 1            | 1   |  |
| PK | Port K | 0050H |                                  | PK6                              |     | PK4 | PK3             | PK2 | PK1          | PK0 |  |
|    |        |       |                                  | R/W                              |     | R/W |                 |     |              |     |  |
|    |        |       |                                  | 1                                |     | 1   | 1               | 1   | 1            | 1   |  |
| PL | Port L | 0054H | PL7                              | PL6                              | PL5 | PL4 | PL3             | PL2 | PL1          | PL0 |  |
|    |        |       | R/W                              |                                  |     |     |                 |     |              |     |  |
|    |        |       | 外部端子データ (出力ラッチレジスタは“1”にセットされます。) |                                  |     |     |                 |     |              |     |  |

注 1) 出力ラッチレジスタは“0”にクリアされます。

注 2) 出力ラッチレジスタは“1”にセットされます。

## (2) 入出力ポート制御 (1/3)

| 記号   | レジスタ名                    | アドレス             | 7                          | 6    | 5    | 4    | 3    | 2    | 1    | 0                               |
|------|--------------------------|------------------|----------------------------|------|------|------|------|------|------|---------------------------------|
| P1CR | Port 1 control register  | 0006H<br>(RMW 禁) | P17C                       | P16C | P15C | P14C | P13C | P12C | P11C | P10C                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 0                          | 0    | 0    | 0    | 0    | 0    | 0    | 0                               |
|      |                          |                  | 0: 入力 1: 出力                |      |      |      |      |      |      |                                 |
| P1FC | Port 1 function register | 0007H<br>(RMW 禁) |                            |      |      |      |      |      |      | P1F                             |
|      |                          |                  |                            |      |      |      |      |      |      | W                               |
|      |                          |                  |                            |      |      |      |      |      |      | 1                               |
|      |                          |                  |                            |      |      |      |      |      |      | 0: ポート<br>1: データバス<br>(D8-D15)  |
| P2CR | Port 2 control register  | 000AH<br>(RMW 禁) | P27C                       | P26C | P25C | P24C | P23C | P22C | P21C | P20C                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 0                          | 0    | 0    | 0    | 0    | 0    | 0    | 0                               |
|      |                          |                  | 0: 入力 1: 出力                |      |      |      |      |      |      |                                 |
| P2FC | Port 2 function Register | 000BH<br>(RMW 禁) |                            |      |      |      |      |      |      | P2F                             |
|      |                          |                  |                            |      |      |      |      |      |      | W                               |
|      |                          |                  |                            |      |      |      |      |      |      | 0/1                             |
|      |                          |                  |                            |      |      |      |      |      |      | 0: ポート<br>1: データバス<br>(D16-D23) |
| P3CR | Port 3 control register  | 000EH<br>(RMW 禁) | P37C                       | P36C | P35C | P34C | P33C | P32C | P31C | P30C                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 0                          | 0    | 0    | 0    | 0    | 0    | 0    | 0                               |
|      |                          |                  | 0: 入力 1: 出力                |      |      |      |      |      |      |                                 |
| P3FC | Port 3 function register | 000FH<br>(RMW 禁) |                            |      |      |      |      |      |      | P3F                             |
|      |                          |                  |                            |      |      |      |      |      |      | W                               |
|      |                          |                  |                            |      |      |      |      |      |      | 0/1                             |
|      |                          |                  |                            |      |      |      |      |      |      | 0: ポート<br>1: データバス<br>(D24-D31) |
| P4CR | Port 4 control register  | 0012H<br>(RMW 禁) | P47C                       | P46C | P45C | P44C | P43C | P42C | P41C | P40C                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 0                          | 0    | 0    | 0    | 0    | 0    | 0    | 0                               |
|      |                          |                  | 0: 入力 1: 出力                |      |      |      |      |      |      |                                 |
| P4FC | Port 4 function register | 0013H<br>(RMW 禁) | P47F                       | P46F | P45F | P44F | P43F | P42F | P41F | P40F                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 1                          | 1    | 1    | 1    | 1    | 1    | 1    | 1                               |
|      |                          |                  | 0: ポート 1: アドレスバス (A0-A7)   |      |      |      |      |      |      |                                 |
| P5CR | Port 5 control register  | 0016H<br>(RMW 禁) | P57C                       | P56C | P55C | P54C | P53C | P52C | P51C | P50C                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 0                          | 0    | 0    | 0    | 0    | 0    | 0    | 0                               |
|      |                          |                  | 0: 入力 1: 出力                |      |      |      |      |      |      |                                 |
| P5FC | Port 5 function register | 0017H<br>(RMW 禁) | P57F                       | P56F | P55F | P54F | P53F | P52F | P51F | P50F                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 1                          | 1    | 1    | 1    | 1    | 1    | 1    | 1                               |
|      |                          |                  | 0: ポート 1: アドレスバス (A8-A15)  |      |      |      |      |      |      |                                 |
| P6CR | Port 6 control register  | 001AH<br>(RMW 禁) | P67C                       | P66C | P65C | P64C | P63C | P62C | P61C | P60C                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 0                          | 0    | 0    | 0    | 0    | 0    | 0    | 0                               |
|      |                          |                  | 0: 入力 1: 出力                |      |      |      |      |      |      |                                 |
| P6FC | Port 6 function register | 001BH<br>(RMW 禁) | P67F                       | P66F | P65F | P64F | P63F | P62F | P61F | P60F                            |
|      |                          |                  | W                          |      |      |      |      |      |      |                                 |
|      |                          |                  | 1                          | 1    | 1    | 1    | 1    | 1    | 1    | 1                               |
|      |                          |                  | 0: ポート 1: アドレスバス (A16-A23) |      |      |      |      |      |      |                                 |

## 入出力ポート制御 (2/3)

| 記号    | レジスタ名                      | アドレス             | 7                        | 6                            | 5                           | 4                    | 3                            | 2                            | 1                             | 0                     |
|-------|----------------------------|------------------|--------------------------|------------------------------|-----------------------------|----------------------|------------------------------|------------------------------|-------------------------------|-----------------------|
| P7CR  | Port 7 control register    | 001EH<br>(RMW 禁) |                          | P76C                         |                             |                      |                              |                              |                               |                       |
|       |                            |                  |                          | W                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  |                          | 0                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  |                          | 0: 入力<br>1: 出力               |                             |                      |                              |                              |                               |                       |
| P7FC  | Port 5 function register   | 001FH<br>(RMW 禁) |                          | P76F                         | P75F                        | P74F                 | P73F                         | P72F                         | P71F                          | P70F                  |
|       |                            |                  |                          | W                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  |                          | 0                            | 0                           | 0                    | 0                            | 0                            | 0                             | 1                     |
|       |                            |                  |                          | 0: ポート<br>1: WAIT            | 0: ポート<br>1: R/W            | 0: ポート<br>1: WRUU    | 0: ポート<br>1: WRUL            | 0: ポート<br>1: WRLU            | 0: ポート<br>1: WRLL             | 0: ポート<br>1: RD       |
| P8FC  | Port 8 function register   | 0023H<br>(RMW 禁) | P87F                     | —                            | P85F                        | P84F                 | P83F                         | P82F                         | P81F                          | P80F                  |
|       |                            |                  |                          | W                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  | 1                        | 0                            | 0                           | 0                    | 0                            | 0                            | 0                             | 0                     |
|       |                            |                  | 0: ポート<br>1: SDCLK       | "0" をライトしてください。              | 0: ポート<br>1: EA25           | 0: ポート<br>1: EA24    | 0: ポート<br>1: CS3             | 0: ポート<br>1: CS2             | 0: ポート<br>1: CS1              | 0: ポート<br>1: CS0      |
| P8FC2 | Port 8 function register 2 | 0021H<br>(RMW 禁) | —                        | P86F2                        | P85F2                       | P84F2                | —                            | P82F2                        | P81F2                         | P80F2                 |
|       |                            |                  |                          | W                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  | 0                        | 0                            | 0                           | 0                    | 0                            | 0                            | 0                             | 0                     |
|       |                            |                  | "0" をライトしてください。          | 0: <P86F><br>1: CS2D         | 0: <P85F><br>1: CS2C        | 0: <P84F><br>1: CS2B | "0" をライトしてください。              | 0: <P82F><br>1: CS2A         | 0: <P81F><br>1: SDCSL         | 0: <P80F><br>1: SDCSH |
| P9CR  | Port 9 control register    | 0026H<br>(RMW 禁) |                          | P96C                         | P95C                        | P94C                 | P93C                         | P92C                         | P91C                          | P90C                  |
|       |                            |                  |                          | W                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  |                          | 0                            | 0                           | 0                    | 0                            | 0                            | 0                             | 0                     |
|       |                            |                  |                          | 0: 入力 1: 出力                  |                             |                      |                              |                              |                               |                       |
| P9FC  | Port 9 function register   | 0027H<br>(RMW 禁) |                          | P96F                         | P95F                        | P94F                 | P93F                         | P92F                         | P91F                          | P90F                  |
|       |                            |                  |                          | W                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  |                          | 0                            | 0                           | 0                    | 0                            | 0                            | 0                             | 0                     |
|       |                            |                  | 0: ポート<br>1: RXD2, CSEXA | 0: ポート<br>1: TXD2, CS2G      | 0: ポート<br>1: CS2F           | 0: ポート<br>1: CS2E    | 0: ポート、SI<br>1: SCL 注)       | 0: ポート<br>1: SO, SDA         | 0: ポート、SCK 入力<br>1: SCK 出力 注) |                       |
| P9ODE | Port 9 ODE register        | 0025H<br>(RMW 禁) |                          | P95ODE                       | —                           | —                    | P92ODE                       | P91ODE                       |                               |                       |
|       |                            |                  |                          | W                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  |                          | 0                            | 0                           | 0                    | 0                            | 0                            |                               |                       |
|       |                            |                  |                          | 0: 3 ステート<br>1: オープン<br>ドレイン | "0" をライト<br>してください          | "0" をライト<br>してください   | 0: 3 ステート<br>1: オープン<br>ドレイン | 0: 3 ステート<br>1: オープン<br>ドレイン |                               |                       |
| PAFC  | Port A function register   | 002BH<br>(RMW 禁) | PA7F                     | PA6F                         | PA5F                        | PA4F                 | PA3F                         | PA2F                         | PA1F                          | PA0F                  |
|       |                            |                  |                          | W                            |                             |                      |                              |                              |                               |                       |
|       |                            |                  | 0                        | 0                            | 0                           | 0                    | 0                            | 0                            | 0                             | 0                     |
|       |                            |                  |                          | 0: KEY-IN 禁止 1: KEY-IN 許可    |                             |                      |                              |                              |                               |                       |
| PCCR  | Port C control register    | 0032H<br>(RMW 禁) |                          | PC6C                         | PC5C                        |                      | PC3C                         |                              | PC1C                          | PC0C                  |
|       |                            |                  |                          | W                            |                             |                      | W                            |                              | W                             |                       |
|       |                            |                  |                          | 0                            | 0                           |                      | 0                            |                              | 0                             | 0                     |
|       |                            |                  |                          | 0: 入力 1: 出力                  |                             |                      | 0: 入力<br>1: 出力               |                              | 0: 入力 1: 出力                   |                       |
| PCFC  | Port C function register   | 0033H<br>(RMW 禁) |                          | PC6F                         | PC5F                        |                      | PC3F                         |                              | PC1F                          | PC0F                  |
|       |                            |                  |                          | W                            |                             |                      | W                            |                              | W                             |                       |
|       |                            |                  |                          | 0                            | 0                           |                      | 1                            |                              | 0                             | 0                     |
|       |                            |                  |                          | 0: ポート<br>1: INT3<br>TB0OUT0 | 0: ポート<br>1: INT2<br>TA3OUT |                      | 0: ポート<br>1: INT0            |                              | 0: ポート<br>1: INT1<br>TA1OUT   | 0: ポート<br>1: TA0IN    |

注) SI および SCK 入力機能を使用する場合は、ファンクションをポートに設定して使用してください。

## 入出力ポート制御 (3/3)

| 記号    | レジスタ名                      | アドレス             | 7                              | 6                                                                 | 5                        | 4                     | 3                     | 2                        | 1                       | 0                       |
|-------|----------------------------|------------------|--------------------------------|-------------------------------------------------------------------|--------------------------|-----------------------|-----------------------|--------------------------|-------------------------|-------------------------|
| PFCR  | Port F control register    | 003EH<br>(RMW 禁) |                                |                                                                   | PF5C                     | PF4C                  | PF3C                  | PF2C                     | PF1C                    | PF0C                    |
|       |                            |                  |                                |                                                                   | W                        |                       |                       |                          |                         |                         |
|       |                            |                  |                                |                                                                   | 0                        | 0                     | 0                     | 0                        | 0                       | 0                       |
|       |                            |                  | 0: 入力 1: 出力                    |                                                                   |                          |                       |                       |                          |                         |                         |
| PFFC  | Port F function register   | 003FH<br>(RMW 禁) |                                |                                                                   | PF5F                     |                       | PF3F                  | PF2F                     |                         | PF0F                    |
|       |                            |                  |                                |                                                                   | W                        |                       | W                     |                          |                         | W                       |
|       |                            |                  |                                |                                                                   | 0                        |                       | 0                     | 0                        |                         | 0                       |
|       |                            |                  |                                |                                                                   | 0: ポート<br>1: SCLK1<br>出力 |                       | 0: ポート<br>1: TXD1     | 0: ポート<br>1: SCLK0<br>出力 |                         | 0: ポート<br>1: TXD0       |
| PJFC  | Port J function register   | 004FH<br>(RMW 禁) | PJ7F                           | PJ6F                                                              | PJ5F                     | PJ4F                  | PJ3F                  | PJ2F                     | PJ1F                    | PJ0F                    |
|       |                            |                  | W                              |                                                                   |                          |                       |                       |                          |                         |                         |
|       |                            |                  | 0                              | 0                                                                 | 0                        | 0                     | 0                     | 0                        | 0                       | 0                       |
|       |                            |                  | 0: ポート<br>1: SDCKE             | 0: ポート<br>1: SDUUDQM                                              | 0: ポート<br>1: SDULDQM     | 0: ポート<br>1: SLDUDQM  | 0: ポート<br>1: SLLDQM   | 0: ポート<br>1: SDWE        | 0: ポート<br>1: SDCAS      | 0: ポート<br>1: SDRAS      |
| PJFC2 | Port J function register 2 | 004DH<br>(RMW 禁) | —                              | PF6F2                                                             | PF5F2                    | PF4F2                 | PF3F2                 | PF2F2                    | —                       | —                       |
|       |                            |                  | W                              |                                                                   |                          |                       |                       |                          |                         |                         |
|       |                            |                  | 0                              | 0                                                                 | 0                        | 0                     | 0                     | 0                        | 0                       | 0                       |
|       |                            |                  | "0" をライ<br>トしてく<br>ださい。        | 0: <PJ6F><br>1: SRUUB                                             | 0: <PJ5F><br>1: SRULB    | 0: <PJ4F><br>1: SRLUB | 0: <PJ3F><br>1: SRLLB | 0: <PJ2F><br>1: SRWR     | "0" をライ<br>トしてく<br>ださい。 | "0" をライ<br>トしてく<br>ださい。 |
| PKFC  | Port K function register   | 0053H<br>(RMW 禁) |                                | PK6F                                                              |                          | PK4F                  | PK3F                  | PK2F                     | PK1F                    | PK0F                    |
|       |                            |                  |                                | W                                                                 |                          | W                     |                       |                          |                         |                         |
|       |                            |                  |                                | 0                                                                 |                          | 0                     | 0                     | 0                        | 0                       | 0                       |
|       |                            |                  |                                | 0: ポート<br>1: ALARM<br>@<PK6><br>= 1<br>1: MLDALM<br>@<PK6><br>= 0 |                          | 0: ポート<br>1: DOFFB    | 0: ポート<br>1: DLEBCD   | 0: ポート<br>1: D3BFR       | 0: ポート<br>1: D2BLP      | 0: ポート<br>1: D1BSCP     |
| PLCR  | Port L control register    | 0056H<br>(RMW 禁) | PL7C                           | PL6C                                                              | PL5C                     | PL4C                  | PL3C                  | PL2C                     | PL1C                    | PL0C                    |
|       |                            |                  | W                              |                                                                   |                          |                       |                       |                          |                         |                         |
|       |                            |                  | 0                              | 0                                                                 | 0                        | 0                     | 0                     | 0                        | 0                       | 0                       |
|       |                            |                  | 0: 入力 1: 出力                    |                                                                   |                          |                       |                       |                          |                         |                         |
| PLFC  | Port L function register   | 0057H<br>(RMW 禁) | PL7F                           | PL6F                                                              | PL5F                     | PL4F                  | PL3F                  | PL2F                     | PL1F                    | PL0F                    |
|       |                            |                  | W                              |                                                                   |                          |                       |                       |                          |                         |                         |
|       |                            |                  | 0                              | 0                                                                 | 0                        | 0                     | 0                     | 0                        | 0                       | 0                       |
|       |                            |                  | 0: ポート 1: LCDC データバス (LD7-LD0) |                                                                   |                          |                       |                       |                          |                         |                         |

## (3) 割り込み制御 (1/3)

| 記号        | レジスタ名                     | アドレス  | 7              | 6      | 5      | 4      | 3              | 2       | 1       | 0       |
|-----------|---------------------------|-------|----------------|--------|--------|--------|----------------|---------|---------|---------|
| INTE12    | INT1 & INT2 enable        | 00D0H | INT2           |        |        |        | INT1           |         |         |         |
|           |                           |       | I2C            | I2M2   | I2M1   | I2M0   | I1C            | I1M2    | I1M1    | I1M0    |
|           |                           |       | R              | R/W    |        |        | R              | R/W     |         |         |
|           |                           |       | 0              | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTE3     | INT3 enable               | 00D1H | -              |        |        |        | INT3           |         |         |         |
|           |                           |       | -              | -      | -      | -      | I3C            | I3M2    | I3M1    | I3M0    |
|           |                           |       | -              | -      |        |        | R              | R/W     |         |         |
|           |                           |       | -              | -      | -      | -      | 0              | 0       | 0       | 0       |
| INTEA01   | INTTA0 & INTTA1 enable    | 00D4H | INTTA1 (TMRA1) |        |        |        | INTTA0 (TMRA0) |         |         |         |
|           |                           |       | ITA1C          | ITA1M2 | ITA1M1 | ITA1M0 | ITA0C          | ITA0M2  | ITA0M1  | ITA0M0  |
|           |                           |       | R              | R/W    |        |        | R              | R/W     |         |         |
|           |                           |       | 0              | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTEA23   | INTTA2 & INTTA3 enable    | 00D5H | INTTA3 (TMRA3) |        |        |        | INTTA2 (TMRA2) |         |         |         |
|           |                           |       | ITA3C          | ITA3M2 | ITA3M1 | ITA3M0 | ITA2C          | ITA2M2  | ITA2M1  | ITA2M0  |
|           |                           |       | R              | R/W    |        |        | R              | R/W     |         |         |
|           |                           |       | 0              | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INETB01   | INTTB0 & INTTB1 enable    | 00D8H | INTTB1 (TMRB1) |        |        |        | INTTB0 (TMRB0) |         |         |         |
|           |                           |       | ITB1C          | ITB1M2 | ITB1M1 | ITB1M0 | ITB0C          | ITB0M2  | ITB0M1  | ITB0M0  |
|           |                           |       | R              | R/W    |        |        | R              | R/W     |         |         |
|           |                           |       | 0              | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INETBO0   | INTTBO0 (Overflow) enable | 00DAH | -              |        |        |        | INTTBO0        |         |         |         |
|           |                           |       | -              | -      | -      | -      | ITBO0C         | ITBO0M2 | ITBO0M1 | ITBO0M0 |
|           |                           |       | R              | RW     |        |        | R              | R/W     |         |         |
|           |                           |       | -              | -      | -      | -      | 0              | 0       | 0       | 0       |
| INTES0    | INTRX0 & INTTX0 enable    | 00DBH | INTTX0         |        |        |        | INTRX0         |         |         |         |
|           |                           |       | ITX0C          | ITX0M2 | ITX0M1 | ITX0M0 | IRX0C          | IRX0M2  | IRX0M1  | IRX0M0  |
|           |                           |       | R              | R/W    |        |        | R              | R/W     |         |         |
|           |                           |       | 0              | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTES1    | INTRX1 & INTTX1 enable    | 00DCH | INTTX1         |        |        |        | INTRX1         |         |         |         |
|           |                           |       | ITX1C          | ITX1M2 | ITX1M1 | ITX1M0 | IRX1C          | IRX1M2  | IRX1M1  | IRX1M0  |
|           |                           |       | R              | R/W    |        |        | R              | R/W     |         |         |
|           |                           |       | 0              | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTESB0   | INTSBE0 enable            | 00E3H | -              |        |        |        | INTSBE0        |         |         |         |
|           |                           |       | -              | -      | -      | -      | ISBE0C         | ISBE0M2 | ISBE0M1 | ISBE0M0 |
|           |                           |       | -              | -      |        |        | R              | R/W     |         |         |
|           |                           |       | -              | -      | -      | -      | 0              | 0       | 0       | 0       |
| INTEALM01 | INTALM0 & INTALM1 enable  | 00E5H | INTALM1        |        |        |        | INTALM0        |         |         |         |
|           |                           |       | IA1C           | IA1M2  | IA1M1  | IA1M0  | IA0C           | IA0M2   | IA0M1   | IA0M0   |
|           |                           |       | R              | R/W    |        |        | R              | R/W     |         |         |
|           |                           |       | 0              | 0      | 0      | 0      | 0              | 0       | 0       | 0       |
| INTEALM23 | INTALM2 & INTALM3 enable  | 00E6H | INTALM3        |        |        |        | INTALM2        |         |         |         |
|           |                           |       | IA3C           | IA3M2  | IA3M1  | IA3M0  | IA2C           | IA2M2   | IA2M1   | IA2M0   |
|           |                           |       | R              | R/W    |        |        | R              | R/W     |         |         |
|           |                           |       | 0              | 0      | 0      | 0      | 0              | 0       | 0       | 0       |

## 割り込み制御 (2/3)

| 記号       | レジスタ名                        | アドレス  | 7               | 6         | 5      | 4      | 3          | 2         | 1      | 0      |
|----------|------------------------------|-------|-----------------|-----------|--------|--------|------------|-----------|--------|--------|
| INTEALM4 | INTALM4<br>enable            | 00E7H | -               |           |        |        | INTALM4    |           |        |        |
|          |                              |       | -               | -         | -      | -      | IA4C       | IA4M2     | IA4M1  | IA4M0  |
|          |                              |       | -               | -         |        |        | R          | R/W       |        |        |
|          |                              |       | -               | -         | -      | -      | 0          | 0         | 0      | 0      |
|          |                              |       | "0" をライトしてください。 |           |        |        | 1: INTALM4 | 割り込み要求レベル |        |        |
| INTERTC  | INTRTC<br>enable             | 00E8H | -               |           |        |        | INTRTC     |           |        |        |
|          |                              |       | -               | -         | -      | -      | IRC        | IRM2      | IRM1   | IRM0   |
|          |                              |       | -               | -         |        |        | R          | R/W       |        |        |
|          |                              |       | -               | -         | -      | -      | 0          | 0         | 0      | 0      |
|          |                              |       | "0" をライトしてください。 |           |        |        | 1: INTRTC  | 割り込み要求レベル |        |        |
| INTEKEY  | INTKEY<br>enable             | 00E9H | -               |           |        |        | INTKEY     |           |        |        |
|          |                              |       | -               | -         | -      | -      | IKC        | IKM2      | IKM1   | IKM0   |
|          |                              |       | -               | -         |        |        | R          | R/W       |        |        |
|          |                              |       | -               | -         | -      | -      | 0          | 0         | 0      | 0      |
|          |                              |       | "0" をライトしてください。 |           |        |        | 1: INTKEY  | 割り込み要求レベル |        |        |
| INTLCD   | INTLCD<br>enable             | 00EAH | -               |           |        |        | INTLCD     |           |        |        |
|          |                              |       | -               | -         | -      | -      | ILCD1C     | ILCDM2    | ILCDM1 | ILCDM0 |
|          |                              |       | -               | -         |        |        | R          | R/W       |        |        |
|          |                              |       | -               | -         | -      | -      | 0          | 0         | 0      | 0      |
|          |                              |       | "0" をライトしてください。 |           |        |        | 1: INTLCD  | 割り込み要求レベル |        |        |
| INTES2   | INTRX2 &<br>INTTX2<br>enable | 00EDH | INTTX2          |           |        |        | INTRX2     |           |        |        |
|          |                              |       | ITX2C           | ITX2M2    | ITX2M1 | ITX2M0 | IRX2C      | IRX2M2    | IRX2M1 | IRX2M0 |
|          |                              |       | R               | R/W       |        |        | R          | R/W       |        |        |
|          |                              |       | 0               | 0         | 0      | 0      | 0          |           |        |        |
|          |                              |       | 1: INTTX2       | 割り込み要求レベル |        |        | 1: INTRX2  | 割り込み要求レベル |        |        |
| INTEP0   | INTP0<br>enable              | 00EEH | -               |           |        |        | INTP0      |           |        |        |
|          |                              |       | -               | -         | -      | -      | IP0C       | IP0M2     | IP0M1  | IP0M0  |
|          |                              |       | -               | -         |        |        | R          | R/W       |        |        |
|          |                              |       | -               | -         | -      | -      | 0          | 0         | 0      | 0      |
|          |                              |       | "0" をライトしてください。 |           |        |        | 1: INTP0   | 割り込み要求レベル |        |        |

## 割り込み制御 (3/3)

| 記号       | レジスタ名                               | アドレス             | 7                   | 6      | 5                                | 4                                | 3                                | 2                                    | 1                                    | 0                                    |
|----------|-------------------------------------|------------------|---------------------|--------|----------------------------------|----------------------------------|----------------------------------|--------------------------------------|--------------------------------------|--------------------------------------|
| INTE0AD  | INT0 & INTAD enable                 | 00F0H            | INTAD               |        |                                  |                                  | INT0                             |                                      |                                      |                                      |
|          |                                     |                  | IADC                | IADM2  | IADM1                            | IADM0                            | I0C                              | I0M2                                 | I0M1                                 | I0M0                                 |
|          |                                     |                  | R                   | R/W    |                                  |                                  | R                                | R/W                                  |                                      |                                      |
|          |                                     |                  | 0                   | 0      | 0                                | 0                                | 0                                | 0                                    | 0                                    | 0                                    |
|          |                                     |                  | 1: INTAD 割り込み要求レベル  |        |                                  |                                  | 1: INT0 割り込み要求レベル                |                                      |                                      |                                      |
| INTETC01 | INTTC0 & INTTC1 enable              | 00F1H            | INTTC1 (DMA1)       |        |                                  |                                  | INTTC0 (DMA0)                    |                                      |                                      |                                      |
|          |                                     |                  | ITC1C               | ITC1M2 | ITC1M1                           | ITC1M0                           | ITC0C                            | ITC0M2                               | ITC0M1                               | ITC0M0                               |
|          |                                     |                  | R                   | R/W    |                                  |                                  | R                                | R/W                                  |                                      |                                      |
|          |                                     |                  | 0                   | 0      | 0                                | 0                                | 0                                | 0                                    | 0                                    | 0                                    |
|          |                                     |                  | 1: INTTC1 割り込み要求レベル |        |                                  |                                  | 1: INTTC0 割り込み要求レベル              |                                      |                                      |                                      |
| INTETC23 | INTTC2 & INTTC3 enable              | 00F2H            | INTTC3 (DMA3)       |        |                                  |                                  | INTTC2 (DMA2)                    |                                      |                                      |                                      |
|          |                                     |                  | ITC3C               | ITC3M2 | ITC3M1                           | ITC3M0                           | ITC2C                            | ITC2M2                               | ITC2M1                               | ITC2M0                               |
|          |                                     |                  | R                   | R/W    |                                  |                                  | R                                | R/W                                  |                                      |                                      |
|          |                                     |                  | 0                   | 0      | 0                                | 0                                | 0                                | 0                                    | 0                                    | 0                                    |
|          |                                     |                  | 1: INTTC3 割り込み要求レベル |        |                                  |                                  | 1: INTTC2 割り込み要求レベル              |                                      |                                      |                                      |
| INTETC45 | INTTC4 & INTTC5 enable              | 00F3H            | INTTC5 (DMA5)       |        |                                  |                                  | INTTC4 (DMA4)                    |                                      |                                      |                                      |
|          |                                     |                  | ITC5C               | ITC5M2 | ITC5M1                           | ITC5M0                           | ITC4C                            | ITC4M2                               | ITC4M1                               | ITC4M0                               |
|          |                                     |                  | R                   | R/W    |                                  |                                  | R                                | R/W                                  |                                      |                                      |
|          |                                     |                  | 0                   | 0      | 0                                | 0                                | 0                                | 0                                    | 0                                    | 0                                    |
|          |                                     |                  | 1: INTTC5 割り込み要求レベル |        |                                  |                                  | 1: INTTC4 割り込み要求レベル              |                                      |                                      |                                      |
| INTETC67 | INTTC6 & INTTC7 enable              | 00F4H            | INTTC7 (DMA7)       |        |                                  |                                  | INTTC6 (DMA6)                    |                                      |                                      |                                      |
|          |                                     |                  | ITC7C               | ITC7M2 | ITC7M1                           | ITC7M0                           | ITC6C                            | ITC6M2                               | ITC6M1                               | ITC6M0                               |
|          |                                     |                  | R                   | R/W    |                                  |                                  | R                                | R/W                                  |                                      |                                      |
|          |                                     |                  | 0                   | 0      | 0                                | 0                                | 0                                | 0                                    | 0                                    | 0                                    |
|          |                                     |                  | 1: INTTC7 割り込み要求レベル |        |                                  |                                  | 1: INTTC6 割り込み要求レベル              |                                      |                                      |                                      |
| SIMC     | SIO Interrupt mode control register | 00F5H<br>(RMW 禁) |                     |        |                                  |                                  |                                  | IR2LE                                | IR1LE                                | IR0LE                                |
|          |                                     |                  |                     |        |                                  |                                  |                                  | W                                    |                                      |                                      |
|          |                                     |                  |                     |        |                                  |                                  |                                  | 1                                    | 1                                    | 1                                    |
|          |                                     |                  |                     |        |                                  |                                  |                                  | 0: INTRX2 エッジモード<br>1: INTRX2 レベルモード | 0: INTRX1 エッジモード<br>1: INTRX1 レベルモード | 0: INTRX0 エッジモード<br>1: INTRX0 レベルモード |
| IIMC     | Interrupt input control register    | 00F6H<br>(RMW 禁) |                     |        | I3EDGE                           | I2EDGE                           | I1EDGE                           | I0EDGE                               | I0LE                                 | -                                    |
|          |                                     |                  |                     |        | W                                |                                  |                                  |                                      | R/W                                  |                                      |
|          |                                     |                  |                     |        | 0                                | 0                                | 0                                | 0                                    | 0                                    | 0                                    |
|          |                                     |                  |                     |        | INT3 エッジ<br>0: 立ち上がり<br>1: 立ち下がり | INT2 エッジ<br>0: 立ち上がり<br>1: 立ち下がり | INT1 エッジ<br>0: 立ち上がり<br>1: 立ち下がり | INT0 エッジ<br>0: 立ち上がり<br>1: 立ち下がり     | 0: INT0 エッジモード<br>1: INT0 レベルモード     | "0"をライトしてください。                       |
| INTWDT   | INTWD                               | 00F7H            | -                   |        |                                  |                                  | INTWD                            |                                      |                                      |                                      |
|          |                                     |                  | -                   | -      | -                                | -                                | ITCWD                            | -                                    | -                                    | -                                    |
|          |                                     |                  | -                   | -      | -                                | -                                | R                                | -                                    | -                                    | -                                    |
|          |                                     |                  | -                   | -      | -                                | -                                | 0                                | -                                    | -                                    | -                                    |
|          |                                     |                  | "0"をライトして下さい。       |        |                                  |                                  | 1: INTWD -                       |                                      |                                      |                                      |
| INTCLR   | Interrupt clear control             | 00F8H<br>(RMW 禁) | CLR7                | CLR6   | CLR5                             | CLR4                             | CLR3                             | CLR2                                 | CLR1                                 | CLR0                                 |
|          |                                     |                  | W                   |        |                                  |                                  |                                  |                                      |                                      |                                      |
|          |                                     |                  | 0                   | 0      | 0                                | 0                                | 0                                | 0                                    | 0                                    | 0                                    |
|          |                                     |                  | 割り込みベクタ             |        |                                  |                                  |                                  |                                      |                                      |                                      |

## (4) DMA 制御

| 記号    | レジスタ名             | アドレス          | 7              | 6     | 5          | 4      | 3      | 2      | 1      | 0      |
|-------|-------------------|---------------|----------------|-------|------------|--------|--------|--------|--------|--------|
| DMA0V | DMA0 start vector | 0100H         |                |       | DMA0V5     | DMA0V4 | DMA0V3 | DMA0V2 | DMA0V1 | DMA0V0 |
|       |                   |               |                |       | R/W        |        |        |        |        |        |
|       |                   |               |                |       | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               |                |       | DMA0 開始ベクタ |        |        |        |        |        |
| DMA1V | DMA1 start vector | 0101H         |                |       | DMA1V5     | DMA1V4 | DMA1V3 | DMA1V2 | DMA1V1 | DMA1V0 |
|       |                   |               |                |       | R/W        |        |        |        |        |        |
|       |                   |               |                |       | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               |                |       | DMA1 開始ベクタ |        |        |        |        |        |
| DMA2V | DMA2 start vector | 0102H         |                |       | DMA2V5     | DMA2V4 | DMA2V3 | DMA2V2 | DMA2V1 | DMA2V0 |
|       |                   |               |                |       | R/W        |        |        |        |        |        |
|       |                   |               |                |       | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               |                |       | DMA2 開始ベクタ |        |        |        |        |        |
| DMA3V | DMA3 start vector | 0103H         |                |       | DMA3V5     | DMA3V4 | DMA3V3 | DMA3V2 | DMA3V1 | DMA3V0 |
|       |                   |               |                |       | R/W        |        |        |        |        |        |
|       |                   |               |                |       | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               |                |       | DMA3 開始ベクタ |        |        |        |        |        |
| DMA4V | DMA4 start vector | 0104H         |                |       | DMA4V5     | DMA4V4 | DMA4V3 | DMA4V2 | DMA4V1 | DMA4V0 |
|       |                   |               |                |       | R/W        |        |        |        |        |        |
|       |                   |               |                |       | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               |                |       | DMA4 開始ベクタ |        |        |        |        |        |
| DMA5V | DMA5 start vector | 0105H         |                |       | DMA5V5     | DMA5V4 | DMA5V3 | DMA5V2 | DMA5V1 | DMA5V0 |
|       |                   |               |                |       | R/W        |        |        |        |        |        |
|       |                   |               |                |       | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               |                |       | DMA5 開始ベクタ |        |        |        |        |        |
| DMA6V | DMA6 start vector | 0106H         |                |       | DMA6V5     | DMA6V4 | DMA6V3 | DMA6V2 | DMA6V1 | DMA6V0 |
|       |                   |               |                |       | R/W        |        |        |        |        |        |
|       |                   |               |                |       | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               |                |       | DMA6 開始ベクタ |        |        |        |        |        |
| DMA7V | DMA7 start vector | 0107H         |                |       | DMA7V5     | DMA7V4 | DMA7V3 | DMA7V2 | DMA7V1 | DMA7V0 |
|       |                   |               |                |       | R/W        |        |        |        |        |        |
|       |                   |               |                |       | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               |                |       | DMA7 開始ベクタ |        |        |        |        |        |
| DMAB  | DMA burst         | 0108H         | DBST7          | DBST6 | DBST5      | DBST4  | DBST3  | DBST2  | DBST1  | DBST0  |
|       |                   |               | R/W            |       |            |        |        |        |        |        |
|       |                   |               | 0              | 0     | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               | 1: DMA のバースト要求 |       |            |        |        |        |        |        |
| DMAR  | DMA request       | 0109H (RMW 禁) | DREQ7          | DREQ6 | DREQ5      | DREQ4  | DREQ3  | DREQ2  | DREQ1  | DREQ0  |
|       |                   |               | R/W            |       |            |        |        |        |        |        |
|       |                   |               | 0              | 0     | 0          | 0      | 0      | 0      | 0      | 0      |
|       |                   |               | 1: DMA のソフト要求  |       |            |        |        |        |        |        |

## (5) メモリ制御 (1/2)

| 記号    | レジスタ名                                          | アドレス                 | 7                       | 6                                                                                                                                                               | 5     | 4                                                 | 3                                                            | 2                                                                                                                                                               | 1      | 0      |
|-------|------------------------------------------------|----------------------|-------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---------------------------------------------------|--------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|--------|
| B0CSL | BLOCK0<br>MEMC<br>control<br>register<br>Low   | 0140H<br><br>(RMW 禁) |                         | B0WW2                                                                                                                                                           | B0WW1 | B0WW0                                             |                                                              | B0WR2                                                                                                                                                           | B0WR1  | B0WR0  |
|       |                                                |                      |                         | W                                                                                                                                                               |       |                                                   |                                                              | W                                                                                                                                                               |        |        |
|       |                                                |                      |                         | 0                                                                                                                                                               | 1     | 0                                                 |                                                              | 0                                                                                                                                                               | 1      | 0      |
|       |                                                |                      |                         | 書き込みウェイト数<br>001: 2ステート (0ウェイト)<br>010: 3ステート (1ウェイト)<br>101: 4ステート (2ウェイト)<br>110: 5ステート (3ウェイト)<br>111: 6ステート (4ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |       |                                                   |                                                              | 読み出しウェイト数<br>001: 2ステート (0ウェイト)<br>010: 3ステート (1ウェイト)<br>101: 4ステート (2ウェイト)<br>110: 5ステート (3ウェイト)<br>111: 6ステート (4ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |        |        |
| B0CSH | BLOCK0<br>MEMCT<br>control<br>register<br>High | 0141H<br><br>(RMW 禁) | B0E                     |                                                                                                                                                                 |       | B0REC                                             | B0OM1                                                        | B0OM0                                                                                                                                                           | B0BUS1 | B0BUS0 |
|       |                                                |                      | W                       |                                                                                                                                                                 |       |                                                   | W                                                            |                                                                                                                                                                 |        |        |
|       |                                                |                      | 0                       |                                                                                                                                                                 |       | 0                                                 | 0                                                            | 0                                                                                                                                                               | 0      | 0      |
|       |                                                |                      | CS 選択<br>0: 禁止<br>1: 許可 |                                                                                                                                                                 |       | 0: ダミーサ<br>イクルを<br>入れない<br>1: ダミーサ<br>イクルを<br>入れる | 00: ROM/SRAM<br>01: Reserved<br>10: Reserved<br>11: Reserved | データバス幅<br>00: 8ビット<br>01: 16ビット<br>10: 32ビット<br>11: Reserved                                                                                                    |        |        |
| B1CSL | BLOCK1<br>MEMC<br>control<br>register<br>Low   | 0144H<br><br>(RMW 禁) |                         | B1WW2                                                                                                                                                           | B1WW1 | B1WW0                                             |                                                              | B1WR2                                                                                                                                                           | B1WR1  | B1WR0  |
|       |                                                |                      |                         | W                                                                                                                                                               |       |                                                   |                                                              | W                                                                                                                                                               |        |        |
|       |                                                |                      |                         | 0                                                                                                                                                               | 1     | 0                                                 |                                                              | 0                                                                                                                                                               | 1      | 0      |
|       |                                                |                      |                         | 書き込みウェイト数<br>001: 2ステート (0ウェイト)<br>010: 3ステート (1ウェイト)<br>101: 4ステート (2ウェイト)<br>110: 5ステート (3ウェイト)<br>111: 6ステート (4ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |       |                                                   |                                                              | 読み出しウェイト数<br>001: 2ステート (0ウェイト)<br>010: 3ステート (1ウェイト)<br>101: 4ステート (2ウェイト)<br>110: 5ステート (3ウェイト)<br>111: 6ステート (4ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |        |        |
| B1CSH | BLOCK1<br>MEMC<br>control<br>register<br>High  | 0145H<br><br>(RMW 禁) | B1E                     |                                                                                                                                                                 |       | B1REC                                             | B1OM1                                                        | B1OM0                                                                                                                                                           | B1BUS1 | B1BUS0 |
|       |                                                |                      | W                       |                                                                                                                                                                 |       |                                                   | W                                                            |                                                                                                                                                                 |        |        |
|       |                                                |                      | 0                       |                                                                                                                                                                 |       | 0                                                 | 0                                                            | 0                                                                                                                                                               | 0      | 0      |
|       |                                                |                      | CS 選択<br>0: 禁止<br>1: 許可 |                                                                                                                                                                 |       | 0: ダミーサ<br>イクルを<br>入れない<br>1: ダミーサ<br>イクルを<br>入れる | 00: ROM/SRAM<br>01: Reserved<br>10: Reserved<br>11: SDRAM    | データバス幅<br>00: 8ビット<br>01: 16ビット<br>10: 32ビット<br>11: Reserved                                                                                                    |        |        |
| B2CSL | BLOCK2<br>MEMC<br>control<br>register<br>Low   | 0148H<br><br>(RMW 禁) |                         | B2WW2                                                                                                                                                           | B2WW1 | B2WW0                                             |                                                              | B2WR2                                                                                                                                                           | B2WR1  | B2WR0  |
|       |                                                |                      |                         | W                                                                                                                                                               |       |                                                   |                                                              | W                                                                                                                                                               |        |        |
|       |                                                |                      |                         | 0                                                                                                                                                               | 1     | 0                                                 |                                                              | 0                                                                                                                                                               | 1      | 0      |
|       |                                                |                      |                         | 書き込みウェイト数<br>001: 2ステート (0ウェイト)<br>010: 3ステート (1ウェイト)<br>101: 4ステート (2ウェイト)<br>110: 5ステート (3ウェイト)<br>111: 6ステート (4ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |       |                                                   |                                                              | 読み出しウェイト数<br>001: 2ステート (0ウェイト)<br>010: 3ステート (1ウェイト)<br>101: 4ステート (2ウェイト)<br>110: 5ステート (3ウェイト)<br>111: 6ステート (4ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |        |        |
| B2CSH | BLOCK2<br>MEMC<br>control<br>register<br>High  | 0149H<br><br>(RMW 禁) | B2E                     | B2M                                                                                                                                                             |       | B2REC                                             | B2OM1                                                        | B2OM0                                                                                                                                                           | B2BUS1 | B2BUS0 |
|       |                                                |                      | W                       |                                                                                                                                                                 |       |                                                   | W                                                            |                                                                                                                                                                 |        |        |
|       |                                                |                      | 1                       | 0                                                                                                                                                               |       | 0                                                 | 0                                                            | 0                                                                                                                                                               | 0/1    | 0/1    |
|       |                                                |                      | CS 選択<br>0: 禁止<br>1: 許可 | 0: 16 M バ<br>イト<br>1: エリア<br>設定                                                                                                                                 |       | 0: ダミーサ<br>イクルを<br>入れない<br>1: ダミーサ<br>イクルを<br>入れる | 00: ROM/SRAM<br>01: Reserved<br>10: Reserved<br>11: Reserved | データバス幅<br>00: 8ビット<br>01: 16ビット<br>10: 32ビット<br>11: Reserved                                                                                                    |        |        |

## メモリ制御 (2/2)

| 記号     | レジスタ名                                              | アドレス                 | 7                       | 6                                                                                                                                                                         | 5      | 4                                                 | 3                                                                                                                      | 2                                                                                                                                                                         | 1       | 0       |
|--------|----------------------------------------------------|----------------------|-------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|---------------------------------------------------|------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|---------|
| B3CSL  | BLOCK3<br>MEMC<br>control<br>register<br>Low       | 014CH<br><br>(RMW 禁) |                         | B3WW2                                                                                                                                                                     | B3WW1  | B3WW0                                             |                                                                                                                        | B3WR2                                                                                                                                                                     | B3WR1   | B3WR0   |
|        |                                                    |                      |                         | W                                                                                                                                                                         |        |                                                   |                                                                                                                        | W                                                                                                                                                                         |         |         |
|        |                                                    |                      |                         | 0                                                                                                                                                                         | 1      | 0                                                 |                                                                                                                        | 0                                                                                                                                                                         | 1       | 0       |
|        |                                                    |                      |                         | 書き込みウェイト数<br>001: 2 ステート (0 ウェイト)<br>010: 3 ステート (1 ウェイト)<br>101: 4 ステート (2 ウェイト)<br>110: 5 ステート (3 ウェイト)<br>111: 6 ステート (4 ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |        |                                                   |                                                                                                                        | 読み出しウェイト数<br>001: 2 ステート (0 ウェイト)<br>010: 3 ステート (1 ウェイト)<br>101: 4 ステート (2 ウェイト)<br>110: 5 ステート (3 ウェイト)<br>111: 6 ステート (4 ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |         |         |
| B3CSH  | BLOCK3<br>MEMC<br>control<br>register<br>High      | 014DH<br><br>(RMW 禁) | B3E                     |                                                                                                                                                                           |        | B3REC                                             | B3OM1                                                                                                                  | B3OM0                                                                                                                                                                     | B3BUS1  | B3BUS0  |
|        |                                                    |                      | W                       |                                                                                                                                                                           |        |                                                   | W                                                                                                                      |                                                                                                                                                                           |         |         |
|        |                                                    |                      | 0                       |                                                                                                                                                                           |        | 0                                                 | 0                                                                                                                      | 0                                                                                                                                                                         | 0       | 0       |
|        |                                                    |                      | CS 選択<br>0: 禁止<br>1: 許可 |                                                                                                                                                                           |        | 0: ダミーサ<br>イクルを<br>入れない<br>1: ダミーサ<br>イクルを<br>入れる | 00: ROM/SRAM<br>01: Reserved<br>10: Reserved<br>11: Reserved                                                           | データバス幅<br>00: 8 ビット<br>01: 16 ビット<br>10: 32 ビット<br>11: Reserved                                                                                                           |         |         |
| BEXCSL | BLOCK<br>EX<br>MEMC<br>control<br>register<br>Low  | 0158H<br><br>(RMW 禁) |                         | BEXWW2                                                                                                                                                                    | BEXWW1 | BEXWW0                                            |                                                                                                                        | BEXWR2                                                                                                                                                                    | BEXWR1  | BEXWR0  |
|        |                                                    |                      |                         | W                                                                                                                                                                         |        |                                                   |                                                                                                                        | W                                                                                                                                                                         |         |         |
|        |                                                    |                      |                         | 0                                                                                                                                                                         | 1      | 0                                                 |                                                                                                                        | 0                                                                                                                                                                         | 1       | 0       |
|        |                                                    |                      |                         | 書き込みウェイト数<br>001: 2 ステート (0 ウェイト)<br>010: 3 ステート (1 ウェイト)<br>101: 4 ステート (2 ウェイト)<br>110: 5 ステート (3 ウェイト)<br>111: 6 ステート (4 ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |        |                                                   |                                                                                                                        | 読み出しウェイト数<br>001: 2 ステート (0 ウェイト)<br>010: 3 ステート (1 ウェイト)<br>101: 4 ステート (2 ウェイト)<br>110: 5 ステート (3 ウェイト)<br>111: 6 ステート (4 ウェイト)<br>011: WAIT 端子入力モード<br>その他: (Reserved) |         |         |
| BEXCSH | BLOCK<br>EX<br>MEMC<br>control<br>register<br>High | 0159H<br><br>(RMW 禁) |                         |                                                                                                                                                                           |        |                                                   | BEXOM1                                                                                                                 | BEXOM0                                                                                                                                                                    | BEXBUS1 | BEXBUS0 |
|        |                                                    |                      |                         |                                                                                                                                                                           |        |                                                   | W                                                                                                                      |                                                                                                                                                                           |         |         |
|        |                                                    |                      |                         |                                                                                                                                                                           |        |                                                   | 0                                                                                                                      | 0                                                                                                                                                                         | 0       | 0       |
|        |                                                    |                      |                         |                                                                                                                                                                           |        |                                                   | 00: ROM/SRAM<br>01: Reserved<br>10: Reserved<br>11: Reserved                                                           | データバス幅<br>00: 8 ビット<br>01: 16 ビット<br>10: 32 ビット<br>11: Reserved                                                                                                           |         |         |
| PMEMCR | Page<br>ROM<br>control<br>register                 | 0166H                |                         |                                                                                                                                                                           |        | OPGE                                              | OPWR1                                                                                                                  | OPWR0                                                                                                                                                                     | PR1     | PR0     |
|        |                                                    |                      |                         |                                                                                                                                                                           |        |                                                   | R/W                                                                                                                    |                                                                                                                                                                           |         |         |
|        |                                                    |                      |                         |                                                                                                                                                                           |        | 0                                                 | 0                                                                                                                      | 0                                                                                                                                                                         | 1       | 0       |
|        |                                                    |                      |                         |                                                                                                                                                                           |        | ROM<br>ページ<br>アクセス<br>0: 禁止<br>1: 許可              | ページの待ち数<br>00: 1 ステート<br>(n-1-1-1 モード)<br>01: 2 ステート<br>(n-2-2-2 モード)<br>10: 3 ステート<br>(n-3-3-3 モード)<br>11: (Reserved) | ページのバイト数<br>00: 64 バイト<br>01: 32 バイト<br>10: 16 バイト<br>(初期設定)<br>11: 8 バイト                                                                                                 |         |         |

| 記号    | レジスタ名                           | アドレス  | 7                       | 6     | 5     | 4     | 3     | 2     | 1       | 0     |
|-------|---------------------------------|-------|-------------------------|-------|-------|-------|-------|-------|---------|-------|
| MAMR0 | Memory mask address register 0  | 0142H | MOV20                   | MOV19 | MOV18 | MOV17 | MOV16 | MOV15 | MOV14-9 | MOV8  |
|       |                                 |       | R/W                     |       |       |       |       |       |         |       |
|       |                                 |       | 1                       | 1     | 1     | 1     | 1     | 1     | 1       | 1     |
|       |                                 |       | 0: アドレス比較許可 1: アドレス比較禁止 |       |       |       |       |       |         |       |
| MSAR0 | Memory start address register 0 | 0143H | M0S23                   | M0S22 | M0S21 | M0S20 | M0S19 | M0S18 | M0S17   | M0S16 |
|       |                                 |       | R/W                     |       |       |       |       |       |         |       |
|       |                                 |       | 1                       | 1     | 1     | 1     | 1     | 1     | 1       | 1     |
|       |                                 |       | スタートアドレス A23 を A16 に設定  |       |       |       |       |       |         |       |
| MAMR1 | Memory mask address register 1  | 0146H | M1V21                   | M1V20 | M1V19 | M1V18 | M1V17 | M1V16 | M1V15-9 | M1V8  |
|       |                                 |       | R/W                     |       |       |       |       |       |         |       |
|       |                                 |       | 1                       | 1     | 1     | 1     | 1     | 1     | 1       | 1     |
|       |                                 |       | 0: アドレス比較許可 1: アドレス比較禁止 |       |       |       |       |       |         |       |
| MSAR1 | Memory start address register 1 | 0147H | M1S23                   | M1S22 | M1S21 | M1S20 | M1S19 | M1S18 | M1S17   | M1S16 |
|       |                                 |       | R/W                     |       |       |       |       |       |         |       |
|       |                                 |       | 1                       | 1     | 1     | 1     | 1     | 1     | 1       | 1     |
|       |                                 |       | スタートアドレス A23 を A16 に設定  |       |       |       |       |       |         |       |
| MAMR2 | Memory mask address register 2  | 014AH | M2V22                   | M2V21 | M2V20 | M2V19 | M2V18 | M2V17 | M2V16   | M2V15 |
|       |                                 |       | R/W                     |       |       |       |       |       |         |       |
|       |                                 |       | 1                       | 1     | 1     | 1     | 1     | 1     | 1       | 1     |
|       |                                 |       | 0: アドレス比較許可 1: アドレス比較禁止 |       |       |       |       |       |         |       |
| MSAR2 | Memory start address register 2 | 014BH | M2S23                   | M2S22 | M2S21 | M2S20 | M2S19 | M2S18 | M2S17   | M2S16 |
|       |                                 |       | R/W                     |       |       |       |       |       |         |       |
|       |                                 |       | 1                       | 1     | 1     | 1     | 1     | 1     | 1       | 1     |
|       |                                 |       | スタートアドレス A23 を A16 に設定  |       |       |       |       |       |         |       |
| MAMR3 | Memory mask address register 3  | 014EH | M3V22                   | M3V21 | M3V20 | M3V19 | M3V18 | M3V17 | M3V16   | M3V15 |
|       |                                 |       | R/W                     |       |       |       |       |       |         |       |
|       |                                 |       | 1                       | 1     | 1     | 1     | 1     | 1     | 1       | 1     |
|       |                                 |       | 0: アドレス比較許可 1: アドレス比較禁止 |       |       |       |       |       |         |       |
| MSAR3 | Memory start address register 3 | 014FH | M3S23                   | M3S22 | M3S21 | M3S20 | M3S19 | M3S18 | M3S17   | M3S16 |
|       |                                 |       | R/W                     |       |       |       |       |       |         |       |
|       |                                 |       | 1                       | 1     | 1     | 1     | 1     | 1     | 1       | 1     |
|       |                                 |       | スタートアドレス A23 を A16 に設定  |       |       |       |       |       |         |       |

## (6) MMU

| 記号     | レジスタ名           | アドレス  | 7                                | 6 | 5 | 4                                                                                                                             | 3                                                                                                                                                    | 2              | 1      | 0      |
|--------|-----------------|-------|----------------------------------|---|---|-------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|--------|--------|
| LOCAL0 | LOCAL0 register | 01D0H | L0E                              |   |   |                                                                                                                               |                                                                                                                                                      | L0EA22         | L0EA21 | L0EA20 |
|        |                 |       | R/W                              |   |   |                                                                                                                               |                                                                                                                                                      | R/W            |        |        |
|        |                 |       | 0                                |   |   |                                                                                                                               |                                                                                                                                                      | 0              | 0      | 0      |
|        |                 |       | LOCAL0 のバンク使用<br>0: 禁止<br>1: 許可  |   |   |                                                                                                                               |                                                                                                                                                      | LOCAL0 領域バンク設定 |        |        |
| LOCAL1 | LOCAL1 register | 01D1H | L1E                              |   |   |                                                                                                                               |                                                                                                                                                      | L1EA23         | L1EA22 | L1EA21 |
|        |                 |       | R/W                              |   |   |                                                                                                                               |                                                                                                                                                      | R/W            |        |        |
|        |                 |       | 0                                |   |   |                                                                                                                               |                                                                                                                                                      | 0              | 0      | 0      |
|        |                 |       | LOCAL1 のバンク使用<br>0: 禁止<br>1: 許可  |   |   |                                                                                                                               |                                                                                                                                                      | LOCAL1 領域バンク設定 |        |        |
| LOCAL2 | LOCAL2 register | 01D2H | L2E                              |   |   |                                                                                                                               |                                                                                                                                                      | L2EA23         | L2EA22 | L2EA21 |
|        |                 |       | R/W                              |   |   |                                                                                                                               |                                                                                                                                                      | R/W            |        |        |
|        |                 |       | 0                                |   |   |                                                                                                                               |                                                                                                                                                      | 0              | 0      | 0      |
|        |                 |       | LOCAL2 のバンクを使用<br>0: 禁止<br>1: 許可 |   |   |                                                                                                                               |                                                                                                                                                      | LOCAL2 領域バンク設定 |        |        |
| LOCAL3 | LOCAL3 register | 01D3H | L3E                              |   |   | L3EA26                                                                                                                        | L3EA25                                                                                                                                               | L3EA24         | L3EA23 | L3EA22 |
|        |                 |       | R/W                              |   |   | R/W                                                                                                                           |                                                                                                                                                      |                |        |        |
|        |                 |       | 0                                |   |   | 0                                                                                                                             | 0                                                                                                                                                    | 0              | 0      | 0      |
|        |                 |       | LOCAL3 のバンク使用<br>0: 禁止<br>1: 許可  |   |   | 00000 ~ 00011: $\overline{\text{CS2E}}$<br>00100 ~ 00111: $\overline{\text{CS2C}}$<br>01000 ~ 01011: $\overline{\text{CS2D}}$ | 01100 ~ 01111: $\overline{\text{CS2E}}$<br>10000 ~ 10011: $\overline{\text{CS2F}}$<br>10100 ~ 10111: $\overline{\text{CS2G}}$<br>11000 ~ 11111: 設定禁止 |                |        |        |

## (7) クロックギア (1/2)

| 記号     | レジスタ名                           | アドレス  | 7                            | 6                                                                                                                   | 5                                                                          | 4      | 3                                 | 2                                                                                                                                          | 1      | 0     |
|--------|---------------------------------|-------|------------------------------|---------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------|--------|-----------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------|--------|-------|
| SYSCR0 | System clock control register 0 | 10E0H | XEN                          | XTEN                                                                                                                |                                                                            |        |                                   | WUEF                                                                                                                                       |        |       |
|        |                                 |       | R/W                          |                                                                                                                     |                                                                            |        |                                   | R/W                                                                                                                                        |        |       |
|        |                                 |       | 1                            | 1                                                                                                                   |                                                                            |        |                                   | 0                                                                                                                                          |        |       |
|        |                                 |       | 高速発振器 (fc)<br>0: 停止<br>1: 発振 | 低速発振器 (fs)<br>0: 停止<br>1: 発振                                                                                        |                                                                            |        |                                   | ウォームアップタイム<br>0: Write Don't care<br>1: Write タイマ開始<br>0: Read ウォームアップ終了<br>1: Read ウォームアップ中                                               |        |       |
| SYSCR1 | System clock control register 1 | 10E1H |                              |                                                                                                                     |                                                                            |        | SYSCK                             | GEAR2                                                                                                                                      | GEAR1  | GEAR0 |
|        |                                 |       |                              |                                                                                                                     |                                                                            |        | R/W                               |                                                                                                                                            |        |       |
|        |                                 |       |                              |                                                                                                                     |                                                                            |        | 0                                 | 1                                                                                                                                          | 0      | 0     |
|        |                                 |       |                              |                                                                                                                     |                                                                            |        | システムクロック選択<br>0: fc<br>1: fs      | 高速クロックギア値の選択 (fc)<br>000: fc<br>001: fc/2<br>010: fc/4<br>011: fc/8<br>100: fc/16<br>101: (Reserved)<br>110: (Reserved)<br>111: (Reserved) |        |       |
| SYSCR2 | System clock control register 2 | 10E2H | -                            |                                                                                                                     | WUPTM1                                                                     | WUPTM0 | HALTM1                            | HALTM0                                                                                                                                     | SELDRV | DRVE  |
|        |                                 |       | R/W                          |                                                                                                                     | R/W                                                                        |        |                                   |                                                                                                                                            |        |       |
|        |                                 |       | 0                            |                                                                                                                     | 1                                                                          | 0      | 1                                 | 1                                                                                                                                          | 0      | 0     |
|        |                                 |       | "0" をライトしてください。              | ウォームアップタイム<br>00: Reserved<br>01: 2 <sup>8</sup> /入力周波数<br>10: 2 <sup>14</sup> /入力周波数<br>11: 2 <sup>16</sup> /入力周波数 | HALT モード<br>00: Reserved<br>01: STOP モード<br>10: IDLE1 モード<br>11: IDLE2 モード |        | <DRVE> モード選択<br>0: 停止<br>1: IDLE1 | ストップ IDLE1 モードでの端子状態制御<br>0: I/O OFF<br>1: ホルト前の状態                                                                                         |        |       |

クロックギア (2/2)

| 記号     | レジスタ名                  | アドレス  | 7                                                                                                                                                 | 6 | 5 | 4 | 3 | 2                                                  | 1                                   | 0                                   |
|--------|------------------------|-------|---------------------------------------------------------------------------------------------------------------------------------------------------|---|---|---|---|----------------------------------------------------|-------------------------------------|-------------------------------------|
| EMCCR0 | EMC control register 0 | 10E3H | PROTECT                                                                                                                                           |   |   |   |   | EXTIN                                              | DRVOSCH                             | DRVOSCL                             |
|        |                        |       | R                                                                                                                                                 |   |   |   |   | R/W                                                |                                     |                                     |
|        |                        |       | 0                                                                                                                                                 |   |   |   |   | 0                                                  | 1                                   | 1                                   |
|        |                        |       | プロテクトフラグ<br>0: OFF<br>1: ON                                                                                                                       |   |   |   |   | 1: 外部高速クロック<br>高速発振器ドライブ能力<br>1: Normal<br>0: Weak | 高速発振器ドライブ能力<br>1: Normal<br>0: Weak | 低速発振器ドライブ能力<br>1: Normal<br>0: Weak |
| EMCCR1 | EMC control register 1 | 10E4H | 下記 1st-KEY, 2nd-KEY への書き込みによりプロテクト ON/OFF が切り替わります。<br>1st-KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続書き込み<br>2nd-KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続書き込み |   |   |   |   |                                                    |                                     |                                     |
| EMCCR2 | EMC control register 2 | 10E5H |                                                                                                                                                   |   |   |   |   |                                                    |                                     |                                     |

## (8) LCD コントローラ (1/6)

| 記号      | レジスタ名                        | アドレス  | 7                                                                                                                                    | 6                                              | 5                                                               | 4                       | 3                                                                                                                                                      | 2                                                                      | 1                                               | 0                                                 |
|---------|------------------------------|-------|--------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------|-----------------------------------------------------------------|-------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------|-------------------------------------------------|---------------------------------------------------|
| LCDMODE | LCD mode register            | 0200H | BAE                                                                                                                                  | AAE                                            | SCPW1                                                           | SCPW0                   | TA3LCDCK                                                                                                                                               | BULK                                                                   | RAMTYPE                                         | MODE                                              |
|         |                              |       | R/W                                                                                                                                  |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        |                                                 |                                                   |
|         |                              |       | 0                                                                                                                                    | 0                                              | 1                                                               | 0                       | 0                                                                                                                                                      | 0                                                                      | 0                                               | 0                                                 |
|         |                              |       | Bエリアの使用<br>0: 禁止<br>1: 許可                                                                                                            | Aエリアの使用<br>0: 禁止<br>1: 許可                      | SCP 幅<br>00: Base SCP<br>01: 2 クロック<br>10: 4 クロック<br>11: 8 クロック |                         | 低周波クロックの選択<br>0: fs<br>(32 KHz)<br>1: TA3OUT                                                                                                           | バイト数/コモン<br>0: 512<br>バイト<br>1: 1024<br>バイト                            | 表示 RAM 選択<br>0: SRAM<br>1: SDRAM                | モード選択<br>0: RAM<br>1: SR                          |
| LCDDVM  | Divide FRM register          | 0201H | FMN7                                                                                                                                 | FMN6                                           | FMN5                                                            | FMN4                    | FMN3                                                                                                                                                   | FMN2                                                                   | FMN1                                            | FMN0                                              |
|         |                              |       | R/W                                                                                                                                  |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        |                                                 |                                                   |
|         |                              |       | 0                                                                                                                                    | 0                                              | 0                                                               | 0                       | 0                                                                                                                                                      | 0                                                                      | 0                                               | 0                                                 |
|         |                              |       | DVM ビット 7-0 に設定                                                                                                                      |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        |                                                 |                                                   |
| LCDSIZE | LCD Size setting register    | 0202H | COM3                                                                                                                                 | COM2                                           | COM1                                                            | COM0                    | SEG3                                                                                                                                                   | SEG2                                                                   | SEG1                                            | SEG0                                              |
|         |                              |       | R/W                                                                                                                                  |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        |                                                 |                                                   |
|         |                              |       | 0                                                                                                                                    | 0                                              | 0                                                               | 0                       | 0                                                                                                                                                      | 0                                                                      | 0                                               | 0                                                 |
|         |                              |       | SR モード時の LCD コモン数設定<br>000: 128      0101: 400<br>0001: 160      0110: 480<br>0010: 200<br>0011: 240<br>0100: 320      その他: Reserved |                                                |                                                                 |                         | SR モード時の LCD セグメント数設定<br>0000: 128      0101: 480<br>0001: 160      0110: 560<br>0010: 240      0111: 640<br>0011: 320<br>0100: 400      その他: Reserved |                                                                        |                                                 |                                                   |
| LCDCTL  | LCD control register         | 0203H | LCDON                                                                                                                                | ALL0                                           | FRMON                                                           | —                       | FP9                                                                                                                                                    | MMULCD                                                                 | FP8                                             | START                                             |
|         |                              |       | R/W                                                                                                                                  |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        |                                                 |                                                   |
|         |                              |       | 0                                                                                                                                    | 0                                              | 0                                                               | 0                       | 0                                                                                                                                                      | 0                                                                      | 0                                               | 0                                                 |
|         |                              |       | DOFF<br>ポート<br>0: OFF<br>1: ON                                                                                                       | LD バス<br>出力制御<br>0: ノーマル<br>1: 表示データすべて<br>“0” | フレーム<br>分割モード<br>0: 禁止<br>1: 許可                                 | “0” をライ<br>トしてく<br>ださい。 | f <sub>FP</sub> [9:0]<br>のビット<br>9 設定                                                                                                                  | RAM 内蔵<br>ドライバ<br>TYPE 設定<br>0: シーケン<br>シャルア<br>クセス<br>1: ランダム<br>アクセス | f <sub>FP</sub> [9:0]<br>のビット<br>8 設定           | SR モード<br>時の<br>スタート<br>ビット<br>0: ストップ<br>1: スタート |
| LCDFFP  | LCD f <sub>FP</sub> register | 0204H | FP7                                                                                                                                  | FP6                                            | FP5                                                             | FP4                     | FP3                                                                                                                                                    | FP2                                                                    | FP1                                             | FP0                                               |
|         |                              |       | R/W                                                                                                                                  |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        |                                                 |                                                   |
|         |                              |       | 0                                                                                                                                    | 0                                              | 0                                                               | 0                       | 0                                                                                                                                                      | 0                                                                      | 0                                               | 0                                                 |
|         |                              |       | f <sub>FP</sub> 値設定 (ビット 7-0)                                                                                                        |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        |                                                 |                                                   |
| LCDGL   | LCD Gray level register      | 0205H |                                                                                                                                      |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        | GRAY1                                           | GRAY0                                             |
|         |                              |       |                                                                                                                                      |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        | R/W                                             |                                                   |
|         |                              |       |                                                                                                                                      |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        | 0                                               | 0                                                 |
|         |                              |       |                                                                                                                                      |                                                |                                                                 |                         |                                                                                                                                                        |                                                                        | 00: モノクローム<br>01: 4 階調<br>10: 8 階調<br>11: 16 階調 |                                                   |

## LCD コントローラ (2/6)

| 記号     | レジスタ名                                         | アドレス  | 7                          | 6                         | 5     | 4                                                         | 3                      | 2     | 1                                                         | 0     |
|--------|-----------------------------------------------|-------|----------------------------|---------------------------|-------|-----------------------------------------------------------|------------------------|-------|-----------------------------------------------------------|-------|
| LCDCM  | LCD<br>Cursor<br>setting<br>register          | 0206H | CDE                        | CCS                       |       |                                                           |                        |       | CBE1                                                      | CBE0  |
|        |                                               |       | R/W                        |                           |       |                                                           |                        |       | R/W                                                       |       |
|        |                                               |       | 0                          | 0                         |       |                                                           |                        |       | 0                                                         | 0     |
|        |                                               |       | カーソル<br>0: OFF<br>1: ON    | カーソル<br>色<br>0: 白<br>1: 黒 |       |                                                           |                        |       | カーソル点滅間隔<br>00: 非点滅<br>01: 2 Hz<br>10: 1 Hz<br>11: 0.5 Hz |       |
| LDCW   | LCD<br>Cursor<br>width<br>setting<br>register | 0207H |                            |                           |       | CW4                                                       | CW3                    | CW2   | CW1                                                       | CW0   |
|        |                                               |       |                            |                           |       | R/W                                                       |                        |       |                                                           |       |
|        |                                               |       |                            |                           |       | 0                                                         | 0                      | 0     | 0                                                         | 0     |
|        |                                               |       |                            |                           |       | カーソル幅 (Xサイズ)<br>00000: 1 ドット (Min)<br>11111: 32 ドット (Max) |                        |       |                                                           |       |
| LCDCH  | LCD<br>Cursor<br>width<br>setting<br>register | 0208H |                            |                           |       | CH4                                                       | CH3                    | CH2   | CH1                                                       | CH0   |
|        |                                               |       |                            |                           |       | R/W                                                       |                        |       |                                                           |       |
|        |                                               |       |                            |                           |       | 0                                                         | 0                      | 0     | 0                                                         | 0     |
|        |                                               |       |                            |                           |       | カーソル長 (Yサイズ)<br>00000: 1 ドット (Min)<br>11111: 32 ドット (Max) |                        |       |                                                           |       |
| LCDCP  | LCD<br>Cursor<br>APB<br>register              | 0209H |                            |                           |       |                                                           | APB3                   | APB2  | APB1                                                      | APB0  |
|        |                                               |       |                            |                           |       |                                                           | R/W                    |       |                                                           |       |
|        |                                               |       |                            |                           |       |                                                           | 0                      | 0     | 0                                                         | 0     |
|        |                                               |       |                            |                           |       |                                                           | カーソルビット補正值設定 (ビット 3-0) |       |                                                           |       |
| LDCPL  | LCD<br>Cursor<br>AP<br>Register L             | 020AH | CAP7                       | CAP6                      | CAP5  | CAP4                                                      | CAP3                   | CAP2  | CAP1                                                      | CAP0  |
|        |                                               |       | R/W                        |                           |       |                                                           |                        |       |                                                           |       |
|        |                                               |       | 0                          | 0                         | 0     | 0                                                         | 0                      | 0     | 0                                                         | 0     |
|        |                                               |       | カーソルスタートアドレス設定 (ビット 7-0)   |                           |       |                                                           |                        |       |                                                           |       |
| LDCPM  | LCD<br>Cursor<br>AP<br>Register M             | 020BH | CAP15                      | CAP14                     | CAP13 | CAP12                                                     | CAP11                  | CAP10 | CAP9                                                      | CAP8  |
|        |                                               |       | R/W                        |                           |       |                                                           |                        |       |                                                           |       |
|        |                                               |       | 0                          | 0                         | 0     | 0                                                         | 0                      | 0     | 0                                                         | 0     |
|        |                                               |       | カーソルスタートアドレス設定 (ビット 15-8)  |                           |       |                                                           |                        |       |                                                           |       |
| LCDCPH | LCD<br>Cursor<br>AP<br>Register H             | 020CH | CAP23                      | CAP22                     | CAP21 | CAP20                                                     | CAP19                  | CAP18 | CAP17                                                     | CAP16 |
|        |                                               |       | R/W                        |                           |       |                                                           |                        |       |                                                           |       |
|        |                                               |       | 0                          | 1                         | 0     | 0                                                         | 0                      | 0     | 0                                                         | 0     |
|        |                                               |       | カーソルスタートアドレス設定 (ビット 23-16) |                           |       |                                                           |                        |       |                                                           |       |

## LCD コントローラ (3/6)

| 記号     | レジスタ名                           | アドレス  | 7                        | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|--------|---------------------------------|-------|--------------------------|------|------|------|------|------|------|------|
| LSARAM | A area start address register M | 0210H | SA15                     | SA14 | SA13 | SA12 | SA11 | SA10 | SA9  | SA8  |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | A エリアスタートアドレス A15~A8 設定  |      |      |      |      |      |      |      |
| LSARAH | A area start address register H | 0211H | SA23                     | SA22 | SA21 | SA20 | SA19 | SA18 | SA17 | SA16 |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 1    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | A エリアスタートアドレス A23~A16 設定 |      |      |      |      |      |      |      |
| LEARAM | A area end address register M   | 0212H | EA15                     | EA14 | EA13 | EA12 | EA11 | EA10 | EA9  | EA8  |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | A エリアエンドアドレス A15~A8      |      |      |      |      |      |      |      |
| LEARAH | A area end address register H   | 0213H | EA23                     | EA22 | EA21 | EA20 | EA19 | EA18 | EA17 | EA16 |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 1    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | A エリアエンドアドレス A23~A16 設定  |      |      |      |      |      |      |      |
| LSARBM | B area start address register M | 0214H | SA15                     | SA14 | SA13 | SA12 | SA11 | SA10 | SA9  | SA8  |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | B エリアスタートアドレス A15~A8     |      |      |      |      |      |      |      |
| LSARBH | B area start address register H | 0215H | SA23                     | SA22 | SA21 | SA20 | SA19 | SA18 | SA17 | SA16 |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 1    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | B エリアスタートアドレス A23~A16 設定 |      |      |      |      |      |      |      |
| LEARBM | B area end address register M   | 0216H | EA15                     | EA14 | EA13 | EA12 | EA11 | EA10 | EA9  | EA8  |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | B エリアエンドアドレス A15~A8 設定   |      |      |      |      |      |      |      |
| LEARBH | B area end address register H   | 0217H | EA23                     | EA22 | EA21 | EA20 | EA19 | EA18 | EA17 | EA16 |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 1    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | B エリアエンドアドレス A23~A16 設定  |      |      |      |      |      |      |      |
| LSARCL | C area start address register L | 0218H | SA7                      | SA6  | SA5  | SA4  | SA3  | SA2  | SA1  | SA0  |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | C エリアスタートアドレス A7~A0 設定   |      |      |      |      |      |      |      |
| LSARCM | C area start address register M | 0219H | SA15                     | SA14 | SA13 | SA12 | SA11 | SA10 | SA9  | SA8  |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | C エリアスタートアドレス A15~A8 設定  |      |      |      |      |      |      |      |
| LSARCH | C area start address register H | 021AH | SA23                     | SA22 | SA21 | SA20 | SA19 | SA18 | SA17 | SA16 |
|        |                                 |       | R/W                      |      |      |      |      |      |      |      |
|        |                                 |       | 0                        | 1    | 0    | 0    | 0    | 0    | 0    | 0    |
|        |                                 |       | C エリアスタートアドレス A23~A16 設定 |      |      |      |      |      |      |      |

## LCD コントローラ (4/6)

| 記号   | レジスタ名                                  | アドレス  | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----------------------------------------|-------|-----|---|---|---|---|---|---|---|
| LG0L | LCD Gray level data setting register L | 0220H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 0   | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| LG0H | LCD Gray level data setting register H | 0221H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 0   | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| LG1L | LCD Gray level data setting register L | 0222H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 0   | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| LG1H | LCD Gray level data setting register H | 0223H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| LG2L | LCD Gray level data setting register L | 0224H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| LG2H | LCD Gray level data setting register H | 0225H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| LG3L | LCD Gray level data setting register L | 0226H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| LG3H | LCD Gray level data setting register H | 0227H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| LG4L | LCD Gray level data setting register L | 0228H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| LG4H | LCD Gray level data setting register H | 0229H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| LG5L | LCD Gray level data setting register L | 022AH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| LG5H | LCD Gray level data setting register H | 022BH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| LG6L | LCD Gray level data setting register L | 022CH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| LG6H | LCD Gray level data setting register H | 022DH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 1 | 0 | 1 | 0 |

## LCD コントローラ (5/6)

| 記号   | レジスタ名                                  | アドレス  | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----------------------------------------|-------|-----|---|---|---|---|---|---|---|
| LG7L | LCD Gray level data setting register L | 022EH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| LG7H | LCD Gray level data setting register H | 022FH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| LG8L | LCD Gray level data setting register L | 0230H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| LG8H | LCD Gray level data setting register H | 0231H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| LG9L | LCD Gray level data setting register L | 0232H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 0   | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| LG9H | LCD Gray level data setting register H | 0233H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| LGAL | LCD Gray level data setting register L | 0234H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| LGAH | LCD Gray level data setting register H | 0235H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| LGBL | LCD Gray level data setting register L | 0236H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| LGBH | LCD Gray level data setting register H | 0237H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| LGCL | LCD Gray level data setting register L | 0238H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| LGCH | LCD Gray level data setting register H | 0239H | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| LGDH | LCD Gray level data setting register L | 023AH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| LGDH | LCD Gray level data setting register H | 023BH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

## LCD コントローラ (6/6)

| 記号   | レジスタ名                                  | アドレス  | 7   | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----------------------------------------|-------|-----|---|---|---|---|---|---|---|
| LGEL | LCD Gray level data setting register L | 023CH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| LGEH | LCD Gray level data setting register H | 023DH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| LGFL | LCD Gray level data setting register L | 023EH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| LGFH | LCD Gray level data setting register H | 023FH | –   | – | – | – | – | – | – | – |
|      |                                        |       | R/W |   |   |   |   |   |   |   |
|      |                                        |       | 1   | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

## (9) SDRAM コントローラ

| 記号    | レジスタ名                          | アドレス  | 7                           | 6                                                                                                                                                   | 5                                                                 | 4     | 3                              | 2                                                                    | 1      | 0                              |
|-------|--------------------------------|-------|-----------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------|-------|--------------------------------|----------------------------------------------------------------------|--------|--------------------------------|
| SDACR | SDRAM address control register | 0250H | SDINI                       |                                                                                                                                                     | SDBUS1                                                            | SDBU0 |                                | SMUXW1                                                               | SMUXW0 | SMAC                           |
|       |                                |       | R/W                         |                                                                                                                                                     | R/W                                                               |       |                                | R/W                                                                  |        |                                |
|       |                                |       | 0                           |                                                                                                                                                     | 0                                                                 | 0     |                                | 0                                                                    | 0      | 0                              |
|       |                                |       | 自動初期化<br>0: 禁止<br>1: 許可     |                                                                                                                                                     | データバスの構造の選択<br>00: 16 ビット × 1<br>01: 16 ビット × 2<br>10: 32 ビット × 1 |       |                                | アドレスマルチプレクス選択<br>00: タイプ A<br>01: タイプ B<br>10: タイプ C<br>11: Reserved |        | SDRAM コントローラ<br>0: 禁止<br>1: 許可 |
| SDRCR | SDRAM refresh control register | 0251H | SFRC                        | SRS2                                                                                                                                                | SRS1                                                              | SRS0  | SASFRC                         |                                                                      |        | SRC                            |
|       |                                |       | R/W                         |                                                                                                                                                     |                                                                   |       |                                |                                                                      |        | R/W                            |
|       |                                |       | 0                           | 0                                                                                                                                                   | 0                                                                 | 0     | 0                              |                                                                      |        | 0                              |
|       |                                |       | セルフリフレッシュ<br>0: 禁止<br>1: 許可 | インタバルリフレッシュ間隔<br>000: 78 ステート<br>100: 195 ステート<br>001: 97 ステート<br>101: 210 ステート<br>010: 124 ステート<br>110: 249 ステート<br>011: 156 ステート<br>111: 312 ステート |                                                                   |       | オートセルフリフレッシュ<br>0: 禁止<br>1: 許可 |                                                                      |        | インタバルリフレッシュ<br>0: 禁止<br>1: 許可  |

## (10) 8 ビットタイマ

| 記号      | レジスタ名                                     | アドレス                 | 7                                                                                      | 6                                                                                        | 5     | 4                                                                  | 3                                                                       | 2                                                                    | 1                                     | 0                |
|---------|-------------------------------------------|----------------------|----------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------|-------|--------------------------------------------------------------------|-------------------------------------------------------------------------|----------------------------------------------------------------------|---------------------------------------|------------------|
| TA01RUN | TMRA01<br>RUN<br>register                 | 1100H                | TA0RDE                                                                                 |                                                                                          |       |                                                                    | I2TA01                                                                  | TA01PRUN                                                             | TA1RUN                                | TA0RUN           |
|         |                                           |                      | R/W                                                                                    |                                                                                          |       |                                                                    | R/W                                                                     |                                                                      |                                       |                  |
|         |                                           |                      | 0                                                                                      |                                                                                          |       |                                                                    | 0                                                                       | 0                                                                    | 0                                     | 0                |
|         |                                           |                      | ダブル<br>バッファ<br>0: 禁止<br>1: 許可                                                          |                                                                                          |       |                                                                    | IDLE2<br>0: 停止<br>1: 動作                                                 | TMRA01 プ<br>リスケラ<br>0: 停止 & クリア<br>1: 動作 (カウントアップ)                   | アップカウ<br>ンタ(UC1)                      | アップカウ<br>ンタ(UC0) |
| TA0REG  | 8-bit timer<br>register 0                 | 1102H<br>(RMW 禁)     | -                                                                                      |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | W                                                                                      |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | 不定                                                                                     |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
| TA1REG  | 8-bit timer<br>register 1                 | 1103H<br>(RMW 禁)     | -                                                                                      |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | W                                                                                      |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | 不定                                                                                     |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
| TA01MOD | TMRA01<br>mode<br>register                | 1104H                | TA01M1                                                                                 | TA01M0                                                                                   | PWM01 | PWM00                                                              | TA1CLK1                                                                 | TA1CLK0                                                              | TA0CLK1                               | TA0CLK0          |
|         |                                           |                      | R/W                                                                                    |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | 0                                                                                      | 0                                                                                        | 0     | 0                                                                  | 0                                                                       | 0                                                                    | 0                                     | 0                |
|         |                                           |                      | 動作モード<br>00: 8 ビットタイマモード<br>01: 16 ビットタイマモード<br>10: 8 ビット PPG モード<br>11: 8 ビット PWM モード | PWM 周期<br>00: Reserved<br>01: 2 <sup>6</sup><br>10: 2 <sup>7</sup><br>11: 2 <sup>8</sup> |       | TMRA1<br>ソースクロック<br>00: TA0TRG<br>01: φT1<br>10: φT16<br>11: φT256 |                                                                         | TMRA0<br>ソースクロック<br>00: TA0IN 端子<br>01: φT1<br>10: φT4<br>11: φT16   |                                       |                  |
| TA1FFCR | TMRA1<br>Flip-flop<br>control<br>register | 1105H<br><br>RMW 禁   |                                                                                        |                                                                                          |       |                                                                    | TA1FFC1                                                                 | TA1FFC0                                                              | TA1FFIE                               | TA1FFIS          |
|         |                                           |                      |                                                                                        |                                                                                          |       |                                                                    | W                                                                       |                                                                      | R/W                                   |                  |
|         |                                           |                      |                                                                                        |                                                                                          |       |                                                                    | 1                                                                       | 1                                                                    | 0                                     | 0                |
|         |                                           |                      |                                                                                        |                                                                                          |       |                                                                    | 00: TA1FF を反転<br>01: TA1FF を 1 にセット<br>10: TA1FF をクリア<br>11: Don't care | TA1FF<br>反転制御<br>0: 禁止<br>1: 許可                                      | TA1FF<br>反転選択<br>0: TMRA0<br>1: TMRA1 |                  |
| TA23RUN | TMRA23<br>RUN<br>Register                 | 1108H                | TA2RDE                                                                                 |                                                                                          |       |                                                                    | I2TA23                                                                  | TA23PRUN                                                             | TA3RUN                                | TA2RUN           |
|         |                                           |                      | R/W                                                                                    |                                                                                          |       |                                                                    | R/W                                                                     |                                                                      |                                       |                  |
|         |                                           |                      | 0                                                                                      |                                                                                          |       |                                                                    | 0                                                                       | 0                                                                    | 0                                     | 0                |
|         |                                           |                      | ダブル<br>バッファ<br>0: 禁止<br>1: 許可                                                          |                                                                                          |       |                                                                    | IDLE2<br>0: 停止<br>1: 動作                                                 | TMRA23 プ<br>リスケラ<br>0: 停止 & クリア<br>1: 動作 (カウントアップ)                   | アップカウ<br>ンタ(UC3)                      | アップカウ<br>ンタ(UC2) |
| TA2REG  | 8-bit timer<br>register 2                 | 110AH<br>(RMW 禁)     | -                                                                                      |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | W                                                                                      |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | 不定                                                                                     |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
| TA3REG  | 8-bit timer<br>register 3                 | 110BH<br>(RMW 禁)     | -                                                                                      |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | W                                                                                      |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | 不定                                                                                     |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
| TA23MOD | TMRA23<br>Mode<br>register                | 110CH                | TA23M1                                                                                 | TA23M0                                                                                   | PWM21 | PWM20                                                              | TA3CLK1                                                                 | TA3CLK0                                                              | TA2CLK1                               | TA2CLK0          |
|         |                                           |                      | R/W                                                                                    |                                                                                          |       |                                                                    |                                                                         |                                                                      |                                       |                  |
|         |                                           |                      | 0                                                                                      | 0                                                                                        | 0     | 0                                                                  | 0                                                                       | 0                                                                    | 0                                     | 0                |
|         |                                           |                      | 動作モード<br>00: 8 ビットタイマモード<br>01: 16 ビットタイマモード<br>10: 8 ビット PPG モード<br>11: 8 ビット PWM モード | PWM 周期<br>00: Reserved<br>01: 2 <sup>6</sup><br>10: 2 <sup>7</sup><br>11: 2 <sup>8</sup> |       | TMRA3<br>ソースクロック<br>00: TA2TRG<br>01: φT1<br>10: φT16<br>11: φT256 |                                                                         | TMRA2 の<br>ソースクロック<br>00: Reserved<br>01: φT1<br>10: φT4<br>11: φT16 |                                       |                  |
| TA3FFCR | TMRA3<br>Flip-flop<br>control<br>register | 110DH<br><br>(RMW 禁) |                                                                                        |                                                                                          |       |                                                                    | TA3FFC1                                                                 | TA3FFC0                                                              | TA3FFIE                               | TA3FFIS          |
|         |                                           |                      |                                                                                        |                                                                                          |       |                                                                    | W                                                                       |                                                                      | R/W                                   |                  |
|         |                                           |                      |                                                                                        |                                                                                          |       |                                                                    | 1                                                                       | 1                                                                    | 0                                     | 0                |
|         |                                           |                      |                                                                                        |                                                                                          |       |                                                                    | 00: TA3FF を反転<br>01: TA3FF を 1 にセット<br>10: TA3FF をクリア<br>11: Don't care | TA3FF<br>反転制御<br>0: 禁止<br>1: 許可                                      | TA3FF<br>反転選択<br>0: TMRA2<br>1: TMRA3 |                  |

## (11) 16 ビットタイマ

| 記号      | レジスタ名                                     | アドレス             | 7                                                           | 6                                                                                 | 5                                                                                    | 4                                                 | 3                                                                  | 2                                                                                               | 1        | 0                     |
|---------|-------------------------------------------|------------------|-------------------------------------------------------------|-----------------------------------------------------------------------------------|--------------------------------------------------------------------------------------|---------------------------------------------------|--------------------------------------------------------------------|-------------------------------------------------------------------------------------------------|----------|-----------------------|
| TB0RUN  | TMRB0<br>RUN<br>register                  | 1180H            | TB0RDE                                                      | —                                                                                 |                                                                                      |                                                   | I2TB0                                                              | TB0PRUN                                                                                         |          | TB0RUN                |
|         |                                           |                  | R/W                                                         | R/W                                                                               |                                                                                      |                                                   | R/W                                                                | R/W                                                                                             |          | R/W                   |
|         |                                           |                  | 0                                                           | 0                                                                                 |                                                                                      |                                                   | 0                                                                  | 0                                                                                               |          | 0                     |
|         |                                           |                  | ダブル<br>バッファ<br>0: 禁止<br>1: 許可                               | “0” をライ<br>トしてくだ<br>さい。                                                           |                                                                                      |                                                   | IDLE2<br>0: 停止<br>1: 動作                                            | TMRB0<br>プリスケ<br>ーラ<br>0: 停止 & クリア<br>1: 動作 (カウントアップ)                                           |          | アップ<br>カウンタ<br>(UC10) |
| TB0MOD  | TMRB0<br>mode<br>register                 | 1182H<br>(RMW 禁) | —                                                           | —                                                                                 | TB0CP0I                                                                              | TB0CPM1                                           | TB0CPM0                                                            | TB0CLE                                                                                          | TB0CLK1  | TB0CLK0               |
|         |                                           |                  | R/W                                                         |                                                                                   | W*                                                                                   | R/W                                               |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 0                                                           | 0                                                                                 | 1                                                                                    | 0                                                 | 0                                                                  | 0                                                                                               | 0        | 0                     |
|         |                                           |                  | “0” をライトしてく<br>ださい。                                         | ソフトウェ<br>アキャプ<br>チャを実行<br>0: ソフト<br>キャプ<br>チャ<br>1: 未定義                           | キャプチャタイミ<br>ング<br>00: 禁止<br>01: Reserved<br>10: Reserved<br>11: TA1OUT ↑<br>TA1OUT ↓ | アップ<br>カウンタ<br>制御<br>0: クリア<br>禁止<br>1: クリア<br>許可 | TMRB0<br>ソースクロック<br>00: Reserved<br>01: φT1<br>10: φT4<br>11: φT16 |                                                                                                 |          |                       |
| TB0FFCR | TMRB0<br>Flip-flop<br>control<br>register | 1183H<br>(RMW 禁) | —                                                           | —                                                                                 | TB0C1T1                                                                              | TB0C0T1                                           | TB0E1T1                                                            | TB0E0T1                                                                                         | TB0FF0C1 | TB0FF0C0              |
|         |                                           |                  | W*                                                          |                                                                                   | R/W                                                                                  |                                                   |                                                                    |                                                                                                 | W*       |                       |
|         |                                           |                  | 1                                                           | 1                                                                                 | 0                                                                                    | 0                                                 | 0                                                                  | 0                                                                                               | 1        | 1                     |
|         |                                           |                  | “11” をライトしてく<br>ださい。<br><br>*リードすると常に 11<br>としてリードされま<br>す。 | TB0FF0 反転制御<br>0: 反転禁止<br>1: 反転許可<br><br>TB0CP1H/<br>Lへ UC10<br>をキャプ<br>チャする<br>時 | TB0CP0H/<br>Lへ UC10<br>をキャプ<br>チャする<br>時                                             | UC10 と<br>TB0RG1H/<br>Lとの一致<br>時                  | UC10 と<br>TB0RG0H/<br>Lとの一致<br>時                                   | TB0FF0 制御<br>00: 反転<br>01: セット<br>10: クリア<br>11: Don't care<br>* リードすると常に<br>11 としてリードさ<br>れます。 |          |                       |
| TB0RG0L | 16-bit timer<br>register 0<br>Low         | 1188H<br>(RMW 禁) | —                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | W                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 不定                                                          |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
| TB0RG0H | 16-bit timer<br>register 0<br>High        | 1189H<br>(RMW 禁) | —                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | W                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 不定                                                          |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
| TB0RG1L | 16-bit timer<br>register 1<br>Low         | 118AH<br>(RMW 禁) | —                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | W                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 不定                                                          |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
| TB0RG1H | 16-bit timer<br>register 1<br>High        | 118BH<br>(RMW 禁) | —                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | W                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 不定                                                          |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
| TB0CP0L | Capture<br>register 0<br>Low              | 118CH            | —                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | R                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 不定                                                          |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
| TB0CP0H | Capture<br>register 0<br>High             | 118DH            | —                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | R                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 不定                                                          |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
| TB0CP1L | Capture<br>register 1<br>Low              | 118EH            | —                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | R                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 不定                                                          |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
| TB0CP1H | Capture<br>register 1<br>High             | 118FH            | —                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | R                                                           |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |
|         |                                           |                  | 不定                                                          |                                                                                   |                                                                                      |                                                   |                                                                    |                                                                                                 |          |                       |

## (12) UART/シリアルチャネル (1/3)

| 記号      | レジスタ名                                       | アドレス          | 7                              | 6                                 | 5                                         | 4                         | 3                                                                                              | 2                                                                                    | 1                              | 0                               |
|---------|---------------------------------------------|---------------|--------------------------------|-----------------------------------|-------------------------------------------|---------------------------|------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------|--------------------------------|---------------------------------|
| SC0BUF  | Serial channel 0 buffer register            | 1200H (RMW 禁) | RB7<br>TB7                     | RB6<br>TB6                        | RB5<br>TB5                                | RB4<br>TB4                | RB3<br>TB3                                                                                     | RB2<br>TB2                                                                           | RB1<br>TB1                     | RB0<br>TB0                      |
|         |                                             |               | R (受信)/W (送信)                  |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
|         |                                             |               | 不定                             |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
| SC0CR   | Serial channel 0 Control register           | 1201H         | RB8                            | EVEN                              | PE                                        | OERR                      | PERR                                                                                           | FERR                                                                                 | SCLKS                          | IOC                             |
|         |                                             |               | R                              | R/W                               |                                           | R (読み出すと“0”にクリアされます。)     |                                                                                                |                                                                                      | R/W                            |                                 |
|         |                                             |               | 不定                             | 0                                 | 0                                         | 0                         | 0                                                                                              | 0                                                                                    | 0                              | 0                               |
|         |                                             |               | 受信データビット 8                     | パリティ<br>0: 奇数<br>1: 偶数            | パリティ<br>0: 禁止<br>1: 許可                    | オーバーラン                    | パリティ                                                                                           | フレーミング                                                                               | 0: SCLK0<br>↑<br>1: SCLK0<br>↓ | 0: ボーレートジェネレータ<br>1: SCLK0 端子入力 |
|         |                                             |               | 1: エラー                         |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
| SC0MOD0 | Serial channel 0 Mode 0 register            | 1202H         | TB8                            | CTSE                              | RXE                                       | WU                        | SM1                                                                                            | SM0                                                                                  | SC1                            | SC0                             |
|         |                                             |               | R/W                            |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
|         |                                             |               | 0                              | 0                                 | 0                                         | 0                         | 0                                                                                              | 0                                                                                    | 0                              | 0                               |
|         |                                             |               | 送信データビット 8                     | 0: CTS 禁止<br>1: CTS 許可            | 0: 受信禁止<br>1: 受信許可                        | ウェイクアップ<br>0: 禁止<br>1: 許可 | 00: I/O インタフェースモード<br>01: 7 ビット UART モード<br>10: 8 ビット UART モード<br>11: 9 ビット UART モード           | 00: TA0TRG<br>01: ボーレートジェネレータ<br>10: 内部クロック f <sub>IO</sub><br>11: 外部クロック (SCLK0 入力) |                                |                                 |
|         |                                             |               |                                |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
| BR0CR   | Serial channel 0 baud-rate control register | 1203H         | —                              | BR0ADDE                           | BR0CK1                                    | BR0CK0                    | BR0S3                                                                                          | BR0S2                                                                                | BR0S1                          | BR0S0                           |
|         |                                             |               | R/W                            |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
|         |                                             |               | 0                              | 0                                 | 0                                         | 0                         | 0                                                                                              | 0                                                                                    | 0                              | 0                               |
|         |                                             |               | “0”をライトしてください。                 | (16 - K)/16 分割<br>0: 禁止<br>1: 許可  | 00: φT0<br>01: φT2<br>10: φT8<br>11: φT32 | 分周値 N 設定 (0-F)            |                                                                                                |                                                                                      |                                |                                 |
| BR0ADD  | Serial channel 0 K setting register         | 1204H         |                                |                                   |                                           |                           | BR0K3                                                                                          | BR0K2                                                                                | BR0K1                          | BR0K0                           |
|         |                                             |               | R/W                            |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
|         |                                             |               |                                |                                   |                                           |                           | 0                                                                                              | 0                                                                                    | 0                              | 0                               |
|         |                                             |               | N+(16-K)/16 分周の K 値の設定         |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
| SC0MOD1 | Serial channel 0 mode 1 register            | 1205H         | I2S0                           | FDPX0                             |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
|         |                                             |               | R/W                            | R/W                               |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
|         |                                             |               | 0                              | 0                                 |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
|         |                                             |               | IDLE2<br>0: 停止<br>1: 動作        | 同期式<br>1: 全二重<br>0: 半二重           |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
| SIRCR   | IrDA control register                       | 1207H         | PLSEL                          | RXSEL                             | TXEN                                      | RXEN                      | SIRWD3                                                                                         | SIRWD2                                                                               | SIRWD1                         | SIRWD0                          |
|         |                                             |               | R/W                            |                                   |                                           |                           |                                                                                                |                                                                                      |                                |                                 |
|         |                                             |               | 0                              | 0                                 | 0                                         | 0                         | 0                                                                                              | 0                                                                                    | 0                              | 0                               |
|         |                                             |               | 送信パルス幅選択<br>0: 3/16<br>1: 1/16 | 受信データ<br>0: “H” パルス<br>1: “L” パルス | 送信<br>0: 禁止<br>1: 許可                      | 受信<br>0: 禁止<br>1: 許可      | 受信パルス幅選択<br>有効 SIRRxD パルス幅設定<br>“2x × (設定値 + 1)” + 100ns 以上のパルス幅<br>設定可: 1 ~ 14<br>設定不可: 0, 15 |                                                                                      |                                |                                 |

## UART/シリアルチャネル (2/3)

| 記号      | レジスタ名                                       | アドレス           | 7                       | 6                                | 5                                         | 4                         | 3                                                                                    | 2                                                                                    | 1                              | 0                               |
|---------|---------------------------------------------|----------------|-------------------------|----------------------------------|-------------------------------------------|---------------------------|--------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------|--------------------------------|---------------------------------|
| SC1BUF  | Serial channel 1 buffer register            | 1208H<br>RMW 禁 | RB7<br>TB7              | RB6<br>TB6                       | RB5<br>TB5                                | RB4<br>TB4                | RB3<br>TB3                                                                           | RB2<br>TB2                                                                           | RB1<br>TB1                     | RB0<br>TB0                      |
|         |                                             |                | R (受信)/W (送信)           |                                  |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
|         |                                             |                | 不定                      |                                  |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
| SC1CR   | Serial channel 1 control register           | 1209H          | RB8                     | EVEN                             | PE                                        | OERR                      | PERR                                                                                 | FERR                                                                                 | SCLKS                          | IOC                             |
|         |                                             |                | R                       | R/W                              |                                           | R (読み出すと "0" にクリアされます。)   |                                                                                      |                                                                                      | R/W                            |                                 |
|         |                                             |                | 不定                      | 0                                | 0                                         | 0                         | 0                                                                                    | 0                                                                                    | 0                              | 0                               |
|         |                                             |                | 受信データビット 8              | パリティ<br>0: 奇数<br>1: 偶数           | パリティ<br>0: 禁止<br>1: 許可                    | オーバーラン                    | パリティ                                                                                 | フレーミング                                                                               | 0: SCLK1<br>↑<br>1: SCLK1<br>↓ | 0: ボーレートジェネレータ<br>1: SCLK1 端子入力 |
|         |                                             |                |                         |                                  |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
| SC1MOD0 | Serial channel 1 mode 0 register            | 120AH          | TB8                     | CTSE                             | RXE                                       | WU                        | SM1                                                                                  | SM0                                                                                  | SC1                            | SC0                             |
|         |                                             |                | R/W                     |                                  |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
|         |                                             |                | 0                       | 0                                | 0                                         | 0                         | 0                                                                                    | 0                                                                                    | 0                              | 0                               |
|         |                                             |                | 送信データビット 8              | 0: CTS 禁止<br>1: CTS 許可           | 0: 受信禁止<br>1: 受信許可                        | ウェイクアップ<br>0: 禁止<br>1: 許可 | 00: I/O インタフェースモード<br>01: 7 ビット UART モード<br>10: 8 ビット UART モード<br>11: 9 ビット UART モード | 00: TA0TRG<br>01: ボーレートジェネレータ<br>10: 内部クロック f <sub>IO</sub><br>11: 外部クロック (SCLK1 入力) |                                |                                 |
|         |                                             |                |                         |                                  |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
| BR1CR   | Serial channel 1 baud-rate control register | 120BH          | —                       | BR1ADDE                          | BR1CK1                                    | BR1CK0                    | BR1S3                                                                                | BR1S2                                                                                | BR1S1                          | BR1S0                           |
|         |                                             |                | R/W                     |                                  |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
|         |                                             |                | 0                       | 0                                | 0                                         | 0                         | 0                                                                                    | 0                                                                                    | 0                              | 0                               |
|         |                                             |                | "0" をライトしてください。         | (16 - K)/16 分割<br>0: 禁止<br>1: 許可 | 00: φT0<br>01: φT2<br>10: φT8<br>11: φT32 | 分周値 N 設定 (0~F)            |                                                                                      |                                                                                      |                                |                                 |
| BR1ADD  | Serial channel 1 K setting register         | 120CH          |                         |                                  |                                           |                           | BR1K3                                                                                | BR1K2                                                                                | BR1K1                          | BR1K0                           |
|         |                                             |                |                         |                                  |                                           |                           | R/W                                                                                  |                                                                                      |                                |                                 |
|         |                                             |                |                         |                                  |                                           |                           | 0                                                                                    | 0                                                                                    | 0                              | 0                               |
|         |                                             |                |                         |                                  |                                           |                           | N+(16-K)/16 分周の K 値の設定                                                               |                                                                                      |                                |                                 |
| SC1MOD1 | Serial channel 1 mode 1 register            | 120DH          | I2S1                    | FDPX1                            |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
|         |                                             |                | R/W                     | R/W                              |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
|         |                                             |                | 0                       | 0                                |                                           |                           |                                                                                      |                                                                                      |                                |                                 |
|         |                                             |                | IDLE2<br>0: 停止<br>1: 動作 | 同期式<br>0: 半二重<br>1: 全二重          |                                           |                           |                                                                                      |                                                                                      |                                |                                 |

## UART/シリアルチャネル (3/3)

| 記号      | レジスタ名                                       | アドレス           | 7                       | 6                                | 5                                         | 4                         | 3                                                                                    | 2                                                                           | 1               | 0               |
|---------|---------------------------------------------|----------------|-------------------------|----------------------------------|-------------------------------------------|---------------------------|--------------------------------------------------------------------------------------|-----------------------------------------------------------------------------|-----------------|-----------------|
| SC2BUF  | Serial channel 2 buffer register            | 1210H<br>RMW 禁 | RB7<br>TB7              | RB6<br>TB6                       | RB5<br>TB5                                | RB4<br>TB4                | RB3<br>TB3                                                                           | RB2<br>TB2                                                                  | RB1<br>TB1      | RB0<br>TB0      |
|         |                                             |                | R (受信)/W (送信)           |                                  |                                           |                           |                                                                                      |                                                                             |                 |                 |
|         |                                             |                | 不定                      |                                  |                                           |                           |                                                                                      |                                                                             |                 |                 |
| SC2CR   | Serial channel 2 control register           | 1211H          | RB8                     | EVEN                             | PE                                        | OERR                      | PERR                                                                                 | FERR                                                                        | —               | —               |
|         |                                             |                | R                       | R/W                              |                                           | R (読み出すと "0" にクリアされます。)   |                                                                                      |                                                                             | R/W             |                 |
|         |                                             |                | 不定                      | 0                                | 0                                         | 0                         | 0                                                                                    | 0                                                                           | 0               | 0               |
|         |                                             |                | 受信データビット 8              | パリティ<br>0: 奇数<br>1: 偶数           | パリティ<br>0: 禁止<br>1: 許可                    | 1: エラー<br>オーバーラン          | パリティ                                                                                 | フレーミング                                                                      | "0" をライトしてください。 | "0" をライトしてください。 |
| SC2MOD0 | Serial channel 2 mode 0 register            | 1212H          | TB8                     | —                                | RXE                                       | WU                        | SM1                                                                                  | SM0                                                                         | SC1             | SC0             |
|         |                                             |                | R/W                     |                                  |                                           |                           |                                                                                      |                                                                             |                 |                 |
|         |                                             |                | 0                       | 0                                | 0                                         | 0                         | 0                                                                                    | 0                                                                           | 0               | 0               |
|         |                                             |                | 送信データビット 8              | "0" をライトしてください。                  | 0: 受信禁止<br>1: 受信許可                        | ウェイクアップ<br>0: 禁止<br>1: 許可 | 00: I/O インタフェースモード<br>01: 7 ビット UART モード<br>10: 8 ビット UART モード<br>11: 9 ビット UART モード | 00: TA0TRG<br>01: ボーレートジェネレータ<br>10: 内部クロック f <sub>IO</sub><br>11: Reserved |                 |                 |
| BR2CR   | Serial channel 2 baud-rate control register | 1213H          | —                       | BR2ADDE                          | BR2CK1                                    | BR2CK0                    | BR2S3                                                                                | BR2S2                                                                       | BR2S1           | BR2S0           |
|         |                                             |                | R/W                     |                                  |                                           |                           |                                                                                      |                                                                             |                 |                 |
|         |                                             |                | 0                       | 0                                | 0                                         | 0                         | 0                                                                                    | 0                                                                           | 0               | 0               |
|         |                                             |                | "0" をライトしてください。         | (16 - K)/16 分割<br>0: 禁止<br>1: 許可 | 00: φT0<br>01: φT2<br>10: φT8<br>11: φT32 | 分周値 N 設定 (0-F)            |                                                                                      |                                                                             |                 |                 |
| BR2ADD  | Serial channel 2 K setting register         | 1214H          |                         |                                  |                                           |                           | BR2K3                                                                                | BR2K2                                                                       | BR2K1           | BR2K0           |
|         |                                             |                |                         |                                  |                                           |                           | R/W                                                                                  |                                                                             |                 |                 |
|         |                                             |                |                         |                                  |                                           |                           | 0                                                                                    | 0                                                                           | 0               | 0               |
|         |                                             |                |                         |                                  |                                           |                           | N+(16-K)/16 分周の K 値の設定                                                               |                                                                             |                 |                 |
| SC2MOD1 | Serial channel 2 mode 1 register            | 1215H          | I2S2                    | FDPX2                            |                                           |                           |                                                                                      |                                                                             |                 |                 |
|         |                                             |                | R/W                     | R/W                              |                                           |                           |                                                                                      |                                                                             |                 |                 |
|         |                                             |                | 0                       | 0                                |                                           |                           |                                                                                      |                                                                             |                 |                 |
|         |                                             |                | IDLE2<br>0: 停止<br>1: 動作 | 同期式<br>0: 半二重<br>1: 全二重          |                                           |                           |                                                                                      |                                                                             |                 |                 |

(13) I<sup>2</sup>C バス/シリアルチャネル (1/2)

| 記号      | レジスタ名                    | アドレス                                        | 7                                                                                      | 6                                                                     | 5                                                         | 4                                         | 3                                                                                                     | 2                                                                                                   | 1                                                               | 0                                  |  |
|---------|--------------------------|---------------------------------------------|----------------------------------------------------------------------------------------|-----------------------------------------------------------------------|-----------------------------------------------------------|-------------------------------------------|-------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------|-----------------------------------------------------------------|------------------------------------|--|
| SBI0CR1 | SBI0 Control register 1  | I <sup>2</sup> C<br>モード<br>1240H<br>(RMW 禁) | BC2                                                                                    | BC1                                                                   | BC0                                                       | ACK                                       |                                                                                                       | SCK2                                                                                                | SCK1                                                            | SCK0/<br>SWRMON                    |  |
|         |                          |                                             | W                                                                                      |                                                                       |                                                           | R/W                                       |                                                                                                       | W                                                                                                   |                                                                 | R/W                                |  |
|         |                          |                                             | 0                                                                                      | 0                                                                     | 0                                                         | 0                                         |                                                                                                       | 0                                                                                                   | 0                                                               | 0/1                                |  |
|         |                          |                                             | 転送ビット数<br>000: 8    001: 1    010: 2    011: 3<br>100: 4    101: 5    110: 6    111: 7 |                                                                       |                                                           | ア ク ノ リ<br>ッ ジ モ ー<br>ド<br>0: 禁止<br>1: 許可 |                                                                                                       | 分周値 (n) 設定<br>000: 5    001: 6    010: 7    011: 8<br>100: 9    101: 10    110: 11<br>111: Reserved |                                                                 |                                    |  |
|         |                          | SIO<br>モード<br>1240H<br>(RMW 禁)              | SIOS                                                                                   | SIOINH                                                                | SIOM1                                                     | SIOM0                                     |                                                                                                       | SCK2                                                                                                | SCK1                                                            | SCK0                               |  |
|         |                          |                                             | W                                                                                      |                                                                       |                                                           |                                           | W                                                                                                     |                                                                                                     | W                                                               |                                    |  |
| 0       | 0                        |                                             | 0                                                                                      | 0                                                                     |                                                           | 0                                         | 0                                                                                                     | 0                                                                                                   |                                                                 |                                    |  |
|         |                          | 転送<br>0: 停止<br>1: 開始                        | 転送<br>0: 継続<br>1: 中止                                                                   | 転送モード<br>00: 8 ビット送信<br>01: Reserved<br>10: 8 ビット送信/受信<br>11: 8 ビット受信 |                                                           |                                           | 分周値 (n) 設定<br>000: 4    001: 5    010: 6    011: 7<br>100: 8    101: 9    110: 10<br>111: 外部クロック SCK0 |                                                                                                     |                                                                 |                                    |  |
| SBI0DBR | SBI0 Buffer register     | 1241H<br>(RMW 禁)                            | DB7                                                                                    | DB6                                                                   | DB5                                                       | DB4                                       | DB3                                                                                                   | DB2                                                                                                 | DB1                                                             | DB0                                |  |
|         |                          |                                             | R (受信)/W (送信)                                                                          |                                                                       |                                                           |                                           |                                                                                                       |                                                                                                     |                                                                 |                                    |  |
|         |                          |                                             | 不定                                                                                     |                                                                       |                                                           |                                           |                                                                                                       |                                                                                                     |                                                                 |                                    |  |
| I2C0AR  | I2CBUS0 Address register | 1242H<br>(RMW 禁)                            | SA6                                                                                    | SA5                                                                   | SA4                                                       | SA3                                       | SA2                                                                                                   | SA1                                                                                                 | SA0                                                             | ALS                                |  |
|         |                          |                                             | W                                                                                      |                                                                       |                                                           |                                           |                                                                                                       |                                                                                                     |                                                                 |                                    |  |
|         |                          |                                             | 0                                                                                      | 0                                                                     | 0                                                         | 0                                         | 0                                                                                                     | 0                                                                                                   | 0                                                               | 0                                  |  |
|         |                          |                                             | スレーブアドレス設定                                                                             |                                                                       |                                                           |                                           |                                                                                                       |                                                                                                     |                                                                 |                                    |  |
| SBI0CR2 | SBI0 Control register 2  | I <sup>2</sup> C<br>モード<br>1243H<br>(RMW 禁) | MST                                                                                    | TRX                                                                   | BB                                                        | PIN                                       | SBIM1                                                                                                 | SBIM0                                                                                               | SWRST1                                                          | SWRST0                             |  |
|         |                          |                                             | W                                                                                      |                                                                       |                                                           |                                           |                                                                                                       |                                                                                                     |                                                                 |                                    |  |
|         |                          |                                             | 0                                                                                      | 0                                                                     | 0                                                         | 1                                         | 0                                                                                                     | 0                                                                                                   | 0                                                               | 0                                  |  |
|         |                          |                                             | 0: スレーブ<br>1: マスタ                                                                      | 0: 受信<br>1: 送信                                                        | スタート/<br>ストップ<br>コンディ<br>ションの<br>発生<br>0: ストップ<br>1: スタート | INTSBE0<br>割り込み<br>0: 要求<br>1: 解除         | 動作モード選択<br>00: ポートモード<br>01: SIO モード<br>10: I <sup>2</sup> C モード<br>11: Reserved                      |                                                                                                     | ソフトウェアリセッ<br>トの発生<br>“10” → “01” の順でラ<br>イトするとソフトウ<br>エアリセットが発生 |                                    |  |
|         |                          | SIO<br>モード<br>1243H<br>(RMW 禁)              |                                                                                        |                                                                       |                                                           |                                           | SBIM1                                                                                                 | SBIM0                                                                                               | —                                                               | —                                  |  |
|         |                          |                                             |                                                                                        |                                                                       |                                                           |                                           | W                                                                                                     |                                                                                                     | W                                                               | W                                  |  |
|         |                          |                                             |                                                                                        |                                                                       | 0                                                         | 0                                         | 0                                                                                                     | 0                                                                                                   |                                                                 |                                    |  |
| SBI0SR  | SBI0 Status register     | I <sup>2</sup> C<br>モード<br>1243H<br>(RMW 禁) | MST                                                                                    | TRX                                                                   | BB                                                        | PIN                                       | AL                                                                                                    | AAS                                                                                                 | AD0                                                             | LRB                                |  |
|         |                          |                                             | R                                                                                      |                                                                       |                                                           |                                           |                                                                                                       |                                                                                                     |                                                                 |                                    |  |
|         |                          |                                             | 0                                                                                      | 0                                                                     | 0                                                         | 1                                         | 0                                                                                                     | 0                                                                                                   | 0                                                               | 0                                  |  |
|         |                          |                                             | 0: スレーブ<br>1: マスタ                                                                      | 0: 受信<br>1: 送信                                                        | バス<br>ステータス<br>モニタ<br>0: フリー<br>1: ビジー                    | INTSBE0<br>割り込み<br>0: 要求<br>1: 解除         | アービト<br>レーション<br>ロスト検出<br>モニタ<br>1: 検出                                                                | スレーブ<br>アドレス<br>一致検出<br>モニタ<br>1: 検出                                                                | ゼネラル<br>コール<br>検出モニタ<br>1: 検出                                   | 最終受信<br>ビット<br>モニタ<br>0: 0<br>1: 1 |  |
|         |                          | SIO<br>モード<br>1243H<br>(RMW 禁)              |                                                                                        |                                                                       |                                                           |                                           | SIOF                                                                                                  | SEF                                                                                                 |                                                                 |                                    |  |
|         |                          |                                             |                                                                                        |                                                                       |                                                           |                                           | R                                                                                                     |                                                                                                     |                                                                 |                                    |  |
|         |                          |                                             |                                                                                        |                                                                       | 0                                                         | 0                                         |                                                                                                       |                                                                                                     |                                                                 |                                    |  |
|         |                          |                                             |                                                                                        |                                                                       | 送信<br>ステータス<br>0: 終了<br>1: シフト中                           | シフト<br>ステータス<br>0: 終了<br>1: シフト中          |                                                                                                       |                                                                                                     |                                                                 |                                    |  |

I<sup>2</sup>C バス/シリアルチャネル (2/2)

| 記号      | レジスタ名                           | アドレス                           | 7                            | 6                       | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|---------------------------------|--------------------------------|------------------------------|-------------------------|---|---|---|---|---|---|
| SBI0BR0 | SBI0<br>Baud-rate<br>register 0 | I2C<br>モード<br>1244H<br>(RMW 禁) | –                            | I2SBI0                  |   |   |   |   |   |   |
|         |                                 |                                | W                            | R/W                     |   |   |   |   |   |   |
|         |                                 |                                | 0                            | 0                       |   |   |   |   |   |   |
|         |                                 | SBI<br>モード<br>1244H<br>(RMW 禁) | “0” をライ<br>トしてく<br>ださい。      | IDLE2<br>0: 停止<br>1: 動作 |   |   |   |   |   |   |
|         |                                 |                                | –                            | –                       |   |   |   |   |   |   |
|         |                                 |                                | W                            | R/W                     |   |   |   |   |   |   |
| SBI0BR1 | SBI0<br>Baud-rate<br>register 1 | 1245H<br>(RMW 禁)               | 0                            | 0                       |   |   |   |   |   |   |
|         |                                 |                                | “0” をライ<br>トしてく<br>ださい。      | “0” をライ<br>トしてく<br>ださい。 |   |   |   |   |   |   |
|         |                                 |                                | P4EN                         | –                       |   |   |   |   |   |   |
|         |                                 |                                | W                            |                         |   |   |   |   |   |   |
|         |                                 |                                | 0                            | 0                       |   |   |   |   |   |   |
|         |                                 |                                | クロック<br>制御<br>0: 停止<br>1: 動作 | “0” をライ<br>トしてく<br>ださい。 |   |   |   |   |   |   |

## (14) AD コンバータ

| 記号      | レジスタ名                      | アドレス  | 7                             | 6                                | 5               | 4               | 3                        | 2                                                                                                                                                        | 1                                             | 0                                                   |
|---------|----------------------------|-------|-------------------------------|----------------------------------|-----------------|-----------------|--------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------|-----------------------------------------------------|
| ADMOD0  | AD mode control register 0 | 12B8H | EOCF                          | ADBF                             | —               | —               | ITM0                     | REPEAT                                                                                                                                                   | SCAN                                          | ADS                                                 |
|         |                            |       | R                             |                                  | W               |                 |                          |                                                                                                                                                          |                                               |                                                     |
|         |                            |       | 0                             | 0                                | 0               | 0               | 0                        | 0                                                                                                                                                        | 0                                             | 0                                                   |
|         |                            |       | AD 転換終了フラグ<br>0: 変換中<br>1: 終了 | AD 転換ビジーフラグ<br>0: 変換停止<br>1: 変換中 | "0" をライトしてください。 | "0" をライトしてください。 | 0: 1 回変換ごと<br>1: 4 回変換ごと | リピートモード指定<br>0: シングルモード<br>1: リピートモード                                                                                                                    | スキャンモード指定<br>0: チャンネル固定モード<br>1: チャンネルスキャンモード | AD 転換開始<br>0: Don't care<br>1: 開始常に "0" としてリードされます。 |
| ADMOD1  | AD mode control register 1 | 12B9H | VREFON                        | I2AD                             | —               | —               | —                        | ADCH2                                                                                                                                                    | ADCH1                                         | ADCH0                                               |
|         |                            |       | R/W                           | R/W                              | R/W             |                 |                          | R/W                                                                                                                                                      |                                               |                                                     |
|         |                            |       | 0                             | 0                                | 0               | 0               | 0                        | 0                                                                                                                                                        | 0                                             | 0                                                   |
|         |                            |       | VREF 印加制御<br>0: OFF<br>1: ON  | IDLE2<br>0: 停止<br>1: 動作          | "0" をライトしてください。 | "0" をライトしてください。 | "0" をライトしてください。          | アナログ入力チャネル選択<br>000: AN0 AN0<br>001: AN1 AN0 → AN1<br>010: AN2 AN0 → AN1 → AN2<br>011: AN3 AN0 → AN1 → AN2 → AN3<br>100: AN4 AN0 → AN1 → AN2 → AN3 → AN4 |                                               |                                                     |
| ADMOD2  | AD mode control register 2 | 12BAH |                               |                                  |                 |                 |                          |                                                                                                                                                          |                                               | ADTRGE                                              |
|         |                            |       |                               |                                  |                 |                 |                          |                                                                                                                                                          |                                               | R/W                                                 |
|         |                            |       |                               |                                  |                 |                 |                          |                                                                                                                                                          |                                               | 0                                                   |
|         |                            |       |                               |                                  |                 |                 |                          |                                                                                                                                                          |                                               | AD 外部トリガスタート制御<br>0: 禁止<br>1: 許可                    |
| ADREG0L | AD result register 0 Low   | 12A0H | ADR01                         | ADR00                            |                 |                 |                          |                                                                                                                                                          |                                               | ADR0RF                                              |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               | R                                                   |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               | 0                                                   |
| ADREG0H | AD result register 0 High  | 12A1H | ADR09                         | ADR08                            | ADR07           | ADR06           | ADR05                    | ADR04                                                                                                                                                    | ADR03                                         | ADR02                                               |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
| ADREG1L | AD result register 1 Low   | 12A2H | ADR11                         | ADR10                            |                 |                 |                          |                                                                                                                                                          |                                               | ADR1RF                                              |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               | R                                                   |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               | 0                                                   |
| ADREG1H | AD result register 1 High  | 12A3H | ADR19                         | ADR18                            | ADR17           | ADR16           | ADR15                    | ADR14                                                                                                                                                    | ADR13                                         | ADR12                                               |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
| ADREG2L | AD result register 2 Low   | 12A4H | ADR21                         | ADR20                            |                 |                 |                          |                                                                                                                                                          |                                               | ADR2RF                                              |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               | R                                                   |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               | 0                                                   |
| ADREG2H | AD result register 2 High  | 12A5H | ADR29                         | ADR28                            | ADR27           | ADR26           | ADR25                    | ADR24                                                                                                                                                    | ADR23                                         | ADR22                                               |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
| ADREG3L | AD result register 3 Low   | 12A6H | ADR31                         | ADR30                            |                 |                 |                          |                                                                                                                                                          |                                               | ADR3RF                                              |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               | R                                                   |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               | 0                                                   |
| ADREG3H | AD result register 3 High  | 12A7H | ADR39                         | ADR38                            | ADR37           | ADR36           | ADR35                    | ADR34                                                                                                                                                    | ADR33                                         | ADR32                                               |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
| ADREG4L | AD result register 4 Low   | 12A8H | ADR41                         | ADR40                            |                 |                 |                          |                                                                                                                                                          |                                               | ADR4RF                                              |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               | R                                                   |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               | 0                                                   |
| ADREG4H | AD result register 4 High  | 12A9H | ADR49                         | ADR48                            | ADR47           | ADR46           | ADR45                    | ADR44                                                                                                                                                    | ADR43                                         | ADR42                                               |
|         |                            |       | R                             |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |
|         |                            |       | 不定                            |                                  |                 |                 |                          |                                                                                                                                                          |                                               |                                                     |

(15) ウォッチドッグタイマ

| 記号    | レジスタ名                      | アドレス  | 7               | 6                                                                                                                                                                           | 5     | 4 | 3                       | 2                       | 1                                     | 0                       |
|-------|----------------------------|-------|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|---|-------------------------|-------------------------|---------------------------------------|-------------------------|
| WDMOD | WDT<br>mode<br>register    | 1300H | WDTE            | WDTP1                                                                                                                                                                       | WDTP0 |   | —                       | I2WDT                   | RESCR                                 | —                       |
|       |                            |       | R/W             |                                                                                                                                                                             |       |   | R/W                     |                         |                                       |                         |
|       |                            |       | 1               | 0                                                                                                                                                                           | 0     |   | 0                       | 0                       | 0                                     | 0                       |
|       |                            |       | WDT 制御<br>1: 許可 | WDT 検出時間の選択<br>00: 2 <sup>15</sup> /f <sub>IO</sub><br>01: 2 <sup>17</sup> /f <sub>IO</sub><br>10: 2 <sup>19</sup> /f <sub>IO</sub><br>11: 2 <sup>21</sup> /f <sub>IO</sub> |       |   | “0” をライ<br>トしてく<br>ださい。 | IDLE2<br>0: 停止<br>1: 動作 | 1: リセット<br>端子に<br>WDT 出<br>力を内部<br>接続 | “0” をライ<br>トしてく<br>ださい。 |
| WDCR  | WDT<br>Control<br>register | 1301H | —               |                                                                                                                                                                             |       |   |                         |                         |                                       |                         |
|       |                            |       | W               |                                                                                                                                                                             |       |   |                         |                         |                                       |                         |
|       |                            | RMW 禁 | —               |                                                                                                                                                                             |       |   |                         |                         |                                       |                         |
|       |                            |       | B1H: WDT 禁止コード  |                                                                                                                                                                             |       |   | 4EH: WDT クリアコード         |                         |                                       |                         |

## (16) RTC (リアルタイムクロック)

| 記号     | レジスタ名             | アドレス             | 7                        | 6                       | 5             | 4                         | 3                    | 2                                                      | 1                    | 0                                |     |
|--------|-------------------|------------------|--------------------------|-------------------------|---------------|---------------------------|----------------------|--------------------------------------------------------|----------------------|----------------------------------|-----|
| SECR   | Second register   | 1320H            |                          | SE6                     | SE5           | SE4                       | SE3                  | SE2                                                    | SE1                  | SE0                              |     |
|        |                   |                  |                          | R/W                     |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  |                          | 不定                      |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  | "0" がリード<br>されます。        | 40 秒                    | 20 秒          | 10 秒                      | 8 秒                  | 4 秒                                                    | 2 秒                  | 1 秒                              |     |
| MINR   | Minute register   | 1321H            |                          | MI6                     | MI5           | MI4                       | MI3                  | MI2                                                    | MI1                  | MI0                              |     |
|        |                   |                  |                          | R/W                     |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  |                          | 不定                      |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  | "0" がリード<br>されます。        | 40 分                    | 20 分          | 10 分                      | 8 分                  | 4 分                                                    | 2 分                  | 1 分                              |     |
| HOURL  | Hour register     | 1322H            |                          |                         | HO5           | HO4                       | HO3                  | HO2                                                    | HO1                  | HO0                              |     |
|        |                   |                  |                          | R/W                     |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  |                          | 不定                      |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  | "0" がリード<br>されます。        | 20 時間<br>(PM/AM)        | 10 時間         | 8 時間                      | 4 時間                 | 2 時間                                                   | 1 時間                 |                                  |     |
| DAYR   | Hour register     | 1323H            |                          |                         |               |                           |                      | WE2                                                    | WE1                  | WE0                              |     |
|        |                   |                  |                          |                         |               |                           |                      | R/W                                                    |                      |                                  |     |
|        |                   |                  |                          |                         |               |                           |                      | 不定                                                     |                      |                                  |     |
|        |                   |                  | "0" がリード<br>されます。        |                         |               |                           |                      |                                                        | W2                   | W1                               | W0  |
| DATER  | Date register     | 1324H            |                          |                         | DA5           | DA4                       | DA3                  | DA2                                                    | DA1                  | DA0                              |     |
|        |                   |                  |                          |                         | R/W           |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  |                          |                         | 不定            |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  | "0" がリード<br>されます。        | 20 日                    | 10 日          | 8 日                       | 4 日                  | 2 日                                                    | 1 日                  |                                  |     |
| MONTHR | Month register    | 1325H            |                          |                         |               | MO4                       | MO3                  | MO2                                                    | MO1                  | MO0                              |     |
|        |                   |                  |                          |                         |               | R/W                       |                      |                                                        |                      |                                  |     |
|        |                   |                  |                          |                         |               | 不定                        |                      |                                                        |                      |                                  |     |
|        |                   | PAGE 0           | "0" がリード<br>されます。        |                         |               |                           |                      | 10 月                                                   | 8 月                  | 4 月                              | 2 月 |
| PAGE 1 | "0" がリード<br>されます。 |                  |                          |                         |               |                           |                      |                                                        |                      | 0: 12 時間<br>表示<br>1: 24 時間<br>表示 |     |
| YEARR  | Year register     | 1326H            | YE7                      | YE6                     | YE5           | YE4                       | YE3                  | YE2                                                    | YE1                  | YE0                              |     |
|        |                   |                  | R/W                      |                         |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  | 不定                       |                         |               |                           |                      |                                                        |                      |                                  |     |
|        |                   | PAGE 0           | 80 年                     | 40 年                    | 20 年          | 10 年                      | 8 年                  | 4 年                                                    | 2 年                  | 1 年                              |     |
| PAGE 1 | "0" がリード<br>されます。 |                  |                          |                         |               |                           |                      | うるう年設定<br>00: うるう年<br>01: 1 年後<br>10: 2 年後<br>11: 3 年後 |                      |                                  |     |
| PAGER  | Page register     | 1327H<br>(RMW 禁) | INTENA                   |                         |               | ADJUST                    | ENATMR               | ENAALM                                                 |                      | PAGE                             |     |
|        |                   |                  | R/W                      |                         |               | W                         |                      | R/W                                                    |                      | R/W                              |     |
|        |                   |                  | 0                        |                         |               | 不定                        |                      | 不定                                                     |                      | 不定                               |     |
|        |                   |                  | INTRTC<br>0: 禁止<br>1: 許可 | "0" がリード<br>されます        |               | 0: Don't<br>care<br>1: 補正 | 時計<br>0: 禁止<br>1: 許可 | ALARM<br>0: 禁止<br>1: 許可                                | "0" がリー<br>ド<br>されます | PAGE<br>設定                       |     |
| RESTR  | Reset register    | 1328H<br>(RMW 禁) | DIS1HZ                   | DIS16HZ                 | RSTTMR        | RSTALM                    | -                    | -                                                      | -                    | -                                |     |
|        |                   |                  | W                        |                         |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  | 不定                       |                         |               |                           |                      |                                                        |                      |                                  |     |
|        |                   |                  | 1Hz<br>0: 許可<br>1: 禁止    | 16 Hz<br>0: 許可<br>1: 禁止 | 1: 時計<br>リセット | 1: アラーム<br>リセット           | "0" をライトしてください。      |                                                        |                      |                                  |     |

## (17) メロディ/アラームジェネレータ

| 記号      | レジスタ名                           | アドレス  | 7                                                                 | 6                 | 5                   | 4                   | 3                    | 2                     | 1                      | 0                           |
|---------|---------------------------------|-------|-------------------------------------------------------------------|-------------------|---------------------|---------------------|----------------------|-----------------------|------------------------|-----------------------------|
| ALM     | Alarm-pattern register          | 1330H | AL8                                                               | AL7               | AL6                 | AL5                 | AL4                  | AL3                   | AL2                    | AL1                         |
|         |                                 |       | R/W                                                               |                   |                     |                     |                      |                       |                        |                             |
|         |                                 |       | 0                                                                 | 0                 | 0                   | 0                   | 0                    | 0                     | 0                      | 0                           |
|         |                                 |       | アラームパターン設定                                                        |                   |                     |                     |                      |                       |                        |                             |
| MELALMC | Melody/ alarm control register  | 1331H | FC1                                                               | FC0               | ALMINV              | —                   | —                    | —                     | —                      | MELALM                      |
|         |                                 |       | R/W                                                               |                   |                     |                     |                      |                       |                        |                             |
|         |                                 |       | 0                                                                 | 0                 | 0                   | 0                   | 0                    | 0                     | 0                      | 0                           |
|         |                                 |       | フリーランカウンタ制御<br>00: ホールド<br>01: 再スタート<br>10: クリア<br>11: クリア & スタート | アラーム波形反転<br>1: 反転 | "0" をライトしてください。     |                     |                      |                       |                        | 出力周波数<br>0: アラーム<br>1: メロディ |
| MELFL   | Melody frequency L-register     | 1332H | ML7                                                               | ML6               | ML5                 | ML4                 | ML3                  | ML2                   | ML1                    | ML0                         |
|         |                                 |       | R/W                                                               |                   |                     |                     |                      |                       |                        |                             |
|         |                                 |       | 0                                                                 | 0                 | 0                   | 0                   | 0                    | 0                     | 0                      | 0                           |
|         |                                 |       | メロディ周波数設定 (下位 8 ビット)                                              |                   |                     |                     |                      |                       |                        |                             |
| MELFH   | Melody frequency H-register     | 1333H | MELON                                                             |                   |                     |                     | ML11                 | ML10                  | ML9                    | ML8                         |
|         |                                 |       | R/W                                                               |                   |                     |                     | R/W                  |                       |                        |                             |
|         |                                 |       | 0                                                                 |                   |                     |                     | 0                    | 0                     | 0                      | 0                           |
|         |                                 |       | メロディカウンタ制御<br>0: 停止 & クリア<br>1: スタート                              |                   |                     |                     | メロディ周波数設定 (上位 4 ビット) |                       |                        |                             |
| ALMINT  | Alarm interrupt enable register | 1334H |                                                                   |                   | —                   | IALM4E              | IALM3E               | IALM2E                | IALM1E                 | IALM0E                      |
|         |                                 |       |                                                                   |                   |                     | R/W                 |                      |                       |                        |                             |
|         |                                 |       |                                                                   |                   | 0                   | 0                   | 0                    | 0                     | 0                      | 0                           |
|         |                                 |       |                                                                   | "0" をライトしてください。   | 1:IINTALM4 (1Hz) 許可 | 1:IINTALM3 (2Hz) 許可 | 1:IINTALM2 (64Hz) 許可 | 1:IINTALM1 (512Hz) 許可 | 1:IINTALM0 (8192Hz) 許可 |                             |

## 6. ポート部等価回路図

## ■ 回路図の見方

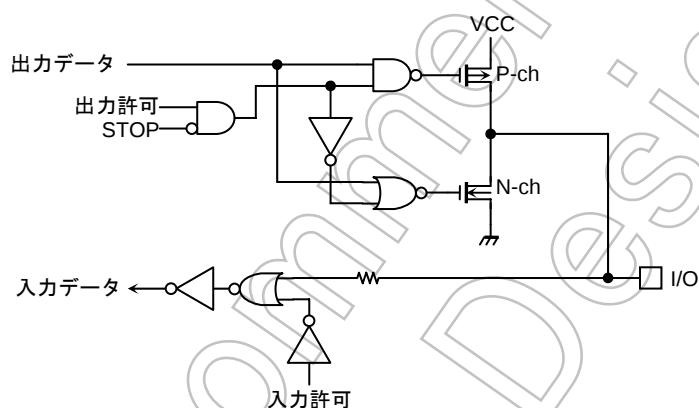
基本的に、標準 CMOS ロジック IC「74HC××」シリーズと同じゲート記号を使って書かれています。

信号名の中で、特殊なものについて下記に示します。

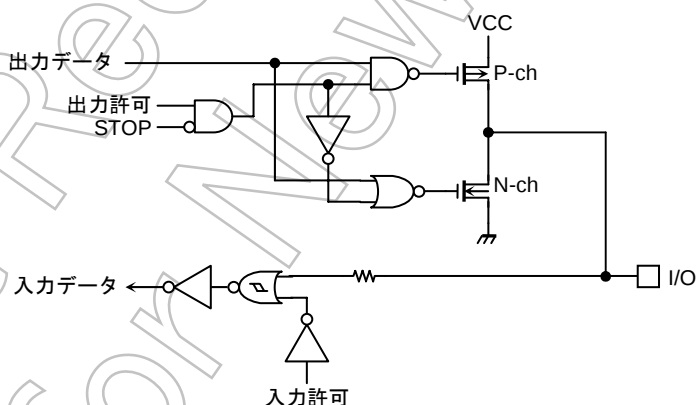
STOP: この信号は、HALT モード設定レジスタを STOP モード (CLKMOD<HALTM1:0> = 0, 1) にして、CPU が HALT 命令を実行したとき、アクティブ“1”になります。ただし、ドライバインイーブルビット WDMOD<DRIVE>が“1”にセットされているときは、STOP は“0”のままです。

入力保護抵抗は、数十 $\Omega$ ~数百 $\Omega$ 程度です。

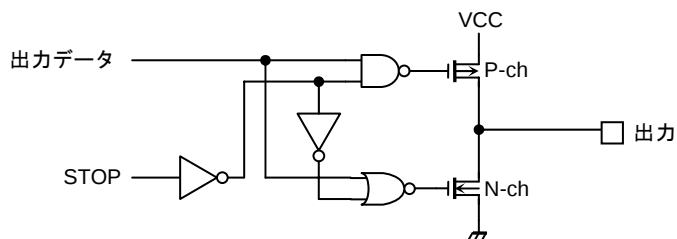
- D0~D7, P1 (D8~D15), P2 (D16~D23), P3 (D24~D31), P4 (A0~A7), P5 (A8~A15), P6 (A16~A23), P76, PL0~PL7



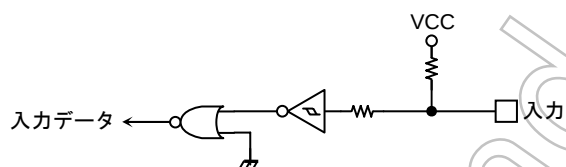
- P90, P96, PC0, PC1, PC3, PC5, PC6, PF1, PF2, PF4, PF5



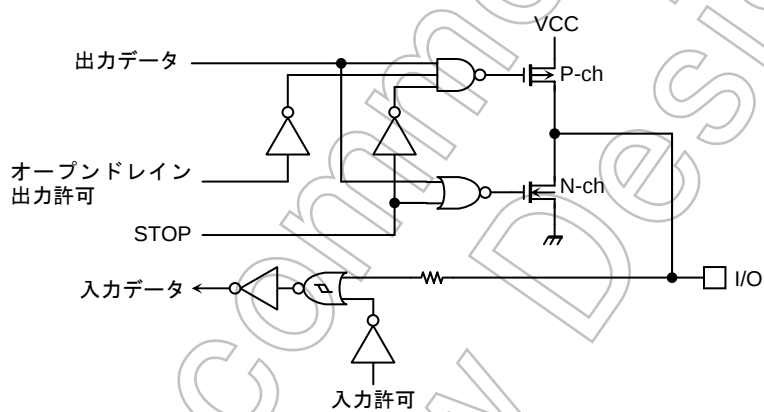
■ P70~P75, P80~P87, PJ0~PJ7, PK0~PK4, PK6



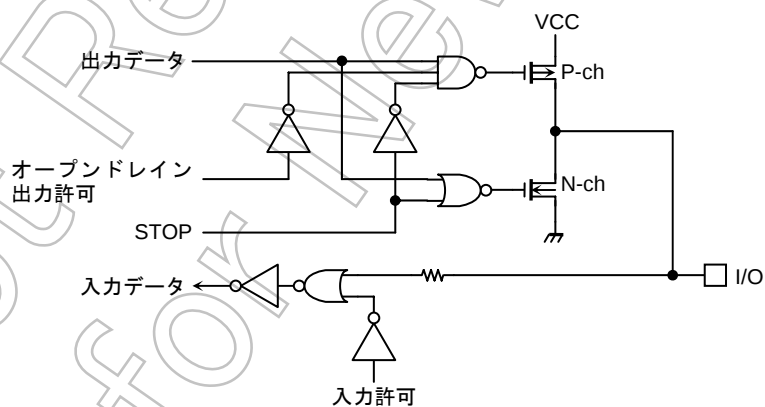
■ PA



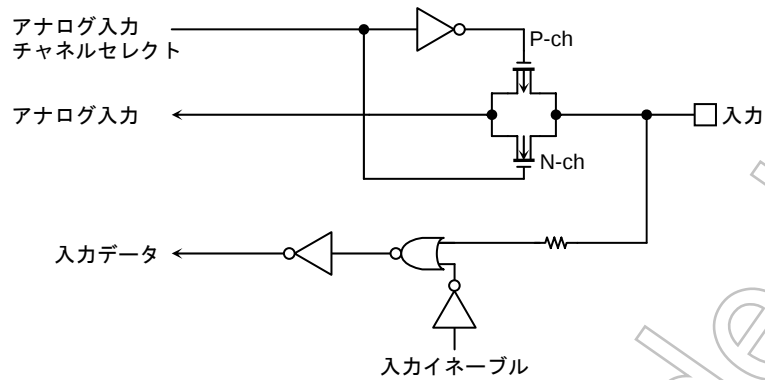
■ P91 (SO/SDA), P92 (SI/SCL), P93, P94



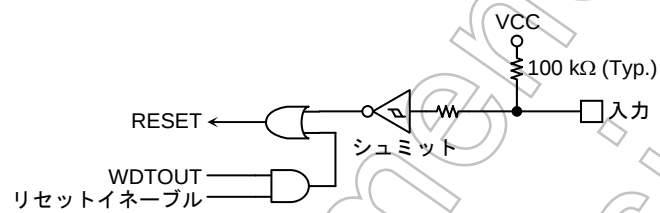
■ P95 (TXD2), PF0, PF3



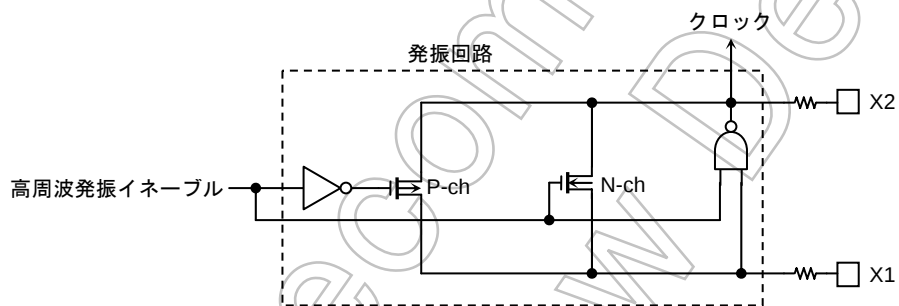
### ■ PG (AN0~AN4)



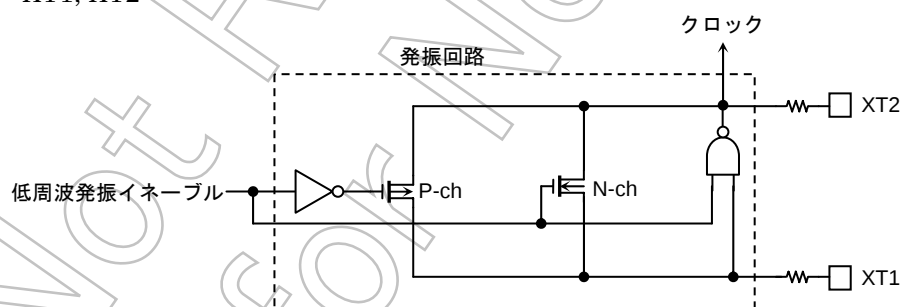
### ■ $\overline{\text{RESET}}$



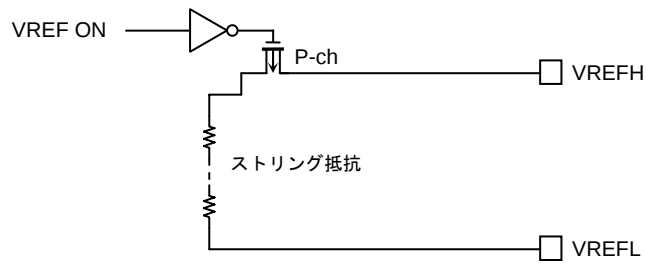
### ■ X1, X2



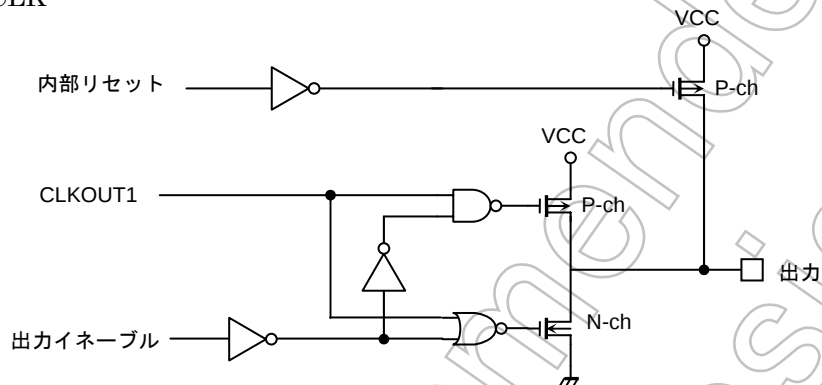
### ■ XT1, XT2



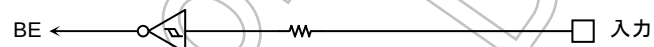
■ VREFH, VREFL



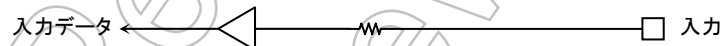
■ SDCLK



■  $\overline{\text{BE}}$



■ AM0~AM1



## 7. 使用上の注意、制限事項

### (1) 特別な表記、言葉の説明

#### a. 内蔵 I/O レジスタの説明: レジスタシンボル<ビットシンボル>

例) TA01RUN<TA0RUN>: レジスタ TA01RUN のビット TA0RUN を示します。

#### b. リードモディファイライト命令 (RMW)

CPU が、1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令です。

例 1: SET 3, (TA01RUN) ; TA01RUN レジスタのビット 3 をセットする。

例 2: INC 1, (100H) ; アドレス 100H のデータを+1 する。

- TLCS-900 におけるリードモディファイライト命令  
交換命令

EX (mem), R

#### 算術命令

ADD (mem), R/#      ADC (mem), R/#

SUB (mem), R/#      SBC (mem), R/#

INC #3, (mem)      DEC #3, (mem)

#### 論理演算

AND (mem), R/#      OR (mem), R/#

XOR (mem), R/#

#### ビット操作

STCF #3/A, (mem)      RES #3, (mem)

SET #3, (mem)      CHG #3, (mem)

TSET #3, (mem)

#### ローテイト、シフト

RLC (mem)      RRC (mem)

RL (mem)      RR (mem)

SLA (mem)      SRA (mem)

SLL (mem)      SRL (mem)

RLD (mem)      RRD (mem)

#### c. fOSCH, fc, fFPH, fSYS および 1 ステート

X1, X2 端子より入力されるクロック周波数を fOSCH、DFMCR0<ACT1:0>レジスタにより選択されるクロック周波数を fc と呼びます。

また、SYSCR1<SYSCK>レジスタにより選択されるクロック周波数を fFPH、fFPH を 2 分周して得られたクロック周波数をシステムクロック fSYS と呼びます。

この fSYS の 1 周期を 1 ステートと呼びます。

## (2) 使用上の注意と制限事項

## a) AM0 と AM1 端子

これらの端子は、VCC (電源レベル) または VSS (グラウンドレベル) に接続します。動作中は接続されている電位を変更しないでください。

## b) EMU0 と EMU1 端子

これらの端子には何も接続しません。

## c) アドレス空間の予約領域

TMP92C820 には予約領域はありません。

## d) ウォームアップカウンタ

外部発振器を用いるシステムでも、STOP モードが解除されるとウォームアップカウンタは動作を始めます。結果として、解除要求入力からシステムクロックが出力されるまでの間にはウォームアップ時間と同じだけの時間がかかります。

## e) プログラマブルプルアップ抵抗

このプログラマブルプルアップ抵抗は、ポートを入力として使用する時のみプログラマブルに抵抗の付加/無付加を選択できるようになっています。出力ポートとして使用するときは、選択できません。抵抗の付加/無付加の選択は当該ポートのデータレジスタ (例: P5 レジスタ) で制御しますが、その場合リードモディファイライト命令は使用できませんので、転送命令を使用してください。

## f) ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作状態となっていますので、ウォッチドッグタイマを使用しない場合は動作禁止に設定してください。

## g) AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続/切り離しする機能がありますので、STOP モードなどで消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

## h) CPU (マイクロ DMA)

“LDC cr, r” 命令および “LDC r, cr” 命令だけが CPU 内の制御レジスタとのアクセスに利用できます。(DMASn レジスタなど)

## i) 未定義 SFR ビット

SFR (Special function register) の未定義ビットの値は、読み出すと「不定」が読み出されます。

## j) 「POP SR」命令

「POP SR」命令の実行は、DI (割り込み不許可) 状態で行ってください。

## k) 割り込み要求によるホルト状態からの解除

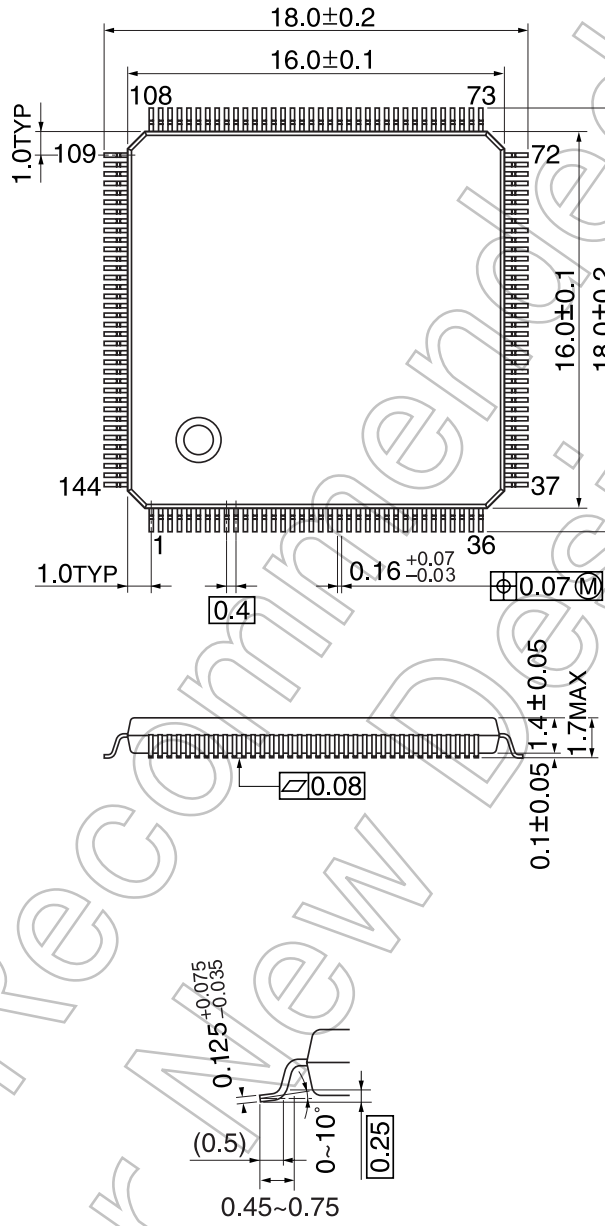
通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f<sub>TPH</sub> 約 3 クロックの間) に、HALT モードを解除可能な割り込み (INT0~INT3, INTKEY, INTRTC, INTALM0~INTALM4) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

8. パッケージ外形寸法図

P-LQFP144-1616-0.40C

Unit: mm



注: パラジウムめっき仕様