TOSHIBA

32 ビット RISC マイクロコントローラ
TX03 シリーズ

TMPM365FYXBG

株式会社 東芝

セミコンダクター & ストレージ社

©TOSHIBA CORPORATION 2011-2023
All Rights Reserved

****
ARM, ARM Powered, AMBA, ADK, ARM9TDMI, TDMI, PrimeCell, RealView, Thumb, Cortex, Coresight, ARM9, ARM926EJ-S, Embedded Trace Macrocell, ETM, AHB, APB, and KEIL はARM LimitedのEUおよびその他の国における登録商標または商標です。
****

重要なお知らせ

本製品を使用するにあたり、本章の内容を必ずご確認ください。

1　シリアルバスインタフェース

I2C バスモードをマルチマスタで使用する場合に制約があります。

1.1　発生する現象

I2C バスモード マルチマスタ使用時に複数のマスタが同時に通信を開始すると以下のような現象が発生する可能性があります。

1. 通信がロックする
2. SCL のパルス幅が短くなり I2C の通信規格を満たせない

1.2　現象の発生条件

本現象は I2C バスモードをマルチマスタで使用時にのみ発生します。シングルマスタで使用している場合は発生しません。

1.3　制約（回避策）

本現象の回避策はありませんので、ソフトウエアによるリカバリ処理を行ってください。

1.4　現象発生時の復帰方法

ソフトウエアによるリカバリ処理を行ってください。

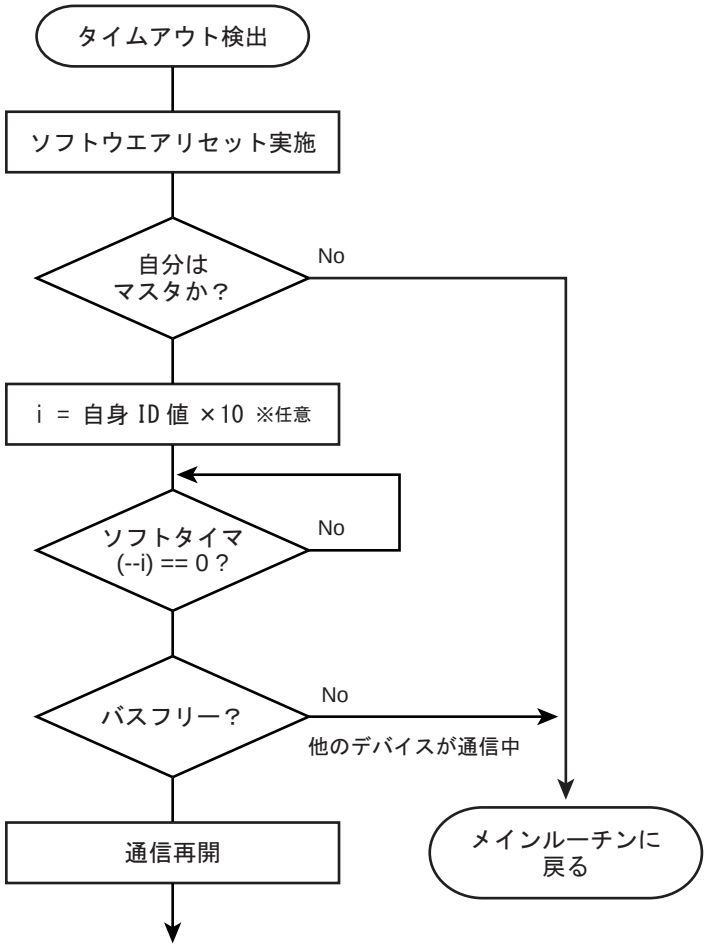
タイマを利用して、通信ロック検出用のタイムアウト処理を追加してください。

処理例

1. 送信開始と共にタイマカウントを開始します。
2. 一定時間内にシリアルバスインタフェース割り込み（INTSBIx）が発生しない場合は、タイムアウトと判断します。
3. タイムアウトと判断した場合、通信がロックしている可能性がありますので、シリアルバスインタフェースのソフトウエアリセットを実行してください。該当回路は初期化され通信ロックが解除されます。
4. 送信データを再送してください。

通常は 1 ～ 4 のリカバリ処理で良いですが、複数の対象製品をマスタとして使用していた場合は、再送時に再度バスが衝突することを避けるため、4 の送信データの再送を行う前にデバイスごとにディレイを設けタイミングをずらす処理も追加してください。

タイムアウト後のリカバリ処理例



2 低消費電力モードへの遷移とマスク不能割り込み

以下の低消費電力モードへの遷移時にマスク不能割り込み (NMI) が発生した際の注意点を記載します。

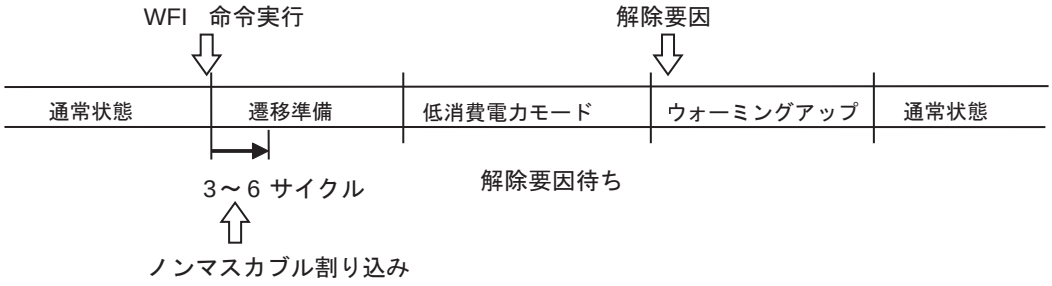
- STOP1

2.1 発生する現象

上記低消費電力モードへ遷移するための WFI 命令実行時にマスク不能割り込み (NMI) が発生した場合、低消費電力モードの解除処理には入らず、そのまま低消費電力モードへ遷移する場合があります。

注 1) CPU への NMI 通知やフラグセットは正常なため、低消費電力モード解除後の NMI 処理は可能です。

注 2) 低消費電力モードへ遷移した場合、NMI 以外の解除要因は受け付けますが、NMI は受け付けない場合があります。



2.2 現象の発生条件

- WFI 命令により該当する低消費電力モードへ遷移
- WFI 命令実行後、3 サイクル～ 6 サイクル内でマスク不能割り込みが発生

2.3 対処方法

該当する低消費電力モードの解除要因としてマスク不能割り込みを使用しないようにしてください。

マスク不能割り込みが発生しないよう、該当する低消費電力モード遷移前に下記の処置を行ってください。

- NMI 端子：入力を "High" に固定
- ウォッチドッグタイマ：動作停止、またはリセット出力設定
- 電圧検出回路：動作停止、またはリセット出力設定

はじめに(本仕様書での SFR 表記に関する注意点)

各周辺機能回路(IP)には、SFR(Special Function Register)と呼ばれる制御レジスタが準備されています。

メモリマップの章に各 IP の SFR アドレス一覧を記載しており、各 IP の章では SFR の詳細を説明しています。

本仕様書では、SFR に関して以下のルールに従って表現しています。

a. IP 別 SFR の一覧表(一例)

- 各 IP の章における SFR の一覧表では、レジスタ名称、アドレス、簡単な説明が表現されています。
- すべてのレジスタには、32bit で表現されるユニークなアドレスが割り振られており、各レジスタのアドレスは「Base Address　+　(固有)アドレス」で表現されています。(一部例外有)

Base Address = 0x0000_0000

レジスタ名		Address(Base+)
コントロールレジスタ	SAMCR	0x0004
		0x000C

注)　SAMCR レジスタのアドレスは 0x0000_0004 番地「Base Address(0x00000000 番地)+固有アドレス(0x0004 番地)」から 32 ビット分となります。

注)　本レジスタは記述説明用のサンプルです。本マイコンには存在しません。

b. 各 SFR(レジスタ)の説明

- 各レジスタは、基本的にすべて 32bit のレジスタで構成されています(一部例外有)。
- 各レジスタの説明では、対象ビット、ビットシンボル、タイプ、リセット後の初期値、機能説明が表現されています。

1.2.2 SAMCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	MODE	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MODE	TDATA						
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-10	−	R	リードすると"0"が読めます。
9-7	MODE[2:0]	R/W	動作モード設定 000 : サンプルモード 0 に設定 001 : サンプルモード 1 に設定 010 :サンプルモード 2 に設定 011 :サンプルモード 3 に設定 上記以外 : Reserved
6-0	TDATA[6:0]	W	送信データ

注) **Type は基本的に下記 3 種類となります。**

R / W :	READ WRITE	読み出し/書き込み可能
R :	READ	読み出しのみ可能
W :	WRITE	書き込みのみ可能

c. データ表記について

SFR の説明において使用しているシンボルには以下のようなものがあります。

- x:チャネル番号/ポート
- n,m:ビット番号

d. レジスタの表現

説明文においてレジスタを以下のように表現しています。

- レジスタ名<Bit Symbol>

  例: SAMCR<MODE>="000"または SAMCR<MODE[2:0]>="000"

  <MODE[2:0]>はビットシンボル MODE(3 ビット幅)の 2～0 ビット目を意味します。
- レジスタ名[Bit]

  例: SAMCR[9:7]="000"

  レジスタ SAMCR(32 ビット幅)の 9～7 ビット目を意味します。

改訂履歴

日付	版	改訂理由
2011/12/19	Tentative 1	First Release
2013/03/18	1	First Release
2013/05/27	2	Contents Revised
2022/09/30	3	Contents Revised
2023/07/21	4	Contents Revised

目　次

はじめに(本仕様書での SFR 表記に関する注意点)

TMPM365FYXBG

1.1 機能概要....1
1.2 ブロック図....4
1.3 ピン配置図(Top view)....5
1.4 ピン名称と機能....6
1.4.1 ピン番号順....6
1.4.2 ポート順....12
1.5 電源の種類と供給端子....18
1.6 レギュレータ端子について....18

第 2 章　プロセッサコア

2.1 コアに関する情報....19
2.2 構成可能なオプション....19
2.3 例外/割り込み....20
2.3.1 割り込み本数....20
2.3.2 割り込み優先度ビット数....20
2.3.3 SysTick....20
2.3.4 SYSRESETREQ....20
2.3.5 LOCKUP....20
2.3.6 補助フォールトステータスレジスタ....20
2.4 イベント....21
2.5 電力管理....21
2.6 排他アクセス....21

第 3 章　デバッグインタフェース

3.1 仕様概要....23
3.2 SWJ-DP....23
3.3 ETM....23
3.4 端子情報....24
3.5 ホールトモード中の周辺機能....25
3.6 デバッグツールとの接続....26
3.6.1 接続方法....26
3.6.2 デバッグインタフェース端子を汎用ポートとして使用する際の注意....26

第 4 章　JTAG インタフェース

4.1 仕様概要 27
4.2 信号の要約と接続例 28
4.3 バウンダリスキャンの概要 29
4.4 JTAG コントローラとレジスタ 29
4.5 命令レジスタ 30
4.6 バウンダリスキャンレジスタ 32
4.7 テストアクセスポート(TAP) 32
4.8 TAP コントローラ 32
4.9 TAP コントローラのリセット 33
4.10 コントローラの状態 33
4.11 バウンダリスキャン順序 36
4.12 JTAG コントローラセルでサポートしている命令 37

第 5 章 メモリマップ

5.1 メモリマップ 41
5.1.1 TMPM365FY メモリマップ 42
5.2 SFR 領域詳細 43

第 6 章 リセット動作

6.1 初期状態 45
6.2 コールドリセット時 45
6.3 ウォームリセット時 46
6.3.1 リセット期間 46
6.4 リセット解除後 46

第 7 章 ウォッチドッグタイマ(WDT)

7.1 構成 47
7.2 レジスター覧 48
7.2.1 WDMOD(ウォッチドッグタイマモードレジスタ) 48
7.2.2 WDCR(ウォッチドッグタイマコントロールレジスタ) 49
7.3 動作説明 50
7.3.1 基本動作 50
7.3.2 動作モードと動作状態 50
7.4 暴走検出時の動作 51
7.4.1 INTWDT 割り込み発生の場合 51
7.4.2 内部リセット発生の場合 52
7.5 コントロールレジスタ 53
7.5.1 ウォッチドッグタイマモードレジスタ(WDMOD) 53
7.5.2 ウォッチドッグタイマコントロールレジスタ(WDCR) 53
7.5.3 設定例 54
7.5.3.1 ディセーブル制御
7.5.3.2 イネーブル制御
7.5.3.3 ウォッチドッグタイマのクリア制御
7.5.3.4 ウォッチドッグタイマ検出時間の設定

第 8 章 クロック/モード制御

8.1 特長.....55
8.2 レジスタ説明.....56
8.2.1 レジスタ一覧.....56
8.2.2 CGSYSCR(システムコントロールレジスタ).....57
8.2.3 CGOSCCR(発振コントロールレジスタ).....59
8.2.4 CGSTBYCR(スタンバイコントロールレジスタ).....61
8.2.5 CGPLLSEL(PLL セレクトレジスタ).....62
8.2.6 CGUSBCTL (USB クロックコントロールレジスタ).....63
8.2.7 CGPROTECT(プロテクトレジスタ).....64
8.3 クロック制御.....65
8.3.1 クロックの種類.....65
8.3.2 リセット動作による初期値.....65
8.3.3 クロック系統図.....66
8.3.4 ウォーミングアップ機能.....67
8.3.5 クロック逓倍回路(PLL).....69
8.3.5.1 動作開始
8.3.6 システムクロック.....71
8.3.6.1 システムクロックの設定方法
8.3.7 プリスケーラクロック.....73
8.3.8 クロックの端子出力機能.....73
8.4 動作モードとモード遷移.....74
8.4.1 モード状態遷移.....74
8.5 動作モード.....75
8.5.1 NORMAL モード.....75
8.6 低消費電力モード.....75
8.6.1 IDLE モード.....75
8.6.2 STOP1 モード.....76
8.6.3 低消費電力モードの選択.....77
8.6.4 各モードにおける動作状態.....78
8.6.5 低消費電力モードの解除.....79
8.6.6 ウォーミングアップ.....80
8.6.7 モード遷移によるクロック動作.....81
8.6.7.1 NORMAL → STOP1 → NORMAL 動作モード遷移

第 9 章 例外

9.1 概要.....83
9.1.1 種類.....83
9.1.2 処理の流れ.....84
9.1.2.1 例外要求と検出
9.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)
9.1.2.3 割り込み処理ルーチンの発行
9.1.2.4 例外からの復帰
9.2 リセット例外.....90
9.3 マスク不能割り込み(NMI).....90
9.4 SysTick.....91
9.5 割り込み.....92
9.5.1 要因.....92
9.5.1.1 経路
9.5.1.2 割り込み要因の発生
9.5.1.3 割り込み要因の伝達
9.5.1.4 外部割込み端子を使用する際の注意
9.5.1.5 要因一覧
9.5.1.6 アクティブレベル
9.5.2 処理詳細.....97
9.5.3 処理の流れ.....97
9.5.3.1 準備
9.5.3.2 検出(クロックジェネレータ)
9.5.3.3 検出(CPU)
9.5.3.4 CPU の処理
9.5.3.5 割り込み処理ルーチンでの処理(要因の取り下げ)
9.6 例外/割り込み関連レジスタ.....103

9.6.1 レジスタ一覧 103
9.6.2 NVIC レジスタ 104
9.6.2.1 SysTick 制御およびステータスレジスタ
9.6.2.2 SysTick リロード値レジスタ
9.6.2.3 SysTick 現在値レジスタ
9.6.2.4 SysTick 較正値レジスタ
9.6.2.5 割り込みイネーブルセットレジスタ 1
9.6.2.6 割り込みイネーブルセットレジスタ 2
9.6.2.7 割り込みイネーブルクリアレジスタ 1
9.6.2.8 割り込みイネーブルクリアレジスタ 2
9.6.2.9 割り込み保留セットレジスタ 1
9.6.2.10 割り込み保留セットレジスタ 2
9.6.2.11 割り込み保留クリアレジスタ 1
9.6.2.12 割り込み保留クリアレジスタ 2
9.6.2.13 割り込み優先度レジスタ
9.6.2.14 ベクタテーブルオフセットレジスタ
9.6.2.15 アプリケーション割り込みおよびリセット制御レジスタ
9.6.2.16 システムハンドラ優先度レジスタ
9.6.2.17 システムハンドラ制御および状態レジスタ
9.6.3 クロックジェネレータレジスタ 124
9.6.3.1 CGIMCGA(CG 割り込みモードコントロールレジスタ A)
9.6.3.2 CGIMCGB(CG 割り込みモードコントロールレジスタ B)
9.6.3.3 CGIMCGC(CG 割り込みモードコントロールレジスタ C)
9.6.3.4 CGICRCG(CG 割り込み要求クリアレジスタ)
9.6.3.5 CGNMIFLG(NMI フラグレジスタ)
9.6.3.6 CGRSTFLG(リセットフラグレジスタ)

第 10 章 入出力ポート

10.1 ポート機能 133
10.1.1 機能一覧 133
10.1.2 ポートレジスタ概略説明 136
10.1.3 STOP1 モード中のポート状態 137
10.2 ポート機能詳細 138
10.2.1 ポート A (PA0 to PA7) 138
10.2.1.1 ポート A レジスタ一覧
10.2.1.2 PADATA (ポート A データレジスタ)
10.2.1.3 PACR (ポート A 出力コントロールレジスタ)
10.2.1.4 PAOD (ポート A オープンドレインコントロールレジスタ)
10.2.1.5 PAPUP (ポート A プルアップコントロールレジスタ)
10.2.1.6 PAIE (ポート A 入力 コントロールレジスタ)
10.2.2 ポート B (PB0 to PB7) 142
10.2.2.1 ポート B レジスタ
10.2.2.2 PBDATA (ポート B データレジスタ)
10.2.2.3 PBCR (ポート B 出力 コントロールレジスタ)
10.2.2.4 PBOD (ポート B オープンドレインコントロールレジスタ)
10.2.2.5 PBPUP (ポート B プルアップコントロールレジスタ)
10.2.2.6 PBIE (ポート B 入力 コントロールレジスタ)
10.2.3 ポート C (PC0 to PC2) 146
10.2.3.1 ポート C レジスタ
10.2.3.2 PCDATA (ポート C データレジスタ)
10.2.3.3 PCCR (ポート C 出力 コントロールレジスタ)
10.2.3.4 PCFR1 (ポート C ファンクションレジスタ 1)
10.2.3.5 PCFR3 (ポート C ファンクションレジスタ 3)
10.2.3.6 PCFR4 (ポート C ファンクションレジスタ 4)
10.2.3.7 PCOD (ポート C オープンドレインコントロールレジスタ)
10.2.3.8 PCPUP (ポート C プルアップコントロールレジスタ)
10.2.3.9 PCIE (ポート C 入力 コントロールレジスタ)
10.2.4 ポート D (PD0 to PD7) 152
10.2.4.1 ポート D レジスタ
10.2.4.2 PDDATA (ポート D データレジスタ)
10.2.4.3 PDCR (ポート D 出力 コントロールレジスタ)
10.2.4.4 PDFR3 (ポート D ファンクションレジスタ 3)
10.2.4.5 PDOD (ポート D オープンドレインコントロールレジスタ)
10.2.4.6 PDPUP (ポート D プルアップコントロールレジスタ)
10.2.4.7 PDIE (ポート D 入力 コントロールレジスタ)
10.2.5 ポート E (PE0 to PE7) 157
10.2.5.1 ポート E レジスタ
10.2.5.2 PEDATA (ポート E データレジスタ)
10.2.5.3 PECR (ポート E 出力 コントロールレジスタ)

10.2.5.4 PEFR1 (ポート E ファンクションレジスタ 1)
10.2.5.5 PEFR3 (ポート E ファンクションレジスタ 3)
10.2.5.6 PEFR4 (ポート E ファンクションレジスタ 4)
10.2.5.7 PEOD (ポート E オープンドレイン コントロールレジスタ)
10.2.5.8 PEPUP (ポート E プルアップコントロールレジスタ)
10.2.5.9 PEIE (ポート E 入力 コントロールレジスタ)
10.2.6 ポート F (PF0 to PF7) 163
10.2.6.1 ポート F レジスタ
10.2.6.2 PFDATA (ポート F データレジスタ)
10.2.6.3 PFCR (ポート F 出力 コントロールレジスタ)
10.2.6.4 PFFR2 (ポート F ファンクションレジスタ 2)
10.2.6.5 PFFR3 (ポート F ファンクションレジスタ 3)
10.2.6.6 PFOD (ポート F オープンドレインコントロールレジスタ)
10.2.6.7 PFPUP (ポート F プルアップコントロールレジスタ)
10.2.6.8 PFIE (ポート F 入力 コントロールレジスタ)
10.2.7 ポート G (PG0 to PG5) 169
10.2.7.1 ポート G レジスタ
10.2.7.2 PGDATA (ポート G データレジスタ)
10.2.7.3 PGCR (ポート G 出力 コントロールレジスタ)
10.2.7.4 PGFR1 (ポート G ファンクションレジスタ 1)
10.2.7.5 PGFR3 (ポート G ファンクションレジスタ 3)
10.2.7.6 PGFR4 (ポート G ファンクションレジスタ 4)
10.2.7.7 PGOD (ポート G オープンドレインコントロールレジスタ)
10.2.7.8 PGPUP (ポート G プルアップコントロールレジスタ)
10.2.7.9 PGIE (ポート G 入力 コントロールレジスタ)
10.2.8 ポート H (PH0 to PH4) 175
10.2.8.1 ポート H レジスタ
10.2.8.2 PHDATA (ポート H データレジスタ)
10.2.8.3 PHCR (ポート H 出力 コントロールレジスタ)
10.2.8.4 PHFR1 (ポート H ファンクションレジスタ 1)
10.2.8.5 PHFR3 (ポート H ファンクションレジスタ 3)
10.2.8.6 PHOD (ポート H オープンドレインコントロールレジスタ)
10.2.8.7 PHPUP (ポート H プルアップコントロールレジスタ)
10.2.8.8 PHIE (ポート H 入力 コントロールレジスタ)
10.2.9 ポート I (PI0 to PI7) 180
10.2.9.1 ポート I レジスタ
10.2.9.2 PIDATA (ポート I データレジスタ)
10.2.9.3 PICR (ポート I 出力 コントロールレジスタ)
10.2.9.4 PIFR1(ポート I ファンクションレジスタ 1)
10.2.9.5 PIOD (ポート I オープンドレインコントロールレジスタ)
10.2.9.6 PIPUP (ポート I プルアップコントロールレジスタ)
10.2.9.7 PIPDN (ポート I プルダウンコントロールレジスタ)
10.2.9.8 PIIE (ポート I 入力 コントロールレジスタ)
10.2.10 ポート J (PJ0 to PJ7) 187
10.2.10.1 ポート J レジスタ
10.2.10.2 PJDATA (ポート J データレジスタ)
10.2.10.3 PJCR (ポート J 出力 コントロールレジスタ)
10.2.10.4 PJFR2 (ポート J ファンクションレジスタ 2)
10.2.10.5 PJFR3 (ポート J ファンクションレジスタ 3)
10.2.10.6 PJPUP (ポート J プルアップコントロールレジスタ)
10.2.10.7 PJIE (ポート J 入力 コントロールレジスタ)
10.2.11 ポート K (PK0 to PK3) 193
10.2.11.1 ポート K レジスタ
10.2.11.2 PKDATA (ポート K データレジスタ)
10.2.11.3 PKCR (ポート K 出力 コントロールレジスタ)
10.2.11.4 PKFR2 (ポート K ファンクションレジスタ 2)
10.2.11.5 PKFR3 (ポート K ファンクションレジスタ 3)
10.2.11.6 PKPUP (ポート K プルアップコントロールレジスタ)
10.2.11.7 PKIE (ポート K 入力 コントロールレジスタ)
10.3 ポート回路図 199
10.3.1 ポートタイプ一覧 199
10.3.2 Type FT1 200
10.3.3 Type FT2 201
10.3.4 Type FT3 202
10.3.5 Type FT4 203
10.3.6 Type5 FT5 204
10.3.7 Type FT6 205
10.4 付録 (ポート 設定一覧) 206
10.4.1 ポート A 設定 206
10.4.2 ポート B 設定 207
10.4.3 ポート C 設定 208
10.4.4 ポート D 設定 209

10.4.5 ポート E 設定 210
10.4.6 ポート F 設定 211
10.4.7 ポート G 設定 212
10.4.8 ポート H 設定 213
10.4.9 ポート I 設定 214
10.4.10 ポート J 設定 215
10.4.11 ポート K 設定 216

第 11 章 DMA コントローラ（DMAC）

11.1 概要 217
11.2 DMA 転送タイプについて 218
11.3 ブロック図 219
11.4 TMPM365FYXBG の固有情報 220
11.4.1 Peripheral to Peripheral でサポートする周辺機能 220
11.4.2 DMA 要求 220
11.4.3 割り込み要求 221
11.4.4 ベースアドレス 221
11.5 レジスタ説明 222
11.5.1 DMAC レジスター覧 222
11.5.2 DMACxIntStatus (DMAC Interrupt Status Register) 223
11.5.3 DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register) 224
11.5.4 DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register) 225
11.5.5 DMACxIntErrorStatus (DMAC Interrupt Error Status Register) 226
11.5.6 DMACxIntErrClr (DMAC Interrupt Error Clear Register) 227
11.5.7 DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register) 228
11.5.8 DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register) 229
11.5.9 DMACxEnbldChns (DMAC Enabled Channel Register) 230
11.5.10 DMACxSoftBReq (DMAC Software Burst Request Register) 231
11.5.11 DMACxSoftSReq (DMAC Software Single Request Register) 233
11.5.12 DMACxConfiguration (DMAC Configuration Register) 235
11.5.13 DMACCxSrcAddr (DMAC Channelx Source Address Register) 236
11.5.14 DMACCxDestAddr (DMAC Channelx Destination Address Register) 237
11.5.15 DMACxCnLLI (DMAC Channelx Linked List Item Register) 238
11.5.16 DMACxCnControl (DMAC Channelx Control Register) 239
11.5.17 DMACxCnConfiguration (DMAC Channelx Configuration Register) 241
11.6 特殊機能 243
11.6.1 Scatter/gather 機能 243
11.6.2 Linked list 動作 244

第 12 章 16 ビットタイマ/イベントカウンタ(TMRB)

12.1 概要 247
12.2 チャネル別仕様相違点 248
12.3 構成 249
12.4 レジスタ説明 250
12.4.1 チャネル別レジスター覧 250
12.4.2 TBxEN(イネーブルレジスタ) 251
12.4.3 TBxRUN(RUN レジスタ) 252
12.4.4 TBxCR(コントロールレジスタ) 253
12.4.5 TBxMOD(モードレジスタ) 254
12.4.6 TBxFFCR(フリップフロップコントロールレジスタ) 255
12.4.7 TBxST(ステータスレジスタ) 256
12.4.8 TBxIM(割り込みマスクレジスタ) 257
12.4.9 TBxUC(アップカウンタキャプチャレジスタ) 258
12.4.10 TBxRG0(タイマレジスタ 0) 259
12.4.11 TBxRG1(タイマレジスタ 1) 259
12.4.12 TBxCP0(キャプチャレジスタ 0) 260
12.4.13 TBxCP1(キャプチャレジスタ 1) 260

12.4.14 TBxDMA(DMA 要求許可レジスタ)....261
12.5 回路別の動作説明....262
12.5.1 プリスケーラ....262
12.5.2 アップカウンタ(UC)....267
12.5.3 タイマレジスタ(TBxRG0, TBxRG1)....267
12.5.4 キャプチャ制御....268
12.5.5 キャプチャレジスタ(TBxCP0, TBxCP1)....268
12.5.6 アップカウンタキャプチャレジスタ(TBxUC)....268
12.5.7 コンパレータ(CP0, CP1)....268
12.5.8 タイマフリップフロップ(TBxFF0)....268
12.5.9 キャプチャ割り込み(INTCAPx0, INTCAPx1)....268
12.6 モード別動作説明....269
12.6.1 16 ビットインタバルタイマモード....269
12.6.2 16 ビットイベントカウンタモード....269
12.6.3 16 ビット PPG (プログラマブル矩形波)出力モード....270
12.6.4 タイマ同期モード....272
12.6.5 外部トリガカウントスタートモード....272
12.7 キャプチャ機能を利用した応用例....273
12.7.1 外部トリガパルスからのワンショットパルス出力....273
12.7.2 周波数測定....275
12.7.3 パルス幅測定....275
12.7.4 時間差測定....276

第 13 章 USB デバイスコントローラ (USBD)

13.1 システム概要....277
13.2 システム構成....278
13.2.1 AHB バスブリッジ (UDC2AB)....279
13.2.1.1 機能/特長
13.2.1.2 構成
13.2.1.3 Clock ドメイン
13.2.2 東芝 USB-Spec2.0 デバイスコントローラ (UDC2)....284
13.2.2.1 機能/特徴
13.2.2.2 各フラグ仕様
13.2.2.3 EP に対して発行するコマンドの説明
13.3 USB バスとの接続方法....292
13.4 レジスタ 説明....293
13.4.1 UDC2AB レジスタ....293
13.4.1.1 UDC2AB レジスタ一覧
13.4.1.2 UDFSINTSTS (Interrupt Status Register)
13.4.1.3 UDFSINTENB(Interrupt Enable Register)
13.4.1.4 UDFSMWTOUT(Master Write Timeout Register)
13.4.1.5 UDFSC2STSET(UDC2 Setting Register)
13.4.1.6 UDFSMSTSET(DMAC Setting Register)
13.4.1.7 UDFSDMACRDREQ(DMAC Read Requeset Register)
13.4.1.8 UDFSDMACRDVL(DMAC Read Value Register)
13.4.1.9 UDFSUDC2RDREQ(UDC2 Read Request Register)
13.4.1.10 UDFSUDC2RDVL(UDC2 Read Value Register)
13.4.1.11 UDFSARBTSET(Arbiter Setting Register)
13.4.1.12 UDFSMWSADR(Master Write Start Address Register)
13.4.1.13 UDFSMWEADR(Master Write End Address Register)
13.4.1.14 UDFSMWCADR(Master Write Current Address Register)
13.4.1.15 UDFSMWAHBADR(Master Write AHB Address Register)
13.4.1.16 UDFSMRSADR(Master Read Start Address Register)
13.4.1.17 UDFSMREADR(Master Read End Address Register)
13.4.1.18 UDFSMRCADR(Master Read Current Address Register)
13.4.1.19 UDFSMRAHBADR(Master Read AHB Address Register)
13.4.1.20 UDFSPWCTL(Power Detect Control Register)
13.4.1.21 UDFSMSTSTS(Master Status Register)
13.4.1.22 UDFSTOUTCNT(Timeout Count Register)
13.4.2 UDC2 レジスタ....316
13.4.2.1 UDC2 レジスタ一覧
13.4.2.2 UDC2 register へのアクセス方法
13.4.2.3 UDFS2ADR(Address-State register)
13.4.2.4 UDFS2FRM(Frame register)
13.4.2.5 UDFS2CMD(Command register)

13.4.2.6 UDFS2BRQ(bRequest-bmRequest Type register)
13.4.2.7 UDFS2WVL(wValue register)
13.4.2.8 UDFS2WIDX(wIndex register)
13.4.2.9 UDFS2WLGTH(wLength register)
13.4.2.10 UDFS2INT(INT register)
13.4.2.11 UDFS2INTEP(INT_EP register)
13.4.2.12 UDFS2INTEPMSK(INT_EP_MASK register)
13.4.2.13 UDFS2INTRX0(INT_RX_DATA0 register)
13.4.2.14 UDFS2INTNAK(INT_NAK register)
13.4.2.15 UDFS2INTNAKMSK(INT_NAK_MASK register)
13.4.2.16 UDFS2EP0MSZ(EP0_MaxPacketSize register)
13.4.2.17 UDFS2EP0STS(EP0_Status register)
13.4.2.18 UDFS2EP0DSZ(EP0_Datasize register)
13.4.2.19 UDFS2EP0FIFO(EP0_FIFO register)
13.4.2.20 UDFS2EPxMSZ(EPx_MaxPacketSizeRegister)
13.4.2.21 UDFS2EPxSTS(EPx_Status register)
13.4.2.22 UDFS2EPxDSZ(EPx_Datasize register)
13.4.2.23 UDFS2EPxFIFO(EPx_FIFO register)
13.5 UDC2AB 動作詳細 346
13.5.1 リセット 346
13.5.2 割り込み 347
13.5.2.1 INTUSB 割り込み
13.5.2.2 INTUSBWKUP 割り込み
13.5.3 動作シーケンス 349
13.5.4 マスタ転送動作 351
13.5.4.1 マスタリード転送
13.5.4.2 マスタライト転送
13.5.5 USB パワーマネージメント制御 355
13.5.5.1 パワーマネージメント制御信号接続図
13.5.5.2 USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス
13.5.6 USB リセット 356
13.5.7 サスペンド、レジューム 357
13.5.7.1 サスペンド状態への移行
13.5.7.2 サスペンド状態からの復帰(USB ホストからのレジューム)
13.5.7.3 サスペンド状態からのレジューム(ディスコネクト)
13.5.7.4 サスペンドからのリモートウェイクアップ
13.6 USB Device 応答 365
13.7 各 EP の転送における制御フロー 367
13.7.1 EP0 367
13.7.1.1 Control-RD 転送
13.7.1.2 Control-WR 転送(DATA-Stage なし)
13.7.1.3 Control-WR 転送(DATA-Stage あり)
13.7.1.4 INT_STATUS_NAK フラグの使用例
13.7.1.5 スタンダードリクエスト受信時の処理
13.7.2 EP0 以外の EP 381
13.8 サスペンドレジューム状態 382
13.8.1 サスペンド状態への移行 382
13.8.2 サスペンド状態からの復帰 382
13.8.2.1 ホストからのレジュームによる復帰
13.8.2.2 UDC2 からのリモートウェイクアップ
13.9 USB-Spec2.0 デバイスコントローラ Appendix 383
13.9.1 Appendix A システム・パワー・マネージメント関連 383
13.9.1.1 コネクト/ディスコネクト動作
13.9.1.2 リセット動作
13.9.1.3 サスペンド動作
13.9.1.4 レジューム動作
13.9.2 Appendix B MaxPacketSize 奇数バイト設定関連 389
13.9.2.1 UDFS2EPxMSZ の奇数設定について
13.9.3 Appendix C Isochronous 転送関連 392
13.9.3.1 Isochronous 転送使用 EP へのアクセスの注意点
13.9.3.2 Isochronous 転送使用 EP へのコマンド制約

第 14 章 シリアルチャネル(SIO/UART)

14.1 概要 393
14.2 チャネル別仕様相違点 393
14.3 構成 394

14.4 レジスタ説明.....395
14.4.1 チャネル別レジスター覧.....395
14.4.2 SCxEN (イネーブルレジスタ).....396
14.4.3 SCxBUF (バッファレジスタ).....397
14.4.4 SCxCR (コントロールレジスタ).....398
14.4.5 SCxMOD0 (モードコントロールレジスタ 0).....399
14.4.6 SCxMOD1 (モードコントロールレジスタ 1).....400
14.4.7 SCxMOD2 (モードコントロールレジスタ 2).....401
14.4.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ), SCxBRADD (ボーレートジェネレータコントロールレジスタ 2).....403
14.4.9 SCxFCNF (FIFO コンフィグレジスタ).....405
14.4.10 SCxRFC (受信 FIFO コンフィグレジスタ).....407
14.4.11 SCxTFC (送信 FIFO コンフィグレジスタ) (注 2).....408
14.4.12 SCxRST (受信 FIFO ステータスレジスタ).....409
14.4.13 SCxTST (送信 FIFO ステータスレジスタ).....410
14.4.14 SCxDMA (DMA 要求許可レジスタ).....411
14.5 動作モード.....412
14.6 データフォーマット.....413
14.6.1 データフォーマット一覧.....413
14.6.2 パリティ制御.....414
14.6.2.1 送信
14.6.2.2 受信
14.6.3 STOP ビット長.....414
14.7 クロック制御.....415
14.7.1 プリスケーラ.....415
14.7.2 シリアルクロック生成回路.....419
14.7.2.1 ボーレートジェネレータ
14.7.2.2 クロック選択回路
14.8 送信/受信バッファと FIFO.....423
14.8.1 構成.....423
14.8.2 送信/受信バッファ.....423
14.8.3 FIFO.....423
14.9 ステータスフラグ.....424
14.10 エラーフラグ.....424
14.10.1 OERR フラグ.....424
14.10.2 PERR フラグ.....425
14.10.3 FERR フラグ.....425
14.11 受信.....426
14.11.1 受信カウンタ.....426
14.11.2 受信制御部.....426
14.11.2.1 I/O インタフェースモードの場合
14.11.2.2 UART モードの場合
14.11.3 受信動作.....426
14.11.3.1 受信バッファの動作
14.11.3.2 受信 FIFO の動作
14.11.3.3 I/O インタフェースモード、SCLK 出力での受信
14.11.3.4 受信データの読み出し
14.11.3.5 ウエイクアップ機能
14.11.3.6 オーバランエラー
14.12 送信.....431
14.12.1 送信カウンタ.....431
14.12.2 送信制御部.....431
14.12.2.1 I/O インタフェースモードの場合
14.12.2.2 UART モードの場合
14.12.3 送信動作.....432
14.12.3.1 送信バッファの動作
14.12.3.2 送信 FIFO の動作
14.12.3.3 I/O インタフェースモード、SCLK 出力での送信
14.12.3.4 アンダーランエラー
14.13 ハンドシェイク機能.....435
14.14 割り込み/エラー発生タイミング.....436
14.14.1 受信割り込み.....436
14.14.1.1 シングルバッファ/ダブルバッファ構成の場合
14.14.1.2 FIFO 使用の場合
14.14.2 送信割り込み.....437

14.14.2.1 シングルバッファ/ダブルバッファ構成の場合
14.14.2.2 FIFO 使用の場合
14.14.3 エラー発生....438
14.14.3.1 UART モード
14.14.3.2 I/O インタフェースモード
14.15 ソフトウエアリセット....438
14.16 DMA 要求....438
14.17 モード別動作説明....439
14.17.1 モード 0 (I/O インタフェースモード)....439
14.17.1.1 送信
14.17.1.2 受信
14.17.1.3 送受信(全二重)
14.17.2 モード 1 (7 ビット UART モード)....450
14.17.3 モード 2 (8 ビット UART モード)....450
14.17.4 モード 3 (9 ビット UART モード)....451
14.17.4.1 ウェイクアップ機能
14.17.4.2 プロトコル

第 15 章 シリアルバスインタフェース(I2C/SIO)

15.1 構成....454
15.2 レジスタ説明....455
15.2.1 チャネル別レジスタ一覧....455
15.3 I2C バスモード時のデータフォーマット....456
15.4 I2C バスモード時のコントロールレジスタ....457
15.4.1 SBIxCR0(コントロールレジスタ 0)....457
15.4.2 SBIxCR1(コントロールレジスタ 1)....458
15.4.3 SBIxCR2(コントロールレジスタ 2)....460
15.4.4 SBIxSR(ステータスレジスタ)....461
15.4.5 SBIxBR0(ボーレートレジスタ 0)....462
15.4.6 SBIxDBR(データバッファレジスタ)....463
15.4.7 SBIxI2CAR(I2C バスアドレスレジスタ)....464
15.5 I2C バスモード時の制御....465
15.5.1 シリアルクロック....465
15.5.1.1 クロックソース
15.5.1.2 クロック同期化
15.5.2 アクノリッジメントモードの指定....466
15.5.3 転送ビット数の選択....466
15.5.4 スレーブアドレスとアドレス認識モードの設定....466
15.5.5 動作モード....467
15.5.6 トランスミッタ/レシーバの選択....467
15.5.7 マスタ/スレーブの選択....467
15.5.8 スタート/ストップコンディションの発生....468
15.5.9 割り込みサービス要求と解除....468
15.5.10 アービトレーションロスト検出モニタ....469
15.5.11 スレーブアドレス一致検出モニタ....470
15.5.12 ゼネラルコール検出モニタ....470
15.5.13 最終受信ビットモニタ....471
15.5.14 データバッファレジスタ(SBIxDBR)....471
15.5.15 ボーレートレジスタ(SBIxBR0)....471
15.5.16 ソフトウエアリセット....471
15.6 I2C バスモード時のデータ転送手順....472
15.6.1 デバイスの初期化....472
15.6.2 スタートコンディション, スレーブアドレスの発生....472
15.6.2.1 マスタモードの場合
15.6.2.2 スレーブモードの場合
15.6.3 1 ワードのデータ転送....474
15.6.3.1 マスタモードの場合(<MST> = "1")
15.6.3.2 スレーブモードの場合(<MST> = "0")
15.6.4 ストップコンディションの発生....478
15.6.5 再スタートの手順....478
15.6.6 DMA によるデータ転送....479
15.6.6.1 マスタモードモードでの転送手順

15.6.6.2 スレーブモードでの転送手順
15.7 SIO モード時のコントロールレジスタ 488
15.7.1 SBIxCR0(コントロールレジスタ 0) 488
15.7.2 SBIxCR1(コントロールレジスタ 1) 489
15.7.3 SBIxDBR(データバッファレジスタ) 490
15.7.4 SBIxCR2(コントロールレジスタ 2) 491
15.7.5 SBIxSR(ステータスレジスタ) 492
15.7.6 SBIxBR0(ボーレートレジスタ 0) 493
15.8 SIO モード時の制御 494
15.8.1 シリアルクロック 494
15.8.1.1 クロックソース
15.8.1.2 シフトエッジ
15.8.2 転送モード 496
15.8.2.1 8 ビット送信モード
15.8.2.2 8 ビット受信モード
15.8.2.3 8 ビット送受信モード
15.8.2.4 送信終了時の最終ビット保持時間

第 16 章 アナログ/デジタルコンバータ(ADC)

16.1 特徴 503
16.2 構成 504
16.3 レジスタ 505
16.3.1 レジスター覧 505
16.3.2 ADCLK (クロック設定レジスタ) 506
16.3.3 ADMOD0 (モード設定レジスタ 0) 508
16.3.4 ADMOD1 (モード設定レジスタ 1) 509
16.3.5 ADMOD2 (モード設定レジスタ 2) 510
16.3.6 ADMOD3 (モード設定レジスタ 3) 511
16.3.7 ADMOD4 (モード設定レジスタ 4) 512
16.3.8 ADMOD5 (モード設定レジスタ 5) 513
16.3.9 ADMOD6 (モード設定レジスタ 6) 514
16.3.10 ADMOD7 (モード設定レジスタ 7) 515
16.3.11 ADCMPCR0 (監視割り込み設定レジスタ 0) 516
16.3.12 ADCMPCR1 (監視割り込み設定レジスタ 1) 517
16.3.13 ADCMP0 (変換結果比較レジスタ 0) 518
16.3.14 ADCMP1 (変換結果比較レジスタ 1) 519
16.3.15 ADREG00 ~ ADREG11 (通常 AD 変換結果レジスタ 00 ~ 11) 520
16.3.16 ADREGSP (最優先 AD 変換結果格納レジスタ) 521
16.4 動作説明 522
16.4.1 アナログ基準電圧 522
16.4.2 AD 変換モード 522
16.4.2.1 通常 AD 変換
16.4.2.2 最優先 AD 変換
16.4.3 AD 監視機能 523
16.4.4 入力チャネルの選択 525
16.4.5 AD 変換動作詳細 526
16.4.5.1 AD 変換の起動
16.4.5.2 AD 変換動作
16.4.5.3 通常 AD 変換中の最優先変換要求
16.4.5.4 リピート変換モードの停止
16.4.5.5 通常 AD 変換の再起動
16.4.5.6 変換終了
16.4.5.7 割り込み発生タイミングと変換結果格納レジスタ

第 17 章 フラッシュメモリ動作説明

17.1 フラッシュメモリの特長 535
17.1.1 メモリ容量と構成 535
17.1.2 機能 536
17.1.3 動作モード 536

17.1.3.1 モードの説明
17.1.3.2 モードの決定
17.1.4 メモリマップ....539
17.1.5 プロテクト/セキュリティ機能....540
17.1.5.1 プロテクト機能
17.1.5.2 セキュリティ機能
17.1.6 レジスタ....541
17.1.6.1 レジスター覧
17.1.6.2 FCFLCS(フラッシュコントロールレジスタ)
17.1.6.3 FCSECBIT(セキュリティビットレジスタ)
17.2 フラッシュメモリ詳細....544
17.2.1 機能....544
17.2.2 フラッシュメモリの動作モード....544
17.2.3 ハードウエアリセット....544
17.2.4 コマンド実行方法....545
17.2.5 コマンド説明....545
17.2.5.1 自動ページプログラム
17.2.5.2 自動チップ消去
17.2.5.3 自動ブロック消去
17.2.5.4 自動プロテクトビットプログラム
17.2.5.5 自動プロテクトビット消去
17.2.5.6 ID-Read
17.2.5.7 Read コマンド、Read/リセットコマンド (ソフトウエアリセット)
17.2.6 コマンドシーケンス....549
17.2.6.1 コマンドシーケンス一覧
17.2.6.2 バスライトサイクル時のアドレスビット構成
17.2.6.3 ブロックアドレス(BA)
17.2.6.4 プロテクトビットの指定(PBA)
17.2.6.5 ID-Read のコード(IA, ID)
17.2.6.6 コマンドシーケンス例
17.2.7 フローチャート....553
17.2.7.1 自動プログラム
17.2.7.2 自動消去
17.3 シングルブートモードによる書き替え方法....555
17.3.1 モード設定....555
17.3.2 インタフェース仕様....555
17.3.3 メモリの制約について....556
17.3.4 動作コマンド....556
17.3.4.1 RAM 転送
17.3.4.2 フラッシュメモリチップ消去およびプロテクトビット消去
17.3.5 コマンドによらず共通の動作....557
17.3.5.1 シリアル動作モード判定
17.3.5.2 ACK 応答データ
17.3.5.3 パスワード判定
17.3.5.4 CHECK SUM の計算方法
17.3.6 RAM 転送の転送フォーマット....563
17.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット....565
17.3.8 ブートプログラム全体フローチャート....567
17.3.9 内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順....568
17.3.9.1 Step-1
17.3.9.2 Step-2
17.3.9.3 Step-3
17.3.9.4 Step-4
17.3.9.5 Step-5
17.3.9.6 Step-6
17.4 ユーザーブートモードによる書き替え方法....571
17.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例....571
17.4.1.1 Step-1
17.4.1.2 Step-2
17.4.1.3 Step-3
17.4.1.4 Step-4
17.4.1.5 Step-5
17.4.1.6 Step-6
17.4.2 (1-B)書き替えルーチンを外部から転送する手順例....575
17.4.2.1 Step-1
17.4.2.2 Step-2
17.4.2.3 Step-3
17.4.2.4 Step-4
17.4.2.5 Step-5
17.4.2.6 Step-6

第 18 章　ポート部等価回路図

18.1　PA0 ~ 7,PB0 ~ 7.....579
18.2　PC0 ~ 2,PD0 ~ 7,PE0 ~ 7,PF1 ~ 7,PG0 ~ 4,PH0 ~ 4,PI0 ~ 7.....579
18.3　PG5.....580
18.4　PJ0 ~ 7,PK0 ~ 3.....580
18.5　PF0.....581
18.6　X1,X2.....581
18.7　RESET,NMI.....581
18.8　BSC.....582
18.9　MODE.....582
18.10　FTEST3.....582
18.11　AVREFH,AVREFL.....583

第 19 章　電気的特性

19.1　絶対最大定格.....585
19.2　DC 電気的特性(1/3).....586
19.3　DC 電気的特性 (2/3).....587
19.4　DC 電気的特性 (3/3).....588
19.5　12 ビット AD コンバータ変換特性.....589
19.6　AC 電気的特性.....590
19.6.1　AC 測定条件.....590
19.6.2　シリアルチャネル (SIO/UART).....590
19.6.2.1　I/O インタフェースモード
19.6.3　シリアルバスインタフェース(I2C/SIO).....592
19.6.3.1　I2C モード
19.6.3.2　クロック同期式 8 ビット SIO モード
19.6.4　16 ビットタイマ／イベントカウンタ.....595
19.6.4.1　イベントカウンタ
19.6.4.2　キャプチャ
19.6.5　外部割り込み.....595
19.6.6　NMI.....596
19.6.7　SCOUT 端子 AC 特性.....596
19.6.8　ADTRG トリガ入力端子 AC 特性.....596
19.6.9　USB タイミング.....596
19.6.10　デバッグ通信.....597
19.6.10.1　SWD インタフェース
19.6.10.2　JTAG インタフェース
19.6.11　ETM トレース.....598
19.6.12　内蔵発振回路特性.....598
19.6.13　外部クロック入力.....598
19.6.14　フラッシュ特性.....599
19.7　発振回路.....600
19.7.1　セラミック発振子.....600
19.7.2　水晶発振子.....600
19.7.2.1　プリント基板の設計に関するご注意
19.8　取り扱い上のご注意.....601
19.8.1　電源投入時の電源の立ち上がりについて.....601

第 20 章　パッケージ寸法図



CMOS 32 ビット マイクロコントローラ

TMPM365FYXBG

TMPM365FYXBG は、ARM 社 Cortex™-M3 コアを内蔵した 32 ビット RISC マイクロプロセッサです。

製品名	ROM (FLASH)	RAM	パッケージ
TMPM365FYXBG	256 Kbyte	24 Kbyte	LFBGA105

機能概要と特長は次のとおりです。

1.1 機能概要

1. ARM 社製 Cortex-M3 コアを使用
   a. Thumb®-2 命令で、コード効率の向上を実現
      ・プログラムフロー改善のための新しい 16 ビット命令
      ・性能とコードサイズ向上のための新しい 32 ビット命令
      ・32 ビット/16 ビット混在の命令セットでコード効率を向上
   b. 高性能化と低消費電力化を同時に実現
      【高性能化】
      ・32 ビット乗算(32 × 32 = 32 ビット)を 1 クロックで実行
      ・除算を 2~12 クロックで実行
      【低消費電力化】
      ・低消費電力ライブラリを使用した最適化設計
      ・プロセッサコアの動作を停止させるスタンバイ機能
   c. リアルタイム制御に向いた高速割り込み応答
      ・実行時間の長い命令は割り込みで中断可能
      ・スタックへの PUSH をハードウエアで自動的に実行

2. 内蔵プログラムメモリ/データメモリ
   ・ 内蔵 SRAM : 24 Kbyte
   ・ 内蔵 FlashROM : 256 Kbyte

3. DMA コントローラ(DMAC) : 2 チャネル
   転送対象:内蔵メモリ、周辺回路

4. 16 ビットタイマ(TMRB) : 10 チャネル
   ・ 16 ビットインタバルタイマモード
   ・ 16 ビットイベントカウンタモード
   ・ 16 ビット PPG 出力

・ インプットキャプチャ機能

5. ウォッチドッグタイマ(WDT) : 1 チャネル

リセットまたはマスク不能割り込み(NMI)発生

6. 汎用シリアルインターフェース(SIO/UART) : 2 チャネル

UART/クロック同期式モード選択可能(4byte FIFO 内蔵）

7. シリアルバスインタフェース(I2C/SIO) : 2 チャネル

I2C バスモード/クロック同期式モード選択可能

8. USB Device コントローラ(USBD) : 1 チャネル
   - USB(Rev.2.0.） 対応
   - Full Speed 対応(12Mbps) (Low Speed は非対応).
   - 8 エンドポイントに対応

     エンドポイント 0 : コントロール 64 バイト × 1-FIFO

     エンドポイント 1 : バルク (Device → Host : IN 転送) 64 バイト × 2-FIFO

     エンドポイント 2 : バルク (Host → Device : OUT 転送) 64 バイト × 2-FIFO

     エンドポイント 3 : バルク (Device → Host : IN 転送) 64 バイト × 2-FIFO

     エンドポイント 4 : バルク (Host → Device : OUT 転送) 64 バイト × 2-FIFO

     エンドポイント 5 : バルク (Device → Host : IN 転送) 64 バイト × 2-FIFO

     エンドポイント 6 : バルク (Host → Device : OUT 転送) 64 バイト × 2-FIFO

     エンドポイント 7 : 割り込み (Device → Host : IN 転送) 64 バイト × 1-FIFO

     エンドポイント 1 から 7 は 4 つのモードをサポートします。

9. 12 ビット AD コンバータ(ADC) : 12 チャネル
   - 内部タイマトリガスタート / 外部トリガスタートが可能
   - チャネル固定/スキャンモード
   - シングル/リピートモード
   - AD 監視機能 2ch
   - 変換時間 1 μs (fsys = 40 MHz 時), 1.67 μs (fsys = 48 MHz 時)

10. 割り込み機能
    - 内部 47 本 : 7 レベルの優先順位設定可能（ウォッチドッグタイマ割り込みを除く）
    - 外部 10 本 : 7 レベルの優先順位設定可能

11. マスク不能割り込み(NMI)

ウォッチドッグタイマまたは $\overline{\text{NMI}}$ 端子により発生

12. 入出力ポート(PORT) : 74 端子 (5V トレラント入力端子 1 本を含む)

13. 低消費電力モード

低消費電力モード : IDLE, STOP1

14. クロックジェネレータ(CG)
    - PLL 内蔵 (8 逓倍) : システムクロックは 8 逓倍を 2 分周したクロックとなります。
    - クロックギア機能 : 高速クロックを 1/1, 1/2, 1/4, 1/8, 1/16 に分周可能

15. エンディアン

    リトルエンディアン

16. デバッグインタフェース

    JTAG / SWD / SWV / TRACE (DATA 4bit)

17. JTAG インタフェース

    バウンダリースキャン

18. 最大動作周波数 : 48 MHz

19. 動作電圧範囲

    2.7 V~3.6 V (内蔵レギュレータ使用)

    3.0 V~3.45 V (USB 機能使用時)

20. 温度範囲
    - −40°C ~ 85°C (Flash W/E 時以外)
    - 0°C ~ 70°C (Flash W/E 時)

21. パッケージ

    LFBGA105 (9mm × 9mm, 0.5mm pitch)

1.2 ブロック図

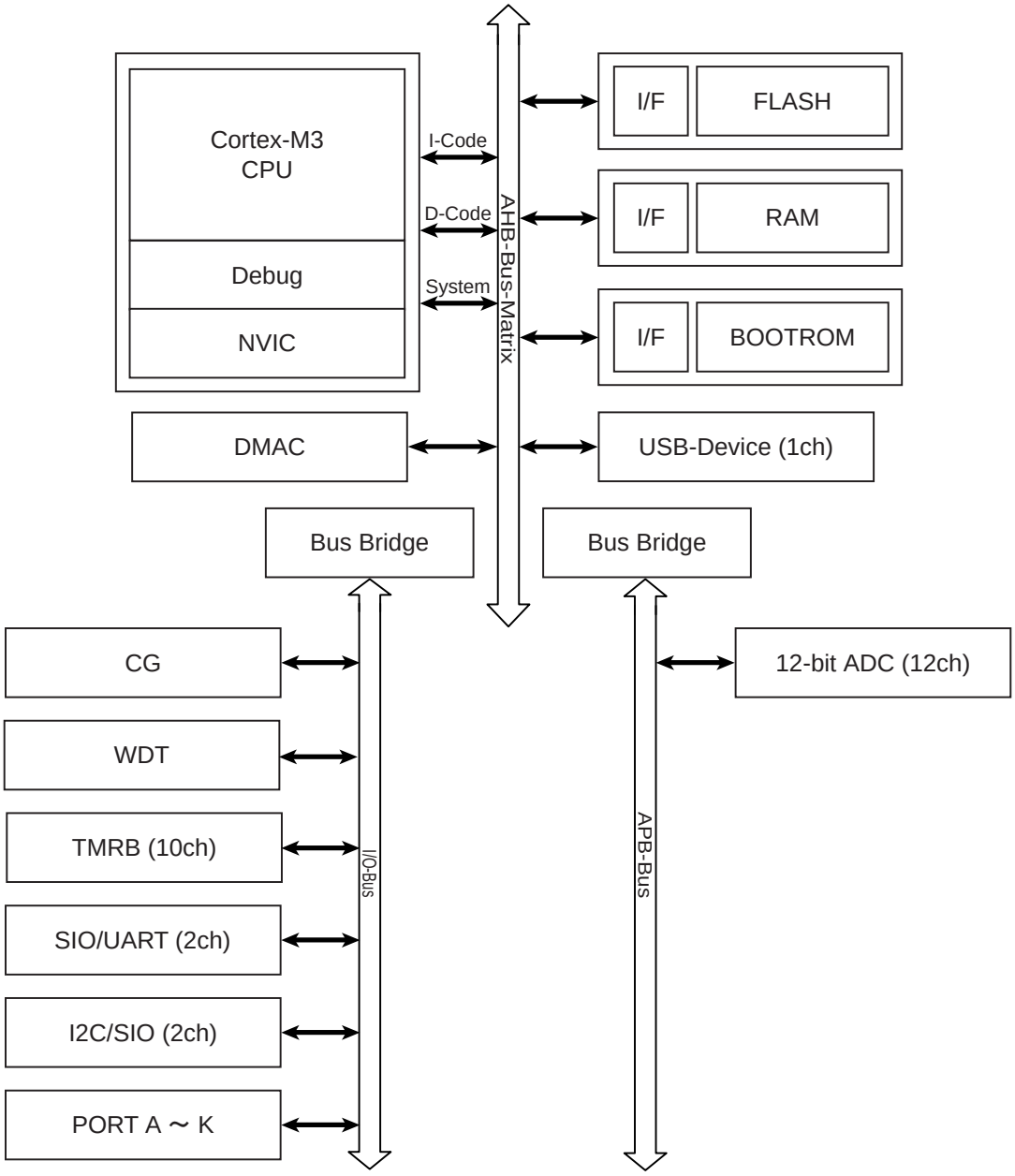


図 1-1 TMPM365FYXBG ブロック図

1.3 ピン配置図(Top view)

TMPM365FYXBG のピン配置図は、図 1-2 のとおりです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15
C1	C2	—	—	—	—	—	—	—	—	—	—	—	C14	C15
D1	D2	—	—	—	—	—	—	—	—	—	—	—	D14	D15
E1	E2	—	—	—	—	—	—	—	—	—	—	—	E14	E15
F1	F2	—	—	—	—	—	—	—	—	—	—	—	F14	F15
G1	G2	—	—	—	—	—	—	—	—	—	—	—	G14	G15
H1	H2	—	—	—	—	—	—	—	—	—	—	—	H14	H15
J1	J2	—	—	—	—	—	—	—	—	—	—	—	J14	J15
K1	K2	—	—	—	—	—	—	—	—	—	—	—	K14	K15
L1	L2	—	—	—	—	—	—	—	—	—	—	—	L14	L15
M1	M2	—	—	—	—	—	—	—	—	—	—	—	M14	M15
N1	N2	N3	—	—	—	—	—	—	—	—	—	—	N14	N15
P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15
R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	R12	R13	R14	R15

図 1-2 ピン配置図 (BGA105)

1.4 ピン名称と機能

TMPM365FYXBG の入出力ピン名称と機能は、表 1-1 と表 1-2 の通りです。

1.4.1 ピン番号順

表 1-1 ピン名称と機能<ピン番号順> (1/6)

分類	ピン番号	記号	入出力	機能
機能	A1	PK0 AIN08 INT2 TB1IN0	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割り込み端子 TMRB インプットキャプチャ端子
機能	A2	PJ7 AIN07 INT9 TB0IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割り込み端子 TMRB インプットキャプチャ端子
機能	A3	PJ5 AIN05	入出力 入力	入出力ポート アナログ入力端子
機能	A4	PJ3 AIN03	入出力 入力	入出力ポート アナログ入力端子
機能	A5	PJ1 AIN01	入出力 入力	入出力ポート アナログ入力端子
電源	A6	RVDD3	−	電源端子(レギュレータ用)
電源	A7	RVSS	−	GND 端子(レギュレータ用)
機能	A8	REGOUT	出力	レギュレータ出力端子
機能	A9	REGIN	入力	レギュレータ入力端子
機能	A10	PE2 SCLK0 TB2OUT $\overline{\text{CTS0}}$	入出力 入出力 出力 入力	入出力ポート SIO クロック端子 TMRB 出力端子 SIO ハンドシェーク用端子
電源	A11	DVDD3A	−	電源端子
クロック	A12	X1	入力	高速発振子接続端子/外部クロック入力端子
電源	A13	DVSSC	−	発振子用 GND 端子
クロック	A14	X2	出力	高速発振子接続端子
機能	A15	PE0 TXD0	入出力 出力	入出力ポート SIO 送信端子
機能	B1	PK1 AIN09 INT3 TB1IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割り込み端子 TMRB インプットキャプチャ端子
機能	B2	PJ6 AIN06 TB0IN0	入出力 入力 入力	入出力ポート アナログ入力端子 TMRB インプットキャプチャ端子

表 1-1 ピン名称と機能<ピン番号順> (2/6)

分類	ピン番号	記号	入出力	機能
機能	B3	PJ4 AIN04	入出力 入力	入出力ポート アナログ入力端子
機能	B4	PJ2 AIN02	入出力 入力	入出力ポート アナログ入力端子
機能	B5	PJ0 AIN00	入出力 入力	入出力ポート アナログ入力端子
電源	B6	RVDD3	−	電源端子
機能	B7	PE7 INT4	入出力 入力	入出力ポート 外部割り込み端子
機能	B8	PE6 SCK1	入出力 入出力	入出力ポート SIO モードクロック端子
機能	B9	PE5 SCL1/SI1	入出力 入出力	入出力ポート I2C モードクロック、SIO モード受信端子
機能	B10	PE4 SDA1/SO1	入出力 入出力	入出力ポート I2C モード送受信、SIO モード送信端子
機能	B11	PE3 INT5 TB3OUT	入出力 入力 出力	入出力ポート 外部割り込み端子 TMRB 出力端子
機能	B12	$\overline{\text{NMI}}$	入力	マスク不能割り込み (注)ノイズフィルタ (Typ.条件で約 30ns)です
電源	B13	DVSSA	−	GND 端子
制御	B14	MODE	入力	モード端子: (注)必ず GND 端子に接続して下さい。
機能	B15	$\overline{\text{RESET}}$	入力	リセット入力端子 (注)プルアップおよびノイズフィルタ (Typ.条件で約 30ns)です
機能	C1	PK2 AIN10 TB6IN0	入出力 入力 入力	入出力ポート アナログ入力端子 TMRB インプットキャプチャ端子
機能	C2	PK3 AIN11 TB6IN1	入出力 入力 入力	入出力ポート アナログ入力端子 TMRB インプットキャプチャ端子
機能	C14	PE1 RXD0	入出力 入力	入出力ポート SIO 受信端子
機能	C15	PD0 TB7OUT	入出力 出力	入出力ポート TMRB 出力端子
電源	D1	AVREFH	入力	AD コンバータ用基準電源端子 (注)AD コンバータを使用しない場合でも電源に接続してください。
電源	D2	AVDD3	入力	AD コンバータ用電源端子 (注）AD コンバータを使用しない場合でも、電源に接続してください
機能	D14	PD2 TB9OUT	入出力 出力	入出力ポート TMRB 出力端子

表 1-1 ピン名称と機能<ピン番号順> (3/6)

分類	ピン番号	記号	入出力	機能
機能	D15	PD1 TB8OUT	入出力 出力	入出力ポート TMRB 出力端子
電源	E1	AVREFL	入力	AD コンバータ基準電源端子 (注）AD コンバータを使用しない場合でも、GND 端子に接続してください。
電源	E2	AVSS	入力	AD コンバータ用 GND 端子 (注）AD コンバータを使用しない場合でも、GND 端子に接続してください。
機能	E14	PD4	入出力	入出力ポート
機能	E15	PD3 $\overline{\text{ADTRG}}$	入出力 入力	入出力ポート AD トリガ入力
電源	F1	DVSSA	入力	AD コンバータ用 GND 端子 (注）AD コンバータを使用しない場合でも、GND 端子に接続してください。
制御	F2	BSC	入力	バウンダリスキャン制御端子
電源	F14	DVDD3C	−	USB 用電源端子
電源	F15	DVDD3C	−	USB 用電源端子
電源	G1	DVDD3A	−	電源端子
機能/ デバッグ	G2	PI7 $\overline{\text{TRST}}$	入出力 入力	入出力ポート デバッグ用端子
電源	G14	DVSS3C	−	USB 用 GND 端子
機能	G15	D+	入出力	USB データプラス
機能/ デバッグ	H1	PI2 TRACECLK	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	H2	PI6 TDI	入出力 入力	入出力ポート デバッグ用端子
電源	H14	DVSS3C	−	USB 用 GND 端子
機能	H15	D−	入出力	USB データマイナス
機能/ デバッグ	J1	PI1 TRACEDATA0	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	J2	PI5 TDO/SWV	入出力 出力	入出力ポート デバッグ用端子
電源	J14	DVSSA	−	GND 端子
電源	J15	DVDD3A	−	電源端子 n
機能/ デバッグ	K1	PI0 TRACEDATA1	入出力 出力	入出力ポート デバッグ用端子
機能/ デバッグ	K2	PI4 TMS/SWDIO	入出力 入出力	入出力ポート デバッグ用端子
機能	K14	PD6	入出力	入出力ポート

表 1-1 ピン名称と機能<ピン番号順> (4/6)

分類	ピン番号	記号	入出力	機能
機能	K15	PD5	入出力	入出力ポート
機能/ デバッグ	L1	PH0 TRACEDATA2	入出力 出力	入出力ポート デバッグ用端子
機能 デバッグ	L2	PI3 TCK/SWCLK	入出力 入力	入出力ポート デバッグ用端子
機能	L14	PD7 SCOUT	入出力 出力	入出力ポート システムクロック出力
機能	L15	PB7	入出力	入出力ポート
機能/ デバッグ	M1	PH1 TRACEDATA3	入出力 出力	入出力ポート デバッグ用端子
機能	M2	PH2 TB4OUT	入出力 出力	入出力ポート TMRB 出力端子
機能	M14	PB5	入出力	入出力ポート
機能	M15	PB6	入出力	入出力ポート
機能	N1	PH3 TB5OUT	入出力 出力	入出力ポート TMRB 出力端子
機能	N2	PH4 INT8	入出力 入力	入出力ポート 外部割り込み端子
制御	N3	FTEST3	–	TEST 端子: (注) 必ず OPEN にしてください
機能	N14	PB3	入出力	入出力ポート
機能	N15	PB4	入出力	入出力ポート
機能	P1	PG5 INT1 USBPON	入出力 入力 入力	入出力ポート （5V トレラント入力） (注 1) 外部割り込み端子 USB 接続検出端子(VBUS 検出）
機能	P2	PG4 TB4IN1	入出力 入力	入出力ポート TMRB インプットキャプチャ端子
機能	P3	PG2 SCK0 TB3IN1	入出力 入出力 入力	入出力ポート SIO モードクロック端子 TMRB インプットキャプチャ端子
機能	P4	PG1 SCL0/SI0 TB3IN0	入出力 入出力 入力	入出力ポート I2C モードクロック、SIO モード受信端子 TMRB インプットキャプチャ端子
機能	P5	PG0 SDA0/SO0	入出力 入出力	入出力ポート I2C モード送受信、SIO モード送信端子
機能	P6	PF2	入出力	入出力ポート

表 1-1 ピン名称と機能<ピン番号順> (5/6)

分類	ピン番号	記号	入出力	機能
機能	P7	PF4 INT6 TB5IN0	入出力 入力 入力	入出力ポート 外部割り込み端子 TMRB インプットキャプチャ端子
機能	P8	PF5 INT7 TB5IN1	入出力 入力 入力	入出力ポート 外部割り込み端子 TMRB インプットキャプチャ端子
機能	P9	PF6	入出力	入出力ポート
機能	P10	PF7	入出力	入出力ポート
機能	P11	PA2	入出力	入出力ポート
機能	P12	PA4	入出力	入出力ポート
機能	P13	PA6	入出力	入出力ポート
機能	P14	PB1	入出力	入出力ポート
機能	P15	PB2	入出力	入出力ポート
機能	R1	PG3 INT0 TB4IN0	入出力 入力 入力	入出力ポート 外部割り込み端子 TMRB インプットキャプチャ端子
機能	R2	PC0 TXD1 TB2IN0	入出力 出力 入力	入出力ポート SIO 送信端子 TMRB インプットキャプチャ端子
機能	R3	PC1 RXD1 TB2IN1	入出力 入力 入力	入出力ポート SIO 受信端子 TMRB インプットキャプチャ端子
機能	R4	PC2 SCLK1 TB0OUT $\overline{\text{CTS1}}$	入出力 入出力 出力 入力	入出力ポート SIO クロック端子 TMRB 出力端子 SIO ハンドシェーク用端子
機能/ 制御	R5	PF0 $\overline{\text{BOOT}}$ TB6OUT	出力 入力 出力	出力ポート ブートモード端子 （$\overline{\text{RESET}}$ 信号の立ち上りで"Low"をサンプリングしてシングルブートモードになります） TMRB 出力端子
機能	R6	PF1	入出力	入出力ポート
機能	R7	PF3	入出力	入出力ポート
電源	R8	DVSSA	−	GND 端子
電源	R9	DVDD3A	−	電源端子
機能	R10	PA0	入出力	入出力ポート
機能	R11	PA1	入出力	入出力ポート

表 1-1 ピン名称と機能<ピン番号順> (6/6)

分類	ピン番号	記号	入出力	機能
機能	R12	PA3	入出力	入出力ポート
機能	R13	PA5	入出力	入出力ポート
機能	R14	PA7	入出力	入出力ポート
機能	R15	PB0	入出力	入出力ポート

注) 入力端子として使用時のみ、5V 入力が可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

1.4.2 ポート順

表 1-2 ピン名称と機能<ポート順> (1/6)

PORT	分類	ピン番号	記号	入出力	機能
PORT A	機能	R10	PA0	入出力	入出力ポート
PORT A	機能	R11	PA1	入出力	入出力ポート
PORT A	機能	P11	PA2	入出力	入出力ポート
PORT A	機能	R12	PA3	入出力	入出力ポート
PORT A	機能	P12	PA4	入出力	入出力ポート
PORT A	機能	R13	PA5	入出力	入出力ポート
PORT A	機能	P13	PA6	入出力	入出力ポート
PORT A	機能	R14	PA7	入出力	入出力ポート
PORT B	機能	R15	PB0	入出力	入出力ポート
PORT B	機能	P14	PB1	入出力	入出力ポート
PORT B	機能	P15	PB2	入出力	入出力ポート
PORT B	機能	N14	PB3	入出力	入出力ポート
PORT B	機能	N15	PB4	入出力	入出力ポート
PORT B	機能	M14	PB5	入出力	入出力ポート
PORT B	機能	M15	PB6	入出力	入出力ポート
PORT B	機能	L15	PB7	入出力	入出力ポート
PORT C	機能	R2	PC0 TXD1 TB2IN0	入出力 出力 入力	入出力ポート SIO 送信端子 TMRB インプットキャプチャ端子
PORT C	機能	R3	PC1 RXD1 TB2IN1	入出力 入力 入力	入出力ポート SIO 受信端子 TMRB インプットキャプチャ端子
PORT C	機能	R4	PC2 SCLK1 TB0OUT $\overline{\text{CTS1}}$	入出力 入出力 出力 入力	入出力ポート SIO クロック端子 TMRB 出力端子 SIO ハンドシェーク用端子
PORT D	機能	C15	PD0 TB7OUT	入出力 出力	入出力ポート TMRB 出力端子
PORT D	機能	D15	PD1 TB8OUT	入出力 出力	入出力ポート TMRB 出力端子
PORT D	機能	D14	PD2 TB9OUT	入出力 出力	入出力ポート TMRB 出力端子

表 1-2 ピン名称と機能<ポート順> (2/6)

PORT	分類	ピン番号	記号	入出力	機能
PORT D	機能	E15	PD3 $\overline{\text{ADTRG}}$	入出力 入力	入出力ポート AD トリガ入力
PORT D	機能	E14	PD4	入出力	入出力ポート
PORT D	機能	K15	PD5	入出力	入出力ポート
PORT D	機能	K14	PD6	入出力	入出力ポート
PORT D	機能	L14	PD7 SCOUT	入出力 出力	入出力ポート システムクロック出力
PORT E	機能	A15	PE0 TXD0	入出力 出力	入出力ポート SIO 送信端子
PORT E	機能	C14	PE1 RXD0	入出力 入力	GND 端子 SIO 受信端子
PORT E	機能	A10	PE2 SCLK0 TB2OUT $\overline{\text{CTS0}}$	入出力 入出力 出力 入力	入出力ポート SIO クロック端子 TMRB 出力端子 SIO ハンドシェーク用端子
PORT E	機能	B11	PE3 INT5 TB3OUT	入出力 入力 出力	入出力ポート 外部割り込み端子 TMRB 出力端子
PORT E	機能	B10	PE4 SDA1/SO1	入出力 入出力	入出力ポート I2C モード送受信、SIO モード送信端子
PORT E	機能	B9	PE5 SCL1/SI1	入出力 入出力	入出力ポート I2C モードクロック、SIO モード受信端子
PORT E	機能	B8	PE6 SCK1	入出力 入出力	入出力ポート SIO モードクロック端子
PORT E	機能	B7	PE7 INT4	入出力 入力	入出力ポート 外部割り込み端子
PORT F	機能/ 制御	R5	PF0 $\overline{\text{BOOT}}$ TB6OUT	出力 入力 出力	出力ポート ブートモード端子 （RESET 信号の立ち上りで"Low"をサンプリングしてシングルブートモードになります） TMRB 出力端子
PORT F	機能	R6	PF1	入出力	入出力ポート
PORT F	機能	P6	PF2	入出力	入出力ポート
PORT F	機能	R7	PF3	入出力	入出力ポート
PORT F	機能	P7	PF4 INT6 TB5IN0	入出力 入力 入力	入出力ポート 外部割り込み端子 TMRB インプットキャプチャ端子
PORT F	機能	P8	PF5 INT7 TB5IN1	入出力 入力 入力	入出力ポート 外部割り込み端子 TMRB インプットキャプチャ端子

表 1-2 ピン名称と機能<ポート順> (3/6)

PORT	分類	ピン番号	記号	入出力	機能
PORT F	機能	P9	PF6	入出力	入出力ポート
PORT F	機能	P10	PF7	入出力	入出力ポート
PORT G	機能	P5	PG0 SDA0/SO0	入出力 入出力	入出力ポート I2C モード送受信、SIO モード送信端子
PORT G	機能	P4	PG1 SCL0/SI0 TB3IN0	入出力 入出力 入力	入出力ポート I2C モードクロック、SIO モード受信端子 TMRB インプットキャプチャ端子
PORT G	機能	P3	PG2 SCK0 TB3IN1	入出力 入出力 入力	入出力ポート SIO モードクロック端子 TMRB インプットキャプチャ端子
PORT G	機能	R1	PG3 INT0 TB4IN0	入出力 入力 入力	入出力ポート 外部割り込み端子 TMRB インプットキャプチャ端子
PORT G	機能	P2	PG4 TB4IN1	入出力 入力	入出力ポート TMRB インプットキャプチャ端子
PORT G	機能	P1	PG5 INT1 USBPON	入出力 入力 入力	入出力ポート（5V トレラント入力） (注 1) 外部割り込み端子 USB 接続検出端子(VBUS 検出）
PORT H	機能/ デバッグ	L1	PH0 TRACEDATA2	入出力 出力	入出力ポート デバッグ用端子
PORT H	機能/ デバッグ	M1	PH1 TRACEDATA3	入出力 出力	入出力ポート デバッグ用端子
PORT H	機能	M2	PH2 TB4OUT	入出力 出力	入出力ポート TMRB 出力端子
PORT H	機能	N1	PH3 TB5OUT	入出力 出力	入出力ポート TMRB 出力端子
PORT H	機能	N2	PH4 INT8	入出力 入力	入出力ポート 外部割り込み端子
PORT I	機能/ デバッグ	K1	PI0 TRACEDATA1	入出力 出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	J1	PI1 TRACEDATA0	入出力 出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	H1	PI2 TRACECLK	入出力 出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	L2	PI3 TCK/SWCLK	入出力 入力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	K2	PI4 TMS/SWDIO	入出力 入出力	入出力ポート デバッグ用端子
PORT I	機能/ デバッグ	J2	PI5 TDO/SWV	入出力 出力	入出力ポート デバッグ用端子

表 1-2 ピン名称と機能<ポート順> (4/6)

PORT	分類	ピン番号	記号	入出力	機能
PORT I	機能/デバッグ	H2	PI6 TDI	入出力 入力	入出力ポート デバッグ用端子
PORT I	機能/デバッグ	G2	PI7 $\overline{\text{TRST}}$	入出力 入力	入出力ポート デバッグ用端子
PORT J	機能	B5	PJ0 AIN00	入出力 入力	入出力ポート アナログ入力端子
PORT J	機能	A5	PJ1 AIN01	入出力 入力	入出力ポート アナログ入力端子
PORT J	機能	B4	PJ2 AIN02	入出力 入力	入出力ポート アナログ入力端子
PORT J	機能	A4	PJ3 AIN03	入出力 入力	入出力ポート アナログ入力端子
PORT J	機能	B3	PJ4 AIN04	入出力 入力	入出力ポート アナログ入力端子
PORT J	機能	A3	PJ5 AIN05	入出力 入力	入出力ポート アナログ入力端子
PORT J	機能	B2	PJ6 AIN06 TB0IN0	入出力 入力 入力	入出力ポート アナログ入力端子 TMRB インプットキャプチャ端子
PORT J	機能	A2	PJ7 AIN07 INT9 TB0IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割り込み端子 TMRB インプットキャプチャ端子
PORT K	機能	A1	PK0 AIN08 INT2 TB1IN0	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割り込み端子 TMRB インプットキャプチャ端子
PORT K	機能	B1	PK1 AIN09 INT3 TB1IN1	入出力 入力 入力 入力	入出力ポート アナログ入力端子 外部割り込み端子 TMRB インプットキャプチャ端子
PORT K	機能	C1	PK2 AIN10 TB6IN0	入出力 入力 入力	入出力ポート アナログ入力端子 TMRB インプットキャプチャ端子
PORT K	機能	C2	PK3 AIN11 TB6IN1	入出力 入力 入力	入出力ポート アナログ入力端子 TMRB インプットキャプチャ端子
-	機能	G15	D+	入出力	USB データプラス
-	機能	H15	D−	入出力	USB データマイナス
-	機能	B15	$\overline{\text{RESET}}$	入力	リセット入力端子 (注)プルアップおよびノイズフィルタ (Typ.条件で約 30ns)です

表 1-2 ピン名称と機能<ポート順> (5/6)

PORT	分類	ピン番号	記号	入出力	機能
-	機能	B12	$\overline{\text{NMI}}$	入力	マスク不能割り込み (注)ノイズフィルタ (Typ.条件で約 30ns)です
-	制御	B14	MODE	入力	モード端子: (注)必ず GND 端子に接続して下さい。
-	制御	N3	FTEST3	–	TEST 端子: (注) 必ず OPEN にしてください
-	制御	F2	BSC	入力	バウンダリスキャン制御端子
-	クロック	A12	X1	入力	高速発振子接続端子/外部クロック入力端子
-	クロック	A14	X2	出力	高速発振子接続端子
-	電源	G1	DVDD3A	–	電源端子
-	電源	R9	DVDD3A	–	電源端子
-	電源	J15	DVDD3A	–	電源端子
-	電源	A11	DVDD3A	–	電源端子
-	電源	F1	DVSSA	–	GND 端子
-	電源	R8	DVSSA	–	GND 端子
-	電源	J14	DVSSA	–	GND 端子
-	電源	B13	DVSSA	–	GND 端子
-	電源	A6	RVDD3	–	電源端子(レギュレータ用)
-	電源	B6	RVDD3	–	電源端子(レギュレータ用)
-	電源	A7	RVSS	–	GND 端子(レギュレータ用)
-	電源	A13	DVSSC	–	発振子用 GND 端子
-	電源	F14	DVDD3C	–	USB 用電源端子
-	電源	F15	DVDD3C	–	USB 用電源端子
-	電源	G14	DVSS3C	–	USB 用 GND 端子
-	電源	H14	DVSS3C	–	USB 用 GND 端子
-	電源	D1	AVREFH	入力	AD コンバータ用基準電源端子 (注)AD コンバータを使用しない場合でも電源に接続してください。
-	電源	E1	AVREFL	入力	AD コンバータ用基準電源端子 (注)AD コンバータを使用しない場合でも GND 端子に接続してください。

表 1-2 ピン名称と機能<ポート順> (6/6)

PORT	分類	ピン番号	記号	入出力	機能
-	電源	D2	AVDD3	入力	AD コンバータ用基準電源端子 (注)AD コンバータを使用しない場合でも電源に接続してください。
-	電源	E2	AVSS	入力	AD コンバータ用基準 GND 端子 (注)AD コンバータを使用しない場合でも GND 端子に接続してください。
-	電源	A8	REGOUT	出力	レギュレータ出力端子 (コンデンサ接続用)
-	電源	A9	REGIN	入力	レギュレータ入力端子 (コンデンサ接続用)

注) 入力端子として使用時のみ、5V 入力が可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧で Pull Up はできませんので注意してください。

1.5 電源の種類と供給端子

表 1-3 電源の種類と供給端子

電源の種類	電圧範囲	ピン番号	電源供給端子
DVDD3A	2.7 ~ 3.6V (USB 使用時 3.0 ~ 3.45V)	G1,R9,J15,A11	PA,PB,PC,PD,PE,PF,PG, PH, PI, X1, X2, FTEST3, $\overline{\text{RESET}}$, $\overline{\text{NMI}}$, MODE, BSC
AVDD3		D2	PJ, PK
RVDD3		A6,B6	−
DVDD3C		F14,F15,G14,H14	D+ , D−

1.6 レギュレータ端子について

REGOUT 端子（ピン番号 A8）、REGIN 端子（ピン番号 A9）は内蔵レギュレータを安定動作させるためのコンデンサを接続するための端子です。

REGOUT 端子と REGIN 端子を接続し、RVSS 端子（ピン番号 A7）間にコンデンサを接続してください。コンデンサは各端子に最短距離となるよう配置してください。

なお、REGOUT 端子、REGIN 端子からの外部回路への電源供給はできません。

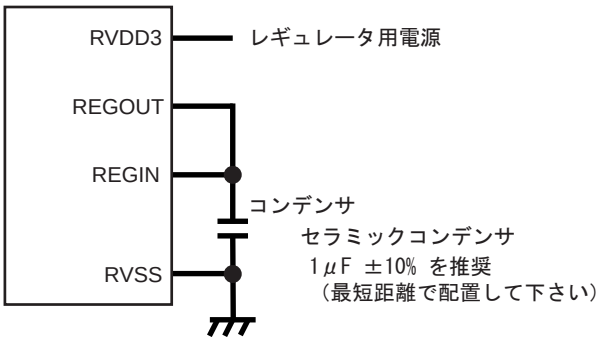


図 1-3 レギュレータ端子の接続

第 2 章　プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア(ARM 社 Cortex-M3 コア)が内蔵されています。プロセッサコアの動作については、ARM 社からリリースされる"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。ここでは、製品固有の情報について説明します。

2.1　コアに関する情報

TMPM365FYXBG で使用している Cortex-M3 コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、ARM 社の下記 URL より"Cortex-M series processors"のマニュアルを参照してください。

http://infocenter.arm.com/help/index.jsp

製品名	コアリビジョン
TMPM365FYXBG	r2p0

2.2　構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。TMPM365FYXBG での構成は以下のとおりです。

構成可能なオプション	実装
FPB	リテラルコンパレータ：2 本 命令コンパレータ：6 本
DWT	コンパレータ：4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHB トレースマクロセル インタフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/ シリアルワイヤ

2.3　例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

2.3.1　割り込み本数

Cortex-M3 コアは割り込み本数を 1～240 本の間で任意に構成することができます。

TMPM365FYXBG の割り込み本数は 57 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[4:0]>ビットに反映され、本製品では"0x01"が読み出されます。

2.3.2　割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3～8 ビットの間で任意に構成することができます。

TMPM365FYXBG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラ優先度レジスタのビット構成に反映されます。

2.3.3　SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマがあり、SysTick 例外を発生させることができます。

SysTick 例外の詳細については、例外の「SysTick」の章および、「NVIC レジスタ」の SysTick 関連レジスタの章を参照してください。

2.3.4　SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM365FYXBG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

2.3.5　LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウエアに重大な誤りのあることを示します。

TMPM365FYXBG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI)またはリセットを使用する必要があります。

2.3.6　補助フォールトステータスレジスタ

Cortex-M3 コアにはソフトウエアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスタが準備されています。

TMPM365FYXBG ではこのレジスタに対して機能を定義していません。リードすると常に"0x0000_0000"が読み出されます。

2.4 イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM365FYXBG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

2.5 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM365FYXBG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、「クロック／モード制御」の章を参照してください。

2.6 排他アクセス

Cortex-M3 コアの DCode バスおよびシステムバスは排他アクセスをサポートしていますが、TMPM365FYXBG ではこの機能を使用していません。

第 3 章　デバッグインタフェース

3.1　仕様概要

TMPM365FYXBG はデバッグツールと接続するためのデバッグインタフェースとして SWJ-DP (Serial Wire JTAG Debug Port)ユニット、ならびに内部プログラムをトレース出力するための ETM (Embedded Trace Macrocell™)ユニットを搭載しています。トレース出力はマイコン内部の TPIU (Trace Port Interface Unit)を通じてデバッグ用端子(TRACEDATA[3:0], SWV)に出力されます。

SWJ-DP, ETM, TPIU の詳細に関しましては ARM 社からリリースされる"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

3.2　SWJ-DP

シリアルワイヤデバッグポート(SWCLK, SWDIO)と、JTAG デバッグポート(TDI, TDO, TMS, TCK, $\overline{\text{TRST}}$)をサポートしています。

3.3　ETM

データ信号 4pin (TRACEDATA[3:0])と クロック信号 1pin (TRACECLK)および、1pin(SWV)によるトレース出力をサポートしています。

3.4　端子情報

デバッグインタフェース端子は汎用ポートと兼用です。

デバッグインタフェース端子と兼用される汎用ポートのうち、PI3/PI4 端子は JTAG デバッグポート機能とシリアルワイヤデバッグポート機能で、PI5 端子は JTAG デバッグポート機能と SWV トレース出力機能となります。

表 3-1 SWJ-DP,ETM デバッグ機能

SWJ-DP 端子名	汎用ポート名	JTAG デバッグ機能		SW デバッグ機能	
		I / O	説明	I / O	説明
TMS / SWDIO	PI4	Input	JTAG Test Mode Selection	I / O	Serial Wire Data Input/Output
TCK / SWCLK	PI3	Input	JTAG Test Check	Input	Serial Wire Clock
TDO / SWV	PI5	Output	JTAG Test Data Output	(Output)(注)	(Serial Wire Viewer Output)
TDI	PI6	Input	JTAG Test Data Input	-	-
$\overline{\text{TRST}}$	PI7	Input	JTAG Test $\overline{\text{RESET}}$	-	-
TRACECLK	PI2	Output	TRACE Clock Output		
TRACEDATA0	PI1	Output	TRACE DATA Output0		
TRACEDATA1	PI0	Output	TRACE DATA Output1		
TRACEDATA2	PH0	Output	TRACE DATA Output2		
TRACEDATA3	PH1	Output	TRACE DATA Output3		

注)　SWV 機能を許可した場合

リセット解除後、PI3/ PI4/ PI5/ PI6/ PI7 はデバッグポート端子となりますが、その他のデバッグインタフェース端子は汎用ポートです。必要に応じてデバッグ端子を使用する設定を行ってください。

低消費電力モードを使用する場合には以下の注意事項に留意してください。

注)　PI4 と PI5 が機能設定(PI4:TMS/SWDIO,PI5:TDO/SWV)の場合、CGSTBYCR<DRVE>ビットの状態によらず、STOP1 モード中も出力が有効な状態で保持されます。

表 3-2 にデバッグインタフェースの端子情報とリセット解除後のポートの設定をまとめます。

表 3-2 デバッグインタフェース端子とリセット解除後のポート設定

ポート名 (ビット名)	デバッグ機能	リセット解除後のポートの設定値				
		機能 (PxFR)	入力 (PxIE)	出力 (PxCR)	プルアップ (PxPUP)	プルダウン (PxPDN)
PI4	TMS/SWDIO	1	1	1	1	−
PI3	TCK/SWCLK	1	1	0	−	1
PI5	TDO/SWV	1	0	1	0	−
PI6	TDI	1	1	0	1	−
PI7	$\overline{\text{TRST}}$	1	1	0	1	−
PI2	TRACECLK	0	0	0	0	−
PI1	TRACEDATA0	0	0	0	0	−
PI0	TRACEDATA1	0	0	0	0	−
PH0	TRACEDATA2	0	0	0	0	−
PH1	TRACEDATA3	0	0	0	0	−

− : Don't care

3.5 ホールトモード中の周辺機能

Cortex-M3 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)が自動的に停止します。その他の周辺機能は動作を続けます。

3.6　デバッグツールとの接続

3.6.1　接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵した端子です。外部にプルアップ/プルダウン抵抗を接続する際は注意してください。

注)　デバックツールを接続した状態で STOP1 モード時の消費電流測定は行なわないでください。

3.6.2　デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインターフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの制御ができなくなります。再度デバックツールを接続するためには何らかの方法で汎用ポートをデバッグインタフェース機能に変更する仕組みを準備しておく必要がありますので注意してください。

表 3-3 デバッグインタフェース端子の使用例

	使用するデバッグインタフェース端子						
	$\overline{\text{TRST}}$	TDI	TDO / SWV	TCK / SWCLK	TMS / SWDIO	TRACE DATA[3:0]	TRACE CLK
JTAG+SW (リセット解除時)	o	o	o	o	o	×	×
JTAG+SW ($\overline{\text{TRST}}$ なし)	×（注）	o	o	o	o	×	×
JTAG+TRACE	o	o	o	o	o	o	o
SW	×	×	×	o	o	×	×
SW+SWV	×	×	o	o	o	×	×
デバッグ機能ディセーブル	×	×	×	×	×	×	×

o：イネーブル ×：ディセーブル(汎用ポートとして使用可能)
注) $\overline{\text{TRST}}$が割り当てられている端子は、$\overline{\text{TRST}}$を選択して、オープンにするか"High"レベルを入力してください。

第 4 章　JTAG インタフェース

4.1　仕様概要

TMPM365FYXBG には、Joint Test Action Group (JTAG) 規格に適合するインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE Std 1149.1 ・ 1990(Includes IEEE Std 1149.1a ・ 1993)) が使われています。

本章では、バウンダリスキャン、インタフェースで使われるピンと信号に触れながら、このインタフェースについて説明しています。

1. JTAG 規格バージョン

   IEEE Standard 1149.1・1990 (Includes IEEE Standard 1149.1a・1993)

2. JTAG 命令

   標準命令 (BYPASS, SAMPLE/PRELOAD, EXTEST)

   HIGHZ 命令

   CLAMP 命令

   但し、TMPM365FYXBG は JTAG 動作中、内部回路リセットが起動しているため SAMPLE/RELOAD 命令は機能しません

3. IDCODE

   なし

4. バウンダリスキャンレジスタ(BSR)対象外端子
   a. 発振回路 (X1, X2)
   b. JTAG 制御端子 (BSC)
   c. 電源/GND (AD コンバータ基準電源端子を含む)
   d. TEST 端子 (FTEST3)
   e. 機能端子 ($\overline{\text{RESET}}$)
   f. 制御端子 (MODE)

注)　PF0 端子は常時 Pull-up 端子のため、HIGHZ 命令時は High が出力されます。

注)　アナログ入力端子への入力レベルに注意してください。

4.2　信号の要約と接続例

JTAG インタフェース信号は次のとおりです。

- TDI　JTAG シリアルデータ入力
- TDO　JTAG シリアルデータ出力
- TMS　JTAG テストモード選択
- TCK　JTAG シリアルクロック入力
- $\overline{\text{TRST}}$　JTAG テストリセット入力
- BSC　ICE/JTAG テスト選択入力(準拠イネーブル信号)
  0: ICE, 1: JTAG

JTAG 対応の開発ツールを、JTAG インタフェースに接続し、デバッグをサポートします。
デバッグに関しては、使用する開発ツールの仕様を確認してください

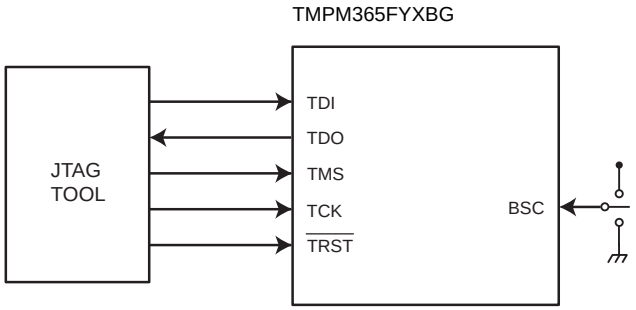


図 4-1 JTAG 開発ツールとの接続例

モード設定端子(BSC)	動作モード
0	Boundary Scan Mode 以外の時は 0 にしてください。 通常の Debug Mode として使用できます。 (注)ただし、内部 BOOT 起動時は Debug 出来ません。
1	Boundary Scan Mode として使用できます。

4.3 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC) 、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の 1 つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことです。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TCK, TMS, TDI, TDO および $\overline{\text{TRST}}$ という 5 種類の信号が使われます。

JTAG バウンダリスキャンメカニズム (本章では「JTAG メカニズム」と呼びます) により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムそのものには、プロセッサ自体をテストする機能はありません。

4.4 JTAG コントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- 命令レジスタ
- バウンダリスキャンレジスタ
- バイパスレジスタ
- デバイス識別レジスタ
- テストアクセスポート (TAP) コントローラ

JTAG の基本動作は、TAP コントローラステートマシンが TMS 入力信号をモニタすることです。実行が開始されると、TAP コントローラは実行されるテスト機能を決定します。これは 表 4-1.に示すように、JTAG 命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされるとき、TMS ピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

4.5　命令レジスタ

JTAG の命令レジスタには、シフトレジスタを基本とする 4 個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 4-1 の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 4-1 JTAG の命令レジスタのビット構成

命令コード (MSB → LSB)	命令	選択されるデータレジスタ
0000	EXTEST	Boundary scan register
0001	SAMPLE/PRELOAD	Boundary scan register
0100 ~ 1110	Reserved	Reserved
0010	HIGHZ	Bypass register
0011	CLAMP	Bypass register
1111	BYPASS	Bypass register

命令レジスタのフォーマットは図 4-2 のとおりです。

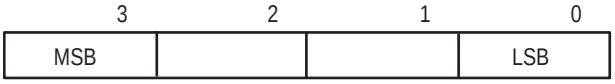


図 4-2 命令レジスタ

命令コードは、最下位ビットから命令ジレスタにシフトされます。

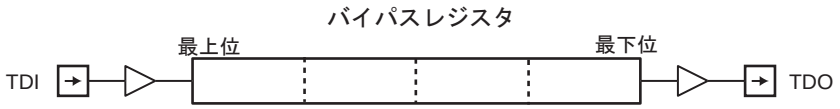


図 4-3 命令レジスタのシフト方向

バイパスレジスタは 1 ビット幅です。TAP コントローラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要でない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は 図 4-4 のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

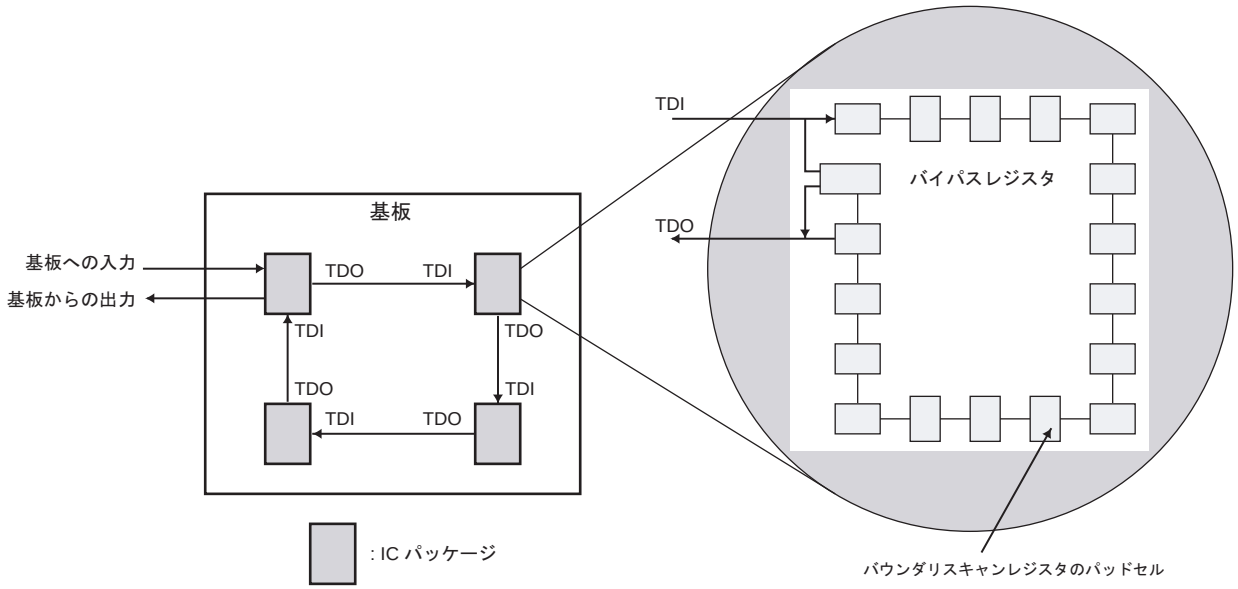


図 4-4 バイパスレジスタの機能

4.6　バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMPM365FYXBG の入出力があります。 TMPM365FYXBG のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、単一の 231 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、 TMPM365FYXBG の入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

4.7　テストアクセスポート(TAP)

テストアクセスポート (TAP) は、5 個の信号ピン $\overline{\text{TRST}}$、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます。

図 4-5 のように、データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

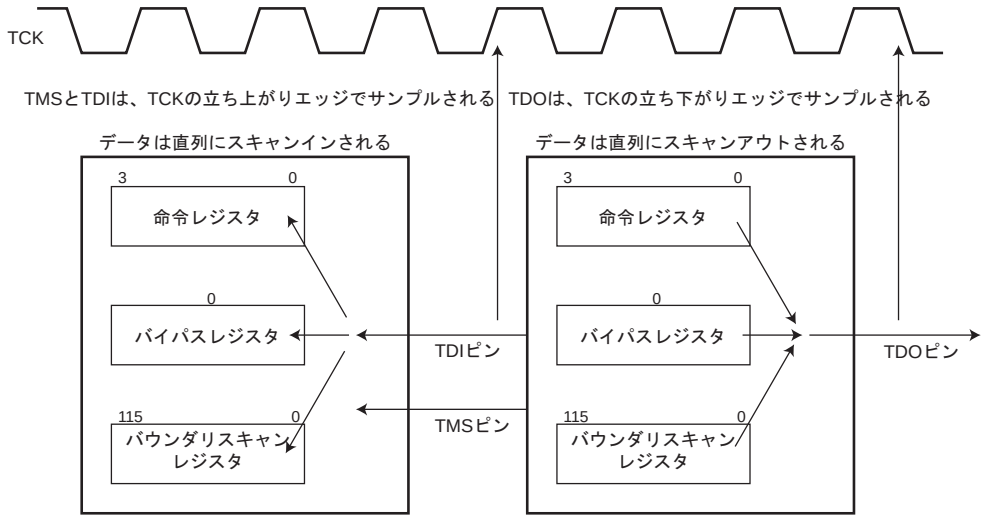


図 4-5 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

4.8　TAP コントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

4.9 TAP コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

$\overline{\text{TRST}}$ 信号入力のアサート (Low) により、TAP コントローラはリセットされる。プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続 5 個使用して入力信号 TMS をアサートし続けます。TMS をアサート状態に保てば、リセット状態が保たれます。

4.10 コントローラの状態

図 4-6 に TAP コントローラの状態遷移図を示します。TCK の立ち上がりエッジで、TMS が 0 か 1 のどちらの値を取るかによって TAP コントローラの状態が変化します。状態の遷移を示す矢印のわきに TMS の取る値を示します。

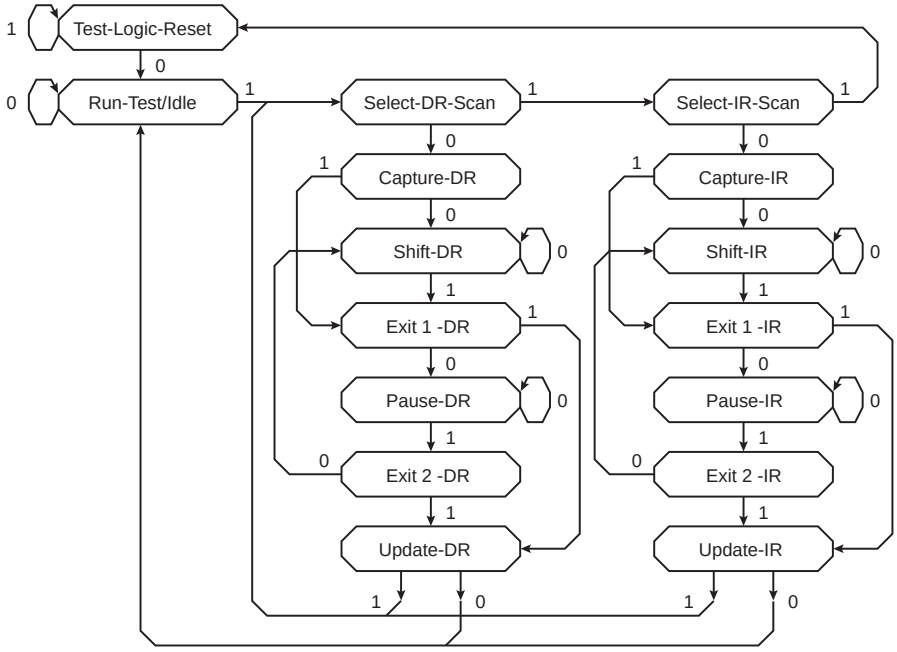


図 4-6 TAP コントローラの状態遷移図

以下コントローラの各状態について説明します。図 4-6 の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR) 、命令レジスタ (IR) を表します。

- Test-Logic-Reset

  TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは 0 にクリアされ、出力はディセーブルされます。

  TMS が 1 の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に 0 を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。

- Run-Test/Idle

  Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。

  TMS が 0 の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に 1 を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。

・ Select-DR-Scan

Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。

TAP コントローラが Select-DR-Scan 状態のとき TMS に 0 を入力すると Capture-DR 状態に遷移します。TMS に 1 を入力すると命令カラムの Select-IR-Scan 状態に遷移します。

・ Select-IR-Scan

Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。

TAP コントローラが Select-IR-Scan 状態のとき、TMS に 0 を入力すると Capture-IR 状態に遷移します。TMS に 1 を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。

・ Capture-DR

TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタがパラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。

TAP コントローラが Capture-DR 状態のとき TMS に 0 を入力すると、Shift-DR 状態に遷移します。TMS に 1 を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

・ Shift-DR

TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。

TAP コントローラが Shift-DR 状態のとき、TMS が 0 のあいだ Shift-DR 状態を保持します。TMS に 1 を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

・ Exit 1-DR

Exit 1-DR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-DR 状態のとき、TMS に 0 を入力すると Pause-DR 状態に遷移します。TMS に 1 を入力すると Update-DR 状態に遷移します。

・ Pause-DR

Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。

TAP コントローラが Pause-DR 状態のとき、TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると Exit 2-DR 状態に遷移します。

・ Exit 2-DR

Exit 2-DR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-DR 状態のとき、TMS に 0 を入力すると、Shift-DR 状態に戻ります。TMS に 1 を入力すると Update-DR 状態に遷移します。

・ Update-DR

Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することはなく、この状態でのみデータを出力します。

TAP コントローラが Update-DR 状態のとき TMS に 0 を入力すると Run-Test/Idle 状態に遷移します。TMS に 1 を入力すると Select-DR-Scan 状態に遷移します。

・ Capture-IR

Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは 0y0001 です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。

TAP コントローラが Capture-IR 状態のとき TMS に 0 を入力すると Shift-IR 状態に遷移します。TMS に 1 を入力すると Exit 1-IR 状態に遷移します。

- Shift-IR

  Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。

  TAP コントローラが Shift-IR 状態のとき TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると、Exit 1-IR 状態に遷移します。

- Exit 1-IR

  Exit 1-IR 状態は TAP コントローラの一時的な状態です。

  TAP コントローラが Exit 1-IR 状態のとき TMS に 0 を入力すると、Pause-IR 状態に遷移します。TMS に 1 を入力すると Update-IR 状態に遷移します。

- Pause-IR

  Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。

  TAP コントローラが Pause-IR 状態のとき、TMS が 0 のあいだ、この状態を保持します。TMS に 1 を入力すると Exit 2-IR 状態に遷移します。

- Exit 2-IR

  Exit 2-IR 状態は TAP コントローラの一時的な状態です。

  TAP コントローラが Exit 2-IR 状態のとき、TMS に 0 を入力すると、Shift-IR 状態に遷移します。TMS に 1 を入力すると Update-IR 状態に遷移します。

- Update-IR

  Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。

  TAP コントローラが Update-IR 状態のとき、TMS に 0 を入力すると、Run-Test/Idle 状態に遷移します。TMS に 1 を入力すると、Select-DR-Scan 状態に遷移します。

4.11　バウンダリスキャン順序

プロセッサ信号に対するバウンダリスキャン順序は、下表のとおりです。

TDI → 1 (PK3)→ 2(PK2)→ − →69(PI1)→70(PI2)→TDO

表 4-2 TMPM365FYXBG プロセッサのピンに対する JTAG スキャン順序

番号	端子名	番号	端子名	番号	端子名	番号	端子名
	TDI						
1	PK3	21	PE0	41	PA4	61	PG4
2	PK2	22	PD0	42	PA3	62	PG5
3	PK1	23	PD1	43	PA2	63	PH4
4	PK0	24	PD2	44	PA1	64	PH3
5	PJ7	25	PD3	45	PA0	65	PH2
6	PJ6	26	PD4	46	PF7	66	PH1
7	PJ5	27	PD5	47	PF6	67	PH0
8	PJ4	28	PD6	48	PF5	68	PI0
9	PJ3	29	PD7	49	PF4	69	PI1
10	PJ2	30	PB7	50	PF3	70	PI2
11	PJ1	31	PB6	51	PF2		TDO
12	PJ0	32	PB5	52	PF1		
13	PE7	33	PB4	53	PF0		
14	PE6	34	PB3	54	PC2		
15	PE5	35	PB2	55	PC1		
16	PE4	36	PB1	56	PC0		
17	$\overline{\text{NMI}}$	37	PB0	57	PG0		
18	PE3	38	PA7	58	PG1		
19	PE2	39	PA6	59	PG2		
20	PE1	40	PA5	60	PG3		

4.12 JTAG コントローラセルでサポートしている命令

この項では、TMPM365FYXBG の JTAG コントローラセルでサポートしている命令について説明します。

1. EXTEST 命令

EXTEST 命令は外部接続テストに使用します。EXTEST 命令では、出力端子の BSR セルは Update-DR 時にテストパターンを出力し、入力端子の BSR セルは Capture-DR 時にテスト結果を取り込みます。

通常、EXTEST 命令を選択するまえに SAMPLE/PRELOAD 命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR 状態において不確定なデータが伝送され、IC 間でバスのコンフリクトが起こる可能性があります。EXTEST 命令が選択されているあいだのデータの流れを 図 4-7 にしめします。

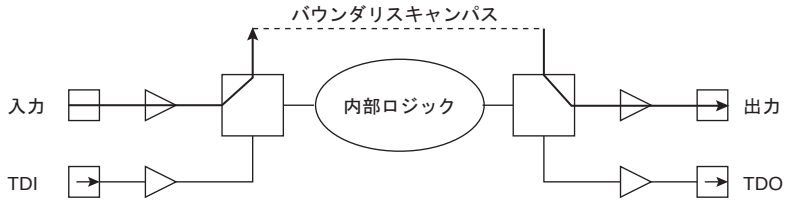


図 4-7 EXTEST 命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAP コントローラを初期化して、Test-Logic-Reset 状態にします。
2. 命令レジスタに SAMPLE/PRELOAD 命令をロードします。これによりバウンダリスキャンレジスタが TDI-TDO 間に接続されます。
3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
5. 命令レジスタに EXTEST 命令をロードします。
6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします。
8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。

6 から 8 をテストパターンごとに繰り返します。

2. SAMPLE/PRELOAD 命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

SAMPLE は IC の I/O パッドを観測するのに使います。SAMPLE が I/O パッドを観測しているあいだ、内部ロジックは IC の I/O 端子から切り離されません。SAMPLE は Capture-DR 状態で実行

します。通常動作中、TCK の立ち上がりエッジにおいて IC の I/O 端子の値を読み取ることが SAMPLE の主な用途です。図 4-8 に SAMPLE/PRELOAD 命令の SAMPLE を実行しているあいだのデータの流れを示します。

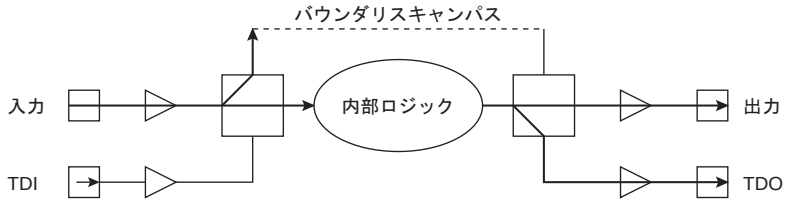


図 4-8 SAMPLE が選択されているときのテストデータの流れ

PRELOAD は他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたように EXTEST 命令を選択するまえに PRELOAD を用いてバウンダリスキャンレジスタを初期化します。PRELOAD はシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 4-9 に SAMPLE/PRELOAD 命令の PRELOAD を実行しているあいだのデータの流れを示します。

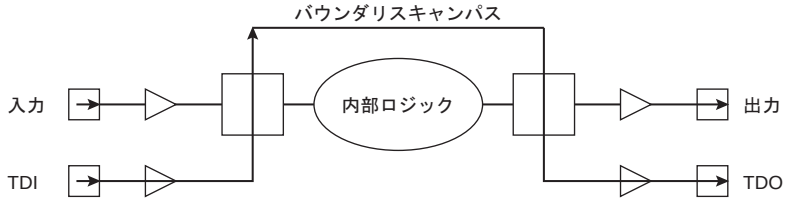


図 4-9 PRELOAD が選択されているときのテストデータの流れ

3. BYPASS 命令

BYPASS 命令は IC を制御、観測する必要がないテストの場合に、バイパスレジスタを JTDI-JTDO 間に接続することにより IC をバイパスする最短のシリアルパスを構成します。BYPASS 命令はチップ上のシステムロジックの通常動作には影響を与えません。図 4-10 に示すように BYPASS 命令が選択されているあいだ、データはバイパスレジスタを通ります。

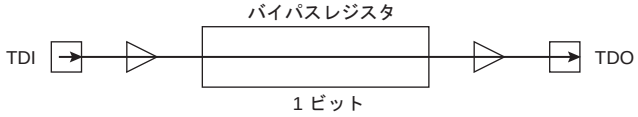


図 4-10 BYPASS レジスタが選択されているときのテストデータの流れ

4. CLAMP 命令

CLAMP は Preload 命令によって設定されたバウンダリスキャンレジスタの値を出力し、かつバイパス動作を行います。

CLAMP 命令は TDI と TDO 間に Bypass レジスタを選択します。

5. HIGHZ 命令

HIGHZ 命令 は内部論理回路からの出力を Disable 状態にします。HIGHZ 命令が実行されると、3 ステート出力をハイ・インピーダンス状態にします。

HIGHZ 命令も TDI と TDO 間に Bypass レジスタを選択します。

・ 注意事項

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

1. PF0 端子は常時 Pull-up 端子のため、HIGHZ 命令時は High が出力されます。
2. アナログ入力端子への入力レベルに注意してください。
3. JTAG 回路のリセット解除は下記の 2 種類のどちらかの手順を選択してください。

$\overline{\text{TRST}}$ をアサートして JTAG 回路を初期化後デアサート

TMS 端子 = 1 の状態で、TCK に 5 クロック以上供給

第 5 章　メモリマップ

5.1　メモリマップ

TMPM365FYXBG のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR：Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。SRAM 領域、SFR 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域にはアクセスしないでください。

5.1.1　TMPM365FY メモリマップ

TMPM365FY のメモリマップを図 5-1 に示します。

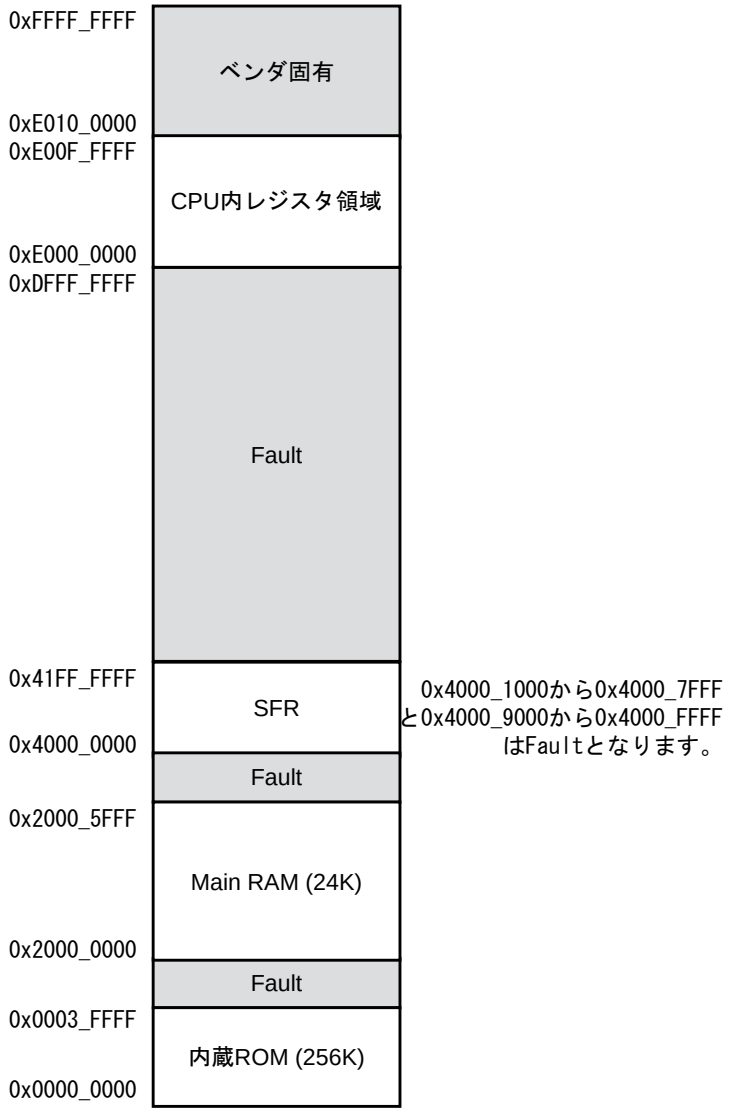


図 5-1 メモリマップ

5.2 SFR 領域詳細

SFR 領域(0x4000_0FFF~0x41FF_FFFF)のうち、周辺機能別に割り当てられているアドレス一覧を示します。

表 5-1 の予約領域および Reserved 欄に記載されているアドレスにはアクセスしないでください。また、SFR 領域で表 5-1 に記載のない領域については、読み出される値は不定となり書き込みは無視されます。

表 5-1 SFR 詳細

Start Address	End Address	Peripheral	Reserved
0x4000_0000	0x4000_3FFF	DMAC (2ch)	0x4000_0028 - 0x4000_002C 0x4000_0034
0x4000_4000	0x4000_7FFF	Reserved	
0x4000_8000	0x4000_9FFF	USB(1ch)	
0x4000_A000	0x4003_FFFF	Reserved	
0x4004_0000	0x4004_7FFF	Reserved	
0x4004_8000	0x4004_BFFF	Reserved	
0x4004_C000	0x4004_FFFF	Reserved	
0x4005_0000	0x4005_3FFF	ADC (12ch)	0x4005_0064 - 0x4005_0073 0x4005_0F00 - 0x4005_0F8B
0x4005_4000	0x4005_BFFF	Reserved	
0x4005_C000	0x4005_CFFF	Reserved	
0x4005_D000	0x400B_FFFF	Reserved	
0x400C_0000	0x400C_1FFF	PORT	
0x400C_2000	0x400C_3FFF	Reserved	
0x400C_4000	0x400C_5FFF	TMRB (10ch)	
0x400C_6000	0x400D_FFFF	Reserved	
0x400E_0000	0x400E_0FFF	I2C/SIO (2ch)	0x400E_0800 - 0x400E_0FFF
0x400E_1000	0x400E_1FFF	SIO/UART (2ch)	0x400E_1134 - 0x400E_1137
0x400E_2000	0x400F_0FFF	Reserved	
0x400F_1000	0x400F_1FFF	Reserved	
0x400F_2000	0x400F_2FFF	WDT	0x400F_2100 - 0x400F_2FFF
0x400F_3000	0x400F_3FFF	CG	0x400F_3100 - 0x400F_3FFF
0x400F_4000	0x41FF_EFFF	Reserved	
0x41FF_F000	0x41FF_F03F	FLASH	0x41FF_F000 - 0x41FF_F007 0x41FF_F014 - 0x41FF_F017 0x41FF_F024 - 0x41FF_F02B
0x41FF_F040	0x41FF_FFFF	Reserved	

第 6 章　リセット動作

リセットの種類として、外部リセット端子(RESET), ウォッチドッグタイマ(WDT), CPU のアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>の設定によるものがあります。

ウォッチドッグタイマによるリセットについては「ウォッチドッグタイマ(WDT)」の章を参照してください。

<SYSRESETREQ>によるリセットについては"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。

6.1　初期状態

電源投入時は、TMPM365FYXBG の内部回路は不定です。

全ての電源（DVDD3A, DVDD3C, RVDD3, AVDD3）に電圧が印加され、外部リセット端子(RESET)に"Low"が入力されるまでの間、レジスタの設定や各端子の状態は不定となります。

6.2　コールドリセット時

電源投入の際には、レギュレータ、フラッシュメモリ、発振回路などの安定時間を考慮する必要があります。

TMPM365FYXBG では、レギュレータ、フラッシュメモリ、発振回路などの安定時間を内部回路が自動的に挿入します。この時間を稼ぐために、電源電圧が動作範囲内に達した後、1ms 以上、外部リセット端子(RESET)を"Low"にしてください。

外部リセット端子(RESET)を"H"にした後、約 0.8ms が経過した後に内部リセット信号が解除されます。

電源投入後のリセット手順を図 6-1 に示します。

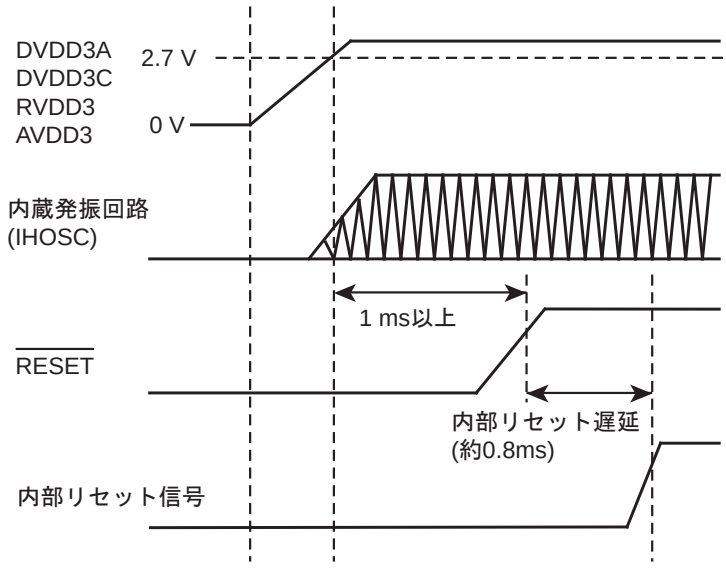


図 6-1 コールドリセットシーケンス

注)　電源再投入時にも、必ず上記シーケンスでリセットを行って下さい。

6.3　ウォームリセット時

6.3.1　リセット期間

本デバイスにウォームリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、外部リセット端子($\overline{\text{RESET}}$)を少なくとも 12 システムクロックの間、"Low"レベルにしてください。

外部リセット端子($\overline{\text{RESET}}$)を"H"にした後、約 0.8ms が経過した後に内部リセット信号が解除されます。

6.4　リセット解除後

リセット解除後は、ほとんどの Cortex-M3 コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されます。

コア内部のシステムデバッグコンポーネント(FPB, DWT, ITM)レジスタ、クロックジェネレータレジスタの CGRSTFLG レジスタおよび FLASH 関連レジスタの FCSECBIT レジスタはコールドリセットで初期化されます。

リセット解除後は PLL 逓倍回路が停止しているため、PLL 逓倍回路を使用する場合は CGPLLSEL レジスタにて PLL 逓倍回路の設定が必要です。

リセット例外処理を行った後、プログラムはリセットの割り込みサービスルーチンへ分岐します。

注)　リセット動作を行うと内蔵 RAM のデータは保証されません。

第 7 章　ウォッチドッグタイマ(WDT)

ウォッチドッグタイマは、ノイズなどの原因により CPU が誤動作(暴走)を始めた場合、これを検出し正常な状態に戻すことを目的としています。

暴走を検出した場合、INTWDT 割り込みを発生またはマイコンをリセットします。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

また、外部周辺装置に対しては、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"を出力して暴走の検出を知らせます。

注)　本製品にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

7.1　構成

図 7-1 にウォッチドッグタイマのブロック図を示します。

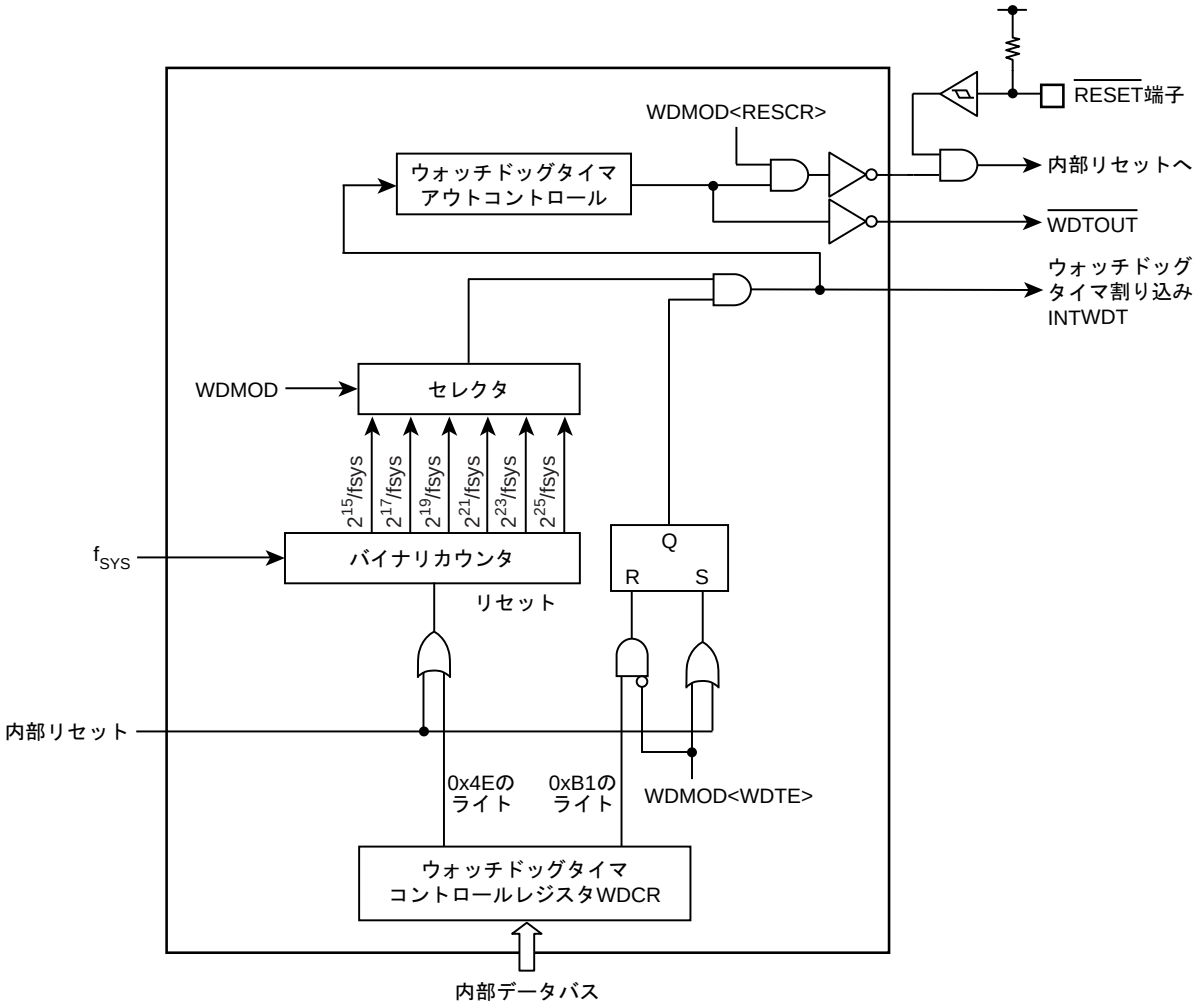


図 7-1 ウォッチドッグタイマのブロック図

7.2　レジスター覧

ウォッチドッグタイマの制御レジスタとアドレスは以下の通りです。

Base Address = 0x400F_2000

レジスタ名		Address(Base+)
ウォッチドッグタイマモードレジスタ	WDMOD	0x0000
ウォッチドッグタイマコントロールレジスタ	WDCR	0x0004

7.2.1　WDMOD(ウォッチドッグタイマモードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	WDTE	R/W	許可/禁止制御 0:禁止 1: 許可
6-4	WDTP[2:0]	R/W	検出時間の選択(表 7-1 を参照) 000: $2^{15}/f_{SYS}$　100: $2^{23}/f_{SYS}$ 001: $2^{17}/f_{SYS}$　101: $2^{25}/f_{SYS}$ 010: $2^{19}/f_{SYS}$　110: 設定禁止 011: $2^{21}/f_{SYS}$　111: 設定禁止
3	−	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLE 時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作 0: INTWDT 割り込み要求を発生します。(注) 1: マイコンをリセットします。
0	−	R/W	"0"をライトしてください。

注)　INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

表 7-1 ウォッチドッグタイマの検出時間 (fc = 48MHz)

クロックギア値 CGSYSCR<GEAR[2:0]>	WDMOD<WDTP[2:0]>					
	000	001	010	011	100	101
000 (fc)	0.68 ms	2.73 ms	10.92 ms	43.69 ms	174.76 ms	699.05 ms
100 (fc/2)	1.37 ms	5.46 ms	21.85 ms	87.38 ms	349.53 ms	1.40 s
101 (fc/4)	2.73 ms	10.92 ms	43.69 ms	174.76 ms	699.05 ms	2.80 s
110 (fc/8)	5.46 ms	21.85 ms	87.38 ms	349.53 ms	1.40 s	5.59 s
111 (fc/16)	10.92 ms	43.70 ms	174.8 ms	699.1 ms	2.80 s	11.18 s

7.2.2 WDCR(ウォッチドッグタイマコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	-	-	-	-	-	-	-	-

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7-0	WDCR	W	ディセーブル/クリアコード 0xB1: ディセーブルコード 0x4E: クリアコード 上記以外:Reserved

7.3　動作説明

7.3.1　基本動作

ウォッチドッグタイマは、システムクロック f_{sys} を入力クロックとするバイナリカウンタで構成されています。検出時間は WDMOD<WDTP[2:0]>によって 2^{15}, 2^{17}, 2^{19} , 2^{21}, 2^{23} および 2^{25} から選択します。検出時間経過後にウォッチドッグタイマ割り込み(INTWDT)が発生し、ウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)より"Low"が出力されます。

ノイズなどの原因による CPU の暴走を検出するために、ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にクリアするように設定しておきます。クリアが行われなかった場合、INTWDT によってマスク不能割り込みが発生しますので、CPU は暴走を検知し、暴走対策プログラムにより正常な状態に戻すことができます。

また、ウォッチドッグタイマアウト端子を外部周辺装置のリセットなどへ接続することにより、CPU の誤動作(暴走)に対処することができます。

注)　本製品にはウォッチドッグタイマアウト端子($\overline{\text{WDTOUT}}$)はありません。

7.3.2　動作モードと動作状態

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。使用しない場合はディセーブルの処理を行ってください。

ウォッチドッグタイマは高速クロックが停止するモードでは使用できません。以下に示すモードに遷移する前にディセーブルしてください。IDLE モード中は WDMOD<I2WDT>の設定に従います。

- STOP1 mode

また、デバッグモード中は自動的にバイナリカウンタが停止します。

7.4 暴走検出時の動作

7.4.1 INTWDT 割り込み発生の場合

図 7-2 に INTWDT 割り込み発生(WDMOD<RESCR>="0")の場合の動作を示します。

バイナリカウンタのオーバフローにより INTWDT 割り込みが発生します。INTWDT 割り込みはマスク不能割り込み(NMI)の要因であるため、CPU はマスク不能割り込みを検出し処理を行います。

マスク不能割り込み要因は複数あり、CGNMIFLG レジスタでマスク不能割り込み要因を識別できます。INTWDT 割り込みの場合、CGNMIFLG<NMIFLG0>がセットされます。

INTWDT 割り込み発生と同時にウォッチドッグタイマアウト($\overline{\text{WDTOUT}}$)より"Low"を出力します。$\overline{\text{WDTOUT}}$ は、ウォッチドッグタイマのクリア(WDCR レジスタにクリアコード 0x4E をライト)により"High"に戻ります。

注) 本製品にはウォッチドッグタイマアウトの外部出力端子はありません。

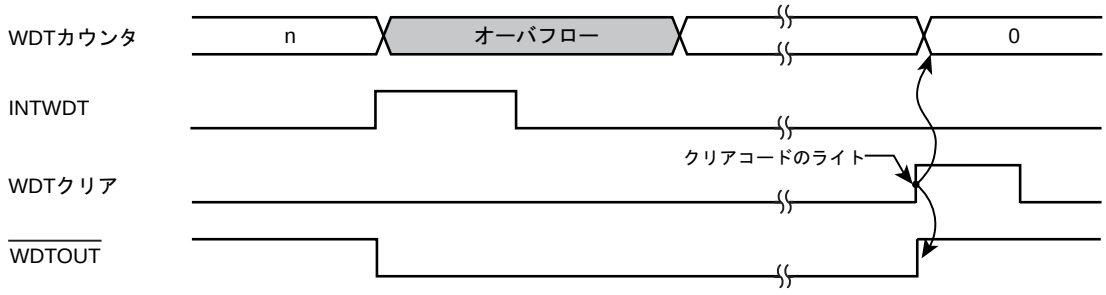


図 7-2 INTWDT 割り込み発生

7.4.2　内部リセット発生の場合

図 7-3 に内部リセット発生(WDMOD<RESCR>="1")の場合の動作を示します。

バイナリカウンタのオーバフローによりマイコンをリセットします。この場合、32 ステートの期間、リセットを行います。クロックの設定も初期化され、入力クロック f_{SYS} と内蔵高速発振器のクロック f_{OSC} の関係は、$f_{SYS} = f_{OSC}$ となります。

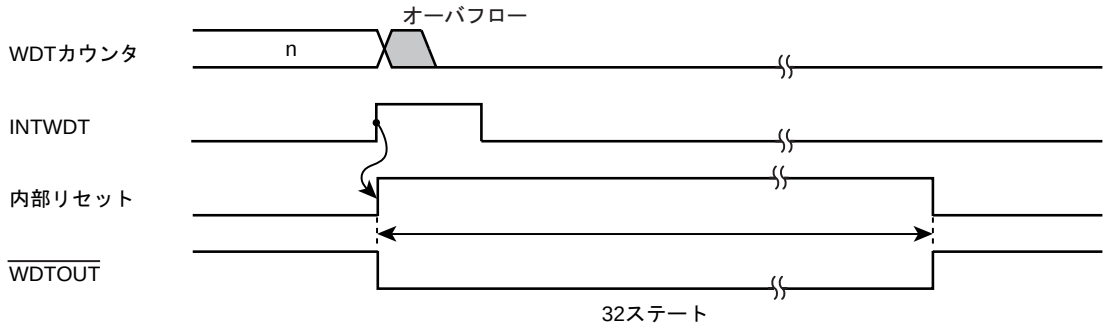


図 7-3 内部リセット発生

7.5 コントロールレジスタ

ウォッチドッグタイマ(WDT)は、2 つのコントロールレジスタ(WDMOD, WDCR)によって制御されています。

7.5.1 ウォッチドッグタイマモードレジスタ(WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP[2:0]>

   ウォッチドッグタイマ検出時間を設定します。リセット時 WDMOD<WDTP[2:0]> = "000" に初期化されます。

2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

   リセット時 WDMOD<WDTE> = "1" に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

   暴走による誤書き込みを防止するため、ディセーブルにするには、このビットを"0"にした後で、WDCR にディセーブルコード(0xB1)を書き込む必要があります。

   ディセーブル状態からイネーブル状態に戻す場合は、WDMOD<WDTE>を"1"に設定します。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

   WDTOUT を内部リセットとして使用するか割り込みとして使用するかを設定するレジスタです。リセット時 WDMOD<RESCR> = "1"に初期化されますので、バイナリカウンタのオーバフローにより内部リセットが発生します。

7.5.2 ウォッチドッグタイマコントロールレジスタ(WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

7.5.3　設定例

7.5.3.1　ディセーブル制御

WDMOD<WDTE>に"0"を設定したあと、WDCR レジスタにディセーブルコード(0xB1)を書き込むとウォッチドッグタイマはディセーブルになり、バイナリカウンタはクリアされます。

		7	6	5	4	3	2	1	0	
WDMOD	←	0	−	−	−	−	−	−	−	<WDTE>に"0"を設定します。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード(0xB1)を書き込みます。

7.5.3.2　イネーブル制御

WDMOD<WDTE>に"1"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	−	−	−	−	−	−	−	<WDTE>に"1"を設定します。

7.5.3.3　ウォッチドッグタイマのクリア制御

WDCR レジスタにクリア コード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

		7	6	5	4	3	2	1	0	
WDCR	←	0	1	0	0	1	1	1	0	クリアコード(0x4E)を書き込みます。

7.5.3.4　ウォッチドッグタイマ検出時間の設定

検出時間を $2^{21}/f_{SYS}$ に設定する場合、WDMOD<WDTP[2:0]>に"011"を設定します。

		7	6	5	4	3	2	1	0
WDMOD	←	1	0	1	1	−	−	−	−

第 8 章　クロック/モード制御

8.1　特長

クロック/モード制御ブロックでは、クロックギアやプリスケーラクロックの選択、PLL(逓倍回路)や発振器のウォーミングアップ等を設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。

本章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケーラクロックの制御
- クロック逓倍回路（PLL）の制御
- ウォーミングアップタイマの制御

また、動作モードとして NORMAL モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

8.2　レジスタ説明

8.2.1　レジスター覧

CG 関連のレジスタとアドレスを以下に示します。

Base Address = 0x400F_3000

レジスタ名		Address(Base+)
システムコントロールレジスタ	CGSYSCR	0x0000
発振コントロールレジスタ	CGOSCCR	0x0004
スタンバイコントロールレジスタ	CGSTBYCR	0x0008
PLL セレクトレジスタ	CGPLLSEL	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
USB クロックコントロールレジスタ	CGUSBCTL	0x0038
プロテクトレジスタ	CGPROTECT	0x003C

注)　"Reserved"表記のアドレスにはアクセスしないでください。

8.2.2 CGSYSCR(システムコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	FCSTOP	-	-	SCOSEL	
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-21	−	R	リードすると"0"が読めます。
20	FCSTOP	R/W	ADC クロック/搬送波生成クロック選択 0: 動作 1: 停止 AD コンバータクロックの供給を停止させることが可能です。 リセット後は AD コンバータクロックは供給されています。 "1"(停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してから設定してください。
19-18	−	R	リードすると"0"が読めます。
17-16	SCOSEL[1:0]	R/W	SCOUT 出力選択 00: Reserved 01: fsys/2 10: fsys 11: φT0 SCOUT 端子から出力するクロックを設定します。
15-14	−	R	リードすると"0"が読めます。
13	−	R/W	"0"を書いてください。
12	FPSEL	R/W	fperiph 選択 0: fgear 1: fc fperiph のソースクロックを選択します。 fc を選択した場合、クロックギアの切り替えに関係なく、fperiph を固定することが可能です。
11	−	R	リードすると"0"が読めます。
10-8	PRCK[2:0]	R/W	プリスケーラクロック選択 000: fperiph　100: fperiph/16 001: fperiph/2　101: fperiph/32 010: fperiph/4　110: Reserved 011: fperiph/8　111: Reserved 周辺機能に供給するプリスケーラクロックを選択します。
7-3	−	R	リードすると"0"が読めます。
2-0	GEAR[2:0]	R/W	高速クロック(fc)のギア選択 000: fc　100: fc/2 001: Reserved　101: fc/4 010: Reserved　110: fc/8 011: Reserved　111: fc/16

注)　Reserved は設定禁止です。

8.2.3 CGOSCCR(発振コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	WUODR							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUODR				HWUPSEL	EHOSCSEL	OSCSEL	XEN2
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PLLON	WUEF	WUEON
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-20	WUODR[11:0]	R/W	ウォーミングアップカウンタ設定値 16 ビットのウォーミングアップタイマの、上位 12 ビットのカウント値を設定します。
19	HWUPSEL	R/W	高速ウォームアップクロック選択 0: 内部高速発振(f_{IHOSC}) 1: 外部高速発振(f_{EHOSC}) ウォーミングアップさせたい発振器のクロックを選択します。選択されたクロックでウォーミングアップタイマのカウントを行います。
18	EHOSCSEL	R/W	外部発振選択 0: 外部クロック入力 1: 発振子
17	OSCSEL	R/W	高速発振器選択(注 2) 0: 内部 1: 外部
16	XEN2	R/W	内部高速発振器の動作選択 0: 停止 1: 発振
15-12	−	R/W	"0"を書いてください。
11-10	−	R	リードすると"0"が読めます。
9	−	R/W	"0"を書いてください。
8	XEN1	R/W	外部高速発振器の動作選択 0: 停止 1: 発振
7-3	−	R/W	必ず"00110"を設定してください。
2	PLLON	R/W	PLL(逓倍回路)動作の選択(注 3) 0: 停止 1: 発振
1	WUEF	R	ウォーミングアップタイマステータス 0: ウォーミングアップ終了 1: ウォーミングアップ中 ウォーミングアップタイマの状態を確認できます。
0	WUEON	W	ウォーミングアップタイマ制御 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイマがスタートします。 リードすると"0"が読めます。

注 1)　ウォーミングアップ時間の設定については「8.3.4 ウォーミングアップ機能」を参照してください。

注 2)　外部クロックを入力する時、<EHOSCSEL>でクロックを選択後、<OSCSEL>を選択してください。(<OSCSEL>の設定変更と同時に<EHOSCSEL>の設定変更を行わないでください。)

注 3)　CGOSCCR<PLLON>="1"に変更後、ウォーミングアップを実行した後に、CGPLLSEL<PLLSE ＞＝”1”に切り替えてください。

注 4)　STOP1 モードから復帰する際、内部高速発振器起動のため関係ビット<HWUPSEL>, <OSCSEL>, <XEN2>, <XEN1>, <PLLON>および CGPLLSEL<PLLSEL>は初期化され、内部高速発振で起動します。

注 5)　内部高速発振器(IHOSC)をシステムクロックとして使用する場合、PLL 逓倍の使用は禁止です。

注 6)　内部高速発振器(IHOSC)にを使用する場合、発振精度を要求するシステムクロックとしては使用しないでください。

8.2.4 CGSTBYCR(スタンバイコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-20	−	R	リードすると"0"が読めます。
19-17	−	R/W	"0"を書いてください。
16	DRVE	R/W	STOP1 モード中の端子状態制御 0: STOP1 モード中端子をドライブしません 1: STOP1 モード中も端子をドライブします
15-3	−	R	リードすると"0"が読めます。
2-0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP1 010: Reserved 011: IDLE 100: Reserved 101: Reserved 110: Reserved 111: Reserved Reserved は設定禁止です。

8.2.5　CGPLLSEL(PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PLLSET							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PLLSET							PLLSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-1	PLLSET	R/W	PLL 逓倍値設定(下記以外は設定禁止) 0x381E: 8 逓倍
0	PLLSEL	R/W	PLL 選択 0: fosc 使用 1: f_{PLL} 使用 PLL にて逓倍されたクロックの使用可否を選択します。 リセット解除後は"fosc(内部高速発振)"選択なので、PLL を使用する場合はこのビットの設定が必要です。

注 1)　PLL 逓倍値の設定は、CGOSCCR<PLLON> = "0"(PLL 停止)の状態で行なってください。

注 2)　PLL 逓倍使用時の高周波数は表 8-2 の設定範囲で使用してください。

注 3)　STOP1 モードから復帰する際、CGOSCCR<HWUPSEL>, <OSCSEL>, <XEN2>, <XEN1>, <PLLON>および<PLLSEL>は初期化され、内部高速発振で起動します。

注 4)　内部高速発振器(IHOSC)をシステムクロックとして使用する場合、PLL 逓倍の使用は禁止です。

8.2.6 CGUSBCTL (USB クロックコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	USBCLKSEL	USBCLKEN
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-10	-	R	リードすると"0"が読めます。
9	USBCLKSEL	R/W	USB ソースクロック選択 0 : PLL クロック(f_{PLL}) 1 : 外部入力クロック(EHCLKIN) USB デバイスクロックに入力するソースクロックを選択します。
8	USBCLKEN	R/W	USB ソースクロック制御 0 : 停止 (OFF) 1 : 設定 (ON)
7-1	-	R	リードすると"0"が読めます。
0	-	R/W	"0"を書いて下さい

注 1) <USBCLKSEL> を変更する時は<USBCLKEN>を"0"にしてください。

注 2) <USBCLKSEL> と<USBCLKEN> を同時に変更できません。

8.2.7　CGPROTECT(プロテクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CGPROTECT							
リセット後	1	1	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	CGPROTECT	R/W	レジスタ書き込み制御 0xC1 : 許可 0xC1 以外 : 禁止 初期状態は"0xC1"で書き込み許可となっています。"0xC1"以外の値を設定することで CG 関連レジスタのうち CGPROTECT 以外のレジスタへの書き込みができなくなります。

8.3 クロック制御

8.3.1 クロックの種類

クロックの一覧を以下に示します。

fosc	: 内部発振回路で生成されるクロック、X1、X2 端子より入力されるクロック
f_{PLL}	: PLL により逓倍(8 逓倍)されたクロック
fc	: CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
fgear	: CGSYSCR<GEAR[2:0]>で選択されたクロック(ギアクロック)
fsys	: fgear と同等のクロック(システムクロック)
fperiph	: CGSYSCR<FPSEL>で選択されたクロック
φT0	: CGSYSCR<PRCK[2:0]>で選択されたクロック (プリスケーラクロック)

ギアクロック fgear、プリスケーラクロック φT0 は以下のように分周することが可能です。

ギアクロック	: fc, fc/2, fc/4, fc/8, fc/16
プリスケーラクロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

8.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内部高速発振器	: 発振
外部高速発振器	: 停止
PLL (逓倍回路)	: 停止
高速クロックギア	: fc (分周なし)

リセット動作によりすべてのクロックの設定が fosc と同じになります。

fc = fosc

fsys = fosc

φT0 = fosc

8.3.3　クロック系統図

クロック系統図を図 8-1 に示します。

セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

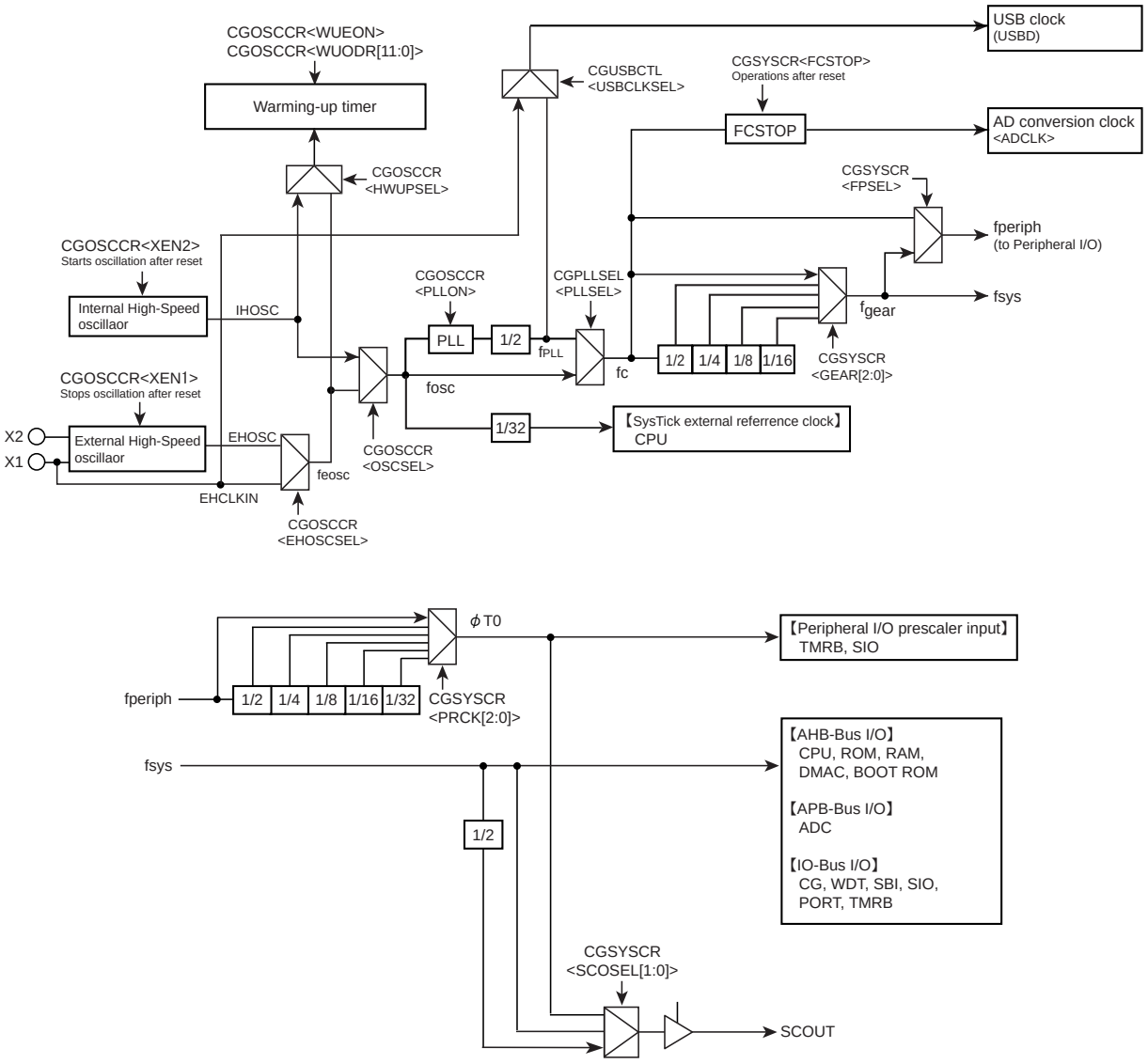


図 8-1 クロック系統図

8.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、ウォーミングアップタイマを用いて発振子の発振安定時間や、PLL の安定時間を確保するための機能です。

詳細については、「8.6.6 ウォーミングアップ」にて説明します。

ウォーミングアップ機能の使用方法を説明します。

1. クロックの選択

   ウォーミングアップカウンタのカウントアップクロックを CGOSCCR<HWUPSEL>で選択します。

2. ウォーミングアップカウンタ設定値の算出

   CGOSCCR<WUODR[11:0]>の設定値は、以下の計算式から算出し、下位 4 ビットを切り捨てて<WUODR[11:0]>に設定します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}}$$

   高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合は以下のようになります。

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォームアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40{,}000\text{サイクル} = 0\text{x}9\text{C}40$$

   下位 4 ビットを切り捨て、0x9C4 を CGOSCCR<WUODR[11:0]>に設定します。

3. ウォーミングアップの開始および終了確認

   ソフトウエア (命令) によりウォーミングアップの開始および終了確認を行う場合、CGOSCCR<WUEON>に"1"を設定することでウォーミングアップを開始します。

   また、終了の確認は<WUEF>で行います。<WUEF>が"1"でウォーミングアップ中、"0"で終了を示します。

以下に、ウォーミングアップ機能の設定例を示します。

表 8-1 ウォーミングアップ機能設定例(内部高速発振器選択時)

CGOSCCR<WUODR[11:0]> = "0x9C4"	:ウォーミングアップ時間設定
CGOSCCR<WUODR[11:0]> リード	: ウォーミングアップ時間の反映確認 "0x9C4"がリードできるまで繰り返し。
CGOSCCR<XEN2> = "1"	: 内部高速発振器(IHOSC)許可
CGOSCCR<WUEON> = "1"	: ウォーミングアップタイマ(WUP)スタート
CGOSCCR<WUEF>リード	: "0" (WUP 終了)になるまでウェイト

注 1)　発振が安定している外部クロックなどを使用する場合はウォーミングアップを行う必要はありません。

注 2)　ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

注 3)　CGOSCCR<WUODR[11:0]>にウォーミングアップカウント値を設定後、カウント値が反映されているのを待ってから WFI 命令を実行してスタンバイモードへ遷移してください。

注 4)　STOP1 モードからの復帰時、内部高速発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>は初期化され、CGOSCCR<WUODR[11:0]>は初期化されません。

8.3.5 クロック逓倍回路(PLL)

高速発振器の出力クロック fosc を 8 逓倍した f_{PLL} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

8.3.5.1 動作開始

PLL はリセット解除後、ディセーブル状態です。

PLL を使用するためには、CGOSCCR<PLLON>が"0"の状態で CGPLLSEL<PLLSET>の逓倍値の設定を行なった後、PLL の初期化時間として約 100μs 経過後に、<PLLON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 100μs 経過後に、CGPLLSEL<PLLSEL>を"1"に設定することにより、fosc を 8 逓倍した f_{PLL} クロックを使用することができます。なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能等を用いて確保する必要があります。

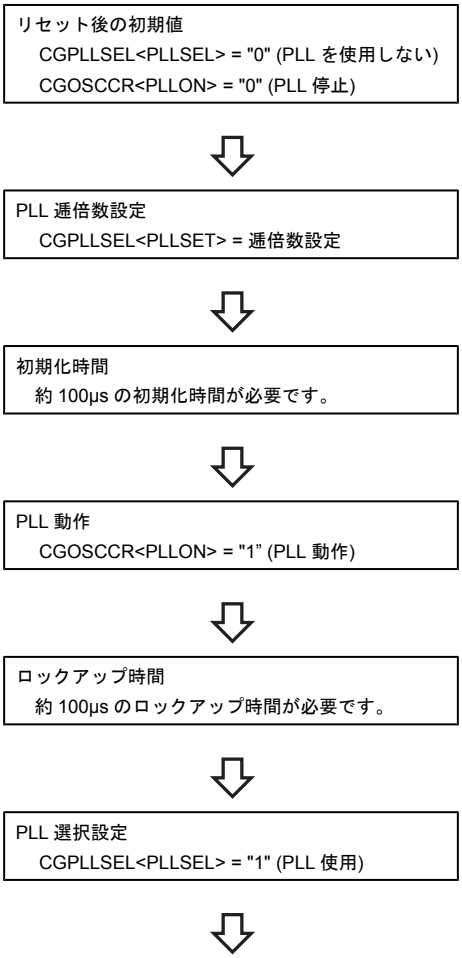
注) 内部高速発振器(IHOSC) を使用している時には、PLL を使用しないでください。

逓倍値は 8 逓倍が選択可能です。<PLLSET>の設定値は以下のとおりです。

逓倍数	<PLLSET>
8	0x381E

以下に PLL 動作開始手順を示します。

(1)　PLL 動作開始手順


リセット後の初期値
CGPLLSEL<PLLSEL> = "0" (PLL を使用しない)
CGOSCCR<PLLON> = "0" (PLL 停止)
PLL 逓倍数設定
CGPLLSEL<PLLSET> = 逓倍数設定
初期化時間
約 100μs の初期化時間が必要です。
PLL 動作
CGOSCCR<PLLON> = "1" (PLL 動作)
ロックアップ時間
約 100μs のロックアップ時間が必要です。
PLL 選択設定
CGPLLSEL<PLLSEL> = "1" (PLL 使用)
逓倍されたシステムクロックを使用可能

8.3.6 システムクロック

システムクロックの原振として、内部高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

内部高速発振クロックは、発振周波数精度が要求される場合には使用しないでください。

外部高速発振クロックは PLL で逓倍して使用できます。

源振		周波数	PLL 使用
内部高速発振(IHOSC)		10MHz	不可
外部高速発振	発振子(EHOSC)	8 ~ 12MHz	不使用または 8 逓倍
	クロック入力(EHCLKIN)	8 ~ 12MHz, 48MHz	

PLL で逓倍されたクロックを 2 分周したクロックをシステムクロックと ADC 用クロックとして使用することができます。それぞれ使用可能な周波数は以下のとおりです。

	システムクロック	ADC 用クロック
動作周波数(MHz)	1 ~ 48	40 (Max.)

システムクロックは CGSYSCR<GEAR[2:0]>で分周が可能です。設定は動作中に変更可能ですが、実際にクロックが切り替わるまでに若干の時間を要します。

PLL、クロックギアの設定による動作周波数の設定範囲例を表 8-2 に示します。

表 8-2 PLL、クロックギアの設定による動作周波数の設定範囲例

外部発振子 (MHz)	外部クロック入力 (MHz)	PLL 逓倍数	最大動作周波数 (fc) (MHz)	ADC 最大動作周波数 (MHz)	クロックギア(CG) (注 2) PLL = ON 時					クロックギア(CG) (注 2) PLL = OFF 時				
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	8	32	32	32	16	8	4	2	8	4	2	1	-
10	10		40	40	40	20	10	5	2.5	10	5	2.5	1.25	-
12	12		48	24 (注 1)	48	24	12	6	3	12	6	3	1.5	-
-	48	-	48	24 (注 1)	-	-	-	-	-	48	24	12	6	3

↑リセット後の初期値

注 1) ADC の最大動作周波数は 40MHz です。そのため、ADxCLK<ADCLK>で 2 分周した fc/2 の周波数を記載してあります。

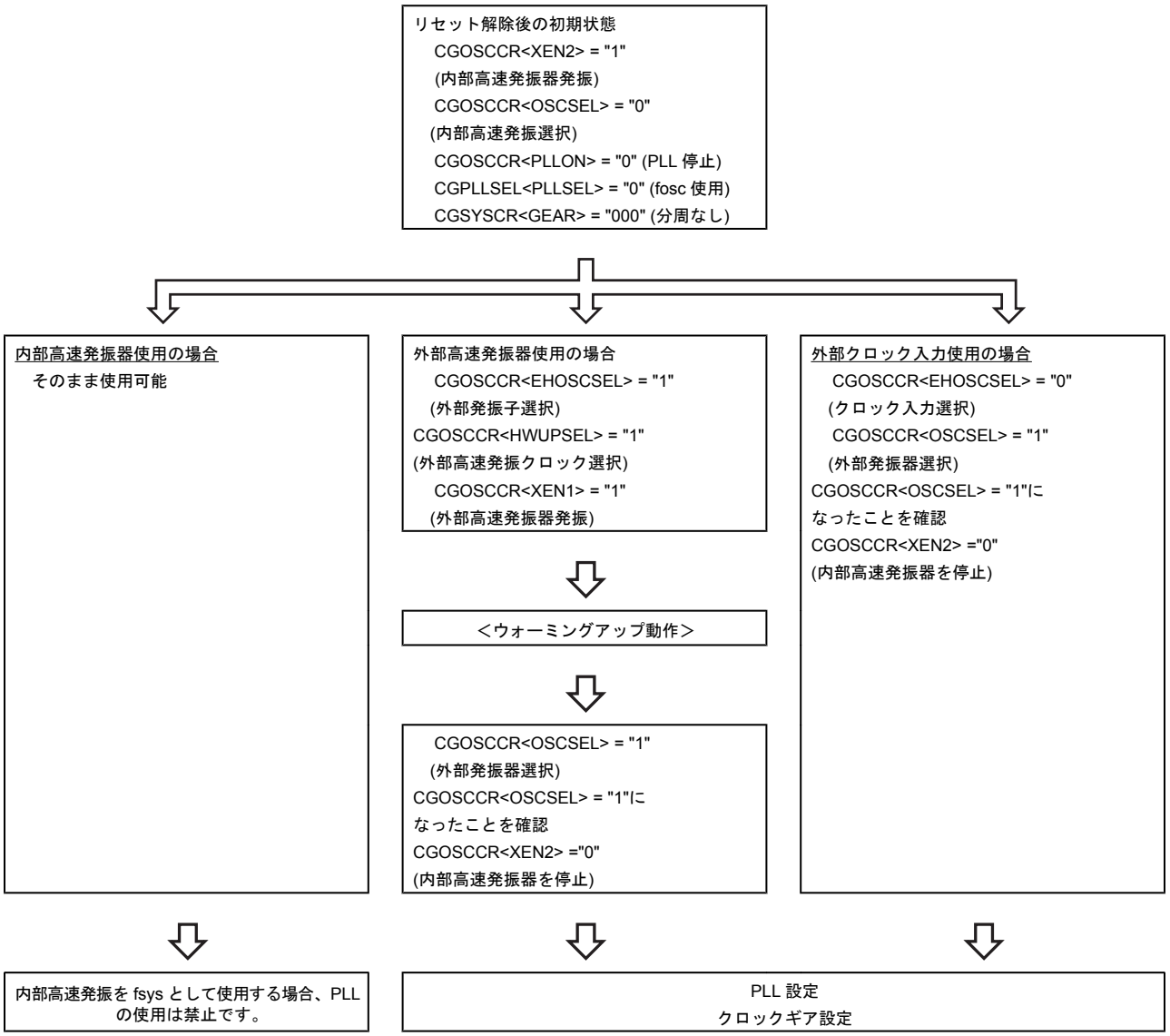
注 2) SysTick を使用するときには 1/16 を使用しないでください。

8.3.6.1　システムクロックの設定方法

システムクロックの選択は CGOSCCR で行います。クロック選択後、必要に応じて PLL 設定を CGPLLSEL, CGOSCCR で、クロックギアの設定を CGSYSCR で行います。

以下にクロックの設定手順を示します

クロック設定手順



8.3.7 プリスケーラクロック

周辺機能には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック φT0 は、CGSYSCR<FPSEL>から選択されたクロック fperiph をさらに CGSYSCR<PRCK[2:0]>にて分周することが可能です。リセット後の φT0 は fperiph/1 が選択されます。

注 1) クロックギアを使用する場合、周辺機能の各ブロックのプリスケーラ出力 φTn は、φTn ≤ fsys を満足するように時間設定(φTn が fsys よりも遅くなるように)してください。
ただし、TMBR については TBxCR<FT0SEL>="1"に設定した場合のみ、φTn ≤ fsys の条件でも使用できます。

注 2) タイマカウンタなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

8.3.8 クロックの端子出力機能

本製品には、クロックの端子出力機能があります。出力可能なクロックとして、システムクロックの 2 分周 fsys/2、システムクロック fsys、プリスケーラクロック φT0 を PD7/SCOUT 端子から出力できます。

注 1) SCOUT から出力されるシステムクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。

注 2) SCOUT に fsys を選択しているときにクロックギアを切り替えると、切り替えた直後、fsys の波形が乱れます。波形の乱れがシステム上、問題となる場合は、クロックギア切り替え時に SCOUT 出力をディセーブルにするなど対策を施してください。

ポートを SCOUT 端子として使用する時の設定は、" 入出力ポート" を参照してください。

表 8-3 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 8-3 モード別 SCOUT 出力状態

モード / SCOUT 選択 CGSYSCR	NORMAL	低消費電力モード	
		IDLE	STOP1
<SCOSEL[1:0]> = "00"	Reserved		
<SCOSEL[1:0]> = "01"	fsys/2 クロックを出力します	"0"または"1"に固定されます	
<SCOSEL[1:0]> = "10"	fsys クロックを出力します		
<SCOSEL[1:0]> = "11"	φT0 クロックを出力します		

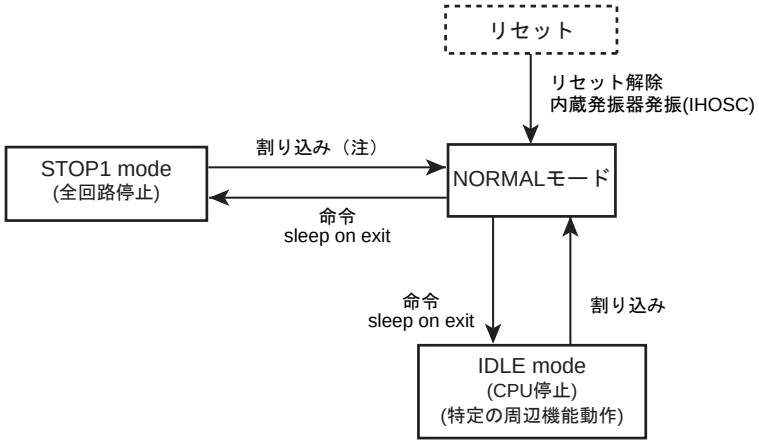
8.4　動作モードとモード遷移

8.4.1　モード状態遷移

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード, STOP1 モードがあります。

図 8-2 にモード状態遷移図を示します。

Sleep-on-exit については、"Cortex-M3 テクニカルリファレンスマニュアル"を参照してください。



注)　ウォーミングアップが必要です。ウォーミングアップ時間については、STOP1 モードに遷移する前に設定する必要があります。ウォーミングアップ時間については、「8.6.6 ウォーミングアップ」を参照してください。

図 8-2 モード状態遷移図

8.5 動作モード

8.5.1 NORMAL モード

CPU コアおよび周辺ハードウエアを高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

8.6 低消費電力モード

低消費電力モードには、IDLE, STOP1 モードがあります。低消費電力モードに移行するには、システムコントロールレジスタ CGSTBYCR<STBY[2:0]>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「例外」の章の「割り込み」を参照してください。

注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの移行は行わないでください。

注 2) 本製品は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

IDLE, STOP1 モードの特長は次のとおりです。

8.6.1 IDLE モード

CPU が停止するモードです。周辺機能の一部は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16 ビットタイマ/イベントカウンタ(TMRB)
- シリアルチャネル(SIO/UART)
- シリアルバスインタフェース(I2C/SIO)
- アナログ/デジタルコンバータ(ADC)
- ウォッチドッグタイマ(WDT)

注 1) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

注 2) IDLE モードへ遷移する前に、USB へのソースクロックを停止して下さい。
(CGUSBCTL<USBCLKEN>=“0”を設定)

8.6.2　STOP1 モード

内部発振器も含めてすべての内部回路が停止するモードです。STOP1 モードが解除されると

内部発振器が発振を開始し、NORMAL モードへ復帰します。

STOP1 モード中は CGSTBYCR<DRVE>の設定により端子のドライブ状態を保持することができます。STOP1 モード時の端子状態を表 8-4 に示します。

注 1)　STOP1 モードから NORMAL モードへの復帰時にはウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1 モードに入る前のモード（NORMAL モード)で設定しておく必要があります。ウォーミングアップ時間については、「8.3.4 ウォーミングアップ機能」を参照してください。

注 2)　STOP1 モードからの復帰時は内部高速発振による起動となるため CGPLLSEL<PLLSEL>、CGOSCCR<HWUPSEL>、<OSCSEL>、<XEN2>、<XEN1>、<PLLON>は初期化され、CGOSCCR<WUODR[11:0]>は初期化されません。

表 8-4 STOP1 モード時の端子状態

機能	ピン名称	入出力	STOP1	
			<DRVE> = "0"	<DRVE> = "1"
制御端子	$\overline{\text{RESET}}$, $\overline{\text{NMI}}$, MODE, BSC	入力	o	o
発振器	X1/EHCLKIN	入力	×	×
	X2	出力	"High"レベル出力	
ポート	PI7, PI6, PI3 ($\overline{\text{TRST}}$, TDI, TCK/SWCLK) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による	
	PI4 (SWDIO/TMS) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による	
		出力	データ有効な時に許可、データ無効なときは禁止	
	PI5, PI2, PI1, PI0, PH0, PH1 (TDO/SWV, TRACECLK, TRACEDATA0 to 3) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	出力	PxCR[m]による	
	PG3, PG5, PK0, PK1, PE7, PE3, PF4, PF5, PH4, PJ7 (INT0 to 9) (割り込み機能設定, PxFRn<PxmFn>="1"かつ PxIE<PxmIE>="1")	入力	o	o
	上記以外	入力	×	PxIE[m]による
		出力	×	PxCR[m]による

o : 入力または出力が有効
× : 入力または出力が無効

注)　「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

8.6.3 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 8-5 に<STBY[2:0]>の設定より選択されるモードを示します。

表 8-5 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP1	001
IDLE	011

注) 上記の設定以外は行わないでください。

8.6.4　各モードにおける動作状態

各モードにおける動作状態を表 8-6 に示します。

表 8-6 各動作モードにおける動作状態

Block	NORMAL 内部高速 発振器使用 (IHOSC)	NORMAL 外部高速 発振器使用 (EHOSC)	IDLE 内部高速 発振器使用 (IHOSC)	IDLE 外部高速 発振器使用 (EHOSC)	STOP1 (注 1)
Processor core	o	o	−	−	−
DMAC	o	o	o	o	−
I/O port	o	o	o	o	o(注 2)
SIO/UART	o	o	Δ	Δ	−
I2C/SIO	o	o	Δ	Δ	−
TMRB	o	o	Δ	Δ	−
WDT	o	o	Δ(注 4)	Δ(注 4)	−
USB	o	o	o	o	−
12-bit ADC	o	o	Δ	Δ	−
CG	o	o	o	o	o
PLL	o	o	Δ	Δ	−
外部高速発振器 (EHOSC)	Δ	o	Δ	o	−
内部高速発振器 (IHOSC)	o	o(注 3)	o	o(注 3)	−
メイン RAM	o	o	o	o	o

o : 対象のモード中に動作が可能

− : 対象のモードに移行すると自動的にモジュールへのクロックが停止

Δ : 対象のモード中にソフトウエアにてモジュールの動作/停止の選択が可能

注 1)　STOP1 モードに遷移する前に、"−"、"×"の周辺機能を停止させてから STOP1 モードに遷移してください。なお、AD コンバータのリファレンス電源を OFF にすることによりリーク電流を抑えることができます。

注 2)　CGSTBYCR<DRVE>の設定に依存します。

注 3)　リセット解除後および STOP1 モード解除後は内部発振器からクロックを供給します。

注 4)　IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

8.6.5 低消費電力モードの解除

低消費電力モードからの解除は、割り込み, マスク不能割り込み(NMI), リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を表 8-7 に示します。

表 8-7 解除ソースと解除可能なモード

低消費電力モード (注 1)			IDLE	STOP1
解除ソース	割り込み	INT0 to 9 (注 2)	o	o
		INTTB0 to 9	o	×
		INTCAP00 to 91	o	×
		INTRX0 to 1, INTTX0 to 1	o	×
		INTSBI0 to 1	o	×
		INTUSB	o	o
		INTUSBWKUP	o	o
		INTAD / INTADHP / INTADM0 to 1	o	×
		INTDMAC0TC, INTDMAC0ERR	o	×
	SysTick 割り込み		o	×
	マスク不能割り込み (INTWDT)		o	×
	マスク不能割り込み ($\overline{\text{NMI}}$ 端子)		o	o
	RESET ($\overline{\text{RESET}}$ 端子)		o	o

o: 解除後、割り込み処理を開始します。(RESET は本製品を初期化します))

×: 解除に使用できません

注 1) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していない場合、復帰要因以外の割り込みで解除が行われる場合があります。

注 2) IDLE,STOP モードからレベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合、正しい割り込み処理を開始できません。

・ 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1 モードの解除に使用する割り込みは、CPU の設定のほかにクロックジェネレータで割り込み検出の設定を行う必要があります。

・ マスク不能割り込み(NMI)による解除

INTWDT は IDLE モードでのみ使用可能です。

・ リセットによる解除

$\overline{\text{RESET}}$ 端子によるリセットですべての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードですべてのレジスタが初期化された状態になります。

STOP1 モードの解除にリセットを使用する場合、自動ウォーミングアップが行われないため、発振器動作が安定するまでリセット信号を有効に保ってください。

・ SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「例外」の章の「割り込み」をご参照ください。

8.6.6　ウォーミングアップ

モード遷移時、内部発振器の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの遷移では、自動的に内部発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに移行する命令を実行する前に、CGOSCCR<WUODR[11:0]>でウォーミングアップ時間の設定を行ってください。

注)　STOP1 モードからの復帰時、内部発振起動のため関係ビット CGPLLSEL<PLLSEL>および CGOSCCR<HWUPSEL>、<XEN2>、<XEN1>、<PLLON>は初期化されます。ただし、CGOSCCR<WUODR[11:0]>は初期化されません。

各動作モード遷移時におけるウォーミングアップの有無を表 8-8 に示します。

表 8-8 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	自動ウォーミングアップ(注)

注)　リセットで解除する場合には自動ウォーミングアップを行ないません。コールドリセットと同じリセットを入力してください。

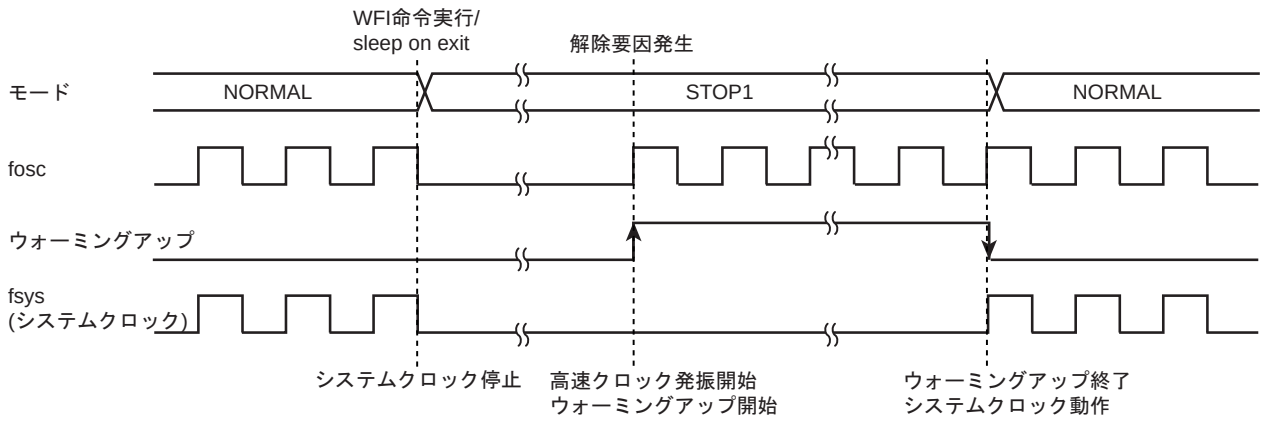
8.6.7 モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

8.6.7.1 NORMAL → STOP1 → NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。この場合のウォーミングアップは内蔵 Flash の安定時間(450µs) として、STOP1 モードへ遷移する前に CGOSCCR<WUODR[11:0]> に 0x119 を設定してください。

リセットで NORMAL モードへ復帰する場合はウォーミングアップは行われませんので、コールドリセットと同じリセットを入力してください。



第 9 章　例外

この章では、例外の特長, 種類, 処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて"Cortex-M3 テクニカルリファレンスマニュアル"もご覧ください。

9.1　概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウエアによる要因で発生する割り込みがあります。

すべての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

9.1.1　種類

例外には以下のようなものがあります。

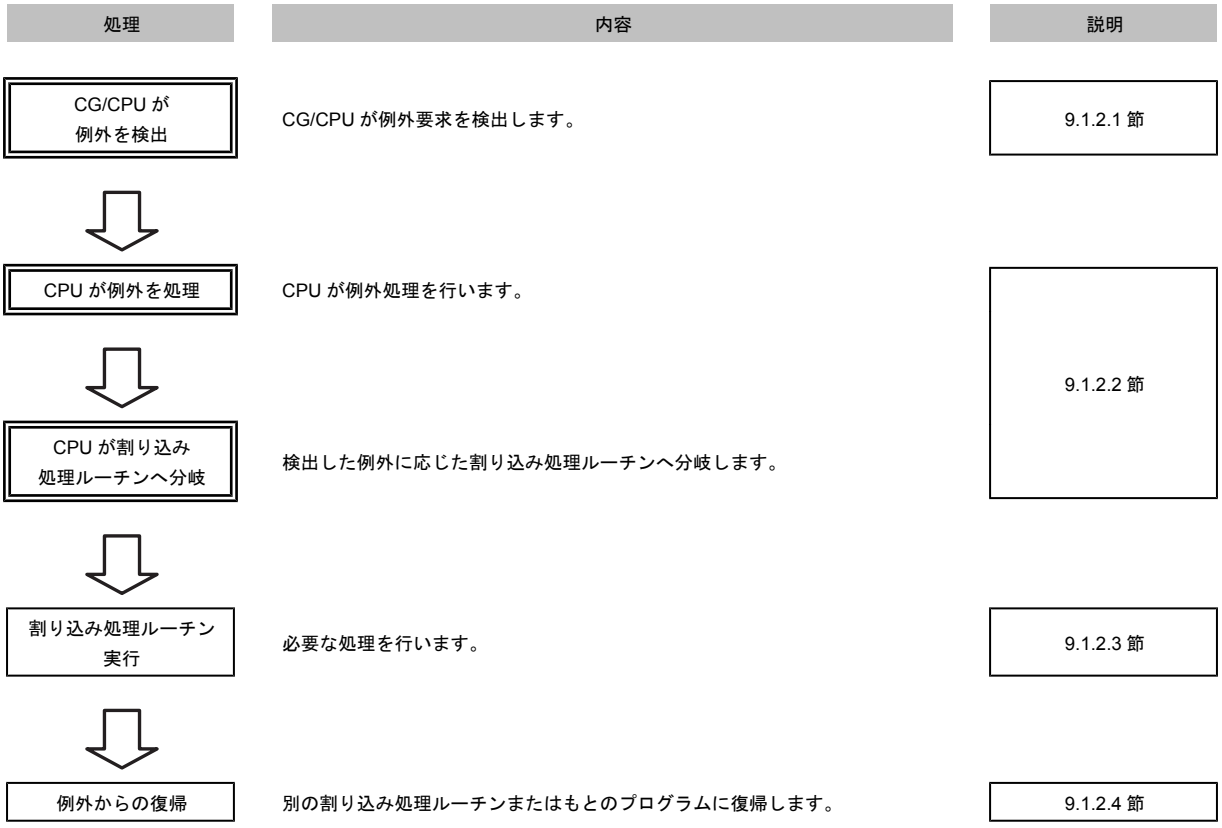
それぞれの例外の詳細な内容は、"Cortex-M3 テクニカルリファレンスマニュアル"をご覧ください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCall (スーパバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

9.1.2　処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。



9.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行, メモリアクセス, 外部割り込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

割り込みの要求は、外部割り込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「9.5 割り込み」の節で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。"構成可能"と記載された例外は、優先度を設定することができます。また、メモリ管理, バスフォールト, 用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 9-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	−3 (最高)	リセット端子, WDT, SYSRESETREQ
2	マスク不能割り込み	−2	$\overline{\text{NMI}}$ 端子または WDT
3	ハードフォールト	−1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU (メモリ保護ユニット)からの例外(注 1) 実行不可(XN) (Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7~10	予約	−	
11	SVCall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	CPU がフォールト中でないときのデバッグモニタ
13	予約	−	
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) 本製品は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「9.5.1.5 要因一覧」を参照してください。

(3)　優先度の設定

・　優先度レベル

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで該当する<PRI_n>ビットに設定します。

<PRI_n>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット~ 8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8 ビットの構成の場合、優先度は 0 ~ 255 のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

注)　本製品では、<PRI_n>ビットは 3 ビットの構成になっています。

・　優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>を設定することで、<PRI_n>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 9-2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI_n>が 8 ビット構成の場合の数です。

表 9-2 優先度のグループ化設定

<PRIGROUP[2:0]>の設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取りフィールド	サブ優先度フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注)　<PRI_n>の構成が 8 ビットより小さい場合、下位ビットは"0"となります。
たとえば、3 ビット構成の場合、<PRI_n[7:5]>で優先度が設定され、<PRI_n[4:0]>は"00000"になります。

9.1.2.2 例外の処理と割り込み処理ルーチンへの分岐(横取り)

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を"横取り"と呼びます。

(1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- プログラムカウンタ(PC)
- プログラムステータスレジスタ(xPSR)
- r0 ~ r3
- r12
- リンクレジスタ(LR)

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。



(2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x0000_0000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4)　ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の 4 ワード(スタックの先頭アドレス, リセット, NMI, ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

9.1.2.3　割り込み処理ルーチンの発行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「9.5 割り込み」の節で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

9.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

  保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

  このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

  保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

  保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

  退避していた 8 つのレジスタ(PC, xPSR, r0～r3, r12, LR)を復帰し SP を調整します。

- 割り込み番号のロード

  退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。

- SP の選択

  例外(ハンドラモード)へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

9.2　リセット例外

リセット例外には、以下の 3 種類の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタの CGRSTFLG を参照してください。

- 外部リセット端子

  外部リセット端子を"Low"にしたのち、"High"にすることによりリセット例外が発生します。

- WDT によるリセット例外

  WDT にリセットを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

- SYSRESETREQ によるリセット例外

  NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることで、リセットを発生させることができます。

9.3　マスク不能割り込み(NMI)

マスク不能割り込みには、以下の 2 種類の要因があります。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタの CGNMIFLG を参照してください。

- 外部 $\overline{\text{NMI}}$ 端子

  外部 $\overline{\text{NMI}}$ 端子を"High"から"Low"にすることによりマスク不能割り込みが発生します。

- WDT によるマスク不能割り込み

  WDT にマスク不能割り込みを発生する機能があります。詳細は「ウォッチドッグタイマ」の章をご覧ください。

9.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値がカウンタへリロードされカウントダウンを開始します。カウンタが"0"になると SysTick 例外を発生します。また、例外を保留しフラグでタイマが"0"になったことを確認することもできます。

SysTick 較正値レジスタには、システムタイマで 10 ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正値レジスタに設定されている値も異なります。

注) 本製品では、外部参照クロックとして fosc(CGOSCCR<OSCSEL><EHOSCSEL>)で選択されたクロックを 32 分周したクロックが使用されます。

9.5　割り込み

この節では、割り込みの伝わる経路, 要因, 必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して CPU に要因が伝わるため、クロックジェネレータの設定も必要です。

9.5.1　要因

9.5.1.1　経路

割り込み要求の経路を図 9-1 に示します。

周辺機能からの割り込み要求のうち、スタンバイ解除に使用されないものは直接 CPU に入力されます。(経路 ①)

スタンバイ解除に使用される周辺機能割り込み(経路 ②)および、外部割込み端子からの割り込み(経路 ③)はクロックジェネレータに入力され、スタンバイ解除のロジックを経由して CPU に入力されます。(経路 ④⑤)

外部割込み端子からの割り込みは、スタンバイ解除に使用しない場合スタンバイ解除ロジックを経由せずに CPU に入力されます。(経路 ⑥)

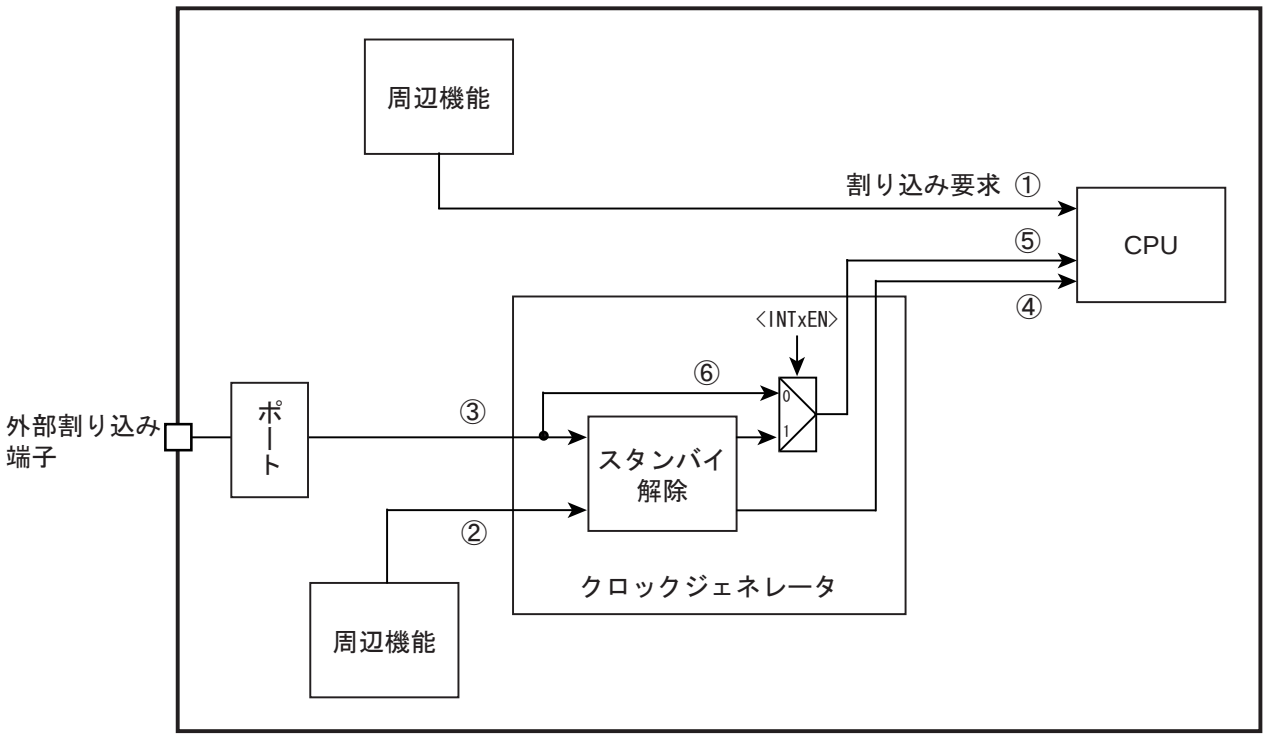


図 9-1 割り込みの経路

9.5.1.2　割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子, 周辺機能, NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

・ 外部端子からの割り込み

外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。

・ 周辺機能の割り込み

周辺機能の割り込みを使用する場合、使用する周辺機能で割り込みが出力されるよう設定する必要があります。

詳細は各章をご覧ください。

・ 割り込みの強制的な保留

割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要因を発生させることができます。

9.5.1.3 割り込み要因の伝達

外部端子/周辺機能から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して CPU に接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。この場合、次項の注意事項に留意して使用してください。

9.5.1.4 外部割込み端子を使用する際の注意

外部割込みを使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割込み端子からの入力信号は、入力ディセーブル(PxIE<PxmIE>="0")の場合"High"となります。また、外部割込みをスタンバイ解除要因として使用しない場合（「図 9-1 割り込みの経路」の⑥ の経路)、外部割込み端子からの入力信号がそのまま CPU に伝わります。CPU は"High"入力を割り込みとして認識しますので、入力ディセーブルのまま CPU で該当する割り込みを有効にすると割り込みが発生します。

外部割込みをスタンバイ解除要因とせずに使用する際には、割り込み端子入力を"Low"レベルとして入力イネーブルにし、その後 CPU で割り込み許可設定を行ってください。

9.5.1.5　要因一覧

割り込みの要因一覧を表 9-3 に示します。

表 9-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除と割り込み)	CG 割り込みモード コントロールレジスタ
0	INT0	割り込み端子 0	任意	CGIMCGA
1	INT1	割り込み端子 1		
2	INT2	割り込み端子 2		
3	INT3	割り込み端子 3		
4	INT4	割り込み端子 4		CGIMCGB
5	INT5	割り込み端子 5		
6	INT6	割り込み端子 6		
7	INT7	割り込み端子 7		
8	INTRX0	シリアル受信(channel0)		
9	INTTX0	シリアル送信(channel0)		
10	INTRX1	シリアル受信(channel1)		
11	INTTX1	シリアル送信(channel1)		
12	INTUSBWKUP	USB Wake-up 割り込み	立下り	CGIMCGC
13	-	Reserved		
14	INTSBI0	シリアルバスインタフェース 0		
15	INTSBI1	シリアルバスインタフェース 1		
16	INTADHP	最優先 AD 変換終了割り込み		
17	INTAD	AD 変換終了割り込み		
18	INTADM0	AD 変換監視機能割り込み 0		
19	INTADM1	AD 変換監視機能割り込み 1		
20	INTTB0	TMRB0 コンペアー致		
21	INTTB1	TMRB1 コンペアー致		
22	INTTB2	TMRB2 コンペアー致		
23	INTTB3	TMRB3 コンペアー致		
24	INTTB4	TMRB4 コンペアー致		
25	INTTB5	TMRB5 コンペアー致		
26	INTTB6	TMRB6 コンペアー致		
27	INTTB7	TMRB7 コンペアー致		
28	INTTB8	TMRB8 コンペアー致		
29	INTTB9	TMRB9 コンペアー致		
30	INTUSB	USB 割り込み		
31	-	Reserved		
32	-	Reserved		
33	-	Reserved		
34	INTUSBPON	USB Poewe ON(V-Bus Connect)検出割り込み	任意	CGIMCGC
35	-	Reserved		
36	INTCAP00	TMRB0 インプットキャプチャ 0		
37	INTCAP01	TMRB0 インプットキャプチャ 1		
38	INTCAP10	TMRB1 インプットキャプチャ 0		
39	INTCAP11	TMRB1 インプットキャプチャ 1		
40	INTCAP20	TMRB2 インプットキャプチャ 0		
41	INTCAP21	TMRB2 インプットキャプチャ 1		
42	INTCAP30	TMRB3 インプットキャプチャ 0		
43	INTCAP31	TMRB3 インプットキャプチャ 1		

表 9-3 割り込み要因一覧

番号	要因		アクティブレベル (スタンバイ解除と割り込み)	CG 割り込みモード コントロールレジスタ
44	INTCAP40	TMRB4 インプットキャプチャ 0		
45	INTCAP41	TMRB4 インプットキャプチャ 1		
46	INTCAP50	TMRB5 インプットキャプチャ 0		
47	INTCAP51	TMRB5 インプットキャプチャ 1		
48	INTCAP60	TMRB6 インプットキャプチャ 0		
49	INTCAP61	TMRB6 インプットキャプチャ 1		
50	INTCAP70	TMRB7 インプットキャプチャ 0		
51	INTCAP71	TMRB7 インプットキャプチャ 1		
52	INTCAP80	TMRB8 インプットキャプチャ 0		
53	INTCAP81	TMRB8 インプットキャプチャ 1		
54	INTCAP90	TMRB9 インプットキャプチャ 0		
55	INTCAP91	TMRB9 インプットキャプチャ 1		
56	INT8	割り込み端子 8	任意	CGIMCGC
57	INT9	割り込み端子 9		
58	-	Reserved		
59	-	Reserved		
60	INTDMAC0TC	DMA0 転送終了割り込み		
61	INTABTLOSS0	I2C アービトレーションロスト割り込み(channel0)		
62	INTDMAC0ERR	DMA0 転送エラー割り込み		
63	INTABTLOSS1	I2C アービトレーションロスト割り込み(channel1)		

9.5.1.6　アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号の"High"を割り込み要因とみなします。各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み要求として"High"パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、クロックジェネレータに設定するアクティブレベルは、周辺機能からの割り込み要求は立ち上がり(「↑」)エッジまたは立ち下がり(「↓」)エッジとなり、割り込み端子からの割り込み要求は"High"レベル、"Low"レベル、立ち上がり(「↑」)エッジ、立ち下がり(「↓」)エッジから選ぶことができます。

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCGx<INTxEN>を有効にし、CGIMCGx<EMCGx[2:0]>にアクティブレベルを設定します。周辺機能からの割り込み要求のアクティブレベルは表 9-3 で指定されているとおりに設定してください。

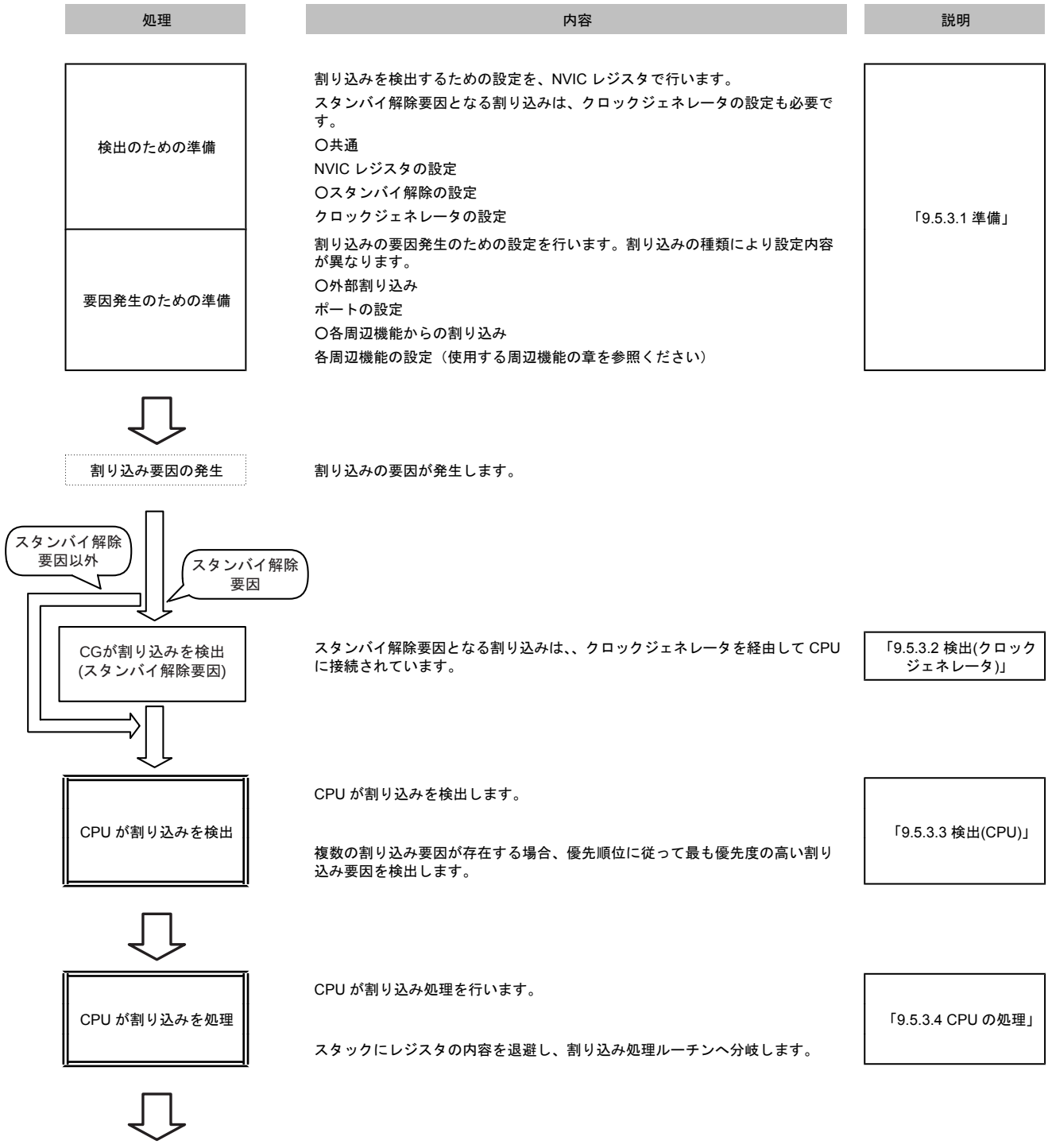
クロックジェネレータで検出された割り込みは、"High"レベル信号で CPU に通知されます。

9.5.2 処理詳細

9.5.3 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウエアによる処理を、 はソフトウエアによる処理を示しています。



処理	内容	説明
割り込み サービスルーチン実行	必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。	「9.5.3.5 割り込み処理ルーチンでの処理(要因の取り下げ)」
⇩		
元のプログラムへ復帰	割り込み処理ルーチンから通常の処理プログラムに復帰します。	

9.5.3.1 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

1. CPU 割り込み禁止
2. CPU 割り込み設定
3. 要因の準備(1) (外部割り込み)
4. 要因の準備(2) (周辺機能からの割り込み)
5. 要因の準備(3) (割り込み保留セットレジスタ)
6. クロックジェネレータの設定
7. CPU 割り込み許可

(1) CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK レジスタに"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外のすべての割り込みと例外がマスクされます。

このレジスタをセットするためには"MSR"命令を使用します。

割り込みマスクレジスタ		
PRIMASK	←	"1"(割り込み禁止)

注 1) PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。
注 2) PRIMASK レジスタに"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

(2) CPU 割り込み設定

NVIC レジスタの割り込み優先度 レジスタで<PRI_n>に優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP>も設定します。

NVIC レジスタ		
<PRI_n>	←	「優先度」
<PRIGROUP>	←	「グループ優先度」(必要に応じて設定してください)

注) 「n」は該当する例外/割り込みの番号を示します。
本製品では割り込み優先度レジスタの優先度設定領域は 3 ビットの構成になっています。

(3)　要因の準備(1) (外部割り込み)

外部割り込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PxFRn[m]を"1"に、ポートを入力として使用するために PxIE[m]を"1"に設定します。

ポートレジスタ		
PxFRn<PxmFn>	←	"1"
PxIE<PxmIE>	←	"1"

注) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。
STOP 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が有効になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。また、「9.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

(4)　要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定方法は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5)　要因の準備(3) (割り込み保留セットレジスタ)

割り込み保留セットレジスタで割り込みを発生する場合、該当するビットに"1"をセットします。

NVIC レジスタ		
割り込み保留セット[m]	←	"1"

注) 「m」は該当ビットを示します。

(6)　クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアを CGICRCG レジスタで行います。CGICRCG レジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「9.6.3.4 CGICRCG(CG 割り込み要求クリアレジスタ)」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPU が割り込み要因として検出するためには、"High"パルスまたは"High"レベルの信号を入力する必要があります。また、「9.5.1.4 外部割込み端子を使用する際の注意」の記載事項に注意してください。

クロックジェネレータレジスタ		
CGIMCGn<EMCGm>	←	アクティブレベル
CGICRCG<ICRCG>	←	使用する要因に対応する値
CGIMCGn<INTmEN>	←	"1"(割り込み許可)

注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(7) CPU 割り込み許可

CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタで保留状態の割り込みをクリアし、割り込みイネーブルセットレジスタで割り込みを許可します。これらのレジスタは 1 ビットずつ各割り込み要因に割り当てられています。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで保留されている要因をクリアすることができ、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK レジスタを"0"にクリアします。

NVIC レジスタ		
割り込み保留クリア[m]	←	"1"
割り込みイネーブルセット[m]	←	"1"
割り込みマスクレジスタ		
PRIMASK	←	"0"

注 1) 「m」は該当ビットを示します。
注 2) PRIMASK レジスタは、ユーザ・アクセス・レベルではセットできません。

9.5.3.2 検出(クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立ち下がりエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、"High"レベルまたは"Low"レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると CG 割り込み要求クリアレジスタ(CGICRCG)で解除されるまで"High"レベルの割り込み信号を CPU に出力します。解除を行わずに復帰すると再度同じ割り込みが検出されますので、割り込み処理ルーチン内で割り込みの解除を行ってください。

9.5.3.3　検出(CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

9.5.3.4　CPU の処理

割り込みが検出されると、CPU はスタックへ PC, PSR, r0~r3, r12, LR を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

9.5.3.5　割り込み処理ルーチンでの処理(要因の取り下げ)

割り込み処理ルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

(1)　割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に PC, PSR, r0~r3, r12, LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

(2)　割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

9.6 例外/割り込み関連レジスタ

以下に、本章で説明した CPU の NVIC レジスタとクロックジェネレータレジスタとアドレスを示します。

9.6.1 レジスター覧

NVIC レジスタ Base Address = 0xE000_E000

レジスタ名	Address
SysTick 制御およびステータスレジスタ	0x0010
SysTick リロード値レジスタ	0x0014
SysTick 現在値レジスタ	0x0018
SysTick 較正値レジスタ	0x001C
割り込みイネーブルセットレジスタ 1	0x0100
割り込みイネーブルセットレジスタ 2	0x0104
Reserved	0x0108 ~ 0x017F
割り込みイネーブルクリアレジスタ 1	0x0180
割り込みイネーブルクリアレジスタ 2	0x0184
Reserved	0x0188 ~ 0x01FF
割り込み保留セットレジスタ 1	0x0200
割り込み保留セットレジスタ 2	0x0204
Reserved	0x0208 ~ 0x027F
割り込み保留クリアレジスタ 1	0x0280
割り込み保留クリアレジスタ 2	0x0284
Reserved	0x0288 ~ 0x03FF
割り込み優先度レジスタ	0x0400 ~ 0x0460
ベクタテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラ優先度レジスタ	0x0D18, 0x0D1C, 0x0D20
システムハンドラ制御および状態レジスタ	0x0D24

クロックジェネレータレジスタ Base Address = 0x400F_3000

レジスタ名		Address
CG 割り込みモードコントロールレジスタ A	CGIMCGA	0x0040
CG 割り込みモードコントロールレジスタ B	CGIMCGB	0x0044
CG 割り込みモードコントロールレジスタ C	CGIMCGC	0x0048
Reserved	-	0x004C ~ 0x005F
CG 割り込み要求クリアレジスタ	CGICRCG	0x0060
リセットフラグレジスタ	CGRSTFLG	0x0064
NMI フラグレジスタ	CGNMIFLG	0x0068

9.6.2　NVIC レジスタ

9.6.2.1　SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-17	−	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマは 0 になっていない 1: タイマが 0 になった "1"の場合、最後の読み出しの後にタイマが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15-3	−	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック (fosc/32) (注) 1: CPU クロック (fsys)
1	TICKINT	R/W	0: SysTick を保留しない 1: SysTick を保留する
0	ENABLE	R/W	0: ディセーブル 1: イネーブル "1"をセットするとリロード値レジスタの値をカウンタにロードし、動作を開始します。

注)　本製品では、外部参照クロックとして fosc(CGOSCCR<OSCSEL><EHOSCSEL>)で選択されたクロックを 32 分周したクロックが使用されます。

9.6.2.2 SysTick リロード値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	RELOAD	R/W	リロード値 タイマが"0"になったときに SysTick 現在値レジスタにロードする値を設定します。

9.6.2.3 SysTick 現在値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31-24	−	R	リードすると"0"が読めます。
23-0	CURRENT	R/W	[リード] SysTick タイマ現在値 [ライト] クリア 任意の値を書き込むとタイマカウントがクリアされます。 このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの<COUNTFLAG>もクリアされます。

9.6.2.4　SysTick 較正値レジスタ

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	1	1	0	0	0	1	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正値は 10 ms 1: 較正値は 10 ms でない
29-24	–	R	リードすると"0"が読めます。
23-0	TENMS	R	較正値 外部参照クロックで 10 ms をカウントするために使用するリロード値(0x9C4)です。(注)

注)　マルチショットで使用する場合、この値を-1 して使用してください。

9.6.2.5 割り込みイネーブルセットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	-	SETENA (割り込み 30)	SETENA (割り込み 29)	SETENA (割り込み 28)	SETENA (割り込み 27)	SETENA (割り込み 26)	SETENA (割り込み 25)	SETENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 23)	SETENA (割り込み 22)	SETENA (割り込み 21)	SETENA (割り込み 20)	SETENA (割り込み 19)	SETENA (割り込み 18)	SETENA (割り込み 17)	SETENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 15)	SETENA (割り込み 14)	-	SETENA (割り込み 12)	SETENA (割り込み 11)	SETENA (割り込み 10)	SETENA (割り込み 9)	SETENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 7)	SETENA (割り込 6)	SETENA (割り込み 5)	SETENA (割り込み 4)	SETENA (割り込み 3)	SETENA (割り込み 2)	SETENA (割り込み 1)	SETENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-14	SETENA	R/W	割り込み番号[30:14] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
13	-	R	リードすると"0"が読めます。
12-0	SETENA	R/W	割り込み番号[12:0] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。

注) 割り込みの内容と割り込み番号については、「9.5.1.5 要因一覧」を参照してください。

9.6.2.6　割り込みイネーブルセットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETENA (割り込み 63)	SETENA (割り込み 62)	SETENA (割り込み 61)	SETENA (割り込み 60)	-	-	SETENA (割り込み 57)	SETENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SETENA (割り込み 55)	SETENA (割り込み 54)	SETENA (割り込み 53)	SETENA (割り込み 52)	SETENA (割り込み 51)	SETENA (割り込み 50)	SETENA (割り込み 49)	SETENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SETENA (割り込み 47)	SETENA (割り込み 46)	SETENA (割り込み 45)	SETENA (割り込み 44)	SETENA (割り込み 43)	SETENA (割り込み 42)	SETENA (割り込み 41)	SETENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SETENA (割り込み 39)	SETENA (割り込み 38)	SETENA (割り込み 37)	SETENA (割り込み 36)	-	SETENA (割り込み 34)	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
30-28	SETENA	R/W	割り込み番号[63:60] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
27-26	-	R	リードすると"0"が読めます。
25-4	SETENA	R/W	割り込み番号[57:36] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
3	-	R	リードすると"0"が読めます。
2	SETENA	R/W	割り込み番号[34] [ライト] 1: 許可 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しています。 "1"をライトすることで該当する割り込みを許可します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止状態が確認できます。
1-0	-	R	リードすると"0"が読めます。

注)　割り込みの内容と割り込み番号については、「9.5.1.5 要因一覧」を参照してください。

9.6.2.7 割り込みイネーブルクリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	-	CLRENA (割り込み 30)	CLRENA (割り込み 29)	CLRENA (割り込み 28)	CLRENA (割り込み 27)	CLRENA (割り込み 26)	CLRENA (割り込み 25)	CLRENA (割り込み 24)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 23)	CLRENA (割り込み 22)	CLRENA (割り込み 21)	CLRENA (割り込み 20)	CLRENA (割り込み 19)	CLRENA (割り込み 18)	CLRENA (割り込み 17)	CLRENA (割り込み 16)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 15)	CLRENA (割り込み 14)	-	CLRENA (割り込み 12)	CLRENA (割り込み 11)	CLRENA (割り込み 10	CLRENA (割り込み 9)	CLRENA (割り込み 8)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 7)	CLRENA (割り込み 6)	CLRENA (割り込み 5)	CLRENA (割り込み 4)	CLRENA (割り込み 3)	CLRENA (割り込み 2	CLRENA (割り込み 1)	CLRENA (割り込み 0)
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-14	CLRENA	R/W	割り込み番号[30:14] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
13	-	R	リードすると"0"が読めます。
12-0	CLRENA	R/W	割り込み番号[12:0] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。

注) 割り込みの内容と割り込み番号については、「9.5.1.5 要因一覧」を参照してください。

9.6.2.8　割り込みイネーブルクリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRENA (割り込み 63)	CLRENA (割り込み 62)	CLRENA (割り込み 61)	CLRENA (割り込み 60)	-	-	CLRENA (割り込み 57)	CLRENA (割り込み 56)
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CLRENA (割り込み 55)	CLRENA (割り込み 54)	CLRENA (割り込み 53)	CLRENA (割り込み 52)	CLRENA (割り込み 51)	CLRENA (割り込み 50)	CLRENA (割り込み 49)	CLRENA (割り込み 48)
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CLRENA (割り込み 47)	CLRENA (割り込み 46)	CLRENA (割り込み 45)	CLRENA (割り込み 44)	CLRENA (割り込み 43)	CLRENA (割り込み 42)	CLRENA (割り込み 41)	CLRENA (割り込み 40)
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CLRENA (割り込み 39)	CLRENA (割り込み 38)	CLRENA (割り込み 37)	CLRENA (割り込み 36)	-	CLRENA (割り込み 34)	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-28	CLRENA	R/W	割り込み番号[63:60] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
27-26	-	R	リードすると"0"が読めます。
25-4	CLRENA	R/W	割り込み番号[57:36] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
3	-	R	リードすると"0"が読めます。
2	CLRENA	R/W	割り込み番号[34] [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可 各ビットが指定された番号の割り込みに対応しており、割り込みを禁止したり、禁止されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを禁止します。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みの許可/禁止の状態を確認できます。
1-0	-	R	リードすると"0"が読めます。

注) 割り込みの内容と割り込み番号については、「9.5.1.5 要因一覧」を参照してください。

9.6.2.9　割り込み保留セットレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	-	SETPEND (割り込み 30)	SETPEND (割り込み 29)	SETPEND (割り込み 28)	SETPEND (割り込み 27)	SETPEND (割り込み 26)	SETPEND (割り込み 25)	SETPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 23)	SETPEND (割り込み 22)	SETPEND (割り込み 21)	SETPEND (割り込み 20)	SETPEND (割り込み 19)	SETPEND (割り込み 18)	SETPEND (割り込み 17)	SETPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 15)	SETPEND (割り込み 14)	-	SETPEND (割り込み 12)	SETPEND (割り込み 11)	SETPEND (割り込み 10	SETPEND (割り込み 9)	SETPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 7)	SETPEND (割り込み 6)	SETPEND (割り込み 5)	SETPEND (割り込み 4)	SETPEND (割り込み 3)	SETPEND (割り込み 2	SETPEND (割り込み 1)	SETPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
31-14	SETPEND	R/W	割り込み番号[30:14] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
13	-	R	リードすると"0"が読めます。
12-0	SETPEND	R/W	割り込み番号[12:0] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。

注)　割り込みの内容と割り込み番号については、「9.5.1.5 要因一覧」を参照してください。

9.6.2.10 割り込み保留セットレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	SETPEND (割り込み 63)	SETPEND (割り込み 62)	SETPEND (割り込み 61)	SETPEND (割り込み 60)	-	-	SETPEND (割り込み 57)	SETPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	SETPEND (割り込み 55)	SETPEND (割り込み 54)	SETPEND (割り込み 53)	SETPEND (割り込み 52)	SETPEND (割り込み 51)	SETPEND (割り込み 50)	SETPEND (割り込み 49)	SETPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SETPEND (割り込み 47)	SETPEND (割り込み 46)	SETPEND (割り込み 45)	SETPEND (割り込み 44)	SETPEND (割り込み 43)	SETPEND (割り込み 42)	SETPEND (割り込み 41)	SETPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	SETPEND (割り込み 39)	SETPEND (割り込み 38)	SETPEND (割り込み 37)	SETPEND (割り込み 36)	-	SETPEND (割り込み 34)	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-28	SETPEND	R/W	割り込み番号[63:60] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
27-26	-	R	リードすると"0"が読めます。
25-4	SETPEND	R/W	割り込み番号[57:36] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
3	-	R	リードすると"0"が読めます。
2	SETPEND	R/W	割り込み番号[34] [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、割り込みを強制的に保留したり、保留されているかどうかを確認できます。 "1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。 このレジスタのビットをクリアするには、割り込み保留クリアレジスタの対応するビットに"1"をセットします。
1-0	-	R	リードすると"0"が読めます。

注)　割り込みの内容と割り込み番号については、「9.5.1.5 要因一覧」を参照してください。

9.6.2.11 割り込み保留クリアレジスタ 1

	31	30	29	28	27	26	25	24
bit symbol	-	CLRPEND (割り込み 30)	CLRPEND (割り込み 29)	CLRPEND (割り込み 28)	CLRPEND (割り込み 27)	CLRPEND (割り込み 26)	CLRPEND (割り込み 25)	CLRPEND (割り込み 24)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 23)	CLRPEND (割り込み 22)	CLRPEND (割り込み 21)	CLRPEND (割り込み 20)	CLRPEND (割り込み 19)	CLRPEND (割り込み 18)	CLRPEND (割り込み 17)	CLRPEND (割り込み 16)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 15)	CLRPEND (割り込み 14)	-	CLRPEND (割り込み 12)	CLRPEND (割り込み 11)	CLRPEND (割り込み 10)	CLRPEND (割り込み 9)	CLRPEND (割り込み 8)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 7)	CLRPEND (割り込み 6)	CLRPEND (割り込み 5)	CLRPEND (割り込み 4)	CLRPEND (割り込み 3)	CLRPEND (割り込み 2)	CLRPEND (割り込み 1)	CLRPEND (割り込み 0)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30-14	CLRPEND	R/W	割り込み番号[30:14] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
13	-	R	リードすると"0"が読めます。
12-0	CLRPEND	R/W	割り込み番号[12:0] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。

注) 割り込みの内容と割り込み番号については、「9.5.1.5 要因一覧」を参照してください。

9.6.2.12　割り込み保留クリアレジスタ 2

	31	30	29	28	27	26	25	24
bit symbol	CLRPEND (割り込み 63)	CLRPEND (割り込み 62)	CLRPEND (割り込み 61)	CLRPEND (割り込み 60)	-	-	CLRPEND (割り込み 57)	CLRPEND (割り込み 56)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	CLRPEND (割り込み 55)	CLRPEND (割り込み 54)	CLRPEND (割り込み 53)	CLRPEND (割り込み 52)	CLRPEND (割り込み 51)	CLRPEND (割り込み 50)	CLRPEND (割り込み 49)	CLRPEND (割り込み 48)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	CLRPEND (割り込み 47)	CLRPEND (割り込み 46)	CLRPEND (割り込み 45)	CLRPEND (割り込み 44)	CLRPEND (割り込み 43)	CLRPEND (割り込み 42)	CLRPEND (割り込み 41)	CLRPEND (割り込み 40)
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	CLRPEND (割り込み 39)	CLRPEND (割り込み 38)	CLRPEND (割り込み 37)	CLRPEND (割り込み 36)	-	CLRPEND (割り込み 34)	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-28	CLRPEND	R/W	割り込み番号[63:60] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
27-26	-	R	リードすると"0"が読めます。
25-4	CLRPEND	R/W	割り込み番号[57:36] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
3	-	R	リードすると"0"が読めます。
2	CLRPEND	R/W	割り込み番号[34] [ライト] 1: 保留をクリアする [リード] 0: 保留なし 1: 保留あり 各ビットが指定された番号の割り込みに対応しており、保留された割り込みをクリアしたり、保留されているかどうかを確認できます。 "1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。"0"の書き込みは意味を持ちません。 リードの場合、該当する割り込みが保留されているかどうかを示します。
1-0	-	R	リードすると"0"が読めます。

注) 割り込みの内容と割り込み番号については、「9.5.1.5 要因一覧」を参照してください。

9.6.2.13　割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。

割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_E400	PRI_3	PRI_2	PRI_1	PRI_0
0xE000_E404	PRI_7	PRI_6	PRI_5	PRI_4
0xE000_E408	PRI_11	PRI_10	PRI_9	PRI_8
0xE000_E40C	PRI_15	PRI_14	-	PRI_12
0xE000_E410	PRI_19	PRI_18	PRI_17	PRI_16
0xE000_E414	PRI_23	PRI_22	PRI_21	PRI_20
0xE000_E418	PRI_27	PRI_26	PRI_25	PRI_24
0xE000_E41C	-	PRI_30	PRI_29	PRI_28
0xE000_E420	-	PRI_34	-	-
0xE000_E424	PRI_39	PRI_38	PRI_37	PRI_36
0xE000_E428	PRI_43	PRI_42	PRI_41	PRI_40
0xE000_E42C	PRI_47	PRI_46	PRI_45	PRI_44
0xE000_E430	PRI_51	PRI_50	PRI_49	PRI_48
0xE000_E434	PRI_55	PRI_54	PRI_53	PRI_52
0xE000_E438	-	-	PRI_57	PRI_56
0xE000_E43C	PRI_63	PRI_62	PRI_61	PRI_60

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			–	–	–	–	–
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_3	R/W	割り込み番号 3 優先度
28-24	−	R	リードすると"0"が読めます。
23-21	PRI_2	R/W	割り込み番号 2 優先度
20-16	−	R	リードすると"0"が読めます。
15-13	PRI_1	R/W	割り込み番号 1 優先度
12-8	−	R	リードすると"0"が読めます。
7-5	PRI_0	R/W	割り込み番号 0 優先度
4-0	−	R	リードすると"0"が読めます。

9.6.2.14　ベクタテーブルオフセットレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	TBLBASE	TBLOFF				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-30	−	R	リードすると"0"が読めます。
29	TBLBASE	R/W	テーブルベース ベクタテーブルを置くメモリ空間を指定します。 0: コード空間 1: SRAM 空間
28-7	TBLOFF	R/W	オフセット値 TBLBASE で指定した領域の先頭からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。
6-0	−	R	リードすると"0"が読めます。

9.6.2.15 アプリケーション割り込みおよびリセット制御レジスタ

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	VECTKEY (ライト)/ VECTKEYSTAT (リード)	R/W	レジスタキー [ライト]このレジスタへ書き込みを行うには、<VECTKEY>に"0x05FA"を書き込む必要があります。 [リード]リードすると"0xFA05"が読めます。
15	ENDIANESS	R/W	エンディアン形式ビット(注 1) 1: ビッグエンディアン 0: リトルエンディアン
14-11	−	R	リードすると"0"が読めます。
10-8	PRIGROUP	R/W	割り込み優先度グループ分け 000: 横取り優先度 7bit、サブ優先度 1bit 001: 横取り優先度 6bit、サブ優先度 2bit 010: 横取り優先度 5bit、サブ優先度 3bit 011: 横取り優先度 4bit、サブ優先度 4bit 100: 横取り優先度 3bit、サブ優先度 5bit 101: 横取り優先度 2bit、サブ優先度 6bit 110: 横取り優先度 1bit、サブ優先度 7bit 111: 横取り優先度 0bit、サブ優先度 8bit 割り込み優先度レジスタ<PRI_n>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7-3	−	R	リードすると"0"が読めます。
2	SYSRESET REQ	R/W	システムリセットリクエスト "1"をセットすると CPU が SYSRESETREQ 信号を出力します。(注 2)
1	VECTCLR ACTIVE	R/W	アクティブなベクタのクリア 1: アクティブな NMI、フォールト、割り込みのすべての状態の情報をクリアします。 0: クリアしません。 このビットは自身の動作によりクリアされます。 スタックの再初期化はアプリケーションで行う必要があります。
0	VECTRESET	R/W	システムリセット 1: システムをリセットします。 0: システムをリセットしません。 "1"をセットするとデバッグコンポーネント(FPB,DWT,ITM)以外の CPU 内部をリセットし、本ビットもクリアされます。

注 1) 本製品はリトルエンディアンがデフォルトで選択されます。

注 2) 本製品では、SYSRESETREQ が出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

9.6.2.16　システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。

例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31 24	23 16	15 8	7 0
0xE000_ED18	PRI_7	PRI_6 (用法フォールト)	PRI_5 (バスフォールト)	PRI_4 (メモリ管理)
0xE000_ED1C	PRI_11 (SVCall)	PRI_10	PRI_9	PRI_8
0xE000_ED20	PRI_15 (SysTick)	PRI_14 (PendSV)	PRI_13	PRI_12 (デバッグモニタ)

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 4~7 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-29	PRI_7	R/W	予約
28-24	−	R	リードすると"0"が読めます。
23-21	PRI_6	R/W	用法フォールト 優先度
20-16	−	R	リードすると"0"が読めます。
15-13	PRI_5	R/W	バスフォールト 優先度
12-8	−	R	リードすると"0"が読めます。
7-5	PRI_4	R/W	メモリ管理 優先度
4-0	−	R	リードすると"0"が読めます。

9.6.2.17 システムハンドラ制御および状態レジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDED	BUSFAULT PENDED	MEMFAULT PENDED	USGFAULT PENDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	−	R	リードすると"0"が読めます。
18	USGFAULT ENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAUL TENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULT ENA	R/W	メモリ管理 0: 禁止 1: 許可
15	SVCALL PENDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULT PENDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULT PENDED	R/W	メモリ管理 0: 保留されていない 1: 保留されている
12	USGFAULT PENDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	−	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニタ 0: アクティブでない 1: アクティブ

Bit	Bit Symbol	Type	機能
7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6-4	−	R	リードすると"0"が読めます。
3	USGFAULT ACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	−	R	リードすると"0"が読めます。
1	BUSFAULT ACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULT ACT	R/W	メモリ管理 0: アクティブでない 1: アクティブ

注)　アクティブビットの書き換えは、スタックの内容の更新等行いませんので注意して行ってください。

9.6.3　クロックジェネレータレジスタ

9.6.3.1　CGIMCGA(CG 割り込みモードコントロールレジスタ A)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	EMCG3[2:0]	R/W	INT3 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST3[1:0]	R	INT3 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	−	R	リードすると不定値が読まれます。

Bit	Bit Symbol	Type	機能
24	INT3EN	R/W	INT3 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCG2[2:0]	R/W	INT2 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST2[1:0]	R	INT2 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定値が読まれます。
16	INT2EN	R/W	INT2 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。
14-12	EMCG1[2:0]	R/W	INT1 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST1[1:0]	R	INT1 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定値が読まれます。
8	INT1EN	R/W	INT1 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG0[2:0]	R/W	INT0 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST0[1:0]	R	INT0 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定値が読まれます。
0	INT0EN	R/W	INT0 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

9.6.3.2　CGIMCGB(CG 割り込みモードコントロールレジスタ B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG7			EMST7		-	INT7EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG6			EMST6		-	INT6EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	EMCG7[2:0]	R/W	INT7 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMST7[1:0]	R	INT7 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	−	R	リードすると不定値が読まれます。
24	INT7EN	R/W	INT7 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCG6[2:0]	R/W	INT6 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMST6[1:0]	R	INT6 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定値が読まれます。
16	INT6EN	R/W	INT6 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG5[2:0]	R/W	INT5 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST56[1:0]	R	INT5 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定値が読まれます。
8	INT5EN	R/W	INT5 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG4[2:0]	R/W	INT4 スタンバイ解除要求のアクティブ状態を設定(101~111: 設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST4[1:0]	R	INT4 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定値が読まれます。
0	INT4EN	R/W	INT4 解除入力 0:ディセーブル 1: イネーブル

注 1) <EMSTx>は、<EMCGx[2:0]>が"100"の両エッジ設定のときのみ有効です。<EMSTx>を参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。CGICRCG レジスタで割り込みをクリアすると<EMSTx>もクリアされます。

注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

9.6.3.3　CGIMCGC(CG 割り込みモードコントロールレジスタ C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGB			EMSTB		-	INTBEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGA			EMSTA		-	INTAEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG9			EMST9		-	INT9EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG8			EMST8		-	INT8EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	−	R	リードすると"0"が読めます。
30-28	EMCGB[2:0]	R/W	INTUSBWKUP スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
27-26	EMSTB[1:0]	R	INTUSBWKUP スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
25	−	R	リードすると不定値が読まれます。
24	INTBEN	R/W	INTUSBWKUP 解除入力 0:ディセーブル 1: イネーブル
23	−	R	リードすると"0"が読めます。
22-20	EMCGA[2:0]	R/W	INTUSBPON スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
19-18	EMSTA[1:0]	R	INTUSBPON スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
17	−	R	リードすると不定値が読まれます。
16	INTAEN	R/W	INTUSBPON 解除入力 0:ディセーブル 1: イネーブル
15	−	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14-12	EMCG9[2:0]	R/W	INT9 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
11-10	EMST9[1:0]	R	INT9 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
9	−	R	リードすると不定値が読まれます。
8	INT9EN	R/W	INT9 解除入力 0:ディセーブル 1: イネーブル
7	−	R	リードすると"0"が読めます。
6-4	EMCG8[2:0]	R/W	INT8 スタンバイ解除要求のアクティブ状態を設定(下記以外設定禁止) 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ
3-2	EMST8[1:0]	R	INT8 スタンバイ解除要求のアクティブ状態 00: − 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 両エッジ
1	−	R	リードすると不定値が読まれます。
0	INT8EN	R/W	INT8 解除入力 0:ディセーブル 1: イネーブル

注) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

9.6.3.4　CGICRCG(CG 割り込み要求クリアレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	–	R	リードすると"0"が読めます。
4-0	ICRCG[4:0]	W	割り込み要求をクリア 0_0000: INT0　0_1000: INT8　0_1100 ~ 1_1111: 設定禁止 0_0001: INT1　0_1001: INT9 0_0010: INT2　0_1010: INTUSBPON 0_0011: INT3　0_1011: INTUSBWKUP 0_0100: INT4 0_0101: INT5 0_0110: INT6 0_ 0111: INT7 リードすると"0"が読めます

9.6.3.5 CGNMIFLG(NMI フラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	NMIFLG1	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます。
1	NMIFLG1	R	NMI 起動要因フラグ 0: 要因なし 1: $\overline{\text{NMI}}$ 端子による発生
0	NMIFLG0	R	NMI 起動要因フラグ 0: 要因なし 1: WDT による NMI 発生

注) <NMIFLG>は読み出すと"0"にクリアされます。

9.6.3.6　CGRSTFLG(リセットフラグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
端子リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	DBGRSTF	-	WDTRSTF	-	PINRSTF
端子リセット後	0	0	0	0	不定	0	不定	1

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます。
4	DBGRSTF	R/W	デバッグリセットフラグ(注 1) 0: 0 ライト 1: デバッガからのリセットによるリセットフラグ
3	-	R/W	"0"をライトしてください。 リードすると不定値が読み出されます。
2	WDTRSTF	R/W	WDT リセットフラグ 0: 0 ライト 1: WDT によるリセットフラグ
1	-	R/W	"0"をライトしてください。 リードすると不定値が読み出されます。
0	PINRSTF	R/W	RESET 端子フラグ 0: 0 ライト 1: $\overline{\text{RESET}}$ 端子によるリセットフラグ

注 1)　CPU の NVIC 内にあるアプリケーション割り込みおよびリセット制御レジスタの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2)　本製品は外部リセットで初期化されます。

第 10 章　入出力ポート

10.1　ポート機能

10.1.1　機能一覧

TMPM365FYXBG には 74 本のポートがあり、ポート機能のほかに内蔵する周辺機能に対する入出力端子としても使用されます。

表 10-1, 表 10-2,表 10-3 に機能の一覧を示します。

表 10-1 ポート機能一覧(ポート A-ポート C)

ポート	端子名	入出力	プルアップ プルダウン	Schmitt 入力	ノイズフィルタ	プログラマブルオープンドレイン	機能端子名
ポート A	PA0	入出力	プルアップ	−	−	o	-
	PA1	入出力	プルアップ	−	−	o	-
	PA2	入出力	プルアップ	−	−	o	-
	PA3	入出力	プルアップ	−	−	o	-
	PA4	入出力	プルアップ	−	−	o	-
	PA5	入出力	プルアップ	−	−	o	-
	PA6	入出力	プルアップ	−	−	o	-
	PA7	入出力	プルアップ	−	−	o	-
ポート B	PB0	入出力	プルアップ	−	−	o	-
	PB1	入出力	プルアップ	−	−	o	-
	PB2	入出力	プルアップ	−	−	o	-
	PB3	入出力	プルアップ	−	−	o	-
	PB4	入出力	プルアップ	−	−	o	-
	PB5	入出力	プルアップ	−	−	o	-
	PB6	入出力	プルアップ	−	−	o	-
	PB7	入出力	プルアップ	−	−	o	-
ポート C	PC0	入出力	プルアップ	o	−	o	TXD1/TB2IN0
	PC1	入出力	プルアップ	o	−	o	RXD1/TB2IN1
	PC2	入出力	プルアップ	o	−	o	SCLK1/TB0OUT/$\overline{\text{CTS1}}$

o : あり
- : なし

注)　ノイズフィルタのノイズ除去幅は、Typ で約 30ns です。

表 10-2 ポート機能一覧(ポート D-ポート G)

ポート	端子名	入出力	プルアップ プルダウン	Schmitt 入力	ノイズフィルタ	プログラマブルオープンドレイン	機能端子名
ポート D	PD0	入出力	プルアップ	o	−	o	TB7OUT
	PD1	入出力	プルアップ	o	−	o	TB8OUT
	PD2	入出力	プルアップ	o	−	o	TB9OUT
	PD3	入出力	プルアップ	o	−	o	$\overline{\text{ADTRG}}$
	PD4	入出力	プルアップ	−	−	o	-
	PD5	入出力	プルアップ	−	−	o	-
	PD6	入出力	プルアップ	−	−	o	-
	PD7	入出力	プルアップ	o	−	o	SCOUT
ポート E	PE0	入出力	プルアップ	o	−	o	TXD0
	PE1	入出力	プルアップ	o	−	o	RXD0
	PE2	入出力	プルアップ	o	−	o	SCLK0/TB2OUT/ $\overline{\text{CTS0}}$
	PE3	入出力	プルアップ	o	o(INT5のみ)	o	INT5/TB3OUT
	PE4	入出力	プルアップ	o	−	o	SDA1/SO1
	PE5	入出力	プルアップ	o	−	o	SCL1/SI1
	PE6	入出力	プルアップ	o	−	o	SCK1
	PE7	入出力	プルアップ	o	o	o	INT4
ポート F	PF0	出力	プルアップ	o	−	o	$\overline{\text{BOOT}}$/TB6OUT
	PF1	入出力	プルアップ	o	−	o	-
	PF2	入出力	プルアップ	o	−	o	-
	PF3	入出力	プルアップ	o	−	o	-
	PF4	入出力	プルアップ	o	o(INT6のみ)	o	INT6/TB5IN0
	PF5	入出力	プルアップ	o	o(INT7のみ)	o	INT7/TB5IN1
	PF6	入出力	プルアップ	o	−	o	-
	PF7	入出力	プルアップ	o	−	o	-
ポート G	PG0	入出力	プルアップ	o	−	o	SDA0/SO0
	PG1	入出力	プルアップ	o	−	o	SCL0/SI0/TB3IN0
	PG2	入出力	プルアップ	o	−	o	SCK0/TB3IN1
	PG3	入出力	プルアップ	o	o(INT0のみ)	o	INT0/TB4IN0
	PG4	入出力	プルアップ	o	−	o	TB4IN1
	PG5	入出力	プルアップ	o	o(INT1のみ)	o	INT1/USBPON

o :あり
- : なし

注)　ノイズフィルタのノイズ除去幅は、Typ で約 30ns です。

表 10-3 ポート機能一覧 (ポート H-ポート K)

ポート	端子名	入出力	プルアップ プルダウン	Schmitt 入力	ノイズフィルタ	プログラマブルオープンドレイン	機能端子名
ポート H	PH0	入出力	プルアップ	o	−	o	TRACEDATA2
	PH1	入出力	プルアップ	o	−	o	TRACEDATA3
	PH2	入出力	プルアップ	o	−	o	TB4OUT
	PH3	入出力	プルアップ	o	−	o	TB5OUT
	PH4	入出力	プルアップ	o	o	o	INT8
ポート I	PI0	入出力	プルアップ	o	−	o	TRACEDATA1
	PI1	入出力	プルアップ	o	−	o	TRACEDATA0
	PI2	入出力	プルアップ	o	−	o	TRACECLK
	PI3	入出力	リセット後、プルダウン	o	−	−	TCK/SWCLK
	PI4	入出力	リセット後、プルアップ	o	−	−	TMS/SWDIO
	PI5	入出力	プルアップ	o	−	−	TDO/SWV
	PI6	入出力	リセット後、プルアップ	o	−	−	TDI
	PI7	入出力	リセット後、プルアップ	o	o	−	$\overline{\text{TRST}}$
ポート J	PJ0	入出力	プルアップ	o	−	−	AIN00
	PJ1	入出力	プルアップ	o	−	−	AIN01
	PJ2	入出力	プルアップ	o	−	−	AIN02
	PJ3	入出力	プルアップ	o	−	−	AIN03
	PJ4	入出力	プルアップ	o	−	−	AIN04
	PJ5	入出力	プルアップ	o	−	−	AIN05
	PJ6	入出力	プルアップ	o	−	−	AIN06/TB0IN0
	PJ7	入出力	プルアップ	o	o(INT9のみ)	−	AIN07/INT9/TB0IN1
ポート K	PK0	入出力	プルアップ	o	o(INT2のみ)	−	AIN08/INT2/TB1IN0
	PK1	入出力	プルアップ	o	o(INT3のみ)	−	AIN09/INT3/TB1IN1
	PK2	入出力	プルアップ	o	−	−	AIN10/TB6IN0
	PK3	入出力	プルアップ	o	−	−	AIN11/TB6IN1

o : あり
- : なし

注) ノイズフィルタのノイズ除去幅は、Typ 条件で約 30ns です。

10.1.2　ポートレジスタ概略説明

ポートを使用する際には以下のレジスタを設定する必要があります。.

- PxDATA: ポート x データレジスタ

  ポートのデータ読み込み、データ書き込みを行います。

- PxCR: ポート x 出力コントロールレジスタ

  出力制御を行います.

  入力の制御は、PxIE で設定して下さい。.

- PxFRn: ポート x ファンクションレジスタ n

  機能設定を行います。

  "1"をセットすることにより割り当てられている機能を使用できるようになります。.

- PxOD: ポート x オープンドレインコントロールレジスタ

  プログラマブルオープンドレインの制御を行います。

  プログラマブルオープンドレインは、PxOD の設定により、出力データが"1"の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。

- PxPUP: ポート x プルアップコントロールレジスタ

  プログラマブルプルアップを制御します。

- PxPDN: ポート x プルダウンコントロールレジスタ

  プログラマブルプルダウンを制御します。

- PxIE: ポート x 入力コントロールレジスタ

  入力の制御を行います。

  貫通電流対策のため、初期状態は入力禁止になっています。

10.1.3 STOP1 モード中のポート状態

STOP1 モード中の入力と出力は、 CGSTBYCR<DRVE> で制御することができます。

PxIE、PxCR が許可で、 <DRVE>="1"が設定された場合,STOP1 時の入力や出力は個別に許可されます。STOP1 モードで<DRVE>="0"時は、PxIE や PxCR が許可された一部のポートを除き、 入力、出力とも禁止されます。

STOP1 モード中の端子状態を表 10-4 に示します。

表 10-4 STOP1 モード時の端子状態

機能	ピン名称	入出力	STOP1	
			<DRVE> = "0"	<DRVE> = "1"
制御端子	$\overline{\text{RESET}}$, $\overline{\text{NMI}}$, MODE, BSC	入力	o	o
発振器	X1/EHCLKIN	入力	×	×
	X2	出力	"High"レベル出力	
ポート	PI7, PI6, PI3 ($\overline{\text{TRST}}$, TDI, TCK/SWCLK) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による	
	PI4 (SWDIO/TMS) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	入力	PxIE[m]による	
		出力	データ有効な時に許可、データ無効なときは禁止	
	PI5, PI2, PI1, PI0, PH0, PH1 (TDO/SWV, TRACECLK, TRACEDATA0 to 3) (デバッグインタフェース設定 PxFRn<PxmFn>="1")	出力	PxCR[m]による	
	PG3, PG5, PK0, PK1, PE7, PE3, PF4, PF5, PH4, PJ7 (INT0 to 9) (割り込み機能設定, PxFRn<PxmFn>="1"かつ PxIE<PxmIE>="1")	入力	o	o
	上記以外	入力	×	PxIE[m]による
		出力	×	PxCR[m]による

o : 入力または出力が有効

× : 入力または出力が無効

注) "x"は該当ポート番号 , "m" は該当ビット、 "n" はファンクションレジスタ番号を示します。

10.2　ポート機能詳細

本章では、各ポートのレジスタの詳細について説明します。

回路構成については、本章では、回路タイプのみ記載しています。具体的な回路図については、「10.3 ポート回路図 」を参照して下さい。.

10.2.1　ポート A (PA0 to PA7)

ポート A は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

リセット時ポート A は汎用ポートとなり、入力、出力、プルアップは禁止となります。

10.2.1.1　ポート A レジスター覧

Base Address = 0x400C_0000

レジスタ名		Address (Base+)
ポート A データ　レジスタ	PADATA	0x0000
ポート A 出力コントロールレジスタ	PACR	0x0004
Reserved	-	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート A オープンドレインコントロールレジスタ	PAOD	0x0028
ポート A プルアップコントロールレジスタ	PAPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート A 入力 コントロールレジスタ	PAIE	0x0038

注)　"reserved"領域へのアクセスは禁止です。

10.2.1.2 PADATA (ポート A データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PA7-PA0	R/W	ポート A データレジスタ

10.2.1.3 PACR (ポート A 出力コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PA7C-PA0C	R/W	出力 0: 禁止 1: 許可

10.2.1.4　PAOD (ポート A オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7OD	PA6OD	PA5OD	PA4OD	PA3OD	PA2OD	PA1OD	PA0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PA7OD-PA0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

10.2.1.5　PAPUP (ポート A プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7UP	PA6UP	PA5UP	PA4UP	PA3UP	PA2UP	PA1UP	PA0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PA7UP-PA0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.1.6 PAIE (ポート A 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PA7IE	PA6IE	PA5IE	PA4IE	PA3IE	PA2IE	PA1IE	PA0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PA7IE-PA0IE	R/W	入力 0: 禁止 1: 許可

10.2.2　ポート B (PB0 to PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

リセット後ファンクションレジスタは汎用ポートとなり、入力、出力、プルアップは禁止となります。

10.2.2.1　ポート B レジスタ

Base Address = 0x400C_0100

レジスタ名		Address (Base+)
ポート B データレジスタ	PBDATA	0x0000
ポート B 出力 コントロールレジスタ	PBCR	0x0004
Reserved	-	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート B オープンドレインコントロールレジスタ	PBOD	0x0028
ポート B プルアップコントロールレジスタ	PBPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート B 入力 コントロールレジスタ	PBIE	0x0038

注)　"reserved"領域へのアクセスは禁止です。

10.2.2.2 PBDATA (ポート B データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PB7-PB0	R/W	ポート B データレジスタ.

10.2.2.3 PBCR (ポート B 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PB7C-PB0C	R/W	出力 0: 禁止 1: 許可

10.2.2.4　PBOD (ポート B オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7OD	PB6OD	PB5OD	PB4OD	PB3OD	PB2OD	PB1OD	PB0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PB7OD-PB0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

10.2.2.5　PBPUP (ポート B プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7UP	PB6UP	PB5UP	PB4UP	PB3UP	PB2UP	PB1UP	PB0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PB7UP-PB0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.2.6 PBIE (ポート B 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PB7IE	PB6IE	PB5IE	PB4IE	PB3IE	PB2IE	PB1IE	PB0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PB7IE-PB0IE	R/W	入力 0: 禁止 1: 許可

10.2.3　ポート C (PC0 to PC2)

ポート C はビット単位で入出力の指定ができる 3 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に、汎用シリアル I/F 機能、16 ビットタイマ機能があります。

リセット後、ポート C ファンクションレジスタは汎用ポートとなり、入力、出力、プルアップは禁止となります。

ポート C は、3 つの機能レジスタがあり、汎用ポートして使用する場合は、対応するビットを 0 にセットします。汎用ポート以外で使用する場合、対応する機能レジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

10.2.3.1　ポート C レジスタ

Base Address = 0x400C_0200

レジスタ名		Address (Base+)
ポート C データレジスタ	PCDATA	0x0000
ポート C 出力 コントロールレジスタ	PCCR	0x0004
ポート C ファンクションレジスタ 1	PCFR1	0x0008
Reserved	-	0x000C
ポート C ファンクションレジスタ 3	PCFR3	0x0010
ポート C ファンクションレジスタ 4	PCFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート C オープンドレインコントロールレジスタ	PCOD	0x0028
ポート C プルアップコントロールレジスタ	PCPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート C 入力 コントロールレジスタ	PCIE	0x0038

注)　"reserved"領域へのアクセスは禁止です。

10.2.3.2 PCDATA (ポート C データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PC2	PC1	PC0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます.
2-0	PC2-PC0	R/W	ポート C データレジスタ.

10.2.3.3 PCCR (ポート C 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PC2C	PC1C	PC0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます.
2-0	PC2C-PC0C	R/W	出力 0: 禁止 1: 許可

10.2.3.4　PCFR1 (ポート C ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PC2F1	PC1F1	PC0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます.
2	PC2F1	R/W	0: PORT 1: SCLK1
1	PC1F1	R/W	0: PORT 1: RXD1
0	PC0F1	R/W	0: PORT 1: TXD1

10.2.3.5 PCFR3 (ポート C ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PC2F3	PC1F3	PC0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます.
2	PC2F3	R/W	0: PORT 1: TB0OUT
1	PC1F3	R/W	0: PORT 1: TB2IN1
0	PC0F3	R/W	0: PORT 1: TB2IN0

10.2.3.6　PCFR4 (ポート C ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PC2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます.
2	PC2F4	R/W	0: PORT 1: $\overline{\text{CTS1}}$
1-0	−	R	リードすると"0"が読めます.

10.2.3.7　PCOD (ポート C オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PC2OD	PC1OD	PC0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます.
2-0	PC2OD- PC0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

10.2.3.8 PCPUP (ポート C プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PC2UP	PC1UP	PC0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます.
2-0	PC2UP-PC0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.3.9 PCIE (ポート C 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PC2IE	PC1IE	PC0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます.
2-0	PC2IE-PC0IE	R/W	入力 0: 禁止 1: 許可

10.2.4　ポート D (PD0 to PD7)

ポート D はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に、16 ビットタイマ、クロック出力、ADC トリガ機能があります。

リセットによりポート D は、汎用ポートとなり、入力、出力、プルアップはディセーブル状態になります。

ポート D は、1 つの機能レジスタがあり、汎用ポートして使用する場合は、対応するビットを 0 にセットします。汎用ポート以外で使用する場合、対応する機能レジスタのビットを"1"にする必要があります。

10.2.4.1　ポート D レジスタ

Base Address = 0x400C_0300

レジスタ名		Address (Base+)
ポート D データレジスタ	PDDATA	0x0000
ポート D 出力 コントロールレジスタ	PDCR	0x0004
Reserved	-	0x0008
Reserved	-	0x000C
ポート D ファンクションレジスタ 3	PDFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート D オープンドレインコントロールレジスタ	PDOD	0x0028
ポート D プルアップコントロールレジスタ	PDPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート D 入力 コントロールレジスタ	PDIE	0x0038

注)　"reserved"領域へのアクセスは禁止です。

10.2.4.2 PDDATA (ポート D データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PD7-PD0	R/W	ポート D データレジスタ.

10.2.4.3 PDCR (ポート D 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7C	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PD7C-PD0C	R/W	出力 0: 禁止 1: 許可

10.2.4.4　PDFR3 (ポート D ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7F3	-	-	-	PD3F3	PD2F3	PD1F3	PD0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7	PD7F3	R/W	0: PORT 1: SCOUT
6-4	−	R	リードすると"0"が読めます.
3	PD3F3	R/W	0: PORT 1: $\overline{\text{ADTRG}}$
2	PD2F3	R/W	0: PORT 1: TB9OUT
1	PD1F3	R/W	0: PORT 1: TB8OUT
0	PD0F3	R/W	0: PORT 1: TB7OUT

10.2.4.5 PDOD (ポート D オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7OD	PD6OD	PD5OD	PD4OD	PD3OD	PD2OD	PD1OD	PD0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PD7OD-PD0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

10.2.4.6 PDPUP (ポート D プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7UP	PD6UP	PD5UP	PD4UP	PD3UP	PD2UP	PD1UP	PD0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PD7UP-PD0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.4.7　PDIE (ポート D 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PD7IE	PD6IE	PD5IE	PD4IE	PD3IE	PD2IE	PD1IE	PD0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PD7IE-PD0IE	R/W	入力 0: 禁止 1: 許可

10.2.5 ポート E (PE0 to PE7)

ポート E はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外に、汎用シリアル通信(SIO/UART)、シリアルバスインターフェース(I2C/SIO)、外部割り込み入力、16 ビットタイマ機能があります。

リセットによりポート E は、汎用ポートとなり、入力、出力、プルアップはディセーブル状態になります。

ポート E は、3 つの機能レジスタがあり、汎用ポートして使用する場合は、対応するビットを 0 にセットします。汎用ポート以外で使用する場合、対応する機能レジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

注) STOP1 以外のモードでは、PxIE がセットされていると、PxFR レジスタの設定にかかわらず、割り込み入力が許可されます。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意下さい。

10.2.5.1 ポート E レジスタ

Base Address = 0x400C_0400

レジスタ名		Address (Base+)
ポート E データレジスタ	PEDATA	0x0000
ポート E 出力 コントロールレジスタ	PECR	0x0004
ポート E ファンクションレジスタ 1	PEFR1	0x0008
Reserved	-	0x000C
ポート E ファンクションレジスタ 3	PEFR3	0x0010
ポート E ファンクションレジスタ 4	PEFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート E オープンドレインコントロールレジスタ	PEOD	0x0028
ポート E プルアップコントロールレジスタ	PEPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート E 入力 コントロールレジスタ	PEIE	0x0038

注) "reserved"領域へのアクセスは禁止です。

10.2.5.2　PEDATA (ポート E データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PE7-PE0	R/W	ポート E データレジスタ

10.2.5.3　PECR (ポート E 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PE7C-PE0C	R/W	出力 0: 禁止 1: 許可

10.2.5.4 PEFR1 (ポート E ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7F1	PE6F1	PE5F1	PE4F1	PE3F1	PE2F1	PE1F1	PE0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	−	R	リードすると"0"が読めます.
7	PE7F1	R/W	0: PORT 1: INT4
6	PE6F1	R/W	0: PORT 1: SCK1
5	PE5F1	R/W	0: PORT 1: SCL1/SI1
4	PE4F1	R/W	0: PORT 1: SDA1/SO1
3	PE3F1	R/W	0: PORT 1: INT5
2	PE2F1	R/W	0: PORT 1: SCLK0
1	PE1F1	R/W	0: PORT 1: RXD0
0	PE0F1	R/W	0: PORT 1: TXD0

10.2.5.5　PEFR3 (ポート E ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PE3F3	PE2F3	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます.
3	PE3F3	R/W	0: PORT 1: TB3OUT
2	PE2F3	R/W	0: PORT 1: TB2OUT
1-0	–	R	リードすると"0"が読めます.

10.2.5.6 PEFR4 (ポート E ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PE2F4	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます.
2	PE2F4	R/W	0: PORT 1: $\overline{CTS0}$
1-0	−	R	リードすると"0"が読めます.

10.2.5.7 PEOD (ポート E オープンドレイン コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7OD	PE6OD	PE5OD	PE4OD	PE3OD	PE2OD	PE1OD	PE0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PE7OD- PE0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

10.2.5.8　PEPUP (ポート E プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7UP	PE6UP	PE5UP	PE4UP	PE3UP	PE2UP	PE1UP	PE0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PE7UP-PE0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.5.9　PEIE (ポート E 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PE7IE	PE6IE	PE5IE	PE4IE	PE3IE	PE2IE	PE1IE	PE0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PE7IE-PE0IE	R/W	入力 0: 禁止 1: 許可

10.2.6 ポート F (PF0 to PF7)

ポート F はビット単位で入出力の指定ができる 1 ビットの出力ポートと 7 ビットの汎用入出力ポートで構成されます。汎用入出力ポート機能以外に、外部割り込み入力、16 ビットタイマ入出力機能と動作モード設定機能があります。

ポート F は、2 つの機能レジスタがあり、汎用ポートして使用する場合は、対応するビットを 0 にセットします。汎用ポート以外で使用する場合、対応する機能レジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません

リセット時、すべてのポートは汎用ポートとなり PF0 の出力、PF <7:1>の入出力とプルアップはディセーブル状態となります。

動作モード設定機能では、リセットが"0"の期間、PF0/$\overline{\text{BOOT}}$ はブートモード入力とプルアップがイネーブルとなっており、リセット信号の立ち上りで PF0 が"1"の場合、シングルチップモードとなって内蔵 Flash メモリから起動し、PF0 が"0"の場合、シングルブートモードとなって内蔵 BOOT ROM から起動します。シングルブート モードの説明は、"フラッシュメモリ動作説明"の章を参照して下さい。

注) STOP1 以外のモードでは、PxIE がセットされていると、PxFR レジスタの設定にかかわらず、割り込み入力が許可されます。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意下さい。

10.2.6.1 ポート F レジスタ

Base Address = 0x400C_0500

レジスタ名		Address (Base+)
ポート F データレジスタ	PFDATA	0x0000
ポート F 出力 コントロールレジスタ	PFCR	0x0004
Reserved	-	0x0008
ポート F ファンクションレジスタ 2	PFFR2	0x000C
ポート F ファンクションレジスタ 3	PFFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート F オープンドレインコントロールレジスタ	PFOD	0x0028
ポート F プルアップコントロールレジスタ	PFPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート F 入力 コントロールレジスタ	PFIE	0x0038

注) "reserved"領域へのアクセスは禁止です。

10.2.6.2　PFDATA (ポート F データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PF7-PF0	R/W	ポート F データレジスタ

10.2.6.3　PFCR (ポート F 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PF7C-PF0C	R/W	出力 0: 禁止 1: 許可

10.2.6.4 PFFR2 (ポート F ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PF5F2	PF4F2	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	–	R	リードすると"0"が読めます.
5	PF5F2	R/W	0: PORT 1: INT7
4	PF4F2	R/W	0: PORT 1: INT6
3-0	–	R	リードすると"0"が読めます.

10.2.6.5　PFFR3 (ポート F ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PF5F3	PF4F3	-	-	-	PF0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	–	R	リードすると"0"が読めます.
5	PF5F3	R/W	0: PORT 1: TB5IN1
4	PF4F3	R/W	0: PORT 1: TB5IN0
3-1	-	R	リードすると"0"が読めます.
0	PF0F3	R/W	0: PORT 1: TB6OUT

10.2.6.6 PFOD (ポート F オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7OD	PF6OD	PF5OD	PF4OD	PF3OD	PF2OD	PF1OD	PF0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PF7OD-PF0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

10.2.6.7 PFPUP (ポート F プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7UP	PF6UP	PF5UP	PF4UP	PF3UP	PF2UP	PF1UP	PF0UP
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-1	PF7UP-PF1UP	R/W	プルアップ 0: 禁止 1: 許可
0	PF0UP	R/W	プルアップ 0: - 1: Always set to "1"

10.2.6.8　PFIE (ポート F 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PF7IE	PF6IE	PF5IE	PF4IE	PF3IE	PF2IE	PF1IE	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-1	PF7IE-PF1IE	R/W	入力 0: 禁止 1: 許可
0	-	R	リードすると"0"が読めます.

10.2.7 ポート G (PG0 to PG5)

ポートGはビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。汎用ポート機能以外にシリアルバスインタフェース機能(I2C/SIO)、外部割込み入力機能、16 ビットタイマ入力機能、USB の V バス接続検知機能があります。

リセットによりファンクションレジスタは汎用ポートとなり、入力・出力・プルアップはディセーブル状態になります。

ポート G は、3 つの機能レジスタがあり、汎用ポートして使用する場合は、対応するビットを 0 にセットします。汎用ポート以外で使用する場合、対応する機能レジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません

注 1) STOP1 以外のモードでは、PxIE がセットされていると、PxFR レジスタの設定にかかわらず、割り込み入力が許可されます。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意下さい。

注 2) PG5 は入力端子として使用時のみ、5V 入力が可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧でプルアップはできませんので注意してください。

10.2.7.1 ポート G レジスタ

Base Address = 0x400C_0600

レジスタ名		Address (Base+)
ポート G データレジスタ	PGDATA	0x0000
ポート G 出力 コントロールレジスタ	PGCR	0x0004
ポート G ファンクションレジスタ 1	PGFR1	0x0008
Reserved	-	0x000C
ポート G ファンクションレジスタ 3	PGFR3	0x0010
ポート G ファンクションレジスタ 4	PGFR4	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート G オープンドレインコントロールレジスタ	PGOD	0x0028
ポート G プルアップコントロールレジスタ	PGPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート G 入力 コントロールレジスタ	PGIE	0x0038

注) "reserved"領域へのアクセスは禁止です。

10.2.7.2　PGDATA (ポート G データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PG5	PG4	PG3	PG2	PG1	PG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます.
5-0	PG5-PG0	R/W	ポート G データレジスタ.

10.2.7.3　PGCR (ポート G 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます.
5-0	PG5C-PG0C	R/W	出力 0: 禁止 1: 許可

10.2.7.4 PGFR1 (ポート G ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PG5F1	-	PG3F1	PG2F1	PG1F1	PG0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます.
5	PG5F1	R/W	0: PORT 1: INT1
4	−	R	リードすると"0"が読めます.
3	PG3F1	R/W	0: PORT 1: INT0
2	PG2F1	R/W	0: PORT 1: SCK0
1	PG1F1	R/W	0: PORT 1: SCL0/SI0
0	PG0F1	R/W	0: PORT 1: SDA0/SO0

10.2.7.5　PGFR3 (ポート G ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PG4F3	PG3F3	PG2F3	PG1F3	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます.
4	PG4F3	R/W	0: PORT 1: TB4IN1
3	PG3F3	R/W	0: PORT 1: TB4IN0
2	PG2F3	R/W	0: PORT 1: TB3IN1
1	PG1F3	R/W	0: PORT 1: TB3IN0
0	−	R	リードすると"0"が読めます.

10.2.7.6　PGFR4 (ポート G ファンクションレジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PG5F4	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます.
5	PG5F4	R/W	0: PORT 1: USBPON
4-0	−	R	リードすると"0"が読めます.

10.2.7.7 PGOD (ポート G オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PG5OD	PG4OD	PG3OD	PG2OD	PG1OD	PG0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます.
5-0	PG5OD- PG0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

注) PG5 は入力端子として使用時のみ、5V 入力が可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧でプルアップできませんので注意してください。

10.2.7.8 PGPUP (ポート G プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PG5UP	PG4UP	PG3UP	PG2UP	PG1UP	PG0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます.
5-0	PG5UP- PG0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.7.9　PGIE (ポート G 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PG5IE	PG4IE	PG3IE	PG2IE	PG1IE	PG0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-6	−	R	リードすると"0"が読めます.
5-0	PG5IE-PG0IE	R/W	入力 0: 禁止 1: 許可

10.2.8 ポート H (PH0 to PH4)

ポートHはビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。汎用ポート機能以外にデバッグ通信機能、外部割り込み入力機能、16 ビットタイマ出力があります。

リセットによりファンクションレジスタは汎用ポートとなり、入力・出力・プルアップはディセーブル状態になります。

ポート H は、2 つの機能レジスタがあり、汎用ポートして使用する場合は、対応するビットを 0 にセットします。汎用ポート以外で使用する場合、対応する機能レジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

注) STOP1 以外のモードでは、PxIE がセットされていると、PxFR レジスタの設定にかかわらず、割り込み入力が許可されます。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意下さい。

10.2.8.1 ポート H レジスタ

Base Address = 0x400C_0700

レジスタ名		Address (Base+)
ポート H データレジスタ	PHDATA	0x0000
ポート H 出力 コントロールレジスタ	PHCR	0x0004
ポート H ファンクションレジスタ 1	PHFR1	0x0008
Reserved	-	0x000C
ポート H ファンクションレジスタ 3	PHFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート H オープンドレインコントロールレジスタ	PHOD	0x0028
ポート H プルアップコントロールレジスタ	PHPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート H 入力 コントロールレジスタ	PHIE	0x0038

注) "reserved"領域へのアクセスは禁止です。

10.2.8.2　PHDATA (ポート H データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PH4	PH3	PH2	PH1	PH0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます.
4-0	PH4-PH0	R/W	ポート H データレジスタ.

10.2.8.3　PHCR (ポート H 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PH4C	PH3C	PH2C	PH1C	PH0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます.
4-0	PH4C-PH0C	R/W	出力 0: 禁止 1: 許可

10.2.8.4 PHFR1 (ポート H ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PH1F1	PH0F1
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	リードすると"0"が読めます.
1	PH1F1	R/W	0: PORT 1: TRACEDATA3
0	PH0F1	R/W	0: PORT 1: TRACEDATA2

10.2.8.5 PHFR3 (ポート H ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PH4F3	PH3F3	PH2F3	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます.
4	PH4F3	R/W	0: PORT 1: INT8
3	PH3F3	R/W	0: PORT 1: TB5OUT
2	PH2F3	R/W	0: PORT 1: TB4OUT
1-0	−	R	リードすると"0"が読めます.

10.2.8.6　PHOD (ポート H オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PH4OD	PH3OD	PH2OD	PH1OD	PH0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます.
4-0	PH4OD-PH0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

10.2.8.7　PHPUP (ポート H プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PH4UP	PH3UP	PH2UP	PH1UP	PH0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます.
4-0	PH4UP-PH0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.8.8 PHIE (ポート H 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	PH4IE	PH3IE	PH2IE	PH1IE	PH0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-5	−	R	リードすると"0"が読めます.
4-0	PH4IE-PH0IE	R/W	入力 0: 禁止 1: 許可

10.2.9　ポート I (PI0 to PI7)

ポート I はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外にデバッグ通信機能があります。

リセットにより PI3、PI4、PI5、PI6、PI7 はデバッグ通信機能になります。PI7 は TRST 機能で入力・プルアップイネーブル、PI6 は TDI 機能で入力・プルアップイネーブル、PI3 は TCK または SWCLK 機能で入力・プルダウンイネーブル、PI4 は TMS または SWDIO 機能で入力・出力・プルアップイネーブル、PI5 は TDO または SWV 機能で出力イネーブルとなります。

その他のビットは汎用ポートとなり、入力・出力・プルアップはディセーブル状態になります。

注 1)　PI4, PI5 が TMS/SWDIO, TDO/SWV 機能設定の場合、スタンバイコントロールレジスタ(CGSTBYCR)の <DRVE>ビットの状態によらず、STOP1 モード中も出力が有効な状態のまま保持されます。

注 2)　PI3 がデバッグ機能設定の場合、十分な低消費電力効果が得られません。デバッグ機能を使用しない場合、PI3 をポート設定にしてください。

10.2.9.1　ポート I レジスタ

Base Address = 0x400C_0800

レジスタ名		Address (Base+)
ポート I データレジスタ	PIDATA	0x0000
ポート I 出力 コントロールレジスタ	PICR	0x0004
ポート I ファンクションレジスタ 1	PIFR1	0x0008
Reserved	-	0x000C
Reserved	-	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
ポート I オープンドレインコントロールレジスタ	PIOD	0x0028
ポート I プルアップコントロールレジスタ	PIPUP	0x002C
ポート I プルダウンコントロールレジスタ	PIPDN	0x0030
Reserved	-	0x0034
ポート I 入力 コントロールレジスタ	PIIE	0x0038

注)　"reserved"領域へのアクセスは禁止です。

10.2.9.2 PIDATA (ポート I データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PI7-PI0	R/W	ポート I データレジスタ.

10.2.9.3 PICR (ポート I 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7C	PI6C	PI5C	PI4C	PI3C	PI2C	PI1C	PI0C
リセット後	0	0	1	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PI7C-PI0C	R/W	出力 0: 禁止 1: 許可

10.2.9.4　PIFR1(ポート I ファンクションレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7F1	PI6F1	PI5F1	PI4F1	PI3F1	PI2F1	PI1F1	PI0F1
リセット後	1	1	1	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7	PI7F1	R/W	0: PORT 1: $\overline{\text{TRST}}$
6	PI6F1	R/W	0: PORT 1: TDI
5	PI5F1	R/W	0: PORT 1: TDO/SWV
4	PI4F1	R/W	0: PORT 1: TMS/SWDIO
3	PI3F1	R/W	0: PORT 1: TCK/SWCLK
2	PI2F1	R/W	0: PORT 1: TRACECLK
1	PI1F1	R/W	0: PORT 1: TRACEDATA0
0	PI0F1	R/W	0: PORT 1: TRACEDATA1

10.2.9.5 PIOD (ポート I オープンドレインコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	PI2OD	PI1OD	PI0OD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	–	R	リードすると"0"が読めます.
2-0	PI2OD-PI0OD	R/W	0: プッシュプル出力 1: オープンドレイン出力

10.2.9.6　PIPUP (ポート I プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7UP	PI6UP	PI5UP	PI4UP	-	PI2UP	PI1UP	PI0UP
リセット後	1	1	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7	PI7UP	R/W	プルアップ 0: 禁止 1: 許可, デバックインタフェース時は"1"を常に書いて下さい。
6	PI6UP	R/W	プルアップ 0: 禁止 1: 許可, デバックインタフェース時は"1"を常に書いて下さい。
5	PI5UP	R/W	プルアップ 0: 禁止 1: 許可
4	PI4UP	R/W	プルアップ 0: 禁止 1: 許可, デバックインタフェース時は"1"を常に書いて下さい。
3	−	R	リードすると"0"が読めます.
2-0	PI2UP-PI0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.9.7 PIPDN (ポート I プルダウンコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PI3DN	-	-	-
リセット後	0	0	0	0	1	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます.
3	PI3DN	R/W	プルダウン 0: 禁止 1: 許可, デバックインタフェース時は"1"を常に書いて下さい。
2-0	-	R	リードすると"0"が読めます.

10.2.9.8　PIIE (ポート I 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PI7IE	PI6IE	PI5IE	PI4IE	PI3IE	PI2IE	PI1IE	PI0IE
リセット後	1	1	0	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PI7IE-PI0IE	R/W	入力 0: 禁止 1: 許可

10.2.10 ポート J (PJ0 to PJ7)

ポート J はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外に AD コンバータのアナログ入力端子機能、外部割込み入力機能、16 ビットタイマ入力機能があります。

リセットによりファンクションレジスタは汎用ポートとなり、入力・出力・プルアップはディセーブル状態になります。

ポート J は、3 つの機能レジスタがあり、汎用ポートして使用する場合は、対応するビットを 0 にセットします。汎用ポート以外で使用する場合、対応する機能レジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

AD コンバータのアナログ入力として使用する場合、PJIE で入力禁止、PJPUP でプルアップ禁止にして下さい。

注 1) ポート J/ポート K を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題ないことを確認してください。

注 2) STOP1 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

10.2.10.1 ポート J レジスタ

Base Address = 0x400C_0900

レジスタ名		Address (Base+)
ポート J データレジスタ	PJDATA	0x0000
ポート J 出力 コントロールレジスタ	PJCR	0x0004
Reserved	-	0x0008
ポート J ファンクションレジスタ 2	PJFR2	0x000C
ポート J ファンクションレジスタ 3	PJFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート J プルアップコントロールレジスタ	PJPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート J 入力 コントロールレジスタ	PJIE	0x0038

注) "reserved"領域へのアクセスは禁止です。

10.2.10.2　PJDATA (ポート J データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PJ7-PJ0	R/W	ポート J データレジスタ.

10.2.10.3　PJCR (ポート J 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7C	PJ6C	PJ5C	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PJ7C-PJ0C	R/W	出力 0: 禁止 1: 許可

10.2.10.4 PJFR2 (ポート J ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7F2	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7	PJ7F2	R/W	0: PORT 1: INT9
6-0	-	R	リードすると"0"が読めます.

10.2.10.5　PJFR3 (ポート J ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7F3	PJ6F3	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7	PJ7F3	R/W	0: PORT 1: TB0IN1
6	PJ6F3	R/W	0: PORT 1: TB0IN0
5-0	-	R	リードすると"0"が読めます.

10.2.10.6 PJPUP (ポート J プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7UP	PJ6UP	PJ5UP	PJ4UP	PJ3UP	PJ2UP	PJ1UP	PJ0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます.
7-0	PJ7UP-PJ0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.10.7　PJIE (ポート J 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PJ7IE	PJ6IE	PJ5IE	PJ4IE	PJ3IE	PJ2IE	PJ1IE	PJ0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます.
7-0	PJ7IE-PJ0IE	R/W	入力 0: 禁止 1: 許可

10.2.11 ポート K (PK0 to PK3)

ポート K はビット単位で入出力の指定ができる 4 ビットの汎用入出力ポートです。汎用ポート機能以外に AD コンバータのアナログ入力端子機能、外部割込み入力機能、16 ビットタイマ入力機能があります。

リセットによりファンクションレジスタは汎用ポートとなり、入力・出力・プルアップはディセーブル状態になります。

ポート K は、2 つの機能レジスタがあり、汎用ポートして使用する場合は、対応するビットを 0 にセットします。汎用ポート以外で使用する場合、対応する機能レジスタのビットを"1"にする必要があります。機能レジスタを同時に"1"に設定することはできません。

AD コンバータのアナログ入力として使用する場合、PKIE で入力禁止、PKPUP でプルアップ禁止にして下さい。

注 1) ポート J/ポート K を、アナログ入力とそれ以外の機能で混在して使用した場合、AD 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題ないことを確認してください。

注 2) STOP1 以外のモードでは、PxIE で入力イネーブル設定であれば PxFR の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

10.2.11.1 ポート K レジスタ

Base Address = 0x400C_0A00

レジスタ名		Address (Base+)
ポート K データレジスタ	PKDATA	0x0000
ポート K 出力 コントロールレジスタ	PKCR	0x0004
Reserved	-	0x0008
ポート K ファンクションレジスタ 2	PKFR2	0x000C
ポート K ファンクションレジスタ 3	PKFR3	0x0010
Reserved	-	0x0014
Reserved	-	0x0018
Reserved	-	0x001C
Reserved	-	0x0020
Reserved	-	0x0024
Reserved	-	0x0028
ポート K プルアップコントロールレジスタ	PKPUP	0x002C
Reserved	-	0x0030
Reserved	-	0x0034
ポート K 入力 コントロールレジスタ	PKIE	0x0038

注) "reserved"領域へのアクセスは禁止です。

10.2.11.2　PKDATA (ポート K データレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PK3	PK2	PK1	PK0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます.
3-0	PK3-PK0	R/W	ポート K データレジスタ.

10.2.11.3　PKCR (ポート K 出力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PK3C	PK2C	PK1C	PK0C
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます.
3-0	PK3C-PK0C	R/W	出力 0: 禁止 1: 許可

10.2.11.4 PKFR2 (ポート K ファンクションレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PK1F2	PK0F2
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	–	R	リードすると"0"が読めます.
1	PK1F2	R/W	0: PORT 1: INT3
0	PK0F2	R/W	0: PORT 1: INT2

10.2.11.5　PKFR3 (ポート K ファンクションレジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PK3F3	PK2F3	PK1F3	PK0F3
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	–	R	リードすると"0"が読めます.
3	PK3F3	R/W	0: PORT 1: TB6IN1
2	PK2F3	R/W	0: PORT 1: TB6IN0
1	PK1F3	R/W	0: PORT 1: TB1IN1
0	PK0F3	R/W	0: PORT 1: TB1IN0

10.2.11.6 PKPUP (ポート K プルアップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PK3UP	PK2UP	PK1UP	PK0UP
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます.
3-0	PK3UP-PK0UP	R/W	プルアップ 0: 禁止 1: 許可

10.2.11.7　PKIE (ポート K 入力 コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	PK3IE	PK2IE	PK1IE	PK0IE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます.
3-0	PK3IE-PK0IE	R/W	入力 0: 禁止 1: 許可

10.3 ポート回路図

10.3.1 ポートタイプ一覧

ポートには、以下のタイプがあります。それぞれの回路図を次ページから示します。

図中の点線は、ポート部等価回路図で記されている等価回路の範囲を示します。

表 10-5 機能一覧

Type	汎用 ポート	機能	Analog	プルアップ	プルダウン	プログラマブルオープンドレイン	備考
FT1	入出力	入出力	−	R	−	o	
FT2	入出力	入出力	−	NoR	NoR	o	イネーブル信号による機能選択あり
FT3	入出力	入出力	−	R	−	o	イネーブル信号による機能選択あり
FT4	入出力	入力 (int)	−	R	−	o	ノイズフィルター付き
FT5	入出力	入力	o	R	-	-	
FT6	出力	出力	−	NoR	−	o	リセット中 $\overline{\text{BOOT}}$ 入力許可

int: 割り込み入力
−: 無し
o: 有り
R: リセット中ディセーブル
NoR: リセットでは制御されない

10.3.2　Type FT1

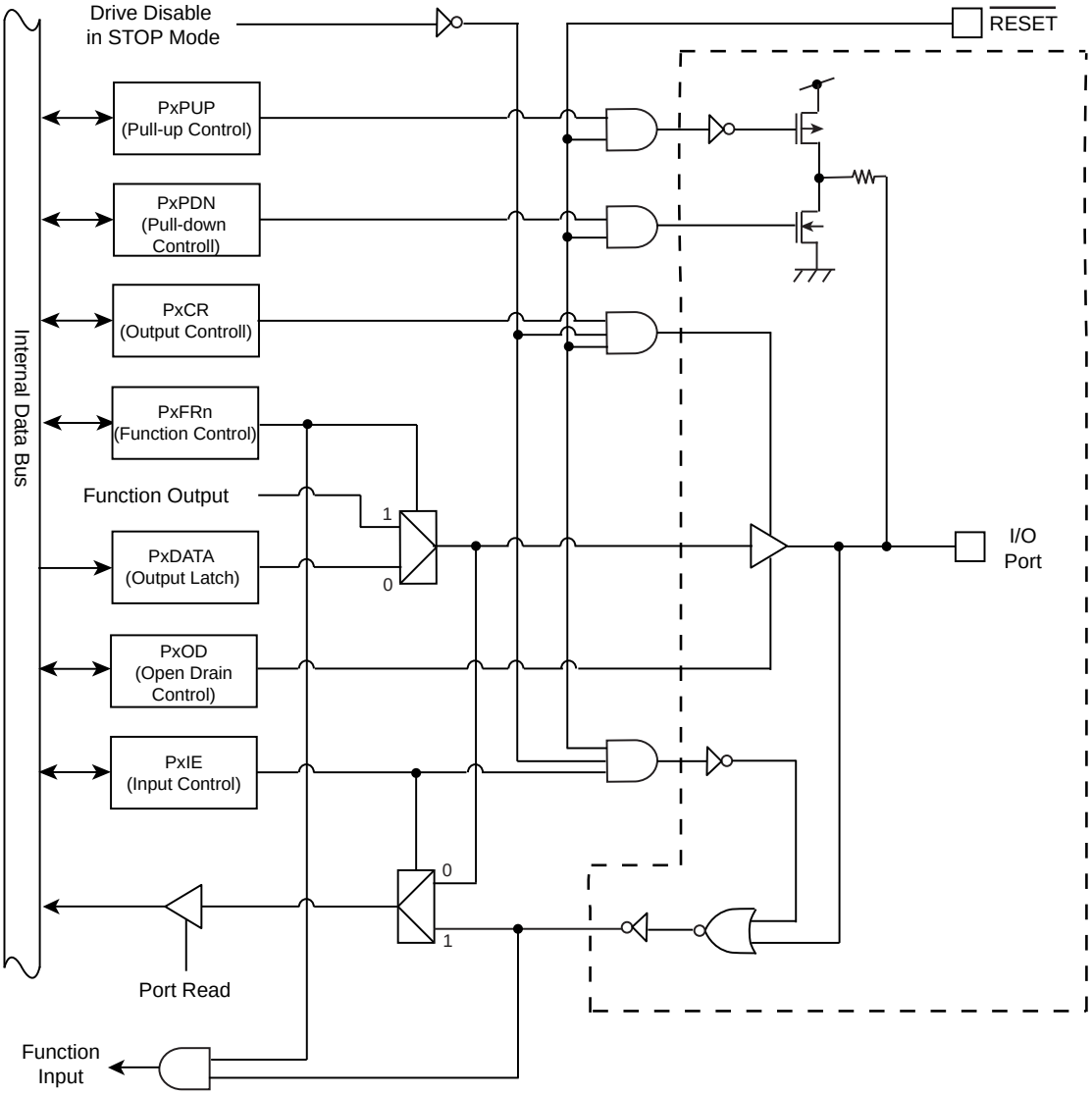


図 10-1 ポート Type FT1

10.3.3 Type FT2

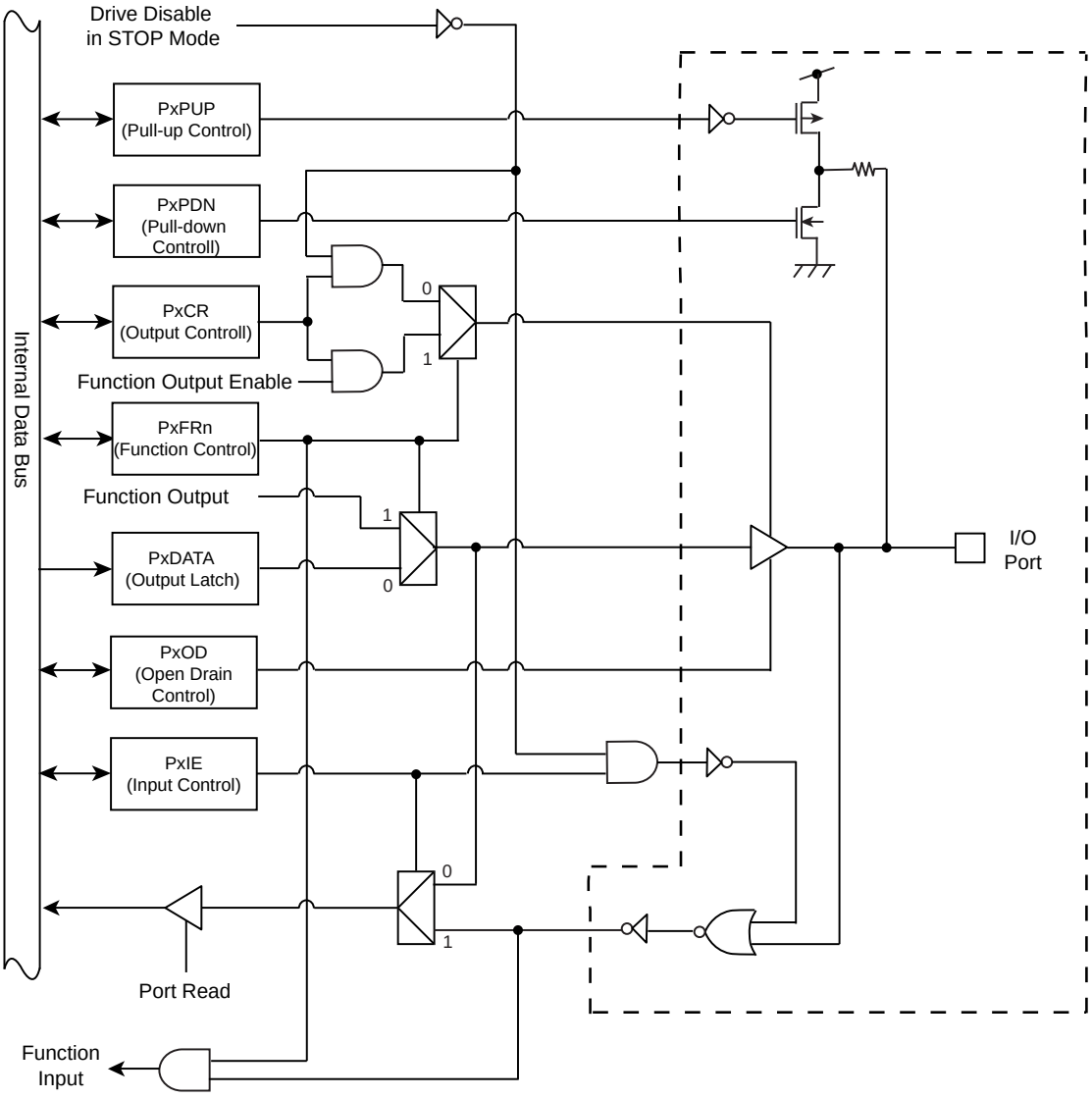


図 10-2 ポート type FT2

注) $\overline{\text{TRST}}$には、ノイズフィルタ(30ns Typ.)が入ります。

10.3.4　Type FT3

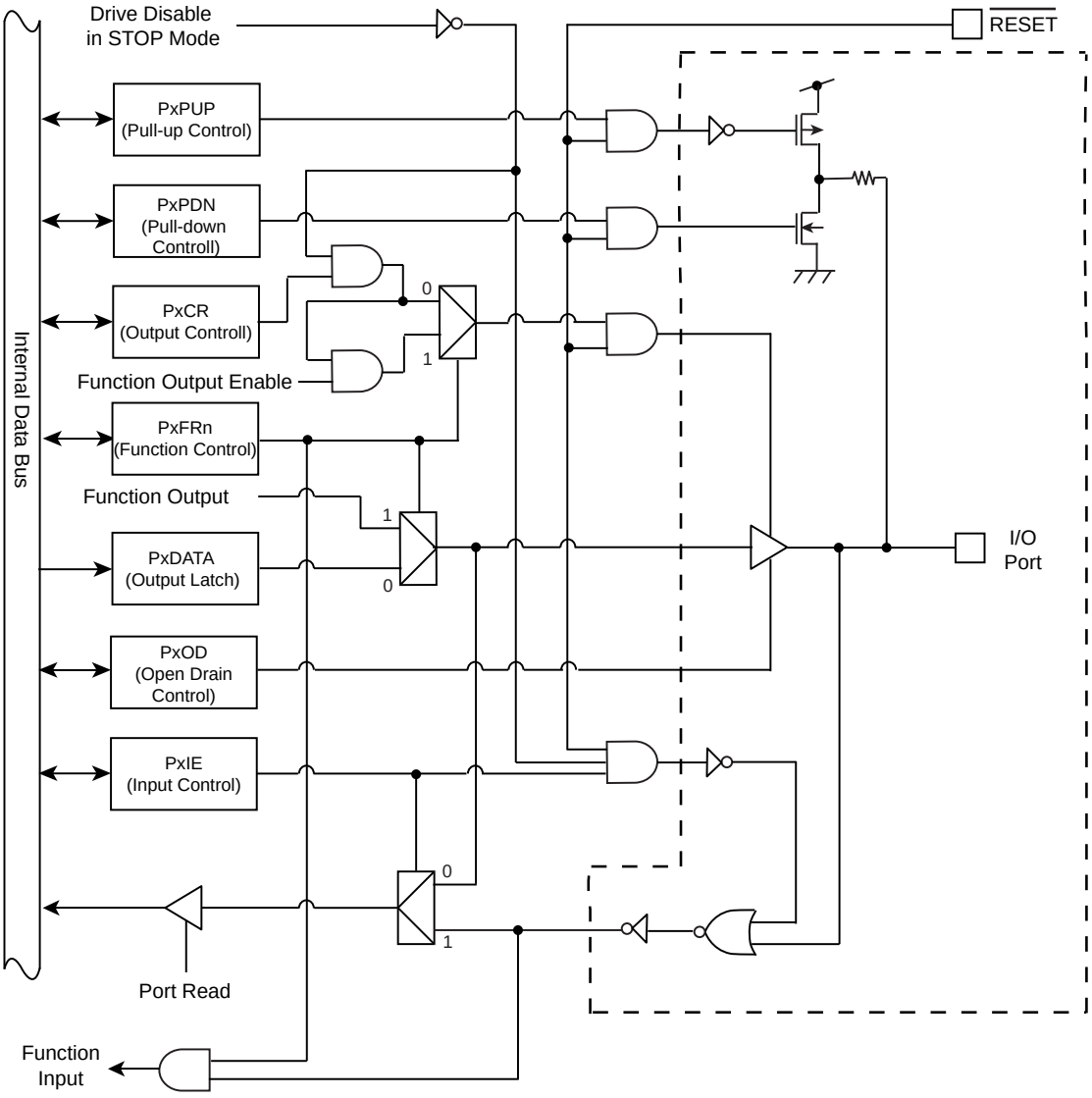


図 10-3 ポート Type FT3

10.3.5 Type FT4

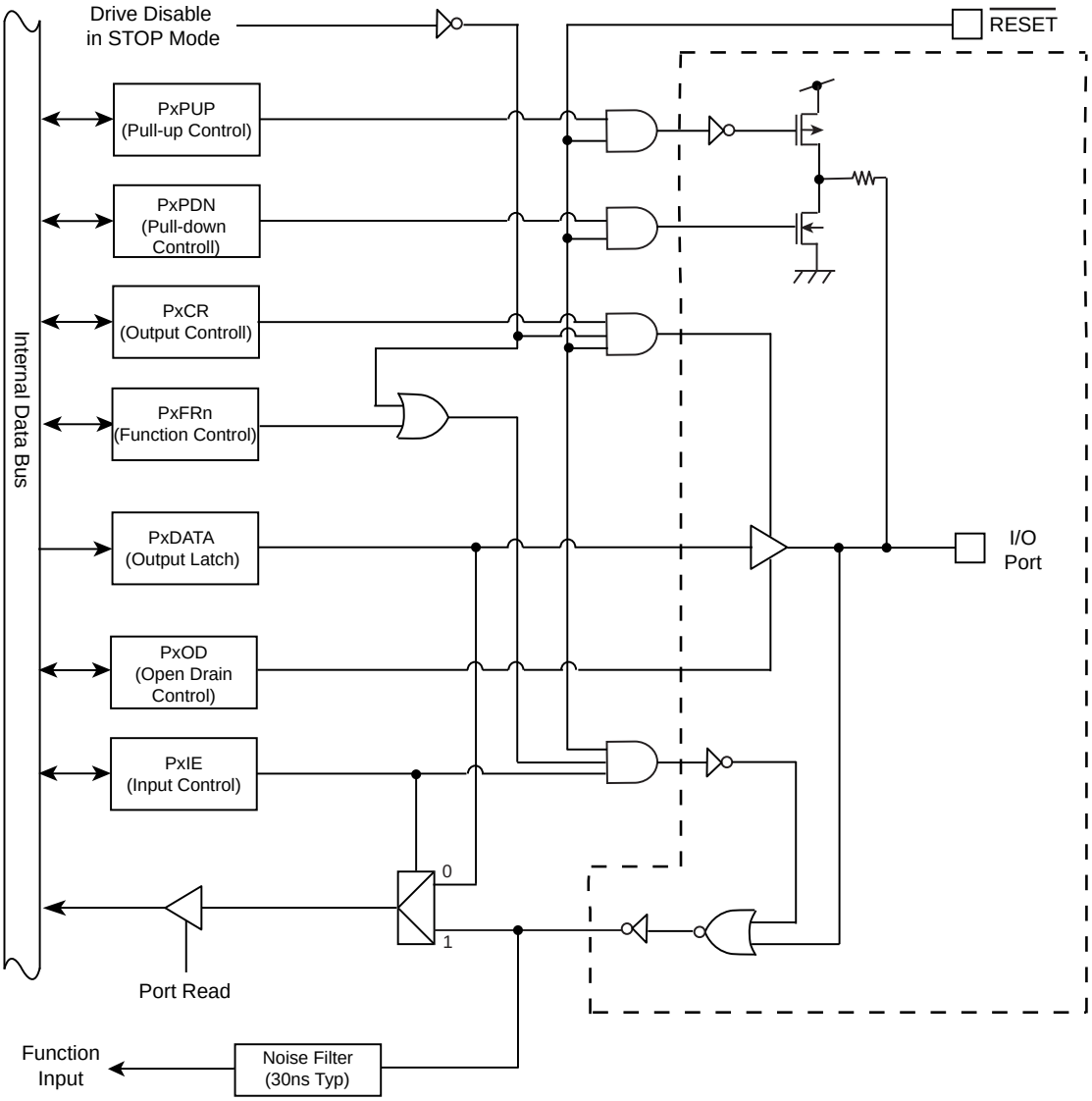


図 10-4 ポート Type FT4

10.3.6　Type5 FT5

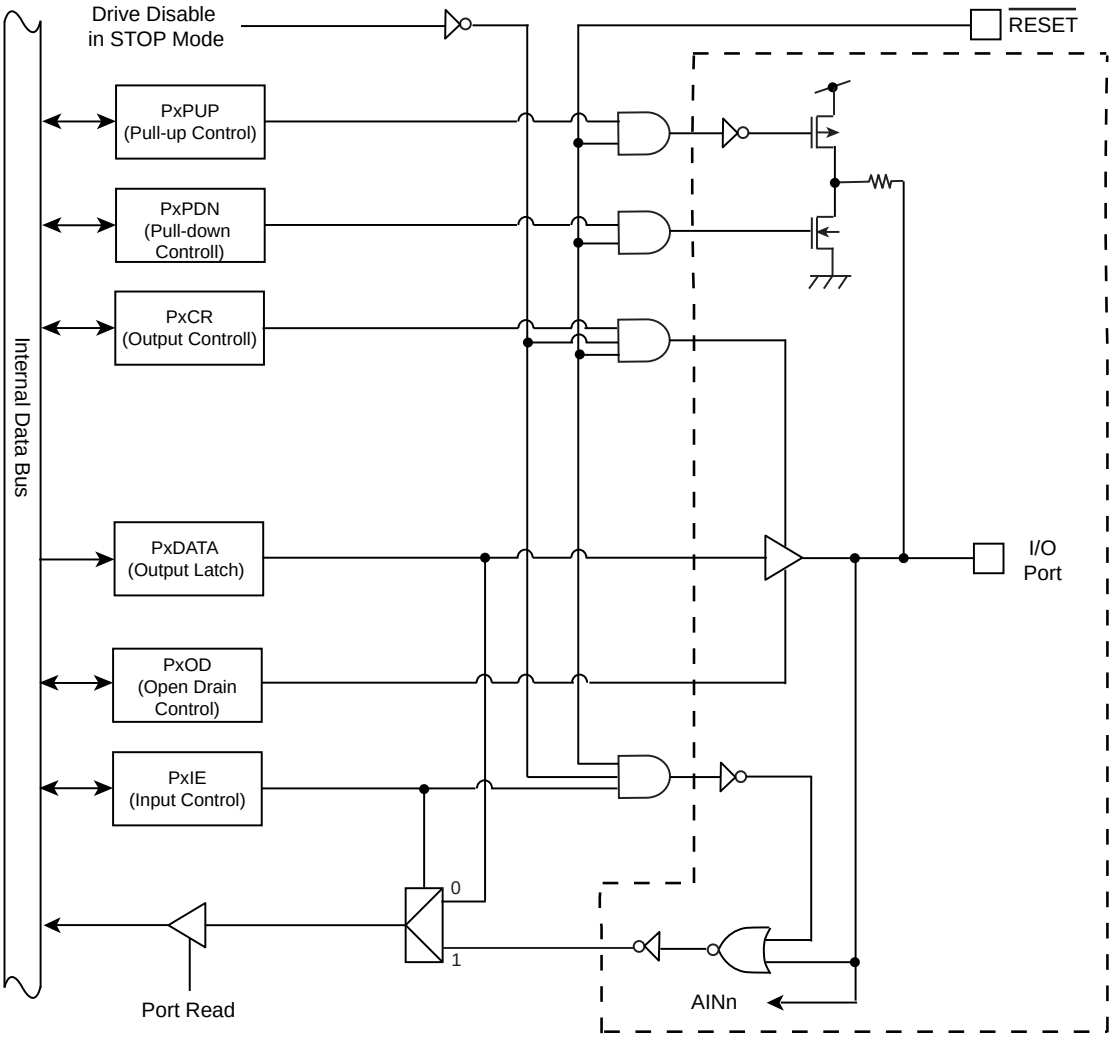


図 10-5 ポート Type FT5

10.3.7 Type FT6

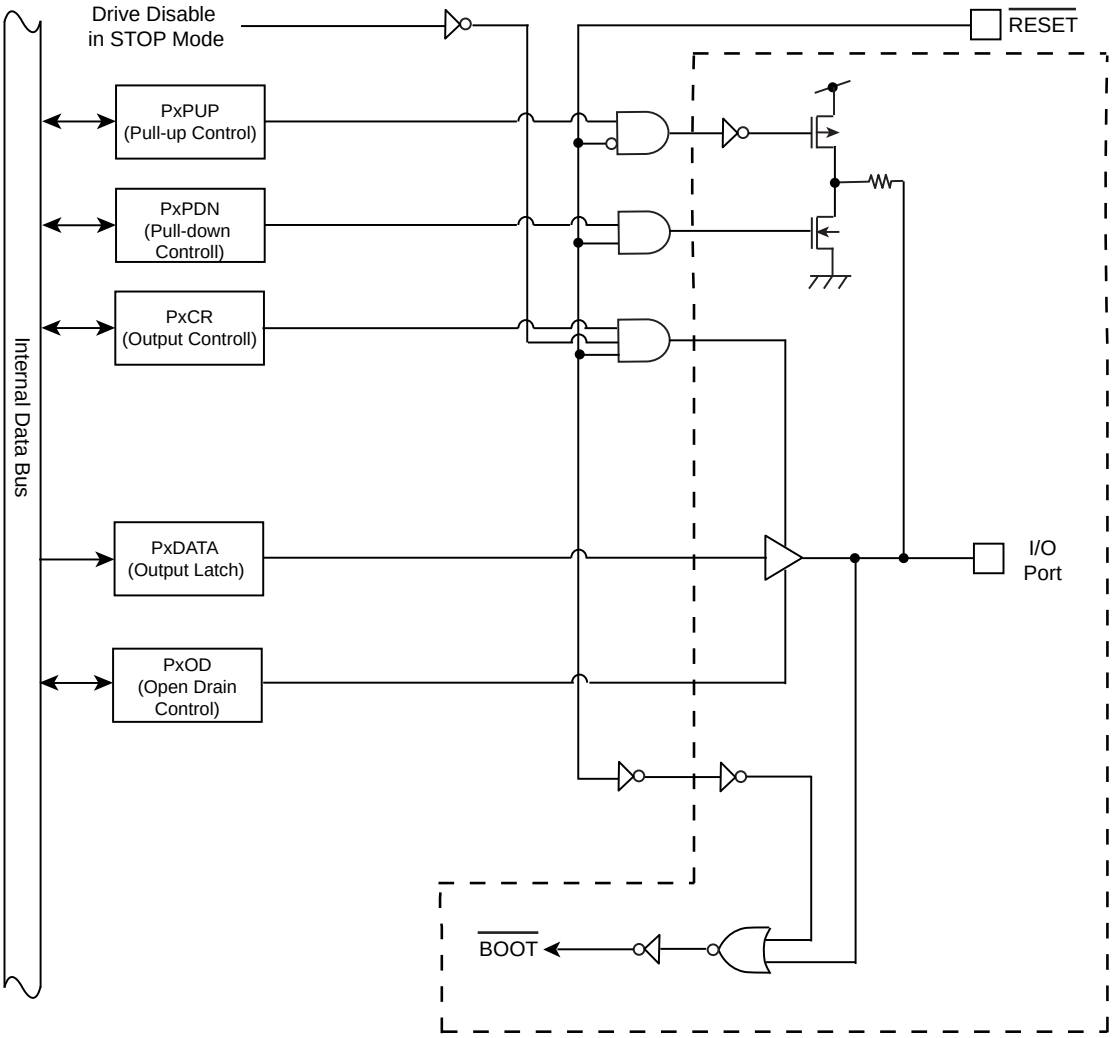


図 10-6 ポート Type FT6

10.4　付録 (ポート 設定一覧)

機能ごとのレジスター覧を以下に示します。

初期設定欄に"o"のないポートの初期設定は、すべてのレジスタ設定が"0"となっています。

"x"のビットは任意に行ってください。

10.4.1　ポート A 設定

表 10-6 ポート 設定一覧 (ポート A)

Pin	ポート Type	Function	初期設定	PACR	PAOD	PAPUP	PAIE
PA0	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PA1	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PA2	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PA3	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PA4	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PA5	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PA6	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PA7	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0

10.4.2 ポート B 設定

表 10-7 ポート 設定一覧 (ポート B)

Pin	ポート Type	Function	初期設定	PBCR	PBOD	PBPUP	PBIE
PB0	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PB1	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PB2	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PB3	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PB4	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PB5	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PB6	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0
PB7	FT1	入力 ポート		0	x	x	1
		出力 ポート		1	x	x	0

10.4.3　ポート C 設定

表 10-8 ポート 設定一覧 (ポート C)

Pin	ポート Type	Function	初期設定	PCCR	PCFR1	PCFR3	PCFR4	PCOD	PCPUP	PCIE
PC0	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	TXD1 (出力)		1	1	0	0	0	x	0
		TB2IN0 (入力)		0	0	1	0	0	x	1
PC1	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	RXD1 (入力)		0	1	0	0	0	x	1
		TB2IN1 (入力)		0	0	1	0	0	x	1
PC2	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	SCLK1 (入力)		0	1	0	0	0	x	1
		SCLK1 (出力)		1	1	0	0	0	x	0
		TB0OUT (出力)		1	0	1	0	x	x	0
		$\overline{\text{CTS1}}$ (入力)		0	0	0	1	0	x	1

10.4.4 ポート D 設定

表 10-9 ポート 設定一覧 (ポート D)

Pin	ポート Type	Function	初期設定	PDCR	PDFR3	PDOD	PDPUP	PDIE
PD0	FT1	入力 ポート		0	0	x	x	1
		出力 ポート		1	0	x	x	0
	FT1	TB7OUT (出力)		1	1	x	x	0
PD1	FT1	入力 ポート		0	0	x	x	1
		出力 ポート		1	0	x	x	0
	FT1	TB8OUT (出力)		1	1	x	x	0
PD2	FT1	入力 ポート		0	0	x	x	1
		出力 ポート		1	0	x	x	0
	FT1	TB9OUT (出力)		1	1	x	x	0
PD3	FT1	入力 ポート		0	0	x	x	1
		出力 ポート		1	0	x	x	0
	FT1	$\overline{\text{ADTRG}}$ (入力)		0	1	0	x	1
PD4	FT1	入力 ポート		0	0	x	x	1
		出力 ポート		1	0	x	x	0
PD5	FT1	入力 ポート		0	0	x	x	1
		出力 ポート		1	0	x	x	0
PD6	FT1	入力 ポート		0	0	x	x	1
		出力 ポート		1	0	x	x	0
PD7	FT1	入力 ポート		0	0	x	x	1
		出力 ポート		1	0	x	x	0
	FT1	SCOUT (出力)		1	1	x	x	0

10.4.5　ポート E 設定

表 10-10 ポート 設定一覧 (ポート E)

Pin	ポート Type	Function	初期設定	PECR	PEFR1	PEFR3	PEFR4	PEOD	PEPUP	PEIE
PE0	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	TXD0 (出力)		1	1	0	0	x	x	0
PE1	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	RXD0 (入力)		0	1	0	0	0	x	1
PE2	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	SCLK0 (入力)		0	1	0	0	0	x	1
		SCLK0 (出力)		1	1	0	0	x	x	0
		TB2OUT (出力)		1	0	1	0	x	x	0
		$\overline{\text{CTS0}}$ (入力)		0	0	0	1	x	x	1
PE3	FT1	入力 ポート		0	0	0	0	0	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT4	INT5 (入力)		0	1	0	0	0	x	1
	FT1	TB3OUT (出力)		1	0	1	0	x	x	0
PE4	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	SO1 (出力)		1	1	0	0	x	x	0
		SDA1 (入出力)		1	1	0	0	1	x	1
PE5	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	SI1 (入力)		0	1	0	0	x	x	1
		SCL1(入出力)		1	1	0	0	1	x	1
PE6	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	SCK1 (入力)		0	1	0	0	x	x	1
		SCK1 (出力)		1	1	0	0	x	x	0
PE7	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT4	INT4 (入力)		0	1	0	0	0	x	1

10.4.6 ポート F 設定

表 10-11 ポート 設定一覧 (ポート F)

Pin	ポート Type	Function	初期設定	PFCR	PFFR2	PFFR3	PFOD	PFPUP	PFIE
PF0	FT6	出力 ポート		1	0	0	x	1	0
	FT1	TB6OUT (出力)		1	0	1	x	1	0
PF1	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
PF2	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
PF3	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
PF4	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
	FT4	INT6 (入力)		0	1	0	0	x	1
	FT1	TB5IN0 (入力)		0	0	1	0	x	1
PF5	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
	FT4	INT7 (入力)		0	1	0	0	x	1
	FT1	TB5IN1 (入力)		0	0	1	0	x	1
PF6	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
PF7	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0

注) PF0 は $\overline{\text{RESET}}$ 端子が"Low"の間、プルアップと入力が許可になっており、$\overline{\text{BOOT}}$ 入力端子として機能します。

10.4.7　ポート G 設定

表 10-12 ポート 設定一覧 (ポート G)

Pin	ポート Type	Function	初期設定	PGCR	PGFR1	PGFR3	PGFR4	PGOD	PGPUP	PGIE
PG0	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	SO0 (出力)		1	1	0	0	x	x	0
		SDA0(入出力)		1	1	0	0	1	x	1
PG1	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	SI0 (入力)		0	1	0	0	x	x	1
		SCL0 (入出力)		1	1	0	0	1	x	1
		TB3IN0 (入力)		0	0	1	0	x	x	1
PG2	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	SCK0 (入力)		0	1	0	0	x	x	1
		SCK0 (出力)		1	1	0	0	x	x	0
		TB3IN1 (入力)		0	0	1	0	x	x	1
PG3	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT4	INT0 (入力)		0	1	0	0	0	x	1
	FT1	TB4IN0 (入力)		0	0	1	0	0	x	1
PG4	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT1	TB4IN1 (入力)		0	0	1	0	0	x	1
PG5 (注)	FT1	入力 ポート		0	0	0	0	x	x	1
		出力 ポート		1	0	0	0	x	x	0
	FT4	INT1 (入力)		0	1	0	0	0	x	1
	FT1	USBPON (入力)		0	0	0	1	0	x	1

注)　PG5 は入力端子として使用時のみ、5V 入力が可能な端子です。オープンドレイン出力端子として使用する場合、電源電圧より高い電圧でプルアップはできませんので注意してください。

10.4.8 ポート H 設定

表 10-13 ポート 設定一覧 (ポート H)

Pin	ポート Type	Function	初期設定	PHCR	PHFR1	PHFR3	PHOD	PHPUP	PHIE
PH0	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
	FT1	TRACEDATA2 (出力)		1	1	0	x	x	0
PH1	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
	FT1	TRACEDATA3 (出力)		0	1	0	0	x	1
PH2	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
	FT1	TB4OUT (出力)		1	0	1	x	x	0
PH3	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
	FT1	TB5OUT (出力)		1	0	1	x	x	0
PH4	FT1	入力 ポート		0	0	0	x	x	1
		出力 ポート		1	0	0	x	x	0
	FT4	INT8 (入力)		0	0	1	0	x	1

10.4.9　ポート I 設定

表 10-14 ポート 設定一覧 (ポート I)

Pin	ポート Type	Function	初期設定	PICR	PIFR1	PIOD	PIPUP	PIPDN	PIIE
PI0	FT1	入力 ポート		0	0	x	x	x	1
		出力 ポート		1	0	x	x	x	0
	FT1	TRACEDATA1 (出力)		1	1	0	0	0	0
PI1	FT1	入力 ポート		0	0	x	x	x	1
		出力 ポート		1	0	x	x	x	0
	FT1	TRACEDATA0 (出力)		1	1	0	0	0	0
PI2	FT1	入力 ポート		0	0	x	x	x	1
		出力 ポート		1	0	x	x	x	0
	FT1	TRACECLK (出力)		1	1	0	0	0	0
PI3	FT1	入力 ポート		0	0	x	1	x	1
		出力 ポート		1	0	x	1	x	0
	FT2	TCK (入力)/ SWCLK (入力)	o	0	1	0	0	1	1
PI4	FT1	入力 ポート		0	0	x	1	x	1
		出力 ポート		1	0	x	1	x	0
	FT2	TMS (入力)/ SWDIO (入力/出力)	o	1	1	0	1	0	1
PI5	FT1	入力 ポート		0	0	x	x	x	1
		出力 ポート		1	0	x	x	x	0
	FT2	TDO (出力)/ SWV (出力)	o	1	1	0	0	0	0
PI6	FT1	入力 ポート		0	0	x	1	x	1
		出力 ポート		1	0	x	1	x	0
	FT2	TDI (入力)	o	0	1	0	1	0	1
PI7	FT1	入力 ポート		0	0	x	x	x	1
		出力 ポート		1	0	x	x	x	0
	FT2	$\overline{\text{TRST}}$ (入力)	o	0	1	0	1	0	1

10.4.10 ポート J 設定

表 10-15 ポート 設定一覧 (ポート J)

pin	ポート Type	Function	初期設定	PJCR	PJFR2	PJFR3	PJPUP	PJIE
PJ0	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
PJ1	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
PJ2	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
PJ3	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
PJ4	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
PJ5	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
PJ6	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
	FT1	TB0IN0 (入力)		0	0	1	x	1
PJ7	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
	FT4	INT9 (入力)		0	1	0	x	1
	FT1	TB0IN1 (入力)		0	0	1	x	1

10.4.11　ポート K 設定

表 10-16 ポート 設定一覧 (ポート K)

Pin	ポート Type	Function	初期設定	PKCR	PKFR2	PKFR3	PKPUP	PKIE
PK0	-	入力 ポート		0	0	0	x	1
	FT1	出力 ポート		1	0	0	x	0
	FT4	INT2 (入力)		0	1	0	x	1
	FT1	TB1IN0 (入力)		0	0	1	x	1
PK1	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
	FT4	INT3 (入力)		0	1	0	x	1
	FT1	TB1IN1 (入力)		0	0	1	x	1
PK2	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
	FT1	TB6IN0 (入力)		0	0	1	x	1
PK3	FT1	入力 ポート		0	0	0	x	1
		出力 ポート		1	0	0	x	0
	FT1	TB6IN1 (入力)		0	0	1	x	1

第 11 章　DMA コントローラ（DMAC）

11.1　概要

主な機能を以下に説明します。

表 11-1 DMA 機能概要 (1 ユニット)

項目	機能		説明
チャネル数	2ch		-
DMA 要求数	16 要因		-
DMA 起動トリガ	ハードウェアでスタート		周辺回路の DMA 要求で起動
	ソフトウェアでスタート		DMACxSoftBReq へのライトで起動
バスマスタ	32bit × 1 (AHB)		-
プライオリティ	高: ch0 低: ch1		固定
FIFO	4word × 2ch		-
バス幅	8/16/32bit		Source、Distination で別々に設定可能。
バーストサイズ	1/4/8/16/32/64/128/256		-
転送回数	~4095		-
アドレス	転送元アドレス	incr ement not increment	Source と Destination のアドレスは、increment か not increment かを選択できます (アドレス wrapping はサポートしていません)
	転送先アドレス	incr ement not increment	
エンディアン	リトルエンディアン		-
転送タイプ	Peripheral to Memory Memory to Peripheral Memory to Memory Peripheral to Peripheral		"Memory to Memory"を選択した場合、DMA 起動のハードウエアスタートはサポートしていません。詳細は、DMACxCnConfiguration を参照してください。 "Peripheral to Peripheral"を選択した場合、Source と Destination に割り当てられる周辺機能には制約があります。詳細は「11.4.1 Peripheral to Peripheral でサポートする周辺機能」を参照してください。
割り込み機能	転送終了割り込み エラー割り込み		-
特殊機能	Scatter/gather 機能		-

11.2　DMA 転送タイプについて

表 11-2 DMA　転送タイプ

<table>
<tr><th>No.</th><th>DMA 転送タイプ</th><th>DMA 要求元</th><th>受付可能な DMA 要求の種類</th><th>説明</th></tr>
<tr><td>1</td><td>Memory to Peripheral</td><td>Peripheral (Destination)</td><td>バースト要求</td><td>Word の転送要求の場合、DMA のバーストサイズを 1 に設定して下さい</td></tr>
<tr><td>2</td><td>Peripheral to Memory</td><td>Peripheral (Source)</td><td>バースト要求 / シングル要求</td><td>データの総転送サイズが、バーストサイズの整数倍でない時、バースト要求とシングル要求の両方を使用することができます。
データの総転送サイズ ≥ バーストサイズのときには、シングル要求は無視されバースト転送が行われます。
総転送サイズ < バーストサイズ時となったときには、シングル転送が行われます。</td></tr>
<tr><td>3</td><td>Memory to Memory
注)</td><td>DMAC</td><td>−</td><td>DMA 要求なしで、DMA を Enable にするとデータ転送が開始します。
(Mem to Mem を選択し、 DMACxCnConfiguration<E>を "1"に設定します。)
全てのデータ転送が終了するか、DMAC を disabled にすると停止します。</td></tr>
<tr><td rowspan="2">4</td><td rowspan="2">Peripheral to Peripheral</td><td>Peripheral (Source)</td><td>バースト 要求 / シングル要求</td><td rowspan="2"><table><tr><th>転送サイズ</th><th>Source</th><th>Destination</th></tr><tr><td>(1)バーストサイズの整数倍</td><td>バースト要求</td><td>バースト要求</td></tr><tr><td>(2)バーストサイズの非整数倍</td><td>バースト要求 / シングル要求</td><td>-</td></tr></table></td></tr>
<tr><td>Peripheral (Destination)</td><td>バースト要求</td></tr>
</table>

注)　Memory to Memory を使用して多くのデータを転送する場合、Priority の低いチャネルを使うことを推奨します。Priority の低いチャネルを使用することにより、転送途中でも、Priority の高いチャネルの転送を開始することができます。優先度の高いチャネルを Memory to Memory で使用すると、このチャネルの転送が終了するまで、優先度の低いチャネルの転送を開始することができません。

11.3 ブロック図

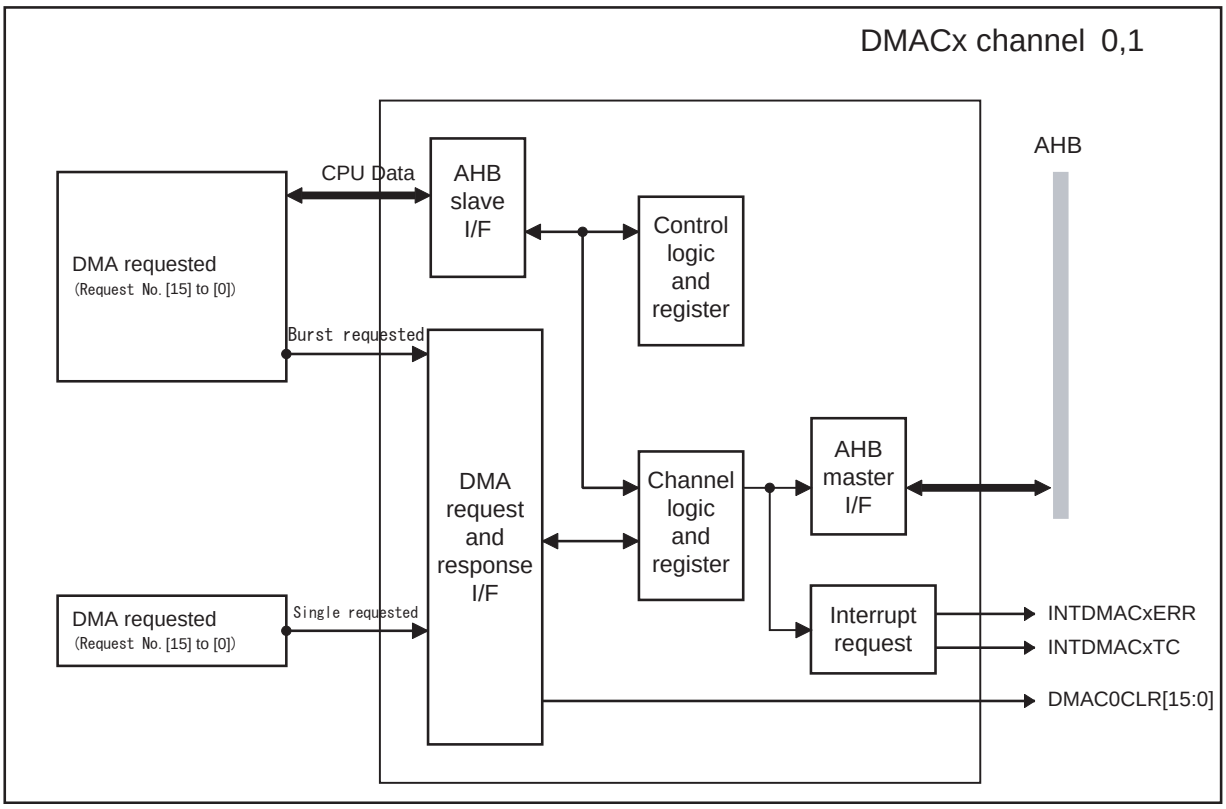


図 11-1 DMAC ブロック図

11.4　TMPM365FYXBG の固有情報

11.4.1　Peripheral to Peripheral でサポートする周辺機能

TMPM365FYXBG でサポートする周辺機能(レジスタ)は下記のとおりです。

Source	Destination
Peripheral register	SCxBUF (x=0 to 1)
	TBxREG0 to 1 (x=0 to 9)
	TBxCP0 to 1 (x=0 to 9)
SCxBUF (x=0 to1)	Peripheral register
TBxREG0 to 1 (x=0 to 9)	
TBxCP0 to 1 (x=0 to 9)	

11.4.2　DMA 要求

それぞれの DMA 要求番号に対応する DMA 要求要因は以下の通りです。

表 11-3 DMA 要求表

DMA 要求番号	対応するペリフェラル ch0,ch1	
	バースト要求	シングル要求
0	SIO0/UART0 受信	−
1	SIO0/UART0 送信	−
2	SIO1/UART1 受信	−
3	SIO1/UART1 送信	−
4	TMRB8 コンペアー致	−
5	TMRB9 コンペアー致	−
6	TMRB0 入力キャプチャ 0	−
7	TMRB4 入力キャプチャ 0	−
8	TMRB4 入力キャプチャ 1	−
9	TMRB5 入力キャプチャ 0	−
10	TMRB5 入力キャプチャ 1	−
11	通常 AD 変換終了	−
12	I2C0/SIO0 受信(注)	−
13	I2C0/SIO0 送信(注)	−
14	I2C1/SIO1 受信(注)	−
15	I2C1/SIO1 送信(注)	−

注)　I2C モード時のみ DMAC を使用できます。SIO モード時には使用しないでください。

11.4.3 割り込み要求

転送終了割り込み	エラー割り込み
INTDMAC0TC	INTDMAC0ERR

11.4.4 ベースアドレス

ベースアドレス
0x4000_0000

11.5　レジスタ説明

11.5.1　DMAC レジスター覧

以下に各レジスタの機能とアドレスを示します。

Register Name (x=A)		Address(Base+)
DMAC Interrupt Status Register	DMACxIntStaus	0x0000
DMAC Interrupt Terminal Count Status Register	DMACxIntTCStatus	0x0004
DMAC Interrupt Terminal Count Clear Register	DMACxIntTCClear	0x0008
DMAC Interrupt Error Status Register	DMACxIntErrorStatus	0x000C
DMAC Interrupt Error Clear Register	DMACxIntErrClr	0x0010
DMAC Raw Interrupt Terminal Count Status Register	DMACxRawIntTCStatus	0x0014
DMAC Raw Error Interrupt Status Register	DMACxRawIntErrorStatus	0x0018
DMAC Enabled Channel Register	DMACxEnbldChns	0x001C
DMAC Software Burst Request Register	DMACxSoftBReq	0x0020
DMAC Software Single Request Register	DMACxSoftSReq	0x0024
Reserved	-	0x0028
Reserved	-	0x002C
DMAC Configuration Register	DMACxConfiguration	0x0030
Reserved	-	0x0034
DMAC Channel0 Source Address Register	DMACxC0SrcAddr	0x0100
DMAC Channel0 Destination Address Register	DMACxC0DestAddr	0x0104
DMAC Channel0 Linked List Item Register	DMACxC0LLI	0x0108
DMAC Channel0 Control Register	DMACxC0Control	0x010C
DMAC Channel0 Configuration Register	DMACxC0Configuration	0x0110
DMAC Channel1 Source Address Register	DMACxC1SrcAddr	0x0120
DMAC Channel1 Destination Address Register	DMACxC1DestAddr	0x0124
DMAC Channel1 Linked List Item Register	DMACxC1LLI	0x0128
DMAC Channel1 Control Register	DMACxC1Control	0x012C
DMAC Channel 1 Configuration Register	DMACxC1Configuration	0x0130

注 1)　上記レジスタは、ワード(32bit)アクセスのみとなります

注 2)　"Reserved" 領域へのアクセスは禁止です

注 3)　チャンネルごとにレジスタが用意されているものに関しては、チャンネルの構造が同じ場合、レジスタ詳細説明において、ユニット番号をあらわす部分を"x"、チャネル番号をあらわす部分を"n"で表現しています

注 4)　チャネルごとに用意されているレジスタへの Write の後にチャネルごとに用意されていないレジスタを Read する場合、命令の間を 1 サイクル以上あけるか、2 回 Read してください。

11.5.2 DMACxIntStatus (DMAC Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntStatus1	IntStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0"をライトしてください.
1	IntStatus1	R	DMAC チャネル 1 の割込み発生状態 0 : 割込み要求なし 1 : 割込み要求あり 転送終了割込み許可レジスタおよびエラー割込み許可レジスタを経由した後の DMAC 割込み発生状態を示します。転送エラー、カウンタ終了のどちらでも割込み要求が発生します。
0	IntStatus0	R	DMAC チャネル 0 の割込み発生状態 0 : 割込み要求なし 1 : 割込み要求あり 転送終了割込み許可レジスタおよびエラー割込み許可レジスタを経由した後の DMAC 割込み発生状態を示します。転送エラー、カウンタ終了のどちらでも割込み要求が発生します。

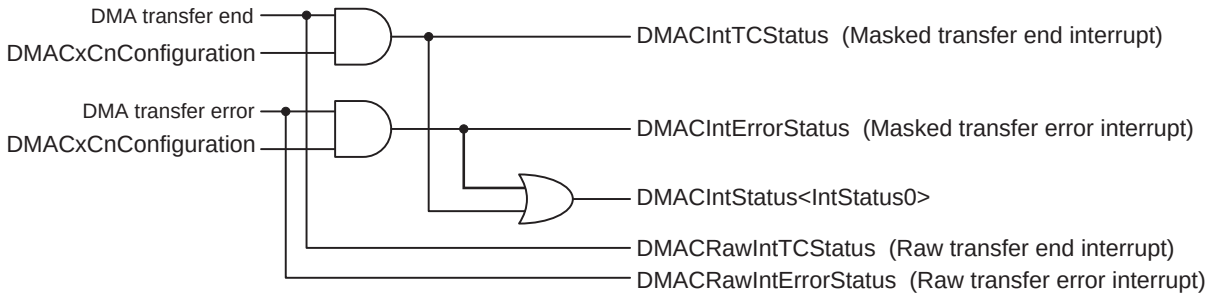


図 11-2 割り込み関連ブロック図

11.5.3　DMACxIntTCStatus (DMAC Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCStatus1	IntTCStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntTCStatus1	R	DMAC チャネル 1 の転送終了割込み発生状態 0 : 割り込み要求なし 1 : 割り込み要求あり 許可後の転送終了割込み発生状態を示します。
0	IntTCStatus0	R	DMAC チャネル 0 の転送終了割込み発生状態 0 : 割り込み要求なし 1 : 割り込み要求あり 許可後の転送終了割込み発生状態を示します。

11.5.4 DMACxIntTCClear (DMAC Interrupt Terminal Count Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntTCClear1	IntTCClear0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntTCClear1	W	DMAC チャネル 1 の転送終了割込みクリア 0 : 無効 1 : クリア "1" をライトすると DMACxIntTCStatus<IntTCStatus1> がクリアされます
0	IntTCClear0	W	DMAC チャネル 0 の転送終了割込みクリア 0 : 無効 1 : クリア "1" をライトすると DMACxIntTCStatus<IntTCStatus0> がクリアされます

11.5.5　DMACxIntErrorStatus (DMAC Interrupt Error Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrStatus1	IIntErrStatus0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntErrStatus1	R	DMAC チャネル 1 のエラー割込み状態 0 : 割り込み要求なし 1 : 割り込み要求あり 許可後のエラー割込み発生状態を示します
0	IntErrStatus0	R	DMAC チャネル 0 のエラー割込み状態 0 : 割り込み要求なし 1 : 割り込み要求あり 許可後のエラー割込み発生状態を示します

11.5.6 DMACxIntErrClr (DMAC Interrupt Error Clear Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	IntErrClr1	IntErrClr0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	IntErrClr1	W	DMAC チャネル 1 のエラー割込みクリア 0 : 無効 1 : クリア "1" をライトすると DMACxIntErrorStatus<IntErrStatus1> がクリアされます。
0	IntErrClr0	W	DMAC チャネル 0 のエラー割込みクリア 0 : 無効 1 : クリア "1" をライトすると DMACxIntErrorStatus<IntErrStatus0> がクリアされます。

11.5.7　DMACxRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntTCS1	RawIntTCS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	RawIntTCS1	R	DMAC チャネル 1 の許可前転送終了割込み発生状態 0 : 割り込み要求なし 1 : 割り込み要求あり
0	RawIntTCS0	R	DMAC チャネル 0 の許可前転送終了割込み発生状態 0 : 割り込み要求なし 1 : 割り込み要求あり

11.5.8 DMACxRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	RawIntErrS1	RawIntErrS0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	RawIntErrS1	R	DMAC チャネル 1 の許可前エラー割込み発生状態 0 : 割込み要求なし 1 : 割込み要求あり
0	RawIntErrS0	R	DMAC チャネル 0 の許可前エラー割込み発生状態 0 : 割込み要求なし 1 : 割込み要求あり

11.5.9　DMACxEnbldChns (DMAC Enabled Channel Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EnabledCH1	EnabledCH0
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください
1	EnabledCH1	R	DMAC チャネル 1 の許可状態 0 : DMA 転送終了時クリア 1 : チャネル 1 許可状態 DMACxCnControl レジスタの総転送回数を全て転送すると(値が 0 になる）クリアされます。
0	EnabledCH0	R	DMAC チャネル 0 の許可状態 0 : DMA 転送終了時クリア 1 : チャネル 1 許可状態 DMACxCnControl レジスタの総転送回数を全て転送すると(値が 0 になる）クリアされます。

11.5.10 DMACxSoftBReq (DMAC Software Burst Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftBReq15	SoftBReq14	SoftBReq13	SoftBReq12	SoftBReq11	SoftBReq10	SoftBReq9	SoftBReq8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftBReq7	SoftBReq6	SoftBReq5	SoftBReq4	SoftBReq3	SoftBReq2	SoftBReq1	SoftBReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	-	"0" をライトしてください
15	SoftBReq15	R/W	ソフトウェアによる DMA バースト要求(要求番号 [15]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
14	SoftBReq14	R/W	ソフトウェアによる DMA バースト要求(要求番号 [14]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
13	SoftBReq13	R/W	ソフトウェアによる DMA バースト要求(要求番号 [13]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
12	SoftBReq12	R/W	ソフトウェアによる DMA バースト要求(要求番号 [12]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
11	SoftBReq11	R/W	ソフトウェアによる DMA バースト要求(要求番号 [11]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
10	SoftBReq10	R/W	ソフトウェアによる DMA バースト要求(要求番号 [10]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
9	SoftBReq9	R/W	ソフトウェアによる DMA バースト要求(要求番号 [9]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生

Bit	Bit Symbol	Type	機能
8	SoftBReq8	R/W	ソフトウェアによる DMA バースト要求(要求番号 [8]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
7	SoftBReq7	R/W	ソフトウェアによる DMA バースト要求(要求番号 [7]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
6	SoftBReq6	R/W	ソフトウェアによる DMA バースト要求(要求番号 [6]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
5	SoftBReq5	R/W	ソフトウェアによる DMA バースト要求(要求番号 [5]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
4	SoftBReq4	R/W	ソフトウェアによる DMA バースト要求(要求番号 [4]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
3	SoftBReq3	R/W	ソフトウェアによる DMA バースト要求(要求番号 [3]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
2	SoftBReq2	R/W	ソフトウェアによる DMA バースト要求(要求番号 [2]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
1	SoftBReq1	R/W	ソフトウェアによる DMA バースト要求(要求番号 [1]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生
0	SoftBReq0	R/W	ソフトウェアによる DMA バースト要求(要求番号 [0]) リード時 : 0 :DMA バースト停止中 1 : DMA バースト実行中 ライト時: 0 : 無効 1 : DMA バースト要求の発生

注 1)　同時にソフトウエアとハードウエアによる DMA 要求を実施しないでください

注 2)　DMA のリクエスト番号は 「11.4.2 DMA 要求」 を参照してください。バースト要求のない DMA 要求番号に対応するレジスタには"0"を書き込んでください。

11.5.11 DMACxSoftSReq (DMAC Software Single Request Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	SoftSReq15	SoftSReq14	SoftSReq13	SoftSReq12	SoftSReq11	SoftSReq10	SoftSReq9	SoftSReq8
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SoftSReq7	SoftSReq6	SoftSReq5	SoftSReq4	SoftSReq3	SoftSReq2	SoftSReq1	SoftSReq0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	-	-	"0" をライトしてください
15	SoftSReq15	R/W	ソフトウェアによる DMA シングル要求(要求番号 [15]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
14	SoftSReq14	R/W	ソフトウェアによる DMA シングル要求(要求番号 [14]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
13	SoftSReq13	R/W	ソフトウェアによる DMA シングル要求(要求番号 [13]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
12	SoftSReq12	R/W	ソフトウェアによる DMA シングル要求(要求番号 [12]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
11	SoftSReq11	R/W	ソフトウェアによる DMA シングル要求(要求番号 [11]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
10	SoftSReq10	R/W	ソフトウェアによる DMA シングル要求(要求番号 [10]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
9	SoftSReq9	R/W	ソフトウェアによる DMA シングル要求(要求番号 [9]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生

Bit	Bit Symbol	Type	機能
8	SoftSReq8	R/W	ソフトウェアによる DMA シングル要求(要求番号 [8]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
7	SoftSReq7	R/W	ソフトウェアによる DMA シングル要求(要求番号 [7]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
6	SoftSReq6	R/W	ソフトウェアによる DMA シングル要求(要求番号 [6]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
5	SoftSReq5	R/W	ソフトウェアによる DMA シングル要求(要求番号 [5]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
4	SoftSReq4	R/W	ソフトウェアによる DMA シングル要求(要求番号 [4]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
3	SoftSReq3	R/W	ソフトウェアによる DMA シングル要求(要求番号 [3]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
2	SoftSReq2	R/W	ソフトウェアによる DMA シングル要求(要求番号 [2]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
1	SoftSReq1	R/W	ソフトウェアによる DMA シングル要求(要求番号 [1]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生
0	SoftSReq0	R/W	ソフトウェアによる DMA シングル要求(要求番号 [0]) リード時 : 0 :DMA シングル停止中 1 : DMA シングル実行中 ライト時: 0 : 無効 1 : DMA シングル要求の発生

注 1)　同時にソフトウエアとハードウエアによる DMA 要求を実施しないでください。

注 2)　DMA のリクエスト番号は 「11.4.2 DMA 要求」 を参照してください。シングル要求のない DMA 要求番号に対応するレジスタには"0"を書き込んでください。

11.5.12 DMACxConfiguration (DMAC Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	M	E
リセット後	不定	不定	不定	不定	不定	不定	0	0

Bit	Bit Symbol	Type	機能
31-2	-	-	"0" をライトしてください。
1	M	R/W	"0"を書き込んでください。
0	E	R/W	DMA 回路制御 0 : 停止 1 : 動作 DMA 回路が停止している場合、DMA 回路のレジスタへの書き込み、読み出しはできません。DMA を動作させる場合には常に<E>="1" を設定してください。

11.5.13　DMACCxSrcAddr (DMAC Channelx Source Address Register)

	31	30	29	28	27	26	25	24
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SrcAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	SrcAddr[31:0]	R/W	DMA 転送元アドレスの設定 設定する前には転送元のメモリや IP レジスタのビット幅と、アドレスを確認してください。 転送元のビット幅の設定により、以下の制約があります。

転送元のビット幅 DMACCxControl<Swidth[2:0]>	最下位アドレスの設定
000　:バイト(8 ビット)	制約なし
001　:ハーフワード(16 ビット)	2 の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC…)になるように設定
010　:ワード(32 ビット)	4 の倍数(0x0,0x4,0x8,0xC…)になるように設定

チャネル x を許可(DMACCxConfiguration<E>="1")すると、レジスタに記述された内容が更新されますので、チャネルを許可する前に DMACCxSrcAddr を設定してください。

DMA が動作中の場合、DMACCxSrcAddr レジスタの値は逐次変化するため、リード値は固定ではありません。

また、転送中に DMACCxSrcAddr をアップデートしないでください。DMACCxSrcAddr を変更する場合には必ずチャネル x を禁止(DMACCxConfiguration<E>="0")に設定後、変更してください。

11.5.14 DMACCxDestAddr (DMAC Channelx Destination Address Register)

	31	30	29	28	27	26	25	24
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestAddr							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-0	DestAddr[31:0]	R/W	DMA 転送先アドレスの設定 設定する前には転送先のメモリや IP レジスタのビット幅と、アドレスを確認してください。 転送先のビット幅の設定により、以下の制約があります。

転送先のビット幅 DMACCxControl<Dwidth[2:0]>	最下位アドレスの設定
000 :バイト(8 ビット)	制約なし
001 :ハーフワード(16 ビット)	2 の倍数(0x0,0x02,0x4,0x06,0x8,0xA,0xC…)になるように設定
010 :ワード(32 ビット)	4 の倍数(0x0,0x4,0x8,0xC…)になるように設定

転送中に DMACCxDestAddr をアップデートしないでください。DMACCxDestAddr を変更する場合には必ずチャネルを禁止(DMACCxConfiguration<E>="0")に設定後、変更してください。

11.5.15　DMACxCnLLI (DMAC Channelx Linked List Item Register)

	31	30	29	28	27	26	25	24
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	LLI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	LLI						-	-
リセット後	0	0	0	0	0	0	不定	不定

Bit	Bit Symbol	Type	機能
31-2	LLI[29:0]	R/W	次の転送情報の先頭アドレスを設定 設定値は 0xFFFF _ FFF0 以内で設定してください。 <LLI>="0" のとき、LLI が最後のチェーンであり、DMA 転送終了後、DMA チャネルが禁止になります。
1-0	-	R/W	"0" をライトしてください

<LLI> の動作詳細は、「11.6 特殊機能」を参照ください.

11.5.16 DMACxCnControl (DMAC Channelx Control Register)

	31	30	29	28	27	26	25	24
bit symbol	I	-	-	-	DI	SI	-	-
リセット後	0	不定	不定	不定	0	0	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	Dwidth			Swidth			DBSize	
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	DBSize	SBSize			TransferSize			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TransferSize							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	I	R/W	転送割り込み許可ビット 0 : 禁止 1 : 許可 <I>="1" かつ DMACCxConfiguration<ITC>="1" の設定で、転送終了割り込みが発生します。Scatter/gather 機能使用時に、最終転送の DMAC 設定フロー内で、本ビットを'1' にすることで、最終転送時にのみ転送終了割り込みを発生することが可能になります。通常転送時に割り込みを発生させたいときには、本ビットも"1" に設定し Enable 状態にする必要があります。
30-28	-	-	"0" をライトしてください
27	DI	R/W	転送先アドレスインクリメント 0 : アドレス固定 1 : インクリメント
26	SI	R/W	転送元アドレスインクリメント 0 : アドレス固定 1 :インクリメント
25-24	-	-	"0" をライトしてください
23-21	Dwidth[2:0]	R/W	転送先ビット幅 000 : バイト (8 bits) 001 : ハーフバイト (16 bits) 010 : ワード (32 bits) 上記以外: Reserved 設定値については、表 11-4 を参照してください。
20-18	Swidth[2:0]	R/W	転送元ビット幅 000: バイト (8 bits) 001: ハーフワード (16 bits) 010 : ワード (32 bits) 上記以外: Reserved 設定値については、表 11-4 を参照してください。
17-15	DBSize[2:0]	R/W	転送先バーストサイズ(注) 000: 1 ビート　　100: 32 ビート 001: 4 ビート　　101: 64 ビート 010: 8 ビート　　110: 128 ビート 011: 16 ビート　　111: 256 ビート 設定値については、表 11-4 を参照してください。

Bit	Bit Symbol	Type	機能
14-12	SBSize[2:0]	R/W	転送元バーストサイズ(注) 000:　1 ビート　　100:　32 ビート 001:　4 ビート　　101:　64 ビート 010:　8 ビート　　110:　128 ビート 011:　16 ビート　　111:　256 ビート 設定値については、表 11-4 を参照してください。
11-0	TransferSize [11:0]	R/W	総転送回数の設定 転送元ビット幅で定義された幅、(4byte/2byte/1byte)単位のデータの、転送したい総回数を設定します。 バーストサイズは、内部動作の DMA 要求毎に一度に転送されるデータ量のみを示していますので、転送元ビット幅と、総転送回数を変えない限り、どんなバーストサイズに設定しても、総転送されるデータ量は変化しません。 この値は DMA 転送の実施に伴い、"0" までデクリメントします。 リードすると未転送回数が読み出されます。 総転送回数は転送元ビット幅の単位になります。 例えば: <Swidth>="000" (8bit)の場合, 転送回数は、byte 単位。 <Swidth>="001" (16bit)の場合,転送回数は、 half word 単位. <Swidth>="010" (32bit)の場合, 転送回数は、 word 単位

注)　DBsize と SBsize で設定するバーストサイズは、AHB バスの HBURST とは関係ありません。

表 11-4 <Dwidth[2:0]>,<Swidth[2:0]>, <DBSize[2:0]>, <SBSize[2:0]>の設定の方法

<Dwidth[2:0]> / <Swidth[2:0]>	以下の計算式を満たすように設定してください。 転送元ビット幅×総転送回数＝転送先ビット幅 ×N (N：整数)
	(例 1)転送元ビット幅:8 ビット、転送先ビット幅:32 ビット、総転送回数:25 回の場合 8 ビット × 25 回 = 200 ビット(25 バイト) N = 200 ÷ 32 = 6.25 ワード 6.25 は整数でないことから、上記設定は出来ません。 転送元ビット幅が転送先ビット幅よりも小さい場合は、総転送回数を設定する場合に注意が必要です。
	(例 2)転送元ビット幅:32 ビット、転送先ビット幅:16 ビット、総転送回数:13 回の場合 32 ビット × 13 回 = 416 ビット(13 ワード) N = 416 ÷ 16 = 26 ハーフワード 26 は整数の為、問題ありません。
<DBSize[2:0]> / <SBSize[2:0]>	「Peripheral to Memory」や、「Memory to Peripheral」の転送の場合、周辺機能は転送準備が整った事を示す DMA 要求信号を発生し、この信号をトリガに複数回実行されます（「Memory to Memory」転送の場合は、ソフトスタートのみです）。 周辺機能からの、DMA 要求信号ごとに転送されるデータ量を、バーストサイズで設定し、FIFO などの複数のデータを格納できるものをもつ周辺機能の場合に使用します。

11.5.17 DMACxCnConfiguration (DMAC Channelx Configuration Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	Halt	Active	Lock
リセット後	不定	不定	不定	不定	不定	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ITC	IE	FlowCntrl			-	DestPeripheral	
リセット後	0	0	0	0	0	不定	0	0
	7	6	5	4	3	2	1	0
bit symbol	DestPeripheral		-	SrcPeripheral				E
リセット後	0	0	不定	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-19	-	-	"0" をライトしてください
18	Halt	R/W	DMA 要求受付制御 t 0 : DMA 要求 受付 1 : DMA 要求 無視
17	Active	R	チャネル FIFO 内のデータの有無 0 : FIFO 内にデータなし 1 : FIFO 内にデータあり
16	Lock	R/W	ロック転送設定（不分割転送） 0 : ロック転送 禁止 1: ロック転送 許可(注3) ロック転送を許可するとバスを解放せずに指定バースト数を連続転送します。
15	ITC	R/W	転送終了割込み許可 0 : 割り込み禁止 1 : 割り込み許可 <ITC>=1 かつ < DMACCxControl Register><I>=1 の設定で、転送終了割り込みが発生します。
14	IE	R/W	エラー割り込み許可 0 :割り込み禁止 1: 割り込み許可
13-11	FlowCntrl[2:0]	R/W	転送方式の設定 <FlowCntrl[2:0]> 設定値 / 転送方式 000: Memory to Memory (注1) 001: Memory to Peripheral 010: Peripheral to Memory 011: Peripheral to Peripheral 100~111: Reserved
10	-	-	"0" をライトしてください
9-6	DestPeripheral [3:0]	R/W	転送先 DMA 要求番号 「11.4.2 DMA 要求」を参照してください。 転送先が Memory の場合はこの設定は無視されます
5	-	-	"0" をライトしてください

Bit	Bit Symbol	Type	機能
4-1	SrcPeripheral [3:0]	R/W	転送元 DMA 要求番号 「11.4.2 DMA 要求」を参照してください。 転送元が Memory の場合はこの設定は無視されます.
0	E	R/W	チャネルイネーブル 0 : 禁止 1 : 許可 このビットでチャネルを Enable/Disable できます。(Memory to Memory を選択している場合、転送開始ビットとして動作します。) DMACxCnControl <TransferSize>の総転送回数の転送を全て終了すると（値が 0 になる）、対象のチャネルの <E>は自動的にクリアされます。 転送中に Disable を実行すると、チャネル FIFO のデータ保存されません。再スタートする場合はチャネルをすべて初期化して、スタートしてください。 もし、一時的に停止したい場合は、<Halt> ビットで DMA 要求を停止して、<Active> が"0" になるまでポーリングで待ったあと後に、<E> でチャネルを Disable してください。

注 1)　"Memory to Memory" を選択した場合、 DMA 起動のハードウエアはサポートしていません。<E>に"1" をライトすることで転送を開始します。

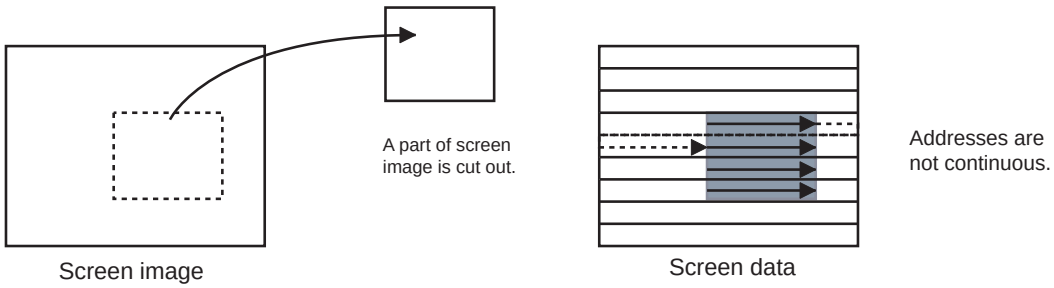
注 2)　DMACxEnableChns<EnabledCHx>がイネーブルの時に、対応する DMACxCnConfiguration<Halt>を"1"にする書き込み実施時には、チャネルイネーブルビット(E:bit0)を先に 0:禁止にしてから、書き込みを行ってください。 上記を行わずに、書き込みを行った場合にスレーブエラーが発生した場合は、リセット処理のみで復帰が可能です。スレーブエラーとは、転送幅/アドレスなどに不整合がある場合に発生するエラーです。

注 3)　ロック転送を行うには下記の条件を満たす必要があります。
a）転送元と転送先のビット幅が同じ
b）転送元のバーストサイズは4以上

11.6 特殊機能

11.6.1 Scatter/gather 機能

画像データの一部を切り取ってデータを転送するような場合、画像データはすべて連続データとしては扱えず、特定の規則に従ってアドレスが大きく変化します。そのため、常に連続のアドレスでしか転送出来ない DMA では、アドレスが変化する箇所で、その都度再設定が必要になります。



Scatter/gather 機能とは、あらかじめ設定された"Linked list" を通じて、CPU がその動作の制御を行う必要なく、DMA の各種設定（転送元アドレス、転送先アドレス、転送回数、転送バス幅）を、指定された DMA 回数を終了毎に再ロードして、連続動作することが出来る機能です。

DMACCxLLI レジスタに"Linked list" のアドレスをセットすることで動作の許可／停止を制御します。

Linked List で設定出来る項目は、以下の 4word で構成されています。:

1. DMACxCnSrcAddr
2. DMACxCnDestAddr
3. DMACxCnLLI
4. DMACxCnControl

割り込み動作との併用も可能です。

DMACCxControl<I>=1、かつ、DMACCxConfiguration<ITC>=1 の設定で、DMA 転送終了割り込みが発生します。

Scatter/gather 機能使用時、DMA 最終転送の時のみ、終了割り込みを発生させたい場合は、DMACCxControl<I>=0、かつ、DMACCxConfiguration<ITC>=1 にて転送を開始し、最終回の DMA 転送設定フロー内で、<I>=1 にすることで、最終転送でのみ転送終了割り込みを発生することが可能になります。このビットを利用することで、LLI を使った転送途中でも、条件を追加し分岐処理などの動作が可能です。割り込みをクリアするためには、DMACIntTCClear レジスタの対応ビット を制御します。

11.6.2　Linked list 動作

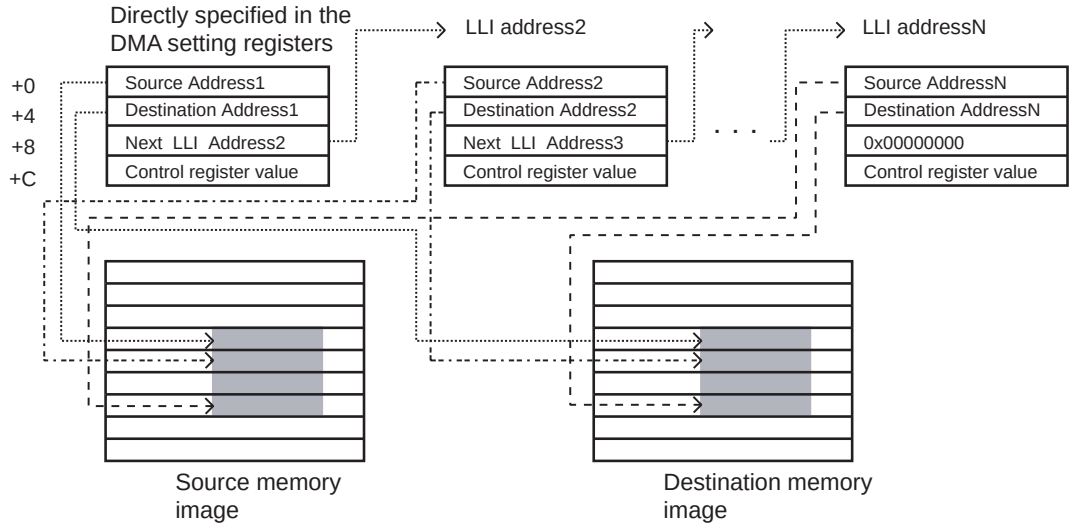
Scatter/gather 機能を動作させるには、まず 一連の Linked List を作成し、転送元と転送元データエリアを定義する必要があります。

各々の設定を LLI（LinkedList）と呼びます。

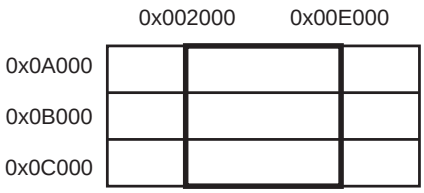
LLI は、1 ブロック分のデータ転送を制御しています。 1 回の LLI は通常の DMA 設定を示し、連続データの転送制御を行っています。 1 回の DMA 転送が終了するたびに、次の LLI 設定をロードし、DMA 動作の継続（Daisy Chain）をすることが出来ます。

以下に、設定例を示します

1. 1 番最初の DMA 転送設定は、DMA のレジスタに直接設定します。
2. 2 番目の DMA 転送以降は、"next LLI AddressX" に設定されたメモリのアドレスに書き込みます。
3. N 番目の DMA 転送で終了させる場合は、"next LLI AddressX" を 0x0000 _ 0000 と設定します。

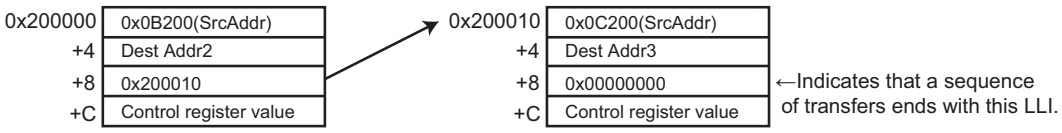


転送元メモリイメージの四角で囲まれたエリアを転送する場合



	設定レジスタ	設定項目
+0	DMACxCnSrcAddr	:0x0A200
+4	DMACxCnDestAddr	:Destination address 1
+8	DMACxCnLLI	:0x200000
+C	DMACxCnControl	:バースト転送回数, 転送回数などを設定

Linked List



第 12 章　16 ビットタイマ/イベントカウンタ(TMRB)

12.1　概要

TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- タイマ同期モード

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 周波数測定
- パルス幅測定
- 時間差測定

以下の説明中、"x"はチャネル番号を表します。

12.2　チャネル別仕様相違点

TMPM365FYXBG は、10 チャネルの TMRB を内蔵しています。

各チャネルはそれぞれ独立に動作します。いずれのチャネルも表 12-1 に示される仕様相違点を除いて同一の動作をします。

また、一部のチャネルから他のチャネルへキャプチャトリガや同期トリガをかけることができます。

1. TMRB7, TMRB8, TMRB9 のフリップフロップ出力を他のチャネルのキャプチャトリガ として使用可能
   - TB7OUT → TMRB0~1 で使用
   - TB8OUT → TMRB2~3 で使用
   - TB9OUT → TMRB4~6 で使用

2. タイマ同期モードのスタートトリガ (TBxRUN を使用)
   - TMRB0 → TMRB0, 1, 2, 3 を同時スタート
   - TMRB4 → TMRB4, 5, 6, 7 を同時スタート

3. タイマプリスケーラ同期スタートトリガ (TBxPRUN を使用)
   - TMRB0 → TMRB0, 1, 2, 3 を同時スタート
   - TMRB4 → TMRB4, 5, 6, 7 を同時スタート

表 12-1 TMRB のチャネル別仕様相違点

仕様	外部端子		タイマ間トリガ機能		割り込み		内部接続		
チャネル	タイマフリップフロップ出力端子	外部クロック/キャプチャトリガ入力端子	キャプチャトリガ	同期スタートトリガチャネル	キャプチャ割り込み	TMRB 割り込み	ADC 最優先変換開始	ADC 通常変換開始	タイマフリップフロップ出力 TBxOUT から SIO/UART (TXTRG:転送クロック)
TMRB0	TB0OUT	TB0IN0 TB0IN1	TB7OUT	−	INTCAP00 INTCAP01	INTTB0			
TMRB1	−	TB1IN0 TB1IN1	TB7OUT	TB0PRUN ,TB0RUN	INTCAP10 INTCAP11	INTTB1			
TMRB2	TB2OUT	TB2IN0 TB2IN1	TB8OUT	TB0PRUN ,TB0RUN	INTCAP20 INTCAP21	INTTB2			
TMRB3	TB3OUT	TB3IN0 TB3IN1	TB8OUT	TB0PRUN ,TB0RUN	INTCAP30 INTCAP31	INTTB3			
TMRB4	TB4OUT	TB4IN0 TB4IN1	TB9OUT	−	INTCAP40 INTCAP41	INTTB4	INTCAP40		
TMRB5	TB5OUT	TB5IN0 TB5IN1	TB9OUT	TB4PRUN ,TB4RUN	INTCAP50 INTCAP51	INTTB5		INTCAP50	
TMRB6	TB6OUT	TB6IN0 TB6IN1	TB9OUT	TB4PRUN ,TB4RUN	INTCAP60 INTCAP61	INTTB6			
TMRB7	TB7OUT	TB7IN0 TB7IN1	−	TB4PRUN ,TB4RUN	INTCAP70 INTCAP71	INTTB7			
TMRB8	TB8OUT	TB8IN0 TB8IN1	−	−	INTCAP80 INTCAP81	INTTB8			SIO0, SIO1
TMRB9	TB9OUT	TB9IN0 TB9IN1	−	−	INTCAP90 INTCAP91	INTTB9			

12.3 構成

各チャネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ、コンパレータ、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

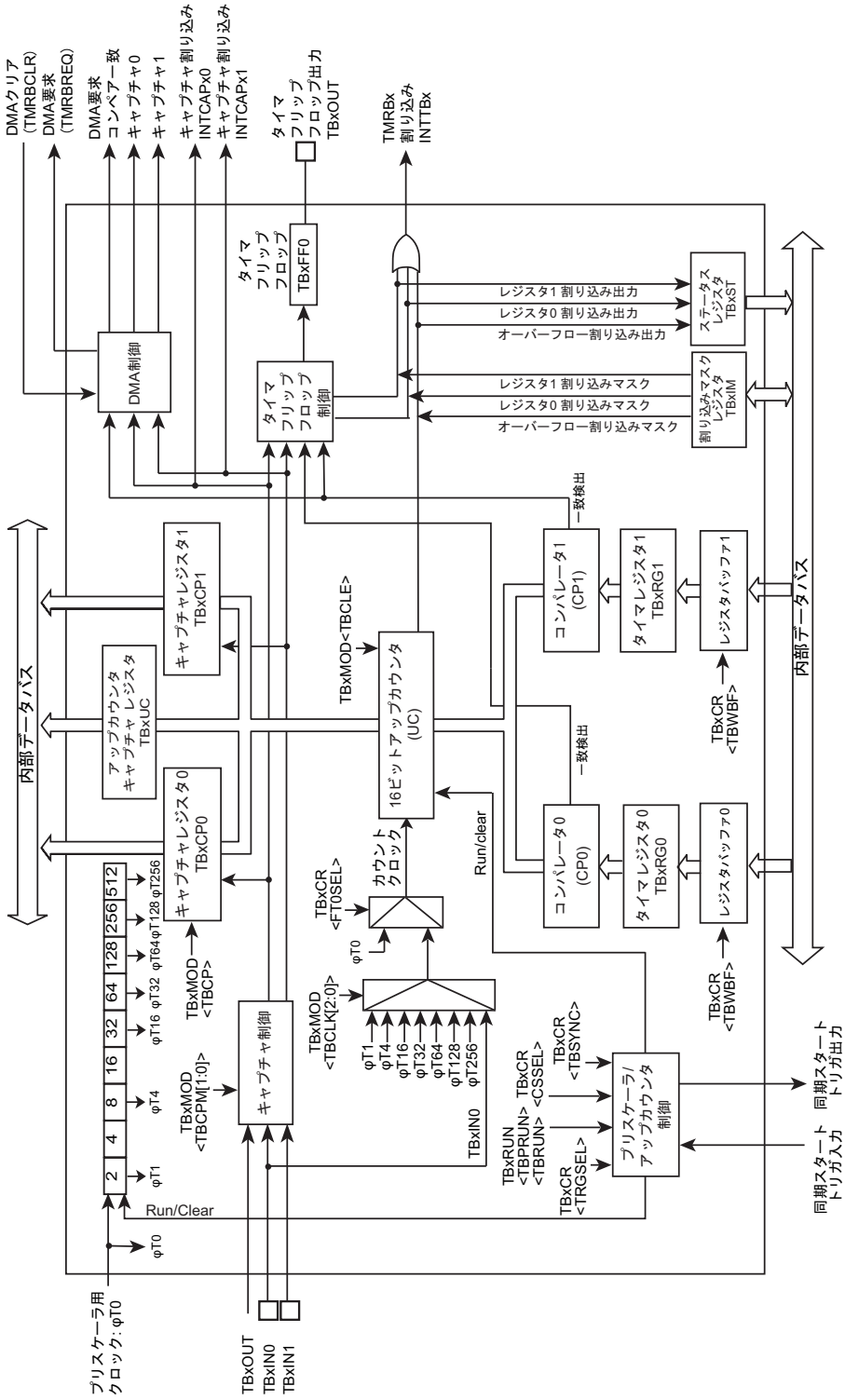


図 12-1 TMRBx ブロック図(x= 0~9)

12.4　レジスタ説明

12.4.1　チャネル別レジスター覧

各チャネルのレジスタとアドレスを以下に示します。

Channel x	Base Address
Channel0	0x400C_4000
Channel1	0x400C_4100
Channel2	0x400C_4200
Channel3	0x400C_4300
Channel4	0x400C_4400
Channel5	0x400C_4500
Channel6	0x400C_4600
Channel7	0x400C_4700
Channel8	0x400C_4800
Channel9	0x400C_4900

レジスタ名(x=0~9)		Address(Base+)
イネーブルレジスタ	TBxEN	0x0000
RUN レジスタ	TBxRUN	0x0004
コントロールレジスタ	TBxCR	0x0008
モードレジスタ	TBxMOD	0x000C
フリップフロップコントロールレジスタ	TBxFFCR	0x0010
ステータスレジスタ	TBxST	0x0014
割り込みマスクレジスタ	TBxIM	0x0018
アップカウンタキャプチャレジスタ	TBxUC	0x001C
タイマレジスタ 0	TBxRG0	0x0020
タイマレジスタ 1	TBxRG1	0x0024
キャプチャレジスタ 0	TBxCP0	0x0028
キャプチャレジスタ 1	TBxCP1	0x002C
DMA 要求許可レジスタ	TBxDMA	0x0030

注)　タイマ動作中に、タイマコントロールレジスタ、タイマモードレジスタ、タイマフリップフロップコントロールレジスタの変更はできません。タイマを停止後に、上記レジスタの変更を実施して下さい。

12.4.2 TBxEN(イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEN	TBHALT	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRBx 動作 0: 禁止 1: 許可 TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN レジスタ以外のレジスタへのリード、ライトはできません)。 TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可("1")にしてください。TMRB をいったん動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。
6	TBHALT	R/W	デバッグ HALT 中のクロック動作 0: 動作 1: 停止 デバッグツール使用時に HALT モードに遷移した場合、TMRB クロック動作/停止の設定を行ないます。
5-0	–	R	リードすると"0"が読めます。

12.4.3　TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケーラ動作 0: 停止&クリア 1: カウント
1	−	R	リードすると"0"が読めます。
0	TBRUN	R/W	カウンタ動作 0: 停止&クリア 1: カウント

注)　カウンタ停止状態(<TBRUN>="0") でアップカウンタキャプチャレジスタの TBxUC<TBUC[15:0]> をリードすると、カウンタ動作時に最後にキャプチャした値がリードされます。

12.4.4 TBxCR(コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBWBF	-	TBSYNC	FT0SEL	I2TB	TBINSEL	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TBWBF	R/W	ダブルバッファ 0: 禁止 1: 許可
6	−	R/W	"0"をライトしてください。
5	TBSYNC	R/W	同期モード切替 0: 個別動作(チャネルごと) 1: 同期動作
4	FT0SEL	R/W	ソースクロック φT0 の選択 0: φT0 以外を選択 (TBxMOD<TBCLK[2:0]>で選択したソースクロックとなります) 1: φT0 を選択 (TBxMOD<TBCLK[2:0]>の設定に係らず、ソースクロックは φT0 となります)
3	I2TB	R/W	IDLE 時の動作 0: 停止 1:動作
2	TBINSEL	R/W	"0"を書いて下さい。
1	TRGSEL	R/W	外部トリガ選択 0: 立ち上がり 1:立ち下がり 外部トリガ選択時(TBxIN0 側端子への信号)のエッジ選択を制御します。
0	CSSEL	R/W	カウントスタート選択 0: ソフトスタート 1:外部トリガ

12.4.5　TBxMOD(モードレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	TBCP	TBCPM		TBCLE	TBCLK		
リセット後	0	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	TBCP	W	ソフトウエアキャプチャ制御 0: ソフトキャプチャ 1: Don't care “0”を書き込むとキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込みます。 リードすると"1"が読めます。
5-4	TBCPM[1:0]	R/W	キャプチャタイミング 00: ディセーブル 01: TBxIN0↑ TBxIN1↑ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN1 端子入力の立ち上がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 10: TBxIN0↑ TBxIN0↓ TBxIN0 端子入力の立ち上がりでキャプチャレジスタ 0 (TBxCP0)にカウント値を取り込み、 TBxIN0 端子入力の立ち下がりでキャプチャレジスタ 1 (TBxCP1)にカウント値を取り込む 11: TBxOUT↑ TBxOUT↓ 16 ビットタイマー致出力(TBxOUT)の立ち上がりでキャプチャレジスタ 0 (TBnCP0)にカウント値を取り込み、TBxOUT の立ち下がりでキャプチャレジスタ 1 (TBnCP1)にカウント値を取り込みます。(x = 7, n = 0,1), (x = 8, n = 2,3), (x = 9, n = 4,5,6), (TMRB0~1: TB7OUT、TMRB2~3: TB8OUT、TMRB4~6: TB9OUT)
3	TBCLE	R/W	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル アップカウンタのクリア制御を行います。 "0"でクリア禁止、"1"でタイマレジスタ 1(TBxRG1)との一致時にクリアします。
2-0	TBCLK[2:0]	R/W	TMRBx のソースクロック選択 TBxCR<FT0SEL>="1"に設定すると、<TBCLK[2:0]>の設定値に係らず、TMRBx のソースクロックは φT0 が選択されます。 TBxCR<FT0SEL>="0"に設定すると、TMRBx のソースクロックは以下のようになります。 000: TBxIN0 端子入力 001: φT1 010: φT4 011: φT16 100: φT32 101: φT64 110: φT128 111: φT256

注 1)　該当する TMRBx が動作中に、TBxMOD レジスタの設定変更を行わないでください。
注 2)　TBxMOD レジスタ(x=7,8,9)の場合、<TBCPM[1:0]>="11"の設定は禁止です。

12.4.6 TBxFFCR(フリップフロップコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-6	−	R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 1 (TBxCP1)に取り込まれた時にタイマフリップフロップを反転します。
4	TBC0T1	R/W	TBxCP0 へのアップカウンタ値取り込み時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタの値がキャプチャレジスタ 0 (TBxCP0)に取り込まれた時にタイマフリップフロップを反転します。
3	TBE1T1	R/W	アップカウンタと TBxRG1 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 1 (TBxRG1)との一致時にタイマフリップフロップを反転します。
2	TBE0T1	R/W	アップカウンタと TBxRG0 との一致時の TBxFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル "1"をセットすると、アップカウンタとタイマレジスタ 0 (TBxRG0)との一致時にタイマフリップフロップを反転します。
1-0	TBFF0C[1:0]	R/W	TBxFF0 の制御 00: Invert TBxFF0 の値を反転(ソフト反転)します。 01: Set TBxFF0 を"1"にセットします。 10: Clear TBxFF0 を"0"にクリアします。 11: Don't care リードすると"11" が読めます。

12.4.7　TBxST(ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバフローフラグ 0: オーバフローは発生していない 1: オーバフローが発生 アップカウンタのオーバフローが発生すると"1"がセットされます。
1	INTTB1	R	一致フラグ(TBxRG1) 0: 一致検出していない 1: TBxRG1 との一致を検出した タイマレジスタ 1 (TBxRG1)との一致を検出すると"1"がセットされます。
0	INTTB0	R	一致フラグ(TBxRG0) 0: 一致検出していない 1: TBxRG0 との一致を検出した タイマレジスタ 0 (TBxRG0)との一致を検出すると"1"がセットされます。

注 1)　TBxIM でマスク設定されていない要因のみ、CPU に対し割り込み要求が出力されます。 マスク設定されていても、フラグはセットされます。

注 2)　フラグは自動的にはクリアされません。クリアするためには本レジスタをリードしてしてください。

注 3)　TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

12.4.8 TBxIM(割り込みマスクレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバフロー割り込みマスク 0:割り込みをマスクしない 1:割り込みをマスクする アップカウンタのオーバフロー割り込みをマスクする／しないを設定します。
1	TBIM1	R/W	一致割り込みマスク(TBxRG1) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 1 (TBxRG1)との一致割り込みをマスクする／しないを設定します。
0	TBIM0	R/W	一致割り込みマスク(TBxRG0) 0:割り込みをマスクしない 1:割り込みをマスクする タイマレジスタ 0 (TBxRG0)との一致割り込みをマスクする／しないを設定します。

注) TBxIM レジスタのマスクが有効な場合でも TBxST レジスタへ状態がセットされます。

12.4.9　TBxUC(アップカウンタキャプチャレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBUC[15:0]	R	アップカウンタ読み出しによりキャプチャした値 TBxUC をリードすると、現在のアップカウンタの値をキャプチャすることができます。

注)　カウンタ動作時に TBxUC をリードするとリード時のアップカウンタの値をキャプチャし、リードできます。

12.4.10 TBxRG0(タイマレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBRG0[15:0]	R/W	アップカウンタと比較する値を設定します。

12.4.11 TBxRG1(タイマレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-16	–	R	リードすると"0"が読めます。
15-0	TBRG1[15:0]	R/W	アップカウンタと比較する値を設定します。

12.4.12　TBxCP0(キャプチャレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP0							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP0[15:0]	R	アップカウンタをキャプチャした値が読めます。

12.4.13　TBxCP1(キャプチャレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定
	7	6	5	4	3	2	1	0
bit symbol	TBCP1							
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

Bit	Bit Symbol	Type	機能
31-16	−	R	リードすると"0"が読めます。
15-0	TBCP1[15:0]	R	アップカウンタをキャプチャした値が読めます。

12.4.14 TBxDMA(DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TBDMAEN2	TBDMAEN1	TBDMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-3	−	R	リードすると"0"が読めます。
2	TBDMAEN2	R/W	DMA 要求選択:コンペアー致 0:禁止 1:許可
1	TBDMAEN1	R/W	DMA 要求選択:インプットキャプチャ 1 0:禁止 1:許可
0	TBDMAEN0	R/W	DMA 要求選択:インプットキャプチャ 0 0:禁止 1:許可

注 1) TBxIM レジスタでマスク設定している場合、DMA 要求許可しても DMA 要求は発生しません。
注 2) DMA 要求要因の割り当ては TMRB0~9 のチャネル毎に異なります。詳細は「DMAC の章」を参照願います。

12.5　回路別の動作説明

各チャネルは表 12-1 に示される仕様相違点を除いて同一の動作をします。

12.5.1　プリスケーラ

アップカウンタ UC のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック φT0 は CG 部の CGSYSCR<PRCK[2:0]> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG 部の CGSYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは TBxRUN<TBPRUN> により動作/停止の設定をします。"1" をライトするとカウント開始し "0" をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 12-2, 表 12-3 に示します。

表 12-2 プリスケーラ出力クロック分解能(fc = 48MHz, 1/fc = 0.02μs)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			TBxCR<FT0SEL>="1" (注 2)	TBxCR<FT0SEL>="0" (注 1)		
			φT0	φT1	φT4	φT16
0 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^0$ (0.02 μs) (注 2)	$fc/2^1$ (0.04 μs)	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)
		001 (fperiph/2)	$fc/2^1$ (0.04 μs)	$fc/2^2$ (0.08 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)
		010 (fperiph/4)	$fc/2^2$ (0.08 μs)	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)
		011 (fperiph/8)	$fc/2^3$ (0.17 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		100 (fperiph/16)	$fc/2^4$ (0.33 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		101 (fperiph/32)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
	100 (fc/2)	000 (fperiph/1)	$fc/2^1$ (0.04 μs) (注 2)	$fc/2^2$ (0.08 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)
		001 (fperiph/2)	$fc/2^2$ (0.08 μs)	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)
		010 (fperiph/4)	$fc/2^3$ (0.17 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		011 (fperiph/8)	$fc/2^4$ (0.33 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		100 (fperiph/16)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
		101 (fperiph/32)	$fc/2^6$ (1.33 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)	$fc/2^{11}$ (42.67 μs)
	101 (fc/4)	000 (fperiph/1)	$fc/2^2$ (0.08 μs) (注 2)	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)
		001 (fperiph/2)	$fc/2^3$ (0.17 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		010 (fperiph/4)	$fc/2^4$ (0.33 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		011 (fperiph/8)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
		100 (fperiph/16)	$fc/2^6$ (1.33 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)	$fc/2^{11}$ (42.67 μs)
		101 (fperiph/32)	$fc/2^7$ (2.67 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)	$fc/2^{12}$ (85.33 μs)
	110 (fc/8)	000 (fperiph/1)	$fc/2^3$ (0.17 μs) (注 2)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		001 (fperiph/2)	$fc/2^4$ (0.33 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		010 (fperiph/4)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
		011 (fperiph/8)	$fc/2^6$ (1.33 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)	$fc/2^{11}$ (42.67 μs)
		100 (fperiph/16)	$fc/2^7$ (2.67 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)	$fc/2^{12}$ (85.33 μs)
		101 (fperiph/32)	$fc/2^8$ (5.33 μs)	$fc/2^9$ (10.67 μs)	$fc/2^{11}$ (42.67 μs)	$fc/2^{13}$ (170.67 μs)
	111 (fc/16)	000 (fperiph/1)	$fc/2^4$ (0.33 μs) (注 2)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		001 (fperiph/2)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
		010 (fperiph/4)	$fc/2^6$ (1.33 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)	$fc/2^{11}$ (42.67 μs)
		011 (fperiph/8)	$fc/2^7$ (2.67 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)	$fc/2^{12}$ (85.33 μs)
		100 (fperiph/16)	$fc/2^8$ (5.33 μs)	$fc/2^9$ (10.67 μs)	$fc/2^{11}$ (42.67 μs)	$fc/2^{13}$ (170.67 μs)
		101 (fperiph/32)	$fc/2^9$ (10.7 μs)	$fc/2^{10}$ (21.34 μs)	$fc/2^{12}$ (85.34 μs)	$fc/2^{14}$ (341.34 μs)

表 12-2 プリスケーラ出力クロック分解能(fc = 48MHz, 1/fc = 0.02μs)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			TBxCR<FT0SEL>="1" (注 2)	TBxCR<FT0SEL>="0" (注 1)		
			φT0	φT1	φT4	φT16
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^0$ (0.02 μs) (注 2)	$fc/2^1$ (0.04 μs)	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)
		001 (fperiph/2)	$fc/2^1$ (0.04 μs)	$fc/2^2$ (0.08 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)
		010 (fperiph/4)	$fc/2^2$ (0.08 μs)	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)
		011 (fperiph/8)	$fc/2^3$ (0.17 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		100 (fperiph/16)	$fc/2^4$ (0.33 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		101 (fperiph/32)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
	100 (fc/2)	000 (fperiph/1)	–	–	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)
		001 (fperiph/2)	$fc/2^1$ (0.04 μs) (注 2)	$fc/2^2$ (0.08 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)
		010 (fperiph/4)	$fc/2^2$ (0.08 μs)	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)
		011 (fperiph/8)	$fc/2^3$ (0.17 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		100 (fperiph/16)	$fc/2^4$ (0.33 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		101 (fperiph/32)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
	101 (fc/4)	000 (fperiph/1)	–	–	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)
		001 (fperiph/2)	–	–	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)
		010 (fperiph/4)	$fc/2^2$ (0.08 μs) (注 2)	$fc/2^3$ (0.17 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)
		011 (fperiph/8)	$fc/2^3$ (0.17 μs)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		100 (fperiph/16)	$fc/2^4$ (0.33 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		101 (fperiph/32)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	–	$fc/2^5$ (0.67 μs)
		001 (fperiph/2)	–	–	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)
		010 (fperiph/4)	–	–	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)
		011 (fperiph/8)	$fc/2^3$ (0.17 μs) (注 2)	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		100 (fperiph/16)	$fc/2^4$ (0.33 μs)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		101 (fperiph/32)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)
	111 (fc/16)	000 (fperiph/1)	–	–	–	$fc/2^5$ (0.67 μs)
		001 (fperiph/2)	–	–	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)
		010 (fperiph/4)	–	–	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)
		011 (fperiph/8)	–	$fc/2^4$ (0.33 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)
		100 (fperiph/16)	$fc/2^4$ (0.33 μs) (注 2)	$fc/2^5$ (0.67 μs)	$fc/2^7$ (2.67 μs)	$fc/2^9$ (10.67 μs)
		101 (fperiph/32)	$fc/2^5$ (0.67 μs)	$fc/2^6$ (1.33 μs)	$fc/2^8$ (5.33 μs)	$fc/2^{10}$ (21.33 μs)

注 1)　TBxCR<FT0SEL>="0"に設定した場合、プリスケーラ出力クロック φTn は、必ず φTn < fsys を満足するように (φTn が fsys よりも遅くなるように) 選択してください。

注 2)　TBxCR<FT0SEL>="1"に設定した場合のみ、プリスケーラ出力クロック φTn は、φTn < fsys の条件でも使用できます。

注 3)　タイマ動作中はクロックギアの切り替えは行わないでください。

注 4)　表中"−"は設定禁止です。

表 12-3 プリスケーラ出力クロック分解能(fc = 48MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT32	φT64	φT128	φT256
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^6 (1.33 μs)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)
		001 (fperiph/2)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)
		010 (fperiph/4)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)
		011 (fperiph/8)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		100 (fperiph/16)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		101 (fperiph/32)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)
		001 (fperiph/2)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)
		010 (fperiph/4)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		011 (fperiph/8)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		100 (fperiph/16)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
		101 (fperiph/32)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)
		001 (fperiph/2)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		010 (fperiph/4)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		011 (fperiph/8)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
		100 (fperiph/16)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)
		101 (fperiph/32)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)	fc/2^{16} (1365.33 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		001 (fperiph/2)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		010 (fperiph/4)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
		011 (fperiph/8)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)
		100 (fperiph/16)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)	fc/2^{16} (1365.33 μs)
		101 (fperiph/32)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)	fc/2^{16} (1365.33 μs)	fc/2^{17} (2730.67 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		001 (fperiph/2)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
		010 (fperiph/4)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)
		011 (fperiph/8)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)	fc/2^{16} (1365.33 μs)
		100 (fperiph/16)	fc/2^{14} (341.33 μs)	fc/2^{15} (682.67 μs)	fc/2^{16} (1365.33 μs)	fc/2^{17} (2730.67 μs)
		101 (fperiph/32)	fc/2^{15} (682.66 μs)	fc/2^{16} (1365.34 μs)	fc/2^{17} (2730.67 μs)	fc/2^{18} (5461.34 μs)

表 12-3 プリスケーラ出力クロック分解能(fc = 48MHz)

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック機能			
			φT32	φT64	φT128	φT256
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^6 (1.33 μs)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)
		001 (fperiph/2)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)
		010 (fperiph/4)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)
		011 (fperiph/8)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		100 (fperiph/16)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		101 (fperiph/32)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^6 (1.33 μs)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)
		001 (fperiph/2)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)
		010 (fperiph/4)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)
		011 (fperiph/8)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		100 (fperiph/16)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		101 (fperiph/32)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^6 (1.33 μs)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)
		001 (fperiph/2)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)
		010 (fperiph/4)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)
		011 (fperiph/8)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		100 (fperiph/16)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		101 (fperiph/32)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^6 (1.33 μs)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)
		001 (fperiph/2)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)
		010 (fperiph/4)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)
		011 (fperiph/8)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		100 (fperiph/16)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		101 (fperiph/32)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^6 (1.33 μs)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)
		001 (fperiph/2)	fc/2^7 (2.67 μs)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)
		010 (fperiph/4)	fc/2^8 (5.33 μs)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)
		011 (fperiph/8)	fc/2^9 (10.67 μs)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)
		100 (fperiph/16)	fc/2^{10} (21.33 μs)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)
		101 (fperiph/32)	fc/2^{11} (42.67 μs)	fc/2^{12} (85.33 μs)	fc/2^{13} (170.67 μs)	fc/2^{14} (341.33 μs)

注 1)　プリスケーラ出力クロック φTn は、必ず φTn < fsys を満足するように(φTn が fsys よりも遅くなるように) 選択してください。

注 2)　タイマ動作中はクロックギアの切り替えは行わないでください。

注 3)　表中"−"は設定禁止です。

12.5.2 アップカウンタ(UC)

16 ビットのバイナリカウンタです。

・ ソースクロック

ソースクロックはプリスケーラ出力クロック φT0, φT1, φT4, φT16, φT32, φT64, φT128, φT256, TBxIN0 入力から TBxMOD<TBCLK[2:0]>、または TBxCR<FT0SEL>の設定により選択して下さい。

TBxCR<FT0SEL>="1"に設定した場合のみ、プリスケーラ出力クロック φTn を φTn≤ fsys の条件でも使用できます。

・ カウンタ動作の開始と停止

カウンタ動作は TBxRUN<TBRUN>で行います。<TBRUN> = "1"でカウントを開始し、"0"でカウント停止と同時にカウンタのクリアを行います。

・ カウンタクリアのタイミング

1. コンペア一致時

TBxMOD<TBCLE> = "1"に設定することで、TBxRG1 とのコンペア一致とともにカウンタのクリアをすることができます。TBxMOD<TBCLE> = "0"に設定するとカウンタはフリーランニングカウンタとして動作します。

2. カウンタ停止時

TBxRUN<TBRUN> = "0"に設定すると、カウンタが停止するとともにクリアされます。

・ カウンタのオーバフロー

アップカウンタ UC がオーバフローすると、オーバフロー割り込み INTTBx が発生します。

12.5.3 タイマレジスタ(TBxRG0, TBxRG1)

アップカウンタ UC と比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

TBxRG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。初期状態では、ダブルバッファはディセーブルです。

ダブルバッファのイネーブル/ディセーブル制御は TBxCR<TBWBF> によって行います。<TBWBF> = "0" のときディセーブル、 <TBWBF> = "1" のときイネーブルとなります。ダブルバッファイネーブル時、UC と TBxRG1 との一致時にレジスタバッファ 0/1 からタイマレジスタ TBxRG0/1 へデータ転送が行われます。また、 ダブルバッファがイネーブルでもカウンタが停止しているときはシングルバッファ動作となり、TBxRG0/1 に直接値を書き込むことができます。

12.5.4　キャプチャ制御

アップカウンタ UC の値をキャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウエアによってもアップカウンタ UC の値をキャプチャレジスタへ取り込むことができ、TBxMOD<TBCP> に "0" を書き込むたびに、その時点の UC の値をキャプチャレジスタ TBxCP0 へキャプチャします。

12.5.5　キャプチャレジスタ(TBxCP0, TBxCP1)

アップカウンタ UC の値をキャプチャするレジスタです。

12.5.6　アップカウンタキャプチャレジスタ(TBxUC)

キャプチャ制御回路によるキャプチャ機能のほかに、TBxUC レジスタを読み出すことにより、アップカウンタの現在のカウント値をキャプチャすることができます。

12.5.7　コンパレータ(CP0, CP1)

アップカウンタ UC と、タイマレジスタ TBxRG0, TBxRG1 への設定値とを比較し、一致を検出します。一致すると、INTTBx を発生します。

12.5.8　タイマフリップフロップ(TBxFF0)

タイマフリップフロップ (TBxFF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TBxFFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TBxFF0 の値は不定となります。TBxFFCR<TBFF0C[1:0]>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることが可能です。

TBxFF0 の値は、タイマ出力端子 TBxOUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめ該当するポートの設定を行う必要があります。

12.5.9　キャプチャ割り込み(INTCAPx0, INTCAPx1)

キャプチャレジスタ TBxCP0, TBxCP1 にラッチするタイミングで割り込み INTCAPx0, INTCAPx1 をそれぞれ発生します。割り込みの設定は CPU で行います。

12.6 モード別動作説明

12.6.1 16 ビットインタバルタイマモード

一定周期の割り込みを発生させる場合、タイマレジスタ TBxRG1 にインタバル時間を設定することで INTTBx 割り込みを発生します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	0	1	0	0	1	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。
						(*** = 001 to 111)				
TBxRG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。

注) X; Don't care −; No change

12.6.2 16 ビットイベントカウンタモード

入力クロックを外部クロック(TBxIN0 端子入力)にすることでイベントカウンタにすることができます。

アップカウンタは TBxIN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
PxIE[m]	←								1	該当ポートを TBxIN0 に割り付けます。
PxFR1[m]	←								1	
TBxFFCR	←	X	X	0	0	0	0	1	1	TBxFF0 反転トリガをディセーブルします。
TBxMOD	←	0	1	0	0	0	0	0	0	入力クロックを TBxIN0 にします。
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。
TBxMOD	←	0	0	0	0	0	0	0	0	ソフトウエアキャプチャを行います。

注 1) "m"はポートの該当ビットを示します

注 2) X; Don't care

−; No change

12.6.3　16 ビット PPG (プログラマブル矩形波)出力モード

任意周波数, 任意デューティの矩形波 (プログラマブル矩形波)を出力することができます。出力パルスは、ローアクティブ, ハイアクティブどちらでも可能です。

アップカウンタ (UC) とタイマレジスタ (TBxRG0, TBxRG1) への設定値との一致によりタイマフリップフロップ (TBxFF) の反転トリガをかけることで、プログラマブル矩形波を TBxOUT 端子より出力することができます。ただし、TBxRG0 と TBxRG1 の設定値は次の条件を満たす必要があります。

(TBxRG0 設定値) < (TBxRG1 設定値)

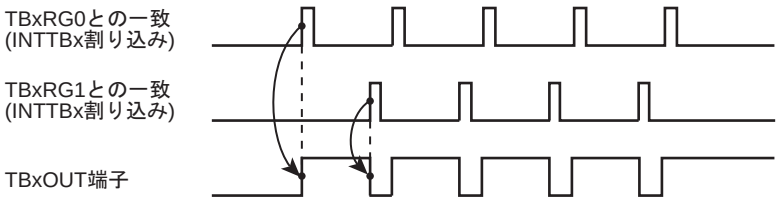


図 12-2 プログラマブル矩形波(PPG)出力波形例

このモードでは、TBxRG0 のダブルバッファをイネーブルにすることにより、TBxRG1 との一致で、レジスタバッファ 0 の値が TBxRG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

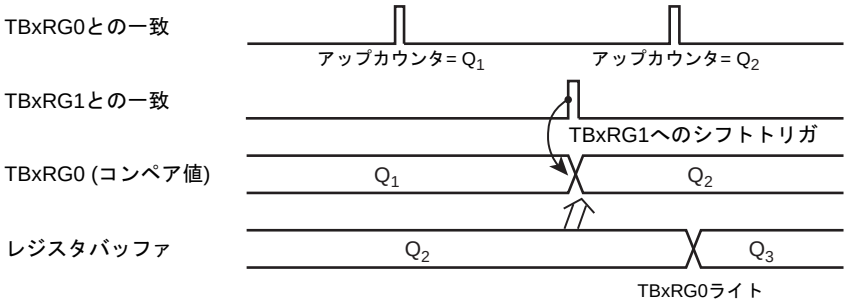


図 12-3 レジスタバッファの動作

このモードのブロック図を示します。

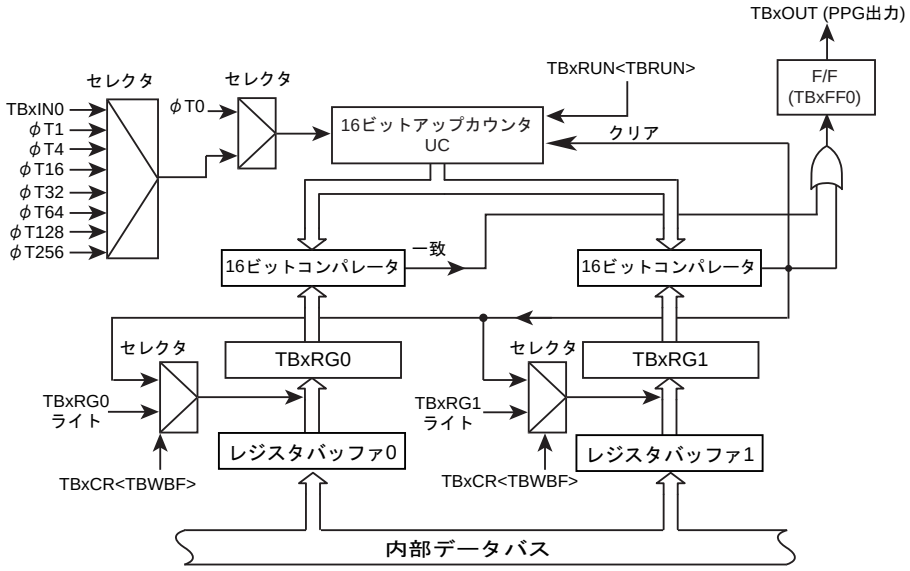


図 12-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
TBxCR	←	0	0	−	X	−	X	X	X	ダブルバッファをディセーブルします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxRG1	←	*	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
	←	*	*	*	*	*	*	*	*	
TBxCR	←	1	0	X	0	0	0	0	0	TBxRG0 のダブルバッファイネーブル (INTTBx 割り込みでデューティ/周期の変更)
TBxFFCR	←	X	X	0	0	1	1	1	0	TBxFF0 を TBxRG0, TBxRG1 との一致検出で反転するように設定します。また、TBxFF0 の初期値を "0" にします。
TBxMOD	←	0	1	0	0	1	*	*	*	入力クロックをプリスケーラ出力クロックにし、キャプチャ機能ディセーブルにします。 (*** = 001 to 111)
PxCR[m]	←						1			該当ポートを TBxOUT に割り付けます。
PxFR1[m]	←						1			
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。

注 1) "m"はポートの該当ビットを示します

注 2) X; Don't care

−; No change

12.6.4　タイマ同期モード

タイマ同期モードを使用することにより、タイマ間のスタートの同期を取ることが可能となります。

PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

4 チャネルの TMRB が組になっており、4 チャネルのうちの 1 チャネルのスタートに、他の 3 チャネルのスタートを同期させることができます。TMPM365FYXBG では以下の組み合わせで使用可能です。

スタートのトリガをかけるチャネル (マスタチャネル)	同期して動作するチャネル (スレーブチャネル)
TMRB0	TMRB1, TMRB2, TMRB3
TMRB4	TMRB5, TMRB6, TMRB7

TBxCR<TBSYNC>ビットの設定により、同期モードの切り替えを行います。

- <TBSYNC> = "0"：チャネルごとの個別動作
- <TBSYNC> = "1"：同期動作

マスタチャネルの<TBSYNC>ビットは"0"を設定してください。

スレーブチャネルの<TBSYNC>ビットに "1"を設定するとマスタチャネルのスタートに同期して動作がスタートします。スレーブチャネルの TBxRUN<TBPRUN, TBRUN>ビットの設定は不要です。

注 1)　同期出力モード時以外は TBxCR<TBSYNC>="0"に設定してください。同期出力モードが設定されている場合、TMRB0,TMRB4 にてスタートが掛かるまで、他のチャネルスタートは待たされます。
注 2)　タイマ同期のマスターとなる TMRB0,TMRB4 は、常に<TBSYNC>ビットを"0"に設定してください。
注 3)　TMRB8,TMRB9 はタイマ同期モードの使用はできません。

12.6.5　外部トリガカウントスタートモード

外部トリガカウントスタートモードを設定することにより、外部信号でタイマのカウントスタートが可能となります。

TBxCR<CSSEL>ビットの設定により、カウントスタートの選択を行います。

- <CSSEL> = "0"：タイマのチャネル毎のタイミングで動作を行います。
- <CSSEL> = "1"：外部信号でカウントスタート動作を行います。

TBxCR<TRGSEL>ビットの設定により、外部トリガのエッジ切り替えを行います。

- <TRGSEL> = "0"：TBxIN0 の立上りエッジが選択されます。
- <TRGSEL> = "1"：TBnIN0 の立下がりエッジが選択されます。

なお、タイマ同期モードが設定されている場合は、タイマ同期モードが優先されます。

12.7 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

12.7.1 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC をプリスケーラ出力クロックにてフリーランニングでカウントアップさせておきます。TBxIN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ(TBxCP0)に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INTCAPx0 が発生するように CPU で設定します。この割り込みで、タイマレジスタ(TBxRG0)には、TBxCP0 の値(c)とディレイタイム(d)を加算した値(c + d)を設定します。

タイマレジスタ(TBxRG1)には、TBxRG0 の値とワンショットパルスのパルス幅(p)を加算した値(c + d + p)を設定します。(TBxRG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ(TBxFFCR<TBE1T1, TBE0T1>)に "11" を設定し、TBxUC と TBxRG0 との一致、および、TBxRG1 との一致により、タイマフリップフロップ(TBxFF0)が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTBx の割り込み処理により、これをディセーブルに戻します。

なお、文中の(c), (d), (p)は、「図 12-5 ワンショットパルス出力(ディレイあり)」の c, d, p と対応しています。

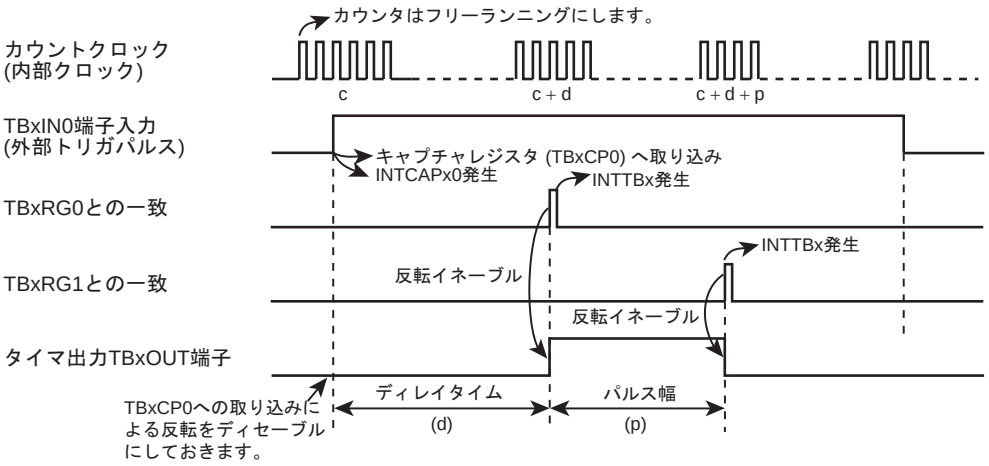


図 12-5 ワンショットパルス出力(ディレイあり)

TBxIN0 入力の立ち上がりをトリガとして、3ms 後に 2ms 幅のワンショットパルスを出力する場合の設定例を以下に示します。ここではソースクロックに ΦT1 を使用しています。

		7	6	5	4	3	2	1	0	
[メイン処理]　TBxIN0 でのキャプチャ設定										
PxIE[m]	←								1	該当ポートを TBxIN0 に割り付けます。
PxFR1[m]	←								1	
TBxEN	←	1	X	X	X	X	X	X	X	TMRBx モジュールを起動します。
TBxRUN	←	X	X	X	X	X	0	X	0	TMRBx を停止します
TBxMOD	←	0	1	0	1	0	0	0	1	ソースクロックを ΦT1 にし、TBxIN0 立ち上がりで TBxCP0 へカウント値を取り込みます。
TBxFFCR	←	X	X	0	0	0	0	1	0	TB x FF0 反転トリガをクリアし、ディセーブルします。
PxCR[m]	←								1	該当ポートを TBxOUT に割り付けます。
PxFR1[m]	←								1	
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTCAPx0 割り込みに対応するビットを"1"にし、割り込みを許可します。
TBxRUN	←	*	*	*	*	*	1	X	1	TMRBx を起動します。
[INTCAPx0 割り込みサービスルーチンでの処理]　パルス出力設定										
TBxRG0	←	*	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + 3ms/ΦT1)
TBxRG1	←	*	*	*	*	*	*	*	*	カウント値を設定します。(TBxCAP0 + (3+2)ms/ΦT1)
TBxFFCR	←	X	X	−	−	1	1	−	−	TBxRG0,TBxRG1 との一致で TBxFF0 を反転します。
TBxIM	←	X	X	X	X	X	1	0	1	TBxRG1 との一致割り込み以外をマスクします。
割り込みイネーブルセットレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを許可します。
[INTTBx 割り込みサービスルーチンでの処理]　出力ディセーブル										
TBxFFCR	←	X	X	−	−	0	0	−	−	TB x FF0 反転トリガ設定をクリアします。
割り込みイネーブルクリアレジスタ	←	*	*	*	*	*	*	*	*	INTTBx 割り込みに対応するビットを"1"にし、割り込みを禁止します。

注 1)　"m"はポートの該当ビットを示します
注 2)　X; Don't care
−; No change

ディレイが不要な場合、TBxCP0 への取り込みによって TBxFF0 を反転させ、割り込み INTCAPx0 で TBxCP0 の値(c) にワンショットパルスの幅(p)を加算した値(c + p)を TBxRG1 に設定します。(TBxRG1 の変更は次の一致までに完了してください。) TBxFF0 は、TBxRG1 と UC の一致によって反転するように、反転イネーブルを選択します。また、INTTBx 割り込みでこれをディセーブルに戻します。

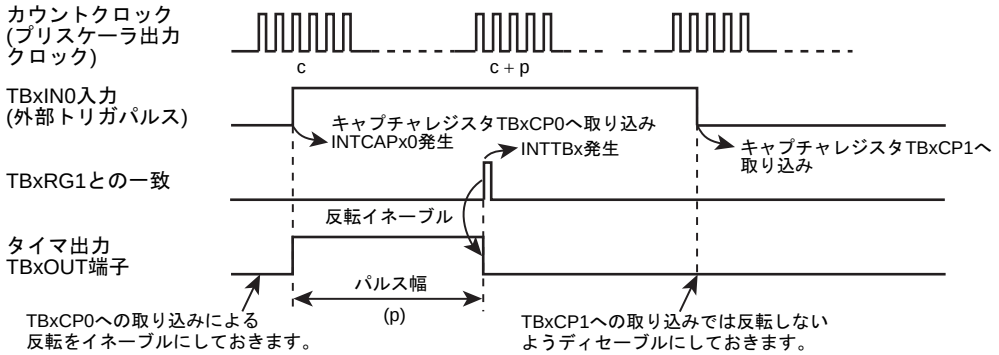


図 12-6 外部トリガパルスのワンショットパルス出力(ディレイなし)

12.7.2 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと他の 16 ビットタイマを組み合わせて行います。TMRB3 と TMRB8 を使う場合を例に説明します。TMRB8 の TB8OUT を測定時間の設定に用います。

TMRB3 のカウントクロックは TB3IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB3MOD<TBCPM[1:0]> には "11" を設定することで、TB8OUT の立ち上がりで TB3CP0 にカウンタ値取り込み、立下りで TB3CP1 にカウンタ値取り込みます。

この設定により、16 ビットタイマ(TMRB8)のタイマフリップフロップ出力(TB8OUT)の立ち上がりで、キャプチャレジスタ(TB3CP0)に 16 ビットアップカウンタ UC のカウンタ値を取り込み、16 ビットタイマ(TMRB8)の TB8OUT の立ち下がりで、キャプチャレジスタ(TB3CP1)に UC のカウンタ値の取り込みを行います。

周波数は、16 ビットタイマの割り込み INTTB8 で測定時間を基準にして TB3CP0, TB3CP1 の差より求めます。

例えば、TB8OUT の"1"レベル幅の設定値が 0.5 s で、TB3CP0 と TB3CP1 の差が 100 であれば、周波数は 100 ÷ 0.5 s = 200 Hz となります。

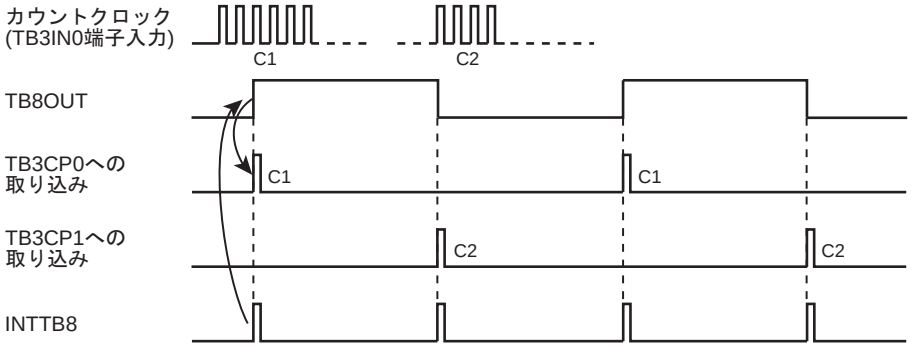


図 12-7 周波数測定

12.7.3 パルス幅測定

キャプチャ機能を用いて、外部パルスの"High"レベル幅を測定することができます。TBxIN0 端子より外部パルスを入力し、アップカウンタ (UC) をプリスケーラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ(TBxCP0, TBxCP1)に取り込みます。TBxIN0 端子の立ち下がりにより、INTCAPx1 が発生するように CPU で設定します。

"High"レベルパルス幅は、TBxCP0 と TBxCP1 の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TBxCP0 と TBxCP1 の差が 100 で、プリスケーラ出力クロックの周期が 0.5 μs であれば、パルス幅は、100 × 0.5 μs = 50 μs となります。

なお、クロックソースにより定まる UC の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウエアによる処理を行ってください。

また、外部パルスの"Low"レベル幅を測定することもできます。この場合、「図 12-8 パルス幅測定」における、2 回目の INTCAPx0 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケーラ出力クロックの周期をかけることにより、求めることができます。

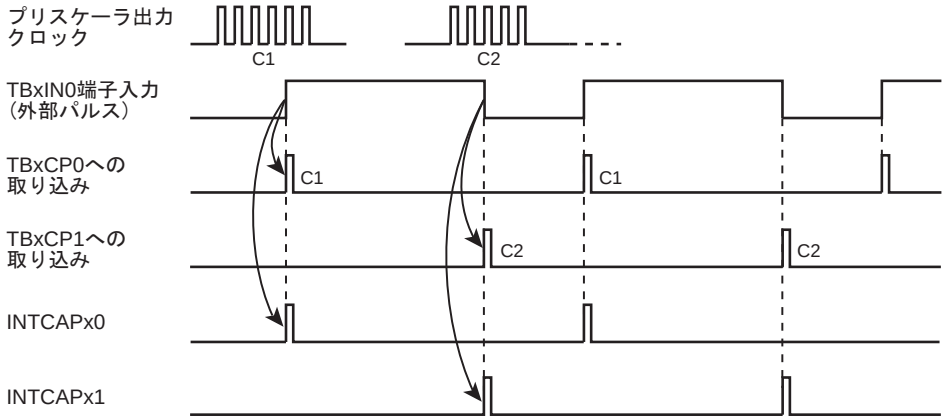


図 12-8 パルス幅測定

12.7.4　時間差測定

キャプチャ機能を用いて、2 つの事象の時間差を測定することができます。プリスケーラ出力クロックを用いて、アップカウンタ(UC)をフリーランニングでカウントアップさせておきます。

TBxIN0 端子の入力パルスの立ち上がりエッジで、UC の値をキャプチャレジスタ(TBxCP0)に取り込みます。このとき、割り込み INTCAPx0 が発生するように CPU で設定します。

TBxIN1 端子の入力パルスの立ち上がりエッジで、UC の値をキャプチャレジスタ(TBxCP1)に取り込みます。このとき、割り込み INTCAPx1 が発生するように CPU で設定します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TBxCP1 から TBxCP0 を引いた値に、内部クロックの周期をかけて求めることができます。

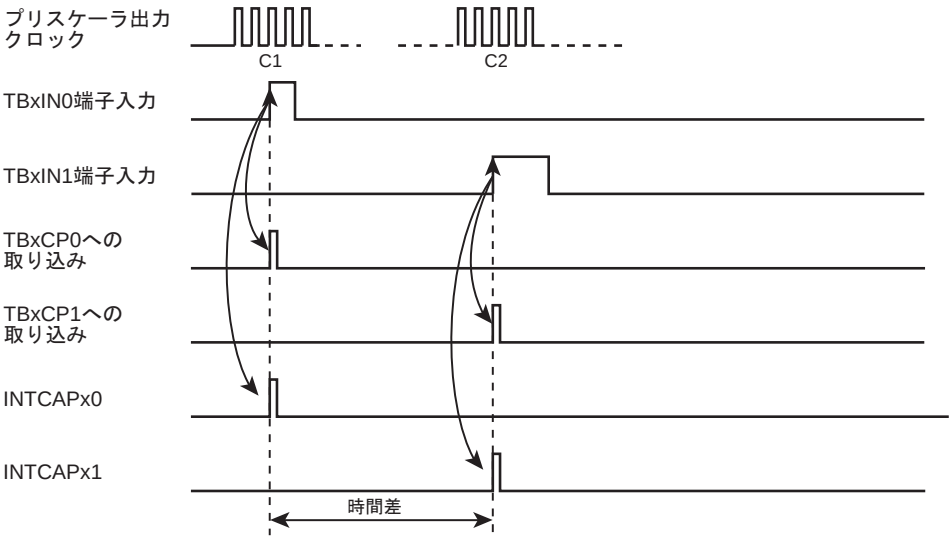


図 12-9 時間差測定

第 13 章　USB デバイスコントローラ (USBD)

本章では USB デバイスコントローラについて説明します。

本章ではエンドポイントを EP と記述します。

13.1　システム概要

1. Universal Serial Bus Specification Rev.2.0 に準拠
2. Full-Speed をサポート(Low-Speed は非対応)
3. USB プロトコル処理
4. SOF/USB_RESET/SUSPEND/RESUME の検出
5. パケット ID の生成およびチェック
6. CRC5 チェック, CRC16 の生成およびチェック
7. 4 種類(Control/Interrupt /Bulk/ Isochronous)の転送モードをサポート
8. 8 EP のサポート

表 13-1 エンドポイント

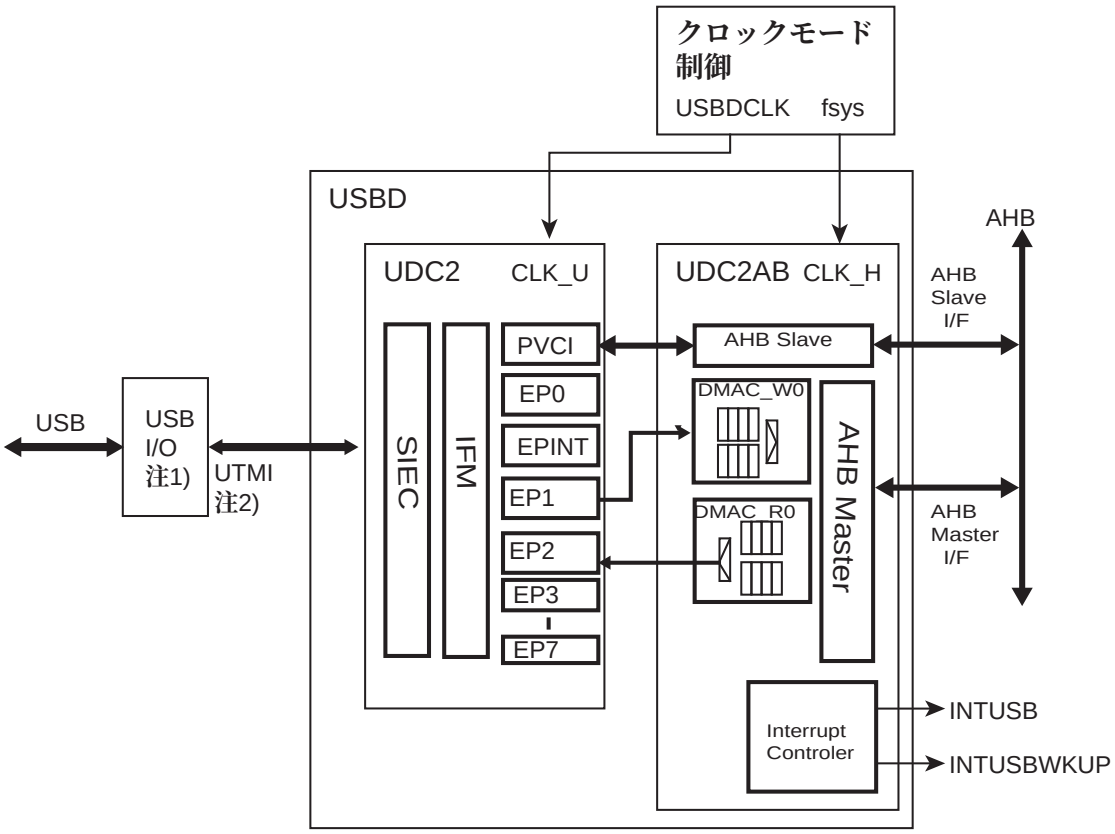
EP0:	コントロール	64byte × 1 FIFO
EP1:	コントロール/インターラプト /バルク / アイソクロナス(IN)	64byte × 2 FIFO
EP2:	コントロール/インターラプト /バルク / アイソクロナス(OUT)	64byte × 2 FIFO
EP3:	コントロール/インターラプト /バルク / アイソクロナス(IN)	64byte × 2 FIFO
EP4:	コントロール/インターラプト /バルク / アイソクロナス(OUT)	64byte × 2 FIFO
EP5:	コントロール/インターラプト /バルク / アイソクロナス(IN)	64byte × 2 FIFO
EP6:	コントロール/インターラプト /バルク / アイソクロナス(OUT)	64byte × 2 FIFO
EP7:	コントロール/インターラプト /バルク / アイソクロナス(IN)	64byte × 2 FIFO

9. デュアルパケットモード対応(EP 0 は除く)
10. 割り込みコントローラへの割り込み要因信号: INTUSB、INTUSBWKUP

13.2　システム構成

USB デバイスコントローラは、USB-Spec2.0 デバイスコントローラ(以下、UDC2)と、UDC2 と AHB バスを接続するバスブリッジ(以下、UDC2AB)から構成されています。

本章では、「13.2.1 AHB バスブリッジ (UDC2AB)」で、UDC2AB の構成を、「13.2.2 東芝 USB-Spec2.0 デバイスコントローラ (UDC2)」で UDC2 の構成を説明します。



注 1)TMPM365FYXBG では Full Speed モードに対応 (Low Speed は非対応) した USB I/O が実装されています。文中の PHY は USB I/O と読み替えてください。
注 2)USB2.0 Transceiver Macrocell Interface

図 13-1 USB デバイスコントローラブロック図

13.2.1 AHB バスブリッジ (UDC2AB)

UDC2AB は、東芝 USB-Spec2.0 デバイスコントローラ(以下、UDC2)と AHB とのバスブリッジです。

UDC2AB は AHB マスタ転送をサポートする DMA コントローラを有し、AHB 上の指定されたアドレスと UDC2 内部の EP-FIFO(EP I/F)間の転送を制御します。

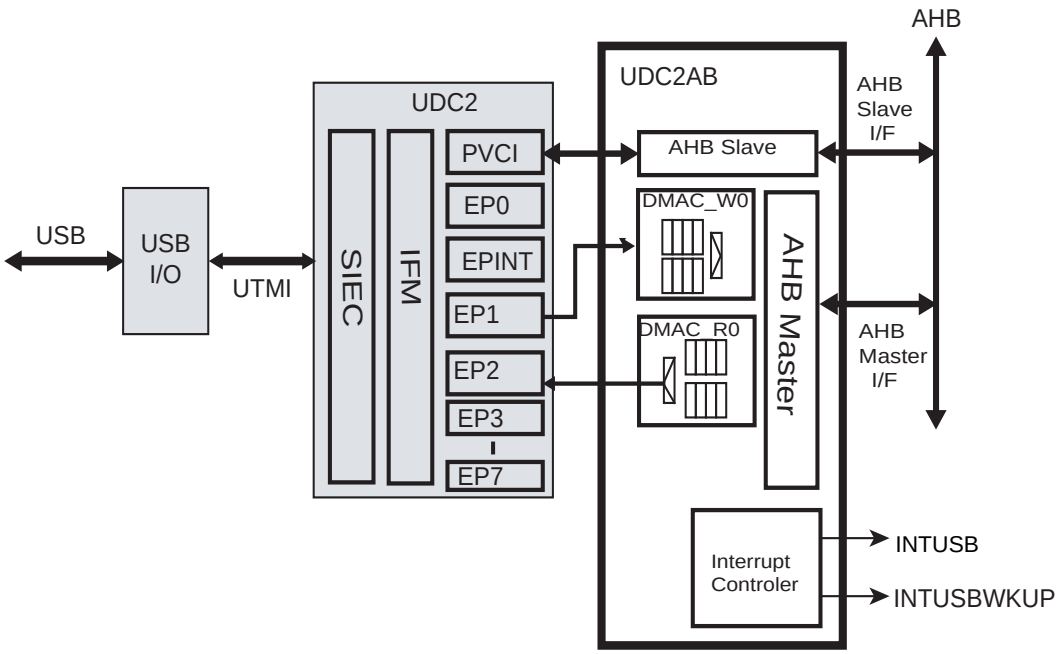


図 13-2 UDC2AB ブロック図

13.2.1.1　機能/特長

UDC2AB の機能と特長を以下に記します。

1. UDC2 との接続

   接続する UDC2 の EP 構成に特に制限はありません。ただし、UDC2AB 内の DMA コントローラ(AHB マスタ機能)と接続可能なのは、Rx 用 EP が 1 個、Tx 用 EP が 1 個となります。その他の EP(EP0 を含む)へのアクセスは、UDC2AB の AHB スレーブ機能を用いて、UDC2 の PVCI I/F と行います。なお、DMA コントローラでのマスタ転送中の UDC2 EP の EPx_FIFO レジスタに対して、PVCI I/F 経由でアクセスはできません。

   AHB マスタリード機能と接続する EP の Max パケットサイズが奇数となる場合には使用方法に制限があります。詳細は「13.5.4 "(3)マスタリード転送時の Max パケットサイズ設定」を参照して下さい。

2. AHB 機能

   AHB マスタと AHB スレーブ機能を持ちます。

   a. AHB マスタ機能

      ２つの DMA チャネルを持ち、Rx 用 EP、Tx 用 EP に対して、それぞれ 1 チャネルが割り当てられます。

表 13-2 AHB マスタ機能

Single Burst (INCR/INCR8) transactions	サポート
Split transaction	サポート
Little Endian	サポート
Protection Control	サポート
Early Burst Termination	サポート
アドレス幅	32 ビット
データ幅	32 ビット
Byte、Word の Transaction	サポート

Endian 変換のイメージは下図のようになります。

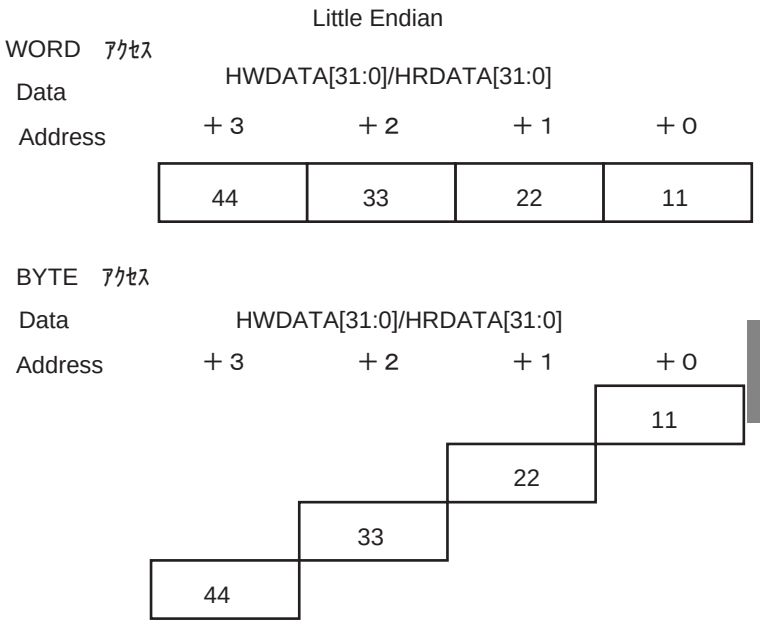


図 13-3 AHB マスタ機能 Endian 変換イメージ

b.　AHB スレーブ機能

内部レジスタアクセスに使用します。

Little Endian	サポート
Single transaction	サポート
アドレス幅	32 ビット
データ幅	32 ビット
Byte、Word の Transaction	サポート

Endian 変換のイメージは下図のようになります。

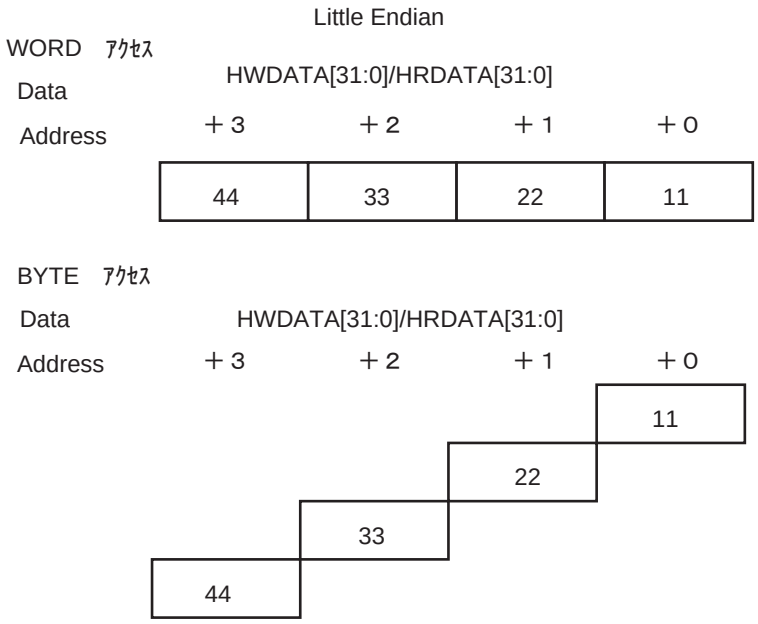


図 13-4 AHB スレーブ機能 Endian 変換イメージ

13.2.1.2 構成

UDC2AB は主に、UDC2AB レジスタおよび UDC2 レジスタ(UDC2 PVCI I/F)とのアクセスを制御する AHB スレーブ機能と、UDC2 EP I/F との DMA アクセスを制御する AHB マスタ機能から構成されます。

AHB マスタ機能には、マスタリードチャネル(AHB→UDC2)とマスタライトチャネル(UDC2→AHB)の計 2 チャネルが内蔵されており、UDC2 の Rx 用 EP、Tx 用 EP の EP I/F との DMA 転送が可能です。各チャネルは、8 ワードのバッファを 2 つずつ(計 4 つ)内蔵しています。

13.2.1.3 Clock ドメイン

UDC2AB の CLK_H はクロック/モード制御回路から供給される fsys が接続されています。fsys は TMPM365FYXBG の低消費電力モードにあわせ、停止または動作します。

低消費電力モードに入り、fsys が停止している間は CLK_H が供給されないため、INTUSB は発生しません。

このため、VBUS のコネクトとディスコネクトの検出は、CLK_H の動作または停止に合わせて、使用する割り込みを INTUSB と USBPON 端子によって発生する INTUSBPON から選択する必要があります。

詳細については、「13.5.5.2 USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス」を参照してください。

UDC2 の CLK_U はクロック/モード制御回路から供給される USBDCLK が接続されています。USBDCLK はレジスタによって、停止または動作します。サスペンド、レジューム状態などの検出により、CLK_U を停止または動作させるときは、ソフトウエアにより、クロック/モード制御回路のレジスタを設定してください。

13.2.2　東芝 USB-Spec2.0 デバイスコントローラ (UDC2)

UDC2 は Universal Serial Bus への USB ファンクションの接続をコントロールする機能を持つコントローラです。UDC2 は USB プロトコルを自動処理し、PHY 側インターフェースには UTMI によりアクセス可能です。

1. SIEC (Serial Interface Engine Control) ブロック

   このブロックでは、USB におけるプロトコルの管理を行います。主な機能を以下に示します。

   - PID のチェック、生成
   - CRC のチェック、生成
   - デバイスアドレスのチェック

2. IFM ブロック

   このブロックでは、SIEC と EP の制御を行います。主な機能を以下に示します。

   - OUT-Token 受信時に、受信データを該当する EP へライト
   - IN-Token 受信時に、送信データを該当する EP からリード
   - UDC2.0.のステータス制御/管理

3. PVCI-I/F ブロック

   このブロックでは、IFM と外部レジスタアクセスバス(PVCI)とのリード/ライトを制御します。

   PVCI バスは UDC2AB を経由してアクセスします

4. EP0 ブロック

   このブロックでは、Control 転送時の送受信データをコントロールします。Control 転送の DATA-Stage でデータを送受信する場合、このブロック内の FIFO へ PVCI-I/F よりアクセスして下さい。

5. EPx ブロック

   このブロックでは、EPx(x=1 ~ 7)の送受信データをコントロールします。EP-I/F により FIFO へ直接アクセスすることが可能です。EP-I/F では、バースト転送が可能です。

   なお、EP は送信用 EP(EPTX)と、受信用 EP(EPRX)の 2 種類があります。EP の方向(送信／受信)についてはハードで固定となります。

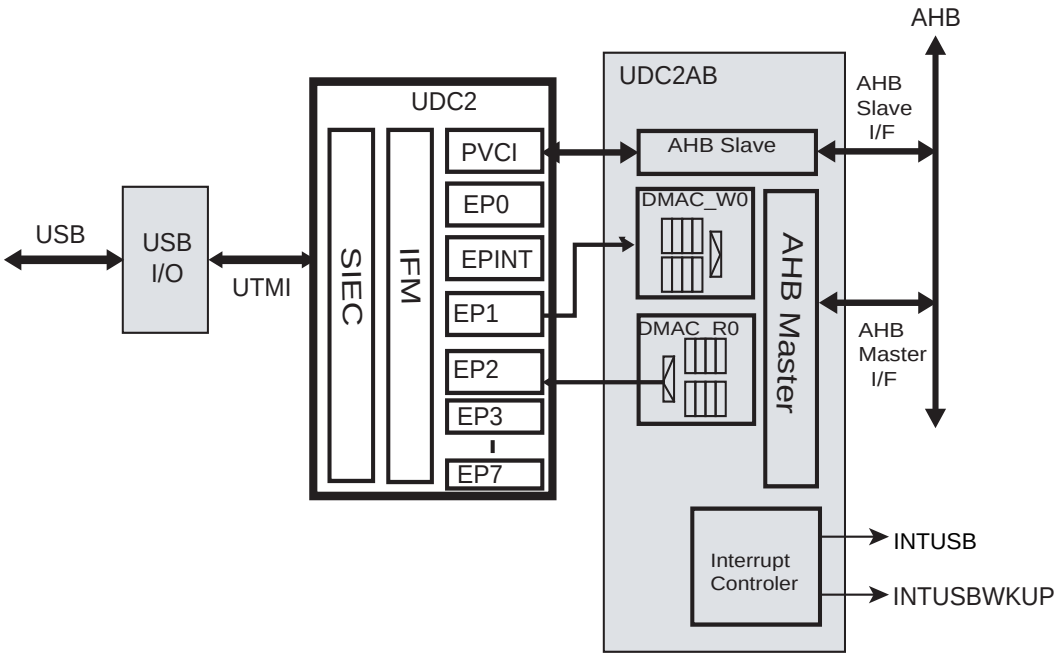


図 13-5 UDC2 ブロック図

13.2.2.1 機能/特徴

コアの主な機能と特長を以下に記します。

1. Universal Serial Bus Specification Rev. 2.0.をサポート
2. Full-Speed (FS)をサポート (Low-Speed は未対応)
3. USB プロトコル処理
4. SOF/USB_RESET/SUSPEND/RESUME の検出
5. パケット ID の生成およびチェック
6. CRC5 チェック、 CRC16 の生成およびチェック
7. 4 種類(Control/Interrupt/Bulk/Isochronous)の転送モードをサポート
8. 8 EP までサポート
9. デュアルパケットモード対応(EP 0 は除く)
10. EP の 1 ~7 については、 FIFO へ直接アクセス (EP-I/F)
11. USB 2.0 Transceiver Macrocell Interface (UTMI) 対応 (8 bits @ 48 MHz)

13.2.2.2 各フラグ仕様

UDC2 は、USB バス上での各種イベント発生時に、イベントをフラグとして出力します。この章では、各フラグについて説明します。

1. USB_RESET

   USB_RESET 受信期間中、"High"をアサートします。UDC2 は、USB_RESET を受信することにより、Default-State に戻りますので、アプリケーションも Default-State に戻る必要があります。

   UDC2 が Full-Speed 動作時は USB バス上の SE0 を 2.5 s 以上認識した時にこのフラグをアサートします。その後、UDC2 が Chirp-K を約 1.5ms ドライブした後に、以下の 2 種類の状態のどちらかを認識するとデアサートします。

   a. ホストからの Chirp (K-J-K-J-K-J)を認識する。
   b. ホストからの Chirp(K-J-K-J-K-J)を認識しない状態で 2ms 以上経過する。

注)　ホストが Chirp を開始する時間、Chirp-K、Chirp-J のドライブ時間はホストに依存しますが、USB_RESET フラグのアサート期間は 1.74ms ~ 3.5ms 程度となります。

2. INT_SETUP

   Control 転送において、Setup-Token 受信後、"High"をアサートします。ソフトウエアはこの割込みを認識したら、Setup-Data 格納レジスタ(8 バイト)をリードし、リクエストの判断をして下さい。なお、この割込みは UDFS2INT<i_setup>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

3. INT_STATUS_NAK

   Control 転送において、UDC2 が DATA-Stage を処理中("Setup_Fin"コマンド発行前)に、ホストが STATUS-Stage へ移行してパケットを送信してくると、UDC2 は"NAK"を返信しこのフラグを"High"にアサートします。ソフトウエアはこの割り込みを認識したら、UDFS2CMD により"Setup_Fin"コマンドを発行し、UDC2 の STATUS-Stage を終了させる必要があります。なお、この割込みは UDFS2INT<i_status_nak>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

4. INT_STATUS

   Control 転送において、STATUS-Stage を正常に終了後、"High"をアサートします。なお、この割込みは UDFS2INT<i_status>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

5. INT_EP0

   Control 転送の DATA-Stage において、"ACK"を送受信した際(正常にトランザクションが終了した際)に"High"をアサートします。なお、この割込みは UDFS2INT<i_ep0>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

6. INT_EP

EP0 以外の EP において、"ACK"を送受信した際(正常にトランザクションが終了した際)に"High"をアサートします。その際、UDFS2INTEP を確認することにより、どの EP への転送かを判断することができます。なお、この割込みは UDFS2INT<i_ep>に 1 をライトするか、UDFS2INTEP のセットされている全 bit に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

7. INT_RX_ZERO

Zero-Length データを受信時に"High"がアサートされます。ただし、Control 転送では DATA-Stage での Zero-Length データ受信時にのみアサートされます。STATUS-Stage での Zero-Length データ受信時にはアサートされません。どの EP に受信したかについては、UDFS2CMD<rx_nulpkt_ep>をリードするか、UDFS2INTRX0 を確認することにより判断できます。なお、この割込みは UDFS2INT<i_rx_data0>に 1 をライトするか、UDFS2INTRX0 のセットされている全 bit に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INTRX0 のクリアを行うようにして下さい。

8. INT_SOF

SOF 受信時に"High"をアサートします。なお、この割込みは UDFS2INT<i_osf>に 1 をライトすることによりデアサートされます。割込みを認識した時点で UDFS2INT のクリアを行うようにして下さい。

SOF はフレームの開始を示すパケットです。Full-Speed 転送では 1ms ごとにホストからデバイスへ送信されます。

9. INT_NAK

EP0 以外の EP において、NAK を送信するとアサートします。その際、UDFS2INTNAK を確認することにより、どの EP が NAK を送信したか判断することができます。なお、この割り込みは UDFS2INT<i_nak>に 1 をライトするか、UDFS2INTNAK のセットされている全ビットに 1 をライトすることによりデアサートされます。デフォルトでは NAK を送信してもこのフラグをアサートしないため、このフラグを使用する際には UDFS2INTNAKMASK レジスタの該当 EP に 0 をライトして、マスクを解除して下さい。

13.2.2.3 EP に対して発行するコマンドの説明

本章では UDFS2CMD<ep>で指定した EP に対して UDFS2CMD<com>で発行するコマンドについて説明します。

1. 0x0 : Reserved

指定しないでください。

2. 0x1 : Setup_Fin

EP0 にのみ発行してください。

Control 転送の DATA-Stage 終了を設定するコマンドです。UDC2 は、このコマンドが発行されるまで STATUS-Stage に対して"NAK"を返信しつづけますので、DATA-Stage 終了時あるいは INT_STATUS_NAK 受信時にこのコマンドを発行して下さい。

注) Control-WR では DATA-Stage で受信した全データをリード後に Setup-Fin コマンドを発行してください。

3. 0x2 : Set_DATA0

EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

EP のトグルをクリアするコマンドです。通常の転送時のトグル更新は UDC2 により自動的に行われますが、ソフトからクリアする必要がある場合はこのコマンドを発行して下さい。

4. 0x03 : EP_Reset

   すべての EP に対し発行可能。

   EP のデータおよびステータスをクリアするコマンドです。Set_Configuration、Set_Interface の EP 設定時、Clear_Feature による EP のリセット時等、EP をリセットしたい場合にこのコマンドを発行して下さい。なお、このコマンドによりリセットされるのは、

   a. UDFS2EP0STS<toggle> / UDFS2EPxSTS<toggle>を DATA0 へクリア
   b. UDFS2EP0STS<status> / UDFS2EPxSTS<status>を Ready へクリア
   c. UDFS2EP0MSZ<dset> / UDFS2EPxMSZ<dset> および UDFS2EP0DSZ / UDFS2EPxDSZ をクリア
   d. UDFS2EP0MSZ<tx0_data> / UDFS2EPxMSZ<tx_0data>をクリア
   e. UDFS2EPxSTS<disable>をクリア

   の 5 点です。

   UDC2 は全ての転送においてハードによるトグルの制御を行っています。各 EP の転送が行われている時にこのコマンドを発行すると、該当 EP のトグルもクリアされますのでホストとの同期がとれなくなる可能性があります。前述にありますリクエスト受信時のように、ホストとの同期がとれる時にコマンドを発行して下さい。

5. 0x4 : EP_Stall

   すべての EP に対し発行可能。

   EP のステータスを"Stall"にセットするコマンドです。Set_Feature による EP の Stall 時等、EP のステータスを "Stall"にしたい場合にこのコマンドを発行して下さい。このコマンドを発行することにより、設定された EP については"STALL"を返信するようになります。ただし EP0 の Stall 状態は Setup-Token 受信時にクリアされます。

   Isochronous 転送では Handshake 無しで転送が行われますので、Isochronous 転送を使用中の EP に対してはこのコマンドは発行しないで下さい。(UDFS2EPxSTS<t_type>で) Isochronous 転送を設定している EP に対してこのコマンドを発行した場合でも、"STALL"は返信しません。

6. 0x5 : EP_Invalid

   EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

   EP のステータスを "Invalid" にセットするコマンドです。Set_Configuration、Set_Interface による設定時、使用しない EP を使用禁止に設定する場合にこのコマンドを発行して下さい。このコマンドを発行することにより、設定された EP については無応答となります。各 EP の転送が行われている時にはこのコマンドを発行しないで下さい。

7. 0x6 : Reserved

   指定しないでください。

8. 0x7 : EP_Disable

   EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

   EP をディセーブルにするコマンドです。このコマンドを発行することにより、設定された EP は、"NAK"を返信するようになります。Isochronous 転送では Handshake 無し

で転送が行われますので、Isochronous 転送を使用中の EP に対してはこのコマンドは発行しないで下さい。(UDFS2EPxSTS<t_type>で)Isochronous 転送を設定している EP に対してこのコマンドを発行した場合でも、 "NAK"は返信しません。

9. 0x8 : EP_Enable

   EP0 を除く EP に対し発行可能。EP0 へは発行しないでください。

   EP をイネーブルにするコマンドです。"EP_Disable"コマンドによるディセーブル状態を解除する際に、このコマンドを発行して下さい。

10. 0x9 : All_EP_Invalid

    EP の設定は無効です。

    EP0 以外の全 EP のステータスを"Invalid"にセットするコマンドです。"EP_Invalid"コマンドを全 EP に行いたい場合、このコマンドを発行して下さい。"EP_Invalid"コマンドと同様に Set_Configuration、Set_Interface 処理時に発行して下さい。

11. 0xA : USB_Ready

    EP0 のみ発行してください。

    USB ケーブルへの接続をするためのコマンドです。ケーブルに接続されたことを確認後、ホストとの通信が可能になった時点でこのコマンドを発行して下さい。このコマンドが発行されて初めて D+の Pull-Up をし、ホストへケーブルコネクト状態を知らせます。

    なお、このコマンドを発行すると UDC2 のデバイスステート(UDFS2ADR<configured> <addressed> <default>)は"Default"に設定されますので、このコマンドを発行する際は注意してください。

12. 0xB : Setup_Received

    EP0 にのみ発行してください。

    Control 転送の SETUP-Stage を認識したことを UDC2 へ知らせるためのコマンドです。INT_SETUP 割込みを受け付けて、リクエストコードを認識した後にこのコマンドを発行して下さい。このコマンドが発行されるまで DATA-Stage/STATUS-Stage に対して"NAK"を返信しつづけますので、INT_SETUP 割込み処理ルーチンの最後にこのコマンドを発行して下さい。

13. 0xC : EP_EOP

    すべての EP に対し、発行可能です。

    送信データ書込み終了を UDC2 へ知らせるためのコマンドです。最大転送バイト数(EP の FIFO 容量か MaxPacketSize のうち小さいバイト数)よりも少ないバイト数を送信したい場合、このコマンドを発行して下さい。このコマンドを発行することにより Dataset フラグがセットされ、ホストからの IN-Token に対しデータを返信します。Zero-Length データ、MaxPacketSize のデータをセットする際には使用しないで下さい。

14. 0xD : EP_FIFO_Clear

    すべての EP に対し、発行可能です。

    EP のデータをクリアするコマンドです。同時に UDFS2EPxMSZ<dset>、UDFS2EPxDSZ がクリアされます。Interrupt 転送等で、ホストへデータを送信する前に現在 FIFO へ格納されているデータをクリアし、最新のデータをセットしたい場合にこのコマンドを発行して下さい。EP-I/F アクセス中にこのコマンドを発行すると、EP の FIFO が正常にクリアされません。このコマンドを発行するときには EP-I/F の epx_val を 0 にした状態で発行して下さい。

15. 0xE : EP_TX_0DATA

    すべての EP に対し、発行可能です。

    EP に Zero-Length データをセットするコマンドです。Zero-Length データを送信したい場合、このコマンドを発行して下さい。Bulk-IN 転送等で転送の最後を示すために Zero-Length データを送る場合には UDFS2EPxDSZ を読み、0 になった(EPx の FIFO にデータが無くなった)ことを確認して、このコマンドをセットしてください。また、EP-I/F からデータを書き込む場合書き込みが終了して、epx_val を 0 の状態にしてこのコマンドをセットして下さい。このコマンドをセットするとセットした EP の UDFS2EPxMS<tx_0data>がセットされます。

    この UDFS2EPxMS<tx_0data>が 0 になったら次のデータをセットするよるようにしてください。Isochronous-IN 転送では、EP の FIFO にデータがセットされていない状態だと、IN-Token に対して自動で Zero-Length データを送信します。このコマンドは発行しないで下さい。

16. 0xF : Reserved

    指定しないでください。

以下のコマンドについては、USB 転送実行中に発行された場合設定は保留され、USB 転送終了後に実行されます。なお、コマンドの保留は EP 毎に行われます。

- 0x2: Set_DATA0
- 0x3: EP_Reset
- 0x4: EP_Stall
- 0x5: EP_Invalid
- 0x7: EP_Disable
- 0x8: EP_Enable
- 0x9: All_EP_Invalid
- 0xD: EP_FIFO_Clear
- 0xE: EP_TX_0DATA

このため、USB 転送実行中に同一 EP に連続してコマンドが発行された場合、コマンドは上書きされ最後に発行したコマンドのみ有効となります。同一 EP に連続してコマンドを発行する必要がある場合は、UDFS2EPxSTS / UDFS2EPxDSZ をポーリングしてコマンドが有効になった事を確認してから発行して下さい。また、EP_Reset/EP_FIFO_Clear コマンドにて FIFO をクリアした直後に EP-I/F アクセスを行う場合には、UDFS2EPxDSZ をポーリングして、コマンドが有効になった事を確認してから EP-I/F アクセスを再開して下さい。

EP0 については、Setup-Token 受信後 Setup_Received コマンドが発行されるまでは、EP0 に対する以下のコマンドは無効となります。

- 0x1: Setup_Fin
- 0x2: Set_DATA0

- 0x3: EP_Reset
- 0x4: EP_Stall
- 0xC: EP_EOP
- 0xD: EP_FIFO_Clear
- 0xE: EP_TX_0DATA

EPx へ"EP_Stall"コマンドをセットすると、UDFS2EPxSTS<status>に "Stall"がセットされます。また、EP_Disable をセットすると UDFS2EPxSTS<disable>に 1 がセットされます。この EP_Stall と EP_Disable の 2 種類のコマンドを同じ EPx へセットし、UDFS2EPxSTS<status>が"Stall"に、UDFS2EPxSTS<disable>=1 になった場合、転送では"STALL"が送信されます。

EPx へ"EP_Invalid"コマンドをセットすると、UDFS2EPxSTS<status>に"Invalid"がセットされます。EP_Invalid と EP_Disable の 2 種類のコマンドを同じ EPx へセットし、UDFS2EPxSTS<status>が "Invalid"に、UDFS2EPxSTS<disable>= 1 になった場合、転送では無反応になります。

UDFS2EPxSTS<disable>=1 で、UDFS2EPxMSZ<tx_0data>= 1 の場合には、転送では Zero-Length データが 1 回送信されます。Zero-Length データの転送が成功した後に、"NAK"が送信されるようになります。

13.3　USB バスとの接続方法

TMPM365FYXBG を USB バスに接続するときの回路例を以下に示します。

USB 電源(VBUS)のコネクトを検出するために、VBUS を USBPON 端子に入力してください。

USB-DDP のプルアップ抵抗による Pull-Up 処理、USB-DDP、USB-DDM への直列ダンピング抵抗挿入が必要です。またプルアップ抵抗については Port による ON/OFF 制御を追加し、VBUS に電圧がかかっていないときにプルアップ抵抗を切り離す必要があります。

USB-DDP、USB-DDM が不安定になる場合は、R_1 で Pull-Down を実施することを推奨します。

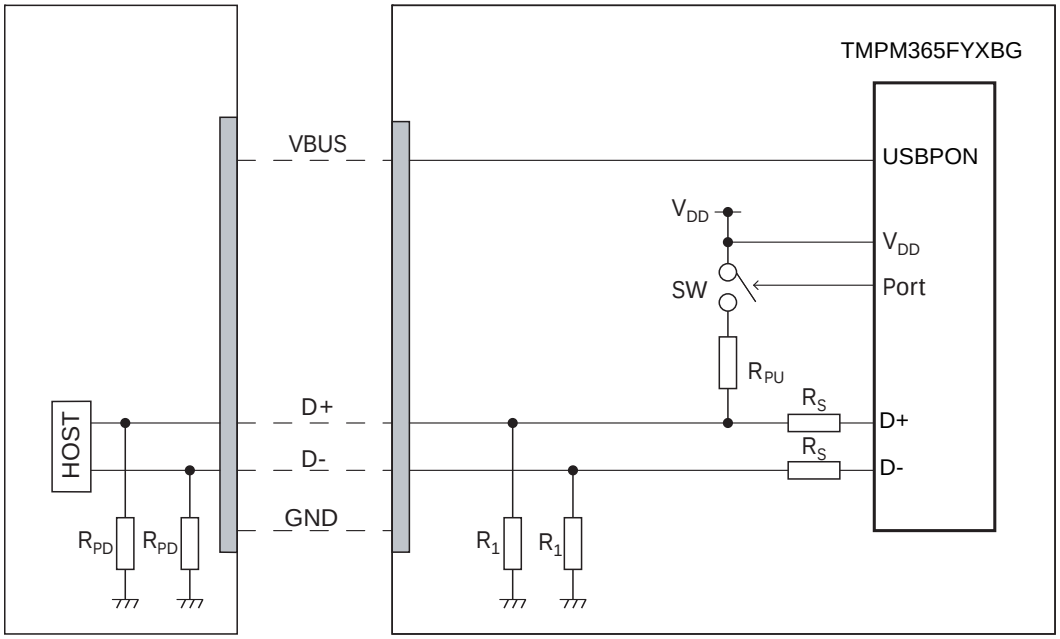


図 13-6 USB バスと TMPM365FYXBG の接続例

注)　R_1=500kΩ 以上(推奨値)、R_S=33Ω(推奨値)、R_{PU}=1.5kΩ(推奨値)

13.4 レジスタ 説明

USBD のレジスタは、UDC2AB のレジスタと、UDC2 のレジスタで構成されます。

UDC2 のレジスタにアクセスした場合は、UDC2AB が UDC2 へ PVCI I/F 経由で自動的にアクセスします。

UDC2AB のレジスタは 32bit 幅です。UDC2 のレジスタは 16bit 幅で、[15:0]に割り当てられます。[31:16]は読み出し値不定のリードオンリーになります。

13.4.1 UDC2AB レジスタ

13.4.1.1 UDC2AB レジスター覧

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
Interrupt Status Register	UDFSINTSTS	0x0000
Interrupt Enable Register	UDFSINTENB	0x0004
Master Write Timeout Register	UDFSMWTOUT	0x0008
UDC2 Setting Register	UDFSC2STSET	0x000C
DMAC Setting register	UDFSMSTSET	0x0010
DMAC Read Request Register	UDFSDMACRDREQ	0x0014
DMAC Read Value Register	UDFSDMACRDVL	0x0018
UDC2 Read Request Register	UDFSUDC2RDREQ	0x001C
UDC2 Read Value Register	UDFSUDC2RDVL	0x0020
-	Reserved	0x0024 -0x0038 注 2)
Arbiter Setting Register	UDFSARBTSET	0x003C
Master Write Start Address Register	UDFSMWSADR	0x0040
Master Write End Address Register	UDFSMWEADR	0x0044
Master Write Current Address Register	UDFSMWCADR	0x0048 注 1)
Master Write AHB Address Register	UDFSMWAHBADR	0x004C
Master Read Start Address Register	UDFSMRSADR	0x0050
Master Read End Address Register	UDFSMREADR	0x0054
Master Read Current Address Register	UDFSMRCADR	0x0058 注 1)
Master Read AHB Address Register	UDFSMRAHBADR	0x005C
-	Reserved	0x0060 - 0x007C 注 2)
Power Detect Control Register	UDFSPWCTL	0x0080
Master Status Register	UDFSMSTSTS	0x0084
Timeout Count Register	UDFSTOUTCNT	0x0088 注 1)
-	Reserved	0x008C - 0x1FC

注 1) 必ず UDFSDMACRDREQ を経由してリードアクセスを行って下さい。

注 2) 上記で Reserved と記されている領域はアクセス禁止です。リードもライトもしないでください。

13.4.1.2　UDFSINTSTS (Interrupt Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	int_mw_rerror	int_ powerdetect	-	-	int_dmac_ reg_rd	int_udc2_ reg_rd
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	int_mr_ahberr	int_mr_ep_ dset	int_mr_end_ add	int_mw_ ahberr	int_mw_ timeout	int_mw_end_ add	int_mw_set_ add	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	int_usb_ reset_end	int_usb_reset	int_suspend_ resume
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	int_nak	int_ep	int_ep0	int_sof	int_rx_zero	int_status	int_status_ nak	int_setup
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-30	-	R	Read as undefined.
29	int_mw_rerror	R/W	EP へのアクセスが共通バスアクセスの設定時(UDFS2EPxSTS<bus_sel>が 0)にマスタライト転送を起動した場合に、1 にセットされます。 0: 未検出 1: マスタライト EP リードエラー発生
28	int_ powerdetect	R/W	UDC2AB の VBUSPOWER 入力のステータスが変化した時に、1 にセットされます。 0:変化無し 1:ステータス変化
27-26	-	R	Read as undefined.
25	int_dmac_ reg_rd	R/W	UDFSDMACRDREQ の設定により実行されたレジスタアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされたときに、1 にセットされます。 0: 未検出 1:レジスタリード完了
24	int_udc2_reg_ rd	R/W	UDFSDMACRDREQ の設定により実行された UDC2 へのアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされたときに、1 にセットされます。 また、UDC2 内部レジスタへのライトアクセスが完了したときに、1 にセットされます。 0: 未検出 1: レジスタリード/ライト完了
23	int_mr_ahberr	R/W	マスタリード転送動作中に、AHB エラーが発生した場合、本ステータスが 1 にセットされます。 この割り込み発生後は、UDFSMSTSET<mr_reset>によりマスタリード転送ブロックをリセットする必要があります。 0: 未検出 1: AHB エラー発生
22	int_mr_ep_dset	R/W	マスタリード時で使用する、UDC2 Tx 用 EP の FIFO がライト可能(Full ではない状態)となった時に、1 にセットされます。 0: FIFO ライト不可 1: FIFO ライト可
21	int_mr_end_ add	R/W	マスタリード転送が終了した際に、1 にセットされます。 0: 未検出 1: マスタリード転送終了
20	int_mw_ahberr	R/W	マスタライト転送動作中に、AHB エラーが発生した場合、本ステータスが 1 にセットされます この割り込み発生後は、UDFSMSTSET< mw_reset >によりマスタライト転送ブロックをリセットする必要があります 0: 未検出 1: AHB エラー発生

Bit	Bit Symbol	Type	Function
19	int_mw_ timeout	R/W	マスタライト転送動作中に、タイムアウトした場合、本ステータスが 1 にセットされます。 0: 未検出 1: マスタライト転送タイムアウト
18	int_mw_end_ add	R/W	マスタライト転送が終了した際に、 1 にセットされます。 0: 未検出 1: マスタライト転送終了
17	int_mw_set_ add	R/W	マスタライト転送がディセーブル状態で、該当する Rx 用 EP にマスタライト転送されるべきデータがセットされると 1 にセットされます 0: 未検出 1: マスタライト転送アドレス要求
16-11	-	R	Read as undefined.
10	int_usb_reset_ end	R/W	UDC2 が usb_reset 信号をデアサートしたかどうかを示します UDC2 が UDC2 レジスタを USB_RESET 後初期値に設定するタイミングは usb_reset 信号のデアサート時となります。このタイミングを検知したい場合は、本ビットを使用して下さい。なお、usb_reset 信号の状態は UDFSPWCTL<usb_reset>にて確認できます。 0: このビットがクリアされてから UDC2 は usb_reset 信号をデアサートしていません 1: UDC2 が usb_reset 信号をデアサートしたことを示します
9	int_usb_reset	R/W	UDC2 が usb_reset 信号をアサートしたかどうかを示します。なお、usb_reset 信号の状態は UDFSPWCTL <usb_reset>にて確認できます。 0: このビットがクリアされてから UDC2 は usb_reset 信号をアサートしていません 1:UDC2 が usb_reset 信号をアサートしたことを示します
8	int_suspend_ resume	R/W	UDC2 の suspend_x 信号が変化するたびに 1 をアサートします。UDFSPWCTL<suspend_x>により状態を確認して下さい。 0: 変化無し 1: スタータス変化
7	int_nak	R	UDC2 の nak 信号が直接読み出せます。クリアをするには UDFS2UDFS2INT もしくは UDFS2INTNAK の該当ビットをクリアして下さい。
6	int_ep	R	UDC2 の ep 信号が直接読み出せます。クリアをするには UDC2 の UDFS2INT もしくは UDFS2INTEP の該当ビットをクリアして下さい。
5	int_ep0	R	UDC2 の ep0 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。
4	int_sof	R	UDC2 の sof 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。
3	int_rx_zero	R	UDC2 の rx_zero 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT もしくはの UDFS2INTRX0 該当ビットをクリアして下さい。
2	int_status	R	UDC2 の status 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。
1	int_status_nak	R	UDC2 の status_nak 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。
0	int_setup	R	UDC2 の setup 信号が直接読み出せます。クリアするには UDC2 の UDFS2INT の該当ビットをクリアして下さい。

UDC2 出力信号と本レジスタ bit[10:9]、bit[7:0]の接続関係を、以下の図に示します

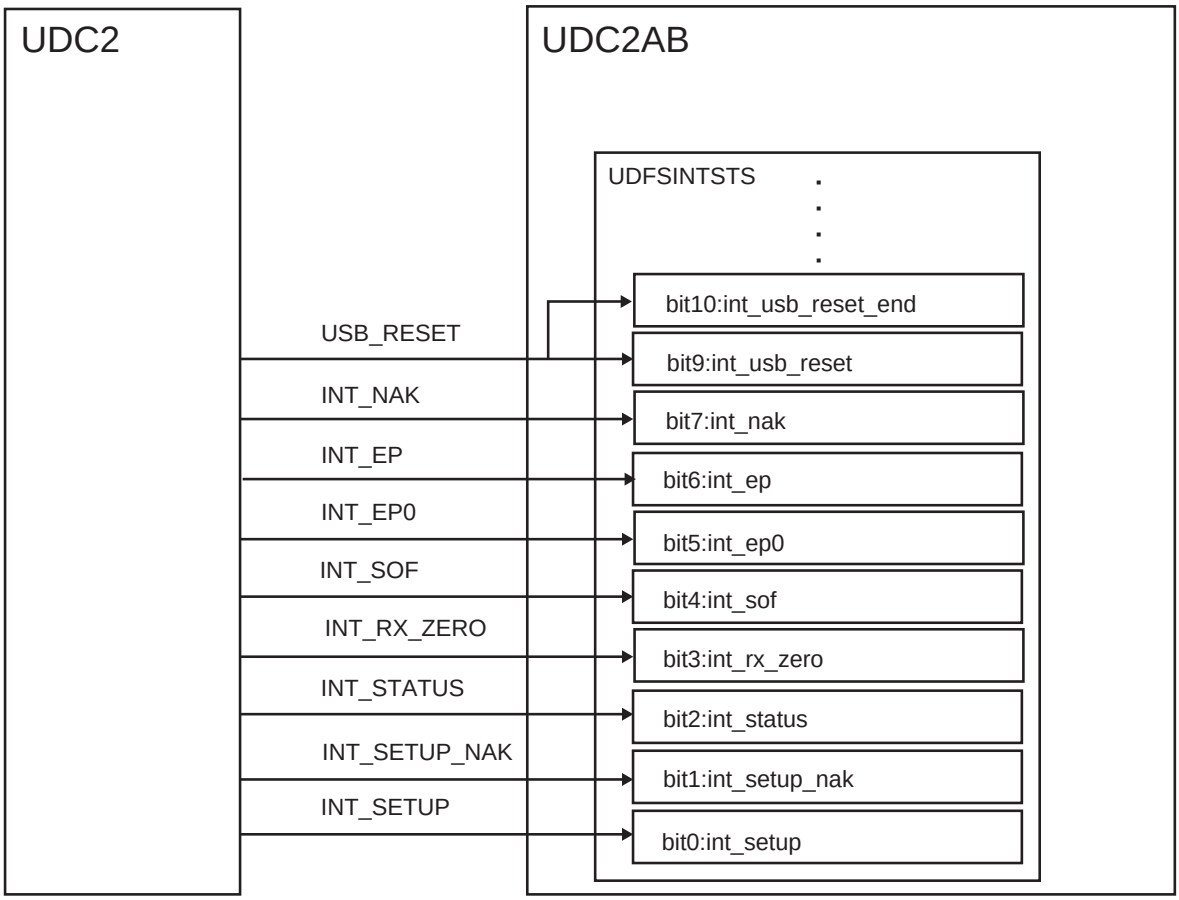


図 13-7 フラグ出力信号と割り込みビットの接続関係

13.4.1.3 UDFSINTENB(Interrupt Enable Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	mw_rerror_en	power_ detect_en	-	-	dmac_reg_ rd_en	udc2_reg_ rd_en
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	mr_ahberr_en	mr_ep_ dset_en	mr_end_ add_en	mw_ahberr_ en	mw_ timeout_en	mw_end_ add_en	mw_set_ add_en	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	usb_reset_ end_en	usb_reset_en	suspend_ resume_en
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-30	-	R	Read as undefined.
29	mw_rerror_en	R/W	mw_rerror 割り込みを制御します。 0: 禁止 1: 許可
28	power_detect_ en	R/W	power_detect 割り込みを制御します。 0: 禁止 1: 許可
27-26	-	R	Read as undefined.
25	dmac_reg_ rd_en	R/W	dmac_reg_rd 割り込みを制御します。 0: 禁止 1: 許可
24	udc2_reg_ rd_en	R/W	udc2_reg_rd　割り込みを制御します。 0: 禁止 1: 許可
23	mr_ahberr_en	R/W	mw_ahberr 割り込みを制御します 0: 禁止 1: 許可
22	mr_ep_dset_en	R/W	mr_ep_dset 割り込みを制御します。 0: 禁止 1: 許可
21	mr_end_ add_en	R/W	mr_end_add 割り込みを制御します。 0: 禁止 1: 許可
20	mw_ahberr_en	R/W	mw_ahberr 割り込みを制御します。 0: 禁止 1: 許可
19	mw_ timeout_en	R/W	mw_timeout 割り込みを制御します。 0: 禁止 1: 許可
18	mw_end_ add_en	R/W	mw_end_add 割り込みを制御します。 0: 禁止 1: 許可

Bit	Bit Symbol	Type	Function
17	mw_set_ add_en	R/W	mw_set_add 割り込みを制御します。 0:禁止 1: 許可
16-11	-	R	Read as undefined.
10	usb_reset_ end_en	R/W	usb_reset_end 割り込みを制御します。 0: 禁止 1: 許可
9	usb_reset_en	R/W	usb_reset 割り込みを制御します。 0: 禁止 1: 許可
8	suspend_ resume_en	R/W	suspend_resume 割り込みを制御します。 0: 禁止 1: 許可
7-0	-	R	Read as undefined.

13.4.1.4 UDFSMWTOUT(Master Write Timeout Register)

	31	30	29	28	27	26	25	24
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	timeoutset							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	timeoutset							timeout_en
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-1	timeoutset	R/W	マスタライト・タイムアウト用のタイマ設定レジスタです。. マスタライト転送中に設定を変更しないで下さい。マスタライト(Rx)用 EP のデータが無くなって(= 0)から、CLK_U を設定した回数カウントするとタイムアウトとなります。 タイムアウト用カウンタは 32bit で構成され、本レジスタ timeoutset[31:1]はそのカウンタの 32bit 中の上位 31bit を設定でき、カウンタの最下位 bit は 1 として設定されます。 CLK_U が 48MHz の場合は、約 20[ns] ~89[s]がタイムアウト値として設定可能です。 また、CLK_U を停止させているとき(サスペンド中など)は、カウンタの動作が止まるため、タイムアウト割込みは発生しません。
0	timeout_en	R/W	マスタライト・タイムアウトのイネーブル設定レジスタです マスタライト・タイムアウトをイネーブルする際に使用します。初期状態はイネーブルです。マスタライト転送中に設定を変更しないで下さい。 0: 禁止 1: 許可

13.4.1.5　UDFSC2STSET(UDC2 Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-			eopb_enable	-	-	-	tx0
After reset	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	Function
31-5	–	R	Read as undefined.
4	eopb_enable	R/W	マスタリード EOP をイネーブルする際に使用します。初期状態はイネーブルです。マスタリード転送中に設定を変更しないで下さい。 本ビットが 0 の場合、最終 Word が 1Byte の場合には UDC2 への最終データ転送は行なわれません。最終 Word が 2byte の場合には epx_w_eop=0 での UDC2 への最終データ転送が行なわれます。 本ビットが 1 の場合、最終 Word の Byte 数に関わらず epx_w_eop=1 での UDC2 への最終データ転送が行なわれます。 注）「13.5.4.1 マスタリード転送」を参照して下さい。 0: マスタリード EOP 禁止 1: マスタリード EOP 許可
3-1	–	R	Read as undefined.
0	tx0	R/W	マスタリード動作側に接続されている EP で、NULL パケットを送信する際に使用します。 UDFSMSTSTS<mrepempty>が 1 の場合のみ有効で、それ以外では本ビットは無視されます。ライト後に自動的に 0 にクリアされます。 本ビット に 1 をセットすることで UDC2 EP-I/F の epx_tx0data 信号がアサートされ、NULL パケット送信実行中は、1 の値を保持しています。本ビットセット後は、0 にクリアされるまで Tx 用 EP への次のデータセットは行わないで下さい。 0: ノーオペレーション 1: NULL パケットを送信します

13.4.1.6 UDFSMSTSET(DMAC Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	m_burst_type
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	mr_reset	mr_abort	mr_enable	-	mw_reset	mw_abort	mw_enable
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-9	–	R	Read as undefined.
8	m_burst_type	R/W	マスタライト/リード転送時のバースト転送実行時の HBURST[2:0]のタイプを選択します。UDC2AB が行うバースト転送のタイプは INCR8(8 ビート インクリメント式バースト)となります。従って、通常は初期値である 0 を設定して下さい。但し、システムの AHB 仕様によりバースト転送のタイプとして INCR しか使用できない場合には、このビットに 1 を設定して下さい。この場合、UDC2AB は 8 ビートの INCR 転送を実行します。なお、バースト転送のビート数を変更することはできません。 このビットの設定は UDC2AB への初期設定にて行って下さい。マスタライト/リード転送を開始してからは変更しないで下さい。 注) UDC2AB はマスタライト/リード転送でバースト転送のみを行うわけではなく、バースト転送とシングル転送を組み合わせて転送します。このビットはあくまでバースト転送実行時にのみ影響します。 0: INCR8 1: INCR
7	-	R	Read as undefined.
6	mr_reset	R/W	UDC2AB のマスタリード転送ブロックを初期化します。ただし EP の FIFO は初期化されませんので、本リセットとは別に UDC2 の UDFS2CMD へアクセスして、対応する EP の初期化を行う必要があります。 本リセットはマスタ動作を停止させてから使用して下さい。 本ビットを 1 へセット後、自動的に 0 にクリアされます。クリアされるまで次のマスタリード転送を行わないで下さい。 0: ノーオペレーション 1: リセット
5	mr_abort	W	マスタリード転送を制御します。本ビットに 1 をセットすることによりマスタリード動作を停止させることができます。 転送途中にアボートした場合、マスタリード用バッファの UDC2 への転送を中断し<mr_enable>がクリアされ、マスタリード転送は停止されます。 本ビットを 1 へセット後、<mr_enable>が 0 へディセーブルされるとアボート完了となります 0: ノーオペレーション 1: アボート
4	mr_enable	R/W	マスタリード転送を制御します。転送アドレスのセット完了時にイネーブルにして下さい。マスタ転送の終了とともに、自動的にディセーブルされます。本レジスタではマスタリード動作のディセーブルを行うことはできませんので、マスタリード転送を停止させる際は<mr_abort>を使用して下さい。 0: 禁止 1: 許可
3	–	R	Read as undefined.
2	mw_reset	R/W	マスタライト転送ブロックを初期化します。ただし EP の FIFO は初期化されませんので、本リセットとは別に UDC2 の UDFS2CMD へアクセスして、対応する EP の初期化を行う必要があります。 本リセットはマスタ動作を停止させてから使用して下さい。 本ビットを 1 へセット後、自動的に 0 にクリアされます。クリアされるまで次のマスタライト転送を行わないで下さい。 0: ノーオペレーション 1: リセット
1	mw_abort	W	マスタライト転送を制御します。本ビットに 1 をセットすることによりマスタライト動作を停止させることができます。 転送途中にアボートした場合、UDC2 からマスタライト用バッファへの転送を中断して<mw_enable>がクリアされ、マスタライト転送は停止されます。. 本ビットを 1 へセット後、<mw_enable>が 0 へディセーブルされるとアボート完了となります。 0: ノーオペレーション 1: アボート
0	mw_enable	R/W	マスタライト転送を制御します。転送アドレスのセット完了時にイネーブルにして下さい。マスタ転送の終了とともに、自動的にディセーブルされます。本レジスタではマスタライト動作のディセーブルを行うことはできませんのでマスタライト転送を停止させる際は、<mw_abort>を使用して下さい。 0: 禁止 1: 許可

13.4.1.7 UDFSDMACRDREQ(DMAC Read Requeset Register)

	31	30	29	28	27	26	25	24
bit symbol	dmardreq	dmardclr	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dmardadr						-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	dmardreq	R/W	特定の DMAC 関連のレジスタリードアクセス要求ビットです。本ビットを 1 にセットすることにより、<dmardadr>に設定されたアドレスにリードアクセスが実行されます。リードアクセスが完了して、UDFSDMACRDVL に読み出した値がセットされると、本ビットは、自動的にクリアされ、UDFSINTSTS<dmac_reg_rd>が 1 にセットされます。 0: ノーオペレーション 1: リード要求発行
30	dmardclr	R/W	DMAC 関連のレジスタリードアクセス要求を強制的にクリアするビットです。本ビットを 1 にセットすることにより、<dmardreq>によるレジスタリード要求は強制的に終了し、<dmardreq>の値が 0 となります。強制クリア処理が完了すると、本ビットは、自動的にクリアされます。 0: ノーオペレーション 1: 強制クリア発行
29-8	−	R	Read as undefined.
7-2	dmardadr[5:0]	R/W	リード要求を発行するレジスタのアドレス(上位 6 ビット)をセットします。上記の<dmardreq>と共にセットして下さい。 以下に示す何れかのアドレスをセットして下さい。 0x48: UDFSMWCADR リード時 0x58: UDFSMRCADR リード時 0x88: UDFSTOUTCNT リード時
1-0	−	R	Read as undefined.

13.4.1.8　UDFSDMACRDVL(DMAC Read Value Register)

	31	30	29	28	27	26	25	24
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dmardata							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-0	dmardata[31:0]	R	本レジスタは、UDFSDMACRDREQ によって要求されたデータが格納されます。 UDFSDMACRDREQ<dmardreq>ビットが 1 の時は、本レジスタにアクセスしないで下さい。

13.4.1.9 UDFSUDC2RDREQ(UDC2 Read Request Register)

	31	30	29	28	27	26	25	24
bit symbol	udc2rdreq	udc2rdclr	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	udc2rdadr	
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	udc2rdadr						-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	udc2rdreq	R/W	UDC2 レジスタへのリードアクセス要求ビットです。本ビットを 1 にセットすることにより、<udc2rdadr>ビットにセットされたアドレスにリードアクセスが実行されます。リードアクセスが完了して、UDFSUDC2RDVL に読み出した値がセットされると、本ビットは、自動的にクリアされ、UDFSINTSTS<udc2_reg_rd>が 1 にセットされます。 また、UDC2 のレジスタにライトアクセス実行中は、アクセス中を示すステータスビットとして機能して、1 の値を示します。本ビットが 1 の間は UDC2 レジスタへの次のアクセスを実行しないで下さい。 0: ノーオペレーション 1: リード要求発行
30	udc2rdclr	R/W	UDC2 レジスタのリード/ライトアクセス要求を強制的にクリアするビットです。本ビットを 1 にセットすることにより、<udc2rdreq>によるレジスタリード要求/UDC2 ライトアクセスは強制的に終了し、<udc2rdreq>の値が 0 となります。強制クリア処理が完了すると、本ビットは、自動的に 0 にクリアされます。中断した場合、アクセス中のリード値、ライト値は保証されません。 0 : ノーオペレーション 1 : 強制クリア発行
29-10	−	R	Read as undefined.
9-2	udc2rdadr[7:0]	R/W	リード要求を発行する UDC2 のレジスタアドレス[9:2]をセットします。UDC2 のレジスタアドレスは「13.4.1.1 UDC2AB レジスター覧」を参照してください。本レジスタ表のオフセットアドレスである 0x0200~0x0334 が該当します。上記の udc2rdreq と共にセットして下さい。
1-0	−	R	Read as undefined.

13.4.1.10　UDFSUDC2RDVL(UDC2 Read Value Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	udc2rdata							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	udc2rdata							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-0	udc2rdata[15:0]	R	本レジスタは、UDFSUDC2RDREQ によって要求されたデータが格納されます。UDFSUDC2RDREQ <udc2rdreq>が 1 の時は、本レジスタにアクセスしないで下さい。

13.4.1.11 UDFSARBTSET(Arbiter Setting Register)

	31	30	29	28	27	26	25	24
bit symbol	abt_en	-	-	abtmod	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	abtpri_w1		-	-	abtpri_w0	
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	abtpri_r1		-	-	abtpri_r0	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31	abt_en	R/W	DMAC-AHB 間のアクセスするとき、アービター動作を有効にします。 本ビットは、本レジスタの<abtmod>、 <abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビットをセットする場合には、0 をセットする必要があります。必ずこのビットを 1 にセットした状態で、DMA アクセスを開始して下さい 0: 禁止(DMA アクセス不可) 1: 許可
30-29	–	R	Read as undefined.
28	abdmod	R/W	アービターの方式を設定します。<abt_en>ビットが 0 の時のみライトアクセス可能です。 本ビットに 0 を設定した場合は、<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビット設定値に関わらず、ラウンドロビン方式で AHB バスへのアクセス権が与えられます。 本ビットに 1 を設定した場合は、<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビット設定値によってアクセス優先順位に従って AHB バスへアクセス権が与えられます。 0: ラウンドロビン 1: 固定優先順位
27-14	–	R	Read as undefined.
13-12	abtpri_w1	R/W	固定優先順位のモードを選択したときのマスタライト 1 用 DMA アクセスの優先度を設定します。<abt_en>が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高くて、11 が一番低くなります。
11-10	–	R	Read as undefined.
9-8	abtpri_w0	R/W	固定優先順位のモードを選択したときのマスタライト 0 用 DMA アクセスの優先度を設定します。<abt_en>が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高くて、11 が一番低くなります。
7-6	–	R	Read as undefined.
5-4	abtpri_r1	R	固定優先順位のモードを選択したときのマスタリード 1 用 DMA アクセスの優先度を設定します。<abt_en>が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高くて、11 が一番低くなります。
3-2	–	R	Read as undefined.
1-0	abtpri_r0	R/W	固定優先順位のモードを選択したときのマスタリード 0 用 DMA アクセスの優先度を設定します。<abt_en>が 0 の時のみライトアクセス可能です。 優先順位は 00 が一番高くて、11 が一番低くなります。

注)　<abtpri_w1>、<abtpri_w0>、<abtpri_r1>、<abtpri_r0>の各ビットには、必ず異なった優先度の値を設定して下さい。もし、同じ優先度の値が設定された場合には、<abt_en> に、1 をセットすることが出来ません。

(1)　DMAC と Arbiter setting レジスタのプライオリティ領域との関係

UDC2AB 仕様ではマスタライト用 DMAC(DMAC_W0)を 1 個、マスタリード用 DMAC (DMAC_R0)を 1 個をサポートしています。おのおの 2 個目にあたるマスタライト用 DMAC (DMAC_W1)、マスタリード用 DMAC(DMAC_R1)はサポートしていません。

従って、DMAC_W1、DMAC_R1 への優先度の設定は実質的には意味がありませんが、前述の通り、abtpri_w1、abtpri_w0、abtpri_r1、abtpri_r0 の各ビットには、必ず、異なった優先度の値を設定して下さい。

未実装の DMAC の対するレジスタ領域に、値を設定しても問題はありません。Arbiter Setting レジスタのプライオリティ領域は、以下のように DMAC と対応しています。

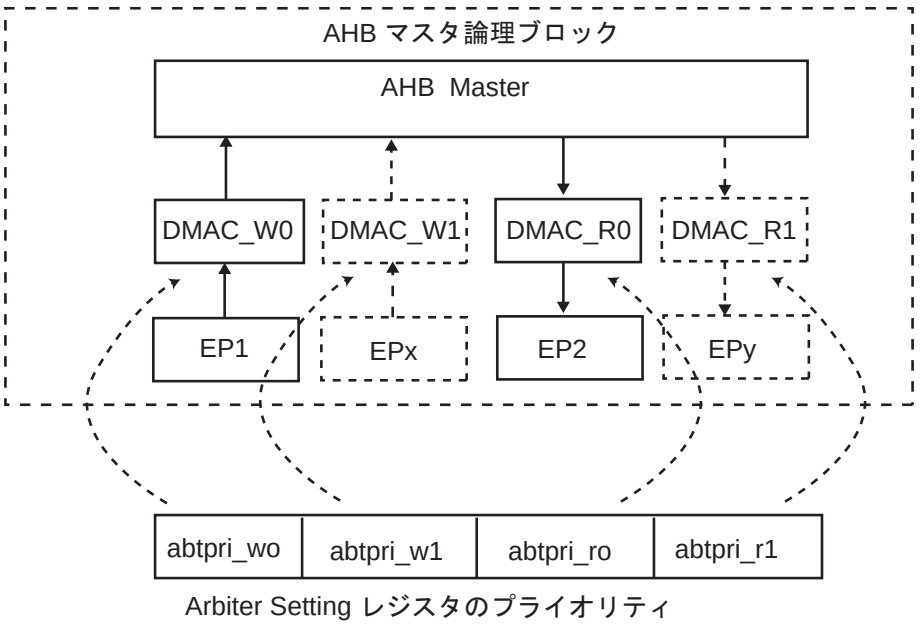


図 13-8 DMAC とプライオリティ領域の関係

13.4.1.12 UDFSMWSADR(Master Write Start Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mwsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mwsadr[31:0]	R/W	マスタライト転送のスタートアドレスを設定して下さい。ただし、本マスタ動作はアドレス増加にのみ対応していますので、UDFSMWEADR よりも下位の値を設定して下さい。

13.4.1.13 UDFSMWEADR(Master Write End Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mweadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mweadr[31:0]	R/W	マスタライト転送のエンドアドレスを設定して下さい。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMWSADR よりも上位の値を設定して下さい。

13.4.1.14　UDFSMWCADR(Master Write Current Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mwcadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mwcadr[31:0]	R	マスタライト転送における EP からマスタライト用バッファへの現在までの転送完了アドレスを表示します。タイムアウト割り込みが発生した場合や、転送途中でエラーが発生した際に使用することができます。 本アドレスは EP からマスタライト用バッファへデータがセットされた時点でインクリメントされ、マスタライト転送途中では、表示アドレスまでのデータはターゲットデバイスまたはマスタライト用バッファ内に存在することとなります。

13.4.1.15　UDFSMWAHBADR(Master Write AHB Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrsadr[31:0]	R	マスタライト転送におけるターゲットデバイスへの転送完了アドレスを表示します。タイムアウト割り込みが発生した場合や、転送途中でエラーが発生した際に使用することができます。　本アドレスはターゲットデバイスへデータがセットされた時点でインクリメントされ、マスタライト転送途中では、表示アドレスまでのデータはターゲットデバイスに存在することとなります。

13.4.1.16 UDFSMRSADR(Master Read Start Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrsasr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrsadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrsadr[31:0]	R/W	マスタリード転送のスタートアドレスを設定して下さい。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMREADR よりも下位の値を設定して下さい。

13.4.1.17 UDFSMREADR(Master Read End Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mreadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mreadr[31:0]	R/W	マスタリード転送のエンドアドレスを設定して下さい。ただし、本マスタはアドレス増加にのみ対応していますので、UDFSMRSADR よりも上位の値を設定して下さい。

13.4.1.18　UDFSMRCADR(Master Read Current Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrcadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrcadr[31:0]	R	マスタリード転送におけるターゲットデバイスから EP への現在までの転送完了アドレスを表示します。 本アドレスはマスタリード用バッファから EP へデータがセットされた時点でインクリメントされ、マスタリード転送途中では、表示アドレスまでのデータは EP 用 FIFO 内に存在することとなります。

13.4.1.19　UDFSMRAHBADR(Master Read AHB Address Register)

	31	30	29	28	27	26	25	24
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	mrahbadr							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	mrahbadr[31:0]	R	マスタリード転送におけるターゲットデバイスから、UDC2AB への転送完了アドレスを表示します。本アドレスはターゲットデバイスからデータがセットされた時点でインクリメントされ、マスタリード転送途中では、表示アドレスまでのデータは、バッファまたは、EP 用 FIFO に存在することとなります。

13.4.1.20 UDFSPWCTL(Power Detect Control Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	wakeup_en	phy_remote_wkup	phy_resetb	suspend_x	phy_suspend	pw_detect	pw_resetb	usb_reset
After reset	0	0	1	1	0	0	1	0

Bit	Bit Symbol	Type	Function
31-8	−	R	Read as 0.
7	wakeup_en	R/W	USB のサスペンド時に、TMPM365FYXBG を低消費電力モードに移行させて CLK_H を停止する時には、本ビットを 1 にセットして下さい。 本ビットを 1 にセットしているとサスペンドが解除された時(<suspend_x>=1)に、$\overline{\text{WAKEUP}}$ 信号が非同期で 0 にアサートされますので、INTUSBWKUP による TMPM365FYXBG の低消費電力モードからの復帰に利用可能です。 本ビットの利用方法に関しては「13.5.7 サスペンド、レジューム」も参照して下さい。 0: $\overline{\text{WAKEUP}}$ 信号をアサートしない 1: $\overline{\text{WAKEUP}}$ 信号をアサートする
6	phy_remoto_wkup	R/W	USB のリモートウェイクアップ機能を実行するために使用します。本ビットに 1 をセットすることで、udc2_wakeup 出力信号(UDC2 の wakeup 入力端子)を 1 にアサートすることができます。但し、UDC2 がサスペンドを検出していない時(<suspend_x>＝ 1 の時)に本ビットを 1 にセットした場合は無視されます(1 にセットされません)ので、サスペンド検出時にのみセットして下さい。USB レジューム完了時(<suspend_x> デアサート時)に自動的に 0 にクリアされます。 本ビットの利用方法に関しては「13.5.7 サスペンド、レジューム」も参照して下さい。 0: ノーオペレーション 1: ウェークアップ
5	phy_resetb	R/W	このビットに 0 をセットすると 、PHYRESET 出力信号が 1 へアサートされます。PHYRESET 信号は PHY のリセットに利用可能です。このビットは自動解除されませんので、必ず PHY の リセット仕様時間経過後に 1 へクリアして下さい。 0: リセットアサート 1: リセットデアサート
4	suspend_x	R	サスペンド信号を検出します(UDC2 からの suspend_x 信号を同期化した値です)。 0: サスペンド状態 (<suspend_x> = 0) 1: 非サスペンド状態 (<suspend_x> = 1)
3	phy_suspend	R/W	本ビットを 1 にセットすることで、$\overline{\text{PHYSUSPEND}}$ 出力信号が 0 へアサート(CLK_H 同期)されます。PHY をサスペンドする時の端子として使用可能です。 本ビットを 1 にセットすると、UDC2 レジスタと UDFSDMACRDREQ へのアクセスが禁止となります。 レジューム時(UDC2 の suspend_x デアサート時)に自動的に 0 にクリアされます。 本ビットの利用方法に関しては「13.5.7 サスペンド、レジューム」も参照して下さい。 0: 非サスペンド状態 1: サスペンド状態
2	pw_detect	R	UDC2AB の VBUSPOWER 入力の状態を示します。 0: USB バスディスコネクト (VBUSPOWER = 0) 1: USB バスコネクト (VBUSPOWER = 1)
1	pw_resetb	R/W	UDC2AB 用のソフトウエアリセットです。(詳細は「13.5.1 リセット」参照)。本ビットを 0 にセットすることで、PW_RESETB 出力端子が 0 にアサートされます。 マスタ動作が停止した状態でリセットを行って下さい。 このビットは自動解除されませんので、必ずクリアして下さい。 0: リセットアサート 1: リセットデアサート
0	usb_reset	R	UDC2 からの usb_reset 信号を同期化した値です。 0: usb_reset = 0 1: usb_reset = 1

13.4.1.21 UDFSMSTSTS(Master Status Register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	mrepempty	mrbfemp	mwbfemp	mrepdset	mwepdset
After reset	0	0	0	1	1	1	0	0

Bit	Bit Symbol	Type	Function
31-5	−	R	Reset as undefined.
4	mrepempty	R	UDC2Rx 用 EP が空であることを示すレジスタです。UDFSC2STSET<tx0>を使って NULL パケットを送信する場合には、このビットが 1 であることを確認して下さい。(本ビットは eptx_empty 入力信号を CLK_H 同期したものです。) 0: EP にデータがあることを示します 1: EP が空であることを示します
3	mrbfemp	R	UDC2AB 内のマスタリード DMA 用バッファが空であるかどうかを示します。 0: マスタリード DMA 用バッファが空でないことを示します 1: マスタリード DMA 用バッファが空であることを示します
2	mwbfemp	R	UDC2AB 内のマスタライト DMA 用バッファが空であるかどうかを示します 0: マスタライト DMA 用バッファが空でないことを示します 1: マスタライト DMA 用バッファが空であることを示します
1	mrepdset	R	マスタリード DMA 転送により、UDC2 の Tx 用 EP へ送信データがセットされ、EP に書き込むスペースがなくなると 1 にセットされます。ホストからの IN-Token により UDC2 からデータが転送されると 0 になります。このビットが 0 であるときは EP への DMA 転送が可能です。(本ビットは eptx_dataset 入力信号を CLK_H 同期したものです。) 0: EP.　内にデータを転送可能です 1: EP　内にデータを転送するスペースがありません.
0	mwepdset	R	UDC2 の Rx 用 EP へ受信データがセットされると 1 にセットされます。全データがマスタライト用 DMA により読み出されると 0 になります。(本ビットは eprx_dataset 入力信号を CLK_H 同期したものです。 0: EP　内にデータはありません。 1: EP.　内に読み出すべきデータがあります。

13.4.1.22　UDFSTOUTCNT(Timeout Count Register)

	31	30	29	28	27	26	25	24
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	23	22	21	20	19	18	17	16
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
bit symbol	tmoutcnt							
After reset	1	1	1	1	1	1	1	1

Bit	Bit Symbol	Type	Function
31-0	tmoutcnt[31:0]	R	タイムアウトカウント値を読み出すレジスタで、デバッグ用です。UDFSMWTOUT の timeout_en ビットをイネーブルにした場合に、タイマの値が読み出せます。マスタライト用 EP(Rx 用 EP)が空になってから CLK_U をカウントするごとにデクリメントされます。 本レジスタは、直接アドレスを指定して読み出すことはできません。読み出す場合は、UDFSDMACRDREQ に値をセットして、次に、UDFSDMACRDVL より、値を読み出します。

13.4.2　UDC2 レジスタ

13.4.2.1　UDC2 レジスター覧

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
UDC Address-State Register	UDFS2ADR	0x0200
UDC2 Frame Register	UDFS2FRM	0x0204
-	Reserved	0x0208
UDC2 Command Register	UDFS2CMD	0x020C
UDC2 bRequest-bmRequest Type Register	UDFS2BRQ	0x0210
UDC2 wValue register	UDFS2WVL	0x0214
UDC2 wIndex Register	UDFS2WIDX	0x0218
UDC2 wLength Register	UDFS2WLGTH	0x021C
UDC2 INT Register	UDFS2INT	0x0220
UDC2 INT EP Register	UDFS2INTEP	0x0224
UDC2 INT EP Mask Register	UDFS2INTEPMSK	0x0228
UDC2 INT RX DATA0 Register	UDFS2INTRX0	0x022C
UDC2 EP0 MaxPacketSize Register	UDFS2EP0MSZ	0x0230
UDC2 EP0 Status Register	UDFS2EP0STS	0x0234
UDC2 EP0 Datasize Register	UDFS2EP0DSZ	0x0238
UDC2 EP0 FIFO Register	UDFS2EP0FIFO	0x023C
UDC2 EP1 MaxPacketSize Register	UDFS2EP1MSZ	0x0240
UDC2 EP1 Status Register	UDFS2EP1STS	0x0244
UDC2 EP1 Datasize Register	UDFS2EP1DSZ	0x0248

BaseAddress=0x4000_8000

レジスタ名		Address(Base+)
UDC2 EP1 FIFO Register	UDFS2EP1FIFO	0x024C
UDC2 EP2 MaxPacketSize Register	UDFS2EP2MSZ	0x0250
UDC2 EP2 Status Register	UDFS2EP2STS	0x0254
UDC2 EP2 Datasize Register	UDFS2EP2DSZ	0x0258
UDC2 EP2 FIFO Register	UDFS2EP2FIFO	0x025C
UDC2 EP3 MaxPacketSize Register	UDFS2EP3MSZ	0x0260
UDC2 EP3 Status Register	UDFS2EP3STS	0x0264
UDC2 EP3 Datasize Register	UDFS2EP3DSZ	0x0268
UDC2 EP3 FIFO Register	UDFS2EP3FIFO	0x026C
UDC2 EP4 MaxPacketSize Register	UDFS2EP4MSZ	0x0270
UDC2 EP4 Status Register	UDFS2EP4STS	0x0274
UDC2 EP4 Datasize Register	UDFS2EP4DSZ	0x0278
UDC2 EP4 FIFO Register	UDFS2EP4FIFO	0x027C
UDC2 EP5 MaxPacketSize Register	UDFS2EP5MSZ	0x0280
UDC2 EP5 Status Register	UDFS2EP5STS	0x0284
UDC2 EP5 Datasize Register	UDFS2EP5DSZ	0x0288
UDC2 EP5 FIFO Register	UDFS2EP5FIFO	0x028C
UDC2 EP6 MaxPacketSize Register	UDFS2EP6MSZ	0x0290
UDC2 EP6 Status Register	UDFS2EP6STS	0x0294
UDC2 EP6 Datasize Register	UDFS2EP6DSZ	0x0298
UDC2 EP6 FIFO Register	UDFS2EP6FIFO	0x029C
UDC2 EP7 MaxPacketSize Register	UDFS2EP7MSZ	0x02A0
UDC2 EP7 Status Register	UDFS2EP7STS	0x02A4
UDC2 EP7 Datasize Register	UDFS2EP7DSZ	0x02A8
UDC2 EP7 FIFO Register	UDFS2EP7FIFO	0x02AC
-	Reserved	0x02B0 to 0x32C
UDC2 INT NAK Register	UDFS2INTNAK	0x0330
UDC2 INT NAK MASK Register	UDFS2INTNAKMSK	0x0334
-	Reserved	0x0338 to 0x03FC

注 1) 上記で Reserved と記されている領域と 0x0400 ~ 0x0FFF の領域はアクセス禁止です。リードもライトもしないでください。

注 2) 各レジスタは、reset_x と USB_RESET で初期化されます。

13.4.2.2　UDC2 register へのアクセス方法

UDC2AB の AHB データバスのうち、bit15-0 が UDC2 データバスに接続されています。

bit31-16 はリードオンリー(リード値: 不定)となります。

ライト/リード共に WORD(32bit)アクセスを実行して下さい。(ただし、EPx_FIFO レジスタへのライトアクセスでは、BYTE(8bit)アクセスを行う時があります。詳細は後述します。)

ライト/リード共にアクセス完了までに時間がかかります

udc2_reg_rd 割り込みを利用して、必ず前の UDC2 レジスタアクセスが完了してから次のアクセスを開始して下さい。(リード時は UDFSUDC2RDREQ<udc2rdreq>でもアクセス状況が確認可能です。)

- ライトアクセス

  UDC2 レジスタへライトアクセスを実行する場合には、該当するアドレスに直接書き込んで下さい。
- リードアクセス

  UDC2 レジスタへリードアクセスを実行する場合には、UDFSUDC2RDREQ と UDFSUDC2RDVL を使用して下さい。

  まず、UDFSUDC2RDREQ にアクセスするアドレスをセットして、次に、読み出し用の UDFSUCS2RDVL より、データを読み出して下さい。「13.4.2.1 UDC2 レジスター覧」に示されたアドレスから直接読み出すことは出来ません。
- EPx_FIFO レジスタ

  EPx_FIFO レジスタにライトアクセスする場合、UDC2 PVCI I/F にて下位 1 バイトアクセスが必要となる場合があります。この時は、UDC2AB に対して、下位 1 バイトへの BYTE アクセスを行って下さい。

  リードアクセス時に下位 1 バイトのアクセスが必要な場合は、通常通り、UDFSUDC2RDREQ 経由でアクセスを行い、UDFSUCS2RDVL からデータをリードして下さい。この時、UDFSUCS2RDVL へのアクセスは、WORD/BYTE アクセスのどちらでも構いません。
- UDC2 内の Reserved レジスタ

  接続する UDC2 で未サポートとなっている EP のレジスタ、Reserved のレジスタにはアクセスしないで下さい。(仮にアクセスした場合は、UDC2AB から UDC2 へのアクセス自体は発生します。ライトアクセスの場合は、UDC2 への Dummy ライトとなります。リードアクセスの場合は、UDC2 からのリードデータ(udc2_rdata)は不定値となり、UDFSUDC2RDVL に不定値がセットされます。)
- UDC2 サスペンド時のアクセス

  UDC2 がサスペンド状態の時に、クロック/モード制御回路からのクロック(=CLK_U)供給が停止している場合は、UDC2 へのレジスタアクセスは不可能となります。この時は UDC2 へのレジスタアクセスは実行しないで下さい。なお、UDFSPWCTL<phy_suspend>を 1 にセットしている時に、UDC2 レジスタにアクセスした場合、AHB エラー応答となります。

UDC2 レジスタへのアクセスフローの図を以下に示します。

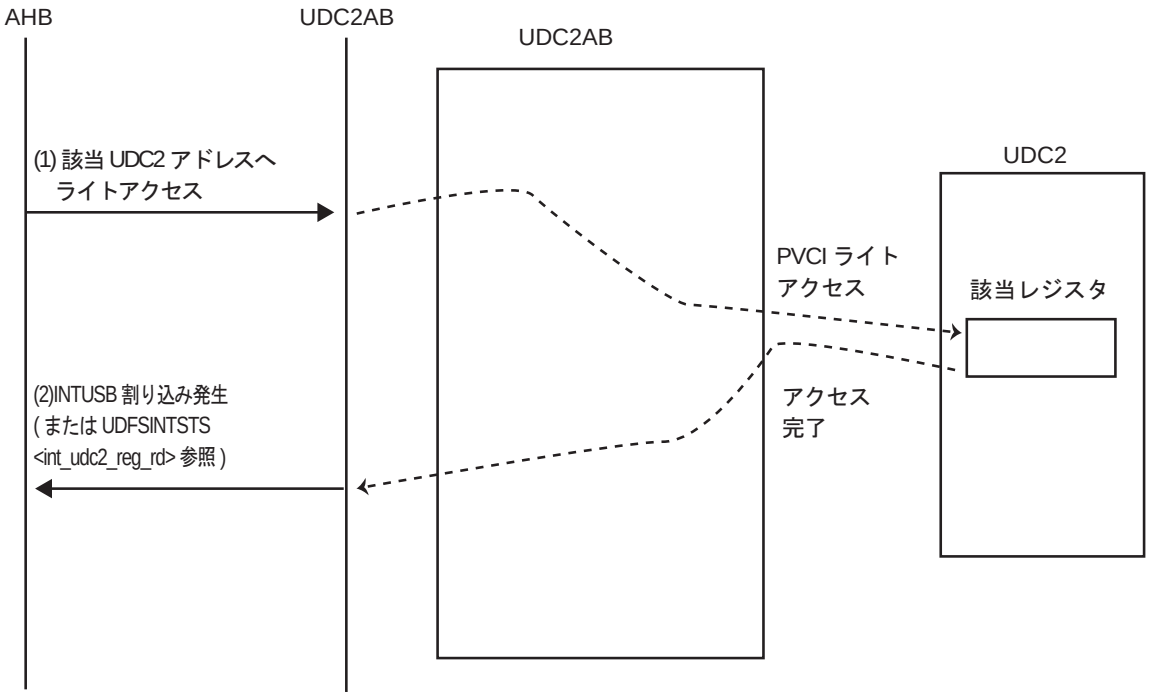


図 13-9 UDC2 レジスタ　ライトアクセスフロー

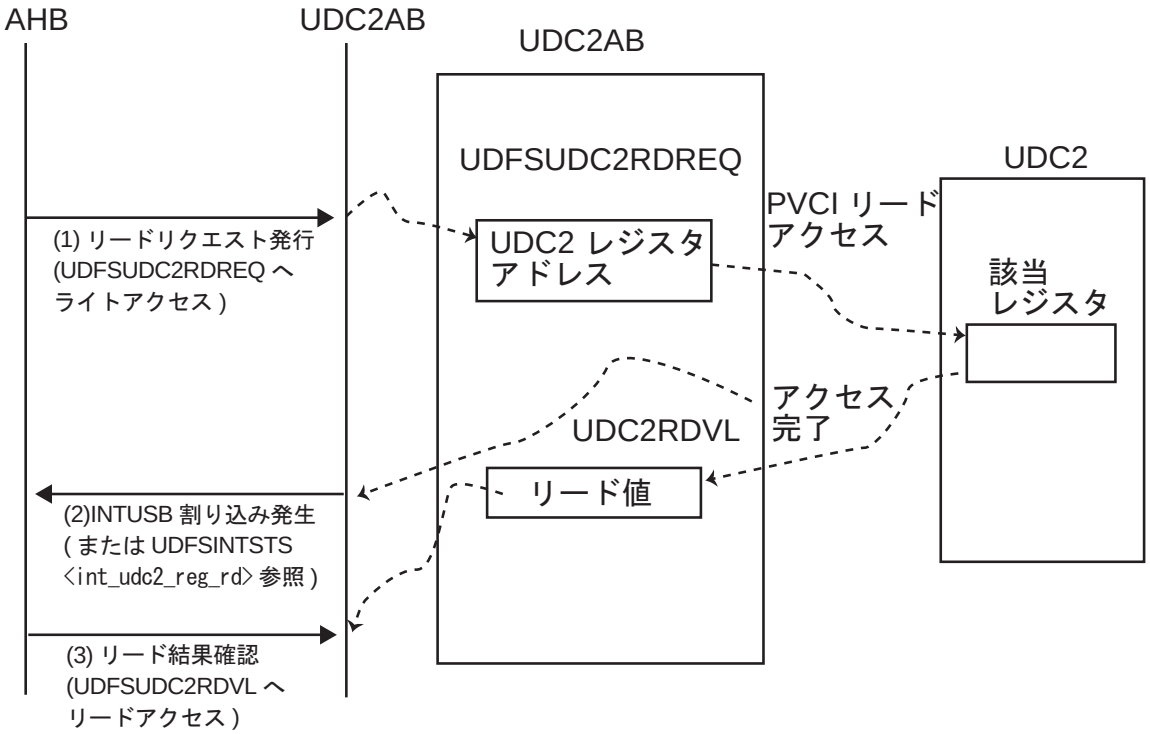


図 13-10 UDC2 レジスタ　リードアクセスのフロー

13.4.2.3　UDFS2ADR(Address-State register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	stage_err	ep_bi_mode	cur_speed		suspend	configured	addressed	default
After reset	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	dev_adr						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	stage_err	R/W	Control 転送が正常に STATUS-Stage まで終了したかを示します。DATA-Stage/STATUS-Stage 時に Setup-Token を受信、あるいは"STALL"送信時に 1 がセットされます。セットされた場合には、次の Control 転送が正常に終了した場合にクリアされます。 0: 下記条件以外 1: DATA-Stage/STATUS-Stage 時に Setup-Token を受信、あるいは"STALL"送信
14	ep_bi_mode	R/W	EP をドライバとして双方向に使用するかを選択します。この bit を 1 にセットすることにより、USB 通信上において一つの EP Number を双方向に扱うことが出来ます。 0: 単方向 1: 双方向
13-12	cur_speed[1:0]	R	現在の USB バス上での転送モードを示します。 00: Reserved 01: Full-Speed 10: Reserved 11: Reserved
11	suspend	R	UDC2 がサスペンド状態かどうかを示します。 0: Normal 1: Suspend
10	configured	R/W	現在の UDC2 のデバイスステートを設定します。ホストからのリクエスト受信に併せて、セットして下さい。なお、同時に複数の bit に 1 をセットしないように注意願います。 001: default(Default/Address state にいる時に Set_address リクエストにて DeviceAddress=0 を指定された時にセット) USB_RESET を受信時にはハードにてセットされます。 010: addressed(Set_address リクエストが正常終了時、Address / Configured state にいる時に Set_configuration リクエストにて ConfigurationVallue=0 を指定された時にセット) 100: configured(Set_config リクエストを受信時にセット)
9	addressed	R/W	
8	default	R/W	
7	–	R	Read as undefined.
6-0	dev_adr[6:0]	R/W	ホストから割り振られたデバイスアドレスを設定します。Set_address が正常終了後(STATUS-Stage 正常終了後)にデバイスアドレス値をセットして下さい。

13.4.2.4 UDFS2FRM(Frame register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	create_sof	-	f_status		-	frame		
After reset	0	0	1	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	frame							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	create_sof	R/W	ホストからの SOF がバスエラーにより取れない場合、SOF フラグを内部生成するかを設定します。Isochronous 転送を使用し、sof によりフレーム同期をとりたい場合にセットして下さい。イネーブルにすることにより、内部のフレーム時間カウンタを動作させることにより、SOF-Token を正常に受信出来なかった場合にも SOF フラグを出力します。 0: 生成しない 1: 生成する
14	–	R	read as undefined.
13-12	f_status[1:0]	R	フレーム番号の状態を示します 00: Before : <create_sof>イネーブル時にマイクロ SOF/SOF を受信から 1frame-time(FS:1ms) 経過してもマイクロ SOF/SOF を受信しなかったときにセットされます。UDFS2FRM には 1 つ前のマイクロ SOF/SOF で受信したときのフレーム番号がセットされています。 01: Valid : マイクロ SOF/SOF を受信するとセットされます。UDFS2FRM には有効なフレーム番号がセットされていることを示しています。 10: Lost : ホストが管理しているフレーム番号と UDFS2FRM の値とが同期が取れていない状態示しています。そのため以下の 2 つの場合にセットされます。 1. システムリセット後あるいはサスペンド時 2. <create_sof>イネーブル時に前回マイクロ SOF/SOF を受信してから 2frame-time(FS:1x2ms)以上経過しても次のマイクロ SOF/SOF を受信しなかった時 <create_sof>がディセーブル時はシステムリセット後かサスペンド時しか Lost には遷移しません。
11	–	R	Read as undefined.
10-0	frame[10:0]	R	sof 受信時のフレーム番号を示します。 <f_status>が "valid"の時有効となります。 <f_status>が"before"あるいは"lost"の時は正しい値がセットされていませんので、使用しないで下さい。

13.4.2.5　UDFS2CMD(Command register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	int_toggle	-	-	-	rx_nulpkt_ep			
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ep				com			
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15	int_toggle	R/W	Interrupt-IN 転送時に、Handshake 未受信時の DATA-PID をトグルする様に設定します。 0: 未受信はトグルしない 1: 未受信時もトグルする
14-12	−	R	Read as undefined.
11-8	rx_nulpkt_ep [3:0]	R	Zero-Length データ受信時に、受信した EP を示します。 INT_RX_ZERO フラグがアサートされたとき、この bit をリードしてどの EP に対するものかを確認してください。このレジスタの値は一度 Zero_Length データを受信し EP 番号を保持すると、次に Zero-Length データを受信するかハードウェアリセットまで保持します。また、OUT 方向の EP が複数ある場合には、Zero-Length データを受信ごとにこの bit を更新してしまいます。その場合は UDFS2INTRX0 を使用することにより、どの EP に受信したかを確認できます。
7-4	ep[3:0]	R/W	発行されるコマンドが有効となる EP を設定します(存在しない EP は指定しないでください)
3-0	com[3:0]	R/W	ep[3:0]にて選択した EP に対して発行するコマンドを設定します。詳細については「13.2.2.3 EP に対して発行するコマンドの説明」を参照してください。 0x0: Reserved 0x1: Setup_Fin 0x2: Set_DATA0 0x3: EP_Reset 0x4: EP_Stall 0x5: EP_Invalid 0x6: Reserved 0x7: EP_Disable 0x8: EP_Enable 0x9: All_EP_Invalid 0xA: USB_Ready 0xB: Setup_Received 0xC: EP_EOP 0xD: EP_FIFO_Clear 0xE: EP_TX_0DATA 0xF: Reserved

13.4.2.6 UDFS2BRQ(bRequest-bmRequest Type register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	request							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dir	req_type		recipient				
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined
15-8	request[7:0]	R	Setup-Token で受信した 2 バイト目のデータ(bRequest フィールド)
7	dir	R	Setup-Token で受信した 1 バイト目のデータ(b m RequestType フィールド) Control 転送の方向 0: Control-WR 転送 1: Control-RD 転送
6-5	req_type[1:0]	R	リクエストの種類 00: スタンダートリクエスト 01: クラスリクエスト 10: ベンダーリクエスト 11: Reserved
4-0	recipient[4:0]	R	リクエストの受け取り先 0_0000: Device 0_0001: Interface 0_0010: EP 0_0011: etc. 0_0100-1_1111: Reserved

13.4.2.7　UDFS2WVL(wValue register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	value							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	value							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15-8	value[15:8]	R	Setup-Token で受信した 4 バイト目のデータ(wValue(High)フィールド)を示します。
7-0	value[7:0]	R	Setup-Token で受信した 3 バイト目のデータ(wValue(Low)フィールド)を示します。

13.4.2.8 UDFS2WIDX(wIndex register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	index							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	index							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined
15-8	index[15:8]	R	Setup-Token で受信した 6 バイト目のデータ(wIndex(High)フィールド)を示します.
7-0	index[7:0]	R	Setup-Token で受信した 5 バイト目のデータ(wIndex(Low)フィールド)を示します。

13.4.2.9　UDFS2WLGTH(wLength register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	length							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	length							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined
15-8	length[15:8]	R	Setup-Token で受信した 8 バイト目のデータ(wLength(High)フィールド)を示します。
7-0	length[7:0]	R	Setup-Token で受信した 7 バイト目のデータ(wLength(Low)フィールド)を示します。

13.4.2.10 UDFS2INT(INT register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	m_nak	m_ep	m_ep0	m_sof	m_rx_data0	m_status	m_status_nak	m_setup
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_nak	i_ep	i_ep0	i_sof	i_rx_data0	i_status	i_status_nak	i_setup
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	m_nak	R/W	<i_nak>を INT_NAK 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
14	m_ep	R/W	<i_ep>を INT_EP 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
13	m_ep0	R/W	<i_ep0>を INT_EP0 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
12	m_sof	R/W	<i_sof>を INT_SOF 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
11	m_rx_data0	R/W	<i_rx_data0>を INT_RX_ZERO 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
10	m_status	R/W	<i_status>を INT_STATUS 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
9	m_status_nak	R/W	<i_status_nak>を INT_STATUS_NAK 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
8	m_setup	R/W	<i_setup>を INT_SETUP 端子に出力するかどうかを設定します。 0: 出力する 1: 出力しない
7	i_nak	R/W	EP0 以外の各 EP が NAK を送信すると、1 にセットされます。 (INT_NAK フラグ出力をしたい EP については、UDFS2INTNAKMSK にて選択可能です)。この bit に 1 をライトすることで UDFS2INTNAK の各 bit も 0 にクリアされます。
6	i_ep	R/W	EP0 を除く各 EP に対する転送が正常に終了時、1 にセットされます。 (フラグ出力をしたい EP については、USFS2INTEPMSK にて選択可能です)。この bit に 1 をライトすることで UDFS2INTEP の各 bit も 0 にクリアされます。
5	i_ep0	R/W	EP0 に対する転送が正常に終了時、1 にセットされます。
4	i_sof	R/W	SOF-token 受信時、あるいは create_sof モードで 1frame-time カウント時に 1 にセットされます。
3	i_rx_data0	R/W	Zero-Length データを受信時に 1 にセットされます。(フラグ出力をしたい EP については、USFS2INTEPMSK にて選択可能です)。この bit に 1 をライトすることで UDFS2INTRX0 の各 bit も 0 にクリアされます。また、Control-RD 転送の STATUS-Stage で Zero-Length データを受信した時には、1 にセットされません。

Bit	Bit Symbol	Type	Function
2	i_status	R/W	EP0 における Control 転送において STATUS-Stage 正常終了時、1 にセットされます。(Control-RD 転送において STATUS-Stage で Zero-Length データを受信し正常終了、Control-WR 転送において STATUS-Stage で Zero-Length データを送信した後に正常終了すると 1 にセットされます。)
1	i_status_nak	R/W	EP0 における Control-RD 転送において、STATUS-Stage のパケット受信時に"NAK"を返信した場合、1 にセットされます。この bit がセットされた場合、DATA-Stage は終了していますので、UDFS2CMD により"Setup-Fin"コマンドをセットし、UDC2 のステージを STATUS-Stage へと移行させて下さい。また、Control-WR 転送の DATA-Stage において MaxPacketSize(64 バイト)の整数倍を受信する際に、DATA-Stage の最後を示すために Zero-Length データを受信することがあります。その後、STATUS-Stage での In-token 受信時に、この<i_status_nak>により DATA-Stage が終わったことを認識することができますので、UDC2 を STATUS-Stage へと移行させて下さい。
0	i_setup	R/W	EP0 における Control 転送において、Setup-token 受信時に 1 にセットされます。

13.4.2.11 UDFS2INTEP(INT_EP register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_ep7	i_ep6	i_ep5	i_ep4	i_ep3	i_ep2	i_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-1	i_ep7 - i_ep1	R/W	EP(EP0 を除く)送受信状態フラグ EP0 を除く各 EP に対する転送が正常に終了時、該当 bit が 1 にセットされます。(int_ep フラグを外部に出力したい EP については、USFS2INTEPMSK にて選択可能です。) 0: 送受信なし 1: 送受信有り
0	−	R/W	Read as undefined.

13.4.2.12　UDFS2INTEPMSK(INT_EP_MASK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	m_ep7	m_ep6	m_ep5	m_ep4	m_ep3	m_ep2	m_ep1	m_ep0
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-0	m_ep7 - m_ep0	R/W	フラグ出力マスク制御 0 : 出力する 1: 出力しない UDFS2INTEP 及び UDFS2INTRX0 の各フラグを、それぞれ int_ep 端子、int_rx_zero 端子へ出力するかどうかを設定します。各 EP がマスクされた場合、該当 EP の転送正常終了時に UDFS2INTEP の各 bit はセットされますが、int_ep 端子はアサートされません。同様に、各 EP がマスクされた場合、該当 EP の Zero-Length データ受信時に、UDFS2INTRX0 の各 bit はセットされますが、int_rx_zero 端子はアサートされません。ただし、bit0 は UDFS2INTRX0 のみに有効です。

(1)　UDFS2INT / UDFS2INTEP / UDFS2INTEPMSK の使い方

EP1~3 のケースで UDFS2INT / UDFS2INTEP / UDFS2INTEPMSK の使い方の例を示します。

1. EP1/EP2 を DMA(EP-I/F)で使用し、EP3 のみ PVCI-I/F 経由で使用する場合

UDFS2INT	<i_ep>	EP3 の割り込み要因として使用します。クリア時もこの bit を使用します
	<m_ep>	EP3 の割り込み要因のマスクとして使用します
UDFS2INTEP	<i_ep1>	Don't care
	<i_ep2>	Don't care
	<i_ep3>	Don't care
UDFS2INTEP MSK	<m_ep1>	1 をセットしてマスクして下さい
	<m_ep2>	1 をセットしてマスクして下さい
	<m_ep3>	0 を書いてください

2. EP2/EP3 が PVCI-I/F、EP1 が DMA として使用する場合

　初期化後、DMA で使用する EP の UDFS2INTEPMSK に 1 をセットしてマスクしてください。複数の EP に対して割り込み応答を行う場合は、必ず UDFS2INTEP を使用します。UDFS2INT の<i_ep>は無視して、<m_ep>については必ず 0 のイネーブルとしてください。

UDFS2INT の<i_ep>を使用した要因のクリアは行わないでください。割り込み発生後は、UDFS2INT と UDFS2INTEP の 2 つのレジスタを確認して要因を決定する必要があります。　割り込み要因のクリアは UDFS2INTEP の各要因 bit を使用してクリアしてください。

UDFS2INT	<i_ep>	0 を書いてください
	<m_ep>	0 を書いてください
UDFS2INTEP	<i_ep1>	Don't care
	<i_ep2>	EP2 の割り込み要因として使用します。クリア時もこの bit を使用します。
	<i_ep3>	EP3 の割り込み要因として使用します。クリア時もこの bit を使用します。
UDFS2INTEP MSK	<m_ep1>	1 をセットしてマスク下さい。
	<m_ep2>	EP2 の割り込み要因のマスクとして使用します。"0"を書いてください。
	<m_ep3>	EP3 の割り込み要因のマスクとして使用します。"0"を書いてください。

13.4.2.13　UDFS2INTRX0(INT_RX_DATA0 register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	rx_d0_ep7	rx_d0_ep6	rx_d0_ep5	rx_d0_ep4	rx_d0_ep3	rx_d0_ep2	rx_d0_ep1	rx_d0_ep0
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-0	rx_d0_ep7 to rx_d0_ep0	R/W	EP Zero-Length データ受信フラグ 0: Zero-Length データ受信なし 1: Zero-Length データ受信あり 各 EP が Zero-Length データを受信した時、該当 bit が 1 にセットされます。(int_rx_zero フラグを外部に出力したい EP については、UDFS2INTEPMSK にて選択可能です。) なお、bit0(EP0) に関しましては、リクエスト処理中、DATA-Stage での Zero-Length データ受信時にのみ 1 にセットされます。STATUS-Stage での Zero-Length データ受信時にはセットされませんので、int_status フラグを使用して下さい。

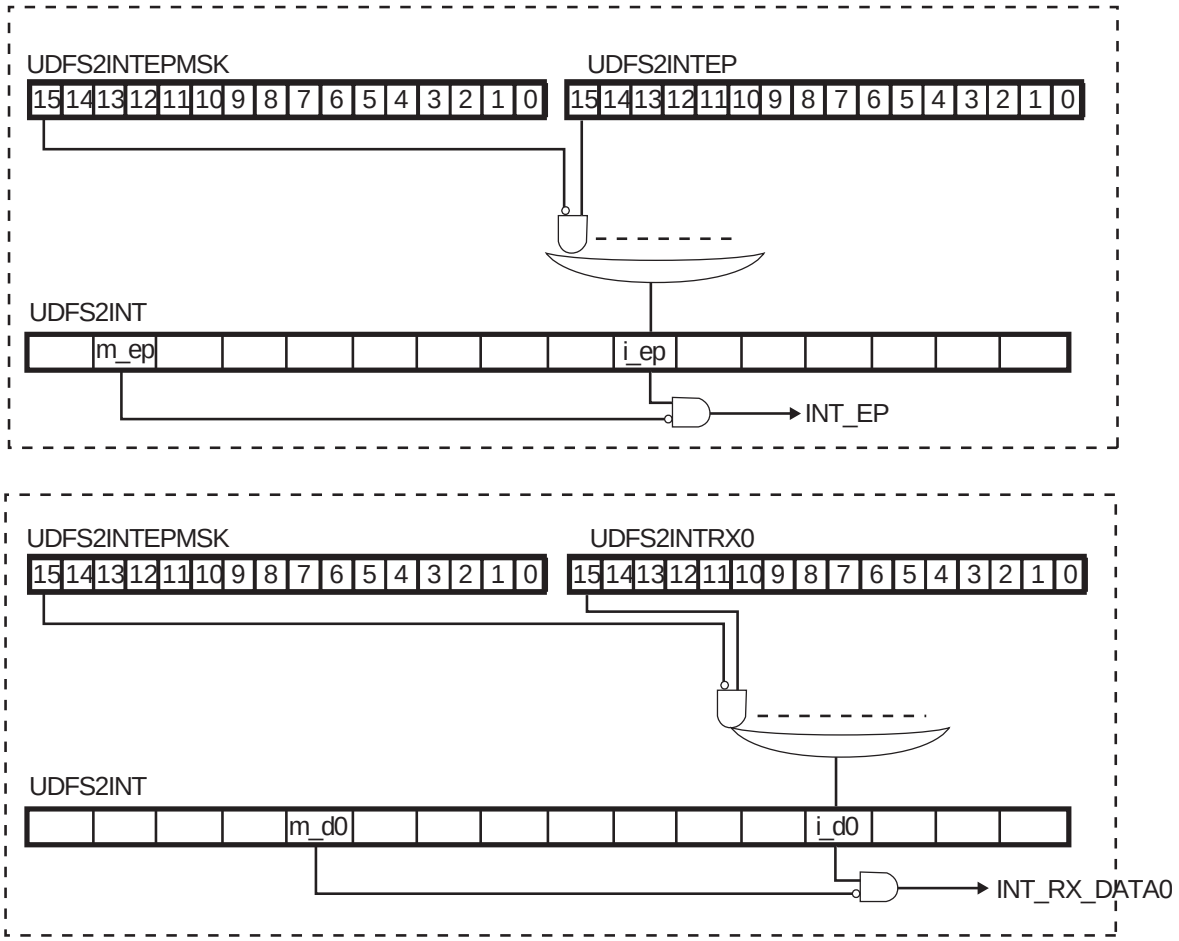


図 13-11 割り込みステータスとマスクレジスタ

13.4.2.14　UDFS2INTNAK(INT_NAK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	i_ep7	i_ep6	i_ep5	i_ep4	i_ep3	i_ep2	i_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15-8	Reserved	R/W	Write as "0",
7-1	i_ep7 to i_ep1	R/W	EP(EP0 を除く)NAK 送信状態フラグ 0: NAK 送信なし 1: NAK 送信有り EP0 を除く各 EP が NAK を送信すると該当 bit が 1 にセットされます。(該当 EP について INT_NAK フラグを出したいときは UDFS2INTEPMSK にて選択可能です。)
0	−	R	Read as undefined.

13.4.2.15 UDFS2INTNAKMSK(INT_NAK_MASK register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	m_ep7	m_ep6	m_ep5	m_ep4	m_ep3	m_ep2	m_ep1	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15-8	Reserved	R/W	Write as "0".
7-1	m_ep7 to m_ep1	R/W	フラグ出力マスク制御 0: 出力する 1: 出力しない UDFS2INTNAK の各フラグを、それぞれ int_nak 端子へ出力するかどうかを設定します。各 EP がマスクされた場合、該当 EP の転送で NAK 送信時に UDFS2INTNAK の各 bit はセットされますが、int_nakí[éqÇÕÉA サートされません。
0	–	R	Read as undefined.

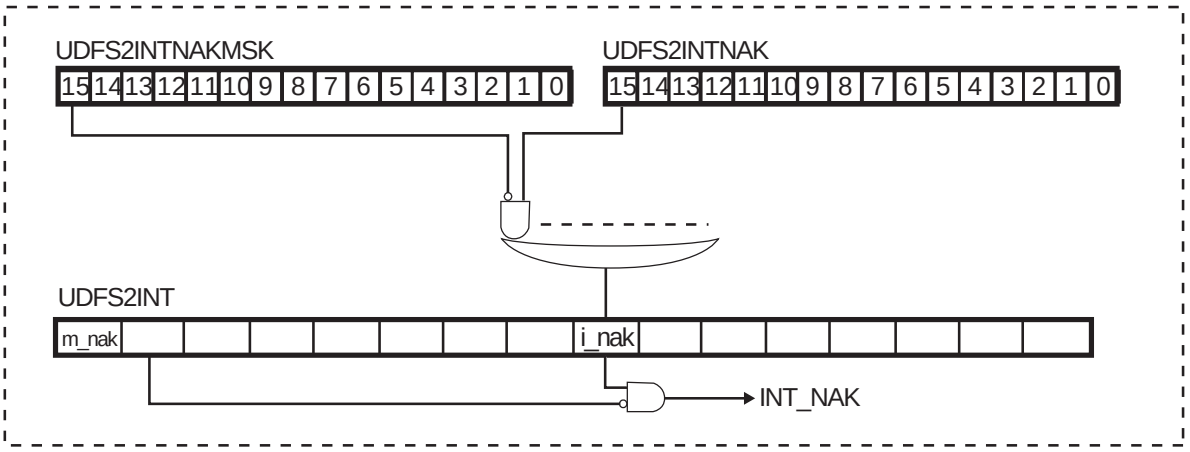


図 13-12 割り込みステータスとマスクレジスタ

13.4.2.16 UDFS2EP0MSZ(EP0_MaxPacketSize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	tx_0data	-	-	dset	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	max_pkt						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as defined.
15	tx_0data	R	UDFS2CMD により EP0 に対して"EP_TX_0DATA"コマンドを発行すると、この bit が 1 にセットされ、Zero-Length データを送信終了後 0 にクリアされます。
14-13	–	R	Read as defined.
12	dset	R	UDFS2EP0FIFO の状態を示します。Setup-Token 受信時に 0 にクリアされます。 0: 有効データ無し 1: 有効データ有り
11-7	–	R	Read as "0".
6-0	max_pkt[6:0]	R/W	EP0 の MaxPacketSize を設定します

13.4.2.17　UDFS2EP0STS(EP0_Status register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ep0_mask	-	toggle		status			-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15	ep0_mask	R	Setup-Token 受信後、1 にセットされます。"Setup_Received"コマンドを発行することにより 0 にクリアされます。この bit が 1 の間は、UDFS2EP0FIFO への書込みが行われません。 0: UDFS2EP0FIFO 書込み可 1: UDFS2EP0FIFO への書込み不可
14	−	R	Read as undefined.
13-12	toggle[1:0]	R	現在の EP0 のトグル値を示します。 00: DATA0 01: DATA1 10: Reserved 11: Reserved
11-9	status[2:0]	R	現在の EP0 の状態を示します。なお、Setup-Token を受信すると、"Ready"にクリアされます。 000: Ready (通常の状態を示します) 001: Busy (STATUS-Stage で、"NAK"を受信した際にセットされます。) 010: Error (受信データが CRC エラーの場合、およびデータ送信後タイムアウトした際にセットされます) 011: Stall (Control-RD 転送において Length 以上のデータを要求された場合に"STALL"を返信し、status がセットされます。また、UDFS2CMD により"EP0-STALL"を発行した場合もセットされます) 100 to 111: Reserved
8-0	−	R	Read as undefined.

13.4.2.18 UDFS2EP0DSZ(EP0_Datasize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	size						
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-7	−	R	Read as undefined.
6-0	size[6:0]	R	UDFS2EP0FIFO に格納されている有効データバイト数を示します。 Setup-Token 受信時にクリアされます。

13.4.2.19　UDFS2EP0FIFO(EP0_FIFO register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	data							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	data							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15-0	data[15:0]	R/W	EP0 への PVCI-I/F からのデータアクセスに使用します。 このレジスタへのアクセス方法については、「13.7.1.1 Control-RD 転送」、「13.7.1.2 Control-WR 転送(DATA-Stage なし)」、「13.7.1.3 Control-WR 転送(DATA-Stage あり)」を参照ください。 このレジスタに格納されているデータは、リクエスト受信時(INT_SETUP 割り込みアサート時)にクリアされます。

13.4.2.20 UDFS2EPxMSZ(EPx_MaxPacketSizeRegister)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	tx_0data	-	-	dset 注 1)	-	max_pkt		
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	max_pkt							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	–	R	Read as undefined.
15	tx_0data	R	UDFS2CMD により EPx に対して"EPx_TX_0DATA"コマンドを発行するか、EP-I/F で Zero-Length データをセットすると、この bit が 1 にセットされます。Zero-Length データを送信終了後 0 にクリアされます。
14-13	–	R	Read as undefined.
12	dset	R	EPx_FIFO の状態を示します 0: 有効データ無し。 1: 有効データ有り。
11	–	R	Read as undefined.
10-0	max_pkt[10:0]	R/W	EPx の MaxPacketSize を設定します Set_Configuration、Set_Interface 受信時に EP の構成を行う時にセットして下さい。 送信用 EP 使用時には偶数をセットして下さい。USB 上、送信用 EP の MaxPacketSize を奇数として動作させる場合には、max_pkt には偶数をセットし、EP への Write アクセスで奇数アクセスを実行して下さい。(例えば、MaxPacketSize を 1023 バイトとする場合、max_pkt には 1024 をセットして下さい。) 注）詳細は、「13.9.2 Appendix B MaxPacketSize 奇数バイト設定関連」を参照して下さい。.

注 1) <dset>のリセット後の初期値は、EPx が Tx 用 EP の場合は 1 に、Rx 用 EP の場合は 0 となります。

注 2) <dset>の USB_RESET 後の初期値は、EPx が Tx 用 EP の場合は 1 に、Rx 用 EP の場合は"保持"となります。

注 3) X=1~7

13.4.2.21　UDFS2EPxSTS(EPx_Status register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	pkt_mode	bus_sel	toggle		status			disable
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	dir	-	-	-	t_type		num_mf	
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	Read as undefined.
15	pkt_mode	R/W	EPx のパケットモードを選択します。Dual モードを選択することにより、EPx に対する 2 つのパケットデータを保持することが可能となります。 0: Single モード 1: Dual モード
14	bus_sel	R/W	EPx の FIFO へのアクセスをするバスを選択します 0: 共通バスアクセス 1: 直接アクセス
13-12	toggle[1:0]	R	現在の EPx のトグル値を示します。 00: DATA0 01: DATA1 10: DATA2 11: MDATA
11-9	status[2:0]	R	現在の EPx の状態を示します。UDFS2CMD より EP_Reset を発行することにより status は"Ready"となります。 000: Ready (通常の状態を示します) 001: Reserved 010: Error(データパケットに受信エラーが発生した時、または送信後タイムアウトが発生した時にセットされます。但し、"Stall"、"Invalid"がセットされている場合にはセットされません)。 011: Stall (UDFS2CMD により"EP_Stall"を発行した場合にセットされます) 100 to 110: Reserved 111: Invalid (この EP が無効の状態であることを示します)。
8	disable	R	EPx の転送許可状態を示します。"禁止"状態にある場合、この EP に対する Token に対しては"NAK"を返信し続けます。 0: 許可 1: 禁止
7	dir	R/W	この EP に対する転送方向を設定します 0: OUT (Host-to-device) 1: IN (Device-to-host)
6-4	−	R	Read as undefined.
3-2	t_type[1:0]	R/W	この EP の転送モードを設定します。. 00: Control 01: Isochronous 10: Bulk 11: Interrupt
1-0	num_mf[1:0]	R/W	Isochronous 転送を選択した場合、 フレーム中に何回転送をするかを設定します。 00: 1-transaction 01: 2-transaction 10: 3-transaction 11: Reserved

注 1) このレジスタへは、Set_Configuration、Set_Interface 受信時に EP の構成を行う時にセットして下さい。

注 2) x=1~7

注 3) 各 EP の設定は、製品仕様に依存します。EP1、EP3、EP5、EP7 は IN 転送固定の仕様ですので、"1"を設定してください。また、EP2、EP4、EP6 は OUT 転送固定の仕様ですので、"0"を設定してください。

13.4.2.22　UDFS2EPxDSZ(EPx_Datasize register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	size		
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	size							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-11	−	R	Read as undefined.
10-0	size[10:0]	R	EPx_FIFO に格納されている有効データバイト数を示します。なお、Dual パケットモード時には、最初にアクセスするパケットのデータバイト数を示します。

注)　x=1~7

13.4.2.23 UDFS2EPxFIFO(EPx_FIFO register)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
After reset	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	data							
After reset	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	data							
After reset	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-16	−	R	0.
15-0	data[15:0]	R/W	EP x への PVCI-I/F からのデータアクセスに使用します。

注) x=1~7

13.5　UDC2AB 動作詳細

13.5.1　リセット

UDC2AB は、UDCFSPWCTL<pw_resetb>によるソフトウェアリセットをサポートしています。

また、DMA マスタ転送用に、マスタチャネルリセット(UDFSMSTSET<mr_reset>< mw_reset>)もサポートしています。

- ソフトウェアリセット (UDFSPWCTL<pw_resetb>)

  各レジスタのビットには、ハードウェアリセットでは初期化されるもの、ソフトウエアリセットでは初期化されずに値が保持されるものがあります。詳細は各レジスタの説明に記載していますので、「13.4.1.1 UDC2AB レジスター覧」を参照して下さい。

  USB バス電源を検出した際には初期化を行う必要がありますので、ソフトウエアリセットを行って下さい。

- マスタチャネルリセット(UDFSMSTSET<mr_reset><mw_reset>

  マスタライト転送ブロックへは<mw_reset>、マスタリード転送ブロックへは<mr_reset>を用意していますが、該当するマスタブロックの初期化を行うのみで UDC2AB レジスタは初期化されません。各リセットの使用方法については「13.4.1.6 UDFSMSTSET(DMAC Setting Register)」を参照して下さい。

13.5.2 割り込み

UDC2AB が発生する割り込みには、INTUSB 割り込みと INTUSBWKUP 割り込みの 2 つがあります。

13.5.2.1 INTUSB 割り込み

INTUSB 割り込みは、UDC2 から発生する割り込みと、それ以外から発生する割り込みから構成されます。

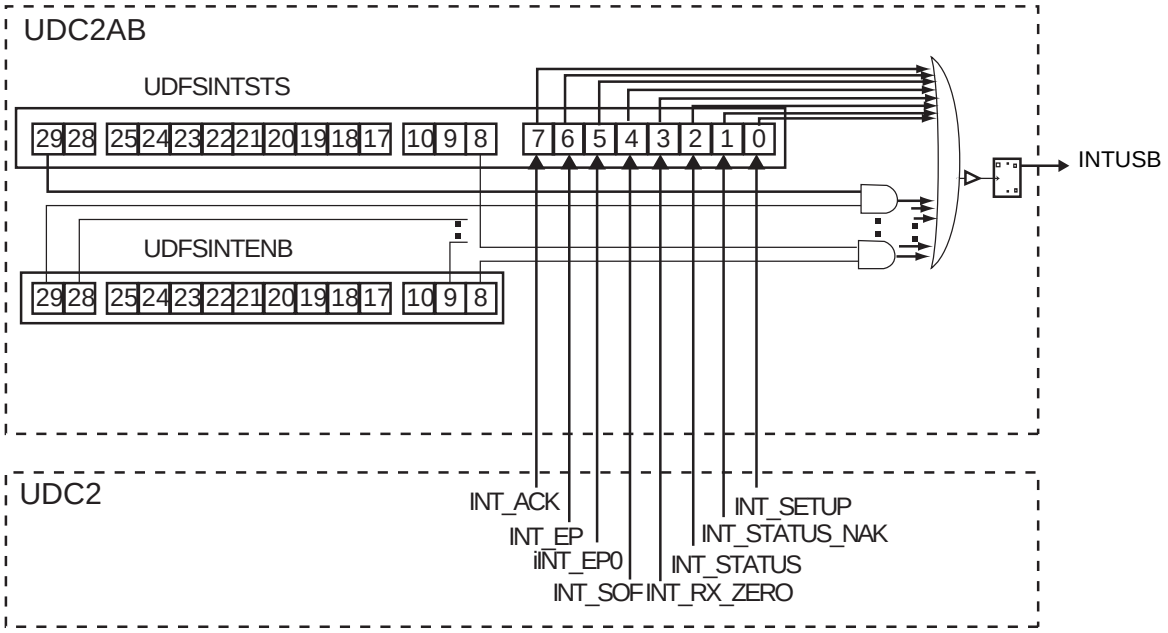
割り込み条件が成立すると、UDC2AB は UDFSINTSTS の対応ビットをセットします。このビットがセットされた時、UDFSINTENB の該当ビットがイネーブルに設定されていると、INTUSB がアサートされます。

UDFSINTENB の該当ビットをディセーブルに設定している時は、割り込み要因が発生すると、対応する UDFSINTSTS のビットには 1 がセットされますが、INTUSB はアサートされません。

UDFSINTSTS のビットがセットされている状態で、UDFSINTENB の該当ビットをイネーブルにセットすると、セット直後に INTUSB がアサートされます。

UDFSINTENB の初期値は、全て 0(ディセーブル）です。

INTUSB 割り込みは CLK_H が停止しているときには発生しません。



注)UDC2 のフラグのマスクは UDFS2INT で行います。

図 13-13 INTUSB とレジスタの関係

13.5.2.2　INTUSBWKUP 割り込み

INTUSBWKUP 割り込みは $\overline{\text{WAKEUP}}$ 出力信号の立下りで発生します。

WAKEUP 出力信号は UDFSPWCTL<wakeup_en>が 1 で、サスペンドが解除されたとき(UDFSPWCTL<suspend_x>=1)、または VBUS がディスコネクトされたとき(VBUSPOWER=0)にアサートされます。

INTUSBWKUP 割り込みは CLK_H の状態と関係なく発生します。

13.5.3 動作シーケンス

UDC2AB を動作させるときにシーケンスは以下の通りです。

1. ハードウェアリセット

2. 割り込み信号の設定

   INTUSB 割り込み、INTUSBWKUP 割り込み、USBPON 割り込みの割り込み設定をしてください。

3. VBUS 検出(コネクト）とリセット

   詳細は、「13.5.5.2 USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス」と「13.5.1 リセット」を参照して下さい。

4. USB エニュメレーション応答

   詳細は、「13.6 USB Device 応答」を参照して下さい。

5. マスタリード/マスタライト転送
   a. マスタリード転送

      USB ホストからの受信リクエストに対応して、マスタリード転送を行って下さい。詳細は、「13.5.4.1 マスタリード転送」を参照して下さい。
   b. マスタライト転送

      USB ホストからの送信リクエストに対応して、マスタライト転送を行って下さい。詳細は、「13.5.4.2 マスタライト転送」を参照して下さい

6. VBUS 検出(ディスコネクト）

   任意のタイミングで USB バス電源が切断される可能性があります。

   詳細は、「13.5.5.2 USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス」を参照して下さい。

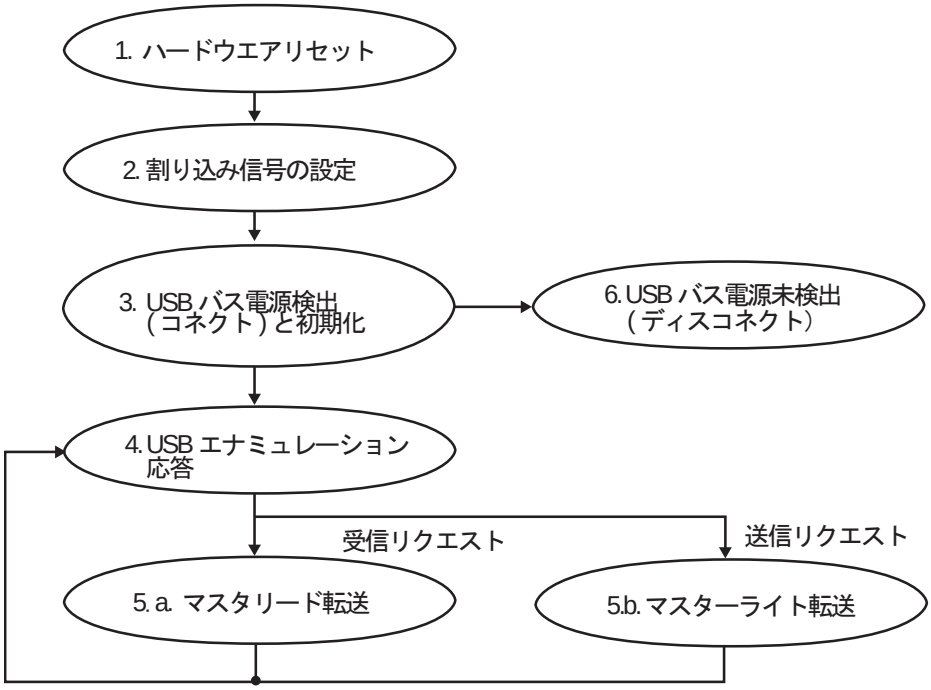


図 13-14 動作シーケンス

13.5.4 マスタ転送動作

UDC2AB のマスタ転送動作について説明します。

マスタ転送を起動する場合は、UDC2 の該当 EP の転送設定(UDFS2EPxSTS<bus_sel> (x=0 を除く))に、必ず、"直接アクセスモード"を設定して下さい。"共通バスアクセス"に設定されている状態での DMAC の起動は禁止としています。

13.5.4.1 マスタリード転送

(1) マスタリードモード

マスタリードモードには、EOP イネーブルモードと EOP ディセーブルモードがあります。

(a) EOP イネーブルモード

UDC2STSET <eopb_enable>を 1(マスタリード EOP イネーブル)に設定時のマスタリード転送について説明します。マスタリード動作は下記のような動作となります。

1. UDFSMWSADR と UDFSMWEADR を設定して下さい。
2. UDFSMSTSET のマスタリード動作に関するビットを設定し、<mr_enable>を 1 にセットして下さい。
3. UDC2AB は、UDC2 の EP へのデータ転送を開始します。UDC2 は USB ホストからの IN トークンに対してデータを転送します。
4. マスタリード転送がマスタリードエンドアドレスまで到達すると、UDC2AB は mr_end_add 割り込みをアサートします。
5. ソフトウエアによる対応が終了したならば、1 へ戻ります。

・ ショートパケットについて

転送サイズ(Master Read End Address - Master Read Start Address ＋ 1)が Max パケットサイズの等倍ではない場合は、最後の IN 転送がショートパケットの転送となります。

例:マスタリード転送サイズ: 139 バイト、Max　パケットサイズ 64 バイトの場合

下記の順で転送が行われます

1 回目	→	2 回目	→	3 回目
64 バイト		64 バイト		11 バイト

・ mr_end_add 割り込みについて

mr_end_add 割り込みは、UDC2 EP へのデータ転送が終了した時点で発生します。UDC2 から USB ホストに向かっての全てのデータ転送が終了したことを確認するためには、UDFSMSTSTS<mrepempty>を確認して下さい。

(b) EOP ディゼーブルモード

UDC2STSET <eopb_enable>を 0(マスタリード EOP ディセーブル)に設定時のマスタリード転送について説明します。マスタリード動作は下記のような動作となります。

1. UDFSMWSADR と UDFSMWEADR を設定して下さい。

2. UDFSMSTSET のマスタリード動作に関連するレジスタを設定し、<mr_enable>に 1 をセットして下さい。

3. UDC2AB は、UDC2 の EP へのデータ転送を開始します。UDC2 は USB ホストからの IN トークンに対してデータを転送します。

4. マスタリードエンドアドレスまで到達すると、UDC2AB は mr_end_add 割り込みをアサートします。マスタリード転送にて EP の FIFO が Max パケットサイズに達している場合、USB ホストからの IN トークンに対してデータが転送されますが、達していない場合 FIFO にデータが残り、次回以降の転送に持ち越されます。

5. ソフトウエアによる対応が終了したならば、1 へ戻ります。

注)　UDC2AB を EOF ディセーブルモードで使用する場合、送信すべきデータ列の転送が終了してもショートパケットを送信しません。データ列が Max パケットサイズの等倍のときのみ EOP ディセーブルモードを使用してください。

データ列の合計が Max パケットサイズの等倍であれば構いませんので、例えば、以下のような転送が可能です。

例

1 回目マスタリード転送サイズ	:100 バイト
2 回目マスタリード転送サイズ	:28 バイト(1 回目+2 回目=128 バイト)
Max パケットサイズ	:64 バイト

といった構成の時は、IN 転送に対して 64 バイト×2 回の転送が行われます。

(2)　マスタリードのアボート処理

マスタリード転送中断(アボート）動作は下記のような動作となります。

1. UDC2 Command レジスタを使用して、該当 EP のステータスをディセーブル状態(EP_Disable)にして下さい。 (もし、EP をディセーブル状態にしないで、アボートした場合、意図していないデータを USB ホストに転送する可能性があります。)

2. マスタリード転送を中止するため、UDFSMSTSET <mr_abort>に 1 (アボート）をセットして下さい。

3. アボート完了を確認するため、UDFSMSTSET< mr_enable>が 0 にディセーブルされるのを確認して下さい。 mr_enable が 1 の間は、次の動作を実行しないで下さい。

   (アボート完了時の転送終了アドレス情報は、MasterReadCurrentAddress レジスタ、Master Read AHB Address レジスタにて確認可能です。)

4. マスタリード転送ブロックを初期化するため、UDFSMSTSET<mr_reset>を 1 (リセット）して下さい。

5. 該当 EP に対して、Command レジスタ (EP_FIFO_Clear)を使用して FIFO を初期化して下さい。

6. Command レジスタ (EP_Enable) を使用して該当 EP をイネーブル状態にして下さい

(3) マスタリード転送時の Max パケットサイズ設定

UDC2AB のマスタリード機能と接続する EP の Max パケットサイズが奇数となる場合、以下のような制限がありますのでご注意下さい。

- EP の Max パケットサイズを奇数として扱う場合でも、UDFS2EPxMSZ<max_pkt>ビットの設定は偶数として下さい。

注) この設定に関する詳細は、「13.9.2 Appendix B MaxPacketSize 奇数バイト設定関連」を参照してください。

- UDC2STSET<eopb_enable>を 1 (マスタリード EOP イネーブル)にセットして下さい。
- 1 回のマスタリード転送で指定する転送サイズ(Master Read End Address - Master Read Start Address ＋ 1) を奇数である Max パケットサイズ以下として下さい。

例

EP の Max パケットサイズ(USB ホストへ伝える値)を 63 バイトとする。

UDFS2EP x MSZ<max_pkt>の設定を 64 バイトとする。

1 回のマスタリード転送で指定する転送サイズを 63 バイト以下とする。

13.5.4.2 マスタライト転送

(1) マスタライト転送シーケンス

マスタライト転送シーケンスは下記のような動作となります:

1. UDFSMWSADR と UDFSMWEADR を設定して下さい。
2. UDFSMSTSET のマスタライト動作に関連するビットを設定し、<mw_enable>に 1 をセットして下さい。
3. UDC2AB は、USB ホストから受信した EP 内のデータに対してマスタライト転送を行います
4. (タイムアウト処理が発生しない状態で)マスタライトエンドアドレスに到達するまで書き込みが終了した場合、mw_end_add 割り込みがアサートされますので、ソフトウエアにより必要な処理を行って下さい。UDC2 が正常なパケットを受信すると 1 へ戻ります。

注) UDC2AB は、UDFSMSTSET<mw_enable>がディセーブル状態で、USB ホストから正常にパケットを受信すると mw_set_add 割り込みをアサートします。

(2) タイムアウト処理

マスタライト転送時、マスタライトエンドアドレスに到達する前に USB ホストからの OUT 転送が停滞してしまった場合、マスタライト転送が終了しません。この場合に備えて、タイムアウト機能を設定することが出来ます。

このタイムアウト機能を利用する場合、タイムアウト時点で UDC2AB 内バッファに格納されているデータは、全て AHB 側に転送されます。

タイムアウト処理は下記のような動作となります。

1. マスタライト転送開始前に UDFSMWTOUT へアクセスし、timeoutset(タイムアウト時間)を設定し<timeout_en>=1 として下さい。

2. 前項の説明のように、マスタライト転送を開始して下さい。

3. タイムアウトが発生した場合、mw_timeout 割り込みがアサートされます。(mw_end_add 割り込みはアサートされません。) この場合は、マスタライトエンドアドレスまでマスタライト転送が完了していません。UDC2AB は UDFSMSTSET<mw_enable>を 0 にクリアします。

4. Master Write Current Address レジスタで、AHB 側へ転送が完了したアドレスを確認する事ができます。

なお、タイムアウト機能をイネーブルとしてマスタライト転送実行中に、タイムアウト用カウンタが進みますが、USB ホストから該当 EP への OUT 転送を受信した時は、カウンタは設定値に戻り、再カウントを開始します(図 13-15)。つまり、タイムアウトするまでの時間は、「マスタライト転送を開始した時点から設定時間まで」ではなく、「マスタライト転送中に、最後に USB ホストから該当 EP へ転送が発生した時から設定時間まで」となります。

タイムアウト機能を使用しない場合は、必ずマスタライト転送開始前に UDFSMWTOUT<timeout_en>=0 として下さい。この場合は設定されたマスタライトエンドアドレスに到達するまで転送が終了しません。

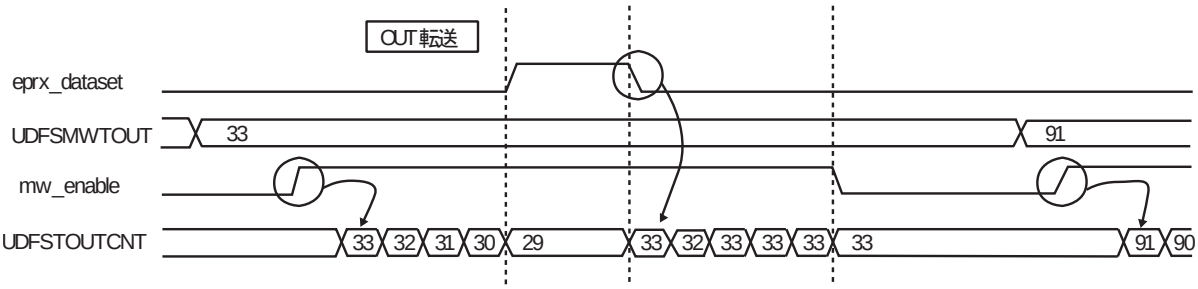


図 13-15 MW タイムアウトカウント例

(3)　マスタライト転送のアボート処理

マスタライト転送中断(アボート）動作は下記のように動作となります。

1. UDC2 の UDFS2CMD を使用して、該当 EP のステータスをディセーブル状態(EP_Disable)にして下さい。

2. マスタライト転送を中止するため、UDFSMSTSET<mw_abort>に 1(アボート)をセットして下さい。

3. アボート完了を確認するため、UDFSMSTSET<mw_enable>が 0 にディセーブルされるのを確認して下さい。<mw_enable>が 1 の間は、次の動作を実行しないで下さい。(アボート完了時の転送終了アドレスの情報は、Master Write Current Address レジスタ、Master Write AHB Address レジスタにて確認可能です。)

4. マスタライト転送ブロックを初期化するため、UDFSMSTSET<mw_reset>を 1(リセット)にして下さい。

5. 該当 EP に対して、UDFS2CMD(EP_FIFO_Clear)を使用して FIFO を初期化して下さい。

6. UDFS2CMD を使用して、該当 EP のステータスをイネーブル状態(EP_Enable)にして下さい。

13.5.5 USB パワーマネージメント制御

USB では通常のパケット転送の他にも、USB バス電源(VBUS)の検出やサスペンド、レジューム等のパワーマネージメントに関する動作が規定されています。本章ではこれら動作時の制御方法について説明を行います。

注) 各動作については必ず USB 2.0 Spec をご覧ください。

13.5.5.1 パワーマネージメント制御信号接続図

パワーマネージメント制御に関する信号の接続図を下記に示します。

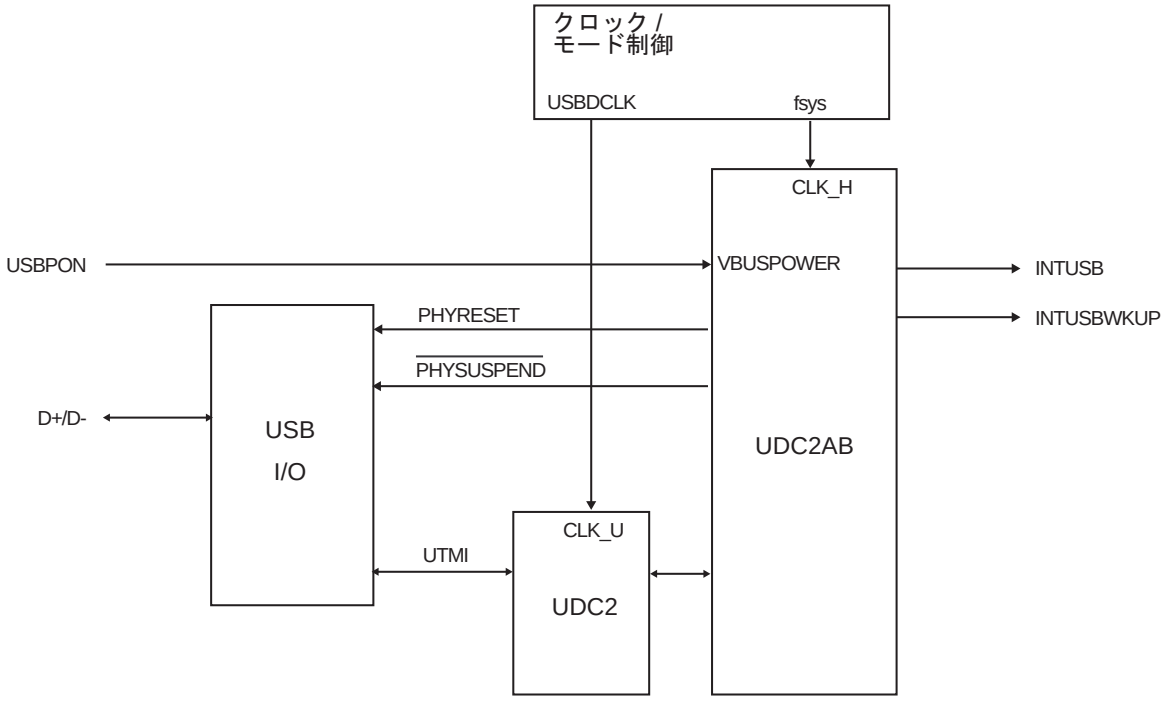


図 13-16 パワーマネージメント制御信号の接続図

13.5.5.2　USB バス電源(VBUS)のコネクト/ディスコネクト時のシーケンス

(1)　コネクト

CLK_H が動作している場合は INTUSB(powerdetect)割り込みと UDFSPWCTL<pw_detect>で、UCLK_H が停止している場合は INTUSBPON 割り込みで USB バス電源(VBUS)のコネクトを検出します。

USB バス電源(VBUS)のコネクト検出後に、以下の手順にて UDC2AB と UDC2 の初期化を行って下さい。

1. UDFSPWCTL <pw_resetb>にてソフトウエアリセットを行って下さい。(<pw_resetb>ビットは自動解除されないのでソフトウエアでクリアして下さい。)
2. UDC2AB レジスタと UDC2 レジスタにアクセスし、必要な初期設定を行って下さい。
3. UDFS2CMD にて USB Ready コマンドを発行して下さい。UDC2 は PHY を通して USB ホストにコネクトを通知します。この状態で UDC2 は USB ホストからの USB_RESET を受け付けることが可能となります。
4. UDC2 は USB ホストからの USB_RESET を検出すると UDC2 内部レジスタの初期化を行い、USB ホストとのエニュメレーションが可能な状態となります。なお、USB_RESET 検出時には usb_reset/usb_reset_end 割り込みが発生します。

(2)　ディスコネクト

CLK_H が動作している場合は INTUSB(powerdetect)割り込みと UDFSPWCTL<pw_detect>で、CLK_H が停止している場合は INTUSBWKUP 割り込みで USB バス電源(VBUS)のディスコネクトを検出します。

USB バス電源(VBUS)のディスコネクト検出後に、各マスタ転送は自動的には停止しませんので、アボート処理を実施して下さい。その後、UDFSPWCTL <pw_resetb>によりソフトウエアリセットを行って下さい。

13.5.6　USB リセット

USB_RESET は USB ホスト接続時だけではなく、任意のタイミングで受信する可能性があります。

UDC2AB は、UDC2 が USB_RESET を受信すると usb_reset / usb_reset_end 割り込みをアサートし、Default ステートに戻ります。この時、各マスタ転送は自動的に停止することはありません。アボート機能を使用して転送を終了させて下さい。なお、UDC2 のレジスタには USB_RESET によって値が初期化されるものと値を保持するものがあります。

USB_RESET 認識時に UDC2 レジスタの再設定を行う場合は、usb_reset_end 割り込み発生後に行って下さい。これは、UDC2 が usb_reset 信号をデアサートするタイミングで UDC2 レジスタを初期化するためです。

13.5.7 サスペンド、レジューム

13.5.7.1 サスペンド状態への移行

UDC2AB は UDC2 のサスペンド状態の検出を、INTUSB(suspend_resume)割り込みと、UDFSPWCTL<suspend_x>により行います。

この時、各マスタ転送は自動的に停止しませんので、停止する必要がある場合には各マスタ転送のアボート機能を使用して強制終了して下さい。

ソフトウエアにて必要な処理が終了した後に、PHY をサスペンドする必要がある場合は、UDFSPWCTL<phy_suspend>をセットすることにより、UDC2AB が $\overline{\text{PHYSUSPEND}}$ をアサートし PHY がサスペンド状態となります。

13.5.7.2　サスペンド状態からの復帰(USB ホストからのレジューム)

CLK_H の状態により、サスペンド状態からの復帰(レジューム)の検出は手順で行われます。

レジュームを認識したら、各マスタ転送を再開するために再設定して下さい。

1. CLK_H を停止させるとき

以下に CLK_H を停止させる場合の信号変化と手順を示します。

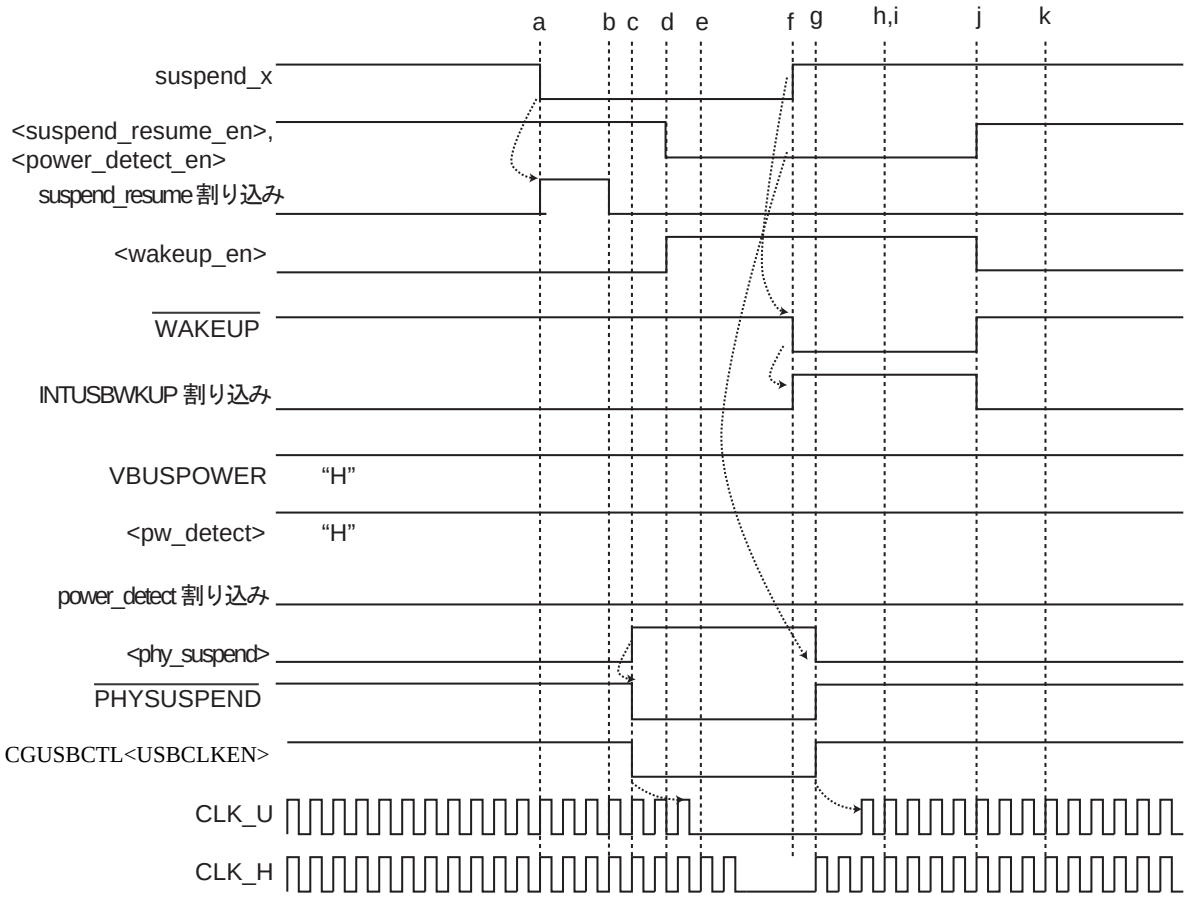


図 13-17 サスペンド、レジューム信号動作 (CLK_H を停止させるとき）

a. USB バス上でサスペンド状態を検出することにより、 UDC2 の suspend_x が 0 にアサートされ、INTUSB(suspend_resume) 割り込みが発生します。
b. INTUSB(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。

　クロック/モード制御回路の CGUSBCTL<USBCLKEN>を"0"にクリアし、CLK_U を停止させます。
d. UDFSPWCTL<wakeup_en> を "1" にセットします。UDFSINTENB<power_detect_en><suspend_resume_en> を "0" にクリアして、INTUSBD(power_detect, suspend_resumu)割り込みが発生しないようにします。
e. INTUSBWKUP 割り込みで低消費電力モードに移行し、CLK_H を停止させます。

f. USB バス上で、レジュームを検出すると、$\overline{\text{WAKEUP}}$ 出力信号が非同期で、"0"にアサートされます。$\overline{\text{WAKEUP}}$ 出力信号によって INTUSBWKUP 割り込みが発生し、低消費電力モードが解除され、CLK_H の供給が開始します。

g. CLK_H が供給されると、$\overline{\text{PHYSUSPEND}}$ 出力信号が自動的に"1"にデアサート、<phy_suspend>が"0"にクリアされます。

クロック/モード制御回路の CGUSBCTL<USBCLKEN>を"1"にセットし、CLK_U を動作させます。

h. 割り込みアサートから 2.5 s 以上経過してから(VBUS 切断時に信号が安定するまでの期間)、UDFSPWCTL<pw_detect> を確認します。UDFSPWCTL<pw_detect>が"1"の場合、$\overline{\text{WAKEUP}}$ アサート原因はレジュームです。UDFSPWCTL<pw_detect>が"0"の場合、$\overline{\text{WAKEUP}}$ アサート原因は VBUS のディスコネクトです。

i. レジュームの場合は、以下のシーケンスを実行します。ディスコネクトの場合は「13.5.7.3 サスペンド状態からのレジューム(ディスコネクト)」のシーケンスを実施します。

j. 割り込み要因と<wakeup_en>をクリアし、$\overline{\text{WAKEUP}}$ 出力信号をデアサートさせます。<suspend_resume_en>を"1"にセットします。

k. サスペンドから復帰します。

2. CLK_H を動作させるとき

以下に CLK_H を動作させるときの信号変化と手順を示します。

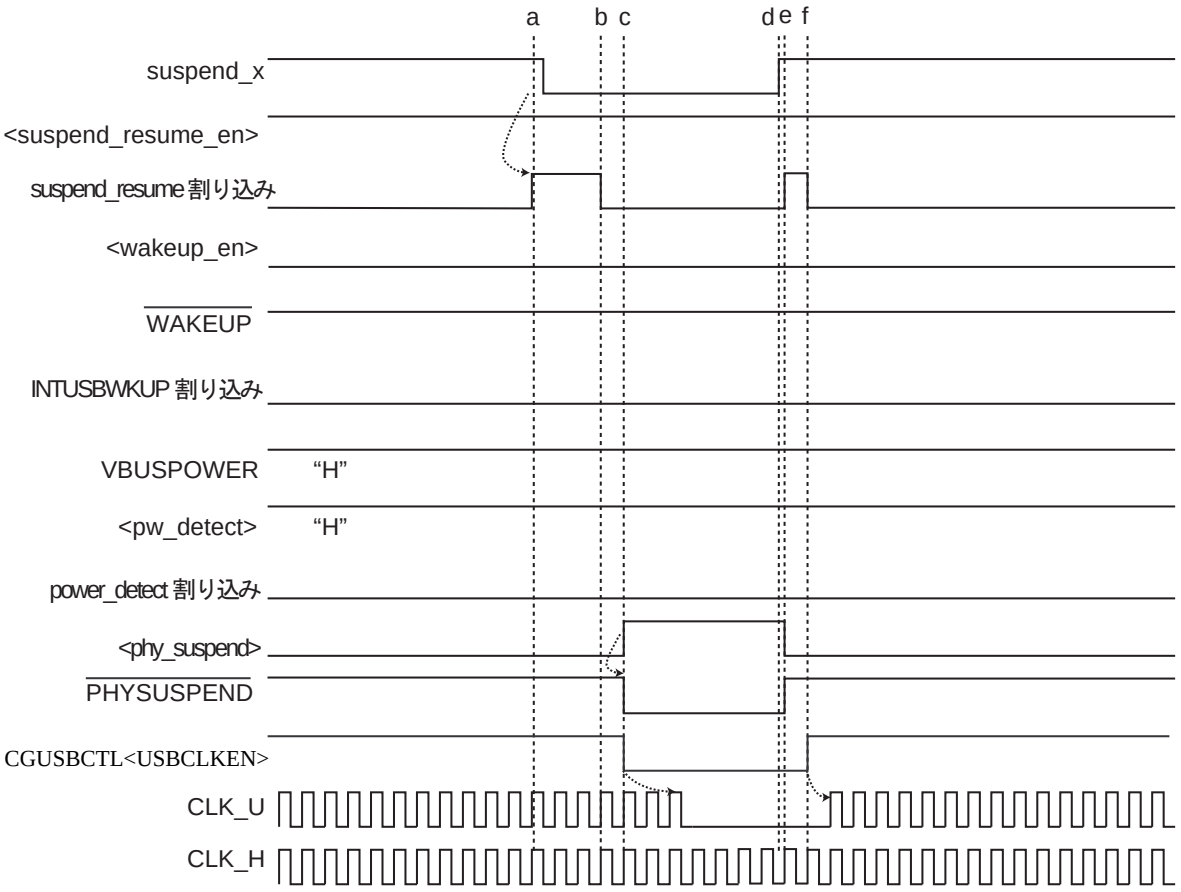


図 13-18 サスペンド、レジューム信号動作 (CLK_H を動作させるとき）

a. USB バス上でサスペンド状態を検出することにより、INTUSB(suspend_resume)割り込みが発生する。
b. INTUSB(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、$\overline{\text{PHYSUSPEND}}$ 出力信号が"0"にアサートされます。

　クロック/モード制御回路の CGUSBCTL<USBCLKEN>を"0"にセットし、CLK_U を停止させます。
d. USB バス上で、レジュームを検出することで、suspend_x が"1"になります。

　また、suspend_x の立ち上がりを検出することによって、$\overline{\text{PHYSUSPEND}}$ 出力信号が"1"にデアサートされます。
e. INTUSB(suspend_resume)割り込みが発生します。
f. INTUSBD(suspend_resume)割り込みのサービスルーチンで、割り込み要因のクリアを行います。

　クロック/モード制御回路の CGUSBCTL<USBCLKEN>を"1"にセットし、CLK_U を動作させます。
g. $\overline{\text{PHYSUSPEND}}$ 出力信号がデアサートされることで、CLK_U の供給が再開されます。

h. サスペンドから復帰します。

13.5.7.3　サスペンド状態からのレジューム(ディスコネクト)

以下にサスペンド状態からのレジューム（ディスコネクト)時の信号変化と手順を示します。

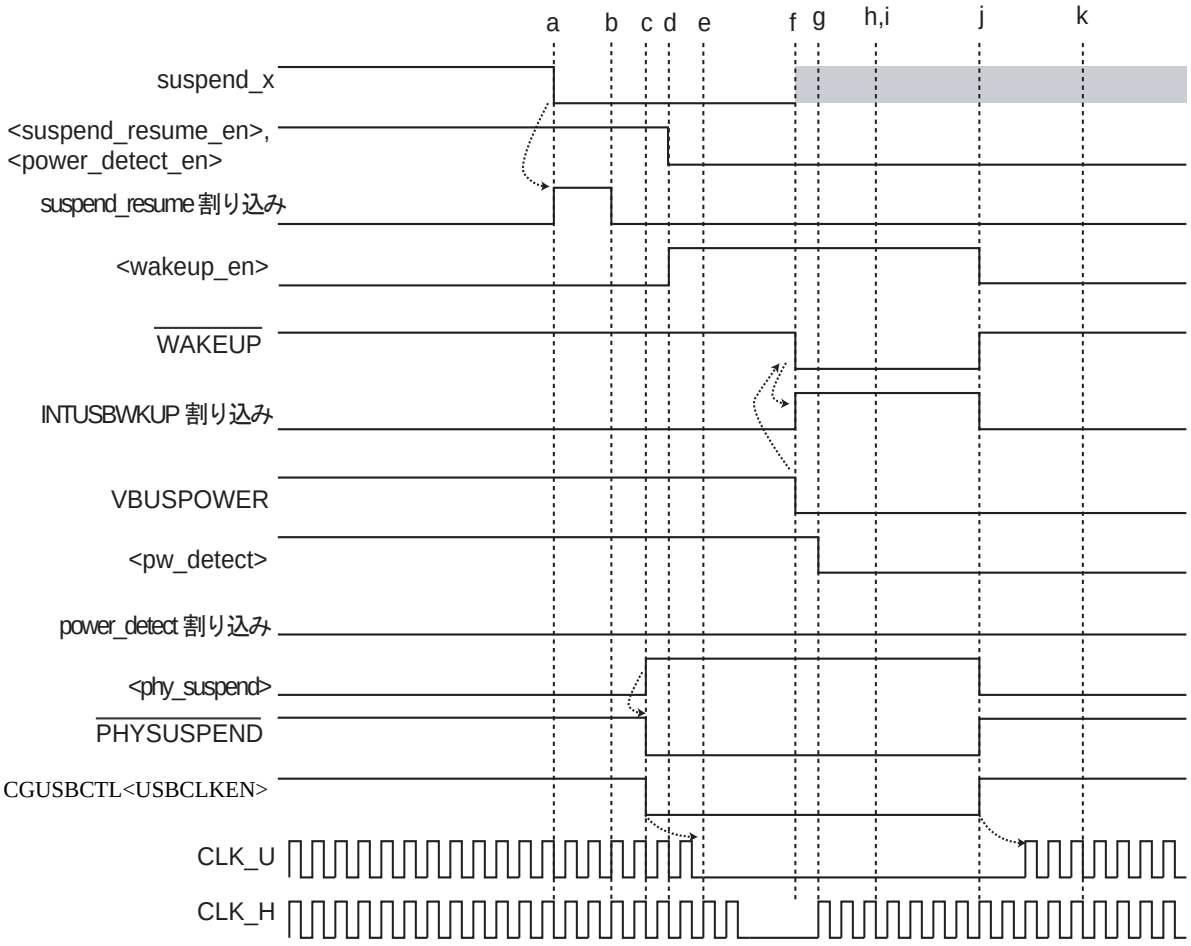


図 13-19 サスペンド、ディスコネクト信号動作 (CLK_H を停止させるとき）

a. USB バス上でサスペンド状態を検出することにより、UDC2 の suspend_x が 0 にアサートされ、INTUSB(suspend_resume) 割り込みが発生します。
b. INTUSB(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。
c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。

   クロック/モード制御回路の CGUSBCTL<USBCLKEN>を"0"にセットし、CLK_U を停止させます。
d. UDFSPWCTL<wakeup_en> を "1" にセットします。UDFSINTENB<power_detect_en><suspend_resume_en>を"0"にクリアして、INTUSBD (power_detect, suspend_resumu)割り込みが発生しないようにします。
e. INTUSBWKUP 割り込みで低消費電力モードに移行し、CLK_H を停止させます。
f. USB バス上で、ディスコネクトを検出すると、VBUSPOWER 端子が"0"になり、WAKEUP 出力信号が非同期で "0"にアサートされます。
g. WAKEUP 出力信号によって、INTUSBWKUP 割り込みが発生し、低消費電力モードが解除され、CLK_H の供給が開始します。

h. 割り込みアサートから 2.5 s 以上経過してから(VBUS 切断時に信号が安定するまでの期間)、UDFSPWCTL<pw_detect>を確認します。UDFSPWCTL<pw_detect>が"1"の場合、$\overline{\text{WAKEUP}}$ アサート原因はレジュームです。UDFSPWCTL<pw_detect>が"0"の場合、$\overline{\text{WAKEUP}}$ アサート原因は VBUS のディスコネクトです。

i. レジュームの場合は、「13.5.7.2 サスペンド状態からの復帰(USB ホストからのレジューム)」のシーケンスを実行します。ディスコネクトの場合は以下のシーケンスを実施します。

j. <phy_suspend>を 0 にクリアして、$\overline{\text{PHYSYSPEND}}$ 出力信号をデアサートします。

クロック/モード制御回路の CGUSBCTL<USBCLKEN>を"1"にセットし、CLK_U を動作させます。
また、割り込み要因と<wakeup_en>をクリアし、$\overline{\text{WAKEUP}}$ 出力信号をデアサートさせます。

k. ソフトウエアにて UDFSPWCTL<pw_resetb>をセットし、UDC2AB を初期化します。」

13.5.7.4 サスペンドからのリモートウェイクアップ

以下にサスペンド状態からのリモートウェイクアップ時の信号変化と手順を示します。

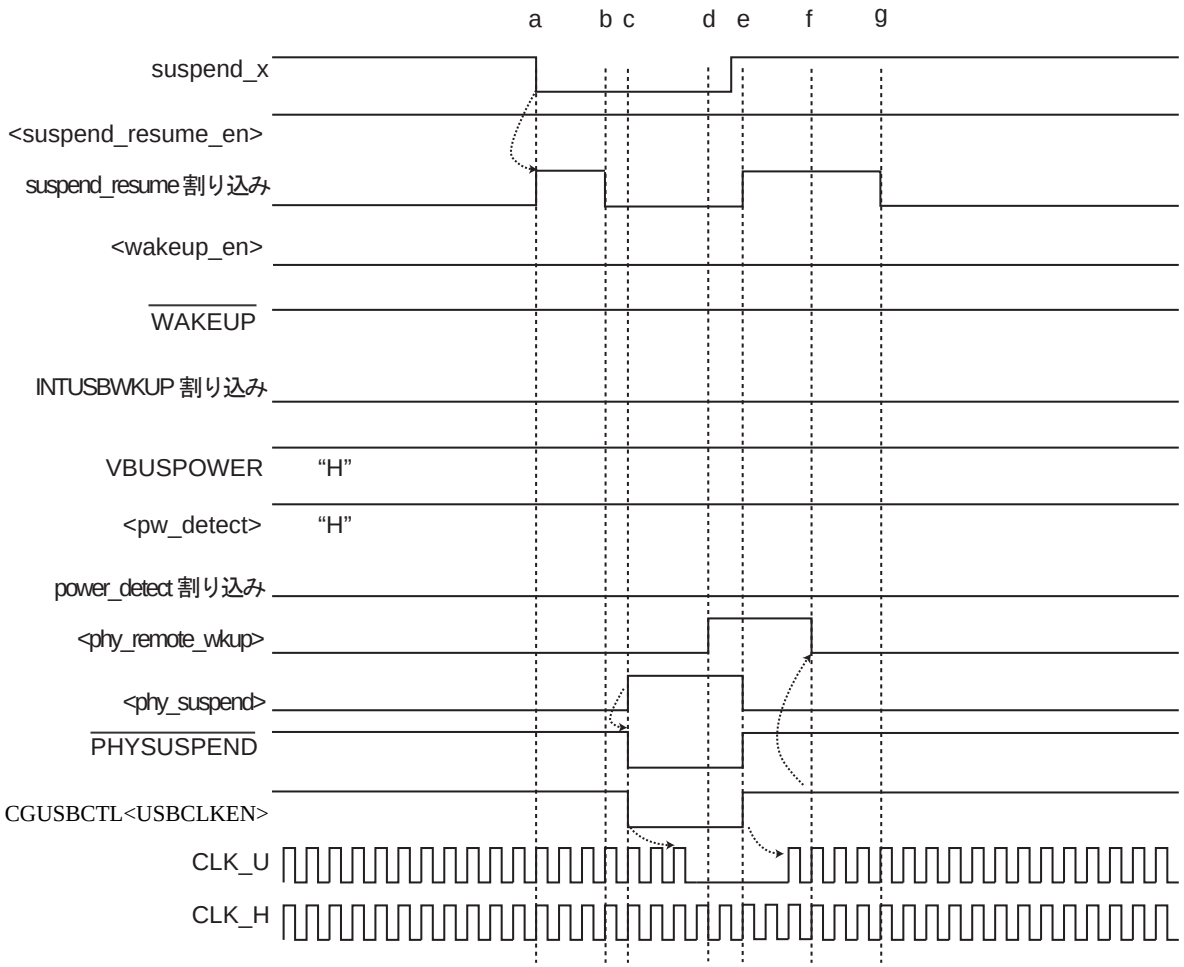


図 13-20 サスペンド、リモートウェイクアップ信号動作

a. USB バス上でサスペンド状態を検出することにより、UDC2 の suspend_x が 0 にアサートされ、INTUSB(suspend_resume) 割り込みが発生します。

b. INTUSB(suspend_resume) 割り込みのサービスルーチンで、割り込み要因のクリアを行います。

c. UDFSPWCTL<phy_suspend>を"1"にセットします。<phy_suspend>が"1"にセットされることで、PHYSUSPEND 出力信号が"0"にアサートされます。

　クロック/モード制御回路の CGUSBCTL<USBCLKEN>を"0"にセットし、CLK_U を停止させます。

d. リモートウェイクアップを要求する場合は、UDFSPWCTL<phy_remote_wkup>を"1"にセットします。<phy_remote_wkup>を"1"にセットすることで、UDC2 から USB バス上にリモートウェイクアップ要求が行われます。また、このとき、suspend_x が非同期で"1"にデアサートされます。

e. suspend_x がデアサートされることで、INTUSB(suspend_resume)割り込みが発生し、PHYSUSPEND 出力信号が"1"にデアサートされます。

f. クロック/モード制御回路の CGUSBCTL<USBCLKEN>を"1"にセットし、CLK_U を動作させます。

　CLK_U が動作すると、<phy_remote_wkup> は自動的に"0"にクリアされます。

g. 割り込み要因のクリアを行います。

13.6 USB Device 応答

UDC2 はハードウェアリセット検出時、USB_RESET 検出時、エニュメレーション応答時に UDC2 内部の初期化や各種レジスタの設定を行います。この章では、それぞれの状態での UDC2 の動作および外部からの制御方法を説明します。

1. ハードウェアリセット検出時

   UDC2 は電源投入後必ずハードウェアリセットをかけて下さい。ハードウェアリセット後は、UDC2 は内部レジスタを初期化し、全ての EP は禁止状態(Invalid)になっており、デバイスとしては"Disconnect"状態になっています。

   UDC2 を"Default"状態にするには、"USB_Ready"コマンドを発行して下さい。このコマンドを発行することにより、UDC2 は"Full-Speed"モードとなり、D+の Pull-Up 抵抗をイネーブルにし、ホストへ"Connect"を通知します。

   この状態では、ホストからの信号は USB_RESET 信号のみ受け付けます。

2. USB_RESET 検出時

   UDC2 は USB 信号上にバスリセット(USB_RESET)を検出すると、内部レジスタの初期化を行い、デバイスとしては "Default"状態となります。この状態では EP0 のみ "Ready"状態となり、ホストとのエニュメレーションが可能な状態となります。

3. "Set_address"リクエスト受信時

   "Set_address"リクエスト受信後に UDFS2ADR<configured> <addressed> <default>に 010 を、<dev_adr>に受信したアドレス値をセットすることにより、UDC2 は"Addressed"状態となります。なお、このレジスタへのセットは、Control 転送の正常終了後(STATUS-Stage 終了後)にセットして下さい。

   なお、この状態では未だ EP0 以外の EP への転送は出来ません。

4. "Set_configuration"、"Set_interface"リクエスト受信時

"Set_configuration"、"Set_interface"リクエスト受信後に UDFS2ADR<configured> <addressed> <default>に 100 をセットすることにより、UDC2 は"Configured"状態となります。

"Configured"状態においては、ステータス設定をした EP について転送を行うことが可能となります。

なお、EP を"Ready"とするには、下記設定を行う必要があります。

- UDFS2EPxMSZ へのマックスパケットサイズのセット
- UDFS2EPxSTS への転送モードのセット
- UDFS2CMD への EP_Reset コマンドの発行

この設定を行うことにより、EP は送受信可能となります。

図 13-21 に Device State Diagram を示します.

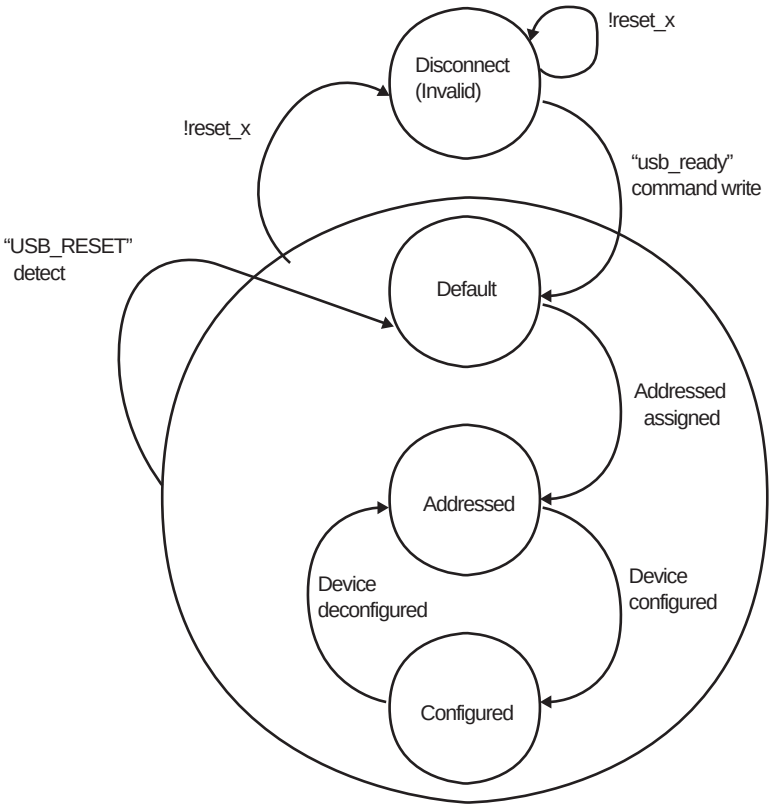


図 13-21 Device state diagram

13.7 各 EP の転送における制御フロー

13.7.1 EP0

EP0 は Control 転送をサポートしており、エニュメレーション等デバイスの制御を行うのに使用します。なお、EP0 はシングルパケットモードのみとなります。

コントロール転送は、SETUP-Stage、DATA-Stage、STATUS-Stage から成り立っています。

また、転送の種類として、大きく以下 3 種類に分類されます:

- Control-RD 転送
- Control-WR 転送 (DATA-Stage 無し)
- Control-WR 転送 (DATA-Stage 有り)

UDC2 は、ハードウェアで 3 つのステージ管理を行います。以下に各転送における流れを示します。

13.7.1.1 Control-RD 転送

以下に Control-RD 転送時の流れを示します。

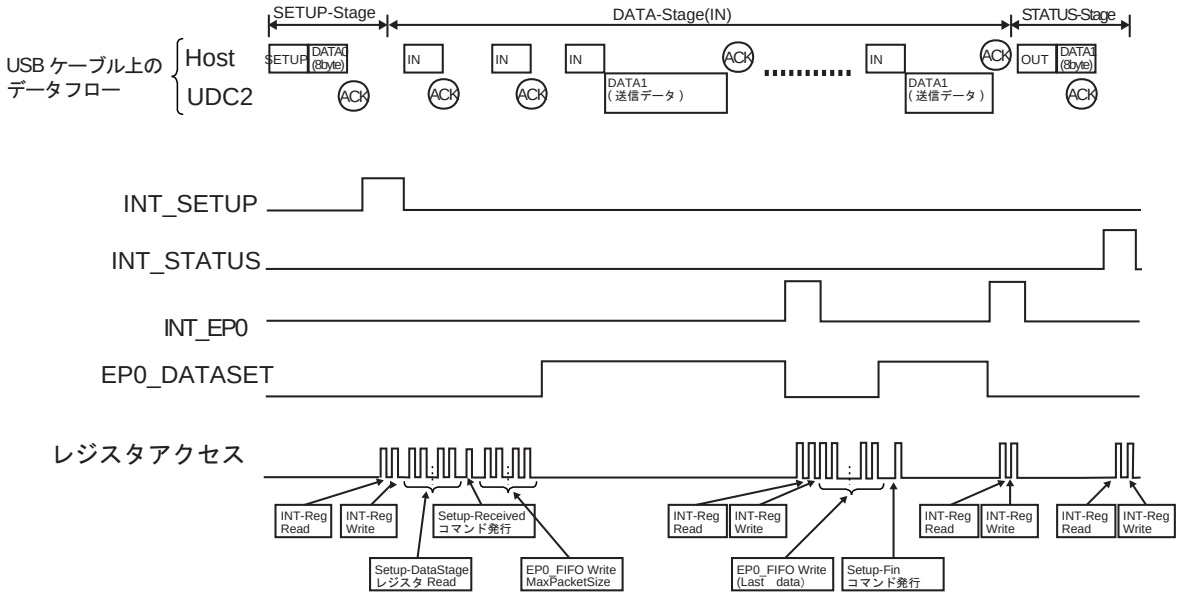


図 13-22 Control-RD 転送における制御フロー

以下の説明では UDFS2EP0MSZ<dset>を"EP0_DATASET フラグ"としています。

(1) SETUP-Stage

UDC2 は、Setup-Token を受信すると、INT_SETUP フラグをアサートします。このフラグをクリアするには、UDFS2INT<i_setup>に 1 をライトして下さい。外部でフラグを束ねている場合は UDFS2INT をリードし、どのフラグがアサートされているかを確認し、該当 bit に 1 をライトして下さい。

次に、Setup-Data 格納レジスタ(bRequest-bmRequestType、wValue、wIndex、wLength レジスタ)をリードし、リクエストを判断して下さい。

最後に、"Setup_Received"コマンドを発行し、SETUP-Stage の終了を UDC2 に知らせます。UDC2 はこのコマンドが発行されるまでは、EP0-FIFO へのデータライトを禁止していますので、このコマンドが発行されるまではホストからの IN-Token に対して "NAK"を返信します。.

(2)　DATA-Stage

IN-Token に対して送信すべきデータを EP0-FIFO へライトします。なお、送信したいデータバイト数が MaxPacketSize より大きい場合は、MaxPacketSize 毎に分割してライトして下さい。ライトデータ数が MaxPacketSize になると、EP0_DATASET フラグがアサートされます。

ホストからの IN-Token に対し正常にデータ送信が終了すると、UDC2 は EP0_DATASET フラグをデアサートし、INT_EP0 をアサートします。送信したいデータが残っている場合、EP0-FIFO へのデータライトを行って下さい。

ライトすべきデータが MaxPacketSize より少ない場合は、EP0 へ"EP_EOP"コマンドを発行することにより、UDC2 にショートパケットであることを通知して下さい。これにより、UDC2 はパケットの終了を認識し、ショートパケットデータを送信します。

最後に、"Setup_Fin"コマンドを発行することにより、UDC2 へ DATA-Stage の終了を知らせます。

(3)　STATUS-Stage

UDC2 は、"Setup_Fin"コマンドが発行されると、STATUS-Stage に対する Handshake を自動で行います。正常に STATUS-Stage が終了すると、INT_STATUS フラグをアサートします。 "Setup_Fin"コマンドが発行される前にホストから STATUS-Stage のパケットを受信すると、UDC2 は"NAK"を返信し、INT_STATUS_NAK フラグをアサートしますので、このフラグがアサートされましたら、"Setup_Fin"コマンドを発行するようにして下さい。

13.7.1.2　Control-WR 転送(DATA-Stage なし)

以下に Control-WR 転送(DATA-Stage 無し)時の流れを示します。

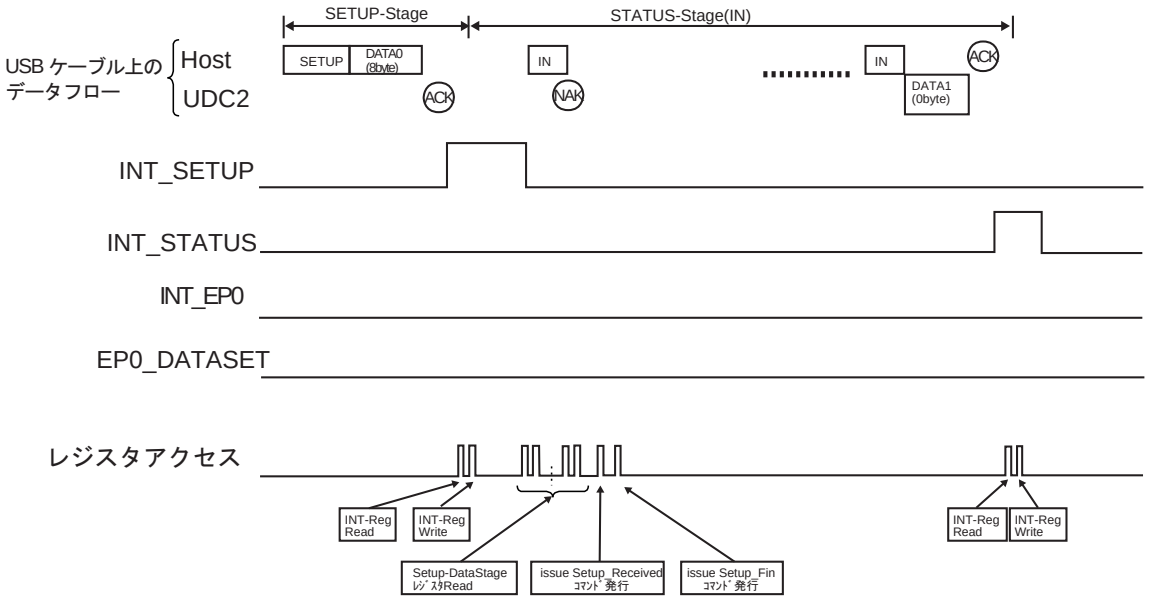


図 13-23 Control-WR 転送(DATA-Stage 無し)における制御フロー

(1) SETUP-Stage

「13.7.1.1 Control-RD 転送」の SETUP-Stage と同様の処理を行って下さい。

(2) STATUS-Stage

"Setup_Received"コマンドを発行した後に、各リクエストに応じて UDC2 へのレジスタアクセスを行って下さい。UDC2 へのレジスタアクセスが全て終了した時に "Setup_Fin"コマンドを発行して下さい。その後の処理は、基本的には「13.7.1.1 Control-RD 転送」の STATUS-Stage と同様です。UDC2 は"Setup_Fin"コマンドが発行されるまで"NAK"を返信しつづけます。

注) 基本的には、「"Setup_Received"コマンドの発行」 → 「"Setup_Fin"コマンドの発行」の間で各リクエストに必要なレジスタアクセスを UDC2 へ行うのですが、Set Address リクエストや Set Feature(TEST_MODE)のように、STATUS-Stage 終了後にレジスタアクセスが必要な場合もあります。各スタンダードリクエストでの処理については「13.7.1.5 スタンダードリクエスト受信時の処理」にて説明しています。

13.7.1.3 Control-WR 転送(DATA-Stage あり)

以下に Control-WR 転送(DATA-Stage 有り)時の流れを示します。

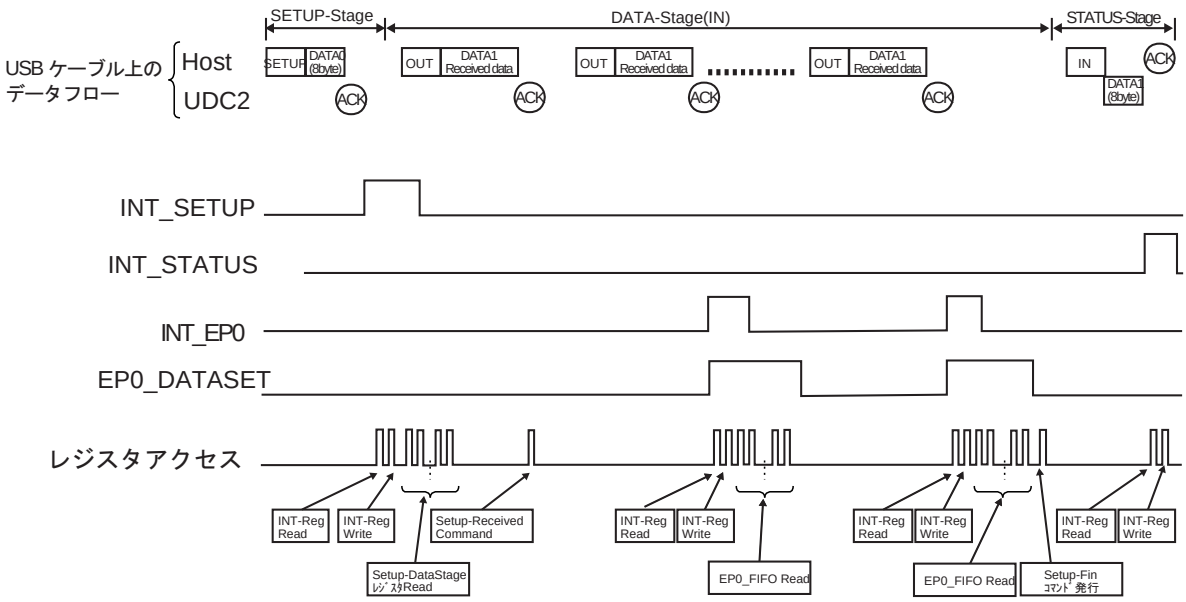


図 13-24 Control-WR 転送(DATA-Stage 有り)における制御フロー

(1) SETUP-Stage

「13.7.1.1 Control-RD 転送」の SETUP-Stage と同様の処理を行って下さい。

(2) DATA-Stage

UDC2 は、ホストからデータを正常に受信すると、EP0_DATASET フラグをアサートし、INT_EP0 フラグをアサートします。このフラグがアサートされたら、受信したデータサイズを EP0_Datasize レジスタで確認した後に UDFS2EP0FIFO からデータをリードするか、EP0_DATASET フラグをポーリングしながら UDFS2EP0FIFO からデータをリードして下さい。

受信データバイト数をリードすると、UDC2 は EP0_DATASET フラグをデアサートします。

(3)　STATUS-Sgage

「13.7.1.1 Control-RD 転送」の STATUS-Stage と同様の処理を行って下さい。

13.7.1.4　INT_STATUS_NAK フラグの使用例

DATA-Stage の無いリクエストの処理では、INT_SETUP フラグのアサートを受けてからクリアをする前に、ホストからの STATUS-Stage を受信して INT_STATUS_NAK フラグがアサートされる可能性があります。このような多重割り込みの状態をなるべく回避したい場合に、データステージの無いリクエストでは INT_STATUS_NAK フラグをマスクする方法があります。その際は、基本的に UDFS2INT<m_status_nak>に 1 をセットし、DATA-Stage の有るリクエスト受信時にだけ 0 をセットする処理を行って下さい。(以下は Control-RD 時の例です。)

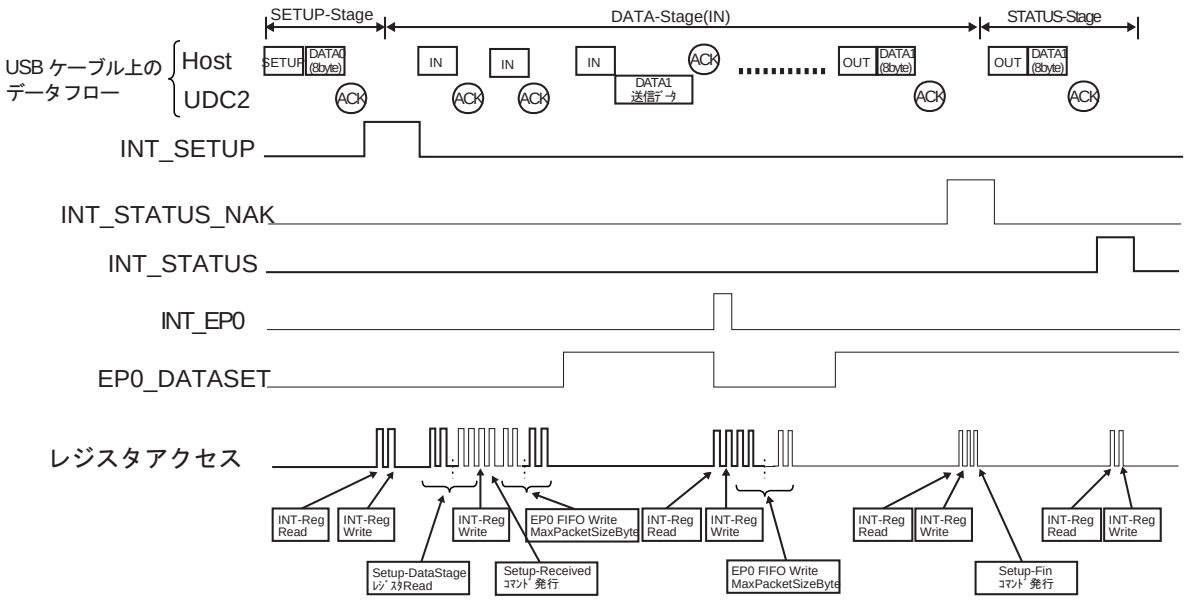


図 13-25 Control-RD 転送における INT_STATUS_NAK フラグの使用例

(1)　SETUP-Stage

INT_SETUP フラグのアサートを受けて、UDFS2INT<i_setup>をクリアして下さい。この時、<i_status_nak>が 1 にセットされている場合にはこの bit もクリアして下さい。

次に、Setup-Data 格納レジスタをリードして DATA-Stage のあるリクエストと判断した場合には、UDFS2INT<m_status_nak>を 0 として下さい。その後、 "Setup_Received"コマンドを発行して下さい。

(2)　DATA-Stage→STATUS-Stage

INT_STATUS_NAK フラグがアサートされると、デバイスも STATUS-Stage に移行する必要があります。UDFS2INT<i_status_nak>をクリアし、その後、"Setup_Fin"コマンドを発行して下さい。また、次からの転送に備えるため再び UDFS2INT<m_status_nak>に 1 をセットして下さい。

13.7.1.5　スタンダードリクエスト受信時の処理

スタンダードリクエスト受信時の UDC2 へのレジスタアクセス例を次項から説明します。各リクエストの説明は、基本的にデバイスのステート(Default, Address, Configured)に分けています。

各リクエスト共通のレジスタアクセスに関しましては、13.7.1.1、13.7.1.2、13.7.1.3 に記載してありますのでそちらを参照して下さい。

ただし、次項からの説明では USB2.0 のスタンダードリクエスト仕様の全内容を記載しているわけではありません。ユーザーの使用方法によってレジスタアクセス方法は異なると思いますので、必ず USB2.0 仕様をご覧下さい。また、説明中の「Recipient」、「Descriptor Types」、「Standard Feature Selectors」、「Test Mode Selectors」等は USB2.0 仕様に記載されていますので、そちらをご覧下さい。

- 「13.7.1.1 Control-RD 転送」に対応するスタンダードリクエスト

  Get Status Get Description Get Configuration

  Get Interface Get Frame
- 「13.7.1.2 Control-WR 転送(DATA-Stage なし)」に対応するスタンダードリクエスト

  Clear Feature Set Feature Set Address

  Set Configuration Set Interface
- 「13.7.1.3 Control-WR 転送(DATA-Stage あり)」に対応するスタンダードリクエスト

  Set Description

注 1)　下線が引かれている箇所は、UDC2 へのレジスタアクセスを説明しています。
注 2)　UDFS2CMD へのライトアクセスは、文章の簡略化のために以下のように記述しています。

例 1)　UDFS2CMD<ep>へ 0x0、<com>へ 0x4 をライトする場合

→EP0 へ EP-Stall コマンドを発行して下さい

(例 2)UDFS2CMD<ep>へ該当 EP、<com>へ 0x5 をライトする場合

→該当 EP へ EP-Invalid コマンドを発行して下さい

(1)　Get Status リクエスト

このリクエストにより、指定された受信側(recipient)のステータスを返信します。.

bmRequestType	bRequest	wValue	wIndex	wLength	Data
1000_0000 1000_0001 1000_0010	GET_STATUS	Zero	Zero Interface EP	Two	Device Interface, or EP Status

- 全ステート共通:

  wIndex で指定された EP/Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行して下さい。
- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:

<recipient> = Device :　デバイスの情報(表 13-3)を、UDFS2EP0FIFO にライトして下さい。

<recipient> = Interface:　EP0 へ EP-Stall コマンドを発行して下さい。

<recipient> = EP :　wIndex=0(EP0)の場合は、EP0 の情報(表 13-5)を UDFS2EP0FIFO にライトして下さい。wIndex≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行して下さい。

・ Configured state:

<recipient> = Device : デバイスの情報(表 13-3)を、UDFS2EP0FIFO にライトして下さい。

<recipient> = Interface: lwIndex で指定された Interface が存在する場合は、インターフェースの情報(表 13-4)を UDFS2EP0FIFO にライトして下さい。

<recipient> = EP : wIndex で指定された EP が存在する場合は、該当 EP の情報(表 13-5)を UDFS2EP0FIFO にライトして下さい。

表 13-3 Get Status リクエストで返信されるデバイスの情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	Remote Wakeup	Self Powered

RemoteWakeup (D1) 0 の場合はバスパワー、1 の場合はセルフパワーを表します。

SelfPowered (D0) 0 の場合はリモートウェイクアップ機能がディセーブル、1 の場合はイネーブルとなっていることを表します。

表 13-4 Get Status リクエストで返信される Interface の情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0

全 bit が 0 となっています。

表 13-5 Get Status リクエストで返信される EP の情報

D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	Halt

Halt (D1) この bit が 1 の場合は該当 EP が Halt 状態となっていることを表します。

(2) Clear Feature リクエスト

このリクエストにより、特定機能をクリア/ディセーブルします.

bmRequesType	bRequest	wValue	wIndex	wLength	Data
1000_0000 1000_0001 1000_0010	CLEAR_FEATURE	Feature Selector	Zero Interface EP	Zero	None

・ 全ステート共通:

クリア(ディセーブル)できない、または、存在しない Feature Selector(wValue)を指定された場合は EP0 へ EP-Stall コマンドを発行して下さい。

wIndex で指定された EP/Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行して下さい。

・ Default state:

USB2.0 仕様ではデバイスの動作に指定はありません。

・ Address state:

<recipient> = Device : wValue=1 の場合はユーザー側で DEVICE_REMOTE_WAKEUP 機能をディセーブルして下さい。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行して下さい。

<recipient> = EP : wIndex≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行して下さい。
wValue=0 で,wIndex=0(EP0)の場合は EP0 の Halt 状態をクリアするのですが、UDC2 へのレジスタアクセスは必要ありません。

・ Configured state:

<recipient> = Device : wValue=1 の時はユーザー側で DEVICE_REMOTE_WAKEUP 機能をディセーブルして下さい。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface: EP0 へ EP-Stall コマンドを発行して下さい。(注)

<recipient> = EP : wValue=0 で,wIndex≠0(EPx)の場合は、該当 EP へ EP-Reset コマンドを発行して下さい。wValue=0 で,wIndex=0(EP0)の場合は EP0 の Halt 状態をクリアするのですが、UDC2 へのレジスタアクセスは必要ありません。

注) ここでは、「Interface の Feature Selector は存在しない」という USB2.0 仕様の解釈にて、EP0 を Stall 処理としています。仕様の詳細は USB 仕様をご覧下さい。

(3)　Set Feature リクエスト

このリクエストにより、特定機能をセット/イネーブルします。.

BmRequesetType	BRequesdt	wValue	wIndex		wLength	Data
1000_0000 1000_0001 1000_0010	SET_FEATURE	Feature Selector	Zero Interface EP	Test Selector	Zero	None

・　全ステート共通　:

セット(イネーブル）できない、または、存在しない Feature Selector (wValue)を指定された場合は、EP0 へ EP-Stall コマンドを発行して下さい。

wIndex 下位バイトで指定された EP/Interface が存在しない場合は、EP0 へ EP-Stall コマンドを発行して下さい。

注)　標準でないベンダー固有の TestSelector を使用する場合はそれに応じて処理をしてください。

・　Default state:

上記 TEST_MODE 時以外では、USB2.0 仕様ではデバイスの動作に指定はありません。

・　Address state:

<recipient> = Device :　wValue=1 の場合はユーザー側で DEVICE_REMOTE_WAKEUP 機能をディセーブルして下さい。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface:　EP0 へ EP-Stall コマンドを発行して下さい。

<recipient> = EP :　wIndex 下位バイト≠0(EPx)の場合は、EP0 へ EP-Stall コマンドを発行して下さい。
wValue=0 で、 wIndex 下位バイト=0 (EP0)の場合は、EP 0 を Halt 状態として下さい。(注 2)

・　Configured state:

<recipient> = Device :　wValue=1 の場合はユーザー側で DEVICE_REMOTE_WAKEUP 機能をイネーブルにして下さい。UDC2 へのレジスタアクセスは必要ありません。

<recipient> = Interface:　EP0 へ EP-Stall コマンドを発行して下さい。(注 1)

<recipient> = EP :　wValue=0 で、wIndex 下位バイト≠0(EPx)の場合は、該当 EP へ EP-Stall コマンドを発行して下さい。
wValue=0 で、wIndex 下位バイト=0(EP0)の場合は、EP0 を Halt 状態として下さい。(注 2)

注 1)　ここでは、「Interface の Feature Selector は存在しない」という USB 仕様の解釈にて、EP0 を Stall 処理としています。仕様の詳細は USB 仕様をご覧下さい。

注 2)　USB2.0 仕様には、"EP0 に対して Halt 機能が実行される必要はない/推奨しない"のような記述があります。よってこの場合に、UDC2 に対して Stall 状態を設定する必要がないというような解釈が可能です。

実際に EP0 を Halt 状態にするためには、ユーザー側にて「Halt 状態」を管理する必要があります

そして「Halt 状態」の時にリクエストを受けた場合に、DATA-Stage/STATUS-Stage で EP0 へ EP-Stall コマンド発行を行うといった処理が必要となります。(仮に EP0 を Stall 状態に設定しても、Setup-Token を受信すると UDC2 は Stall 状態を解除して"ACK"を返信します。)

このように EP0 に対して Set Feature/Clear Feature を受信した場合の処理は、ユーザーの使用方法により異なります。

(4) Set Address リクエスト

このリクエストにより、デバイスアドレスをセットします。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0000	SET_ADDRESS	Device Address	Zero	Zero	None

本リクエストでは、以下に示すレジスタアクセスを STATUS-Stage 終了後 2ms 以内に行って下さい

(Setup_Fin コマンド発行前に、デバイスアドレスを変更しないで下さい。)

- Default state:

wValue=0 の場合: デフォルトステートを維持します。UDC2 へのレジスタアクセスは必要ありません。

w Value≠0 の場合: UDFS2ADR<dev_adr>に wValue、<configured> <addressed> <default>に 010 をセットして下さい。UDC2 はアドレスステートに入ります。

- Address state:

wValue=0 の場合: UDFS2ADR<dev_adr>に 0x00、<configured> <addressed> <default>に 001 をセットして下さい。UDC2 はデフォルトステートに入ります。

w Value≠0 の場合: UDFS2ADR<dev_adr>に wValue をセットして下さい。UDC2 は新しいデバイスアドレスに設定されます。

- Configured state:

USB2.0 仕様ではデバイスの動作に指定はありません。

(5)　Get Descriptor リクエスト

このリクエストにより、指定されたディスクリプタを返信します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
1000_0000	GET_DESCRIPTOR	Descriptor Type and Descriptor Index	Zero or Language ID	Descriptor Length	Descriptor

全ステート共通:

wValue で指定されたディスクリプタ情報を、wLength にて指定されたバイト数分 UDFS2EP0FIFO にライトして下さい。ライトするバイト数が EP0 の MaxPacketSize よりも大きい場合には、複数回に分けてライトする必要があります(詳細は「13.7.1.1 Control-RD 転送」を参照して下さい)。(ディスクリプタの長さが wLength より大きい場合は、ディスクリプタの最初から wLength バイトをライトして下さい。ディスクリプタの長さが wLength より小さい場合は、そのディスクリプタ全てをライトして下さい。)

wValue で指定されたディスクリプタをユーザー側がサポートしない場合は、EP0 へ EP-Stall コマンドを発行して下さい。

(6) Set Descriptor リクエスト

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0000	SET_DESCRIPTOR	Device Type and Descriptor Index	Language ID or Zero	Descriptor Length	Descriptor

- 全ステート共通:

  本リクエストをサポートしない場合には EP0 へ EP-Stall コマンドを発行して下さい。
- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state & Configured state:

  UDC2 が受信したディスクリプタ情報を UDFS2EP0FIFO からリードして下さい。

(7)　Get Configuration リクエスト

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0y1000 0000	GET_CONFIGURATION	Zero	Zero	One	Configuration Value

・ Default state:

USB2.0 仕様ではデバイスの動作に指定はありません。

・ Address state:

UDFS2EP0FIFO に 0x00 をライトして下さい。未構成なので 0 を返信する必要があります。

・ Configured state:

現在の Configuration 値を UDFS2EP0FIFO にライトして下さい。

構成されている状態なので、0 以外の値を返信する必要があります。

(8) Set Configuration リクエスト

このリクエストにより、デバイス構成を設定します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0y0000 0000	SET_CONFIGURATION	Configuration Value	Zero	Zero	None

・ Default state:

USB2.0 仕様ではデバイスの動作に指定はありません。

・ Address state:

wValue = 0 の場合：

- アドレスステートを維持します。UDC2 へのレジスタアクセスは必要ありません。

wValue≠0 で、wValue がディスクリプタに適合する Configuration 値の場合：

- UDFS2ADR<configured> <addressed> <default>に 100 をセットして下さい。

<使用する各 EP に対して>

- UDFS2EPxMSZ<max_pkt>に MaxPacketSize をセットして下さい。
- UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットして下さい。
- 該当 EP に EP-Reset コマンドを発行して下さい。

wValue≠0 で、wValue がディスクリプタに適合しない Configuration 値の場合：

- EP0 へ EP-Stall コマンドを発行して下さい。

・ Configured state:

wValue = 0 の場合.

- UDFS2ADR<configured> <addressed> <default>に 010 をセットして下さい。
- All-EP-Invalid コマンドを発行して下さい。

Value≠0 で、ディスクリプタに適合する Configuration 値の場合：

<使用する各 EP に対して>

- UDFS2EPxMSZ<max_pkt>に MaxPacketSize をセットして下さい。
- UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットして下さい。
- 該当 EP に EP-Reset コマンドを発行して下さい。

<新たに未使用となる各 EP に対して>

- 該当 EP に EP-Invalid コマンドを発行して下さい。

wValue≠0 で、wValue がディスクリプタに適合しない Configuration 値の場合：

- EP0 へ EP-Stall コマンドを発行して下さい。

(9)　Get Interface リクエスト

このリクエストにより、指定された Interface で設定されている Alternate Setting 値を返信します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
1000_0001	GET_INTERFACE	Zero	Interface	One	Alternate Setting

- 全ステート共通:

  wIndex で指定された Interface が存在しない場合は EP0 へ EP-Stall コマンドを発行して下さい。
- Default state:

  USB2.0 仕様ではデバイスの動作に指定はありません。
- Address state:

  EP0 へ EP-Stall コマンドを発行して下さい。
- Configured state:

  wIndex で指定された Interface の現在の AlternateSetting 値を、UDFS2EP0FIFO にライトしてください。

(10) Set Interface リクエスト

このリクエストにより、指定された Interface の Alternate Setting 値を設定します。

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0000_0001	SET_INTERFACE	Alternate Setting	Interface	Zero	None

・ 全ステート共通:

wIndex で指定された Interface が存在しない場合、または wValue で指定された Alternate Setting が存在しない場合は、EP0 へ EP-Stall コマンドを発行して下さい。

・ Default state:

USB2.0 仕様ではデバイスの動作に指定はありません。

・ Address state:

EP0 へ EP-Stall コマンドを発行して下さい。

・ Configured state:

<指定された Interface の Alternate Setting で使用する各 EP に対して>

- UDFS2EP_x_MSZ<max_pkt>に MaxPacketSize をセットして下さい。
- UDFS2EPxSTS<pkt_mode>、<bus_sel>、<dir>、<t_type>、<num_mf>に各値をセットして下さい。
- 該当 EP に EP-Reset コマンドを発行して下さい。

<新たに未使用となる各 EP に対して>

- 該当 EP に EP-Invalid コマンドを発行してください。

(11) Synch Frame リクエスト

このリクエストにより、EP の同期フレームを設定し報告します。.

BmRequesetType	BRequesdt	wValue	wIndex	wLength	Data
0y1000 0010	SYNCH_FRAME	Zero	EP	Two	Frame Number

・ 全ステート共通:

wIndex で指定された EP で、このリクエストをサポートしない場合は EP0 へ EP-Stall コマンドを発行して下さい。

・ Default state:

USB2.0 仕様ではデバイスの動作に指定はありません。

・ Address state:

EP0 へ EP-Stall コマンドを発行して下さい。

・ Configured state:

wIndex で指定された EP の Frame Number を、UDFS2EP0FIFO にライトして下さい。

13.7.2 EP0 以外の EP

EP0 以外の EP は、Bulk(送信/受信)転送、Interrupt(送信/受信)転送、Isochronous(送信/受信)転送をサポートしており、データの送受信を行うのに使用します。また、デュアルパケットモードをサポートしており、高速なデータ通信が可能となっています。

13.8　サスペンドレジューム状態

UDC2 はホストからの信号状態によりサスペンド状態へと移行します。また、ホストからのレジュームあるいは UDC2 からのレジュームにより、サスペンド状態からの復帰をします。

以下にそれぞれの状態への移行について説明します。

13.8.1　サスペンド状態への移行

通常の状態において、ホストは一定時間ごと(FS: 1ms)に SOF を発行しますが、ホストがデバイスをサスペンド状態にしようとした際には、この SOF をデバイスへ発行しなくなり、USB 信号線上のデータはアイドル状態のまま無変化の状態となります。UDC2 は、PHY からの"line_state"を常にモニタしており、アイドル状態を 3ms 以上連続で検出するとサスペンド状態か USB_RESET かの判断をし、サスペンド状態であれば suspend_x を"Low"にアサートして、サスペンド状態へ入ります。

なお、サスペンド状態ではクロック/モード制御回路のクロックが供給されなくなりますので、レジスタへのアクセス等は不可能となります。

13.8.2　サスペンド状態からの復帰

サスペンド状態からの復帰には、ホストからのレジューム状態出力による復帰と、UDC2 からのリモートウェイクアップ(レジューム状態出力)による復帰の 2 種類があります。

以下にそれぞれの場合について説明します

13.8.2.1　ホストからのレジュームによる復帰

ホストからのレジューム状態出力により UDC2 は suspend_x を"High"にデアサートして、サスペンドからの復帰を知らせます。

13.8.2.2　UDC2 からのリモートウェイクアップ

リモートウェイクアップはアプリケーションによってはサポートされない場合があり、また、バスエニュメレーション時に USB ホストから許可されている必要があります。システムで許可されていない場合は、"wakeup"をアサートしないで下さい。

システムで許可されている場合、"wakeup"端子をアサートすることにより UDC2 はホストに対しレジューム状態を出力し、レジュームを促します。なお、サスペンド時はクロック/モード制御回路からのクロックを停止させているので、ソフトウエアによってクロックを再開させるまで、アサートし続けてください。また、suspend_x が"Low"にアサートされてから 2ms 以上経ってから、リモートウェイクアップするようにしてください。

13.9 USB-Spec2.0 デバイスコントローラ Appendix

13.9.1 Appendix A システム・パワー・マネージメント関連

USB では Bulk 転送などの基本転送以外にも、ホストからのリセットやサスペンドなど、エニュメレーション/パワーコントロールに関係する信号(D+/D-)動作が存在します。これらの処理には UDC2 動作の他にも、接続する USB2.0-PHY の仕様やシステムとしての CLK 制御等が関係してきますので、この Appendix で処理の概略を説明します。ただし、各処理の詳細に関しましては必ず Universal Serial Bus Specification(Revision2.0)(USB-Spec2.0)を確認して下さい。

以下に AppendixA で使用する用語について説明します。

1. リセット:

   USB ホスト(以下、ホスト)から USB デバイス(以下、デバイス)を初期化するために行われる D+/D-信号動作です。このリセット終了後にエニュメレーションが行われ、その後、Bulk 転送などの通常転送が始まります。コネクト後には必ずリセットが行われますが、デバイスとしてはその他の任意のタイミングでのリセットにも対応する必要があります。

2. サスペンド

   ホストから 3ms 以上、SOF も含めた D+/D-上の全てのバス・アクティビティがない場合には、デバイスはパワー制御のためサスペンド・モードに入る必要があります。デバイスとしては CLK を停止するなどの処理が必要となります。

3. レジューム

   サスペンド動作から復帰をする場合に行われる D+/D-信号動作です。ホストとデバイスのいずれかから復帰を促すことが可能です。デバイスからのレジュームは"リモート・ウェイクアップ"と呼ばれます。

以下に各動作の説明を示します。なお、( )内の時間は USB2.0 Spec の値です。

13.9.1.1　コネクト/ディスコネクト動作

(1)　コネクト動作

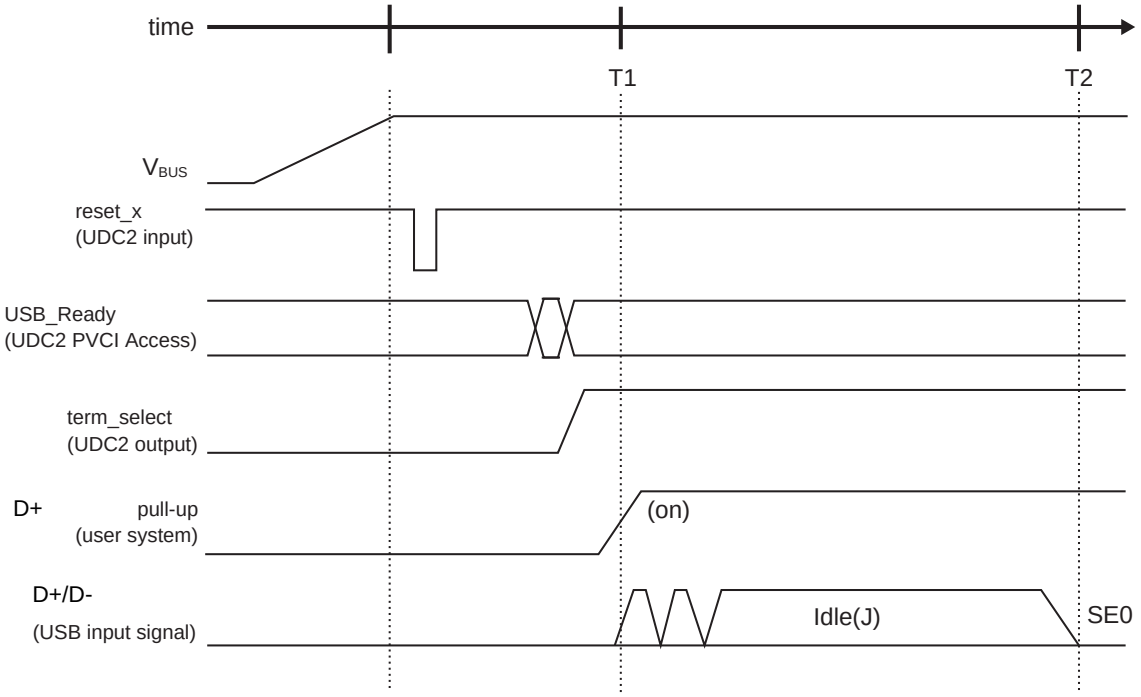


図 13-26 コネクト動作タイミング

- T0: VBUS 検知

  VBUS を検知したら、UDC2 へのシステム・リセット(reset_x 入力)を行って下さい。

  xcvr_sel は"High"、term_select は"Low"となります。
- T1: デバイス・コネクト　(T0 から、100ms 以内)

  デバイスは VBUS 検知(T0)から 100ms 以内に、ホストにコネクト状態を知らせるため D+のプルアップをイネーブルとする必要があります。よって、システムは VBUS を検知した後に、ホストとの通信が可能となった時点で、UDC2 の UDFS2CMD へアクセスし USB_Ready を設定して下さい。その後、port をソフトウエアで操作して D+のプルアップをイネーブルにします。
- T2:USB リセット開始　(T1 から、100ms 以上)

(2)　ディスコネクト動作

ディスコネクトを検知した場合には、UDC2 へシステムリセットを行うことを推奨します。

13.9.1.2 リセット動作

ここでの"リセット"は USB2.0-Spec で定義されている"Reset Signaling"を表しています。UDC2 へのシステムリセット(reset_x)とは異なります。

(1) リセット後 FS で動作する場合

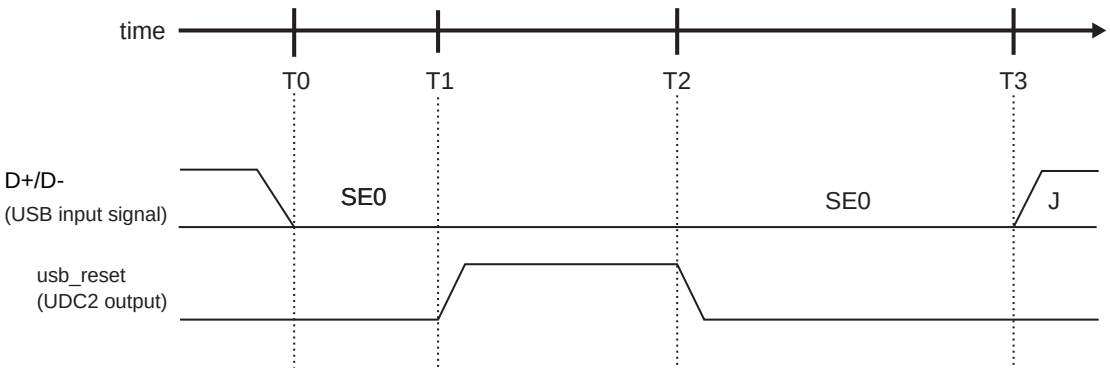


図 13-27 リセット動作タイミング図

- T0: リセット開始

  UDC2 はホストからの” SE0”を認識した時点で、リセットを認識するためのカウントを始めます。

- T1: リセット認識(T0 から 2.5 μs 以上)

  UDC2 は、T0 から約 68 μs 以上の”SE0”を検知すると、ホストからのリセットを認識して、 usb_reset を "High"にします。

- T2: USB reset のデアサート

  UDC2 は、T1 から約 3.5ms 経つと usb_reset を "Low" にします。

- T3: リセット終了(T0 から、10 ms 以上)

  ホストからの”SE0”が終了し idle に入った時点でリセットが終了となります。ホストからのリセット期間は最小で 10ms となります。

(2) リセット時の注意点

- リセット後のレジスタ初期化について

  ホストからのリセットが終了した時点(usb_reset が"High" から "Low"へ変化した時点)で、UDC2 内部レジスタは全て初期化されます。 (各レジスタの初期値は、「13.4 レジスタ 説明」を参照して下さい。)

  usb_reset が "High"の間に設定されたレジスタも初期化されますので、リセット後の各レジスタの再設定はリセット終了後に行って下さい。

- リセット後の DMA 転送 (EP-I/F アクセス）について

  DMA 転送中に、ホストからリセットを受信した場合には、UDFS2EP x STS の初期化に伴いバスアクセス選択が、”共通バスアクセス”となります。従って、正常に DMA 転送を続けることがてきなくなります。リセット受信時には、DMA コントローラの初期化も行って下さい。

  リセット後にはエニュメレーションが発生しますので、その際に各 EP の設定を行ったうえ、UDFS2CMD の EP_Reset コマンドを用いて EP の初期化を行って下さい。

13.9.1.3　サスペンド動作

(1)　サスペンド動作

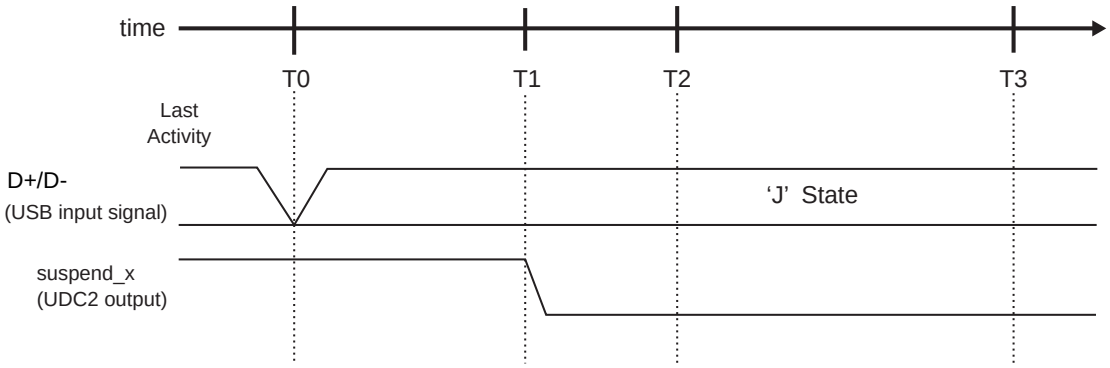


図 13-28 サスペンド動作タイミング

- T0:バスアクティビティの終了

  ホストからの最後のバスアクティビティ(パケットの終わり）を検知した時点で、UDC2 はサスペンドを認識するためにカウントを始めます。

- T1: サスペンド認識(T0 から 3 ms)

  T0 から 3ms 以上の "FS-J"を検知した時、UDC2 はサスペンドを認識して suspend_x を"Low"とします。

- T2: リモートウェイクアップ開始可能(T0 から 5 ms)

  T0 から 5ms 経過した時点で、デバイスからのレジューム(=リモートウェイクアップ）が可能となります。

- T3: サスペンドへの移行 (T0 から 10 ms)

  T0 から 10ms 以内にデバイスとしてサスペンドに入る必要があります。CLK_U を停止させる場合など、デバイスシステムとしてサスペンドに必要な処理を行う場合には、この期間内に行って下さい。

  UDC2 の CLK_U を停止する場合には、クロック/モード制御回路を制御しする必要があります。

(2)　サスペンド動作時の注意

- サスペンド中の内部レジスタについて

  サスペンド中、UDC2 は内部レジスタの値や FIFO の中身、各フラグの状態を保持します。レジュームによりサスペンドから復帰した後も同様にサスペンド前の状態を保持しています。

  なお UDC2 の CLK_H が停止している場合、PVC-I/F、EP-I/F を通じて UDC2 内部レジスタへのアクセスすることが不可能になります。

13.9.1.4 レジューム動作

(1) ホストレジューム動作

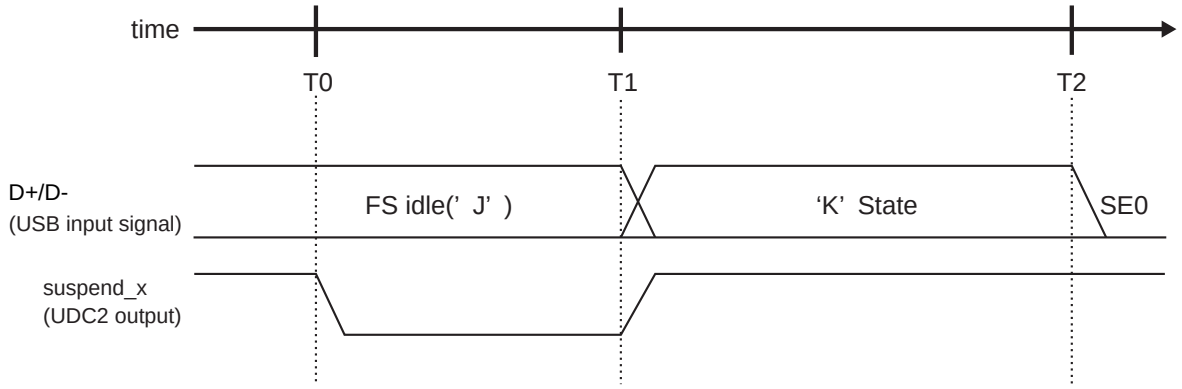


図 13-29 ホストレジューム動作タイミング

- T0: UDC2 の suspend_x 出力が、 "Low"
- T1: ホストレジューム機能(タイミング規定無し)

  ホストはサスペンドから復帰させるため、任意のタイミングでレジューム ("FS-K")を開始します。UDC2 はこの時点で suspend_x を "High"にします。 (UDC2 の CLK_U が停止している状態でも、suspend_x は "High"になります。)

  サスペンド中に UDC2 の CLK_H を停止させている場合、クロック/モード制御回路を制御し CLK_H を再開させて下さい。

  UDC2 への CLK 入力を停止する場合には、clk_em を制御する必要があります。
- T2:ホストレジューム終了(T1 から 20 ms 以上)

  ホストからのレジューム ("FS-K")は 20ms 以上続きます。その後、 "SE0"を経てレジュームが終了します。

(2) デバイスレジューム(リモートウェイクアップ)動作

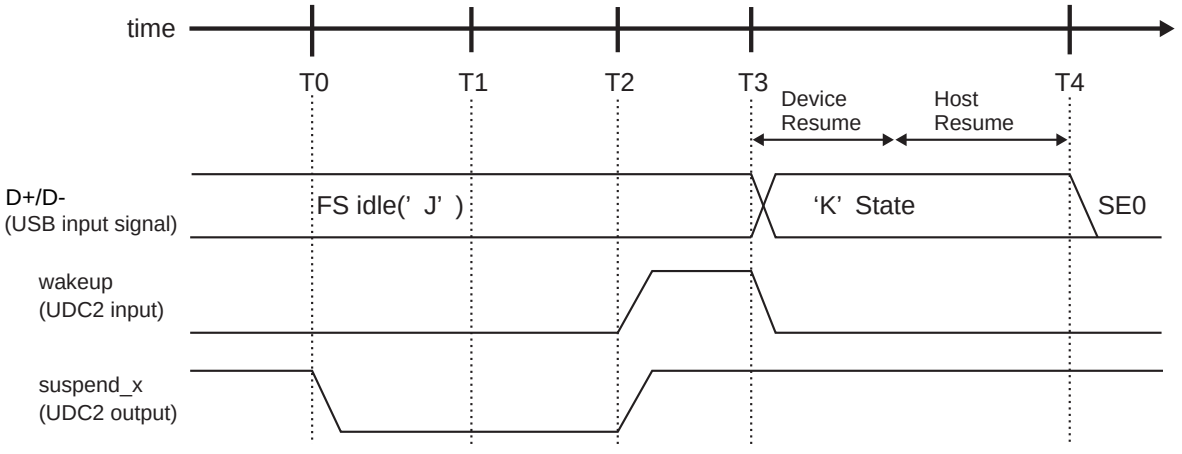


図 13-30 リモートウェイクアップ動作タイミング

- T0: UDC2 の suspend_x 出力が "Low"
- T1: リモートウェイクアップ開始可能 (T0 から 2 ms 以上)

  デバイスからサスペンド復帰をする場合に、UDC2 の wakeup 入力を使用することで、リモートウェイクアップが可能です。ただし、USB-Spec 上、サスペンド開始から 5ms はリモートウェイクアップが禁止されています。サスペンド開始から T0 までに 3ms は経過しているので、T0 から 2ms 以上経ってから wakeup を"H"にして下さい。
- T2: UDC2 への wakeup 入力を "High" (T1 以降)

  任意のタイミングで wakeup を"High"にして下さい。UDC2 はこの時点で suspend_x を"High"にします。(UDC2 への CLK 入力が停止している状態でも、suspend_x は"High"になります。)　また、UDC2 が実際にレジューム("FS-K")を開始するためには、UDC2 へ CLK が入力されている必要があります。その後、CLK が再開されるまで、wakeup を"High"にし続けて下さい。
- T3: デバイスレジューム開始

  UDC2 の CLK_H が再開されると、UDC2 はデバイス・レジューム("FS-K")を開始します。UDC2 のデバイスレジューム期間は約 2ms となっています。ホストはデバイスレジュームを確認するとホスト・レジュームを開始します。
- T4: ホストレジューム終了　(T3 から 20ms 以上)

  ホストからのレジューム("FS-K")は 20ms 以上続きます。その後、"SE0"を経てレジューム動作が終了します。

(3)　レジューム時の注意点

リモートウェイクアップの使用制限について下記の注意点があります。

リモートウェイクアップをデバイスシステムとしてサポートする場合には、Configuration ディスクリプタの中で、デバイスとしてリモートウェイクアップ機能がイネーブルであることをホストに伝えなければいけません。さらに、サポートする場合でも、リモートウェイクアップの使用許可はデフォルトではディセーブルとなっています。ホストからのリクエストによりイネーブルとされるまではこの機能は使用してはいけません。これらの制約を満たしている場合に限り wakeup 入力を使用してのリモートウェイクアップを行って下さい。

この仕様の詳細は 13.8 に記載してありますので、使用する場合は必ず参照して下さい。

13.9.2 Appendix B MaxPacketSize 奇数バイト設定関連

13.9.2.1 UDFS2EPxMSZ の奇数設定について

USB-Spec 上、Isochronous/Interrupt 転送では EP の MaxPacketSize(以下、MPS)を偶数/奇数バイトのどちらかに設定可能です。(Control/Bulk 転送では偶数のみを設定可能です。)

UDC2 では MPS の設定は、UDFS2EP x MSZ<max_pkt>で行います。UDC2 で実装する EP の FIFO 構成としては偶数バイトしかサポートしていないので、通常は MPS も偶数バイトを設定することを推奨します。

もし MPS を奇数バイトとして使用したい場合には、<max_pkt>に奇数バイトに設定することも可能ですが、EP のバスアクセス方法によって、<max_pkt>設定値に表 13-6 のような制限があります。つまり、送信用 EP での直接アクセスでは<max_pkt>に奇数バイトを設定できません。この場合には、<max_pkt>へは偶数バイトを設定し、EP-FIFO へのライトアクセスで最大ライトバイト数を MPS(奇数)に制御する必要があります。(例えば、MPS を 1023 バイトにする場合は、<max_pkt>に 1024 バイトを設定します。)

表 13-6 max_pkt　設定制限

	受信用 EP	送信用 EP
共通バスアクセス(PVCI-I/F)	偶数/奇数を設定可能	偶数/奇数を設定可能
EP 直接アクセス(EP-I/F)	偶数/奇数を設定可能	偶数のみを設定可能.

上記を踏まえて、次項より、各バスアクセス方法に応じた奇数バイトの MPS 設定方法について説明します。

(1) 受信用 EP と共通バスアクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。アクセス方法も奇数/偶数バイトで同じです。

(2) 送信用 EP と共通バスアクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。

但し、<max_pkt>に奇数バイトを設定して、MPS のライトを行う場合には、以下の点に気をつけて共通バスアクセスを行って下さい。

以下は<max_pkt>=5 を設定し、MPS である 5 バイトをライトする場合のアクセス例です。

- 最後の 5 バイト目のアクセスでは、必ず udc_be= 01 として下さい。
- MPS のアクセスなので、UDFS2CMD での EP_EOP コマンドは発行しないで下さい。

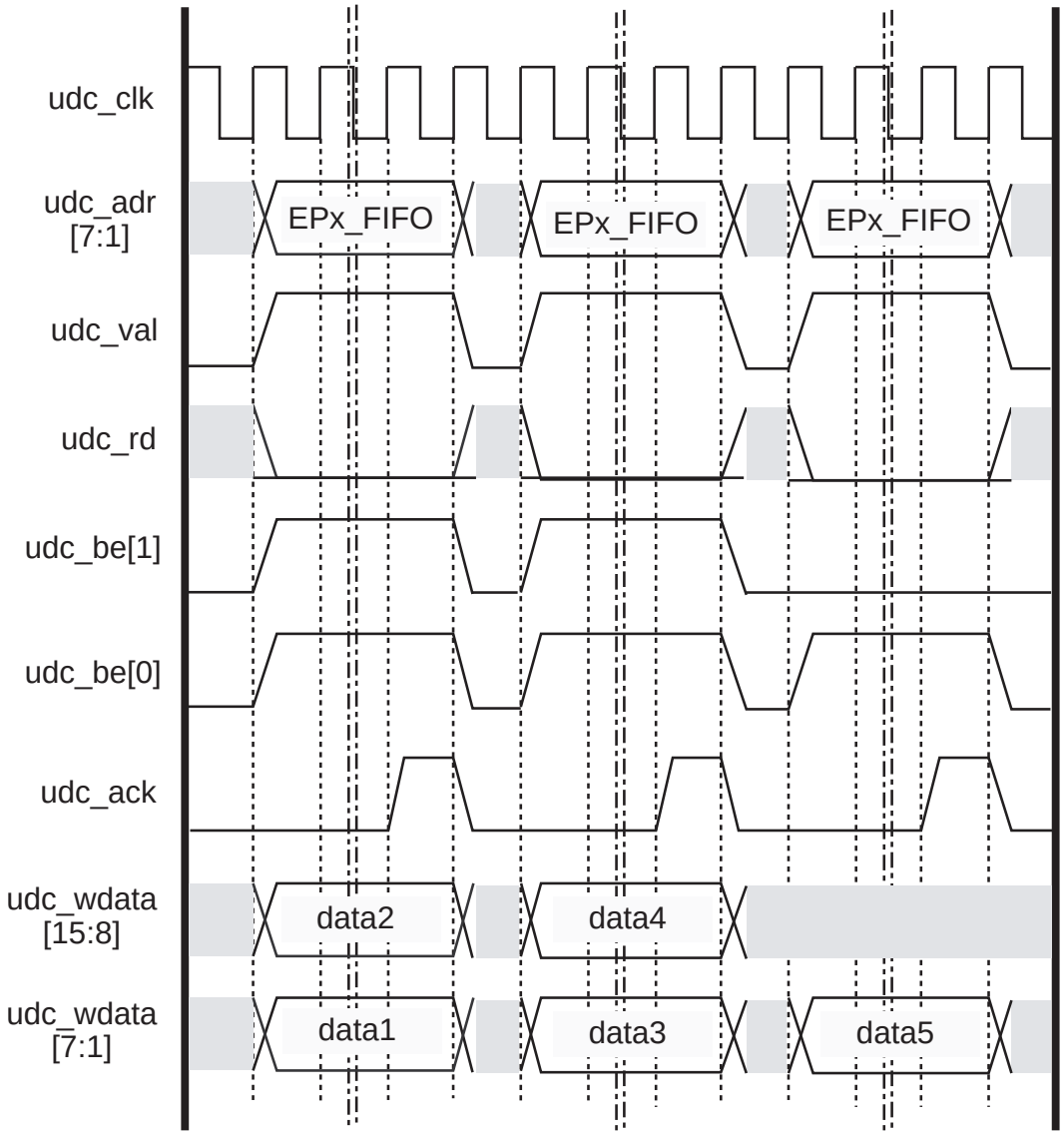


図 13-31 max_pkt=奇数で MPS ライト時のアクセス（共通バスアクセス）

(3)　受信用 EP と EP 直接アクセス

<max_pkt>に奇数/偶数バイトの両方を設定可能です。アクセス方法も奇数/偶数で同じです。

(4)　送信用 EP と EP 直接アクセス

<max_pkt>に偶数バイトのみを設定可能です。USB 上、EP の MPS を奇数バイトとして動作させる場合は以下のように設定して下さい。

- MPS=1023 で使用する例
  - <max_pkt>=1024 を設定してください。
  - EP への最大ライトアクセスは 1023 バイトとして下さい。(MPS を超える 1024 バイトはライトしないで下さい。)
  - ファームウェアで管理する必要がある EP ディスクリプタの"wMaxPacketSize"は、1023 を設定して下さい。(この値は GetDescriptor リクエストで USB-HOST へ伝える情報です。)

以下は<max_pkt>=1024 を設定し、MPS である 1023 バイトをライトする場合のアクセス例です。

- 最後の 1023 バイト目のアクセスでは、必ず epx_w_be=01 として下さい。

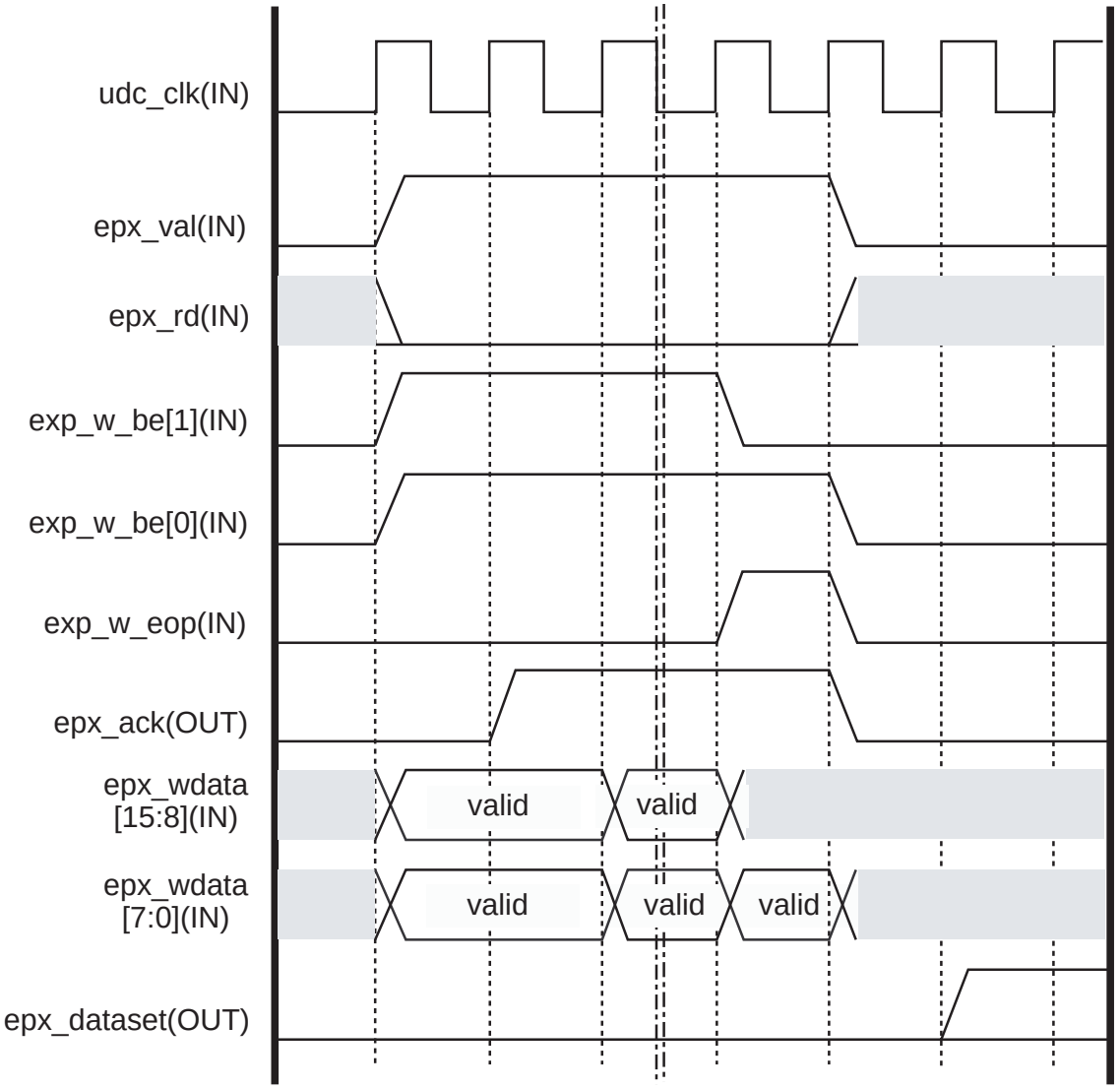


図 13-32 <max_pkt>=偶数で MPS(奇数)ライト時のアクセス (EP 直接アクセス)

13.9.3　Appendix C Isochronous 転送関連

Isochronous 転送ではデータの等時性が重要となるためフレーム毎に転送が発生します。従って、Isochronous 転送を使用する EP(FIFO)へのアクセスも、ある一定のパフォーマンス(スピード)が要求されます。 UDC2 では EP へのアクセス手段として PVCI-I/F か EP-I/F を選択可能です。また、FIFO 構成に関しては Single モードか Dual モードが選択可能となっています。しかし Isochronous 転送を使用する EP に関しては EP-I/F、Dual モードでの使用を推奨します。

13.9.3.1　Isochronous 転送使用 EP へのアクセスの注意点

最大データペイロードサイズは FS で 1023byte です。Dual モードを使用しペイロードサイズ 1023byte の転送を行うためには、2048byte の RAM が必要です。また、FS ではフレームごと(1ms)に転送が行われます。

(使用するペイロードサイズや transaction 数の情報は、UDC2 へのレジスタ設定が必要です。また、これらの情報はホストへ通知する EP のディスクリプタ情報として、ソフトウエアでも管理が必要です。)

13.9.3.2　Isochronous 転送使用 EP へのコマンド制約

Isochronous 転送では他の転送と比較して、handshake, トグル, フレーム内の transaction 数などの制約があるため、実際には、使用すべきコマンドが限られています。Isochronous 転送使用中の EP に対しては基本的にコマンドを使用しないで下さい。ただし、リクエスト処理中には EP_Reset コマンド、 EP_Invalid コマンドを必要に応じて使用して下さい。」

(EP へのアクセス手段として PVCI-IF を使用する場合には「EP_EOP コマンド」を使用します)

(Appendix に関して)

USB の仕様に関係する部分は、必ず USB Specification(Revision 2.0)にて確認して下さい).

第 14 章　シリアルチャネル(SIO/UART)

14.1　概要

シリアルチャネル(SIO)は同期通信モード(I/O インタフェースモード)と非同期通信モード(UART モード)の 2 つのモードを持っています。特長は以下のとおりです。

- 転送クロック
  - プリスケーラでペリフェラルクロック(ΦT0)を 1/2、1/8、1/32、1/128 分周
  - プリスケーラ出力クロックに対し、1~16 分周が可能
  - プリスケーラ出力クロックに対し、N + m/16 (N = 2~15, m = 1~15)分周が可能 (UART モードのみ)
  - システムクロックを使用可能(UART モードのみ)
- ダブルバッファ/FIFO

  ダブルバッファおよび、送受信あわせて最大 4 バイトの FIFO を使用可能
- I/O インタフェースモード
  - 転送モード：半二重(受信/送信)、全二重
  - クロック：出力(立ち上がりエッジ固定) / 入力(立ち上がり/立ち下がりエッジ選択)
  - 連続転送時のインターバル時間設定が可能
- UART モード
  - データ長：7，8，9 ビット
  - パリティ付加(9 ビット長では不可)
  - シリアルリンクでのウエイクアップ機能
  - $\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能

以下の説明中、"x"はチャネル番号をあらわします。

14.2　チャネル別仕様相違点

TMPM365FYXBG は 2 チャネルの SIO を内蔵しています。

各チャネルはそれぞれ独立に動作します。チャネルごとの使用端子と割り込みを以下にまとめます。

表 14-1 SIO のチャネル別仕様相違点

	端子名			割り込み		DMA 要求	シリアルクロック生成タイマ
	TXD	RXD	$\overline{\text{CTS}}$x/ SCLKx	受信割り込み	送信割り込み		
チャネル 0	PE0	PE1	PE2	INTRX0	INTTX0	サポート	TB8OUT
チャネル 1	PC0	PC1	PC2	INTRX1	INTTX1	サポート	TB8OUT

14.3　構成

図 14-1 に SIO のブロック図を示します。

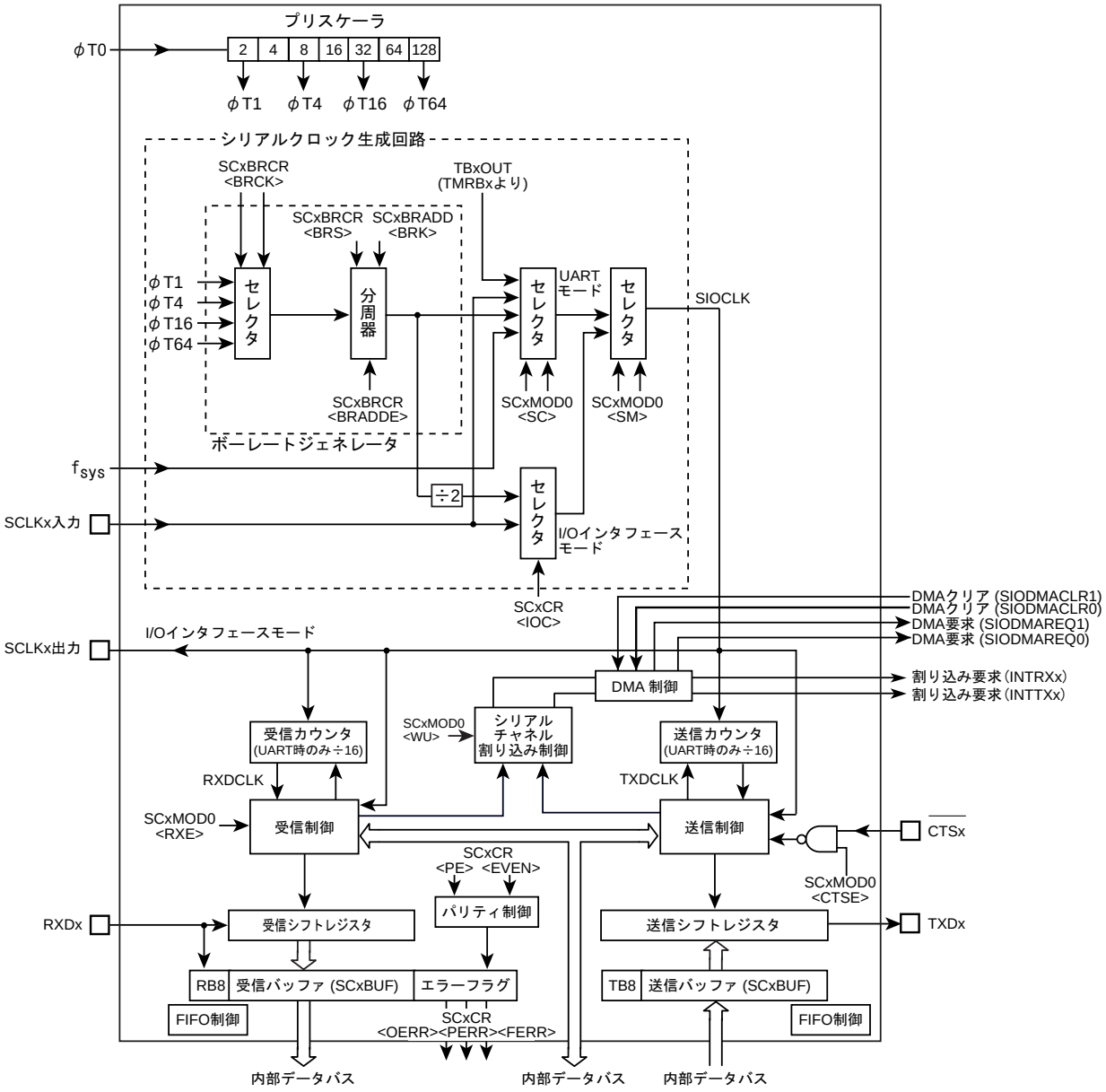


図 14-1 SIO ブロック図

14.4 レジスタ説明

14.4.1 チャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

Channel x	Base Address
Channel0	0x400E_1000
Channel1	0x400E_1100

レジスタ名(x=0 ~ 1)		Address(Base+)
イネーブルレジスタ	SCxEN	0x0000
送受信バッファレジスタ	SCxBUF	0x0004
コントロールレジスタ	SCxCR	0x0008
モードコントロールレジスタ 0	SCxMOD0	0x000C
ボーレートジェネレータコントロールレジスタ	SCxBRCR	0x0010
ボーレートジェネレータコントロールレジスタ 2	SCxBRADD	0x0014
モードコントロールレジスタ 1	SCxMOD1	0x0018
モードコントロールレジスタ 2	SCxMOD2	0x001C
受信 FIFO コンフィグレジスタ	SCxRFC	0x0020
送信 FIFO コンフィグレジスタ	SCxTFC	0x0024
受信 FIFO ステータスレジスタ	SCxRST	0x0028
送信 FIFO ステータスレジスタ	SCxTST	0x002C
FIFO コンフィグレジスタ	SCxFCNF	0x0030
DMA 要求許可レジスタ	SCxDMA	0x0034

注) 送信中、受信中に制御レジスタを書き換えないでください。

14.4.2　SCxEN (イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-1	–	R	リードすると"0"が読めます。
0	SIOE	R/W	SIO 動作 0: 禁止 1: 動作 SIO の動作を指定します。SIO を使用する場合は、まず<SIOE>に"1"をセットしてください。 動作禁止の状態では、イネーブルレジスタを除く SIO のすべてのクロックが停止しますので消費電力の低減が可能です。 SIO を一旦動作させた後に動作禁止にした場合は、SCxTFC<TIL[1:0]>を除くレジスタの設定は保持されます。

注 1)　SCxEN<SIOE>=0(SIO 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

注 2)　SIO の送信/受信割り込みを利用して DMA 転送を行う場合、SCxMOD2<SWRST>にてソフトウエアリセットを行ってから、DMAC を動作させ(DMA 要求待機状態)、SIO の送信、または受信の設定（開始）を行ってください。

14.4.3 SCxBUF (バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB / RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7-0	TB[7:0] / RB [7:0]	R/W	[ライト] TB：送信用バッファ/ FIFO [リード] RB：受信用バッファ/ FIFO

14.4.4　SCxCR (コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RB8	R	受信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の受信データです。
6	EVEN	R/W	パリティ(UART 用) 0: Odd 1: Even パリティの条件を設定します。 "0"で奇数(Odd)パリティ、"1"で偶数(Even)パリティです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
5	PE	R/W	パリティ付加(UART 用) 0: 禁止 1: 許可 パリティ許可/禁止を制御するビットです。 パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。
4	OERR	R	オーバランエラー (注) 0: エラーではない 1: エラー
3	PERR	R	パリティ/アンダーランエラー (注) 0: エラーではない 1: エラー
2	FERR	R	フレーミングエラー (注) 0: エラーではない 1: エラー
1	SCLKS	R/W	入力クロックエッジ選択(I/O インタフェース用) クロック出力モードの時には"0"を設定してください。 0: SCLKx の立ち下がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx の立ち上がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx は High レベルからスタートします。 1: SCLKx の立ち上がりエッジで送信バッファのデータを 1bit ずつ TXDx 端子へ出力します。 SCLKx の立ち下がりエッジで RXDx 端子のデータを 1bit ずつ受信バッファに取り込みます。 この時、SCLKx は Low レベルからスタートします。
0	IOC	R/W	クロック選択(I/O インタフェース用) 0: ボーレートジェネレータ 1: SCLK 端子入力

注)　エラーフラグ(OERR, PERR, FERR)は読み出すとクリアされます。

14.4.5 SCxMOD0 (モードコントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット 8 (UART 用) 9 ビット UART モード時の 9 ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御 (UART 用) 0: CTS ディセーブル 1: CTS イネーブル ハンドシェイク機能の制御を行います。 イネーブルにすると $\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能が使用可能になります。
5	RXE	R/W	受信制御(注 1)(注 2) 0: 禁止 1: 許可
4	WU	R/W	ウェイクアップ機能 (UART 用) 0: ディセーブル 1: イネーブル 9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。 イネーブルの場合、受信データ 9 ビット目が"1"のときのみ割り込みが発生します。
3-2	SM[1:0]	R/W	シリアル転送モード 00: I/O インタフェースモード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード
1-0	SC[1:0]	R/W	シリアル転送クロック(UART 用) 00: タイマ TB8OUT 01: ボーレートジェネレータ 10: 内部クロック fsys 11: 外部クロック(SCLK 入力) (I/O インタフェースモード時の転送クロックは、コントロールレジスタ(SCxCR)で選択します。)

注 1) <RXE>ビットは、各モードレジスタ(SCxMOD0, SCxMOD1, SCxMOD2)を設定してから許可してください。
注 2) 受信中に動作を停止(SCxMOD0<RXE>を"0"にクリア)しないでください。

14.4.6　SCxMOD1 (モードコントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	I2SC	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	I2SC	R/W	IDLE モード時の動作 0: 停止 1: 動作 IDLE モード時の動作を指定します。
6-5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重(受信) 10: 半二重(送信) 11: 全二重 I/O インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。 UART モードの場合は FIFO 構成の指定のみ行われます。
4	TXE	R/W	送信制御(注 1) (注 2) 0: 禁止 1: 許可 全転送モードに有効な送信許可ビットです。
3-1	SINT[2:0]	R/W	連続転送時のインターバル時間(I/O インタフェース用) 000: なし 001: 1SCLK 010: 2SCLK 011: 4SCLK 100: 8SCLK 101: 16SCLK 110: 32SCLK 111: 64SCLK I/O インタフェースモードで SCLK 出力の場合に有効なビットです。その他のモードでは意味を持ちません。 I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。
0	−	R/W	"0"をライトしてください。

注 1)　<TXE>ビットは、すべての設定を行った後に許可してください。
注 2)　送信中に動作を停止(SCxMOD1<TXE>を"0"にクリア)しないでください。
注 3)　SCxEN<SIOE>=0(SIO 動作禁止)、または SCxMOD1<I2SC>=0 で IDLE モードへの移行(IDLE モード中の動作停止)した場合は、必ず SCxTFC の再設定を行ってください。

14.4.7 SCxMOD2 (モードコントロールレジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBEMP	RBFLL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	–	R	リードすると"0"が読めます。
7	TBEMP	R	送信バッファエンプティフラグ 0: Full 1: Empty ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると"1"になり、送信データが書き込まれると"0"になります。
6	RBFLL	R	受信バッファ full フラグ 0: Empty 1: Full ダブルバッファ不許可の場合はこのフラグは意味を持ちません。 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると"1"になり、読み出すと"0"になります。
5	TXRUN	R	送信動作中フラグ 0: 停止 1: 動作 送信シフト動作中を示すステータスフラグです。 <TXRUN>と<TBEMP>ビットで以下のような状態を示します。
4	SBLEN	R/W	送信 STOP ビット長(UART 用) 0: 1 ビット 1: 2 ビット UART モード時の送信 STOP ビットの長さを指定します。 受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。
3	DRCHG	R/W	転送方向設定 0: LSB first 1: MSB first I/O インタフェースモード時の転送方向を指定します。 UART モード時は LSB first に設定してください。
2	WBUF	R/W	ダブルバッファの許可 0: 不許可 1: 許可 I/O インタフェースモードの送信(SCLK 出力/入力), 受信(SCLK 出力), UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。 I/O インタフェースモードの受信(SCLK 入力), UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<TXRUN>	<TBEMP>	状態
1	–	送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>1-0</td><td>SWRST[1:0]</td><td>R/W</td><td>ソフトリセット
"10"→"01" の順に書き込むことでソフトウエアリセットが発生します。
ソフトウエアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。(注 1) (注 2)
<table>
<tr><th>レジスタ名</th><th>ビット</th></tr>
<tr><td>SCxMOD0</td><td><RXE></td></tr>
<tr><td>SCxMOD1</td><td><TXE></td></tr>
<tr><td>SCxMOD2</td><td><TBEMP>, <RBFLL>, <TXRUN></td></tr>
<tr><td>SCxCR</td><td><OERR>, <PERR>, <FERR></td></tr>
<tr><td>SCxDMA
(注 2)</td><td><DMAEN1>, <DMAEN0></td></tr>
</table></td></tr>
</table>

注 1)　転送動作中にソフトリセットを実施する場合は 2 回連続して実行してください。
注 2)　ソフトウエアリセット動作が完了するのに、命令実行後 2 クロック必要です。

14.4.8 SCxBRCR (ボーレートジェネレータコントロールレジスタ), SCxBRADD (ボーレートジェネレータコントロールレジスタ 2)

ボーレートジェネレータの分周値は、下記の 2 つのレジスタで設定します。

SCxBRCR

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	BRADDE	BRCK		BRS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	−	R/W	"0"をライトしてください。
6	BRADDE	R/W	N + (16 − K)/16 分周機能(UART 用) 0: ディセーブル 1: イネーブル この機能は、UART モードのときのみ使用可能です。
5-4	BRCK[1:0]	R/W	ボーレートジェネレータ入力クロック選択 00: φT1 01: φT4 10: φT16 11: φT64
3-0	BRS[3:0]	R/W	分周値"N"の設定 0000: 16 分周 0001: 1 分周 0010: 2 分周 : 1111: 15 分周

SCxBRADD

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	BRK			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-4	−	R	リードすると"0"が読めます。
3-0	BRK[3:0]	R/W	N + (16 − K)/16 分周の K 値の設定(UART 用) 0000: 設定禁止 0001: K = 1 0010: K = 2 : 1111: K = 15

ボーレートジェネレータ分周値の設定方法を表 14-2 にまとめます。

表 14-2 分周値の設定方法

	<BRADDE> = "0"のとき	<BRADDE> = "1"のとき (注 1) (UART モードのみ使用可能)
<BRS>の設定	分周値"N"を設定 (注 2) (注 3)	
<BRK>の設定	設定不要	"K"値を設定 (注 4)
分周値	N 分周	$N + \frac{(16 - K)}{16}$ 分周

注 1)　N + (16 − K)/16 分周機能を使用する場合、必ず<BRK>に"K"値を設定後に<BRADDE> = "1"を設定してください。この機能は、UART モードのときのみ使用可能です。

注 2)　UART モードで N + (16 − K)/16 分周機能を使用する場合、分周値"N"に 1 分周("0001")と 16 分周("0000")は設定できません。

注 3)　I/O インタフェースモードの場合、分周値"N"に 1 分周("0001")を設定できるのはダブルバッファを使用する場合のみです。

注 4)　"K"値に"0"を設定することはできません。

14.4.9 SCxFCNF (FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

<table>
<tr><th>Bit</th><th>Bit Symbol</th><th>Type</th><th>機能</th></tr>
<tr><td>31-8</td><td>-</td><td>R</td><td>リードすると"0"が読めます。</td></tr>
<tr><td>7-5</td><td>-</td><td>R/W</td><td>必ず"000"を書き込んでください。</td></tr>
<tr><td>4</td><td>RFST</td><td>R/W</td><td>受信 FIFO 使用バイト数
0: 最大
1: 受信 FIFO の FILL レベルに同じ
受信 FIFO 使用バイト数の設定ビットです。(注 1)
"0"の場合、構成されている FIFO の最大のバイト数(<CNFG>ビットの説明を参照。)が使用可能です。
"1"の場合、SCxRFC<RIL[1:0]>で指定された FILL レベルのバイト数になります。</td></tr>
<tr><td>3</td><td>TFIE</td><td>R/W</td><td>送信 FIFO 使用時の送信割り込み許可
0: 禁止
1:許可
送信 FIFO が有効にされている時の送信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>2</td><td>RFIE</td><td>R/W</td><td>受信 FIFO 使用時の受信割り込み許可
0: 禁止
1:許可
受信 FIFO が有効にされている時の受信割り込みの禁止/許可を切り替えます。</td></tr>
<tr><td>1</td><td>RXTXCNT</td><td>R/W</td><td>RXE/TXE の自動禁止
0: なし
1: 自動禁止
送信/受信の自動禁止機能の制御ビットです。
"1"に設定した場合、設定された通信方式により以下のように動作します。
<table>
<tr><td>半二重受信</td><td>受信シフトレジスタ、受信バッファおよび受信 FIFO に指定された有効バイト数分のデータが格納されると自動的に受信許可ビット(SCxMOD0 <RXE>)が"0"となり、受信が禁止される。</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット(SCxMOD1 <TXE>)が"0"となり、送信が禁止される。</td></tr>
<tr><td>全二重</td><td>上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット, 受信許可ビットとも"0"となり、送受信が禁止される。</td></tr>
</table></td></tr>
<tr><td>0</td><td>CNFG</td><td>R/W</td><td>FIFO の許可
0: 禁止
1: 許可
FIFO 使用の許可ビットです。(注 2)
"1"に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下のようになります。
<table>
<tr><td>半二重受信</td><td>受信 FIFO 4 バイト</td></tr>
<tr><td>半二重送信</td><td>送信 FIFO 4 バイト</td></tr>
<tr><td>全二重</td><td>受信 FIFO 2 バイト + 送信 FIFO 2 バイト</td></tr>
</table></td></tr>
</table>

注 1)　送信 FIFO は常に構成されている FIFO の最大バイト数を使用できます。
注 2)　9 ビット UART モードでは FIFO は使用できません。

14.4.10 SCxRFC (受信 FIFO コンフィグレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	RFCS	W	受信 FIFO クリア(注) 1: クリア "1"を書き込むと受信 FIFO がクリアされ、SCxRST<RLVL>="000"となります。また、リードポインタも初期化されます。 リードすると"0"が読めます。
6	RFIS	R/W	割り込み発生条件選択 0: fill レベル到達 1: fill レベル到達および新規データ読み出し時に fill レベルを超えている
5-2	−	R	リードすると"0"が読めます。
1-0	RIL[1:0]	R/W	受信割り込みが発生する FIFO の fill レベル

	半二重	全二重
00	4 バイト	2 バイト
01	1 バイト	1 バイト
10	2 バイト	2 バイト
11	3 バイト	1 バイト

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

14.4.11　SCxTFC (送信 FIFO コンフィグレジスタ) (注 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TFCS	W	送信 FIFO クリア(注 1) 1: クリア "1"を書き込むと送信 FIFO がクリアされ、SCxTST<TLVL>="000"となります。また、ライトポインタも初期化されます。 リードすると"0"が読めます。
6	TFIS	R/W	割り込み発生条件選択 0: fill レベル到達 1: fill レベル到達および新規データ書き込み時に fill レベルに達していない
5-2	−	R	リードすると"0"が読めます。
1-0	TIL[1:0]	R/W	送信割り込みが発生する FIFO の fill レベル

	半二重	全二重
00	Empty	Empty
01	1 バイト	1 バイト
10	2 バイト	Empty
11	3 バイト	1 バイト

注 1)　送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行してください。

注 2)　以下の動作を行った際は、SCxTFC レジスタを再度設定してください。

・SCxEN<SIOE>="0" (SIO 動作停止)

・SCxMOD1<I2SC> = "0" (IDLE モード時動作禁止)設定で、WFI 命令による低消費電力モードへの遷移からの復帰後

14.4.12 SCxRST (受信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	ROR	R	受信 FIFO オーバラン(注) 0: オーバランは発生していない 1: オーバラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	RLVL[2:0]	R	受信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注) <ROR>ビットはバッファレジスタ(SCxBUF)を読み出すと"0"にクリアされます。

14.4.13　SCxTST (送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TUR	-	-	-	-	TLVL		
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	−	R	リードすると"0"が読めます。
7	TUR	R	送信 FIFO アンダーラン(注) 0: アンダーランは発生していない 1: アンダーラン発生
6-3	−	R	リードすると"0"が読めます。
2-0	TLVL[2:0]	R	送信 FIFO の fill レベル 000: Empty 001: 1 バイト 010: 2 バイト 011: 3 バイト 100: 4 バイト

注)　<TUR>ビットはバッファレジスタ(SCxBUF)に書き込みを行うと"0"にクリアされます。

14.4.14 SCxDMA (DMA 要求許可レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DMAEN1	DMAEN0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-2	−	R	Read as 0.
1	DMAEN1	R/W	受信割り込みによる DMA 要求(受信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可
0	DMAEN0	R/W	送信割り込みによる DMA 要求(送信割り込み INTRX 発生により DMA リクエストを発行) 0: 禁止 1: 許可

注) DMA 要求(転送)中に同要求が発行された場合、要求は保持されずネスティングされません。

14.5　動作モード

表 14-3 にモードとデータフォーマットをまとめます。

表 14-3 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティ付加	STOP ビット長(送信)
モード 0	同期通信モード (I/O インタフェースモード)	8 ビット	LSB first/MSB first	-	-
モード 1	非同期通信モード (UART モード)	7 ビット	LSB first	○	1 ビットまたは 2 ビット
モード 2		8 ビット		○	
モード 3		9 ビット		×	

モード 0 は同期通信モードで、IO を拡張するために使用できます。SCLK に同期してデータの送受信を行います。SCLK は入力/出力いずれも使用できます。

転送方向は、LSB first と MSB first から選択可能です。パリティ付加機能はなく、STOP ビットも使用しません。

モード 1 からモード 3 は非同期通信モードです。転送方向は LSB first 固定です。

モード 1 とモード 2 はパリティビットの付加が可能です。モード 3 は、マスタコントローラが、シリアルリンク(マルチコントローラシステム)でスレーブコントローラを起動させるためのウエイクアップ機能を有しています。

送信時の STOP ビットを 1 ビットまたは 2 ビットから選択できます。受信時の STOP ビット長は 1 ビット固定です。

14.6 データフォーマット

14.6.1 データフォーマット一覧

図 14-2 にデータフォーマットを示します。

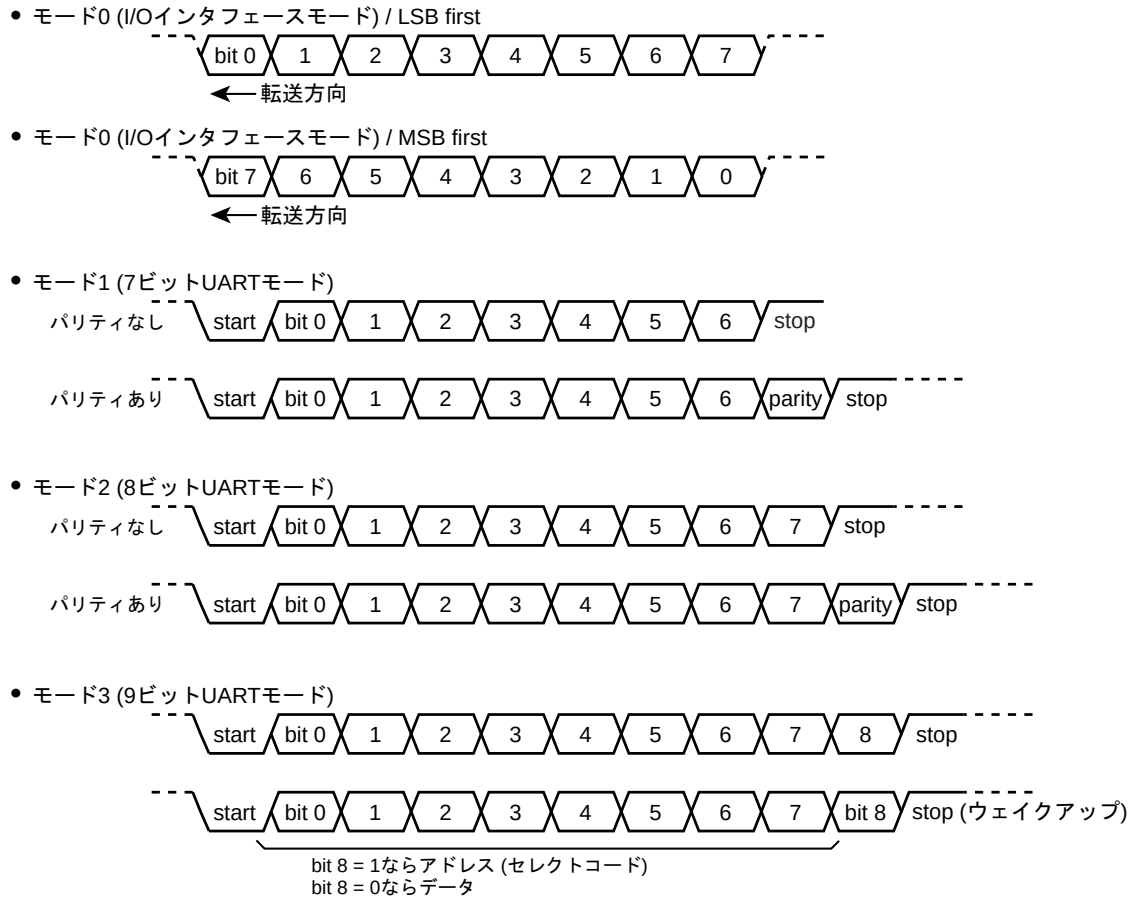


図 14-2 データフォーマット

14.6.2　パリティ制御

7 ビット UART モードまたは 8 ビット UART モードでは送信データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティが有効になります。SCxCR<EVEN>で偶数/奇数パリティを選択することができます。

14.6.2.1　送信

送信時、パリティ制御回路は送信バッファのデータに対して自動的にパリティを発生し、7 ビット UART モードのときは SCxBUF<TB7>に、8 ビット UART モードのときは SCxMOD0<TB8>にパリティが格納されます。

なお<PE>と<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

14.6.2.2　受信

受信データが受信シフトレジスタから受信バッファに移されるとパリティを自動発生し、7 ビット UART モードのときは SCxBUF<RB7>と、8 ビット UART モードのときは SCxCR<RB8>と生成したパリティを比較します。異なっているとパリティエラーが発生し、SCxCR<PERR>がセットされます。

FIFO を使用する場合、<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

14.6.3　STOP ビット長

SCxMOD2<SBLEN>で、UART 送信モードの STOP ビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

14.7 クロック制御

14.7.1 プリスケーラ

7 ビットのプリスケーラを実装しており、ΦT0 の 2 / 8 / 32 / 128 分周のクロックを生成します。

プリスケーラの入力クロック ΦT0 は、クロック/モード制御部の CGSYSCR レジスタで選択します。

プリスケーラは、SCxMOD0<SC[1:0]>="01"でボーレートジェネレータを転送クロックとして選択した場合に動作します。

ボーレートジェネレータへの入力クロック分解能を、下表に示します。

表 14-4 ボーレートジェネレータへの入力クロック分解能 fc = 40 MHz

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			φT1	φT4	φT16	φT64
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.05 μs)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		001 (fperiph/2)	fc/2^2 (0.1 μs)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		010 (fperiph/4)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		011 (fperiph/8)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^2 (0.1 μs)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		001 (fperiph/2)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		010 (fperiph/4)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		011 (fperiph/8)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		100 (fperiph/16)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
		101 (fperiph/32)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)	fc/2^{13} (204.8 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		001 (fperiph/2)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		010 (fperiph/4)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		011 (fperiph/8)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
		100 (fperiph/16)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)	fc/2^{13} (204.8 μs)
		101 (fperiph/32)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)	fc/2^{14} (409.6 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		001 (fperiph/2)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		010 (fperiph/4)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
		011 (fperiph/8)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)	fc/2^{13} (204.8 μs)
		100 (fperiph/16)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)	fc/2^{14} (409.6 μs)
		101 (fperiph/32)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)	fc/2^{13} (204.8 μs)	fc/2^{15} (819.2 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		001 (fperiph/2)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
		010 (fperiph/4)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)	fc/2^{13} (204.8 μs)
		011 (fperiph/8)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)	fc/2^{14} (409.6 μs)
		100 (fperiph/16)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)	fc/2^{13} (204.8 μs)	fc/2^{15} (819.2 μs)
		101 (fperiph/32)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)	fc/2^{14} (409.6 μs)	fc/2^{16} (1638 μs)

表 14-4 ボーレートジェネレータへの入力クロック分解能 fc = 40 MHz

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			φT1	φT4	φT16	φT64
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.05 μs)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		001 (fperiph/2)	fc/2^2 (0.1 μs)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		010 (fperiph/4)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		011 (fperiph/8)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
	100 (fc/2)	000 (fperiph/1)	−	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		001 (fperiph/2)	fc/2^2 (0.1 μs)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		010 (fperiph/4)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		011 (fperiph/8)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
	101 (fc/4)	000 (fperiph/1)	−	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		001 (fperiph/2)	−	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		010 (fperiph/4)	fc/2^3 (0.2 μs)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		011 (fperiph/8)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
	110 (fc/8)	000 (fperiph/1)	−	−	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		001 (fperiph/2)	−	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		010 (fperiph/4)	−	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		011 (fperiph/8)	fc/2^4 (0.4 μs)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs)
	111 (fc/16)	000 (fperiph/1)	−	−	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)
		001 (fperiph/2)	−	−	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)
		010 (fperiph/4)	−	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)
		011 (fperiph/8)	−	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)
		100 (fperiph/16)	fc/2^5 (0.8 μs)	fc/2^7 (3.2 μs)	fc/2^9 (12.8 μs)	fc/2^{11} (51.2 μs)
		101 (fperiph/32)	fc/2^6 (1.6 μs)	fc/2^8 (6.4 μs)	fc/2^{10} (25.6 μs)	fc/2^{12} (102.4 μs),É,Ú

注 1)

注 2)　SIO 動作中はクロックギアの切り替えは行わないでください。

注 3)　表中"−"は設定禁止、"*"は Don't Care です。

表 14-5 ボーレートジェネレータへの入力クロック分解能 fc = 48 MHz

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			φT1	φT4	φT16	φT64
0 (fgear)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.0417 μs)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	fc/2^2 (0.0833 μs)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	100 (fc/2)	000 (fperiph/1)	fc/2^2 (0.0833 μs)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		001 (fperiph/2)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		010 (fperiph/4)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		011 (fperiph/8)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		100 (fperiph/16)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
		101 (fperiph/32)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)
	101 (fc/4)	000 (fperiph/1)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		001 (fperiph/2)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		010 (fperiph/4)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		011 (fperiph/8)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
		100 (fperiph/16)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)
		101 (fperiph/32)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3μs)	fc/2^{14} (341 μs)
	110 (fc/8)	000 (fperiph/1)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		001 (fperiph/2)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		010 (fperiph/4)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
		011 (fperiph/8)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)
		100 (fperiph/16)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3μs)	fc/2^{14} (341 μs)
		101 (fperiph/32)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)	fc/2^{15} (683 μs)
	111 (fc/16)	000 (fperiph/1)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		001 (fperiph/2)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
		010 (fperiph/4)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)
		011 (fperiph/8)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3μs)	fc/2^{14} (341 μs)
		100 (fperiph/16)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)	fc/2^{13} (171 μs)	fc/2^{15} (683 μs)
		101 (fperiph/32)	fc/2^{10} (21.4 μs)	fc/2^{12} (85.4 μs)	fc/2^{14} (342 μs)	fc/2^{16} (1366 μs)

表 14-5 ボーレートジェネレータへの入力クロック分解能 fc = 48 MHz

ペリフェラルクロック選択 CGSYSCR <FPSEL>	クロックギア値 CGSYSCR <GEAR[2:0]>	プリスケーラクロック選択 CGSYSCR <PRCK[2:0]>	プリスケーラ出力クロック 分解能			
			φT1	φT4	φT16	φT64
1 (fc)	000 (fc)	000 (fperiph/1)	fc/2^1 (0.0417 μs)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	fc/2^2 (0.0833 μs)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	100 (fc/2)	000 (fperiph/1)	–	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	fc/2^2 (0.0833 μs)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	101 (fc/4)	000 (fperiph/1)	–	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	–	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	fc/2^3 (0.167 μs)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	110 (fc/8)	000 (fperiph/1)	–	–	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	–	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	–	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	fc/2^4 (0.333 μs)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)
	111 (fc/16)	000 (fperiph/1)	–	–	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)
		001 (fperiph/2)	–	–	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)
		010 (fperiph/4)	–	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)
		011 (fperiph/8)	–	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)
		100 (fperiph/16)	fc/2^5 (0.667 μs)	fc/2^7 (2.67 μs)	fc/2^9 (10.7 μs)	fc/2^{11} (42.7 μs)
		101 (fperiph/32)	fc/2^6 (1.33 μs)	fc/2^8 (5.33 μs)	fc/2^{10} (21.3 μs)	fc/2^{12} (85.3 μs)

注 1)　プリスケーラ出力クロック φTn は、必ず φTn ≤ fsys/2 を満足するように(φTn が fsys/2 よりも遅くなるように)選択してください。

注 2)　SIO 動作中はクロックギアの切り替えは行わないでください。

注 3)　表中"−"は設定禁止、"*"は Don't Care です。

14.7.2 シリアルクロック生成回路

送受信クロック(SIOCLK)を生成するブロックで、ボーレートジェネレータとモードによりクロックを選択する回路で構成されています。

14.7.2.1 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

(1) ボーレートジェネレータ入力クロック

ボーレートジェネレータの入力クロックは、プリスケーラ出力の 2 / 8 / 32 / 128 分周から選択します。入力クロックの選択は SCxBRCR<BRCK>で行います。

(2) ボーレートジェネレータ出力クロック

ボーレートジェネレータの出力クロック分周値は、SCxBRCR、 SCxBRADD で設定します。

I/O インタフェースモードでは N 分周、UART モードでは N 分周または N + (16-K)/16 分周が使用できます。

以下に設定可能な分周値をまとめます。

モード	分周機能設定 SCxBRCR<BRADDE>	N 分周値 SCxBRCR<BRS>	K 値 SCxBRADD<BRK>
I/O インタフェース	N 分周	1 ~ 16 (注)	-
UART	N 分周	1 ~ 16	-
	N + (16-K)/16 分周	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

14.7.2.2 クロック選択回路

モードとレジスタ設定により、クロックが選択されます。

モードは SCxMOD0<SM>で指定します。

I/O インタフェースモード時のクロックは、SCxCR で設定します。

UART モード時のクロックは、SCxMOD0<SC>で設定します。

(1) I/O インタフェースモードの転送クロック

表 14-6 に I/O インタフェースモードで可能なクロックを示します。

表 14-6 I/O インタフェースモードのクロック選択

モード SCxMOD0<SM>	入出力選択 SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	使用クロック
I/O インタフェース モード	SCLK 出力	"0"で使用 (立ち上がり固定)	ボーレートジェネレータ出力の 2 分周
	SCLK 入力	立ち上がり	SCLK 入力立ち上がりエッジ
		立下り	SCLK 入力立ち下がりエッジ

ボーレートジェネレータを使用する場合、以下の設定が最高ボーレートとなります。

注)　AC 電気的特性を満足することを確認のうえ,クロック設定を決定してください。

・ クロック/モード制御部の設定
  - fc = 40MHz
  - fgear = 40MHz (CGSYSCR<GEAR[2:0]> = "000"：fc 選択)
  - ΦT0 = 40MHz (CGSYSCR<PRCK[2:0]> = "000"：1 分周)

・ SIO の設定(ダブルバッファ使用の場合)
  - クロック選択 (SCxBRCR<BRCK[1:0]> = "00"：ΦT1 選択) = 20MHz
  - 分周値 (SCxBRCR<BRS[3:0]> = "0001"：1 分周) = 20MHz

  ダブルバッファ使用の場合、1 分周が選択できます。ボーレートは 20MHz が 2 分周され、10Mbps となります。

・ SIO の設定(ダブルバッファ未使用の場合)
  - クロック選択(SCxBRCR<BRCK[1:0]> = "00"：ΦT1 選択) = 20MHz
  - 分周値(SCxBRCR<BRS[3:0]> = "0010"：2 分周) = 10MHz

  ダブルバッファ未使用の場合は、2 分周が最速になります。ボーレートは 10MHz が 2 分周され、5Mbps となります。

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

・ ダブルバッファ使用の場合

  - SCLK 周期 > 6/fsys

  最高ボーレートは、48 ÷ 6 = 8 Mbps 未満となります。

・ ダブルバッファ未使用の場合

  - SCLK 周期 > 8/fsys

  最高ボーレートは、48 ÷ 8 = 6 Mbps 未満となります。

(2)　UART モードの転送クロック

表 14-7 に UART モードの場合のクロック選択を示します。UART モードでは、選択されたクロックを受信/送信カウンタでさらに 16 分周して使用します。

表 14-7 UART モードのクロック選択

モード SCxMOD0<SM>	クロック選択 SCxMOD0<SC>
UART モード	タイマ出力
	ボーレートジェネレータ
	fsys
	SCLK 入力

それぞれのクロックでのボーレート例を示します。

・ ボーレートジェネレータを使用する場合

- fc = 40MHz
- fgear = 40MHz (CGSYSCR<GEAR[2:0]> = "000"：fc 選択)
- ΦT0 = 40MHz (CGSYSCR<PRCK[2:0]> = "000"：1 分周)
- クロック選択 = ΦT1 = 20MHz (SCxBRCR<BRCK[1:0]> = "00"：ΦT1 選択)

最高ボーレートは 20MHz が 16 分周され、1.25Mbps となります。

表 14-8 に以下のクロック設定でボーレートジェネレータを使用する場合のボーレート例を示します。

・ fc = 9.8304MHz
・ fgear = 9.8304MHz (CGSYSCR<GEAR[2:0]> = "000" ：fc 選択)
・ ΦT0 = 4.9152MHz (CGSYSCR<PRCK[2:0]> = "001" ：2 分周)

表 14-8 UART モードのボーレート例(ボーレートジェネレータ使用)

fc [MHz]	分周値 N (SCxBRCR<BRS[3:0]>)	φT1 (fc/4)	φT4 (fc/16)	φT16 (fc/64)	φT64 (fc/256)
9.830400	2	76.800	19.200	4.800	1.200
	4	38.400	9.600	2.400	0.600
	8	19.200	4.800	1.200	0.300
	16	9.600	2.400	0.600	0.150

単位：kbps

・ SCLK 入力を使用する場合

SCLK 入力を使用する場合、以下の条件を満足する必要があります。

- SCLK 周期 > 2/fsys

最高ボーレートは、48 ÷ 2 ÷ 16 = 1.5 Mbps 未満にする必要があります。

・ fsys を使用する場合

fsys の最高が 48MHz ですので、最高ボーレートは、48 ÷ 16 = 3Mbps となります。

・ タイマ出力を使用する場合

タイマの出力を使用する場合、カウンタと TBxRG1 の一致でタイマフリップフロップ出力を反転させる設定とします。SIOCLK クロック周期は「TBxRG1 設定値 × 2」となります。

ボーレートは以下の計算式で求められます。

ボーレートの算出方法

$$\text{転送レート} = \frac{\text{CGSYSCR<PRCK[1:0]>で選択されたクロック周波数}}{(\text{TBxRG1} + 2) \times 2 \times 16}$$

(タイマプリスケーラクロックϕT1(2分周)を選択した場合)

(タイマフリップフロップ反転2回で1クロック周期となる)

表 14-9 に以下のクロック設定でタイマ出力を使用する場合のボーレート例を示します。

- fc = 32MHz / 9.8304MHz / 8MHz
- fgear = 32MHz / 9.8304MHz / 8MHz (CGSYSCR<GEAR[2:0]> = "000" ：fc 選択)
- ΦT0 = 16MHz / 4.9152MHz / 4MHz (CGSYSCR<PRCK[2:0]> = "001" ：2 分周)
- タイマカウントクロック

  = 4MHz / 1.2287MHz / 1MHz (TBxMOD<TBCLK[1:0]> = "01" ：ΦT1 選択)

表 14-9 UART モードのボーレート例(タイマ出力使用)

TBxRG1 設定	fc		
	32MHz	9.8304MHz	8MHz
0x0001	250	76.8	62.5
0x0002	125	38.4	31.25
0x0003	-	25.6	-
0x0004	62.5	19.2	15.625
0x0005	50	15.36	12.5
0x0006	-	12.8	-
0x0008	31.25	9.6	-
0x000A	25	7.68	6.25
0x0010	15.625	4.8	-
0x0014	12.5	3.84	3.125

単位：kbps

14.8 送信/受信バッファと FIFO

14.8.1 構成

送信/受信バッファと FIFO の構成を図 14-3 に示します。

バッファと FIFO を使用するには設定が必要です。また、モードによっては構成が決まっている場合があります。

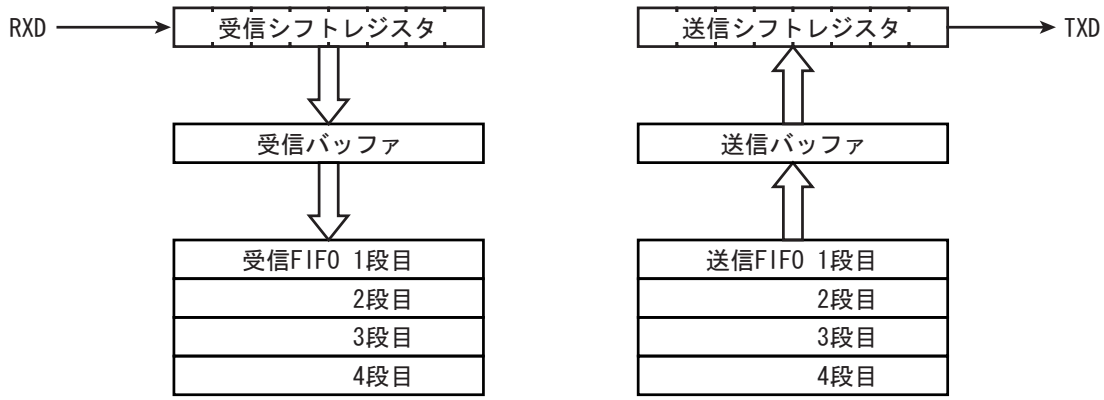


図 14-3 バッファと FIFO の構成

14.8.2 送信/受信バッファ

送信および受信バッファはダブルバッファ構造となっています。バッファ構成の設定は、SCxMOD2<WBUF>で行います。

受信の場合、I/O インタフェースモードで SCLK 入力の場合と、UART モードでは<WBUF>の設定によらずダブルバッファ構成になります。その他のモードでは<WBUF>の設定に従います。

表 14-10 にモードとバッファ構成の関係をまとめます。

表 14-10 モードとバッファ構成

モード		SCxMOD2<WBUF>	
		"0"	"1"
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

14.8.3 FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を有効にするには SCxMOD2<WBUF>を"1"としてダブルバッファをイネーブルにし、SCxFCNF<CNFG>に"1"をセットします。FIFO バッファの構成は SCxMOD1<FDPX>で設定します。

注) 送信/受信 FIFO 使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信/受信 FIFO のクリアを実行して下さい。

表 14-11 にモードと FIFO 構成の関係をまとめます。

表 14-11 モードと FIFO 構成

	SCxMOD1<FDPX[1:0]>	受信 FIFO	送信 FIFO
半二重受信	"01"	4byte	-
半二重送信	"10"	-	4byte
全二重	"11"	2byte	2byte

14.9　ステータスフラグ

SCxMOD2 レジスタに 2 種類のステータスフラグが準備されています。これらのフラグはダブルバッファ許可設定時のみ意味を持ちます。

<RBFLL>は、受信バッファ full を示すフラグです。1 データの受信が終了し、データが受信シフトレジスタから受信バッファに移されると"1"にセットされます。受信バッファを読み出すと"0"にクリアされます。

<TBEMP>は、送信バッファ empty を示すフラグです。送信バッファから送信シフトレジスタ へデータが移されると、"1"がセットされます。送信バッファにデータをセットすると"0"にクリアされます。

14.10　エラーフラグ

SCxCR レジスタに 3 種類のエラーフラグが準備されています。フラグによってはモードにより意味が変わります。以下にモードごとのフラグの意味をまとめます。

これらのフラグは、SCxCR レジスタを読み出すと"0"にクリアされます。

<table>
<tr><th rowspan="2">モード</th><th colspan="3">フラグ</th></tr>
<tr><th><OERR></th><th><PERR></th><th><FERR></th></tr>
<tr><td>UART</td><td>オーバランエラー</td><td>パリティエラー</td><td>フレーミングエラー</td></tr>
<tr><td rowspan="2">I/O インタフェース
(SCLK 入力)</td><td rowspan="2">オーバランエラー</td><td>アンダーランエラー
(ダブルバッファ
または FIFO 使用時)</td><td rowspan="2">"0"固定</td></tr>
<tr><td>"0"固定
(ダブルバッファ
および FIFO 未使用時)</td></tr>
<tr><td>I/O インタフェース
(SCLK 出力)</td><td>不定</td><td>不定</td><td>"0"固定</td></tr>
</table>

14.10.1　OERR フラグ

UART モード、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了すると"1"にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が full（使用バイト数）になるまではフラグはセットされません。

I/O インタフェースモードの SCLK 出力の設定では、フラグのセットとともに SCLK 出力が停止します。

注)　I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

14.10.2 PERR フラグ

UART モードではパリティエラーを、I/O インタフェースモードではアンダーランエラーまたは送信終了を示します。

パリティエラーは UART モードで受信したデータから生成されたパリティと受信したパリティが異なる場合に"1"にセットされます。

アンダーランエラーは、I/O インタフェースモードでダブルバッファが有効な場合に以下の条件で"1"にセットされます。

SCLK 入力の場合、送信シフトレジスタのデータを送信終了後、送信バッファにデータがない状態で次の転送クロックが入力されるとセットされます。

SCLK 出力の場合、すべてのデータ送信が終了するとセットされクロック出力を停止します。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

14.10.3 FERR フラグ

フレーミングエラーは UART モードの受信データのストップビットを中央付近でサンプリングし、結果が"0"の場合に発生します。SCxMOD2<SBLEN>でのストップビット長設定に関わらず、判定は第 1 ストップビットで行われます。

I/O インタフェースモードではこのビットは"0"固定です。

14.11　受信

14.11.1　受信カウンタ

受信カウンタは 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。

UART モードでは、データ 1 ビットの受信に SIOCLK が 16 クロック用いられ、7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

14.11.2　受信制御部

14.11.2.1　I/O インタフェースモードの場合

SCxCR<IOC>="0"の SCLK 出力モードのときは、SCLK 端子へ出力されるシフトクロックの立ち上がりで RXD 端子をサンプリングします。

SCxCR <IOC>="1"の SCLK 入力モードのときは、SCxCR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ RXD 端子をサンプリングします。

14.11.2.2　UART モードの場合

受信制御部はスタートビット検出回路を持ち、正常なスタートビットを判断して受信動作を開始します。

14.11.3　受信動作

14.11.3.1　受信バッファの動作

受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろうと割り込み INTRXx が発生します

ダブルバッファ設定の場合は、データは受信バッファ(SCxBUF) へ移され受信バッファの full フラグ(SCxMOD2<RBFLL>) が"1"にセットされます。受信バッファ full フラグは、受信バッファを読み出すと"0"にクリアされます。シングルバッファの場合、受信バッファ full フラグは意味を持ちません。

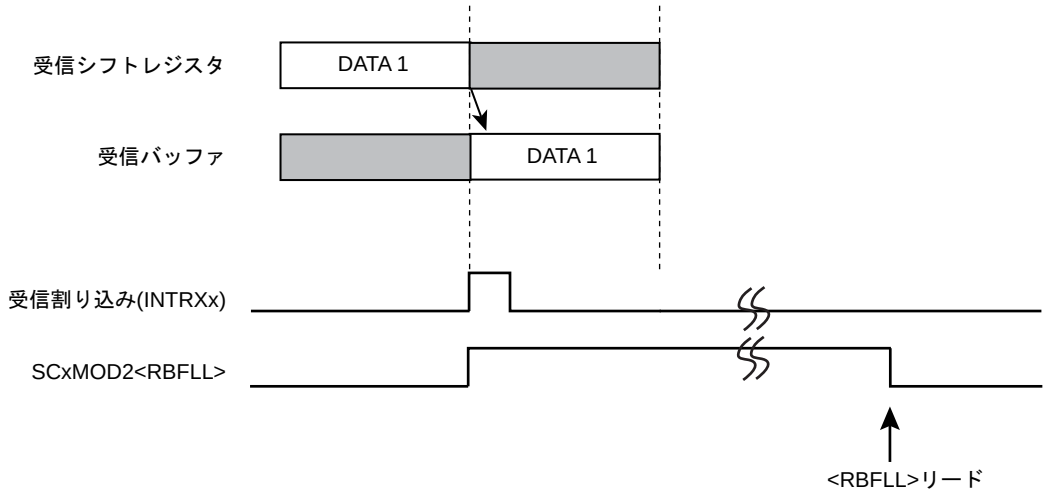


図 14-4 受信バッファの動作

14.11.3.2　受信 FIFO の動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

注)　UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信したいずれかのデータで発生したことを示します。

以下に、半二重受信の設定と動作を示します。

SCxMOD1[6:5] =01	: 転送モードを半二重受信に設定
SCxFCNF[4:0] = 10111	: fill レベル到達後の継続受信自動禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxRFC[1:0] = 00	: 受信割り込みが発生する FIFO の fill レベルを 4 バイトに設定
SCxRFC[7:6] = 11	: 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE>を自動クリアして受信を終了します。

上記の設定で、fill レベル到達後の継続受信を許可にしておくと、FIFO のデータを読み出すことにより継続して受信動作を行うことができます。

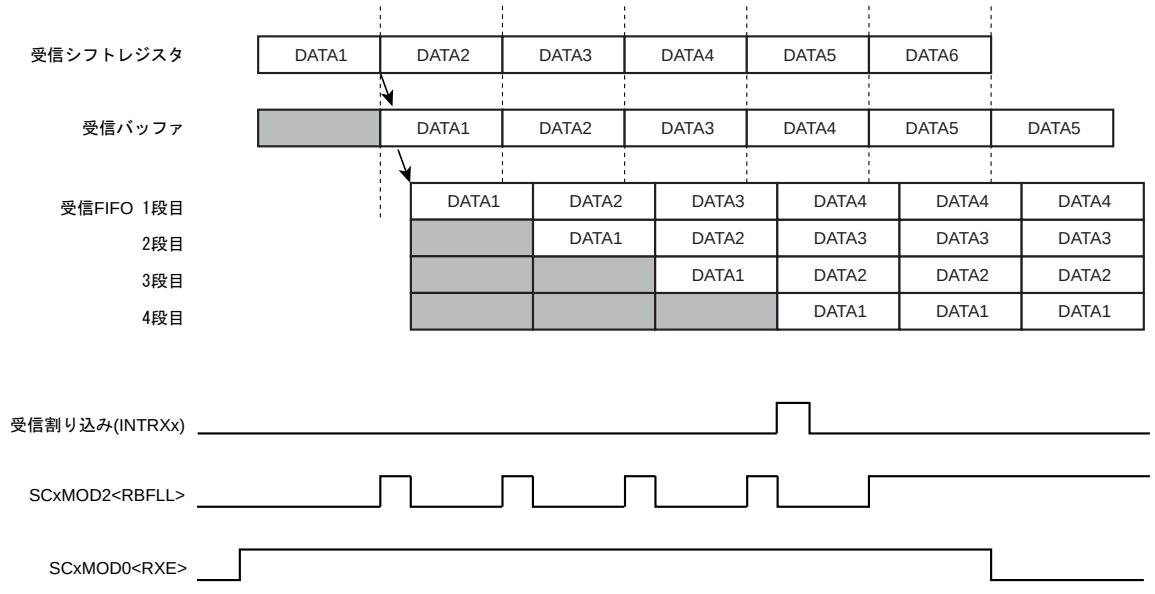


図 14-5 受信 FIFO の動作

14.11.3.3 I/O インタフェースモード、SCLK 出力での受信

I/O インタフェースモードで SCLK 出力設定の場合、使用可能な受信バッファ/FIFO にすべてデータが格納されると SCLK 出力が停止されます。このため、このモードではオーバランエラーフラグは意味を持ちません。

SCLK 出力の停止/再開のタイミングはバッファ/FIFO の使用状況によって変わります。

(1) シングルバッファの場合

1 データ受信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファからデータが読み出されると SCLK 出力を再開します。

(2) ダブルバッファの場合

受信シフトレジスタ、受信バッファともにデータが格納されると、SCLK 出力を停止します。1 データが読み出されると SCLK 出力を再開します。

(3) FIFO の場合

受信シフトレジスタ、受信バッファ、FIFO すべてにデータが格納されると SCLK 出力を停止します。1 データが読み出されると受信バッファから FIFO へ、受信シフトレジスタから受信バッファへデータが転送され、SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT> がセットされていると、SCLK 停止とともに SCxMOD0<RXE>ビットがクリアされ受信動作を停止します。

14.11.3.4 受信データの読み出し

FIFO の有効/無効にかかわらず受信バッファ (SCxBUF) からデータを読み出します。

受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full フラグ SCxMOD2<RBFLL>は"0"にクリアされます。受信バッファを読み出す前でも、次の受信データは受信シフトレジスタに格納することができます。8 ビット UART モードでパリティ付加の場合と 9 ビット UART モードの場合、最上位ビットは SCxCR <RB8> に格納されます。

受信 FIFO が有効な場合、FIFO に格納できるデータは最大 8 ビットですので、9 ビット UART モードは使用できません。8 ビット UART モードでパリティ付加の場合、パリティビットは失われますがエラー判定は行われ、結果が SCxCR<PERR>に格納されます。

14.11.3.5 ウエイクアップ機能

9 ビット UART モードの場合、ウェイクアップ機能 SCxMOD0<WU> を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ、割り込み INTRXx を発生させることができます。

14.11.3.6　オーバランエラー

受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ(SCxBUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファおよび SCxCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。

受信 FIFO が有効にされている場合は受信 FIFO が full になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバンランが発生してオーバランフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

I/O インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、オーバランフラグをクリアしてください。

14.12 送信

14.12.1 送信カウンタ

送信カウンタは4ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされます。

UART モードでは、16 クロックごとに送信クロック (TXDCLK) を生成します。

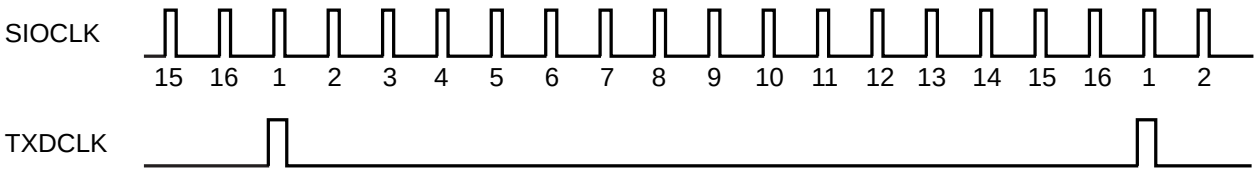


図 14-6 UART モード送信クロックの生成

14.12.2 送信制御部

14.12.2.1 I/O インタフェースモードの場合

SCxCR<IOC> = "0"の SCLK 出力モードのときは、SCLK 端子より出力されるシフトクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TXD 端子へ出力します。

SCxCR<IOC> = "1"の SCLK 入力モードのときは、SCxCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD 端子へ出力します。

14.12.2.2 UART モードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック を生成します。

14.12.3　送信動作

14.12.3.1　送信バッファの動作

ダブルバッファ無効の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTXx が発生します。

ダブルバッファ有効の場合(送信 FIFO が有効な場合も含む)、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に送信割り込み INTTXx が発生し、送信バッファエンプティフラグ(SCxMOD2<TBEMP>)がセットされ、次のデータが書き込み可能であることを示します。次のデータを送信バッファに書き込むと<TBEMP>は"0"にクリアされます。

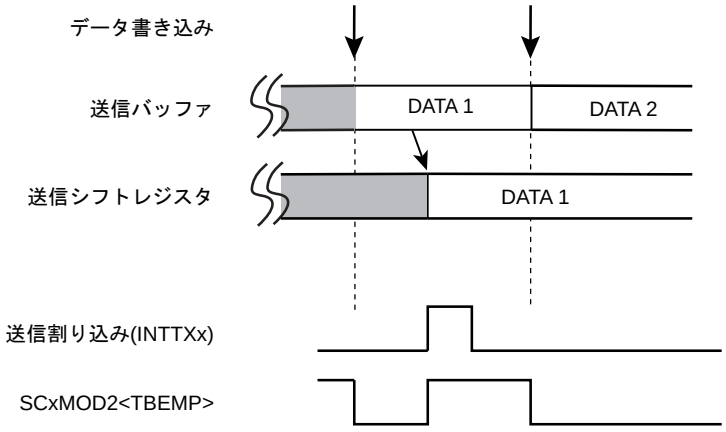


図 14-7 送信バッファの動作(ダブルバッファ有効時)

14.12.3.2　送信 FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP>フラグは"0"にクリアされます。

注)　送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF<CNFG>="1")の後、必ず送信 FIFO クリアを実行して下さい。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

SCxMOD1[6:5] =10	: 転送モードを半二重送信に設定
SCxFCNF[4:0] = 11011	: FIFO が空になると送信を自動的に禁止 受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ
SCxTFC[1:0] = 00	: 割り込み発生の fill レベル を 0 に設定
SCxTFC[7:6] = 11	: 送信 FIFO のクリアと割り込み発生条件の設定
SCxFCNF[0] = 1	: FIFO の許可

上記の設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE> ビットを 1 に設定することによりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了すると送信を終了します。

上記の設定で、送信の自動禁止としなければ送信データを書き込むことにより継続して送信を行うことができます。

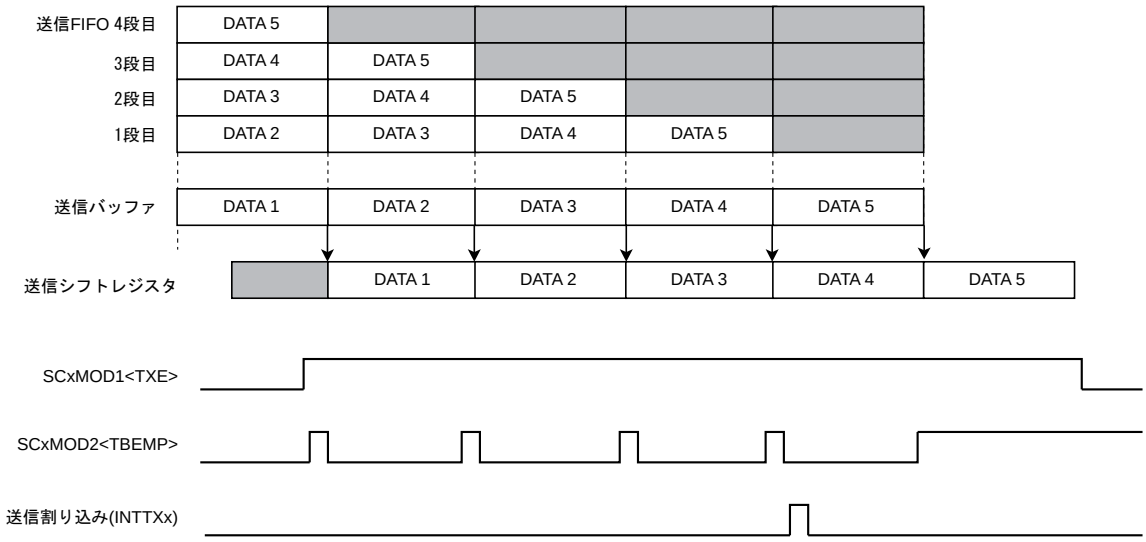


図 14-8 送信 FIFO の動作

14.12.3.3 I/O インタフェースモード、SCLK 出力での送信

I/O インタフェースモードで SCLK 出力の場合、設定されたデータがすべて送信されると SCLK 出力は自動的に停止します。このため、このモードではアンダーランエラーは発生しません。

バッファ/FIFO 使用状況によって SCLK 出力の停止/再開のタイミングが変わります。

(1) シングルバッファの場合

1 データ送信後に SCLK 出力を停止します。このため、通信相手と 1 データごとのハンドシェイクが可能です。バッファに次のデータが書き込まれると SCLK 出力を再開します。

(2) ダブルバッファの場合

送信シフトレジスタと送信バッファのデータがすべて送信されると SCLK 出力を停止します。バッファに次のデータが書き込まれると SCLK 出力を再開します。

(3) FIFO の場合

送信シフトレジスタ、送信バッファ、FIFO すべてのデータの送信が終了すると SCLK 出力を停止します。次のデータが書き込まれると SCLK 出力を再開します。

また、SCxFCNF<RXTXCNT> がセットされていると、SCLK 停止とともに SCxMOD0<TXE>ビットがクリアされ送信動作を停止します。

14.12.3.4　アンダーランエラー

I/O インタフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合、送信シフトレジスタのデータの送信が終了し、次の転送クロックが入力される前に送信バッファへデータがセットされないときは、アンダーランエラーになり SCxCR<PERR>に"1"がセットされます。

I/O インタフェースモードの SCLK 出力の設定では、クロック出力が自動的に停止するためこのフラグは意味を持ちません。

注)　I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCxCR レジスタを読み出し、アンダーランフラグをクリアしてください。

14.13 ハンドシェイク機能

ハンドシェイク機能は CTS (Clear to send)端子を用いて 1 データ単位での送信を行う機能で、この機能を使うことでオーバランエラーの発生を防ぐことができます。ハンドシェイク機能は SCxMOD0 <CTSE> によってイネーブル/ディセーブルを設定できます。

$\overline{CTS}$ 端子が "High" レベルになると、現在送信中のデータを送信完了後、$\overline{CTS}$ 端子が "Low" レベルに戻るまで送信を停止します。ただし、INTTXx 割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

注) ① 送信中に $\overline{CTS}$ 信号を立ち上げた場合、送信終了後に停止します。
②$\overline{CTS}$ 信号立下り後の最初の TXDCLK クロックから送信を開始します。

なお、$\overline{RTS}$ 端子はありませんが、任意のポートの 1 ビットを $\overline{RTS}$ 機能に割り当て、受信終了時に (受信割り込みルーチン内で)このポートを "High" レベルにし、 送信側に送信の一時停止を要求することで容易にハンドシェイク機能を構築できます。

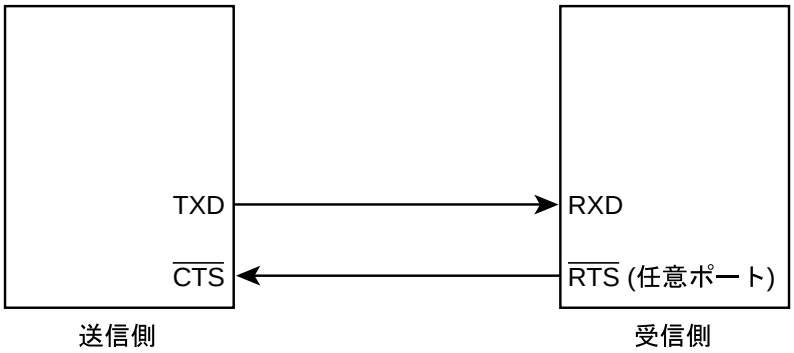


図 14-9 ハンドシェイク機能接続

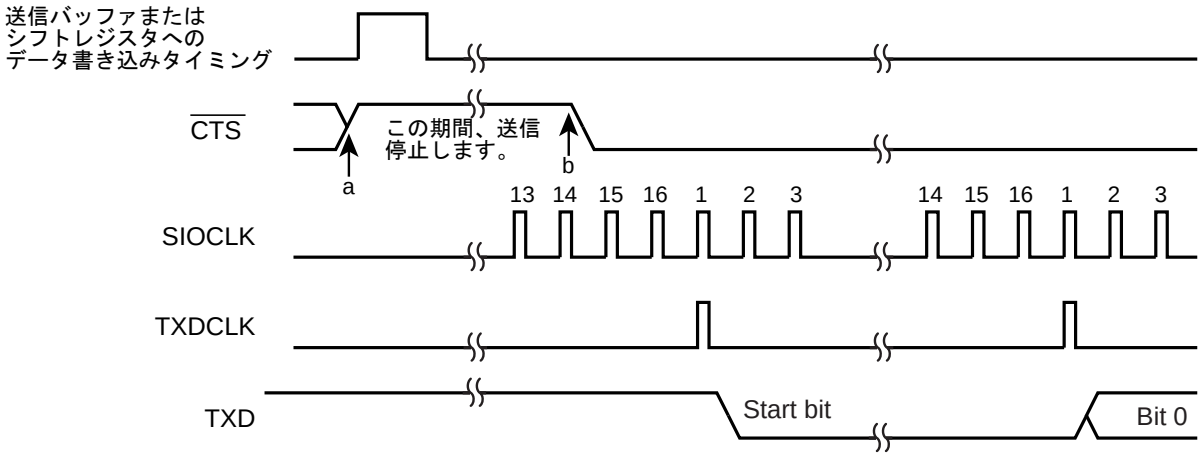


図 14-10 $\overline{CTS}$ 信号のタイミング

14.14　割り込み/エラー発生タイミング

14.14.1　受信割り込み

受信動作のデータの流れと読み出しの経路を図 14-11 に示します。

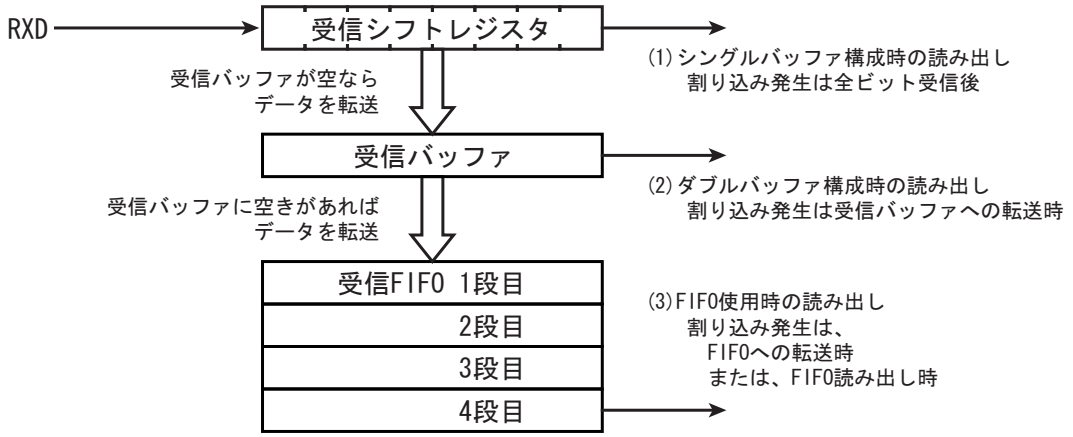


図 14-11 受信バッファ/FIFO 構成図

14.14.1.1　シングルバッファ/ダブルバッファ構成の場合

受信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	−	・最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	・第１ストップビットの中央付近	・最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) ・バッファのリードによる、シフトレジスタからバッファへのデータ転送時

注)　オーバーランエラー成立時は割り込みは発生しません。

14.14.1.2　FIFO 使用の場合

FIFO 使用の場合の受信割り込みは、表 14-12 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 14-12 FIFO 使用時の受信割り込み発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき
"1"	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>) のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき ・受信 FIFO から受信データをリードしたとき

14.14.2 送信割り込み

送信動作のデータの流れと読み出しの経路をに示します。

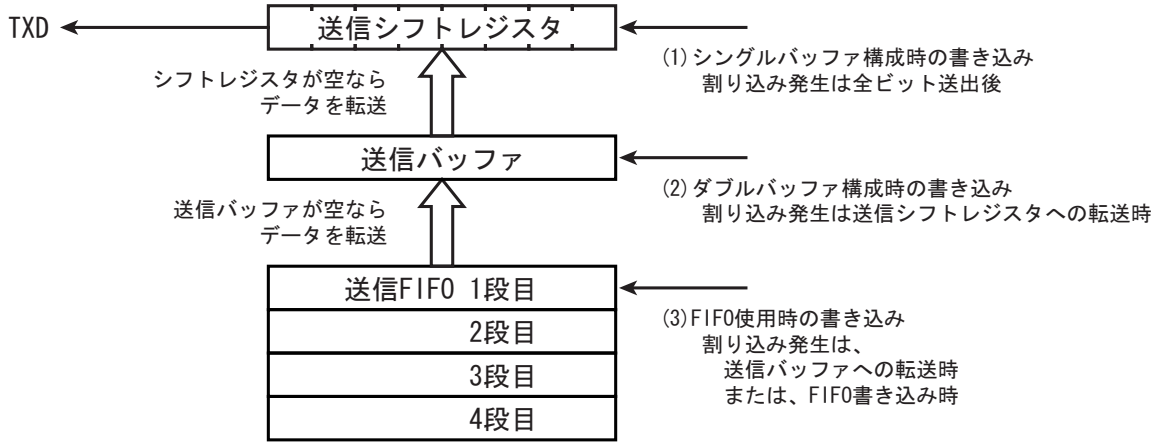


図 14-12 送信バッファ/FIFO 構成図

14.14.2.1 シングルバッファ/ダブルバッファ構成の場合

送信割り込みは、転送モードとバッファ構成により以下のタイミングで発生します。

バッファ構成	UART モード	I/O インタフェースモード
シングルバッファ	ストップビット送出の直前	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
ダブルバッファ	送信バッファから送信シフトレジスタへのデータ転送時	

注) ダブルバッファ有効の場合、送信バッファ書き込みによってバッファからシフトレジスタへデータが転送された場合も割り込みが発生します。

14.14.2.2 FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 14-13 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 14-13 FIFO 使用時の送信割り込み発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
"0"	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき
"1"	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき ・送信 FIFO へ送信データをライトしたとき

14.14.3　エラー発生

14.14.3.1　UART モード

モード	9 ビット	7 ビット 8 ビット 7 ビット + パリティ 8 ビット + パリティ
フレーミングエラー オーバランエラー	ストップビットの中央付近	
パリティエラー	−	パリティビットの中央付近

14.14.3.2　I/O インタフェースモード

オーバランエラー	最終ビットの SCLK 立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	次回 SCLK の立ち上がり/立ち下がり直後 (立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

注)　SCLK 出力モードではオーバランエラー、アンダーランエラーフラグは意味を持ちません。

14.15　ソフトウエアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウエアリセットが発生します。これにより、SCxMOD0<RXE>、SCxMOD1<TXE>, SCxMOD2<TBEMP><RBFLL><TXRUN>、SCxCR<OERR> <PERR> <FERR>が初期化され、送受信回路と FIFO は初期状態になります。その他の状態は保持されます。

14.16　DMA 要求

SIO/UART 割り込み(INTRX0, INTTX0, INTRX1, INTTX1)発生のタイミングで DMAC に対して DMA 要求を発行します。DMA 転送を行なう場合は SCxDMA レジスタ(x=0, 1)の該当ビットの設定を行なってください。

14.17 モード別動作説明

14.17.1 モード 0 (I/O インタフェースモード)

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作および送信 FIFO 動作の項を参照してください。

14.17.1.1 送信

(1) SCLK 出力モード

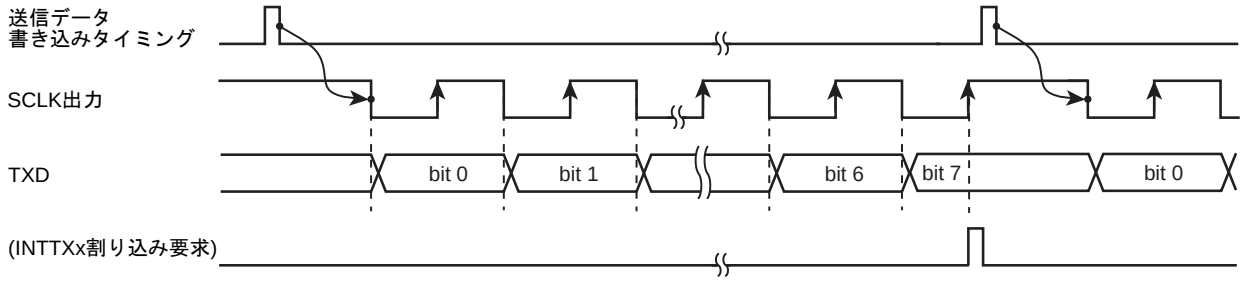
・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むたびに、データが TXD 端子から、クロックが SCLK 端子より出力されます。データがすべて出力されると割り込み(INTTXx)が発生します。

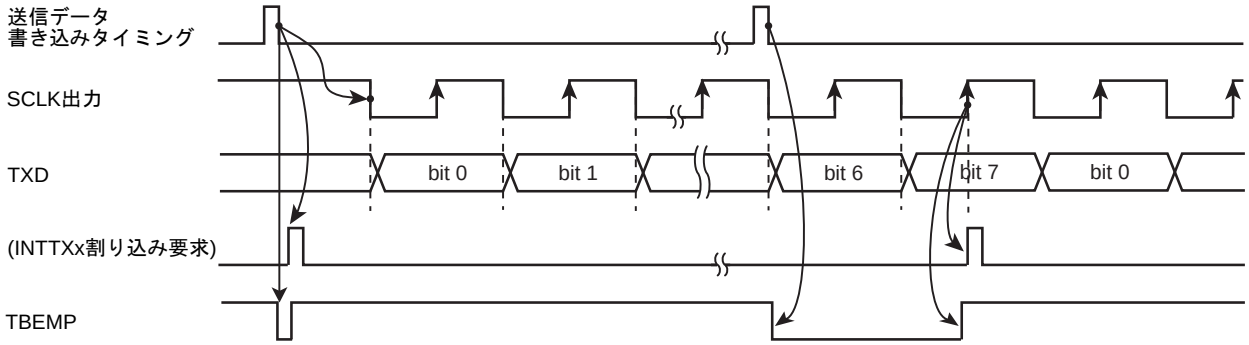
・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信停止の状態で送信バッファにデータを書き込んだとき、またはシフトレジスタのデータ送出が終了したときに送信バッファよりシフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ SCxMOD2 <TBEMP>が"1"にセットされ割り込み(INTTXx)が発生します。

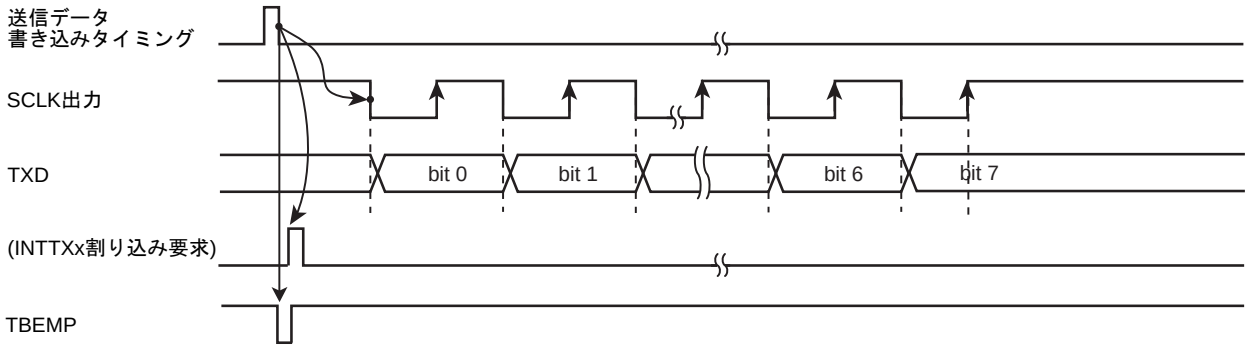
シフトレジスタのデータ送出終了時に送信バッファにデータが存在しない場合は、割り込み(INTTXx)を発生せず、SCLK 出力も停止します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファにデータがない場合)

図 14-13 I/O インタフェースモード送信動作(SCLK 出力モード)

(2) SCLK 入力モード

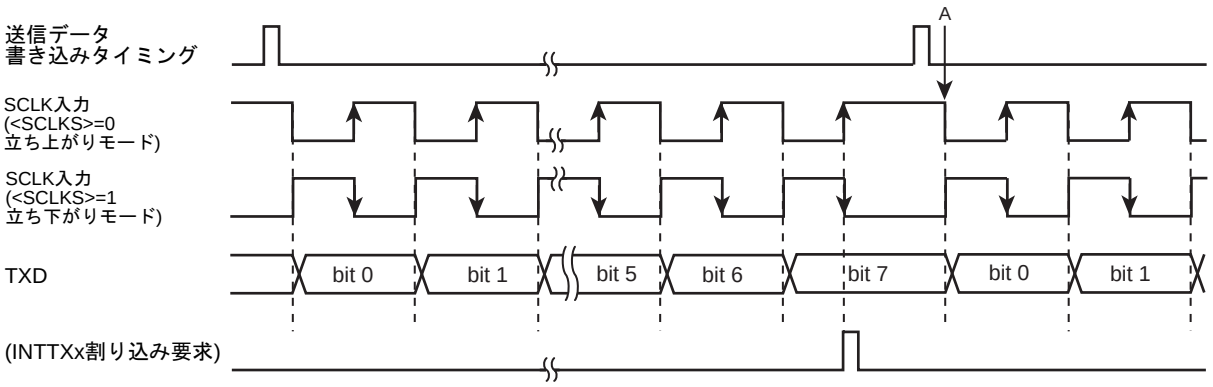
・ ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD 端子より出力されます。データがすべて出力されると割り込み INTTXx が発生します。次の送信データは図 14-14 に示す A 点までに書き込んでください。

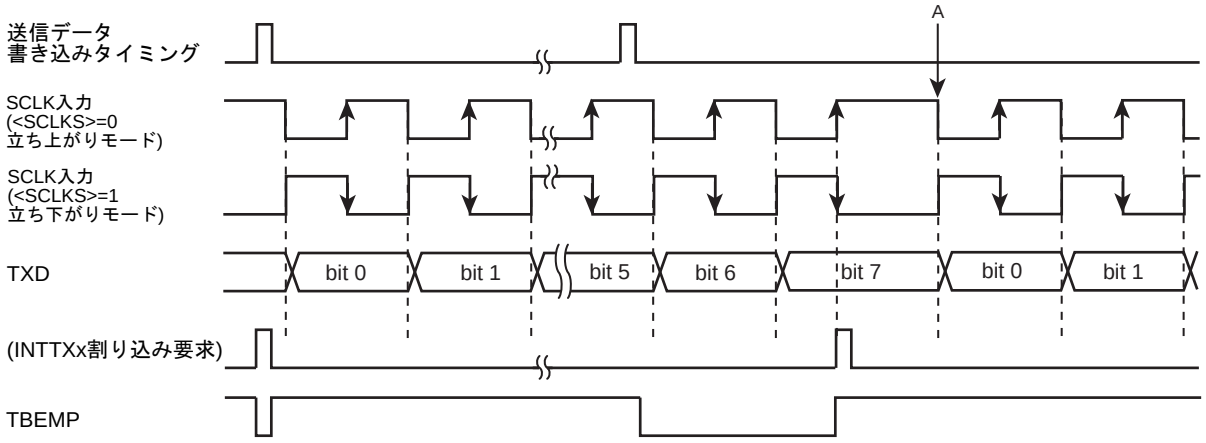
・ ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

SCLK が入力される前に送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送出が終了したときに送信バッファのデータがシフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCxMOD2<TBEMP> が"1"にセットされ、割り込み(INTTXx)が発生します。

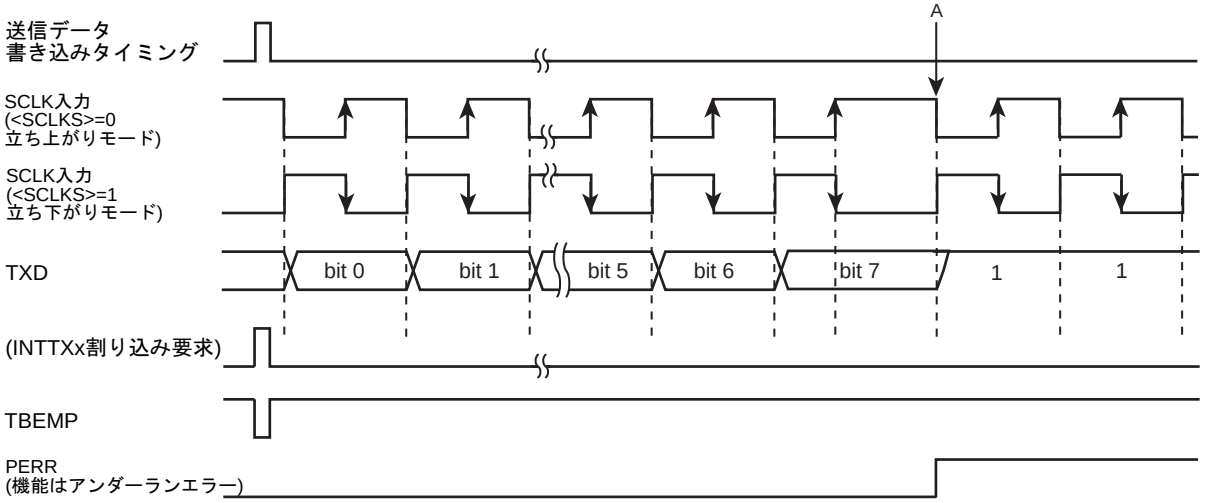
送信バッファにデータが書き込まれていない状態で、SCLK が入力された場合、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ(0xFF)を送出します。



<WBUF> = "0" (ダブルバッファ不許可)の場合



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがある場合)



<WBUF> = "1" (ダブルバッファ許可)の場合(バッファ2にデータがない場合)

図 14-14 I/O インタフェースモード送信動作(SCLK 入力モード)

14.17.1.2 受信

(1) SCLK 出力モード

受信許可ビット SCxMOD0<RXE>を"1"にセットすることで SCLK 出力が開始されます。

- ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

  受信データが読み出されるごとに、SCLK 端子よりクロックが出力され次のデータがシフトレジスタに格納されます。8 ビットデータが受信されると、割り込み INTRXx が発生します。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

  シフトレジスタに格納されたデータは受信バッファに移され、続けて次のフレームを受信することができます。シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ SCxMOD2<RBFLL>が"1"にセットされ、割り込み INTRXx が発生します。

  受信バッファにデータが存在する状態で、次の 8 ビット分のデータを受信完了する前に受信バッファのデータが読み出されない場合、割り込み INTRXx は発生せず、SCLK 出力は停止します。この状態で受信バッファのデータを読み出すと、シフトレジスタのデータを受信バッファに移し、割り込み INTRXx を発生して受信を再開します。

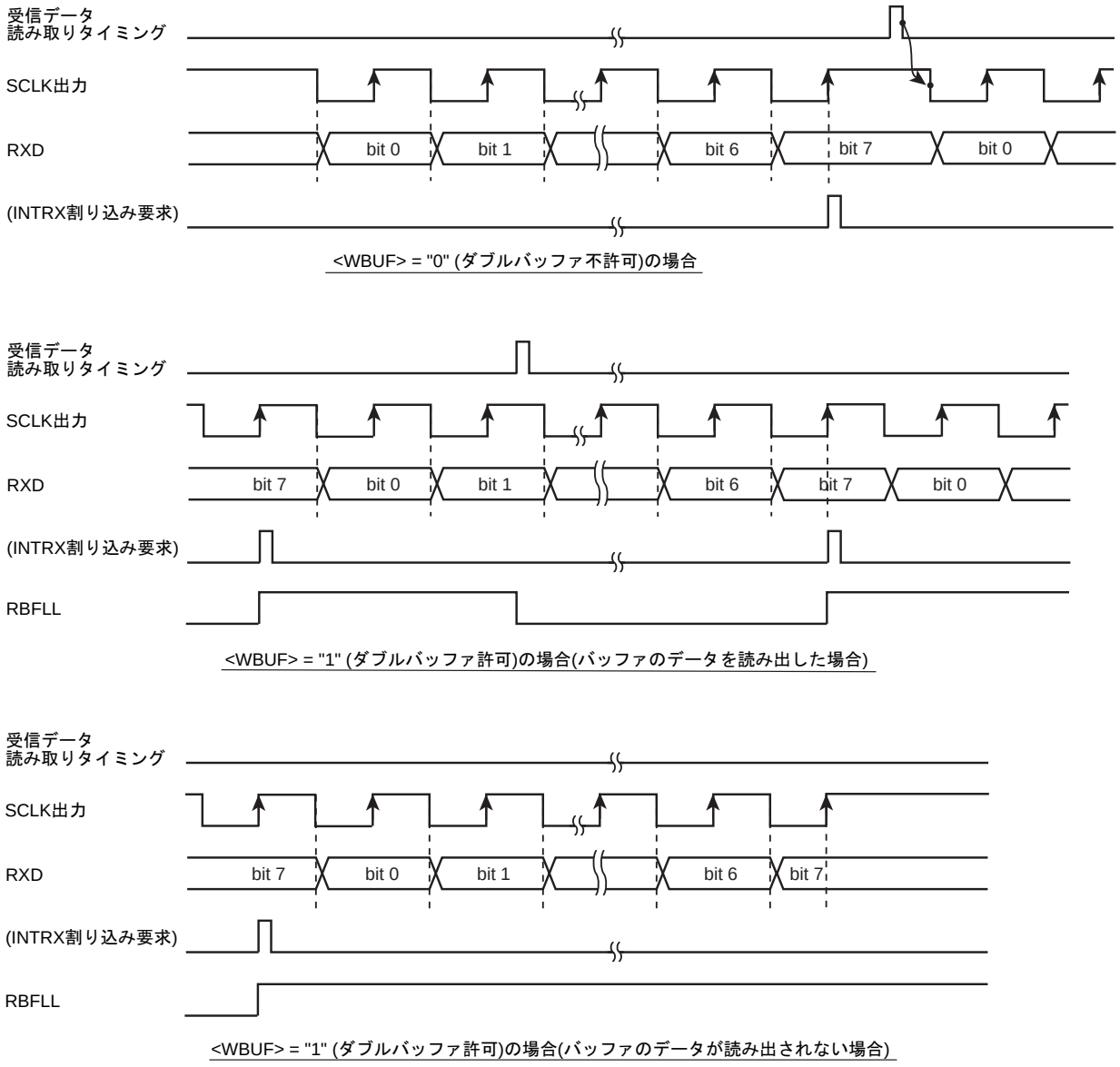
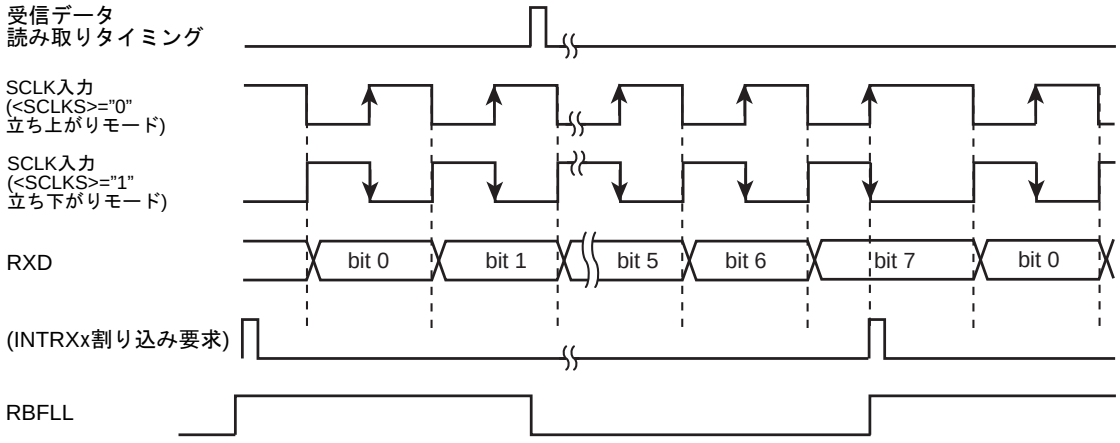


図 14-15 I/O インタフェースモード受信動作(SCLK 出力モード)

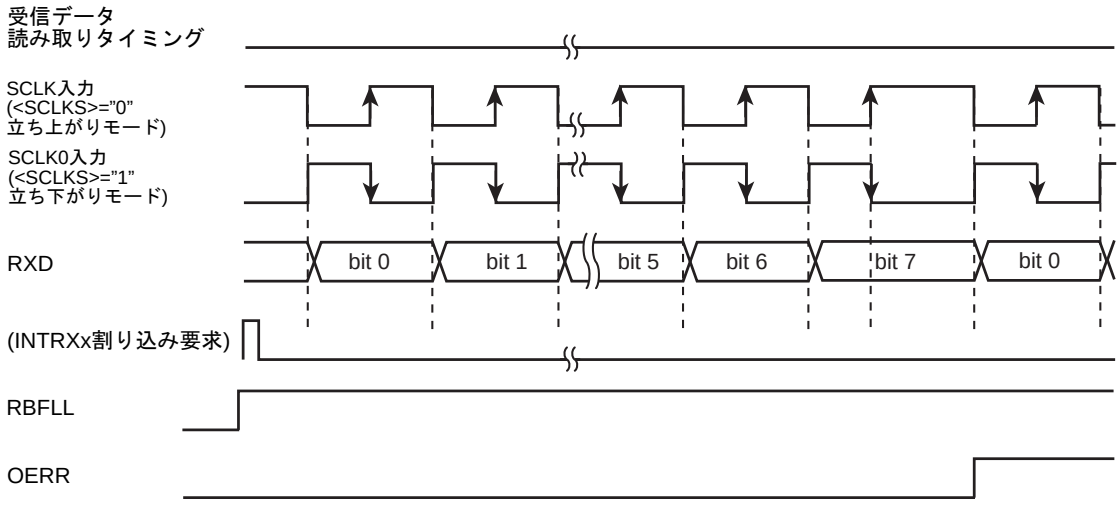
(2) SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームはシフトレジスタから受信バッファに移され、連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRXx が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 14-16 I/O インタフェースモード受信動作(SCLK 入力モード)

14.17.1.3　送受信(全二重)

(1)　SCLK 出力モード

・　ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

SCLK の出力により 8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み(INTRXx)が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXD 端子より出力され、すべてのデータが送信されると送信割り込み(INTTXx)が発生します。この状態で SCLK の出力は停止します。

受信バッファの読み出しと送信バッファへのデータ書き込みを行うと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信バッファにデータを書き込むと SCLK 出力を開始します。

8 ビットデータが受信シフトレジスタにシフトインされるとデータは受信バッファ に移され、割り込み(INTRXx)が発生します。受信と並行して 8 ビットデータが TXD 端子より出力され、データがすべて出力されると割り込み(INTTXx)が発生して次のデータが送信バッファから送信シフトレジスタに移されます。

この時、送信バッファに移すデータが存在しない(SCxMOD2 <TBEMP> = "1")または受信バッファにデータが存在している(SCxMOD2 <RBFLL> = "1") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。

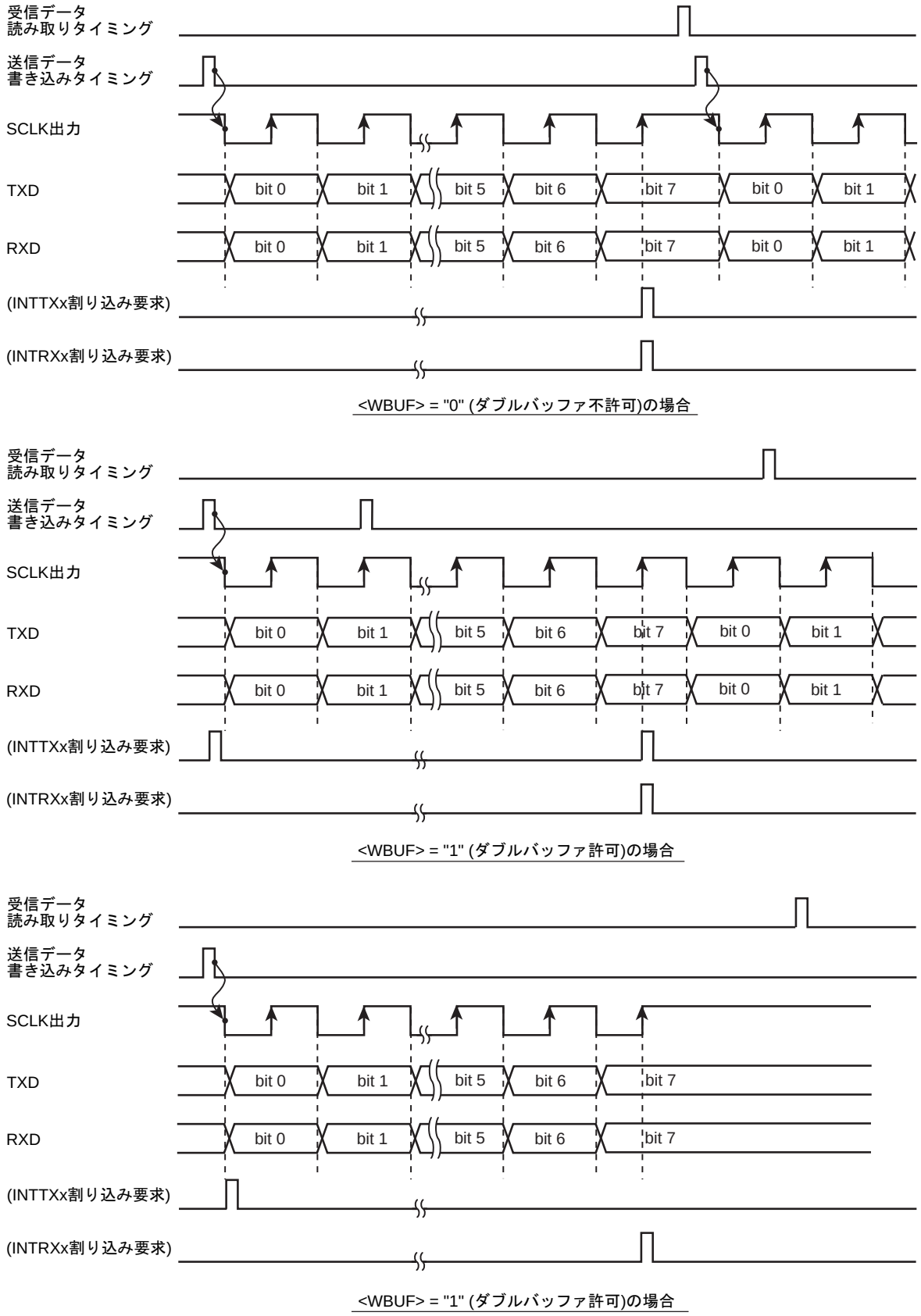


図 14-17 I/O インタフェースモード送受信動作(SCLK 出力モード)

(2)　SCLK 入力モード

・　送信ダブルバッファ不許可(SCxMOD2<WBUF> = "0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファが有効になります。

送信バッファにデータが書き込まれている状態で SCLK が入力されると、8 ビットのデータが TXD より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。送信が終了すると割り込み(INTTXx)が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前にデータを送信バッファへ書き込むようにしてください。(図 14-18 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

・　ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み(INTRXx)が発生します。平行して受信が行われ、シフトレジスタにデータが揃うと受信バッファへ移され、割り込み(INTRXx)が発生します。

次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込むようにしてください。(図 14-18 に示す A 点までに書き込んでください)。受信データは、次のフレームの受信が終了する前に読み出してください。

続けて次のフレームの SCLK が入力されると、送信バッファから送信シフトレジスタにデータを移して送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。

フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファへ転送データが書き込まれていない場合はアンダーランエラーが発生します。

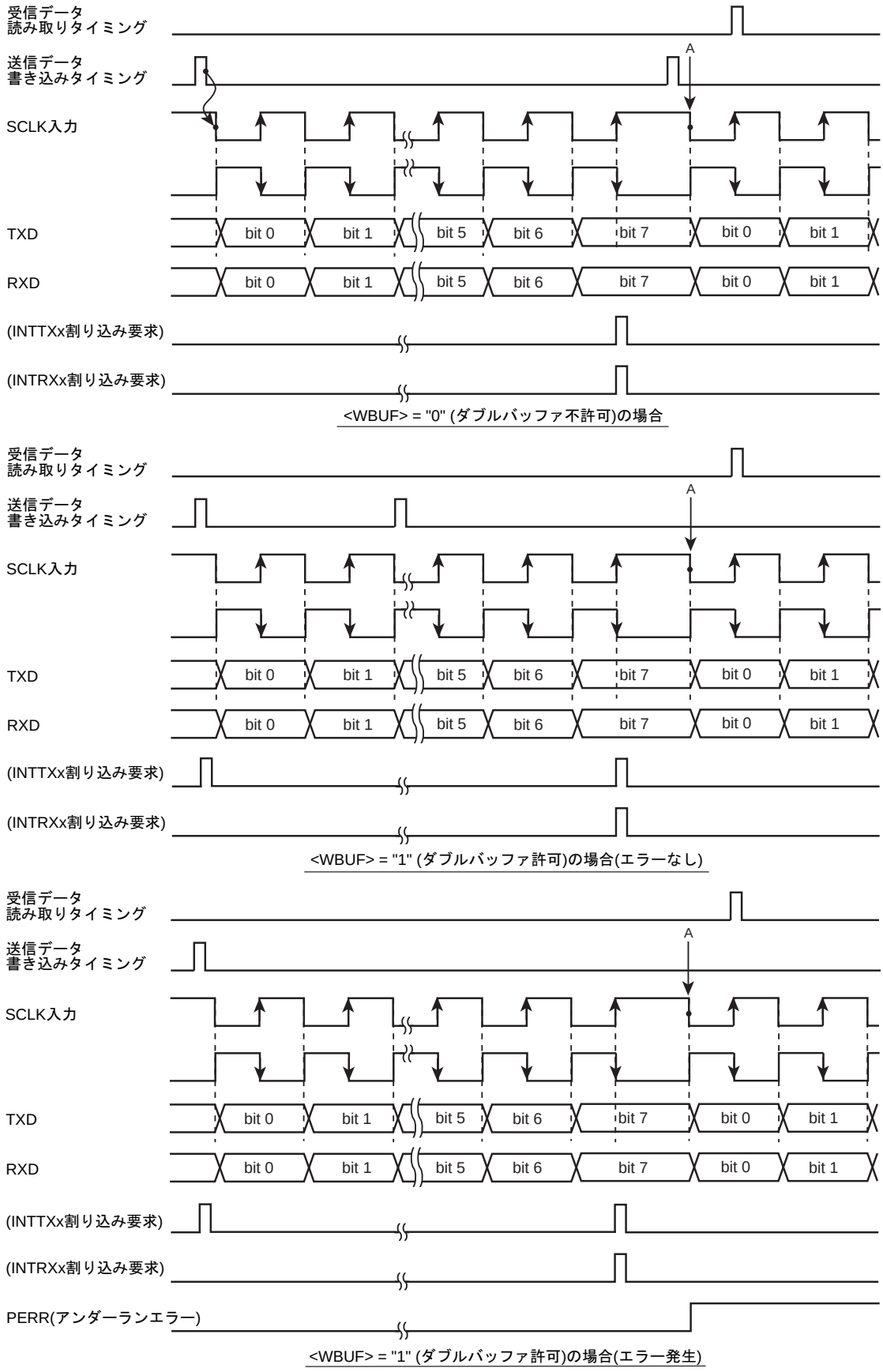


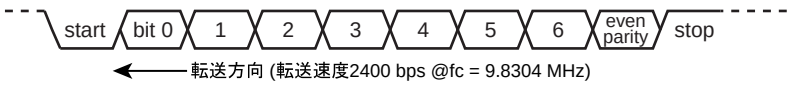
図 14-18 I/O インタフェースモード送受信動作(SCLK 入力モード)

14.17.2　モード 1 (7 ビット UART モード)

シリアルモードコントロールレジスタ(SCxMOD0 <SM[1: 0]>)を"01"にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCxCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。 <PE> = "1" (イネーブル)のときは、SCxCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

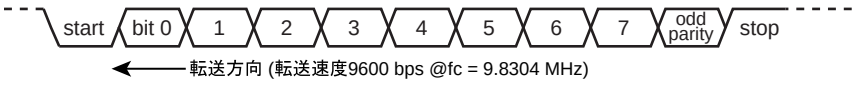
		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	-	0	0	1	0	1	7 ビット UART モードに設定
SCxCR	←	x	1	1	x	x	x	0	0	偶数パリティイネーブルに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bps に設定
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

x : don't care - : no change

14.17.3　モード 2 (8 ビット UART モード)

SCxMOD0 <SM[1:0]> を"10"にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCxCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = "1" (イネーブル)のとき、SCxCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック:	高速 (fc)
	高速クロックギア:	1 倍 (fc)
	プリスケーラクロック:	fperiph/2 (fperiph = fsys)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8 ビット UART モードに設定
SCxCR	←	x	0	1	x	x	x	0	0	奇数パリティイネーブルに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bps に設定
SCxMOD0	←	-	-	1	-	-	-	-	-	受信許可

x : don't care - : no change

14.17.4 モード 3 (9 ビット UART モード)

SCxMOD0 <SM[1:0]> を "11" にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止(SCxCR<PE> = "0")してください。

最上位ビット(9 ビット目)は、送信の場合 SCxMOD0 <TB8> に書き込み、受信の場合 SCxCR<RB8> に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SCxBUF の方を後にします。STOP ビットの長さは SCxMOD2<SBLEN>で指定することができます。

14.17.4.1 ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCxMOD0 <WU>を"1"にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCxCR<RB8> = "1"のときのみ割り込み (INTRXx) が発生します。

注) スレーブコントローラの TXD 端子は、必ず PxOD レジスタを設定してオープンドレイン出力モードにしてください。

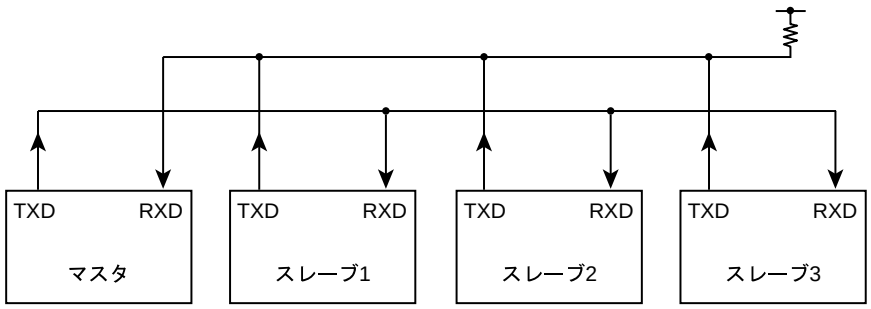
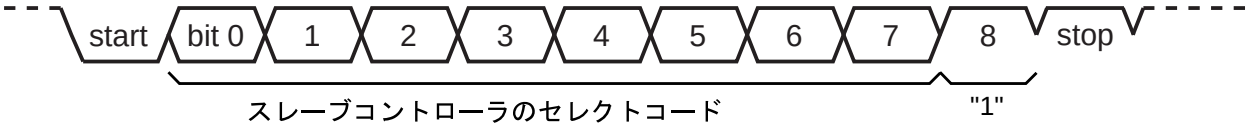


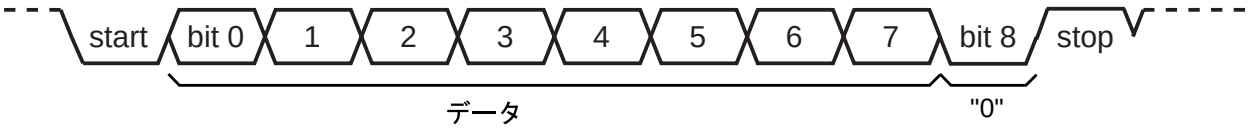
図 14-19 ウェイクアップ機能によるシリアルリンク

14.17.4.2　プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SCxMOD0<WU>を"1"にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8 ビット)を含む 1 フレームを送信します。このとき最上位ビット(ビット 8) <TB8>は"1"にします。



4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、<WU>を"0"にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(<WU> = "0"にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット 8) <TB8>は"0"にします。



6. <WU> = "1"のままのスレーブコントローラは、受信データの最上位ビット(ビット 8)の<RB8>が"0"であるため、割り込み(INTRXx)が発生せず、受信データを無視します。また、<WU> = "0"になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

第 15 章　シリアルバスインタフェース(I2C/SIO)

シリアルバスインタフェースを 2 チャネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I2C バスモード(マルチマスタ)
- クロック同期式 8 ビット SIO モード

I2C バスモードでは、SCL および SDA を通して外部デバイスと接続され、転送に DMAC を使用できます。

SIO モードでは、SCK, SI, SO を通して外部デバイスと接続されます。

チャネルごとの使用端子とポートの設定は、下記のとおりです。

表 15-1 シリアルバスインタフェース使用時のポート設定

チャネル	動作モード	端子	ポート ファンクション レジスタ設定	ポート 出力コントロール レジスタ設定	ポート 入力コントロール レジスタ設定	ポート オープンドレイン コントロール レジスタ設定
SBI0	I2C バスモード	SCL0 :PG1 SDA0 :PG0	PGFR1[1:0] = 11	PGCR[1:0] = 11	PGIE[1:0] = 11	PGOD[1:0] = 11
	SIO モード	SCK0 :PG2 SI0 :PG1 SO0 :PG0	PGFR1[2:0] = 111	PGCR[2:0] = 101(SCK0 出力) PGCR[2:0] = 001(SCK0 入力)	PGIE[2:0] = 010(SCK0 出力) PGIE[2:0] = 110(SCK0 入力)	PGOD[2:0] = xxx
SBI1	I2C バスモード	SCL1 :PE5 SDA1 PE4	PEFR1[5:4] = 11	PECR[5:4] = 11	PEIE[5:4] = 11	PEOD[5:4] = 11
	SIO モード	SCK1 :PE6 SI1 :PE5 SO1 PE4	PEFR1[6:4] = 111	PECR[6:4] = 101(SCK1 出力) PECR[6:4] = 001(SCK1 入力)	PEIE[6:4] = 010(SCK1 出力) PEIE[6:4] = 110(SCK1 入力)	PEOD[6:4] = xxx

注)　x: Don't care

15.1　構成

構成を図 15-1 に示します。

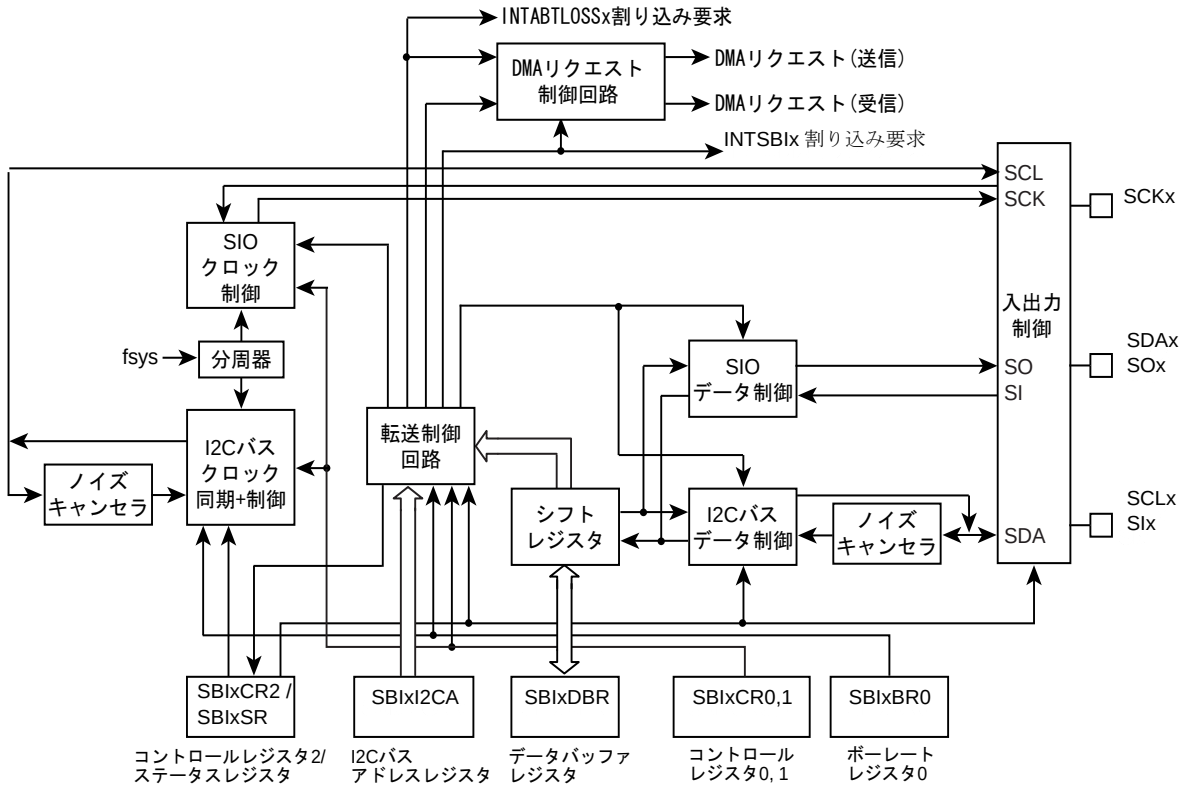


図 15-1 シリアルバスインタフェースブロック図

15.2 レジスタ説明

シリアルバスインタフェースの制御および動作状態のモニタを行うレジスタとアドレスは以下のとおりです。

下記レジスタは使用するモードによって、機能が異なります。詳細は「15.4 I2C バスモード時のコントロールレジスタ」および「15.7 SIO モード時のコントロールレジスタ」を参照してください。

15.2.1 チャネル別レジスター覧

各チャネルのレジスタとアドレスを示します。

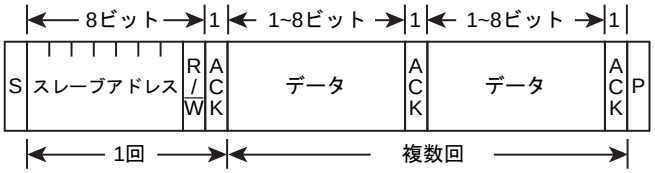
Channel x	Base Address
Channel0	0x400E_0000
Channel1	0x400E_0100

レジスタ名(x=0,1,)		Address(Base+)
コントロールレジスタ 0	SBIxCR0	0x0000
コントロールレジスタ 1	SBIxCR1	0x0004
データバッファレジスタ	SBIxDBR	0x0008
I2C バスアドレスレジスタ	SBIxI2CAR	0x000C
コントロールレジスタ 2	SBIxCR2(ライト時)	0x0010
ステータスレジスタ	SBIxSR(リード時)	
ボーレートレジスタ 0	SBIxBR0	0x0014

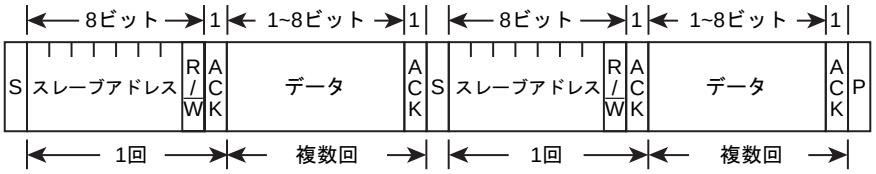
15.3　I2C バスモード時のデータフォーマット

I2C バスモード時のデータフォーマットを図 15-2 に示します。

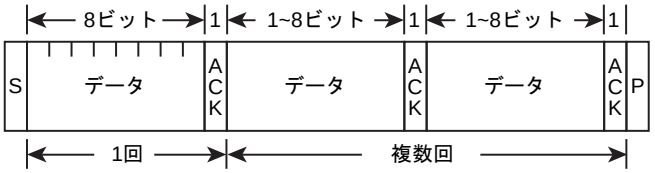
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



注)　$\overline{S}$: スタートコンディション
R/$\overline{W}$: 方向ビット
ACK : アクノリッジビット
P : ストップコンディション

図 15-2 I2C バスモード時のデータフォーマット

15.4 I2C バスモード時のコントロールレジスタ

シリアルバスインタフェース を I2C バスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

15.4.1 SBIxCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 許可の設定をして初めて、SBI に関連するレジスタのリード、ライトが可能になります。 禁止の場合、SBIxCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

注) シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。

15.4.2　SBIxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	BC			ACK	-	SCK2	SCK1	SCK0 / SWRMON
リセット後	0	0	0	0	1	0	0	1(注 3)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-5	BC[2:0]	R/W	転送ビット数の選択(注 1)
4	ACK	R/W	マスターモード 0: アクノリッジメントのためのクロックを発生しない 1: アクノリッジメントのためのクロックを発生する スレーブモード 0:アクノリッジのためのメントクロックをカウントしない 1:アクノリッジのためのメントクロックをカウントする
3	-	R	リードすると"1"が読めます。
2-1	SCK[2:1]	R/W	内部 SCL 出力クロックの周波数選択<SCK[2:0]>@ライト　(注 2)
0	SCK[0]	W	
	SWRMON	R	ソフトウエアリセット状態モニタ<SWRMON>@リード 0:ソフトウエアリセット中 1:ソフトウエアリセット中ではない

<BC>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

000	n = 5	462 kHz	システムクロック: fsys (= 48MHz) クロックギア: fc/1 周波数 = $\frac{fsys}{2^n + 72}$ [Hz]
001	n = 6	353 kHz	
010	n = 7	240 kHz	
011	n = 8	146 kHz	
100	n = 9	82 kHz	
101	n = 10	44 kHz	
110	n = 11	23 kHz	
111		reserved	

注 1) SIO モードに切り替える前に<BC[2:0]>を"000"にクリアしてください。

注 2) SCL ラインクロックの周波数については、「15.5.1 シリアルクロック」を参照してください。

注 3) <SCK[0]/SWRMON>は、リセット後"1"が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定した場合、<SCK[0]>の初期値は"0"になります。

注 4) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

注 5) **マスターモードで<BC[2:0]>="001"で<ACK>="0"のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。**

15.4.3　SBIxCR2(コントロールレジスタ 2)

このレジスタをリードすると、SBIxSR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	SBIM		SWRST	
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	W	マスタモード/スレーブモードの選択 0: スレーブモード 1: マスタモード
6	TRX	W	送信/受信の選択 0: 受信 1: 送信
5	BB	W	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生
4	PIN	W	INTSBIx 割り込み要求解除 0: − 1: 割り込み要求の解除
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注) 00: ポートモード(シリアルバスインタフェースの出力禁止) 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	SWRST[1:0]	W	ソフトウエアリセットの発生 最初に"10"、次に"01"をライトすると、ソフトウエアリセットが発生します。

注)　通信中はモードを切り替えないでください。 ポートモードへの切り替えはバスフリーを確認してから行ってください。 また、ポートモードから I2C バスモードへの切り替えは、ポートの状態が"High"になっていることを確認してから行ってください。

15.4.4 SBIxSR(ステータスレジスタ)

このレジスタをライトすると、SBIxCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MST	TRX	BB	PIN	AL	AAS	ADO	LRB
リセット後	0	0	0	1	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	MST	R	マスタ/スレーブ選択状態モニタ 0: スレーブモード 1: マスタモード
6	TRX	R	トランスミッタ/レシーバ選択状態モニタ 0: レシーバ 1: トランスミッタ
5	BB	R	I2C バス状態モニタ 0: バスフリー 1: バスビジー
4	PIN	R	INTSBIx 割り込み要求状態モニタ 0: 割り込みサービス要求中 1: 割り込みサービス要求解除中
3	AL	R	アービトレーションロスト検出モニタ 0: − 1: 検出
2	AAS	R	スレーブアドレス一致検出モニタ 0: − 1: 検出 (ゼネラルコール検出時もセットされます。)
1	ADO	R	ゼネラルコール検出モニタ 0: − 1: 検出
0	LRB	R	最終受信ビットモニタ 0:最終受信ビット "0" 1:最終受信ビット "1"

15.4.5　SBIxBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

15.4.6 SBIxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1) 送信データ書き込み時は、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBIxDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

15.4.7　SBIxI2CAR(I2C バスアドレスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SA							ALS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-1	SA[6:0]	R/W	スレーブデバイスとして動作するときのスレーブアドレスの設定
0	ALS	R/W	アドレス認識モードの指定 0:スレーブアドレスを認識する 1:スレーブアドレスを認識しない(フリーデータフォーマット)

注 1)　<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

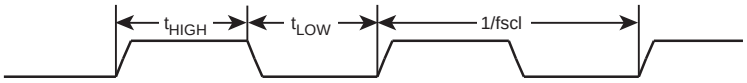
注 2)　スレーブモード時 SBIxI2CAR を"0x00"に設定しないでください。("0x00"に設定した場合、スレーブモードで I2C バス規格の START バイト("0x01")を受信した時にスレーブアドレスが一致したと判断します。)

15.5 I2C バスモード時の制御

15.5.1 シリアルクロック

15.5.1.1 クロックソース

SBIxCR1 <SCK[2:0]>で、マスタモード時に SCLx 端子から出力されるシリアルクロックの最大転送周波数を選択します。



$t_{LOW} = 2^{n-1}/fsys + 58/fsys$
$t_{HIGH} = 2^{n-1}/fsys + 14/fsys$
$fscl = 1/(t_{LOW} + t_{HIGH})$
$= \frac{fsys}{2^n + 72}$

SBIxCR1<SCK[2:0]>	n
000	5
001	6
010	7
011	8
100	9
101	10
110	11

図 15-3 クロックソース

注) 通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記計算式にて設定されますのでご注意願います。

15.5.1.2 クロック同期化

I2C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に"Low"レベルに引いたマスタが、"High"レベルを出力しているマスタのクロックを無効にします。このため、"High"レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

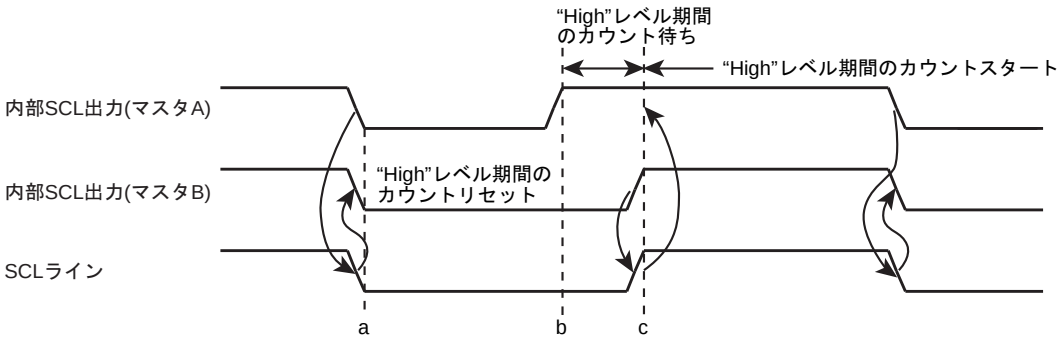


図 15-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を"Low"レベルに引くことで、バスの SCL ラインは"Low"レベルになります。マスタ B はこれを検出し、マスタ B の"High"レベル期間のカウントをリセットし、内部 SCL 出力を"Low"レベルに引きます。

b 点でマスタ A は"Low"レベル期間のカウントを終わり、内部 SCL 出力を"High"レベルにします。しかし、マスタ B がバスの SCL ラインを"Low"レベルに保持し続けているので、マスタ A は"High"レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を"High"レベルにし、バスの SCL ラインが"High"レベルになったことを検出後、"High"レベル期間のカウントを始めます。その後,"High"レベル期間のカウントを終了したマスタ A が SCL 端子を"Low"に引くことでバスの SCL ラインは"Low"レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い"High"レベル期間をもつマスタと最も長い"Low"レベル期間をもつマスタによって決定されます。

15.5.2　アクノリッジメントモードの指定

SBIxCR1<ACK>を"1"に設定するとアクノリッジメントモードとして動作します。マスタモードのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときはアクノリッジ信号のためのクロックをカウントします。トランスミッタモードのときには、アクノリッジのためのクロック期間中 SDAx 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときはクロック期間中 SDAx 端子を"Low"レベルに引き、更に、スレーブモードのときにゼネラルコールを受信した場合にもアクノリッジのためのクロック期間中、SDAx 端子を"Low"レベルに引き、アクノリッジ信号を発生します。

<ACK>を"0"に設定すると、非アクノリッジメントモードとして動作し、マスタモードのときにアクノリッジ信号のためのクロックを発生しません。スレーブモードのときはアクノリッジ信号のためのクロックをカウントしません。

15.5.3　転送ビット数の選択

SBIxCR1<BC[2:0]>により、次に送受信するデータのビット数を選択します。

<BC[2:0]>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは<BC[2:0]>は一度設定された値を保持します。

15.5.4　スレーブアドレスとアドレス認識モードの設定

スレーブアドレスを認識するアドレッシングフォーマットで動作させるときは、SBIxI2CAR<ALS>に"0"を設定し、SBIxI2CAR <SA[6:0]>にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには<ALS>を"1"に設定します。なお、フリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

15.5.5 動作モード

SBIxCR2<SBIM[1:0]>で動作モードを設定します。I2C バスモードで使用するときは、シリアルバスインタフェース端子の状態が"High"になっていることを確認後、<SBIM[1:0]>を"10"に設定してください。また、ポートモードへの切り替えは、バスフリーであることを確認してから行ってください。

15.5.6 トランスミッタ/レシーバの選択

SBIxCR2<TRX> を"1"に設定すると、トランスミッタとして動作し、<TRX>を"0"に設定すると、レシーバとして動作します。

スレーブモード時は、

- アドレッシングフォーマットのデータ転送を行うとき
- 受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき
- ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき

ハードウエアによりマスタデバイスから送られてくる方向ビット(R/$\overline{W}$)が"1"の場合、<TRX>は"1"にセットされ、"0"の場合、<TRX>は"0"にクリアされます。

マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより、送信した方向ビットが"1"の場合、<TRX>は"0"に、方向ビットが"0"の場合、<TRX>は"1"に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

フリーデータフォーマットで使用する場合、<TRX>はハードウエアによって変化することはありません。

15.5.7 マスタ/スレーブの選択

SBIxCR2<MST>を"1"に設定すると、マスタデバイスとして動作します。

<MST>を"0"に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウエアにより"0"にクリアされます。

15.5.8　スタート/ストップコンディションの発生

SBIxSR<BB>が"0"のときに、SBIxCR2<MST, TRX, BB, PIN>に"1"を書き込むと、バス上にスタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと方向ビットが出力されます。あらかじめ、<ACK>に"1"を設定しておいてください。

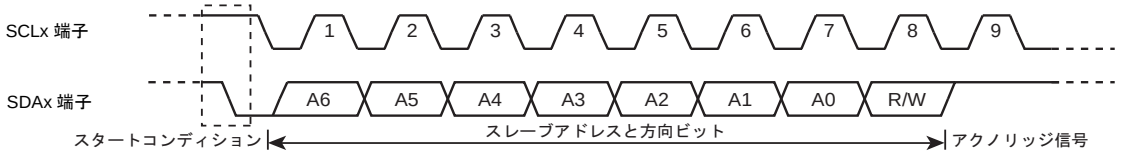


図 15-5 スタートコンディションの発生とスレーブアドレスの発生

<BB> = "1"のときに、<MST, TRX, PIN>に"1"、<BB>に"0"を書き込むと、バス上にストップコンディション出力のシーケンスが開始されます。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

ストップコンディション発生時にバスの SCL ラインがほかのデバイスにより"Low"に引かれていた場合、SCL ラインが開放された後にストップコンディションが発生します。

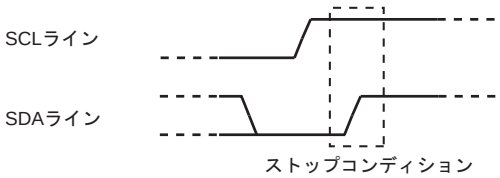


図 15-6 ストップコンディションの発生

また、SBIxSR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると"1"にセットされ(バスビジー状態)、ストップコンディションを検出すると"0"にクリアされます(バスフリー状態)。

15.5.9　割り込みサービス要求と解除

マスタモードの時、<BC>と<ACK>によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求(INTSBIx)が発生します。

スレーブモードの場合は、以下のときに INTSBIx が発生します。

- 受信したスレーブアドレスが SBIxI2CAR<SA[6:0]>に設定されたスレーブアドレスとアクノリッジ信号出力後
- ゼネラルコールを受信した時のアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

アドレス認識モード(<ALS> = "0")では、受信したスレーブアドレスが SBIxI2CAR にセットした値と同じとき、またはゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したときに INTSBIx が発生します。

割り込み要求(INTSBIx)が発生すると、SBIxCR2<PIN>が"0"にクリアされます。<PIN>が"0"の間、SCL ラインを"Low"レベルに引きます。

<PIN>は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"1"にセットされます。<PIN>が"1"にセットされてから、SCL ラインが開放されるまで、t_{LOW} の時間がかかります。プログラムで<PIN>に"1"を書き込むと"1"にセットされますが、"0"を書き込んでも"0"にクリアされません。

注) マスタモードでアービトレーションロストが発生した時、スレーブアドレスが一致しなかった場合は,<PIN>は"0"にクリアされません。(INTSBIx は発生します。)

注) I2C バスモードでは INTSBIx 割り込み発生と同時に DMA リクエストも発生します。DMA を使用する場合は DMAC のレジスタ設定を行って下さい。

15.5.10 アービトレーションロスト検出モニタ

I2C バスではマルチマスタ(1 つのバス上で同時に 2 つ以上のマスタが存在する)が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合、SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I2C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

a 点のビットまでマスタ A, マスタ B とも同じデータを出力し、a 点でマスタ A が"Low"レベルを出力、マスタ B が"High"レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって"Low"レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を"アービトレーションロスト"と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

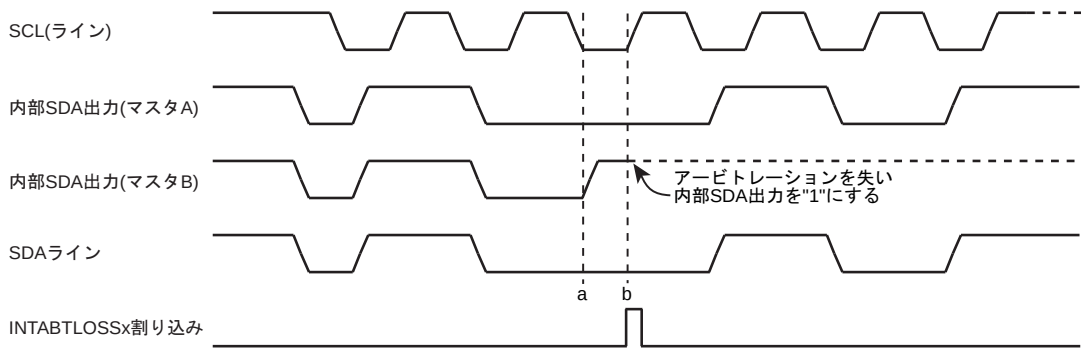


図 15-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIxSR<AL> が"1"にセットされ、INTABTLOSSx 割り込みが発生します。

<AL> が"1"にセットされると SBIxSR<MST, TRX>は"0"にクリアされ、スレーブレシーバモードになります。そのため、<AL>が"1"にセットされた後のデータ転送ではシリアルバスインタフェース回路はクロック出力を停止します。

<AL>は、SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み込む、または SBIxCR2 にデータを書き込むと"0"にクリアされます。

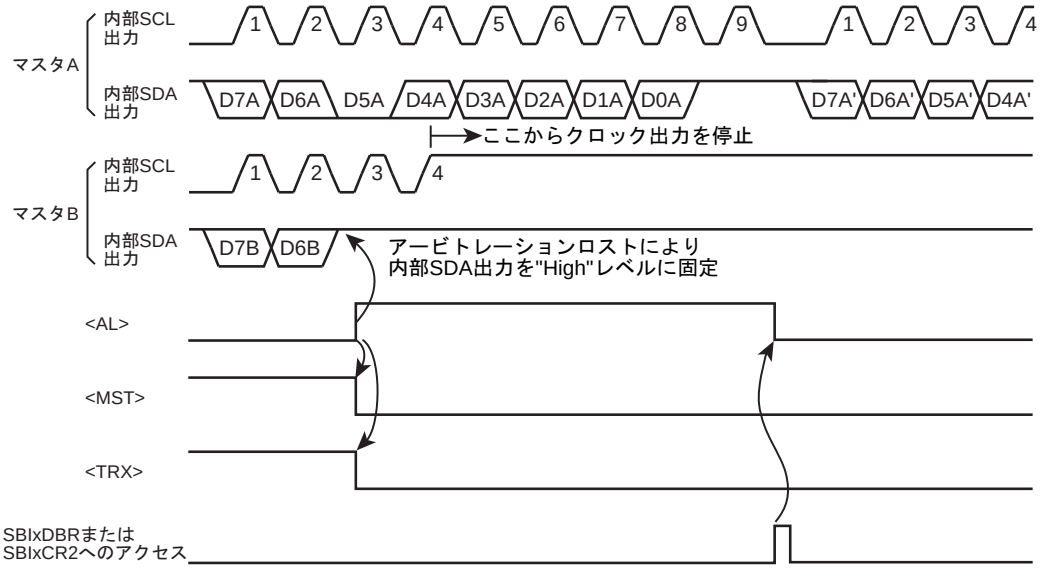


図 15-8 マスタ B の場合の例(D7A=D7B,D6A=D6B)

15.5.11　スレーブアドレス一致検出モニタ

SBIxSR<AAS>は、スレーブモード時、アドレス認識モード(SBIxI2CAR<ALS> = "0")のとき、ゼネラルコールまたは SBIxI2CAR にセットした値と同じスレーブアドレスを受信すると"1"にセットされます。フリーデータフォーマット(<ALS> = "1")のときは、最初の 1 ワードが受信されると"1"にセットされます。<AAS> は SBIxDBR にデータを書き込むか、SBIxDBR からデータを読み出すと"0"にクリアされます。

15.5.12　ゼネラルコール検出モニタ

SBIxSR<ADO>は、スレーブモード時、ゼネラルコール(スタートコンディション後の 8 ビットのデータがすべて"0")を受信したとき"1"にセットされます。また、バス上のスタートコンディション、またはストップコンディションが検出されると"0"にクリアされます。

15.5.13 最終受信ビットモニタ

SBIxSR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBIx 割り込み要求発生直後に SBIxSR<LRB> を読み出すと、ACK 信号が読み出されます。

15.5.14 データバッファレジスタ(SBIxDBR)

SBIxDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

15.5.15 ボーレートレジスタ(SBIxBR0)

SBIxBR0<I2SBI>は IDLE モードに遷移した際にシリアルバスインタフェース回路の動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

15.5.16 ソフトウエアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウエアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBIxCR2<SWRST[1:0]> へ、最初に"10"、次に"01" をライトすると、ソフトウエアリセットが発生します。ライトの際、SBIxCR2<SBIM[1:0]> は"10" の I2C バスモードを指定してください。ソフトウエアリセットが発生すると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に"0"にクリアされます。

注) ソフトウエアリセットをかけると動作モード選択もリセットされ、I2C モードから PORT モードになります。

15.6　I2C バスモード時のデータ転送手順

15.6.1　デバイスの初期化

最初に SBIxCR1<ACK, SCK[2:0]>を設定します。SBIxCR1[7:5]には、"0"を書き込んでください。

次に SBIxI2CAR にスレーブアドレス<SA[6:0]>と<ALS> (アドレッシングフォーマット時、<ALS> = "0")を設定します。

それから、シリアルバスインタフェース端子の状態が"High"になっていることを確認し、SBIxCR2<MST, TRX, BB>に"0", <PIN>に"1", <SBIM[1:0]>に"10", ビット 1, 0 に"0"を書き込み、初期状態をスレーブレシーバモードにします。

注)　シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了させてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前にほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	0	X	0	X	X	X	ACK および SCL クロックの設定をします。
SBIxI2CAR	←	X	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBIxCR2	←	0	0	0	1	1	0	0	0	スレーブレシーバモードにします。

注)　X; Don't care

15.6.2　スタートコンディション, スレーブアドレスの発生

15.6.2.1　マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態(<BB> = "0")を確認します。次に、SBIxCR1<ACK>に"1"を書き込んで、アクノリッジメントモードに設定します。また、SBIxDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = "0" の状態で、SBIxCR2<MST, TRX, BB, PIN>に"1111"を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCLx 端子から 9 クロックを出力します。最初の 8 クロックで、SBIxDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBIx 割り込み要求が発生し、<PIN> = "0"にされます。マスタモード時は、<PIN> = "0" の間 SCL ラインを"Low"レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBIx 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

注)　スレーブアドレスを出力するために SBIxDBR に書き込む時は事前にソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のバス上のデータが破壊されることがあります。

メインルーチンでの設定

```
                        7  6  5  4  3  2  1  0
Reg.          ←  SBIxSR
Reg.          ←  Reg. e 0x20
if Reg.       ≠  0x00                          バスがフリー状態になるまで確認します。
Then
SBIxCR1       ←  X  X  X  1  0  X  X  X        アクノリッジメントモードに設定します。
SBIxDBR       ←  X  X  X  X  X  X  X  X        目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2       ←  1  1  1  1  1  0  0  0        スタートコンディションの発生を行います。
```

INTSBIx 割り込みルーチンでの処理例

割り込み要求クリア

処理

割り込み終了

15.6.2.2 スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBIxI2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを"Low"レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで、INTSBIx 割り込み要求が発生し、<PIN> = "0"にされます。スレーブモード時は、<PIN> = "0"の間 SCL ラインを"Low"レベルに引きます。

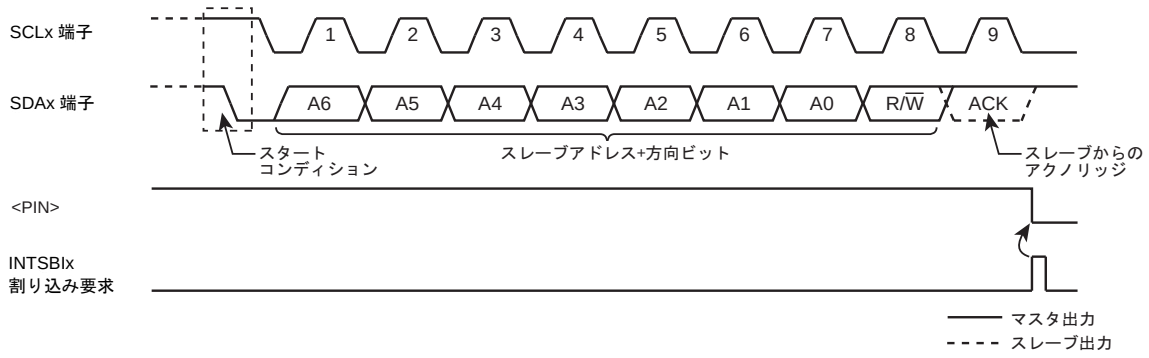


図 15-9 スタートコンディションとスレーブアドレスの発生

15.6.3　1 ワードのデータ転送

1 ワード転送終了の INTSBIx 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

15.6.3.1　マスタモードの場合(<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(1)　トランスミッタモードの場合(<TRX> = "1")

<LRB>をテストします。<LRB> = "1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記参照)を行ってデータ転送を終了します。

<LRB> = "0"のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、転送データを SBIxDBR に書き込みます。データを書き込むと<PIN>が"1"になり SCL 端子から次の 1 ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後 INTSBIx 割り込み要求が発生し、<PIN>が"0"になり SCL 端子を"Low"レベルに引きます。複数ワードの転送が必要な場合は上記<LRB>のテストから繰り返します。

INTSBIx 割り込み

```
if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBIxCR1     ←  X  X  X  X  0  X  X  X     転送ビット数および ACK を設定します。
SBIxDBR     ←  X  X  X  X  X  X  X  X     転送データを書き込みます。
割り込み処理終了
```

注)　X; Don't care

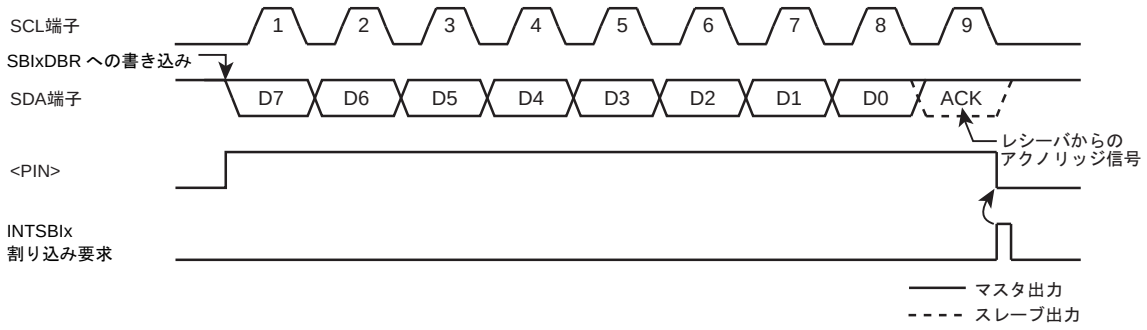


図 15-10 <BC[2:0]>="000",<ACK>="1"の場合（トランスミッタモード）

(2) レシーバモードの場合(<TRX> = "0")

次に転送するデータのビット数が 8 ビットのときは SBIxDBR に転送データを書き込みます。8 ビット以外のときは<BC[2:0]>, <ACK>を設定し、SCL ラインを解放するために SBIxDBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は"1"になり、次の 1 ワードデータ転送用のシリアルクロックを SCLx 端子に出力します。最後のビットでアクノリッジ信号の"Low"レベルのタイミングで"0"を SDAx 端子に出力します。

その後、INTSBIx 割り込み要求が発生し、<PIN>が"0"になり SCLx 端子を"Low"レベルに引きます。SBIxDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

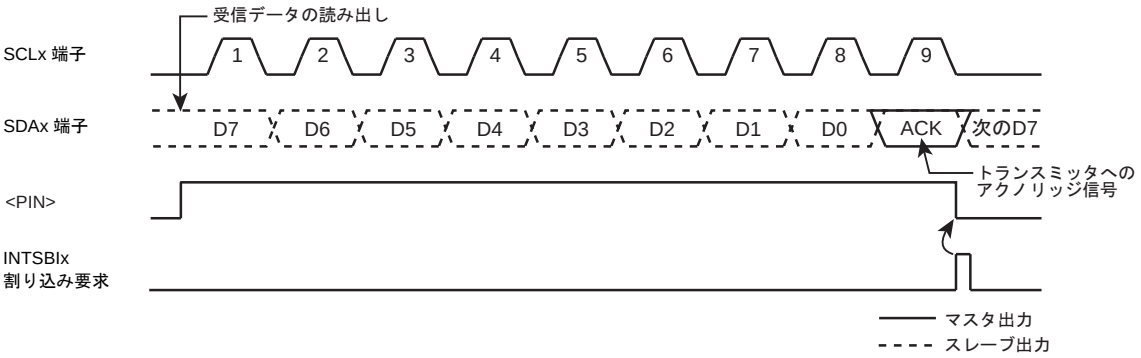


図 15-11 <BC[2:0]>="000",<ACK>="1"のときの例（レーシーバモード）

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を"0"にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC[2:0]> = "001"に設定し、データを読み出すと、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは"High"レベルを保ちます。トランスミッタは ACK 信号としてこの"High"レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

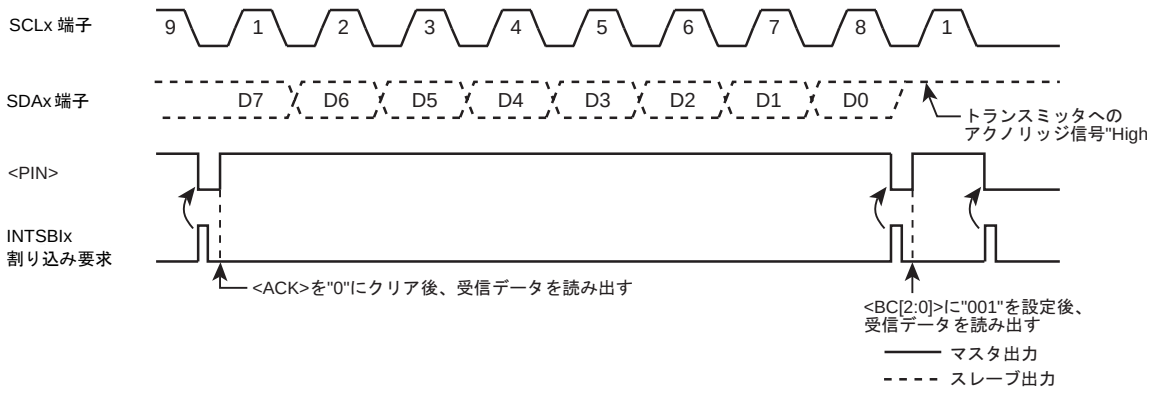


図 15-12 マスタレシーバモード時、データの送信を終了させるときの処理

例:データを N 回受信する場合

INTSBIx 割り込み(データ送信後)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	X	X	X	X	0	X	X	X	受信データのビット数および ACK を設定します。
Reg.	←	SBIxDBR								ダミーデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 1~(N − 2)回目)

		7	6	5	4	3	2	1	0	
Reg.	←	SBIxDBR								1~(N − 2)回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 (N − 1)回目)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	X	X	X	0	0	X	X	X	アクノリッジ信号のクロックを発生しないようにします。
Reg.	←	SBIxDBR								(N − 1)回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信 N 回目)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	0	1	0	0	X	X	X	1 ビット転送のためのクロックを発生します。
Reg.	←	SBIxDBR								N 回目のデータを取り込みます。
割り込み終了										

INTSBIx 割り込み(データ受信後)

ストップコンディションを発生する処理	データ転送を終了させます。
割り込み終了	

注)　X; Don’t care

15.6.3.2 スレーブモードの場合(<MST> = "0")

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTSBIx 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBIx 割り込み要求が発生します。INTSBIx 割り込み要求が発生すると<PIN>が"0"にされ、SCLx 端子を"Low"レベルに引きます。SBIxDBR にデータを書き込む、SBIxDBR からデータを読み出す、または<PIN>に"1"を設定すると SCLx 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBIxSR<AL>, <TRX>, <AAS>, <ADO>をテストし、場合分けを行います。「表 15-2 スレーブモード時の処理」にスレーブモード時の状態と必要な処理を示します。

例: スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが"1"の場合

INTSBIx 割り込み

if TRX = 0

Then その他処理へ移行

if AL = 0

Then その他処理へ移行

if AAS = 0

Then その他処理へ移行

SBIxCR1	←	X	X	X	1	0	X	X	X	送信ビット数を設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データをセットします。

注) X; Don't care

表 15-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<ADO>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが"1"のスレーブアドレスを受信	1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが"1"のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	<LRB>をテストし、"1"にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に"1"をセット、<TRX>を"0"にリセットしバスを開放します。<LRB>が"0"にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を<BC[2:0]>にセットし、送信するデータを SBIxDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	<PIN>を"1"にセットするために SBIxDBR を読み出します。(ダミー読み出し)または<PIN>に"1"を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが "0" のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を<BC[2:0]>にセットし、受信データを SBIxDBR から読み出します。

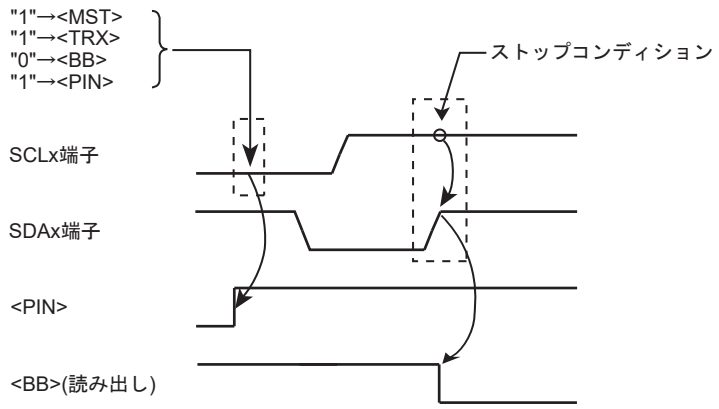


図 15-13 ストップコンディションの発生

15.6.5　再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBIxCR2<MST, TRX, BB>に"0"、<PIN>に"1"を書き込み、バスを開放します。このとき SDAx 端子は"High"レベルを保ち、SCLx 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIxSR<BB>をテストして"0"になるまで待ち、SCLx 端子が開放されたことを確認します。次に<LRB>をテストして"1"になるまで待ち、他のデバイスがバスの SCL ラインを"Low"レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「15.6.2 スタートコンディション, スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs (標準モード時)のソフトウエアによる待ち時間が必要です。

注 1)　<MST> = "0"の状態の時に<MST> = "0"をライトしないでください(再スタートできません)。

注 2)　マスタデバイスがレシーバのとき、再スタートを発生させる前にトランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、"High"レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の<LBR>は"1"となり、再スタートの手順で<LBR>="1"であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するにはポートを読み出してください。

		7	6	5	4	3	2	1	0	
SBIxCR2	←	0	0	0	1	1	0	0	0	バスを開放します。
if SBIxSR<BB> ≠ 0										SCL 端子の開放を確認します。
Then										
if SBIxSR<LRB> ≠ 1										他のデバイスの SCL 端子"Low"レベルの確認を行います。
Then										
4.7 μs Wait										
SBIxCR1	←	X	X	X	1	0	X	X	X	アクノリッジメントモードに設定します。
SBIxDBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBIxCR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

注) X; Don't care

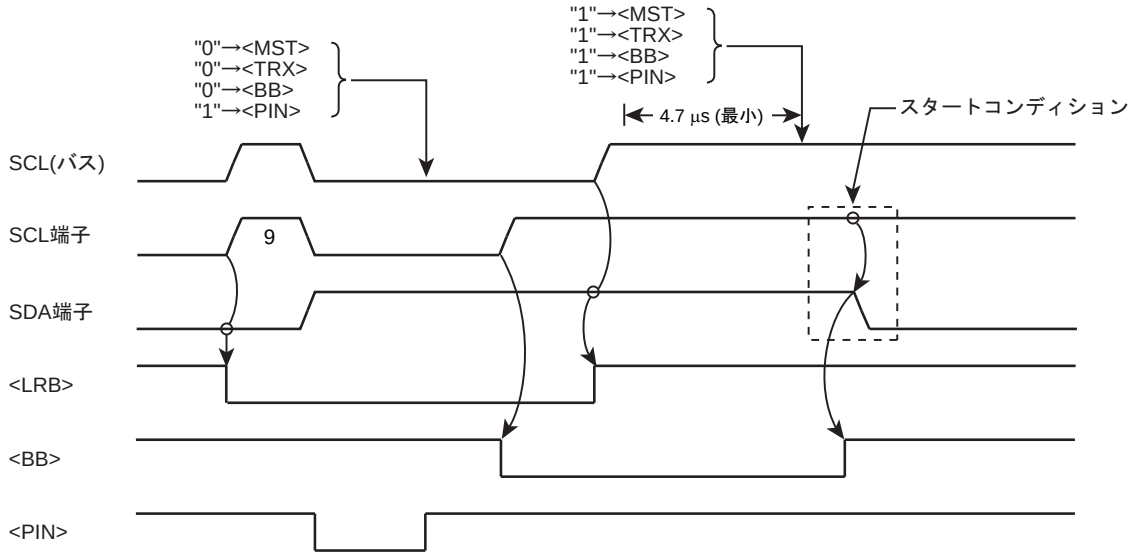


図 15-14 再スタートを発生する場合のタイミングチャート

15.6.6 DMA によるデータ転送

I2C バスモードでは DMA によるデータ転送を行う事ができます。ただし、バス上にマスタとスレーブが 1 つづつ接続され、あらかじめ転送するデータ数が決まっているときのみ可能です。

I2C バスモードでは INTSBIx 割り込みが発生すると DMA リクエストも同時に発生しますので、SBIxDBR(データバッファ)とメモリ間で DMA 転送を行う事で連続転送ができます。

DMA リクエストは送信、受信それぞれ別々に発生しますので、DMA を使用する場合には、DMAC の制御レジスタで各々の許可／禁止を設定して下さい。

DMA によりデータ転送を行う場合、何ワードのデータをやり取りするかをあらかじめ送受信の双方で決めておく必要があります。

I2C 転送の途中にアービトレーションロストが発生した場合、INTABTLOSSx 割り込みと INTSBIx 割り込みが発生しますが、DMA リクエストは発生しません。

注) SIO モード時には DMA 転送は使用できません。

表 15-3 DMA リクエスト番号

チャネル	送信/受信	DMA リクエスト番号
チャネル 0	受信	12
	送信	13
チャネル 1	受信	14
	送信	15

以下に SBI0、DMAC ユニット A、ch0 で 8 バイトデータを n 回転送する場合の転送手順例を示します。

15.6.6.1　マスタモードモードでの転送手順

1. スタートコンディションの発生とスレーブアドレスの出力を行います。
2. スレーブアドレス出力後の INTSBIx 割り込みで、<LRB>、<TRX>を確認します。
3. <LRB>が"1"の場合、出力したスレーブアドレスにアクノリッジを返すスレーブがないため、ストップコンディションを出力して、転送を終了します。
4. <LRB>が"0"の場合、出力したスレーブアドレスにアクノリッジが返ってきているので、<TRX>を確認します。<TRX>の値によって処理が変わります。

(1)　<TRX>が"1"の場合(トランスミッタモード)

a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など）総転送回数は実際に送信したいデータ数-1 とします。また、INTSBIx 割り込みによる DMA リクエスト受け付けを許可します。
b. 1 ワード目のデータを SBIDBRx に書き込みます。これにより、1 ワード目の送信が開始します。
c. 転送終了の INTSBIx 割り込みによる DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ送信が行われます。
d. 設定回数(n-1 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。(このワードの INTSBIx 割り込み発生前に禁止してください)
e. 転送終了の INTSBIx 割り込みでストップコンディションを発生させ、転送を終了します。

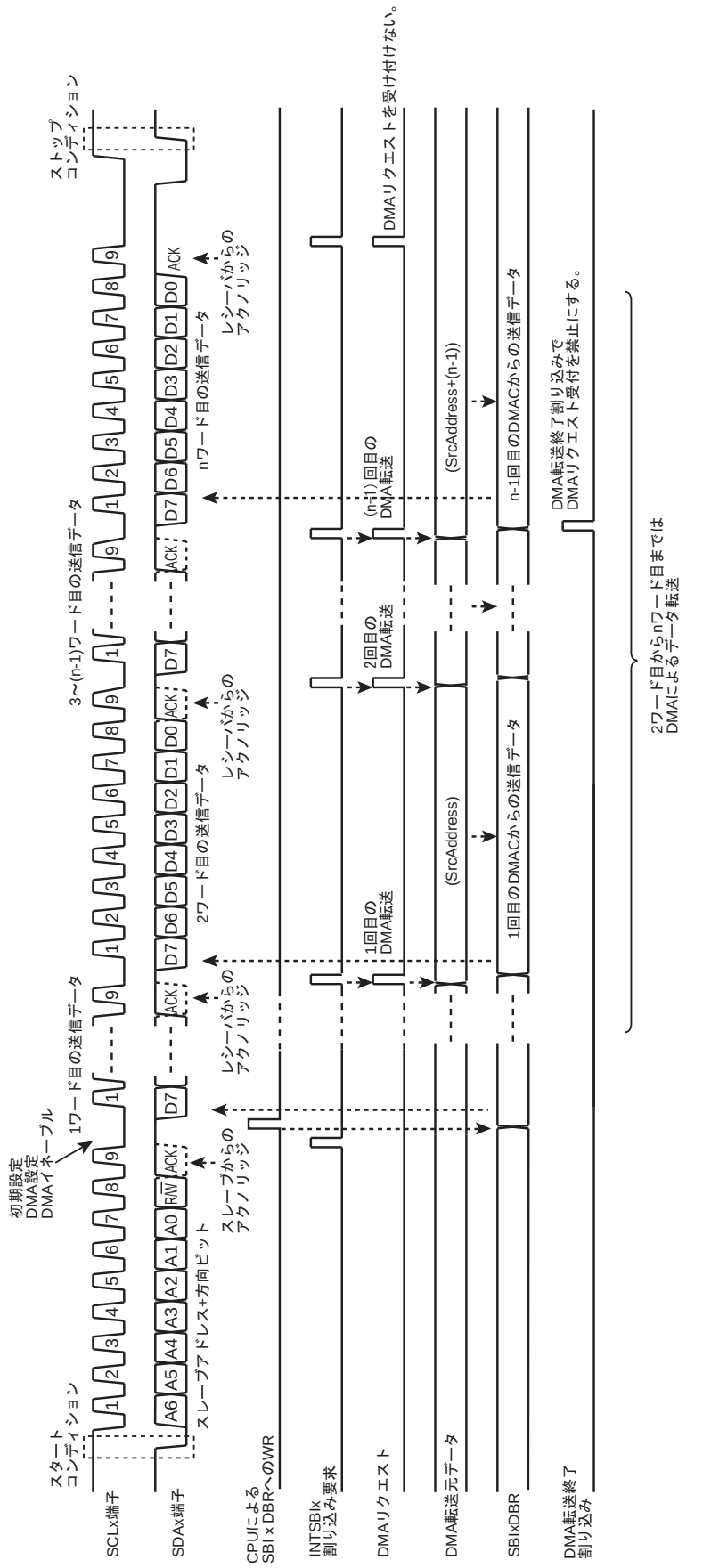


図 15-15 マスタトランスミッタモード時の DMA による連続転送

(2)　<TRX>が"0"の場合(レシーバモード)

a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など）総転送回数は実際に送信したいデータ数-2 とします。また、INTSBIx 割り込みによる DMA リクエスト受け付けを許可します。
b. SBIDBRx をダミー読み出しします。これにより、1 ワード目の受信が開始します。
c. 転送終了の INTSBIx 割り込みによる DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ受信が行われます。
d. 設定回数(n-2 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。(このワードの INTSBIx 割り込み発生前に禁止してください)
e. 転送終了の INTSBIx 割り込みで<ACK>を"0"にクリアして、アクノリッジのためのクロックを発生しないようにします。その後、SBIDBRx から受信データを読み出します。
f. 転送終了の INTSBIx 割り込みで、<BC[1:0]>に"001"を設定して、受信データを読み出します。これにより、SDA のレベルが"High"の 1 ビットのデータ受信が行われ、トランスミッタはネガティブアクノリッジを受け取ります。
g. 転送終了の INTSBIx 割り込みでストップコンディションを発生させ、転送を終了します。

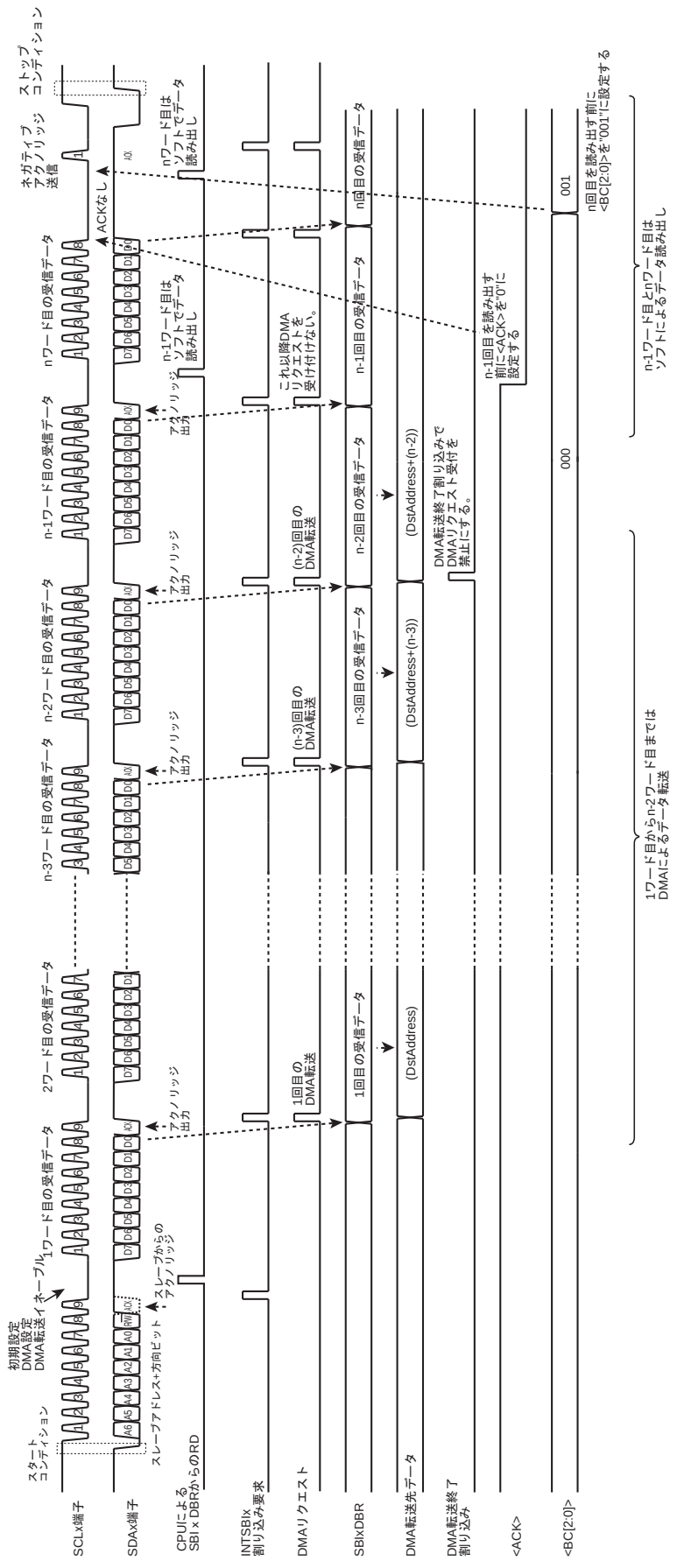


図 15-16 マスタレシーバモード時の DMA による連続転送

15.6.6.2　スレーブモードでの転送手順

1. スタートコンディションとスレーブアドレスの受信を行います。
2. スレーブアドレス受信後の INTSBIx 割り込みで、<TRX>を確認します。
3. <TRX>の値によって処理が変わります。

(1)　<TRX>が"1"の場合(トランスミッタモード)

a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など）総転送回数は実際に送信したいデータ数-1 とします。また、INTSBIx 割り込みによる DMA リクエスト受け付けを許可します。
b. 1 ワード目のデータを SBIDBRx に書き込みます。これにより、マスタからクロックを受けとれるようになり、1 ワード目の送信が行われます。
c. 転送終了の INTSBIx 割り込みによる DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ送信が行われます。
d. 設定回数(n-1 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。(このワードの INTSBIx 割り込み発生前に禁止してください)
e. 転送終了の INTSBIx 割り込みでは、送信データを SBIDBRx に書き込まず、マスタからのストップコンディションを待ちます。

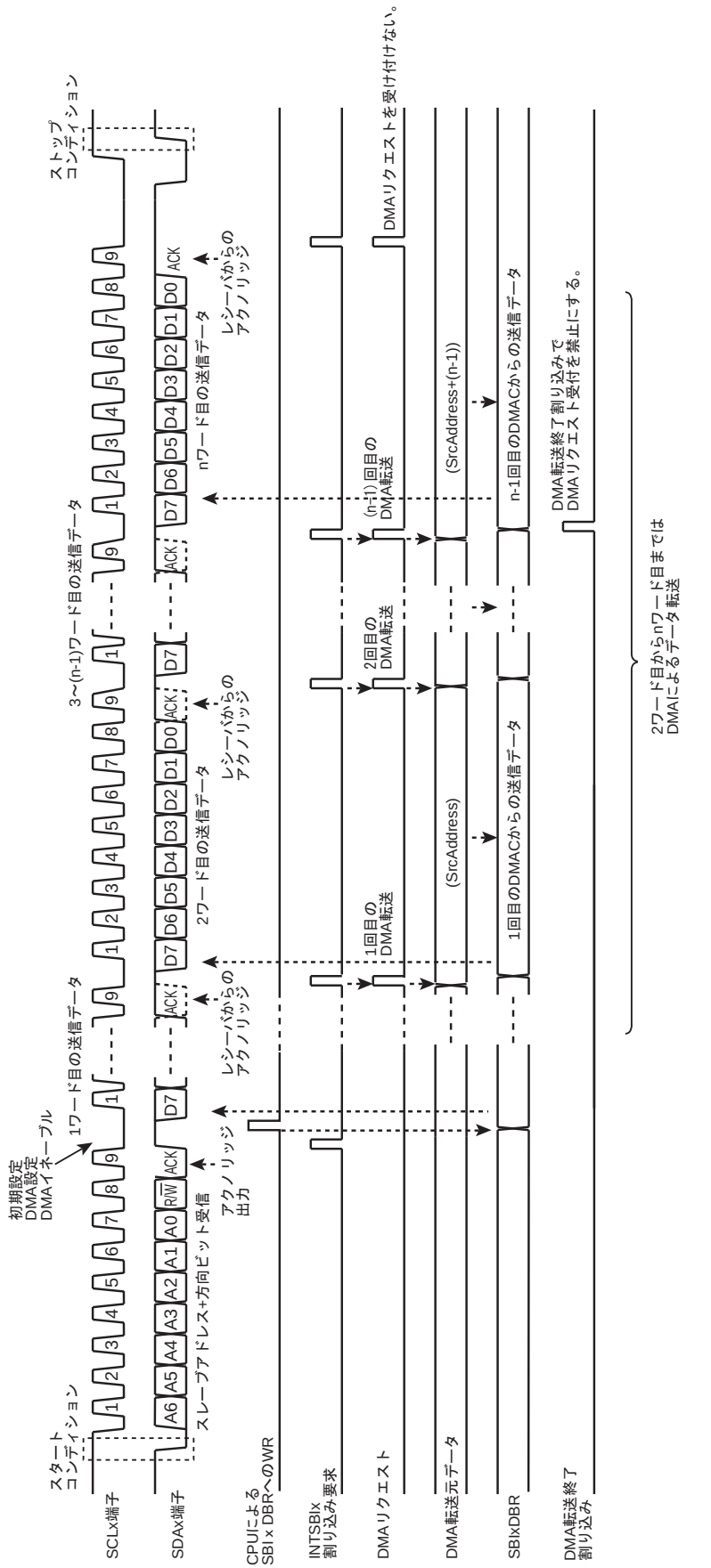


図 15-17 スレーブトランスミッタモード時の DMA による連続転送

(2)　<TRX>が"0"の場合(レシーバモード)

a. DMA の設定を行います。(転送ビット幅、バーストサイズ、総転送回数など）総転送回数は実際に送信したいデータ数-2 とします。また、INTSBIx 割り込みによる DMA リクエスト受け付けを許可します。
b. SBIDBRx をダミー読み出しします。これにより、マスタからクロックを受けとれるようになり、1 ワード目の受信が行われます。
c. 転送終了の INTSBIx 割り込みによる DMA リクエストで DMA 転送が開始され、2 ワード目以降のデータ受信が行われます。
d. 設定回数(n-2 回)の DMA 転送が終了すると DMA 転送終了割り込みが発生します。この割り込み処理で、DMA リクエスト受け付けを禁止します。(このワードの INTSBIx 割り込み発生前に禁止してください)
e. 転送終了の INTSBIx 割り込みで<ACK>を"0"にクリアして、アクノリッジのためのクロックを受信しないようにします。その後、SBIDBRx から受信データを読み出します。
f. 転送終了の INTSBIx 割り込みで、<BC[1:0]>に"001"を設定して、受信データを読み出します。これにより、SDA のレベルが"High"の 1 ビットのデータ受信が行われ、トランスミッタはネガティブアクノリッジを受け取ります。
g. 転送終了の INTSBIx 割り込みでマスタからのストップコンディションを待ちます。

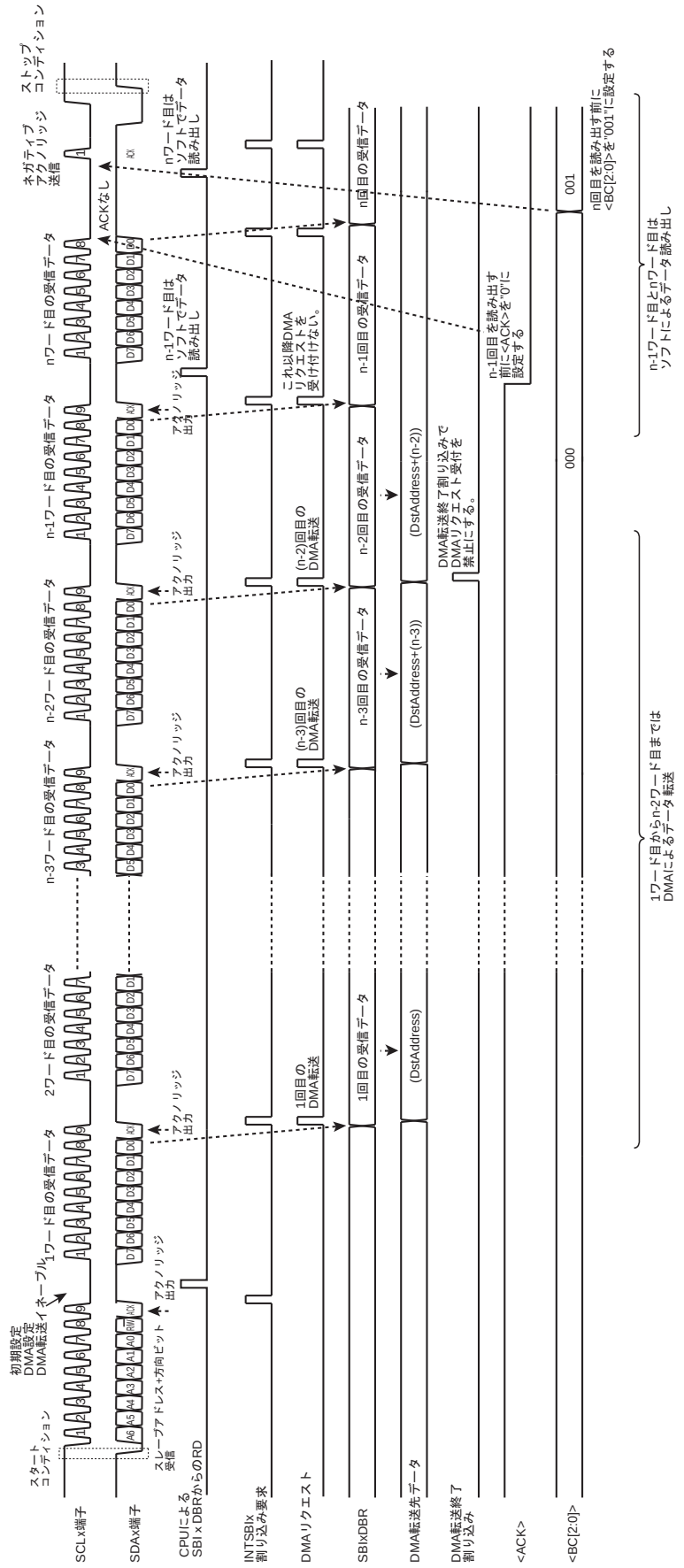


図 15-18 スレーブレシーバモード時の DMA による連続転送

15.7　SIO モード時のコントロールレジスタ

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

15.7.1　SBIxCR0(コントロールレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SBIEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SBIEN	R/W	シリアルバスインタフェース動作 0: 禁止 1: 許可 シリアルバスインタフェースを使用する場合、まずこのビットを許可にしてください。 禁止の場合、SBIxCR0 を除くすべてのクロックが停止しますので消費電力の低減が可能です。 いったん許可した後に禁止にした場合、各レジスタの設定は保持されます。
6-0	-	R	リードすると"0"が読めます。

15.7.2 SBIxCR1(コントロールレジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SIOS	SIOINH	SIOM		-	SCK		
リセット後	0	0	0	0	1	0	0	0(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	SIOS	R/W	転送の開始/終了 0: 終了 1: 開始
6	SIOINH	R/W	転送の強制停止 0: 転送継続 1: 強制停止
5-4	SIOM[1:0]	R/W	転送モードの設定 00: 送信モード 01: Reserved 10: 送受信モード 11: 受信モード
3	-	R	リードすると"1"が読めます。
2-0	SCK[2:0]	R/W	シリアルクロックの周波数選択<SCK[2:0]>@ライト(注 1)

000	n = 3	3 MHz
001	n = 4	1.5 MHz
010	n = 5	750 kHz
011	n = 6	375 kHz
100	n = 7	187.5 kHz
101	n = 8	93.8 kHz
110	n = 9	46.9 kHz
111	–	外部クロック

システムクロック: fsys (= 48MHz)
クロックギア: fc/1
周波数 = $\frac{fsys/2}{2^n}$ [Hz]

注 1) <SCK[0]>ビットは、リセット後"1"が読み出されますが、SBIxCR2 レジスタにて SIO モードに設定後は"0"が初期値として読み出されます。ここでは初期状態で SIO モードに設定した後の値を「リセット後」欄に示します。なお、SBIxCR2 レジスタ、SBIxSR レジスタでも同様な記載をしています

注 2) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1"に設定してください。

注 3) マスターモードで<BC[2:0]>="001"で<ACK>="1"のとき、ストップコンディション発生後の SCL ラインの立下りによって、SCL ラインが"L"に固定されることがあり、他のマスタデバイスがバスを使用できなくなります。複数のマスタデバイスがバスに接続されている場合、ストップコンディション発生前に、転送ビット数を"2"以上にしてください。

15.7.3　SBIxDBR(データバッファレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-0	DB[7:0]	R	受信データ
		W	送信データ

注 1)　送信データを書き込み時には、データを MSB(ビット 7)側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2)　SBIxDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

15.7.4 SBIxCR2(コントロールレジスタ 2)

このレジスタをリードすると、SBIxSR レジスタとして機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SBIM		-	-
リセット後	1(注 1)	1(注 1)	1(注 1)	1(注 1)	0	0	1(注 1)	1(注 1)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注 1)
3-2	SBIM[1:0]	W	シリアルバスインタフェースの動作モード選択(注 2) 00:ポートモード 01: SIO モード 10: I2C バスモード 11: Reserved
1-0	-	R	リードすると"1"が読めます。(注 1)

注 1) ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。
注 2) 通信中はモードを切り替えないでください。

15.7.5　SBIxSR(ステータスレジスタ)

このレジスタをライトすると、SBIxCR2 として機能します。

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	SIOF	SEF	-	-
リセット後	1(注)	1(注)	1(注)	1(注)	0	0	1(注)	1(注)

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7-4	-	R	リードすると"1"が読めます。(注)
3	SIOF	R	シリアル転送動作状態モニタ 0: 転送終了 1: 転送中
2	SEF	R	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中
1-0	-	R	リードすると"1"が読めます。(注)

注)　ここでは SIO モードに設定後の初期値を「リセット後」欄に示します。

15.7.6 SBIxBR0(ボーレートレジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	I2SBI	-	-	-	-	-	-
リセット後	1	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31-8	-	R	リードすると"0"が読めます。
7	-	R	リードすると"1"が読めます。
6	I2SBI	R/W	IDLE モード時の動作 0: 停止 1: 動作
5-1	-	R	リードすると"1"が読めます。
0	-	R/W	必ず"0"をライトしてください。

15.8　SIO モード時の制御

15.8.1　シリアルクロック

15.8.1.1　クロックソース

SBIxCR1 <SCK[2:0]> により、次の選択ができます。

(1)　内部クロック

内部クロックモードでは 7 種類の周波数が選択できます。シリアルクロックは SCKx 端子より外部に出力されます。なお、転送開始時 SCKx 端子出力は"High"レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

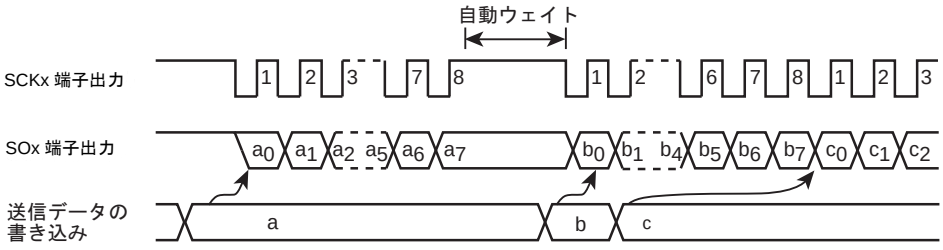


図 15-19 自動ウェイト機能

(2)　外部クロック(<SCK[2:0]> = "111")

外部から SCKx 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実に行うためには、シリアルクロックの"High"レベル、"Low"レベル幅は下記に示すパルス幅が必要です。

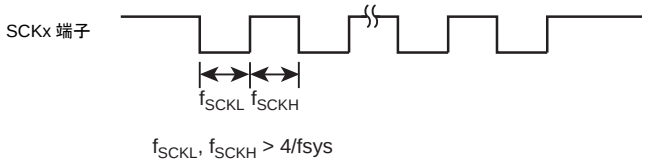


図 15-20 外部クロック入力時の最大転送周波数

15.8.1.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

- 前縁シフト

  シリアルクロックの前縁(SCKx 端子入出力の立ち下がりエッジ)でデータをシフトします。
- 後縁シフト

  シリアルクロックの後縁(SCKx 端子入出力の立ち上がりエッジ)でデータをシフトします。

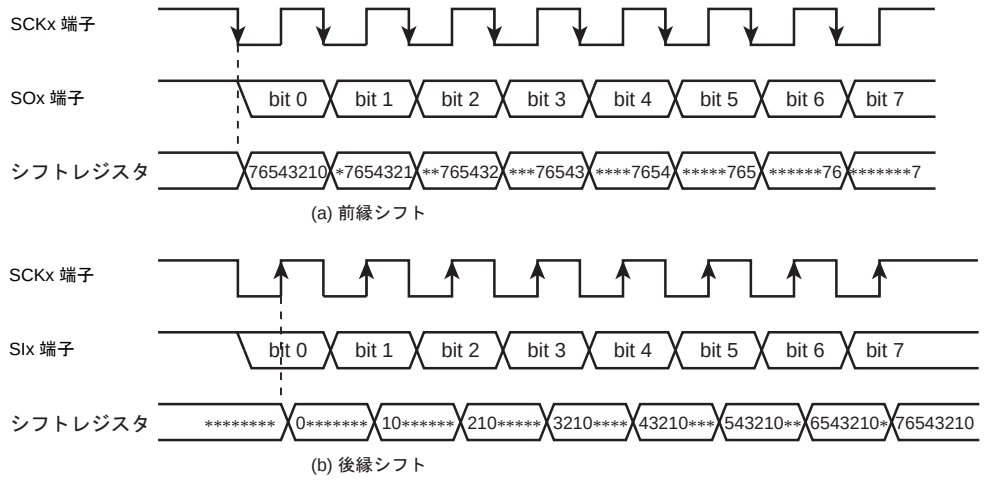


図 15-21 シフトエッジ

15.8.2　転送モード

SBIxCR1<SIOM[1:0]>で、送信/受信/送受信モードを選択します。

15.8.2.1　8 ビット送信モード

コントロールレジスタに送信モードをセットした後、送信データを SBIxDBR に書き込みます。

送信データの書き込み後、SBIxCR1<SIOS> = "1"を書き込むことにより送信が開始されます。送信データは、SBIxDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット(LSB)側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIxDBR が空になりますので、 次の送信データを要求する INTSBIx(バッファエンプティ)割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIxDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIxDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBIxSR<SIOF>が"1"となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか<SIOINH> = "1"を書き込みます。<SIOS>がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIxSR<SIOF>で行います。<SIOF>は送信の終了で"0"になります。<SIOINH> = "1"を書き込んだ場合はただちに送信を打ち切り、<SIOF>は"0"になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を"0"にクリアする必要があります。もしシフトアウトする前に<SIOS>が"0"にクリアされなかった場合は、ダミーのデータの送信後、停止します。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	1	0	0	0	X	X	X	送信モードをセットします。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBIxCR1	←	1	0	0	0	0	X	X	X	送信を開始します。

INTSBIx 割り込み

SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

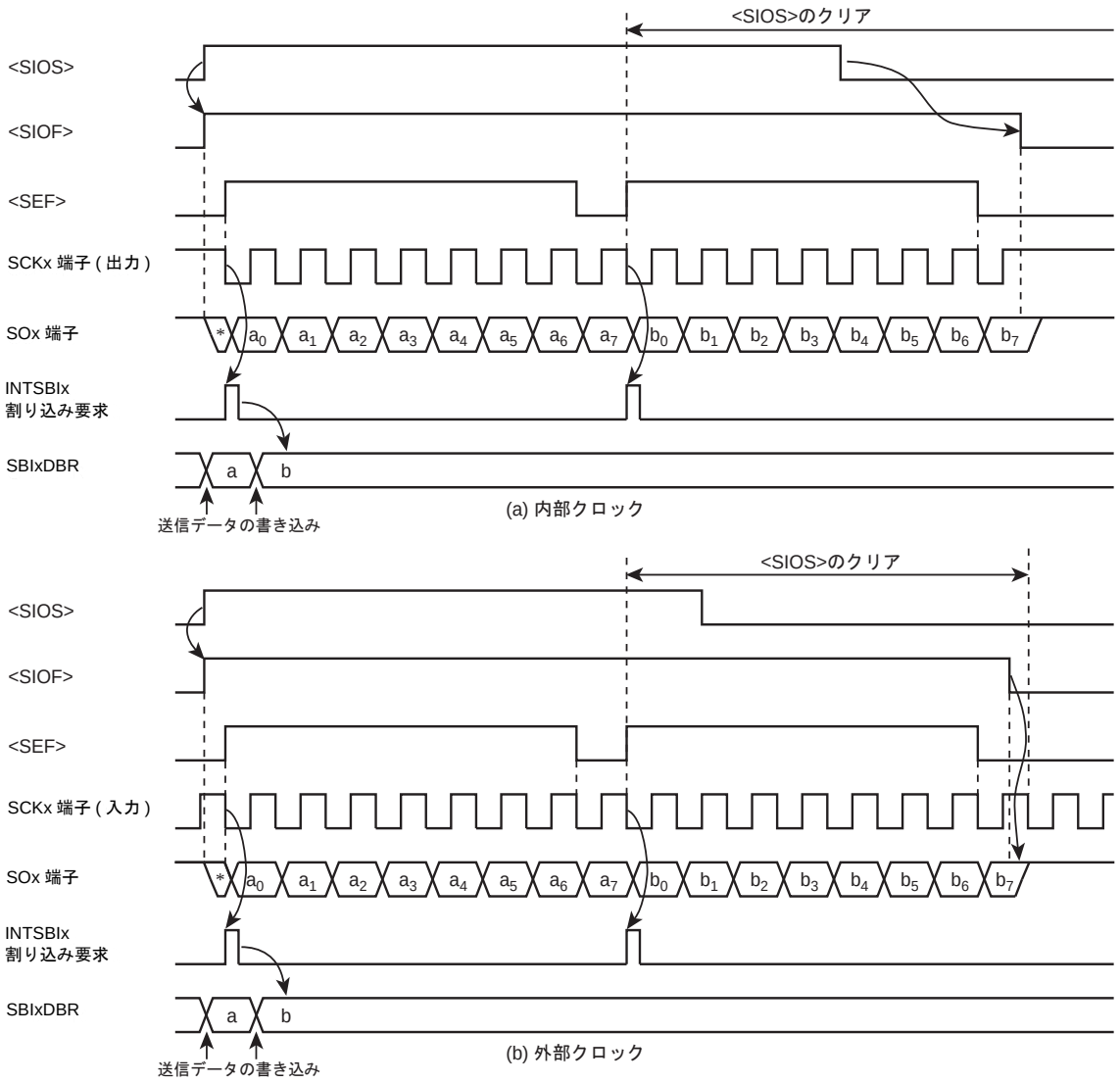


図 15-22 送信モード

例: <SIO> の送信終了指示(外部クロックの場合)のプログラム例

```
                    7   6   5   4   3   2   1   0
if SBIxSR<SIOF> ≠ 0                                  転送の終了を確認します。
Then
if SCK ≠ 1                                           ポートをモニタし、SCKx 端子が"1"になったことを確認
Then                                                 します。
SBIxCR1     ←       0   0   0   0   0   1   1   1    <SIOS> = 0 を設定し送信を終了します。
```

15.8.2.2　8 ビット受信モード

コントロールレジスタに受信モードをセットした後、SBIxCR1<SIOS> = "1" を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれるとシフトレジスタから SBIxDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBIx (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIxDBR から読み出します。

内部クロック動作の場合、受信データが SBIxDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか、<SIOINH> = "1"を書き込みます。<SIOS>がクリアされると、受信データが全ビット揃い、SBIxDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は受信の終了で"0"にされます。 受信終了の確認のあと最終受信データを読み出します。<SIOINH> = "1" を書き込んだ場合は、ただちに受信を打ち切り、<SIOF>は"0"になります (受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	1	1	1	0	X	X	X	受信モードをセットします。
SBIxCR1	←	1	0	1	1	0	X	X	X	受信を開始します。

INTSBIx 割り込み

Reg.	←	SBIxDBR	受信データを取り込みます。

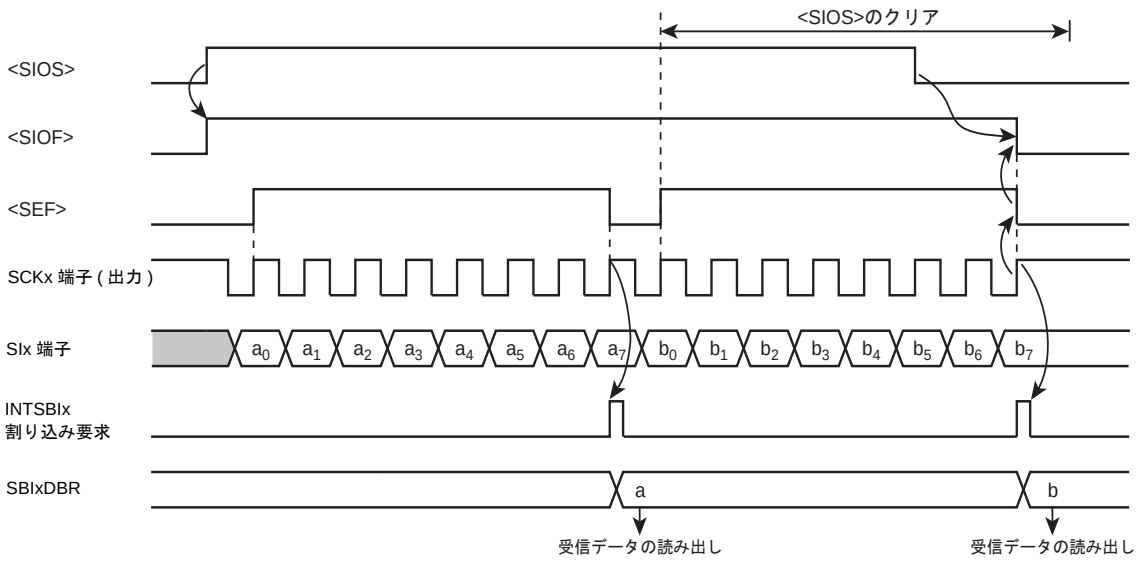


図 15-23 受信モード(例: 内部クロック)

15.8.2.3　8 ビット送受信モード

コントロールレジスタに送受信モードをセットした後、送信データを SBIxDBR に書き込みます。その後、SBIxCR1<SIOS>に"1"をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SOx 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBIxDBR へ受信データが転送され、INTSBIx 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIxDBR は、送信/受信モードで兼用していますので、送信データは、必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、 次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が"1"となってから SCKx の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBIx 割り込みサービスプログラムで<SIOS> = "0"を書き込むか SBIxCR1 <SIOINH> = "1"を書き込みます。<SIOS>が"0"にクリアされると、受信データが揃い、SBIxDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBIxSR<SIOF>で行います。<SIOF>は送受信の終了で"0"にクリアされます。<SIOINH>を"1"にセットした場合は、ただちに送受信を打ち切り、<SIOF>は"0"にされます。

注)　転送モードを切り替えると SBIxDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示(<SIOS> = "0"を書き込む)を行い、最終受信データを読み出したあとで切り替えてください。

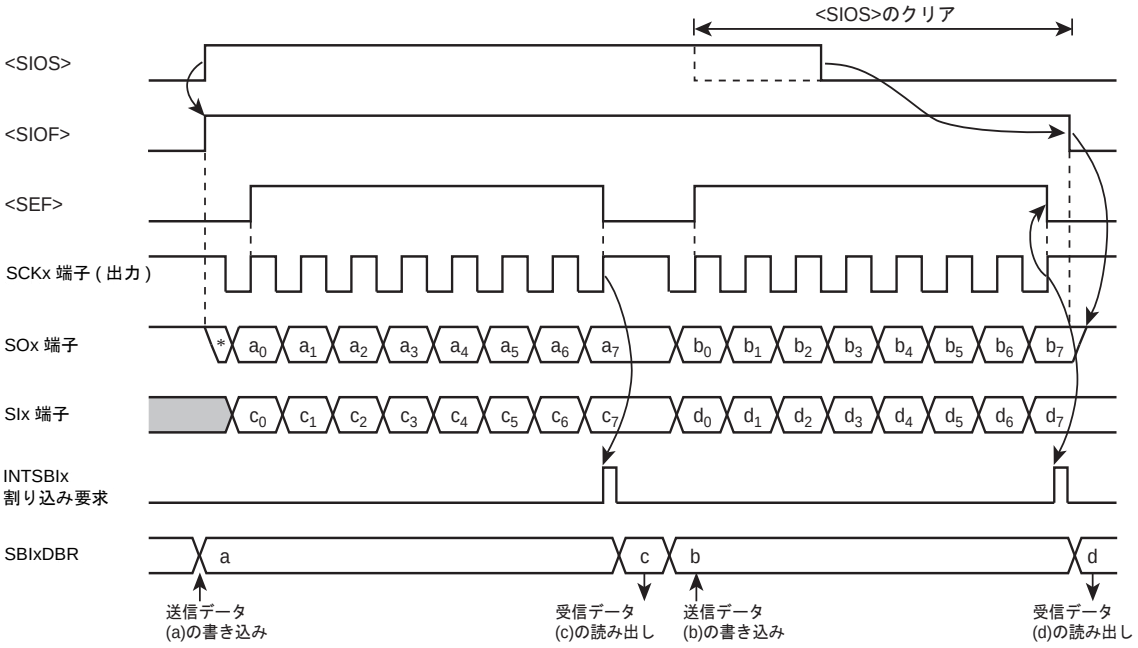


図 15-24 送受信モード(例: 内部クロック)

		7	6	5	4	3	2	1	0	
SBIxCR1	←	0	1	1	0	0	X	X	X	送受信モードをセットします。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。
SBIxCR1	←	1	0	1	0	0	X	X	X	送受信を開始します。

INTSBIx 割り込み

Reg.	←	SBIxDBR								受信データを取り込みます。
SBIxDBR	←	X	X	X	X	X	X	X	X	送信データを書き込みます。

15.8.2.4 送信終了時の最終ビット保持時間

SBIxCR1<SIOS>="0"の状態では、送信データの最終ビットの SCK 立ち上がりに対するデータ保持時間は以下のようになります。送信モード、送受信モードとも同様です。

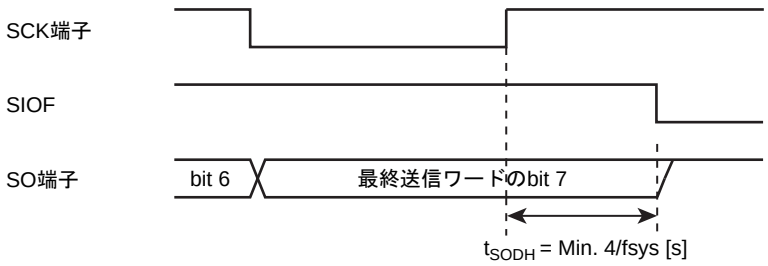


図 15-25 送信終了時の最終ビット保持時間

第 16 章　アナログ/デジタルコンバータ(ADC)

16.1　特徴

TMPM365FYXBG は、12 チャネルのアナログ入力を持つ、12 ビット逐次変換方式アナログ/デジタルコンバータ(AD コンバータ)を内蔵しています。

12 チャネルのアナログ入力端子(AIN00 ~ AIN11)は、入出力ポートと兼用です。

12 ビット AD コンバータは、以下のような特徴があります。

- 通常 AD 変換、最優先 AD 変換の起動
  - ソフトウェアによる起動
  - 16 ビットタイマ(TMRB)による起動
  - 外部トリガ入力($\overline{\text{ADTRG}}$)によるハードウェア起動
- AD 変換機能
  - 固定シングル変換モード
  - スキャンシングル変換モード
  - 固定リピート変換モード
  - スキャンリピート変換モード
- 最優先 AD 変換機能
- 通常 AD 変換終了、最優先 AD 変換終了割り込み機能
- 通常 AD 変換機能、最優先 AD 変換機能のステータスフラグ
  - AD 変換結果データ有効を示すフラグ<ADRxRF>、上書きを示すフラグ<OVRx>
  - 通常 AD 変換終了、最優先 AD 変換終了フラグ
  - 通常 AD 変換ビジー、最優先 AD 変換ビジーフラグ
- AD 監視機能
  - AD 監視機能有効時に、任意比較条件と一致した場合、割り込みを発生します。
- AD 変換クロックを 1/fc ~ 1/16fc まで制御可能
- AD 変換終了時、2 種類の DMA リクエストをサポート
- スタンバイモードをサポート

16.2　構成

図 16-1 に AD コンバータブロック図を示します。

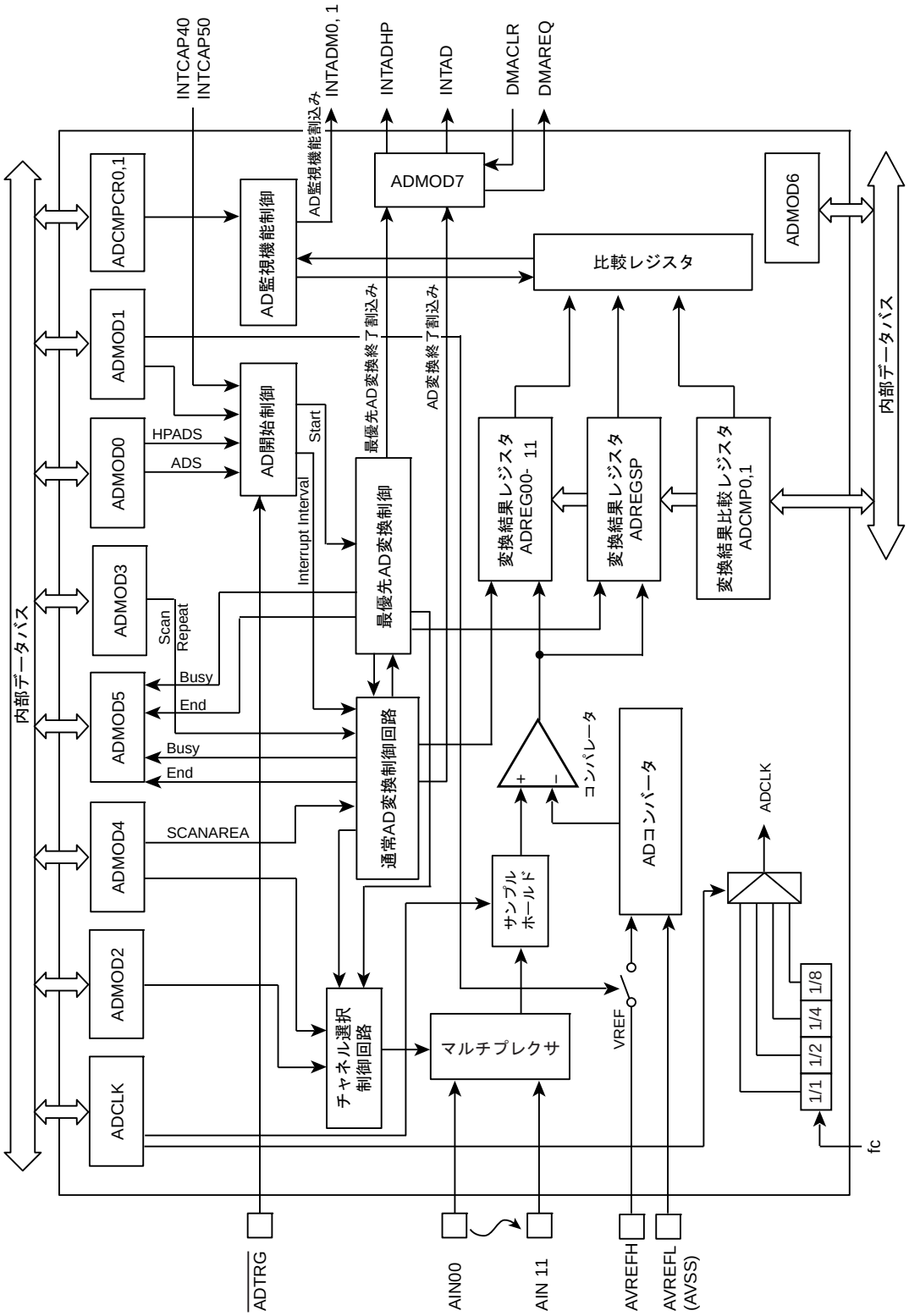


図 16-1 AD コンバータブロック図

16.3 レジスタ

16.3.1 レジスター覧

AD コンバータは、AD モードコントロールレジスタ(ADMOD0～ADMOD7)により制御します。AD 変換結果は、AD 変換結果レジスタ ADREG00～ADREG11 の 12 個のレジスタに格納され、最優先変換結果は ADREGSP に格納されます。

Base Address = 0x4005_0000

レジスタ名		Address(Base+)
クロック設定レジスタ	ADCLK	0x0000
モード設定レジスタ 0	ADMOD0	0x0004
モード設定レジスタ 1	ADMOD1	0x0008
モード設定レジスタ 2	ADMOD2	0x000C
モード設定レジスタ 3	ADMOD3	0x0010
モード設定レジスタ 4	ADMOD4	0x0014
モード設定レジスタ 5	ADMOD5	0x0018
モード設定レジスタ 6	ADMOD6	0x001C
モード設定レジスタ 7	ADMOD7	0x0020
監視割り込み設定レジスタ 0	ADCMPCR0	0x0024
監視割り込み設定レジスタ 1	ADCMPCR1	0x0028
変換結果比較レジスタ 0	ADCMP0	0x002C
変換結果比較レジスタ 1	ADCMP1	0x0030
変換結果格納レジスタ 0	ADREG00	0x0034
変換結果格納レジスタ 1	ADREG01	0x0038
変換結果格納レジスタ 2	ADREG02	0x003C
変換結果格納レジスタ 3	ADREG03	0x0040
変換結果格納レジスタ 4	ADREG04	0x0044
変換結果格納レジスタ 5	ADREG05	0x0048
変換結果格納レジスタ 6	ADREG06	0x004C
変換結果格納レジスタ 7	ADREG07	0x0050
変換結果格納レジスタ 8	ADREG08	0x0054
変換結果格納レジスタ 9	ADREG09	0x0058
変換結果格納レジスタ 10	ADREG10	0x005C
変換結果格納レジスタ 11	ADREG11	0x0060
Reserved	-	0x0064
Reserved	-	0x0068
Reserved	-	0x006C
Reserved	-	0x0070
最優先変換結果格納レジスタ	ADREGSP	0x0074
Reserved	-	0x0F00
Reserved	-	0x0F04
Reserved	-	0x0F08

注) "Reserved"表記のアドレスにはアクセスしないでください。

16.3.2　ADCLK (クロック設定レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADSH				-	ADCLK		
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	Function
31-8	−	R	リードすると"0"が読めます。
7-4	ADSH[3:0]	R/W	ADC サンプルホールド時間選択 0000: 10 × <ADCLK> 0001: 20 × <ADCLK> 0010: 30 × <ADCLK> 0011: 40 × <ADCLK> 0100: 80 × <ADCLK> 0101 to 1111: Reserved
3	−	R	リードすると"0"が読めます。
2-0	ADCLK[2:0]	R/W	ADC プリスケーラ出力選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100 to 111: Reserved

注 1)　4MHz ≤ ADCLK ≤ 40MHz の範囲内で使用してください。例えば、fosc = 12MHz、PLL = 8 逓倍で使用する場合、fc = 48MHz となりますが、この場合は ADCLK<ADCLK[2:0]> = "000"以外を使用してください。

注 2)　<ADCLK >ADC プリスケーラ出力選択は、AD 変換停止且つ ADMOD1<VREFON>="0"で行なってください。

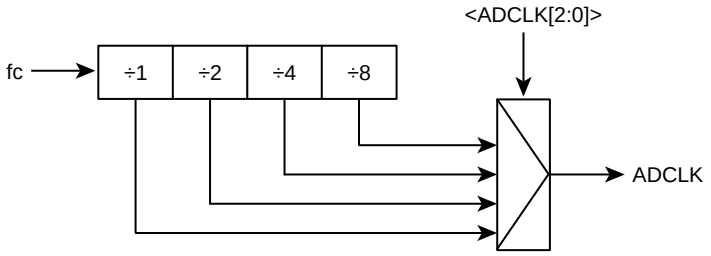


図 16-2 AD 変換クロック(ADCLK)

下表にサンプルホールド時間および変換時間を示します。変換クロック数として最短変換時間で 40 クロック必要となります。

<ADCLK[2:0]> 設定	<ADSH[3:0]>	変換時間(Tconv)		
		fc=32MHz	fc=40MHz	fc=48MHz
000 (fc)	conversion clock × 10	1.25 μs	1.00 μs	−
	conversion clock × 20	1.56 μs	1.25 μs	−
	conversion clock × 30	1.88 μs	1.50 μs	−
	conversion clock × 40	2.19 μs	1.75 μs	−
	conversion clock × 80	3.44 μs	2.75 μs	−
001 (fc/2)	conversion clock × 10	2.50 μs	2.00 μs	1.67 μs
	conversion clock × 20	3.13 μs	2.50 μs	2.08 μs
	conversion clock × 30	3.75 μs	3.00 μs	2.50 μs
	conversion clock × 40	4.38 μs	3.50 μs	2.92 μs
	conversion clock × 80	6.88 μs	5.50 μs	4.58 μs
010 (fc/4)	conversion clock × 10	5.00 μs	4.00 μs	3.33 μs
	conversion clock × 20	6.25 μs	5.00 μs	4.17 μs
	conversion clock × 30	7.50 μs	6.00 μs	5.00 μs
	conversion clock × 40	8.75 μs	7.00 μs	5.83 μs
	conversion clock × 80	−	−	9.17 μs
011 (fc/8)	conversion clock × 10	10.0 μs	8.00 μs	6.67 μs
	conversion clock × 20	−	10.0 μs	8.33 μs
	conversion clock × 30	−	−	10.00 μs
	conversion clock × 40	−	−	−
	conversion clock × 80	−	−	−

注 1) AD 変換中は、AD 変換クロック設定を変更しないで下さい。

注 2) "−"は設定禁止です。<ADCLK>の設定は、変換時間 1μs ~ 10μs の範囲内で使用してください。

16.3.3　ADMOD0 (モード設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	HPADS	ADS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-2	−	R	リードすると"0"が読めます。
1	HPADS	W	最優先 AD 変換開始を設定します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。
0	ADS	W	通常(ソフト)AD 変換開始を設定します。 0: Don't care 1: 変換開始 リード時、常に"0"になります。

注 1)　ADC を使用する場合、ADMOD1<VREFON> = "1"に設定した後、ADMOD0<ADS>、<HPADS>にて AD 変換開始、または外部トリガスタートを行なってください。

注 2)　最優先 AD 変換<HPADS>と通常 AD 変換(ソフト)の両方をイネーブルにして、最優先と通常の両方を $\overline{\text{ADTRG}}$(外部トリガ入力)に選択した場合、最優先 AD 変換が優先して起動します。通常 AD 変換は起動しません。

16.3.4 ADMOD1 (モード設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	VREFON	I2AD	RCUT	-	HPADHWS	HPADHWE	ADHWS	ADHWE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	−	R	リードすると"0"が読めます。
7	VREFON	R/W	VREF 印加制御(注 1、注 2) 0: OFF 1: ON
6	I2AD	R/W	IDLE モード時の ADC 動作制御(WFI（Wait For Interrupt）命令実行時の動作を制御します) 0: 停止 1: 動作
5	RCUT	R/W	AVREFH-AVREFL 間のリファレンス電流を制御します。 0: 変換中のみ通電 1: リセット時以外常時通電
4	−	R	リードすると"0"が読めます。
3	HPADHWS	R/W	最優先 AD 変換を開始するためのハードウエア起動要因を設定します。 0: 外部トリガ 1: INTCAP40 割り込みによる起動
2	HPADHWE	R/W	ハードウエア要因(外部トリガ、INTCAP40 割り込みによる起動)による最優先 AD 変換開始を制御します。 0: 禁止 1: 許可
1	ADHWS	R/W	通常 AD 変換を開始するためのハードウエア起動要因を設定します。 (注 3) 0: 外部トリガ 1: INTCAP50 割り込みによる起動
0	ADHWE	R/W	ハードウエア要因(外部トリガ、INTCAP50 割り込みによる起動)による通常 AD 変換開始を制御します。 0: 禁止 1: 許可

注 1) AD 変換をスタートさせる場合、ADMOD1<VREFON>="1"に設定してから、ADMOD0<ADS>,<HPADS>にて AD 変換スタート、または外部トリガスタートを行ってください。なお、ADMOD1<VREFON> = ON("1")の起動後、3μs の安定時間が必要です。

注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFON>ビットを"0"に設定してください。

注 3) 最優先 AD 変換で外部トリガ端子を使用する場合、通常 AD 変換のハードウエア起動要因に外部トリガの設定は出来ません。

注 4) IDLE、STOP モードにより電源電流を低減させる場合、以下の条件で使用する場合には AD コンバータ動作終了後、スタンバイモードに遷移する命令を実行してください。

1. ADMOD1<I2AD>="0"で IDLE モードへ遷移する場合
2. STOP1 モードへ遷移する場合

16.3.5　ADMOD2 (モード設定レジスタ 2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	HPADCH				ADCH			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	−	R	リードすると"0"が読めます。
7-4	HPADCH[3:0]	R/W	最優先 AD 変換時のアナログ入力チャネルを選択します。 (表 16-1 参照)
3-0	ADCH[3:0]	R/W	通常 AD 変換時のアナログ入力チャネルを選択します。(表 16-1 参照)

表 16-1 通常 AD 変換、最優先 AD 変換時の入力チャネル選択

<HPADCH[3:0]>	最優先 AD 変換時の アナログ入力チャネル	<ADCH[3:0]>	通常 AD 変換時の アナログ入力チャネル
0000	AIN00	0000	AIN00
0001	AIN01	0001	AIN01
0010	AIN02	0010	AIN02
0011	AIN03	0011	AIN03
0100	AIN04	0100	AIN04
0101	AIN05	0101	AIN05
0110	AIN06	0110	AIN06
0111	AIN07	0111	AIN07
1000	AIN08	1000	AIN08
1001	AIN09	1001	AIN09
1010	AIN10	1010	AIN10
1011	AIN11	1011	AIN11

16.3.6 ADMOD3 (モード設定レジスタ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	ITM			-	-	REPEAT	SCAN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-7	−	R	リードすると"0"が読めます。
6-4	ITM[2:0]	R/W	チャネル固定リピート変換モード時の割り込み発生タイミングを設定します。(表 16-2 参照)
3-2	−	R	リードすると"0"が読めます。
1	REPEAT	R/W	リピートモードを設定します。 0 : シングル変換 1 : リピート変換
0	SCAN	R/W	スキャンモードを設定します。 0 : チャネル固定 1 : チャネルスキャン

表 16-2 チャネル固定リピート変換モードの割り込み発生タイミング

<ITM[2:0]>	チャネル固定リピート変換モード <SCAN> = "0", <REPEAT> = "1"
000	1 回毎、割り込み発生
001	2 回毎、割り込み発生
010	3 回毎、割り込み発生
011	4 回毎、割り込み発生
100	5 回毎、割り込み発生
101	6 回毎、割り込み発生
110	7 回毎、割り込み発生
111	8 回毎、割り込み発生

注 1) <ITM[2:0]>は、チャネル固定リピートモード(<REPEAT>=1,<SCAN>=0)時のみ有効です。

注 2) リピート変換中(<REPEAT>=1、チャネル固定、チャネルスキャンの時)、リピート変換を中止する場合、<REPEAT>=0 にクリアします。その場合、<REPEAT>ビット以外は書き換えないでください。

16.3.7　ADMOD4 (モード設定レジスタ 4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SCANAREA				SCANSTA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-8	–	R	リードすると"0"が読めます。
7-4	SCANAREA [3:0]	R/W	チャネルスキャンの範囲を設定します。
3-0	SCANSTA[3:0]	R/W	チャネルスキャンの先頭チャネルを設定します。

ADMOD3<SCAN> = "1", <REPEAT> = "0"に設定するとチャネルスキャンシングルモードになり、ADMOD3<SCAN> = "1", <REPEAT> = "1"に設定するとチャネルスキャンリピートモードになります。先ず、チャネルスキャンをスタートさせたいチャネルを選択します。次に、設定したスタートチャネルからスキャンしたいチャネル数を選択します。例えば、ADMOD4<SCANSTA> = "0001"(AIN01), <SCANAREA>="0010"(3ch スキャン) を設定した場合、AIN01 ~ AIN03(3 チャネル分)のチャネルスキャンを行います。

表 16-3 に<SCANSTA>の設定と<SCANAREA>の設定可能な範囲の関係を示します。

表 16-3 チャネルスキャン設定範囲

<SCANSTA[3:0]>	スタートチャネル	<SCANAREA[3:0]>	設定可能なチャネルスキャン範囲
0000	(AIN00)	0000 to 1011	(1ch ~ 12ch)
0001	(AIN01)	0000 to 1010	(1ch ~ 11ch)
0010	(AIN02)	0000 to 1001	(1ch ~ 10ch)
0011	(AIN03)	0000 to 1000	(1ch ~ 9ch)
0100	(AIN04)	0000 to 0111	(1ch ~ 8ch)
0101	(AIN05)	0000 to 0110	(1ch ~ 7ch)
0110	(AIN06)	0000 to 0101	(1ch ~ 6ch)
0111	(AIN07)	0000 to 0100	(1ch ~ 5ch)
1000	(AIN08)	0000 to 0011	(1ch ~ 4ch)
1001	(AIN09)	0000 to 0010	(1ch ~ 3ch)
1010	(AIN10)	0000 to 0001	(1ch ~ 2ch)
1011	(AIN11)	0000	(1ch)

注)　上記以外の設定場合、ADMOD0 レジスタにて AD 変換スタートしても、変換スタートしません。

16.3.8 ADMOD5 (モード設定レジスタ 5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	HPEOCF	HPADBF	EOCF	ADBF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	−	R	リードすると"0"が読めます。
3	HPEOCF	R	最優先 AD 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
2	HPADBF	R	最優先 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中
1	EOCF	R	通常 AD 変換終了フラグ (注 1) 0: 変換前または変換中 1: 変換終了
0	ADBF	R	通常 AD 変換 BUSY フラグ 0: 変換停止 1: 変換中

注 1) <EOCF>,<HPEOCF>は、読み出すことにより“0”にクリアされます。

注 2) IDLE、STOP モードにより電源電流を低減させる場合、以下の条件で使用される場合には AD コンバータ動作終了後、スタンバイモードに遷移する命令を実行してください。

1. ADMOD1<I2AD>="0"で IDLE モードへ遷移する場合
2. STOP1 モードへ遷移する場合

16.3.9　ADMOD6 (モード設定レジスタ 6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADRST	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-2	−	R	リードすると"0"が読めます。
1-0	ADRST[1:0]	W	10 → 01 のライトで ADC をソフトウエアリセットを行います。 ADCLK<ADCLK>ビットを除くレジスタは、全て初期化されます。

注 1)　AD 変換終了割り込みを利用して DMA 転送を行う場合、ADMOD6<ADRST>ソフトウエアリセットを行ってから、DMAC を動作させ(DMA 要求待機状態)、ADC の設定(開始)を行ってください。

注 2)　ソフトウエアリセットを行なう場合、ADMOD1<VREFON>ビットが"1"の場合のみ有効です。

注 3)　ソフトウエアリセットを行なう場合、初期化に 3μs の時間が必要となります。

16.3.10 ADMOD7 (モード設定レジスタ 7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTADHPDMA	INTADDMA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-4	−	R	リードすると"0"が読めます。
3-2	−	R/W	常に"0"をライトしてください。
1	INTADHPDMA	R/W	最優先 AD 変換 DMA 起動要因設定 最優先 AD 変換終了割り込み(INTADHP)をトリガに DMAC を起動することが可能です。 0 : 禁止 1 : 許可
0	INTADDMA	RW	通常 AD 変換 DMA 起動要因設定 通常 AD 変換終了割り込み(INTAD)をトリガに DMAC を起動することが可能です。 0 : 禁止 1 : 許可

16.3.11　ADCMPCR0 (監視割り込み設定レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	CMPCOND0	ADBIG0	AINS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	−	R	リードすると"0"が読めます。
11-8	CMPCNT0[3:0]	R/W	大小判定カウント数を設定します。 カウント数に達すると割り込みを発生します。 0000 : 1 回カウント　0110 : 7 回カウント　1100 : 13 回カウント 0001 : 2 回カウント　0111 : 8 回カウント　1101 : 14 回カウント 0010 : 3 回カウント　1000 : 9 回カウント　1110 : 15 回カウント 0011 : 4 回カウント　1001 : 10 回カウント　1111 : 16 回カウント 0100 : 5 回カウント　1010 : 11 回カウント 0101 : 6 回カウント　1011 : 12 回カウント
7	CMP0EN	R/W	AD 監視機能 0 0: 禁止 1: 許可 <CMP0EN>="0" (禁止)に設定することにより、それまでの大小判定カウント数はクリアされます。
6	−	R	リードすると"0"が読めます。
5	CMPCOND0	R/W	判定カウント条件を設定します。 0: 連続方式 1: 累積方式 連続方式は、<ADBIG0>に設定した状態が連続し、<CMPCNT0>に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込み（INTADM0）が発生します。<ADBIG0>に設定した状態と異なる場合はカウンタ値をクリアします。 累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0>に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生し、カウントをクリアします。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。
4	ADBIG0	R/W	大小判定を設定します。 0: 比較レジスタより大 1: 比較レジスタより小 比較レジスタ(ADCMP0)よりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 AINS0[3:0]で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまればカウンタをプラスします。
3-0	AINS0[3:0]	R/W	比較対象のアナログ入力を設定します。 0000 : AIN00　0101 : AIN05　1010 : AIN10 0001 : AIN01　0110 : AIN06　1011 : AIN11 0010 : AIN02　0111 : AIN07 0011 : AIN03　1000 : AIN08 0100 : AIN04　1001 : AIN09 1100-1111: 設定禁止

注)　AD 監視機能は、固定リピート変換モード、スキャンリピート変換モードで使用します。

16.3.12 ADCMPCR1 (監視割り込み設定レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	CMPCOND1	ADBIG1	AINS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	−	R	リードすると"0"が読めます。
11-8	CMPCNT1[3:0]	R/W	大小判定カウント数を設定します。 カウント数に達すると割り込みを発生します。 0000 : 1 回カウント　0110 : 7 回カウント　1100 : 13 回カウント 0001 : 2 回カウント　0111 : 8 回カウント　1101 : 14 回カウント 0010 : 3 回カウント　1000 : 9 回カウント　1110 : 15 回カウント 0011 : 4 回カウント　1001 : 10 回カウント　1111 : 16 回カウント 0100 : 5 回カウント　1010 : 11 回カウント 0101 : 6 回カウント　1011 : 12 回カウント
7	CMP1EN	R/W	AD 監視機能 1 0: 禁止 1: 許可 <CMP1EN>="0" (禁止)に設定することにより、それまでの大小判定カウント数はクリアされます。
6	−	R	リードすると"0"が読めます。
5	CMPCOND1	R/W	判定カウント条件を設定します。 0: 連続方式 1: 累積方式 連続方式は、<ADBIG1>に設定した状態が連続し、<CMPCNT1>に設定したカウント回数に達すると AD 監視割り込み(INTADM1)が発生します。設定カウント数を超えた後も判定条件が真の場合は、その都度 AD 監視割り込み（INTADM1）が発生します。<ADBIG1>に設定した状態と異なる場合はカウンタ値をクリアします。 累積方式は、<ADBIG1>に設定した状態が累積して<CMPCNT1>に設定したカウント回数に達すると AD 監視割り込み(INTADM1)が発生し、カウントをクリアします。<ADBIG1>に設定した状態と異なる場合でもカウンタ値を保持します。
4	ADBIG1	R/W	大小判定を設定します。 0: 比較レジスタより大 1: 比較レジスタより小 比較レジスタ(ADCMP1)よりも比較対象アナログ入力の変換結果が、大きいか、小さいかを設定します。 AINS1[3:0]で設定した AD 変換が終了するたびに大・小比較判定を行い、判定結果が<ADBIG1>の設定にあてはまればカウンタをプラスします。
3-0	AINS1[3:0]	R/W	比較対象のアナログ入力を設定します。 0000 : AIN00　0101 : AIN05　1010 : AIN10 0001 : AIN01　0110 : AIN06　1011 : AIN11 0010 : AIN02　0111 : AIN07 0011 : AIN03　1000 : AIN08 0100 : AIN04　1001 : AIN09 1100-1111: 設定禁止

注)　AD 監視機能は、固定リピート変換モード、スキャンリピート変換モードで使用します。

16.3.13　ADCMP0 (変換結果比較レジスタ 0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD0CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	−	R	リードすると"0"が読めます。
11-0	AD0CMP[11:0]	R/W	AD 変換結果比較値を設定します。

注)　このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止（ADCMPCR0, ADCMPCR1<CMPxEN> = "0")にした状態で行ってください。

16.3.14 ADCMP1 (変換結果比較レジスタ 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	AD1CMP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD1CMP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-12	−	R	リードすると"0"が読めます。
11-0	AD1CMP[11:0]	R/W	AD 変換結果比較値を設定します。

注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止（ADCMPCR0, ADCMPCR1<CMPxEN> = "0")にした状態で行ってください。

16.3.15　ADREG00 ~ ADREG11 (通常 AD 変換結果レジスタ 00 ~ 11)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRF	ADRF	ADR			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-15	−	R	リードすると"0"が読めます。
14	−	R	リードすると不定値が読まれます。
13	ADOVRF	R	オーバーランフラグ 0: 発生なし 1: 発生あり AD 変換結果レジスタ(ADREGx)を読み出す前に AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
12	ADRF	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGx レジスタをリードすると"0"にクリアされます。
11-0	ADR[11:0]	R	12 ビットの通常 AD 変換結果値が格納されます。 AD 変換中に ADREGx レジスタをリードすると前回の変換結果がリードされます。

16.3.16 ADREGSP (最優先 AD 変換結果格納レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	ADOVRFSP	ADRFSP	ADRSP			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRSP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	Function
31-15	−	R	リードすると"0"が読めます。
14	−	R	リードすると不定値が読まれます。
13	ADOVRFSP	R	オーバーランフラグ 0: 発生なし 1: 発生あり 最優先 AD 変換結果格納レジスタ(ADREGSP)を読み出す前に最優先 AD 変換結果が上書きされると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
12	ADRFSP	R	最優先 AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり 最優先 AD 変換値が格納されると"1"にセットされます。 このフラグは ADREGSP レジスタをリードすると"0"にクリアされます。
11-0	ADRSP[11:0]	R	12 ビットの最優先 AD 変換結果値が格納されます。 AD 変換中に ADREGSP レジスタをリードすると前回の変換結果がリードされます。

16.4　動作説明

16.4.1　アナログ基準電圧

アナログ基準電圧の"H"レベル側を AVREFH 端子に、"L"レベル側を AVREFL 端子に印加します。ADMOD1<RCUT>ビットに"0"を書き込むことにより、AVREFH - AVREFL 間のスイッチを OFF できます。AD 変換をスタートさせる場合は、必ず<VREFON>ビットに"1"を書き込んだ後、内部基準電圧が安定するまでの 3 μs 待ってから ADMOD0<ADS>ビットに"1"を書き込んで下さい。

16.4.2　AD 変換モード

AD 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。

16.4.2.1　通常 AD 変換

通常 AD 変換には次の 4 種類の動作モードが用意されています。動作モードの設定は ADMOD3<REPEAT, SCAN>の設定により選択することが出来ます。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

(1)　チャネル固定シングル変換モード

ADMOD3<REPEAT, SCAN> に"00"を設定すると、チャネル固定シングル変換モードになります。

このモードでは、ADMOD2<ADCH>で選択した 1 チャネルの変換を 1 回だけ行います。変換が終了した後、ADMOD5<EOCF>が"1"にセット、ADMOD5<ADBF>が"0"にクリアされ、INTAD の割り込み要求が発生します。ADMOD5<EOCF>は読み出す事により"0"にクリアされます。

(2)　チャネルスキャンシングル変換モード

ADMOD3<REPEAT,SCAN> に"01"を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、ADMOD4<SCANSTA>で選択したスタートチャネルから、ADMOD4<SCANAREA>で設定したスキャンチャネル範囲の変換を 1 回だけ行います。スキャン変換が終了した後、ADMOD5<EOCF>が"1"にセット、ADMOD5<ADBF>が"0"にクリアされ、INTAD の割り込み要求が発生します。ADMOD5<EOCF>は読み出す事で"0"にクリアされます。

(3)　チャネル固定リピート変換モード

ADMOD3<REPEAT,SCAN>に"10"を設定するとチャネル固定リピート変換モードになります。

このモードでは、ADMOD2<ADCH>で選択した 1 チャネルの変換を ADMOD3<ITM>で設定した回数分繰り返した後、割り込み要求が発生します（INTAD の割り込み要求発生タイミングの選択ができます)。変換が終了した後、ADMOD5<EOCF>が"1"にセットされます

が、ADMOD5<ADBF>は"0"にならず"1"を保持します。ADMOD5<EOCF>がセットされるタイミングも割込みのタイミングに連動します。ADMOD5<EOCF>は読み出す事により"0"にクリアされます。

(4) チャネルスキャンリピート変換モード

ADMOD3<REPEAT,SCAN> に “11” を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、ADMOD4<SCANSTA> で選択したスタートチャネルから、ADMOD4<SCANAREA>で設定したスキャンチャネル範囲の変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMOD5<EOCF> が"1" にセットされ、INTAD 割り込み要求が発生します。ADMOD5<ADBF> は"0"にならず"1" を保持します。ADMOD5<EOCF>は読み出す事により"0"にクリアされます。

16.4.2.2 最優先 AD 変換

最優先 AD 変換は、通常 AD 変換に割り込んで AD 変換を行うことができます。

動作モードはチャネル固定のシングル変換のみです。ADMOD3<REPEAT, SCAN>の設定は関係ありません。起動条件が成立すると、ADMOD2<HPADCH>で指定されるチャネルの変換を一度だけ行います。変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生して、ADMOD5<HPEOCF>は"1" にセットされ、<HPADBF>は"0"に戻ります。<HPEOCF>フラグを読み出すと"0"にクリアされます。

また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

16.4.3 AD 監視機能

チャネル固定リピートモード、スキャンリピートモードの設定時に使用する機能です。

ADCMPCR0 <CMP0EN>、ADCMPCR1<CMP1EN>に"1"をセットすると AD 監視機能が有効になり、2 つの 監視機能を同時に有効にすることも可能です。

ADCMPCR0 を例に説明します。

ADCMPCR0 レジスタの<AINS0[3:0]>にて比較対象のアナログ入力、<ADBIG0>にて大・小判定、<CMPCOND0>にて判定カウントの条件、<CMPCNT0[3:0]>にて判定カウント数を設定します。

AD 変換をスタートさせると、1 回の AD 変換が終了する毎に大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまれば判定カウンタをプラスします。

判定カウントの条件には、連続方式と累計方式があります。連続方式は、<ADBIG0>に設定した状態が連続し、<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生し、カウンタ値をクリアします。<ADBIG0>に設定した状態と異なる場合もカウンタ値をクリアします。累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み(INTADM0)が発生します。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。なお、ADCMPCR0 レジスタで指定された変換結果格納レジスタの内容が比較対象レジスタの値とイコールの場合は、カウントをプラスせず、AD 監視機能割り込み(INTADM0)は発生しません。（ADCMPCR1 の場合も同様）

この比較動作は対象変換結果格納レジスタへ結果が格納される毎に行われ、条件が成立すると割り込み(INTADM0)が発生します。また、AD 監視機能に割りあてている格納レジスタは通常ではソフトで読み出しは行われませんので、オーバーランフラグ ADREG00～11<ADOVRF>の該当するレジスタは常にセットされていることになり、変換結果格納フラグ ADREG00～11<ADRF>もまたセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないで下さい。

1. AIN00 入力をチャネル固定リピート変換に設定し、AD 変換結果比較レジスタ値（0x0888）を比較判定
   - ADMOD3=0x0002： チャネル固定リピート変換

     AD 変換終了割り込み（INTAD）はディセーブル設定
   - ADCMPCR0 =0x0280： 比較対象チャネル：AIN00、 大小判定：比較レジスタより大、判定カウント条件：連続方式、AD 監視機能:許可、大小判定カウント数:3 回カウント
   - ADCMP0=0x0888： AD 変換結果比較レジスタ（比較値 0x0888）

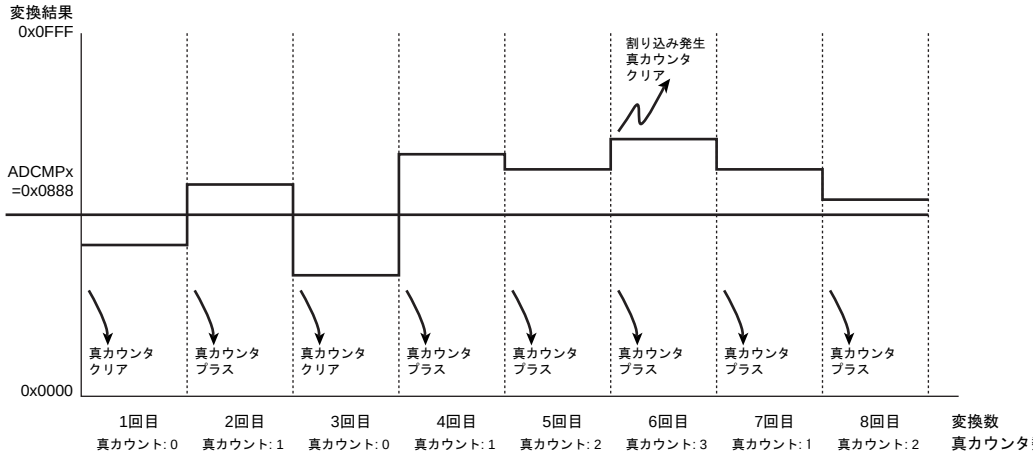


図 16-3 AD 監視機能（チャネル固定リピート、判定カウント連続方式）

2. AIN00 入力をチャネル固定リピート変換に設定し、AD 変換結果比較レジスタ値（0x0888）を比較判定
   - ADMOD3=0x0002： チャネル固定リピート変換

     AD 変換終了割り込み（INTAD）はディセーブル設定
   - ADCMPCR0 =0x02A0： 比較対象チャネル：AIN00、 大小判定：比較レジスタより大、判定カウント条件：累積方式、AD 監視機能:許可、大小判定カウント数:3 回カウント
   - ADCMP0=0x0888： AD 変換結果比較レジスタ（比較値 0x0888）

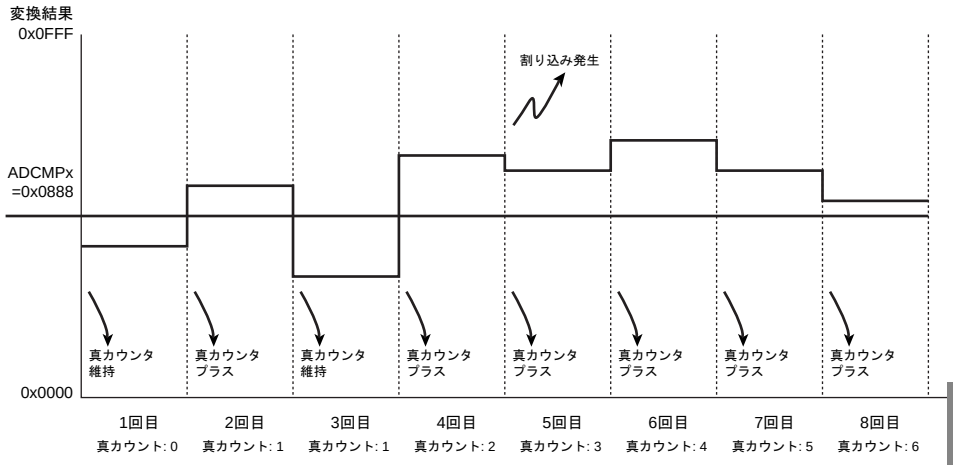


図 16-4 AD 監視機能（チャネル固定リピート、判定カウント累積方式）

16.4.4 入力チャネルの選択

リセット後は ADMOD3<REPEAT,SCAN> は"00"に ADMOD2<ADCH[3:0]> は "0000" に初期化されます。

変換するチャネルは、AD コンバータの動作モードにより以下のように選択されます。

1. 通常 AD 変換時
   - アナログ入力チャネルを固定で使用する場合 (ADMOD3<SCAN> = "0")

     ADMOD2<ADCH>の設定により、アナログ入力 AIN00 ~ AIN11 端子の中から 1 チャネルを選択します。
   - アナログ入力チャネルをスキャンで使用する場合(ADMOD3<SCAN> = "1")

     ADMOD4<SCANSTA> にてスタートさせたいチャネルを設定し、ADMOD4<SCANAREA>にてスキャンさせたいチャネル数を設定することができます。

2. 最優先 AD 変換時

   ADMOD2<HPADCH>の設定により、アナログ入力 AIN00 ~ AIN11 端子の中から 1 チャネルを選択します。通常 AD 変換中に最優先 AD 変換の起動がかかると、直ちに通常 AD 変換を中断して最優先 AD 変換の起動が実行されます。最優先 AD 終了後に通常 AD 変換を中断したチャネルから再開します。

16.4.5　AD 変換動作詳細

16.4.5.1　AD 変換の起動

通常 AD 変換は ADMOD0<ADS> に"1"をセットすることにより起動されます。また、最優先 AD 変換は ADMOD0<HPADS> に"1"をセットすることにより起動されます。

通常 AD 変換は ADMOD3<REPEAT,SCAN>で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャネル固定のシングル変換のみです。

また、通常 AD 変換は ADMOD1<ADHWS>、最優先 AD 変換は ADMOD1<HPADHWS>で選択されるハードウエア起動ソースにより起動することができます。<ADHWS>、<HPADHWS>が"0"の場合は、$\overline{\text{ADTRG}}$ 端子より立ち下がりエッジの入力により起動され、このビットが"1" の場合、通常 AD 変換は 16 ビットタイマのチャネル 5 のキャプチャ 0 割り込み(INTCAP50)で起動され、最優先 AD 変換の場合はチャネル 4 のキャプチャ 0 割り込み(INTCAP40)で起動されます。

ハードウエア起動を許可するには、通常 AD 変換では ADMOD1<ADHWE>、最優先 AD 変換では ADMOD1<HPADHWE>に"1"をセットします。

ハードウエア起動が許可された場合でもソフトウエア起動は有効です。

注)　最優先 AD 変換のハードウエア起動ソースに外部トリガを使用しているときは、通常 AD 変換ハードウエア起動としては外部トリガを設定できません。

16.4.5.2　AD 変換動作

通常 AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ(ADMOD5<ADBF>)に"1"がセットされます。

また、最優先 AD 変換が開始されると、最優先 AD 変換中を示す最優先 AD 変換 BUSY フラグ(ADMOD5<HPADBF>)に"1" がセットされます。このとき、通常 AD 変換用の BUSY フラグ ADMOD5<ADBF>と通常 AD 変換用の変換終了フラグ ADMOD5<EOCF>は最優先 AD 変換の開始前の値を保持します。

注)　最優先 AD 変換中に通常 AD 変換を再起動させないでください。(最優先 AD 変換終了フラグがセットされません。また、以前の通常 AD 変換のフラグがクリアされません)。

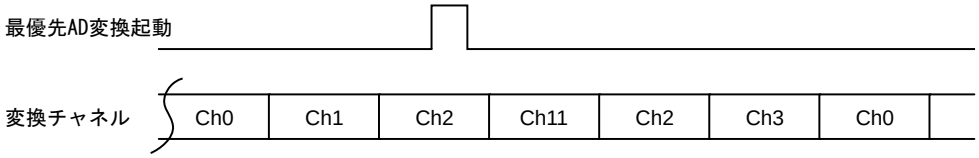
16.4.5.3 通常 AD 変換中の最優先変換要求

通常 AD 変換中に最優先 AD 変換が起動されると、通常 AD 変換を中断し、最優先 AD 変換の終了後に通常 AD 変換を再開します。

通常 AD 変換中に ADMOD0<HPADS>に"1"をセットすると、現在変換中の AD 変換は中断されて最優先 AD 変換を起動し、ADMOD2<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が行われます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断した通常 AD 変換を再開します。

通常 AD 変換中にハードウエアによる最優先 AD 変換の起動が許可されている場合は、ハードウエア起動ソースの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<HPADCH>で指定されるチャネルの AD 変換(チャネル固定のシングル変換)が開始されます。この結果を変換結果レジスタ ADREGSP へ格納すると、中断したチャネルから通常 AD 変換を再開します。

例えば、チャネル AIN00~AIN03 までのチャネルリピート変換が起動されており、AIN02 の変換中に<HPADS>に"1"がセットされた場合は AIN02 の変換が中断され、<HPADCH>で指定されたチャネルの変換(下図の場合 AIN11)を行い、結果を ADREGSP へ格納後に AIN02 からチャネルリピート変換を再開します。



16.4.5.4 リピート変換モードの停止

リピート変換モード(チャネル固定リピートまたはチャネルスキャンリピート変換モード)の動作を停止させたい場合は、ADMOD3<REPEAT>に"0"を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD5<ADBF>は"0"にクリアされます。

16.4.5.5　通常 AD 変換の再起動

通常 AD 変換中に ADMOD0<ADS>に"1"を設定すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに中断されます。この時、通常 AD 変換 Busy フラグ ADMOD5<ADBF>、通常 AD 変換終了フラグ ADMOD5<EOCF>、格納結果フラグ ADREGm<ADOVRF>,<ADRF>は"0"にクリアされます。 (m=00-11)

通常 AD 変換中にハードウェアリソースによる通常 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると通常 AD 変換が再起動されます。再起動された時点でそれまでの通常 AD 変換は直ちに中断されます。この時、通常 AD 変換 Busy フラグ ADMOD5<ADBF>、通常 AD 変換終了フラグ ADMOD5<EOCF>、格納結果フラグ ADREGm <ADOVRF>, <ADRF>は"0"にクリアされます。(m=00-11)

16.4.5.6　変換終了

(1)　通常 AD 変換の終了

通常 AD 変換が終了すると、変換終了割り込み要求(INTAD)が発生します。また、AD 変換結果がレジスタに格納され、AD 変換終了を示す ADMOD5<EOCF>と変換中を示す ADMOD5<ADBF>が変化します。変換モードにより、割り込み要求発生タイミング、変換結果レジスタ、<EOCF><ADBF>の変化タイミングは異なります。

チャネル固定リピート変換モード以外のモードでは、変換結果はチャネルに対応した変換結果レジスタ(ADREG00~ADREG11)に格納されます。

チャネル固定リピート変換モードでは、ADREG00 から ADREG11 へと順次格納されます。ただし、割り込み発生を<ITM>で 1 回ごとに指定した場合は ADREG00 のみに格納され、<ITM>で 8 回ごとに指定した場合は ADREG00~ADREG07 へと順次格納されます。

モードごとの割り込み要求発生、フラグ変化、変換結果格納レジスタは以下の通りです。

- チャネル固定シングル変換モード

  変換が終了した後、ADMOD5<EOCF>が"1"にセット、ADMOD5<ADBF>が"0"にクリアされ、変換終了割り込み要求が発生します。

  変換結果はチャネルに対応する変換結果レジスタに格納されます。

- チャネルスキャンシングル変換モード

  スキャン変換が終了した後、ADMOD5<EOCF>が"1"、ADMOD5<ADBF>が"0"となり、変換終了割り込み要求が発生します。

  変換結果はチャネルに対応する変換結果レジスタに格納されます。

- チャネル固定リピート変換モード

  ADMOD5<ADBF>は"0"とはならず"1"を保持します。割り込み要求発生タイミングは ADMOD3<ITM>の設定により選択できます。ADMOD5<EOCF>がセットされるタイミングも割り込みのタイミングに連動します。

  a. 1 回変換

     ADMOD3<ITM>を"000"、ADMOD2<ADCH>を"0000" (AIN00)に設定すると AIN00 の AD 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に変換結果レジスタ の ADREG00 に格納されます。格納時点で<EOCF>は"1" になります。

  b. 8 回変換

ADMOD3<ITM>を"111"、ADMOD2<ADCH>を"1011" (AIN11)に設定すると AD 変換が 8 回終了するごとに割り込み要求が発生します。この場合、変換結果は変換結果レジスタの ADREG00~ADREG07 に順次格納されます。ADREG07 格納後<EOCF>は"1"にセットされ、再び ADREG00 から格納を始めます。

・ チャネルスキャンリピート変換モード

1 回のスキャン変換が終了するごとに ADMOD5<EOCF>が"1"にセットされ、INTAD 割り込み要求が発生します。ADMOD5<ADBF>は"0"にならず"1"を保持します。

ADMOD4 <SCANSTA>を"0001"(AIN01)、ADMOD4 <SCANAREA>を"1110" (11 チャネルスキャン)に設定すると AD 変換が終了するごとに ADMOD5<EOCF> は"1"にセットされ、割り込み要求が発生します。ADMOD5<ADBF>は"0"にならず"1"を保持します。

変換結果はチャネルに対応する変換結果レジスタに格納されます。

(2) 最優先 AD 変換の終了

最優先 AD 変換が終了すると、最優先変換終了割り込み要求(INTADHP)が発生し、最優先 AD 変換終了を示す ADMOD5<HPEOCF> が"1"にセットされます。

変換結果は変換結果レジスタ ADREGSP に格納されます。

(3) データポーリング

割り込みを使用せずに、ポーリングで変換終了を確認することもできます。変換が終了すると ADMOD5<EOCF>に"1"がセットされますのでこのビットをポーリングすることで変換終了を確認し変換結果を読み出してください。

変換結果レジスタは、ワードアクセスで読んでください。<ADOVRF> = "0"、<ADRF> = "1"、<ADPOSWF> = "0"であれば、正しい変換結果が得られたことになります。

(4) DMA 要求

通常 AD 変換終了割り込み(INTAD)、最優先 AD 変換終了割り込み(INTADHP)発生後、DMAC に対して DMA 要求を発行します。ADMOD7 レジスタにて、上記割り込みが発生した場合の DMA 要求を許可/禁止に設定することが可能です。また、AD 変換終了割り込み(INTAD、INTADHP)発生の 2 システムクロック(fsys)後に DMA 要求を発行します。

16.4.5.7　割り込み発生タイミングと変換結果格納レジスタ

表 16-4 に、AD 変換モード、割り込み発生タイミング、フラグの関係を、表 16-5 にアナログ入力チャネルと変換結果レジスタの対応をまとめます。

表 16-4 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード		スキャン/リピートモード設定 (ADMOD3)			割り込み発生タイミング	(ADMOD5)		
		<REPEAT>	<SCAN>	<ITM[2:0]>		<EOCF>/<HPEOCF> セットタイミング (注 1)	<ADBF> (割り込み発生後)	<ADBFHP> (割り込み発生後)
通常変換	チャネル固定シングル変換	0	0	−	変換終了後	変換終了後	0	−
	チャネル固定リピート変換	1	0	000	1 回変換ごと	変換 1 回終了後	1	−
				001	2 回変換ごと	変換 2 回終了後	1	−
				010	3 回変換ごと	変換 3 回終了後	1	−
				011	4 回変換ごと	変換 4 回終了後	1	−
				100	5 回変換ごと	変換 5 回終了後	1	−
				101	6 回変換ごと	変換 6 回終了後	1	−
				110	7 回変換ごと	変換 7 回終了後	1	−
				111	8 回変換ごと	変換 8 回終了後	1	−
	チャネルスキャンシングル変換	0	1	−	スキャン変換終了後	スキャン変換終了後	0	−
	チャネルスキャンリピート変換	1	1	−	1 回のスキャン変換終了後	1 回のスキャン変換終了後	1	−
最優先変換		−	−	−	変換終了後	変換終了後	−	0

注 1)　ADMOD5<EOCF><HPEOCF>はリードすると“0”にクリアされます。

注 2)　リピートモードの時、ADMOD5<ADBF>は割り込みが発生しても"0"にクリアされません。リピート動作を停止する為に、ADMOD3<REPEAT>に"0"を書き込み、AD 変換が終了した時点で ADMOD5 <ADBF>は"0"にクリアされます。

表 16-5 アナログ入力チャネルと AD 変換結果レジスタの対応

チャネル固定シングルモード	
チャネル	格納レジスタ
AIN00	ADREG00
AIN01	ADREG01
AIN02	ADREG02
AIN03	ADREG03
AIN04	ADREG04
AIN05	ADREG05
AIN06	ADREG06
AIN07	ADREG07
AIN08	ADREG08
AIN09	ADREG09
AIN10	ADREG10
AIN11	ADREG11

チャネル固定リピートモード		
ADMOD3<ITM[2:0]>		格納レジスタ
000	1 回毎、割り込み発生	ADREG00
001	2 回毎、割り込み発生	ADREG00 ~ ADREG01
010	3 回毎、割り込み発生	ADREG00 ~ ADREG02
011	4 回毎、割り込み発生	ADREG00 ~ ADREG03
100	5 回毎、割り込み発生	ADREG00 ~ ADREG04
101	6 回毎、割り込み発生	ADREG00 ~ ADREG05
110	7 回毎、割り込み発生	ADREG00 ~ ADREG06
111	8 回毎、割り込み発生	ADREG00 ~ ADREG07

チャネルスキャンシングルモード/リピートモード (例. ADREG03 ~ 任意のスキャンチャネル幅)		
ADMOD4<SCANSTA> (スタートチャネル)	ADMOD4<SCANAREA> (スキャンチャネル幅)	格納レジスタ
AIN00	12 チャネル	ADREG00 ~ ADRE11
AIN01	11 チャネル	ADREG01 ~ ADRE11
AIN02	10 チャネル	ADREG02 ~ ADRE11
AIN03	9 チャネル	ADREG03 ~ ADRE11
AIN04	8 チャネル	ADREG04 ~ ADRE11
AIN05	7 チャネル	ADREG05 ~ ADRE11
AIN06	6 チャネル	ADREG06 ~ ADRE11
AIN07	5 チャネル	ADREG07 ~ ADRE11
AIN08	4 チャネル	ADREG08 ~ ADRE11
AIN09	3 チャネル	ADREG09 ~ ADRE11
AIN10	2 チャネル	ADREG10 ~ ADRE11
AIN11	1 チャネル	ADREG11

注) チャネルスキャンモードで設定可能なチャネルスキャン範囲を超える設定を行なった場合、ADMOD0 にて変換スタートしても起動しません。

(1)　割り込み発生タイミングと変換結果格納レジスタ

表 16-4 に、AD 変換モード、割り込み発生タイミング、フラグの関係を、表 16-5 にアナログ入力チャネルと変換結果レジスタの対応をまとめます。

表 16-6 AD 変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード		スキャン/リピートモード設定 (ADMOD3)			割り込み発生タイミング	(ADMOD5)		
		<REPEAT>	<SCAN>	<ITM[2:0]>		<EOCF>/<HPEOCF> セットタイミング (注 1)	<ADBF> (割り込み発生後)	<ADBFHP> (割り込み発生後)
通常変換	チャネル固定シングル変換	0	0	−	変換終了後	変換終了後	0	−
	チャネル固定リピート変換	1	0	000	1 回変換ごと	変換 1 回終了後	1	−
				001	2 回変換ごと	変換 2 回終了後	1	−
				010	3 回変換ごと	変換 3 回終了後	1	−
				011	4 回変換ごと	変換 4 回終了後	1	−
				100	5 回変換ごと	変換 5 回終了後	1	−
				101	6 回変換ごと	変換 6 回終了後	1	−
				110	7 回変換ごと	変換 7 回終了後	1	−
				111	8 回変換ごと	変換 8 回終了後	1	−
	チャネルスキャンシングル変換	0	1	−	スキャン変換終了後	スキャン変換終了後	0	−
	チャネルスキャンリピート変換	1	1	−	1 回のスキャン変換終了後	1 回のスキャン変換終了後	1	−
最優先変換		−	−	−	変換終了後	変換終了後	−	0

注 1)　ADMOD5<EOCF><HPEOCF>はリードすると“0”にクリアされます。

注 2)　リピートモードの時、ADMOD5<ADBF>は割り込みが発生しても"0"にクリアされません。リピート動作を停止する為に、ADMOD3<REPEAT>に"0"を書き込み、AD 変換が終了した時点で ADMOD5 <ADBF>は"0"にクリアされます。

表 16-7 アナログ入力チャネルと AD 変換結果レジスタの対応

チャネル固定シングルモード	
チャネル	格納レジスタ
AIN00	ADREG00
AIN01	ADREG01
AIN02	ADREG02
AIN03	ADREG03
AIN04	ADREG04
AIN05	ADREG05
AIN06	ADREG06
AIN07	ADREG07
AIN08	ADREG08
AIN09	ADREG09
AIN10	ADREG10
AIN11	ADREG11

チャネル固定リピートモード		
ADMOD3<ITM[2:0]>		格納レジスタ
000	1 回毎、割り込み発生	ADREG00
001	2 回毎、割り込み発生	ADREG00 ~ ADREG01
010	3 回毎、割り込み発生	ADREG00 ~ ADREG02
011	4 回毎、割り込み発生	ADREG00 ~ ADREG03
100	5 回毎、割り込み発生	ADREG00 ~ ADREG04
101	6 回毎、割り込み発生	ADREG00 ~ ADREG05
110	7 回毎、割り込み発生	ADREG00 ~ ADREG06
111	8 回毎、割り込み発生	ADREG00 ~ ADREG07

チャネルスキャンシングルモード/リピートモード (例. ADREG03 ~ 任意のスキャンチャネル幅)		
ADMOD4<SCANSTA> (スタートチャネル)	ADMOD4<SCANAREA> (スキャンチャネル幅)	格納レジスタ
AIN00	12 チャネル	ADREG00 ~ ADRE11
AIN01	11 チャネル	ADREG01 ~ ADRE11
AIN02	10 チャネル	ADREG02 ~ ADRE11
AIN03	9 チャネル	ADREG03 ~ ADRE11
AIN04	8 チャネル	ADREG04 ~ ADRE11
AIN05	7 チャネル	ADREG05 ~ ADRE11
AIN06	6 チャネル	ADREG06 ~ ADRE11
AIN07	5 チャネル	ADREG07 ~ ADRE11
AIN08	4 チャネル	ADREG08 ~ ADRE11
AIN09	3 チャネル	ADREG09 ~ ADRE11
AIN10	2 チャネル	ADREG10 ~ ADRE11
AIN11	1 チャネル	ADREG11

注) チャネルスキャンモードで設定可能なチャネルスキャン範囲を超える設定を行なった場合、ADMOD0 にて変換スタートしても起動しません。

AIN 端子に対する設計時の注意事項

<AIN 端子に接続する外部信号源の出力インピーダンスに関して>

AIN 端子に接続する信号源の出力インピーダンスは、下記の式の R_{EXAIN} 以下にする必要があります。

-- 出力インピーダンスの許容値算出式 --

AIN 端子に接続する信号源の出力インピーダンスの最大値 : $R_{EXAIN} = Tscyc \div (ADCLK \times C_{ADC} \times \ln (2^{14})) - R_{AIN}$

MCU 情報	Symbol	Min	Typ	Max	単位
A/DC クロック周波数	ADCLK	4	-	40	MHz
総 AIN 入力 MCU 内容量	C_{ADC}	-	-	12.2	pF
AIN MCU 内抵抗	R_{AIN}	-	-	1	kΩ
サンプルホールド期間のサイクル数	Tscyc	10	-	80	Cycle

R_{EXAIN} 最大値一覧表(ADCLK = 40MHz)

Tcsyc	R_{EXAIN}	単位
10	1.1	kΩ
20	3.2	kΩ
30	5.3	kΩ
40	7.5	kΩ
80	15.9	kΩ

< 安定化容量の付加に関して >

高速 AD 変換が必要で且つ、サンプルホールド期間が外部インピーダンスの許容算出式の条件を満たせない場合、AIN 端子に安定化容量を付加してください。安定化容量に関しては、外部回路に依存するため基板により異なりますが、0.1μF から 1μF 程度の容量を付加し、基板に適した安定化容量となるように調整してください。

この時、付加する容量の位置は AIN 端子のすぐ近くに接続してください。

< サンプルホールド 期間の調整に関して>

一般にサンプルホールド期間をあるていど長く設定することにより、AD コンバータ内部のコンパレータ入力電圧を AIN 端子の電位と等しくすることができるため、変換誤差を小さくすることが出来ます。

ただし長くしすぎることでサンプルホールド回路に保持されている電圧が変動して、誤差が大きくなることもあります。

基板ごとに最適なサンプルホールド時間が異なりますので、基板での確認をお願いいたします。

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。また、AD 変換中に AD 入力が兼用となっている端子への入力及び出力の変化、出力ポートに設定している他の端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどの対策をして下さい。

第 17 章　フラッシュメモリ動作説明

フラッシュメモリについて、構成およびその動作を説明します。本文中の「1 ワード」は、32 ビットをあらわします。

17.1　フラッシュメモリの特長

17.1.1　メモリ容量と構成

TMPM365FYXBG の内蔵するフラッシュメモリの容量と構成は、表 17-1 および図 17-1 のとおりです。

表 17-1 メモリ容量と構成

メモリ容量	ブロック構成				1 ページのワード数	ページ数	書き込み時間		消去時間	
	128 KB	64 KB	32 KB	16 KB			1 ページ	全エリア	ブロック消去	チップ消去
256 KB	−	3	1	2	64	1024	1.25ms	1.28 sec	0.1sec	0.4 sec

注)　上記の値は理論時間を表しており、データ転送時間などは含まれていません。 チップ当たりの時間はユーザーの書き替え方法により異なります。

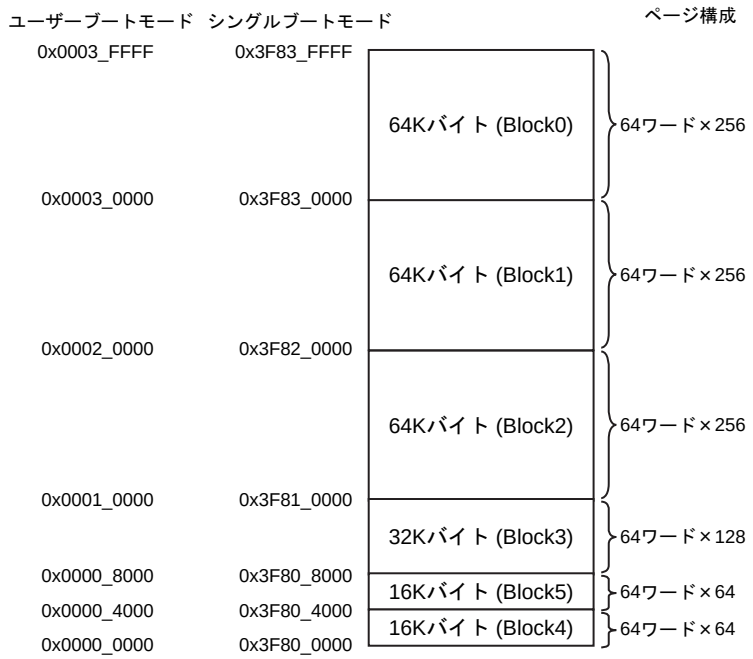


図 17-1 ブロック構成

フラッシュメモリ構成の単位として、「ブロック」と「ページ」があります。

・　ページ

1 ページは 64 ワードで、アドレス[31:8]が同じで、先頭アドレス[7:0] = 0x00 、最後のアドレス[7:0] = 0xFF のグループです。

・　ブロック

　ブロックには、16KB、32KB、64KB、128KB のサイズがあり、フラッシュメモリはいくつかのサイズの異なるブロックで構成されます。

書き込みはページ単位で行います。1 ページあたりの書き込み時間は 1.25ms (Typ.)です。

消去はブロック単位(自動ブロック消去コマンド使用)またはフラッシュメモリ全体(自動チップ消去コマンド使用)で行います。消去時間は使用するコマンドによって異なり、自動ブロック消去コマンドを使用した場合は 1 ブロックあたり 0.1 sec (Typ.)、自動チップ消去コマンドを使用して全領域を消去した場合は 0.2sec(Typ.)です。

また、ブロック単位でプロテクト機能を使用することができます。プロテクト機能については「17.1.5 プロテクト/セキュリティ機能」を参照してください

17.1.2　機能

本製品内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本製品への移行が容易です。また、フラッシュメモリ内に書き込み、 チップ消去など自動で行う回路を内蔵していますので、書き込み、 消去動作を容易に実現できます。

JEDEC 準拠の機能	変更, 追加, 削除した機能
・自動プログラム ・自動チップ消去 ・自動ブロック消去 ・データポーリング/トグルビット	<変更>ブロック単位でのライト/消去プロテクト(ソフトウエアプロテクトのみサポート) <削除>消去レジューム/サスペンド機能

17.1.3　動作モード

17.1.3.1　モードの説明

本製品には、シングルチップモードとシングルブートモードがあり、シングルチップモードにはノーマルモードとユーザーブートモードがあります。モード遷移図を図 17-2 に示します。

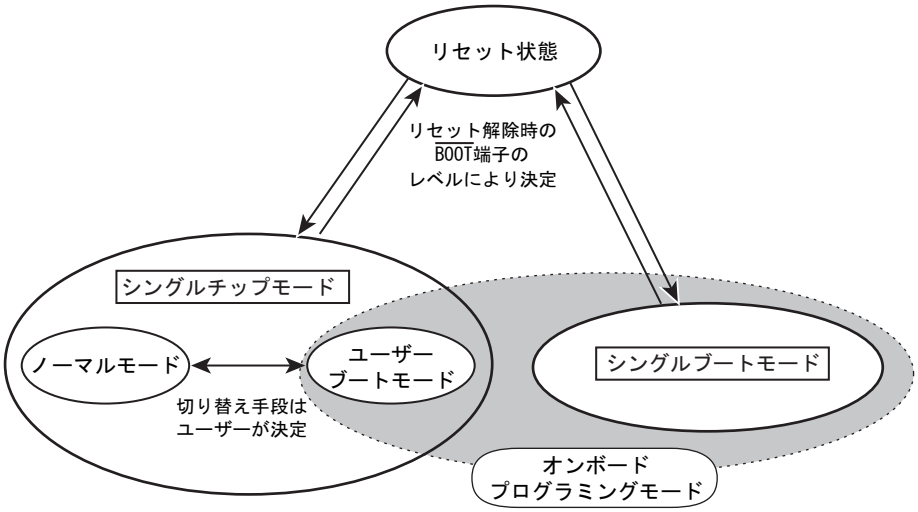


図 17-2 モード遷移図

(1) シングルチップモード

リセット解除後、フラッシュメモリから起動するモードで、以下の 2 つのモードがあります。

- ノーマルモード

  ユーザーのアプリケーションプログラムを実行するモードです。
- ユーザーブートモード

  ユーザーのセット上でフラッシュメモリの書き替えを実行するモードです。

ノーマルモードとユーザーブートモードの切り替えはユーザーが独自に設定できます。例えばポート A の PA0 が"1" のときノーマルモード、"0" のときにユーザーブートモードというように自由に設計することが可能です。ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。

(2) シングルブートモード

リセット解除後、内蔵する BOOT ROM (Mask ROM) から起動するモードです。

BOOT ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。 シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことでフラッシュメモリの書き替えが実行できます。

(3) オンボードプログラミングモード

ユーザーのセット上でフラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードです。この 2 つをオンボードプログラミングモードと定義します。

17.1.3.2 モードの決定

シングルチップ、シングルブートの各動作モードは、リセット状態で $\overline{\text{BOOT}}$ 端子のレベルを外部で設定することにより決定されます。

表 17-2 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

17.1.4 メモリマップ

図 17-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF 番地には BOOT ROM がマッピングされます。

フラッシュメモリと RAM のマッピングは以下のとおりです。

FLASH サイズ	RAM サイズ	FLASH アドレス	RAM アドレス
256KB	24 KB	0x0000_0000 ~ 0x0003_FFFF(シングルチップモード) 0x3F80_0000 ~ 0x3F83_FFFF(シングルブートモード)	0x2000_0000 ~ 0x2000_5FFF

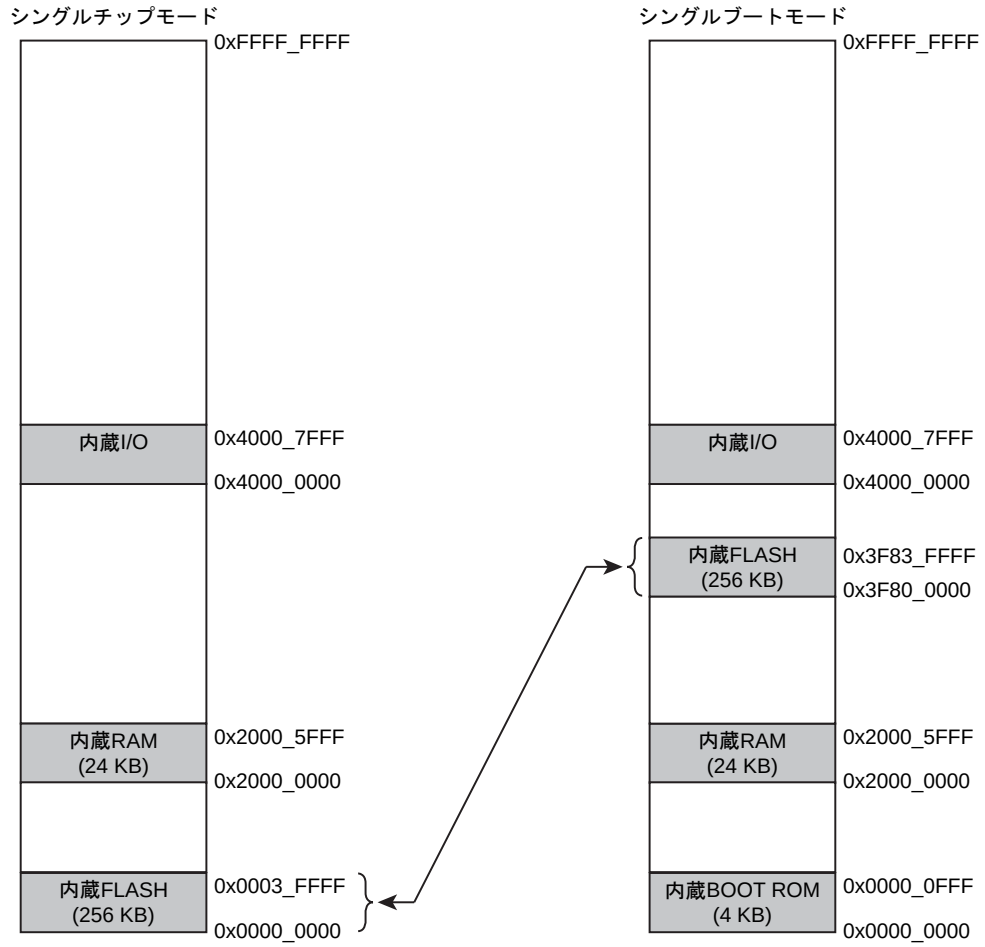


図 17-3 メモリマップの比較

17.1.5　プロテクト/セキュリティ機能

本製品は、フラッシュメモリに対して、プロテクトとセキュリティの 2 つの機能を持っています。

1. プロテクト機能
   フラッシュメモリへの書き込み、消去をブロック単位で禁止
2. セキュリティ機能
   フラッシュライタによるフラッシュメモリの読み出しの禁止
   デバッグ機能の使用制限

17.1.5.1　プロテクト機能

ブロック単位で書き込みと消去の動作を禁止することができます。

プロテクト機能を有効にするためには、プロテクトビットプログラムコマンドを用いてプロテクトをかけたいブロックに対応するプロテクトビットを"1"にします。プロテクトビット消去コマンドによりプロテクトビットを"0"にすることでブロックプロテクトを解除されます。プロテクトビットは、FCFLCS<BLPRO[3:0]>でモニタすることができます。

プロテクトビットのプログラムは 1 ビット単位、消去は 4 ビット単位で行います。プロテクトビットのプログラムと消去の方法については、「17.2.5 コマンド説明」の章を参照してください。

17.1.5.2　セキュリティ機能

セキュリティ機能が有効な場合の動作を、表 17-3 に示します。

表 17-3 セキュリティ機能が有効な場合の動作

項目	内容
フラッシュメモリの読み出し	CPU からの読み出しは可能です。
デバッグポート	JTAG、シリアルワイヤ、トレースの通信ができなくなります。
フラッシュメモリに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。また、ライト/消去プロテクト用のプロテクトビットを消去しようとすると、チップ消去が行われ、すべてのプロテクトビットも消去されます。

セキュリティ機能が有効になる条件は以下のとおりです。

1. FCSECBIT<SECBIT>が"1"にセットされている。
2. すべてのプロテクトビット(FCFLCS<BLPRO>)が"1"にセットされている。

FCSECBIT<SECBIT>はコールドリセットで"1"にセットされます。FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

注)　以下の 1., 2.の書き込みは 32bit 転送命令で行ってください。

1. FCSECBIT に対して特定のコード(0xa74a9d23)を書き込む。

2. 1.の書き込みから 16 クロック以内にデータを書き込む。

17.1.6 レジスタ

17.1.6.1 レジスター覧

Base Address = 0x41FF_F000

レジスタ名		Address(Base+)
Reserved	−	0x0000, 0x0004
セキュリティビットレジスタ	FCSECBIT	0x0010
Reserved	−	0x0014
フラッシュコントロールレジスタ	FCFLCS	0x0020
Reserved	−	0x0024, 0x0028
Reserved	−	0x0040, 0x0044
Reserved	−	0x0050, 0x0058
Reserved	−	0x0060 - 0x00B8

注) "Reserved"表記のアドレスにはアクセスしないでください。

17.1.6.2　FCFLCS(フラッシュコントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BKPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)	(注 2)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY/BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-22	−	R	リードすると"0"が読めます。
21-16	BLPRO3- BLPRO0	R	Block5 ~ 0 のプロテクト状態 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15-1	−	R	リードすると"0"が読めます。
0	RDY/BSY	R	Ready/Busy (注 1) 0: Busy (自動動作中) 1: Ready (自動動作終了) 本ビットはフラッシュメモリの状態を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。 自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウエアリセットにより "1" に復帰します。

注 1)　コマンド発行は、必ずレディ状態であることを確認してから発行してください。ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウエアリセットで復帰してください。ハードウエアリセットを行う場合は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。

注 2)　プロテクト状態に対応した値になります。

17.1.6.3 FCSECBIT(セキュリティビットレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31-1	−	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティビット 0:セキュリティ機能設定不可 1:セキュリティ機能設定可能

注) 本レジスタは、コールドリセットで初期化されます。

17.2　フラッシュメモリ詳細

オンボードプログラミングモードでは、制御プログラム中でコマンドを実行することで、フラッシュメモリの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間、フラッシュメモリ上のプログラムは実行できませんので、書き込み/消去制御プログラムは RAM 上で実行してください。 また、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

17.2.1　機能

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠していますが、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み, 消去を行う場合、32 ビット(1 ワード)のストア命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 17-4 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

17.2.2　フラッシュメモリの動作モード

フラッシュメモリには、大きく分けて以下の 2 種類の動作モードがあります。

- メモリデータを読み出すモード(リードモード)
- メモリデータを自動的に消去/書き替えるモード(自動動作)

電源投入後、リセット解除後、および自動動作の正常終了時にフラッシュメモリはリードモードになります。フラッシュメモリに書かれた命令の実行、およびデータの読み出しはリードモードで行います。

リードモード中にコマンドを入力すると自動動作へ移り、コマンドの処理が正常に終了するとリードモードに戻ります(ID-Read コマンドを除く)。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。

コマンドが正常に終了しないなど、強制的にリードモードに復帰させる場合には、後述する Read コマンド、Read/リセットコマンドもしくはハードウエアリセットを用います。

17.2.3　ハードウエアリセット

ハードウエアリセットとはコールドリセットおよびウォームリセットを指しており、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了した場合のリードモードへの復帰のために使用します。

自動動作中にハードウエアリセットが発生すると、フラッシュメモリは自動動作を中止しリードモードに戻ります。フラッシュメモリの自動プログラム/消去動作中にハードウエアリセットを行う場合は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2 ms 程度の時間がかかります。なお、自動動作の実行中にハードウエアリセットが入った場合は、データの書き替えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

本製品のリセット動作については、「リセット動作」の章を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

17.2.4 コマンド実行方法

コマンド実行は、ストア命令を用いてフラッシュメモリに対してコマンドシーケンスを書き込むことで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します。コマンド実行の詳細は、「17.2.5 コマンド説明」を参照してください。

フラッシュメモリに対するストア命令の実行を"バスライトサイクル"と呼びます。各コマンドはいくつかのバスライトサイクルで構成されています。フラッシュメモリは、バスライトサイクルのアドレスとデータが規定の順番で実行された時はコマンドの自動動作を実施します。規定の順番で実行されなかった場合、フラッシュメモリはコマンドの実行を中止してリードモードになります。

コマンドシーケンスの途中でキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read コマンドまたは Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。Read コマンドおよび Read/リセットコマンドをソフトウエアリセットと呼びます。

コマンドシーケンスの書き込みが終了すると自動動作を開始し、FCFLCS<RDY/BSY>が"0"になります。自動動作が正常終了した時に FCFLCS<RDY/BSY> = "1" となり、リードモードに復帰します。

自動動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウエアリセットを用います。また、自動動作が正常終了しない場合(FCFLCS<RDY/BSY>が"0"のままの場合)、フラッシュメモリはこのモードのままロックされリードモードには復帰しません。リードモードに復帰させるにはハードウエアリセットを行う必要があります。ハードウエアリセットで動作を中止させた場合は、コマンドは正常に実行されません。

コマンドを実行する際には以下の事項に留意してください。

1. コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCFLCS<RDY/BSY> = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。

2. 各コマンドシーケンスは、フラッシュメモリ外のエリアから実行します。

3. 各バスライトサイクルは連続して、1 ワード(32 ビット)のデータ転送命令で行って下さい。

4. 各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスはしないで下さい。また、リセットを除く割り込み/フォールトは発生させないようにしてください。

5. コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウエアリセットを発行して、一度リードモードに戻して下さい。

17.2.5 コマンド説明

各コマンドの内容について説明します。具体的なコマンドシーケンスは「17.2.6 コマンドシーケンス」を参照してください。

17.2.5.1　自動ページプログラム

(1)　動作内容

自動ページプログラムは、ページごとにデータを書き込みます。複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります。ページを跨ってデータを書き込むことはできません。

フラッシュメモリへの書き込みは、"1" データセルを "0" データにすることです。"0" データセルを "1" データにすることはできません。"0" データセルを "1" データにするには消去動作を行う必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1"データセルであっても"0"データセルであってもページに対して 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要があります

注 1)　消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性があります。

注 2)　プロテクトされたブロックへの書き込みはできません。

(2)　実行方法

第 1～第 3 バスライトサイクルが自動ページプログラムのコマンドシーケンスです。

第 4 バスライトサイクルでページの先頭アドレスとデータを書き込みます。第 5 バスライトサイクル以降、連続して 1 ページ分のデータを書き込みます。データは 1 ワード(32 ビット)単位で書き込んでください。

ページの一部に書き込みを行う場合、書き込みが不要なアドレスのデータを"0xFFFFFFFF"として 1 ページ分の書き込みを行ってください。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に書き込みができたか、実行後に読み出しをして確認してください。

自動プログラム動作が正常終了しなかった場合、このページへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

17.2.5.2　自動チップ消去

(1)　動作内容

自動チップ消去は、全アドレスのメモリセルに対して消去動作を行います。プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は自動チップ消去を実行せず、コマンドシーケンスの入力後にリードモードに戻ります。

(2)　実行方法

第 1～第 6 バスライトサイクルが自動チップ消去のコマンドシーケンスです。コマンドシーケンス入力後、自動チップ消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

自動チップ消去動作が正常終了しなかった場合、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

17.2.5.3 自動ブロック消去

(1) 動作内容

自動ブロック消去コマンドは、指定されたブロックに対する消去動作を行います。指定されたブロックがプロテクトされている場合、消去を行いません。

(2) 実行方法

第 1～第 5 バスライトサイクルが自動ブロック消去のコマンドシーケンスです。第 6 バスライトサイクルで消去するブロックを指定します。コマンドシーケンス入力後、自動ブロック消去動作を行います。

本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。

自動ブロック消去動作が正常終了しなかった場合、以降不良ブロックを使用しないことを推奨します。

17.2.5.4 自動プロテクトビットプログラム

(1) 動作内容

自動プロテクトビットプログラムは、プロテクトビットにビット単位で"1"を書き込みます。プロテクトビットを"0"にするためには自動プロテクトビット消去コマンドを使用します。

プロテクトの機能については「17.1.5 プロテクト/セキュリティ機能」を参照してください。

(2) 実行方法

第 1～第 6 バスライトサイクルが自動プロテクトビットプログラムのコマンドシーケンスになります。第 7 バスライトサイクルで書き込むプロテクトビットを指定します。コマンドシーケンス入力後、自動プロテクトビットプログラム動作を行います。正しく書き込みができたかどうか、FCFLCS<BLPRO>で確認してください。

17.2.5.5 自動プロテクトビット消去

(1) 動作内容

自動プロテクトビット消去コマンドは、実行する際のセキュリティの状態によって動作内容が異なります。セキュリティ状態については、「17.1.5 プロテクト/セキュリティ機能」を参照してください。

- セキュリティ状態でない場合

  指定されたプロテクトビットを"0"にクリアします。プロテクトビットの消去は 4 ビット単位で行われます。
- セキュリティ状態の場合

  フラッシュメモリの全アドレスのデータを消去した後、すべてのプロテクトビットを消去します。

(2)　実行方法

第 1 ~ 第 6 バスライトサイクルが自動プロテクトビット消去のコマンドシーケンスになります。第 7 バスライトサイクルで消去するプロテクトビットを指定します。コマンドシーケンス入力後、自動動作を行います。

セキュリティ状態でない場合、指定されたプロテクトビットが消去されます。正常に消去が行われたか、FCFLCS<BLPRO>で確認してください。

セキュリティ状態の場合、フラッシュメモリの全アドレスのデータ消去およびすべてのプロテクトビットが消去されます。データの消去およびプロテクトビットの消去が正常に行われたか読み出して確認し、必要に応じて再度自動プロテクトビット消去、自動チップ消去あるいは自動ブロック消去を実行してください。

いずれの場合も他のコマンドと同様、自動動作中は FCFLCS<RDY/BSY>が"0"となり、終了後"1"となりリードモードに戻ります。自動動作を中断するためにはハードウエアリセットが必要です。

17.2.5.6　ID-Read

(1)　動作内容

ID-Read コマンドは、フラッシュメモリのタイプ等の情報を読み出すことができます。読み出せる内容は、メーカーコード、デバイスコード、マクロコードの 3 種類です。

(2)　実行方法

第 1 ~ 第 3 バスライトサイクルが ID-Read のコマンドシーケンスになります。第 4 バスサイクルで読み出すコードを指定します。第 4 バスライトサイクル以降、任意のフラッシュ領域からのリード動作でコードが得られます。

ID-Read コマンドは連続実行が可能です。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。

ID-Read コマンドは自動的にリードモードに戻りません。リードモードへの復帰は Read コマンド、Read/リセットコマンドまたはハードウエアリセットで行います。

17.2.5.7　Read コマンド、Read/リセットコマンド (ソフトウエアリセット)

(1)　動作内容

フラッシュメモリをリードモードに戻すコマンドです。

ID-Read コマンドを実行した場合、マクロは自動的には Read モードに復帰せず、その状態で停止します。このような状態から Read モードに復帰させるために、Read コマンドまたは Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルする場合にも使用します。

(2)　実行方法

Read コマンドでは第 1 バスサイクルが、Read/リセットコマンドでは第 1 ~ 3 バスライトサイクルがコマンドシーケンスになります。コマンドシーケンス実行後、フラッシュメモリはリードモードになります。

17.2.6 コマンドシーケンス

17.2.6.1 コマンドシーケンス一覧

表 17-5 に各コマンドのバスライトサイクルのアドレスとデータを示します。

ID-Read コマンドの第 5 バスサイクル以外はすべて"「バスライトサイクル」です。バスライトサイクルは 32 ビット(1 ワード) のデータ転送命令で実施します(表では、データの下位 8 ビットのデータのみ示しています)。

アドレスの詳細は、表 17-6 を参照してください。表 17-6 で「コマンド」と記載された、Addr [15:8]に下記の値を使用します。

注 1) アドレスビット[1:0]へは常に"0"を設定してください。

注 2) アドレスビット[19]はフラッシュメモリサイズにより以下の値を設定してください。
メモリサイズが 1MB 以下：常に"0"
メモリサイズが 1MB を超える：1MB 以下の領域へのバスライトサイクルでは"0"
1MB を超える領域へのバスライトサイクルでは"1"

表 17-5 コマンドシーケンス

コマンド	第 1 バスサイクル	第 2 バスサイクル	第 3 バスサイクル	第 4 バスサイクル	第 5 バスサイクル	第 6 バスサイクル	第 7 バスサイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	–	–	–	–	–	–
	0xF0	–	–	–	–	–	–
Read/リセット	0x54XX	0xAAXX	0x54XX	–	–	–	–
	0xAA	0x55	0xF0	–	–	–	–
ID-Read	0x54XX	0xAAXX	0x54XX	IA	0xXX	–	–
	0xAA	0x55	0x90	0x00	ID	–	–
自動ページプログラム	0x54XX	0xAAXX	0x54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	–
	0xAA	0x55	0x80	0xAA	0x55	0x10	–
自動ブロック消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	BA	–
	0xAA	0x55	0x80	0xAA	0x55	0x30	–
自動プロテクトビットプログラム	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ(32 ビットデータ)
  第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス(表 17-7 参照)
- PBA: プロテクトビットアドレス(表 17-8、表 17-9 参照)

17.2.6.2　バスライトサイクル時のアドレスビット構成

表 17-6 は「表 17-5 コマンドシーケンス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。

表 17-6 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:19]	Addr [18]	Addr [17]	Addr [16]	Addr [15]	Addr [14]	Addr [13:10]	Addr [9]	Addr [8]	Addr [7:0]

通常コマンド	通常のバスライトサイクルアドレス設定				
	フラッシュ領域	"0"推奨	コマンド		Addr[1:0] = "0"固定、他ビットは"0"推奨
ID-READ	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)				
	フラッシュ領域	"0"推奨	ID アドレス	Addr[1:0] = "0"固定、他ビットは"0"推奨	
ブロック消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)				
	ブロックアドレス(表 17-7)			Addr[1:0] = "0"固定、他ビットは"0"推奨	
Auto ページプログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)				
	ページアドレス				Addr[1:0] = "0"固定、他ビットは"0"推奨
プロテクトビットプログラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)				
	フラッシュ領域	プロテクトビット選択 (表 17-8)	"0"固定	プロテクトビット選択 (表 17-8)	Addr[1:0] = "0"固定、他ビットは"0"推奨
プロテクトビット消去	PBA: プロテクトビットアドレス(プロテクトビット消去の第 7 バスライトサイクルアドレス設定)				
	フラッシュ領域	プロテクトビット選択 (表 17-9)	"0"固定	Addr[1:0] = "0"固定、他ビットは"0"推奨	

17.2.6.3　ブロックアドレス(BA)

表 17-7 にブロックアドレスを示します。自動ブロック消去コマンドの第 6 バスライトサイクルで、消去するブロックに含まれる任意のアドレスを指定します。

表 17-7 ブロックアドレス表

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
4	0x0000_0000 ~ 0x0000_3FFF	0x3F80_0000 ~ 0x3F80_3FFF	16
5	0x0000_4000 ~ 0x0000_7FFF	0x3F80_4000 ~ 0x3F80_7FFF	16
3	0x0000_8000 ~ 0x0000_FFFF	0x3F80_8000 ~ 0x3F80_FFFF	32
2	0x0001_0000 ~ 0x0001_FFFF	0x3F81_0000 ~ 0x3F81_FFFF	64
1	0x0002_0000 ~ 0x0002_FFFF	0x3F82_0000 ~ 0x3F82_FFFF	64
0	0x0003_0000 ~ 0x0003_FFFF	0x3F83_0000 ~ 0x3F83_FFFF	64

17.2.6.4 プロテクトビットの指定(PBA)

自動プロテクトビットプログラムおよび自動プロテクトビット消去コマンドのプロテクトビット選択表を表 17-8、表 17-9 に示します。

プロテクトビットは、プログラム時は 1 ビット単位、消去時は 4 ビット単位の操作になります。

下表のアドレス例の、上段はシングルチップモード時のアドレス、下段はシングルブートモード時のアドレスです。

表 17-8 プロテクトビットプログラムアドレス表

Block	プロテクトビット	第 7 バスライトサイクルのアドレス							アドレス例 [31:0]
		アドレス [18]	アドレス [17]	アドレス [16]	アドレス [15:11]	アドレス [10]	アドレス [9]	アドレス [8]	
Block0	<BLPRO[0]>	0	0	"0"固定			0	0	0x0000_0000 0x3F80_0000
Block1	<BLPRO[1]>	0	0				0	1	0x0000_0100 0x3F80_0100
Block2	<BLPRO[2]>	0	0				1	0	0x0000_0200 0x3F80_0200
Block3	<BLPRO[3]>	0	0				1	1	0x0000_0300 0x3F80_0300
Block4	<BLPRO[4]>	0	1				0	0	0x0002_0000 0x3F82_0000
Block5	<BLPRO[5]>	0	1				0	1	0x0002_0100 0x3F82_0100

表 17-9 プロテクトビット消去アドレス表

Block	プロテクトビット	第 7 バスライトサイクルのアドレス		アドレス例 [31:0]
		アドレス[18]	アドレス[17]	
Block0 ~ 3	<BLPRO[0:3]>	0	0	0x0000_0000 0x3F80_0000
Block4 ~ 5	<BLPRO[4:5]>	0	1	0x0002_0000 0x3F82_0000

17.2.6.5 ID-Read のコード(IA, ID)

ID-Read コマンドでのコード指定方法と読み出される内容を表 17-10 に示します。

下表のアドレス例の、上段はシングルチップモード時のアドレス、下段はシングルブートモード時のアドレスです。

表 17-10 IID-Read コマンドのコード指定とコードの内容

Code	ID[7:0]	IA[15:14]	アドレス例[31:0]
メーカーコード	0x98	0y00	0x0000_0000 0x3F80_0000
デバイスコード	0x5A	0y01	0x0000_4000 0x3F80_4000
−	Reserved	0y10	−
マクロコード	0x13	0y11	0x0000_C000 0x3F80_C000

17.2.6.6　コマンドシーケンス例

(1)　シングルチップモード

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read	アドレス	0x0000_0000	−	−	−	−	−	−
	データ	0x0000_00F0	−	−	−	−	−	−
Read/リセット	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	−	−	−	−
	データ	0x0000_00AA	0x0000_0055	0x0000_00F0	−	−	−	−
ID-Read	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	IA	0x0000_00XX	−	−
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	−	−
自動ページプログラム	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	0x0000_5400	0x0000_AA00	0x0000_5400	−
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	−
自動ブロック消去	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	0x0000_5400	0x0000_AA00	BA	−
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	−
自動プロテクトビットプログラム	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	0x0000_5400	0x0000_AA00	0x0000_5400	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x0000_5400	0x0000_AA00	0x0000_5400	0x0000_5400	0x0000_AA00	0x0000_5400	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

(2)　シングルブートモード

コマンド		バスサイクル						
		1	2	3	4	5	6	7
Read	アドレス	0x3F80_0000	−	−	−	−	−	−
	データ	0x0000_00F0	−	−	−	−	−	−
Read/リセット	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	−	−	−	−
	データ	0x0000_00AA	0x3F80_0055	0x3F80_00F0	−	−	−	−
ID-Read	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	IA	0x3F80_00XX	−	−
	データ	0x0000_00AA	0x0000_0055	0x0000_0090	0x0000_0000	ID	−	−
自動ページプログラム	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	PA	以降、連続して 1 ページ分のアドレスとデータを書き込み		
	データ	0x0000_00AA	0x0000_0055	0x0000_00A0	PD			
自動チップ消去	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	0x3F80_5400	0x3F80_AA00	0x3F80_5400	−
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0010	−
自動ブロック消去	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	0x3F80_5400	0x3F80_AA00	BA	−
	データ	0x0000_00AA	0x0000_0055	0x0000_0080	0x0000_00AA	0x0000_0055	0x0000_0030	−
自動プロテクトビットプログラム	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	0x3F80_5400	0x3F80_AA00	0x3F80_5400	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_00AA	0x0000_0055	0x0000_009A	0x0000_009A
自動プロテクトビット消去	アドレス	0x3F80_5400	0x3F80_AA00	0x3F80_5400	0x3F80_5400	0x3F80_AA00	0x3F80_5400	PBA
	データ	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_00AA	0x0000_0055	0x0000_006A	0x0000_006A

17.2.7 フローチャート

17.2.7.1 自動プログラム

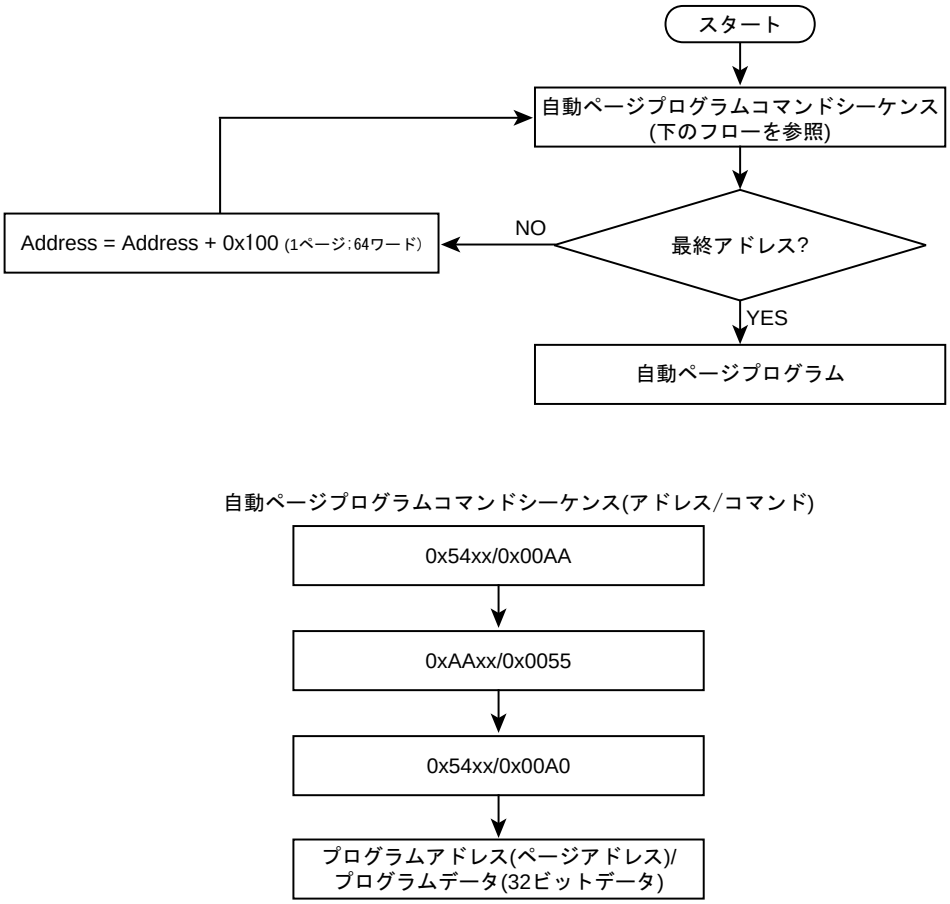


図 17-4 自動プログラムフローチャート

17.2.7.2　自動消去

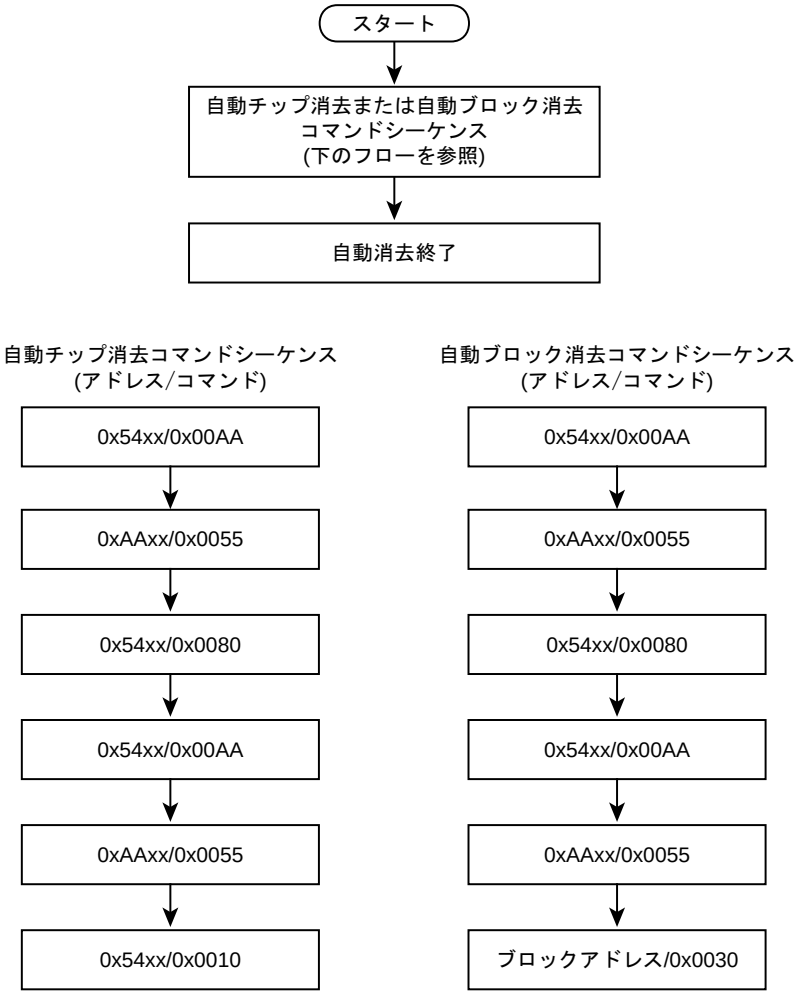


図 17-5 自動消去フローチャート

17.3 シングルブートモードによる書き替え方法

内蔵 BOOT ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、BOOT ROM が割り込みベクタテーブルを含む領域にマッピングされ、BOOT ROM プログラムが実行されます。また、フラッシュメモリは BOOT ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスのシリアルチャネル(SIO/UART) と外部ホストを接続し、外部ホスト側から内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。

シングルブートモードでも、リセットを除く割り込み/フォールトは、処理が正しく終了しない可能性があるため発生させないようにしてください。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

17.3.1 モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$\overline{\text{BOOT}}$ = 0
$\overline{\text{RESET}}$ = 0 → 1

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、$\overline{\text{BOOT}}$ 端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

17.3.2 インタフェース仕様

シングルブートモードでの SIO/UART 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

  通信チャネル: チャネル 0

  シリアル転送モード: UART (非同期通信) モード, 半二重通信, LSB ファスト

  データ長: 8 ビット

  パリティビット: なし

  STOP ビット: 1 ビット

  ボーレート: 任意のボーレート

- I/O インタフェースモードで通信する場合

  通信チャネル: チャネル 0

  シリアル転送モード: I/O インタフェースモード, 全二重通信, LSB ファスト

  同期信号 (SCLK0): 入力モード,クロック立ち上がりエッジ

  ハンドシェイク端子: 出力モード PE4

  ボーレート: 任意のボーレート

ブートプログラムは、クロック/モード制御ブロックの設定は初期状態のままで動作します。クロック設定の初期状態は、「クロック/モード制御」の章を参照してください。

ボーレートは、「17.3.5.117.3.5.1」で説明しているように 16 ビットタイマ(TMRB)を用いて判定します。判定時のボーレートは所望のボーレートの 1/16 で通信するため、個のボーレートがタイマで計測可能な範囲である必要があります。タイマのカウントクロックは ΦT1(fc/2)で動作します。

I/O インタフェースモードのハンドシェイク端子は、受信待ちのときに"Low"、送信待ちのときに"High"を出力します。通信プロトコルに従って、ハンドシェイク端子の状態を確認して通信を行ってください。

ブートプログラムで使用する端子を表 17-11 にまとめます。これ以外の端子はブートプログラムでは操作しません。

表 17-11 端子の接続

端子		インタフェース	
		UART	I/O インタフェースモード
モード設定端子	$\overline{\text{BOOT}}$	o	o
リセット端子	$\overline{\text{RESET}}$	o	o
通信端子	TXD0 (PE0)	o	o
	RXD0 (PE1)	o	o
	SCLK0 (PE2)	×	o (入力モード)
	PE4	×	o (出力モード)

o;必要、×;不要

17.3.3　メモリの制約について

シングルブートモードでは、内蔵 RAM, 内蔵フラッシュメモリに対して表 17-12 のような制約がありますのでご注意ください。

表 17-12 シングルブート時のメモリの制約

メモリ	制約内容
内蔵 RAM	0x2000_0000 ~ 0x2000_03FF 番地は BOOT プログラムのワークエリアになります。 RAM 転送のプログラムは 0x2000_0400 から RAM の最終番地に格納してください。
内蔵フラッシュメモリ	以下の番地はソフトなどの ID 情報やパスワードの格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけてください。 0x3F83_FFF0 ~ 0x3F83_FFFF

注)　パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

17.3.4　動作コマンド

ブートプログラムには、以下の動作コマンドが準備されています。

表 17-13 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x40	フラッシュメモリチップ消去およびプロテクトビット消去

17.3.4.1 RAM 転送

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域(0x2000_0000 ~ 0x2000_03FF)を除く、0x2000_0400 以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボートプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、17.2.6 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。

17.3.4.2 フラッシュメモリチップ消去および プロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクトおよび、セキュリティ状態にかかわらず、メモリセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。コマンド終了後、FCSECBIT<SECBIT>は"1"になります。

17.3.5 コマンドによらず共通の動作

ブートプログラム実行において、共通に行われる動作について説明します。

17.3.5.1 シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで 1 バイト目を 0x86 にし、I/O インタフェースで通信したい場合、所望のボーレート÷16 で 1 バイト目を 0x30 にして送信してください。図 17-6 にそれぞれの場合の波形を示します。

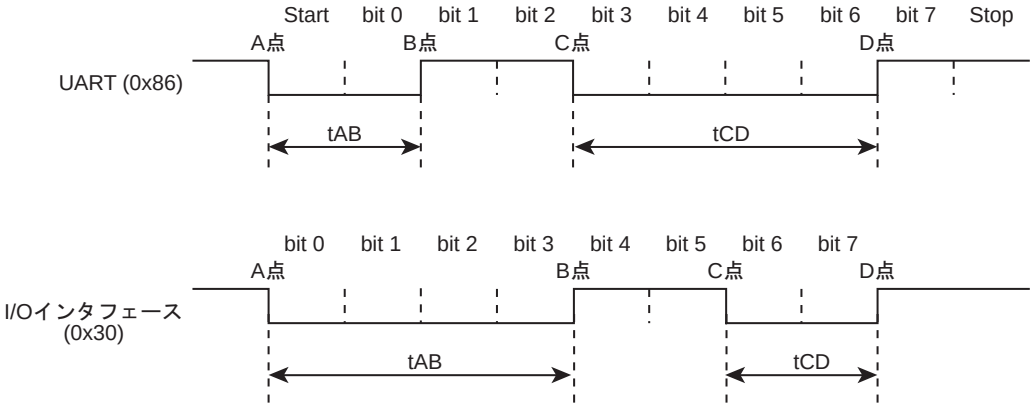


図 17-6 シリアル動作モード判定データ

ブートプログラムは図 17-7 に示すフローチャートで、リセット解除後の 1 バイト目のシリアル動作モード判定データ(0x86, 0x30)を、16 ビットタイマ(TMRB)を用いて図 17-6 の tAB, tAC と、tAD の時間から求めています。図 17-7 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB, tAC と、tAD のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート÷16 にして送信してください。

図 17-7 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"L"レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの

自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、I/O インタフェースと判定します。なお、先に述べたように、tAB, tAC, tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 0x86 を正常受信できなければ通信不可能と判断してください。I/O インタフェースで通信したい場合は 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 0x30 でなければ通信不可能と判断してください。

I/O インタフェースで通信したい場合は上記のとおり、tAB > tCD であれば 1 バイト目のデータは 0x30 でなくても構いません。A 点と C 点の立ち下がり, B 点と D 点の立ち上がりを判定できるように 0x91, 0xA1 あるいは 0xB1 を 1 バイト目のデータとして送信できます。tAB > tCD が成立しており、動作モード判定結果 SIO が選択された場合、(1 バイト目の送信データが 0x30 でない場合でも) 2 バイト目のデータは 0x30 となります(以下、I/O インタフェース判定用の 1 バイト目のデータは 0x30 を表記しています)。

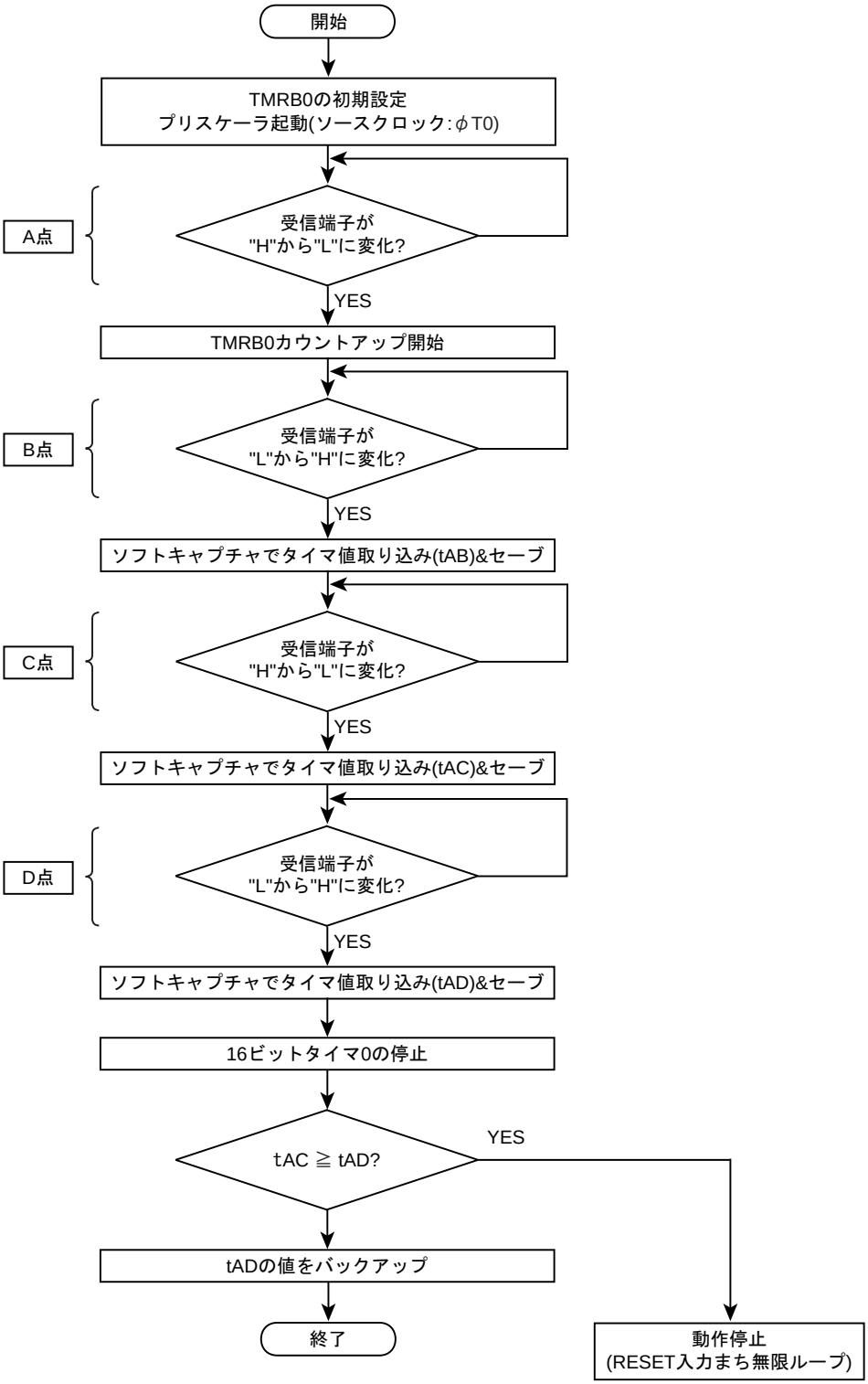


図 17-7 シリアル動作モード受信フローチャート

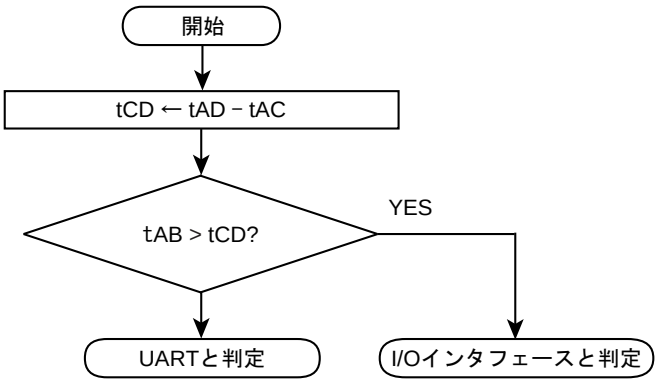


図 17-8 シリアル動作モード判定フローチャート

17.3.5.2　ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 17-14 から表 17-17 に各受信データに対する ACK 応答データを示します。

表 17-15 から表 17-17 に示す ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー, CHECK SUM エラー, パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 17-14 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注)
0x30	I/O インタフェースでの通信が可能と判定した。

注)　UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 17-15 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 (注)	動作コマンドデータに受信エラーが発生した。
0x?1 (注)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x20	フラッシュメモリ SUM コマンドと判定した。
0x30	製品情報読み出しコマンドと判定した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

注)　上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 17-16 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注)	受信エラーが発生していた。
0xN1 (注)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注)	CHECK SUM 値は正常な値と判定した。

注)　上位 4 ビットは動作コマンドデータの上位 4 ビットになります。例えば、パスワードエラー発生時は 1 (N = RAM 転送コマンドデータ[7:4])となります。

表 17-17 フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

17.3.5.3 パスワード判定

ブートプログラムでは、以下の領域をパスワード要否判定データおよびパスワードとして使用します。

領域	アドレス
パスワード要否判定	0x3F85_FFF0 (1byte)
パスワード領域	0x3F83_FFF4 ~ 0x3F83_FFFF (12byte)

RAM 転送コマンドでは、要否判定データにかかわらずパスワード判定を行い、フラッシュメモリチップ消去およびプロテクトビット消去コマンドでは要否判定データが「要」の場合のみパスワード判定を行います。

パスワード要否選択	データ
パスワード要	0xFF 以外
パスワード否	0xFF

パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

(1) RAM 転送コマンドでのパスワード判定

図 17-9 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

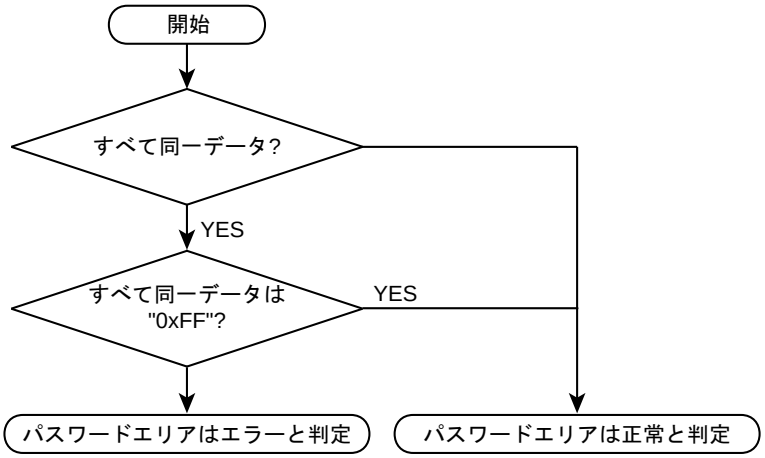


図 17-9 パスワードエリアチェックフローチャート

(2)　フラッシュメモリチップ消去およびプロテクトビット消去コマンドでのパスワード判定

図 17-10 に示すように、消去パスワード要否の選択エリアがパスワード有効の場合は、パスワードエリアのデータが同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x41 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。セキュリティ機能が有効な状態でもパスワードの参照は行います。

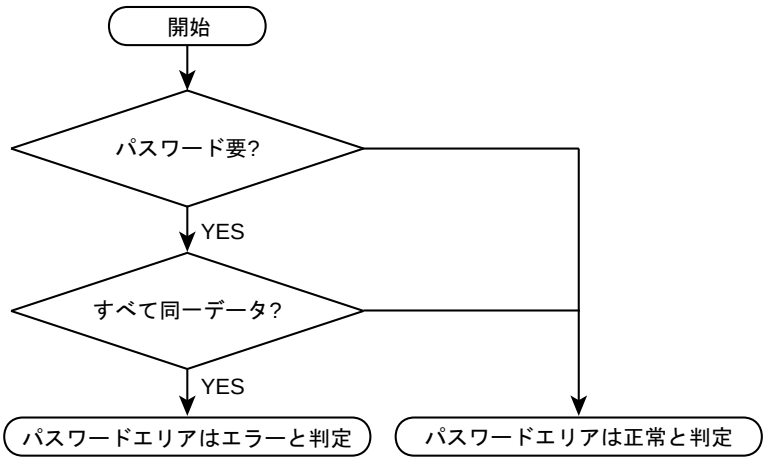


図 17-10 パスワードエリアチェックフローチャート

17.3.5.4　CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算(オーバフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例)CHECK SUM 計算例

2 バイトのデータ 0xE5、0xF6 の CHECK SUM 値を求める場合、まず符号なし 8 ビット加算を行います。

0xE5 + 0xF6 = 0x1DB

この値の下位 8 ビットに対しての 2 の補数をとると以下のようになり、この値が CHECK SUM 値になります。従って、コントローラには 0x25 を送信します。

0 − 0xDB = 0x25

17.3.6 RAM 転送の転送フォーマット

RAM 転送コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラ→TMPM365FYXBG

転送方向「C←T」: コントローラ←TMPM365FYXBG

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「17.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
		[I/O インタフェースモード] 0x30	所望のボーレート ÷ 16 で 0x30 を送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目からにしてください。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
		[I/O インタフェースモード] 正常の場合:0x30	送信バッファにデータ(0x30)を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで通信を行ってください。
3	C→T	動作コマンドデータ(0x10)	RAM 転送コマンドデータ(0x10)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x10 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。(UART モードのみ)受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)なお、I/O インタフェースの場合、受信エラーのチェックは行いません。 次に、3 バイト目の受信データが、表 17-13 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。RAM 転送の場合、0x10 をエコーバック送信して RAM 転送処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。
5~16	C→T	パスワードデータ(12 バイト) 0x3F83_FF04 ~ 0x3F83_FF0F	パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「17.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F83_FFF0~ 0x3F83_FFFF のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は 17.3.5.4 を参照してください

転送 バイト数	転送 方向	転送データ	内容
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。(UART モードのみ)受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。
19	C→T	RAM 格納開始アドレス 31 ~ 24	ブロック転送における格納先の RAM の開始アドレスを送信してください。格納先の開始アドレスは偶数アドレスでなければいけません。 19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地の範囲で指定してください。
20	C→T	RAM 格納開始アドレス 23 ~ 16	
21	C→T	RAM 格納開始アドレス 15 ~ 8	
22	C→T	RAM 格納開始アドレス 7 ~ 0	
23	C→T	RAM 格納バイト数 15 ~ 8	ブロック転送するバイト数を送信してください。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。RAM のアドレス 0x2000_0400 から RAM の最終番地に収まるように指定してください
24	C→T	RAM 格納バイト数 7 ~ 0	
25	C→T	19 ~ 24 バイト目の CHECK SUM 値	19 バイト目から 24 バイト目の CHECK SUM 値を送信してください。
26	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします。(UART モードのみ)受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、25 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
27~m	C→T	RAM 格納データ	RAM に格納するデータを、23 バイト目から 24 バイト目に指定されたバイト数分送信してください。
m+1	C→T	27 ~ m バイト値の CHECK SUM 値	27 バイト目 ~ m バイト目の CHECK SUM 値を送信してください。
m+2	C←T	CHECK SUM 値に対する ACK 応答 正常の場合:0x10 異常の場合: 0x11 通信異常の場合: 0x18	最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします。(UART モードのみ)受信エラーがある場合、通信異常の ACK 応答データ 0x18 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、m + 1 バイト目の CHECK SUM データをチェックします。エラーの場合、0x11 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。
–	–	–	m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

17.3.7 フラッシュメモリチップ消去およびプロテクトビット消去の転送フォーマット

フラッシュメモリチップ消去およびプロテクトビット消去コマンドの転送フォーマットを示します。表中の転送方向の表記が示す意味は以下のとおりです。

転送方向「C→T」: コントローラ→TMPM365FYXBG

転送方向「C←T」: コントローラ←TMPM365FYXBG

転送 バイト数	転送 方向	転送データ	内容
1	C→T	シリアル動作モード 、 ボーレート設定	シリアル動作モードを判定するデータを送信します。モード判定の詳細は「17.3.5.1 シリアル動作モード判定」を参照してください。
		[UART モード] 0x86	0x86 を送信してください。UART モードと判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
		[I/O インタフェースモード] 0x30	所望のボーレート ÷ 16 で 0x30 を送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目からにしてください。
2	C←T	シリアル動作モードに対する ACK 応答	2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。設定が可能と判定した場合、SIO/UART の設定を行います。受信を許可するタイミングは、送信バッファにデータを書き込む前に行っています。
		[UART モード] 正常の場合: 0x86	設定が可能と判定した場合 0x86 を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。 コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ(0x86)を正常受信できなければ、通信不能と判断してください。
		[I/O インタフェースモード] 正常の場合:0x30	送信バッファにデータ(0x30)を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが 0x30 なら、通信可能と判断してください。3 バイト目からは所望のボーレートで通信を行ってください。
3	C→T	動作コマンドデータ(0x40)	RAM 転送コマンドデータ(0x40)を送信してください。
4	C←T	動作コマンドに対する ACK 応答 正常の場合: 0x40 異常の場合: 0xX1 通信異常の場合: 0xX8	動作コマンドデータに対する ACK 応答データになります。 最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。(UART モードのみ)受信エラーがある場合、通信異常の ACK 応答データ 0xX8 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)なお、I/O インタフェースの場合、受信エラーのチェックは行いません。 次に、3 バイト目の受信データが、表 17-13 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信します。フラッシュメモリチップ消去およびプロテクトビット消去の場合、0x40 をエコーバック送信します。 該当しない場合は、動作コマンドエラーの ACK 応答データ 0xX1 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。
5~16	C→T	パスワードデータ(12 バイト) 0x3F83_FF04 ~ 0x3F83_FF0F	パスワード要否選択が「否」の場合、ダミーデータです。 パスワード要否選択が「要」の場合、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は「17.3.5.3 パスワード判定」を参照してください。 5 バイト目の受信データから順に、フラッシュメモリの 0x3F83_FFF0~ 0x3F83_FFFF のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

転送 バイト数	転送 方向	転送データ	内容
17	C→T	5 ~ 16 バイト目の CHECK SUM 値	5 バイト目から 16 バイト目の CHECK SUM 値を送信してください。 CHECK SUM の計算方法は「17.3.5.4 CHECK SUM の計算方法」を参照してください
18	C←T	CHECK SUM 値に対する ACK 応答 正常の場合: 0x40 異常の場合: 0x41 通信異常の場合: 0x48	パスワード要否選択が「否」の場合、正常 ACK 応答データ 0x40 を送信します。 パスワード要否選択が「要」の場合、最初に 5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。(UART モードのみ)受信エラーがある場合、通信異常の ACK 応答データ 0x48 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 次に、17 バイト目の CHECK SUM データをチェックします。エラーの場合、 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 最後に、パスワードの照合結果をチェックします。パスワードエラーの場合、パスワードエラーの ACK 応答データ 0x41 を送信して、次の動作コマンド(3 バイト目)データ待ちになります。 上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x40 を送信します。
19	C→T	消去イネーブルコマンドデータ(0x54)	消去イネーブルコマンドデータ(0x54)を送信してください。
20	C←T	消去イネーブルコマンドに対する ACK 応答 正常の場合: 0x54 異常の場合: 0xX1 通信異常の場合: 0x58	最初に、19 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x58 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。 次に、19 バイト目の受信データが、消去イネーブルコマンドに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。 該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xX1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
21	C→T	消去コマンドに対する ACK 応答 正常の場合: 0x4F 異常の場合: 0x4C	正常に終了した時は、終了コード(0x4F)を返します。 消去 Error が起きた場合は、エラーコード(0x4C)を返します。
–	–	–	次の動作コマンドデータ待ち状態になります。

17.3.8 ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

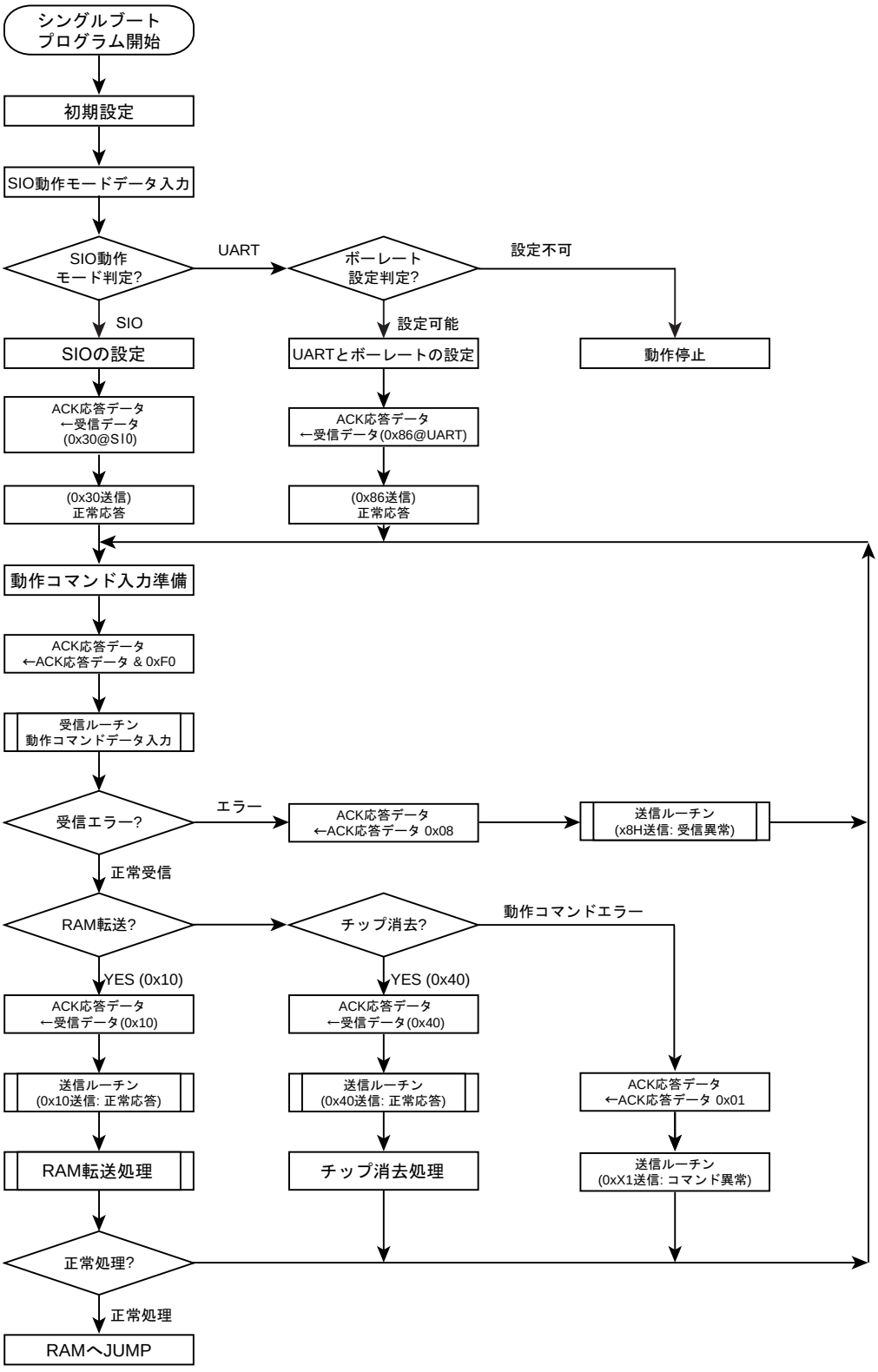


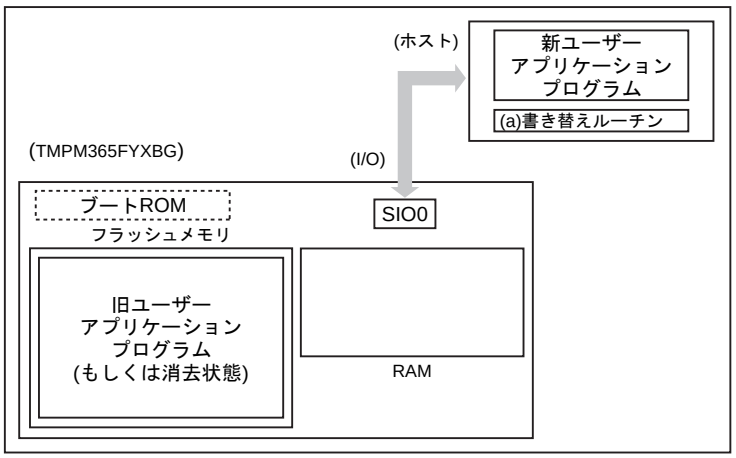
図 17-11 ブートプログラム全体フローチャート

17.3.9　内蔵 BOOT ROM の書き替えアルゴリズムを利用した書き替え手順

内蔵ブートプログラムを利用した書き替え手順を示します。

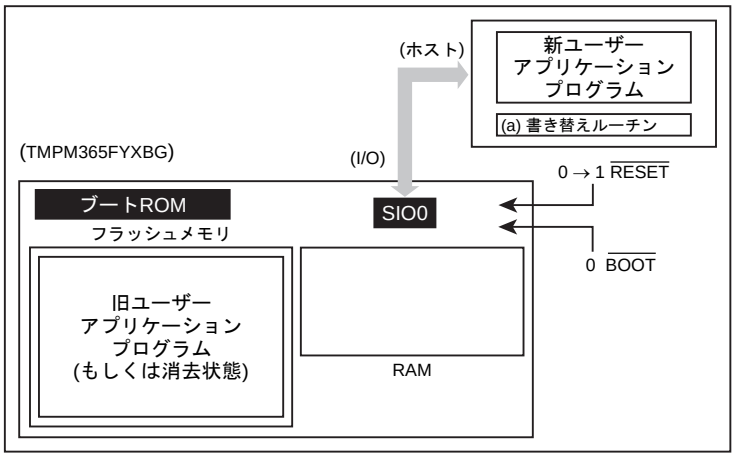
17.3.9.1　Step-1

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0)を経由して行いますので、ボード上で本デバイスの SIO (SIO0)と外部ホストとをつなげます。書き替えを行うための(a)書き替えルーチンはホスト上に用意します。



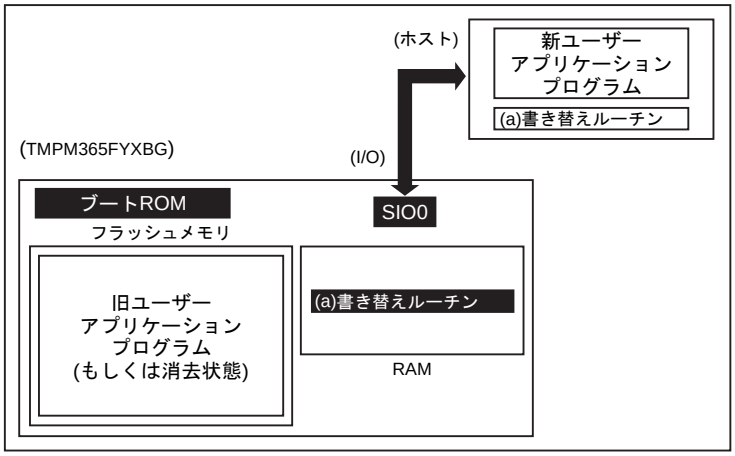
17.3.9.2　Step-2

ブートモードの端子条件設定でリセットを解除し、BOOT ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元(ホスト)より(a)書き替えルーチンの転送を行いますが、最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)



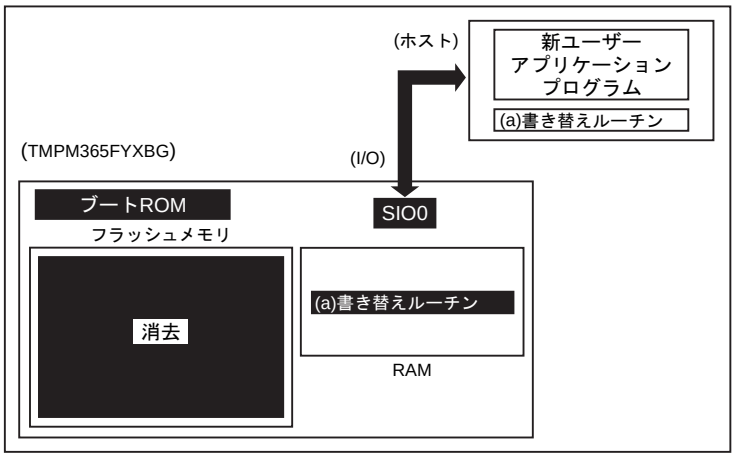
17.3.9.3 Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)書き替えルーチンを転送します。BOOT ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。



17.3.9.4 Step-4

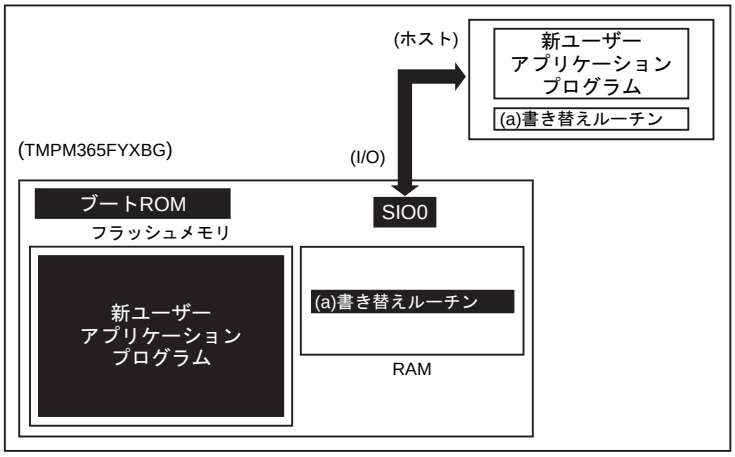
RAM 上の(a)書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



17.3.9.5　Step-5

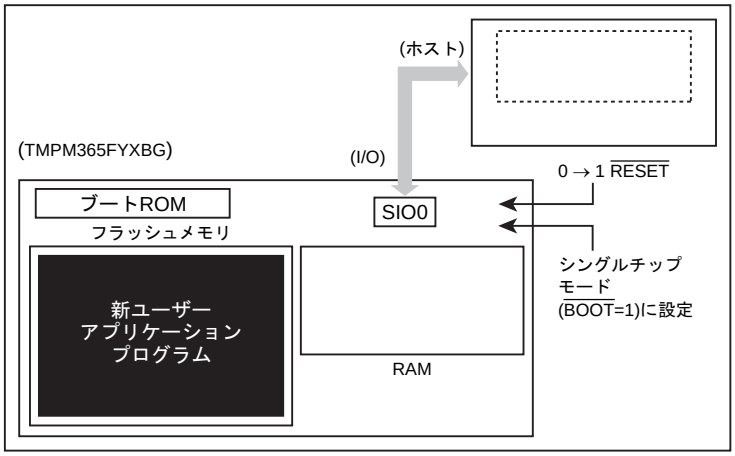
さらに、RAM 上の(a)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。



17.3.9.6　Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザーアプリケーションプログラムを実行します。



17.4 ユーザーブートモードによる書き替え方法

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いるデータ転送バスが、シリアル I/O と異なる場合に使用します。 動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本製品の I/O を使用してユーザーのシステムセット条件 に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスカブルを含めたすべての割り込み発生を禁止してください。

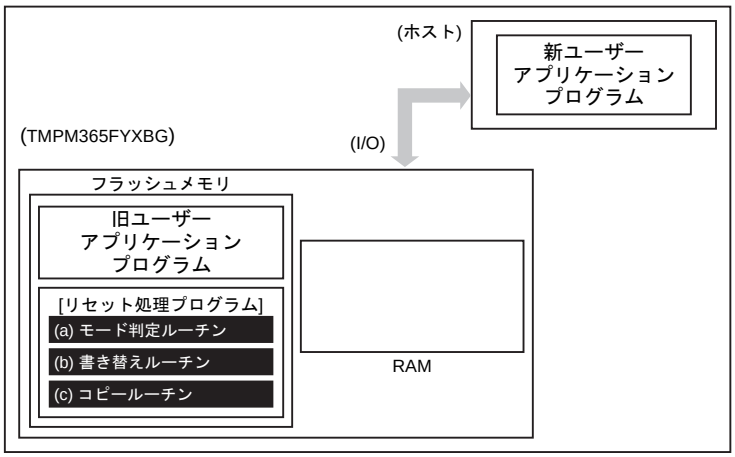
書き替えルーチンをフラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A), (1-B)にその手順を説明します。フラッシュメモリへの書き込み/消去 方法の詳細は、「17.2 フラッシュメモリ詳細」を参照してください。

17.4.1 (1-A)書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

17.4.1.1 Step-1

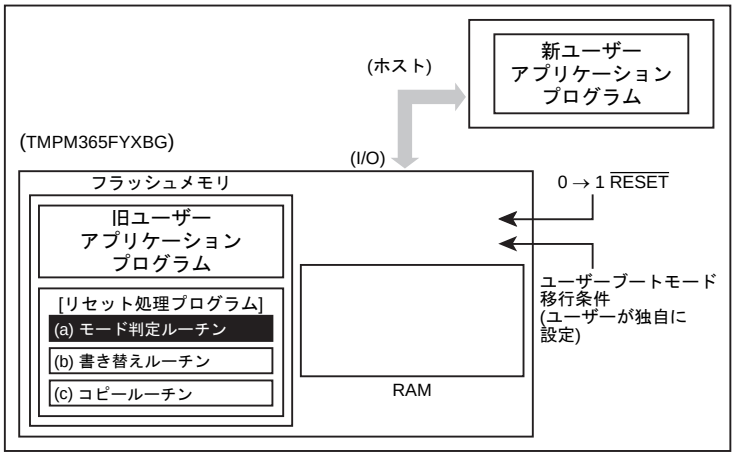
ユーザーは、あらかじめ どのような条件 (例えば端子状態) に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン:	書き替え動作に移るためのプログラム
(b) フラッシュ書き替えルーチン:	書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
(c) コピールーチン:	上記(b)を内蔵 RAM または外部メモリにコピーするためのプログラム



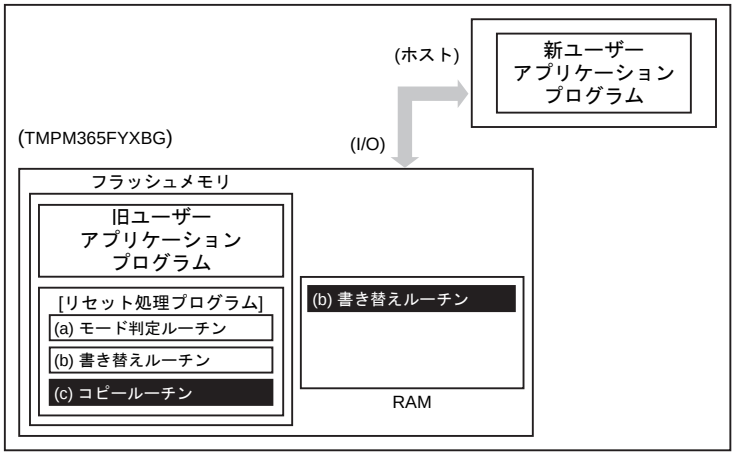
17.4.1.2　Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



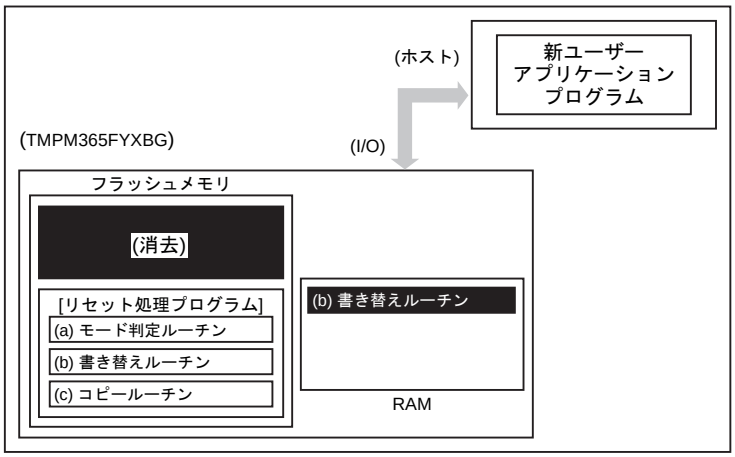
17.4.1.3　Step-3

ユーザーブートモードに移ると、(c)コピールーチンを使用して、(b)書き替えルーチンを内蔵 RAM にコピーします。



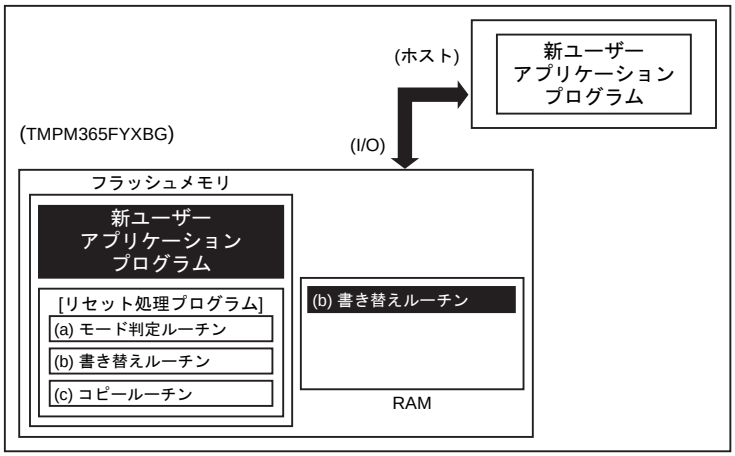
17.4.1.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



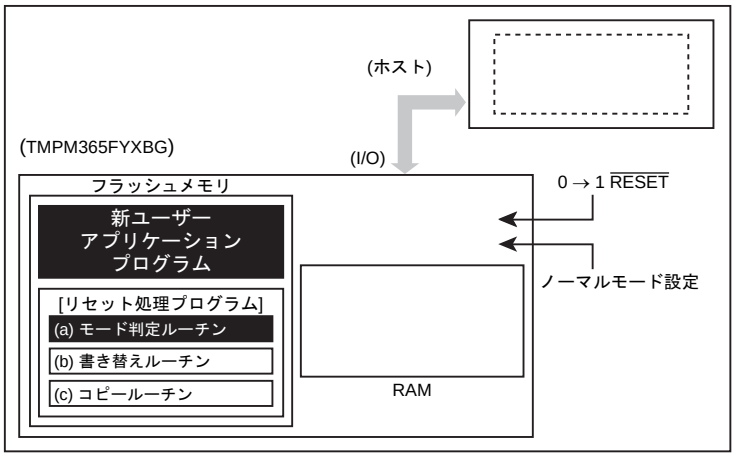
17.4.1.5 Step-5

さらに、RAM 上の書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



17.4.1.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



17.4.2 (1-B)書き替えルーチンを外部から転送する手順例

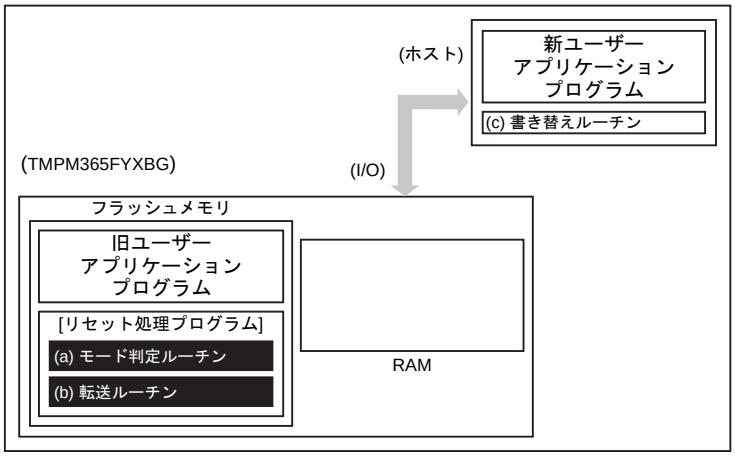
17.4.2.1 Step-1

ユーザーは、あらかじめ どのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

(a) モード判定ルーチン: 書き替え動作に移るためのプログラム
(b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

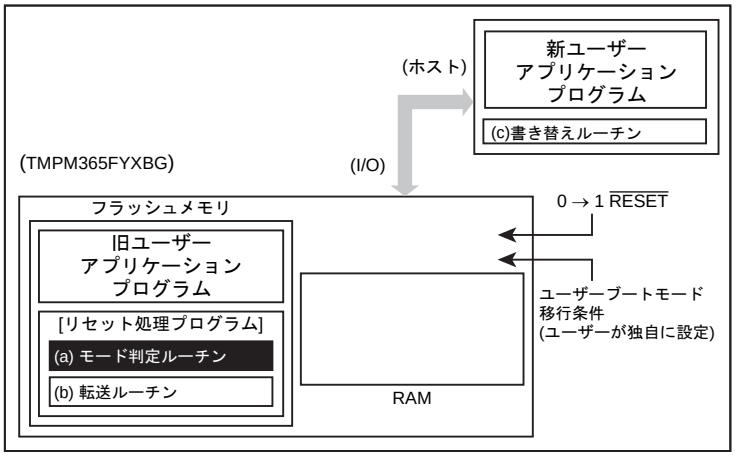
また、下記に示すプログラムはホスト上に用意します。

(c) 書き替えルーチン: 書き替えを行うためのプログラム



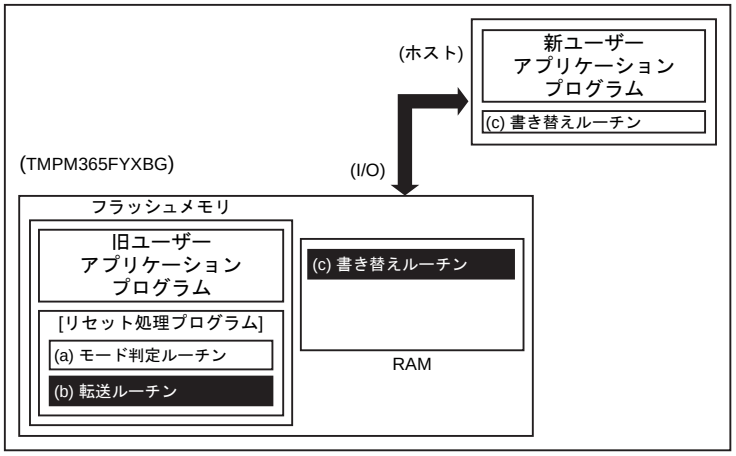
17.4.2.2　Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



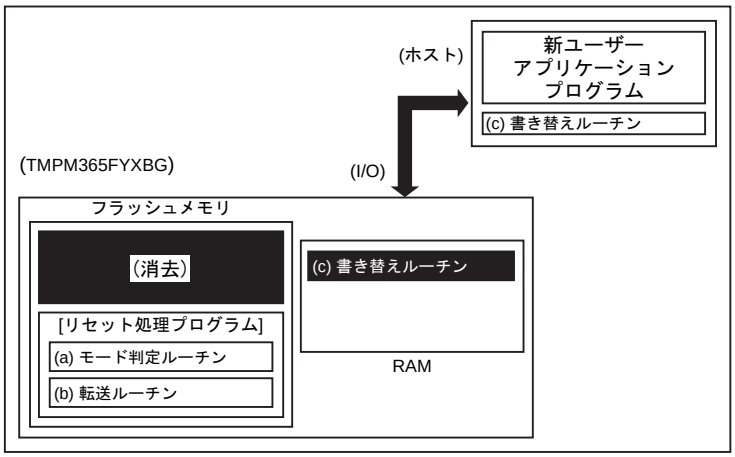
17.4.2.3　Step-3

ユーザーブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)書き替えルーチンを内蔵 RAM にロードします。



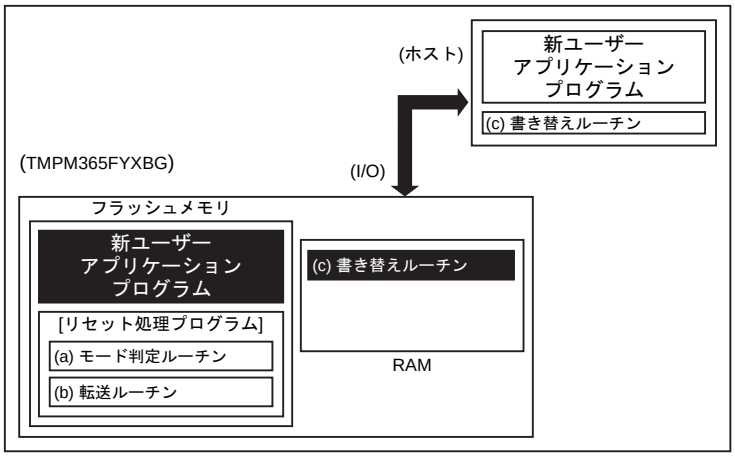
17.4.2.4 Step-4

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



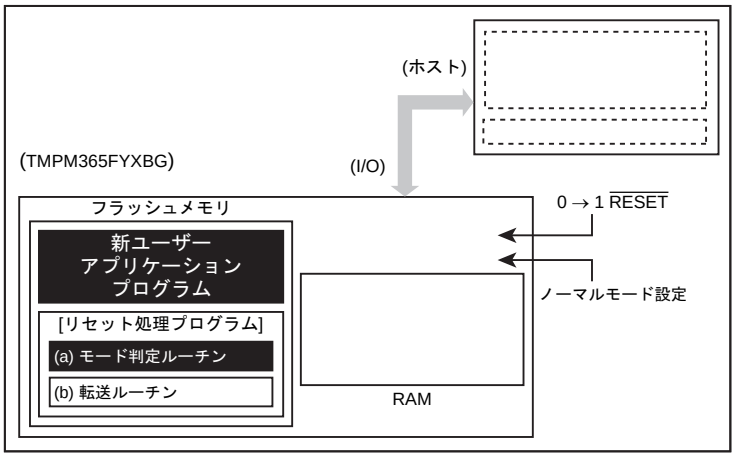
17.4.2.5 Step-5

さらに、RAM 上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



17.4.2.6　Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。

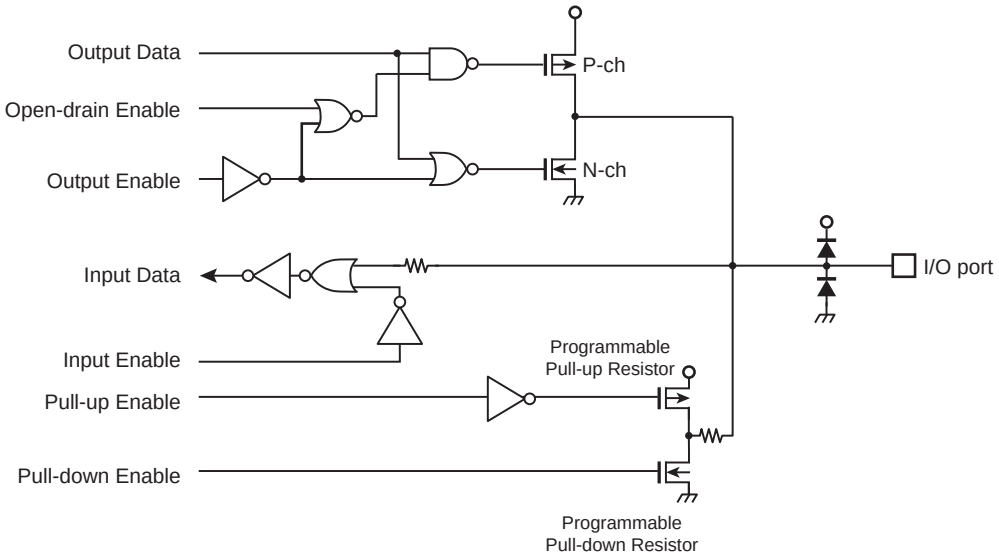


第 18 章　ポート部等価回路図

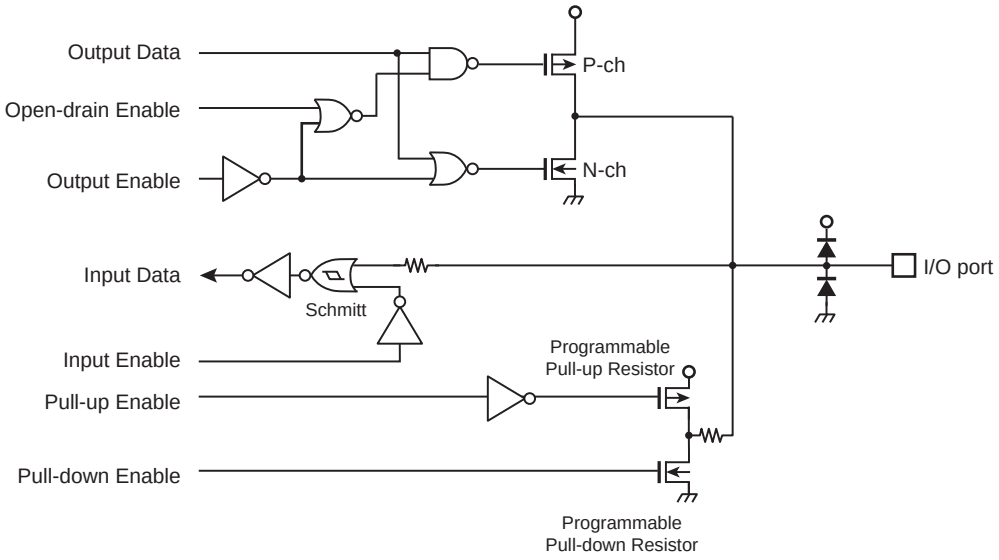
基本的に標準 CMOS ロジック IC「74HCxx」シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十 Ω～数百 Ω 程度です。X2, XT2 のダンピング抵抗値は、図中に typ.値を記入しています。

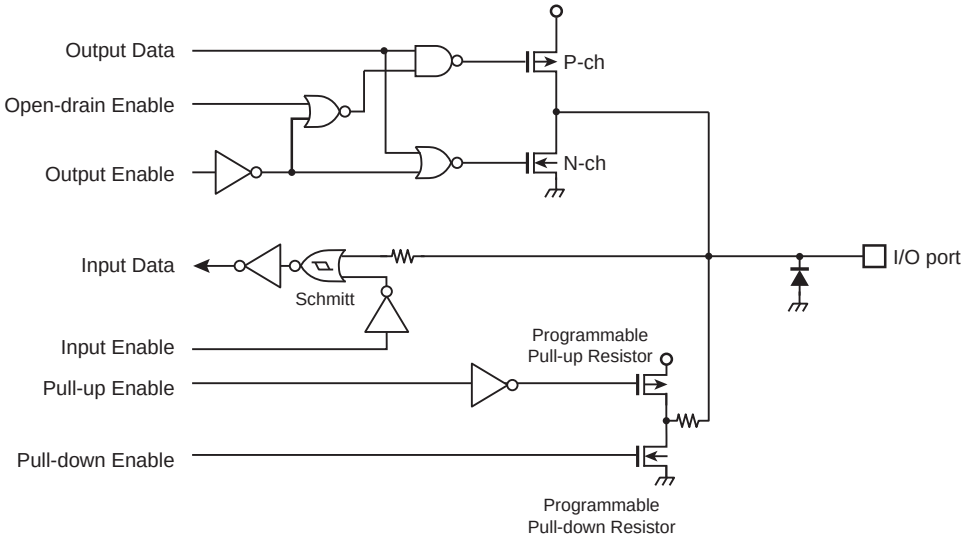
18.1　PA0 ~ 7,PB0 ~ 7



18.2　PC0 ~ 2,PD0 ~ 7,PE0 ~ 7,PF1 ~ 7,PG0 ~ 4,PH0 ~ 4,PI0 ~ 7

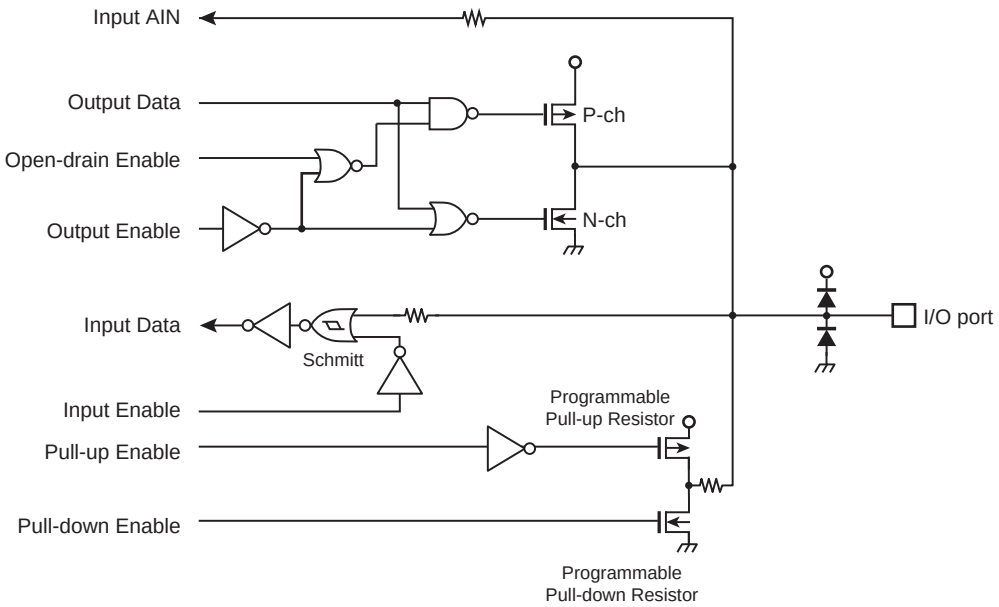


18.3　PG5

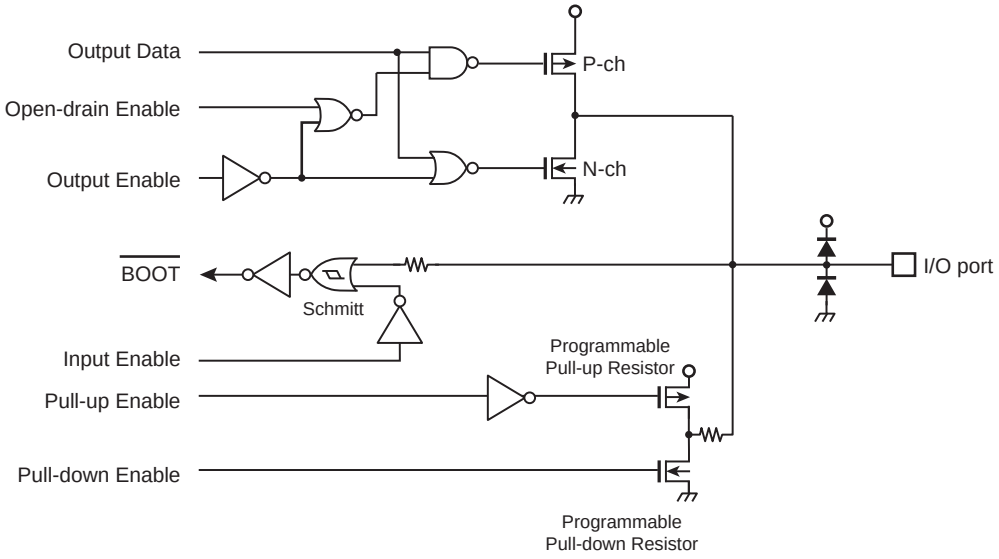


注）入力端子として使用時のみ 5V 入力が可能です。

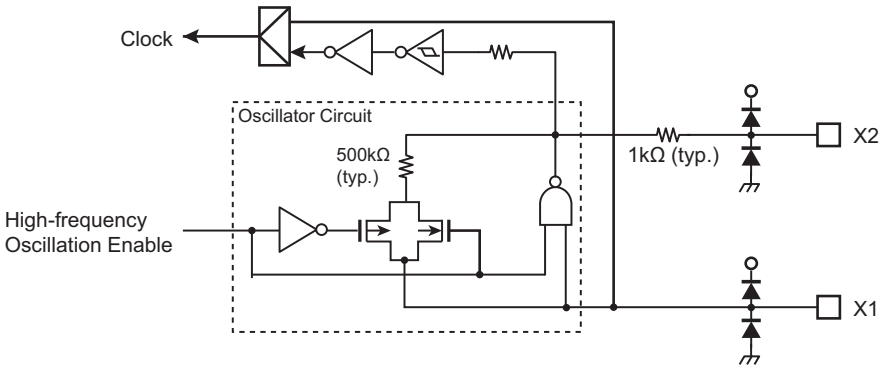
18.4　PJ0 ~ 7,PK0 ~ 3



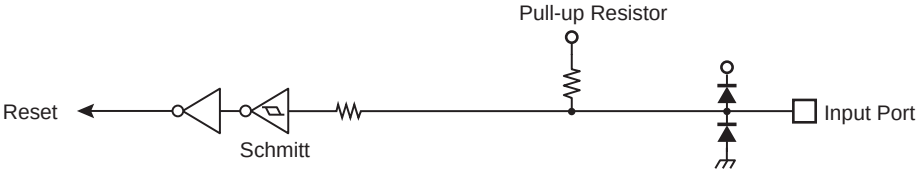
18.5 PF0



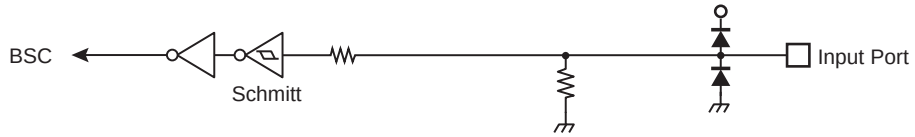
18.6 X1,X2



18.7 $\overline{\text{RESET}}$,$\overline{\text{NMI}}$



18.8　BSC



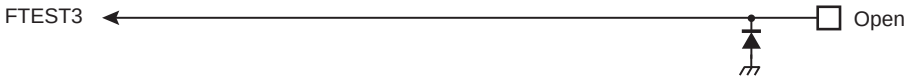
Pull-down Resistor

18.9　MODE



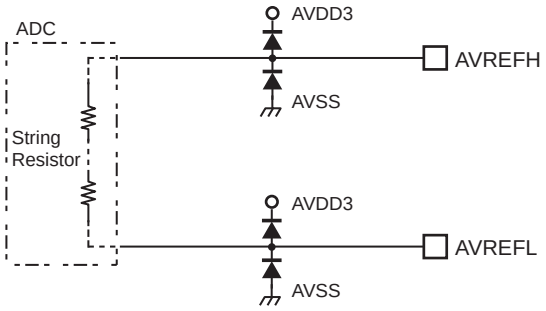
(Note)MODE pin is fixed to GND.

18.10　FTEST3



(Note)FTEST3 pin is fixed to Open.

18.11 AVREFH,AVREFL



第 19 章　電気的特性

19.1　絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD3A	−0.3 ~ 3.9	V
		DVDD3C	−0.3 ~ 3.9	
		AVDD3	−0.3 ~ 3.9	
		RVDD3	−0.3 ~ 3.9	
入力電圧	下記端子を除く	V_{IN1}	−0.3 ~ VDD + 0.3	V
入力電圧	PG5 (5V トレラント入力)	V_{IN2}	−0.3 ~ 5.5	V
低レベル出力電流	1 端子	I_{OL}	5	mA
	合計	ΣI_{OL}	50	
高レベル出力電流	1 端子	I_{OH}	−5	
	合計	ΣI_{OH}	−50	
消費電力(Ta = 85 °C)		PD	600	mW
はんだ付け温度(10 s)		T_{SOLDER}	260	°C
保存温度		T_{STG}	−40 ~ 125	°C
動作温度	Flash W/E 時を除く	T_{OPR}	−40 ~ 85	°C
	Flash W/E 時		0 ~ 70	

注)　絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流, 電圧, 消費電力, 温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

19.2　DC 電気的特性(1/3)

DVSSA = DVSS3C = AVSS = RVSS = DVSSC = 0 V
Ta = −40 ~ 85 °C

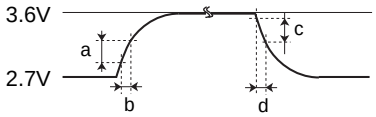
項目		記号	条件		Min.	Typ. (注 1)	Max.	単位
電源電圧 (注 2)	DVDD3A DVDD3C AVDD3 RVDD3	DVDD3A DVDD3C AVDD3 RVDD3	f_{OSC} = 8 ~ 12 MHz fsys = 1 ~ 48 MHz	USB 未使用	2.7	−	3.6	V
				USB 使用時	3.0	−	3.45	
低レベル入力電圧	PA, PB, PC, PD, PE, PF, PG, PH, PI, PJ, PK $\overline{\text{RESET}}$, $\overline{\text{NMI}}$, MODE, BSC	V_{IL1}	2.7 V ≤ DVDD3A ≤ 3.6 V		−0.3	−	0.2 DVDD3A	V
	X1	V_{IL2}	2.7 V ≤ RVDD3 ≤ 3.6 V				0.2 RVDD3	
高レベル入力電圧	PA, PB, PC, PD, PE, PF, PG (PG5 を除く), PH, PI, PJ, PK $\overline{\text{RESET}}$, $\overline{\text{NMI}}$, MODE, BSC	V_{IH1}	2.7 V ≤ DVDD3A ≤ 3.6 V		0.8 DVDD3A	−	DVDD3A + 0.3	
	PG5	V_{IH3}					5.5	
	X1	V_{IH2}	2.7 V ≤ RVDD3 ≤ 3.6 V		0.8 RVDD3		RVDD3 + 0.3	
低レベル出力電圧		V_{OL}	I_{OL} = 2 mA DVDD3A ≥ 2.7 V		−	−	0.4	V
高レベル出力電圧		V_{OH}	I_{OH} = −2 mA DVDD3A ≥ 2.7 V		2.4	−	DVDD3A	
入力リーク電流		I_{LI}	0.0 ≤ V_{IN} ≤ DVDD3A 0.0 ≤ V_{IN} ≤ AVDD3		−	0.02	±5	μA
出力リーク電流		I_{LO}	0.2 ≤ V_{IN} ≤ DVDD3A − 0.2 0.2 ≤ V_{IN} ≤ AVDD3 − 0.2		−	0.05	±10	
リセットプルアップ抵抗		RRST	2.7 V ≤ DVDD3A ≤ 3.6 V		−	50	150	kΩ
シュミット入力幅		VTH	2.7 V ≤ DVDD3A ≤ 3.6 V		0.3	0.6	−	V
プログラマブルプルアップ/ダウン抵抗		PKH	2.7 V ≤ DVDD3A ≤ 3.6 V		−	50	150	kΩ
Pin 容量(電源端子を除く)		C_{IO}	fc = 1 MHz		−	−	10	pF
動作範囲内電源変動レート		VRS	RVDD3 = DVDD3A		−	−	10.0	mV/μs
		VFS			−	−	-3.33	

注 1)　Typ.値は特に指定のない限り Ta = 25 °C, DVDD3A = DVDD3C = AVDD3 = RVDD3 = 3.3 V の値です。

注 2)　DVDD3A, DVDD3C, AVDD3, RVDD3 は同電位で使用してください。

注 3)　DVDD3A, DVDD3C, AVDD3, RVDD3 の最低動作電圧 2.7V (USB 使用時は 3.0V)を下回った場合、AVDD3 を含む全ての電源を遮断し、再度電源を投入してください。

注 4)　VRS, VFS の変動は電気的特性に対して厳しい箇所で測定してください。



VRS = a / b, VFS = c / d

19.3 DC 電気的特性 (2/3)

DVDD3 = DVDD3C = AVDD3 = RVDD3 = 2.7 V ~ 3.6 V(注 2)
Ta = −40 ~ 85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
低レベル出力電流	I_{OL1}	1 端子ごと 2.7 V ≤ DVDD3A ≤ 3.6 V <PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0 ~ PF7, PG0 ~ PG5, PH0 ~ PH4, PI0 ~ PI7, PJ0 ~ PJ7, PK0 ~ PK7>	−	−	2	mA
	ΣI_{OL1}	グループ単位, Port A	−	−	10	
	ΣI_{OL2}	グループ単位, Port B	−	−	10	
	ΣI_{OL3}	グループ単位, Port C	−	−	10	
	ΣI_{OL4}	グループ単位, Port D	−	−	10	
	ΣI_{OL5}	グループ単位, Port E	−	−	10	
	ΣI_{OL6}	グループ単位, Port F	−	−	10	
	ΣI_{OL7}	グループ単位, Port G	−	−	20	
	ΣI_{OL8}	グループ単位, Port H	−	−	10	
	ΣI_{OL9}	グループ単位, Port I	−	−	10	
	ΣI_{OL10}	グループ単位, Port J	−	−	10	
	ΣI_{OL11}	グループ単位, Port K	−	−	10	
	ΣI_{OL}	全端子(全ポート)	−	−	35	
高レベル出力電流	I_{OH1}	1 端子ごと 2.7 V ≤ DVDD3A ≤ 3.6 V <PA0 ~ PA7, PB0 ~ PB7, PC0 ~ PC7, PD0 ~ PD7, PE0 ~ PE7, PF0 ~ PF7, PG0 ~ PG5, PH0 ~ PH4, PI0 ~ PI7, PJ0 ~ PJ7, PK0 ~ PK7>	−	−	-2	mA
	ΣI_{OH1}	グループ単位, Port A	−	−	-10	
	ΣI_{OH2}	グループ単位, Port B	−	−	-10	
	ΣI_{OH3}	グループ単位, Port C	−	−	-10	
	ΣI_{OH4}	グループ単位, Port D	−	−	-10	
	ΣI_{OH5}	グループ単位, Port E	−	−	-10	
	ΣI_{OH6}	グループ単位, Port F	−	−	-10	
	ΣI_{OH7}	グループ単位, Port G	−	−	-10	
	ΣI_{OH8}	グループ単位, Port H	−	−	-10	
	ΣI_{OH9}	グループ単位, Port I	−	−	-10	
	ΣI_{OH10}	グループ単位, Port J	−	−	-10	
	ΣI_{OH11}	グループ単位, Port K	−	−	-10	
	ΣI_{OH}	全端子(全ポート)	−	−	-35	

注 1) DVDD3A, DVDD3C, AVDD3, RVDD3 は同電圧で使用してください。
注 2) USB 使用時の動作電圧は 3.0V ~ 3.45V です。

19.4　DC 電気的特性 (3/3)

DVDD3A = DVDD3C = AVDD3 = RVDD3 = 2.7 V ~ 3.6 V (注 6)
Ta = −40 ~ 85 °C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL (注 2) (注 3)	I_{DD}	ギア比 1/1 fsys = 48 MHz 動作内蔵周辺機能：TMRB、ADC、SIO/UARt、I2C/SIO、USB	−	31.8	42.0	mA
NORMAL (注 2) (注 3)		ギア比 1/1 fsys = 48 MHz 動作内蔵周辺機能：TMRB、ADC、SIO/UART、I2C/SIO	−	22.3	32.0	
IDLE (注 4)		ギア比 1/1 fsys = 48 MHz 周辺機能は全て停止	−	10.0	16.0	
STOP1 (注 5)		−	−	14.1	800	μA

注 1)　Typ. 値は特に指定のない限り Ta = 25 °C, DVDD3A = DVDD3C = AVDD3 = RVDD3 = 3.3 V の値です。
注 2)　I_{DD} NORMAL の実行プログラム：ドライストン ver. 2.1 (内蔵 FLASH 動作)
注 3)　I_{DD} NORMAL には DVDD3A, DVDD3C, AVDD3 に流れる電流は含みません。
注 4)　I_{DD} IDLE には DVDD3A, DVDD3C, AVDD3 , RVDD3 に流れる電流が含まれます。
注 5)　I_{DD} STOP1 には DVDD3A, DVDD3C, AVDD3 , RVDD3 に流れる電流が含まれます。
注 6)　USB 使用時の動作電圧範囲は 3.0V ~ 3.45V です。

19.5 12 ビット AD コンバータ変換特性

DVDD3A = DVDD3C = AVDD3 = RVDD3 = AVREFH = 2.7 V ~ 3.6 V
DVSSA = DVSS3C = AVSS = RVSS = DVSSC = 0 V
Ta = -40 ~ 85 °C

項目		記号	条件	Min	Typ	Max.	単位
アナログ基準電圧(+)		AVREFH	−	2.7	3.3	3.6	V
アナログ入力電圧		VAIN	−	AVSS	−	AVREFH	V
アナログ基準電圧電源電流	AD 変換時	IREF	−	−	1.5	2.0	mA
	AD 非変換時		−	−	0.02	0.1	μA
積分非直線性誤差(INL)		−	AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 0.1 μF 変換時間 ≥ 1.0 μs	−	4	8	LSB
微分非直線性誤差(DNL)				−	2	8	
オフセット誤差				−	3	8	
フルスケール誤差				−	3	8	
積分非直線性誤差(INL)		−	AIN 負荷抵抗 ≤ 600 Ω AIN 負荷容量 ≥ 33 pF 変換時間 ≥ 1.66 μs	−	3	8	
微分非直線性誤差(DNL)				−	2	8	
オフセット誤差				−	4	8	
フルスケール誤差				−	2	8	
変換時間		Tconv	−	1.0	−	10	μs

注 1) **1LSB = (AVREFH - AVSS) / 4096 [V]**
注 2) AD コンバータをのぞく他の周辺回路は停止させた時の特性です。

19.6　AC 電気的特性

19.6.1　AC 測定条件

本章に記載されている AC 特性は、特に指定のない限り以下の条件での測定結果です。

- 出力レベル: High = 0.8 × DVDD3A, 0.8 × DVDD3C
- 出力レベル: Low = 0.2 × DVDD3A, 0.2 × DVDD3C
- 入力レベル: DC 電気的特性の、低レベル入力電圧/高レベル入力電圧参照
- 負荷容量: CL = 30pF

19.6.2　シリアルチャネル (SIO/UART)

19.6.2.1　I/O インタフェースモード

表中の x は SIO の動作クロックの周期を表します。SIO の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1)　SCLK 入力モード

[データ入力]

項目	記号	計算式		40 MHz		48 MHz		単位
		Min	Max.	Min	Max.	Min.	Max.	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	100	−	83.3	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	100	−	83.3	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	200	−	166.6	−	
有効 Data 入力 → SCLK 立ち上がり/立ち下がり(注 1)	t_{SRD}	30	−	30.0	−	30.0	−	
SCLK 立ち上がり/立ち下がり(注 1) → Input Data 保持	t_{HSR}	x + 30	−	55.0	−	50.8	−	

[データ出力]

項目	記号	計算式		40 MHz		48 MHz		単位
		Min	Max.	Min	Max.	Min.	Max.	
SCLK クロック High 幅(入力)	t_{SCH}	4x	−	120 (注 3)	−	107.5 (注 3)	−	ns
SCLK クロック Low 幅(入力)	t_{SCL}	4x	−	120 (注 3)	−	107.5 (注 3)	−	
SCLK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	240	−	215	−	
Output Data → SCLK 立ち上がり/立ち下がり(注 1)	t_{OSS}	$t_{SCY}/2 - 3x - 45$	−	0.00 (注 2)	−	0.00 (注 2)	−	
SCLK 立ち上がり/立ち下がり(注 1) → Output Data 保持	t_{OHS}	$t_{SCY}/2$	−	120	−	107.5	−	

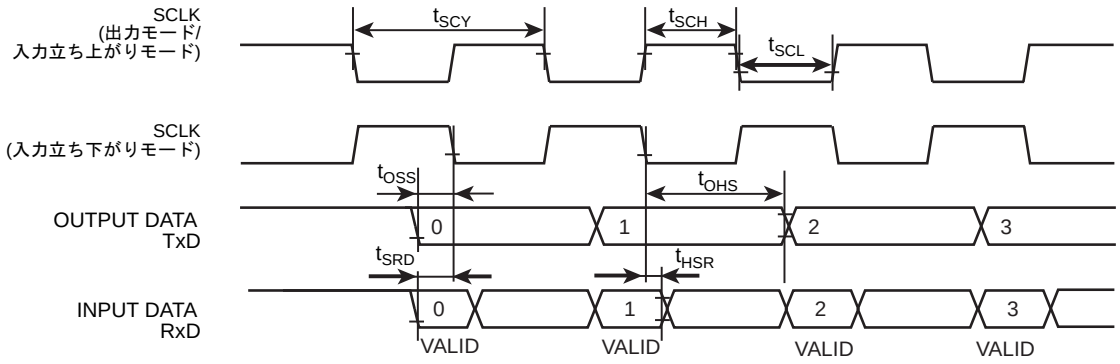
注 1)　SCLK 立ち上がり/立ち下がり : SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

注 2)　計算値がマイナスにならない範囲の SCLK 周期で使用してください。

注 3)　t_{OSS} がマイナスにならない最小値を示しています。

(2) SCLK 出力モード

項目	記号	計算式		40 MHz		48 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCLK 周期 (プログラマブル)	t_{SCY}	4x	−	100	−	83.3	−	ns
Output Data ← SCLK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 30$	−	20	−	11.7	−	
SCLK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 30$	−	20	−	11.7	−	
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45	−	45	−	45	−	
SCLK 立ち上がり → Input Data 保持	t_{HSR}	0	−	0	−	0	−	



19.6.3　シリアルバスインタフェース(I2C/SIO)

19.6.3.1　I2C モード

x は I2C の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

n は SBIxCR<SCK>で指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCL クロック周波数	t_{SCL}	0	−	0	100	0	400	kHz
スタートコンディション保持	$t_{HD;\ STA}$	−	−	4.0	−	0.6	−	μs
SCL クロック Low 幅(入力) (注 1)	t_{LOW}	−	−	4.7	−	1.3	−	μs
SCL クロック High 幅(入力) (注 2)	t_{HIGH}	−	−	4.0	−	0.6	−	μs
再スタートコンディション セットアップ時間	$t_{SU;\ STA}$	(注 5)	−	4.7	−	0.6	−	μs
データ保持時間(入力) (注 3, 4)	$t_{HD;\ DAT}$	−	−	0.0	−	0.0	−	μs
データセットアップ時間	$t_{SU;\ DAT}$	−	−	250	−	100	−	ns
ストップコンディションセットアップ時間	$t_{SU;\ STO}$	−	−	4.0	−	0.6	−	μs
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	(注 5)	−	4.7	−	1.3	−	μs

注 1)　SCL クロック LOW 幅(出力) : $(2^{n-1} + 58)/x$

注 2)　SCL クロック HIGH 幅(出力) : $(2^{n-1} + 14)/x$

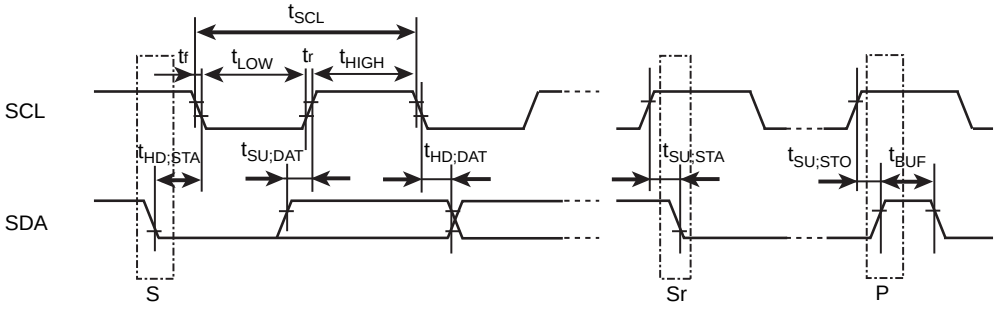
通信規格上、標準モード/高速モードの最高速は 100 kHz/400 kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記注 1,注 2 の計算式にて設定されますのでご注意願います。

注 3)　データ保持時間(出力)は内部 SCL から 4x の時間です。

注 4)　フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立ち下がり時の不安定状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL / SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守るように設計してください。

注 5)　ソフトウエアに依存します。

注 6)　フィリップススペックでは、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

19.6.3.2 クロック同期式 8 ビット SIO モード

x は SIO の動作クロックの周期を表します。I2C の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1) SCLK 入力モード(SCK デューティ 50%の場合)

[データ入力]

項目	記号	計算式		40 MHz		48 MHz		単位
		Min	Max.	Min	Max.	Min.	Max.	
SCK クロック High 幅(入力)	t_{SCH}	4x	−	100	−	83.3	−	ns
SCK クロック Low 幅(入力)	t_{SCL}	4x	−	100	−	83.3	−	
SCK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	200	−	166	−	
有効 Data 入力 → SCLK 立ち上がり	t_{SRD}	30 − x	−	5	−	9	−	
SCLK 立ち上がり→ Input Data 保持	t_{HSR}	2x + 30	−	80	−	71.7	−	

[データ出力]

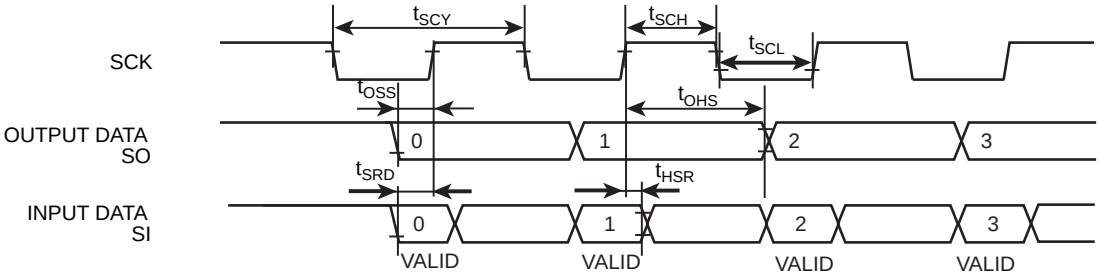
項目	記号	計算式		40 MHz		48 MHz		単位
		Min	Max.	Min	Max.	Min.	Max.	
SCK クロック High 幅(入力)	t_{SCH}	4x	−	120 (注 2)	−	108 (注 2)	−	ns
SCK クロック Low 幅(入力)	t_{SCL}	4x	−	120 (注 2)	−	108 (注 2)	−	
SCK 周期	t_{SCY}	$t_{SCH} + t_{SCL}$	−	240	−	215	−	
Output Data →SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 3x - 45$	−	0 (注 1)	−	0 (注 1)	−	
SCK 立ち上がり→ Output Data 保持	t_{OHS}	$t_{SCY}/2 + x$	−	145	−	128	−	

注 1) 計算値がマイナスにならない範囲の SCK 周期で使用してください。

注 2) t_{OSS} がマイナスにならない最小値を示しています。

(2) SCK 出力モード(SCK デューティ 50%の場合)

項目	記号	計算式		40 MHz		48 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
SCK 周期(プログラマブル)	t_{SCY}	16x	−	400	−	333	−	ns
Output Data → SCK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 20$	−	180	−	147	−	
SCK 立ち上がり → Output Data 保持	t_{OHS}	$t_{SCY}/2 - 20$	−	180	−	147	−	
有効 Data 入力 → SCK 立ち上がり	t_{SRD}	x + 45	−	70	−	65.8	−	
SCK 立ち上がり → Input Data 保持	t_{HSR}	0	−	0	−	0	−	


SCK
OUTPUT DATA
SO
INPUT DATA
SI
tSCY
tSCH
tSCL
tOSS
tOHS
tSRD
tHSR
0
1
2
3
VALID
VALID
VALID
VALID

19.6.4 16 ビットタイマ／イベントカウンタ

19.6.4.1 イベントカウンタ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		48 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
クロック低レベルパルス幅	t_{VCKL}	2x + 100	−	150	−	142	−	ns
クロック高レベルパルス幅	t_{VCKH}	2x + 100	−	150	−	142	−	ns

19.6.4.2 キャプチャ

x は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40 MHz		48 MHz		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	
低レベルパルス幅	t_{CPL}	2x + 100	−	150	−	142	−	ns
高レベルパルス幅	t_{CPH}	2x + 100	−	150	−	142	−	ns

19.6.5 外部割り込み

表中の x はシステムクロック fsys の周期を表します。

1. STOP1 解除割り込み以外

項目	記号	計算式		40 MHz		48 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
INT0 ~ 9 低レベルパルス幅	t_{INTAL}	x + 100	−	125	−	121	−	ns
INT0 ~ 9 高レベルパルス幅	t_{INTAH}	x + 100	−	125	−	121	−	ns

2. STOP1 解除割り込み

項目	記号	Min.	Max.	単位
INT0 ~ 9 低レベルパルス幅	t_{INTBL}	100	−	ns
INT0 ~ 9 高レベルパルス幅	t_{INTBH}	100	−	ns

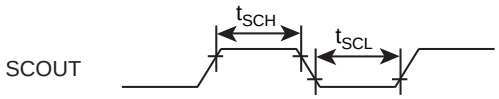
19.6.6　$\overline{\text{NMI}}$

項目	記号	Min	Max.	単位
$\overline{\text{NIM}}$ 低レベルパルス幅	t_{INTCL}	100	−	ns

19.6.7　SCOUT 端子 AC 特性

項目	記号	計算式		40 MHz		48 MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
高レベルパルス幅	t_{SCH}	0.5T − 5	−	7.5	−	5.4	−	ns
低レベルパルス幅	t_{SCL}	0.5T − 5	−	7.5	−	5.4	−	ns

注)　表中の T は SCOUT 出力波形の周期を示します。



19.6.8　$\overline{\text{ADTRG}}$ トリガ入力端子 AC 特性

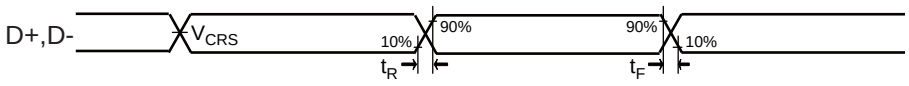
x はシステムクロック fsys と同じ周期です。この周期はクロックギアの設定に依存します。

項目	記号	計算式		40MHz		48MHz		単位
		Min.	Max.	Min.	Max.	Min.	Max.	
低レベルパルス幅	T_{adl}	2 x + 20	−	32.5	−	32.5	−	ns
高レベルパルス幅	T_{adh}	2 x + 20	−	32.5	−	32.5	−	

19.6.9　USB タイミング

DVDD3A = DVDD3C = AVDD3 = RVDD3 = 3.0 ~ 3.45V, fsys = 48MHz

項目	記号	Min.	Max.	単位
D+,D−立ち上り時間	t_R	4	20	ns
D+,D−立ち下がり時間	t_F	4	20	
出力信号交差電圧	V_{CRS}	1.3	2.0	V



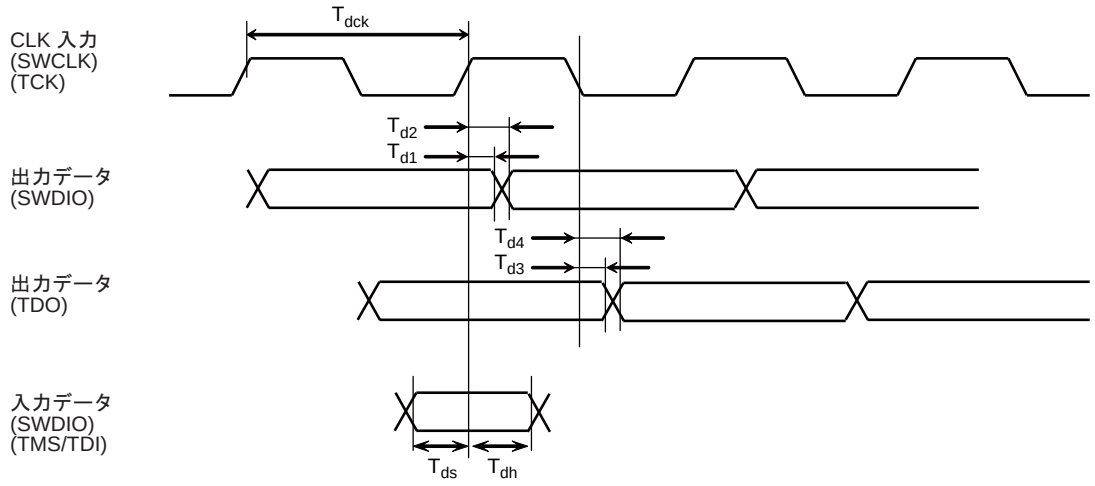
19.6.10 デバッグ通信

19.6.10.1 SWD インタフェース

項目	記号	Min.	Max.	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立ち上がり →出力データ保持	T_{d1}	4	–	
CLK 立ち上がり → 出力データ有効	T_{d2}	–	30	
入力データ有効 ←CLK 立ち上がり	T_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	–	

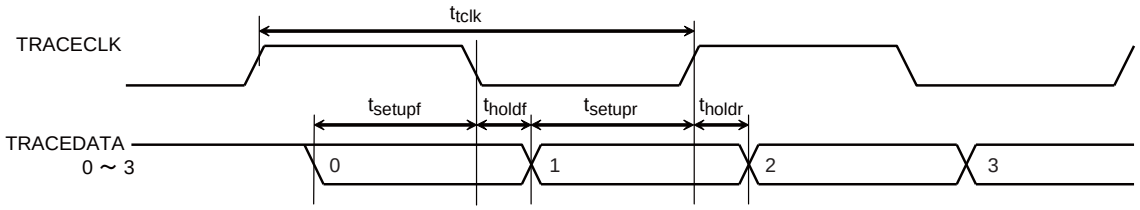
19.6.10.2 JTAG インタフェース

項目	記号	Min.	Max.	単位
CLK 周期	T_{dck}	100	–	ns
CLK 立ち下がり →出力データ保持	T_{d3}	4	–	
CLK 立ち下がり → 出力データ有効	T_{d4}	–	50	
入力データ有効 ←CLK 立ち上がり	T_{ds}	20	–	
CLK 立ち上がり → 入力データ保持	T_{dh}	15	–	



19.6.11　ETM トレース

項目	記号	Min.	Max.	Unit
TRACECLK 周期	t_{tclk}	50	−	ns
TRACEDATA 有効 ← TRACECLK 立ち上がり	t_{setupr}	2	−	ns
TRACECLK 立ち上がり → TRACEDATA 保持	t_{holdr}	1	−	ns
TRACEDATA 有効 ← TRACECLK 立ち下がり	t_{setupf}	2	−	ns
TRACECLK 立ち下がり → TRACEDATA 保持	t_{holdf}	1	−	ns



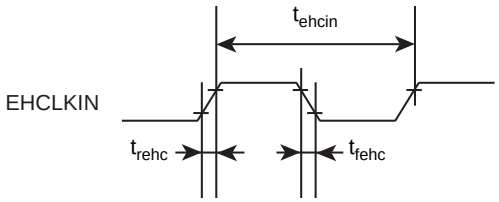
19.6.12　内蔵発振回路特性

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数	IHOSC	Ta = -40 to 85°C	9	10	11	MHz

注)　発振周波数精度を要求するシステムクロック(fsys)としては使用しないでください。

19.6.13　外部クロック入力

項目	記号	Min.	Typ.	Max.	単位
クロック周波数	t_{ehcin}	8	−	48	MHz
クロック Duty	−	45	−	55	%
クロック立上がり時間	t_{rehc}	−	−	10	ns
クロック立下がり時間	t_{fehc}	−	−	10	ns



19.6.14 フラッシュ特性

項目	条件	Min.	Typ.	Max.	単位
フラッシュメモリ書き換え保証回数	DVDD3A = DVDD3C = AVDD3 = RVDD3 = 2.7 V ~ 3.6 V, Ta = 0 ~ 70°C	–	–	100	回

19.7　発振回路

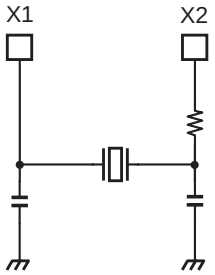


図 19-1 高周波発振回路例

注)　発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

19.7.1　セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

19.7.2　水晶発振子

本製品は京セラ(株)の水晶発振子を用いて評価しています。

京セラ(株)の製品詳細につきましては、同社ホームページを参照してください。

19.7.2.1　プリント基板の設計に関するご注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長にご設計下さい。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。

詳しくは、発振子メーカーのホームページを参照してください。

19.8 取り扱い上のご注意

19.8.1 電源投入時の電源の立ち上がりについて

電源投入時の電源立ち上がりについては、下記の範囲としてください。

TMPM365FYXBG には複数の電源端子があります。それぞれの端子について、電源投入を全て同時に行なってください。

また、電源投入は外部リセット端子($\overline{\text{RESET}}$)を"Low"にした状態で行ってください。

電源端子 = DVDD3A, DVDD3C, AVDD3, RVDD3
C = 0.1μF
Ta = -40 ~ 85 °C

項目	条件	Min.	Typ.	Max.	単位
電源投入時の電源の立ち上がり	0V → 2.7V ~ 3.6V	−	−	10	mV/μs

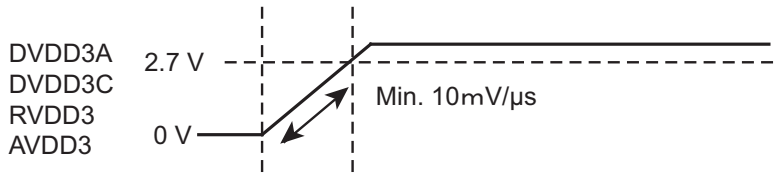
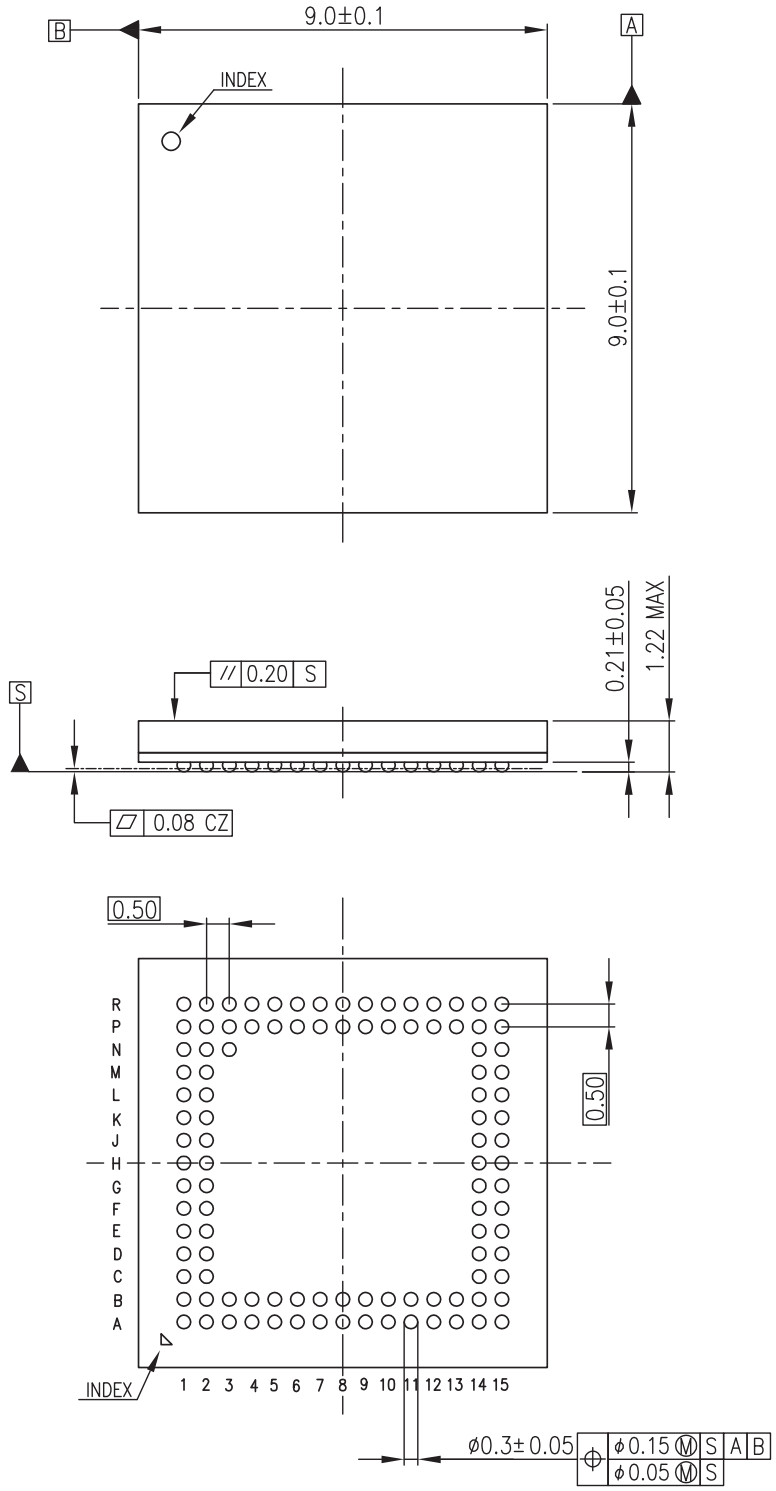


図 19-2 電源投入時の電源電圧変化の勾配

第 20 章　パッケージ寸法図

パッケージ型名: P-LFBGA105-0909-050-001

"Unit:mm"



製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。