

TOSHIBA

東芝 オリジナル CMOS 32 ビット マイクロコントローラ

TLCS-900/H1 シリーズ

TMP92CH21FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社 32 ビットマイクロコントローラ TLCS-900/H1 シリーズ、TMP92CH21 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されまことをお願い致します。

Not Recommended
for New Design

低電圧/低消費電力

CMOS 32 ビット マイクロコントローラ TMP92CH21FG/JTMP92CH21

1. 概要と特長

TMP92CH21 は、低電圧/低消費電力動作が可能な高速・高機能 32 ビットマイクロコントローラです。TMP92CH21FG は 144 ピンフラットパッケージ製品です。JTMP92CH21 は 144 パッドチップ製品です。

特長は次のとおりです。

- (1) オリジナル 32 ビット CPU (900/H1_CPU 使用)
 - TLCS-900L1 と命令ニモニックで互換
 - 16 M バイトのリニアアドレス空間
 - 汎用レジスタ&レジスタバンク方式
 - マイクロ DMA: 8 チャンネル (250 ns/4 バイト@f_{sys} = 20 MHz)
- (2) 最小命令実行時間: 50 ns (@f_{sys} = 20 MHz)
- (3) 内蔵 RAM: 16 K バイト (プログラム、データ、表示メモリ用として使用可能)
内蔵 ROM: 8 K バイト (Boot 専用メモリ)
ユーザープログラムを USB、UART または NAND フラッシュメモリから内蔵 RAM へのロードが可能です。
- (4) 外部メモリ拡張
 - 512 M バイト (プログラム、データ) まで拡張可能
 - 外部データバス 8/16/32 ビット幅共存可能
…ダイナミックデータバスサイジング
 - セパレートバスシステム
- (5) メモリコントローラ
 - チップセレクト出力: 4 チャンネル
- (6) 8 ビットタイマ: 4 チャンネル
- (7) 16 ビットタイマ/イベントカウンタ: 1 チャンネル
- (8) 汎用シリアルインタフェース: 2 チャンネル
 - UART/同期両モード対応: 2 チャンネル (チャンネル 0、チャンネル 1)
 - IrDA ver1.0 (115.2 kbps) 対応モード選択可能: 1 チャンネル (チャンネル 0)
- (9) USB コントローラ: 1 チャンネル
 - USB (REV1.1) に対応
 - フルスピード (12 Mbps) 対応 (低速には非対応)
 - エンドポイント 0: 制御用 64 バイト 1FIFO
エンドポイント 1: バルク出力 64 バイト 2FIFO
エンドポイント 2: バルク入力 64 バイト 2FIFO
エンドポイント 3: 割り込み 8 バイト 1FIFO
 - ディスクリプタ RAM: 384 バイト
- (10) I²S (Inter-IC Sound) インタフェース: 1 チャンネル
 - I²S バス SIO モード選択可能 (マスタ、送信のみに対応)
 - 32 バイトの FIFO バッファ内蔵

(11) LCD コントローラ

- STN モノクロ、4、8、16 階調表示に対応
- TFT/STN、256/4096 カラーに対応
- RAM 内蔵型 LCD ドライバ対応

(12) SDRAM コントローラ: 1 チャンネル

- 16 M、64 M、128 M、256 M および 512 M ビットの SDR (Single data rate) SDRAM に対応
- LCD 表示用 RAM、データ RAM としてだけでなく、SDRAM から直接プログラムの動作が可能

(13) RTC (リアルタイムクロック)

- TC8521A を基本とした仕様

(14) キーオンウェイクアップ (キー入力割込み)

(15) 10 ビット AD コンバータ (サンプルホールド回路内蔵): 4 チャンネル

(16) タッチスクリーンインタフェースに対応
外付けトランジスタ削除可能

(17) ウォッチドッグタイマ

(18) メロディ/アラームジェネレータ

- メロディ: 4~5461 Hz のクロックを出力
- アラーム: 8 種類のアラームパターンを出力
- 5 種類のインターバル割込みを出力

(19) MMU

- 3 ローカルエリア/8 バンク方式により 512 M バイトまで拡張可能
- 各々のローカルエリアごとにプログラム、リードデータ、ライトデータおよび LCD 表示データのバンク設定が可能

(20) 割り込み機能: 50 本

- CPU 9 本 …… ソフトウェア割り込み命令、未定義命令実行違反
- 内部 34 本 …… 7 レベルの優先順位の設定が可能
- 外部 7 本 …… 7 レベルの優先順位の設定が可能
(6 本はエッジの極性選択可能)

(21) 入出力ポート: 82 端子 (データバス 16 ビット、アドレスバス 24 ビット、 \overline{RD} 端子を除く)

(22) NAND フラッシュメモリのインタフェース: 2 チャンネル

- NAND フラッシュメモリへの接続が容易
- ECC (エラー検出) 計算に対応 (SLC タイプ用)

(23) スタンバイ機能

- 3 種類の HALT モード … IDLE2 (プログラマブル)、IDLE1、STOP
- スタンバイモード時における各端子の状態をビット単位にて設定可能

(24) トリプルクロック制御機能

- クロック逡倍回路 (PLL) を内蔵し、外付け 9 MHz の発振子から USB クロック 48 MHz と CPU へのクロック 36 MHz の供給が可能
- クロックギア機能: 高周波クロック $fc \sim fc/16$ まで切り替え可能
- 時計用クロック ($f_s = 32.768 \text{ kHz}$)

(25) 動作電圧

- $V_{CC} = 3.0 \sim 3.6 \text{ V}$ ($f_c \text{ max} = 40 \text{ MHz}$)
- $V_{CC} = 2.7 \sim 3.6 \text{ V}$ ($f_c \text{ max} = 27 \text{ MHz}$)

(26) パッケージ

- 144ピン QFP: LQFP144-P-1616-0.40C
- 144パッドチップ型製品の供給も可能です。詳細は当社営業窓口までお問い合わせください。

Not Recommended
for New Design

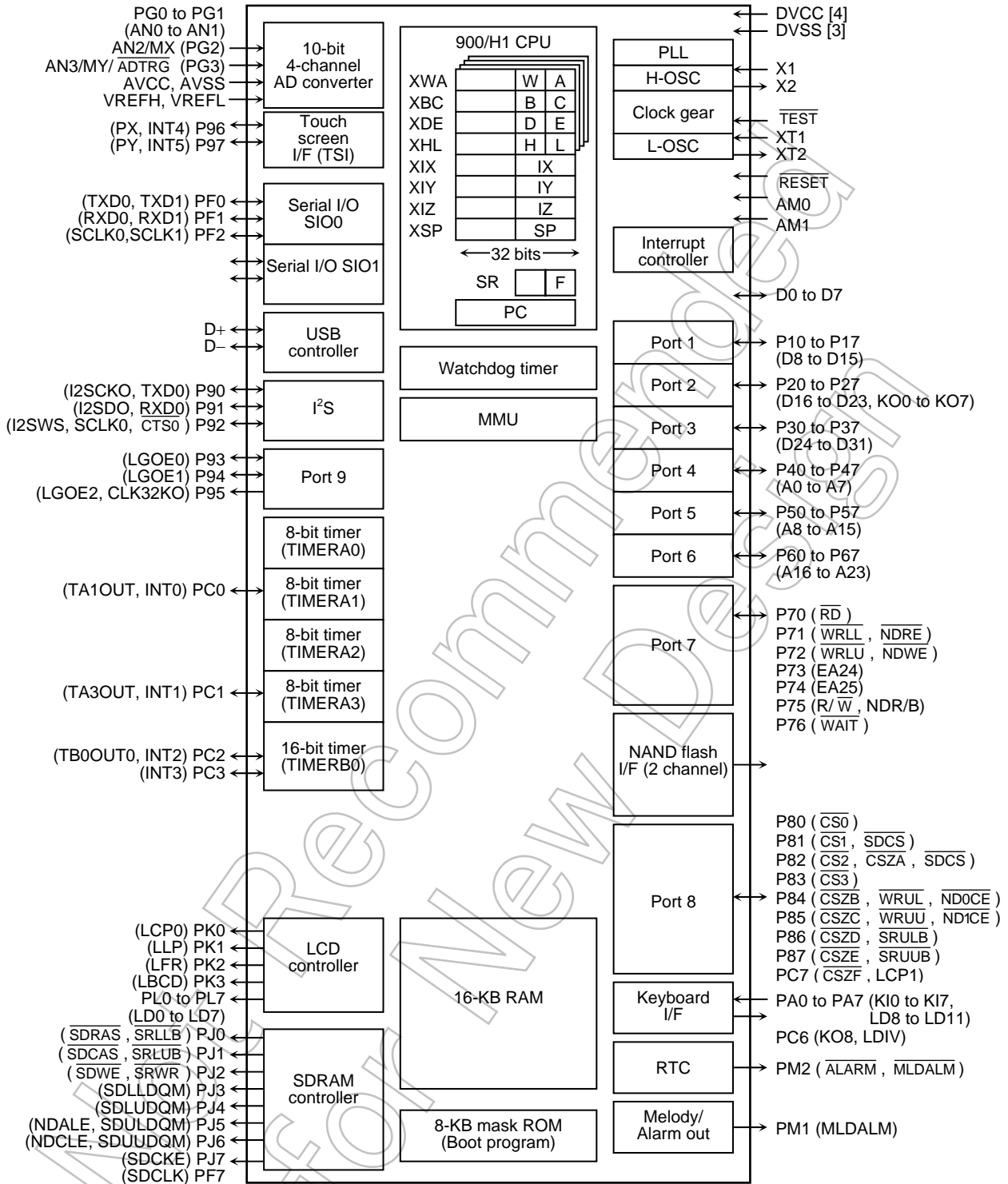


図 1.1 TMP92CH21 ブロック図

2. ピン配置とピン機能

TMP92CH21FGのピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP92CH21FGピン配置図は、図 2.1.1のとおりです。

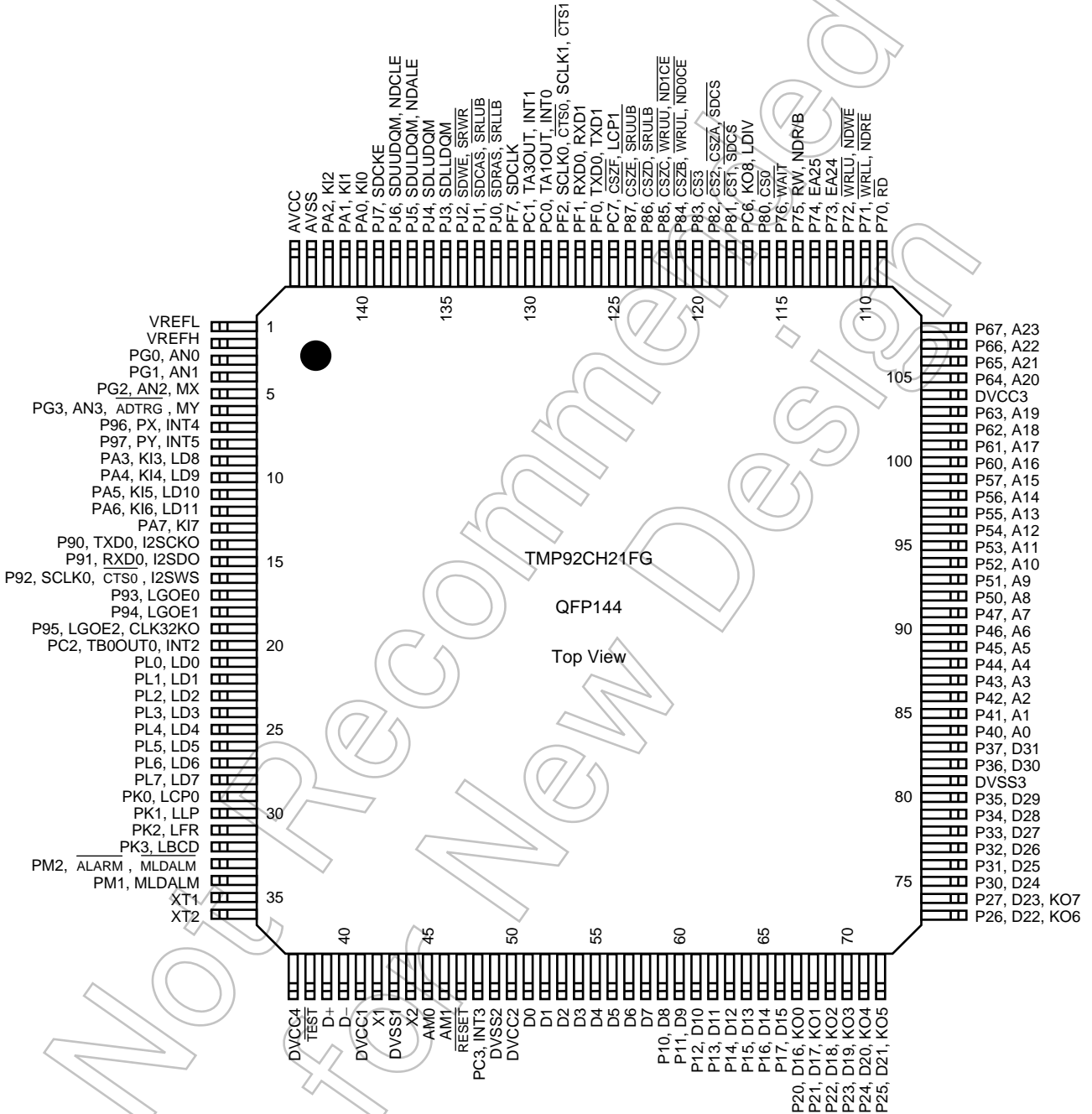


図 2.1.1 ピン配置図 (144ピン QFP)

2.2 PAD座標値

(チップサイズ 5.98 mm × 6.42 mm)

単位: μm

表 2.2.1 ピン配置図 (144 ピンチップ)

ピン No.	名称	X 座標	Y 座標	ピン No.	名称	X 座標	Y 座標	ピン No.	名称	X 座標	Y 座標
1	VREFL	-2852	2671	49	DVSS2	-488	-3072	97	P55	2848	815
2	VREFH	-2852	2546	50	DVCC2	-338	-3072	98	P56	2848	941
3	PG0	-2852	2421	51	D0	-200	-3072	99	P57	2848	1066
4	PG1	-2852	2296	52	D1	-75	-3072	100	P60	2848	1191
5	PG2	-2852	2171	53	D2	49	-3072	101	P61	2848	1316
6	PG3	-2852	2045	54	D3	174	-3072	102	P62	2848	1441
7	P96	-2852	1920	55	D4	300	-3072	103	P63	2848	1566
8	P97	-2852	1795	56	D5	425	-3072	104	DVCC3	2848	1692
9	PA3	-2852	1270	57	D6	550	-3072	105	P64	2848	1823
10	PA4	-2852	1145	58	D7	675	-3072	106	P65	2848	1974
11	PA5	-2852	1020	59	P10	800	-3072	107	P66	2848	2130
12	PA6	-2852	895	60	P11	925	-3072	108	P67	2848	2292
13	PA7	-2852	769	61	P12	1050	-3072	109	P70	2460	3065
14	P90	-2852	644	62	P13	1176	-3072	110	P71	2295	3065
15	P91	-2852	519	63	P14	1301	-3072	111	P72	2127	3065
16	P92	-2852	394	64	P15	1426	-3072	112	P73	1964	3065
17	P93	-2852	269	65	P16	1551	-3072	113	P74	1807	3065
18	P94	-2852	144	66	P17	1676	-3072	114	P75	1654	3065
19	P95	-2852	18	67	P20	1801	-3072	115	P76	1506	3065
20	PC2	-2852	-106	68	P21	1927	-3072	116	P80	1361	3065
21	PL0	-2852	-231	69	P22	2052	-3072	117	PC6	1226	3065
22	PL1	-2852	-356	70	P23	2177	-3072	118	P81	1101	3065
23	PL2	-2852	-481	71	P24	2303	-3072	119	P82	976	3065
24	PL3	-2852	-606	72	P25	2460	-3072	120	P83	851	3065
25	PL4	-2852	-732	73	P26	2848	-2279	121	P84	726	3065
26	PL5	-2852	-857	74	P27	2848	-2138	122	P85	600	3065
27	PL6	-2852	-982	75	P30	2848	-1982	123	P86	475	3065
28	PL7	-2852	-1107	76	P31	2848	-1831	124	P87	350	3065
29	PK0	-2852	-1232	77	P32	2848	-1687	125	PC7	225	3065
30	PK1	-2852	-1357	78	P33	2848	-1562	126	PF0	100	3065
31	PK2	-2852	-1482	79	P34	2848	-1437	127	PF1	-24	3065
32	PK3	-2852	-1608	80	P35	2848	-1311	128	PF2	-150	3065
33	PM2	-2852	-1892	81	DVSS3	2848	-1186	129	PC0	-275	3065
34	PM1	-2852	-2017	82	P36	2848	-1061	130	PC1	-400	3065
35	XT1	-2852	-2142	83	P37	2848	-936	131	PF7	-525	3065
36	XT2	-2852	-2444	84	P40	2848	-811	132	PJ0	-650	3065
37	DVCC4	-2465	-3072	85	P41	2848	-686	133	PJ1	-775	3065
38	TEST	-2339	-3072	86	P42	2848	-560	134	PJ2	-901	3065
39	D+	-2062	-3072	87	P43	2848	-435	135	PJ3	-1026	3065
40	D-	-1875	-3072	88	P44	2848	-310	136	PJ4	-1151	3065
41	DVCC1	-1598	-3072	89	P45	2848	-185	137	PJ5	-1276	3065
42	X1	-1472	-3072	90	P46	2848	-60	138	PJ6	-1401	3065
43	DVSS1	-1347	-3072	91	P47	2848	65	139	PJ7	-1526	3065
44	X2	-1126	-3072	92	P50	2848	190	140	PA0	-1652	3065
45	AM0	-1001	-3072	93	P51	2848	315	141	PA1	-1777	3065
46	AM1	-876	-3072	94	P52	2848	440	142	PA2	-1902	3065
47	RESET	-750	-3072	95	P53	2848	565	143	AVSS	-2275	3065
48	PC3	-625	-3072	96	P54	2848	690	144	AVCC	-2400	3065

2.3 ピン名称と機能

入出力ピンの名称と機能は表 2.3.1~表 2.3.5のとおりです。

表 2.3.1 ピン名称と機能 (1/5)

ピン名称	ピン数	入出力	機能
D0~D7	8	入出力	データ: データバス D0~D7
P10~P17 D8~D15	8	入出力 入出力	ポート 1: ビット単位で入出力の設定可能な入出力ポート データ: データバス D8~D15
P20~P27 D16~D23 K00~K07	8	入出力 入出力 出力	ポート 2: ビット単位で入出力の設定可能な入出力ポート データ: データバス D16~D23 キー出力 0~7: キースキャンストロブ用端子 (オープンドレイン設定可能)
P30~P37 D24~D31	8	入出力 入出力	ポート 3: 入出力ポート データ: データバス D24~D31
P40~P47 A0~A7	8	出力 出力	ポート 4: 出力ポート アドレス: アドレスバス A0~A7
P50~P57 A8~A15	8	出力 出力	ポート 5: 出力ポート アドレス: アドレスバス A8~A15
P60~P67 A16~A23	8	入出力 出力	ポート 6: ビット単位で入出力の設定可能な入出力ポート アドレス: アドレスバス A16~A23
P70 \overline{RD}	1	出力 出力	ポート 70: 出力ポート リード: 外部メモリをリードするためのストロブ信号
P71 \overline{WRLL} \overline{NDRE}	1	入出力 出力 出力	ポート 71: 入出力ポート ライト: D0~D7 端子のデータをライトするためのストロブ信号 NAND フラッシュ用リードイネーブル: 外部 NAND フラッシュをリードするためのストロブ信号
P72 \overline{WRLU} \overline{NDWE}	1	入出力 出力 出力	ポート 72: 入出力ポート 上位ライト: D8~D15 端子のデータをライトするためのストロブ信号 NAND フラッシュ用ライトイネーブル: 外部 NAND フラッシュをライトするためのストロブ信号

表 2.3.2 ピン名称と機能 (2/5)

ピン名称	ピン数	入出力	機能
P73 EA24	1	出力 出力	ポート 73: 出力ポート 拡張用アドレス EA24
P74 EA25	1	出力 出力	ポート 74: 出力ポート 拡張用アドレス EA25
P75 R/ \bar{W} NDR/B	1	入出力 出力 入力	ポート 75: 入出力ポート リード/ライト: 1 はリード、ダミーサイクルを、0 はライトサイクルを表す NAND フラッシュ Ready (1)/Busy (0) 入力
P76 \bar{WAIT}	1	入出力 入力	ポート 76: 入出力ポート ウェイト: バスウェイトの要求入力
P80 $\bar{CS0}$	1	出力 出力	ポート 80: 出力ポート チップセレクト 0: アドレスが指定したアドレス領域内なら "Low" を出力
P81 $\bar{CS1}$ SDCS	1	出力 出力 出力	ポート 81: 出力ポート チップセレクト 1: アドレスが指定したアドレス領域内なら "Low" を出力 SDRAM チップセレクト: アドレスが SDRAM アドレス領域内なら "0" を出力
P82 $\bar{CS2}$ \bar{CSZA} SDCS	1	出力 出力 出力	ポート 82: 出力ポート チップセレクト 2: アドレスが指定したアドレス領域内なら "Low" を出力 拡張チップセレクト ZA: アドレスが特定のアドレス領域内なら "0" を出力 SDRAM チップセレクト: アドレスが SDRAM アドレス領域内なら "0" を出力
P83 $\bar{CS3}$	1	出力 出力	ポート 83: 出力ポート チップセレクト 3: アドレスが指定したアドレス領域内なら "Low" を出力
P84 \bar{WRUL} \bar{CSZB} ND0CE	1	出力 出力 出力 出力	ポート 84: 出力ポート ライト: D16~D23 端子の書き込みデータ用ストロブ信号を出力 拡張チップセレクト ZB: アドレスが特定のアドレス領域内なら "0" を出力 NAND フラッシュ 0 チップセレクト: NAND フラッシュ 0 が許可される時 "0" を出力
P85 \bar{WRUU} \bar{CSZC} ND1CE	1	出力 出力 出力	ポート 85: 出力ポート ライト: D24~D31 端子の書き込みデータ用ストロブ信号を出力 拡張チップセレクト ZC: アドレスが特定のアドレス領域内なら "0" を出力 NAND フラッシュ 1 チップセレクト: NAND フラッシュ 1 が許可される時 "0" を出力
P86 \bar{CSZD} \bar{SRULB}	1	出力 出力 出力	ポート 86: 出力ポート 拡張チップセレクト ZD: アドレスが特定のアドレス領域内なら "0" を出力 D16~D23 端子の SRAM 用データイネーブル
P87 \bar{CSZE} \bar{SRUUB}	1	出力 出力 出力	ポート 87: 出力ポート 拡張チップセレクト ZE: アドレスが特定のアドレス領域内なら "0" を出力 D24~D31 端子の SRAM 用データイネーブル

表 2.3.3 ピン名称と機能 (3/5)

ピン名称	ピン数	入出力	機能
P90 TXD0 I2SCKO	1	入出力 出力 出力	ポート 90: 入出力ポート シリアル 0 送信 データ: オープンドレイン出力プログラマブル I ² S クロック 出力
P91 RXD0 I2SDO	1	入出力 入力 出力	ポート 91: 入出力ポート (シュミット入力) シリアル 0 受信 データ I ² S データ 出力
P92 SCLK0 CTS0 I2SWS	1	入出力 入出力 入力 出力	ポート 92: 入出力ポート (シュミット入力) シリアル 0 クロック入出力 シリアル 0 データ送信可能 (送信クリア) I ² S ワードセレクト出力
P93 LGOE0	1	入出力 出力	ポート 93: 入出力ポート 外部 TFT-LCD ドライバ用出力カインープル 0
P94 LGOE1	1	入出力 出力	ポート 94: 入出力ポート 外部 TFT-LCD ドライバ用出力カインープル 1
P95 CLK32KO LGOE2	1	出力 出力 出力	ポート 95: 出力ポート 32.768 kHz クロック出力 外部 TFT-LCD ドライバ用出力カインープル 2
P96 INT4 PX	1	入力 入力 出力	ポート 96: 入力ポート (シュミット入力) 割り込み要求端子 4: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 X-プラス: タッチスクリーンパネル用 X+ 接続端子
P97 INT5 PY	1	入力 入力 出力	ポート 97: 入力ポート (シュミット入力) 割り込み要求端子 5: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 Y-プラス: タッチスクリーンパネル用 Y+ 接続端子
PA0~PA2 KI0~KI2	3	入力 入力	ポート A0~A2 ポート: 入力ポート専用端子 キー入力 0~2: キーオンウェイクアップ 0~2 用端子 (シュミット入力、プルアップ抵抗付き)
PA3~PA6 KI3~KI6 LD8~LD11	4	入力 入力 出力	ポート A3~A6 ポート: 入力ポート専用端子 キー入力 3~6: キーオンウェイクアップ 3~6 用端子 (シュミット入力、プルアップ抵抗付き) LCD ドライバ用データ バス 8~11
PA7 KI7	1	入力 入力	ポート A7 ポート: 入力ポート専用端子 キー入力 7: キーオンウェイクアップ 7 用端子 (シュミット入力、プルアップ抵抗付き)
PC0 INT0 TA1OUT	1	入出力 入力 出力	ポート C0: 入出力ポート (シュミット入力) 割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 8 ビットタイマ 1 出力: タイマ 1 出力
PC1 INT1 TA3OUT	1	入出力 入力 出力	ポート C1: 入出力ポート (シュミット入力) 割り込み要求端子 1: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 8 ビットタイマ 3 出力: タイマ 3 出力
PC2 INT2 TB0OUT0	1	入出力 入力 出力	ポート C2: 入出力ポート (シュミット入力) 割り込み要求端子 2: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子 タイマ B0 出力
PC3 INT3	1	入出力 入力	ポート C3: 入出力ポート (シュミット入力) 割り込み要求端子 3: 立ち上がり/立ち下がりエッジをプログラム可能な割り込み要求端子
PC6 KO8 LDIV	1	入出力 出力 出力	ポート C6: 入出力ポート キー出力 8: キースキャンストロブ専用端子 (オープンドレイン出力プログラム可能) 外部 TFT-LCD ドライバ用データ反転イネーブル
PC7 CSZF LCP1	1	入出力 出力 出力	ポート C7: 入出力ポート 拡張チップセレクト ZF: アドレスが特定のアドレス領域内なら "0" を出力 外部 TFT-LCD ドライバ用シフトクロック 1

表 2.3.4 ピン名称と機能 (4/5)

ピン名称	ピン数	入出力	機能
PF0 TXD0 TXD1	1	入出力 出力 出力	ポート F0: 入出力ポート (シュミット入力) シリアル 0 送信データ: オープンドレイン出力プログラム可能 シリアル 1 送信データ: オープンドレイン出力プログラム可能
PF1 RXD0 RXD1	1	入出力 入力 入力	ポート F1: 入出力ポート (シュミット入力) シリアル 0 受信データ シリアル 1 受信データ
PF2 SCLK0 CTS0 SCLK1 CTS1	1	入出力 入出力 入力 入出力 入力	ポート F2: 入出力ポート (シュミット入力) シリアル 0 クロック入出力 シリアル 0 データ送信可能 (送信クリア) シリアル 1 クロック入出力 シリアル 1 データ送信可能 (送信クリア)
PF7 SDCLK	1	出力 出力	ポート F7: 出力ポート SDRAM 用クロック (SDRAM を使用しない場合、システムクロック出力として使用できます)
PG0~PG1 AN0~AN1	2	入力 入力	ポート G0~G1: 入力ポート専用端子 アナログ入力 0~1: AD コンバータ入力端子
PG2 AN2 MX	1	入力 入力 出力	ポート G2: 入力ポート専用端子 アナログ入力 2: AD コンバータ入力端子 X-マイナス: タッチパネル用 X-接続端子
PG3 AN3 MY ADTRG	1	入力 入力 出力 入力	ポート G3: 入力ポート専用端子 アナログ入力 3: AD コンバータ入力端子 Y-マイナス: タッチパネル用 Y-接続端子 AD トリガ: AD 起動リクエスト信号
PJ0 SDRAS SRLLB	1	出力 出力 出力	ポート J0: 出力ポート SDRAM 用ロウアドレスストローブ D0~D7 端子の SRAM 用データイネーブル
PJ1 SDCAS SRLUB	1	出力 出力 出力	ポート J1: 出力ポート SDRAM 用カラムアドレスストローブ D8~D15 端子の SRAM 用データイネーブル
PJ2 SDWE SRWR	1	出力 出力 出力	ポート J2: 出力ポート SDRAM 用ライトイネーブル SRAM 用ライトイネーブル: 書き込みデータ用ストローブ信号
PJ3 SDLLDQM	1	出力 出力	ポート J3: 出力ポート D0~D7 端子の SDRAM 用データイネーブル
PJ4 SDLUDQM	1	出力 出力	ポート J4: 出力ポート D08~D15 端子の SDRAM 用データイネーブル
PJ5 SDULDQM NDALE	1	入出力 出力 出力	ポート J5: 入出力ポート D16~D23 端子の SDRAM 用データイネーブル NAND フラッシュ用アドレスラッチイネーブル
PJ6 SDUUDQM NDCLE	1	入出力 出力 出力	ポート J6: 入出力ポート D24~D31 端子の SDRAM 用データイネーブル NAND フラッシュ用コマンドラッチイネーブル
PJ7 SDCKE	1	出力 出力	ポート J7: 出力ポート SDRAM 用クロックイネーブル

注) PJ5, PJ6 の出力機能 1(SDRAM 用 SDULDQM, SDUUDQM)と出力機能 2(NAND フラッシュ用 NDALE, NDCLE)は、どちらか一方しか選択できません。よって、1つのシステムで 32 ビットバスの SDRAM と NAND フラッシュは同時に使用できません。

表 2.3.5 ピン名称と機能 (5/5)

ピン名称	ピン数	入出力	機能
PK0 LCP0	1	出力 出力	ポート K0: 出力ポート LCD ドライバ出力端子
PK1 LLP	1	出力 出力	ポート K1: 出力ポート LCD ドライバ出力端子
PK2 LFR	1	出力 出力	ポート K2: 出力ポート LCD ドライバ出力端子
PK3 LB CD	1	出力 出力	ポート K3: 出力ポート LCD ドライバ出力端子
PL0~PL3 LD0~LD3	4	出力 出力	ポート L0~L3: 出力ポート LCD ドライバ用データバス
PL4~PL7 LD4~LD7	4	入出力 出力	ポート L4~L7: 入出力ポート LCD ドライバ用データバス
$\overline{\text{TEST}}$	1	入力	TEST 用端子です。V _{CC} に接続してください。
PM1 MLDALM	1	出力 出力	ポート M1: 出力ポート メロディ/アラーム出力端子
PM2 $\overline{\text{ALARM}}$ MLDALM	1	出力 出力 出力	ポート M2: 出力ポート RTC アラーム出力端子 メロディ/アラーム出力端子 (反転)
D+, D-	2	入出力	USB データ 接続 端子 USB を使用しない場合は、両端子とも V _{CC} 側にプルアップしてください。
AM0, AM1	2	入力	動作モード: AM1 = "0"、AM0 = "1" 固定 外部 16 ビットバススタート AM1 = "1"、AM0 = "0" 固定 外部 32 ビットバススタート AM1 = "1"、AM0 = "1" 固定 BOOT (32 ビット内部 MROM) スタート
X1/X2	2	入出力	高周波発振器接続入出力端子
XT1/XT2	2	入出力	低周波発振器接続入出力端子
RESET	1	入力	リセット: TMP92CH21 が初期化されます (プルアップ抵抗付き、シュミット入力)。
VREFH	1	入力	AD コンバータ用基準電源入力端子 (H)
VREFL	1	入力	AD コンバータ用基準電源入力端子 (L)
AVCC	1	-	AD コンバータ用電源端子
AVSS	1	-	AD コンバータ用 GND 端子 (0 V)
DVCC	4	-	電源端子 (全 DVCC 端子を電源端子に接続してください。)
DVSS	3	-	GND 端子 (0 V) (全 DVSS 端子を GND (0 V) に接続してください。)

注) USB を使用時は、X1/X2 端子に 9.0MHz の発振子を使用してください。

3. 動作説明

ここでは、TMP92CH21 の機能、および基本動作についてブロックごとに説明します。

3.1 CPU

TMP92CH21 は高性能な高速 32 ビットの CPU (900/H1 CPU) が内蔵されています。

3.1.1 CPUの概要

「TLCS-900/H1 CPU」は「TLCS-900/L1 CPU」をベースに、より高速処理を可能にするために、内部および外部のデータバス幅を 32 ビットに拡張した高性能な高速 CPU です。

「TLCS-900/H1 CPU」の概要を、表 3.1.1 に示します。

表 3.1.1 TMP92CH21 の概要

項目	TMP92CH21
CPU アドレスバス幅	24 ビット
CPU データバス幅	32 ビット
内部動作周波数	最大 20 MHz
最小バスサイクル	1 クロックアクセス (50 ns@ f _{SYS} = 20 MHz)
内蔵 RAM	32 ビット 1 クロックアクセス
内蔵ブート ROM	32 ビット 2 クロックアクセス
内蔵 I/O	8/16 ビット 2 クロックアクセスまたは 8/16 ビット 5-6 クロックアクセス
外部メモリ (SRAM、マスク ROM など)	8/16/32 ビット 2 クロックアクセス (ウェイト挿入可能)
外部メモリ (SDRAM)	16/32 ビット 1 クロックアクセス
外部メモリ (NAND フラッシュ)	8 ビット 4 クロックアクセス (ウェイト挿入可能)
最小命令実行サイクル	1 クロック (50 ns@ f _{SYS} = 20 MHz)
条件付分岐命令	2 クロック (100 ns@ f _{SYS} = 20 MHz)
命令キューバッファ	12 バイト
命令セット	TLCS-900/L1 命令コード 互換 (ただし、LDX 命令なし)
CPU モード	マキシマムモードのみ
マイクロ DMA	8 チャネル

3.1.2 リセット動作

TMP92CH21 にリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも 20 システムクロック (16 μ s @ $f_c = 40$ MHz)、 $\overline{\text{RESET}}$ 入力端子を“L”レベルにしてください。

リセットで PLL は停止し、PLL 出力は非選択となり、クロックギアは 1/16 にセットされます。

よって、システムクロックは 1.25 MHz ($f_c = 40$ MHz) で動作します。

リセットが受け付けられると、CPU は下記の動作を行います。

- プログラムカウンタ“PC”を、メモリ FFFF00H 番地~FFFF02H 番地に格納されているリセットベクタに従い以下に示すようにセットします。

PC<7:0>	←	FFFF00H 番地のデータ
PC<15:8>	←	FFFF01H 番地のデータ
PC<23:16>	←	FFFF02H 番地のデータ
- スタックポインタ XSP を 00000000H にセット
- ステータスレジスタ SR のビット<IFF2:0>を“111”にセット (割り込みレベルのマスク・レジスタをレベル 7 にセット)
- ステータスレジスタ SR のビット<RFP1:0>を“00”にクリア (レジスタバンク 0 にセット)

リセットが解除されると、セットされたプログラムカウンタ“PC”に従い、命令のフェッチと実行を開始します。なお、上記以外の CPU 内部のレジスタは変化しません。

またリセットが受け付けられると、内蔵 I/O および入出力ポートおよびその他の端子は、下記に示すように初期化されます。

- 内蔵 I/O のレジスタを初期化 (初期値は、第 5 章「特殊レジスタ一覧表」を参照してください。)
- 入出力ポートを汎用入力ポートあるいは出力ポートにセット

$\overline{\text{RESET}}$ 入力端子が“H”になり、リセット解除されると、直ちに内部のリセットが解除されます。

パワーオンリセットを採用する場合、電源供給が安定するまでは、メモリコントローラ制御信号が不安定であるため、接続されている外部メモリのバックアップデータが書き替えられる可能性があります。

図 3.1.1 に TMP92CH21 のリセットタイミング動作例を、図 3.1.2 にリセットタイミングチャートを示します。

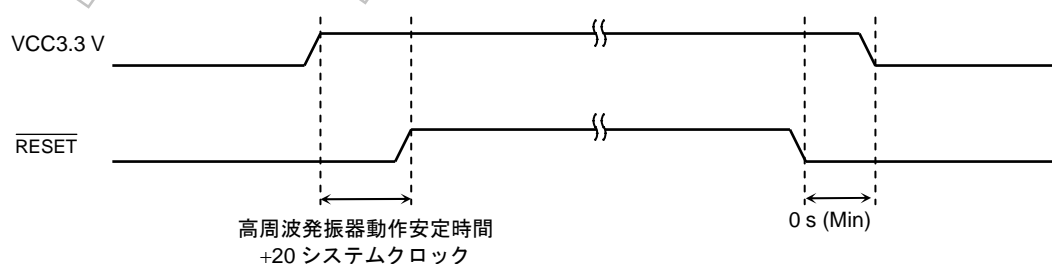


図 3.1.1 リセットタイミング動作例

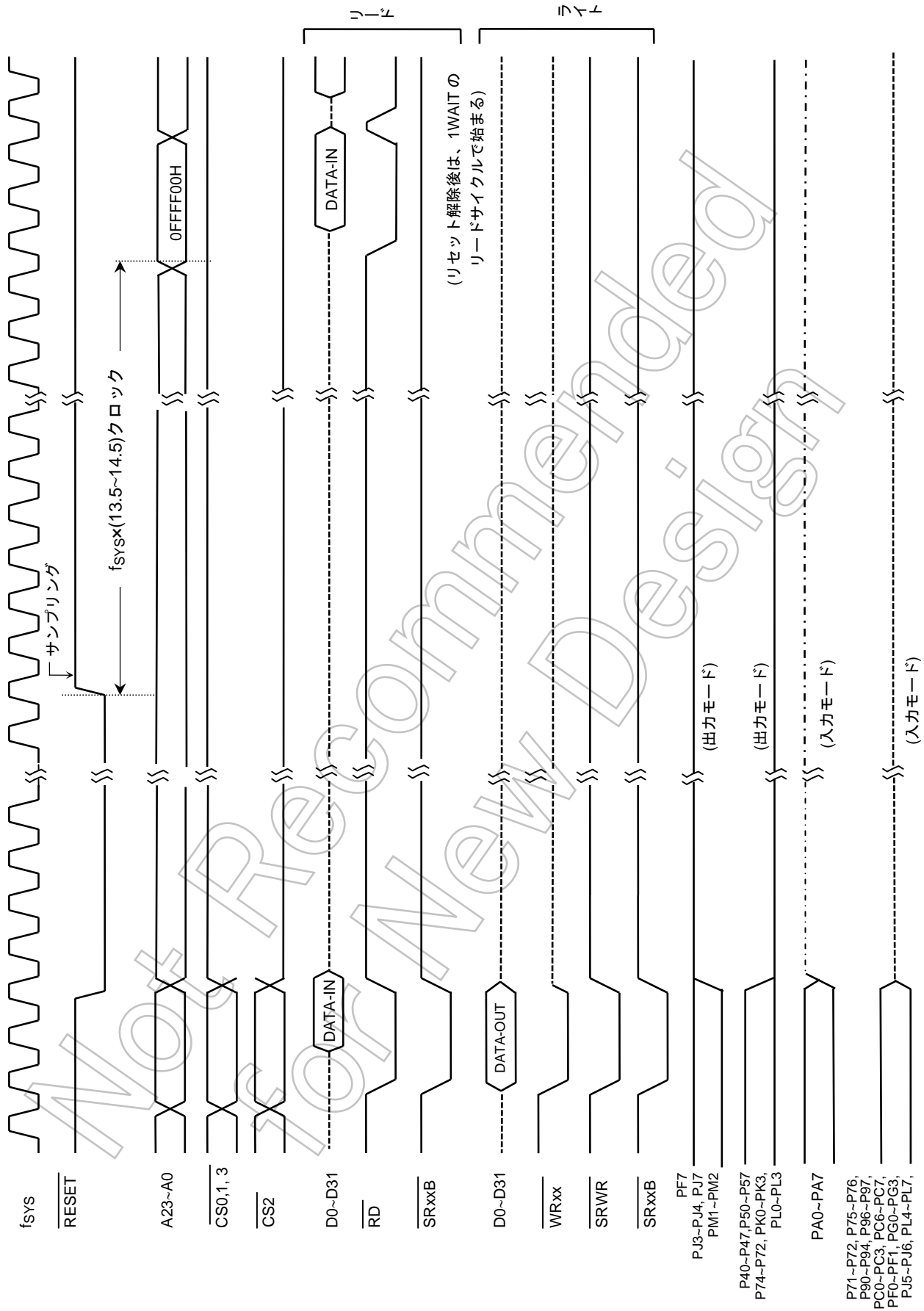



図 3.1.2 TMP92CH21 リセットタイミングチャート

3.1.3 AM0 およびAM1 の設定

AM1 およびAM0 端子の設定は表 3.1.2のようになります。

表 3.1.2 動作モード セットアップ

動作モード	モード設定入力端子		
	RESET	AM1	AM0
16 ビット外部バススタート (マルチ 16 モード)		0	1
32 ビット外部バススタート (マルチ 32 モード)		1	0
ブート (32 ビット内蔵 MROM) スタート (ブートモード)		1	1

Not Recommended for New Design

3.2 メモリマップ

図 3.2.1はTMP92CH21 のメモリマップ図です。

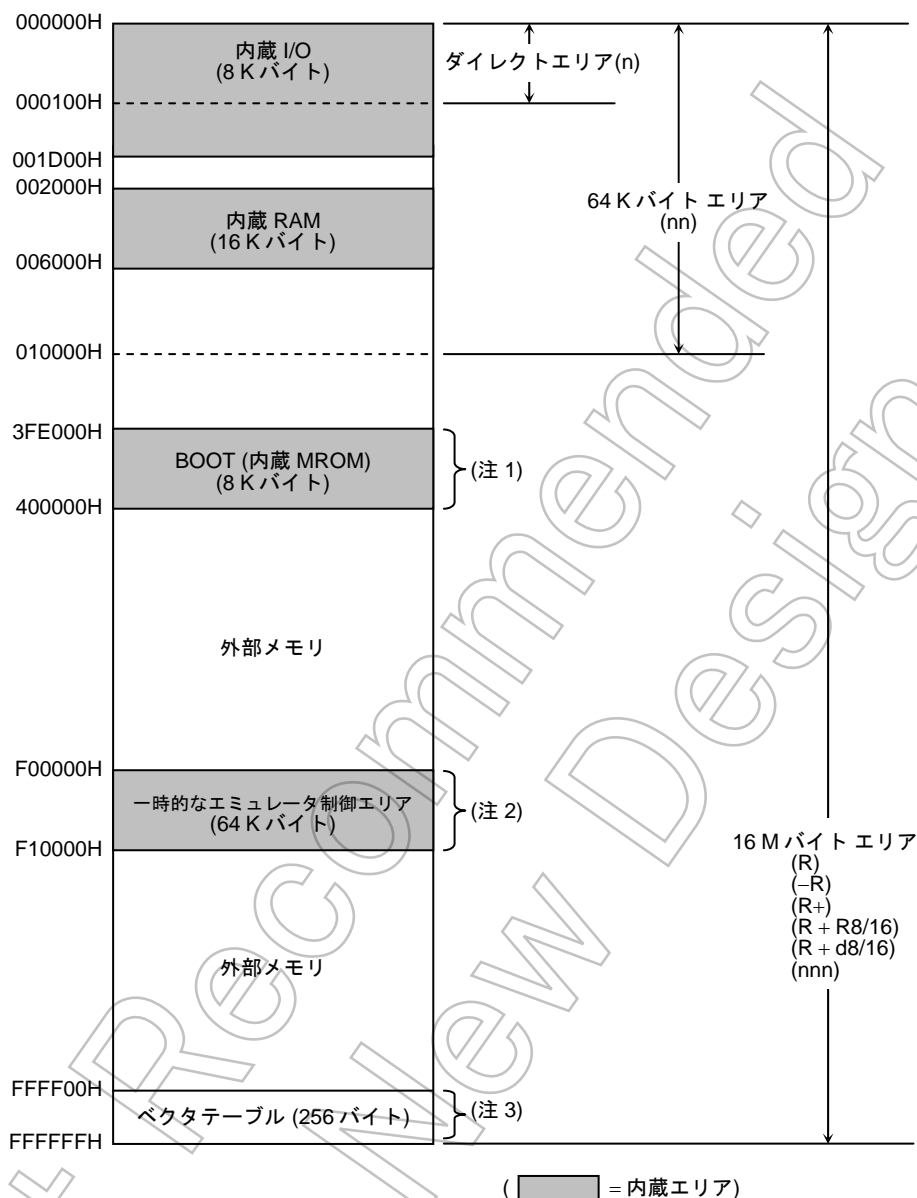


図 3.2.1 メモリマップ

注 1) ブートプログラム (内蔵 MROM) はブートモードのみ配置されます。他のスタートモードでは 3FE000H~3FFFFFFH のエリアで外部メモリに配置されます。

注 2) エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータ制御のために使用されるため、ユーザーはその空間を使用することができません。

注 3) 最後の 16 バイトの空間 (FFFFFF0H~FFFFFFFH) は、内部エリア空間として予約されているので、使用することができません。

注 4) 仮エミュレータ用空間にアクセスすると、 \overline{WR} 信号と \overline{RD} 信号が動作します。拡張メモリ使用の際は注意してください。

3.3 クロック機能およびスタンバイ機能

TMP92CH21 は (1) クロックギア、(2) クロック逡倍回路 (PLL)、(3) スタンバイ制御、(4) ノイズ低減回路などの機能を内蔵しています。これらの機能は低電力かつ低ノイズのシステムになっています。

この章は下記に示すような構成になっています。

3.3.1 クロック系統ブロック図

3.3.2 SFR説明

3.3.3 システムクロック制御

3.3.4 クロック逡倍回路(PLL)

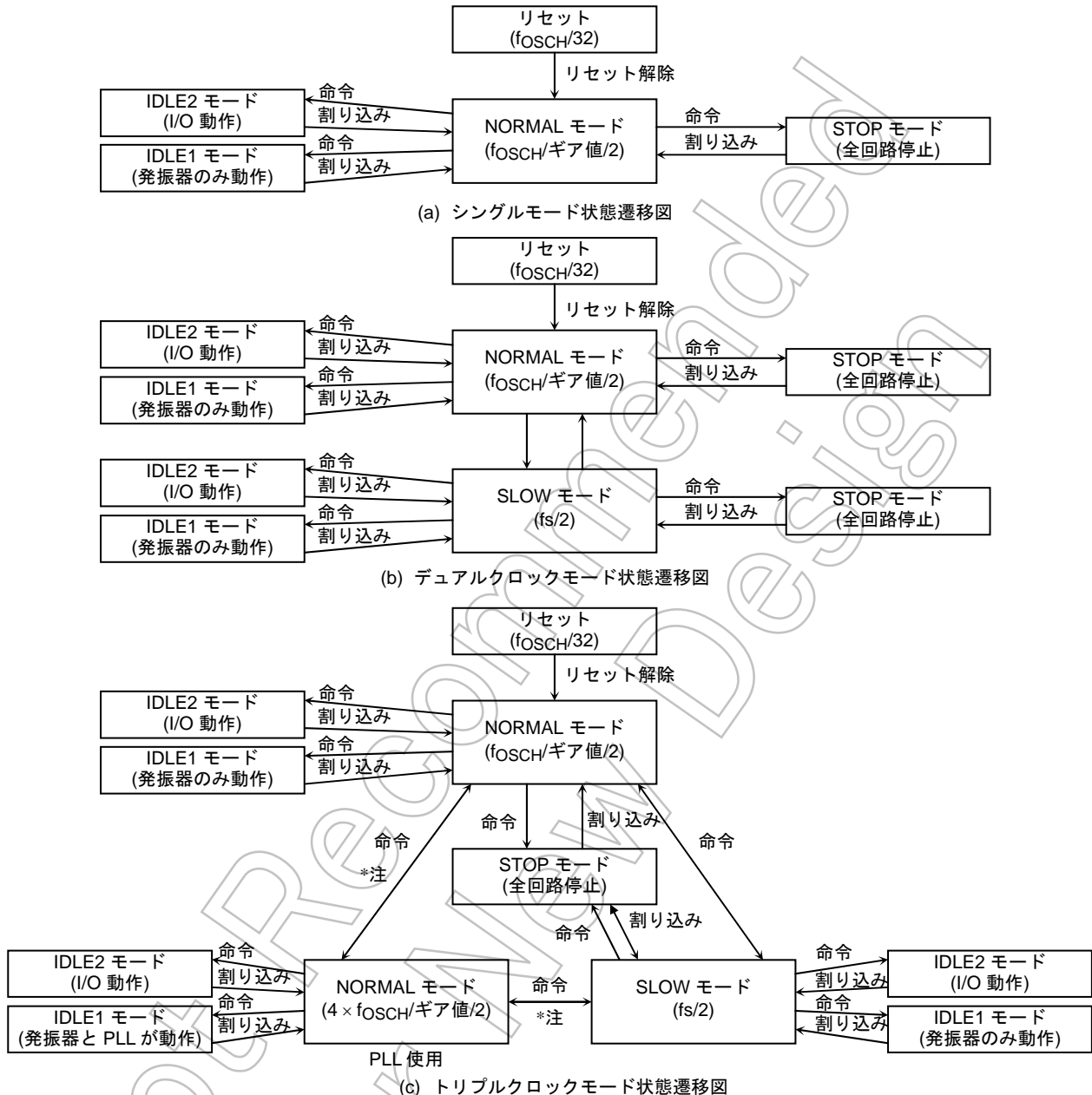
3.3.5 ノイズ低減回路

3.3.6 スタンバイ制御

Not Recommended
for New Design

クロックの動作モードとしては、シングルクロックモード (X1、X2 端子のみ) とデュアルクロックモード (X1、X2 と XT1、XT2 端子)、(c) トリプルクロックモード (X1、X2、XT1 と XT2 端子と PLL) の 3 モードがあります。

図 3.3.1 に動作モード別状態遷移図を示します。



*注)

1. SLOW モードから PLL 使用 NORMAL モードに切り替える場合、SLOW モードからの PLL の制御はできません。(PLL 起動/停止/内部クロック切り替え、PLL_{CR0}<PLLON>、PLL_{CR1}<FCSEL>レジスタへの書き込み)
2. PLL 使用の NORMAL モードから NORMAL モードに切り替える場合、次の設定に従ってください。
 - 1) CPU クロックの切り替え (PLL_{CR0}<FCSEL> ← "0")
 - 2) PLL 回路を停止 (PLL_{CR1}<PLLON> ← "0")
3. PLL 使用の NORMAL モードから STOP モードへの直接切り替えはできません。必ず、一度 NORMAL モードに設定してから STOP モードに切り替えてください。また、高周波発振の停止時は PLL を停止させたあとに高速発振器を停止させてください。

図 3.3.1 動作モード別状態遷移図

X1、X2 端子より入力されるクロック周波数を fosCH、XT1、XT2 端子より入力されるクロック周波数を fs、SYSCR1<SYSCK>で選択されたクロックを f_{PPH}、f_{PPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.3.1 システムクロック系統ブロック図

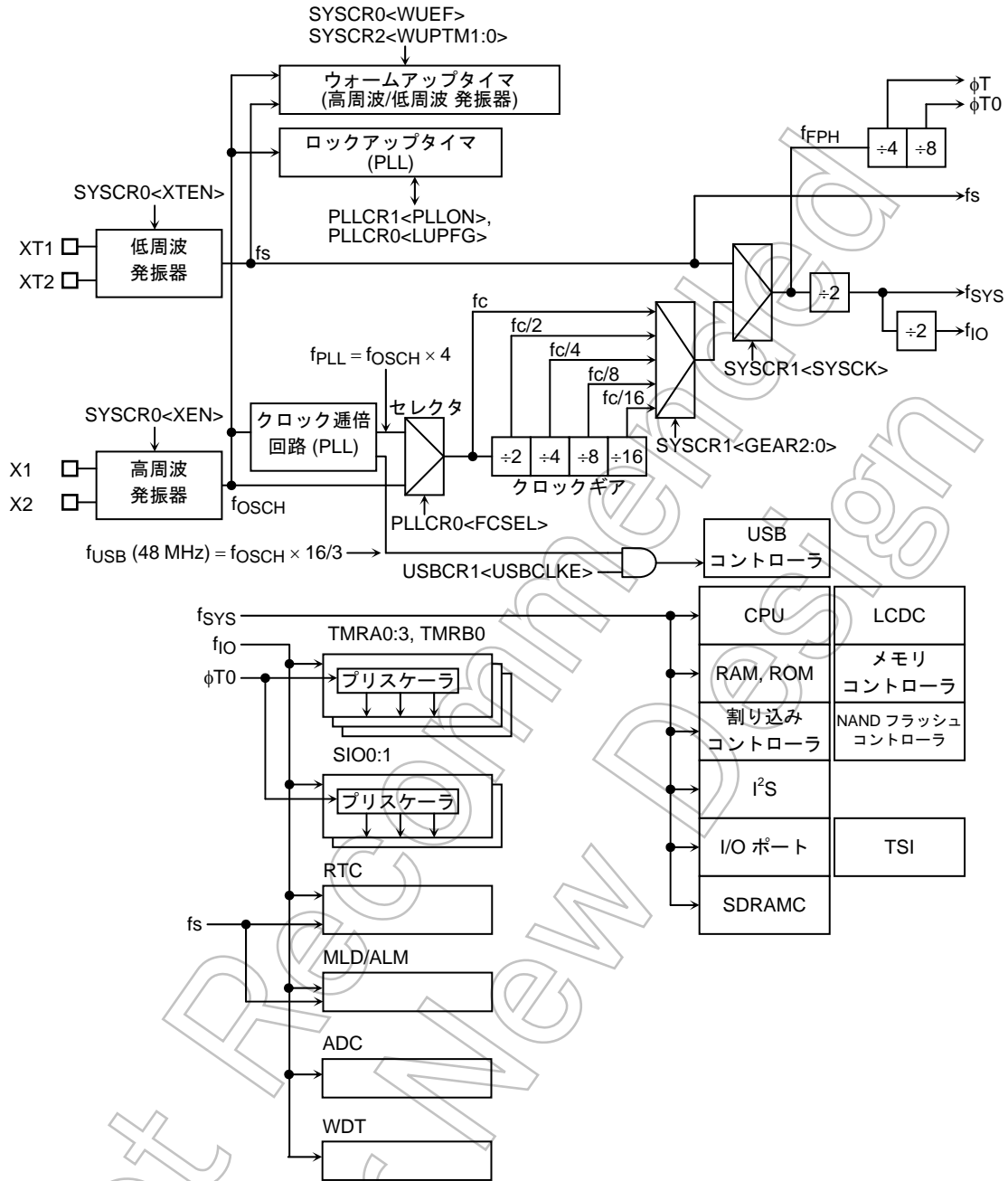


図 3.3.2 システムクロック系統ブロック図

表 3.3.1 f_{OSCH} 用設定例

	高周波発振: f_{OSCH}	システム クロック: f_{SYS}	USB クロック: f_{USB}
(a) USB 必要 PLL あり	9.0 MHz	18 MHz	48 MHz
(b) USB 不要 PLL あり	最大 10.0 MHz	最大 20 MHz	-
(c) USB 不要 PLL なし	最大 40.0 MHz	最大 20 MHz	-

注) USB を使用するときは、高周波発振子を 9.0 MHz にしてください。

3.3.2 SFR説明

SYSCR0 (10E0H)	Bit symbol	XEN	XTEN				WUEF		
	Read/Write	R/W					R/W		
	リセット後	1	1				0		
	機能	高速発振器 (fc) 0: 停止 1: 動作	低速発振器 (fs) 0: 停止 1: 動作				ウォームアップタイム 0 ライト: don't care 1 ライト: スタートタイム 0 リード: ウォームアップ終了 1 リード: ウォームアップ中		
SYSCR1 (10E1H)	Bit symbol					SYSCK	GEAR2	GEAR1	GEAR0
	Read/Write					R/W	R/W		
	リセット後					0	1	0	0
	機能					システムクロック選択 0: fc 1: fs	高周波のギア値選択 (fc) 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101: (Reserved) 110: (Reserved) 111: (Reserved)		
SYSCR2 (10E2H)	Bit symbol	-		WUPTM1	WUPTM0	HALTM1	HALTM0		
	Read/Write	R/W		R/W	R/W	R/W	R/W		
	リセット後	0		1	0	1	1		
	機能	"0" をライトしてください。		ウォームアップタイム 00: Reserved 01: 2 ⁹ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数		HALT モード 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード			

注 1) SYSCR0<bit5:3><bit1:0>、SYSCR1<bit7:4>、SYSCR2<bit6><bit1:0>は不定値がリードされます。

注 2) 低速発振器はリセットにより発振許可となります。

図 3.3.3 システムクロック関係 SFR

		7	6	5	4	3	2	1	0
EMCCR0 (10E3H)	Bit symbol	PROTECT					EXTIN	DRVOSCH	DRVOSCL
	Read/Write	R					R/W	R/W	R/W
	リセット後	0					0	1	1
	機能	プロテクト フラグ 0: OFF 1: ON					1: fc 外部 クロック	fc 発振器 ドライブ能力 1: Normal 0: Weak	fs 発振器 ドライブ能力 1: Normal 0: Weak
EMCCR1 (10E4H)	Bit symbol	下記 1st -KEY, 2nd-KEY の書き込みによりプロテクト ON/OFF 切り替え 1st-KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続ライト 2nd-KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続ライト							
	Read/Write								
	リセット後								
	機能								
EMCCR2 (10E5H)	Bit symbol								
	Read/Write								
	リセット後								
	機能								

注) STOP モードから、発振を開始する時など、発振停止から発振を再起動する場合は、EMCCR0<DRVOSCH>,<DRVOSCL>を“1”に設定してください。

図 3.3.4 システムクロック関係 SFR

	7	6	5	4	3	2	1	0
PLLCR0 (10E8H)		FCSEL	LUPFG					
Bit symbol		FCSEL	LUPFG					
Read/Write		R/W	R					
リセット後		0	0					
機能		fcクロック選 択 0: fOSCH 1: fPLL	ロックアッ プ タイマ 状態フラ グ 0: Not end 1: End					

注) PLLCR0<LUPFG>の論理は 900/L1 の DFM と異なるので注意してください。

	7	6	5	4	3	2	1	0
PLLCR1 (10E9H)	PLLON							
Bit symbol	PLLON							
Read/Write	R/W							
リセット後	0							
機能	制御 On/Off 0: Off 1: On							

図 3.3.5 PLL 関係 SFR

	7	6	5	4	3	2	1	0
PxDR (xxxxH)	Px7D	Px6D	Px5D	Px4D	Px3D	Px2D	Px1D	Px0D
Bit symbol	Px7D	Px6D	Px5D	Px4D	Px3D	Px2D	Px1D	Px0D
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモードの入出力バッファドライブレジスタ							

(使用目的と使用方法)

- このレジスタはスタンバイモード時に、各々のピンの状態を設定します。
- すべてのポートはそれぞれ、上記フォーマットと同等のレジスタを持っています。
(“x” はポート名を意味します。)
- 各レジスタの詳細については 3.5 項の「ポート機能」を参照してください。
- “HALT” 命令前に期待するピンの状態を各レジスタに設定してください。CPU が “HALT” 命令を実行後にイネーブルとなります。
- 3種類あるスタンバイモードの全てで有効になります。(IDLE2、IDLE1 または STOP モード)
- 入出力の状態を以下の表に示します。

OE	PxnD	出力バッファ	入力バッファ
0	0	OFF	OFF
0	1	OFF	ON
1	0	OFF	OFF
1	1	ON	OFF

注 1) OE はスタンバイモード前の出力イネーブル信号を意味しています。基本的に PxCR は OE として使用されま
す。

注 2) PxnD の “n” は PORTX のビット番号を意味しています。

図 3.3.6 ドライブレジスタ関係 SFR

3.3.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{sys}) を生成する回路です。高速/低速の 2 つの発振回路から出力される f_c、f_s クロックを入力として、SYSCR1<SYSCK>レジスタにて高速/低速の切り替え、SYSCR0<XEN>、<XTEN>でそれぞれ高速、低速発振器の発振制御、さらに SYSCR1<GEAR2:0>で高速クロックのギアを 1、2、4、8、16 段 (f_c、f_c/2、f_c/4、f_c/8、f_c/16) に切り替え、消費電力の低減を図ることができます。

リセットにより、デュアルクロックモードになり <XEN> = “1”、<XTEN> = “1”、<SYSCK> = “0”、<GEAR2:0> = “100” に初期化されますのでシステムクロック f_{sys} は f_c/32 (= f_c/16 × 1/2) となります。例えば、X1、X2 端子に 40 MHz の発振子を接続していると、リセットにより f_{sys} は 1.25 MHz となります。

(1) NORMAL ↔ SLOW モードの切り替え

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認してから切り替えるためにウォームアップタイムがあります。ウォームアップ時間は発振子の特性に合わせて SYSCR2<WUPTM1:0>により選択できます。このスタート、終了確認は SYSCR0<WUEF>を使用しソフト (命令) により下記設定例 1、2 のように行ってください。

表 3.3.2 に切り替え時のウォームアップ時間を示します。

注 1) 切り替えようとするクロックが発振器などを使用しており、発振安定している場合はウォームアップさせる必要はありません。

注 2) ウォームアップタイムは、発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って、概略時間としてとらえる必要があります。

表 3.3.2 ウォームアップ時間

ウォームアップ タイム選択 SYSCR2<WUPTM1:0>	NORMAL へ切り替え時 (f _c)	SLOW へ切り替え時 (f _s)
01 (2 ⁸ /発振周波数)	6.4 [μs]	7.8 [ms]
10 (2 ¹⁴ /発振周波数)	409.6 [μs]	500 [ms]
11 (2 ¹⁶ /発振周波数)	1.638 [ms]	2000 [ms]

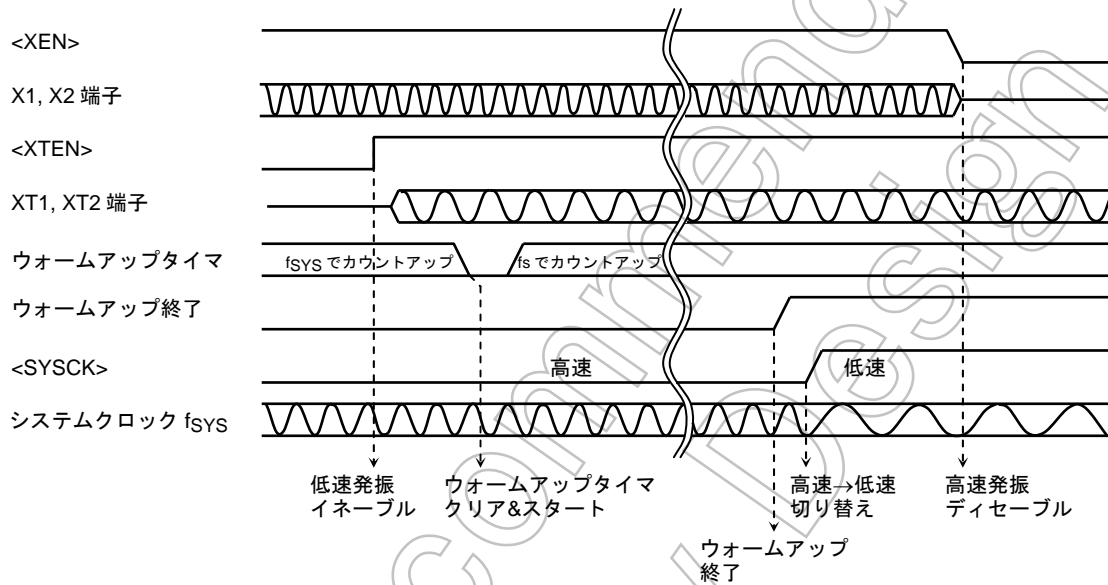
計算値は
f_{OSCH} = 40 MHz、
f_s = 32.768 kHz
の場合です。

(設定例 1)

高速クロック (fc) から低速クロック (fs) へ切り替える場合

SYSCR0	EQU	10E0H	
SYSCR1	EQU	10E1H	
SYSCR2	EQU	10E2H	
LD	(SYSCR2), 0X11--XXB		; ウォームアップ時間を $2^{16}/f_s$ に設定
SET	6, (SYSCR0)		; 低速発振イネーブル
SET	2, (SYSCR0)		; ウォームアップタイムクリア&スタート
WUP:	BIT	2, (SYSCR0)	; } ウォームアップ終了検出
	JR	NZ, WUP	
	SET	3, (SYSCR1)	; 高速 → 低速へ切り替え
	RES	7, (SYSCR0)	; 高速発振ディセーブル

X: Don't care, -: No change

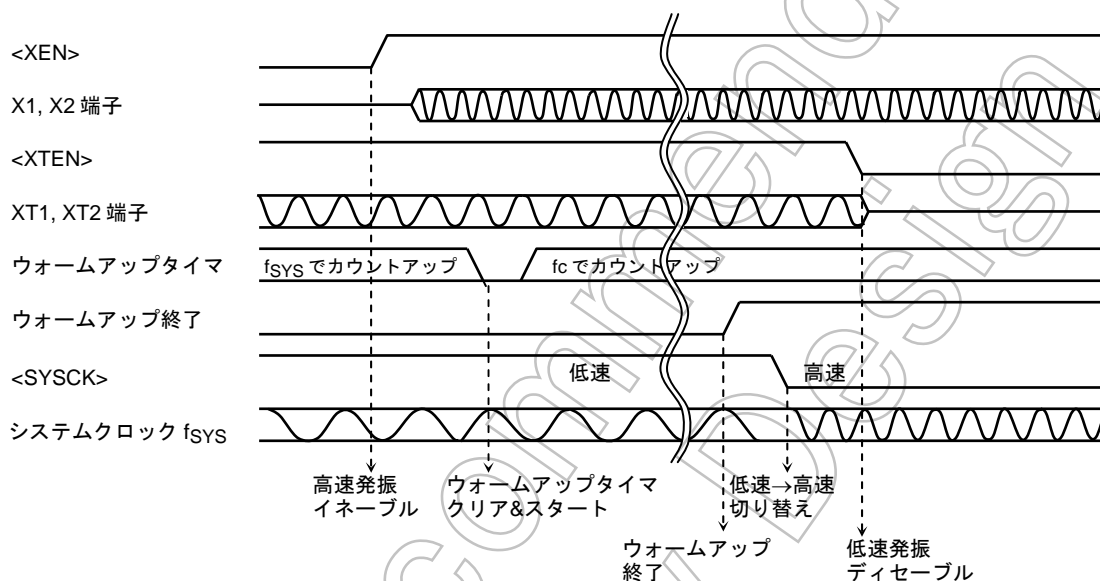


(設定例 2)

低速クロック (fs) から高速クロック (fc) へ切り替える場合

SYSCR0	EQU	10E0H	
SYSCR1	EQU	10E1H	
SYSCR2	EQU	10E2H	
LD	(SYSCR2), 0X10-XXB		: ウォームアップ時間を $2^{14}/fc$ に設定
SET	7, (SYSCR0)		: 高速発振イネーブル
SET	2, (SYSCR0)		: ウォームアップタイムクリア&スタート
WUP:	BIT	2, (SYSCR0)	: } ウォームアップ終了検出
	JR	NZ, WUP	
	RES	3, (SYSCR1)	: 低速 → 高速へ切り替え
	RES	6, (SYSCR0)	: 低速発振ディセーブル

X: Don't care, -: No change



(2) クロックギアコントローラ

SYSCR1<SYSCK>="0"にて高速クロック f_c を選択した場合、クロックギア選択レジスタ SYSCR1<GEAR2:0>により f_{FPH} を f_c 、 $f_c/2$ 、 $f_c/4$ 、 $f_c/8$ 、 $f_c/16$ のいずれかに設定できます。クロックギアを使用して f_{FPH} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

(設定例)

高速クロックのギア切り替え

SYSCR1 EQU 10E1H

LD (SYSCR1), XXXX0000B ; システムクロック f_{sys} を $f_c/2$ へ切り替え

LD (DUMMY), 00H ; ダミー命令

X: Don't care

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後、すぐには切り替らず数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令（ライトサイクルが実行される命令）を挿入してください。

(例)

SYSCR1 EQU 10E1H

LD (SYSCR1), XXXX0001B ; f_{sys} を $f_c/4$ へ切り替え

LD (DUMMY), 00H ; ダミー命令

切り替え後のクロックギアで実行すべき命令

3.3.4 クロック通倍回路 (PLL)

PLLは f_{OSCH} の4倍となる、 f_{PLL} クロック信号を出力します。

これにより、低速な発振周波数で内部クロックを高速にできます。

リセットによりPLLは停止状態に初期化され、 PLL_{CR0} 、 PLL_{CR1} レジスタの設定により使用できます。

この回路は発振器のように動作許可後に安定させる時間を必要とし、それをロックアップタイムといいます。この時間を確認するために16段のバイナリカウンタがあります。ロックアップタイムは $f_{OSCH} = 10\text{ MHz}$ の場合で約1.6 msです。

注 1) PLL 用入力周波数の制限

PLL用の入力周波数(高速発振器)は次のとおりです。

$$f_{OSCH} = 6\sim 10\text{ MHz} (V_{CC} = 3.0\sim 3.6\text{ V})$$

注 2) $PLL_{CR0}\langle LUPFG \rangle$

$PLL_{CR0}\langle LUPFG \rangle$ の論理は $900/L1$ のDFMとは異なります。

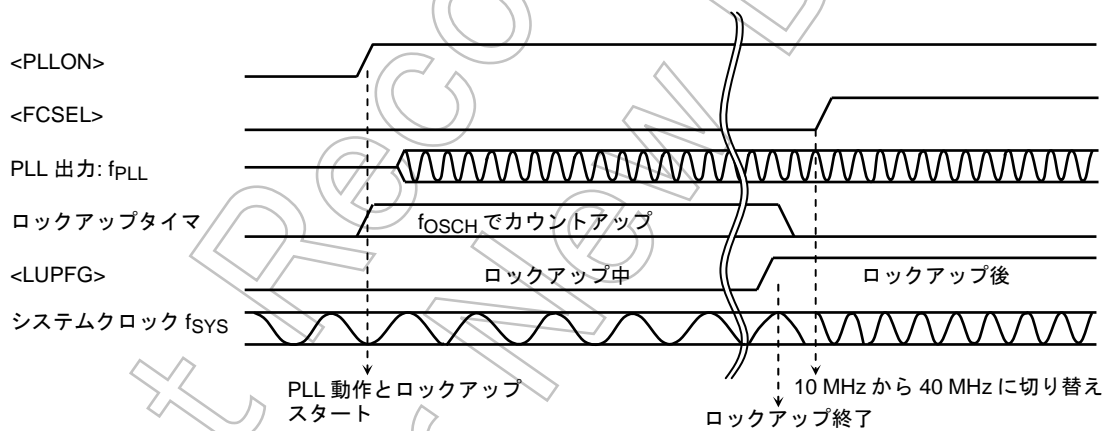
ロックアップ終了の判断は注意してください。

以下はPLLスタートとPLLストップの設定例です。

(設定例-1) PLL スタート

PLL_{CR0}	EQU	10E8H	
PLL_{CR1}	EQU	10E9H	
	LD	(PLL_{CR1}), 1XXXXXXXXB	PLL動作とロックアップスタートをイネーブル
LUP:	BIT	5, (PLL_{CR0})	ロックアップの終了を検出
	JR	Z, LUP	
	LD	(PLL_{CR0}), X1XXXXXXXXB	10 MHz から 40 MHz に切り替え

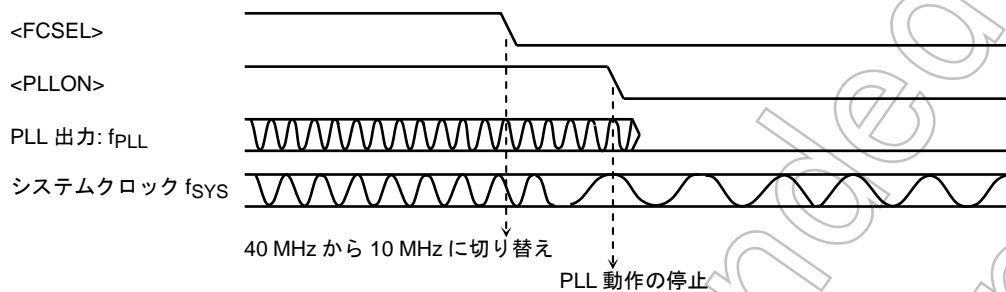
X: Don't care



(設定例-2) PLL ストップ

PLLCR0	EQU	10E8H	
PLLCR1	EQU	10E9H	
LD	(PLLCR0),	X0XXXXXXB	; 40 MHz から 10 MHz に切り替え
LD	(PLLCR1),	0XXXXXXB	; PLL 停止

X: Don't care



Not Recommended for New Design

PLLの使用制限

1. SLOW モード (fs) での PLL のイネーブル/ディセーブルの制御の実行を禁止します。
(PLLCR0 と PLLCR1 の書き込み)
NORMAL モードで PLL を制御してください。
2. PLL 使用中に PLL の動作を停止する場合、次の設定順に従ってください。
LD (PLLCR0), 00H ; クロック f_{PLL} を f_{OSCH} に切り替えてください。
LD (PLLCR1), 00H ; PLL を停止させてください。
3. PLL 使用中に高速発振器を停止する場合、高速発振器を停止する前に PLL を停止させてください。

設定例は以下のとおりです。

(1) スタートアップ/切り替えのコントロール

(OK) 低速発振器動作モード (fs) (高速発振器停止状態)

→ 高速発振器スタートアップ → 高速発振器動作モード (f_{OSCH})

→ PLL スタートアップ → PLL 使用モード (f_{PLL})

```

WUP: LD (SYSCR0), 1 1 - - - 1 - - B ; 高速発振器スタート/ウォームアップスタート
      BIT 2, (SYSCR0) ; }
      JR NZ, WUP ; } ウォームアップ終了のフラグをチェック
LUP: LD (SYSCR1), - - - - 0 - - - B ; システムクロック fs を fOSCH に切り替え
      LD (PLLCR1), 1 - - - - - - B ; PLL スタートアップ/ロックアップ、スタート
      BIT 5, (PLLCR0) ; }
      JR Z, LUP ; } ロックアップの終了のフラグをチェック
      LD (PLLCR0), - 1 - - - - - B ; システムクロック fOSCH を fPLL に切り替え
  
```

(OK) 低速発振器動作モード (fs) (高速発振器動作状態)

→ 高速発振器動作モード (f_{OSCH}) → PLL スタートアップ

→ PLL 使用モード (f_{PLL})

```

LUP: LD (SYSCR1), - - - - 0 - - - B ; システムクロック fs を fOSCH に切り替え
      LD (PLLCR1), 1 - - - - - - B ; PLL スタートアップ/ロックアップ、スタート
      BIT 5, (PLLCR0) ; }
      JR Z, LUP ; } ロックアップフラグの終了のフラグをチェック
      LD (PLLCR0), - 1 - - - - - B ; システムクロック fOSCH を fPLL に切り替え
  
```

(NG) 低速発振器動作モード (fs) (高速発振器停止状態)

→ 高速発振器スタートアップ → PLL スタートアップ → PLL 使用モード (f_{PLL})

```

WUP: LD (SYSCR0), 1 1 - - - 1 - - B ; 高速発振器スタート/ウォームアップスタート
      BIT 2, (SYSCR0) ; }
      JR NZ, WUP ; } ウォームアップ終了のフラグをチェック
LUP: LD (PLLCR1), 1 - - - - - - B ; PLL スタートアップ/ロックアップ、スタート
      BIT 5, (PLLCR0) ; }
      JR Z, LUP ; } ロックアップ終了のフラグをチェック
      LD (PLLCR0), - 1 - - - - - B ; 内部クロック fOSCH を fPLL に切り替え
      LD (SYSCR1), - - - - 0 - - - B ; システムクロック fs を fPLL に切り替え
  
```

(2) 切り替え/停止のコントロール

(OK) PLL 使用モード (f_{PLL}) → 高速発振器動作モード (f_{OSCH}) → PLL 停止
→ 低速発振器動作モード (f_s) → 高速発振器停止

LD (PLLCR0), - 0 - - - - - B ; システムクロック f_{PLL} を f_{OSCH} に切り替え
LD (PLLCR1), 0 - - - - - B ; PLL 停止
LD (SYSCR1), - - - - 1 - - - B ; システムクロック f_{OSCH} を f_s に切り替え
LD (SYSCR0), 0 - - - - - B ; 高速発振器停止

(NG) PLL 使用モード (f_{PLL}) → 低速発振器動作モード (f_s) → PLL 停止
→ 高速発振器停止

LD (SYSCR1), - - - - 1 - - - B ; システムクロック f_{PLL} を f_s に切り替え
LD (PLLCR0), - 0 - - - - - B ; 内部クロック (f_c) f_{PLL} を f_{OSCH} に切り替え
LD (PLLCR1), 0 - - - - - B ; PLL 停止
LD (SYSCR0), 0 - - - - - B ; 高速発振器停止

(OK) PLL 使用モード (f_{PLL}) → STOP モードに設定 → 高速発振器動作モード (f_{OSCH})
→ PLL 停止 → ホルト (高速発振器停止)

LD (SYSCR2), - - - - 0 1 - - - B ; STOP モードを設定
(このコマンドは PLL 使用前に実行可能です)
LD (PLLCR0), - 0 - - - - - B ; システムクロック f_{PLL} を f_{OSCH} に切り替え
LD (PLLCR1), 0 - - - - - B ; PLL 停止
HALT ; STOP モードに切り替え

(NG) PLL 使用モード (f_{PLL}) → STOP モードに設定 → ホルト (高速発振器停止)

LD (SYSCR2), - - - - 0 1 - - - B ; STOP モードに設定
(このコマンドは PLL 使用前に実行可能です。)
HALT ; STOP モードに切り替え

3.3.5 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

- (1) 高速発振器のドライブ能力低減
- (2) 低速発振器のドライブ能力低減
- (3) 高速発振器のシングルドライブ化
- (4) SFR プロテクトレジスタによる暴走対策

これらは、EMCCR0~EMCCR2 レジスタによる設定が必要です。

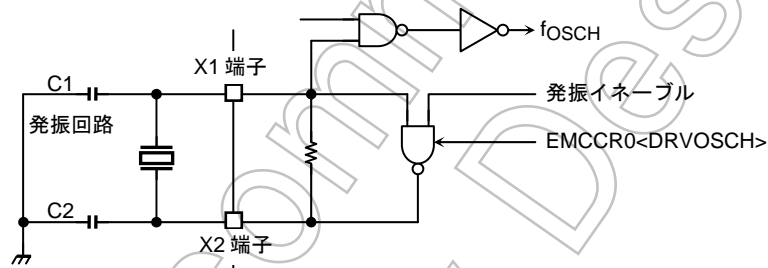
以下に(1)~(4)について説明します。

(1) 高速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化のため

(ブロック図)



(設定方法)

EMCCR0<DRVOSCH>に“0”をライトすることにより、発振器のドライブ能力は低減します。リセットにより、<DRVOSCH>は“1”に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

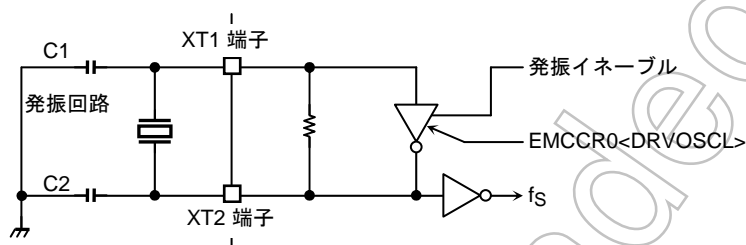
注) この機能(EMCCR0<DRVOSCH> = “0”)は、fOSCH = 6~10 MHz の状態で使用可能です。

(2) 低速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化のため

(ブロック図)



(設定方法)

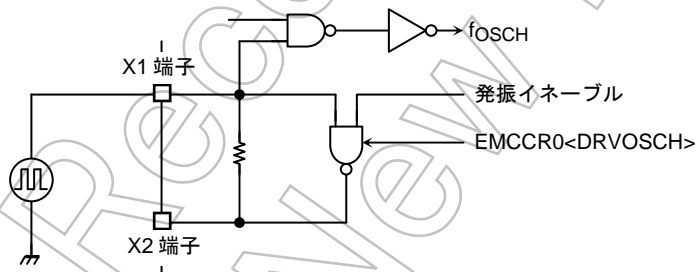
EMCCR0<DRVOSCL>に“0”をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCL>は“1”に初期化されますので、電源投入時はノーマルのドライブ能力で発振開始します。

(3) 高速発振器のシングルドライブ化

(目的)

外部に発振器を接続する場合に、ツインドライブの不要化、X2端子解放時にノイズ混入による誤動作防止のため

(ブロック図)



(設定方法)

EMCCR0<EXTIN>に“1”をライトすることにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2端子は“1”を出力状態となります。

リセットにより、<EXTIN>は“0”に初期化されます。

(4) SFR プロテクトレジスタによる暴走対策

(目 的)

ノイズ混入などによるプログラムの暴走時の対策のため

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ（メモリコントローラ、MMU）の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

また、INTP0 割り込みにより暴走時のエラー処理を容易にします。

特定の SFR 一覧

1. メモリコントローラ

B0CSL/H、B1CSL/H、B2CSL/H、B3CSL/H、BEC SL/H
MSAR0、MSAR1、MSAR2、MSAR3、
MAMR0、MAMR1、MAMR2、MAMR3、PMEMCR、
BROMCR

2. MMU

LOCALPX/PY/PZ、LOCAL LX/LY/LZ、
LOCALRX/R Y/RZ、LOCALWX/WY/WZ、

3. クロックギア

SYSCR0、SYSCR1、SYSCR2、EMCCR0

4. PLL

PLLCR0、PLLCR1

(動作説明)

EMCCR1 と EMCCR2 レジスタに 2 重の鍵を設定することによりプロテクト (特定の SFR へのライト動作) の実行、解除が可能となります。

(2 重の鍵)

1st-KEY : EMCCR1 に 5AH、EMCCR2 に A5H を連続ライト

2nd-KEY : EMCCR1 に A5H、EMCCR2 に 5AH を連続ライト

プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できません。

リセットにより、プロテクト OFF 状態となります。

また、プロテクト ON 状態にて特定の SFR へのライト動作が実行された場合に INTP0 割り込みを出力します。これにより暴走時のエラー処理を容易にします。

3.3.6 スタンバイ制御部

(1) HALT モードと ドライブレジスタモード

HALT 命令を実行すると、SYSCR2<HALTM1:0>の設定により、IDLE2、IDLE1、STOP のいずれかの HALT モードになります。

また、各ポートの端子状態は、下記 PxDR レジスタの設定によりセットされます。

	7	6	5	4	3	2	1	0
PxDR (xxxxH)	Px7D	Px6D	Px5D	Px4D	Px3D	Px2D	Px1D	Px0D
Bit symbol								
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモードの入出力バッファドライブレジスタ							

(使用目的)

- このレジスタはスタンバイモード時の各々のピンの状態を設定します。
- すべてのポートはそれぞれ、上記フォーマットと同等のレジスタを持っています。
(“x” はポート名を意味します。)
- 各レジスタの詳細については 3.5 章の「ポート機能」を参照してください。
- “HALT” 命令前に期待するピンの状態を各レジスタに設定してください。CPU が “HALT” 命令を実行後にイネーブルとなります。
- 3 種類あるスタンバイモードで動作します。(IDLE2、IDLE1 または STOP モード)
- 入出力の状態を以下の表に示します。

OE	PxnD	出力バッファ	入力バッファ
0	0	OFF	OFF
0	1	OFF	ON
1	0	OFF	OFF
1	1	ON	OFF

注 1) OE はスタンバイモード前の出力イネーブル信号を意味しています。基本的に PxCR は OE として使用されます。

注 2) PxnD の “n” は PORTX のビット番号を意味しています。

各モードで動作しているブロックを以下に記します。

1. IDLE2: CPU のみ停止するモードです。

内蔵 I/O は、SFR の中に IDLE2 モード時の動作/停止設定レジスタを 1 ビット持ち IDLE2 モードでの動作設定が可能です。

表 3.3.3 に IDLE2 設定レジスタの表を示します。

表 3.3.3 IDLE2 モードでの内蔵 I/O 設定レジスタ

内部 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
TMRB0	TB0RUN<I2TB0>
SIO0	SC0MOD1<I2S0>
SIO1	SC1MOD1<I2S1>
AD converter	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

2. IDLE1: 内部発振器と RTC、MLD のみ動作します。

3. STOP: すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.3.4に示します。

表 3.3.4 I/O ホルト状態での各ブロックの動作

HALT モード		IDLE2	IDLE1	STOP
SYSCR2<HALTM1:0>		11	10	01
動作 ブ ロ ク	CPU	停止		
	I/O ポート	PxDR レジスタ設定に依存		
	TMRA, TMRB	動作するブロックを選択することに 利用可能	停止	
	SIO			
	AD コンバータ			
	WDT			
	I2S, LCDC, SDRAMC、 割り込みコントローラ、 USBC	動作	動作	
RTC, MLD				

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPUのステータスレジスタSRに割り付けられている割り込みマスクレジスタ<IFF2:0>の状態と、ホルトモードの組み合わせにより決まります。表 3.3.5 ホルト解除ソースとホルト解除の動作に示します。

• 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません（ノンマスクブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います）。

ただし、INT0~INT4、INTKEY、INTRTC、INTALM、INTUSB 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず HALT 命令の次の命令から処理をスタートします（割り込み要求フラグは“1”を保持します）。

• リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOPモードの解除では、発振器動作が安定するための十分なリセット時間(表 3.3.2 ウォームアップ時間を参照)が必要です。

リセットによる解除では、内蔵 RAM のデータはホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます（割り込みによる解除では、ホルト状態に入る直前の状態を保持します）。

表 3.3.5 ホルト解除ソースとホルト解除の動作

割り込み受付状態		割り込み許可 (割り込みレベル) ≥ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)			
		IDLE2	IDLE1	STOP	IDLE2	IDLE1	STOP	
ホルト解除ソース	割り込み	INTWD	◎	×	×	—	—	—
	INT0~INT4 (注 1)	◎	◎	◎*1	○	○	○*1	
	INTALM0~INTALM4	◎	◎	×	○	○	×	
	INTTA0~INTTA3, INTTB0~INTTB1	◎	×	×	×	×	×	
	INTRX0~INTRX1, INTTX0~INTTX1	◎	×	×	×	×	×	
	INTTBO0、INTI2S	◎	×	×	×	×	×	
	INTAD、INT5	◎	×	×	×	×	×	
	INTKEY	◎	◎	◎*1	○	○	○*1	
	INTRTC	◎	◎	◎*1	○	○	○*1	
	INTUSB	◎	◎*2	×	○	○*2	×	
	INTLCD	◎	×	×	×	×	×	
	RESET	LSIを初期化します。						

◎: ホルト解除後、割り込み処理を開始します。

○: ホルト解除後、HALT 命令の次の番地から処理を開始します。

×: ホルト解除に使うことができません。

注 1) ノンマスクブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の“7”に固定されているため、この組み合わせはありません。

*1: ウォームアップ時間経過後にホルト解除を行います。

*2: USB で準備されている、24 種類の割り込みの内、(USBINTFR1)レジスタの 6 種類の割り込みは、IDLE1 モードからホルト解除が可能です。そのため、より低消費電力のシステムを構築することが可能です。ただし、その使用方法は以下に限られます。

IDLE1 へ移行 INT_SUS または INT_CLKSTOP フラグが“1” (SUSPEND 状態)の状態から、ホルト命令実行
 IDLE1 から復帰 INT_RESUME または INT_CLKON 要求(SUSPEND 解除要求)での、ホルト解除
 INT_URST_STR または INT_URST_END 要求(RESET 要求)での、ホルト解除

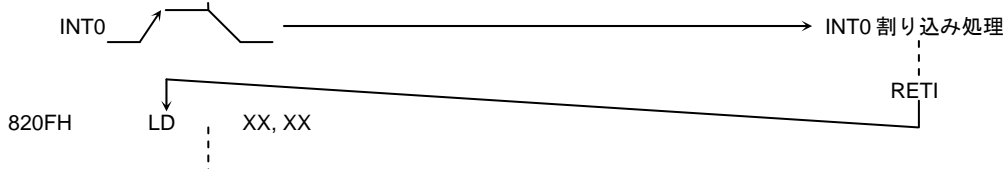
注 1) 割り込み許可状態において、レベルモードの INT0 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで“H”レベルを保持してください。それ以前で“L”レベルにした場合は、正しい割り込み処理を開始できません。

(IDLE1 モードの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合

```

アドレス
8200H LD (PCFC), 01H ; PC0 を INT0 に設定
8203H LD (IIMC), 00H ; INT0 割り込み立ち上がりエッジを選択
8206H LD (INTE0AD), 06H ; INT0 割り込みレベルを“6”に設定
8209H EI 5 ; CPU 割り込みレベルを“5”に設定
820BH LD (SYSCR2), 28H ; IDLE1 モードに設定
820EH HALT ; CPU 停止
    
```



(3) 各モードの動作

1. IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 3.3.7 に示します。

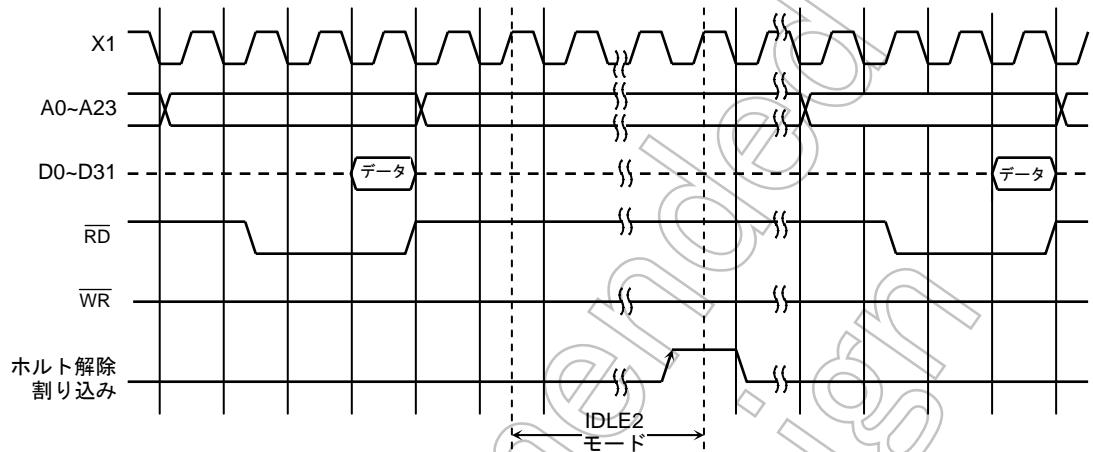


図 3.3.7 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

2. IDLE1 モード

IDLE1 モードでは、内部発振器と RTC、MLD のみ動作し、システムクロックは停止します。

ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 3.3.8 に示します。

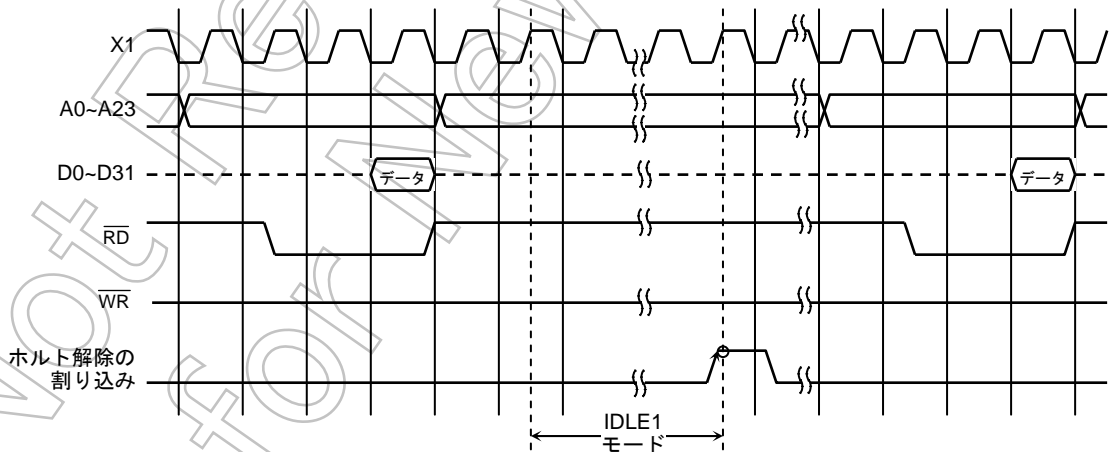


図 3.3.8 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

3. STOP モード

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。

STOPモードを解除する場合は、内部発振器の安定化のため、ウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。

図 3.3.9に割り込みによるSTOPモードホルト状態の解除のタイミング例を示します。

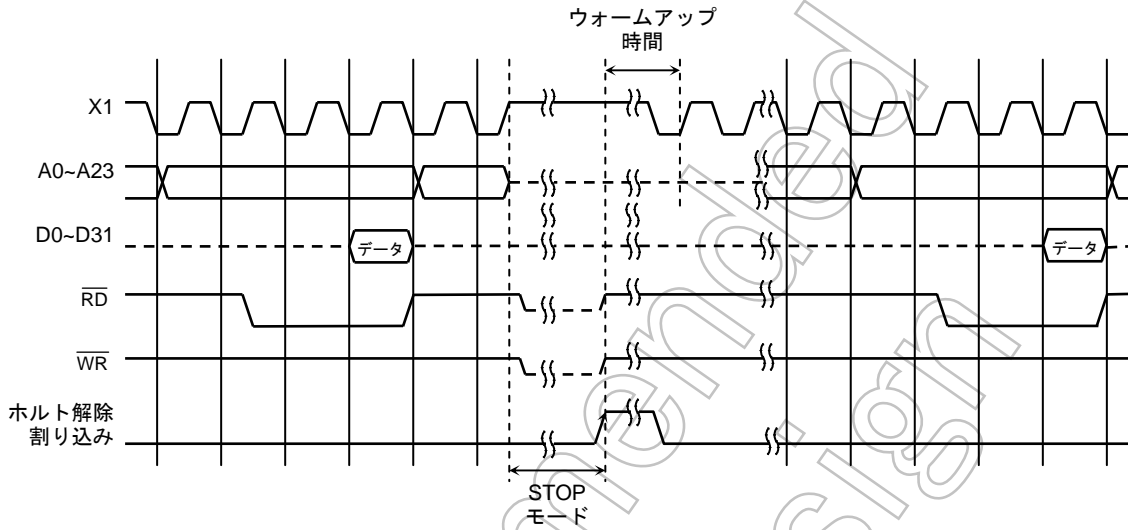


図 3.3.9 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.3.6 ウォームアップ時間の設定例 (STOP モード解除時)

@f_{OSCH} = 40 MHz, f_s = 32.768 kHz

SYSCR1 <SYSCK>	SYSCR2<WUPTM1:0>		
	01 (2 ⁸)	10 (2 ¹⁴)	11 (2 ¹⁶)
0 (fc)	6.4 μs	409.6 μs	1.638 ms
1 (fs)	7.8 ms	500 ms	2000 ms

表 3.3.7 入力バッファ状態表

ポート名	入力機能名	入力バッファ状態							
		リセット中	CPU 動作中		HALT 中 (IDLE1/2/STOP)				
			機能設定時	入力ポート設定時	<PxDR> = 1		<PxDR> = 0		
					機能設定時	入力ポート設定時	機能設定時	入力ポート設定時	
D0~D7	D0~D7	OFF		-		-		-	
P10~P17	D8~D15	16ビットスタート: OFF 32ビットスタート: OFF ブートスタート: ON	外部リードで ON			OFF		OFF	
P20~P27	D16~D23			16ビットスタート: ON 32ビットスタート: OFF ブートスタート: ON					
P30~P37	D24~D31								
P60~P67	-	16ビットスタート: OFF 32ビットスタート: OFF ブートスタート: ON	-			-		-	
P71~P72	-	ON						OFF	
P75	NDRB		ON			ON			OFF
P76	WAIT		-			-			-
P90	-		-			-			-
P91	RXD0		ON	ON		ON	ON		OFF
P92	CTS0, SCLK0		-			-			-
P93~P94	-		-			-			-
P96 ^{*1}	INT4								
P97	INT5								
PA0~PA7 ^{*1}	KI0~KI7		ON			ON			OFF
PC0	INT0								
PC1	INT1								
PC2	INT2								
PC3	INT3								
PC6~PC7	-		-			-			-
PF0	-	-			-		-		
PF1	RXD0/1	ON			ON		OFF		
PF2	CTS0/1 SCLK0/1								
PG0~PG2 ^{*2}	-	OFF	-	ポートリードで	-	OFF	-		
PG3 ^{*2}	ADTRG	ON	ON	ON	ON	ON	ON		
PJ5~PJ6	-	ON	-	ON	-	ON	-		
PL4~PL7	-	ON	-	ON	-	ON	-		

ON: 常時バッファが ON しているため、入力端子がドライブされていないと入力バッファに貫通電流が流れます。 *1: プルアップ/プルダウン抵抗付きポートです。

OFF: 常時バッファが OFF しています。

*2: AIN 入力では貫通電流が流れません。

-: 対象なし

表 3.3.8 出力バッファ状態表(1/2)

ポート名	出力機能名	出力バッファ状態						
		リセット中	CPU 動作中		HALT 中 (IDLE2/1/STOP)			
			機能設定時	出力ポート設定時	<PxDR>=1		<PxDR>=0	
					機能設定時	出力ポート設定時	機能設定時	出力ポート設定時
D0~D7	D0~D7	OFF	外部ライトで ON	-	-	OFF	-	
P10~P17	D8~D15							
P20~P27	D16~D23, KO0~KO7							
P30~P37	D24~D31							
P40~P47	A0~A7	ON	ON			OFF	-	
P50~P57	A8~A15							
P60~P67	A16~A23							
P70	RD							
P71	$\overline{\text{WRLL}}$, $\overline{\text{NDRE}}$	OFF	ON	ON		ON	-	
P72	$\overline{\text{WRLU}}$, $\overline{\text{NDWE}}$							
P73	EA24			ON				
P74	EA25			ON				
P75	R/W	OFF	-			-	-	
P76	-							
P80	$\overline{\text{CS0}}$							
P81	$\overline{\text{CS1}}$, $\overline{\text{SDCS}}$			ON	ON			OFF
P82	$\overline{\text{CS2}}$, $\overline{\text{CSZA}}$, $\overline{\text{SDCS}}$	ON	ON			OFF	-	
P83	$\overline{\text{CS3}}$							
P84	$\overline{\text{CSZB}}$, $\overline{\text{WRUL}}$, $\overline{\text{ND0CE}}$							
P85	$\overline{\text{CSZC}}$, $\overline{\text{WRU0}}$, $\overline{\text{ND1CE}}$							
P86	$\overline{\text{CSZD}}$, $\overline{\text{SRULB}}$	ON	ON	ON		OFF	-	
P87	$\overline{\text{CSZE}}$, $\overline{\text{SRUUB}}$							
P90	TXD0, I2SCKO							
P91	I2SDO							
P92	SCLK0, I2SWS	OFF	-			-	-	
P93	LG0E0							
P94	LG0E1							
P95	LG0E2, CLK32KO			ON				
P96*1	PX	OFF	-			-	-	
P97	PY							

ON: 常時バッファが ON しています。

OFF: 常時バッファが OFF しています。

-: 対象なし

*1: プルアップ/プルダウン抵抗付きポートです。

表 3.3.9 出力バッファ状態表(2/2)

ポート名	出力機能名	出力バッファ状態						
		リセット中	CPU 動作中		HALT 中 (IDLE2/1/STOP)			
			機能設定時	出力ポート設定時	<PxDR>=1		<PxDR>=0	
					機能設定時	出力ポート設定時	機能設定時	出力ポート設定時
PA3-PA6*1	LD8-LD11	OFF	ON	-	-	-	-	
PC0	TA1OUT			ON	ON	OFF	-	
PC1	TA3OUT			-	-	-	-	
PC2	TB0OUT0			-	-	-	-	
PC3	-			-	-	-	-	
PC6	KO8, LDIV			ON	ON	ON	OFF	
PC7	CSZF, LCP1			ON	ON	ON	OFF	
PF0	TXD0, TXD1			-	-	-	-	
PF1	-			-	-	-	-	
PF2	SCLK0, SCLK1			-	-	-	-	
PF7	SDCLK	ON	-	-	-			
PG2	MX	OFF	-	-	-			
PG3	MY	-	-	-	-			
PJ0	SDRAS, SRRLLB	ON	ON	ON	ON	OFF	OFF	
PJ1	SDCAS, SRLUB							
PJ2	SDWE, SRWR							
PJ3	SDLLDQM							
PJ4	SDLUDQM	-	-	-	-	-	-	
PJ5	SDULDQM, NDALE	OFF	-	-	-	OFF	-	
PJ6	SDUUDQM, NDCLE	-	-	-	-	-	-	
PJ7	SDCKE	ON	ON	ON	ON	OFF	OFF	
PK0	LCP0	ON	-	-	-	-	-	
PK1	LLP							
PK2	LFR							
PK3	LBCD	-	-	-	-	-	-	
PL0-PL3	LD0-LD3	ON	-	-	-	-	-	
PL4-PL7	LD4-LD7	OFF	-	-	-	-	-	
PM1	MLDALM	ON	-	-	-	-	-	
PM2	MLDALM, ALARM							
X2	-	ON	-	-	-	IDLE2/1:ON, STOP: output "H"		
XT2	-					IDLE2/1:ON, STOP: output "HZ"		

ON: 常時バッファが ON しています。
OFF: 常時バッファが OFF しています。

-: 対象なし

*1: プルアップ/プルダウン抵抗付きポートです。

3.4 割り込み

TLCS-900/H1 の割り込みは、CPU の割り込みマスクレジスタ<IFF2:0> (ステータスレジスタの 12~14 ビット)と 内蔵の割り込みコントローラによって制御されます。

TMP92CH21 の割り込み要因には、下記に示す合計 50 本があります。

<p>CPU 自身からの割り込み: 9 本</p> <ul style="list-style-type: none"> ● ソフトウェア割り込み: 8 本 ● 未定義命令実行違反: 1 本 <p>内部割り込み: 34 本</p> <ul style="list-style-type: none"> ● 内蔵 I/O からの割り込み: 26 本 ● マイクロ DMA 転送終了割り込み: 8 本 <p>外部割り込み: 7 本</p> <ul style="list-style-type: none"> ● 外部端子割り込み (INT0~INT5、INTKEY)

割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスクブル割り込みのそれぞれに、6 レベルの優先順位 (可変) を割り付けることができます。ノンマスクブル割り込みの優先順位は、最優先の “7” に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値 (最高はノンマスクブル割り込みの “7”) を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ (IFF2:0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2:0) の値は EI 命令 (EI num…IFF<2:0>) の内容が num になります。) を使用して、書き替えることができます。例えば、“EI 3” とプログラムすると、割り込みコントローラに設定された、優先順位値 3 以上のマスクブル割り込みと、ノンマスクブル割り込みが受け付け可能となります。また、DI 命令 (IFF<2:0> が 7 になります。) は動作的には “EI 7” と同じですが、マスクブル割り込みの優先順位値が 1~6 であるため、マスクブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後、直ちに有効となります。

TLCS-900/H1 の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を、高速に行うことができます。さらに、TMP92CH21 には、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトウェアから要求を発行する “ソフトスタート機能” があります。

図 3.4.1 に割り込み処理全体のフローを示します。

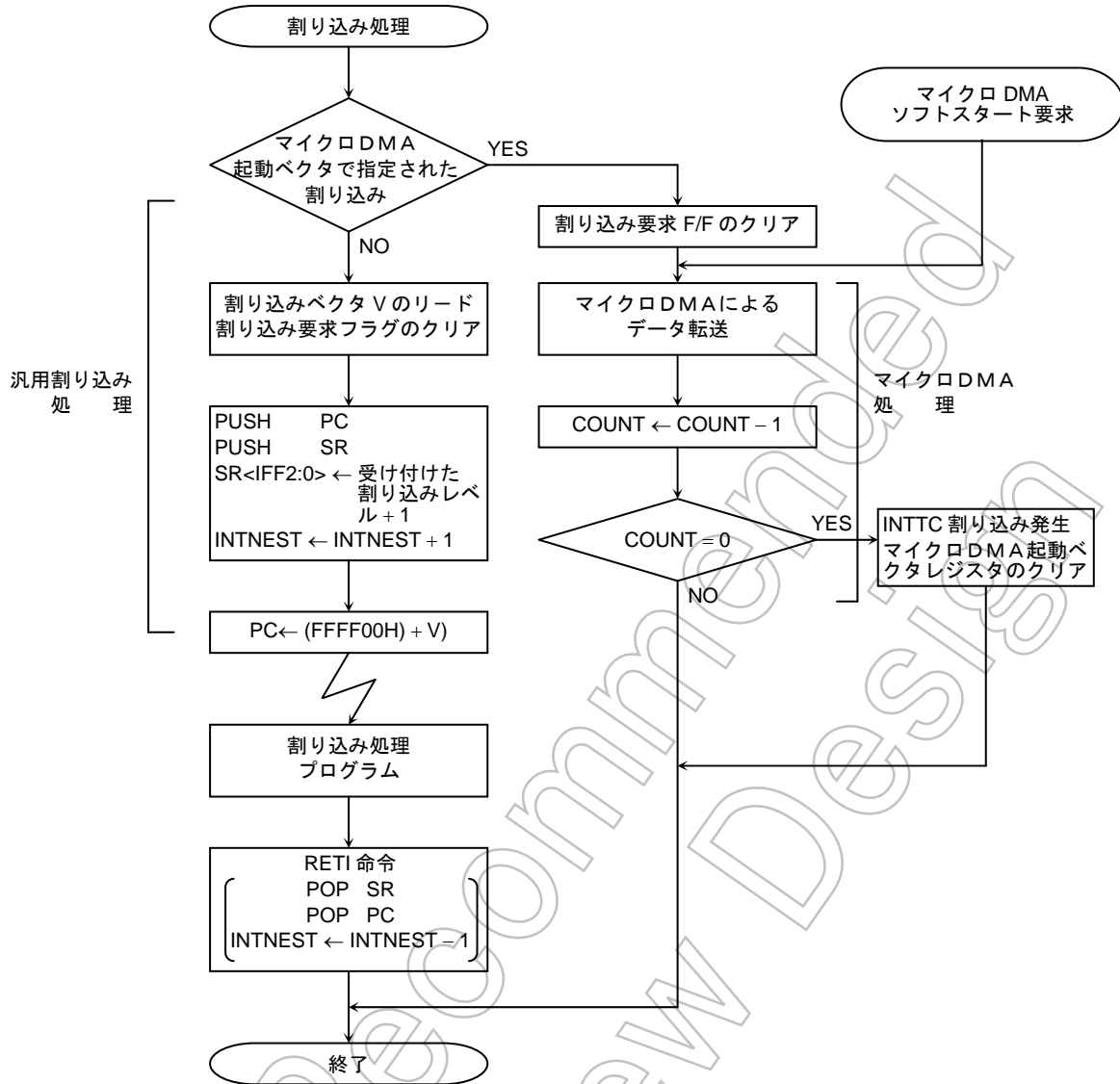


図 3.4.1 割り込み処理全体のフロー

3.4.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。ただしソフトウェア割り込みと未定義命令実行違反割り込みが CPU で生成される場合、CPU は 1 と 3 をスキップし、2、4、5 のみを実行します。

1. CPU は、割り込みコントローラから、割り込みベクタをリードします。割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定: ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。
2. CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域 (XSP が示す領域) へ PUSH します。
3. CPU の割り込みマスクレジスタ<IFF2:0>の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”の時は、インクリメントせず“7”をセットします。
4. 割り込みネスティングカウンタ INTNEST を、+1 カウントアップします。
5. CPU は、「FFFF00H + 割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容をリストアし、割り込みネスティングカウンタ INTNEST を-1 します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。一方、マスカブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます (0 か 7 の割り込みレベルの設定は割り込み要求が無効になります)。CPU は、CPU 自身が持つ割り込みマスクレジスタ<IFF2:0>の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU のマスクレジスタ<IFF2:0>に、受け付けた優先順位に“1”を加えた値をセットします。

従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 1~5 までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスカブル割り込みのネスティングを禁止することができます。

リセット後、CPU のマスクレジスタ<IFF2:0>は、“111”に初期化されているため、マスカブル割り込み禁止状態になっています。

TMP92CH21 では、メモリ FFFF00H~FFFFFFH 番地 (256 バイト) が、割り込みベクタ領域に割り当てられています。表 3.4.1 に割り込みテーブルを示します。

表 3.4.1 TMP92CH21 の割り込みベクタとマイクロ DMA スタートベクタ

デフォルト プライ オリティ	タイプ	割り込み要因とマイクロ DMA 要求要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA スタート ベクタ
1	ノン マスカブル	リセットまたは[SWI0]命令	0000H	FFFF00H	
2		[SWI1]命令	0004H	FFFF04H	
3		未定義命令実行違反命令または[SWI2]命令	0008H	FFFF08H	
4		[SWI3]命令	000CH	FFFF0CH	
5		[SWI4]命令	0010H	FFFF10H	
6		[SWI5]命令	0014H	FFFF14H	
7		[SWI6]命令	0018H	FFFF18H	
8		[SWI7]命令	001CH	FFFF1CH	
9		(Reserved)	0020H	FFFF20H	
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	
-	マスカブル	マイクロ DMA			- (注 1)
11		INT0: INT0 端子入力	0028H	FFFF28H	0AH (注 2)
12		INT1: INT1 端子入力	002CH	FFFF2CH	0BH
13		INT2: INT2 端子入力	0030H	FFFF30H	0CH
14		INT3: INT3 端子入力	0034H	FFFF34H	0DH
15		INT4: INT4 端子入力 (TSI)	0038H	FFFF38H	0EH
16		INTALM0: ALM0 (8192 Hz)	003CH	FFFF3CH	0FH
17		INTALM1: ALM1 (512 Hz)	0040H	FFFF40H	10H
18		INTALM2: ALM2 (64 Hz)	0044H	FFFF44H	11H
19		INTALM3: ALM3 (2 Hz)	0048H	FFFF48H	12H
20		INTALM4: ALM4 (1 Hz)	004CH	FFFF4CH	13H
21		INTP0: プロテクト 0 (特定の SFR にライト)	0050H	FFFF50H	14H
22		(Reserved)	0054H	FFFF54H	15H
23		INTTA0: 8 ビットタイマ 0	0058H	FFFF58H	16H
24		INTTA1: 8 ビットタイマ 1	005CH	FFFF5CH	17H
25		INTTA2: 8 ビットタイマ 2	0060H	FFFF60H	18H
26		INTTA3: 8 ビットタイマ 3	0064H	FFFF64H	19H
27		INTTB0: 16 ビットタイマ 0	0068H	FFFF68H	1AH
28		INTTB1: 16 ビットタイマ 0	006CH	FFFF6CH	1BH
29		INTKEY: キーウェイクアップ	0070H	FFFF70H	1CH
30		INTRTC: RTC (アラーム割り込み)	0074H	FFFF74H	1DH
31		INTTBO0: 16 ビットタイマ 0 (オーバフロー)	0078H	FFFF78H	1EH
32		INTLCD: LCDC/LP 端子	007CH	FFFF7CH	1FH
33		INTRX0: シリアル受信 (チャンネル 0)	0080H	FFFF80H	20H (注 2)
34		INTTX0: シリアル送信 (チャンネル 0)	0084H	FFFF84H	21H
35		INTRX1: シリアル受信 (チャンネル 1)	0088H	FFFF88H	22H (注 2)
36		INTTX1: シリアル送信 (チャンネル 1)	008CH	FFFF8CH	23H
37		(Reserved)	0090H	FFFF90H	24H
38		(Reserved)	0094H	FFFF94H	25H
39		INT5: INT5 端子入力	0098H	FFFF98H	26H
40		INTI2S: I ² S (チャンネル 0)	009CH	FFFF9CH	27H
41		INTNDF0 (NAND フラッシュコントローラチャンネル 0)	00A0H	FFFFA0H	28H
42		INTNDF1 (NAND フラッシュコントローラチャンネル 1)	00A4H	FFFFA4H	29H
43		(Reserved)	00A8H	FFFFA8H	2AH
44		(Reserved)	00ACH	FFFFACH	2BH
45		(Reserved)	00B0H	FFFFB0H	2CH
46		(Reserved)	00B4H	FFFFB4H	2DH
47		(Reserved)	00B8H	FFFFB8H	2EH
48		INTUSB: USB	00BCH	FFFFBCH	2FH
49		(Reserved)	00C0H	FFFC0H	30H

デフォルト プライ オリティ	タイプ	割り込み要因とマイクロ DMA 要求要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA スタート ベクタ
50		(Reserved)	00C4H	FFFFC4H	31H
51		(Reserved)	00C8H	FFFFC8H	32H
52		INTAD: AD 変換終了	00CCH	FFFFCCH	33H
53		INTTC0: マイクロ DMA 終了 (チャンネル 0)	00D0H	FFFFD0H	34H
54		INTTC1: マイクロ DMA 終了 (チャンネル 1)	00D4H	FFFFD4H	35H
55		INTTC2: マイクロ DMA 終了 (チャンネル 2)	00D8H	FFFFD8H	36H
56		INTTC3: マイクロ DMA 終了 (チャンネル 3)	00DCH	FFFFDCH	37H
57	マスカブル	INTTC4: マイクロ DMA 終了 (チャンネル 4)	00E0H	FFFFE0H	38H
58		INTTC5: マイクロ DMA 終了 (チャンネル 5)	00E4H	FFFFE4H	39H
59		INTTC6: マイクロ DMA 終了 (チャンネル 6)	00E8H	FFFFE8H	3AH
60		INTTC7: マイクロ DMA 終了 (チャンネル 7)	00ECH	FFFFECH	3BH
-		(Reserved)	00F0H	FFFFF0H	-
:			:	:	:
-			00FCH	FFFFFCH	-

注1) マイクロ DMA デフォルトプライオリティ
マイクロ DMA は、ほかのマスカブル割り込みより優先されて起動します。

注2) マイクロ DMA を起動するときは、エッジ検出モードに設定してください。

3.4.2 マイクロDMA

TMP92CH21には、マイクロDMA機能があります。マイクロDMA機能に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベル(レベル6)で処理を行います。

マイクロDMA機能はCPUの協調動作によって実現されているため、CPUがHALT命令によってスタンバイ状態になるとマイクロDMAの要求は無視(保留)されます。

マイクロDMAは8チャンネル用意されており、後述のバースト指定により、連続転送が可能です。

注) マイクロDMA終了割り込みを使う場合は、SIMCレジスタのビット7に常に“1”をライトしてください。

(1) マイクロDMAの動作

マイクロDMAは、マイクロDMA起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPUに対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。IFF=7のときは、マイクロDMAの要求は受けつけられません。

マイクロDMAは8チャンネル用意されており、同時に8種類までの割り込み要因に対して、マイクロDMAを設定することができます。

マイクロDMAが受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回(1/2/4バイト)行われ、転送数カウンタを1によってデクリメントします。デクリメントした結果が“0”ならば、以下のような動作をします。

- CPUはマイクロDMA転送終了を割り込みコントローラに伝えます。
- 割り込みコントローラはマイクロDMA転送終了割り込み(INTTC0~INTTC7)を発生させます。
- マイクロDMA起動ベクタレジスタの値を“0”クリアして、次のマイクロDMA起動を禁止します。
- マイクロDMA処理を終了します。

デクリメントした結果が“0”でない場合、後述のバースト指定がなければ、マイクロDMA処理は終了します。この場合、転送終了割り込み(INTTCn)は発生しません。

割り込み要因をマイクロDMA起動のみに使用する場合は、割り込みレベルを“0”にしておく必要があります。これはマイクロDMA起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが1~6の場合、CPUは汎用割り込み処理を行うためです。割り込み要因をマイクロDMAと汎用割り込みの起動の両方で使用する場合は、その割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低くする必要があります(注)。なお、その割り込み要因は、エッジ割り込みに限られます。

注) マイクロDMA要因の割り込みレベルを他の割り込みレベルより高くすると、下記のような動作をする場合があります。

下記設定にてINTxxx割り込みが先に発生し、割り込み処理フロー(図3.4.1参照)で、“マイクロDMA起動ベクタで指定された割り込み”の確認後で、“割り込みベクタVのリード”の間にINTyyyが発生した場合、INTyyyの割り込みレベルのほうが高いため、その時点ではベクタVはINTyyyのベクタVに変化してしまいます。割り込み処理フローでは、マイクロDMAの確認が終了しているため、割り込みベクタVがすり替わる形となり、CPUはそのままINTyyyのベクタVをリードしてしまい、マイクロDMAの転送カウンタにかかわらずINTyyyが発生してしまいます。

INTxxx: レベル1 DMA設定なし

INTyyy: レベル6 DMA設定あり

マイクロ DMA 転送終了割り込みは、他のマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(チャンネル 0 (高) → チャンネル 7 (低))

転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16 M バイトとなります。

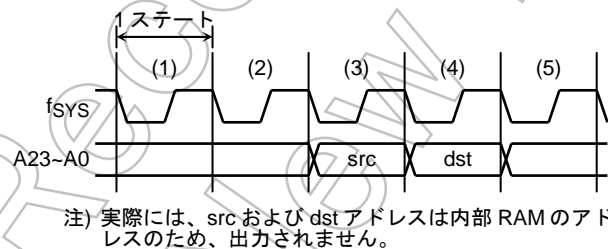
転送モードとしては、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、「(4)転送モードレジスタ詳細」を参照してください。

転送数カウンタは、16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回 (転送カウンタの初期値が 0000H のとき最大) の、マイクロ DMA 処理を行うことができます。

マイクロ DMA 処理を行うことのできる割り込み要因は、表 3.4.1 でマイクロ DMA 起動ベクタのある 33 種類の割り込みとソフトスタートによる計 34 種類です。

転送先アドレス INC モード (カウンタモード以外は同様) のマイクロ DMA サイクルを図 3.4.2 に示します。

(転送元メモリ、転送先メモリともに内部 RAM で、両アドレスは 4 の倍数の場合)



注) 実際には、src および dst アドレスは内部 RAM のアドレスのため、出力されません。

図 3.4.2 マイクロ DMA サイクル図

- ステート (1)、(2) : 命令フェッチサイクル (次の命令コードの先取り)
- ステート (3) : マイクロ DMA リードサイクル
- ステート (4) : マイクロ DMA ライトサイクル
- ステート (5) : ((1)、(2) ステートに同じ)

(2) ソフトスタート機能

割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへのライトサイクルが発生したことにより、マイクロ DMA を起動する“マイクロ DMA ソフトスタート機能”があります。

DMAR レジスタの各ビットに“1”をライトすることにより、マイクロ DMA を一回起動することができます。“0”をライトしても変化しません。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に“0”クリアされます。なお、使用上の制限として一度に 1 チャンネルしか起動できません(複数のビットに“1”をライトしないで下さい)。

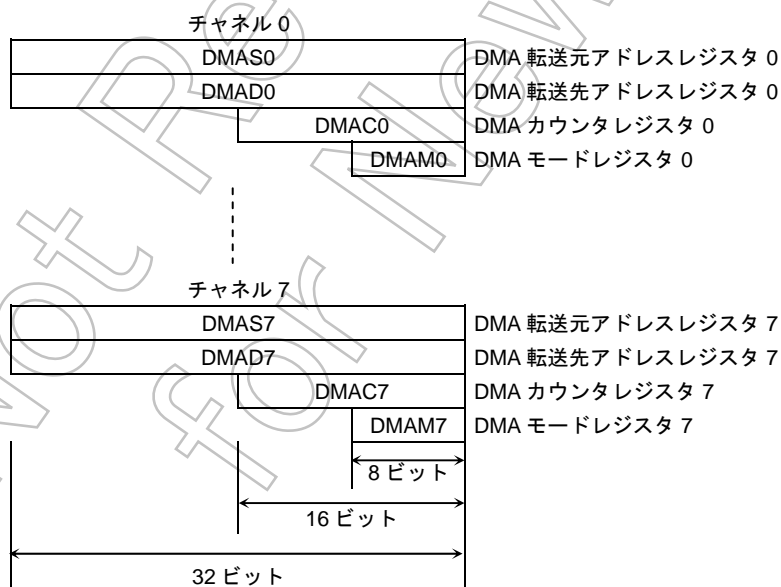
また、再度 DMAR レジスタに“1”をライトする場合は、そのビットが“0”であることを確認してから行ってください。リードした値が“1”の場合は、まだ マイクロ DMA 転送が開始されません。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが“0”になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトスタートを実行してもマイクロ DMA 転送カウンタは変化しません。他のビットへの誤書き込みを防ぐために、リードモディファイライト命令は使わないでください。

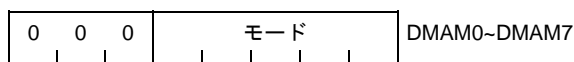
記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA 要求レジスタ	109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0
1: DMA のソフト要求										

(3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記のレジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



(4) 転送モードレジスタ詳細



DMAMn[4:0]	モード説明	実行時間
000zz	転送先 INC モード (DMADn+) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
001zz	転送先 DEC モード (DMADn-) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
010zz	転送元 INC モード (DMADn) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
011zz	転送元 DEC モード (DMADn) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
100zz	転送元および転送先 INC モード (DMADn+) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6 ステート
101zz	転送元および転送先 DEC モード (DMADn-) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	6 ステート
110zz	転送元 および転送先固定モード (DMADn) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート
11100	カウンタモード DMASn ← DMASn + 1 DMACn ← DMACn - 1 DMACn = 0 の場合 INTTCn	5 ステート

ZZ: 00 = 1 バイト転送
01 = 2 バイト転送
10 = 4 バイト転送
11 = (Reserved)

注 1) n はマイクロ DMA チャンネルナンバ (0~7) を表しています。

DMADn+/DMASn+: ポストインクリメント (レジスタ値は転送後に増大します。)

DMADn-/DMASn-: ポストデクリメント (レジスタ値は転送後に減少します。)

“I/O” は固定されたメモリアドレスを意味します: “メモリ” は増大あるいは減少するメモリアドレスを意味します。

注 2) 転送モードレジスタは、上記の値以外は設定しないでください。

注 3) 上記の表の実行時間はベストケースを表しています。(1 ステートメモリアクセス)

3.4.3 割り込みコントローラ

図 3.4.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路とホルト解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと(合計 52 チャンネル)に、割り込み要求フラグ(フリップフロップ)、割り込み優先順位設定レジスタ、マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPUが割り込みを受け付け、その割り込みのベクタをCPUがリードしたとき
- 割り込みをクリアする命令の実行(INTCLRレジスタにDMA起動ベクタをライト)
- CPUがその割り込みでのマイクロDMA要求を受け付けたとき
- その割り込みでのマイクロDMAバースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込み優先順位設定レジスタ(INTE0AD、INTE12など)にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは1から6までの6レベルです。書き込み優先順位値を“0”(または“7”)にすることにより、該当する割り込み要求は禁止されます。

また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ(プライオリティ値の小さいもの=ベクタの小さいもの)に従い、割り込みを受け付けます。なお、割り込み優先順位設定レジスタの3ビット目、7ビット目を読むと、割り込み要求フラグの状態が読み出され、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込みレベルと、そのベクタアドレスをCPUへ送ります。CPUは、ステータスレジスタ(SR)に設定された割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、CPU側のSR<IFF2:0>に、受け付けた割り込みレベル+1の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了(RETI命令の実行)により、CPU側のSR<IFF2:0>には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値をリストアします。

割り込みコントローラには、マイクロDMAの起動ベクタを格納するレジスタ(8チャンネル)が用意されています。このレジスタに起動ベクタ(表 3.4.1参照)を書き込むことにより、該当する割り込み要求が発生することによって、マイクロDMAが起動されます。なお、このマイクロDMA処理の前に、マイクロDMAパラメータ用レジスタ(DMAS、DMADなど)に値を設定しておく必要があります。

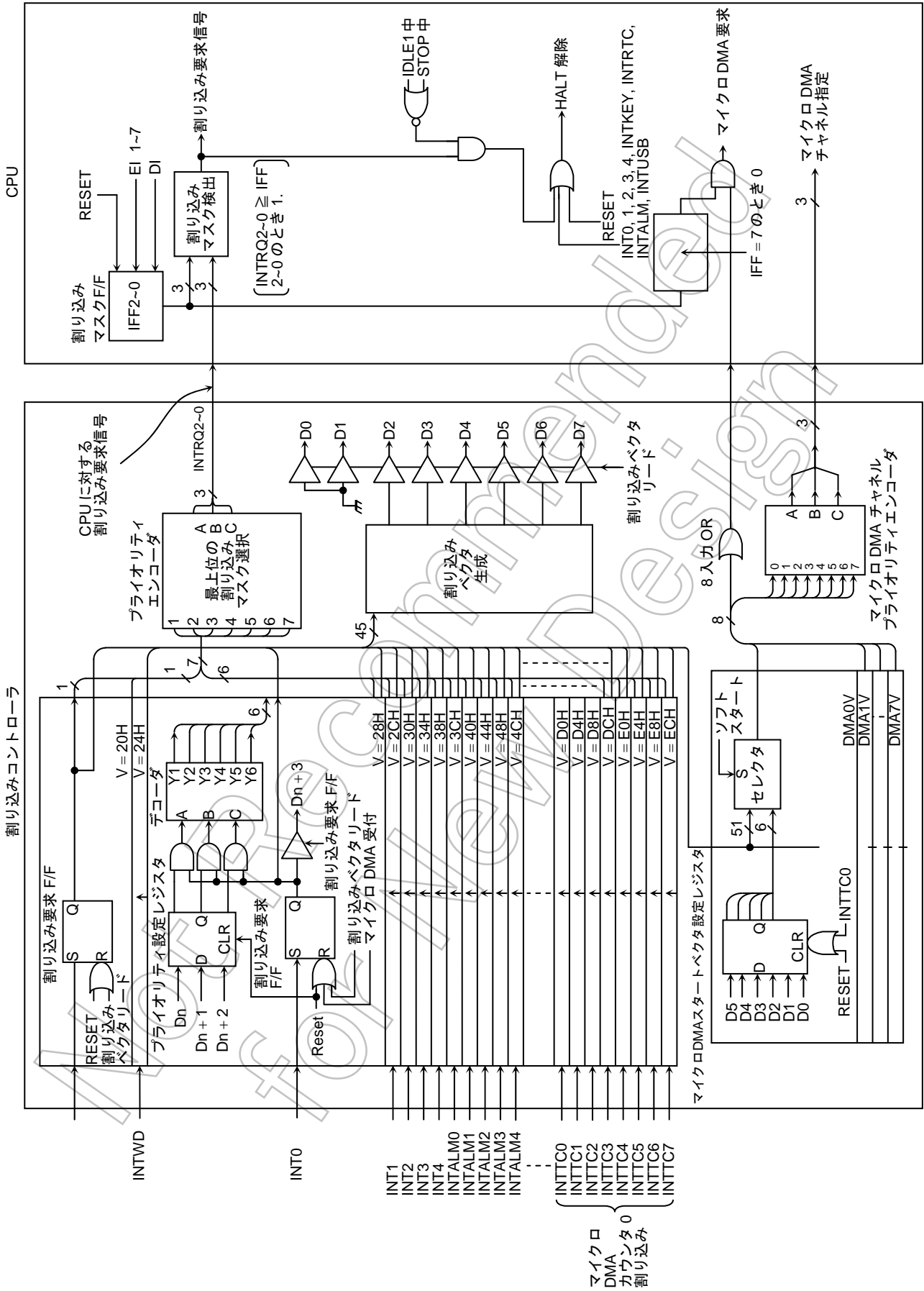
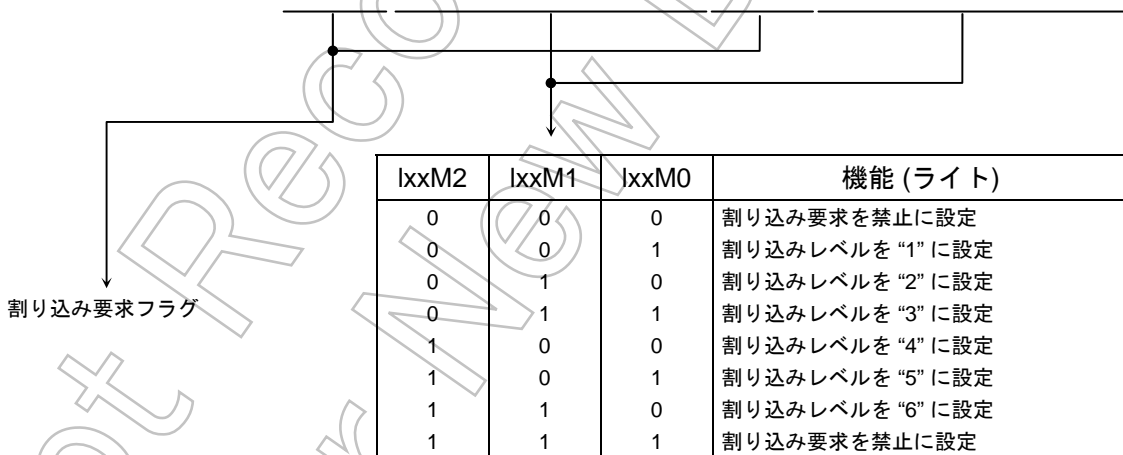


図 3.4.3 割り込みコントローラブロック図

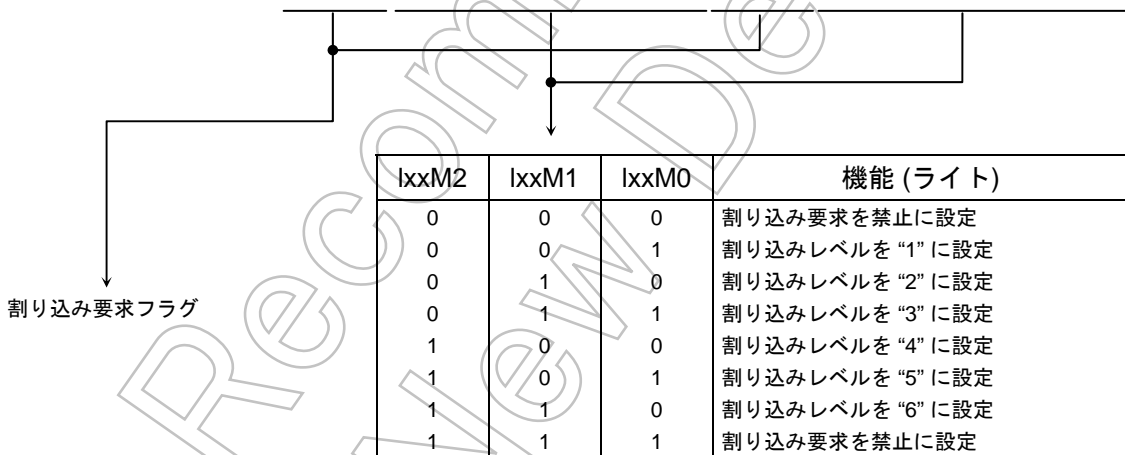
(1) 割り込みレベル設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD enable	F0H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	IOM0	IOM2	IOM1	IOM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE12	INT1 & INT2 enable	D0H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	D1H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE512S	INT5 & INT12S enable	EBH	INT12S				INT5			
			I12SC	I12SM2	I12SM1	I12SM0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA01	INTTA0 & INTTA1 enable	D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA23	INTTA2 & INTTA3 enable	D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB01	INTTB0 & INTTB1 enable	D8H	INTTB1 (TMRB1)				INTTB0 (TMRB0)			
			ITB1C	ITB1M2	ITB1M1	ITB1M0	ITB0C	ITB0M2	ITB0M1	ITB0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB00	INTTBO0 (オーバフロー) enable	DAH	-				INTTBO0			
			-	-	-	-	ITBO0C	ITBO0M2	ITBO0M1	ITBO0M0
			"0"をライトしてください				R	R/W		
			"0"をライトしてください				0	0	0	0
INTES0	INTRX0 & INTTX0 enable	DBH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTTX1 enable	DCH	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEUSB	INTUSB enable	E3H	-				INTUSB			
			-	-	-	-	IUSB0C	IUSBM2	IUSBM1	IUSBM0
			"0"をライトしてください				R	R/W		
			"0"をライトしてください				0	0	0	0
INTEALM01	INTALM0 & INTALM1 enable	E5H	INTALM1				INTALM0			
			IA1C	IA1M2	IA1M1	IA1M0	IA0C	IA0M2	IA0M1	IA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEALM23	INTALM2 & INTALM3 enable	E6H	INTALM3				INTALM2			
			IA3C	IA3M2	IA3M1	IA3M0	IA2C	IA2M2	IA2M1	IA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTEALM4	INTALM4 enable	E7H	-				INTALM4			
			-	-	-	-	IA4C	IA4M2	IA4M1	IA4M0
							R	R/W		
			"0"をライトしてください				0	0	0	0
INTERTC	INTRTC enable	E8H	-				INTRTC			
			-	-	-	-	IRC	IRM2	IRM1	IRM0
							R	R/W		
			"0"をライトしてください				0	0	0	0
INTEKEY	INTKEY enable	E9H	-				INTKEY			
			-	-	-	-	IKC	IKM2	IKM1	IKM0
							R	R/W		
			"0"をライトしてください				0	0	0	0
INTELCD	INTLCD enable	EAH	-				INTLCD			
			-	-	-	-	ILCD1C	ILCDM2	ILCDM1	ILCDM0
							R	R/W		
			"0"をライトしてください				0	0	0	0
INTEND01	INTNDF0 & INTNDF1 enable	ECH	INTNDF1				INTNDF0			
			IN1C	IN1M2	IN1M1	IN1M0	INOC	INOM2	INOM1	INOM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEP0	INTP0 enable	EEH	-				INTP0			
			-	-	-	-	IPOC	IPOM2	IPOM1	IPOM0
							R	R/W		
			"0"をライトしてください				0	0	0	0



記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETC01	INTTC0 & INTTC1 enable	F1H	INTTC1 (DMA1)				INTTC0 (DMA0)			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 enable	F2H	INTTC3 (DMA3)				INTTC2 (DMA2)			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC45	INTTC4 & INTTC5 enable	F3H	INTTC5 (DMA5)				INTTC4 (DMA4)			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC67	INTTC6 & INTTC7 enable	F4H	INTTC7 (DMA7)				INTTC6 (DMA6)			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTWDT	INTWD enable	F7H	-				INTWD			
			-	-	-	-	ITCWD	-	-	-
							R			
			"0"をライトしてください				0	-	-	-



記号	名称	アドレス	7	6	5	4	3	2	1	0	
IIMC	割り込み入力モード制御	F6H (RMW禁)	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	-	
			W							R/W	
			0	0	0	0	0	0	0	0	
			INT 5EDGE 0: 立ち上がり 1: 立ち下がり	INT4 EDGE 0: 立ち上がり 1: 立ち下がり	INT3 EDGE 0: 立ち上がり 1: 立ち下がり	INT2 EDGE 0: 立ち上がり 1: 立ち下がり	INT1 EDGE 0: 立ち上がり 1: 立ち下がり	INT0 EDGE 0: 立ち上がり 1: 立ち下がり	0: INT0 エッジモード 1: INT0 レベルモード	"0"をライト してください。	

*INT0 レベルイネーブル

0	エッジ検出
1	"H"レベル

注 1) INT0 端子のモードをレベルからエッジに切り替える場合 (<I0LE>を "1" から "0" へ)、INT0 を禁止してから切り替えてください。

DI

LD (IIMC), XXXXXX00B ; レベルからエッジに切り替える

LD (INTCLR), 0AH ; 割り込み要求フラグをクリア

NOP ; EIの実行をウェイト

NOP














NOP

EI

X : Don't care, - : No change

注 2) 外部割り込みの入力パルス幅にはスペックがあります。「4. 電気的特性」を参照してください。

外部割り込み端子機能

割り込み	端子名	モード	設定方法
INT0	PC0	 立ち上がりエッジ	<I0LE> = 0, <I0EDGE> = 0
		 立ち下がりエッジ	<I0LE> = 0, <I0EDGE> = 1
		 High レベル	<I0LE> = 1
INT1	PC1	 立ち上がりエッジ	<I1EDGE> = 0
		 立ち下がりエッジ	<I1EDGE> = 1
INT2	PC2	 立ち上がりエッジ	<I2EDGE> = 0
		 立ち下がりエッジ	<I2EDGE> = 1
INT3	PC3	 立ち上がりエッジ	<I3EDGE> = 0
		 立ち下がりエッジ	<I3EDGE> = 1
INT4	P96	 立ち上がりエッジ	<I4EDGE> = 0
		 立ち下がりエッジ	<I4EDGE> = 1
INT5	P97	 立ち上がりエッジ	<I5EDGE> = 0
		 立ち下がりエッジ	<I5EDGE> = 1

(3) SIO 受信割り込み制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
SIMC	SIO 割り込みモード制御	F5H (RMW 禁)	-						IR1LE	IROLE
			W						W	
			0						1	1
			"0"をライトしてください。 (注)						0: INTRX1 エッジモード 1: INTRX1 レベルモード	0: INTRX0 エッジモード 1: INTRX0 レベルモード

注) マイクロ DMA 終了割り込みを使う場合は、常に "1" をライトしてください。

INTRX1 レベルイネーブル

0	エッジ検出
1	"H"レベル

INTRX0 立ち上がりエッジイネーブル

0	エッジ検出
1	"H"レベル

Not Recommended for New Design

(4) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタにマイクロ DMA 起動ベクタを書くことを行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH INT0 割り込み要求フラグのクリア

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	割り込み クリア 制御	F8H (RMW 禁)	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
			W							
			0	0	0	0	0	0	0	0
			割り込みベクタ							

(5) マイクロ DMA スタートベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

従って、2チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します(マイクロ DMA のチェーン)。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 起動 ベクタ	100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA1 起動 ベクタ	101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA2 起動 ベクタ	102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA3 起動 ベクタ	103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
DMA4V	DMA4 起動 ベクタ	104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 起動ベクタ					
DMA5V	DMA5 起動 ベクタ	105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 起動ベクタ					
DMA6V	DMA6 起動 ベクタ	106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 起動ベクタ					
DMA7V	DMA7 起動 ベクタ	107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 起動ベクタ					

(6) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1 回のマイクロ DMA 起動で転送カウンタレジスタがゼロになるまで、連続転送を行うことが可能です。下記に示す DMAB レジスタのマイクロ DMA チャンネルに対応するビットを“1”にすることで、バースト指定できます。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAB	DMA バースト 指定	108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA バースト要求							

Not Recommended for New Design

(7) 注意事項

本 CPU は、命令実行ユニットとバスインタフェースユニットが別れています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令(注)を実行するということがありえます。この場合、CPU は要因消滅ベクタ“0004H”を読み込み、FFFF04H 番地の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を置くようにしてください。また、再び割り込みイネーブルに設定する場合は EI 命令を実行してください。なお、EI 命令はクリア命令後、3 命令(例:“NOP”が 3 回)以上実行された後に実行してください。クリア命令後すぐに EI 命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル(ステータスレジスタ SR の<IFF2:0>を書き替えるときは、必ず DI 命令により割り込みを禁止した後に POP SR 命令を実行してください。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0 の レベルモード	<p>エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更(エッジ→レベル)を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。</p> <p>INT0 を“0”から“1”にすることによって、CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を“1”のままにしておく必要があります。また、INT0 のレベルモードを HALT の解除に使用する場合も一度“0”から“1”にしたら、HALT が解除されるまで必ず“1”に保持しておく必要があります。(ノイズによって途中で“0”が入ることがないようにしてください。)</p> <p>レベルモードからエッジモードへ切り替えたとき、そのレベルモードときに受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下にシーケンスでクリアしてください。</p> <pre> DI LD (IIMC), 00H ; レベルからエッジへ切り替える LD (INTCLR), 0AH ; INT0 割り込み要求フラグをクリア NOP ; EI の実行をウェイト NOP NOP EI </pre>
INTRX	<p>レベルモード時、割り込み要求用フリップフロップをクリアするには、リセット動作またはシリアルチャネルの受信バッファをリードする必要があります。INTCLR レジスタライトによるクリアはできません。</p>

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令

レベルモードでの割り込み要求発生後の端子入力変化(“H”→“L”)

INTRX: 受信バッファをリードする命令

3.5 ポート機能

TMP92CH21は表 3.5.1に示すような汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能も持っています。表 3.5.1 ポート機能に各ポート端子の機能を、表 3.5.2 入出力ポート設定一覧表に各端子の設定方法を示します。

表 3.5.1 ポート機能 (R: PD = プログラマブルプルダウン抵抗付き、U = プルアップ抵抗付き)

ポート名	ピン名称	ピン数	方向	R	入出力設定	内蔵機能用ピン名称
ポート 1	P10~P17	8	入出力	-	ビット	D8~D15
ポート 2	P20~P27	8	入出力	-	ビット	D16~D23, KO0~KO7
ポート 3	P30~P37	8	入出力	-	ビット	D24~D31
ポート 4	P40~P47	8	出力	-	(固定)	A0~A7
ポート 5	P50~P57	8	出力	-	(固定)	A8~A15
ポート 6	P60~P67	8	入出力	-	ビット	A16~A23
ポート 7	P70	1	出力	-	(固定)	\overline{RD}
	P71	1	入出力	-	ビット	\overline{WRLL} , \overline{NDRE}
	P72	1	入出力	-	ビット	\overline{WRLU} , \overline{NDWE}
	P73	1	出力	-	(固定)	EA24
	P74	1	出力	-	(固定)	EA25
	P75	1	入出力	-	ビット	R/ \overline{W} , $\overline{NDR/B}$
	P76	1	入出力	-	ビット	\overline{WAIT}
ポート 8	P80	1	出力	-	(固定)	$\overline{CS0}$
	P81	1	出力	-	(固定)	$\overline{CS1}$, \overline{SDCS}
	P82	1	出力	-	(固定)	$\overline{CS2}$, \overline{CSZA} , \overline{SDCS}
	P83	1	出力	-	(固定)	$\overline{CS3}$
	P84	1	出力	-	(固定)	\overline{CSZB} , \overline{WRUL} , $\overline{ND0CE}$
	P85	1	出力	-	(固定)	\overline{CSZC} , \overline{WRUU} , $\overline{ND1CE}$
	P86	1	出力	-	(固定)	\overline{CSZD} , \overline{SRULB}
	P87	1	出力	-	(固定)	\overline{CSZE} , \overline{SRUUB}
ポート 9	P90	1	入出力	-	ビット	TXD0, I2SCKO
	P91	1	入出力	-	ビット	RXD0, I2SDO
	P92	1	入出力	-	ビット	SCLK0, $\overline{CTS0}$, I2SWS
	P93	1	入出力	-	ビット	LGOE0
	P94	1	入出力	-	ビット	LGOE1
	P95	1	出力	-	(固定)	LGOE2, CLK32KO
	P96	1	入力	PD	(固定)	INT4, PX
	P97	1	入力	-	(固定)	INT5, PY
ポート A	PA0~PA2	3	入力	U	(固定)	KI0~KI2
	PA3~PA6	4	入出力	U	ビット	LD8~LD11, KI3~KI6
	PA7	1	入力	U	(固定)	KI7
ポート C	PC0	1	入出力	-	ビット	INT0, TA1OUT
	PC1	1	入出力	-	ビット	INT1, TA3OUT
	PC2	1	入出力	-	ビット	INT2, TB0OUT0
	PC3	1	入出力	-	ビット	INT3
	PC6	1	入出力	-	ビット	KO8, LDIV
	PC7	1	入出力	-	ビット	\overline{CSZF} , LCP1
ポート F	PF0	1	入出力	-	ビット	TXD0, TXD1
	PF1	1	入出力	-	ビット	RXD0, RXD1
	PF2	1	入出力	-	ビット	SCLK0, $\overline{CTS0}$, SCLK1, $\overline{CTS1}$
	PF7	1	出力	-	(固定)	SDCLK

表 3.5.1 ポート機能 (2/2)

ポート名	ピン名称	ピン数	方向	R	入出力設定	内蔵機能用ピン名称
ポート G	PG0~PG1	2	入力	-	(固定)	AN0~AN1
	PG2	1	入力	-	(固定)	AN2, MX
	PG3	1	入力	-	(固定)	AN3, $\overline{\text{ADTRG}}$, MY
ポート J	PJ0	1	出力	-	(固定)	$\overline{\text{SDRAS}}$, $\overline{\text{SRLLB}}$
	PJ1	1	出力	-	(固定)	$\overline{\text{SDCAS}}$, $\overline{\text{SRLUB}}$
	PJ2	1	出力	-	(固定)	$\overline{\text{SDWE}}$, $\overline{\text{SRWR}}$
	PJ3	1	出力	-	(固定)	$\overline{\text{SDLLDQM}}$
	PJ4	1	出力	-	(固定)	$\overline{\text{SDLUDQM}}$
	PJ5	1	入出力	-	ビット	$\overline{\text{SDULDQM}}$, NDALE
	PJ6	1	入出力	-	ビット	$\overline{\text{SDUUDQM}}$, NDCLE
	PJ7	1	出力	-	(固定)	$\overline{\text{SDCKE}}$
ポート K	PK0	1	出力	-	(固定)	LCP0
	PK1	1	出力	-	(固定)	LLP
	PK2	1	出力	-	(固定)	LFR
	PK3	1	出力	-	(固定)	LBCD
ポート L	PL0~PL3	4	出力	-	(固定)	LD0~LD3
	PL4~PL7	4	入出力	-	ビット	LD4~LD7
ポート M	PM1	1	出力	-	(固定)	MLDALM
	PM2	1	出力	-	(固定)	$\overline{\text{ALARM}}$, MLDALM

Not Recommended for New Design

表 3.5.2 I/O ポート設定一覧表(1/3) X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート 1	P10~P17	入力ポート	X	0	0	設定レジスタなし
		出力ポート	X	1	0	
		D8~D15 バス	X	X	1	
ポート 2	P20~P27	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
		D16~D23 バス	X	X	1	0
		KO0~KO7	X	1	0	1
ポート 3	P30~P37	入力ポート	X	0	0	設定レジスタなし
		出力ポート	X	1	0	
		D24~D31 バス	X	X	1	
ポート 4	P40~P47	出力ポート	X		0	設定レジスタなし
		A0~A7 出力	X		1	
ポート 5	P50~P57	出力ポート	X		0	設定レジスタなし
		A8~A15 出力	X		1	
ポート 6	P60~P67	入力ポート	X	0	0	設定レジスタなし
		出力ポート	X	1	0	
		A16~A23 出力	X	X	1	
ポート 7	P71~P72 P75~P76	入力ポート	X	0	0	設定レジスタなし
	P70~P76	出力ポート	X	1	0	
	P70	\overline{RD} 出力	X	設定レジスタなし	1	
	P71	\overline{WRLL} 出力	1	1	1	
		\overline{NDRE} 出力	0	1	1	
	P72	\overline{WRLU} 出力	1	1	1	
		\overline{NDWE} 出力	0	1	1	
	P73	EA24 出力	X	設定レジスタなし	1	
	P74	EA25 出力	X	設定レジスタなし	1	
	P75	R/\overline{W} 出力	X	1	1	
$\overline{NDR/B}$ 入力		X	0	1		
P76	\overline{WAIT} 入力	X	0	1		
ポート 8	P80~P87	出力ポート	X		0	0
	P80	$\overline{CS0}$ 出力	X		1	0
	P81	$\overline{CS1}$ 出力	X		1	0
		\overline{SDCS} 出力	X		X	1
	P82	$\overline{CS2}$ 出力	X		1	0
		\overline{CSZA} 出力	X		0	1
		\overline{SDCS} 出力	X		1	1
	P83	$\overline{CS3}$ 出力	X		1	0
		\overline{CSZB} 出力	X		1	0
	P84	\overline{WRUL} 出力	X		0	1
		$\overline{ND0CE}$ 出力	X		1	1
		\overline{CSZC} 出力	X		1	0
		\overline{WRUU} 出力	X		0	1
	P85	$\overline{ND1CE}$ 出力	X		1	1
		\overline{CSZD} 出力	X		1	0
		\overline{SRULB} 出力	X		X	1
	P86	\overline{CSZE} 出力	X		1	0
\overline{SRUUB} 出力		X		X	1	
P87	\overline{CSZE} 出力	X		1	0	
	\overline{SRUUB} 出力	X		X	1	

表 3.5.2 I/O ポート設定一覧表(2/3) X: Don't care

ポート	ピン名称	仕様	入出力レジスタ			
			Pn	PnCR	PnFC	PnFC2
ポート 9	P90~P94, P96~P97	入力ポート	X	0	0	0
	P90~P94	出力ポート	X	1	0	0
	P95	出力ポート	X	0	0	0
	P90	TXD0 出力	X	1	1	0
		I2SCKO 出力	X	0	1	0
		TXD0 出力 (オープンドレイン)	X	1	1	1
	P91	RXD0 入力	X	0	0	
		I2SDO 出力	X	0	1	
	P92	SCLK0 出力	X	1	1	
		I2SWS 出力	X	0	1	
		SCLK0, CTS0 入力 (注 1)	X	0	0	
	P93	LGOE0 出力	X	0	1	
	P94	LGOE1 出力	X	0	1	
	P95	LGOE2 出力	X	0	1	
		CLK32KO 出力	X	1	0	
	P96	INT4 入力	X	設定レジスタなし	1	
P97	INT5 入力	X		1		
ポート A	PA0~PA7	入力ポート	X	0	0	
		KI0~KI7 入力	X	0	1	
	PA3~PA6	LD8~LD11 出力	X	1	0	
ポート C	PC0~PC3 PC6~PC7	入力ポート	X	0	0	
		出力ポート	X	1	0	
	PC0	INT0 入力	X	0	1	
		TA1OUT 出力	X	1	1	
	PC1	INT1 入力	X	0	1	
		TA3OUT 出力	X	1	1	
	PC2	INT2 入力	X	0	1	
		TB0OUT0 出力	X	1	1	
	PC3	INT3 入力	X	0	1	
	PC6	LDIV 出力	X	1	1	
		KO8 出力 (オープンドレイン)	X	0	1	
PC7	LCP1 出力	X	1	1		
	CSZF 出力	X	0	1		
ポート F	PF0~PF2	入力ポート	X	0	0	0
	PF0~PF2, PF7	出力ポート	X	1	0	0
	PF0	TXD0 出力	X	1	1	0
		TXD1 出力	X	0	1	0
		TXD0/TXD1 出力 (オープンドレイン)	X	1/0	1	1
	PF1	RXD0 入力	X	0	0	
		RXD1 入力	X	0	0	
	PF2	SCLK0 出力	X	1	1	
		SCLK1 出力	X	0	1	
		SCLK0, CTS0 入力	X	0	0	
		SCLK1, CTS1 入力	X	0	0	
PF7	SDCLK 出力	X	設定レジスタなし	1		

注 1) P92 端子を SCLK0 入力あるいは CTS0 入力として使う場合、PF<PF2>に“1”を設定してください。

表 3.5.2 I/O ポート設定一覧表(3/3) X: Don't care

ポート	ピン名称	仕様	入出力レジスタ				
			Pn	PnCR	PnFC	PnFC2	
ポート G	PG0~PG3	入力ポート	X	設定 レジスタ なし	設定 レジスタ なし		
		AN0~AN3 入力					
	PG3	ADTRG 入力					
	PG2	MX 出力					
	PG3	MY 出力					
ポート J	PJ0~PJ7	出力ポート	X	1	0	設定 レジスタ なし	
	PJ5~PJ6	入力ポート	X	0	0		
	PJ0	SDRAS, SRLLB 出力	X	設定 レジスタ なし	1		
	PJ1	SDCAS, SRLUB 出力	X		1		
	PJ2	SDWE, SRWR 出力	X		1		
	PJ3	SDLLDQM 出力	X		1		
	PJ4	SDLUDQM 出力	1		1		
	PJ5	SDULDQM 出力	1		1		1
		NDALE 出力	0		1		1
	PJ6	SDUUDQM 出力	1	1	1		
		NDCLE 出力	0	1	1		
	PJ7	SDCKE 出力	X		1		
	ポート K	PK0~PK3	出力ポート	X	設定 レジスタ なし		0
PK0		LCP0 出力	X	1			
PK1		LLP 出力	X	1			
PK2		LFR 出力	X	1			
PK3		LBCD 出力	X	1			
ポート L	PL4~PL7	入力ポート	X	0	0		
	PL0~PL7	出力ポート	X	1	0		
	PL0~PL7	LD0~LD7 出力	X	1	1		
ポート M	PM1~PM2	出力ポート	X	設定 レジスタ なし	0		
	PM1	MLDALM 出力	X		1		
	PM2	MLDALM 出力	0		1		
		ALARM 出力	1		1		

3.5.1 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P1CR およびファンクションレジスタ P1FC によって行います。汎用入出力ポート機能以外にデータバス (D8~D15) 機能があります。また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 1 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	データバス (D8~D15)
1	0	データバス (D8~D15)
1	1	入力ポート

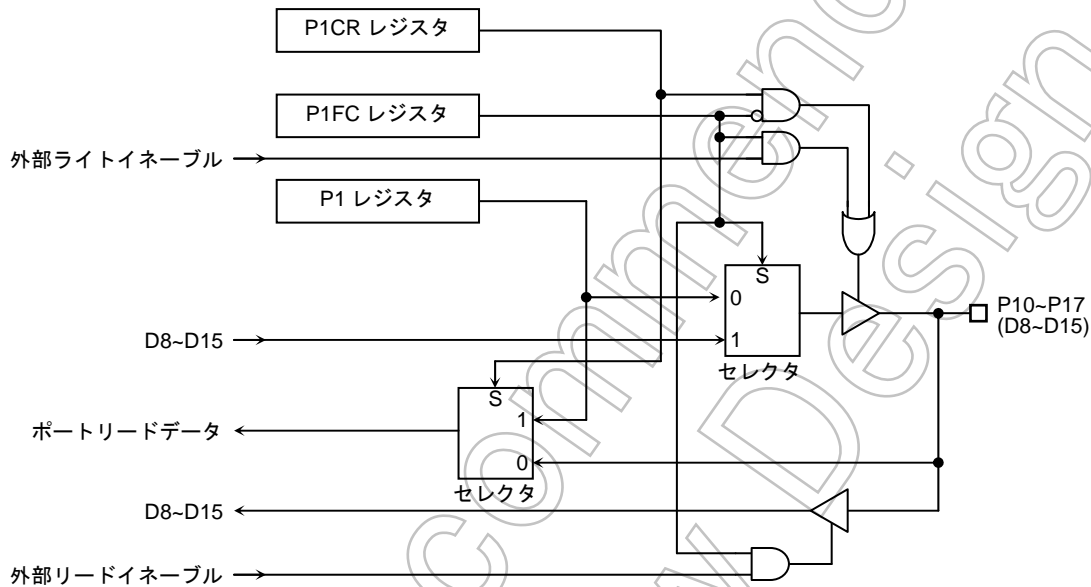


図 3.5.1 ポート 1

ポート 1 レジスタ

	7	6	5	4	3	2	1	0	
P1 (0004H)	Bit symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 1 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P1CR (0006H)	Bit symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: 入力 1: 出力							

ポート 1 ファンクションレジスタ

	7	6	5	4	3	2	1	0
P1FC (0007H)	Bit symbol							P1F
	Read/Write							W
	リセット後 注 2)							0/1
	機能							0: ポート 1: データ バス (D8~D15)

ポート 1 ドライブレジスタ

	7	6	5	4	3	2	1	0	
P1DR (0081H)	Bit symbol	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注 1) P1CR, P1FC はリードモディファイライトできません。

注 2) AM 端子の状態によって、リセット後、ポートがデータバスに変わります。

図 3.5.2 ポート 1 関係のレジスタ

3.5.2 ポート 2 (P20~P27)

ポート 2 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P2CR およびファンクションレジスタ P2FC によって行います。汎用入出力ポート機能以外にデータバス (D16~D23) 機能があります。D16~D23 あるいはキーボードインタフェース端子 KO0~KO7 はオープンドレイン出力バッファに設定可能です。また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 2 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	入力ポート
1	0	データバス (D16~D23)
1	1	入力ポート

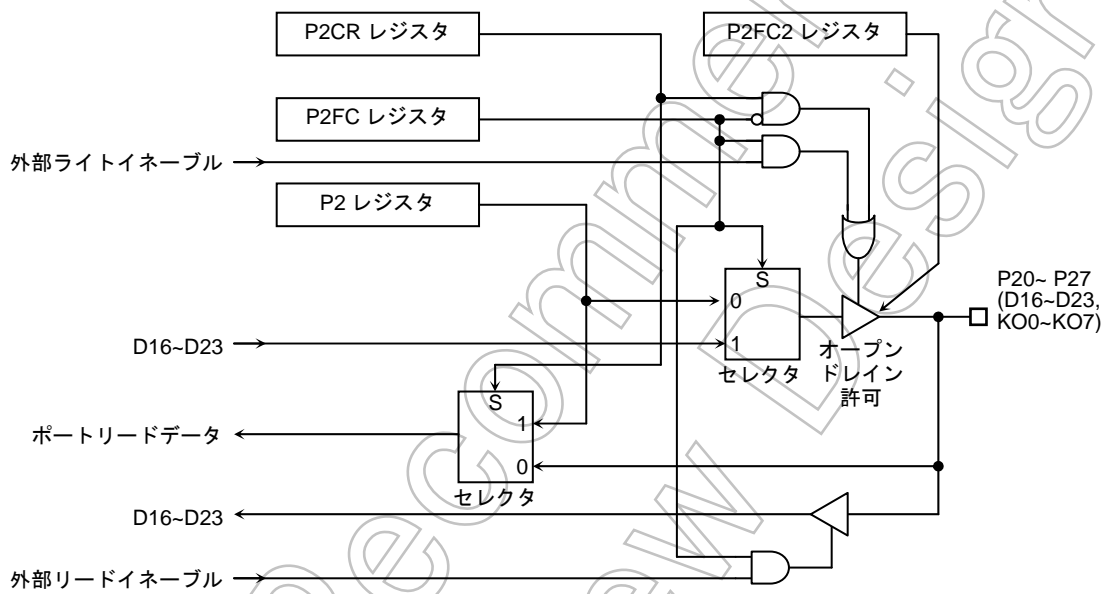


図 3.5.3 ポート 2

ポート 2 レジスタ

P2 (0008H)		7	6	5	4	3	2	1	0
	Bit symbol	P27	P26	P25	P24	P23	P22	P21	P20
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 2 コントロールレジスタ

P2CR (000AH)		7	6	5	4	3	2	1	0
	Bit symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力								

ポート 2 ファンクションレジスタ

P2FC (000BH)		7	6	5	4	3	2	1	0
	Bit symbol								P2F
	Read/Write								W
	リセット後 注 2)								0/1
機能								0: ポート 1: データバス (D16-D23)	

ポート 2 ファンクションレジスタ 2

P2FC2 (0009H)		7	6	5	4	3	2	1	0
	Bit symbol	P27F2	P26F2	P25F2	P24F2	P23F2	P22F2	P21F2	P20F2
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能	0: CMOS 出力 1: オープンドレイン出力								

ポート 2 ドライブレジスタ

P2DR (0082H)		7	6	5	4	3	2	1	0
	Bit symbol	P27D	P26D	P25D	P24D	P23D	P22D	P21D	P20D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモード用入出力バッファドライブレジスタ								

注 1) P2CR, P2FC, P2FC2 リードモディファイライトできません。

注 2) AM 端子の状態によって、リセット後、ポートかデータバスに変わります。

図 3.5.4 ポート 2 関係のレジスタ

3.5.3 ポート 3 (P30~P37)

ポート 3 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P3CR およびファンクションレジスタ P3FC によって行います。汎用入出力ポート機能以外にデータバス (D24~D31) 機能があります。また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 3 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	入力ポート
1	0	データバス (D24~D31)
1	1	入力ポート

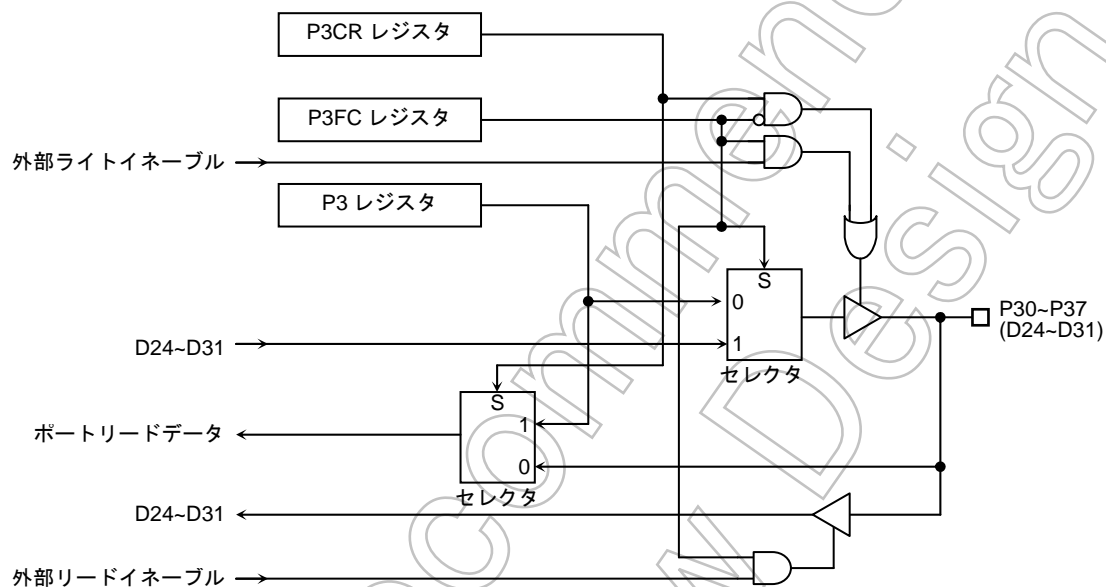


図 3.5.5 ポート 3

ポート3レジスタ

	7	6	5	4	3	2	1	0	
P3 (000CH)	Bit symbol	P37	P36	P35	P34	P33	P32	P31	P30
	Read/Write	R/W							
	リセット後	外部端子データ (出カラッチレジスタは "0" にクリアされます。)							

ポート3コントロールレジスタ

	7	6	5	4	3	2	1	0	
P3CR (000EH)	Bit symbol	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: 入力 1: 出力							

ポート3ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P3FC (000FH)	Bit symbol					-	-	-	P3F
	Read/Write	W							
	リセット後					0	0	0	0/1 注2)
	機能	0をライトしてください							0: ポート 1: データバス (D24~D31)

ポート3ドライブレジスタ

	7	6	5	4	3	2	1	0	
P3DR (0083H)	Bit symbol	P37D	P36D	P35D	P34D	P33D	P32D	P31D	P30D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注1) P3CR, P3FC はリードモディファイライトできません。

注2) AM 端子の状態によって、リセット後、ポートかデータバスに変わります。

図 3.5.6 ポート3関係のレジスタ

3.5.4 ポート 4 (P40~P47)

ポート 4 は 8 ビットの汎用出力ポートです。

汎用出力ポート機能以外にアドレスバス (A0~A7) 機能があります。また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 4 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A0~A7)
1	0	アドレスバス (A0~A7)
1	1	出力ポート

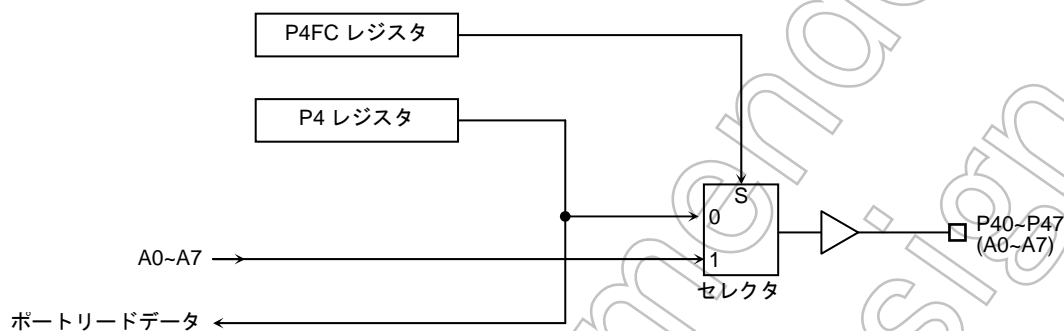


図 3.5.7 ポート 4

ポート 4 レジスタ

P4 (0010H)		7	6	5	4	3	2	1	0
	Bit symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

ポート 4 ファンクションレジスタ

P4FC (0013H)		7	6	5	4	3	2	1	0
	Bit symbol	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
	Read/Write	W							
	リセット後 注 2)	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
機能	0: ポート 1: アドレスバス (A0~A7)								

ポート 4 ドライブレジスタ

P4DR (0084H)		7	6	5	4	3	2	1	0
	Bit symbol	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモード用入出力バッファドライブレジスタ								

注 1) P4FC はリードモディファイライトできません。

注 2) AM 端子の状態によって、リセット後、ポートかアドレスバスに変わります。

図 3.5.8 ポート 4 関係のレジスタ

3.5.5 ポート 5 (P50~P57)

ポート 5 は 8 ビットの汎用出力ポートです。

汎用出力ポート機能以外にアドレスバス (A8~A15) 機能があります。また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 5 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A8~A15)
1	0	アドレスバス (A8~A15)
1	1	出力ポート

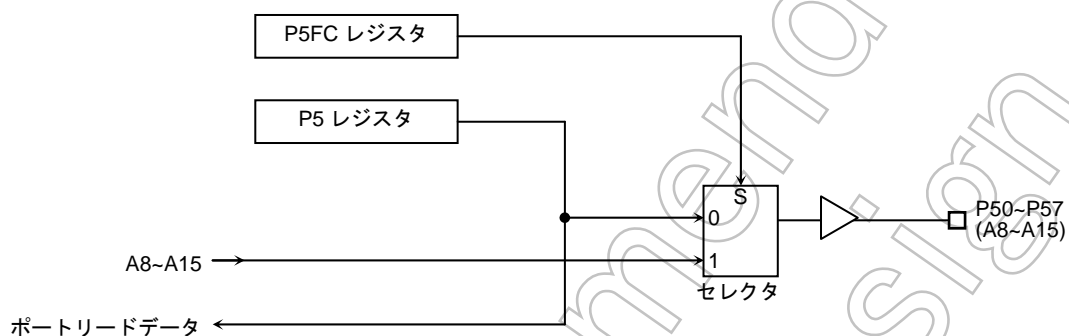


図 3.5.9 ポート 5

ポート 5 レジスタ

P5 (0014H)		7	6	5	4	3	2	1	0
	Bit symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0

ポート 5 ファンクションレジスタ

P5FC (0017H)		7	6	5	4	3	2	1	0
	Bit symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
	Read/Write	W							
	リセット後 注 2)	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	機能	0: ポート 1: アドレスバス (A8-A15)							

ポート 5 ドライブレジスタ

P5DR (0085H)		7	6	5	4	3	2	1	0
	Bit symbol	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注 1) P5FC はリードモディファイライトできません。

注 2) AM 端子の状態によって、リセット後、ポートかアドレスバスに変わります。

図 3.5.10 ポート 5 関係のレジスタ

3.5.6 ポート 6 (P60~P67)

ポート 6 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P6CR およびファンクションレジスタ P6FC によって行います。汎用入出力ポート機能以外にアドレスバス (A16~A23) 機能があります。また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、ポート 6 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A16~A23)
1	0	アドレスバス (A16~A23)
1	1	入力ポート

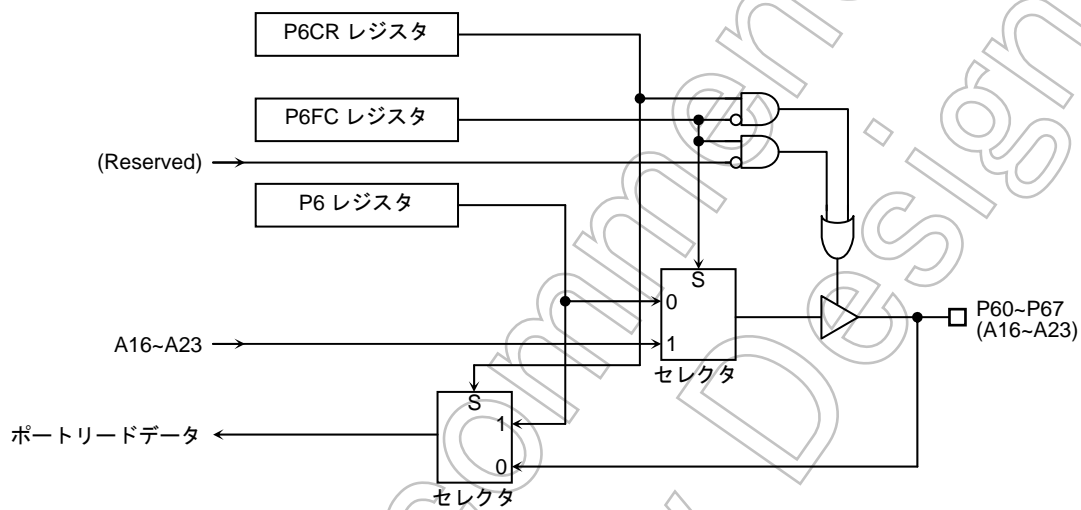


図 3.5.11 ポート 6

ポート6レジスタ

	7	6	5	4	3	2	1	0	
P6 (0018H)	Bit symbol	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	リセット後	外部端子データ (出カラッチレジスタは“0”にクリアされます。)							

ポート6コントロールレジスタ

	7	6	5	4	3	2	1	0	
P6CR (001AH)	Bit symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート6ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P6FC (001BH)	Bit symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
	Read/Write	W							
	リセット後 注2)	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
	機能	0: ポート 1: アドレスバス (A16~A23)							

ポート6ドライブレジスタ

	7	6	5	4	3	2	1	0	
P6DR (0086H)	Bit symbol	P67D	P66D	P65D	P64D	P63D	P62D	P61D	P60D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注1) P6CR, P6FC はリードモディファイライトできません。

注2) AM 端子の状態によって、リセット後、ポートかアドレスバスに変わります。

図 3.5.12 ポート6関係のレジスタ

3.5.7 ポート 7 (P70~P76)

ポート 7 は、7 ビットの汎用入出力ポートです (P70 および P73、P74 端子は出力のみ)。

ビットごとの入出力の指定は、コントロールレジスタ P7CR およびファンクションレジスタ P7FC によって行います。

また、汎用入出力ポート機能以外に、P70 から P76 端子は外部メモリ接続用としてのインタフェース端子の機能があります。リセット後、P70、P73 および P74 端子は出力モード、P71、P72 および P75、P76 端子は入力モードとなります。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	\overline{RD} 端子
1	0	\overline{RD} 端子
1	1	P70 出力ポート

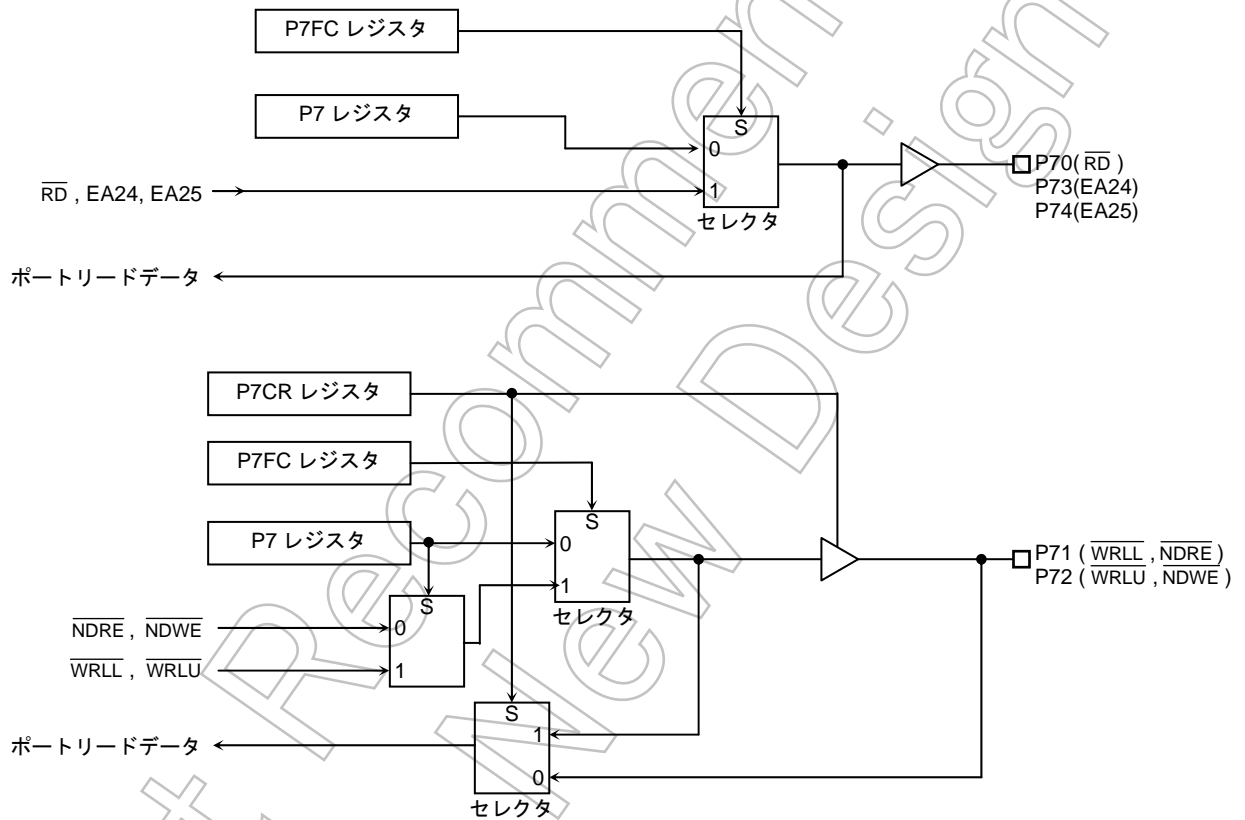


図 3.5.13 ポート 7

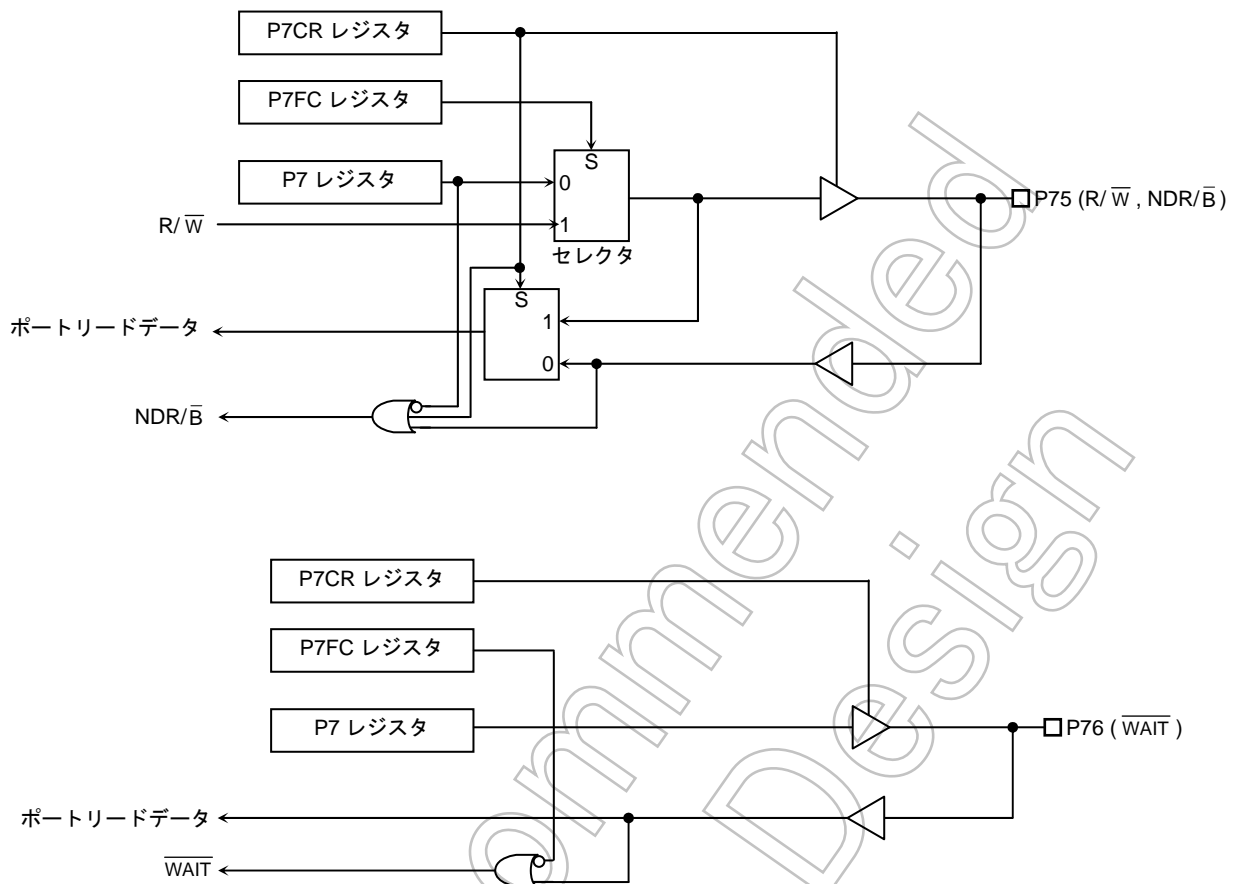


図 3.5.14 ポート 7

ポート7レジスタ

	7	6	5	4	3	2	1	0	
P7 (001CH)	Bit symbol	P76	P75	P74	P73	P72	P71	P70	
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "1"にセットされます)			0	0	外部端子データ (出力ラッチレジスタは "1"にセットされます)		1

ポート7コントロールレジスタ

	7	6	5	4	3	2	1	0
P7CR (001EH)	Bit symbol	P76C	P75C			P72C	P71C	
	Read/Write	W				W		
	リセット後	0	0			0	0	
	機能	以下の表を 参照してください				以下の表を 参照してください		

ポート7ファンクションレジスタ

	7	6	5	4	3	2	1	0
P7FC (001FH)	Bit symbol	P76F	P75F	P74F	P73F	P72F	P71F	P70F
	Read/Write	W						
	リセット後	0	0	0	0	0	0	0/1 注2)
	機能	以下の表を 参照してください		0: ポート 1: EA25	0: ポート 1: EA24	以下の表を 参照してください		0: ポート 1: RD

ポート7ドライブレジスタ

	7	6	5	4	3	2	1	0
P7DR (0087H)	Bit symbol	P76D	P75D	P94D	P73D	P72D	P71D	P71D
	Read/Write	R/W						
	リセット後	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ						

P72 設定

	<P72C>	0	1
<P72F>	0	入力ポート	出力ポート
	1	(Reserved)	NDWE 出力 (at <P72> = 0) WRLH 出力 (at <P72> = 1)

P71 設定

	<P71C>	0	1
<P71F>	0	入力ポート	出力ポート
	1	(Reserved)	NDRE 出力 (at <P71> = 0) WRL 出力 (at <P71> = 1)

P76 設定

	<P76C>	0	1
<P76F>	0	入力ポート	出力ポート
	1	WAIT 入力	(Reserved)

P75 設定

	<P75C>	0	1
<P75F>	0	入力ポート	出力ポート
	1	NDR/B 入力	R/W 出力

注1) P7CR, P7FC はリードモディファイライトできません。

注2) AM 端子の状態によって、リセット後、ポートが RD に変わります。

注3) NDRE および NDWE を使用する場合、グリッチの出力を回避するために、次の順番でレジスタを設定してください。

順番	レジスタ	bit2	bit1
(1)	P7	0	0
(2)	P7FC	1	1
(3)	P7CR	1	1

図 3.5.15 ポート7関係のレジスタ

3.5.8 ポート 8 (P80~P87)

ポート 8 は 8 ビットの出力ポートです。リセット動作により、P82 の出力ラッチは“0”にクリアされ、P80~P81 と P83~P87 の出力ラッチは“1”にセットされます。

ポート 8 は機能レジスタ P8FC を使用して外部メモリ用のインタフェース端子としての機能も持っています。

これらの機能は P8FC、P8FC2 レジスタの該当ビットに“1”を設定することで動作します。リセットにより P8FC の<P80F>から<P87F>までおよび P8FC2 は“0”にクリアされ、すべてのビットは出力ポートモードになります。

ポート 82 初期状態

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	“0” 出力ポート
1	0	“0” 出力ポート
1	1	“1” 出力ポート

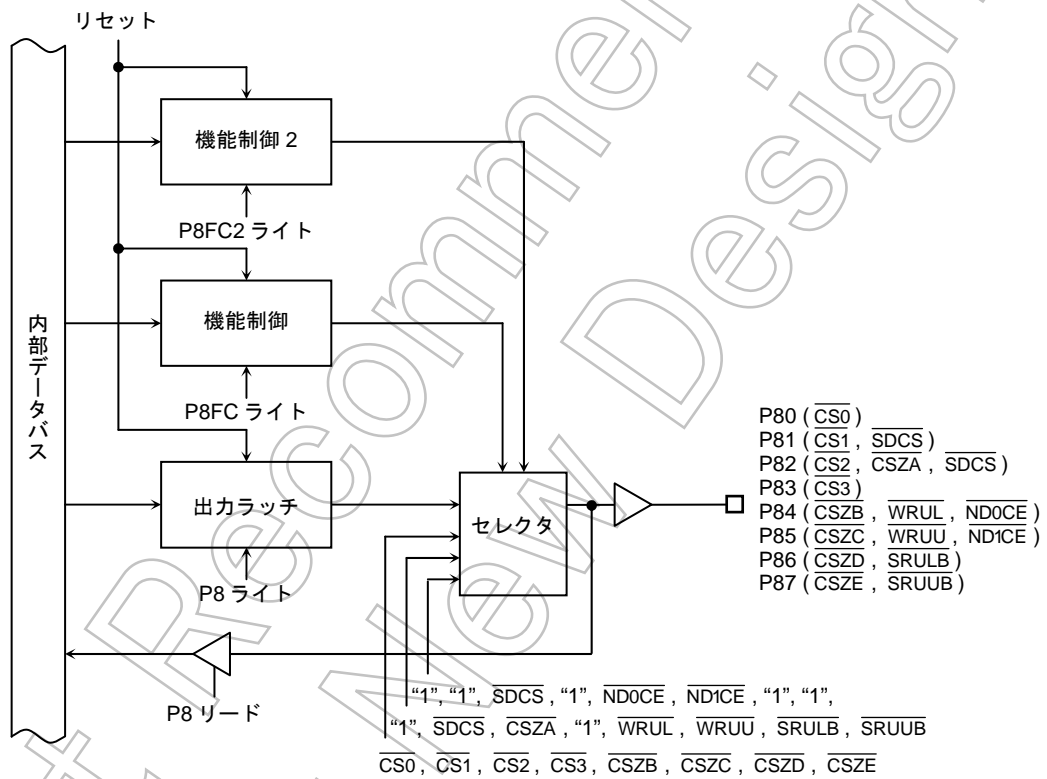


図 3.5.16 ポート 8

ポート 8 レジスタ

	7	6	5	4	3	2	1	0	
P8 (0020H)	Bit symbol	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R/W							
	リセット後	1	1	1	1	1	0/1 注2)	1	1

ポート 8 機能レジスタ

	7	6	5	4	3	2	1	0	
P8FC (0023H)	Bit symbol	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: ポート 1: $\overline{CSZ\bar{E}}$	0: ポート 1: $\overline{CSZ\bar{D}}$	以下の表を 参照してください		0: ポート 1: $\overline{CS3}$	以下の表を 参照してく ださい	0: ポート 1: $\overline{CS1}$	0: ポート 1: $\overline{CS0}$

ポート 8 機能レジスタ 2

	7	6	5	4	3	2	1	0	
P8FC2 (0021H)	Bit symbol	P87F2	P86F2	P85F2	P84F2	-	P82F2	P81F2	-
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: <P87F> 1: \overline{SRUUB}	0: <P86F> 1: \overline{SRULB}	以下の表を 参照してください		"0" をライト してください	以下の表を 参照してく ださい	0: <P81F> 1: \overline{SDCS}	"0" をライト してください

ポート 8 ドライブレジスタ

	7	6	5	4	3	2	1	0	
P8DR (0088H)	Bit symbol	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

P85 設定

	<P85F>	0	1
<P85F2>	0	出力ポート $\overline{CSZ\bar{C}}$ 出力	$\overline{NDIC\bar{E}}$ 出力
	1	\overline{WRUUB} 出力	

P84 設定

	<P84F>	0	1
<P84F2>	0	出力ポート $\overline{CSZ\bar{B}}$ 出力	$\overline{NDOC\bar{E}}$ 出力
	1	\overline{WRUL} 出力	

P82 設定

	<P82F>	0	1
<P82F2>	0	出力ポート $\overline{CS2}$ 出力	
	1	$\overline{CSZ\bar{A}}$ 出力	\overline{SDCS} 出力

注1) P8FC と P8FC2 はリードモディファイライトできません。

注2) AM 端子の状態によって、リセット後、“0”か“1”に変わります。

注3) P82 端子はプログラムメモリ用 CE として使用するため、リセットにより“0”を出力します。マルチ 16 モードでリセット解除後、マルチ 32 モードで P82 端子を $\overline{CS2}$ または $\overline{CSZ\bar{A}}$ に設定する前に P8<P82>レジスタに“1”をライトしないでください。

図 3.5.17 ポート 8 用レジスタ

3.5.9 ポート 9 (P90~P97)

P90~P94 はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。リセット動作により P90~P94 は入力ポートとなり、また出力ラッチの全ビットは“1”へセットされます。

P95 は 1 ビットの汎用出力ポートで、P96~P97 は 2 ビットの汎用入力ポートです。P90~P92 は SIO0 あるいは I²S、P93~P95 は LCD 用出力信号 (LG0E0~2)、P96、P97 は外部割り込み入力端子 (INT4、INT5) 機能があります。これ以外に P95 は低周波発振回路出力機能、P96、P97 はタッチスクリーンインタフェース用 PX、PY 端子としての機能があります。これらの機能はコントロールレジスタ P9CR およびポート 9 ファンクションレジスタ P9FC の該当ビットを設定することにより各機能が有効となります。リセット動作により、P9FC レジスタの値は“0”にリセットされ、P95 を除く全ビットが入力ポートとなります。

- (1) ポート P90 (TXD0, I2SCKO)、ポート P91 (RXD0, I2SDO)、ポート P92 (SCLK0, $\overline{\text{CTS0}}$, I2SWS)

ポート P90~P92 は汎用入出力ポートです。それ以外に SIO0 あるいは I²S としての機能を持っています。

以下はそれぞれの端子の機能を示しています。

	SIO モード (SIO0 モジュール)	UART, IrDA モード (SIO0 モジュール)	I ² S モード (I ² S モジュール)	SIO モード (I ² S モジュール)
P90	TXD0 (データ出力)	TXD0 (データ出力)	I2SCKO (クロック出力)	I2SCKO (クロック出力)
P91	RXD0 (データ入力)	RXD0 (データ入力)	I2SDO (データ出力)	I2SDO (データ出力)
P92	SCLK0 (クロック入力 あるいは出力)	$\overline{\text{CTS0}}$ (送信クリア)	I2SWS (ワード選択 出力)	(未使用)

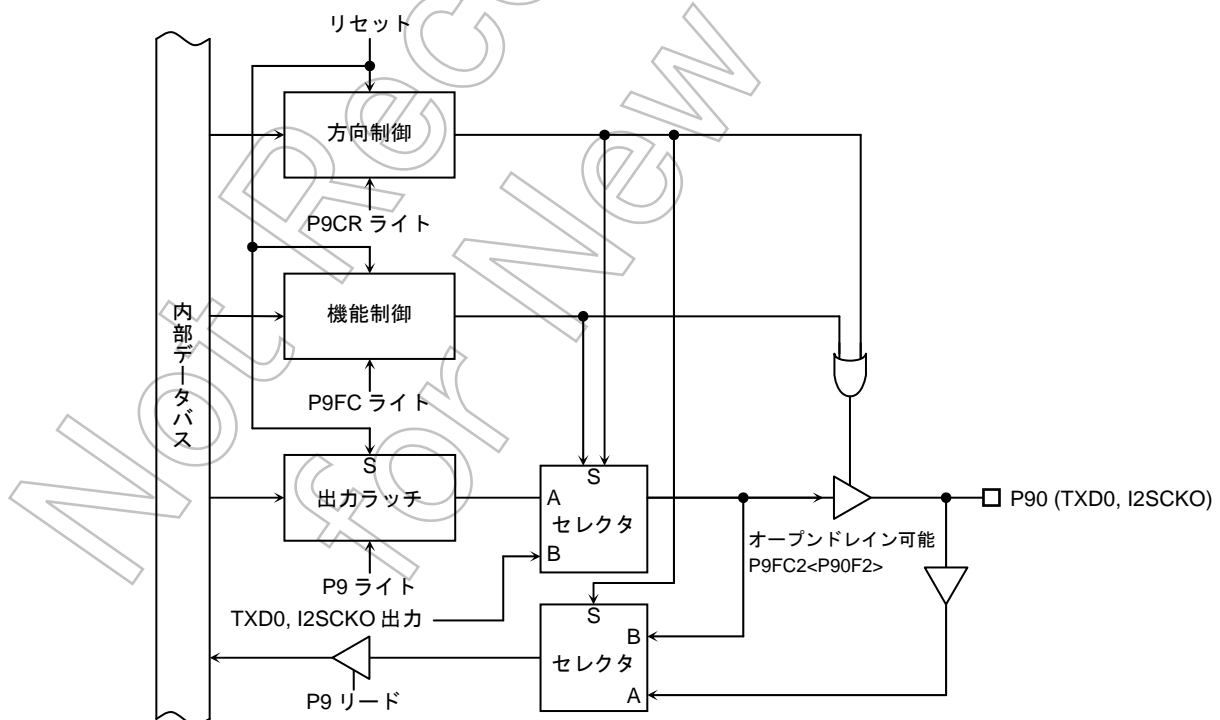


図 3.5.18 ポート P90

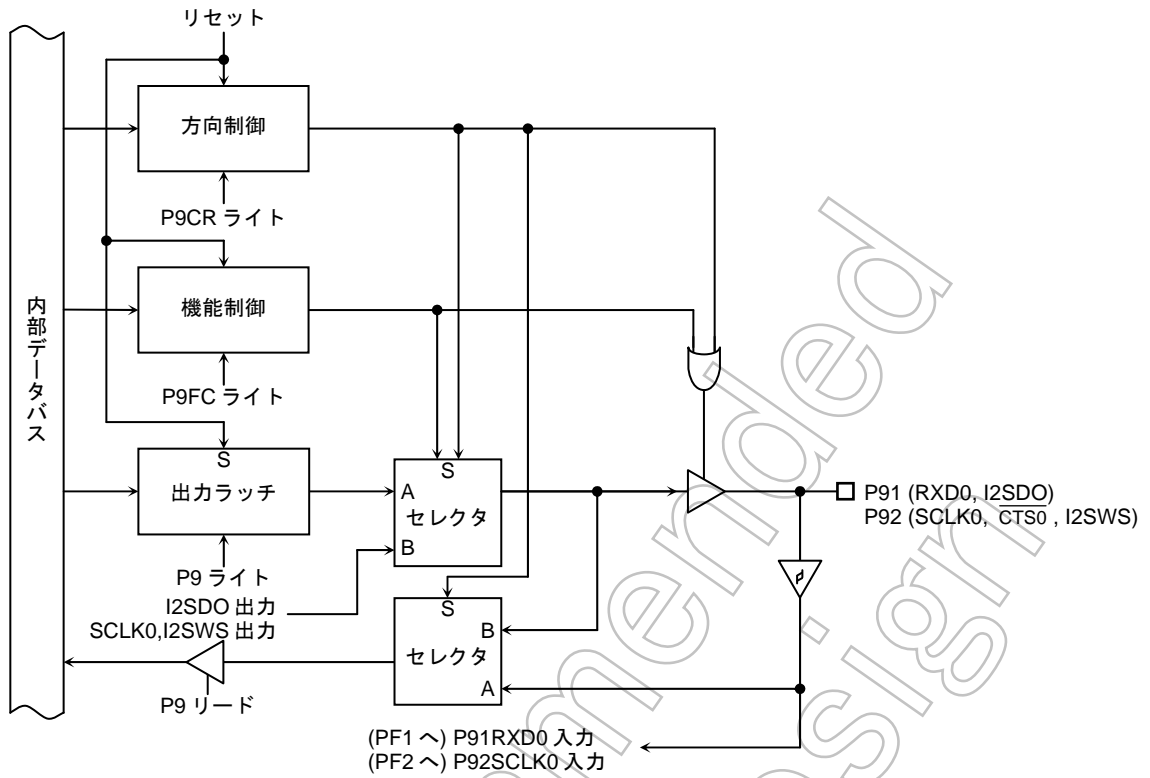


図 3.5.19 ポート P91、P92

(2) P93 (LGOE0), P94 (LGOE1), P95 (LGOE2, CLK32KO)

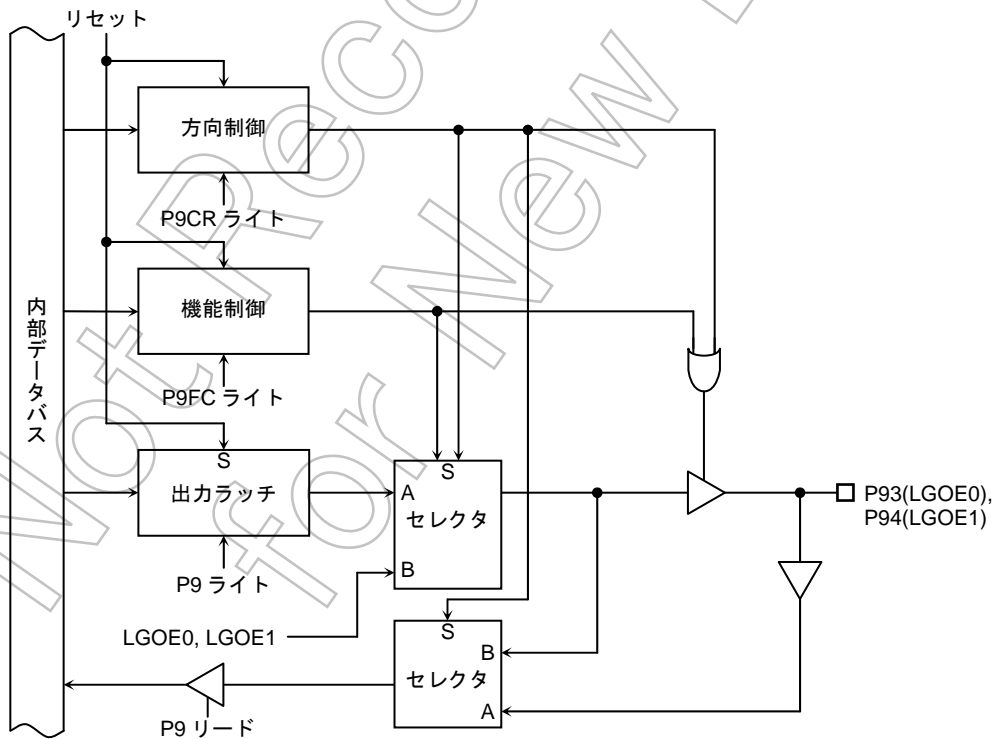


図 3.5.20 ポート P93、P94

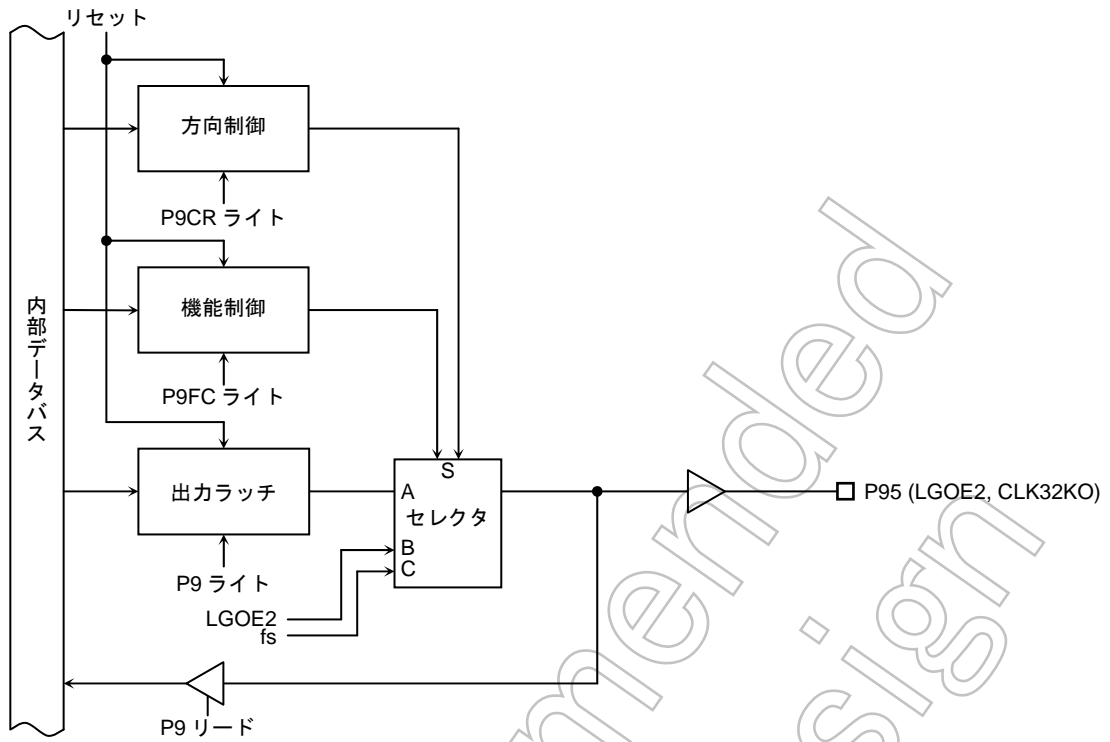


図 3.5.21 ポート P95

Not Recommended for New Design

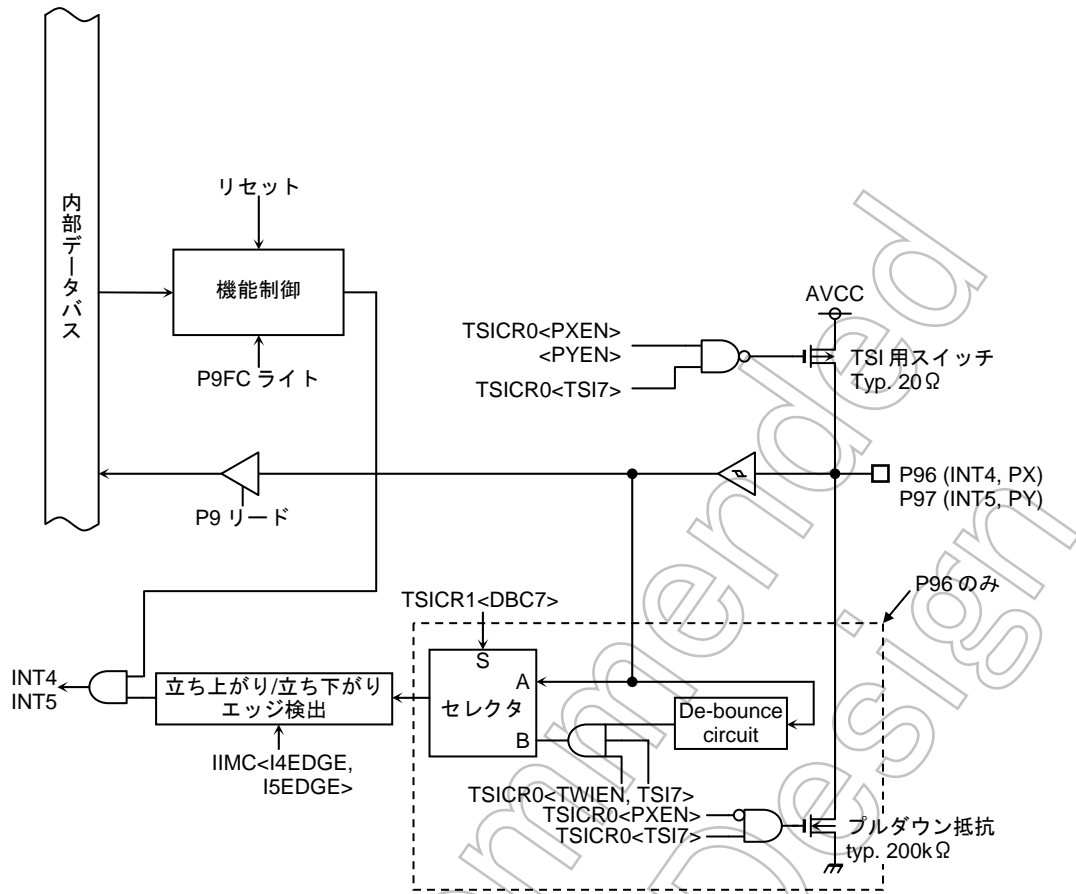


図 3.5.22 ポート P96、P97

Not Recommended for New

ポート 9 レジスタ

		7	6	5	4	3	2	1	0	
P9 (0024H)	Bit symbol	P97	P96	P95	P94	P93	P92	P91	P90	
	Read/Write	R			R/W					
	リセット後	外部端子データ			0	外部端子データ(出カラッチレジスタは"1"にセットされます)				

ポート 9 制御レジスタ

		7	6	5	4	3	2	1	0
P9CR (0026H)	Bit symbol			P95C	P94C	P93C	P92C	P91C	P90C
	Read/Write			W					
	リセット後			0	0	0	0	0	0
	機能			以下の表を参照してください					

ポート 9 機能レジスタ

		7	6	5	4	3	2	1	0
P9FC (0027H)	Bit symbol	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 ポート 1: INT5	0: 入力 ポート 1: INT4	以下の表を参照してください					

P92 設定

		0	1
<P92C>	<P92F>		
0	1	入力ポート SCLK0、CTS0 入力	出力ポート
1	0	I2SWS 出力	SCLK0 出力

P91 設定

		0	1
<P91C>	<P91F>		
0	1	入力ポート RXD0 入力	出力ポート
1	0	I2SDO 出力	(Reserved)

P90 設定

		0	1
<P90C>	<P90F>		
0	1	入力ポート	出力ポート
1	0	I2SCKO 出力	TXD0 出力

P95 設定

		0	1
<P95C>	<P95F>		
0	1	出力ポート CLK32KO 出力	(Reserved)
1	0	LGQE2 出力	(Reserved)

P94 設定

		0	1
<P94C>	<P94F>		
0	1	入力ポート	出力ポート
1	0	LGQE1 出力	(Reserved)

P93 設定

		0	1
<P93C>	<P93F>		
0	1	入力ポート	出力ポート
1	0	LGQE0 出力	(Reserved)

ポート 9 機能レジスタ 2

		7	6	5	4	3	2	1	0
P9FC2 (0025H)	Bit symbol								P90F2
	Read/Write								W
	リセット後								0
	機能								0: CMOS 1: オープン ドレイン

ポート 9 ドライブレジスタ

		7	6	5	4	3	2	1	0
P9DR (0089H)	Bit symbol	P97D	P96D	P95D	P94D	P93D	P92D	P91D	P90D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) P9CR、P9FC および P9FC2 はリードモディファイライトできません。

図 3.5.23 ポート 9 関係レジスタ

3.5.10 ポートA (PA0~PA7)

ポートAは8ビットのプルアップ抵抗付き汎用入力ポートです。入力ポート以外にキーボードインタフェース端子としてキーオンウェイクアップ機能があります。この機能はPAFCレジスタの該当ビットへ“1”を書き込むことにより動作可能となります。

リセット動作により、PAFCの全ビットの値は“0”にリセットされ、全端子が入力ポートモードとなります。

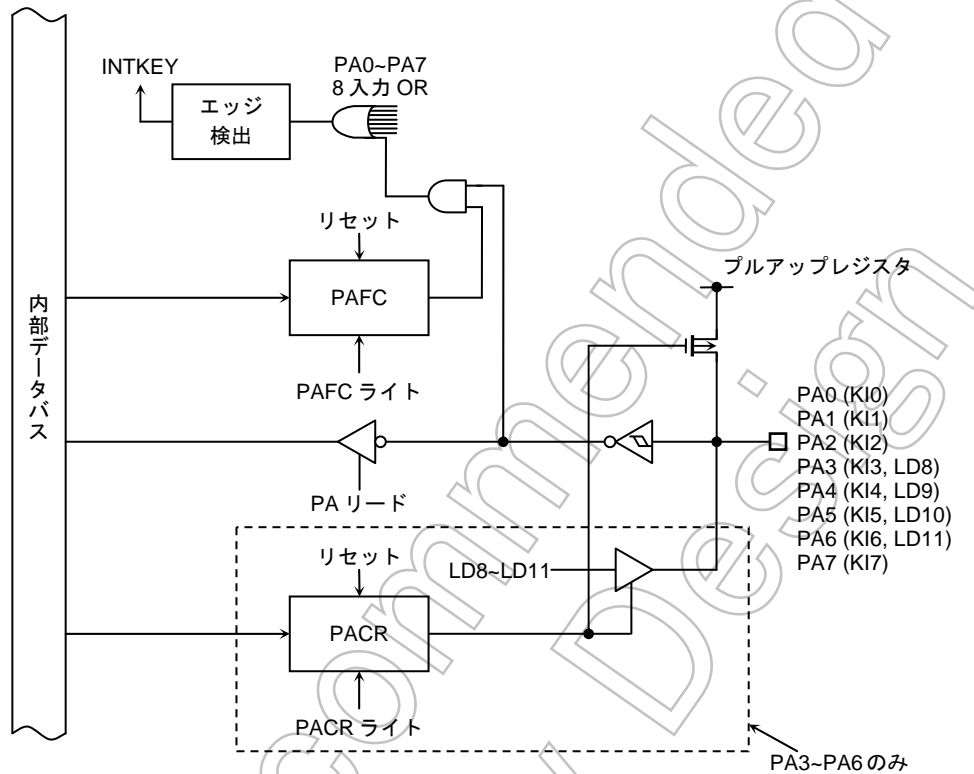


図 3.5.24 ポートA

PAFC = “1” のときに、KI0-KI7 端子のいずれかの端子の状態が立ち下がると、そのエッジを検出して INTKEY 割り込みを発生します。INTKEY 割り込みはすべてのホールドモード状態を解除可能です。

ポート A レジスタ

	7	6	5	4	3	2	1	0	
PA (0028H)	Bit symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write	R							
	リセット後	外部端子データ							

ポート A 機能レジスタ

	7	6	5	4	3	2	1	0	
PAFC (002BH)	Bit symbol	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: キー入力禁止 1: キー入力許可							

ポート A 制御レジスタ

	7	6	5	4	3	2	1	0
PACR (002AH)	Bit symbol		PA6C	PA5C	PA4C	PA3C		
	Read/Write	W						
	リセット後		0	0	0	0		
	機能	0: 入力ポートあるいはキー入力 1: LD11~LD8 入力						

ポート A ドライブレジスタ

	7	6	5	4	3	2	1	0	
PADR (008AH)	Bit symbol	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PACR および PAFC はリードモディファイライトできません。

図 3.5.25 ポート A レジスタ

3.5.11 ポート C (PC0~PC3, PC6~PC7)

ポート C はビット単位で入出力指定ができる 6 ビットの汎用入出力ポートです。各ビットは個々に入力あるいは出力に設定することが可能です。リセット動作によりポート C は入力ポートとなります。

汎用入出力ポート機能以外に、ポート C はタイマの出力端子 (TA1OUT, TA3OUT, TB0OUT0) 機能や、外部割り込み入力端子 (INT0~INT3) 機能、メモリ用出力ピン (\overline{CSZF})、Key 用出力端子 (K08) そして LCD ドライバ用出力端子 (LDIV, LCP1) を持っています。上記設定はファンクションレジスタ PCFC を使用します。外部割り込みのエッジ選択は割り込みコントローラ部にある IIMC レジスタにて設定します。

(1) PC0 (INT0, TA1OUT)

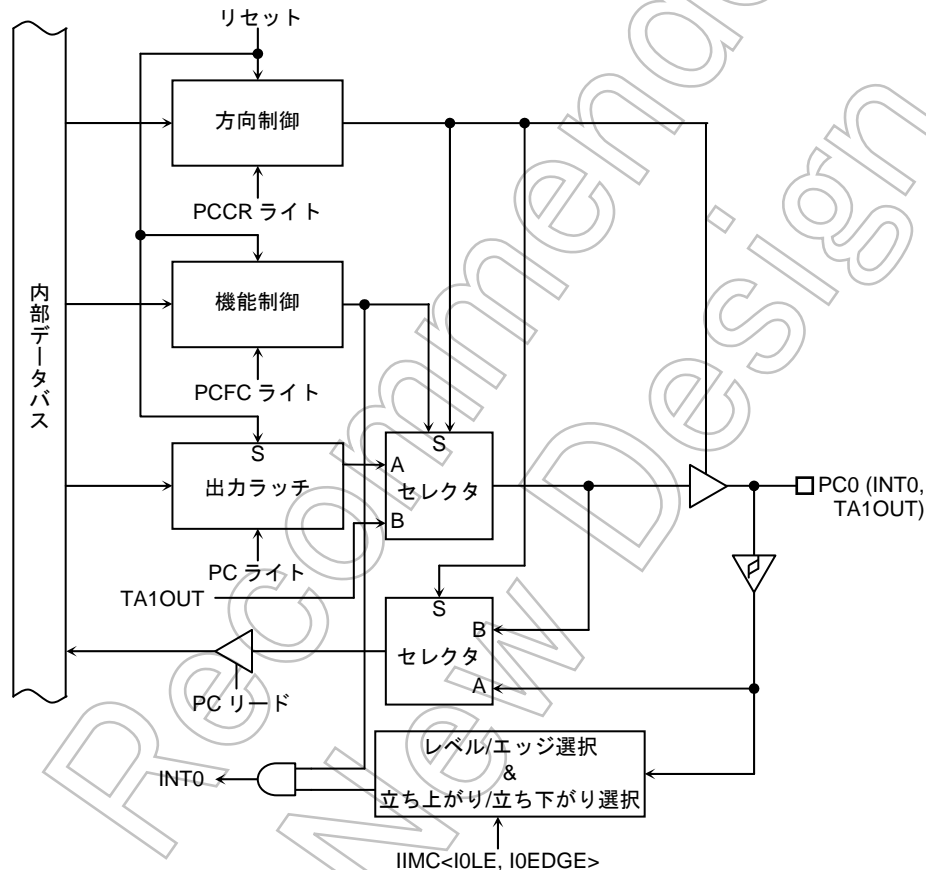


図 3.5.26 ポート PC0

(2) PC1 (INT1, TA3OUT), PC2 (INT2, TB0OUT0), PC3 (INT3, TB0OUT1)

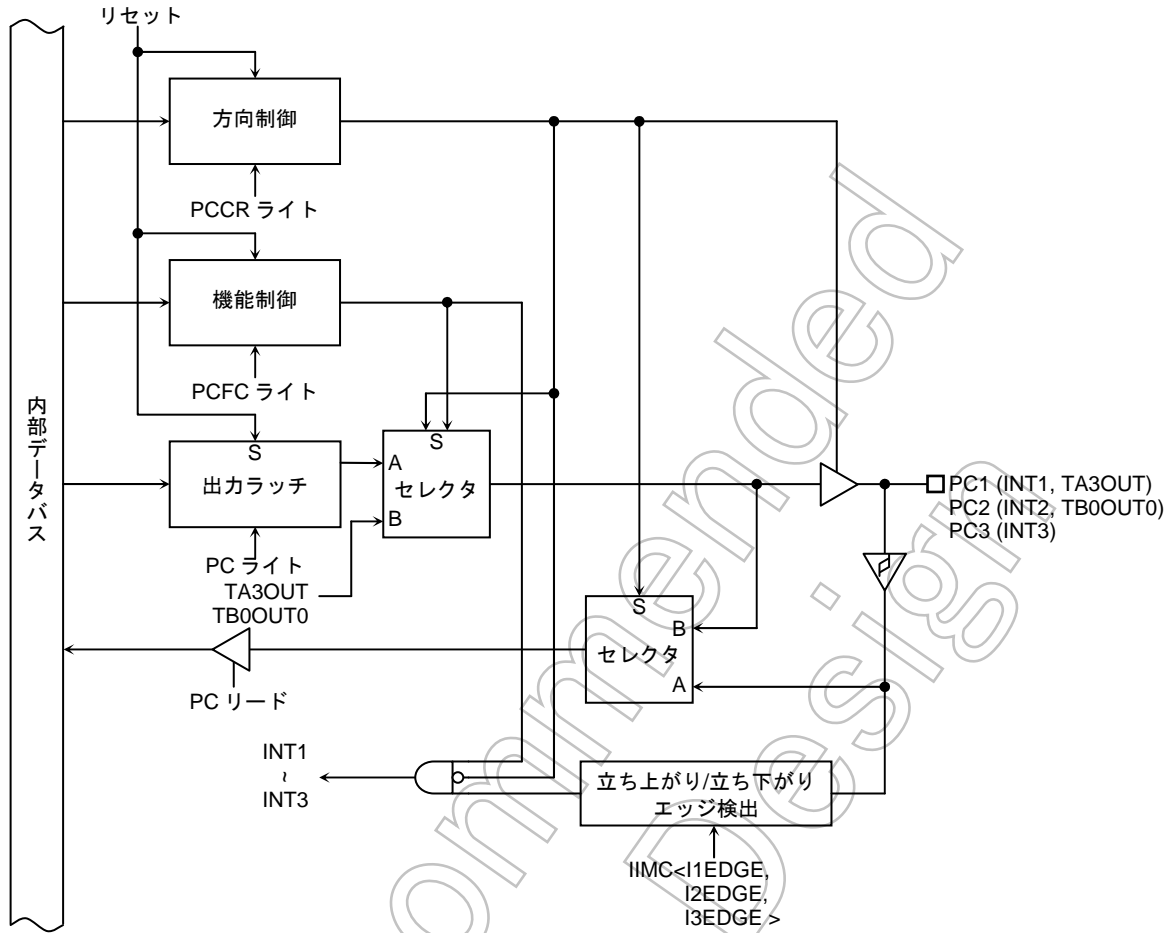


図 3.5.27 ポート PC1、PC2、PC3

(3) PC6 (KO8, LDIV)

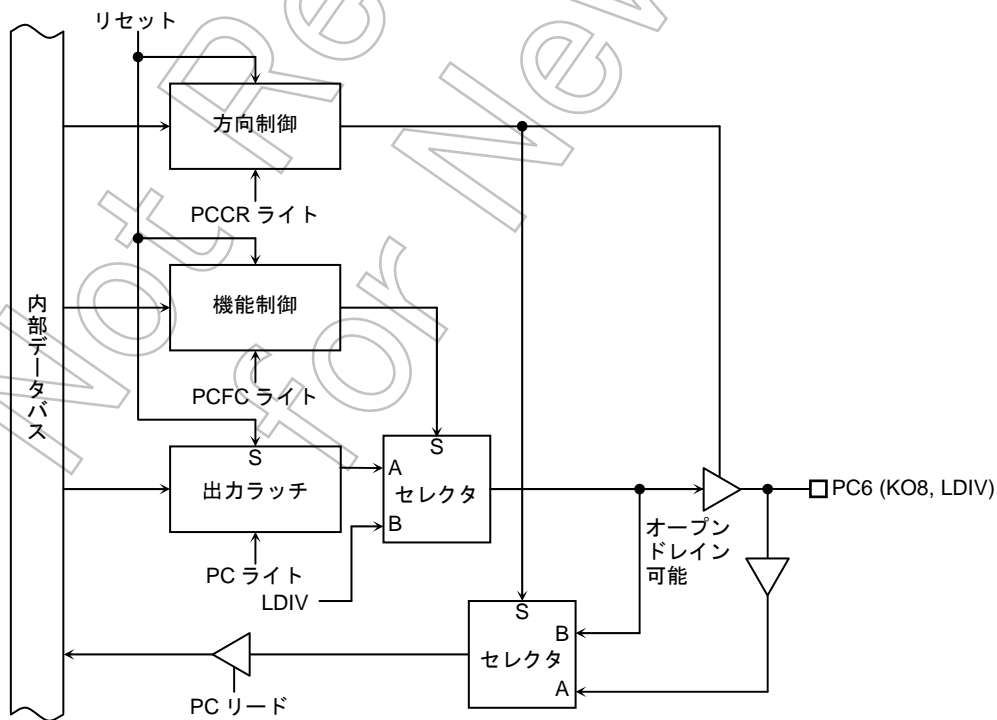


図 3.5.28 ポート PC6

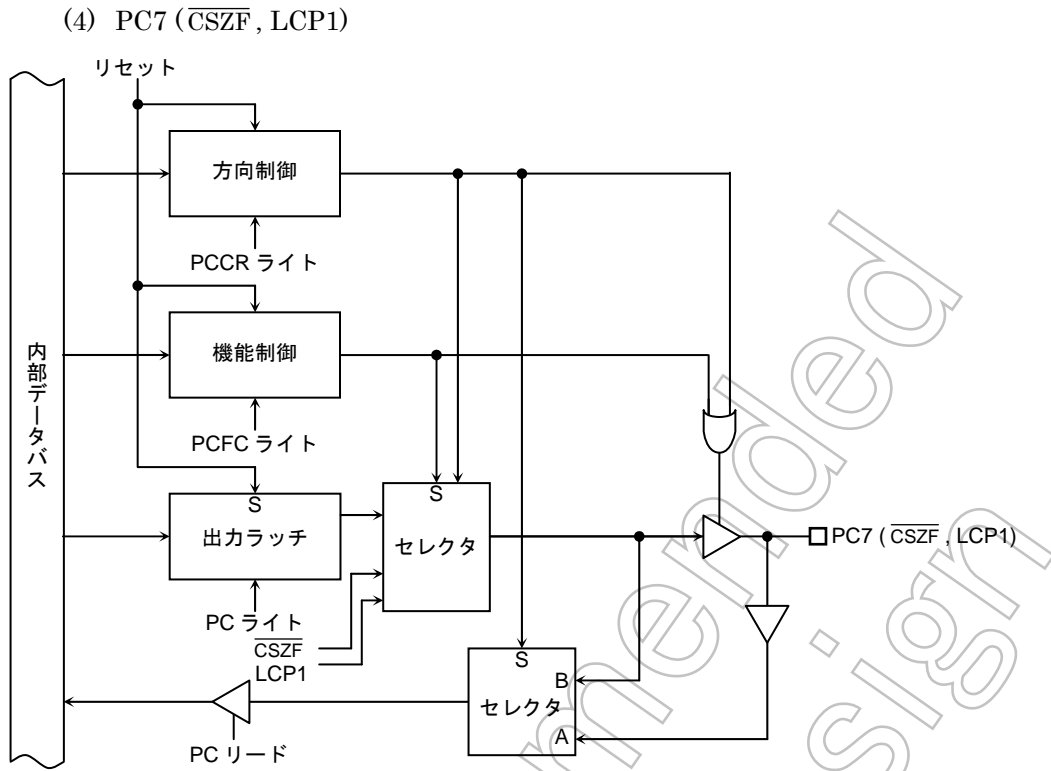


図 3.5.29 ポート PC7

Not Recommended for New Design

ポート C レジスタ

	7	6	5	4	3	2	1	0	
PC (0030H)	Bit symbol	PC7	PC6			PC3	PC2	PC1	PC0
	Read/Write	R/W			R/W				
	リセット後	外部端子データ (出力ラッチレジスタは "1"にセットされます)			外部端子データ (出力ラッチレジスタは"1"にセットされます)				

ポート C 制御レジスタ

	7	6	5	4	3	2	1	0	
PCCR (0032H)	Bit symbol	PC7C	PC6C			PC3C	PC2C	PC1C	PC0C
	Read/Write	W			W				
	リセット後	0	0			0	0	0	0
	機能	以下の表を参照してください			以下の表を参照してください				

ポート C 機能レジスタ

	7	6	5	4	3	2	1	0	
PCFC (0033H)	Bit symbol	PC7F	PC6F			PC3F	PC2F	PC1F	PC0F
	Read/Write	W			W				
	リセット後	0	0			0	0	0	0
	機能	以下の表を参照してください			以下の表を参照してください				

PC2 設定

<PC2C>	0	1
<PC2F>	0	1
0	入力ポート	出力ポート
1	INT2	TB0OUT0

PC1 設定

<PC1C>	0	1
<PC1F>	0	1
0	入力ポート	出力ポート
1	INT1	TA3OUT

PC0 設定

<PC0C>	0	1
<PC0F>	0	1
0	入力ポート	出力ポート
1	INT0	TA1OUT

PC7 設定

<PC7C>	0	1
<PC7F>	0	1
0	入力ポート	出力ポート
1	CSZF 出力	LCP1 出力

PC6 設定

<PC6C>	0	1
<PC6F>	0	1
0	入力ポート	出力ポート
1	KO8 (オープン ンドレイン)	LDIV 出力

PC3 設定

<PC3C>	0	1
<PC3F>	0	1
0	入力ポート	出力ポート
1	INT3	(Reserved)

ポート C ドライブレジスタ

	7	6	5	4	3	2	1	0	
PCCR (008CH)	Bit symbol	PC7D	PC6D			PC3D	PC2D	PC1D	PC0D
	Read/Write	R/W			R/W				
	リセット後	1	1			1	1	1	1
	機能	スタンバイモード用 入出力バッファ ドライブレジスタ			スタンバイモード用入出力 バッファドライブレジスタ				

注) PCCR、PCFC はリードモディファイライトできません。

図 3.5.30 ポート C レジスタ

3.5.12 ポート F (PF0~PF2, PF7)

PF0~PF2 はビット単位で入出力の指定ができる 3 ビットの汎用入出力ポートです。リセット動作により、すべての端子が入力ポートとなり、また出力ラッチレジスタの全ビットは“1”へセットされます。

汎用入出力ポート以外にシリアルチャネル 0、1 の入出力機能があります。この機能は PFFC レジスタの該当ビットへ“1”を書き込むことにより、それぞれの機能が動作可能となります。

PF7 は 1 ビットの汎用出力ポートです。汎用出力ポートの他に PF7 は SDCLK 出力機能があります。リセット動作により、PF7 は SDCLK 出力ポートに設定されます。

(1) PF0 (TXD0, TXD1)、PF1 (RXD0, RXD1)、PF2 (SCLK0, CTS0, SCLK1, CTS1)

PF0~PF2 は入出力ポート以外に SIO0 や SIO1 いずれかに使用されます。以下は各端子の機能を示しています。

	SIO モード (SIO0 モジュール)	UART, IrDA モード (SIO0 モジュール)	SIO モード (SIO1 モジュール)	UART モード (SIO1 モジュール)
PF0	TXD0 (データ出力)	TXD0 (データ出力)	TXD1 (データ出力)	TXD1 (データ出力)
PF1	RXD0 (データ入力)	RXD0 (データ入力)	RXD1 (データ入力)	RXD1 (データ入力)
PF2	SCLK0 (クロック入力 あるいは出力)	CTS0 (送信クリア)	SCLK1 (クロック入力 あるいは出力)	CTS1 (送信クリア)

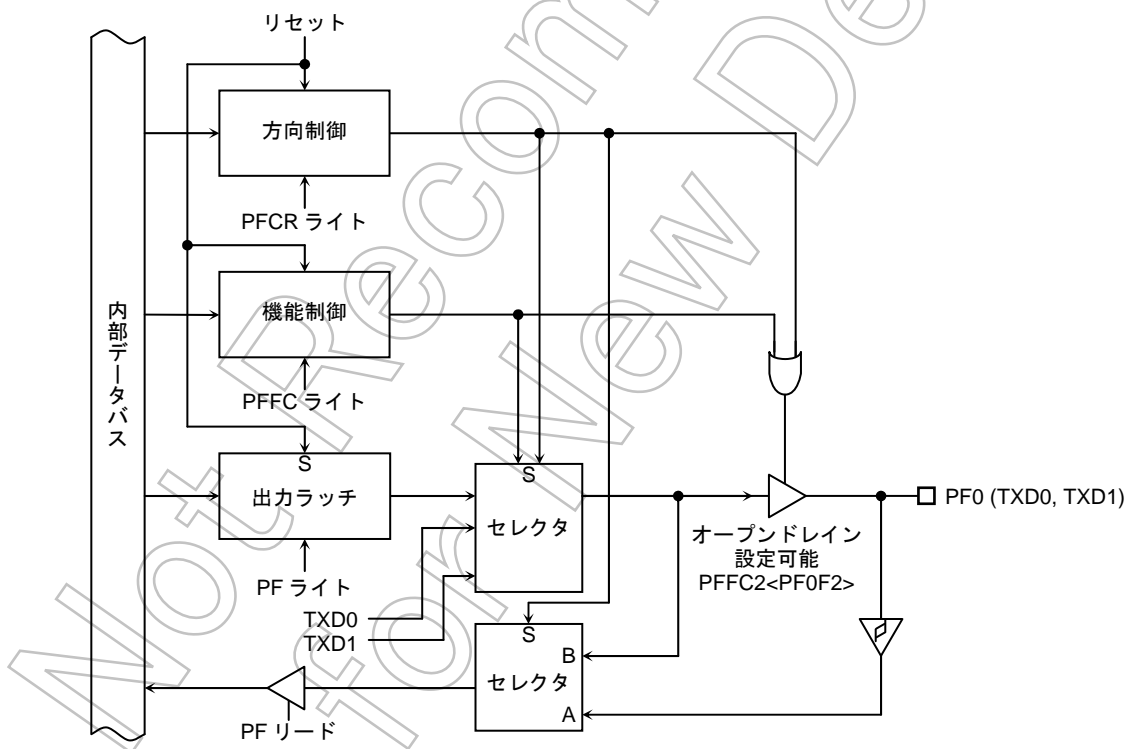


図 3.5.31 ポート PF0

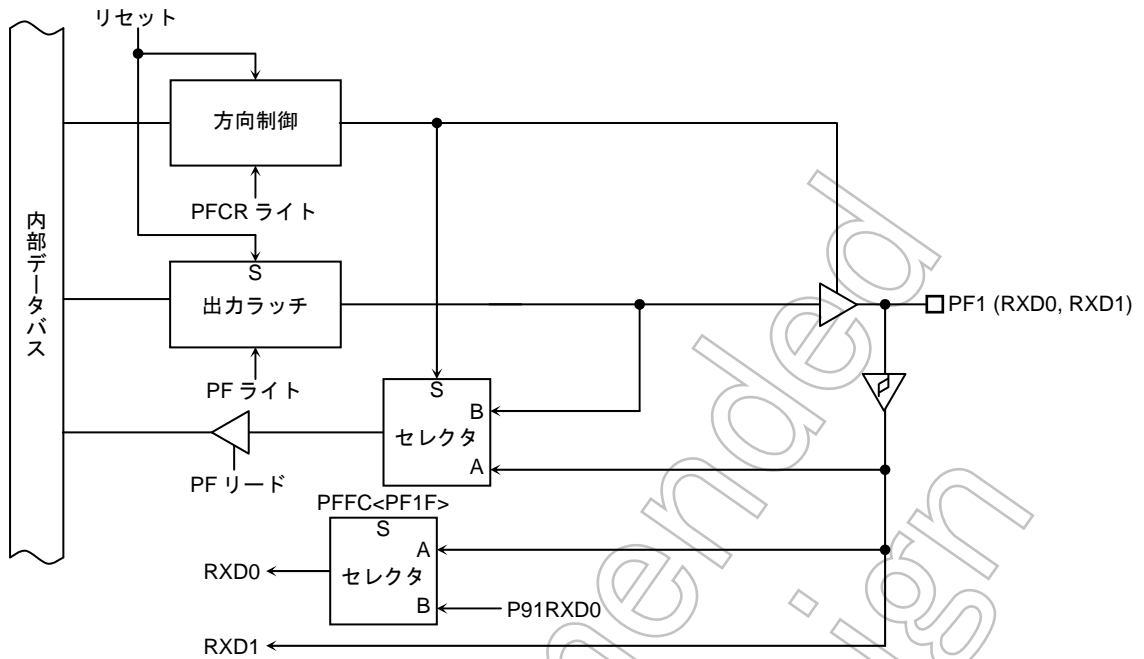


図 3.5.32 ポート PF1

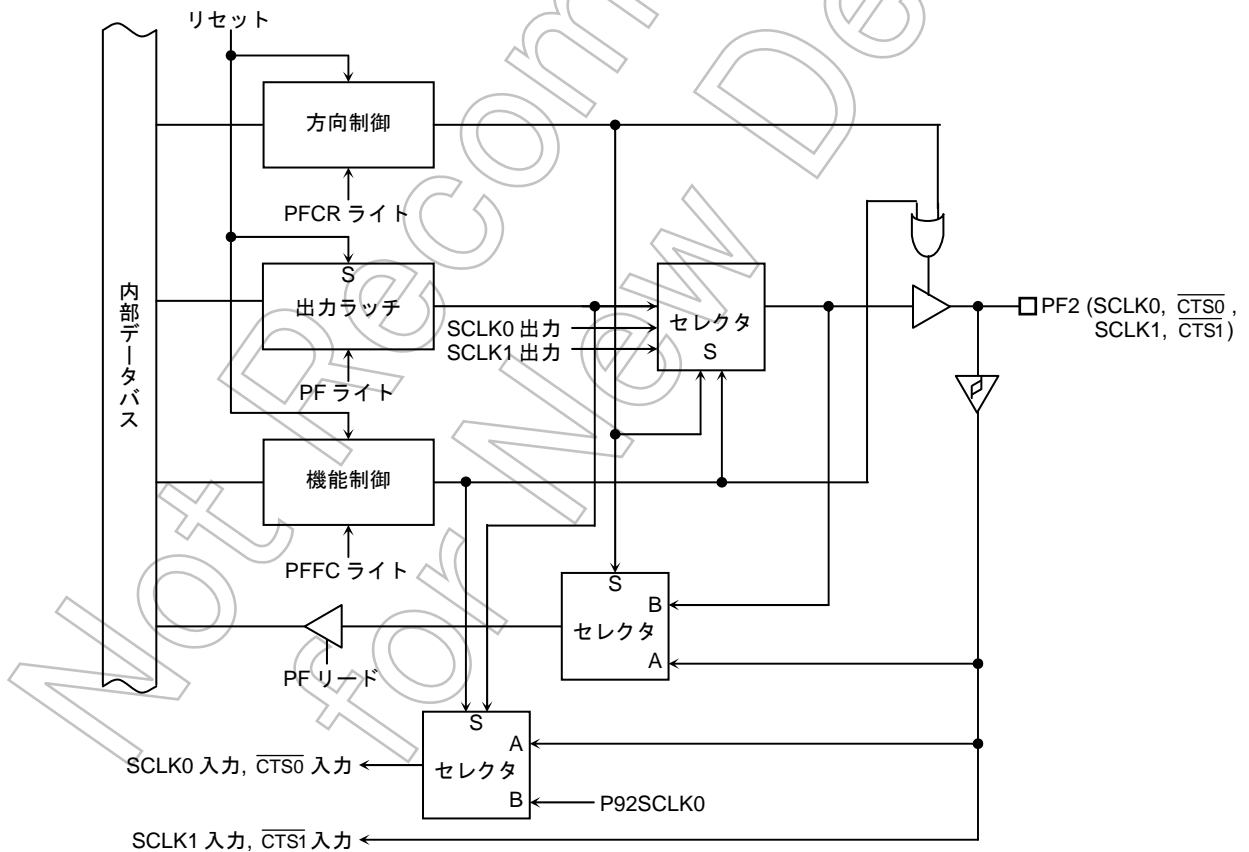


図 3.5.33 ポート PF2

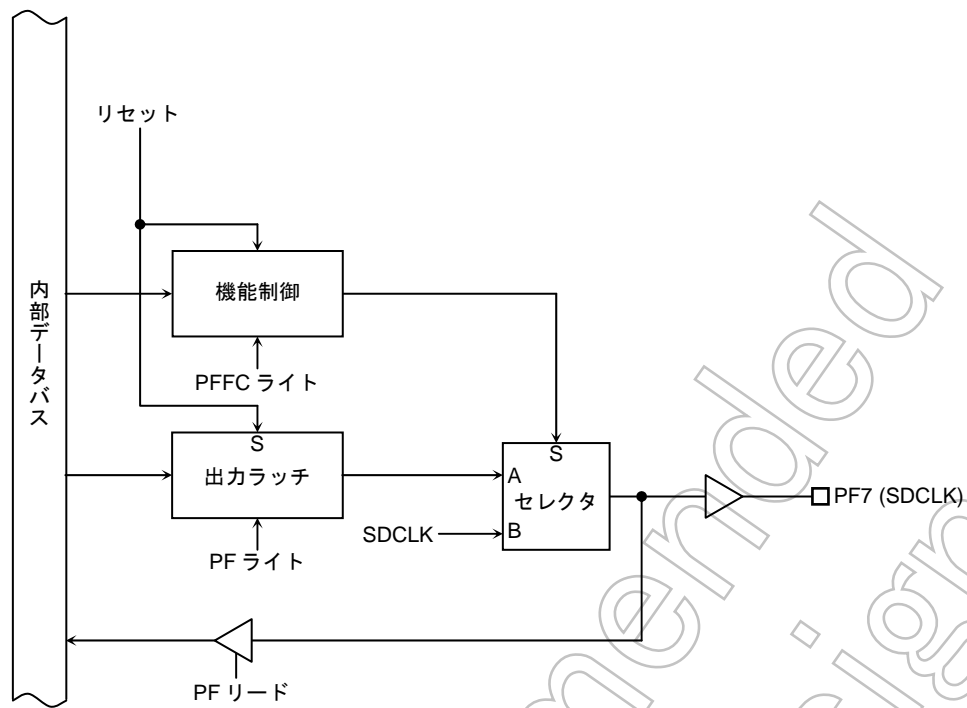


図 3.5.34 ポート PF7

ポート F レジスタ

		7	6	5	4	3	2	1	0
PF (003CH)	Bit symbol	PF7					PF2	PF1	PF0
	Read/Write	R/W					R/W		
	リセット後	1					外部端子データ (出ラッチレジスタは "1"にセットされます)		

ポート F 制御レジスタ

		7	6	5	4	3	2	1	0
PFCR (003EH)	Bit symbol						PF2C	PF1C	PF0C
	Read/Write						W		
	リセット後						0	0	0
	機能						以下の表を参照してください		

ポート F 機能レジスタ

		7	6	5	4	3	2	1	0
PFFC (003FH)	Bit symbol	PF7F					PF2F	PF1F	PF0F
	Read/Write	W					W		
	リセット後	1					0	0	0
	機能	0: ポート 1: SDCLK 出力					以下の表を 参照してく ださい	RXD0 端子 選択 0: ポート PF1 1: ポート P91	以下の表を 参照してく ださい

PF2 設定

		0	1
<PF2F>	<PF2C>		
0		入力ポート あるいは SCLK1, CTS1 入力 あるいは SCLK0, CTS0 入力 <PF2> = 0 で PF2 端子から <PF2> = 1 で P92 端子から	出力 ポート
1		SCLK1 出力	SCLK0 出力

PF1 設定

		0	1
<PF1F>	<PF1C>		
0		入力ポート あるいは RXD0/RXD1 入力	出力 ポート
1			

PF0 設定

		0	1
<PF0F>	<PF0C>		
0		入力ポート	出力ポート
1		TXD1 出力	TXD0 出力

ポート F 機能レジスタ 2

		7	6	5	4	3	2	1	0
PFFC2 (003DH)	Bit symbol								PF0F2
	Read/Write								W
	リセット後								0
	機能								出力バッファ 0: CMOS 1: オープン ドレイン

ポート F ドライブレジスタ

		7	6	5	4	3	2	1	0
PFDR (008FH)	Bit symbol	PF7D					PF2D	PF1D	PF0D
	Read/Write	R/W					R/W		
	リセット後	1					1	1	1
	機能	スタンバイ モード用 入出力バッファ ドライブ レジスタ					スタンバイモード用 入出力バッファ ドライブレジスタ		

注) PFCR、PFFC および PFFC2 はリードモディファイライトできません。

図 3.5.35 ポート F 用レジスタ

3.5.13 ポートG (PG0~PG3)

ポートGは4ビットの入力ポートです。このポートは内部ADコンバータ用アナログ入力端子の機能を持っています。PG3はADコンバータ用ADTRG端子としての機能も持っています。PG2、PG3はタッチスクリーンインタフェース用MX、MY端子としての機能も持っています。

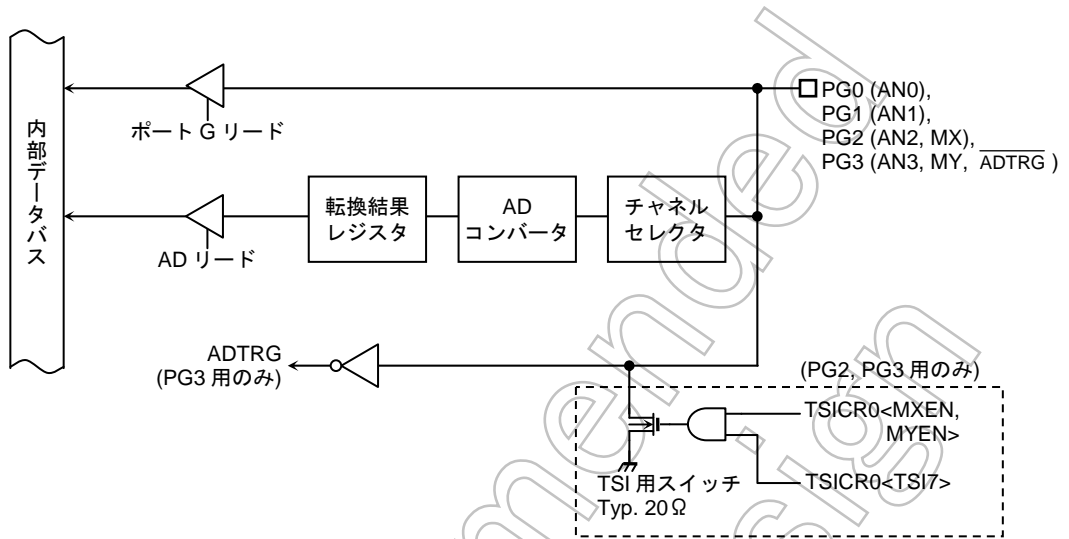


図 3.5.36 ポート G

ポートGレジスタ

		7	6	5	4	3	2	1	0
PG (0040H)	Bit symbol					PG2	PG2	PG1	PG0
	Read/Write					R			
	リセット後					外部端子データ			

注) ADコンバータの入力チャンネル選択およびADTRG入力モードレジスタの承認はADコンバータによって設定されます。

ポートGドライブレジスタ

		7	6	5	4	3	2	1	0
PGDR (0090H)	Bit symbol					PG3D	PG2D		
	Read/Write					R/W			
	リセット後					1	1		
	機能					スタンバイモード用 入出力バッファ ドライブレジスタ			

図 3.5.37 ポートG用レジスタ

3.5.14 ポートJ (PJ0~PJ7)

PJ0~PJ4およびPJ7は6ビットの出力ポートです。リセット動作により出力ラッチPJは“1”にセットされ、ポートJは“1”を出力します。PJ5およびPJ6は2ビットの入出力ポートです。

出力ポート機能以外に、ポートJにはSDRAMコントローラ用出力端子 ($\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, $\overline{\text{SDWE}}$, $\overline{\text{SDLLDQM}}$, $\overline{\text{SDLUDQM}}$, $\overline{\text{SDULDQM}}$, $\overline{\text{SDUUDQM}}$, $\overline{\text{SDCKE}}$) 機能とSRAM用出力端子 ($\overline{\text{SRWR}}$, $\overline{\text{SRLLB}}$, $\overline{\text{SRLUB}}$) 機能そしてNANDフラッシュ ($\overline{\text{NDALE}}$, $\overline{\text{NDCLE}}$) 機能があります。これらの設定はPJFCレジスタによって行ないます。

ただし、PJ0~PJ2用のSDRAMあるいはSRAMの出力信号はメモリコントローラの設定によって自動的に選択されます。

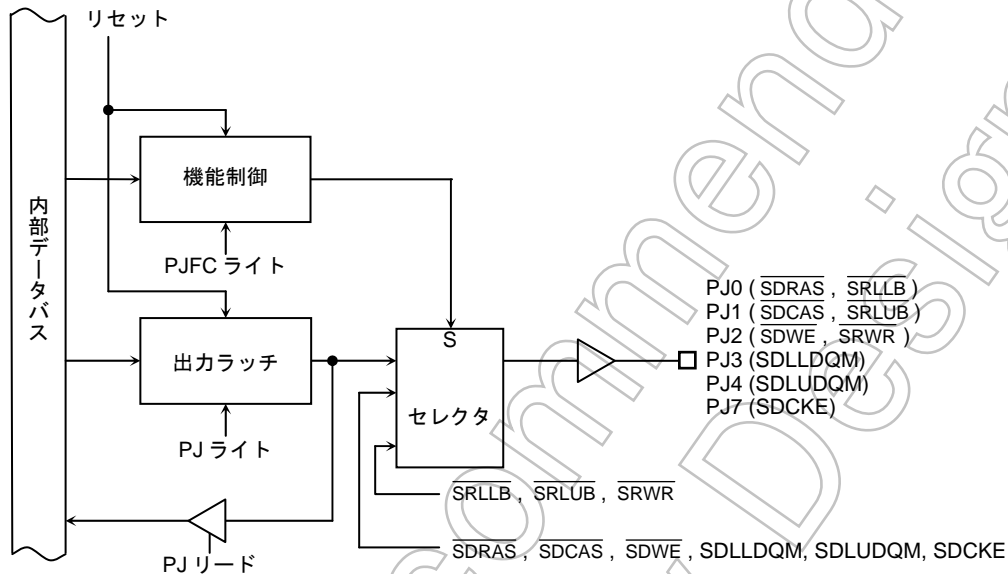


図 3.5.38 ポート PJ0~PJ4 および PJ7

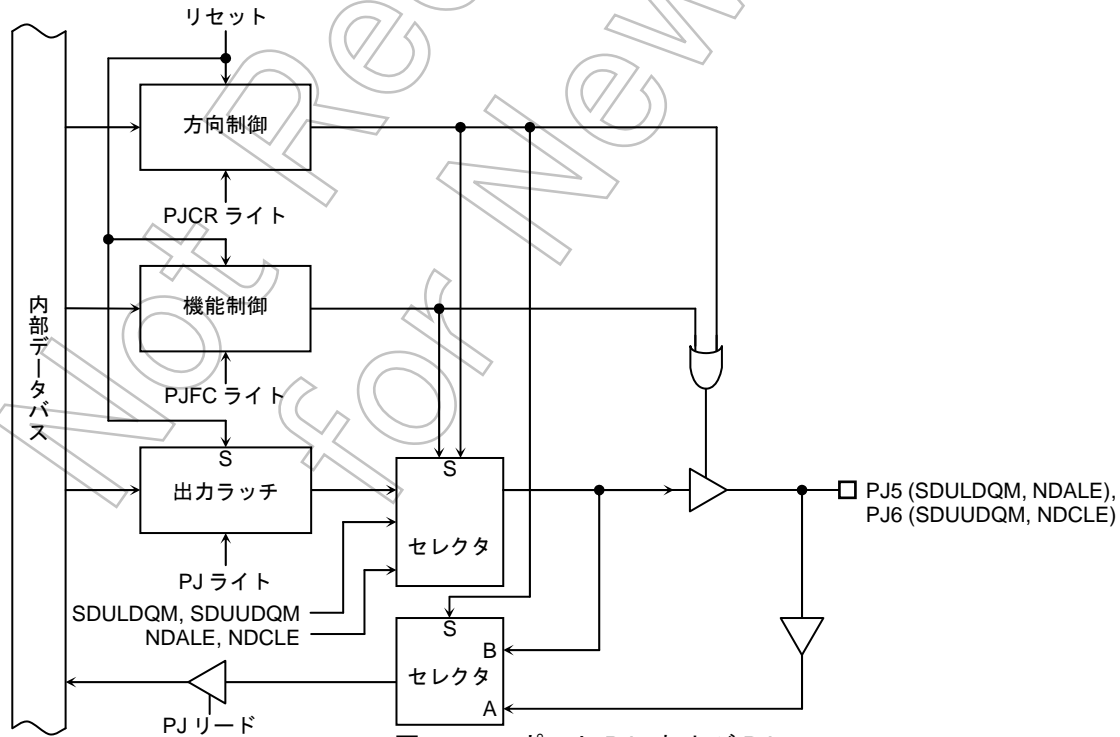


図 3.5.39 ポート PJ5 および PJ6

ポート J レジスタ

	7	6	5	4	3	2	1	0
PJ (004CH)								
Bit symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
Read/Write	R/W							
リセット後	1	外部端子データ (出力ラッチレジスタは "1"にセットされます)		1	1	1	1	1

ポート J 制御レジスタ

	7	6	5	4	3	2	1	0
PJCR (004EH)								
Bit symbol		PJ6C	PJ5C					
Read/Write		W						
リセット後		0	0					
機能		0: 入力 1: 出力						

ポート J 機能レジスタ

	7	6	5	4	3	2	1	0
PJFC (004FH)								
Bit symbol	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0: ポート 1: SDCKE	0: ポート 1: <PJ6> = 0 で NDCLE、 <PJ6> = 1 で SDUUDQM	0: ポート 1: <PJ5> = 0 で NDALE、 <PJ5> = 1 で SDULDQM	0: ポート 1: SDLUDQM	0: ポート 1: SDLLDQM	0: ポート 1: SDWE、 SDWR	0: ポート 1: SDCAS、 SRLUB	0: ポート 1: SRRAS、 SRLLB

ポート J ドライブレジスタ

	7	6	5	4	3	2	1	0
PJDR (0093H)								
Bit symbol	PJ7D	PJ6D	PJ5D	PJ4D	PJ3D	PJ2D	PJ1D	PJ0D
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PJCR および PJFC はリードモディファイライトできません。

図 3.5.40 ポート J 用レジスタ

3.5.15 ポートK (PK0~PK3)

ポート K は 4 ビットの出力ポートです。リセット動作により出力ラッチ PK は “0” にセットされ、PK0~PK3 端子は “0” を出力します。

出力ポート機能以外に、ポート K には LCD コントローラ用出力端子 (LCP0、LLP、LFR および LBCD) の機能があります。これらの設定は PKFC によって行ないます。

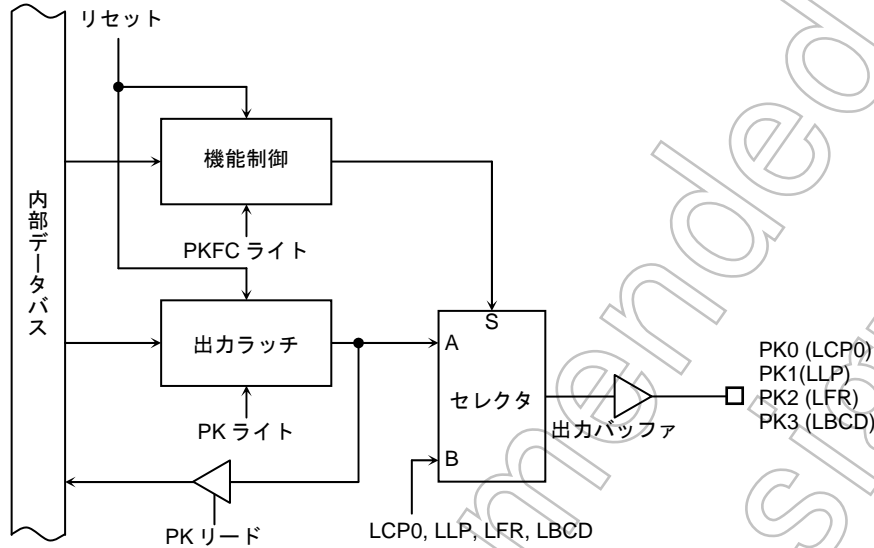


図 3.5.41 ポート K

ポート K レジスタ

	7	6	5	4	3	2	1	0
PK (0050H)					PK3	PK2	PK1	PK0
Bit symbol								
Read/Write					R/W			
リセット後					0	0	0	0

ポート K 機能レジスタ

	7	6	5	4	3	2	1	0
PKFC (0053H)					PK3F	PK2F	PK1F	PK0F
Bit symbol								
Read/Write					W			
リセット後					0	0	0	0
機能					0: ポート 1: LBCD	0: ポート 1: LFR	0: ポート 1: LLP	0: ポート 1: LCP0

ポート K ドライブレジスタ

	7	6	5	4	3	2	1	0
PKDR (0094H)					PK3D	PK2D	PK1D	PK0D
Bit symbol								
Read/Write					R/W			
リセット後					1	1	1	1
機能					スタンバイモード用入出力バッファ ドライブレジスタ			

注) PKFC はリードモディファイライトできません。

図 3.5.42 ポート K 用レジスタ

3.5.16 ポートL (PL0~PL7)

PL0~PL3は4ビットの出力ポートです。リセット動作により出力ラッチPLは“0”に設定され、PL0~PL3端子は“0”を出力します。

PL4~PL7はコントロールレジスタPLCRを使用することでビット単位で入出力の指定ができる4ビットの汎用入出力ポートです。リセット動作によりコントロールレジスタPLCRは“0”に、PL4~PL7は入力ポートになります。

汎用入出力ポート機能以外に、ポートLはLCDコントローラ用データバス(LD0~LD7)の機能を持っています。これらの設定はファンクションレジスタPLFCレジスタによって行ないます。

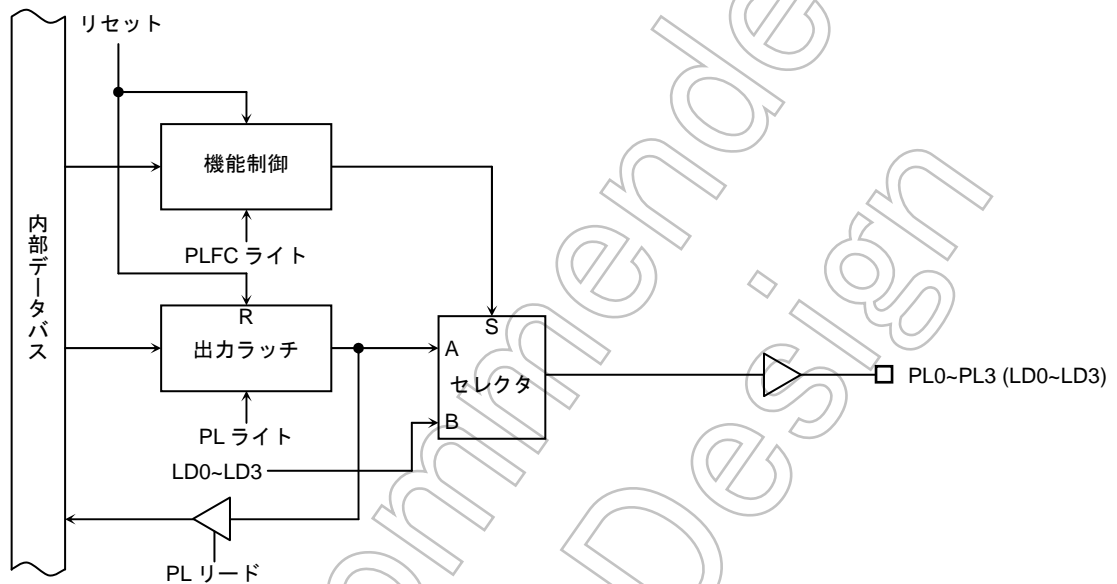


図 3.5.43 ポート PL0~PL3

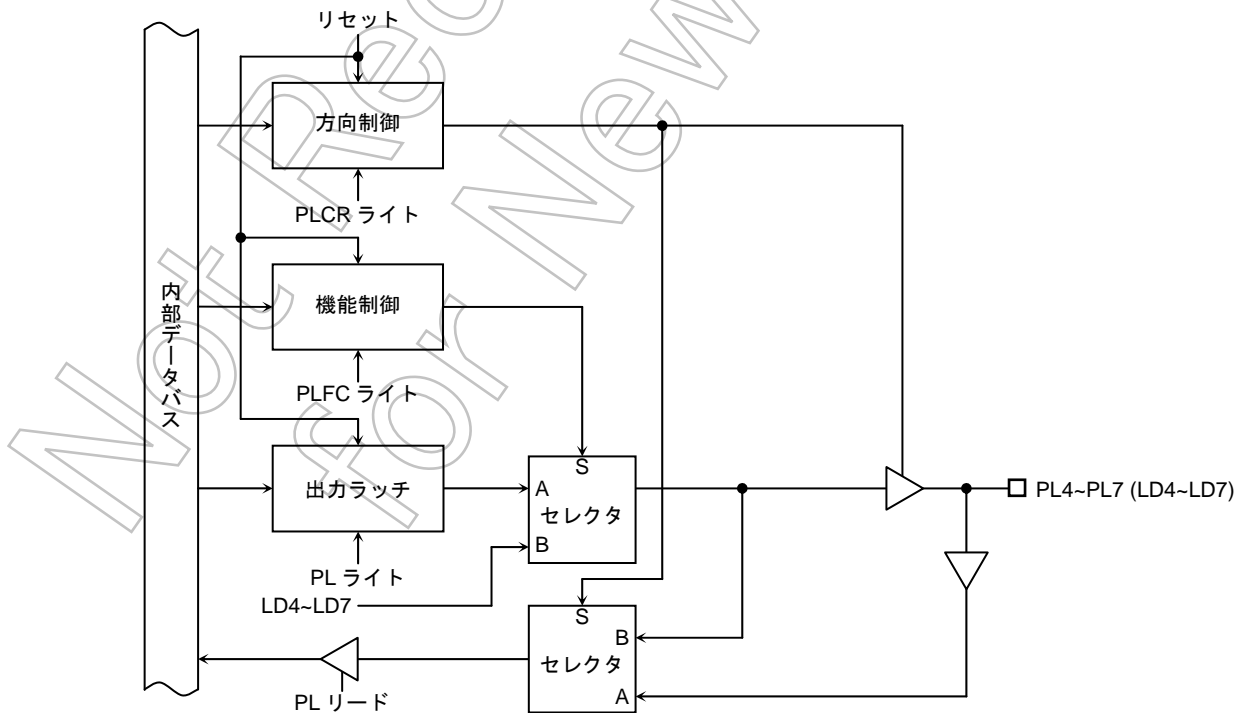


図 3.5.44 ポート PL4~PL7

ポートLレジスタ

	7	6	5	4	3	2	1	0	
PL (0054H)	Bit symbol	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは"0"にクリアされます)			0	0	0	0	

ポートLコントロールレジスタ

	7	6	5	4	3	2	1	0
PLCR (0056H)	Bit symbol	PL7C	PL6C	PL5C	PL4C			
	Read/Write	W						
	リセット後	0	0	0	0			
	機能	0: 入力 1: 出力						

ポートL機能レジスタ

	7	6	5	4	3	2	1	0	
PLFC (0057H)	Bit symbol	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: ポート 1: LCDC用データバス (LD7~LD0)							

ポートLドライブレジスタ

	7	6	5	4	3	2	1	0	
PLDR (0095H)	Bit symbol	PL7D	PL6D	PL5D	PL4D	PL3D	PL2D	PL1D	PL0D
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	
	機能	スタンバイモード用入出力バッファドライブレジスタ							

注) PLCR および PLFC はリードモディファイライトできません。

図 3.5.45 ポートL用レジスタ

3.5.17 ポートM (PM1~PM2)

PM1~PM2は2ビットの出力ポートです。リセット動作により出力ラッチPMは“1”に設定されPM1~PM2端子は“1”を出力します。

これらの機能以外に、ポートMはRTCアラーム用出力端子($\overline{\text{ALARM}}$)、メロディ/アラームジェネレータ用出力端子($\overline{\text{MLDALM}}$, $\overline{\text{MLDALM}}$)としての機能も持ち合わせています。これらの設定はファンクションレジスタPMFCで行います。

PM2のみは $\overline{\text{ALARM}}$ および $\overline{\text{MLDALM}}$ の二つの出力機能を持っています。この機能の選択はPM<PM2>で行います。

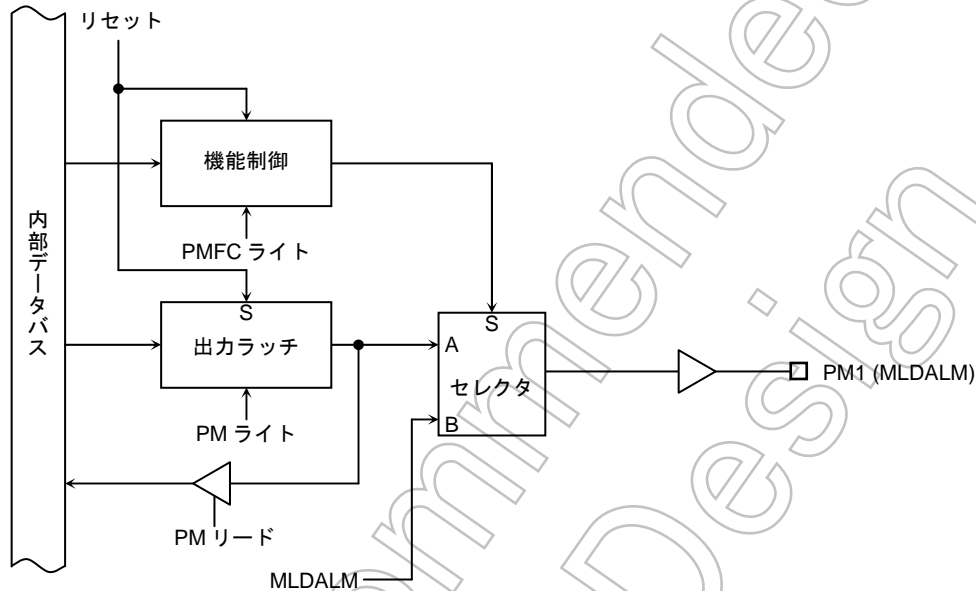


図 3.5.46 ポート PM1

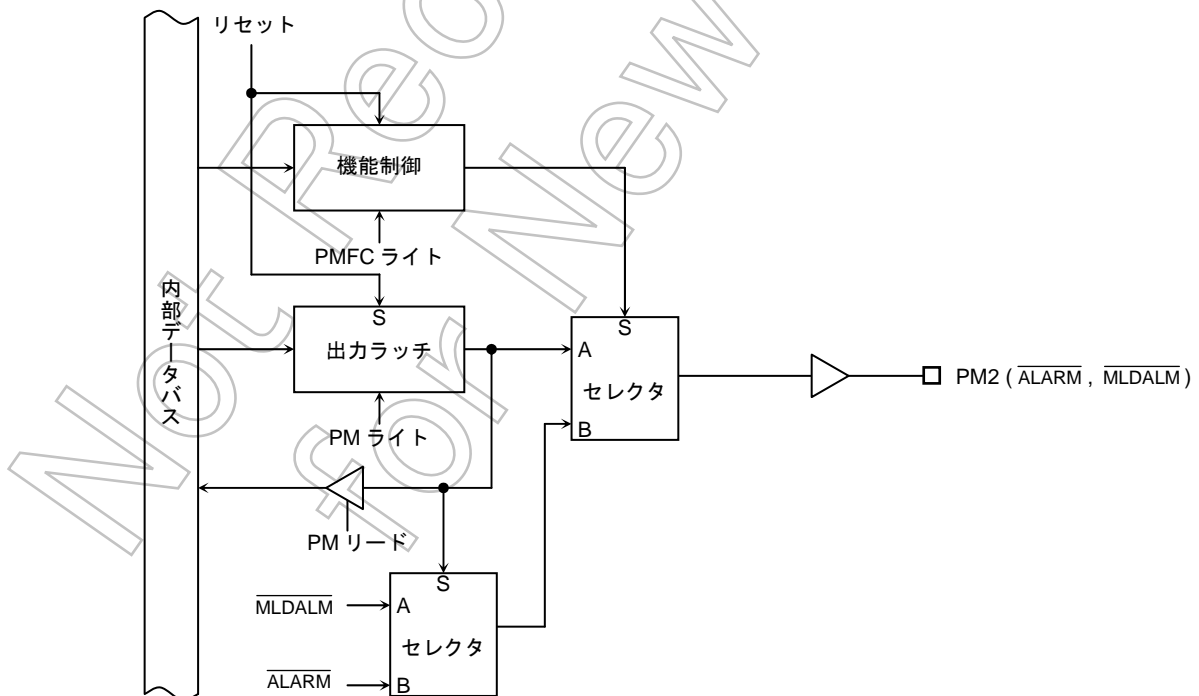


図 3.5.47 ポート PM2

ポート M レジスタ

		7	6	5	4	3	2	1	0	
PM (0058H)	Bit symbol	/					PM2		PM1	/
	Read/Write	/					R/W			
	リセット後	/					1		1	/

ポート M 機能レジスタ

		7	6	5	4	3	2	1	0	
PMFC (005BH)	Bit symbol	/					PM2F		PM1F	/
	Read/Write	/					W			
	リセット後	/					0		0	/
	機能	/					0: ポート 1: <PM2> = "1" のとき ALARM <PM2> = "0" のとき MLDALM		0: ポート 1: MLDALM 出力	

ポート M ドライブレジスタ

		7	6	5	4	3	2	1	0	
PMDR (0096H)	Bit symbol	/					PM2D		PM1D	/
	Read/Write	/					R/W			
	リセット後	/					1		1	/
	機能	/					スタンバイモード用 入出力バッファ ドライブレジスタ			

注) PMFC はリードモディファイライトできません。

図 3.5.48 ポート M 用レジスタ

3.6 メモリコントローラ

3.6.1 機能概要

メモリコントローラは、任意の4つのブロックアドレス空間に対して、以下のような制御を行うことができます。

(1) 4ブロックのアドレス空間をサポート

外部エリア内に設定する4つのブロックアドレス空間に対し、ブロックサイズとスタートアドレスを指定することができます(ブロック0~3)。

- * SRAM あるいは ROM: 全 CS ブロック (CS0~CS3) 対応
- * SDRAM: CS1 あるいは CS2 ブロックのどちらかのみ対応
- * ページ ROM: CS2 ブロックのみ対応
- * NAND フラッシュ: CS0 は NAND フラッシュ (ND0/1FDTR, 001D00H~001EFFH)、RAM 内蔵 LCD ドライバ (001FE0H~001FEFH) を推奨します。(NAND フラッシュエリアについては、3.6.6 (2) を参照してください。)

(2) 接続メモリの指定

選択したアドレス空間に接続するメモリとして、SRAM、ROM、SDRAM を指定できます。

(3) データバス幅の指定

選択したアドレス空間のデータバス幅は、8/16/32 ビットが選択できます。

(4) ウェイトの制御

コントロールレジスタ内のウェイト指定ビットと $\overline{\text{WAIT}}$ 入力端子により、外部バスサイクルのウェイト数を制御することができます。リードサイクルとライトサイクルは、それぞれ独立にウェイト数を設定することができます。ウェイト数の制御には、下記に示す6つのモードがあります。

- 0 ウェイト、1 ウェイト、
- 2 ウェイト、3 ウェイト、4 ウェイト
- N ウェイト ($\overline{\text{WAIT}}$ 端子による制御)

3.6.2 制御レジスタとリセット解除後の動作

ここでは、メモリコントローラを制御するレジスタと、リセット解除後の状態、必要な設定について説明します。

(1) コントロールレジスタ

メモリコントローラの制御レジスタには、以下のようなものがあります。

- コントロールレジスタ: BnCSH/BnCSL (n = 0~3, EX)
接続するメモリの種類や読み出し、書き込みのウェイト数など、メモリコントローラの基本的な機能の設定を行います。
- メモリスタートアドレスレジスタ: MSARn (n = 0~3)
選択したブロックアドレス空間のスタートアドレスを設定します。
- メモリアドレスマスクレジスタ: MAMRn (n = 0~3)
選択したブロックアドレス空間のブロックサイズを設定します。
- ページ ROM コントロールレジスタ: PMEMCR
ページ ROM アクセス方法を設定します。
- 内部ブート ROM コントロールレジスタ: BROMCR
ブート ROM アクセス方法を設定します。

表 3.6.1 コントロールレジスタ

		7	6	5	4	3	2	1	0
B0CSL (0140H)	Bit symbol	 	B0WW2	B0WW1	B0WW0	 	B0WR2	B0WR1	B0WR0
	Read/Write	 	W			 	W		
	リセット後	 	0	1	0	 	0	1	0
B0CSH (0141H)	Bit symbol	B0E	-	-	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
	Read/Write	W							
	リセット後	0	0 (注)	0 (注)	0	0	0	0	0
MAMR0 (0142H)	Bit symbol	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-V9	M0V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR0 (0143H)	Bit symbol	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B1CSL (0144H)	Bit symbol	 	B1WW2	B1WW1	B1WW0	 	B1WR2	B1WR1	B1WR0
	Read/Write	 	W			 	W		
	リセット後	 	0	1	0	 	0	1	0
B1CSH (0145H)	Bit symbol	B1E	-	-	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
	Read/Write	W							
	リセット後	0	0 (注)	0 (注)	0	0	0	0	0
MAMR1 (0146H)	Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-V9	M1V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR1 (0147H)	Bit symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B2CSL (0148H)	Bit symbol	 	B2WW2	B2WW1	B2WW0	 	B2WR2	B2WR1	B2WR0
	Read/Write	 	W			 	W		
	リセット後	 	0	1	0	 	0	1	0
B2CSH (0149H)	Bit symbol	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
	Read/Write	W							
	リセット後	1	0	0 (注)	0	0	0	0	0
MAMR2 (014AH)	Bit symbol	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR2 (014BH)	Bit symbol	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
B3CSL (014CH)	Bit symbol	 	B3WW2	B3WW1	B3WW0	 	B3WR2	B3WR1	B3WR0
	Read/Write	 	W			 	W		
	リセット後	 	0	1	0	 	0	1	0
B3CSH (014DH)	Bit symbol	B3E	-	-	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
	Read/Write	W							
	リセット後	0	0 (注)	0 (注)	0	0	0	0	0
MAMR3 (014EH)	Bit symbol	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
MSAR3 (014FH)	Bit symbol	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1

注 1) “0” をライトしてください。

注 2) BnCSL, BnCSH (n = 0 ~ 3) レジスタは、リードモディファイライトできません。

表 3.6.2 コントロールレジスタ

		7	6	5	4	3	2	1	0
BEXCSH (0159H)	Bit symbol					BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
	Read/Write					W			
	リセット後					0	0	0	0
BEXCSL (0158H)	Bit symbol		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
PMEMCR (0166H)	Bit symbol				OPGE	OPWR1	OPWR0	PR1	PR0
	Read/Write				R/W				
	リセット後				0	0	0	1	0
BROMCR (0167H)	Bit symbol							ROMLESS	VACE
	Read/Write							R/W	
	リセット後							0/1	1/0

注) BEXCSH, BEXCSL レジスタはリードモディファイライトできません。

(2) リセット解除後の動作

リセット解除直後には、AM1/AM0 端子の状態に従い、起動データバス幅が決定され、外部メモリをアクセスします。具体的には下記のようになります。

AM1	AM0	スタートモード
0	0	設定禁止
0	1	16ビットデータバスで起動(注)
1	0	32ビットデータバスで起動(注)
1	1	ブート(32ビット内蔵 MROM) で起動

注) リセット後起動することに使用されるメモリは NOR フラッシュ、MROM のどちらかです。
NAND フラッシュおよび SDRAM は使用できません。

AM1/AM0 端子は、リセット解除直後のみ有効です。それ以外では、データバス幅はコントロールレジスタの<BnBUS1:0>に設定された値になります。

リセット後は、ブロックアドレス空間 2 のコントロールレジスタ (B2CSH/B2CSL) のみが、自動的に有効になります (リセットにより B2CSH<B2E>は“1”に設定されます)。ブロックアドレス空間 2 の制御レジスタのバス幅指定ビットへ、AM1/AM0 端子で指定されたデータバス幅が、ロードされます。また、リセット後、ブロックアドレス空間は 000000H から FFFFFFFH 番地に設定されています (B2CSH<B2M>は“0”にリセットされます)。

リセット解除後、メモリスタートアドレスレジスタ (MSARn) とメモリアドレスマスクレジスタ (MAMRn) で、ブロックアドレス空間の指定を行い、コントロールレジスタ (BnCS) を設定します。

設定を有効にするために、コントロールレジスタのイネーブルビット (BnE) を 1 にセットしてください。

3.6.3 基本的な機能の説明とレジスタの設定

ここでは、メモリコントローラの機能のうち、ブロックアドレスエリアの設定、接続メモリ、ウェイト数の設定について説明します。

(1) ブロックアドレス空間の指定

ブロックアドレス空間は、2種類のレジスタによって指定されます。

メモリスタートアドレスレジスタ (MSARn) は、ブロックアドレス空間のスタートアドレスを設定するレジスタです。メモリコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、メモリアドレスマスクレジスタ (MAMRn) で、マスクされているアドレスビットは、メモリコントローラは、比較対象としません。メモリアドレスマスクレジスタの設定によって、ブロックアドレス空間のサイズが決まります。レジスタに設定された値と、バス上のアドレスを比較し、比較した結果が一致すれば、メモリコントローラは、チップセレクト信号(CSn)を“Low”レベルにします。

(i) メモリスタートアドレスレジスタの設定

メモリスタートアドレスレジスタの MS23~MS16 の各ビットは、それぞれアドレスの A23~A16 に対応します。スタート下位アドレス A15~A0 は、常に 0000H です。従って、ブロックアドレス空間のスタートアドレスは、000000H~FF0000H まで 64 K バイトごとに設定することができます。

(ii) メモリアドレスマスクレジスタの設定

メモリアドレスマスクレジスタでは、アドレスのどのビットの値を比較するか、比較しないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。

ブロックアドレス空間によって設定できるアドレスビットが違っており、

ブロックアドレス空間 0 : A20~A8
 ブロックアドレス空間 1 : A21~A8
 ブロックアドレス空間 2~3 : A22~A15

のマスク設定ができます。上位のビットについては、必ず比較されます。これにより、各ブロックアドレス空間のサイズが決まります。

ブロックアドレス空間によって設定できるサイズは、次のとおりです。

サイズ (バイト)	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS エリア											
CS0	○	○	○	○	○	○	○	○	○		
CS1	○	○		○	○	○	○	○	○	○	
CS2~CS3			○	○	○	○	○	○	○	○	○

注) リセット解除後は、ブロックアドレス空間 2 の制御レジスタのみが有効になっています。ブロックアドレス空間 2 の制御レジスタには、特別に<B2M>ビットがあり、このビットを“0”にすると、ブロックアドレス空間 2 は 000000H~FFFFFFH に設定されます。リセット解除後は、この状態に設定されています。この<B2M>ビットを 1 に設定すると、他のブロックアドレス空間と同様に、スタートアドレスとアドレス空間サイズを設定することができます。

(iii) レジスタの設定例

ブロックアドレス空間 1 を 110000H のアドレスから 64 K バイトに設定する場合、次のようにレジスタを設定します。

MSAR1 レジスタ

ビット	7	6	5	4	3	2	1	0
Bit symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
設定値	0	0	0	1	0	0	0	1

メモリストार्टアドレスレジスタ MSAR1 の M1S23~M1S16 の各ビットは、それぞれアドレス A23~A16 に対応します。A15~A0 は“0”になります。従って、MASR1 の値を上記のように設定すると、ブロックアドレス空間のスタートアドレスは、110000H になります。

MAMR1 レジスタ

ビット	7	6	5	4	3	2	1	0
Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-9	M1V8
設定値	0	0	0	0	0	0	0	1

メモリストार्टマスクレジスタ MAMR1 の M1V21~M1V16, M1V8 の各ビットは、それぞれ A21~ A16, A8 のアドレス比較を行うか、行わないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。M1V15~M1V9 ビットは A15~A9 は 1 ビットでのアドレス比較を行うか行わないかを設定します。A22 と A23 は必ず比較されます。

上記のように設定すると、A23~A9 までがスタートアドレスとして設定された値と比較されます。従って、110000H~1101FFH 番地の 512 バイトが、ブロックアドレス空間 1 として設定され、バス上のアドレスと比較すれば、チップセレクト信号 CS1 を“L”レベルにします。他のブロックアドレス空間のサイズはこのように設定されます。

A23 および A22 は常にブロックアドレス空間 0 で比較されます。A20~A8 は比較を行うか行わないかはレジスタに設定されます。同様にブロックアドレス 2~3 では、A23 は必ず比較され、A22~A15 を比較するかどうかをレジスタに設定します。

注 1) 設定したブロックアドレス空間が、内蔵メモリの空間と重複した場合、ブロックアドレス空間は以下のような優先順位で処理されます。

内蔵 I/O > 内蔵メモリ > ブロックアドレス空間 0 > 1 > 2 > 3

注 2) また、CS0 から CS3 で設定したアドレス空間以外をアクセスした場合は、CSEX 空間として処理されます。従って、ウェイト数、データバス幅の制御などは CSEX (BEXCSH、BEXCSL レジスタ) の設定に従います。

(2) 接続メモリの指定

コントロールレジスタ (BnCSH) の<BnOM1:0>ビットを設定することにより、各ブロックアドレス空間に接続するメモリの種類を設定することができます。設定されたメモリによって、メモリインタフェース信号が出力されます。設定は、次のように行います。

BnOM1、BnOM0 ビット (BnCSH レジスタ)

BnOM1	BnOM0	機能
0	0	SRAM/ROM (デフォルト)
0	1	(Reserved)
1	0	(Reserved)
1	1	SDRAM

注 1) SDRAM は 1 あるいは 2 のブロックに設定する必要があります。

注 2) NAND フラッシュの RAM 内蔵 LCDD は、“00” を設定してください。

(3) データバス幅の設定

データバス幅は、ブロックアドレス空間ごとに設定することができます。バス幅の設定はコントロールレジスタ (BnCSH) の<BnBUS1:0>で、以下のように行います。

<BnBUS1:0> (BnCSH レジスタ)

<BnBUS1>	<BnBUS0>	機能
0	0	8ビットバスモード (デフォルト)
0	1	16ビットバスモード
1	0	32ビットバスモード
1	1	使用しないでください。

注 1) SDRAM は “01” (16 ビットバス) あるいは “10” (32 ビットバス) に設定する必要があります。

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。データサイズ、バス幅、スタートアドレスにより、データが、データバスのどの部分に出力されるかが変わります。バス動作の詳細は次のようになります。

注 2) バス幅が異なるメモリを連続したアドレスに配置している場合、両方のメモリにまたがるアクセスを 1 命令で実行しないでください。データの正常な読み出し/書き込みが行われない場合があります。

データサイズ (ビット)	スタートアドレス	メモリデータサイズ (ビット)	CPU アドレス	CPU データ			
				D31~D24	D23~D16	D15~D8	D7~D0
8	4n+0	8/16/32	4n+0	xxxxx	xxxxx	xxxxx	b7~b0
	4n+1	8	4n+1	xxxxx	xxxxx	xxxxx	b7~b0
		16/32	4n+1	xxxxx	xxxxx	b7~b0	xxxxx
	4n+2	8/16	4n+2	xxxxx	xxxxx	xxxxx	b7~b0
		32	4n+2	xxxxx	b7~b0	xxxxx	xxxxx
		4n+3	8	4n+3	xxxxx	xxxxx	xxxxx
16	4n+3		xxxxx	xxxxx	b7~b0	xxxxx	
32	4n+3		b7~b0	xxxxx	xxxxx	xxxxx	
16	4n+0	8	(1) 4n+0	xxxxx	xxxxx	xxxxx	b7~b0
		16/32	(2) 4n+1	xxxxx	xxxxx	xxxxx	b15~b8
			4n+0	xxxxx	xxxxx	b15~b8	b7~b0
	4n+1	8	(1) 4n+1	xxxxx	xxxxx	xxxxx	b7~b0
		16	(2) 4n+2	xxxxx	xxxxx	xxxxx	b15~b8
			(1) 4n+1	xxxxx	xxxxx	b7~b0	xxxxx
	4n+2	32	(2) 4n+2	xxxxx	xxxxx	xxxxx	b15~b8
			4n+1	xxxxx	b15~b8	b7~b0	xxxxx
			4n+2	xxxxx	xxxxx	b15~b8	b7~b0
	4n+3	8	(1) 4n+3	xxxxx	xxxxx	xxxxx	b7~b0
			(2) 4n+4	xxxxx	xxxxx	xxxxx	b15~b8
			4n+1	xxxxx	b15~b8	b7~b0	xxxxx
16		(1) 4n+2	xxxxx	xxxxx	xxxxx	b7~b0	
		(2) 4n+1	xxxxx	xxxxx	xxxxx	b15~b8	
		4n+2	xxxxx	xxxxx	b15~b8	b7~b0	
32	4n+2	b15~b8	b7~b0	xxxxx	xxxxx		
	8	(1) 4n+3	xxxxx	xxxxx	xxxxx	b7~b0	
		(2) 4n+4	xxxxx	xxxxx	xxxxx	b15~b8	
(1) 4n+3		xxxxx	xxxxx	b7~b0	xxxxx		
16	(2) 4n+4	xxxxx	xxxxx	xxxxx	b15~b8		
	4n+3	xxxxx	xxxxx	xxxxx	b15~b8		
	32	(1) 4n+3	b7~b0	xxxxx	xxxxx	xxxxx	
32	(2) 4n+4	xxxxx	xxxxx	xxxxx	b15~b8		
	8	(1) 4n+0	xxxxx	xxxxx	xxxxx	b7~b0	
		(2) 4n+1	xxxxx	xxxxx	xxxxx	b15~b8	
(3) 4n+2		xxxxx	xxxxx	xxxxx	b23~b16		
16	(4) 4n+3	xxxxx	xxxxx	xxxxx	b31~b24		
	32	(1) 4n+0	xxxxx	xxxxx	b15~b8	b7~b0	
		(2) 4n+2	xxxxx	xxxxx	xxxxx	b31~b24	
4n+0	4n+0	b31~b24	b23~b16	b15~b8	b7~b0		
4n+1	8	(1) 4n+0	xxxxx	xxxxx	xxxxx	b7~b0	
		(2) 4n+1	xxxxx	xxxxx	xxxxx	b15~b8	
		(3) 4n+2	xxxxx	xxxxx	xxxxx	b23~b16	
	16	(4) 4n+3	xxxxx	xxxxx	xxxxx	b31~b24	
		(1) 4n+1	xxxxx	xxxxx	b7~b0	xxxxx	
		(2) 4n+2	xxxxx	xxxxx	b23~b16	b15~b8	
32	(3) 4n+4	xxxxx	xxxxx	xxxxx	b31~b24		
	(1) 4n+1	b23~b16	b15~b8	b7~b0	xxxxx		
	(2) 4n+4	xxxxx	xxxxx	xxxxx	b31~b24		
4n+2	8	(1) 4n+2	xxxxx	xxxxx	xxxxx	b7~b0	
		(2) 4n+3	xxxxx	xxxxx	xxxxx	b15~b8	
		(3) 4n+4	xxxxx	xxxxx	xxxxx	b23~b16	
	16	(4) 4n+5	xxxxx	xxxxx	xxxxx	b31~b24	
		(1) 4n+2	xxxxx	xxxxx	b15~b8	b7~b0	
		(2) 4n+4	xxxxx	xxxxx	b31~b24	b23~b16	
32	(1) 4n+2	b15~b8	b7~b0	xxxxx	xxxxx		
	(2) 4n+4	xxxxx	xxxxx	b31~b24	b23~b16		
	8	(1) 4n+3	xxxxx	xxxxx	xxxxx	b7~b0	
(2) 4n+4		xxxxx	xxxxx	xxxxx	b15~b8		
(3) 4n+5		xxxxx	xxxxx	xxxxx	b23~b16		
16	(4) 4n+6	xxxxx	xxxxx	xxxxx	b31~b24		
	32	(1) 4n+3	xxxxx	xxxxx	b7~b0	xxxxx	
		(2) 4n+4	xxxxx	xxxxx	b23~b16	b15~b8	
(3) 4n+6	xxxxx	xxxxx	xxxxx	b31~b24			
32	(1) 4n+3	b7 to b0	xxxxx	xxxxx	xxxxx		
	(2) 4n+4	xxxxx	b31 to b24	b23 to b16	b15 to b8		

xxxxx: リードときはそのバスの入力データが無視されることを示します。ライトときは、そのバスがハイインピーダンスで、そのバスのライトストローク信号は、ノンアクティブのままであることを示します。

(4) ウェイトの制御

外部バスサイクルは、最小 2 ステート (100 ns@ fSYS = 20 MHz) で完了します。コントロールレジスタ (BnCSL) の<BnWW2:0>と<BnWR2:0>を設定することにより、ライトサイクルとリードサイクルのウェイト数を指定することができます。<BnWW>と<BnWR>の設定方法は同じです。設定は次のように行います。

<BnWW>/<BnWR>(BnCSL レジスタ)

<BnWW2> <BnWR2>	<BnWW1> <BnWR1>	<BnWW0> <BnWR0>	機能
0	0	1	2ステート(0ウェイト)アクセス固定モード
0	1	0	3ステート(1ウェイト)アクセス固定モード (デフォルト)
1	0	1	4ステート(2ウェイト)アクセス固定モード
1	1	0	5ステート(3ウェイト)アクセス固定モード
1	1	1	6ステート(4ウェイト)アクセス固定モード
0	1	1	WAIT 端子入力モード
上記以外			(Reserved)

注 1) SDRAM には上記の設定は無効です。3.16 章 SDRAM コントローラを参照してください。

注 2) NAND フラッシュには上記の設定は無効です。
RAM 内蔵 LCDD には上記の設定は有効です。

(i) ウェイト数固定モード

指定されたステート数でバスサイクルを完了するモードです。ステート数は、2 ステート (0 ウェイト)~6 ステート (4 ウェイト) を選択できます。

(ii) WAIT 端子入力モード

WAIT 入力端子をサンプリングし、信号がアクティブの間、ウェイトを挿入しつづけます。このモードでは、最小のバスサイクルが 2 ステートとなります。2 ステート目に、ウェイト信号がノンアクティブ (“H” レベル) であれば、そこでバスサイクルは完了します。2 ステート以上は、ウェイト信号がアクティブな限りバスサイクルが延長されます。

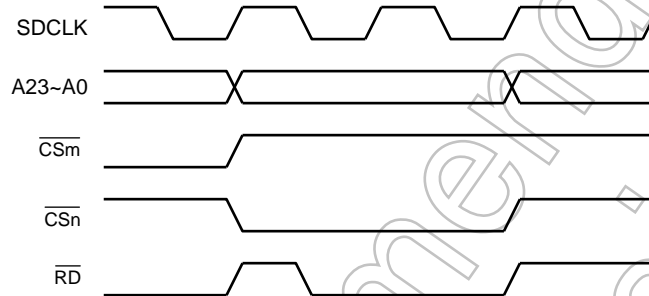
(5) リカバリ (データホールド) サイクル制御

メモリによってはリードサイクル時の \overline{CE} あるいは \overline{OE} からデータホールド時間についてA.Cのスペックが定義されており、その場合データ衝突の問題が起これえます。この問題を回避するためBmCSH<BmREC>レジスタに“1”を設定することによってCSmブロックにアクセス後に、1ステートのダミーサイクルを挿入することができます。この1ダミーサイクルは次のサイクルが他のCSブロック用のとき挿入されます。

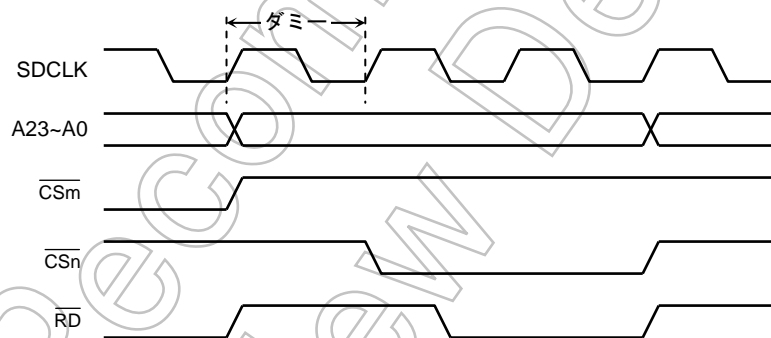
<BnREC>(BnCSH レジスタ)

0	ダミーサイクルを挿入しない (デフォルト)
1	ダミーサイクルを挿入

- ダミーサイクルを挿入しないとき (0 ウェイト)

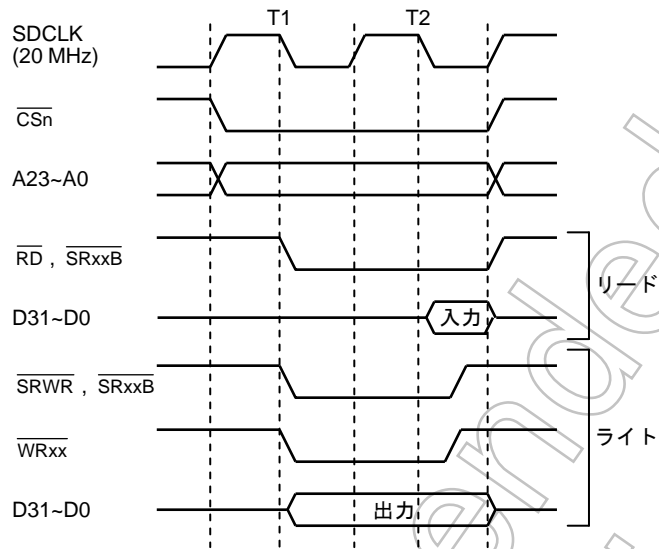


- ダミーサイクルを挿入するとき (0 ウェイト)

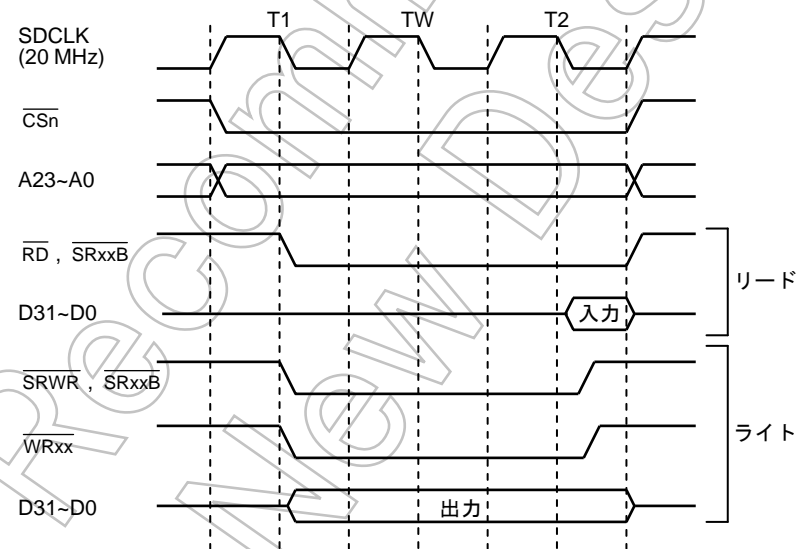


(6) 基準バスタイミング

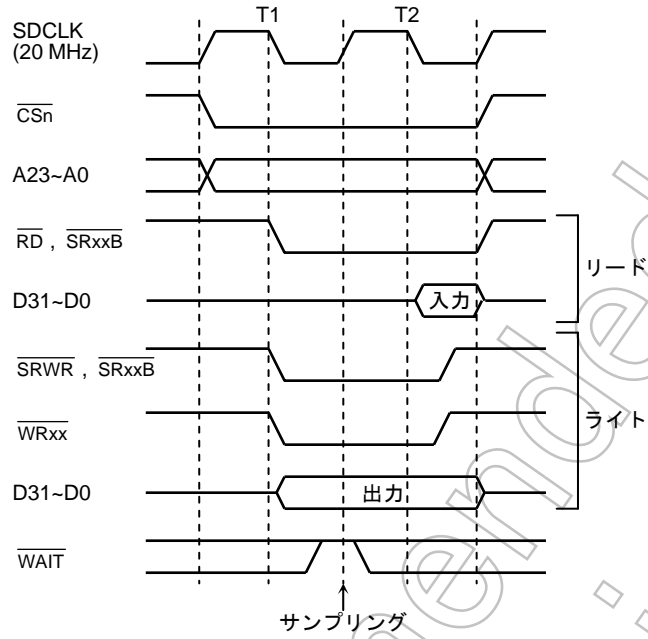
(a) 外部リード/ライトバスサイクル (0 ウェイト)



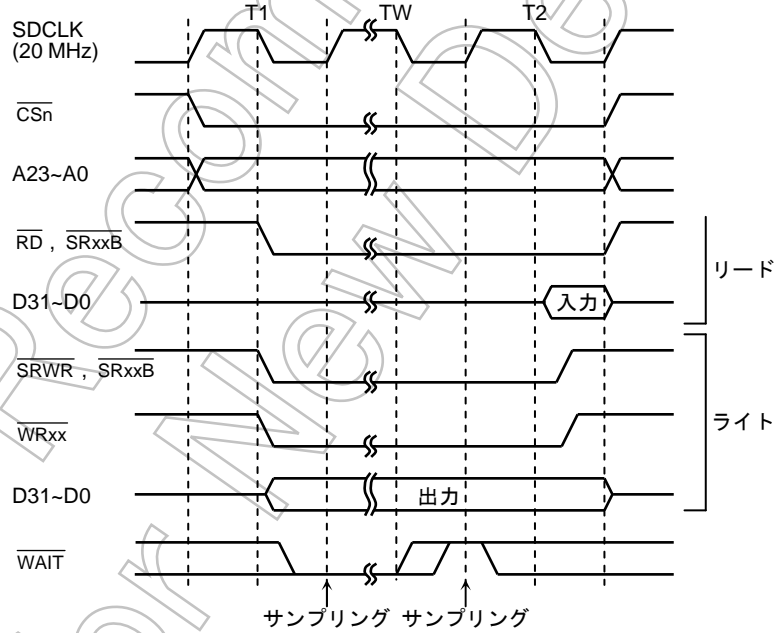
(b) 外部リード/ライトバスサイクル (1 ウェイト)



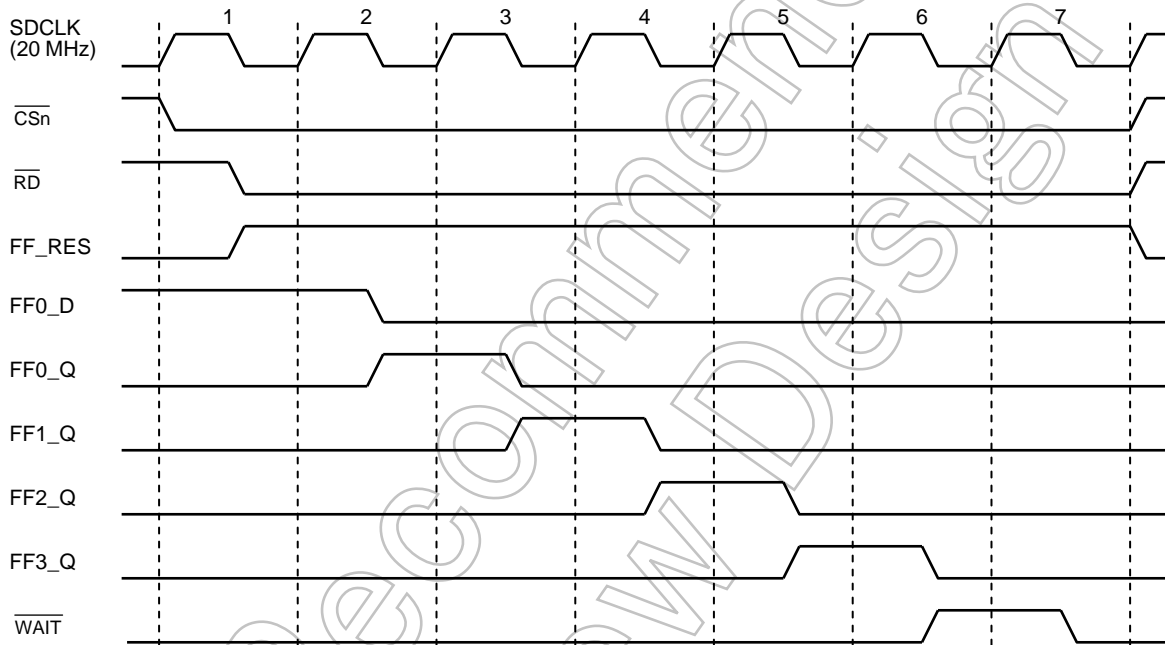
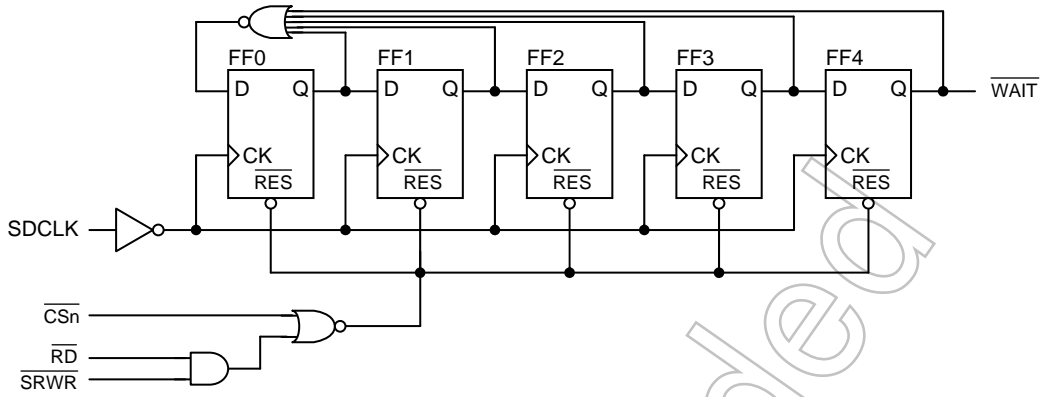
(c) 外部リード/ライトバスサイクル (0 ウェイト@ $\overline{\text{WAIT}}$ 端子入力モード)



(d) 外部リード/ライトバスサイクル (n ウェイト@ $\overline{\text{WAIT}}$ 端子入力モード)



WAIT 入力回路例 (5 ウェイトの場合)



Not Recommended for New Designs

(6) 外部メモリ接続

図 3.6.1は外部 16 ビットSRAM、16 ビットNORフラッシュとTMP92CH21 の接続方法の接続例を示しています。

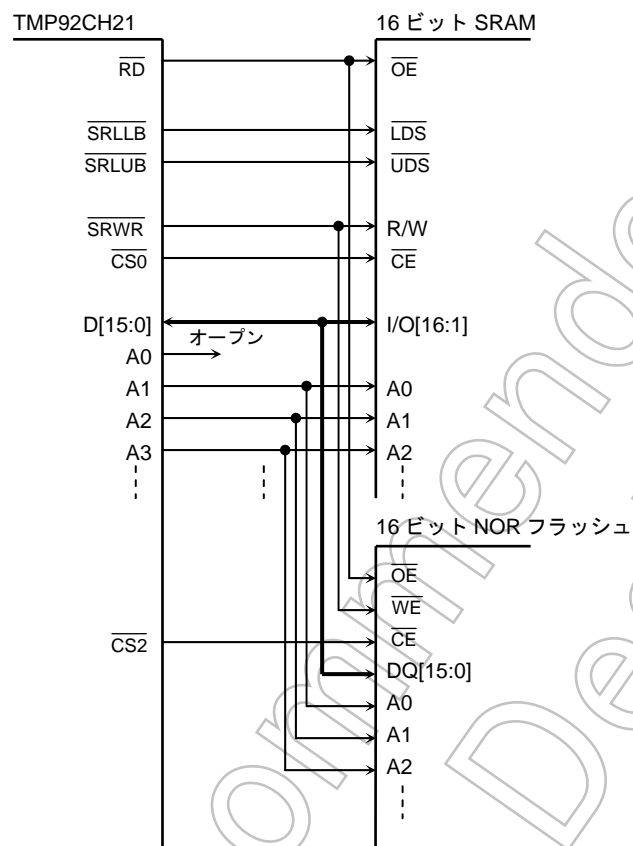


図 3.6.1 外部 16 ビット SRAM、NOR フラッシュ接続例

3.6.4 ROMコントロール (ページモード)

ここでは、ROM のページモードアクセスを行う場合の動作と、レジスタの設定方法について説明します。ROM ページモードの設定は、ページ ROM コントロールレジスタで行います。

(1) 動作とレジスタの設定方法

TMP92CH21 は、ページモードの ROM アクセスをサポートしています。ただし、ページモードの ROM アクセスを指定できるのは、ブロックアドレス空間 2 のみです。

ROM のページモードの設定は、ページ ROM コントロールレジスタ (PMEMCR) で行います。

PMEMCR レジスタの<OPGE>ビットを“1”に設定すると、ブロックアドレス空間 2 のメモリアクセスは、ROM ページモードアクセスになります。

PMEMCR レジスタの<OPWR1:0>で、読み出しサイクル数の設定を行います。

<OPWR1:0> (PMEMCR レジスタ)

OPWR1	OPWR0	ページのサイクル数
0	0	1ステート (n-1-1-1 モード) (n=2)
0	1	2ステート (n-2-2-2 モード) (n=3)
1	0	3ステート (n-3-3-3 モード) (n=4)
1	1	(Reserved)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

PMEMCR レジスタの<PR1:0>ビットには、CPU 側から見た ROM のページサイズ (バイト数) を設定します。設定されたページの境界までデータが読み出されると、メモリコントローラは、一連のページリード動作を終了させ、次のページの先頭データの読み出しはノーマルサイクルで行い、その次より再びページリードを続けます。

<PR1:0>ビット (PMEMCR レジスタ)

PR1	PR0	ROM ページ サイズ
0	0	64 バイト
0	1	32 バイト
1	0	16 バイト (デフォルト)
1	1	8 バイト

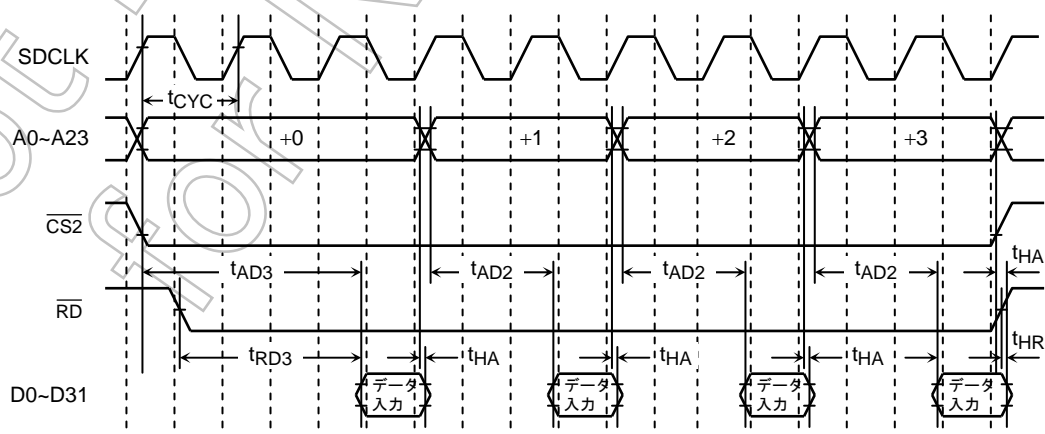


図 3.6.2 タイミングパルス図 (8 バイト設定例)

3.6.5 内蔵ブートROM制御

この章は内蔵ブートROMについて説明します。

ブートROMのプログラム仕様は3.2章のブートROMを参照してください。

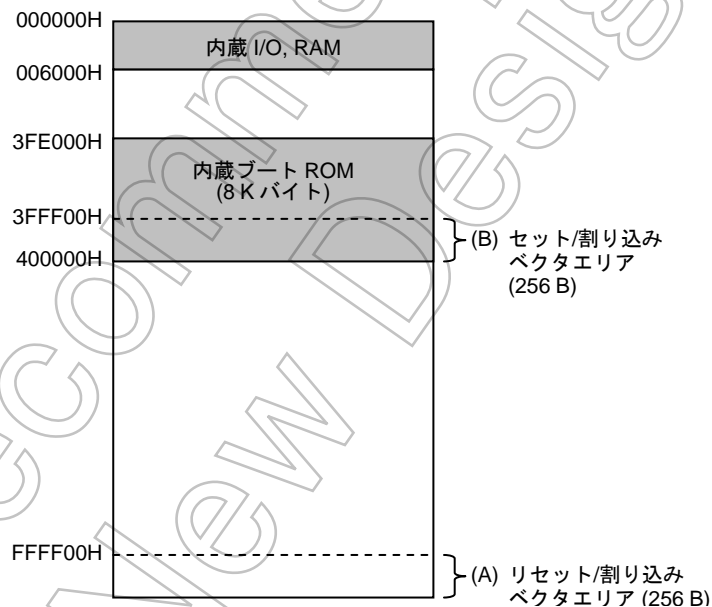
(1) ブートモード

ブートモードは以下のAM1およびAM0端子のリセットでの状態によって起動されません。

AM1	AM0	スタートモード
0	0	使用禁止
0	1	16ビットデータバスでスタート
1	0	32ビットデータバスでスタート
1	1	ブート(32ビット内蔵MROM)でスタート

(2) ブートROMメモリマップ

ブートROMは8KバイトマスクROMで構成され、3FE000H~3FFFFFFH番地に割り当てられます。



(3) リセット/割り込みアドレス切り替え回路

リセット/割り込みベクタエリアはTLCS-900/H1ではFFFF00H~FFFFFFH((A)エリア)に割り当てられます。

しかし、ブートROMは他のエリアに割り当てられているため、リセット/割り込みベクタアドレス切り替え回路が準備されています。ブートモードでは、リセット/割り込みベクタエリアはそれにより3FFF00H~3FFFFFFH((B)エリア)エリアに割り当てられます。そしてブートシーケンスの後、これらのエリアはBROMCR<VACE>を“0”に設定することにより、(A)エリアに切り替えることができます。よって、(A)エリアはアプリケーションシステムプログラム用のみ使用することが可能です。<VACE>はブートモードで“1”に初期化されます。他のスタートモードでは、このレジスタは意味を持ちません。

注1) 最後の16バイトのエリア(FFFFFF0H~FFFFFFFH)はエミュレータ用に予約されています。よって、このエリアは<VACE>レジスタによって切り替えられません

(4) ブート ROM のバイパス

ブートモードでのブートシーケンスの後、アプリケーションシステムプログラムはリセットをアサートすることなしに実行しつづけることが可能です。

この場合、3FE000H~3FFFFFFH 番地に配置される外部メモリはブート ROM が割り当てられているためアクセスできません。

よって、内蔵ブート ROM は BROMCR<ROMLESS>を“1”に設定することにより、バイパスさせることが可能です。

この<ROMLESS>はブートモード“0”で初期化されます。他のスタートモードでは、このレジスタは“1”に初期化されます。

このレジスタが“1”に設定された場合、“0”を書き込むことは禁止です。

		7	6	5	4	3	2	1	0
BROMCR (0167H)	Bit symbol							ROMLESS	VACE
	Read/Write							R/W	
	リセット後							0/1 注)	1/0 注)
	機能							ブート ROM 0: 使用 1: バイパス	ベクタ アドレス 変換 0: 禁止 1: 許可

注) 起動モードによってリセット後の値は異なります。

3.6.6 注意事項

(1) \overline{CS} と \overline{RD} の間のタイミングの注意点

\overline{RD} (リード信号) の寄生容量が \overline{CS} (チップセレクト信号) の容量より大きい場合のリード信号の遅れにより、意図しないリードサイクルが発生する場合があります。図 3.6.2の (a) のような意図しないリードサイクルによって、不具合が発生する恐れがあります。

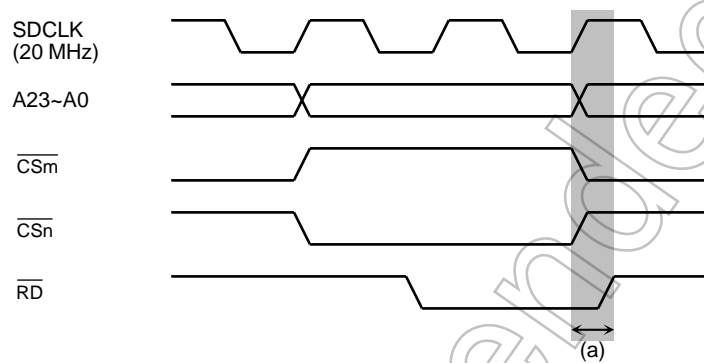


図 3.6.3 リード信号遅延時のリードサイクル

例) JEDEC標準型コマンドを採用しているNORフラッシュを外部に接続する場合、トグルビットを正しく読み出しできない場合があります。図 3.6.4のようにNORフラッシュアクセスの前のサイクルのリード信号立ち上がりが遅れたとき、(b) のように意図しないリードサイクルが生じます。

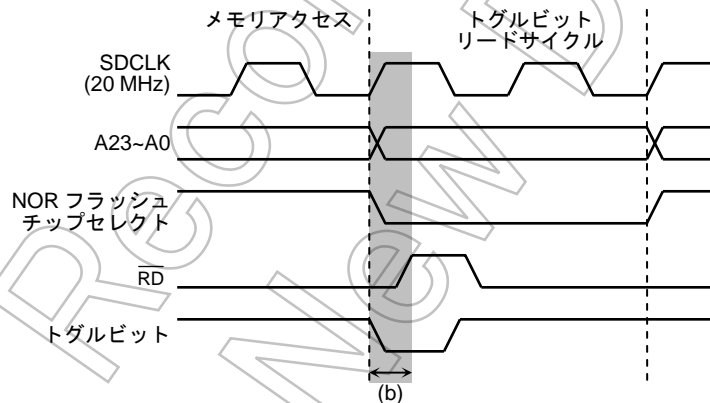


図 3.6.4 NORフラッシュトグルビットリードサイクル

この意図しないリードサイクルでトグルビットが反転してしまう場合、CPU はいつも同じ値のトグルビットを読み出すことになり、正しくトグルビットをリードできません。このような現象が起こる場合があるため、データポーリング機能での制御を推奨します。

(2) NAND フラッシュエリア設定についての注意点

図 3.6.5はNANDフラッシュ、RAM内蔵LCDドライバのメモリマップを示しています。

また、000000H~3FFFFFFH のエリアには CS3 を割り当ててることを推奨していますのでこの場合について説明します。

この場合、“NAND フラッシュ”と CS3 エリアが重なっています。

TMP92CH21 では、アクセスする各制御回路は独立して動作しますので、例えば CS3 エリアのプログラムが、NAND フラッシュをアクセスする場合、同時にアクセスされ、データ衝突のような問題が発生します。この現象を避けるには、CS0 を 32 K バイトの 000000H~007FFFH までのアドレスに割り当ててることを推奨します。(CS0 端子は必要ありません。)

CS0 の設定優先順位は CS3 より高いため、NAND フラッシュへのアクセスは CS0 の設定が選択され、データコンフリクトを回避することができます。

注) この場合、CS3 のメモリの 32 K バイト 000000H~007FFFH までのアドレスを使用することはできません。

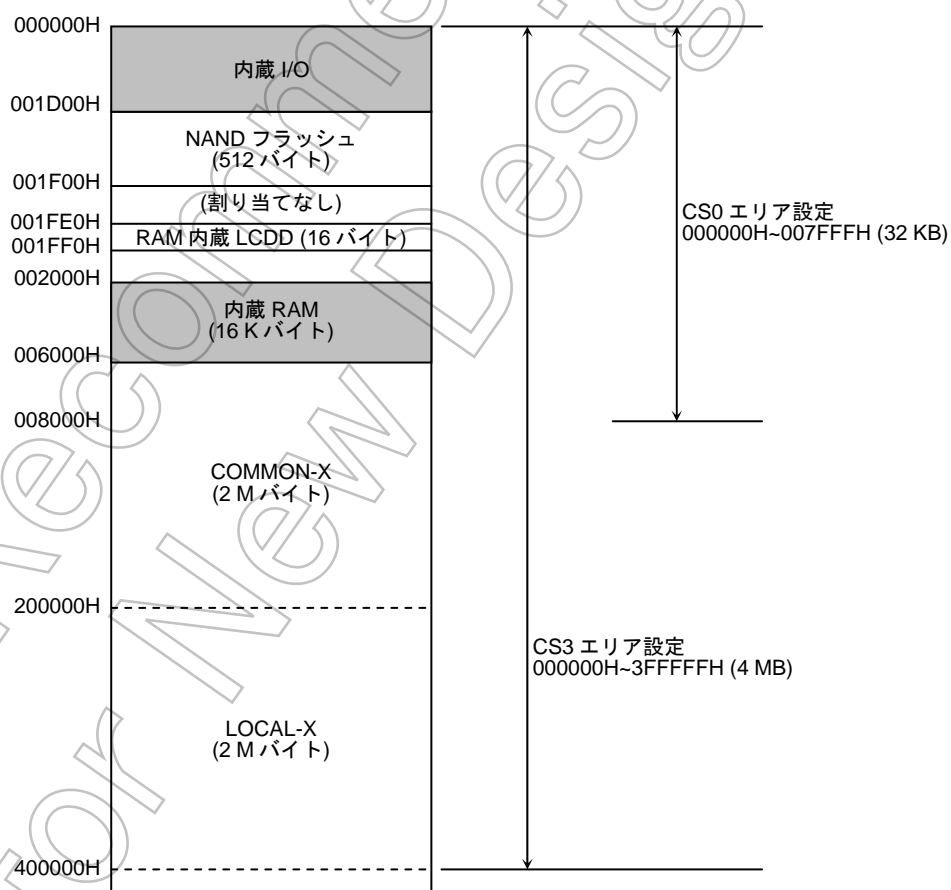


図 3.6.5 CS3、CS0 推奨設定

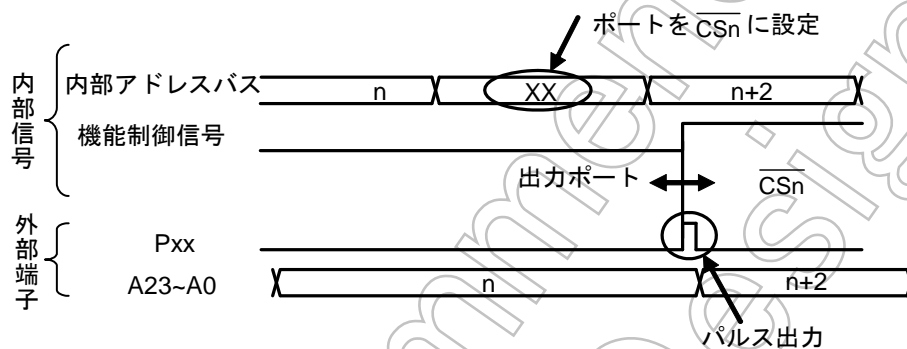
(3) \overline{CSn} 端子の機能切り替え時の注意

チップセレクト信号出力は汎用ポート機能との兼用端子の場合があります。この場合は、リセット動作により、出力ラッチレジスタおよび機能制御レジスタが初期化され、対象端子がポート出力(“1” または “0”)に初期化されます。

機能切り替え

機能制御レジスタ(PnFC レジスタ)を設定する事により、対象端子をポートからチップセレクト信号出力に切り替えますが、切り替わりのタイミングで数 ns の短いパルスが出力される場合があります。通常のメモリを使用する場合、特に問題にはなりません、特殊なメモリを使用する場合、問題となることがあります。

※ XX は機能レジスタアドレス(出力ポートが“0”に初期化される場合)

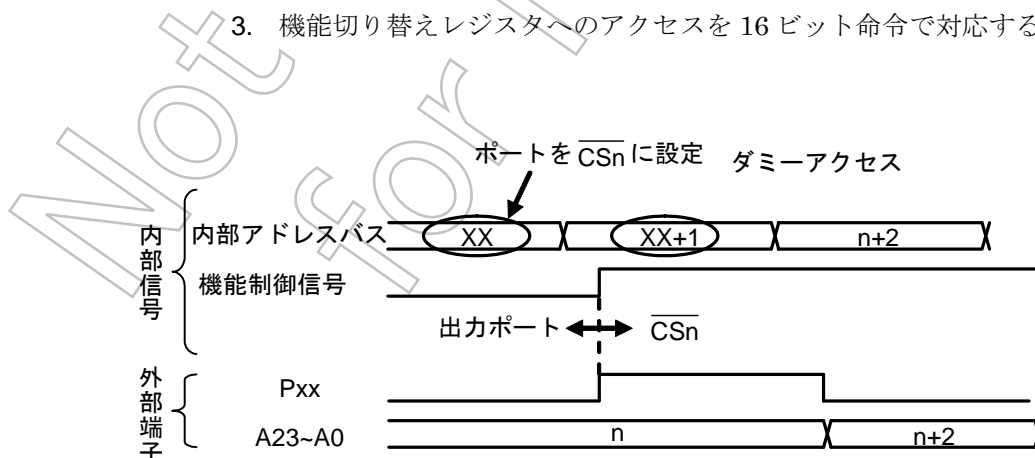


ソフトウェアによる対策

この現象を回避するための S/W での対応策を説明します。

CS 信号はそのアクセスエリアのアドレスをデコードして生成されるため、不要なパルスは \overline{CSn} 機能に設定した直後の、対象 CS エリアへのアクセスによって出力されます。そこで、ポートを CS 機能に設定した直後も内部エリアにアクセスすれば不要なパルスは出力しません。

1. 機能切り替え中の割り込み禁止 (DI 命令)
2. 連続した内部アクセスをするために、ダミー命令を追加
3. 機能切り替えレジスタへのアクセスを 16 ビット命令で対応する (LDW 命令)



3.7 8ビットタイマ

TMP92CH21は8ビットタイマを4チャンネル(TMRA0~3)内蔵しています。

TMRAは2チャンネルを1モジュールとし、2モジュールで構成され、それぞれTMRA01、TMRA23と呼びます。各モジュールは次の4種類のモードを持っています。

- 8ビットインタバルタイマモード
- 16ビットインタバルタイマモード
- 8ビットプログラマブル矩形波 (PPG: 可変周期、可変デューティ) 出力モード
- 8ビットパルス幅変調 (PWM: 可変周期、可変デューティ) 出力モード

図 3.7.1~図 3.7.2にTMRA01 およびTMRA23 のブロック図を示します。

各チャンネルは8ビットアップカウンタ、8ビットコンパレータおよび8ビットのタイマレジスタで構成され、2チャンネルで1つのプリスケアラ、タイマフリップフロップで構成されています。

タイマの動作モードとタイマフリップフロップは、5バイトのレジスタ (SFR) で制御されます。

2つの各モジュール (TMRA01、TMRA23) はそれぞれ独立に動作します。いずれのモジュールも表 3.7.1に示される仕様相違点を除いて同一の動作をしますので、動作説明はTMRA01 の場合についてのみ説明します。

また、本章は下記のような構成になっています。

3.7.1 モジュール別のブロック図

3.7.2 回路別の動作説明

3.7.3 SFR説明

3.7.4 モード別動作説明

- (1) 8ビットタイマモード
- (2) 16ビットタイマモード
- (3) 8ビット PPG (プログラマブル矩形波) 出力モード
- (4) 8ビット PWM (パルス幅変調) 出力モード
- (5) モード設定

表 3.7.1 モジュール別仕様相違点

モジュール		TMRA01	TMRA23
外部端子	外部クロック用入力端子	なし	なし
	タイマフリップフロップ用出力端子	TA1OUT (PC0と兼用)	TA3OUT (PC1と兼用)
SFR (アドレス)	タイマ動作レジスタ	TA01RUN (1100H)	TA23RUN (1108H)
	タイマレジスタ	TA0REG (1102H) TA1REG (1103H)	TA2REG (110AH) TA3REG (110BH)
	タイマモードレジスタ	TA01MOD (1104H)	TA23MOD (110CH)
	フリップフロップ制御レジスタ	TA1FFCR (1105H)	TA3FFCR (110DH)

3.7.1 モジュール別ブロック図

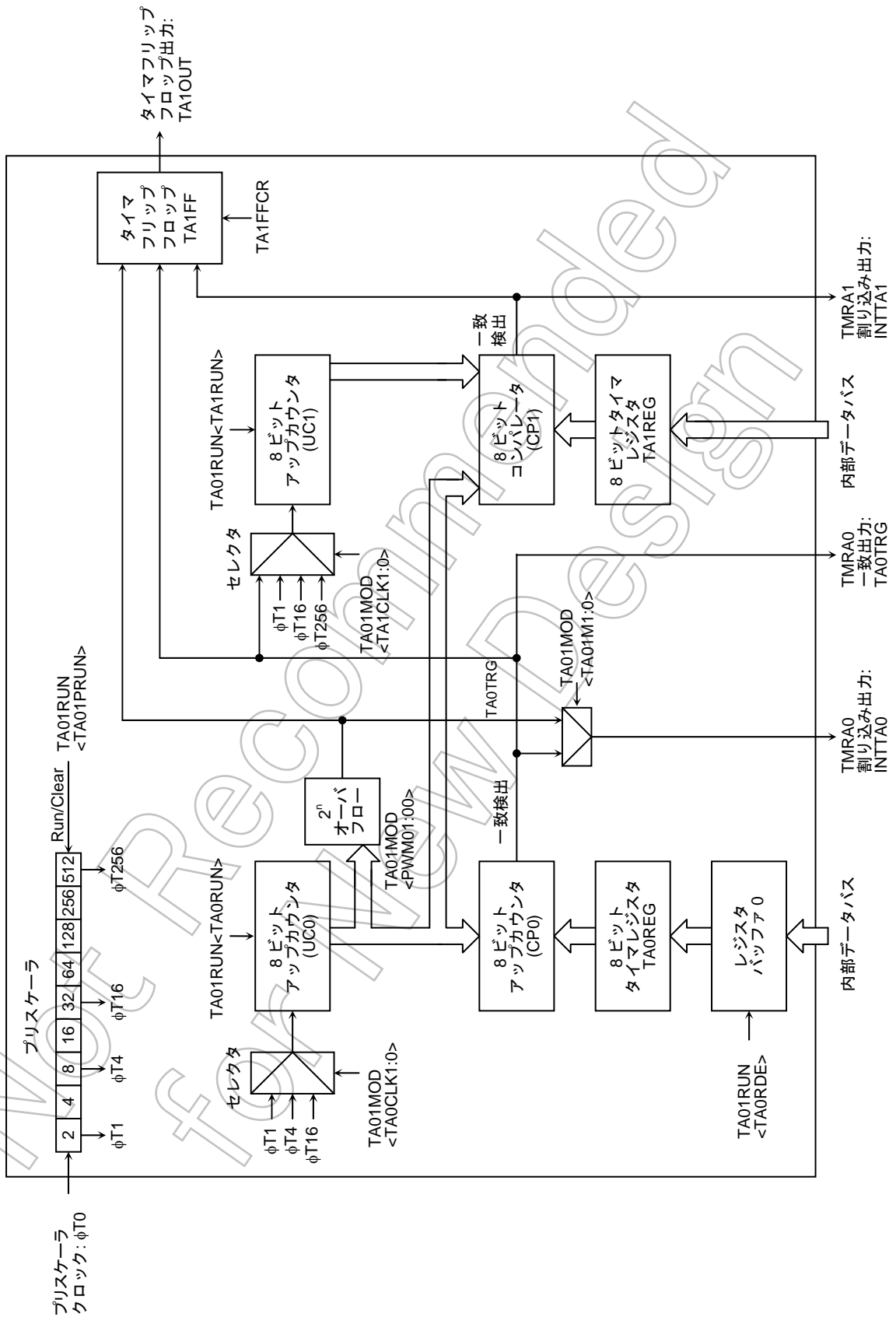


図 3.7.1 TMRA01 ブロック図

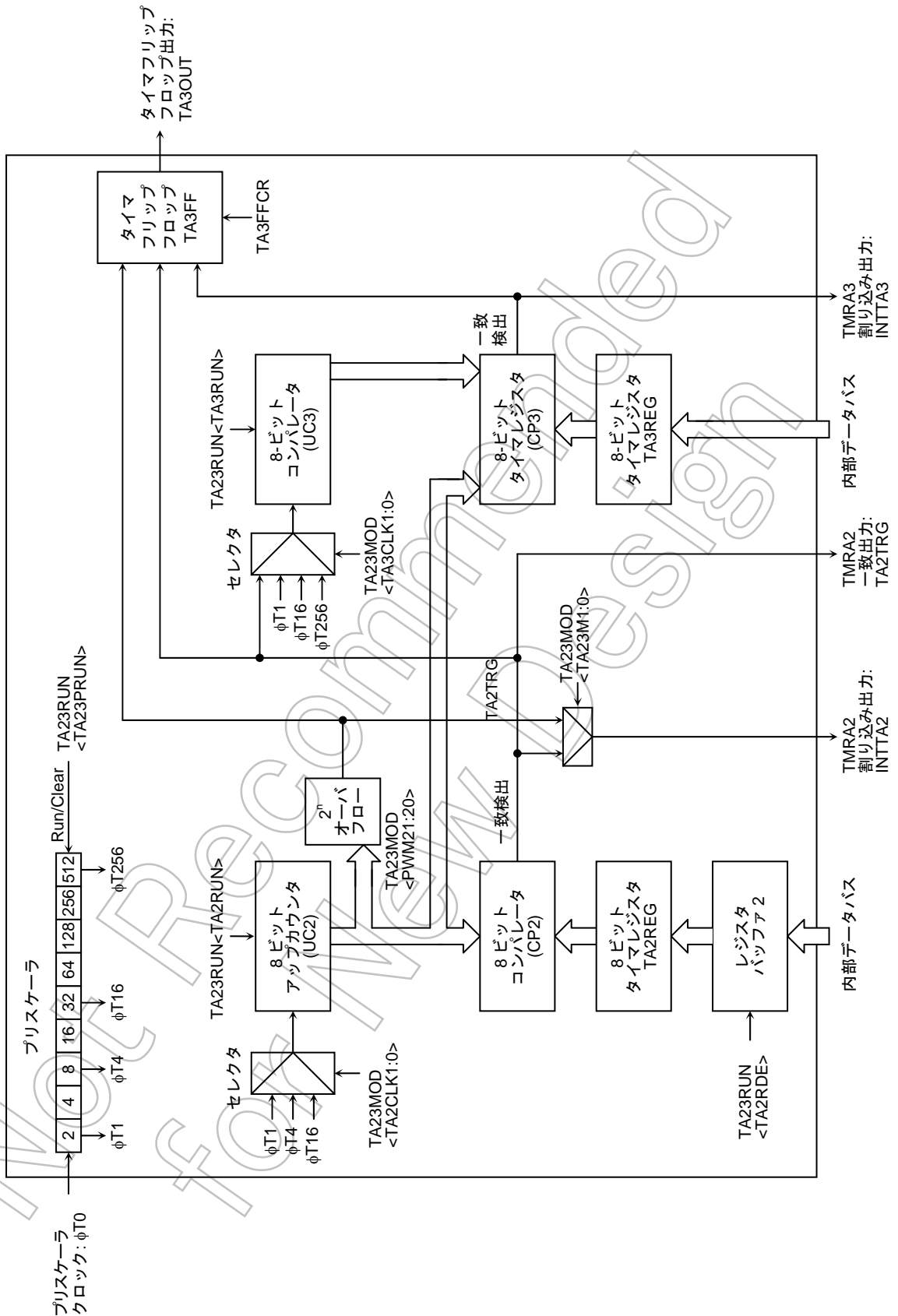


図 3.7.2 TMRA23 ブロック図

3.7.2 回路別動作説明

(1) プリスケーラ

TMRA01 のクロックソースを得るため 9 ビットプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、クロックギア部の SYSCR1<SYSCK>にて選択したクロックを 8 分周したクロックです。

プリスケーラはTA01RUN<TA01PRUN>により動作/停止の設定をします。“1”をライトするとカウント開始し、“0”をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 3.7.2に示します。

表 3.7.2 プリスケーラ出力クロック分解能

システム クロック選択 SYSCR1 <SYSCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	タイマカウンタ入力クロック TMRA 部プリスケーラ TAXMOD<TAXCLK1:0>			
			$\phi T1(1/2)$	$\phi T4(1/8)$	$\phi T16(1/32)$	$\phi T256(1/512)$
1(fs)	-	1/8	fs/16	fs/64	fs/256	fs/4096
0(fc)	000 (1/1)		fc/16	fc/64	fc/256	fc/4096
	001 (1/2)		fc/32	fc/128	fc/512	fc/8192
	010 (1/4)		fc/64	fc/256	fc/1024	fc/16384
	011 (1/8)		fc/128	fc/512	fc/2048	fc/32768
	100 (1/16)		fc/256	fc/1024	fc/4096	fc/65536

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ (TA01MOD) で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA01IN 端子からの外部クロックと、3 種類のプリスケーラ出力クロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ から、TA01MOD<TA01CLK1:0>の設定値に応じて選択されます。

UC1 の入力クロックは、動作モードによって異なります。16 ビットタイマモードに設定した場合は、アップカウンタ UC0 のオーバフロー出力が入力クロックとなり、16 ビットタイマモード以外の設定の場合は、入力信号は内部クロック $\phi T1$ 、 $\phi T16$ 、 $\phi T256$ と、TMRA0 のコンパレータ出力 (一致検出信号) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>、TA01RUN<TA1RUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。

(3) タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタへの設定値と、アップカウンタの値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバーフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファとペアになっています。ダブルバッファの制御は、TA01RUN<TA0RDE>の設定により行います。<TA0RDE>="0" のときディセーブル、<TA0RDE>="1" のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの 2ⁿ オーバーフロー、または、PPG モードの周期コンペア一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。

リセット時は<TA0RDE>="0" に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときには、タイマレジスタに設定値を書き込み、<TA0RDE>="1" に設定した後、レジスタバッファに次の設定値を書き込んでください。

図 3.7.3にTA0REGの構成を示します。

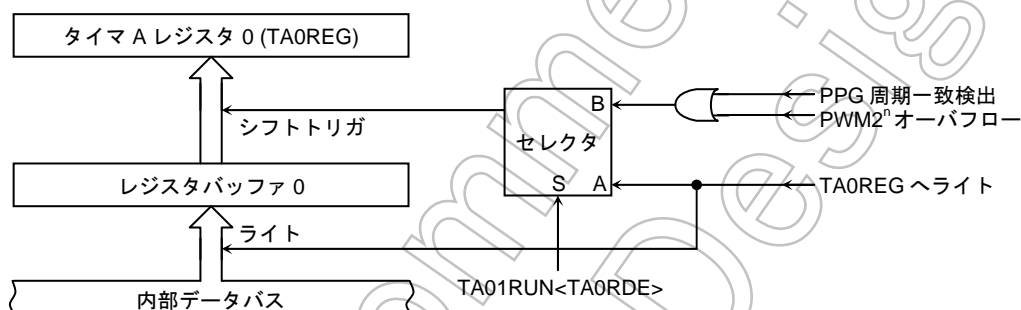


図 3.7.3 TMRA0 レジスタ(TA0REG) の構成

注) タイマレジスタとレジスタバッファは同じアドレスに割り付けられています。<TA0RDE>="0" のときは、レジスタバッファとタイマレジスタの両方に同じ数字が書き込まれ、<TA0RDE>="1" のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのアドレスは以下のようになります。

TA0REG: 001102H TA1REG: 001103H

TA2REG: 00110AH TA3REG: 00110BH

これらのレジスタはライト専用のレジスタで、リードはできません。

(4) コンパレータ (CP0)

アップカウンタの値と、タイマレジスタの値とを比較し、一致するとアップカウンタをゼロクリアするとともに、割り込み (INTTA0, INTTA1) を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ (TA1FF) は、各インターバルタイマの一致検出信号 (8 ビットコンパレータ出力) により反転するフリップフロップです。反転のディセーブル/イネーブルは、タイマフリップフロップコントロールレジスタ TA1FFCR<TA1FFIE>により設定できます。

リセットにより、TA1FF1~0 の値は“0”になります。TA1FFCR<TA1FFC1:0>に“01”、または“10”を書き込むことで、TA1FFに“1”、または“0”を設定できます。また、このビットに“00”を書き込むことにより、TA1FFの値を反転することができます (ソフト反転)。

TA1FF信号の値は、タイマ出力端子 TA1OUT (PC0 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート C ファンクションレジスタ PCFC、および PCCR により、設定を行う必要があります。

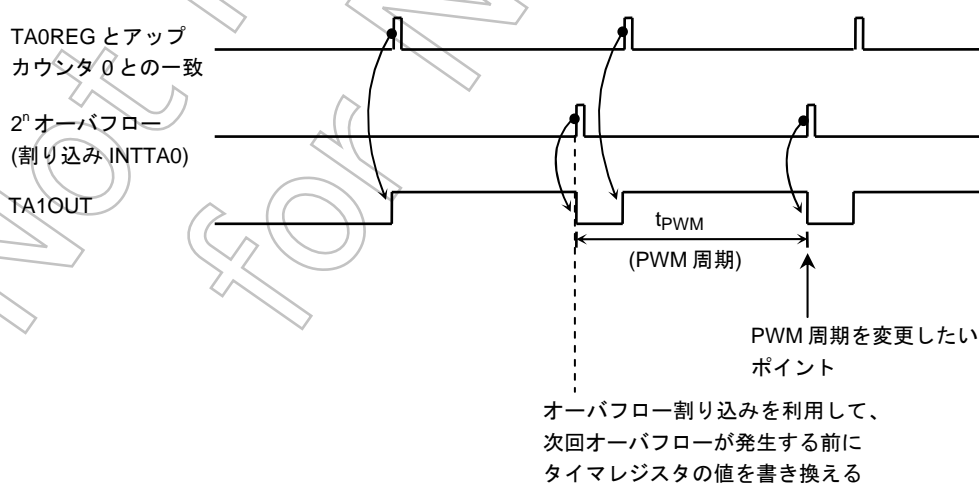
注) 8 ビットタイマにおいて PWM モードや PPG モードを使用時にダブルバッファを利用する場合は、注意が必要です。

タイマレジスタの設定値と、アップカウンタが一致して、オーバフロー発生するタイミング直前にレジスタバッファのデータ更新を行うと、設定値と異なる波形信号が出力される場合があります。

そのため、PWM モードではオーバフロー割り込みを利用し、次回のオーバフローが発生する 6 サイクル前までに ($f_{SYS} \times 6$)、レジスタバッファの更新を終了するようにしてください。

また、PPG モードを使用の際も同様に、周期のコンペア一致割り込みを使用し、次回の周期コンペアが一致する 6 サイクル前までに、レジスタバッファの更新を終了するようにしてください。

PWM モード時の例



3.7.3 SFR説明

TMRA01 Run レジスタ

	7	6	5	4	3	2	1	0
TA01RUN (1100H)	Bit symbol	TA0RDE			I2TA01	TA01PRUN	TA1RUN	TA0RUN
	Read/Write	R/W			R/W			
	リセット後	0			0	0	0	0
	機能	ダブルバッファ			IDLE2 0: 停止 1: 動作	TMRA01ブリスケラ	アップカウンタ(UC1)	アップカウンタ(UC0)
		0: 禁止 1: 許可				0: 停止&クリア 1: 動作 (カウントアップ)		

↓ TA0REG ダブルバッファの制御		→ カウント動作	
0	ディセーブル	0	停止&クリア
1	イネーブル	1	カウント

注) TA01RUN のビット 4~6 は、リードすると不定値がリードされます。

TMRA23 Run レジスタ

	7	6	5	4	3	2	1	0
TA23RUN (1108H)	Bit symbol	TA2RDE			I2TA23	TA23PRUN	TA3RUN	TA2RUN
	Read/Write	R/W			R/W			
	リセット後	0			0	0	0	0
	機能	ダブルバッファ			IDLE2 0: 停止 1: 動作	TMRA23ブリスケラ	アップカウンタ(UC3)	アップカウンタ(UC2)
		0: 禁止 1: 許可				0: 停止&クリア 1: 動作 (カウントアップ)		

↓ TA2REG ダブルバッファの制御		→ カウント動作	
0	ディセーブル	0	停止&クリア
1	イネーブル	1	カウント

注) TA23RUN のビット 4~6 は、リードすると不定値がリードされます。

図 3.7.4 TMRA レジスタ

TMRA01 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	

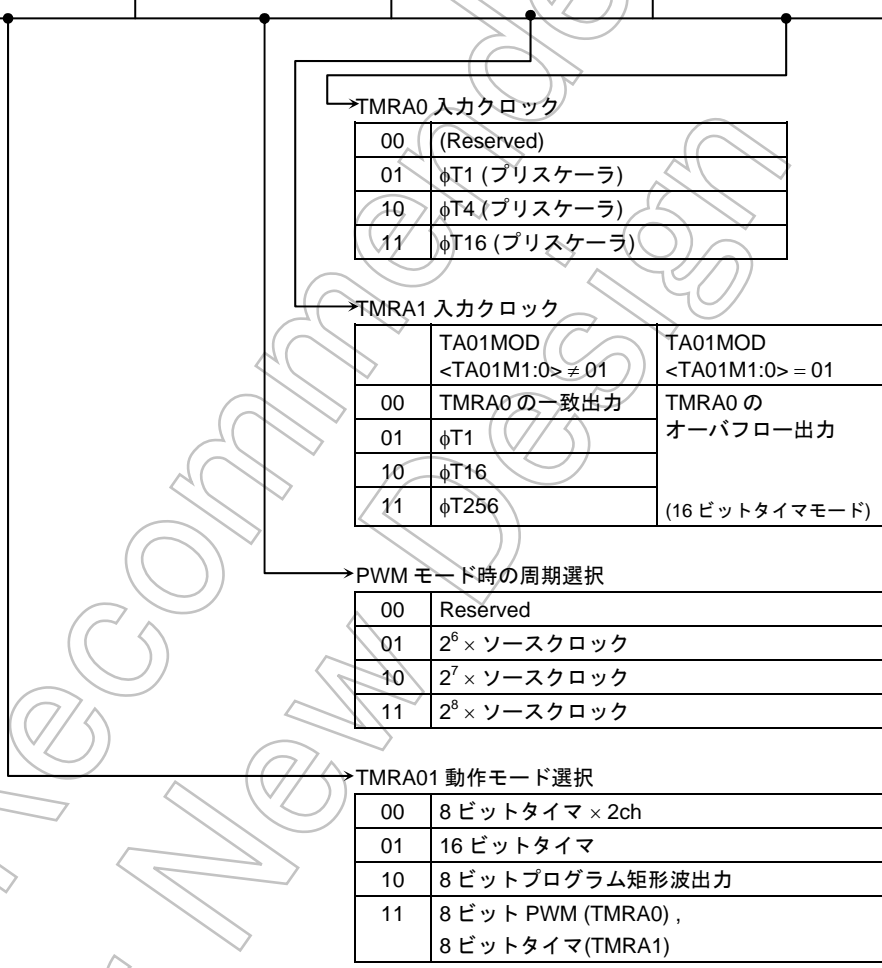


図 3.7.5 TMRA レジスタ

TMRA23 モードレジスタ

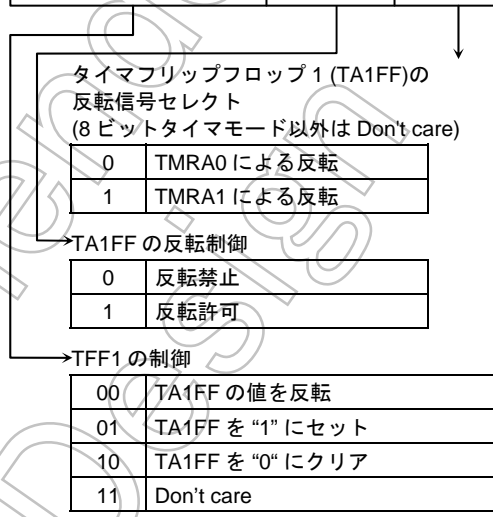
	7	6	5	4	3	2	1	0
Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA3 ソースクロック 00: TA2TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA2 ソースクロック 00: Reserved 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	



図 3.7.6 TMRA レジスタ

TMRA1 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA1FFCR (1105H)	Bit symbol					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
	Read/Write					R/W			
	リセット後					1	1	0	0
リード モディファイ アイトは できません。	機能					00: TA1FF を反転 01: TA1FF を "1" にセット 10: TA1FF を "0" にクリア 11: Don't care	TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号 セレクト 0: TMRA0 1: TMRA1	



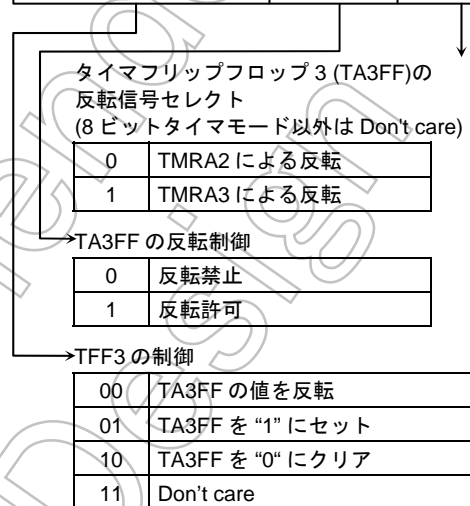
注) TA1FFCR のビット 4~7 はリードすると不定値がリードされます。

図 3.7.7 TMRA レジスタ

Not Recommended for New Design

TMRA3 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TA3FFCR (110DH)	Bit symbol					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
	Read/Write					R/W			
	リセット後					1	1	0	0
リード モディファイ アイトは できません。	機能					00: TA3FF を反転 01: TA3FF を "1" にセット 10: TA3FF を "0" にクリア 11: Don't care	TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号 セレクト 0: TMRA2 1: TMRA3	



注) TA3FFCR のビット 4~7 はリードすると不定値がリードされます。

図 3.7.8 TMRA レジスタ

Not Recommended for New Design

TMRA レジスタ

記号	アドレス	7	6	5	4	3	2	1	0
TA0REG	1102H					-			
						W			
						不定			
TA1REG	1103H					-			
						W			
						不定			
TA2REG	110AH					-			
						W			
						不定			
TA3REG	110BH					-			
						W			
						不定			

注) リードモディファイライトはできません。

図 3.7.9 TMRA 用レジスタ

3.7.4 モード別動作説明

(1) 8ビットタイマモード

TMRA0、TMRA1はそれぞれ独立に8ビットインタバルタイマとして使用できます。

1. 一定周期の割り込みを発生させる場合 (TMRA1 使用)

TMRA1を用いて、一定周期ごとにTMRA1割り込み (INTTA1) を発生させる場合、まずTMRA1を停止させ、動作モード、入力クロック、周期をそれぞれTA01MOD、TA1REGに設定します。次に割り込みINTTA1をイネーブルにしてから、TMRA1をカウントさせます。

例) $f_c = 40 \text{ MHz}$ で $40 \mu\text{s}$ ごとにINTTA1割り込みを発生させたい場合、次の順序で各レジスタを設定します。

	MSB		LSB							
	7	6	5	4	3	2	1	0		
TA01RUN	←	-	X	X	X	-	-	0	-	TMRA1を停止し、0にクリアします。
TA01MOD	←	0	0	X	X	0	1	-	-	8ビットタイマモードにし、入力クロックを $\phi T1 (= (16/f_c)s @ f_c = 40 \text{ MHz})$ に設定します。
TA1REG	←	0	1	1	0	0	1	0	0	TA1REGに $40 \mu\text{s} \div \phi T1 = 100 = 64\text{H}$ を書き込みます。
INTETA01	←	X	1	0	1	-	-	-	-	INTTA1をイネーブル、割り込みレベル5に設定します。
TA01RUN	←	-	X	X	X	-	1	1	-	TMRA1をカウントさせます。

X: Don't care, -: No change

入力クロックの選択は表 3.7.3を参考にしてください。

表 3.7.3 8ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@ $f_{SYS} = 20 \text{ MHz}$)	分解能
$\phi T1 (8/f_{SYS})$	0.4 μs to 102.4 μs	0.4 μs
$\phi T4 (32/f_{SYS})$	1.6 μs to 409.6 μs	1.6 μs
$\phi T16 (128/f_{SYS})$	6.4 μs to 1.638 ms	6.4 μs
$\phi T256 (2048/f_{SYS})$	102.4 μs to 26.21 ms	102.4 μs

- 注) TMRA0とTMRA1の入力クロックは下記のように異なります。
 TMRA0: TMRA0入力 (TA0IN)、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$
 TMRA1: TMRA0の一致検出信号 (TA0TRG)、 $\phi T1$ 、 $\phi T16$ 、 $\phi T256$

2. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ (TA1FF1) の値を反転させ、この値をタイマフリップフロップ出力端子 (TA1OUT) へ出力します。

例) $f_C = 40 \text{ MHz}$ で周期 $2.4 \mu\text{s}$ の矩形波を TA1OUT から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0かTMRA1を使用しますが、ここではTMRA1を使用したときのレジスタ設定例を示します。

		7	6	5	4	3	2	1	0		
TA1	TA01RUN	←	-	X	X	X	-	-	0	-	TMRA1 を停止し、0にクリアします。
	TA01MOD	←	0	0	X	X	0	1	-	-	8ビットタイマモードにし、入力クロックを $\phi T1 (= (16/f_C)s @ f_C = 40 \text{ MHz})$ にします。
	TA1REG	←	0	0	0	0	0	0	1	1	TA1REG に $2.4 \mu\text{s} \div \phi T1 \div 2 = 3$ をセットします。
	TA1FFCR	←	X	X	X	X	1	0	1	1	TA1FF を "0" にクリアし、TMRA1 から的一致検出信号で反転するように設定します。
P	PCCR	←	-	-	-	-	-	-	-	1	} PC0 を TA1OUT 出力端子に設定します。
	PCFC	←	-	-	-	-	-	-	-	1	
TA1	TA01RUN	←	-	X	X	X	-	1	1	-	TMRA1 のカウントを開始させます。

X: Don't care, -: No change

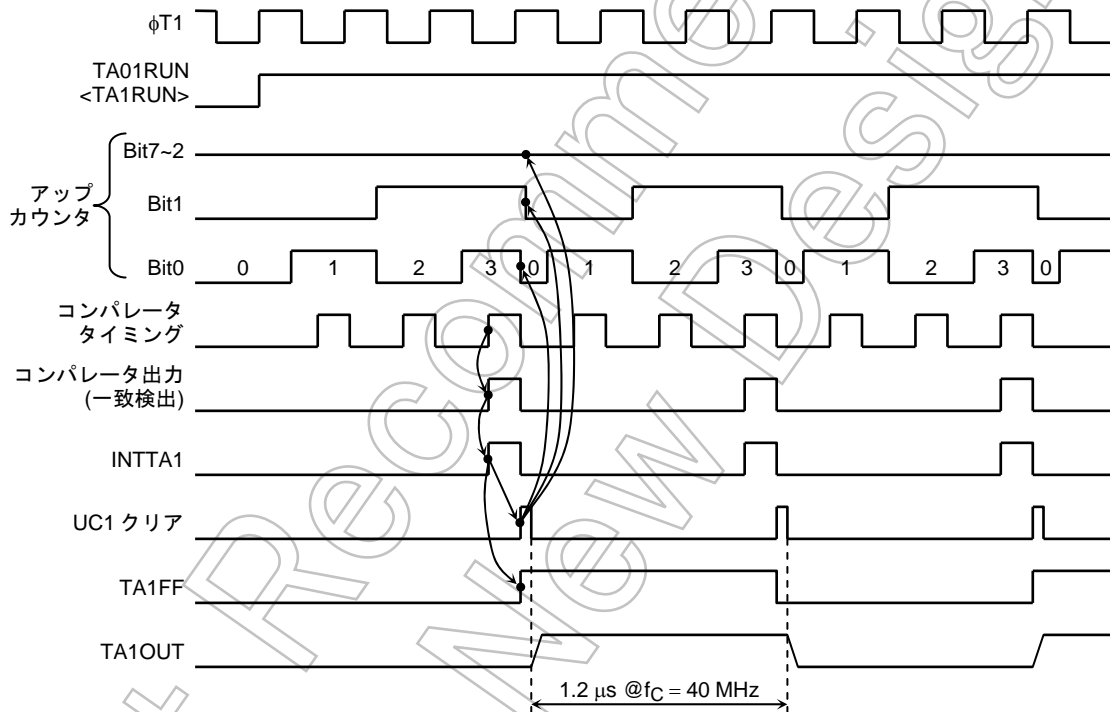


図 3.7.10 矩形波 (50%デューティ) 出力のタイミングチャート

3. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8ビットタイマモードに設定し、TMRA1の入カクロックをTMRA0のコンパレータ出力に設定します。

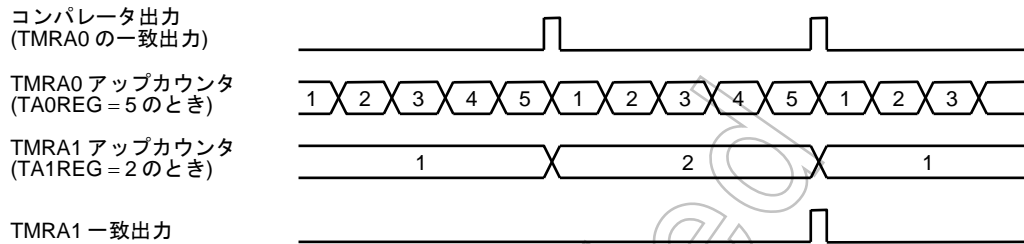


図 3.7.11 TMRA0 による TMRA1 のカウントアップ

(2) 16ビットタイマモード

8ビットタイマのTMRA0とTMRA1をペアにして、16ビットインタバルタイマとして使用できます。TA01MOD<TA01M1:0>を“01”に設定することで16ビットタイマモードとなります。

16ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0>の設定値にかかわらず、TMRA1の入カクロックは、TMRA0のオーバーフロー出力になります。タイマ(割り込み)周期と入力クロックの選択の関係は、表3.7.2を参考にしてください。

タイマ割り込み周期は、タイマレジスタTA0REGに下位8ビットを、TA1REGに上位8ビットを設定します。この場合、必ずTA0REGから先に設定してください(TA0REGにデータを書き込むとコンパレータが一時禁止され、TA1REGへのデータ書き込みでコンパレータが開始されるためです)。

例) $f_c = 40 \text{ MHz}$ で 0.4 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG、TA1REG には次の値を設定します。

$\phi T_{16} (= (256/f_c) \text{ s } @ 40 \text{ MHz})$ を入力クロックとしてカウントすると、
 $0.4 \text{ s} \div (256/f_c) \text{ s} = 62500 = \text{F424H}$
 従って、TA1REG = F4H、TA0REG = 24H に設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG が一致すると、コンパレータタイミング時、毎回一致検出信号が出力されます。TMRA0、A1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0、UC1 がゼロクリアされ、割り込み INTTA1 が発生します。また、反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

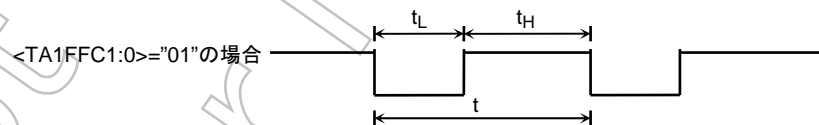
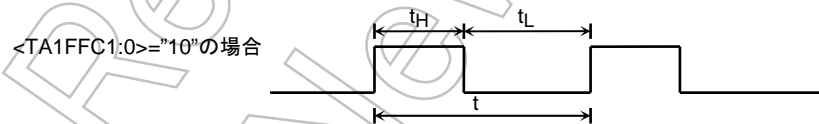
例) TA1REG = 04H、TA0REG = 80H の場合



図 3.7.12 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスはローアクティブ、ハイアクティブとどちらの設定も可能です。このモードに設定した場合、TMRA1 は使用できません。矩形波は TA1OUT (PC0 と兼用) へ出力されます。



<TA1FFC1:0>="01" の例

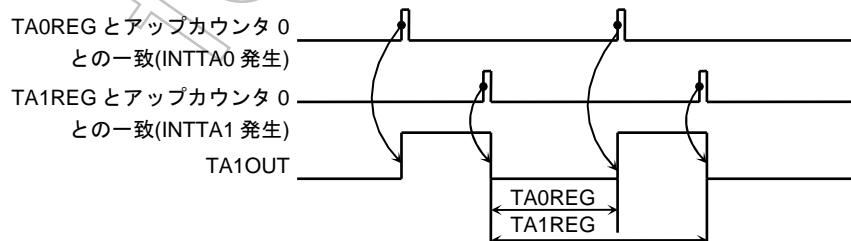


図 3.7.13 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ(UC0)が、タイマレジスタ TA0REG、TA1REGと一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN<TA1RUN>=“1” に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと、図 3.7.14 のようになります。

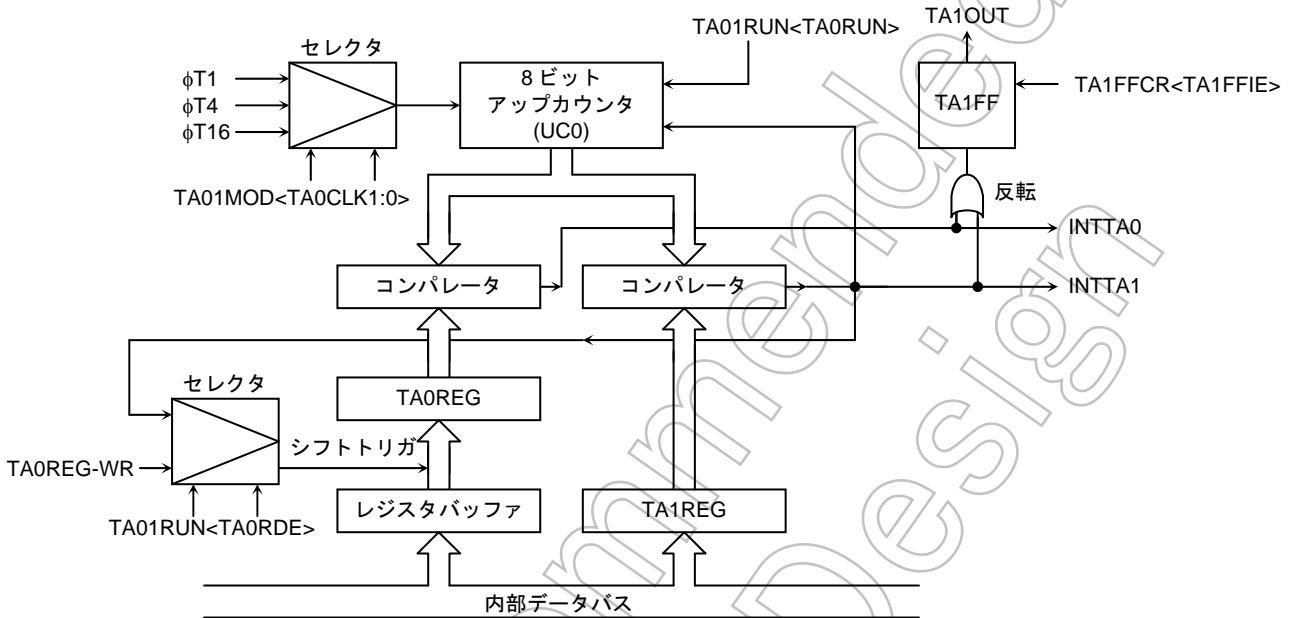


図 3.7.14 8ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

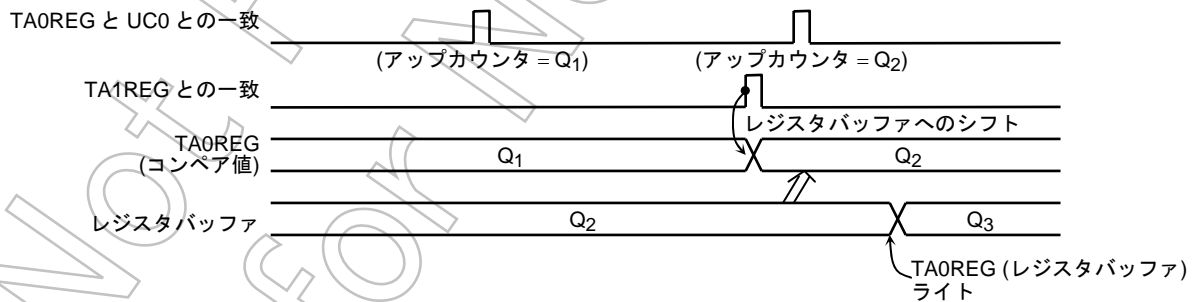
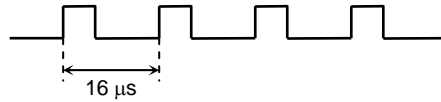


図 3.7.15 レジスタバッファの動作

例) デューティ 1/4 の 62.5 kHz のパルスを出力する場合 ($f_C = 40 \text{ MHz}$)



タイマレジスタへの設定値を求めます。

周波数を 62.5 kHz にするには、周期 $t = 1/62.5 \text{ kHz} = 16 \mu\text{s}$ の波形をつくります。

$\phi T1 (= (16/f_C)s$ (@ $f_C = 40\text{MHz}$) を用いると、

$$16 \mu\text{s} \div (16/f_C)s = 40$$

従って、 $TA1REG = 40 = 28H$ に設定します。

次に、デューティを 1/4 にするには、 $t \times 1/4 = 16 \mu\text{s} \times 1/4 = 4 \mu\text{s}$

$$4 \mu\text{s} \div (16/f_C)s = 10$$

従って、 $TA0REG = 10 = 0AH$ に設定します。

	7	6	5	4	3	2	1	0	
TA01RUN	← 0	X	X	X	-	0	0	0	TMRA0、TMRA1 を停止し、0 にクリアします。
TA01MOD	← 1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックを $\phi T1$ にします。
TA0REG	← 0	0	0	0	1	0	1	0	0AH を書き込みます。
TA1REG	← 0	0	1	0	1	0	0	0	28H を書き込みます。
TA1FFCR	← X	X	X	X	0	1	1	X	TA1FF をセットし、反転イネーブルにします。
									“10” にすると負論理の出力波形が得られます。
PCCR	← -	-	-	-	-	-	-	1	} PC1 を TA1OUT 端子に設定します。
PCFC	← -	-	-	-	-	-	-	1	
TA01RUN	← 1	X	X	X	-	1	1	1	TMRA0、TMRA1 のカウントを開始します。

X: Don't care, -: No change

(4) 8ビットPWM出力モード

TMRA0にのみ可能なモードです。分解能8ビットまでのPWMを出力することができます。PWM出力はTA1OUT端子(PC0と兼用)へ出力されます。

このモードではTMRA1は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタUC0がタイマレジスタTA0REGの設定値と一致したときと、 2^n ($n=6, 7, 8$ いずれかをTA01MOD<PWM01:00>で指定)カウンタオーバーフロー発生時に起こります。また、UC0は 2^n カウンタのオーバーフローによってクリアされます。

また、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(TA0REGの設定値) < (2^n カウンタのオーバーフロー設定値)

(TA0REGの設定値) $\neq 0$

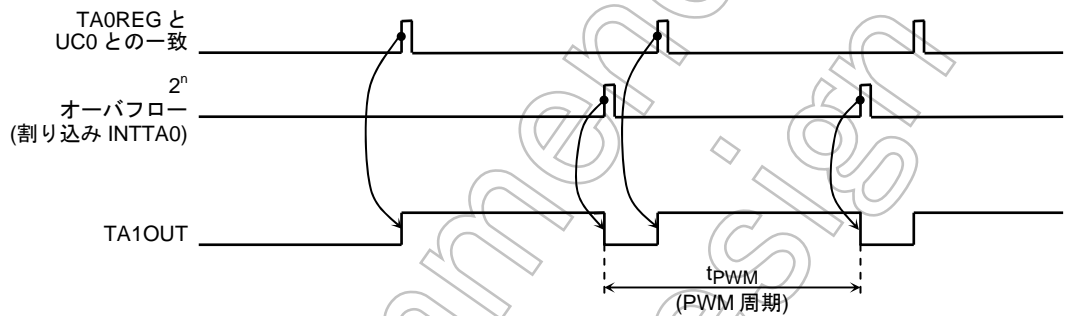


図 3.7.16 8ビットPWM出力波形

このモードをブロック図で表すと、図 3.7.17のようになります。

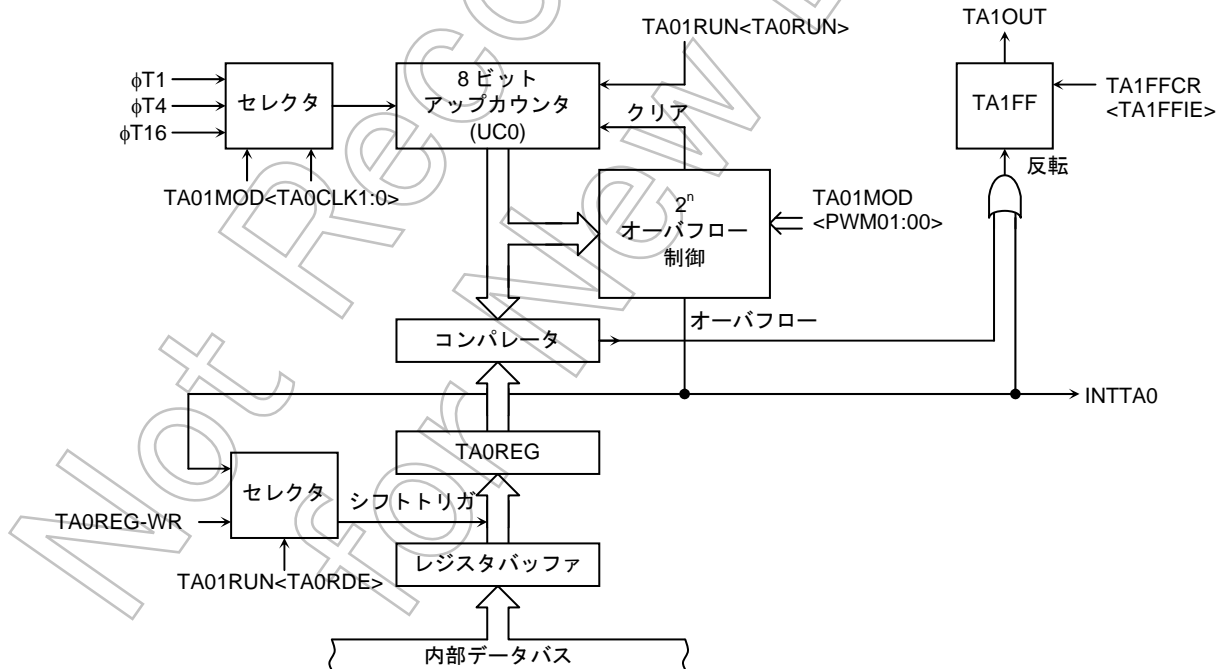


図 3.7.17 8ビットPWM出力モードブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、2ⁿ オーバフローの検出で、レジスタバッファの値が TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

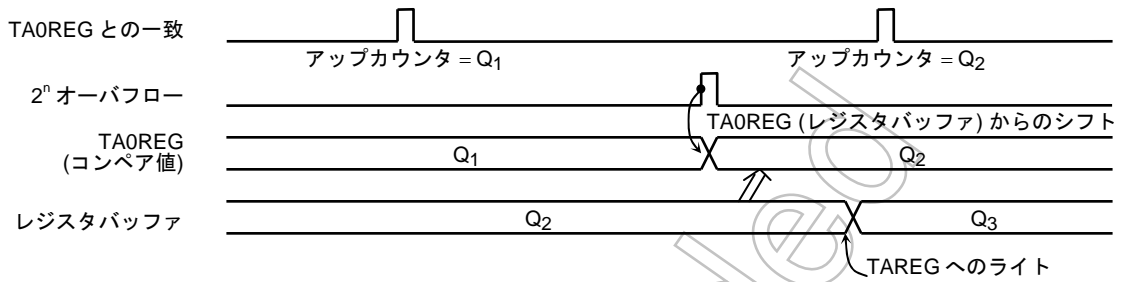
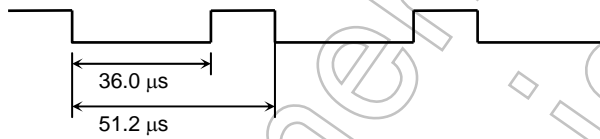


図 3.7.18 レジスタバッファの動作

例) $f_c = 40 \text{ MHz}$ 時、下記の PWM 波形を TA1OUT 端子へ出力する場合



PWM 周期 $51.2 \mu\text{s}$ を $\phi T1 (= (16/f_c)s$ ($@f_c = 40 \text{ MHz}$)で実現する場合:

$$51.2 \mu\text{s} \div (16/f_c)s = 2^n$$

従って、 $n = 7$ に設定します。

“L” レベルの周期は $36.0 \mu\text{s}$ だから $\phi T1 = (16/f_c)s$ では

$$36.0 \mu\text{s} \div (16/f_c)s = 90 = 5AH$$

を TA0REG に設定します。

	MSB							LSB		
	7	6	5	4	3	2	1	0		
TA01RUN	←	-	X	X	X	-	-	0	TMRA0 を停止し、0 にクリアします。	
TA01MOD	←	1	1	1	0	-	0	1	8 ビット PWM モード (周期 = 2^7) にし、 入力クロックを $\phi 1$ にします。	
TA0REG	←	0	1	0	1	1	0	1	0	5AH を書き込みます。
TA1FFCR	←	X	X	X	X	1	0	1	X	TA1FF を 0 にクリアし、反転イネーブルにします。
PCCR	←	-	-	-	-	-	-	-	1	} PC1 を TA1OUT 端子に設定します。
PCFC	←	-	-	-	-	-	-	-	1	
TA01RUN	←	1	X	X	X	-	1	-	1	TMRA0 のカウントを開始します。

X: Don't care, -: No change

表 3.7.4 PWM周期と 2^n カウンタの関係

システム クロック選択 SYSCR1 <SYSCCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	PWM cycle TAxxMOD<PWMx1:0>								
			2^6 (x64)			2^7 (x128)			2^8 (x256)		
			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>		
			$\phi T1$ (x2)	$\phi T4$ (x8)	$\phi T16$ (x32)	$\phi T1$ (x2)	$\phi T4$ (x8)	$\phi T16$ (x32)	$\phi T1$ (x2)	$\phi T4$ (x8)	$\phi T16$ (x32)
1(fs)	-		1024/fs	4096/fs	16384/fs	2048/fs	8192/fs	32768/fs	4096/fs	16384/fs	65536/fs
0(fc)	000(x1)	×8	1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc
	001(x2)		2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc
	010(x4)		4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc
	011(x8)		8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc
	100(x16)		16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc	65536/fc	262144/fc	1048576/fc

(5) モード設定

表 3.7.5に、各タイマモードの設定一覧を示します。

表 3.7.5 各タイマモードの設定レジスタ

レジスタ名 <Bit symbol>	TA01MOD				TA1FFCR
	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	<TA1FFIS>
機能	タイマモード	PWM周期	上位タイマ 入力クロック	下位タイマ 入力クロック	タイマ F/F 反転セレクト
8ビット タイマ×2チャンネル	00	-	下位タイマ一致, $\phi T1, \phi T16, \phi T256$ (00, 01, 10, 11)	外部クロック, $\phi T1, \phi T4, \phi T16$ (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16ビットタイマモード	01	-	-	外部クロック, $\phi T1, \phi T4, \phi T16$ (00, 01, 10, 11)	-
8ビット PPG×1チャンネル	10	-	-	外部クロック, $\phi T1, \phi T4, \phi T16$ (00, 01, 10, 11)	-
8ビット PWM×1チャンネル	11	$2^6, 2^7, 2^8$ (01, 10, 11)	-	外部クロック, $\phi T1, \phi T4, \phi T16$ (00, 01, 10, 11)	-
8ビットタイマ×1チャンネル	11	-	$\phi T1, \phi T16, \phi T256$ (01, 10, 11)	-	出力不可

-: Don't care

3.8 外部メモリ拡張機能 (MMU)

プログラム/データエリアに 3 個のローカルエリアを持たせることにより 512 M バイトまで拡張可能な MMU 機能です。

推奨アドレスメモリマップは図 3.8.1 および図 3.8.3 を参照してください。

使用メモリが 16 M バイト以下の時は、MMU のレジスタの設定をする必要はありませんので、メモリコントローラの章を参照してください。

バンクの設定が可能なエリアはローカルエリアと呼ばれます。ローカルエリアのアドレスは固定されており変更できません。

また、バンク設定ができないエリアをコモンエリアと呼びます。

基本的に、一連のプログラムは一つのバンク内で終結させてください。同じローカルエリアの異なるバンク間を JP 命令などで、直接分岐することはできません。詳細は先の設定例を参照願います。

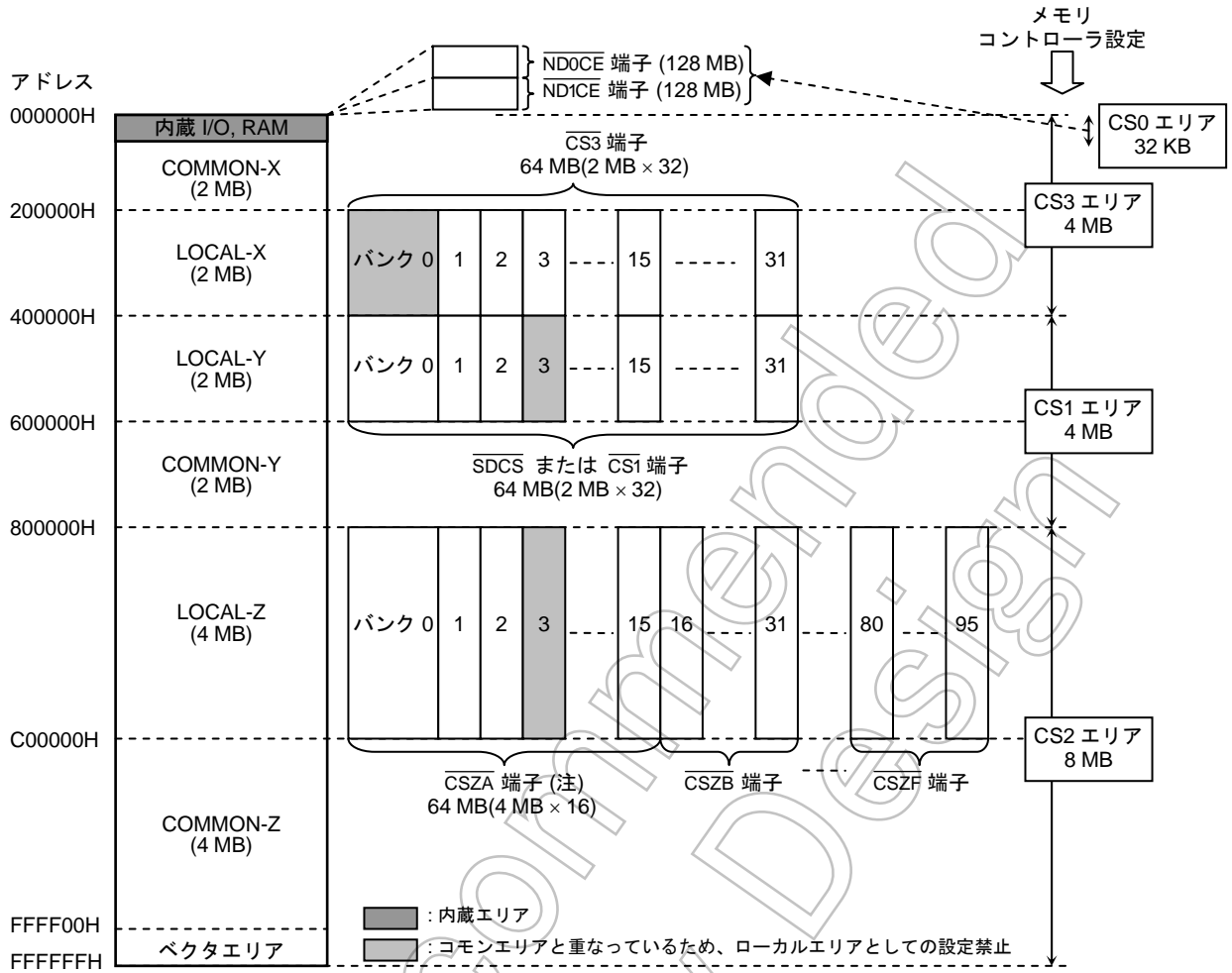
TMP92CH21 はメモリ LSI を接続するための以下の外部端子を持っています。

アドレスバス : EA25、EA24 および A23~A0
チップセレクト : $\overline{CS0} \sim \overline{CS3}$ 、 $\overline{CSZA} \sim \overline{CSZF}$ 、 \overline{SDCS} 、 $\overline{ND0CE}$ 、 $\overline{ND1CE}$
データバス : D31~D0

3.8.1 推奨メモリマップ

図 3.8.1 は推奨アドレスメモリマップのひとつを示しています。これは最大メモリサイズに拡張している例です。

また、図 3.8.3 は NAND フラッシュ、SDRAM および内蔵ブート ROM のようなシンプルなシステムの例を示しています。



注) CSZA は LOCAL-Z のバンク 0 から 15 までだけでなく COMMON-Z も対応するチップセレクトです。

図 3.8.1 最大仕様の推奨メモリマップ (論理アドレス)

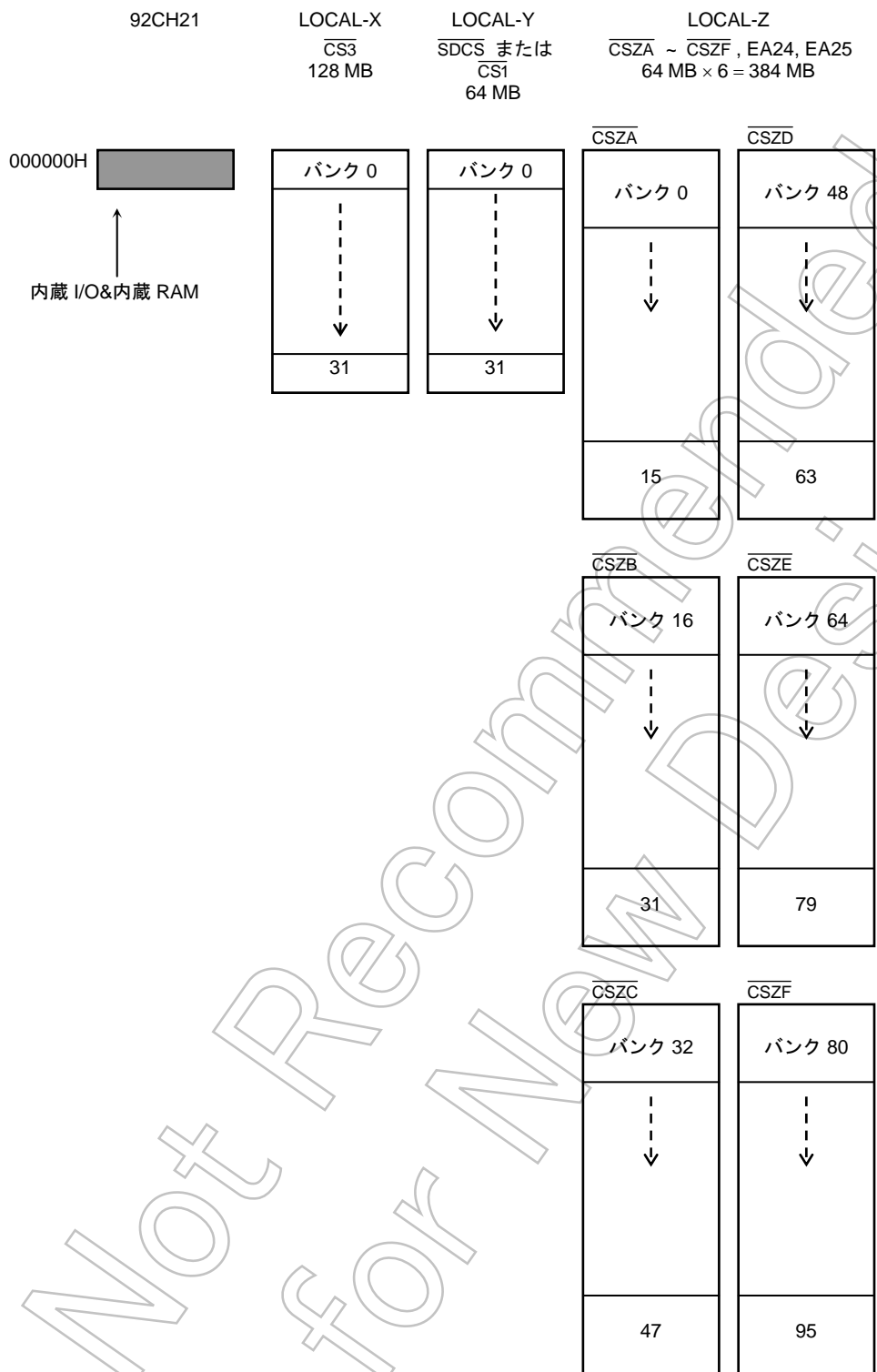


図 3.8.2 最大仕様の推奨メモリマップ (物理アドレス)

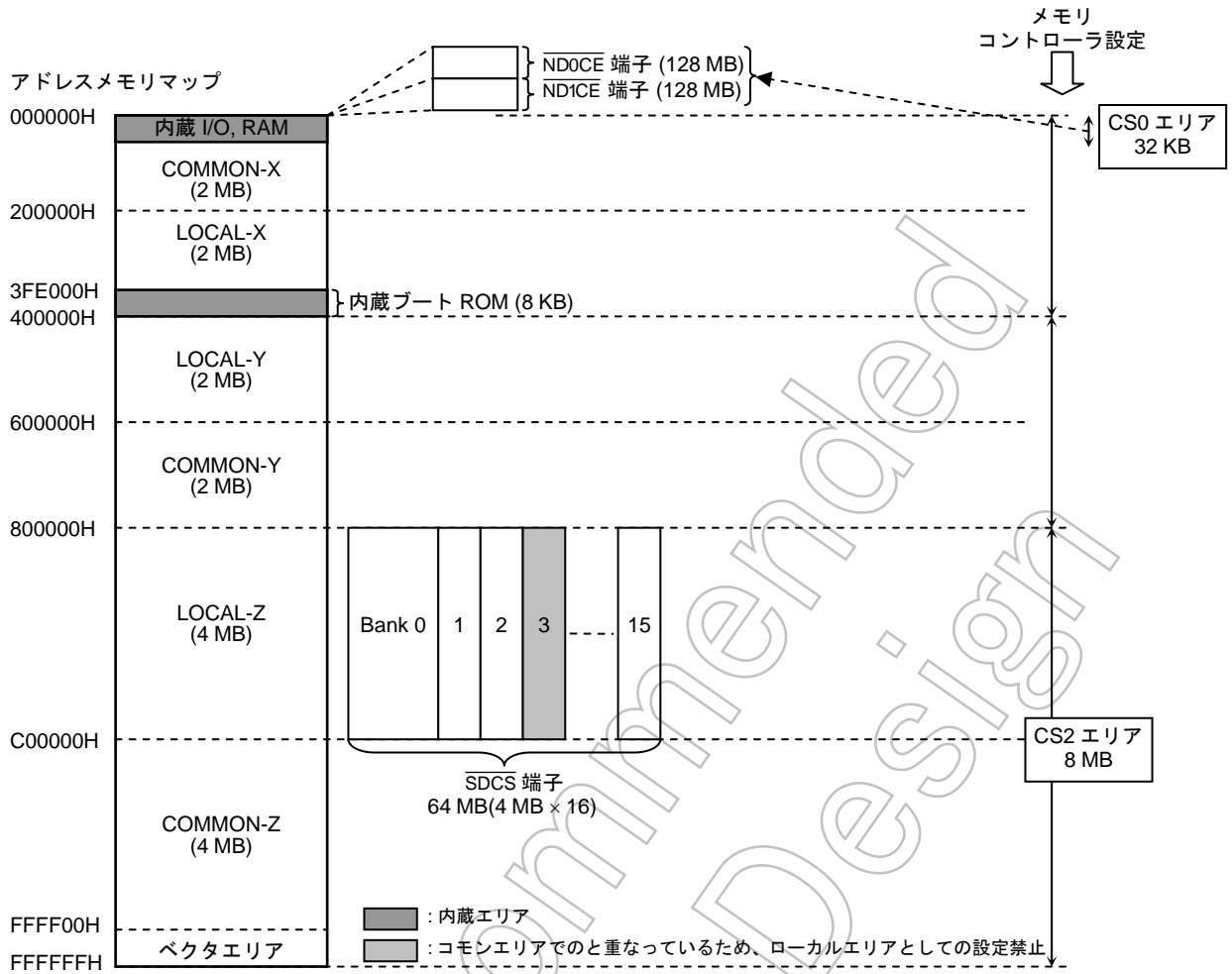


図 3.8.3 シンプルなシステムの推奨メモリマップ (論理アドレス)

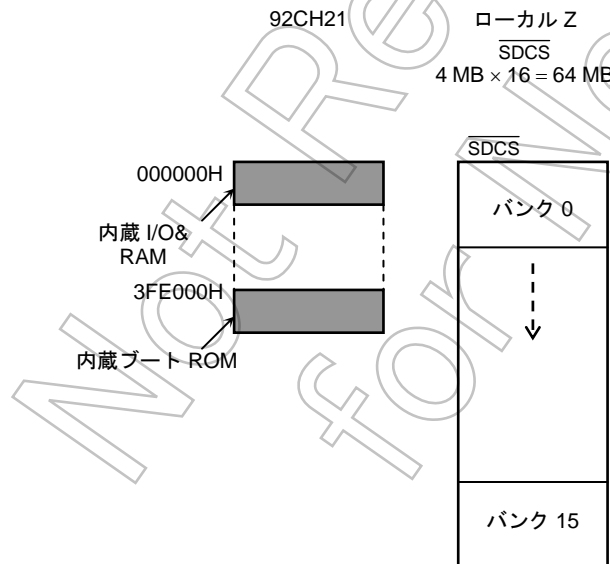


図 3.8.4 シンプルなシステムの推奨メモリマップ (物理アドレス)

3.8.2 コントロールレジスタ

TMP92CH21 の MMU は 12 個のレジスタを持っています。これらは 4 つの使用目的 (プログラム、リードデータ、ライトデータ、LCD 表示用データ) と 3 つのローカルエリア (ローカル X、Y、Z) の組み合わせとして準備されています。

これらの異なる 4 つの目的のレジスタを各々のローカルエリアに持たせることによって、データアクセスを容易にしています。

(使用方法と仕組み)

初めにイネーブルレジスタと、各ローカルレジスタのバンク値を設定します。

次に関係する端子とメモリ設定をポートとメモリコントローラに設定します。

その後、CPU や LCDC がローカルエリアの論理アドレスにアクセスしようとする時、MMU はローカルレジスタに設定されたバンク値に従い、論理アドレスを物理アドレスへ変換し、出力します。この物理アドレスは外部アドレスバス端子に出力され、これによって、外部メモリアクセスが可能となります。つまりプログラム上は同一の論理アドレスをアクセスしても、ローカルレジスタのバンク値により物理アドレスは変化し、別バンクのメモリへアクセスが可能となっています。

- 注 1) コモンエリアをローカルエリアとして使用することはできません。また、コモンエリアとローカルエリアが重なるバンク値の設定をすることはできません。
- 注 2) ローカルエリアでプログラムバンク (LOCALPX, PY or PZ) を変更することはできません。各ローカルエリアのプログラムバンクの設定は必ず、コモンエリアで変更してください。(ただし、リードデータ、ライトデータおよび LCD 表示用データのバンク設定はローカルエリアでも変更が可能です。)
- 注 3) リードデータ、ライトデータ、および LCD 表示データ用のバンクの設定 (LOCALRn, LOCALWn, LOCALLn; “n” は X、Y、Z を意味します。) レジスタが設定された後、そのバンクが有効になるまでにセットアップ時間を必要としますので、設定直後の命令によってそのメモリをアクセスすることはできません。この場合、下記の例のように SFR や他のメモリをアクセスするダミー命令の挿入が必要となります。

(例)

```
ld    xix, 200000h    ;
ld    (localrx), 81h ;   リードデータバンクの設定。
ld    wa, (localrx)  ;   ← SFR にアクセスするダミー命令を挿入してください。
-----
ld    wa, (xix)      ;   LOCAL-X エリアのバンク 1 をリード
```

- 注 4) LOCAL-Z 使用時、チップセレクト信号 \overline{CSZA} を P82 端子に設定してください。この場合、 \overline{CSZA} はバンク 0~15 用としてだけでなく COMMON-Z のチップセレクトとしても機能します。ただし、リセット後は P82 を設定する前に以下の設定を行ってください。

```
ld    (localpz), 80h ;   プログラム用 LOCAL-Z バンクイネーブル
ld    (localrz), 80h ;   データリード用 LOCAL-Z バンクイネーブル
ld    (localwz), 80h ;   データライト用 LOCAL-Z バンクイネーブル (*1)
ld    (locallz), 80h ;   LCD 表示メモリ用 LOCAL-Z バンクイネーブル (*2)
ld    (p8fc), ----- 0 --- B ;   P82 端子を  $\overline{CSZA}$  出力に設定
ld    (p8fc2), ----- 1 --- B ;
```

- *1) COMMON-Z エリアがデータライトメモリとして使用されない場合はこの設定はありません。
- *2) COMMON-Z エリアが LCD 表示メモリとして使用されない場合はこの設定は必要ありません。

(1) プログラム用バンクレジスタ

プログラム用バンクレジスタにメモリとして使用されるバンク値を設定します。

前述のように、あるバンク内で、同一ローカルエリアの異なるバンクへの直接分岐はできません。バンク内で同一ローカルエリアのバンク切り替えは禁止です。

プログラム用 LOCAL-X レジスタ

		7	6	5	4	3	2	1	0
LOCALPX (01D0H)	Bit symbol	LXE			X4	X3	X2	X1	X0
	Read/Write	R/W			R/W				
	リセット後	0			0	0	0	0	0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可			LOCAL-X 用バンク数設定 ("0" はコモンエリアと重なっているため設定禁止)				

プログラム用ローカル Y レジスタ

		7	6	5	4	3	2	1	0
LOCALPY (01D1H)	Bit symbol	LYE			Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W			R/W				
	リセット後	0			0	0	0	0	0
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可			LOCAL-Y 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

プログラム用ローカル Z レジスタ

		7	6	5	4	3	2	1	0
LOCALPZ (01D3H)	Bit symbol	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可	LOCAL-Z 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)						

(2) LCD 表示用バンクレジスタ

LCD 表示用バンクレジスタには LCD 表示用メモリとして使用されるバンク値を設定します。CPU が動作するバンクと表示 RAM 用のバンクを別々に設定が可能のため、表示中でも CPU のアクセスするバンク (プログラム、リードデータ、ライトデータ) を切り換えることが可能です。

LCD 表示データ用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0
LOCALLX (01D4H)	Bit symbol	LXE		X4	X3	X2	X1	X0
	Read/Write	R/W		R/W				
	リセット後	0		0	0	0	0	0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可		LOCAL-X 用バンク数設定 ("0" はコモンエリアと重なっているため設定禁止)				

LCD 表示データ用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0
LOCALLY (01D5H)	Bit symbol	LYE		Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W		R/W				
	リセット後	0		0	0	0	0	0
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可		LOCAL-Y 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

LCD 表示データ用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALLZ (01D7H)	Bit symbol	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W		R/W					
	リセット後	0	0	0	0	0	0	0	
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可		LOCAL-Z 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)					

(3) リードデータ用レジスタ

リードデータ用バンクレジスタには CPU のリードデータメモリとして使用されるバンク値を設定します。

下記は、LOCAL-X エリアのリードデータ用バンクを 1 に設定した例です。

“ld wa, (xix)” 命令実行時、xix 番地のリードサイクル時にのみバンクがイネーブル状態となります。

(例)

```
ld    xix, 200000h    ;
ld    (localrx), 81h ;   リードデータバンクを設定
ld    wa, (localrx)  ;   ← SFR にアクセスするダミー命令を挿入
-----
ld    wa, (xix)      ;   LOCAL-X エリアのバンク1をリード
```

リードデータ用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0
LOCALRX (01D8H)	Bit symbol	LXE		X4	X3	X2	X1	X0
	Read/Write	R/W				R/W		
	リセット後	0		0	0	0	0	0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可		LOCAL-X 用バンク数設定 ("0" はコモンエリアと重なっているため設定禁止)				

リードデータ用ローカル Y レジスタ

	7	6	5	4	3	2	1	0
LOCALRY (01D9H)	Bit symbol	LYE		Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W				R/W		
	リセット後	0		0	0	0	0	0
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可		LOCAL-Y 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

リードデータ用ローカル Z レジスタ

	7	6	5	4	3	2	1	0	
LOCALRZ (01DBH)	Bit symbol	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
	Read/Write	R/W				R/W			
	リセット後	0	0	0	0	0	0	0	
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可		LOCAL-Z 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)					

(4) ライトデータ用バンクレジスタ

ライトデータ用バンクレジスタには CPU のライトデータメモリとして使用されるバンク値を設定します。

下記は、LOCAL-X エリアのライトデータ用バンクを 1 に設定した例です。

“ld (xix), wa” 命令実行時、xix 番地へのライトサイクル時にのみバンクがイネーブル状態となります。

(例)

```
ld    xix, 200000h    ;
ld    (localwx), 81h ; ライトデータバンクを設定
ld    wa, (localwx)  ; ← SFR にアクセスするダミー命令を挿入
-----
ld    (xix), wa      ; LOCAL-X エリアのバンク1へライト
```

ライトデータ用 LOCAL-X レジスタ

	7	6	5	4	3	2	1	0
LOCALWX (01DCH)	Bit symbol	LXE		X4	X3	X2	X1	X0
	Read/Write	R/W				R/W		
	リセット後	0		0	0	0	0	0
	機能	LOCAL-X 用 バンク使用 0: 禁止 1: 許可		LOCAL-X 用バンク数設定 ("0" はコモンエリアと重なっているため設定禁止)				

ライトデータ用 LOCAL-Y レジスタ

	7	6	5	4	3	2	1	0
LOCALWY (01DDH)	Bit symbol	LYE		Y4	Y3	Y2	Y1	Y0
	Read/Write	R/W				R/W		
	リセット後	0		0	0	0	0	0
	機能	LOCAL-Y 用 バンク使用 0: 禁止 1: 許可		LOCAL-Y 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

ライトデータ用 LOCAL-Z レジスタ

	7	6	5	4	3	2	1	0
LOCALWZ (01DFH)	Bit symbol	LZE	Z6	Z5	Z4	Z3	Z2	Z0
	Read/Write	R/W				R/W		
	リセット後	0	0	0	0	0	0	0
	機能	LOCAL-Z 用 バンク使用 0: 禁止 1: 許可		LOCAL-Z 用バンク数設定 ("3" はコモンエリアと重なっているため設定禁止)				

3.8.3 設定例

以下に下記条件での使用例を説明します。

No.	使用	メモリ	設定	MMU エリア	論理 アドレス	物理 アドレス
(a)	メイン ルーチン	NOR フラッシュ (16 MB, 1 pcs)	$\overline{CS2A}$, 32 ビット, 1 ウェイト	COMMON-Z	C00000H~ FFFFFFH	
(b)	キャラクタ ROM			LOCAL-Z の バンク 0	800000H~ BFFFFFFH	000000H~ 3FFFFFFH
(c)	サブ ルーチン	SRAM (16 MB, 1 pcs)	$\overline{CS1}$, 16 ビット, 0 ウェイト	LOCAL-Y の バンク 0	400000H~ 5FFFFFFH	000000H~ 1FFFFFFH
(d)	LCD 表示 RAM			LOCAL-Y の バンク 1		200000H~ 3FFFFFFH
(e)	スタック RAM	内蔵 RAM (16 KB)	- (32 ビット, 1 クロック)	LOCAL-Y の バンク 2		002000H~ 005FFFFH

(a) メインルーチン (COMMON-Z)

論理 アドレス	物理 アドレス	No	命令	コメント
		1	org C00000H	;
C00000H	<- (同一)	2	ldw (mamr2), 80FFH	; CS2 800000-FFFFFF/8 MB
C000xxH	<-	3	ldw (b2csl), C222H	; CS2 32 ビット ROM, 1 ウェイト
		4	ldw (mamr1), 40FFH	; CS1 400000-7FFFFFF/4 MB
		5	ldw (b1csl), 8111H	; CS1 16 ビット RAM, 0 ウェイト
		5.1	ld (localpz), 80H	; プログラム用 LOCAL-Z バンクイネーブル
		5.2	ld (localrz), 80H	; リードデータ用 LOCAL-Z バンクイネーブル
		6	ld (p8fc), 02H	; P81: CS1
		7	ld (p8fc2), 04H	; P82: CS2A
		8	ld (pjfc), 07H	; PJ2: SRWR, PJ1: SRLUB, PJ0: SLLB
		9	ld xsp, 6000H	; スタックポインタ = 6000H
		10	ld (localpy), 80H	; ローカル Y のバンク 0 はサブルーチン用にプ ログラムバンクとして設定。
		11	:	;
C000yyH	<-	12	call 400000H	; サブルーチンをコール
		13	:	;
		14	:	;
		15	:	;

- No.2~No.8 の命令はポートとメモリコントローラの設定します。
- No.9 はスタックポインタ設定です。内蔵 RAM に割り当てています。
- No.10 は No.12 の命令の実行のための設定です。
- No.12 はサブルーチンをコールする命令です。CPU が 400000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 000000H を出力します。また SRAM 用 $\overline{CS1}$ は論理アドレスが CS1 のエリア内にあるため、同時にアサートされます。これらの命令によって CPU はサブルーチンに分岐が可能となります。

注) この例はすでに SRAM にサブルーチンプログラムがライトされていることを前提にしています。

(b) サブルーチン (LOCAL-Y のバンク 0)

論理 アドレス	物理 アドレス	No	命令	コメント
		16	org 400000H	;
400000H	000000H	17	ld (localwy), 81H	; LOCAL-Y のバンク 1 を LCD 表示 RAM 用だ が表示データの設定をするのでライトデー タとして設定
4000xxH	0000xxH	18	ld (locally), 81H	; LOCAL-Y のバンク 1 を LCD 表示 RAM 用と して設定
		19	ld (localrz), 80H	; LOCAL-Z のバンク 0 はキャラクタ ROM 用 リードデータとして設定
		20	ld xiy, 800000H	; キャラクタ ROM リード用インデックスアド レス設定
		21	ld wa, (xiy)	; キャラクタ ROM をリード
		22	:	; 表示データに変換
		23	ld (localpy), 82H	;
		24	ld xix, 400000H	; LCD 表示データライト用インデックスアド レス設定
		25	ld (xix), bc	; LCD 表示データをライト
		26	:	; LCD コントローラを設定
		27	:	;
		28	ld xiz, 400000H	; LCD 開始アドレスを LCDC に設定
		29	ld (lsarcl), xiz	;
		30	ld (lcdctl0), 01H	; LCD 表示動作を開始
		31	:	;
5000yyH	1000yyH	32	ret	;

- No.17 および No.18 で LOCAL-Y のバンク 1 の設定です。この場合、LCD 表示データを CPU が表示 RAM にライトし、LCDC が表示 RAM からリードする設定です。つまり、(LOCALWY) と (LOCALLY) を同じバンク 1 に設定します。
- No.19 はキャラクタ ROM からデータをリードする LOCAL-Z のバンク 0 用設定です。
- No.20 および No.21 はキャラクタ ROM からデータをリードする命令です。CPU が 800000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 000000H を出力し、NOR フラッシュ用 CSZA は論理アドレスが CS2 のエリア内にあるため同時にアサートされます。これらの命令によって、CPU はキャラクタ ROM からデータをリードすることが可能となります。
- No.23 はローカルエリアでのプログラムバンクを切り換える命令です。バンク内で、同一ローカルエリアのプログラムバンク設定は禁止です。NG の例です。
- No.24 および No.25 は SRAM にデータをライトする命令です。CPU が 400000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 200000H を出力し、SRAM 用 CS1 は論理アドレスが CS1 のエリア内にあるためアサートされます。これらの命令により、CPU は SRAM にデータをライトすることが可能となります。
- No.28 および No.29 は LCD 開始アドレスを LCD コントローラに設定しています。LCDC が DMA サイクルにて 400000H アドレスを出力すると、MMU は外部アドレスバス A23~A0 に変換した物理アドレス 200000H を出力し、SRAM 用 CS1 は論理アドレスが CS1 のエリア内にあるためアサートされます。これらの命令により、LCDC は SRAM からデータをリードすることが可能となります。
- No.30 は LCD 表示動作を開始する命令です。

3.9 シリアルチャンネル (SIO)

TMP92CH21 はシリアル入出力を 2 チャンネル内蔵しています。それぞれ SIO0、SIO1 と呼びます。各チャンネルは、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。

- I/O インタフェースモード ———— モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
- 非同期通信 (UART) モード ————
 - モード 1: 送受信データ長 7 ビット
 - モード 2: 送受信データ長 8 ビット
 - モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

図 3.9.2 および 図 3.9.3 に、各チャンネルのブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

各チャンネルは、それぞれ独立に動作します。いずれのチャンネルも、下記に示す表 3.9.1 の仕様相違点を除いて同一の動作をしますので、SIO0 の場合についてのみ説明します。

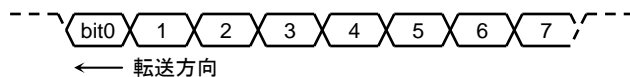
表 3.9.1 SIO のチャンネル別仕様相違点

	チャンネル 0	チャンネル 1
端子名称	TXD0 (P90 または PF0) RXD0 (P91 または PF1) CTS0, SCLK0 (P92 または PF2)	TXD1 (PF0) RXD1 (PF1) CTS1, SCLK1 (PF2)
IrDA モード	あり	なし

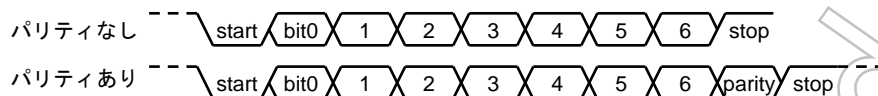
本章は、下記のような構成になっています。

- 3.9.1 チャンネル別のブロック図
- 3.9.2 回路別の動作説明
- 3.9.3 SFR 説明
- 3.9.4 モード別動作説明
- 3.9.5 IrDA のサポート

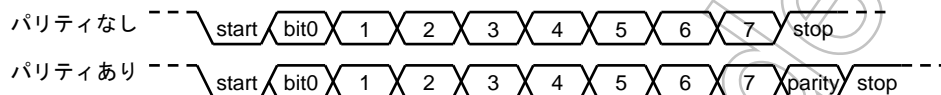
- モード0 (I/O インタフェースモード)



- モード1 (7ビット UART モード)



- モード2 (8ビット UART モード)



- モード3 (9ビット UART モード)

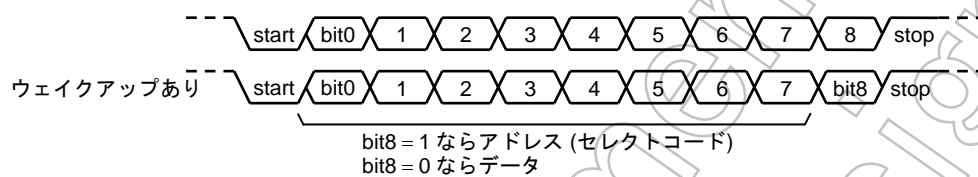


図 3.9.1 データフォーマット

3.9.1 チャンネル別のブロック図

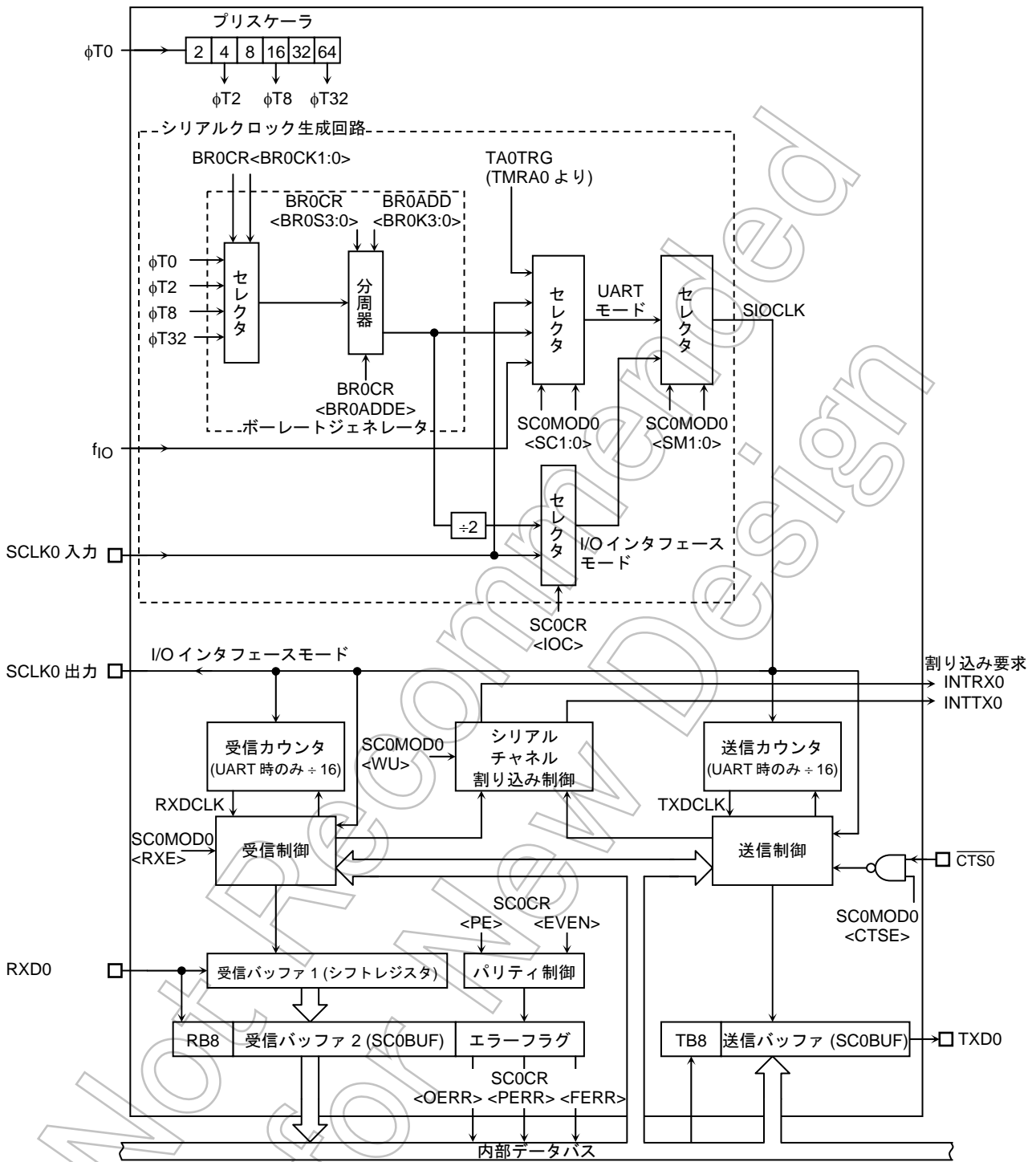


図 3.9.2 SIO0 ブロック図

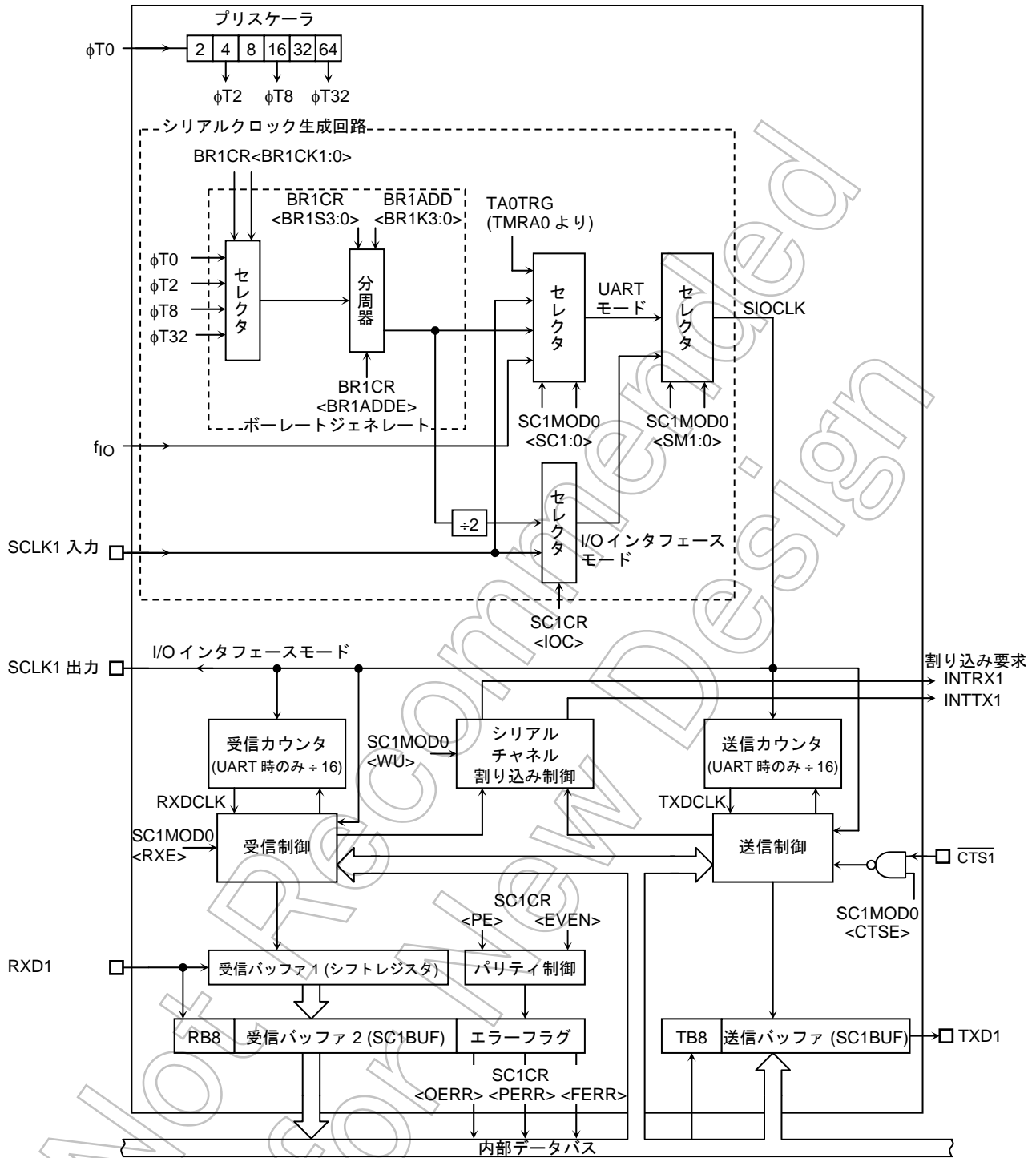


図 3.9.3 SIO1 ブロック図

3.9.2 回路別の動作説明

(1) SIO 部プリスケアラ、プリスケアラクロック選択

SIO0 の動作クロックを生成するために、6 ビットプリスケアラがあります。プリスケアラは、シリアル転送クロックに、ポーレートジェネレータを選択した場合動作することが可能となります。プリスケアラ出力クロックの分解能を表 3.9.2 に示します。

表 3.9.2 ポーレートジェネレータへのプリスケアラクロック分解能

システム クロック選択 SYSCR1 <SYSCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	ポーレートジェネレータ入力クロック SIO 部プリスケアラ BR0CR<BR0CK1:0>			
			$\phi T0$	$\phi T2(1/4)$	$\phi T8(1/16)$	$\phi T32(1/64)$
1 (fs)	-		fs/8	fs/32	fs/128	fs/512
0 (fc)	000(1/1)	1/8	fc/8	fc/32	fc/128	fc/512
	001(1/2)		fc/16	fc/64	fc/256	fc/1024
	010(1/4)		fc/32	fc/128	fc/512	fc/2048
	011(1/8)		fc/64	fc/256	fc/1024	fc/4096
	100(1/16)		fc/128	fc/512	fc/2048	fc/8192

ポーレートジェネレータには、プリスケアラ出力クロックより $\phi T0$ 、 $\phi T2$ 、 $\phi T8$ 、 $\phi T32$ の 4 種類のクロックが用いられます。

(2) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは SIO 部 6 ビットプリスケアラより、 $\phi T0$ 、 $\phi T2$ 、 $\phi T8$ 、 $\phi T32$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BR0CR<BR0CK1:0>で設定します。

ボーレートジェネレータは、 $1, N + (16 - K) / 16$ 、16 分周が可能な分周器を内蔵しており、BR0CR<BR0ADDE><BR0S3:0>、BR0ADD<BR0K3:0>の設定に従い分周を行い転送速度を決定します。

- UART モードの場合

(1) BR0CR <BR0ADDE> = 0 の場合

BR0ADD<BR0K3:0>の設定は無視され、BR0CR <BR0S3:0> に設定された値 “N” に従い N 分周を行います。(N = 1, 2, 3 … 16)

(2) BR0CR <BR0ADDE> = 1 の場合

$N + (16 - K) / 16$ 分周機能がイネーブルになり BR0CR<BR0S3:0>に設定された値 “N” (N = 2, 3 … 15)、BR0ADD<BR0K3:0>に設定された値 “K” に従い $N + (16 - K) / 16$ 分周を行います。(K = 1, 2, 3 … 15)

注) N = 1 および 16 のときは $N + (16 - K) / 16$ 分周機能は禁止となりますので、必ず BR0CR<BR0ADDE> = “0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K) / 16$ 分周機能は使用できません。必ず BR0CR <BR0ADDE> = “0” に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

$f_C = 39.3216 \text{ MHz}$ で入力クロック $\phi T2$ 、分周値 “N” ($BR0CR<BR0S3:0> = 8$ 、 $BR0CR<BR0ADDE> = “0”$) の場合の UART モードのボーレートは、

* クロック条件 $\left[\begin{array}{l} \text{クロックギア} \\ \text{:1/1} \end{array} \right.$

$$\begin{aligned} \text{ボーレート} &= \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16 \\ &= \frac{f_C/32}{8} \div 16 \end{aligned}$$

$= 39.3216 \times 10^6 \div 32 \div 8 \div 16 = 9600 \text{ (bps)}$ となります。

- $N + (16 K) / 16$ 分周 (UART モードのみ) の場合

また、 $f_C = 31.9488 \text{ MHz}$ で入力クロック $\phi T2$ ($f_C/32$)、分周値 “N” ($BR0CR<BR0S3:0> = 6$ 、“K” ($BR0ADD<BR0K3:0> = 8$ 、 $BR0CR<BR0ADDE> = 1$) の場合のボーレートは、

* クロック条件 $\left[\begin{array}{l} \text{クロックギア} \\ \text{:1/1} \end{array} \right.$

$$\begin{aligned} \text{ボーレート} &= \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16 \\ &= \frac{f_C/32}{6 + \frac{(16 - 8)}{16}} \div 16 \end{aligned}$$

$= 31.9488 \times 10^6 \div 32 \div \left(6 + \frac{8}{16}\right) \div 16 = 9600 \text{ (bps)}$ となります。

表 3.9.3にUARTモードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます(シリアルチャンネル 0~1)。この場合のボーレートの算出方法を示します。

- UART モード

ボーレート = 外部クロック入力 $\div 16$

ただし、(外部クロック入力周期) $\geq 4/f_{\text{SYS}}$ を満足する必要があります。

- I/O インタフェースモード

ボーレート = 外部クロック入力

ただし、(外部クロック入力周期) $\geq 16/f_{\text{SYS}}$ を満足する必要があります。

表 3.9.3 UART ボーレートの選択
(ボーレートジェネレータ使用、BR0CR<BR0ADDE> = 0 の場合)

単位 (kbps)

f _{sys} [MHz]	入力クロック 分周値 N	φT0 (f _{sys} /4)	φT2 (f _{sys} /16)	φT8 (f _{sys} /64)	φT32 (f _{sys} /256)
9.8304	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	10	9.600	2.400	0.600	0.150
12.2880	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.7456	2	115.200	28.800	7.200	1.800
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	10	19.200	4.800	1.200	0.300
22.1184	3	115.200	28.800	7.200	1.800
24.5760	1	384.000	96.000	24.000	6.000
↑	2	192.000	48.000	12.000	3.000
↑	4	96.000	24.000	6.000	1.500
↑	5	76.800	19.200	4.800	1.200
↑	8	48.000	12.000	3.000	0.750
↑	A	38.400	9.600	2.400	0.600
↑	10	24.000	6.000	1.500	0.375

注) I/O インタフェースモード時の転送レートは本表の値の 8 倍になります。

UART モード時、シリアル送信クロックにタイマの一致出力(TA0TRG)が使用できません。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

$$\text{TA0TRG の周波数} = \text{ボーレート} \times 16$$

注) I/O インタフェースモードでは、TMRA0 一致検出信号を転送クロックとして使用することはできません。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

SC0CR<IOC>="0" の SCLK 出力モードのときは、前記ポーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR <IOC>="1" の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- 非同期通信 (UART) モードの場合

SC0MOD0<SC1:0>の設定により、前記ポーレートジェネレータからのクロック、内部クロック f_{IO} 、TMRA0 からの一致検出信号、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ 7、8、9 発目でデータをサンプリングします。

3 度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7、8、9 発目のクロックで、データが 1、0、1 であれば、受信データは“1”と判断され、また、0、0、1 であれば“0”と判断されます。

(5) 受信制御部

- I/O インタフェースモードの場合

SC0CR<IOC>="0" の SCLK 出力モードのときは、SC0CR<SCLKS>の設定に従って SCLK0 端子へ出力されるシフトクロックの立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

SC0CR<IOC>="1" の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 度のサンプリング中 2 度以上“0”であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中も、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろそろもう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) を読み出します。CPU が受信バッファ 2 (SC0BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR<RB8>の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR<RB8>に格納されます。

9 ビット UART の場合、SC0MOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>=“1”のときのみ、割り込み INTRX0 が発生します。

SIO 割り込みモードは SIMC レジスタによって設定可能です。

(7) 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TXDCLK を生成します。

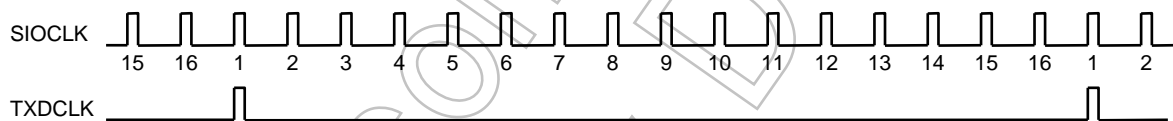


図 3.9.4 送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

SC0CR<IOC>=“0”の SCLK 出力モードのときは、SC0CR<SCLKS>の設定に従って SCLK0 端子より出力されるシフトクロックの立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR<IOC>=“1”の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- 非同期通信 (UART) モード

送信バッファに CPU から送信データが書き込まれると次の TXDCLK の立ち上がりエッジに同期して送信を開始します。

ハンドシェイク機能

$\overline{CTS0}$ を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は $SCOMOD<CTSE>$ の設定によってイネーブル/ディセーブルできます。

送信は $\overline{CTS0}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{CTS0}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、 $INTTX0$ 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 \overline{RTS} 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に \overline{RTS} 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

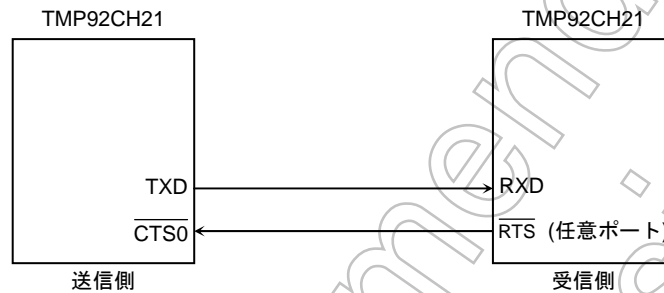
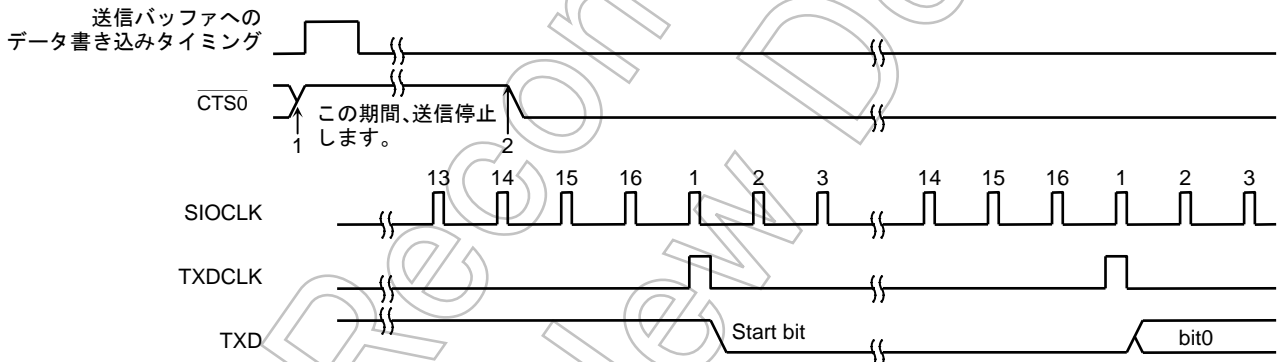


図 3.9.5 ハンドシェイク機能



- 注 1) 送信中に $\overline{CTS0}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
- 注 2) $\overline{CTS0}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.9.6 $\overline{CTS0}$ (Clear to Send) 信号のタイミング

(9) 送信バッファ

送信バッファ SC0BUF は CPU より書き込まれた送信データを最下位ビット (LSB) から順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンプティで INTTX0 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE>を“1”に設定するとパリティ付加の送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN>レジスタによって偶数あるいは奇数パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは SC0BUF<TB7>に、8ビット UART モードのときは SC0MOD0<TB8>にパリティを格納して、送信します。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータにより、パリティを自動発生し、7ビット UART モードのときは、SC0BUF<RB7>と、8ビット UART モードのときは、SC0CR<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR<PERR>フラグがセットされます。

(11) エラーフラグ

受信データの信頼性をあげるために3つのエラーフラグが用意されています。

1. オーバランエラー<OERR>

受信バッファ 2 (SC0BUF) に有効データが格納されている状態で、受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

- 1) 受信バッファをリードする
- 2) エラーフラグをリードする
- 3) if<OERR> = “1” のとき
 - (ア) 受信禁止に設定 (<RXE>に “0” をライト)
 - (イ) 現フレームの終了待ち
 - (ウ) 受信バッファのリード
 - (エ) エラーフラグのリード
 - (オ) 受信許可に設定 (<RXE>に “1” をライト)
 - (カ) 再送信要求
- 4) その他の処理

2. パリティエラー<PERR>

受信バッファ 2 (SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー<FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が“0”の場合フレーミングエラーが発生します。

Not Recommended
for New Design

(12) 各信号発生タイミング

1. UART モードの場合

受信

モード	9ビット (注)	8ビット+パリティ (注)	8ビット、 7ビット+パリティ、 7ビット
割り込み発生 タイミング	最終ビット (Bit 8) の 中央付近	最終ビット(パリティ ビット)の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中央付近	ストップビットの 中央付近	ストップビットの中央付近
パリティエラー 発生タイミング	-	最終ビット(パリティ ビット)の中央付近	ストップビットの中央付近
オーバランエラー 発生タイミング	最終ビット (Bit 8) の 中央付近	最終ビット(パリティ ビット)の中央付近	ストップビットの中央付近

注) 9ビットモード、8ビット + パリティモードでは、割り込みは9ビット目と同時に発生します。そのため、割り込み発生後、1ビット転送分(ストップビットが転送されるまで)時間をおいてフレーミングエラーのチェックをしてください。

送信

モード	9ビット	8ビット+パリティ	8ビット、 7ビット+パリティ、 7ビット
割り込みタイミング	ストップビット送信 される直前	ストップビット送信 される直前	ストップビット送信される 直前

2. I/O インタフェースモードの場合

送信 割り込み タイミング	SCLK 送信モード	最終ビット終了直後 (図 3.9.19参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (図 3.9.20参照)
受信 割り込み タイミング	SCLK 送信モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.9.21参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終SCLKの直後) (図 3.9.22参照)

3.9.3 SFR説明

SC0MOD0 (1202H)	Bit symbol	7	6	5	4	3	2	1	0
		TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	送信データビット8	ハンドシェイク機能制御 0: CTSディセーブル 1: CTSイネーブル	受信機能 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7ビット長 UARTモード 10: 8ビット長 UARTモード 11: 9ビット長 UARTモード			シリアル転送クロック (UART用) 00: TMRA0 トリガジェネレータ 01: ボーレートジェネレータ 10: 内部クロック f_{IO} 11: 外部クロック (SCLK0 入力)	

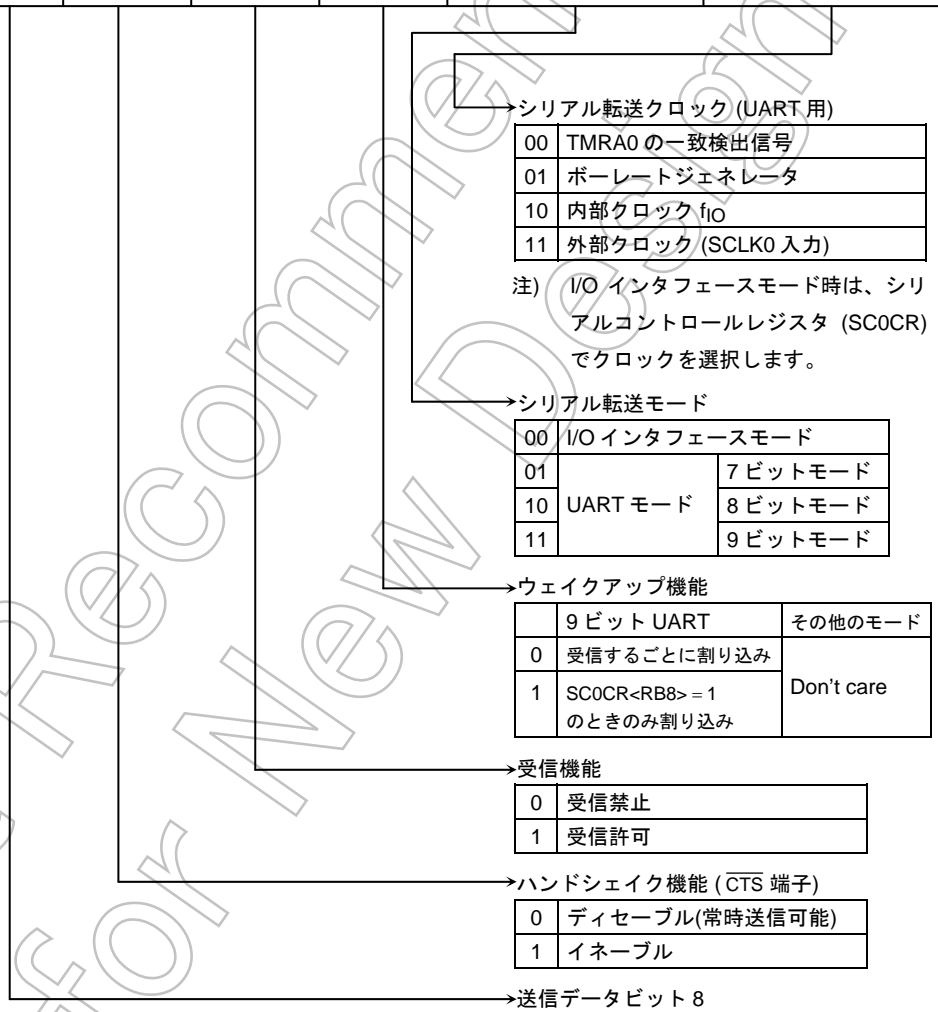


図 3.9.7 シリアルモードコントロールレジスタ (SIO0 用、SC0MOD0)

	7	6	5	4	3	2	1	0	
SC1MOD0 (120AH)	Bit symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	送信データビット 8	ハンドシェイク機能制御 0: CTS ディセーブル 1: CTS イネーブル	受信機能 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7ビット長 UART モード 10: 8ビット長 UART モード 11: 9ビット長 UART モード	シリアル転送クロック (UART 用) 00: TMRA0 トリガ 01: ボーレートジェネレータ 10: 内部クロック f _{IO} 11: 外部クロック (SCLK1 入力)		

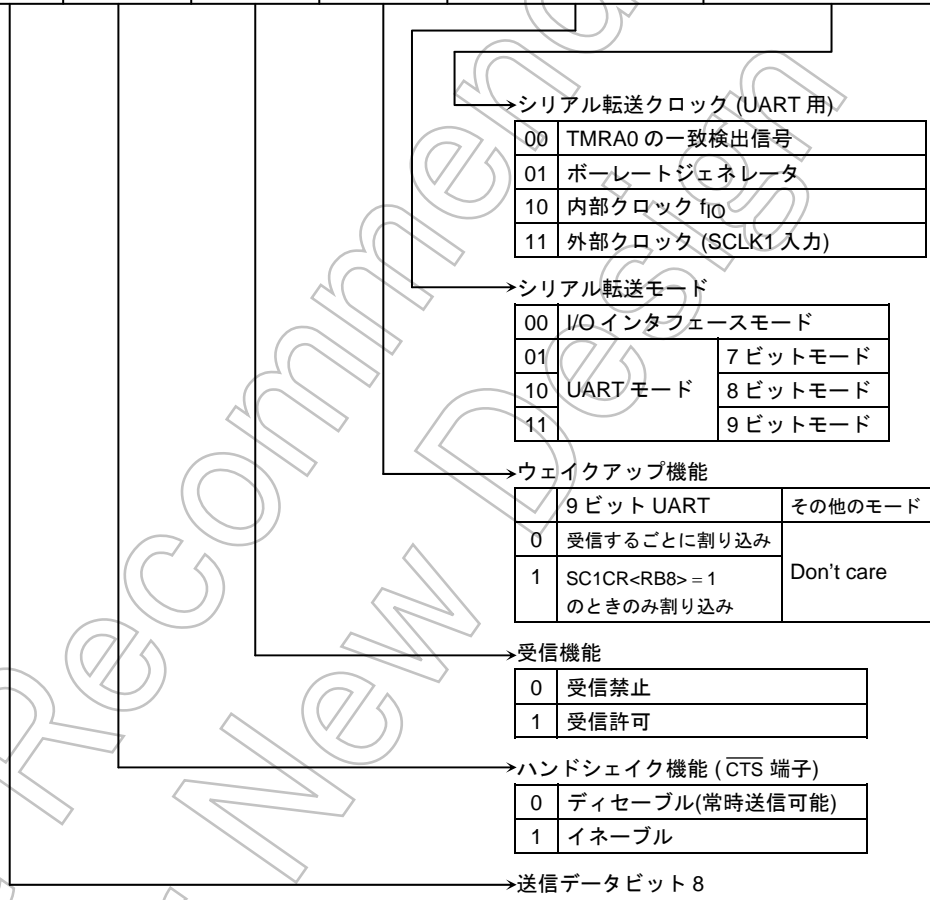
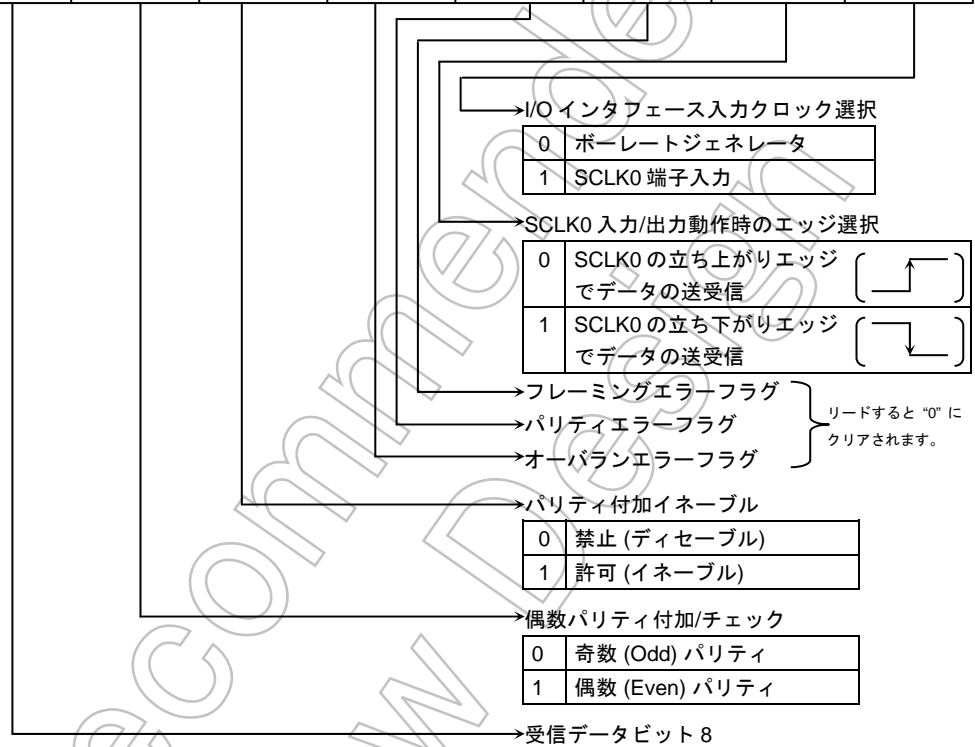


図 3.9.8 シリアルモードコントロールレジスタ (SIO1 用、SC1MOD0)

SC0CR
(1201H)

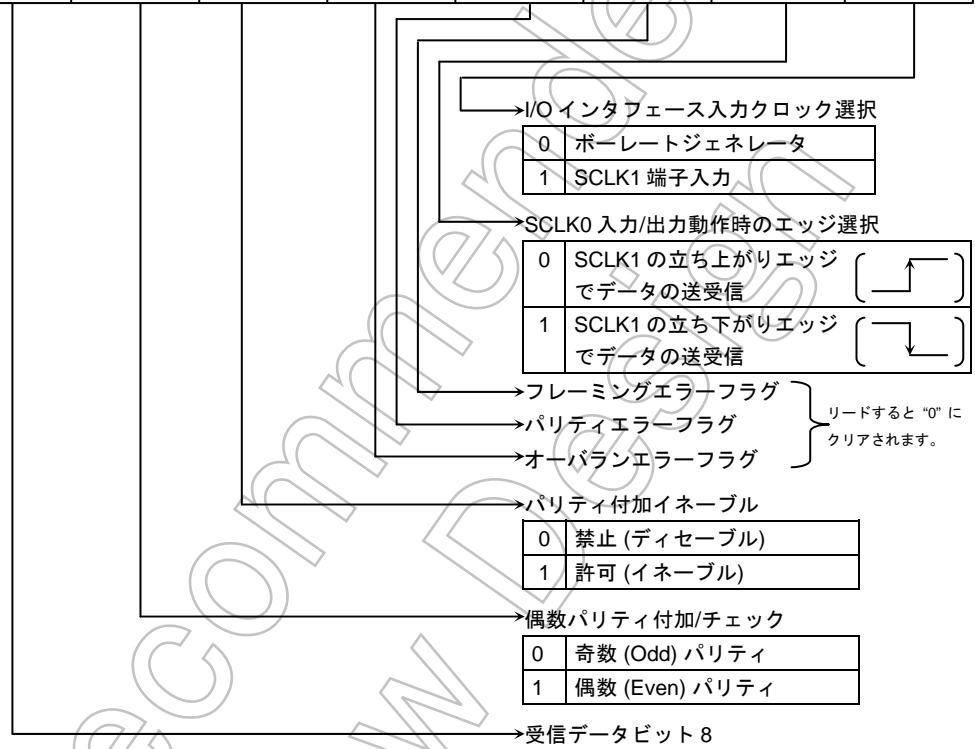
	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R(リードすると0にクリアされます)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機能	受信データビット8	パリティ 0: Odd 1: Even	パリティ付加 0: 禁止 1: 許可	1: エラー オーバーラン パリティ フレーミング			0: SCLK0 1: SCLK0	0: ボーレートジェネレータ 1: SCLK0端子入力



注) エラーフラグはリードされるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図 3.9.9 シリアルコントロールレジスタ (SIO0 用、SC0CR)

	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R(リードすると0にクリアされます)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機能	受信データビット8	パリティ 0: Odd 1: Even	パリティ付加 0: 禁止 1: 許可	1: エラー			0: SCLK1 1: SCLK1 	0: ボーレートジェネレータ 1: SCLK1 端子入力
				オーバーラン	パリティ	フレーミング		



注) エラーフラグはリードされるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図 3.9.10 シリアルコントロールレジスタ (SIO1 用、SC1CR)

	7	6	5	4	3	2	1	0
Bit symbol	-	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0”をライトしてください。	+ (16 - K) /16 分周機能 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32		分周値 “N” の設定			

+ (16 - K) /16 分周機能イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

ポーレートジェネレータの入カクロックの選択

00	内部クロックφT0
01	内部クロックφT2
10	内部クロックφT8
11	内部クロックφT32

	7	6	5	4	3	2	1	0
Bit symbol					BR0K3	BR0K2	BR0K1	BR0K0
Read/Write					R/W			
リセット後					0	0	0	0
機能					N + (16 - K) /16 の K 値の設定			

ポーレートジェネレータの分周値の設定 ←

	BR0CR<BR0ADDE> = 1		BR0CR<BR0ADDE> = 0
BR0CR<BR0S3:0>	0000 (N = 16)	0010 (N = 2)	0001 (N = 1) (UART のみ)
BR0ADD<BR0K3:0>	または 0001 (N = 1)	1111 (N = 15)	1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) ∴ 1111 (K = 15)	禁止	$16 - K$ $N + \frac{16 - K}{16}$ 分周	

注 1) + (16 - K) /16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K) /16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K) /16 分周機能を使用する場合、かならず BR0ADD <BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = “1” を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.11 ポーレートジェネレータコントロール (SIO0 用、BR0CR、BR0ADD)

		7	6	5	4	3	2	1	0
BR1CR (120BH)	Bit symbol	-	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	“0”をライトしてください。	+ (16 - K) /16 分周機能 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32		分周値 “N” の設定			

+ (16 - K) /16 分周機能イネーブル

0	禁止(ディセーブル)
1	許可(イネーブル)

ポーレートジェネレータの入カクロックの選択

00	内部クロックφT0
01	内部クロックφT2
10	内部クロックφT8
11	内部クロックφT32

		7	6	5	4	3	2	1	0
BR1ADD (120CH)	Bit symbol					BR1K3	BR1K2	BR1K1	BR1K0
	Read/Write					R/W			
	リセット後					0	0	0	0
	機能					N + (16 - K) /16 の K 値の設定			

ポーレートジェネレータの分周値の設定 ←

	BR1CR<BR1ADDE> = 1		BR1CR<BR1ADDE> = 0
BR1CR <BR1S3:0>	0000 (N = 16)	0010 (N = 2)	0001 (N = 1) (UARTのみ)
BR1ADD <BR1K3:0>	または 0001 (N = 1)	1111 (N = 15)	1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止	N 分周
0001 (K = 1) 1111 (K = 15)	禁止	$16 - K$ $N + \frac{16}{16}$ 分周	

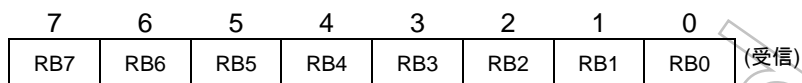
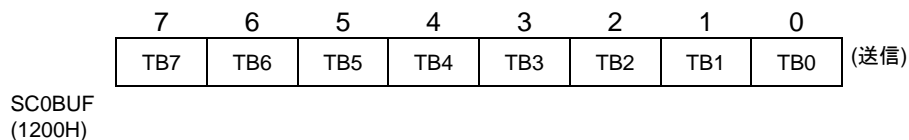
注 1) + (16-K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、かならず BR1ADD <BR1K3:0> に K 値 (K = 1~15) を設定後に BR1CR <BR1ADDE> = “1” を設定してください。BR1ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.12 ポーレートジェネレータコントロール (SIO1 用、BR1CR、BR1ADD)

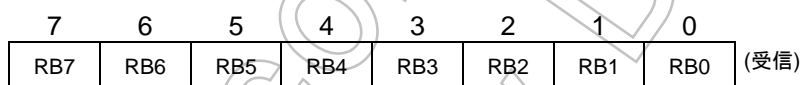
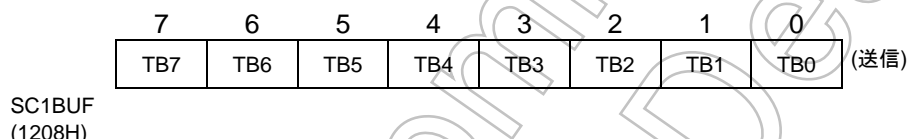


注) SC0BUF はリードモディファイライトできません。

図 3.9.13 シリアル送受信バッファレジスタ (SIO0 用、SC0BUF)

	7	6	5	4	3	2	1	0
SC0MOD1 (1205H)	Bit symbol	I2S0	FDPX0	/	/	/	/	/
	Read/Write	R/W	R/W	/	/	/	/	/
	リセット後	0	0	/	/	/	/	/
	機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重	/	/	/	/	/

図 3.9.14 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)



注) SC1BUF はリードモディファイライトできません。

図 3.9.15 シリアル送受信バッファレジスタ (SIO1 用、SC1BUF)

	7	6	5	4	3	2	1	0
SC1MOD1 (120DH)	Bit symbol	I2S1	FDPX1	/	/	/	/	/
	Read/Write	R/W	R/W	/	/	/	/	/
	リセット後	0	0	/	/	/	/	/
	機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重	/	/	/	/	/

図 3.9.16 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD1)

3.9.4 モード別動作説明

(1) モード0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

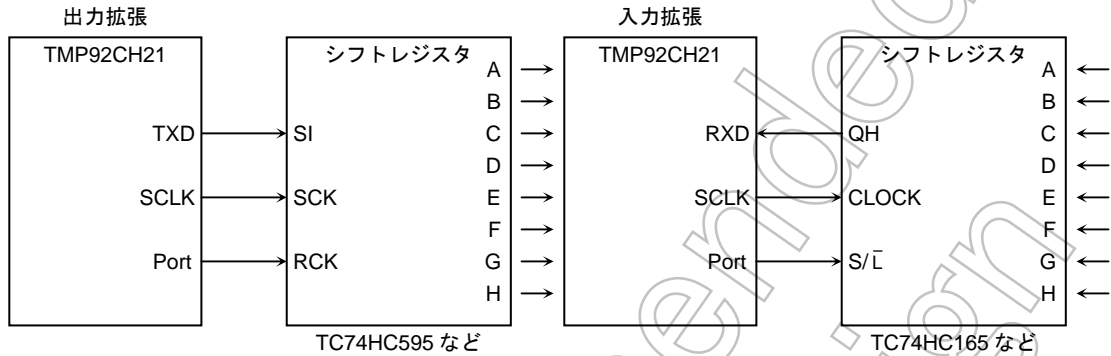


図 3.9.17 SCLK 出力モード接続例

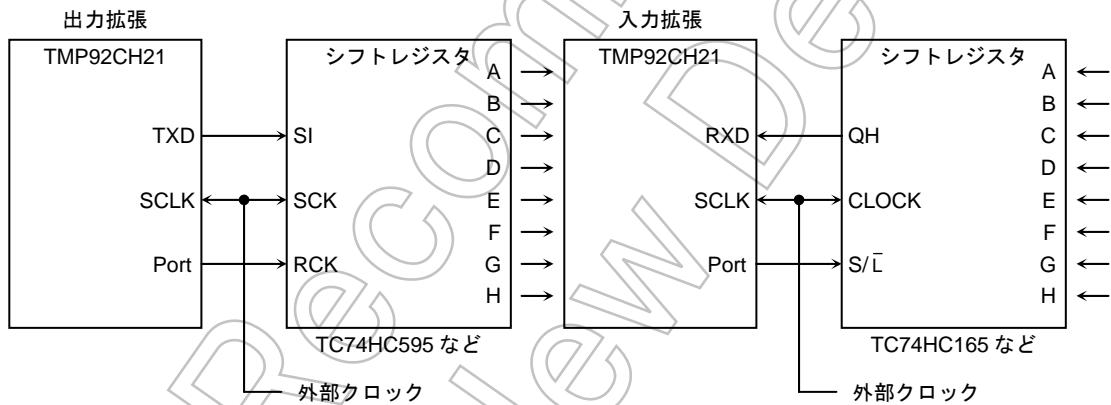


図 3.9.18 SCLK 入力モード接続例

1. 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0<ITX0C>がセットされ、割り込み INTTX0 が発生します。

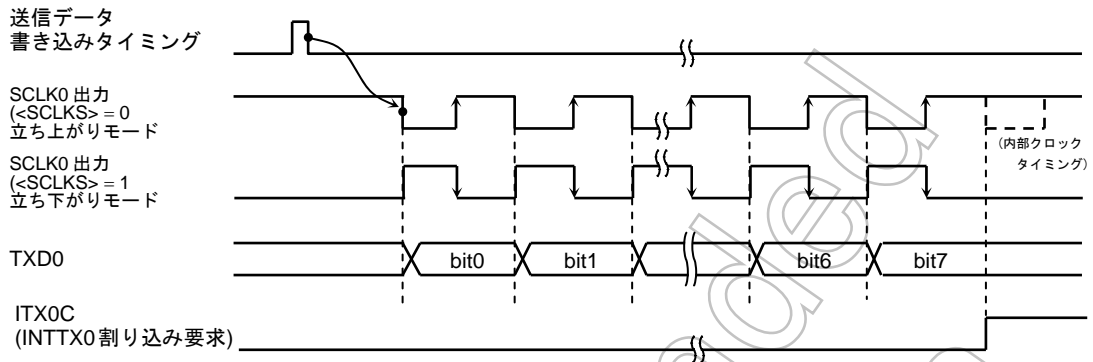


図 3.9.19 I/O インタフェースモード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0<ITX0C>がセットされ割り込み INTTX0 が発生します。

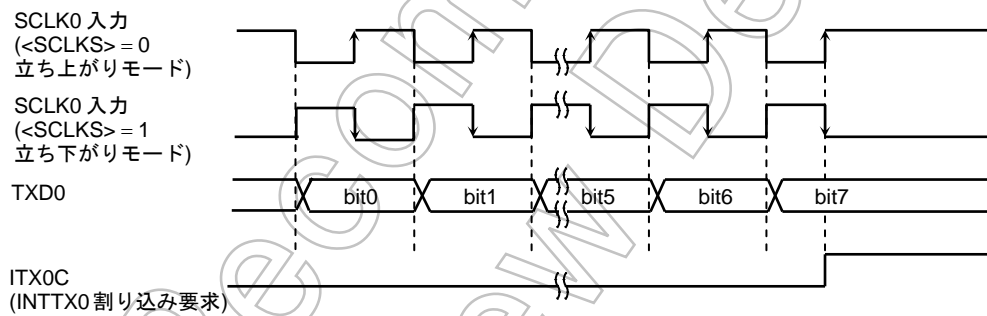


図 3.9.20 I/O インタフェースモード送信動作 (SCLK0 入力モード)

2. 受信

SCLK 出力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES0<IRX0C>がクリアされるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C>がセットされて割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を“1”にセットすることで行います。

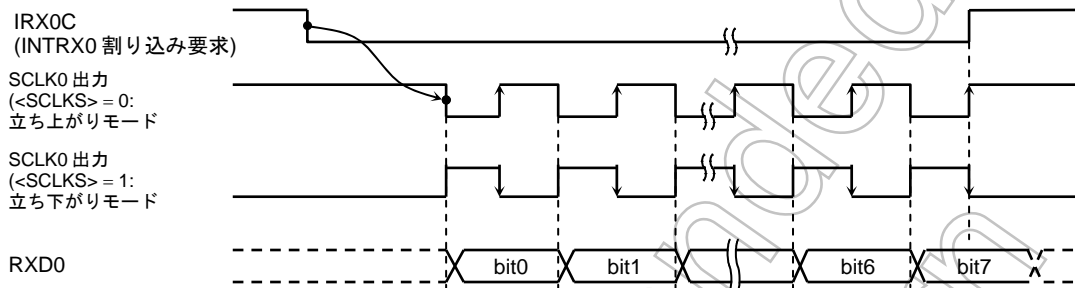


図 3.9.21 I/O インタフェースモード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ INTES0<IRX0C>がクリアされている状態で、SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C>がセットされて割り込み INTRX0 が発生します。

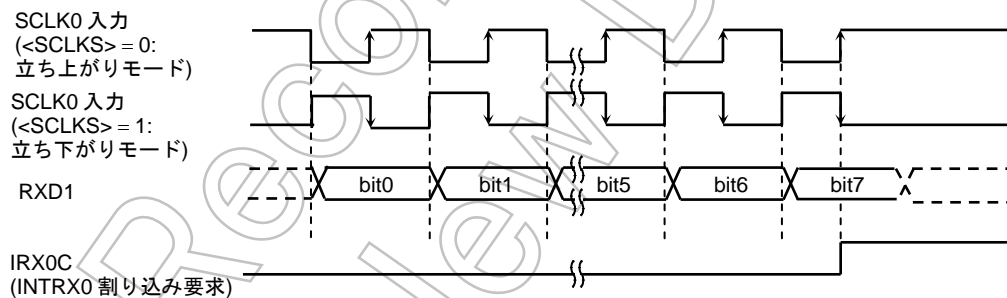


図 3.9.22 I/O インタフェースモード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 (SC0MOD<RXE> = 1) にしておく必要があります。

3. 送受信 (全二重)

全二重モードで、送受信を行う場合は、必ず、受信割り込みレベルを“0”に設定し、送信割り込みのみに割り込みレベル (“1” ~ “6”のいずれか) を設定してください。

受信処理は、送信割り込み処理ルーチン内で、下記例のように、送信データセットの前に行ってください。

例) チャンネル 0、SCLK 出力
9600 bps で送受信を行う場合
 $f_c = 4.9152 \text{ MHz}$

クロック条件: クロック 1/1(f_c)

メインルーチンでの設定

	7	6	5	4	3	2	1	0		
INTES0	X	0	0	1	X	0	0	0	INTTX0 レベルを 1 に設定 INTRX0 レベルを 0 に設定	
PFCR	X	X	X	X	X	1	0	1	PF0 (TXD0), PF1 (RXD0), PF2 (SCLK0) に設定	
PFFC	-	X	X	X	X	1	0	1		
SC0MOD0	-	-	-	-	0	0	-	-	I/O インタフェースモードに設定	
SC0MOD1	-	1	X	X	X	X	X	X	全二重モードに設定	
SC0CR	-	-	-	-	-	-	0	0	SCLK 出力、立ち上がり受信/立ち下がり送信	
BR0CR	0	0	0	1	1	0	0	0	転送レートを 9600 bps に設定	
SC0MOD0	-	-	1	-	-	-	-	-	受信許可	
SC0BUF	*	*	*	*	*	*	*	*	送信データを設定し、送信開始	
INTTX0 割り込みルーチン										
Acc	←	SC0BUF								受信バッファをリード
SC0BUF	*	*	*	*	*	*	*	*	次の送信データを設定	

X : Don't care, - : No change

(2) モード1 (7ビット UARTモード)

シリアルチャネルモードレジスタ SC0MOD<SM1:0>を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = 1 (イネーブル) のときは、SC0CR<EVEN>で偶数パリティ/奇数パリティを選択できます。

例) 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。

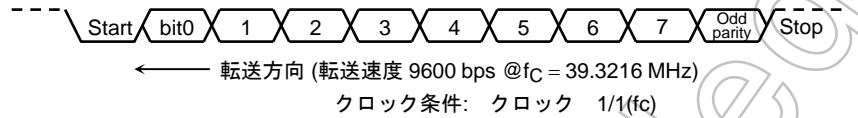
---	Start	bit0	1	2	3	4	5	6	Even parity	Stop	---
	← 転送方向 (転送速度 2400 bps @f _C = 39.3216 MHz)										
	クロック条件: クロック 1/1(f _C)										
	7	6	5	4	3	2	1	0			
PFCR	← X	X	X	X	X	-	-	1	} PF0 を TXD0 端子として設定		
PFFC	← -	X	X	X	X	-	-	1			
SC0MOD0	← -	0	-	-	0	1	0	1	} 7ビットUARTモードに設定 偶数パリティを付加		
SC0CR	← -	1	1	-	-	-	0	0			
BR0CR	← 0	0	1	0	1	0	0	0	} 転送レートを 2400 bps に設定 INTTX0 割り込みをイネーブル、レベル 4 に設定		
INTES0	← X	1	0	0	-	-	-	-			
SC0BUF	← *	*	*	*	*	*	*	*	} 送信データを設定		
	← *	*	*	*	*	*	*	*			

X: Don't care, -: No change

(3) モード 2 (8 ビット UART モード)

SC0MOD0<SM1:0>を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SC0OCR<PE>でパリティビット付加のイネーブル/ディセーブルを制御します。<PE>=1 (イネーブル) のとき、SC0OCR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例) 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



メインルーチンでの設定

		7	6	5	4	3	2	1	0	
PF1CR	←	X	X	X	X	X	-	0	-	PF1 を RXD0 端子として設定
PFFC	←	-	X	X	X	X	-	0	-	
SC0MOD0	←	-	0	1	-	1	0	0	1	8 ビット UART モードで受信イネーブル
SC0OCR	←	-	0	1	-	-	-	0	0	奇数パリティ付加
BR0OCR	←	0	0	0	1	1	0	0	0	転送レートを 9600 bps に設定
INTES0	←	-	-	-	-	X	1	0	0	INTTX0 割り込みをイネーブル、レベル 4 に設定

割り込みルーチンでの処理例

```

Acc ← SC0OCR AND 00011100
if Acc ≠ 0 then ERROR
Acc ← SC0BUF
    
```

} エラーチェックを実行
 受信データを読み取り

X: Don't care, -: No change

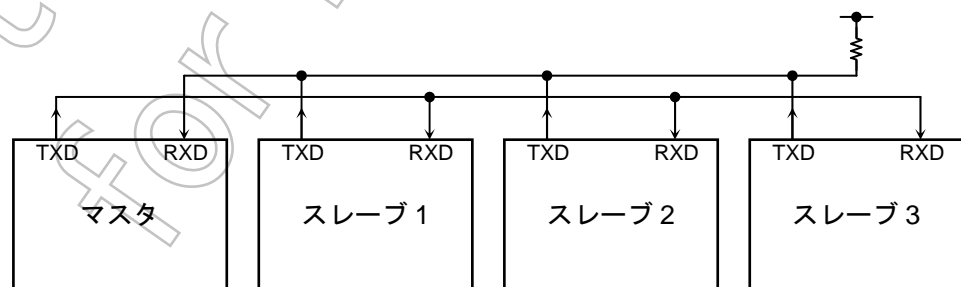
(4) モード 3 (9 ビット UART モード)

SC0MOD0<SM1:0>を 11 にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタ SC0MOD0 の<TB8>に書き込み、受信の場合シリアルチャネルコントロールレジスタ SC0OCR の<RB8>に格納されます。また、バッファに対する書き込み、読み出しは必ず<TB8>, <RB8>を先に行い、SC0BUF の方を後にします。

ウェイクアップ機能

9 ビット UART モードでは、SC0MOD0<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8>=1 のときのみ割り込み INTRX0 が発生します。

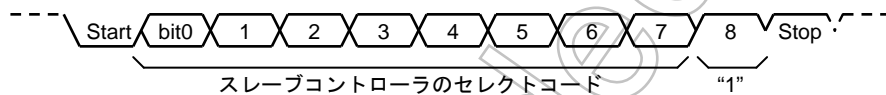


注) スレーブコントローラの TXD 端子は、必ず ODE レジスタを設定してオープンドレイン出力モードにしてください。

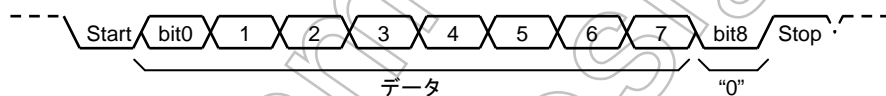
図 3.9.23 ウェイクアップ機能によるシリアルリンク

プロトコル

1. マスタおよびスレーブコントローラは9ビットUARTモードにします。
2. 各スレーブコントローラはSCOMOD0<WU>を“1”にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。

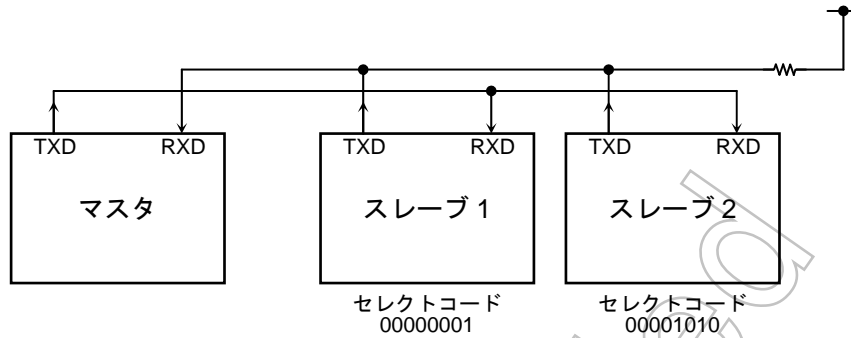


4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(SCOMOD0<WU>=0にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にクリアされます。



6. WU=1のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため割り込みINTRX0が発生せず、受信データを無視します。
また、<WU>=0になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{I0} を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



- マスタコントローラの設定

メインルーチン

PFCR	←	X	X	X	X	X	-	0	1	} PF0 を TXD0、PF1 を RXD0 端子として設定
PFFC	←	-	X	X	X	X	-	0	1	
INTES0	←	1	1	0	0	1	1	0	1	
SC0MOD0	←	1	0	1	0	1	1	1	0	9ビット UART モードの転送クロックとして f_{I0} を設定
SC0BUF	←	0	0	0	0	0	0	0	1	スレーブコントローラ 1 のセレクトコードを設定
割り込みルーチン (INTTX0)										
SC0MOD0	←	0	-	-	-	-	-	-	-	TB8 を "0" に設定
SC0BUF	←	*	*	*	*	*	*	*	*	送信データを設定

- スレーブの設定

メイン

PFCR	←	X	X	X	X	X	-	0	1	} PF0 を RXD0 (オープンドレイン出力)、PC1 を TXD0 端子として設定
PFFC	←	-	X	X	X	X	-	0	1	
PFFC2	←	X	X	X	X	X	X	X	1	
INTES0	←	1	1	0	1	1	1	0	1	INTTX0、INTRX0 をイネーブル
SC0MOD0	←	1	0	1	0	1	1	1	0	転送クロックとして f_{SYS} を使用する 9ビット UART 送信モードで、<WU> を "1" に設定
INTRX0 割り込み										
Acc	←	SC0BUF								
if Acc = セレクトコード										
Then SC0MOD0 --- 0 --- <WU> を 0 にクリア										

3.9.5 IrDAのサポート

SIO0 には、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。図 3.9.24に、構成図を示します。

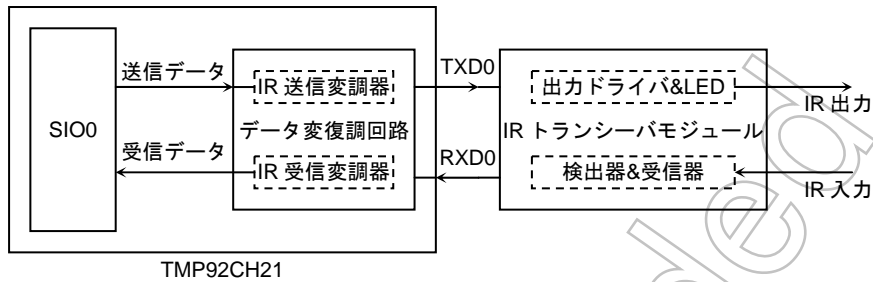


図 3.9.24 IrDA の構成図

(1) 送信データの変調

送信データが“0”のときは、モデムはボーレート周期の $3/16$ 倍の幅、または $1/16$ 倍の幅の TXD0 端子に“1”を出力します。また、パルス幅は SIRCR<PLSEL>にて選択されます。送信データが“1”のときは、モデムは“0”を出力します。

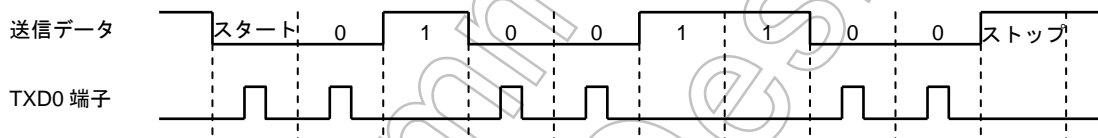


図 3.9.25 送信データの変調例

(2) 受信データの変調

受信データが有効なパルス“1”の幅のときは、モデムは SIO0 に対して“0”を出力し、それ以外のときは、“1”を出力します。

有効なパルス幅は SIRCR<SIRWD3:0>にて選択されます。

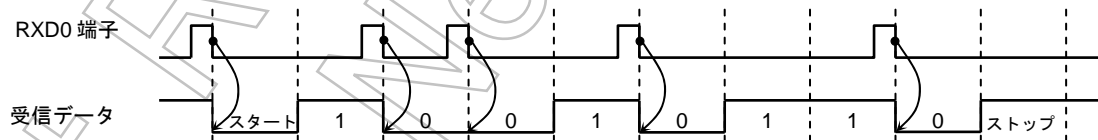


図 3.9.26 受信データの変調例

(3) データのフォーマット

データフォーマットは、以下のフォーマットのみとなります。

- データ長 : 8 ビット
- パリティビット: なし
- ストップビット: 1 ビット

(4) SFR 説明

図 3.9.27 にコントロールレジスタを示します。このレジスタの設定変更を行うときは、必ず SIO0 が停止している間に行ってください。以下にこのレジスタの設定方法を示します。

- | | | |
|-----------------------------|--|--|
| 1) SIO 設定 | | ; SIO を UART に設定します。 |
| ↓ | | |
| 2) LD (SIRCR), 07H | | ; 受信データパルス幅を 16x に設定します。 |
| 3) LD (SIRCR), 37H | | ; TXEN、RXEN の送受信を許可します。 |
| ↓ | | |
| 4) 送受信スタート
および SIO0 用の受信 | | ; SIO0 から送信データが送られてくるか、赤外線受信パルスを受けると、データの変復調を行います。 |

Not Recommended for New Designs

(5) 使用上の注意

1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に“01”を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG、f_{IO}、SCLK0 入力には使用できません。

2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.9.4 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度許容誤差 (%)	パルス幅 (最小値)	パルス幅 3/16 (公称値)	パルス幅 (最大値)
2.4 kbps	RZI	±0.87	1.41 μs	78.13 μs	88.55 μs
9.6 kbps	RZI	±0.87	1.41 μs	19.53 μs	22.13 μs
19.2 kbps	RZI	±0.87	1.41 μs	9.77 μs	11.07 μs
38.4 kbps	RZI	±0.87	1.41 μs	4.88 μs	5.96 μs
57.6 kbps	RZI	±0.87	1.41 μs	3.26 μs	4.34 μs
115.2 kbps	RZI	±0.87	1.41 μs	1.63 μs	2.23 μs

赤外線パルス出力幅は、ボーレート $T \times 3/16$ 、または $1.6 \mu\text{s}$ (ボーレート 115.2 kbps 時の $T \times 3/16$ に相当) と規定されています。

TMP92CH21 では、送信時の出力パルス幅を $T \times 3/16$ と $T \times 1/16$ とを選択できる機能がありますが、 $T \times 1/16$ を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps、57.6 kbps ときには、出力パルス幅を $T \times 1/16$ に設定してはいけません。

同様の理由で、SIO0 のボーレートジェネレータでの $(16 - K) / 16$ 分周機能は次の (6) USB における IrDA 115.2 Kbps の使用にて説明される場合以外、115.2 Kbps のボーレートを発生させ使用することはできません。また、送信パルス幅を $1/16$ に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときもまた、 $(16 - K) / 16$ 分周機能を使用することはできません。

表 3.9.5 $(16 - K) / 16$ 分周機能のボーレートとパルス幅

パルス幅	ボーレート					
	115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
$T \times 3/16$	× (注)	○	○	○	○	○
$T \times 1/16$	-	-	×	○	○	○

○: $(16 - K) / 16$ 分周機能使用可

×: $(16 - K) / 16$ 分周機能使用不可

-: $1/16$ パルス幅に設定不可

注) 特別な場合で $(16 - K) / 16$ 分周機能使用可

(6) USB 使用システムでの IrDA115.2 Kbps の使用

USB がシステムで使用される時、f_{OSCH} は 9.0 MHz で使用してください。この場合、IrDA は (16 - K) / 16 分周機能を使用せずに 115.2 Kbps にすることはできません。従って、この場合のみ、以下の条件は設定可能です。

(設定条件)

- f_{OSCH} = 9.0 MHz, PLL on → f_{FPH} = 36 MHz, f_{USB} = 48 MHz
- ボーレートジェネレータ用クロック = $\phi T0$
- ボーレートジェネレータ分周値 = $2 + (16 - 9) / 16$
- パルス幅 = 3/16

(ボーレート計算結果)

- ボーレート = $36 \text{ MHz} / 128 / (2 + 7/16) = 115.38 \text{ Kbps}$
このボーレートは+0.156%の誤差を含みますが IrDA 仕様では±0.87%以内となっています。
- パルス幅 = $(1/281.25 \text{ Kbps}) \times ((2 \times (1/16)) + 3 \times (2/16)) = 1.777 \mu\text{s}$
このパルス幅は 1.41 μs (IrDA 仕様より) より大きいものとなります。

Not Recommended for New Design

SIRCR
(1207H)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信パルス幅選択 0: 3/16 1: 1/16	受信データ論理 0: "H" パルス 1: "L" パルス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRD の有効パルス幅の設定 $2x \times (\text{設定値} + 1) + 100\text{ns}$ 以上のパルス幅を有効とする 設定可 : 1~14 設定不可 : 0, 15			

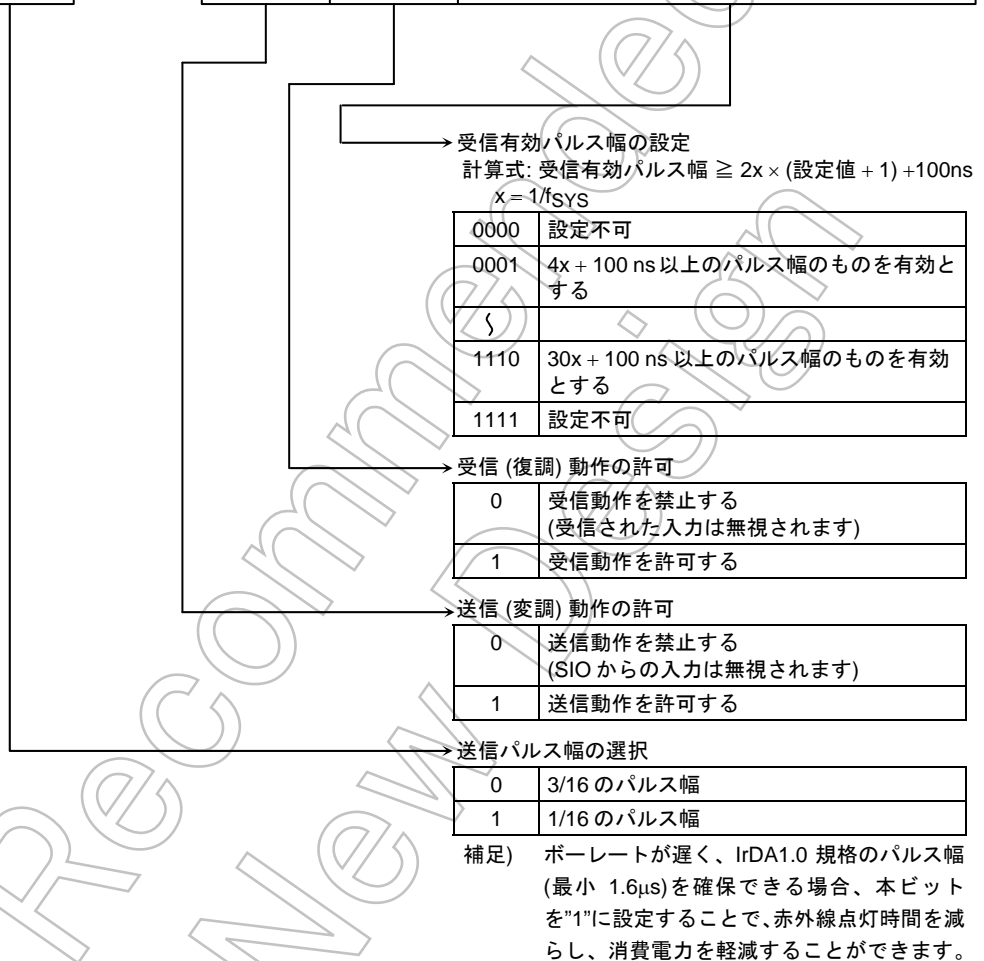


図 3.9.27 IrDA コントロールレジスタ

3.10 USBコントローラ

3.10.1 システム概要

USB コントローラ (UDC) は、USB システムを構築する上で、必要な種々のシリアルデータコミュニケーションに適合すべく設計されています。

主要機能と特長は次のとおりです。

- (1) USB rev1.1 をサポート
- (2) フルスピード (12 Mbps) 対応 (Low スピード (1.5 Mbps) には対応していません)
- (3) 384 バイトのディスクリプタ RAM を使用したエミュレーション自動応答 (スタンダードリクエスト)
- (4) コントロール、割り込み、バルクの 3 種類の転送タイプに対応

エンドポイント 0: コントロール	64 バイト × 1FIFO
エンドポイント 1: バルク (OUT)	64 バイト × 2FIFO
エンドポイント 2: バルク (IN)	64 バイト × 2FIFO
エンドポイント 3: インターラプト (IN)	8 バイト × 1FIFO
- (5) 受信データのサンプルクロックを生成する DPLL を内蔵
- (6) SOP、EOP、RESUME、RESET、TIMEOUT を検出および生成
- (7) NRZI データのエンコードおよびデコード
- (8) スタフビットの挿入および除去
- (9) CRC の生成および検査
- (10) パケット ID の生成およびデコード
- (11) パワーマネジメント機能を内蔵
- (12) デュアルパケットモードに対応

注 1) TMP92CH21 は D+ 端子に必要なプルアップ抵抗を内蔵していません。外部でのプルアップ制御が必要です。
外部スイッチ、出力ポートおよびソフトウェアで制御してください。

注 2) 動作上、一部 USB 1.1 の規格と異なる仕様があります。後述の「3.10.11 使用上の注意事項」を事前に確認してください。

3.10.1.1 システム構成

USB コントローラ (UDC) は、下記の 3 ブロック構成となっています。

1. 900/H1 CPU I/F
2. UDC コア (DPLL, SIE, IFM, PWM)、リクエストコントローラ、ディスクリプタ RAM、4つのエンドポイント FIFO
3. USB トランシーバ

3.10.2章では、900/H1 CPU I/F 関連の構成を、3.10.3章では、UDCコア、リクエストコントローラ、ディスクリプタRAM関連の構成を説明します。

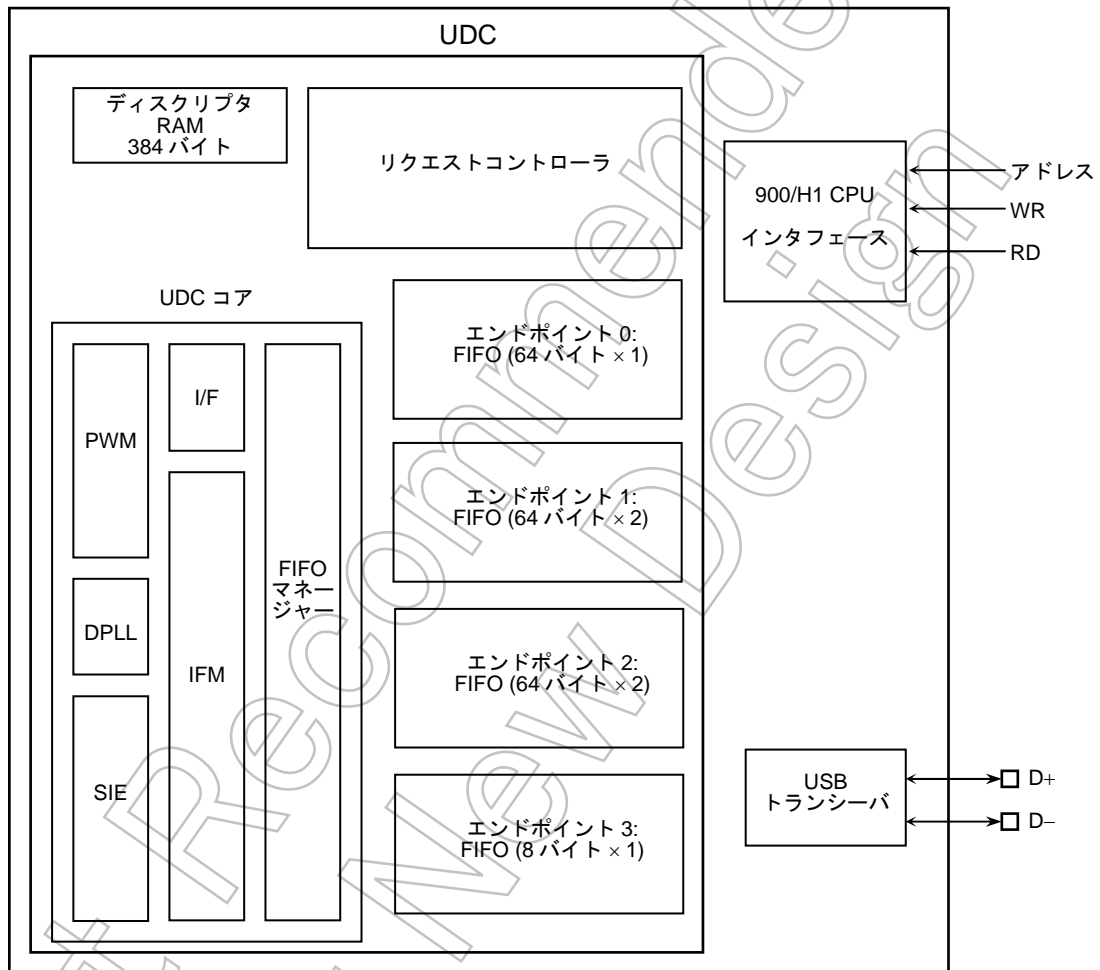
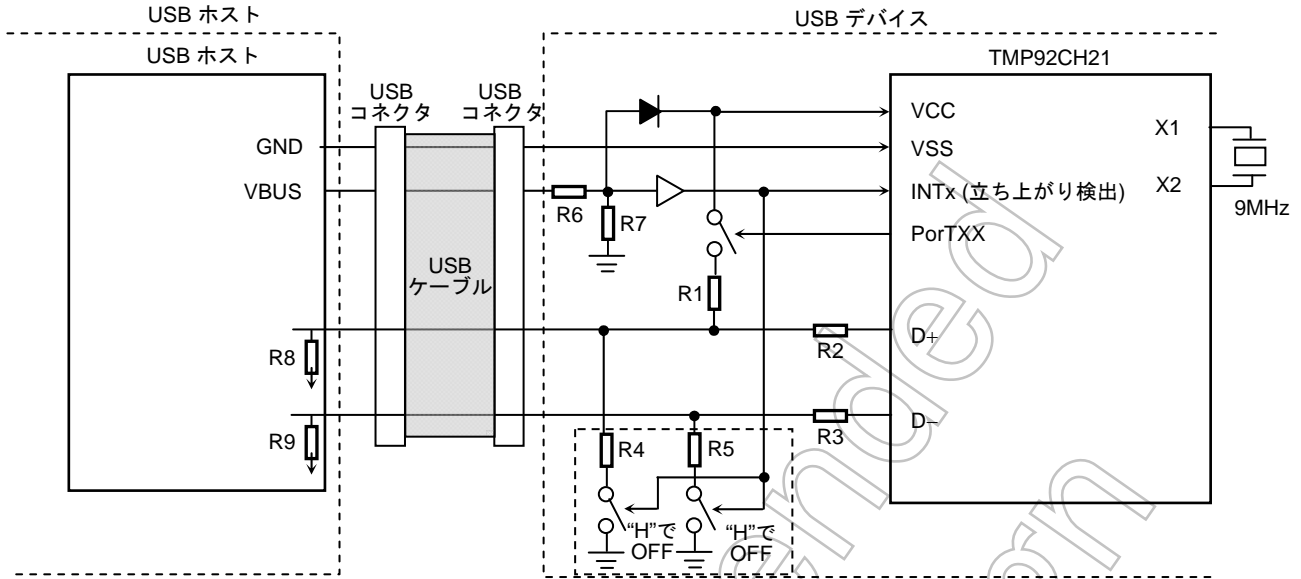


図 3.10.1 UDC ブロック図

3.10.1.2 接続例



TMP92CH21 内蔵の USB コントローラを使用する場合、以上のような接続が必要です。

- 1) D+端子のプルアップ処理
 - ・ USB 規定上、Full Speed の通信では、D+端子をプルアップすることが必要です。またこのプルアップは S/W で、ON/OFF 制御が必要です。
 - 推奨値：R1=1.5k Ω
- 2) D+、D-信号の直列抵抗挿入
 - ・ USB 規定上、D+、D-信号には、各々直列抵抗の挿入が必要です。
 - 推奨値：R2=27 Ω 、R3=27 Ω
- 3) コネクタ接続検出および D+端子、D-端子の貫通電流対策処理
 - ・ TMP92CH21 の D+、D-端子は未使用時(ホストと未接続時)には、貫通電流対策の為に、レベル固定が必要です。ここでは、コネクタ接続の検出信号を利用して、レベル固定用のプルダウン抵抗を制御する方法を紹介しています。
 - 推奨値：R4=10k Ω 、R5=10k Ω
 - ・ コネクタ接続の検出を VBUS(5V 電圧)で検出する方法を例として紹介しています。
 - ※ 波形の立ち上がり、緩慢な場合、波形整形用に適当なバッファリングをすることをお勧めします。
 - 推奨値：R6=60k Ω 、R7=100k Ω (サスペンド時の VBUS 消費電流 < 500 μ A)
- 4) X1,X2 に 9MHz の発振子の接続
 - ・ 外部 9MHz 発振と、内蔵 PLL の組み合わせで USB を使用する場合、内蔵 PLL の精度の関係上、使用できる外付けハブの段数に制約が生じます(最大 3 段まで)。
- 5) HOST 側プルダウン抵抗
 - ・ USB 規定上、USB_HOST 側で D+信号と D-信号をプルダウンする必要があります。
 - 推奨値：R8=15k Ω 、R9=15k Ω

※ 上記の接続、および抵抗値などは一例であり、その動作を保証するものではありません。必ず最新の USB 規格の確認と、お客様のセット上での動作確認をお願いいたします。

3.10.2 900/H1 CPU I/F

900/H1 CPU I/F は、UDC 本体と 900/H1CPU とのアダプタです。
主に、下記のコントロールを行います。

- INTUSB (UDC からの割り込み) 発生
- SFR のアダプタ
- USB クロック制御 (48 MHz)

3.10.2.1 SFR説明

900/H1 CPU I/F には、UDC、USB トランシーバをコントロールするため、内部に以下のようなレジスタが用意されています。

USB コントロール

USBCR1 (USB コントロールレジスタ 1)

USB 割り込みコントロール

USBINTFR1 (USB 割り込みフラグレジスタ 1)

USBINTFR2 (USB 割り込みフラグレジスタ 2)

USBINTFR3 (USB 割り込みフラグレジスタ 3)

USBINTFR4 (USB 割り込みフラグレジスタ 4)

USBINTMR1 (USB 割り込みマスクレジスタ 1)

USBINTMR2 (USB 割り込みマスクレジスタ 2)

USBINTMR3 (USB 割り込みマスクレジスタ 3)

USBINTMR4 (USB 割り込みマスクレジスタ 4)

表 3.10.1 900/H1 CPU I/F SFR

アドレス	Read/Write	SFR symbol
07F0H	R/W	USBINTFR1
07F1H	R/W	USBINTFR2
07F2H	R/W	USBINTFR3
07F3H	R/W	USBINTFR4
07F4H	R/W	USBINTMR1
07F5H	R/W	USBINTMR2
07F6H	R/W	USBINTMR3
07F7H	R/W	USBINTMR4
07F8H	R/W	USBCR1

3.10.2.2 USBCR1 レジスタ

このレジスタは、USB 使用時に設定するレジスタで、USB クロックの許可、内部トランシーバの設定などを行います。

	7	6	5	4	3	2	1	0
bit Symbol	TRNS_USE	WAKEUP					SPEED	USBCLKE
Read/Write	R/W	R/W				R/W	R/W	R/W
リセット後	0	0				0	1	0
機能						"0"をライトしてください		

- TRNS_USE (Bit7)**
 - 0: USB トランシーバの禁止
 - 1: USB トランシーバ許可

USB を使用するセットでは、常に“1”に設定してください。
- WAKEUP (Bit6)**
 - 0: -
 - 1: リモートウェイクアップ機能スタート

リモートウェイクアップ機能が必要な時には、まず、レジスタ Current_Config<REMOTE WAKEUP>をチェックして下さい。

<REMOTE WAKEUP>="1"(サスペンド状態)であることを確認し、<WAKEUP>に“1”をライトし、その後“0”を<WAKEUP>へライトしてください。これにより remote-wakeup 機能が開始されます。もし<REMOTE WAKEUP>="0"あるいは EP0,1,2,3_STATUS<SUSPEND>="0"の時には、<WAKEUP>に“1”をライトしないで下さい。
- SPEED (Bit1)**
 - 1: フルスピード (12 MHz)
 - 0: Reserved

このビットは USB スピードを選択します。

常に“1”に設定してください。
- USBCLKE (Bit0)**
 - 0: USB クロック禁止
 - 1: USB クロック許可

このビットは USB クロックの供給を制御します。

USB コントローラに供給される 48MHz のクロックは、PLL 回路から供給されます。(f_{USB})。よって USB コントローラにクロック供給を開始するときは、PLL 回路のロックアップが終了していることを(安定発振)確認後、<USBCLKE>に“1”をライトしてください。

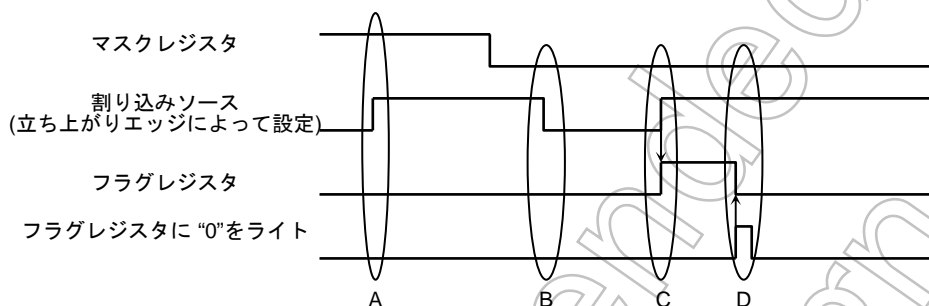
また、PLL を停止する際は、<USBCLKE>に“0”をライトし USB クロックを停止後、PLL を停止してください。

3.10.2.3 USBINTFRn、MRnレジスタ

これらの SFR は、UDC が出力する 23 個の割り込みソースから INTUSB (CPU に対しては 1 つのみ) を制御します。USBINTMRn はマスクレジスタで、USBINTFRn はフラグレジスタです。したがって INTUSB ルーチンでは、USBINTFRn を確認後に発生している割り込みを判断し、処理してください。

以下は全マスクおよびフラグレジスタコモンの仕様となります。

(全マスクおよびフラグレジスタの共通仕様)



- A: フラグレジスタはマスクレジスタ = "1" のためセットされません。
- B: フラグレジスタは割り込みソースが "1" から "0" に切り替わるためセットされません。
- C: フラグレジスタはマスクレジスタ = "0" および割り込みソースが "0" から "1" に切り替わるためセットされます。
- D: フラグレジスタはフラグレジスタに "0" をライトすることによって "0" にリセットされます。

注1) "INTUSB 発生回数" および "フラグにセットされたビット数" は常に同じとは限りません。INTUSB 割り込みルーチンでは、フラグレジスタの確認後、フラグレジスタをクリアしてください。また、INTUSB 割り込みルーチン分岐後、フラグレジスタ (USBINTFRn) をリードする前に発生した割り込みは、INTC 割り込み要求フラグは保持されたままとなります。そのため、INTUSB 割り込みルーチンを抜けた後、再度 USB 割り込みルーチンに分岐しますが、フラグレジスタ (USBINTFRn) がすべて "0" の場合がありますので、その場合でも異常終了しないようソフトウェアで対応してください。

注2) USBINTMRn あるいは USBINTFRn にライトする時は、その前に INTUSB を禁止 (00H を INTEUSB レジスタにライト) してください。

	7	6	5	4	3	2	1	0
USBINTFR1 (07F0H)	INT_URST_STR	INT_URST_END	INT_SUS	INT_RESUME	INT_CLKSTOP	INT_CLKON		
bit Symbol	INT_URST_STR	INT_URST_END	INT_SUS	INT_RESUME	INT_CLKSTOP	INT_CLKON		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W		
リセット後	0	0	0	0	0	0		
機能	リード時 0: 割り込みなし 1: 割り込みあり			ライト時 0: フラグクリア 1: -				

注) 上記の割り込みは、IDLE2, IDLE1 モードからのホルト解除が可能です。(STOP モードは解除できません)

※ USB で準備されている、24 種類の割り込みの内、上記 6 種類の割り込みは、IDLE1 モードからホルト解除が可能です。そのため、より低消費電力のシステムを構築することが可能です。ただし、その使用方法は以下に限られます。

IDLE1 へ移行 INT_SUS または INT_CLKSTOP フラグが "1" (SUSPEND 状態) の状態から、ホルト命令実行

IDLE1 から復帰 INT_RESUME または INT_CLKON 要求 (SUSPEND 解除要求) での、ホルト解除

INT_URST_STR または INT_URST_END 要求 (RESET 要求) での、ホルト解除

- INT_URST_STR (Bit7)
 INT_URST_STR (USB リセット開始割り込み) のためのフラグレジスタです。
 これは USB コントローラが USB ホストからの "USB リセット" 信号を受信しはじめたとき、"1" にセットされます。アプリケーションプログラムはこの割り込みによって全 UDC を初期化する必要があります。
- INT_URST_END (Bit6)
 INT_URST_END (USB リセット終了割り込み) のためのフラグレジスタです。
 これは USB コントローラが USB ホストからの "USB リセット終了" の信号を受信したとき "1" にセットされます。
- INT_SUS (Bit5)
 INT_SUS (サスペンド割り込み) のためのフラグレジスタです。
 これは USB が "サスペンド状態" に切り替わったとき "1" にセットされます。
- INT_RESUME (Bit4)
 INT_RESUME (レジューム割り込み) のためのフラグレジスタです。
 これは USB が "レジューム状態" に切り替わったときに "1" にセットされます。
- INT_CLKSTOP (Bit3)
 INT_CLKSTOP (クロック供給停止許可割り込み) のためのフラグレジスタです。これは USB が "サスペンド状態" に切り替わった後に "1" にセットされます。クロックを停止する場合は、この割り込み検出後 USBCR1<USBCLKE> ビットを "0" にしてクロックを停止してください。
- INT_CLKON (Bit2)
 INT_CLKON (クロック供給開始許可割り込み) のためのフラグレジスタです。
 これは USB が "レジューム状態"、または USB ホストからの "USB リセット" 信号を検出したとき "1" にセットされます。クロックを停止している場合は、この割り込み検出後 USBCR1<USBCLKE> ビットを "1" にしてクロックを開始してください。

	7	6	5	4	3	2	1	0
USBINTFR2 (07F1H)	EP1_FULL_A	EP1_Empty_A	EP1_FULL_B	EP1_Empty_B	EP2_FULL_A	EP2_Empty_A	EP2_FULL_B	EP2_Empty_B
bit Symbol	EP1_FULL_A	EP1_Empty_A	EP1_FULL_B	EP1_Empty_B	EP2_FULL_A	EP2_Empty_A	EP2_FULL_B	EP2_Empty_B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リード時 0: 割り込みなし ライト時 0: フラグクリア 1: 割り込みあり 1: -							

注) 上記の割り込みは、IDLE2 モードからのホルト解除が可能です。(IDLE1,STOP モードは解除できません。)

	7	6	5	4	3	2	1	0
USBINTFR3 (07F2H)	EP3_FULL_A	EP3_Empty_A						
bit Symbol	EP3_FULL_A	EP3_Empty_A						
Read/Write	R/W	R/W						
リセット後	0	0						
機能	リード時 0: 割り込みなし 1: 割り込みあり ライト時 0: フラグクリア 1: -							

注) 上記の割り込みは、IDLE2 モードからのホルト解除が可能です。(IDLE1,STOP モードは解除できません。)

EPx_FULL_A/B:

(送信時)

CPU が FIFO_A/B にフルにデータをライトしたときに“1”にセットされます。

(受信時)

UDC が FIFO_A/B にフルにデータを受信したときに“1”にセットされます。

EPx_Empty_A/B:

(送信時)

FIFO が送信後空になったときに“1”にセットされます。

(受信時)

FIFO が CPU が FIFO からデータをリードし、FIFO が空になったときに“1”にセットされます。

注) EPx_FULL_A/B および EPx_Empty_A/B のフラグレジスタはステータスフラグではありません。したがって FIFO ステータスが必要な場合 DATASET レジスタを検査しなければなりません。

	7	6	5	4	3	2	1	0
bit Symbol	INT_SETUP	INT_EP0	INT_STAS	INT_STASN	INT_EP1N	INT_EP2N	INT_EP3N	EP2_Empty_B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リード時 0: 割り込みなし ライト時 0: フラグクリア 1: 割り込みあり 1: -							

注) 上記の割り込みは、IDLE2 モードからのホルト解除が可能です。(IDLE1, STOP モードは解除できません。)

- INT_SETUP (Bit7)

INT_SETUP (セットアップ割り込み)のためのフラグレジスタです。

これは USB ホストから S/W(ソフトウェア)制御が必要な要求を受信したとき “1” にセットされます。INT_SETUP ルーチン内の S/W によって、まず 8 バイトのデバイスリクエストを UDC からリードし、各要求にしたがって処理を実行してください。

- INT_EP0 (Bit6)

INT_EP0 (コントロール転送のデータフェーズの受信データ割り込み)のためのフラグレジスタです。

UDC がコントロール転送のデータフェーズのデータを受信したときに “1” にセットされます。コントロールライト転送時この割り込みが発生した場合 FIFO からデータをリードする必要があります。コントロールリード転送時、この割り込みが発生した場合 FIFO へ送信データをライトする必要があります。ホストによってはデータステージ最終パケットの “ACK” をアサートするしない場合があります。その場合、この割り込みは発生しません。よって最終パケットデータがデータステージでライトされた後のこの割り込みは無視してください。理由は送信データ数がホストから支持されるかデバイスの容量に依存するからです。

- INT_STAS (Bit5)

INT_STAS (ステータスステージ終了割り込み)のためのフラグレジスタです。

これはステータスステージが終了したとき “1” にセットされます。

この割り込みが発生した場合、リクエストが正常終了したことを意味します。

この割り込みが発生せず、INT_SETUP が発生した場合、EP0_STATUS <STAGE_ERR> は “1” にセットされ、リクエストが正常終了しなかったことを意味します。

- INT_STASN (Bit4)
INT_STASN(ホストステータスステージ切り替わり割り込み)ためのフラグレジスタです。USB ホストがコントロールリード転送でステータスステージに切り替わったとき“1”にセットされます。この割り込みはデータ長が wLength(ホストによって指定)より小さい場合必要になります。
- INT_EPxN (Bit3~1)
INT_EPxN(ホストへの NAK 応答割り込み)ためのフラグレジスタです。これはエンドポイント 1,2,3 が NAK を送信したときに“1”にセットされます。

Not Recommended
for New Design

USBINTMR1
(07F4H)

	7	6	5	4	3	2	1	0
bit Symbol	MSK_URST_STR	MSK_URST_END	MSK_SUS	MSK_RESUME	MSK_CLKSTOP	MSK_CLKON		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W		
リセット後	1	1	1	1	1	1		
機能	リード時 0: マスクしない ライト時 0: フラグクリア 1: マスクする 1: -							

- MSK_URST_STR (Bit7)
USBINTFR1<INT_URST_STR>のためのマスクレジスタです。
- MSK_URST_END (Bit6)
USBINTFR1 <INT_URST_END>>のためのマスクレジスタです。
- MSK_SUS (Bit5)
USBINTFR1<INT_SUS>のためのマスクレジスタです。
- MSK_RESUME (Bit4)
USBINTFR1<INT_RESUME>のためのマスクレジスタです。
- MSK_CLKSTOP (Bit3)
USBINTFR1<INT_URST_STR>のためのマスクレジスタです。
- MSK_CLKON (Bit2)
USBINTFR1 <INT_CLKON>のためのレジスタです。

Not Recommended for New Design

	7	6	5	4	3	2	1	0	
USBINTMR2 (07F5H)	bit Symbol	EP1_MSK_FA	EP1_MSK_EA	EP1_MSK_FB	EP1_MSK_EB	EP2_MSK_FA	EP2_MSK_EA	EP2_MSK_FB	EP2_MSK_EB
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	1	1	1	1	1	1	1	1
	機能	リード時 0: マスクしない ライト時 0: フラグクリア							
		1: マスクする 1: –							

• EP1/2_MSK_FA/FB/EA/EB

USBINTFR2<EP1/2_FULL_A/B>, <EP1/2_Empty_A/B>のためのマスクレジスタです。

	7	6	5	4	3	2	1	0
USBINTMR3 (07F6H)	bit Symbol	EP3_MSK_FA	EP3_MSK_EA					
	Read/Write	R/W	R/W					
	リセット後	1	1					
	機能	リード時 0: マスクしない 1: マスクする						
		ライト時 0: フラグクリア 1: –						

• EP3_MSK_FA/FB/EA/EB

USBINTFR3<EP3_FULL_A/B>, <EP3_Empty_A/B>のためのマスクレジスタです。

	7	6	5	4	3	2	1	0
USBINTMR4 (07F7H)	MSK_SETUP	MSK_EP0	MSK_STAS	MSK_STASN	MSK_EP1N	MSK_EP2N	MSK_EP3N	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット後	1	1	1	1	1	1	1	
機能	リード時 0: マスクしない ライト時 0: フラグクリア 1: マスクする 1: -							

- MSK_SETUP (Bit7)
USBINTFR4<INT_SETUP>のためのマスクレジスタです。
- MSK_EP0 (Bit6)
USBINTFR4<INT_EP0>のためのマスクレジスタです。
- MSK_STAS (Bit5)
USBINTFR4<INT_STAS>のためのマスクレジスタです。
- MSK_STASN (Bit4)
USBINTFR4<INT_STASN>のためのマスクレジスタです。
- MSK_EP1N (Bit3)
USBINTFR4<INT_EP1N>のためのマスクレジスタです。
- MSK_EP2N (Bit2)
USBINTFR4<INT_EP2N>のためのマスクレジスタです。
- MSK_EP3N (Bit1)
USBINTFR4<INT_EP3N>のためのマスクレジスタです。

Not Recommended for New Design

3.10.3 UDC コア

3.10.3.1 SFR説明

USB トランシーバおよび UDC をコントロールするため、内部に以下のようなレジスタが用意されています。

a) FIFO

エンドポイント 0~3 FIFO レジスタ

b) デバイスリクエスト

bmRequestType	レジスタ	bRequest	レジスタ
wValue_L	レジスタ	wValue_H	レジスタ
wIndex_L	レジスタ	wIndex_H	レジスタ
wLength_L	レジスタ	wLength_H	レジスタ

c) ステータス

Current_Config	レジスタ	USB_STATE	レジスタ
Standard Request	レジスタ	Request	レジスタ
EPx_STATUS	レジスタ		

d) セットアップ

EPx_BCS	レジスタ	EPx_SINGLE	レジスタ
Standard Request mode	レジスタ	Request Mode	レジスタ
DescriptorRAM	レジスタ	PortStatus	レジスタ

e) コントロール

EPx_MODE	レジスタ	EOP	レジスタ
COMMAND	レジスタ	INT_Control	レジスタ
SetupReceived	レジスタ	USBREADY	レジスタ

f) その他

ADDRESS	レジスタ	DATASET	レジスタ
EPx_SIZE_L_A	レジスタ	EPx_SIZE_H_A	レジスタ
EPx_SIZE_L_B	レジスタ	EPx_SIZE_H_B	レジスタ
FRAME_L	レジスタ	FRAME_H	レジスタ
USBUFF TEST	レジスタ		

表 3.10.2 UDC コア SFR (1/2)

アドレス	Read/Write	SFR シンボル
0500H	R/W	Descriptor RAM0
0501H	R/W	Descriptor RAM1
0502H	R/W	Descriptor RAM2
0503H	R/W	Descriptor RAM3
⋮		⋮
067DH	R/W	Descriptor RAM381
067EH	R/W	Descriptor RAM382
067FH	R/W	Descriptor RAM383
0780H	R/W	ENDPOINT0
0781H	R/W	ENDPOINT1
0782H	R/W	ENDPOINT2
0783H	R/W	ENDPOINT3
0789H	R/W	EP1_MODE
078AH	R/W	EP2_MODE
078BH	R/W	EP3_MODE
0790H	R	EP0_STATUS
0791H	R	EP1_STATUS
0792H	R	EP2_STATUS
0793H	R	EP3_STATUS
*0794H	R	EP4_STATUS
*0795H	R	EP5_STATUS
*0796H	R	EP6_STATUS
*0797H	R	EP7_STATUS
0798H	R	EP0_SIZE_L_A
0799H	R	EP1_SIZE_L_A
079AH	R	EP2_SIZE_L_A
079BH	R	EP3_SIZE_L_A
*079CH	R	EP4_SIZE_L_A
*079DH	R	EP5_SIZE_L_A
*079EH	R	EP6_SIZE_L_A
*079FH	R	EP7_SIZE_L_A
07A1H	R	EP1_SIZE_L_B
07A2H	R	EP2_SIZE_L_B
07A3H	R	EP3_SIZE_L_B
*07A4H	R	EP4_SIZE_L_B
*07A5H	R	EP5_SIZE_L_B
*07A6H	R	EP6_SIZE_L_B
*07A7H	R	EP7_SIZE_L_B
07A9H	R	EP1_SIZE_H_A
07AAH	R	EP2_SIZE_H_A
07ABH	R	EP3_SIZE_H_A
*07ACH	R	EP4_SIZE_H_A
*07ADH	R	EP5_SIZE_H_A
*07AEH	R	EP6_SIZE_H_A
*07AFH	R	EP7_SIZE_H_A
07B1H	R	EP1_SIZE_H_B
07B2H	R	EP2_SIZE_H_B
07B3H	R	EP3_SIZE_H_B
*07B4H	R	EP4_SIZE_H_B
*07B5H	R	EP5_SIZE_H_B
*07B6H	R	EP6_SIZE_H_B
*07B7H	R	EP7_SIZE_H_B

表 3.10.3 UDC コア SFR (2/2)

アドレス	Read/Write	SFR シンボル
07C0H	R	bmRequestType
07C1H	R	bRequest
07C2H	R	wValue_L
07C3H	R	wValue_H
07C4H	R	wIndex_L
07C5H	R	wIndex_H
07C6H	R	wLength_L
07C7H	R	wLength_H
07C8H	W	SetupReceived
07C9H	R	Current_Config
07CAH	R	Standard Request
07CBH	R	Request
07CCH	R	DATASET1
07CDH	R	DATASET2
07CEH	R	USB_STATE
07CFH	W	EOP
07D0H	W	COMMAND
07D1H	R/W	EPx_SINGLE1
07D3H	R/W	EPx_BCS1
07D6H	R/W	INT_Control
07D8H	R/W	Standard Request Mode
07D9H	R/W	Request Mode
07DEH	W	ID_CONTROL
07DFH	R	ID_STATE
07E0H	R/W	Port Status
07E1H	R	FRAME_L
07E2H	R	FRAME_H
07E3H	R	ADDRESS
07E4H	R/W	Reserved
07E6H	R/W	USBREADY
07E8H	W	Set Descriptor STALL

注) アドレス中に“*”が書かれているレジスタは、TMP92CH21 では使用されません。

3.10.3.2 EPx FIFOレジスタ (x: 0~3)

このレジスタは、エンドポイントごとに独立して用意されています。

このレジスタを介して UDC 内の FIFO ヘデータ転送、あるいは FIFO からのデータ転送を行います。

オートバスエナミュレーション時に、UDC 内部のリクエストコントローラが、エンドポイントディスクリプタに定義されているモードを、各々のエンドポイント毎、自動的に設定します。この設定された値により、各エンドポイントは任意の方向に自動的に設定されます。

		7	6	5	4	3	2	1	0
Endpoint0 (0780H)	bit Symbol	EP0_DATA7	EP0_DATA6	EP0_DATA5	EP0_DATA4	EP0_DATA3	EP0_DATA2	EP0_DATA1	EP0_DATA0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定

		7	6	5	4	3	2	1	0
Endpoint1 (0781H)	bit Symbol	EP1_DATA7	EP1_DATA6	EP1_DATA5	EP1_DATA4	EP1_DATA3	EP1_DATA2	EP1_DATA1	EP1_DATA0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定

		7	6	5	4	3	2	1	0
Endpoint2 (0782H)	bit Symbol	EP2_DATA7	EP2_DATA6	EP2_DATA5	EP2_DATA4	EP2_DATA3	EP2_DATA2	EP2_DATA1	EP2_DATA0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定

		7	6	5	4	3	2	1	0
Endpoint3 (0783H)	bit Symbol	EP3_DATA7	EP3_DATA6	EP3_DATA5	EP3_DATA4	EP3_DATA3	EP3_DATA2	EP3_DATA1	EP3_DATA0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	不定	不定	不定	不定	不定	不定	不定	不定

注 1) これらのウィンドウレジスタは、各レジスタが1バイトアドレスのみ所有しているため、1バイトのロード命令を使用することにより、ライトあるいはリードをしなければなりません。2バイトあるいは4バイトでのロード命令は使用しないでください。

注 2) IN 転送時(アイソクロナス転送を除く)に1byteのデータをUDCからホストに送信する際、ホストからのINトークン受信中のあるタイミングで該当エンドポイントに対して eop ライトを行うと、1byteのデータではなく NULL データ(0 byte データ)を送信する可能性があります。そのため、ダミーで意味のないデータを付加するなど、1byteのデータを送信しないようなデータ構造にしてください。

USB ホストから受信したデバイスリクエストは、以下に示す8バイト分のレジスタに格納されます。このデバイスリクエストは、bmRequestType、bRequest、wValue_L、wValue_H、wIndex_L、wIndex_H、wLength_L、wLength_Hの8つのレジスタにより構成され、ホストから新規のセットアップトークンを受信するたびに更新されます。

エラーなく受信したときのみ、INT_SETUP 割り込みをアサートし、新規のデバイスリクエストを受信したことを知らせます。また、受信したリクエストによって、UDC 内で自動的に処理するリクエストがあります。その場合、INT_SETUP 割り込みを外部にアサートせず、STANDARD_REQUEST_FLAG、REQUEST_FLAG をもって、UDC が現在処理中のリクエストを外部に知らせます。

3.10.3.3 bmRequestTypeレジスタ

このレジスタは、デバイスリクエストのbmRequestTypeフィールドを示したものです。

	7	6	5	4	3	2	1	0
bmRequestType (07C0H)	DIRECTION	REQ_TYPE1	REQ_TYPE0	RECIPIENT4	RECIPIENT3	RECIPIENT2	RECIPIENT1	RECIPIENT0
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

- DIRECTION (bit7) 0: ホストからデバイスへ
1: デバイスからホストへ
- REQ_TYPE (bit6~5) 00: スタンダード
01: クラス
10: ベンダー
11: Reserved
- RECIPIENT (bit4~0) 00000: デバイス
00001: インタフェース
00010: エンドポイント
00011: etc
Others: Reserved

3.10.3.4 bRequestレジスタ

このレジスタは、デバイスリクエストのbRequestフィールドを示したものです。

	7	6	5	4	3	2	1	0
bRequest (07C1H)	REQUEST7	REQUEST6	REQUEST5	REQUEST4	REQUEST3	REQUEST2	REQUEST1	REQUEST0
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

- | | |
|-----------------------------|-----------------------------|
| (スタンダード) | (プリンタクラス) |
| Bit 00000000: GET_STATUS | Bit 00000000: GET_DEVICE_ID |
| 00000001: CLEAR_FEATURE | 00000001: GET_PORT_STATUS |
| 00000010: (Reserved) | 00000010: SOFT_RESET |
| 00000011: SET_FEATURE | |
| 00000100: (Reserved) | |
| 00000101: SET_ADDRESS | |
| 00000110: GET_DESCRIPTOR | |
| 00000111: SET_DESCRIPTOR | |
| 00001000: GET_CONFIGURATION | |
| 00001001: SET_CONFIGURATION | |
| 00001010: GET_INTERFACE | |
| 00001011: SET_INTERFACE | |
| 00001100: SYNCH_FRAME | |

3.10.3.5 wValueレジスタ

このレジスタには、wValue_Lレジスタと、wValue_Hレジスタの2つがあります。
wValue_Lレジスタは、ホストから転送されるデバイスリクエストのwValueフィールドの下位バイトを示し、wValue_Hレジスタは、その上位バイトを示します。

	7	6	5	4	3	2	1	0	
wValue_L (07C2H)	bit Symbol	VALUE_L7	VALUE_L6	VALUE_L5	VALUE_L4	VALUE_L3	VALUE_L2	VALUE_L1	VALUE_L0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0	
wValue_H (07C3H)	bit Symbol	VALUE_H7	VALUE_H6	VALUE_H5	VALUE_H4	VALUE_H3	VALUE_H2	VALUE_H1	VALUE_H0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

3.10.3.6 wIndexレジスタ

このレジスタには、wIndex_Lレジスタと、wIndex_Hレジスタの2つがあります。
wIndex_Lレジスタは、ホストから転送されるデバイスリクエストのwIndexフィールドの下位バイトを示し、wIndex_Hレジスタは、その上位バイトを示します。
これらは通常 Index やオフセットを渡すために使用します。

	7	6	5	4	3	2	1	0	
wIndex_L (07C4H)	bit Symbol	INDEX_L7	INDEX_L6	INDEX_L5	INDEX_L4	INDEX_L3	INDEX_L2	INDEX_L1	INDEX_L0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0	
wIndex_H (07C5H)	bit Symbol	INDEX_H7	INDEX_H6	INDEX_H5	INDEX_H4	INDEX_H3	INDEX_H2	INDEX_H1	INDEX_H0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

3.10.3.7 wLengthレジスタ

このレジスタには、wLength_Lレジスタと、wLength_Hレジスタの2つがあります。
wLength_Lレジスタは、ホストから転送されるデバイスリクエストのwLengthフィールドの下位バイトを示し、wLength_Hレジスタは、その上位バイトを示します。

	7	6	5	4	3	2	1	0	
wLength_L (07C6H)	bit Symbol	LENGTH_L7	LENGTH_L6	LENGTH_L5	LENGTH_L4	LENGTH_L3	LENGTH_L2	LENGTH_L1	LENGTH_L0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0	
wLength_H (07C7H)	bit Symbol	LENGTH_H7	LENGTH_H6	LENGTH_H5	LENGTH_H4	LENGTH_H3	LENGTH_H2	LENGTH_H1	LENGTH_H0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

3.10.3.8 SetupReceivedレジスタ

このレジスタは、外部アプリケーションが INT_SETUP 割り込みを認識したことを UDC に知らせるためのレジスタです。

	7	6	5	4	3	2	1	0
SetupReceived (07C8H)								
bit Symbol	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	W	W	W	W	W	W	W	W
リセット後	0	0	0	0	0	0	0	0

UDC は、外部アプリケーションより、このレジスタをアクセスされると、デバイスリクエストを受信したものと認識し、EP0 の FIFO へのアクセス禁止を解きます。これは、1つ前のデバイスリクエストが正常に終了していない間に、新規のリクエストが来たときに、外部アプリケーションが新規のリクエストに対する INT_SETUP 割り込みを認識するまでの間、EP0 に格納されたデータを保護するためです。

従って、CPU が INT_SETUP 割り込みに対するデバイスリクエストを認識したとき、このレジスタに 00H を WR してください。

注) このレジスタにライトを行った後の EP0_FIFO レジスタへのアクセスは、12MHz の 2クロック分のリカバリタイムを必要とします。

3.10.3.9 Current_Configレジスタ

このレジスタは、SET_CONFIGURATION、SET_INTERFACE にてセットされた現在のコンフィグ値、インタフェース値を示します。

	7	6	5	4	3	2	1	0
Current_Config (07C9H)								
bit Symbol	REMOTEWAKEUP		ALTERNATE[1]	ALTERNATE[0]	INTERFACE[1]	INTERFACE[0]	CONFIG[1]	CONFIG[0]
Read/Write	R		R	R	R	R	R	R
リセット後	0		0	0	0	0	0	0

- CONFIG (Bit1~0)
 - 00: UNCONFIGURED ホストによってまだコンフィグされていないことを示します。
 - 01: CONFIGURED1 ホストによってコンフィグ 1 に設定されたことを示します。
 - 10: CONFIGURED2 ホストによってコンフィグ 2 に設定されたことを示します。
- INTERFACE (Bit3~2)
 - 00: INTERFACE0 ホストによってインタフェース 0 に設定されたことを示します。
 - 01: INTERFACE1 ホストによってインタフェース 1 に設定されたことを示します。
 - 10: INTERFACE2 ホストによってインタフェース 2 に設定されたことを示します。
- ALTERNATE (Bit5~4)
 - 00: ALTERNATE0 ホストによって代替設定 0 に設定されたことを示します。
 - 01: ALTERNATE1 ホストによって代替設定 1 に設定されたことを示します。
 - 10: ALTERNATE2 ホストによって代替設定 2 に設定されたことを示します。
- REMOTE WAKEUP (Bit7)
 - 0: ディセーブル ホストによって Remote Wakeup をディセーブルにされたことを示します。
 - 1: イネーブル ホストによって Remote Wakeup をイネーブルにされたことを示します。

注 1) CONFIG, INTERFACE, ALTERNATE はそれぞれ 3 つ(0,1,2)をサポートしています。

注 2) 各リクエストをソフトウェア制御する場合は、このレジスタに値はセットされません。

3.10.3.10 Standard Request レジスタ

このレジスタは、現在実行中のスタンダードリクエストを示すレジスタです。
各ビットで1がセットされているビットが現在実行中のリクエストです。

	7	6	5	4	3	2	1	0
Standard Request (07CAH)	S_INTERFACE	G_INTERFACE	S_CONFIG	G_CONFIG	G_DESCRIPTOR	S_FEATURE	C_FEATURE	G_STATUS
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0

- S_INTERFACE (Bit 7) :SET_INTERFACE
- G_INTERFACE (Bit 6) :GET_INTERFACE
- S_CONFIG (Bit 5) :SET_CONFIGURATION
- G_CONFIG (Bit 4) :GET_CONFIGURATION
- G_DESCRIPTOR (Bit 3) :GET_DESCRIPTOR
- S_FEATURE (Bit 2) :SET_FEATURE
- C_FEATURE (Bit 1) :CLEAR_FEATURE
- G_STATUS (Bit 0) :GET_STATUS

3.10.3.11 Requestレジスタ

このレジスタは、現在実行中のデバイスリクエストを示すレジスタです。
各ビットで1がセットされているビットが現在実行中のリクエストです。

	7	6	5	4	3	2	1	0
Request (07CBH)		SOFT_RESET	G_PORT_STS	G_DEVICE_ID	VENDOR	CLASS	ExSTANDARD	STANDARD
Read/Write		R	R	R	R	R	R	R
リセット後		0	0	0	0	0	0	0

- SOFT_RESET (Bit 6) :SOFT_RESET
- G_PORT_STS (Bit 5) :GET_PORT_STATUS
- G_DEVICE_ID (Bit 4) :GET_DEVICE_ID
- VENDOR (Bit 3) :ベンダークラスリクエスト
- CLASS (Bit 2) :クラスリクエスト
- ExSTANDARD (Bit 1) :エミュレーション自動応答未対応
(SET_DESCRIPTOR, SYNCH_FRAME)
- STANDARD (Bit 0) :スタンダードリクエスト

3.10.3.12 DATASETレジスタ

このレジスタは FIFO 内のデータの有無を示します。

アプリケーションは、このレジスタをアクセスすることにより、エンドポイントごとに FIFO のデータの有無を確認することができます。受信時には USB ホストからの有効なデータ転送が終了すると、割り込みと共に該当するエンドポイントに対応したビットが 1 にセットされ、アプリケーションが FIFO から 1 パケット分のデータをリードすると 0 にリセットされます。送信時は FIFO に 1 パケット分のデータの転送が終了すると 1 にセットされ、USB ホストに対して有効なデータ送信が行われると割り込みと共に 0 にリセットされます。

		7	6	5	4	3	2	1	0
DATASET1 (07CCH)	bit Symbol	EP3_DSET_B	EP3_DSET_A	EP2_DSET_B	EP2_DSET_A	EP1_DSET_B	EP1_DSET_A		EP0_DSET_A
	Read/Write	R	R	R	R	R	R		R
	リセット後	0	0	0	0	0	0		0

		7	6	5	4	3	2	1	0
DATASET2 (07CDH)	bit Symbol	EP7_DSET_B	EP7_DSET_A	EP6_DSET_B	EP6_DSET_A	EP5_DSET_B	EP5_DSET_A	EP4_DSET_B	EP4_DSET_A
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

注) DATASET1<EP3_DSET_B>、DATASET2 レジスタは TMP92CH21 では使用されません。

- シングルパケットモード (DATASET1: Bit0, 2, 4, 6 DATASET2: Bit0, 2, 4, 6)
 これらのビットは該当エンドポイントの FIFO にデータがあるかないかを示します。
 受信モードのエンドポイントでは該当エンドポイントのビットが 1 の状態であれば FIFO 内にリードされるべきデータが存在します。EP_x_SIZE レジスタをアクセスし、リードすべきデータのサイズを把握し、そのサイズ分のデータをリードしてください。0 のときはリードされるべきデータがありません。
 送信モードのエンドポイントでは該当エンドポイントのビットが 0 であれば、CPU は FIFO へペイロード以下のデータを転送することが可能です。もしも 1 の状態であれば送信待ちのデータが FIFO 内にありますので、該当ビットが 0 にクリアされてから UDC 内の FIFO にデータを転送する必要があります。ショートパケットを送信する場合には、送信するデータを該当エンドポイントにライトした後、EOP レジスタをアクセスしてください。
- デュアルパケットモード (DATASET1: Bit3, 5, 7 DATASET2: Bit1, 3, 5, 7)
 これらのビットは、デュアルパケットモード時に有効になります。デュアルパケットモードでは FIFO が 2 パケットありますので、パケット A、B ごとに DATASET ビットを用意しています。
 アイソクロナス転送では、上記動作と異なり、現在のフレームでアクセス可能なパケットが示されます。この場合 A または B どちらかのビットが 1 になり、フレームの切り替わりに対応して更新されます。

- 注1) 受信モード時、該当エンドポイントの A、B パケットのビットが共に 1 ならば、EPx_SIZE レジスタの PKT_ACTIVE ビットを確認の上、データを受信すべきパケットのサイズを把握し、そのサイズ分のデータを取り込む必要があります。
- 注2) 送信モード時、該当エンドポイントの A、B パケットのビットが共に 1 でなければ、送信用 FIFO に空きがあることを示しています。ペイロードサイズ以下のデータを FIFO にライトしてください。もしも、ショートパケットとなる場合は、送信するデータを FIFO にライトした後、EOP レジスタをアクセスし、該当エンドポイントの EOP ビットに 0 をライトしてください。片方のパケットにライトできる最大サイズは MAX ペイロードサイズまでです。該当エンドポイントの A、B パケットのビットが共に 0 の場合、MAX ペイロードサイズ×2 バイト分、連続してライトすることが可能です。
- 注3) デュアルモードでの送信時、A、B パケット共にデータがない状態で、EOP レジスタをアクセスし、該当エンドポイントの EOP ビットに 0 をライトした場合、NULL データが FIFO にセットされます。シングルモードにおいては、A パケットにデータがない状態で、上述した EOP アクセスを行うと、NULL データがバンク A の FIFO にセットされます。
- 注4) NULL パケット(0Length パケット)受信時にはこのレジスタはセットされません。

Not Recommended for New Design

3.10.3.13 EPx_STATUS レジスタ (x: 0~7)

これらは各エンドポイントのためのステータスレジスタです。
 <SUSPEND>はすべてのエンドポイントで共通です。

		7	6	5	4	3	2	1	0
EP0_STATUS (0790H)	bit Symbol		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write		R	R	R	R	R	R	R
	リセット後		0	0	1	1	1	0	0
EP1_STATUS (0791H)	bit Symbol		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write		R	R	R	R	R	R	R
	リセット後		0	0	1	1	1	0	0
EP2_STATUS (0792H)	bit Symbol		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write		R	R	R	R	R	R	R
	リセット後		0	0	1	1	1	0	0
EP3_STATUS (0793H)	bit Symbol		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write		R	R	R	R	R	R	R
	リセット後		0	0	1	1	1	0	0
EP4_STATUS (0794H)	bit Symbol		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write		R	R	R	R	R	R	R
	リセット後		0	0	1	1	1	0	0
EP5_STATUS (0795H)	bit Symbol		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write		R	R	R	R	R	R	R
	リセット後		0	0	1	1	1	0	0
EP6_STATUS (0796H)	bit Symbol		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write		R	R	R	R	R	R	R
	リセット後		0	0	1	1	1	0	0
EP7_STATUS (0797H)	bit Symbol		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR
	Read/Write		R	R	R	R	R	R	R
	リセット後		0	0	1	1	1	0	0

注) EP4,EP5,EP6,EP7 レジスタは TMP92CH21 では使用されません。

- TOGGLE (Bit6) トグルシーケンスビットの状態を表します。
 0: TOGGLE BIT0
 1: TOGGLE BIT1

- SUSPEND (Bit5) UDC のパワーマネジメントの状態を示します。
 SUSPEND の状態では UDC に対するアクセスは制限されます。
 詳細は 3.10.9 章を参照してください。
 0: RESUME
 1: SUSPEND

- STATUS (Bit4~2)

UDC のエンドポイントの状態を示します。

エンドポイントごとに転送の可否、あるいは各種転送の結果を示します。これは、各エンドポイントの転送モードと密接に関係します。以下に各状態について説明します。(アイソクロナス転送のエンドポイントを使用した場合には、動作が異なりますので、詳細については 3.10.6 章を参照ください。)

000: READY	受信:	デバイスが受信可能な状態にあります。 エンドポイント 1~7 では、このレジスタは SET_CONFIGURATION にて転送タイプを設定することにより、“READY” に初期化されます。エンドポイント 0 ではホストからの USB リセットを検出すると READY に初期化されます。ステータスステージの正常終了時にも READY にセットされます。
	送信:	基本的には受信時と同様に初期化が行われた場合にセットされます。ただし送信の場合には、FIFO に送信用のデータがセットされてホストからのトークンにตอบสนองしてデータをホストへ正常に転送し ACK を受信した場合にもステータスレジスタは変化せず READY のままとなります。この場合、EPx_Empty_A あるいは EPx_Empty_B 割り込みは正常に送信が終了したことを示します。
001: DATAIN		UDC は、ホストからの受信データがエラーなく受信されたときに、EPx_FULL_A あるいは EPx_FULL_B 割り込みは発生が発生するとともに DATAIN にセットされます。
010: FULL		3.10.8(2)章のステータスレジスタの詳細を参照してください。
011: TX_ERR		UDC は、ホストからの IN トークンに対してデータを送信した後、ホストからの ACK が受け取れなかった場合に、ステータスレジスタに TX_ERR をセットします。この場合 CPU への割り込みは発生しません。ホストはリトライを行い再度 IN トークンを送ってきます。
100: RX_ERR		UDC は、受信したトークンのデータ部にエラー (CRC エラーなど) が合った場合に、ホストに ACK を送らずにステータスレジスタに RX_ERR をセットします。この場合 CPU への割り込みは発生しません。ホストはリトライを行い再度データを UDC に送ってきます。
101: BUSY		このステータスはコントロール転送のみに使用されます。 コントロール転送時にデータステージ終了後、ホストからステータスステージのトークンを受信したとき、セットされます。ステータスステージを終了する準備ができているときは、正常終了し READY に戻ります。バルク転送モードやインターラプト転送モードでは使用しません。
110: STALL		該当エンドポイントがストール状態になったことを示します。 この状態では SETUP トークンを除いて STALL ハンドシェイクを返します。コントロールエンドポイントでは SETUP トークンを受信するとストール状態から READY 状態にもどります。その他のエンドポイントでは、FIFO の初期化コマンドを受け付けると READY に戻ります。 注) Set_Interface リクエストの自動応答処理に関して、インタフェース 4~6 に対するリクエストがリクエストエラー (STALL) とならない可能性があります。問題がある場合は、Set_Interface リクエストの応答を Standard Request Mode <S_INTERFACE> を 1 にセットし、ソフトにて行ってください。
111: INVALID		該当エンドポイントが未構成の状態を示します。 この状態のときは、ホストからのトークンに対して無反応となります。 リセットによる初期化時には、すべてのエンドポイントがこの状態となります。USB リセットを受信するとエンドポイント 0 のみ READY 状態に戻ります。構成されると該当エンドポイントは READY となります。

- FIFO_DISABLE (Bit1)

- 0: FIFO 許可状態
- 1: FIFO 禁止状態

エンドポイント 0 以外の FIFO の状態を示します。

FIFO が禁止状態に設定されているとすべての転送に強制的に NAK ハンドシェークを返します。禁止と許可の設定は COMMAND レジスタのアクセスで行います。転送モードが変更になったとき、このビットは“0”にクリアされます。

- STAGE_ERR (Bit0)

- 0: SUCCESS
- 1: ERROR

このビットは、ステータスステージが正常に終了しなかったことを示します。ステータスステージが正常に終了することなく、新規の SETUP トークンが来たときにセットされます。

このビットが“1”の場合、EPO_STATUS レジスタをリードすることによってこのビットは“0”にクリアされます。それ以降に、正常なコントロール転送やその他の転送が行われても、このビットはリセットされません。クリアするには必ずリードしてください。ソフトウェアの処理が終了し、EOP レジスタをライトすると、UDC はステータスステージへ移行し、ステータスステージ終了を待ちます。この時、ソフトウェアにてステータスステージが正常に終了したことを捕捉する必要がある場合には、新規のリクエストフラグが来たときに、このレジスタをリードすることにより、前回のリクエストが正常に終了したかどうかを把握することができます。また、ソフトウェアにてリクエストに対する処理実行中に、新規のリクエストフラグがアサートされた時にも、このビットをモニターすれば、前回のリクエストが途中で中断したかどうかわかります。

Not Recommended for New Design

3.10.3.14 EPx_SIZEレジスタ (x: 0~7)

このレジスタは以下の機能を備えています。

- 受信時、該当するエンドポイントに対して正常に受信した1パケット分のデータ数を示します。
- 送信時、ペイロードサイズを表示。ただし、ショートパケット送信時はそのレングス値を示します。送信時にはこのレジスタをリードする必要はありません。
- デュアルパケットモードの設定と現在有効なパケットを示します。

このレジスタはエンドポイントごとに用意されており、データサイズの上位 9~7 ビットを表す HIGH レジスタと、下位 6~0 ビットおよび FIFO のコントロールビットからなる LOW レジスタがあります。またデュアルパケットモードをサポートするため、HIGH/LOW レジスタはそれぞれパケット A、B の 2 セットが存在します。

		7	6	5	4	3	2	1	0
EP0_SIZE_L_A (0798H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
EP1_SIZE_L_A (0799H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
EP2_SIZE_L_A (079AH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
EP3_SIZE_L_A (079BH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
EP4_SIZE_L_A (079CH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
EP5_SIZE_L_A (079DH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
EP6_SIZE_L_A (079EH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0
EP7_SIZE_L_A (079FH)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	1	0	0	0	1	0	0	0

注) EP4,5,6,7_SIZE_L_A レジスタは TMP92CH21 では使用しません。

		7	6	5	4	3	2	1	0
EP1_SIZE_L_B (07A1H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP2_SIZE_L_B (07A2H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP3_SIZE_L_B (07A3H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP4_SIZE_L_B (07A4H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP5_SIZE_L_B (07A5H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP6_SIZE_L_B (07A6H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0
EP7_SIZE_L_B (07A7H)	bit Symbol	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	1	0	0	0

注) EP3,4,5,6,7_SIZE_L_BレジスタはTMP92CH21では使用しません。

		7	6	5	4	3	2	1	0
EP1_SIZE_H_A (07A9H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP2_SIZE_H_A (07AAH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP3_SIZE_H_A (07ABH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP4_SIZE_H_A (07ACH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP5_SIZE_H_A (07ADH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP6_SIZE_H_A (07AEH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP7_SIZE_H_A (07AFH)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0

注) EP4,5,6,7_SIZE_H_AレジスタはTMP92CH21では使用しません。

		7	6	5	4	3	2	1	0
EP1_SIZE_H_B (07B1H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP2_SIZE_H_B (07B2H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP3_SIZE_H_B (07B3H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP4_SIZE_H_B (07B4H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP5_SIZE_H_B (07B5H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP6_SIZE_H_B (07B6H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0
EP7_SIZE_H_B (07B7H)	bit Symbol						DATASIZE9	DATASIZE8	DATASIZE7
	Read/Write						R	R	R
	リセット後						0	0	0

注) EP3,4,5,6,7_SIZE_H_B レジスタは TMP92CH21 では使用しません。

- DATASIZE9~7 (H Bit2~0)
- DATASIZE6~0 (L Bit6~0)

受信時は UDC がホストより受信した 1 パケット分のデータ数を示します。このレジスタはホストからの受信が正常終了した場合に更新されます。EP_x_MODE レジスタを設定することでバルク転送/インターラプト転送時は MAX ペイロードサイズ、アイソクロナス転送時は 0 に初期化されます。

- PKT_ACTIVE (L Bit7)
1: OUT_ENABLE
0: OUT_DISABLE

デュアルパケットモードを選択した場合に、このビットはアクセスが許されるパケットを示します。この場合、UDC は 2 つに分割された FIFO のパケット A とパケット B に対して交互にアクセスを行います。UDC 内の FIFO に対する CPU からのアクセスは、このビットを参照した上で行ってください。受信エンドポイントの場合、このビットが“1”のパケットからリードしてください。なお、シングルパケットモード使用時には常にパケット A を使用し、このビットは意味を持ちません。

3.10.3.15 FRAMEレジスタ

このレジスタは SOF トークンに伴ってホストより発行されるフレーム番号を示し、そしてこれはアイソクロナス転送に使用されます。

HIGH/LOW の 2 つレジスタがあり、それぞれフレーム番号の上位と下位を示します。

	7	6	5	4	3	2	1	0	
FRAME_L (07E1H)	bit Symbol	–	T[6]	T[5]	T[4]	T[3]	T[2]	T[1]	T[0]
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
FRAME_H (07E2H)	bit Symbol	T[10]	T[9]	T[8]	T[7]	CREATE	FRAME_STS1	FRAME_STS0
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	1	0

- T[10:7] (H Bit7~4)
- T[6:0] (L Bit6~0)

SOF トークン受信時に更新され、ホストから送られてくるフレーム番号を示します。

- CREATE (H Bit2)
0: DISABLE
1: ENABLE

UDC ホストからの SOF トークンが受信できなかった場合に備え、UDC 内部で SOF を自動発生する機能の許可、不許可を表示します。この機能は COMMAND レジスタをアクセスすることにより設定します。リセットによってこのビットは“0”に初期化されます。

- FRAME STS1-0 (H Bit1, 0)
00: BEFORE
01: VALID
10: LOST

これらのビットは、FRAME レジスタに表示されたフレーム番号が SOF トークン受信時にセットされた正しい値であるかどうかを示します。LOST 状態では正しいフレーム番号は不明です。VALID 状態では FRAME レジスタに表示された番号は正しいです。BEFORE 状態では SOF の自動発生機能を使用しているときに、内部で SOF が発生した時刻より USB ホストから SOF トークンを受信した時点までを表示しています。フレーム番号としては FRAME レジスタに表示された物から一つ進んだ値が正しい値です。

3.10.3.16 ADDRESSレジスタ

エミュレーション時に USB ホストより指定されるデバイスアドレスを示します。

UDC からリードすることにより現在のアドレス設定を確認できます。

	7	6	5	4	3	2	1	0
ADDRESS (07E3H)	bit Symbol	A6	A5	A4	A3	A2	A1	A0
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0

- A6~0 (Bit6~0)

UDC はすべてのパケット ID 内のアドレスとこのレジスタの内容を比較して有効なトランザクションかどうかを判断します。USB リセットにより、00H に初期化されます。

3.10.3.17 EOPレジスタ

このレジスタは、コントロール転送のデータフェーズ終了時、またバルク IN、インターラプト IN 転送でのショートパケット送信時に使用します。

	7	6	5	4	3	2	1	0
EOP (07CFH) bit Symbol	EP7_EOPB	EP6_EOPB	EP5_EOPB	EP4_EOPB	EP3_EOPB	EP2_EOPB	EP1_EOPB	EP0_EOPB
Read/Write	W	W	W	W	W	W	W	W
リセット後	1	1	1	1	1	1	1	1

注 1) EOP<EP7_EOPB、EP6_EOPB、EP5_EOPB、EP4_EOPB>レジスタは TMP92CH21 では使用しません。

注 2) このレジスタにライトする場合、12MHz の 5 クロック分のリカバリタイムを必要とします。このレジスタライト後、420ns 以上のダミー命令を挿入してください。

コントロール転送のデータフェーズにおいて、送信すべきデータを FIFO に全てライトした時、または、受信すべきデータを全てリードした時、EP0_EOPB ビットに 0 をライトしてください。UDC は、この信号をもってステータスステージ終了へと移行します。

バルク IN、インターラプト IN エンドポイントにおいて、ショートパケットを送信する場合、送信するデータのライト終了信号として使用します。この時、ライトしたエンドポイントに対応する EOPB ビットに 0 をライトしてください。必要のないビットには 1 をライトしてください。

3.10.3.18 Port Statusレジスタ

このレジスタは、プリンタクラス対応のリクエスト受信時に使用します。
GET_PORT_STATUS リクエスト受信には、このレジスタに格納されているデータを使用することによって自動的に応答します。

	7	6	5	4	3	2	1	0
Port Status (07E0H)								
bit Symbol	Reserved7	Reserved6	PaperError	Select	NotError	Reserved2	Reserved1	Reserved0
Read/Write	W	W	W	W	W	W	W	W
リセット後	0	0	0	1	1	0	0	0

注)TMP92CH21 ではプリンタクラスに対応していないためこのレジスタは使用しません。

リクエスト受信前にデータがセットされている必要があります。このレジスタは、全ビットライト可能ですので、Reserved ビットには0をライトしてください。
このレジスタはリセットにより、“18H” に初期化されます。

3.10.3.19 Standard Request Modeレジスタ

このレジスタは、スタンダードリクエストに対する応答をハードウェアで自動的に行うか、ソフトウェアにて制御するかを設定するレジスタです。各ビットがリクエストの種類を表します。

対象ビットを“0”にリセットすることにより、ハードウェアによる自動応答となり、“1”にセットすることにより、ソフトウェアでの制御となります。自動応答時にリクエストを受信した場合には、割り込み信号 (INT_SETUP、INT_ENDPOINT0、INT_STATUS、INT_STATUSNAK) をディセーブルし、ソフトウェア制御時にリクエストを受信した場合には、割り込み信号をアサートし、制御権をソフトウェアに移します。

注) Set_Interface リクエストの自動応答処理に関して、インタフェース 4-6 に対するリクエストがリクエストエラー (STALL) とならない可能性があります。問題がある場合は、Set_Interface リクエストの応答を Standard Request Mode<S_INTERFACE>を “1” にセットし、ソフトにて行ってください。

	7	6	5	4	3	2	1	0
Standard Request Mode (07D8H)								
bit Symbol	S_Interface	G_Interface	S_Config	G_Config	G_Descript	S_Feature	C_Feature	G_Status
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

- G_Status (Bit 0) : GET_STATUS
- C_Feature (Bit 1) : CLEAR_FEATURE
- S_Feature (Bit 2) : SET_FEATURE
- G_Descript (Bit 3) : GET_DESCRIPTOR
- G_Config (Bit 4) : GET_CONFIGURATION
- S_Config (Bit 5) : SET_CONFIGURATION
- G_Interface (Bit 6) : GET_INTERFACE
- S_Intetface (Bit 7) : SET_INTERFACE

3.10.3.20 Request Modeレジスタ

このレジスタは、クラスリクエストに対する応答をハードウェアで自動的に行うか、ソフトウェアにて制御するかを設定するレジスタです。各ビットがリクエストの種類を表します。

対象ビットを0にリセットすることにより、ハードウェアによる自動応答となり、1にセットすることにより、ソフトウェアでの制御となります。自動応答時にリクエストを受信した場合には、割り込み信号（INT_SETUP、INT_ENDPOINT0、INT_STATUS、INT_STATUSNAK）をディセーブルし、ソフトウェア制御時にリクエストを受信した場合には、割り込み信号をアサートし、制御権をソフトウェアに移します。

	7	6	5	4	3	2	1	0
Request Mode (07D9H)								
bit Symbol		Soft_Reset	G_Port_Sts	G_DeviceId				
Read/Write		R/W	R/W	R/W				
リセット後		0	0	0				

注)TMP92CH21 では、プリンタクラスは自動応答に対応していないため、このレジスタは使用しません。

- — (Bit 0~3) : Reserved
- G_DeviceId (Bit 4) : GET_DEVICE_ID
- G_Port_Sts (Bit 5) : GET_PORT_STATUS
- Soft_Reset (Bit 6) : SOFT_RESET
- — (Bit 7) : Reserved

注1) SET_ADDRESS リクエストについては、自動応答のみのサポートとなります。

注2) SET_DESCRIPTOR、SYNCH_FRAMEについては、ソフトウェアでのみの制御となります。

注3) ベンダーリクエスト、プリンタクラスなどのクラスリクエストについてもソフトウェアでのみの制御となります。

注4) INT_SETUP、ENDPOINT0、STATUS、STATUSNAKの割り込みは、ソフトウェア制御時のみアサートします。

3.10.3.21 COMMANDレジスタ

このレジスタは、エンドポイントごとにコマンドを設定するレジスタです。ビット 6~4にてエンドポイントの選択を、ビット 3~0 でコマンドの種類を設定することができます。サポートしていないエンドポイントに対して発行されたコマンドは無視されます。

	7	6	5	4	3	2	1	0
COMMAND (07D0H)								
bit Symbol		EP[2]	EP[1]	EP[0]	Command[3]	Command[2]	Command[1]	Command[0]
Read/Write		W	W	W	W	W	W	W
リセット後		0	0	0	0	0	0	0

注) このレジスタにライトする場合、12MHz の 5 クロック分のリカバリタイムを必要とします。このレジスタライト後、420ns 以上のダミー命令を挿入してください。

- EP[2:0] (Bit 6~4)

- 000: エンドポイント 0 を選択します
- 001: エンドポイント 1 を選択します
- 010: エンドポイント 2 を選択します
- 011: エンドポイント 3 を選択します

- COMMAND[3:0] (Bit 3~0)

- 0000: Reserved
- 0001: Reserved
- 0010: SET_DATA0

該当エンドポイントのトグルシーケンスビットをクリアします。(EP0~3) このコマンドが入力されると該当エンドポイントのトグルシーケンスビットを強制的に 0 に設定します。転送によるデータトグルの更新は UDC により自動的に行われますが、エンドポイントのトグルシーケンスビットを強制的に 0 に戻す場合は、このコマンドを実行する必要があります。コントロール転送とアイソクロナス転送では、すべてハードウェアで制御するため、このコマンドを実行する必要はありません。

- 0011: RESET

該当エンドポイントをリセットします。(EP0~3) このコマンドが入力されると該当エンドポイントの初期化を行います。

CLEAR_FEATURE リクエストによるエンドポイントの STALL をクリアする場合には、このコマンドを実行してください。(転送のモードには影響を与えません。)

このコマンドによって初期化される項目は以下の通りです。

- 該当エンドポイントのトグルシーケンスビットをクリアします
- 該当エンドポイントの STALL をクリアします
- FIFO_ENABLE 状態に設定します。
- FIFO データのクリアします。

- 0100: STALL

該当エンドポイントを STALL させます。(EP0~3) デバイスリクエストに対する応答として、STALL ハンドシェイクを返信する必要がある場合には、このコマンドを実行してください。

- 0101: INVALID

該当エンドポイントを使用禁止状態にします。(EP1~3) UDC は、USB ホストからの USB_RESET 信号を検出すると、自動的にエンドポイント 0 を除くすべてのエンドポイントを使用禁止状態にします。デバイスリクエストによりコンフィグ、インタフェースが変更された場合は、使用しないエンドポイントを使用禁止状態にする必要があります。

注) アイソクロナス転送モードに設定されているエンドポイントを未使用にする場合は、アイソクロナス以外の転送モードに変更してから、COMMAND レジスタによって未使用にしてください。

- 0110: CREATE_SOF

擬似 SOF 発生機能をイネーブルにします。(EP0) デフォルトは、ディセーブルに設定されており、アイソクロナス転送使用時に必要となります。詳細については、弊社技術部までお問い合わせください。

- 0111: FIFO_DISABLE

該当エンドポイントの FIFO をディセーブルにします。(EP1~3) 外部からこのコマンドがセットされると、該当エンドポイントに対する転送は、すべて NAK を返信します。これが、外部からセットされたとき、パケットを受信中であれば、次のトークンから有効となります。転送実行中のパケットには影響を与えません。

1000: FIFO_ENABLE	該当エンドポイントの FIFO をイネーブルにします。(EP1~3) FIFO_DISABLE コマンドによって FIFO をディセーブルにしたとき、ディセーブル状態を解除するのに使用します。この場合もパケットを受信中であれば、次のトークンから有効となります。ホストからの USB_RESET 検出、SET_CONFIG、SET_INTERFACE リクエストによって転送モード設定を行ったとき、および RESET コマンド実行時に、該当エンドポイントは FIFO_ENABLE の状態になります。
1001: INIT_DESCRIPTOR	システム動作中にディスクリプタ RAM を書き替えた場合に使用します。(EP0) UDC はホストコントローラからの USB_RESET を検出すると、自動的にディスクリプタ RAM の中身を読み込み、各種設定を行います。システムが動作中にディスクリプタ RAM を変更した場合には、再度設定を読み直す必要がありますので、このコマンドを実行してください。USB ホストに接続した際は、自動的にリードを開始しますので、このコマンドを実行する必要はありません。
1010: FIFO_CLEAR	該当エンドポイントの FIFO を初期化します。(EP1~3) ただし、EPx_STATUS<TOGGLE>は初期化しません。 ソフトウェアによるリセットの場合には、このコマンドを実行してください このコマンドによって初期化される項目は以下の通りです。 <ul style="list-style-type: none">• 該当エンドポイントの STALL をクリアします• FIFO_ENABLE 状態に設定します。• FIFO のデータをクリアします。
1011: STALL_CLEAR	該当エンドポイントの STALL をクリアします。(EP1~3) エンドポイントの STALL のみをクリアする場合には、このコマンドを実行してください。

Not Recommended for New Design

3.10.3.22 INT_Controlレジスタ

このレジスタにライトする値により、INT_STATUS_NAK 割り込みをディセーブル、イネーブルにします。

外部リセットによりディセーブルに初期化されます。また、セットアップパケットを受信時にディセーブルとします。

	7	6	5	4	3	2	1	0
INT_Control (07D6H)								Status_nak
bit Symbol								
Read/Write								R/W
リセット後								0

INT_STATUSNAK 割り込みは、コントロールリード転送において、ホストが wLength で指定したデータ長よりも、少ないデータ長でデータフェーズを終了した場合に、デバイス側とステージ管理の同期がとれなくなるため、ステータスステージに移行したことを知らせる目的で追加してあります。必要な場合は、セットアップパケット受信後にイネーブルにしてください。

- STATUS_NAK (Bit0)

- 0: INT_STATUS_NAK 割り込み ディセーブル
- 1: INT_STATUS_NAK 割り込み イネーブル

3.10.3.23 USB STATEレジスタ

USB ホストとの通信における、現在のデバイスの状態を表示します。

	7	6	5	4	3	2	1	0
USB STATE (07CEH)						Configured	Addressed	Default
bit Symbol								
Read/Write						R/W	R	R
リセット後						0	0	1

注) このレジスタにライトする場合、12MHz の 5 クロック分のリカバリタイムを必要とします。このレジスタライト後、420ns 以上のダミー命令を挿入してください。

UDC 内部では、この Configured、Addressed、Default ビットを参照して各デバイスリクエストへの応答を管理しています。SET_CONFIG リクエストに対する処理をソフトウェアで行う場合、このレジスタに現在の状態をライトする必要があります。ホストよりコンフィグ 0 が指定された場合、Unconfigured となり、Addressed ステータスに戻る必要があります。このため、コンフィグ 0 が指定された場合には、ビット 2 に 0 をライトする必要があります。

Configured ビット (ビット 2) に 0 がライトされたとき、ハードウェアにて Addressed ビット (ビット 1) を自動的に 1 にセットします。デバイスがサポートしているコンフィグ値をホストから指定されたとき、デバイスはそのコンフィグディスクリプタ中のエンドポイントディスクリプタにて指定されている値で、各エンドポイントのモード設定を行う必要があります。

モード設定終了後、EOP レジスタをアクセスする前に、この Configured ビット (ビット 2) を 1 にセットしてください。このビットが 1 にセットされたとき、Addressed ビット (ビット 1) は自動的に 0 にリセットされます。

- Bit2~0

- 001: Default
- 010: Addressed
- 100: Configured

3.10.3.24 EPx_MODEレジスタ (x is1~3)

エンドポイントの転送モードを設定するレジスタです。(EP1~3)

SET_CONFIG、SET_INTERFACE の処理をソフトウェアでの制御とした場合、指定されたコンフィグ、あるいはインタフェースにて構成を行う必要がありますので、その際にはこのレジスタをアクセスしてモード設定を行ってください。

	7	6	5	4	3	2	1	0	
EP1_MODE (0789H)	bit Symbol			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
	Read/Write			R/W	R/W	R/W	R/W	R/W	R/W
	リセット後			0	0	0	0	0	0
EP2_MODE (078AH)	bit Symbol			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
	Read/Write			R/W	R/W	R/W	R/W	R/W	R/W
	リセット後			0	0	0	0	0	0
EP3_MODE (078BH)	bit Symbol			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
	Read/Write			R/W	R/W	R/W	R/W	R/W	R/W
	リセット後			0	0	0	0	0	0

ライト可能なタイミングについて制約を設けています。

SET_CONFIG、SET_INTERFACE リクエストに対する処理をソフトウェア制御とした場合、INT_SETUP 割り込みを受信してから、EOP レジスタをアクセスするまでの間にライトを終了させてください。その他のタイミングではライト禁止とし、無視します。

注 1) このレジスタにライトする場合、12MHz の 5 クロック分のリカバリタイムを必要とします。このレジスタ
ライト後、420ns 以上のダミー命令を挿入してください。

注 2) このレジスタに書き込みを行った場合、COMMAND レジスタの RESET と同等の初期化が行われます。

- DIRECTION (Bit0)

- 0: OUT ホストからデバイスへの向き
- 1: IN デバイスからホストへの向き

- MODE (Bit1, 2)

- 00: コントロール転送
- 01: アイソクロナス転送
- 10: バルク転送、またはインターラプト転送
- 11: インターラプト (トグルなし)

注) アイソクロナス転送モードに設定されているエンドポイントを未使用にする場合は、アイソクロナス以外の転送モードに変更してから、COMMAND レジスタによって未使用にしてください。

- PAYLOAD (Bit3, 4, 5)

- 000: 8 バイト
- 001: 16 バイト
- 010: 32 バイト
- 011: 64 バイト
- 100: 128 バイト
- 101: 256 バイト
- 110: 512 バイト
- 111: 1023 バイト (注 1)

注 3) アイソクロナス転送の最大パケットサイズは、1023 バイトです。

注 4) ディスクリプタの wMaXPacketSize に 8、16、…、1023 以外を指定した場合、Set_Configuration、Set_Interface の自動応答によって、ディスクリプタ値より大きい Payload が設定されます。

- Others (Bit6, 7) Reserved

3.10.3.25 EPx_SINGLEレジスタ

各エンドポイントの FIFO のモード (SINGLE/DUAL) を設定するレジスタです。

	7	6	5	4	3	2	1	0
EPx_SINGLE1 (07D1H)								
bit Symbol	EP3_SELECT	EP2_SELECT	EP1_SELECT		EP3_SINGLE	EP2_SINGLE	EP1_SINGLE	
Read/Write	R/W	R/W	R/W		R/W	R/W	R/W	
リセット後	0	0	0		0	0	0	

注) エンドポイント 3 は TMP92CH21 ではシングルモードのみ対応しています。

Bit 0: 未使用

- 1: EP1_SINGLE
- 2: EP2_SINGLE
- 3: EP3_SINGLE
- 4: 未使用
- 5: EP1_SELECT
- 6: EP2_SELECT
- 7: EP3_SELECT

EPx_SINGLE ビットは、EPx_SELECT ビットが 1 のときに以下の内容が有効になります。

0: DUAL モード 1: SINGLE モード

EPx_SELECT ビットは、EPx_SINGLE ビットの内容を有効にするときに 1 にセットしてください。

0: 無効 1: 有効

3.10.3.26 EPx_BCSレジスタ

各エンドポイントの FIFO への CPU アクセスモードを有効にするレジスタです。

	7	6	5	4	3	2	1	0
EPx_BCS1 (07D3H)								
bit Symbol	EP3_SELECT	EP2_SELECT	EP1_SELECT		EP3_BCS	EP2_BCS	EP1_BCS	
Read/Write	R/W	R/W	R/W		R/W	R/W	R/W	
リセット後	0	0	0		0	0	0	

Bit 0: 未使用

- 1: EP1_BCS
- 2: EP2_BCS
- 3: EP3_BCS
- 4: 未使用
- 5: EP1_SELECT
- 6: EP2_SELECT
- 7: EP3_SELECT

EPx_BCS ビットは、エンドポイント使用の有無にかかわらず、必ず "1" に設定してください。

0: Reserved 1: CPU アクセス

EPx_SELECT ビットは、EPx_BCS ビットの内容を有効にするときに 1 にセットしてください。

0: 無効 1: 有効

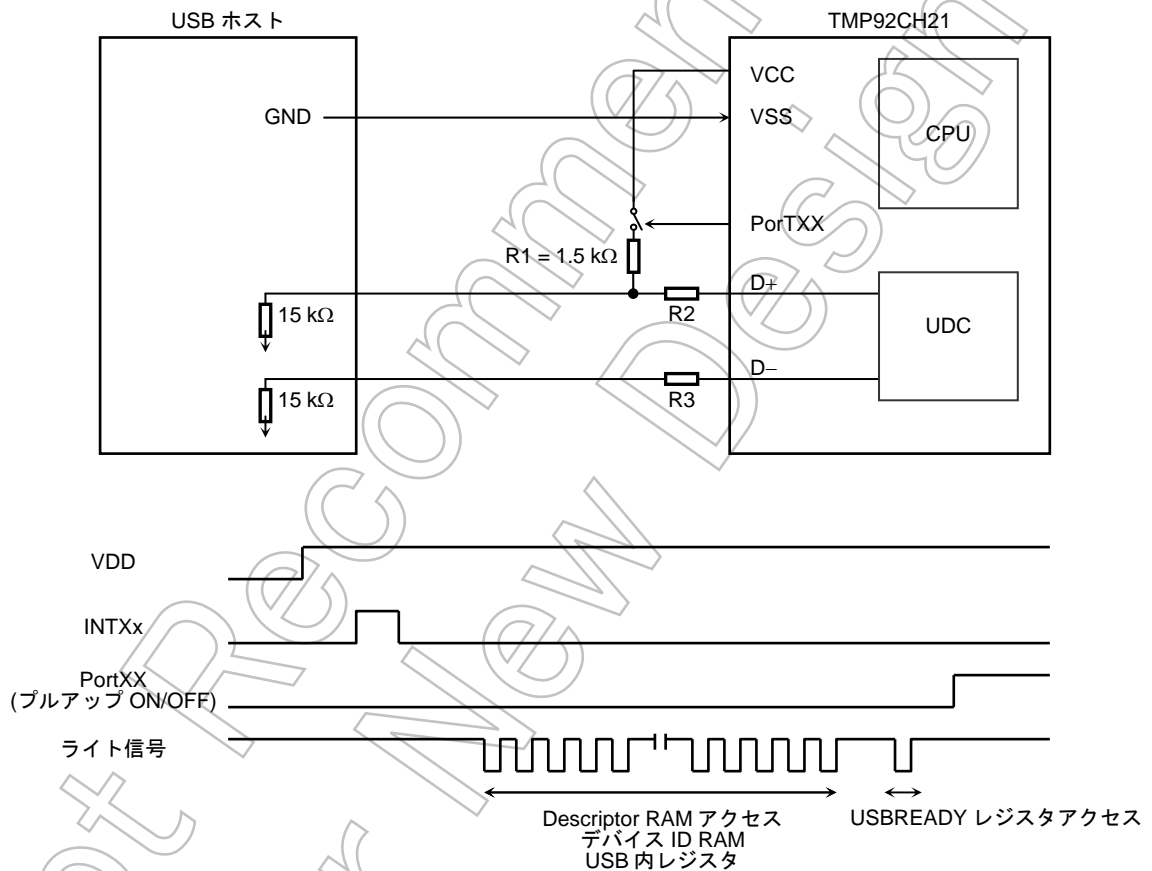
3.10.3.27 USBREADYレジスタ

これは、ディスクリプタ RAM に、データのライトが終了したことを UDC に知らせるためのレジスタです。ディスクリプタ RAM にデータを格納後、必ず Bit0 に“0”をライトしてください。

	7	6	5	4	3	2	1	0
USBREADY (07E6H)								USBREADY
bit Symbol								USBREADY
Read/Write								R/W
リセット後								0

Bit0: USBREADY

- 0: ディスクリプタ RAM へのライトが終了したことを示します。
- 1: ディスクリプタ RAM へのライトが可能であることを示します。
(ただし、ホストと接続されている状態でのディスクリプタ RAM ライトは行わないでください。)



USB ケーブルからの VDD 信号のレベルを検出し、初期化するシーケンスを入れてください。このとき、UDC は、USB_RESET 解除後、USBREADY レジスタに“0”をライトするまでは、USB_RESET 信号の検出をディセーブルします。

これは、D+信号上のプルアップ抵抗を制御信号にてコントロールする場合において、プルアップ抵抗が OFF 状態でホストと接続されているとき、ホスト側のプルダウン抵抗により USB_RESET 信号と等価な状態となるため、USBREADY レジスタに“0”をライトするまでは、USB_RESET の検出をしないようにしてあります。

- 注1) プルアップ抵抗およびコントロールスイッチは TMP92CH21 の外部で必要になります。
- 注2) 上記は通信時の接続例となります。コネクタ接続検出、未使用・未接続時の貫通電流対策の回路が別途必要となります。

3.10.3.28 Set Descriptor STALLレジスタ

このレジスタは、Set Descriptor リクエストに対して、データステージまたはステータスステージで自動的に STALL を返送するかどうかを設定するレジスタです。

	7	6	5	4	3	2	1	0
Set Descriptor STALL (07E8H)								S_D_STALL
bit Symbol								
Read/Write								W
リセット後								0

Bit0: S_D_STALL

0: ソフトウェア制御 (デフォルト)

1: 自動 STALL

3.10.3.29 Descriptor RAM

このレジスタは、ディスクリプタを RAM に格納する際に使用します。ディスクリプタのサイズは、384 バイトです。ただし、ディスクリプタを格納する際は、ディスクリプタ RAM 構成例に従ったフォーマットでライトする必要があります。

	7	6	5	4	3	2	1	0
Descriptor RAM (0500H) ↑ (067FH)	D7	D6	D5	D4	D3	D2	D1	D0
bit Symbol								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	不定	不定	不定	不定	不定	不定	不定	不定

RD/WR 可能なタイミングは、USB_RESET 検出前、および、SET_DESCRIPTOR リクエスト処理中のみです。

この SET_DESCRIPTOR リクエスト処理期間は、INT_SETUP アサートから、EOP レジスタをアクセスするまでです。また、SET_DESCRIPTOR にてディスクリプタの書き替え要求があった場合、以下のシーケンスでリクエストを処理してください。

- 1) SET_DESCRIPTOR リクエストで転送されたディスクリプタをパケットごとにリードしてください。
- 2) 最後のパケット分のディスクリプタをリード終了したら、ディスクリプタ用の RAM に全ディスクリプタをライトしてください。
- 3) ライト終了後、COMMAND レジスタの INIT_DESCRIPTOR を実行してください。
- 4) 以上の処理が終了しましたら、EOP レジスタをアクセスし、ステータスステージを終了させます。
- 5) INT_STATUS 割り込みを受信したら、ステータスステージの正常終了を表します。

USB_RESET を検出すると自動的にリードを開始しますので、ホストに接続した際は、INIT_DESCRIPTOR コマンドを実行する必要はありません。

3.10.4 ディスクリプタRAM

USB 仕様で定義されるディスクリプタを格納するエリアです。デバイス、コンフィグ、インタフェース、エンドポイント、ストリングディスクリプタを以下のフォーマットで RAM にセットする必要があります。

Device Descriptor	18 バイト
Config1 Descriptor (Interfaces、Endpoint)	255 バイト以下
Config2 Descriptor (Interfaces、Endpoint)	255 バイト以下
String0 Length	1 バイト
String 1 Length	1 バイト
String 2 Length	1 バイト
String 3 Length	1 バイト
String 0 Descriptor	63 バイト以下
String 1 Descriptor	63 バイト以下
String 2 Descriptor	63 バイト以下
String 3 Descriptor	63 バイト以下

注 1) String Descriptor をサポートしない場合、StringxLength のエリアは、サイズ 0 としてください。未サポートストリングディスクリプタに対しては、STALL を返信します

注 2) Config Descriptor の説明はディスクリプタ例を参照してください。

注 3) UDC 内部のシーケンサにてコンフィグ数、インタフェース数、エンドポイント数を決定しますので、サポートするエンドポイント数が少なければ、アドレスを詰めて割り当ててください。

注 4) この機能はディスクリプタを RAM として格納する場合のみ効果的です。

注 5) RAM サイズは全部で 384 バイトです。

注 6) ディスクリプタ RAM の RD/WR での可能なタイミングは USB_RESET および SET_DESCRIPTOR リクエストの処理前のみです。(このタイミング以外のアクセスを禁止します。) ライトは USB ホストに接続、および SET_DESCRIPTOR リクエストの処理の前に終了しなければなりません。この SET_DESCRIPTOR リクエスト処理時間は INT_SETUP アサートから EOP レジスタのアクセスまでの間となっています。

注 7) 標準ディスクリプタ以外のクラス・ディスクリプタやベンダー・ディスクリプタなどは、自動応答にて対応できません。

ディスクリプタ RAM 設定例:

アドレス	DATA	Description	Description
Device Descriptor			
500H	12H	bLength	
501H	01H	bDescriptorType	Device Descriptor
502H	00H	bcdUSB (L)	USB Spec 1.00
503H	01H	bcdUSB (H)	lfc's specify own
504H	00H	bDeviceClass	
505H	00H	bDeviceSubClass	
506H	00H	bDeviceProtocol	
507H	08H	bMAXPacketSize0	
508H	6CH	bVendor (L)	Toshiba
509H	04H	bVendor (H)	
50AH	01H	idProduct (L)	
50BH	10H	idProduct (H)	
50CH	00H	bcdDevice (L)	Release 1.00
50DH	01H	bcdDevice (H)	
50EH	00H	bManufacture	
50FH	00H	iProduct	
510H	00H	bSerialNumber	
511H	01H	bNumConfiguration	
Config1 Descriptor			
512H	09H	bLength	
513H	02H	bDescriptorType	Config Descriptor
514H	4EH	wtotalLength (L)	78 byte
515H	00H	wtotalLength (H)	
516H	01H	bNumInterfaces	
517H	01H	bConfigurationValue	
518H	00H	iConfiguration	
519H	A0H	bmAttributes	Bus powered-remote wakeup
51AH	31H	MaxPower	98 mA
Interface0 Descriptor AlternateSetting0			
51BH	09H	bLength	
51CH	04H	bDescriptorType	Interface Descriptor
51DH	00H	bInterfaceNumber	
51EH	00H	bAlternateSetting	AlternateSetting0
51FH	01H	bNumEndpoints	
520H	07H	bInterfaceClass	
521H	01H	bInterfaceSubClass	
522H	01H	bInterfaceProtocol	
523H	00H	iInterface	
Endpoint1 Descriptor			
524H	07H	bLength	
525H	05H	bDescriptorType	Endpoint Descriptor
526H	01H	bEndpointAddress	OUT
527H	02H	bmAttributes	BULK
528H	40H	wMaxpacketSize (L)	64 byte
529H	00H	wMaxpacketSize (H)	
52AH	00H	bInterval	

アドレス	DATA	Description	Description
Interface0 Descriptor AlternateSetting1			
52BH	09H	bLength	
52CH	04H	bDescriptorType	Interface Descriptor
52DH	00H	bInterfaceNumber	
52EH	01H	bAlternateSetting	AlternateSetting1
52FH	02H	bNumEndpoints	
530H	07H	bInterfaceClass	
531H	01H	bInterfaceSubClass	
532H	02H	bInterfaceProtocol	
533H	00H	iInterface	
Endpoint1 Descriptor			
534H	07H	bLength	
535H	05H	bDescriptorType	EndpointDescriptor
536H	01H	bEndpointAddress	OUT
537H	02H	bmAttributes	BULK
538H	40H	wMaxPacketSize (L)	64 byte
539H	00H	wMaxPacketSize (H)	
53AH	00H	bInterval	
Endpoint2 Descriptor			
53BH	07H	bLength	
53CH	05H	bDescriptorType	Endpoint Descriptor
53DH	82H	bEndpointAddress	IN
53EH	02H	bmAttributes	BULK
53FH	40H	wMaxpacketSize (L)	64 byte
540H	00H	wMaxpacketSize (H)	
541H	00H	bInterval	
Interface0 Descriptor AlternateSetting2			
542H	09H	bLength	
543H	04H	bDescriptorType	Interface Descriptor
544H	00H	bInterfaceNumber	
545H	02H	bAlternateSetting	AlternateSetting2
546H	03H	bNumEndpoints	
547H	FFH	bInterfaceClass	
548H	00H	bInterfaceSubClass	
549H	FFH	bInterfaceProtocol	
54AH	00H	iInterface	
Endpoint1 Descriptor			
54BH	07H	bLength	
54CH	05H	bDescriptorType	Endpoint Descriptor
54DH	01H	bEndpointAddress	OUT
54EH	02H	bmAttributes	BULK
54FH	40H	wMaxpacketSize (L)	64 byte
550H	00H	wMaxpacketSize (H)	
551H	00H	bInterval	
Endpoint2 Descriptor			
552H	07H	bLength	
553H	05H	bDESCRIPTORType	Endpoint Descriptor
554H	82H	bEndpointAddress	IN
555H	02H	bmAttributes	BULK
556H	40H	wMaxpacketSize (L)	64 byte
557H	00H	wMaxpacketSize (H)	
558H	00H	bInterval	

アドレス	DATA	Description	Description
Endpoint3 Descriptor			
559H	07H	bLength	
55AH	05H	bDESCRIPTORType	ENDPOINT DESCRIPTOR
55BH	83H	bEndpointAddress	IN
55CH	03H	bmAttributes	INTERRUPT
55DH	08H	wMaxpacketSize (L)	8 byte
55EH	00H	wMaxpacketSize (H)	
55FH	01H	bInterval	1 ms
String Descriptor Length SETUP Area			
560H	04H	bLength	Length of String Descriptor0
561H	10H	bLength	Length of String Descriptor 1
562H	00H	bLength	Length of String Descriptor 2
563H	00H	bLength	Length of String Descriptor 3
String Descriptor0			
564H	04H	bLength	
565H	03H	bDescriptorType	String Descriptor
566H	09H	bString	Language ID 0x0409
567H	04H	bString	
String Descriptor1			
568H	10H	bLength	
569H	03H	bDescriptorType	String Descriptor
56AH	00H	bString	(Toshiba)
56BH	54H	bString	T
56CH	00H	bString	
56DH	6FH	bString	o
56EH	00H	bString	
56FH	73H	bString	s
570H	00H	bString	
571H	68H	bString	h
572H	00H	bString	
573H	69H	bString	i
574H	00H	bString	
575H	62H	bString	b
576H	00H	bString	
577H	61H	bString	a
String Descriptor2			
String Descriptor3			

3.10.5 デバイスリクエスト

3.10.5.1 スタンダードリクエスト

UDC はスタンダードリクエストについて、自動応答をサポートしております。

(1) GET_STATUS リクエスト

このリクエストにより、指定された受信側のステータスを自動的に返信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
1000000B 1000001B 1000010B	GET_STATUS	0	0 Interface Endpoint	2	Device, Interface あるいは Endpoint Status

デバイスへのリクエストについては、以下の情報をリトルエンディアン順に返信します。

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	Remote Wakeup	Self Power
D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0

- RemoteWakeup 現在のリモートウェイクアップの設定を返信します。このビットは、SET_FEATURE、CLEAR_FEATURE リクエストによりセット、リセットされます。デフォルトは0となります。
- SelfPower 現在の電源設定を返信します。コンフィグディスクリプタ内の bmAttributes フィールドに設定している値に応じて、Self、BusPower どちらかの値を返信します。

インタフェースへのリクエストについては、2 バイト分 00H を返信します。

エンドポイントへのリクエストについては、以下の情報をリトルエンディアン順に返信します。

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	HALT
D15	D14	D13	D12	D11	D10	D9	D8
0	0	0	0	0	0	0	0

- HALT 選択されたエンドポイントの HALT ステータスを返信します。

(2) CLEAR_FEATURE リクエスト

このリクエストにより、特定の機能をクリアまたはディセーブルします。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B 00000001B 00000010B	CLEAR_ FEATURE	Feature Selector	0 Interface Endpoint	0	なし

- 受信側デバイス

FeatureSelector: 1 現在のリモートウェイクアップの設定をディセーブルします。

FeatureSelector: 1 以外 STALL します。

- 受信側インタフェース

STALL します。

- 受信側エンドポイント

FeatureSelector: 0 該当エンドポイントの HALT をクリアします。

注) HALT のクリアとしては、以下の設定を行います。

・FIFO の初期化

・トグルシーケンスビットのクリア

・STALL 状態のクリア

FeatureSelector: 0 以外 STALL します。

注) 存在しないエンドポイントへのリクエストの場合、STALL します。

(3) SET_FEATURE リクエスト

このリクエストにより、特定の機能を設定またはイネーブルします。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B 00000001B 00000010B	SET_ FEATURE	Feature Selector	0 Interface Endpoint	0	なし

- 受信側デバイス

FeatureSelector: 1 現在のリモートウェイクアップの設定をイネーブルにします。

FeatureSelector: 1 以外 STALL します。

- 受信側インタフェース

STALL します。

- 受信側エンドポイント

FeatureSelector: 0 該当エンドポイントをホルトさせます。

FeatureSelector: 0 以外 STALL します。

注) 存在しないエンドポイントへのリクエストの場合、STALL します。

(4) SET_ADDRESS リクエスト

このリクエストにより、デバイスアドレスを設定します。後続のリクエストは、ここで設定されたデバイスアドレスを使用して応答します。

このリクエストのステータスステージが正常に完了するまでは、以前のデバイスアドレスで応答します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B	SET_ADDRESS	Device Address	0	0	なし

(5) GET_DESCRIPTOR リクエスト

このリクエストにより、指定されたディスクリプタを送信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10000000B	GET_DESCRIPTOR	Descriptor Type および Descriptor Index	0 あるいは Language ID	Descriptor Length	Descriptor

- デバイス ディスクリプタ RAM に格納されたデバイスディスクリプタを送信します。
ディスクリプタ ROM を使用する場合には、IdProduct、bcdDevice フィールドをレジスタとして用意してありますので、ROM としてディスクリプタデータが確定していても、このエリアのみ書き替えが可能となっております。使用する場合は USB ホストと接続する前にこのレジスタにアクセスし、データを確定させてください。
- コンフィグ ディスクリプタ RAM に格納されたコンフィグディスクリプタを送信します。
このとき、コンフィグディスクリプタの次に続くインタフェース、エンドポイントディスクリプタについても続けて送信します。
- スtring wValue フィールドの下位バイトで指定されたインデックスの String ディスクリプタを送信します。

注) Get_Descriptor の自動応答によって wLength とディスクリプタ長のうち、短いデータ長のディスクリプタを送信します。

(6) SET_DESCRIPTOR リクエスト

このリクエストにより、特定の機能を設定またはイネーブルします。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B	SET_DESCRIPTOR	Descriptor Type および Descriptor Index	0 あるいは Language ID	Descriptor Length	Descriptor

このリクエストの自動応答については、未サポートです。

INT_SETUP 割り込みに応じて、受信したリクエストが、SET_DESCRIPTOR リクエストであることを判別した場合、DATASET レジスタの EP0_DSET_A ビットが 1 になっているのを確認し、データを引き取ってください。終了時には、EOP レジスタをアクセスし、EP0_EOPB ビットに “0” をライトするとステータスステージを終了します。処理としては、ベンダーリクエストと同様になりますので、詳細については、ベンダーリクエストの項を参照してください。

(7) GET_CONFIGURATION リクエスト

このリクエストにより、現在のデバイスのコンフィギュレーション値を送信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10000000B	GET_CONFIG	0	0	1	Configuration Value

未構成時には、“0” を返信します。構成時には、そのコンフィギュレーション値を返信します。

(8) SET_CONFIGURATION リクエスト

このリクエストにより、デバイス構成を設定します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000000B	SET_CONFIG	Configuration Value	0	0	なし

wValue フィールドの下位バイトで指定された値でコンフィギュレーションします。この値が “0” のときは、未構成になります。

(9) GET_INTERFACE リクエスト

このリクエストにより、指定されたインタフェースで設定されている AlternateSetting 値を返信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10000001B	GET_INTERFACE	0	Interface	1	AlternateSetting

指定されたインタフェースが存在しない場合、STALLします。

注) インタフェース内にエンドポイントが1つも無いようなディスクリプタ構成の場合には、GET_INTERFACE リクエストへはハードウェア自動応答対応ができないので、ソフトウェア応答をしてください。

(10) SET_INTERFACE リクエスト

このリクエストにより、指定したインタフェースにおける AlternateSetting を選択します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00000001B	SET_INTERFACE	AlternateSetting	Interface	0	なし

指定されたインタフェースが存在しない場合、STALLします。

注) インタフェース内にエンドポイントが1つも無いようなディスクリプタ構成の場合には、SET_INTERFACE リクエストへはハードウェア自動応答対応ができないので、ソフトウェア応答をしてください。

(11) SYNCH_FRAME リクエスト

このリクエストにより、エンドポイントの同期フレームを送信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10000010B	SYNCH_FRAME	0	Endpoint	3	Frame No

このリクエストの自動応答については、未サポートです。

INT_SETUP 割り込みに応じて、受信したリクエストが SYNCH_FRAME であることを判別した場合、DATASET レジスタの EPO_DSET_A ビットが“0”になっているのを確認し、Frame No の2バイトのデータのライトを行ってください。終了時には、EOP レジスタをアクセスし、EPO_EOPB ビットに0をライトするとステータスステージを終了します。エンドポイントがアイソクロナス転送をサポートし、かつこのリクエストをサポートする場合のみ使用することができます。処理の方法としては、バンダーリクエストと同様ですので、詳細については、バンダーリクエストの項を参照してください。

3.10.5.2 プリンタクラスリクエスト

UDCはプリンタクラスのリクエストの自動応答はサポートしていません。

INT_SETUP 割り込みに応じて、クラスリクエストに対する処理を行ってください。その場合の処理は、ベンダーリクエストに対する処理と同様になります。

(1) GET_PORT_STATUS リクエスト

このリクエストにより、Port Status をホストに送信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
10100001B	GET_PORT_STATUS	0	Interface	1	Port Status

UDCは内部に Port_STATUS レジスタを持っていますので、ポートの情報をこのレジスタにライトしてください。このリクエストを受信すると、UDC 内部の Port_Stauts レジスタのデータを送信します。アプリケーションは事前に UDC 内部の Port_Stauts レジスタにポートの情報を設定する必要があります。送信可能なポートの情報は、一種類のみとなっておりますので、wIndex の値は無視します。

このレジスタの各ビットは次のとおりです。

D7	D6	D5	D4	D3	D2	D1	D0
Reserved	Reserved	Paper Error	Select	Not error	Reserved	Reserved	Reserved

(2) SOFT_RESET リクエスト

このリクエストにより、ソフトリセットを受信します。

bmRequestType	bRequest	wValue	wIndex	wLength	Data
00100011B	SOFT_RESET	0	Interface	0	なし

ソフトリセット受信時には、SOFT_RESET フラグをセットし、ステータスステージ終了時、同フラグをリセットします。このリクエスト受信フラグは一種類のみとなっておりますので、wIndex フィールドの値は無視します。

(3) ベンダーリクエスト (クラスリクエスト)

UDCはベンダーリクエストの自動応答はサポートしておりません。

INT_SETUP 割り込みに応じて、デバイスリクエストが格納されたレジスタをアクセスして、受信したリクエストの判別を行い、そのリクエストがベンダーリクエストであった場合、外部から UDC を操作して、それに対応する処理を行う必要があります。

以下に、データフェーズが送信 (コントロールリード) と受信の場合 (コントロールライト) とに分けて説明します。

(a) コントロールリクエスト

bmRequestType	bRequest	wValue	wIndex	wLength	Data
110000xxB	ベンダー固有	ベンダー固有	ベンダー固有	ベンダー固有 (0 以外)	Vender Data

アプリケーションは、INT_SETUP 割り込みを受け付けたら、受信したリクエストの内容を bmRequestType、bRequest、wValue、wIndex、wLength レジスタから判定し、そのリクエストに対応した処理を行ってください。アプリケーションは、リクエストの判定を行った後、Setup_Received レジスタをアクセスし、INT_SETUP 割り込みを認識したことを UDC に知らせる必要があります。

アプリケーション側にてデータを送信する準備ができましたら、DATASET レジスタをアクセスし、EPO_DSET_A ビットが 0 になっているのを確認して、エンドポイント 0 の FIFO にデータをライトしてください。もしもペイロード以上のデータを送信する場合には、DATASET レジスタの EPO_DSET_A のビットをポーリングし、“0”であることを確認してからデータをライトする必要があります (INT_ENDPOINT0 割り込み信号を使用しても構いません)。すべてのデータをライトし終わったら、EOP レジスタの EPO のビットに “0” をライトしてください。UDC はこれを受け、ステータスステージを自動的に終了します。

また、UDC は、正常にステータスステージを終了しますと、INT_STATUS 割り込みをアサートします。もしも外部のアプリケーションが、ステータスステージの正常終了を把握する場合には、この割り込み信号を使用して、ステージの管理を行ってください。また、ステータスステージを正常に終了できなかった場合や、同ステージ中に、新規の SETUP トークンを受信することがあります。このとき、INT_SETUP 割り込み信号アサート時に、EPO_STATUS レジスタの STAGE_ERROR ビットに 1 をたて、外部にステータスステージを正常に終了できなかったことを知らせます。

また、USB のコントロールリード転送におけるプロトコルにて、wLength に示された値よりも短いデータ数でデータフェーズが終わることがあります。アプリケーションプログラムを、wLength の値のみで処理を構成したとき、期待するデータ数に達しない内に、ホストがステータスステージに移行した場合に対処できません。この場合、INT_STATUSNAK 割り込み信号によりステータスステージへの移行を知ることができます。(ただし、割り込み制御レジスタにて、STATUS_NAK ビットのマスクを解除する必要があります。) 実際には、ベンダーリクエストの場合、ドライバー側にて受信バッファサイズをホストコントローラーにセットしますので、このようなことが発生することはないと考えております。(ホストによっては、デバイス側のペイロードサイズを把握するまでは、デバイスから 8 バイトのペイロードで送ったデータがショートパケットと認識され、見た目、上述のケースになる場合がありますので、スタンダードリクエストをソフトウェアで制御する場合に注意が必要です。)

(b) コントロールライト/リクエスト

データフェーズがない場合

bmRequestType	bRequest	wValue	wIndex	wLength	Data
010000xxB	ベンダー固有	ベンダー固有	ベンダー固有	0	なし

アプリケーションは、INT_SETUP 割り込みを受け付けたら、リクエストの内容を bmRequestType、bRequest、wValue、wIndex、wLength レジスタから判定し、そのリクエストに対応した処理を行ってください。アプリケーションは、リクエストの判定を行った後、SETUP_Received レジスタをアクセスし、INT_SETUP 割り込みを認識したことを UDC に知らせる必要があります。

アプリケーション側にて処理が終了しましたら、EOP レジスタの EPO のビットに“0”をライトしてください。UDC はこれを受け、ステータスステージを自動的に終了します。

データフェーズがある場合

bmRequestType	bRequest	wValue	wIndex	wLength	Data
010000xxB	ベンダー固有	ベンダー固有	ベンダー固有	ベンダー固有 (0以外)	Vender Data

アプリケーションは INT_SETUP 割り込みを受信したら、デバイスリクエストの内容を bmRequestType、bRequest、wValue、wIndex、wLength レジスタから判定し、そのリクエストに対応した処理を行ってください。アプリケーションは、リクエストの判定を行った後、SETUP_Received レジスタをアクセスし、INT_SETUP 割り込みを認識したことを UDC に知らせる必要があります。

アプリケーション側にてデータを受信する準備ができましたら、DATASET レジスタをアクセスし、EPO_DATASET が“1”であることを確認して、エンドポイント 0 の FIFO からデータをリードしてください。もしも、ペイロード以上のデータを受信する場合には、DATASET レジスタ EPO_DSET_A のビットをポーリングし、“1”になっているのを確認して次のパケットのデータをリードする必要があります (INT_ENDPOINT0 割り込み信号を使用しても構いません)。すべてのデータをリードした後、EOP レジスタの EPO のビットに“0”をライトしてください。UDC はこれを受け、ステータスステージを自動的に終了します。

UDC は、正常にステータスステージを終了しますと、INT_STATUS 割り込みをアサートします。もしも外部のアプリケーションが、ステータスステージの正常終了を把握する場合には、この割り込み信号を使用して、ステージの管理を行ってください。また、ステータスステージを正常に終了できなかった場合や、同ステージ中に、新規の SETUP トークンを受信することがあります。このとき、INT_SETUP 割り込み信号アサート時に、EPO_STATUS レジスタの STAGE_ERROR ビットに“1”をたて、外部にステータスステージを正常に終了できなかったことを知らせます。

以下にアプリケーションから見た、UDC のコントロールフローを示します。

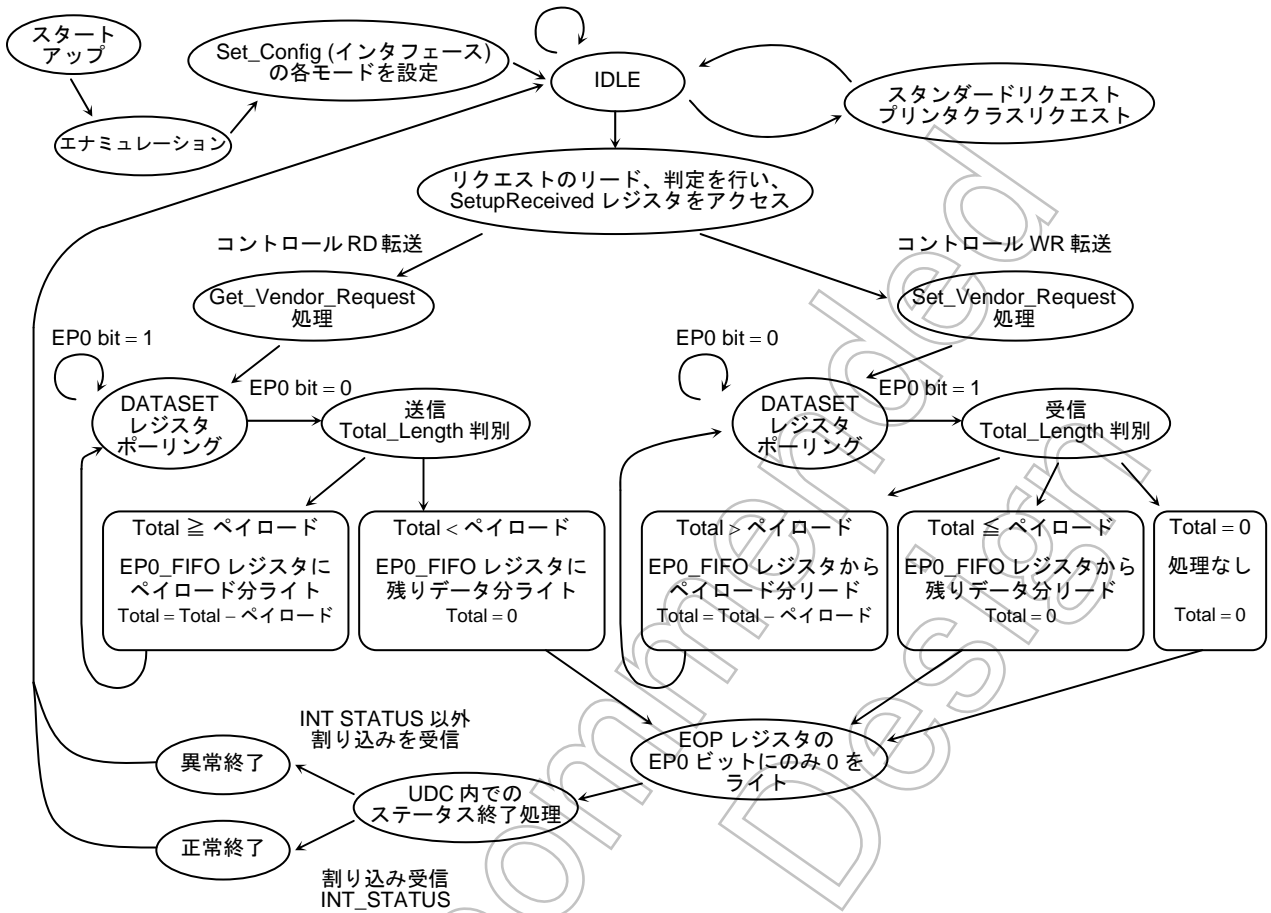


図 3.10.2 アプリケーションから見たUDC の制御フロー

注) SETUPパケットを重複して受信したような場合の特殊なケースについてのフローは明記しておりません。フローの詳細については、3.10.6 (2) (c)コントロール転送の章を参照してください。

3.10.6 転送モードとプロトコル処理

UDC はパケットの受信、アドレスエンドポイント転送モードの判定、エラー処理、データ受信パケットのトグルビット CRC 確認、データ送信パケットのトグルビット CRC を含んだ生成と、ハンドシェイク応答をハードウェアで自動的に行います。

(1) プロトコル概要

USB パケットのフォーマットは以下のように定義されており、送受信時共に UDC 内のハードウェアで処理されます。

- SYNC フィールド

各パケットの最初に必ず存在し、UDC 内部で入力データと内部 CLK の同期を取ります。

- パケット識別子フィールド (PID)

USB パケットごとに SYNC フィールドのすぐ後に続きます。このコードをデコードすることにより、UDC は PID タイプを判別し転送タイプを判断します。

- アドレスフィールド

このフィールドを使用して、UDC はホストからこのファンクションが指定されたかどうかを確認します。UDC は ADDRESS レジスタに設定されたアドレスと比較し、一致すればそれに続く処理を行い、一致しなければこのトークンを無視します。

- エンドポイントフィールド

4 ビットのフィールドで、2 つ以上のサブチャンネルを必要とする場合、そのファンクションを特定します。UDC はコントロールエンドポイントを除く、最大 7 つまでのエンドポイントをサポートすることが可能です。許可されていないエンドポイントに対するトークンは無視します。

- フレーム番号フィールド

11 ビットのフィールドは、ホストによってフレームごとにインクリメントされます。このフィールドは各フレームの一番始めに送られる SOF トークンに続いており、フレーム番号が指定されます。UDC は SOF トークン受信時にこのフィールドの内容を読み取り、FRAME レジスタにフレーム番号をセットします。

- データフィールド

このフィールドは 0~1023 バイトで、バイト単位のデータとなります。受信時、UDC はこのデータ部分だけを FIFO に転送し、CRC を確認した後、割り込み信号をアサートして FIFO へのデータ転送が終了したことを知らせます。送信時には IN トークンに続いて FIFO のデータを転送し、データの最後にデータ CRC フィールドを付加します。

- CRC 機能

トークンには 5 ビット、データには 15 ビットの CRC が付加されます。UDC は受信したデータの CRC と、付加された CRC との比較を自動的に行い、送信時には CRC を自動生成して送信します。転送モードによっては比較を行わない物があります。

(2) 転送モード

UDC はフルスピードで 4 つの転送モードをサポートしています。

- フルスピードデバイス
 - コントロール転送
 - インターラプト転送
 - バルク転送
 - アイソクロナス転送

以下に各転送モードにおける、UDC の動作について説明します。なお、各転送の動作については FIFO までのデータの流れを説明します。

(a) バルク転送

バルク転送は、エラー検出とリトライを利用してホストとファンクションとの間でエラーのない転送を保証します。基本的にはトークン、データ、ハンドシェークの 3 フェーズを使用しますが、フロー制御およびストール条件では、データフェーズはハンドシェークフェーズに置き換えられ、2 フェーズとなります。UDC は各エンドポイントごとのステータスを保持しており、ハードウェアでフロー制御を行います。各エンドポイントの状態は EPx STATUS レジスタにより確認することができます。

Not Recommended for New Design

(a-1) バルク送信モード

送信時のバルク転送は、以下のようなトランザクションフォーマットに従います。

- トークン : IN
- データ : DATA0/DATA1, NAK, STALL
- ハンドシェーク : ACK

制御フロー

IN トークンを受信したときの UDC 内部の制御フローを以下に示します。

1. トークンパケットを受け取り、アドレス・エンドポイント番号エラーを確認し、該当エンドポイントの転送モードが IN トークンと適合するかを調べます。適合しなければ IDLE に戻ります。
2. EPx_STATUS レジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
 - STALL 状態 : ストールハンドシェークを返し、IDLE に戻ります。FIFO の状態を確認し、1 パケット分のデータが準備されていなければ、NAK ハンドシェークを返し、IDLE に戻ります。1 パケット分のデータが FIFO に準備されていれば、3 へ移行します。
3. データパケットの生成に移行します。

UDC 内部のトグルビットレジスタを使用して、データパケットを生成します。

次に、UDC 内部の FIFO から SIE へデータを転送しデータパケットを生成します。このとき転送されるデータ数を確認し、各エンドポイントの MAX ペイロードサイズ以上のデータがある場合、ビットスタフエラーを起こさせて、その転送を終了させ、STATUS を STALL とします。
4. FIFO のデータを最後まで転送すると、計算していた CRC ビットを最後に付加します。
5. ホストからの ACK ハンドシェークを受信すると
 - FIFO をクリアします。
 - DATASET レジスタをクリアします。
 - トグルビットを更新して次に備えます。
 - STATUS を READY にセットします。

UDC は正常終了します。FIFO は次のデータを受け入れることが可能です。もしも、ホストからの ACK を受信せずにタイムアウトしてしまったときは、

- STATUS を TX_ERR とします。
 - FIFO のアドレスポインタを元に戻します。
- を行い FIFO のデータを保存したまま次のリトライを待ちます。

このフローを図 3.10.3 に示します。

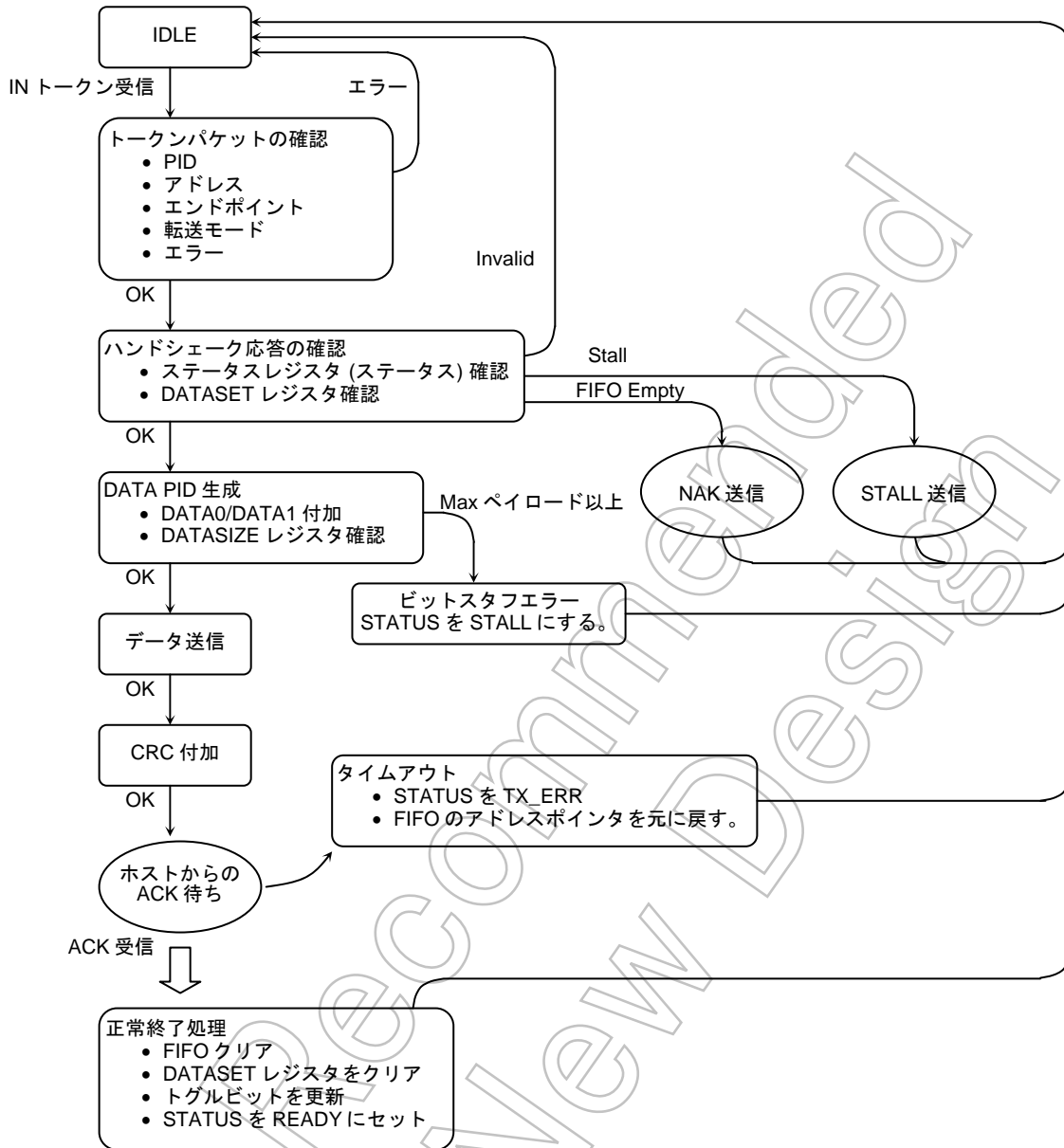


図 3.10.3 UDC 内部の制御フロー (バルク転送 (送信)/インターラプト転送 (送信))

(a-2) バルク受信モード

受信時のバルク転送は、以下のようなトランザクションフォーマットに従います。

- トークン : OUT
- データ : DATA0/DATA1
- ハンドシェーク : ACK, NAK, STALL

制御フロー

OUT トークンを受信したときの UDC 内部の制御フローを以下に示します。

1. トークンパケットを受け取りアドレスエンドポイント番号エラーを確認し、該当エンドポイントの転送モードが OUT トークンと適合するかを調べます。適合しなければ IDLE に戻ります。
2. ステータスレジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
 - STALL 状態 : データフェーズが終わり次第、STALL ハンドシェークを返し、IDLE に戻りデータは破棄します。

FIFO の状態を確認し 1 パケット分のデータを格納する準備ができていなければ、今転送されたデータを破棄し、データフェーズに続いて NAK ハンドシェークを返し、IDLE に戻ります。
3. データパケットの受信を行います。

UDC 内部の SIE から FIFO へデータを転送します。

このとき、転送されたデータ数を確認し、各エンドポイントの MAX ペイロードサイズ以上のデータがある場合、STATUS を STALL とし、IDLE に戻ります。このとき、ACK ハンドシェークは返信しません。
4. データを最後まで FIFO に転送した後、計算した CRC と転送された CRC を比べて一致しないときはステータスに RX_ERR をセットして、ACK を返さずに IDLE に戻ります。USB ホストはリトライを試み、次のデータを正常に受信できたとき、STATUS は、DATAIN に変わります。また、データトグルが一致しなかったときは、前回の転送でホストが ACK を取れなかったものと判断し、現在の転送を前回の転送のリトライと考え、データを破棄、STATUS を RX_ERR とし、ホストへは ACK を返信して IDLE に戻ります。FIFO のアドレスポインタは元に戻されますので、次のデータを受信可能となります。
5. CRC とトグルが一致して正常に終了した場合には、ACK ハンドシェークを返して UDC 内で以下の処理を行います。
 - 転送データ数を DATASIZE レジスタにセットします。
 - DATASET レジスタをセットします。
 - トグルビットを更新して次に備えます。
 - STATUS を READY にセットします。

これで UDC は、正常終了します。

このフローを図 3.10.4 に示します。

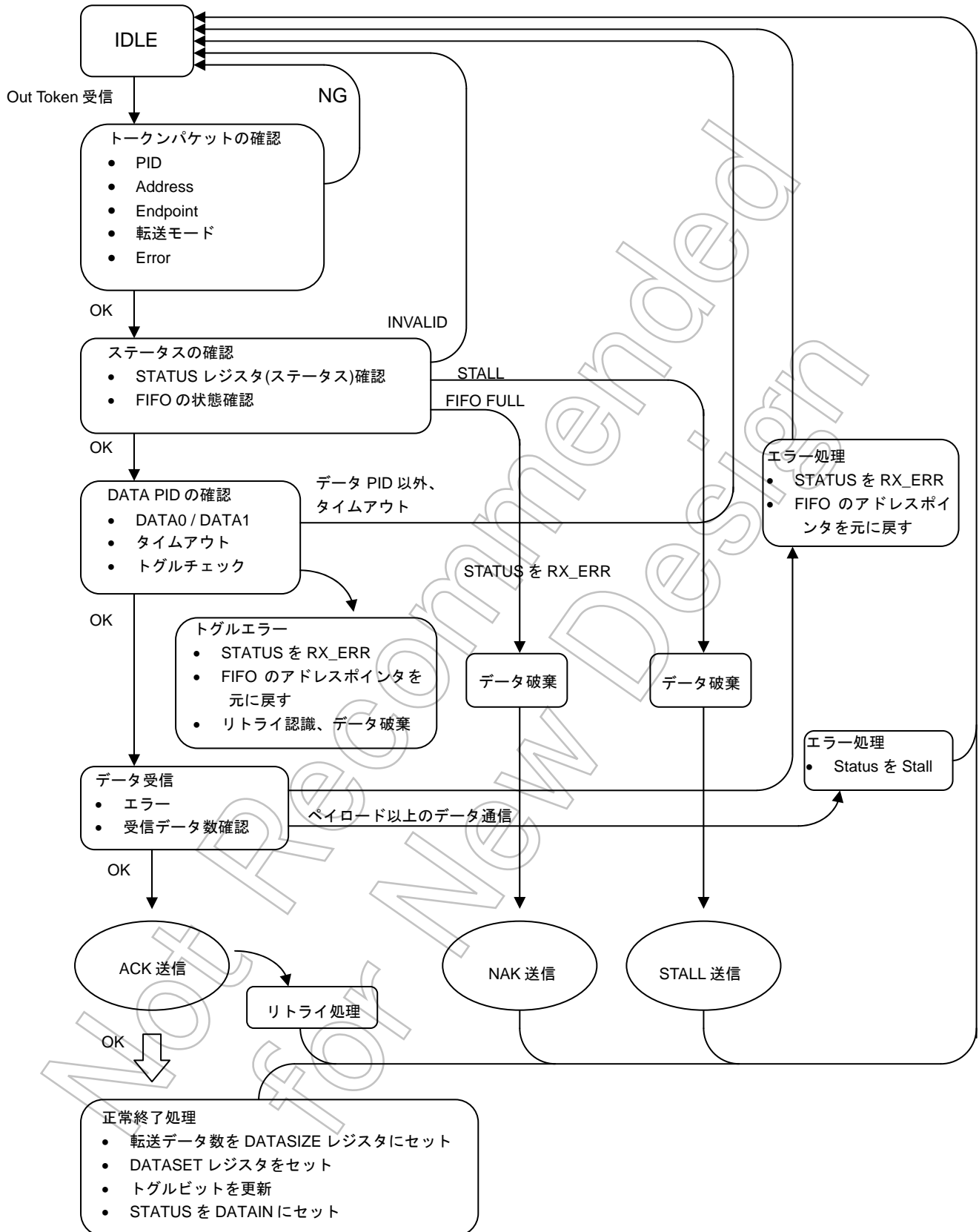


図 3.10.4 UDC 内部の制御フロー (バルク転送 (受信))

(b) インターラプト転送

インターラプト転送は、送信バルク転送と同一のトランザクション・フォーマットを使用します。

トグルビットを用いた転送時の UDC のハードウェアの設定、および応答は送信バルク転送と同一です。

インターラプト転送では、トグルビットを用いないで転送を行うことができます。この場合ホストからの ACK ハンドシェイクを受信しないときでもトグルビットを更新して正常終了します。UDC は次の転送のために FIFO をクリアします。

(b-1) インターラプト送信モード (トグルモード)

UDC の動作は、バルク送信モードと同一となります。(a) を参照してください。

(b-2) インターラプト送信モード (NOT トグルモード)

基本的にはバルク送信モードと同一ですが、ホストからの ACK ハンドシェイクを受信できなかった場合の処理が異なります。

データパケット送出後、ホストからの ACK ハンドシェイクを受信すると

- FIFO をクリアします。
- DATASET レジスタをクリアします。
- トグルビットを更新して次に備えます。
- ステータスを **READY** にセットします。

UDC は正常終了します。FIFO は次のデータを受け入れることが可能です。

もしも、ホストからの ACK を受信せずにタイムアウトしてしまったときは、

- FIFO をクリアします。
- DATASET レジスタをクリアします。
- トグルビットを更新して次に備えます。
- STATUS を **TX_ERR** とします。

を行い STATUS が変更となる以外は同一です。

(c) コントロール転送

コントロール転送は、次の3つのステージで構成されます。

- セットアップステージ
- データステージ
- ステータスステージ

データステージは省略される場合があります。それぞれのステージは1つあるいは複数のトランザクションで構成されます。UDCはハードウェアで3つのステージ管理を行いながら、それぞれのトランザクション処理を行います。コントロール転送はデータステージの有無、または方向によって以下の3つの種類があります。

- コントロールリード転送
- コントロールライト転送
- コントロールライト転送 (データステージなし)

3つの転送シーケンスは図 3.10.6、図 3.10.7、図 3.10.8に示します。

なお、UDCは、スタンダードリクエストについてハードウェアにて自動応答します。オプションのスタンダードリクエスト、クラスリクエスト、ベンダーリクエストについては、UDCをコントロールするCPUの介在が必要となります。

以下に、UDC内部の制御フローおよび、CPU介在時の制御フローを示します。

(c-1) セットアップステージ

セットアップステージは、トークンIDがSETUPとなることを除き送信バルクトランザクションと同一です。ただし、UDCの制御フローは異なります。

- トークン : SETUP
- データ : DATA0
- ハンドシェイク : ACK

制御フロー

SETUP トークンを受信したときのUDC内部の制御フローを以下に示します。

1. SETUP トークンパケットを受け取り、アドレス・エンドポイント番号エラーを確認し、該当エンドポイントがコントロール転送モードかを調べます。適合しなければIDLEに戻ります。
2. ステータスレジスタの状態を確認します。

INVALID状態でのみIDLEに戻ります。

バルク転送では、STATUSレジスタの値やFIFOの状態によりデータの受け入れを許可していましたが、セットアップステージではいかなる状況においても、STATUSをREADYに戻し、CPUからのFIFOへのアクセスを禁止し、エンドポイント0のFIFO内部をクリアし、以降のデータフェーズに備えます。

CPUがUDC内部のSetupReceivedレジスタをアクセスすると、デバイスリクエストを受信したことを認識したものとし、CPUからEP0のFIFOのアクセス禁止を解きます。これは一つ前のデバイスリクエストが正常に終了していない間に新規のリクエストが来たとき、受信できるようにするためです。

3. データパケットの受信を行います。

UDC 内部の SIE から 8 バイト分のデバイスリクエストを、以下のリクエストレジスタへデータを転送します。

 - bmRequestType レジスタ
 - bRequest レジスタ
 - wValue レジスタ
 - wIndex レジスタ
 - wLength レジスタ
4. データを最後まで FIFO に転送したのち、計算した CRC と転送された CRC を比べて一致しないときは、STATUS に RX_ERR をセットして、ホストに対し ACK ハンドシェイクを返さずに IDLE に戻ります。ホストはリトライします。
5. CRC とトグルが一致して正常に終了した場合には、ホストに ACK ハンドシェイクを返します。
 - 受信したデバイスリクエストの制御権を判別し、ソフトウェアでの制御が必要なリクエストであれば、INT_SETUP 割り込みをアサートして、外部にリクエスト受信したことを知らせます。ハードウェアでの自動応答をする場合には、INT_SETUP 割り込みをアサートしません。
 - ステージ制御フローに従って、次のステージの準備をします。
 - STATUS を DATAIN にセットします。
 - トグルビットを“1”にセットします。

これでセットアップステージは終了します。

このフローを図 3.10.5 に示します。

このセットアップステージで転送された 8 バイトのデータは、デバイスリクエストとなります。

CPU はデバイスリクエストに対応した処理を行わなければなりません。

UDC は 8 バイトのデータから次の内容だけを検出し、ステージ管理をハードウェアで行います。

- データステージの有無
- データステージの方向

これらを元にコントロールリード転送、コントロールライト転送、コントロールライト (データフェーズなし) 転送を判断します。

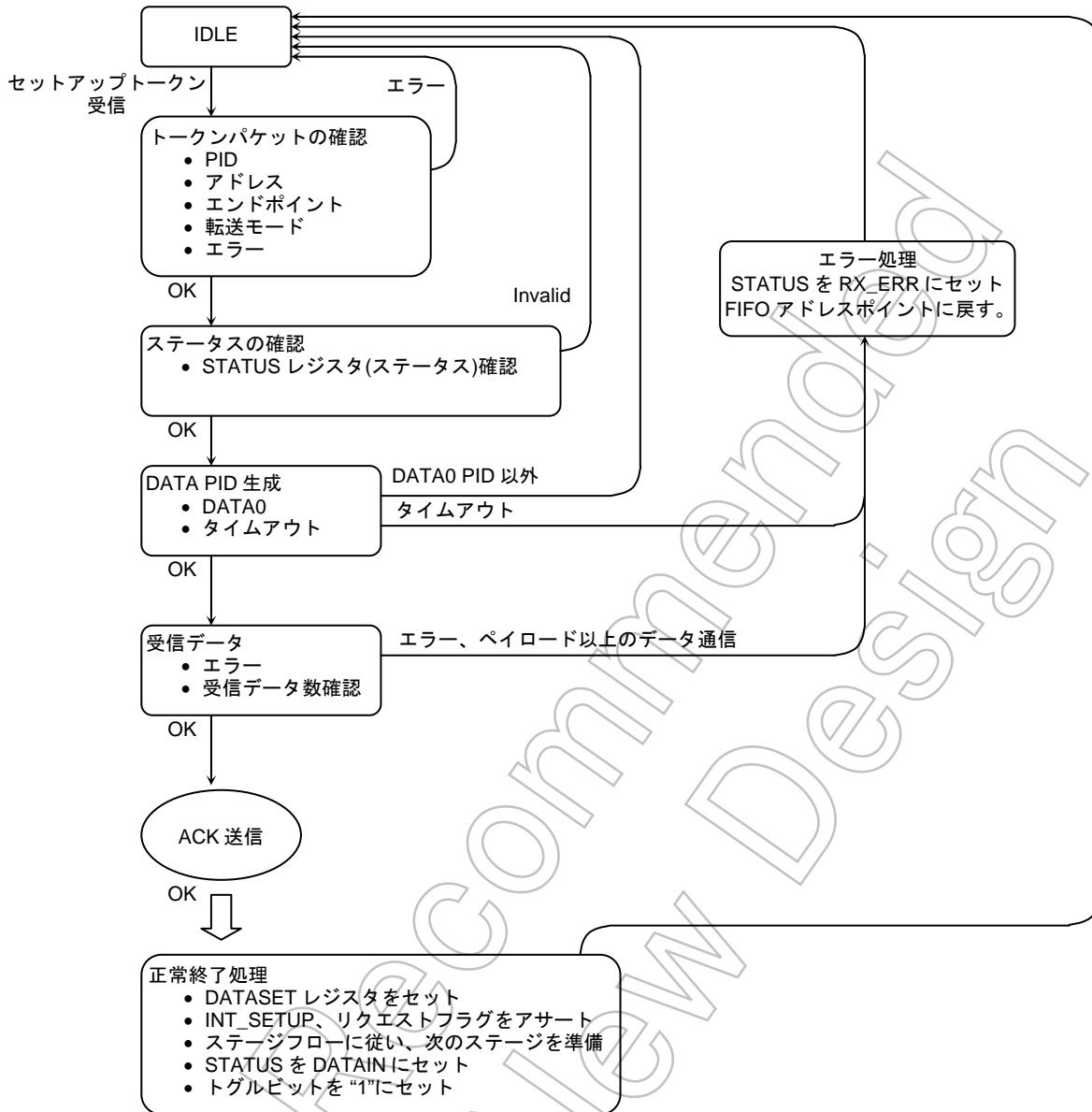


図 3.10.5 UDC 内部の制御フロー (セットアップステージ)

(c-2) データステージ

データステージは、トグルシーケンスに基づいて、1つまたは複数のトランザクションにより構成されます。トランザクションは送信または受信バルクトランザクションと同一フォーマットとなりますが、以下の点で異なります。

- セットアップステージを受けてトグルビットは1からスタートします。
- IN および OUT のトークンは、デバイスリクエスト中の方向ビットと比較して正しいかどうかを判断します。転送方向が逆のトークンを受信するとステータスステージとして認識します。
- INT_ENDPOINT0 割り込みをアサートします。

(c-3) ステータスステージ

ステータスステージは、IN または OUT のトークンに続いて、DATA1 の PID を伴った 0 データ長の packets とハンドシェイクで構成されます。1つ前のステージとは方向が異なるトランザクションを使用します。これは以下のような組み合わせとなります。

- コントロールリード転送 : OUT
- コントロールライト転送 : IN
- コントロールライト転送 (データフェーズなし) : IN

UDC は内部のコントロール転送のフロー制御に基づいてステータスステージを処理します。このとき、ステータスステージが正常終了するために、CPU は処理の終わりで EOP レジスタの EP0 ビットに“0”をライトする必要があります。以下にステータスステージの詳細を示します。

(c-3-1) ステータスステージ

IN ステータスステージのトランザクションフォーマットは以下のようになります。

- トークン : IN
- データ : DATA1 (0 データ長)、NAK、STALL
- ハンドシェイク : ACK

制御フロー

UDC 内部の IN ステータスステージの処理フローは以下のようになります。

1. トークンパケットを受け取りアドレスエンドポイント番号エラーを確認し、適合しなければ IDLE に戻ります。UDC 内部のステージ制御フローに基づいてステータスステージが許可されていれば、次に進みます。
2. ステータスレジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
 - STALL 状態 : STALL ハンドシェイクを返し、IDLE に戻ります。

外部より EOP レジスタがアクセスされたかどうかを確認し、未アクセスであれば、コントロール転送を継続するため NAK ハンドシェイクを返し、IDLE に戻ります。

3. EOP レジスタがアクセスされたことを認識すると、0 データ長のデータパケットと CRC の送信を行います。

4. ホストからの ACK ハンドシェークを受信すると
 - ステータスを **READY** にセットします。
 - **INT_STATUS** 割り込みをアサートします。

以上で正常終了となります。

もしもホストからの ACK ハンドシェークが受信できずタイムアウトした場合には、

- **STATUS** レジスタに **TX_ERR** をセットして **IDLE** に戻り、ステータスステージのリトライを待ちます。

このとき、ステータスステージが正常に終了することなく、新規のセットアップステージが開始されると、UDC は、**STATUS** レジスタにステージエラーをセットします。

(c-3-2) OUT ステータスステージ

OUT ステータスステージのトランザクションフォーマットは以下のようになります。

- トークン : **OUT**
- データ : **DATA1 (0 データ長)**
- ハンドシェーク : **ACK, NAK, STALL**

制御フロー

UDC 内部の OUT ステータスステージの処理フローは以下のようになります。

1. トークンパケットを受け取りアドレス・エンドポイント番号エラーを確認し、適合しなければ **IDLE** に戻ります。UDC 内部のステージ制御フローに基づいてステータスステージが許可されていれば、次に進みます。
2. ステータスレジスタの状態を確認します。
 - **INVALID** 状態 : **IDLE** に戻ります。
 - **STALL** 状態 : データパケットを破棄して **STALL** ハンドシェークを返し、**IDLE** に戻ります。外部より EOP レジスタがアクセスされたかどうかを確認し、未アクセスであれば、コントロール転送を継続するため **NAK** ハンドシェークを返し、**IDLE** に戻ります。
3. EOP レジスタがアクセスされたことを認識すると、0 データパケットと CRC の受信を行います。
4. データにエラーがなかった場合には、ホストに対して **ACK** ハンドシェークを送信します。
 - **STATUS** を **READY** にセットします。
 - **INT_STATUS** 割り込みをアサートします。

以上で正常終了となります。

もしも、データにエラーがあった場合には、**ACK** ハンドシェークを返しません。

- **STATUS** レジスタに **RX_ERR** をセットして **IDLE** に戻り、ステータスステージのリトライを待ちます。

このとき、ステータスステージが正常に終了することなく、新規のセットアップステージが開始されると、UDC は、**STATUS** レジスタにステージエラーをセットします。

このプロトコルのシーケンスについては、付録の項を参照願います。

(c-4) ステージ管理

UDC は、コントロール転送の各ステージの進行をハードウェアで管理しています。

各ステージの遷移は USB ホストからのトークンの受信、あるいは CPU がソフトウェアでレジスタをアクセスすることによって行われます。従って、コントロール転送のそれぞれのステージはソフトウェアと関係しながら進める必要があります。また UDC は SETUP ステージの 8 バイトのデータから次の内容だけを検出し、コントロール転送の種類を判別しステージ管理を行います。

- データステージの有無
- データステージの方向

これらを元にコントロールリード転送、コントロールライト転送、コントロールライト (データステージ無し) 転送を判断します。

以下に、各種のコントロール転送時のステージの遷移を行う条件を示します。

UDC 内のステートが次のステージに移行する前に、ホストから次のステージに対応したトークンを受信すると NAK ハンドシェイクを返し BUSY を USB ホストに伝えます。なお、すべてのコントロール転送においてどの状態からでもホストからの SETUP トークンを受信すると現在の処理を中止して UDC 内でセットアップステージに移行します。CPU は以前のコントロール転送を実行中であっても、新規の INT_SETUP 割り込みを受け付けることでこれに対応しなければなりません。

Not Recommended for New Design

コントロールリード転送時のステージ遷移条件

- * ホストからの SETUP トークンを受信
 - UDC 内でセットアップステージがスタートする。
 - リクエストのデータを正常に受信、判別し、外部に INT_SETUP 割り込みをアサートする。
 - UDC 内部でデータステージへ移行。
- * ホストからの IN トークンを受信
 - CPU は INT_SETUP 割り込みに反応してリクエストレジスタからリクエストを引き取る。
 - リクエストを判別し、INT_SETUP 割り込みを認識したことを UDC に知らせるため、SetupReceived レジスタをアクセスする。
 - デバイスリクエストの内容に応じ、DATASET レジスタの EP0 ビットをモニターし、データを FIFO にライトする。
 - UDC は、ペイロード分のデータを FIFO にセットされるか、EOP レジスタでショートパケット転送を CPU に指示された時点で、DATASET レジスタの EP0 ビットをセット。
 - UDC は、FIFO にセットされたデータを IN トークンに反応してホストへ転送。
 - CPU は処理が終了したとき、EOP レジスタの EP0 ビットに 0 をライトする。
 - UDC 内部でステータスステージへ移行。
- * ホストからの OUT トークンを受信
 - OUT トークンに対し ACK を返信し、UDC 内部で IDLE 状態に移行。
 - リクエストを判別し、INT_SETUP 割り込みを認識したことを UDC に知らせるため、SetupReceived レジスタをアクセスする。
 - INT_STATUS 割り込みを外部にアサートする。

これらの状態遷移を図 3.10.6 に示します。

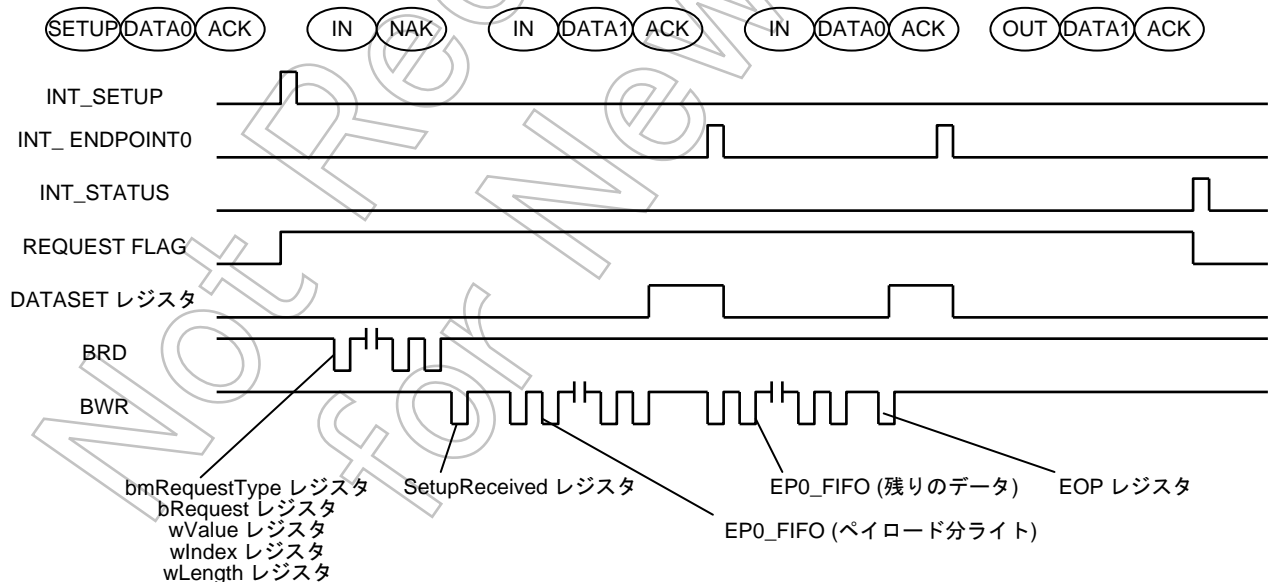


図 3.10.6 UDC 内部の制御フロー図 (コントロールリード転送)

コントロールライト転送時のステージ遷移条件

- * ホストからの SETUP トークンを受信
 - UDC 内でセットアップステージがスタートする。
 - リクエストのデータを正常に受信、判別し、外部に INT_SETUP 割り込みをアサートする。
 - UDC 内部でデータステージへ移行。
- * ホストからの OUT トークンを受信
 - CPU は INT_SETUP 割り込みに反応してリクエストレジスタからリクエストを引き取る。
 - CPU は、リクエストを判別し、INT_SETUP 割り込みを認識したことを UDC に知らせるため、SetupReceived レジスタをアクセスする。
 - データフェーズのデータを正常に受信し、DATASET レジスタの EP0 ビットをセット。
 - CPU は、DATASET レジスタがセットされたことにより、FIFO 内のデータを引き取る。
 - CPU は、デバイスリクエストに伴い、受信したデータの処理を行う。
 - CPU は、処理が終了したとき、EOP レジスタの EP0 ビットに 0 をライトする。
 - UDC 内部でステータスステージへ移行。
- * ホストからの IN トークンを受信
 - IN トークンに対し 0 データのデータパケットを返信し、UDC 内部で IDLE 状態に移行。
 - 0 データパケットに対する ACK を受信したとき、INT_STATUS 割り込みを外部にアサートする。

これらの状態遷移を図 3.10.7 に示します。

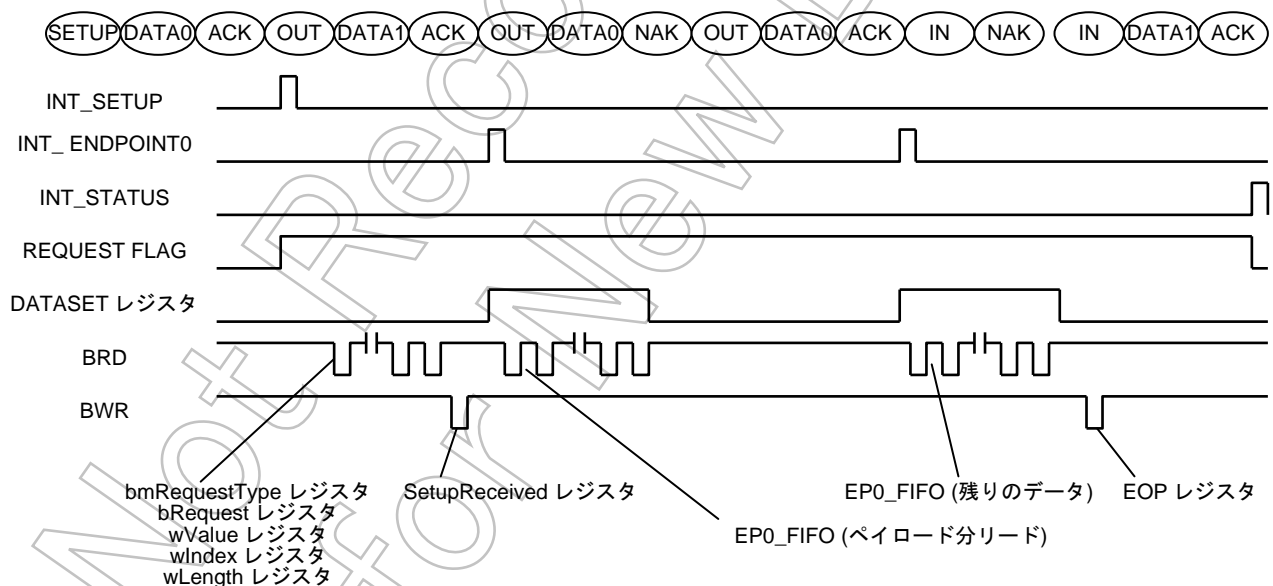


図 3.10.7 UDC 内部の制御フロー図 (コントロールライト転送)

コントロールリード転送において、データステージのトランザクション数は、デバイスリクエストで指定したデータ数と必ずしも一致しません。従って、CPU は、INT_STATUSNAK 割り込みを使用して処理を進めることが可能です。ただし、クラス、ベンダーリクエストを使用する際、wLength の値と、データフェーズでのデータ転送数を必ず一致させるようにすれば、この割り込みを使用する必要はありません。データステージのデータがわからない場合は、DATASIZE レジスタをアクセスし、現在受信したデータ数を確認することができます。

コントロールライト (データステージなし) 転送時のステージ遷移条件

* ホストからの SETUP トークンを受信

- UDC 内でセットアップステージがスタートする。
- リクエストのデータを正常に受信、判別し、外部に INT_SETUP 割り込みをアサートする。
- UDC 内部でデータステージへ移行。

* ホストからの IN トークンを受信

- CPU は、INT_SETUP 割り込みに反応してリクエストレジスタからリクエストを引き取る。
- リクエストを判別し、INT_SETUP 割り込みを認識したことを UDC に知らせるため、SetupReceived レジスタをアクセスする。
- CPU は、デバイスリクエストに伴い、受信したデータの処理を行う。
- CPU は、処理が終了したとき、EOP レジスタの EPO ビットに 0 をライトする。
- UDC 内部でステータスステージへ移行。
- IN トークンに対し 0 データのデータパケットを返信し、UDC 内部で IDLE 状態に移行。
- 0 データパケットに対する ACK を受信したとき、INT_STATUS 割り込みを外部にアサートする。

これらの状態遷移を図 3.10.8 に示します。

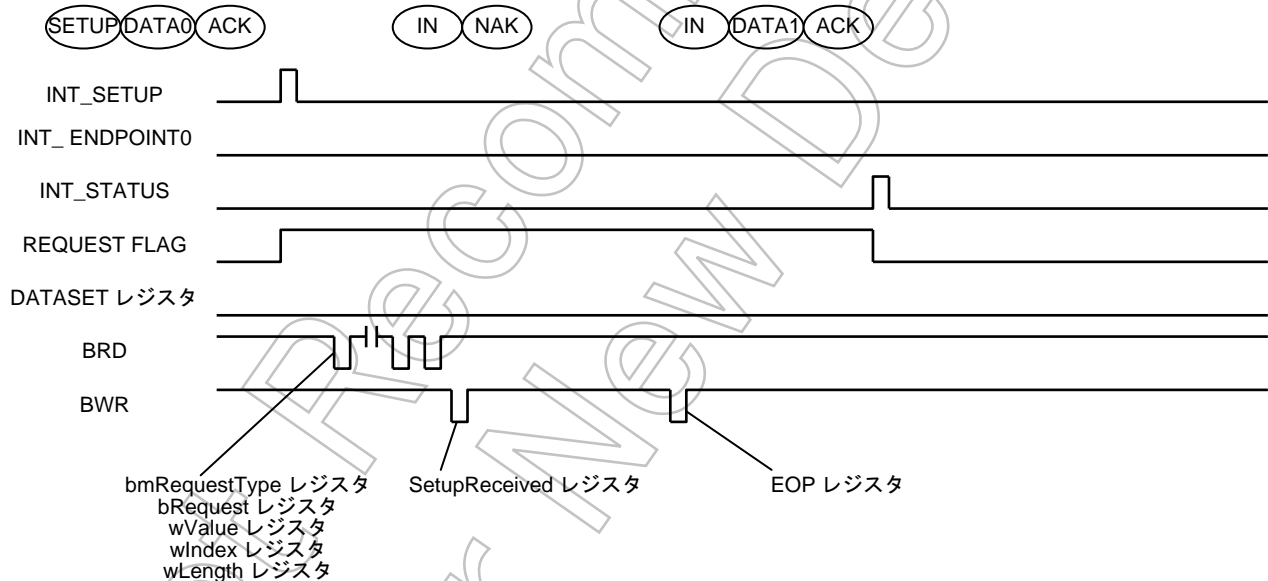


図 3.10.8 UDC 内部の制御フロー図 (コントロールライト転送データフェーズなし)

(d) アイソクロナス転送

アイソクロナス転送は、フレームごとに限定されたデータ数において転送を保証します。

ただし、他の3つの転送と異なりエラー発生時に再転送を行いません。従って、アイソクロナス転送は、トークン、データの2フェーズのみで転送を行い、ハンドシェイクフェーズは使用しません。また、このトランザクションはトグルシーケンスをサポートしていないため、データフェーズにおけるデータPIDは常にDATA0となります。従って、UDCは、受信モード時にデータPIDの確認を行いません。

アイソクロナス転送ではフレームごとにデータを処理するため、転送終了時の処理をすべてSOFトークンの受信によって行います。UDCは、アイソクロナス転送時に内部のFIFOをデュアルパケットモード時と同様に2分割して使用します。

(d-1) アイソクロナス送信モード

送信時のアイソクロナス転送は、以下のようなトランザクションフォーマットに従います。

- トークン : IN
- データ : DATA0

制御フロー

アイソクロナス転送は、フレーム管理となっており、エンドポイントのFIFOへライトしたデータは、次のフレームでのINトークンによって送信されます。

アイソクロナス送信転送時のFIFOには以下の二つの状態があります。

X. 現在のフレームでホストに送信するデータを格納しているFIFO
(DATASETレジスタビット=1の状態)

Y. 次のフレームでホストに送信するためのデータを格納するFIFO
(DATASETレジスタビット=0の状態)

2分割された2つのFIFO(パケットA, B)は、2つの状態(X, Y)のどちらかの状態となります。以下のフローは現在のフレームでパケットAがX状態、パケットBがY状態として説明します。

SOFの受信により状態XとYは交互に切り替わります。

INトークンを受信したときのUDC内部の制御フローを以下に示します。

1. トークンパケットを受け取りアドレスエンドポイント番号を確認し、該当エンドポイントの転送モードがINトークンと適合するかを調べます。適合しなければIDLEに戻ります。
2. ステータスレジスタの状態を確認します。
 - INVALID状態 : IDLEに戻ります。
3. データパケットの生成に移行します。

データパケットを生成します。この際データPIDは必ずDATA0を付加します。次にUDC内部のパケットAのFIFO(X状態)からSIEへデータを転送し、DATAパケットを生成します。

4. FIFOのデータを最後まで転送すると計算していたCRCビットを最後に付加します。

5. ホストからの SOF トークンを受信すると以下の処理を行います。
- パケット A の FIFO を X 状態から Y 状態に変更し、データをクリアします。
 - パケット B を Y 状態から X 状態に変更します。
 - フレーム番号を FRAME レジスタにセットします。
 - SOF をアサートして外部にフレームがインクリメントされたことを知らせます。
 - DATASET レジスタは、パケット A のビットをクリアし、現在のフレームで転送する予定のパケット B のビットをセットします。
 - STATUS を READY にセットします。

UDC は、これで正常終了します。

パケット A の FIFO は次のデータを受け入れることが可能です。

この更新されたフレームでは、パケット A の FIFO とパケット B の FIFO の役割が入れ替わり、同一フローで転送が行われます。もしも、エラーなどで SOF トークンを受信できなかったときは、フレームの更新が行われないためこのデータは失われてしまいます。UDC は受信した PID 部分に問題がなく、CRC エラーを伴ったフレームデータを受信すると FRAME レジスタのステータスに LOST をセットし、正しいフレーム番号は不明になります。しかし、この場合 SOF はアサートされ、FIFO の状態は更新されます。なお、フレーム内でアイソクロナス送信転送を行うことなく SOF トークンを受信すると、USBC は X 状態になっていた FIFO をクリアするとともに、ステータスを FULL にセットします。

注 1) IN 転送において、「データの最終バイトの LSB(bit0)が“1”、かつそれに付加される CRC 計算結果の最後の 5 ビットが全て 1」というデータを USB ホストに送信するとき、そのデータ自体は正しく送信されますが、UDC 内部で誤って CRC エラーを認識した状態になります。

ここでデータ自体は正しく USB ホストに送信されるため、アイソクロナス IN 転送以外では、その後の USB ホストからのハンドシェイクパケットを正しく認識し、通常の転送に戻ります。

しかし、アイソクロナス IN 転送の場合は、USB ホストからのハンドシェイクパケットではなくトークンパケットが送られてくることになるので、CRC エラーを認識した状態のままこのトークンパケットを無視します。

そのため、アイソクロナス IN 転送時には、データフィールドの最終ビットが“0”となるデータを送信するようにするか、または送信データに対して最終ビットが“0”となるデータを付加して送信してください。

または、アイソクロナス IN 転送の後、次の SOF がくる前に、意味のない転送を 1 回行い、その後の転送を正常に行えるようにしてください。

注 2) アイソクロナス IN 転送を使用する場合は、その他の Endpoint を同時使用しないでください。

※EPx_DATASET_A,BはSOF受信後3クロック時間(12MHz)で変化します。FIFOへデータをWriteする場合はEPx_DATASET_A,Bが変化した後、FIFOへのアクセスを行ってください。

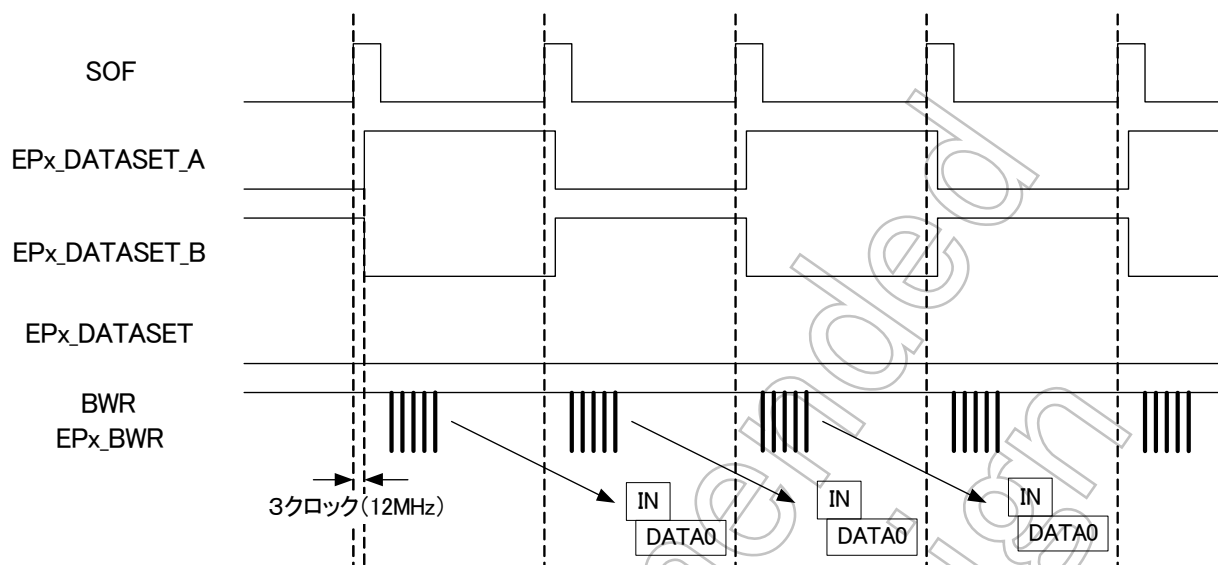


図 3.10.9 アイソクロナス転送モード

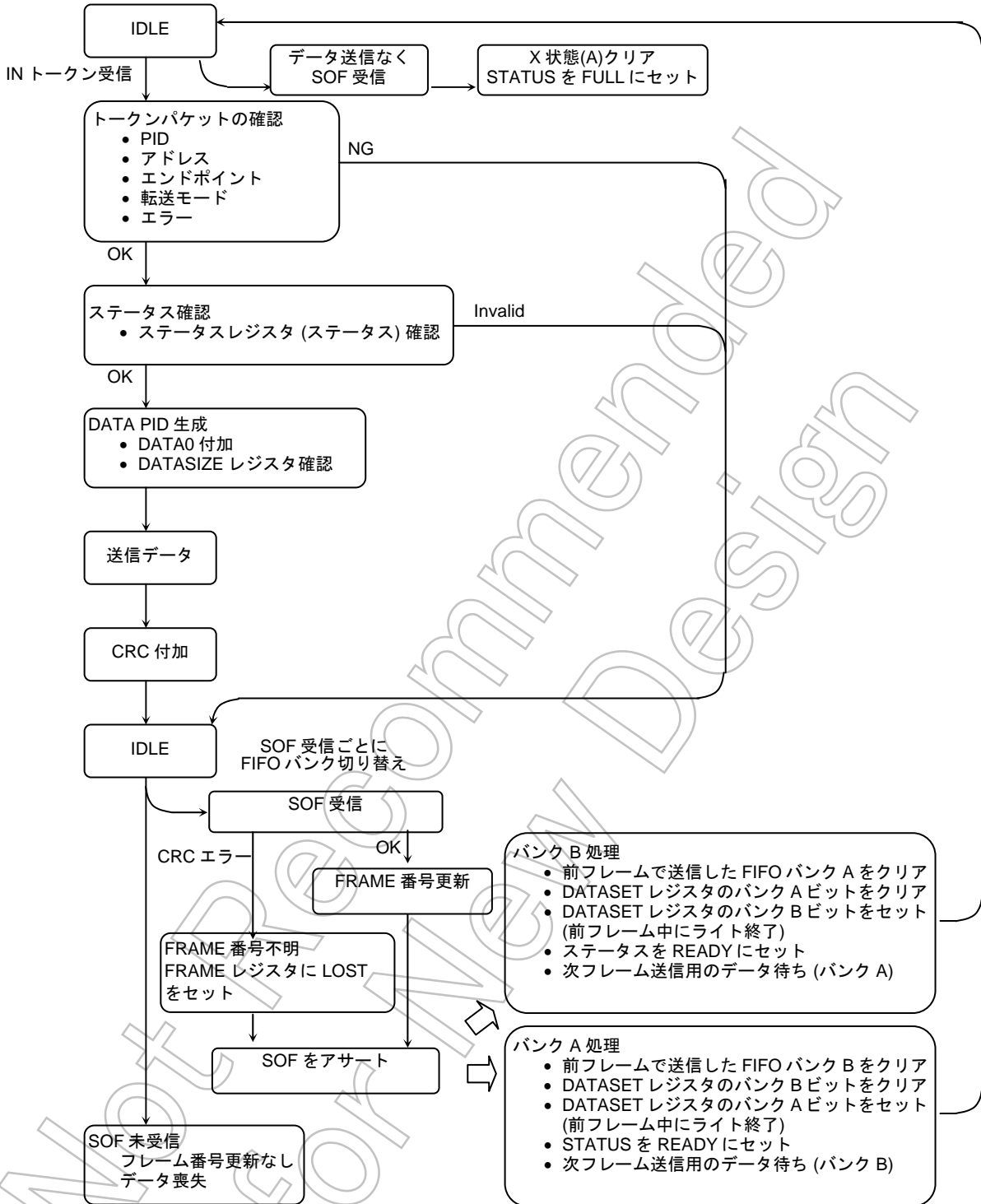


図 3.10.10 UDC 内部の制御フロー (アイソクロナス転送 (送信))

(d-2) アイソクロナス受信モード

受信時のアイソクロナス転送は、以下のようなトランザクションフォーマットに従います。

- トークン : OUT
- データ : DATA0

制御フロー

アイソクロナス転送はフレーム管理となっており、OUT トークンで FIFO に書かれたデータは、次のフレームで CPU に引き取られます。

アイソクロナス受信転送時の FIFO にも、以下の 2 つの状態があります。

- X. 現在のフレームにおいてホストから受信したデータを格納する FIFO (DATASET レジスタビット=0 の状態)
- Y. 前のフレームでホストから受信したデータを格納している FIFO (DATASET レジスタビット=1 の状態)

2 分割された 2 つの FIFO (パケット A, B) は、2 つの状態 (X, Y) のどちらかの状態となります。以下のフローは、現在のフレームでパケット A が X 状態、パケット B が Y 状態として説明します。SOF の受信により状態 X と Y は交互に切り替わります。

OUT トークンを受信したときの UDC 内部の制御フローを以下に示します。

すべての処理はハードウェアで行われます。

1. トークンパケットを受け取りアドレス・エンドポイント番号を確認し、該当エンドポイントの転送モードが OUT トークンと適合するかを調べます。適合しなければ IDLE に戻ります。
2. ステータスレジスタの状態を確認します。
 - INVALID 状態 : IDLE に戻ります。
3. データパケットの受信を行います。

UDC 内部の SIE からパケット A の FIFO (X 状態) ヘデータを転送します。

4. データを最後まで FIFO に転送したのち、計算した CRC と転送された CRC を比較します。

結果は転送終了時点でステータスに反映されますが、データは FIFO に格納し、パケット A に受信した転送データ数をパケット A の DATASIZE レジスタにセットします。

5. ホストからの SOF トークンを受信すると以下の処理を行います。
 - パケット A の FIFO を X 状態から Y 状態に変更します。
 - パケット B を Y 状態から X 状態に変更し、データをクリアして次の転送に備えます。
 - フレーム番号を FRAME レジスタにセットします。
 - SOF をアサートして外部にフレームがインクリメントされたことを知らせます。
 - DATASET レジスタは、パケット A のビットをセットし、現在のフレームで受信データを格納するパケット B のビットをクリアします。
 - CRC 比較結果が一致していた場合は、ステータスに DATAIN をセットします。もしも一致しなかった場合は、ステータスに RX_ERR をセットします。

UDC は、これで正常終了します。CPU はパケット A のデータを引き取りません。

この更新されたフレームでは、パケット A の FIFO とパケット B の FIFO の役割が入れ替わり同一フローで転送が行われます。もしも、エラーなどで SOF トークンを受信できなかったときは、フレームの更新が行われなためこのデータは失われてしまいます。UDC は受信した PID 部分に問題がなく、CRC エラーを伴ったフレームデータを受信すると FRAME レジスタの STATUS に LOST をセットし、正しいフレーム番号は不明になります。しかし、この場合 SOF はアサートされ、FIFO の状態は更新されます。なお、フレーム内でアイソクロナス送信転送を行うことなく SOF トークンを受信すると、UDC は X 状態になっていた FIFO をクリアするとともに STATUS を READY にセットします。

これらを図 3.10.12 に示します。

※EPx_DATASET は SOF 受信後 2 クロック時間 (12MHz) で立ち上がります。FIFO 内のデータを Read する場合は EPx_DATASET が立ち上がった後、FIFO へのアクセスを行ってください。

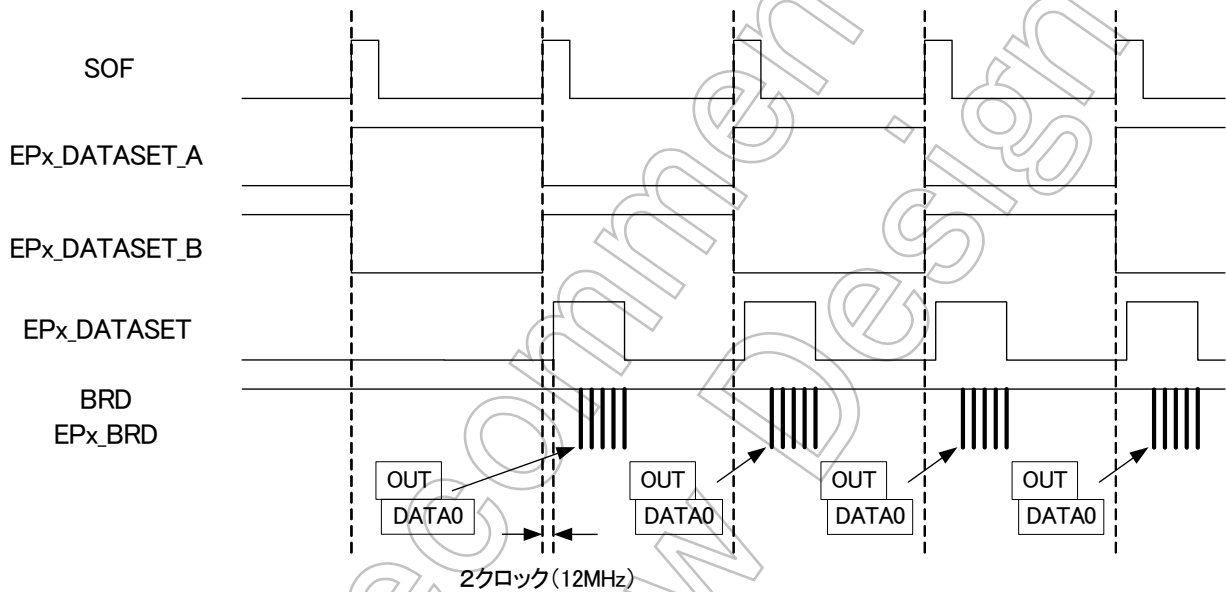


図 3.10.11 アイソクロナス受信モード

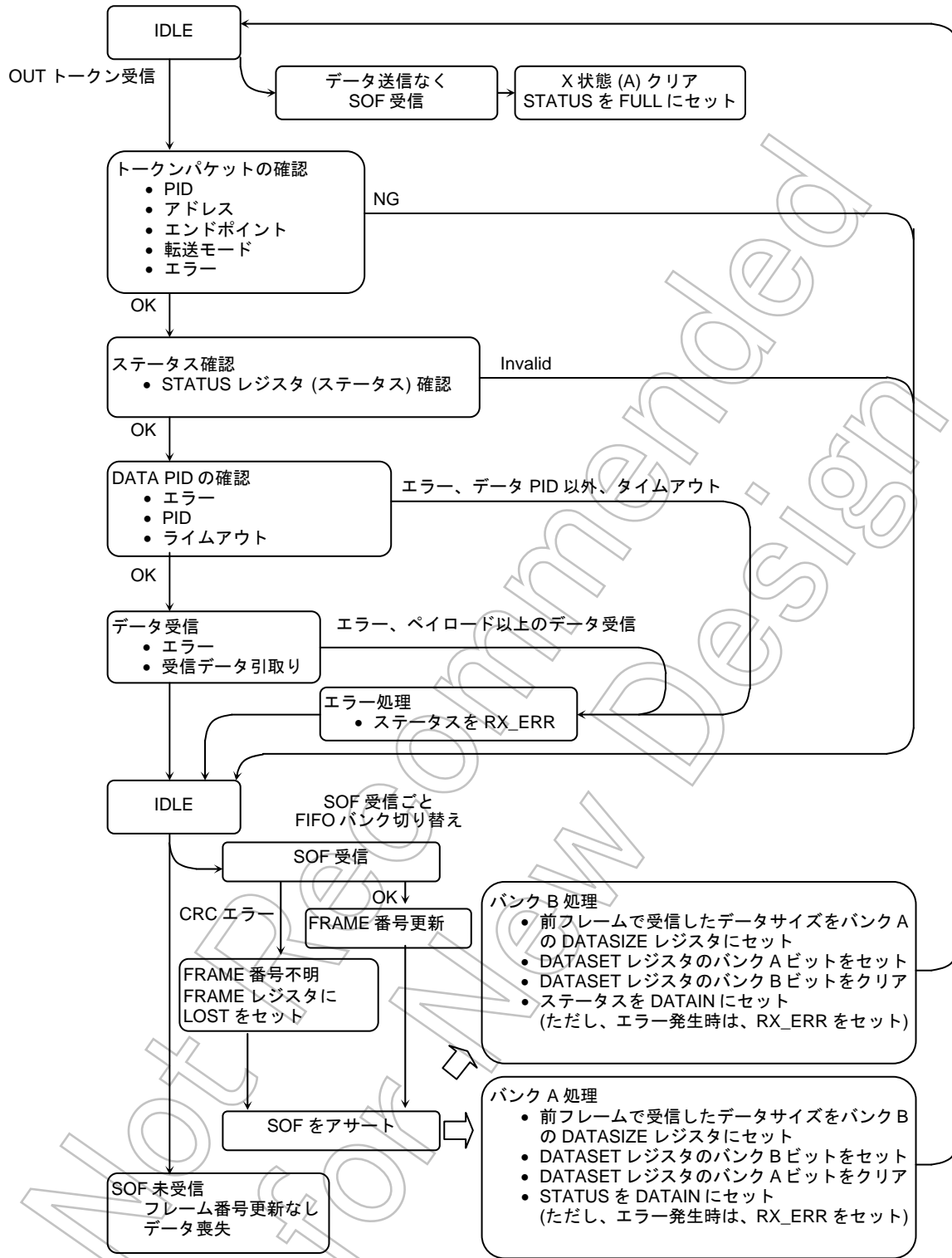


図 3.10.12 UDC 内部の制御フロー (アイソクロナス転送 (受信))

3.10.7 バスインタフェースとFIFOへのアクセス

(1) CPU バスインタフェース

UDC ではシングルパケット、デュアルパケットの 2 種類の FIFO アクセスを用意しております。シングルパケットモードは、ハードウェアでインプリメントされた FIFO 容量を 1 つの大きな FIFO として使用するモードです。デュアルパケットモードは、FIFO 容量を 2 分割し 2 つの独立した FIFO として使用します。UDC が USB ホストと送受信中でも FIFO との転送が可能であることより、バスを効率的に使用できます。ただし、コントロール転送はシングルパケットモードのみ対応しております。

デュアルパケットモードで使用するエンドポイントの EPx_SINGLE 信号を 0 固定にする必要があります。この信号を 1 固定とした場合、FIFO レジスタはシングルモードで動作します。

例: エンドポイント 1 をペイロード 64 バイトのデュアルパケットで使用する場合

EP1_FIFO サイズ	:	128 バイトを用意
EP1_SINGLE 信号	:	0 固定
EP1 ディスクリプタ設定		
方向	:	任意
MAX ペイロードサイズ	:	64 バイト
転送モード	:	任意

Not Recommended for New Design

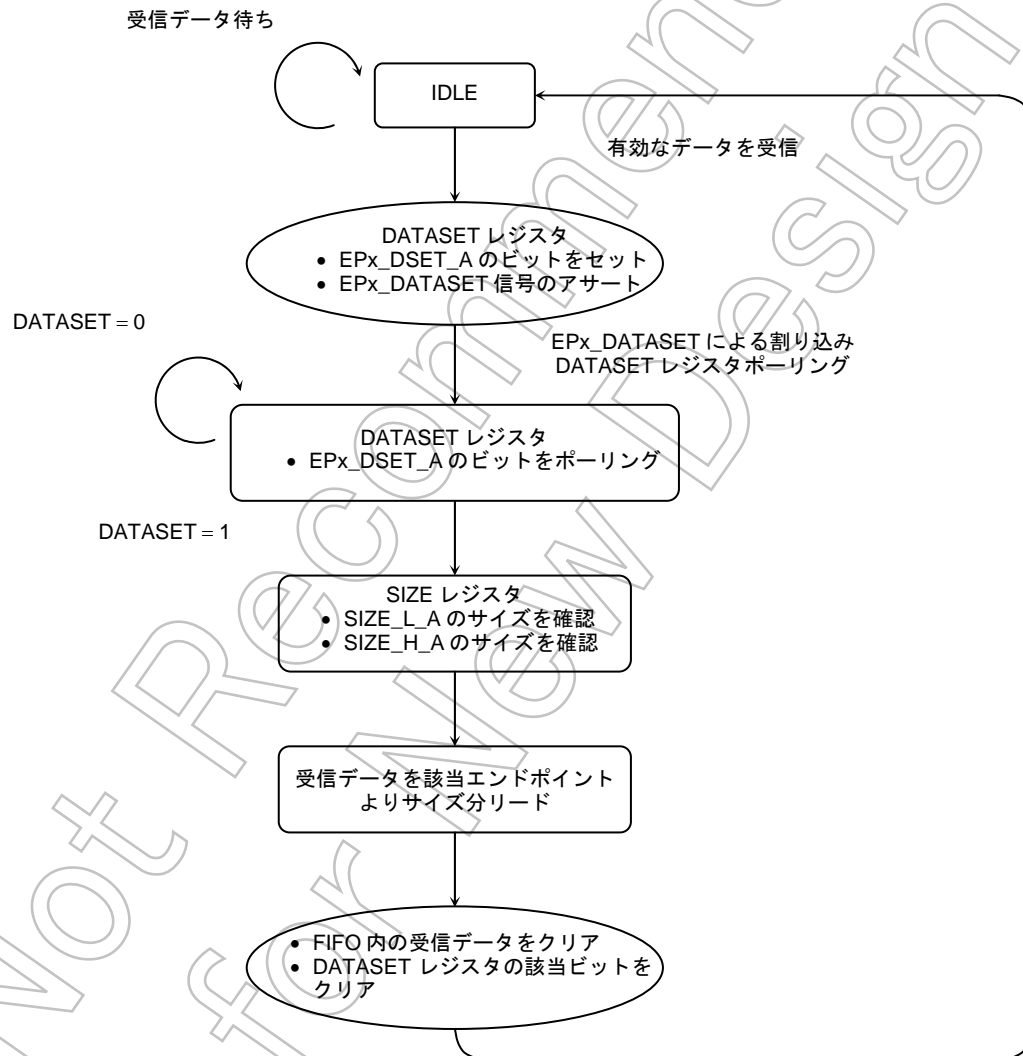
(a) シングルパケットモード

CPU バス I/F 使用時における、シングルパケットモードのデータシーケンスについて示します。

図 3.10.13は受信シーケンスを、図 3.10.14は送信シーケンスを示します。ここでは FIFO へのアクセスを中心に説明しています。USBホストとのデータシーケンスについては、5章を参照してください。

なお、エンドポイント 0 については、シングルパケットモード専用になっておりますので、モードの変更はできません。

エンドポイント 1-3 のシングルパケット、デュアルパケットの切り替えは、EPx_SINGLE レジスタを設定することにより変更できます。転送時の切り替えはしないでください。



以下にシングルパケットモード時の送信シーケンスを示します。

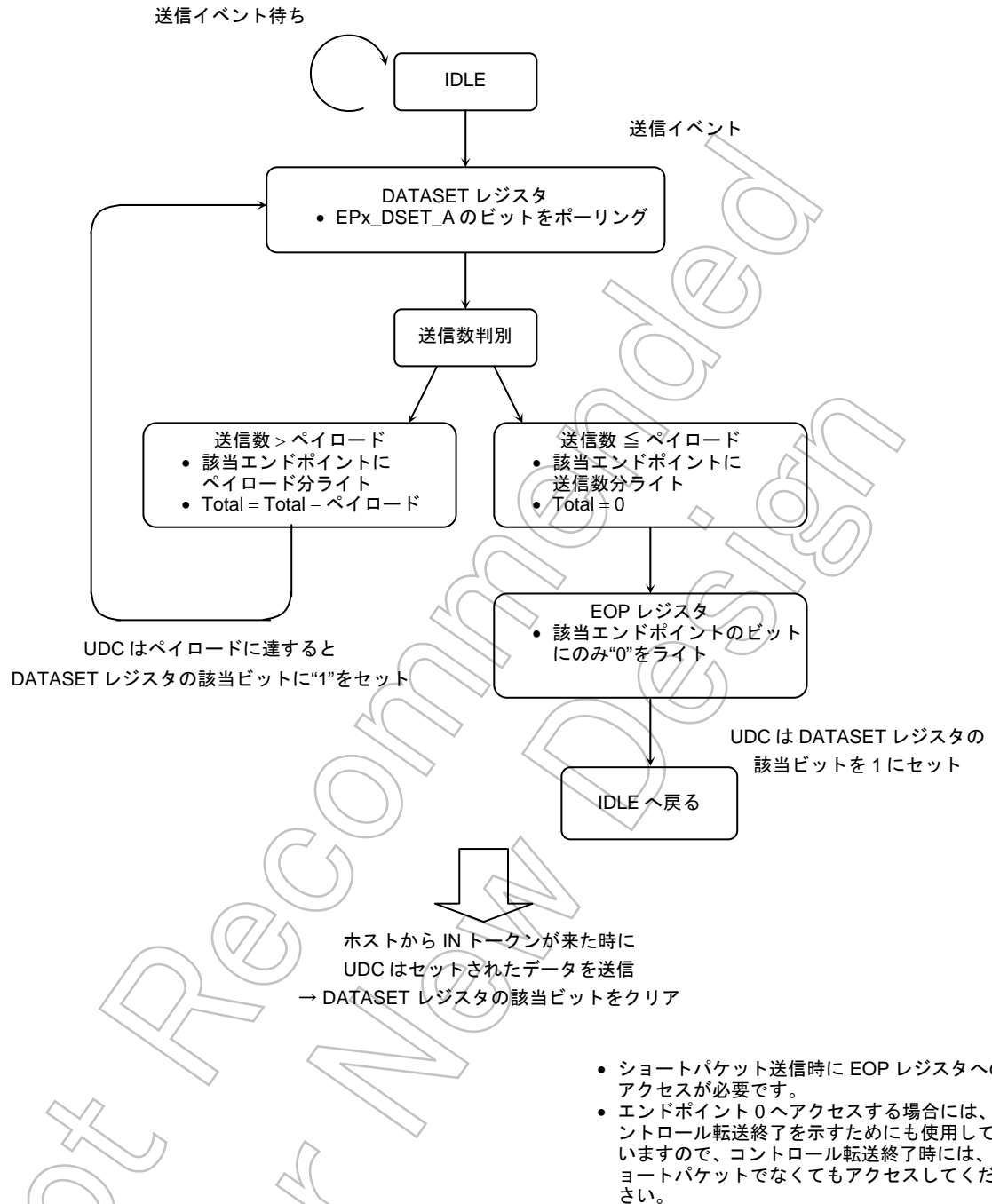


図 3.10.14 シングルパケットモード時の送信シーケンス

(b) デュアルパケットモード

デュアルパケットモードは、FIFO を 2 つの独立な A と B のパケットに分割し、ハードウェアにて順番にコントロールするモードです。USB ホストとのデータの送受信と、UDC 外部とのやり取りを同時に行うことが可能です。

受信用の FIFO からデータをリードするときには、2 つのパケットの状態を確認し、優先順位を考慮しながら行う必要があります。2 つのパケットに受信したデータを保持している場合においても、アクセスできる FIFO は、2 つのパケットで共通ですので、UDC は先に受信したデータから順次出力します。EP_x_SIZE レジスタは A、B パケットごとに用意されていますので、CPU は、PKT_ACTIVE ビットを用いてどちらのパケットが先にアクセスされたのかを確認の上、先に受信したパケットのデータ数を把握する必要があります。PKT_ACTIVE ビットが 1 にセットされているほうが先に受信したパケットになります。A パケットと B パケットは必ず交互にデータをセットします。

以下にこのシーケンスを示します。

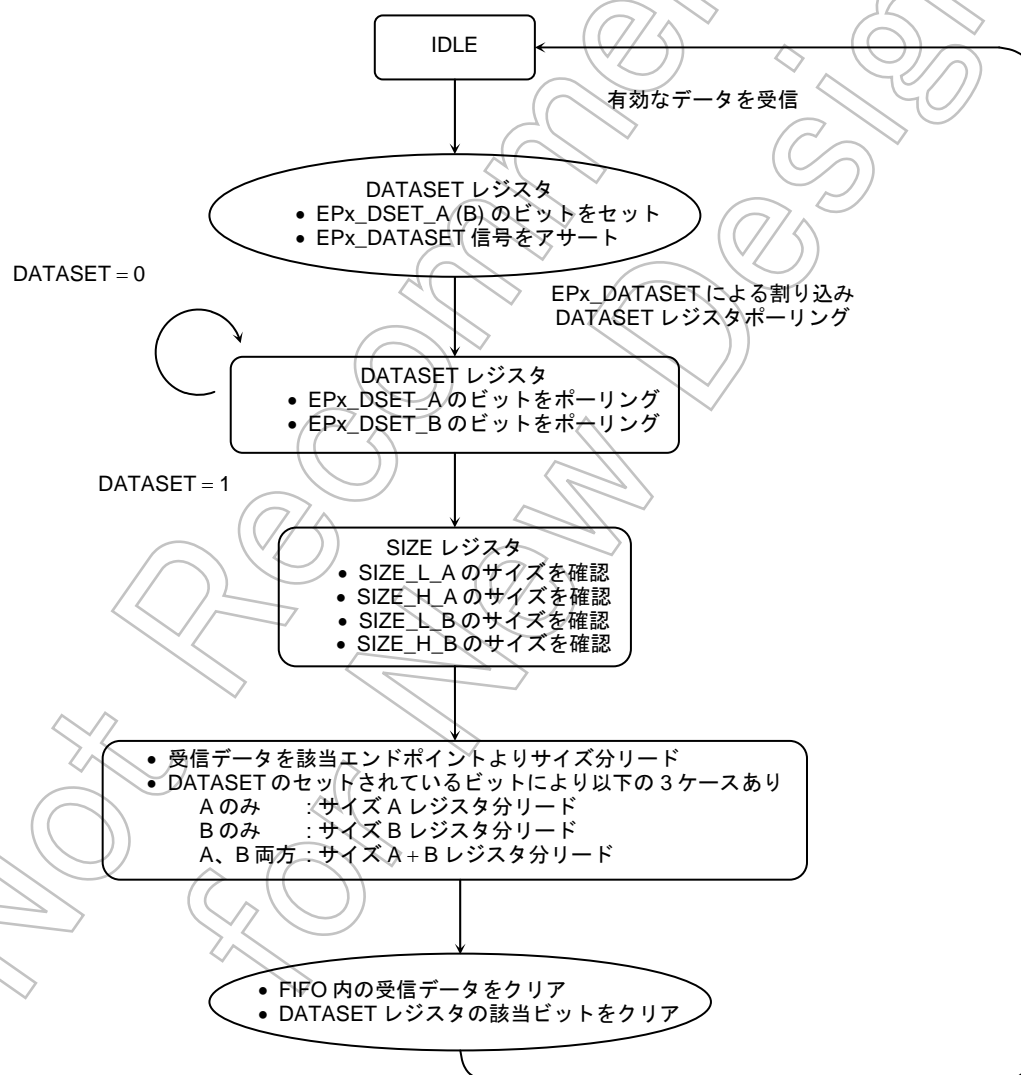
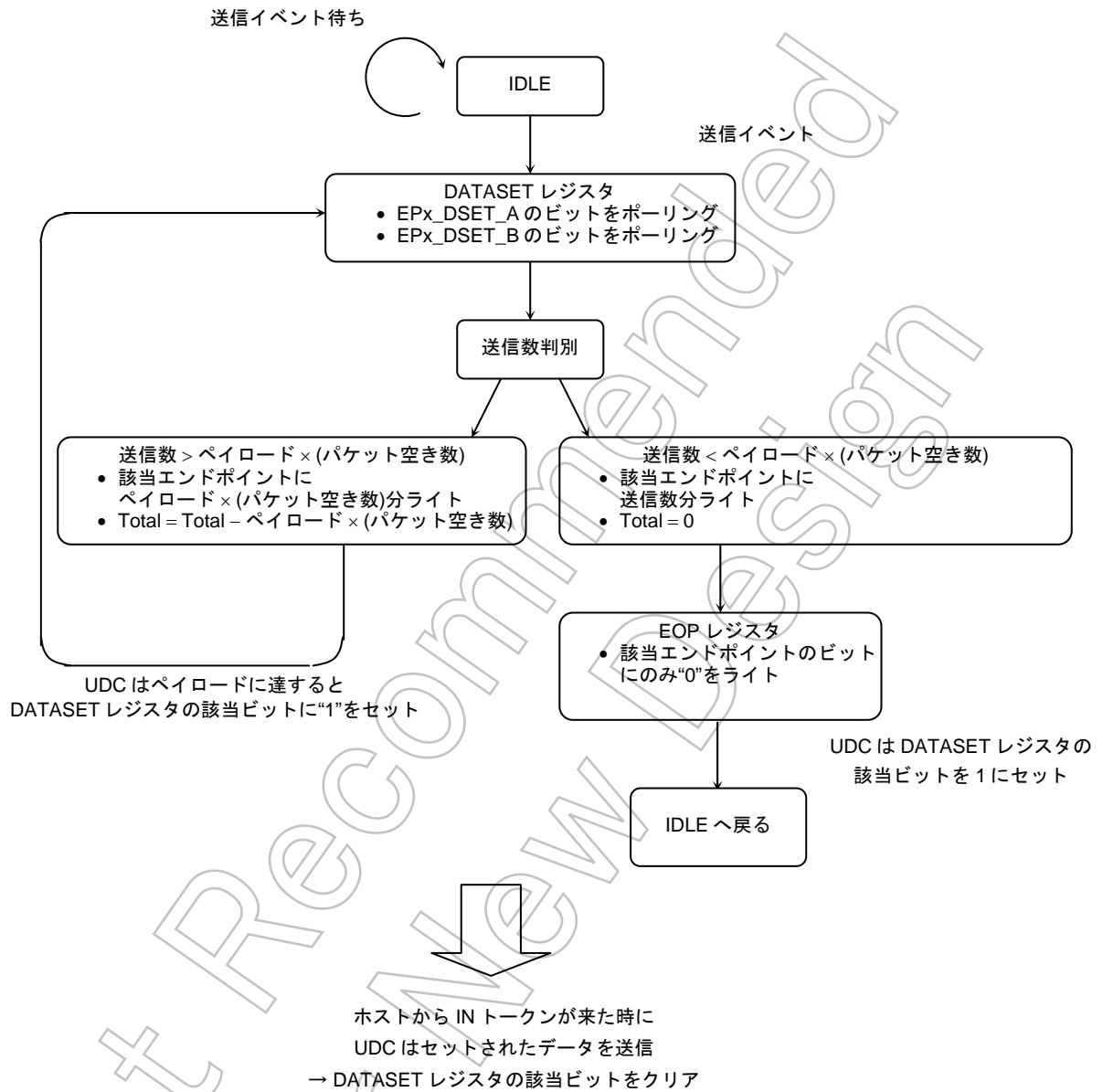


図 3.10.15 デュアルパケットモード時の受信シーケンス

送信時にはパケット A, B を考慮することなく空いている FIFO にデータをセットすることができます。

以下にデュアルパケットモード時の送信シーケンスを示します。



- ショートパケット送信時に EOP レジスタへのアクセスが必要です。
- コントロール転送は、シングルモードのみとなります。

図 3.10.16 デュアルパケットモード時の送信シーケンス

(c) パケットの発行

NULL パケットを送信する場合、EPx_EOPB 信号より L パルスを入力することにより、FIFO に 0 レングスのデータがセットされ、IN トークンに対し NULL パケットを送信することが可能です。

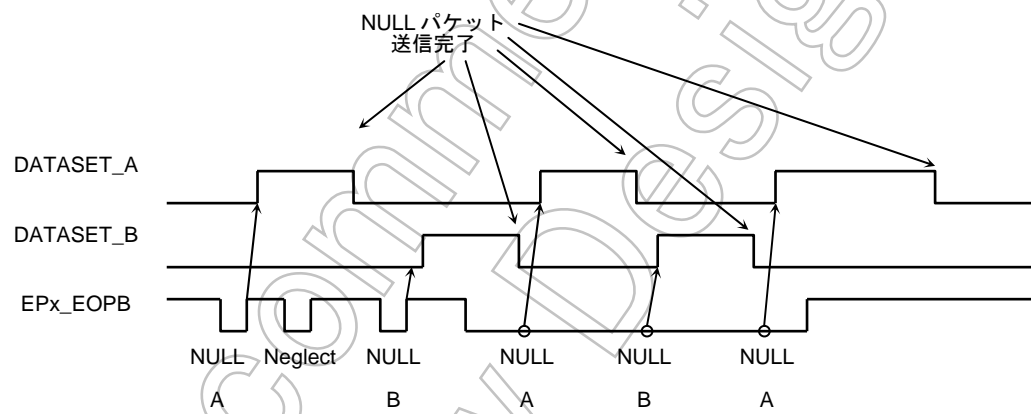
ただし、NULL データを FIFO にセットするには、DATASET 信号が L レベルの状態 (つまり FIFO にデータが入っていない場合) のみ有効となります。

ある期間内、受信した IN トークンに対してすべて NULL パケットにて応答する場合、EPx_EOPB 信号を L レベルに保持することにより、応答することが可能です。

しかしながら、デュアルパケットモードの場合、EPx_DATASET 信号はデータの空きを示すために L レベルアサートしますので、どちらのバンクにもデータがないという状態を、外部から知ることができません。

注) EOP レジスタアクセスによっても NULL パケットをセット可能です。

例)



(2) 割り込み制御

割り込み信号が用意されています。この機能はシステムを使用しています。詳細は 3.10.2 900/H1 CPU I/F を参照してください。

3.10.8 USBデバイス応答

USB コントローラ (UDC) は、ハードウェアリセット検出時、USB バスリセット検出時、エナミュレーション応答時に UDC 内の初期化や各種レジスタの設定を行います。

以下にそれぞれの状態について説明します。

(1) バスリセット検出時の状態

UDC は USB 信号線上にバスリセットを検出すると内部のレジスタを初期化し、USB ホストからのエナミュレーション動作に備えます。UDC は USB リセット検出後にデフォルトパイプを使用可能とするため、ENDPOINT0 をコントロール転送、8 バイトペイロード、デフォルトアドレスに設定します。それ以外のエンドポイントを禁止状態に設定します。

レジスタ名		イニシャル値
ENDPOINT STATUS	EP0	00H
	EP0 以外	1CH

(2) STATUS レジスタ詳細

エンドポイントごとに用意されたステータスレジスタは UDC のエンドポイントごとの状態を示します。

それぞれの状態は各種 USB の転送に影響します。それぞれの転送時の状態変化は、5 章を参照してください。

EP_x_STATUS レジスタの値は 0~3 で以下の状態を表します。0~4 までの表示は各種転送の結果を示します。UDC 外部から確認することで、そのエンドポイントに対する直前の転送結果を確認することが可能です。

0	READY
1	DATAIN
2	FULL
3	TX_ERR
4	RX_ERR

これらの状態はエンドポイントが正常に動作していることを示します。

各転送モードにより表示の意味が異なりますので、以下の各転送モード別の欄を参照してください。

ISO 転送モード

1つ前のフレームの転送状態を示します。SOFの受信で更新されます。

	OUT (RX)	IN (TX)
イニシャル時	READY	READY
転送なし	READY	FULL
正常終了	DATAIN	READY
エラーを検出	RXERR	TXERR

ISO 転送以外の転送モード

直前の転送の結果を示します。転送終了時に更新されます。

	OUT, SETUP	IN
イニシャル時	READY	READY
正常転送終了時	DATAIN	READY
ステータスステージ終了時	READY	READY
エラー転送時	RXERR	TXERR

なお、イニシャル時とは RESET、USB リセット、Current_Config レジスタの更新時を示します。エラー検出時にはインターラプトのトグル転送モードとアイソクロナス転送モードを除いて EPx_DATASET を発生しません。

ステータスレジスタの表示のうち 5~7 はエンドポイントが特別な状態にあることを示します。

- 5 BUSY コントロール転送を行うエンドポイントでのみ発生します。UDC がコントロールライト転送を行っているときに CPU がエミュレーション処理を完了しない状態で、USB ホストからのステータスステージの ID を受信したときにセットされます。CPU がエミュレーション処理を終了し、UDC に対して EOP レジスタの EP0 ビットに "0" がライトされるまでは STATUS は BUSY となります。エミュレーション処理が終了し EOP レジスタの EP0 ビットに "0" がライトされ、USB ホストからのステータスステージを正常終了すれば、READY を表示します。
- 6 STALL エンドポイントが STALL 状態にあることを示します。この状態はプロトコル違反を行ったときか、バスエミュレーションでエラーを起こした場合に発生します。正常転送が可能な状態にエンドポイントに戻すためには USB ホストによるデバイスリクエストが必要となります。このリクエストにより正常状態に戻ります。ただし、コントロールエンドポイントについては、SETUP トークンを受信すると正常状態に戻りセットアップステージに入ります。
- 7 INVALID この状態はエンドポイントが使用できない状態であることを示します。UDC はディスクリプタで指定されていないエンドポイントを INVALID 状態に設定し、このエンドポイントに対するトークンはすべて無視します。この状態は初期化時には必ず発生します。UDC はハードウェアリセットを検出すると、すべてのエンドポイントを INVALID 状態に設定します。次に USB リセットを受信するとエンドポイント 0 のみが READY に更新されます。ディスクリプタ上で定義されたその他のエンドポイントは、SET_CONFIG リクエストを正常終了すると READY に更新されます。

3.10.9 パワーマネジメント

USB コントローラ (UDC) は任意のレジューム状態 (電源投入状態) からサスペンド (保留) 状態への移行、およびサスペンド状態から電源投入状態への復帰、を行うことが可能です。

UDC に供給する CLK を操作することにより更なる低消費電力化も可能です。

(1) サスペンド状態への移行

USB ホストは IDLE ステートを連続させることにより、USB デバイスをサスペンド状態に設定することができます。UDC は、以下の手順でサスペンド状態に移行します。

- UDC は USB 信号線上において 3 ms 以上 (3.07ms) の連続した IDLE ステートを検出するとサスペンド状態に移行します。このとき、STATUS レジスタの SUSPEND ビットを“1”にセットします。
- UDC は USB 信号線上において 5ms 以上 (約 5.46ms) の連続した IDLE ステートを検出すると USBINTFR1<INT_SUS>と<INT_CLKSTOP>を“0”から“1”に更新します。その後、USBCR1<USBCLKE>ビットを“0”に設定して、USB クロックを停止してください。
- この状態では、UDC 内部のレジスタの値はすべて保持されていますが、外部からのアクセスはステータスレジスタと Current_Config レジスタ、USBINTFR1/2、USBINTMR1/2、USBCR1 のリード以外は行うことができません。

(2) ホストレジュームによるサスペンド状態からの復帰

USB ホストからのレジューム状態出力により USB 信号線上のバスのアクティビティが回復すると、UDC は SUSPEND 状態を解除し STATUS レジスタの SUSPEND ビットも“0”にリセットしてシステムを再開させます。このホストからのレジューム状態出力は少なくとも 20 ms 間は保持されているため、USB 信号線上に有効なプロトコルが発生するのはこの時間が経過した後となります。

(3) リモートウェイクアップによるサスペンド状態からの復帰

リモートウェイクアップはサスペンドしている USB デバイスから USB ホストにレジュームを促すためのシステムです。リモートウェイクアップはアプリケーションにより、サポートされない場合があります。またリモートウェイクアップはバスエナミュレーションによって USB ホストから使用を制限されます。

UDC のリモートウェイクアップ機能は許可されている場合に使用可能です。

バスエナミュレーションによるリモートウェイクアップの設定は、Current_Config レジスタの bit7 で確認できます。このビットが“1”のとき、リモートウェイクアップが使用可能です。このビットでリモートウェイクアップをディセーブルすることはしませんので、このビットがディセーブルを表す場合、リモートウェイクアップを行わないでください。

これらの条件を満たしているとき、サスペンド状態にある UDC の USBCR1<WAKEUP>に“1”→“0”をライトすることにより、USB ホストに対しレジューム状態出力を行い、UDC からホストへレジュームを促します。UDC はサスペンド状態に移行した後、2 ms の間は WAKEUP 入力を無視します。従って、リモートウェイクアップは、USBINTFR1<INT_SUS>が“1”になってから有効となります。

(4) CLK 入力信号の制御による低消費電力化

UDC はサスペンド状態に移行すると CLK を停止して低消費電力状態へ移行しますが、システムとしては供給される CLK を元から停止することにより、更なる低消費電力化が可能となります。UDC に供給している CLK は、USBINTFR1<INT_SUS>と<INT_CLKSTOP>と USBCR1<USBCLKE>を使用して USB へのクロック供給をコントロールすることができます。

そのためには、次のように動作する必要があります。UDC がサスペンド状態に移行すると USBINTFR1<INT_SUS>が“1”、USBINTFR1<INT_CLKSTOP>が“1”になり、確認後、USBCR1<USBCLKE>を“0”にセットすることにより、供給 CLK (USBCLK) を停止させます。ホストからのレジュームにより SUSPEND 状態が解除されると 3 ms 以内に正常な CLK を UDC に供給しなければなりません。

またリモートウェイクアップを使用するときは、使用前に必ず安定した CLK を UDC に供給する必要があります。CLK の発生源として逡倍回路を使用する場合も、上記の制御を必要とします。

Not Recommended for New Design

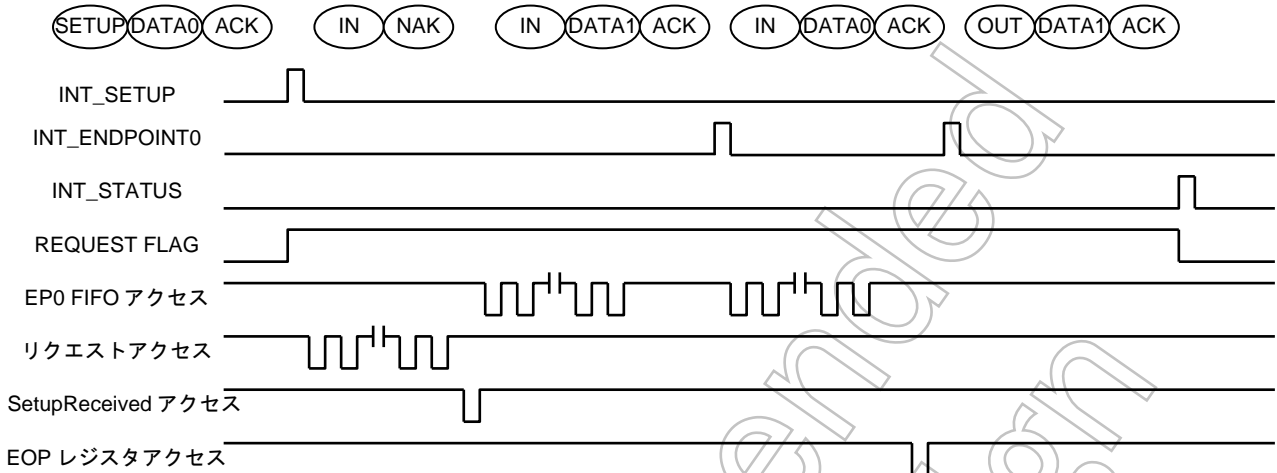
- USBリセットによるサスペンドからの復帰 (INT_CLKON 割り込みを使用)
UDC がサスペンド状態の時に CLK を停止させていると、USB リセットを検出することができませんので、前述のように SUSPEND 状態で CLK を制御することができません。
UDC が SUSPEND 状態の時に CLK を停止している場合は、INT_CLKON 割り込みを検出後 USBCR1<USBCLKE>を“1”にセットしてクロックを入力することによって、USB リセットを検出し SUSPEND 状態から復帰することができます。

Not Recommended
for New Design

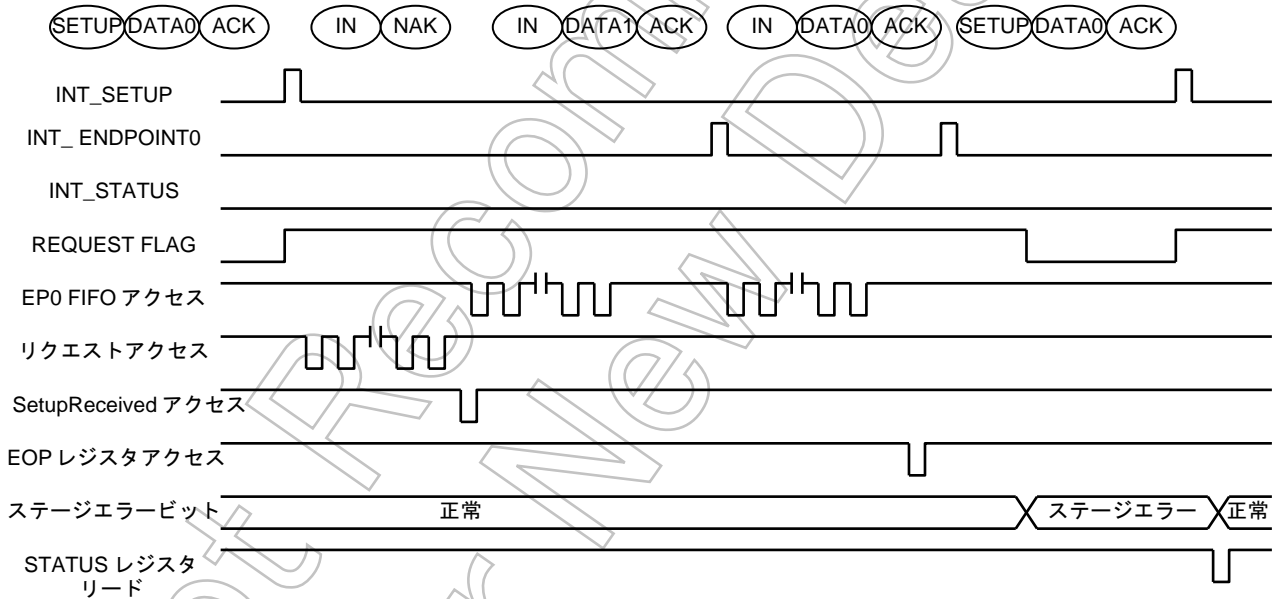
3.10.10 付録

(1) USB 通信における外部アクセスフロー

a) 正常動作



b) ステージエラー



(2) レジスタ初期値

レジスタ名	OUTSIDE リセット 初期値	USB_RESET 初期値	レジスタ名	OUTSIDE リセット 初期値	USB_RESET 初期値
bmRequestType	0x00	0x00	INT_Control	0x00	0x00
bRequest	0x00	0x00	USBUFF_TEST	0x00	保持
wValue_L	0x00	0x00	USB_STATE	0x01	0x01
wValue_H	0x00	0x00	EPx_MODE	0x00	0x00
wIndex_L	0x00	0x00	EPx_STATUS	0x1C	0x1C
wIndex_H	0x00	0x00	EPx_SIZE_L_A	0x88	0x88
wLength_L	0x00	0x00	EPx_SIZE_L_B	0x08	0x08
wLength_H	0x00	0x00	EPx_SIZE_H_A	0x00	0x00
Current_Config	0x00	0x00	EPx_SIZE_H_B	0x00	0x00
Standard Request	0x00	0x00	FRAME_L	0x00	0x00
Request	0x00	0x00	FRAME_H	0x02	0x02
DATASET	0x00	0x00	ADDRESS	0x00	0x00
Port Status	0x18	保持	EPx_SINGLE	0x00	保持
Standard Request Mode	0x00	保持	EPx_BCS	0x00	保持
Request Mode	0x00	保持	ID_STATE	0x01	0x00

注 1) 上記初期値は、RESET 信号によって初期化される値です。各種状態によって、表示する値が異なる場合があります。

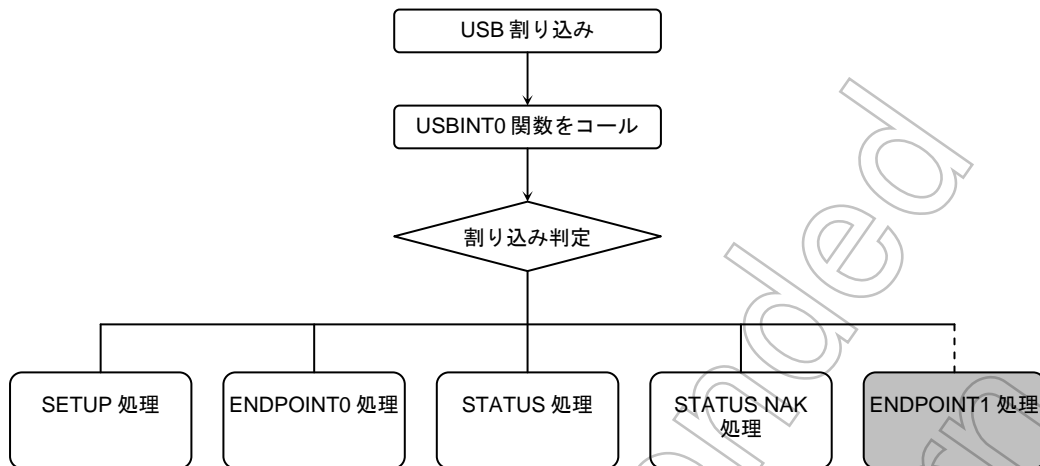
2 章のレジスタ構成を参照してください。

注 2) EP0_STATUS レジスタについては、USB_RESET 受信後、0x00 に初期化されます。

注 3) ID_STATE レジスタの初期値は、BRESET 信号によって初期化される値です。USB_RESET 信号をホストより受信すると 0x00 に初期化されます。

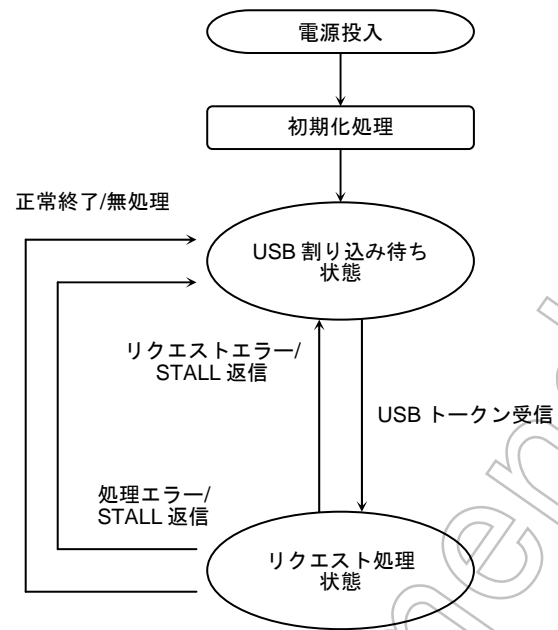
(3) USB コントロールフローチャート

(a) スタンダードリクエストに対する処理 (概略フローチャート (例))



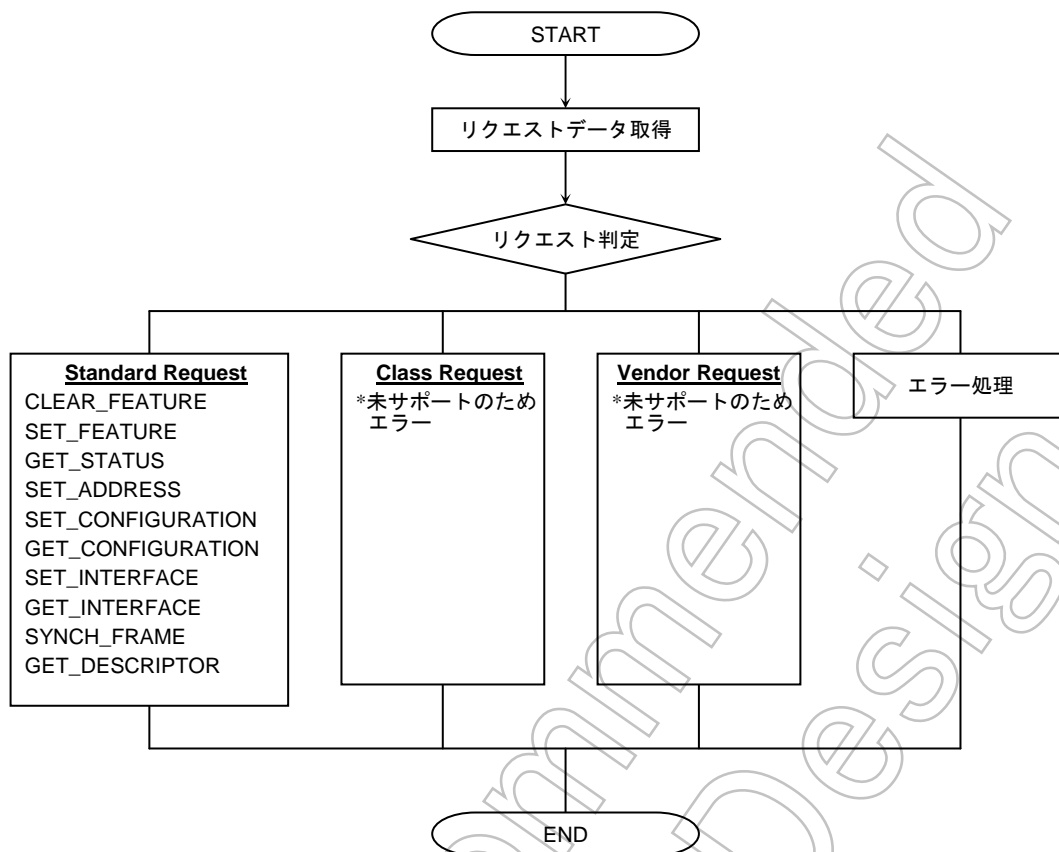
Not Recommended for New Designs

(b) 状態遷移

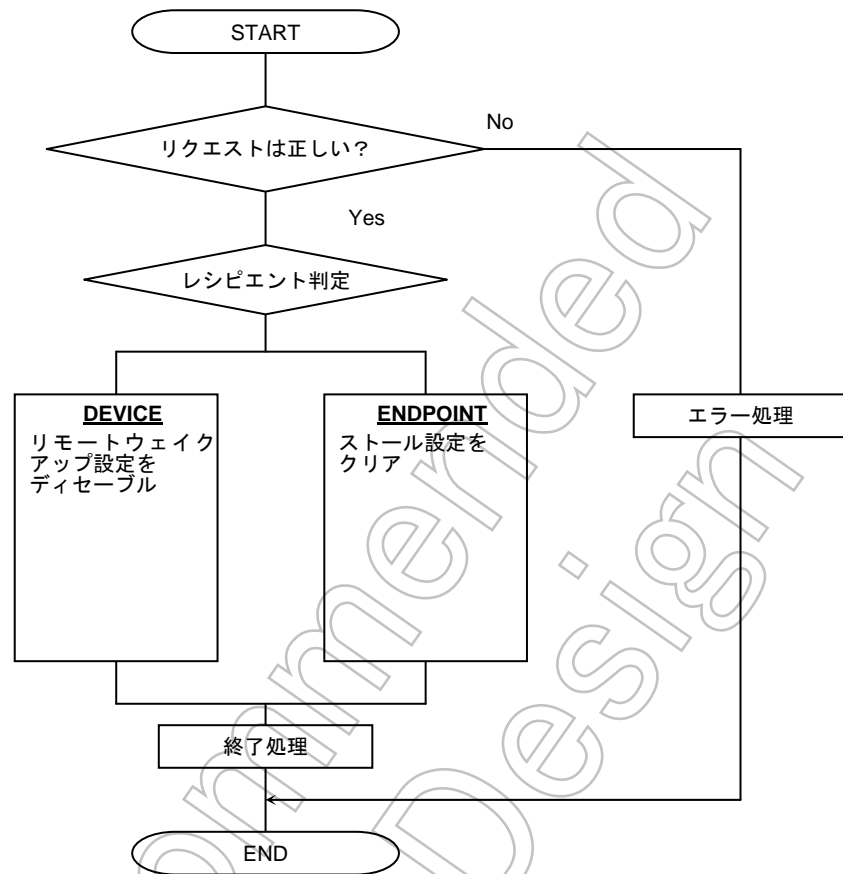


Not Recommended for New Design

(c) デバイスリクエストと各種リクエスト判定

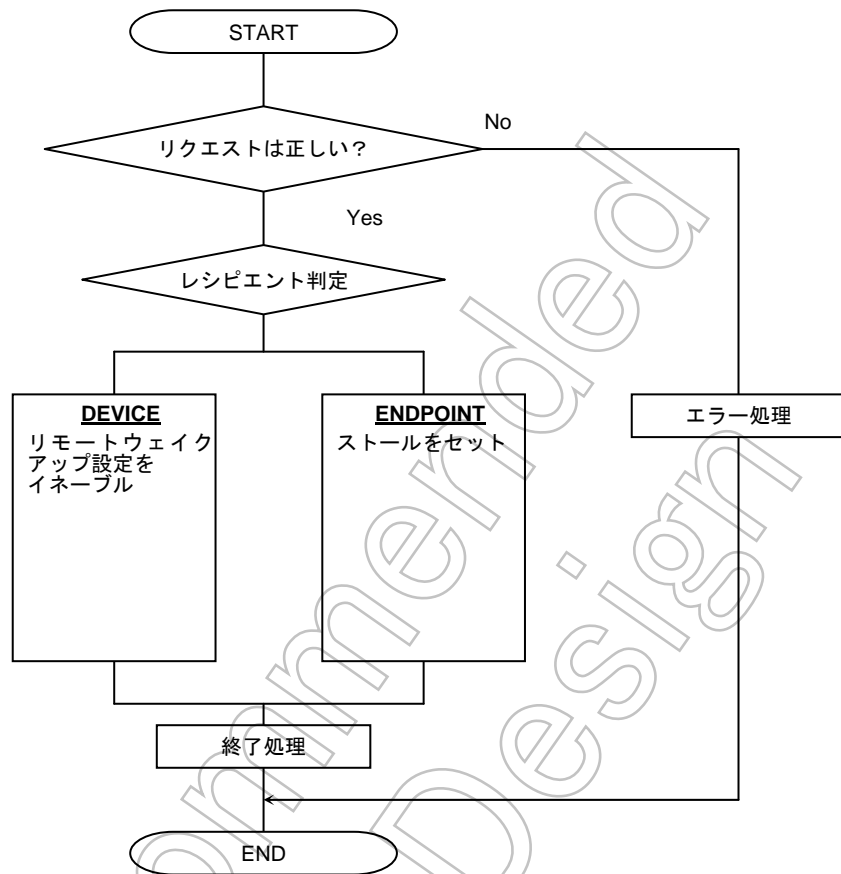


(c-1) CLEAR_FEATURE リクエスト処理



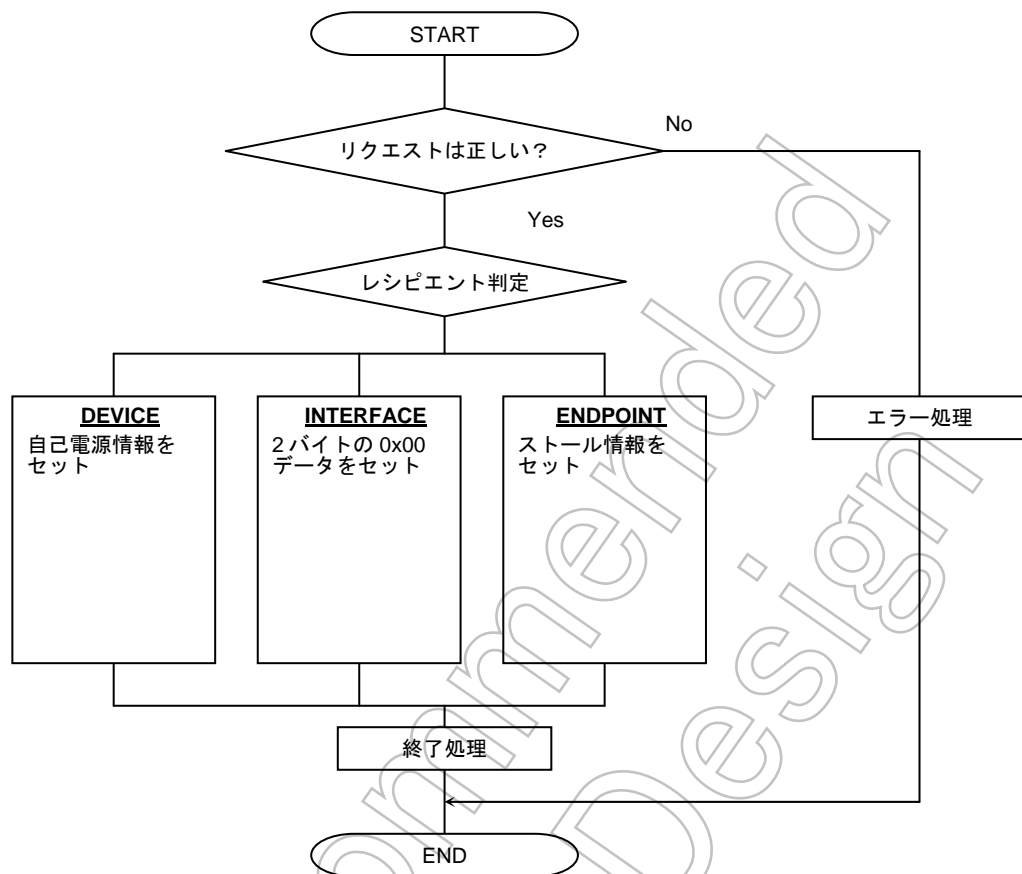
Not Recommended for New Design

(c-2) SET_FEATURE リクエスト処理

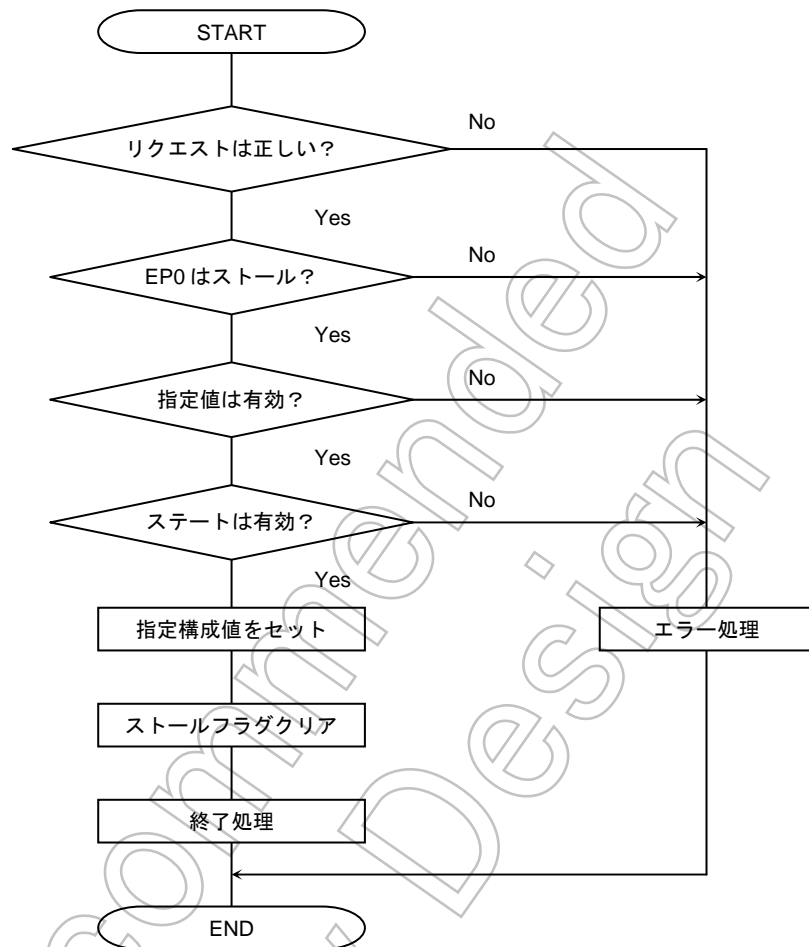


Not Recommended for New Design

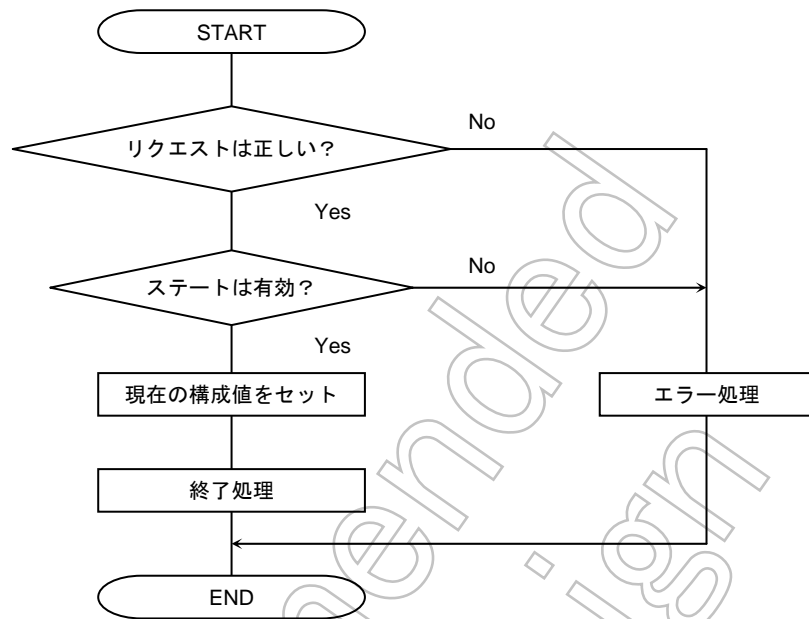
(c-3) GET_STATUS リクエスト処理



(c-4) SET_CONFIGURATION リクエスト処理

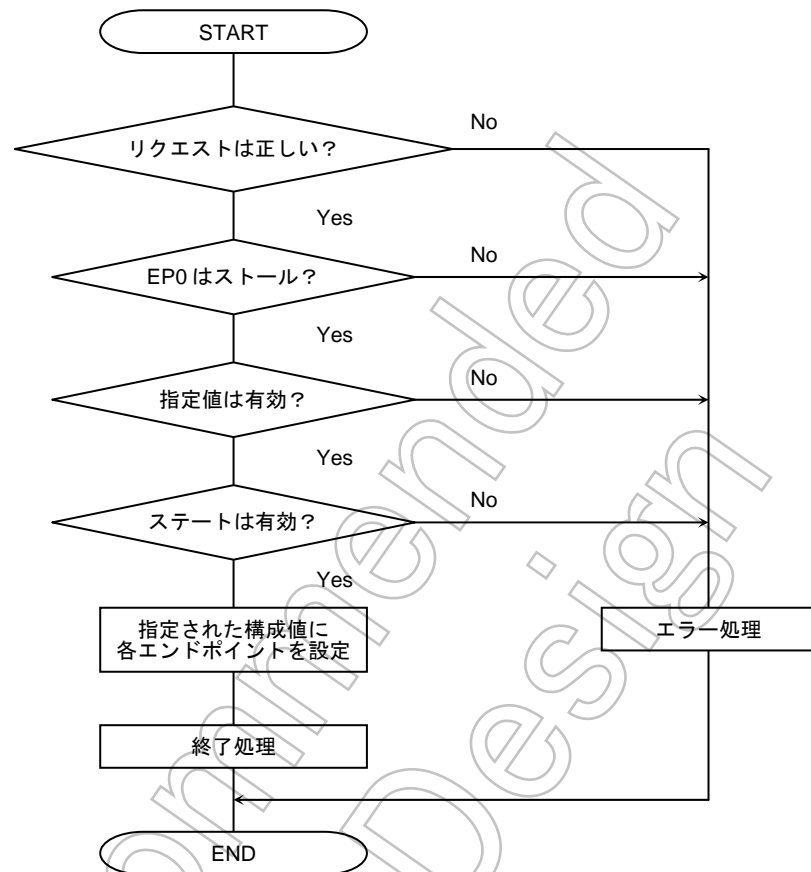


(c-5) GET_CONFIGURATION リクエスト処理

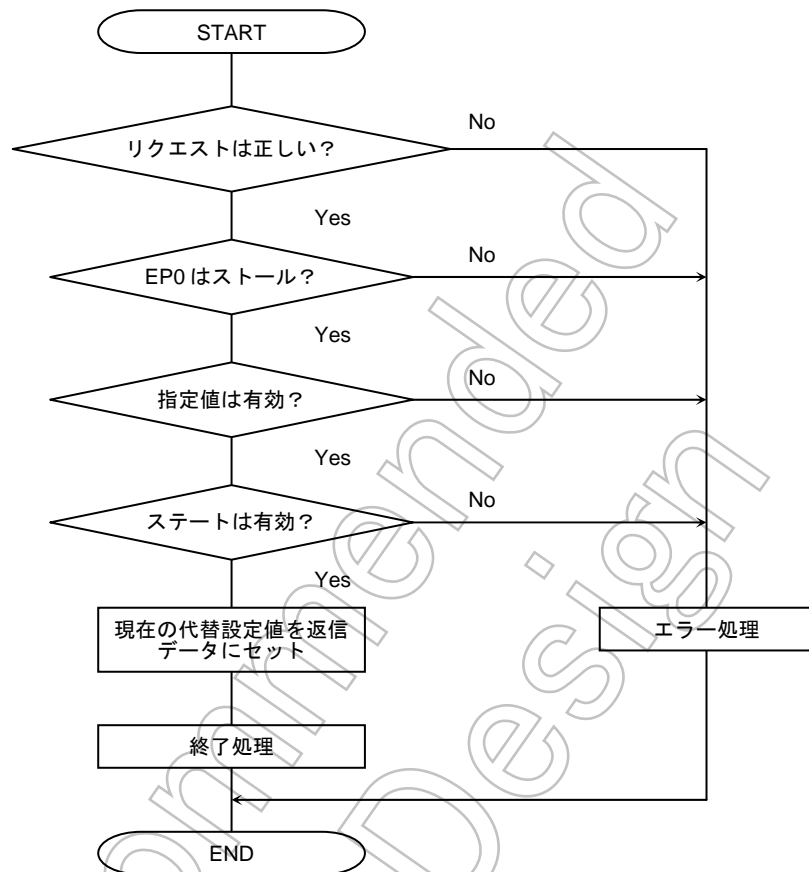


Not Recommended for New Design

(c-6) SET_INTERFACE リクエスト処理

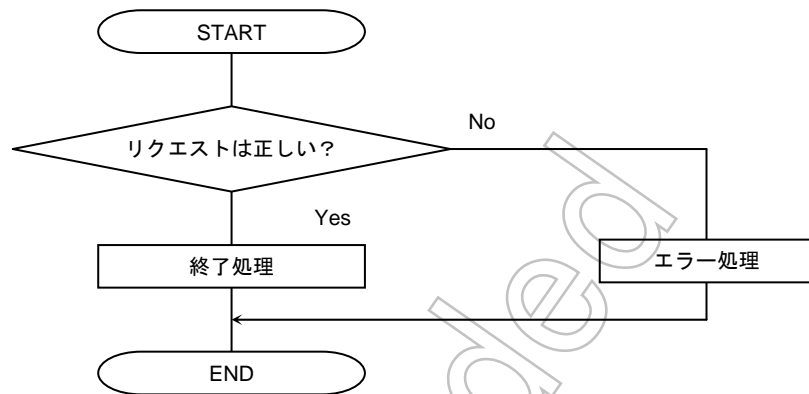


(c-7) SYNCH_FRAME リクエスト処理

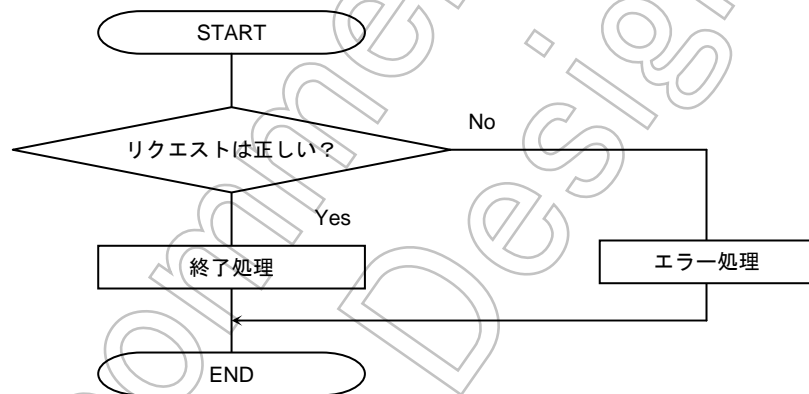


Not Recommended for New Designs

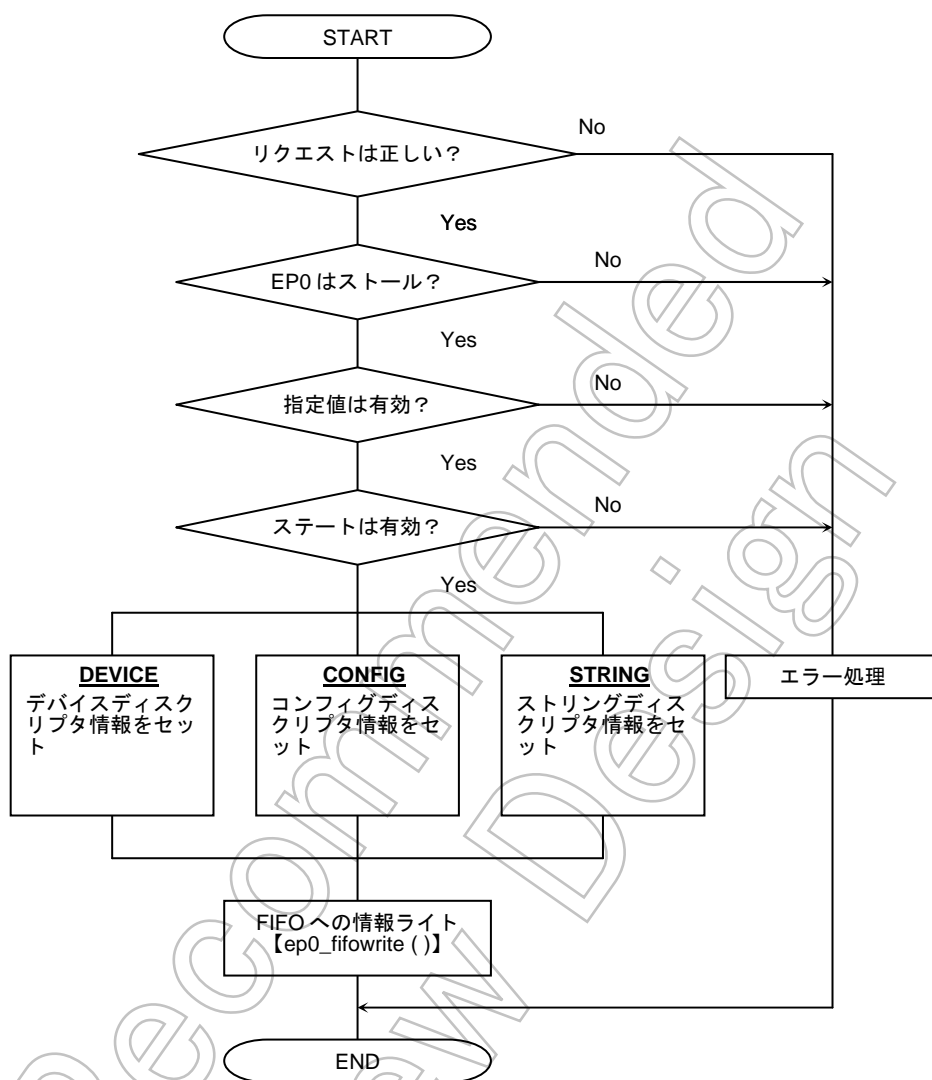
(c-8) SYNCH_FRAME リクエスト処理



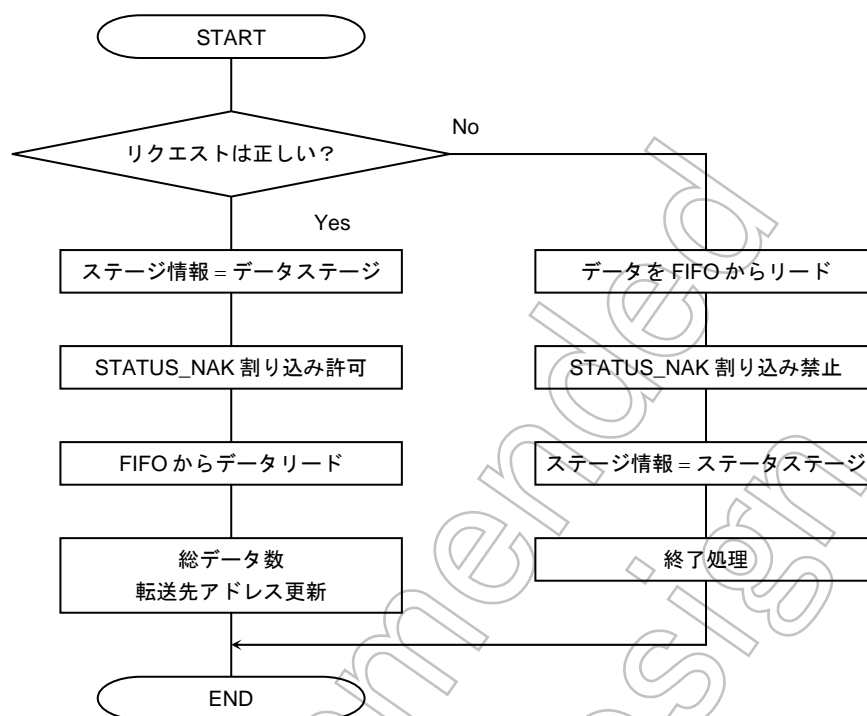
(c-9) SET_DESCRIPTOR リクエスト処理



(c-10) GET_DESCRIPTOR リクエスト処理

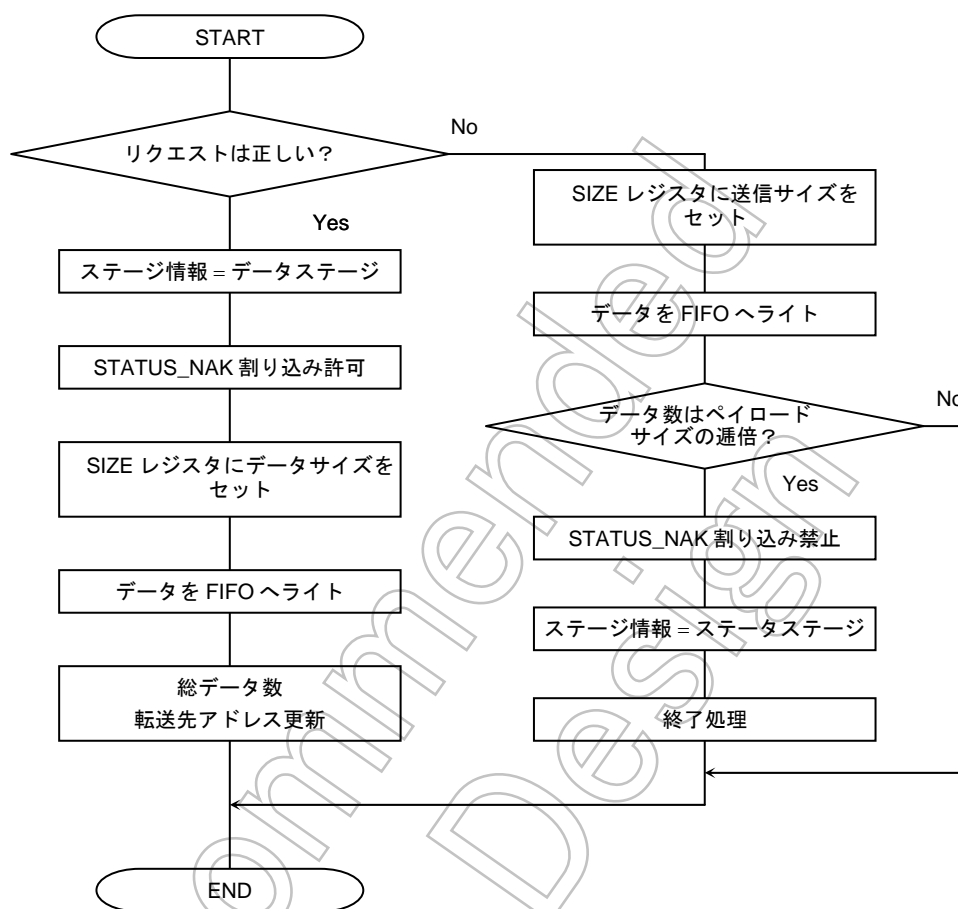


(c-11) EP0 の FIFO からのデータリード処理

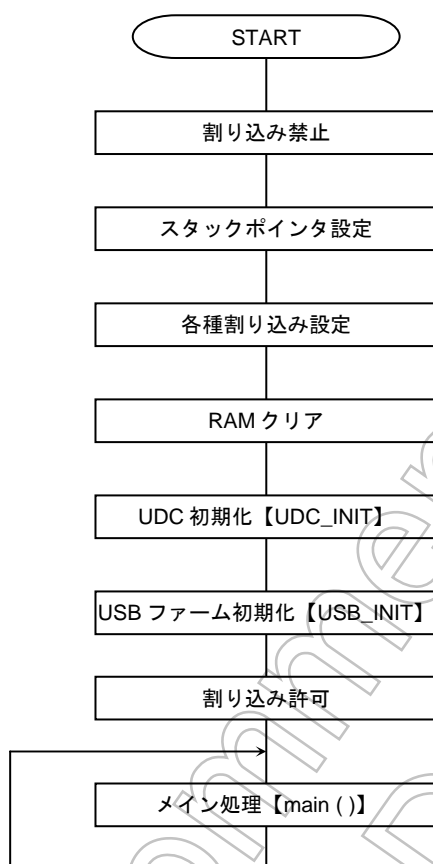


Not Recommended for New Design

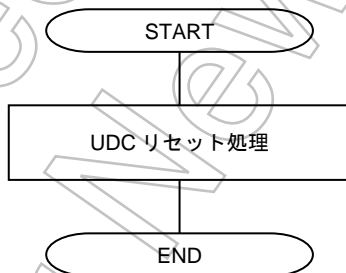
(c-12) EP0 の FIFO へのデータライト処理



(c-13) マイコン初期設定処理



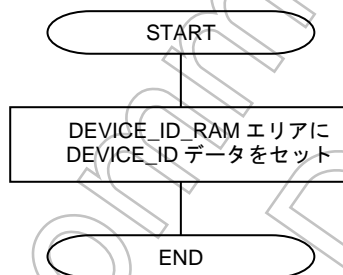
(c-14) UDC 初期設定処理



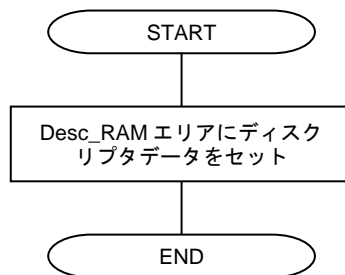
(c-15) USB ファーム変数初期設定処理



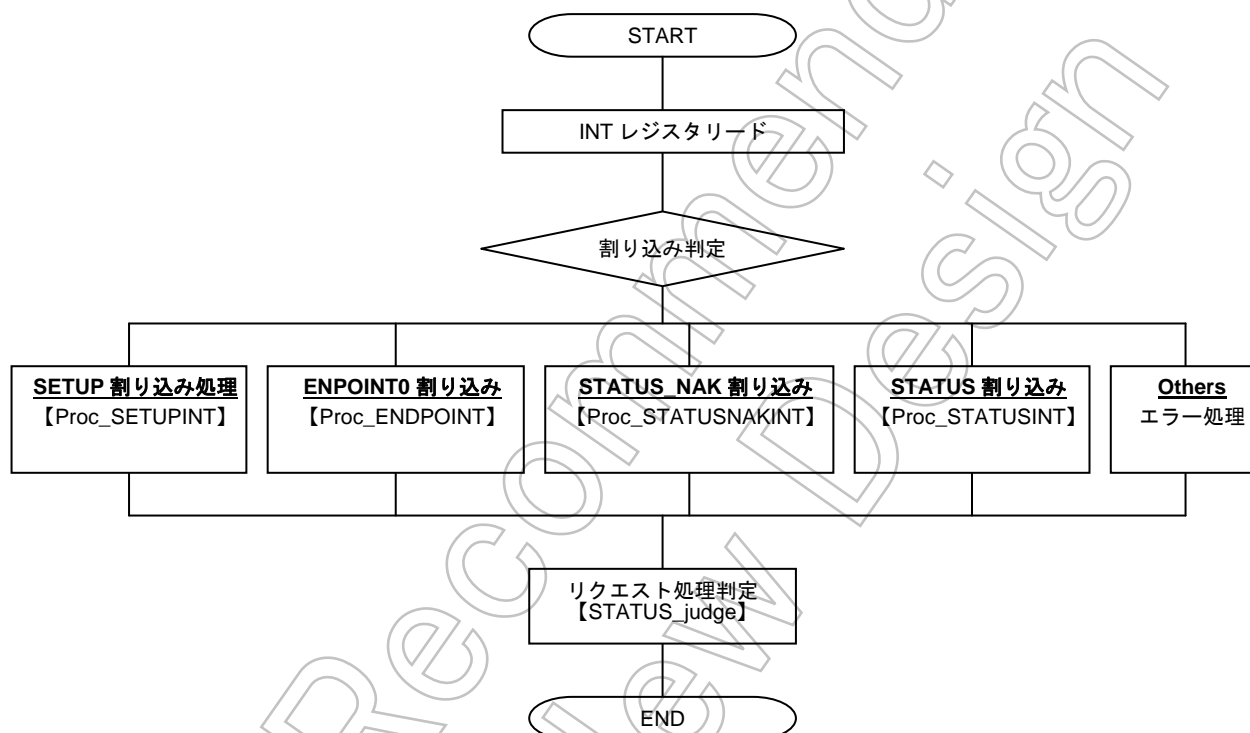
(c-16) DEVICE_ID データを UDC の DEVICE_ID にセット



(c-17) ディスクリプタデータセット処理



(c-18) USB 割り込み処理

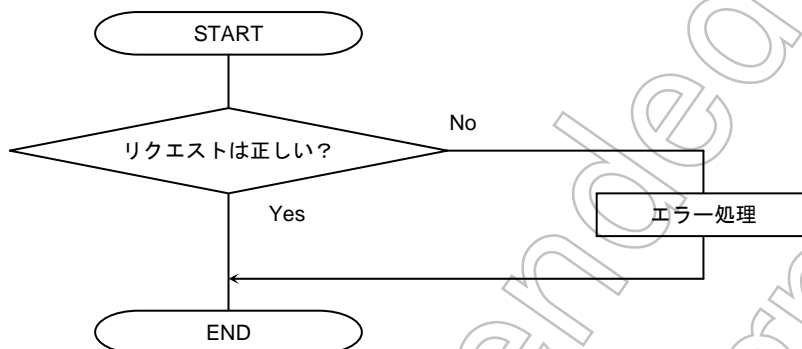


(c-19) 未使用マスカブル割り込みダミー機能

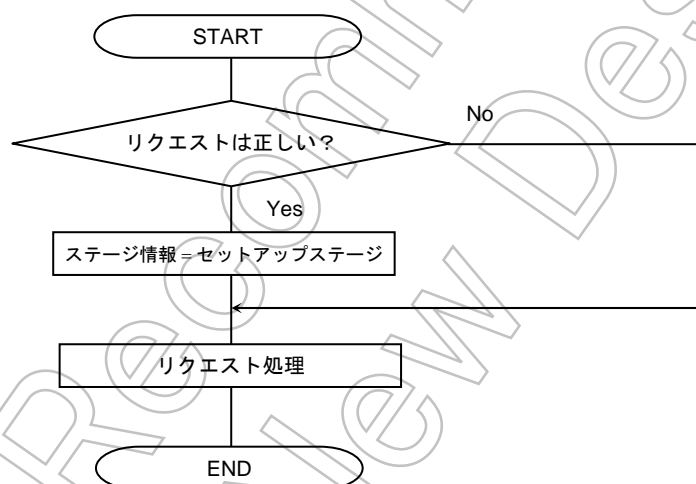
* 処理は何も行っていないため、概略フローは省略します。

(c-20) リクエスト判定処理

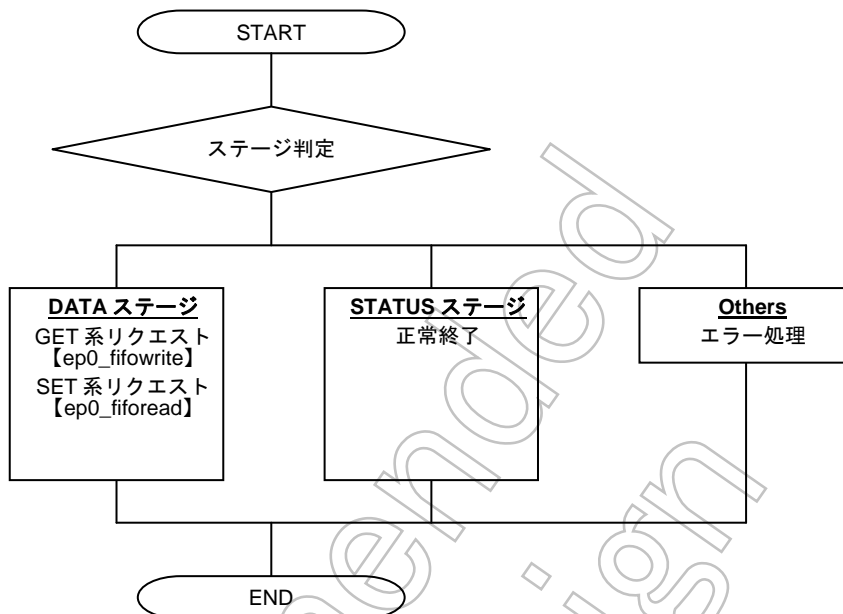
処理結果よりエラーの場合 STALL コマンドを発行します。



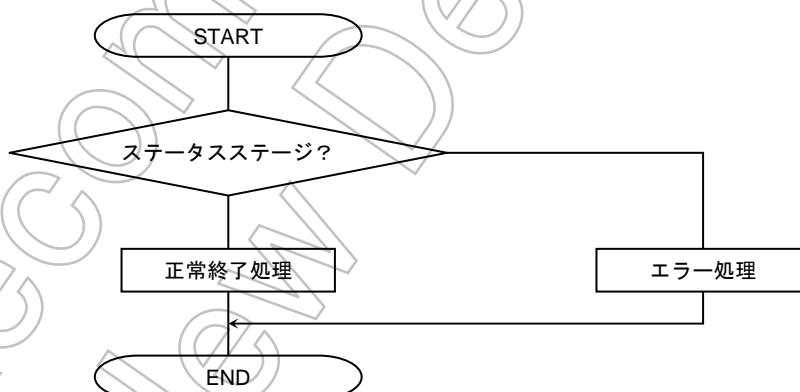
(c-21) セットアップステージ処理



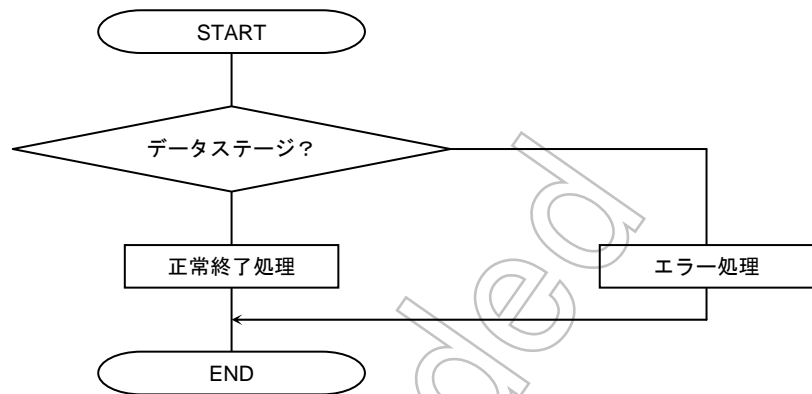
(c-22) セットアップステージ以外でのエンドポイント 0 の処理を行います。



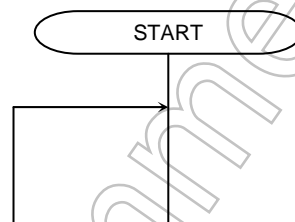
(c-23) ステータスステージ割り込み処理



(c-24) STATUS NAK 割り込み処理

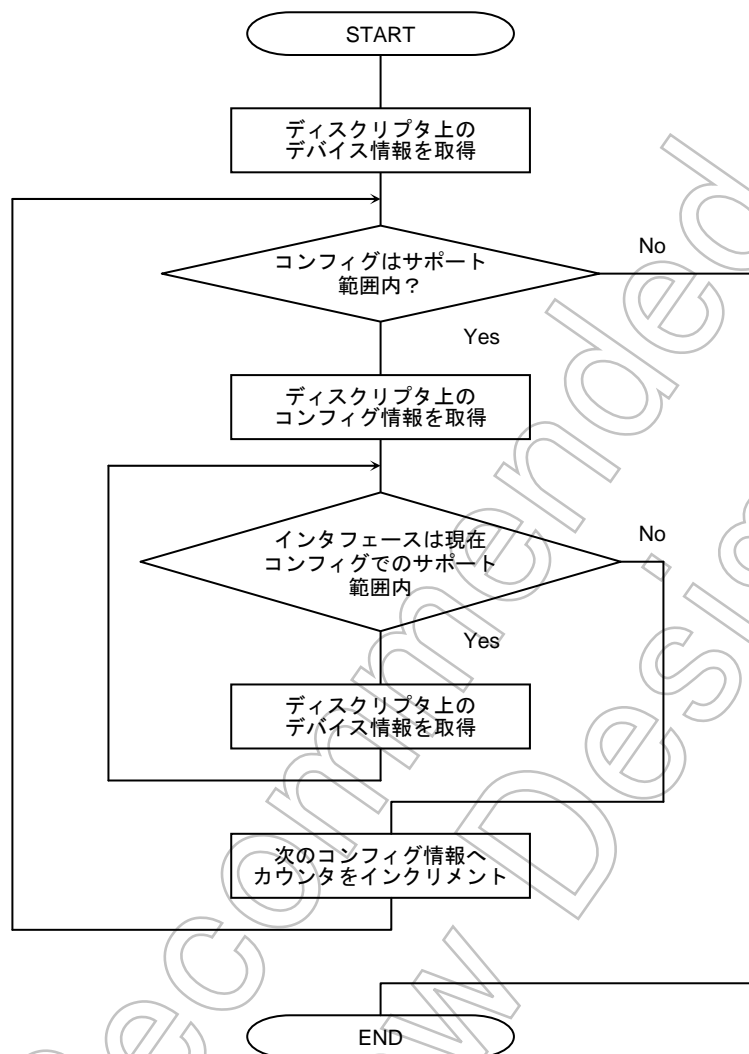


(c-25) USB 処理は割り込みにて行うためメインでは無処理



Not Recommended for New Design

(c-26) 各種ディスクリプタ情報 (標準リクエスト関連) の取得



3.10.11 使用上の注意事項

1. 特定タイミングにおける COMMAND レジスタライト制約

“STALL”コマンドを発行したときに誤ってエンドポイントのステータスが“INVALID”に入ってしまうことがあります。これを回避するために以下に示す手順にて処理を行ってください。

(1) バルク IN/OUT 転送の場合

バルク転送中のエンドポイントへ STALL コマンドを発行する場合には、エンドポイントへの RD/WR アクセスを中断した後、UDC がホストからのトークンに対して NAK を返信した後に STALL コマンドを発行してください。NAK 送信の認識には INT_EPxNAK を使用してください。

(2) コントロール OUT (データステージ有り) 転送(ソフトウェア応答)の場合

INT_SETUP 割り込み受信後、リクエストの内容を判断してエンドポイント 0 に対して STALL を設定する必要があると判断した場合、SetupReceived レジスタにアクセスしてください。その後、INT_ENDPOINT0 割り込みを認識した後、STALL コマンドを発行する。

(3) コントロール OUT (データステージ無し) 転送(ソフトウェア応答)の場合

INT_SETUP 割り込み受信後、リクエストの内容を判断してエンドポイント 0 に対して STALL を設定する必要があると判断した場合には、eop レジスタアクセス前に STALL コマンドを発行してください。

(4) コントロール IN 転送(ソフトウェア応答)の場合

INT_SETUP 割り込み受信後、リクエストの内容を判断してエンドポイント 0 に対して STALL を設定する必要があると判断した場合には、ホストへの最初の送信データをセットする前に STALL コマンドを発行してください。

2. USB_RESET コマンド実行時の EPx_STATUS<STATUS2:0>の制約

あるエンドポイントへのトークンを処理している特定のタイミングにおいて、そのエンドポイントに対して USB_RESET コマンドを実行すると、EPx_STATUS<STATUS2:0>の表示が異なった状態となることがあります。これで問題がある場合には、エンドポイントへのリセット動作をそのエンドポイントの転送中に行わないようにしてください。(エンドポイントへの USB_RESET 動作が必要となるリクエストの処理中に行うようにしてください。)

3. デバイスコントローラのトグルエラー発生時の動作

(1) 弊社 UDC 動作

OUT 転送中に USB ホストが UDC から受信した ACK を受信できなかった場合、USB ホストは再度同じデータを UDC へ送信します。UDC の FIFO が受信可能な状態であれば、(この直前に受信したデータと同じトグルの)同一データを受信するため、トグルエラーを検知して ACK を返送します。データは既に正常に受信しているため破棄します。一方でこのとき FIFO に空きが無い場合、UDC は NAK を返送して USB ホストに受信準備ができていないことを知らせます。

(2) USB1.1 規格(USB1.0 規格でも同記述あり)

USB1.0 および USB1.1 規格では「8.4.5.3 Function Response to an OUT Transaction」に処理の優先度が下記のように説明されています。ここではトグルエラー(SequenceBitsMatch=No)による ACK 応答が NAK 応答より優先されることが明記されています。

表 3.10.4 Function Responses to OUT Transactions in Order of Precedence

Data Packet Corrupted	Receiver Halt Feature	Sequence Bits Match	Function Can Accept Data	Handshake Returned by Function
Yes	N/A	N/A	N/A	None
No	Set	N/A	N/A	STALL
No	Not set	No	N/A	ACK
No	Not set	Yes	Yes	ACK
No	Not set	Yes	No	NAK

UDC はトグルエラー検出より FIFO の状態検出を優先するため、空きが無い場合などの要因で FIFO が使用不可能な状態の場合 USB ホストに対して NAK を返送します。これは「3.10.6(a-2)バルク受信モード」に処理フロー図とともに説明されています。このように FIFO が使用不可能な状態では UDC は USB 規格と異なる動作を行います。

そのため、本来トグルエラー発生時のリトライ処理が 1 トランザクションで終了するのに対し、弊社 UDC では FIFO の状態に依存して複数回トランザクションが発生する可能性があります。

具体的には、FIFO に空きが無い状態でトグルエラーを含むデータを受信した場合、UDC は NAK を返送しますが、その後 FIFO が受信可能な状態となれば UDC は USB ホストに対して ACK を返送し、リトライ処理が終了します。

4. TMP92CH21 に内蔵される USB デバイスコントローラを利用する場合は、USB の規定から 9MHz±2500ppm 以下 (クリスタル発振子) の発振子を推奨いたします。またその場合も、本 USB デバイスコントローラと内部クロックの精度の関係上、外部ハブの利用は最大 3 段までとなります。

5. アイソクロナス IN 転送使用時の制約

アイソクロナス IN 転送を使用する場合は、その他の Endpoint を同時使用しないでください。

3.11 アナログ/デジタルコンバータ

4チャンネルのアナログ入力を持つ、10ビット逐次比較方式アナログ/デジタルコンバータ (ADコンバータ) を内蔵しています。

図 3.11.1に、ADコンバータのブロック図を示します。

4チャンネルのアナログ入力端子 (AN0~AN3) は、入力専用ポート G と兼用で入力ポートとしても使用できます。

注) IDLE2、IDLE1、STOPモードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので、ADコンバータの動作が停止していることを確認してから“HALT”命令を実行してください。

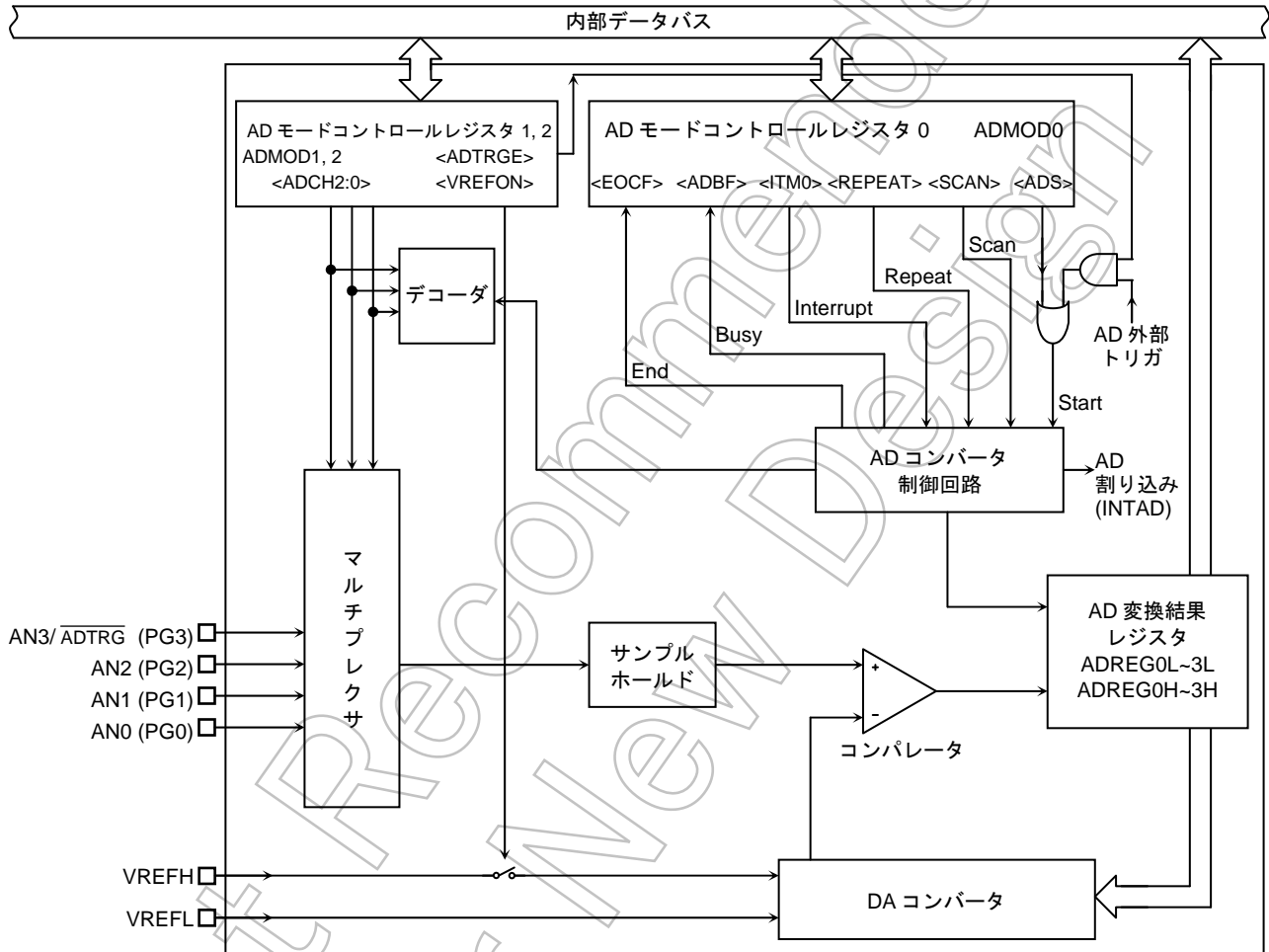


図 3.11.1 ADコンバータブロック図

3.11.1 コントロールレジスタ

AD コンバータは、3 つの AD モードコントロールレジスタ (ADM0D0, ADM0D1, ADM0D2) により制御されています。また、AD 変換結果は、AD 変換結果上位/下位レジスタ ADREG0H/L、ADREG3H/L の 4 つのレジスタに格納されます。

図 3.11.2にADコンバータ関係のレジスタを示します。

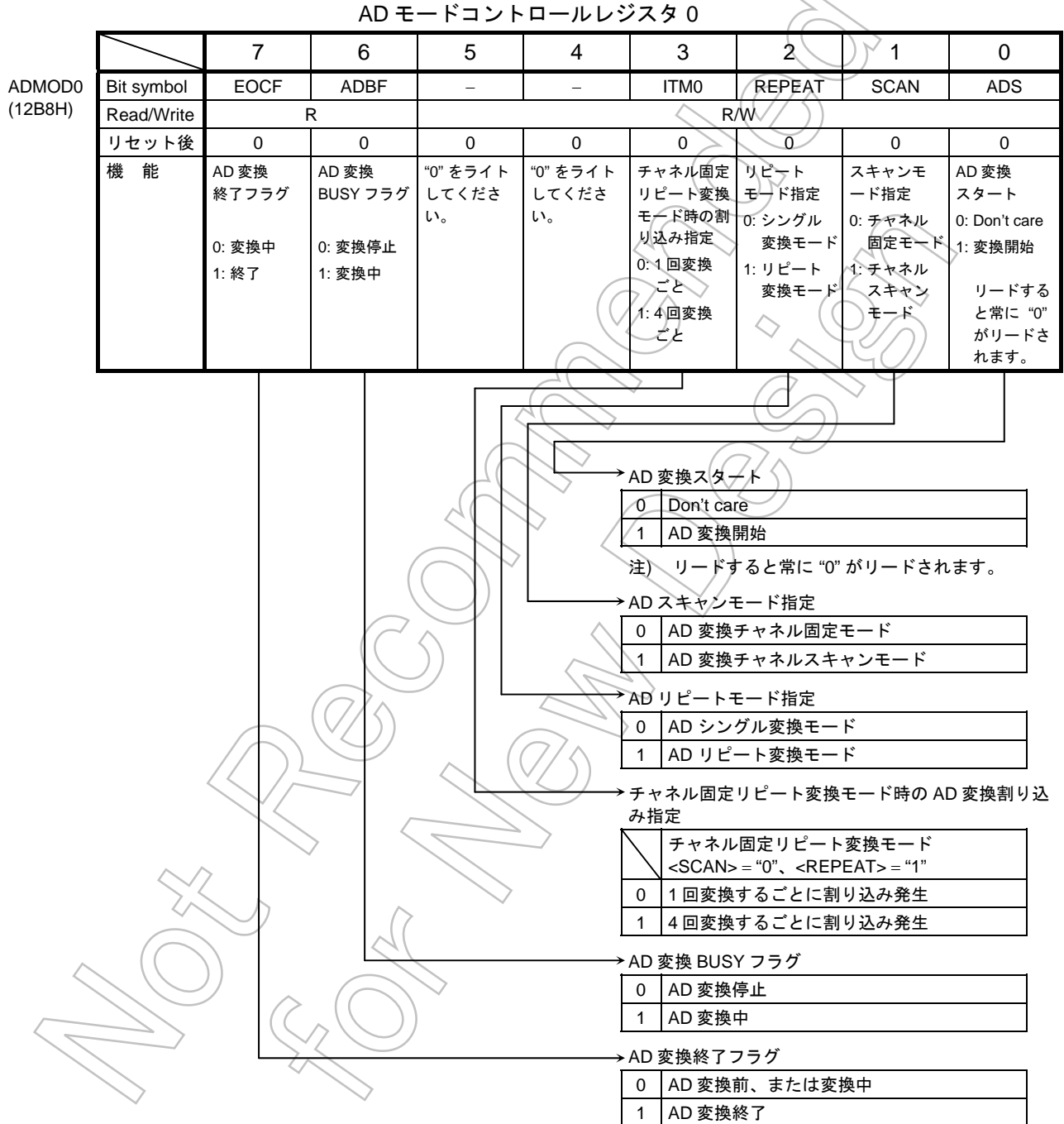


図 3.11.2 AD コンバータ関係のレジスタ

ADモードコントロールレジスタ 1

	7	6	5	4	3	2	1	0	
ADMOD1 (12B9H)	Bit symbol	VREFON	I2AD	-	-	-	-	ADCH1	ADCH0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	リセット後	0	0	0	0	0	0	0	0
	機能	VREF 印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	アナログ入力チャネル選択	

アナログ入力チャネル選択

	<SCAN>	0	1
		(チャネル 固定)	(チャネル スキャン)
<ADCH 1:0>	00	AN0	AN0
	01	AN1	AN0→AN1
	10	AN2	AN0→AN1→AN2
	11 (注)	AN3	AN0→AN1→AN2→AN3

IDLE2 制御

0	停止
1	動作

AD コンバータ用基準電圧印加制御

0	OFF
1	ON

変換スタート前 (ADMOD0<ADS>に "1" を書き込む前) に <VREFON> を "1" に設定してください。

ADモードコントロールレジスタ 2

	7	6	5	4	3	2	1	0	
ADMOD2 (12BAH)	Bit symbol			-	-	-	-	-	ADTRGE
	Read/Write			R/W	R/W	R/W	R/W	R/W	R/W
	リセット後			0	0	0	0	0	0
	機能			"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	"0" をライ トしてくだ さい。	AD 外部トリガ スタート制御 0: ディセーブル 1: イネーブル

外部トリガによる AD 変換スタート制御 (ADTRG 入力)

0	禁止 (ディセーブル)
1	禁止 (イネーブル)

注) <ADTRGE> を "1" に設定した $\overline{\text{ADTRG}}$ を使用する場合、 $\overline{\text{ADTRG}}$ の機能もまた AN3 端子同様に入力端子となり、<ADCH1:0> を "11" に設定することはできません。

図 3.11.3 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 0

	7	6	5	4	3	2	1	0
ADREG0L (12A0H)	ADR01	ADR00						ADR0RF
Bit symbol	R							R
Read/Write	不定							0
リセット後	AD 変換結果下位 2ビット格納							AD 変換結果格納フラグ 1: 変換結果あり
機能								

AD 変換結果上位レジスタ 0

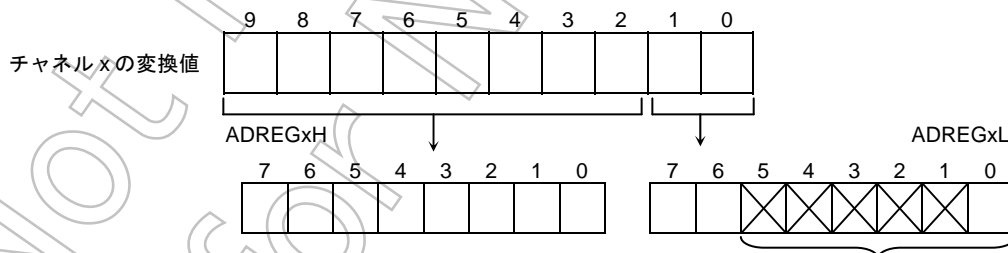
	7	6	5	4	3	2	1	0
ADREG0H (12A1H)	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
Bit symbol	R							
Read/Write	不定							
リセット後	AD 変換結果上位 8ビット格納							
機能								

AD 変換結果下位レジスタ 1

	7	6	5	4	3	2	1	0
ADREG1L (12A2H)	ADR11	ADR10						ADR1RF
Bit symbol	R							R
Read/Write	不定							0
リセット後	AD 変換結果下位 2ビット格納							AD 変換結果格納フラグ 1: 変換結果あり
機能								

AD 変換結果上位レジスタ 1

	7	6	5	4	3	2	1	0
ADREG1H (12A3H)	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
Bit symbol	R							
Read/Write	不定							
リセット後	AD 変換結果上位 8ビット格納							
機能								



- ビット5~1を読み出すと、常に“1”になります。
- ビット0は、AD 変換結果格納フラグ<ADRxRF>です。AD 変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0”にクリアされます。

図 3.11.4 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 2

	7	6	5	4	3	2	1	0
ADREG2L (12A4H)	ADR21	ADR20						ADR2RF
Bit symbol	R							R
Read/Write	不定							0
リセット後	AD 変換結果下位 2ビット格納							AD 変換結果格納フラグ 1: 変換結果あり
機能								

AD 変換結果上位レジスタ 2

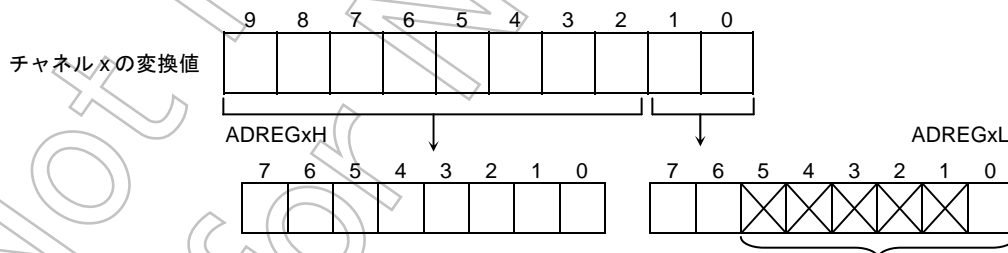
	7	6	5	4	3	2	1	0
ADREG2H (12A5H)	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Bit symbol	R							
Read/Write	不定							
リセット後	AD 変換結果上位 8ビット格納							
機能								

AD 変換結果下位レジスタ 3

	7	6	5	4	3	2	1	0
ADREG3L (12A6H)	ADR31	ADR30						ADR3RF
Bit symbol	R							R
Read/Write	不定							0
リセット後	AD 変換結果下位 2ビット格納							AD 変換結果格納フラグ 1: 変換結果あり
機能								

AD 変換結果上位レジスタ 3

	7	6	5	4	3	2	1	0
ADREG3H (12A7H)	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Bit symbol	R							
Read/Write	不定							
リセット後	AD 変換結果上位 8ビット格納							
機能								



- ビット5~1を読み出すと、常に“1”になります。
- ビット0は、AD変換結果格納フラグ<ADRxRF>です。AD変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0”にクリアされます。

図 3.11.5 ADコンバータ関係のレジスタ

3.11.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。VREFH-VREFL 間の基準電圧をストリング抵抗により 1024 分割し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH-VREFL 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず<VREFON>に“1”を書き込んだ後、内部基準電圧が安定するまでの 3 μ s (システムクロック周波数に関係ありません) 待ち、ADMOD0<ADS>に“1”を書き込んでください。

(2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN> = “0”)

ADMOD1<ADCH1:0>の設定により、アナログ入力 AN0~AN3 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN> = “1”)

ADMOD1<ADCH1:0>の設定により、4 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.11.1 に、動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN>は“0”に ADMOD1<ADCH1:0>は“00”に初期化されますので、AN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.11.1 アナログ入力チャネル選択

<ADCH1:0>	チャネル固定 <SCAN> = “0”	チャネルスキャン <SCAN> = “1”
00	AN0	AN0
01	AN1	AN0 → AN1
10	AN2	AN0 → AN1 → AN2
11	AN3	AN0 → AN1 → AN2 → AN3

(3) AD 変換開始

AD 変換は、 $\overline{\text{ADMOD0}}\langle\text{ADS}\rangle$ に“1”を設定するか、 $\overline{\text{ADMOD2}}\langle\text{ADTRGE}\rangle$ に“1”を設定し、 $\overline{\text{ADTRG}}$ 端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換 Busy フラグ ($\overline{\text{ADMOD0}}\langle\text{ADBF}\rangle$) が“1”にセットされます。

また、AD 変換中に、 $\overline{\text{ADTRG}}$ 端子に立ち下がりエッジを入力しても無視されます。

(4) AD 変換モードと AD 変換終了割り込み

AD 変換には次の 4 つのモードがあります。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

AD 変換モードの選択は、 $\overline{\text{ADMOD0}}\langle\text{REPEAT, SCAN}\rangle$ で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す $\overline{\text{ADMOD0}}\langle\text{EOCF}\rangle$ が“1”にセットされます。

1. チャンネル固定シングル変換モード

$\overline{\text{ADMOD0}}\langle\text{REPEAT, SCAN}\rangle$ に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、 $\overline{\text{ADMOD0}}\langle\text{EOCF}\rangle$ が“1”にセット、 $\overline{\text{ADMOD0}}\langle\text{ADBF}\rangle$ が“0”にクリアされ、INTAD の割り込み要求が発生します。

2. チャンネルスキャンシングル変換モード

$\overline{\text{ADMOD0}}\langle\text{REPEAT, SCAN}\rangle$ に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、 $\overline{\text{ADMOD0}}\langle\text{EOCF}\rangle$ が“1”にセット、 $\overline{\text{ADMOD0}}\langle\text{ADBF}\rangle$ が“0”にクリアされ、INTAD の割り込み要求が発生します。

3. チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN>に“10”を設定するとチャネル固定リピート変換モードになります。

このモードでは、選択した1チャネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCF>が“1”にセットされます。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。INTADの割り込み要求発生タイミングはADMOD0<ITM0>の設定により選択できます。

<ITM0>を“0”に設定するとAD変換が1回終了するごとに割り込み要求が発生します。

<ITM0>を“1”に設定するとAD変換が4回終了するごとに割り込み要求が発生します。

4. チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN>に“11”を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1回のスキャン変換が終了するごとにADMOD0<EOCF>が“1”にセットされ、INTAD割り込み要求が発生します。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。

リピート変換モード（3、4のモード）の動作を停止させたい場合は、ADMOD0<REPEAT>に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBF>は“0”にクリアされます。

ADMOD1<I2AD>=“0”の場合のIDLE2、IDLE1、STOPモードのホルト状態へ移行すると、AD変換中でもADコンバータはただちに動作を停止します。ホルト解除後、リピート変換モード（3、4）ではAD変換を最初から開始します。シングル変換モード（1、2）では、変換動作を再開しません（停止したままです）。

表 3.11.2にAD変換モードと割り込み要求の関係を示します。

表 3.11.2 AD変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPEAT>	<SCAN>
チャネル固定 シングル変換モード	変換終了後	X	0	0
チャネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャネル固定 リピート変換モード	1回変換すること	0	1	0
	4回変換すること	1		
チャネルスキャン リピート変換モード	1回のスキャン変換が 終了すること	X	1	1

X: Don't care

(5) AD 変換時間

1 チャンネル当たりの AD 変換ステートは、132 ステート (6.6 μ s @f_{sys} = 20 MHz) です。

(6) AD 変換結果の格納と読み出し

AD 変換結果は、AD 変換結果上位/下位レジスタ (ADREG0H/L~ADREG3H/L) に格納されます (ADREG0H/L~3H/L は、読み出し専用のレジスタです)。

チャンネル固定リピート変換モードでは、AD 変換結果は、ADREG04H/L から ADREG37H/L へと順次格納されます。それ以外のモードでは、チャンネル AN0、AN1、AN2、AN3、AN4 の変換結果がそれぞれ ADREG0H/L、ADREG1H/L、ADREG2H/L、ADREG3H/L に格納されます。

表 3.11.3 にアナログ入力チャンネルと AD 変換結果レジスタの対応を示します。

表 3.11.3 アナログ入力チャンネルと AD 変換結果レジスタの対応

アナログ入力チャンネル (ポート G)	AD 変換結果レジスタ	
	右記以外の変換モード	チャンネル固定 リピート変換モード (ADMOD0<ITM0> = 1)
AN0	ADREG0H/L	ADREG0H/L ←
AN1	ADREG1H/L	↓ ADREG1H/L
AN2	ADREG2H/L	↓ ADREG2H/L
AN3	ADREG3H/L	↓ ADREG3H/L →

AD 変換結果格納フラグ<ADR_xRF>は、AD 変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD 変換結果レジスタに変換値が格納されると“1”にセットされ、どちらかの AD 変換結果レジスタ (ADREG_xH, ADREG_xL) を読み出すと“0”にクリアされます。

また、AD 変換結果の読み出しに伴い、AD 変換終了フラグ ADMOD0<EOCF>は“0”にクリアされます。

設定例:

1. AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 2800H のメモリへ書き込む場合

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTE0AD	← 1	1	0	0	-	-	-	-	INTAD をイネーブルにし、レベルを "4" に設定します。
ADMOD1	← 1	1	0	0	0	0	1	1	アナログ入力チャンネルを AN3 に設定します。
ADMOD0	← X	X	0	0	0	0	0	1	チャンネル固定シングル変換モードで変換を開始します。
割り込みルーチンでの処理例									
WA	←	ADREG3							汎用レジスタ WA (16 ビット) へ ADREG3L、ADREG3H の値を読み出します。
WA	←	>> 6							WA に読み出した内容を右へ 6 回シフトし上位ビットに "0" を入れます。
(2800H)	←	WA							2800H 番地へ WA の内容を書き込みます。

2. AN0~AN2 の 3 端子のアナログ入力電圧をチャンネルスキャンリピート変換モードで AD 変換し続ける場合

INTE0AD	← 1	0	0	0	-	-	-	-	INTAD を禁止します。
ADMOD1	← 1	1	0	0	0	0	1	0	アナログ入力チャンネルを AN0~AN2 に設定します。
ADMOD0	← X	X	0	0	0	1	1	1	チャンネルスキャンリピート変換モードで変換を開始します。

X : Don't care, - : No change

Not Recommended for New Design

3.12 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクابل割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトを内部リセットへ接続することにより、強制的にリセット動作を行うことができます。(外部の $\overline{\text{RESET}}$ 端子レベルは変化しません。)

3.12.1 構成

図 3.12.1 にウォッチドッグタイマのブロック図を示します。

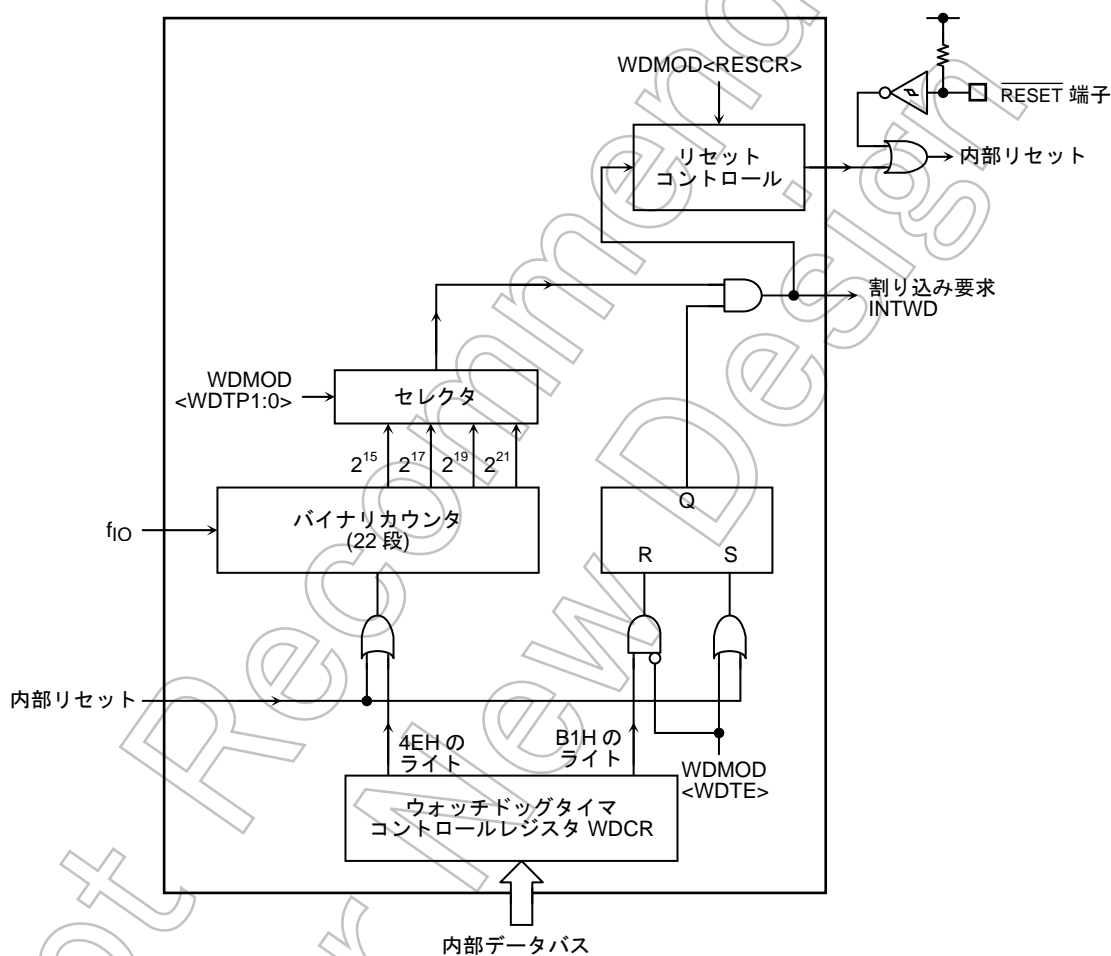


図 3.12.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によりウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

3.12.2 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0>レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウェア（命令）でウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前に“0”にクリアする必要があります。もし、CPU がノイズなどの原因で誤動作（暴走）しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作（暴走）が発生したことを知り、誤動作（暴走）対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、IDLE1 モードおよび STOP モード中のウォッチドッグタイマは停止しています。バス解放中 ($\overline{\text{BUSAK}} = \text{“L”}$) は、カウントを続けます。

IDLE2 モードでは、WDMOD<I2WDT>の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD<I2WDT>を設定してください。

ウォッチドッグタイマは、クロック f_{I0} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} 、 2^{17} 、 2^{19} および 2^{21} があります。

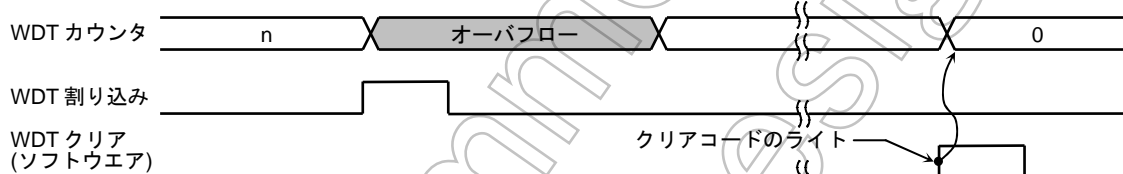


図 3.12.2 ノーマルモード

また、オーバフロー時に、本LSIをリセットすることも選択可能です。この場合、図 3.12.3 で示すように 22~29 クロック ($35.2\sim 46.4 \mu\text{s}$ @ $f_{\text{OSCH}} = 40 \text{ MHz}$) の期間、リセットを行います。なお、この場合(リセットされた場合)、クロック f_{I0} は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周した f_{PPH} を基に、それを 4 分周して生成されたものが使われます。

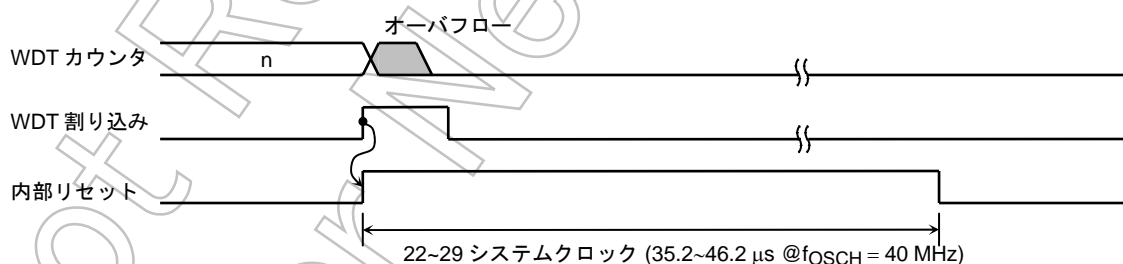


図 3.12.3 リセットモード

3.12.3 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマモードレジスタ (WDMOD)

1. ウォッチドッグタイマ検出時間の設定<WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD<WDTP1:0> = 00 に初期化されます。

ウォッチドッグタイマの検出時間は $2^{15}/f_{IO}[S]$ です。(システムクロックの数は約 65,536 です。)

2. ウォッチドッグタイマイネーブル/ディセーブル制御レジスタ<WDTE>

リセット時 WDMOD<WDTE> = 1 に初期化されますので、ウォッチドッグタイマはイネーブルになっています。ディセーブルにするには、このビットを“0”にクリアするとともに WDCR レジスタにディセーブルコード (B1H) をライトする必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを“1”にセットするだけでイネーブルとなります。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

暴走検出により自分自身をリセットするか否かを設定するレジスタです。リセット時 WDMOD<RESCR> = 0 に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ (WDCR)

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

● ディセーブル制御

WDMOD<WDTE>を“0”にクリアしたあと、この WDCR レジスタにディセーブルコード (B1H) をライトするとウォッチドッグ タイマをディセーブルにすることができます。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) をライトします。
WDMOD	← 0 - - X 0 - - 0	WDMOD<WDTE>を“0”にクリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) をライトします。

● イネーブル制御

WDMOD<WDTE>を“1”に設定します。

● ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) をライトすると、バイナリカウンタはクリアされ、再カウントします。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) をライトします。
------	-------------------	-----------------------

注1) ディセーブル制御をする際には一旦クリアコード(4EH)をライトした後ディセーブル制御をしてください。(設定例を参照してください)

注2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

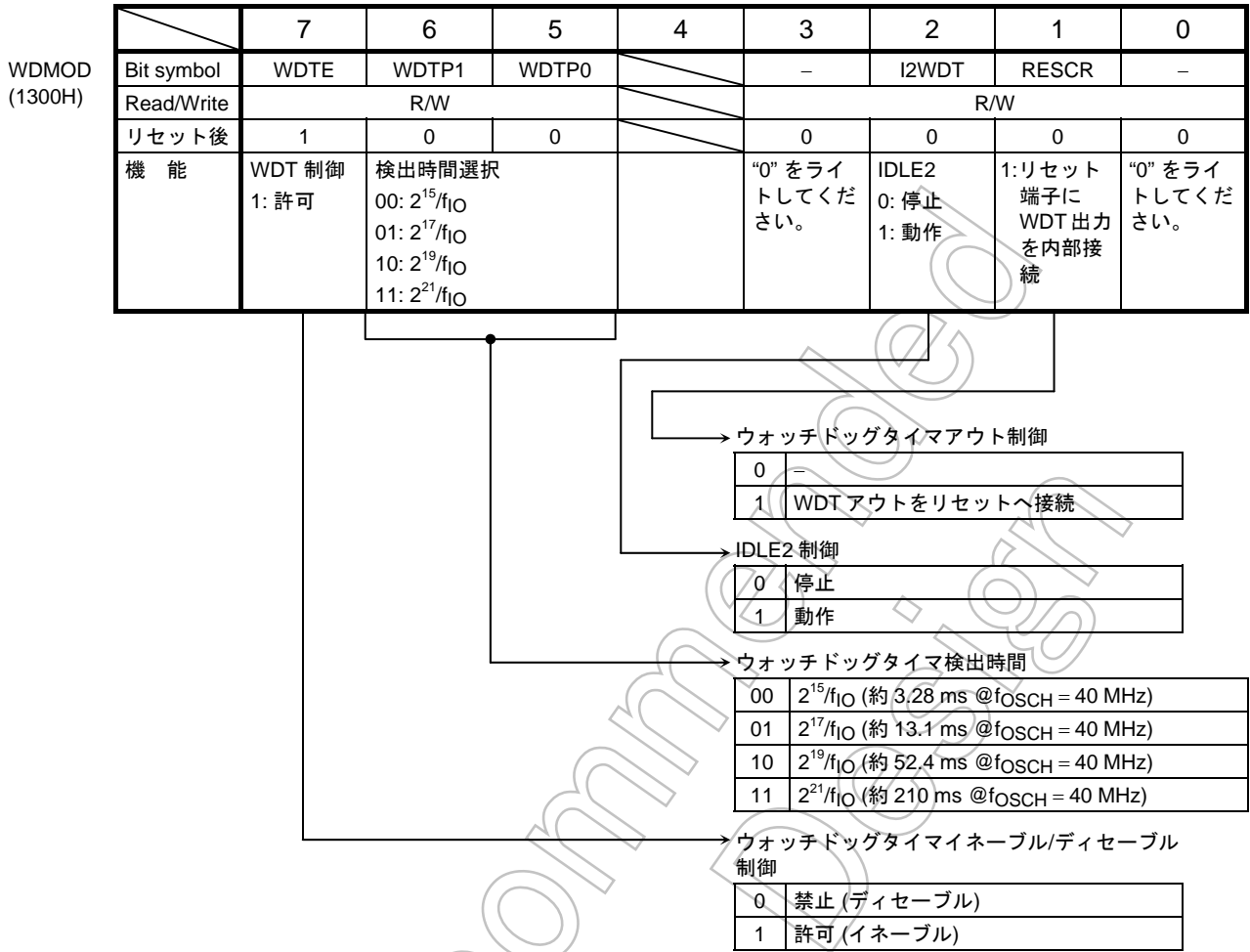


図 3.12.4 ウォッチドッグタイマモードレジスタ



図 3.12.5 ウォッチドッグタイマモードレジスタ

3.13 リアルタイムクロック (RTC)

3.13.1 RTCの機能概略

- 1) 時計機能 (時間、分、秒)
- 2) カレンダー機能 (月日、週、うるう年)
- 3) 24 時間計と 12 時間計(AM/PM) のいずれかを選択可能
- 4) +/-30 秒補正機能 (ソフトウェアによる補正)
- 5) アラーム機能 (アラーム出力)
- 6) アラーム割り込み発生

3.13.2 ブロック図

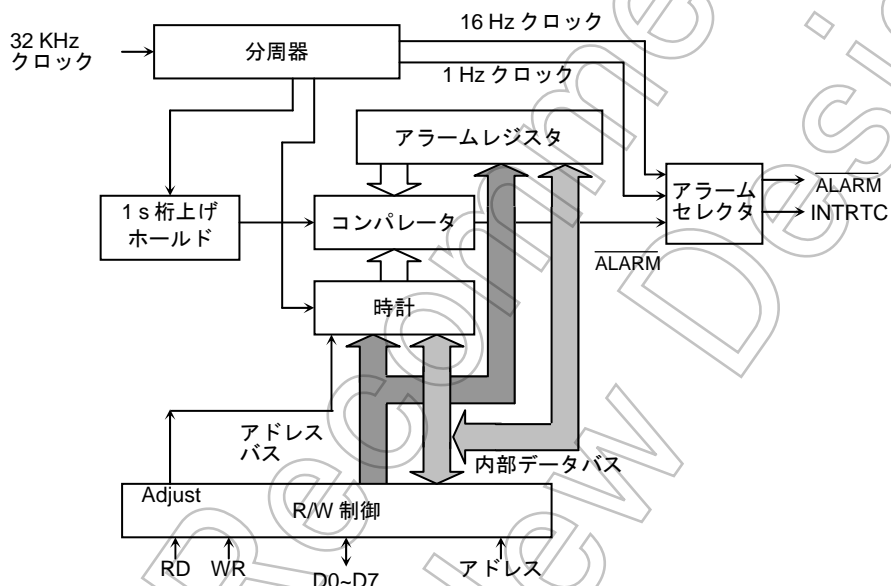


図 3.13.1 RTC ブロック図

注 1) 西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

注 2) うるう年について

うるう年は、4 で割り切れる年ですが例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

3.13.3 コントロールレジスタ

表 3.13.1 PAGE0 (時計機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	1320H		40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁	R/W
MINR	1321H		40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁	R/W
HOURLR	1322H			20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁	R/W
DAYR	1323H						W2	W1	W0	曜日桁	R/W
DATER	1324H			20 日	10 日	8 日	4 日	2 日	1 日	日桁	R/W
MONTHR	1325H				10 月	8 月	4 月	2 月	1 月	月桁	R/W
YEARR	1326H	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁 (西暦下 2 桁)	R/W
PAGER	1327H	割り込み 許可			秒補正 設定	時計 許可	アラーム 許可		PAGE 設定	PAGE レジスタ	W, R/W
RESTR	1328H	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット	"0" をライトしてください				リセットレジスタ	W のみ

注) PAGE0 の SECR,MINR,HOURLR,DAYR,DATER,MONTHR,YEARR はリードすると現在の状態がリードされます。

表 3.13.2 PAGE1 (アラーム機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
SECR	1320H										
MINR	1321H		40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁	R/W
HOURLR	1322H			20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁	R/W
DAYR	1323H						W2	W1	W0	アラーム週桁	R/W
DATER	1324H			20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁	R/W
MONTHR	1325H								24/12	24 時間クロック モード	R/W
YEARR	1326H							うるう年設定		うるう年モード	R/W
PAGER	1327H	割り込み 許可			秒補正 設定	時計 許可	アラーム 許可		PAGE 設定	PAGE レジスタ	W,R/W
RESTR	1328H	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット	"0" をライトしてください				リセットレジスタ	W のみ

注) PAGE1 の MINR,HOURLR,DAYR,DATER,MONTHR,YEARR はリードすると現在の状態がリードされます。

3.13.4 コントロールレジスタの説明

RTC はシステムリセットによる初期化はされません。従って、RTC は各レジスタに時刻/月日曜日年うるう年を設定後、動作を開始します。

(1) 秒桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0	
SECR (1320H)	Bit symbol	SE6	SE5	SE4	SE3	SE2	SE1	SE0	
	Read/Write	R/W							
	リセット後	不定							
	機能	"0" がリード されます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁

設定例を下記に示します。

0	0	0	0	0	0	0	0	0 秒
0	0	0	0	0	0	0	1	1 秒
0	0	0	0	0	0	1	0	2 秒
0	0	0	0	0	0	1	1	3 秒
0	0	0	0	1	0	0	0	4 秒
0	0	0	0	1	0	1	0	5 秒
0	0	0	0	1	1	0	0	6 秒
0	0	0	0	1	1	1	0	7 秒
0	0	0	1	0	0	0	0	8 秒
0	0	0	1	0	0	1	0	9 秒
0	0	1	0	0	0	0	0	10 秒
:								
0	0	1	1	0	0	1	0	19 秒
0	1	0	0	0	0	0	0	20 秒
:								
0	1	0	1	0	0	1	0	29 秒
0	1	1	0	0	0	0	0	30 秒
:								
0	1	1	1	0	0	1	0	39 秒
1	0	0	0	0	0	0	0	40 秒
:								
1	0	0	1	0	0	1	0	49 秒
1	0	1	0	0	0	0	0	50 秒
:								
1	0	1	1	0	0	1	0	59 秒

注) 上記以外の設定はしないでください。

(2) 分析レジスタの設定 (PAGE0/1)

MINR
(1321H)

	7	6	5	4	3	2	1	0
Bit symbol		MI6	MI5	MI4	MI3	MI2	MI1	MI0
Read/Write	R/W							
リセット後	不定							
機能	"0" がリード されます。	40分	20分	10分	8分	4分	2分	1分

設定例を下記に示します。

0	0	0	0	0	0	0	0	0分
0	0	0	0	0	0	0	1	1分
0	0	0	0	0	0	1	0	2分
0	0	0	0	0	0	1	1	3分
0	0	0	0	0	1	0	0	4分
0	0	0	0	0	1	0	1	5分
0	0	0	0	0	1	1	0	6分
0	0	0	0	0	1	1	1	7分
0	0	0	0	1	0	0	0	8分
0	0	0	0	1	0	0	1	9分
0	0	0	1	0	0	0	0	10分
:								
0	0	1	1	0	0	1	1	19分
0	1	0	0	0	0	0	0	20分
:								
0	1	0	1	0	0	0	1	29分
0	1	1	0	0	0	0	0	30分
:								
0	1	1	1	0	0	1	1	39分
1	0	0	0	0	0	0	0	40分
:								
1	0	0	1	0	0	1	1	49分
1	0	1	0	0	0	0	0	50分
:								
1	0	1	1	0	0	1	1	59分

注) 上記以外の設定はしないでください。

Not for

(3) 時間桁レジスタの設定 (PAGE0/1)

1. 24時間クロックモード (MONTHR<MO0> = "1")の場合

	7	6	5	4	3	2	1	0
HOURR (1322H)								
Bit symbol			HO5	HO4	HO3	HO2	HO1	HO0
Read/Write			R/W					
リセット後			不定					
機能	"0" がリードされます。		20時	10時	8時	4時	2時	1時

設定例を下記に示します。

0	0	0	0	0	0	0	0時
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	0	0	8時
0	0	1	0	0	1	0	9時
0	1	0	0	0	0	0	10時
:							
0	1	1	0	0	1	0	19時
1	0	0	0	0	0	0	20時
:							
1	0	0	0	1	1	0	23時

注) 上記以外の設定はしないでください。

2. 12時間クロックモード (MONTHR<MO0> = "0")の場合

	7	6	5	4	3	2	1	0
HOURR (1322H)								
Bit symbol			HO5	HO4	HO3	HO2	HO1	HO0
Read/Write			R/W					
リセット後			不定					
機能	"0" がリードされます。		PM/AM	10時	8時	4時	2時	1時

設定例を下記に示します。

0	0	0	0	0	0	0	0時(AM)
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	1	0	9時
0	1	0	0	0	0	0	10時
0	1	0	0	0	1	0	11時
1	0	0	0	0	0	0	0時(PM)
1	0	0	0	0	0	1	1時

注) 上記以外の設定はしないでください。

(4) 週桁レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
DAYR (1323H)	/					WE2	WE1	WE0
Bit symbol						R/W		
Read/Write						不定		
リセット後	"0" がリードされます。					W2	W1	W0
機能								

設定例を下記に示します。

0	0	0	日曜日
0	0	1	月曜日
0	1	0	火曜日
0	1	1	水曜日
1	0	0	木曜日
1	0	1	金曜日
1	1	0	土曜日

注) 上記以外の設定はしないでください。

(5) 日桁レジスタ (PAGE0/1)

	7	6	5	4	3	2	1	0
DATER (1324H)	/		DA5	DA4	DA3	DA2	DA1	DA0
Bit symbol			R/W					
Read/Write			不定					
リセット後	"0" がリードされます。		20日	10日	8日	4日	2日	1日
機能								

設定例を下記に示します。

0	0	0	0	0	1	1日
0	0	0	0	1	0	2日
0	0	0	0	1	1	3日
0	0	0	1	0	0	4日
:						
0	0	1	0	0	1	9日
0	1	0	0	0	0	10日
0	1	0	0	0	1	11日
:						
0	1	1	0	0	1	19日
1	0	0	0	0	0	20日
:						
1	0	1	0	0	1	29日
1	1	0	0	0	0	30日
1	1	0	0	0	1	31日

注1) 上記以外の設定はしないでください。

注2) 2月30日など、存在しない日は設定しないでください。

(6) 月桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0
MONTHR (1325H)	/			MO4	MO4	MO2	MO1	MO0
Read/Write				R/W				
リセット後				不定				
機能	"0" がリードされます。			10月	8月	4月	2月	1月

設定例を下記に示します。

0	0	0	0	1	1月
0	0	0	1	0	2月
0	0	0	1	1	3月
0	0	1	0	0	4月
0	0	1	0	1	5月
0	0	1	1	0	6月
0	0	1	1	1	7月
0	1	0	0	0	8月
0	1	0	0	1	9月
1	0	0	0	0	10月
1	0	0	0	1	11月
1	0	0	1	0	12月

注) 上記以外の設定はしないでください。

(7) 24 時間時計、12 時間時計の選択 (PAGE1 のみ)

	7	6	5	4	3	2	1	0
MONTHR (1325H)	/							MO0
Read/Write								R/W
リセット後								不定
機能	"0" がリードされます。							1: 24 時間 0: 12 時間

(8) 年桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0
YEARR (1326H)	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
Read/Write	R/W							
リセット後	不定							
機能	80年	40年	20年	10年	8年	4年	2年	1年

設定例を下記に示します。

0	0	0	0	0	0	0	0	00年
0	0	0	0	0	0	0	1	01年
0	0	0	0	0	0	1	0	02年
0	0	0	0	0	0	1	1	03年
0	0	0	0	0	1	0	0	04年
0	0	0	0	0	1	0	1	05年
⋮								
1	0	0	1	1	0	0	1	99年

注) 上記以外の設定はしないでください。

(9) うるう年レジスタの設定 (PAGE1 のみ)

	7	6	5	4	3	2	1	0
YEARR (1326H)	/						LEAP1	LEAP0
Read/Write							R/W	
リセット後							不定	
機能	"0" がリードされます。						00: うるう年	01: うるう年から 1 年目
							10: うるう年から 2 年目	
							11: うるう年から 3 年目	

設定例を下記に示します。

0	0	現在の年 (今年) がうるう年
0	1	現在がうるう年から 1 年目
1	0	現在がうるう年から 2 年目
1	1	現在がうるう年から 3 年目

(10) PAGE レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
PAGER (0327H)	Bit symbol	INTENA		ADJUST	ENATMR	ENAALM		PAGE
	Read/Write	R/W		W	R/W			R/W
	リセット後	0		不定	不定			不定
	機能	INTRTC 0: 禁止 1: 許可	"0" がリードされます。	0: Don't care 1: 補正	時計 0: 禁止 1: 許可	ALARM 0: 禁止 1: 許可	"0" がリード されます。	PAGE 設定

注) ENATMR および ENAAML の各々の割り込み許可ビットと、INTENA の割り込み許可ビットは下記の設定順番を守り、同時に設定しないようにしてください。
(時計/アラーム許可と割り込み許可の設定間に時間差を設ける。)

(例) 現時刻、アラーム設定

- Id (pager), 0ch : 時計、アラーム許可
- Id (pager), 8ch : 割り込み許可

PAGE	0	Page0 が選択されます
	1	Page1 が選択されます

ADJUST	0	Don't care
	1	秒を補正します。秒が 0~29 秒のときにこのビットを "1" にすると、秒は "0" になります。また、30~59 秒のときは分を桁上げて秒を "0" にします。f _{sys} の一周期分 ADJUST 信号が出て、一度 ADJUST されるとその後自動的に ADJUST 解除されます。(PAGE0 のみ)

(11) リセットレジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
RESTR (1328H)	Bit symbol	DIS1Hz	DIS16Hz	RSTTMR	RSTALM	-	-	-
	Read/Write	W						
	リセット後	不定						
	機能	1 Hz 0: 許可 1: 禁止	16 Hz 0: 許可 1: 禁止	1: 時計 リセット	1: アラーム リセット	"0" をライトしてください。		

RSTALM	0	未使用
	1	アラームレジスタをリセットします。

RSTTMR	0	未使用
	1	カウンタリセット

<DIS1HZ>	<DIS1HZ>	(PAGER) <ENAALM>	割り込みソース信号
1	1	1	アラーム
0	1	0	1Hz
1	0	0	16Hz
その他			"0" が出力されます。

3.13.5 動作説明

(1) 時計データをリードする場合

1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期していますので、1Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

2. 2度読みを利用する

時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で2度以上リードしてください。

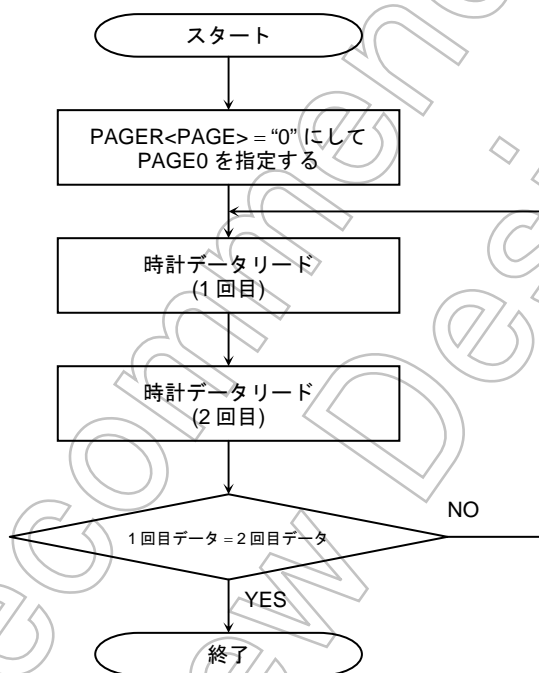


図 3.13.2 時計データのリードフロー

(2) 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためにはつぎの方法があります。

1. 1Hz 割り込みを利用する

1Hz の割り込みと内部データのカウンタアップは同期していますので、1Hz 割り込みを待って、データをライトすれば、正常にデータライトできます。

2. カウンタをリセットする

RTC 内部には 32.768 kHz の信号から 1 Hz を発生する 15 段のカウンタが内蔵されており、このカウンタをリセットした後にデータをライトします。

ただし、カウンタクリアした場合、直後の 1 回目のみ、所定時間の半分でカウンタアップされます。そのため、正常な時間カウンタの設定をする場合は、カウンタクリア後、1Hz 割り込みを許可し、最初の割り込み (0.5s で発生) を待ってその後に時間設定をするようにしてください。

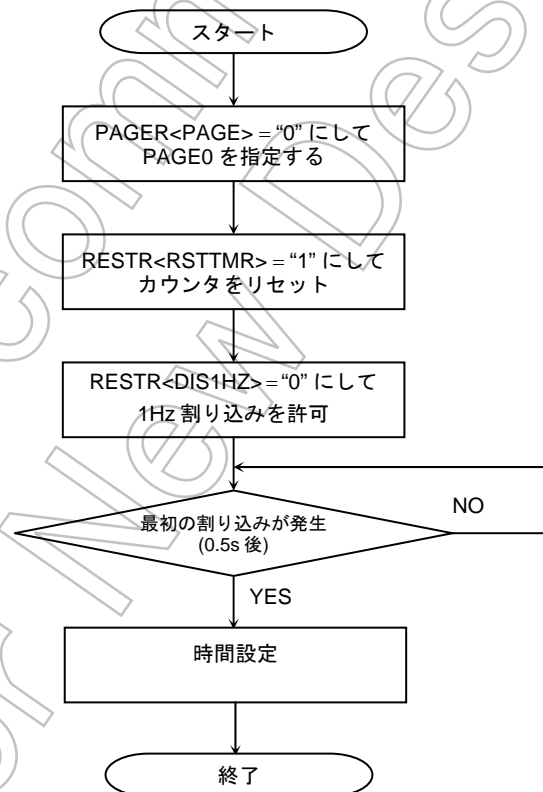


図 3.13.3 時計データライトのフロー

3. 時計を禁止する場合

PAGER<ENATMR>に“0”をライトすると、時計は禁止となって桁上げは禁止されますが、1s Carry ホールド回路により誤カウントを防ぐことができます。

1s Carry ホールド回路は、時計が禁止中に分周器から発生した1秒の桁上げ信号を1回分だけ保持し、時計許可になってからその桁上げ信号を時計に出力して時刻を補正し、継続して動作します。ただし、時計禁止状態が1秒以上続くと時計は遅れてきます。

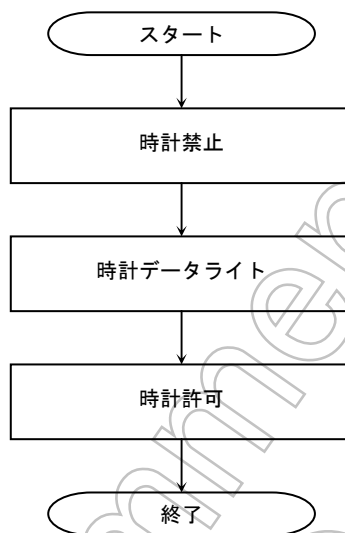


図 3.13.4 時計を禁止するフローチャート

3.13.6 アラーム機能の説明

PAGER<PAGE>に“1”をライトすることにより、PAGE1のレジスタ群でアラーム機能が使用できます。ALARM端子からは以下3つの信号のいずれかを出力できます。INTRTCはいずれの場合も立ち下がりエッジを検出して1ショットのパルスを出力します。

なお、RTCはリセットにより初期化されませんので、時計、アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、“0”を出力
- (2) 1 Hzのクロックを出力
- (3) 16 Hzのクロックを出力

なお、RTCはリセットにより初期化されませんので、リセット後、タイマ、アラームの設定時に割り込みコントローラにある割り込み要求フラグをクリアしてから使用してください。

- (1) アラームレジスタと時計の一致時、ALARM端子から“0”を出力

PAGER<ENAALM>=“1”で、PAGE1のアラームレジスタとPAGE0の時計の内容が一致したときにALARM端子に“0”を出力するとともに、PAGER<INTENA>=“1”ならばINTRTC割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

アラームの初期化はRESTR<RSTALM>に“1”をライトすることにより行われ、アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁はDon't careになります。このときは、常に時計の内容と一致したことになりPAGER<INENA>、<ENAALM>が“1”であればINTRTC割り込みを出力します。

アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁の設定は、PAGE1の各レジスタにデータをライトすることにより行われます。データを設定した項目は、Don't careが解除されます。

すべての項目が一致したときにPAGER<ENAALM>、PAGER<INTENA>が“1”であればINTRTC割り込みを要求します。ただし、未設定項目(Don't care状態)は常に一致しているものとみなされます。

一度設定した項目は独立にDon't careに戻すことはできませんがアラームの初期化を行うとすべてDon't careになります。

例えば、毎日正午(PM12:00)にアラームを出力させる場合のプログラムを下記に示します。

LD	(PAGER), 09H	;	アラーム禁止、PAGE1設定
LD	(RESTR), D0H	;	アラーム初期化
LD	(DAYR), 01H	;	W0
LD	(DATER), 01H	;	1日
LD	(HOURL), 12H	;	12時設定
LD	(MINR), 00H	;	00分設定
		;	セットアップ時間 31 μs (注)
LD	(PAGER), 0CH	;	アラーム許可
LD	(PAGER), 8CH	;	割り込み許可

アラーム設定は、低周波クロックに同期して動作していますので、CPUが高周波で動作している場合、レジスタ設定してから有効になるまでに最大32 kHzの1クロック分(約30 μs)のズレを生じることがあります。上記例の場合、時間設定しアラーム許可までの間に31 μsのセットアップ時間が必要です。

注) このセットアップ時間は内部割り込みのみの使用の際は不要です。

(2) 1 HZ のクロックを出力する場合

PAGER<ENAALM> = “0”、RESTR<DIS1HZ> = “0”、<DIS16HZ> = “1” を設定すると $\overline{\text{ALARM}}$ 端子に 1 HZ のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

(3) 16 HZ のクロックを出力する場合

PAGER<ENAALM> = “0”、RESTR<DIS1HZ> = “1”、<DIS16HZ> = “0” を設定することにより $\overline{\text{ALARM}}$ 端子に 16 HZ のクロックを出力します。また、そのクロックの立ち下がりエッジで INTRTC 割り込みを出力します。

Not Recommended
for New Design

3.14 LCDコントローラ (LCDC)

RAM 内蔵型、SR(シフトレジスタ)型の 2 タイプの LCD ドライバに対応する LCD コントローラを内蔵しています。また、SR 型ではモノクロ STN、カラーSTN さらに TFT の LCD ドライバに対応しています。

モノクロ表示、4/8/16 階調表示や、カラー表示にも対応しています。表示サイズは、モノクロ及び階調表示では 64×64 dot ~960×480dot に対応して、カラー表示では 64×64 dot ~320×320dot に対応しています。

- シフトレジスタ型 LCD ドライバ/STN カラー対応モード (SR モード)

あらかじめ、動作モード、表示データ格納メモリのスタートアドレス、LCD サイズ(コモン、セグメント)などを SFR に設定後、スタートします。それにより、LCDC は CPU にバス開放要求を出力し、表示データのメモリからデータをリードします。その後、外部にある LCD ドライバへ、設定された LCD サイズ分のデータを専用データバス(LD11:0)端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される LCPO などの制御端子も規定の波形を出力します。表示データのリードが終了するとバス開放要求を解除し CPU はリスタートします。

外部表示 RAM としては SDRAM、SRAM に対応しています。

また、16 KB の内蔵 RAM を表示 RAM に設定することが可能です。内蔵 RAM のアクセスは非常に高速に行われるため(32 ビットバス、1 システムクロックでのリードまたはライト)、CPU 動作の圧迫を最小限に押さえて、LCD ドライバへの DMA 動作を実現しています。また、内蔵 RAM を使うことで、表示中の消費電流を大幅に低減しています。

- TFT カラー対応モード

デジタル RGB 入力の TFT ドライバに対応しています。

データの転送方法は上記シフトレジスタと同様です。TFT ソースドライバ制御には、8 ビット RGB および、4 ビット×RGB の表示データと、LCPO、LFR、LLP 信号の他に、反転データを出力していることを示す LDIV 端子を持っており、データラインの変化によるノイズ低減/消費電流などに効果を発揮します。

また、TFT ゲートドライバの制御には LCP1、LBCD の他にゲート制御信号を調整できる 3 ビットの OE 端子を有しています。

- RAM 内蔵型 LCD ドライバ対応モード (RAM モード)

LCD ドライバへのデータ転送は CPU の転送命令で実行します。

あらかじめ、動作モードのみを SFR に設定後、CPU の転送命令が実行されると LCDC はそれに同期して LCPO などの制御端子より外部へ接続される LCD ドライバへチップイネーブル信号を出力します。そのため LCD サイズに対応したデータ転送数などの制御は CPU の命令で制御します。

ランダムアクセスタイプとシーケンシャルアクセスタイプの RAM 内蔵 LCD ドライバに対応しています。

3.14.1 タイプ別LCDCの特長

それぞれモードについての特長、端子の使用方法などを下記に示します。

表 3.14.1 タイプ別 LCDC の特長

(接続例では東芝製 LCD ドライバを接続することを前提に信号名などを記述しています)

LCD ドライバの種類	シフトレジスタ型		RAM 内蔵型	
	TFT	STN		
表示色	256 色カラー、4096 色カラー	モノクローム、4、8、16 階調 256 色カラー、4096 色カラー	LCD ドライバに依存	
対応可能な LCD 表示画素数	ROW (common) : 64, 128, 160, 200, 240, 320 Column (Segment) : 64, 128, 160, 256, 320	ROW (common) : 64, 128, 160, 200, 240, 480 Column (Segment) : 64, 128, 160, 256, 320, 480, 640 768, 960 カラーの場合(256/4096 色) ROW (common) : 64, 128, 160, 200, 240, 320 Column (Segment) : 64, 128, 160, 256, 320	LCD ドライバに依存	
	内蔵 SRAM: 256 – 128 × 128 max, 4096 – 128 × 64 (max)			
転送元データバス幅 (SRAM, SDRAM)	16, 32 ビット	16, 32 ビット	CS/WAIT コントローラ設定に依存 (通常メモリと同様)	
転送先データバス幅 (LCD ドライバ)	8, 12 ビット	4, 8 ビット		
最大転送レート (@f _{SYS} = 20[MHz])	12.5 ns/バイト @SDRAM/BURST 12.5 ns/バイト @内部 RAM、25 ns/1 バイト@外部 SRAM			
パン機能	対応可能		LCD ドライバに依存	
外部端子	LCD データ: LD11~LD0 端子	LCD ドライバのデータバスへ接続します。 • 4 ビットモード時は LD3~LD0 • 8 ビットモード時は LD7~LD0 • 12 ビットモード時は LD11~LD0 (TFT のみ)	未使用	
	D7~D0	未使用	LCD ドライバのデータバスへ接続します。	
	バーステート: R/W 端子	未使用	バーステートです。LCD ドライバの WR 端子へ接続します。	
	アドレスバス: AO 端子	未使用	データバスの値を表示データと、インストラクションデータを区別するための、D/I 端子へ接続します。	
	LCP0 端子	TFT ソースドライバのクロックです。	シフトクロックパルス出力端子 0 です。カラムドライバの CP 端子へ接続します。この端子の立ち下がりがエッジで LCD ドライバはデータバスの値をラッチします。	カラムドライバ 1 用チップイネーブル端子です。カラムドライバ 1 の CE 端子へ接続します。
	LCP1 端子	TFT ゲートドライバのシフトクロック (垂直シフトクロック) です。	シフトクロックパルス出力端子 1 です。2 本の CP 端子で制御される LCD ドライバの場合に CP1 と共に使用します。	未使用
	LLP 端子	TFT ソースドライバが TFT パネルヘデータをロードするためのイネーブル信号です。	ラッチパルス出力端子です。ドライバの LP 端子へ接続します。この端子の立ち上がりエッジで LCD ドライバの出力段レジスタに表示データが更新されます。	カラムドライバ 2 用チップイネーブル端子です。カラムドライバ 2 の CE 端子へ接続します。
	LGOE0~LGOE2 端子	TFT ゲートドライバのゲート制御信号の調整信号です。	未使用	未使用
	LFR 端子	LCD 交流化信号出力端子です。カラム/ロウドライバの FR 端子へ接続します。	LCD 交流化信号出力端子です。カラム/ロウドライバの FR 端子へ接続します。	カラムドライバ 3 用チップイネーブル端子です。カラムドライバ 3 の CE 端子へ接続します。
	LBCD 端子	TFT ゲートドライバのシフトクロックの取り込み開始を示す信号です。	LCD のリフレッシュレートを定める周波数です。	ロウドライバ用チップイネーブル端子です。ロウドライバの LE 端子へ接続します。
LDIV 端子	データ反転機能を持つ TFT ソースドライバに接続します。データが反転していることを示す端子です。	未使用		

3.14.2 SFR

LCDMODE0 レジスタ

		7	6	5	4	3	2	1	0
LCDMODE0 (0280H)	Bit symbol	RAMTYPE1	RAMTYPE0	SCPW1	SCPW0	MODE3	MODE2	MODE1	MODE0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	1	0	0	0	0	0
	機能	表示 RAM 00: 内蔵 SRAM 01: 外部 SRAM 10: SDRAM 11: Reserved		LD バス転送速度 00: Reserved 01: 2 × f _{sys} 10: 4 × f _{sys} 11: 8 × f _{sys}		モード選択 0000: RAM 内蔵型 0001: SR 型モノクローム 0010: SR 型 4 階調 0011: SR 型 8 階調 0100: SR 型 16 階調 0101: STN256 色 0110: STN4096 色 0111: Reserved 1000: TFT256 色 1001: TFT4096 色 Other: Reserved			

注) SDRAM のアクセス方法は“バースト 1 クロックアクセス”のみです。

LCDMODE1 Register

		7	6	5	4	3	2	1	0
LCDMODE1 (0281H)	Bit symbol			LLPMODE	LDINV	AUTOINV	INTMODE	LDO1	LDO0
	Read/Write			R/W	R/W	R/W	R/W	R/W	R/W
	リセット後			0	0	0	0	0	0
	機能			LLP モード 0: モード 1 1: モード 2	LD バス 反転 0: 通常 1: 反転	自動バス 反転 0: 停止 1: 動作 (TFT 設定 時のみ有効)	割り込み 選択 0: LP 1: BCD	LD バス幅制御 00: 4 ビット幅 A_type 01: 4 ビット幅 B_type 10: 8 ビット幅 A_type 11: 8 ビット幅 B_type	

<LDO1>、<LDO0>の設定において、TFT カラー256 色の際は 8 ビット幅 A にしてください。また、4096 色の際はバス幅の設定は不要で、12 ビット幅の使用となります。

注) <LDINV> = 1 設定にて、LD バスの出力データはすべて反転して出力されますが、12 ビット幅選択時に動作する、「自動バス反転」における反転状態を示す DINV 端子の信号は変化しません。

LCD f_{FP} レジスタ

		7	6	5	4	3	2	1	0
LCDFFP (0282H)	Bit symbol	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	f _{FP} bit7~0 設定							

Divide FRM レジスタ

		7	6	5	4	3	2	1	0
LCDDVM (0283H)	Bit symbol	FMN7	FMN6	FMN5	FMN4	FMN3	FMN2	FMN1	FMN0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	DVM bit7~0 設定							

LCD サイズ設定レジスタ

	7	6	5	4	3	2	1	0
LCDSIZE (0284H)	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0
Bit symbol	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	コモン設定 0000: Reserved 0101:200 0001: 64 0110:240 0010:120 0111:320 0011:128 1000: 480 0100:160 その他: Reserved				セグメント設定 0000: Reserved 0101:320 1000:768 0001: 64 0110:480 1001:960 0010:128 0111:640 0011:160 0100:256 その他: Reserved			

注 1) カラー表示 (STN, TFT)を行う際の最大表示サイズは 320 × 320 です。
また、内蔵 RAM を表示 RAM に設定した場合の最大表示サイズは以下の通りです。

1 bpp (モノクローム):	640 × 200
2 bpp (4 階調):	320 × 200
4 bpp (16 階調):	256 × 128
8 bpp (256 色):	128 × 128
12 bpp (4096 色):	128 × 64

注 2) TMP92CH21 は 240 セグメントサイズに対応していません。しかし、カスケード対応タイプの LCD ドライバを選択した場合には、256 セグメントサイズの設定で、240 セグメント表示を使用することが可能です。ただし、その場合 256 セグメント分の表示 RAM の準備が必要となります。

LCD コントロール 0 レジスタ

	7	6	5	4	3	2	1	0
LCDCTL0 (0285H)		ALL0	FRMON	-	FP9	MMULCD	FP8	START
Bit symbol		ALL0	FRMON	-	FP9	MMULCD	FP8	START
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0
機能		セグメント データ設定 0: 通常 1: すべて "0"出力	フレーム 分割設定 0: 停止 1: 動作	"0"をライ トしてくだ さい。	fFP 設定 bit9	RAM 内蔵 LCD ドライ バ設定 0: シーケン シャル 1: ランダム	fFP 設定 bit8	LCDC 動作 0: 停止 1: 動作

LCD コントロール 1 レジスタ

	7	6	5	4	3	2	1	0
LCDCTL1 (0286H)	LCP0P	LCP1P	LBCDP				LBCDW1	LBCDW0
Bit symbol	LCP0P	LCP1P	LBCDP				LBCDW1	LBCDW0
Read/Write	R/W	R/W	R/W				R/W	R/W
リセット後	1	0	1				0	0
機能	LCP0 位相 0: 立ち上がり 1: 立ち下がり	LCP1 位相 0: 立ち上がり 1: 立ち下がり	LBCD 位相 0: L イネーブル 1: H イネーブル				LBCD イネーブル時間制御 00: LCP1_1CLK 01: LCP1_2CLK 10: LCP1_3CLK 11: Reserved	

LCDC ソースクロックカウントレジスタ

	7	6	5	4	3	2	1	0
LCDSCC (0287H)	SCC7	SCC6	SCC5	SCC4	SCC3	SCC2	SCC1	SCC0
Bit symbol	SCC7	SCC6	SCC5	SCC4	SCC3	SCC2	SCC1	SCC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	LCDC ソースクロックカウンタ bit7-0							

LCD クロックカウンタレジスタ 0

		7	6	5	4	3	2	1	0
LCDCCR0 (0288H)	Bit symbol						PCPV2	PCPV1	PCPV0
	Read/Write						R/W	R/W	R/W
	リセット後						0	0	0
	機能						Pre LCP1 CLK 設定: LCP1 パルス数 ゲートドライバ LCP1 の有効クロック までのダミークロック設定		

LCD クロックカウンタレジスタ 1

		7	6	5	4	3	2	1	0
LCDCCR1 (0289H)	Bit symbol				TLDE4	TLDE3	TLDE2	TLDE1	TLDE0
	Read/Write				R/W	R/W	R/W	R/W	R/W
	リセット後				0	0	0	0	0
	機能				TFT ソースドライバ、LLP Enable 信号設定: SYSCLK パルス数 × 8 LLP 信号のイネーブル時間設定レジスタ				

LCD クロックカウンタレジスタ 2

		7	6	5	4	3	2	1	0
LCDCCR2 (028AH)	Bit symbol	LLPSU7	LLPSU6	LLPSU5	LLPSU4	LLPSU3	LLPSU2	LLPSU1	LLPSU0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	LLP_Set-up 時間設定: LCP0 パルス数 TFT ソースドライバ LLP 信号のセットアップ時間設定							

LCD 赤パレットレジスタ

	7	6	5	4	3	2	1	0	
LCDRP10 (0291H)	Bit symbol	1R3	1R2	1R1	1R0	0R3	0R2	0R1	0R0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	1	0	0	0	0	0
	機能	256 カラー-STN モード RED1 レベル設定				256 カラー-STN モード RED0 レベル設定			
LCDRP32 (0292H)	Bit symbol	3R3	3R2	3R1	3R0	2R3	2R2	2R1	2R0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	1	1	0	0	1	0	0
	機能	256 カラー-STN モード RED3 レベル設定				256 カラー-STN モード RED2 レベル設定			
LCDRP54 (0293H)	Bit symbol	5R3	5R2	5R1	5R0	4R3	4R2	4R1	4R0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	1	0	1	0	1	0	0	0
	機能	256 カラー-STN モード RED5 レベル設定				256 カラー-STN モード RED4 レベル設定			
LCDRP76 (0294H)	Bit symbol	7R3	7R2	7R1	7R0	6R3	6R2	6R1	6R0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	1	1	1	0	1	1	0	0
	機能	256 カラー-STN モード RED7 レベル設定				256 カラー-STN モード RED6 レベル設定			

注) TFT モードを使用する場合、上記のパレット設定を変更することはできません。

LCD 緑パレットレジスタ

		7	6	5	4	3	2	1	0
LCDGP10 (0295H)	Bit symbol	1G3	1G2	1G1	1G0	0G3	0G2	0G1	0G0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	1	0	0	0	0	0
	機能	256 カラーSTN モード GREEN1 レベル設定				256 カラーSTN モード GREEN0 レベル設定			
		7	6	5	4	3	2	1	0
LCDGP32 (0296H)	Bit symbol	3G3	3G2	3G1	3G0	2G3	2G2	2G1	2G0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	1	1	0	0	1	0	0
	機能	256 カラーSTN モード GREEN3 レベル設定				256 カラーSTN モード GREEN2 レベル設定			
		7	6	5	4	3	2	1	0
LCDGP54 (0297H)	Bit symbol	5G3	5G2	5G1	5G0	4G3	4G2	4G1	4G0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	1	0	1	0	1	0	0	0
	機能	256 カラーSTN モード GREEN5 レベル設定				256 カラーSTN モード GREEN4 レベル設定			
		7	6	5	4	3	2	1	0
LCDGP76 (0298H)	Bit symbol	7G3	7G2	7G1	7G0	6G3	6G2	6G1	6G0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	1	1	1	0	1	1	0	0
	機能	256 カラーSTN モード GREEN7 レベル設定				256 カラーSTN モード GREEN6 レベル設定			

LCD 青パレットレジスタ

		7	6	5	4	3	2	1	0
LCDBP10 (0299H)	Bit symbol	1R3	1R2	1R1	1R0	0R3	0R2	0R1	0R0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	1	0	0	0	0	0	0
	機能	256 カラーSTN モード BLUE1 レベル設定				256 カラーSTN モード BLUE0 レベル設定			
		7	6	5	4	3	2	1	0
LCDBP32 (029AH)	Bit symbol	3R3	3R2	3R1	3R0	2R3	2R2	2R1	2R0
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	1	1	0	0	1	0	0	0
	機能	256 カラーSTN モード BLUE3 レベル設定				256 カラーSTN モード BLUE2 レベル設定			

注) TFT モードを使用する場合、上記のパレット設定を変更することはできません。

LCD OE0 制御レジスタ

	7	6	5	4	3	2	1	0	
LCDOE00 (02B0H)	Bit symbol	OE007	OE006	OE005	OE004	OE003	OE002	OE001	OE000
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	TFT ゲートドライバ OE0 制御							

LCDOE01
(02B1H)

~

LCDOE04
(02B4H)

	7	6	5	4	3	2	1	0	
LCDOE05 (02B5H)	Bit symbol	OE057	OE056	OE055	OE054	OE053	OE052	OE051	OE050
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	TFT ゲートドライバ OE0 制御							

LCD OE1 制御レジスタ

	7	6	5	4	3	2	1	0	
LCDOE10 (02C0H)	Bit symbol	OE107	OE106	OE105	OE104	OE103	OE102	OE101	OE100
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	TFT ゲートドライバ OE1 制御							

LCDOE11
(02C1H)

~

LCDOE14
(02C4H)

	7	6	5	4	3	2	1	0	
LCDOE15 (02C5H)	Bit symbol	OE157	OE156	OE155	OE154	OE153	OE152	OE151	OE150
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	TFT ゲートドライバ OE1 制御							

LCD OE2 制御レジスタ

	7	6	5	4	3	2	1	0	
LCDOE20 (02D0H)	Bit symbol	OE207	OE206	OE205	OE204	OE203	OE202	OE201	OE200
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	TFT ゲートドライバ OE2 制御							

LCDOE21
(02D1H)

~

LCDOE24
(02D4H)

	7	6	5	4	3	2	1	0	
LCDOE25 (02D5H)	Bit symbol	OE257	OE256	OE255	OE254	OE253	OE252	OE251	OE250
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	TFT ゲートドライバ OE2 制御							

	スタートアドレスレジスタ			コモン (行) 数設定レジスタ		
	H (bit23~16)	M (bit15~8)	L (bit7~1)	H (bit8)	L (bit7~0)	----
A エリア	LSARAH (02A2H) 40H	LSARAM (02A1H) 00H	LSARAL (02A0H) 00H	CMNAH (02A4H) 00H	CMNAL (02A3H) 00H	----
B エリア	LSARBH (02A8H) 40H	LSARBM (02A7H) 00H	LSARBL (02A6H) 00H	CMNBH (02AAH) 00H	CMNBL (02A9H) 00H	----
C エリア	LSARCH (02AEH) 40H	LSARCM (02ADH) 00H	LSARCL (02ACH) 00H	----	----	----

注) すべてのレジスタはリードモディファイライト可能です。

LCDC0L/LCDC0H/LCDC1L/LCDC1H/LCDC2L/LCDC2H/LCDDR0L/LCDDR0H レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	外部 LCDD の仕様による							
リセット後	外部 LCDD の仕様による							
機能	外部 LCDD の仕様による							

アドレス	用途	チップ イネーブル 端子
3C0000H~ 3CFFFFH	RAM 内蔵型ドライバ1	LCPO
3D0000H~ 3DFFFFH	RAM 内蔵型ドライバ2	LLP
3E0000H~ 3EFFFFH	RAM 内蔵型ドライバ3	LFR
3F0000H~ 3FFFFFFH	RAM 内蔵型ドライバ4	LBCD

3.14.3 シフトレジスタ型LCDドライバ対応モード (階調/STNカラーモード)

3.14.3.1 動作説明

あらかじめ、動作モード、転送元データ格納メモリのスタートアドレス、階調レベル、LCDサイズ(コモン、セグメント)などをI/Oレジスタに設定後、スタートレジスタをセットします。それにより、LCDCはCPUにバス開放要求(バス停止要求)を出力し転送元のメモリからデータをリードし外部にあるLCDドライバへ、設定されたLCDサイズ分のデータをLDバス(LCD専用バス)端子より転送します。このとき、データ転送に同期してLCDドライバへ接続されるLCP0などの制御端子も規定の波形を出力します。表示データのリードが終了するとバス開放要求を解除しCPUはリスタートします。LCDコントローラはLFR、LBCE、LLP端子の波形生成用にLCDSCCを使用します。

LCDCSCCとはシステムクロック f_{SYS} から生成するLCDCの基準クロックで、LCDC専用のクロックジェネレータを内蔵しています。これにより、細かなフレーム周期(リフレッシュレート)を設定することができます。

使用しているシステムクロックの周波数(f_{SYS})の1/16のクロックを基準に、8ビットのカウンタにてLCDCの基準クロックを設定します。

注) 転送元データのリード中は、CPUが内部BUSREQ信号によって停止しています。従ってCPU停止時間を考慮してプログラミングしてください。

* 内蔵RAMを表示RAMに設定した場合には、内部の専用バスからデータを読み込むため、高速かつ低消費電流でのLCD表示が可能です。

LCDGMODE1<MODE3:0>の設定により、モノクローム、4、8、16階調、STN256色、4096色の選択が可能です。

表示RAMをSDRAMとする場合には、SDRAMCのSDACRレジスタの設定により、使用するSDRAMのサイズを選択します。

フレーム間引きによって、階調表示を実現させています。LCD画素間干渉に対応するデータ補正はあらかじめ最適な設定がされておりますので、調整は不要です。

STN256カラー設定では4096色(16×16×16)のカラーパレットから256色へのコントラスト補正の設定が可能です。また、カラーパレットは同じ4096をそのまま、4096色同時発色可能なSTNカラーコントローラとしても使用可能です(コントラスト補正はできません)。

データの出力方法を4ビット、8ビットから選択可能です。また、使用するLCDドライバに合わせて、出力の順序を切り替え可能です。

次頁より、SRタイプLCDドライバを制御するために必要な設定を説明いたします。

3.14.3.2 メモリ空間 (SR、TFTモード共通仕様)

LCDCは、LCDパネルに表示するイメージを上、中、下と横割りに3分割して表現することができます。各々の空間は、それぞれA、B、Cエリアと呼ばれ、下記に示す特長を持っています。

LCDスタートアドレス設定レジスタとコモン(行)数設定レジスタで、メモリ空間における各エリアのスタートアドレスと行数を設定します。(Cエリアはスタートアドレスのみ)アドレス設定は、表示モードによって1ピクセルの表示データのデータ量が異なるため、指定するアドレスはそのデータ量に合わせて設定することが必要となります。

A、Bエリアはプログラムにより表示、非表示をコモン数レジスタで設定できます。非表示の場合はコモン数レジスタに“0”を書き込みます。A、Bエリアが非表示設定の場合、パネル空間すべてがCエリアになります。表示の優先順位はA>B>Cですので、(A+B)エリアのサイズがパネルサイズ以上の場合、Cエリアは非表示になります。

また、パネル空間がCエリアのみに設定されている状態(A、Bエリア共にディセーブル設定)で、Aエリアを表示イネーブルにした場合は、CエリアがLCDパネルの下へシフトされ、最上部からAエリアが挿入されます。同様に、パネル空間がCエリアのみの状態でBエリアを表示イネーブルにすると、Cエリアの最下部からBエリアが重なる格好で挿入されます。

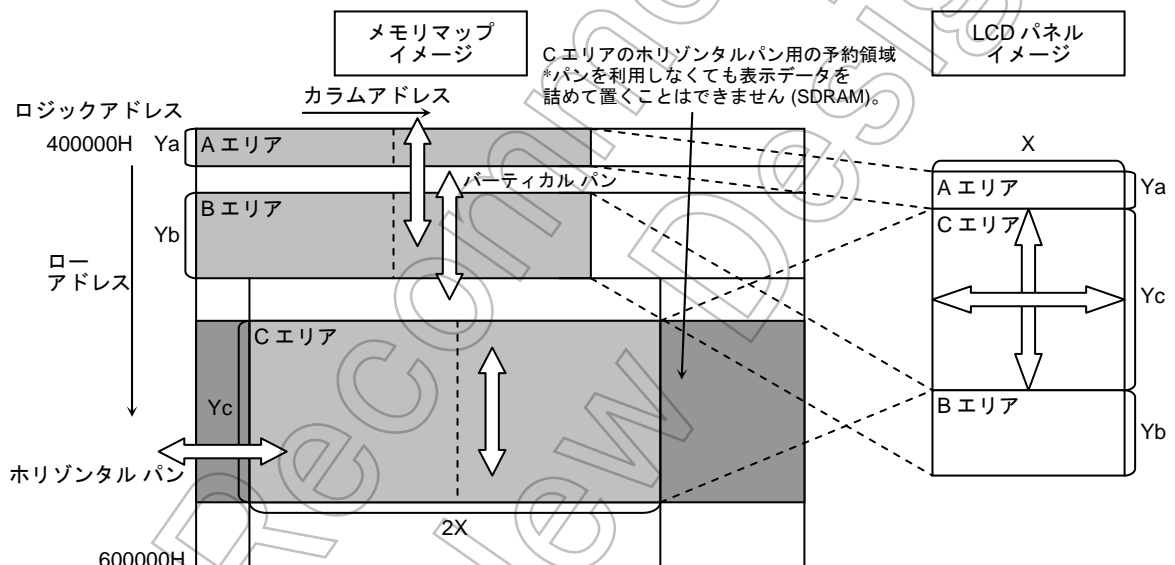


図 3.14.1 物理メモリとLCDパネルのメモリ配置関係(4階調モード)

3.14.3.3 表示メモリのマッピングとパン機能 (SR、TFTモード共通仕様)

LCDCは、A、B、Cエリアの各スタートアドレスを変更するだけで、LCDパネルウィンドウを変更することができます。ローアドレスとカラムアドレスを変更することによって、パーティカルパン（縦方向）と水平パン（横方向）が可能です。

表示モードによって表示1画素のデータ量が異なるため、アドレスの設定方法は、現状の表示モードによってそれぞれ異なります。

表示RAMにSDRAMを使用した場合のメモリマッピングにおいて、水平パン機能を使用しなくても表示画素分の表示データをすき間なく詰めた形でSDRAMに配置することはできません。表示SDRAMの1ローアドレスは表示パネルの1行に相当します。つまり、表示したいサイズのパネル1行に必要なデータ量が表示SDRAM1ローアドレスの容量に満たなくても、表示パネル2行目のデータを表示SDRAMの1ローアドレスには設定できません。表示パネルの行が1行増えることは、表示SDRAMのローアドレスが1アドレス増えることとなります。

表示用のRAMはSDRAM、外部SRAM、内蔵RAMに対応していますが、SRAMを選択した場合とSDRAMを利用した場合にはメモリマッピングが異なります。

表示RAMにSRAMを使用した場合（内蔵RAM含む）は、1行目の表示データと2行目の表示データはすき間なく配列します。

表示RAMにSRAMを選択した場合には、水平パン機能は使用できません。

モノクローム、4、8、16階調とSTNカラー256、4096色の選択ができますが、各階調によって、表示1画素をデコードする際に使用するメモリ容量が異なります。

下記に示すようにモノクロームの場合、表示画素はメモリ内の1ビット、4階調は2ビット、8/16階調の場合は4ビットに相当します。また、STNカラー256色選択の場合には1画素は8ビット、4096色選択の場合は12ビットとなります。たとえば、4階調モードの場合、メモリ空間には実際にLCDパネルに表示されるピクセル数の2倍分のデータ容量が必要となります。

以上に示した用に、使用する階調レベルやメモリの種類によって、表示データの量や設定アドレスが異なりますので、注意が必要です。詳細は後述の「各表示モードにおけるメモリマップイメージとデータ出力」を参照願います。

3.14.3.4 データ転送

LCDドライバへデータを転送する際、転送用の専用バス(LD11~LD0)からデータを出力します。LCDドライバの入力方式に合わせて、4ビットAタイプ、4ビットBタイプ、8ビットAタイプ、8ビットBタイプ(8ビットのA、B出力の選択はSTN256、4096カラーのみ、12ビットはTFTのみ)と出力フォーマットを選択することができます。

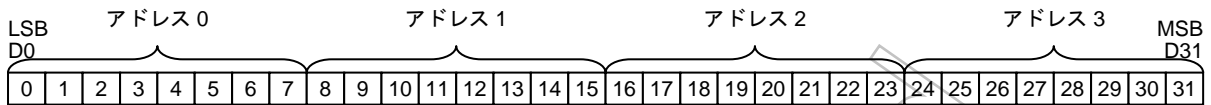
また、LCDMODE2<LDINV>の設定によりLDバス信号の反転出力が可能です。<LDINV>を反転設定にすると、表示データは強制的にすべて反転します。また、<LDINV>設定時には、TFTドライバを制御するときに使用するLDINV信号や<AUTOINV>機能は使用できません。

<AUTOINV>と<LDINV>を同時にONさせた場合は、<LDINV>が優先されて<LDINV>=1、<AUTOINV>=0の設定の動きになります。

ビット単位のメモリマッピングと合わせて、以下の図3.14.2~図3.14.5に各表示モードにおけるメモリマップイメージとデータ出力の関係を示します。

各表示モードにおけるメモリマップイメージとデータ出力

- モノクローム (1 ピクセル表示データ=1 ビットメモリデータ)
表示メモリ



LD バス出力

4 ビット A タイプ

LD0	0 → 4 → 8 → 12 ...
LD1	1 → 5 → 9 → 13 ...
LD2	2 → 6 → 10 → 14 ...
LD3	3 → 7 → 11 → 15 ...
LD4	未使用
LD5	未使用
LD6	未使用
LD7	未使用

4 ビット B タイプ

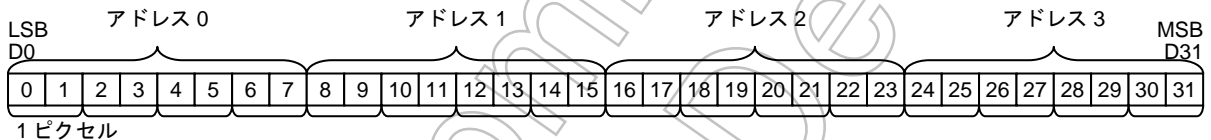
LD0	4 → 0 → 12 → 8 ...
LD1	5 → 1 → 13 → 9 ...
LD2	6 → 2 → 14 → 10 ...
LD3	7 → 3 → 15 → 11 ...
LD4	未使用
LD5	未使用
LD6	未使用
LD7	未使用

8 ビット A タイプ

LD0	0 → 8 ...
LD1	1 → 9 ...
LD2	2 → 10 ...
LD3	3 → 11 ...
LD4	4 → 12 ...
LD5	5 → 13 ...
LD6	6 → 14 ...
LD7	7 → 15 ...

注) このモードは 8 ビット B タイプには対応していません。

- 4 階調 (1 ピクセル表示データ=2 ビットメモリデータ)
表示メモリ



LD バス出力

4 ビット A タイプ

LD0	1-0 → 9-8 → 17-16 ...
LD1	3-2 → 11-10 → 19-18 ...
LD2	5-4 → 13-12 → 21-20 ...
LD3	7-6 → 15-14 → 23-22 ...
LD4	未使用
LD5	未使用
LD6	未使用
LD7	未使用

4 ビット B タイプ

LD0	9-8 → 1-0 → 25-24 ...
LD1	11-10 → 3-2 → 27-26 ...
LD2	13-12 → 5-4 → 29-28 ...
LD3	15-14 → 7-6 → 31-30 ...
LD4	未使用
LD5	未使用
LD6	未使用
LD7	未使用

8 ビット A タイプ

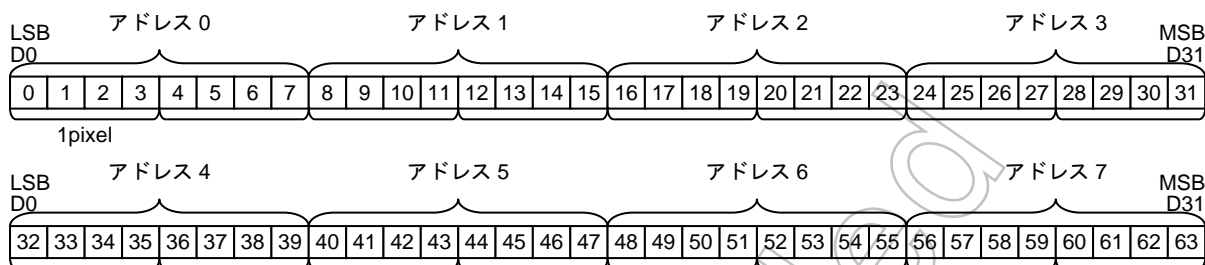
LD0	1-0 → 17-16 ...
LD1	3-2 → 19-18 ...
LD2	5-4 → 21-20 ...
LD3	7-6 → 23-22 ...
LD4	9-8 → 25-24 ...
LD5	11-10 → 27-26 ...
LD6	13-12 → 29-28 ...
LD7	15-14 → 31-30 ...

注) このモードは 8 ビット B タイプには対応していません。

図 3.14.2 各表示モードにおけるメモリマップイメージとデータ出力

各表示モードにおけるメモリマップイメージとデータ出力

- 8/16 階調 (1 ピクセル表示データ = 4 ビットメモリデータ) 表示メモリ



LD バス出力

4 ビット A タイプ

LD0	3-0	→	19-16	...
LD1	7-4	→	23-20	...
LD2	11-8	→	27-24	...
LD3	15-12	→	31-28	...
LD4	未使用			
LD5	未使用			
LD6	未使用			
LD7	未使用			

8 ビット

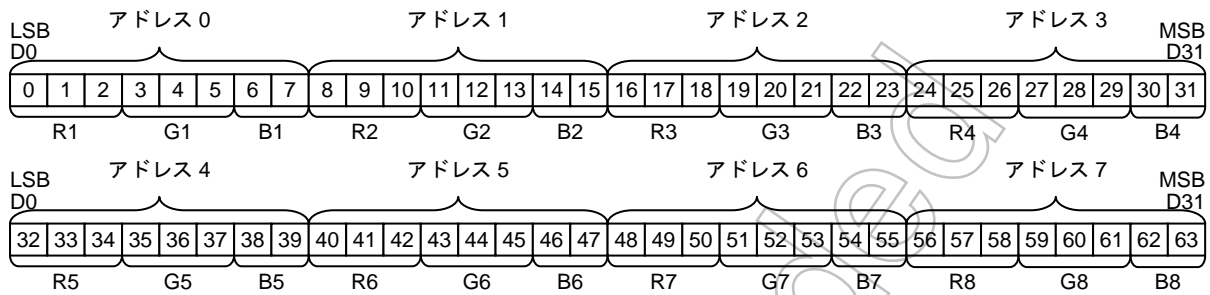
LD0	3-0	→	35-32	...
LD1	7-4	→	39-36	...
LD2	11-8	→	43-40	...
LD3	15-12	→	47-44	...
LD4	19-16	→	51-48	...
LD5	23-20	→	55-52	...
LD6	27-24	→	59-56	...
LD7	31-28	→	63-60	...

注) 8階調のデータフォーマットは16階調と同じになり、1ピクセルが4ビットのスペースに必要となります。LSBビットは無効データとなります。このモードは4ビットBタイプ、8ビットBタイプには対応していません。

図 3.14.3 各表示モードにおけるメモリマップイメージとデータ出力

各表示モードにおけるメモリマップイメージとデータ出力

- 256カラー (1ピクセル表示データ = 8ビットメモリデータ R: 3ビット、G: 3ビット、B: 2ビット)
表示メモリ



LDバス出力

4ビットAタイプ

LD0	2-0 (R1)	→	13-11 (G2)	...
LD1	5-3 (G1)	→	15-14 (B2)	...
LD2	7-6 (B1)	→	18-16 (R3)	...
LD3	10-8 (R2)	→	21-19 (G3)	...
LD4	未使用			
LD5	未使用			
LD6	未使用			
LD7	未使用			

LDバス出力

8ビットAタイプ

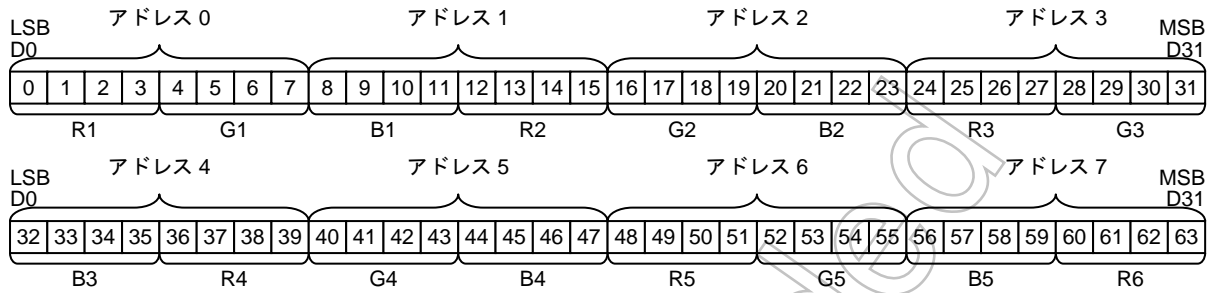
LD0	2-0 (R1)	→	23-22 (B3)	...	LD0	2-0 (R1)	→	7-6 (G1)	→	45-43 (G6)	→	47-46 (B6)	...
LD1	5-3 (G1)	→	26-24 (R4)	...	LD1	5-3 (B1)	→	10-8 (R2)	→	50-48 (R7)	→	53-51 (G7)	...
LD2	7-6 (B1)	→	29-27 (G4)	...	LD2	13-11 (G2)	→	15-14 (B2)	→	55-54 (B7)	→	58-56 (R8)	...
LD3	10-8 (R2)	→	31-30 (B4)	...	LD3	18-16 (R3)	→	21-19 (G3)	→	61-59 (G8)	→	63-62 (B8)	...
LD4	13-11 (G2)	→	34-32 (R5)	...	LD4	23-22 (B3)	→	26-24 (R4)	→	66-64 (R9)	→	69-67 (G9)	...
LD5	15-14 (B2)	→	37-35 (G5)	...	LD5	29-27 (G4)	→	31-30 (B4)	→	71-70 (B9)	→	74-72 (R10)	...
LD6	18-16 (R3)	→	39-38 (B5)	...	LD6	34-32 (R5)	→	37-35 (G5)	→	77-75 (G10)	→	79-78 (B10)	...
LD7	21-19 (G3)	→	42-40 (R6)	...	LD7	39-38 (B5)	→	42-40 (R6)	→	82-80 (R11)	→	85-83 (G11)	...

注) このモードは4ビットBタイプには対応していません。

図 3.14.4 各表示モードにおけるメモリマップイメージとデータ出力

各表示モードにおけるメモリマップイメージとデータ出力

- 4096カラー(12bpp: R: 4ビット, G: 4ビット, B: 4ビット)表示メモリ



LDバス出力

4ビットAタイプ

LD0	3-0 (R1)	→	19-16 (G2)	...
LD1	7-4 (G1)	→	23-20 (B2)	...
LD2	11-8 (B1)	→	27-24 (R3)	...
LD3	15-12 (R2)	→	31-28 (G3)	...
LD4	未使用			
LD5	未使用			
LD6	未使用			
LD7	未使用			

8ビットAタイプ

LD0	3-0 (R1)	→	35-32 (B3)	...
LD1	7-4 (G1)	→	39-36 (R4)	...
LD2	11-8 (B1)	→	43-40 (G4)	...
LD3	15-12 (R2)	→	47-44 (B4)	...
LD4	19-16 (G2)	→	51-48 (R5)	...
LD5	23-20 (B2)	→	55-52 (G5)	...
LD6	27-24 (R3)	→	59-56 (B5)	...
LD7	31-28 (G3)	→	63-60 (R6)	...

注) 8階調のデータフォーマットは16階調と同じになり、1ピクセルが4ビットのスペースに必要となります。LSBビットは無効データとなります。このモードは4ビットBタイプ、8ビットBタイプには対応していません。

図 3.14.5 各表示モードにおけるメモリマップイメージとデータ出力

3.14.3.5 フレーム信号設定

フレーム周期 (LCD パネルのリフレッシュ間隔) を、基準クロック設定 LSCC(LCDSCC<SCC7:0>)と、フレーム周期調整機能 FP[9:0](LCDCTL0<FP9, 8>, LCDFFP<FP7:0>)に設定した値により定義しています。LBCD 端子には、このフレーム周期ごとにパルスが出力され、LFR 端子には、通常この周期ごとに極性が反転する信号が出力されます。

また、特殊機能として表示ムラなどを防ぐために、フレームの極性反転タイミングを上記フレーム周期とは無関係に設定する機能も持っています。

(1) 基準クロック設定

LCDC の LP 周期、フレーム周期などをつかさどる基準クロックを決める専用クロックジェネレータを内蔵しています。これにより、細かなフレーム周期 (リフレッシュレート) を設定することができます。

使用しているシステムクロックの周波数 (f_{sys}) の 1/16 のクロックを基準に、8 ビットのカウンタにて LCDC の基準クロックを設定します。

設定の計算方法は以下の通りです。

f_{BCD}[Hz] : フレーム周波数 (リフレッシュレート: LBCD 信号の周波数)
 FP : FP[9:0]レジスタ設定値
 SCC : <SCC7:0>レジスタ設定値

$$f_{BCD}[Hz] = f_{sys}[Hz] / ((SCC + 1) \times 16 \times FP)$$

例) f_{sys}[Hz] = 20 MHz、480 COM (FP = 480) で、140 Hz にする場合

$$140[Hz] = 20000000[Hz] / ((SCC + 1) \times 16 \times 480)$$

$$SCC + 1 = 20000000 / (140 \times 16 \times 480) = 18.60$$

整数設定のみですので、SCC = 17 と設定します。(後述の FFP 調整をするため、切り捨ての整数を設定します。)

このときのリフレッシュレートは 144.6[Hz] となります。

LCDC ソースクロックカウンタレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	SCC7	SCC6	SCC5	SCC4	SCC3	SCC2	SCC1	SCC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	LCDC ソースクロックカウンタ bit7-0							

* 上記レジスタには 1H~FFFFH をライトします。“0” をライトした場合は、動作しません。

* リフレッシュレートを必要以上に早くすると、表示データの転送が間に合わない場合があります。上記設定 SCC の値と下記の式に従って、t_{LP} 時間が決定します

$$t_{LP}[s] = (1/f_{sys}[Hz]) \times 16 \times (SCC + 1)$$

上記、t_{LP} 時間内にデータ転送が終了していなければいけません。データ送信時間が t_{LP} 以下になるように SCC およびデータ転送速度を設定してください。データ転送時間に関しては 3.14.3.6 「データ転送速度とバス占有率」を参照願います。

(2) フレーム周期調整機能 (補正機能)

本機能では、前項レジスタ FP[9:0]に設定値に従って、基本となるリフレッシュレート (LBCD 信号の周波数) が作られます。通常、この値はコモン数と同等な値を設定しますが、先述の基準クロックにて設定された周波数を更に補正するための機能です。

この機能は使用しているコモン数を増やしてリフレッシュレートを、遅い周波数に補正をかける機能です。

下記に先述の基準クロック設定に続けて例を示します。

例) $f_{\text{SYS}}[\text{Hz}] = 20 \text{ MHz}$ 、480 COM (FP = 480)で、140 Hzにする場合

$$140[\text{Hz}] = 20000000[\text{Hz}] / ((\text{SCC} + 1) \times 16 \times 480)$$

$$\text{SCC} + 1 = 20000000 / (140 \times 16 \times 480) = 18.60$$

整数設定のみですので、SCC = 17 と設定します。

このときのリフレッシュレートは 144.6[Hz] となります。

$$f_{\text{BCD}}[\text{Hz}] = f_{\text{SYS}}[\text{Hz}] / ((\text{SCC} + 1) \times 16 \times \text{FP})$$

再度、上記式に SCC = 17 を取り込んで FP の値を調整します。

$$140[\text{Hz}] = 20000000 / (18 \times 16 \times \text{FP})$$

$$\text{FP} = 496.03$$

整数設定のみですので、FP = 496 と設定します。

このときのリフレッシュレートは 140.0[Hz] となります。

LCD f_{FP} レジスタ

		7	6	5	4	3	2	1	0
LCDFFP (0282H)	Bit symbol	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	f_{FP} bit7~0 設定							

(参考) モノクロームモード時は、フレーム周期決定機能、フレーム反転調整機能、タイマアウト LCDCK を使用して、フレーム周期は約 70[Hz]、4、8、16 階調、256、4096 カラーモードのときは、約 140~200[Hz]を目安にすると表示品位が上がります。

(3) フレームの反転調整機能

フレーム反転機能を使用することで、大画素表示などでおこる、表示ムラなどの*表示品位の低下を防ぐことができます。

<FRMON> = 1 で本機能をイネーブルに設定した場合は、下記 (LCDDVM) レジスタに N を設定すると、LFR 端子から (LLP × N) のタイミングごとに極性反転した信号が出力されます。

本機能を使用しない場合、(LCDCTL) <FRMON> = 0 でディセーブルに設定すると、LFR 端子から、LBCD 端子の周期ごとに極性反転した信号が出力されます。

本機能をイネーブルに設定したことによって LBCD 端子の波形やタイミングに変化はありません(画像のリフレッシュレートは変化しません)。

注) 実際に使用される LCD ドライバ、LCD パネルなどの特性によって効果は変化します。

フレーム分割レジスタ

	7	6	5	4	3	2	1	0	
LCDDVM (0283H)	Bit symbol	FMN7	FMN6	FMN5	FMN4	FMN3	FMN2	FMN1	FMN0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	DVM bit7~0 設定							

(参考) 一般的に DVM の値は素数 (3、5、7、11、13 など) に設定すると表示品位が上がります。

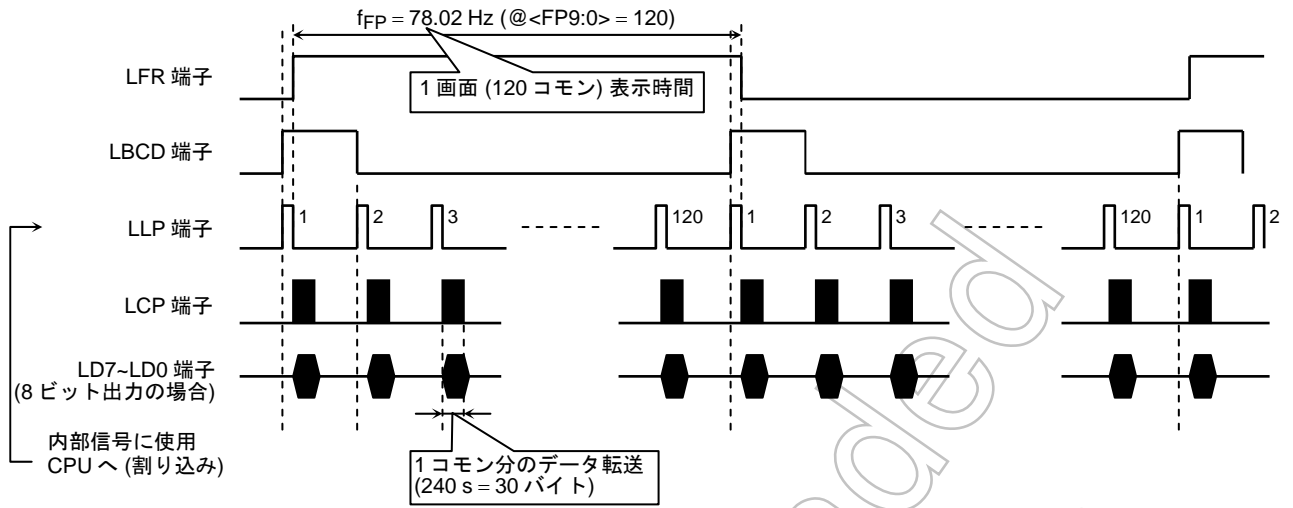


図 3.14.6 SR モード全体タイミング図

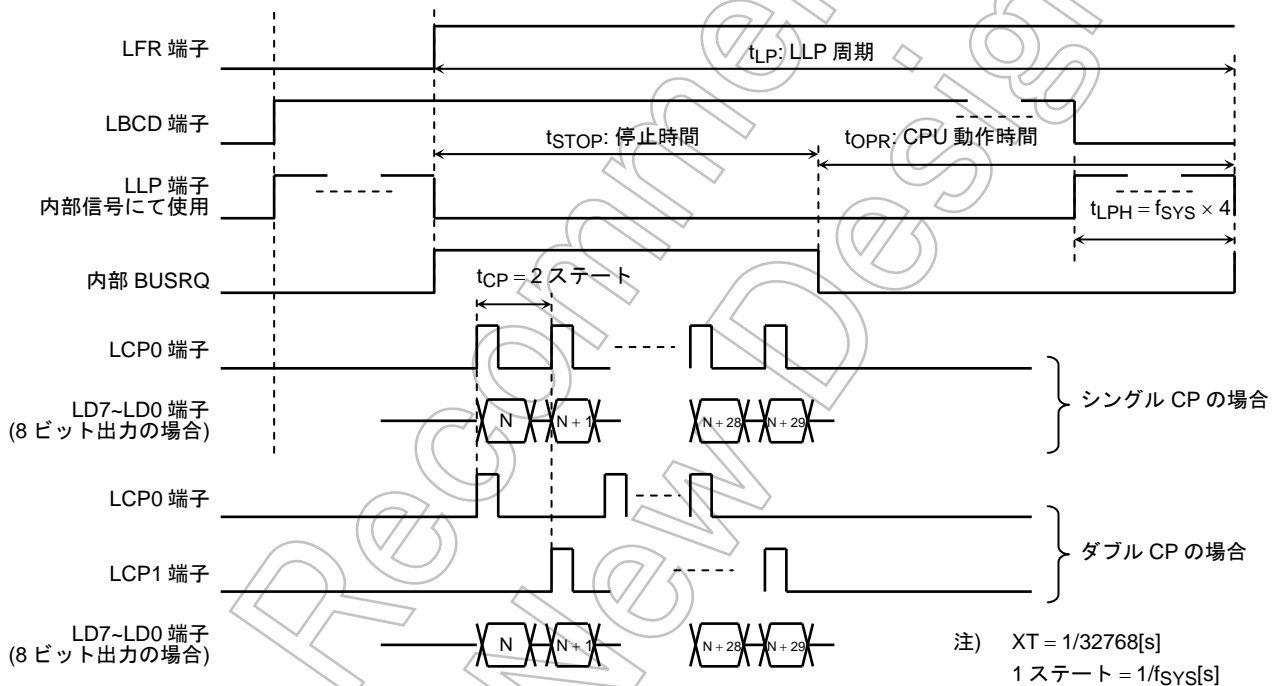


図 3.14.7 SR モード詳細タイミング図

FP[9:0]設定が 240 (コモン) + 63、LCDDVM<FMN7:0> = 0BH の場合の FR 波形

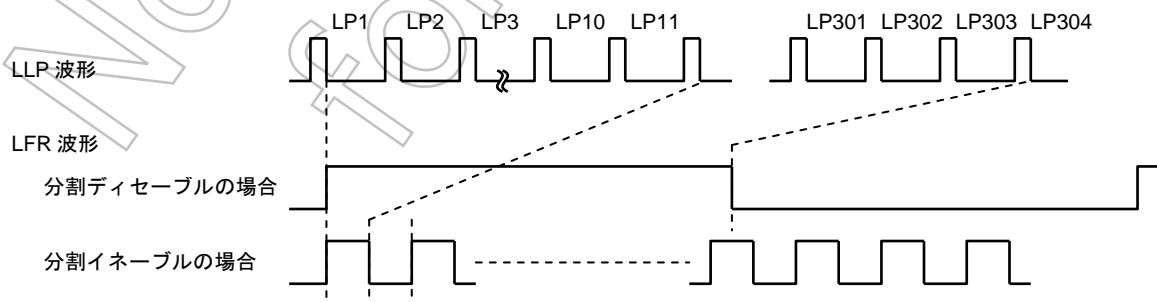


図 3.14.8 LLP、LFR 端子の波形

3.14.3.6 LCDデータ転送スピードとバス占有率

LCDCはCPUにバス開放要求を出力し、転送元のメモリからデータをリードします。その後、外部にあるLCDドライバへ、設定されたLCDサイズ分のデータをLCD専用データバス端子より転送します。そのため、LCDCが転送元の表示RAMからデータを読み取る際は自動的にCPUにバスの開放要求(CPUを停止する)を出します。この比率は読み取るデータ量の大きさ、読み取りのスピード、表示RAMのバス幅に依存しますので、表示モードと使用する表示RAMからの読み取りスピードによりバスの占有率が異なります。

表示 RAM	バス幅	有効データ読み取り時間 (f _{sys} クロック数/バイト)	有効データ読み取り時間 t _{LRD} (ns/バイト) @f _{sys} = 20 MHz
外部 SRAM	16 ビット	2/2	50
	32 ビット	2/4	25
内蔵 RAM	32 ビット固定	1/4	12.5
外部 SDRAM	16 ビット	*1/2	*25
	32 ビット	*1/4	*12.5

注) SDRAM 使用時は 1 コモン (行) データの読み取りごとに、+8 クロックのオーバーヘッド時間が必要です。

1 コモン (行) の転送の際に CPU が停止する時間を t_{STOP} と定義すると、各表示モードにおける t_{STOP} は下記計算式で表現されます。

$$t_{STOP} = (\text{SegNum} \times K/8) \times t_{LRD}$$

SegNum : 表示セグメント数

K : 1 画素の表示に必要な表示ビット数

モノクローム表示のとき K = 1

4 階調表示のとき K = 2

16 階調表示のとき K = 4

256 カラー表示のとき K = 8

4096 色表示のとき K = 12

注) SDRAM 使用時には、オーバーヘッド時間が追加され上記計算式は、

$$t_{STOP} = (\text{SegNum} \times K/8) \times t_{LRD} + ((1/f_{sys}) \times 8)$$

となります。

バス占有率は 1 コモン (行) の更新時間 t_{LP} のうちの t_{STOP} の閉める割合を示しますの

$$\text{LCDC バス占有率} = t_{STOP}/t_{LP}$$

注) t_{LP} の時間は 3.14.3.5「フレーム周期」を参照願います。

で計算することができます。

3.14.3.7 LDバスデータのタイミングチャート

ウェイト数が指定できる外部 SRAM、内蔵 16 バイトの SRAM、64 M、128 M、256 M、512 M ビットの SDRAM を表示 RAM に設定することができます。

480 バイトの FI/FO を内蔵しているため、CPU が高速で動作している場合でも、動作が遅い LCD ドライバを使用することが可能です。3 種類の D1BSCP 周期 ($f_{SYS}/2$, $f_{SYS}/4$, $f_{SYS}/8$) から選択できます。

出力データ (LD11~LD0) は、LCP0 の立ち上がりエッジで出力され、LCD ドライバは LCP0 の立ち下がりでデータを受け取ります (STN の場合)。

注) LCP 周期を遅くしすぎることによって、次段の信号に重ならないようにすることが必要です。

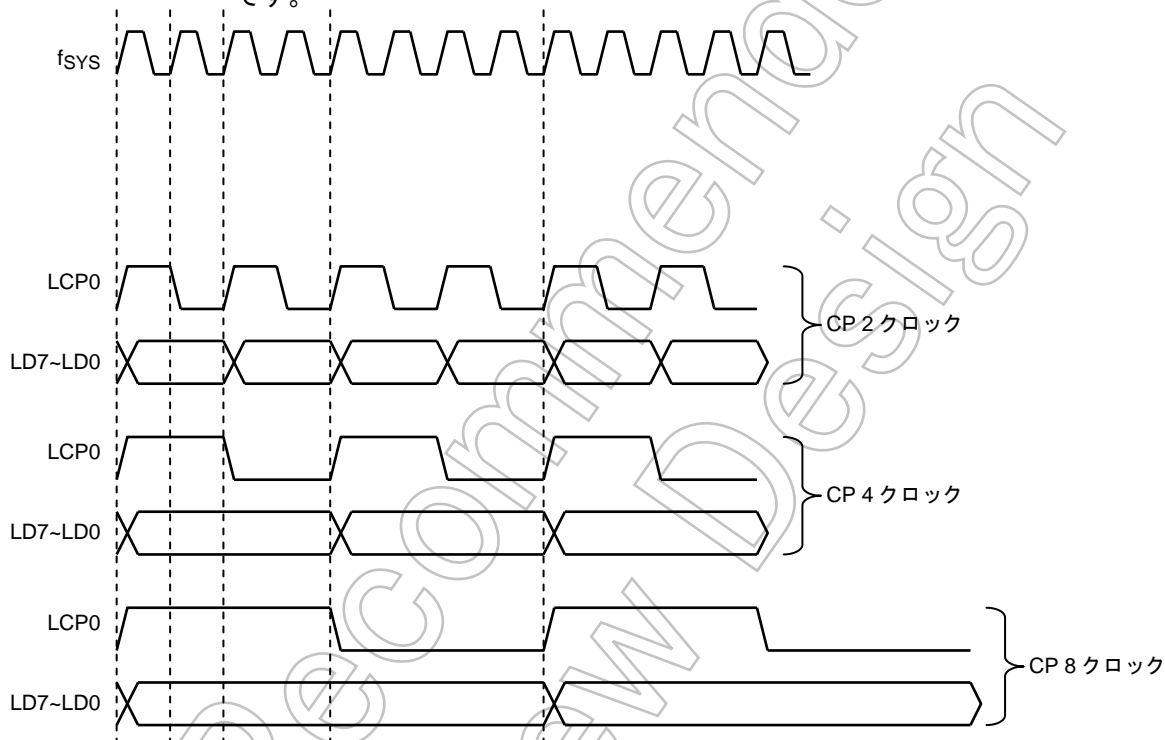


図 3.14.9 LCP 周波数選択

リフレッシュレートに合った表示データの転送速度を設定しないと、正常にデータが転送されません。前述の SCC の値と下記の式に従って、 t_{LP} 時間が決定します。

$$t_{LP}[s] = (1/f_{SYS}[Hz]) \times 16 \times (SCC + 1)$$

上記、 t_{LP} 時間内にデータ転送が終了していなければいけません。データ送信時間が t_{LP} 以下になるように、SCC およびデータ転送速度を設定してください。SCC 設定に関しては、3.14.3.5「フレーム周波数設定 (1) 基準クロック設定」を参照願います。

データ転送速度は、上記設定 SCP クロック速度によって決まります。

表示 RAM に使用するメモリの種類や、表示モードによっては、データ出力波形は変化します。つまり、読み出されたデータが出力すべきデータ量に満たない設定の場合は、CP2 クロックモードの選択はできません。LCD ドライバへの転送データが満たされるまで、転送速度を下げる必要があります。以下に各モードの最速タイミングを示します。

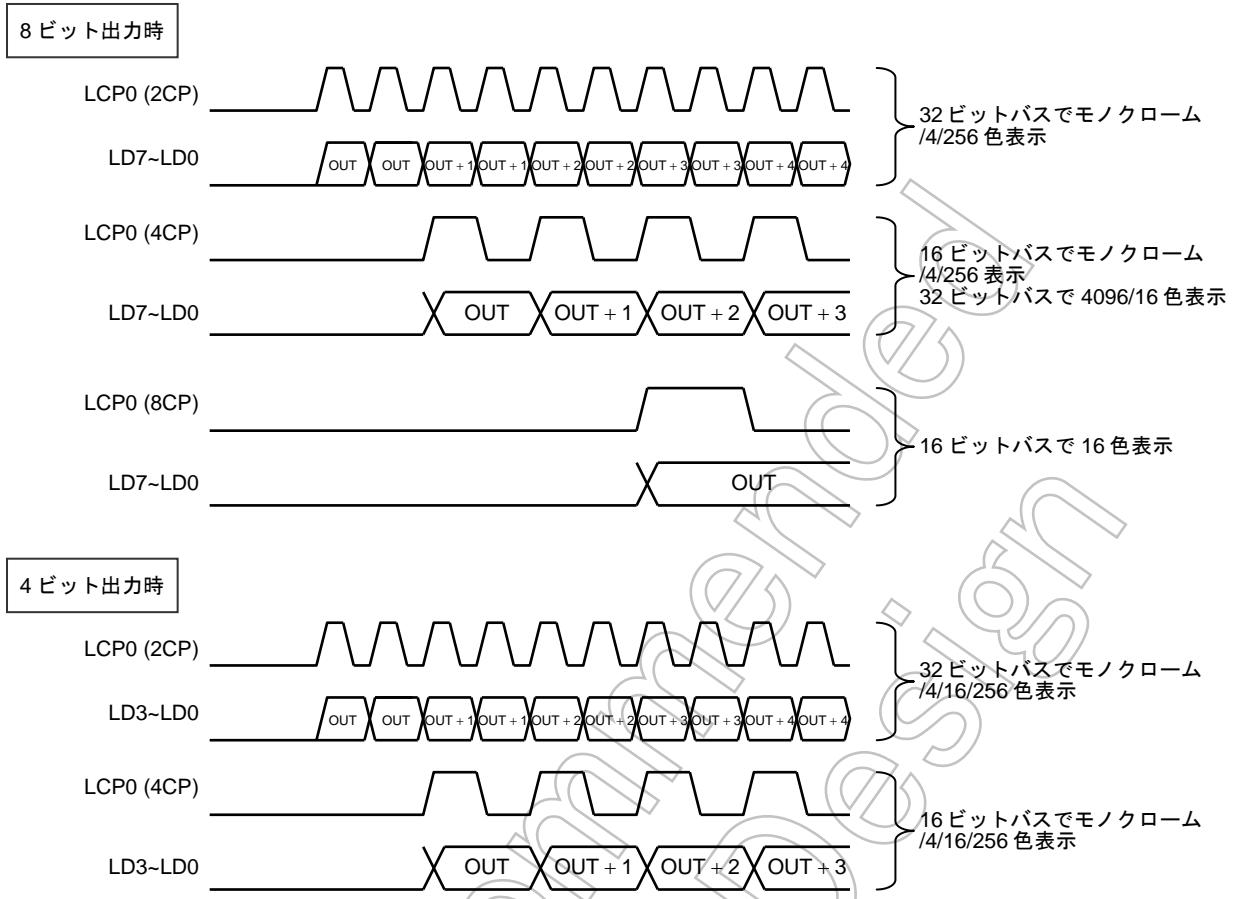
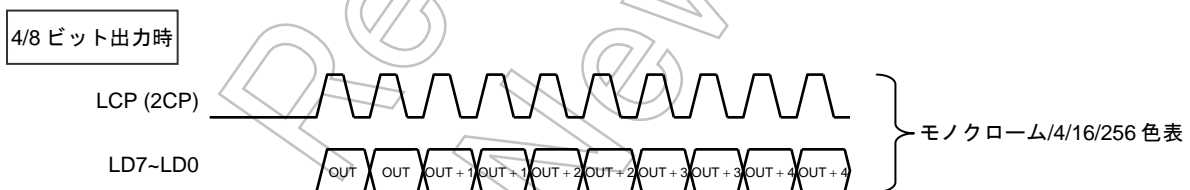


図 3.14.10 STN仕様: 外部SRAM、0ウェイト時の最速タイミング図



* 内蔵SRAMを表示RAMに使用する場合は32ビットバス、1クロックにてデータリードされるため、いずれの表示モードの場合も、最高速での転送が可能です。

図 3.14.11 内蔵SRAMのタイミング図

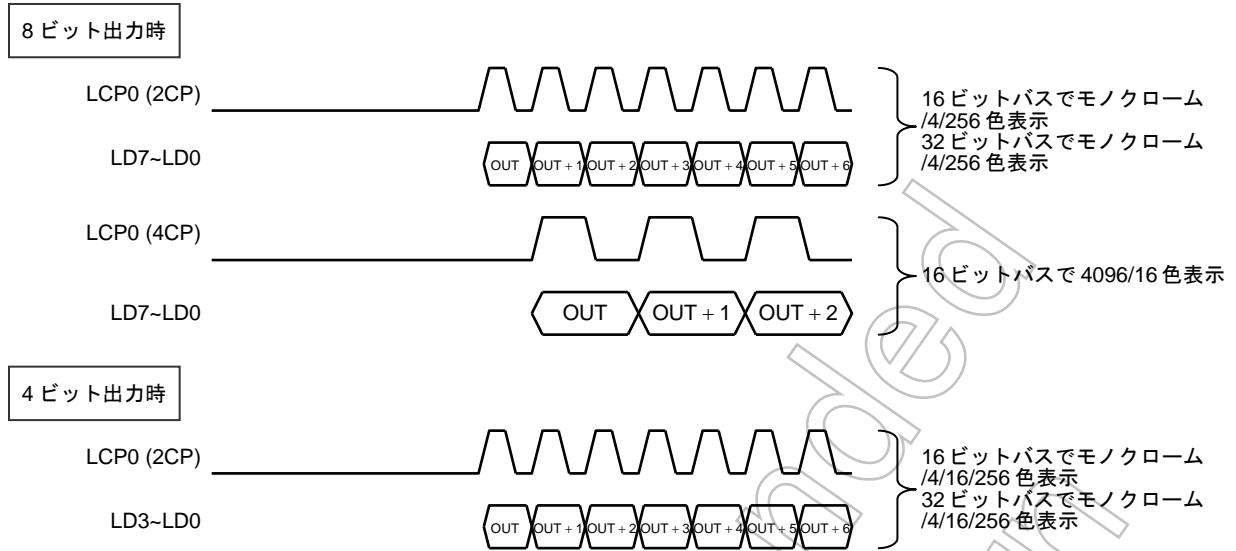


図 3.14.12 SDRAMバースト設定での最速タイミング図

Not Recommended for New Design

3.14.3.8 カラーパレット設定

モノクローム (白黒 2 色) 表示の他に 4、8、16 の階調表示機能と STN256、4096 色カラーに対応した機能を持っています。各々の設定方法を下記に説明いたします。

● 白黒表示

特に特殊な設定は必要ありません。LCDMODE1<MODE3:0>の設定にてモノクロームモードを選択するだけで OK です。

● 4、8、16 階調表示

白黒表示と同様に、特に特殊な設定は必要ありません。

LCDMODE1<MODE3:0>の設定にて各モードを選択するだけで OK です。

8 階調と 16 階調の表示データの書き込みフォーマットは共に 1 画素に 4 ビットを使用します。8 階調を選択しても、3 ビットのデータフォーマットになりません。16 ビットデータの最下位 (LSB) ビットのデータが無効となります。

● STN256 カラー表示

まず、LCDMODE1<MODE3:0>の設定にて STN256 モードを選択します。

次に、各色ごとのパレットレジスタで詳細設定をします。

256 カラーの場合、8 ビットの表示データは、赤 (R) が 3 ビット、緑 (G) が 3 ビット、青 (B) が 2 ビットと分解され、各々 8 色 (R)、8 色 (G)、4 色 (B) の表現ができますが、それぞれの色のコントラストレベルを 16 段階から設定することができます。

LCDRP10、LCDRP32、LCDRP54、LCDRP76 の計 4 つのレジスタにて赤色の詳細設定、LCDGP10、LCDGP32、LCDGP54、LCDGP76 が緑設定、LCDBP10、LCDBP32 が青設定と各色のパレットから 16 色 (0~15) の設定をします。

結果、4096 色 (16 × 16 × 16) の中から選んだ 256 色の同時発色が可能となります。

● 赤 (RED) のパレット設定

表示データ (bin)	<<<淡																濃>>>			
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F				
111 (選択可)	○	○	○	○	○	○	○	○	○	○	○	○	○	○	◎	○				
110 (選択可)	○	○	○	○	○	○	○	○	○	○	○	○	◎	○	○	○				
101 (選択可)	○	○	○	○	○	○	○	○	○	○	◎	○	○	○	○	○				
100 (選択可)	○	○	○	○	○	○	○	○	◎	○	○	○	○	○	○	○				
011 (選択可)	○	○	○	○	○	◎	○	○	○	○	○	○	○	○	○	○				
010 (選択可)	○	○	○	○	◎	○	○	○	○	○	○	○	○	○	○	○				
001 (選択可)	○	○	◎	○	○	○	○	○	○	○	○	○	○	○	○	○				
000 (選択可)	◎	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○				

● 緑 (GREEN) のパレット設定

表示データ (bin)	<<<淡																濃>>>			
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F				
111 (選択可)	○	○	○	○	○	○	○	○	○	○	○	○	○	○	◎	○				
110 (選択可)	○	○	○	○	○	○	○	○	○	○	○	○	◎	○	○	○				
101 (選択可)	○	○	○	○	○	○	○	○	○	○	◎	○	○	○	○	○				
100 (選択可)	○	○	○	○	○	○	○	○	◎	○	○	○	○	○	○	○				
011 (選択可)	○	○	○	○	○	◎	○	○	○	○	○	○	○	○	○	○				
010 (選択可)	○	○	○	○	◎	○	○	○	○	○	○	○	○	○	○	○				
001 (選択可)	○	○	◎	○	○	○	○	○	○	○	○	○	○	○	○	○				
000 (選択可)	◎	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○				

● 青 (BLUE) のパレット設定

表示データ (hex)	<<<淡																濃>>>			
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F				
11 (選択可)	○	○	○	○	○	○	○	○	○	○	○	○	◎	○	○	○				
10 (選択可)	○	○	○	○	○	○	○	○	◎	○	○	○	○	○	○	○				
01 (選択可)	○	○	○	○	◎	○	○	○	○	○	○	○	○	○	○	○				
00 (選択可)	◎	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○				

○: 選択可能なコントラストレベル
◎: 初期設定レベル

図 3.14.13 各色 (RGB) のパレット設定イメージ

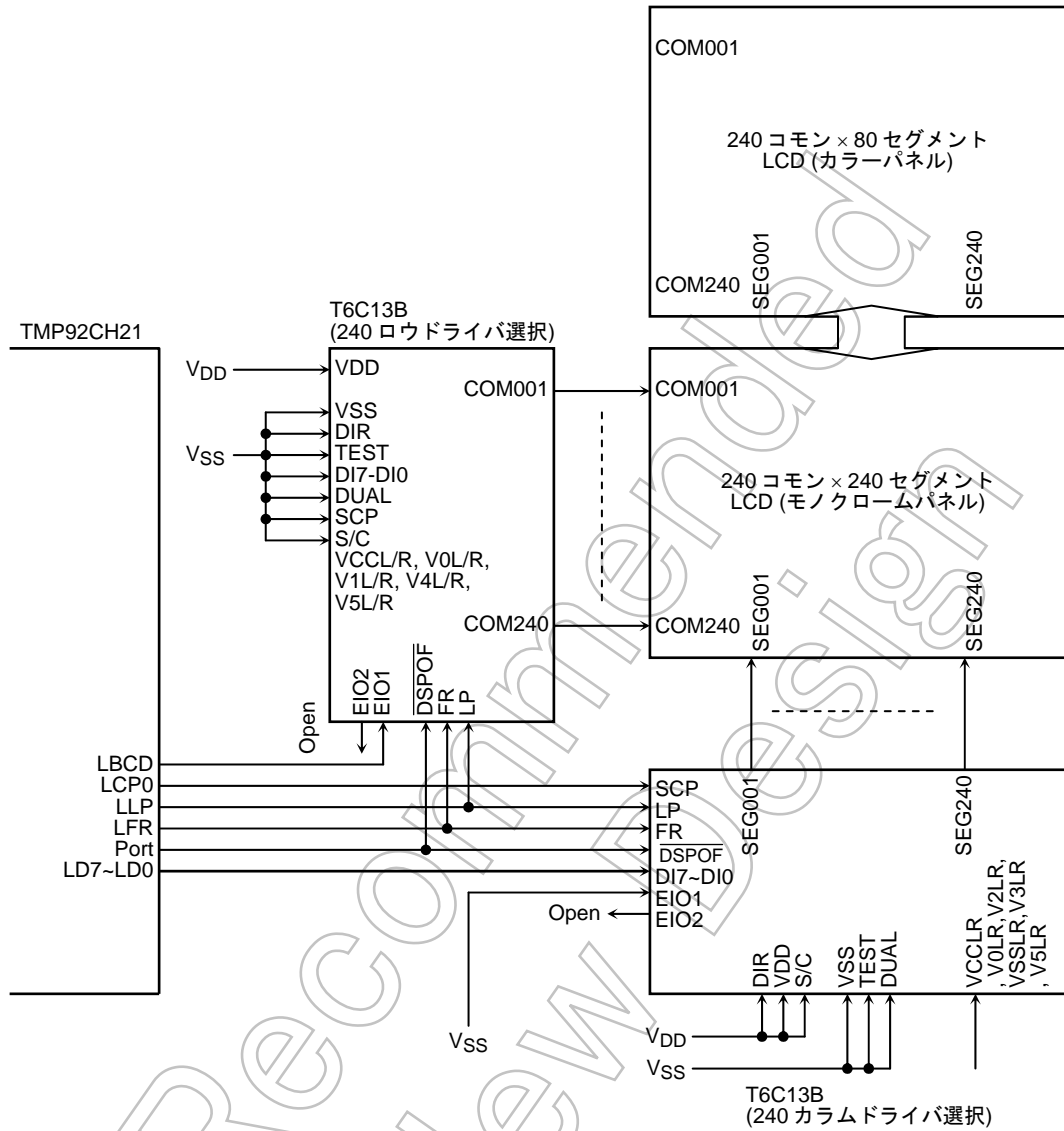
- STN4096 カラー表示

まず、LCDMODE1<MODE3:0>の設定にて STN4096 モードを選択します。

最大発色数が 4096 色のため、4096 色のモードを選んだ場合には、各々の色のレベルを設定することはできません。

Not Recommended
for New Design

3.14.3.9 SRモード時のLCDドライバ接続例



注) LCDドライバ表示に必要なLCD駆動電源は、別回路が必要です。

図 3.14.14 シフトレジスタタイプLCDドライバ接続例

3.14.3.10 プログラムサンプル (4 KカラーSTN)

;*****ポート設定*****

```

ld      (PLFC), 0ffh      ; LD7~LD0 set
ld      (PLCR), 0f0h     ; Output mode
ld      (PKFC), 0fh      ; LBCD, LLP ,LCPO

```

;*****LCD設定*****

```

ld      (LCDSCC), 51     ; Counter set (refresh rate: 100Hz@ fc = 40MHz)
ld      (LCDCCR0), 01h  ;
ld      (LCDCCR1), 01h  ; SCP Negative edge
ld      (LCDCCR2), 02h  ;

ld      (LCDSIZE), 64h  ; 240com × 256seg
ld      (LCDFFP),240    ; 240com
ld      (LCDMODE0), 096h ; SDRAM, STN: 4 K
ld      (LCDMODE1), 02h ; 8bitAtype

ld      (LSARCL), 00h   ; C area (enable)
ld      (LSARCM), 00h  ;
ld      (LSARCH), 40h  ;

ld      (LSARAL), 00h  ; A area (disable)
ld      (LSARAM), 00h  ;
ld      (LSARAH), 00h  ;

ld      (LSARBL), 00h  ; B area (disable)
ld      (LSARBM), 00h  ;
ld      (LSARBH), 00h  ;

ld      (CMNAL), 00h   ; A area Row number
ld      (CMNAH), 00h  ;

ld      (CMNBL), 00h  ; B area Row number
ld      (CMNBH), 00h  ;

ld      (LCDCTL1), 0e0h ; SCP0, SCP1: negedge, BCD:
ld      (LCDDVM), 3    ;
ld      (LCDCTL0), 01h ; START (FP bit8 = 0)

```

3.14.4 TFTカラー表示ドライバ対応モード

3.14.4.1 動作説明

デジタル RGB 入力の TFT ドライバに対応しています。

基本的に、データの転送方法は STN タイプと同様です。

あらかじめ、動作モード、転送元データ格納メモリのスタートアドレス、階調レベル、LCD サイズ (コモン、セグメント) などを I/O レジスタに設定後、スタートレジスタをセットします。それにより、LCDC は CPU にバス開放要求 (バス停止要求) を出力し転送元のメモリからデータをリードし外部にある LCD ドライバへ、設定された LCD サイズ分のデータを LD バス (LCD 専用バス) 端子より転送します。このとき、データ転送に同期して LCD ドライバへ接続される制御端子も規定の波形を出力します。

表示データのリードが終了するとバス開放要求を解除し CPU はリスタートします。LCD コントローラは波形生成用に LCDC 基準クロック、LCDSCC を使用します。

LCDSCC とはシステムクロック f_{sys} から生成する LCDC の基準クロックで、LCDC 専用のクロックジェネレータを内蔵しています。これにより、細かなフレーム周期 (リフレッシュレート) を設定することができます。

使用しているシステムクロックの周波数 (f_{sys}) の 1/16 のクロックを基準に、8 ビットのカウンタにて LCDC の基準クロックを設定します。

TFT ソースドライバ制御には、8 ビット RGB および、4 ビット \times RGB の表示データと、LCP0、LFR、LLP 信号の他に、反転データを出力していることを示す LDIV 信号を持っており、データラインの変化によるノイズ低減/消費電流などに効果を発揮します。

また、TFT ゲートドライバの制御には LCP1、LBCD の他にゲート制御信号を調整できる 3 ビットの LGOE0~LGOE2 信号を有しています。

3.14.4.2 メモリ空間

メモリ空間は、SR モードと同様です。SR モードの共通の仕様です。SR モードの「メモリ空間」を参照してください。

3.14.4.3 表示メモリのマッピングとパン機能

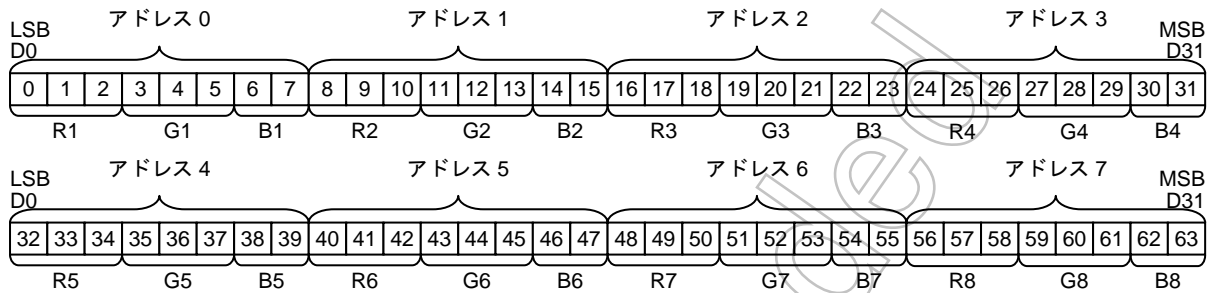
パン機能、表示メモリのマッピングは、SR モードと共通の仕様です。SR モードの「表示メモリのマッピングとパン機能」を参照してください。

3.14.4.4 データ転送

LCD ドライバへデータを転送する際、転送用の専用バス (LD11~LD0) からデータを出力します。LCD ドライバの入力方式に合わせて、8 ビット、12 ビット (4 ビットは使用できません) と出力フォーマットを選択することができます。ビット単位のメモリマッピングと合わせて、以下の 図 3.14.15~図 3.14.16 各表示モードにおけるメモリマップイメージとデータ出力の関係を示します。

各表示モードにおけるメモリマップイメージとデータ出力

- 256色 (1ピクセル表示データ = 8ビットメモリデータ R: 3ビット、G: 3ビット、B: 2ビット)
表示メモリ



8ビット (TFT)

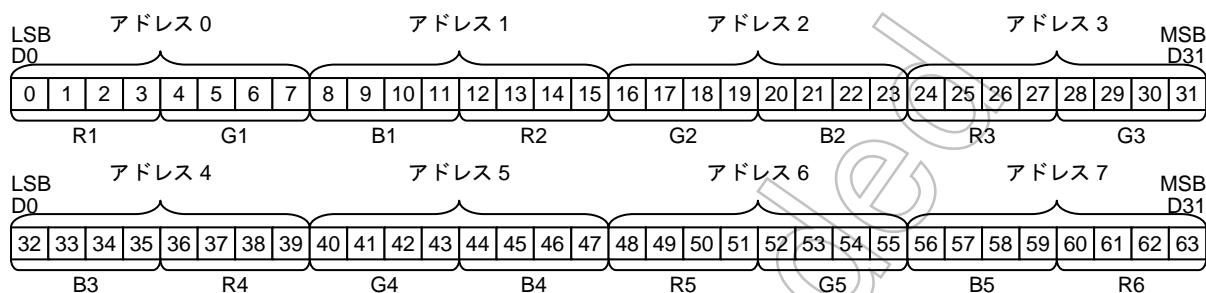
LD0 0 (R1) → 8 (R2) ...
 LD1 1 (R1) → 9 (R2) ...
 LD2 2 (R1) → 10 (R2) ...
 LD3 3 (G1) → 11 (G2) ...
 LD4 4 (G1) → 12 (G2) ...
 LD5 5 (G1) → 13 (G2) ...
 LD6 6 (B1) → 14 (B2) ...
 LD7 7 (B1) → 15 (B2) ...

- * 256カラーTFT選択時はLDバスを8ビット使用します。LD8、LD9、LD10、LD11は汎用ポートとして使用することが可能です。

図 3.14.15 各表示モードにおけるメモリマップイメージとデータ出力

各表示モードにおけるメモリマップイメージとデータ出力

- 4096色 (1ピクセル表示データ = 12ビットメモリデータ R: 4ビット, G: 4ビット, B: 4ビット)
表示メモリ



12 bit (TFT)

LD0	0 (R1)	→	12 (R2)	...
LD1	1 (R1)	→	13 (R2)	...
LD2	2 (R1)	→	14 (R2)	...
LD3	3 (R1)	→	15 (R2)	...
LD4	4 (G1)	→	16 (G2)	...
LD5	5 (G1)	→	17 (G2)	...
LD6	6 (G1)	→	18 (G2)	...
LD7	7 (G1)	→	19 (G2)	...
LD8	8 (B1)	→	20 (B2)	...
LD9	9 (B1)	→	21 (B2)	...
LD10	10 (B1)	→	22 (B2)	...
LD11	11 (B1)	→	23 (B2)	...

図 3.14.16 各表示モードにおけるメモリマップイメージとデータ出力

3.14.4.5 各信号の設定

TFT ソースドライバは、基本となるクロック (LCP0) と、データの転送開始を示す信号 (LFR) と、データ転送終了後 TFT パネルへデータを出力する信号 (LLP) で制御します。

データバスはそのカラー諧調レベルに合わせて、8 ビットまたは 12 ビットの専用バス (LD11~LD0) にてデータを転送します。各信号はそれぞれセットアップタイムやダミークロックが挿入できるように細かな制御が可能です。下図の「ディレイ/イネーブル制御」の時間が可変です。

また、データ転送の際に発生する放射ノイズを極力押さえるために、一回前に転送したデータとこれから転送するデータを逐次比較し、そのデータ変化が最小限になるように、データを反転して出力していることを示す信号 (LDIV) を用意しています。これは受け取ったデータを内部で反転処理できる機能を持つ LCD ドライバを使用する際に有効な機能です。

以下に、基本的な波形信号例を示します。

LCP1 クロックは SR モードと同様に低周波クロックから生成されます。(タイマクロックの使用も可能) また LBCD 周期は、LCP1 周期と <LCDFFP> レジスタに設定された数値によって決まります。

次頁以降に、下図 3.14.17内の「Delay/Enable制御」の詳細について説明します。

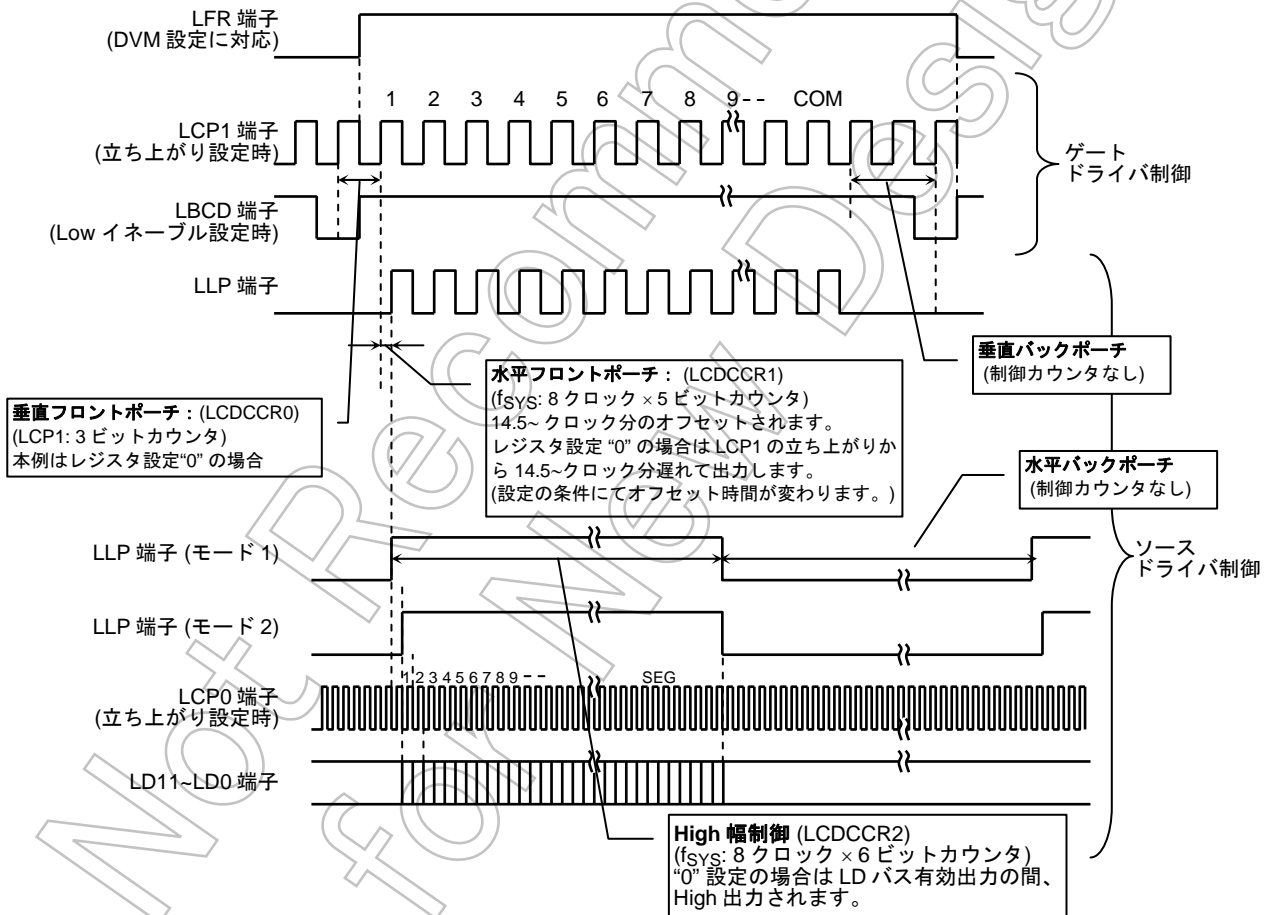


図 3.14.17 TFT ドライバ制御信号タイミングイメージ

LCD クロックカウンタレジスタ 0

	7	6	5	4	3	2	1	0
LCDCCR0 (0288H)						PCPV2	PCPV1	PCPV0
Bit symbol								
Read/Write						R/W	R/W	R/W
リセット後						0	0	0
機能						Pre LCP1 CLK 設定: LCP1パルス数 ゲートドライバ LCP1 の有効クロック までのダミークロック設定		

上記 LCDCCR0<PCPV2:0>の 3 ビットにて垂直フロントポーチを設定します。SR モードで説明済の LCDFFP<FP9:0>に設定されたパルス数から、LCDFFP レジスタの設定値と上記<PCPV2:0>に設定されたパルス数を引いたパルス数で垂直バックポーチ制御をします。

LCD クロックカウンタレジスタ 1

	7	6	5	4	3	2	1	0
LCDCCR1 (0289H)				TLDE4	TLDE3	TLDE2	TLDE1	TLDE0
Bit symbol								
Read/Write				R/W	R/W	R/W	R/W	R/W
リセット後				0	0	0	0	0
機能				LLP_Set-up 時間設定: f_{sys} パルス $\times 8$ TFT ソースドライバ LLP 信号のセットアップ時間設定 (f_{sys} 14~16 パルス分のオフセット有り)				

LCDCCR1 レジスタでは LLP 信号のセットアップ時間(水平フロントポーチ)が設定できます。

これが「Delay 制御 2」となります。この時間は LCP0 や LCP1 に無関係に f_{sys} の 8 倍のクロックを 1 パルスとして設定します。また、このセットアップ時間には f_{sys} の 14.5 ~ 倍の期間がオフセットされております。レジスタに“0”を書き込んでも f_{sys} 14.5 ~ 発分の時間は Delay します。オフセット時間は設定条件により変化する可能性があります。また、(LCDSCC レジスタに設定された値+1) $\times f_{sys} \times 16$ で LCP1 の周期が決定しますので、この周期から、オフセット時間と LLP セットアップ時間を引いた時間が、水平バックポーチとなります。

LCD クロックカウンタレジスタ 2

	7	6	5	4	3	2	1	0
LCDCCR2 (028AH)	LLPSU7	LLPSU6	LLPSU5	LLPSU4	LLPSU3	LLPSU2	LLPSU1	LLPSU0
Bit symbol								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	TFT ソースドライバ、 LLP_Enable 信号設定: f_{sys} パルス数 $\times 8$ LLP 信号の High 幅時間設定レジスタ							

LCDCCR2 レジスタに設定した LCP0 のパルス数は LLP 信号の Enable 時間を設定できます。これにより前記「High 幅制御」時間が設定できます。この時間は LCP0 や LCP1 に無関係に f_{sys} の 8 倍のクロックを 1 パルスとして設定します。レジスタに“0”を設定した場合、LD バスに有効データが出力される期間中 High 信号が出力されます。

(モード 1 では有効データ数より LCP0、1 発分多く有効になります)

3.14.5 ソースドライバ制御

LCP1 信号から、オフセット時間+LCDCCR1 に設定されたセットアップ時間の後に、データシフトクロック LCP0 と、データ LD11~LD0 と、LLP 信号が有効になります。

LLP 信号には、有効データの LCP0 信号 1 発分早く立ち上がるモード 1 と有効データと同時に立ち上がるモード 2 があります。

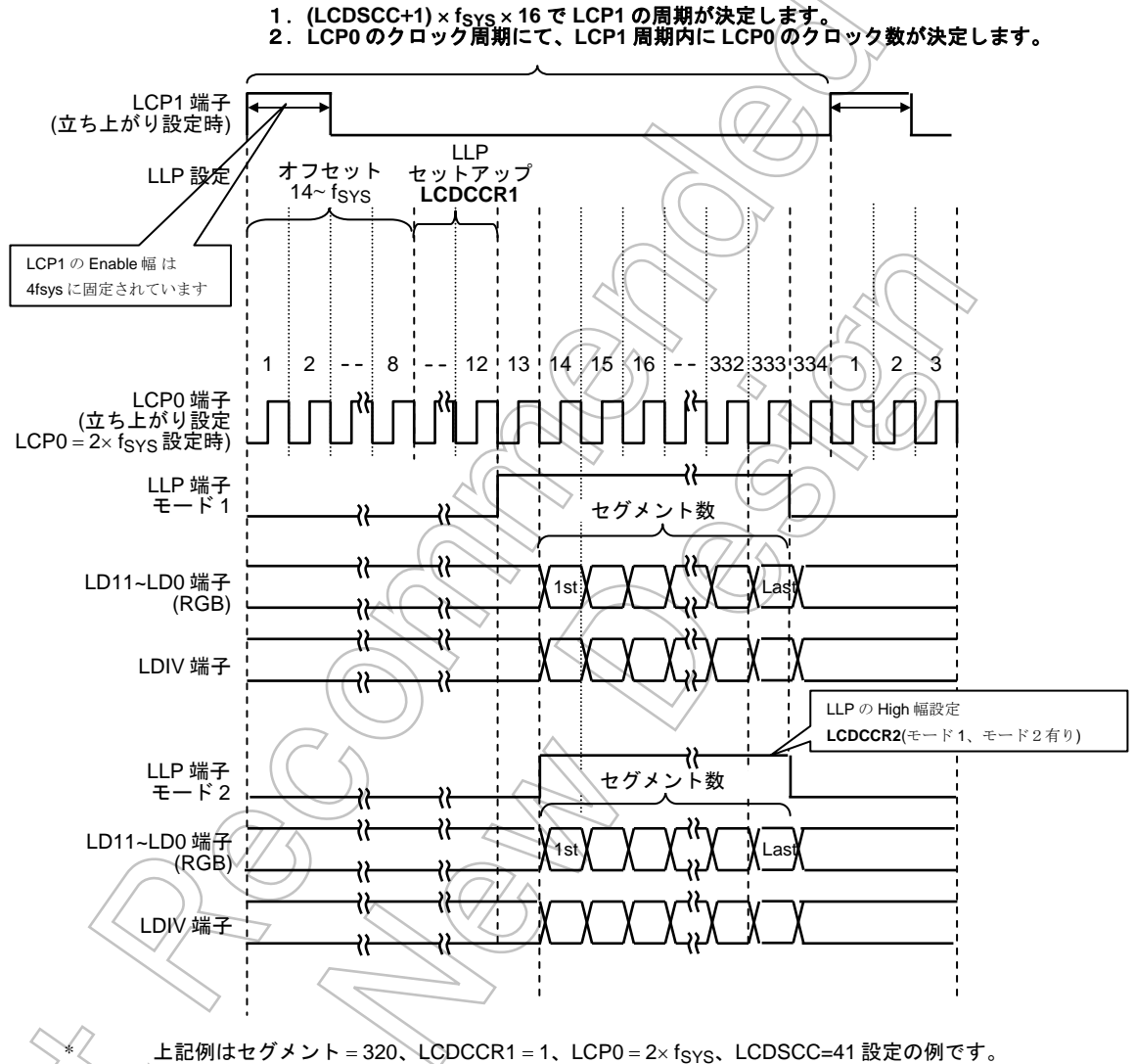


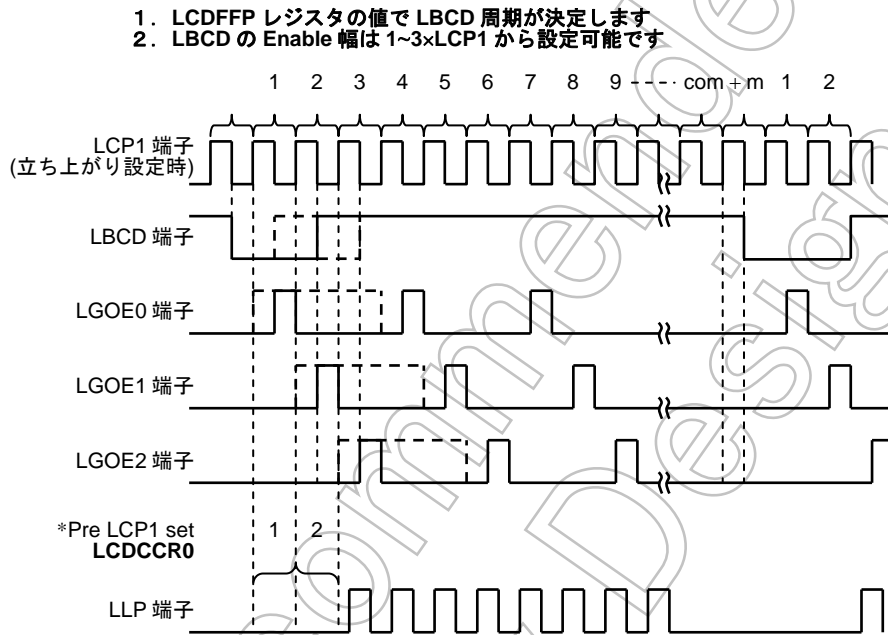
図 3.14.18 TFT ソースドライバ制御タイミング例

注) 上記説明、図はすべて $\langle LCDCTL2 \rangle CPHP = 1$ 、 $CPVP = 0$ の場合です。 $CPHP = 0$ 、 $CPVP = 1$ の場合、LCP0、LCP1 信号の位相は反転します。

3.14.5.1 ゲートドライバ制御

TFT ゲートドライバは、基本クロック (LCP1) と、垂直シフトデータ信号 (LBCD) にて制御します。これ以外に 3 ビットの出力許可信号 (LGOE0~LGOE2) を持っており、それぞれ独立した制御が可能です。これにより緻密なゲート出力信号の制御が可能です。

LBCD 信号は*LCP1 信号の立ち下がりから出力され、TFT ゲートドライバは垂直方向の出力開始を認識します。直後の LCP1 の立ち上がりから先頭のゲート信号を出力し以後、LCP1 の立ち上がりに同期して次段のゲート信号に伝搬されていきます。LCDCTL1<LBCDW1:0>の設定により、LBCD 信号の幅は LCP1 信号の 1 クロック、2 クロック、3 クロックを選択できます。



注) LCP1 カウンタ(LCDFFP)は 1024 クロックが最大です。

注) Pre_LCP1_SET(LCDCCR0)は最大 LCP1 の 8 クロック分 (3 ビット) 挿入が可能です。

図 3.14.19 TFT ゲートドライバ制御タイミング例

3.14.5.2 各種信号設定方法

1. LCP0 周期 : $LCP0 = f_{SYS} \times n$ ($n = 2, 4, 8$: LD バス転送速度)
システムクロック周波数と LCDMODE0<SCPW1:0>の設定値によって LCP0 の周期が決定します。
2. LCP1 周期 : $LCP1 = f_{SYS} \times 16 \times (SCC + 1)$
LCDSCC レジスタに設定された値によって LCP1 の周期が決定します。
LCP1 の High 幅は $f_{SYS} \times 4$ に固定されています。(立ち上がりエッジの場合)

上記のように LCP0 と LCP1 の設定は独立した設定が可能です。しかし、LCP1 周期内にデータを転送し終えるには、オフセット時間 $f_{SYS} \times 16$ も考慮した上で、以下の表に示す制約があります。

Segment Size	LD バス転送速度	最小 LCDSCC 設定値
64	2	9
	4	17
	8	33
128	2	17
	4	33
	8	65
160	2	21
	4	41
	8	81
256	2	33
	4	65
	8	129
320	2	41
	4	81
	8	161

また、LCDCCR2 レジスタで設定可能 LLP 信号の High 幅は $f_{SYS} \times 8$ 単位での調整が最小の分解能となります。LD バス転送速度を 2 または 4-Clock に設定時は、各々 LCP0 を 4 発、2 発ずつの調整が最小の分解能となりますのでご注意ください。

リフレッシュレートの設定方法は STN タイプの設定方法と同様で、下記計算式となります。詳細は

f_{BCD} [Hz] : フレーム周波数(リフレッシュレート: LBCD 信号の周波数)
 FP : FP[9:0] FFP レジスタ設定値
 SCC : SCC[7:0] LSCC レジスタ設定値

$$f_{BCD} [\text{Hz}] = f_{SYS} [\text{Hz}] / ((SCC + 1) \times 16 \times FP)$$

フレーム補正機能も STN と同様です。TFT 特有のセットアップ時間などを決める場合などにも、この機能を利用してください。

3. LCP1 タイミング設定 : LCDCCR0 で垂直フロントポーチを決定します。

上記 LCDCCR0<PCPV2:0>の 3 ビットにて垂直フロントポーチを設定します。SR モードで説明済の LCDFFP<FP9:0>に設定されたパルス数から、LCDFFP レジスタの設定値と上記<PCPV2:0>に設定されたパルス数を引いたパルス数で垂直バックポーチ制御をします。

4. LLP 設定: LCDCCR1 でセットアップ時間を設定します。

LCDCCR1 レジスタでは LLP 信号のセットアップ時間(水平フロントポーチ)が設定できます。これが「Delay 制御 2」となります。この時間は LCP0 や LCP1 に無関係に fsys の 8 倍のクロックを 1 パルスとして設定します。また、このセットアップ時間には fsys の 14~16 倍の期間がオフセットされております。レジスタに“0”を書き込んでも fsys14~16 発分の時間は Delay します。オフセット時間は設定条件により変化します。また、(LCDSCC レジスタに設定された値+1)×fsys×16 で LCP1 の周期が決定しますので、この周期から、オフセット時間と LLP セットアップ時間を引いた時間が、水平バックポーチとなります。

5. LLP 信号 High 幅: LCDCCR2 で LLP 信号の High 幅を設定します。

LCDCCR2 レジスタに設定した LCP0 のパルス数は LLP 信号の Enable 時間を設定できます。これにより前記「High 幅制御」時間が設定できます。この時間は LCP0 や LCP1 に無関係に fsys の 8 倍のクロックを 1 パルスとして設定します。レジスタに“0”を設定した場合、LD バスに有効データが出力される期間中 High 信号が出力されます。(モード 1 では有効データ数より LCP0、1 発分多く有効になります)

6. LDIV 信号設定: LCDMODE1<AUTOINV>を有効にするか無効にするかを決定します

LCDMODE1<AUTOINV>を有効にすると、LD バスの状態を監視し、1 回前のデータの状態とこれから転送しようとするデータを逐次比較し、全 LD バスのデータが過半数変化する場合、LDIV 信号を変化させ、全 LD バスの変化後のデータの反転信号を出力します。

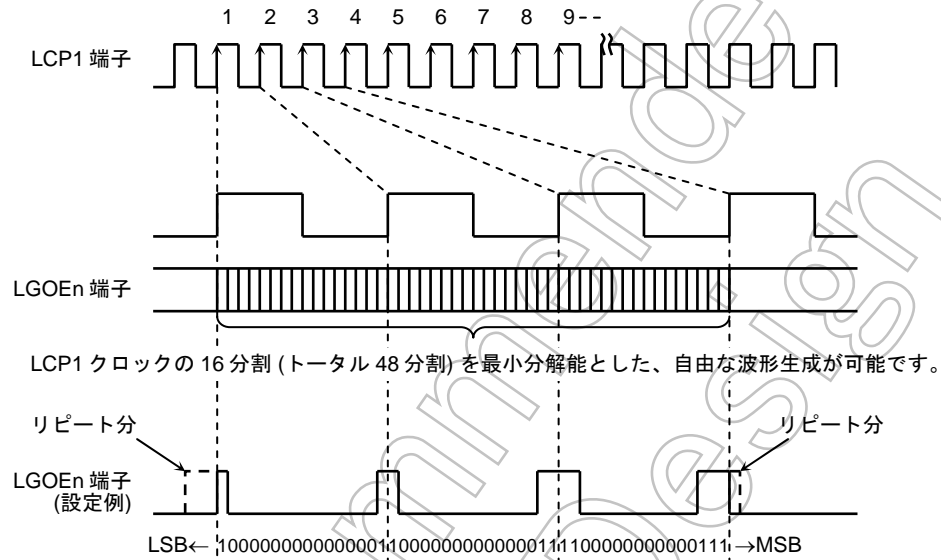
たとえば、4096 色(12bit : LD11~LD0)の場合で、000000000000→111111111111 に変化する場合、データは 000000000000→000000000000 とし、LDIV のみ 0→1 に変化します。対応 LCDD の場合、ノイズや消費電流低減などに有効です。

7. LGOE0~2 信号設定: LCP1 で設定できないタイミング等、プリセット可能です

LGOE0 は LCP1 の 1 発目の立ち上がり同期して出力され、LCP1 の 3 パルスごとにリピートして出力されます。LGOE1 は LCP1 の 2 発目からスタート、LGOE2 は 3 発目からスタートし、同様に 3 パルスごとにリピート出力されます。

LGOE0~LGOE2 信号は各々、48 ビット×3 の制御レジスタに書かれた情報によって LCP1 クロックの 1/16 の周期で自由に波形を生成することができます。

これにより、ゲートの出力信号は微細な制御が可能となり、ゲートバイアスの微調整(ブランキングの設定)やデータ変更なしのズーム表示などにその威力を発揮します。



* LCDOEn5~LCDn0 の 48 ビットのレジスタに書き込んだデータによって自由な波形がつけれます。(1 を書き込むと High 出力、0 を書き込むと Low 出力です。また、LSB から MSB 方向にデータが出力されます。)

図 3.14.20 ゲートドライバ用 GOEn 信号の詳細波形

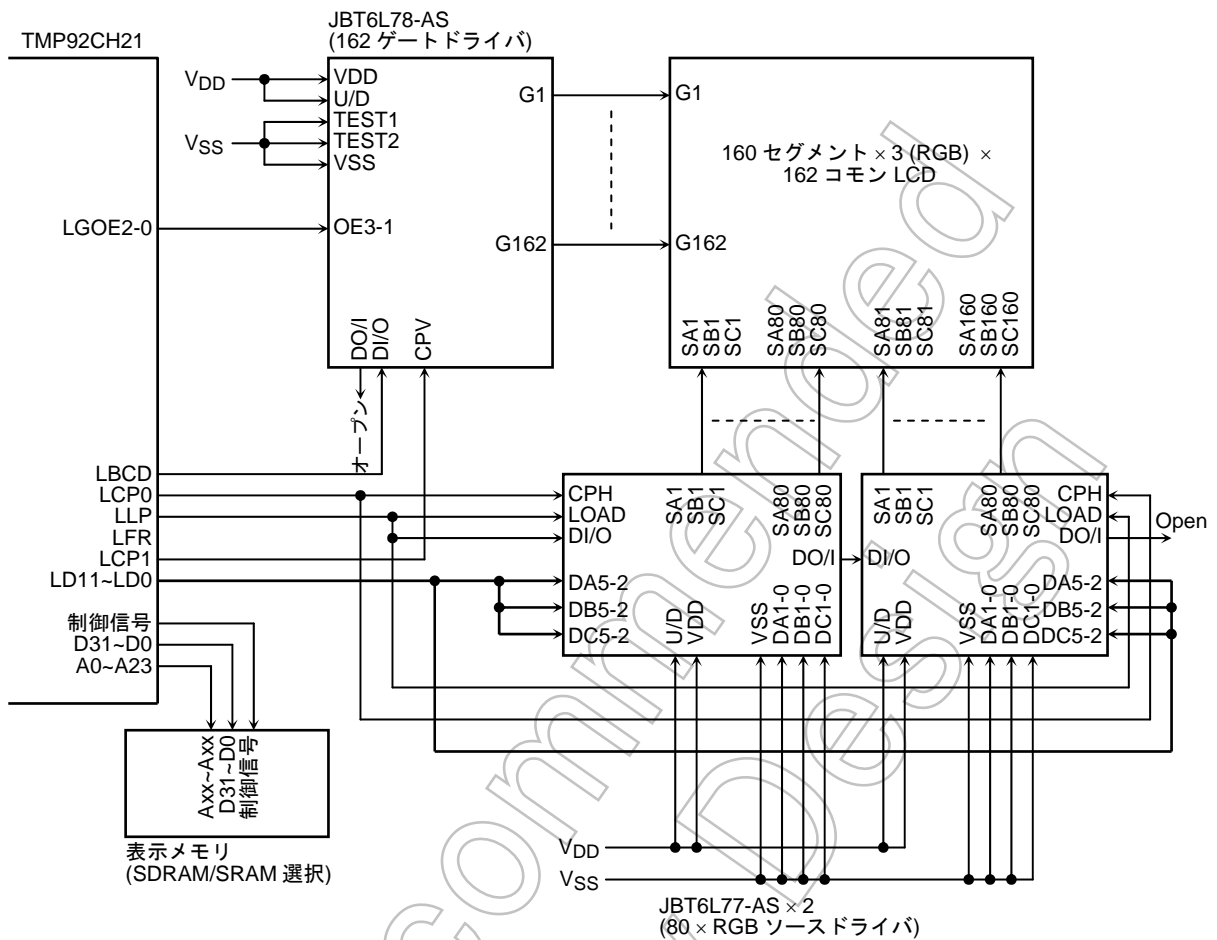
注 1) 上記説明、図はすべて <LCDCTL2>CPHP = 1、CPVP = 0 の場合です。CPHP = 0、CPVP = 1 の場合、LCP0、LCP1 信号の位相は反転します。

注 2) LGOE 信号の最小分解能は LCP1 周期の 1/16 がとなります。

$$LCP1 = (\text{SCC レジスタ設定値} + 1) \times f_{\text{SYS}} \times 16$$

よって、 $(\text{SCC レジスタ設定値} + 1) \times f_{\text{SYS}}$ が、LGOEn の最小分解能となります。

3.14.5.3 TFTドライバ接続例



注) LCDドライバ表示に必要なLCD駆動電源は、別回路が必要です。

図 3.14.21 TFTタイプLCDドライバ接続例

3.14.5.4 プログラムサンプル(4KカラーTFT)

; *****ポート設定*****

```

ld      (PACR), 78h      ; LD11-LD8 set
ld      (PLFC), 0FFh    ; LD7-LD0 set
ld      (PLCR), 0F0h    ; Output mode
ld      (PKFC), 0Bh     ; LBCD, LLP, LCP0
ld      (PCCR), 0C0h    ; PC6: LDIV (for TFT) PC7: LCP1
ld      (PCFC), 0C0h    ; PC6: LDIV

```

;

; ***** LCD 設定*****

;

```

ld      (LCDSICC), 100   ; Counter set (refresh rate: 50Hz @ fc = 40MHz)
ld      (LCDCCR0), 00h  ;
ld      (LCDCCR1), 00h  ;
ldc     (LCDCCR2), 00h  ;

```

```

ld      (LCDSIZE), 74h  ; 320com x 256seg
ld      (LCDFFP), 49h   ; 320com
ld      (LCDMODE0), 059h ; SRAM, TFT 4096 color
ld      (LCDMODE1), 01h ; Invalid 8bit A type

```

```

ld      (LCDCTL0), 02h  ; (FP bit8 = 1)
ld      (LCDCTL1), 00h ; SCP0, SCP1: negedge, BCD: ↓

```

;

```

ld      (LSARCL), 00h   ; C area (enable)
ld      (LSARCM), 00h  ;
ld      (LSARCH), 40h  ;

```

```

ld      (LSARAL), 00h  ; A area (disable)
ld      (LSARAM), 00h ;
ld      (LSARAH), 00h ;

```

```

ld      (LSARBL), 00h  ; B area (disable)
ld      (LSARBM), 00h ;
ld      (LSARBH), 00h ;

```

```

ld      (CMNAL), 00h   ; A area Row number
ld      (CMNAH), 00h  ;

```

```

ld      (CMNBL), 00h  ; B area Row number
ld      (CMNBH), 00h ;

```

```

ld      (LCSCCTL0), 03h ; START (FP bit8 = 1)

```

3.14.6 RAM内蔵型LCDドライバ対応モード (RAMモード)

3.14.6.1 動作説明

この動作モードでは LCD ドライバへのデータ転送は CPU の転送命令で実行します。あらかじめ、動作モードのみを I/O レジスタに設定後、CPU の転送命令が実行されると LCDC はそれに同期して D1BSCP などの制御端子より外部へ接続される LCD ドライバへチップセレクト信号を出力します。そのため LCD サイズに対応したデータ転送数などの制御は CPU の命令で制御します。この際の RAM 内蔵型 LCD ドライバのタイプは 2 種類あり、この選択は LCDCTL<MMULCD>レジスタにて選択します。

3.14.6.2 ランダムアクセス型

<MMULCD> = “1” 時、SRAM と同様なアクセスが可能なランダムアクセス型 RAM 内蔵 LCD ドライバに対応します。

このときの転送先アドレスは、3C0000H~3FFFFFFH のメモリエリアを 64 K バイトごとの 4 つのエリアに割り当てることも可能です。

以下に、ランダムアクセス型 RAM 内蔵 LCD ドライバのアドレスマップを示しています。この選択は LCDCTL<MMULCD>にて設定します。

このモードでは、LCD 専用バス (LD バス) は使用しません。通常データバス (D7~D0) を使用します。

表 3.14.2 ランダムアクセス型 RAM 内蔵 LCD ドライバチップイネーブル仕様

アドレス	用途	チップイネーブル端子
3C0000H~3CFFFFH	RAM 内蔵型ドライバ 1	LCPO
3D0000H~3DFFFFH	RAM 内蔵型ドライバ 2	LLP
3E0000H~3EFFFFH	RAM 内蔵型ドライバ 3	LFR
3F0000H~3FFFFFFH	RAM 内蔵型ドライバ 4	LBCD

3.14.6.3 シーケンシャルアクセス型

<MMULCD> = “0” 時、LCD ドライバ内のインストラクション、表示データレジスタを1バイトずつ持つシーケンシャルアクセス型 RAM 内蔵 LCD ドライバに対応します。このときの転送先アドレスは 1FE0H~1FE7H のいずれかにしてください。

LCDC0L/LCDC0H/LCDC1L/LCDC1H/LCDC2L/LCDC2H/LCDR0L/LCDR0H レジスタ

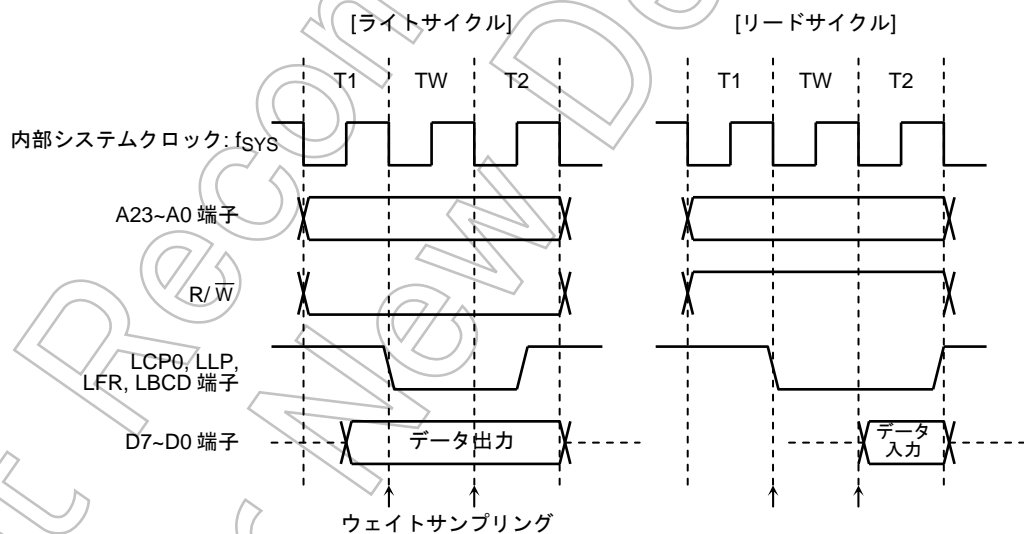
	7	6	5	4	3	2	1	0
Bit symbol	D7	D6	D5	D4	D3	D2	D1	D0
Read/Write	外部 LCDD の仕様による							
リセット後	外部 LCDD の仕様による							
機能	外部 LCDD の仕様による							

これらのレジスタは、本製品内には存在しません。外部に接続するシーケンシャルアクセス型 RAM 内蔵 LCD ドライバのインストラクションレジスタ、表示データレジスタのイメージです。これらのレジスタには上図のようなアドレスが割り当てられており、それにより対応するアドレスをアクセスするとチップイネーブル端子がアクティブになります。

また、このアドレス 1FE0H~1FE7H のエリアは外部エリアに設定していますので外部へのアクセスにより \overline{RD} 、 \overline{WR} 端子はアクティブになります。

このモードでは、LCD 専用バス (LD バス) は使用しません。通常のリデータバス (D7~D0) を使用いたします。

以下に<MMULCD> = “0” 時のアクセスタイミング例、また接続例も示します。



注1) この波形は3ステートアクセスの場合を表しています。

注2) LCP0などのチップイネーブル信号の立ち上がりタイミングは異なります。

図 3.14.22 RAM 内蔵タイプ LCD ドライバアクセスタイミング例 (0 ウェイト時)

3.14.6.4 RAM内蔵タイプのLCDドライバ接続例

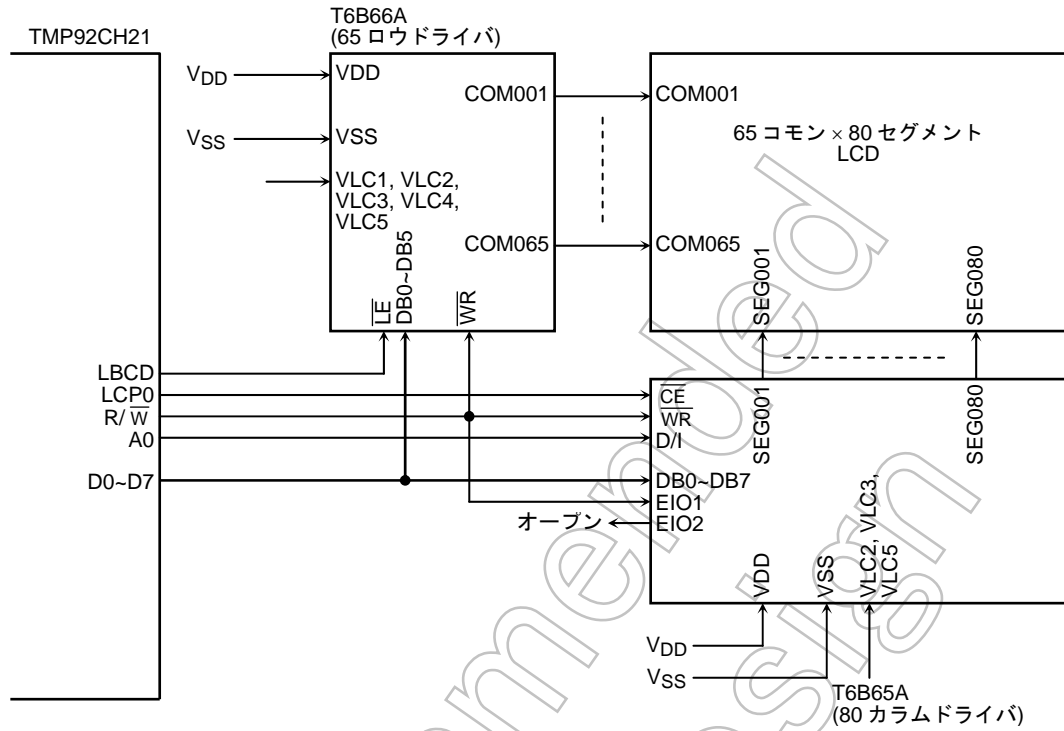


図 3.14.23 RAM内蔵タイプおよび連続アクセスタイプLCDドライバ接続例

Not Recommended for New Design

3.14.6.5 プログラム例

- 設定例: 80 セグメント×65 コモンの LCD ドライバを使用する場合

外部に接続するカラムドライバを LCDC0、ロウドライバを LCDR0 としてアサインしインストラクション、表示データを転送します。また、インストラクションの設定には LD 命令、表示データの設定にはソフトスタートでのマイクロ DMA のバースト機能を使用した例です。

内蔵 RAM (アドレス 2000H~2289H) に、LCD ドライバへの転送データ 650 バイトを格納。

```

;*****Setting for LCDC*****
    Id      (lcmode0), 00h      ; Select RAM mode
    Id      (lcdctl0), 00h      ; MMULCD = 0 (Sequential access mode)

;*****Setting for mode of LCDC0/LCDR0*****
    Id      (lcdc1l), xx        ; Setting instruction for LCDC1
    Id      (lcdc4l), xx        ; Setting instruction for LCDC4

;*****Setting for micro DMA and INTTC (ch0)*****
    Id      a, 08h              ; Source address INC mode
    ldc     dmam0, a             ;
    Id      wa, 650              ; count = 650
    ldc     dmac0, wa           ;
    Id      xwa, 002000h        ; Source address = 002000H
    ldc     dma0, xwa           ;
    Id      xwa, 1fe1h          ; Destination address = 1FE1H (LCDC0H)
    ldc     dmad0, xwa          ;
    Id      (intetc01), 06H     ; INTTC0 level = 6
    ei     6                    ;
    Id      (dmab), 01h         ; Burst mode
    Id      (dmar), 01h         ; Soft start

```

3.15 メロディ/アラームジェネレータ (MLD)

メロディ波形、アラーム波形を作成する機能です。出力波形は両方の波形を MLDALM 端子より出力します。また、アラームジェネレータに使用する 15 ビットのフリーランカウンタより 5 種類の一定周期の割り込みを発生可能です。

下記に特長を示します。

1) メロディジェネレータ

低速クロック (32.768 KHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し MLDALM 端子より出力できます。外部にスピーカを接続することにより容易にメロディ音を鳴らすことが可能です。

2) アラームジェネレータ

低速クロック (32.768 KHz) を元に作成された変調周波数 (4096 Hz) にて、8 種類のアラーム波形を生成し MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し 5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8192Hz) の一定周期の割り込みを発生可能です。

本章は下記のような構成になっています。

3.15.1 ブロック図

3.15.2 コントロールレジスタ

3.15.3 動作説明

3.15.3.1 メロディジェネレータ

3.15.3.2 アラームジェネレータ

3.15.1 ブロック図

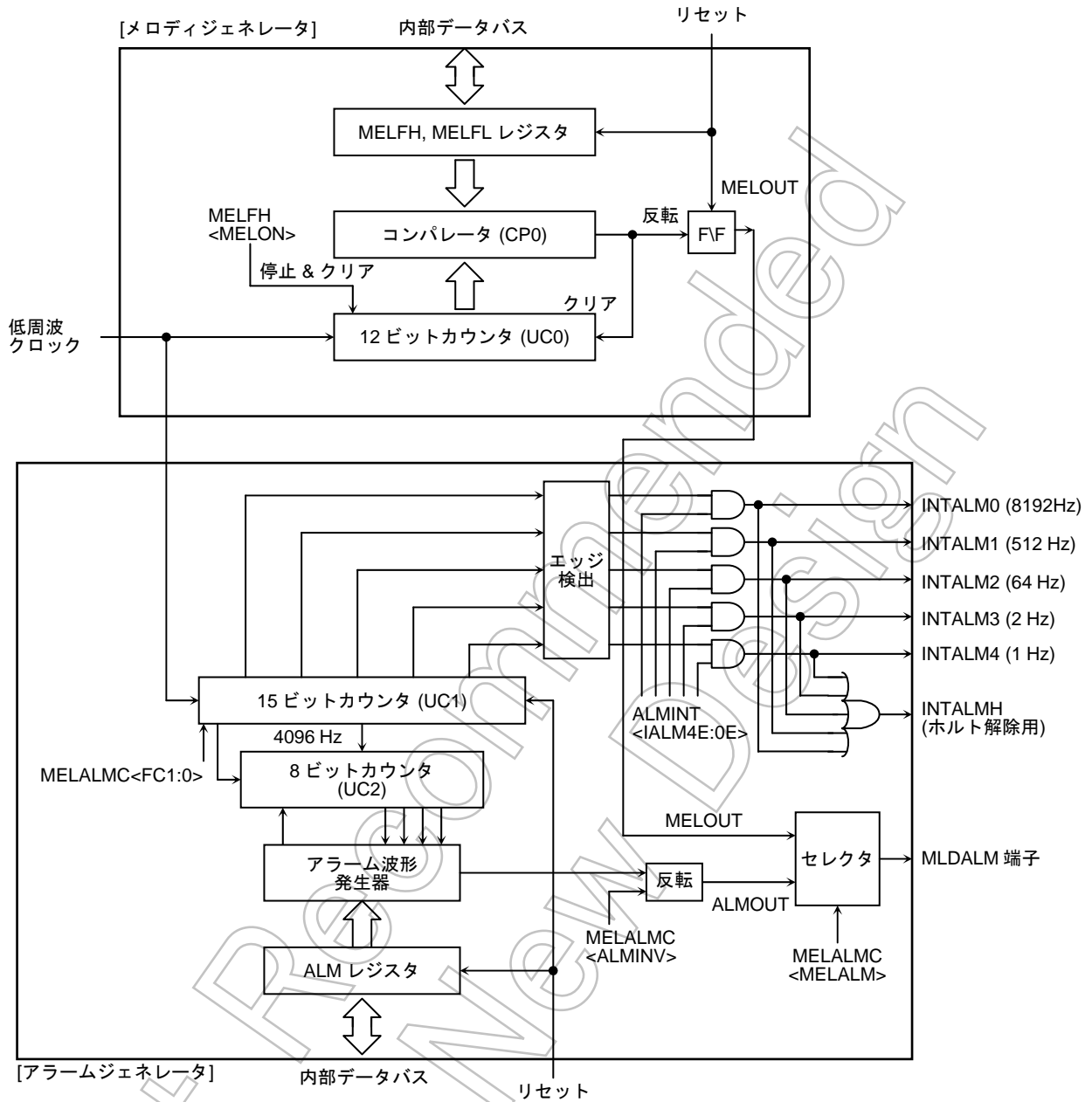


図 3.15.1 MLD ブロック図

3.15.2 コントロールレジスタ

ALM レジスタ

	7	6	5	4	3	2	1	0	
ALM (1330H)	Bit symbol	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	アラームパターン設定							

MELALMC レジスタ

	7	6	5	4	3	2	1	0
MELALMC (1331H)	Bit symbol	FC1	FC0	ALMINV	-	-	-	MELALM
	Read/Write	R/W		R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0
	機能	フリーランカウンタ制御 00: 保持 01: 再スタート 10: クリア&停止 11: クリア&スタート	アラーム 波形反転 1: 反転	"0" をライトしてください。				出力波形 選択 0: アラーム 1: メロディ

注1) MELALMEC<FC1>は常に"0"がリードされます。

注2) フリーランカウンタが動作状態で、MELALMC レジスタの<FC1:0>以外のビットに値を設定する場合は<FC1:0>に"01"をセットしてください。

MELFL レジスタ

	7	6	5	4	3	2	1	0	
MELFL (1332H)	Bit symbol	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	メロディ周波数設定 (下位 8 ビット)							

MELFH レジスタ

	7	6	5	4	3	2	1	0	
MELFH (1333H)	Bit symbol	MELON				ML11	ML10	ML9	ML8
	Read/Write	R/W				R/W			
	リセット後	0				0	0	0	0
	機能	メロディ カウンタ 制御 0: ストップ & クリア 1: スタート				メロディ周波数設定 (上位 4 ビット)			

ALMINT レジスタ

	7	6	5	4	3	2	1	0	
ALMINT (1334H)	Bit symbol			-	IALM4E	IALM3E	IALM2E	IALM1E	IALM0E
	Read/Write			R/W	R/W				
	リセット後			0	0	0	0	0	0
	機能			"0" をライ トしてく ださい。	1: INTALM4-INTALM0 の割り込み許可				

3.15.3 動作説明

3.15.3.1 メロディジェネレータ

低速クロック (32.768 kHz) を元に 4 Hz~5461 Hz の任意周波数のクロック波形を生成し MLDALM 端子より出力できます。外部にスピーカを接続することにより容易にメロディ音を鳴らすことが可能です。

(動作)

まず、MELALMC<MELALM>に“1”をライトし、MLDALM 端子からのメロディ波形出力を選択します。次に MELFH、MELFL レジスタの 12 ビットにメロディ出力周波数を設定します。

下記にメロディ出力周波数の求め方、設定例を示します

(メロディ出力周波数計算式)

$$\begin{aligned} \text{メロディ出力波形} \quad f_{\text{MLD}}[\text{Hz}] &= 32768 / (2 \times N + 4) \\ \text{メロディ設定値} \quad N &= (16384 / f_{\text{MLD}}) - 2 \end{aligned}$$

@fs = 32.768 [kHz]

(注: N = 1~4095 (001H~FFFH)、0 は設定禁止)

(プログラム例)

“A” の音階を出力する場合 (440 Hz)

LD (MELALMC), XXXXX1B ; メロディ波形を選択
 LD (MELFL), 23H ; N = 16384/440 - 2 = 35.2 = 023H
 LD (MELFH), 80H ; 波形の生成を開始

(参考: 基本音階別設定値表)

音階	周波数 [Hz]	レジスタ値: N
C	264	03CH
D	297	035H
E	330	030H
F	352	02DH
G	396	027H
A	440	023H
B	495	01FH
C	528	01DH

3.15.3.2 アラームジェネレータ

低速クロック (32.768 kHz) を元に作成された変調周波数 (4096 Hz) にて 8 種類のアラーム波形を生成し MLDALM 端子より出力できます。また、この波形はレジスタにより反転して出力できます。

外部にスピーカを接続することにより容易にアラーム音を鳴らすことが可能です。

また、アラームジェネレータに使用されるフリーランカウンタを使用し 5 種類 (1 Hz, 2 Hz, 64 Hz, 512 Hz, 8192Hz) の一定周期の割り込みを発生可能です。

(動作)

まず、MELALMC<MELALM>に“0”をライトし、MLDALM 端子からのアラーム波形出力を選択、さらに MELALMC<FC1:0>に“10”を設定し、内部のカウンタをクリアします。次に ALM レジスタの 8 ビットにアラームパターンを設定します。出力データを反転したい場合には<ALMINV>を反転に設定します。

最後に MELALMC<FC1:0>に“11”を設定し、フリーランカウンタをスタートさせます。

停止したい場合は ALM レジスタに 00H をライトしてください。それによりアラームは停止します。

下記にアラームパターンの設定値、プログラム例、設定別出力波形を示します。

(アラームパターンの設定値)

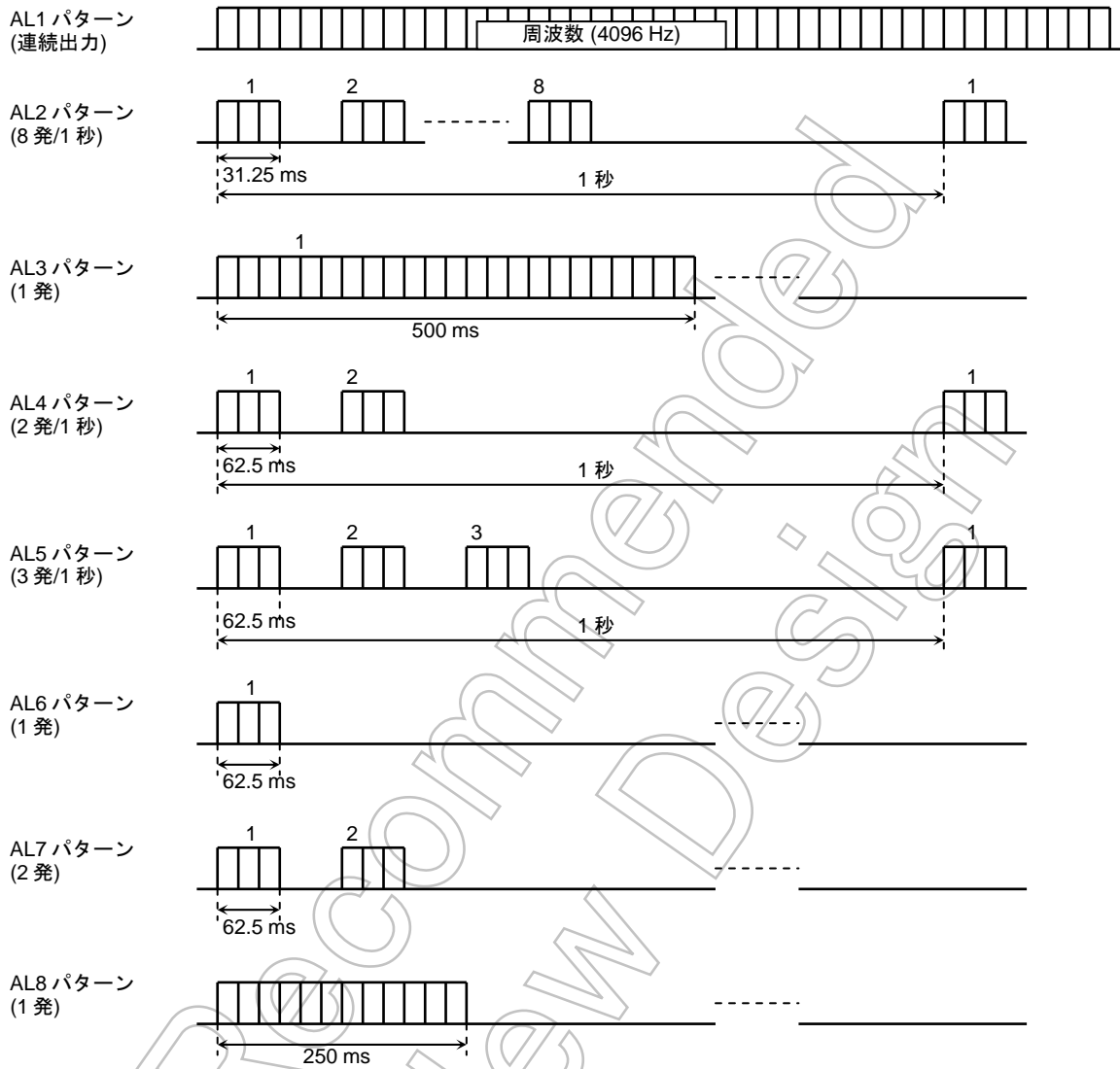
ALM レジスタ の設定値	アラーム波形
00H	“0” 固定
01H	AL1 パターン
02H	AL2 パターン
04H	AL3 パターン
08H	AL4 パターン
10H	AL5 パターン
20H	AL6 パターン
40H	AL7 パターン
80H	AL8 パターン
その他	未定義 (設定しないでください。)

(プログラム例)

AL2 パターン (31.25 ms/8 発/1 秒) のアラームを出力する場合

```
LD (MELALMC), 80H ; カウンタクリア、アラーム波形出力設定
LD (ALM), 02H ; AL2 パターン設定
LD (MELALMC), C0H ; フリーランカウンタスタート
```

例: 各設定値のアラームパターンの波形: 反転なし



Not Recommended for New Design

3.16 SDRAMコントローラ (SDRAMC)

TMP92CH21 は、データ用、プログラム用、表示用としてアクセス可能な、SDRAM コントローラを内蔵しています。下記にその特長を記します。

(1) サポート SDRAM

データレートタイプ	: SDR (シングルデータレート) タイプのみ
メモリアルク	: 16/64/128/256/512 M ビット
バンク数	: 2/4 バンク
データバス幅	: 16/32 ビット
読み込みバースト長	: 1ワード/フルページ
書き込みモード	: シングル/バースト

(2) イニシャライズコマンド

全バンクプリチャージコマンド
8回のオートリフレッシュコマンド
モードレジスタの設定コマンド

(3) アクセスモード

	CPU Access	LCDC Access
リードバースト長	1ワード/フルページ選択可	フルページ
アドレッシングモード	シーケンシャル	シーケンシャル
CAS レイテンシ (クロック)	2	2
ライトモード	シングル/バースト選択可	-

(4) アクセスサイクル

CPU アクセス (リード/ライト)

リードサイクル	: 1ワード-4ステート/フルページ-1ステート
ライトサイクル	: シングル-3ステート/バースト-1ステート
アクセスデータ幅	: 8ビット/16ビット/32ビット

LCDC バーストアクセス (リードのみ)

リードサイクル	: 1ワード (50 ns @f _{sys} = 20 MHz)
オーバーヘッド	: 4ステート (200 ns @f _{sys} = 20 MHz)
アクセスデータ幅	: 16ビット/32ビット

(5) リフレッシュサイクル自動発生

オートリフレッシュは、SDRAM アクセス以外の期間に発生します。

リフレッシュ間隔は、プログラマブルです。

セルフリフレッシュ機能をサポートしています。

注)

- LCDC 用表示データは、各ページの先頭から設定する必要があります。
- SDRAM 領域は、メモリコントローラの CS1 あるいは CS2 に設定してください。

3.16.1 コントロールレジスタ

図 3.16.1にSDRAMCコントロールレジスタを示します。これらのレジスタを設定することで、SDRAMCの動作を制御します。

SDRAM アクセスコントロールレジスタ 1

	7	6	5	4	3	2	1	0
SDACR1 (0250H)								
Bit symbol	-	-	SMRD	SWRC	SBST	SBL1	SBL0	SMAC
Read/Write	R/W							
リセット後	0	0	0	0	0	1	0	0
機能	"0"を ライト してくだ さい。	"0"を ライト してくだ さい。	モードレジ スタセット リカバリ 0: 1クロック 1: 2クロック	ライト リカバリ タイム 0: 1クロック 1: 2クロック	バースト ストップ コマンド (注3) 0: オールプ リチャージ 1: バース トストップ	バースト長選択 (注1) 00: Reserved 01: フルページリード バーストライト 10: 1ワードリード シングルライト 11: フルページリード シングルライト	SDRAM コントロー ラ 0: 禁止 1: 許可	

注1) <SBL1:0>を変更後、モードレジスタ設定コマンドを実行してください。なお、"フルページリード"状態から"1"ワードリードへ変更する場合は注意が必要です。3.16.13の注意事項を参照してください。

SDRAM アクセスコントロールレジスタ 2

	7	6	5	4	3	2	1	0
SDACR2 (0251H)								
Bit symbol				SBS	SDRS1	SDRS0	SMUXW1	SMUXW0
Read/Write	R/W							
リセット後				0	0	0	0	0
機能				バンク数 0: 2バンク 1: 4バンク	ROW アドレスサイズ 選択 00: 2048 ロー (11ビット) 01: 4096 ロー (12ビット) 10: 8192 ロー (13ビット) 11: Reserved	アドレスマルチプレクス タイプ選択 00: タイプ A (A9-) 01: タイプ B (A10-) 10: タイプ C (A11-) 11: Reserved		

SDRAM リフレッシュコントロールレジスタ

	7	6	5	4	3	2	1	0
SDRCR (0252H)								
Bit symbol					SRS2	SRS1	SRS0	SRC
Read/Write	R/W							
リセット後					0	0	0	0
機能					リフレッシュ間隔 000: 47 ステート 100: 156 ステート 001: 78 ステート 101: 195 ステート 010: 97 ステート 110: 249 ステート 011: 124 ステート 111: 312 ステート			オートリフ レッシュ 0: ディセー ブル 1: イネーブ ル

SDRAM コマンドレジスタ

		7	6	5	4	3	2	1	0
SDCMM (0253H)	Bit symbol						SCMM2	SCMM1	SCMM0
	Read/Write						R/W		
	リセット後						0	0	0
	機能						コマンド発行 (注 1) (注 2) 000: 実行なし 001: イニシャライズコマンド発行 a. 全バンクをプリチャージコマンド b. 8回のオートリフレッシュコマンド c. モードレジスタコマンド 100: モードレジスタコマンド 101: セルフリフレッシュ ENTRY コマンド 110: セルフリフレッシュ EXIT コマンド その他: Reserved		

注 1) コマンドが発行された後に<SCMM2:0>は“000”にクリアされますので、次のコマンド発行時は“000”であることを確認した上でライトしてください。ただし、セルフリフレッシュ ENTRY コマンドは“000”にクリアされませんので、セルフリフレッシュ中かどうか確認するフラグとして使用可能です。

注 2) セルフリフレッシュ EXIT コマンド ENTRY 中であることを確認した後、ライトしてください。

図 3.16.1 SDRAMC コントロールレジスタ

3.16.2 動作説明

(1) メモリアクセスコントロール

SDACR<SMAC>に“1”を設定すると、アクセスコントローラはイネーブルになります。

そのとき、SDRAM コントロール信号 ($\overline{\text{SDCS}}$, $\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, $\overline{\text{SDWE}}$, $\overline{\text{SDLLDQM}}$, $\overline{\text{SDLUDQM}}$, $\overline{\text{SDULDQM}}$, $\overline{\text{SDUUDQM}}$, $\overline{\text{SDCLK}}$, $\overline{\text{SDCKE}}$)は、CPU または LCDC が、CS1 あるいは CS2 エリアをアクセスしている期間動作します。

1. アドレスマルチプレクス機能

アクセスサイクル中、A0 端子からA15 端子よりロー/カラムのマルチプレクスアドレスを出力します。マルチプレクス幅は、SDACR2<SMUXW1:0>の設定により決定します。マルチプレクス幅とロー/カラムアドレスの関係を表 3.16.3に示します。

表 3.16.1 アドレスマルチプレクス

92CH21 ピン 名称	SDRAM アクセスサイクルのアドレス				
	ローアドレス			カラムアドレス	
	タイプ A <SMUXW> “00”	タイプ B <SMUXW> “01”	タイプ C <SMUXW> “10”	16 ビットデータバス幅 B1CSH<BnBUS> = “01”	32 ビットデータバス幅 B1CSH<BnBUS> = “10”
A0	A9	A10	A11	A1	A2
A1	A10	A11	A12	A2	A3
A2	A11	A12	A13	A3	A4
A3	A12	A13	A14	A4	A5
A4	A13	A14	A15	A5	A6
A5	A14	A15	A16	A6	A7
A6	A15	A16	A17	A7	A8
A7	A16	A17	A18	A8	A9
A8	A17	A18	A19	A9	A10
A9	A18	A19	A20	A10	A11
A10	A19	A20	A21	AP 注)	AP 注)
A11	A20	A21	A22	ローアドレス	
A12	A21	A22	A23		
A13	A22	A23	EA24		
A14	A23	EA24	EA25		
A15	EA24	EA25	EA26		

注) AP: オートプリチャージ

2. バースト長

CPUによるアクセス時のバースト長は1ワードリード/シングルライトに、また、LCDCによるアクセス時のバースト長はフルページに固定されます。

SDRAMアクセスサイクルは図 3.16.2および図 3.16.3に示します。

SDRAM アクセスサイクル数は、メモリコントローラの B1CSL および B2CSL レジスタ設定では決まりません。フルページバーストリードサイクルではモードレジスタセットサイクル、プリチャージサイクルはサイクルの前後に自動挿入されます。

(2) SDRAM 上での命令実行

CPU は SDRAM に格納された命令を実行することが可能です。しかし、以下の機能は動作することができません。

- a) HALT 命令の実行
- b) SDCMM レジスタへの設定の変更禁止

上記の動作が必要とされる場合、内蔵 RAM などの他のメモリに分岐して実行することが必要となります。

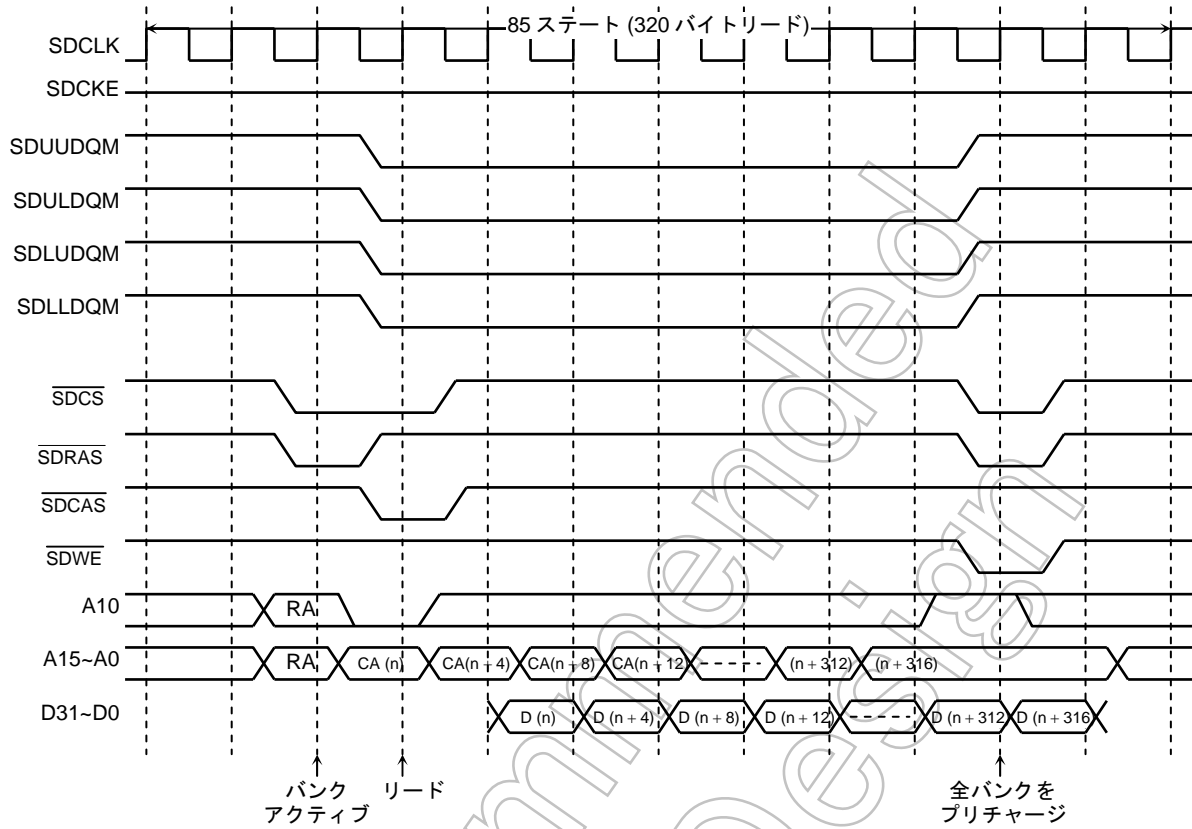


図 3.16.2 バーストリードサイクルのタイミング

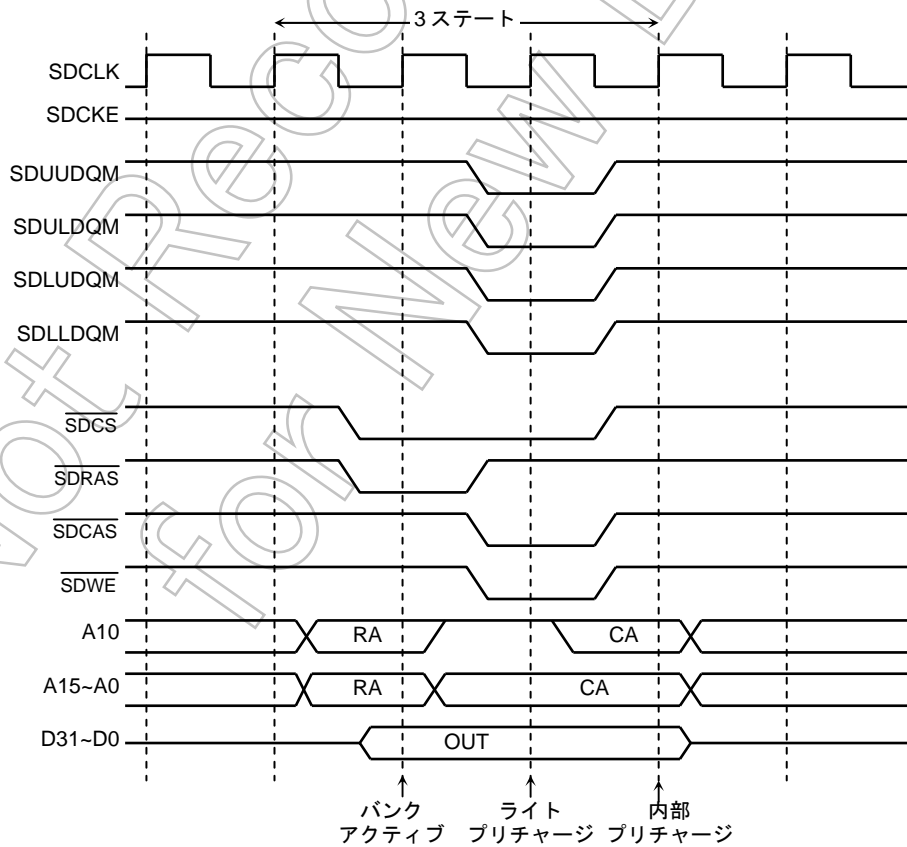


図 3.16.3 CPU ライトサイクルのタイミング

(データバスの構造: 32ビット×1、オペランドサイズ: 4バイト、アドレス: 4n+0)

(3) リフレッシュコントロール

オートリフレッシュおよびセルフリフレッシュの二つのリフレッシュコマンドをサポートしています。

(a) オートリフレッシュ

オートリフレッシュコマンドは、SDRCR<SRS2:0>に設定された間隔をSDRCR<SRC>を“1”にすることで自動的に発生します。発生間隔は47~312 ステートの間に設定することが可能です。

(2.4 μ s~15.6 μ s @fSYS = 20 MHz)

CPUの動作(命令フェッチおよび実行)はオートリフレッシュコマンドを実行している間停止します。オートリフレッシュサイクルを図 3.16.4に示します。また、オートリフレッシュ発生間隔を表 3.16.2に示します。オートリフレッシュ機能はIDLE1モード、STOPモードでは動作しませんので、後述するセルフリフレッシュ機能を使用してください。

注) システムリセットによりオートリフレッシュ機能は無効となります。

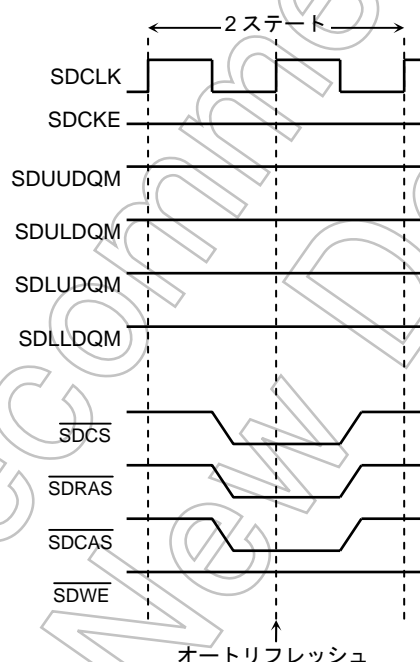


図 3.16.4 オートリフレッシュサイクルのタイミング

表 3.16.2 オートリフレッシュ挿入間隔

単位 [μ s]

SDRCR<SRS2:0>			挿入間隔 (ステート)	f _{SYS} 周波数 (システムクロック)					
SRS2	SRS1	SRS0		6 MHz	10 MHz	12.5 MHz	15 MHz	17.5 MHz	20 MHz
0	0	0	47	7.8	4.7	3.8	3.1	2.7	2.4
0	0	1	78	13.0	7.8	6.2	5.2	4.5	3.9
0	1	0	97	16.2	9.7	7.8	6.5	5.5	4.9
0	1	1	124	20.7	12.4	9.9	8.3	7.1	6.2
1	0	0	156	26.0	15.6	12.5	10.4	8.9	7.8
1	0	1	195	32.5	19.5	15.6	13.0	11.1	9.8
1	1	0	249	41.5	24.9	19.9	16.6	14.2	12.4
1	1	1	312	52.0	31.2	25.0	20.8	17.8	15.6

(b) セルフリフレッシュ

セルフリフレッシュENTRYコマンドはSDCMM<SCMM2:0>を“101”にすることにより発生します。セルフリフレッシュサイクルを 図 3.16.5に示します。セルフリフレッシュENTRYの間、リフレッシュはSDRAM内で動作します。(オートリフレッシュコマンドは必要ありません。)

オートリフレッシュコマンドはセルフリフレッシュが解除される時自動的に一度実行され、そしてリフレッシュはその後オートリフレッシュの設定に従います。

注1) システムリセットによりスタンバイモードが解除された場合は I/O レジスタは初期化され、セルフリフレッシュ状態から Exit されます。また、オートリフレッシュ機能も無効になっていますので注意してください。

注2) セルフリフレッシュ ENTRY 中は SDRAM にアクセスすることはできません。

注3) セルフリフレッシュ ENTRY コマンド後に HALT 命令を実行する場合は、SDCMM<SCMM2:0>を“101”に設定する命令と HALT 命令間に 10 バイト以上の NOP あるいはほかの命令を実行してください。

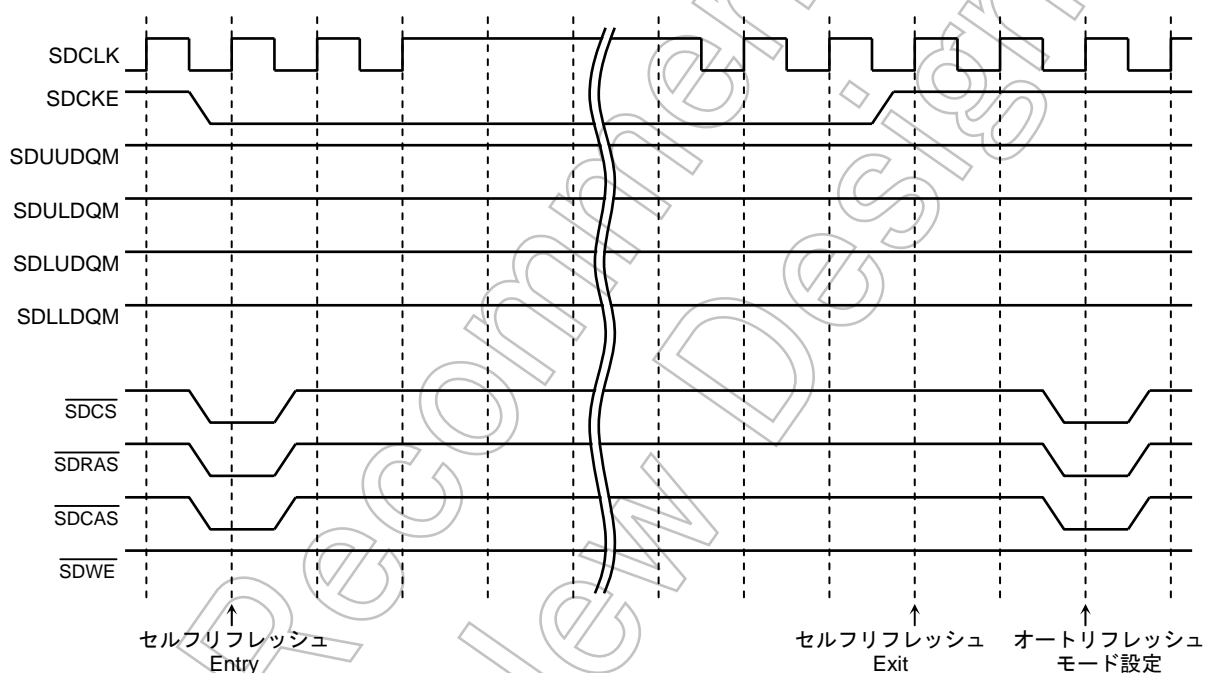


図 3.16.5 セルフリフレッシュサイクルのタイミング

(4) SDRAM イニシャライズ

リセット解除後、SDRAMに必要な以下のコマンドを発行することができます。イニシャライズコマンドの内容を下記に示します。

1. オールバンクプリチャージコマンド
2. 8回のオートリフレッシュコマンド
3. モードレジスタセットコマンド

上記コマンドは、SDCMM<SCMM2:0>を“001”にすることにより発行します。

このコマンドを発行中、CPUの動作(命令フェッチ、実行)は停止します。

また、イニシャライズコマンドを発行する前に、SDRAMコントロール信号とアドレス信号(A0~A15)としてのポートの設定が必要となります。

イニシャライズコマンドが終了した後、SDCMM<SCMM2:0>は自動的に“000”にクリアされます。

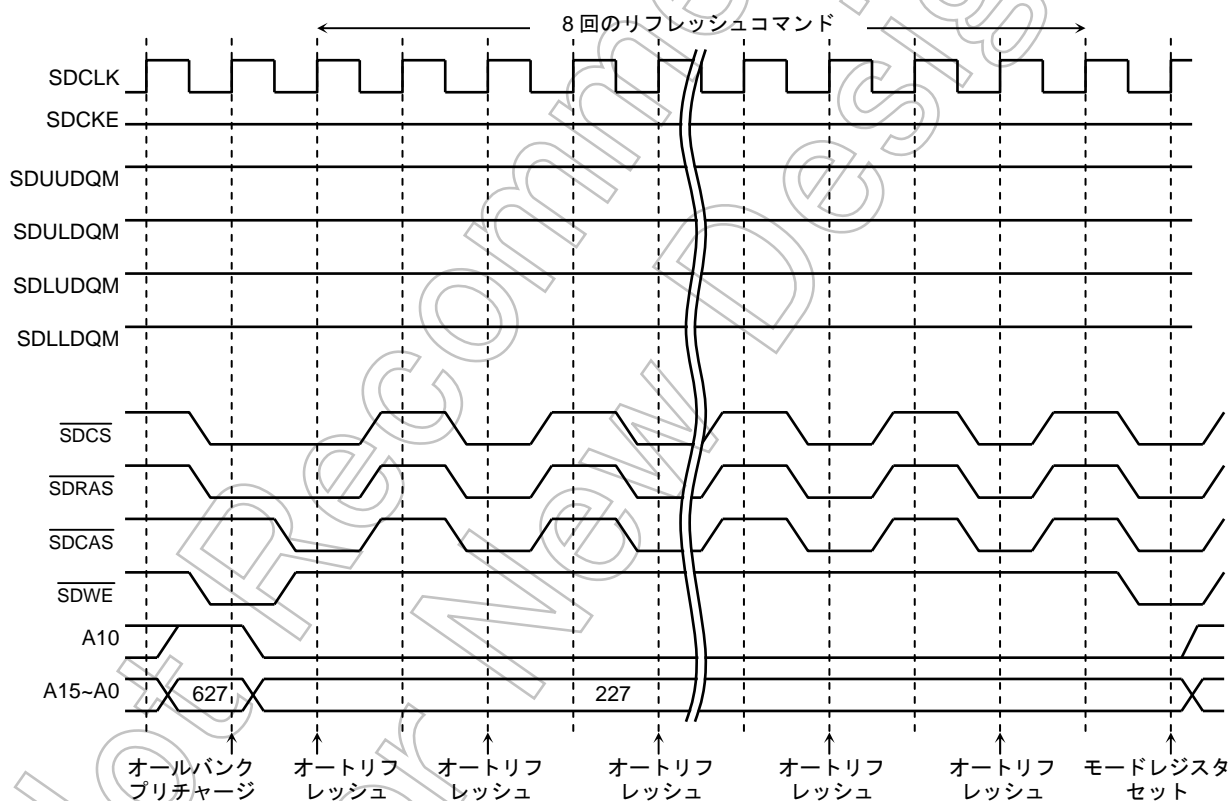


図 3.16.6 イニシャライズコマンドのタイミング

(5) 接続例

SDRAMとの接続例を図 3.16.7、図 3.16.8、図 3.16.9に示します。

表 3.16.3 SDRAM の接続

92CH21 ピン名称	SDRAM ピン名称												
	データバス幅 16 ビット					データバス幅 32 ビット							
	16 M	64 M	128 M	256 M	512 M	16 M × 16 ビット × 2		64 M × 16 ビット × 2		128 M × 16 ビット × 2		64 M × 32 ビット	128 M × 32 ビット
A0	A0	A0	A0	A0	A0	A0	A0	A0	A0	A0	A0	A0	A0
A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1
A2	A2	A2	A2	A2	A2	A2	A2	A2	A2	A2	A2	A2	A2
A3	A3	A3	A3	A3	A3	A3	A3	A3	A3	A3	A3	A3	A3
A4	A4	A4	A4	A4	A4	A4	A4	A4	A4	A4	A4	A4	A4
A5	A5	A5	A5	A5	A5	A5	A5	A5	A5	A5	A5	A5	A5
A6	A6	A6	A6	A6	A6	A6	A6	A6	A6	A6	A6	A6	A6
A7	A7	A7	A7	A7	A7	A7	A7	A7	A7	A7	A7	A7	A7
A8	A8	A8	A8	A8	A8	A8	A8	A8	A8	A8	A8	A8	A8
A9	A9	A9	A9	A9	A9	A9	A9	A9	A9	A9	A9	A9	A9
A10	A10	A10	A10	A10	A10	A10	A10	A10	A10	A10	A10	A10	A10
A11	BS	A11	A11	A11	A11	BS	BS	A11	A11	A11	A11	BS0	A11
A12	-	BS0	BS0	A12	A12	-	-	BS0	BS0	BS0	BS0	BS1	BS0
A13	-	BS1	BS1	BS0	BS0	-	-	BS1	BS1	BS1	BS1	-	BS1
A14	-	-	-	BS1	BS1	-	-	-	-	-	-	-	-
A15	-	-	-	-	-	-	-	-	-	-	-	-	-
SDCS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS	CS
SDUUDQM	-	-	-	-	-	UDQM	UDQM	UDQM	UDQM	UDQM	UDQM	DQM3	DQM3
SDULDQM	-	-	-	-	-	LDQM	LDQM	LDQM	LDQM	LDQM	LDQM	DQM2	DQM2
SDLUDQM	UDQM	UDQM	UDQM	UDQM	UDQM	UDQM	UDQM	UDQM	UDQM	UDQM	UDQM	DQM1	DQM1
SDLLDQM	LDQM	LDQM	LDQM	LDQM	LDQM	LDQM	LDQM	LDQM	LDQM	LDQM	LDQM	DQM0	DQM0
SDRAS	RAS	RAS	RAS	RAS	RAS	RAS	RAS	RAS	RAS	RAS	RAS	RAS	RAS
SDCAS	CAS	CAS	CAS	CAS	CAS	CAS	CAS	CAS	CAS	CAS	CAS	CAS	CAS
SDWE	WE	WE	WE	WE	WE	WE	WE	WE	WE	WE	WE	WE	WE
SDCKE	CKE	CKE	CKE	CKE	CKE	CKE	CKE	CKE	CKE	CKE	CKE	CKE	CKE
SDCLK	CLK	CLK	CLK	CLK	CLK	CLK	CLK	CLK	CLK	CLK	CLK	CLK	CLK
SDACR <SMUXW>	00: タイプ A	00: タイプ A	01: タイプ B	01: タイプ B	10: タイプ C	01: タイプ B		01: タイプ B		10: タイプ C		01: タイプ B	01: タイプ B

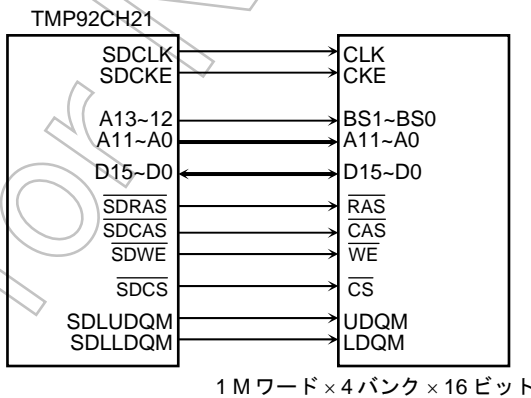


図 3.16.7 SDRAM との接続例 (4 Mワード × 16 ビット)

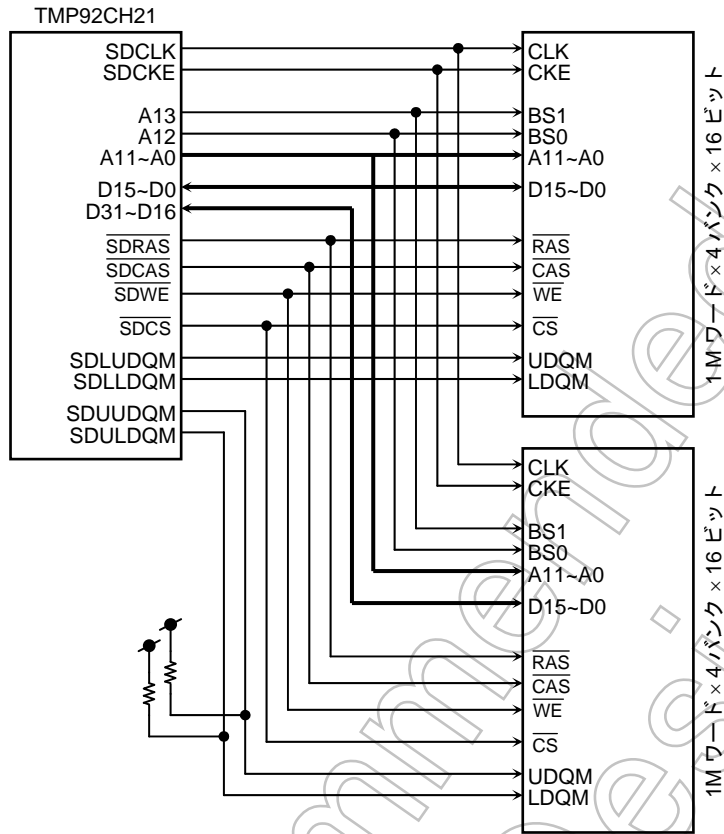


図 3.16.8 SDRAM との接続例 (1 Mワード × 16 ビット × 2)

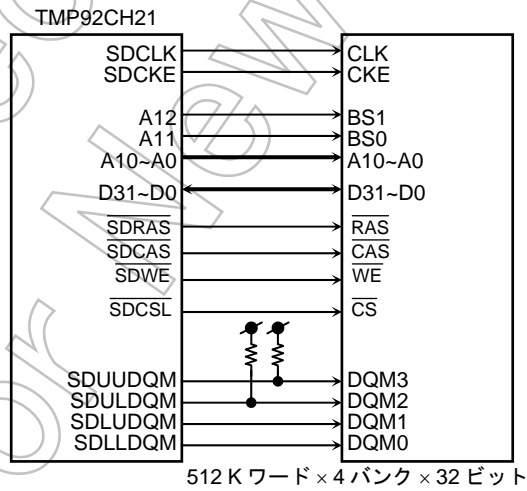


図 3.16.9 SDRAM との接続例 (512 Kワード × 32 ビット)

3.16.3 SDRAM使用時の注意点

SDRAM コントローラを使用する上でいくつかの注意点があります。

下記項目をよく確認いただき、誤った使用をしないようにご注意願います。

1) WAIT アクセス

SDRAM を使用する際は、SDRAM 以外のメモリアクセスに一部条件が追加されます。メモリコントローラが持つ WAIT 端子入力設定において、SDRAM コントローラが制御するオートリフレッシュ機能のリフレッシュ間隔×14 を超える時間を外部 WAIT として挿入することはできません。外部 WAIT はオートリフレッシュ間隔×14 以下の時間にしてください。

2) HALT 命令前の SDRAM SR(セルフリフレッシュ)Entry、Initialize、Mode-set

SDRAM コントローラの持つコマンド((SR-Entry、Initialize、Mode-set)の発行にはSDCMM レジスタ設定後から数ステートの実行時間が必要です。よって、その後にHALT命令を実行する場合は、HALT命令との間に10バイト以上のNOP命令、あるいは他の命令を実行してください。

3) AR(オートリフレッシュ)間隔の設定

SDRAM 使用においては、使用する SDRAM の最低動作周波数、最低リフレッシュ間隔を満たすようなシステムクロック周波数を設定することが必要です。SDRAM を使用し、かつクロックギアをアップ/ダウンさせることがあるシステムでは、SDRAM の AR 間隔に注意してください。なお、AR 間隔を変更時は SDRCCR<SRC>に"0"をライトし AR を禁止にした状態に変更してください。また、AR 停止により、SDRAM の A.C スペックを満足できない可能性があるため AR 間隔は分散リフレッシュ間隔に10ステート分を付加して設定してください。

(計算例)

$f_{sys} = 12\text{MHz}$, SDRAM の分散リフレッシュ間隔のスペックが4096回/64ms の場合

$$64\text{ms} / 4096\text{回} = 15.625 \mu\text{s}/1\text{回} = 187.5 \text{ state}/1\text{回}$$

$$187.5 - 10 = 177.5 \text{ state}/1\text{回以下の設定が必要} \rightarrow 156 \text{ state の設定が必要}$$

4) セルフリフレッシュの ENTRY 方法

セルフリフレッシュの ENTRY コマンドとオートリフレッシュの競合を防ぐために、一旦オートリフレッシュを停止させます。

- A) セルフリフレッシュの ENTRY コマンドを書き込む前にオートリフレッシュ停止を挿入
- B) セルフリフレッシュの ENTRY コマンドを書き込み後にオートリフレッシュ動作を挿入

上記コマンドは連続実行する必要があるため、下記のように 16 ビットの書き込み命令を使用してください。

(推奨設定例)

*(DI)

LDW (SDRCR),0000010100000010B ;AR 停止→SR-ENTRY

LD (SDRCR),0000---B ;AR 動作

注) *SDRAM をスタックポインタで使用している場合は、DI 命令などで SDRAM へのアクセスを禁止する必要があります。

5) アクセスモード変更時の注意点

SDRAM アクセスモードを“フルページリード”から“1ワードリード”へ変更する場合、以下の順で実行してください。なお、このプログラムは SDRAM 上で実行しないでください。

di		; 割込み禁止(追加)
ld	a,(任意の外部メモリアドレス)	; ダミーリード命令(追加)
ld	(sdacr1),00001101b	; "1-word リード"へ変更
ld	(sdcm),0x04	; MRS(モードレジスタセット)の実行
ei		; 割込み許可(追加)

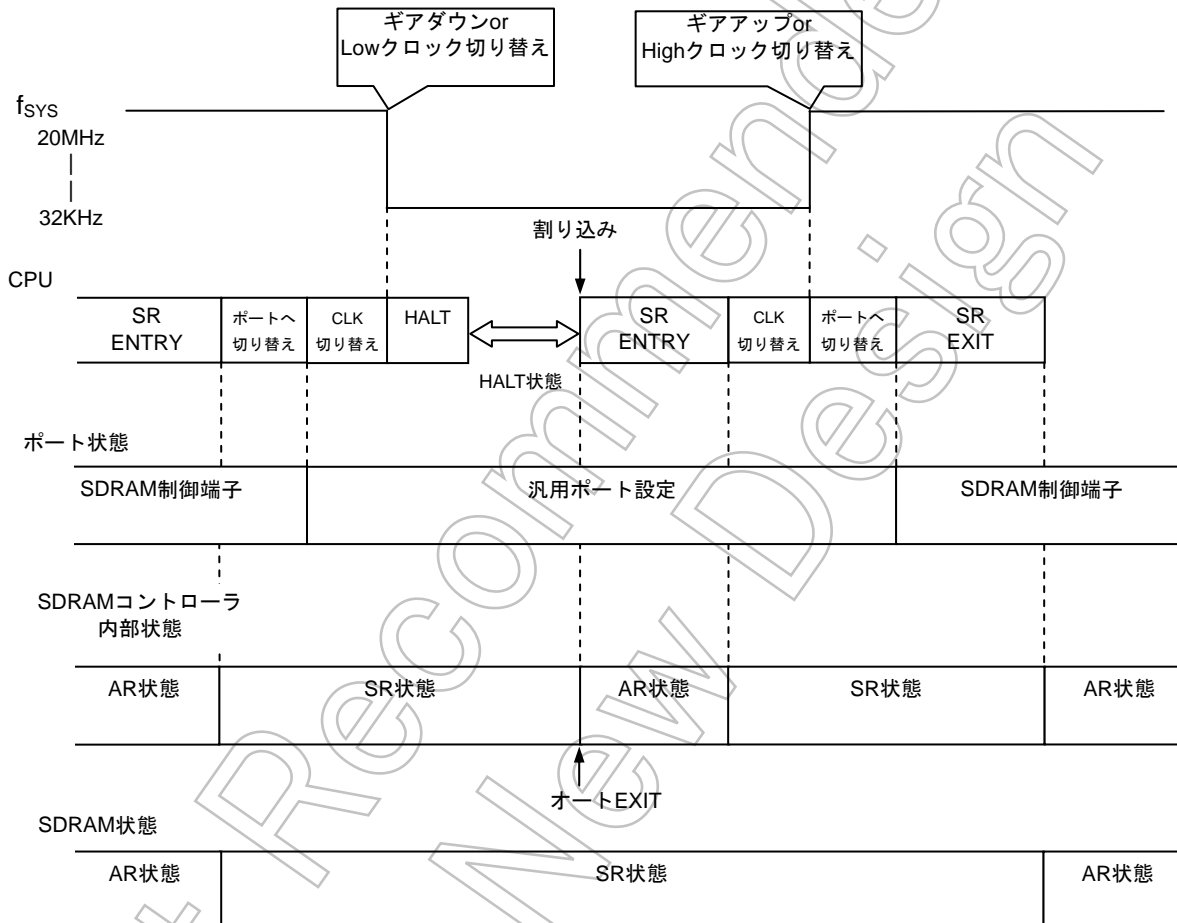
Not Recommended
for New Design

6) セルフリフレッシュ状態からのExit時におけるオートExit機能問題

セルフリフレッシュ機能と、CPUのスタンバイ機能やクロック切り替えを併用する場合、CPUのHALT解除によって、セルフリフレッシュが自動的に解除される機能(オートExit機能)が働き、SDRAMの使用条件を満たせない場合があります。

ここでは、S/Wによって本問題を回避するための一例を示します。

(制御フロー概念図)



- * 切り替えを行う対象のポートは「SDCKE端子」および「SDCS端子」
- * セルフリフレッシュのENTRY方法は、4)の条件を含む。
- * SR：セルフリフレッシュ、AR：オートリフレッシュを示す。

推奨例)

LOOP1:

```
LDB  A,(SDCMM)           ; コマンドレジスタクリアチェック
ANDB A, 00000111B       ;
J     NZ, LOOP1         ;
```

```
LDW  (SDRCR),0000010100000010B ; AR停止→SR-ENTRY
LD   (SDRCR),0000---1B       ; AR動作
```

```
NOP × 10                ; SR_ENTRYコマンド実行待ち
```

```
RES  7, (PJ)            ; PJ7 (SDCKE) =LOW
```

```
LD   (PJFC), 0-----B   ; PJ7=PORT
```

```
SET  1, (P8)           ; P81 (SDCS) =HIGH
```

```
LD   (P8FC), -----0-B ;
```

```
LD   (P8FC2), -----0-B ; P81=PORT
```

```
LD   (SYSCR1), 00001---B ; FS
```

```
HALT
```

```
NOP                ; SREF EXIT(内部信号のみ)
```

LOOP2:

```
LDB  A,(SDCMM)           ; コマンドレジスタクリアチェック
ANDB A, 00000111B       ;
J     NZ, LOOP2         ;
```

```
LDW  (SDRCR),0000010100000010B ; AR停止→SR-ENTRY
```

```
LD   (SDRCR),0000---1B       ; AR動作
```

```
NOP × 10                ; SR_ENTRYコマンド実行待ち
```

```
LD   (SYSCR1), 00000---B   ; FC
```

```
LD   (PJFC), 1-----B     ; PJ7=SDCKE
```

```
LD   (P8FC2), -----1-B  ; P81=SDCS
```

```
LD   (SDCMM), 00000110B   ; SR_EXIT
```

3.17 NANDフラッシュコントローラ

3.17.1 特長

NANDフラッシュコントローラ (NDFC) は NANDフラッシュへの専用接続端子を備えています。また、エラー訂正に必要な ECC (Error Correcting Code) 計算機能を備えています。

チャンネル0とチャンネル1の計2チャンネルの NANDフラッシュコントローラを内蔵していますが、チップイネーブル以外の端子は兼用端子となっています。これらの信号は NDCR<CHSEL>レジスタによって制御されています。

各チャンネルは同じ仕様です。ここではチャンネル0のみの動作を説明します。

NANDフラッシュコントローラは以下の特長があります。

- 1) レジスタによる NANDフラッシュインタフェースの制御
- 2) ECC計算回路を内蔵 (SLC - タイプ用)

注1) NANDフラッシュの \overline{WP} (Write Protect) 端子については、TMP92CH21ではサポートしていません。必要な場合は、外部で準備してください。

注2) 2チャンネルの同時アクセスはできません。切り替えて使用してください。

Not Recommended for New Design

3.17.2 ブロック図

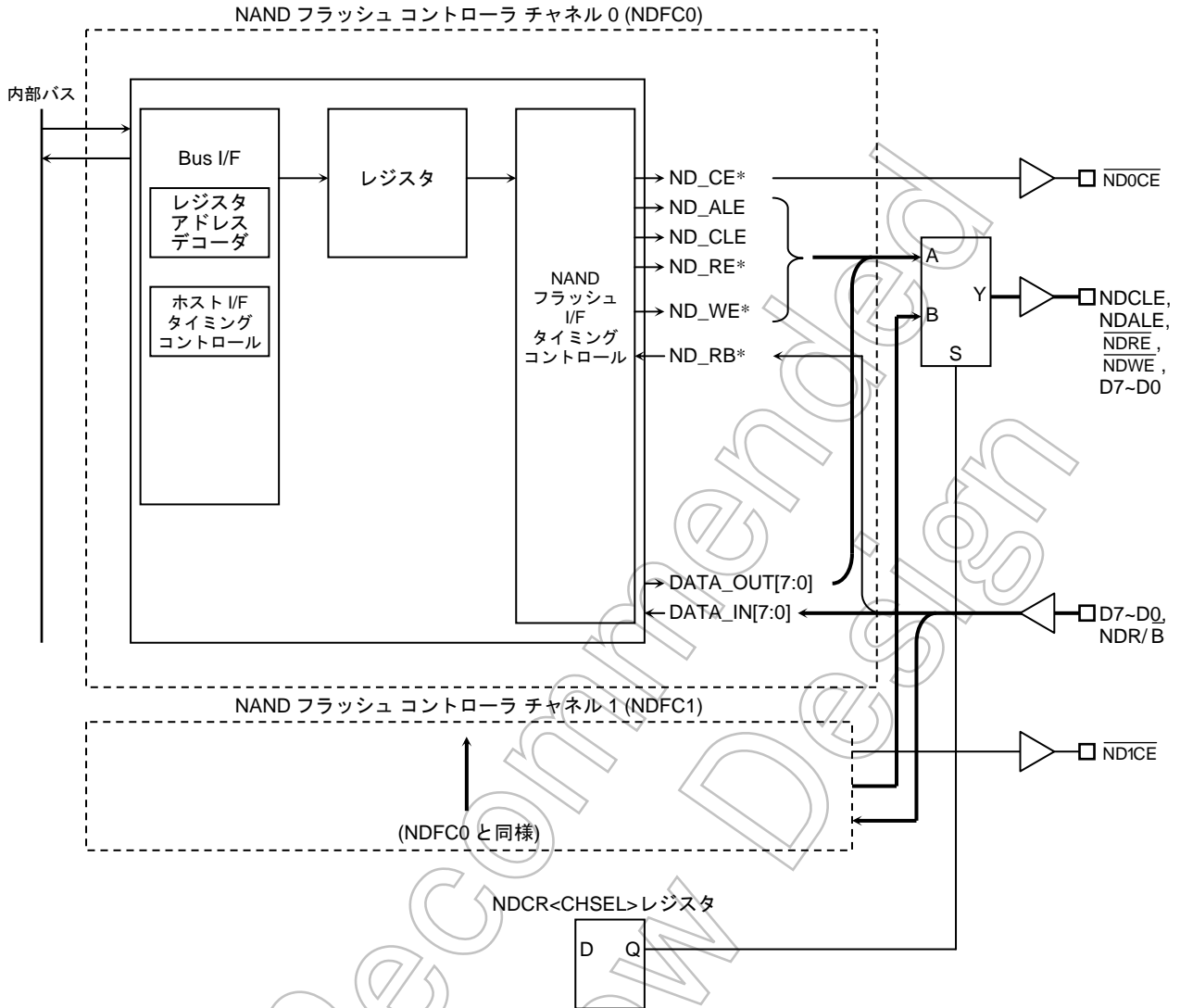


図 3.17.1 NAND フラッシュコントローラブロック図

3.17.3 動作説明

3.17.3.1 NANDフラッシュへのアクセス

本制御回路ではNANDフラッシュメモリに対し、コントローラ内部のレジスタを経由して間接的にデータアクセスを行います。また、ECC 計算回路も持っています。ECCに関する詳細は 3.17.3.2を参照願います。ここではNANDフラッシュメモリにアクセスするための手順を説明します。

最初に ND0FMCR レジスタに動作モードを設定します。次に、ND0FDTR レジスタのリード/ライト動作を行います。実際のリード動作は ND0FDTR レジスタへのリードではなく、外部の NAND フラッシュのリード動作が終了した後に終了となります。

同様に、ライト動作も ND0FDTR レジスタへのライトではなく外部の NAND フラッシュへのライトが終了した時点で、ライト終了となります。

1) 初期化

初期化の手順は以下の通りです。

- (1) ND0FSR: ストローブのパルス幅を設定します。
- (2) ND0FIMR: 割り込みが必要な場合に 0x81 を設定します。

2) ライト

ライトの手順は以下の通りです。

- (1) ND0FMCR: 0x7C をライトし、ECC データをリセットします。
- (2) 512 バイトデータライト
 - ND0FMCR: 0x9D をライトし、NDCLE 信号をイネーブルにし、コマンドモードにします。
 - ND0FDTR: 0x80 をライトし、シリアルデータ入力コマンドをライトします。
 - ND0FMCR: 0x9E をライトし、NDALE 信号をイネーブルにし、アドレスモードにします。
 - ND0FDTR: アドレスをライトします。
A[7:0]、A[16:9]、A[24:17]、必要ならば A[25] もライトします。
 - ND0FMCR: 0xBC をライトし、データモードにします。
 - ND0FDTR: 512 バイトのデータをライトします。
- (3) ECC データのリード
 - ND0FMCR: 0xDC をライトし、ECC データリードモードにします。
 - NDECCRD: 6 バイトの ECC データをリードします。
 - 1st データ: LPR[7:0]
 - 2nd データ: LPR[15:8]
 - 3rd データ: CPR[5:0], 2'b11
 - 4th データ: LPR[23:16]
 - 5th データ: LPR[31:24]
 - 6th データ: CPR[11:6], 2'b11

(4) 16 バイトの冗長データをライトします。

ND0FMCR: 0x9C をライトし、ECC 計算なしのデータモードにします。

ND0FDTR: 16 バイトの冗長データをライトします。

D520: LPR [23:16]

D521: LPR [31:24]

D522: CPR [11:6], 2'b11

D525: LPR [7:0]

D526: LPR [15:8]

D527: CPR [5:0], 2'b11

(5) ページプログラムの実行

ND0FMCR: 0x9D をライトし、NDCLE 信号をイネーブルにし、
コマンドモードにします。

ND0FDTR: 0x10 をライトし、ページプログラムモードにします。

ND0FMCR: 0x1C をライトし、NDALE 信号をディセーブルにします。

セットアップ時間を待ちます。(例. “NOP” を 10 回程度)

ND0FSR: BUSY フラグを確認します。
“0” ならば次へ、“1” ならば“0”になるまで待ちます。

(6) ステータスのリード

ND0FMCR: 0x1D をライトし、NDCLE 信号をイネーブルにし、
コマンドモードにします。

ND0FDTR: 0x70 をライトし、ステータスリードコマンドをライトしま
す。

ND0FMCR: 0x1C をライトし、NDCLE 信号をディセーブルにします。

ND0FDTR: NAND フラッシュからステータスデータをリードします。

(7) 必要に応じて、(1)から(6)の動作を他のページに対して行います。

3) リード

リードの手順は以下の通りです。

(1) ND0FMCR: 0x7C をライトし、ECC データをリセットします。

(2) 512 バイトのデータのリード

ND0FMCR: 0x1D をライトし、NDCLE 信号をイネーブルにし、
コマンドモードにします。

ND0FDTR: 0x00 をライトし、リードコマンドをライトします。

ND0FMCR: 0x1E をライトし、NDALE 信号をイネーブルにし、
アドレスモードにします。

ND0FDTR: A[7:0]、A[16:9]、A[24:17]、必要ならば A[25] をライトしま
す。

ND0FMCR: 0x1C をライトし、NDALE 信号をディセーブルにします。

セットアップ時間を待ちます。(例. “NOP” を 10 回)

ND0FSR: BUSY フラグを確認します。
“0” ならば次へ、“1” ならば “0” になるまで待ちます。

ND0FMCR: 0x3C をライトし、ECC 計算ありのデータモードにします。

ND0FDTR: 512 バイトのデータをリードします。

ND0FMCR: 0x1C をライトし、ECC 計算なしデータモードにします。

ND0FDTR: 16 バイトの冗長データをリードします。

(3) ECC データのリード

ND0FMCR: 0x5C をライトし、ECC データリードモードにします。

NDECCRD: 6 バイトの ECC データをリードします。

1stデータ: LPR[7:0]

2ndデータ: LPR[15:8]

3rdデータ: CPR[5:0], 2^b11

4thデータ: LPR[23:16]

5thデータ: LPR[31:24]

6thデータ: CPR[11:6], 2^b11

(4) ソフトウェア処理:

(3) でリードした ECC データと (2) でリードした冗長データを比較し、エラーが
発生した場合には、エラー処理を行いデータ補正を行います。

(5) 他のページのリード

ND0FMCR: 0x1C をライトします。

ND0FSR: BUSY フラグを確認します。
“0” ならば次へ、“1” ならば “0” になるまで待ちます。

4) ID リード

ID リードの手順は以下の通りです。

- (1) ND0FMCR: 0x1D をライトし、NDCLE 信号をイネーブルにし、
コマンドモードにします。
- (2) ND0FDTR: 0x90 をライトし、ID リードコマンドをライトします。
- (3) ND0FMCR: 0x1E をライトし、NDALE 信号をイネーブルにし、アドレスモ
ードにします。
- (4) ND0FDTR: 0x00 をライトします。
- (5) ND0FMCR: 0x1C をライトし、ECC 計算なしのデータモードにします。
- (6) ND0FDTR: メーカーコードをリードします。
- (7) ND0FDTR: デバイスコードをリードします。

3.17.3.2 ECC制御

NDFC は ECC 計算のための専用回路を内蔵しています。この回路は ND0FMCR レジスタによって制御されています。この回路は ECC データの実行をしますが、ECC 比較やその後のエラー訂正は対応していません。

計算された ECC データは、ND0FMCR レジスタに“0xD0” (ライトモード) とライトするか、“0x50” (リードモード) とライト時、NDECCRD レジスタからリードします。6 バイトのデータであり、NDECCRD を 6 回リードすることが必要となります。

各々のデータ順を以下に示します。

- 1st データ: LPR[7:0]
- 2nd データ: LPR[15:8]
- 3rd データ: CPR[5:0], 2'b11
- 4th データ: LPR[23:16]
- 5th データ: LPR[31:24]
- 6th データ: CPR[11:6], 2'b11

3.17.4 レジスタの説明

表 3.17.1 NDFC チャンネル 0 制御レジスタ

アドレス	レジスタ	レジスタ名
1D00H (1D00H-1EFFH)	ND0FDTR	NAND フラッシュデータ転送レジスタ
1CB0H (1CB0H-1CB5H)	ND0ECCRD	NAND フラッシュ ECC コードリードレジスタ
1CC4H	ND0FMCR	NAND フラッシュモードコントロールレジスタ
1CC8H	ND0FSR	NAND フラッシュステータスレジスタ
1CCCH	ND0FISR	NAND フラッシュ割り込みステータスレジスタ
1CD0H	ND0FIMR	NAND フラッシュ割り込みマスクレジスタ
1CD4H	ND0FSPR	NAND フラッシュストローブパルス幅レジスタ
1CD8H	ND0FRSTR	NAND フラッシュリセットレジスタ

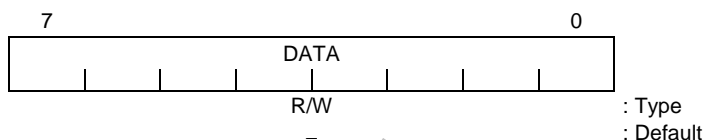
表 3.17.2 NDFC チャンネル 1 制御レジスタ

アドレス	レジスタ	レジスタ名
1D00H (1D00H-1EFFH)	ND1FDTR	NAND フラッシュデータ転送レジスタ
1CB0H (1CB0H-1CB5H)	ND1ECCRD	NAND フラッシュ ECC コードリードレジスタ
1CE4H	ND1FMCR	NAND フラッシュモードコントロールレジスタ
1CE8H	ND1FSR	NAND フラッシュステータスレジスタ
1CECH	ND1FISR	NAND フラッシュ割り込みステータスレジスタ
1CF0H	ND1FIMR	NAND フラッシュ割り込みマスクレジスタ
1CF4H	ND1FSPR	NAND フラッシュストローブパルス幅レジスタ
1CF8H	ND1FRSTR	NAND フラッシュリセットレジスタ

表 3.17.3 NDFC 制御レジスタ

アドレス	レジスタ	レジスタ名
01C0H	NDCR	NAND フラッシュ制御レジスタ

3.17.4.1 NAND フラッシュデータレジスタ (ND0FDTR, ND1FDTR)



Bit (s)	Mnemonic	名称	説明
7:0	DATA	DATA	NAND フラッシュデータ リード: NAND フラッシュからリードされたデータをリード ライト: データが NAND フラッシュにライト

注 1) NAND フラッシュのページサイズが 256、または 512 バイトのため、このレジスタは 1D00H~1EFFH の 512 アドレスウィンドウを持っています。

CPU が NAND フラッシュから (NAND フラッシュへ) リード (ライト) するためにブロック転送命令 ("LDIR" 命令) が使用される場合に、900/H1 CPU では以下の制限があります。

[ブロック転送命令使用時の制限事項]

1) "LDIR" 命令のソースアドレスは(1F00H-リード(ライト)バイト数)に設定してください。

例 1) 512 バイトリードの場合

```
ld    bc, 512          ; 512 バイト
ld    xix, 2000H       ; dst = 2000H
ld    xiy, 1D00H       ; src = (1F00H - 512) = 1D00H
ldir  (xix+), (xiy+)   ; ブロック転送命令
```

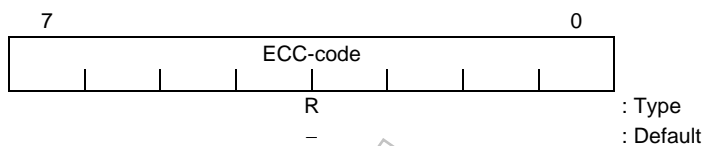
例 2) 16 バイトリードの場合

```
ld    bc, 16          ; 16 バイト
ld    xix, 2000H       ; dst = 2000H
ld    xiy, 1EF0H       ; src = (1F00H - 16) = 1EF0H
ldir  (xix+), (xiy+)   ; ブロック転送命令
```

注 2) ND0FDTR と ND1FDTR 両方は同じアドレスに割り当てられています。どちらのチャネルがアクセスされるかは NDCR<CHSEL>レジスタに依存します。

図 3.17.2 NAND フラッシュデータレジスタ (ND0FDTR, ND1FDTR)

3.17.4.2 NAND フラッシュ ECCコードリードレジスタ (ND0ECCRD, ND1ECCRD)



Bit (s)	Mnemonic	名称	説明
7 : 0	ECC-code	ECC code	計算された ECC コードをリード

注 1) ND0ECCRD と ND1ECCRD の両方は同じアドレスに割り当てられています。どちらのチャンネルがアクセスされるかは NDCR<CHSEL>レジスタに依存します。

図 3.17.3 NAND フラッシュ ECC コードリードレジスタ (ND0ECCRD, ND1ECCRD)

Not Recommended for New Design

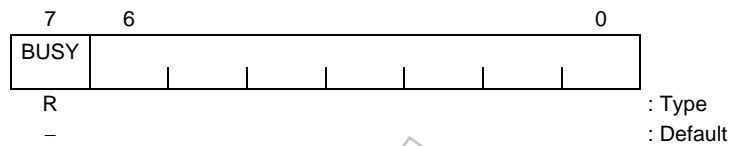
3.17.4.3 NAND フラッシュモードコントロールレジスタ (ND0FMCR, ND1FMCR)

7	6	5	4	3	5	1	0	
WE	ECC1	ECC0	CE	PCNT1	PCNT0	ALE	CLE	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	: Type
0	0	0	0	0	0	0	0	: Default

Bit (s)	Mnemonic	名称	説明
7	WE	Write enable	ライトイネーブル (Default: 0) このビットはデータライト動作をイネーブルにします。NAND フラッシュにデータをライトする場合、このビットを 1 に設定してください。アドレスまたはコマンドをライト時は 1 に設定する必要はありません。 0: ライト禁止 1: ライト許可
6	ECC1	ECC control	ECC 制御 (Default: 00) <CE>(bit4)レジスタと共に ECC 計算回路を制御します。 11 (at<CE> = X): リセット 00 (at<CE> = 1): ディセーブル 01 (at<CE> = 1): イネーブル 10 (at<CE> = 1): NDFC で計算された ECC のリード 10 (at<CE> = 0): ID データのリード
5	ECC0		
4	CE	Chip enable	チップイネーブル (Default: 0) NAND フラッシュアクセスをイネーブルにします。このビットは NAND フラッシュにアクセスする場合に 1 に設定してください。 0: ディセーブル (NDCE = High) 1: イネーブル (NDCE = Low)
3	PCNT1	Power control	電源制御 (Default: 00) "11" をライトしてください。
2	PCNT0		
1	ALE	Address latch enable	アドレスラッチイネーブル (Default: 0) このビットは NDALE 信号の値を指定します。 0: Low 1: High
0	CLE	Command latch enable	コマンドラッチイネーブル (Default: 0) このビットは NDCLE 信号の値を指定します。 0: Low 1: High

図 3.17.4 NAND フラッシュ モードコントロールレジスタ (ND0FMCR, ND1FMCR)

3.17.4.4 NAND フラッシュステータスレジスタ (ND0FSR, ND1FSR)



Bit (s)	Mnemonic	名称	説明
7	BUSY	BUSY	BUSY (Default: 不定) このビットは NAND フラッシュのステータスを示しています。 0: Ready 1: Busy
6:0	-	-	Reserved

注 1) 数ステートのノイズフィルタを NDFC に内蔵しているため、NDR/ \bar{B} 端子の状態が変化した場合、同時に<BUSY>フラグが更新されません。そのためソフトによる遅延時間 (例 “NOP” 命令 $\times 10$) がこのフラグのチェックを開始する前に必要となります。

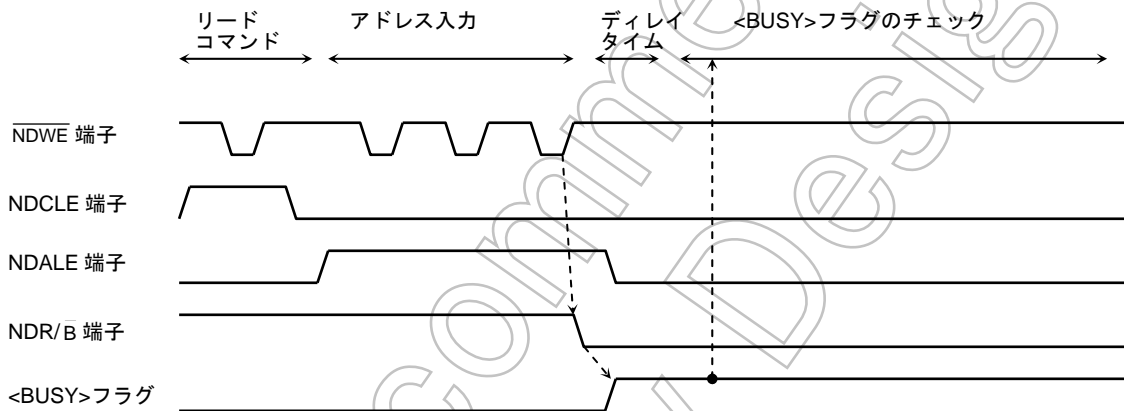
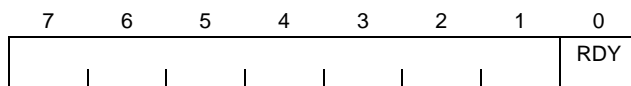


図 3.17.5 NAND フラッシュ ステータスレジスタ (ND0FSR, ND1FSR)

3.17.4.5 NAND フラッシュ割り込みステータスレジスタ (ND0FISR, ND1FISR)

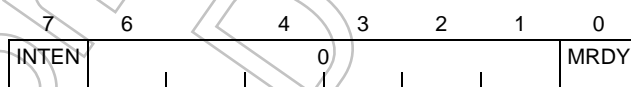


: Type
: Default

Bit (s)	Mnemonic	名称	説明
7:1	-	-	Reserved
0	RDY	Ready	Ready (Default: 0) このビットは NDR/ \bar{B} 信号が Low (BUSY) から High (READY)に変化したとき、NDFIMR<MRDY>が 1 であれば "1" にセットされます。"1" をライトすることで、このビットは 0 にクリアされます。 リード: 0: なし 1: NDR/ \bar{B} 信号が BUSY から READY に変更 ライト: 0: 変化なし 1: 0 にクリア

図 3.17.6 NAND フラッシュ割り込みステータスレジスタ (ND0FISR, ND1FISR)

3.17.4.6 NAND フラッシュ 割り込みマスクレジスタ (ND0FIMR, ND1FIMR)

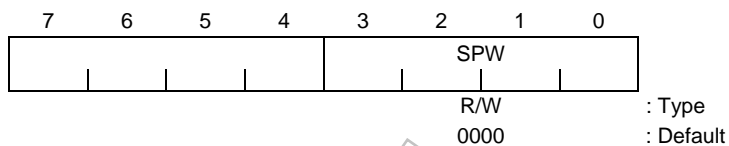


R/W : Type
0 : Default

Bit (s)	Mnemonic	名称	説明
7	INTEN	Interrupt enable	割り込みイネーブル (Default: 0) <INTEN>と<MRDY>が 1 に設定され、NDFISR<RDY>が 1 になるとき、割り込み INTNDFC が発生します。 0: ディセーブル 1: イネーブル
6:1	-	-	Reserved
0	MRDY	Mask ready interrupt	RDY 割り込みのマスク (Default: 0) このビットは NDFISR<RDY>をマスクします。<MRDY>が 1 で、NDR/ \bar{B} 信号が Low から High に変わると NDFISR<RDY>が "1" にセットされます。 0: NDFISR<RDY>をディセーブル 1: NDFISR<RDY>をイネーブル

図 3.17.7 NAND フラッシュ割り込みマスクレジスタ (ND0FIMR, ND1FIMR)

3.17.4.7 NAND フラッシュストロブパルス幅レジスタ (ND0FSPR, ND1FSPR)

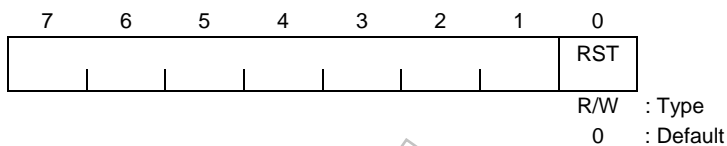


Bit (s)	Mnemonic	名称	説明
7 : 4	-	-	Reserved
3 : 0	SPW	Strobe pulse width	ストロブパルス幅 (Default: 0000) NDRE と NDWE 信号の Low パルス幅を設定します。 Low パルス幅は(SPW への設定値 + 1) × f _{sys} クロックになります。

図 3.17.8 NAND フラッシュストロブパルス幅レジスタ (ND0FSPR, ND1FSPR)

Not Recommended for New Design

3.17.4.8 NAND フラッシュリセットレジスタ (ND0FRSTR, ND1FRSTR)



Bit (s)	Mnemonic	名称	説明
7:1	-	-	Reserved
0	RST	Reset	リセット (Default: 0) NDFC (NDCR<CHSEL>レジスタを除く) をリセットします。 リセットにより、このビットはクリアされます。 0: Don't care 1: リセット

注 1) <RST>レジスタライト後、待ち時間(約 10 ステート)が NDFC をアクセスするには必要となります。

図 3.17.9 NAND フラッシュリセットレジスタ (ND0FRSTR, ND1FRSTR)

3.17.4.9 NAND フラッシュコントロールレジスタ (NDCR)

		7	6	5	4	3	2	1	0
NDCR (01C0H)	Bit symbol	CHSEL							
	Read/Write	R/W							
	リセット後	0							
	機能	0: チャンネル 0 1: チャンネル 1							

3.17.5 タイミング図

3.17.5.1 コマンドとアドレスサイクル

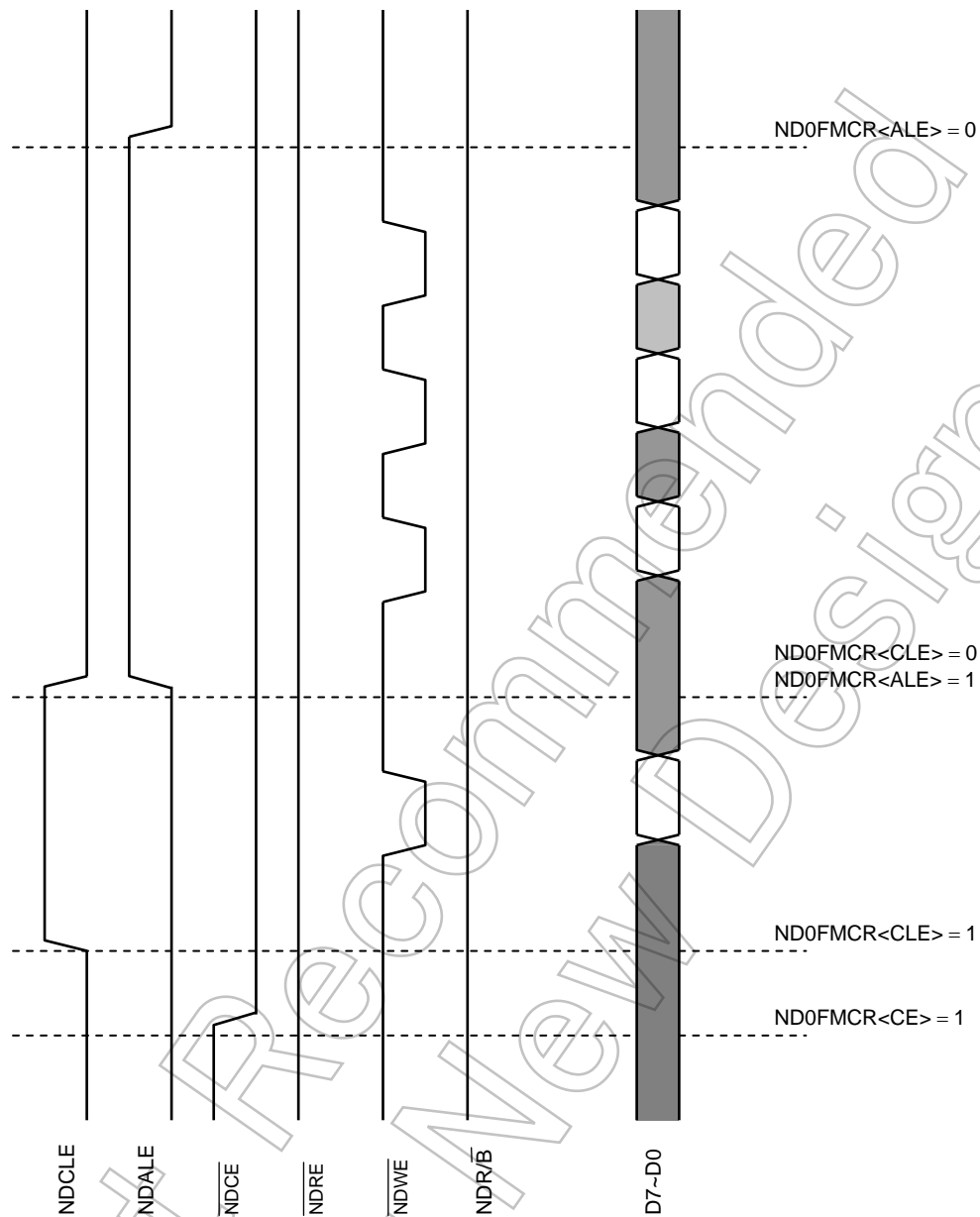


図 3.17.10 コマンドとアドレスサイクル

3.17.5.2 データリードサイクル

図 3.17.11はND0FSPR = 02HにおけるNANDフラッシュからのデータリードサイクルのタイミングチャートを表しています。

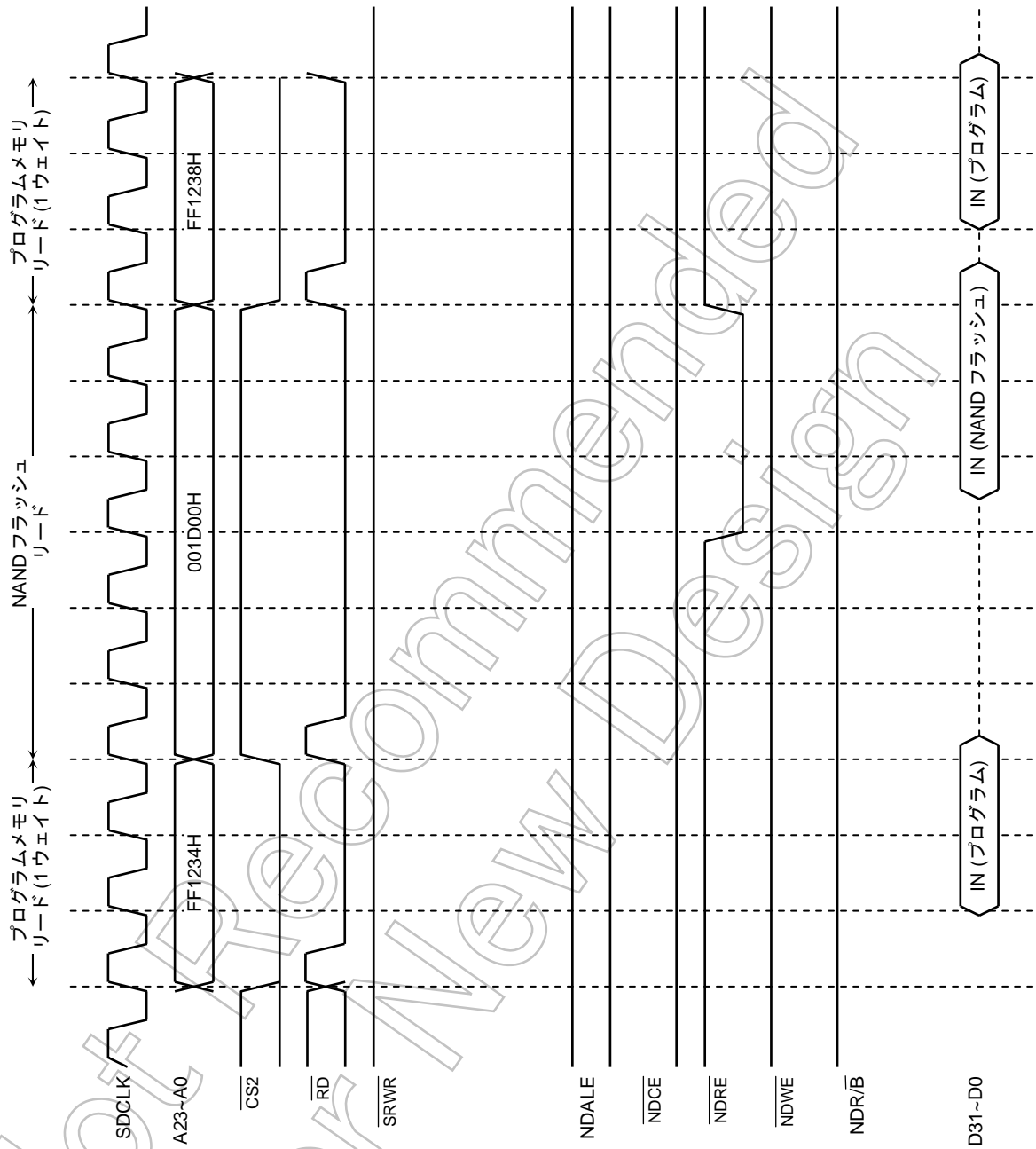


図 3.17.11 データリードサイクル (ND0FSPR = 02H)

3.17.5.3 データライトサイクル

図 3.17.12はND0FSPR = 02HにおけるNANDフラッシュのデータライトのサイクルのタイミングチャートを表しています。

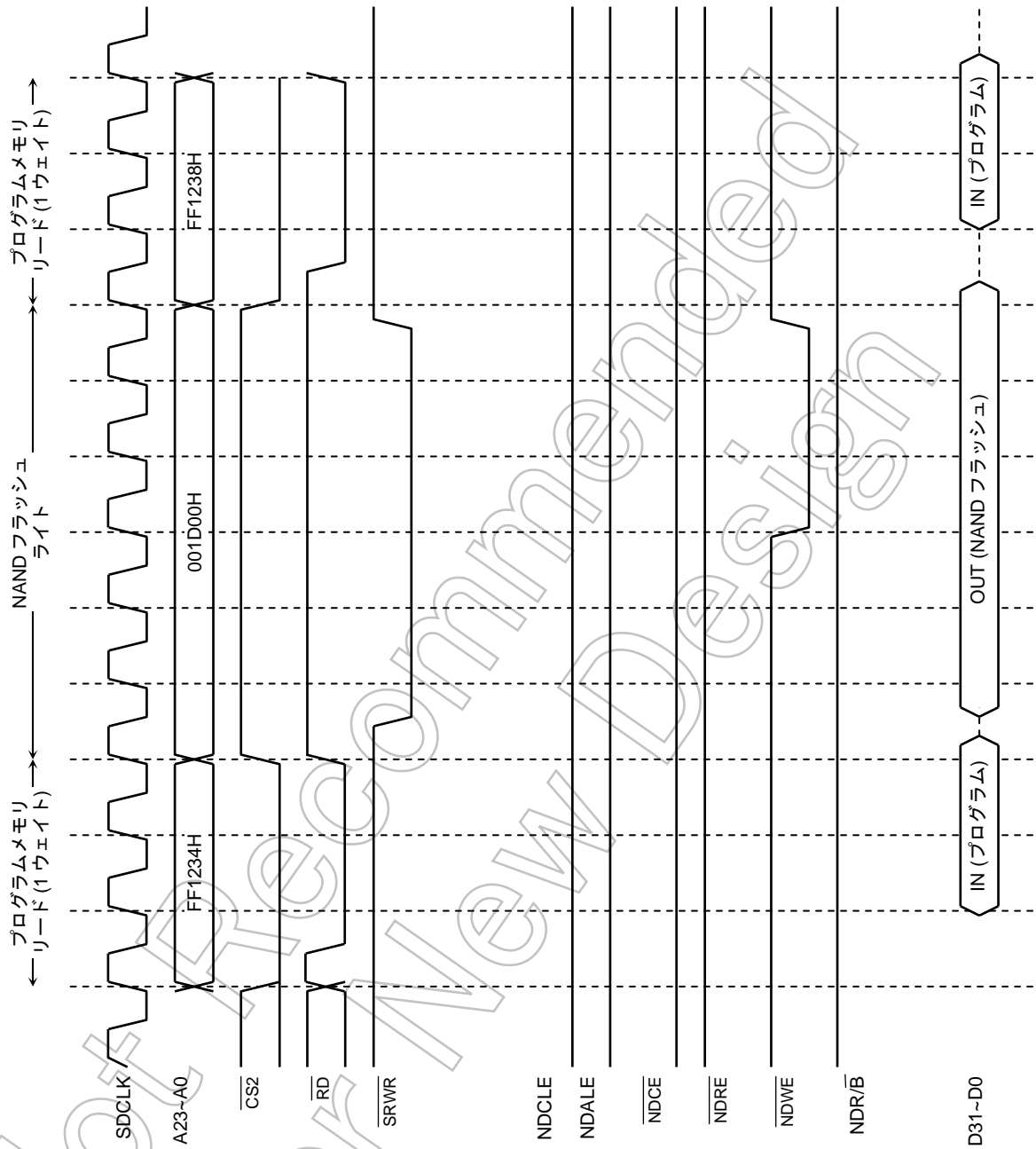
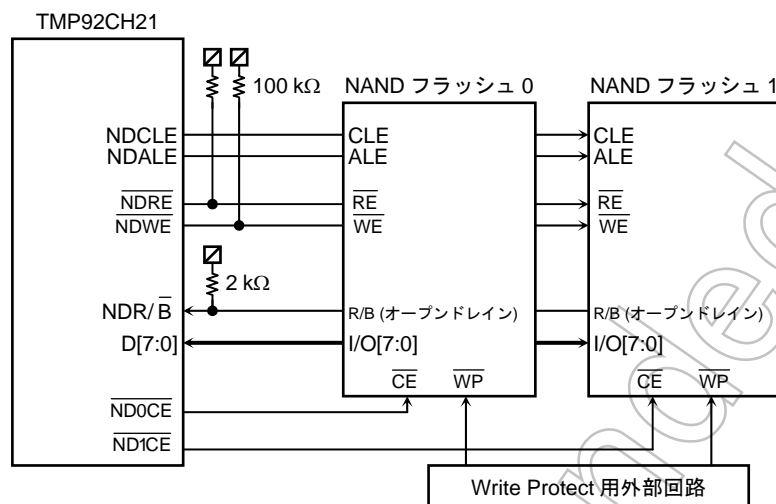


図 3.17.12 データライトサイクル (ND0FSPR = 02H)

3.17.6 NANDフラッシュ接続例



- 注 1) リセットによって、 $\overline{\text{NDRE}}$ と $\overline{\text{NDWE}}$ 端子は入力ポートに設定されます (Port 71, 72)。よってプルアップ抵抗が必要となります。
- 注 2) $\overline{\text{NDR/B}}$ 端子のプルアップ抵抗値については、使用する NAND フラッシュと、基板容量等によって適切な値を設定する必要があります。(標準設定例: 2 k Ω)
- 注 3) NAND フラッシュの $\overline{\text{WP}}$ (Write Protect) 端子についてはサポートしていません。必要な場合、外部で準備して下さい。

図 3.17.13 NAND フラッシュ接続例

3.18 16ビットタイマ/イベントカウンタ (TMRB0)

多機能 16 ビットタイマ/イベントカウンタ(TMRB0)が内蔵されています。
TMRB は次の 3 つの動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット プログラマブル矩形波出力 (PPG) モード

16 ビットタイマ/イベントカウンタは、16 ビットのアップカウンタ、16 ビットのコンパレータ 2 本、16 ビットのタイマレジスタ 2 本 (ダブルバッファ構造のひとつ) 16 ビットのキャプチャレジスタ、キャプチャ入力コントローラ、タイマフリップフロップ、および制御回路で構成されており、その制御は 11 バイトの制御レジスタによって実行されます。

この章は以下の項目について述べられています。

3.18.1 ブロック図

3.18.2 各部の動作

3.18.3 SFRs

3.18.4 各モードの動作

- (1) 16 ビットインタバルタイマモード
- (2) 16 ビットプログラマブル矩形波出力 (PPG) モード

表 3.18.1 TMRB0 の端子と SFR

仕様		チャンネル	TMRB0	
外部端子	外部クロック/キャプチャトリガの入力端子		なし	
	タイマ F/F 出力端子		TB0OUT0 (PC2 と兼用)	
SFR (アドレス)	タイマ作動レジスタ		TB0RUN (1180H)	
	タイマモードレジスタ		TB0MOD (1182H)	
	タイマ F/E 制御レジスタ		TB0FFCR (1183H)	
	タイマレジスタ			TB0RG0L (1188H)
				TB0RG0H (1189H)
				TB0RG1L (118AH)
				TB0RG1H (118BH)
キャプチャレジスタ			TB0CP0L (118CH)	
			TB0CP0H (118DH)	
			TB0CP1L (118EH)	
			TB0CP1H (118FH)	

3.18.1 ブロック図

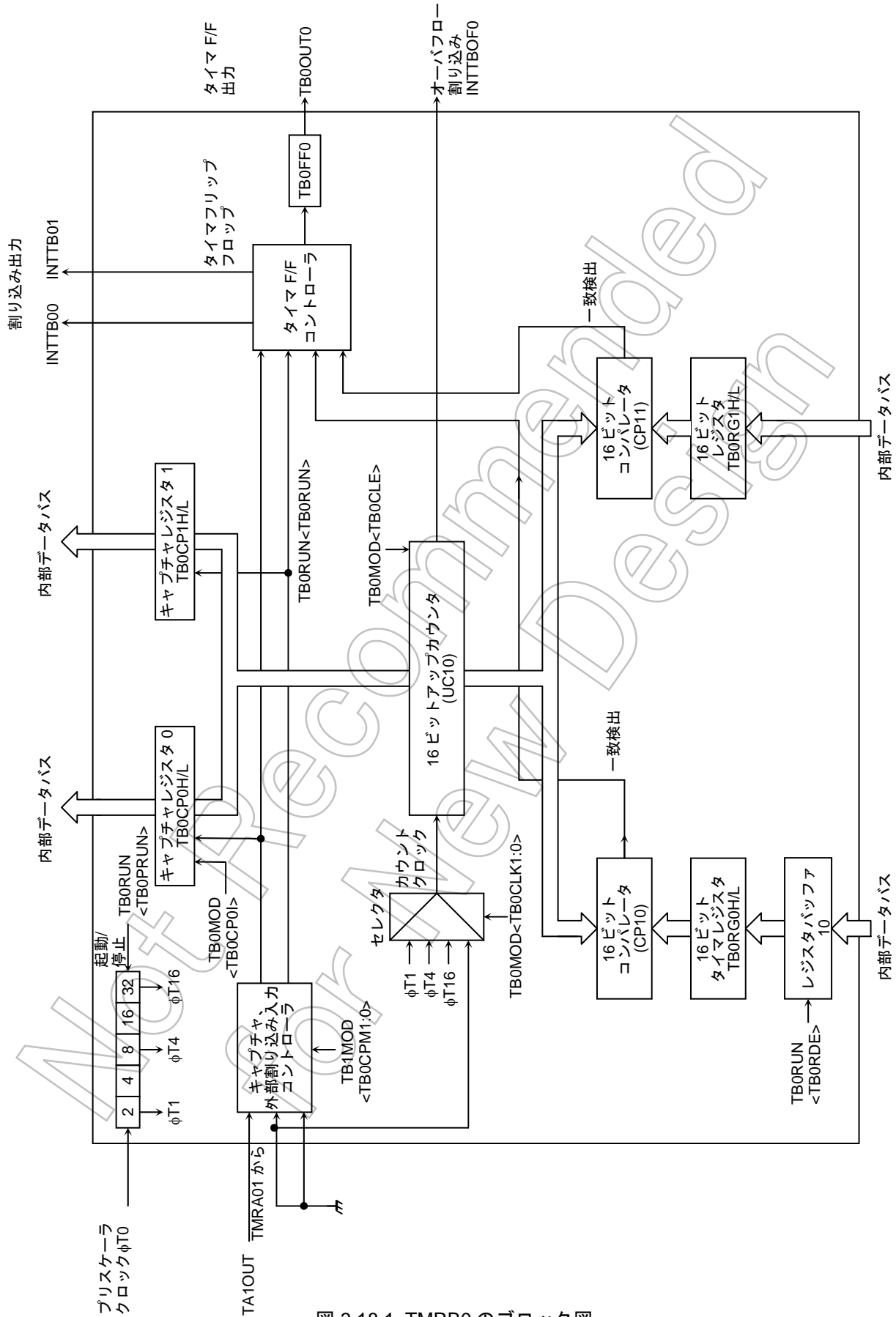


図 3.18.1 TMRB0のブロック図

3.18.2 各部の動作

(1) プリスケーラ

これは、TMRB0へソースクロックを供給するための5ビットプリスケーラです。このプリスケーラへの入力クロック $\phi T0$ は、クロックギア部のSYSCR1<SYSCK>にて選択したクロックを8分周したクロックです。

このプリスケーラはTB0RUN<TB0PRUN>により制御されます。<TB0PRUN>が1に設定されるとカウントを開始し、<TB0PRUN>が0に設定されるとクリアされ停止します。プリスケーラの実出力クロックの分解能を表3.18.2に示します。

表 3.18.2 プリスケーラクロックの分解能

システム クロック選択 SYSCR1 <SYSCK>	クロックギア 選択 SYSCR1 <GEAR2:0>	-	タイマカウンタ入力クロック TMRB部プリスケーラ TB0MOD<TB0CLK1:0>		
			$\phi T1(1/2)$	$\phi T4(1/8)$	$\phi T16(1/32)$
1 (fs)	-	1/8	fs/16	fs/64	fs/256
0 (fc)	000 (1/1)		fc/16	fc/64	fc/256
	001 (1/2)		fc/32	fc/128	fc/512
	010 (1/4)		fc/64	fc/256	fc/1024
	011 (1/8)		fc/128	fc/512	fc/2048
	100 (1/16)		fc/256	fc/1024	fc/4096

(2) 16ビットアップカウンタ (UC10)

TB0MOD<TB0CLK1:0>ビットで指定された入力クロックにより、カウントアップする16ビットのバイナリカウンタ (UC10) です。

入力クロックとして、プリスケーラからの内部クロック $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ のいずれかを選択できます。カウンタのカウント開始、停止、初期化は、TB0RUN<TB0PRUN>で制御することができます。

クリアが有効になっている場合、アップカウンタ UC10は、タイマレジスタ TB0RG1H/Lの値と一致するごとに、“0”に初期化されます。クリア禁止の場合は、フリーランカウンタとして動作します。クリアの禁止/許可はTB0MOD<TB0CLE>ビットで設定します。タイマオーバフロー割り込み (INTTBOF0) は、アップカウンタ UC10がオーバフローを起こしたときに発生します。

(3) タイマレジスタ (TBORG0H/L, TBORG1H/L)

インタバル時間を設定するのに用いる 16 ビットレジスタです。このタイマレジスタの設定値とアップカウンタ UC10 の値とが一致すると、比較器 (コンパレータ) の一致検出信号が有効となります。

タイマレジスタ TBORG0H/L, TBORG1H/L へのデータ設定は、必ず上位と下位の 2 バイトのデータ設定が必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回実行することで、下位 8 ビット、上位 8 ビットの順に実行されます。

このタイマレジスタ TBORG0H/L はダブルバッファ構成となっており、レジスタバッファと対になっています。TBORUN<TBORDE>ビットの値によって、ダブルバッファの禁止/許可を制御します。TBORUN<TBORDE>が“0”のときは禁止、“1”のときは許可となります。

ダブルバッファが許可される時、アップカウンタ (UC10) の値とタイマレジスタ TBORG1H/L が一致する場合、データはレジスタバッファからタイマレジスタに転送されます。

ダブルバッファ許可のとき、レジスタバッファからタイマレジスタへのデータ転送は、アップカウンタ UC10 とタイマレジスタ TBORG1H/L の値が一致したときに行われます。

リセット後は、タイマレジスタ TBORG0H/L と TBORG1H/L の値は不定です。リセット後に本 16 ビットタイマを使用する場合は、前もってタイマレジスタの値を設定する必要があります。

また、リセットで TBORUN<TBORDE>ビットは“0”に初期化され、ダブルバッファが禁止になっていますので、使用する場合はタイマレジスタにデータを書き込み、TBORUN<TBORDE>ビットを“1”に設定した後、レジスタバッファへ次のデータを書き込んでください。

タイマレジスタ TBORG0H/L とレジスタバッファは同じメモリアドレス (001188H と 001189H) に割り付けられています。TBORUN<TBORDE>ビットが“0”のとき、タイマレジスタとレジスタバッファに同じ値が書き込まれ、TBORUN<TBORDE>ビットが“1”のとき、レジスタバッファにのみ値が書き込まれます。タイマレジスタのアドレスは下記の通りです。

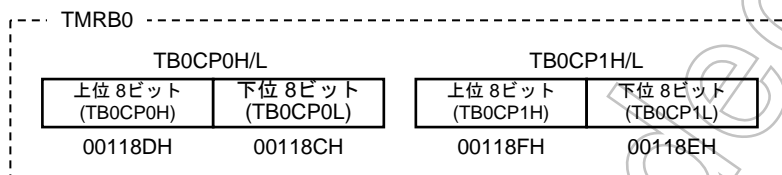
TMRB0			
TBORG0H/L		TBORG1H/L	
上位 8 ビット (TBORG0H)	下位 8 ビット (TBORG0L)	上位 8 ビット (TBORG1H)	下位 8 ビット (TBORG1L)
001189H	001188H	00118BH	00118AH

このタイマレジスタは書き込み専用のため、読み出しはできません。

(4) キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタの値をラッチする 16 ビットのレジスタです。

このキャプチャレジスタの値は、必ず上位と下位の 2 バイトのデータリードが必要です。2 バイトデータ読み込み命令、または 1 バイトデータ読み込み命令を 2 回実行することで読み出せます。最初に下位バイト側、次いで上位バイト側が読み出されます。キャプチャレジスタのアドレスは下記の通りです。



このキャプチャレジスタは読み出し専用のため、書き込みはできません。

(5) キャプチャ入力制御

アップカウンタ UC10 の値を、キャプチャレジスタ TB0CP0H/L または TB0CP1H/L にラッチするタイミングを制御する回路で、ソフトウェアで実行します。

TB0MOD<TB0CP0I>へ“0”を書き込むたびに、アップカウンタの現在の値がキャプチャレジスタ TB0CP0H/L へ取り込まれます。なお、プリスケアラは RUN モード (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

(6) コンパレータ (CP10/CP11)

CP10 と CP11 は 16 ビット比較器 (コンパレータ) で、アップカウンタ UC10 の値とタイマレジスタ TB0RG0H/L または TB0RG1H/L に設定された値とをそれぞれ比較し、一致を検出します。

一致すると、それぞれのレジスタに対応した割り込み (INTTB00 または INTTB01) を発生します。

(7) タイマフリップフロップ (TB0FF0)

コンパレータからの一致検出信号やキャプチャレジスタへのラッチ信号によって反転するフリップフロップです。

反転の有効/禁止は、要因ごとの TB0FFCR<TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1>によって設定できます。リセット後の TB0FF0 の値は不定です。

TB0FF0 は、TB0FFCR<TB0FF0C1:0>に“00”を書き込むことで反転、“01”のときは“1”にセット、“10”のときは“0”にクリアすることも可能です。

TB0FF0 の値はタイマ出力端子 TB0OUT0 (PC6 端子と兼用) から出力が可能です。タイマ出力の設定は、ポート B ファンクションレジスタでできます。

3.18.3 SFR

TMRB0 RUN レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TBORDE	-			I2TB0	TB0PRUN		TB0RUN
Read/Write	R/W	R/W			R/W	R/W		R/W
リセット後	0	0			0	0		0
機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 0: 停止 1: 動作	TMRB0 プリスケール 0: 停止 & クリア 1: 動作 (カウントアップ)		アップカウンタ UC10

→ カウントアップ動作

0	停止/停止
1	カウント

注) TB0RUN レジスタのビット 5、4、1 は読み出すと不定値になります。

図 3.18.2 TMRB0 関係のレジスタ

TMRB0 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-	-	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
Read/Write	R/W		W*	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	"0" をライトしてください。	ソフトウェアキャプチャ実行	ソフトウェアキャプチャ 0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: Reserved 10: Reserved 11: TA1OUT↑ TA1OUT↓		アップカウンタ制御 0: クリア禁止 1: クリア許可	TMRB0 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	

リード
モディファイ
ライトは
できません。



図 3.18.3 TMRB0 関係のレジスタ

Not Recommended for New Design

TMRB0 フリップフロップ制御レジスタ

	7	6	5	4	3	2	1	0	
TB0FFCR (1183H)	Bit symbol	-	-	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
	Read/Write	W*		R/W				W*	
	リセット後	1	1	0	0	0	0	1	1
リード モディファイ ライトは できません。	機能	"11" を ライトしてください。		TB0FF0 反転制御 0: 反転禁止 1: 反転許可				TB0FF0 反転 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に 11 になります。	
				TB0CP1H/L へ UC10 値 をキャプチャ する時	TB0CP0H/L へ UC10 値 をキャプチャ する時	UC10 と TB0RG1H/L との一致時	UC10 と TB0RG0H/L との一致時		

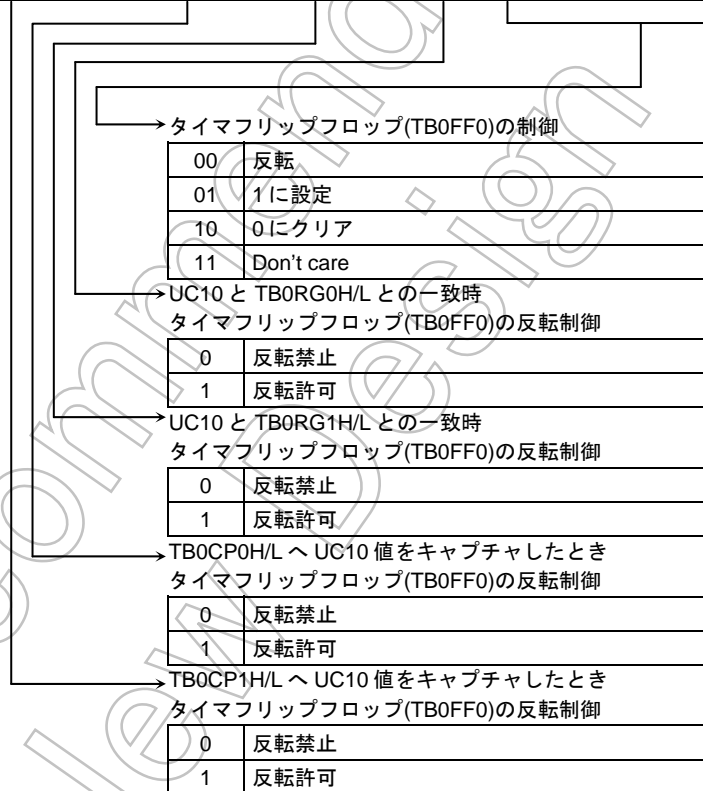


図 3.18.4 TMRB0 関係のレジスタ

Not Recommended for New Design

TMRB0 レジスタ

	7	6	5	4	3	2	1	0	
TB0RG0L (1188H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG0H (1189H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1L (118AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1H (118BH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP0L (118CH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP0H (118DH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP1L (118EH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP1H (118FH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							

注) 上記レジスタはリードモディファイライトは禁止です。

図 3.18.5 TMRB0 関係のレジスタ

3.18.4 各モードの動作

(1) 16ビットタイマモード

一定周期の割り込みを発生します。

この例では INTTB01 割り込みが一定周期で発生されるよう設定されます。この割り込み周期時間はタイマレジスタ TB0RG1H/L で設定されます。

	7 6 5 4 3 2 1 0	
TB0RUN	← 0 0 X X - 0 X 0	TMRB0 の停止
INTETB01	← X 1 0 0 X 0 0 0	INTTB01 を許可し、割り込みレベル 4 に設定 INTTB00 を禁止
TB0FFCR	← 1 1 0 0 0 0 1 1	トリガの禁止
TB0MOD	← 0 0 1 0 0 1 * *	割り込みの内部クロックを選択し、キャプチャファンクションを禁止
	(** = 01, 10, 11)	
TB0RG1H/L	← * * * * * * * *	インタバル時間を設定 (16 ビット)
TB0RUN	← 0 0 X X - 1 X 1	TMRB0 開始

X : Don't care, - : No change

(2) 16ビットプログラマブル矩形波 (PPG) モード

任意の周波数とデューティの比で矩形波を発生させることができます。出力パルスは Low 有効、High 有効のどちらでも可能となります。

PPG モードはアップカウンタ UC10 とタイマレジスタ TB0RG0H/L または TB0RG1H/L の設定値との一致によってタイマフリップフロップ TB0FF0 を反転させ、その状態を TB0OUT0 から出力することで実現しています。ただし、このモードでは次の条件を満たす必要があります。

$$(TB0RG0H/L \text{ への設定値}) < (TB0RG1H/L \text{ への設定値})$$

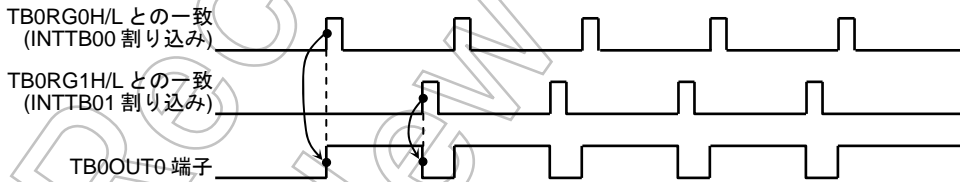


図 3.18.6 プログラマブル矩形波 (PPG) 出力波形

このモードでは、TB0RG0H/L のダブルバッファを有効にすることで、TB0RG1H/L との一致をもって、レジスタバッファ 10 の値は TB0RG0H/L にシフトインされます。これによりデューティの小さな波形にも対応することが可能です。

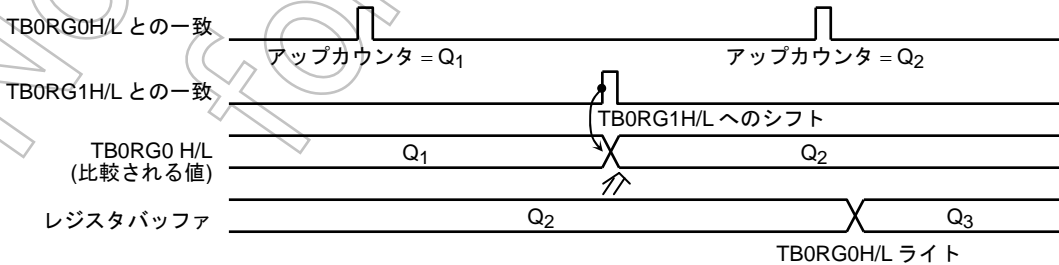


図 3.18.7 レジスタバッファの動作

以下の図はこのモードのブロック図を示しています。

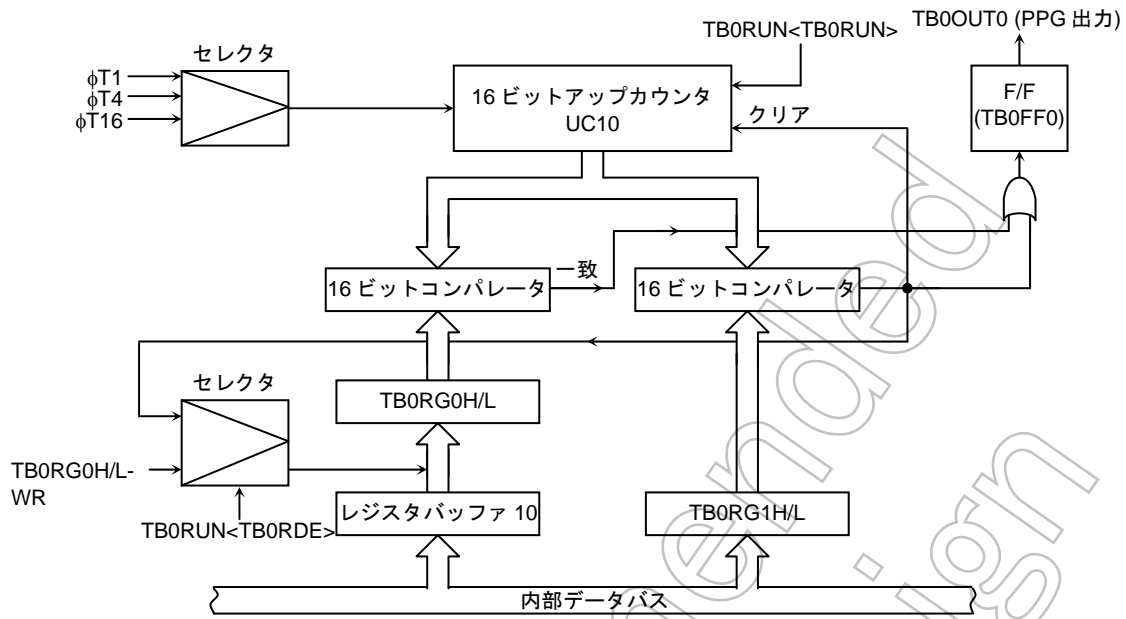


図 3.18.8 16 ビットモードのブロック図

16 ビット PPG 出力モードの設定例を以下に示します。

	7	6	5	4	3	2	1	0	
TBORUN	← 0	0	X	X	-	0	X	0	TBORG0H/L ダブルバッファを禁止し、TMRB0 を停止
TBORG0H/L	← *	*	*	*	*	*	*	*	デューティ比を設定 (16 ビット)
TBORG1H/L	← *	*	*	*	*	*	*	*	周波数を設定 (16 ビット)
TBORUN	← 1	0	X	X	-	0	X	0	TBORG0H/L ダブルバッファを許可 (デューティおよび周波数は INTTB01 割り込みによって変更)
TB0FFCR	← 1	1	0	0	1	1	1	0	TBORG0H/L/TBORG1H/L との一致によって TB0FF0 が反転するモードに設定し、TB0FF0 を 0 に設定
TB0MOD	← 0	0	1	0	0	1	*	*	入力クロックとしてプリスケアラ出力クロックを選択し、キャプチャ機能を禁止
(** = 01, 10, 11)									
PCCR	← -	1	X	X	-	-	-	-	} PC6 を TB0OUT0 として出力機能に設定
PCFC	← -	1	-	X	-	-	-	-	
TBORUN	← 1	0	X	X	-	1	X	1	TMRB0 開始

X : Don't care, - : No change

3.19 タッチスクリーンインタフェース (TSI)

4端子型抵抗網タッチスクリーンインタフェースを内蔵しています。TSIは、タッチ検出およびX/Y位置測定のための2つの動作を容易に実現できます。TSI制御レジスタ (TSICR0, TSICR1) および内蔵ADコンバータを使用して実行します。

3.19.1 TSIの外部接続図、内部ブロック図

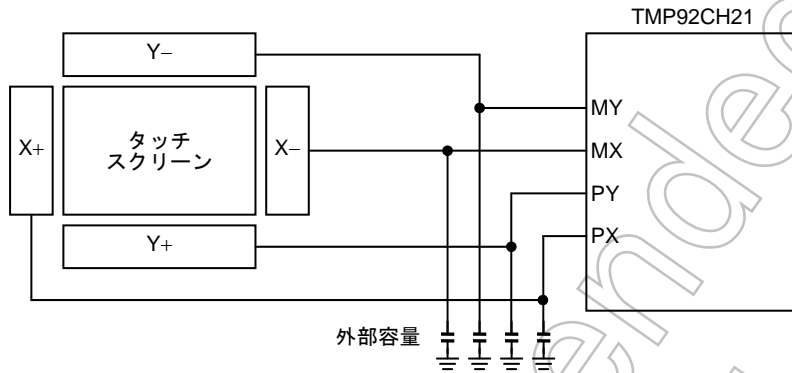


図 3.19.1 TSIの外部接続図

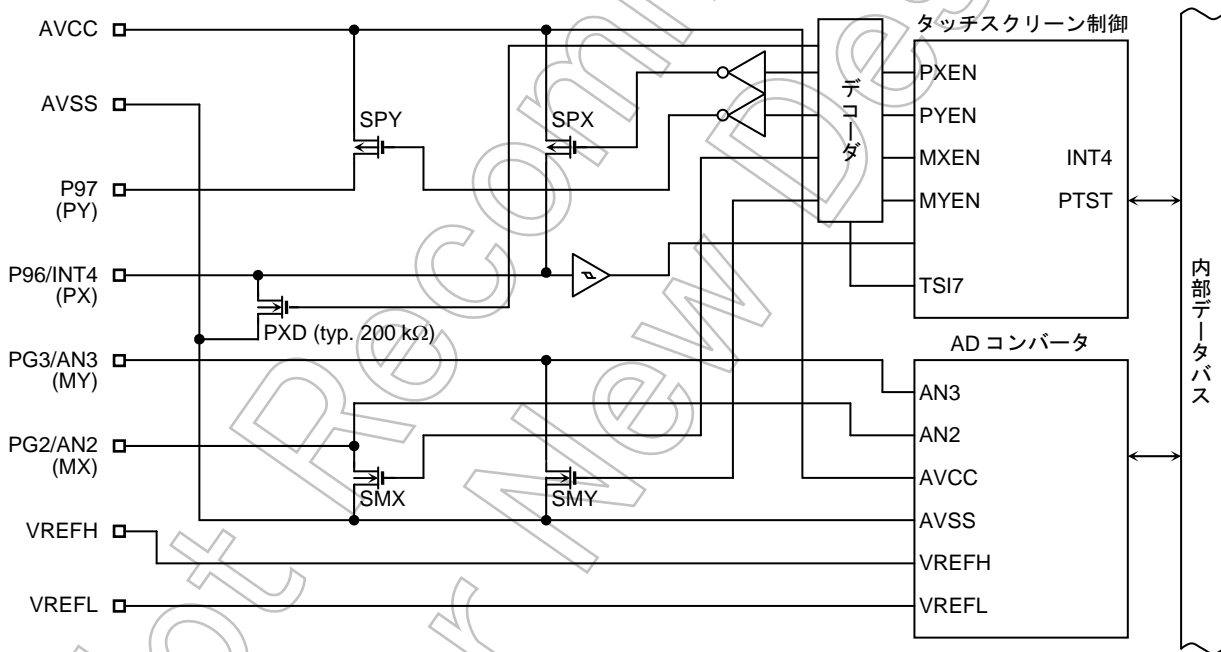


図 3.19.2 TSIの内部ブロック図

3.19.2 タッチスクリーンインタフェース (TSI) 制御レジスタ

TSI 制御レジスタ

		7	6	5	4	3	2	1	0
TSICR0 (01F0H)	Bit symbol	TSI7		PTST	TWIEN	PYEN	PXEN	MYEN	MXEN
	Read/Write	R/W		R	R/W	R/W	R/W	R/W	R/W
	リセット後	0		0	0	0	0	0	0
	機能	0: 禁止 1: 許可		検出状態 0: 検出なし 1: 検出中	INT4 割り込み制御 0: 禁止 1: 許可	SPY 0: OFF 1: ON	SPX 0: OFF 1: ON	SMY 0: OFF 1: ON	SMX 0: OFF 1: ON

PXD(内部プルダウン抵抗)ON/OFF 設定

<PXEN>	0	1
<TSI7>	OFF	OFF
0	OFF	OFF
1	ON	OFF

デバウンス時間設定レジスタ

		7	6	5	4	3	2	1	0
TSICR1 (01F1H)	Bit symbol	DBC7	DB1024	DB256	DB64	DB8	DB4	DB2	DB1
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 禁止 1: 許可	1024	256	64	8	4	2	1

デバウンス時間は“(N × 64 - 16)/f_{sys}”の式により設定されます。
“N”はビット6~ビット0に“1”を設定した数の総計を表します。注2)

注1) デバウンス回路は CPU クロックが使用されているため、IDLE1、STOP モード時には、デバウンス回路は動作せずデバウンス回路を経由した割り込みも発生しません。IDLE1 あるいは STOP モード時には、HALT 状態以前にこの回路(“0”を TSICR1<DBC7>にライト)を禁止してください

注2) たとえば(TSICR1)=95Hに設定した場合、N=64+4+1=69となります。

3.19.3 タッチ検出手順

タッチ検出手順は、タッチスクリーンにペンがタッチされ、検出されるまでの手順です。

タッチされると割り込み INT4 を発生して本手順は終了します。X/Y 位置測定手順が終了すると、再び本手順に戻し次のタッチ待ち状態としてください。

非接触のタッチ待ち状態時は、SPY スイッチだけを ON させ、他の 3 つのスイッチ: SMY、SPX、SMX はすべて OFF させてください。またこのとき、P96/INT4/PX 端子に内蔵するプルダウン抵抗は ON しています。

この状態ではタッチスクリーン内の X 方向と Y 方向の内部抵抗は接続されていないので P96/INT4/PX 端子は、内部プルダウン抵抗(PXD)により Low 状態となり、INT4 割り込みは発生しません。

次に、ペンがタッチされるとタッチスクリーン内の X 方向と Y 方向の内部抵抗が接続され P96/INT4/PX 端子は High 状態となり、INT4 割り込みを発生します。

1 回のペンタッチにより複数回の INT4 発生を防止するため、下記図のようなデバウンス回路があります。TSICR1 レジスタにデバウンス時間を設定することによりその時間以下のパルスが無視します。

デバウンス回路は、信号の立ち上がりを検出し、設定されたデバウンスカウンタ時間をカウントアップし、カウント後内部に信号を取り込みます。カウント中に信号が“L”になるとカウンタをクリアし、再度立ち上がりエッジ待ち状態になります。

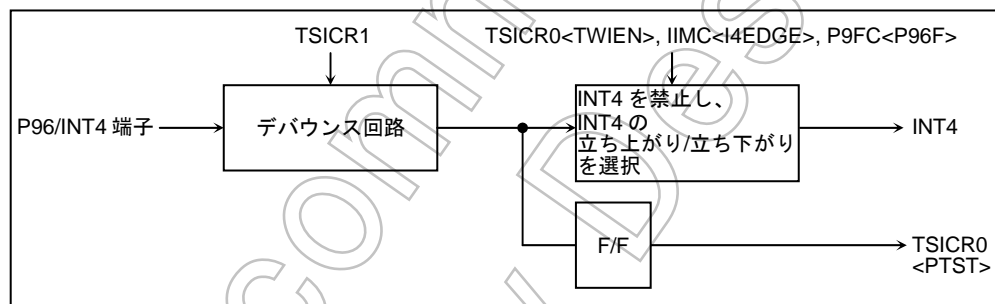


図 3.19.3 デバウンス回路のブロック図

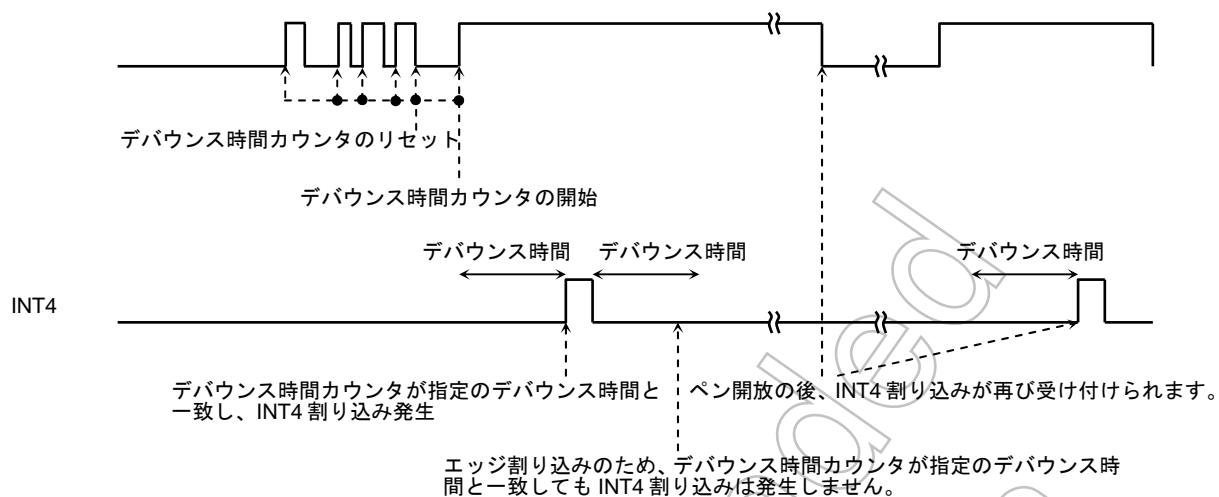


図 3.19.4 デバウンス回路のタイミング図

3.19.4 X/Y位置測定手順

ペンがタッチされ INT4 割り込み発生により、ペンの位置の測定を下記手順で実行してください。

<X 位置座標測定>

まず SPX と SMX スイッチを ON、SPY, SMY を OFF させます。これにより、PG3/MY/AN3 端子に X 位置を示すアナログ電圧が入力されます。この電圧を AD コンバータでデジタルコードに変換させることにより X 位置座標を測定できます。

<Y 位置座標測定>

まず SPY と SMY スイッチを ON、SPX, SMX を OFF させます。これにより、PG2/MX/AN2 端子に Y 位置を示すアナログ電圧が入力されます。この電圧を AD コンバータでデジタルコードに変換させることにより Y 位置座標を測定できます。

上記X、Y位置測定時のAN3、AN2 端子へ入力されるアナログ電圧は図 3.19.5に示すようなTMP92CH21内部のスイッチのON抵抗値とタッチスクリーン内部の抵抗の比で求められます。従って、タッチスクリーンの端をタッチした場合でもアナログ入力電圧は3.3Vもしくは0Vにはなりません。

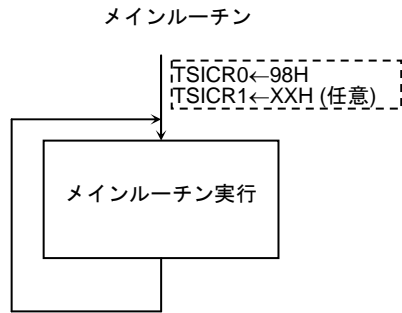
また、各々の抵抗値はばらつきがありますので、これらの点を考慮の上設計してください。なお、AD 変換は必要に応じて数回実行して平均値を最終値とするなどしてください。



図 3.19.5 アナログ入力電圧算出値

3.19.5 タッチスクリーンインタフェース (TSI) のフローチャート

(1) タッチ検出手順



(2) X/Y 位置測定手順

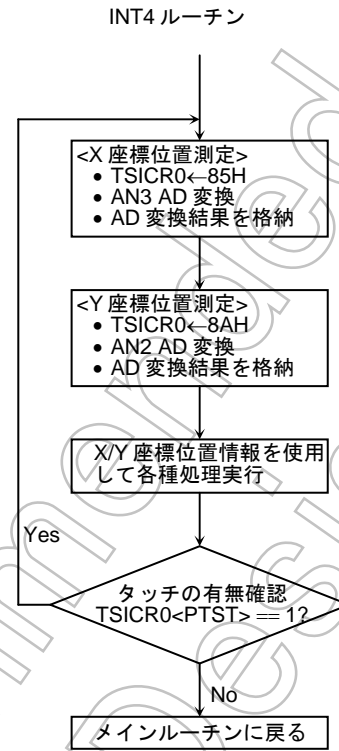


図 3.19.6 TSI 関係のフロー

3.20 I²S (Inter-IC Sound)

I²S フォーマット互換のシリアル出力回路を内蔵しています。外部に DA コンバータなどの音声出力用 LSI を接続することによりデジタルオーディオシステムなどに使用できます。

本回路は、下記に示すように I²S モードと汎用 SIO モード を選択できます。なお、両モード共にクロック、データ出力機能のみを有しています。

下記にそれぞれの特長を記述します。

表 3.20.1 各モードの特長

	I ² S モード	SIO モード
1) フォーマット	I ² S フォーマット互換 (マスタ、送信のみ)	汎用 (マスタ、送信のみ)
2) 使用端子	1. I2SCKO (クロック出力) 2. I2SDO (出力) 3. I2SWS (ワード選択出力)	1. I2SCKO (クロック出力) 2. I2SDO (データ出力)
3) WS 周波数	fs/4、TA1OUT (TMRA1 出力) のどちらかを選択可能	-
4) ボーレート (@fc = 40 MHz)	20、10、5、2.5 Mbps から選択可能	
5) 送信バッファ	16バイト × 2チャンネル (右、左)	32バイト
6) データ方向	MSB-first、LSB-first のどちらかを選択可能	
7) データ長	8ビット、16ビットのどちらかを選択可能	
8) クロックのエッジ	立ち上がりエッジ、立ち下がりエッジのどちらかを選択可能	
9) 割り込み	INTI2S (FIFO エンプティ割り込み)	

3.20.1 ブロック図

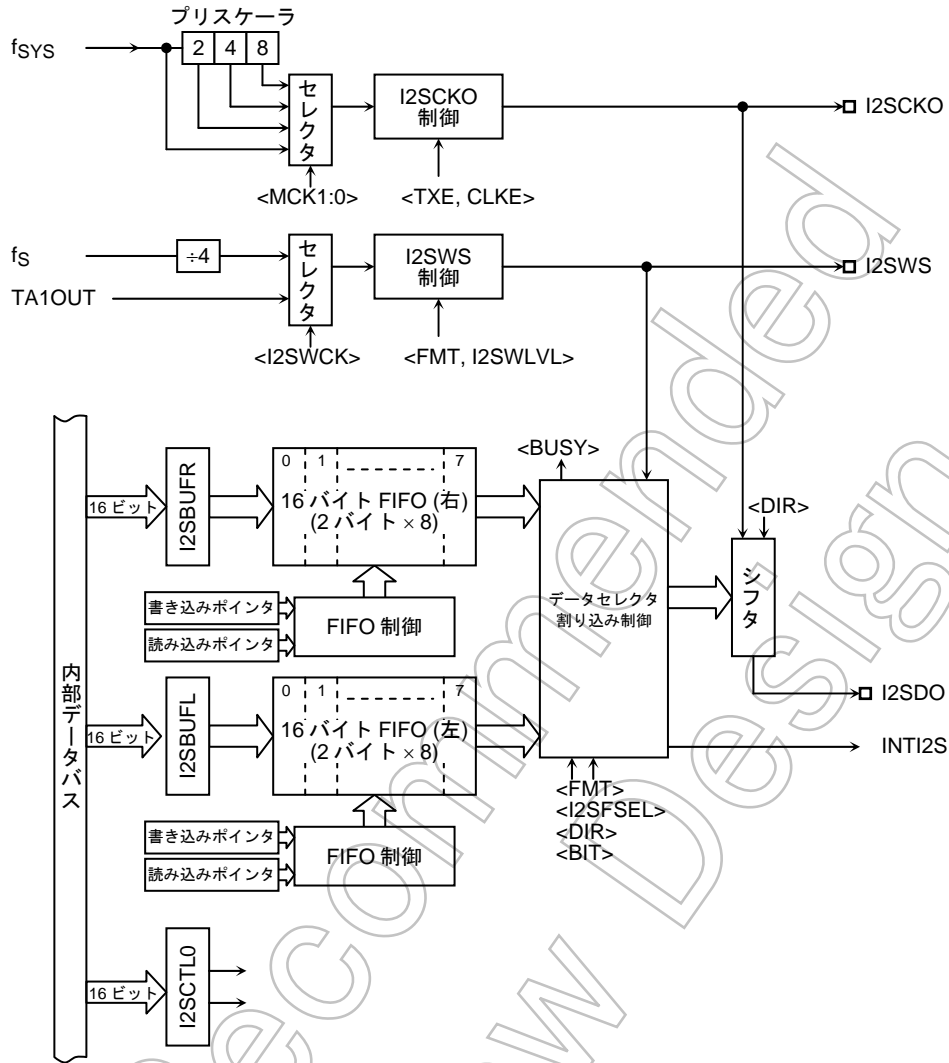


図 3.20.1 I²S ブロック図

3.20.2 SFR

以下の表は I²S の SFR です。この I²S は 16 ビットデータバスで CPU に接続されています。
これらの SFR にアクセスするとき、2 バイトの転送命令を使用してください。

I2SCTL0 レジスタ

	7	6	5	4	3	2	1	0
I2SCTL0 (080EH)	TXE	FMT	BUSY	DIR	BIT	MCK1	MCK0	I2SWCK
Read/Write	R/W		R	R/W				
リセット後	0	0	0	0	0	0	0	0
機能	送信 0: 停止 1: 開始	モード 0: I ² S 1: SIO	ステータス 0: 停止 1: 送信中	送信開始ビット 0: MSB 1: LSB	ビット数 0: 8 ビット 1: 16 ビット	ボーレート 00: fsys 10: fsys/4 01: fsys/2 11: fsys/8		WS クロック 0: fs/4 1: TA1OUT

注) <I2SWCK>は I²S モードのみ有効です。

	15	14	13	12	11	10	9	8
(080FH)	I2SWLVL	EDGE	I2SFSEL	I2SCLKE				SYSCKE
Read/Write	R/W							R/W
リセット後	0	0	0	0				0
機能	WS レベル 0: Low 左 1: High 左	データ出力用クロックエッジ 0: 立ち下がり 1: 立ち上がり	ステレオ用選択 0: ステレオ (2チャンネル) 1: モノラル (1チャンネル)	クロック許可 (送信後) 0: 動作 1: 停止				システムクロック 0: 禁止 1: 許可

注) <I2SWLVL>、<I2SFSEL>、<I2SCLKE>は I²S モードのみ有効です。

I2SBUFR レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2SBUFR (0800H)	R15	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	R0
Read/Write	W															
リセット後	不定															
機能	送信バッファ用レジスタ (FIFO) (右チャンネル)															

リード
モディファイ
ライト
できません。

I2SBUFL レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2SBUFL (0808H)	L15	L14	L13	L12	L11	L10	L9	L8	L7	L6	L5	L4	L3	L2	L1	L0
Read/Write	W															
リセット後	不定															
機能	送信バッファ用レジスタ (FIFO) (左チャンネル)															

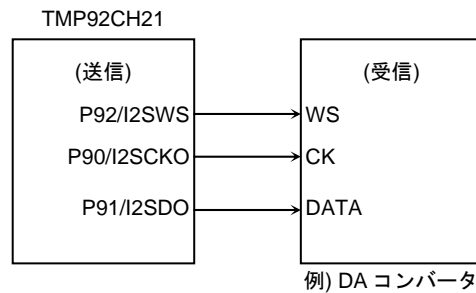
リード
モディファイ
ライト
できません。

図 3.20.2 I²S SFR

3.20.3 I²Sモードの説明

(1) 接続例

図 3.20.3は外部LSIとの接続例を示しています。



注) リセット後、P90~P92はハイインピーダンス状態になります。必要に応じてプルアップ、あるいはプルダウンに接続してください。

図 3.20.3 外部 LSI との接続例

(2) 動作手順

32 バイトの FIFO バッファを内蔵しており、FIFO のデータが空になることにより、INTI2S 割り込みが発生します。割り込みルーチン中に次の送信データを FIFO に書き込んでください。

設定例およびタイミング図を以下に示します。

(設定例) I²S モードで I2SWS を 8.192 KHz、I2SCKO を 10 MHz、立ち上がりエッジに同期してデータ送信を行う場合 (@f_{sys} = 20 MHz)

(メインルーチン)

	7	6	5	4	3	2	1	0	
INTE5I2S	X	0	0	1	X	-	-	-	割り込みレベルを設定
P9CR	-	-	-	-	-	0	0	0	端子を P90 (I2SCKO)、P91 (I2SDO)、P92 (I2SWS) に設定
P9FC	-	-	-	-	-	1	1	1	
I2SCTL0	0	0	-	0	0	0	1	0	I ² S モード、MSB-first、8 ビット、f _{sys} /2 クロックに設定
	0	1	0	1	0	0	0	1	立ち上がりエッジ、クロック停止に設定
I2SBUFR	**	**	**	**	**	**	**	**	16 バイトデータを右用の FIFO にライト (8 回)
I2SBUFL	**	**	**	**	**	**	**	**	16 バイトデータを左用の FIFO にライト (8 回)
I2SCTL0	1	0	-	0	0	0	1	0	送信開始
	0	1	0	1	0	0	0	1	

(INTI2S 割り込みルーチン)

I2SBUFR	**	**	**	**	**	**	**	**	16 バイトデータを右用の FIFO にライト (8 回)
I2SBUFL	**	**	**	**	**	**	**	**	16 バイトデータを左用の FIFO にライト (8 回)

X: Don't care, -: No change

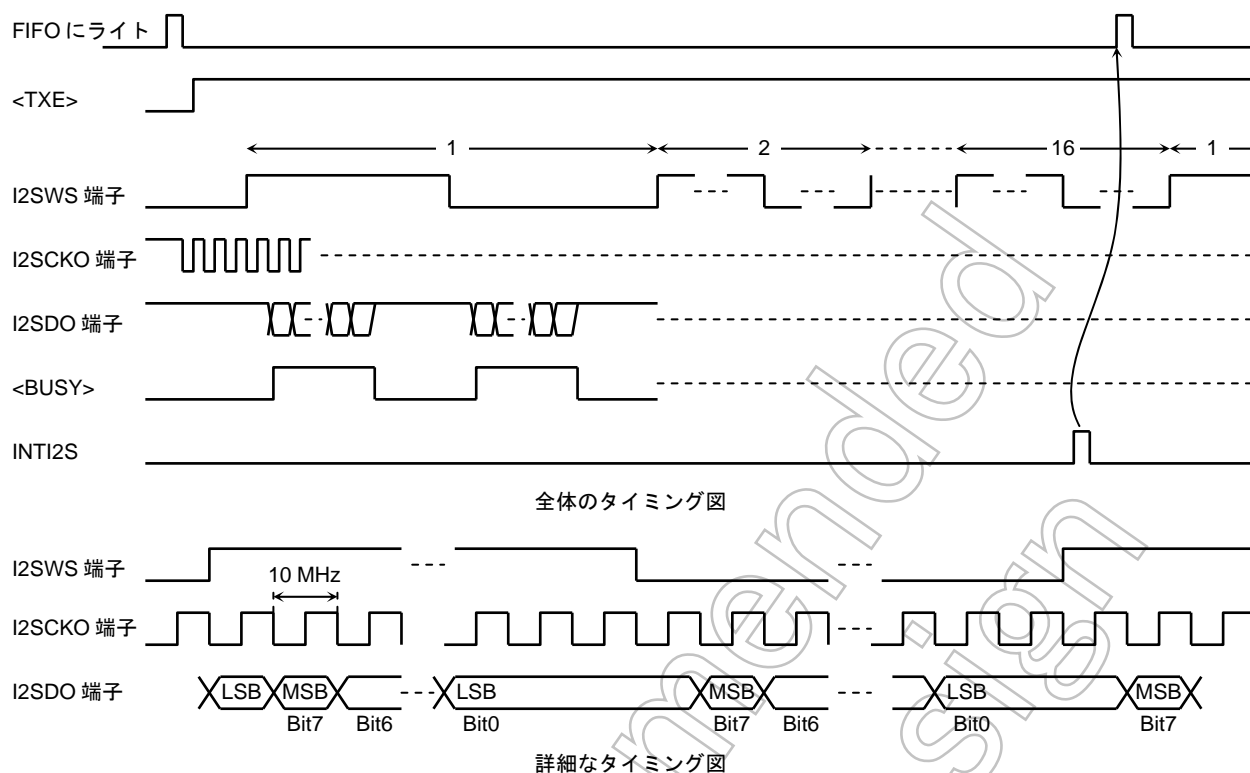


図 3.20.4 タイミング図

(3) 注意事項

1) INTI2S 発生タイミング

INTI2S は FIFO の最後のデータを内部シフトレジスタへ転送後発生します。これにより FIFO は空となり次のデータを書き込み許可となります。

2) I2SCTL0<TXE>

<TXE>レジスタに“1”を書き込むことによって送信を開始し、“0”を書き込むことによって停止します。

<TXE>に一度“1”を書き込むと、自動的に右、左と交互に送信します。

送信を停止する場合、INTI2S 割り込みルーチンで<BUSY>が“0”に変わった後に“0”を<TXE>に書き込んでください。

なお、送信中に<TXE>に“0”を書き込んだ場合は直ちに送信を停止します。

3) FIFO 使用容量

16 バイトの FIFO が右、左各チャンネルに用意されています。全データを使用する必要はありませんが、2、4、6、8、10、12、14、16 のような偶数バイトで使用してください。

4) I2SCTL0<I2SFSEL>

“モノラル”で使用する場合、<I2SFSEL>に“1”を書き込みます。その場合 FIFO の右チャンネルを使用してください。左用 FIFO にはデータを書き込む必要はありません。チャンネルの送信データは“0”固定になります。

5) I2SBUFR、I2SBUFL のアドレス

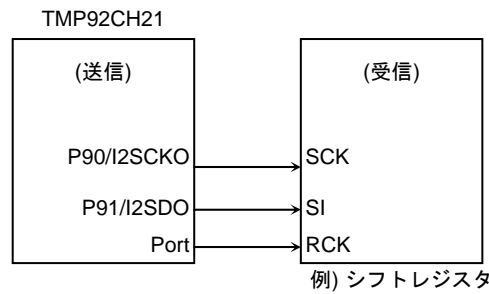
I2SBUFR、I2SBUFL にデータを書き込む際に“ワード、ロングワードまたはデータ転送命令”を使用します。“バイトデータ転送命令”は使用できません。

I2SBUFR のアドレスは 0800H から 0803H まで、I2SBUFL は 0808H から 080BH まで有効です。

3.20.4 SIOモードの説明

(1) 接続例

図 3.20.5は外部LSIとの接続例を示しています。



注) リセット後、P90~P91 はハイインピーダンス状態になります。必要に応じてプルアップ、あるいはプルダウンに接続してください。

図 3.20.5 外部 LSI との接続例

(2) 動作手順

32 バイトの FIFO バッファを内蔵しており FIFO のデータが空になることにより、INTI2S 割り込みが発生します。

割り込みルーチン中で次の送信データを FIFO に書き込みます。

(設定例) SIO モードで送信、I2SCKO = 10 MHz、立ち上がりエッジに同期 (@f_{sys} = 20 MHz)

(メインルーチン)

	7	6	5	4	3	2	1	0	
INTE5I2S	X	0	0	1	X	-	-	-	割り込みレベルを設定
P9CR	-	-	-	-	-	-	0	0	端子を P90 (I2SCKO)、P91 (I2SDO) に設定
P9FC	-	-	-	-	-	-	1	1	
I2SCTL0	0	1	-	1	0	0	1	-	SIO モード、LSB-first、8 ビット、f _{sys} /2 クロックを設定
	-	1	-	1	0	0	0	1	立ち上がりエッジを設定
I2SBUFR	**	**	**	**	**	**	**	**	32 バイトデータを FIFO にライト (16 回)
I2SCTL0	1	1	-	1	0	0	1	-	送信開始
	-	1	-	1	0	0	0	1	

(INTI2S 割り込みルーチン)

I2SBUFR	**	**	**	**	**	**	**	**	32 バイトデータを FIFO にライト (16 回)
	If <BUSY> == "1" then WAIT else NEXT								32 バイトデータを送信終了確認
I2SCTL0	1	1	-	1	0	0	1	-	送信開始
	-	1	-	1	0	0	0	1	

X: Don't care, -: No change

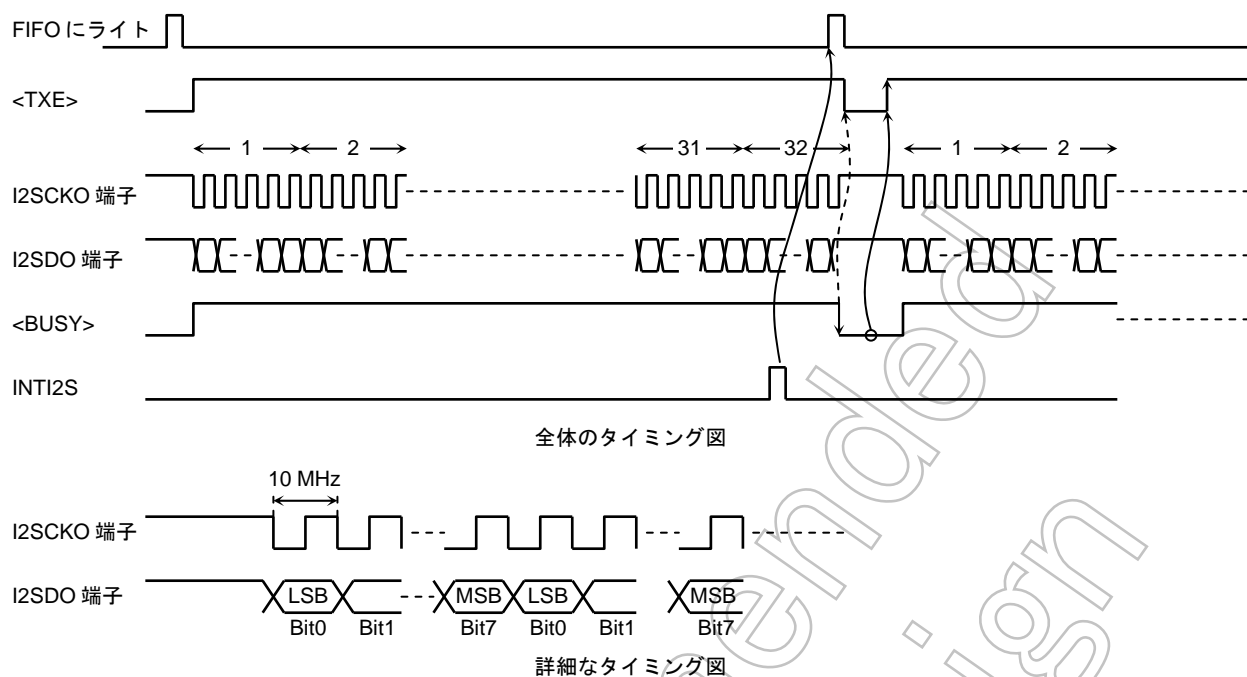


図 3.20.6 タイミング図

(3) 注意事項

1) INTI2S 発生タイミング

INTI2S は FIFO の最後のデータが内部シフトレジスタに転送された後、発生します。

これにより FIFO は空となり次のデータを書き込み許可となります。

2) I2SCTL0<TXE>

<TXE>レジスタに“1”を書き込むことによって送信を開始し、“0”を書き込むことによって停止します。

<BUSY>が“1”から“0”になることによって<TXE>レジスタは“0”にクリアされます。

なお、送信中に<TXE>に“0”を書き込んだ場合は直ちに送信を停止します。

3) FIFO 使用容量

32 バイトの FIFO が SIO モード用に用意されています。全データを使用する必要はありませんが、2、4、6、8、10、12、14、16、18、20、22、24、26、28、30、32 のような偶数バイトで使用してください。

FIFO に書き込まれたデータすべて送信した後、<BUSY>は“0”に、<TXE>は“0”に自動的にクリアされます。送信を続ける場合は FIFO にデータを書き込んだ後に<TXE>に“1”を書き込んでください。

FIFO に書き込まれたデータ数は自動的にカウントされ、<TXE>に“1”を書き込むことによって保持されます。

4) I2SBUFR、I2SBUFL のアドレス

I2SBUFR (I2SBUFL には書き込めません。)にデータを書き込む際に“ワード、またはロングワードデータ転送命令”を使用します。“バイトデータ転送命令”は使用できません。

I2SBUFR のアドレスは 0800H から 0803H まで有効です。

3.21 ブートROM

ユーザのブートプログラムをダウンロードするためのブートROMを内蔵しています。ダウンロードの方法として3種類に対応しています。

3.21.1 動作モード

本製品にはMULTI、BOOTモードの2つの動作モードがあります。各モードはRESETがアサートされたときのAM1、AM0端子の状態により設定されます。

- (1) MULTIモード: リセット後、CPUは外部メモリから命令をフェッチし、実行します。
- (2) BOOTモード: リセット後、CPUは内蔵ブートROMからの命令をフェッチし、実行します。内蔵ブートROMは、オンボードメモリ(例NORフラッシュ)にプログラミングを実行するユーザプログラムをNANDフラッシュメモリから、またはUSBから、またはUART通信により内蔵RAMに転送した後、内蔵RAMに分岐します。
この動作によって、ユーザプログラムはブートを開始します。
表3.21.2はブート動作の概要を示しています。

表 3.21.1 動作モード

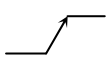
モード設定端子			動作モード	
RESET	AM1	AM0		
	0	1	MULTI	外部16ビットバスメモリから開始
	1	0		外部32ビットバスメモリから開始
	1	1	BOOT (内蔵ブートROMから開始)	
	0	0	TEST (設定禁止)	

表 3.21.2 ブート動作の概要

名称	認識順	ロード			ロード後の動作
		転送元	I/F	転送先	
(a)	1	NANDフラッシュ	データバス	内蔵RAM	内蔵RAMに分岐
(b)	2	PC	UART		
(c)	3	PC	USB		

3.21.2 内蔵ブートROMのハードウェア仕様

(1) メモリマップ

図 3.21.1はBOOTモードのメモリマップを示します。

内蔵ブートROMは、8 K バイトROMで構成され、3FE000H~3FFFFFFH アドレスにアサインされています。

MULTI モードでは、ブートROMはアサインされなく上記エリアは外部エリアにアサインされます。

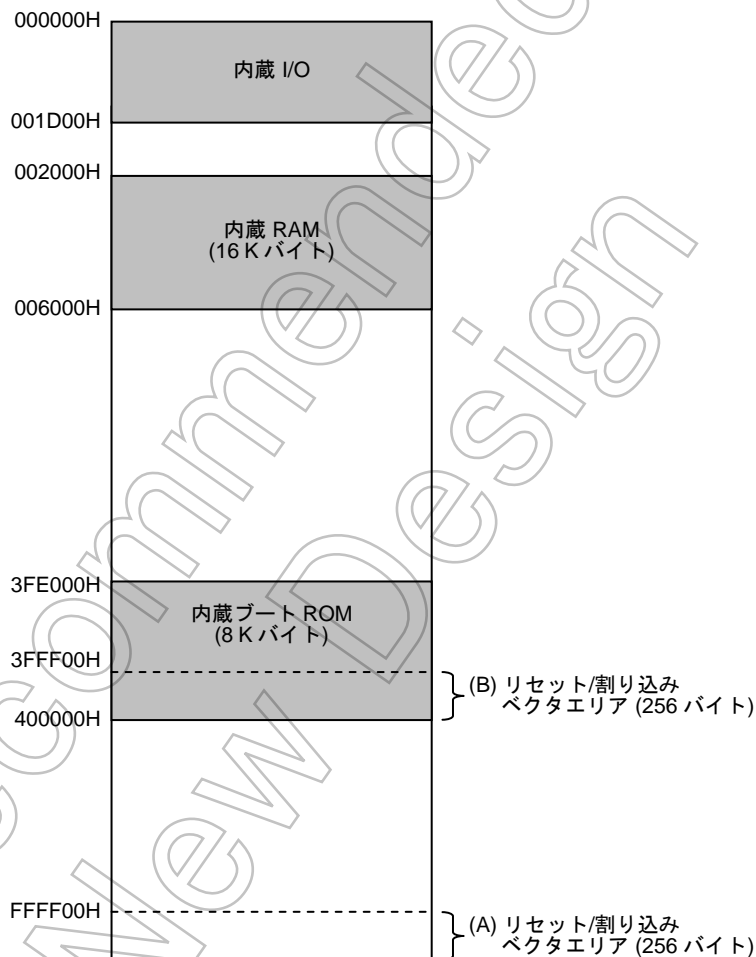


図 3.21.1 BOOTモードのメモリマップ

(2) リセット/割り込みベクタアドレス変換回路

リセット/割り込みベクタアドレス変換回路があります。

独立したリセット/割り込みベクタエリアを持つことがこの機能によって可能となります。

詳細は、3.6.5 内蔵ブートROM制御を参照してください。

(3) ブートROMの排除機能

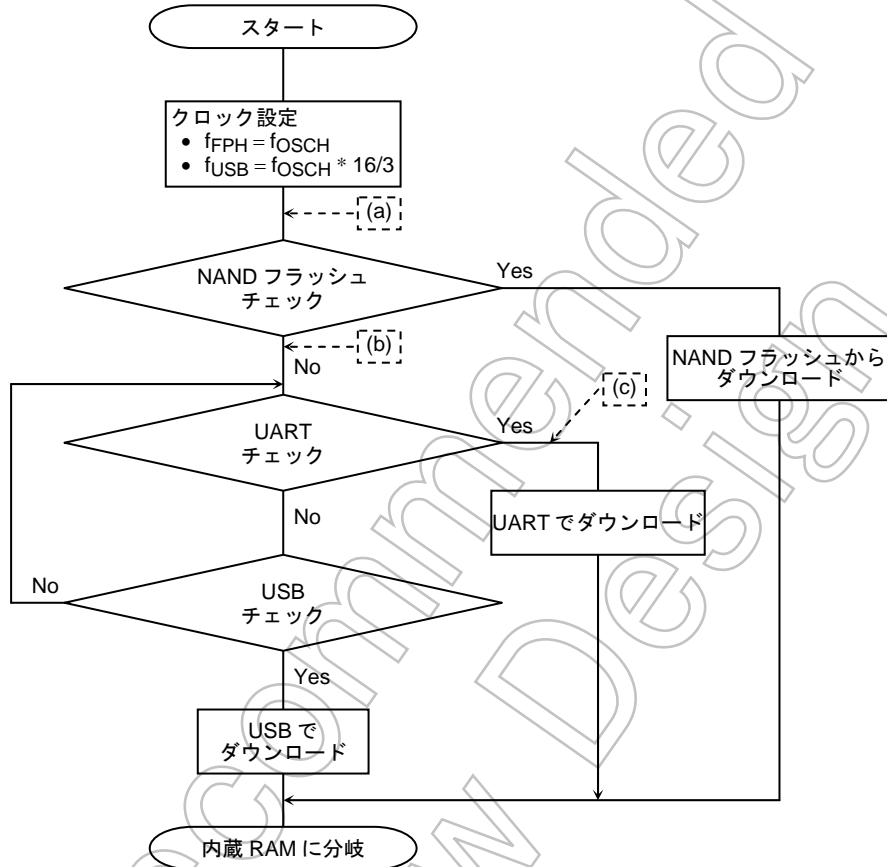
BOOTモードでブートシーケンス実行後、リセットをアサートすることなくアプリケーションシステムプログラムが動作を続けることがあります。この場合、3FE000H~3FFFFFFH アドレスにアサインされた外部メモリは、内蔵ブートROMエリアと重なっているためそのままではアクセスすることができません。

そのため、内蔵ブートROMのエリアは、BROMCR<ROMLESS>を“1”に設定することによってメモリマップ上排除することが可能となります。

詳細は 3.6.5 内蔵ブートROM制御を参照してください。

3.21.3 ブート動作の概要

ブート動作の転送元として NAND フラッシュ、UART、USB の 3 つから選択可能です。リセット後、内蔵ブートROM上のブートプログラムは、図 3.21.2 のようなフローチャートで動作します。いずれも転送元から内蔵RAMへユーザプログラムを転送後、内蔵RAMへ分岐します。また、内蔵RAMの使用方法は転送元に関係なく共通であり 図 3.21.3 に示します。



- 注 1) USB でダウンロードする場合、PC 上に専用の USB デバイスドライバ、アプリケーションソフトが必要となります。
- 注 2) UART でダウンロードする場合、PC 上に専用のアプリケーションソフトが必要となります。
- 注 3) フローチャート中の (a)、(b)、(c) は外部ポート端子の設定を変更している部分を示します。変更内容については表 3.21.3 を参照してください。

図 3.21.2 内蔵ブート ROM のフローチャート概要

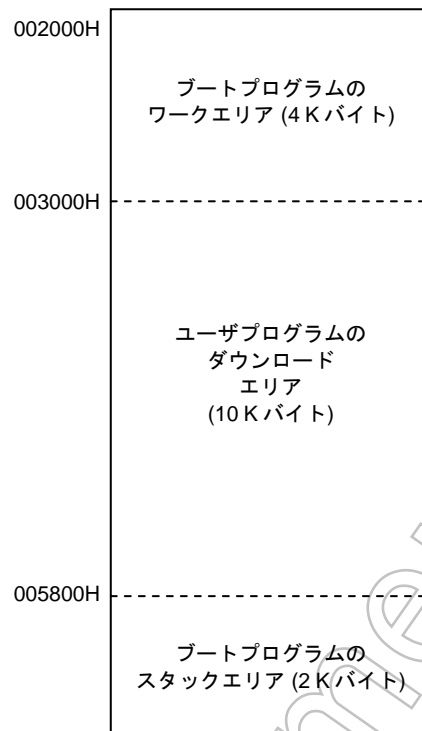


図 3.21.3 ブートプログラムの内蔵 RAM 使用方法

(1) ポート設定、端子処理

ブートプログラムでは表 3.21.3に示すようなポート設定をしています。また、表 3.21.4 にブートプログラムを使用する際のポート端子推奨処理一覧を示しますので、システム上問題ないか確認の上、設計してください。

なお、他のポートは設定をしていません。リセット状態、もしくはブートプログラム起動時の状態になっています。

表 3.21.3 ブートプログラムでのポート設定

ポート名	機能名	I/O	ブートプログラムによる端子設定内容			
			(a)	(b)	(c)	
NAND フラッシュ	P71	$\overline{\text{NDRE}}$	出力	左記機能端子に設定します。	(a) から変更なし。	(a) から変更なし。
	P72	$\overline{\text{NDWE}}$	出力			
	P75	$\overline{\text{NDR/B}}$	入力			
	P84	$\overline{\text{NDOCE}}$	出力			
	PJ5	$\overline{\text{NDALE}}$	出力			
	PJ6	$\overline{\text{NDCLE}}$	出力			
-	D7-D0	入出力	専用端子のため、特に設定しません。			
UART	PF0	TXD1	出力	リセット後の入力ポート状態を変更しません。	(a) から変更なし。	TXD1 出力端子に設定します。
	PF1	RXD1	入力	RXD1 入力端子に設定します。		(a) から変更なし。
USB	-	D+	入出力	専用端子のため、特に設定しません。		
	-	D-	入出力			
	PC6	PUCTL	出力	リセット後の入力ポート状態を変更しません。	出力ポートに設定します。	(b) から変更なし。

表 3.21.4 推奨端子処理一覧

ポート名	機能名	I/O	ブート方法別のボード上の端子設定			
			NAND フラッシュ	UART	USB	
NAND フラッシュ	P71	NDRE	出力	NAND フラッシュへ接続必要です。リセットにより入力ポートになりますので、プルアップ (推奨 100 kΩ) してください。	UART からブートするための特別な処理は不要です。システムとして NAND フラッシュを使用しない場合は、左記 I/O の方向に注意の上 (衝突しないように) 設計してください。	USB からブートするための特別な処理は不要です。システムとして NAND フラッシュを使用しない場合は、左記 I/O の方向に注意の上 (衝突しないように) 設計してください。
	P72	NDWE	出力			
	P75	NDR/B	入力			
	P84	ND0CE	出力			
	PJ5	NDALE	出力			
	PJ6	NDCLE	出力			
	-	D7 to D0	入出力			
UART	PF0	TXD1	出力	NAND フラッシュからブートするための特別な処理は不要です。	レベルシフタへ接続必要です。	USB からブートするための特別な処理は不要です。 UART 処理への移行を防止するため、プルアップ (推奨 100 kΩ) してください。
	PF1	RXD1	入力			
USB	-	D+	入出力	NAND フラッシュからブートするための特別な処理は不要です。	UART からブートするための特別な処理は不要です。	ダンピング抵抗 (推奨 27Ω) と ON/OFF 制御可能なプルアップ抵抗 (推奨 1.5 kΩ) を設け USB コネクタへ接続必要です。
	-	D-	入出力			ダンピング抵抗 (推奨 27Ω) を設け USB コネクタへ接続必要です。
	PC6	PUCTL	出力			D+端子のプルアップ抵抗の ON/OFF 制御端子として使用しています。“1”で ON する様に外部にスイッチを設けてください。また、リセットにより入力ポートになりますのでプルダウン (推奨 100 kΩ) してください。

注 1) NAND フラッシュまたは UART からブートする場合で、かつ システムとして USB を使用する場合は、USB の D+端子用のプルアップ抵抗がブートモード時に ON にしないでください。

注 2) USB からブートする場合、PC 上で UART のアプリケーションソフトは起動しないでください。

注 3) UART からブートする場合、USB コネクタは接続しないでください。

(2) ブートプログラムの I/O レジスタ設定

ブートプログラムにて設定している内蔵I/Oレジスタを表 3.21.5に示します。

ブートシーケンス実行後、リセットをアサートすることなくアプリケーションシステムプログラムが動作を続ける場合、これらの設定値を注意の上プログラムを作成してください。また、CPU内レジスタ、内蔵RAMもブートプログラム実行後の状態となっていますので同様に注意してください。

表 3.21.5 内蔵 I/O レジスタ一覧

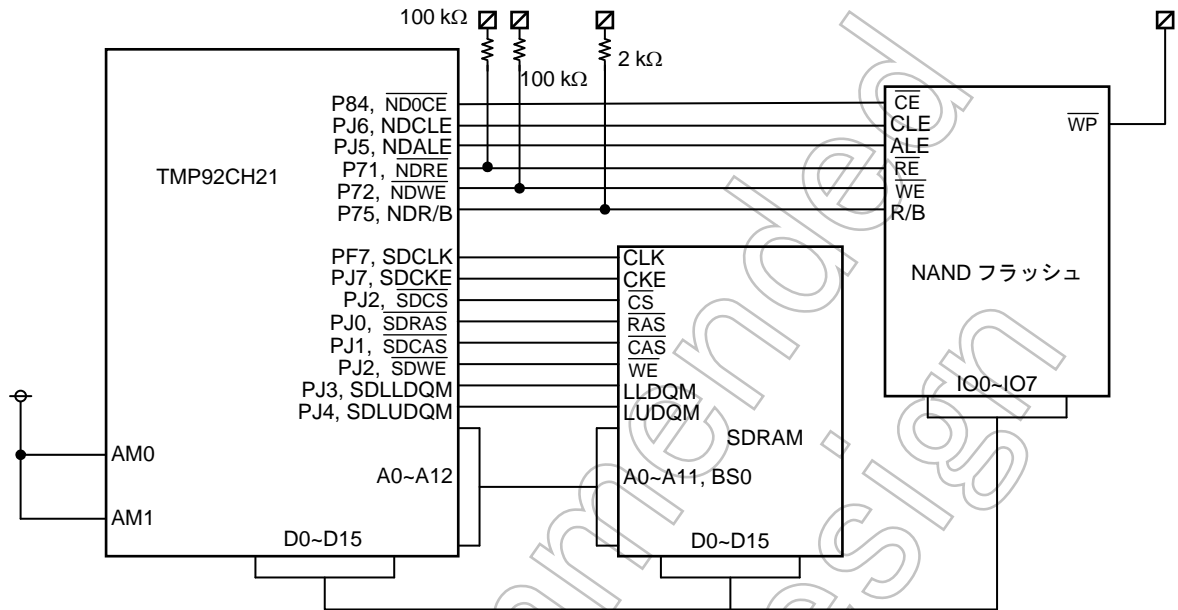
レジスタ名称	設定値	設定内容
WDMOD	00H	ウォッチドックタイマは停止しています。
WDCR	B1H	ウォッチドックタイマは禁止状態です。
SYSCR0	80H	システムクロックの設定をします。
SYSCR1	00H	システムクロックの設定をします。
SYSCR2	2CH	システムクロックの設定をします。
PLLCR0	40H	ブートで USB を使用した場合、f _{FPH} に PLL 出力クロックを使用する設定をします。
	00H	ブートで USB 以外を使用した場合、f _{FPH} に PLL 出力クロックを使用しない設定をします。
PLLCR1	80H	PLLON の設定をします。ブート起動方法に関わらず PLLON しています。
INTEUSB	04H	USB 割り込みレベルを設定します。
INTETC01	44H	INTTC 割り込みレベルを設定します。

注 1) ここでは、NAND フラッシュ、UART、USB の各 I/O レジスタに対する設定値は省略しています。
ユーザプログラム内でこれらの機能を使用する場合は、各 I/O レジスタを再設定してください。

3.21.4 NANDフラッシュからのダウンロード

(1) 接続例

図 3.21.4はNANDフラッシュからダウンロードする場合の例(16ビットSDRAMはプログラムメモリを想定)を示しています。



- 注 1) プルアップ抵抗の値は推奨値です。
 注 2) NAND フラッシュの \overline{WP} (ライトプロテクト) 端子は本製品では対応してません。
 必要な場合は外部回路を用意してください。

図 3.21.4 NAND フラッシュ接続例

(2) 対応可能な NAND フラッシュ

ブートプログラムは、SmartMedia™の物理フォーマット仕様Ver1.20 を基準にして設計されています。表 3.21.6にメモリデバイスとそのデバイスコードの対応表を示します。

表 3.21.6 使用可能なメモリ

メモリサイズ[Mバイト]	NAND フラッシュ 3.3 V モデル	マスク ROM 3.3 V モデル
1	不可	
2	不可	
4	可 (E3H)	可 (D5H)
8	可 (E6H)	可 (D6H)
16	可 (73H)	可 (57H)
32	可 (75H)	可 (58H)
64	可 (76H)	可 (D9H)
128	可 (79H)	可 (DAH)

(3) データフォーマット

ダウンロードデータは、ブート認識コード (4 バイト)、ユーザ プログラムサイズ (2 バイト)、ユーザプログラム (最大 10 Kバイト) からなります。これらを 図 3.21.5のように NANDフラッシュにプログラムしてください。また、NANDフラッシュの冗長エリア中の ECCコード、ブロックステータスエリア、データステータスエリアもプログラムしてください。

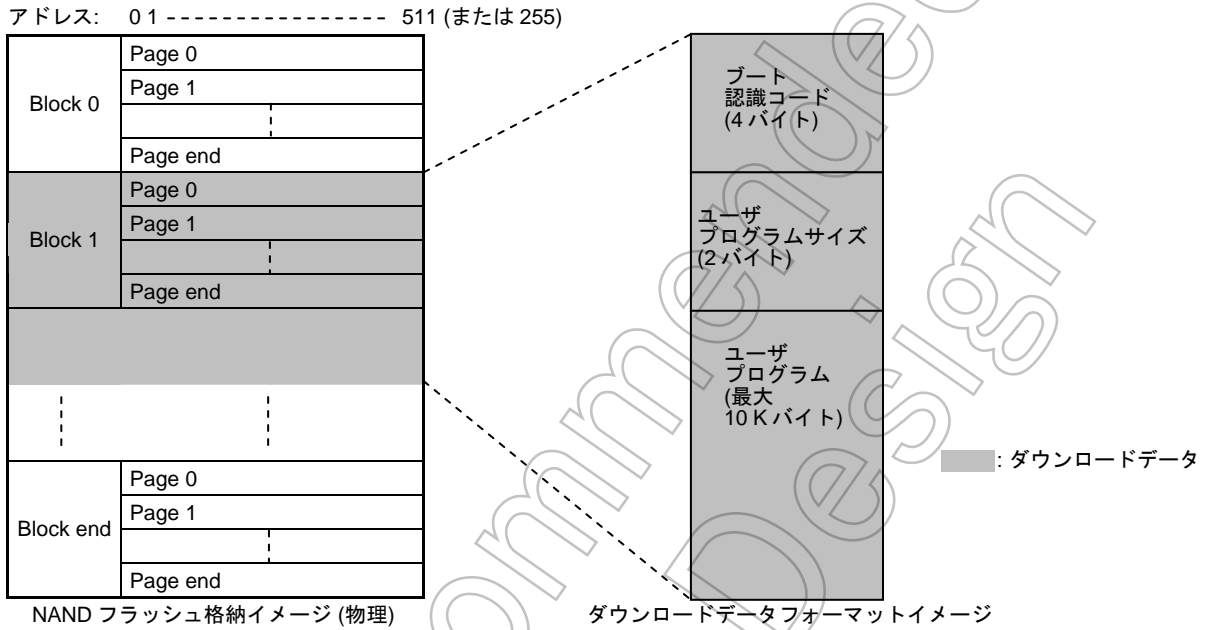


図 3.21.5 ダウンロードデータイメージ

a) ブート認識コード (4 バイト)

最初にブートプログラムは“ブート認識コード”をチェックします。ASCII コードの“BOOT”文字列が NAND フラッシュの Block 1 の Page 0 の最初の 4 バイトからリードされると、ブートプログラムはブートの転送元が NAND フラッシュと判断します。

42H("B")
4FH("O")
4FH("O")
54H("T")

図 3.21.6 ブート認識コード

b) ユーザプログラムサイズ (2 バイト)

プログラムサイズをブート認識コードの次にプログラムしてください。最初のバイトは下位 8 ビット、次は上位 8 ビットです。このサイズはユーザ プログラムのみを意味しており、“ブート認識コード (4 バイト)”、“ユーザプログラムサイズ (2 バイト)”を含みません。

これは 10 K バイト以下である必要があり、最大数は 2800H となります。

サイズ (下位 8 ビット)
サイズ (上位 8 ビット)

図 3.21.7 ユーザプログラムサイズ

c) ユーザプログラム (最大 10 K バイト)

内蔵 RAM に展開するユーザプログラムです。ユーザプログラム作成の際に、次の点に特に注意してください。

1. 開始アドレス = 3000H にしてください。

あらかじめ、ユーザプログラムをバイナリフォーマットで NAND フラッシュにプログラム (ライト) してください。以下にバイナリフォーマットファイルの作成方法を例を使用し説明します。

例) Intel HEX フォーマットファイルからバイナリフォーマットファイルへの変換方法

Intel HEX フォーマットファイルをテキストエディタで表示させると下記のように表示されます。

```
: 103000000607F100030000F201030000B1F16010B7
: 00000001FF
```

実際にはこれらのデータは ASCII コードで構成されるため以下ようになります。

```
3A31303330303030303030363037463130303033303030304632303130333030303030
423146313630313042370D0A3A30303030303030303146460D0A
```

そのため、はじめに以下の表の規則に従って、バイナリフォーマットに上記のデータを変換してください。

変換前 (ASCII)	変換後 (バイナリ)
3A	3A (3A のみ変換しません)
30~39	0~9
41 or 61	A
42 or 62	B
43 or 63	C
44 or 64	D
45 or 65	E
46 or 66	F
0D0A	削除

次にデータ以外の文字 (スタートマーク、データ数、アドレス、レコードタイプ、チェックサム) を削除したものがユーザプログラムになります。

Intel HEX フォーマットは以下のようなフォーマットです。

```
データレコード  3A 10 3000 00 0607F100030000F201030000B1F16010 B7
                  ↓      ↓      ↓      ↓      ↓      ↓      ↓      ↓      ↓
                  3A  アドレス データ数 レコードタイプ データ      チェックサム
                  ↓
                  : (スタートマーク)

エンドレコード  3A 00 0000 01 FF
                  ↓      ↓      ↓      ↓      ↓
                  3A  アドレス データ数 レコードタイプ データ
                  ↓
                  : (スタートマーク)
```

(4) エラーチェック項目

以下はブートプログラムによるチェック項目です。

各チェックでエラーが発生した場合、ブートプログラムは NAND フラッシュからのダウンロードをキャンセルし、次の動作 (UART、USB の認識) に移行します。

a) 対応可能な NAND フラッシュ

NAND フラッシュからデバイスコードをリードし、対応可能かどうかをチェックします。

b) ブート認識コード

c) ユーザプログラムサイズ

ブートプログラムサイズが 10 K バイト以下かどうかをチェックします。

d) ブロックステータスエリア

各ブロックがエラーかどうかをチェックします。各ブロック先頭ページのブロックステータスエリア (冗長部内データ) に “0” が 2 ビット以上あればエラーと判定します。

e) データステータスエリア

各データがエラーかどうかをチェックします。データステータスエリア (冗長部内データ) に “0” が 4 ビット以上あればエラーと判定します。

f) ECC エラー

NDFC が計算した ECC コードと NAND フラッシュからの ECC コードをリードし訂正可能かどうかをチェックし、訂正不可能の場合、エラーと判定します。

g) NAND フラッシュの R/B

各動作で R/B 端子をチェックし、約 70[μ s] (@fFPH = 40 MHz) 以上 Busy 状態の場合エラーと判定します。

(5) ECC エラーチェック

a) ECC コードの演算

NDFC (NAND フラッシュコントローラ) の計算した ECC コードを使用します。

b) データ訂正

ブートプログラムは以下のように動作します。

1. NDFC からの ECC コードと NAND フラッシュの ECC コードを比較します。

2. 以下の各ケースに従って判断し、訂正します。

- | | |
|--------------------------|----------------------|
| (a) : データエラーなし | → (OK) 次の動作へ |
| (b) : 1 ビットデータエラー | → (OK) エラーを訂正し、次の動作へ |
| (c) : 2 ビット以上のデータエラー | → (Error) 終了 |
| (d) : ECC コード 1 ビットエラー | → (OK) 次の動作へ |
| (e) : ECC コード 2 ビット以上エラー | → (Error) 終了 |

詳細な処理フローを参考までに下記に示します。

- 1) 計算 ECC データと冗長部の ECC データを下位 2 バイトがラインパリティ、上位 2 バイトがカラムパリティ (カラムパリティの有効データは上位 2 バイト中の下位 6 ビット) になるように 4 バイトデータに変換後、排他的論理和をとり XOR データを生成します。
- 2) XOR データが 0 なら ECC の一致が取れているので正常終了、0 以外の場合、データ補正可能なエラーなのかチェックします。
- 3) XOR データ内に ON ビットが 2 ビット以上なければ、ECC データ自体の 1 ビット異常と認識し、正常終了します。
- 4) XOR データ内の有効データ、Bit0 から Bit21 までの 2 ビットずつのデータが 01B または 10B のいずれかになっていればデータ補正可能なエラーと判定し、データ補正に移行します。00B または 11B が存在するならデータ補正不可能なエラーと判定し、異常終了します。

例 1. XOR データが 0026A65AH の場合、2 進数では
0000000000 10 01 10 10 10 01 10 01 01 10 10B で有効データの Bit21 までの 2 ビットずつの組み合わせが、01B か 10B のどちらかになるので補正可能なエラーと判定します。

例 2. XOR データが 002EA65AH の場合、2 進数では
0000000000 10 11 10 10 10 01 10 01 01 10 10B で Bit18 と Bit19 の組み合わせで 11B になるので補正不可能なエラーと判定します。

- 5) データ補正では XOR データのラインパリティからエラーのあった行情報、カラムパリティからビット情報を作成し、その 1 ビットを反転して正常終了します。

例 1. XOR データが 0026A65AH の場合、ラインパリティを 2 進数では
10 10 01 10 01 01 10 10B、10B を 1B と変換、01B を 0B と変換し、1 バイトデータにすると 1 1 0 1 0 0 1 1B で 212 バイト目と判定、同様にカラムパリティから Bit5 と判定します。
212 バイト目、Bit5 を反転してデータ補正を完了します。

3.21.5 UARTでのダウンロード

(1) 接続例

図 3.21.8はUARTの例 (16 ビットNORフラッシュはプログラムメモリを想定) を示しています。

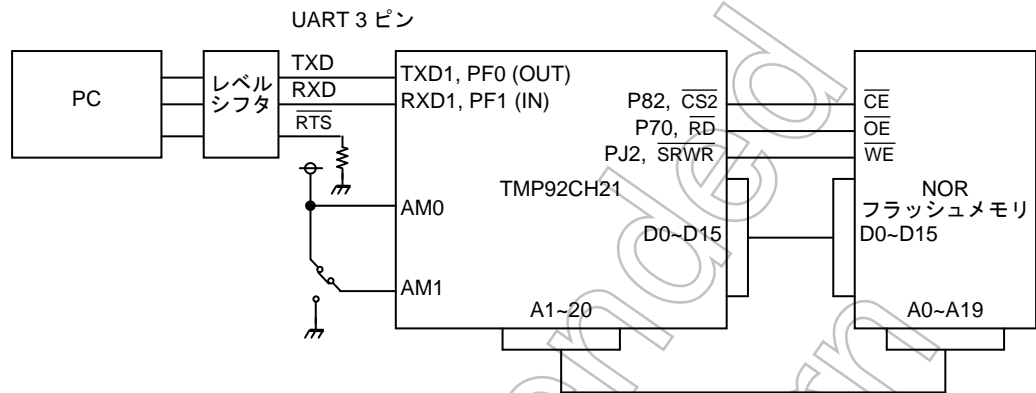


図 3.21.8 UART の例

(2) UART インタフェース仕様

SIO チャンネル 1 がダウンロードに使用されます。

以下は BOOT モードの UART での通信フォーマットを示しています。

ブートの前に、PC 側も同様にセットアップをしてください。

デフォルトボーレートは 9600 bps ですが、表 3.21.9に示される他の値へ変更することが可能です。

シリアル転送モード	: UART (非同期通信) モード、全二重通信
データ長	: 8 ビット
パリティビット	: なし
STOP ビット	: 1 ビット
ハンドシェイク	: なし
ボーレート (デフォルト)	: 9600 bps

(3) UART データ転送フォーマット

表 3.21.7~表 3.21.12は、対応周波数、データ転送フォーマット、ボーレート変更コマンド、動作コマンド、バージョン管理情報、周波数測定結果とその格納アドレスを示しています。

また、これらの表の他に後述のブートプログラム動作説明も参照してください。

表 3.21.7 対応周波数 (f_{OSCH})

6.00 MHz	8.00 MHz	9.00 MHz	10.00 MHz	16.00 MHz	20.00 MHz	22.579 MHz	25.00 MHz	32.00 MHz	33.868 MHz	36.00 MHz	40.00 MHz
-------------	-------------	-------------	--------------	--------------	--------------	---------------	--------------	--------------	---------------	--------------	--------------

注) 発振周波数 f_{OSCH}に関係なく、内蔵の PLL (クロック逡倍回路) は使用しません。

表 3.21.8 転送フォーマット

	転送バイト数	PC から TMP92CH21 への 転送データ	ボーレート	TMP92CH21 から PC への 転送データ	
ブート ROM	1 回目	マッチングデータ (5AH)	9600 bps	– (周波数測定とボーレート自動設定) OK: エコーバックデータ (5AH) Error: 送信なし	
	2 回目	–		バージョン管理情報 (表 3.21.11 参照)	
	3 回目 ~ 6 回目	–		周波数情報 (表 3.21.12 参照)	
	7 回目	–		–	
	8 回目	ボーレート変更コマンド (表 3.21.9)		–	
	9 回目	–		OK: エコーバックデータ Error: エラーコード × 3	
	10 回目 ~ n-4 回目	ユーザプログラム Intel Hex フォーマット (バイナリ)		変更後 ボーレート	NG: チェックサムエラーにより動作停止
	n-3 回目	–			OK: SUM (High) ((6)-c) の注意参照)
	n-2 回目	–			OK: SUM (Low)
	n-1 回目	ユーザプログラム開始コマンド (C0H) (表 3.21.10参照)	– OK: エコーバックデータ (C0H) Error: エラーコード × 3		
n 回目	–				
RAM	–	ユーザプログラム開始アドレスに分岐			

“エラーコード × 3” はエラーコードを 3 回送信することを意味します。例えば、エラーコードが 62H のとき、62H を 3 回送信します。エラーコードについては (4)-b) を参照してください。

表 3.21.9 ボーレート変更コマンド

ボーレート (bps)	9600	19200	38400	57600	115200
変更コマンド	28H	18H	07H	06H	03H

- 注 1) f_{OSCH} (発振周波数) が 16.0、20.0、20.58、25.0 MHz の場合、115200 bps ボーレートは対応していません。
- 注 2) f_{OSCH} (発振周波数) が 10.0 MHz の場合、57600、115200 bps ボーレートは対応していません。
- 注 3) f_{OSCH} (発振周波数) が 6.00、8.00、9.00 MHz の場合、38400、57600、115200 bps ボーレートは対応していません。

表 3.21.10 動作コマンド

動作コマンド	動作
C0H	ユーザプログラム開始

表 3.21.11 バージョン管理情報

バージョン情報	ASCIIコード
FRM1	46H, 52H, 4DH, 31H

表 3.21.12 周波数測定結果データ

発振子の周波数 (MHz)	6.000	8.000	9.000	10.000	16.000	20.000
2000H (RAM 格納アドレス)	09H	0AH	08H	0BH	00H	01H
	22.579	25.000	32.000	33.868	36.000	40.000
	02H	03H	04H	05H	06H	07H

(4) UART ブートプログラム動作の説明

ブートプログラムは、PC から送信されるデータを UART にて受信し内蔵 RAM へ転送します。転送が正常に終了した場合、SUM を計算し、ユーザプログラムの実行を開始する前に PC に結果を送信します。実行する開始アドレスは最初の受信アドレスです。このブートプログラムは、ユーザ独自のオンボードプログラミング制御を可能とします。

a) 動作手順

1. 最初にシリアルケーブルを接続します。マイコンをリセットする前に接続を行ってください。
2. AM1、AM0 両端子を“1”に設定し、マイコンをリセットします。
3. 1st バイトの受信データはマッチングデータを意味します。ブートプログラムが BOOT モードで実行開始すると、マッチングデータの受信待ち状態になります。マッチングデータを受信することでシリアルチャネルの初期ボーレートは 9600 bps に自動的に becomes。マッチングデータは 5AH です。
4. 2nd バイトは 1st バイトのボーレート自動設定が完了すると、PC にエコーバック送信 (5AH) をします。ボーレート自動設定でミスした場合、動作停止状態に移行します。
5. 3rd バイトから 6th バイトは ASCII コードでブートプログラムのバージョン管理情報を送信します。PC は正しいバージョンのブートプログラムであることを確認してください。

6. 7th バイトは測定した周波数情報を送信します。PC は発振周波数が正しく測定されたかを確認してください。
7. 8th バイトの受信データはボーレート変更データです。5 種類のボーレート変更データは表 3.21.9 に示され、使用可能です。ボーレートを変更しない場合でも、初期ボーレートデータ (28H; 9600 bps) を送信してください。ボーレートの変更はエコーバック送信終了後、有効となります。
8. 9th バイトは 8th バイトの受信データが動作周波数に対応するボーレート変更データのひとつであるとき、PC に受信データのエコーバック送信を行います。その後ボーレートの変更を行います。受信ボーレートデータが一致しなかった場合は、ボーレート変更エラーコード (62H) の 3 バイトを送信した後に動作停止状態に移行します。
9. 10th バイトから n-4 バイトの受信データは Intel Hex フォーマットのバイナリデータとして受信されます。またエコーバック送信は行いません。
ブートプログラムは Intel Hex フォーマットのスタートマーク (3AH, “:”) を受信するまで受信データを無視し、エラーコードの送信も行いません。スタートマークを受信後、データ長からチェックサムまでを受信します。受信した書き込みデータは逐次、内蔵 RAM の指定されたアドレスへライトします。
受信エラーまたはチェックサムエラーが発生した場合、PC にエラーコードを戻すことなく動作停止状態に移行します。
エンドレコードの検出で SUM 計算ルーチンを実行しますので、PC はエンドレコードを送信後に SUM の受信待ち状態にしてください。
10. n-3 バイトと n-2 バイトは SUM の値を上位バイト、下位バイトの順序で 2 バイトを PC に送信します。SUM 計算方法の詳細は、後述の“SUM の注意”を参照してください。SUM の計算は、エンドレコードを検出し、受信エラー、あるいは Intel Hex フォーマットのチェックサムエラーがなかった場合のみ実行します。そして SUM の計算後すぐに、SUM データを PC へ送信します。PC はエンドレコードの送信後に SUM の値が送信されるかどうかで RAM への書き込みが正常に終了したかどうかを判断してください。
11. SUM の送信後、ユーザプログラム開始コードの受信状態に移行します。SUM の値が正しい場合、PC はユーザプログラム開始コマンドを n-1 バイトに送信してください。ユーザプログラム開始コマンドは C0H です。
12. n バイトはユーザプログラム開始コードをエコーバック送信します。エコーバック送信後、スタックポインタは 5FFFH に設定され、Intel Hex フォーマットのデータとして最初に受信されたアドレスに分岐します。
13. ユーザプログラム開始コードが間違っている場合や受信エラーが発生した場合、3 バイトのエラーコードを PC に送信後に動作停止状態に移行します。

b) エラーコード

ブートプログラムの処理状況を各種コードでPCに送信します。エラーコードは以下の表 3.21.13に示されます。

表 3.21.13 エラーコード

エラーコード	エラーコードの意味
62H	未対応なボーレートである。
64H	動作コマンドが不適である。
A1H	受信データのフレーミングエラーが発生。
A3H	受信データのオーバランエラーが発生。

*1: ユーザプログラム受信中に受信エラーが発生した場合、エラーコードを PC に送信しません。

*2: エラーコードの送信後、動作停止状態に移行します。

c) SUM の注意点

1. 計算方法

SUM はバイト+バイト+...+バイトを計算し、結果としてワードで返します。すなわちデータはバイトで読み出され、計算されワードで返します。

例:

A1H
B2H
C3H
D4H

左記4バイトが計算対象データの場合、

SUM は

$$A1H + B2H + C3H + D4H = 02EAH$$

$$\text{SUM (HIGH)} = 02H$$

$$\text{SUM (LOW)} = EAH$$

となります。

2. 計算対象データ

計算対象データは、最初に受信したアドレスから最後に受信したアドレスまでのデータとなります。

また、受信アドレスが連続していない場合（書き込まないエリアがある場合）も計算されます。ユーザプログラムは不連続にならないようにしてください。

d) Intel Hex フォーマット (バイナリ) の注意点

1. レコードのチェックサム受信後、次のレコードのスタートマーク (3AH, “:”) を待ちます。レコード間で 3AH 以外のデータを受信してもそのデータを無視します。
2. PC 上のプログラムは、エンドレコードのチェックサム送信後は何も送信せずに 2 バイト分の受信データ (SUM の上位、下位のデータ) 待ち状態にしてください。これはエンドレコードのチェックサム受信後、SUM の計算を行いその計算結果を 2 バイトで返すためです。
3. 内蔵 RAM エリア以外への書き込みの動作は、誤動作の原因になります。レコードを転送する場合、パラグラフアドレスを 0000H に設定してください。
4. アドレスポインタの初期値は 00H となっているため、最初に転送するレコードタイプはレコードである必要はありません。
5. アドレス 3000H から 57FFH はロードするユーザプログラムに割り当てられます。また、10 K バイト以下にしてください。
6. あらかじめ ASCII コードからバイナリフォーマットに Intel Hex フォーマットのユーザプログラムを変換してください。

以下に、バイナリフォーマットファイルの作成方法を例を使用し説明します。

例) Intel HEX フォーマットファイルからバイナリフォーマットファイルへの変換方法

下記は Intel HEX フォーマットファイルをテキストエディタで表示した例を示しています。

```
:103000000607F100030000F201030000B1F16010B7
:00000001FF
```

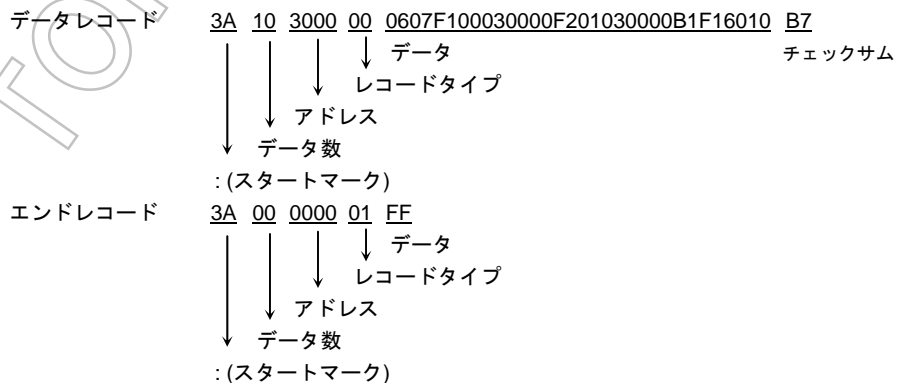
実際には ASCII コードが使用されるため、以下のようになります。

```
3A313033303030303030303630374631303030333030303046323031303330303030
423146313630313042370D0A3A303030303030303146460D0A
```

以下の表の規則に従って、上記のデータを変換してください。

変換前 (ASCII)	変換後 (バイナリ)
3A	3A (3A のみ変換しません)
30~39	0~9
41 or 61	A
42 or 62	B
43 or 63	C
44 or 64	D
45 or 65	E
46 or 66	F
0D0A	削除

Intel HEX フォーマットを以下に示します。



e) ユーザプログラム受信時のエラー

ユーザプログラム受信中に Intel Hex フォーマットで以下のエラーが発生した場合、動作停止状態に移行します。

- レコードタイプが 00H、01H、02H 以外の場合
- チェックサムエラーが発生した場合

f) 周波数測定とボーレート間のエラー

マッチングデータを受信するとき、発振周波数を測定します。

誤差が $\pm 3\%$ 以内の場合、その周波数であると測定できます。

32.00 MHz と 33.868 MHz は 3%の範囲が重なりますので中間値を境とします。ボーレートは測定周波数を基準に設定されます。

各ボーレートは表 3.21.5(8)に示される設定誤差を含みます。

例えば 20.00 MHz、9600 bps の場合、実際には 0.2%の誤差で 9615.38 bps に設定されます。通信が確立するためには、表 3.21.14 に示される設定誤差と、周波数の誤差の合計が $\pm 3\%$ 以内である必要があります。

表 3.21.14 各ボーレートの設定誤差 (%)

	9600 bps	19200 bps	38400 bps	57600 bps	115200 bps
6.000 MHz	0.2	0.2	-	-	-
8.000 MHz	0.2	0.2	-	-	-
9.000 MHz	0.2	-0.7	-	-	-
10.000 MHz	0.2	0.2	-1.4	-	-
16.000 MHz	0.2	0.2	0.2	-0.8	-
20.000 MHz	0.2	0.2	0.2	1.0	-
22.579 MHz	-0.7	-0.7	-0.7	0.1	-
25.000 MHz	0.5	-0.8	0.5	0.5	-
32.000 MHz	0.2	0.2	0.2	0.7	-0.8
33.868 MHz	0.3	0.3	0.3	-0.7	-0.7
36.000 MHz	0.2	-0.7	0.2	0.2	0.2
40.000 MHz	0.2	0.2	0.2	-0.3	1.0

-: 未対応

(5) その他注意点

a) ハンドシェーク機能について

TMP92CH21 では専用の $\overline{\text{CTS}}$ 端子を持っていますが、ブートプログラムでは CTS による送信制御を行っていません。

b) RS-232C コネクタについて

ブート中に RS-232C コネクタの抜き差しを行わないでください。

c) PC 上のソフトウェアについて

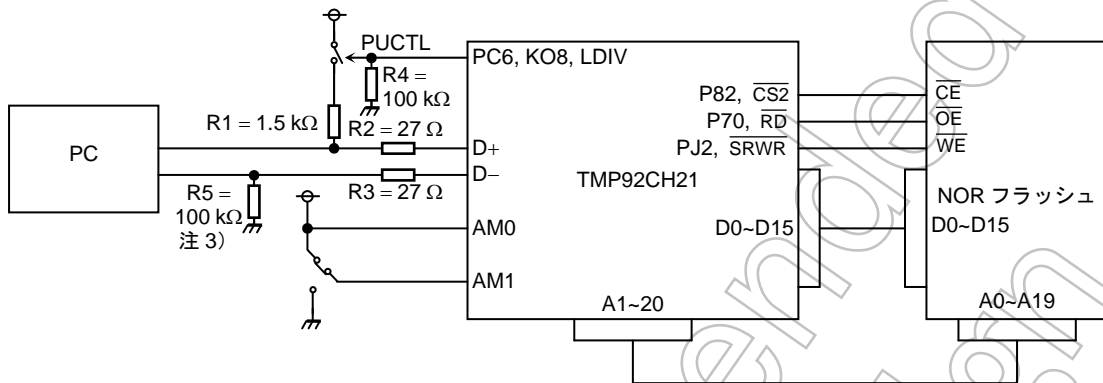
PC 上に専用のアプリケーションソフトが必要となります。

Not Recommended
for New Design

3.21.6 USBでのダウンロード

(1) 接続例

図 3.21.9 はUSB (16 ビットNORフラッシュはプログラムメモリを想定) の接続例を示しています。



注 1)プルアップ/プルダウン抵抗の値は推奨値です。

注2) PC6 (KO8, LDIV) 端子はUSBのPUCTL (プルアップ制御) 出力として割り当てられているため、システムとしてKO8, LDIVなどの機能を使用する際は注意してください。

注3) R2のPull-Downは、貫通電流対策の為にレベル固定のみです。Port等でON/OFF制御を行わない場合は、USB通信を阻害しないように、実際のSetで動作確認の上、その値を決定してください。

図 3.21.9 USBの接続例

(2) USB インタフェース仕様概要

USBでブートする場合、発振周波数は9.00 MHzにしてください。転送スピードはフルスピード(12 Mbps)固定です。

USB仕様の4つの転送タイプ中、下記2つの転送タイプを使用してブート機能を実現しています。

表 3.21.15 ブートプログラムが使用する転送タイプ

転送タイプ	用途
コントロール転送	スタンダードリクエスト、ベンダーリクエストの送信を行います。
バルク転送	ベンダーリクエストでの要求物の返信、ユーザプログラムの送信を行います。

全体フロー概要を以下に記述します。

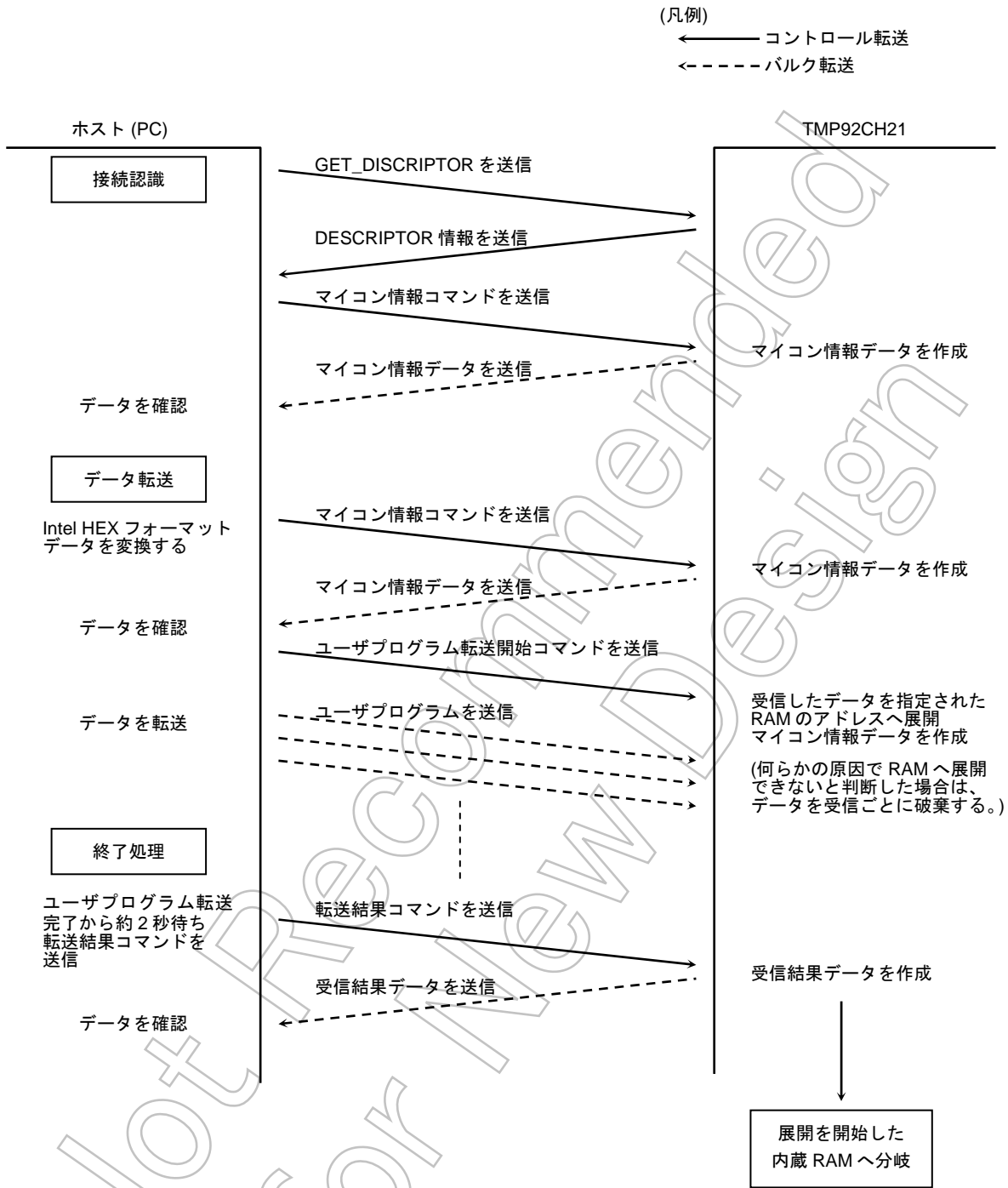


図 3.21.10 全体フロー概要

ベンダーリクエストコマンド表を以下に記述します。

表 3.21.16ベンダーリクエストコマンド表

コマンド名称	ベンダーリクエストの数值	動作概要	備考
マイコン情報コマンド	00H	マイコン情報を送信する。	マイコン情報データの送信はセットアップステージ終了後、バルク IN 転送で行います。
ユーザプログラム転送開始コマンド	02H	ユーザプログラムを受信する。	wIndexにユーザプログラムの転送サイズを入れてください。 ユーザプログラムの受信はセットアップステージ終了後、バルク OUT 転送で行ってください。
ユーザプログラム転送結果コマンド	04H	転送結果を送信する。	転送結果データの送信はセットアップステージ終了後、バルク IN 転送で行います。

セットアップコマンドのデータ構造を以下に記述します。

表 3.21.17 セットアップコマンドのデータ構造

フィールド名	値	意味
bmRequestType	40H	D7 0: ホスト-デバイス D6-D5 2: ベンダー D4-D0 0: デバイス
bRequest	00H, 02H, 04H	00H: マイコン情報 02H: ユーザプログラム転送開始 04H: ユーザプログラム転送結果
wValue	00H~FFFFH	固有データ番号 (マイコン側では未使用)
wIndex	00H~FFFFH	ライトする長さ ユーザプログラム転送開始時使用 (ユーザプログラム転送サイズ)
wLength	0000H	固定

スタンダードリクエストコマンド表を以下に記述します。

表 3.21.18 スタンダードリクエストコマンド表

スタンダードリクエスト	応答方法
GET_STATUS	ハード自動応答
CLEAR_FEATURE	ハード自動応答
SET_FEATURE	ハード自動応答
SET_ADDRESS	ハード自動応答
GET_DESCRIPTOR	ハード自動応答
SET_DESCRIPTOR	未対応
GET_CONFIGURATION	ハード自動応答
SET_CONFIGURATION	ハード自動応答
GET_INTERFACE	ハード自動応答
SET_INTERFACE	ハード自動応答
SYNCH_FRAME	無視

GET_DESCRIPTOR で返信する情報を以下に記述します。

表 3.21.19 GET_DESCRIPTOR で返信する情報

DeviceDescriptor

フィールド名	値	意味
Blength	12H	18 バイト
BdescriptorType	01H	デバイスディスクリプタ
BcdUSB	0110H	USB Version 1.1
BdeviceClass	00H	デバイスクラス未使用
BdeviceSubClass	00H	サブコマンド未使用
BdeviceProtocol	00H	プロトコル未使用
BmaxPacketSize0	40H	EP0 最大パケットサイズ 64 バイト
IdVendor	0930H	ベンダ ID
IdProduct	6504H	プロダクト ID (0)
BcdDevice	0001H	デバイスバージョン (v0.1)
Imanufacturer	00H	製造者名を示すstringディスクリプタのインデックス値
lproduct	00H	製品名を示すstringディスクリプタのインデックス値
lserialNumber	00H	製造番号を示すstringディスクリプタのインデックス値
BnumConfigurations	01H	構成は 1 つ

ConfigurationDescriptor

フィールド名	値	意味
bLength	09H	9 バイト
bDescriptorType	02H	コンフィグレーションディスクリプタ
wTotalLength	0020H	コンフィグレーション++エンドポイントの各ディスクリプタを合わせた長さ (32 バイト)
bNumInterfaces	01H	インタフェースは 1 つ
bConfigurationValue	01H	構成番号 1
iConfiguration	00H	このコンフィグレーション名を示すストリングディスクリプタのインデックス値 (未使用)
bmAttributes	80H	バス電源
MaxPower	31H	最大消費電力 (49 mA)

InterfaceDescriptor

フィールド名	値	意味
bLength	09H	9 バイト
bDescriptorType	04H	インタフェースディスクリプタ
bInterfaceNumber	00H	インタフェース番号 0
bAlternateSetting	00H	代替設定番号 0
bNumEndpoints	02H	エンドポイントは 2 つ
bInterfaceClass	FFH	固有のデバイス
bInterfaceSubClass	00H	
bInterfaceProtocol	50H	BulkOnly プロトコル
ilInterface	00H	このインタフェース名を示すストリングディスクリプタのインデックス値 (未使用)

EndpointDescriptor

フィールド名	値	意味
<Endpoint1>		
bLength	07H	7 バイト
bDescriptorType	05H	エンドポイントディスクリプタ
bEndpointAddress	01H	EP1 は OUT
bmAttributes	02H	バルク転送
wMaxPacketSize	0040H	ペイロード 64 バイト
bInterval	00H	(バルク転送のため、無視される)
<Endpoint2>		
bLength	07H	7 バイト
bDescriptorType	05H	エンドポイントディスクリプタ
bEndpointAddress	82H	EP2 は IN
bmAttributes	02H	バルク転送
wMaxPacketSize	0040H	ペイロード 64 バイト
bInterval	00H	(バルク転送のため、無視される)

マイコン情報コマンドで返信する情報を以下に記述します。

表 3.21.20 マイコン情報コマンドで返信する情報

マイコン情報	ASCII コード
TMP92CH21FG	54H, 4DH, 50H, 39H, 32H, 43H, 48H, 32H, 31H, 46H, 47H, 20H, 20H, 20H, 20H

転送結果コマンドで返信する情報を以下に記述します。

表 3.21.21 転送結果コマンドで返信する情報

転送結果	値	エラー条件
正常終了	00H	
ユーザプログラム未受信	02H	ユーザプログラム転送開始が抜けて、ユーザプログラム転送結果を受信した場合。
Intel HEX 形式以外のファイル受信	04H	ユーザプログラムの最初のデータが 'A' (3AH) 以外だった場合。
規定以上のユーザプログラム容量受信	06H	ユーザプログラム転送開始コマンド受信時の wIndex 以上のデータを受信した場合。
規定外アドレス受信	08H	ユーザプログラムダウンロード領域以外のアドレスにダウンロード要求された場合。 ユーザプログラムのプログラム容量が 10 K バイトを超えた場合。
プロトコルエラーまたは上記以外のエラー	0AH	ユーザプログラム転送開始、ユーザプログラム転送結果を最初に受信した場合。 Intel HEX ファイル内のチェック SUM 異常を検出した場合。 Intel HEX ファイル内のレコードタイプ異常を検出した場合。 Intel HEX ファイル内のアドレスレコードのレングスが 3 以上の場合。 Intel HEX ファイル内のエンドレコードのレングスが 0 以外の場合。

(3) USB ブートプログラム動作説明

ブートプログラムは以下の RAM ロード機能を提供します。

PC から Intel HEX フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了するとユーザプログラムの実行を開始します。実行開始アドレスは、最初に受信したアドレスとなります。

この機能により、ユーザ独自のオンボードプログラミング制御を行うことができます。

a. 動作手順

1. USB ケーブルの接続をしてください。
2. AM0、AM1 端子を共に 1 に設定し、マイコンをリセットします。
3. PC は USB の接続を認識したら、GET_DESCRIPTOR コマンドで接続先の情報を確認してください。
4. PC はマイコン情報コマンドをコマンド転送 (ベンダーリクエスト) で送信しセットアップステージ終了後、バルク IN 転送でマイコン情報データを確認してください。
5. ブートプログラムはマイコン情報コマンドを受信すると、マイコン情報を ASCII コードで送信準備します。
6. PC は Intel HEX のファイルを後述のバイナリ形式に変換し、ユーザプログラムを作成してください。
7. PC はユーザプログラム転送開始コマンドをコマンド転送 (ベンダーリクエスト) で送信し、セットアップステージ終了後、バルク OUT 転送でユーザプログラムを転送してください。
8. PC はユーザプログラム転送完了後、約 2 秒待つユーザプログラム転送結果コマンドをコマンド転送 (ベンダーリクエスト) で送信しセットアップステージ終了後、バルク IN 転送で転送結果を確認してください。
9. ブートプログラムは、ユーザプログラム転送結果コマンドを受信すると、転送結果の値を送信準備します。
10. 転送結果が正常終了以外の場合、ブートプログラムは異常処理に入り自然復旧しません。PC 上のデバイスドライバを終了させ、2. からやり直してください。

b. ユーザプログラムフォーマット (バイナリ) の注意点

1. レコードのチェックサム受信後は、次のレコードのスタートマーク (3AH, “:”) 待ち状態になりますので、レコード間に 3AH 以外のデータを送信しても、そのデータは無視します。
2. 最初に転送するレコードタイプはアドレスレコードである必要はありません。アドレスポインタの初期値が 00H になっているためです。
3. ユーザプログラムの転送領域は 3000H 番地から 57FFH 番地まで (10 K バイト) が割り当てられています。この範囲内でユーザプログラム作成してください。
4. ユーザプログラムは Intel HEX フォーマットファイル (通常 ASCII コードで記述されています) をバイナリ形式に変換して転送してください。変換方法を以下に記述します。 (変換方法は UART ダウンロードと同様)
なお、USB で使用するユーザプログラムの 1レコード当たりのデータ数は最大 FAH にしてください。

例) Intel HEX フォーマットファイルでアドレス 3000H から 16 バイトのデータを書き込む場合の転送データ

Intel HEX フォーマットファイルをテキストエディタで表示させると下記の様に表示されます。
: 103000000607F100030000F201030000B1F16010B7
: 00000001FF

しかし、Intel HEX フォーマットファイルは通常 ASCII コードで記述されていますので、上記ファイルは実際には下記のようなデータで構成されています。

3A31303330303030303030363037463130303033303030304632303130333030303030
423146313630313042370D0A3A303030303030303146460D0A

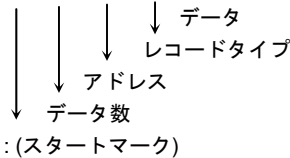
上記データを下表の法則で変換して、実際の転送データを作成してください。

変換前 (ASCII)	変換後 (バイナリ)
3A	3A (3A は変換後もそのまま 3A で残してください。)
30~39	0~9
41 or 61	A
42 or 62	B
43 or 63	C
44 or 64	D
45 or 65	E
46 or 66	F
0D0A	削除

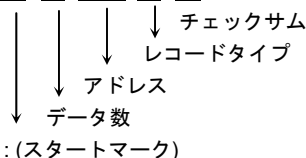
変換後データおよびデータの意味を以下に記述します。

データレコード 3A 10 3000 00 0607F100030000F201030000B1F16010 B7

チェックサム



エンドレコード 3A 00 0000 01 FF



(4) その他注意点

a) USB コネクタについて

ブート中に USB コネクタの抜き差しを行わないでください。

b) PC 上のソフトウェアについて

PC 上に専用の USB デバイスドライバ、アプリケーションソフトが必要となります。

Not Recommended
for New Design

4. 電気的特性

4.1 絶対最大定格

記号	項目	定格	単位
V _{CC}	電源電圧	-0.5 ~ 4.0	V
V _{IN}	入力電圧	-0.5 ~ V _{CC} + 0.5	V
I _{OL}	出力電流 (1 端子当り)	2	mA
I _{OL}	出力電流 (MX, MY 端子)	15	mA
I _{OH}	出力電流 (1 端子当り)	-2	mA
I _{OH}	出力電流 (PX, PY 端子)	-15	mA
Σ I _{OL}	出力電流 (合計)	80	mA
Σ I _{OH}	出力電流 (合計)	-80	mA
P _D	消費電力 (T _a = 85°C)	600	mW
T _{SOLDER}	はんだ付け温度 (10 s)	260	°C
T _{STG}	保存温度	-65 ~ 150	°C
T _{OPR}	動作温度	-20 ~ 70	°C

注) 絶対最大定格とは瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

はんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (Sn-37Pb 鉛はんだ使用時) 245°C 5 秒間 1 回 R タイプフラックス使用 (Sn-3.0Ag-0.5Cu はんだ使用時)	フォーミングまでの半田 付着率 95%を良品とする

4.2 DC電気的特性

 $V_{CC} = 3.3 \pm 0.3V / X1 = 6 \sim 40 \text{ MHz} / T_a = -20 \sim 70^\circ\text{C}$
 $V_{CC} = 2.7 \sim 3.6V / X1 = 6 \sim 27 \text{ MHz} / T_a = -20 \sim 70^\circ\text{C}$

項目	記号	最小	標準	最大	単位	条件	
電源電圧 ($DV_{CC} = AV_{CC}$) ($DV_{SS} = AV_{SS} = 0V$)	VCC	3.0 2.7		3.6	V	X1 = 6 ~ 40 MHz X1 = 6 ~ 27 MHz	XT1 = 30 ~ 34 kHz
低レベル入力電圧 D0 ~ D7 P10 ~ P17 (D8 ~ 15) P20 ~ P27 (D16 ~ 23) P30 ~ P37 (D24 ~ 31)	VIL0	-0.3		0.6	V		
低レベル入力電圧 P60 ~ P67, P71 ~ P72, P75 ~ P76, P90, P93 ~ P94, PC6 ~ PC7, PG0 ~ PG3, PJ5 ~ PJ6, PL4 ~ PL7	VIL1		$0.3 \times V_{CC}$				
低レベル入力電圧 P91 ~ P92, P96 ~ P97, PA0 ~ PA7, PC0 ~ PC3, PF0 ~ PF2, RESET	VIL2		$0.25 \times V_{CC}$				
低レベル入力電圧 AM0 ~ AM1	VIL3		0.3				
低レベル入力電圧 X1, XT1	VIL4		$0.2 \times V_{CC}$				
高レベル入力電圧 D0 ~ D7 P10 ~ P17 (D8 ~ 15) P20 ~ P27 (D16 ~ 23) P30 ~ P37 (D24 ~ 31)	VIH0	2.0			V		
高レベル入力電圧 P60 ~ P67, P71 ~ P72, P75 ~ P76, P90, P93 ~ P94, PC6 ~ PC7, PG0 ~ PG3, PJ5 ~ PJ6, PL4 ~ PL7	VIH1	$0.7 \times V_{CC}$		$V_{CC} + 0.3$			
高レベル入力電圧 P91 ~ P92, P96 ~ P97, PA0 ~ PA7, PC0 ~ PC3, PF0 ~ PF2, RESET	VIH2	$0.75 \times V_{CC}$					
高レベル入力電圧 AM0 ~ AM1	VIH3	$V_{CC} - 0.3$					
高レベル入力電圧 X1, XT1	VIH4	$0.8 \times V_{CC}$					

項目	記号	最小	標準	最大	単位	条件	
低レベル出力電圧	VOL			0.45	V	IOL = 1.6 mA	
高レベル出力電圧	VOH1	2.4				IOH = -400 μ A	
	VOH2	$0.9 \times V_{CC}$			IOH = -20 μ A		
内部抵抗 (ON 時) MX, MY 端子	IMon			30	Ω	VOL = 0.2V	
内部抵抗 (ON 時) PX, PY 端子	IMon			30		VOH = $V_{CC} - 0.2V$	
						$V_{CC} = 3.0 \sim 3.6V$	
入力リーク電流	ILI		0.02	± 5	μ A	$0.0 \leq V_{in} \leq V_{CC}$	
出力リーク電流	ILO		0.05	± 10	μ A	$0.2 \leq V_{in} \leq V_{CC} - 0.2V$	
パワーダウン電圧 (@STOP, RAM パック アップ)	VSTOP	1.8		3.6	V	VIL2 = $0.2 \times V_{CC}$, VIH2 = $0.8 \times V_{CC}$	
RESET, PA0 ~ PA7 プルアップ抵抗	RRST	80		500	$k\Omega$		
P96 プログラムブル プルダウン抵抗	RKH						
端子容量	CIO			10	pF	$f_c = 1 \text{ MHz}$	
シュミット幅 P91 ~ P92, P96 ~ P97, PA0 ~ PA7, PC0 ~ PC3, PF0 ~ PF2, RESET	VTH	0.4	1.0		V		
NORMAL (注 2)	ICC		33	65	mA	$V_{CC} = 3.6 \text{ V}, f_c = 40 \text{ MHz}$	
IDLE2			16	26			
IDLE1			4.3	8.7			
SLOW (注 2)			25.2	110	μ A	$T_a \leq 70^\circ\text{C}$	$V_{CC} = 3.6 \text{ V},$ $f_s = 32 \text{ kHz}$
IDLE2		15.1		70		$T_a \leq 50^\circ\text{C}$	
				80		$T_a \leq 70^\circ\text{C}$	
IDLE1		4.3		30		$T_a \leq 50^\circ\text{C}$	
	60			$T_a \leq 70^\circ\text{C}$			
STOP		0.2	50		$T_a \leq 70^\circ\text{C}$	$V_{CC} = 3.6 \text{ V}$	
			15		$T_a \leq 50^\circ\text{C}$		

注 1) Typ 値は特に指定のない限り $T_a = 25^\circ\text{C}$ 、 $V_{CC} = 3.3 \text{ V}$ の値です。

注 2) ICC NORMAL、SLOW の測定条件:

すべて動作、バス端子の $C_L = 30 \text{ pF}$ 、バス以外の出力端子は開放、入力端子はレベル固定です。

4.3 AC電気的特性

4.3.1 基本バスサイクル

リードサイクル

No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
1	発振周期(X1/X2)	tOSC	25	166.7	25	27.7	37.0	ns
2	システムクロック周期(=T)	tCYC	50	333.3	50	55.5	74.0	
3	SDCLK 低レベルパルス幅	tCL	0.5T - 15		10	12.7	22	
4	SDCLK 高レベルパルス幅	tCH	0.5T - 15		10	12.7	22	
5-1	A0 ~ A23 有効 → D0 ~ D31 入力 @ 0 ウェイト	tAD (3.0 V)		2.0T - 30	70	81	-	
				2.0T - 35	-	-	113	
5-2	A0 ~ A23 有効 → D0 ~ D31 入力 @ 0 ウェイト	tAD3 (3.0 V)		3.0T - 30	120	136.5	-	
				3.0T - 35	-	-	187	
6-1	RD 立ち下がり → D0 ~ D31 入力 @ 0 ウェイト	tRD		1.5T - 30	45	53.3	81	
6-2	RD 立ち下がり → D0 ~ D31 入力 @ 1 ウェイト	tRD3		2.5T - 30	95	108.8	155	
7-1	RD 低レベルパルス幅 @0 ウェイト	tRR	1.5T - 20		55	63.2	91	
7-2	RD 低レベルパルス幅 @1 ウェイト	tRR3	2.5T - 20		105	118.8	165	
8	A0 ~ A23 有効 → RD 立ち下がり	tAR	0.5T - 20		5	7.7	17	
9	RD 立ち下がり → SDCLK 立ち上がり	tRK	0.5T - 20		5	7.7	17	
10	A0 ~ A23 有効 → D0 ~ D31 保持	tHA	0		0	0	0	
11	RD 立ち上がり → D0 ~ D31 保持	tHR	0		0	0	0	
12	WAIT セットアップ時間	tTK	15		15	15	15	
13	WAIT ホールド時間	tKT	5		5	5	5	
14	SRAM 用データバイト制御アクセス時間	tSBA		1.5T - 30	45	53.3	81	
15	RD 高レベルパルス幅	tRRH	0.5T - 15		10	12.7	22	

ライトサイクル

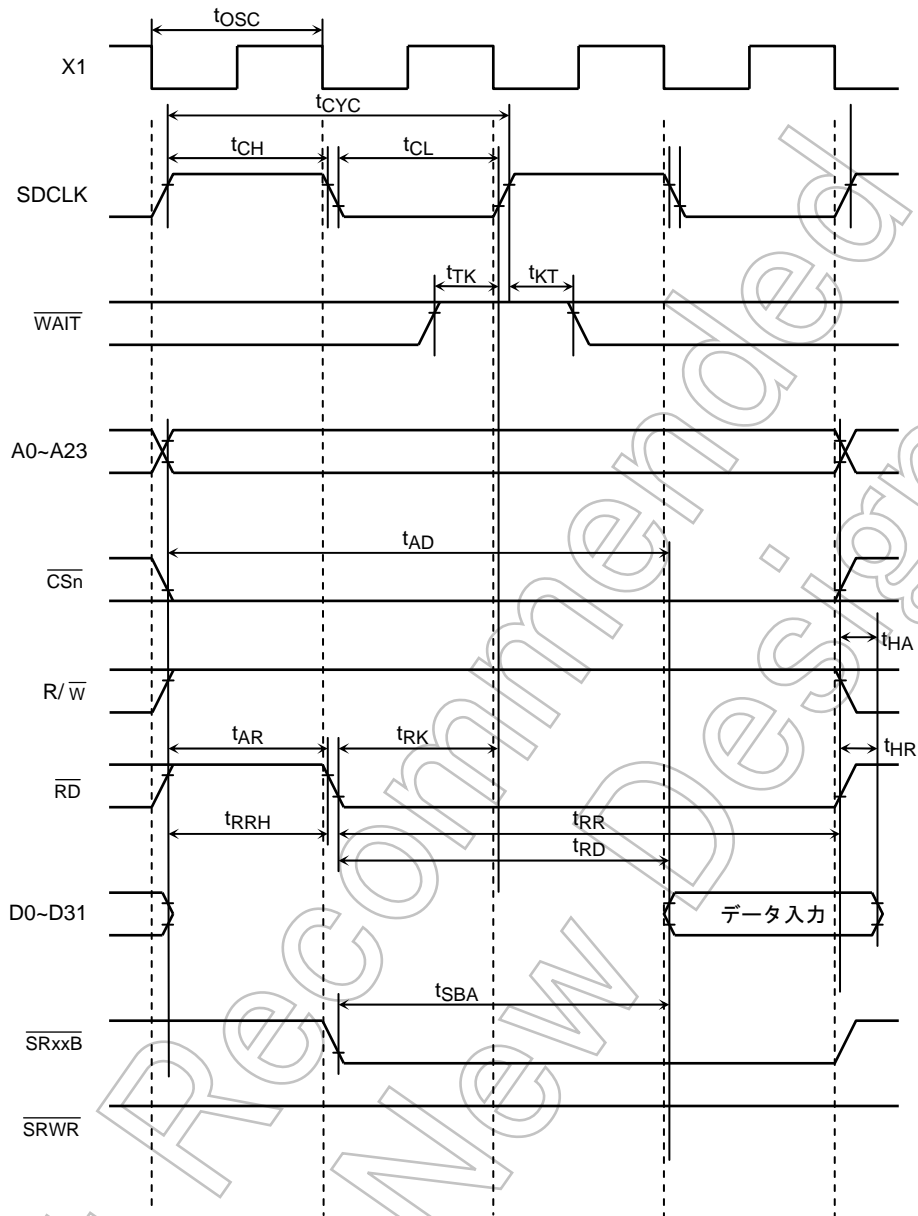
No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
16-1	D0 ~ D31 有効 → WR xx 立ち上がり @0 ウェイト	tDW	1.25T - 35		27.5	34.3	57.5	ns
16-2	D0 ~ D31 有効 → WR xx 立ち上がり @1 ウェイト	tDW3	2.25T - 35		77.5	89.8	131.5	
17-1	WR xx 低レベルパルス幅 @0 ウェイト	tWW	1.25T - 30		32.5	34.3	62.5	
17-2	WR xx 低レベルパルス幅 @1 ウェイト	tWW3	2.25T - 30		82.5	89.8	136.5	
18	A0 ~ A23 有効 → WR 立ち下がり	tAW	0.5T - 20		5	7.7	17	
19	WR xx 立ち下がり → SDCLK 立ち上がり	tWK	0.5T - 20		5	7.7	17	
20	WR xx 立ち上がり → A0 ~ A23 保持	tWA	0.25T - 5		7.5	8.8	13.5	
21	WR xx 立ち上がり → D0 ~ D31 保持	tWD	0.25T - 5		7.5	8.8	13.5	
22	RD 立ち上がり → D0 ~ D31 出力	tRDO (3.0 V)		0.5T - 5	20	22.7	-	
				0.5T - 7	-	-	30	
23	SRAM 用ライトパルス幅	tSWP	1.25T - 30		32.5	39.3	62.5	
24	SRWR に対する SRxxB セットアップ時間	tSBW	1.25T - 30		32.5	39.3	62.5	
25	SRAM 用アドレスセットアップ時間	tSAS	0.5T - 20		5	7.7	17	
26	SRAM 用ライトリカバリ時間	tSWR	0.25T - 5		7.5	8.8	13.5	
27	SRAM 用データセットアップ時間	tSDS	1.25T - 35		27.5	34.3	57.5	
28	SRAM 用データ保持時間	tSDH	0.25T - 5		7.5	8.8	13.5	

AC 測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

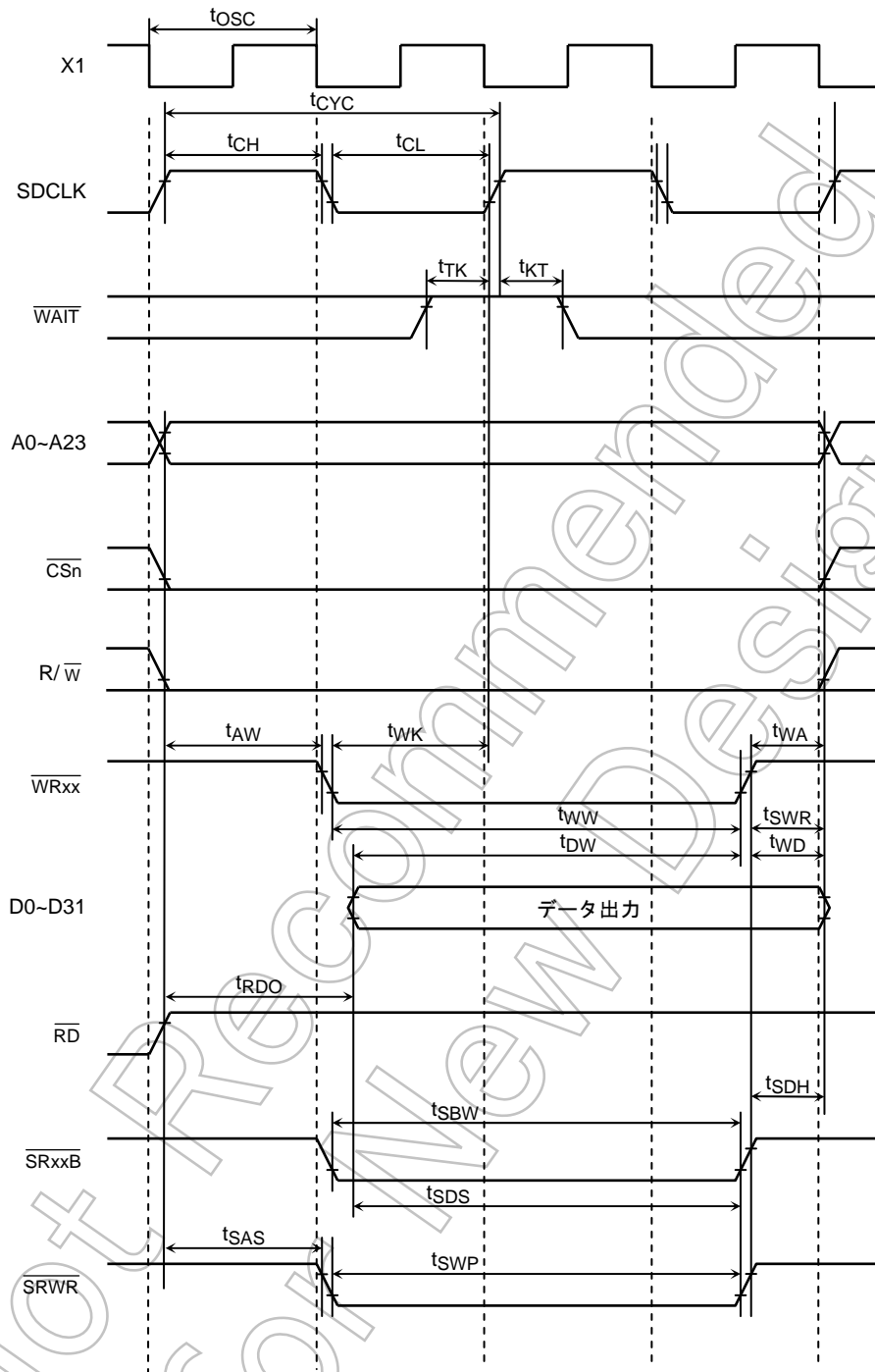
注 1) 上記の“計算式”は 2.7 V~3.6 V の範囲での規定を示します。ただし、“記号”内に電圧が規定されているものを除きます。例) (3.0 V) と記述のあるものは 3.0 V~3.6 V を示します。

(1) リードサイクル (0 ウェイト)



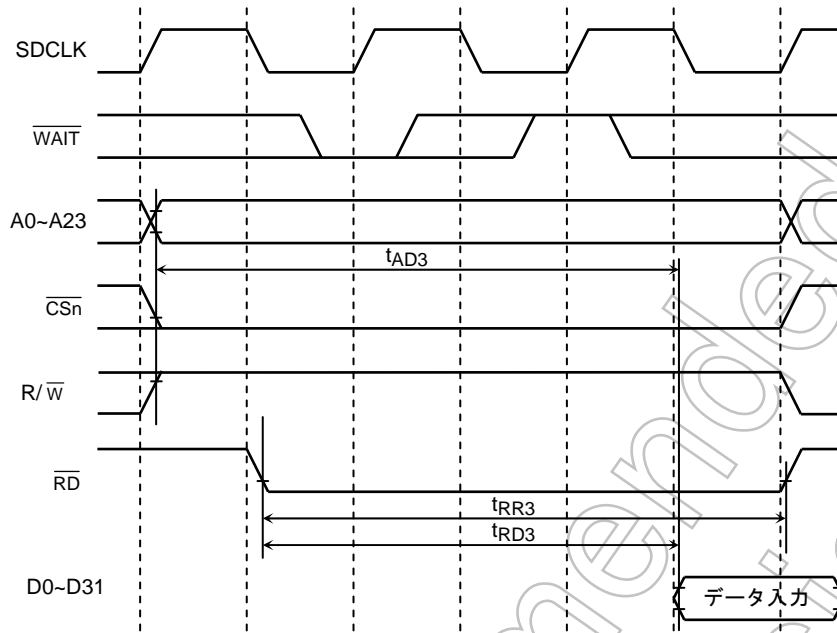
注) X1 入力信号と他の信号の位相関係は不定です。また、上記のタイミングチャートは一例を示します。

(2) ライトサイクル (0 ウェイト)

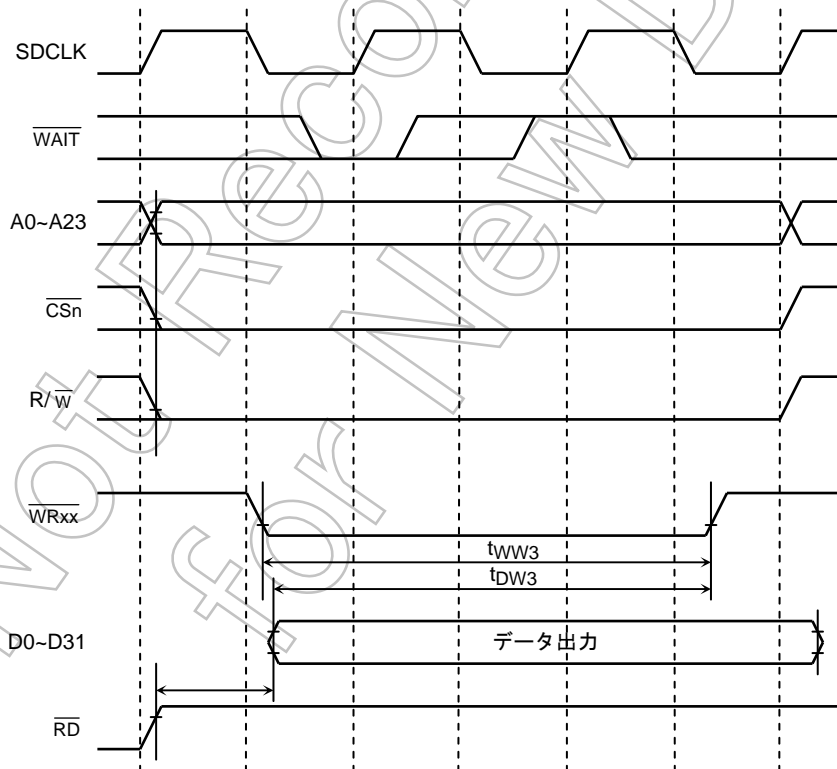


注) X1 入力信号と他の信号の位相関係は不定です。また、上記のタイミングチャートは一例を示します。

(3) リードサイクル (1 ウェイト)



(4) ライトサイクル (1 ウェイト)



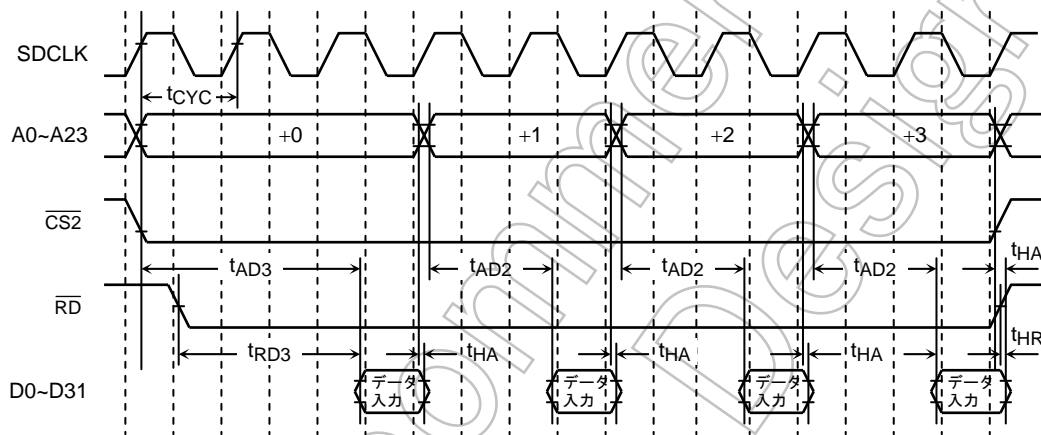
4.3.2 ページROM リードサイクル

(1) 3-2-2-2 モード

No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
1	SCLK 発振周波数 (= T)	t _{CYC}	50	166.7	50	55.5	74	ns
2	A0, A1 → D0 ~ D31 input	t _{AD2}		2.0T - 50	50	61	98	
3	A2 ~ A23 → D0 ~ D31 input	t _{AD3}		3.0T - 50	100	116.5	172	
4	RD 立ち下がり → D0 ~ D31 input	t _{RD3}		2.5T - 45	80	93.8	140	
5	A0 ~ A23 無効 → D0 ~ D31 hold	t _{HA}	0		0	0	0	
6	RD 立ち上がり → D0 ~ D31 hold	t _{HR}	0		0	0	0	

AC 測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}



4.3.3 SDRAMコントローラAC電气的特性

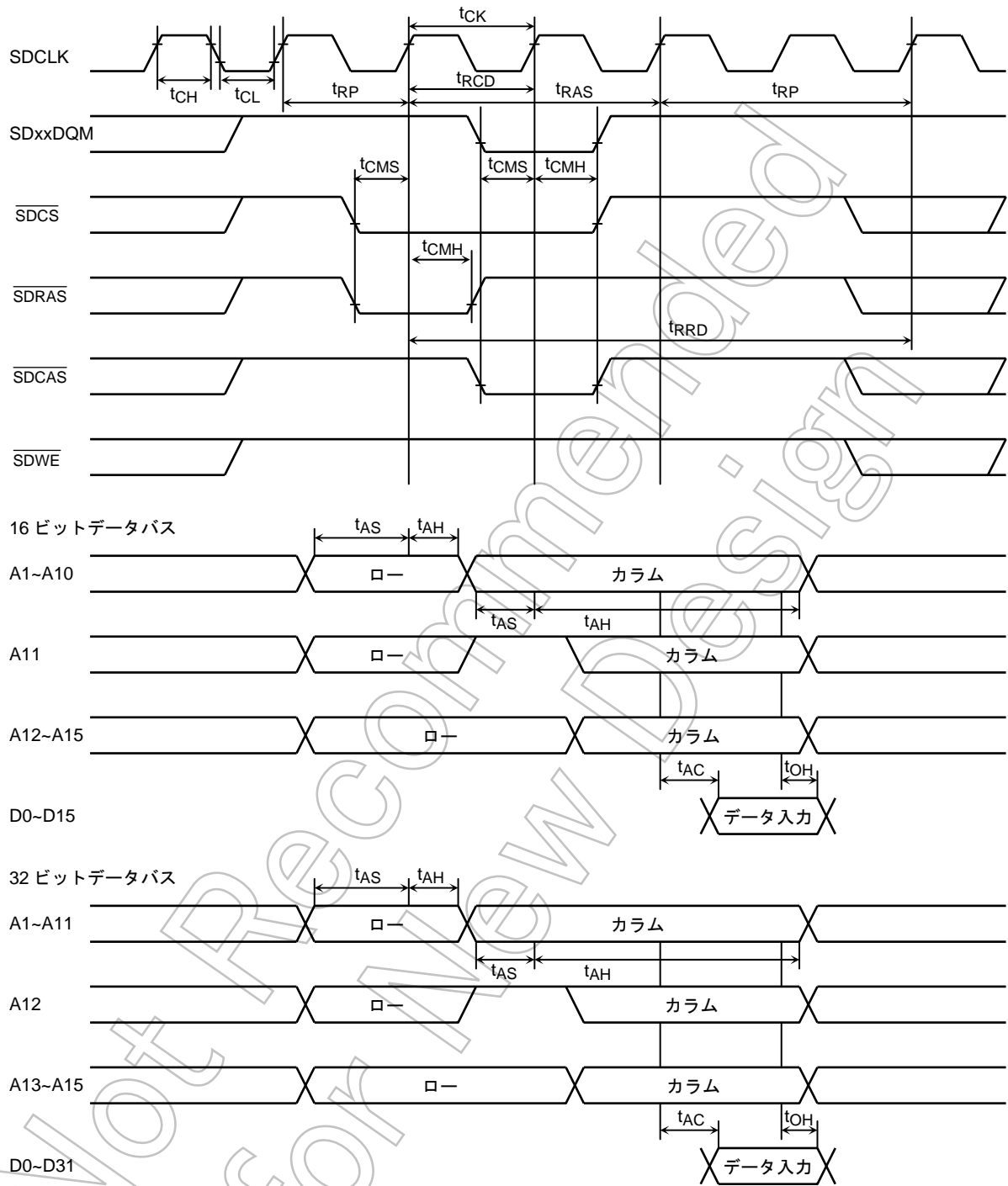
No.	項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
1	Ref/Active to ref/active command period	t _{RC}	2T		100	111	148	ns
2	Active to precharge command period	t _{RAS}	2T	12210	100	111	148	
3	Active to read/write command delay time	t _{RCD}	T		50	55.5	74	
4	Precharge to active command period	t _{RP}	T		50	55.5	74	
5	Active to active command period	t _{RRD}	3T		150	166.5	222	
6	Write recovery time (CL* = 2)	t _{WR}	T		50	55.5	74	
7	CLK cycle time (CL* = 2)	t _{CK}	T		50	55.5	74	
8	CLK high level width	t _{CH}	0.5T - 15		10	12.7	22	
9	CLK low level width	t _{CL}	0.5T - 15		10	12.7	22	
10	Access time from CLK(CL* = 2)	t _{AC}		T - 30	20	25.5	44	
11	Output data hold time	t _{OH}	0		0	0	0	
12	Data-in set-up time	t _{DS}	T - 35		15	20.5	39	
13	Data-in hold time	t _{DH}	T - 5		45	50.5	69	
14	Address set-up time	t _{AS}	0.75T - 30		7.5	11.6	25.5	
15	Address hold time	t _{AH}	0.25T - 9		3.5	4.8	9.5	
16	CKE set-up time	t _{CKS}	0.5T - 15		10	12.7	22	
17	Command set-up time	t _{CMS}	0.5T - 15		10	12.7	22	
18	Command hold time	t _{CMH}	0.5T - 15		10	12.7	22	
19	Mode register set cycle time	t _{RSC}	T		50	55.5	74	

*CLはCASレイテンシを示しています。

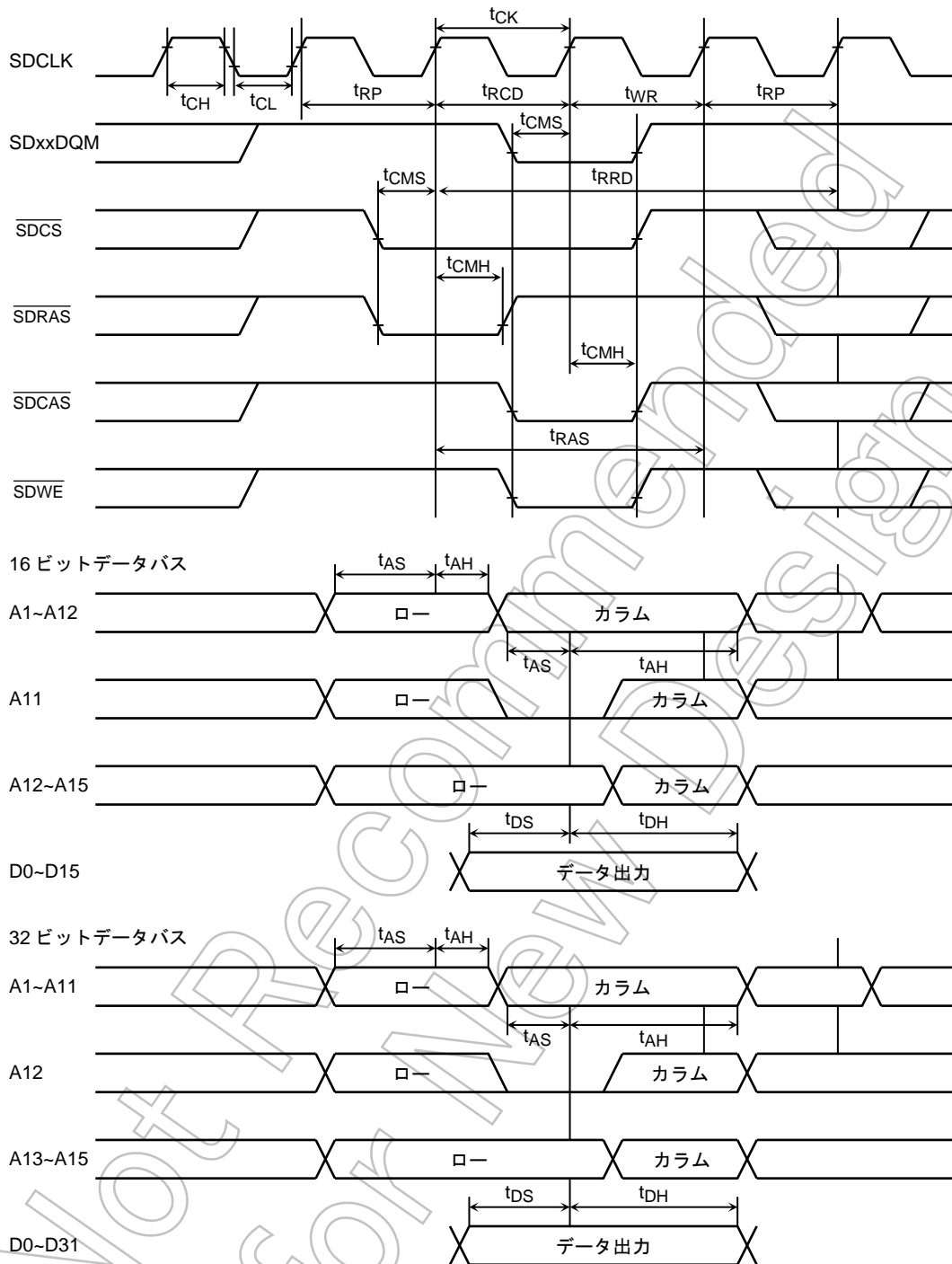
AC測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

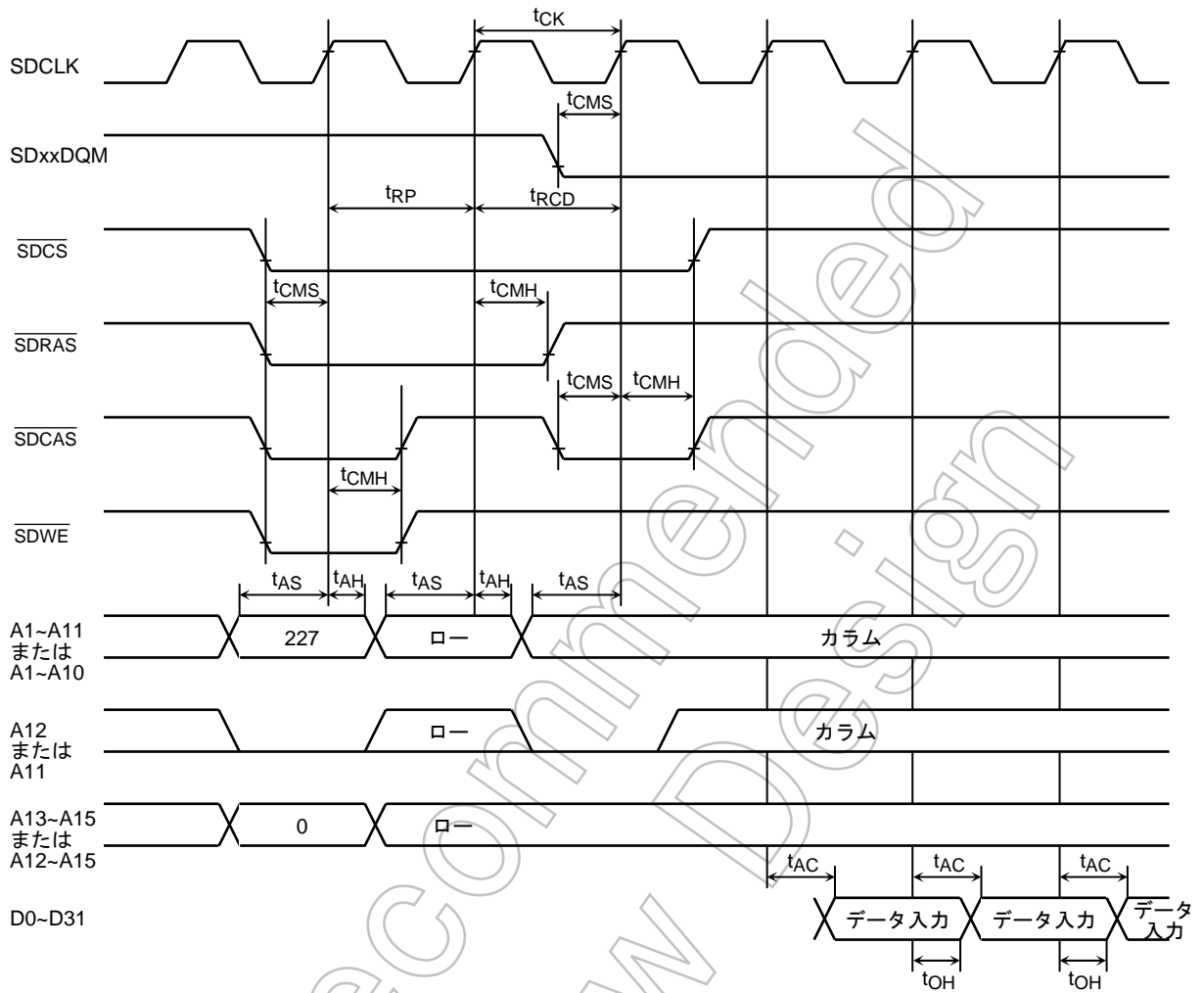
(1) SDRAM リードタイミング (CPU アクセスおよび LCDC ノーマルアクセス)



(2) SDRAM ライトタイミング (CPU アクセス)

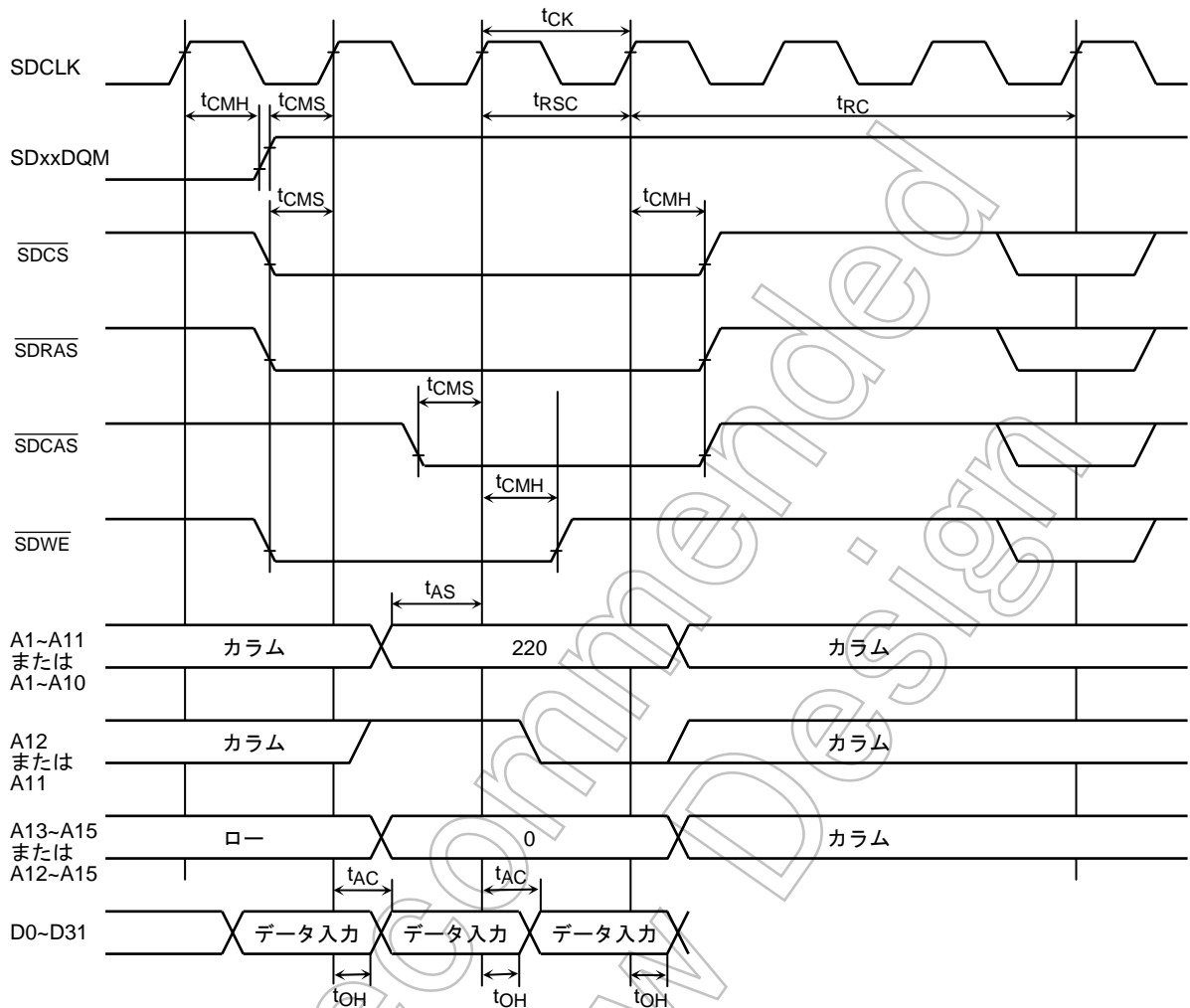


(3) SDRAM バーストリードタイミング (バーストサイクル開始)

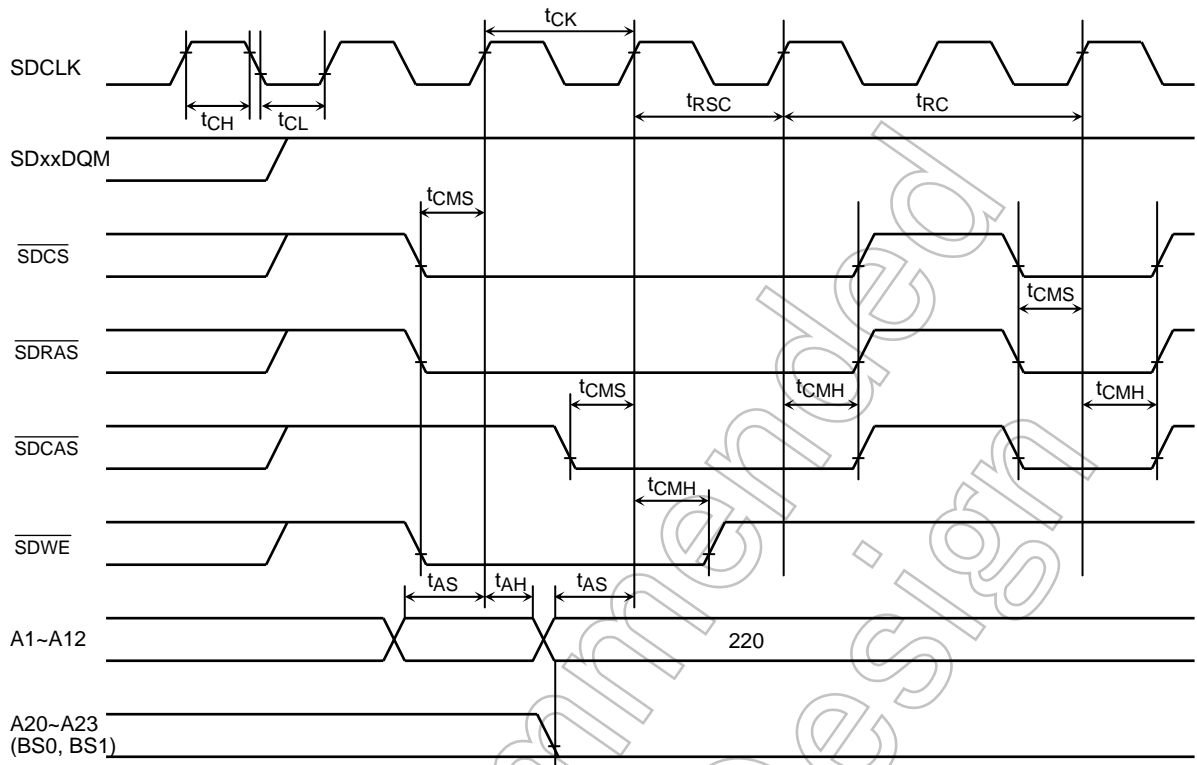


Not Recommended for New

(4) SDRAM バーストリードタイミング (バーストタイミング終了)

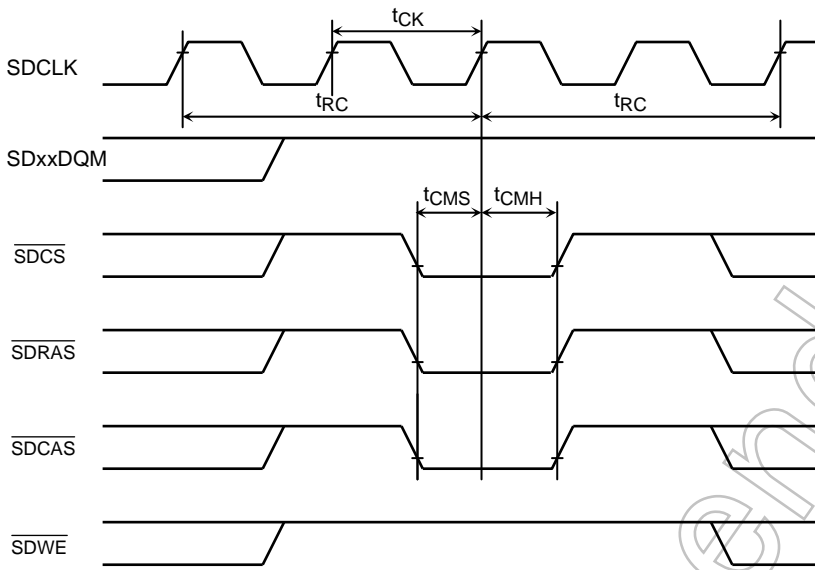


(5) SDRAM 初期化タイミング

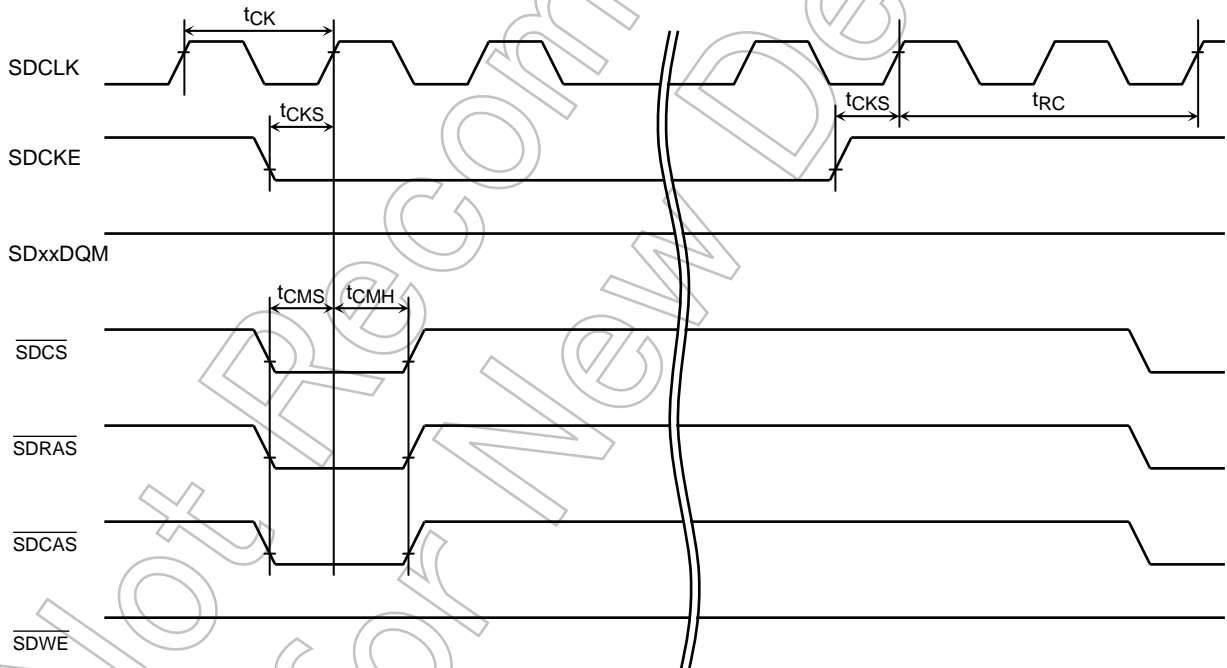


Not Recommended for New Design

(6) SDRAM リフレッシュタイミング



(7) SDRAM セルフリフレッシュタイミング



4.3.4 NANDフラッシュコントローラAC電気的特性

No.	記号	項目	計算式		40 MHz	36 MHz	27 MHz	単位
			Min	Max				
1	t_{RP}	NDRE 低レベルパルス幅	$(1+n)T - 12$		38	43.5	62	ns
2	$t_{REA}(3.0V)$	NDRE データアクセス時間		$(1+n)T - 25$	25	30.5	-	
	$t_{REA}(2.7V)$			$(1+n)T - 30$	-	-	44	
3	t_{OH}	リードデータ保持時間	0		0	0	0	
4	t_{WP}	NDWE 低レベルパルス幅	$(0.75+n)T - 20$		17.5	21.6	35.5	
5	t_{DS}	ライトデータセットアップ時間	$(3.25+n)T - 30$		132.5	150.3	210.5	
6	t_{DH}	ライトデータ保持時間	$0.25T - 2$		10.5	11.8	16.5	

AC 測定条件

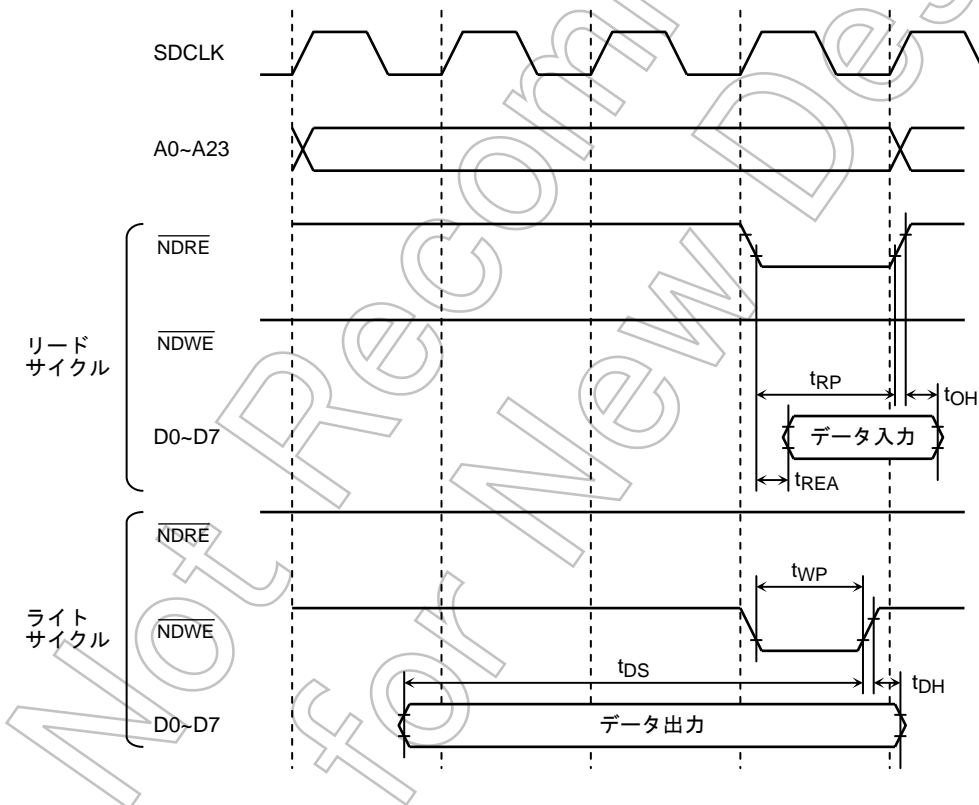
- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

注 1) 計算式中の n は NDnFSPR<SPW3:0> に設定された値を示します。

例) NDnFSPR<SPW3:0> = "0001" のとき、 $t_{RP} = (1+n)T - 12 = 2T - 12$

注 2) 上記の“計算式”は 2.7 V~3.6 V の範囲での規定を示します。ただし、“記号”内に電圧が規定されているものを除きます。

例) (3.0 V) と記述のあるものは 3.0 V~3.6 V を示します



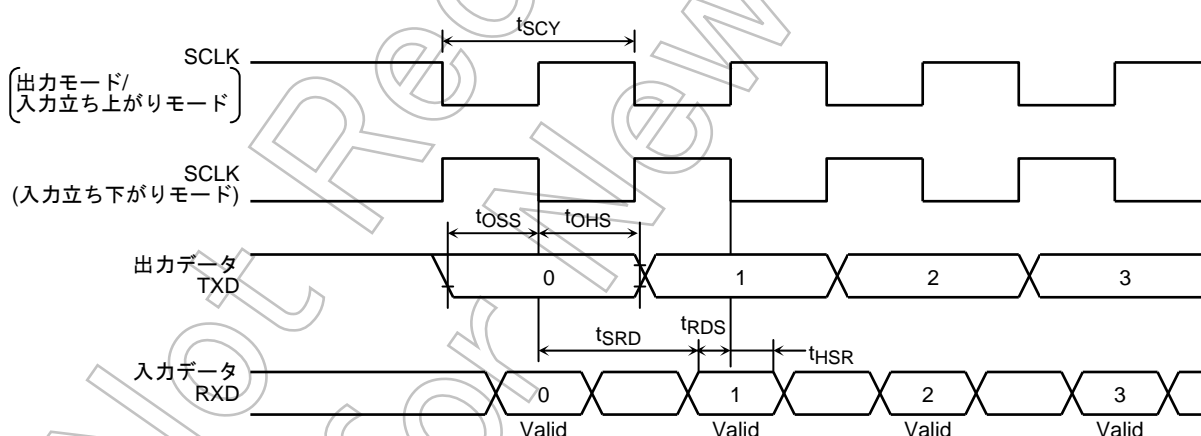
4.3.5 シリアルチャネルタイミング

(1) SCLK 入力モード (I/O インタフェースモード)

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
SCLK 周期	tSCY	16T		0.8	0.888	1.184	μs
出力データ → SCLK 立ち上がり/立ち下がり	tOSS	$t_{SCY}/2 - 4T - 110$		90	114	186	ns
SCLK 立ち上がり/立ち下がり → 出力データ保持	tOHS	$t_{SCY}/2 + 2T + 0$		500	554	740	
SCLK 立ち上がり/立ち下がり → 入力データ保持	tHSR	3T + 10		160	175	232	
SCLK 立ち上がり/立ち下がり → 入力データ有効	tSRD		$t_{SCY} - 0$	800	888	1184	
入力データ有効 → SCLK 立ち上がり/立ち下がり	tRDS	0		0	0	0	

(2) SCLK 出力モード (I/O インタフェースモード)

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
SCLK 周期 (プログラマブル)	tSCY	16T	8192T	0.8	0.888	1.184	μs
出力データ → SCLK 立ち上がり/立ち下がり	tOSS	$t_{SCY}/2 - 40$		360	404	552	ns
SCLK 立ち上がり/立ち下がり → 出力データ保持	tOHS	$t_{SCY}/2 - 40$		360	404	552	
SCLK 立ち上がり/立ち下がり → 入力データ保持	tHSR	0		0	0	0	
SCLK 立ち上がり/立ち下がり → 入力データ有効	tSRD		$t_{SCY} - 1T - 180$	570	654	967	
入力データ有効 → SCLK 立ち上がり/ 立ち下がり	tRDS	1T + 180		230	233	253	

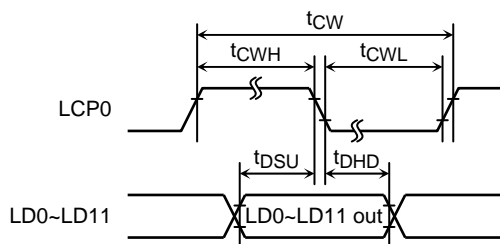


4.3.6 割り込み動作

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
INT0-INT5 低レベルパルス幅	tINTAL	4T + 40		240	262	336	ns
INT0-INT5 高レベルパルス幅	tINTAH	4T + 40		240	262	336	

4.3.7 LCDコントローラ

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
LCP0 クロック周期(=tm)	t _{CW}	2T		100	111	148	ns
LCP0 高レベルパルス幅	t _{CWH}	0.5 tm - 12		38	43.5	62	
LCP0 低レベルパルス幅	t _{CWL}	0.5 tm - 12		38	43.5	62	
データ有効 → LCP0 立ち下がり	t _{DSU}	0.5 tm - 20		30	35.5	54	
LCP0 立ち下がり → データ保持	t _{DHD}	0.5 tm - 5		45	50.5	69	



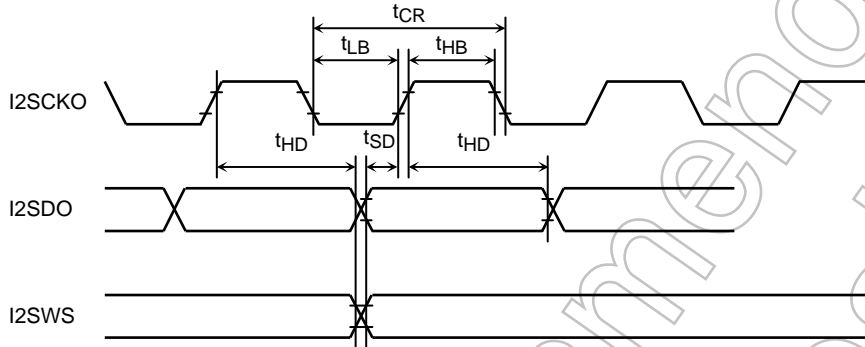
Not Recommended for New Design

4.3.8 I²S タイミング (I²S、SIOモード)

項目	記号	計算式		40 MHz	36 MHz	27 MHz	単位
		Min	Max				
I ² SCKO クロック周期	t _{CR}	T		50	55	74	ns
I ² SCKO 高レベルパルス幅	t _{HB}	0.5 t _{CR} - 15		10	12	22	
I ² SCKO 低レベルパルス幅	t _{LB}	0.5 t _{CR} - 15		10	12	22	
I ² SDO, I ² SWS セットアップ時間	t _{SD}	0.5 t _{CR} - 15		10	12	22	
I ² SDO, I ² SWS 保持時間	t _{HD}	0.5 t _{CR} - 5		20	22	32	

AC 測定条件

- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, CL = 10 pF

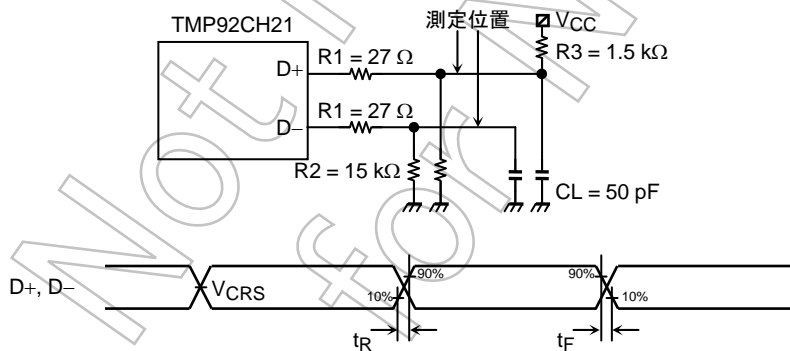


4.3.9 USB タイミング (フルスピード)

V_{CC} = 3.3 ± 0.3 V / f_{USB} = 48 MHz / Ta = -20 ~ 70°C

項目	記号	Min	Max	単位
D+, D- 立ち上がり時間	t _R	4	20	ns
D+, D- 立ち下がり時間	t _F	4	20	ns
出力信号交差電圧	V _{CRS}	1.3	2.0	V

AC 測定条件



4.4 AD変換特性

記号	項目	Min	Typ.	Max	単位
VREFH	アナログ基準電圧(+)	$V_{CC} - 0.2$	V_{CC}	V_{CC}	V
VREFL	アナログ基準電圧(-)	V_{SS}	V_{SS}	$V_{SS} + 0.2$	
AVCC	ADコンバータ電源供給電圧	V_{CC}	V_{CC}	V_{CC}	
AVSS	ADコンバータ GNP	V_{SS}	V_{SS}	V_{SS}	
AVIN	アナログ入力電圧	VREFL		VREFH	
IREF	アナログ基準電圧 電源電流 <VREFON> = 1		0.8	1.35	mA
	アナログ基準電圧 電源電流 <VREFON> = 0		0.02	5.0	μ A
ET	総合誤差 (量子化誤差 ± 0.5 LSB 含む)		± 1.0	± 4.0	LSB

注 1) $1 \text{ LSB} = (V_{REFH} - V_{REFL})/1024[V]$

注 2) 最低動作周波数について

ADコンバータの動作は、 f_c (高速発振器) 使用時のみ保証します (f_s では保証しません)。ただし、 f_c 使用時にクロックギアで選択されたクロックの周波数が 4 MHz 以上で保証します。

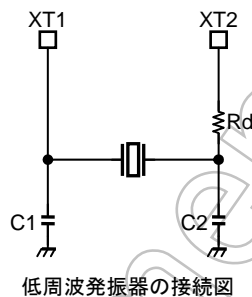
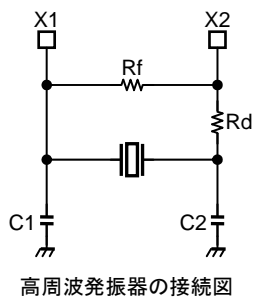
注 3) AVCC 端子より流れる電源電流は、VCC 端子の電源電流 (I_{CC}) に含まれます。

4.5 推奨発振回路

TMP92CH21 は、下記の発振子メーカーにて評価されております。発振子の選択時に活用願います。

注) 発振端子のトータル負荷容量は接続する外付け(または内蔵)負荷容量 C1、C2 と、実装基板上の浮遊容量の和になります。C1、C2 の定数を使用した場合でも実装基板によりトータル負荷容量が異なり、誤動作する可能性があります。基板設計の際は発振回路周辺のパターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を行うことを推奨いたします。

(1) 接続例



(2) TMP92CH21FG 推奨セラミック発振子

本製品は下記セラミック発振子を推奨しております。

詳細につきましては、下記 URL の同社ホームページを参照してください。

- ・(株)村田製作所社製 セラミック発振子

<http://www.murata.co.jp>

- ・TDK(株)社製 セラミック発振子

<http://www.tdk.co.jp>

5. 特殊機能レジスタ一覧表 (SFR)

特殊機能レジスタ (SFR: Special Function Register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~001FFFH の 4 K バイトのアドレス空間に割り付けられています。

- | | |
|---------------------|-----------------------|
| (1) 入力ポート | (11) UART/シリアルチャネル |
| (2) 割り込み制御 | (12) USB コントローラ |
| (3) メモリコントローラ | (13) AD コンバータ |
| (4) MMU | (14) ウォッチドッグタイマ |
| (5) クロックギア、PLL | (15) RTC (リアルタイムクロック) |
| (6) LCD コントローラ | (16) メロディ/アラームジェネレータ |
| (7) タッチスクリーンインタフェース | (17) NAND フラッシュコントローラ |
| (8) SDRAM コントローラ | (18) I ² S |
| (9) 8 ビットタイマ | |
| (10) 16 ビットタイマ | |

表の構成

記号	名称	アドレス	7	6	1		0

→ Bit Symbol
→ Read/Write
→ リセット時の初期値
→ 備考

* 表中の“RMW 禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) PxDR レジスタの bit 0 のみを“1”にしたい場合、通常は“SET 0, (PxCR)”ですがこのレジスタは“RMW 禁”のため、“LD” (転送) 命令にて 8 ビットに対して書き込む必要があります。

記号の意味

- R/W : Read/Write 可能
 R : Read のみ可能
 W : Write のみ可能
 W* : Read/Write 可能 (ただし、Read した場合“1”になります。)
 RMW 禁 : Read Modify Write ができません。(EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD の各命令使用不可)
 R/W* : 該当ポートのプルアップレジスタの制御の際には、Read modify write 命令は使用できません。

表 5.1 入出力レジスタアドレスマップ

[1] Port

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0000H		0010H	P4	0020H	P8	0030H	PC
1H		1H		1H	P8FC2	1H	
2H		2H		2H		2H	PCCR
3H		3H	P4FC	3H	P8FC	3H	PCFC
4H	P1	4H	P5	4H	P9	4H	
5H		5H		5H	P9FC2	5H	
6H	P1CR	6H		6H	P9CR	6H	
7H	P1FC	7H	P5FC	7H	P9FC	7H	
8H	P2	8H	P6	8H	PA	8H	
9H	P2FC2	9H		9H		9H	
AH	P2CR	AH	P6CR	AH	PACR	AH	
BH	P2FC	BH	P6FC	BH	PAFC	BH	
CH	P3	CH	P7	CH		CH	PF
DH		DH		DH		DH	PFFC2
EH	P3CR	EH	P7CR	EH		EH	PFCR
FH	P3FC	FH	P7FC	FH		FH	PFFC
アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0040H	PG	0050H	PK	0080H		0090H	PGDR
1H		1H		1H	P1DR	1H	
2H		2H		2H	P2DR	2H	
3H		3H	PKFC	3H	P3DR	3H	PJDR
4H		4H	PL	4H	P4DR	4H	PKDR
5H		5H		5H	P5DR	5H	PLDR
6H		6H	PLCR	6H	P6DR	6H	PMDR
7H		7H	PLFC	7H	P7DR	7H	
8H		8H	PM	8H	P8DR	8H	
9H		9H		9H	P9DR	9H	
AH		AH		AH	PADR	AH	
BH		BH	PMFC	BH		BH	
CH	PJ	CH		CH	PCDR	CH	
DH		DH		DH		DH	
EH	PJCR	EH		EH		EH	
FH	PJFC	FH		FH	PFDR	FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[2] INTC

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
00D0H	INTE12	00E0H	Reserved	00F0H	INTE0AD	0100H	DMA0V
1H	INTE34	1H	Reserved	1H	INTETC01	1H	DMA1V
2H		2H	Reserved	2H	INTETC23	2H	DMA2V
3H		3H	INTEUSB	3H	INTETC45	3H	DMA3V
4H	INTETA01	4H	Reserved	4H	INTETC67	4H	DMA4V
5H	INTETA23	5H	INTALM01	5H	SIMC	5H	DMA5V
6H		6H	INTALM23	6H	IIMC	6H	DMA6V
7H		7H	INTALM4	7H	INTWDT	7H	DMA7V
8H	INTETB01	8H	INTERTC	8H	INTCLR	8H	DMAB
9H		9H	INTEKEY	9H		9H	DMAR
AH	INTETBO0	AH	INTELCD	AH		AH	Reserved
BH	INTES0	BH	INTE5I2S	BH		BH	
CH	INTES1	CH	INTEND01	CH		CH	
DH		DH	Reserved	DH		DH	
EH		EH	INTEP0	EH		EH	
FH		FH	Reserved	FH		FH	

[3] MEMC

アドレス	レジスタ名
0140H	B0CSL
1H	B0CSH
2H	MAMR0
3H	MSAR0
4H	B1CSL
5H	B1CSH
6H	MAMR1
7H	MSAR1
8H	B2CSL
9H	B2CSH
AH	MAMR2
BH	MSAR2
CH	B3CSL
DH	B3CSH
EH	MAMR3
FH	MSAR3

アドレス	レジスタ名
0150H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	BEXCSL
9H	BEXCSH
AH	
BH	
CH	
DH	
EH	
FH	

[4] MMU

アドレス	レジスタ名
0160H	
1H	
2H	
3H	
4H	
5H	
6H	PMEMCR
7H	BROMCR
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
01D0H	LOCALPX
1H	LOCALPY
2H	
3H	LOCALPZ
4H	LOCALLX
5H	LOCALLY
6H	
7H	LOCALLZ
8H	LOCALRX
9H	LOCALRY
AH	
BH	LOCALRZ
CH	LOCALWX
DH	LOCALWY
EH	
FH	LOCALWZ

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[5] CGEAR, PLL

アドレス	レジスタ名
10E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	EMCCR2
6H	Reserved
7H	
8H	PLLCR0
9H	PLLCR1
AH	
BH	
CH	
DH	
EH	
FH	

[6] LCDC1

アドレス	レジスタ名	アドレス	レジスタ名
0280H	LCDMODE0	0290H	
1H	LCDMODE1	1H	LCDRP10
2H	LCDFFP	2H	LCDRP32
3H	LCDDVM	3H	LCDRP54
4H	LCDSIZE	4H	LCDRP76
5H	LCDCTL0	5H	LCDGP10
6H	LCDCTL1	6H	LCDGP32
7H	LCDSCC	7H	LCDGP54
8H	LCDCCR0	8H	LCDGP76
9H	LCDCCR1	9H	LCDBP10
AH	LCDCCR2	AH	LCDBP32
BH		BH	
CH		CH	
DH		DH	
EH		EH	
FH		FH	

[6] LCDC2

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
02A0H	LSARAL	02B0H	LCDOE00	02C0H	LCDOE10	02D0H	LCDOE20
1H	LSARAM	1H	LCDOE01	1H	LCDOE11	1H	LCDOE21
2H	LSARAH	2H	LCDOE02	2H	LCDOE12	2H	LCDOE22
3H	CMNAL	3H	LCDOE03	3H	LCDOE13	3H	LCDOE23
4H	CMNAH	4H	LCDOE04	4H	LCDOE14	4H	LCDOE24
5H		5H	LCDOE05	5H	LCDOE15	5H	LCDOE25
6H	LSARBL	6H		6H		6H	
7H	LSARBM	7H		7H		7H	
8H	LSARBH	8H		8H		8H	
9H	CMNBL	9H		9H		9H	
AH	CMNBH	AH		AH		AH	
BH		BH		BH		BH	
CH	LSARCL	CH		CH		CH	
DH	LSARCM	DH		DH		DH	
EH	LSARCH	EH		EH		EH	
FH		FH		FH		FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[7] TSI

アドレス	レジスタ名
01F0H	TSICR0
1H	TSICR1
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[8] SDRAMC

アドレス	レジスタ名
0250H	SDACR1
1H	SDACR2
2H	SDRCR
3H	SDCMM
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[9] 8ビットタイマ

アドレス	レジスタ名
1100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA01FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

[10] 16ビットタイマ

アドレス	レジスタ名
1180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

[11] SIO

アドレス	レジスタ名
1200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	SIRCR
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[12] USB コントローラ (1/2)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0500H	Descriptor RAM	0780H	ENDPOINT0	0790H	EP0_STATUS	07A0H	
067FH	(384 バイト)	1H	ENDPOINT1	1H	EP1_STATUS	1H	EP1_SIZE_L_B
		2H	ENDPOINT2	2H	EP2_STATUS	2H	EP2_SIZE_L_B
		3H	ENDPOINT3	3H	EP3_STATUS	3H	EP3_SIZE_L_B
		4H		4H		4H	
		5H		5H		5H	
		6H		6H		6H	
		7H		7H		7H	
		8H		8H	EP0_SIZE_L_A	8H	
		9H	EP1_MODE	9H	EP1_SIZE_L_A	9H	EP1_SIZE_H_A
		AH	EP2_MODE	AH	EP2_SIZE_L_A	AH	EP2_SIZE_H_A
		BH	EP3_MODE	BH	EP3_SIZE_L_A	BH	EP3_SIZE_H_A
		CH		CH		CH	
		DH		DH		DH	
		EH		EH		EH	
		FH		FH		FH	

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
07B0H		07C0H	bmRequestType	07D0H	COMMAND
1H	EP1_SIZE_H_B	1H	bRequest	1H	EPx_SINGLE1
2H	EP2_SIZE_H_B	2H	wValue_L	2H	
3H	EP3_SIZE_H_B	3H	wValue_H	3H	EPx_BCS1
4H		4H	wIndex_L	4H	
5H		5H	wIndex_H	5H	
6H		6H	wLength_L	6H	INT_Control
7H		7H	wLength_H	7H	
8H		8H	Setup Received	8H	Standard Request Mode
9H		9H	Current_Config	9H	Request Mode
AH		AH	Standard Request	AH	
BH		BH	Request	BH	
CH		CH	DATASET1	CH	
DH		DH	DATASET2	DH	
EH		EH	USB_STATE	EH	ID_CONTROL
FH		FH	EOP	FH	ID_STATE

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[12] USB コントローラ (2/2)

アドレス	レジスタ名	アドレス	レジスタ名
07E0H	Port_Status	07F0H	USBINTFR1
1H	FRAME_L	1H	USBINTFR2
2H	FRAME_H	2H	USBINTFR3
3H	ADDRESS	3H	USBINTFR4
4H		4H	USBINTMR1
5H		5H	USBINTMR2
6H	USBREADY	6H	USBINTMR3
7H		7H	USBINTMR4
8H	Set Descriptor STALL	8H	USBCR1
9H		9H	
AH		AH	
BH		BH	
CH		CH	
DH		DH	
EH		EH	
FH		FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Not Recommended for New Design

[13] 10ビット ADC

アドレス	レジスタ名
12A0H	ADREG0L
1H	ADREG0H
2H	ADREG1L
3H	ADREG1H
4H	ADREG2L
5H	ADREG2H
6H	ADREG3L
7H	ADREG3H
8H	Reserved
9H	Reserved
AH	Reserved
BH	Reserved
CH	Reserved
DH	Reserved
EH	Reserved
FH	Reserved

[14] WDT

アドレス	レジスタ名
1300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	ADMOD0
9H	ADMOD1
AH	ADMOD2
BH	Reserved
CH	
DH	
EH	
FH	

[15] RTC

アドレス	レジスタ名
1320H	SECR
1H	MINR
2H	HOURR
3H	DAYR
4H	DATER
5H	MONTHR
6H	YEARR
7H	PAGER
8H	RESTR
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[16] MLD

アドレス	レジスタ名
1330H	ALM
1H	MELALMC
2H	MELFL
3H	MELFH
4H	ALMINT
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[17] NAND フラッシュコントローラ

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
1CC0H		1CD0H	ND0FIMR	1CE0H		1CF0H	ND1FIMR
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H	ND0FMCR	4H	ND0FSPR	4H	ND1FMCR	4H	ND1FSPR
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H	ND0FSR	8H	ND0FRSTR	8H	ND1FSR	8H	ND1FRSTR
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH	ND0FISR	CH		CH	ND1FISR	CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
1D00H	ND0FDTR, ND1FDTR	1CB0H	ND0ECCRD ND1ECCRD	01C0H	NDCR
1EH		1H		1H	
1EFFH		2H		2H	
		3H		3H	
		4H		4H	
		5H		5H	
		6H		6H	
		7H		7H	
		8H		8H	
		9H		9H	
		AH		AH	
		BH		BH	
		CH		CH	
		DH		DH	
		EH		EH	
		FH		FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

[18] I²S

アドレス	レジスタ名
0800H	I2SBUFR
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	I2SBUFL
9H	
AH	
BH	
CH	
DH	
EH	I2SCTL0
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

Not Recommended
for New Design

(1) 入出力ポート (1/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
P1	PORT1	0004H	P17	P16	P15	P14	P13	P12	P11	P10		
			R/W									
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)									
P2	PORT2	0008H	P27	P26	P25	P24	P23	P22	P21	P20		
			R/W									
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)									
P3	PORT3	000CH	P37	P36	P35	P34	P33	P32	P31	P30		
			R/W									
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)									
P4	PORT4	0010H	P47	P46	P45	P44	P43	P42	P41	P40		
			R/W									
			0	0	0	0	0	0	0	0		
P5	PORT5	0014H	P57	P56	P55	P54	P53	P52	P51	P50		
			R/W									
			0	0	0	0	0	0	0	0		
P6	PORT6	0018H	P67	P66	P65	P64	P63	P62	P61	P60		
			R/W									
			外部端子データ(出力ラッチレジスタは“0”にクリアされます)									
P7	PORT7	001CH		P76	P75	P74	P73	P72	P71	P70		
				R/W								
				外部端子データ(出力ラッチレジスタは“1”にセットされます)	0	0	外部端子データ(出力ラッチレジスタは“1”にセットされます)	1				
P8	PORT8	0020H	P87	P86	P85	P84	P83	P82	P81	P80		
			R/W									
			1	1	1	1	1	0/1	1	1		
P9	PORT9	0024H	P97	P96	P95	P94	P93	P92	P91	P90		
			R				R/W					
			外部端子データ				0	外部端子データ (出力ラッチレジスタは“1”にセットされます)				
PA	PORTA	0028H	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0		
			R									
			外部端子データ									
PC	PORTC	0030H	PC7	PC6			PC3	PC2	PC1	PC0		
			R/W		R/W							
			外部端子データ(出力ラッチレジスタは“1”にセットされます)				外部端子データ (出力ラッチレジスタは“1”にセットされます)					
PF	PORTF	003CH	PF7					PF2	PF1	PF0		
			R/W									
			1	外部端子データ (出力ラッチレジスタは“1”にセットされます)								
PG	PORTG	0040H					PG3	PG2	PG1	PG0		
			R									
			外部端子データ									
PJ	PORTJ	004CH	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0		
			R/W									
			1	外部端子データ(出力ラッチレジスタは“1”にセットされます)	1	1	1	1	1			
PK	PORTK	0050H					PK3	PK2	PK1	PK0		
			R/W									
			0	0	0	0	0	0				
PL	PORTL	0054H	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0		
			R/W									
			外部端子データ (出力ラッチレジスタは“0”にクリアされます)						0	0	0	0
PM	PORTM	0058H						PM2	PM1			
			R/W									
							1	1				

(1) 入出力ポート (2/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P1CR	PORT1 control register	0006H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C	
			W								
			0	0	0	0	0	0	0	0	0
			0: 入力 1: 出力								
P1FC	PORT1 function register	0007H (RMW 禁)	/								P1F
											W
											0/1 0: ポート 1: データ バス (D8-D15)
P2CR	PORT2 control register	000AH (RMW 禁)	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C	
			W								
			0	0	0	0	0	0	0	0	0
			0: 入力 1: 出力								
P2FC	PORT2 function register	000BH (RMW 禁)	/								P2F
											W
											0/1 0: ポート 1: データ バス (D16-D23)
P2FC2	PORT2 function register2	0009H (RMW 禁)	P27F2	P26F2	P25F2	P24F2	P23F2	P22F2	P21F2	P20F2	
			W								
			0	0	0	0	0	0	0	0	0
			0: CMOS 出力 1: オープンドレイン								
P3CR	PORT3 control register	000EH (RMW 禁)	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C	
			W								
			0	0	0	0	0	0	0	0	0
			0: 入力 1: 出力								
P3FC	PORT3 function register	000FH (RMW 禁)	/								P3F
											W
											0/1 0: ポート 1: データ バス (D24-D31)
			"0"をライトしてください								
P4FC	PORT4 function register	0013H (RMW 禁)	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F	
			W								
			0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
			0: ポート 1: アドレスバス (A0-A7)								
P5FC	PORT5 function register	0017H (RMW 禁)	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F	
			W								
			0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
			0: ポート 1: アドレスバス (A8-A15)								
P6CR	PORT6 control register	001AH (RMW 禁)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C	
			W								
			0	0	0	0	0	0	0	0	0
			0: 入力 1: 出力								
P6FC	PORT6 function register	001BH (RMW 禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F	
			W								
			0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
			0: ポート 1: アドレスバス (A16-A23)								

(1) 入出力ポート (3/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P7CR	PORT7 control register	001EH (RMW 禁)		P76C	P75C			P72C	P71C		
				W				W			
				0	0			0	0		
				0: 入力ポート, WAIT 1: 出力ポート	0: 入力ポート, NDR/B 1: 出力ポート, R/W			0: 入力ポート 1: 出力ポート, NDWE @ <P72> = 0, WRLH @ <P72> = 1	0: 入力ポート 1: 出力ポート, NDRE @ <P71> = 0, WRL @ <P71> = 1		
P7FC	PORT7 function register	001FH (RMW 禁)		P76F	P75F	P74F	P73F	P72F	P71F	P70F	
				W							
				0	0	0	0	0	0	0	0/1
				0: ポート 1: WAIT	0: ポート 1: NDR/B, R/W	0: ポート 1: EA25	0: ポート 1: EA24	0: ポート 1: NDWE @ <P72> = 0, WRLH @ <P72> = 1	0: ポート 1: NDRE @ <P71> = 0, WRL @ <P71> = 1	0: ポート 1: RD	
P8FC	PORT8 function register	0023H (RMW 禁)		P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
				W							
				0	0	0	0	0	0	0	0
				0: ポート 1: CSZE	0: ポート 1: CSZD	0: ポート 1: WRUU, CSZC, ND1CE	0: ポート 1: WRUL, CSZB, ND0CE	0: ポート 1: CS3	0: ポート 1: CSZA, CS2, SDCS	0: ポート 1: CS1	0: ポート 1: CS0
P8FC2	PORT8 function register2	0021H (RMW 禁)		P87F2	P86F2	P85F2	P84F2	—	P82F2	P81F2	—
				W							
				0	0	0	0	0	0	0	0
				0: <P87F> 1: SRUUB	0: <P86F> 1: SRULB	0: ポート, CSZC 出力 1: WRUU, ND1CE	0: <P84F> 1: WRUL, ND0CE	“0”をライトしてください	0: 出力ポート 1: CSZA, SDCS	0: <P81F> 1: SDCS	“0”をライトしてください
P9CR	PORT9 control register	0026H (RMW 禁)			P95C	P94C	P93C	P92C	P91C	P90C	
				W							
					0	0	0	0	0	0	0
					0: 出力ポート, LGOE2 1: CLK32KO	0: 入力ポート, LGOE1 1: 出力ポート	0: 入力ポート, LGOE0 1: 出力ポート	0: 入力ポート, SCLK0, CTS0, I2SWS 1: 出力ポート, SCLK0	0: 入力ポート, RXD0, I2SDO 1: 出力ポート	0: 入力ポート, I2SCKO 1: 出力ポート, TXD0	
P9FC	PORT9 function register	0027H (RMW 禁)		P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
				W							
				0	0	0	0	0	0	0	0
				0: 入力ポート 1: INT5	0: 入力ポート 1: INT4	0: 出力ポート, CLK32KO 1: LGOE2	0: ポート 1: LGOE1	0: ポート 1: LGOE0 出力	0: ポート, SCLK0, CTS0 1: I2SWS, SCLK0	0: ポート, RXD0 1: I2SDO	0: ポート 1: I2SCKO, TXD0
P9FC2	PORT9 function register2	0025H (RMW 禁)								P90FC2	
				W							
											0
											0: CMOS 1: オープンドレイン

(1) 入出力ポート (4/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
PACR	PORTA control register	002AH (RMW 禁)	PA6C		PA5C	PA4C	PA3C				
			W								
			0	0	0	0					
			0: 入力ポート、キー入力 1: LD11~LD8 出力								
PAFC	PORTA function register	002BH (RMW 禁)	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F	
			W								
			0	0	0	0	0	0	0	0	0
			0: キー入力禁止 1: キー入力許可								
PCCR	PORTC control register	0032H (RMW 禁)	PC7C	PC6C			PC3C	PC2C	PC1C	PC0C	
			W								
			0	0			0	0	0	0	
			0: 入力ポート, CSZF 1: 出力ポート, LCP1	0: 入力ポート, KO8 (オープンドレイン) 1: 出力ポート, LDIV			0: 入力ポート, INT3 1: 出力ポート	0: 入力ポート, INT2 1: 出力ポート, TB0OUT	0: 入力ポート, INT1 1: 出力ポート, TA3OUT	0: 入力ポート, INT0 1: 出力ポート, TA1OUT	
PCFC	PORTC function register	0033H (RMW 禁)	PC7F	PC6F			PC3F	PC2F	PC1F	PC0F	
			W								
			0	0			0	0	0	0	
			0: ポート 1: CSZF, LCP1	0: ポート 1: KO8(オープンドレイン), LDIV			0: ポート 1: INT3	0: ポート 1: INT2, TB0OUT0	0: ポート 1: INT1, TA3OUT	0: ポート 1: INT0, TA1OUT	
PFCR	PORTF control register	003EH (RMW 禁)							PF2C	PF1C	PF0C
			W								
									0	0	0
									0: 入力ポート, SCLK1, CTS1, SCLK0, CTS0 1: 出力ポート, SCLK0	0: 入力ポート, RXD0/RXD1 1: 出力ポート, RXD1	0: 入力ポート, TXD1 1: 出力ポート, TXD0
PFFC	PORTF function register	003FH (RMW 禁)	PF7F					PF2F	PF1F	PF0F	
			W								
			1					0	0	0	
			0: 出力ポート 1: SDCLK					0: ポート, SCLK1, CTS1, SCLK0, CTS0 1: SCLK1, SCLK0	RXD0 端子選択 0: ポート F1 1: ポート 91	0: ポート TXD1 1: TXD0	
PFFC2	PORTF function register2	003DH (RMW 禁)							PF0F2		
			W								
									0		
									出力バッファ 0: CMOS 1: オープンドレイン		

(1) 入出力ポート (5/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PJCR	PORTJ control register	004EH (RMW 禁)		PJ6C	PJ5C							
			W									
			0	0	0							
			0: 入力		1: 出力							
PJFC	PORTJ function register	004FH (RMW 禁)	PJ7F	PJ6F	PJ5F	PJ4F	PJ3F	PJ2F	PJ1F	PJ0F		
			W									
			0	0	0	0	0	0	0	0	0	
			0: ポート 1: SDCKE	0: ポート 1: NDCLE, SDUUDQM	0: ポート 1: NDALE, SDULDQM	0: ポート 1: SDLUDQM	0: ポート 1: SDLLDQM	0: ポート 1: SDWE, SDWR	0: ポート 1: SDCAS, SRLUB	0: ポート 1: SDRAS, SRLLB		
PKFC	PORTK function register	0053H (RMW 禁)					PK3F	PK2F	PK1F	PK0F		
			W									
							0	0	0	0		
			0: ポート 1: LBCD		0: ポート 1: LFR		0: ポート 1: LLP		0: ポート 1: LCP0			
PLCR	PORTL control register	0056H (RMW 禁)	PL7C	PL6C	PL5C	PL4C						
			W									
			0	0	0	0						
			0: 入力		1: 出力							
PLFC	PORTL function register	0057H (RMW 禁)	PL7F	PL6F	PL5F	PL4F	PL3F	PL2F	PL1F	PL0F		
			W									
			0	0	0	0	0	0	0	0	0	
			0: ポート 1: LCDC用データバス (LD7~LD0)									
PMFC	PORTM function register	005BH (RMW 禁)						PM2F	PM1F			
			W									
							0	0				
			0: ポート 1: ALARM, MLDALM		0: ポート 1: MLDALM							

Not Recommended for New

(1) 入出力ポート (6/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
P1DR	PORT1 drive register	0081H	P17D	P16D	P15D	P14D	P13D	P12D	P11D	P10D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
P2DR	PORT2 drive register	0082H	P27D	P26D	P25D	P24D	P23D	P22D	P21D	P20D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
P3DR	PORT3 drive register	0083H	P37D	P36D	P35D	P34D	P33D	P32D	P31D	P30D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
P4DR	PORT4 drive register	0084H	P47D	P46D	P45D	P44D	P43D	P42D	P41D	P40D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
P5DR	PORT5 drive register	0085H	P57D	P56D	P55D	P54D	P53D	P52D	P51D	P50D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
P6DR	PORT6 drive register	0086H	P67D	P66D	P65D	P64D	P63D	P62D	P61D	P60D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
P7DR	PORT7 drive register	0087H	 	P76D	P75D	P74D	P73D	P72D	P71D	P70D		
			 	R/W								
			 	1	1	1	1	1	1	1	1	
スタンバイモード用入出力バッファドライブレジスタ												
P8DR	PORT8 drive register	0088H	P87D	P86D	P85D	P84D	P83D	P82D	P81D	P80D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
P9DR	PORT9 drive register	0089H	P97D	P96D	P95D	P94D	P93D	P92D	P91D	P90D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
PADR	PORTA drive register	008AH	PA7D	PA6D	PA5D	PA4D	PA3D	PA2D	PA1D	PA0D		
			R/W									
			1	1	1	1	1	1	1	1		
スタンバイモード用入出力バッファドライブレジスタ												
PCDR	PORTC drive register	008CH	PC7D	PC6D	 	 	 	PC3D	PC2D	PC1D	PC0D	
			 	R/W		 	 	R/W				
			 	1	1	 	 	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ				スタンバイモード用入出力バッファドライブレジスタ					
PFDR	PORTF drive register	008FH	PF7D	 	 	 	 	PF2D	PF1D	PF0D		
			 	R/W						R/W		
			 	 	 	 	 	 	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ				スタンバイモード用入出力バッファドライブレジスタ					

(1) 入出力ポート (7/7)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PGDR	PORTG drive register	0090H	7	6	5	4	PG3D	PG2D	1	0		
			7	6	5	4	R/W		1	0		
			7	6	5	4	1	1	1	0		
			7	6	5	4	スタンバイモード用 入出力バッファ ドライブレジスタ		1	0		
PJDR	PORTJ drive register	0093H	PJ7D	PJ6D	PJ5D	PJ4D	PJ3D	PJ2D	PJ1D	PJ0D		
			R/W									
			1	1	1	1	1	1	1	1	1	
			スタンバイモード用入出力バッファドライブレジスタ									
PKDR	PORTK drive register	0094H	7	6	5	4	PK3D	PK2D	PK1D	PK0D		
			7	6	5	4	R/W					
			7	6	5	4	1	1	1	1		
			7	6	5	4	スタンバイモード用入出力バッファ ドライブレジスタ					
PLDR	PORTL drive register	0095H	PL7D	PL6D	PL5D	PL4D	PL3D	PL2D	PL1D	PL0D		
			R/W									
			1	1	1	1	1	1	1	1		
			スタンバイモード用入出力バッファドライブレジスタ									
PMDR	PORTM drive register	0096H	7	6	5	4	3	PM2D	PM1D	0		
			7	6	5	4	3	R/W		0		
			7	6	5	4	3	1	1	0		
			7	6	5	4	3	スタンバイモード用 入出力バッファ ドライブレジスタ		0		

Not Recommended for New

(2) 割り込み制御 (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE12	INT1 & INT2 enable	00D0H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	00D1H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA01	INTTA0 & INTTA1 enable	00D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA23	INTTA2 & INTTA3 enable	00D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INETB01	INTTB0 & INTTB1 enable	00D8H	INTTB1 (TMRB1)				INTTB0 (TMRB0)			
			ITB1C	ITB1M2	ITB1M1	ITB1M0	ITB0C	ITB0M2	ITB0M1	ITB0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INETB00	INTTBO0 (Overflow) enable	00DAH	-				INTTBO0			
			-	-	-	-	ITBO0C	ITBO0M2	ITBO0M1	ITBO0M0
							R	R/W		
			"0"をライトしてください				0	0	0	0
INTES0	INTRX0 & INTTX0 enable	00DBH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTTX1 enable	00DCH	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEUSB	INTUSB enable	00E3H	-				INTUSB			
			-	-	-	-	IUSBC	IUSBM2	IUSBM1	IUSBM0
							R	R/W		
			"0"をライトしてください				0	0	0	0
INTEALM01	INTALM0 & INTALM1 enable	00E5H	INTALM1				INTALM0			
			IA1C	IA1M2	IA1M1	IA1M0	IA0C	IA0M2	IA0M1	IA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEALM23	INTALM2 & INTALM3 enable	00E6H	INTALM3				INTALM2			
			IA3C	IA3M2	IA3M1	IA3M0	IA2C	IA2M2	IA2M1	IA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

(2) 割り込み制御 (2/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
INTEALM4	INTALM4 enable	00E7H	-				INTALM4				
			-	-	-	-	IA4C	IA4M2	IA4M1	IA4M0	
							R	R/W			
			"0"をライトしてください				0	0	0	0	
INTERTC	INTRTC enable	00E8H	-				INTRTC				
			-	-	-	-	IRC	IRM2	IRM1	IRM0	
							R	R/W			
			"0"をライトしてください				0	0	0	0	
INTEKEY	INTKEY enable	00E9H	-				INTKEY				
			-	-	-	-	IKC	IKM2	IKM1	IKM0	
							R	R/W			
			"0"をライトしてください				0	0	0	0	
INTELCD	INTLCD enable	00EAH	-				INTLCD				
			-	-	-	-	ILCD1C	ILCDM2	ILCDM1	ILCDM0	
							R	R/W			
			"0"をライトしてください				0	0	0	0	
INTE5I2S	INT5 & INTI2S enable	00EBH	INTI2S				INT5				
			I2SC	I2SM2	I2SM1	I2SM0	I5C	I5M2	I5M1	I5M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTEND01	INTNDF0 & INTNDF1 enable	00ECH	INTNDF1				INTNDF0				
			IND1C	IND1M2	IND1M1	IND1M0	IND0C	IND0M2	IND0M1	IND0M0	
							R	R/W			
			0	0	0	0	0	0	0	0	
INTEP0	INTP0 enable	00EEH	-				INTP0				
			-	-	-	-	IPOC	IPOM2	IPOM1	IPOM0	
							R	R/W			
			"0"をライトしてください				0	0	0	0	

(2) 割り込み制御 (3/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
INTE0AD	INT0 & INTAD enable	00F0H	INTAD				INT0				
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC01	INTTC0 & INTTC1 enable	00F1H	INTTC1 (DMA1)				INTTC0 (DMA0)				
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC23	INTTC2 & INTTC3 enable	00F2H	INTTC3 (DMA3)				INTTC2 (DMA2)				
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC45	INTTC4 & INTTC5 enable	00F3H	INTTC5 (DMA5)				INTTC4 (DMA4)				
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
INTETC67	INTTC6 & INTTC7 enable	00F4H	INTTC7 (DMA7)				INTTC6 (DMA6)				
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
SIMC	SIO interrupt mode control	00F5H (RMW 禁)	-						IR1LE	IR0LE	
			W						W		
			0						1	1	
			"0" をライトしてください。						0: INTRX1 エッジモード 1: INTRX1 レベルモード	0: INTRX0 エッジモード 1: INTRX0 レベルモード	
IIMC	Interrupt input mode control	00F6H (RMW 禁)	I5EDGE	I4EDGE	I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	-	
			W							R/W	
			0	0	0	0	0	0	0	0	0
			INT5 EDGE 0: 立ち上がり 1: 立ち下がり	INT4 EDGE 0: 立ち上がり 1: 立ち下がり	INT3 EDGE 0: 立ち上がり 1: 立ち下がり	INT2 EDGE 0: 立ち上がり 1: 立ち下がり	INT1 EDGE 0: 立ち上がり 1: 立ち下がり	INT0 EDGE 0: 立ち上がり 1: 立ち下がり	0: INT0 エッジモード 1: INT0 レベルモード	"0" をライトしてください。	
INTWDT	INTWD enable	00F7H	-				INTWD				
			-		-		-		-		-
			"0"をライトしてください				R				
INTCLR	Interrupt clear control	00F8H (RMW 禁)	CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0	
			W								
			0	0	0	0	0	0	0	0	
割り込みベクタ											

(2) 割り込み制御 (4/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 start vector	0100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA1 start vector	0101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA2 start vector	0102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA3 start vector	0103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
DMA4V	DMA4 start vector	0104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 起動ベクタ					
DMA5V	DMA5 start vector	0105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 起動ベクタ					
DMA6V	DMA6 start vector	0106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 起動ベクタ					
DMA7V	DMA7 start vector	0107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 起動ベクタ					
DMAB	DMA burst	0108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
					R/W					
			0	0	0	0	0	0	0	0
			1: DMA のバースト要求							
DMAR	DMA request	0109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
					R/W					
			0	0	0	0	0	0	0	0
			1: DMA のソフト要求							

(3) メモリコントローラ (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
B0CSL	BLOCK0 CS/WAIT control register low	0140H (RMW 禁)		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0		
				W				W				
				0	1	0		0	1	0		
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				
B0CSH	BLOCK0 CS/WAIT control register high	0141H (RMW 禁)	B0E	-	-	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0		
				W								
				0	0	0	0	0	0	0/1	0/1	
				CS 選択 0: ディセーブル 1: イネーブル	"0"をライ トしてく ださい	"0"をライ トしてく ださい	ダミーサ イクル 0: 挿入し ない 1: 挿入す る	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: Reserved			
B1CSL	BLOCK1 CS/WAIT control register low	0144H (RMW 禁)		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0		
				W				W				
				0	1	0		0	1	0		
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				
B1CSH	BLOCK1 CS/WAIT control register high	0145H (RMW 禁)	B1E	-	-	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0		
				W								
				0	0	0	0	0	0	0/1	0/1	
				CS 選択 0: ディセーブル 1: イネーブル	"0"をライ トしてく ださい	"0"をライ トしてく ださい	ダミーサ イクル 0: 挿入し ない 1: 挿入す る	00: ROM/SRAM 01: Reserved 10: Reserved 11: SDRAM	データバス幅 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: Reserved			
B2CSL	BLOCK2 CS/WAIT control register low	0148H (RMW 禁)		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0		
				W				W				
				0	1	0		0	1	0		
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved				
B2CSH	BLOCK2 CS/WAIT control register high	0149H (RMW 禁)	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0		
				W								
				1	0	0	0	0	0	0/1	0/1	
				CS 選択 0: ディセーブル 1: イネーブル	0: 16 MB 1: エリア 設定	"0"をライ トしてく ださい	ダミーサ イクル 0: 挿入し ない 1: 挿入す る	00: ROM/SRAM 01: Reserved 10: Reserved 11: SDRAM	データバス幅 00: 8 ビット 01: 16 ビット 10: 32 ビット 11: Reserved			

(3) メモリコントローラ (2/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
B3CSL	BLOCK3 CS/WAIT control register low	014CH (RMW 禁)	7	6	5	4	3	2	1	0		
			B3WW2			B3WW1	B3WW0	B3WR2			B3WR1	B3WR0
			W						W			
			0	1	0	0	1	0				
			書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved			読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 011: (1+N) ウェイト 111: 4 ウェイト その他: Reserved						
B3CSH	BLOCK3 CS/WAIT control register high	014DH (RMW 禁)	B3E	-	-	B3REC	B3QM1	B3QM0	B3BUS1	B3BUS0		
			W									
			0	0	0	0	0	0	0/1	0/1		
			CS 選択 0: ディセーブル 1: イネーブル	"0"をライトしてください	"0"をライトしてください	ダミーサイクル 0: 挿入しない 1: 挿入する	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8ビット 01: 16ビット 10: 32ビット 11: Reserved				
BEXCSL	BLOCK EX CS/WAIT control register low	0158H (RMW 禁)	7	6	5	4	3	2	1	0		
			BEXWW2			BEXWW1	BEXWW0	BEXWR2			BEXWR1	BEXWR0
			W						W			
			0	1	0	0	1	0				
			書き込みウェイト数 001: 2 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 2 ウェイト 011: (1+N) ウェイト その他: Reserved			読み出しウェイト数 001: 2 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 2 ウェイト 011: (1+N) ウェイト その他: Reserved						
BEXCSH	BLOCK EX CS/WAIT control register high	0159H	7	6	5	4	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0		
			W									
			0	0	0/1	0/1						
						00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved			00: 8ビット 01: 16ビット 10: 32ビット 11: Reserved			
PMEMCR	Page ROM control register	0166H	7	6	5	4	OPGE	OPWR1	OPWR0	PR1	PR0	
			R/W									
			0	0	0	1	0					
			ROM ページアクセス 0: ディセーブル 1: イネーブル			ページ中ウェイト数 00: 1クロック (n-1-1-1 モード) 01: 2クロック (n-2-2-2 モード) 10: 3クロック (n-3-3-3 モード) 11: (Reserved)			1ページ中バイト数 00: 64バイト 01: 32バイト 10: 16バイト 11: 8バイト			

(3) メモリコントローラ (3/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
MAMR0	Memory address mask register 0	0142H	MOV20	MOV19	MOV18	MOV17	MOV16	MOV15	MOV14-9	MOV8	
			R/W								
			1	1	1	1	1	1	1	1	
			0: 比較許可				1: 比較禁止				
MSAR0	Memory start address register 0	0143H	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16	
			R/W								
			1	1	1	1	1	1	1	1	
			スタートアドレス A23 を A16 に設定								
MAMR1	Memory address mask register 1	0146H	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	MV15-9	M1V8	
			R/W								
			1	1	1	1	1	1	1	1	
			0: 比較許可				1: 比較禁止				
MSAR1	Memory start address register 1	0147H	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16	
			R/W								
			1	1	1	1	1	1	1	1	
			スタートアドレス A23 を A16 に設定								
MAMR2	Memory address mask register 2	014AH	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15	
			R/W								
			1	1	1	1	1	1	1	1	
			0: 比較許可				1: 比較禁止				
MSAR2	Memory start address register 2	014BH	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16	
			R/W								
			1	1	1	1	1	1	1	1	
			スタートアドレス A23 を A16 に設定								
MAMR3	Memory address mask register 3	014EH	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15	
			R/W								
			1	1	1	1	1	1	1	1	
			0: 比較許可				1: 比較禁止				
MSAR3	Memory start address register 3	014FH	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16	
			R/W								
			1	1	1	1	1	1	1	1	
			スタートアドレス A23 を A16 に設定								
BROMCR	Boot ROM control register	0167H							ROMLESS	VACE	
			R/W								
										0/1	1/0
										ブートROM 0:使用 1:バイパス	ベクタアドレス変換 0:禁止 1:許可

(4) MMU (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LOCALPX	LOCALX register for program	01D0H	LXE			X4	X3	X2	X1	X0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCAL-X用バンク使用 0: 禁止 1: 許可			LOCAL-X用バンク数設定 ("0"はコモンエリアと重なっているため設定禁止)						
LOCALPY	LOCALY register for program	01D1H	LYE			Y4	Y3	Y2	Y1	Y0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCAL-Y用バンク使用 0: 禁止 1: 許可			LOCAL-Y用バンク数設定 ("3"はコモンエリアと重なっているため設定禁止)						
LOCALPZ	LOCALZ register for program	01D3H	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W	R/W								
			0	0	0	0	0	0	0	0		
			LOCAL-Z用バンク使用 0: 禁止 1: 許可			LOCAL-Z用バンク数設定 ("3"はコモンエリアと重なっているため設定禁止)						
LOCALLX	LOCALX register for LCDC	01D4H	LXE			X4	X3	X2	X1	X0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCAL-X用バンク使用 0: 禁止 1: 許可			LOCAL-X用バンク数設定 ("0"はコモンエリアと重なっているため設定禁止)						
LOCALLY	LOCALY register for LCDC	01D5H	LYE			Y4	Y3	Y2	Y1	Y0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCAL-Y用バンク使用 0: 禁止 1: 許可			LOCAL-Y用バンク数設定 ("3"はコモンエリアと重なっているため設定禁止)						
LOCALLZ	LOCALZ register for LCDC	01D7H	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0		
			R/W	R/W								
			0	0	0	0	0	0	0	0		
			LOCAL-Z用バンク使用 0: 禁止 1: 許可			LOCAL-Z用バンク数設定 ("3"はコモンエリアと重なっているため設定禁止)						
LOCALRX	LOCALX register for read	01D8H	LXE			X4	X3	X2	X1	X0		
			R/W			R/W						
			0			0	0	0	0	0		
			LOCAL-X用バンク使用 0: 禁止 1: 許可			LOCAL-X用バンク数設定 ("0"はコモンエリアと重なっているため設定禁止)						

(4) MMU (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
LOCALRY	LOCALY register for read	01D9H	LYE			Y4	Y3	Y2	Y1	Y0
			R/W			R/W				
			0			0	0	0	0	0
			LOCAL-Y 用バンク使 用 0: 禁止 1: 許可			LOCAL-Y 用バンク数設定 ("3" は共通エリアと重なっているため設定禁止)				
LOCALRZ	LOCALZ register for read	01DBH	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
			R/W	R/W						
			0	0	0	0	0	0	0	0
			LOCAL-Z 用バンク使 用 0: 禁止 1: 許可			LOCAL-Z 用バンク数設定 ("3" は共通エリアと重なっているため設定禁止)				
LOCALWX	LOCALX register for write	01DCH	LXE			X4	X3	X2	X1	X0
			R/W			R/W				
			0			0	0	0	0	0
			LOCAL-X 用バンク使 用 0: 禁止 1: 許可			LOCAL-X 用バンク数設定 ("0" は共通エリアと重なっているため設定禁止)				
LOCALWY	LOCALY register for write	01DDH	LYE			Y4	Y3	Y2	Y1	Y0
			R/W			R/W				
			0			0	0	0	0	0
			LOCAL-Y 用バンク使 用 0: 禁止 1: 許可			LOCAL-Y 用バンク数設定 ("3" は共通エリアと重なっているため設定禁止)				
LOCALWZ	LOCALZ register for write	01DFH	LZE	Z6	Z5	Z4	Z3	Z2	Z1	Z0
			R/W	R/W						
			0	0	0	0	0	0	0	0
			LOCAL-Z 用バンク使 用 0: 禁止 1: 許可			LOCAL-Z 用バンク数設定 ("3" は共通エリアと重なっているため設定禁止)				

(5) クロックギア、PLL

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SYSCR0	System clock control register0	10E0H	XEN	XTEN					WUEF		
			R/W						R/W		
			1	1					0		
			高速発振器 0: 停止 1: 発振	低速発振器 0: 停止 1: 発振					ウォームアップ タイマ		
SYSCR1	System clock control register1	10E1H						SYSCK	GEAR2	GEAR1	GEAR0
			R/W						R/W		
								0	1	0	0
								システム クロック 選択 0: 高速 1: 低速	高周波ギア値の選択 000: fc 101: (Reserved) 001: fc/2 110: (Reserved) 010: fc/4 111: (Reserved) 011: fc/8 100: fc/16		
SYSCR2	System clock control register2	10E2H	-		WUPTM1	WUPTM0	HALTM1	HALTM0			
			R/W		R/W						
			0		1	0	1	1			
			“0”を ライトし てくださ い。		ウォームアップ タイマ 00: Reserved 01: 2 ⁹ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数	HALTモード 00: Reserved 01: STOPモード 10: IDLE1モード 11: IDLE2モード					
EMCCR0	EMC control register0	10E3H	PROTECT						EXTIN	DRVOSCH	DRVOSCL
			R						R/W	R/W	R/W
			0						0	1	1
			プロテ クトフ ラグ 0: OFF 1: ON						1: 外部 クロック	高周波発 振器ドラ イバアビ リティ 0: NORMAL 1: WEAK	低周波発 振器ドラ イバアビ リティ 0: WEAK
EMCCR1	EMC control register1	10E4H	下記 1st-KEY、2nd-KEY の動作実施によりプロテクト ON/OFF。 1st-KEY: EMCCR1 = 5AH、EMCCR2 = A5H を連続ライト。 2nd-KEY: EMCCR1 = A5H、EMCCR2 = 5AH を連続ライト。								
EMCCR2	EMC control register2	10E5H									
PLLCR0	PLL control register0	10E8H		FCSEL	LUPFG						
				R/W	R						
				0	0						
				高周波 クロック 選択 0: fOSCH 1: fPLL	ロック アップ タイマ ステータス フラグ						
PLLCR1	PLL control register1	10E9H	PLLON								
			R/W								
			0								
			On/Off 制御 0: OFF 1: ON								

(6) LCD コントローラ (1/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
LCDMODE0	LCD mode0 register	0280H	RAMTYPE1	RAMTYPE0	SCPW1	SCPW0	MODE3	MODE2	MODE1	MODE0		
			R/W									
			0	0	1	0	0	0	0	0	0	
			表示 RAM 00:内蔵 SRAM 01:外部 SRAM 10:SDRAM 11:Reserved	LD バス転送速度 00: Reserved 01: 2 × fSYS 10: 4 × fSYS 11: 8 × fSYS	モード選択 0000:RAM 内蔵型 0001:SR 型モノクロ 0010:SR 型 4Gray 0011:SR 型 8Gray 0100:SR 型 16Gray	0101:STN256 色 0110:STN4096 色 0111:Reserved 1000:TFT256 色 1001:TFT4096 色 その他:Reserved						
LCDMODE1	LCD mode1 register	0281H			LLPMODE	LDINV	AUTOINV	INTMODE	LDO1	LDO0		
			R/W									
			0	0	0	0	0	0	0	0		
			LLP モード 0:Mode1 1:Mode2	LD バス 反転 0:ノーマル 1:反転	自動バス 反転 0:停止 1:動作(TFT 設定時のみ 有効)	割り込み 選択 0:LP 1:BCD	LD バス幅制御 00: 4bit 幅 A_type 01: 4bit 幅 B_type 10: 8bit 幅 A_type 11: 8bit 幅 B_type					
LCDFFP	LCD frame frequency register	0282H	FP7	FP6	FP5	FP4	FP3	FP2	FP1	FP0		
			R/W									
			0	0	0	0	0	0	0	0		
fFP 用 Bit7~0 設定												
LCDDVM	LCD divide frame register	0283H	FMN7	FMN6	FMN5	FMN4	FMN3	FMN2	FMN1	FMN0		
			R/W									
			0	0	0	0	0	0	0	0		
DVMBit7~0 設定												
LCDSIZE	LCD size register	0284H	COM3	COM2	COM1	COM0	SEG3	SEG2	SEG1	SEG0		
			R/W									
			0	0	0	0	0	0	0	0		
			コモン設定 0000: Reserved 0001: 64 0010: 120 0011: 128 0100: 160	0101: 200 0110: 240 0111: 320 1000: 480 その他: Reserved	セグメント数設定 0000: Reserved 0001: 64 0010: 128 0011: 160 0100: 256 その他: Reserved	0101: 320 0110: 480 0111: 640 1000: 768 1001: 960						
LCDCTL0	LCD control0 register	0285H		ALL0	FRMON	-	FP9	MMULCD	FP8	START		
			R/W									
			0	0	0	0	0	0	0	0		
			セグメント データ設定 0:通常 1:出力(全て "0")	FR 分割設 定 0:停止 1:動作	"0"をライ トしてくだ さい	fFP 設定 Bit9	内蔵 RAM LCDD 設定 0:シーケン シャル 1:ランダム	fFP 設定 Bit8	LCDC 動作 0:停止 1:動作			
LCDCTL1	LCD control1 register	0286H	LCP0P	LCP1P	LBCDP				LBCDW1	LBCDW0		
			R/W	R/W	R/W				R/W	R/W		
			1	0	0				0	0		
			LCP0 位相 0:立ち 上がり 1:立ち 下がり	LCP1 位相 0:立ち 上がり 1:立ち 下がり	LBCD 位相 0:Low 1:High				LBCD イネーブル 時間制御 00:LCP1_1CLK 01:LCP1_2CLK 10:LCP1_3CLK 11:Reserved			

(6) LCD コントローラ (2/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0
LCDSCC	LCD source clock counter register	0287H	SCC7	SCC6	SCC5	SCC4	SCC3	SCC2	SCC1	SCC0
			R/W							
			0	0	0	0	0	0	0	0
LCDSC ソースクロックカウンタ Bit7~0										
LCDCCR0	LCD clock counter register 0	0288H						PCPV2	PCPV1	PCPV0
			R/W							
							0	0	0	
Pre LCP1 CLK 設定: LCP1 パルス数ゲートドライバ LCP1 の有効クロックまでのダミークロック設定										
LCDCCR1	LCD clock counter register 1	0289H				TLDE4	TLDE3	TLDE2	TLDE1	TLDE0
			R/W							
						0	0	0	0	0
TFT ソースドライバ、LLP Enable 信号設定: SYSCLK パルス数×8 LLP 信号の Enable 時間設定レジスタ										
LCDCCR2	LCD clock counter register 2	028AH	LLPSU7	LLPSU6	LLPSU5	LLPSU4	LLPSU3	LLPSU2	LLPSU1	LLPSU0
			R/W							
			0	0	0	0	0	0	0	0
LLP_Set-up 時間設定:LCP0 パルス数 TFT ソースドライバ LLP 信号のセットアップ時間設定										
LCDRP10	LCD red palette register 10	0291H	1R3	1R2	1R1	1R0	0R3	0R2	0R1	0R0
			R/W				R/W			
			0	0	1	0	0	0	0	0
256 カラー-STN モード RED1 レベル設定										
LCDRP32	LCD red palette register 32	0292H	3R3	3R2	3R1	3R0	2R3	2R2	2R1	2R0
			R/W				R/W			
			0	1	1	0	0	1	0	0
256 カラー-STN モード RED3 レベル設定										
LCDRP54	LCD red palette register 54	0293H	5R3	5R2	5R1	5R0	4R3	4R2	4R1	4R0
			R/W				R/W			
			1	0	1	0	1	0	0	0
256 カラー-STN モード RED5 レベル設定										
LCDRP76	LCD red palette register 76	0294H	7R3	7R2	7R1	7R0	6R3	6R2	6R1	6R0
			R/W				R/W			
			1	1	1	0	1	1	0	0
256 カラー-STN モード RED7 レベル設定										

(6) LCD コントローラ (3/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0
LCDGP10	LCD green palette register 10	0295H	1G3	1G2	1G1	1G0	0G3	0G2	0G1	0G0
			R/W				R/W			
			0	0	1	0	0	0	0	0
			256 カラー-STN モード GREEN1 レベル設定				256 カラー-STN モード GREEN0 レベル設定			
LCDGP32	LCD green palette register 32	0296H	3G3	3G2	3G1	3G0	2R3	2G2	2G1	2G0
			R/W				R/W			
			0	1	1	0	0	1	0	0
			256 カラー-STN モード GREEN3 レベル設定				256 カラー-STN モード GREEN2 レベル設定			
LCDGP54	LCD green palette register 54	0297H	5G3	5G2	5G1	5G0	4G3	4G2	4G1	4G0
			R/W				R/W			
			1	0	1	0	1	0	0	0
			256 カラー-STN モード GREEN5 レベル設定				256 カラー-STN モード GREEN4 レベル設定			
LCDGP76	LCD green palette register 76	0298H	7G3	7G2	7G1	7G0	6G3	6G2	6G1	6G0
			R/W				R/W			
			1	1	1	0	1	1	0	0
			256 カラー-STN モード GREEN7 レベル設定				256 カラー-STN モード GREEN6 レベル設定			
LCDBP10	LCD blue palette register 10	0299H	1B3	1B2	1B1	1B0	0B3	0B2	0B1	0B0
			R/W				R/W			
			0	1	0	0	0	0	0	0
			256 カラー-STN モード BLUE1 レベル設定				256 カラー-STN モード BLUE0 レベル設定			
LCDBP32	LCD blue palette register 32	029AH	3B3	3B2	3B1	3B0	2B3	2B2	2B1	2B0
			R/W				R/W			
			1	1	0	0	1	0	0	0
			256 カラー-STN モード BLUE3 レベル設定				256 カラー-STN モード BLUE2 レベル設定			

(6) LCD コントローラ (4/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
LSARAL	Start address register A-area (L)	02A0H	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	
			R/W								
			0	0	0	0	0	0	0	0	
A エリア用 (Bit7~0) スタートアドレス											
LSARAM	Start address register A-area (M)	02A1H	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	
			R/W								
			0	0	0	0	0	0	0	0	
A エリア用 (Bit15~8) スタートアドレス											
LSARAH	Start address register A-area (H)	02A2H	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	
			R/W								
			0	1	0	0	0	0	0	0	
A エリア用 (Bit23~16) スタートアドレス											
CMNAL	Common number register A-area (L)	02A3H	CA7	CA6	CA5	CA4	CA3	CA2	CA1	CA0	
			R/W								
			0	0	0	0	0	0	0	0	
A エリア用 (Bit7~0) コモン数設定											
CMNAH	Common number register A-area (H)	02A4H	/								CA8
			/								R/W
			/								0
A エリア (Bit8)											
LSARBL	Start address register B-area (L)	02A6H	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	
			R/W								
			0	0	0	0	0	0	0	0	
B エリア (Bit7~0) 用スタートアドレス											
LSARBM	Start address register B-area (M)	02A7H	SB15	SB14	SB13	SB12	SB11	SB10	SB9	SB8	
			R/W								
			0	0	0	0	0	0	0	0	
B エリア (Bit15~8) 用スタートアドレス											
LSARBH	Start address register B-Area(H)	02A8H	SB23	SB22	SB21	SB20	SB19	SB18	SB17	SB16	
			R/W								
			0	1	0	0	0	0	0	0	
B エリア (Bit23~16) 用スタートアドレス											
CMNBL	Common number register B-area (L)	02A9H	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0	
			R/W								
			0	0	0	0	0	0	0	0	
B エリア用 (Bit7~0) コモン数設定											
CMNBH	Common number register B-area (H)	02AAH	/								CB8
			/								R/W
			/								0
B エリア (Bit8)											
LSARCL	Start address register C-area (L)	02ACH	SC7	SC6	SC5	SC4	SC3	SC2	SC1	SC0	
			R/W								
			0	0	0	0	0	0	0	0	
C エリア (Bit7~0) 用スタートアドレス											
LSARCM	Start address register C-area (M)	02ADH	SC15	SC14	SC13	SC12	SC11	SC10	SC9	SC8	
			R/W								
			0	0	0	0	0	0	0	0	
C エリア (Bit15~8) 用スタートアドレス											
LSARCH	Start address register C-area (H)	02AEH	SC23	SC22	SC21	SC20	SC19	SC18	SC17	SC16	
			R/W								
			0	1	0	0	0	0	0	0	
C エリア (Bit23~16) 用スタートアドレス											

(6) LCD コントローラ (5/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0
LCDOE00	LCD OE0 control register 0	02B0H	OE007	OE006	OE005	OE004	OE003	OE002	OE001	OE000
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE0 制御										
LCDOE01	LCD OE0 control register 1	02B1H	OE017	OE016	OE015	OE014	OE013	OE012	OE011	OE010
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE0 制御										
LCDOE02	LCD OE0 control register 2	02B2H	OE027	OE026	OE025	OE024	OE023	OE022	OE021	OE020
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE0 制御										
LCDOE03	LCD OE0 control register 3	02B3H	OE037	OE036	OE035	OE034	OE033	OE032	OE031	OE030
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE0 制御										
LCDOE04	LCD OE0 control register 4	02B4H	OE047	OE046	OE045	OE044	OE043	OE042	OE041	OE040
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE0 制御										
LCDOE05	LCD OE0 control register 5	02B5H	OE057	OE056	OE055	OE054	OE053	OE052	OE051	OE050
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE0 制御										
LCDOE10	LCD OE1 control register 0	02C0H	OE107	OE106	OE105	OE104	OE103	OE102	OE101	OE100
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE1 制御										
LCDOE11	LCD OE1 control register 1	02C1H	OE117	OE116	OE115	OE114	OE113	OE112	OE111	OE110
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE1 制御										
LCDOE12	LCD OE1 control register 2	02C2H	OE127	OE126	OE125	OE124	OE123	OE122	OE121	OE120
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE1 制御										
LCDOE13	LCD OE1 control register 3	02C3H	OE137	OE136	OE135	OE134	OE133	OE132	OE131	OE130
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE1 制御										
LCDOE14	LCD OE1 control register 4	02C4H	OE147	OE146	OE145	OE144	OE143	OE142	OE141	OE140
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE1 制御										
LCDOE15	LCD OE1 control register 5	02C5H	OE157	OE156	OE155	OE154	OE153	OE152	OE151	OE150
			R/W							
			0	0	0	0	0	0	0	0
TFT ゲートドライバ OE1 制御										

(6) LCD コントローラ (6/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0
LCDOE20	LCD OE2 control register 0	02D0H	OE207	OE206	OE205	OE204	OE203	OE202	OE201	OE200
			R/W							
			0	0	0	0	0	0	0	0
			TFT ゲートドライバ OE2 制御							
LCDOE21	LCD OE2 control register 1	02D1H	OE217	OE216	OE215	OE214	OE213	OE212	OE211	OE210
			R/W							
			0	0	0	0	0	0	0	0
			TFT ゲートドライバ OE2 制御							
LCDOE22	LCD OE2 control register 2	02D2H	OE227	OE226	OE225	OE224	OE223	OE222	OE221	OE220
			R/W							
			0	0	0	0	0	0	0	0
			TFT ゲートドライバ OE2 制御							
LCDOE23	LCD OE2 control register 3	02D3H	OE237	OE236	OE235	OE234	OE233	OE232	OE231	OE230
			R/W							
			0	0	0	0	0	0	0	0
			TFT ゲートドライバ OE2 制御							
LCDOE24	LCD OE2 control register 4	02D4H	OE247	OE246	OE245	OE244	OE243	OE242	OE241	OE240
			R/W							
			0	0	0	0	0	0	0	0
			TFT ゲートドライバ OE2 制御							
LCDOE25	LCD OE2 control register 5	02D5H	OE257	OE256	OE255	OE254	OE253	OE252	OE251	OE250
			R/W							
			0	0	0	0	0	0	0	0
			TFT ゲートドライバ OE2 制御							

Not Recommended for New Design

(7) タッチスクリーン I/F

記号	名称	アドレス	7	6	5	4	3	2	1	0
TSICR0	Touch screen I/F control register 0	01F0H	TSI7		PTST	TWIEN	PYEN	PXEN	MYEN	MXEN
			R/W		R	R/W	R/W	R/W	R/W	R/W
			0		0	0	0	0	0	0
			0:ディセーブル 1:イネーブル		検出状態 0: 検出なし 1: 検出中	INT4 割り込み 制御 0: ディセーブル 1: イネーブル	SPY 0: OFF 1: ON	SPX 0: OFF 1: ON	SMY 0: OFF 1: ON	SMX 0: OFF 1: ON
TSICR1	Touch screen I/F control register 1	01F1H	DBC7	DB1024	DB256	DB64	DB8	DB4	DB2	DB1
			R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0
			0:ディセーブル 1:イネーブル	1024	256	64	8	4	2	1
デバウンス時間は“(N × 64 - 16)/fsys”の式により設定されます。 “N”はビット6~ビット0に“1”をに設定した数の総計を表します。										

(8) SDRAM コントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SDACR1	SDRAM access control register1	0250H	-	-	SMRD	SWRC	SBST	SBL1	SBL0	SMAC		
			R/W									
			0	0	0	0	0	0	1	0	0	
			“0”をライトしてください	“0”をライトしてください	モードレジスタセットディレイタイム 0:1クロック 1:2クロック	ライトリカバリタイム 0:1クロック 1:2クロック	バーストストップコマンド 0: オールブリチャージ 1: バーストストップ	リードバースト長選択 00: Reserved 01: フルページリードバーストライト 10: 1ワードリードシングルライト 11: フルページリードシングルライト	SDRAMコントローラ 0: ディセーブル 1: イネーブル			
SDACR2	SDRAM access control register2	0251H				SBS	SDRS1	SDRS0	SMUXW1	SMUXW0		
			R/W									
						0	0	0	0	0		
						BANK 数	ROW アドレスサイズ 選択	アドレス マルチプレクスタイプ 選択				
SDRCR	SDRAM refresh control register	0252H					SRS2	SRS1	SRS0	SRC		
			R/W									
							0	0	0	0		
							リフレッシュ間隔 000: 47 ステート 100: 156 ステート 001: 78 ステート 101: 295 ステート 010: 97 ステート 110: 249 ステート 011: 124 ステート 111: 312 ステート	オートリフレッシュ 0: ディセーブル 1: イネーブル				
SDCMM	SDRAM command register	0253H						SCMM2	SCMM1	SCMM0		
			R/W									
							0	0	0			
			コマンド発行									

(9) 8ビットタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
TA01RUN	TMRA01 RUN register	1100H	TA0RDE					I2TA01	TA01PRUN	TA1RUN	TA0RUN	
			R/W					R/W				
			0					0	0	0	0	
			ダブルバ ツファ 0: ディセー ブル 1: イネーブル				IDLE2 0: 停止 1: 動作	TMRA01 プリスケ ーラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカ ウンタ (UC1)	アップカ ウンタ (UC0)		
TA0REG	8-bit timer register 0	1102H (RMW 禁)	-							W	不定	
TA1REG	8-bit timer register 1	1103H (RMW 禁)	-							W	不定	
TA01MOD	TMRA01 MODE register	1104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード	PWM サイクル 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸	TMRA1用ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256	TMRA0用ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16						
TA1FFCR	TMRA1 Flip-Flop control register	1105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS		
			-							W	R/W	
								1	1	0	0	
							00: TA1EF 反転 01: TA1FF 設定 10: TA1FF クリア 11: Don't care	反転用 TA1FF 制御 0: ディセーブル 1: イネーブル	TA1FF 反転選択 0: TMRA0 1: TMRA1			
TA23RUN	TMRA23 RUN register	1108H	TA1RDE					I2TA23	TA23PRUN	TA3RUN	TA2RUN	
			R/W					R/W				
			0					0	0	0	0	
			ダブルバ ツファ 0: ディセー ブル 1: イネーブル				IDLE2 0: 停止 1: 動作	TMRA23 プリスケ ーラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカ ウンタ (UC3)	アップカ ウンタ (UC2)		
TA2REG	8-bit timer register 2	110AH (RMW 禁)	-							W	不定	
TA3REG	8-bit timer register 3	110BH (RMW 禁)	-							W	不定	
TA23MOD	TMRA23 MODE register	110CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0		
			R/W									
			0	0	0	0	0	0	0	0	0	
			動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード	PWM サイクル 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸	TMRA3用ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256	TMRA2用ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16						
TA3FFCR	TMRA3 Flip-Flop control register	110DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS		
			-							W	R/W	
								1	1	0	0	
							00: TA3FF 反転 01: TA3FF 設定 10: TA3FF クリア 11: Don't care	反転用 TA3FF 制御 0: ディセーブル 1: イネーブル	TA3FF 反転選択 0: TMRA2 1: TMRA3			

(10) 16ビットタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB0RUN	TMRB0 RUN register	1180H	TBORDE	-			I2TB0	TB0PRUN		TB0RUN
			R/W	R/W			R/W	R/W		R/W
			0	0			0	0		0
			ダブルパルファ 0: ディセーブル 1: イネーブル	"0"をライトしてください			IDLE2 0: 停止 1: 動作	TMRB0プリスケラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカウンタ (UC10)	
TB0MOD	TMRB0 MODE register	1182H (RMW 禁)	-	-	TB0CPOI	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
			R/W		W			R/W		
			0	0	1	0	0	0	0	0
			"0"をライトしてください	ソフトウェアキャプチャの実行 0: キャプチャ 1: 未定義	キャプチャタイミング 00: ディセーブル 01: Reserved 10: Reserved 11: TA1OUT↑ TA1OUT↓	アップカウンタ制御 0: クリア 1: クリア許可	TMRB0 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16			
TB0FFCR	TMRB0 Flip-Flop control register	1183H (RMW 禁)	-	-	TB0CT1	TB0COT1	TB0E1T1	TB0E0T1	TB0FFOC1	TB0FFOC0
			W*		R/W			W*		
			1	1	0	0	0	0	1	1
			"11"をライトしてください	TB0FF0 反転制御 0: 反転禁止 1: 反転許可	TB0CP1H/LへUC0値をキャプチャする時	TB0CP0H/LへUC0値をキャプチャする時	UC0とTB0RG1H/Lとの一致時	UC0とTB0RG0H/Lとの一致時	TB0FF0制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に"11"となります。	
TB0RG0L	16 bit timer register 0 low	1188H (RMW 禁)								
TB0RG0H	16 bit timer register 0 high	1189H (RMW 禁)								
TB0RG1L	16 bit timer register 1 low	118AH (RMW 禁)								
TB0RG1H	16 bit timer register 1 high	118BH (RMW 禁)								
TB0CP0L	Capture register 0 low	118CH								
TB0CP0H	Capture register 0 high	118DH								
TB0CP1L	Capture register 1 low	118EH								
TB0CP1H	Capture register 1 high	118FH								

(11) UART/シリアルチャネル (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC0BUF	Serial channel 0 buffer register	1200H (RMW 禁)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0		
			R (受信) / W (送信) 不定									
SC0CR	Serial channel 0 control register	1201H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC		
			R	R/W			R (リードすると "0" にクリア)			R/W		
			不定	0	0	0	0	0	0	0	0	
SC0MOD0	Serial channel 0 mode 0 register	1202H	受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ 0: ディセーブル 1: イネーブル	オーバーラン	1: エラー	フレーミング	0: SCLK0↑ 1: SCLK0↓	0: ボーレートジェネレータ 1: SCLK0 端子入力		
			送信データビット 8	0: CTS ディセーブル 1: CTS イネーブル	0: 受信禁止 1: 受信許可	ウェイクアップ 0: ディセーブル 1: イネーブル	00: I/O インタフェースモード 01: 7ビット UART モード 10: 8ビット UART モード 11: 9ビット UART モード	00: TAOTRG 01: ボーレートジェネレータ 10: 内部クロック f _{IO} 11: 外部クロック (SCLK0 入力)				
			0	0	0	0	0	0	0	0		
BR0CR	Serial channel 0 baud rate control register	1203H	-	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0		
			R/W									
			0	0	0	0	0	0	0	0		
BR0ADD	Serial channel 0 K setting register	1204H	"0" をライトしてください	(16-K)/16 分周 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32	分周値 "N" 設定 0-F						
			R/W									
			0	0	0	0	0	0	0	0		
SC0MOD1	Serial channel 0 mode 1 register	1205H	12S0	FDPX0								
			R/W	R/W								
			0	0								
SIRCR	IrDA control register	1207H	IDLE2	同期式 0: 半二重 1: 全二重								
			0: 停止 1: 動作	0: 半二重 1: 全二重								
			0	0								
SIRCR	IrDA control register	1207H	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0		
			R/W									
			0	0	0	0	0	0	0	0		
			パルス幅送信選択 0: 3/16 1: 1/16	受信データ 0: "H"パルス 1: "L"パルス	送信 0: ディセーブル 1: イネーブル	受信 0: ディセーブル 1: イネーブル	受信パルス幅選択 有効 SIRRxD パルス幅設定 2x × (設定値 + 1) + 100ns 以上のパルス幅 設定可能: 1~14 設定不可能: 0, 15					

(11) UART/シリアルチャネル (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC1BUF	Serial channel 1 buffer register	1208H (RMW 禁)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0		
			R (受信) /W (送信)								不定	
SC1CR	Serial channel 1 control register	1209H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC		
			R	R/W		R (リードすると"0"にクリア)			R/W			
			不定	0	0	0	0	0	0	0	0	
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ 0: ディセーブル 1: イネーブル	オーバラン	1: エラー パリティ フレーミング	0: SCLK1↑ 1: SCLK1↓	0: ボーレートジェネレータ 1: SCLK1 端子入力			
SC1MOD0	Serial channel 1 mode 0 register	120AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0		
			R/W								0	
			送信データビット 8	0: CTS ディセーブル 1: CTS イネーブル	0: 受信禁止 1: 受信許可	ウェイクアップ 0: ディセーブル 1: イネーブル	00: I/O インタフェースモード 01: 7ビット UART モード 10: 8ビット UART モード 11: 9ビット UART モード	00: TA0TRG 01: ボーレートジェネレータ 10: 内部クロック f _{IO} 11: 外部クロック (SCLK1 入力)				
BR1CR	Serial channel 1 baud rate control register	120BH	-	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0		
			R/W								0	
			0	0	0	0	0	0	0	0		
			"0"をライトしてください	(16-K)/16 分周 0: ディセーブル 1: イネーブル	00: φT0 01: φT2 10: φT8 11: φT32	分周値 "N" 設定 0~F						
BR1ADD	Serial channel 1 K setting register	120CH	/				BR1K3	BR1K2	BR1K1	BR1K0		
			R/W								0	
			N+(16-K)/16 の K 値の設定									
SC1MOD1	Serial channel 1 mode 1 register	120DH	I2S1	FDPX1	/							
			R/W	R/W	/							
			0	0								
			IDLE2	同期式 0: 半二重 1: 全二重								

(12) USB コントローラ(1/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0
Descriptor RAM0	Descriptor RAM 0 register	0500H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
Descriptor RAM1	Descriptor RAM 1 register	0501H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
Descriptor RAM2	Descriptor RAM 2 register	0502H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
Descriptor RAM3	Descriptor RAM 3 register	0503H	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
Descriptor RAM381	Descriptor RAM 381 register	067DH	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
Descriptor RAM382	Descriptor RAM 382 register	067EH	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
Descriptor RAM383	Descriptor RAM 383 register	067FH	D7	D6	D5	D4	D3	D2	D1	D0
			R/W							
Endpoint0	Endpoint 0 register	0780H	EP0_DATA7	EP0_DATA6	EP0_DATA5	EP0_DATA4	EP0_DATA3	EP0_DATA2	EP0_DATA1	EP0_DATA0
			R/W							
Endpoint1	Endpoint 1 register	0781H	EP1_DATA7	EP1_DATA6	EP1_DATA5	EP1_DATA4	EP1_DATA3	EP1_DATA2	EP1_DATA1	EP1_DATA0
			R/W							
Endpoint2	Endpoint 2 register	0782H	EP2_DATA7	EP2_DATA6	EP2_DATA5	EP2_DATA4	EP2_DATA3	EP2_DATA2	EP2_DATA1	EP2_DATA0
			R/W							
Endpoint3	Endpoint 3 register	0783H	EP3_DATA7	EP3_DATA6	EP3_DATA5	EP3_DATA4	EP3_DATA3	EP3_DATA2	EP3_DATA1	EP3_DATA0
			R/W							
EP1_MODE	Endpoint 1 mode register	0789H			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
			R/W							
EP2_MODE	Endpoint 2 mode register	078AH			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
			R/W							
EP3_MODE	Endpoint 3 mode register	078BH			Payload[2]	Payload[1]	Payload[0]	Mode[1]	Mode[0]	Direction
			R/W							

(12) USB コントローラ(2/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
EP0_STATUS	Endpoint 0 status register	0790H		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR	
				R							
				0	0	1	1	1	0	0	
EP1_STATUS	Endpoint 1 status register	0791H		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR	
				R							
				0	0	1	1	1	0	0	
EP2_STATUS	Endpoint 2 status register	0792H		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR	
				R							
				0	0	1	1	1	0	0	
EP3_STATUS	Endpoint 3 status register	0793H		TOGGLE	SUSPEND	STATUS[2]	STATUS[1]	STATUS[0]	FIFO_DISABLE	STAGE_ERR	
				R							
				0	0	1	1	1	0	0	
EP0_SIZE_L_A	Endpoint 0 size register Low A	0798H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
				1	0	0	0	1	0	0	0
EP1_SIZE_L_A	Endpoint 0 size register Low A	0799H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
				1	0	0	0	1	0	0	0
EP2_SIZE_L_A	Endpoint 2 size register Low A	079AH	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
				1	0	0	0	1	0	0	0
EP3_SIZE_L_A	Endpoint 3 size register Low A	079BH	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
				1	0	0	0	1	0	0	0
EP1_SIZE_L_B	Endpoint 1 size register Low B	07A1H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
				0	0	0	0	1	0	0	0
EP2_SIZE_L_B	Endpoint 2 size register Low B	07A2H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
				0	0	0	0	1	0	0	0
EP3_SIZE_L_B	Endpoint 3 size register Low B	07A3H	PKT_ACTIVE	DATASIZE6	DATASIZE5	DATASIZE4	DATASIZE3	DATASIZE2	DATASIZE1	DATASIZE0	
				R							
				0	0	0	0	1	0	0	0
EP1_SIZE_H_A	Endpoint 1 size register High A	07A9H						DATASIZE9	DATASIZE8	DATASIZE7	
				R							
								0	0	0	
EP2_SIZE_H_A	Endpoint 2 size register High A	07AAH						DATASIZE9	DATASIZE8	DATASIZE7	
				R							
								0	0	0	
EP3_SIZE_H_A	Endpoint 3 size register High A	07ABH						DATASIZE9	DATASIZE8	DATASIZE7	
				R							
								0	0	0	

(12) USB コントローラ(3/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
EP1_SIZE_H_B	Endpoint 1 size register High B	07B1H							DATASIZE9	DATASIZE8	DATASIZE7
									R		
									0	0	0
EP2_SIZE_H_B	Endpoint 2 size register High B	07B2H							DATASIZE9	DATASIZE8	DATASIZE7
									R		
									0	0	0
EP3_SIZE_H_B	Endpoint 0 size register High B	07B3H							DATASIZE9	DATASIZE8	DATASIZE7
									R		
									0	0	0
bmRequestType	bmRequest-Type register	07C0H	DIRECTION	REQ_TYPE1	REQ_TYPE0	RECIPIENT4	RECIPIENT3	RECIPIENT2	RECIPIENT1	RECIPIENT0	
			R								
			0	0	0	0	0	0	0		
bRequest	bRequest register	07C1H	REQUEST7	REQUEST6	REQUEST5	REQUEST4	REQUEST3	REQUEST2	REQUEST1	REQUEST0	
			R								
			0	0	0	0	0	0	0		
wValue_L	wValue register Low	07C2H	VALUE_L7	VALUE_L6	VALUE_L5	VALUE_L4	VALUE_L3	VALUE_L2	VALUE_L1	VALUE_L0	
			R								
			0	0	0	0	0	0	0		
wValue_H	wValue register High	07C3H	VALUE_H7	VALUE_H6	VALUE_H5	VALUE_H4	VALUE_H3	VALUE_H2	VALUE_H1	VALUE_H0	
			R								
			0	0	0	0	0	0	0		
wIndex_L	wIndex register Low	07C4H	INDEX_L7	INDEX_L6	INDEX_L5	INDEX_L4	INDEX_L3	INDEX_L2	INDEX_L1	INDEX_L0	
			R								
			0	0	0	0	0	0	0		
wIndex_H	wIndex register High	07C5H	INDEX_H7	INDEX_H6	INDEX_H5	INDEX_H4	INDEX_H3	INDEX_H2	INDEX_H1	INDEX_H0	
			R								
			0	0	0	0	0	0	0		
wLength_L	wLength register Low	07C6H	LENGTH_L7	LENGTH_L6	LENGTH_L5	LENGTH_L4	LENGTH_L3	LENGTH_L2	LENGTH_L1	LENGTH_L0	
			R								
			0	0	0	0	0	0	0		
wLength_H	wLength register High	07C7H	LENGTH_H7	LENGTH_H6	LENGTH_H5	LENGTH_H4	LENGTH_H3	LENGTH_H2	LENGTH_H1	LENGTH_H0	
			R								
			0	0	0	0	0	0	0		

Not for N/A

(12) USB コントローラ(4/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SetupReceived	SetupReceived register	07C8H	D7	D6	D5	D4	D3	D2	D1	D0		
			W									
			0	0	0	0	0	0	0	0	0	
Current_Config	Current_Config register	07C9H	REMOTEWAKEUP		ALTERNATE[1]	ALTERNATE[0]	INTERFACE[1]	INTERFACE[0]	CONFIG[1]	CONFIG[0]		
			R		R							
			0		0	0	0	0	0	0	0	
Standard Request	Standard-Request register	07CAH	S_INTERFACE	G_INTERFACE	S_CONFIG	G_CONFIG	G_DESCRIPTOR	S_FEATURE	C_FEATURE	G_STATUS		
			R									
			0	0	0	0	0	0	0	0	0	
Request	Request register	07CBH		SOFT_RESET	G_PORT_STS	G_DEVICE_ID	VENDOR	CLASS	EXSTANDARD	STANDARD		
				R								
				0	0	0	0	0	0	0	0	
DATASET1	DATASET 1 register	07CCH	EP3_DSET_B	EP3_DSET_A	EP2_DSET_B	EP2_DSET_A	EP1_DSET_B	EP1_DSET_A		EP0_DSET_A		
			R								R	
			0	0	0	0	0	0	0	0	0	
DATASET2	DATASET 2 register	07CDH	EP7_DSET_B	EP7_DSET_A	EP6_DSET_B	EP6_DSET_A	EP5_DSET_B	EP5_DSET_A	EP4_DSET_B	EP4_DSET_A		
			R									
			0	0	0	0	0	0	0	0	0	
USB_STATE	USB state register	07CEH						Configured	Addressed	Default		
								R/W	R			
								0	0	1		
EOP	EOP register	07CFH	EP7_EOPB	EP6_EOPB	EP5_EOPB	EP4_EOPB	EP3_EOPB	EP2_EOPB	EP1_EOPB	EP0_EOPB		
			W									
			1	1	1	1	1	1	1	1		
COMMAND	Command register	07D0H		EP[2]	EP[1]	EP[0]	Command[3]	Command[2]	Command[1]	Command[0]		
				W								
				0	0	0	0	0	0	0	0	
EPx_SINGLE1	Endpoint 1 single register	07D1H	EP3_SELECT	EP2_SELECT	EP1_SELECT		EP3_SINGLE	EP2_SINGLE	EP1_SINGLE			
			R/W				R/W					
			0	0	0		0	0	0			
EPx_BCS1	Endpoint 1 BCS register	07D3H	EP3_SELECT	EP2_SELECT	EP1_SELECT		EP3_BCS	EP2_BCS	EP1_BCS			
			R/W				R/W					
			0	0	0		0	0	0			
INT_Control	Interrupt control register	07D6H								Status_nak		
										R/W		
											0	
Standard Request Mode	Standard Request mode register	07D8H	S_Interface	G_Interface	S_Config	G_Config	G_Descript	S_Feature	C_Feature	G_Status		
			R/W									
			0	0	0	0	0	0	0	0	0	
Request Mode	Request mode register	07D9H		Soft_Reset	G_Port_Sts	G_DeviceId						
				R/W								
				0	0	0						

(12) USB コントローラ(5/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
Port Status	Port status register	07E0H	Reserved7	Reserved6	PaperError	Select	NotError	Reserved2	Reserved1	Reserved0		
			W									
			0	0	0	1	1	0	0	0		
FRAME_L	Frame register Low	07E1H	-	T[6]	T[5]	T[4]	T[3]	T[2]	T[1]	T[0]		
			R									
			0	0	0	0	0	0	0	0		
FRAME_H	Frame register H	07E2H	T[10]	T[9]	T[8]	T[7]		CREATE	FRAME_STS1	FRAME_STS0		
			R				R					
			0	0	0	0		0	1	0		
ADDRESS	Address register	07E3H		A6	A5	A4	A3	A2	A1	A0		
			R									
				0	0	0	0	0	0	0		
USBREADY	USB ready register	07E6H								USBREADY		
											R/W	
											0	
Set Descriptor STALL	Set-Descriptor stall register	07E8H								S_D_STALL		
											W	
											0	
USBINTFR1	USB interrupt flag register 1	07F0H	INT_URST_STR	INT_URST_END	INT_SUS	INT_RESUME	INT_CLKSTOP	INT_CLKON				
			R/W									
			0	0	0	0	0	0				
			リード時 0: 割り込みなし ライト時 0: フラグクリア 1: 割り込みあり 1: -									
USBINTFR2	USB interrupt flag register 2	07F1H	EP1_FULL_A	EP1_Empty_A	EP1_FULL_B	EP1_Empty_B	EP2_FULL_A	EP2_Empty_A	EP2_FULL_B	EP2_Empty_B		
			R/W									
			0	0	0	0	0	0	0	0		
			リード時 0: 割り込みなし ライト時 0: フラグクリア 1: 割り込みあり 1: -									
USBINTFR3	USB interrupt flag register 3	07F2H	EP3_FULL_A	EP3_Empty_A								
			R/W									
			0	0								
			リード時 0: 割り込みなし 1: 割り込みあり ライト時 0: フラグクリア 1: -									
USBINTFR4	USB interrupt flag register 4	07F3H	INT_SETUP	INT_EP0	INT_STAS	INT_STASN	INT_EP1N	INT_EP2N	INT_EP3N	EP2_Empty_B		
			R/W									
			0	0	0	0	0	0	0	0		
			リード時 0: 割り込みなし ライト時 0: フラグクリア 1: 割り込みあり 1: -									

(12) USB コントローラ(6/6)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
USBINTMR1	USB interrupt mask register 1	07F4H	MSK_URST_STR	MSK_URST_END	MSK_SUS	MSK_RESUME	MSK_CLKSTOP	MSK_CLKON				
			R/W									
			1	1	1	1	1	1				
			リード時 0: マスクしない ライト時 0: フラグクリア 1: マスクする 1: -									
USBINTMR2	USB interrupt mask register 2	07F5H	EP1_MSK_FA	EP1_MSK_EA	EP1_MSK_FB	EP1_MSK_EB	EP2_MSK_FA	EP2_MSK_EA	EP2_MSK_FB	EP2_MSK_EB		
			R/W									
			1	1	1	1	1	1	1	1		
			リード時 0: マスクしない ライト時 0: フラグクリア 1: マスクする 1: -									
USBINTMR3	USB interrupt mask register 3	07F6H	EP3_MSK_FA	EP3_MSK_EA								
			R/W									
			1	1								
			リード時 0: マスクしない 1: マスクする ライト時 0: フラグクリア 1: -									
USBINTMR4	USB interrupt mask register 4	07F7H	MSK_SETUP	MSK_EP0	MSK_STAS	MSK_STASN	MSK_EP1N	MSK_EP2N	MSK_EP3N			
			R/W									
			1	1	1	1	1	1	1			
			リード時 0: マスクしない ライト時 0: フラグクリア 1: マスクする 1: -									
USBCR1	USB control register 1	07F8H	TRNS_USE	WAKEUP				-	SPEED	USBCLKE		
			R/W									
			0	0				0	1	0		
											"0"をライトしてください	

(13) AD コンバータ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ADMOD0	AD mode control register 0	12B8H	EOCF	ADBF	-	-	ITM0	REPEAT	SCAN	ADS		
			R			R/W						
			0	0	0	0	0	0	0	0	0	
			AD変換終了フラグ 0: 変換中 1: END	AD変換BUSYフラグ 0: 変換停止 1: 変換中	"0"をライトしてください	"0"をライトしてください	チャンネル固定リピート変換モード時の割り込み指定 0: 1回ごと 1: 4回ごと	リピートモード指定 0: シングルモード 1: リピートモード	スキャンモード 0: チャンネル固定モード 1: チャンネルスキャンモード	AD変換スタート 0: Don't care 1: 変換開始	*読み出すと常に"0"となります。	
ADMOD1	AD mode control register 1	12B9H	VREFON	I2AD	-	-	-	-	ADCH1	ADCH0		
			R/W			R/W						
			0	0	0	0	0	0	0	0	0	
			VREF印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	入力チャネル 000: AN0 001: AN1 010: AN2 011: AN3			
ADMOD2	AD mode control register 1	12BAH			-	-	-	-	-	ADTRGE		
						R/W						
					0	0	0	0	0	0	0	
					"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	"0"をライトしてください	AD外部トリガ起動制御 0: ディセーブル 1: イネーブル		
ADREG0L	AD result register 0 low	12A0H	ADR01	ADR00						ADR0RF		
			R									
			不定									
ADREG0H	AD result register 0 high	12A1H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02		
			R									
			不定									
ADREG1L	AD result register 1 low	12A2H	ADR11	ADR10						ADR1RF		
			R									
			不定									
ADREG1H	AD result register 1 high	12A3H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12		
			R									
			不定									
ADREG2L	AD result register 2 low	12A4H	ADR21	ADR20						ADR2RF		
			R									
			不定									
ADREG2H	AD result register 2 high	12A5H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22		
			R									
			不定									
ADREG3L	AD result register 3 low	12A6H	ADR31	ADR30						ADR3RF		
			R									
			不定									
ADREG3H	AD result register 3 high	12A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32		
			R									
			不定									

(14) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT mode register	1300H	WDTE	WDTP1	WDTP0	/	-	I2WDT	RESCR	-
			R/W				R/W			
			1	0	0	0	0	0	0	
			WDT 制御 1: 許可	検出時間選択 00: $2^{15}/f_{IO}$ 01: $2^{17}/f_{IO}$ 10: $2^{19}/f_{IO}$ 11: $2^{21}/f_{IO}$			"0" をライトしてください	IDLE2 0: 停止 1: 動作	1: WDT 出力をリセットして端子に内部接続	"0" をライトしてください
WDCR	WDT control register	1301H (RMW 禁)	-							
			W							
			-							
			B1H: WDT 禁止コード				4E: WDT クリアコード			

Not Recommended for New Design

(15) RTC (Real-Time Clock)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SECR	Second register	1320H		SE6	SE5	SE4	SE3	SE2	SE1	SE0	
				R/W							
				不定							
			"0"がリードされます	40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	
MINR	Minute register	1321H		MI6	MI5	MI4	MI3	MI2	MI1	MI0	
				R/W							
				不定							
			"0"がリードされます	40 分	20 分	10 分	8 分	4 分	2 分	1 分	
HOURL	Hour register	1322H			HO5	HO4	HO3	HO2	HO1	HO0	
				R/W							
				不定							
			"0"がリードされます	20 時間 (PM/AM)	10 時間	8 時間	4 時間	2 時間	1 時間		
DAYR	Day register	1323H						WE2	WE1	WE0	
				R/W							
				不定							
			"0"がリードされます					W2	W1	W0	
DATER	Date register	1324H			DA5	DA4	DA3	DA2	DA1	DA0	
				R/W							
				不定							
			"0"がリードされます	20 日	10 日	8 日	4 日	2 日	1 日		
MONTHR	Month register	1325H				MO4	MO3	MO2	MO1	MO0	
				R/W							
				不定							
			"0"がリードされます		10 月	8 月	4 月	2 月	1 月		
		PAGE1	"0"がリードされます							0: 12 時間表示 1: 24 時間表示	
YEARR	Year register	1326H		YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
				R/W							
				不定							
			"0"がリードされます	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年
		PAGE1	"0"がリードされます							うるう年設定 00: うるう年 01: うるう年から 1 年目 10: うるう年から 2 年目 11: うるう年から 3 年目	
PAGER	Page register	1327H (RMW 禁)	INTENA			ADJUST	ENATMR	ENAALM		PAGE	
			R/W			W		R/W		R/W	
			0			不定		不定		不定	
			INTRTC	"0"がリードされます	0: Don't care 1: 補正	時計 0: 禁止 1: 許可	ALARM 0: 禁止 1: 許可	"0"がリードされます	PAGE 設定		
RESTR	Reset register	1328H (RMW 禁)	DIS1HZ	DIS16HZ	RSTTMR	RSTALM	-	-	-	-	
				W							
				不定							
			1Hz 0: 許可 1: 禁止	16Hz 0: 許可 1: 禁止	1: 時計リセット	1: アラームリセット	"0"をライトしてください。				

(16) メロディ/アラームジェネレータ

記号	名称	アドレス	7	6	5	4	3	2	1	0	
ALM	Alarm-pattern register	1330H	AL8	AL7	AL6	AL5	AL4	AL3	AL2	AL1	
			R/W								
			0	0	0	0	0	0	0	0	
アラームパターン設定											
MELALMC	Melody/ alarm control register	1331H	FC1	FC0	ALMINV	-	-	-	-	MELALM	
			R/W		R/W	R/W					
			0	0	0	0	0	0	0	0	
			フリーランカウンタ制御 00: ホールド 01: 再スタート 10: クリア & 停止 11: クリア & 開始	アラーム波形反転 1: 反転	"0" をライトしてください。					出力周波数 0: アラーム 1: メロディ	
MELFL	Melody frequency L-register	1332H	ML7	ML6	ML5	ML4	ML3	ML2	ML1	ML0	
			R/W								
			0	0	0	0	0	0	0	0	
メロディ周波数設定 (下位 8 ビット)											
MELFH	Melody frequency H-register	1333H	MELON					ML11	ML10	ML9	ML8
			R/W	R/W							
			0					0	0	0	0
			メロディカウンタ制御 0: 停止 & クリア 1: スタート	メロディ周波数設 (上位 4 ビット)							
ALMINT	Alarm interrupt enable register	1334H				IALM4E	IALM3E	IALM2E	IALM1E	IALM0E	
			R/W								
					0	0	0	0	0	0	
				"0" をライトしてください	INTALM4~INTALM0 アラーム割り込み許可						

(17) NAND フラッシュコントローラ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ND0FDTR	NAND-flash data transfer register	1D00H	D7	D6	D5	D4	D3	D2	D1	D0		
			R/W									
			不定									
			NAND フラッシュへのデータウインドウ									
ND0FMCRCR	NAND-flash mode control register	1CC4H	WE	ECC1	ECC0	CE	PCNT1	PCNT0	ALE	CLE		
			R/W									
			0	0	0	0	0	0	0	0	0	
			0: ライト禁止 1: ライト許可	11(<CE>=X):リセット 00(<CE>=1):禁止 01(<CE>=1):許可 10(<CE>=1):NDFC で計算された ECC のリード 10(<CE>=0):ID データのリード	0: ディセーブル (NDCE = high) 1: イネーブル (NDCE = low)	"11"をライトしてください	0:Low 1:High	0:Low 1:High				
ND0FSR	NAND-flash status register	1CC8H	BUSY									
			R									
			不定									
			0: Ready 1: Busy									
ND0FISR	NAND-flash interrupt status register	1CCCH								RDY		
										R/W		
											0	
											リード: 1:BUSY から READY に変更 ライト: 1:0に クリア	
ND0FIMR	NAND-flash interrupt mask register	1CD0H	INTEN							MRDY		
			R/W							R/W		
			0							0		
			0: ディセーブル 1: イネーブル							RDY 用 マスク		
ND0FSPR	NAND-flash strobe pulse width register	1CD4H					SPW3	SPW2	SPW1	SPW0		
							R/W					
							0	0	0	0		
							NDRE、NDWE 用パルス幅 = f _{SYS} × (設定値+1)					
ND0FRSTR	NAND-flash reset register	1CD8H								RST		
										R/W		
											0	
											リセット コントローラ	
NDCR	NAND-flash control register	01C0H	CHSEL									
			R/W									
			0									
			チャンネル 選択 0: チャンネル 0 1: チャンネル 1									
ND0ECCRD	NAND-flash ECC code register	1CB0H	D7	D6	D5	D4	D3	D2	D1	D0		
			R									
			Read ECC コードへのデータウインドウ									

(17) NAND フラッシュコントローラ (2/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
ND1FDTR	NAND-flash data transfer register	1D00H	D7	D6	D5	D4	D3	D2	D1	D0		
			R/W									
			不定									
Read/Write NAND フラッシュへのデータウィンドウ												
ND1FMCR	NAND-flash mode control register	1CE4H	WE	ECC1	ECC0	CE	PCNT1	PCNT0	ALE	CLE		
			R/W									
			0	0	0	0	0	0	0	0		
			0: ライト禁止 1: ライト許可	11(<CE>=X):リセット 00(<CE>=1):禁止 01(<CE>=1):許可 10(<CE>=1):NDFC で計算された ECC のリード 10(<CE>=0):ID データのリード	0: ディセーブル (NDCE = high) 1: イネーブル (NDCE = low)	"11"をライトしてください	0:Low 1:High	0:Low 1:High				
ND1FSR	NAND-flash status register	1CE8H	BUSY									
			R									
			不定									
			0: Ready 1: Busy									
ND1FISR	NAND-flash interrupt status register	1CECH								RDY		
										R/W		
										0		
リード: 1:BUSY から READY に変更 ライト: 1:0に クリア												
ND1FIMR	NAND-flash interrupt mask register	1CF0H	INTEN							MRDY		
			R/W							R/W		
			0							0		
			0: ディセーブル 1: イネーブル							RDY 用マスク		
ND1FSPR	NAND-flash strobe pulse width register	1CF4H					SPW3	SPW2	SPW1	SPW0		
							R/W					
							0	0	0	0		
NDRE、NDWE 用パルス幅 = f _{sys} × (設定値+1)												
ND1FRSTR	NAND-flash reset register	1CF8H								RST		
										R/W		
										0		
リセットコントローラ												
ND1ECCRD	NAND-flash ECC code register	1CB0H	D7	D6	D5	D4	D3	D2	D1	D0		
			R									
			Read ECC コードへのデータウィンドウ									

(18) I²S

記号	名称	アドレス	7	6	5	4	3	2	1	0	
I2SBUFR	I ² S FIFO buffer (R)	0800H (RMW 禁)	R15/R7	R14/R6	R13/R5	R12/R4	R11/R3	R10/R2	R9/R1	R8/R0	
			W								
			不定								
			送信バッファ用レジスタ (FIFO) (右チャネル)								
I2SBUFL	I ² S FIFO buffer (L)	0808H (RMW 禁)	L15/L7	L14/L6	L13/L5	L12/L4	L11/L3	L10/L2	L9/L1	L8/L0	
			W								
			不定								
			送信バッファ用レジスタ (FIFO) (左チャネル)								
I2SCTL0	I ² S control register0	080EH	TXE	FMT	BUSY	DIR	BIT	MCK1	MCK0	I2SWCK	
			R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
			0	0	0	0	0	0	0	0	0
		送信 0: 停止 1: 開始	モード 0: I ² S 1: SIO	ステータ ス 0: 停止 1: 送信中	最初の ビット 0: MSB 1: LSB	ビット数 0: 8 ビッ ト 1: 16 ビッ ト	ポーレート 00: fsys 10: fsys/4 01: fsys/2 11: fsys/8		WS クロック 0: fs/4 1: TA1OUT		
		080FH	I2SWLVL	EDGE	I2SFSEL	I2SCKE					SYSCKE
			R/W	R/W	R/W	R/W					R/W
0	0		0	0					0		
WS レベル 0: Low 左 エッジ 1: High 左 エッジ	クロック エッジ 0: 立ち下が り 1: 立ち上が り	ステレオ 選択 0: ステレオ (2チャネル) 1: モノラル (1チャネル)	クロック 許可 (送信後) 0: 動作 1: 停止					システム クロック 0: ディセー ブル 1: イネー ブル			

6. 使用上の注意、制限事項

(1) 特別な表記、言葉の説明

a. 内蔵 I/O レジスタの説明: レジスタシンボル<ビットシンボル>

例) TA01RUN<TA0RUN>: レジスタ TA01RUN のビット TA0RUN を示します。

b. リードモディファイライト命令 (RMW)

CPU が、1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例 1: SET 3, (TA01RUN) ... TA01RUN レジスタのビット 3 をセットする

例 2: INC 1, (100H) ... アドレス 100H のデータを+1 する

• TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術命令

ADD (mem), R/#	ADC (mem), R/#
SUB (mem), R/#	SBC (mem), R/#
INC #3, (mem)	DEC #3, (mem)

論理演算

AND (mem), R/#	OR (mem), R/#
XOR (mem), R/#	

ビット操作

STCF #3/A, (mem)	RES #3, (mem)
SET #3, (mem)	CHG #3, (mem)
TSET #3, (mem)	

ローテート、シフト

RLC (mem)	RRC (mem)
RL (mem)	RR (mem)
SLA (mem)	SRA (mem)
SLL (mem)	SRL (mem)
RLD (mem)	RRD (mem)

c. fOSCH, fc, fFPH, fSYS, fIO および 1 ステート

X1, X2 端子より入力されるクロック周波数を fOSCH、PLLCR0<FCSEL> レジスタにより選択されるクロック周波数を fc と呼びます。

また、SYSCR1<SYSCK> レジスタにより選択されるクロック周波数を fFPH、fFPH を 2 分周して得られたクロック周波数をシステムクロック fSYS、fSYS を 2 分周して得られたクロック周波数を fIO と呼びます。

この fSYS の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a. AM0 と AM1 端子

これらの端子は、VCC (電源レベル) または VSS (グラウンドレベル) に接続します。動作中は接続されている電位を変更しないでください。

b. アドレス空間の予約領域

FFFFFF0H~FFFFFFFH の 16 バイト空間は内部エリアとして予約されているため使用できません。また、エミュレータを使用する場合、16M バイト空間の任意の 64K バイトは、エミュレータの制御のために使用されるため、その空間を使用することができません。

c. スタンバイモード (IDLE1)

IDLE1 モード(発振回路のみ操作)に設定し、HALT 命令を実行した場合、RTC、メロディ/アラームジェネレータ(MLD)は動作イネーブル状態です。必要に応じて止めてください。

d. ウォームアップカウンタ

外部発振器を用いるシステムでも、STOP モードが解除されるとウォームアップカウンタは動作を始めます。結果として、解除要求入力からシステムクロックが出力されるまでの間にはウォームアップ時間と同じだけの時間が掛かります。

e. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作状態となっていますので、ウォッチドッグタイマを使用しない場合は動作禁止に設定してください。

f. AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能がありますので、STOP モードなどで消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

g. CPU (マイクロ DMA)

LDC cr, r 命令、および LDC r, cr 命令だけが CPU 内の制御レジスタとのアクセスに利用できます。(例えば、DMASn レジスタなど)

h. 未定義 SFR ビット

SFR (Special function register) の未定義ビットの値は、読み出すと不定値が出力されます。

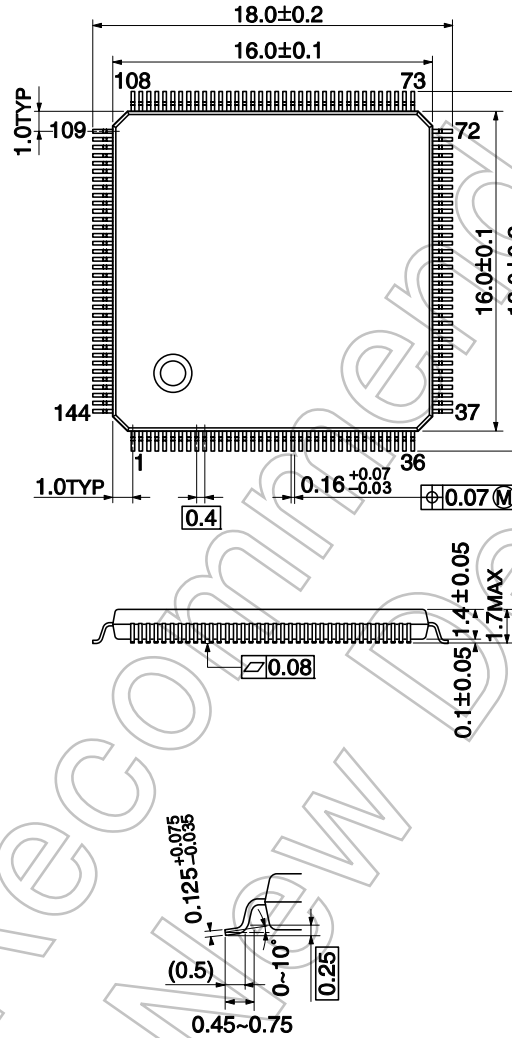
i. 「POP SR」命令

「POP SR」命令の実行は、DI (割り込み不許可) 状態で行ってください。

7. 外形寸法図

Package Name: LQFP144-P-1616-0.40C

単位:mm



注: パラジウムめっき仕様

製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。当社は、適用可否に対する責任は負いません。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途書面による契約がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をせず、また当社は、本製品および技術情報に関する一切の損害（間接損害、結果的損害、特別損害、付随的損害、逸失利益、機会損失、休業損、データ喪失等を含むがこれに限らない。）につき一切の責任を負いません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
- 本製品のRoHS適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。