

TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870 シリーズ

TMP87CS71BFG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パッケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP87CS71BF	QFP80-P-1420-0.80B	TMP87CS71BFG	QFP80-P-1420-0.80B	TMP87PS71AFG

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230℃ 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245℃ 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願ひ」が適用されます。

当社半導体製品取り扱い上のお願ひ

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いいたします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

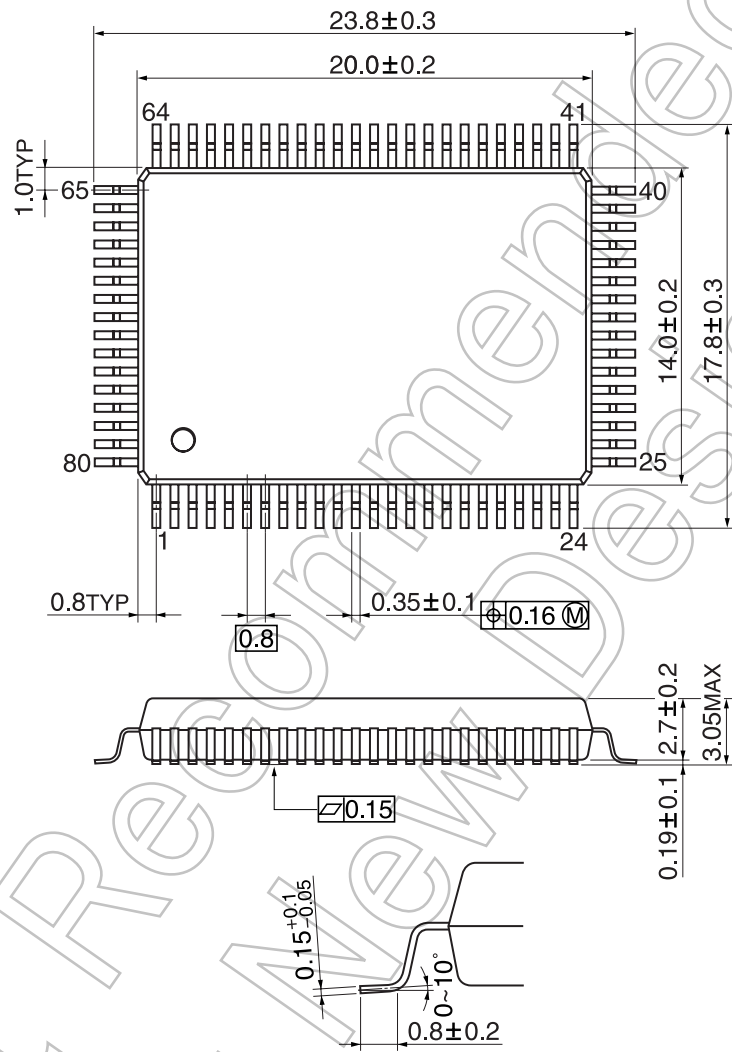
本製品の発行日は、付加ページ右下にも記入の「2008-03-06」です。

(別紙)

パッケージ外形寸法図

QFP80-P-1420-0.80B

単位: mm



CMOS 8ビット マイクロコントローラ

TMP87CS71BF

TMP87CS71Bは、蛍光表示管駆動回路、シリアルインタフェース、6ビットAD変換入力、多機能タイマカウンタおよび2系統の発振回路などを内蔵した高速、高機能8ビット シングルチップ マイクロコンピュータです。

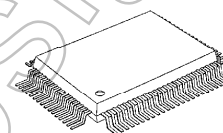
製品形名	ROM	RAM	パッケージ	OTP内蔵品
TMP87CS71BF	60Kバイト	2.0Kバイト	P-QFP80-1420-0.80B	TMP87PS71AF

特 長

- ◆ 8ビット シングルチップ マイクロコンピュータ
TLCS-870シリーズ
- ◆ 最小命令実行時間： 0.5 μ s (8 MHz 動作時),
122 μ s (32.768 kHz 動作時)
- ◆ 基本機械命令： 129種類 412命令
 - 乗除算 (8 bit $\times$ 8 bit, 16 bit $\div$ 8 bit)： 実行時間
3.5 μ s (8 MHz 動作時)
 - ビット操作
(Set/Clear/Complement/Load/Store/Test/Exclusive OR)
 - 16ビット 演算/転送
 - 1バイト長のジャンプ/コール
(Short relative jump/Vector call)
- ◆ 割り込み14要因(外部:5, 内部:9)
 - 全要因独立ラッチ付き, 多重割り込み制御
 - エッジ選択, ノイズ除去機能付き外部割り込み端子あり
 - レジスタバンク切り替えによる高速タスクスイッチング
- ◆ 入出力ポート (73端子)
 - 出力 : 1ポート 8端子
 - 入出力 : 9ポート 65端子
- ◆ 16ビットタイマカウンタ: 2チャンネル
 - タイマ, イベントカウンタモード
- ◆ 8ビットタイマカウンタ: 2チャンネル
 - タイマ, イベントカウンタ, キャプチャ (パルス幅/デューティ測定),
PWM (パルス幅変調) 出力, PDO (Programmable Divider Output) モード

パッケージ外観図

P-QFP80-1420-0.80B



TMP87CS71BF

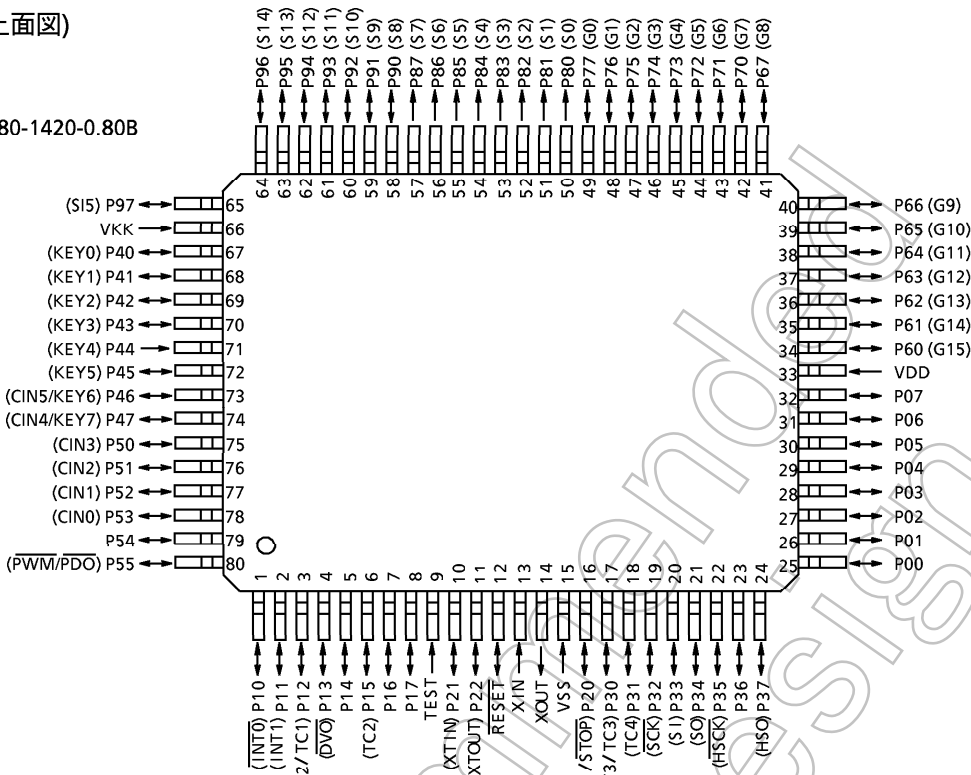
000629TBP1

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途"という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

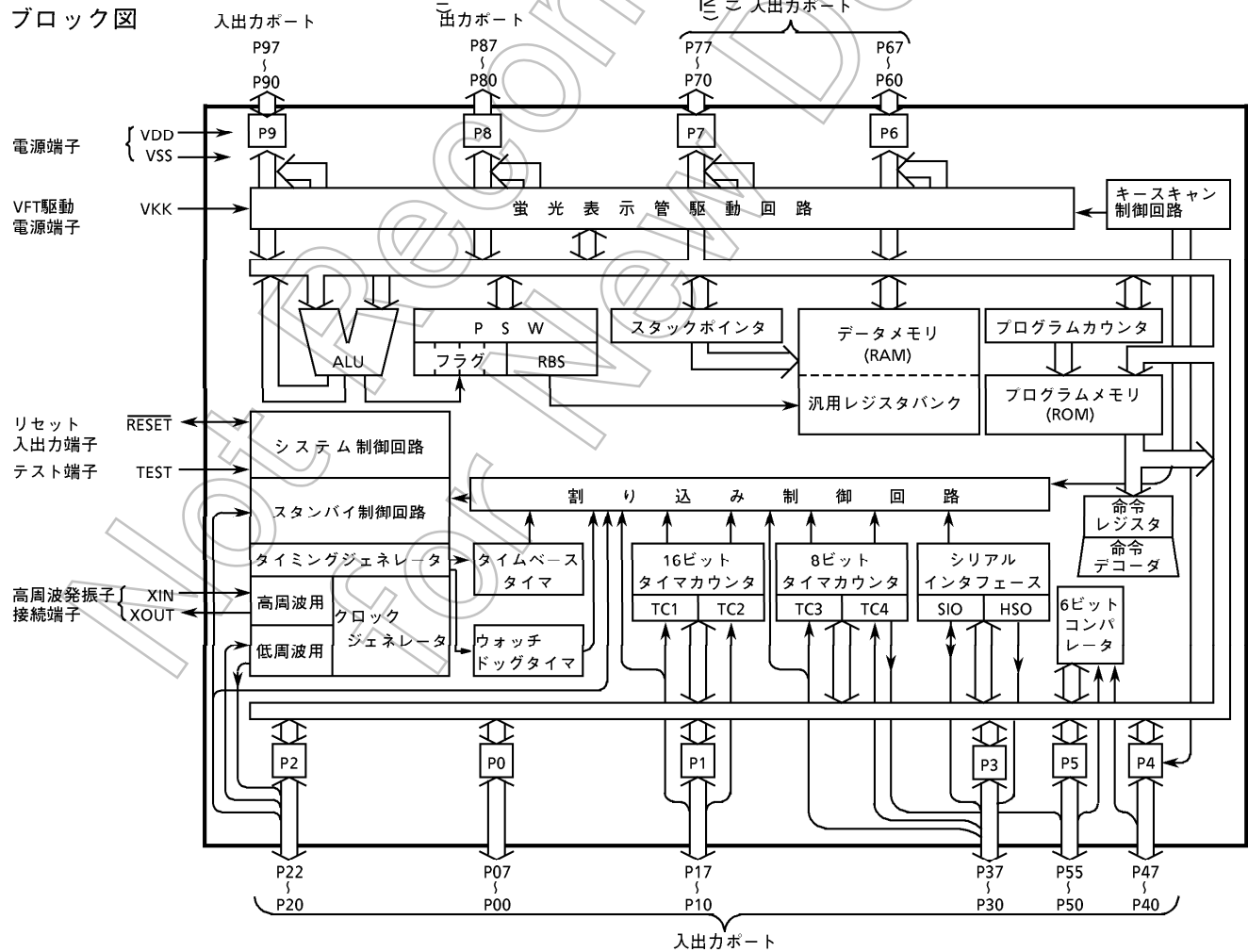
- ◆ タイムベース タイマ (割り込み周波数: 1~16384 Hz)
- ◆ デバイダ出力機能 (周波数: 1~8 kHz)
- ◆ ウォッチドッグ タイマ
 - 割り込み/リセット出力の選択 (プログラマブル)
- ◆ 8ビット シリアルインタフェース: 1チャンネル
 - 8バイトの送受信データバッファ付き
 - 内部/外部クロック, 4/8ビット転送モードの選択
- ◆ 8ビット 高速シリアル出力: 1チャンネル (最大転送速度: 1 bit/ μ s)
- ◆ 6ビットAD変換 (コンパレータ) 入力: 6チャンネル
- ◆ 蛍光表示管駆動回路 (自動表示)
 - 高耐圧出力ポート
- ◆ 自動キースキャン機能 (入力ラッチ付ポート)
 - セグメント出力を用いたキーマトリクス構成可能 (最大 16 $\times$ 8)
- ◆ クロック発振回路: 2回路
 - シングル/デュアルクロックモードの選択 (オプション)
- ◆ 低消費電力動作 (5モード)
 - STOPモード : 発振停止 (バッテリー/コンデンサバックアップ)。ポート出力の保持/ハイインピーダンスの選択。
 - SLOWモード : 低周波クロックに (32.768 kHz) による低消費電力動作。
 - IDLE1モード : CPU停止。周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)。
 - IDLE2モード : CPU停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
 - SLEEPモード : CPU停止。周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
- ◆ 動作電圧範囲 : 2.7~5.5 V @ 4.2 MHz/32.768 kHz, 4.5~5.5 V @ 8 MHz/32.768 kHz
- ◆ エミュレーションボット: BM87CK70F0B

ピン配置図 (上面図)

P-QFP80-1420-0.80B



ブロック図



端子機能

端 子 名	入 出 力	機 能
P07~P00	入 出 力	8ビットのプログラマブル入出力ポート (トライステート)。
P17, P16, P14	入 出 力	
P15 (TC2)	入出力 (入 力)	1ビット単位で入出力の指定ができません。外部割り込み入力, タイマカウンタ
P13 (DVO)	入出力 (出 力)	入力として用いる場合は, 入力モードに
P12 (INT2/TC1)		します。デバイダ出力として用いる場合は,
P11 (INT1)	入出力 (入 力)	外部割り込み1入力
P10 (INT0)		外部割り込み0入力
P22 (XTOUT)	入出力 (出 力)	3ビット入出力ポート。
P21 (XTIN)	入出力 (入 力)	入力ポートとして使用する場合は, 出力
P20 (INT5/STOP)		ラッチを“1”にセットします。外部割り込み5入力/STOPモード解除入力
P37 (HSO)	入出力 (出 力)	HSOシリアルデータ出力
P36	入 出 力	
P35 (HSCK)	入出力 (出 力)	8ビット入出力ポート。
P34 (SO)	入出力 (出 力)	HSOシリアルクロックの出力
P33 (SI)	入出力 (入 力)	入力ポート, シリアルインタフェース, タイマカウンタ入力, 外部割り込み入力として使用する場合は, 出力ラッチを“1”にセットします。
P32 (SCK)	入出力 (入出力)	SIOシリアルデータ出力
P31 (TC4)	入出力 (入 力)	SIOシリアルデータ入力
P30 (INT3/TC3)	入出力 (入 力)	SIOシリアルクロックの入力/出力
P47 (CIN4/KEY7)		タイマカウンタ4の入力
P46 (CIN5/KEY6)		外部割り込み3入力/タイマカウンタ3の入力
P45 (KEY5)	入出力 (入 力)	8ビット入出力ポート。
~ P40 (KEY0)		6ビットAD変換 (コンパレータ) 入力/キースキャン入力
P55 (PWM/PDO)	入出力 (出 力)	8ビットPWM (パルス幅変調) 出力/8ビットプログラマブルデバイダ出力
P54	入 出 力	入力ポート, PWM/PDO出力として使用する場合は, 出力ラッチを“1”にセット
P53 (CIN0)	入出力 (入 力)	します。6ビットAD変換 (コンパレータ) 入力
~ P50 (CIN3)		
P67 (G8) ~ P60 (G15)	入出力 (出 力)	8ビット高耐圧入出力ポート。
P77 (G0) ~ P70 (G7)	入出力 (出 力)	デジット出力として使用する場合は出力ラッチを“0”にクリアします。
P87 (S7) ~ P80 (S0)	出 力	8ビット高耐圧出力ポート。セグメント出力として使用する場合は出力ラッチを“0”にクリアします。
P97 (S15) ~ P90 (S8)	入出力 (出 力)	8ビット高耐圧入出力ポート。セグメント出力として使用する場合は出力ラッチを“0”にクリアします。
XIN, XOUT	入 力, 出 力	高周波発振子接続端子。
RESET	入 出 力	外部クロック入力の場合 XINへ入力し、XOUTは開放します。
TEST	入 力	リセット信号入力, ウォッチドッグタイマ出力/アドレストラップリセット出力/システムクロックリセット出力
VDD, VSS	電 源	出荷試験用端子。“L”レベルに固定します。
VKK		+5 V, 0 V (GND)
		蛍光表示管駆動用電源端子

動作説明

1. CPUコア機能

CPUコアは、CPU、システムクロック制御回路、割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア、プログラムメモリ、データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TLCS-870シリーズのメモリは、ROM、RAM、SFR(スペシャルファンクションレジスタ)、DBR(データバッファレジスタ)の4つのブロックで構成され、それらは1つの64Kバイトアドレス空間上にマッピングされています。図1-1にTMP87CS71Bのメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAMアドレス空間上にマッピングされています。

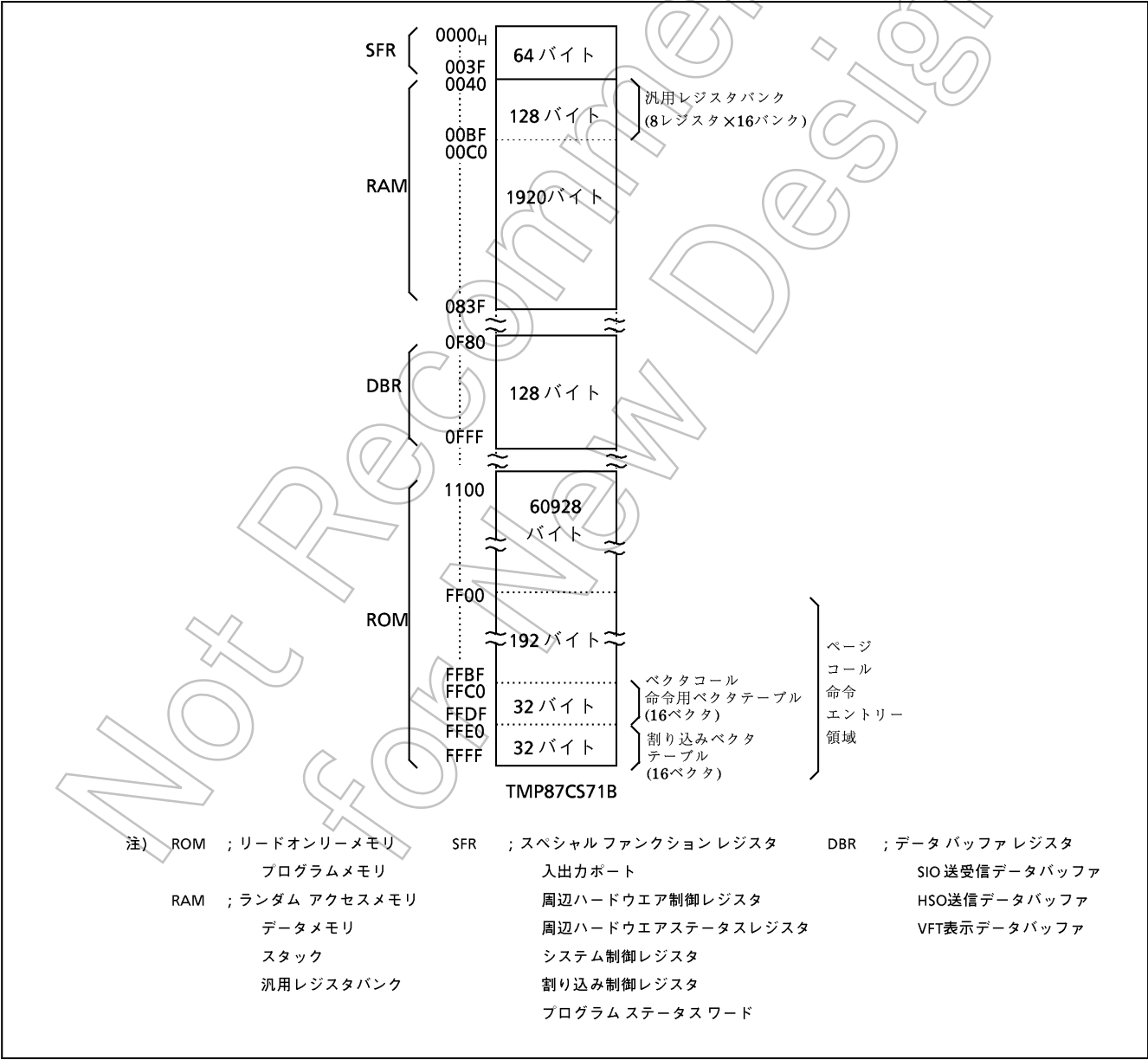


図1-1. メモリアドレスマップ

1.2 プログラムメモリ(ROM)

TMP87CS71Bは60K×8 bit(アドレス1100~FFFF_H番地)のプログラムメモリ(マスクROM)を内蔵しています。図1-2にプログラムメモリマップを示します。

プログラムメモリのFF00~FFFF_H番地は、特定の用途にも使用されます。

(1) 割り込みベクタテーブル (FFE0~FFFF_H番地)

リセットおよび割り込みのベクタ(2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタには、リセット解除からのスタートアドレス、割り込みサービスルーチンのエントリーアドレスを格納します。

(2) ベクタコール命令用ベクタテーブル (FFC0~FFDF_H番地)

ベクタコール命令[CALLV n]用のベクタ(サブルーチンエントリーアドレス、2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタコール命令は1バイト長の命令で、使用頻度の高い(3ヶ所以上から呼び出される)サブルーチンコールに使うことによりメモリ効率を上げることができます。

(3) ページコール命令用エントリーエリア (FF00~FFFF_H番地)

ページコール命令[CALLP a]用のサブルーチンエントリーアドレスエリアです。FFC0~FFFF_H番地はベクタテーブルにもなっているので、通常FF00~FFBF_H番地の範囲を使用します。ページコール命令は、2バイト長の命令です。

プログラムメモリには、プログラムおよび固定データが格納されます。次に実行すべき命令は、プログラムカウンタの内容が示すアドレスから読み出されます。ジャンプ命令は相対ジャンプまたは絶対ジャンプ命令で、ジャンプ命令に関してプログラムメモリにはページ、バンクといった境界概念はありません。

例： ジャンプ命令とプログラムカウンタの関係

① 5ビット相対ジャンプ命令

E8C4_H: JRS T, \$+2+08H の場合

JF=1のとき、プログラムカウンタの内容に08_Hを加算したE8CE_Hにジャンプします(プログラムカウンタの内容は実行命令の置かれたアドレス+2になっています。従って、この場合プログラムカウンタの値はE8C4_H+2=E8C6_Hとなります)。

② 8ビット相対ジャンプ命令

E8C4_H: JR Z, \$+2+80H の場合

ZF=1のとき、プログラムカウンタの内容にFF80_H(-128)を加算したE846_Hにジャンプします。

③ 16ビット絶対ジャンプ命令[JP a]

E8C4_H: JP 0C235_H の場合

無条件にC235_H番地にジャンプします。絶対ジャンプ命令は64Kバイトの全空間内の任意のアドレスにジャンプできます。

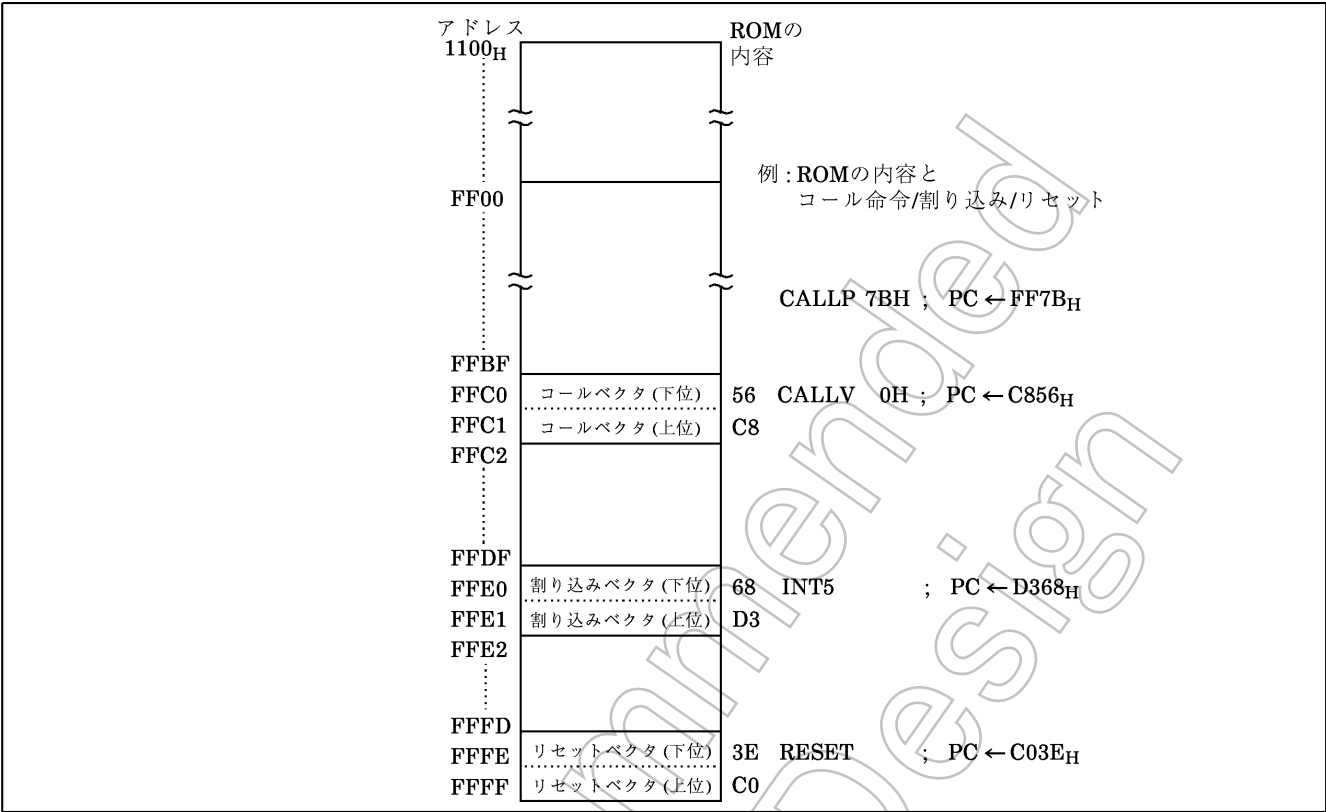


図1-2. プログラムメモリ マップ

TLCS-870シリーズは、プログラムメモリに格納された固定データの読み出しに、データメモリをアクセスする命令と同じ命令を使用します。さらに、レジスタオフセット相対アドレッシングモード (PC+A) の命令も使用でき、コード変換、テーブルルックアップ、多方向分岐処理などが容易にプログラミングできます。

例1: HLレジスタペアで指定されるアドレスのROM内容をアキュムレータに読み出す処理。

```
LD    A, (HL)          ; A ← ROM (HL) (HL ≥ 1100H)
```

例2: BCD→7セグメントコード (アノードコモン) 変換出力処理 (A=05Hのとき下記プログラムの実行で、P3ポートに92Hが出力されます)。

```
ADD    A, TABLE-$-4 ; P3 ← ROM (TABLE+A)
LD      (P3), (PC+A)
JRS     T, SNEXT
```

```
TABLE: DB    0C0H, 0F9H, 0A4H, 0B0H, 99H, 92H, 82H, 0D8H, 80H, 98H
SNEXT:
```

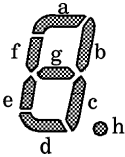
注) \$はADD命令の先頭アドレス。DBはバイトデータの定義命令。

例3: アキュムレータの内容 (0 ≤ A ≤ 3) による多方向分岐処理

```
SHLC   A                ; if A=00H then PC ← C234H
JP      (PC+A)           if A=01H then PC ← C378H
                        if A=02H then PC ← DA37H
                        if A=03H then PC ← E1B0H

DW      0C234H, 0C378H, 0DA37H, 0E1B0H
```

注) DWはワードデータの定義命令。ワード=2バイト。



SHLC A
JP (PC+A)
34
C2
78
C3
37
DA
B0
E1

1.3 プログラムカウンタ(PC)

プログラムカウンタは、次に実行すべき命令の格納されているプログラムメモリのアドレスを指す16ビットのレジスタです。リセット解除時、ベクタテーブル (**FFFF**, **FFFE_H**番地) に格納されているリセットベクタがプログラムカウンタにロードされますので、任意のアドレスからプログラムの実行を開始することができます。例えば、**FFFF**, **FFFE_H**番地にそれぞれ、**C0**, **3E_H** が格納されている場合、リセット解除後**C03E_H**番地から実行開始します。

TLCS-870シリーズは、パイプライン処理(命令先行フェッチ)を行っていますので、プログラムカウンタは、常に2アドレス先を指します。例えば、**C123_H**番地に格納されている1バイト命令の実行中、プログラムカウンタの内容は、**C125_H**です。

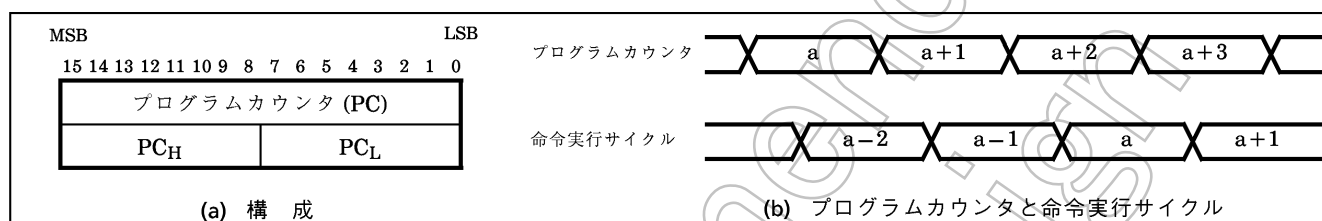


図1-3. プログラムカウンタ

1.4 データメモリ (RAM)

TMP87CS71Bは、2.0 Kバイト (アドレス**0040**~**083F**番地) のデータメモリ (スタティックRAM) を内蔵しています。図1-4にデータメモリマップを示します。

0000~**00FF_H**番地は、ダイレクトアドレッシング領域になっており、このアドレッシングモードを用いる命令が強化されていますので、**0040**~**00FF_H**番地のデータメモリは、ユーザーフラグやユーザーカウンタとしても使用できます。

例1: データメモリの**00C0_H**番地のビット2が“1”なら**00E3_H**番地に**00_H**を書き込み、“0”なら**FF_H**を書き込む処理。

```
TEST    (00C0H).2      ; if (00C0H)2=0 then jump
JRS     T,SZERO
CLR     (00E3H)         ; (00E3H) ← 00H
JRS     T,SNEXT
SZERO: LD    (00E3H),0FFH ; (00E3H) ← FFH
SNEXT:
```

例2: データメモリの**00F5_H**番地の内容をインクリメントし、**10_H**以上になると**00_H**にクリアする処理。

```
INC     (00F5H)
AND     (00F5H),0FH
```

0040~**00BF_H**番地の128バイトには、汎用レジスタバンク (8レジスタ×16バンク) が割り付けられています。レジスタとして使用中でも、データメモリとしてアクセスできます。例えば、**0040_H**番地を読み出すとバンク0のアクキュレータの内容が読み出されます。

また、データメモリ上の任意の領域にスタックを設定できます。スタックについては、『1.7 スタック、スタックポインタ』を参照してください。

なお、**TLCS-870**シリーズは、データメモリ上に置かれたプログラムを実行することはできません。プログラムカウンタがデータメモリのアドレス**0040~083F**番地を指した場合、バスエラーによりアドレストラップリセットがかかります (**RESET** 端子出力が **“L”** レベルになります)。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例： **RAM**クリア (バンク**0**以外の**RAM**をすべてゼロクリア)

```
LD      HL, 0048H      ; スタートアドレス (HL) の設定
LD      A, H           ; 初期化データ (A) の設定
LD      BC, 07F7H      ; バイト数-1 (BC) の設定
SRAMCLR: LD      (HL+), A
DEC     BC
JRS     F, SRAMCLR
```

注) 汎用レジスタはRAM上に存在しますので、カレントバンクのアドレスに対してRAMクリアしないでください。そのため、例ではバンク**0**を除いてRAMクリアしています。

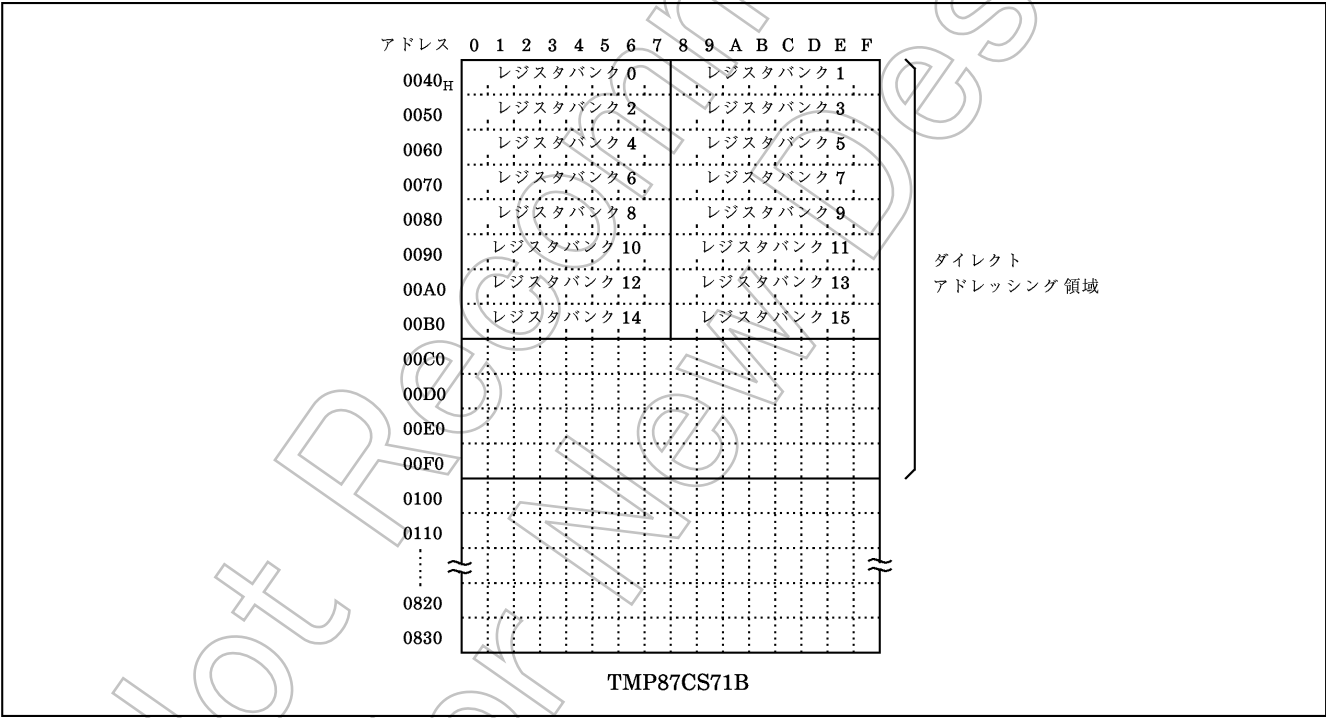


図1-4. データメモリ マップ

1.5 汎用レジスタバンク

汎用レジスタは、データメモリの0040~00BF_H番地にマッピングされており、W, A, B, C, D, E, H, Lの8ビットレジスタ8本を1バンクとして16バンク内蔵しています。図1-5に汎用レジスタバンクの構成を示します。なお、使用しないレジスタバンクは、データメモリとして使用できます。

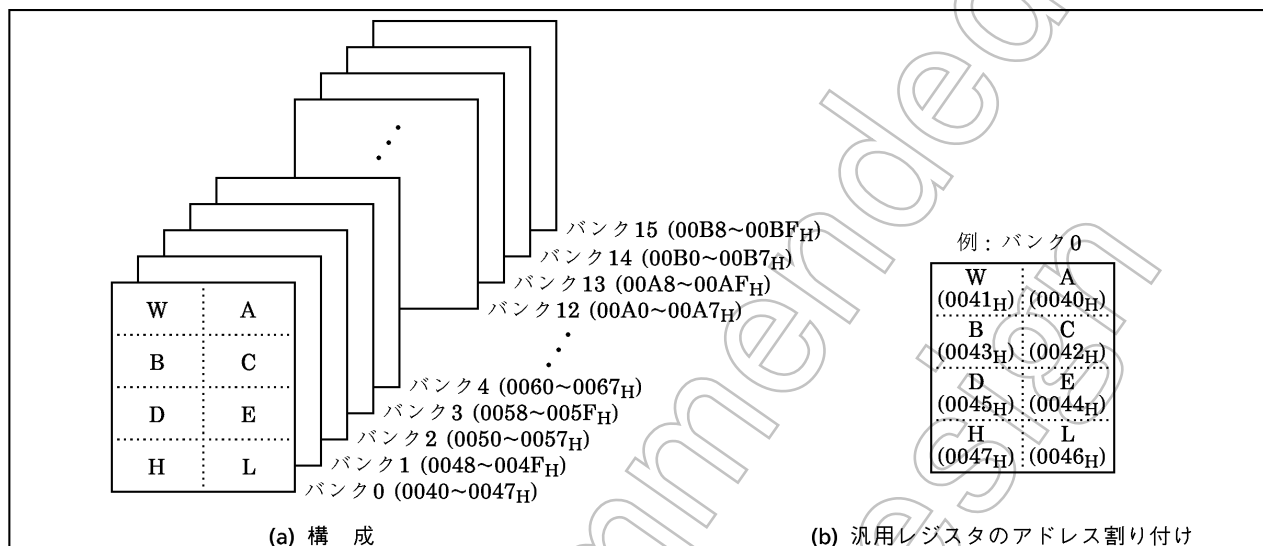


図1-5. 汎用レジスタバンクの構成

各レジスタは、8ビット単位のアクセスのほか、WA, BC, DE, HLのレジスタペアとして16ビット単位のアクセスを行うことができます。また、汎用レジスタとしての機能のほかに、次の機能を有しています。

(1) A, WA

Aは8ビット長のアキュムレータとして、WAは16ビット長のアキュムレータ(Wが上位、Aが下位)としての機能を有しています。なお、8ビット演算についてはA以外のレジスタもアキュムレータ的な使い方ができます。

- 例：
- ① `ADD A, B` ; Aの内容にBの内容を足して、結果をAに入れます。
 - ② `SUB WA, 1234H` ; WAの内容から即値1234_Hを引き、結果をWAに入れます。
 - ③ `SUB E, A` ; Eの内容からAの内容を引き、結果をAに入れます。

(2) HL, DE

HLは、データポインタ/インデックスレジスタ/ベースレジスタとして、DEは、データポインタとしての機能を有しており、メモリのアドレス指定に使われます。

また、HLにはオートポストインクリメント/プリデクリメント機能があり、多桁のデータ処理やソフトウェアLIFO(ラストインファーストアウト)処理が容易にできます。

- 例1：
- ① `LD A, (HL)` ; HLで指定されるアドレスのメモリ内容をAにロードします。
 - ② `LD A, (HL+52H)` ; HLに即値52_Hを符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。
 - ③ `LD A, (HL+C)` ; HLにCレジスタの内容を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。

- ④ LD A, (HL+) ; HLで指定されるアドレスのメモリ内容をAにロード後、HLの内容をインクリメントします。
- ⑤ LD A, (-HL) ; HLの内容をデクリメントし、その値で指定されるアドレスのメモリ内容をAにロードします。

TLCS-870シリーズは、メモリからメモリにデータを直接転送したり、メモリとメモリとの間で直接演算することができ、ブロック処理などを容易にプログラミングできます。

例2: ブロック転送

```

LD    B, m           ; m=n-1 (n: 転送バイト数)
LD    HL, DSTA       ; 転送先アドレス
LD    DE, SRCA       ; 転送元アドレス
SLOOP: LD   (HL), (DE)   ; (HL) ← (DE)
INC   HL            ; HL ← HL + 1
INC   DE            ; DE ← DE + 1
DEC   B             ; B ← B - 1
JRS   F, SLOOP       ; if B ≥ 0 then loop

```

(3) B, C, BC

B, Cは8ビットの、BCは16ビットのバッファ、カウンタなどに使用できます。Cは、レジスタインデックスアドレッシング(HL+C)におけるオフセットレジスタとして(前記の例1③)、また除算命令における除数レジスタとしての機能を有しています。

例1: リピート処理

```

LD    B, n           ; リピート回数の設定 (n+1回 処理が行われます)
SREPEAT: 処 理
DEC   B
JRS   F, SREPEAT

```

例2: 除算(16ビット÷8ビット)

```

DIV   WA, C           ; WA÷Cの演算を行い、商をAに、余りをWに入れます。

```

汎用レジスタのバンク選択は、4ビットのレジスタバンクセレクタ(RBS)により行います。リセット時RBSは“0”に初期化されますので、バンク0に初期設定されます。RBSで選択されているバンクをカレントバンクと呼びます。

RBSは、フラグとともにプログラムステータスワード(PSW)として、SFR内の003FH番地に割り付けられており、メモリアクセス命令で操作します。なお、即値設定およびプッシュ/ポップのみ専用命令[LD RBS, n], [PUSH PSW], [POP PSW]が用意されています。

例1: RBSのインクリメント

```

INC   (003FH)       ; RBS ← RBS + 1

```

例2: RBSのリード

```

LD    A, (003FH)     ; A ← RBS (この命令ではフラグも同時に読み出されますので、実際は、A ← PSWとなります)

```

割り込み処理におけるレジスタの退避、サブルーチン処理におけるパラメータの受け渡しにバンク切り替えを使うことにより、効率のよいプログラムを組むことができ、また、高速にタスクスイッチングができます。割り込み受け付け時、RBSは自動的にスタックに退避されます。なお、割り込みリターン命令 [RETI], [RETN] の実行により、自動的に割り込み受け付け前のバンクに復帰しますので、RBSの退避/復帰のソフトウェア処理は必要ありません。

TLCS-870シリーズは最大15要因の割り込みをサポートしており、各要因に1バンクを割り当て、さらにメインタスクに1バンクのレジスタを割り当てることができます。また、メモリの使用効率を上げる場合、多重化しない割り込み要因には共通のバンクを割り当てて使用します。

例： バンク切り替えによる割り込みタスクにおける汎用レジスタの退避/復帰

```
PINT1: LD  RBS, n      ; RBS ← n (バンク n に切り替え)
        [割り込み処理]
        RETI           ; マスカブル割り込みリターン (バンクは自動的に復帰)
```

1.6 プログラムステータスワード (PSW)

プログラム ステータス ワードは、レジスタバンクセレクタ (RBS) とフラグから構成され、SFR内の003FH番地に割り付けられています。

RBSは、メモリアクセス命令で読み出し/書き込みができ、フラグは読み出しのみできます。PSWに対して書き込みを行った場合、フラグにはデータは書き込まれず、その命令で定まった変化をします。例えば、[LD (003FH), 05H] 命令を実行すると、RBSには“5”が書き込まれ、JFは“1”にセットされ、そのほかのフラグは変化しません。

割り込み受け付け時、PSWはプログラムカウンタとともにスタックに退避されます。また、PSWは割り込みリターン命令[RETI], [RETN]の実行によりスタックからリストアされ、割り込み受け付け直前の状態に戻ります。

PSWをアクセスする専用命令としてプッシュ [PUSH PSW]/ポップ [POP PSW] があります。

1.6.1 レジスタバンクセレクタ (RBS)

汎用レジスタのバンクを選択する4ビットのレジスタです。例えば、RBS=2のとき、バンク2が現在選択されていることになります。

リセット時、RBSは“0”に初期化されます。

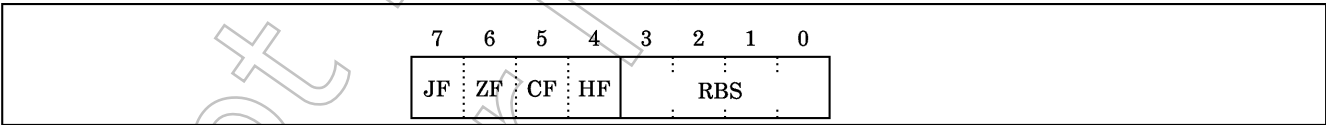


図1-6. PSW (フラグ, RBS) の構成

1.6.2 フラグ

ゼロフラグ、キャリーフラグ、ハーフキャリーフラグおよびジャンプステータスフラグの4ビットで構成され、命令で指定される条件に従いセット/クリアされます。ゼロフラグ、キャリーフラグおよびジャンプステータスフラグは、条件付きジャンプ命令[JRC cc, \$+2+d], [JRS cc, \$+2+d] のジャンプ条件ccとなります。

リセット解除時ジャンプステータスフラグは、“1”に初期化されます(そのほかのフラグは初期化されません)。

(1) ゼロフラグ (ZF)

ゼロフラグは、演算結果または転送データが00H (8ビット演算/転送時)/0000H (16ビット演算時)のとき“1”にセットされ、そのほかのときは“0”にクリアされます。ビット操作命令では、指定ビットの内容が“0”のときZFは“1”にセットされ、指定ビットの内容が“1”のときZFは“0”にクリアされます(ビットテスト)。乗算命令の場合積の上位8ビットが00Hのとき、除算命令の場合剰余が00Hのとき、ZFは“1”にセットされ、そのほかのときは“0”にクリアされます。

(2) キャリーフラグ (CF)

演算時のキャリーまたはボローがセットされます。除算命令の場合、除数が00Hのとき (Divided by zero Error)、または、商が100H以上のとき (Quotient Error)、“1”にセットされます。

シフト/ローテート命令では、レジスタからシフトアウトされるデータがセットされます。

ビット操作命令では、1ビット長のレジスタ(ブリアンアキュムレータ)として機能します。また、キャリーフラグ操作命令によりセット/クリア/反転ができます。

例： ビット操作 (07H番地のビット5の内容と9AH番地のビット0の内容とで排他的論理和をとり、結果を01H番地のビット2に書き込みます)。

```
LD      CF, (0007H).5    ; (0001H)2 ← (0007H)5 ∨ (009AH)0
XOR     CF, (009AH).0
LD      (0001H).2, CF
```

(3) ハーフキャリーフラグ (HF)

8ビット演算時、4ビット目へのキャリーまたは4ビット目からのボローがセットされます。HFは、BCDデータの加減算の際の十進補正用のフラグです ([DAA r], [DAS r] 命令による十進補正)。

例： BCD演算 (A=19H, B=28Hのとき、次の命令を実行すると、Aは47Hになります)。

```
ADD     A, B              ; A ← 41H, HF ← 1, CF = 0
DAA     A                 ; A ← 41H + 06H = 47H (十進補正)
```

(4) ジャンプステータスフラグ (JF)

通常、“1”にセットされるフラグで、命令に従いゼロまたはキャリー情報がセットされ、条件付きジャンプ命令 [JR T/F, \$+2+d], [JRS T/F, \$+2+d] (T, Fは条件コードです) のジャンプ条件となります。

例： ジャンプステータスフラグと条件付きジャンプ命令

```

INC      A
JRS      T, SLABLE1    ; 直前の演算命令で桁上げが発生した場合
          ⋮              ジャンプします。
LD       A, (HL)
JRS      T, SLABLE2    ; 直前の命令でJFは“1”にセットされますので、
          ⋮              無条件ジャンプ命令と見なされます。

```

例： WAレジスタペア, HLレジスタペア, データメモリの00C5_H番地, キャリーフラグ, ハーフキャリーフラグの内容がそれぞれ “219A_H”, “00C5_H”, “D7_H”, “1”, “0” のとき、下記命令を実行するとアキュムレータおよび各フラグは次のようになります。

命 令	実行後の アキュムレータ	実行後のフラグ				命 令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF			JF	ZF	CF	HF
ADDC A, (HL)	72	1	0	1	1	INC A	9B	0	0	1	0
SUBB A, (HL)	C2	1	0	1	0	ROLC A	35	1	0	1	0
CMP A, (HL)	9A	0	0	1	0	RORC A	CD	0	0	0	0
AND A, (HL)	92	0	0	1	0	ADD WA, 0F508H	16A2	1	0	1	0
LD A, (HL)	D7	1	0	1	0	MUL W, A	13DA	0	0	1	0
ADD A, 66H	00	1	1	1	1	SET A.5	BA	1	1	1	0

1.7 スタック, スタックポインタ

1.7.1 スタック

スタックは、サブルーチンコール命令実行時または割り込み受け付け時にその処理ルーチンへジャンプするに先立ってプログラムカウンタの内容(戻り番地)やプログラムステータスワードの内容などをセーブするエリアです。

サブルーチンコール命令[CALL a], [CALLP a], [CALLV n] 実行時、戻り番地(上位バイト, 下位バイトの順に)がスタックに退避(プッシュダウン)されます。ソフトウェア割り込み命令[SWI]実行時または割り込み受け付け時は、まずプログラムステータスワードの内容がスタックに退避され、次に戻り番地が退避されます。

処理ルーチンから復帰する場合、サブルーチンリターン命令[RET]を実行することによりスタックからプログラムカウンタへ、割り込みリターン命令[RETI], [RETN]を実行することによりスタックからプログラムカウンタおよびプログラムステータスワードへ、それぞれの内容がリストア(ポップアップ)されます。

スタックは、データメモリ内の任意のエリアに設定できます。

1.7.2 スタックポインタ (SP)



図1-7. スタックポインタ

スタックポインタは、スタックの先頭番地を指す16ビットのレジスタです。スタックポインタは、サブルーチンコール、プッシュ命令実行時および割り込み受け付け時にポストデクリメントされ、リターン、ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなります。スタックのアクセスとスタックポインタの変化を図1-8に示します。

スタックポインタは、ハードウェア的には初期化されませんので、イニシャライズルーチンで初期化(スタックの最高位アドレスをセット)する必要があります。スタックポインタを操作する命令には、[LD SP, mn], [LD SP, gg]および[LD gg, SP] (mnは16ビット即値、ggはレジスタペア)があります。

例1: スタックポインタのイニシャライズ

LD SP, 083FH ; SP ← 083FH

例2: スタックポインタのリード

LD HL, SP ; HL ← SP

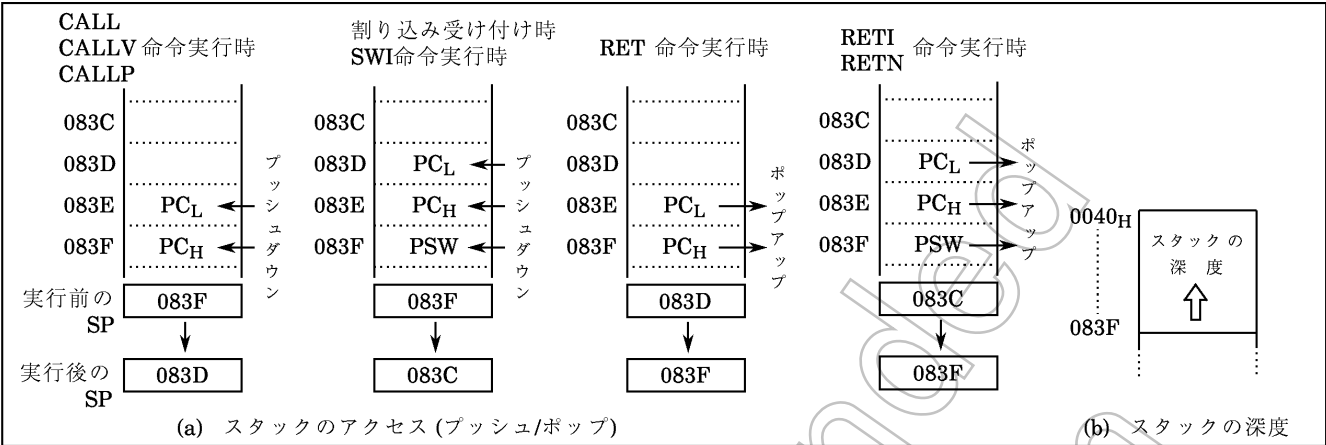


図1-8. スタック

1.8 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

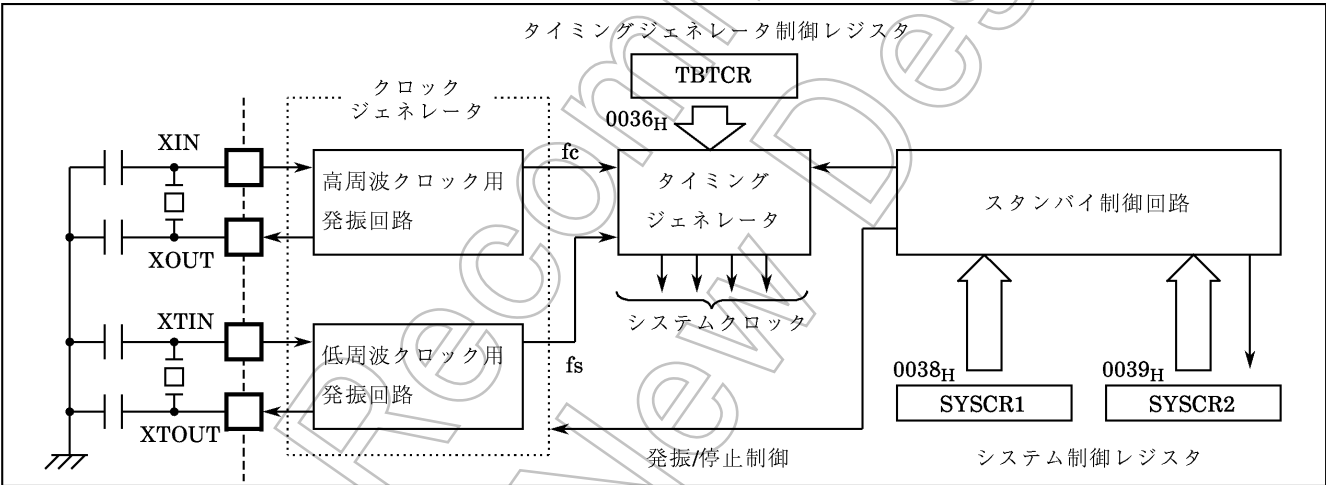


図1-9. システムクロック制御回路

1.8.1 クロック ジェネレータ

クロック ジェネレータは、**CPU**コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック(周波数 f_c)、低周波クロック(周波数 f_s)は、それぞれ**XIN**, **XOUT**端子, **XTIN**, **XTOUT**端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。

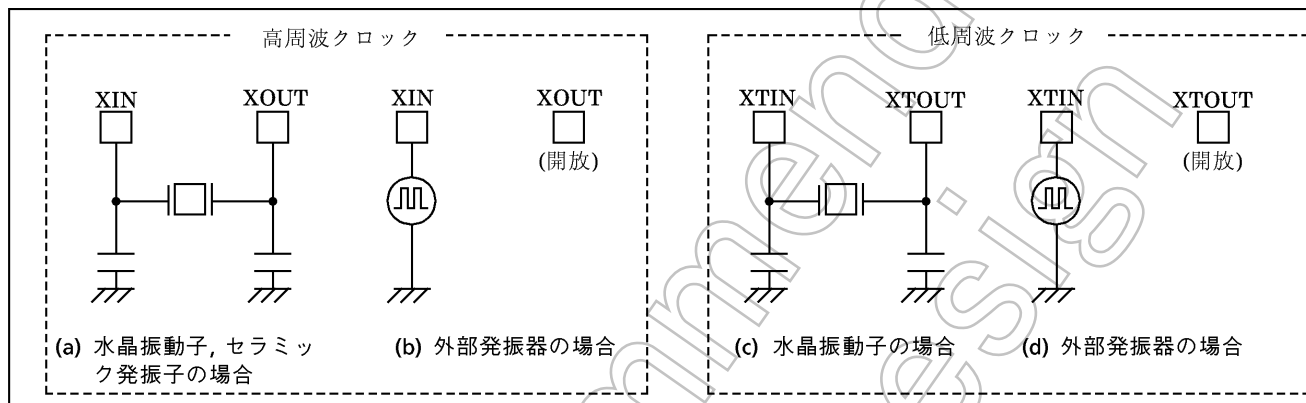


図1-10. 発振子の接続例

注) 発振周波数の調整

基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

1.8.2 タイミング ジェネレータ

タイミング ジェネレータは、基本クロックから**CPU**コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミング ジェネレータの機能は、次のとおりです。

- ① メインシステムクロック生成
- ② デバイダ出力 (**DVO**) パルス生成
- ③ タイマベースタイマのソースクロック生成
- ④ ウォッチドッグタイマのソースクロック生成
- ⑤ タイマカウンタの内部ソースクロック生成
- ⑥ シリアルインタフェースの内部シリアルクロック生成
- ⑦ 蛍光表示管駆動回路のソースクロック生成
- ⑧ **STOP**モード解除時のウォーミングアップクロック生成
- ⑨ リセット出力 解除クロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケアラ、21段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。デバイダの7段目への入力クロックは動作モードおよびDV7CK(TBTCRのビット4)により次のようになります。なお、リセット時およびSTOPモード起動/解除時デバイダは“0”にクリアされます(ただし、プリスケアラはクリアされません)。

① シングルクロックモード時

高周波クロック (周波数 f_c)を256分周したクロック ($f_c/28$)がデバイダの7段目に入力されます。なお、シングルクロックモード時DV7CKを“1”にセットしないでください。

② デュアルクロックモード時

NORMAL2, IDLE2モード時 (SYSCK=0) は、DV7CK により、デバイダの7段目への入力クロックを $f_c/28$ か f_s かのいずれかの選択ができます。SLOW, SLEEPモード時 (SYSCK=1) は、自動的に f_s がデバイダの7段目に入力されます(なお、デバイダの初段への入力クロックは停止しますので、デバイダの初段から6段目までの出力も停止します)。

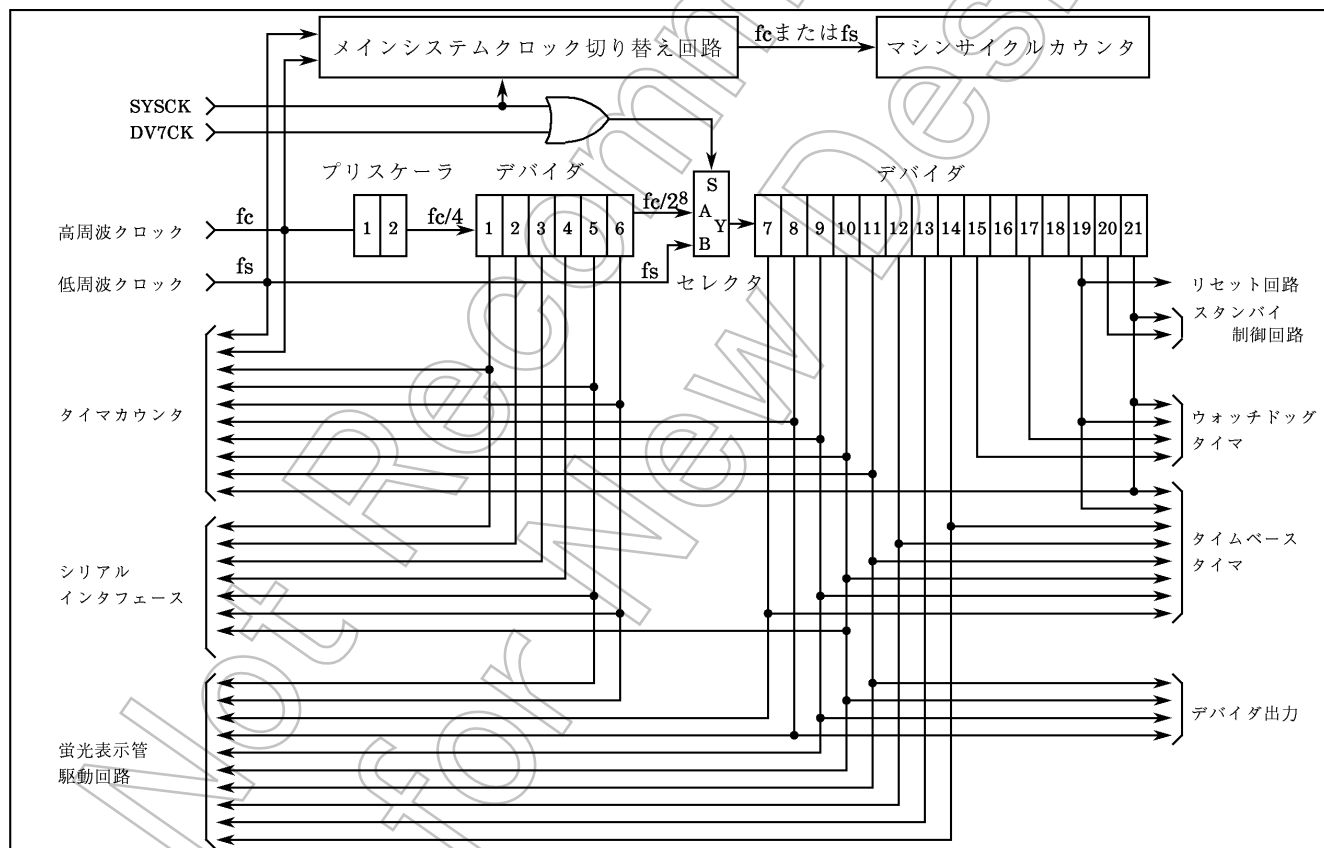


図1-11. タイミングジェネレータの構成

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	(DVOEN)	(DVOCK)	DV7CK	(TBTEN)			(TBTCK)		
	DV7CK	デバイダの7段目への 入力クロックの選択				0: $f_c/2^8$ [Hz] 1: f_s			write only

注1) f_c : 高周波クロック [Hz], f_s : 低周波クロック [Hz], *, ; Don't care
 注2) シングルクロックモード時は、DV7CKを“1”にセットしないでください。
 注3) 低周波クロックの発振安定前にDV7CKを“1”にセットしないでください。
 注4) TBTCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図1-12. タイミング ジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870シリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

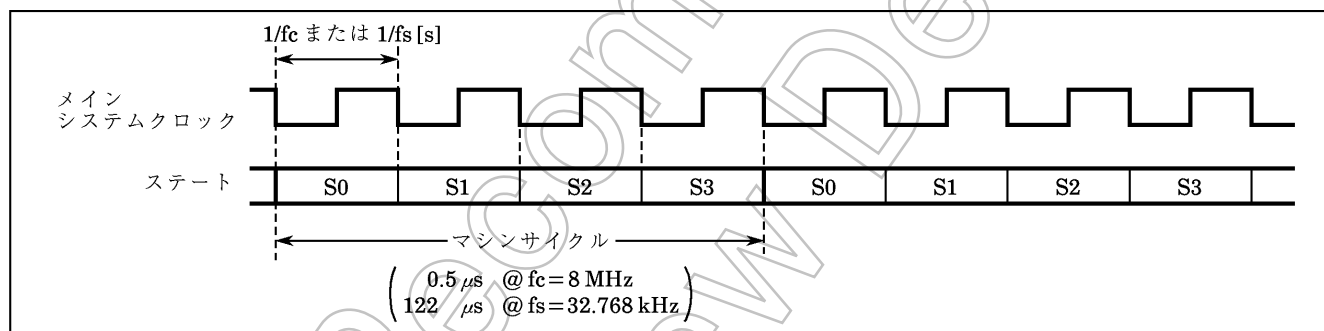


図1-13. マシンサイクル

1.8.3 スタンバイ制御回路

スタンバイ制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-14に動作モード遷移図を、図1-15に制御レジスタを示します。

リセット解除時の動作モードは、シングルクロックモードかデュアルクロックモードかのいずれかをオプションで指定することができます。ただし、TMP87PS71Aはシングルクロックモード固定となります (デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください)。

(1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/f_c$ [s] ($0.5 \mu s$ @ $f_c = 8 \text{ MHz}$) となります。

① NORMAL1モード

CPUコアおよび周辺ハードウェアを高周波クロックで動作させるモードです。シングルクロックモードをオプション選択した場合、リセット解除後このNORMAL1モードになります。

② IDLE1モード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1モードの起動は、システム制御レジスタ2で行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1モードに復帰します。IMF (割り込みマスク許可フラグ) が“1”(割り込み許可状態)のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMFが“0”(割り込み禁止状態)のときは、IDLE1モードを起動した命令の次の命令から実行再開します。

③ STOP1モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。また、入出力ポートの出力状態は、プログラムで全ポート一括して出力保持/ハイインピーダンスの選択ができます。

STOP1モードの起動は、システム制御レジスタ1で行います。解除は、STOP 端子入力(レベル/エッジの選択可能)で行い、ウォーミングアップ時間経過後、STOP1モードを起動した命令の次の命令から実行再開します。

(2) デュアルクロックモード

高周波、低周波用の2つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2モード時、高周波クロックから生成され、SLOW, SLEEPモード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2モード時 $4/f_c$ [s], SLOW, SLEEPモード時 $4/f_s$ [s] ($122\ \mu\text{s}$ @ $f_s=32.768\ \text{kHz}$) となります。

① NORMAL2モード

CPUコアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波/低周波の両クロックで動作します。デュアルクロックモードをオプション選択した場合、リセット解除後このNORMAL2モードになります。

② SLOWモード

高周波クロックの発振を停止させ、CPUコア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。NORMAL2からSLOWへの切り替え、SLOWからNORMAL2への切り替えは、システム制御レジスタ2で行います。

③ IDLE2モード

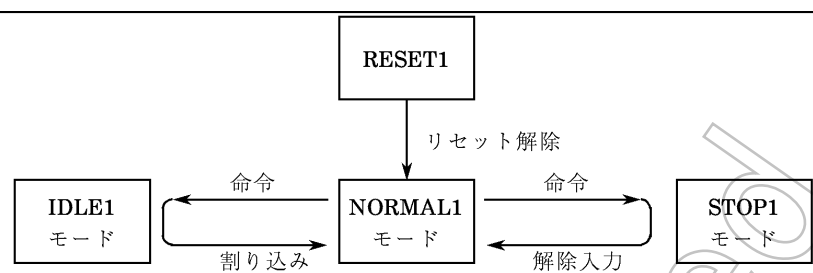
CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2モードの起動/解除方法は、IDLE1モードと同じです。解除後、NORMAL2モードに戻ります。

④ SLEEPモード

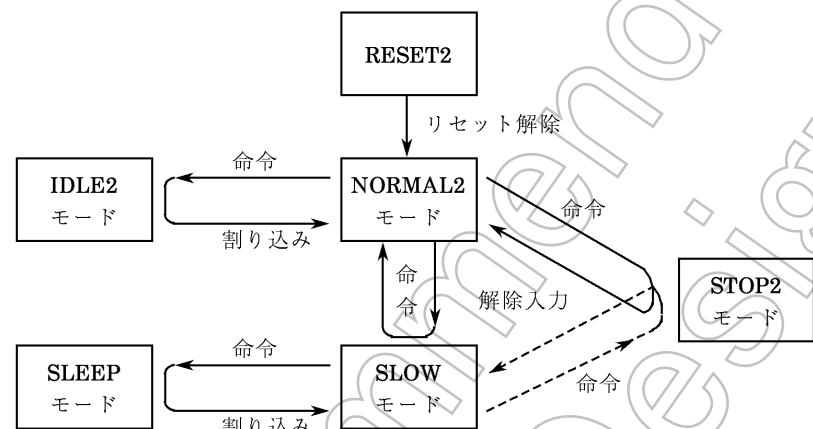
CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEPモードの起動/解除方法は、IDLE1モードと同じです。解除後、SLOWモードに戻ります。なお、高周波クロックは発振していません。

⑤ STOP2モード

シングルクロックモードのSTOP1モードと同様、システムの動作をすべて停止するモードです。



(a) シングルクロック モード状態遷移図



(b) デュアルクロック モード状態遷移図

- 注1) NORMAL1, NORMAL2を、STOP1, STOP2を、IDLE1, IDLE2, SLEEP を、それぞれ総称してNORMAL, STOP, IDLE と呼びます。
- 注2) TMP87PS71Aには、RESET2はありません。

動作モード		発振回路		CPUコア	周辺回路	マシンサイクル タイム
		高周波	低周波			
シングル クロック	RESET1			リセット	リセット	4/fc [s]
	NORMAL1	発振	停止	動作	動作	
	IDLE1			停止	注1)	
	STOP1	停止			停止	—
デュアル クロック	RESET2			リセット	リセット	4/fc [s]
	NORMAL2	発振		高周波動作	動作	
	IDLE2		発振	停止	注1)	
	SLOW			低周波動作	低周波動作	4/fs [s]
	SLEEP	停止			注2)	
	STOP2		停止	停止	停止	

- 注1) 高速シリアル出力, コンパレータ入力は、IDLE1モード時およびIDLE2モード時CPUが停止しますので、使用不可となります。
- 注2) 蛍光表示管(VFT)ドライバ, 高速シリアル出力およびコンパレータ入力は、停止します。

図1-14. 動作モード状態遷移図

システム制御レジスタ1

SYSCR1 (0038 _H)	7	6	5	4	3	2	1	0	
	STOP	RELM	RETM	OUTEN	WUT				

(初期値 0000 00**)

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア 動作 1: CPUコア, 周辺ハードウェア 停止 (STOPモード起動)	R/W
RELM	STOPモードの解除方法の選択	0: $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除 1: $\overline{\text{STOP}}$ 端子入力の“H”レベルで解除	
RETM	STOPモード解除後の動作モードの選択	0: NORMALモードへ戻る 1: SLOWモードへ戻る	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持	
WUT	STOPモード解除時のウォーミングアップ時間	00: $3 \times 2^{19}/f_c$ または $3 \times 2^{19}/f_s$ [s] 01: $2^{19}/f_c$ または $2^{19}/f_s$ [s] 1*: Reserved	

- 注1) RETMは、NORMAL1モードからSTOP1モードに移す場合およびNORMAL2モードからSTOP2モードに移す場合は必ず“0”にしてください。SLOWモードからSTOP2モードに移す場合は必ず“1”にしてください。
- 注2) STOPモードを $\overline{\text{RESET}}$ 端子入力で解除した場合は、RETMの値にかかわらずNORMALモードに戻ります。
- 注3) f_c ; 高周波クロック [Hz]
 f_s ; 低周波クロック [Hz]
 * ; Don't care
- 注4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。
- 注5) OUTEN = “0”の指定でSTOP動作に入ると、内部入力は“0”に固定されますので、立ち下がりエッジの割り込みがセットされる恐れがあります。

システム制御レジスタ2

SYSCR2 (0039 _H)	7	6	5	4	3	2	1	0	
	XEN	XTEN	SYSCK	IDLE					

(初期値 1 0/1 0 0 0 ****)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続 または 発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続 または 発振開始	
SYSCK	システムクロックの選択(Write)/モニタ(Read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	IDLEモードの起動	0: CPU, WDT動作 1: CPU, WDT停止 (IDLE1/IDLE2/SLEEPモード起動)	

- 注1) XEN, XTENをともに“0”にするとリセットがかかります($\overline{\text{RESET}}$ 端子出力が“L”レベルとなります)。
- 注2) SYSCK = 0のときXENを“0”に、またSYSCK = 1のときXTENを“0”にしないでください。
- 注3) WDT; ウォッチドッグタイマ, *; Don't care
- 注4) SYSCR2のビット3~0は、リードすると“1”が読み出されます。
- 注5) XTENは、初期値のオプション選択ができます。ES発注の際、マイクロコントローラエンジニアリングサンプル (ES) 作成依頼書にてマスクオプションの指定を、必ず行ってください。記入の仕方に付いては付録の“TLCS-870シリーズにおけるマスクオプション指定方法”を参照してください。

TMP87PS71Aの場合、XTENの初期値は“0”です。

XTEN	リセット解除後の動作モード
0	シングルクロックモード (NORMAL1)
1	デュアルクロックモード (NORMAL2)

図1-15. システム制御レジスタ1, 2

1.8.4 動作モードの制御

(1) STOPモード (STOP1, STOP2)

STOPモードは、システム制御レジスタ1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力5) 端子と兼用です。STOPモードは、STOP (SYSCR1のビット7) を“1”にセットすることにより起動され、STOPモード中、次の状態を保持しています。

- ① 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
- ② データメモリ、レジスタ (DBRを除く)、プログラムステータスワード、ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。なお、ポート出力はOUTEN (SYSCR1のビット4) の設定により、出力保持/ハイインピーダンスの選択ができます。
- ③ タイミングジェネレータのデバイダを“0”にクリアします。
- ④ プログラムカウンタは、STOPモードを起動する命令 (例えば、[SET (SYSCR1).7]) の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM (SYSCR1のビット6) で選択します。

a. レベル解除モード (RELM=“1”のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力によりSTOP動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルの状態ではSTOP動作の起動を指示する命令を実行しても、STOP動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードでSTOP動作で起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

INT5割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち上がりエッジで割り込みを発生します)

例： INT5割り込みにより、STOPモードを起動

PINT5: TEST (P2).0

JRS F, SINT5

LD (SYSCR1), 01000000B

SET (SYSCR1).7

LDW (IL), 1111011101010111B

; ノイズ除去のため P20ポート入力が“H”レベルならSTOPモードを起動しない。

; レベル解除モードにセットアップ

; STOPモードを起動

; IL11, 7, 5, 3 ← 0

(割り込みラッチのクリア)

SINT5: RETI

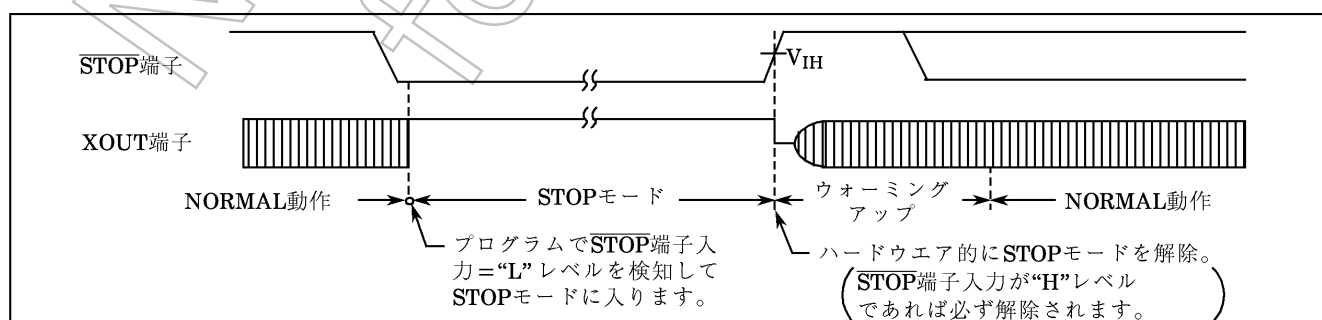


図1-16. レベル解除モード

- 注1) ウォーミングアップ開始後、再びSTOP端子入力が“L”レベルになってもSTOPモードには戻りません。
- 注2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM=0)

STOP端子入力の立ち上がりエッジでSTOPモードを解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号(例えば、低消費電力の発振源からのクロック)をSTOP端子に入力します。エッジ解除モードの場合、STOP端子入力が“H”レベルにあってもSTOP動作に入ります。

例： エッジ解除モードのSTOPモードを起動

```
LD  (SYSCR1, 00000000B) ; OUTEN ← 0 (ハイインピーダンス指定)
DI                                     ; IMF ← 0
SET (SYSCR1). STOP      ; STOP ← 1 (STOPモード起動)
LDW (IL), 11110111010111B ; IL11, 7, 5, 3 ← 0
                                   (割り込みラッチのクリア)
EI                                     ; IMF ← 1
```

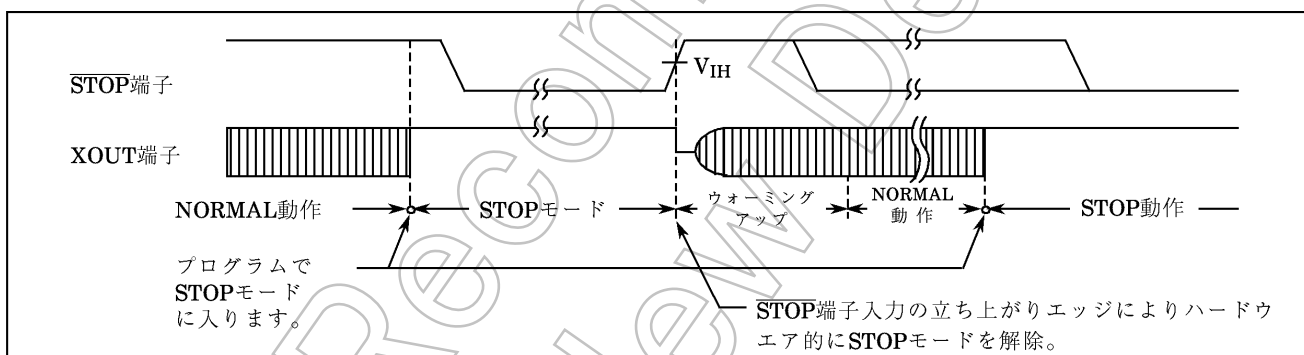


図1-17. エッジ解除モード

STOPモードの解除は、次のシーケンスで行われます。

- ① 発振が開始されます。デュアルクロックモードの場合、NORMAL2へ戻るときは、高周波/低周波発振器の両方が発振し、SLOWに戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
- ② 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてWUT (SYSCR1のビット3, 2) で2種類選択できます。
- ③ ウォーミングアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのデバイダは“0”にクリアされた状態から始まります。

表1-1. ウォーミングアップ時間 (例)

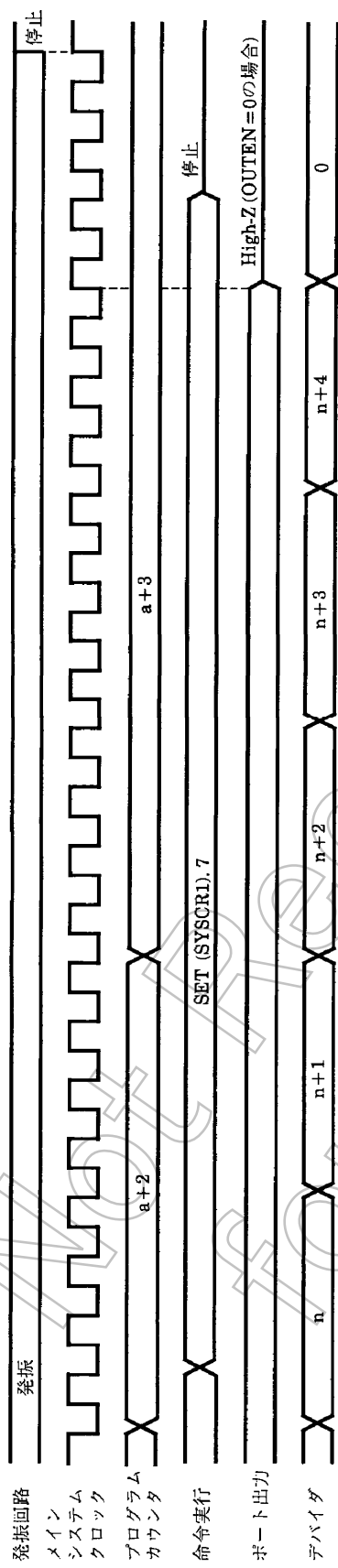
NORMALモードに戻る場合			SLOWモードに戻る場合	
WUT	$f_c = 4.194304 \text{ MHz}$ 時	$f_c = 8 \text{ MHz}$ 時	WUT	$f_s = 32.768 \text{ kHz}$ 時
$3 \times 2^{19}/f_c$ [s]	375 [ms]	196.6 [ms]	$3 \times 2^{18}/f_s$ [s]	750 [ms]
$2^{19}/f_c$ [s]	125 [ms]	65.5 [ms]	$2^{18}/f_s$ [s]	250 [ms]

注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

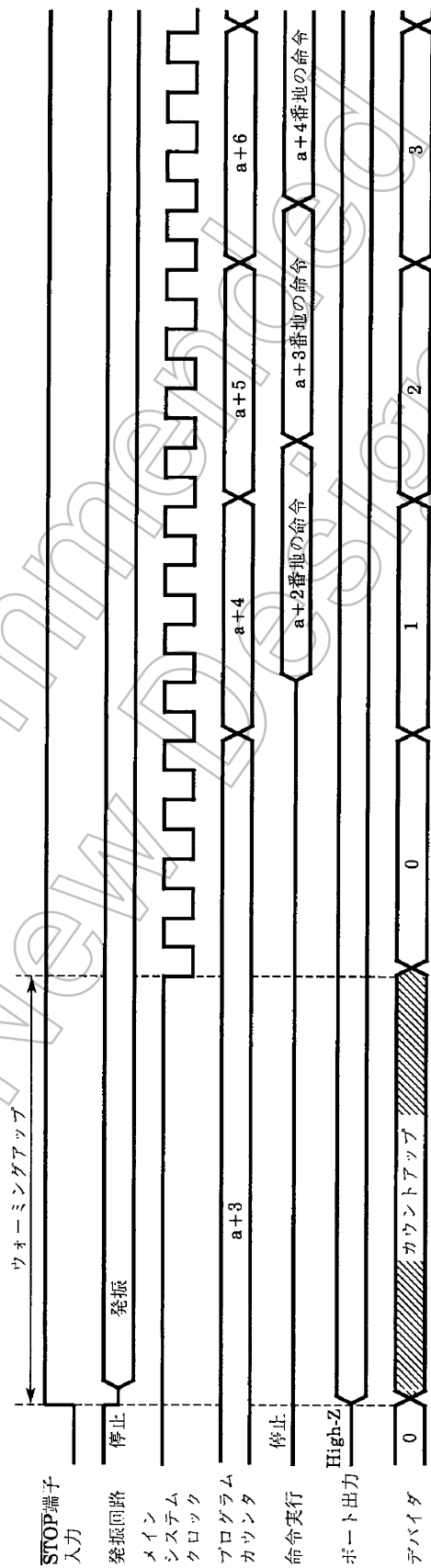
なお、STOPモードは、**RESET**端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。この場合、SLOWモードに戻る設定がされていても、NORMALモード (TMP87CS71Bの場合、マスクオプションにてXTEN (SYSCR2のビット6) の初期値が“1”のときはNORMAL2モード、TMP87PS71Aの場合はNORMAL1モード) から始まります。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。

STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、**RESET**端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、**RESET**端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、**RESET**端子の入力電圧レベルが、**RESET**端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。



(a) STOPモードの起動 (例: a番地に置かれたSET (SYSCR1). 7命令による起動)



(b) STOPモードの解除

図1-18. STOPモードの起動/解除

(2) IDLEモード (IDLE1, IDLE2, SLEEP)

IDLEモードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLEモード中、次の状態を保持しています。

- ① CPUおよびウォッチドッグタイマは動作を停止します。
周辺ハードウェアは動作を継続します (図1-14参照)。
- ② データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLEモードに入る直前の状態を保持します。
- ③ プログラムカウンタは、IDLEモードを起動する命令の2つ先の命令のアドレスを保持します。

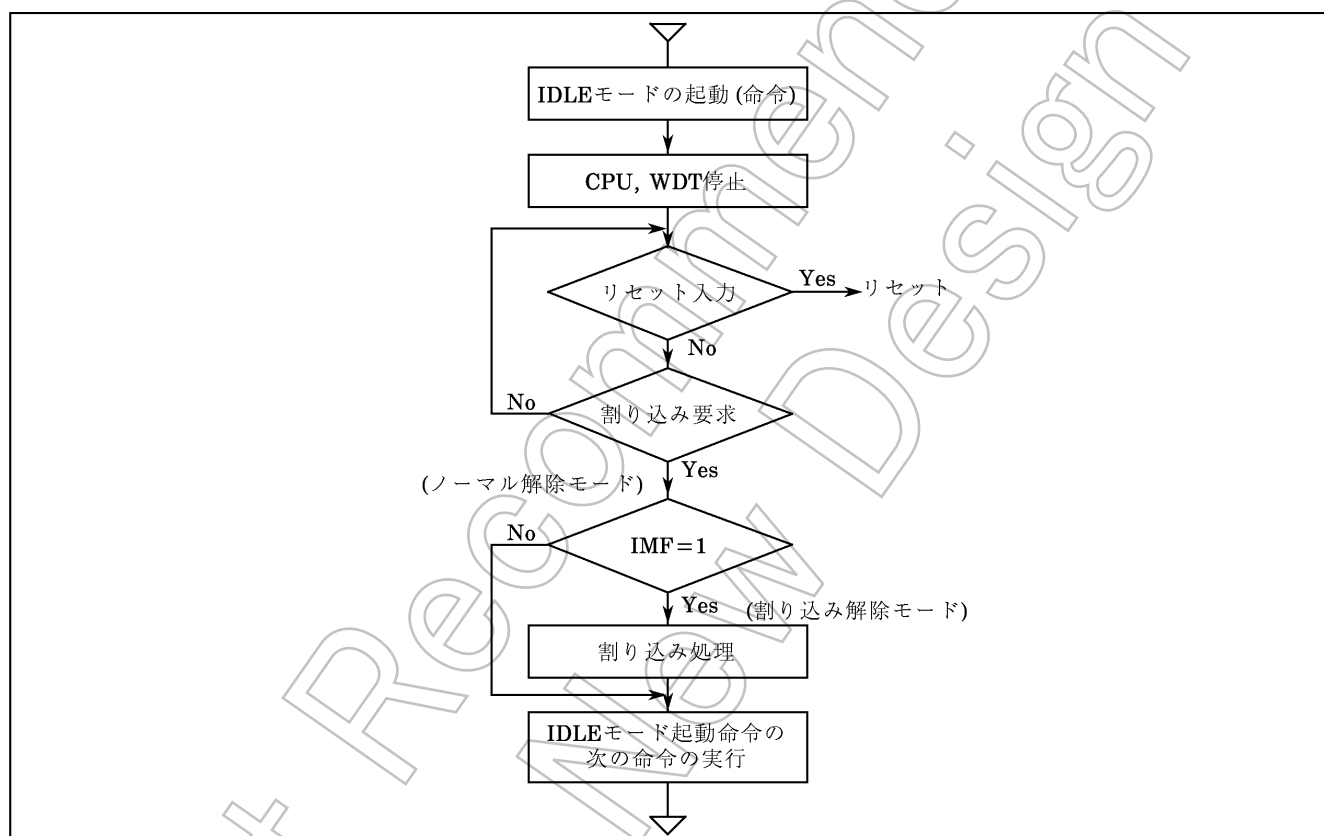


図1-19. IDLEモード

例： IDLEモードの起動
SET (SYSCR2).4

IDLEモードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。IDLEモード解除後、IDLE1モードのときはNORMAL1モードに、IDLE2モードのときはNORMAL2モードに、SLEEPモードのときはSLOWモードに戻ります。

a. ノーマル解除モード (IMF="0" のとき)

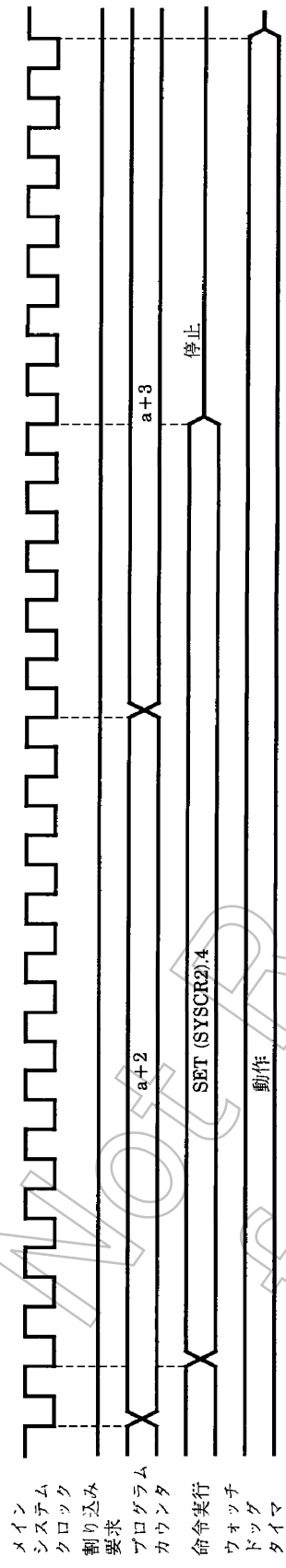
割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{INT0}$) の割り込み要求により、IDLEモードが解除され、IDLEモードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

b. 割り込み解除モード (IMF="1" のとき)

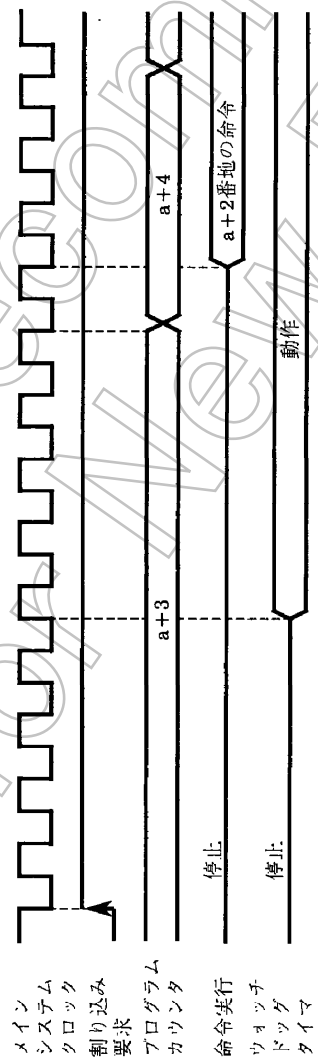
割り込み個別許可フラグ (**EF**) で許可された割り込み要因または外部割り込み0 (**INT0**) の割り込み要求により **IDLE**モードが解除され、割り込み処理に入ります。割り込み処理後、**IDLE**モードで起動した命令の次の命令に戻ります。

なお、**IDLE**モードは、**RESET**端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。**SLEEP**モードでリセットをかけた場合は、リセット解除後、**NORMAL**モード (TMP87CS71Bの場合、マスクオプションにて**XTEN** (**SYSCR2**のビット6) の初期値が“1”のときは**NORMAL2**モード、TMP87PS71Aの場合は**NORMAL1**モード) から始まります。

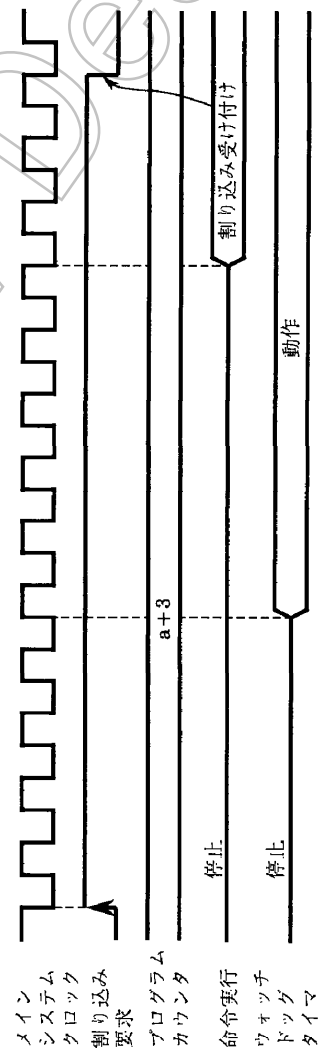
注) **IDLE**モード起動直前にウォッチドッグタイマ割り込みが発生した場合、**IDLE**モードは起動されずウォッチドッグタイマ割り込み処理が行われます。



(a) IDLEモードの起動(例: a番地に置かれたSET命令による起動)



① ノーマル解除モード



② 割り込み解除モード

(b) IDLEモードの解除
図1-20. IDLEモードの起動/解除

(3) SLOWモード

SLOWモードは、システム制御レジスタ2 (SYSCR2) および タイマカウンタ2 (TC2) によって制御されます。

a. NORMAL2モードからSLOWモードへの切り替え

まず、SYSCK (SYSCR2のビット5) に“1”を書き込み、システムクロックを低周波クロックに切り替えます。

次に、XEN (SYSCR2のビット7) を“0”にクリアして高周波発振器を停止します。

注) NORMAL2モードへ早く戻するために高周波クロックの発振を継続させることも可能です。
ただし、SLOWモードからSTOPモードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ2を使用すると便利です。

例1: NORMAL2モードからSLOWモードへの切り替え

```
SET (SYSCR2).5 ; SYSCK←1 (システムクロックを
                  低周波に切り替え)
CLR (SYSCR2).7 ; XEN←0 (高周波クロック停止)
```

例2: TC2で低周波クロックの安定発振の確認後、SLOWモードへ切り替え。

```
LD (TC2CR), 14H ; TC2のモードをセット
                  (タイマモード, ソースクロック : fs)
LDW (TREG2), 8000H ; ウォーミングアップ時間をセット
                   (発振子の特性で時間を決定します)
SET (EIRH), EF14 ; INTTC2 割り込み許可
LD (TC2CR), 34H ; TC2スタート
;
PINTTC2: LD (TC2CR), 10H ; TC2ストップ
SET (SYSCR2).5 ; SYSCK←1 (システムクロックを
                  低周波に切り替え)
CLR (SYSCR2).7 ; XEN←0 (高周波クロック停止)
RETI
;
VINTTC2: DW PINTTC2 ; INTTC2 ベクタテーブル
```

b. SLOWモードからNORMAL2モードへの切り替え

まず、XEN (SYSCR2のビット7) を“1”にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ2によって確保したあと、SYSCK (SYSCR2のビット5) を“0”にクリアします。

- 注1) SYSCKを“0”にクリア後、低周波クロックと高周波クロックの周期をとっている期間は低周波クロックで命令の実行を継続しています。
- 注2) SLOWモードをリセットによって解除した場合、NORMALモードに戻ります (TMP87CS71Bの場合、マスクオプションにてXTEN (SYSCR2のビット6) の初期値が“1”のときはNORMAL2モード、TMP87PS71Aの場合はNORMAL1モードへ戻ります)。

例 : SLOWモードからNORMAL2モードへの切り替え ($f_c = 8 \text{ MHz}$, ウォーミングアップ時間 = 7.9 ms)

```

SET (SYSCR2).7 ; XEN←1 (高周波クロック発振開始)
LD (TC2CR), 10H ; TC2のモードをセット
                  (タイマモード, ソースクロック :  $f_c$ )
LD (TREG2+1), 0F8H ; ウォーミングアップ時間をセット
                  (周波数と発振子の特性で時間を決定し
                  ます)

SET (EIRH), EF14 ; INTTC2 割り込み許可
LD (TC2CR), 30H ; TC2 スタート
:
:
PINTTC2: LD (TC2CR), 10H ; TC2 ストップ
CLR (SYSCR2).5 ; SYSCK←0 (システムクロックを
                  高周波に切り替え)

RET
:
VINTTC2: DW PINTTC2 ; INTTC2ベクタテーブル

```

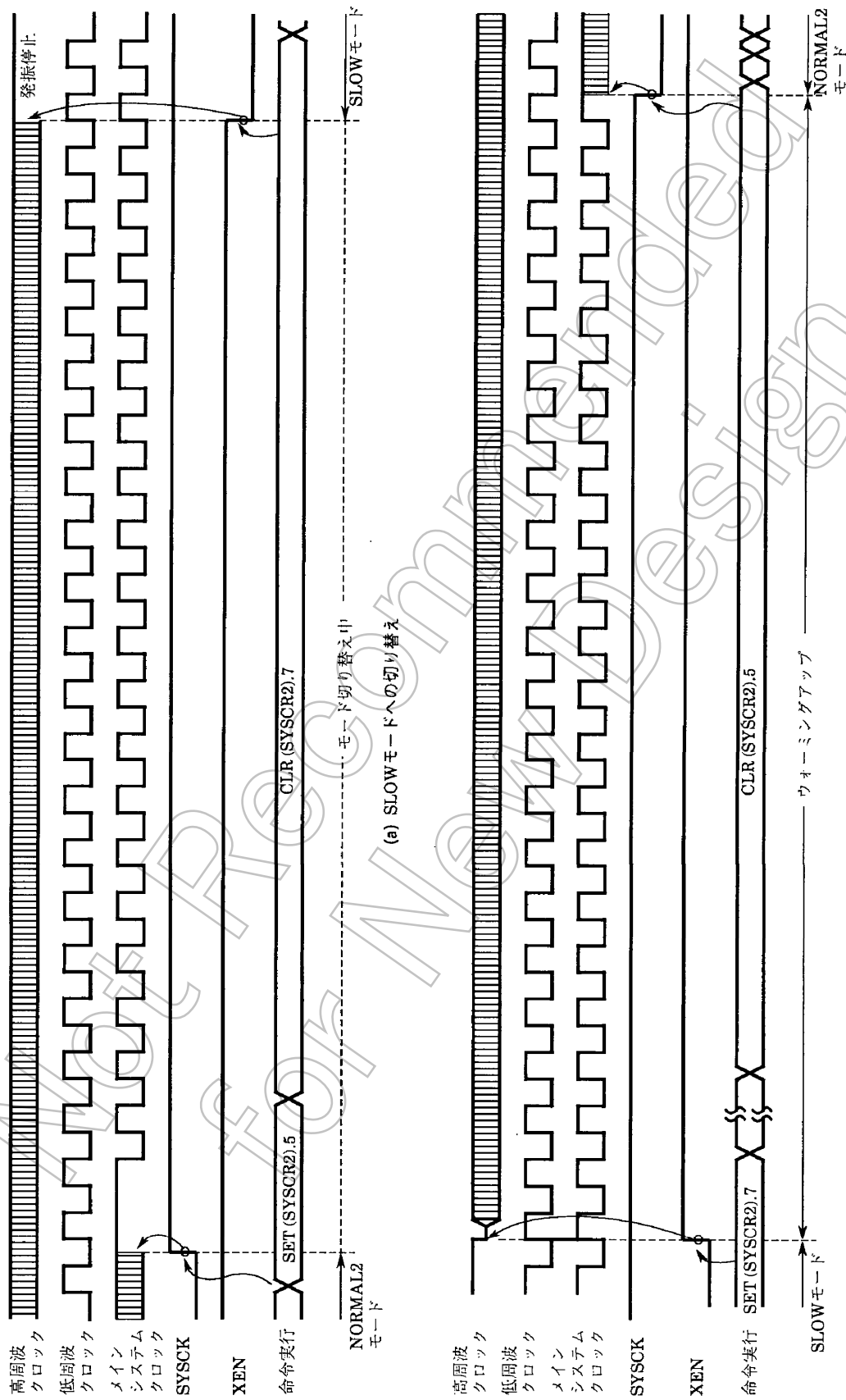


図1-21. SLOW $\leftrightarrow$ NORMAL2モード切り替え

1.9 割り込み制御回路

TMP87CS71Bには、外部5種、内部9種の合計14種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。

図1-22に割り込み制御回路を示します。

表1-2. 割り込み要因

割 り 込 み 要 因		許 可 条 件	割 り 込 み ラ ッ チ	ベ ク タ ア ド レ ス	優 先 順 位
内部/外部	(リセット)	ノンマスクابل	—	FFFE _H	高 位 0
内 部	INTSW (ソフトウェア割り込み)	擬似ノンマスクابل	—	FFFC _H	1
内 部	INTWDT (ウォッチドッグタイマ割り込み)		IL ₂	FFFA _H	2
外 部	INT0 (外部割り込み0)	IMF・EF ₀ =1	IL ₃	FFF8 _H	3
内 部	INTTC1 (16-bitタイマカウンタ1割り込み)	IMF・EF ₄ =1	IL ₄	FFF6 _H	4
外 部	INT1 (外部割り込み1)	IMF・EF ₅ =1	IL ₅	FFF4 _H	5
内 部	INTTBT (タイムベースタイマ割り込み)	IMF・EF ₆ =1	IL ₆	FFF2 _H	6
外 部	INT2 (外部割り込み2)	IMF・EF ₇ =1	IL ₇	FFF0 _H	7
内 部	INTTC3 (8-bitタイマカウンタ3割り込み)	IMF・EF ₈ =1	IL ₈	FFEE _H	8
内 部	INTSIO (シリアルインタフェース割り込み)	IMF・EF ₉ =1	IL ₉	FFEC _H	9
内 部	INTTC4 (8-bitタイマカウンタ4割り込み)	IMF・EF ₁₀ =1	IL ₁₀	FFEA _H	10
外 部	INT3 (外部割り込み3)	IMF・EF ₁₁ =1	IL ₁₁	FFE8 _H	11
内 部	INTKEY (キースキャン割り込み)	IMF・EF ₁₂ =1	IL ₁₂	FFE6 _H	12
reserved		IMF・EF ₁₃ =1	IL ₁₃	FFE4 _H	13
内 部	INTTC2 (16-bitタイマカウンタ2割り込み)	IMF・EF ₁₄ =1	IL ₁₄	FFE2 _H	14
外 部	INT5 (外部割り込み5)	IMF・EF ₁₅ =1	IL ₁₅	FFE0 _H	低 位 15

(1) 割り込みラッチ (IL₁₅~IL₂)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003C, 003D_H番地に割り付けられており、命令で個別にクリアすることができます(ただし、ビット操作命令や演算命令などのリードモディファイライト命令は使用できません)、プログラムで割り込み要求の取り消し/初期化ができます。ただし、IL₂は命令でクリアしないでください。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

例1: 割り込みラッチのクリア

LDW (IL), 111010000011111B ; IL₁₂, IL₁₀~IL₆←0

例2: 割り込みラッチの読み出し

LD WA, (IL) ; W←IL_H, A←IL_L

例3: 割り込みラッチのテスト

TEST (IL).7 ; IL₇=1ならジャンプ
JR F, SSET

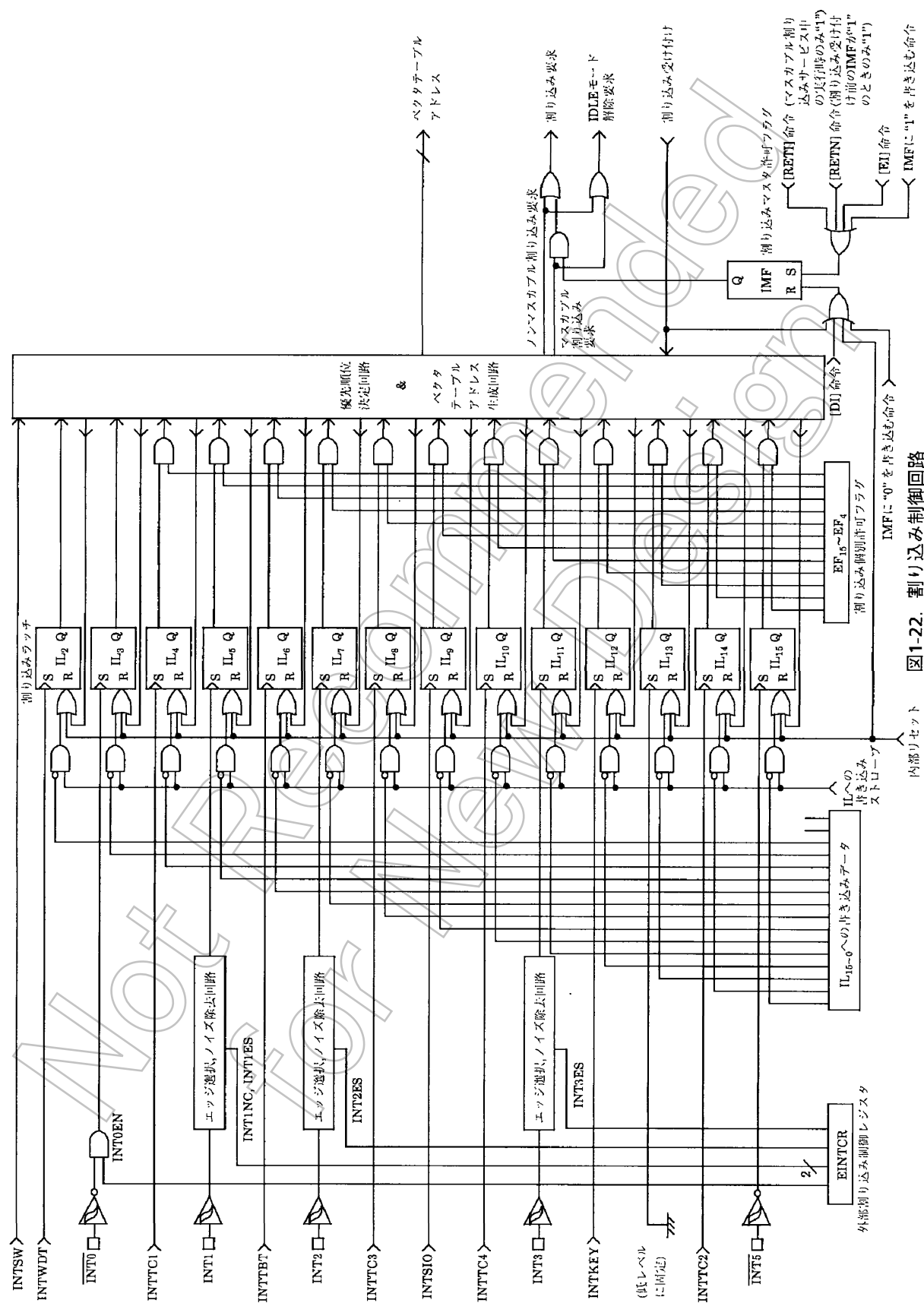


图1-22. 割り込み制御回路

(2) 割り込み許可レジスタ (EIR)

擬似ノンマスカブル割り込み(ソフトウェア割り込みとウォッチドッグタイマ割り込み)を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスカブル割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF)と割り込み個別許可フラグ(EF)で構成されています。割り込み許可レジスタは、SFR内の003A_H、003B_H番地に割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む)できます。

① 割り込みマスタ許可フラグ (IMF)

すべてのマスカブル割り込みに対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスカブル割り込みリターン命令[RETI]により“1”にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI]命令の実行直後から割り込み処理に入ります。

擬似ノンマスカブル割り込みの場合は、ノンマスカブル割り込みリターン命令[RETN]によりリターンします。この場合、割り込み受け付けの許可状態(IMF=1)で擬似ノンマスカブル割り込み処理に入ったときのみ、割り込みマスタ許可フラグは“1”にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は“0”のままです。

割り込みマスタ許可フラグは、EIR_L(SFR内の003A_H番地)のビット0に割り付けられており、命令でリード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

② 割り込み個別許可フラグ (EF₁₅~EF₄)

外部割り込み0を除く各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

例1: 割り込みの個別許可とIMFのセット

LDW (EIR), 1110100010100001B ; EF₁₅~EF₁₃, EF₁₁, EF₇, EF₅, IMF←1

例2: 割り込みの個別許可フラグのセット

SET (EIRH).4 ; EF₁₂←1

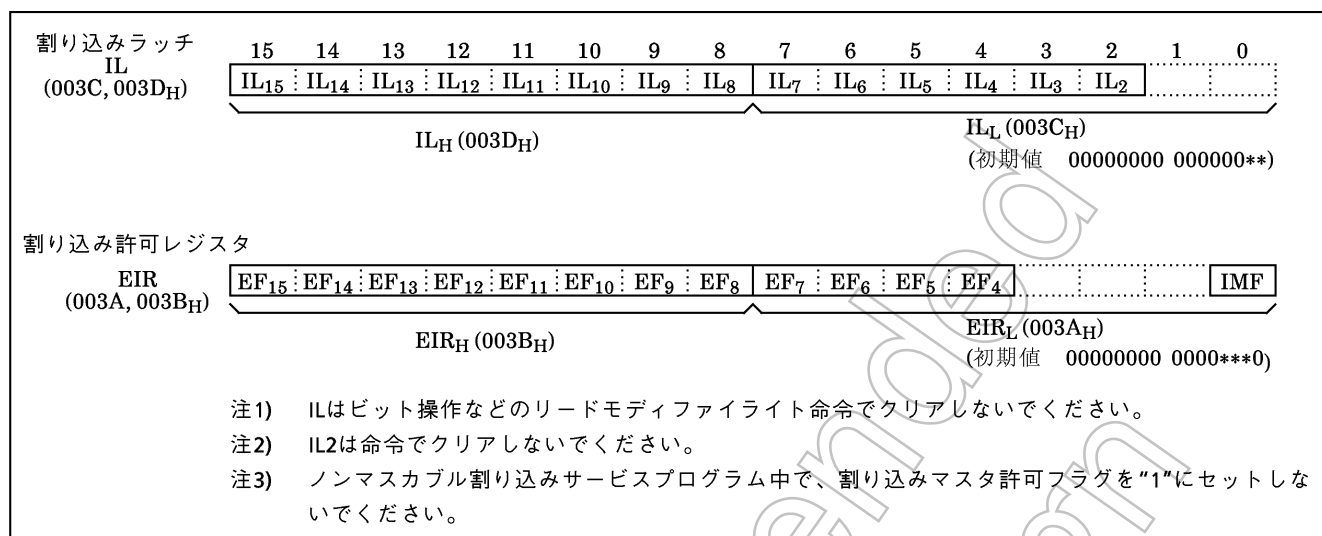


図1-23. 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

1.9.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8マシンサイクル (4 μ s @ 8 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合) / [RETN] (擬似ノンマスカブル割り込みの場合) を実行して終了します。図1-24に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的行います。

- ① 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。ノンマスカブル割り込み受け付けの場合は、そのあとのノンマスカブル割り込みの受け付けも一時的に禁止します。
- ② 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
- ③ プログラムカウンタ (PC) およびプログラムステータスワード (PSW) の内容をスタックに退避します (PSW, PC_H, PC_Lの順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
- ④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
- ⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

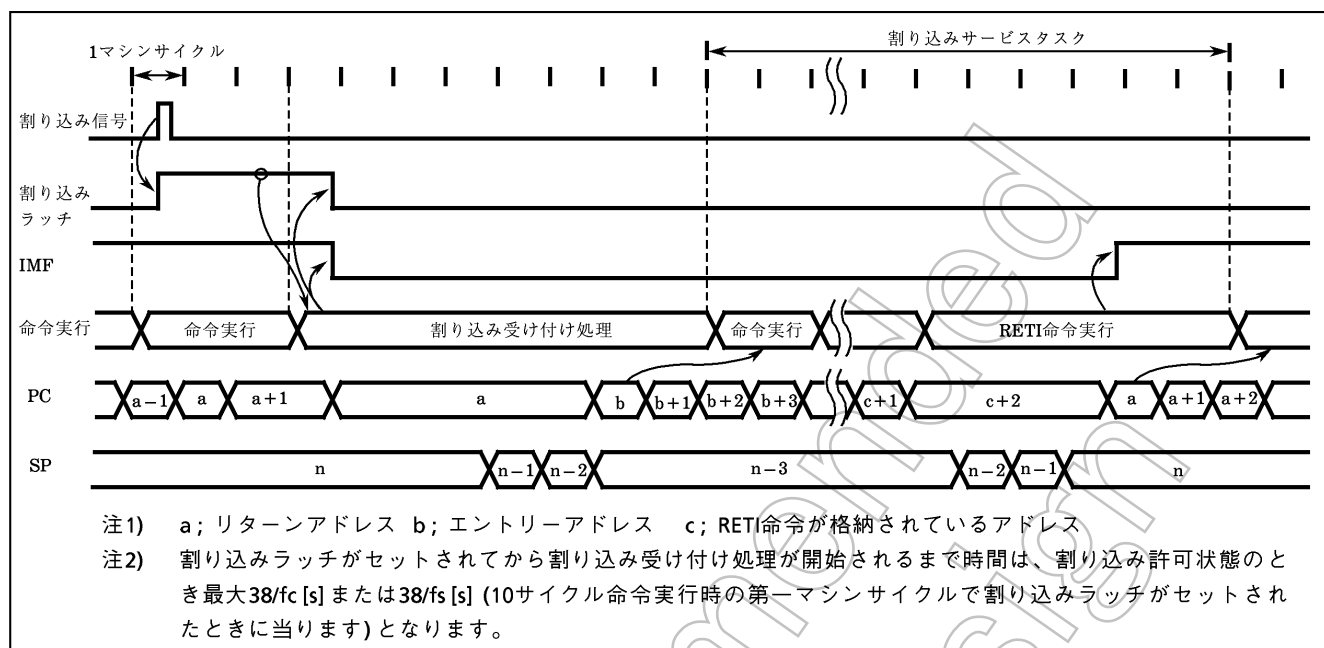
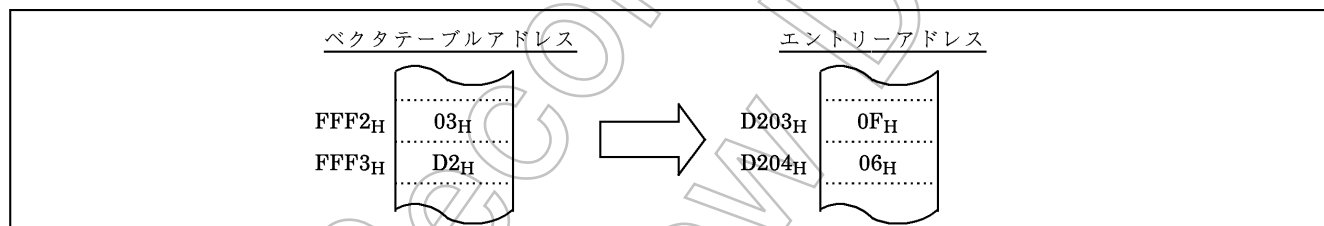


図1-24. 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例：INTTBTの受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み処理よりレベルの高いマスクブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み0は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INT0EN) により外部割り込み機能を禁止する (INT0EN=0の期間は、割り込みラッチIL₃はセットされませんのでINTO端子入力の立ち下がりエッジは検出できません) か、または、プログラムでソフトウェア的に割り込み処理を禁止します。

例1: 外部割り込み制御レジスタによる外部割り込み0の禁止

LD (EINTCR), 00000000B ; INT0EN←0

例2: ソフトウェアによる外部割り込み0の割り込み処理禁止(割り込み処理禁止スイッチを00F0_H番地のビット0とします)。

```

PINT0: TEST    (00F0H).0      ; (00F0H)0=1 なら割り込み処理行わずに
                                リターン
        JRS     T, SINT0
        RETI
SINT0: 割り込み処理
        RETI
        ⋮
VINT0: DW      PINT0

```

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の3つの方法があります。

① レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替える ([LD RBS, n], [INC (GRBS)] 命令などを使用) ことで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令 [RETI]/[RETN] の実行で自動的に復帰します。従って、RBSを退避する必要はありません。

例: レジスタバンク切り替え

```

PINTxx: LD      RBS, n      ; バンク n に切り替え (1μs @ 8MHz)
        割り込み処理
        RETI               ; バンクの復帰とリターン

```

② プッシュ/ポップ命令による汎用レジスタの退避/復帰

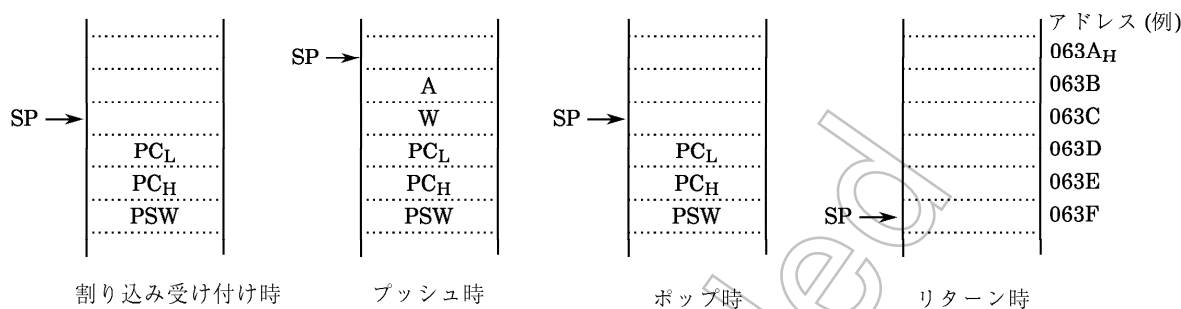
特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例: プッシュ/ポップによるレジスタの退避/復帰

```

PINTxx: PUSH    WA          ; WAレジスタペアをスタックに退避
        割り込み処理
        POP     WA          ; WAレジスタペアをスタックから復帰
        RETI               ; リターン

```



③ 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例： データメモリとの転送命令によるレジスタの退避/復帰

```
PINTxx : LD      (GSAVA), A      ; Aレジスタの退避
          [割り込み処理]
          LD      A, (GSAVA)     ; Aレジスタの復帰
          RETI                  ; リターン
```

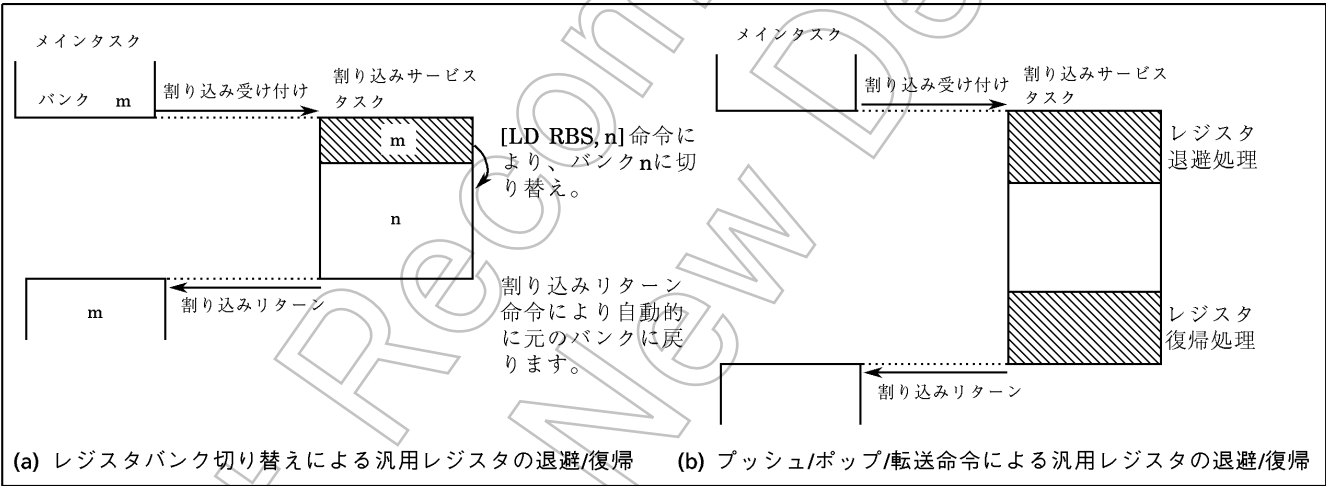


図1-25. 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
① プログラムカウンタ および プログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込みマスタ許可フラグを“1”にセットします。	① プログラムカウンタ および プログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.9.2 ソフトウェア割り込み (INTSW)

SWI命令を実行することにより、ソフトウェア割り込みが発生し、直ちに割り込み処理に入ります(最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI命令を実行してもソフトウェア割り込みは発生せず、NOP命令と同一の動作を行います。

注) 開発ツールでは、SWI命令をソフトウェアブレークに使用できるように、ノンマスカブル割り込み処理中でも必ずソフトウェア割り込みが発生します。

SWI命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

① アドレスエラー検出

CPUが何らかの原因(ノイズなど)により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_Hが読み込まれます。コードFF_Hは、SWI命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべてFF_Hで埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM領域(0040~083F_H番地)およびSFR領域(0000~003F_H番地)に対する命令フェッチのときは、アドレストラップリセットがかかります。

注) 1080~10FF_H番地には、出荷テスト用ROMが内蔵されていますので、この領域からの命令フェッチの場合はFF_Hとなりません。

② デバッグ

SWI命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

1.9.3 外部割り込み

TMP87CS71Bには、5本の外部割り込み入力があり、うち3本はデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1~INT3端子は、エッジ選択可能です。なお、INT0/P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および INT0/P10端子の機能選択は、外部割り込み制御レジスタで行います。

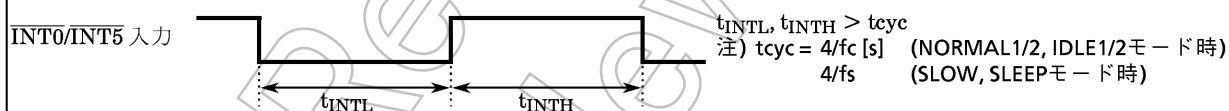
表1-3. 外部割り込み

要 因	端 子 名	兼 用 端 子	許 可 条 件	エ ッ ジ	デ ジ タ ル ノ イ ズ 除 去 回 路
INT0	INT0	P10	IMF=1, INT0EN=1	立ち下がりエッジ	なし (ヒステリシス入力)
INT1	INT1	P11	IMF・EF ₅ =1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。 48/fc または 192/fc [s] 以上は確実に信号とみなされます。
INT2	INT2	P12/TC1	IMF・EF ₇ =1		7/fc [s] 未満のパルスはノイズとして除去されます。24/fc [s] 以上は確実に信号とみなされます。
INT3	INT3	P30/TC3	IMF・EF ₁₁ =1		
INT5	INT5	P20/STOP	IMF・EF ₁₅ =1	立ち下がりエッジ	なし (ヒステリシス入力)

注1) SLOW/SLEEPモード時、ノイズ除去機能はオフします。なお、動作モード遷移中に入力されたパルスに対するノイズ除去時間は不定になります。

注2) ノイズ除去回路は、タイマカウンタ入力 (TC1, TC3端子)のエッジ検出に対しても働きます。

注3) INT0 および INT5端子への入力パルス幅は、1マシンサイクル以上必要です。



注4) NORMAL 1/2またはIDLE 1/2モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

① INT1端子 49/fc [s] (INT1NC=1のとき), 193/fc [s] (INT1NC=0のとき)

② INT2, INT3端子 25/fc [s]

注5) INT0EN=0のとき、INT0端子入力の立ち下がりエッジが検出されても割り込みラッチIL₃はセットされません。

注6) STOPモードでポート出力をハイインピーダンス指定 (OUTEN=0) 時、ポート入力は内部で強制的に“L”レベルに固定されるため、ポートと兼用の外部割り込み入力 (P20 (STOP/INT5) を除く) の割り込みラッチがセットされることがあります。

STOPモードでポート出力をハイインピーダンス指定にする場合、割り込み受け付けを一時禁止 (IMF=0) にしてからSTOPモードを起動し、STOPモード解除後に割り込みラッチをロード命令でクリアしてください。

例: STOPモードの起動

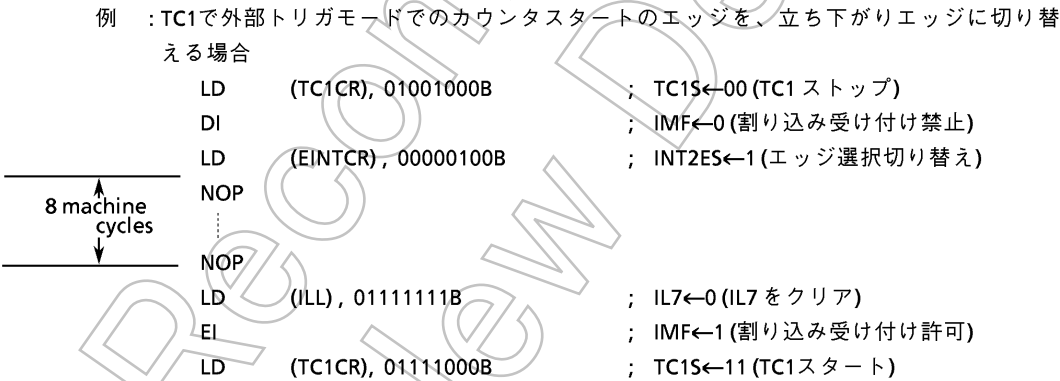
```
LD      (SYSCR1), 01000000B      ; OUTEN←0
DI                               ; IMF←0
SET     (SYSCR1). STOP           ; STOP←1 (STOPモード起動)
LDW     (IL), 1111011101010111B  ; IL11, 7, 5, 3←0 (割り込みラッチのクリア)
EI                               ; IMF←1
```

EINTCR (0037 _H)	7	6	5	4	3	2	1	0
	INT1 NC	INT0 EN		(TC4) ES	INT3 ES	INT2 ES	INT1 ES	

(初期値 00*0 000*)

INT1NC	INT1のノイズ除去時間の選択	0: 63/fc [s] 未満のパルスはノイズとして除去 1: 15/fc	Write only
INT0EN	P10/INT0の機能選択	0: P10 入出力ポート 1: INT0 端子 (P10ポートは入力モードにしてください)	
INT3 ES INT2 ES INT1 ES	INT3~INT1のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジ	

- 注1) fc; 高周波クロック [Hz] *; Don't care
- 注2) 外部割り込み制御レジスタ (EINTCR) の設定/書き替えは、まず割り込みを禁止状態 (IMF = 0) にしてから外部割り込み制御レジスタを設定/書き替え、割り込みラッチをクリアした後、割り込み受け付けを許可してください。
- 注3) INT2ESおよびINT3ESを、NORMAL1/2モード時に、外部割り込み入力信号のエッジを切り替える目的で書き替えた場合には、書き替えてから8命令サイクル以上おいてから、外部割り込みラッチ (INT2, INT3) をクリアしてください。SLOWモード時には、3命令サイクル必要です。
- 注4) INT2ES, INT3ESおよびTC4ESを、NORMAL1/2モード時に、タイマカウンタの外部クロック/パルス信号などのエッジを切り替える目的で書き替える場合には、各タイマカウンタが停止した状態で書き替え (割り込みは禁止状態)、書き替え後8命令サイクル以上おいてから外部割り込みラッチ (INT2, INT3) をクリアした後に、割り込みを許可状態にし、各タイマカウンタを再スタートさせてください。SLOWモード時には、3命令サイクル必要です。



- 注5) INT1ESを書き替えたとき、NORMAL1/2モードの場合には、切り替えてから14命令サイクル (INT1NC = 1のとき) または50命令サイクル (INT1NC = 0のとき) おいてから、INT1の割り込みラッチをクリアしてください。SLOWモード時には、3命令サイクル必要です。
- 注6) EINTCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図1-26. 外部割り込み制御レジスタ

1.10 ウォッチドッグ タイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作(暴走)やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、リセット出力または擬似ノンマスカブル割り込み要求のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、リセット出力に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

1.10.1 ウォッチドッグ タイマの構成

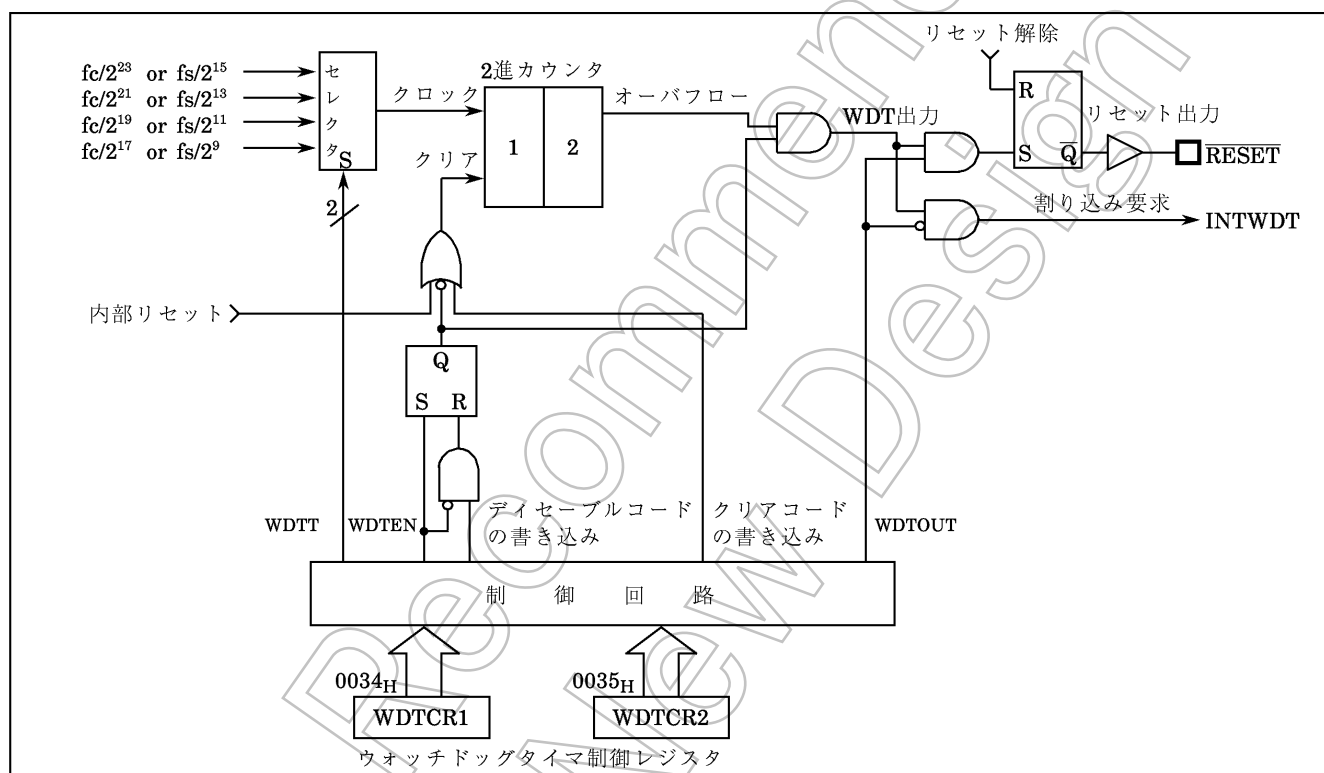


図1-27. ウォッチドッグ タイマの構成

1.10.2 ウォッチドッグ タイマの制御

ウォッチドッグ タイマの制御レジスタを図1-28に示します。リセット解除後、ウォッチドッグ タイマはイネーブルになります。

(1) ウォッチドッグ タイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

- ① 検出時間の設定、出力の選択 および 2進カウンタのクリア
- ② 設定した検出時間3/4以内ごとに2進カウンタのクリアを繰り返し行います。

注) 2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従ってクリアタイミングによっては、検出時間が設定時間の3/4となる場合があります。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバフローでウォッチドッグ タイマ出力がアクティブになります。このとき **WDTOUT** = “1” なら **RESET** 端子からリセット出力するとともに内蔵ハードウェアをリセットします。また、**WDTOUT** = “0” なら、ウォッチドッグ タイマ割り込み (**INTWDT**) を発生します。

なお、**STOP**モード (ウォーミングアップ中を含む) または **IDLE** モード中ウォッチドッグ タイマは、一時的にカウントアップ停止し、**STOP**/**IDLE** モード解除後、自動的に再起動 (カウントアップ継続) します。

例： ウォッチドッグ タイマ検出時間を $2^{21}/f_c$ [s] に設定し、暴走検出リセットを行う。

	LD	(WDTCR1), 00001101B	;	WDTT←10, WDTOUT←1
	LD	(WDTCR2), 4EH	;	2進カウンタのクリア
WDT検出 時間3/4以内	⋮			(WDTT変更直後は必ずクリアします)
	LD	(WDTCR2), 4EH	;	2進カウンタのクリア
WDT検出 時間3/4以内	⋮			
	LD	(WDTCR2), 4EH	;	2進カウンタのクリア

ウォッチドッグ タイマ制御レジスタ1

WDTCR1 (0034_H)

76543210

WDT EN

WDTT

WDT OUT

(初期値 **** 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0：禁止 (WDTCR2にディセーブルコードを書き込む必要あり) 1：許可	Write only
WDTT	ウォッチドッグタイマ検出時間の設定	00：2 ²⁵ /fc または 2 ¹⁷ /fs [s] 01：2 ²³ /fc または 2 ¹⁵ /fs [s] 10：2 ²¹ /fc または 2 ¹³ /fs [s] 11：2 ¹⁹ /fc または 2 ¹¹ /fs [s]	
WDTOUT	ウォッチドッグタイマ出力の選択	0：割り込み要求 1：リセット出力	

注1)

WDTOUTを“0”にクリア後は、プログラムで“1”に再セットできません。

注2)

fc；高周波クロック [Hz] fs；低周波クロック [Hz] *；Don't care

注3)

WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスではありません。

注4)

STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。

また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。

ウォッチドッグ タイマ制御レジスタ2

WDTCR2 (0035_H)

76543210

(初期値 **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4E_H：ウォッチドッグタイマの2進カウンタのクリア (クリアコード) B1_H：ウォッチドッグタイマのディセーブル (ディセーブルコード) その他：無効	Write only
--------	----------------------	--	------------

注1)

ディセーブルコードは、WDTEN=0のとき以外は書き込み無効です。

注2)

*；Don't care

注3)

WDTCR2は書き込み専用レジスタですので、リードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

注4)

2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従って2進カウンタのクリアは検出時間の3/4以内に行ってください。

図1-28. ウォッチドッグ タイマ制御レジスタ

(2) ウォッチドッグ タイマのイネーブル

WDTEN (WDTCR1のビット3)を“1”にセットするとイネーブルになります。リセット時、WDTENは“1”に初期化されますので、リセット解除後ウォッチドッグ タイマは直ちに動作します。

(3) ウォッチドッグ タイマのディセーブル

WDTEN (WDTCR1のビット3)を“0”にクリア後、WDTCR2にディセーブルコード (B1_H)を書き込むことによりディセーブルになります。なお、逆にWDTCR2にディセーブルコードを書き込んだ後、WDTENを“0”にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグ タイマの2進カウンタはクリアされています。

例: ウォッチドッグ タイマのディセーブル

LDW (WDTCR1), 0B101H ; WDTEN←0, WDTCR2←ディセーブルコード

表1-4. ウォッチドッグ タイマ検出時間

動作モード			検出時間	
NORMAL1 [s]	NORMAL2 [s]	SLOW [s]	$f_c = 8 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$ 時
$2^{25}/f_c$	$2^{25}/f_c, 2^{17}/f_s$	$2^{17}/f_s$	4.194 [s]	4 [s]
$2^{23}/f_c$	$2^{23}/f_c, 2^{15}/f_s$	$2^{15}/f_s$	1.048 [s]	1 [s]
$2^{21}/f_c$	$2^{21}/f_c, 2^{13}/f_s$	—	262.1 [ms]	250 [ms]
$2^{19}/f_c$	$2^{19}/f_c, 2^{11}/f_s$	—	65.5 [ms]	62.5 [ms]

1.10.3 ウォッチドッグ タイマ割り込み (INTWDT)

擬似ノンマスクابل割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例：ウォッチドッグタイマ割り込みの設定例

```
LD SP, 083FH          ; SPの設定
LD (WDTCR1), 00001000B ; WDTOUT←0
```

1.10.4 ウォッチドッグ タイマリセット

RESET端子より“L”レベルを出力するとともに内蔵ハードウェアをリセットします。リセット時間は、 $2^{20}/f_c$ [s] (131 ms @ $f_c = 8 \text{ MHz}$) です。RESET端子は、プルアップ抵抗付きのシンクオープンドレイン入出力です。

注) SLOWモードでウォッチドッグタイマリセットが発生した場合も、高周波クロックが発振しますのでリセット時間 $2^{20}/f_c$ となります。ただし、高周波クロック発信開始時に発振周波数にゆらぎがある場合は、リセット期間は誤差を含むことになり、概略値としてとらえてください。

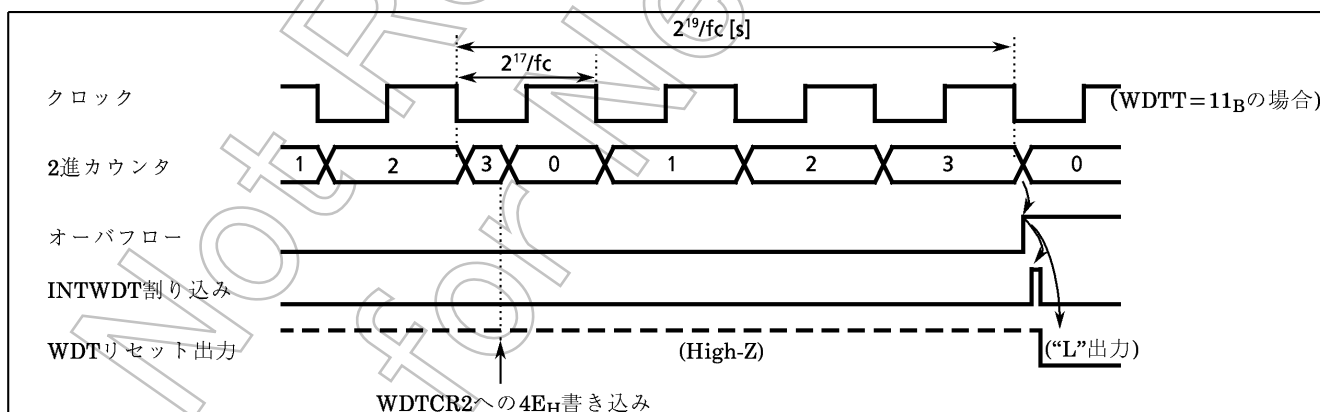


図1-29. ウォッチドッグタイマ割り込み/リセット

1.11 リセット回路

TMP87CS71Bには外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。表1-5にリセット動作による内蔵ハードウェアの初期化を示します。電源投入時、内部要因リセット回路(ウォッチドッグタイマリセット, アドレストラップリセットおよびシステムクロックリセット)は初期化されません。従って、電源投入時にRESET端子出力が $2^{20}/f_c$ [s] (131 ms @ 8 MHz) “L” レベルになることがあります。

表1-5. リセット動作による内蔵ハードウェアの初期化

内 蔵 ハ ー ド ウ ェ ア	初 期 値	内 蔵 ハ ー ド ウ ェ ア	初 期 値
プログラムカウンタ (PC)	(FFFF _H)・(FFFE _H)	タイミングジェネレータのデバイダ	0
レジスタバンクセクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		

1.11.1 外部リセット入力

電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3命令サイクル以上の間RESET端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET端子入力が“H”レベルに立ち上がるとリセット動作は解除され、FFFE, FFFF_H番地に格納されたベクタアドレスからプログラムの実行を開始します。

RESET端子はプルアップ抵抗付きのヒステリシス入力となっており、コンデンサ および ダイオードを外付けすることにより簡易型パワーオンリセットを行うことができます。

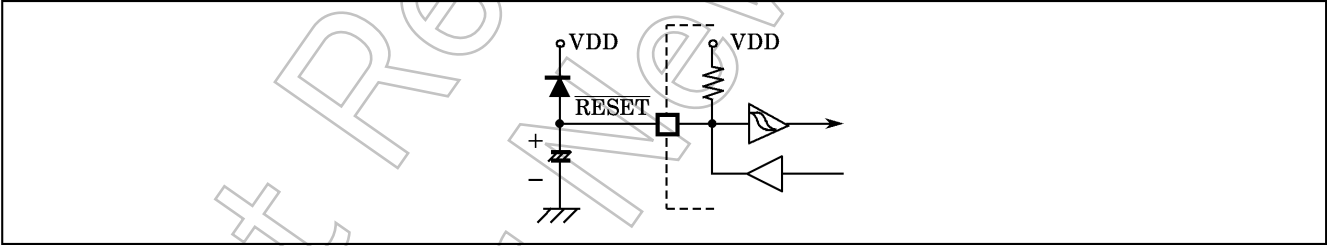


図1-30. 簡易型パワーオンリセット回路

1.11.2 アドレストラップリセット

CPUが何らかの原因(ノイズなど)により暴走していることを検出し、正常な状態に戻すことを目的としたフェイルセーフ機能の1つにアドレストラップリセットがあります。アドレストラップリセットとは、**SFR**および**RAM**領域**0000~083F_H**番地のメモリから命令をフェッチしようとする内部リセットを発生し、**RESET**端子よりリセット信号(“L”レベル)が出力される機能です。リセット出力時間は $2^{20}/f_c$ [s] (131 ms @ 8 MHz) です。

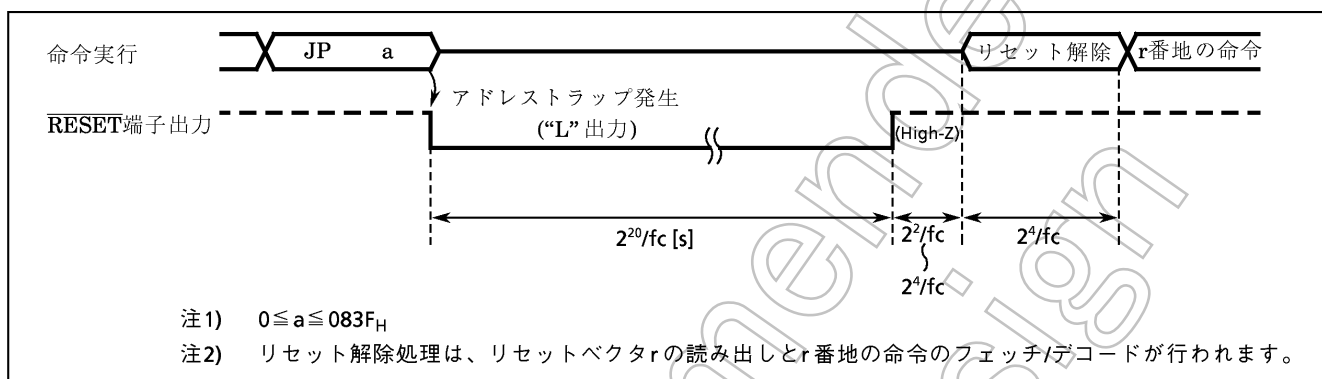


図1-31. アドレストラップリセット

1.11.3 ウォッチドッグタイマリセット

『1.10 ウォッチドッグタイマ』をご参照ください。

1.11.4 システムクロックリセット

XEN, **XTEN** (**SYSCR2** のビット7,6) をともに“0”にクリアすると高周波、低周波発振が停止し、**MCU**がデッドロック状態に陥ります。これを防ぐため、**XEN=XTEN=0**を検出すると自動的にリセット信号を発生し発振を継続させます。リセット信号は、**RESET**端子より出力されます。リセット時間は、 $2^{20}/f_c$ [s] (131 ms @ 8 MHz) です。

2. 周辺ハードウェア機能

2.1 スペシャル ファンクション レジスタ (SFR) とデータ バッファ レジスタ (DBR)

TLCS-870シリーズは、メモリマップI/O方式で、周辺ハードウェアの制御/データ転送はすべてスペシャル ファンクション レジスタ (SFR) またはデータ バッファ レジスタ (DBR) を通して行われます。

SFRは0000~003F_H番地に、DBRは0F80~0FFF_H番地にマッピングされています。図2-1にTMP87CS71BのSFR, DBRの一覧を示します。

Not Recommended
for New Design

アドレス		リード	ライト	アドレス		リード	ライト
0000H			P0ポート	0020H		SIOSR (SIOステータス)	SIOCR1 (SIO制御)
01			P1ポート	21		—	SIOCR2 (SIO制御)
02			P2ポート	22		Reserved	
03			P3ポート	23			
04			P4ポート /KEYDR (キースキャン入力ラッチ)	24		HSOSR (HSOステータス)	HSOCR (HSO制御)
05			P5ポート	25		Reserved	
06			P6ポート	26			
07			P7ポート	27			
08			P8ポート	28		—	VFTCR1 (VFT制御)
09			P9ポート	29		VFTSR (VFTステータス)	VFTCR2 (VFT制御)
0A		—	P0CR (P0ポート入出力制御)	2A		KEYSR (キースキャンステータス)	—
0B		—	P1CR (P1ポート入出力制御)	2B		Reserved	
0C		—	P4CR (P4ポート制御)	2C			
0D			Reserved	2D			
0E		—	CMPCR (AD変換入力制御)	2E			
0F			CMPDR (AD変換入力データレジスタ)	2F			
10		—	TREG1L (タイマレジスタ1)	30		Reserved	
11		—	TREG1H	31			
12			Reserved	32			
13				33			
14		—	TC1CR (タイマカウンタ1制御)	34		—	WDTCR1 (ウォッチドッグ タイマ制御)
15		—	TC2CR (タイマカウンタ2制御)	35		—	WDTCR2
16		—	TREG2L (タイマレジスタ2)	36		—	TBTCR (TBT/TG/DVO 制御)
17		—	TREG2H	37		—	EINTCR (外部割り込み制御)
18			TREG3A (タイマレジスタ3A)	38		SYSCR1	(システム制御)
19			TREG3B (タイマレジスタ3B)	39		SYSCR2	
1A		—	TC3CR (タイマカウンタ3制御)	3A		EIR _L	(割り込み許可レジスタ)
1B		—	TREG4 (タイマレジスタ4)	3B		EIR _H	
1C		—	TC4CR (タイマカウンタ4制御)	3C		IL _L	(割り込みラッチ)
1D			Reserved	3D		IL _H	
1E				3E		Reserved	
1F				3F		PSW (プログラムステータスワード)	RBS (レジスタバンクセクタ)

(a) スペシャル ファンクション レジスタ

アドレス		リード	ライト
0F80H			
...			
0F9F			
0FF0			
F1			
F2			
F3			
F4			
F5			
F6			
F7			
0FF8		—	HSO送信データバッファ
...			
0FFF			

(b) データ バッファ レジスタ

- 注1) Reservedの番地はプログラムでアクセスしないでください。
- 注2) — ; アクセスできません。
- 注3) 003FH番地をシンボルで定義する場合、GPSW/GRBSとしてください。
- 注4) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。
- 注5) KEYDRは読み出し専用レジスタです。

図2-1. SFR & DBR

2.2 入出力ポート

TMP87CS71Bは、10ポート73端子の入出力ポートを内蔵しています。

- ① P0ポート; 8ビット入出力ポート
- ② P1ポート; 8ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用)
- ③ P2ポート; 3ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOPモード解除信号入力と兼用)
- ④ P3ポート; 8ビット入出力ポート (シリアルポート, 外部割り込み入力, タイマカウンタ入力と兼用)
- ⑤ P4ポート; 8ビット入出力ポート (キースキャン入力, コンパレータ入力と兼用)
- ⑥ P5ポート; 6ビット入出力ポート (コンパレータ入力, PWM/プログラマブルデバイタ出力と兼用)
- ⑦ P6ポート; 8ビット入出力ポート (デジット出力と兼用)
- ⑧ P7ポート; 8ビット入出力ポート (デジット出力と兼用)
- ⑨ P8ポート; 8ビット出力ポート (セグメント出力/キーストロープ出力と兼用)
- ⑩ P9ポート; 8ビット入出力ポート (セグメント出力/キーストロープ出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポート(キースキャン入力を除く)にはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルのS2ステートです。

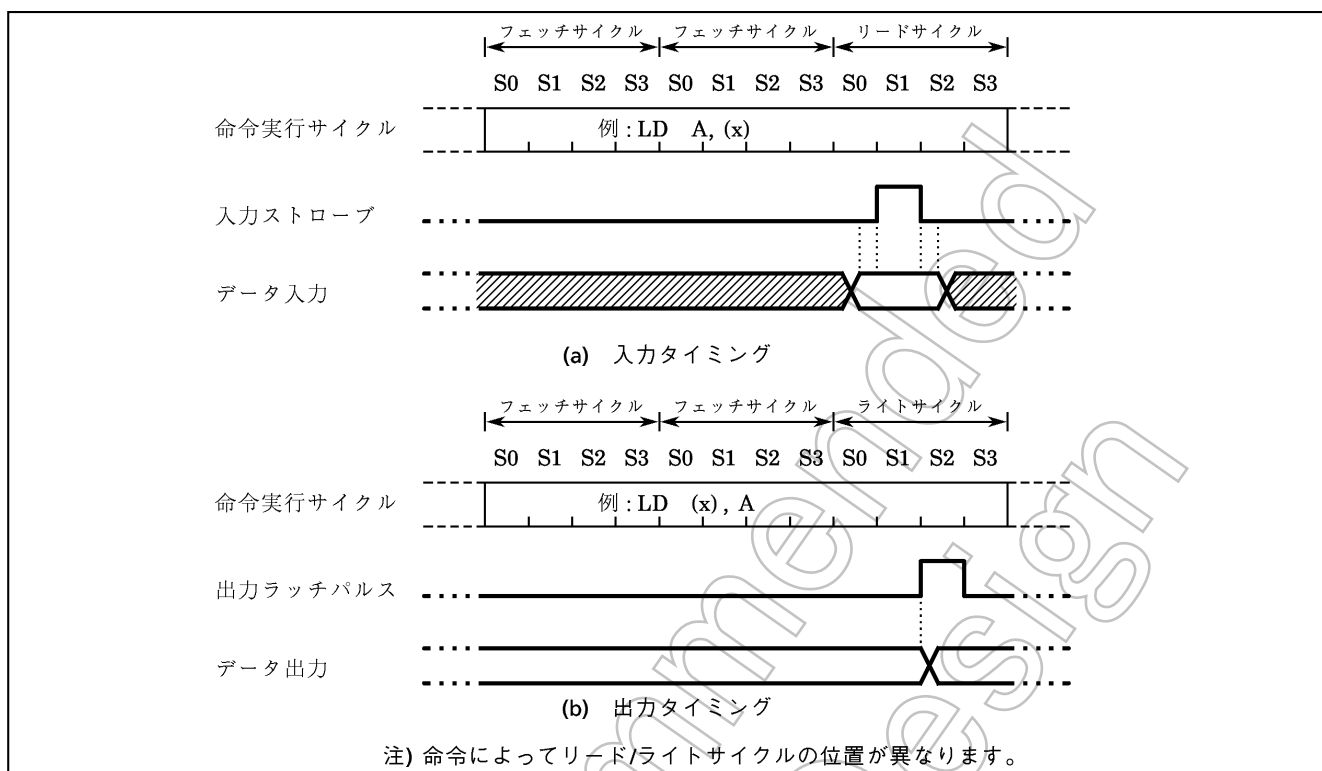


図2-2. 入出力タイミング (例)

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

(a) 出力ラッチの内容を読み込む命令

- ① XCH r, (src)
- ② SET/CLR/CPL (src).b
- ③ SET/CLR/CPL (pp).g
- ④ LD (src).b, CF
- ⑤ LD (pp).b, CF
- ⑥ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), n
- ⑦ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (src) 側

(b) 端子入力値を読み込む命令

上記以外の命令および ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (HL) 側

2.2.1 P0 (P07~P00) ポート

P0ポートは、1ビット単位で入出力の指定ができる8ビット汎用入出力ポートです。入出力の指定は、P0ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CRは“0”に初期化され、P0ポートは入力モードとなります。また、P0ポート出力ラッチは“0”に初期化されます。

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

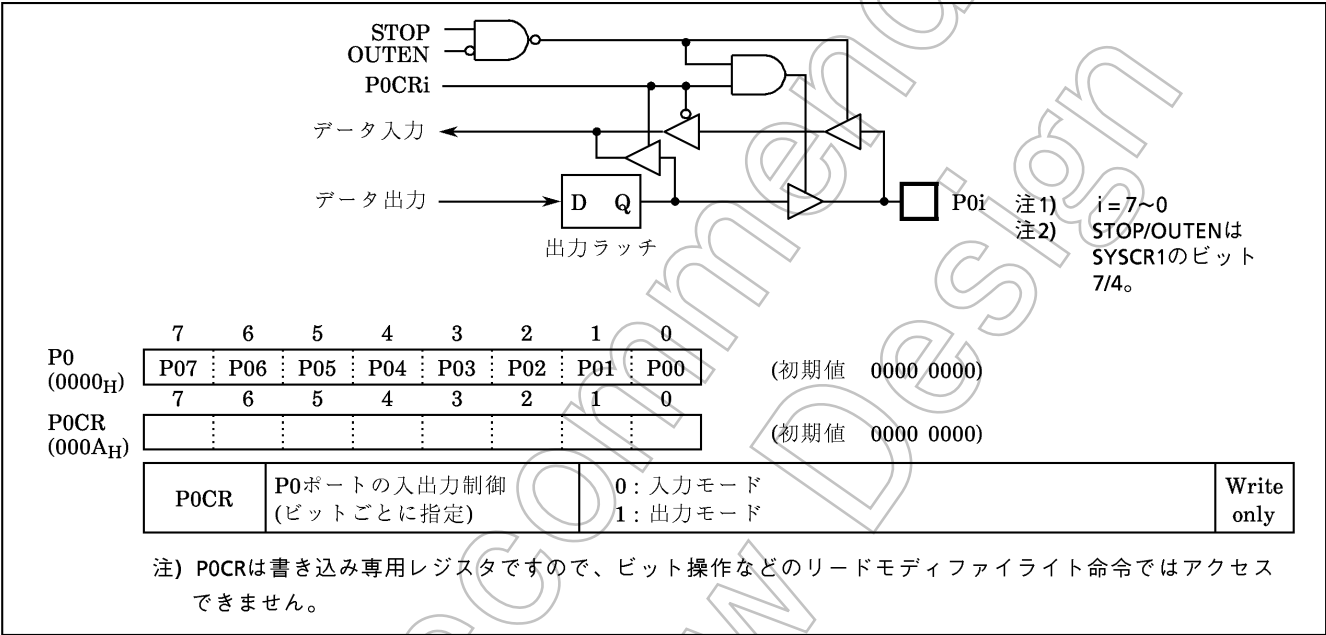


図2-3. P0ポートとP0ポート入出力制御レジスタ

例： P0ポートの上位4ビットを入力ポートに、下位4ビットを出力ポートに設定します。なお、イニシャルは1010_Bを出力します。

```
LD (P0), 00001010B ; P0ポート出力ラッチの初期値設定
LD (P0CR), 00001111B ; P0ポートの入出力モード設定
```

2.2.2 P1 (P17~P10) ポート

P1ポートは、1ビット単位で入出力の指定ができる8ビット入出力ポートです。入出力の指定は、P1ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CRは“0”に初期化され、P1ポートは入力モードとなります。また、P1ポート出力ラッチは“0”に初期化されます。

P1ポートは、外部割り込み入力、タイマカウンタ入出力、デバイダ出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを“1”にセットし、出力モードに設定します。なお、P11,P12端子は、外部割り込み入力、タイマカウンタ入力または入力ポートとして使用されることを推奨します (出力ポートとして使用すると立上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10端子は、外部割り込み制御レジスタ (INT0EN)により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10端子は入力ポートとなります。

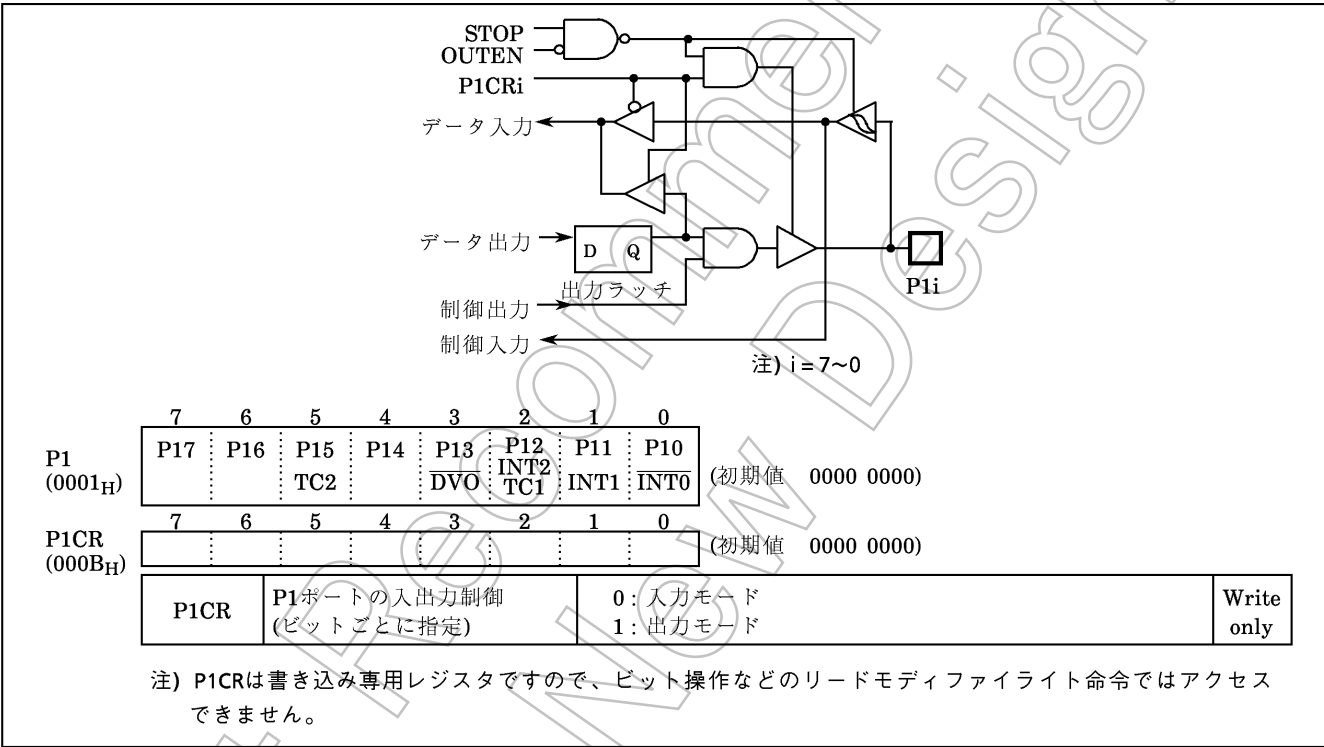


図2-4. P1ポートとP1ポート入出力制御レジスタ

例： P17,P16,P14を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17,P14ピンは“1”に、P16ピンは“0”を出力します。

```
LD    (EINTCR), 01000000B    ; INT0EN←1
LD    (P1), 10111111B        ; P17←1, P14←1, P16←0
LD    (P1CR), 11010000B
```

注) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

2.2.3 P2 (P22~P20) ポート

P2ポートは、3ビットの入出力ポートで、外部割り込み入力、STOPモード解除信号入力、低周波発振子接続端子と兼用になっています。これらの機能端子としてまたは入力ポートとして用いる場合は、出力ラッチを“1”にセットします。リセット時、出力ラッチは“1”に初期化されます。

デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22端子は、通常の入出力ポートとして使用できます。

P20端子は外部割り込み入力、STOPモード解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます)。

P2ポートに対してリード命令を実行した場合、ビット7~3は“不定値”が読み込まれます。

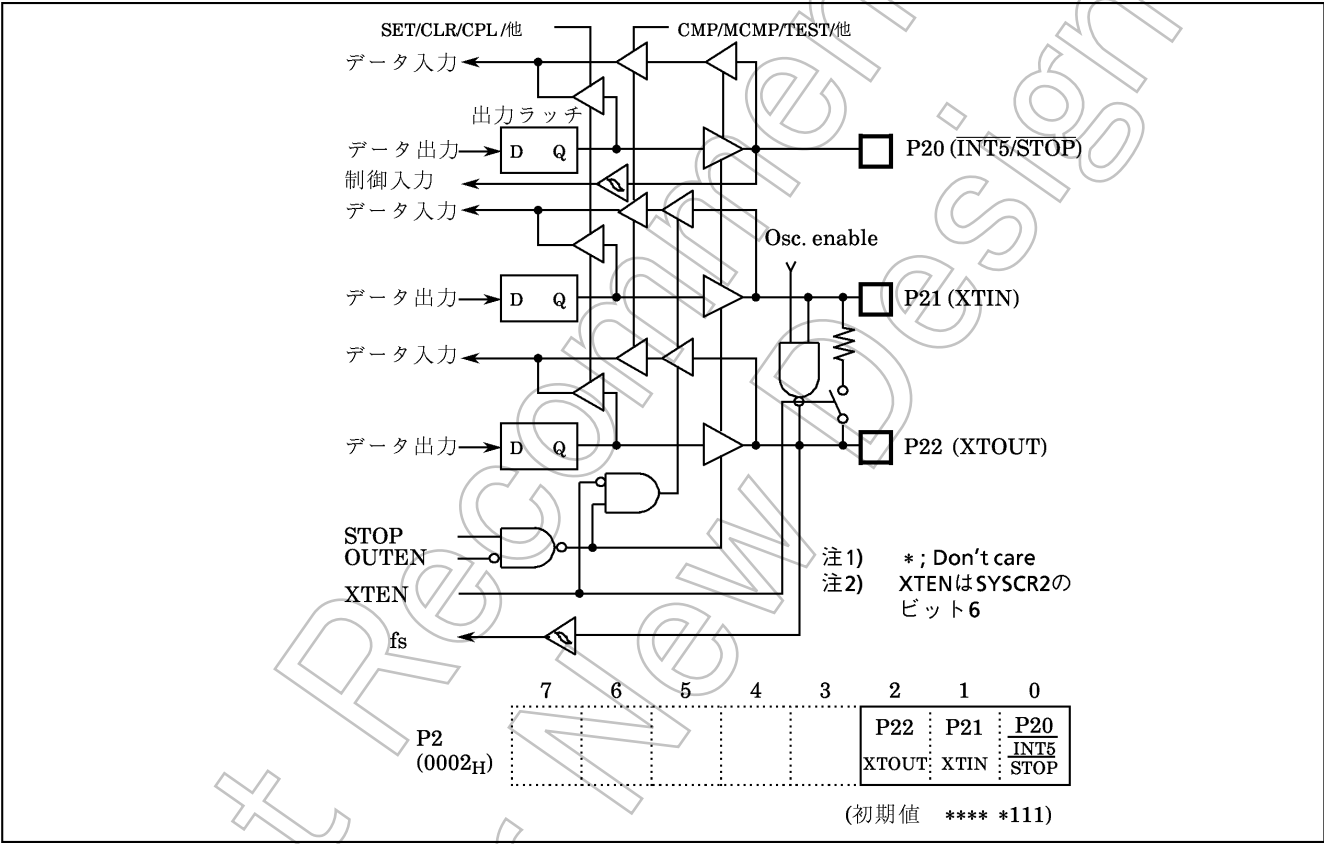


図2-5. P2ポート

2.2.4 P3 (P37~P30) ポート

P3ポートは、8ビットの入出力ポートでシリアルインタフェース入出力、外部割り込み入力、タイマカウンタ入力と兼用です。入力ポートまたは機能ピンとして用いる場合は出力ラッチを“1”にセットします。出力ラッチは、リセット時“1”に初期化されます。なお、P30、P31端子は、外部割り込み入力、タイマカウンタ入力または入力ポートとして使用されることを推奨します。(出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます)。

例1： P3ポートに即値“5AH”を出力。

```
LD      (P3), 5AH      ; P3←5AH
```

例2： P3ポートの上位4ビット (P37~P34) の出力を反転する。

```
XOR     (P3), 11110000B ; P37~P34← $\overline{P37\sim P34}$ 
```

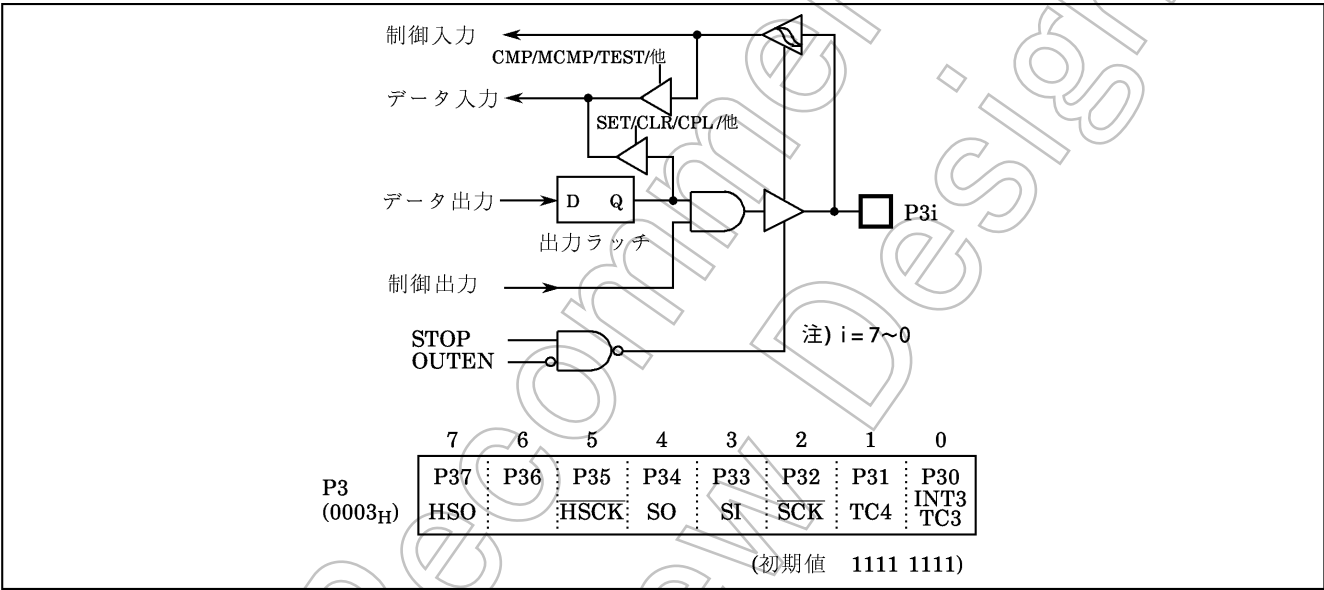


図2-6. P3ポート

2.2.5 P4 (P47~P40) ポート

P4ポートは、8ビットの入出力ポートで、キースキャン入力、AD変換 (コンパレータ) 入力と兼用です。入力ポートまたは機能ピンとして用いる場合は、出力ラッチを“1”にセットします。出力ラッチは、リセット時“1”に初期化されます。

キースキャン機能を使用する場合、P4ポートはキースキャン入力またはコンパレータ入力となります。なお、コンパレータ入力とキースキャン機能を併用した場合、P47, P46端子はコンパレータ入力としてのみ使用でき、キースキャン入力ラッチに対するリード命令を実行した場合、P47, P46のデータは常に“0”となります。また、P4ポート制御レジスタ (P4CR) により内蔵プルダウン抵抗のビット単位での接続が可能です (2.12.6 (2) キースキャン入力端子参照)。

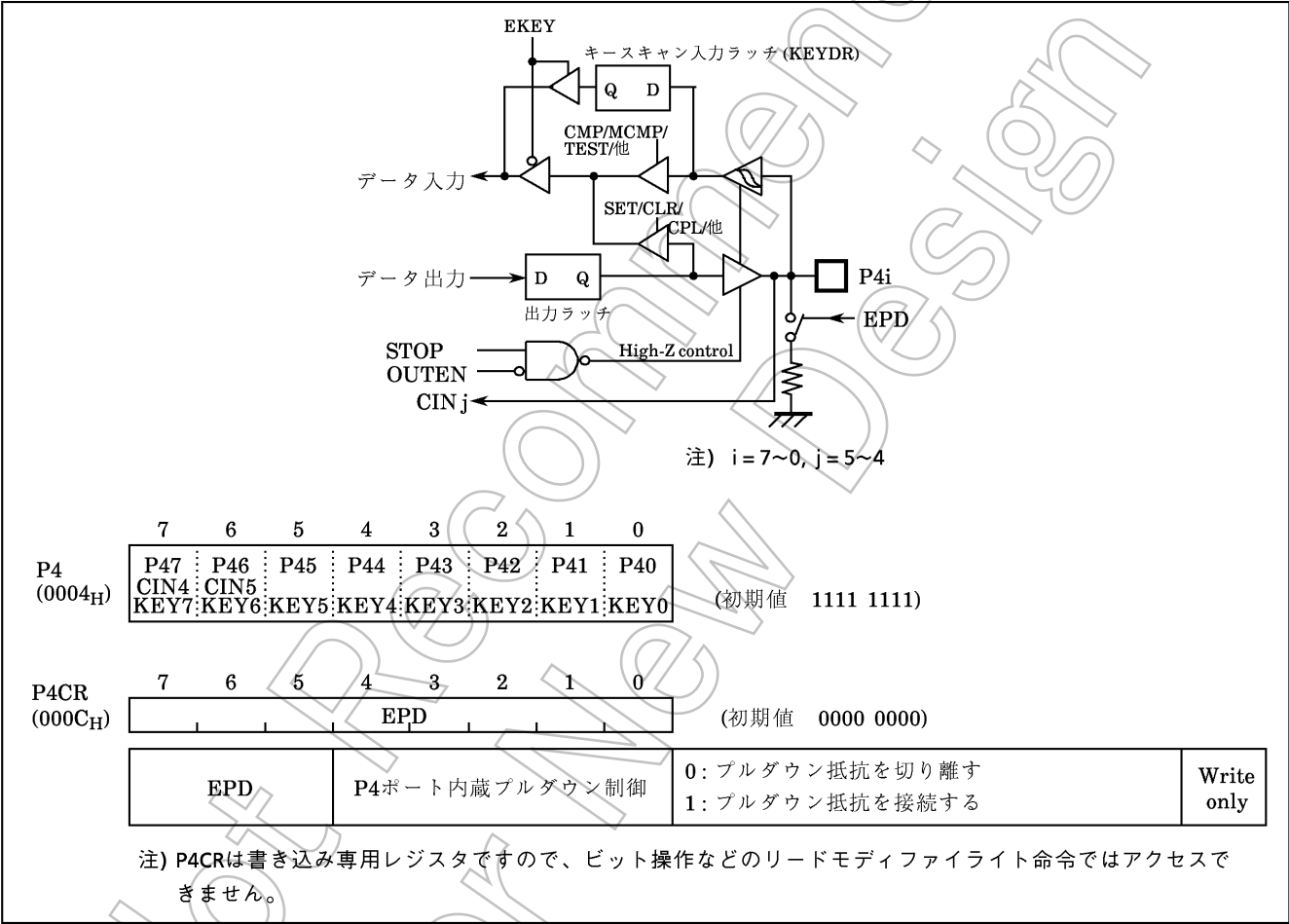


図2-7. P4ポート

2.2.6 P5 (P55~P50) ポート

P5ポートは6ビットの入出力ポートでAD変換(コンパレータ)入力, 8ビットPWM(パルス幅変調)出力/8ビットプログラマブルデバイダ出力と兼用です。入力ポートまたは機能ピンとして用いる場合は、出力ラッチを“1”にセットします。出力ラッチは、リセット時“1”に初期化されます。

P5ポートに対して、リード命令を実行した場合、ビット7~6は“1”が読み込まれます。

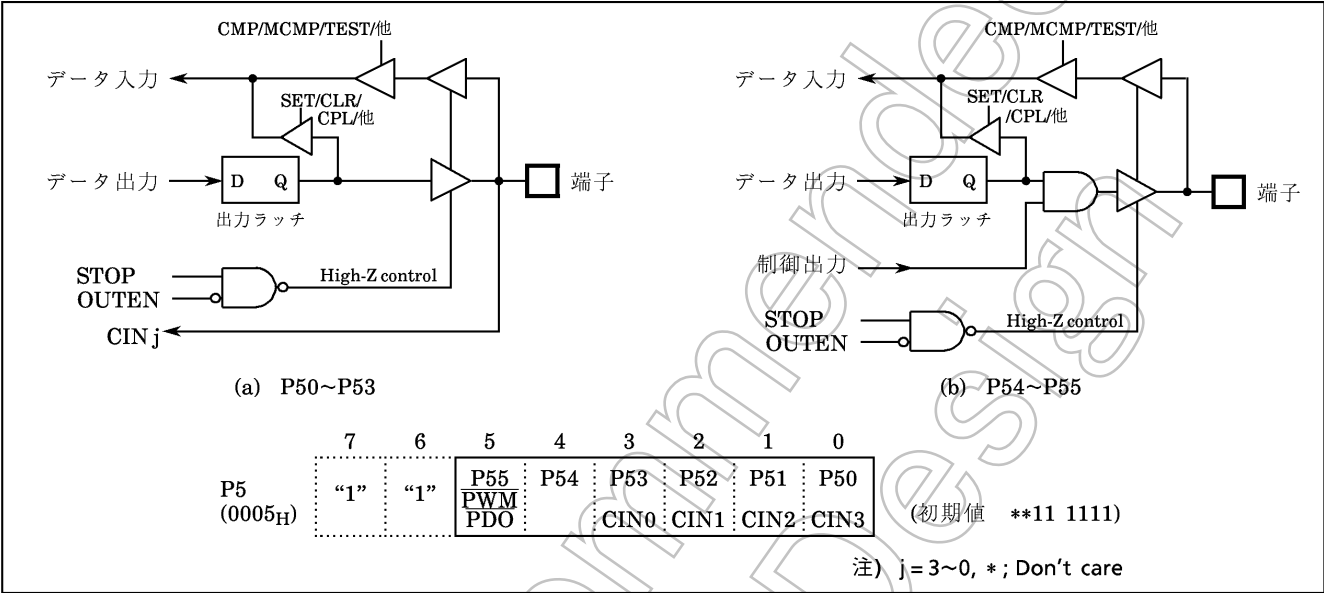


図2-8. P5ポート

2.2.7 P6 (P67~P60), P7 (P77~P70) ポート

P6,P7ポートは、8ビットの高耐圧入出力ポートでデジット出力と兼用しており、VFTを直接駆動できます。入力ポートまたはデジット出力として用いる場合は、出力ラッチを“0”にクリアします。デジット出力に設定されない端子は、通常の入出力ポートとして使用できます。リセット時、出力ラッチは“0”に初期化されます。

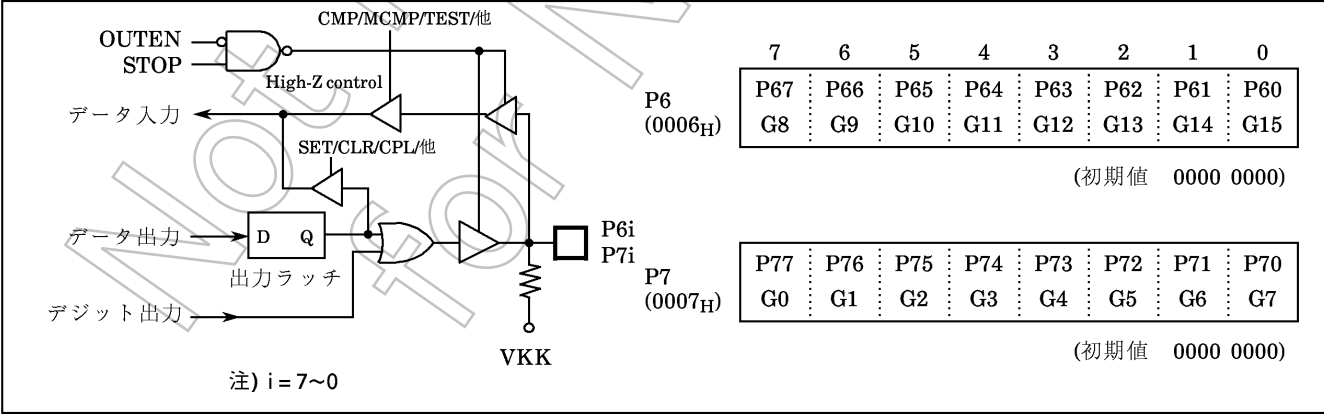


図2-9. P6, P7ポート

2.2.8 P8 (P87~P80) ポート

P8 ポートは、8ビットの高耐圧出力ポートで、セグメント出力(キーストロープ出力)と兼用しており、VFTを直接駆動できます。セグメント出力(キーストロープ出力)として用いる場合は、出力ラッチを“0”にクリアします。リセット時、出力ラッチは“0”に初期化されます。

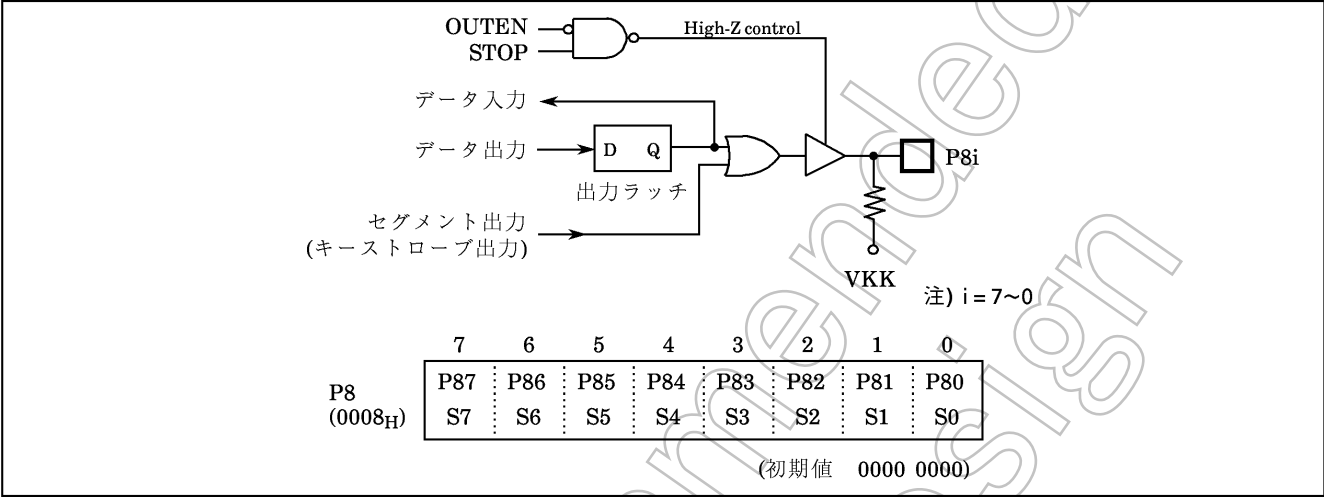


図2-10. P8ポート

2.2.9 P9 (P97~P90) ポート

P9 ポートは、8ビットの高耐圧入出力ポートで、セグメント出力(キーストロープ出力)と兼用しており、VFTを直接駆動できます。入力ポートまたはセグメント出力(キーストロープ出力)として用いる場合は、出力ラッチを“0”にクリアします。セグメント出力(キーストロープ出力)に設定されない端子は、通常の入出力ポートとして使用できます。リセット時、出力ラッチは“0”に初期化されます。

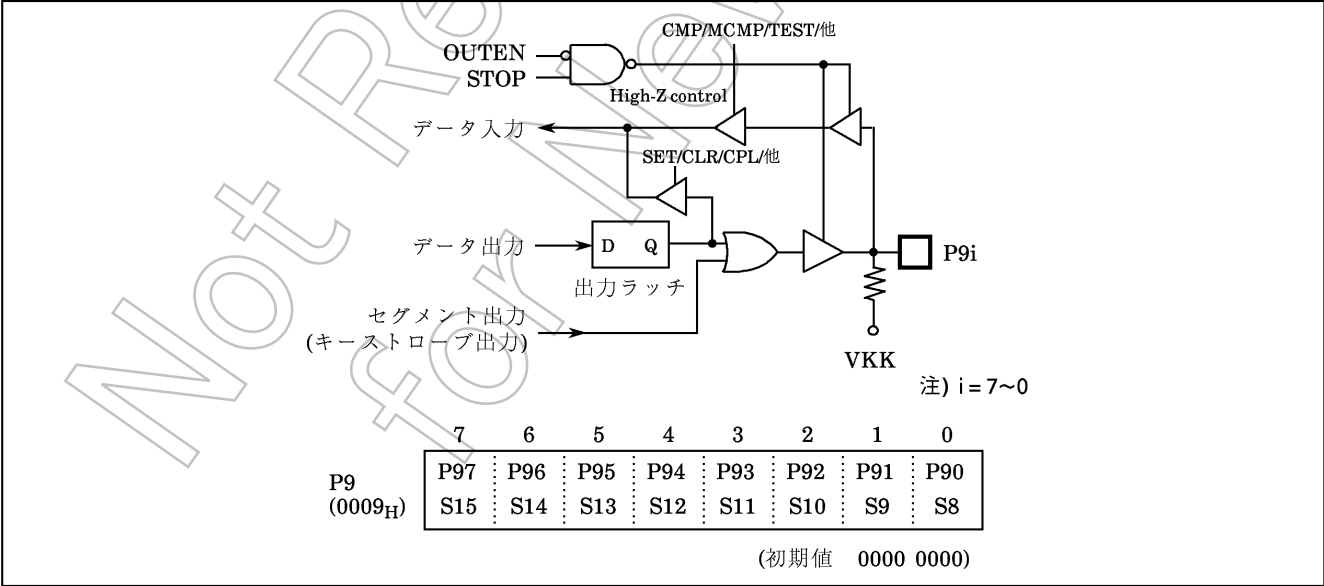


図2-11. P9ポート

2.3 タイムベース タイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を **TBTCK** で選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-12 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。 なお、周波数の選択とイネーブルを同時にすることはできません。

例： タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

LD (TBTCCR), 00001010B

SET (EIRL). 6

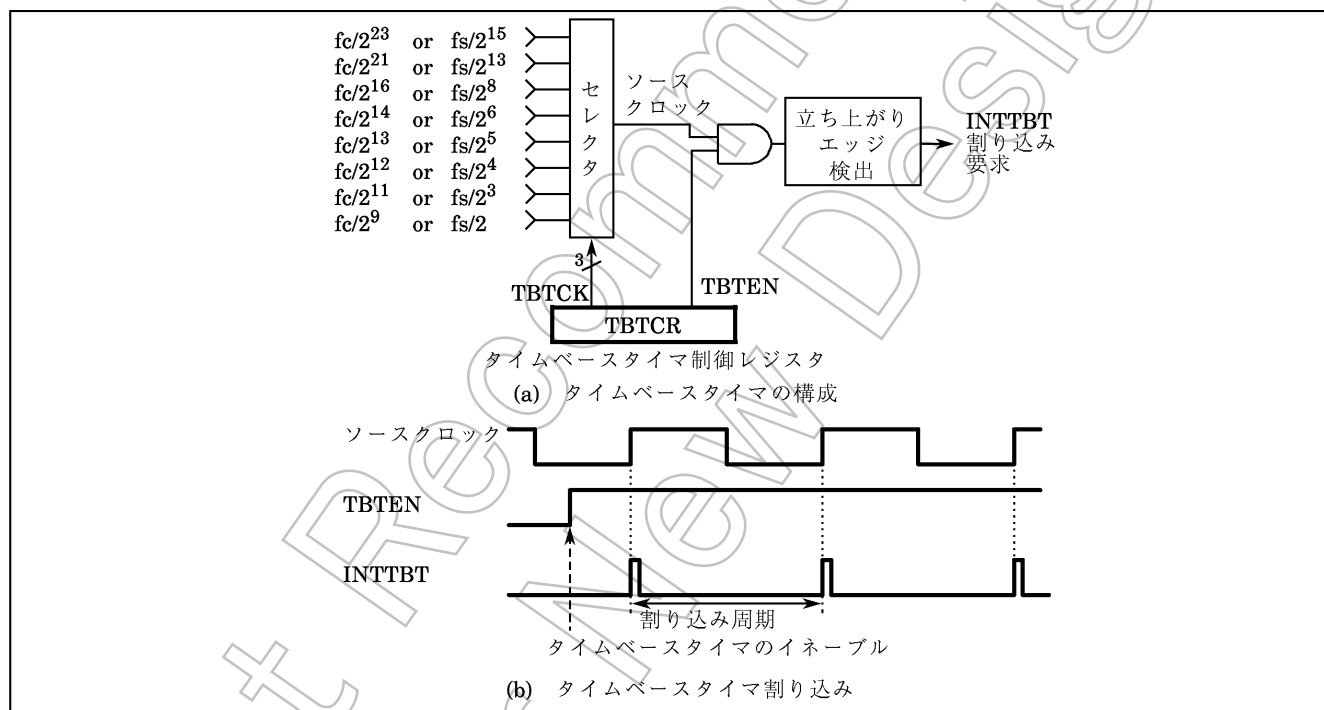


図2-12. タイムベースタイマ

TBTCR (0036 _H)	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	(DVOEN)	(DVQCK)	(DV7CK)	TBTEN	TBTCK				
TBTEN	タイムベースタイマ の許可 /禁止				0 : ディセーブル 1 : イネーブル				Write only
TBTCK	タイムベースタイマ 割り込み周波数の選択				000 : $fc/2^{23}$ または $fs/2^{15}$ [Hz] 001 : $fc/2^{21}$ または $fs/2^{13}$ [Hz] 010 : $fc/2^{16}$ または $fs/2^8$ [Hz] 011 : $fc/2^{14}$ または $fs/2^6$ [Hz] 100 : $fc/2^{13}$ または $fs/2^5$ [Hz] 101 : $fc/2^{12}$ または $fs/2^4$ [Hz] 110 : $fc/2^{11}$ または $fs/2^3$ [Hz] 111 : $fc/2^9$ または $fs/2$ [Hz]				
注1) fc ; 高周波クロック [Hz], fs ; 低周波クロック [Hz], * ; Don't care									
注2) TBTCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。									

図2-13. タイムベースタイマ制御レジスタ

表2-1. タイムベースタイマ割り込み周波数

TBTCK	NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	割り込み周波数 [Hz]	
	DV7CK=0	DV7CK=1		$fc=8\text{ MHz}$ 時	$fs=32.768\text{ kHz}$ 時
000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	0.95	1
001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$	3.81	4
010	$fc/2^{16}$	$fs/2^8$	—	122.07	128
011	$fc/2^{14}$	$fs/2^6$	—	488.28	512
100	$fc/2^{13}$	$fs/2^5$	—	976.56	1024
101	$fc/2^{12}$	$fs/2^4$	—	1953.12	2048
110	$fc/2^{11}$	$fs/2^3$	—	3906.25	4096
111	$fc/2^9$	$fs/2$	—	15625	16384

2.4 デバイダ出力 (DVO)

タイミング ジェネレータのデバイダによってデューティ 50 % のパルスを出力することができ、プ
ザーなどの駆動に利用できます。デバイダ出力は、P13 (DVO) 端子から出力されます。なお、
P13ポートは出力ラッチを“1”にセットしたあと出力モードに設定します。

TBTCR (0036 _H)	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	DVOEN	DVOCK	(DV7CK)	(TBTEN)	{TBTCK}				
DVOEN		デバイダ出力 の許可/禁止				0 : ディセーブル 1 : イネーブル			Write only
DVOCK		デバイダ出力 (DVO端子) の 周波数選択				00 : $fc/2^{13}$ または $fs/2^5$ [Hz] 01 : $fc/2^{12}$ または $fs/2^4$ [Hz] 10 : $fc/2^{11}$ または $fs/2^3$ [Hz] 11 : $fc/2^{10}$ または $fs/2^2$ [Hz]			

注1) fc ; 高周波クロック [Hz], fs ; 低周波クロック [Hz], * ; Don't care
注2) TBTCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-14. デバイダ出力制御レジスタ

例 : 1 kHz のパルス を出力 ($fc=8\text{ MHz}$ 時)
SET (P1).3 ; P13出力ラッチ←1
LD (P1CR), 00001000B ; P13を出力モードに設定
LD (TBTCR), 10000000B ; DVOEN←1, DVOCK←00

表2-2. デバイダ出力の周波数

DVOCK	デバイダ出力の周波数	$fc=8\text{ MHz}$ 時	$fs=32.768\text{ kHz}$ 時
00	$fc/2^{13}$ または $fs/2^5$	0.976 [kHz]	1.024 [kHz]
01	$fc/2^{12}$ $fs/2^4$	1.953 [kHz]	2.048 [kHz]
10	$fc/2^{11}$ $fs/2^3$	3.906 [kHz]	4.096 [kHz]
11	$fc/2^{10}$ $fs/2^2$	7.812 [kHz]	8.192 [kHz]

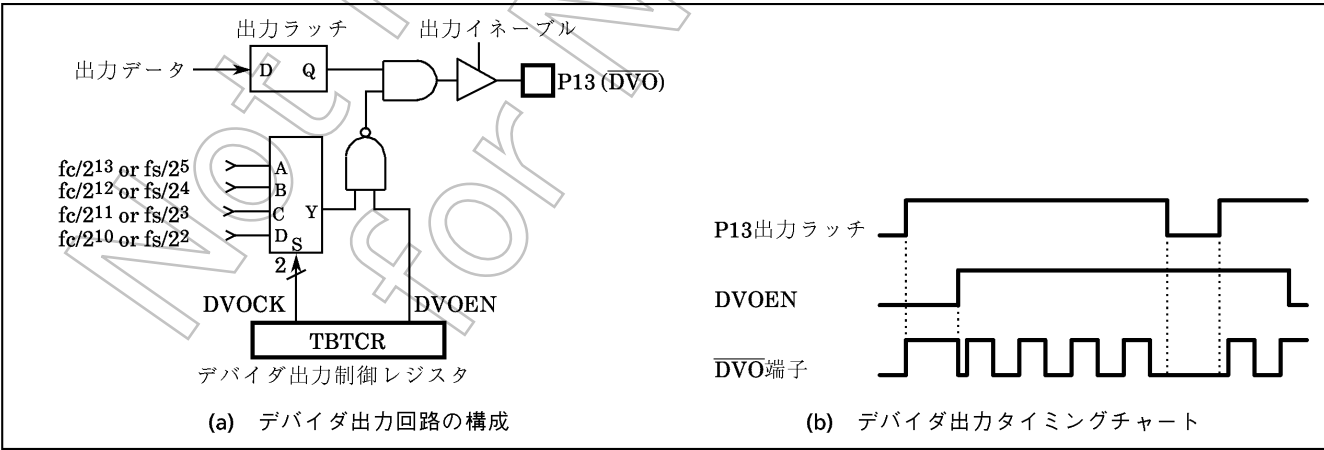


図2-15. デバイダ出力

2.5 16ビットタイマカウンタ1 (TC1)

2.5.1 構成

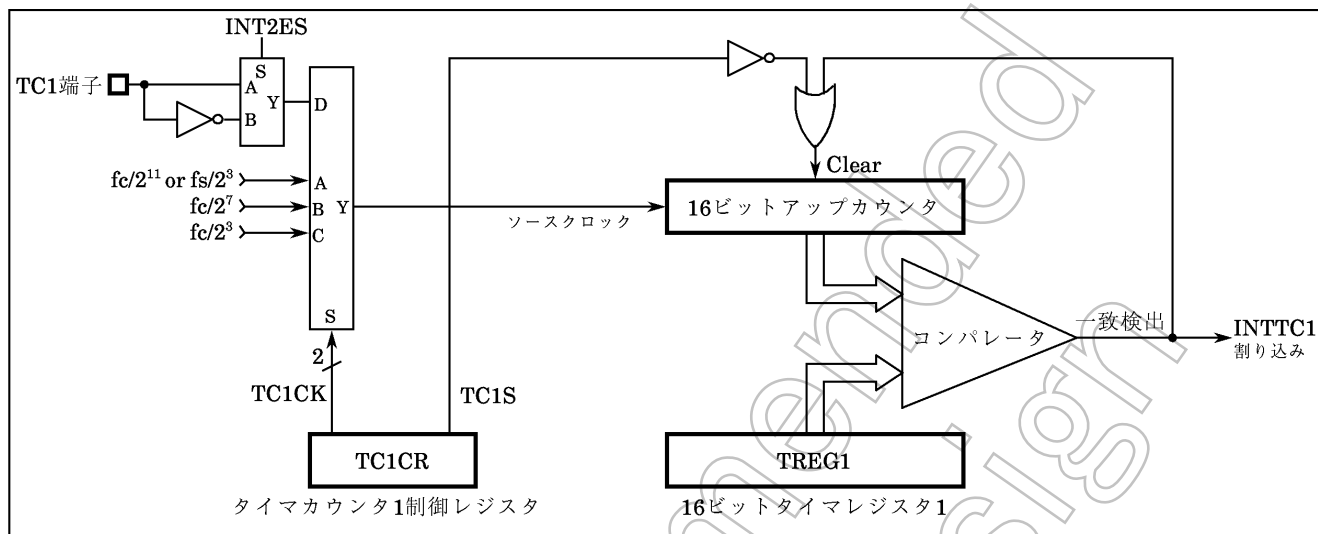


図2-16. タイマカウンタ1 (TC1)

2.5.2 制 御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と16ビットタイマレジスタ (TREG1) で制御されます。

タイマレジスタ	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1 (0010, 0011 _H)	TREG1 _H (0011 _H)								TREG1 _L (0010 _H)							
	Write only															
タイマカウンタ1 制御レジスタ	7	6	5	4	3	2	1	0								
TC1CR (0014 _H)	"0"	"0"	"0"	TC1S	TC1K		"0"	"0"	(初期値 ***0 0000)							
TC1CK	タイマカウンタ1の ソースクロックの選択				00: 内部クロック $fc/2^{11}$ または $fs/2^3$ [Hz] 01: $fc/2^7$ [Hz] 10: $fc/2^3$ [Hz] 11: 外部クロック (TC1端子入力)				Write only							
TC1S	タイマカウンタ1の スタート制御				0: ストップ&カウンタクリア 1: コマンドスタート											

注1) fc; 高周波クロック [Hz], fs; 低周波クロック [Hz], *; Don't care

注2) TC1CRのビット0, 1, 5, 6, 7には常に“0”を書き込んでください。

注3) タイマレジスタの下位側 (TREG1_L) に書き込むと上位側 (TREG1_H) への書き込みが終わるまで、一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。

注4) ソースクロックエッジ (INT2ES) は、タイマカウンタ停止 (TC1S=0) 状態で設定してください。

注5) タイマレジスタへの設定値は、次の条件を満足する必要があります。

TREG1 ≥ 0

注6) TC1CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-17. タイマカウンタ1のタイマレジスタと制御レジスタ

2.5.3 機能

タイマカウンタ1には、タイマ、イベントカウンタの2つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1 (TREG1) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

表2-3 タイマカウンタ1のソースクロック (内部クロック)

ソースクロック [Hz]			分解能[μs]		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード				
DV7CK=0	DV7CK=1			fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時
fc/2 ¹¹	fs/2 ⁸	fs/2 ⁸	256	244.14	16.8 [s]	16.0 [s]
fc/2 ⁷	fc/2 ⁷	—	16	—	1.0 [s]	—
fc/2 ³	fc/2 ³	—	1	—	65.5[ms]	—

例： ソースクロック fs/2³ [Hz] でタイマモードにセットし、1s後に割り込みを発生させる (fs=32.768 kHz時)。

LDW (TREG1), 1000H ; タイマレジスタの設定 (1s÷2³/fs=1000H)
SET (EIRL), EF4 ; INTTC1割り込み許可
EI
LD (TC1CR), 00010000B ; TC1スタート

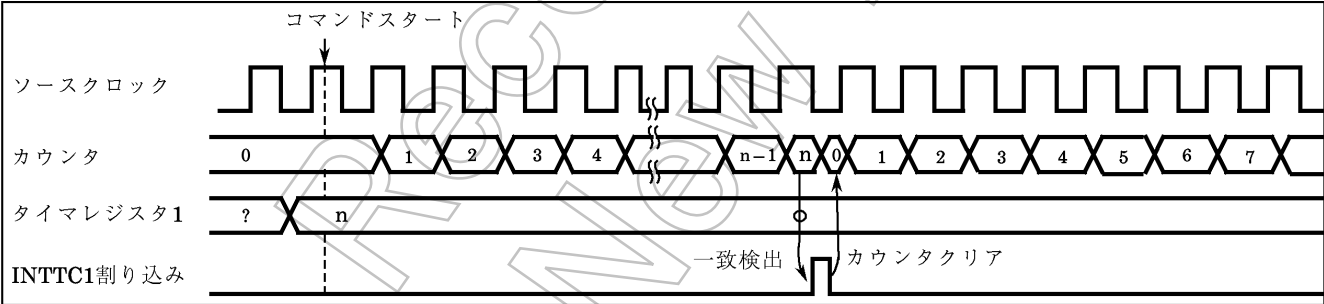


図2-18. タイマモード タイミングチャート

(2) イベントカウンタモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジを選択可能。エッジ選択は、INT2端子のエッジ選択と共通)でカウントアップするモードです。カウンタ値とTREG1設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。カウンタクリア後もTC1端子入力のエッジごとにカウントアップします。最大印加周波数は、 $f_c/2^4$ [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、 $f_s/2^4$ [Hz] (SLOW, SLEEPモード時)です。“H”、“L”レベルとも2マシンサイクル以上のパルス幅が必要です。

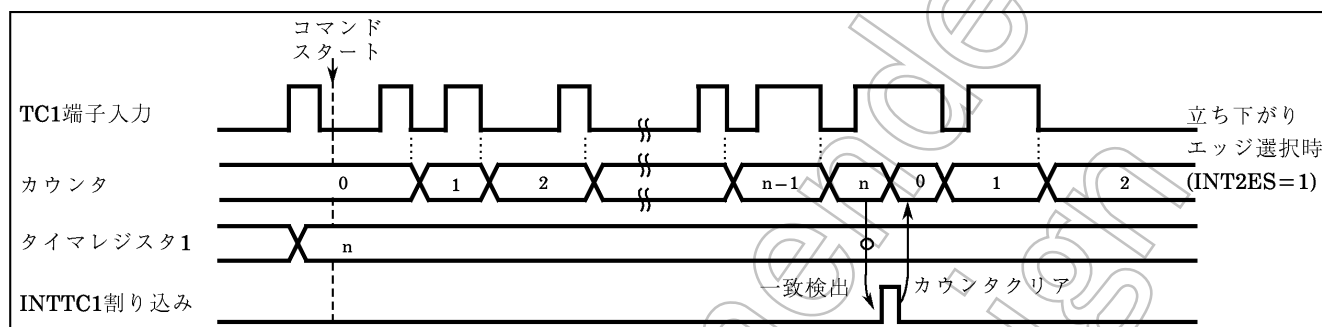


図2-19. イベントカウンタモードタイミングチャート

2.6 16ビット タイマカウンタ2 (TC2)

2.6.1 構成

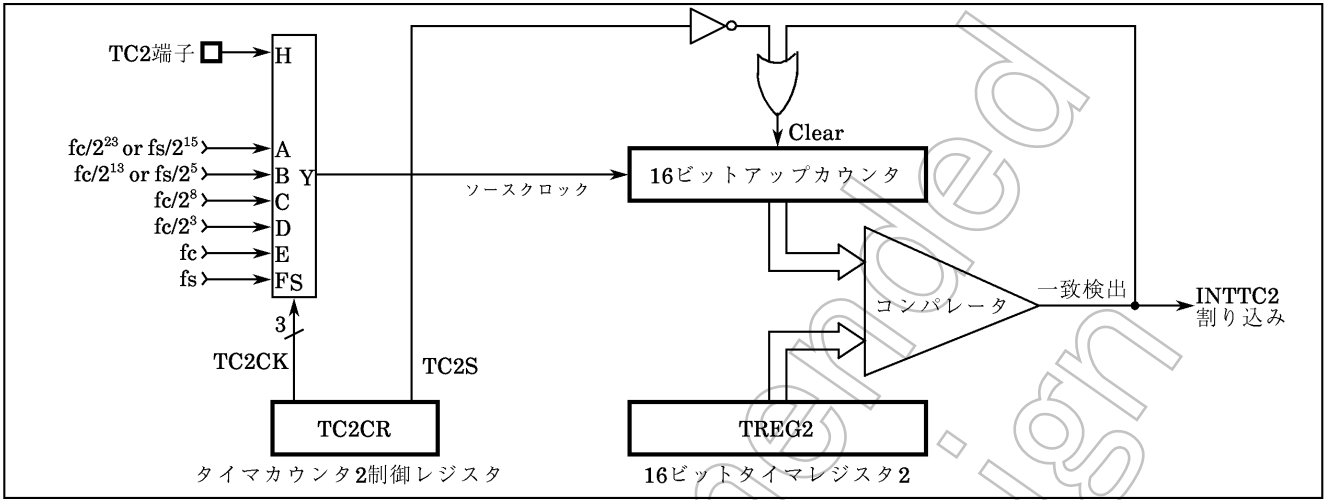


図2-20. タイマカウンタ2 (TC2)

2.6.2 制御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TREG2) で制御されます。

TREG2 (0016, 0017 _H)																
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																
TREG2 _H (0017 _H)																
TREG2 _L (0016 _H)																
Write only																
TC2CR (0015 _H)																
7 6 5 4 3 2 1 0																
"0" "0" TC2S TC2CK "0" "0" (初期値 **00 00**)																
TC2CK	タイマカウンタ2の ソースクロックの選択					000 : 内部クロック $fc/2^{23}$ または $fs/2^{15}$ [Hz] 001 : " $fc/2^{13}$ または $fs/2^5$ [Hz] 010 : " $fc/2^8$ [Hz] 011 : " $fc/2^3$ [Hz] 100 : " fc 注6) [Hz] 101 : " fs [Hz] 110 : Reserved 111 : 外部クロック (TC2端子入力)					Write only					
	TC2S	タイマカウンタ2の スタート制御					0 : ストップ&カウンタクリア 1 : スタート									

注1) fc : 高周波クロック [Hz] fs : 低周波クロック [Hz] *; Don't care

注2) TC2CRのビット7, 6, 1, 0には常に "0" を書き込んでください。

注3) タイマレジスタの下位側 (TREG2_L) に書き込むと上位側 (TREG2_H) への書き込みが終わるまで一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。

注4) モード, ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注5) タイマレジスタへの設定値は、次の条件を満足する必要があります。
TREG2 > 0 (ウォーミングアップのときはTREG2_{15~11} > 0)

注6) ソースクロックに fc を選択できるのは、SLOWモード時のタイマモードだけです。

注7) TC2CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-21. タイマカウンタ2のタイマレジスタと制御レジスタ

2.6.3 機能

タイマカウンタ2には、2つの動作モードがあります。また、SLOWモードからNORMAL2へモードへの切り替え時のウォーミングアップの際、通常タイマカウンタ2をタイマモードで使用します。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ2 (TREG2) 設定値との一致でINTTC2割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOWモードでソースクロックにfcを選択した場合は、TREG2の下位11ビットは無視され、上位5ビットの一致で割り込みを発生します。従って、この場合TREG2_Hの設定だけで済みます。

表2-4. タイマカウンタ2のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOWモード	SLEEPモード				
DV7CK=0	DV7CK=1			fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
fc/2 ²³ [Hz]	fs/2 ¹⁵ [Hz]	fs/2 ¹⁵ [Hz]	fs/2 ¹⁵ [Hz]	1.05 [s]	1 [s]	19.1 [h]	18.2 [h]
fc/2 ¹³ [Hz]	fs/2 ⁵ [Hz]	fs/2 ⁵ [Hz]	fs/2 ⁵ [Hz]	1.02 [ms]	0.98 [ms]	1.1 [min]	1.07 [min]
fc/2 ⁸ [Hz]	fc/2 ⁸ [Hz]	—	—	32 [μs]	—	2.1 [s]	—
fc/2 ³ [Hz]	fc/2 ³ [Hz]	—	—	1 [μs]	—	65.5 [ms]	—
—	—	fc 注)	—	125 [ns]	—	7.9 [ms]	—
fs [Hz]	fs [Hz]	—	—	—	30.5 [μs]	—	2 [s]

注) fcはタイマモードでのみ使用可能。これは、SLOWモードからNORMAL2モードに切り替える場合のウォーミングアップ使用。

例： ソースクロックfc/2³ [Hz] で、タイマモードにセットし、25 msごとに割り込み発生させる (fc=8 MHz時)。

LD (TC2CR),00001100B ; モード、ソースクロックの設定
 LDW (TREG2),61A8H ; TREG2の設定 (25 ms ÷ 2³/fc = 61A8_H)
 SET (EIRH).EF14 ; INTTC2割り込みを許可
 EI
 LD (TC2CR),00101100B ; TC2スタート

(2) イベントカウンタモード

TC2端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値とTREG2設定値との一致でINTTC2割り込み発生し、カウンタはクリアされます。TC2端子への最大印加周波数は、fc/2⁴ [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs/2⁴ [Hz] (SLOW, SLEEPモード時) です。“H”, “L” レベルとも2マシンサイクル以上のパルス幅が必要です。

例： イベントカウンタモードにセットし、640カウント後にINTTC2割り込みを発生させる。

LD (TC2CR),00011100B ; モード、ソースクロックの設定
 LDW (TREG2),640 ; TREG2の設定
 SET (EIRH).EF14 ; INTTC2割り込みを許可
 EI
 LD (TC2CR),00111100B ; TC2スタート

2.7 8ビットタイマカウンタ3 (TC3)

2.7.1 構成

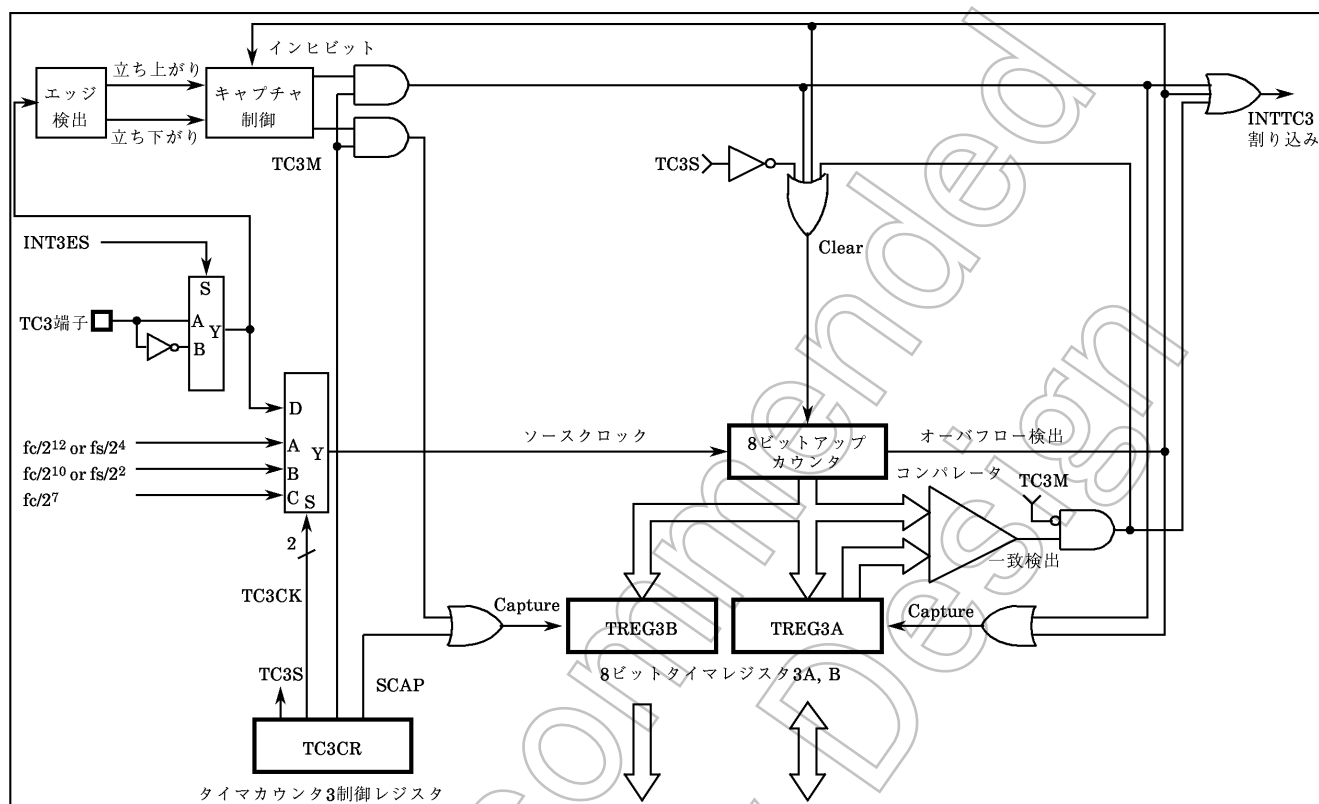


図2-22. タイマカウンタ3 (TC3)

2.7.2 制 御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TREG3A, TREG3B) で制御されます。

TREG3A
(0018_H)

7

6

5

4

3

2

1

0

TREG3B
(0019_H)

7

6

5

4

3

2

1

0

TC3CR
(001A_H)

7

6

5

4

3

2

1

0

“0”

SCAP

“0”

TC3S

TC3CK

“0”

TC3M

(初期値 *0*0*00*0)

Read/Write

Read only

TC3M	タイマカウンタ3の動作モードの選択	0: タイマ/イベントカウンタモード 1: キャプチャモード	Write only
TC3CK	タイマカウンタ3のソースクロックの選択	00: 内部クロック $fc/2^{12}$ or $fs/2^4$ [Hz] 01: $fc/2^{10}$ or $fs/2^2$ [Hz] 10: $fc/2^7$ [Hz] 11: 外部クロック (TC3端子入力)	
TC3S	タイマカウンタ3のスタート制御	0: ストップ&カウンタクリア 1: スタート	
SCAP	ソフトキャプチャ制御	0: — 1: ソフトキャプチャ	

注1) fc ; 高周波クロック [Hz] fs ; 低周波クロック [Hz] *: Don't care

注2) モード、ソースクロックは、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。

注3) タイマレジスタ3Aへの設定値は、次の条件を満足する必要があります。
 TREG3A > 0 (タイマ/イベントカウンタモード時)

注4) ソフトキャプチャは、タイマ/イベントカウンタモード時のみ使用可能です。

注5) TC3CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-23. タイマカウンタ3のタイマレジスタと制御レジスタ

2.7.3 機 能

タイマカウンタ3には、タイマ、イベントカウンタ、キャプチャの3つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードで、カウンタ値とタイマレジスタ3A (TREG3A) 設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。SCAP (TC3CRのビット6) を“1”にセットすることにより、そのときのアップカウンタの内容をタイマレジスタ3B (TREG3B) に取り込むことができます (ソフトキャプチャ機能)。SCAPはキャプチャ後自動的に“0”にクリアされます。

表2-5. タイマカウンタ3のソースクロック (内部クロック)

ソースクロック [Hz]			分 解 能 [μs]		最大設定時間 [ms]	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード				
DV7CK = 0	DV7CK = 1		fc = 8 MHz時	fs = 32.768 kHz時	fc = 8 MHz時	fs = 32.768 kHz時
fc/2 ¹²	fs/2 ⁴	fs/2 ⁴	512	488.28	130.6	124.5
fc/2 ¹⁰	fs/2 ²	—	128	122.07	32.6	31.1
fc/2 ⁷	fc/2 ⁷	—	16	—	4.1	—

(2) イベントカウンタモード

TC3端子入力(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3端子のエッジ選択と共通)パルスでカウントアップするモードです。カウンタ値とTREG3A設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、 $f_c/2^4$ [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、 $f_s/2^4$ [Hz] (SLOW, SLEEPモード時)です。“H”, “L” レベルとも2マシンサイクル以上のパルス幅が必要です。

SCAP (TC3CRのビット6)を“1”にセットすることにより、そのときのアップカウンタの内容をTREG3Bに取り込むことができます(ソフトキャプチャ機能)。SCAPは、キャプチャ後自動的に“0”にクリアされます。

例： TC3端子に50 Hzのパルスを入力し、0.5 sごとに割り込みを発生させる

LD (TC3CR), 00001100B ; モード、ソースクロックの設定
LD (TREG3A), 19H ; $0.5\text{ s} \div 1/50 = 25 = 19\text{H}$
LD (TC3CR), 00011100B ; TC3スタート

(3) キャプチャモード

TC3端子入力のパルス幅, 周期, デューティなどを測定するモードで、リモコン信号のデコードやAC50/60 Hz識別などに利用できます。カウンタを内部クロックでフリーランニングし、TC3端子入力(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3端子のエッジ選択と共通)の立ち上がり(立ち下がり)エッジでカウンタ値をTREG3Aに取り込みカウンタをクリアするとともにINTTC3割り込みが発生します。また、TC3端子入力の立ち下がり(立ち上がり)エッジではカウンタ値をTREG3Bに取り込みます。この場合はカウント継続し、次の立ち上がり(立ち下がり)エッジでカウンタ値をTREG3Aに取り込み、カウンタをクリアするとともに割り込みが発生します。エッジが検出される前にカウンタがオーバーフロー (FF_H) するとTREG3AにFF_HをセットしてINTTC3割り込みが発生します。割り込み処理でTREG3Aを読み出してFF_Hであるか否かでオーバーフロー発生の有無を判断することができます。なお、割り込み (TREG3Aへのキャプチャまたはオーバーフロー検出) の発生後、TREG3Aを読み出すまではキャプチャおよびオーバーフロー検出は停止します。ただし、カウントは継続します。TREG3Aを読み出すとキャプチャ/オーバーフロー検出が再開されますので、通常TREG3Bから先に読み出します。

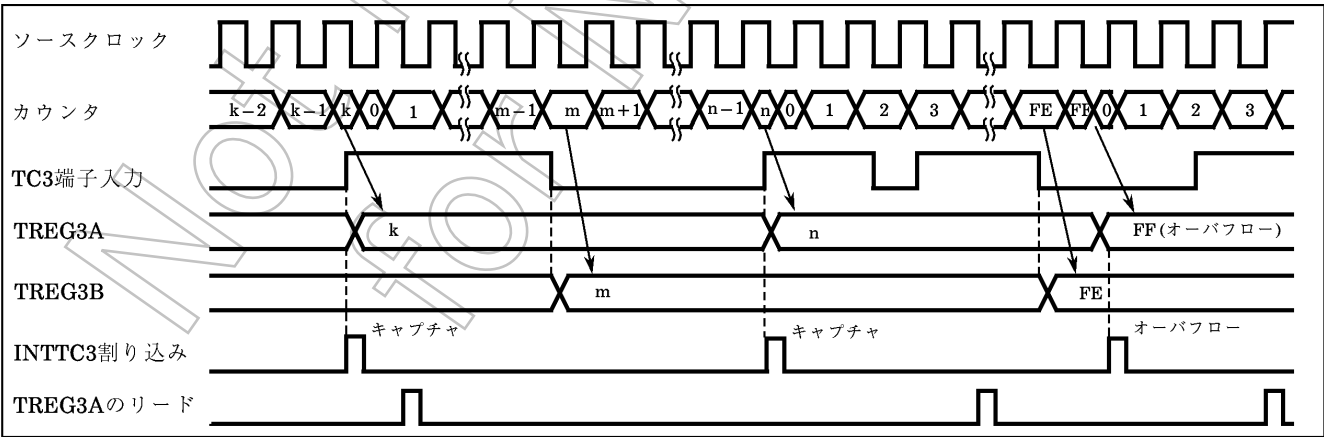


図2-24. キャプチャモードタイミングチャート (INT3ES = 0の場合)

2.8 8ビットタイマカウンタ (TC4)

2.8.1 構成

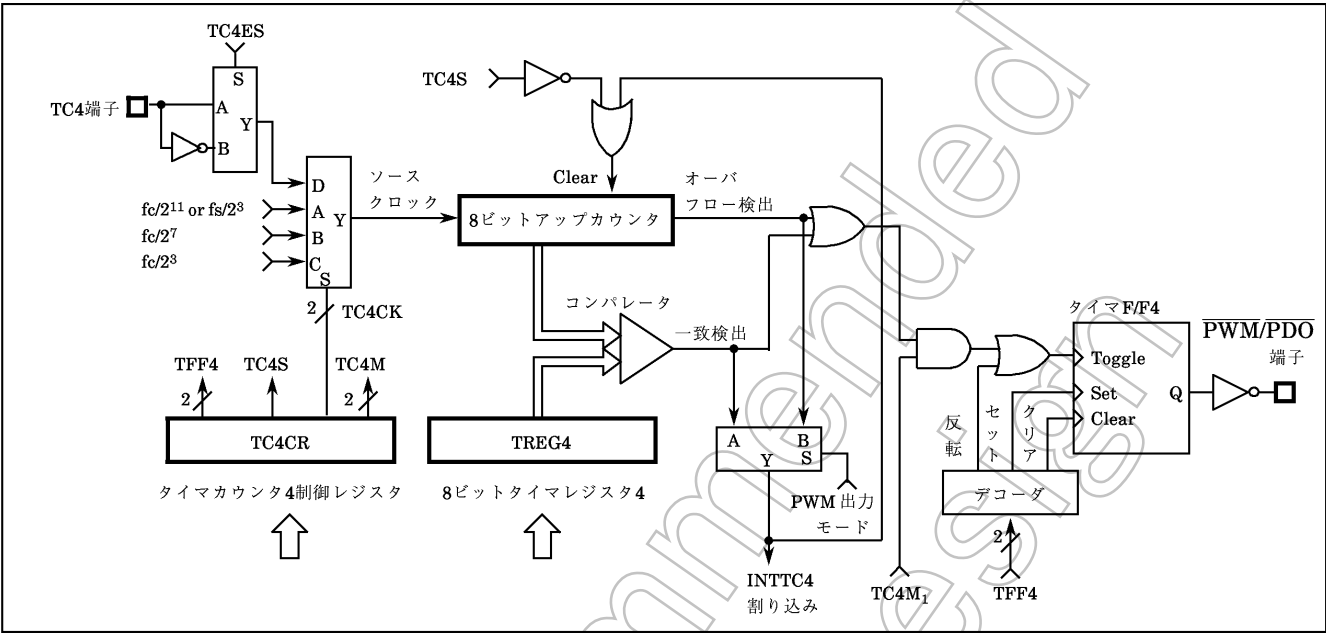


図2-25. タイマカウンタ4 (TC4)

2.8.2 制 御

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR)、外部割り込み制御レジスタ (EINTCR) とタイマレジスタ4 (TREG4) で制御されます。

TREG4 (001B _H)	7	6	5	4	3	2	1	0	Write only	
TC4CR (001C _H)	7	6	5	4	3	2	1	0	(初期値 00*0 0000)	
	TFF4		“0”		TC4S	TC4CK	TC4M			
TC4M		タイマカウンタ4の動作モードの選択				00 : タイマ/イベントカウンタモード 01 : Reserved 10 : プログラマブル デバイダ出力 (PDO) モード 11 : パルス幅変調 (PWM) 出力モード				Write only
TC4CK		タイマカウンタ4のソースクロックの選択				00 : 内部クロック $fc/2^{11}$ または $fs/2^3$ [Hz] 01 : $fc/2^7$ [Hz] 10 : $fc/2^3$ [Hz] 11 : 外部クロック (TC4端子入力)				
TC4S		タイマカウンタ4のスタート制御				0 : ストップ&カウンタクリア 1 : スタート				
TFF4		タイマF/F 4の制御				00 : クリア 01 : 反転 10 : セット 11 : - 注3)				
EINTCR (0037 _H)	7	6	5	4	3	2	1	0	(初期値 00*0 000*)	
	{INT1} NC		{INT0} EN		TC4 ES	{INT3} ES		{INT2} ES		{INT1} ES
TC4ES		TC4端子入力のエッジ選択				0 : 立ち上がりエッジ選択 1 : 立ち下がり				Write only
注1) fc : 高周波クロック [Hz], fs : 低周波クロック [Hz], * : Don't care										
注2) 動作モード, ソースクロック, エッジ (TC4ES) の選択およびタイマF/F 4の制御を行うときは、TC4S = 0にしてください。										
注3) TFF4はタイマ, イベントカウンタモード時は“11”にしてください。										
注4) タイマレジスタへの設定値は次の条件を満足する必要があります。										
TREG4 > 0										
注5) TC4CR, EINTCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。										

図2-26. タイマカウンタ4のタイマレジスタ/制御レジスタ/外部割り込み制御レジスタ

2.8.3 機 能

タイマカウンタ4には、タイマ、イベントカウンタ、プログラマブル デバイダ出力、パルス幅変調出力の4つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ4 (TREG4) 設定値との一致でINTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表2-6. タイマカウンタ4のソースクロック (内部クロック)

ソースクロック [Hz]		SLOW, SLEEPモード	分 解 能 [μs]		最大設定時間	
NORMAL1/2, IDLE1/2モード			fc= 8 MHz時	fs= 32.768 kHz時	fc= 8 MHz時	fs= 32.768 kHz時
DV7CK=0	DV7CK=1					
fc/2 ¹¹	fs/2 ³	fs/2 ³	256	244.14	65.3 [ms]	62.3 [ms]
fc/2 ⁷	fc/2 ⁷	—	16	—	4.1 [ms]	—
fc/2 ³	fc/2 ³	—	1	—	255 [μs]	—

(2) イベントカウンタモード

TC4端子入力 (外部クロック) パルスでカウントアップ (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、外部割り込み制御レジスタのTC4ESにて行います) するモードです。

カウンタ値とTREG4設定値との一致で、INTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。最大印加周波数は、fc/2⁴ [Hz] (NORMAL1, 2またはIDLE1, 2モード時), fs/2⁴ [Hz] (SLOW, SLEEPモード時) で、“H”、“L”レベルともに2マシンサイクル以上のパルス幅が必要です。

(3) プログラマブル デバイダ出力 (PDO) モード

内部クロックでカウントアップし、TREG4との一致ごとにタイマF/F 4出力を反転し、カウンタをクリアします。タイマF/F 4出力は、反転されてP55 (PDO) 端子に出力されます。プログラマブルデバイダ出力を行う場合は、P55出力ラッチを“1”にセットします。このモードはデューティ 50% のパルス出力に利用できます。なお、タイマF/F 4はプログラムで初期設定することができます。リセット時、タイマF/F 4は“0”に初期化されます。PDO出力反転ごとにINTTC4割り込みが発生します。

例： 1024 Hz のパルス出力 (fc=4.194304 MHz 時)。
SET (P5).5
LD (TC4CR), 00000110B ; PDOモード設定 (TC4M=10, TC4CK=01)
LD (TREG4), 10H ; 1/1024×1/2÷2⁷/fc=10H
LD (TC4CR), 00010110B ; TC4スタート

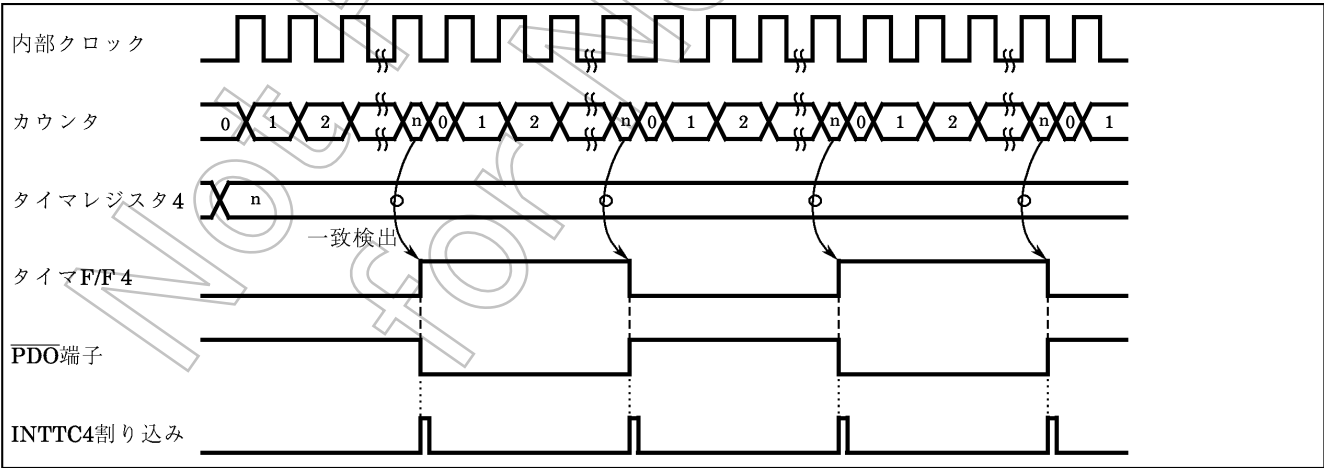


図2-27. PDOモード タイミングチャート

(4) パルス幅変調 (PWM) 出力モード

分解能8ビットのPWM出力ができます。内部クロックでカウントアップし、カウンタ値とTREG4設定値との一致でタイマF/F 4出力を反転します。カウンタはさらにカウントアップし、オーバーフローでタイマF/F 4出力を再び反転し、カウンタをクリアします。タイマF/F 4出力は反転されて、P55 (PWM) 端子に出力されます。PWM出力を行う場合は、P55出力ラッチを“1”にセットします。なお、オーバーフロー時INTTC4割り込みが発生します。

TREG4は、シフトレジスタ (2段) 構成で、PWM出力中にTREG4を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回はTREG4にデータ設定後、TC4CRによりスタートした時点でシフトされます。

- 注1) INTTC4割り込み発生サイクル時のみTREG4を書き替えないでください。通常は、INTTC4割り込みサービスルーチンでTREG4を書き替えます。
- 注2) PWM出力モードは、NORMAL1,2およびIDLE1,2モードのみ使用可能です。

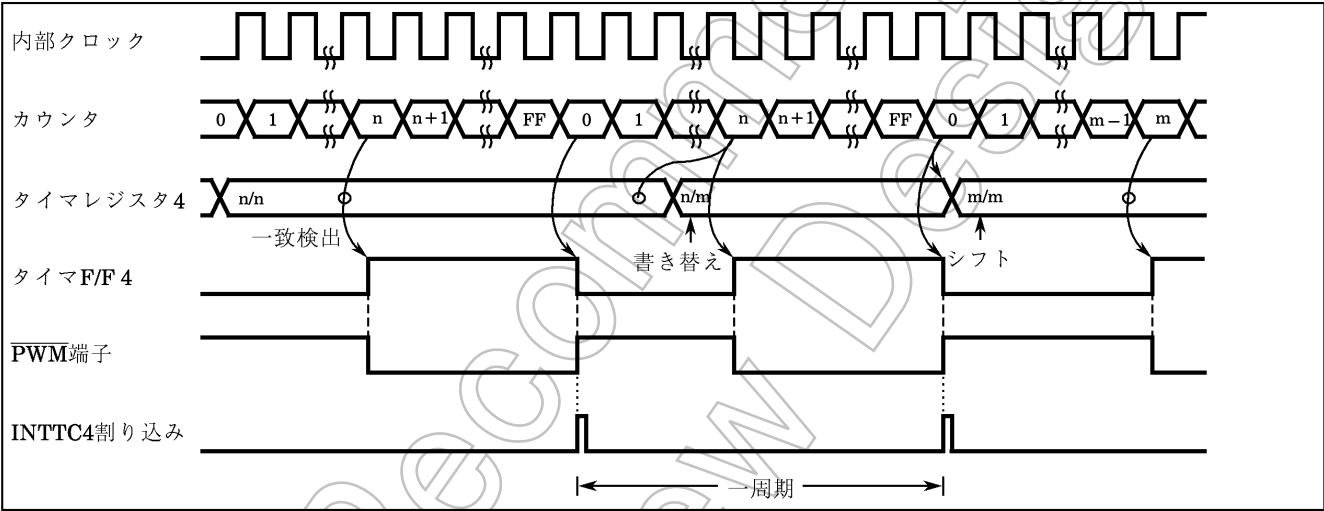


図2-28. PWM出力モードタイミングチャート

表2-7. PWM出力モード

ソースクロック [Hz]			分解能 [μs]		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード				
DV7CK=0	DV7CK=1		fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
$fc/2^{11}$	$fs/2^3$	$fs/2^3$	256	244.14	65.5 [ms]	62.5 [ms]
$fc/2^7$	$fc/2^7$	—	16	—	4.1 [ms]	—
$fc/2^3$	$fc/2^3$	—	1	—	256 [μs]	—

2.9 シリアル インタフェース (SIO)

TMP87CS71Bは、クロック同期方式の8ビット シリアルインタフェース (SIO) を1チャンネル内蔵しています。シリアルインタフェースは、8バイトの送受信データバッファを持っており、最大64ビットまでのデータを自動的に連続転送することができます。

シリアル インタフェースは、P32 ($\overline{\text{SCK}}$), P33 (SI), P34 (SO) を通して外部デバイスと接続されます。シリアルインタフェース端子は、P3ポートと兼用で、シリアルインタフェース端子として使用する場合、P3の各ポートの出力ラッチを“1”にセットします。なお、送信モード時にはP33端子が、受信モード時にはP34端子が、通常の入出力ポートとして使用できます。

2.9.1 構 成

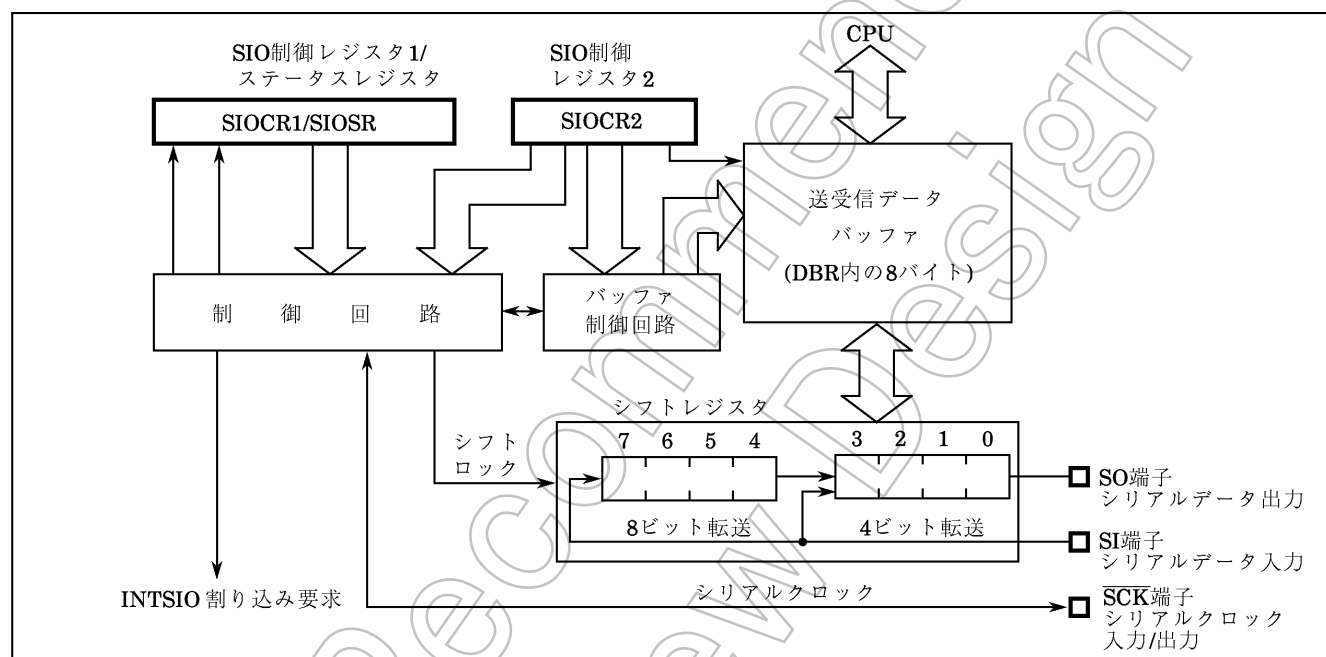


図2-29. シリアルインタフェース

2.9.2 制 御

SIO の制御は、シリアルインタフェース制御レジスタ 1, 2 (SIOCR1 および SIOCR2) で行います。また、ステータスレジスタ (SIOSR) を読むことにより SIO の動作状態を知ることができます。

送受信データバッファの制御は、SIOCR2で行います。送受信データバッファは、DBR領域の 0FF0~0FF7_H番地に割り当てられており、一度に最大8ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時)/バッファフル (受信時または送受信時) のINTSIO 割り込みが発生します。

シリアルクロックに内部クロックを用いる場合、8ビット送受信モードのとき 1ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、WAIT (SIOCR2 のビット4,3) で4種類の中から選択することができます。

SIOCR1 (0020 _H)	7	6	5	4	3	2	1	0			
	SIOS		SIOINH	SIOM			SCK		(初期値 0000 0000)		
	SIOS		転送の開始/終了 指示			0: 終 了 1: 開 始			Write only		
	SIOINH		転送の強制停止			0: 転送継続 1: 強制停止 (停止後、自動的にクリア)					
	SIOM		転送モードの選択			000: 8ビット 送信モード 010: 4ビット 送信モード 100: 8ビット 送受信/受信モード 注1) 110: 4ビット 受信モード **1: Reserved					
SCK		シリアルクロックの選択			000: 内部クロック $fc/2^{13}$ or $fs/2^5$ [Hz] 001: 内部クロック $fc/2^8$ [Hz] 010: 内部クロック $fc/2^6$ [Hz] 011: 内部クロック $fc/2^5$ [Hz] 111: 外部クロック ($\overline{SCK}$ 端子から入力)						
注1) SIOCR2のERMで送受信/受信を選択します。											
注2) 転送モード、シリアルクロックの設定時は、SIOS=0, SIOINH=1にしてください。											
注3) fc; 高周波クロック [Hz], fs; 低周波クロック [Hz], *, Don't care											
注4) SIOCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。											

図2-30.(a) シリアルインタフェース制御レジスタ

SIO ステータスレジスタ

SIOSR (0020 _H)	7	6	5	4	3	2	1	0	
	SIOF	SEF	“1”	“1”	“1”	“1”	“1”	“1”	
SIOF	シリアル転送動作状態モニタ					0：転送終了 1：転送中			Read only
SEF	シフト動作状態モニタ					0：シフト動作終了 1：シフト動作中			

SIO制御レジスタ2

SIOCR2 0021H)		7	6	5	4	3	2	1	0	(初期値 **00-0000)	
				ERM	WAIT			BUF			
ERM	8ビット送受信モードの制御	0: 送受信モード (8ビット受信モード以外は常に 1: 受信モード (“0”にしてください。)									
WAIT	ウェイト制御	8ビット送受信/受信モード以外は常に“00”にしてください。 00: T _f = T _D (ノンウェイト) 01: T _f = 2T _D 10: T _f = 4T _D (ウェイト) 11: T _f = 8T _D }									
BUF	転送ワード数の設定	使用するデータバッファのアドレス 000: 1 ワード転送 0FF0H 001: 2 ワード転送 0FF0 ~ 0FF1H 010: 3 ワード転送 0FF0 ~ 0FF2H 011: 4 ワード転送 0FF0 ~ 0FF3H 100: 5 ワード転送 0FF0 ~ 0FF4H 101: 6 ワード転送 0FF0 ~ 0FF5H 110: 7 ワード転送 0FF0 ~ 0FF6H 111: 8 ワード転送 0FF0 ~ 0FF7H									

- 注1) *; Don't care
- 注2) 8ビット受信モードに設定するには、SIOCR1でSIOMを"100"にした後、ERMを"1"にセットしてください。
- 注3) 8ビット送受信/受信モード以外のモードではかならずWAITを"00"に設定してください。
- 注4) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間

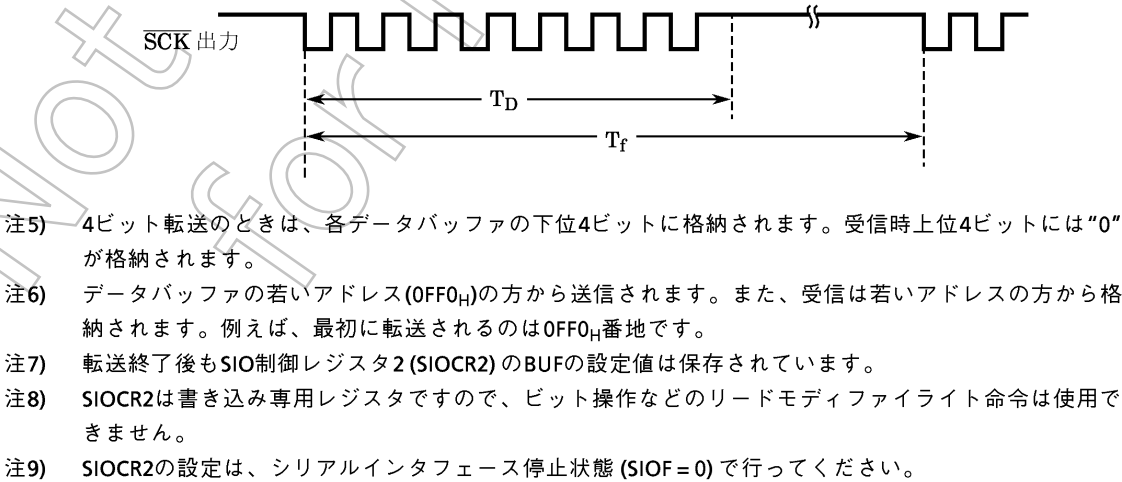


図2-30. (b) シリアルインタフェース制御レジスタとステータスレジスタ

(1) シリアルクロック

a. クロックソース

SCK (SIOCR1 のビット2~0) により、次の選択ができます。

① 内部クロック

4種類の周波数が選択でき、シリアルクロックは **SCK** 端子より外部に出力されます。なお、転送開始時 **SCK** 端子出力は “H” レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表2-8. シリアルクロックレート

シリアルクロック [Hz]			最大転送速度	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード		
DV7CK=0	DV7CK=1		fc=8 MHz 時	fs=32.768 kHz 時
fc/2 ¹³	fs/2 ⁵	fs/2 ⁵	0.977 Kbit/s	1 Kbit/s
fc/2 ⁸	fs/2 ⁸	—	31.2	—
fc/2 ⁶	fc/2 ⁶	—	125	—
fc/2 ⁵	fc/2 ⁵	—	250	—

注) 1 Kbit = 1024 bit

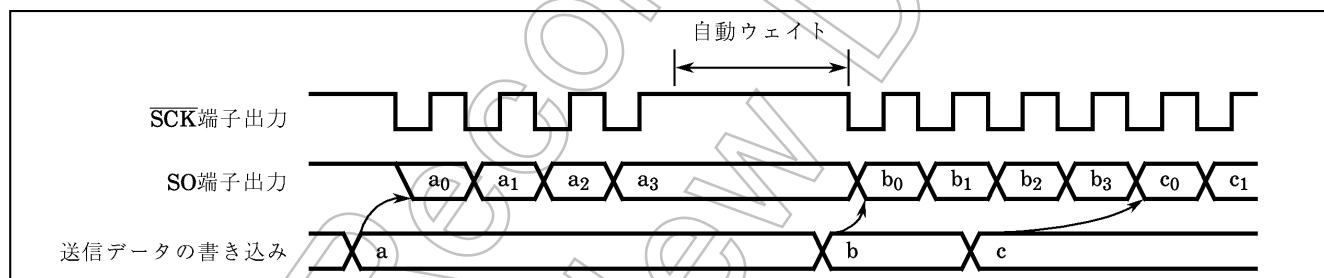
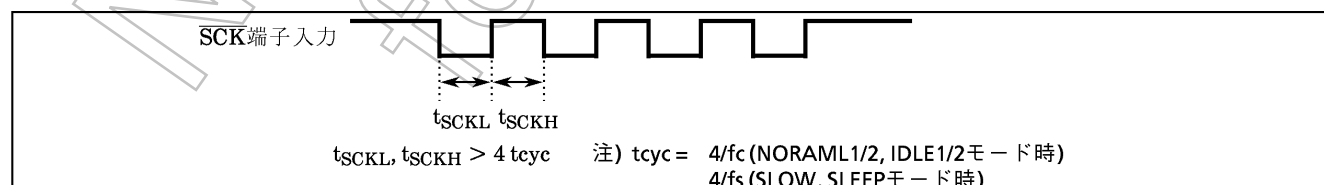


図2-31. クロックソース (内部クロック)

② 外部クロック

外部から **SCK** 端子に供給されるクロックをシリアルクロックとして用います。この場合、**P32 (SCK1)** の出力ラッチは “1” にセットされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの “H” レベル, “L” レベルともに4マシンサイクル以上パルス幅が必要です。従って、最大転送速度は244 Kbit/s (fc=8 MHz時) です。



b. シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

② 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

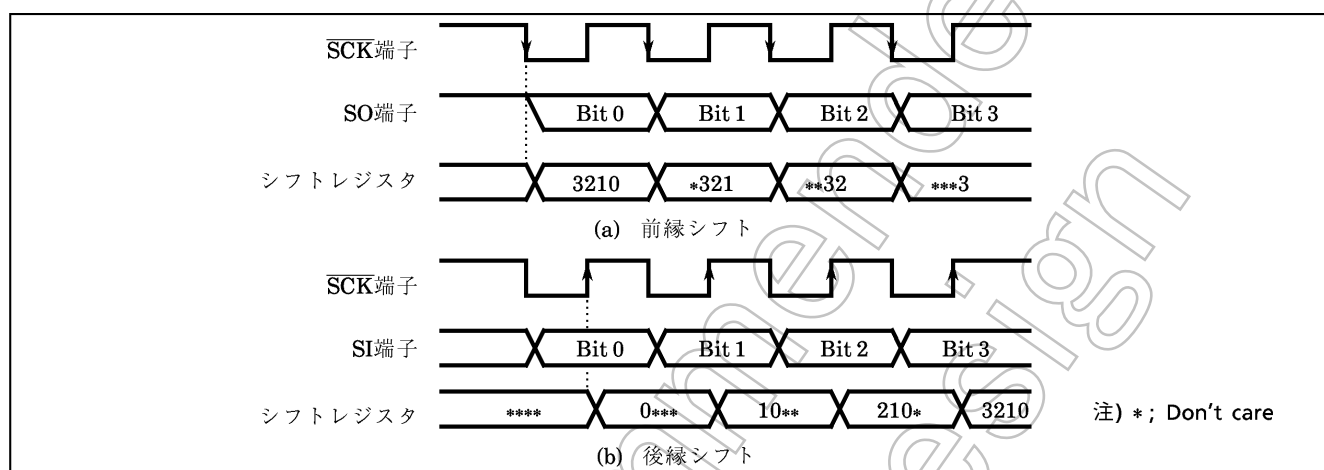


図2-32. シフトエッジ

(2) 転送ビット数

4ビットシリアル転送または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時)/8ビットデータ (8ビットシリアル転送時) を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、**SIOCR2**の**BUF**で設定します。

指定されたワード数の転送終了時点で、**INTSIO**割り込みが発生します。途中で転送ワード数を変更する場合は、シリアル インタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動的ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

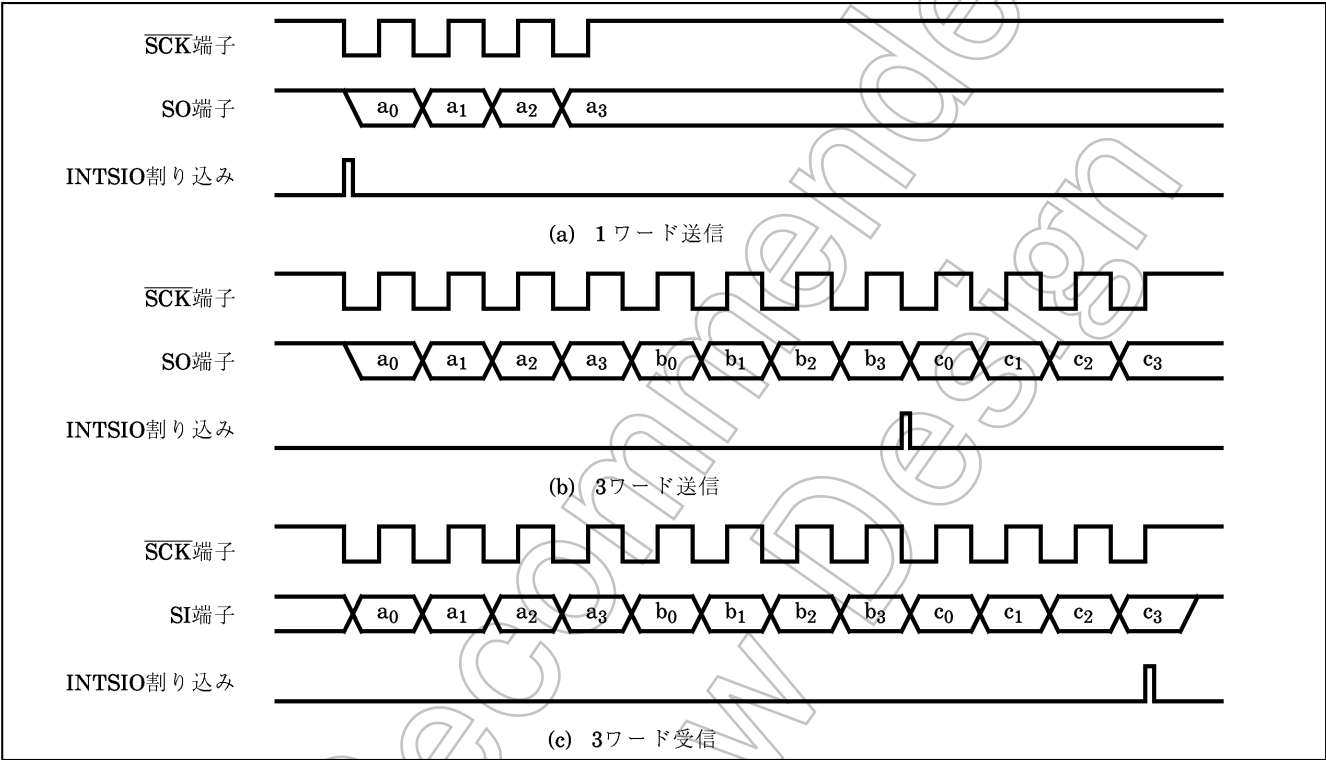


図2-33. 転送ワード数 (例: 1ワード = 4ビット)

(4) 転送モード

SIOM (SIOCR1のビット5~3) およびERM (SIOCR2のビット5) で、送信/受信/送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます

送信データの書き込み後、SIOSを“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次SO端子に出力されます。LSBのデータを出力した時点で、送信データは、データバッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、データバッファレジスタが空になりますので、次の送信データを要求するINTSIO (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、BUFで指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

転送ワード数を変更する必要がある場合は、SIOSを“0”にクリアし、SIOFが“0”になったことを確認後BUFを書き替えてください。

注) 送信データバッファに使用していないDBR (VFT表示データバッファ, HSOの送信データバッファを除く) への書き込みによっても自動ウェイト動作は解除されますので、不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが“1”となってからSCKの立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが出力された時点で送信終了します。プログラム送信の終了を確認するには、SIOF (SIO1SR, SIO2SRのビット7) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合は、直ちに送信を打ち切り、SIOFは“0”になります。8ビット送信のとき、送信を終了させることが必要となる応用の場合は、送信モードではなく送受信モードを御使用ください。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを“0”クリアする必要があります。もし、シフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOSを“0”にクリアし、SIOFが“0”になったことを確認後BUFを書き替えてください。

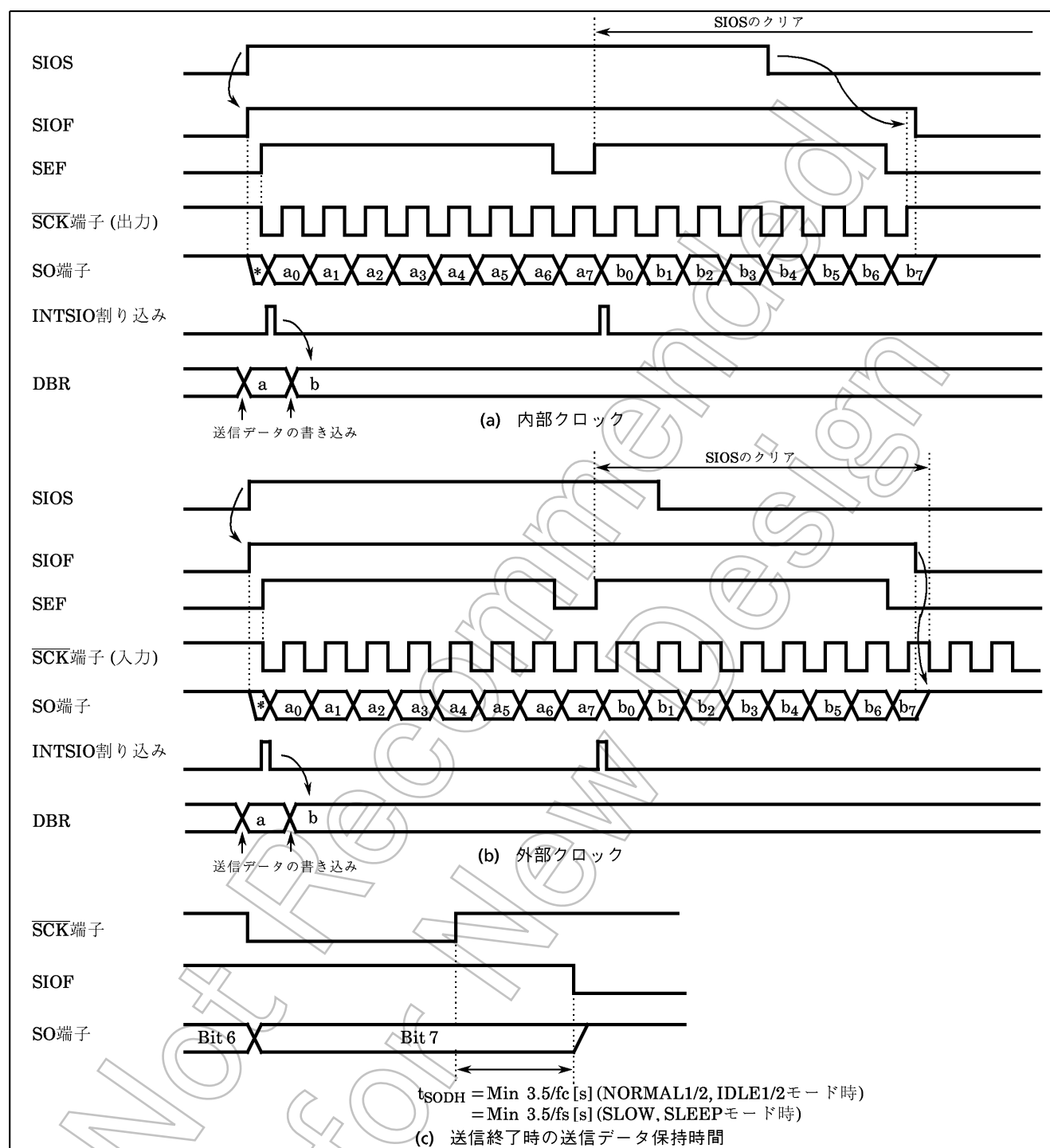


図2-34. 送信モード (例: 8ビット, 1ワード転送)

例： 送信終了指示 (8ビット送信モード, 外部クロック)。

```
STEST1:  TEST    (SIOSR).SEF          ; If SEF=1 then loop
          JRS     F,STEST1
STEST2:  TEST    (P3).2                ; If  $\overline{SCK}$ =0 then loop
          JRS     T,STEST2
          LD      (SIOCR1),00000111B   ; SIOS←0
```

注) SIOSのクリアは、必ずSEF = 0, $\overline{SCK}$ = 1の状態で行ってください。

b. 4ビット受信モード, 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。SIOCR2で指定されたワード数の受信が終了すると受信データの読み取りを要求するINTSIO (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られていないとシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していないDBR (VFT表示データバッファ, HSOの送信データバッファを除く) の読み出しによっても自動ウェイト動作は解除されますので、SIOで不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるには、バッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF (SIOSRのビット7) をセンスします。SIOFは受信の終了で“0”になります。受信終了の確認後、最終受信データを読み取ります。SIOINHをセットした場合は、直ちに受信を打ち切り、SIOFは“0”になります (受信データは無効になりますので読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときはSIOSを“0”にクリアし、SIOFが“0”になったことを確認後、BUFを書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前にBUFを書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

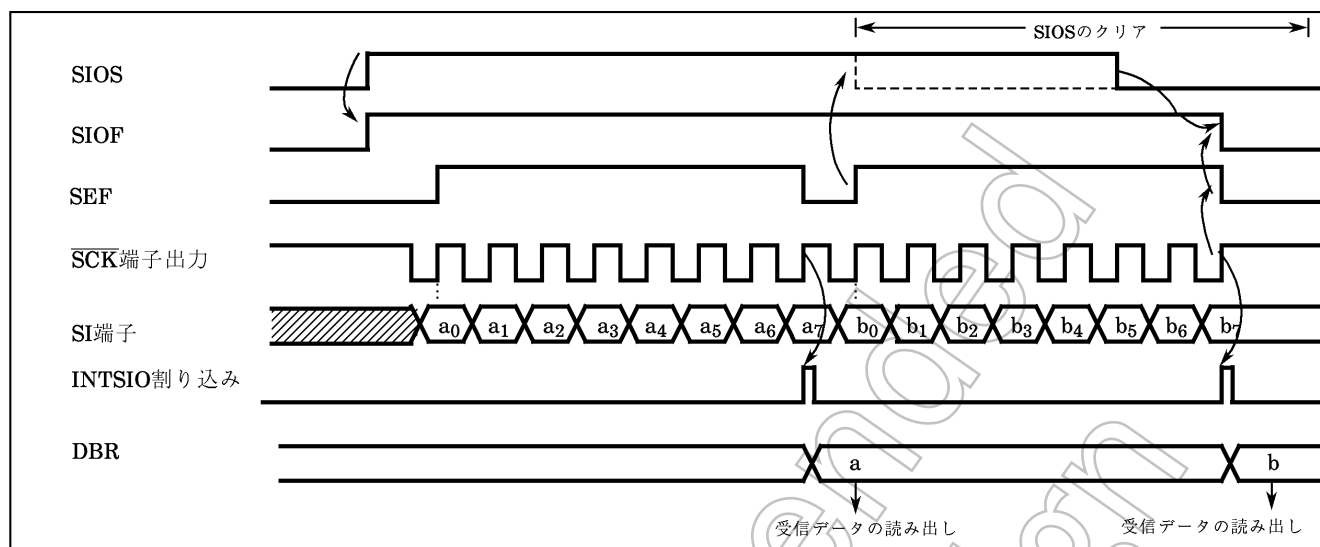


図2-35. 受信モード (例: 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、**SIOS**に“1”をセットすることにより送受信可能となります。送信データは、シリアルクロックの前縁で送信データは**SO**端子から出力され、後縁で送信データが**SI**端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。**BUF**で指定されたワード数の送受信が終了すると、**INTSIO**割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は自動ウェイト動作を行われません。

注) 送受信データバッファに使用していないDBR (VFTの表示データバッファ, HSOの送信データバッファを除く) への書き込みによっても自動ウェイト動作は解除されますので**SIO**で不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時**SIOF**が“1”となってから**SCK**の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSIO割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SIOSRのビット7) をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、直ちに送受信を打ち切り、SIOFは“0”になります。転送ワード数を変更する場合、外部クロックのときはSIOSを“0”にクリアし、SIOFが“0”になったことを確認後BUFを書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前にBUFを書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

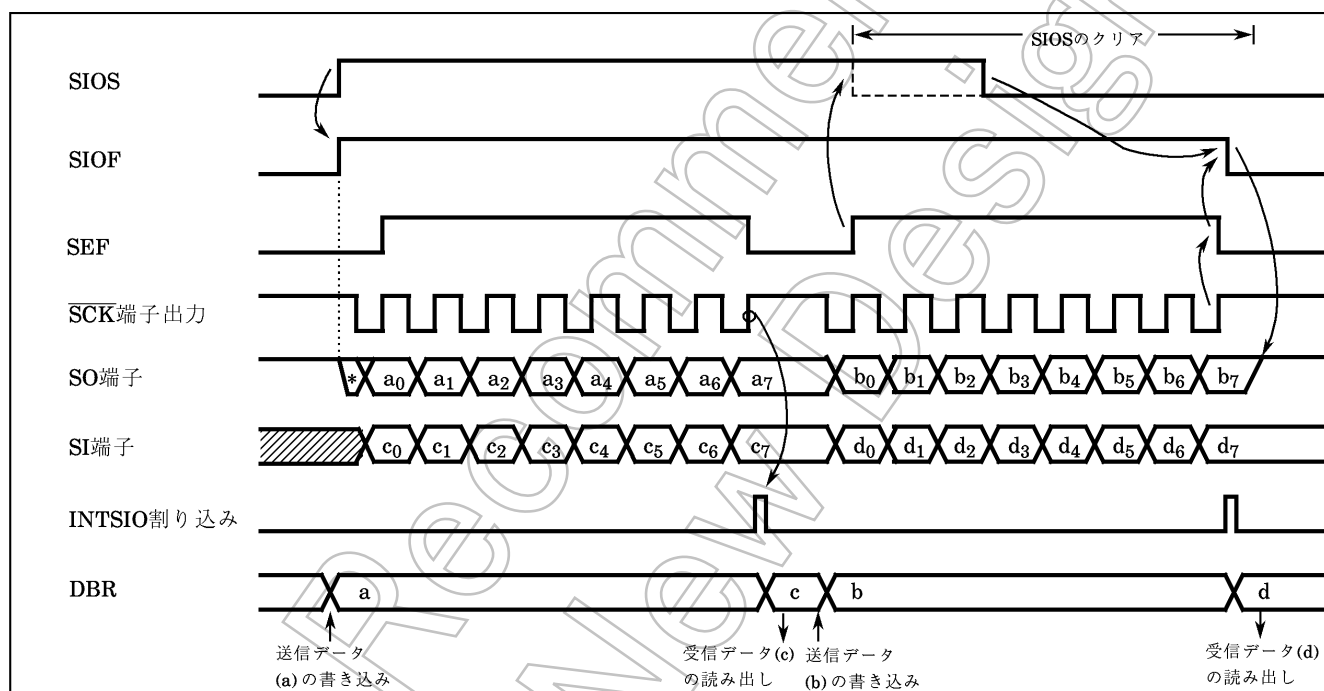


図2-36. 送受信モード (例: 8ビット, 1ワード, 内部クロック)

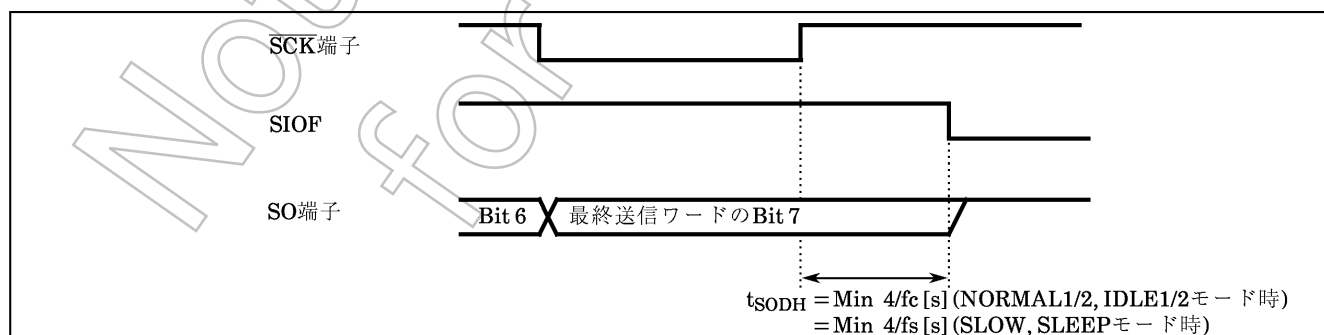


図2-37. 送受信終了時の送信データ保持時間 (送受信モード時)

2.10 8ビット高速シリアル出力 (HSO)

TMP87CS71Bは、8ビットの高速シリアル出力 (HSO) を1チャンネル内蔵しています。高速シリアル出力は、1バイトの送信データバッファレジスタ (HSODR) を内蔵しており、これはDBR領域の0FF8_H番地に割り当てられています。

高速シリアル出力は、P35 ($\overline{\text{HSCK}}$) と P37 (HSO) を通して外部デバイスと接続されます。高速シリアル出力端子は、P3ポートと兼用で、高速シリアル出力端子として使用する場合、P3ポートの各ポートの出力ラッチを“1”にセットします。

2.10.1 構成

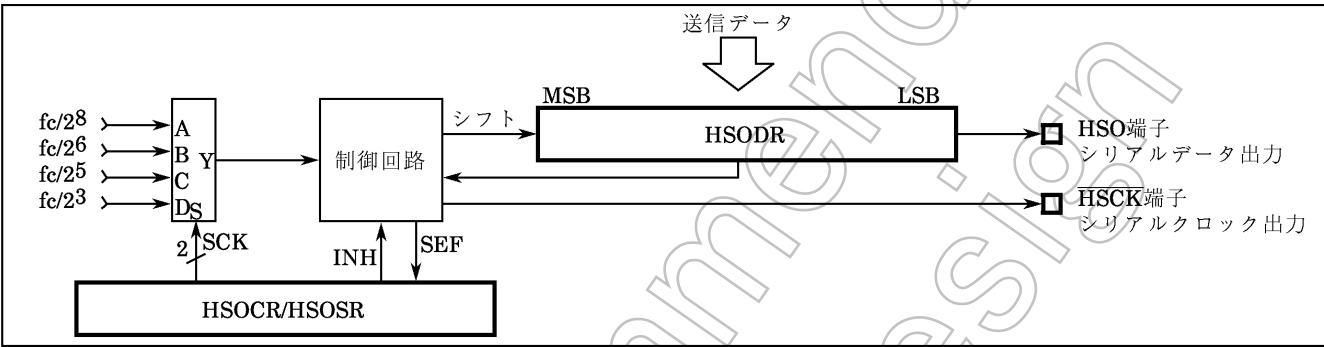


図2-38. 高速シリアル出力

2.10.2 制御

HSOの制御は、HSO制御レジスタ (HSOCR) で行います。また、HSOステータスレジスタ (HSOSR) を読むことにより転送動作状態を知ることができます。

HSO制御レジスタ										
HSOCR (0024 _H)	7	6	5	4	3	2	1	0		
		INH					SCK		(初期値 *0** **00)	
	INH	転送の制御					0: 転送継続 1: 強制停止			Write only
	SCK	転送クロックの選択					00: $fc/2^8$ [Hz] 01: $fc/2^6$ [Hz] 10: $fc/2^5$ [Hz] 11: $fc/2^3$ [Hz]			
注1) fc : 高周波クロック [Hz] *; Don't care										
注2) 転送クロックは、転送終了状態 (INH = 1) で設定してください。										
HSOSR (0024 _H)	7	6	5	4	3	2	1	0		
	"1"	SEF	"1"	"1"	"1"	"1"	"1"	"1"		
	SEF	シフト動作状態モニタ					0: 送信終了 (HSODRへの書き込み許可状態) 1: 送信中 (HSODRへの書き込み禁止状態)			Read only
注) HSOCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセス できません。										

図2-39. HSO制御レジスタとステータスレジスタ

2.10.3 転送動作

SCK (HSOCRのビット1, 0)で転送クロックを選択します。1バイトの送信データを送信データバッファレジスタ (HSODR) に書き込むことにより、送信が開始されます。送信データは、シリアルクロックの立ち上がりエッジに同期して最下位ビット (LSB) 側から逐次HSO端子に出力されます。送信中はHSODRへの書き込みがハードウェアにより禁止されます。最上位ビットの送信が終了するとHSODRへの書き込みが許可されます。プログラムで送信の終了を確認するにはSEF (HSOSRのビット6) をセンスします。SEFは送信中 (HSODRへの書き込み禁止状態) は“1”、送信の終了 (HSODRへの書き込み許可状態) で“0”になります。なお、送信開始終了時、H $\overline{\text{SCK}}$ 端子は“H”レベルになります。

注) SEFのセンスを行わずに連続転送する場合は、HSODRへの書き込み後、SCKにより選択した転送クロックの9サイクル分 (ただし、 $f_c/2^3$ [Hz] を選択した場合のみ11サイクル分) を経てから次の転送データを書き込むようにしてください。

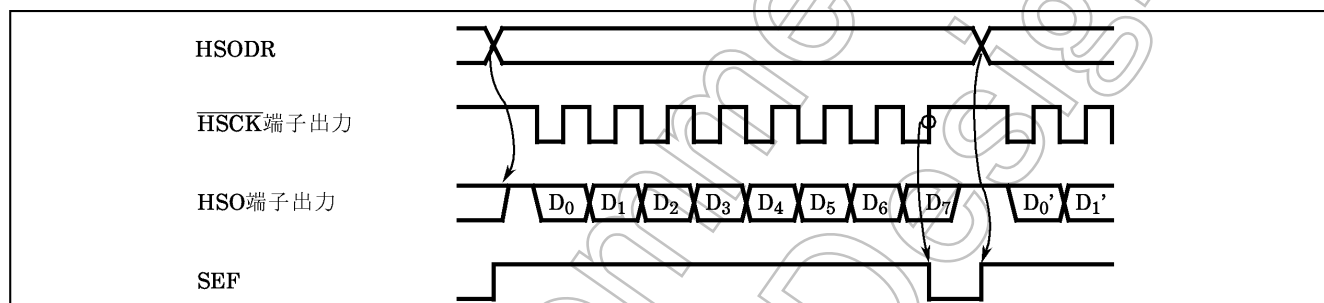


図2-40. 高速シリアル出力タイミング

2.11 6ビットAD変換(コンパレータ)入力

コンパレータ入力、KEY入力またはAFC (Auto Frequency Control) 信号入力などのためのアナログ入力、6ビットDAコンバータ、コンパレータおよび制御回路で構成されます。コンパレータの比較電圧(DAコンバータ出力電圧)を変えることにより、アナログ入力電圧レベル (CIN0~CIN5) を64段階に分けて検出することができます。

コンパレータ入力は、P53~P50, P47, P46(通常のデジタル入出力)ポートと兼用になっています。コンパレータ入力として使用する場合は、使用するポートの出力ラッチを“1”にセットします。CIN5, CIN4の場合は、さらにP4ポート制御レジスタ (P4CR) でP47, P46端子に内蔵されているプルダウン抵抗を切り離します。

2.11.1 構成

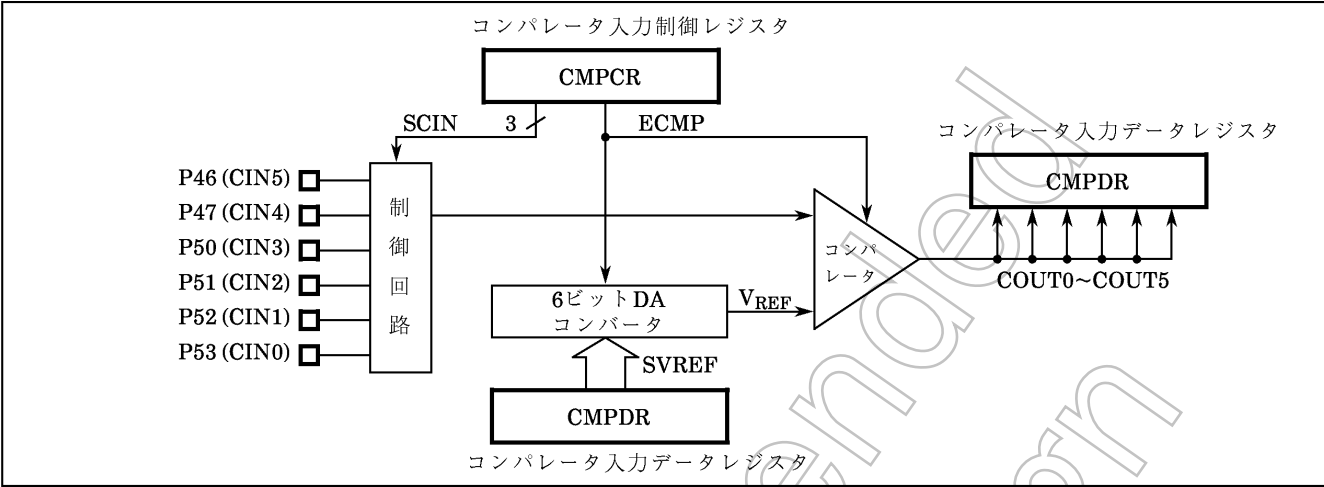


図2-41. 6ビットAD変換(コンパレータ)入力

2.11.2 制御

AD変換(コンパレータ)入力の制御は、コンパレータ入力制御レジスタ (CMPPCR) とコンパレータ入力データレジスタ (CMPDR) で行います。

コンパレータ入力制御レジスタ									
CMPPCR (000E _H)	7	6	5	4	3	2	1	0	
	ECMP						SCIN		(初期値 0*** *000)
	ECMP	AD変換入力制御				0 : 変換入力停止 1 : 変換入力開始			
		SCIN	AD変換入力チャネル数の選択				000 : 1 チャネル (CIN0) 001 : 2 チャネル (CIN0~1) 010 : 3 チャネル (CIN0~2) 011 : 4 チャネル (CIN0~3) 100 : 5 チャネル (CIN0~4) 101 : 6 チャネル (CIN0~5) 11* : Reserved		
									Write only
コンパレータ入力データレジスタ									
CMPDR (000F _H)	7	6	5	4	3	2	1	0	
									(初期値 **00 0000)
	SVREF	比較基準電圧 (V _{REF}) の設定				V _{REF} =V _{DD} ×(SVREF+1)/64 [V] (SVREF=0~63)			
									Write only
コンパレータ入力データレジスタ									
CMPDR (000F _H)	7	6	5	4	3	2	1	0	
	"1"	"1"	COUT5	COUT4	COUT3	COUT2	COUT1	COUT0	
	COUT0 COUT5	比較結果				CIN0~CIN5端子に印加するアナログ入力電圧と比較基準電圧との比較結果 (COUT0~COUT5)			
									Read only
注) *; Don't care									

図2-42. コンパレータ入力制御レジスタとデータレジスタ

2.11.3 機能

コンパレータの比較基準電圧 (V_{REF}) の設定は、SVREF (CMPDRのビット5~0) で行い、次式に設定されます。

$$V_{REF} = V_{DD} \times (SVREF + 1) / 64 [V] \quad (SVREF = 0 \sim 63)$$

コンパレータ入力は、制御レジスタのSCINにてチャネル数を選択し、ECMPを“1”にセットすることにより、選択されたチャネル数分の順次比較動作を開始します。

1チャネル当たりの比較動作に2マシンサイクルかかりますので、比較電圧 (V_{REF}) の設定後、選択されたチャネル数×2マシンサイクル経過後、データレジスタ (COUT5~COUT0) を読み出します。COUT5~COUT0は、比較電圧 (V_{REF}) に対して入力電圧 (CIN0~CIN5) が高いとき “1” となります。

コンパレータ入力として使用する端子は出力ラッチを“1”にしてください。

- 注1) STOP/SLOW動作に入ると自動的にECMPにクリアされ(再設定可)、SCINおよびSVREFはデータを保持します。また、COUT5~COUT0は“1”にセットされます。
- 注2) SCINにて、コンパレータ入力に指定された端子は、通常のデジタル入力(およびキースキャン入力)ができなくなり、“0”が読み込まれます。
- 注3) COUT5~COUT0はコンパレータ入力として選択されない場合、“1”が読み出されます。

例： 4チャネル (CIN0~3) を使用して、比較基準電圧を2.5 Vに設定 ($V_{DD}=5$ V時)。

```
LD      (P5), 11111111B      ; P5ポートの出力ラッチ設定。
LD      (CMPDR), 00011111B    ; 比較基準電圧を2.5 Vに設定。
LD      (CMPCR), 10000011B    ; AD変換入力チャネルをCIN0~3に設定。

      ;
      ; 4 ch × 2マシンサイクル - 2
      ; = 6マシンサイクルのウェイト

LD      A, (CMPDR)            ; データレジスタの読み出し。
```

表2-9. AD変換入力比較基準電圧 ($V_{DD}=5$ V時)

SVREF						比較基準電圧 [V]
5	4	3	2	1	0	
0	0	0	0	0	0	0.078
0	0	0	0	0	1	0.156
0	0	0	0	1	0	0.234
⋮						
1	1	1	1	0	1	4.844
1	1	1	1	1	0	4.922
1	1	1	1	1	1	5.000

2.12 蛍光表示管 (VFT) 駆動回路

TMP87CS71Bは、蛍光表示管 (VFT) を直接駆動する高耐圧出力バッファおよび表示制御回路を内蔵しています。

2.12.1 機 能

- ① 32本の高耐圧出力バッファを内蔵しています。
 - デジット出力 16本 (G0~G15)
 - セグメント出力 16本 (S0~S15)
 そのほかに、VFT駆動用電源として、VKK端子があります。
- ② ダイナミック点灯方式による、8~16セグメント×1~16桁をプログラムにて選択できます。
- ③ VFTドライバとして使用しない端子は、汎用ポートとして使用できます。
- ④ 表示データ (DBR内の32バイト) を高耐圧出力バッファへ転送する動作は自動的に行われます。
- ⑤ デイマー機能により、8段階の輝度調整ができます。
- ⑥ キースキャン機能により、セグメント出力端子はキーストロープ出力としても機能します。

2.12.2 構 成

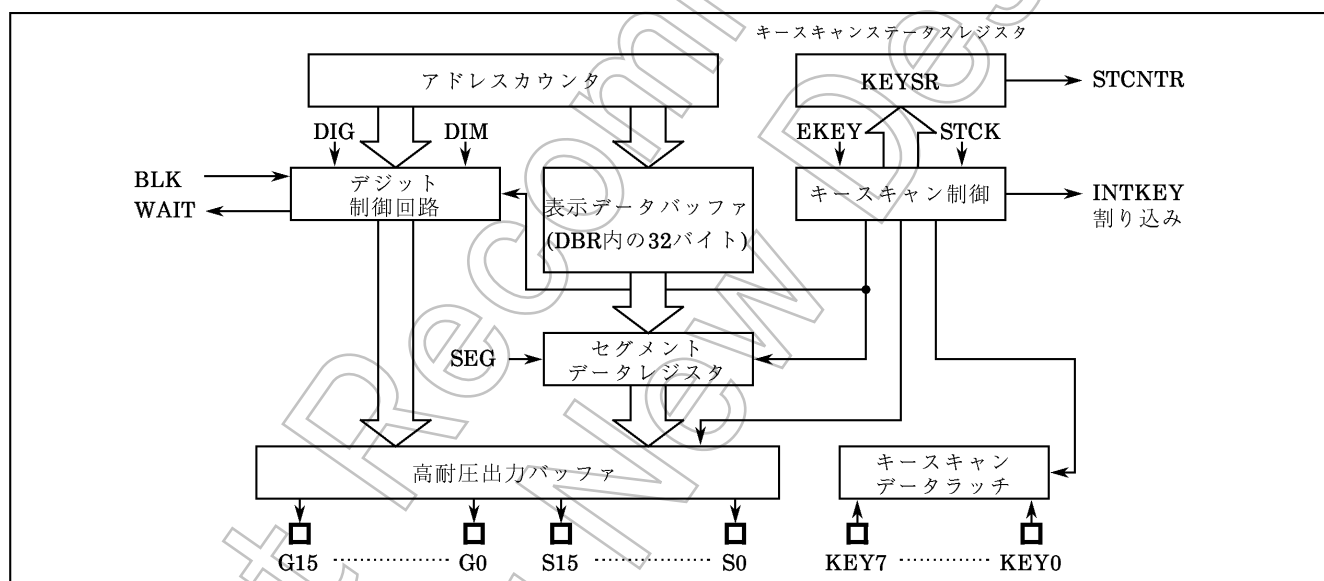


図2-43. VFT駆動回路

2.12.3 制 御

VFT駆動回路は、VFT制御レジスタ (VFTCR1,VFTCR2) で制御されます。また、ステージレジスタ (VFTSR) を読み込むことにより、VFTの動作状態を知ることができます。

NORMAL1,2モードからSLOWまたはSTOPモードに切り替えると、VFT駆動回路はブランキングとなり (VFT制御レジスタの設定値は、BLK,EKEY以外は保持されます)、セグメント出力およびデジット出力は“0”になりますので、P9~P6ポートは通常の入出力ポートとして機能します。

VFTCR1 (0028 _H)	7	6	5	4	3	2	1	0	(初期値 1000 0111)
	BLK	EKEY	STCK			SEG			
BLK		VFT表示制御		0: 表示イネーブル 1: ブランキング					Write only
EKEY		キースキャンモード制御		0: 禁止 1: 許可					
STCK		キースキャンストローブ の周期の選択		00: $fc/2^{12}$ or $fs/2^5$ [Hz] (4 tSEGに1回) 01: $fc/2^{13}$ or $fs/2^6$ [Hz] (8 tSEGに1回) 10: $fc/2^{14}$ or $fs/2^7$ [Hz] (16 tSEGに1回) 11: $fc/2^{15}$ or $fs/2^8$ [Hz] (32 tSEGに1回)					
SEG		セグメント数の設定		0111: 8セグメント表示モード (S0~S7を出力) 1000: 9セグメント表示モード (S0~S8を出力) 1001: 10セグメント表示モード (S0~S9を出力) 1010: 11セグメント表示モード (S0~S10を出力) 1011: 12セグメント表示モード (S0~S11を出力) 1100: 13セグメント表示モード (S0~S12を出力) 1101: 14セグメント表示モード (S0~S13を出力) 1110: 15セグメント表示モード (S0~S14を出力) 1111: 16セグメント表示モード (S0~S15を出力) 0**0: Reserved 0*0*: Reserved 00** : Reserved					
注1) fc; 高周波クロック [Hz], fs; 低周波クロック [Hz], tSEG; 次ページを参照ください									
注2) VFTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。									

図2-44.(a) VFT制御レジスタ1

VFTCR2 (0029 _H)		7	6	5	4	3	2	1	0	
		DIM				DIG				(初期値 *000 0000)
DIM	ディマー時間の設定	000 : (14/16) × t _{SEG} [s] 001 : (12/16) × t _{SEG} [s] 010 : (10/16) × t _{SEG} [s] 011 : (8/16) × t _{SEG} [s] 100 : (6/16) × t _{SEG} [s] 101 : (4/16) × t _{SEG} [s] 110 : (2/16) × t _{SEG} [s] 111 : (1/16) × t _{SEG} [s]							Write only	
DIG	デジット (桁) 数の設定	0000 : 1桁表示モード (G0を出力) 0001 : 2桁表示モード (G0~G1を出力) 0010 : 3桁表示モード (G0~G2を出力) 0011 : 4桁表示モード (G0~G3を出力) 0100 : 5桁表示モード (G0~G4を出力) 0101 : 6桁表示モード (G0~G5を出力) 0110 : 7桁表示モード (G0~G6を出力) 0111 : 8桁表示モード (G0~G7を出力) 1000 : 9桁表示モード (G0~G8を出力) 1001 : 10桁表示モード (G0~G9を出力) 1010 : 11桁表示モード (G0~G10を出力) 1011 : 12桁表示モード (G0~G11を出力) 1100 : 13桁表示モード (G0~G12を出力) 1101 : 14桁表示モード (G0~G13を出力) 1110 : 15桁表示モード (G0~G14を出力) 1111 : 16桁表示モード (G0~G15を出力)								
注1) t _{SEG} ; NORMAL1動作およびNORMAL2動作 (デバイダ7段目にfc/28入力) 時 210/fc [s] NORMAL2動作 (デバイダ7段目にfs入力) 時 23/fs [s] 注2) * ; Don't care 注3) VFTCR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。										
VFTステータスレジスタ										
VFTSR (0029 _H)	7	6	5	4	3	2	1	0		
	WAIT	"1"	"1"	"1"	"1"	"1"	"1"	"1"		
WAIT	VFT表示動作状態モニタ	0 : VFT表示動作中 1 : VFT表示停止状態 (またはキースキャン動作中)							Read only	
キースキャンステータスレジスタ										
KEYSR (002A _H)	7	6	5	4	3	2	1	0		
	"1"	"1"	"1"	"1"	STCNTR					
STCNTR	キーストロープ位置 (Sn) の モニタ				Sn (n=STCNTR)				Read only	

図2-44.(b) VFT制御レジスタ2/ステータスレジスタおよびキースキャンステータスレジスタ

(1) 表示モードの設定

VFT表示モードの設定は、VFT制御レジスタ1 (VFTCR1) のSEGにてセグメント数をVFT制御レジスタ2 (VFTCR2) のDIGでデジット (桁) 数を選択します (この場合、VFTCR1のBLKが“1”、EKEYが“0”の状態で行ってください)。また、VFTCR2のDIMにてディマー時間 (デジット出力時間) を選択します。

(2) 表示データの設定

通常、データをVFT表示データに変換する処理は命令で行います。変換されて表示データバッファ (DBRの0F80~0F9F_H番地) に格納されたデータは、自動的にVFT駆動回路へ転送され、高耐圧出力バッファに出力されます。従って、表示パターンの変更は、表示データバッファのデータを変更するのみで可能です。

VFTセグメント (ドット) と表示データ領域の各ビットとは一対一の対応があり、データが“1”のとき各ビットに対応するセグメントが点灯します。また、表示データバッファ内でも表示に使用されない領域は、通常のデータメモリとして使用できます。なお、表示データバッファは、図2-45 (a) に示すDBR領域に設けられていますが、8セグメント表示モードの場合のみデータメモリを有効に活用できるように図2-45 (b) に示すように集約されます。

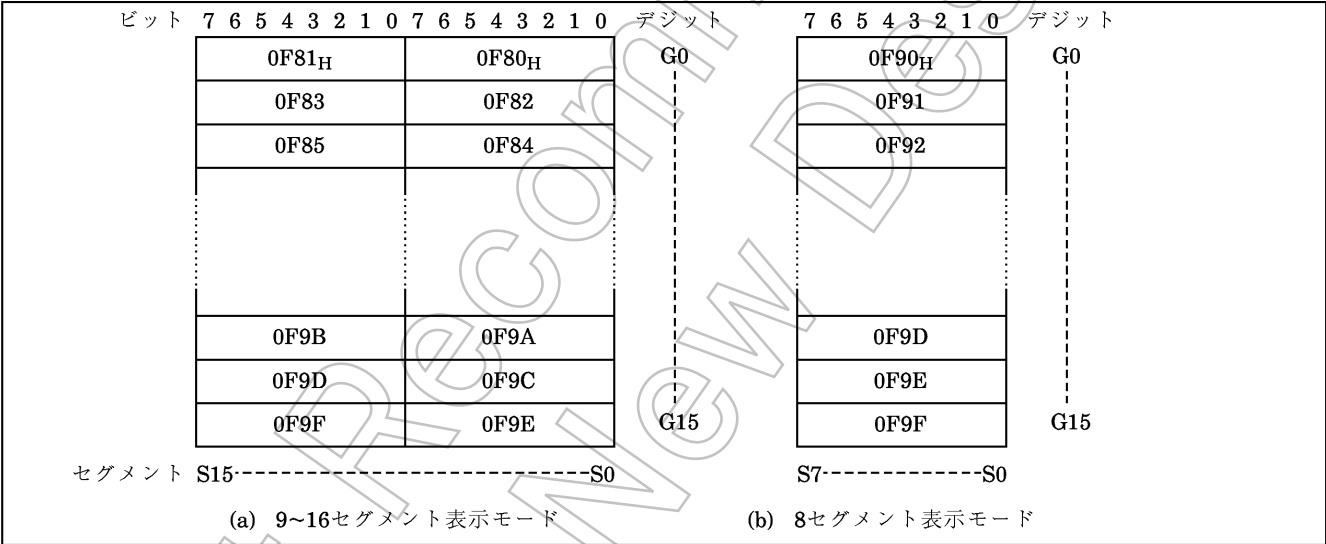


図2-45. VFT表示データバッファ (DBR)

2.12.4 表示動作

表示モードの設定および表示データの格納後、**BLK**(**VFTCR1**のビット7)を“0”にクリアすることにより、**VFT**表示が開始されます。図2-46に**VFT**の駆動波形を示します。

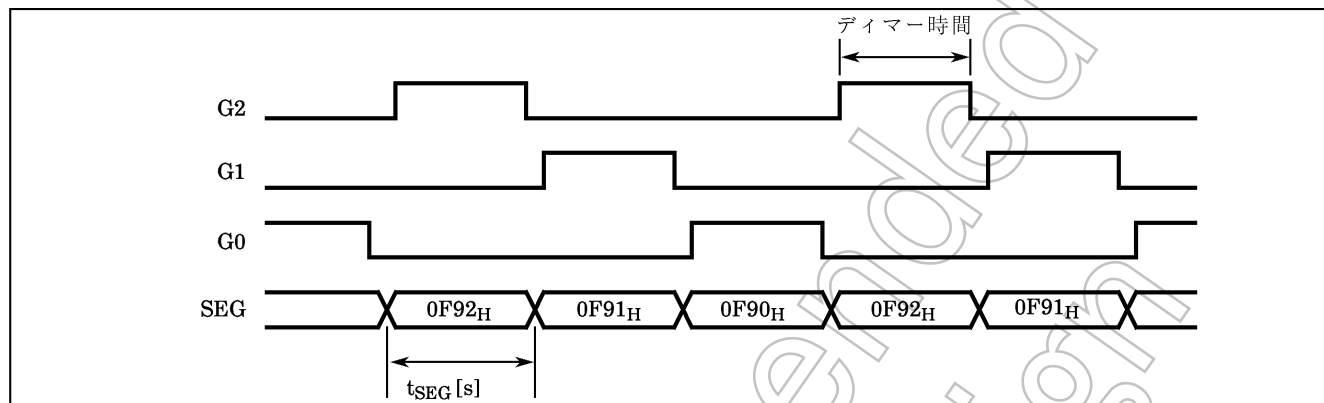


図2-46. VFTの駆動波形 (8セグメント, 3桁表示の場合)

2.12.5 キースキャン機能

表示動作中のセグメント出力端子は、命令による出力は禁止 (あらかじめ、出力ラッチに“0”を書き込んで使用してください) していますが、キーストロープ信号は自動的に出力されます。

P4 (KEY) ポートをキースキャン入力として使用する場合は、出力ラッチを“1”にセットします。

プログラムにて、**EKEY** (**VFTCR1**のビット6) に“1”を書き込むと、以降**STCK** (**VFTCR1**のビット5,4) にて選択された内部レートに同期して、キースキャンタイミングが表示動作に挿入されます。キースキャンタイミングでは、**SEG**にて選択されたセグメント出力 S_n のうちの1端子 (キースキャンタイミングのたびにセグメントナンバー n が順次デクリメントされます) よりキーストロープパルスが出力されます (例: 8セグメント表示モードの場合、 $S_7 \rightarrow S_6 \dots S_0 \rightarrow S_7$ 端子より出力されます)。

また、キーストロープパルスに同期して**KEY0~KEY7**端子入力データがキースキャン入力ラッチにラッチされますので、セグメント出力端子と**KEY**端子とでキーマトリクスを構成することにより、キースキャンを行うことができます。

さらに、キーデータのラッチに同期してキースキャン割り込み (**INTKEY**) が発生しますので、割り込み サービスルーチンにてキーストロープ位置をキースキャンステータスレジスタ (**KEYSR**) のセンスにより判断し、記憶されたキーデータをキースキャン入力ラッチ**KEYDR** (0004H) より読み込みます。

なお、キースキャン入力ラッチの読み出しが行われるまでは、その次のキースキャンタイミングはキャンセルされます。

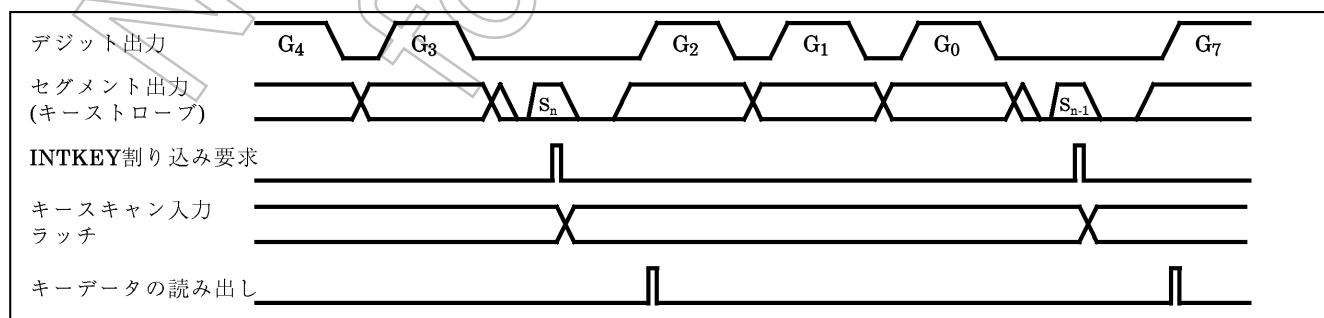


図2-47. キースキャンタイミング (8桁表示の場合)

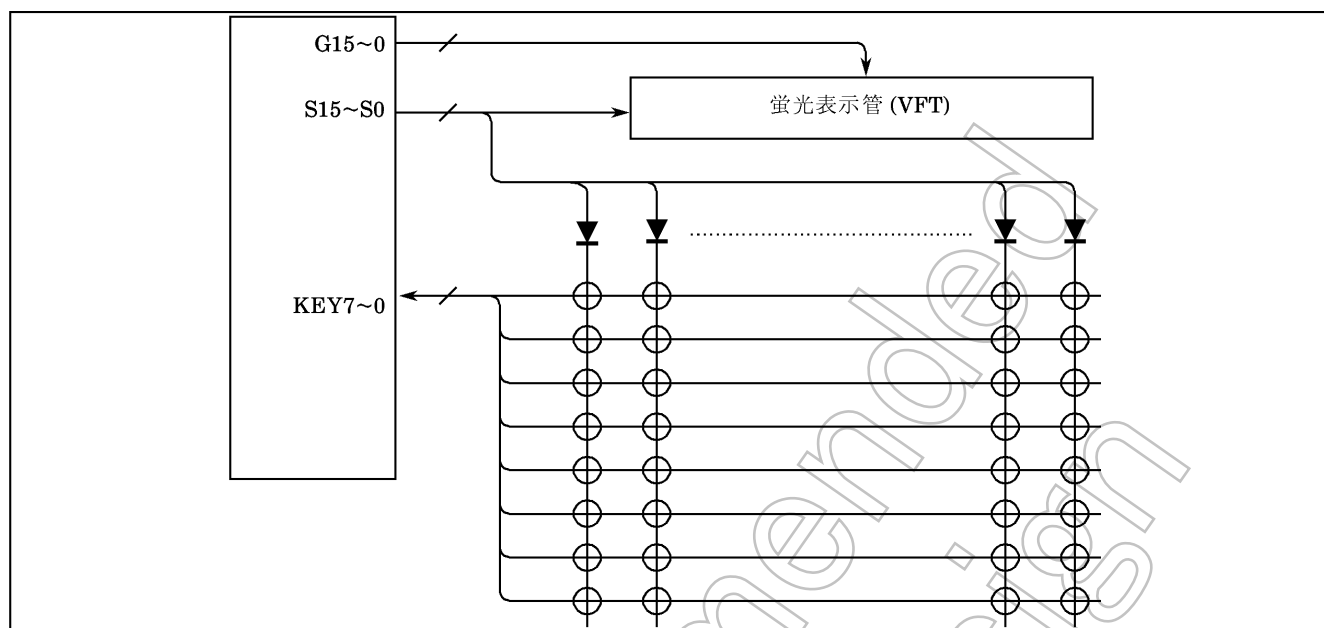


図2-48. キーマトリクス構成例

2.12.6 ポート機能

(1) 高耐圧バッファ

蛍光表示管を駆動させる場合は、ポート出力ラッチを“0”にクリアします。ポート出力ラッチは、リセット時“0”に初期化されます。

通常の入出力端子として用いる場合は、内部でVKK端子へプルダウンされているため注意が必要です。

(a) 出力時

“L”レベルを出力する際、VKK端子プルダウンされているポートは、VKK端子電圧となります。従って外部回路にVKK端子電圧が印加されるのを防ぐため、図2-49 (a) のようにダイオードでクランプするなどの処理が必要です。

(b) 入力時

外部データを入力する場合、ポート出力ラッチを“0”にクリアします。

入力しきい値は、他の通常入出力ポートと同一ですが、VKK端子へプルダウンされていますので、 R_K (typ. 80 k Ω) を十分にドライブする必要があります。

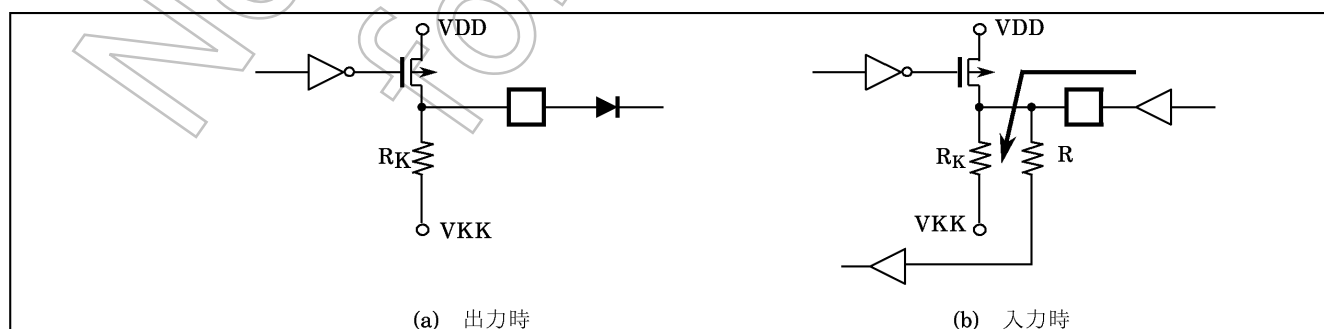


図2-49. 外部回路との入出力

(2) キースキャン入力端子

KEY0~KEY7端子には、プルダウン抵抗が内蔵されており、P4ポート制御レジスタ (P4CR) により接続/切り離しをビット単位で制御することができます。

- 注1) キースキャン入力ラッチKEYDR (0004_H) は、EKEYが“1”のときのみ有効となり、初期値は“0”です。
- 注2) EKEYが“1”の状態では、P4ポートはキースキャン入力として機能しますので、通常のP4ポート入出力およびビット操作を実行した場合、正しい動作結果が得られなくなります。つまり出力ラッチは“1”に固定しておく必要がありますが、入力データもINTKEY割り込み要求時に読み込まれたデータとなりますのでビット操作命令により出力ラッチの変化などが起こるためです。

端子の入出力回路

(1) 制御端子

TMP87CS71Bの制御端子の入出力回路を示します。

リセット解除時の動作モードは、シングルクロックモード (XIN/XOUT のみ発振) かデュアルクロックモード (XIN/XOUT および XTIN/XTOUT の両方が発振) かのいずれかをマスクオプション (コード NM1, NM2) で指定してください。

制御端子	入出力	制御端子回路とコード	備考
XIN XOUT	入力 出力	Osc. enable → VDD R_f R_O VDD XIN XOUT fc	高周波発振子接続端子 R _f = 1.2 MΩ (typ.) R _O = 1.5 kΩ (typ.)
XTIN XTOUT	入力 出力	NM1 P2 ポートを参照 NM2 Osc. enable → XTEN R_f R_O fs XTIN XTOUT	低周波発振子接続端子 R _f = 6 MΩ (typ.) R _O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入出力	Address-trap-reset Watchdog-timer-reset System-clock-reset VDD R_{IN} R	ヒステリシス入力 プルアップ抵抗内蔵 R _{IN} = 220 kΩ (typ.) R = 1 kΩ (typ.)
$\overline{\text{STOP/INT5}}$ (P20)	入力	VDD P20 STOP/INT5 R	ヒステリシス入力 R = 1 kΩ (typ.)
TEST	入力	VDD R R_{IN}	プルダウン抵抗内蔵 R _{IN} = 70 kΩ (typ.) R = 1 kΩ (typ.)

注1) TMP87P571AのTEST端子には、プルダウン抵抗は内蔵されていません。MCUモードでは必ず“L”レベルに固定してください。

注2) TMP87PS71Aは、リセット解除時シングルクロックモード (NM1) となっています。

ES発注の際、マイクロコントローラエンジニアリングサンプル (ES) 作成依頼書にてマスクオプションの指定を、必ず行ってください。記入の仕方については付録の“TLCS-870シリーズにおけるマスクオプション指定方法”を参照してください。

(2) 入出力ポート

TMP87CS71BおよびTMP87PS71Aの入出力ポートの入出力回路を示します。

ポート	入出力	入出力ポート回路	備 考
P0	入出力	Initial “High-Z”	トライステート入出力 $R = 1\text{ k}\Omega$ (typ.)
P1	入出力	Initial “High-Z”	トライステート入出力 ヒステリシス入力 $R = 1\text{ k}\Omega$ (typ.)
P2	入出力	Initial “High-Z”	シンクオープンドレイン出力 $R = 1\text{ k}\Omega$
P3	入出力	Initial “High-Z”	シンクオープンドレイン出力 ヒステリシス入力 $R = 1\text{ k}\Omega$ (typ.)
P4	入出力	Initial “High-Z”	シンクオープンドレイン出力 ヒステリシス入力 $R_{IN} = 70\text{ k}\Omega$ (typ.) R_{IN}はプログラムにて接続を指定する。 $R = 1\text{ k}\Omega$ (typ.)
P5	入出力	Initial “High-Z”	シンクオープンドレイン出力 $R = 1\text{ k}\Omega$ (typ.)

ポート	入出力	入出力ポート回路	備 考
P6 P7 P9	入出力	Initial “High-Z” $R_K = 80\text{ k}\Omega$ (typ.) $R = 1\text{ k}\Omega$ (typ.) $R1 = 200\text{ k}\Omega$ (typ.)	ソースオープンドレイン出力 高耐圧
P8	出力	Initial “High-Z” $R_K = 80\text{ k}\Omega$ (typ.)	ソースオープンドレイン出力 高耐圧

電気的特性

絶対最大定格		(V _{SS} =0 V)		
項目	記号	端子	規格	単位
電源電圧	V _{DD}		−0.3~6.5	V
入力電圧	V _{IN}		−0.3~V _{DD} +0.3	V
出力電圧	V _{OUT1}	P2, P3, P4, P5ポートおよびXOUT, RESET	−0.3~V _{DD} +0.3	V
	V _{OUT2}	ソースオープンドレイン端子	V _{DD} −40~V _{DD} +0.3	
出力電流 (1端子当り)	I _{OUT1}	P0, P1, P2, P3, P4, P5ポート	3.2	mA
	I _{OUT2}	P8, P9ポート (セグメント出力)	−12	
	I _{OUT3}	P6, P7ポート (デジット出力)	−25	
出力電流 (全端子総計)	Σ I _{OUT1}	P0, P1, P2, P3, P4, P5ポート	120	mA
	Σ I _{OUT2}	P6, P7, P8, P9ポート	−120	
消費電力 [T _{opr} = 70°C]	PD		350	mW
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C
保存温度	T _{stg}		−55~125	°C
動作温度	T _{opr}		−30~70	°C
注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。 絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。				

推 奨 動 作 条 件

(V_{SS} = 0 V, T_{opr} = −30~70°C)

項 目	記 号	端 子	条 件	Min	Max	単 位
電 源 電 圧	V _{DD}		fc = 8 MHz	NORMAL1, 2 モード時	5.5	V
				IDLE1, 2 モード時		
			fc = 4 MHz	NORMAL1, 2 モード時		
				IDLE1, 2 モード時		
			fs = 32.768 kHz	SLOW モード時		
				SLEEP モード時		
				STOP モード時	2.0	
高レベル 入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	V
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
	V _{IH3}		V _{DD} < 4.5 V	V _{DD} × 0.90		
低レベル 入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	V
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
	V _{IL3}		V _{DD} < 4.5 V		V _{DD} × 0.10	
クロック周波数	fc	XIN, XOUT	V _{DD} = 4.5~5.5 V	0.4	8.0	MHz
			V _{DD} = 2.7~5.5 V		4.2	
	fs	XTIN, XTOUT		30.0	34.0	kHz

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数 fc： 条件の電源電圧範囲は、NORMAL1, 2モード時およびIDLE1, 2モード時の値を示す。

DC 特 性		(V _{SS} =0 V, Topr= −30~70°C)					
項 目	記 号	端 子	条 件	Min	Typ.	Max	単位
ヒステリシス電圧	V _{HS}	ヒステリシス入力		−	0.9	−	V
入 力 電 流	I _{IN1}	TEST	V _{DD} =5.5 V V _{IN} =5.5 V/0 V	−	−	±2	μA
	I _{IN2}	オープンドレインポート, トライステートポート					
	I _{IN3}	RESET, STOP					
入力抵抗	R _{IN1}	入力抵抗付きP4ポート		30	70	150	kΩ
	R _{IN2}	RESET		100	220	450	
ブルダウン抵抗	R _K	ソースオープンドレイン	V _{DD} =5.5 V, V _{KK} =−33 V	−	80	−	
出力リーク電流	I _{LO1}	シンクオープンドレイン	V _{DD} =5.5 V, V _{OUT} =5.5 V	−	−	2	μA
	I _{LO2}	ソースオープンドレイン	V _{DD} =5.5 V, V _{OUT} =−33 V	−	−	−2	
	I _{LO3}	トライステートポート	V _{DD} =5.5 V, V _{OUT} =5.5 V/0 V	−	−	±2	
高レベル出力電圧	V _{OH2}	トライステートポート	V _{DD} =4.5 V, I _{OH} =−0.7 mA	4.1	−	−	V
	V _{OH3}	P8, P9ポート	V _{DD} =4.5 V, I _{OH} =−5 mA	2.4	−	−	
低レベル出力電圧	V _{OL}	XOUTを除く	V _{DD} =4.5 V, I _{OL} =1.6 mA	−	−	0.4	V
高レベル出力電流	I _{OH}	P6, P7ポート	V _{DD} =4.5 V, V _{OH} =2.4 V	−	−15	−	mA
NORMAL1, 2 モード時 電源電流	I _{DD}		V _{DD} =5.5 V V _{IN} =5.3 V/0.2 V fc=8 MHz fs=32.768 kHz	−	11	17	mA
IDLE1, 2 モード時電源電流			−	4.5	6		
SLOWモード時 電源電流			V _{DD} =3.0 V V _{IN} =2.8 V/0.2 V fs=32.768 kHz	−	30	60	μA
SLEEPモード時 電源電流			−	15	30		
STOPモード時 電源電流			V _{DD} =5.5 V V _{IN} =5.3 V/0.2 V	−	0.5	10	μA

注1) Typ.値は、T_{opr} = 25°C, V_{DD} = 5 V時の値を示す。

注2) 入力電流 I_{IN1}, I_{IN3}: プルアップまたはブルダウン抵抗を内蔵している場合、抵抗による電流を除きます。

注3) AD変換動作中は、Typ.1.2 mAの電源電流をさらに消費します。

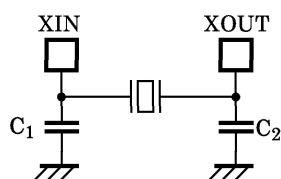
AD変換特性		(V _{SS} =0 V, V _{DD} =2.7/4.5~5.5 V, T _{opr} = -30~70°C)					
項 目	記号	端 子	条 件	Min	Typ.	Max	単位
アナログ入力電圧範囲	V _{CIN}	CIN5~CIN0		V _{SS}	—	V _{DD}	V
変換誤差			V _{DD} =5.0 V	—	—	±1.5	LSB

AC 特 性

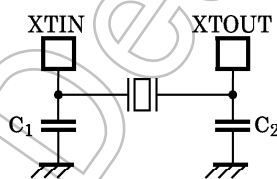
(V_{SS}=0 V, V_{DD}=2.7/4.5~5.5 V, T_{opr}=-30~70°C)

項 目	記 号	条 件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時	0.5	—	10	μs
		IDLE1, 2モード時				
		SLOWモード時	117.6	—	133.3	
		SLEEPモード時				
高レベルクロックパルス幅	tWCH	外部クロック動作 (XIN入力) fc = 8 MHz時	50	—	—	ns
低レベルクロックパルス幅	tWCL					
高レベルクロックパルス幅	tWSH	外部クロック動作 (XTIN入力) fs = 32.768 kHz時	14.7	—	—	μs
低レベルクロックパルス幅	tWSL					

推奨発振条件

(V_{SS}=0 V, V_{DD}=2.7/4.5~5.5 V, T_{opr}=-30~70°C)

(1) 高周波発振



(2) 低周波発振

注1) 高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

注2) 村田製発振子は、型番・仕様の切り替えが随時行われております。詳細に付きましては、下記アドレスの同社ホームページをご参照ください。

http://www.murata.co.jp/search/index_j.html