

TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900 シリーズ

TMP96PM40FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社16ビットマイクロコントローラTLCS-900シリーズ、TMP96PM40をご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホールト状態からの解除に関する注意事項

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間(X1約3クロックの間)に、ホールトモードを解除可能な割り込み(NMI, INT0)が入力されても、ホールトが解除できない場合があります(割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

本文中製品名称 (旧名称)	正式名称 (新名称)
TMP96PM40F	TMP96PM40FG

修正対象項目 2. パッケージ名称及び寸法

本文中パッケージ名称 (旧名称)	正式パッケージ名称 (新名称)
QFP80-P-1420-0.80B	QFP80-P-1420-0.80B

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5秒間 1回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5秒間 1回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田 付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

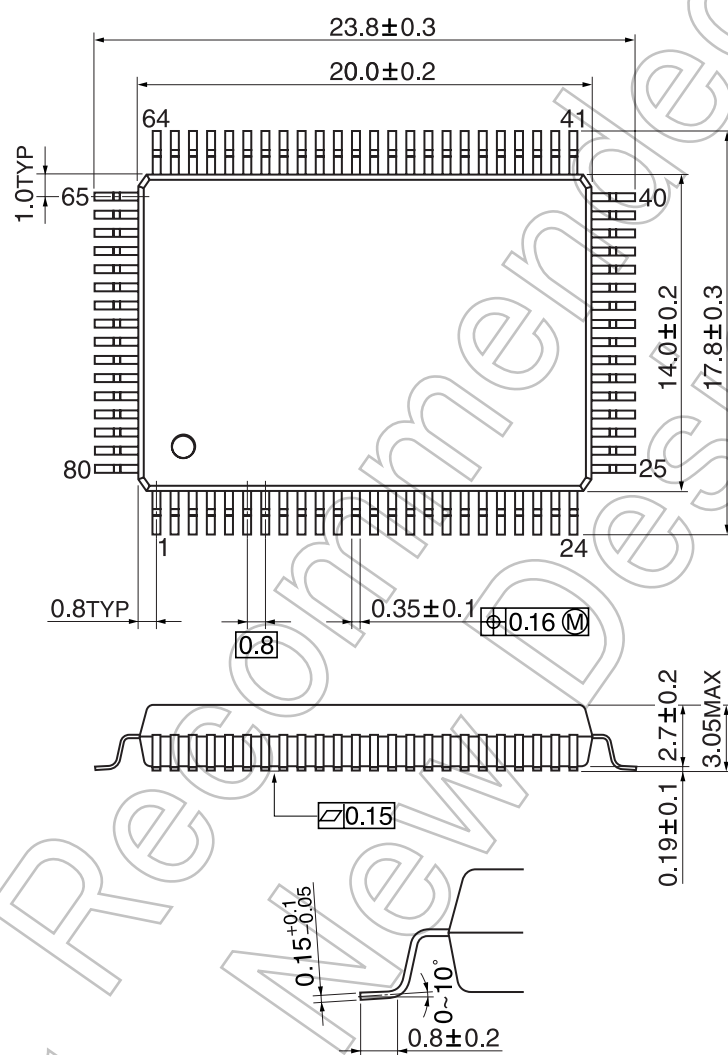
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようにご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

本製品の発行日は、付加ページ右下にも記入の「2008-02-20」です。

パッケージ外形寸法図

單位: mm



CMOS 16ビット マイクロコントローラ

TMP96PM40F

1. 概要と特長

TMP96PM40は、各種の中規模から大規模機器までの制御用として開発された、高速・高機能16ビットマイクロコントローラです。TMP96C141BはROMなし製品、TMP96CM40はMROM内蔵製品、TMP96PM40はPROM内蔵製品です。

TMP96PM40は、アダプタソケットを用いることにより、汎用EPROMライタ (TC571000 モード) で書き込み/ペリファイを行うことができます。

TMP96PM40は、マスクROM製品のTMP96CM40とピンコンパチブルのため、内蔵のPROMにプログラムを書き込むことによりTMP96CM40と同一の動作を行います。

TMP96PM40Fは、80ピンフラットパッケージ製品です。

製品形名	ROM	RAM	パッケージ	アダプタソケット 形名
TMP96PM40F	OTP 32K×8 bit	1K×8 bit	80-QFP	BM1139A

000629TBP1

●マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので、必ずお読みください。

●当社は品質・信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

●なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。

●本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途"という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

●本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。

●本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

●本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

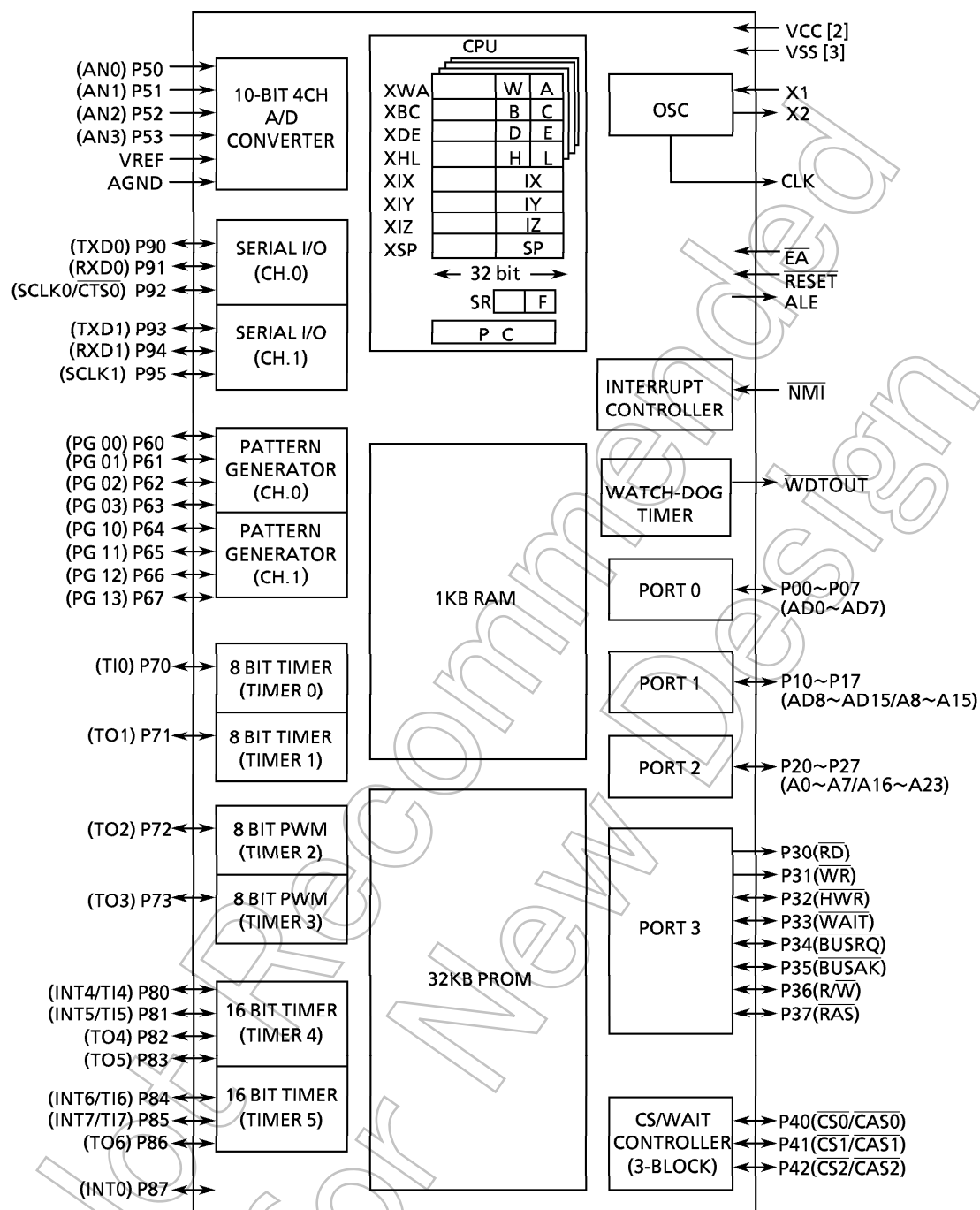


図1 TMP96PM40ブロック図

2. ピン配置とピン機能

TMP96PM40のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピンの配置図

TMP96PM40Fピン配置図は、図2.1のとおりです。

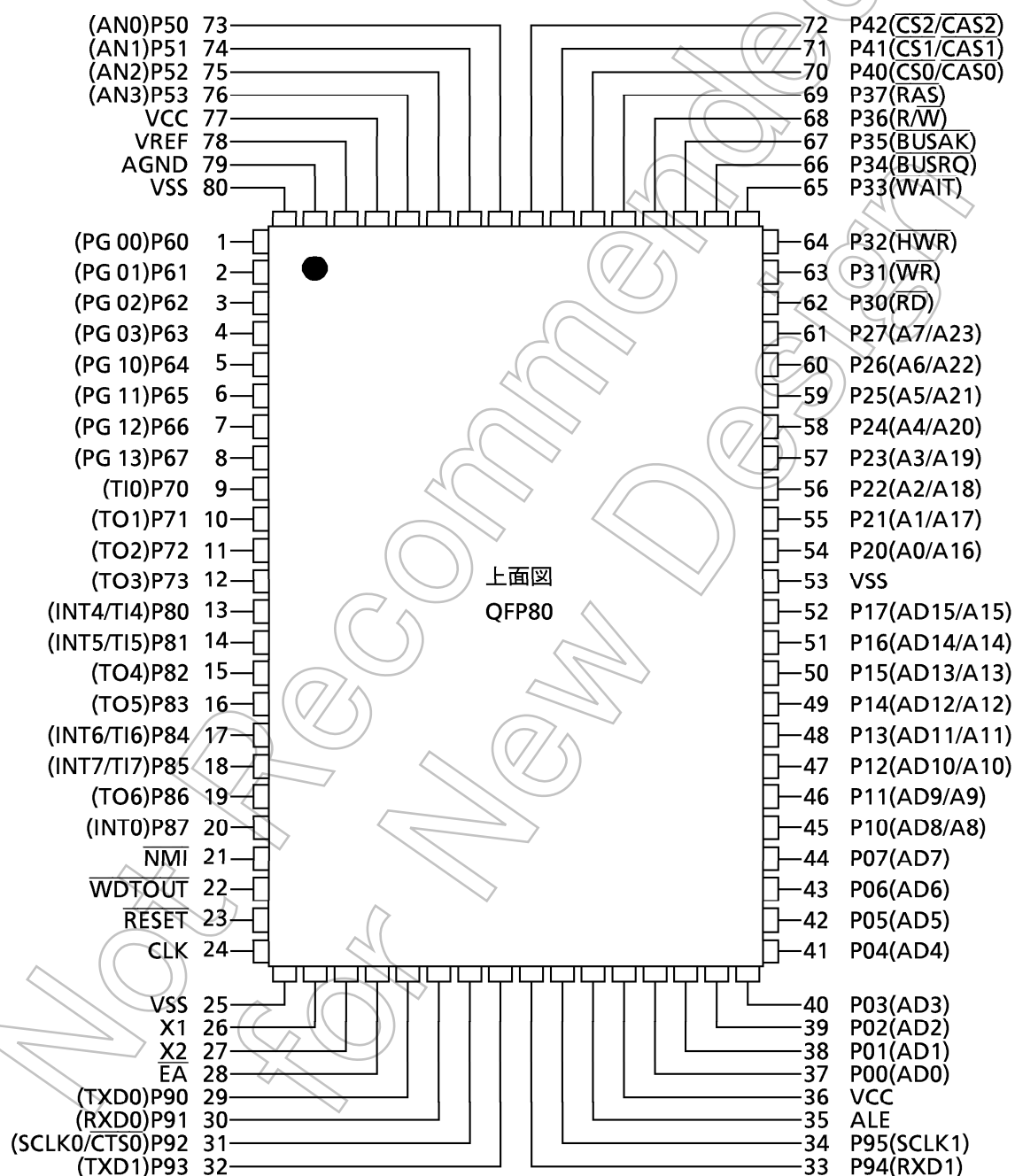


図 2.1 ピン配置図 (80ピン QFP)

2.2 ピン名称と機能

TMP96PM40には、MCUモードとPROMモードがあります。

(1) MCUモードのピン機能 (TMP96CM40とピンコンパチブルです)

表2.2 (1) (1/4)

ピン名称	ピン数	入出力	機 能
P00~P07 AD0~AD7	8	入出力 3ステート	ポート0: ビット単位で入出力の設定ができる入出力ポートです。 アドレスデータ (下位): アドレス/データバス0~7です。
P10~P17 AD8~AD15 A8~A15	8	入出力 3ステート 出力	ポート1: ビット単位で入出力の設定ができる入出力ポートです。 アドレスデータ (上位): アドレス/データバス8~15です。 アドレス: アドレスバス8~15です。
P20~P27 A0~A7 A16~A23	8	入出力 出力 出力	ポート2: ビット単位で入出力の設定ができる入出力ポートです。 (プルダウン付) アドレス: アドレスバス0~7です。 アドレス: アドレスバス16~23です。
P30 RD	1	出力 出力	ポート30: 出力ポートです。 リード: 外部メモリをリードするためのストローク信号です。
P31 WR	1	出力 出力	ポート31: 出力ポートです。 ライト: AD0~7端子のデータをライトするためのストローク信号です。
P32 HWR	1	入出力 出力	ポート32: 入出力ポートです。(プルアップ付) 上位ライト: AD8~15端子のデータをライトするためのストローク信号です。
P33 WAIT	1	入出力 入力	ポート33: 入出力ポートです。(プルアップ付) ウェイト: CPUへのバスウェイト要求端子です。
P34 BUSRQ	1	入出力 入力	ポート34: 入出力ポートです。(プルアップ付) バスリクエスト: AD0 - 15, A0 - 23, RD, WR, HWR, R/W, RAS, CS0, CS1, CS2端子を、ハイインピーダンスにすることを要求する信号です。(外付けDMAC用)
P35 BUSAK	1	入出力 出力	ポート35: 入出力ポートです。(プルアップ付) バスアクノリッジ: BUSRQを受けてAD0 - 15, A0 - 23, RD, WR, HWR, R/W, RAS, CS0, CS1, CS2端子が、ハイインピーダンスになったことを示す信号です。(外付けDMAC用)
P36 R/W	1	入出力 出力	ポート36: 入出力ポートです。(プルアップ付) リード/ライト: "1"でリードサイクルまたはダミーサイクルを、 "0"でライトサイクルを示します。
P37 RAS	1	入出力 出力	ポート37: 入出力ポートです。(プルアップ付) ローアドレスストローク: DRAM用"RAS"ストロークを出力します。

(注) BUSRQ, BUSAK端子による外付けDMAコントローラでは、本デバイスの内蔵メモリおよび内蔵I/Oは、アクセスできません。

表2.2 (1) (2/4)

ピン名称	ピン数	入出力	機 能
P40 CS0 CAS0	1	入出力 出力 出力	ポート40: 入出力ポートです。(プルアップ付) チップセレクト0: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストローク0: アドレスが、指定したアドレス領域内なら、DRAM用“CAS”ストロークを出力します。
P41 CS1 CAS1	1	入出力 出力 出力	ポート41: 入出力ポートです。(プルアップ付) チップセレクト1: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストローク1: アドレスが、指定したアドレス領域内なら、DRAM用“CAS”ストロークを出力します。
P42 CS2 CAS2	1	入出力 出力 出力	ポート42: 入出力ポートです。(プルダウン付)(注1) チップセレクト2: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストローク2: アドレスが、指定したアドレス領域内なら、DRAM用“CAS”ストロークを出力します。
P50~P53 AN0~AN3	4	入力 入力	ポート5: 入力ポートです。 アナログ入力: A/Dコンバータの入力です。
VREF	1	入力	A/Dコンバータ用基準電圧入力端子
AGND	1	入力	A/Dコンバータ用GND端子
P60~P63 PG00~PG03	4	入出力 出力	ポート60~63: ビット単位で入出力の設定ができる入出力ポートです。(プルアップ付) パターンジェネレータポート00~03
P64~P67 PG10~PG13	4	入出力 出力	ポート64~67: ビット単位で入出力の設定ができる入出力ポートです。(プルアップ付) パターンジェネレータポート10~13
P70 TI0	1	入出力 入力	ポート70: 入出力ポートです。(プルアップ付) タイマ入力0: タイマ0の入力です。
P71 TO1	1	入出力 出力	ポート71: 入出力ポートです。(プルアップ付) タイマ出力1: タイマ0またはタイマ1の出力です。
P72 TO2	1	入出力 出力	ポート72: 入出力ポートです。(プルアップ付) PWM出力2: 8ビットPWMタイマ2の出力
P73 TO3	1	入出力 出力	ポート73: 入出力ポートです。(プルアップ付) PWM出力3: 8ビットPWMタイマ3の出力
P80 TI4 INT4	1	入出力 入力 入力	ポート80: 入出力ポートです。(プルアップ付) タイマ入力4: タイマ4のカウント/キャプチャトリガ入力になります。 割り込み要求端子4: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
P81 TI5 INT5	1	入出力 入力 入力	ポート81: 入出力ポートです。(プルアップ付) タイマ入力5: タイマ4のカウント/キャプチャトリガ入力になります。 割り込み要求端子5: 立ち上がりエッジの割り込み要求端子です。

(注1) CS2またはCAS2に設定されている場合のバス解放時には、プルダウン抵抗ではなくプルアップ抵抗が付加されます。

表2.2 (1) (3/4)

ピン名称	ピン数	入出力	機 能
P82 TO4	1	入出力 出力	ポート82: 入出力ポートです。(プルアップ付) タイマ出力4: タイマ4の出力端子
P83 TO5	1	入出力 出力	ポート83: 入出力ポートです。(プルアップ付) タイマ出力5: タイマ4の出力端子
P84 TI6 INT6	1	入出力 入力 入力	ポート84: 入出力ポートです。(プルアップ付) タイマ入力6: タイマ5のカウント/キャプチャトリガ入力になります。 割り込み要求端子6: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
P85 TI7 INT7	1	入出力 入力 入力	ポート85: 入出力ポートです。(プルアップ付) タイマ入力7: タイマ5のカウント/キャプチャトリガ入力になります。 割り込み要求端子7: 立ち上がりエッジの割り込み要求端子です。
P86 TO6	1	入出力 出力	ポート86: 入出力ポートです。(プルアップ付) タイマ出力6: タイマ5の出力端子
P87 INT0	1	入出力 入力	ポート87: 入出力ポートです。(プルアップ付) 割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。
P90 TXD0	1	入出力 出力	ポート90: 入出力ポートです。(プルアップ付) シリアル送信データ0
P91 RXD0	1	入出力 入力	ポート91: 入出力ポートです。(プルアップ付) シリアル受信データ0
P92 CTS0 SCLK0	1	入出力 入力 入出力	ポート92: 入出力ポートです。(プルアップ付) シリアルデータ送信可能0(Clear To Send) シリアルクロック入出力0
P93 TXD1	1	入出力 出力	ポート93: 入出力ポートです。(プルアップ付) シリアル送信データ1
P94 RXD1	1	入出力 入力	ポート94: 入出力ポートです。(プルアップ付) シリアル受信データ1
P95 SCLK1	1	入出力 入出力	ポート95: 入出力ポートです。(プルアップ付) シリアルクロック入出力1
WDTOUT	1	出力	ウォッチドッグタイマ出力端子
NMI	1	入力	ノンマスクブル割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも動作させられます。
CLK	1	出力	クロック出力: 「X1÷4」のクロックが出力されます。リセット期間中は、プルアップされます。
EA	1	入力	外部アクセス: TMP96C141Bでは、「0」にします。 TMP96CM40/TMP96PM40では、「1」にします。
ALE	1	出力	アドレスラッチイネーブル
RESET	1	入力	リセット: LSIを初期化します。(プルアップ付)
X1/X2	2	入力/出力	発振子接続端子

表2.2 (1) (4/4)

ピン名称	ピン数	入出力	機 能
VCC	2		電源端子 (+5 V) (全VCC端子を電源に接続してください。)
VSS	3		GND端子 (0 V) (全VSS端子をGND (0 V) に接続してください。)

(補足) **RESET**端子以外のプルアップ/プルダウン抵抗付端子は、ソフトウェアによりその抵抗を端子から開放することができます。

Not Recommended
for New Design

(2) PROMモードのピン機能と端子の処理

表2.2 (2) PROMモード名称と機能, 端子の処理

ピン機能名称	ピン数	入出力	機 能	端子名 (MCUモード時)
A7~A0	8	入 力	プログラムメモリアドレス入力	P27~P20
A15~A8	8	入 力		P17~P10
A16	1	入 力		P33
D7~D0	8	入出力	プログラムメモリデータ入力/出力	P07~P00
$\overline{CE}$	1	入 力	チップイネーブル入力	P32
$\overline{OE}$	1	入 力	出力コントロール入力	P30
$\overline{PGM}$	1	入 力	プログラムコントロール入力	P31
VPP	1	電 源	12.75 V / 5 V (プログラム電源)	EA
VCC	2	電 源	6.25 V / 5 V	VCC
VSS	3	電 源	0 V	VSS
ピン名称	ピン数	入出力	端 子 の 処 理	
P34	1	入 力	"0" レベルに固定 (セキュリティ端子)	
RESET	1	入 力	"0" レベルに固定 (PROMモードに設定)	
CLK	1	入 力		
ALE	1	出 力	開放	
X1	1	入 力	発振子を取り付け自己発振させてください。	
X2	1	出 力		
P95~P94, VREF	3	入 力	"H" レベルに固定	
AGND	1	入 力	0 V	
P37~P35 P42~P40 P53~P50 P67~P60 P73~P70 P87~P80 $\overline{NMI}$, $\overline{WDTOUT}$ P93~P90	36	入出力	開放	

3. 動作説明

TMP96PM40についてハードウェアの構成およびその動作を説明します。

TMP96PM40は、TMP96CM40の内蔵マスクROMをPROMとしたものです。その他の構成および機能はTMP96CM40と同一です。従ってここに記載されていない機能については、ポート/バス解放機能はTMP96CM40を、それ以外の機能はTMP96C141Bを参照してください。動作モードはMCUモードとPROMモードがあります。

表3. TMP96C141B/TMP96CM40/TMP96PM40 相違点

項 目	TMP96C141B	TMP96CM40	TMP96PM40
内蔵ROM	なし	マスクROM32Kバイト	PROM32Kバイト
P00~P07, AD0~AD7	AD0~AD7固定	リセット後、P00~P07	
P10~P17, AD8~AD15, A8~A15	AD8~AD15固定	リセット後、P10~P17	
P30, $\overline{RD}$	RD固定	リセット後、P30	
P31, $\overline{WR}$	$\overline{WR}$ 固定	リセット後、P31	
バス開放時の端子状態	TMP96C141B 表3.5 (1) 参照	TMP96CM40 表3.3 (1) 参照	

3.1 MCUモード

(1) モード設定および機能

CLK端子を開放(出力状態)にすることによりMCUモードとなります。

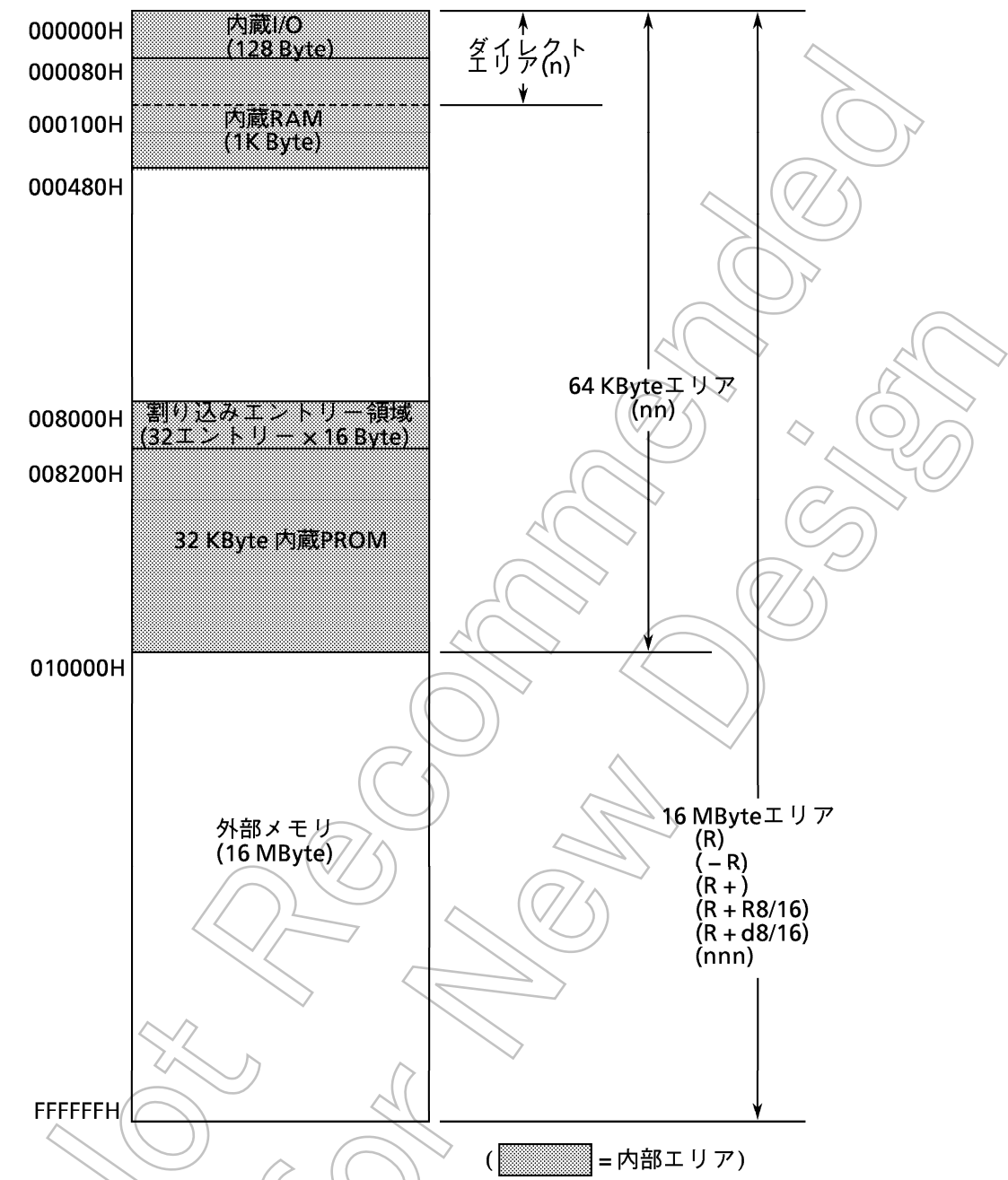
MCUモードでの動作は、TMP96CM40と同一です。

(2) メモリマップ

TMP96PM40のメモリマップは、TMP96CM40と同一です。

図3.1にメモリマップとCPUの各アドレッシングモードのアクセス範囲を示します。

TMP96PM40のメモリマップを、図3.1に示します。



(補足) リセット後のスタートアドレスは、8000Hです。また、リセットにより、システムモード側のスタックポインタ“XSP”は、100Hにセットされます。

図3.1 メモリマップ

3.2 PROMモード

(1) モード設定および機能

$\overline{\text{RESET}}$, CLK端子を“L”レベルとすることによりPROMモードになります。

PROMモードでは、汎用PROMライタを用いてプログラムの書き込み/ベリファイを行うことができます。汎用PROMライタのROM TYPEは次に示す条件を使用してください (ROMタイプはTC571000D相当に設定してください)。

サイズ : 1 Mbit (128K×8 bit) VPP : 12.75 V TPW : 0.1 ms

エレクトリックシグネチャー機能 : なし

PROMモードの端子設定を図3.2に示します。

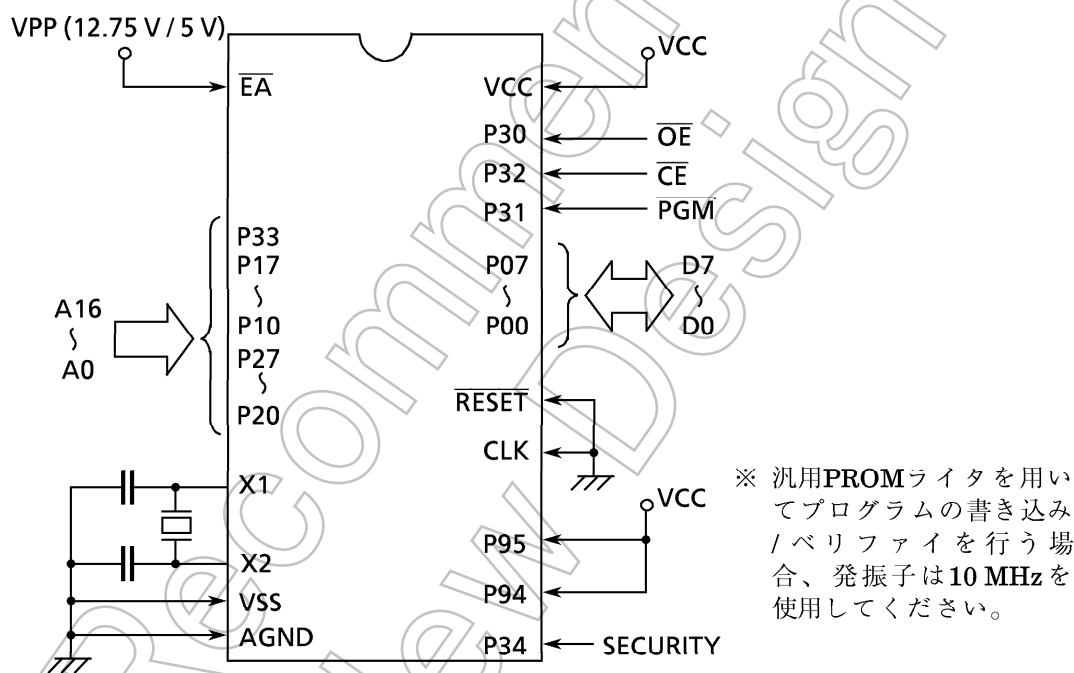


図3.2 PROMモードの端子設定

(2) 書き込みフローチャート

VCC=6.25 Vかつ $\overline{\text{RESET}}$, CLK端子に“L”レベル入力の状態、VPP=12.75 Vのプログラム電圧を印加することによりプログラムモードとなります。

アドレスおよび入力データを確定し $\overline{\text{CE}}$ を“L”レベル入力の状態にした後PGM入力に0.1 msプログラム(単一)パルスを加えることにより、データが書き込まれます。1アドレスごとにデータが書き込まれているかベリファイを行い、正しく書き込まれていない場合は再び0.1 msのプログラムパルスを加え正しく書き込まれるまで(最大25回)この操作を繰り返します。以降、アドレス、入力データを変え同様に書き込みを行います。すべての書き込みが終了したら、VCC=VPP=5 Vに設定し全アドレスのベリファイを行います。

図3.3にフローチャートを示します。

高速プログラム方式

フローチャート

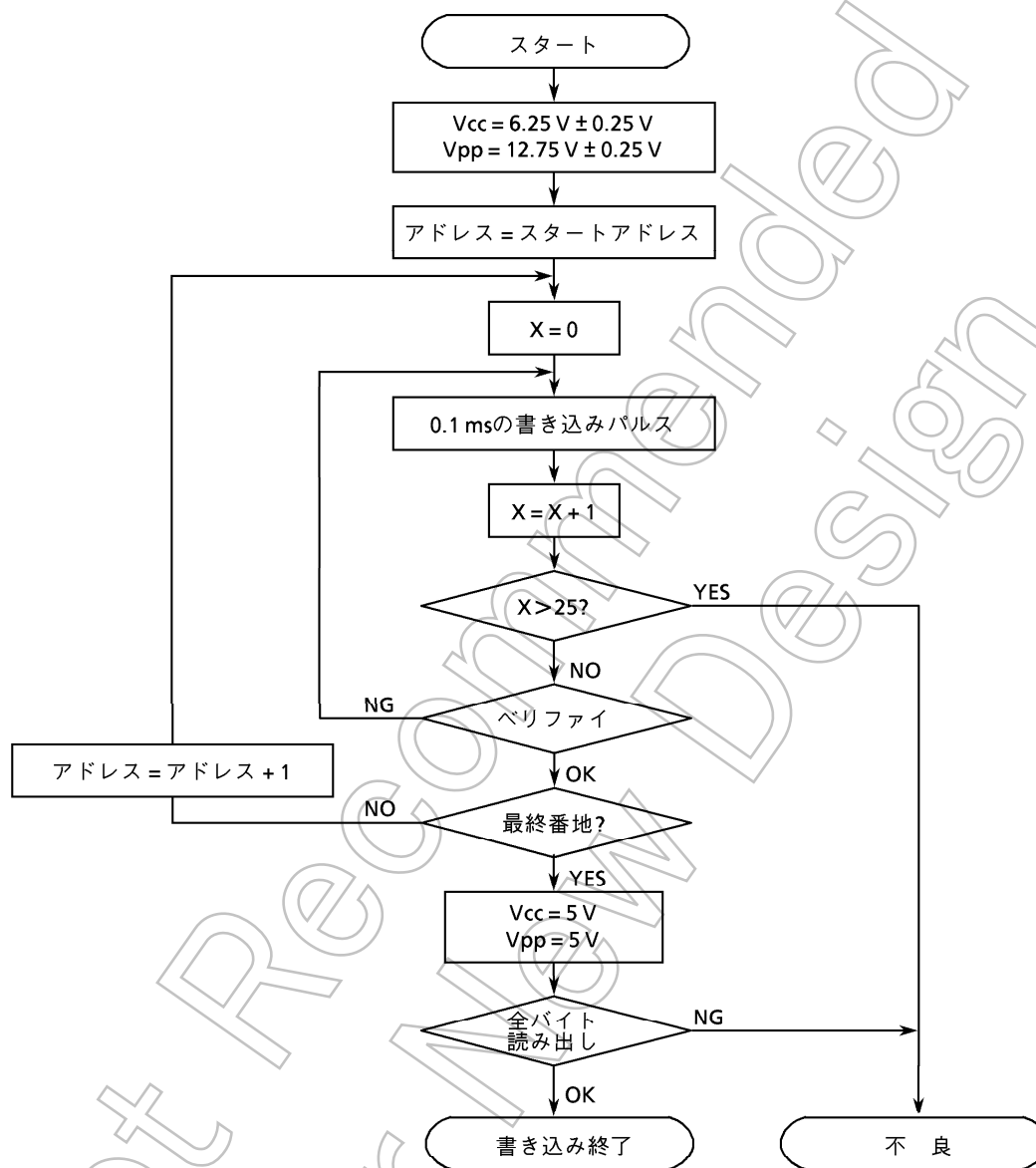


図3.3 フローチャート

(3) セキュリティビット

TMP96PM40はPROMセルの中にセキュリティビット (1ビット) を内蔵しています。このセキュリティビットに“0”を書き込むことにより内蔵PROMのデータをPROMモードで読めなくすることができます。

セキュリティビットのプログラム方法

PROMモード状態においてSecurity端子 (Port34) を“1”, アドレス000000Hに設定し、DATA “FE_H”を書き込みます。以上により内蔵PROMにセキュリティをかけることができます。

4. 電気的特性

4.1 最大定格

項 目	記 号	定 格	単 位
電源電圧	V _{CC}	-0.5~6.5	V
入力電圧	V _{IN}	-0.5~V _{CC} +0.5	V
出力電流 (合計)	Σ I _{OL}	100	mA
出力電流 (合計)	Σ I _{OH}	-100	mA
消費電力 (Ta = 85℃)	P _D	500	mW
はんだ付け温度 (10 s)	T _{SOLDER}	260	℃
保存温度	T _{STG}	-65~150	℃
動作温度	T _{OPR}	-40~85	℃

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC電気的特性

V_{CC} = 5 V ± 10%, Ta = -40~85℃ (4~16 MHz) Ta = -20~70℃ (4~20 MHz)

(Typ値はTa = 25℃, V_{CC} = 5 Vの値です)

項 目	記 号	条 件	Min	Max	単位
Input Low Voltage (AD0 - 15)	V _{IL}		-0.3	0.8	V
P2, P3, P4, P5, P6, P7, P8, P9	V _{IL1}		-0.3	0.3 V _{CC}	V
RESET, NMI, INT0 (P87)	V _{IL2}		-0.3	0.25 V _{CC}	V
EA	V _{IL3}		-0.3	0.3	V
X1	V _{IL4}		-0.3	0.2 V _{CC}	V
Input High Voltage (AD0 - 15)	V _{IH}		2.2	V _{CC} + 0.3	V
P2, P3, P4, P5, P6, P7, P8, P9	V _{IH1}		0.7 V _{CC}	V _{CC} + 0.3	V
RESET, NMI, INT0 (P87)	V _{IH2}		0.75 V _{CC}	V _{CC} + 0.3	V
EA	V _{IH3}		V _{CC} - 0.3	V _{CC} + 0.3	V
X1	V _{IH4}		0.8 V _{CC}	V _{CC} + 0.3	V
Output Low Voltage	V _{OL}	I _{OL} = 1.6 mA		0.45	V
Output High Voltage	V _{OH}	I _{OH} = -400 μA	2.4		V
	V _{OH1}	I _{OH} = -100 μA	0.75 V _{CC}		V
	V _{OH2}	I _{OH} = -20 μA	0.9 V _{CC}		V
Darlington Drive Current (8 Output Pins max.)	I _{DAR}	V _{EXT} = 1.5 V R _{EXT} = 1.1 kΩ	-1.0	-3.5	mA
Input Leakage Current	I _{LI}	0.0 ≤ V _{in} ≤ V _{CC}	0.02 (Typ)	± 5	μA
Output Leakage Current	I _{LO}	0.2 ≤ V _{in} ≤ V _{CC} - 0.2	0.05 (Typ)	± 10	μA
Operating Current (RUN)	I _{CC}	f _C = 20 MHz	30 (Typ)	50	mA
IDLE			2.0 (Typ)	10	mA
STOP (Ta = -40~85℃)		0.2 ≤ V _{in} ≤ V _{CC} - 0.2	0.2 (Typ)	50	μA
STOP (Ta = 0~50℃)		0.2 ≤ V _{in} ≤ V _{CC} - 0.2		10	μA
Power Down Voltage (@ STOP, RAM Back up)	V _{STOP}	V _{IL2} = 0.2 V _{CC} , V _{IH2} = 0.8 V _{CC}	2.0	6.0	V
RESET Pull Up Resistor	R _{RST}		50	150	kΩ
Pin Capacitance	C _{IO}	f _C = 1 MHz		10	pF
Schmitt Width (RESET, NMI, INT0 (P87))	V _{TH}		0.4	1.0 (Typ)	V
Programable Pull Down Resistor	R _{KL}		10	80	kΩ
Programable Pull Up Resistor	R _{KH}		50	150	kΩ

(注) I-DARは、任意の出力ポートについて、V_{CC}ピンどうしの間でそれぞれ8本まで保証します。

4.3 AC電気的特性

Vcc = 5 V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

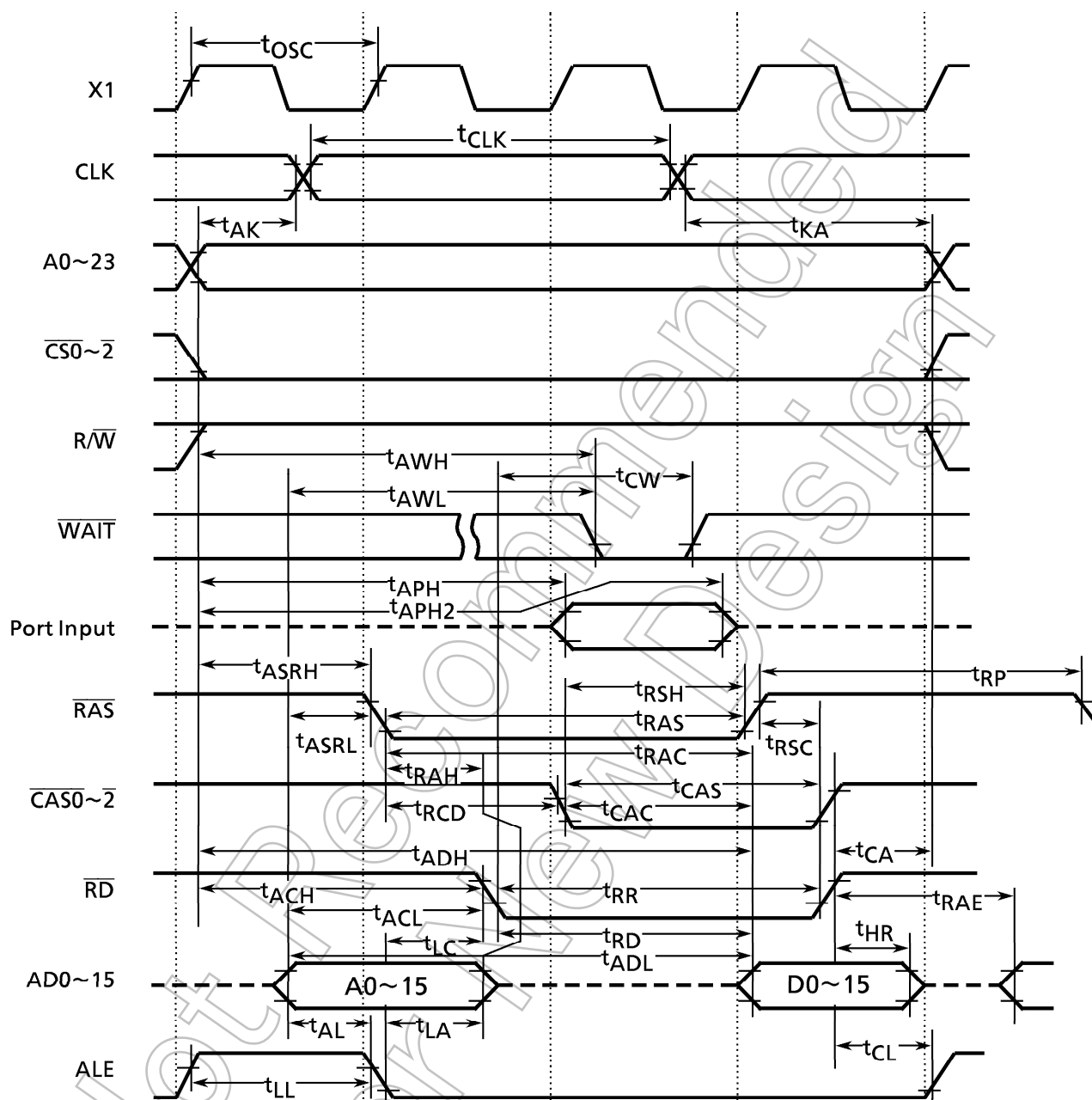
No.	項 目	記号	計算式		16 MHz		20 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	tOSC	50	250	62.5		50		ns
2	CLK パルス幅	tCLK	2x - 40		85		60		ns
3	A0-23 有効→CLK保持	tAK	0.5x - 20		11		5		ns
4	CLK 有効→A0-23保持	tKA	1.5x - 70		24		5		ns
5	A0-15 有効→ALE立ち下がり	tAL	0.5x - 15		16		10		ns
6	ALE 立ち下がり→A0-15保持	tLA	0.5x - 15		16		10		ns
7	ALE High パルス幅	tLL	x - 40		23		10		ns
8	ALE 立ち下がり→RD/WR立ち下がり	tLC	0.5x - 30		1		-5		ns
9	RD/WR 立ち上がり→ALE立ち上がり	tCL	0.5x - 20		11		5		ns
10	A0-15 有効→RD/WR立ち下がり	tACL	x - 25		38		25		ns
11	A0-23 有効→RD/WR立ち下がり	tACH	1.5x - 50		44		25		ns
12	RD/WR 立ち上がり→A0-23保持	tCA	0.5x - 20		11		5		ns
13	A0-15 有効→D0-15入力	tADL*		3.0x - 55		133		95	ns
14	A0-23 有効→D0-15入力	tADH		3.5x - 65		154		110	ns
15	RD立ち下がり →D0-15入力	tRD		2.0x - 50		75		50	ns
16	RD Low パルス幅	tRR	2.0x - 40		85		60		ns
17	RD立ち上がり→D0-15保持	tHR	0		0		0		ns
18	RD立ち上がり→A0-15出力	tRAE	x - 15		48		35		ns
19	WR Low パルス幅	tWW	2.0x - 40		85		60		ns
20	D0-15 有効→WR立ち上がり	tDW	2.0x - 50		75		50		ns
21	WR立ち上がり →D0-15保持	tWD	0.5x - 10		21		15		ns
22	A0-23 有効→ WAIT 入力 (1 WAIT + n モード)	tAWH		3.5x - 90		129		85	ns
23	A0-15 有効→ WAIT 入力 (1 WAIT + n モード)	tAWL		3.0x - 80		108		70	ns
24	RD/WR立ち下がり→WAIT保持 (1 WAIT + n モード)	tCW	2.0x + 0		125		100		ns
25	A0-23 有効→ PORT 入力	tAPH		2.5x - 120		36		5	ns
26	A0-23 有効→ PORT 保持	tAPH2	2.5x + 50		206		175		ns
27	WR立ち上がり→PORT 有効	tCP		200		200		200	ns
28	A0-23 有効→RAS立ち下がり	tASRH	1.0x - 40		23		10		ns
29	A0-15 有効→RAS立ち下がり	tASRL	0.5x - 15		16		10		ns
30	RAS 立ち下がり→D0-15入力	tRAC		2.5x - 70		86		55	ns
31	RAS 立ち下がり→A0-15保持	tRAH	0.5x - 15		16		10		ns
32	RAS Low パルス幅	tRAS	2.0x - 40		85		60		ns
33	RAS High パルス幅	tRP	2.0x - 40		85		60		ns
34	CAS 立ち下がり→RAS立ち上がり	tRSH	1.0x - 35		28		15		ns
35	RAS 立ち上がり→CAS立ち上がり	tRSC	0.5x - 25		6		0		ns
36	RAS 立ち下がり→CAS立ち下がり	tRCD	1.0x - 40		23		10		ns
37	CAS 立ち下がり→D0-15入力	tCAC		1.5x - 65		29		10	ns
38	CAS Low パルス幅	tCAS	1.5x - 30		64		40		ns

*tADLについては、TMP96C141B/TMP96CM40とスペック値が異なります。

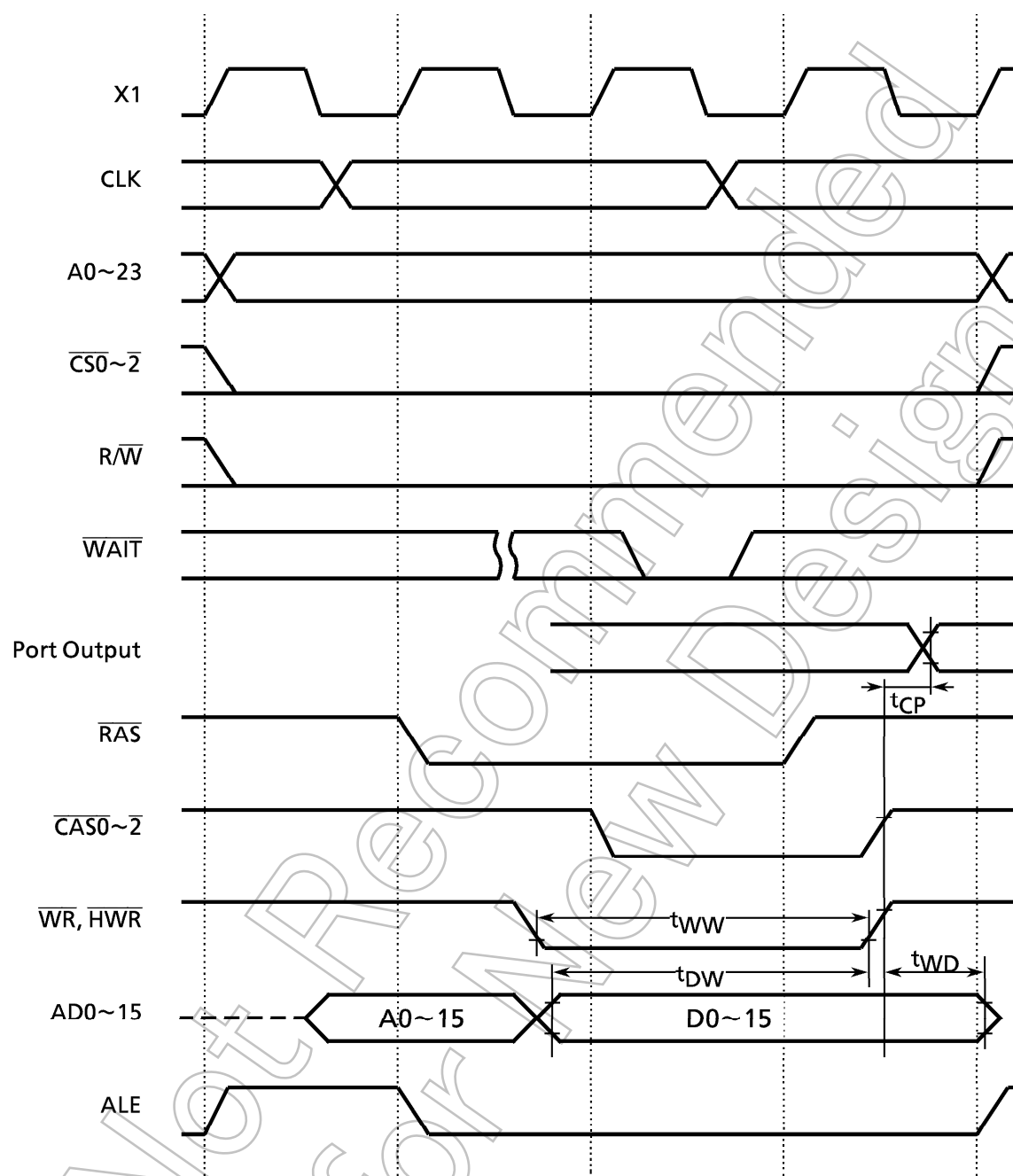
AC測定条件

- 出力レベル : High 2.2 V /Low 0.8 V , CL = 50 pF
(ただし、AD0~AD15, A0~A23, ALE, RD, WR, HWR, R/W, CLK, RAS, CAS0~CAS2は, CL = 100 pF)
- 入力レベル : High 2.4 V /Low 0.45 V (AD0~AD15)
High 0.8 Vcc /Low 0.2 Vcc (AD0~AD15を除く)

(1) リードサイクル



(2) ライトサイクル



4.4 A/D 変換特性

 $V_{CC} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim 85^\circ\text{C}$ (4~16 MHz) $T_a = -20 \sim 70^\circ\text{C}$ (4~20 MHz)

項 目	記 号	Min	Typ	Max	単 位
アナログ基準電圧	V_{REF}	$V_{CC} - 1.5$		V_{CC}	V
アナログ基準電圧	A_{GND}	V_{SS}		V_{SS}	
アナログ入力電圧範囲	V_{AIN}	V_{SS}		V_{CC}	
アナログ基準電圧電源電流	I_{REF}		0.5	1.5	mA
$4 \leq f_c \leq 16\text{ MHz}$	低速変換モード	総合誤差(量子化誤差 $\pm 0.5\text{LSB}$ 含まず)	± 1.5	± 4.0	LSB
	高速変換モード		± 3.0	± 6.0	
$16 < f_c \leq 20\text{ MHz}$	低速変換モード		± 1.5	± 4.0	
	高速変換モード		± 4.0	± 8.0	

4.5 シリアルチャネルタイミング - I/O インタフェースモード

(1) SCLK 入力モード

 $V_{CC} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim 85^\circ\text{C}$ (4~16 MHz) $T_a = -20 \sim 70^\circ\text{C}$ (4~20 MHz)

項 目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X		1		0.8		μs
Output Data $\rightarrow$ SCLK 立ち上がり	t_{OSS}	$t_{SCY}/2 - 5X - 50$		137		100		ns
SCLK 立ち上がり $\rightarrow$ Output Data 保持	t_{OHS}	$5X - 100$		212		150		ns
SCLK 立ち上がり $\rightarrow$ Input Data 保持	t_{HSR}	0		0		0		ns
SCLK 立ち上がり $\rightarrow$ 有効 Data 入力	t_{SRD}		$t_{SCY} - 5X - 100$	587		450		ns

(2) SCLK 出力モード

項 目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	16X	8192X	1	512	0.8	409.6	μs
Output Data $\rightarrow$ SCLK 立ち上がり	t_{OSS}	$t_{SCY} - 2X - 150$		725		550		ns
SCLK 立ち上がり $\rightarrow$ Output Data 保持	t_{OHS}	$2X - 80$		45		20		ns
SCLK 立ち上がり $\rightarrow$ Input Data 保持	t_{HSR}	0		0		0		ns
SCLK 立ち上がり $\rightarrow$ 有効 Data 入力	t_{SRD}		$t_{SCY} - 2X - 150$	725		550		ns

4.6 イベントカウンタ (TI0, TI4, TI5, TI6, TI7)

 $V_{CC} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim 85^\circ\text{C}$ (4~16 MHz) $T_a = -20 \sim 70^\circ\text{C}$ (4~20 MHz)

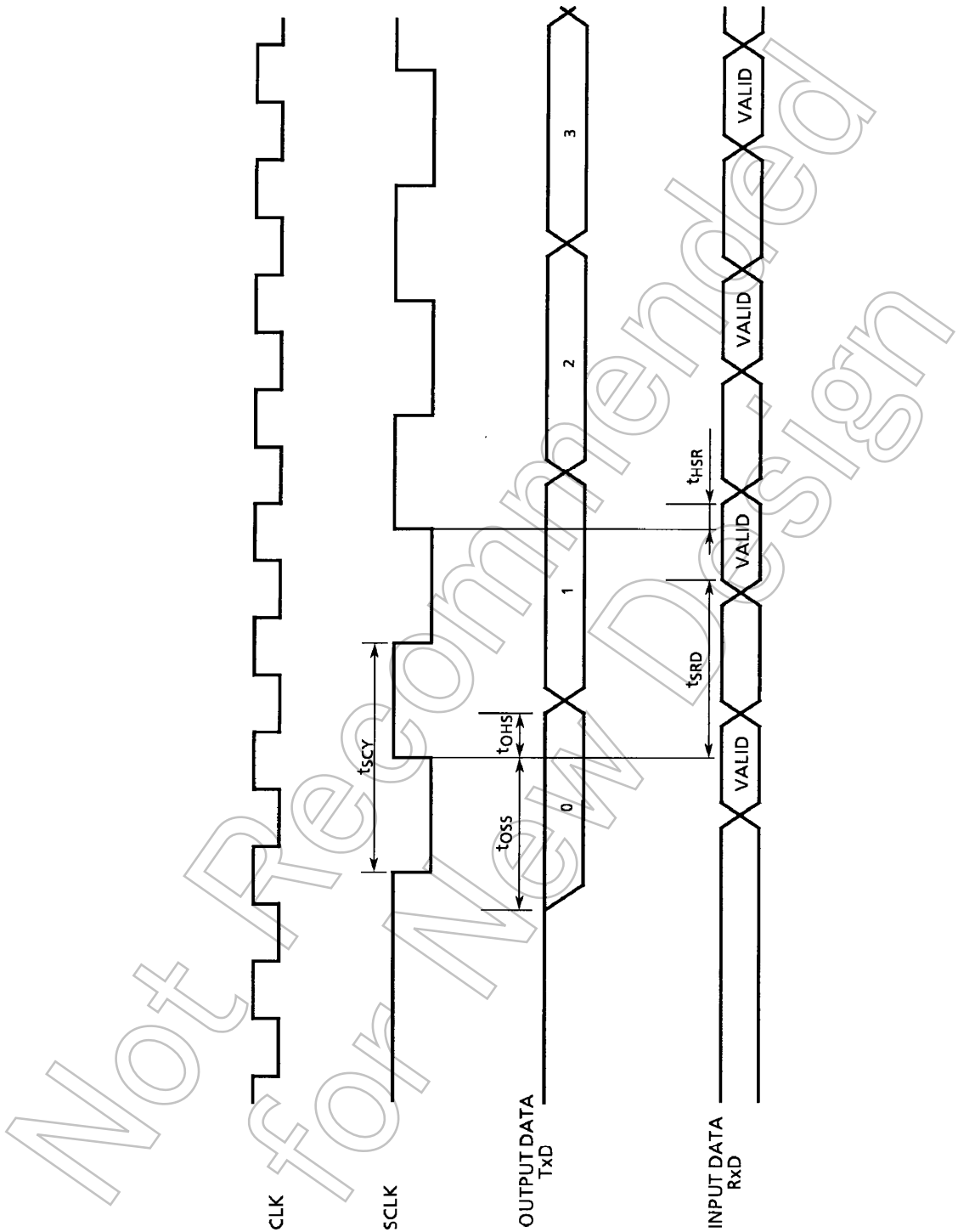
項 目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
クロック周期	t_{VCK}	$8X + 100$		600		500		ns
クロック低レベルパルス幅	t_{VCKL}	$4X + 40$		290		240		ns
クロック高レベルパルス幅	t_{VCKH}	$4X + 40$		290		240		ns

4.7 割り込みオペレーション

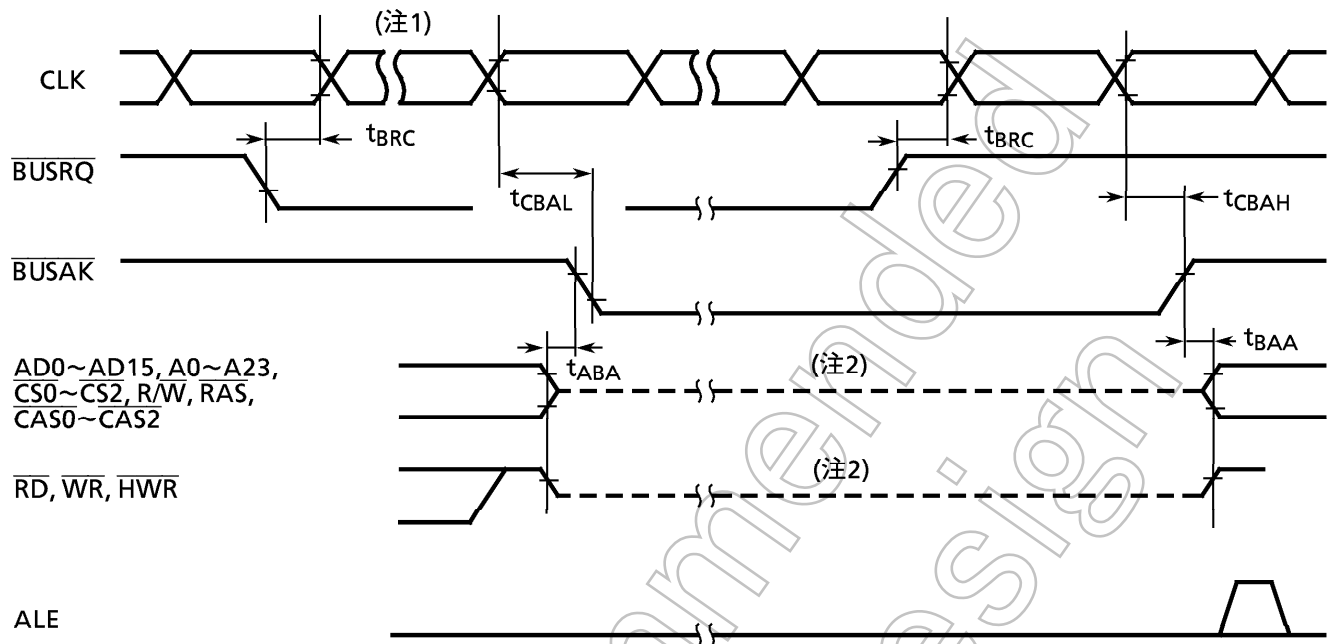
 $V_{CC} = 5\text{ V} \pm 10\%$, $T_a = -40 \sim 85^\circ\text{C}$ (4~16 MHz) $T_a = -20 \sim 70^\circ\text{C}$ (4~20 MHz)

項 目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
NMI, INT0 低レベルパルス幅	t_{INTAL}	4X		250		200		ns
NMI, INT0 高レベルパルス幅	t_{INTAH}	4X		250		200		ns
INT4~INT7 低レベルパルス幅	t_{INTBL}	$8X + 100$		600		500		ns
INT4~INT7 高レベルパルス幅	t_{INTBH}	$8X + 100$		600		500		ns

4.8 I/Oインタフェースモードタイミング図



4.9 バスリクエスト/バスアクノリッジ



記号	項目	Variable		16 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
t _{BRC}	CLKに対するBUSRQセットアップ時間	120		120		120		ns
t _{CBAL}	CLK→BUSAK 立ち下がり		1.5x + 120		214		195	ns
t _{CBAH}	CLK→BUSAK 立ち上がり		0.5x + 40		71		65	ns
t _{ABA}	出力バッファOFFからBUSAK立ち下がりまでの時間	0	80	0	80	0	80	ns
t _{BAA}	BUSAK立ち上がりから出力バッファONまでの時間	0	80	0	80	0	80	ns

- (注1) **BUSRQ**を”0”にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまで、バスは解放されません。
- (注2) この破線は、出力バッファが**OFF**になっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CRのとき定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

4.10 PROMモード時リードオペレーション

DC特性, AC特性

 $T_a = -40 \sim 85^\circ\text{C}$ $V_{CC} = 5\text{ V} \pm 10\%$

項 目	記 号	条 件	Min	Max	単位
V_{PP} Read Voltage	V_{PP}	—	4.5	5.5	V
Input High Voltage (A0~A16, $\overline{CE}$, $\overline{OE}$, $\overline{PGM}$)	V_{IH1}	—	$0.7 \times V_{CC}$	$V_{CC} + 0.3$	V
Input Low Voltage (A0~A16, $\overline{CE}$, $\overline{OE}$, $\overline{PGM}$)	V_{IL1}	—	-0.3	$0.3 \times V_{CC}$	V
Address to Output Delay	t_{ACC}	$C_L = 50\text{ pF}$	—	$2.25TCYC + \alpha$	ns

 $TCYC = 400\text{ ns}$ (10 MHz Clock) $\alpha = 200\text{ ns}$

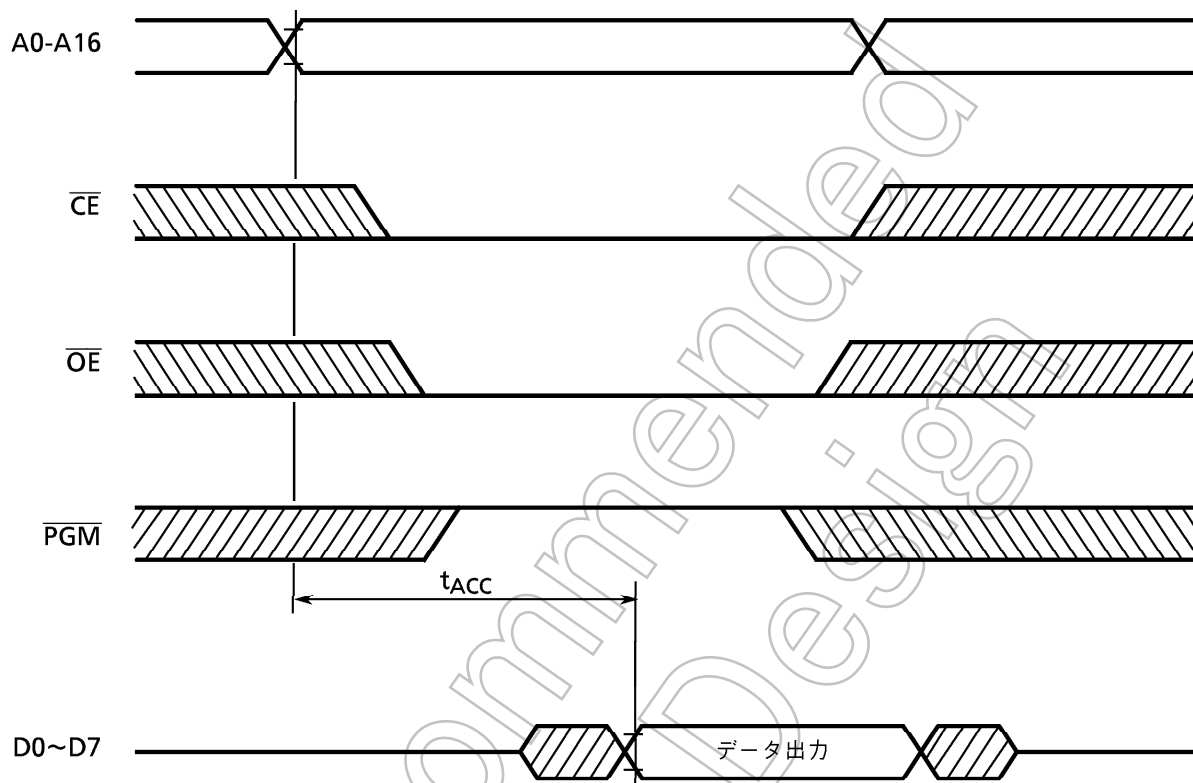
4.11 PROMモード時プログラムオペレーション

DC特性, AC特性

 $T_a = 25 \pm 5^\circ\text{C}$ $V_{CC} = 6.25\text{ V} \pm 0.25\text{ V}$

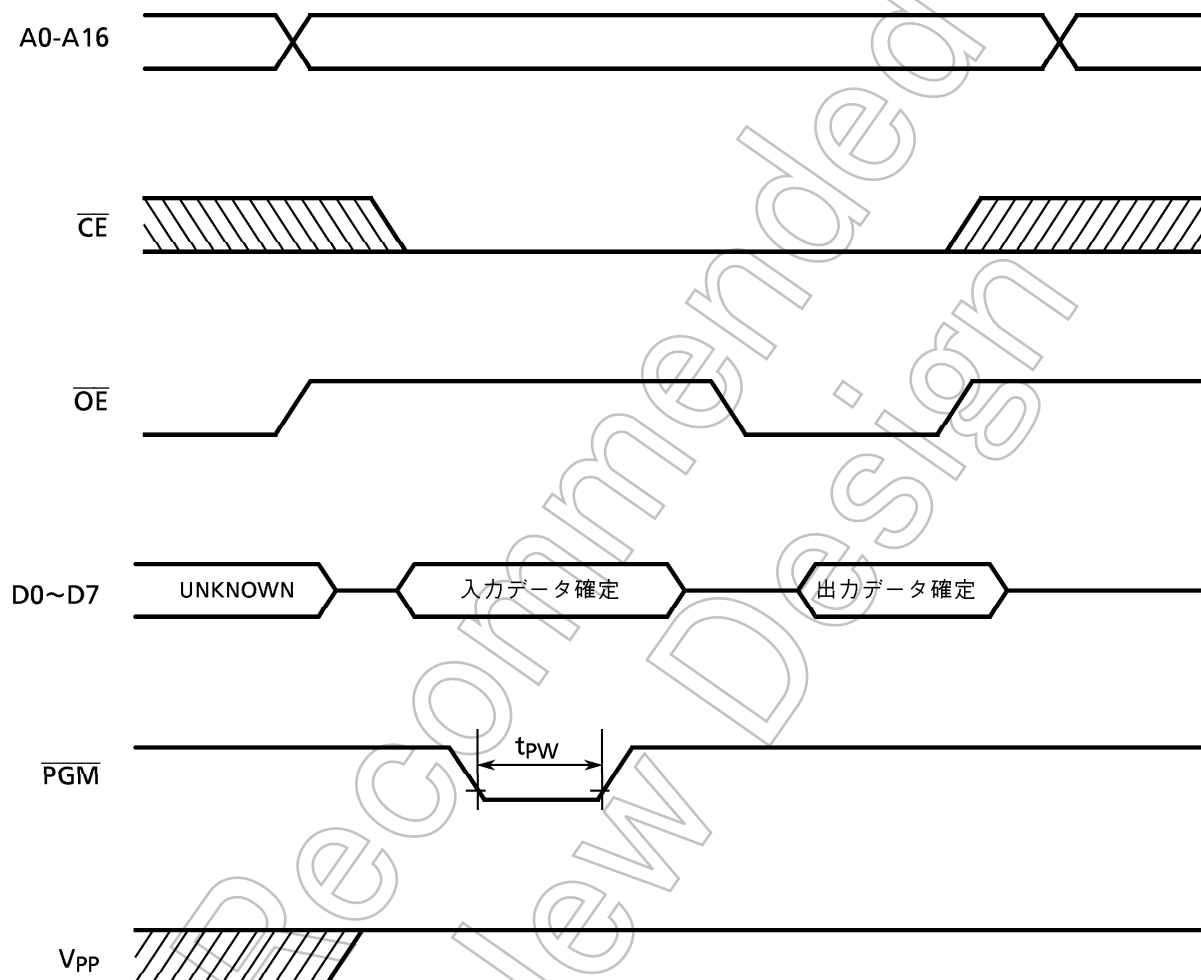
項 目	記 号	条 件	Min	Typ	Max	単位
Programing Supply Voltage	V_{PP}	—	12.50	12.75	13.00	V
Input High Voltage (D0~D7)	V_{IH}	—	$0.2 V_{CC} + 1.1$		$V_{CC} + 0.3$	V
Input Low Voltage (D0~D7)	V_{IL}	—	-0.3		$0.2 V_{CC} - 0.1$	V
Input High Voltage (A0~A16, $\overline{CE}$, $\overline{OE}$, $\overline{PGM}$)	V_{IH1}	—	$0.7 V_{CC}$		$V_{CC} + 0.3$	V
Input Low Voltage (A0~A16, $\overline{CE}$, $\overline{OE}$, $\overline{PGM}$)	V_{IL1}	—	-0.3		$0.3 V_{CC}$	V
V_{CC} Supply Current	I_{CC}	$f_c = 10\text{ MHz}$	—		50	mA
V_{PP} Supply Current	I_{PP}	$V_{PP} = 13.00\text{ V}$	—		50	mA
$\overline{PGM}$ Program Pulse Width	t_{PW}	$C_L = 50\text{ pF}$	0.095	0.1	0.105	ms

4.12 PROMモード時リードオペレーション タイミング図



4.13 PROMモード時プログラムオペレーション タイミング図

高速プログラム方式



- 注 1. V_{pp} (12.75 V) 電源は、 V_{cc} 電源と同時か、もしくは遅く投入し、遮断時は同時かもしくは早く遮断してください。
2. $V_{pp}=12.75$ Vの状態でのデバイスの抜き差しは、デバイスにダメージを与える可能性がありますので、プログラム時の抜き差しにご注意ください。
3. V_{pp} 端子の最大定格は14 Vですので、プログラム時はオーバシュートも含め、14 V以上の電圧が印加されないようにしてください。

4.14 標準電氣的特性

特に規定のない限り、電源電圧5 V、周囲温度25°Cにおける標準的な特性です。

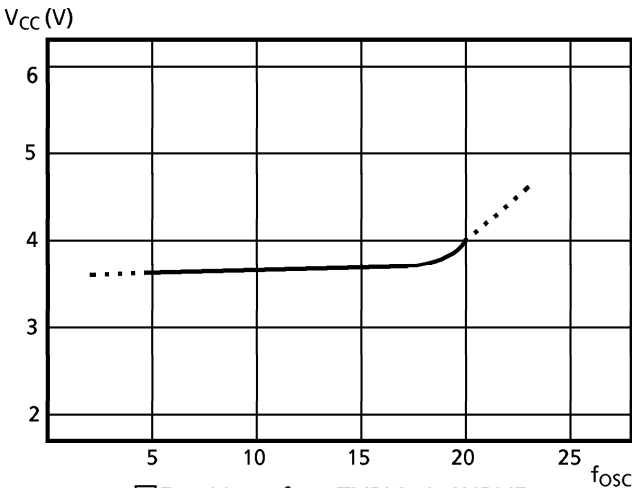


図5.1 $V_{CC} - f_{OSC}$ TYPICAL CURVE

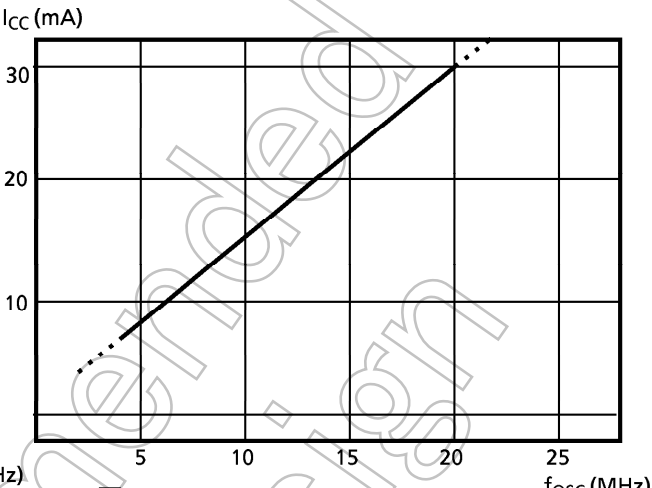


図5.2 $f_{OSC} - I_{CC}$ TYPICAL CURVE

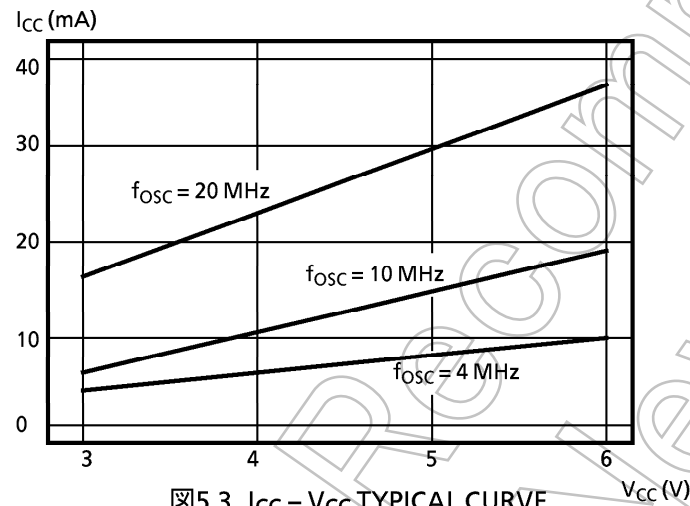


図5.3 $I_{CC} - V_{CC}$ TYPICAL CURVE

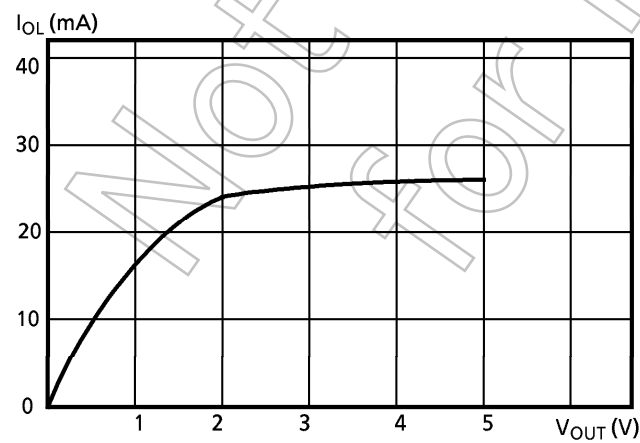


図5.4 $V_{OUT} - I_{OL}$ TYPICAL CURVE

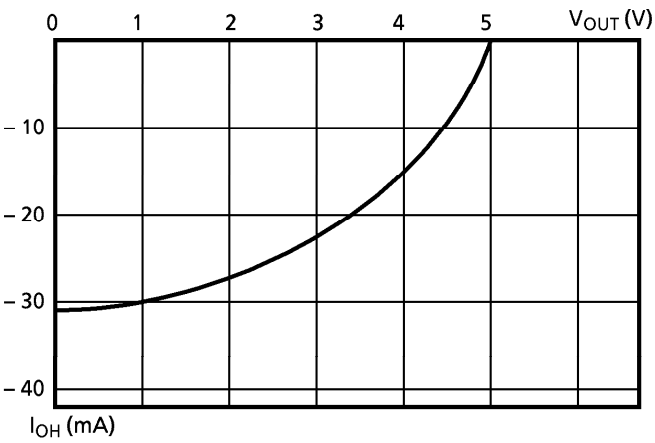


図5.5 $V_{OUT} - I_{OH}$ TYPICAL CURVE

Not Recommended
for New Design