

TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900 シリーズ

TMP96CM40FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社16ビットマイクロコントローラTLCS-900シリーズ、TMP96CM40をご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホールト状態からの解除に関する注意事項

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間(X1約3クロックの間)に、ホールトモードを解除可能な割り込み(NMI, INT0)が入力されても、ホールトが解除できない場合があります(割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

本文中製品名称 (旧名称)	正式名称 (新名称)
TMP96CM40F	TMP96CM40FG

修正対象項目 2. パッケージ名称及び寸法

本文中パッケージ名称 (旧名称)	正式パッケージ名称 (新名称)
QFP80-P-1420-0.80B	QFP80-P-1420-0.80B

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5秒間 1回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5秒間 1回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田 付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

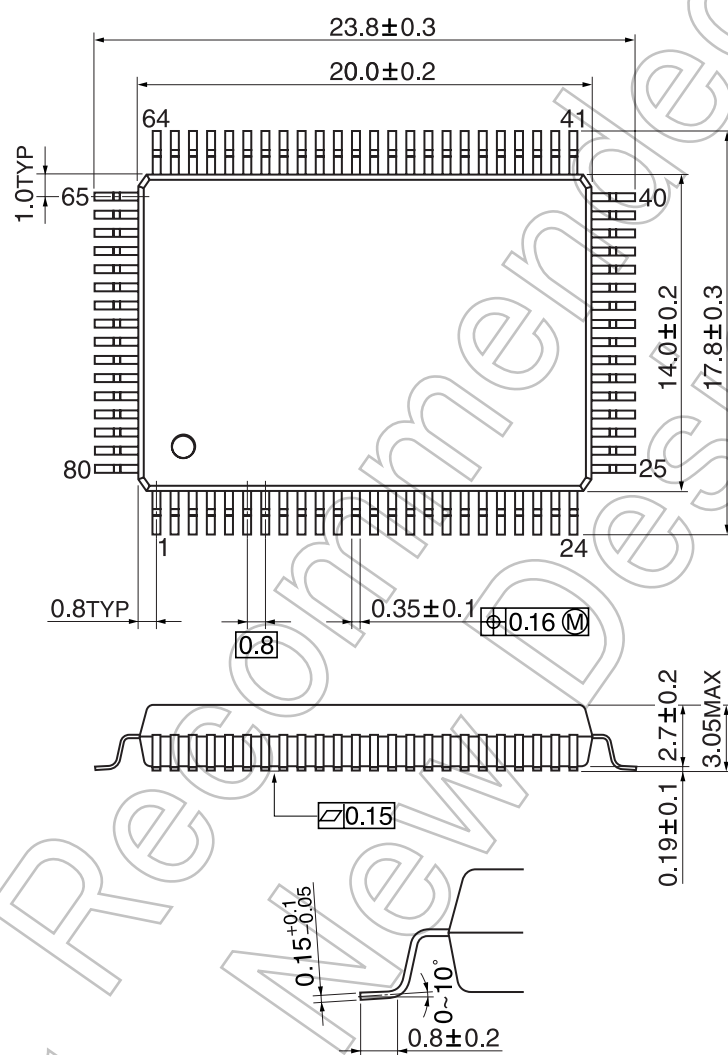
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

本製品の発行日は、付加ページ右下にも記入の「2008-02-20」です。

パッケージ外形寸法図

單位: mm



CMOS 16ビット マイクロコントローラ

TMP96CM40F

1. 概要と特長

TMP96CM40は、各種の中規模から大規模機器までの制御用として開発された、高速高性能16ビットマイクロコントローラです。TMP96C141BはROMなし製品、TMP96CM40は32KバイトROM内蔵製品、TMP96PM40は32KバイトPROM内蔵製品です。

TMP96CM40Fは、80ピンフラットパッケージ製品です。特長は次のとおりです。

- (1) オリジナル16ビットCPU (900_CPU使用)
 - ・ TLCS-90と命令モニタで上位互換
 - ・ 16Mバイトのリニアアドレス空間
 - ・ 汎用レジスタ&レジスタバンク方式
 - ・ 16ビット乗除算命令、ビット転送/演算命令
 - ・ 高速マイクロDMA : 4チャンネル (1.6 μ s / 2バイト @ 20 MHz)
- (2) 最小命令実行時間 : 200 ns (20 MHz発振時)
- (3) 内蔵RAM : 1Kバイト
内蔵ROM : 32Kバイト
- (4) 外部メモリ拡張
 - ・ 16Mバイト(プログラム/データ共通)まで拡張可能
 - ・ 外部データバス8/16ビット幅共存可能
 - …ダイナミックデータバスサイジング
- (5) 8ビットタイマ : 2チャンネル
- (6) 8ビットPWMタイマ : 2チャンネル
- (7) 16ビットタイマ : 2チャンネル
- (8) パターンジェネレータ : 4ビット、2チャンネル
- (9) 汎用シリアルインタフェース : 2チャンネル
- (10) 10ビットA/Dコンバータ : 4チャンネル
- (11) ウォッチドッグタイマ
- (12) チップセレクト/ウェイトコントローラ : 3ブロック
- (13) 割り込み機能
 - ・ CPU 3本 ……ソフトウェア割り込み命令、特権違反、未定義違反
 - ・ 内部 14本
 - ・ 外部 6本7レベルの優先順位の設定が可能
- (14) 入出力ポート
65端子
- (15) スタンバイ機能
3種類のHALTモード (RUN, IDLE, STOP)

000629TBP1

●マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので、必ずお読みください。

●当社は品質・信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

●なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。

●本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下「特定用途」という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

●本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。

●本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

●本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

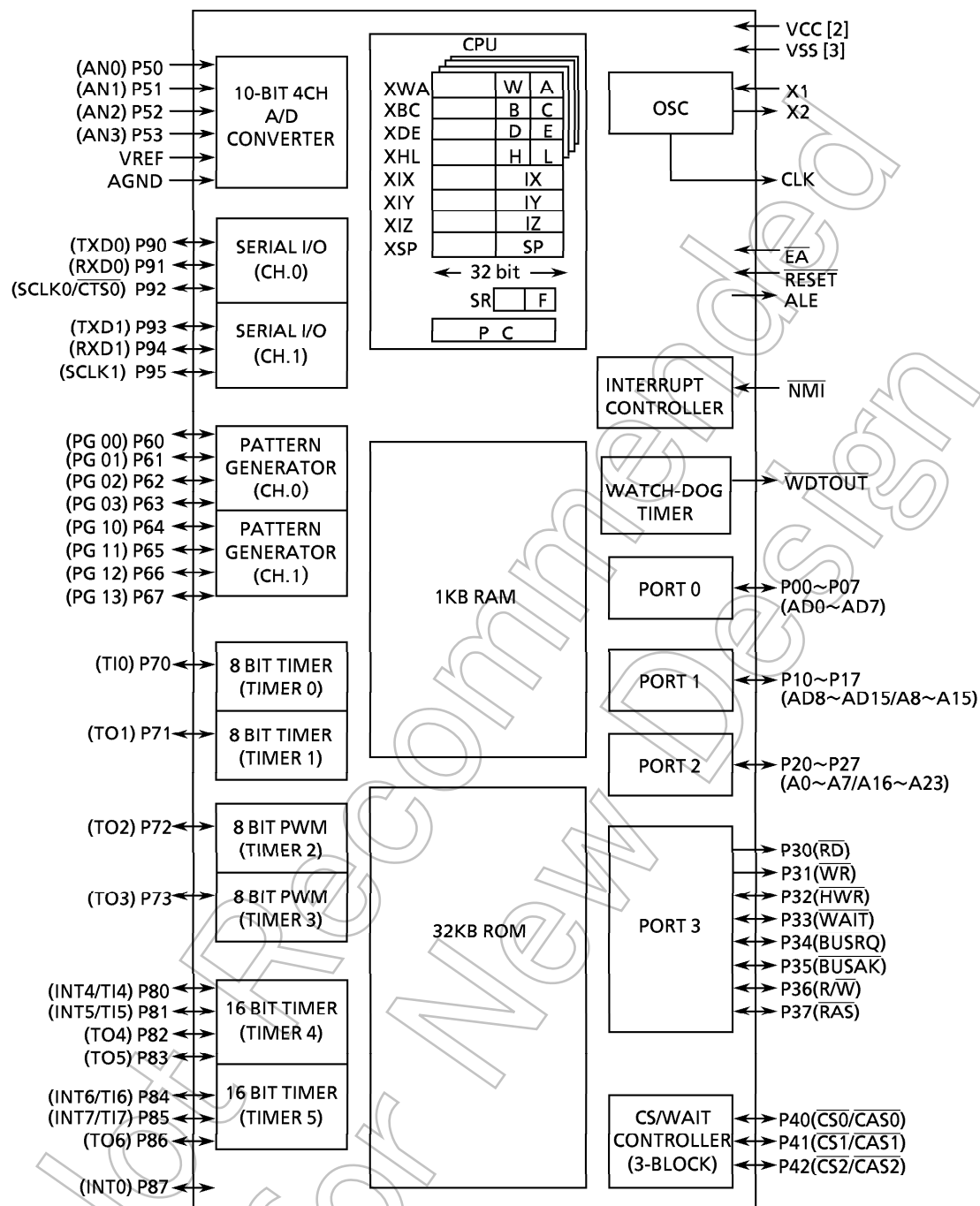


図1 TMP96CM40ブロック図

2. ピン配置とピン機能

TMP96CM40のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピンの配置図

TMP96CM40Fピン配置図は、図2.1のとおりです。

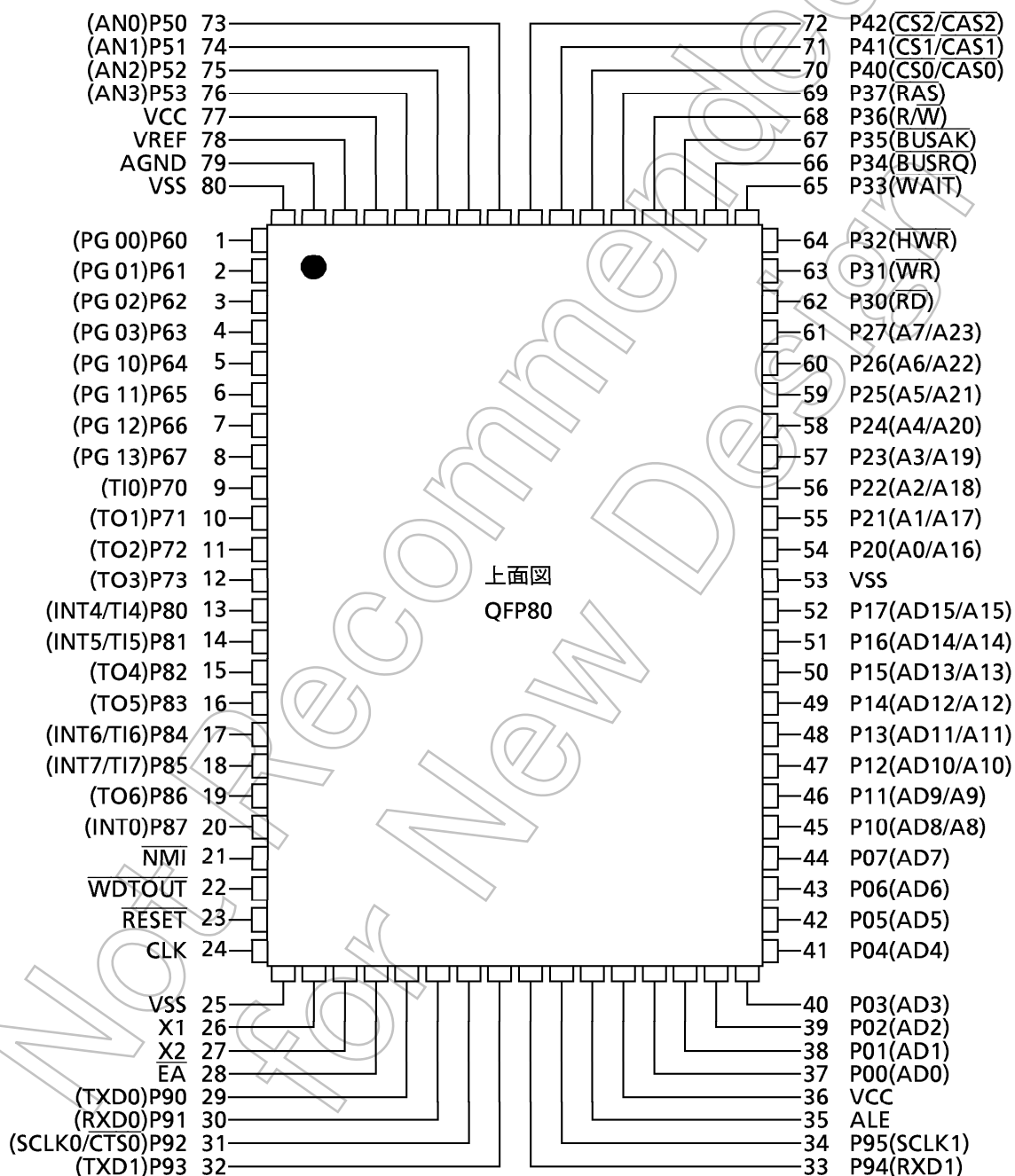


図 2.1 ピン配置図 (80ピン QFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2のとおりです。

ピン名称	ピン数	入出力	機 能
P00~P07 AD0~AD7	8	入出力 3ステート	ポート0: ビット単位で入出力の設定ができる入出力ポートです。 アドレスデータ (下位): アドレス/データバス0~7です。
P10~P17 AD8~AD15 A8~A15	8	入出力 3ステート 出力	ポート1: ビット単位で入出力の設定ができる入出力ポートです。 アドレスデータ (上位): アドレス/データバス8~15です。 アドレス: アドレスバス8~15です。
P20~P27 A0~A7 A16~A23	8	入出力 出力 出力	ポート2: ビット単位で入出力の設定ができる入出力ポートです。 (プルダウン付) アドレス: アドレスバス0~7です。 アドレス: アドレスバス16~23です。
P30 RD	1	出力 出力	ポート30: 出力ポートです。 リード: 外部メモリをリードするためのストローク信号です。
P31 WR	1	出力 出力	ポート31: 出力ポートです。 ライト: AD0~7端子のデータをライトするためのストローク信号です。
P32 HWR	1	入出力 出力	ポート32: 入出力ポートです。(プルアップ付) 上位ライト: AD8~15端子のデータをライトするためのストローク信号です。
P33 WAIT	1	入出力 入力	ポート33: 入出力ポートです。(プルアップ付) ウェイト: CPUへのバスウェイト要求端子です。
P34 BUSRQ	1	入出力 入力	ポート34: 入出力ポートです。(プルアップ付) バスリクエスト: AD0~15, A0~23, RD, WR, HWR, R/W, RAS, CS0, CS1, CS2端子を、ハイインピーダンスにすることを要求する信号です。(外付けDMAC用)
P35 BUSAK	1	入出力 出力	ポート35: 入出力ポートです。(プルアップ付) バスアクノリッジ: BUSRQを受けてAD0~15, A0~23, RD, WR, HWR, R/W, RAS, CS0, CS1, CS2端子が、ハイインピーダンスになったことを示す信号です。(外付けDMAC用)
P36 R/W	1	入出力 出力	ポート36: 入出力ポートです。(プルアップ付) リード/ライト: "1"でリードサイクルまたはダミーサイクルを、 "0"でライトサイクルを示します。
P37 RAS	1	入出力 出力	ポート37: 入出力ポートです。(プルアップ付) ローアドレスストローク: DRAM用"RAS"ストロークを出力します。
P40 CS0 CAS0	1	入出力 出力 出力	ポート40: 入出力ポートです。(プルアップ付) チップセレクト0: アドレスが、指定したアドレス領域内なら"0"を出力します。 カラムアドレスストローク0: アドレスが、指定したアドレス領域内なら、DRAM用"CAS"ストロークを出力します。

(注) BUSRQ, BUSAK端子による外付けDMAコントローラでは、本デバイスの内蔵メモリおよび内蔵I/Oは、アクセスできません。

ピン名称	ピン数	入出力	機 能
P41 CS1 CAS1	1	入出力 出力 出力	ポート41: 入出力ポートです。(プルアップ付) チップセレクト1: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストローク1: アドレスが、指定したアドレス領域内なら、DRAM用“CAS”ストロークを出力します。
P42 CS2 CAS2	1	入出力 出力 出力	ポート42: 入出力ポートです。(プルダウン付) (注1) チップセレクト2: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストローク2: アドレスが、指定したアドレス領域内なら、DRAM用“CAS”ストロークを出力します。
P50~P53 AN0~AN3	4	入力 入力	ポート5: 入力ポートです。 アナログ入力: A/Dコンバータの入力です。
VREF	1	入力	A/Dコンバータ用基準電圧入力端子
AGND	1	入力	A/Dコンバータ用GND端子
P60~P63 PG00~PG03	4	入出力 出力	ポート60~63: ビット単位で入出力の設定ができる入出力ポートです。(プルアップ付) パターンジェネレータポート00~03
P64~P67 PG10~PG13	4	入出力 出力	ポート64~67: ビット単位で入出力の設定ができる入出力ポートです。(プルアップ付) パターンジェネレータポート10~13
P70 TI0	1	入出力 入力	ポート70: 入出力ポートです。(プルアップ付) タイマ入力0: タイマ0の入力です。
P71 TO1	1	入出力 出力	ポート71: 入出力ポートです。(プルアップ付) タイマ出力1: タイマ0またはタイマ1の出力です。
P72 TO2	1	入出力 出力	ポート72: 入出力ポートです。(プルアップ付) PWM出力2: 8ビットPWMタイマ2の出力
P73 TO3	1	入出力 出力	ポート73: 入出力ポートです。(プルアップ付) PWM出力3: 8ビットPWMタイマ3の出力
P80 TI4 INT4	1	入出力 入力 入力	ポート80: 入出力ポートです。(プルアップ付) タイマ入力4: タイマ4のカウント/キャプチャトリガ入力になります。 割り込み要求端子4: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
P81 TI5 INT5	1	入出力 入力 入力	ポート81: 入出力ポートです。(プルアップ付) タイマ入力5: タイマ4のカウント/キャプチャトリガ入力になります。 割り込み要求端子5: 立ち上がりエッジの割り込み要求端子です。
P82 TO4	1	入出力 出力	ポート82: 入出力ポートです。(プルアップ付) タイマ出力4: タイマ4の出力端子
P83 TO5	1	入出力 出力	ポート83: 入出力ポートです。(プルアップ付) タイマ出力5: タイマ4の出力端子

(注1) CS2またはCAS2に設定されている場合のバス解放時には、プルダウン抵抗ではなくプルアップ抵抗が付加されます。

ピン名称	ピン数	入出力	機 能
P84 TI6 INT6	1	入出力 入力 入力	ポート84: 入出力ポートです。(プルアップ付) タイマ入力6: タイマ5のカウント/キャプチャトリガ入力になります。 割り込み要求端子6: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
P85 TI7 INT7	1	入出力 入力 入力	ポート85: 入出力ポートです。(プルアップ付) タイマ入力7: タイマ5のカウント/キャプチャトリガ入力になります。 割り込み要求端子7: 立ち上がりエッジの割り込み要求端子です。
P86 TO6	1	入出力 出力	ポート86: 入出力ポートです。(プルアップ付) タイマ出力6: タイマ5の出力端子
P87 INT0	1	入出力 入力	ポート87: 入出力ポートです。(プルアップ付) 割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。
P90 TXD0	1	入出力 出力	ポート90: 入出力ポートです。(プルアップ付) シリアル送信データ0
P91 RXD0	1	入出力 入力	ポート91: 入出力ポートです。(プルアップ付) シリアル受信データ0
P92 CTS0 SCLK0	1	入出力 入力 入出力	ポート92: 入出力ポートです。(プルアップ付) シリアルデータ送信可能0(Clear To Send) シリアルクロック入出力0
P93 TXD1	1	入出力 出力	ポート93: 入出力ポートです。(プルアップ付) シリアル送信データ1
P94 RXD1	1	入出力 入力	ポート94: 入出力ポートです。(プルアップ付) シリアル受信データ1
P95 SCLK1	1	入出力 入出力	ポート95: 入出力ポートです。(プルアップ付) シリアルクロック入出力1
WDTOUT	1	出力	ウォッチドッグタイマ出力端子
NMI	1	入力	ノンマスクابل割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも動作させられます。
CLK	1	出力	クロック出力: 「X1÷4」のクロックが出力されます。リセット期間中は、プルアップされます。
EA	1	入力	外部アクセス: TMP96C141Bでは, "0"にします。 TMP96CM40/TMP96PM40では, "1"にします。
ALE	1	出力	アドレスラッチイネーブル
RESET	1	入力	リセット: LSIを初期化します。(プルアップ付)
X1/X2	2	入力/出力	発振子接続端子
VCC	2		電源端子(+5 V) (全VCC端子を電源に接続してください。)
VSS	3		GND端子(0 V) (全VSS端子をGND(0 V)に接続してください。)

(補足) RESET端子以外のプルアップ/プルダウン抵抗付端子は、ソフトウェアによりその抵抗を端子から開放することができます。

3. 動作説明

ここでは、TMP96CM40の機能および基本動作について説明します。

TMP96CM40のCPU機能、内蔵I/O機能は、TMP96C141Bと同様です。ここに記載されていない機能については、TMP96C141Bを参照してください。

表3. TMP96C141B/TMP96CM40/TMP96PM40 相違点

項 目	TMP96C141B	TMP96CM40	TMP96PM40
内蔵ROM	なし	マスクROM32Kバイト	PROM32Kバイト
P00~P07, AD0~AD7	AD0~AD7固定	リセット後、P00~P07	
P10~P17, AD8~AD15, A8~A15	AD8~AD15固定	リセット後、P10~P17	
P30, $\overline{RD}$	RD固定	リセット後、P30	
P31, $\overline{WR}$	$\overline{WR}$ 固定	リセット後、P31	
バス開放時の端子状態	TMP96C141B 表3.5 (1) 参照	TMP96CM40 表3.3 (1) 参照	

3.1 CPU

TMP96CM40には、高性能な16ビットCPU (900_CPU) が内蔵されています。CPUの動作については、前章の“TLCS-900 CPU”を参照してください。

3.2 メモリマップ

TMP96CM40は、ミニマムモード時最大64Kバイト、マキシマムモード時最大16Mバイトまでのプログラムメモリおよび最大16Mバイトまでのデータメモリを持つことができます。

プログラムメモリは、ミニマムモード時アドレス空間000000~00FFFFH、マキシマムモード時アドレス空間000000~FFFFFFHに置くことができます。また、データメモリは、アドレス空間の全領域000000H~FFFFFFHに置くことができます。

(1) 内蔵ROM

TMP96CM40は、32KバイトのROMを内蔵しています。このROMは、アドレス空間8000H~FFFFHに置かれています。なお、CPUはリセット動作後、8000Hからプログラムの実行を開始します。

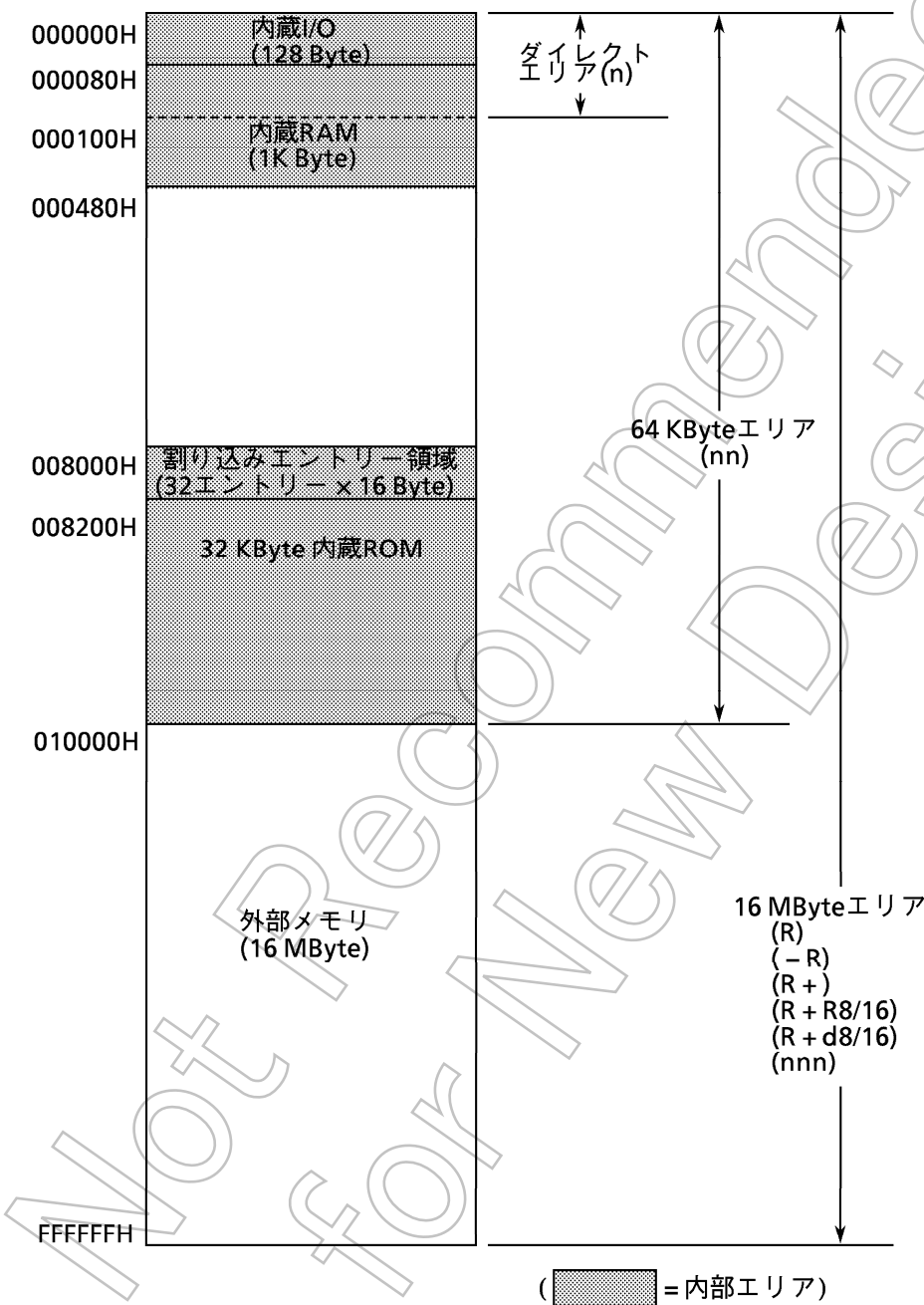
また、この内蔵ROM領域中である8000H~81FFHは、割り込み処理のエントリ領域になっています。

(2) 内蔵RAM

TMP96CM40は、1KバイトのRAMを内蔵しています。このRAMは、アドレス空間0080H~047FHに置かれています。なお、CPUは「ダイレクトアドレッシングモード」により、短い命令コードで、このRAM領域の一部(0080H~00FFH, 128バイト空間)をアクセスすることも可能です。

図3.1に、メモリマップとCPUの各アドレッシングモードのアクセス範囲を示します。

TMP96CM40のメモリマップを、図3.1に示します。



(補足) リセット後のスタートアドレスは、8000Hです。また、リセットにより、システムモード側のスタックポインタ“XSP”は、100Hにセットされます。

図3.1 メモリマップ

3.3 ポート機能

TMP96CM40 / TMP96PM40には、合計65ビットの入出力ポートがあります。

また、これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表3.3に各ポート端子の機能を示します。

表3.3 ポート機能

(R: ↑ = プログラマブルプルアップ抵抗付,
↓ = プログラマブルプルダウン抵抗付)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
ポート0	P00~P07	8	入出力	-	ビット	AD0~AD7
ポート1	P10~P17	8	入出力	-	ビット	AD8~AD15 / A8~A15
ポート2	P20~P27	8	入出力	↓	ビット	A0~A7 / A16~A23
ポート3	P30	1	出力	-	(固定)	RD
	P31	1	出力	-	(固定)	WR
	P32	1	入出力	↑	ビット	HWR
	P33	1	入出力	↑	ビット	WAIT
	P34	1	入出力	↑	ビット	BUSRQ
	P35	1	入出力	↑	ビット	BUSAK
	P36	1	入出力	↑	ビット	R/W
	P37	1	入出力	↑	ビット	RAS
ポート4	P40	1	入出力	↑	ビット	CS0 / CAS0
	P41	1	入出力	↑	ビット	CS1 / CAS1
	P42	1	入出力	↓	ビット	CS2 / CAS2
ポート5	P50~P53	4	入力	-	(固定)	AN0~AN3
ポート6	P60~P67	8	入出力	↑	ビット	PG00~PG03, PG10~PG13
ポート7	P70	1	入出力	↑	ビット	TI0
	P71	1	入出力	↑	ビット	TO1
	P72	1	入出力	↑	ビット	TO2
	P73	1	入出力	↑	ビット	TO3
ポート8	P80	1	入出力	↑	ビット	TI4 / INT4
	P81	1	入出力	↑	ビット	TI5 / INT5
	P82	1	入出力	↑	ビット	TO4
	P83	1	入出力	↑	ビット	TO5
	P84	1	入出力	↑	ビット	TI6 / INT6
	P85	1	入出力	↑	ビット	TI7 / INT7
	P86	1	入出力	↑	ビット	TO6
	P87	1	入出力	↑	ビット	INT0
ポート9	P90	1	入出力	↑	ビット	TXD0
	P91	1	入出力	↑	ビット	RXD0
	P92	1	入出力	↑	ビット	CTS0 / SCLK0
	P93	1	入出力	↑	ビット	TXD1
	P94	1	入出力	↑	ビット	RXD1
	P95	1	入出力	↑	ビット	SCLK1

I/Oポート設定一覧表

X : don't care

ポート	端子名	仕 様	I/Oレジスタ設定値		
			Pn	PnCR	PnFC
ポート0	P0 (0 : 7)	入力ポート	×	0	なし
		出力ポート	×	1	
		AD (0 : 7) バス	×	×	
ポート1	P1 (0 : 7)	入力ポート	×	0	0
		出力ポート	×	1	0
		AD (8 : 15) バス	×	0	1
		A (8 : 15) 出力	×	1	0
ポート2	P2 (0 : 7)	入力ポート (プルダウン無)	1	0	0
		入力ポート (プルダウン有)	0	0	0
		出力ポート	×	1	0
		A (0 : 7) 出力	1	0	1
		A (16 : 23) 出力	1	1	0
ポート3	P30	出力ポート	×		0
		外部アクセス時のみRD出力	1	なし	1
		常にRD出力	0		1
	P31	出力ポート	×	なし	0
		外部アクセス時のみWR出力	×		1
	P3 (2 : 7)	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	×	1	0
	P32	HWR出力	×	1	1
	P33	WAIT入力 (プルアップ無)	0	0	なし
		WAIT入力 (プルアップ有)	1	0	
	P34	BUSRQ入力 (プルアップ無)	0	0	1
		BUSRQ入力 (プルアップ有)	1	0	1
	P35	BUSAK出力	×	1	1
	P36	R/W出力	×	1	1
	P37	RAS出力	×	1	1
ポート4	P4 (0 : 1)	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	×	1	0
	P42	入力ポート (プルダウン無)	1	0	0
		入力ポート (プルダウン有)	0	0	0
		出力ポート	×	1	0
	P40	CS0出力 (注1)	×	1	1
	P41	CS1出力 (注1)	×	1	1
	P42	CS2出力 (注1)	×	1	1
ポート5	P5 (0 : 3)	入力ポート	×	なし	
		AN (0 : 3) 入力 (注2)	×		
ポート6	P6 (0 : 7)	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	×	1	0
		PGn出力	×	1	1

(注1) P40~42端子よりCS0~CS2, CAS0~CAS2のどちらを出力するかは、CS/WAITコントロールレジスタBnCS<BnCAS>で設定します。

(注2) P5(0 : 3)をA/Dコンバータの入力チャネルとして使用する場合のチャネル選択はADMOD2<ADCHn>で設定します。

ポート	端子名	仕 様	I/Oレジスタ設定値		
			Pn	PnCR	PnFC
ポート7	P7 (0 : 3)	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	×	1	0
	P70	TI0入力 (プルアップ無)	0	0	なし
		TI0入力 (プルアップ有)	1	0	
	P71	TO1出力	×	1	1
	P72	TO2出力	×	1	1
	P73	TO3出力	×	1	1
ポート8	P8 (0 : 7)	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	×	1	0
	P80	TI4/INT4入力 (プルアップ無)	0	0	なし
		TI4/INT4入力 (プルアップ有)	1	0	
	P81	TI5/INT5入力 (プルアップ無)	0	0	なし
		TI5/INT5入力 (プルアップ有)	1	0	
	P84	TI6/INT6入力 (プルアップ無)	0	0	なし
		TI6/INT6入力 (プルアップ有)	1	0	
	P85	TI7/INT7入力 (プルアップ無)	0	0	なし
		TI7/INT7入力 (プルアップ有)	1	0	
	P82	TO4出力	×	1	1
	P83	TO5出力	×	1	1
	P86	TO6出力	×	1	1
	P87 (注3)	INT0入力 (プルアップ無)	0	0	なし
		INT0入力 (プルアップ有)	1	0	
ポート9	P9 (0 : 5)	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	×	1	0
	P90	TXD0出力	×	1	1
	P93	TXD1出力	×	1	1
	P91	RXD0入力 (プルアップ無)	0	0	なし
		RXD0入力 (プルアップ有)	1	0	
	P94	RXD1入力 (プルアップ無)	0	0	なし
		RXD1入力 (プルアップ有)	1	0	
	P92	SCLK0出力	×	1	1
		CTS0/SCLK0入力 (プルアップ無)	0	0	0
		CTS0/SCLK0入力 (プルアップ有)	1	0	0
	P95	SCLK1出力	×	1	1
		SCLK1入力 (プルアップ無)	0	0	0
		SCLK1入力 (プルアップ有)	1	0	0

(注3) P87端子をINT0として使用する場合は、IIMCレジスタにて割り込み入力許可の設定をします。

リセット動作により、これらのポート端子は汎用入出力ポートとなります。
 なお、入力と出力がプログラマブルな入出力端子は、入力ポートになります。
 内蔵機能用にポート端子を使うときは、プログラムによる設定が必要です。

バス解放時 ($\overline{\text{BUSAK}} = "0"$), プログラマブルプルアップ/プルダウン使用時の注意事項

バス解放 ($\overline{\text{BUSAK}} = "0"$) 時、AD0-AD15, A0-A23, バスコントロール信号 ($\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{HWR}}$, $\text{R}/\overline{\text{W}}$, $\overline{\text{RAS}}$, $\overline{\text{CS0}}/\overline{\text{CAS0}}\text{-}\overline{\text{CS2}}/\overline{\text{CAS2}}$) の出力バッファをOFFし、ハイインピーダンス状態にします。ただし、内蔵のプログラマブルプルアップ/プルダウン抵抗は、働き続けます。このプログラマブルプルアップ/プルダウン抵抗は、入力モードで利用するときのみ、プログラマブルに付加/付加なしを選択できます。出力モードで利用するときは、プログラマブルに選択することはできません。

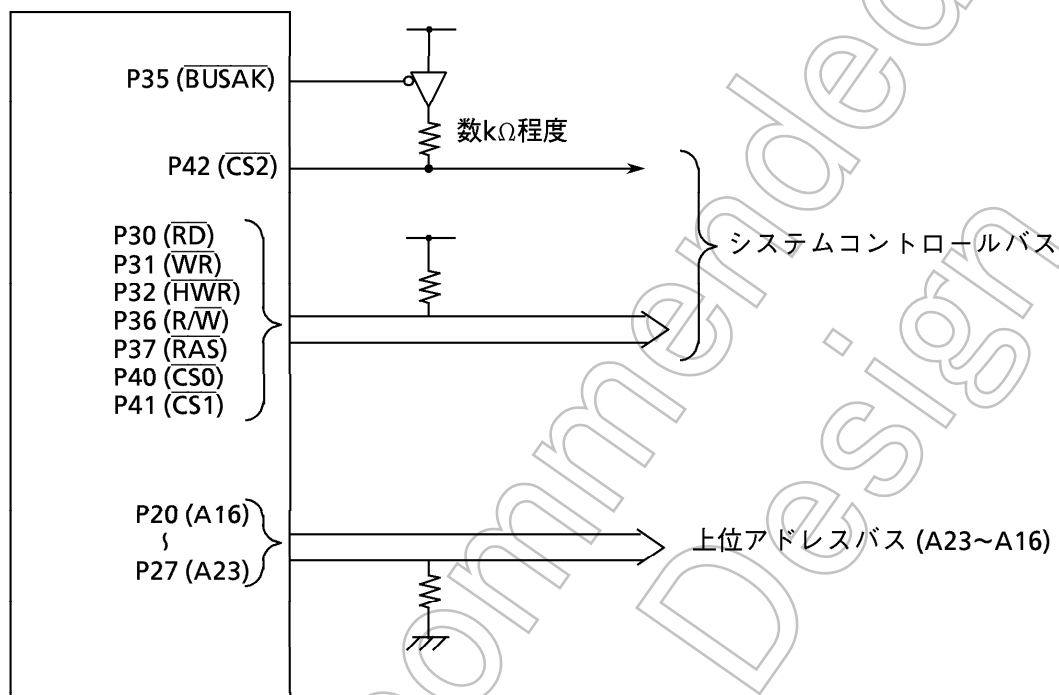
以下にバス解放時の端子状態を示します。

表3.3 (1) バス解放時の端子状態

端子名	バス解放時の端子状態	
	ポートモード	ファンクションモード
P00-P07 (AD0-AD7) P10-P17 (AD8-15/A8-15)	状態は変化しません。 (ハイインピーダンスになりません。)	ハイインピーダンスになります。
P30 ($\overline{\text{RD}}$) P31 ($\overline{\text{WR}}$)	ハイインピーダンスになります。	←
P32 ($\overline{\text{HWR}}$) P37 ($\overline{\text{RAS}}$)	出力バッファはOFFします。 出力ラッチが "1" のときのみ 内蔵プルアップが付加されます。	出力バッファはOFFします。出力ラッチの値に関係なく内蔵プルアップが付加されます。
P36 ($\text{R}/\overline{\text{W}}$) P40 ($\overline{\text{CS0}}/\overline{\text{CAS0}}$) P41 ($\overline{\text{CS1}}/\overline{\text{CAS1}}$)	出力バッファはOFFします。 出力ラッチが "1" のときのみ 内蔵プルアップが付加されます。	出力バッファはOFFします。出力ラッチの値に関係なくバス解放タイミングにより、内蔵プルアップが付加される/されない場合があります。
P42 ($\overline{\text{CS2}}/\overline{\text{CAS2}}$)	出力バッファはOFFします。 出力ラッチが "0" のときのみ 内蔵プルダウンが付加されます。	出力バッファはOFFします。出力ラッチの値に関係なくバス解放タイミングにより、内蔵プルダウンが付加される/されない場合があります。
P20-P27 (A16-23)	状態は変化しません。 (ハイインピーダンスになりません。)	出力バッファはOFFします。 出力ラッチが "0" のときのみ内蔵プルダウン が付加されます。

以下にバス解放機能使用時の上記信号の外部インタフェース例を示します。

なお、バス解放状態では、本デバイスの内蔵メモリおよび内蔵I/Oはアクセスできませんが内蔵I/Oとしてのファンクションは機能し続けます。従って、ウォッチドッグタイマはカウントし続けていますので、バス解放機能を使用する場合は、バス解放時間を考慮して暴走検出時間を設定してください。



バス解放機能使用時 外部バスインタフェース例

バス解放時の信号レベルを確定させるために、外部にプルアップ/プルダウン抵抗を付加させる場合、上図のような回路が必要になります。

リセット動作により、P30 ($\overline{RD}$), P31 ($\overline{WR}$) は出力モードになり、P40-P41 ($\overline{CS0}$ - $\overline{CS1}$), P32 ($\overline{HWR}$), P36 ($\overline{R/W}$), P37 ($\overline{RAS}$) と P35 (BUSAK) は、プルアップ抵抗付きの入力モードになりますが、P42 ($\overline{CS2}$) と P20-P27 (A16-23) はプルダウン抵抗付きの入力モードになります。従って、P42 ($\overline{CS2}$) を外部で直接プルアップするとリセット後、外部プルアップと内部プルダウンが衝突し、レベルが確定しなくなりますので、上図のような回路が必要になります。このときのプルアップ抵抗値は数k Ω 程度にする必要があります。(内部プルダウン抵抗値が50 k Ω ~ 150 k Ω のため)

P20-27 (A16-A23) についても、外部でプルアップするためには、P42 ($\overline{CS2}$) と同様な回路が必要となりますが、 $\overline{CS2}$ とは違い“L”レベルでもアクティブという意味を持ちませんので、“L”レベルで確定してもよいシステムでは、上図のように直接プルダウンしてください。

3.3.1 ポート0 (P00~P07)

ポート0は、ビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP0CRによって行います。リセット動作により、コントロールレジスタP0CRの全ビットは“0”にリセットされ、ポート0は、入力モードになります。

汎用入出力ポート機能以外に、アドレスデータバス (AD0~7) 機能があります。外部メモリをアクセスするときは、自動的にアドレスデータバス (AD0~7) として機能し、コントロールレジスタP0CRはすべて“0”にクリアされます。

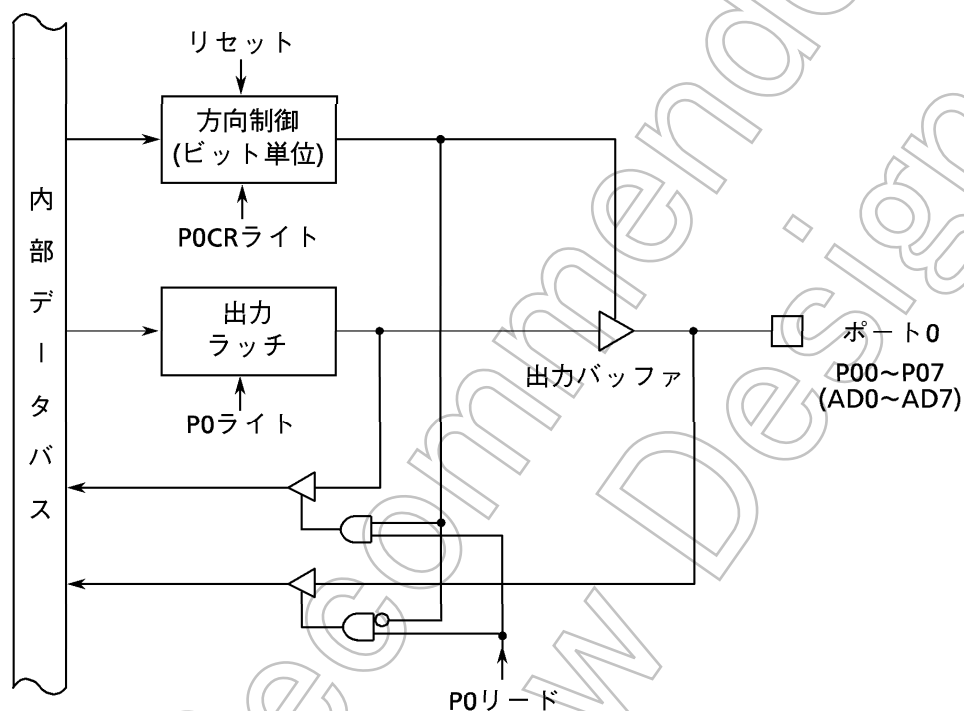


図 3.3 (1) ポート0

TMP96CM40/TMP96PM40では、本ポートに対して16ビット幅でのデータ書き込みは行わないでください。また、本ポートにデータを書き込む命令(リードモディファイライト含む)を実行した直後にNOP命令を実行してください。

3.3.2 ポート1 (P10~P17)

ポート1は、ビット単位で入出力の設定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP1CRとファンクションレジスタP1FCによって行います。リセット動作により、出力ラッチのP1の全ビットと、コントロールレジスタP1CRとファンクションレジスタP1FCの、全ビットは“0”にリセットされ、ポート1は入力モードになります。

汎用入出力ポート以外に、アドレスデータバス (AD8~15) 機能とアドレスバス (A8~15) 機能があります。

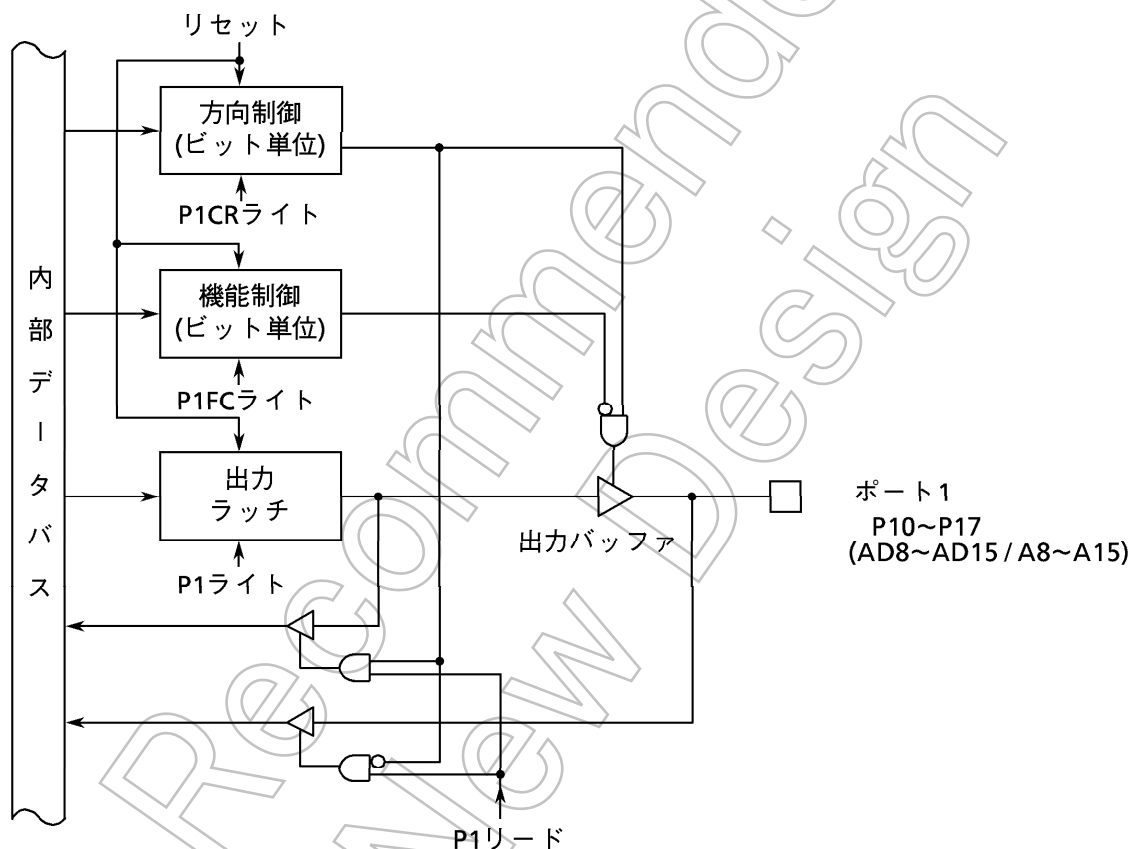


図 3.3 (2) ポート1

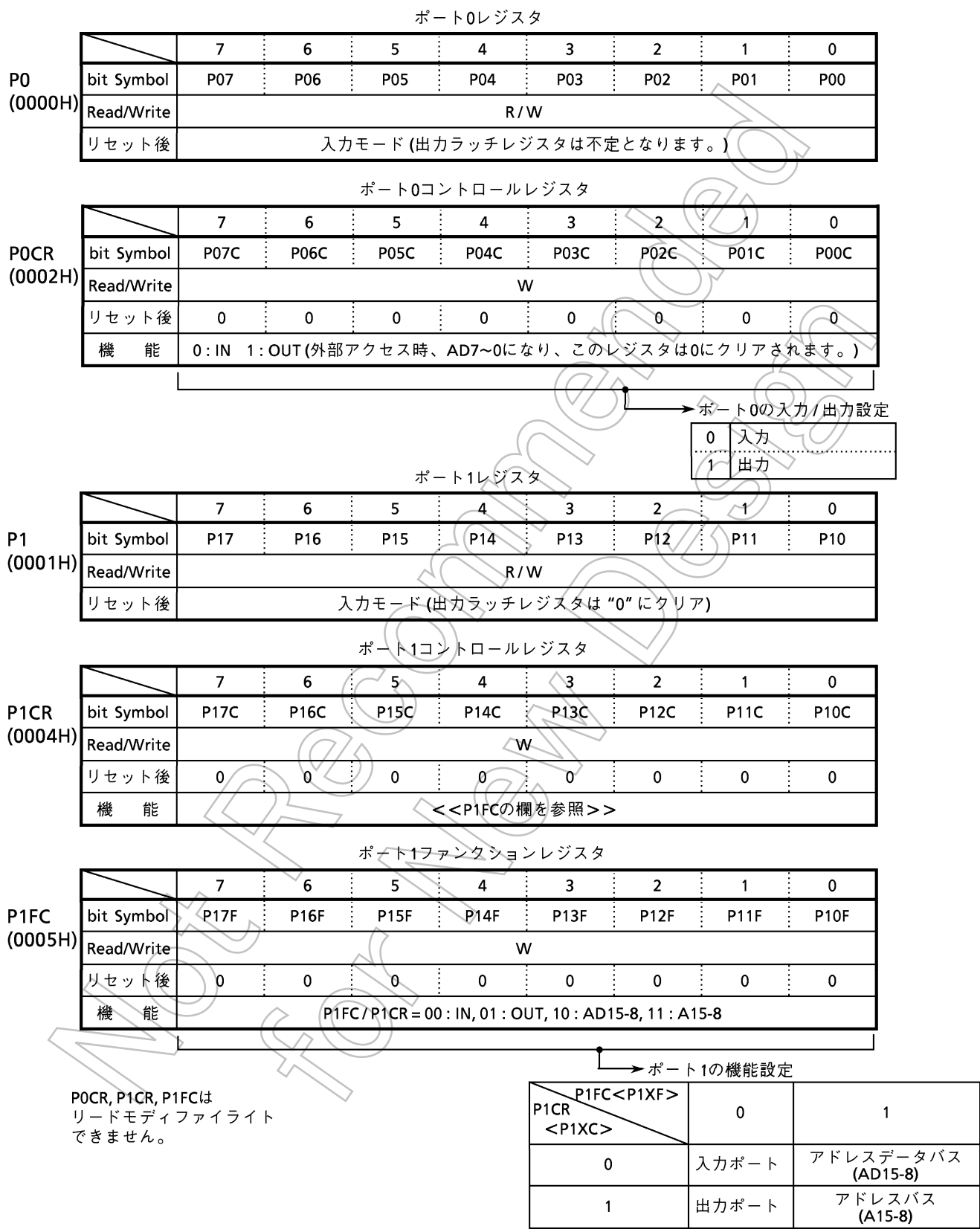


図 3.3 (3) ポート0, 1関係のレジスタ

3.3.3 ポート2 (P20~P27)

ポート2は、ビット単位で入出力の設定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP2CRと、ファンクションレジスタP2FCによって行います。リセット動作により、出力ラッチP2の全ビットと、コントロールレジスタP2CRとファンクションレジスタP2FC、の全ビットは“0”にリセットされ、ポート2はプルダウン抵抗付きの入力モードになります。

汎用入出力ポート以外に、アドレスバス(A0~7)機能とアドレスバス(A16~23)機能があります。アドレスバス(A0~7またはA16~23)機能として使用するときは、P2レジスタ(出力ラッチ)に“1”をセットし、プログラマブルプルダウン抵抗をOFFしてください。また、アドレスバスに設定するときは、P2CR, P2FCの順に設定してください。

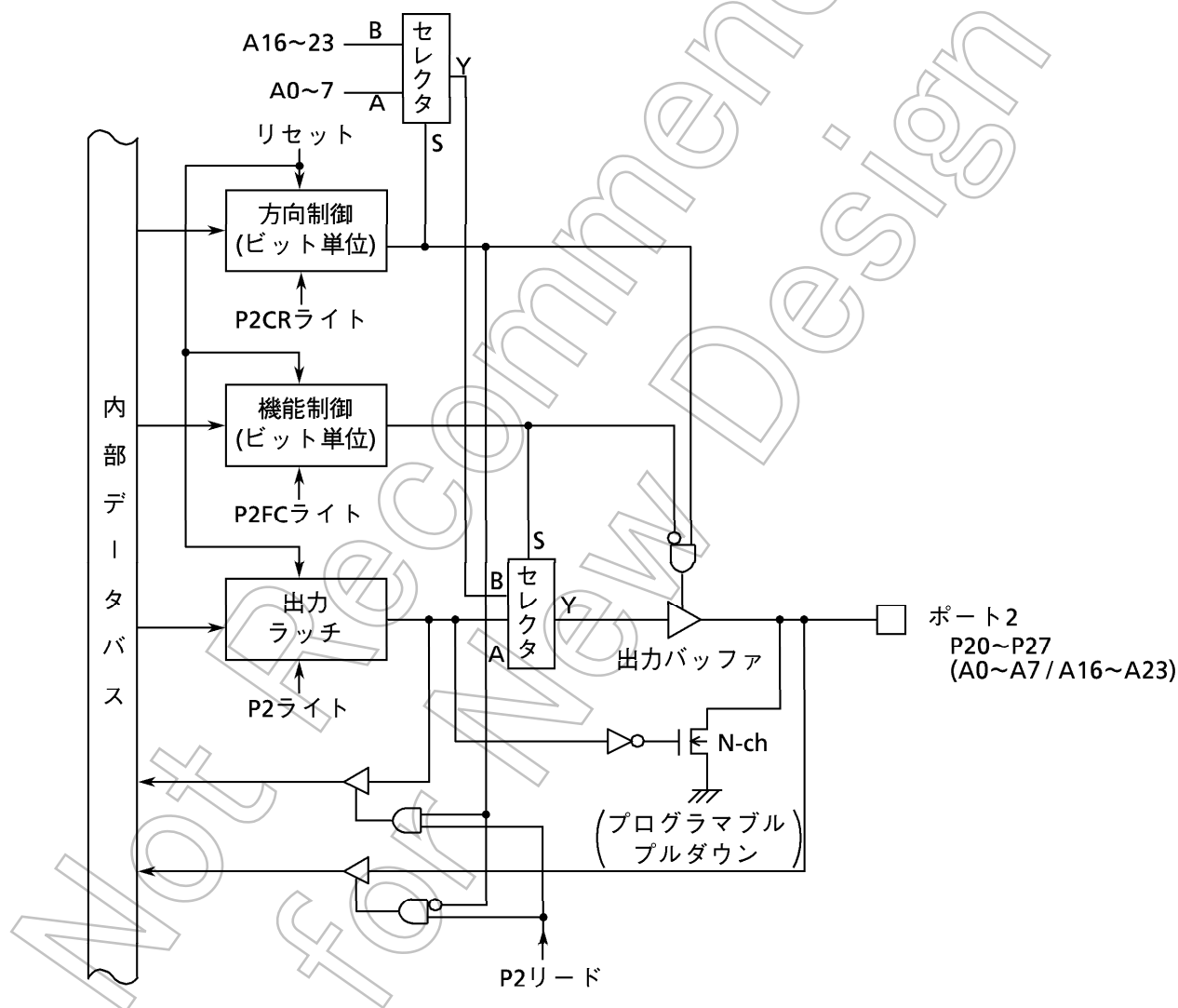


図 3.3 (4) ポート2

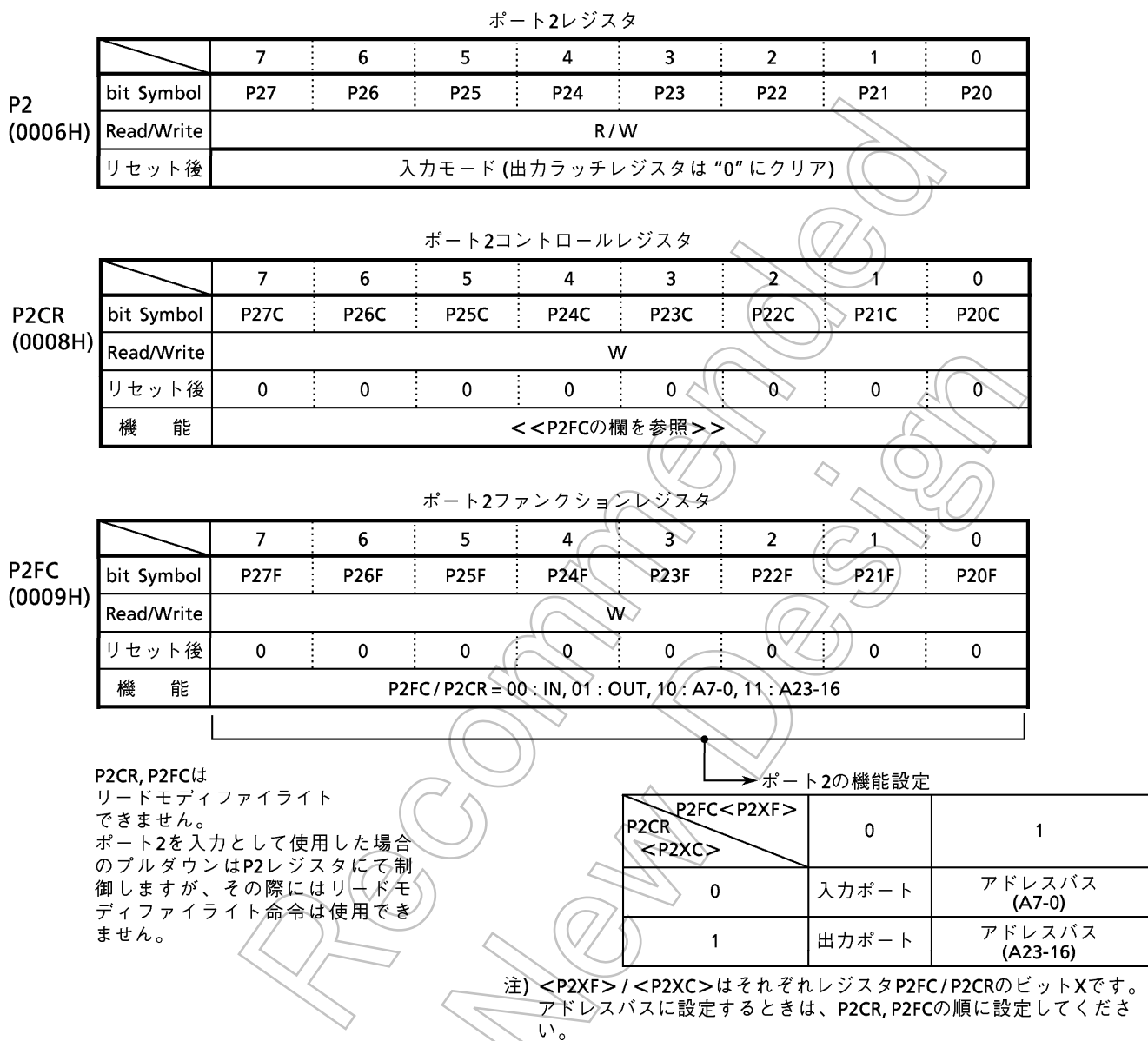


図 3.3 (5) ポート2関係のレジスタ

3.3.4 ポート3 (P30~P37)

ポート3は、ビット単位で入出力の設定ができる8ビットの汎用入出力ポート (ただし、P30とP31は出力専用) です。

入出力の指定は、コントロールレジスタP3CRとファンクションレジスタP3FCによって行います。リセット動作により、出力ラッチP3の全ビットは“1”にセットされ、コントロールレジスタP3CR (ビット0と1は未使用) とファンクションレジスタP3FC (ビット3は未使用) の全ビットは“0”にリセットされ、ポート3のP30とP31は“1”を出力し、P32~P37はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート以外に、CPUのコントロール/ステータス信号の入出力機能があります。

P30端子が、 $\overline{RD}$ 信号出力モードとして定義されているとき ($\langle P30F \rangle = “1”$ のとき)、出力ラッチレジスタ $\langle P30 \rangle$ を0にクリアすると、P30端子の $\overline{RD}$ ストローブは内部アドレスエリアをアクセスするときでも出力され (擬似スタティックRAM用)、1にセットされたままだと、外部アドレスエリアをアクセスしたときのみ $\overline{RD}$ ストローブは出力されます。

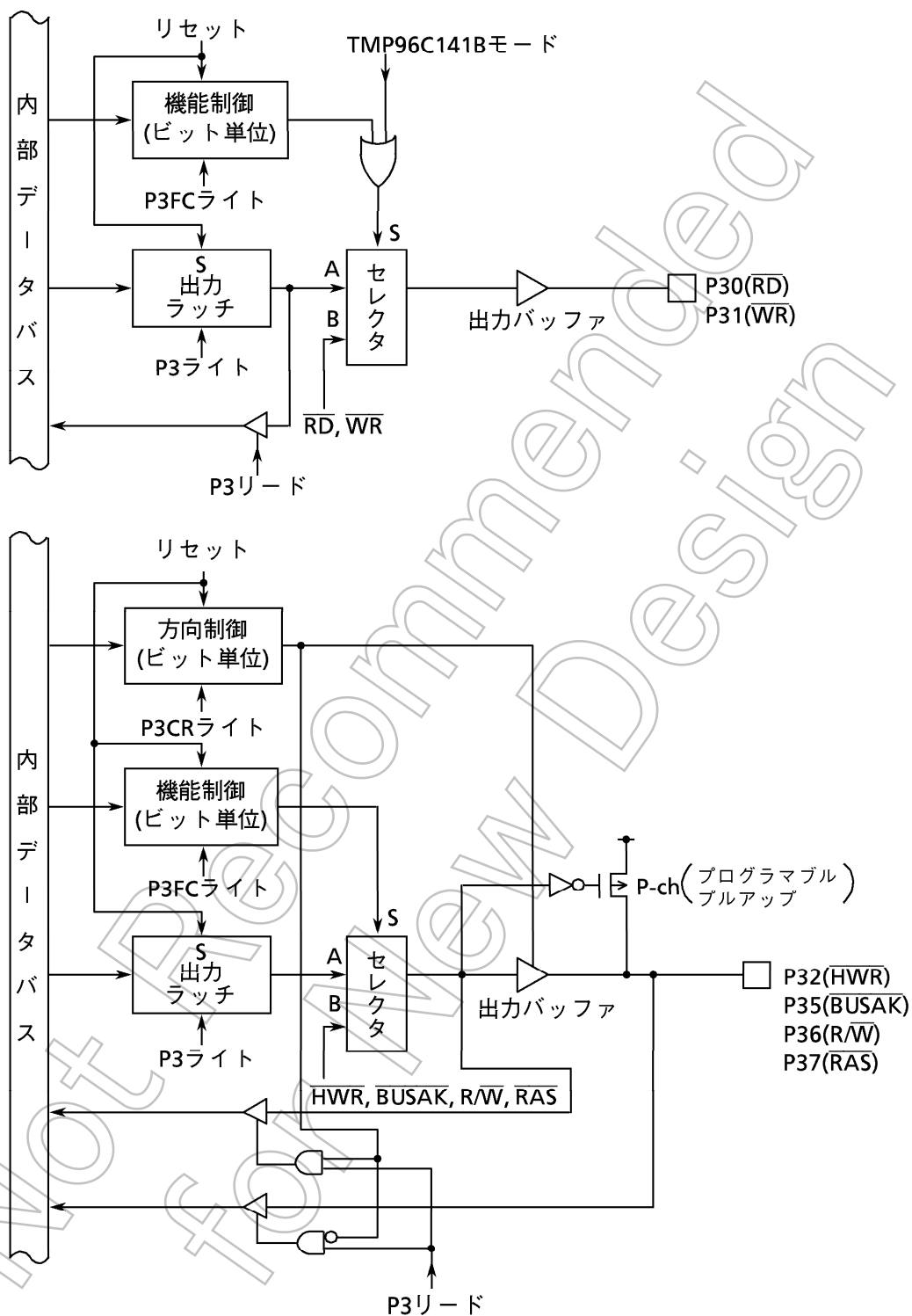


図 3.3 (6) ポート 3 (P30, P31, P32, P35, P36, P37)

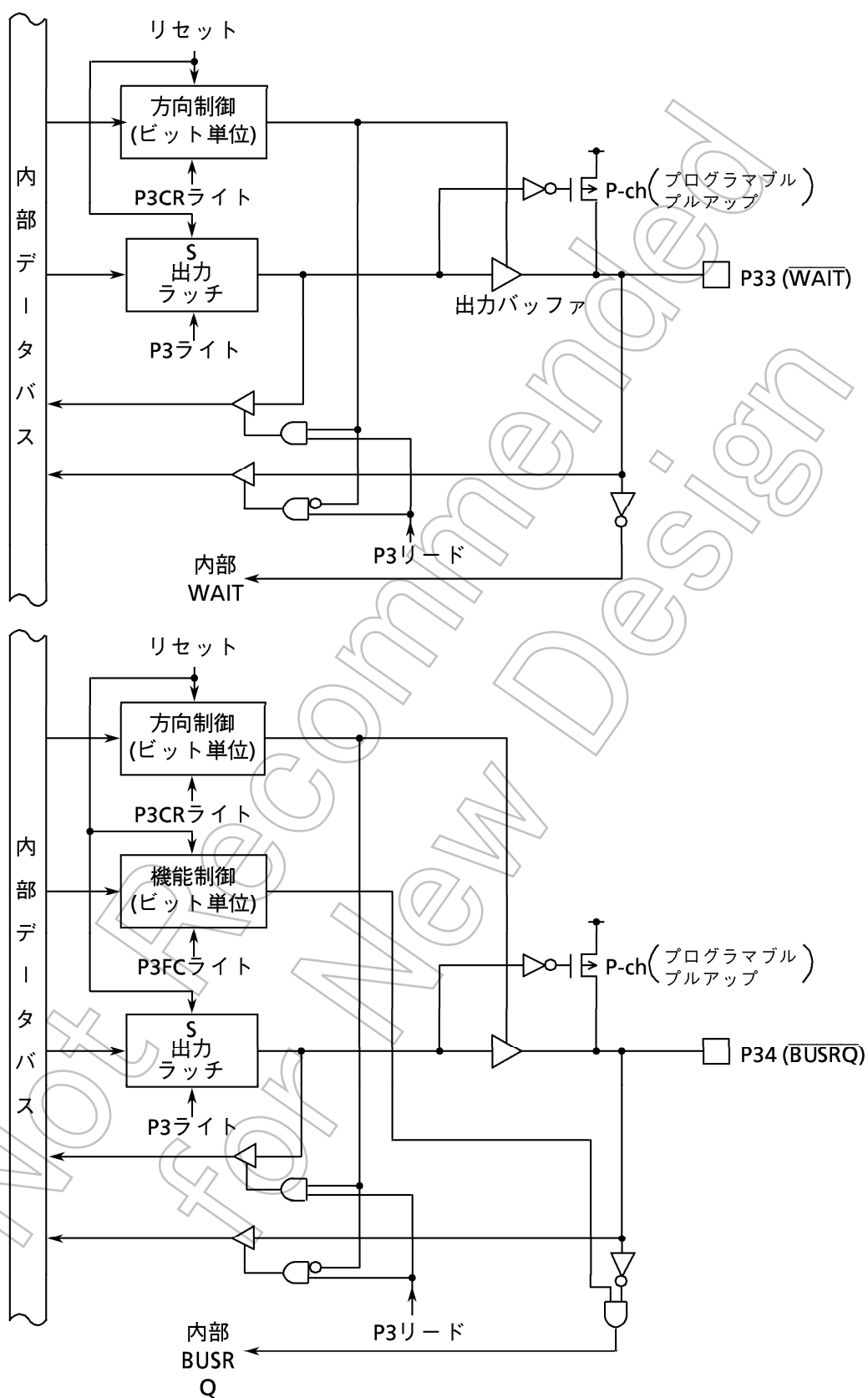
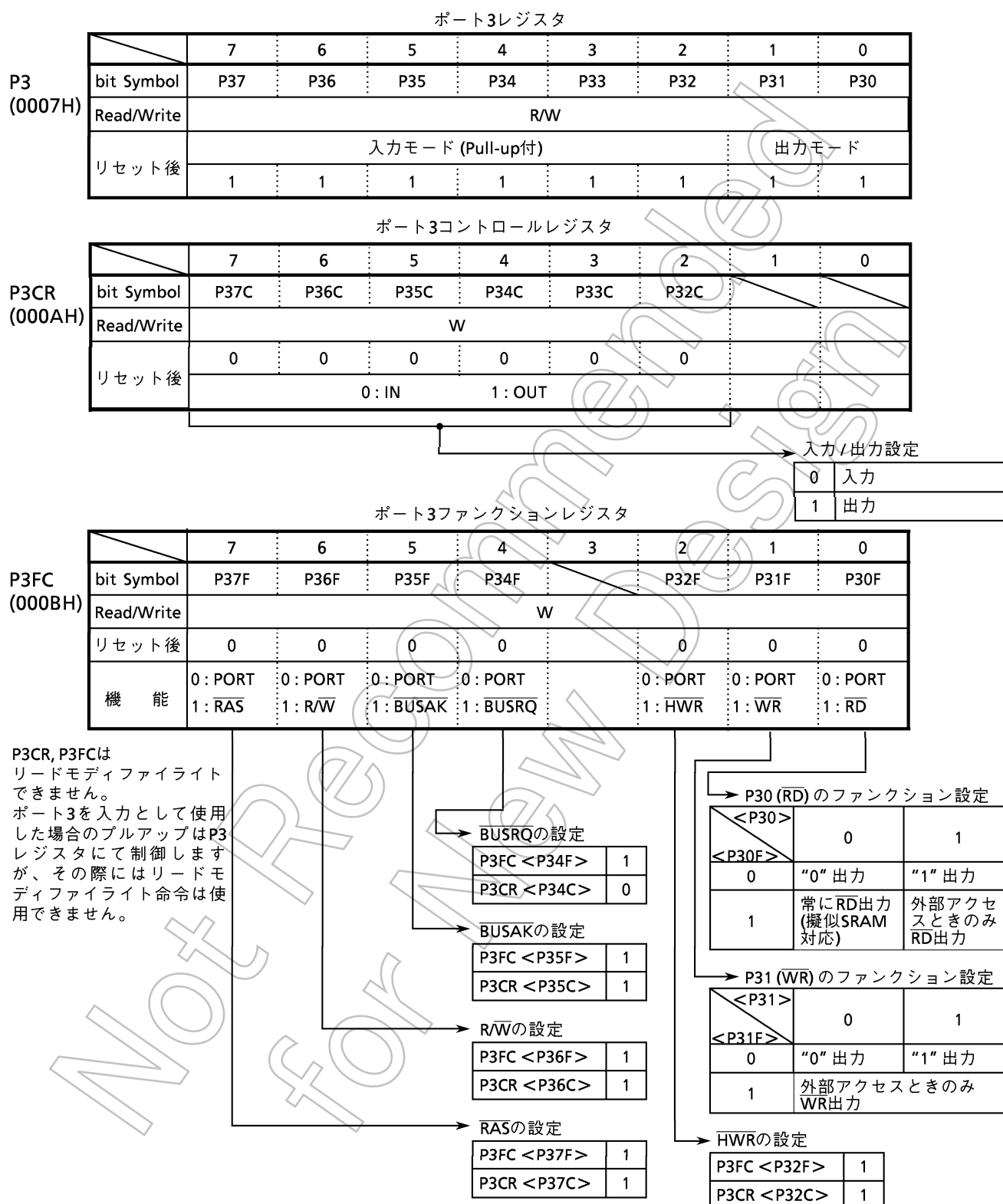


図 3.3 (7) ポート 3 (P33, P34)



注) P33/ $\overline{WAIT}$ 端子を $\overline{WAIT}$ 端子として使用する場合は、P3CR<P33C>を"0"にチップセレクト/ウェイトコントロールレジスタのビット3,2<BxW1,0>を"10"に設定する必要があります。

図3.3 (8) ポート3関係のレジスタ

3.3.5 ポート4 (P40~P42)

ポート4は、ビット単位で入出力の設定ができる3ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP4CRとファンクションレジスタP4FCによって行います。リセット動作により、P40とP41の出力レジスタは“1”、P42の出力ラッチレジスタとコントロールレジスタP4CRとファンクションレジスタP4FCの全ビットは“0”にリセットされ、P40とP41はプルアップ抵抗付きの入力モード、P42はプルダウン抵抗付きの入力モードになります。

汎用入出力ポート機能以外に、チップセレクト信号出力機能 ($\overline{CS0} \sim \overline{CS2}$ または $\overline{CAS0} \sim \overline{CAS2}$) があります。

Not Recommended
for New Design

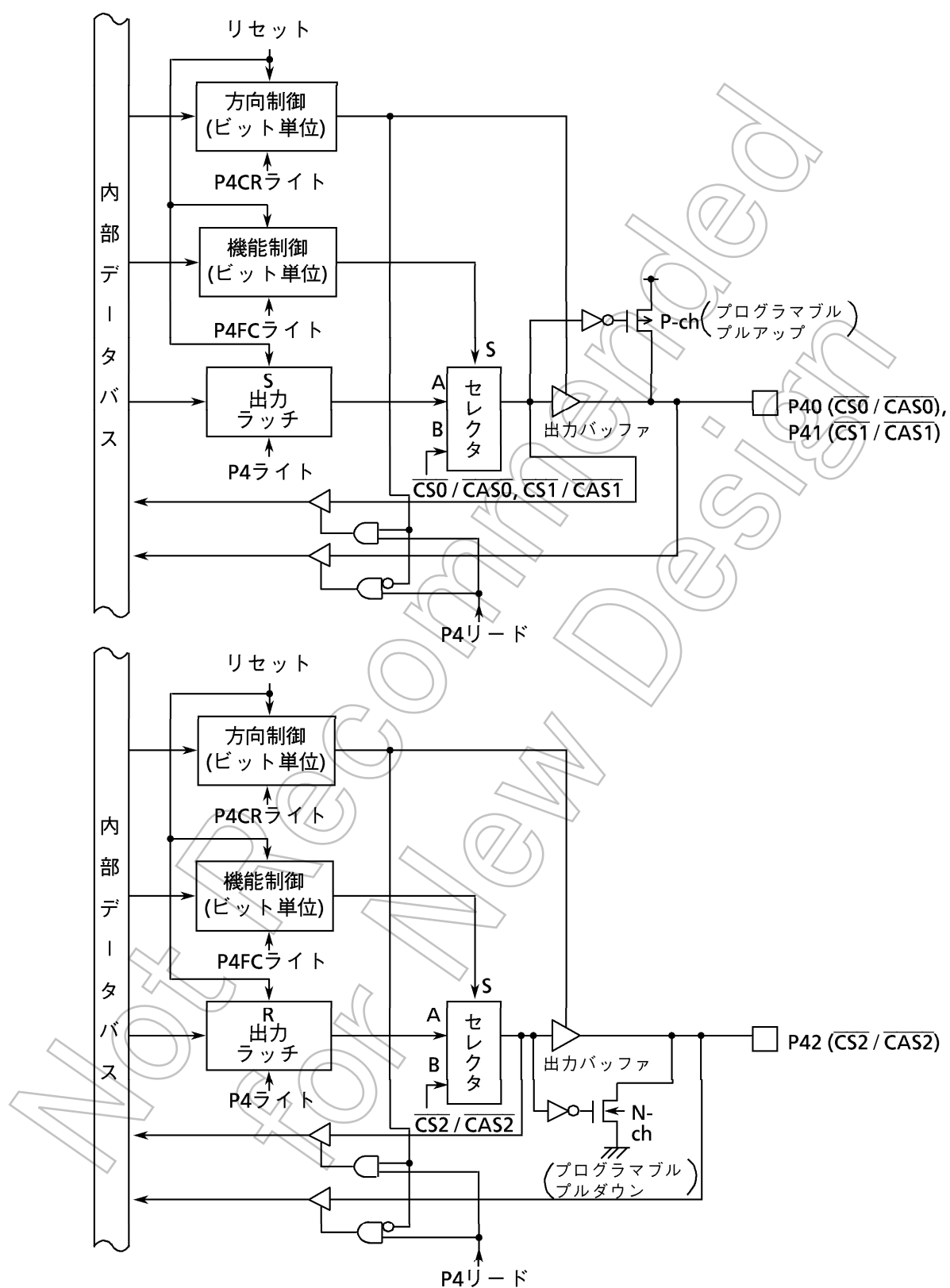
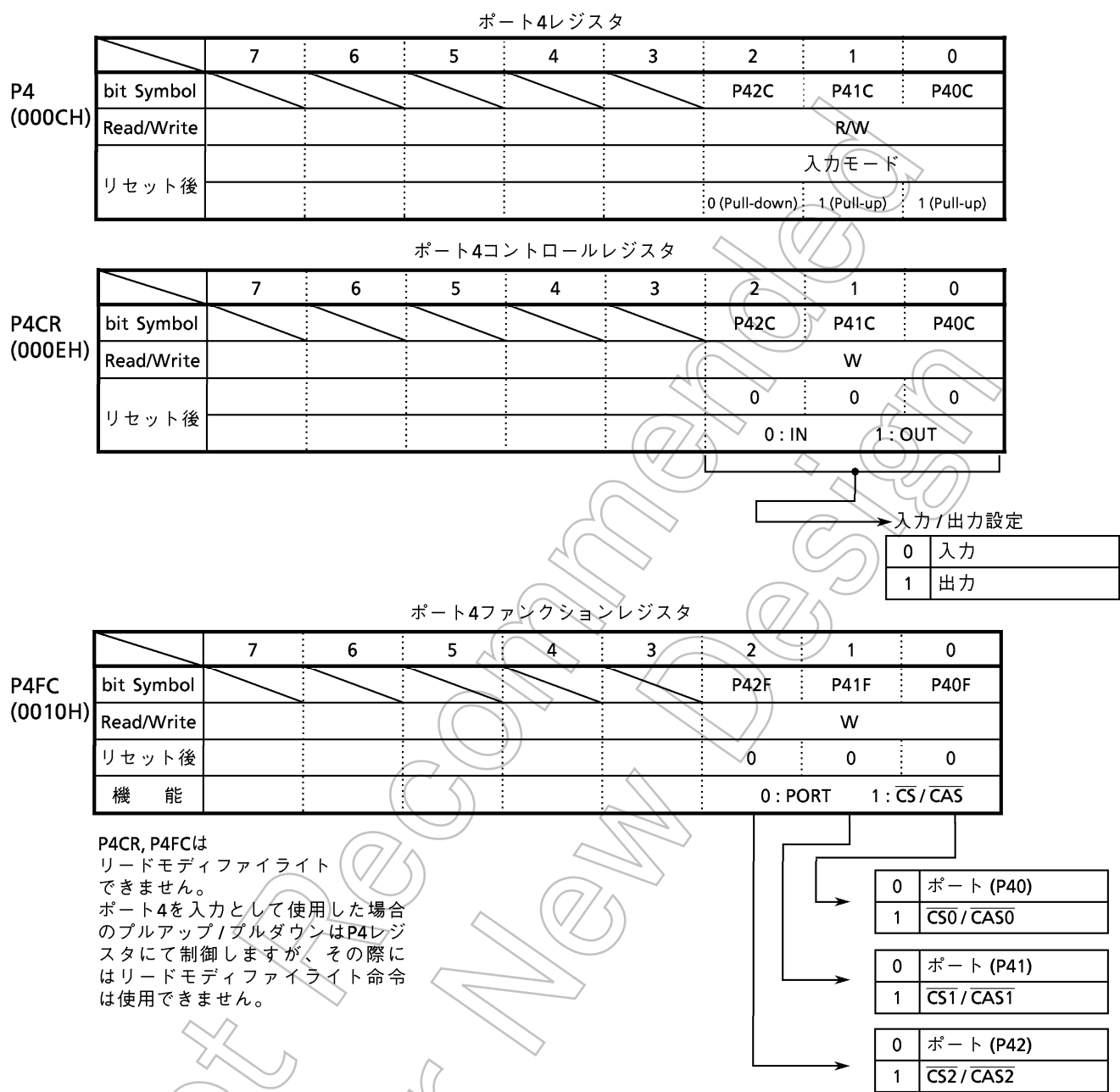


図 3.3 (9) ポート4



注)チップセレクト信号($\overline{CS0}/\overline{CAS0}\sim\overline{CS2}/\overline{CAS2}$)を出力する場合は、コントロールレジスタ(P4CR)とファンクションレジスタ(P4FC)の双方の対応するビットを“1”にしてください。
また、 $\overline{CS}/\overline{CAS}$ の機能選択は、チップセレクト/ウェイトコントローラの(B0CS, B1CS, B2CS)レジスタで行います。

図3.3 (10) ポート4関係のレジスタ

3.3.6 ポート5 (P50~P53)

ポート5は、4ビットの入力専用ポートでアナログ入力端子と兼用になっています。



図3.3 (11) ポート5

ポート5レジスタ								
	7	6	5	4	3	2	1	0
P5 (000DH)	bit Symbol				P53	P52	P51	P50
Read/Write					R			
リセット後					入力モード			

注) A/Dコンバータの入力チャネル選択は、A/DコンバータモードレジスタADMODにて設定します。

図 3.3 (12) ポート5関係のレジスタ

3.3.7 ポート 6 (P60~P67)

ポート6はビット単位で入出力の指定ができる8ビットポートです。リセット動作により入力ポートとなり、プルアップされた状態となります。また、出力ラッチの全ビットは“1”へセットされます。入出力ポート機能以外にパターンジェネレートPG0, 1出力機能があります。PG0はP60~63へ、PG1はP64~67へ割り付けられています。この機能は、ポート6ファンクションレジスタ(P6FC)の該当するビットへ“1”を書き込むことによりPG出力が可能となります。リセット動作により、ファンクションレジスタ(P6FC)の値は“0”にリセットされ、全ビットがポートとなります。

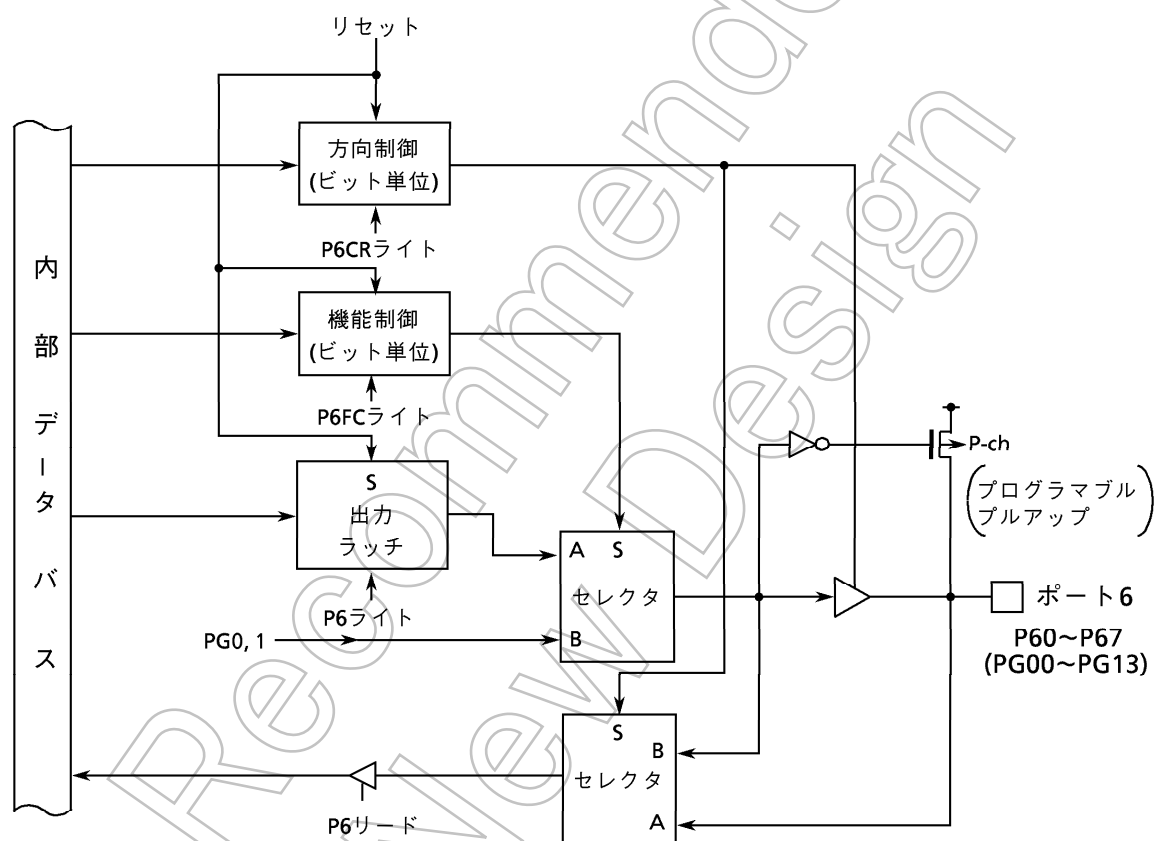


図 3.3 (13) ポー 6

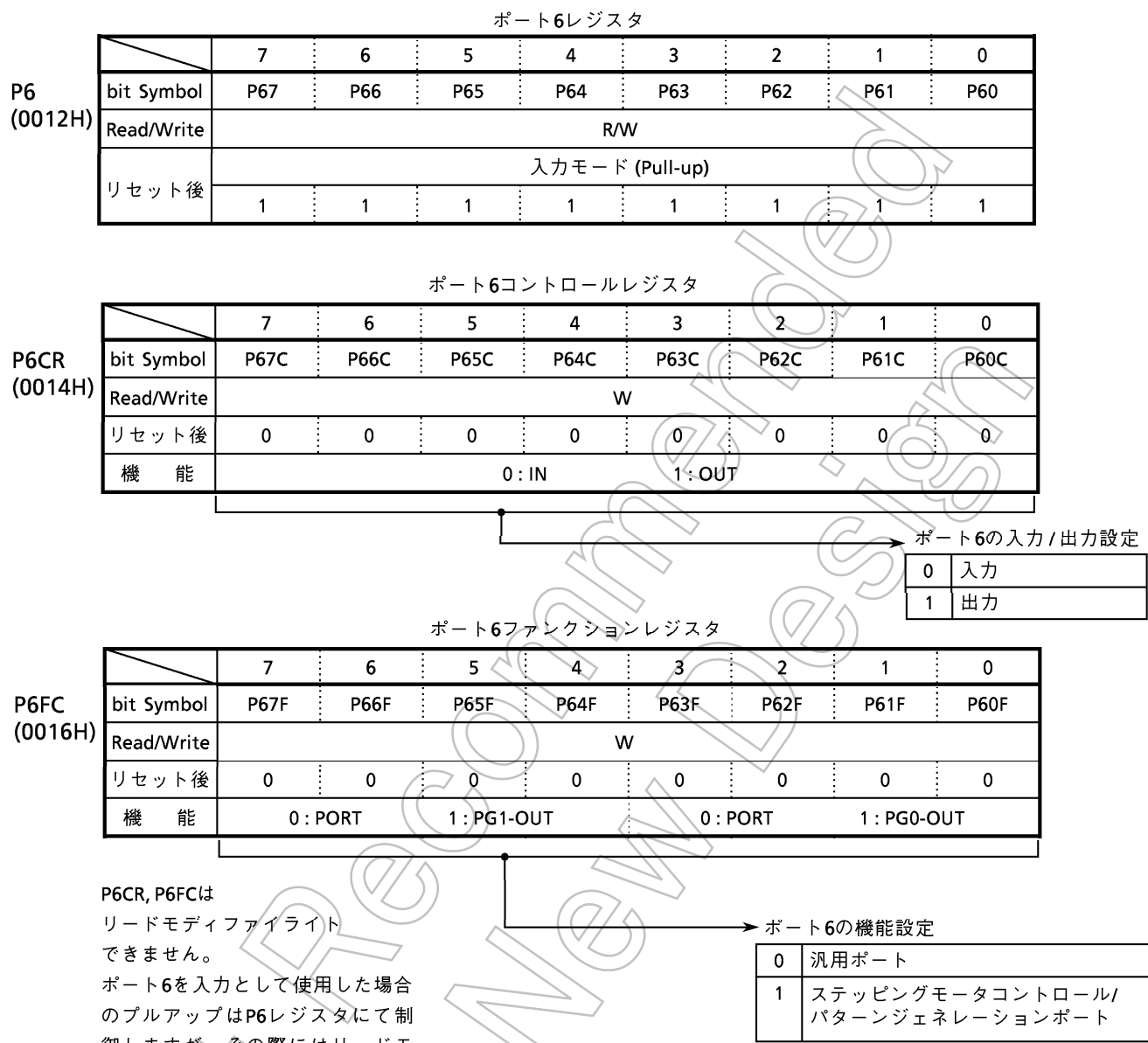


図3.3 (14) ポート6関係のレジスタ

3.3.8 ポート7 (P70~P73)

ポート7はビット単位で入出力指定ができる4ビットの汎用入出力ポートです。リセット動作により入力ポートとなりプルアップされた状態となります。入出力ポート機能以外にポート70は8ビットタイマ0の入力クロック端子TIO、ポート71~73はそれぞれ8ビットタイマ出力(TO1)、PWM0出力(TO2)、PWM1出力(TO3)端子の機能を持っています。このタイマ出力機能はポート7ファンクションレジスタ(P7FC)の該当ビットへ“1”を書き込むことにより可能となります。リセット動作により、ファンクションレジスタ(P7FC)の値は“0”にリセットされ、全ビットがポートとなります。

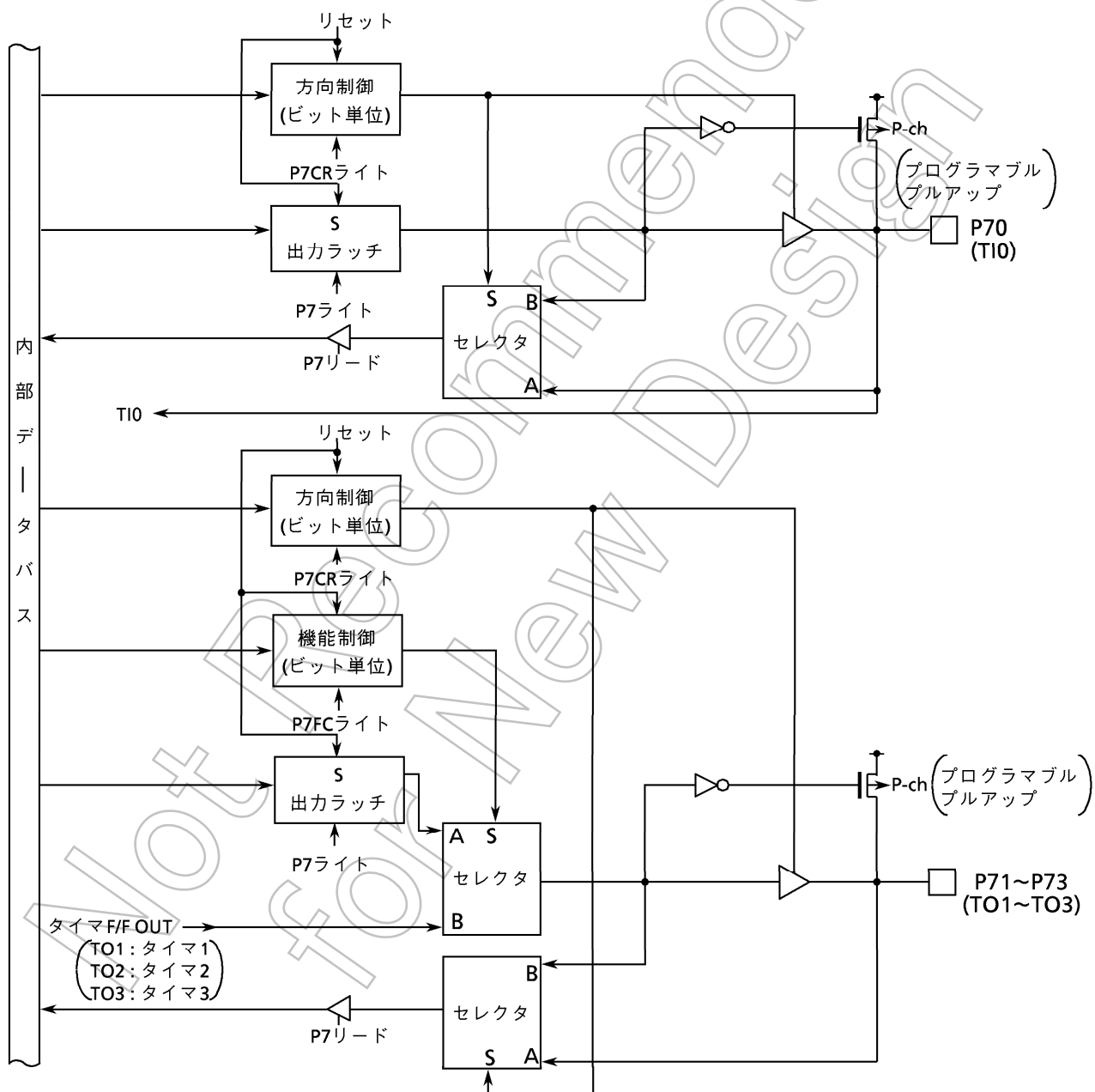
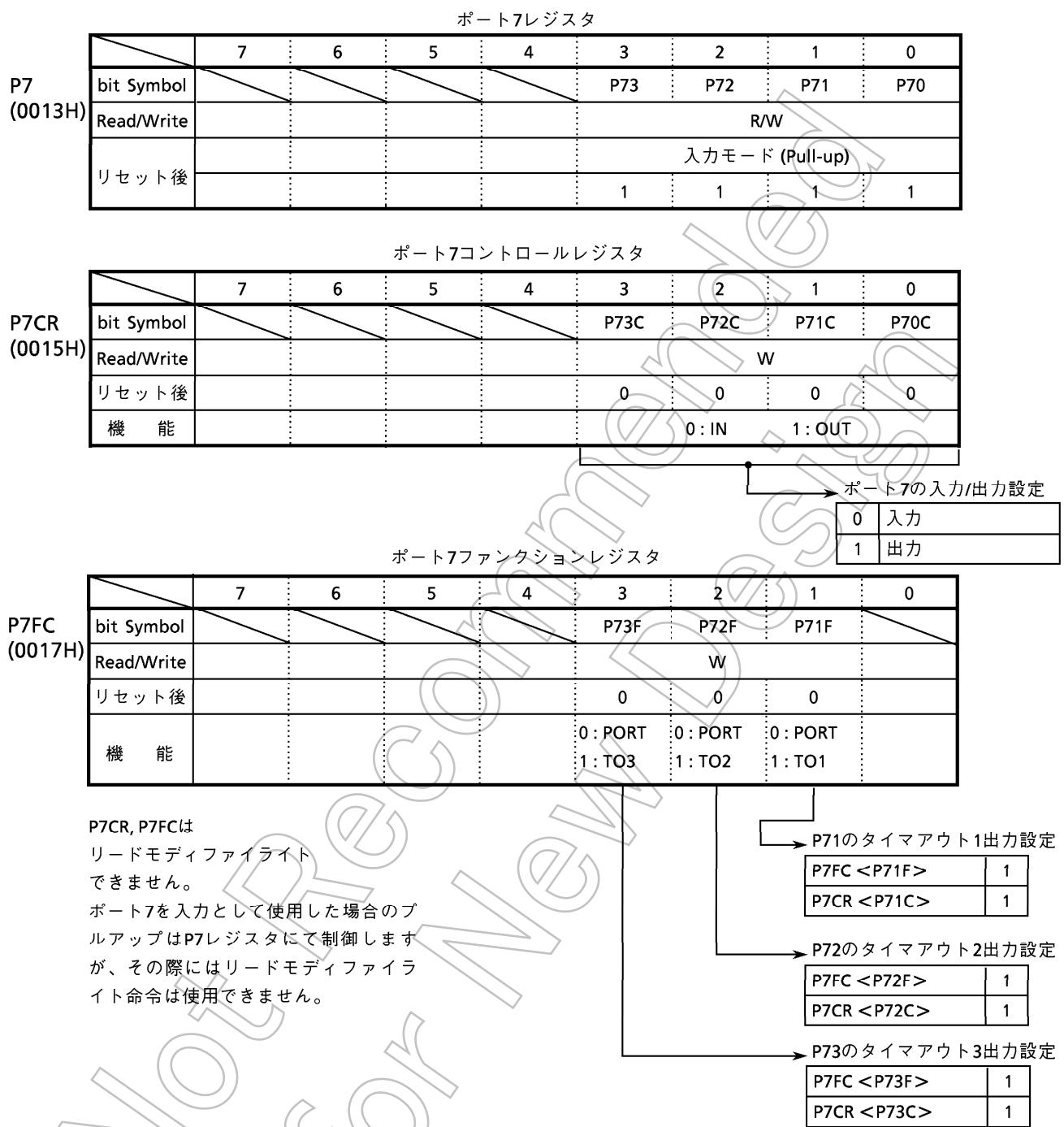


図3.3 (15) ポート7



注) P70/TI0端子は、ポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもタイマ入力0として8ビットタイマ0へ入力されます。

図3.3 (16) ポート7関係のレジスタ

3.3.9 ポート8 (P80~P87)

ポート8はビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。リセット動作により入力ポートとなりプルアップされた状態になります。また、出力ラッチレジスタ (P8) の全ビットは“1”へセットされます。入出力ポート以外に、16ビットタイマ4,5のクロック入力、16ビットタイマF/F4,5,6の出力およびINT0入力機能があります。この機能はポート8ファンクションレジスタ (P8FC) の該当ビットへ“1”を書き込むことにより各ファンクションが可能となります。リセット動作により、ファンクションレジスタ (P8FC) の値は“0”にリセットされ、全ビットがポートとなります。

(1) P80~P86

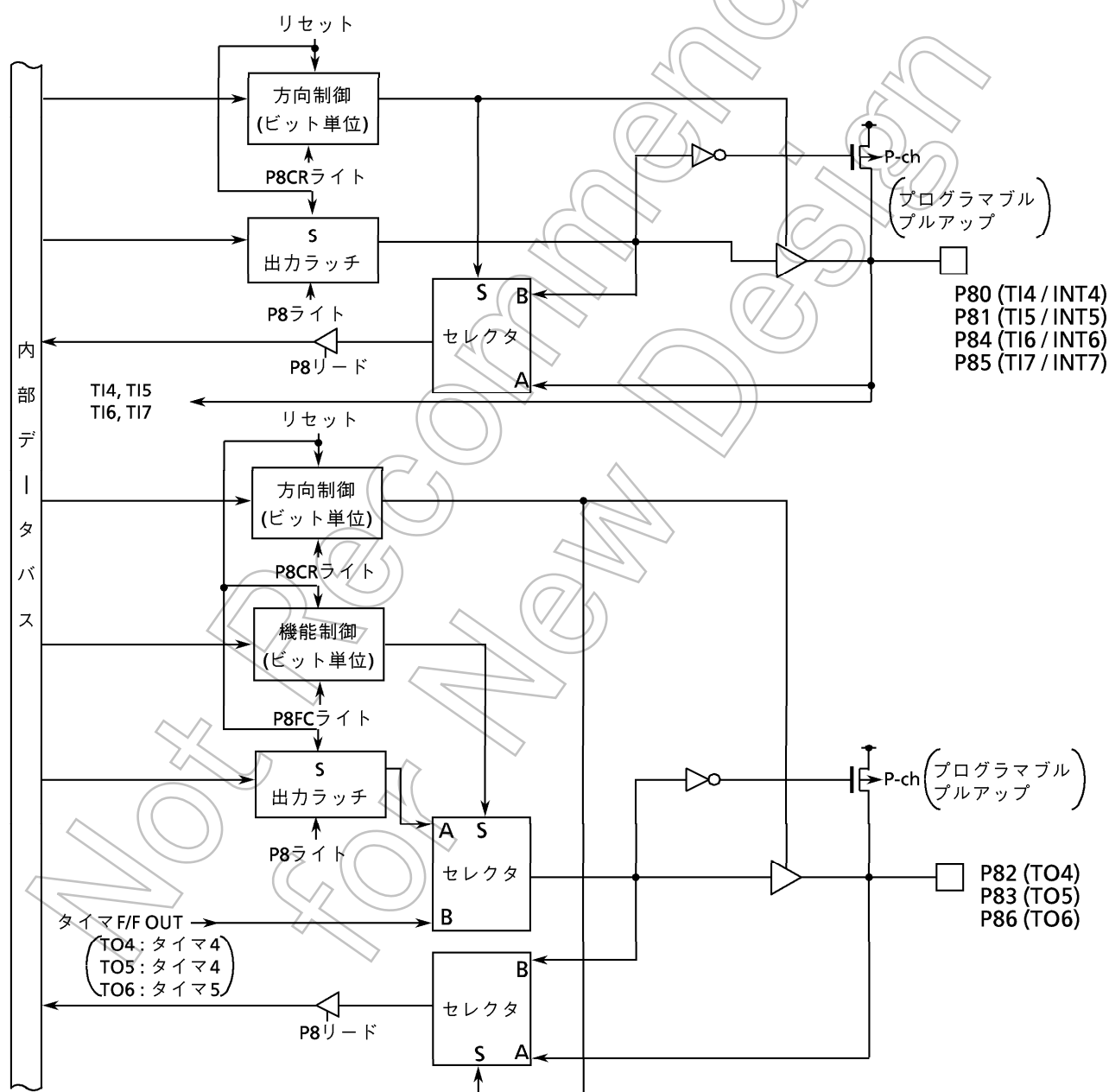


図3.3 (17) ポート8 (P80~P86)

(2) P87 (INT0)

ポート87は汎用入出力ポート以外に、外部割り込み要求入力INT0端子としての機能を持っています。

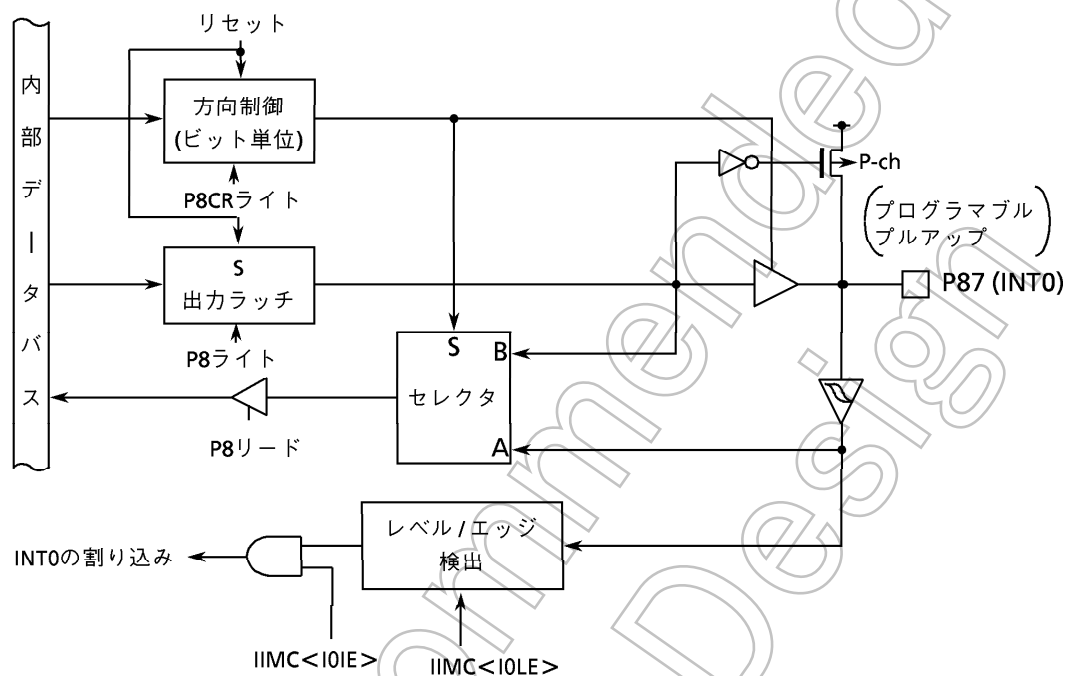
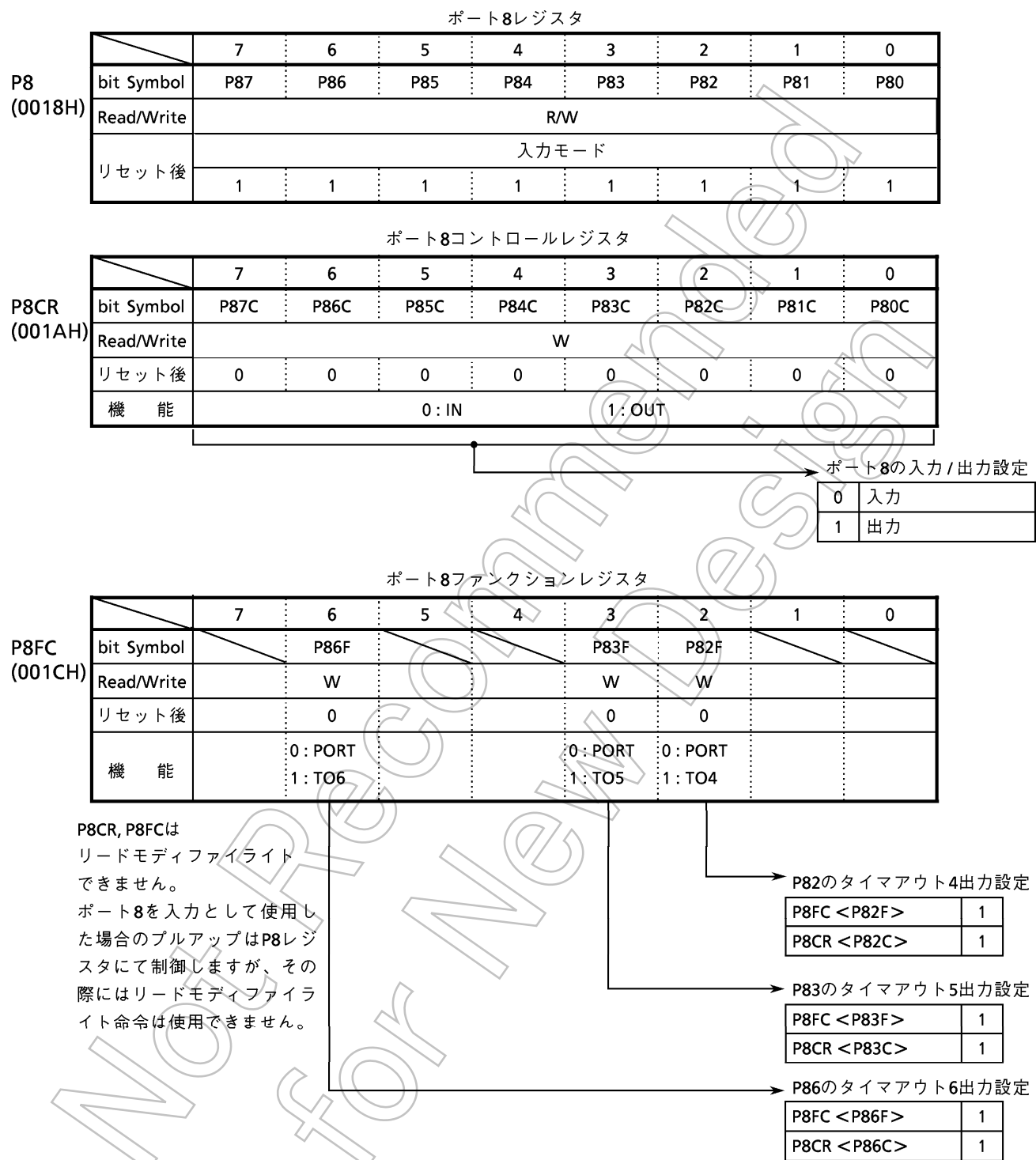


図3.3 (18) ポート87



注) P80/TI4, P81/TI5, P84/TI6, P85/TI7端子は、ポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもタイマ入力として16ビットタイマへ入力されます。また、P87/INT0端子をINT0端子として使用するときは、P8CR<P87C>を"0"に、IIMC<IOIE>を"1"に設定する必要があります。

図3.3 (19) ポート8関係のレジスタ

3.3.10 ポート9 (P90~P95)

ポート9はビット単位で入出力の指定ができる6ビットの汎用入出力ポートです。

リセット動作により、入力ポートとなりプルアップされた状態になります。

また、出力ラッチレジスタの全ビットは“1”へセットされます。

入出力ポート以外にシリアルチャネル0,1の入出力機能があります。

この機能はポート9ファンクションレジスタの該当ビットへ“1”を書き込むことにより各ファンクションが可能となります。

リセット動作により、ファンクションレジスタの値は“0”にリセットされ、全ビットがポートとなります。

(1) ポート90, 93 (TXD0 / TXD1)

ポート90, 93は入出力ポートの以外にシリアルチャネルのTXD出力端子としての機能を持ちます。

このポートは、プログラマブルオープンドレイン機能を持っています。

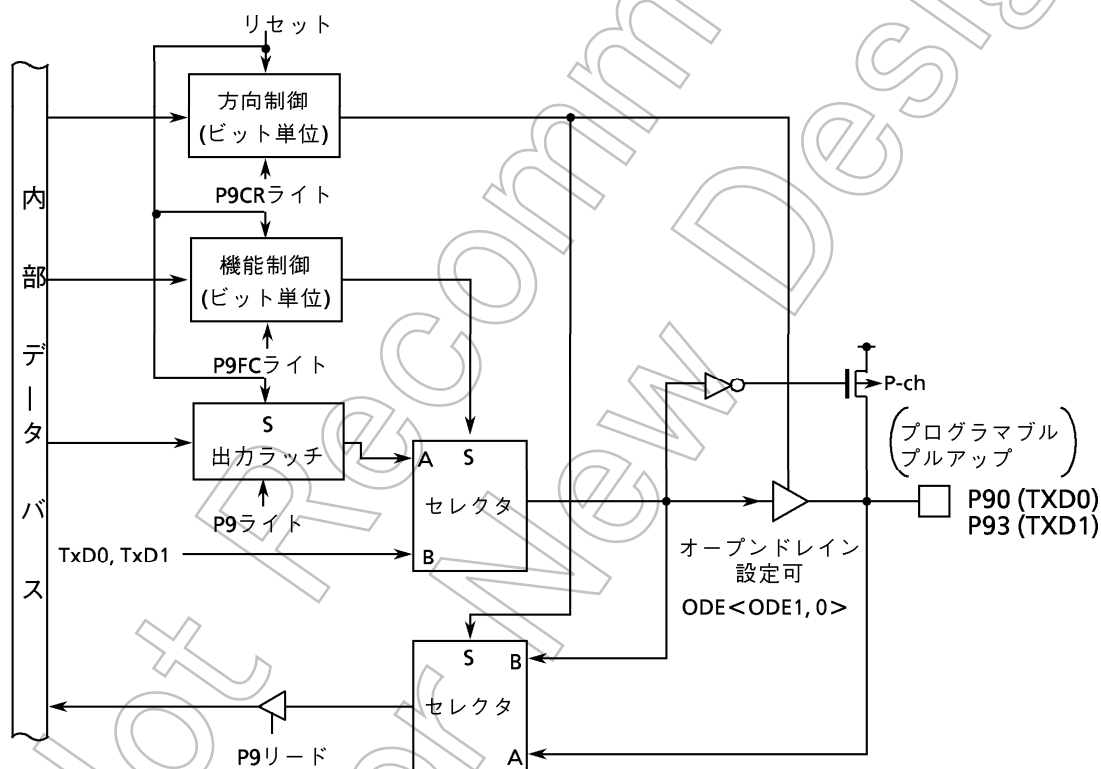


図3.3 (20) ポート90, 93

(2) ポート91,94 (RXD0, 1)

ポート91,94は入出力ポートの以外に、シリアルチャネルのRXD入力端子としての機能を持っています。

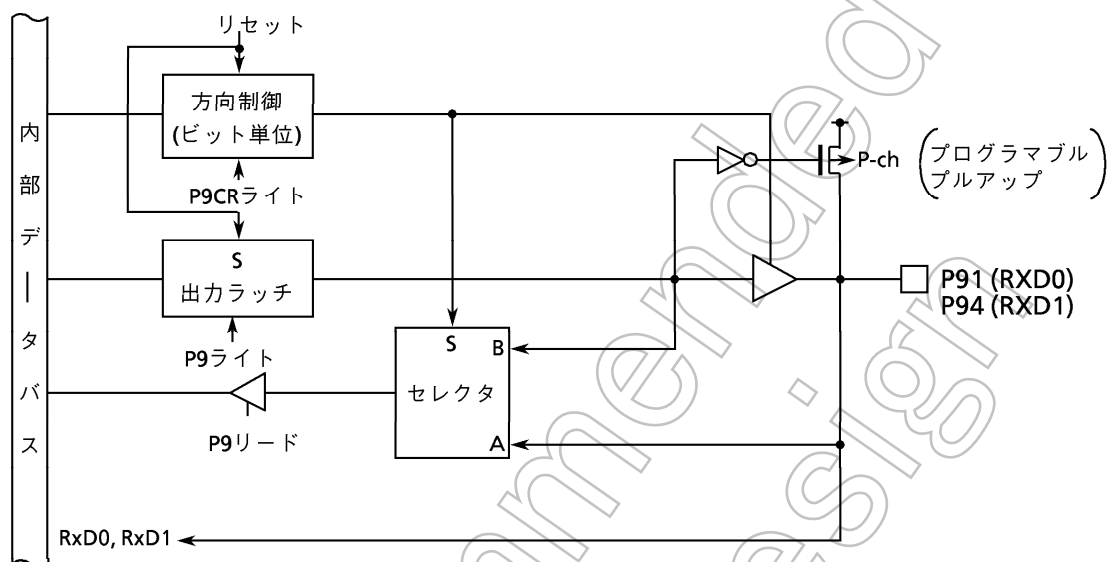


図3.3 (21) ポート91,94

(3) ポート92 ($\overline{\text{CTS0}}$ / SCLK0)

ポート92は入出力ポートの以外にシリアルチャネル0の $\overline{\text{CTS0}}$ 入力端子としての機能を持っています。また、 $\overline{\text{CTS0}}$ 端子機能以外に、SCLK0入出力端子としての機能を持っています。

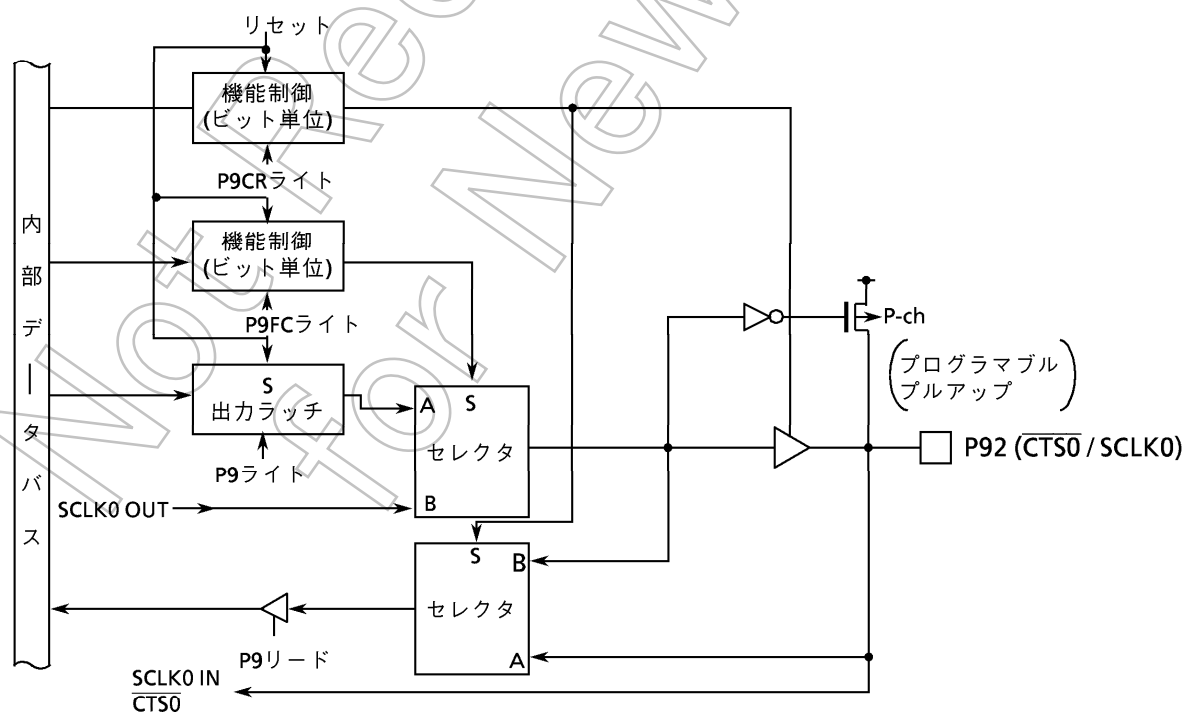


図3.3 (22) ポート92

(4) ポート95 (SCLK1)

ポート95は汎用入出力ポートの以外に、シリアルチャネル1のSCLK1入出力端子としての機能を持っています。

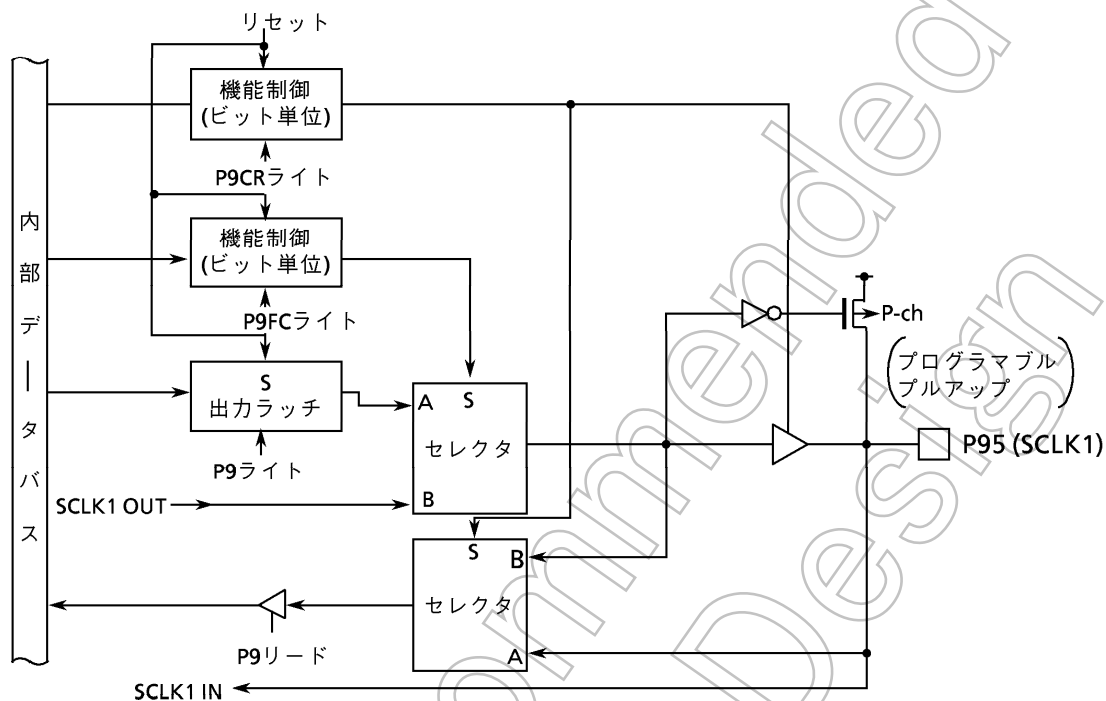


図3.3 (23) ポート95

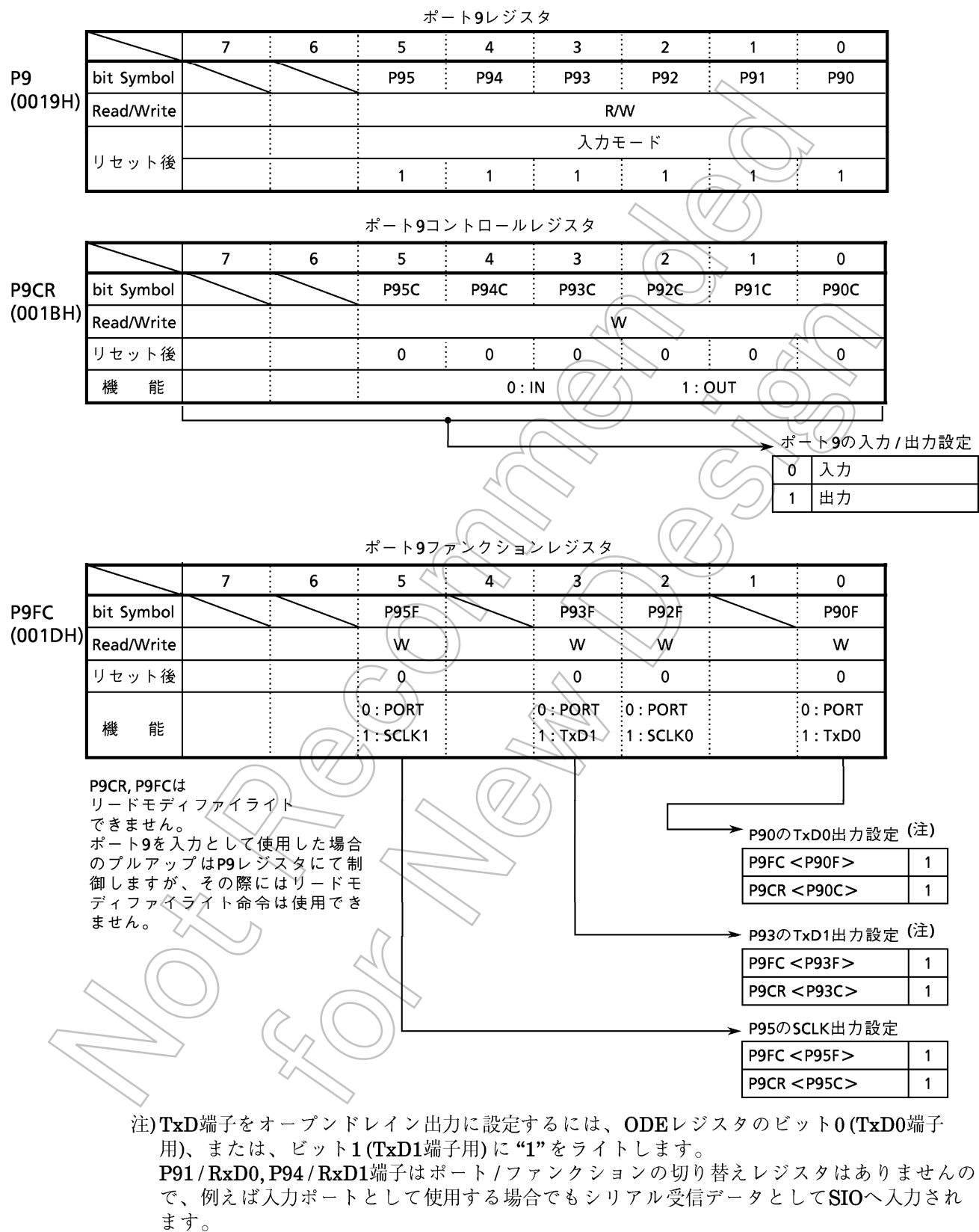


図3.3 (24) ポート9関係のレジスタ

4. 電気的特性

4.1 最大定格

項 目	記 号	定 格	単 位
電源電圧	V _{CC}	-0.5~6.5	V
入力電圧	V _{IN}	-0.5~V _{CC} +0.5	V
出力電流 (合計)	Σ I _{OL}	100	mA
出力電流 (合計)	Σ I _{OH}	-100	mA
消費電力 (Ta = 85℃)	P _D	500	mW
はんだ付け温度 (10 s)	T _{SOLDER}	260	℃
保存温度	T _{STG}	-65~150	℃
動作温度	T _{OPR}	-40~85	℃

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC電気的特性

V_{CC} = 5 V ± 10%, Ta = -40~85℃ (4~16 MHz) Ta = -20~70℃ (4~20 MHz)

(Typ値はTa = 25℃, V_{CC} = 5 Vの値です)

項 目	記 号	条 件	Min	Max	単位
Input Low Voltage (AD0 - 15)	V _{IL}		-0.3	0.8	V
P2, P3, P4, P5, P6, P7, P8, P9	V _{IL1}		-0.3	0.3 V _{CC}	V
RESET, NMI, INT0 (P87)	V _{IL2}		-0.3	0.25 V _{CC}	V
EA	V _{IL3}		-0.3	0.3	V
X1	V _{IL4}		-0.3	0.2 V _{CC}	V
Input High Voltage (AD0 - 15)	V _{IH}		2.2	V _{CC} + 0.3	V
P2, P3, P4, P5, P6, P7, P8, P9	V _{IH1}		0.7 V _{CC}	V _{CC} + 0.3	V
RESET, NMI, INT0 (P87)	V _{IH2}		0.75 V _{CC}	V _{CC} + 0.3	V
EA	V _{IH3}		V _{CC} - 0.3	V _{CC} + 0.3	V
X1	V _{IH4}		0.8 V _{CC}	V _{CC} + 0.3	V
Output Low Voltage	V _{OL}	I _{OL} = 1.6 mA		0.45	V
Output High Voltage	V _{OH}	I _{OH} = -400 μA	2.4		V
	V _{OH1}	I _{OH} = -100 μA	0.75 V _{CC}		V
	V _{OH2}	I _{OH} = -20 μA	0.9 V _{CC}		V
Darlington Drive Current (8 Output Pins max.)	I _{DAR}	V _{EXT} = 1.5 V R _{EXT} = 1.1 kΩ	-1.0	-3.5	mA
Input Leakage Current	I _{LI}	0.0 ≤ V _{in} ≤ V _{CC}	0.02 (Typ)	± 5	μA
Output Leakage Current	I _{LO}	0.2 ≤ V _{in} ≤ V _{CC} - 0.2	0.05 (Typ)	± 10	μA
Operating Current (RUN)	I _{CC}	f _C = 20 MHz	30 (Typ)	50	mA
IDLE			2.0 (Typ)	10	mA
STOP (Ta = -40~85℃)		0.2 ≤ V _{in} ≤ V _{CC} - 0.2	0.2 (Typ)	50	μA
STOP (Ta = 0~50℃)		0.2 ≤ V _{in} ≤ V _{CC} - 0.2		10	μA
Power Down Voltage (@ STOP, RAM Back up)	V _{STOP}	V _{IL2} = 0.2 V _{CC} , V _{IH2} = 0.8 V _{CC}	2.0	6.0	V
RESET Pull Up Resistor	R _{RST}		50	150	kΩ
Pin Capacitance	C _{IO}	f _C = 1 MHz		10	pF
Schmitt Width RESET, NMI, INT0 (P87)	V _{TH}		0.4	1.0 (Typ)	V
Programable Pull Down Resistor	R _{KL}		10	80	kΩ
Programable Pull Up Resistor	R _{KH}		50	150	kΩ

(注) I-DARは、任意の出力ポートについて、V_{CC}ピンどうしの間でそれぞれ8本まで保証します。

4.3 AC電気的特性

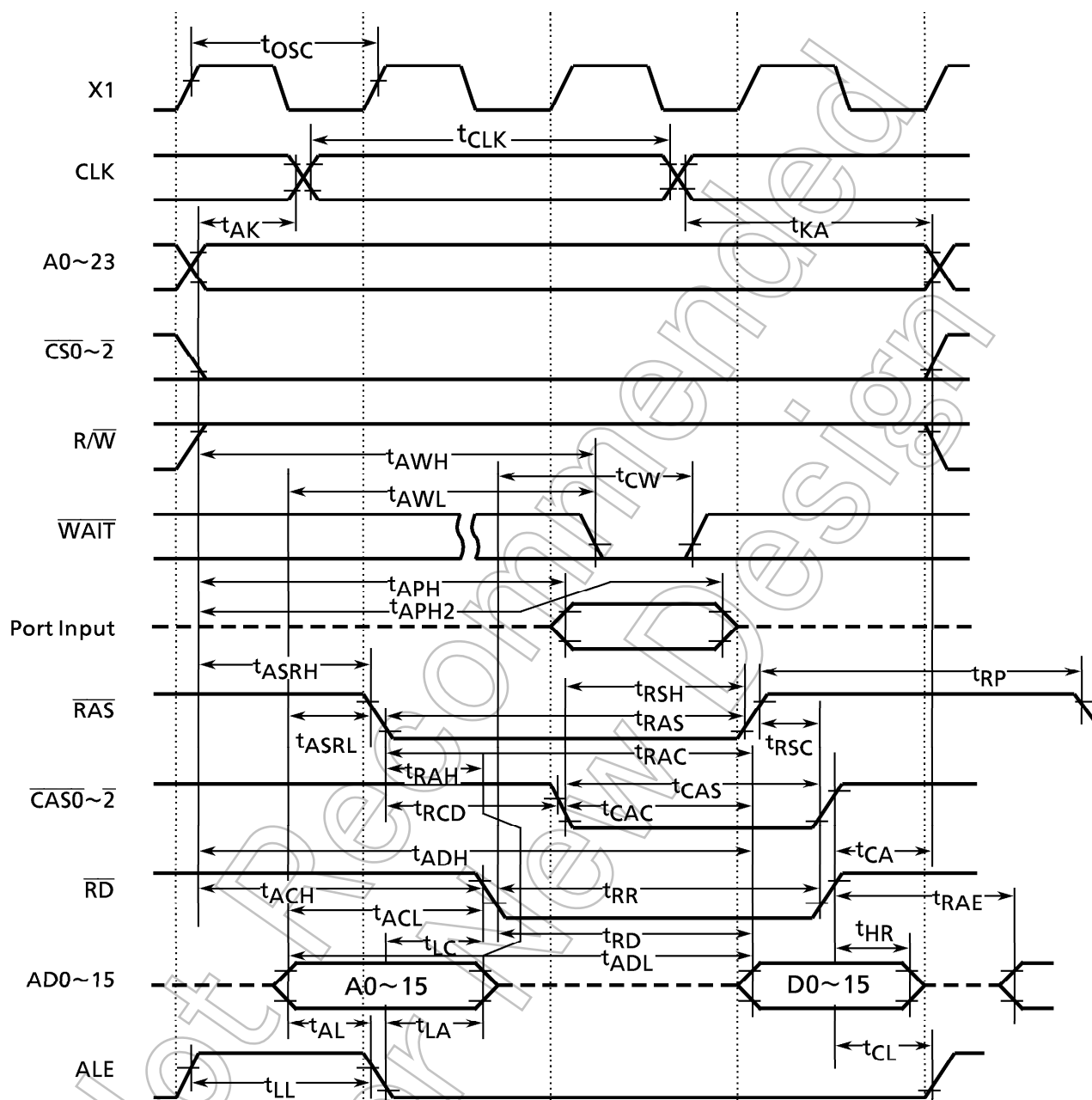
Vcc = 5 V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

No.	項目	記号	計算式		16 MHz		20 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	t _{OSC}	50	250	62.5		50		ns
2	CLK パルス幅	t _{CLK}	2x - 40		85		60		ns
3	A0-23 有効→CLK保持	t _{AK}	0.5x - 20		11		5		ns
4	CLK 有効→A0-23保持	t _{KA}	1.5x - 70		24		5		ns
5	A0-15 有効→ALE立ち下がり	t _{AL}	0.5x - 15		16		10		ns
6	ALE 立ち下がり→A0-15保持	t _{LA}	0.5x - 15		16		10		ns
7	ALE High パルス幅	t _{LL}	x - 40		23		10		ns
8	ALE 立ち下がり→RD/WR立ち下がり	t _{LC}	0.5x - 30		1		-5		ns
9	RD/WR 立ち上がり→ALE立ち上がり	t _{CL}	0.5x - 20		11		5		ns
10	A0-15 有効→RD/WR立ち下がり	t _{ACL}	x - 25		38		25		ns
11	A0-23 有効→RD/WR立ち下がり	t _{ACH}	1.5x - 50		44		25		ns
12	RD/WR 立ち上がり→A0-23保持	t _{CA}	0.5x - 20		11		5		ns
13	A0-15 有効→D0-15入力	t _{ADL}		3.0x - 45		143		105	ns
14	A0-23 有効→D0-15入力	t _{ADH}		3.5x - 65		154		110	ns
15	RD立ち下がり →D0-15入力	t _{RD}		2.0x - 50		75		50	ns
16	RD Low パルス幅	t _{RR}	2.0x - 40		85		60		ns
17	RD立ち上がり→D0-15保持	t _{HR}	0		0		0		ns
18	RD立ち上がり→A0-15出力	t _{RAE}	x - 15		48		35		ns
19	WR Low パルス幅	t _{WW}	2.0x - 40		85		60		ns
20	D0-15 有効→WR立ち上がり	t _{DW}	2.0x - 50		75		50		ns
21	WR立ち上がり →D0-15保持	t _{WD}	0.5x - 10		21		15		ns
22	A0-23 有効→ WAIT 入力 ^(1 WAIT + n モード)	t _{AWH}		3.5x - 90		129		85	ns
23	A0-15 有効→ WAIT 入力 ^(1 WAIT + n モード)	t _{AWL}		3.0x - 80		108		70	ns
24	RD/WR立ち下がり→WAIT保持 ^(1 WAIT + n モード)	t _{CW}	2.0x + 0		125		100		ns
25	A0-23 有効→ PORT 入力	t _{APH}		2.5x - 120		36		5	ns
26	A0-23 有効→ PORT 保持	t _{APH2}	2.5x + 50		206		175		ns
27	WR立ち上がり→PORT 有効	t _{CP}		200		200		200	ns
28	A0-23 有効→RAS立ち下がり	t _{ASRH}	1.0x - 40		23		10		ns
29	A0-15 有効→RAS立ち下がり	t _{ASRL}	0.5x - 15		16		10		ns
30	RAS 立ち下がり→D0-15入力	t _{RAC}		2.5x - 70		86		55	ns
31	RAS 立ち下がり→A0-15保持	t _{RAH}	0.5x - 15		16		10		ns
32	RAS Low パルス幅	t _{RAS}	2.0x - 40		85		60		ns
33	RAS High パルス幅	t _{RP}	2.0x - 40		85		60		ns
34	CAS 立ち下がり→RAS立ち上がり	t _{RSH}	1.0x - 35		28		15		ns
35	RAS 立ち上がり→CAS立ち上がり	t _{RSC}	0.5x - 25		6		0		ns
36	RAS 立ち下がり→CAS立ち下がり	t _{RCD}	1.0x - 40		23		10		ns
37	CAS 立ち下がり→D0-15入力	t _{CAC}		1.5x - 65		29		10	ns
38	CAS Low パルス幅	t _{CAS}	1.5x - 30		64		40		ns

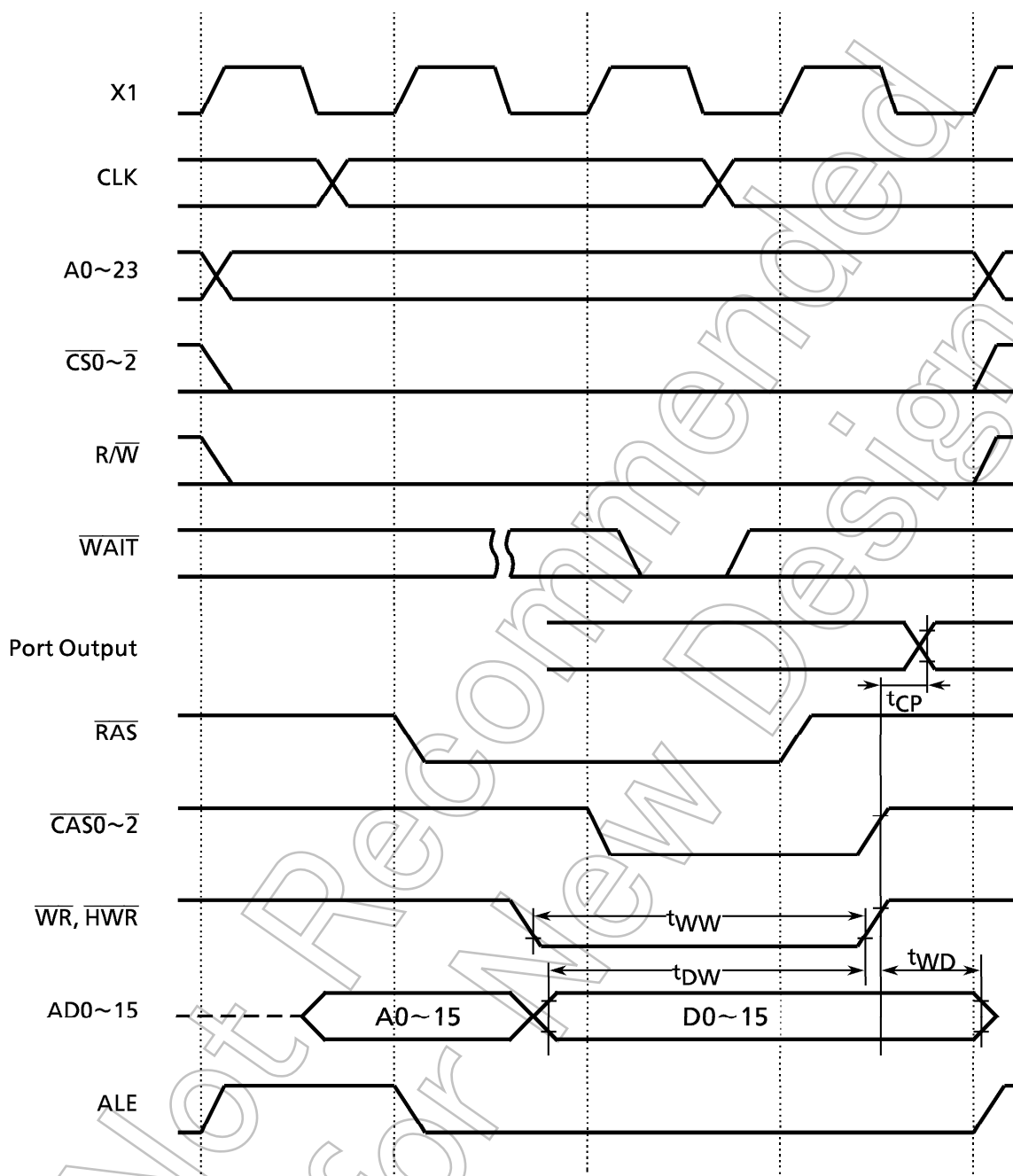
AC測定条件

- 出力レベル : High 2.2 V /Low 0.8 V , CL = 50 pF
(ただし、AD0~AD15, A0~A23, ALE, RD, WR, HWR, R/W, CLK, RAS, CAS0~CAS2は, CL = 100 pF)
- 入力レベル : High 2.4 V /Low 0.45 V (AD0~AD15)
High 0.8 Vcc /Low 0.2 Vcc (AD0~AD15を除く)

(1) リードサイクル



(2) ライトサイクル



4.4 A/D 変換特性

Vcc = 5 V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

項 目	記 号	Min	Typ	Max	単 位
アナログ基準電圧	V _{REF}	V _{CC} - 1.5		V _{CC}	V
アナログ基準電圧	A _{GND}	V _{SS}		V _{SS}	
アナログ入力電圧範囲	V _{AIN}	V _{SS}		V _{CC}	
アナログ基準電圧電源電流	I _{REF}		0.5	1.5	mA
4 ≤ fc ≤ 16 MHz	低速変換モード	総合誤差(量子化誤差 ± 0.5LSB 含まず)	± 1.5	± 4.0	LSB
	高速変換モード		± 3.0	± 6.0	
16 < fc ≤ 20 MHz	低速変換モード		± 1.5	± 4.0	
	高速変換モード		± 4.0	± 8.0	

4.5 シリアルチャネルタイミング - I/O インタフェースモード

(1) SCLK 入力モード

Vcc = 5 V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

項 目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t _{SCY}	16X		1		0.8		μs
Output Data → SCLK 立ち上がり	t _{OSS}	t _{SCY} /2 - 5X - 50		137		100		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	5X - 100		212		150		ns
SCLK 立ち上がり → Input Data 保持	t _{HSR}	0		0		0		ns
SCLK 立ち上がり → 有効 Data 入力	t _{SRD}	t _{SCY} - 5X - 100			587		450	ns

(2) SCLK 出力モード

Vcc = 5 V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

項 目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	16X	8192X	1	512	0.8	409.6	μs
Output Data → SCLK 立ち上がり	t _{OSS}	t _{SCY} - 2X - 150		725		550		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	2X - 80		45		20		ns
SCLK 立ち上がり → Input Data 保持	t _{HSR}	0		0		0		ns
SCLK 立ち上がり → 有効 Data 入力	t _{SRD}	t _{SCY} - 2X - 150			725		550	ns

4.6 イベントカウンタ (TI0, TI4, TI5, TI6, TI7)

Vcc = 5 V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

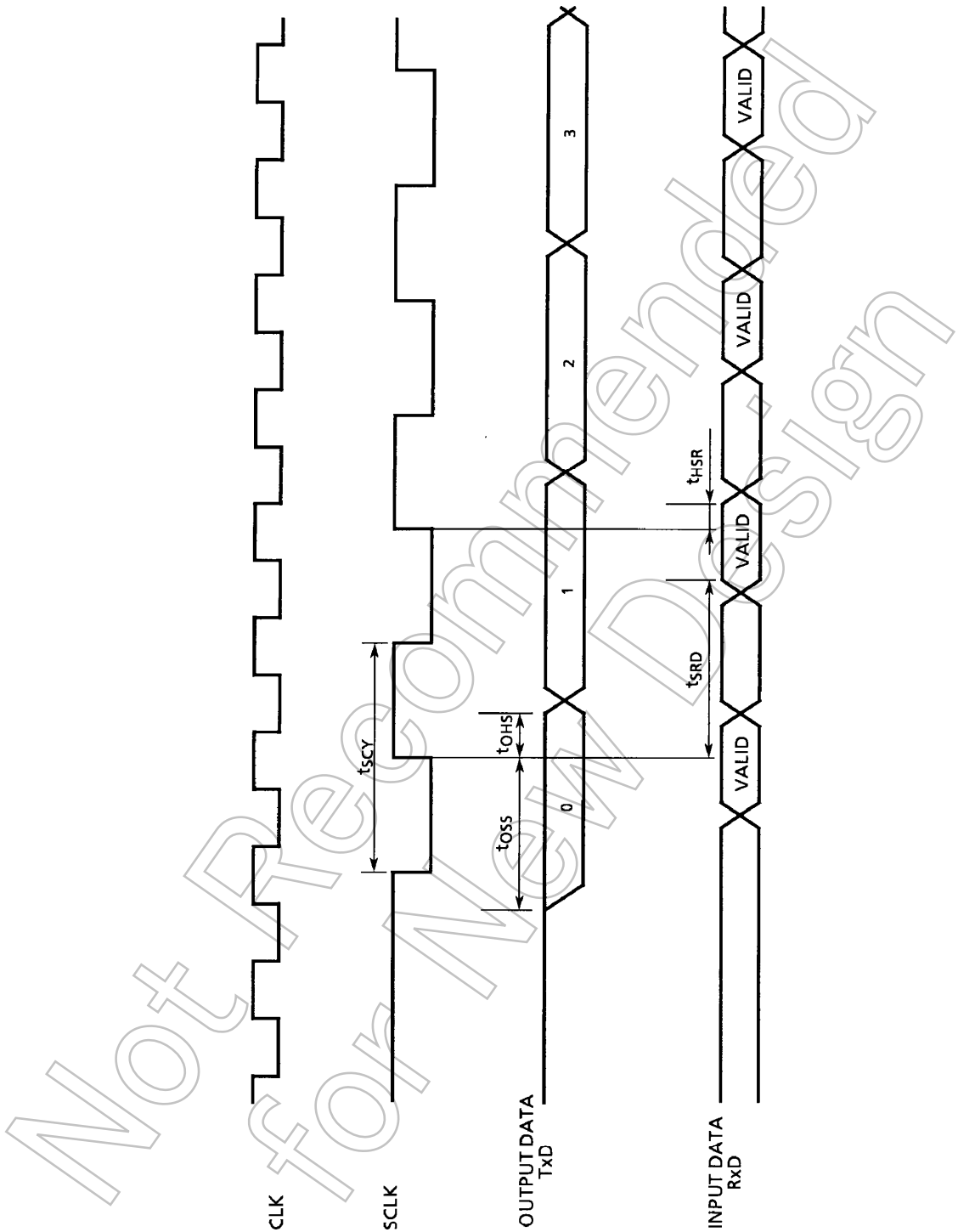
項 目	記 号	Variable		16MHz		20MHz		単 位
		Min	Max	Min	Max	Min	Max	
クロック周期	t _{VCK}	8X + 100		600		500		ns
クロック低レベルパルス幅	t _{VCKL}	4X + 40		290		240		ns
クロック高レベルパルス幅	t _{VCKH}	4X + 40		290		240		ns

4.7 割り込みオペレーション

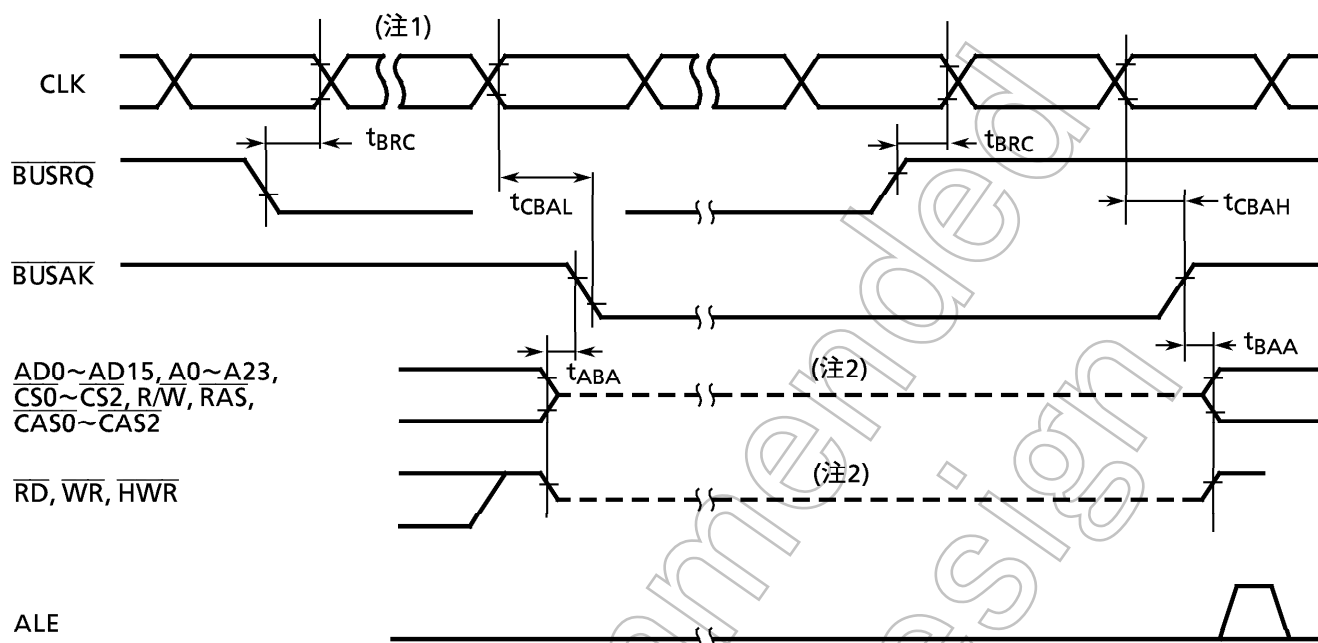
Vcc = 5 V ± 10%, Ta = -40~85°C (4~16 MHz) Ta = -20~70°C (4~20 MHz)

項 目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
NMI, INT0 低レベルパルス幅	t _{INTAL}	4X		250		200		ns
NMI, INT0 高レベルパルス幅	t _{INTAH}	4X		250		200		ns
INT4~INT7 低レベルパルス幅	t _{INTBL}	8X + 100		600		500		ns
INT4~INT7 高レベルパルス幅	t _{INTBH}	8X + 100		600		500		ns

4.8 I/Oインタフェースモードタイミング図



4.9 バスリクエスト/バスアクノリッジ



記号	項 目	Variable		16 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
t_{BRC}	CLKに対する $\overline{\text{BUSRQ}}$ セットアップ時間	120		120		120		ns
t_{CBAL}	CLK→ $\overline{\text{BUSAK}}$ 立ち下がり		$1.5x + 120$		214		195	ns
t_{CBAH}	CLK→ $\overline{\text{BUSAK}}$ 立ち上がり		$0.5x + 40$		71		65	ns
t_{ABA}	出力バッファOFFから $\overline{\text{BUSAK}}$ 立ち下がりまでの時間	0	80	0	80	0	80	ns
t_{BAA}	$\overline{\text{BUSAK}}$ 立ち上がりから出力バッファONまでの時間	0	80	0	80	0	80	ns

(注1) $\overline{\text{BUSRQ}}$ を "0" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまで、バスは解放されません。

(注2) この破線は、出力バッファがOFFになっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR のとき定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

4.10 標準電氣的特性

特に規定のない限り、電源電圧5V、周囲温度25°Cにおける標準的な特性です。

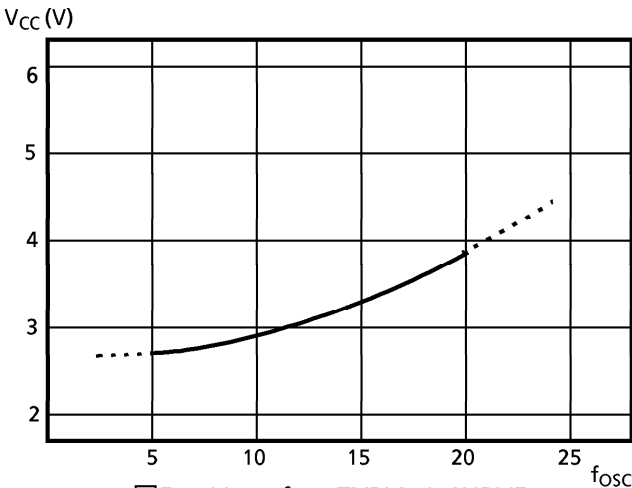


図5.1 VCC - fOSC TYPICAL CURVE

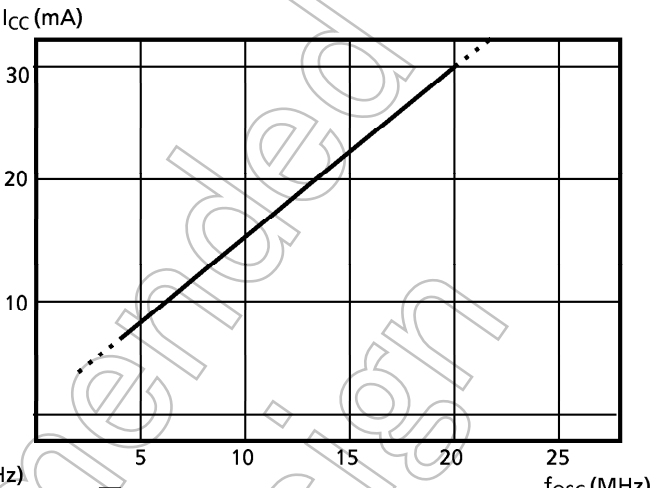


図5.2 fOSC - ICC TYPICAL CURVE

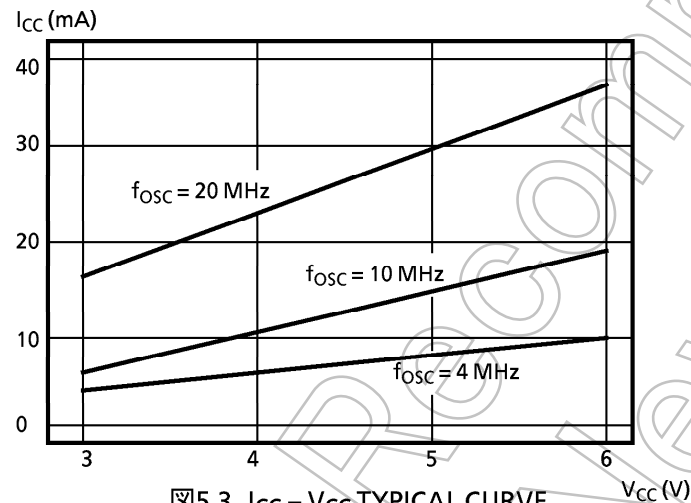


図5.3 ICC - VCC TYPICAL CURVE

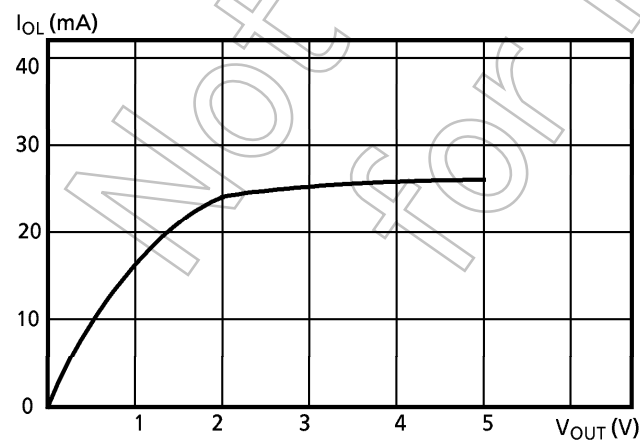


図5.4 VOUT - IOL TYPICAL CURVE

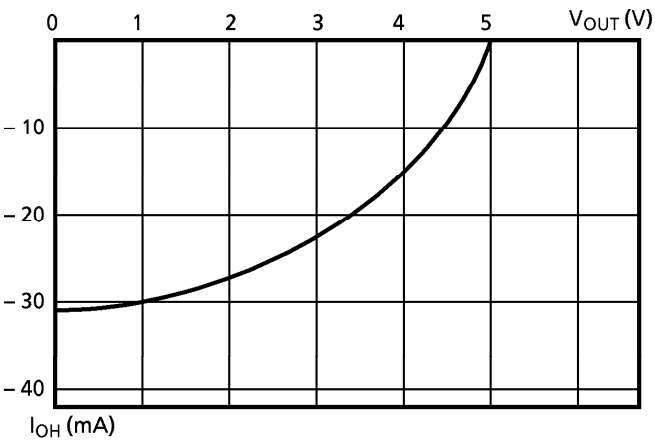


図5.5 VOUT - IOH TYPICAL CURVE

Not Recommended
for New Design