TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900 シリーズ

TMP96C031ZFG

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

はじめに

この度は弊社16ビットマイクロコントローラTLCS-900シリーズ、TMP96C031Zをご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホールト状態からの解除に関する注意事項

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み ($\overline{\text{NMI}}$, INT0) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended for New Design

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。
製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

Not Recommended for New Design

修正対象項目 1. 製品名称

本文中製品名称 (旧名称)	正式名称 (新名称)
TMP96C031ZF	TMP96C031ZFG

修正対象項目 2. パッケージ名称及び寸法

本文中パーケージ名称 (旧名称)	正式パッケージ名称 (新名称)
QFP64-P-1420-1.00A	QFP64-P-1420-1.00A

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、 はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C ５秒間１回Ｒタイプフラックス使用 (鉛はんだ使用時) 245°C ５秒間１回Ｒタイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、 最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質，信頼性の向上に努めておりますが，一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は，半導体製品の誤作動や故障により，生命・身体・財産が侵害されることのないように，購入者側の責任において，機器の安全設計を行うことをお願いします。
  なお，設計に際しては，最新の製品仕様をご確認の上，製品保証範囲内でご使用いただくと共に，考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」,「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は，一般的電子機器（コンピュータ，パーソナル機器，事務機器，計測機器，産業用ロボット，家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され，その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器，航空宇宙機器，輸送機器，交通信号機器，燃焼制御，医療機器，各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし，また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは，お客様の責任でなされることとなります。
- 本資料に掲載されている製品を，国内外の法令，規則及び命令により製造，使用，販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は，製品の代表的動作・応用を説明するためのもので，その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有･使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は，技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

本製品の発行日は、 付加ページ右下にも記入の「2008-02-20」です。

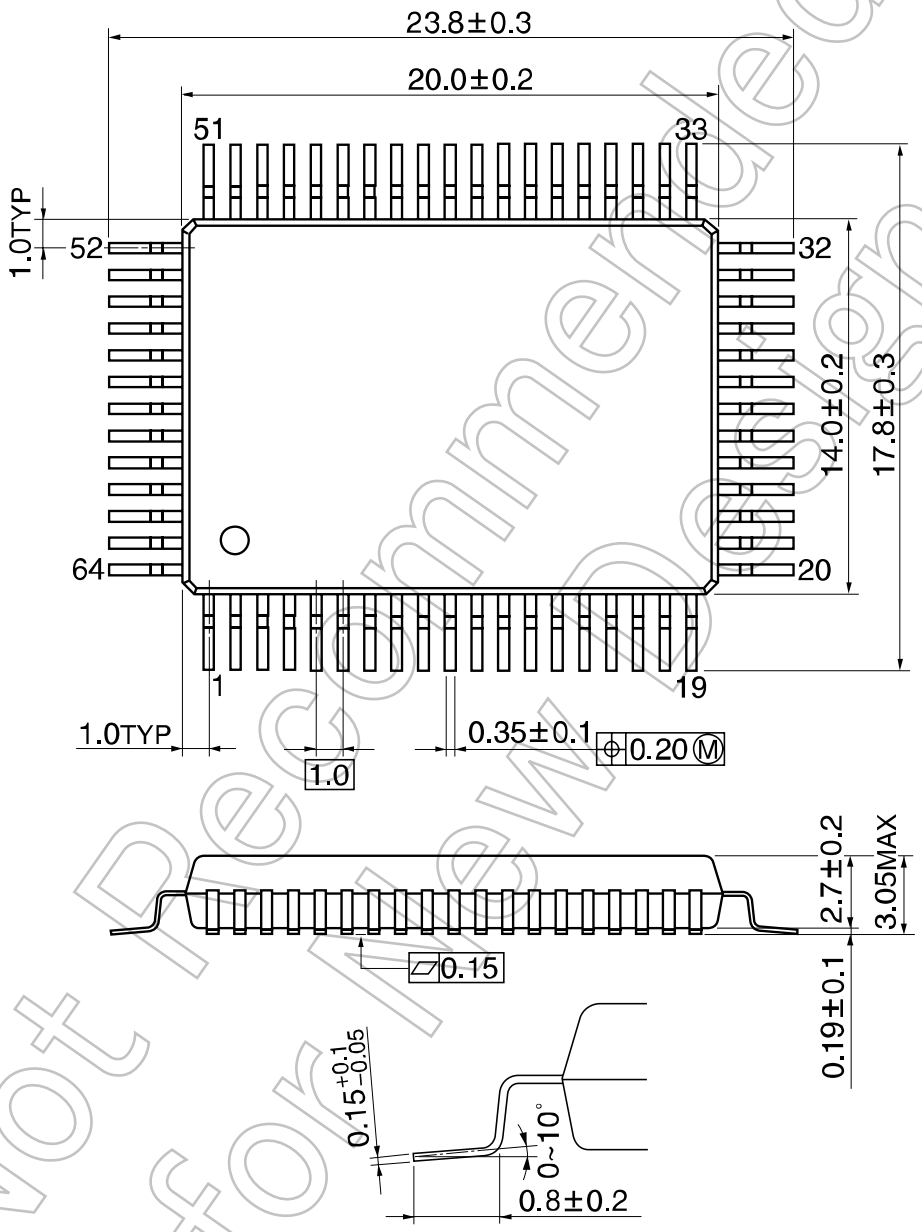
Not Recommended for New Design

(別紙)

パッケージ外形寸法図

QFP64-P-1420-1.00A

単位: mm



Not Recommended for New Design

CMOS 16ビット マイクロコントローラ

TMP96C031ZF

1. 概要と特長

TMP96C031Zは、各種の中規模から大規模機器までの制御用として開発された、高速・高機能16ビットマイクロコントローラです。

TMP96C031ZFは、64ピンフラットパッケージ製品です。

(1) オリジナル16ビットCPU
- TLCS-90と命令ニモニックで上位互換
- 16Mバイトのリニアアドレス空間
- 汎用レジスタ&レジスタバンク方式
- 16ビット乗除算命令、ビット転送/演算命令
- 高速マイクロDMA : 4チャネル (1.6 μs / 2バイト@20 MHz)

(2) 最小命令実行時間 : 200 ns (20 MHz発振時)

(3) 外部メモリ拡張
- 16Mバイト(プログラム/データ共通)まで拡張可能
- 外部データバス幅選択端子 (AM8/$\overline{16}$)
- 外部データバス8/16ビット幅共存可能
  … ダイナミックデータバスサイジング

(4) 8ビットタイマ : 4本

(5) 16ビットタイマ : 1本

(6) パターンジェネレータ : 4ビット、2チャネル

(7) 汎用シリアルインタフェース : 2チャネル

(8) 6ビット A/Dコンバータ : 4チャネル

(9) DRAM コントローラ

(10) ウォッチドッグタイマ

(11) チップセレクト/ウェイトコントローラ : 4ブロック

(12) 割り込み機能
- CPU 3本 ……ソフトウエア割り込み命令、特権違反、未定義違反
- 内部 12本 ┐ 7レベルの優先順位の設定が可能
- 外部 9本 ┘

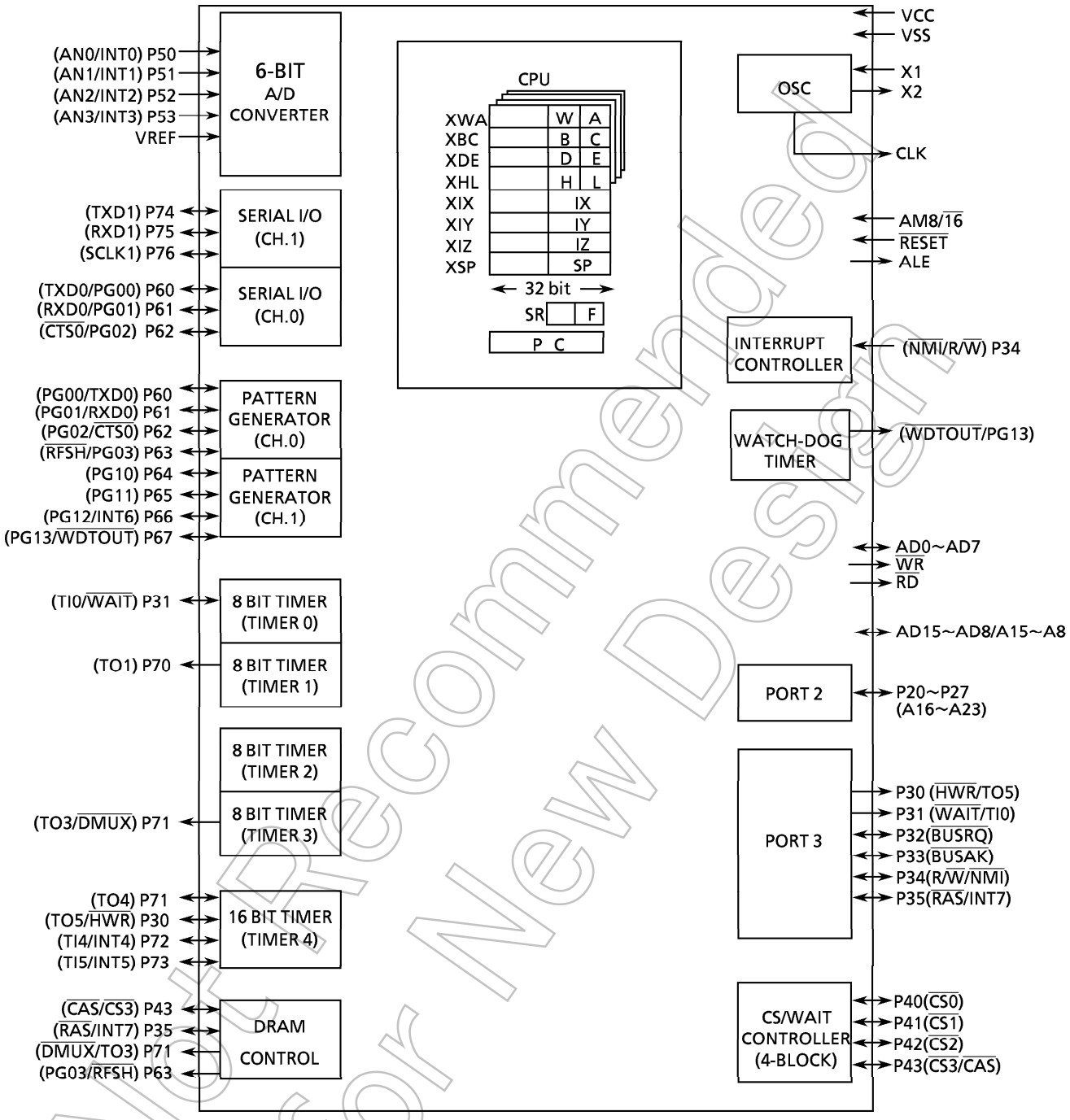
(13) 入出力ポート
37端子

(14) スタンバイ機能
3種類のHALTモード (RUN, IDLE, STOP)

000629TBP2

● マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますのでかならずお読みください。
● 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命･身体･財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
● 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質･信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途"という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
● 本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

Not Recommended for New Design



Not Recommended for New Design

図1. ブロック図

2. ピン配置とピン機能

2.1 ピンの配置図

TMP96C031ZFのピン配置図は図2.1のとおりです。

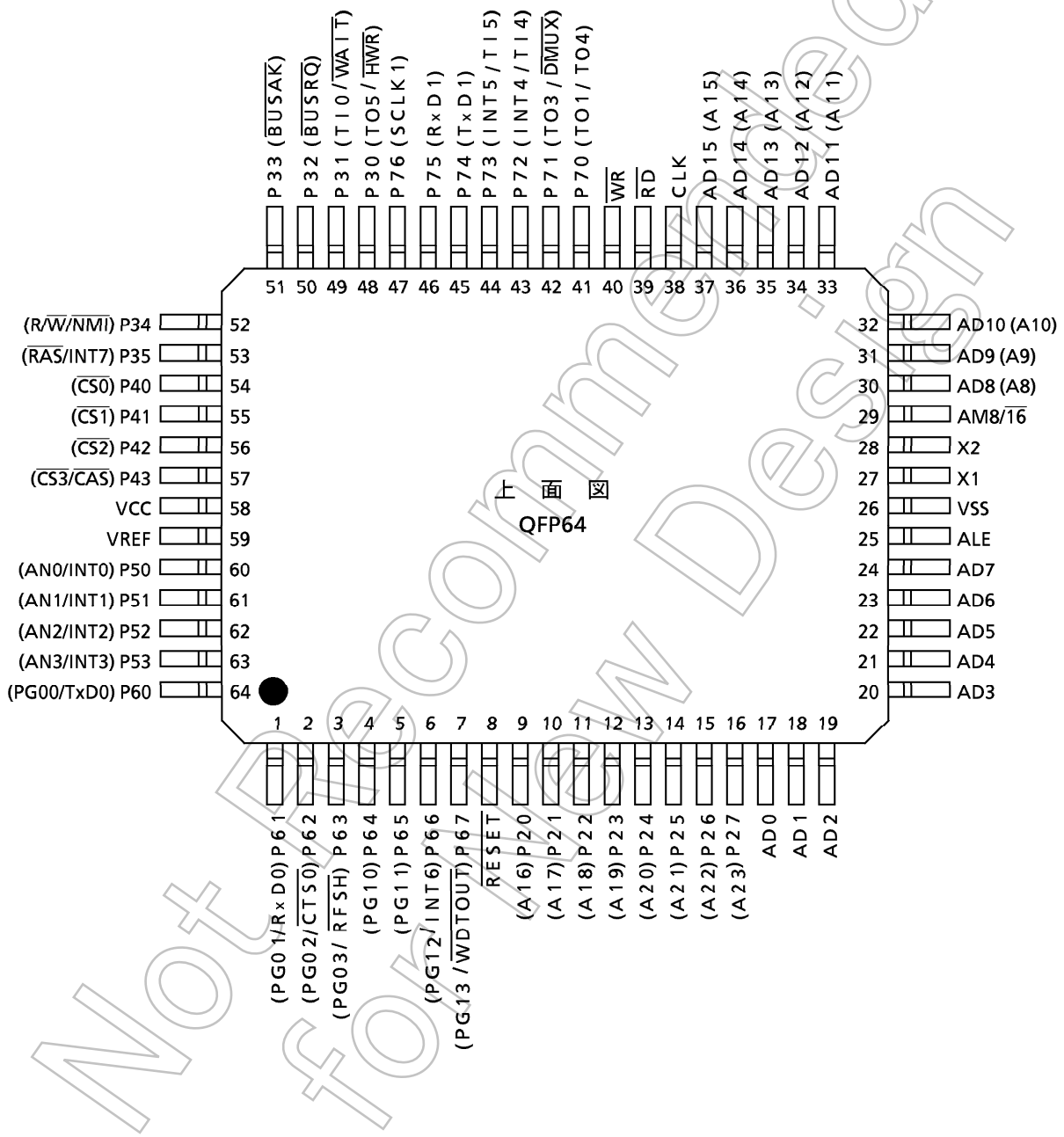


図2.1 ピン配置図 (64ピンQFP)

Not Recommended for New Design

2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2のとおりです。

表2.2 入出力ピンの名称と機能

ピン名称	ピン数	入出力	機　能
AD0~AD7	8	3ステート	アドレスデータ (下位): アドレス/データバス0~7です。
AD8~AD15 A8~A15	8	3ステート 出力	アドレスデータ (上位): アドレス/データバス8~15です。 アドレス: アドレスバス8~15です。
P20~P27 A0~A7 A16~A23	8	入出力 出力 出力	ポート2: ビット単位で入出力の設定ができる入出力ポートです。(プルダウン付) アドレス: アドレスバス0~7です。 アドレス: アドレスバス16~23です。
P30 TO5 $\overline{\text{HWR}}$	1	入出力 出力 出力	ポート30: 入出力ポートです。(プルアップ付) タイマ出力5: タイマ4の出力端子 上位ライト: AD8~15端子のデータをライトするためのストローブ信号です。
P31 TIO $\overline{\text{WAIT}}$	1	入出力 入力 入力	ポート31: 入出力ポートです。(プルアップ付) タイマ入力0: タイマ0の入力です。 ウェイト: CPUへのバスウェイト要求端子です。
P32 $\overline{\text{BUSRQ}}$	1	入出力 入力	ポート32: 入出力ポートです。(プルアップ付) バスリクエスト: AD0~15, A0~23, $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{HWR}}$, R/$\overline{\text{W}}$, $\overline{\text{RAS}}$, $\overline{\text{CS0}}$, $\overline{\text{CS1}}$, $\overline{\text{CS2}}$, $\overline{\text{CS3}}$/$\overline{\text{CAS}}$端子を、ハイインピーダンスにすることを要求する信号です。(外付けDMAC用)
P33 $\overline{\text{BUSAK}}$	1	入出力 出力	ポート33: 入出力ポートです。(プルアップ付) バスアクノリッジ: $\overline{\text{BUSRQ}}$を受けてAD0~15, A0~23, $\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{HWR}}$, R/$\overline{\text{W}}$, $\overline{\text{RAS}}$, $\overline{\text{CS0}}$, $\overline{\text{CS1}}$, $\overline{\text{CS2}}$, $\overline{\text{CS3}}$/$\overline{\text{CAS}}$端子が、ハイインピーダンスになったことを示す信号です。(外付けDMAC用)
P34 R/$\overline{\text{W}}$ $\overline{\text{NMI}}$	1	入出力 出力 入力	ポート34: 入出力ポートです。(プルアップ付) リード/ライト: "1"でリードサイクルまたはダミーサイクルを、"0"でライトサイクルを示します。 ノンマスカブル割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも動作させられます。
P35 $\overline{\text{RAS}}$ INT7	1	入出力 出力 入力	ポート35: 入出力ポートです。(プルアップ付) ローアドレスストローブ: DRAM用"$\overline{\text{RAS}}$"ストローブを出力します。 割り込み要求端子7: 立ち上がりエッジの割り込み要求端子です。
P40 $\overline{\text{CS0}}$	1	出力 出力	ポート40: 出力ポートです。(プルアップ付) チップセレクト0: アドレスが、指定したアドレス領域内なら"0"を出力します。
P41 $\overline{\text{CS1}}$	1	出力 出力	ポート41: 出力ポートです。(プルアップ付) チップセレクト1: アドレスが、指定したアドレス領域内なら"0"を出力します。

(注)　外付けDMAコントローラでは、本デバイスの内蔵I/Oは、アクセスできません。

Not Recommended for New Design

ピン名称	ピン数	入出力	機　能
P42 $\overline{CS2}$	1	出力 出力	ポート42: 出力ポートです。(プルアップ付) チップセレクト2: アドレスが、指定したアドレス領域内なら“0”を出力します。
P43 $\overline{CS3}$ $\overline{CAS}$	1	出力 出力 出力	ポート43: 出力ポートです。(プルアップ付) チップセレクト3: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストローブ: アドレスが、指定したアドレス領域内なら、DRAM用“$\overline{CAS}$”ストローブを出力します。
P50～P53 AN0～AN3 INT0～INT3	4	入力 入力 入力	ポート50～53: 入力ポートです。 アナログ入力: A/Dコンバータ用の入力です。 割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。 割り込み要求端子1: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。 割り込み要求端子2～3: 立ち上がりエッジの割り込み要求端子です。
VREF	1	入力	A/Dコンバータ用基準電圧入力端子。
P60 TxD0 PG00	1	入出力 出力 出力	ポート60: 入出力ポートです。 シリアルデータ送信端子0 パターンジェネレータポート00
P61 RxD0 PG01	1	入出力 入力 出力	ポート61: 入出力ポートです。 シリアルデータ受信端子0 パターンジェネレータポート01
P62 $\overline{CTS0}$ PG02	1	入出力 入力 出力	ポート62: 入出力ポートです。 シリアルデータ送信可能信号端子0 (Clear To Send) パターンジェネレータポート02
P63 $\overline{RFSH}$ PG03	1	入出力 出力 出力	ポート63: 入出力ポートです。 リフレッシュアウト :DRAMコントローラがリフレッシュサイクル中であることを示す、ステート信号を出力する端子です。 パターンジェネレータポート03
P64 PG10	1	入出力 出力	ポート64: 入出力ポートです。 パターンジェネレータポート10
P65 PG11	1	入出力 出力	ポート65: 入出力ポートです。 パターンジェネレータポート11
P66 INT6 PG12	1	入出力 入力 出力	ポート66: 入出力ポートです。 割り込み要求端子6: 立ち上がりエッジの割り込み要求端子です。 パターンジェネレータポート12
P67 $\overline{WDTOUT}$ PG13	1	入出力 出力 出力	ポート67: 入出力ポートです。 ウォッチドッグタイマ出力端子 パターンジェネレータポート13
P70 TO1 TO4	1	入出力 出力 出力	ポート70: 入出力ポートです。 タイマ出力1: タイマ0またはタイマ1の出力端子です。 タイマ出力4: タイマ4の出力端子です。

Not Recommended for New Design

ピン名称	ピン数	入出力	機　能
P71 TO3 $\overline{\text{DMUX}}$	1	入出力 出力 出力	ポート71: 入出力ポートです。 タイマ出力3: タイマ2またはタイマ3の出力端子です。 DRAMアドレスマルチプレクス : ローアドレス, カラムアドレス, セレクタのセレクト信号を出力する端子です。
P72 INT4 TI4	1	入出力 入力 入力	ポート72: 入出力ポートです。 割り込み要求端子4: 立ち上がり/立ち下りエッジがプログラマブルな割り込み要求端子です。 タイマ入力4: タイマ4のカウント/キャプチャトリガ入力になります。
P73 INT5 TI5	1	入出力 入力 入力	ポート73: 入出力ポートです。 割り込み要求端子5: 立ち上がりエッジの割り込み要求端子です。 タイマ入力5: タイマ4のカウント/キャプチャトリガ入力になります。
P74 TxD1	1	入出力 出力	ポート74: 入出力ポートです。 シリアルデータ送信端子1
P75 RxD1	1	入出力 入力	ポート75: 入出力ポートです。 シリアルデータ受信端子1
P76 SCLK1	1	入出力 入出力	ポート76: 入出力ポートです。 シリアルクロック出力端子1
CLK	1	出力	クロック出力: (X1 ÷ 4) のクロックが出力されます。リセット期間中は、プルアップされます。
$\overline{\text{RD}}$	1	出力	リード: 外部メモリをリードするためのストローブ信号です。
$\overline{\text{WR}}$	1	出力	ライト: AD0~7端子のデータをライトするためのストローブです。
AM8/$\overline{16}$	1	入力	アドレスモード : 外部データバス幅の選択端子です。外部16ビットバス固定、もしくは外部8/16ビットバス混在では “0” に、外部8ビットバス固定では “1” にしてください。
$\overline{\text{RESET}}$	1	入力	リセット: LSIを初期化します。(プルアップ付)
ALE	1	出力	アドレスラッチイネーブル
X1/X2	1	入力/出力	発振子接続端子
VCC	1		電源端子 (+ 5V) (全VCC端子を電源に接続してください。)
VSS	1		GND端子 (0V)　(全VSS端子を GND (0 V) に接続してください。)

(補足) $\overline{\text{RESET}}$端子以外のプルアップ / プルダウン抵抗端子は、ソフトウエアによりその抵抗を端子から開放することができます。

Not Recommended for New Design

3. 動作説明

ここでは、TMP96C031Zの機能および基本動作について、ブロックごとに説明します。

なお、本章の最後に「7. 使用上の注意, 制限事項」としてブロック別の注意, 制限事項などを掲載していますので確認願います。

3.1 CPU

TMP96C031Zには、高性能な16ビットCPU (900_CPU)が内蔵されています。CPUの動作については、前章の "TLCS-900 CPU" を参照してください。

ここでは、"TLCS-900 CPU" にて説明されていないTMP96C031Z独自のCPU機能について説明します。

3.1.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも10システムクロック間 (=10ステート : 20MHzクロック発振時で1 μs) $\overline{\text{RESET}}$ 入力を "0" にしてください。

リセットが受け付けられると、CPUは、

- プログラムカウンタPCを8000Hにセット
- システムモード用スタックポインタXSPを100Hにセット
- ステータスレジスタSRのSYSMビットを "1" にセット (システムモードにセット)
- ステータスレジスタSRのIFF2~0ビットを "111" にセット (割り込みレベルのマスクレジスタをレベル7にセット)
- ステータスレジスタSRのMAXビットを "0" にクリア (ミニマムモードにセット)
- ステータスレジスタSRのRFP2~0ビットを "000" にクリア (レジスタバンクを0にセット)

を行い、リセットが解除されると、8000H番地より命令を開始します。なお、上記以外のCPU内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵I/Oおよびポート、その他の端子は、下記のとおりになります。

- 仕様で決められているとおりに、内蔵I/Oのレジスタを初期化
- ポート端子 (内蔵I/O用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセット (入出力兼用ポートは入力ポートにセット)
- CLK端子を "1" にプルアップ
- ALE端子を "0" にセット

Not Recommended for New Design

3.1.2 外部データバス幅選択端子 (AM8/$\overline{16}$)

TMP96C031ZはAM8/$\overline{16}$端子の設定によりリセット後から自動的に8ビットバス/16ビットバスモードで動作します。

- 外部8, 16ビットデータバス混在、または16ビットデータバス固定の場合

  本端子を "0" にしてください。それにより、AD8~15/A8~15端子は強制的にAD8~15機能に固定されます。

  なお、外部データバス幅の設定は、3.6.1で説明するチップセレクト/ウェイトコントロールレジスタにて設定します。

- 外部8ビットデータバス固定の場合

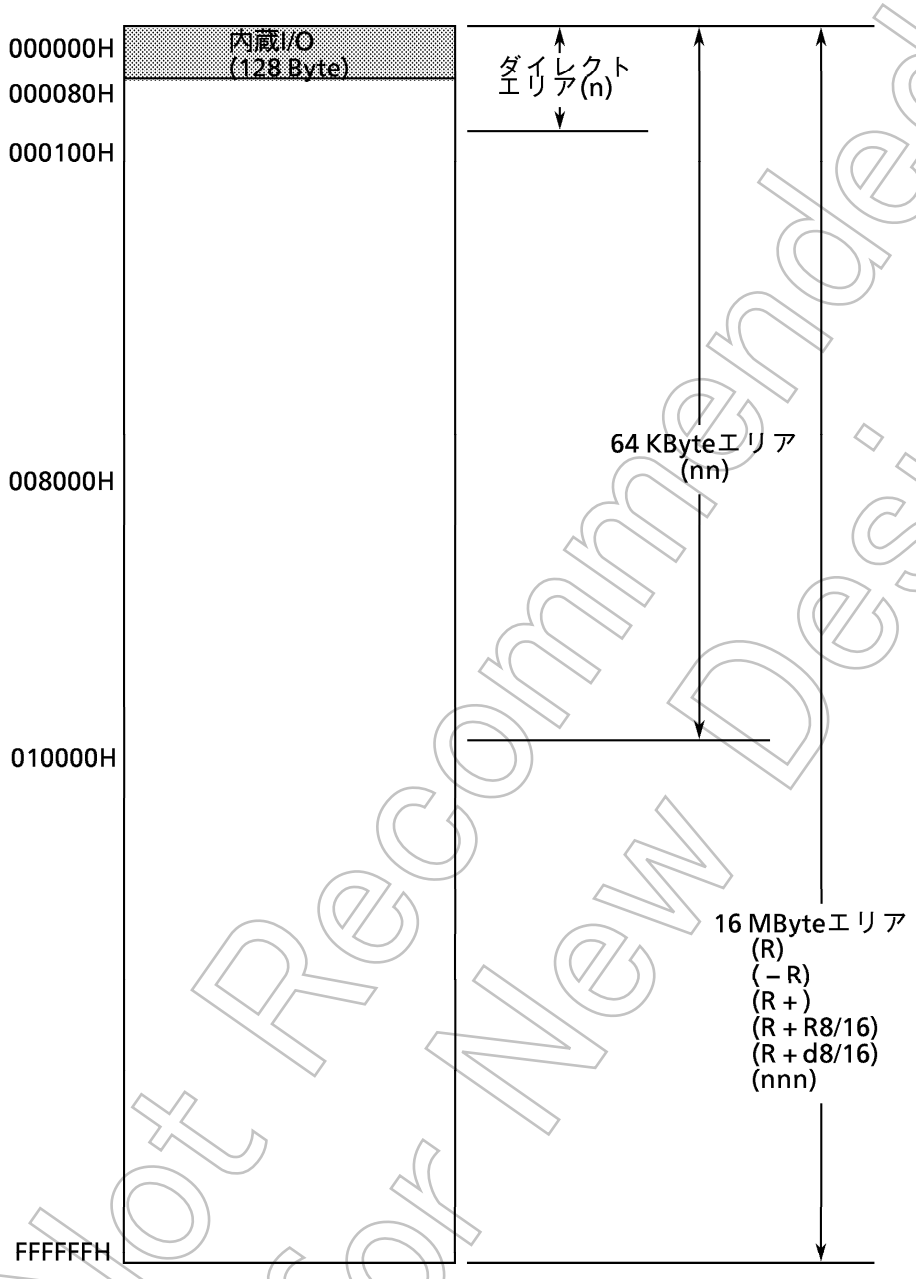
  本端子を "1" にしてください。それにより、AD8~15/A8~15端子は強制的にA8~15機能に固定されます。

  なお、3.6.1で説明するチップセレクト/ウェイトコントールレジスタのビット4: <B0BUS>, <B1BUS>, <B2BUS>, <B3BUS> の値は無視され、外部8ビットデータバス固定となります。

Not Recommended for New Design

3.2 メモリマップ

TMP96C031Zのメモリマップを、図3.2に示します。



(補足) リセット後のスタートアドレスは、8000Hです。また、リセットにより、システムモード側のスタックポインタ“XSP”は、100Hにセットされます。

図3.2 メモリマップ

Not Recommended for New Design

3.3 割り込み

TLCS-900の割り込みは、CPUの割り込みマスクフリップフロップ (IFF2~0) と、内蔵の割り込みコントローラによって制御されます。

TMP96C031Zの割り込み要因には、

- CPU自身からの割り込み…3本
  (ソフトウエア割り込み、特権命令実行違反、未定義命令実行違反)
- 外部端子 ($\overline{\text{NMI}}$、INT0~7) からの割り込み…9本
- 内蔵I/Oからの割り込み…11本

の合計24本あります。

各割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスカブル割り込みのそれぞれに、6レベルの優先順位 (可変) を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の "7" に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値をCPUに送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値 (最高はノンマスカブル割り込みの "7") をCPUに送ります。

CPUは、その送られてきた優先順位値と、CPUの割り込みマスクレジスタ (IFF2~0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2~0) の値はEI命令 (EI num / IFF <2:0> の内容がnumになります。) を使用して、書き替えることができます。例えば、"EI 3" とプログラムすると、割り込みコントローラに設定された、優先順位値3以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI命令 (IFF <2:0> が7になります。) は動作的には "EI 7" と同じですが、マスカブル割り込みの優先順位値が0~6であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI命令は実行後ただちに有効となります (TLCS-90ではEI命令の次の命令を実行した後有効)。

TLCS-900の割り込みには、上記汎用割り込み処理モードに加えて、「高速マイクロDMA」処理モードがあります。高速マイクロDMAは、CPUが自動的にデータの転送 (バイト転送またはワード転送) を行うモードですので、内蔵I/Oに対するデータ退避などの割り込み処理を、高速に行うことが可能になります。

図3.3 (1) に割り込み処理全体のフローを示します。

Not Recommended for New Design

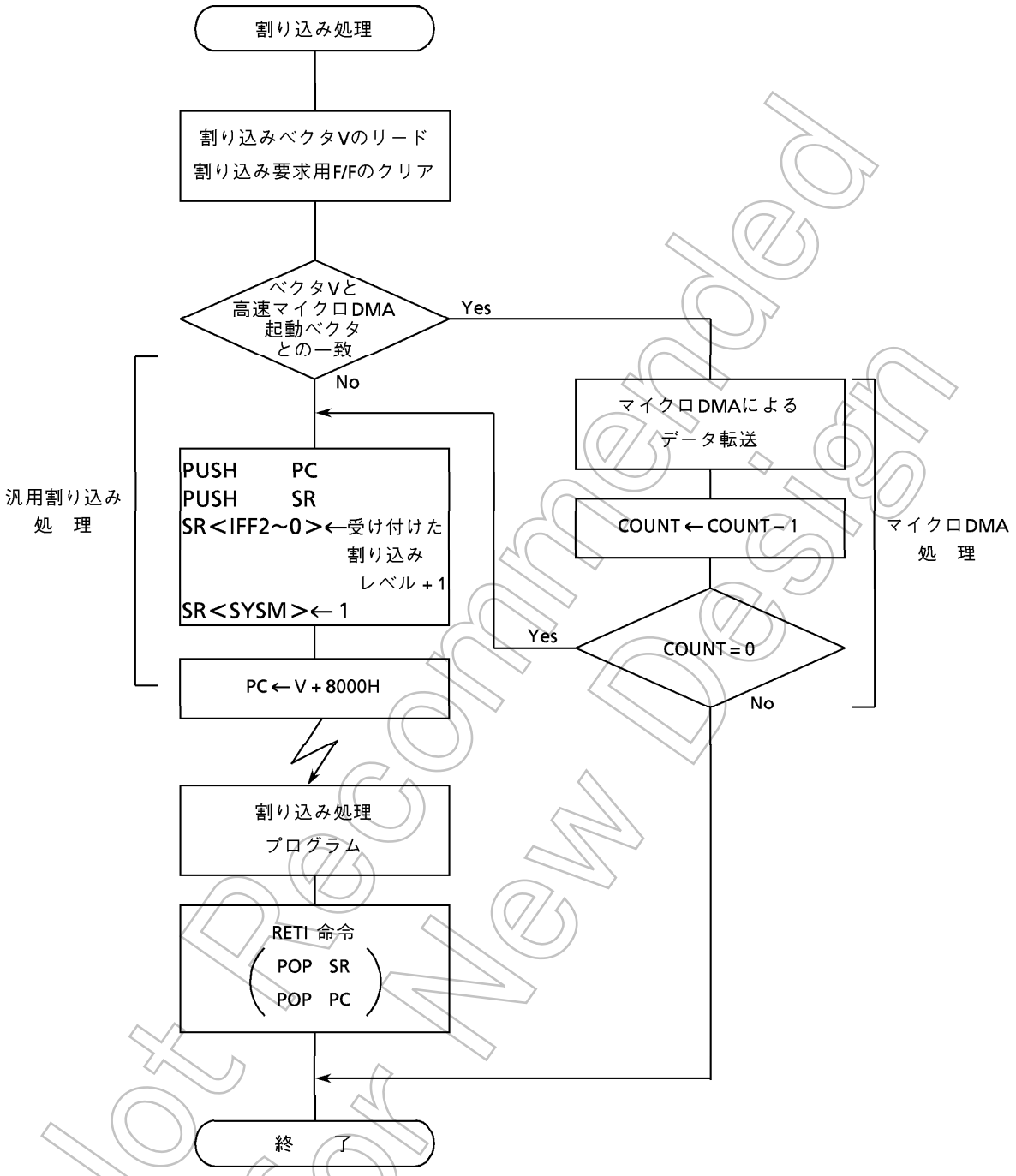


図3.3 (1) 割り込み処理全体のフロー

Not Recommended for New Design

3.3.1 汎用割り込み処理

CPUが割り込みを受け付けると、下記の動作をします。

(1) CPUは、割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定 : ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。

(2) CPUは、プログラムカウンタ「PC」とステータスレジスタ「SR」を、システム側のスタック領域 (システムモード用XSPが示す領域) へPUSHします。

(3) CPUの割り込みマスクレジスタ <IFF2~0> の値を、受け付けた割り込みレベルより "1" だけ高い値にセットします。ただし、値が "7" のときは、インクリメントせず "7" をセットします。

(4) ステータスレジスタの <SYSM> フラグを、"1" にセットし、システムモードに移行します。

(5) CPUは、「8000H＋割り込みベクタ」番地へジャンプし、割り込み処理ルーチンを開始します。

以上の処理時間を下記の表に示します。

スタックエリアのバス幅	割り込み処理実行ステート数	
	MAXモード	MINモード
8ビット	23	19
16ビット	17	15

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタPCとステータスレジスタSRの内容をリストアします。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。一方、マスカブル割り込みは、プログラムによって割り込みの許可 / 禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます。CPUは、CPU自身が持つ割り込みマスクレジスタ <IFF2~0> の値以上の、優先順位値をもつ割り込み要求があると、割り込みを受け付けます。そして、CPUのマスクレジスタ <IFF2~0> に、受け付けた優先順位に "1" を加えた値を、セットします。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

また、CPUが割り込みを受け付け、前記 (1)~(5) までの処理をしている間に発生した現在受け付けられている割り込みより高いレベルの割り込みは、割り込み処理ルーチンの先頭命令が実行される前に受け付けられ、割り込み処理のネスティング状態になります (ただし、ノンマスカブル割り込み (レベル "7") 同士の割り込みも同様となります)。
なお、現在実行している割り込みレベルと同じレベルの割り込み要求は、受け付けられません。

リセット後、CPUのマスクレジスタ <IFF2~0> は、"7" に初期化されているため、DI状態になっています。

Not Recommended for New Design

TLCS-900では、008000H~0081FFH番地(512バイト)は、割り込み処理のエントリー領域に、割り当てられています。

表3.3 (1) TMP96C031Zの割り込みテーブル

デフォルトプライオリティ	タイプ	割り込み要求発生ソース	ベクタ値 "V"	スタートアドレス	高速マイクロDMA起動ベクタ
1	ノンマスカブル	リセット、または「SWI 0」命令	0000H	8000H	–
2		INTPREV : 特権命令実行違反 、または「SWI 1」	0010H	8010H	–
3		INTUNDEF : 未定義命令実行違反、または「SWI 2」	0020H	8020H	–
4		「SWI 3」命令	0030H	8030H	–
5		「SWI 4」命令	0040H	8040H	–
6		「SWI 5」命令	0050H	8050H	–
7		「SWI 6」命令	0060H	8060H	–
8		「SWI 7」命令	0070H	8070H	–
9		$\overline{\text{NMI}}$端子	0080H	8080H	08H
10		INTWD : ウォッチドッグタイマ	0090H	8090H	09H
11	マスカブル	INT0端子	00A0H	80A0H	0AH
12		INT4端子	00B0H	80B0H	0BH
13		INT5端子	00C0H	80C0H	0CH
14		INT6端子	00D0H	80D0H	0DH
15		INT7端子	00E0H	80E0H	0EH
–		(予約)	00F0H	80F0H	0FH
16		INTT0 : 8ビットタイマ0	0100H	8100H	10H
17		INTT1 : 8ビットタイマ1	0110H	8110H	11H
18		INTT2 : 8ビットタイマ2	0120H	8120H	12H
19		INTT3 : 8ビットタイマ3	0130H	8130H	13H
20		INTTR4 : 16ビットタイマ4 (TREG4)	0140H	8140H	14H
21		INTTR5 : 16ビットタイマ4 (TREG5)	0150H	8150H	15H
22		(予約)	0160H	8160H	16H
23		(予約)	0170H	8170H	17H
24		INTRX0 : シリアル受信 (Channel.0)	0180H	8180H	18H
25		INTTX0 : シリアル送信 (Channel.0)	0190H	8190H	19H
26		INTRX1 : シリアル受信 (Channel.1)	01A0H	81A0H	1AH
27		INTTX1 : シリアル送信 (Channel.1)	01B0H	81B0H	1BH
28		INTAD : A/D変換終了	01C0H	81C0H	1CH
29		INT1 端子	01D0H	81D0H	1DH
30		INT2 端子	01E0H	81E0H	1EH
31		INT3 端子	01F0H	81F0H	1FH

Not Recommended for New Design

3.3.2 高速マイクロDMA

TLCS-900には、従来の割り込み処理に加えて、高速マイクロDMA機能があります。CPUは、割り込みを受け付けると、割り込みコントローラから、割り込みベクタのほかに高速マイクロDMAか汎用割り込み処理かの情報を受け取り、高速マイクロDMAモードが要求されていれば、高速マイクロDMA処理を行います。

TLCS-900は、TLCS-90のマイクロDMAに比べて、転送パラメータをCPU内部の専用レジスタに持っているため、非常に高速に処理を行うことができます。この専用レジスタはCPUのコントロールレジスタにアサインされているため、LDC命令(特権命令)でしかアクセスできません。

(1) 高速マイクロDMAの動作

高速マイクロDMAは、受け付けられた割り込みベクタ値と、割り込みコントローラに設定された高速マイクロDMA起動ベクタ値が、一致することにより、その起動がかけられます。高速マイクロDMAは、4チャネル用意されており、同時に4種類までの割り込み要因に対して、高速マイクロDMAを設定することができます。

高速マイクロDMAが受け付けられると、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が自動的に行われ、転送数カウンタをデクリメントします。デクリメントした結果が“0”でなければ、高速マイクロDMA処理は終了し、“0”ならば、前項で説明した汎用割り込み処理を行います。

転送元/転送先アドレスを設定するレジスタは、32ビット幅のコントロールレジスタになっていますが、アドレスは24本しか出力されていないため、高速マイクロDMAで取り扱える空間は、16Mバイトとなります。また、ノーマルモードで動作させている場合には、後述のチップセレクト/ウェイトコントローラで設定されている、ノーマルモードの空間が、高速マイクロDMAでアクセスされる空間になります。

転送モードとしては、1バイト転送と1ワード転送の2種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスがインクリメント、デクリメント、固定されるモードが、準備されています。このモードにより、I/OからメモリI/O、I/OからI/Oのデータ転送が簡単に行えます。転送モードの詳細は、後述の転送モードレジスタ詳細を参照してください。

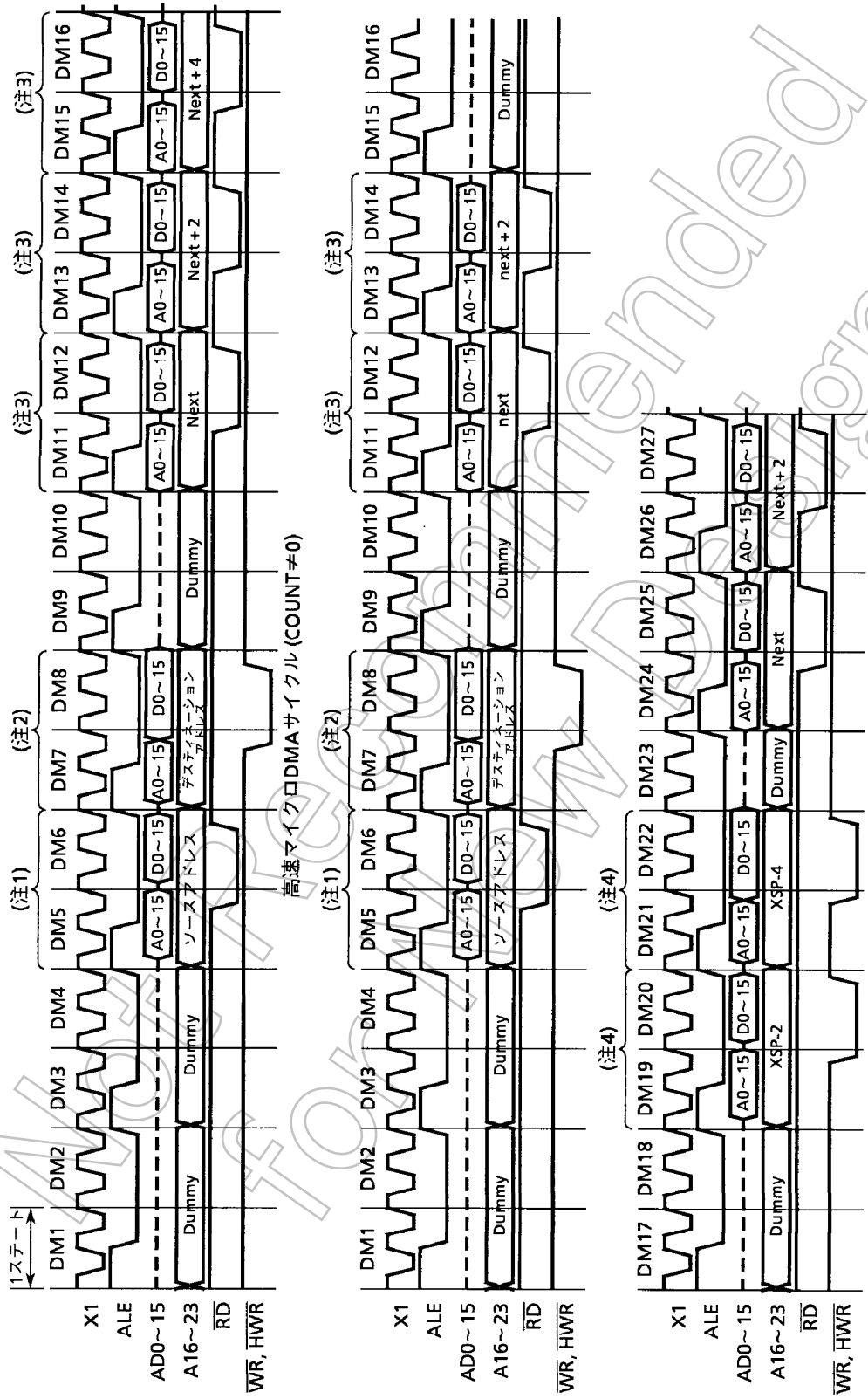
転送カウンタは、16ビット幅で構成されているため、一つの割り込みソースに対して、最大65536回(転送カウンタの初期値が0000Hのとき最大)の、高速マイクロDMA処理を行うことができます。

高速マイクロDMAによるデータ転送後、この転送カウンタはデクリメントされ“0”になると汎用割り込み処理へ分岐しますが、その処理後同チャネルの割り込みが起動されると転送カウンタは巡回し65536よりリスタートしますので、再設定が必要なシステムでは注意が必要です。

次項に転送先アドレスINCモードの高速マイクロDMAサイクルを示します(MINモード,全アドレスエリア16ビットバス,0ウェイト)。

高速マイクロDMA処理を行うことのできる割り込みソースは、表3.3(1)で高速マイクロDMA起動ベクタのある20種類の割り込みです。

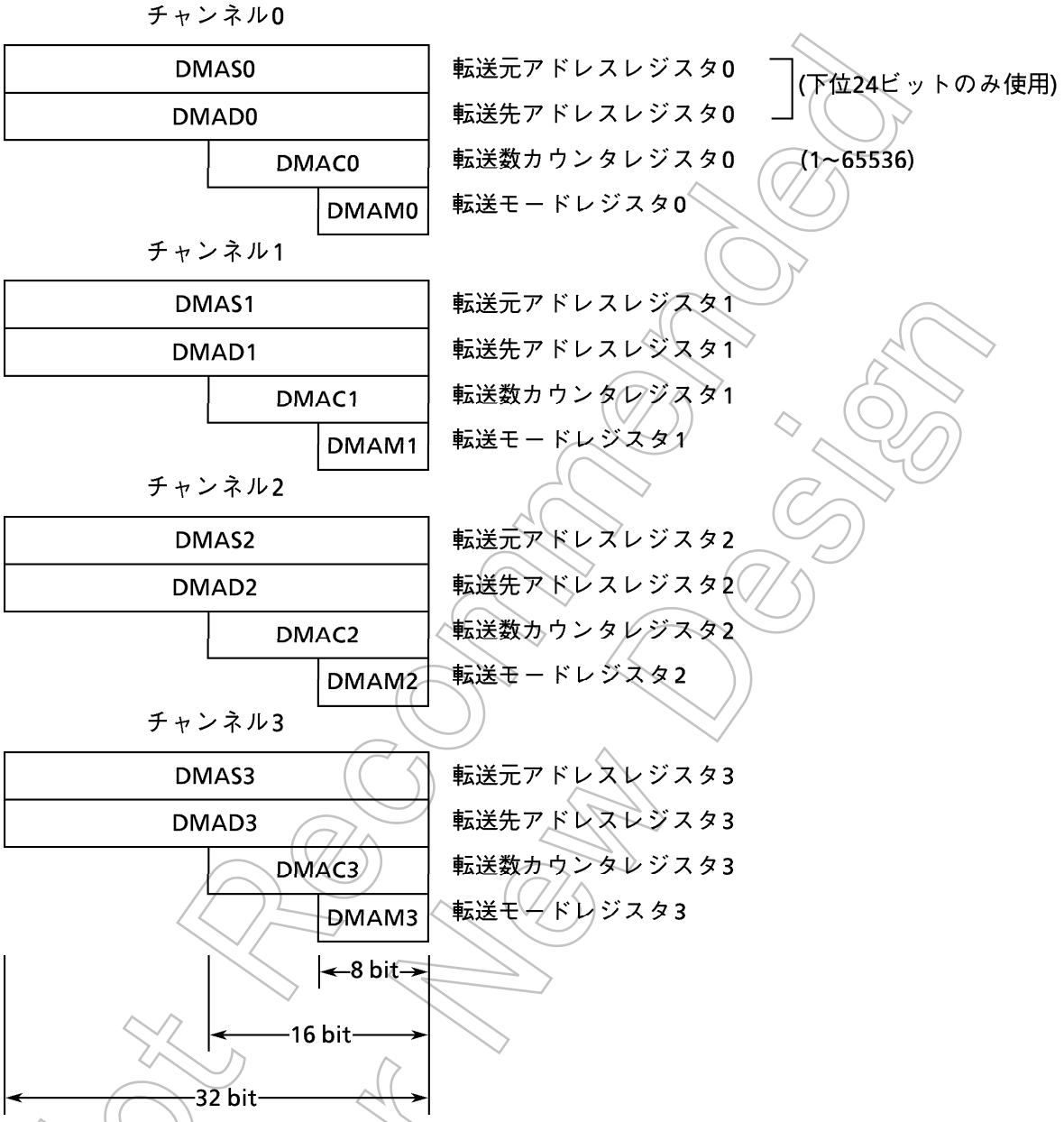
Not Recommended for New Design



(注1) ソースアドレスエリアが8ビットバスの場合+2ステートされます。
(注2) デスティネーションアドレスエリアが8ビットバスの場合+2ステートされます。
(注3) 命令キューバッファの状態により、ダミーサイクルになる場合があります。
(注4) スタックエリアが8ビットバスの場合+2ステートされます。

Not recommended for new design

(2) レジスタ構成 (CPU コントロールレジスタ)



これらのコントロールレジスタへのデータ設定は "LDC cr, r" 命令のみでしか設定できません。

Not Recommended for New Design

(3) 転送モードレジスタ詳細

(DMAM0～3)

0	0	0	0	モード

(注) このレジスタに値を設定するとき、上位4ビットは "0" にしてください。

Z: 0 = バイト転送、1 = ワード転送

					実行時間 (Min. 20 MHz)
0	0	0	Z	転送先アドレスINCモード …… I/O toメモリ用 (DMADn +) ← (DMASn) DMACn←DMACn – 1 if DMACn = 0 then INT.	16ステート (1.6μs)
0	0	1	Z	転送先アドレスDECモード …… I/O toメモリ用 (DMADn –) ← (DMASn) DMACn←DMACn – 1 if DMACn = 0 then INT.	16ステート (1.6μs)
0	1	0	Z	転送元アドレスINCモード …… メモリto I/O用 (DMADn) ← (DMASn +) DMACn←DMACn – 1 if DMACn = 0 then INT.	16ステート (1.6μs)
0	1	1	Z	転送元アドレスDECモード …… メモリto I/O用 (DMADn) ← (DMASn –) DMACn←DMACn – 1 if DMACn = 0 then INT.	16ステート (1.6μs)
1	0	0	Z	アドレス固定モード …… I/O to I/O用 (DMADn) ← (DMASn) DMACn←DMACn – 1 if DMACn = 0 then INT.	16ステート (1.6μs)
1	0	1	1	カウンタモード …… 割り込み発生回数カウント用 DMASn←DMASn + 1 DMACn←DMACn – 1 if DMACn = 0 then INT.	11ステート (1.1μs)

(1ステート = 100ns)

実行時間： 転送元 / 転送先, アドレス空間が16ビットバス幅0WAITに設定されている場合を示します。

注) n : 対応する高速マイクロDMAチャネル0～3
DMADn + / DMASn + : ポストインクリメント (転送後レジスタの値をインクリメント)
DMADn – / DMASn – : ポストデクリメント (転送後レジスタの値をデクリメント)

高速マイクロDMA中にアクセスされるメモリ空間は、後述のチップセレクト / ウェイトコントローラで設定されるシステムモードの空間です。

未定義のモード用コードは、使用しないでください。

Not Recommended for New Design

3.3.3 割り込みコントローラの制御

図3.3.3 (1) に、割り込み回路のブロック図を示します。この図の左半分は、割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路と、ホールト解除回路を示しています。

割り込みコントローラは、各割り込みチャネルごと (合計20チャネル) に、割り込み要求用フリップフロップ、割り込み優先順位設定レジスタ、高速マイクロDMA起動ベクタ格納レジスタを持っています。割り込み要求用フリップフロップは、周辺からの割り込み要求をラッチするためのものです。このフリップフロップはリセット動作、または割り込みがCPUに受け付けられて、その割り込みチャネルのベクタがCPUにリードされたとき、または、そのチャネルの割り込みをクリアする命令 (割り込み優先順位設定レジスタ中のクリアビットに "0" をライト) を実行したとき、"0" にクリアされます。

例えば、INT0割り込み要求をクリアしたい場合には、DI命令後に、下記のようにレジスタを設定します。

INTE01 ← - - - - 0 - - -　　INT0　　F/Fをゼロクリア

また、このクリアビットを読むと、割り込み要求フリップフロップの状態が読み出され、各割り込みチャネルごとの、割り込み要求の有無がわかります。

割り込みの優先順位は、各割り込み要因ごとに準備されている、割り込み優先順位設定レジスタ (INTE01, INTE23, ・・・・・・など) にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは1から6までの6レベルです。書き込む優先順位値を "0" (または "7") にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスカブル割り込み ($\overline{\text{NMI}}$端子、ウォッチドッグタイマ) の優先順位値は "7" に固定されます。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ (プライオリティ値の小さいもの、換言すればベクタの小さいもの) に従い、割り込みを受け付けます。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込み要求と、そのベクタアドレスをCPUへ送ります。CPUは、ステータスレジスタ (SR) に設定された優先順位値 <IFF2~0> と、送られてきた優先順位値付要求信号を比較し、要求信号のレベルが高ければ、割り込みを受け付けます。そして、CPU側のSR<IFF2~0>に、受け付けた優先順位値プラス "1" の値をセットし、このセットされた値以上の割り込み要求だけが、多重に受け付けられる割り込みソースとなります。割り込み処理の終了 (RETI命令の実行) により、CPU側のSR<IFF2~0>には、スタックに退避されていた、割り込み発生以前の優先順位値が、リストアされます。

割り込みコントローラには、高速マイクロDMAの起動ベクタを格納するレジスタ (4チャネル) も、準備されています。このレジスタはI/Oレジスタですので、他の高速マイクロDMA用レジスタ (DMAS, DMAD, DMAM, DMAC) と異なり、ノーマル / システム、どちらのモードからでも、アクセスできます。この4チャネルのレジスタに、高速マイクロDMA処理を行いたい割り込みソースの、起動ベクタ (表3.3 (1) 参照) を書き込むことにより、該当する割り込み処理が、高速マイクロDMA処理となります。当然のことですが、高速マイクロDMA処理の前に、高速マイクロDMAパラメータ用レジスタ (DMAS, DMADなど) に、値を設定しておく必要があります。

Not Recommended for New Design

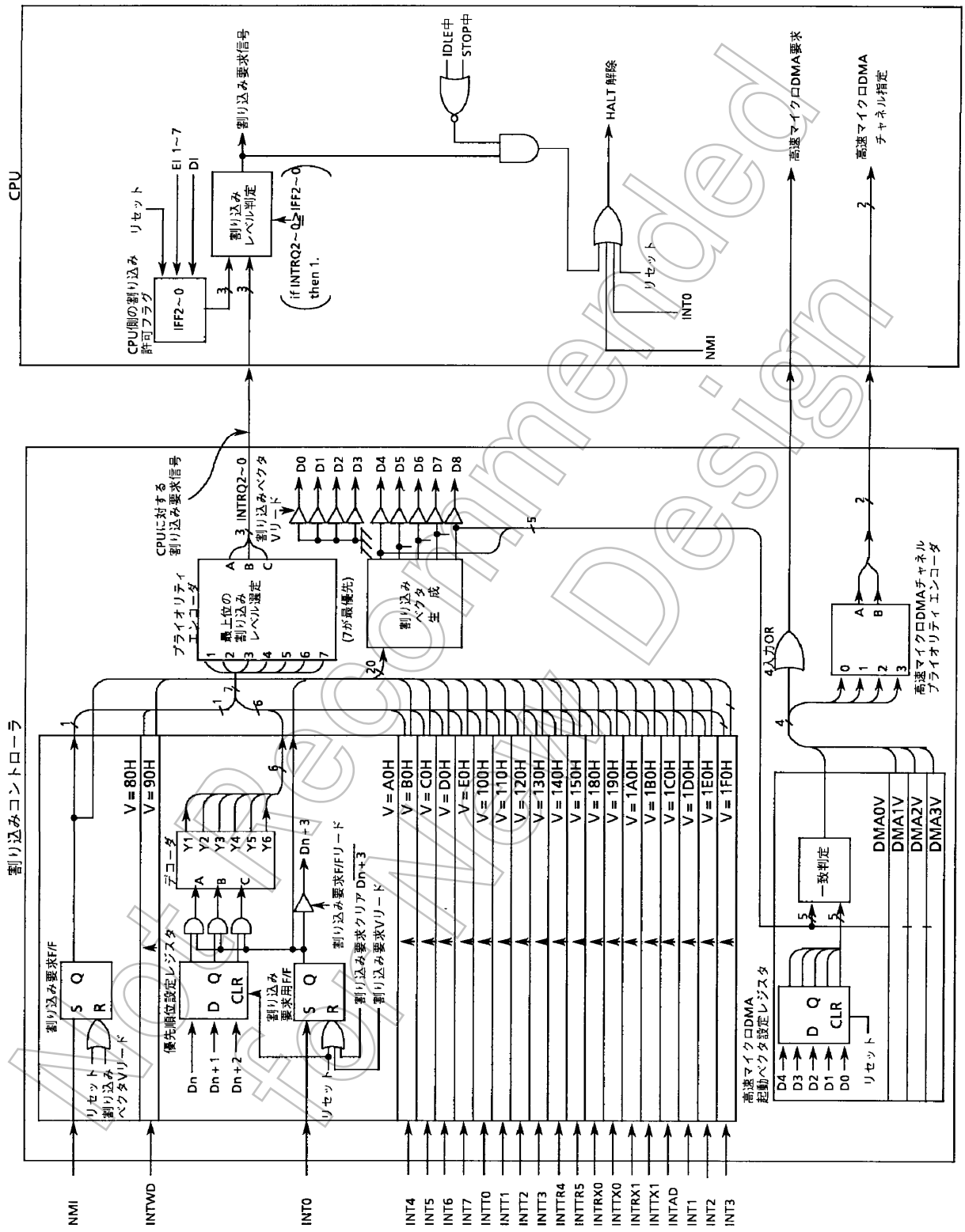


図3.3.3 (1) 割り込みコントローラ ブロック図

Not Recommended for New Design

(1) 割り込み優先順位設定レジスタ

(リードモディファイライトはできません。)

記　号	アドレス	7	6	5	4	3	2	1	0	
INTE01	0070H	INT1				INT0				←割り込みソース
		I1C	I1M2	I1M1	I1M0	I0C	I0M2	I0M1	I0M0	←bit Symbol
		R/W	W			R/W	W			←Read/Write
		0	0	0	0	0	0	0	0	←リセット後
INTE23	0071H	INT3				INT2				
		I3C	I3M2	I3M1	I3M0	I2C	I2M2	I2M1	I2M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTE45	0072H	INT5				INT4				
		I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTE67	0073H	INT7				INT6				
		I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTET10	0074H	INTT1 (タイマ1)				INTT0 (タイマ0)				
		IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTET32	0075H	INTT3 (タイマ3)				INTT2 (タイマ2)				
		IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTET54	0076H	INTTR5 (TREG5)				INTTR4 (TREG4)				
		IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTES0	0077H	INTTX0				INTRX0				
		ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTES1	0078H	INTTX1				INTRX1				
		ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTEAD	0079H	INTAD								
		IADC	IADM2	IADM1	IADM0					
		R/W	W							
		0	0	0	0					

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、"1"にします。
0	1	0	割り込み要求レベルを、"2"にします。
0	1	1	割り込み要求レベルを、"3"にします。
1	0	0	割り込み要求レベルを、"4"にします。
1	0	1	割り込み要求レベルを、"5"にします。
1	1	0	割り込み要求レベルを、"6"にします。
1	1	1	割り込み要求を、禁止します。

IxxC	機能 (リード)	機能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

Not Recommended for New Design

(2) 外部割り込みの制御

割り込み入力モード コントロールレジスタ0

IIMC0 (007AH)

	7	6	5	4	3	2	1	0
bit Symbol	I4IE	I3IE	I2IE	I1IE	I1EM	I0IE	I0LE	NMIREE
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	1: INT4 入力 イネーブル	1: INT3 入力 イネーブル	1: INT2 入力 イネーブル	1: INT1 入力 イネーブル	0: INT1 立ち上がりエッジ 1:INT1 立ち下がりエッジ	1: INT0 入力 イネーブル	0: INT0 エッジモード 1: INT0 レベルモード	1: $\overline{NMI}$ 立ち上がりエッジでも動作

リードモディファイライトはできません。

INTn入力イネーブル

0	INTn 入力ディセーブル
1	INTn 入力イネーブル

$\overline{NMI}$立ち上がりエッジイネーブル

0	立ち下がりエッジで割り込み要求発生
1	立ち上がり/立ち下がり両エッジで割り込み要求

注) INT0端子は、後述のスタンバイ解除にも使用できます。
スタンバイ解除用として使用しない場合に、<I0IE>を“0”にしておくことにより、スタンバイ中も、ポート機能を維持させることが可能となります。

INT0 レベルイネーブル

0	立ち上がりエッジ検出割り込み
1	“H” レベル割り込み

INT1 レベルイネーブル

0	立ち上がりエッジ検出割り込み
1	立ち下がりエッジ検出割り込み

割り込み入力モード コントロールレジスタ1

IIMC1 (007BH)

	7	6	5	4	3	2	1	0
bit Symbol						I7IE	I6IE	I5IE
Read/Write						W		
リセット後						0	0	0
機　能						1: INT7 入力 イネーブル	1: INT6 入力 イネーブル	1: INT5 入力 イネーブル

リードモディファイライトはできません。

INTn入力イネーブル

0	INTn 入力ディセーブル
1	INTn 入力イネーブル

Not Recommended for New Design

外部割り込み端子の機能設定

割り込み	兼用端子	モ ー ド	設 定 方 法
$\overline{\text{NMI}}$	P34	立ち下がりエッジ	IIMC<NMIREE> = 0
		立ち下がり/立ち上がり両エッジ	IIMC＜NMIREE＞ = 1
INT0	P50	立ち上がりエッジ	IIMC<I0LE> = 0, <I0IE> = 1
		レベル	IIMC<I0LE> = 1, <I0IE> = 1
INT1	P51	立ち上がりエッジ	IIMC<I1EM> = 0
		立ち下がりエッジ	IIMC<I1EM> = 1
INT2	P52	立ち上がりエッジ	IIMC<I2IE> = 1
INT3	P53	立ち上がりエッジ	IIMC<I3IE> = 1
INT4	P72	立ち上がりエッジ	T4MOD<CAP12M1, 0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T4MOD<CAP12M1, 0> = 1, 0
INT5	P73	立ち上がりエッジ	――
INT6	P66	立ち上がりエッジ	IIMC<I6IE> = 1
INT7	P35	立ち上がりエッジ	IIMC<I7IE> = 1

Not Recommended for New Design

(3) 高速マイクロDMA起動ベクタ

CPUが割り込みを受け付けて、割り込みベクタをリードするとき、同時に、その割り込みベクタと各チャネルの高速マイクロDMA起動ベクタの比較(ビット4~8のみ)が行われます。両者が一致した場合、その割り込み処理は一致したチャネルの高速マイクロDMAモードになります。

なお、2チャンネル以上の高速マイクロDMA起動ベクタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

マイクロDMA0起動ベクタ (リードモディファイライトはできません。)

		7	6	5	4	3	2	1	0
DMA0V (007CH)	bit Symbol				DMA0V8	DMA0V7	DMA0V6	DMA0V5	DMA0V4
	Read/Write				W				
	リセット後				0	0	0	0	0
	機　能	割り込みベクタのビット4~8との一致で、高速マイクロDMAチャネル0の処理							

マイクロDMA1起動ベクタ (リードモディファイライトはできません。)

		7	6	5	4	3	2	1	0
DMA1V (007DH)	bit Symbol				DMA1V8	DMA1V7	DMA1V6	DMA1V5	DMA1V4
	Read/Write				W				
	リセット後				0	0	0	0	0
	機　能	割り込みベクタのビット4~8との一致で、高速マイクロDMAチャネル1の処理							

マイクロDMA2起動ベクタ (リードモディファイライトはできません。)

		7	6	5	4	3	2	1	0
DMA2V (007EH)	bit Symbol				DMA2V8	DMA2V7	DMA2V6	DMA2V5	DMA2V4
	Read/Write				W				
	リセット後				0	0	0	0	0
	機　能	割り込みベクタのビット4~8との一致で、高速マイクロDMAチャネル2の処理							

マイクロDMA3起動ベクタ (リードモディファイライトはできません。)

		7	6	5	4	3	2	1	0
DMA3V (007FH)	bit Symbol				DMA3V8	DMA3V7	DMA3V6	DMA3V5	DMA3V4
	Read/Write				W				
	リセット後				0	0	0	0	0
	機　能	割り込みベクタのビット4~8との一致で、高速マイクロDMAチャネル3の処理							

(4) 注意事項

本CPUは、命令実行ユニットとバスインタフェースユニットが別れています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPUが割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令を実行するということがありえます。この場合、CPUはデフォルトベクタ“00A0H”を読み込み、80A0H番地から、割り込み処理を始めます。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI命令の後にクリアする命令を置くようにしてください。

Not Recommended for New Design

3.4 スタンバイ機能

TMP96C031Zは、HALT命令を実行すると、ホールトモード設定レジスタの内容により、RUNモード、IDLEモード、STOPモードのいずれかになります。

(1) RUN : CPUのみ停止するモードで、消費電力は動作時と変わりません。

(2) IDLE : 内部発振器だけ動作し、他の回路はすべて停止します。
このモードでは、消費電力は動作時の1/10以下になります。

(3) STOP : 内部発振器も含めて、すべての内部回路が停止します。
このモードでは、消費電力は著しく低減されます。

また、STOPモードになったときのポート端子の状態は、I/OレジスタのWDMOD <DRVE> ビットにより、表3.4 (1) のように設定できます。

WDMOD (005CH)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
Read/Write	R/W							
リセット後	1	0	0	0	0	0	0	0
機　能	1 : WDT Enable	00 : 2^{16}/fc 01 : 2^{18}/fc 10 : 2^{20}/fc 11 : 2^{22}/fc 検出時間		Warming up時間 0 : 2^{14}/fc 1 : 2^{16}/fc	スタンバイモード 00 : RUN mode 01 : STOP mode 10 : IDLE mode 11 : Don't care		1 : ウォッチドッグタイマの出力を内部で $\overline{\text{RESET}}$ 端子へ接続。	1 : STOPモード中も端子をドライブします。

なお、STOPモードをリセット以外で解除したときは、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後に、システムクロックの出力を開始します。(外部発振器の場合も同様) リセットで解除する場合には、発振安定時間を満足するだけの十分なリセット時間が必要です。

スタンバイの解除は、リセットまたは割り込みによって行われます。なお、IDLEモードまたはSTOPモードの解除は、$\overline{\text{NMI}}$端子またはINT0端子による割り込みとリセットに限られています。下記に、その詳細を示します。

注) 通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み ($\overline{\text{NMI}}$, INT0) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。
ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended for New Design

割り込みによるスタンバイの解除

割り込みレベル / スタンバイ・モード	割り込みマスク (IFF2~0) ≦割り込み要求レベル	割り込みマスク (IFF2~0) >割り込み要求レベル
RUN	すべての割り込みで可能。スタンバイ解除後、割り込み処理を開始。(注)	INT0端子のみ、スタンバイ解除し、HALT命令の次の番地から処理を再開する。
IDLE	$\overline{\text{NMI}}$端子とINT0端子のみ。スタンバイ解除後、割り込み処理を開始。(注)	↑
STOP	↑	↑

(注) INT0がレベル入力モードで、INT0を "H" にすることによりスタンバイを解除するときは、割り込み処理が開始されるまで "H" レベルを保持してください。それ以前で "L" レベルになった場合は、正しい割り込み処理を開始することができません。

Not Recommended for New Design

表3.4 (1) STOPモード時の端子状態

ピン名称	入力 / 出力	DRVE = 0	DRVE = 1
AD0～AD7	AD0～7	–	–
AD8～AD15	AD8～15 A8～15	– –	– 出力
P20～P27	入力モード 出力モード / A16～23	PD* PD*	PD 出力
P30～P33	入力モード 出力モード	PU* PU*	PU 出力
P34 (R/$\overline{W}$/$\overline{NMI}$)	入力モード 出力モード $\overline{NMI}$	PU* PU* 入力	PU 出力 入力
P35 ($\overline{RAS}$/INT7)	入力モード 出力モード $\overline{RAS}$	PU* PU* 出力	PU 出力 出力
P40～P42 ($\overline{CS0}$～$\overline{CS2}$)	出力	PU*	出力
P43 ($\overline{CS3}$/$\overline{CAS}$)	出力 $\overline{CAS}$	PU* 出力	出力 出力
P50 (INT0)	入力 INT0	– 入力	入力 入力
P51～P53	入力	–	入力
P60～P66	入力モード 出力モード	– –	入力 出力
P67	入力モード 出力モード $\overline{WDTOUT}$	– – 出力	入力 出力 出力
P70～P76	入力モード 出力モード	– –	入力 出力
ALE	出力	"0"	"0"
CLK	出力	–	"1"
$\overline{RESET}$	入力	入力	入力
$\overline{WR}$	出力	–	"1" 出力
$\overline{RD}$	出力	–	"1" 出力
AM8/$\overline{16}$	入力	入力	入力
X1	入力	–	–
X2	出力	"1"	"1"

– : 入力モード/入力ピンは、入力が無効になり、出力モード/出力ピンは、ハイインピーダンスになることを、示しています。
入力: 入力イネーブル状態になっています。
入力 : 入力ゲートが、働いています。入力ピンが浮かないよう入力電圧を、"0" または "1" に固定してください。
出力 : 出力状態になっています。
PU : プログラマブル Pull-upピンです。Pull-upなしの設定のときには入力ゲートが働いていますので、貫通電流防止のためピンを固定する必要があります。
PD : プログラマブルPull-downピンです。Pull-upと同様にPull-downなしのときにはピンを固定してください。
* : 入力ゲートはディセーブルになっています。ハイインピーダンスに設定されても貫通電流は流れません。

注) プログラマブル プルアップ / ダウンの制御はポートレジスタで行います。ただし、出力ファンクション (TO1 など) と兼用ピンでそのファンクションに設定されているピンは、プルアップ / ダウン有無の選択が出力ファンクションのデータに依存します。なお、入力ファンクションとの兼用ピンは、ポートレジスタの設定値だけでプルアップ / ダウン抵抗を付加するか否かが選択されます。

Not Recommended for New Design

3.5 ポート機能

TMP96C031Zには、合計37ビットの入出力ポートがあります。

また、これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表3.5 (1) に各ポート端子の機能を示します。

表3.5 (1) ポート機能

(R: ↑ = プログラマブルプルアップ抵抗付, ↓ = プログラマブルプルダウン抵抗付)

ポート名	ピン名称	ピン数	方　向	R	方向設定単位	内蔵機能用ピン名称
ポート2	P20～P27	8	入出力	↓	ビット	A16～A23
ポート3	P30	1	入出力	↑	ビット	TO5/$\overline{\text{HWR}}$
	P31	1	入出力	↑	ビット	TI0/$\overline{\text{WAIT}}$
	P32	1	入出力	↑	ビット	$\overline{\text{BUSRQ}}$
	P33	1	入出力	↑	ビット	$\overline{\text{BUSAK}}$
	P34	1	入出力	↑	ビット	R/$\overline{\text{W}}$/$\overline{\text{NMI}}$
	P35	1	入出力	↑	ビット	$\overline{\text{RAS}}$/INT7
ポート4	P40	1	出　力	↑	(固　定)	$\overline{\text{CS0}}$
	P41	1	出　力	↑	(固　定)	$\overline{\text{CS1}}$
	P42	1	出　力	↑	(固　定)	$\overline{\text{CS2}}$
	P43	1	出　力	↑	(固　定)	$\overline{\text{CS3}}$/$\overline{\text{CAS}}$
ポート5	P50～P53	4	入　力	–	(固　定)	INT0～INT3/AN0～AN3
ポート6	P60	1	入出力	–	ビット	PG00/TxD0
	P61	1	入出力	–	ビット	PG01/RxD0
	P62	1	入出力	–	ビット	PG02/$\overline{\text{CTS0}}$
	P63	1	入出力	–	ビット	PG03/$\overline{\text{RFSH}}$
	P64	1	入出力	–	ビット	PG10
	P65	1	入出力	–	ビット	PG11
	P66	1	入出力	–	ビット	PG12/INT6
	P67	1	入出力	–	ビット	PG13/$\overline{\text{WDTOUT}}$
ポート7	P70	1	入出力	–	ビット	TO1/TO4
	P71	1	入出力	–	ビット	TO3/$\overline{\text{DMUX}}$
	P72	1	入出力	–	ビット	INT4/TI4
	P73	1	入出力	–	ビット	INT5/TI5
	P74	1	入出力	–	ビット	TxD1
	P75	1	入出力	–	ビット	RxD1
	P76	1	入出力	–	ビット	SCLK1

3.5.1 プログラマブルプルアップ / プルダウン

PORT2にはプルダウン抵抗、PORT3, PORT4にはプルアップ抵抗がそれぞれ内蔵されています。これらは通常入力モード時に出力ラッチ (P2, P3, P4各レジスタ) の値を設定することにより、プログラマブルに付加をON/OFFさせます。また、スタンバイ (STOP) モード時も設定可能で、直前の設定が、入力モード時は出力ラッチの値、出力モード時は出力データの値によって付加をON/OFFすることができます。

表3.5 (2) にプログラマブルプルアップ/プルダウンおよび各I/Oの設定を示します。

Not Recommended for New Design

表3.5 (2) I/O ポート設定一覧表 (1/2)

ポート	端子名	仕　様	I/O レジスタ設定値				
			Pn	PnCR	PnFC	PnCRL / PnCRH	
						PnnC1	PnnC0
ポート2	P2 (0:7)	入力ポート　(プルダウン無)	1	0	0	無	無
		入力ポート　(プルダウン有)	0	0	0	無	無
		出力ポート	X	1	0	無	無
		A (16:23) 出力	X	1	1	無	無
ポート3	P3 (0:5)	入力ポート　(プルアップ無)	0	無	無	0	0
		入力ポート　(プルアップ有)	1	無	無	0	0
		出力ポート	X	無	無	0	1
	P30	TO5出力	X	無	無	1	0
		$\overline{\text{HWR}}$出力	X	無	無	1	1
	P31	TI0入力　(プルアップ無)	0	無	無	0	0
		TI0入力　(プルアップ有)	1	無	無	0	0
		$\overline{\text{WAIT}}$入力　(プルアップ無)	0	無	無	0	0
		$\overline{\text{WAIT}}$入力　(プルアップ有)	1	無	無	0	0
	P32	$\overline{\text{BUSRQ}}$入力　(プルアップ無)	0	無	無	1	0
		$\overline{\text{BUSRQ}}$入力　(プルアップ有)	1	無	無	1	0
	P33	$\overline{\text{BUSAK}}$出力	X	無	無	1	0
	P34	$\overline{\text{NMI}}$入力　(プルアップ無)	0	無	無	1	0
		$\overline{\text{NMI}}$入力　(プルアップ有)	1	無	無	1	0
		R/$\overline{\text{W}}$出力	X	無	無	1	1
	P35	$\overline{\text{RAS}}$出力	X	無	無	1	0
		INT7入力 (注1)　(プルアップ無)	0	無	無	0	0
		INT7入力 (注1)　(プルアップ有)	1	無	無	0	0
ポート4	P4 (0:3)	出力ポート	X	無	0	無	無
	P40	$\overline{\text{CS0}}$出力	X	無	1	無	無
	P41	$\overline{\text{CS1}}$出力	X	無	1	無	無
	P42	$\overline{\text{CS2}}$出力	X	無	1	無	無
	P43	$\overline{\text{CS3}}$/$\overline{\text{CAS}}$出力 (注2)	X	無	1	無	無
ポート5	P5 (0:3)	入力ポート	X	無	無	無	無
		AN (0:3) 入力 (注3)	X	無	無	無	無
		INT0~3入力 (注1)	X	無	無	無	無
ポート6	P6 (0:7)	入力ポート	X	無	無	0	0
		出力ポート	X	無	無	0	1
		PGnn出力	X	無	無	1	0
	P60	TXD0出力	X	無	無	1	1
	P61	RXD0入力	X	無	無	0	0
	P62	$\overline{\text{CTS0}}$入力	X	無	無	0	0
	P63	$\overline{\text{RFSH}}$出力	X	無	無	1	1
	P66	INT6入力 (注1)	X	無	無	0	0
	P67	$\overline{\text{WDTOUT}}$出力	X	無	無	1	1

Not Recommended for New Design

表3.5 (2) I/O ポート設定一覧表 (2/2)

ポート	端子名	仕　様	I/O レジスタ設定値				
			Pn	PnCR	PnFC	PnCRL / PnCRH	
						PnnC1	PnnC0
ポート7	P7 (0:6)	入力ポート	X	無	無	0	0
		出力ポート	X	無	無	0	1
	P70	TO1 出力	X	無	無	1	0
		TO4 出力	X	無	無	1	1
	P71	TO3 出力	X	無	無	1	0
		$\overline{\text{DMUX}}$ 出力	X	無	無	1	1
	P72	INT4 / TI4 入力 (注1)	X	無	無	0	0
	P73	INT5 / TI5 入力 (注1)	X	無	無	0	0
	P74	TXD1 出力	X	無	無	1	0
	P75	RXD1 入力	X	無	無	0	0
	P76	SCLK1 入力	X	無	無	0	0
		SCLK1 出力	X	無	無	1	0

(注1) INT0~7として使用する場合、IIMCnレジスタを設定します。
(注2) P43より$\overline{\text{CS3}}$, $\overline{\text{CAS}}$のどちらを出力するかは、CS/WAITコントロールレジスタB3CS <B3CAS> で設定します。
(注3) P5 (0:3) をA/Dコンバータの入力チャネルとして使用する場合のチャネル選択はADMOD <ADCHn>で設定します。

X : don't care　　無 : 設定レジスタなし
Pn : ポートレジスタ　　PnCRL : ポートコントロールレジスタL
PnCR : ポートコントロールレジスタ　　PnCRH : ポートコントロールレジスタH
PnFC : ポートファンクションレジスタ　　PnnC1, PnnC0 : ビットシンボル

Not Recommended for New Design

3.5.2 バス解放機能

3.5.1で説明したプルアップ/プルダウン抵抗は、バス解放時のバスコントロール信号を確定させるための機能としても働きます。

表3.5 (3) にバス解放時 ($\overline{BUSAK}=0$) の端子状態を示します。

表3.5 (3) バス解放時の端子状態

端子名	バス解放時の端子状態	
	ポートモード	ファンクションモード
AD0~AD15 AD0~AD7 (A8~A15)	—	ハイインピーダンスになります。
P20~P27 (A16~23)	状態は変化しません。 (ハイインピーダンスになりません。)	一度全ビットLowにしてから、出力バッファはOFFします。出力ラッチの値に関係なく内蔵プルダウンが付加されます。
$\overline{RD}$ $\overline{WR}$	—	一度Highにしてからハイインピーダンスになります。
P30 ($\overline{HWR}$) P34 (R/$\overline{W}$)	状態は変化しません。 (ハイインピーダンスになりません。)	一度Highにしてから出力バッファはOFFします。出力ラッチの値に関係なく内蔵プルアップが付加されます。
P40 ($\overline{CS0}$) P41 ($\overline{CS1}$) P42 ($\overline{CS2}$) P43 ($\overline{CS3}$)	状態は変化しません。 (ハイインピーダンスになりません。)	一度Highにしてから出力バッファはOFFします。出力ラッチの値に関係なく内蔵プルアップが付加されます。
P71 ($\overline{DMUX}$)	状態は変化しません。 (ハイインピーダンスになりません。)	一度Highにしてからハイインピーダンスになります。
P63 ($\overline{RFSH}$)	状態は変化しません。 (ハイインピーダンスになりません。)	状態は変化しません。 (ハイインピーダンスになりません。)
P35 ($\overline{RAS}$) P43 ($\overline{CAS}$)	状態は変化しません。 (ハイインピーダンスになりません。)	状態は変化しません。 (ハイインピーダンスになりません。)

図3.5 (1) にバス解放機能使用時の外部バスインタフェースを示します。

なお、バス解放状態では、本デバイスの内蔵I/Oはアクセスできません。

Not Recommended for New Design

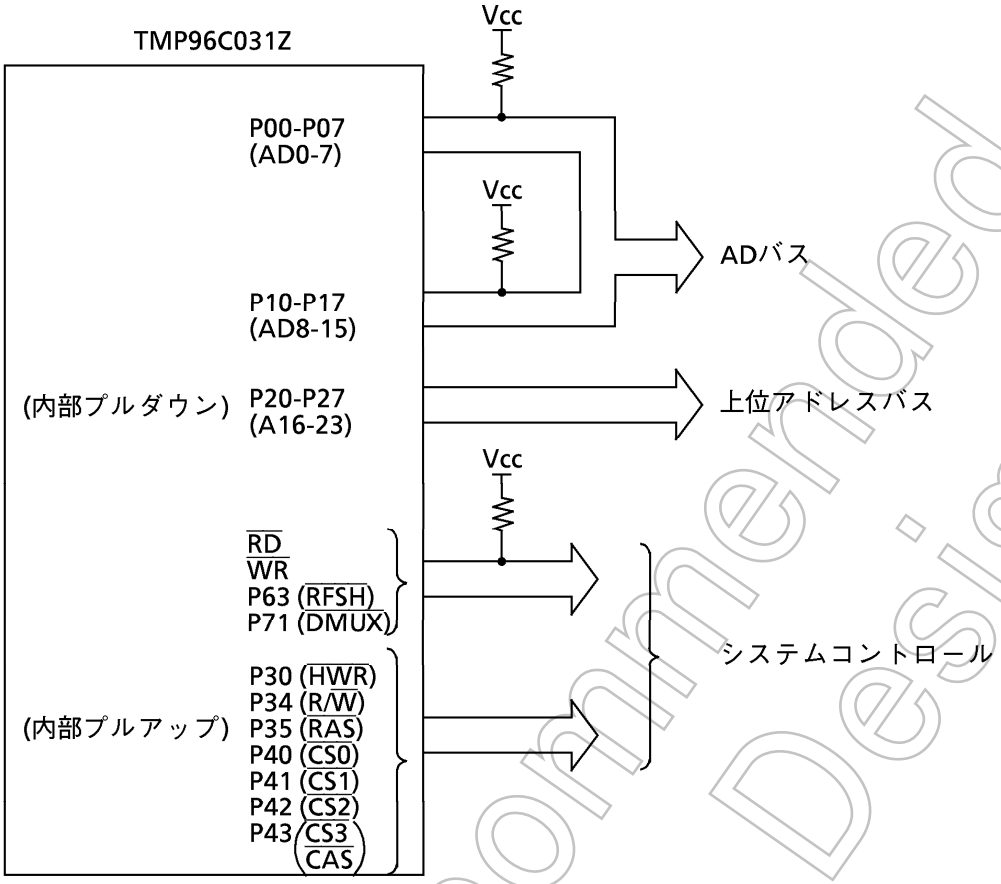


図3.5 (1) バス解放機能使用時の外部バスインタフェース例

Not Recommended for New Design

3.5.3 ポート2 (P20~P27)

ポート2は、ビット単位で入出力の設定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP2CRと、ファンクションレジスタP2FCによって行います。リセット動作により、出力ラッチP2の全ビットと、コントロールレジスタP2CRとファンクションレジスタP2FC、の全ビットは“0”にリセットされ、ポート2はプルダウン抵抗付きの入力モードになります。

汎用入出力ポート以外に、アドレスバス (A16~23) 機能があります。

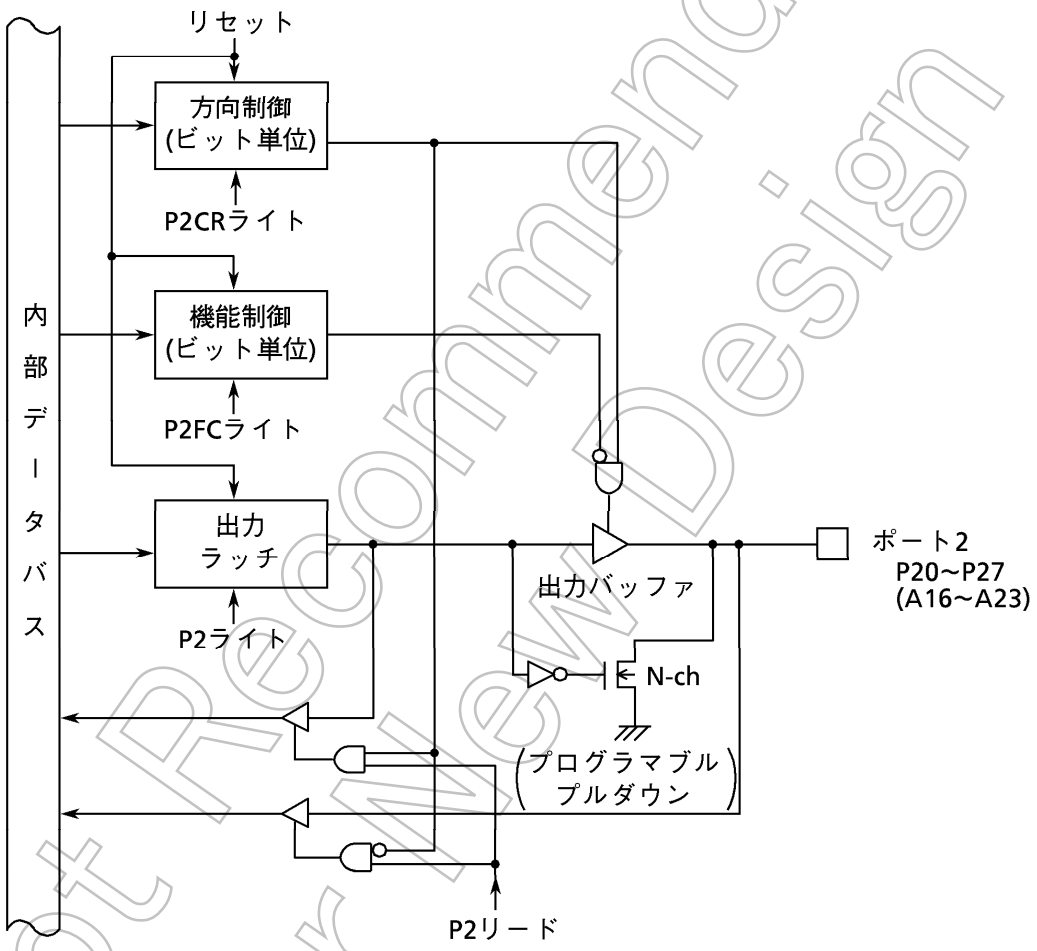


図 3.5 (2) ポート2

Not Recommended for New Design

ポート2レジスタ

P2 (0006H)

	7	6	5	4	3	2	1	0
bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
Read/Write	R / W							
リセット後	入力モード (Pull-down)							
	0	0	0	0	0	0	0	0

ポート2コントロールレジスタ

P2CR (0008H)

	7	6	5	4	3	2	1	0
bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	<<P2CRとP2FCの組み合せ　P2FCの欄を参照>>							

ポート2ファンクションレジスタ

P2FC (0009H)

	7	6	5	4	3	2	1	0
bit Symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	P2FC/P2CR = 00 : IN, 01 : OUT, 10 : –, 11 : A23 - 16							

→ ポート2の機能設定

(注)アドレスバスに設定するときは、P2CR, P2FCの順に設定してください。

P2CR, P2FCは
リードモディファイライト
できません。
ポート2を入力として使用した場合のプルダウンはP2レジスタにて制御しますが、その際にはリードモディファイライト命令は、使用できません。

P2CR <P2XC> \ P2FC<P2XF>	0	1
0	入力ポート	–
1	出力ポート	アドレスバス (A23 - 16)

注) <P2XF>/<P2XC>はそれぞれレジスタP2FC/P2CRのビットXです。

図 3.5 (3) ポート2関係のレジスタ

Not Recommended for New Design

3.5.4 ポート3 (P30-P35)

ポート3は、ビット単位で入出力の設定ができる6ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP3CRL, P3CRHによって行います。リセット動作により、P3の全ビットは“1”にセットされ、コントロールレジスタP3CRL, P3CRHの全ビットは“0”にリセットされ、P30~P35はプルアップ抵抗付きの入力モードになります。ポート3には汎用入出力ポート機能以外に、CPUのコントロール/ステータス信号、割り込み入力、タイマ入出力機能があります。

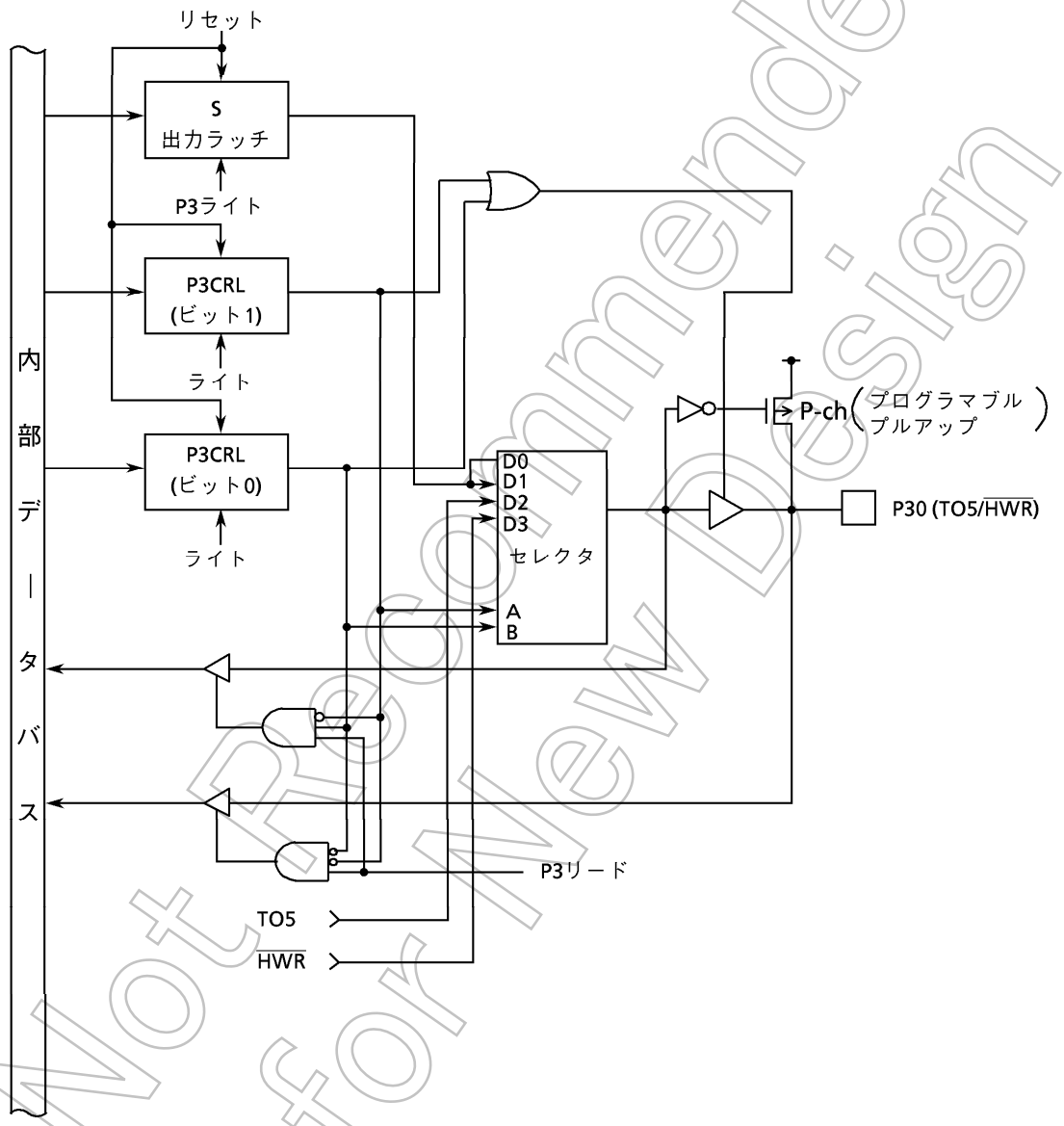
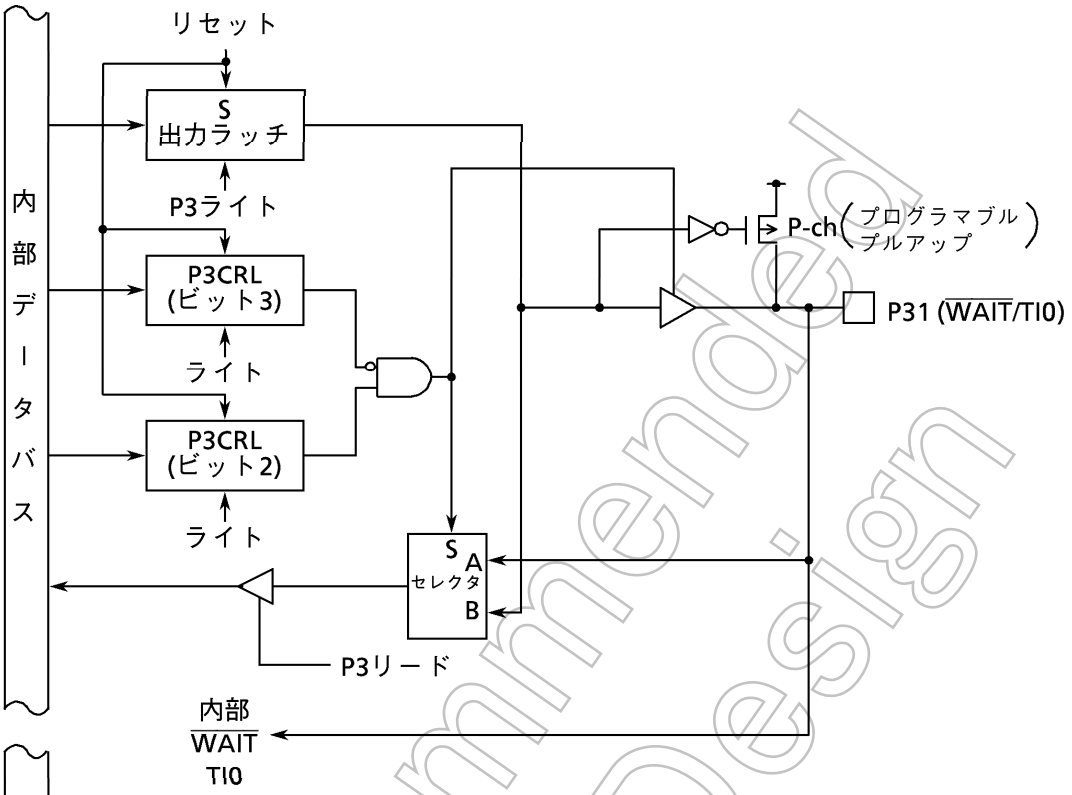


図 3.5 (4) ポート3 (P30)

Not Recommended for New Design



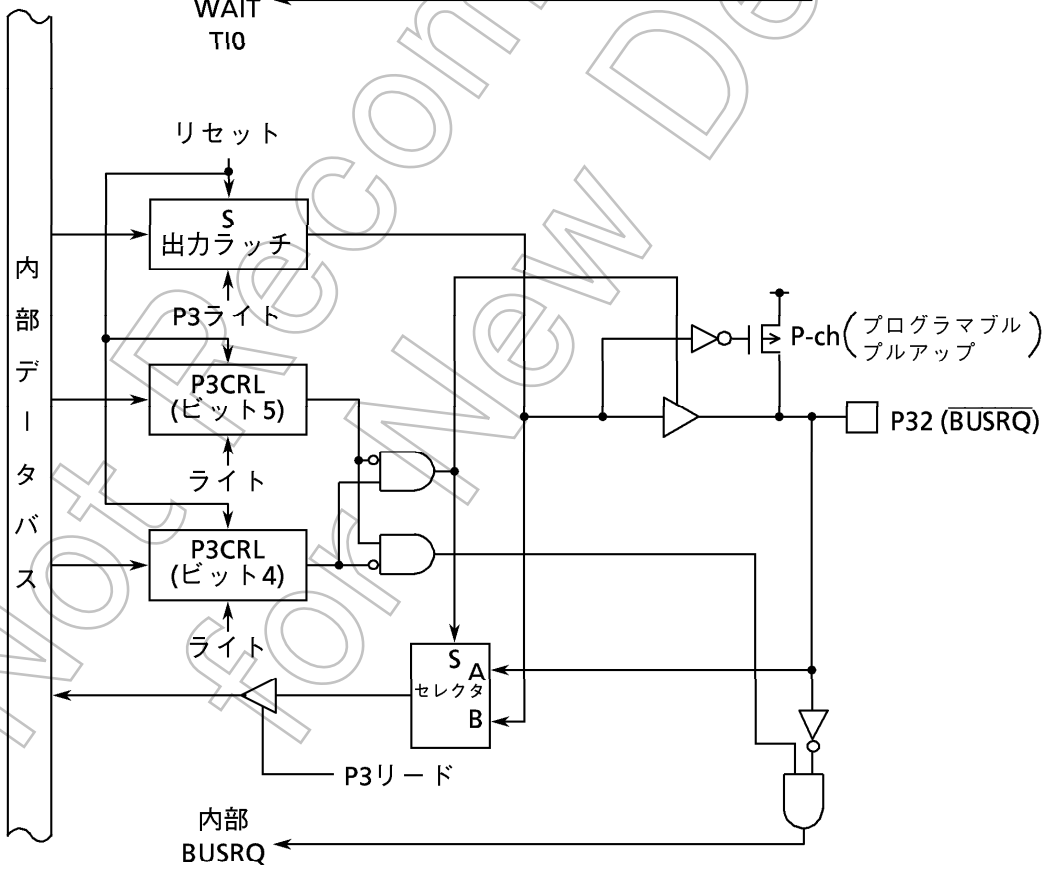
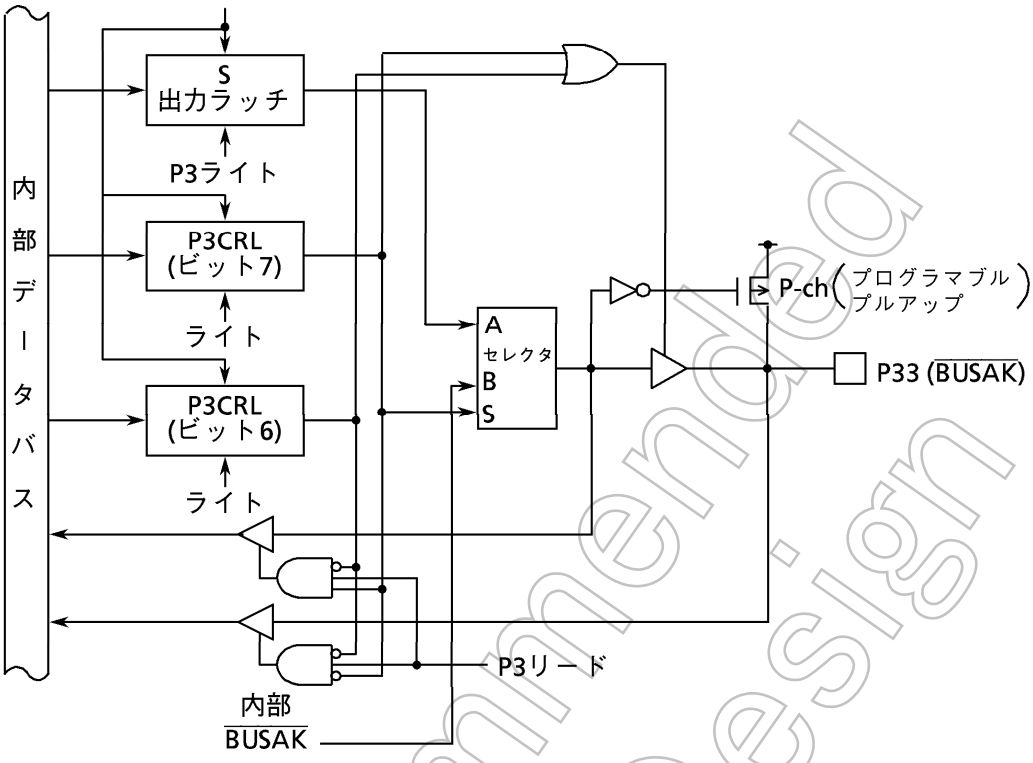


図 3.5 (5) ポート3 (P31, P32)

Not Recommended for New Design



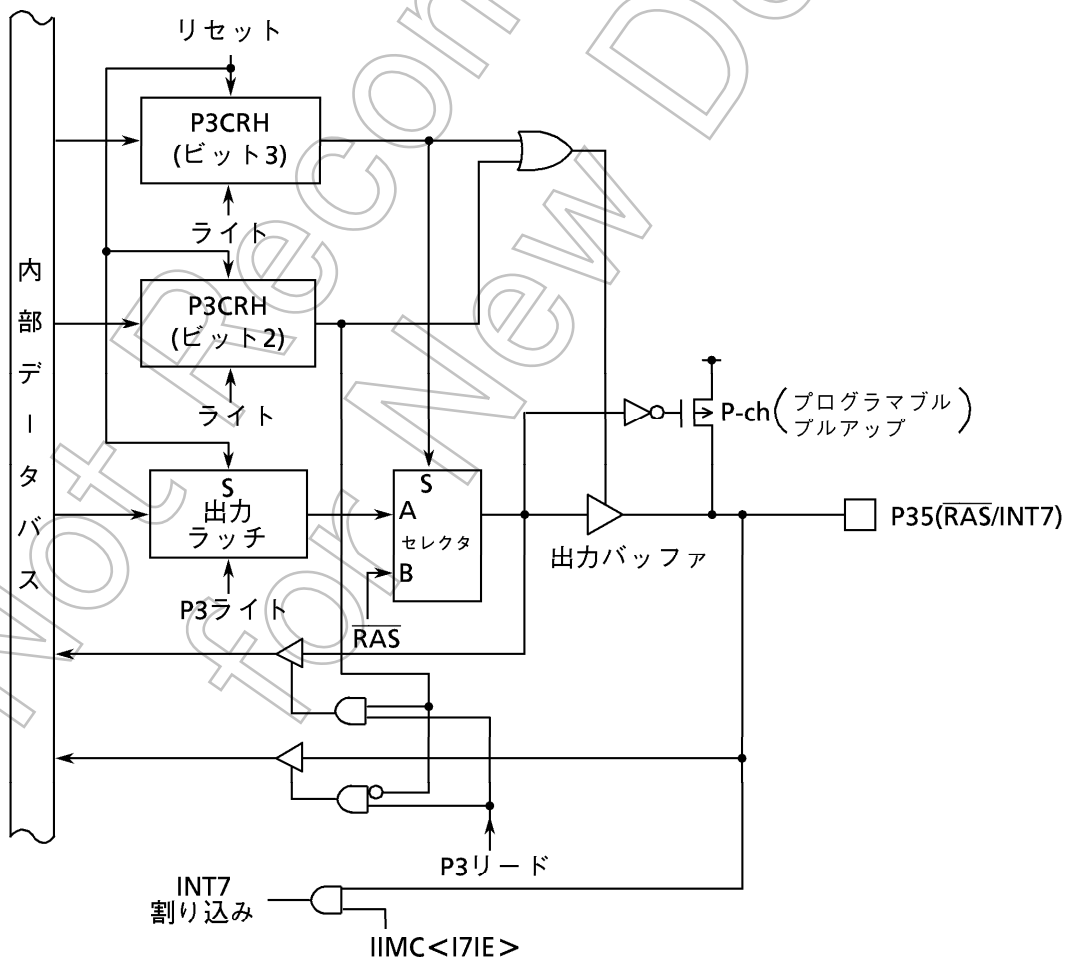


図 3.5 (6) ポート3 (P33, P35)

Not Recommended for New Design

(1) P34/$\overline{\text{NMI}}$/R/$\overline{\text{W}}$

P34は汎用入出力ポートで、ノンマスカブル割り込み ($\overline{\text{NMI}}$) 入力端子と兼用になっています。$\overline{\text{NMI}}$端子の設定は、コントロールレジスタP3CRH<P34C1, P34C0> で行います。<P34C1, P34C0>=<1, 0> を書き込むことにより$\overline{\text{NMI}}$入力端子になります。この$\overline{\text{NMI}}$端子の設定は、一回のみで$\overline{\text{NMI}}$端子から他の端子へ切り替えはできません。リセット動作により <P34C1, P34C0> は <0, 0> にリセットされ汎用入力ポートになります。また、プルアップ抵抗を付加する場合は、ポート3レジスタ (P34) を“1”にセットしてください。

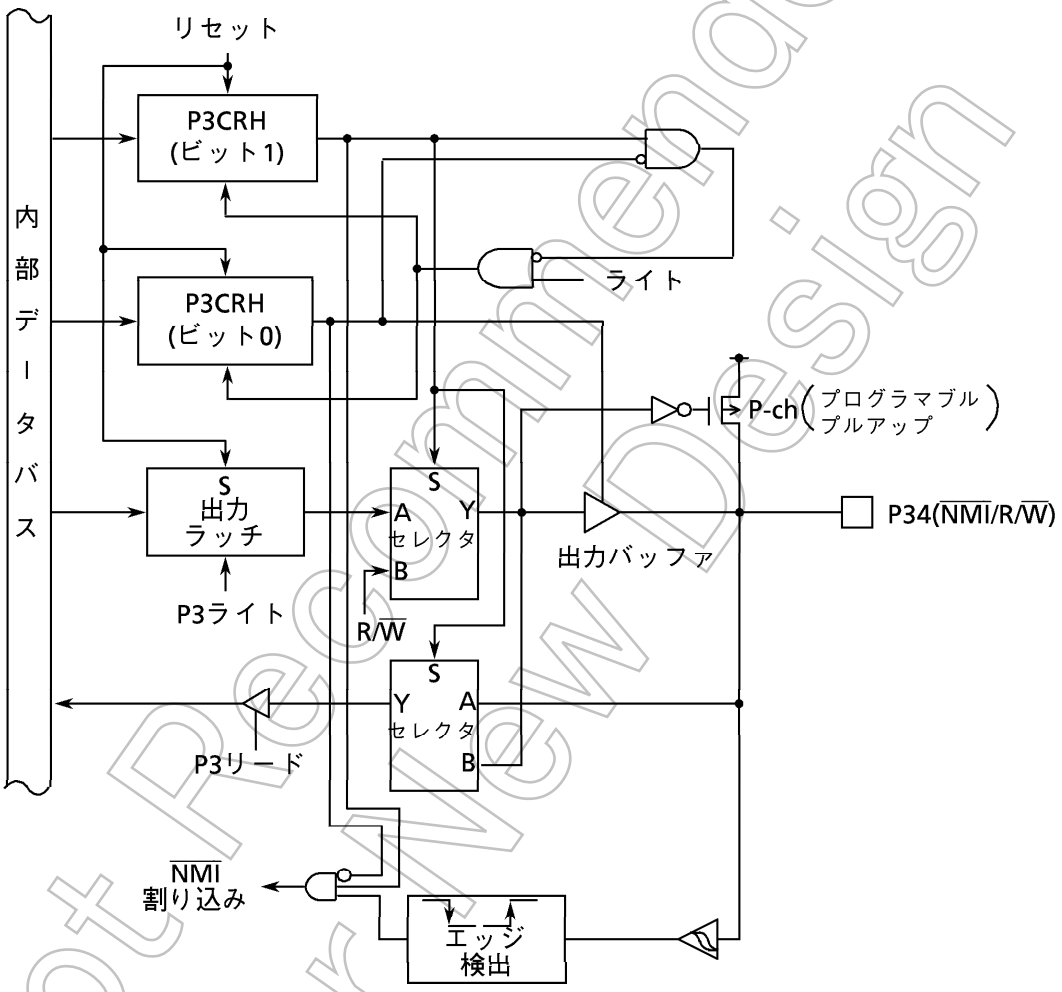


図 3.5 (7) ポート3 (P34)

Not Recommended for New Design

ポート3レジスタ

P3 (0007H)	7	6	5	4	3	2	1	0
bit Symbol			P35	P34	P33	P32	P31	P30
Read/Write			R/W					
リセット後			入力モード (Pull-up)					
			1	1	1	1	1	1

ポート3コントロールレジスタL

P3CRL (000AH)	7	6	5	4	3	2	1	0
bit Symbol	P33C1	P33C0	P32C1	P32C0	P31C1	P31C0	P30C1	P30C0
Read/Write	W		W		W		W	
リセット後	0	0	0	0	0	0	0	0
機　能	00: PORT入力 01: PORT出力 10: $\overline{BUSAK}$ 11: —		00: PORT入力 01: PORT出力 10: $\overline{BUSRQ}$ 11: —		00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: TO5 11: $\overline{HWR}$	

ポート3コントロールレジスタH

P3CRH (000BH)	7	6	5	4	3	2	1	0
bit Symbol	RDEN				P35C1	P35C0	P34C1	P34C0
Read/Write	W				W		W	
リセット後	0				0	0	0	0
機　能	1： 擬似 SRAM EN				00: PORT入力 01: PORT出力 10: $\overline{RAS}$ 11: —		00: PORT入力 01: PORT出力 10: $\overline{NMI}$ 11: R/$\overline{W}$	

P3CR, P3FCは
リードモディファイ
ライトできません。
ポート3を入力として使
用した場合のプルアッ
プはP3レジスタにて制
御しますが、その際に
はリードモディファイ
ライト命令は使用でき
ません。

$\overline{RD}$のファンクション設定

0	外部アクセス時のみ$\overline{RD}$出力
1	常に$\overline{RD}$出力 (疑似SRAM対応)

P3CRH＜RDEN＞を1にセットすると、$\overline{RD}$ストローブは内部アドレスエリアをアクセスするときでも出力され (擬似スタティックRAM用)、0にクリアすると外部エリアをアクセスしたときのみ$\overline{RD}$ストローブは出力されます。

図3.5 (8)　ポート3関係のレジスタ

注) P31 (TIO/$\overline{WAIT}$) 端子は、ポート/ファンクションの切り替えレジスタはありませんので例えば、入力ポートとして使用する場合でもタイマ入力0として8ビットタイマ0へ入力されます。
$\overline{WAIT}$端子として使用する場合は、P3CRL＜P31C1, 0＞を“00”に、チップセレクト/ウェイトコントロールレジスタのビット3, 2＜BXW1, 0＞を“10”に設定する必要があります。
P35 ($\overline{RAS}$/INT7) 端子をINT7端子として使用するときは、P3CRH＜P35C1, 0＞を“00”にIIMC1＜I7IE＞を“1”に設定する必要があります。

Not Recommended for New Design

3.5.5 ポート4 (P40-P43)

ポート4は、4ビットの出力専用ポートで、チップセレクト出力 $\overline{CS0}$~$\overline{CS3}$、カラムアドレスストローブ $\overline{CAS}$ ($\overline{CS3}$のみ) 出力端子と兼用になっています。機能の選択は、ファンクションレジスタ P4FC によって行います。リセット動作により、P40, P41, P43の出力レジスタは "1"、P42 の出力レジスタは "0"、ファンクションレジスタの全ビットは "0" にリセットされ、P40, P41, P43 は "1" 出力、P42 は "0" 出力の出力ポートとなります。

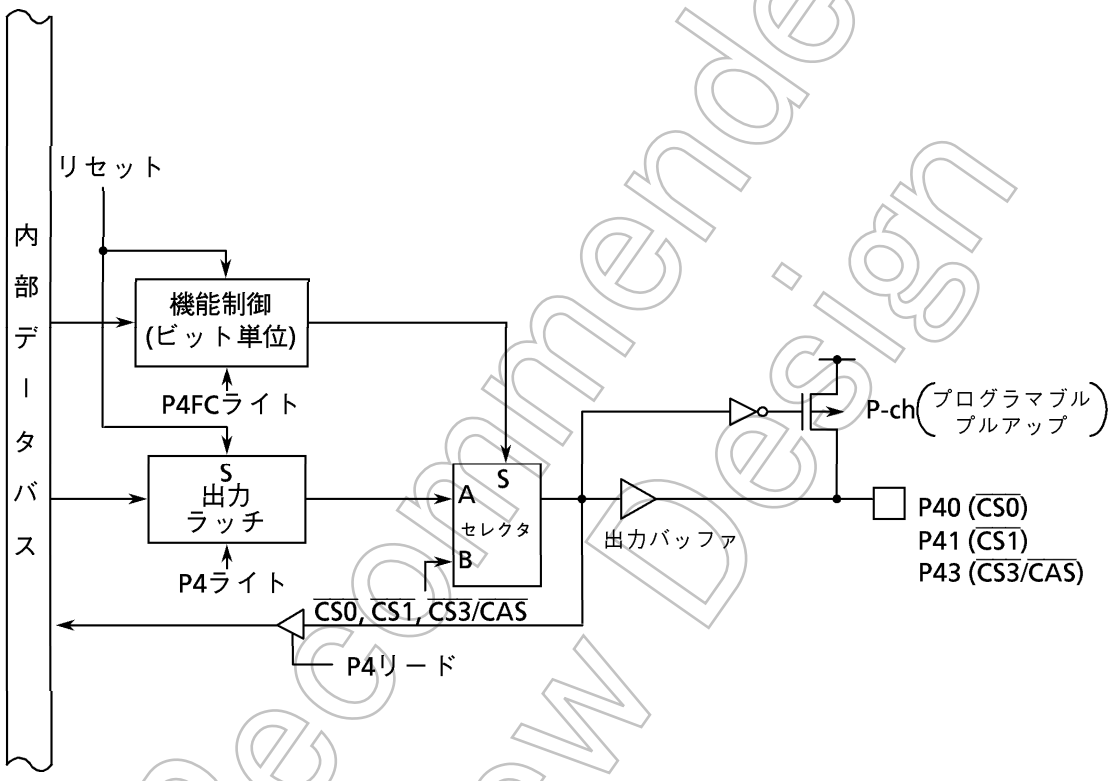


図 3.5 (9) ポート4 (P40, P41, P43)

Not Recommended for New Design

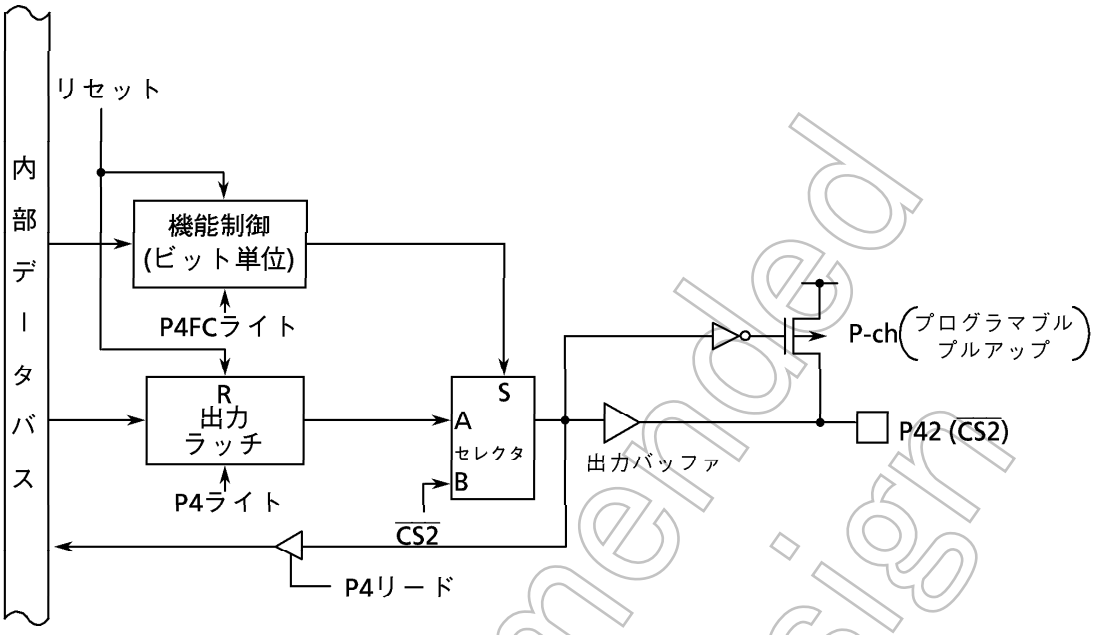


図 3.5 (10) ポート4 (P42)

ポート4レジスタ

P4 (000CH)

	7	6	5	4	3	2	1	0
bit Symbol					P43	P42	P41	P40
Read/Write	R/W							
リセット後	出力モード (Pull-up)							
					1	0	1	1

ポート4ファンクションレジスタ

P4FC (0010H)

	7	6	5	4	3	2	1	0
bit Symbol	BUS WDT				P43F	P42F	P41F	P40F
Read/Write	W	W						
リセット後	0				0	0	0	0
機　能	0: BUSRQ DIS 1: BUSRQ EN				0: PORT 1: CS3 /CAS	0: PORT 1: CS2	0: PORT 1: CS1	0: PORT 1: CS0

→ 3.12 ウォッチドッグタイマで説明

P4FCはリードモディファイライトできません。

(注) P43に関してCS3/CASの機能選択はチップセレクト/ウェイトコントローラの(B3CS) レジスタで行います。

図 3.5 (10) ポート4関係のレジスタ

Not Recommended for New Design

3.5.6 ポート5 (P50~P53)

ポート5は4ビットの入力専用ポートで外部割り込み端子と兼用になっています。

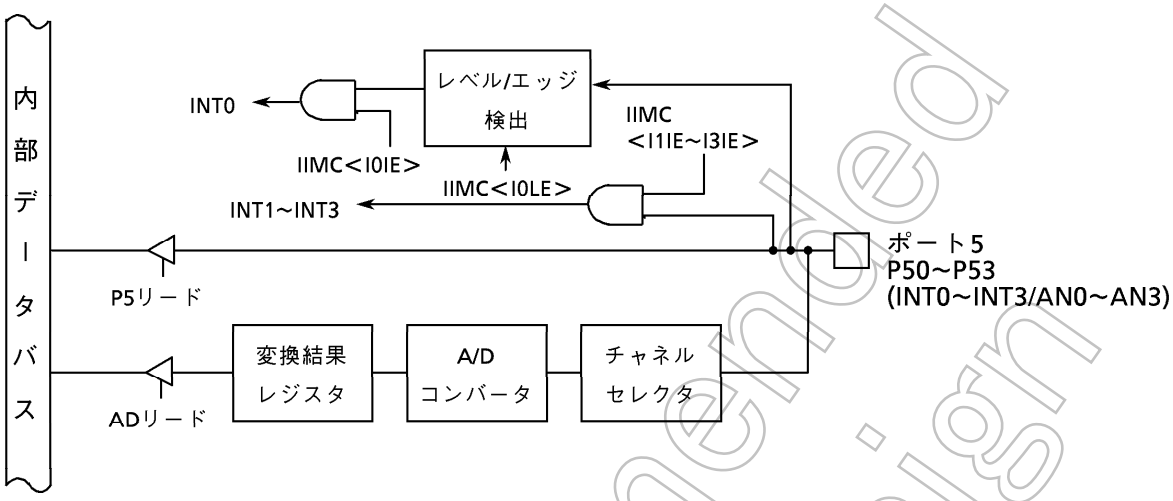


図 3.5 (11) ポート5 (P50, P51, P52, P53)

ポート5レジスタ

P5 (000DH)	7	6	5	4	3	2	1	0
bit Symbol					P53	P52	P51	P50
Read/Write	R							
リセット後	入力モード							

注) AN0~3/INT0~3は入力切り替えレジスタは、ありませんのでどちらにも入力されます。
INT0~3端子として使用する場合は、割り込み入力モードコントロールレジスタ0, 1 IIMC0, 1<I0IE~I3IE>を“1”に設定します。

図 3.5 (12) ポート5関係のレジスタ

Not Recommended for New Design

3.5.7 ポート6 (P60~P67)

ポート6はビット単位で入出力の指定ができる8ビットポートです。入出力ポート機能以外にP60~P63/P64~P67はパターンジェネレートPG0/PG1出力、またP60~P62はそれぞれシリアルチャネルのTxD0出力端子, RxD0入力端子, $\overline{\text{CTS0}}$入力端子、P63は、DRAMコントローラのリフレッシュアウト、P66は外部割り込み要求入力INT6端子、P67はウォッチドッグタイマ$\overline{\text{WDT}}$出力端子機能をもっています。この機能はポート6コントロールレジスタP6CRL, R6CRHにより設定できます。さらに、P60はプログラマブルオープンドレイン機能を持っています。リセット動作により、コントロールレジスタP6CRL, P6CRHの値は“0”にリセットされ、全ビットが入力モードとなります。

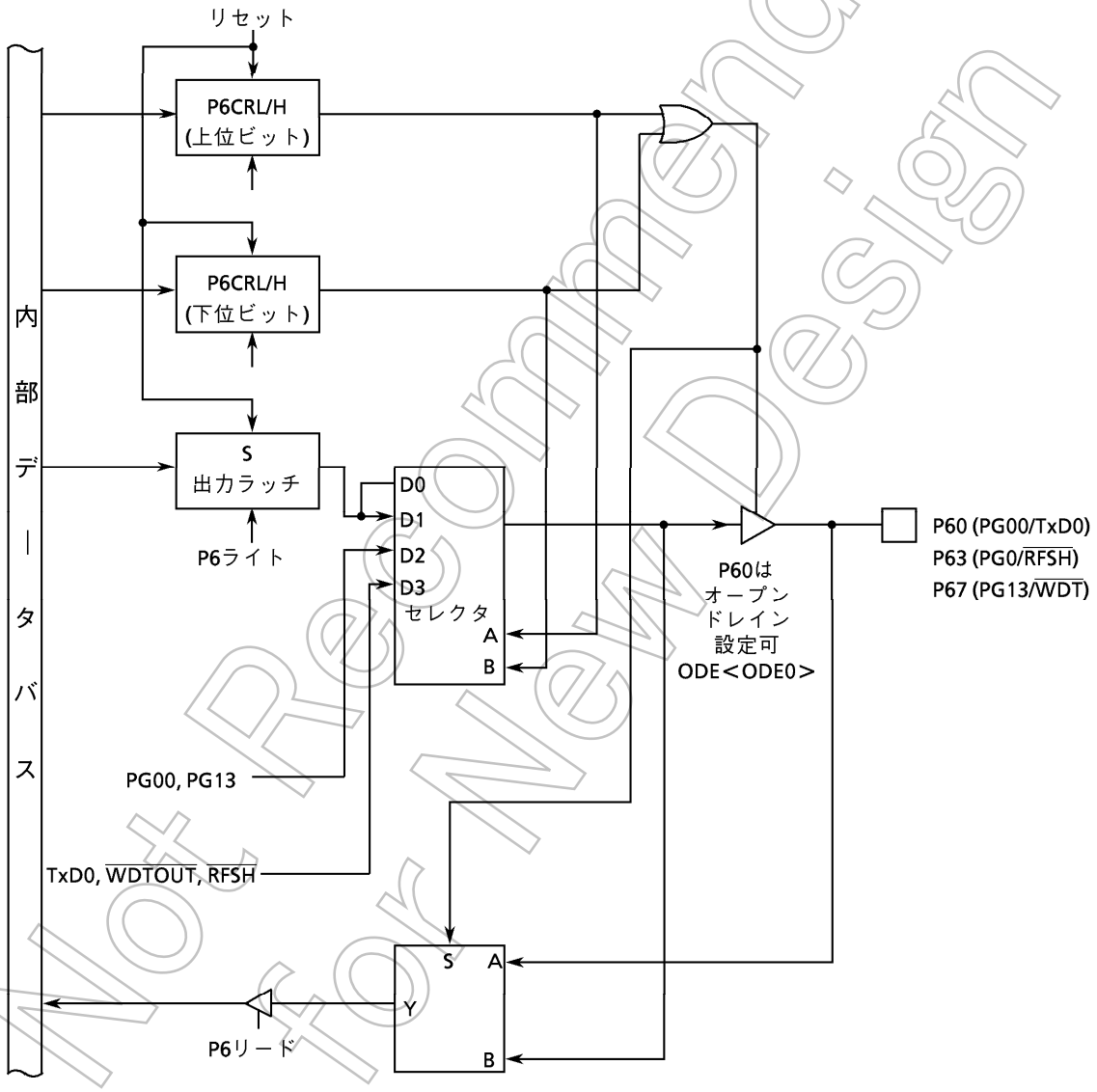


図 3.5 (13) ポート6 (P60, P67)

Not Recommended for New Design

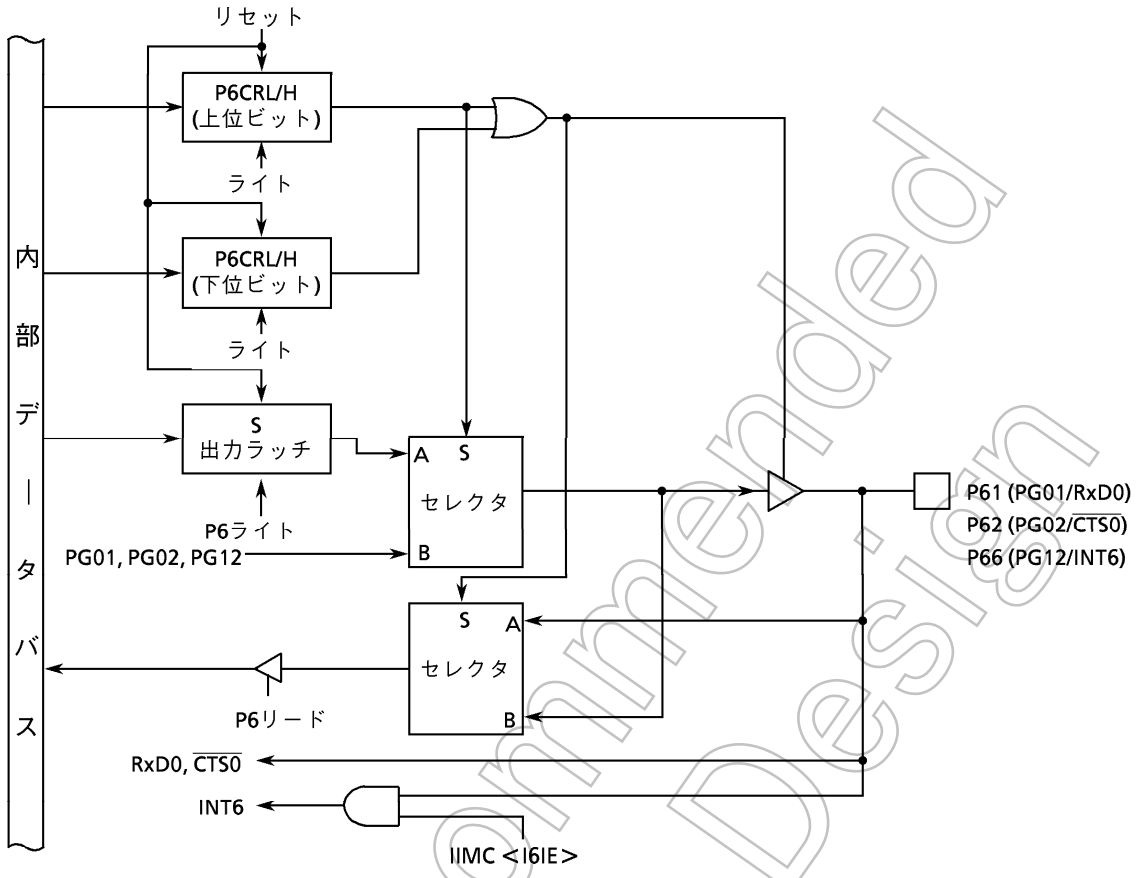


図 3.5 (14) ポート 6 (P61, P62, P66)

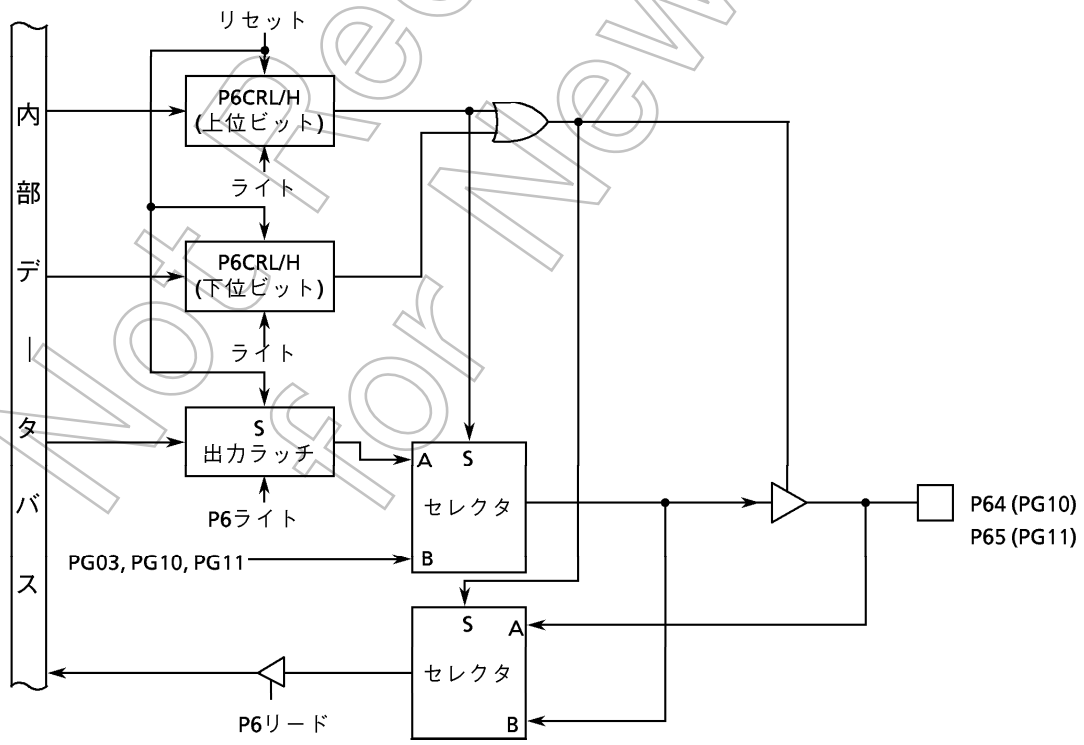


図 3.5 (15) ポート 6 (P63, P64, P65)

Not Recommended for New Design

ポート6レジスタ

P6 (0012H)

	7	6	5	4	3	2	1	0
bit Symbol	P67	P66	P65	P64	P63	P62	P61	P60
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは"1"にセット)							
	1	1	1	1	1	1	1	1

ポート6コントロールレジスタL

P6CRL (0014H)

	7	6	5	4	3	2	1	0
bit Symbol	P63C1	P63C0	P62C1	P62C0	P61C1	P61C0	P60C1	P60C0
Read/Write	W		W		W		W	
リセット後	0	0	0	0	0	0	0	0
機　能	00: PORT入力 01: PORT出力 10: PG03 11: $\overline{\text{RFSH}}$		00: PORT入力 01: PORT出力 10: PG02 11: —		00: PORT入力 01: PORT出力 10: PG01 11: —		00: PORT入力 01: PORT出力 10: PG00 11: TXD0	

ポート6コントロールレジスタH

P6CRH (0015H)

	7	6	5	4	3	2	1	0
bit Symbol	P67C1	P67C0	P66C1	P66C0	P65C1	P65C0	P64C1	P64C0
Read/Write	W		W		W		W	
リセット後	1	1	0	0	0	0	0	0
機　能	00: PORT入力 01: PORT出力 10: PG13 11: $\overline{\text{WDTOUT}}$		00: PORT入力 01: PORT出力 10: PG12 11: —		00: PORT入力 01: PORT出力 10: PG11 11: —		00: PORT入力 01: PORT出力 10: PG10 11: —	

P6CR, P6FCはリードモディファイライトできません

注) TXD0端子をオープンドレイン出力に設定するには、ODEレジスタのビット0<ODE0>に"1"をライトします。
P61/RXD0端子は、ポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとしてする場合でもシリアル受信データとしてSIOへ入力されます。
またP66/PG12/INT6端子をINT6端子として使用するときはP6CRH<P66C1, 0>を"00"にIIMC1<I6IE>を"1"に設定する必要があります。

図 3.5 (16) ポート6関係のレジスタ

No Recommended for New Design

3.5.8 ポート7 (P70-P76)

ポート7は、ビット単位で入出力の設定ができる7ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP7CRL, P7CRHによって行います。リセット動作により、P7の全ビットは“1”にセットされ、コントロールレジスタP7CRL, P7CRHの全ビットは“0”にリセットされ、P70~P76は入力モードになります。ポート7には汎用入出力ポート機能以外に、割り込み入力、タイマ入出力、DRAMアドレスマルチプレクス, シリアルチャネル用送受信 (TXD1, RXD1) および転送クロック入力 (SCLK1) 端子機能があります。

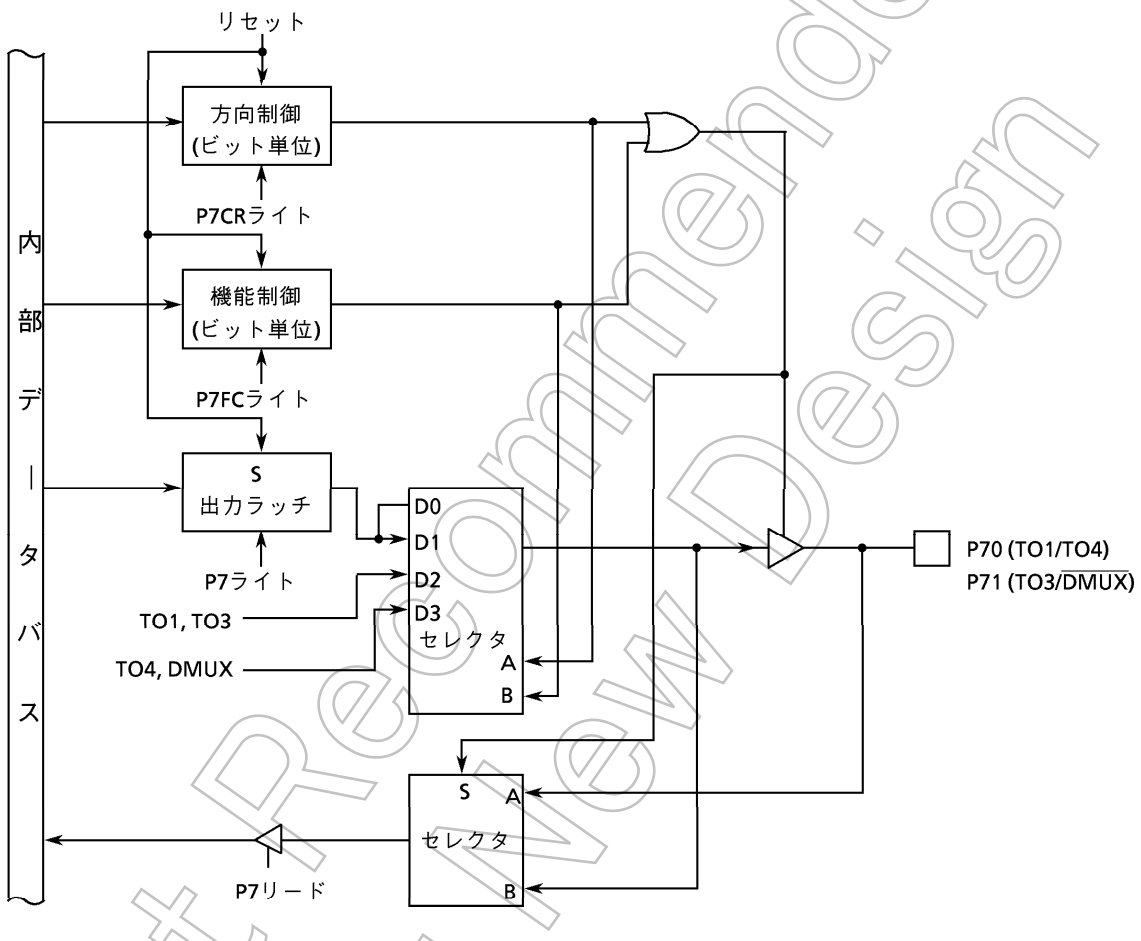


図 3.5 (17) ポート7 (P70, P71)

Not Recommended for New Design

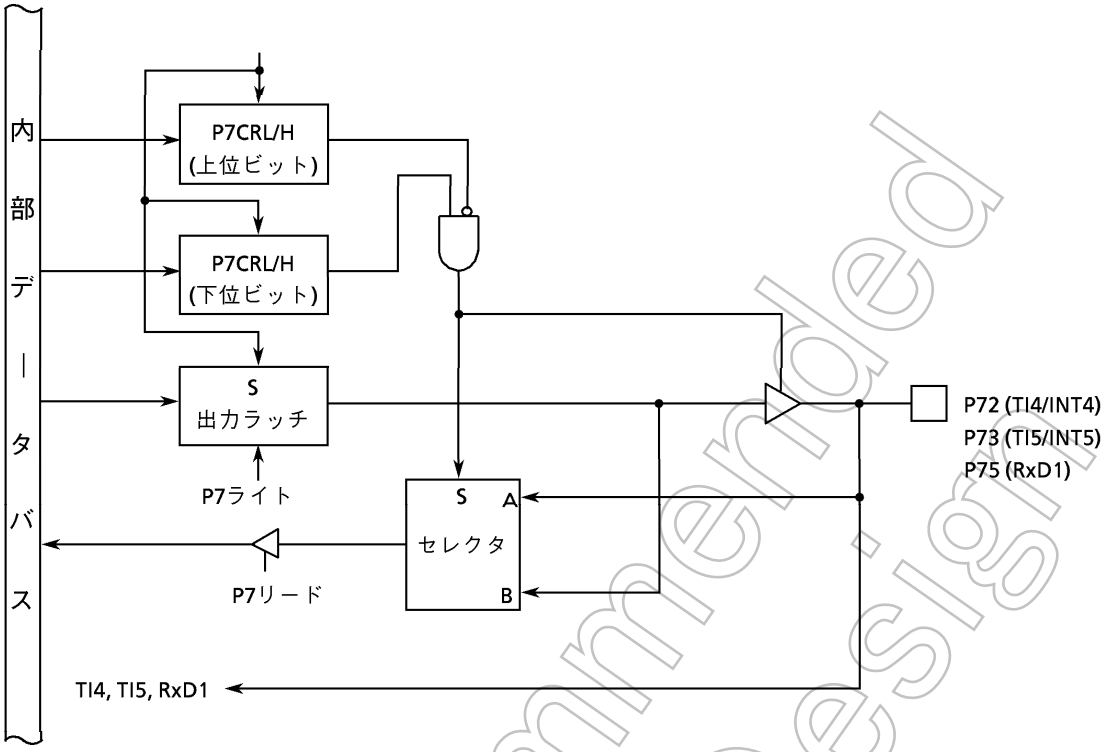


図 3.5 (18) ポート7 (P72, P73, P75)

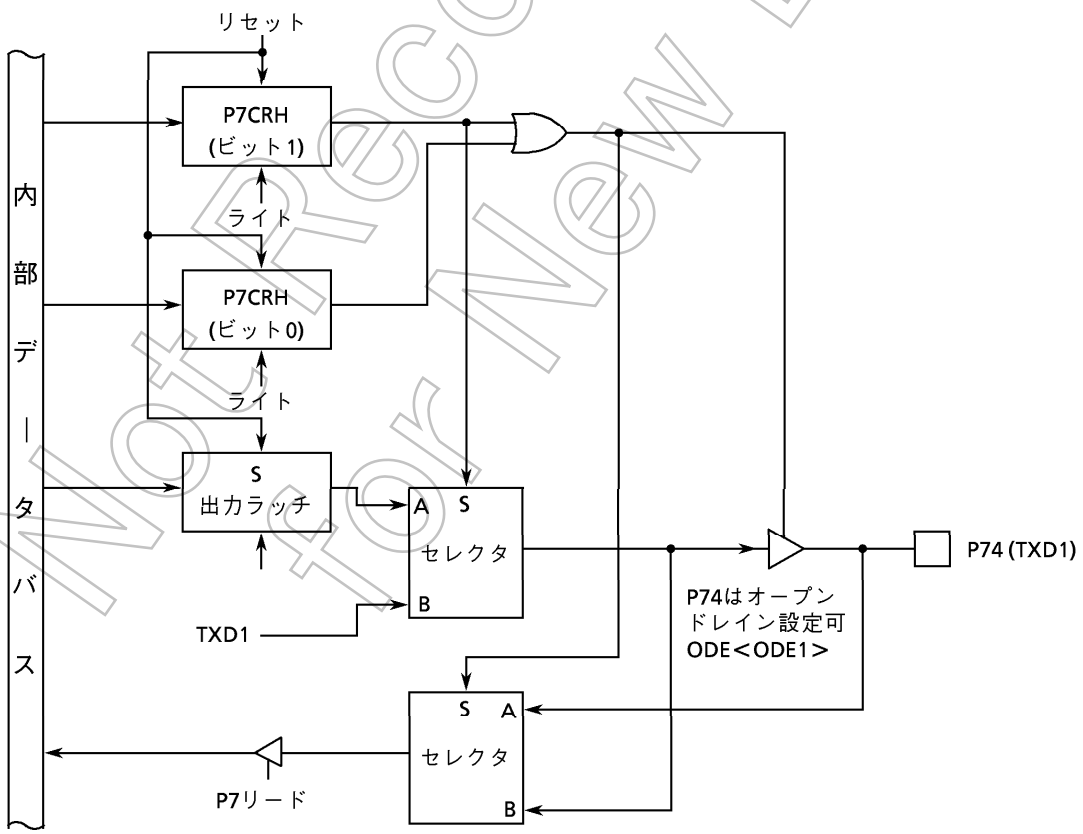


図 3.5 (19) ポート7 (P74)

Not Recommended for New Design

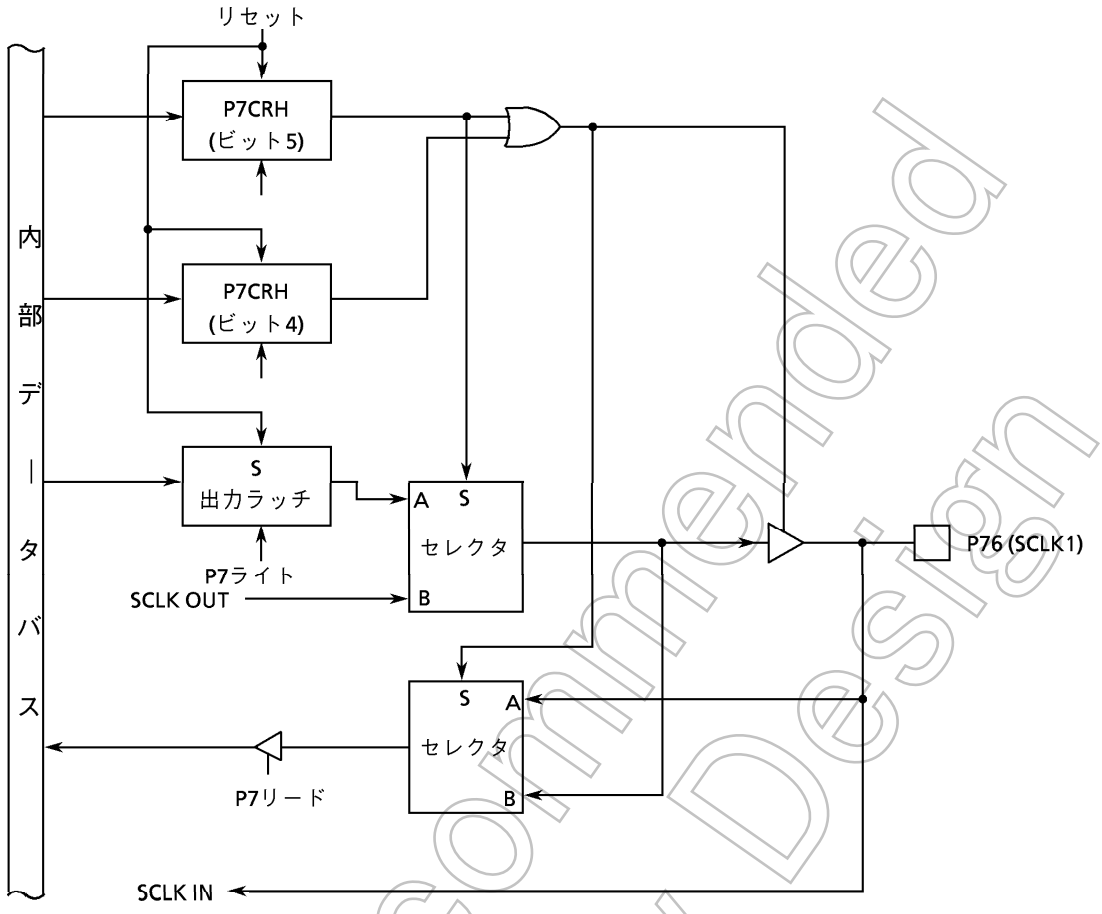


図 3.5 (20) ポート7 (P76)

Not Recommended for New Design

ポート7レジスタ

P7 (0013H)	7	6	5	4	3	2	1	0
bit Symbol		P76	P75	P74	P73	P72	P71	P70
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは"1"にセット)							
		1	1	1	1	1	1	1

ポート7コントロールレジスタL

P7CRL (0016H)	7	6	5	4	3	2	1	0
bit Symbol	P73C1	P73C0	P72C1	P72C0	P71C1	P71C0	P70C1	P70C0
Read/Write	W		W		W		W	
リセット後	0	0	0	0	0	0	0	0
機　能	00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: TO3 11: $\overline{\text{DMUX}}$		00: PORT入力 01: PORT出力 10: TO1 11: TO4	

ポート7コントロールレジスタH

P7CRH (0017H)	7	6	5	4	3	2	1	0
bit Symbol			P76C1	P76C0	P75C1	P75C0	P74C1	P74C0
Read/Write			W		W		W	
リセット後			0	0	0	0	0	0
機　能			00: PORT入力 01: PORT出力 10: SCLK1 11: —		00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: TxD1 11: —	

P7CR, P7FCはリードモディファイライトできません。

(注)　TxD1端子をオープンドレイン出力に設定するにはODEレジスタのビット1<ODE1>に"1"をライトします。
P75/RXD1端子は、ポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもシリアル受信データとしてSIOへ入力されます。また、P72/TI4/INT4, P73/TI5/INT5端子は、ポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもタイマ入力として16ビットタイマへ入力されます。また、INT4端子, INT5端子として使用するときはP7CRL<P72C1, 0><P73C1, 0>を"00"に、IIMC 0<I4IE>, IIMC1<I5IE>を"1"に設定する必要があります。

図 3.5 (21)　ポート7関係のレジスタ

No Recommended for New Design

3.6 チップセレクト/ウェイトコントローラ

TMP96C031Zは、任意の4ブロックアドレス空間に対して、チップセレクト ($\overline{CS0}$~$\overline{CS3}$端子) とウェイト ($\overline{WAIT}$端子) およびデータバスの幅 (8ビットか16ビット) を制御するチップセレクト/ウェイトコントローラを内蔵しています。

また、外部データバス幅の選択端子 (AM8/$\overline{16}$) があります。(3.1.2 外部データバス幅選択端子参照)

3.6.1 コントロールレジスタ

図3.6 (1) に、制御レジスタを示します。

各ブロックアドレス空間は、それぞれのCS/ウェイトコントロールレジスタ (B0CS, B1CS, B2CS, B3CS) とスタートアドレスレジスタ/アドレスマスクレジスタ (3.6.2 アドレス空間指定にて説明) によって制御されます。これらのレジスタは、CPUがシステムモードのときのみにライト可能です。理由は、これらのレジスタの設定が、システムにとって重要なものだからです。

		7	6	5	4	3	2	1	0
B0CS (0068H)	bit Symbol	B0E	B0SYS	B0ARE	B0BUS	B0W1	B0W0	BEXW1	BEXW0
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機　能	0: $\overline{CS0}$ DIS 1: $\overline{CS0}$ EN	1 : SYSTEM ONLY	0: 7F00H ~7FFFH 1: アドレス空間指定	0: 16BIT 1: 8BIT	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT		00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	
B1CS (0069H)	bit Symbol	B1E	B1SYS	B1ARE	B1BUS	B1W1	B1W0		
	Read/Write	W							
	リセット後	0	0	0	0	0	0		
	機　能	0: $\overline{CS1}$ DIS 1: $\overline{CS1}$ EN	↑	0: 80H ~7FFFH 1: アドレス空間指定	↑	↑		—	—
B2CS (006AH)	bit Symbol	B2E	B2SYS	B2ARE	B2BUS	B2W1	B2W0		
	Read/Write	W							
	リセット後	1	0	0	0	0	0		
	機　能	0: $\overline{CS2}$ DIS 1: $\overline{CS2}$ EN	↑	0: 8000H ~3FFFFFH 1: アドレス空間指定	↑	↑		—	—
B3CS (006BH)	bit Symbol	B3E	B3SYS	B3ARE	B3BUS	B3W1	B3W0	B3CAS	SRFC
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	1
	機　能	0: $\overline{CS3}$/$\overline{CAS}$ DI 1: $\overline{CS3}$/$\overline{CAS}$EN	↑	0: 不定 1: アドレス空間指定	↑	↑		0: $\overline{CS3}$出力 1: $\overline{CAS}$出力	0: セルフリフレッシュ実行 1: 解除

図3.6 (1) チップセレクト/ウェイトコントロールレジスタ

Not Recommended for New Design

(1) イネーブル

コントロールレジスタのビット7 (B0E,B1E,B2E,B3E) は、設定のイネーブル / ディセーブルを指定するマスタビットです。このビットを "0" にすると、ディセーブルになり、"1" にするとイネーブルになります。リセットにより、B0EとB1E, B3Eはディセーブル "0"、B2Eはイネーブル "1" になります。

(2) システムオンリー指定

コントロールレジスタのビット6 (B0SYS, B1SYS, B2SYS, B3SYS) は、CPUの動作モード (システムモード/ノーマルモード) によって、設定のイネーブル/ディセーブルを指定するビットです。このビットを "0"にすると、CPUの動作モードに関係なく設定はイネーブルになります。"1"にすると、CPUがシステムモードのときのみ、設定がイネーブルになり、ノーマルモードのときは設定がディセーブルになります。リセットにより、このビットは "0" にクリアされます。このビットは、主に外部メモリデータが、ノーマルモードでアクセスされたくないときに使います (例 : オペレーティングシステムにおけるシステムモード専用メモリデータ)。

(3) アドレス領域指定

コントロールレジスタのビット5 (B0ARE, B1ARE, B2ARE, B3ARE) は対象となるアドレス空間の設定を指定するビットです。リセット後は "0" で$\overline{CS0}$は7F00H~7FFFH番地、$\overline{CS1}$は80H~7FFFH番地、$\overline{CS2}$は8000H~3FFFFFH番地の設定となります。ただし、$\overline{CS3}$は不定となります (3.6.3 デフォルトアドレス空間指定を参照)。"1"にすると設定はメモリスタートアドレスレジスタMSAR、メモリスタートアドレスマスクレジスタMAMRの設定のアドレス空間となります (3.6.2アドレス空間指定を参照)。

(4) データバス幅セレクト

コントロールレジスタのビット4 (B0BUS, B1BUS, B2BUS, B3BUS) は、データバス幅を指定するビットです。このビットを "0" にすると、16ビットのデータバスのモードでメモリをアクセスします。"1" にすると、8ビットのデータバスのモードでメモリをアクセスします。ただし、このビットは16ビットバスモード (AM8/$\overline{16}$端子 = "0") のときのみ有効です。8ビットバスモード (AM8/$\overline{16}$端子 = "1") のときは、これらのビット設定にかかわらず、すべてのアドレス空間に対して8ビットのデータバスのモードでメモリをアクセスします (3.1.2外部データバス幅選択端子を参照)。

このように、アクセスするアドレスに応じてデータバス幅を変えることを "ダイナミックバスサイジング" と呼びます。このバス動作の詳細を表3.6 (1)に示します。

(5) ウェイトコントロール

コントロールレジスタのビット3とビット2 (B0W1·0, B1W1·0, B2W1·0, B3W1·0)は、ウェイト数を指定するビットです。このビットを "00" にすると、$\overline{WAIT}$端子の状態に関係なく2ステート分のウェイトが挿入されます。"01" にすると、$\overline{WAIT}$端子の状態に関係なく1ステート分のウェイトが挿入されます。"10" にすると、1ステート分のウェイトを挿入した後、$\overline{WAIT}$端子の状態をサンプリングし、端子が "L" レベルならウェイトを挿入し続け、端子が "H" レベルになるまでそのバスサイクルを引き伸ばします。"11" にすると、$\overline{WAIT}$端子の状態に関係なくウェイトなしで、そのバスサイクルを完了します。リセットにより、これらのビットは "00" (2ウェイトのモード) になります。

(注) DRAM使用時に、DRAMアクセスとリフレッシュが競合した場合設定ウェイトに対してリフレッシュサイクル分が加算されます。

Not Recommended for New Design

表3.6 (1) ダイナミックバスサイジング

オペランドデータ幅	オペランドスタート番地	メモリ側データ幅	CPUアドレス	CPUデータ D15 – D8	CPUデータ D7 – D0
8ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxx	b7 – b0
		16ビット	2n + 0	xxxxx	b7 – b0
	2n + 1 (奇数)	8ビット	2n + 1	xxxxx	b7 – b0
		16ビット	2n + 1	b7 – b0	xxxxx
16ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxx	b7 – b0
			2n + 1	xxxxx	b15 – b8
		16ビット	2n + 0	b15 – b8	b7 – b0
	2n + 1 (奇数)	8ビット	2n + 1	xxxxx	b7 – b0
			2n + 2	xxxxx	b15 – b8
		16ビット	2n + 1	b7 – b0	xxxxx
			2n + 2	xxxxx	b15 – b8
32ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxx	b7 – b0
			2n + 1	xxxxx	b15 – b8
			2n + 2	xxxxx	b23 – b16
			2n + 3	xxxxx	b31 – b24
		16ビット	2n + 0	b15 – b8	b7 – b0
			2n + 2	b31 – b24	b23 – b16
	2n + 1 (奇数)	8ビット	2n + 1	xxxxx	b7 – b0
			2n + 2	xxxxx	b15 – b8
			2n + 3	xxxxx	b23 – b16
			2n + 4	xxxxx	b31 – b24
		16ビット	2n + 1	b7 – b0	xxxxx
			2n + 2	b23 – b16	b15 – b8
			2n + 4	xxxxx	b31 – b24

xxxxx : リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストローブ信号はノンアクティブのままであることを示します。

(6) CS/CAS波形セレクト

B3CSレジスタのビット1<B3CAS>は、チップセレクト端子 ($\overline{CS3}$ / $\overline{CAS}$) 端子から出力される波形のモードを指定するビットです。このビットを "0" にすると、$\overline{CS3}$の波形になります。"1" にすると、$\overline{CAS}$の波形になります。リセットにより、このビットは "0" にクリアされます。

(7) セルフリフレッシュコントロール

(3.13.2 (2) リフレッシュコントローラ部にて説明)

(8) $\overline{CS0}$~$\overline{CS3}$空間外ウェイトコントロール

B0CSレジスタのビット1とビット0<BEXW1, 0>、$\overline{CS0}$~$\overline{CS3}$空間外をアクセスしたときのウェイト数を指定するビットです。

Not Recommended for New Design

3.6.2 アドレス空間指定 (B0CS～B3CS＜B0ARE～B3ARE＞＝“1”)

アドレス空間の指定はそれぞれのスタートアドレスレジスタ (MSAR0, MSAR1、MSAR2, MSAR3) とアドレスマスクレジスタ (MAMR0, MAMR1, MAMR2, MAMR3) により設定します。チップセレクトコントローラは、バスサイクルごとにバス上のアドレスとスタートアドレスレジスタの値を比較します。このアドレスを比較するときにアドレスマスクレジスタの値により比較結果を無視させることができます。比較した結果が一致していると指定された空間がアクセスされたと見なし、設定がイネーブル(B0E～B3E＝“1”)ならば、対応するチップセレクト端子 ($\overline{CS0}$～$\overline{CS3}$) から、Lowストローブ信号が出力されます。

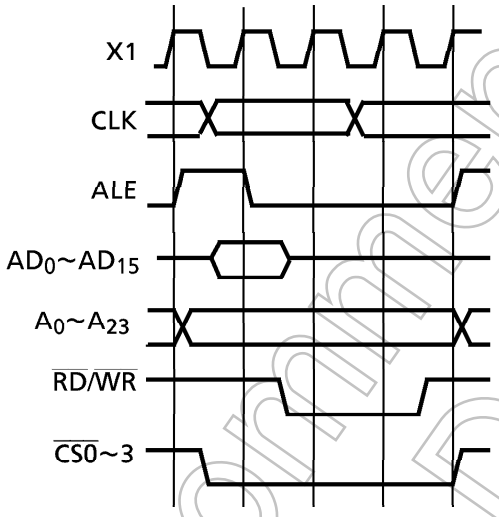


図3.6 (2) チップセレクト($\overline{CS0}$～$\overline{CS3}$)の動作タイミング

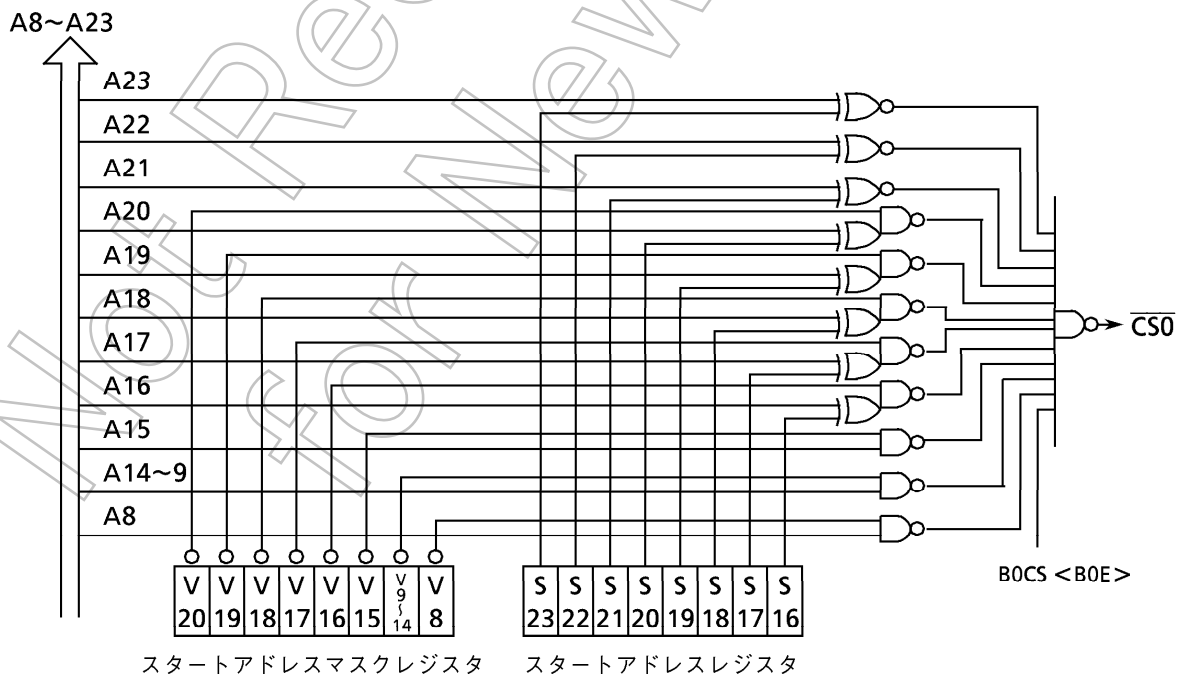


図3.6 (3) $\overline{CS0}$のアドレスデコーダのブロック図

Not Recommended for New Design

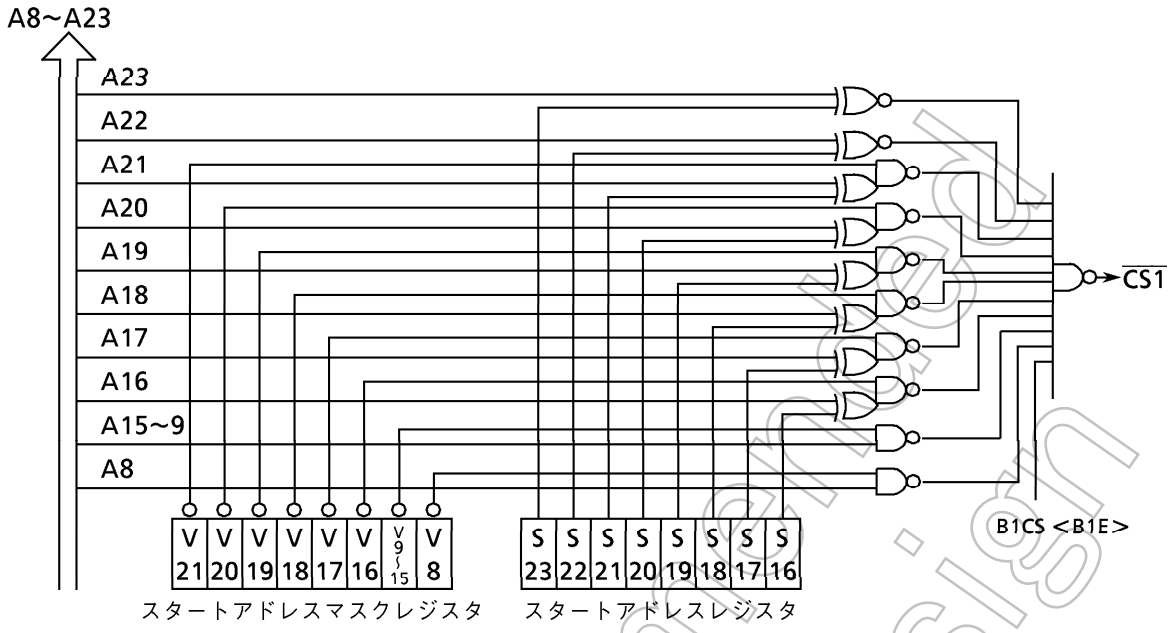


図3.6 (4) $\overline{CS1}$のアドレスデコーダのブロック図

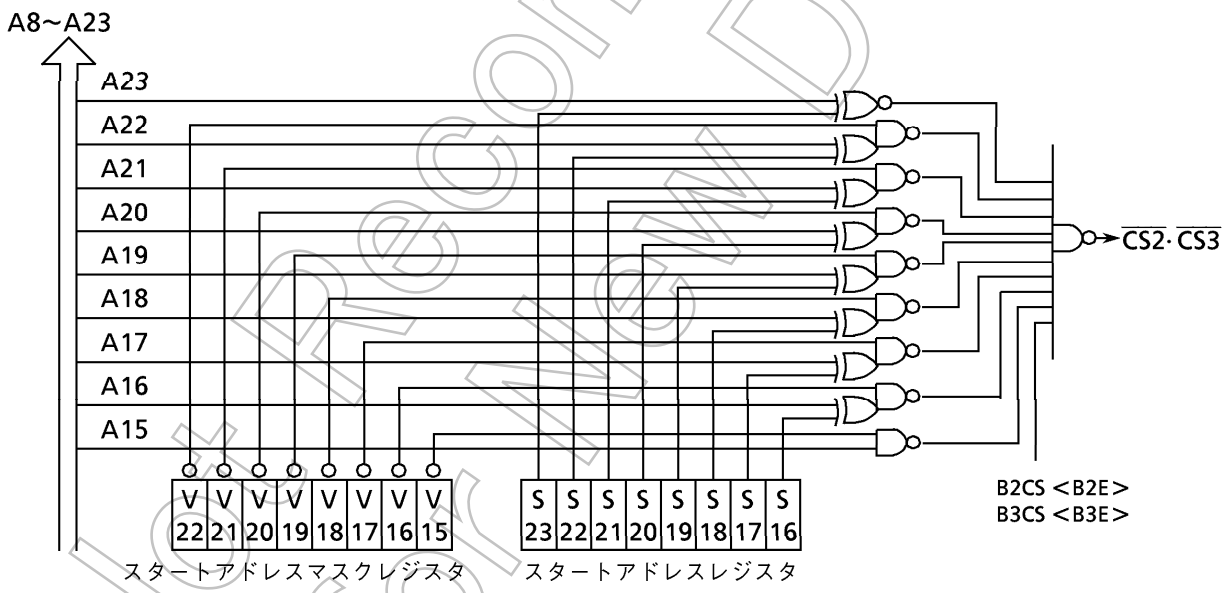


図3.6 (5) $\overline{CS2}$·$\overline{CS3}$のアドレスデコーダのブロック図

Not Recommended for New Design

(1) メモリスタートアドレスレジスタ
メモリスタートアドレスマスクレジスタ

メモリスタートアドレスレジスタ ($\overline{CS0}$~$\overline{CS3}$)

MSAR0 (0040H) / MSAR1 (0042H)
MSAR2 (0044H) / MSAR3 (0046H)

	7	6	5	4	3	2	1	0
bit symbol	S23	S22	S21	S20	S19	S18	S17	S16
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	スタートアドレス A23~A16設定							

→ $\overline{CS0}$~$\overline{CS3}$のスタートアドレス設定

図3.6 (6) メモリスタート アドレスレジスタ

メモリスタートアドレスマスクレジスタ ($\overline{CS0}$)

MAMR0 (0041H)

	7	6	5	4	3	2	1	0
bit symbol	V20	V19	V18	V17	V16	V15	V14~9	V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	0 : 比較有効　1 : 比較無効							

→ $\overline{CS0}$のアドレスA8~A20の比較制御

メモリスタートアドレスマスクレジスタ ($\overline{CS1}$)

MAMR1 (0043H)

	7	6	5	4	3	2	1	0
bit symbol	V21	V20	V19	V18	V17	V16	V15~9	V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	0 : 比較有効　1 : 比較無効							

→ $\overline{CS1}$のアドレスA8~A21の比較制御

メモリスタートアドレスマスクレジスタ ($\overline{CS2}$, $\overline{CS3}$)

MAMR2 (0045H) / MAMR3 (0047H)

	7	6	5	4	3	2	1	0
bit symbol	V22	V21	V20	V19	V18	V17	V16	V15
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機　能	0 : 比較有効　1 : 比較無効							

→ $\overline{CS2}$~3のアドレスA15~A22の比較制御

図3.6 (7) メモリスタートアドレスマスクレジスタ

Not Recommended for New Design

MSAR0~3 <S23>~<S16>は、アドレスのA23~A16に対応し、アドレスA15, A14~9, A8に対応するS15, S14~9, S8はデフォルト“0”になっています。MAMR0 <V20>~<V8> はMSAR0で設定した値とアドレスの比較の有効/無効を指定し、<V20>~<V8>は<S20>~<S16>, S15, S14~9, S8 に対応しています。また、<S21>, <S22>, <S23> に対応するV21, V22, V23 はデフォルト“0”でつねに比較が有効になっています。

比較の有効/無効とは
例えば ($\overline{CS0}$用レジスタ MSAR0, MAMR0)

<V16>=1で比較を無効にした場合

<S16> の値とアドレスA16の比較が無効になり、<S16> の値が無効となる。

<V16>=0で比較を有効した場合

<S16>の値とアドレスA16の比較が有効になり<S16>の値とA16の値が一致したときのみ$\overline{CS0}$がイネーブルとなる。

同じ様な考え方で$\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$ もそれぞれ使用できます。

(2) スタートアドレスの設定方法

アドレスデコーダは、$\overline{CS}$を出力するスタートアドレスと空間サイズを指定することによって出力されます。

スタートアドレスは、ブロック図に示す通り、A16~A23でデコードされるため、64Kバイトごとに設定されます。

すなわち、DRAMのスタートアドレスは“000000_H”以降の64Kバイトおきのいずれかに設定されることになります。

ただし、MAMRの設定値によって、スタートアドレスが変わってしまう場合があるので注意してください。

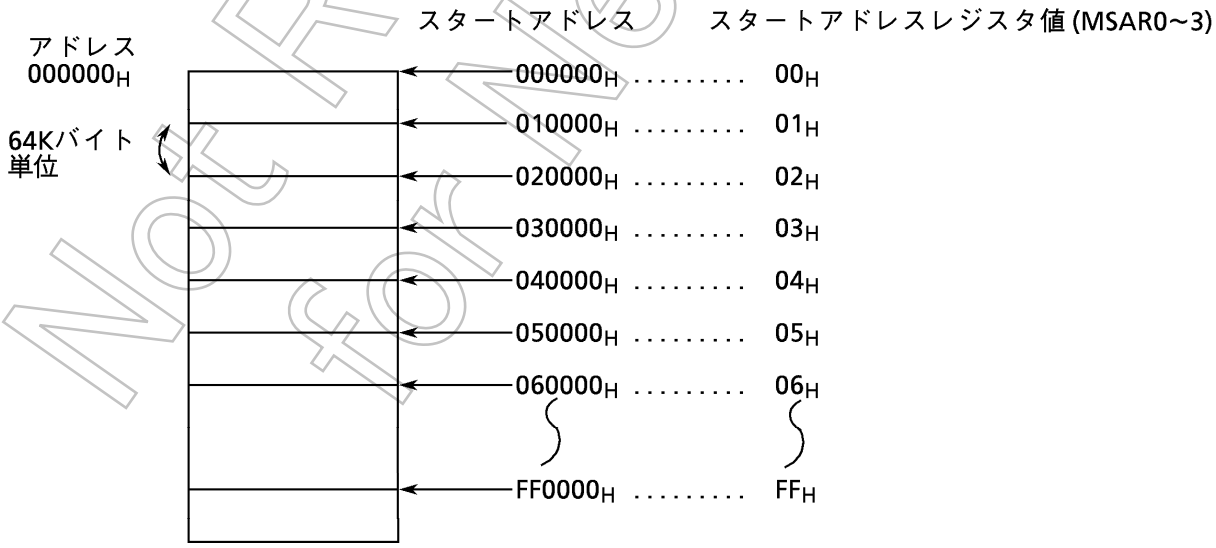


図3.6 (8) スタートアドレスの設定場所

Not Recommended for New Design

(3) アドレス空間設定方法

アドレス空間は、メモリスタートアドレスマスクレジスタ (MAMR0~3) を設定することによって指定されます。

アドレスデコーダのブロック図 (図3.6 (3)~(5)) からわかる通り、$\overline{CS0}$はA8~A20, $\overline{CS1}$はA8~A21, $\overline{CS2}$・$\overline{CS3}$ はA15~A22 のアドレスの値を比較するか、比較しないかによって、チップセレクト信号をの出力できるアドレスエリアを指定することができます。

表3.6 (2) チップセレクトと空間サイズ

CS＼サイズ	256	512	32K	64K	128K	256K	512K	1M	2M	4M	8M
CS0	○	○	○	○	○	○	○	○	○		
CS1	○	○		○	○	○	○	○	○	○	
CS2			○	○	○	○	○	○	○	○	○
CS3			○	○	○	○	○	○	○	○	○

(4) スタートアドレス / アドレス空間設定手順

① メモリスタートアドレスマスクレジスタ (MAMR) 設定
(アドレス空間設定)

② メモリスタートアドレスレジスタ (MSAR) 設定
(エリアのスタートアドレス設定)

③ MAMRとMSARのアドレスの同一アドレスbitの値をチェック
例) ($\overline{CS0}$) MAMR0＜V16＞とMSAR0＜S16＞の値をチェック

④ 同一アドレスbitをチェックし“1”と“1”のとき、MSARのbitは“0”とみなされる。←スタートアドレスが変わる。
例) (CS0)MAMR＜V16＞＝1, MSAR＜S16＞＝1と設定した場合、アドレスA16と＜S16＞の比較が無効となりアドレスA16の値は“1”でも“0”でもセレクトされてしまいスタートアドレスがMSARの設定値と変わってしまう。
又、同一アドレスbitをチェックし“1”と“1”がないとき設定終了。
設定通りのアドレス空間とスタートアドレスがデコードされる。

⑤ スタートアドレスが変わってしまっても良ければ、設定終了。悪ければ、MSARの設定を変更する。

⑥ MSAR再設定し、再確認する (③へ戻る)

Not Recommended for New Design

(設定例)

アドレス空間128Kバイト, スタートアドレス30000_H (エリア 30000_H~$4FFFF_H$) の場合。

MAMR＝$0F_H$ … アドレス空間 128Kバイト
MSAR＝03_H … スタートアドレス 30000_H
と設定する。

MAMR<V16>とMSAR<S16>が "1" と "1" になるので、スタートアドレスは、20000_Hと変わってしまう。(空間 20000_H~$3FFFF_H$)

不都合がある場合、スタートアドレスを変更する。
スタートアドレスを40000_Hに変更。(空間 40000_H~$5FFFF_H$)

MAMR = 0FH
MSAR = 04H

MAMRとMSARの同一アドレスbitが "1" と "1" にならないので、スタートアドレスに変更は生じない。
従って、スタートアドレス40000H、空間 128Kバイトのデコードができる。

(設定例1) ($\overline{CS0}$)

MSARを02H, MAMRを0FHと設定した場合、チップセレクトの出力は次のメモリマップのようになります。

MSARの設定

S23	S22	S21	S20	S19	S18	S17	S16	S15	S14~9	S8
0	0	0	0	0	0	1	0	0	0	0

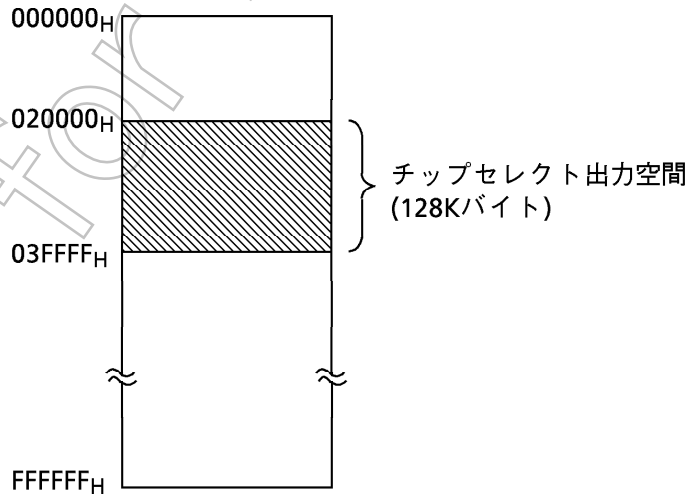
デフォルト "0"

MAMRの設定

V23	V22	V21	V20	V19	V18	V17	V16	V15	V14~9	V8
0	0	0	0	0	0	0	1	1	1	1

デフォルト "0"

V23~V17＝"0"のため、S23~S17の値が有効になり、V16~V8＝"1"のため、S16~S8の値が無効になります。



Not Recommended for New Design

(設定例2) ($\overline{CS0}$)

MSARを01H, MAMRを04Hと設定した場合、チップセレクトの出力は次のメモリマップのようになります。

MSARの設定

S23	S22	S21	S20	S19	S18	S17	S16	S15	S14~9	S8
0	0	0	0	0	0	0	1	0	0	0

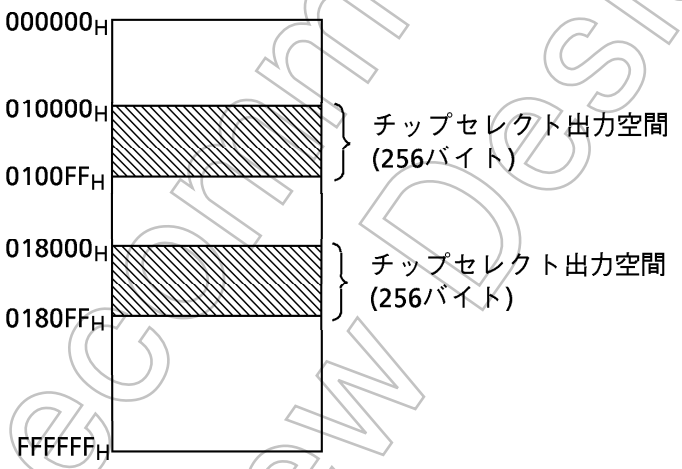
デフォルト "0"

MAMRの設定

V23	V22	V21	V20	V19	V18	V17	V16	V15	V14~9	V8
0	0	0	0	0	0	0	0	1	0	0

デフォルト "0"

V23~V16, V14~V8 = "0" のため、S23~S16, S14~S8の値が有効になり、V15 = "1" のため、S15の値が無効になります。



Not Recommended for New Design

(設定例3) ($\overline{CS0}$)

MSARとMAMRの設定値によるチップセレクトの出力される空間 (一部)

MSAR \ MAMR	00	01	03	04
00	0000 ~ 00FF (256バイト)	0000 ~ 01FF (512バイト)	0000 ~ 7FFF (32Kバイト)	0000 8000 ~ ~ 00FF 80FF (256バイト×2)
01	10000 ~ 100FF (256バイト)	10000 ~ 101FF (512バイト)	10000 ~ 17FFF (32Kバイト)	10000 18000 ~ ~ 100FF 180FF (256バイト×2)
02	20000 ~ 200FF (256バイト)	20000 ~ 201FF (512バイト)	20000 ~ 27FFF (32Kバイト)	20000 28000 ~ ~ 200FF 280FF (256バイト×2)
03	30000 ~ 300FF (256バイト)	30000 ~ 301FF (512バイト)	30000 ~ 37FFF (32Kバイト)	30000 38000 ~ ~ 300FF 380FF (256バイト×2)

MSAR \ MAMR	03	07	0F	1F	3F	7F	FF
04	40000 ~ 47FFF (32Kバイト)	40000 ~ 4FFFF (64Kバイト)	40000 ~ 5FFFF (128Kバイト)	40000 ~ 7FFFF (256Kバイト)	00000 ~ 7FFFF (512Kバイト)	00000 ~ FFFFF (1Mバイト)	000000 ~ 1FFFFF (2Mバイト)
08	80000 ~ 87FFF (32Kバイト)	80000 ~ 8FFFF (64Kバイト)	80000 ~ 9FFFF (128Kバイト)	80000 ~ BFFFF (256Kバイト)	80000 ~ FFFFF (512Kバイト)		
10	100000 ~ 107FFF (32Kバイト)	100000 ~ 10FFFF (64Kバイト)	100000 ~ 11FFFF (128Kバイト)	100000 ~ 13FFFF (256Kバイト)	100000 ~ 17FFFF (512Kバイト)	100000 ~ 1FFFFF (1Mバイト)	
20	200000 ~ 207FFF (32Kバイト)	200000 ~ 20FFFF (64Kバイト)	200000 ~ 21FFFF (128Kバイト)	200000 ~ 23FFFF (256Kバイト)	200000 ~ 27FFFF (512Kバイト)	200000 ~ 2FFFFF (1Mバイト)	200000 ~ 3FFFFF (2Mバイト)
40	400000 ~ 407FFF (32Kバイト)	400000 ~ 40FFFF (64Kバイト)	400000 ~ 41FFFF (128Kバイト)	400000 ~ 43FFFF (256Kバイト)	400000 ~ 47FFFF (512Kバイト)	400000 ~ 4FFFFF (1Mバイト)	400000 ~ 5FFFFF (2Mバイト)
80	800000 ~ 807FFF (32Kバイト)	800000 ~ 80FFFF (64Kバイト)	800000 ~ 81FFFF (128Kバイト)	800000 ~ 83FFFF (256Kバイト)	800000 ~ 87FFFF (512Kバイト)	800000 ~ 8FFFFF (1Mバイト)	800000 ~ 9FFFFF (2Mバイト)

Not Recommended for New Design

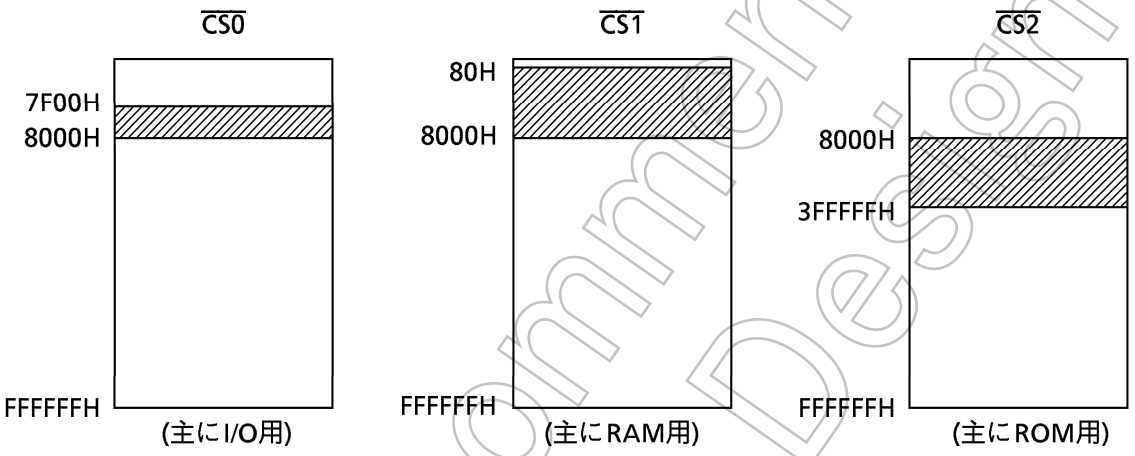
3.6.3 デフォルトアドレス空間指定 (B0CS～B2CS＜B0ARE～B2ARE＞ = “0”)

下図に、具体的なチップセレクトのイメージを示します。$\overline{CS0}$は7F00H～7FFFH、$\overline{CS1}$は80H～7FFFH、$\overline{CS2}$は8000H～3FFFFFHが指定できるようになっています。これは、外部にROM以外のデバイス (RAMとかI/O) を接続することを考慮したからです。

$\overline{CS0}$の7F00H～7FFFH (256バイト空間) は、主に外部I/Oの拡張を考慮して、この空間にマッピングされています。

$\overline{CS1}$の80H～7FFFH (約32Kバイト空間) は、主に外部RAMの拡張を考慮して、この空間にマッピングされています。

$\overline{CS2}$の8000H～3FFFFFFH (約4Mバイト空間) は、主に外部のROMの拡張を考慮して、この空間にマッピングされています。



(補足1) アクセスの優先順位は、内蔵I/O, チップセレクト/ウェイトコントローラの順です。

(補足2) $\overline{CS0}$～$\overline{CS3}$空間以外のウェイト設定は、B0CSレジスタ＜BEXW1, 0＞で行い、データバス幅は、AM8/$\overline{16}$端子 = “0” の場合16ビット固定、“1” の場合8ビット固定となります。

(注意事項)

チップセレクト / ウェイトコントローラを使用する場合、同一アドレス領域に対して多重定義をしないでください (ただし、$\overline{CS0}$を7F00H～7FFFH, $\overline{CS1}$を80H～7FFFHと設定した場合、重なったアドレス空間7F00H～7FFFHでは、$\overline{CS0}$の設定 / 端子だけがアクティブされます)。

バス解放時 ($\overline{BUSAK}$ = “0”)、$\overline{CS0}$～$\overline{CS3}$端子も解放 (出力バッファがOFF) されます。このときの端子状態は “3.5 ポート機能” のバス解放時の注意事項を参照してください。

Not Recommended for New Design

3.6.4 使用例

(1) 接続例-1

図3.6 (9) は、TMP96C031Zによる外部メモリの接続例 (1) です。この例では、ROMを16ビット幅で接続し、RAMとI/Oを8ビット幅で接続しています。

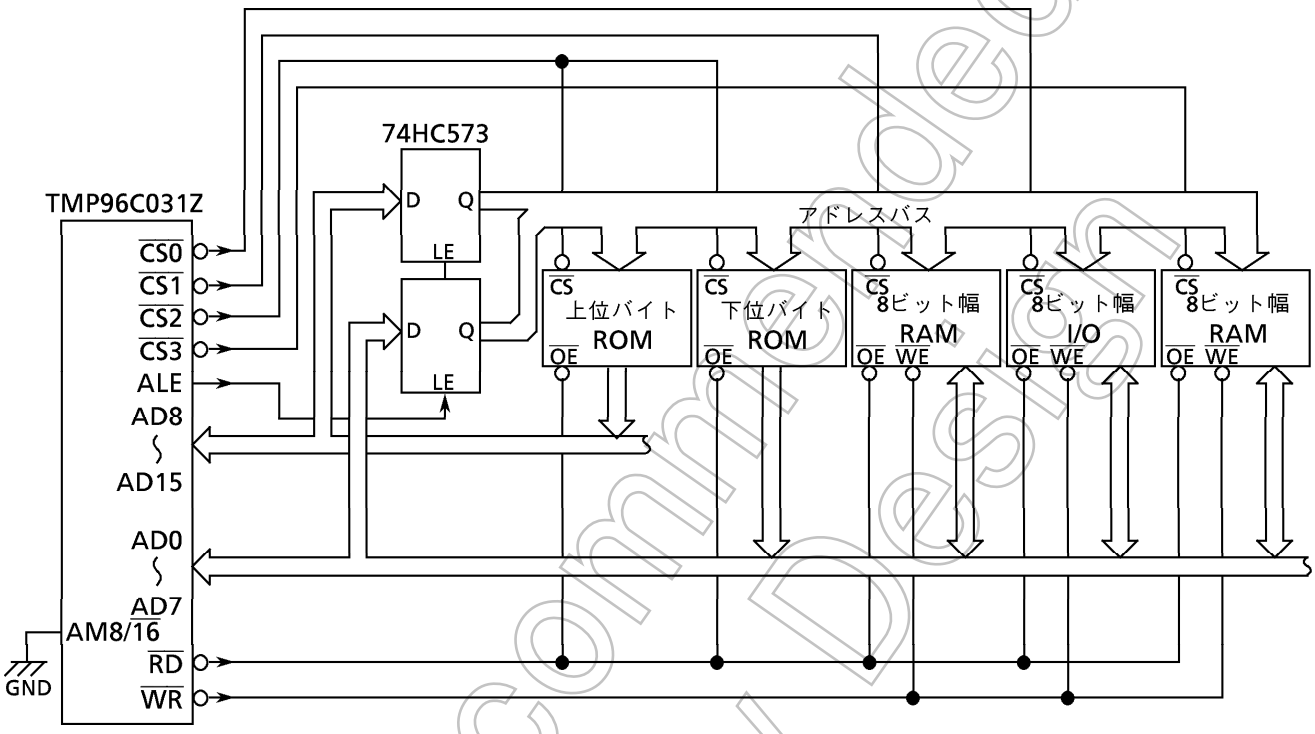


図3.6 (9) 外部メモリ接続例 (ROM = 16ビット幅, RAM & I/O = 8ビット幅)

リセット直後、$\overline{CS0}$~$\overline{CS3}$端子は、出力ポートのモードになっているため$\overline{CS0}$, $\overline{CS1}$, $\overline{CS3}$は、"1" 出力$\overline{CS2}$は "0" 出力となります。これらの端子を設定するプログラム例を下記に示します。

```
P4FC   EQU      10H
B0CS   EQU      68H
B1CS   EQU      69H
B2CS   EQU      6AH
B3CS   EQU      6BH
MSAR3  EQU      46H
MAMR3  EQU      47H
LD     (B0CS),  10010000B  ; CS0 = 8ビット, 2WAIT, 7F00H~7FFFH, CS0~CS3空間外2WAIT
LD     (B1CS),  100111XXB  ; CS1 = 8ビット, 0WAIT, 80H~7FFFH
LD     (B2CS),  100001XXB  ; CS2 = 16ビット, 1WAIT, 8000H~3FFFFFH
LD     (B3CS),  10111100B  ; CS3 = 8ビット, 0WAIT, アドレス空間指定 (400000H~407FFFH)
LD     (MSAR3), 01000000B  ; CS3スタードアドレス = 400000H
LD     (MSMR3), 00000000B  ; CS3空間 = 32Kバイト
LD     (P4FC),  XXXX1111B  ; CS0~CS3出力モード
```

(注) X : don't care

Not Recommended for New Design

(2) 接続例-2

図3.6 (10) は、TMP96C031Zによる外部メモリの接続例 (2) です。この例では、ROM, RAM, I/Oを8ビット幅で接続しています。

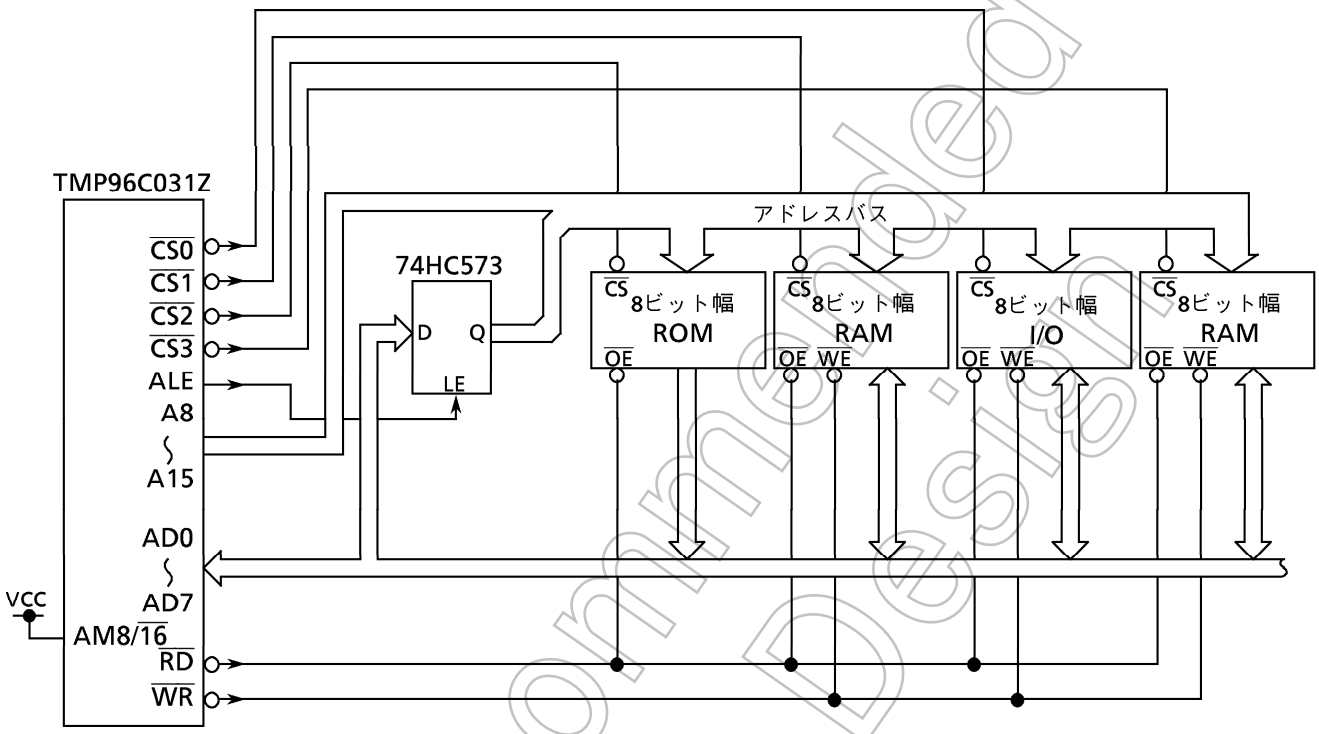


図3.6 (10) 外部メモリ接続例 (ROM & RAM & I/O = 8ビット幅)

リセット直後、$\overline{CS0}$~$\overline{CS3}$端子は、出力ポートのモードになっているため、$\overline{CS0}$, $\overline{CS1}$, $\overline{CS3}$は "1" 出力$\overline{CS2}$は "0" 出力となります。これらの端子を設定するプログラム例を下記に示します。

```
P4FC   EQU      10H
B0CS   EQU      68H
B1CS   EQU      69H
B2CS   EQU      6AH
B3CS   EQU      6BH
MSAR3  EQU      46H
MAMR3  EQU      47H
LD     (B0CS),  10010000B  ; CS0 = 8ビット, 2WAIT, 7F00H~7FFFH, CS0~CS3空間外2WAIT
LD     (B1CS),  100111XXB  ; CS1 = 8ビット, 0WAIT, 80H~7FFFH
LD     (B2CS),  100101XXB  ; CS2 = 8ビット, 1WAIT, 8000H~3FFFFFH
LD     (B3CS),  10111100B  ; CS3 = 8ビット, 0WAIT, アドレス空間指定 (400000H~407FFFH)
LD     (MSAR3), 01000000B  ; CS3スタードアドレス = 400000H
LD     (MSMR3), 00000000B  ; CS3空間 = 32Kバイト
LD     (P4FC),  XXXX1111B  ; CS0~CS3出力モード
```

(注) X : don't care

Not Recommended for New Design

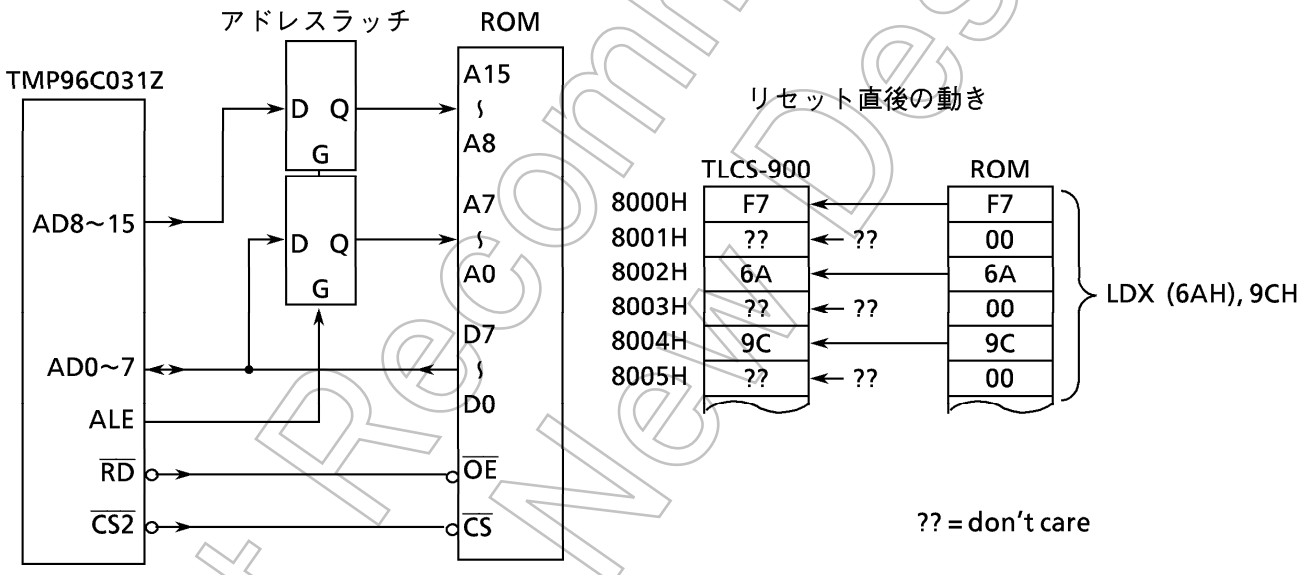
3.6.5 8ビットデータバスでスタートさせる方法 (AM8/$\overline{16}$ = "0"の場合)

リセット直後は、$\overline{CS2}$端子が出力ポートモードにより"0"レベルになり、16ビットデータバス(2WAIT)のモードでスタートします。従って、8ビットデータバスのメモリでスタートさせる場合は、特別な操作が必要です。下記に、その操作の例を示します。

```
B2CS    EQU    6AH              ; CS2 register address
        ORG    8000H            ; RESET address
        LDX    (B2CS), 9CH      ; CS2 8bit, 0WAIT, 8000H~
```

上記プログラムでは、リセット後、「LDX (B2CS) , 9CH」命令を16ビットデータバスのモードで読みます。このLDX命令は、6バイト命令ですが、第2, 第4, 第6バイト目のコードはダミーとして扱われ、第1, 第3, 第5バイト目のコードが実際に使われます。従って、8ビットデータバスのメモリでスタートした場合でも、問題なくLDX命令を実行し、$\overline{CS2}$の空間(8000H~3FFFFFH番地) を8ビットデータバスとしてアクセスするように設定することができます。

なお、上記プログラムには、端子 (P42 / $\overline{CS2}$) を$\overline{CS2}$出力にする設定が含まれていないので、必要に応じてP4FCレジスタを設定するプログラムを後に追加してください。



Not Recommended for New Design

3.7 8ビットタイマ

TMP96C031Zは、8ビットタイマを4本(タイマ0, 1, 2, 3)内蔵しています。

4本の8ビットタイマはそれぞれ独立に動作させることができ、また、カスケード接続することで2本の16ビットタイマにもなります。8ビットタイマは次のような4種類の動作モードを持っています。

- 8ビットインタバルタイマモード(4本)
- 16ビットインタバルタイマモード(2本)

} 組合わせ可能 (8ビット×2本, 16ビット×1本)

- 8ビットプログラマブル矩形波(PPG: 可変周期で可変デューティ)出力モード(2本)
- 8ビットPWM(パルス幅変調 : 固定周期で可変デューティ)出力モード(2本)

図3.7 (1)に8ビットタイマ(タイマ0, 1)のブロック図を示します。

タイマ2, 3はタイマ0, 1と同様な回路構成です。

ただし、タイマ0は外部クロックTI0端子を持っていますが、タイマ2は外部クロックを持っていません。

各インタバルタイマは8ビットのアップカウンタ、8ビットのコンパレータおよび8ビットのタイマレジスタで構成され、タイマ0, 1のペアとタイマ2, 3のペアにそれぞれ1つずつタイマフリップフロップ(TFF1, TFF3)が用意されています。

各インタバルタイマへの入力クロックソースのうちφT1, φT4, φT16, φT256の内部クロックは図3.7 (2)に示す9ビットのプリスケーラより得ています。

8ビットタイマの動作モードやタイマフリップフロップは5つのコントロールレジスタ(T01MOD, T23MOD, TFFCR, TRUN, TRDC)で制御されます。

Not Recommended for New Design

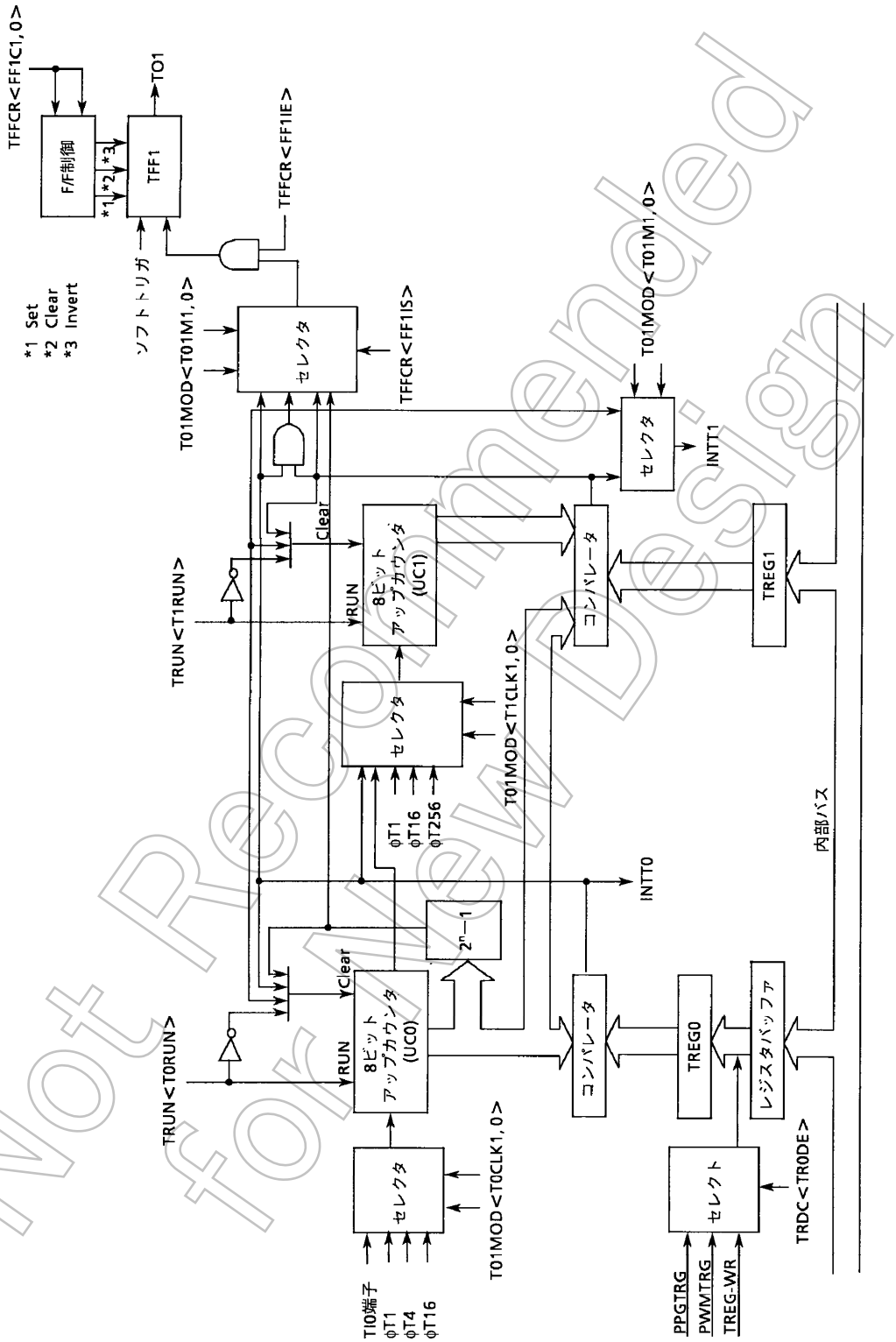


図3.7 (1) 8ビット タイマのブロック 図(タイマ0, 1)

Not Recommended for New Design

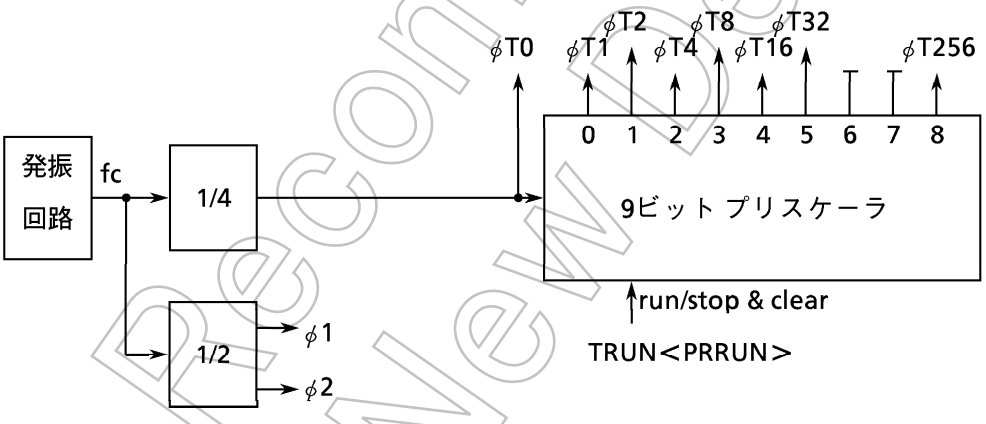
① プリスケーラ

CPUクロック (fc) を4分周したクロック (fc/4) をさらに分周する9ビットのプリスケーラで、8ビットタイマ, 16ビット タイマ/イベントカウンタ, ボーレート ジェネレータなどへの入力クロックを生成しています。

8ビット タイマには、このうちφT1, φT4, φT16, φT256の4種類のクロックが用いられます。

このプリスケーラは、タイマ動作コントロールレジスタTRUN<PRRUN>によってカウント/停止させることができます。<PRRUN>=1にするとカウント開始し、<PRRUN>=0にするとゼロクリアされて停止します。リセット時は、<PRRUN>は“0”にクリアされますので、プリスケーラはクリアされ停止します。

入力クロック \ fc	周期 20 MHz
φT1 (8/fc)	400 ns
φT4 (32/fc)	1.6 μs
φT16 (128/fc)	6.4 μs
φT256 (2048/fc)	102 μs



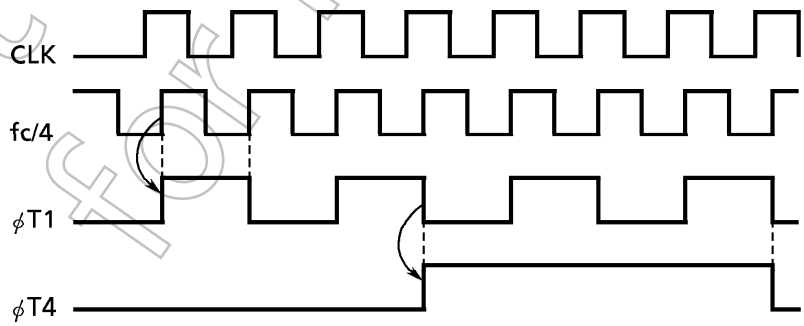


図3.7 (2) プリスケーラ

Not Recommended for New Design

② アップカウンタ

タイマ0, 1モードレジスタT01MODおよびタイマ2, 3モードレジスタT23MODで指定された入力クロックによってカウントアップする8ビットのバイナリカウンタです。

タイマ0/タイマ2の入力クロックは3種類の内部クロックφT1, φT4, φT16から、タイマ0のみTI0端子(P31と兼用) からの外部クロックをT01MODレジスタおよびT23MODレジスタの設定値に応じて選択されます。

タイマ1/タイマ3の入力クロックは動作モードによって異なり、16ビットタイマモードに設定した場合は、タイマ0/タイマ2のオーバフロー出力が入力クロックとなります。

16ビットタイマモード以外の設定の場合は、T01MODレジスタおよびT23MODレジスタの設定により内部クロックφT1, φT16, φT256 と、タイマ0/タイマ2のコンパレータ出力 (一致検出) の中から選択されます。

例： T01MOD<T01M1, 0>=01なら、タイマ1の入力クロックはタイマ0のオーバフロー出力となります。(16ビットタイマ)
T01MOD7, 6=00, T01MOD3, 2=01なら、タイマ1の入力クロックはφT1となります。(8ビットタイマ)

動作モードもT01MODレジスタとT23MODレジスタで設定します。リセット時は、T01MOD<T01M1, 0>=00, T23MOD<T23M1, 0>=00に初期化されますので、8ビットタイマモードとなっています。

アップカウンタは、タイマ動作コントロールレジスタTRUNによってカウント/停止&クリアを各インタバルタイマごとに制御することができます。リセット時、すべてのアップカウンタはクリアされて、タイマは停止しています。

③ タイマレジスタ

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタTREG0, 1, 2, 3への設定値とアップカウンタの値とが一致するとコンパレータの一致検出信号がアクティブになります。設定値を00Hにした場合は、アップカウンタのオーバフロー時に一致検出信号がアクティブになります。

このタイマレジスタのTREG0/TREG2はダブルバッファ構成になっており、それぞれレジスタバッファとペアになっています。

TREG0/TREG2は、タイマレジスタダブルバッファコントロールレジスタTRDCの<TR0DE, TR2DE>によってダブルバッファのイネーブル/ディセーブルを制御します。<TR0DE>/<TR2DE>=0のときディセーブル、<TR0DE>/<TR2DE>=1のときイネーブルとなります。

ダブルバッファイネーブル時のレジスタバッファからタイマレジスタへのデータ転送タイミングは、PWMモードの2^n-1オーバフローまたはPPGモードの周期のコンペア一致時に行われます。

リセット時は<TR0DE>/<TR2ED>=0に初期化されダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み、<TR0DE>/<TR2DE>=1に設定した後レジスタバッファに次のデータを書き込んでください。

Not Recommended for New Design

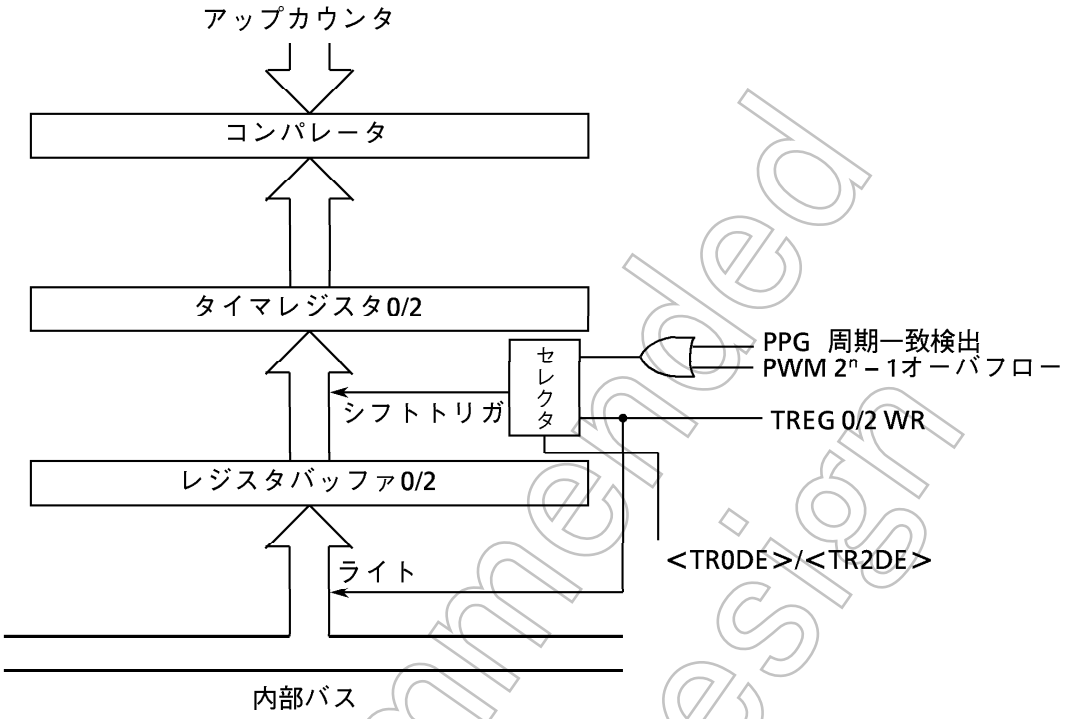


図3.7 (3) タイマレジスタ0/2の構成

注意) タイマレジスタとレジスタバッファは同じメモリ番地に割り付けられています。
<TR0DE>/<TR2DE>＝0のときはレジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、<TR0DE>/<TR2DE>＝1のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのメモリ番地は次のとおりです。

TREG0 : 000022H

TREG1 : 000023H

TREG2 : 000026H

TREG3 : 000027H

各レジスタともライトオンリーのレジスタでリードできません。

Not Recommended for New Design

T01MOD (0024H)

	7	6	5	4	3	2	1	0
bit Symbol	T01M1	T01M0	PWM01	PWM00	T1CLK1	T1CLK0	T0CLK1	T0CLK0
Read/Write	R/W		R/W		R/W		R/W	
リセット後	0	0	0	0	0	0	0	0
機　能	00: 8bit Timer 01: 16bit Timer 10: 8bit PPG 11: 8bit PWM		00: – 01: $2^6 - 1$ PWM 10: $2^7 - 1$ 周期 11: $2^8 - 1$		00: TO0TRG 01: ϕT1 10: ϕT16 11: ϕT256		00: TI0 01: ϕT1 10: ϕT4 11: ϕT16	

タイマ0の入力クロック

00	外部クロックTI0
01	内部クロックϕT1
10	内部クロックϕT4
11	内部クロックϕT16

タイマ1の入力クロック

	T01MOD7, 6≠01	T01MOD7, 6 = 01
00	タイマ0のコンパレータ出力	タイマ0のオーバフロー出力 (16ビットタイマモード)
01	内部クロックϕT1	
10	内部クロックϕT16	
11	内部クロックϕT256	

PWM0の周期を選択
(PWMモード以外はDon't Care)

00	——
01	$2^6 - 1$
10	$2^7 - 1$
11	$2^8 - 1$

タイマ0, 1の動作モード設定

00	8ビット タイマ×2本 (タイマ0, 1)
01	16ビット タイマ
10	8ビットプログラマブル矩形波出力
11	8ビットPWM出力 (タイマ0) +8ビットタイマ (タイマ1)

図3.7 (4)　タイマ0, 1モードレジスタ(T01MOD)

Not Recommended for New Design

T23MOD (0028H)

	7	6	5	4	3	2	1	0
bit Symbol	T23M1	T23M0	PWM21	PWM20	T3CLK1	T3CLK0	T2CLK1	T2CLK0
Read/Write	R/W		R/W		R/W		R/W	
リセット後	0	0	0	0	0	0	0	0
機　能	00: 8bit Timer 01: 16bit Timer 10: 8bit PPG 11: 8bit PWM		00: – 01: $2^6 - 1$ PWM 10: $2^7 - 1$ 周期 11: $2^8 - 1$		00: TO2TRG 01: ϕT1 10: ϕT16 11: ϕT256		00: – 01: ϕT1 10: ϕT4 11: ϕT16	

タイマ2の入力クロック

00	——
01	内部クロックϕT1
10	内部クロックϕT4
11	内部クロックϕT16

タイマ3の入力クロック

	T23MOD7, 6≠01	T23MOD7, 6 = 01
00	タイマ2のコンパレータ出力	タイマ2のオーバフロー出力 (16ビットタイマモード)
01	内部クロックϕT1	
10	内部クロックϕT16	
11	内部クロックϕT256	

PWM2の周期を選択
(PWMモード以外はDon't Care)

00	——
01	$2^6 - 1$
10	$2^7 - 1$
11	$2^8 - 1$

タイマ2, 3の動作モード設定

00	8ビット タイマ×2本 (タイマ2, 3)
01	16ビット タイマ
10	8ビットプログラマブル矩形波出力
11	8ビットPWM出力 (タイマ2) +8ビットタイマ (タイマ3)

図3.7 (5) タイマ2, 3モードレジスタ (T23MOD)

Not Recommended for New Design

TFFCR (0025H)

	TFF3				TFF1			
	7	6	5	4	3	2	1	0
bit Symbol	TFF3C1	TFF3C0	TFF3IE	TFF3IS	TFF1C1	TFF1C0	TFF1IE	TFF1IS
Read/Write	W		R/W		W		R/W	
リセット後	–		0	0	–		0	0
機　能	00: Invert TFF3 01: Set TFF3 10: Clear TFF3 11: Don't care		1: TFF3 Invert Enable	0: 8bitタイマ2による反転 1: タイマ3による反転	00: Invert TFF1 01: Set TFF1 10: Clear TFF1 11: Don't care		1: TFF1 Invert Enable	0: 8bitタイマ0による反転 1: タイマ1による反転

タイマフリップフロップTFF1の反転信号セレクト
(8ビットタイマモード以外はDon't Care)

0	タイマ0による反転
1	タイマ1による反転

タイマフリップフロップTFF1の反転

0	ディセーブル
1	イネーブル

タイマフリップフロップTFF1の制御

00	TFF1の値を反転します。(ソフト反転)
01	TFF1を "1" にセットします。
10	TFF1を "0" にクリアします。
11	Don't Care (読み出した場合はかならず "11" になっています。)

タイマフリップフロップTFF3の反転信号セレクト
(8ビットタイマモード以外はDon't Care)

0	タイマ2による反転
1	タイマ3による反転

タイマフリップフロップTFF3の反転

0	ディセーブル
1	イネーブル

タイマフリップフロップTFF3の制御

00	TFF3の値を反転します。(ソフト反転)
01	TFF3を "1" にセットします。
10	TFF3を "0" にクリアします。
11	Don't Care (読み出した場合はかならず "11" になっています。)

Not Recommended for New Design

図3.7 (6) 8ビットタイマフリップフロップコントロールレジスタ(TFFCR)

16ビットタイマ　8ビットタイマ

TRUN (0020H)

	7	6	5	4	3	2	1	0
bit Symbol			PRRUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
Read/Write	R/W							
リセット後			0	0	0	0	0	0
機　能			Prescaler & Timer Run / Stop Control 0: Stop & Clear 1: Run (Count up)					

タイマ0の動作

0	停止 & クリア
1	カウント

タイマ1の動作

0	停止 & クリア
1	カウント

タイマ2の動作

0	停止 & クリア
1	カウント

タイマ3の動作

0	停止 & クリア
1	カウント

16ビットタイマ (タイマ4) の動作

0	停止 & クリア
1	カウント

プリスケーラの動作

0	停止 & クリア
1	カウント

Not Recommended for New Design

図3.7 (7)　タイマ動作コントロールレジスタ(TRUN)

TRDC (0029H)

	7	6	5	4	3	2	1	0
bit Symbol							TR2DE	TR0DE
Read/Write							R/W	
リセット後							0	0
機　　能							0: ダブルバッファ ディセーブル 1: ダブルバッファ イネーブル	

タイマレジスタ0 ダブルバッファの制御

0	ディセーブル
1	イネーブル

タイマレジスタ2 ダブルバッファの制御

0	ディセーブル
1	イネーブル

図3.7 (8)　タイマレジスタダブルバッファコントロールレジスタ (TRDC)

Not Recommended for New Design

④ コンパレータ

アップカウンタの値とタイマレジスタの値とを比較し、一致するとアップカウンタをゼロクリアするとともに、割り込み (INTT0~3) を発生します。また、タイマフリップフロップ反転イネーブルであれば同時にタイマフリップフロップの値を反転させます。

⑤ タイマフリップフロップ (タイマF/F)

各インタバルタイマの一致検出信号 (コンパレータ出力) により反転するフリップフロップで、タイマ出力端子TO1 (P70と兼用)、TO3 (P71と兼用) へその値を出力することができます。

このタイマF/Fは、タイマ0, 1のペアおよびタイマ2, 3のペアにそれぞれ1つずつあり、TFF1, TFF3と呼びます。TFF1はTO1端子へ、TFF3はTO3へそれぞれ出力されます。

ただし、TO3 (P71と兼用) は$\overline{\text{DMUX}}$端子とマルチプレクスしているため、ポート7コントロールレジスタ (P7CRL, P7CRH) で設定する必要があります。

Not Recommended for New Design

次に8ビットタイマの動作説明をします。

(1) 8ビットタイマモード

4本のインタバルタイマ0, 1, 2, 3は、それぞれ独立に8ビットインタバルタイマとして使用できます。いずれのタイマも同一の動作をしますので、ここではタイマ1の場合について説明します。

① 一定周期の割り込みを発生させる場合

タイマ1を用いて、一定周期ごとにタイマ1割り込み (INTT1) を発生させる場合、まずタイマ1を停止させてから、動作モード, 入力クロック, 周期をそれぞれT01MOD, TREG1に設定します。次に割り込みINTT1をイネーブルにしてからタイマ1をカウントさせます。

例： fc＝20 MHzで40 μsごとにタイマ1割り込みを発生させたい場合、次の順序で各レジスタを設定します。

	MSB 7	6	5	4	3	2	1	LSB 0	
TRUN ←	−	−	−	−	−	−	0	−	タイマ1を停止し、ゼロクリアします。
T01MOD 00←	0	0	X	X	0	1	−	−	8ビット タイマ モードにし、入力クロックをφT1 (0.4 μs @fc = 20 MHz) にします。
TREG1 ←	0	1	1	0	1	0	0	0	タイマレジスタに40 μs ÷ φT1 = 100 (64H) をセットします。
INTET10 ←	1	1	0	1	−	−	−	−	INTT1をイネーブル割り込みレベル5にします。
TRUN ←	X	X	1	−	−	−	1	−	タイマ1をカウントさせます。

(注) X ; don't care　　− ; no change

入力クロックの選択は下表を参考にしてください。

表3.7 (1) 8ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@fc = 20 MHz)	分解能
φT1 (8/fc)	0.4 μs～102.4 μs	0.4 μs
φT4 (32/fc)	1.6 μs～409.6 μs	1.6 μs
φT16 (128/fc)	6.4 μs～1.638 ms	6.4 μs
φT256 (2048/fc)	102.4 μs～2.621 ms	102.4 μs

Not Recommended for New Design

② デューティ50%の矩形波を出力させる場合

一定周期ごとにタイマ フリップフロップを反転させ、このタイマ フリップフロップの値をタイマ出力端子 (TO1) へ出力します。

例： fc＝20 MHzで、周期2.4 μsの矩形波をTO1端子から出力させたい場合、次の順序で各レジスタを設定します。
この場合、タイマ0かタイマ1を用いますが、ここではタイマ1を使用したときのレジスタ設定例を示します。

	MSB LSB 7 6 5 4 3 2 1 0	
TRUN ←	− − − − − − 0 −	タイマ1を停止し、ゼロクリアします。
T01MOD←	0 0 X X 0 1 − −	8ビット タイマ モードにし、 入力クロックをφT1にします。
TREG1 ←	0 0 0 0 0 0 1 1	タイマレジスタに2.4 μs÷φT1÷2＝3をセットします。
TFFCR ←	− − − − 1 0 1 1	TFF1を "0" にクリアし、タイマ1からの一致検出信号で反転するように設定します。
P7CRL ←	− − − − − − 1 0	P70をTO1端子に設定します。
TRUN ←	X X 1 − − − 1 −	タイマ1のカウントを開始させます。

(注) X; don't care −; no change

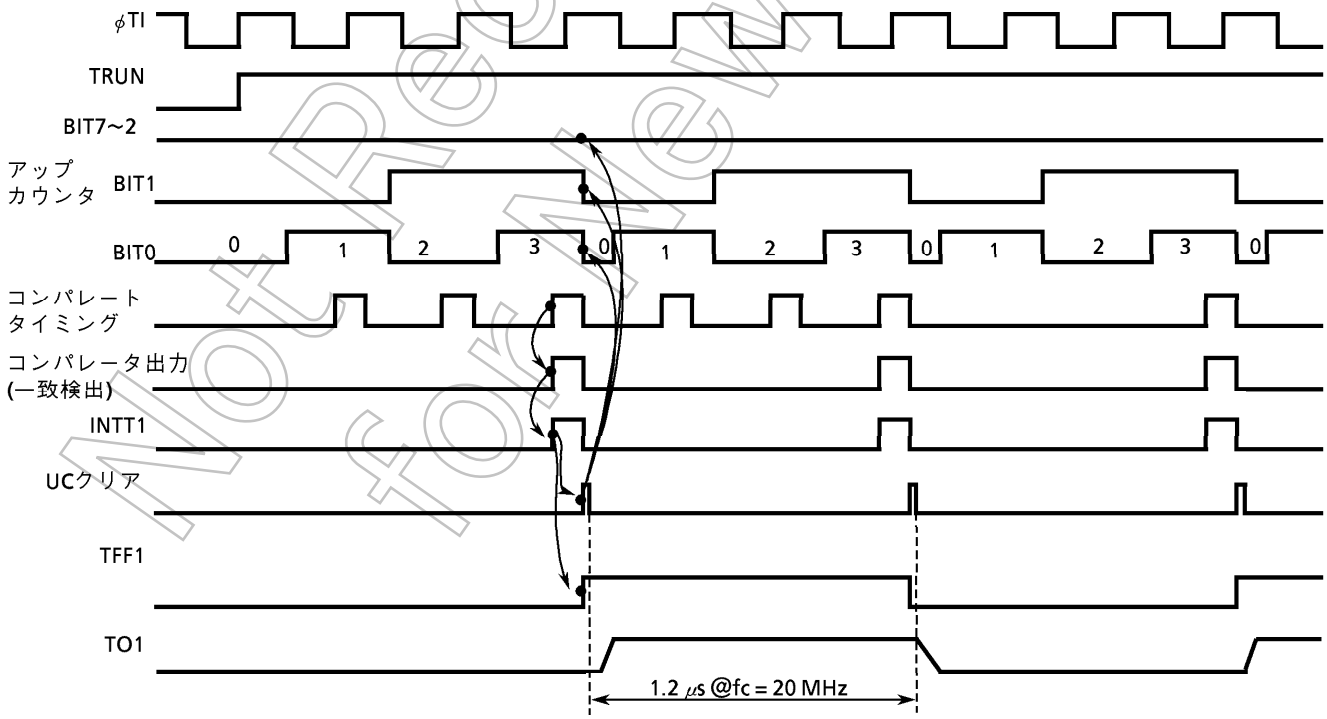


図3.7 (9) 矩形波 (デューティ50%) 出力のタイミング チャート

Not Recommended for New Design

③ タイマ0の一致出力でタイマ1をカウントアップさせる場合

8ビット タイマ モードに設定し、タイマ1の入力クロックをタイマ0のコンパレータ出力に設定します。

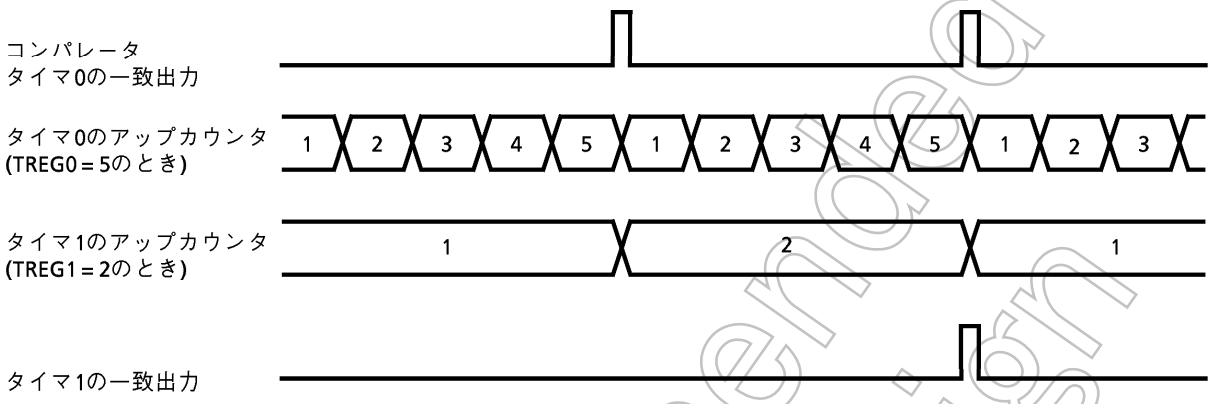


図3.7 (10) タイマ0によるタイマ1のカウントアップ

④ ソフト反転による出力反転

タイマの動作とは関係なくタイマ フリップフロップ (タイマF/F) の値を反転させることができます。
TFFCR<FF1C1, 0>に00を書き込むとTFF1の値が反転し、TFFCR<FF3C1, 0>に00を書き込むとTFF3の値が反転します。

⑤ タイマ フリップフロップ (タイマF/F) の初期設定

タイマ動作とは関係なく、タイマF/Fの値を“0”または“1”に初期設定することができます。
例えば、TFF1を“0”にする場合、TFFCR<FF1C1, 0>に10を書き込み、TFF1を“1”にする場合はTFFCR<FF3C1, 0>に01を書き込みます。

(注) タイマ フリップフロップ, タイマレジスタの値は読み出すことはできません。

Not Recommended for New Design

(2) 16ビット タイマ モード

タイマ0と1またはタイマ2と3をペアにして、16ビットインタバルタイマにすることができます。
タイマ0, 1とタイマ2, 3は同じ動作をしますので、ここではタイマ0, 1の場合について述べます。
タイマ0と1をカスケード接続して、16ビットインタバルタイマにするにはモードレジスタT01MOD<T01M1, 0>を "00" に設定します。

16ビット タイマ モードに設定すると、クロック コントロールレジスタTCLKの設定値にかかわらず、タイマ1の入力クロックはタイマ0のオーバフロー出力になります。

表3.7 (2) 16ビットタイマ (割り込み) 周期と入力クロックの選択

入力クロック	割り込み周期 (fc = 20 MHz)	分解能
ϕT1 (8/fc)	0.4 μs ～ 26.214 ms	0.4 μs
ϕT4 (32/fc)	1.6 μs ～ 104.857 ms	1.6 μs
ϕT16 (128/fc)	6.4 μs ～ 419.430 ms	6.4 μs

タイマ割り込み周期は、タイマレジスタTREG0に下位8ビットを、TREG1に上位8ビットを設定します。この場合、かならずTREG0から先に設定してください (TREG0にデータを書き込むとコンペアが一時禁止され、TREG1へのデータ書き込みでコンペアが開始されるためです)。

設定例: fc = 20 MHzで0.4 sごとに割り込みINTT1を発生させる場合、タイマレジスタTREG0, 1には次の値を設定します。
ϕT16 (= 6.4 μs @20 MHz) を入力クロックとしてカウントすると
0.4 s ÷ 6.4 μs = 62500 = F424H
従ってTREG1 = F4H, TREG0 = 24Hを設定します。

タイマ0のコンパレータ一致出力はアップカウンタUC0とTREG0とが一致するたびに出力されますが、アップカウンタUC0はクリアされません。また、このとき割り込みINT0も発生しません。

タイマ1のコンパレータはアップカウンタUC1がTREG1と一致するとコンパレート タイミング時毎回一致検出信号が出力され、タイマ0, 1両方のコンパレータの一致検出信号が同時に出力されるとアップカウンタUC0, 1がゼロクリアされ、割り込みINTT1のみが発生します。また、反転イネーブルであれば、タイマ フリップフロップTFF1の値は反転されます。

	タイマ0			タイマ1		
	INT T0	TO1	一致の値	INT T1	TO1	一致の値
16ビットタイマモード (タイマ1をタイマ0のオーバフローでカウントアップ)	割り込み発生	出力不可	TREG0 (一致してもカウントアップ)	割り込み発生	出力可能	TREG1*2^8 + TREG0 (フル16ビット)
8ビットタイマモード (タイマ1をタイマ0の一致でカウントアップ)	割り込み発生	出力可能 (タイマ0またはタイマ1のどちらか)	TREG0 (一致するとクリア)	割り込み発生	出力可能 (タイマ0またはタイマ1のどちらか)	TREG1* TREG0 (乗算値)

Not Recommended for New Design

例 ： TREG1＝04H, TREG0＝80Hの場合

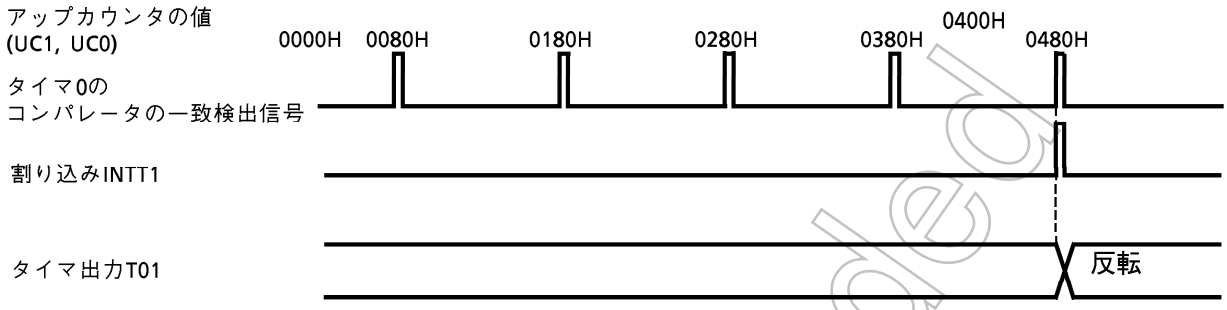


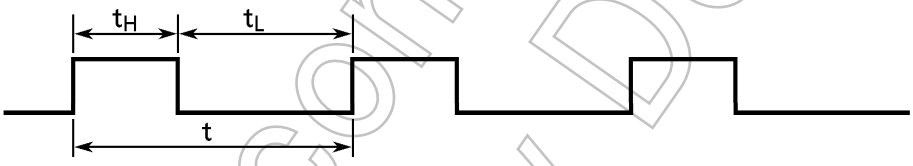
図3.7 (11) 16ビットタイマモードによるタイマ出力

(3) 8ビットPPG (プログラマブル矩形波) 出力モード
(Programmable Pulse Generation)

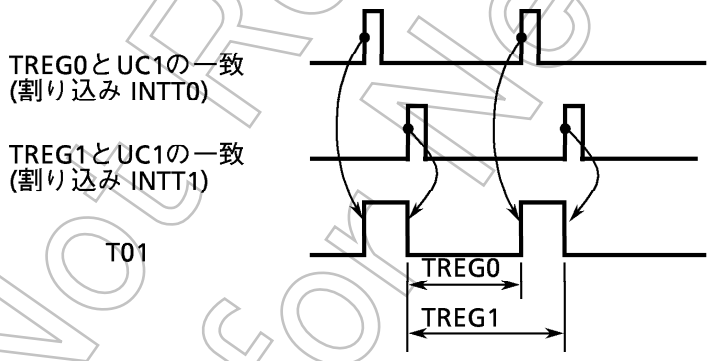
タイマ0またはタイマ2を用いて、任意周波数, 任意デューティの矩形波を出力することができます。出力パルスはローアクティブ, ハイアクティブどちらでも可能です。

このモードに設定した場合、タイマ1, 3は使用できません。

タイマ0の場合はTO1端子 (P70と兼用) へ、タイマ2の場合はTO3 (P71と兼用) へ出力されます。



例として、タイマ0の場合を説明します。(タイマ2の場合も同様な動作です。)



Not Recommended for New Design

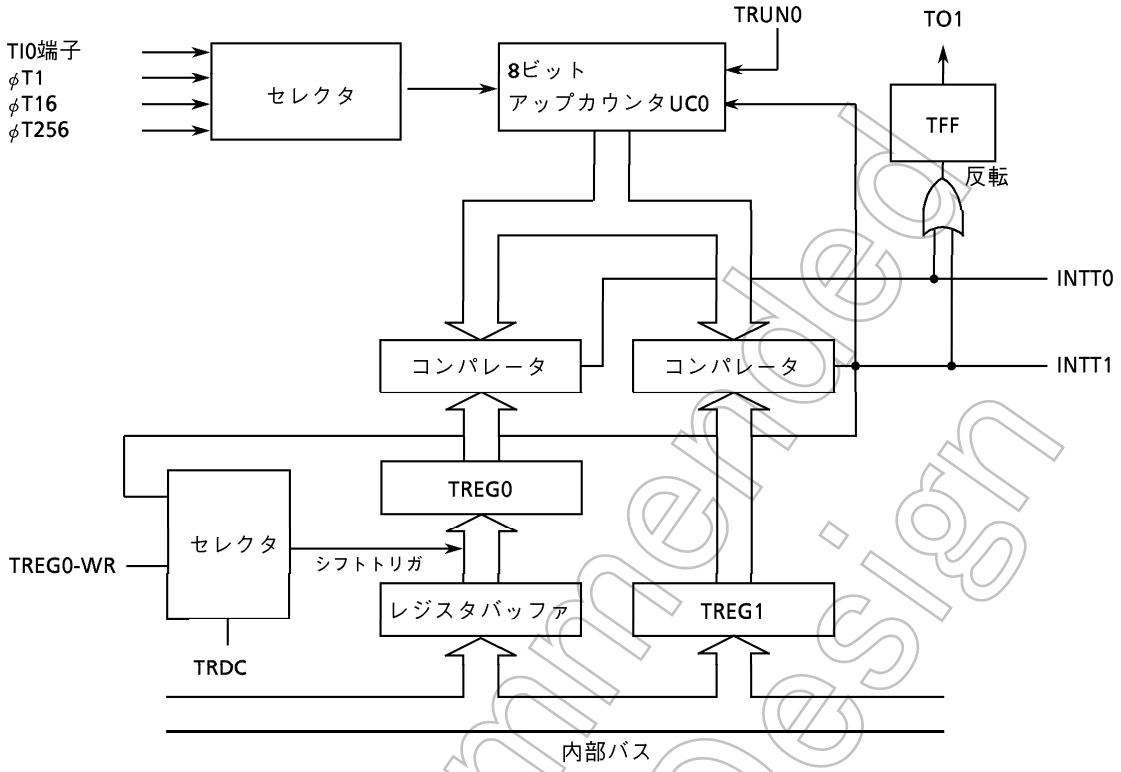
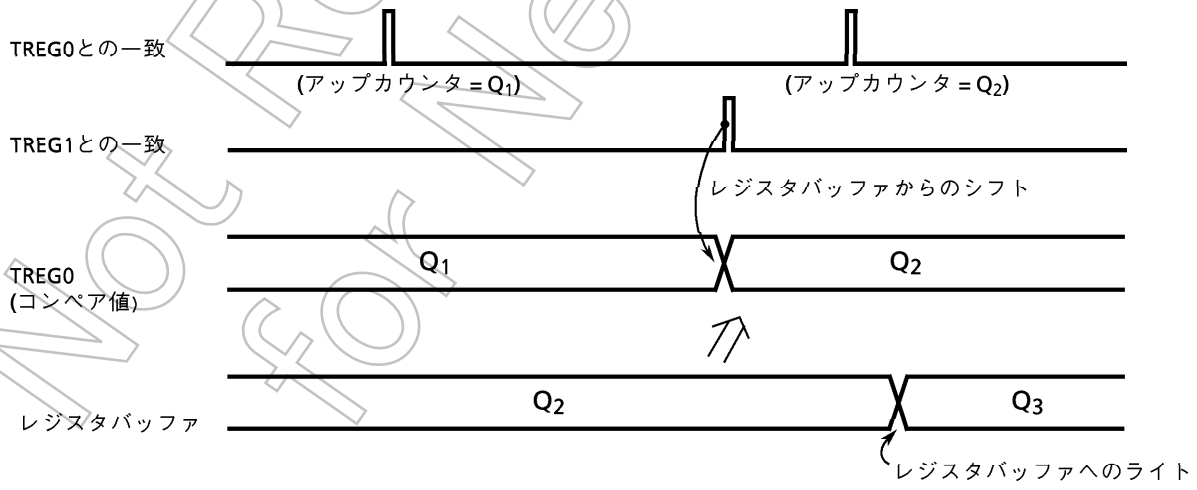


図3.7 (12) 8ビットPPG出力モードのブロック図

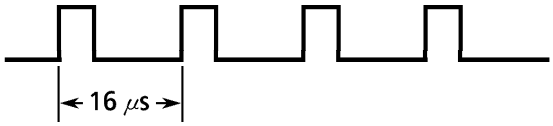
このモードでは、TREG0をダブルバッファイネーブルにすることにより、TREG1とUC0の一致で、レジスタバッファの値がTREG0へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ(デューティを変化させるとき)への対応が容易に行えます。



Not Recommended for New Design

例: デューティ1/4の62.5 kHzのパルスを出力する場合 (@fc＝20 MHz)



- タイマレジスタへの設定値を求めます。
  周波数を62.5 kHzにするには、周期t＝1/62.5 kHz＝16 μsの波形をつくります。
  φT1＝0.4 μs (@20 MHz) を用いると、
  16 μs÷0.4 μs＝40
  従ってタイマレジスタ1 (TREG1) をTREG1＝40＝28H
  次にデューティを1/4にするには、t×1/4＝16 μs×1/4＝4 μs
  4 μs÷0.4 μs＝10
  従ってタイマレジスタ0 (TREG0) をTREG0＝10＝0AH
  に設定します。

```
          MSB          LSB
       ←  7 6 5 4 3 2 1 0
TRUN   ←  X X - - - - 0 0     タイマ0とタイマ1を停止し、ゼロクリアします。
T01MOD←  1 0 X X X X 0 1     8ビットPPGモードにし、入力クロックをφT1にします。
TFFCR  ←  - - - - 0 1 1 x     TFF1をセットし反転イネーブルにします。
                 └┘
                              "10" にすると負論理の出力波形が得られます。
TREG0  ←  0 0 0 0 1 0 1 0     0AHを書き込みます。
TREG1  ←  0 0 1 0 1 0 0 0     28Hを書き込みます。
P7CRL  ←  - - - - - - 1 0     P70をTO1端子に設定します。
TRUN   ←  X X 1 - - - 1 1     タイマ0とタイマ1のカウントを開始します。
```

(注)　X ; don't care　 - ; no change

Not Recommended for New Design

(4) 8ビットPWM出力モード
(Pulse Width Modulation ; パルス幅変調)

タイマ0, 2にのみ可能なモードで、分解能8ビットのPWMを最大2本(PWM1, PWM3)出力することができます。

タイマ0の場合はTO1端子(P70と兼用)へ、タイマ2の場合はTO3端子(P71と兼用)端子へ出力されます。

タイマ1, 3は8ビットタイマとして使用できます。

例として、タイマ0(PWM1)の場合について述べます(タイマ2の場合も同様な動作です)。

タイマ出力の反転は、アップカウンタ(UC1)がタイマレジスタTREGの設定値と一致したときと2^n-1 (n=6, 7, 8のいずれかにT01MODで指定します)カウンタオーバフローによって起こります。またカウンタUC1は2^n-1カウンタのオーバフローによってクリアされます。

なお、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(タイマレジスタの設定値) < (2^n-1カウンタのオーバフロー設定値)
(タイマレジスタの設定値) ≠ 0

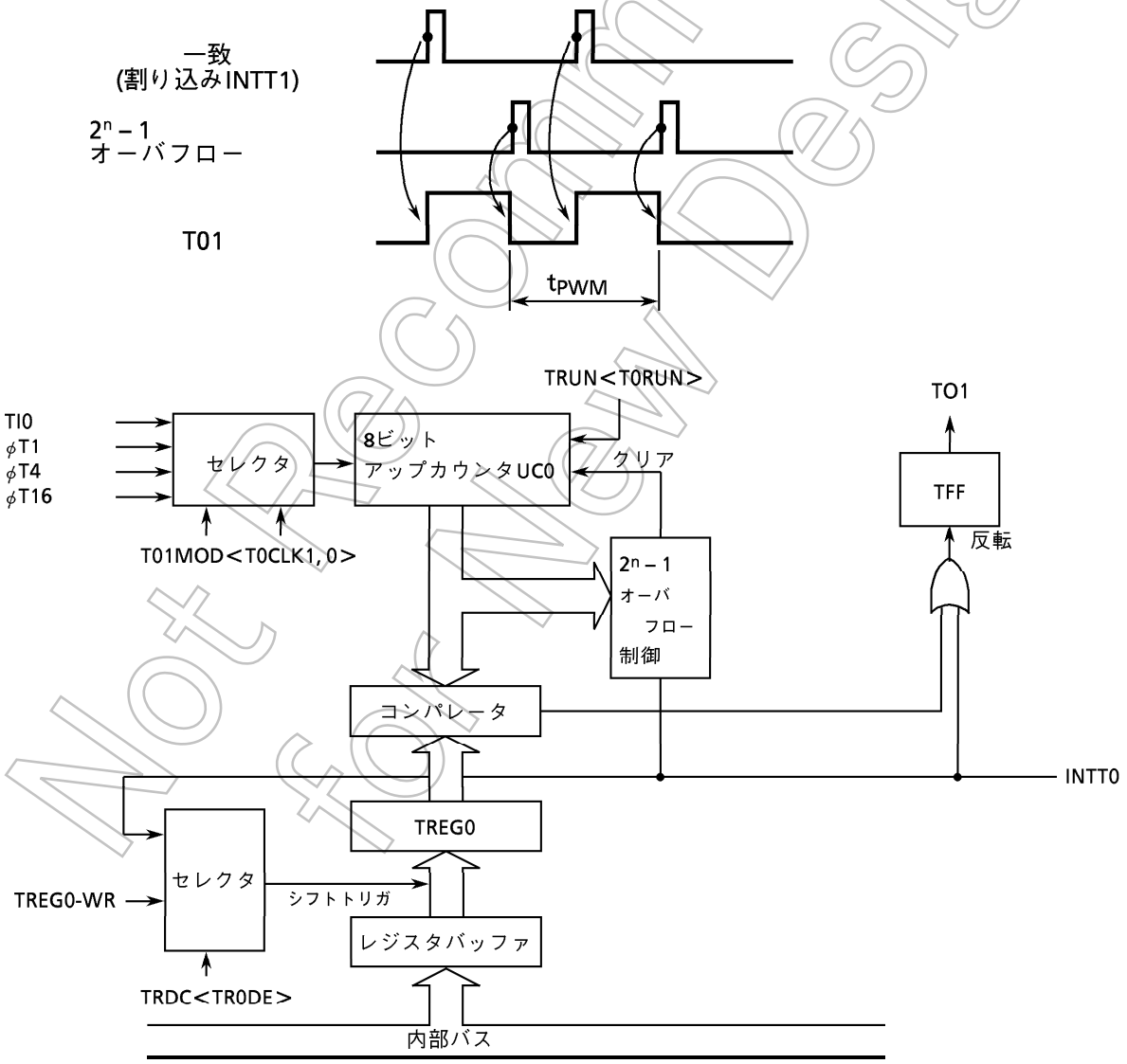
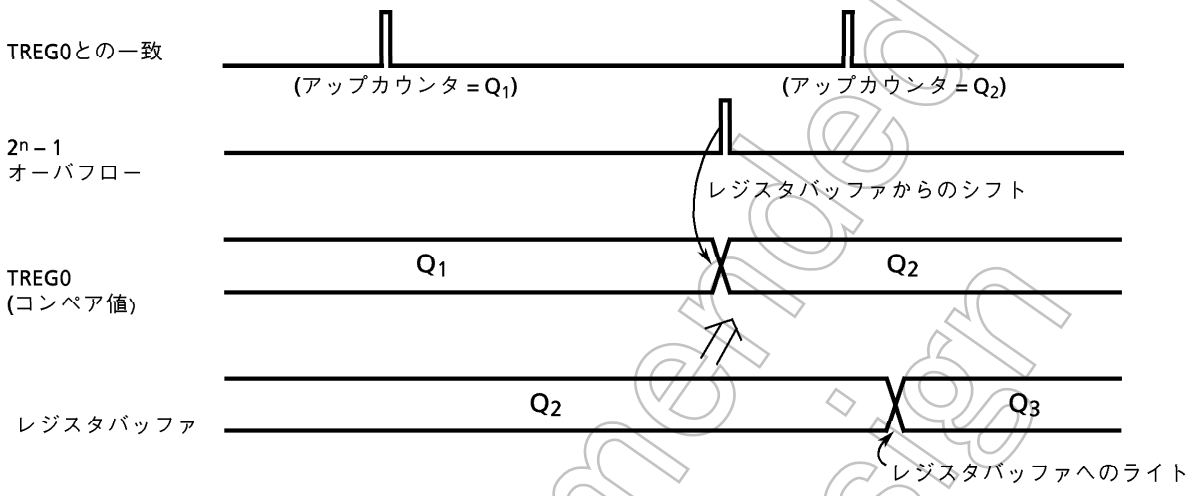


図3.7 (13) 8ビットPWM出力モードのブロック図

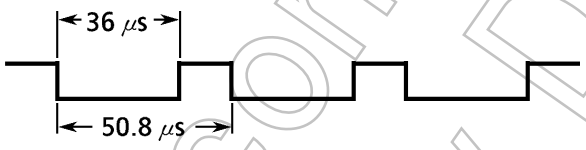
Not Recommended for New Design

このモードでは、TREG0をダブルバッファイネーブルにすることにより、2^n-1オーバフローの検出で、レジスタバッファの値がTREG0へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。



例： fc＝20 MHz時、タイマ0を使って下記のPWM波形をTO1端子へ出力する場合。



PWM周期50.8 μsをϕT1＝0.4 μs (@fc＝20 MHz) で実現する場合

50.8 μs÷0.4 μs＝127＝2^n-1

従ってn＝7に設定します。

“L” レベルの期間は36 μsなのでϕT1＝0.4 μsでは

36 μs÷0.4 μs＝90＝5AH

をTREG0に設定します。

	MSB 7	6	5	4	3	2	1	LSB 0	
TRUN ←	X	X	-	-	-	-	-	0	タイマ0を停止し、ゼロクリアします。
TO1MOD ←	1	1	1	0	-	-	0	1	8ビットPWMモード (周期 = 2^7-1) にし入力クロックをϕT1にします。
TFFCR ←	-	-	-	-	1	0	1	X	TFF1をクリアし、反転イネーブルにします。
TREG0 ←	0	1	0	1	1	0	1	0	5AHを書き込みます。
P7CRL ←	-	-	-	-	-	-	1	0	P70をTO1端子に設定します。
TRUN ←	X	X	1	-	-	-	-	1	タイマ0のカウントを開始します。

(注) X ; don’t care - ; no change

Not Recommended for New Design

表3.7 (3) PWM周期と$2^n - 1$カウンタの設定

	PWM周期 (@fc = 20 MHz)		
	ϕT1	ϕT4	ϕT16
$2^6 - 1$	25.2 μs (39.0 kHz)	100 μs (10.0 kHz)	4.03 μs (2.4 kHz)
$2^7 - 1$	50.8 μs (19.7 kHz)	203 μs (4.9 kHz)	812 μs (1.2 kHz)
$2^8 - 1$	102 μs (9.80 kHz)	408 μs (2.4 kHz)	1.63 ms (0.61 kHz)

(5) 8ビットタイマの各モードをまとめると表3.7 (4) のような設定になります。

表3.7 (4) 各タイマモードの設定レジスタ

タイマモード (8ビットタイマ×2ch当り)	モード T01M (T23M)	PWM0 (PWM2)	上位入力 T1CLK (T3CLK)	下位入力 T0CLK (T2CLK)	反転セレクト FF1IS (FF3IS)
16ビットタイマ (フル16ビット)×1ch	01	–	–	(外部, ϕT1, 4, 16)	–
8ビットタイマ (8ビット×8ビットモード×1ch (上位タイマへ下位タイマの コンパレータ出力を入力する。)	00	–	00	(外部, ϕT1, 4, 16)	0: 下位タイマ 1: 上位タイマ
8ビットタイマ×2ch	00	–	(ϕT1, 16, 256)	(外部, ϕT1, 4, 16)	0: 下位タイマ 1: 上位タイマ
8ビットPPG×1ch	10	–	–	(外部, ϕT1, 4, 16)	–
8ビット PWM ×1ch (下位) 8ビットタイマ ×1ch (上位)	11	PWM周期	(ϕT1, 16, 256)	(外部, ϕT1, 4, 16)	–

Not Recommended for New Design

3.8 16ビットタイマ

TMP96C031Zは、多機能16ビットタイマ/イベントカウンタを1本(タイマ4)内蔵しています。

- 16ビットインタバルタイマモード
- 16ビットイベントカウンタモード
- 16ビットプログラマブル矩形波出力(PPG)モード
- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

タイマ/イベントカウンタは、16ビットアップカウンタ、16ビットタイマレジスタ2本(うち1本はダブルバッファ構造)、16ビットのキャプチャレジスタ2本,コンパレータ2個およびキャプチャ入力制御,タイマF/Fとその制御回路で構成されています。

タイマ/イベントカウンタは、4つのコントロールレジスタ(T4MOD, T4FFCR, TRUN, T45CR)によって制御されています。

図3.8 (1)に16ビットタイマ/イベントカウンタのブロック図(タイマ4)を示します。

Not Recommended for New Design

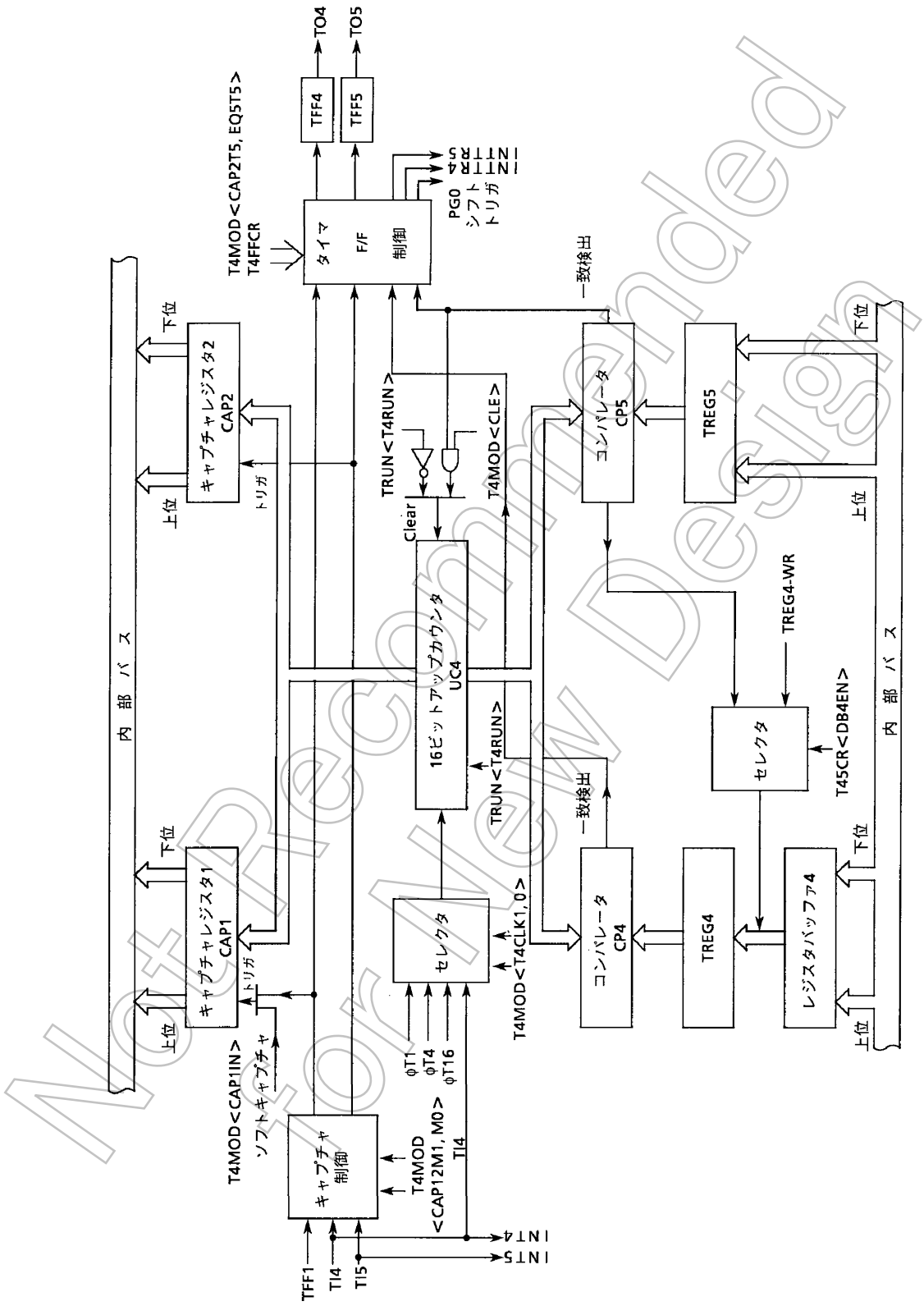


図3.8 (1) 16ビットタイマブロック図(タイマ4)

Not Recommended for New Design

T4MOD (0038H)	7	6	5	4	3	2	1	0
bit Symbol	CAP2T5	EQ5T5	CAP1IN	CAP12M1	CAP12M0	CLE	T4CLK1	T4CLK0
Read/Write	R/W		W	R/W		R/W	R/W	
リセット後	0	0	1	0	0	0	0	0
機　能	TFF5反転トリガ 0: Disable trigger 1: Enable trigger CAP2へのアップカウンタ値取り込み時	アップカウンタとTREG5との一致時	0: Soft-Capture 1: don't care	キャプチャタイミング 00: Disable INT4は立ち上がりエッジ 01: TI4↑ TI5↑ INT4は立ち上がりエッジ 10: TI4↑ TI4↓ INT4は立ち下がりエッジ 11: TFF1↑ TFF1↓ INT4は立ち上がりエッジ		1: UC4 Clear Enable	タイマ4ソースクロック 00: TI4 01: φT1 10: φT4 11: φT16	

タイマ4の入力クロック

00	外部入力クロック(TI4)
01	φT1 (8/fc)
10	φT4 (32/fc)
11	φT16 (128/fc)

アップカウンタ UC4のクリア

0	アップカウンタのクリア禁止
1	TREG5との一致でクリア

図3.8 (2)　16ビットタイマモードコントロールレジスタ(T4MOD) (1/2)

Not Recommended for New Design

T4MOD (0038H)

	7	6	5	4	3	2	1	0
bit Symbol	CAP2T5	EQ5T5	CAP1IN	CAP12M1	CAP12M0	CLE	T4CLK1	T4CLK0
Read/Write	R/W		W	R/W		R/W	R/W	
リセット後	0	0	1	0	0	0	0	0
機　能	TFF5反転トリガ 0: Disable trigger 1: Enable trigger		0: Soft-Capture 1: don't care	キャプチャタイミング 00: Disable INT4は立ち上がりエッジ 01: TI4↑ TI5↑ INT4は立ち上がりエッジ 10: TI4↑ TI4↓ INT4は立ち下がりエッジ 11: TFF1↑ TFF1↓ INT4は立ち上がりエッジ		1: UC4 Clear Enable	タイマ4ソースクロック 00: TI4 01: φT1 10: φT4 11: φT16	
	CAP2へのアップカウンタ値取り込み時	アップカウンタとTREG5との一致時						

タイマ4のキャプチャタイミング

	キャプチャ制御	INT4制御
00	キャプチャ禁止	
01	TI4の立ち上がりでCAP1 TI5の立ち上がりでCAP2	TI4の立ち上がりでINT4発生
10	TI4の立ち上がりでCAP1 TI4の立ち下がりでCAP2	TI4の立ち下がりでINT4発生
11	TFF1の立ち上がりでCAP1 TFF1の立ち下がりでCAP2	TI4の立ち上がりでINT4発生

ソフトウエア　キャプチャ

0	CAP1へアップカウンタ4の値を取り込みます。
1	読み出すと常に "1" となります。

タイマフリップフロップ5 (TFF5) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP2T5 : CAP2へのアップカウンタ値取り込み時
EQ5T5 : アップカウンタとTREG5との一致時

図3.8 (3) 16ビットタイマコントロールレジスタ (T4MOD) (2/2)

Not Recommended for New Design

T4FFCR (0039H)

	7	6	5	4	3	2	1	0
bit Symbol	TFF5C1	TFF5C0	CAP2T4	CAP1T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0
Read/Write	W		R/W	R/W	R/W	R/W	W	
リセット後	—		0	0	0	0	—	
機　能	00: Invert TFF5 01: Set TFF5 10: Clear TFF5 11: don't care ※読み出すと常に "11" になります。		TFF4反転トリガ 0: Disable trigger 1: Enable trigger				00: Invert TFF4 01: Set TFF4 10: Clear TFF4 11: don't care ※読み出すと常に "11" になります。	
			CAP2へのアップカウンタ値取り込み時	CAP1へのアップカウンタ値取り込み時	アップカウンタとTREG5との一致時	アップカウンタとTREG4との一致時		

タイマフリップフロップ4 (TFF4) の制御

00	TFF4の値を反転します。(ソフト反転)
01	TFF4を "1"にセットします。
10	TFF4を "0"にクリアします。
11	don't care (読み出した場合常に "11" になります)

タイマフリップフロップ4 (TFF4) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP2T4 : CAP2へのアップカウンタ値取り込み時
CAP1T4 : CAP1へのアップカウンタ値取り込み時
EQ5T4 : アップカウンタとTREG5との一致時
EQ4T4 : アップカウンタとTREG4との一致時

タイマフリップフロップ5 (TFF5) の制御

00	TFF5の値を反転します。(ソフト反転)
01	TFF5を "1"にセットします。
10	TFF5を "0"にクリアします。
11	don't care (読み出した場合常に "11" になります)

Not Recommended for New Design

図3.8 (4) 16ビットタイマ4 F/Fコントロール (T4FFCR)

T45CR (003AH)

	7	6	5	4	3	2	1	0
bit Symbol	—				PG1T	PG0T		DB4EN
Read/Write	R/W				R/W			R/W
リセット後	0				0	0		0
機　能	"0" 固定				PG1シフトトリガ 0:8ビットタイマトリガ(タイマ0, 1) 1:16ビットタイマトリガ(タイマ4)	PG0シフトトリガ 0:8ビットタイマトリガ(タイマ2, 3) 1: 16ビットタイマトリガ(タイマ4)		TREG4のダブルバッファ 0: Disable 1: Enable

ダブルバッファ制御

0	ディセーブル
1	イネーブル

DB4EN : TREG4のダブルバッファ

図3.8 (5) 16ビットタイマ (タイマ4) コントロールレジスタ (T45CR)

16ビットタイマ　8ビットタイマ

TRUN (0020H)

	7	6	5	4	3	2	1	0
bit Symbol			PRRUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
Read/Write	R/W							
リセット後			0	0	0	0	0	0
機　能			Prescaler & Timer Run / Stop Control 0: Stop & Clear 1: Run (Count up)					

16ビットタイマ (タイマ4) の動作

0	停止 & クリア
1	カウント

プリスケーラの動作

0	停止 & クリア
1	カウント

図3.8 (6)　タイマ動作コントロールレジスタ(TRUN)

Not Recommended for New Design

① アップカウンタ

T4MOD <T4CLK1, 0> で指定された入力クロックによって、カウントアップする16ビットのバイナリカウンタです。

入力クロックとして、9ビットのプリスケーラ (8ビットタイマと共用) からの内部クロックφT1, φT4, φT16またはTI4 (P72/INT4と兼用) 端子からの外部クロックのいずれかを選択できます。リセット時 <T4CLK1, 0> = 00に初期化されますので、TI4の外部入力が選択されています。

カウンタのカウント/停止&クリアは、タイマ動作コントロールレジスタTRUN <T4RUN> で制御することができます。

アップカウンタUC4は、タイマレジスタTREG5と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、T4MOD <CLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

② タイマレジスタ

カウンタ値を設定する16ビットレジスタで、2本内蔵されています。このタイマレジスタへの設定値と、アップカウンタUC4の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタTREG4, TREG5へのデータ設定は、2バイトデータロード命令を用いるか、1バイトデータロード命令を2回用いて下位8ビット、上位8ビットの順に行います。

TREG 4

上位8ビット	下位8ビット
000031H	000030H

TREG 5

上位8ビット	下位8ビット
000033H	000032H

このタイマレジスタは、TREG4がダブルバッファ構成になっており、レジスタバッファとペアになっています。TREG4はタイマコントロールレジスタT45CR <DB4EN> によってダブルバッファのイネーブル/ディセーブルを制御します。<DB4EN> = 0のときディセーブル、 <DB4EN> = 1のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送は、アップカウンタUC4とタイマレジスタTREG5との一致時に行われます。

リセット時は、T45CR <DB4EN> = 0に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <DB4EN> = 1に設定した後、レジスタバッファへ次のデータを書き込んでください。

TREG4とレジスタバッファは、同じメモリ番地000030H/ 000031H に割り付けられています。<DB4EN> = 0のときは、TREG4とレジスタバッファに、同じ値が書き込まれ、<DB4EN> = 1のときは、レジスタバッファにのみ書き込まれます。従って、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておきます。

③ キャプチャレジスタ

アップカウンタの値をラッチする16ビットのレジスタです。

キャプチャレジスタを読み出す場合は、2バイトデータロード命令を用いるか1バイトデータロード命令を2回用いて下位8バイト, 上位8バイトの順に読み出してください。

CAP 1

上位8ビット	下位8ビット
000035H	000034H

CAP 2

上位8ビット	下位8ビット
000037H	000036H

Not Recommended for New Design

④ キャプチャ入力制御

アップカウンタUC4の値を、キャプチャレジスタCAP1, CAP2にラッチするタイミングを制御する回路です。
キャプチャレジスタのラッチタイミングは、T4MOD <CAP12M1, 0> レジスタで設定します。

- T4MOD <CAP12M1, 0> = 00の場合

  キャプチャ機能は、ディセーブルされます。リセット時は、このディセーブル状態となっています。

- T4MOD<CAP12M1, 0> = 01の場合

  TI4 (P72/INT4と兼用) 入力の立ち上がりエッジでCAP1へ、TI5 (P73/INT5と兼用) 入力の立ち上がりエッジでCAP2へ取り込みます。(時間差測定)

- T4MOD<CAP12M1, 0> = 10の場合。

  TI4入力の立ち上がりエッジでCAP1へ、立ち下がりエッジでCAP2へ取り込みます。この設定の場合に限りINT4割り込みは立ち下がりエッジで発生します。(パルス幅測定)

- T4MOD<CAP12M1, 0> = 11の場合

  タイマフリップフロップTFF1の立ち上がりエッジでCAP1へ、立ち下がりエッジでCAP2へ取り込みます。

また、ソフトウエアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができ、T4MOD<CAP1IN>に "0" を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタCAP1へ取り込みます。なお、プリスケーラは、RUN状態にしておく (TRUN<PRRUN>を "1") 必要があります。

⑤ コンパレータ

アップカウンタUC4と、タイマレジスタTREG4, TREG5への設定値とを比較し、一致を検出する16ビットコンパレータです。
一致すると、それぞれ割り込みINTTR4, INTTR5を発生します。
また、TREG5との一致でのみアップカウンタUC4をクリアします (T4MOD<CLE> = 0でアップカウンタUC4のクリアをディセーブルすることもできます)。

⑥ タイマフリップフロップ (TFF4)

コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。
反転のディセーブル/イネーブルは各要因ごとにT4FFCR<CAP2T4, CAP1T4, EQ5T4, EQ4T4>によって設定できます。
TFF4はT4FFCR<TFF4C1, 0>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることも可能です。
TFF4の値は、タイマ出力端子TO4へ出力することができます。
ただし、TO4 (P70と兼用) は、TO1端子とマルチプレクスしているため、ポート7コントロールレジスタP7CRLで設定する必要があります。

Not Recommended for New Design

⑦ タイマフリップフロップ (TFF5)

アップカウンタUC4とタイマレジスタTREG5との一致検出信号、キャプチャレジスタCAP2へのラッチ信号によって反転するフリップフロップです。

反転のディセーブル/イネーブルは各要因ごとにT4MOD <CAP2T5, EQ5T5> によって設定できます。

TFF5はT4FFCR<TFF5C1, 0>に "00" を書き込むことで反転、"01" を書き込むことで "1" にセット、"10" を書き込むことで "0" にクリアすることも可能です。

TFF5の値はタイマ 出力端子TO5へ出力することができます。

ただし、TO5 (P30と兼用) は、$\overline{\text{HWR}}$端子とマルチプレクスしているため、ポート3コントロールレジスタP3CRLで設定する必要があります。

(注) TO5 (P30と兼用) は$\overline{\text{HWR}}$とマルチプレクスしているため、P3SRで設定する必要があります。

(1) 16ビットタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタTREG5にインタバル時間を設定しINTT5割り込みを用います。

		7 6 5 4 3 2 1 0	
TRUN	←	X X - 0 - - - -	タイマ4を停止します。
INTET54	←	1 1 0 0 1 0 0 0	INTTR5をイネーブル、レベル4に設定しINTTR4を禁止します。
T4FFCR	←	1 1 0 0 0 0 1 1	トリガをディセーブルします。
T4MOD	←	0 0 1 0 0 1 * * (** = 01, 10, 11)	入力クロックを内部クロックにし、キャプチャ機能をディセーブルにします。
TREG5	←	* * * * * * * * * * * * * * * *	インタバル時間を設定します。(16ビット)
TRUN	←	X X 1 1 - - - -	タイマ4を起動します。

(注) X ; don't care - ; no change

(2) 16ビットイベントカウンタモード

16ビットタイマモードにおいて、入力クロックを外部クロックTI4にすることでイベントカウンタにすることができます。カウンタ値を読むときは "ソフトウエアキャプチャ" を行い、キャプチャ値をリードすることにより行えます。

カウンタはTI4入力の立ち上がりエッジでカウントアップします。

またTI4端子は、P72, INT4と兼用しています。

Not Recommended for New Design

```
          7 6 5 4 3 2 1 0
TRUN    ← X X - 0 - - - -     タイマ4を停止します。
P7CR    ← - - 0 0 - - - -     P72を入力モードに設定します。
INTET54 ← 1 1 0 0 1 0 0 0     INTTR5をイネーブル (レベル4) に、INTTR4をディ
                              セーブルにします。
T4FFCR  ← 1 1 0 0 0 0 1 1     トリガディセーブルにします。
T4MOD   ← 0 0 1 0 0 1 0 0     入力クロックをTI4にします。
TREG5   ← * * * * * * * *     カウント数を設定します (16ビット)
TRUN    ← X X 1 1 - - - -     タイマ4を起動します。
```

(注)　イベントカウンタとして使用する場合も、プリスケーラは "RUN" にしてください。

(3)　16ビットプログラマブル矩形波 (PPG) 出力モード

アップカウンタUC4とタイマレジスタTREG4, TREG5への設定値との一致によってタイマフリップフロップTFF4を反転させ、このTFF4の値をTO4端子 (P70と兼用) へ出力するように設定することで、プログラマブル矩形波出力モードとなります。ただし、次の条件を満たす必要があります。

(TREG4への設定値) < (TREG5への設定値)

```
          7 6 5 4 3 2 1 0
TRUN    ← X X - 0 - - - -     タイマ4を停止します。
TREG4   ← * * * * * * * *     デューティを設定します。(16ビット)
TREG5   ← * * * * * * * *     周期を設定します。(16ビット)
T45CR   ← 0 X X X - - - 1     TREG4のダブルバッファイネーブル
                              (INTTR5割り込みでデューティ/周期の変更)
T4FFCR  ← 1 1 0 0 1 1 0 0     TFF4をTREG4, TREG5との一致検出で反転するように
                              設定します。またTFF4の初期値を "0" にします。
T4MOD   ← 0 0 1 0 0 1 * *     入力クロックを内部クロックにし、キャプチャ機能
          (** = 01, 10, 11)   ディセーブルにします。
P7CR    ← - - - - - - 1 1     P70をTO4に割り付けます。
TRUN    ← X X 1 1 - - - -     タイマ4を起動します。
```

(注)　X ; don't care　- ; no change

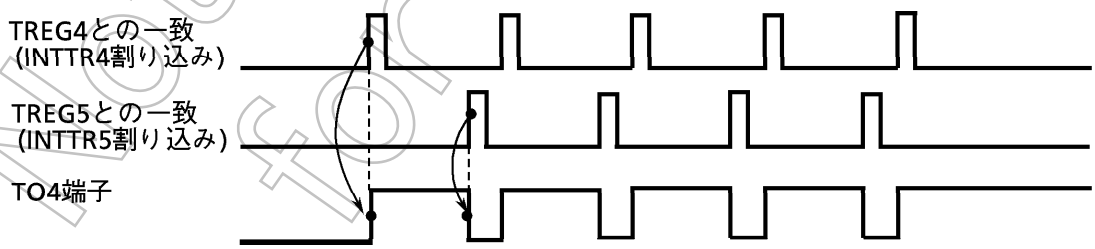


図 3.8 (7)　プログラマブル矩形波 (PPG) 出力波形

Not Recommended for New Design

このモードでは、TREG4のダブルバッファをイネーブルにすることにより、TREG5との一致で、レジスタバッファ4の値がTREG4へシフトインされます。これにより、小さいデューティへの対応が、容易に行えます。

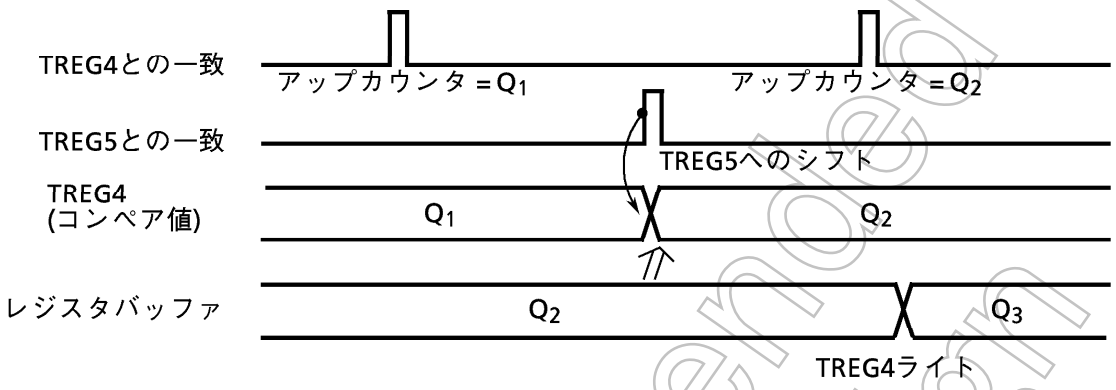


図 3.8 (8) レジスタバッファの動作

このモードのブロック図を示します。

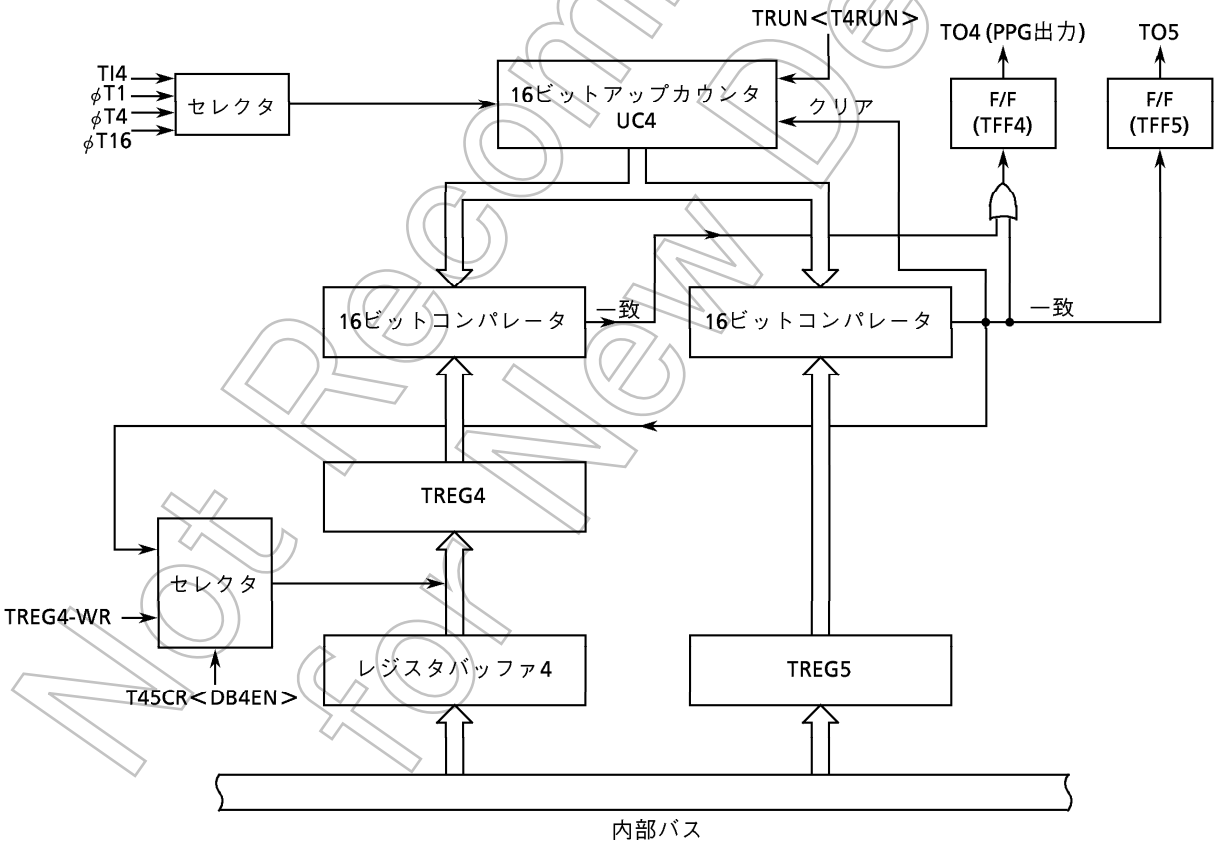


図3.8 (9) 16ビットPPGモードのブロック図

Not Recommended for New Design

(4) キャプチャ機能を利用した応用例

キャプチャレジスタ (CAP1, CAP2) へのアップカウンタ (UC4) の値の取り込み、コンパレータ (CP4, CP5) からの一致検出によるタイマフリップフロップTFF4の反転およびTFF4のTO4端子への出力はそれぞれイネーブル/ディセーブルすることができ、割り込み機能と組み合わせることにより次に示す例をはじめ、多くの応用が可能です。

① 外部トリガパルスからのワンショットパルス出力

② 周波数測定

③ パルス幅測定

④ 時間差測定

① 外部トリガパルスからのワンショットパルス出力

アップカウンタ (UC4) を内部クロック入力でフリーランニングにして、外部トリガパルスをTI4端子より入力し、このTI4入力の立ち上がりでキャプチャレジスタCAP1へ、アップカウンタの値を取り込みます。(T4MOD <CAP12M1, 0>=01に設定します。)
TI4入力の立ち上がり時、割り込みINT4でレジスタCAP1の値 (C) にディレイタイム (d) を加算した値 (c+d) をTREG4に設定し、このTREG4の値にワンショットパルスのパルス幅 (P) を加算した値 (c+d+p) をTREG5に設定します。なお、割り込みINT4でT4FFCR <EQ5T4, EQ4T4> レジスタを「タイマフリップフロップTFF4の反転はTREG4, 5との一致時のみイネーブル」にしておきます。また、割り込みINTTR5でこれをディセーブルに戻します。

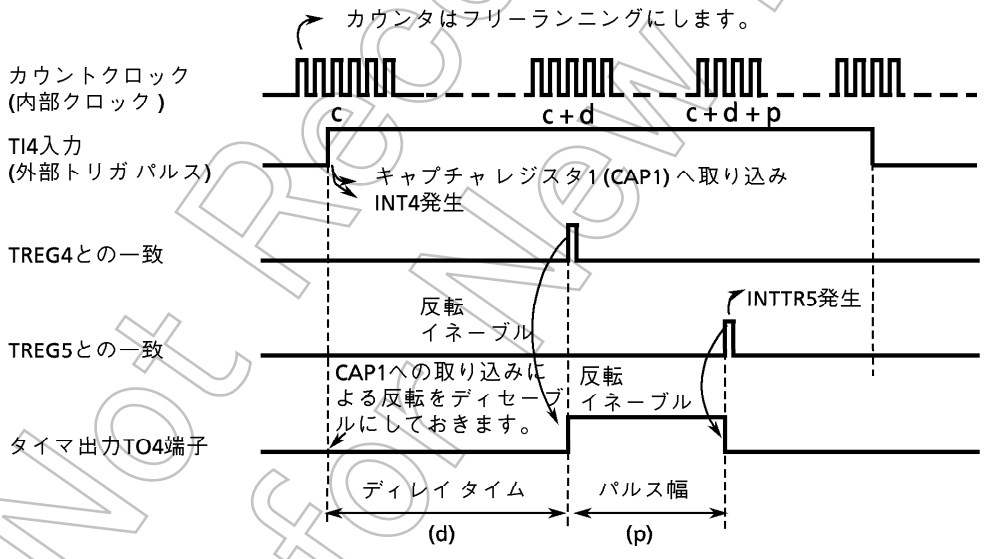


図3.8 (10) ワンショットパルス出力 (ディレイあり)

Not Recommended for New Design

設定例： TI4端子への外部トリガパルスに対して3 msディレイで2 msのワンショットパルスを出力する場合

メインでの設定

```
T4MOD  ←  - - 1 0 1 0 0 1
T4FFCR ←  1 1 0 0 0 0 1 0
P7CRL  ←  - - - - - - 1 1

INTE45 ←  - - - - 1 1 0 0
INTET54←  1 0 0 0 1 0 0 0
TRUN   ←  X X 1 1 - - - -
```

フリーランニングにします。
ϕT1でカウントさせます。
TI4入力の立ち上がりでCAP1へ取り込みます。
TFF4をゼロクリアします。
TFF4の反転をディセーブルにします。
P70をTO4に割り付けます。
INT4をイネーブルに、INTTR4, INTTR5をディセーブルにします。
タイマ4を起動します。

INT4での設定

```
TREG4  ←  CAP1+3ms/φT1
TREG5  ←  TREG4+2ms/φT1
T4FFCR ←  - - - - 1 1 - -
INTET54←  1 1 0 0 - - - -
```

TREG4, 5との一致によるTFF4の反転をイネーブルにします。
INTTR5をイネーブルにします。

INTTR5での設定

```
T4FFCR ←  - - - - 0 0 - -
INTET54←  1 0 0 0 - - - -
```

TREG4, 5との一致によるTFF4の反転をディセーブルにします。
INTTR5をディセーブルにします。

(注)　X ; don't care　- ; no change

ディレイタイムが不要な場合、キャプチャレジスタ1 (CAP1) への取り込みによってタイマフリップフロップTFF4を反転させ、割り込みINT4でCAP1の値 (C) にワンショットパルスの幅 (P) を加算した値 (C+P) をタイマレジスタTREG5に設定します。TFF4は、TREG5とアップカウンタ (UC4) の一致によって反転するように、イネーブルにします。また、INTTR5割り込みでこれをディセーブルに戻します。

Not Recommended for New Design

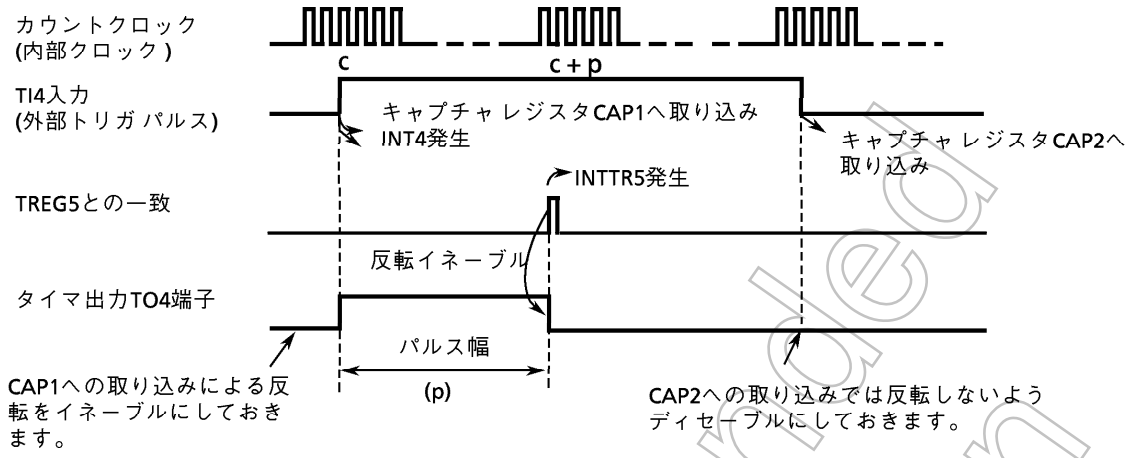


図3.8 (11) ワンショットパルス出力 (ディレイなし)

② 周波数測定

外部クロックの周波数を測定するモードです。外部クロックをTI4端子より入力し、これを8ビットタイマ (タイマ0, 1) と16ビットタイマ/イベントカウンタ (タイマ4) を用いて測定します。

タイマ4の入力クロックはTI4入力にし、8ビットタイマ (タイマ0, 1) のタイマフリップフロップTFF1の立ち上がりでキャプチャレジスタCAP1へ、立ち下がりでCAP2へアップカウンタ (UC4) の値を取り込みます。

周波数は8ビットタイマの割り込み (INTT0またはINTT1) でキャプチャレジスタCAP1, CAP2の差より求めます。

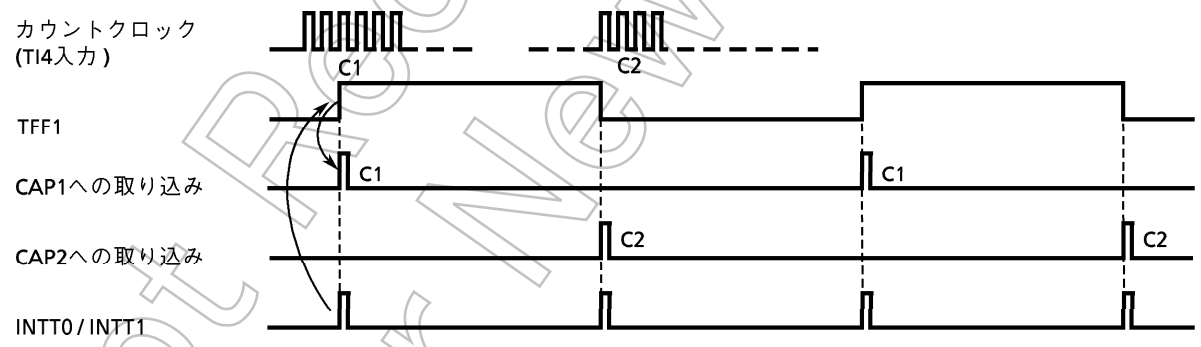


図3.8 (12) 周波数測定

例えば、8ビットタイマによるTFF1の "1" レベル幅の設定値が0.5 sで、CAP1とCAP2の差が100であれば、周波数は100÷0.5 [s]＝200 [Hz] となります。

Not Recommended for New Design

③ パルス幅測定

外部パルスの "H" レベルの幅を測定するモードで、TI4端子に外部パルスを入力し、16ビットタイマ/イベントカウンタを内部クロックでフリーランニングでカウントアップさせておき、キャプチャ機能で、外部パルスの立ち上がり/立ち下がりそれぞれのエッジでトリガをかけて、キャプチャレジスタCAP1, CAP2にアップカウンタ (UC4) の値を取り込みます。TI4端子の立ち下がりにより、INT4が発生します。

CAP1, CAP2の差と内部クロックの周期によりパルス幅を求めることができます。

例えば、CAP1とCAP2の差が100で、内部クロックが0.8 μsであれば、パルス幅は、100×0.8 μs＝80 μsとなります。

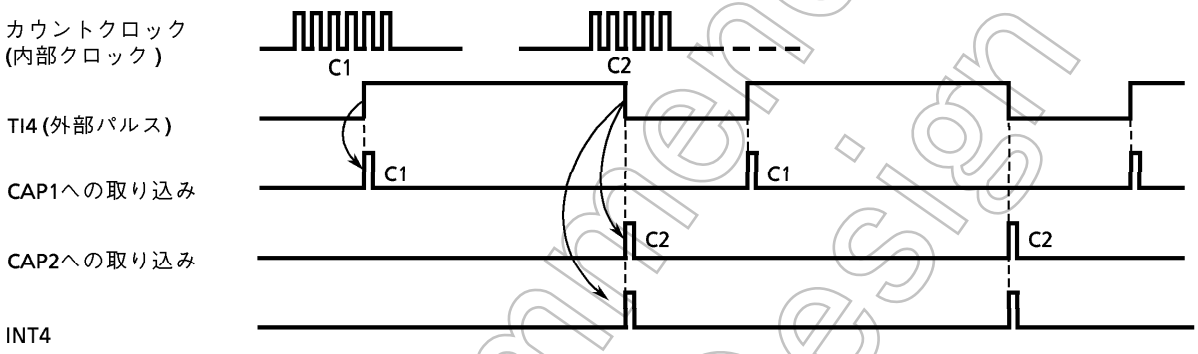


図3.8 (13) パルス幅測定

(注) このパルス幅測定モードT4MOD ＜CAP12M1, 0＞＝10 のときのみ、外部割り込みINT4は、TI4入力の立ち下がりエッジで発生します。他のモードでは立ち上がりエッジで発生します。

"L" レベルの幅を測定する場合は、2回目のINT4割り込みで1回目のC2と2回目のC1の差より求めることができます。

④ 時間差測定

TI4, TI5の各端子への、外部パルス入力の立ち上がりエッジ間の、時間差を測定するモードです。

16ビットタイマ/イベントカウンタ (タイマ4) を、内部クロックでフリーランニングでカウントアップさせておき、TI4への入力パルスの立ち上がりエッジ検出で、アップカウンタUC4の値が、キャプチャレジスタCAP1へ取り込まれ、INT4割り込みが発生します。

TI5への入力パルスの立ち上がりエッジ検出で、同様にアップカウンタUC4の値がCAP2へ取り込まれ、INT5割り込みが発生します。

CAP1, CAP2ともに取り込みが終わった時点で両者の差から時間差を得ることができます。

Not Recommended for New Design

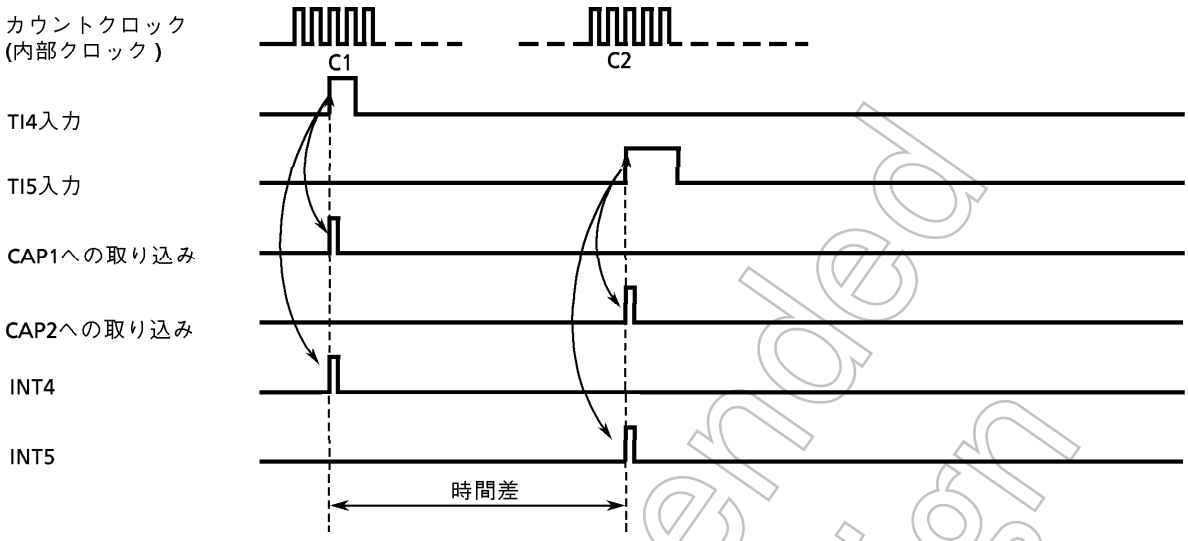


図3.8 (14) 時間差測定

(5) 位相出力モード

アップカウンタUC4をフリーランニングさせ、任意の位相差をもつ信号を出力します。

アップカウンタUC4とTREG4, TREG5との一致により、それぞれTFF4, TFF5を反転させ、その値をTO4, TO5に出力します。

このモードは16ビットタイマ4でのみ使用できます。

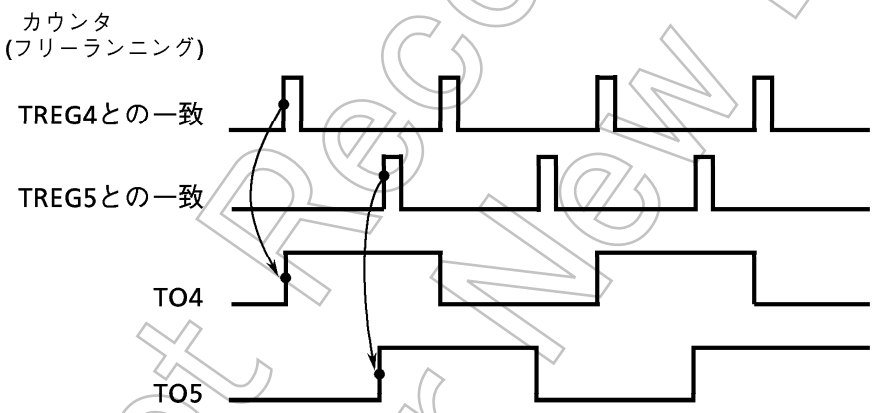


図3.8 (15) 位相出力

上記出力波形の周期(カウンタのオーバフロー時間)は、下記のようになります。

	16 MHz	20 MHz
ϕT1	32.768 ms	26.214 ms
ϕT4	131.072 ms	104.856 ms
ϕT16	524.288 ms	419.424 ms

Not Recommended for New Design

3.9 パターンジェネレータ/ステッピングモータコントロール

TMP96C031Zは、タイマ(8ビット/16ビット)と連動するパターンジェネレータ/ステッピングモータコントロールポート(以下PGと略します)を4ビット2チャンネル(PG0, PG1)内蔵しています。このPGは、8ビットの入出力ポートP6と兼用です。

2つのチャネルのうちチャネル0(PG0)は、8ビットタイマ0, 1または16ビットタイマ4と連動し、チャネル1(PG1)は8ビットタイマ2, 3または16ビットタイマ4と連動して出力を変更します。

PGは、コントロールレジスタ(PG01CR)によって制御され、パターンジェネレーションモード、ステッピングモータコントロールモードを選択することができます。

また、PG出力はポート6と兼用しており、ポート6の任意のビットをPG出力とすることができます。

チャネル0(PG0)とチャネル1(PG1)はそれぞれ独立に動作します。

下記の点を除いて、いずれのチャネルも同一の動作をしますのでチャネル0(PG0)の場合についてのみ説明します。

PG0, 1相違点

	PG0	PG1
タイマのトリガ信号	8ビットタイマ0, 1 16ビットタイマ4	8ビットタイマ2, 3 16ビットタイマ4

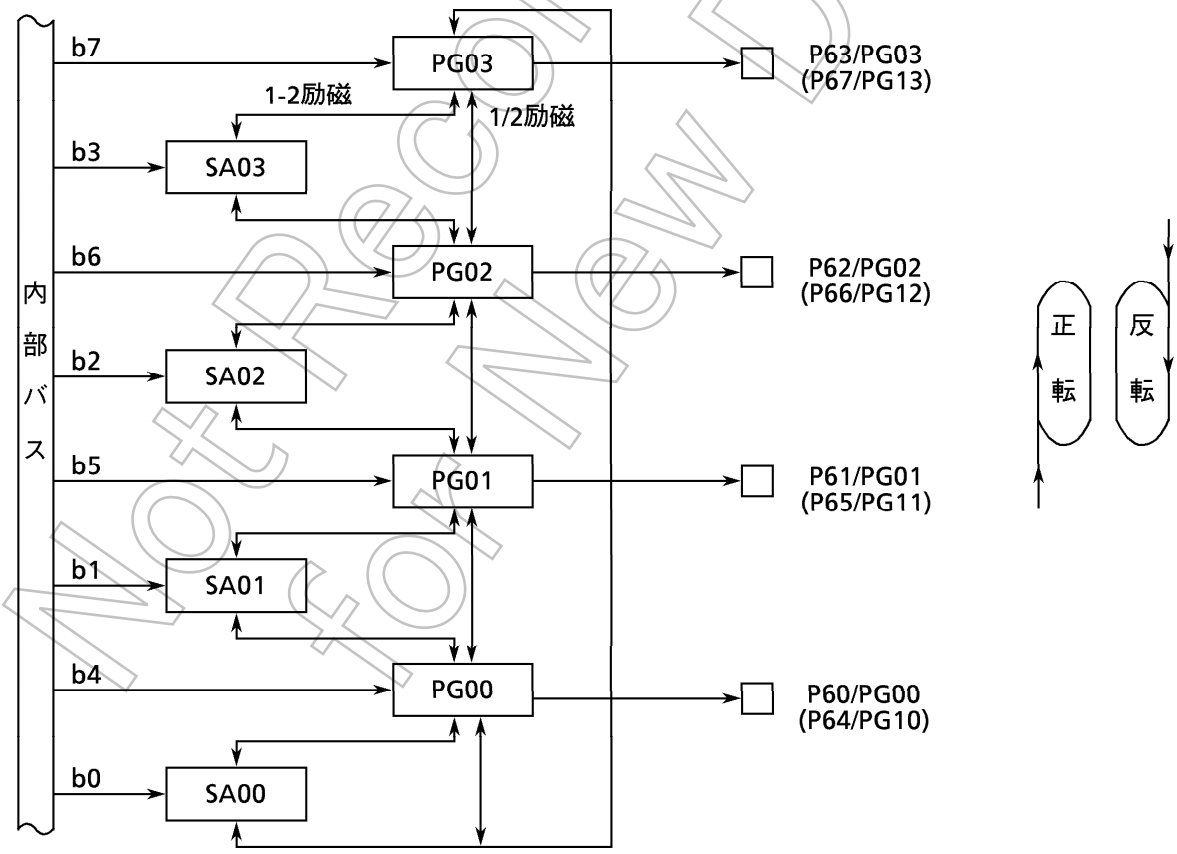


図3.9 (1) パターンジェネレータ/ステッピングモータコントロールブロック図

Not Recommended for New Design

PG01CR (004EH)

	7	6	5	4	3	2	1	0
bit Symbol	PAT1	CCW1	PG1M	PG1TE	PAT0	CCW0	PG0M	PG0TE
Read/Write	R/W				R/W			
リセット後	0	0	0	0	0	0	0	0
機　能	PG1書き込みモード 0: 8 bit write 1: 4 bit write	PG1 回転方向 0: 正転 1: 反転	PG1モード(励磁) 0: 1励磁 or 2励磁 1: 1-2励磁	PG1トリガ入力イネーブル 0: ディセーブル 1: イネーブル	PG0書き込みモード 0: 8 bit write 1: 4 bit write	PG0 回転方向 0: 正転 1: 反転	PG0モード(励磁) 0: 1励磁 or 2励磁 1: 1-2励磁	PG0トリガ入力イネーブル 0: ディセーブル 1: イネーブル

PG0トリガ入力イネーブル

0	PG0ブロックへのトリガ入力ディセーブル
1	PG0ブロックへのトリガ入力イネーブル

PG0動作モード設定

0	1励磁または2励磁 (フルステップ)
1	1-2励磁 (ハーフステップ) / PGモード

PG0 (ステッピングモータコントロール)
回転方向制御

0	正転 / PGモード
1	反転

PG0書き込みモードの選択

0	8ビット書き込み
1	4ビット書き込み / PGモード (シフトオルタネートレジスタのみ書き込み)

Not Recommended for New Design

図3.9 (2 a) パターンジェネレータコントロールレジスタ (PG01CR)

PG01CR (004EH)

	7	6	5	4	3	2	1	0
bit Symbol	PAT1	CCW1	PG1M	PG1TE	PAT0	CCW0	PG0M	PG0TE
Read/Write	R/W				R/W			
リセット後	0	0	0	0	0	0	0	0
機　能	PG1書き込みモード 0: 8 bit write 1: 4 bit write	PG1 回転方向 0: 正転 1: 反転	PG1モード(励磁) 0: 1励磁 or 2励磁 1: 1-2励磁	PG1トリガ入力イネーブル 0: ディセーブル 1: イネーブル	PG0書き込みモード 0: 8 bit write 1: 4 bit write	PG0 回転方向 0: 正転 1: 反転	PG0モード(励磁) 0: 1励磁 or 2励磁 1: 1-2励磁	PG0トリガ入力イネーブル 0: ディセーブル 1: イネーブル

PG1トリガ入力イネーブル

0	PG1ブロックへのトリガ入力ディセーブル
1	PG1ブロックへのトリガ入力イネーブル

PG1動作モード設定

0	1励磁または2励磁 (フルステップ)
1	1-2励磁 (ハーフステップ) / PGモード

PG1 (ステッピングモータコントロール) 回転方向制御

0	正転 / PGモード
1	反転

PG1書き込みモードの選択

0	8ビット書き込み
1	4ビット書き込み / PGモード (シフトオルタネートレジスタのみ書き込み)

Not Recommended for New Design

図3.9 (2 b) パターンジェネレータコントロールレジスタ (PG01CR)

PG0REG (004CH)

	7	6	5	4	3	2	1	0
bit Symbol	PG03	PG02	PG01	PG00	SA03	SA02	SA01	SA00
Read/Write	W				R/W			
リセット後	0	0	0	0	不　定			
機　能	パターンジェネレータ0 (PG0) 出力ラッチレジスタ (PG出力に設定されたポート (P6) を読むことにより、リード可能)				シフタオルタネートレジスタ0 PGモード (4 bitライト) 対応レジスタ			

リードモディファイ
ライトできません。

図3.9 (3) パターンジェネレータ0レジスタ (PG0REG)

PG1REG (004DH)

	7	6	5	4	3	2	1	0
bit Symbol	PG13	PG12	PG11	PG10	SA13	SA12	SA11	SA10
Read/Write	W				R/W			
リセット後	0	0	0	0	不　定			
機　能	パターンジェネレータ1 (PG1) 出力ラッチレジスタ (PG出力に設定されたポート (P6) を読むことにより、リード可能)				シフタオルタネートレジスタ1 PGモード (4 bitライト) 対応レジスタ			

リードモディファイ
ライトできません。

図3.9 (4) パターンジェネレータ1レジスタ (PG1REG)

Not Recommended for New Design

T45CR (003AH)

	7	6	5	4	3	2	1	0
bit Symbol	–				PG1T	PG0T		DB4EN
Read/Write	R/W				R/W			R/W
リセット後	0				0	0		0
機　能	"0" 固定 ※ 読み出すと常に "0" になります。				PG1シフトトリガ 0:8ビットタイマトリガ(タイマ2, 3) 1:16ビットタイマトリガ(タイマ4)	PG0シフトトリガ 0:8ビットタイマトリガ(タイマ0, 1) 1:16ビットタイマトリガ(タイマ4)		TREG4のダブルバッファ 0: Disable 1: Enable

ダブルバッファ制御

0	ディセーブル
1	イネーブル

DB6EN : TREG6のダブルバッファ
DB4EN : TREG4のダブルバッファ

PG0シフトトリガ選択

0	8ビットタイマトリガ (タイマ0, 1)
1	16ビットタイマトリガ (タイマ4)

PG1シフトトリガ選択

0	8ビットタイマトリガ (タイマ2, 3)
1	16ビットタイマトリガ (タイマ4)

他のビットに書き込む場合、このビットには常に "0" を書き込んでください。

Not Recommended for New Design

図3.9 (5) 16ビットタイマトリガコントロールレジスタ (T45CR)

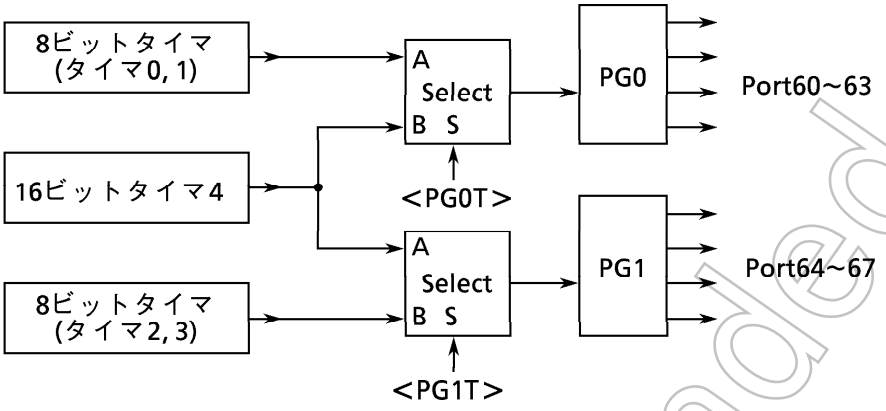


図3.9 (6) タイマとパターンジェネレータの接続関係

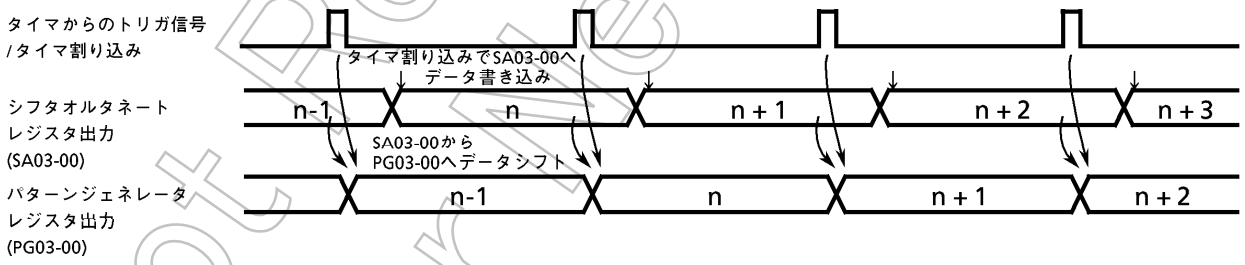
(1) パターンジェネレーションモード

PGは、PG01CRの <PAT0>, <PAT1> の設定により、パターンジェネレータとして機能します。このモードでは、CPUからの書き込みがシフタオルタネートレジスタのみにしか行われないため、シフトトリガ用タイマの割り込み処理の中でPGへの書き込みを行い、タイマと連動しリアルタイムでパターンを出力することができます。

なお、このモードではPG01CR <PG0M>, <PG1M> は "1" に設定し、PG01CR <CCW0>, <CCW1> は "0" に設定してください。

また、このPGの出力はポート6へ出力されますが、ポートファンクションコントロール(P6CRL/P6CRH) によるビット単位のポート/ファンクション切り替えが可能なため、任意のポート端子をPG出力に割り付けることができます。

図3.9 (7) にこのモードのブロック図を示します。



パターンジェネレーションモードタイミング例

Not Recommended for New Design

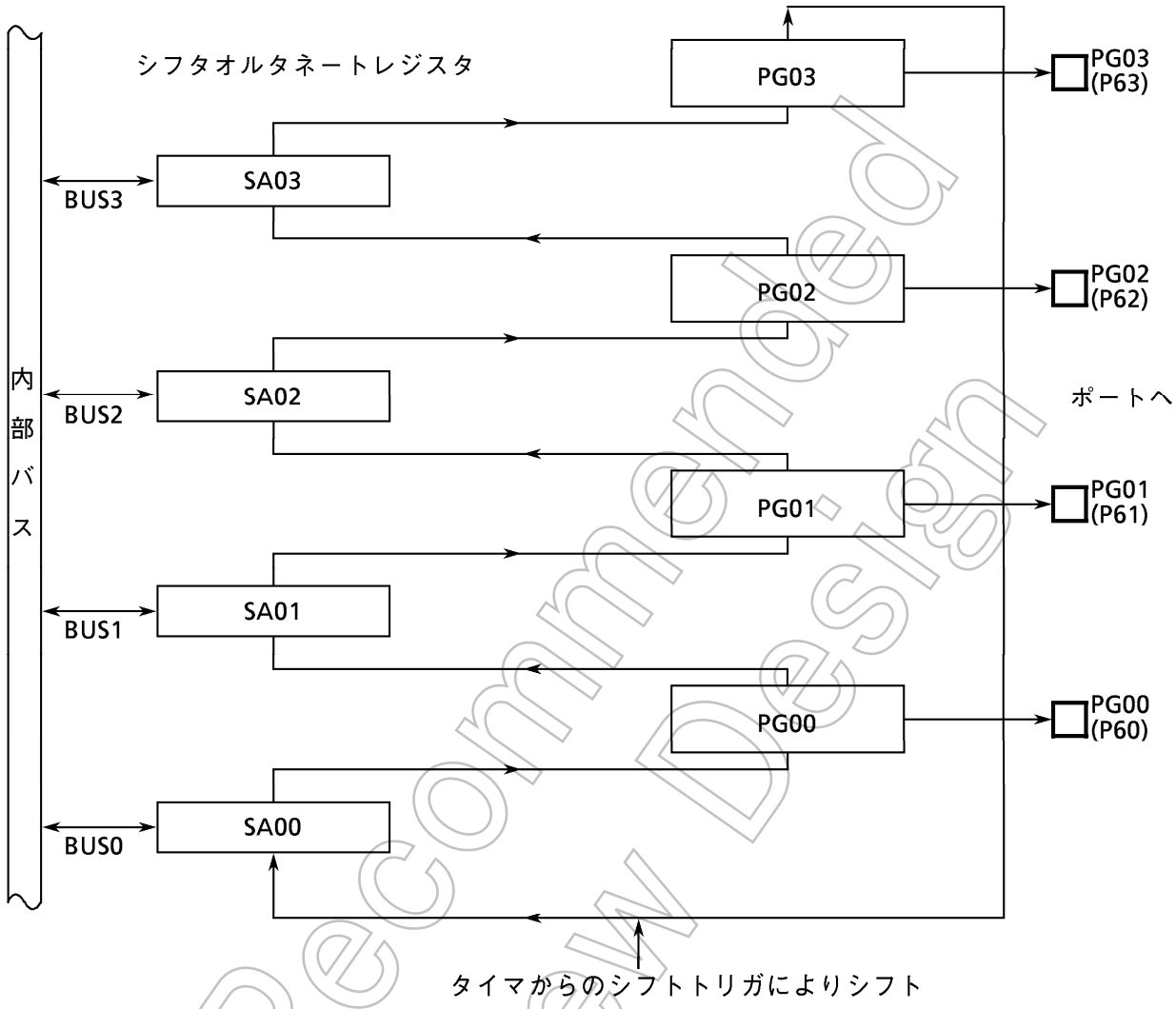


図3.9 (7) パターンジェネレーションモードのブロック図 (PG0)

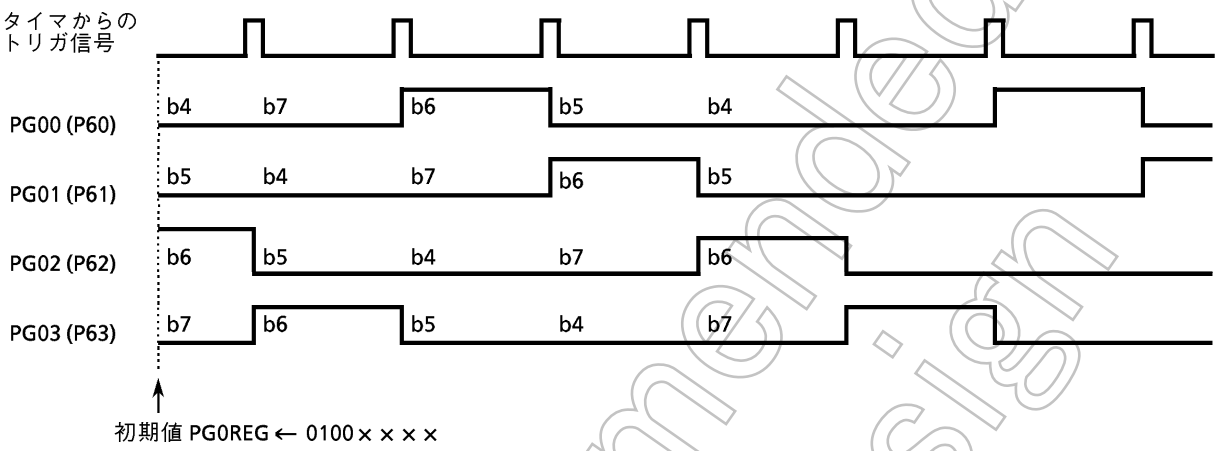
このパターンジェネレーションモードでは、ハード的に出力ラッチへの書き込みを禁止しているだけで、その他はステッピングモータコントロールモードの1-2励磁と同じ動作を行います。従って、タイマからのトリガ信号でシフトした後のデータ書き込みは、かならず次のトリガ信号が発生するまでに行う必要があります。

Not Recommended for New Design

(2) ステッピングモータコントロールモード

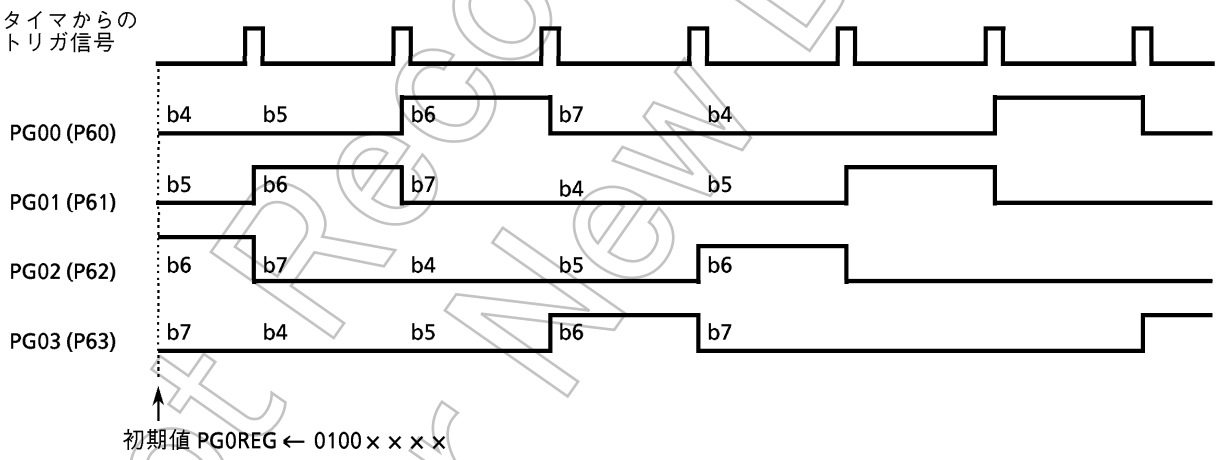
① 4相1励磁/2励磁

図3.9 (8) , (9)にチャネル0 (PG0) の場合の4相1励磁, 4相2励磁の出力波形を示します。



(注) bnは初期値PG0REG ←b7 b6 b5 b4××××を表します。

① 正 転



② 反 転

図3.9 (8) 4相1励磁の出力波形 (正転/反転)

Not Recommended for New Design

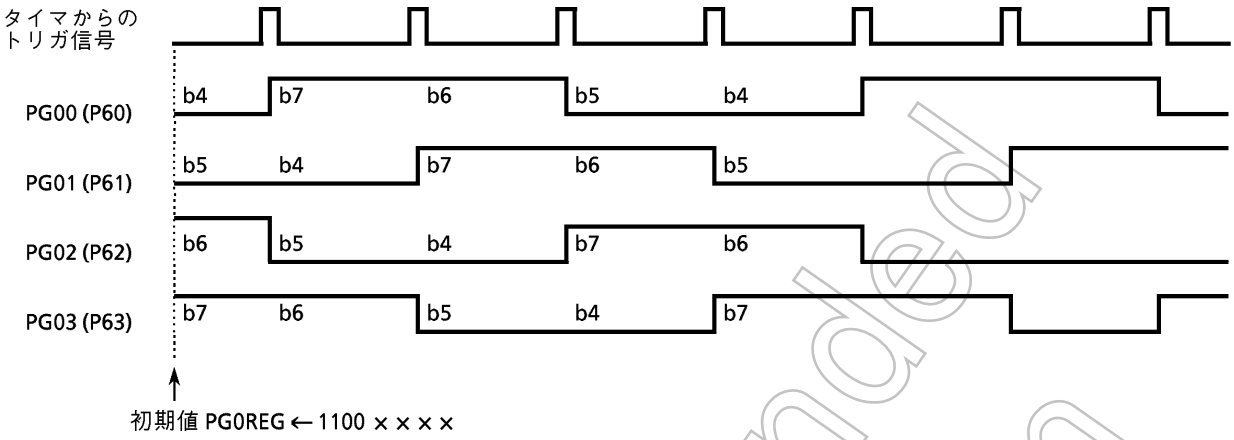


図3.9 (9) 4相2励磁の出力波形 (正転)

チャネル0の場合について説明します。

PG0 (P6と兼用) の出力ラッチが、タイマからのトリガ信号の立ち上がりで、シフトしポートに出力されます。

シフトの方向は、PG01CR<CCW0> で設定します。CCW0 を "0" にすると正転 (PG00→PG01→PG02→PG03) となり、"1" にすると反転 (PG00←PG01←PG02←PG03) となります。PGへの初期設定の際1ビットだけ "1" を設定すると4相1励磁となり、また連続する2ビットに "1" を設定すると4相2励磁となります。4相1励磁/2励磁の波形出力のときにはシフタオルタネートレジスタは無視されます。

図3.9 (10)にブロック図を示します。

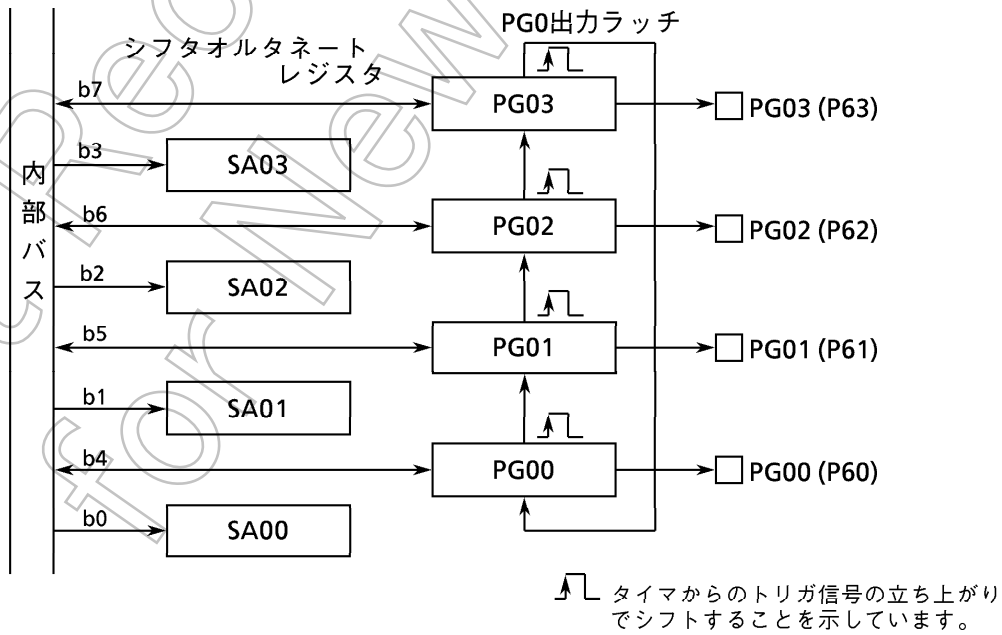
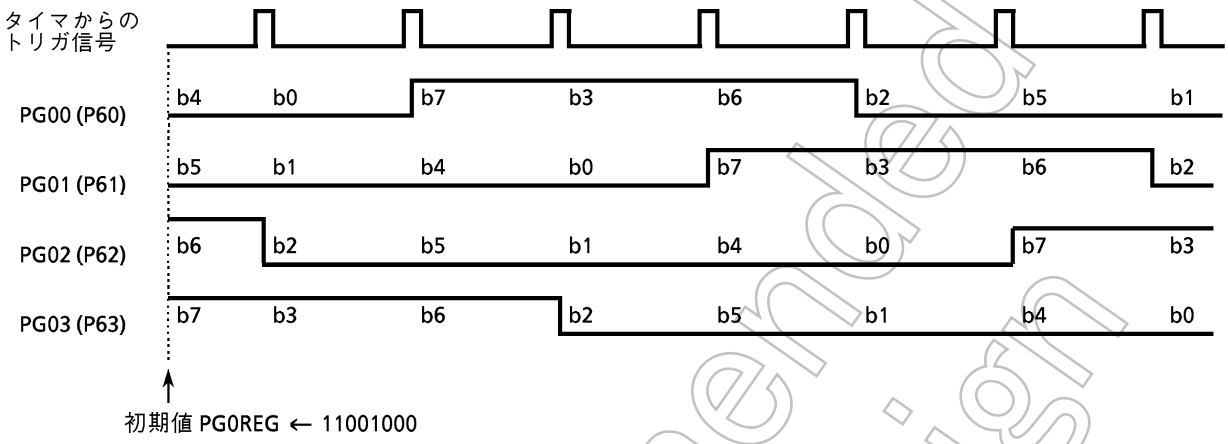


図3.9 (10) 4相1励磁/2励磁 (正転) のブロック図

Not Recommended for New Design

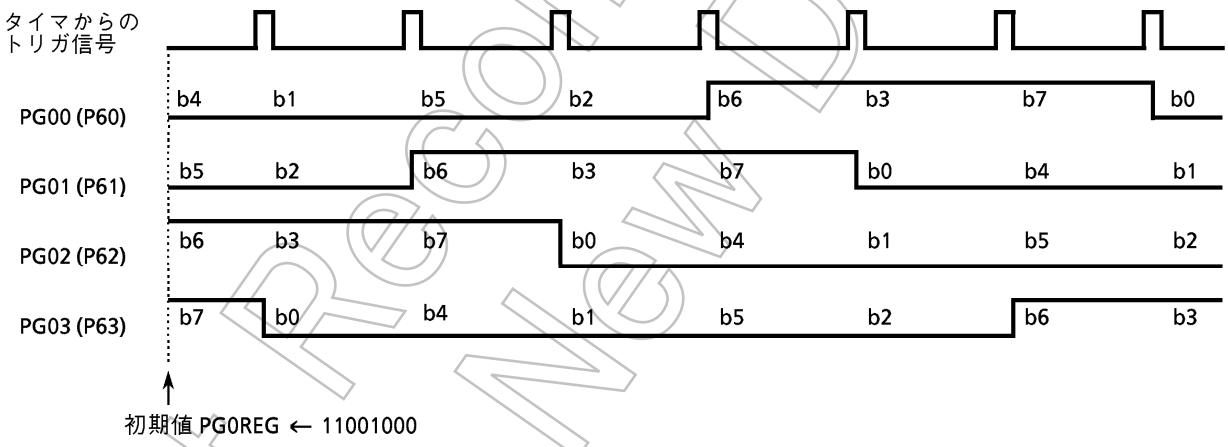
② 4相1-2励磁

図3.9 (11) にチャネル0の場合の4相1-2励磁の出力波形を示します。



(注) bnは初期値PG0REG ← b7 b6 b5 b4 b3 b2 b1 b0を表します。

① 正 転



② 反 転

図3.9 (11) 4相1-2励磁の出力波形 (正転/反転)

Not Recommended for New Design

4相1-2励磁の初期値の設定は次のとおりです。

初期値	b7 b6 b5 b4 b3 b2 b1 b0	を	b7 b3 b6 b2 b5 b1 b4 b0

と並べたとき連続する3ビットを“1”にし他のビットを“0”にします(正論理)。例えばb7, b3, b6を“1”にすると初期値は11001000となり図3.9 (11) のような出力波形が得られます。

負論理の出力波形を得たい場合は、初期値の“1”, “0”を反転した値を設定します。例えば図3.9 (11) の出力波形を負論理にする場合は、初期値を00110111にします。

チャネル0の場合について動作説明をします。

PG0 (P6と兼用) の出力ラッチとパターンジェネレータ用のシフタオルタネートレジスタ (SA0) が、タイマからのトリガ信号の立ち上がりで、シフトし、ポートへ出力されます。シフトの方向は、PG01CR<CCW0> で設定します。

図3.9 (12) にブロック図を示します。

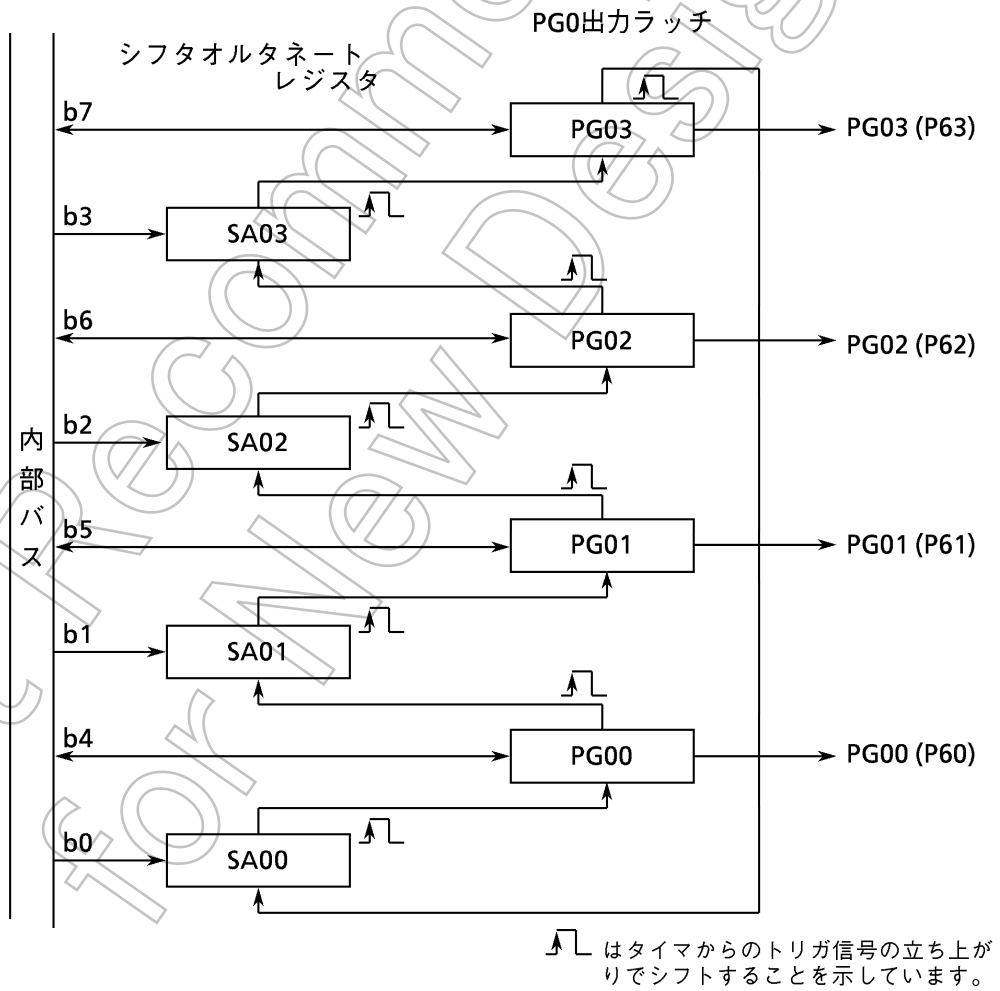


図3.9 (12) 4相1-2励磁 (正転) のブロック図

Not Recommended for New Design

例： チャネル0 (PG0) をタイマ0で4相1-2励磁 (正転) 駆動する場合、次のように各レジスタを設定します。

```
          7 6 5 4 3 2 1 0
TRUN    ← - X - - - - - 0      タイマ0を停止し、ゼロクリアします。
TMOD    ← 0 0 X X - - 0 1      8ビットタイマモード、入力クロックφT1にします。
TFFCR   ← X X X 0 1 0 1 0      TFF1をクリアし、タイマ0による反転トリガをイネーブル。
TREG0   ← * * * * * * * *      タイマレジスタに周期を設定します。
P6CRL   ← 1 0 1 0 1 0 1 0      P60～63の出力をPG出力に設定します。
PG01CR  ← - - - - 0 0 1 1      PG0を4相1-2励磁、正転に設定します。
PG0REG  ← 1 1 0 0 1 0 0 0      初期値を設定します。
TRUN    ← 1 X - - - - - 1      タイマ0を起動します。
```

(注) X ; don't care　- ; no change

(3) タイマからのトリガ信号

PGで使用するタイマからのトリガ信号は、タイマフリップフロップ(TFF1, 3, 4, 5) の反転トリガ信号とは一部異なります。表3.9 (1) に8ビットタイマの各動作モードによる、トリガ信号発生タイミングの違いを示します。

表3.9 (1) 8ビットタイマ0,1の場合 (タイマ2,3も同様です)

	TFF1の反転	PGのシフト
8ビット タイマモード	アップカウンタとTREG0または TREG1の一致時TFFCR＜TFF1IS＞ で選択	左記と同じタイミング
16ビット タイマモード	アップカウンタとTREG0, TREG1 両方の一致時 (アップカウンタ値 ＝TREG1*2^8＋TREG0)	左記と同じタイミング
PPG出力モード	アップカウンタとTREG0, TREG1 それぞれの一致時	アップカウンタとTREG1の一致時 (PPG周期)
PWM出力モード	アップカウンタとTREG0の一致時と、PWM周期	PGシフト用のトリガ信号は発生しません。

(注) PGをシフトさせる場合もTFFCR＜TFF1IE＞＝"1"にしてTFF1は反転イネーブルにしておく必要があります。

PGは、16ビットタイマT4と連動することができますが、この場合16ビットタイマからのPGシフトトリガ信号は、アップカウンタUC4とTREG5の一致時のみ発生します。T4からのトリガ信号を用いる場合は、T4FFCR＜EQ5T4＞, T4MOD＜EQ5T5＞のどちらかを"1"にし、TREG5との一致でトリガを発生させます。

Not Recommended for New Design

(4) PGとタイマ出力の応用

「タイマからのトリガ信号」の項で述べましたが、PGのシフトとTFFの反転するタイミングは、タイマのモードで異なります。ここでは8ビットタイマをPPG出力モードで動作させながらPGを動作させる場合の応用例を説明します。
ステッピングモータを駆動する場合、各相の値(PGの出力)とあわせて、励磁のきりかわるタイミングで同期信号を必要とすることがよくあります。本応用ではこの点に着目し、ポート6をステッピングモータコントロールポートとして使用し、TO1(P70と兼用)へ同期クロックを出力します。

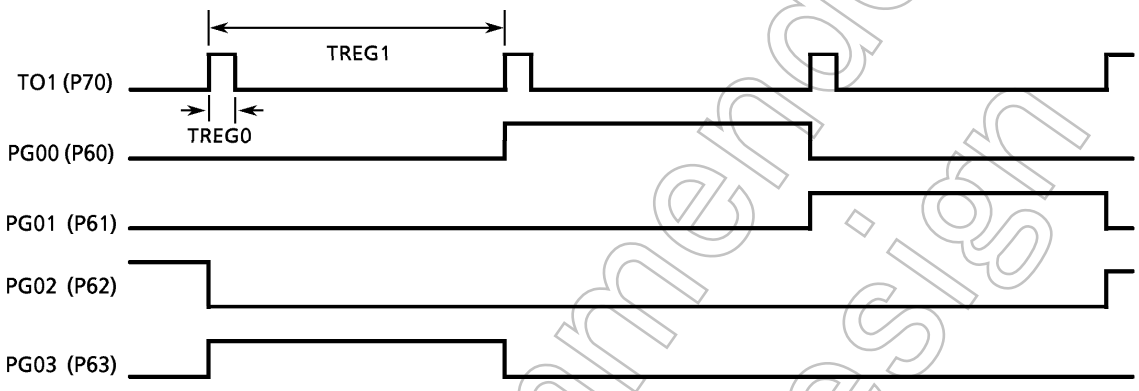


図3.9 (13) 4相1励磁の出力波形

設定例:

```
          7 6 5 4 3 2 1 0
TRUN    ← - X - - - - 0 0   タイマ0,1を停止しゼロクリア。
TMOD    ← 1 0 X X X X 0 1   タイマ0,1をPPGモード、入力クロックをφT1。
TFFCR   ← X X X 0 0 1 1 X   TFF1を反転イネーブル"1"にセット。
TREG0   ← * * * * * * * *   TO1のデューティをセットします。
TREG1   ← * * * * * * * *   TO1の周期をセットします。
P7CR    ← - - - - - - 1 0   P70をTO1端子に設定します。
P6CRL   ← 1 0 1 0 1 0 1 0   P60~P63をPG0端子に設定します。
PG01CR  ← - - - - 0 0 0 1   PG0を4相1励磁に設定します。
PG0REG  ← * * * * * * * *   初期値を設定します。
TRUN    ← 1 X - - - - 1 1   タイマ0,1を起動します。
```

(注) X : don't care - : no change

Not Recommended for New Design

3.10 シリアル チャネル

TMP96C031Zは、シリアル入出力を2チャネル内蔵しています。チャネル0は、全二重非同期通信(UART) 専用、チャネル1は、UART (ただし、CTSコントロールがありません) 用およびI/O拡張用のシリアル入出力 (I/Oインタフェースモード) を内蔵しています。

シリアルチャネルの動作モードは下記のとおりです。

- I/Oインタフェース モード (チャネル1のみ) ―― モード0 : I/Oを拡張するためのI/Oデータの送受信とその同期信号 (SCLK) の送受信を行うモードです。
- 非同期通信 (UART) モード (チャネル0, 1)
  - モード1 : 送受信データ長 7ビット
  - モード2 : 送受信データ長 8ビット
  - モード3 : 送受信データ長 9ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアル リンク (マルチ コントローラ システム) でスレーブ コントローラを起動させるためのウェイクアップ機能を有しています。

各モードにおけるデータ フォーマット(1フレーム分)を図3.10 (1) に示します。

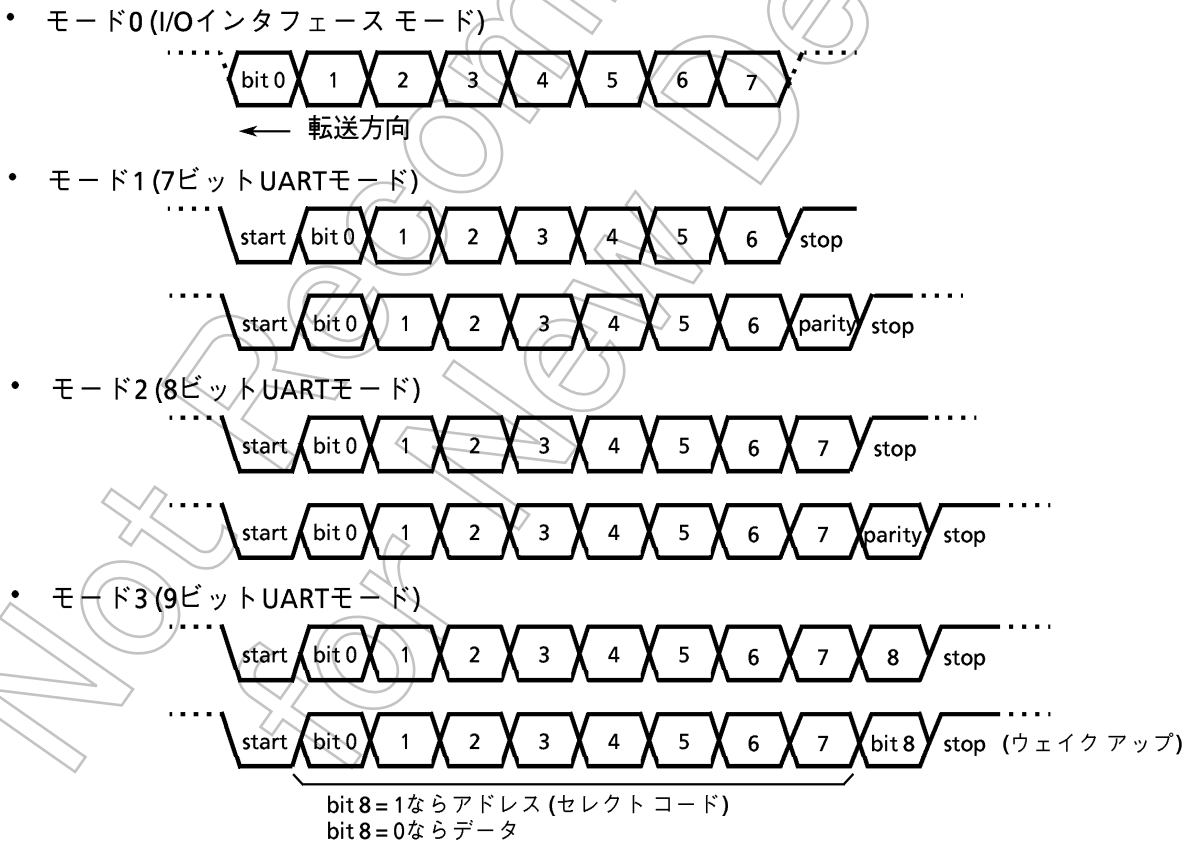


図3.10 (1) データフォーマット

Not Recommended for New Design

シリアルチャネルは、それぞれ、送信用、受信用にデータを一時的に格納するためのバッファレジスタを備えているため、送信、受信が独立に行えます。(全二重)

ただし、I/Oインタフェースモードでは、SCLK (シリアルクロック) が送受信共用のため半二重になります。

受信用のバッファレジスタは、オーバランエラーの発生を防げるようにダブルバッファ構造となっており、CPUが受信データを読みとるまで1フレーム分の余裕を持っています。すなわち、受信バッファはすでに受信したデータを格納し、バッファレジスタで次のフレームのデータを受信します。

また、$\overline{\text{CTS}}$と$\overline{\text{RTS}}$ ($\overline{\text{RTS}}$端子はありません。任意のポート、1端子をソフトウエアでコントロールする必要があります。) を用いることにより、1フレーム受信ごとに、CPUが受信データを読みとるまで、送信を停止させることもできます。(ハンドシェイク機能)

UARTモードでは、ノイズなどに起因する誤ったスタートビットによって、受信動作が開始されないように、チェック機能が付加されています。これは、3回スタートビットをサンプリングして、2回以上正常なスタートビットとして検出された場合のみ、受信開始する機能です。

送信バッファが空になり、次に送信すべきデータをCPUへ要求するとき、または受信バッファにデータが格納され、CPUへ読み取りを要求するとき、それぞれINTTX、INTRX割り込みを発生します。

また、受信動作において、オーバランエラー、パリティエラー、フレーミングエラーの発生により、それぞれのフラグSC0CR/SC1CRの<OERR, PERR, FERR>がセットされます。

シリアルチャネル0/1は、専用のボーレートジェネレータを有し、9ビットプリスケーラ (8/16ビットタイマと共用) からの内部入力クロック (ϕT0, ϕT2, ϕT8, ϕT32) を2~16分周することにより、任意のボーレートを設定することができます。

また、I/Oインタフェースモードでは、同期信号 (SCLK) の入力動作も可能で、外部クロックによるデータの送受信が行えます。

3.10.1 コントロールレジスタ

各シリアルチャネルは、3つのコントロールレジスタ (チャネル0ではSC0CR, SC0MOD, BR0CR) によって制御されています。また送受信データは、同チャネルのSC0BUFレジスタに格納されます。

Not Recommended for New Design

SC0MOD (0052H)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	送信データ ビット8	ハンドシェイク機能制御 0: CTS ディセーブル 1: CTS イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: 使用できません。 01: 7ビット長 UARTモード 10: 8ビット長 UARTモード 11: 9ビット長 UARTモード		シリアル転送クロック (UART用) 00: TO0トリガ 01: ボーレートジェネレータ 10: 内部クロックΦ1 11: don't care	

シリアル転送クロック (UART用)

00	タイマ0の一致検出信号
01	ボーレートジェネレータ
10	内部クロックΦ1
11	don't care

シリアル転送モード

00	使用できません	
01	UARTモード	7ビット長
10		8ビット長
11		9ビット長

ウェイクアップ機能

	9ビットUART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1のときのみ割り込み	

受信制御

0	受信禁止
1	受信許可

ハンドシェイク機能 ($\overline{\text{CTS}}$端子) イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

送信データ ビット8

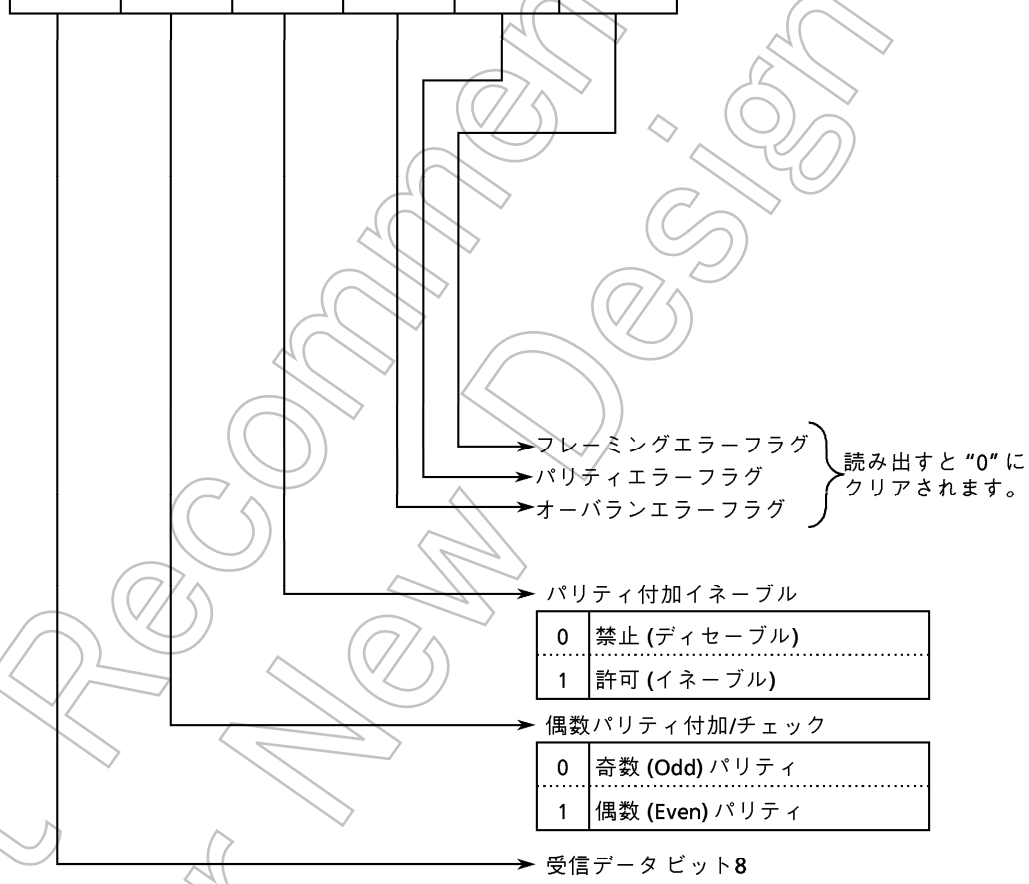
Not Recommended for New Design

(注) チャネル1用は、SC1MOD (56H) にあります。

図3.10 (2) シリアルモードコントロールレジスタ(チャネル0用、SC0MOD)

SC0CR (0051H)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	—	—
Read/Write	R	R/W		R (Readすると0クリアされます。)			R/W	
リセット後		0	0	0	0	0	0	0
機　能	受信データ ビット8	パリティ 0: Odd 1: Even	パリティ付加 0: 禁止 1: 許可	1: エラー			"0"に固定	"0"に固定
				オーバラン	パリティ	フレーミング		



(注) チャネル1用は、SC1CR (55H) にあります。
(注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.10 (3) シリアルコントロールレジスタ(チャネル0用、SC0CR)

Not Recommended for New Design

BR0CR (0053H)

	7	6	5	4	3	2	1	0
bit Symbol	ー		BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機　　能	"0"に固定		00: ϕT0 (fc/4) 01: ϕT2 (fc/16) 10: ϕT8 (fc/64) 11: ϕT32 (fc/256)		分周値の設定			

ボーレートジェネレータの分周値の設定

0000	16分周
0001	設定不可
0010	2分周
∫	∫
1111	15分周

ボーレートジェネレータの入力クロックの選択

00	内部クロックϕT0 (fc/4)
01	内部クロックϕT2 (fc/16)
10	内部クロックϕT8 (fc/64)
11	内部クロックϕT32 (fc/256)

(注) チャネル1用は、BR1CR (57H) にあります。

(注) ボーレートジェネレータを使用するときは、TRUN<PRRUN> = "1" に設定してプリスケーラをRUN状態にしてください。

図3.10 (4) ボーレートジェネレータコントロール (チャネル0用、BR0CR)

SC0BUF (50H)

7	6	5	4	3	2	1	0	
TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0	(送信用)
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	(受信用)

図3.10 (5) シリアル送受信バッファレジスタ (チャネル0用, SC0BUF)

Not Recommended for New Design

SC1MOD (0056H)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	—	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	不定	0	0	0	0	0	0	0
機　能	送信データ ビット8	"0"に固定	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7ビット長 UARTモード 10: 8ビット長 UARTモード 11: 9ビット長 UARTモード		シリアル転送クロック (UART用) 00: TO0 トリガ 01: ボーレート ジェネレータ 10: 内部クロックΦ1 11: don't care	

シリアル転送クロック (UART用)

00	タイマ0の一致検出信号
01	ボーレートジェネレータ
10	内部クロックΦ1
11	don't care

(注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC1CR) で、クロックを選択します。

シリアル転送モード

00	I/O インタフェースモード	
01	UARTモード	7ビット長
10		8ビット長
11		9ビット長

ウェイクアップ機能

	9ビットUART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1のときのみ割り込み	

受信制御

0	受信禁止
1	受信許可

送信データ ビット8

Not Recommended for New Design

図3.10 (6) シリアルモードコントロールレジスタ(チャネル1用、SC1MOD)

SC1CR (0055H)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Readすると0クリアされます。)			R/W	
リセット後		0	0	0	0	0	0	0
機　能	受信データビット8	パリティ 0: Odd 1: Even	パリティ付加 0: 禁止 1: 許可	1: エラー オーバラン	パリティ	フレーミング	0: SCLK1 ( ) 1: SCLK1 ( )	0: ボーレートジェネレータ 1: SCLK1端子入力

I/O インタフェース入力クロック選択 (注1)

0	ボーレートジェネレータ
1	SCLK1 端子入力

(注1) チャネル0では、このビットを "0" に固定しておいてください。

SCLK1入力動作時のエッジ選択 (注1)

0	SCLK1の立ち上がりエッジ ( ) でデータの送受信
1	SCLK1の立ち下がりエッジ ( ) でデータの送受信

フレーミングエラーフラグ
パリティエラーフラグ
オーバランエラーフラグ
} 読み出すと "0" にクリアされます。

パリティ付加イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

偶数パリティ付加/チェック

0	奇数 (Odd) パリティ
1	偶数 (Even) パリティ

受信データ ビット8

Not Recommended for New Design

(注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.10 (7) シリアルコントロールレジスタ(チャネル1用、SC1CR)

BR1CR (0057H)

	7	6	5	4	3	2	1	0
bit Symbol	—		BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機　　能	"0"に固定		00: φT0 (fc/4) 01: φT2 (fc/16) 10: φT8 (fc/64) 11: φT32 (fc/256)		分周値設定			

ボーレートジェネレータの分周値の設定

0000	16分周
0001	設定不可
0010	2分周
∫	∫
1111	15分周

ボーレートジェネレータの入力クロックの選択

00	内部クロックφT0 (fc/4)
01	内部クロックφT2 (fc/16)
10	内部クロックφT8 (fc/64)
11	内部クロックφT32 (fc/256)

(注) ボーレートジェネレータを使用するときは、TRUN<PRRUN> = "1" に設定してプリスケーラをRUN状態にしてください。

図3.10 (8) ボーレートジェネレータコントロールレジスタ (チャネル0用、BR0CR)

SC1BUF (0054H)

7	6	5	4	3	2	1	0	
TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0	(送信用)

7	6	5	4	3	2	1	0	
RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	(受信用)

図3.10 (9) シリアル送受信バッファレジスタ (チャネル1用, SC1BUF)

Not Recommended for New Design

ポート6コントロールレジスタL

P6CRL (0014H)

	7	6	5	4	3	2	1	0
bit Symbol	P63C1	P63C0	P62C1	P62C0	P61C1	P61C0	P60C1	P60C0
Read/Write	W		W		W		W	
リセット後	0	0	0	0	0	0	0	0
機　能	00: PORT入力 01: PORT出力 10: PG03 11: —		00: PORT入力 01: PORT出力 10: PG02 11: —		00: PORT入力 01: PORT出力 10: PG01 11: —		00: PORT入力 01: PORT出力 10: PG00 11: TXD0	

リードモディファイ
ライトできません。

P60のTXD0出力設定

00	ポート入力
01	ポート出力
10	PG00出力
11	TXD0 (チャネル0) 出力

ポート7コントロールレジスタH

P7CRH (0017H)

	7	6	5	4	3	2	1	0
bit Symbol			P76C1	P76C0	P75C1	P75C0	P74C1	P74C0
Read/Write			W		W		W	
リセット後			0	0	0	0	0	0
機　能			00: PORT入力 01: PORT出力 10: SCLK1 11: —		00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: TXD1 11: —	

リードモディファイ
ライトできません。

P74のTXD1出力設定

00	ポート入力
01	ポート出力
10	TXD1 (チャネル1) 出力

P76のSCLK1出力設定

00	ポート入力
01	ポート出力
10	SCLK1 (チャネル1) 出力

Not Recommended for New Design

図3.10 (10) ポート6, 7コントロールレジスタ

ODE (0058H)

	7	6	5	4	3	2	1	0
bit Symbol							ODE1	ODE0
Read/Write							R/W	
リセット後							0	0
機　　能							P74 0: CMOS 1: OPEN Drain	P60 0: CMOS 1: OPEN Drain

P60 のオープンドレイン 出力設定

0	CMOS 出力
1	オープンドレイン出力

P74 のオープンドレイン 出力設定

0	CMOS 出力
1	オープンドレイン出力

図3.10 (11) シリアルオープンドレインイネーブルレジスタ (ODE)

Not Recommended for New Design

3.10.2 構 成

図3.10 (12) にシリアルチャネル0のブロック図を示します。

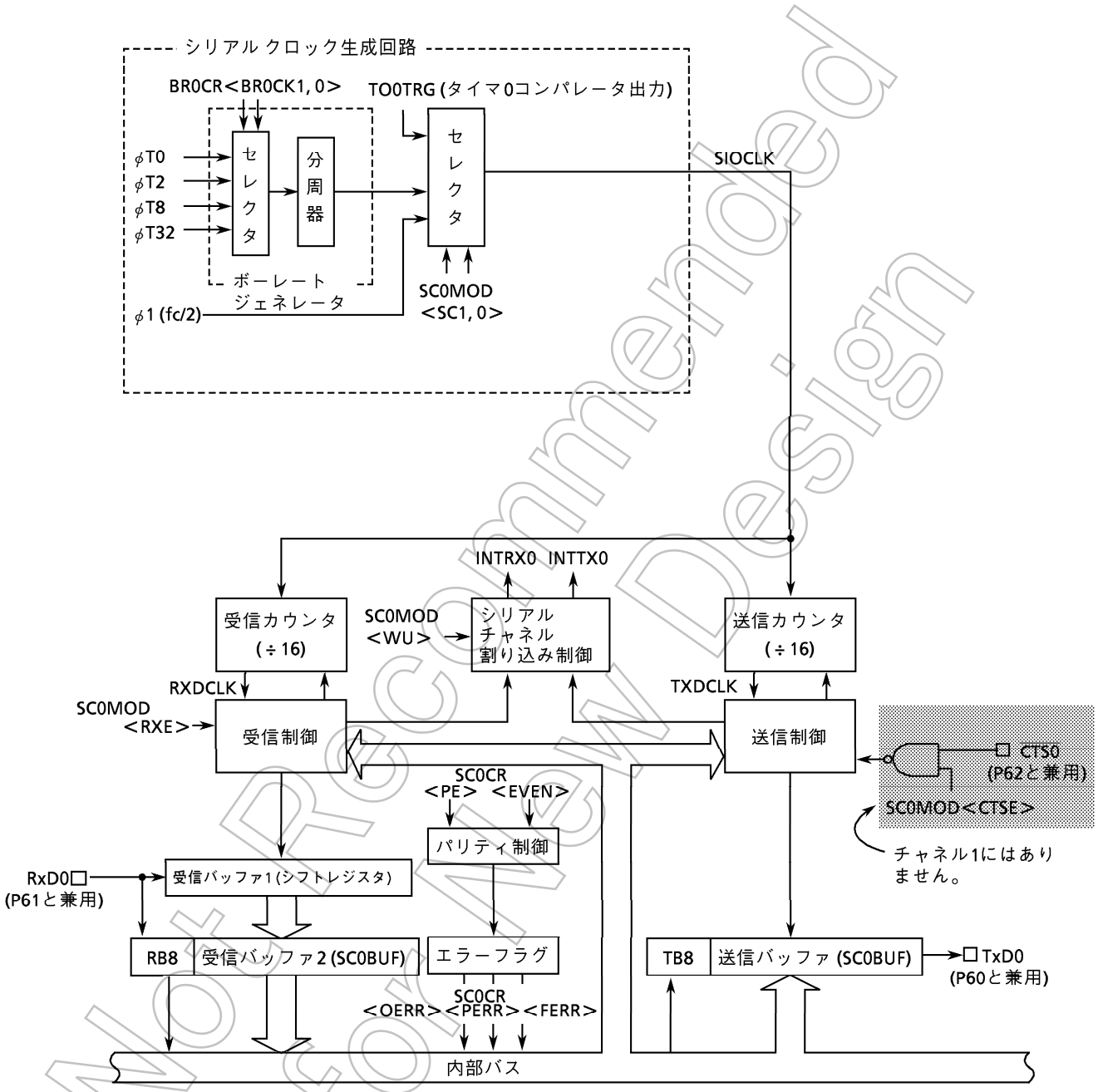


図3.10 (12) シリアルチャネル0のブロック図

Not Recommended for New Design

図3.10 (13) にシリアルチャネル1のブロック図を示します。

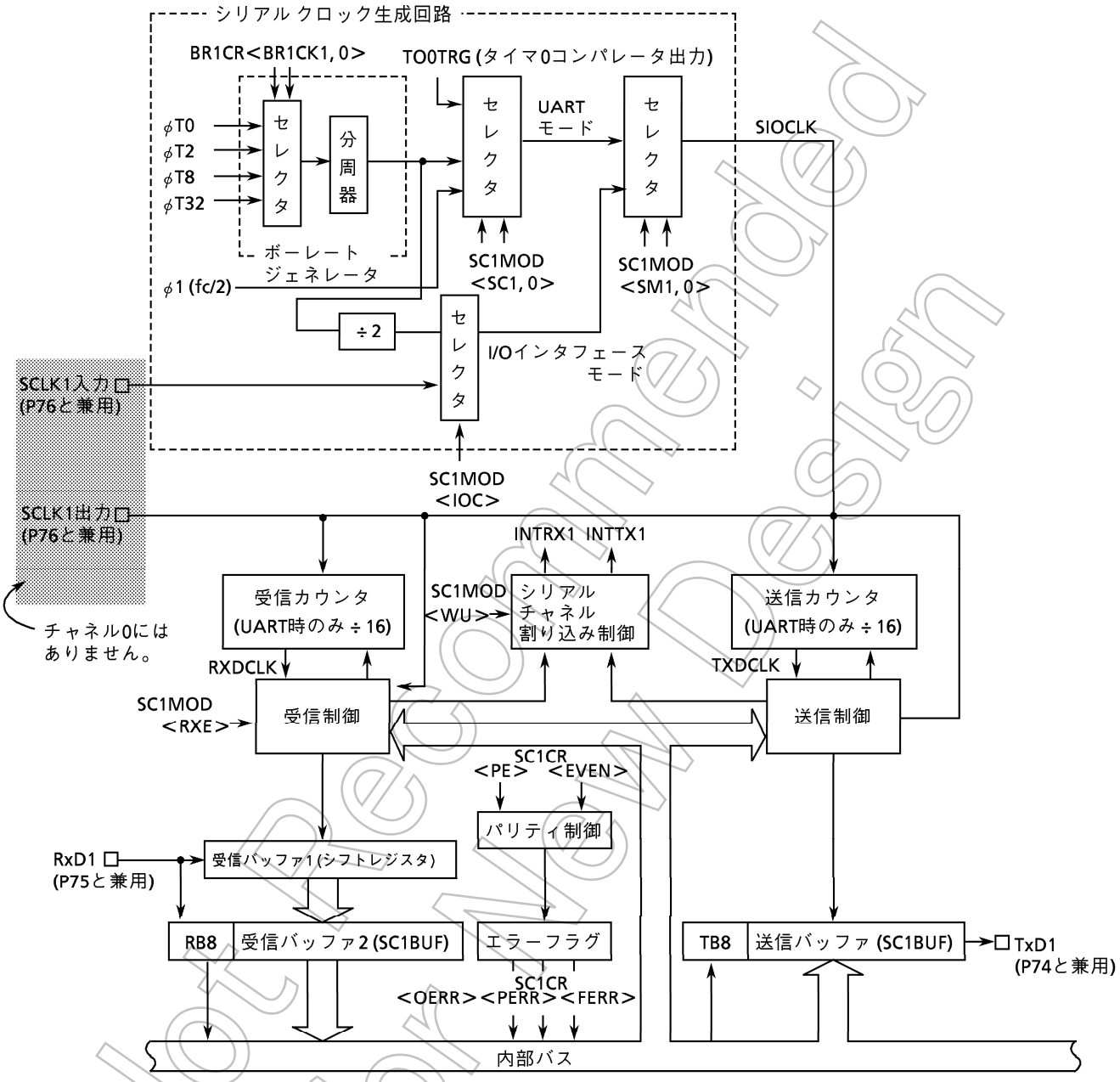


図3.10 (13) シリアル チャネル1のブロック図

Not Recommended for New Design

① ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックはタイマと共用の9ビットプリスケーラより、ϕT0 (fc/4), ϕT2 (fc/16), ϕT8 (fc/64), ϕT32 (fc/256)を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタBR0CR/BR1CRのビット5, 4<BR0CK1, 0>/<BR1CK1, 0>で設定します。

ボーレートジェネレータは、4ビットの分周器を内蔵しており、この分周器にて、2~16分周を行い転送速度を決定します。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UARTモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/Oインタフェースモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

入力クロックと原振(fc)との関係は、

ϕT0 = fc/4
ϕT2 = fc/16
ϕT8 = fc/64
ϕT32 = fc/256 となります。

従って原振fc=12.288 MHzで入力クロックϕT2 (fc/16)、分周値=5の場合のUARTモードのボーレートは、

$$\text{Baud Rate} = \frac{fc/16}{5} \div 16$$
$$= 12.288 \times 106 \div 16 \div 5 \div 16 = 9600\ (\text{bps})$$ となります。

表3.10 (1) にUARTモードのボーレートの例を示します。

シリアルチャネルのUARTモードでは、8ビットタイマ0を使ってボーレートを得ることもできます。タイマ0を使用したボーレートの例を表3.10 (2) に示します。

Not Recommended for New Design

表3.10 (1)　UARTボーレートの選択 (1) (ボーレートジェネレータ使用)　単位 (kbps)

fc [MHz]	入力クロック / 分周値	φT0 (fc/4)	φT2 (fc/16)	φT8 (fc/64)	φT32 (fc/256)
9.830400	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	0	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.745600	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300

注) I/O インタフェースモード時の転送レートは本表の値の8倍になります。

表3.10 (2)　UARTボーレートの選択 (2) (タイマ0入力クロックφT1を使用)

単位 (kbps)

TREG0 \ fc	12.288 MHz	12 MHz	9.8304 MHz	8 MHz	6.144 MHz
1H	96		76.8	62.5	48
2H	48		38.4	31.25	24
3H	32	31.25			16
4H	24		19.2		12
5H	19.2				9.6
8H	12		9.6		6
AH	9.6				4.8
10H	6		4.8		3
14H	4.8				2.4

ボーレートの算出方法 (タイマ0を使用した場合)

$$\text{転送レート} = \frac{fc}{TREG0 \times 8 \times 16}$$

(タイマ0の入力クロックがφT1の場合)

タイマ0の入力クロック

φT1 = fc/8

φT4 = fc/32

φT16 = fc/128

注) I/O インタフェースモードでは, タイマ0の一致信号を転送クロックとして使用できません。

Not Recommended for New Design

② シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/Oインタフェースモードの場合(チャネル1のみ)
  SC1CR<IOC>＝“0”のSCLK出力モードのときは、前記ボーレートジェネレータの出力を2分周し、基本クロックをつくります。
  SC1CR<IOC>＝“1”のSCLK入力モードのときは、SC1CR<SCLKS>レジスタの設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- 非同期通信(UART)モードの場合
  SC0CRまたはSC1CRレジスタの<SC1, 0>ビットの設定により、前記ボーレートジェネレータからのクロックか、内部クロックΦ1 (500 kbps @fc＝16 MHz)か、タイマ0からの一致検出信号かのいずれかを選択し、基本クロックSIOCLKをつくります。

③ 受信カウンタ

受信カウンタは、非同期通信(UART)モードで用いられる4ビットのバイナリカウンタで、SIOCLKでカウントアップされます。データ1ビットの受信にSIOCLK16発が用いられ7, 8, 9発目でデータをサンプリングします。
3度のデータサンプリングによる多数決論理によって受信データを判断しています。
例えば、7, 8, 9発目のクロックで、データが1, 0, 1であれば、受信データは“1”と判断され、また、0, 0, 1であれば“0”と判断されます。

④ 受信制御部

- I/Oインタフェースモードの場合(チャネル1のみ)
  SC1CR<IOC>＝“0”のSCLK出力モードのときは、SCLK1端子へ出力されるシフトクロックの立ち上がりでRxD1端子をサンプリングします。
  SC1CR<IOC>＝“1”のSCLK入力モードのときは、SC1CR<SCLKS>レジスタの設定に従ってSCLK入力の立ち上がり/立ち下がりエッジでRxD1端子をサンプリングします。

- 非同期通信(UART)モードの場合
  受信制御部は、多数決論理によるスタートビット検出回路を持ち、3度のサンプリング中2度以上“0”であれば正常なスタートビットと判断し、受信動作を開始します。
  データ受信中も、多数決論理により受信データを判断しています。

Not Recommended for New Design

⑤ 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、7ビットまたは8ビットのデータがそろうともう一方の受信バッファ2 (SC0BUF/SC1BUF) へ移されるとともに割り込みINTRX0/INTRX1が発生します。

CPUは受信バッファ2 (SC0BUF/SC1BUF) の方を読み出します。CPUが受信バッファ2 (SC0BUF/SC1BUF) を読み出す前でも、受信データは受信バッファ1へ格納することができます。

ただし、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (SC0BUF/SC1BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ2およびSC0CR <RB8> / SC1CR <RB8> の内容は保存されていますが、受信バッファ1の内容は失われます。

8ビットUARTのパリティ付加の場合のパリティビット、9ビットUARTモードの場合の最上位ビットはSC0CR<RB8>/SC1CR<RB8>に格納されます。

9ビットUARTの場合、SC0MOD<WU>/SC1MOD<WU>を "1" にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>/SC1CR<RB8> = "1" のときのみ、割り込みINTRX0/INTRX1が発生します。

⑥ 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで受信カウンタ同様SIOCLKでカウントされ、16発ごとに送信クロックTxDCLKを生成します。

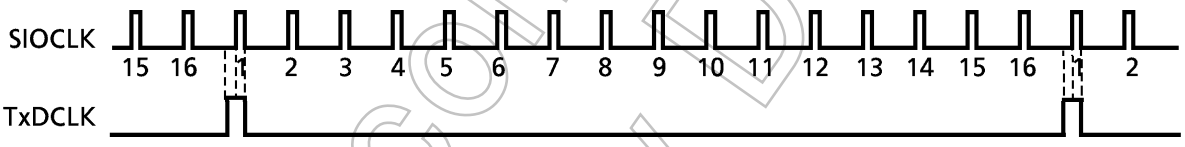


図3.10 (14) 送信クロックの生成

⑦ 送信制御部

- I/Oインタフェースモードの場合 (チャネル1のみ)

  SC1CR<IOC> = "0" のSCLK出力モードのときは、SCLK1端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを1ビットずつTxD1端子へ出力します。

  SC1CR<IOC> = "1" のSCLK入力モードのときは、SC1CR<SCLKS>レジスタの設定に従ってSCLK入力の立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつTxD1端子へ出力します。

- 非同期通信 (UART) モード

  送信バッファにCPUから送信データが書き込まれると次のTxDCLKの立ち上がりエッジから送信を開始し、送信シフトクロックTxDSFTをつくります。

Not Recommended for New Design

ハンドシェイク機能

シリアルチャネル0は$\overline{\text{CTS0}}$端子を持っており、この端子を使用することにより、1フレーム単位での送信が可能となり、オーバラン エラーの発生を防ぐことができます。この機能はSC0MOD<CTSE>によってイネーブル/ディセーブルできます。

送信は$\overline{\text{CTS0}}$端子が "H" レベルになると、現在送信中のデータを送信完了後、$\overline{\text{CTS0}}$端子が "L" レベルに戻るまで送信を停止します。ただし、INTTX0割り込みは発生し、次の送信データをCPUに要求し、送信バッファにデータを書き込み、送信待機します。

なお、$\overline{\text{RTS}}$端子はありませんが、受信側にて受信が終了したとき (受信割り込みルーチン内) に$\overline{\text{RTS}}$機能に割当てた任意の1ポートを "H" レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

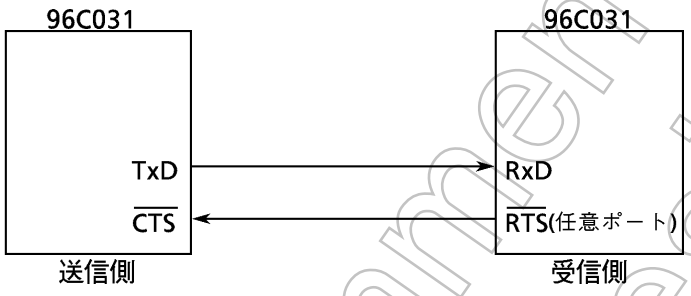
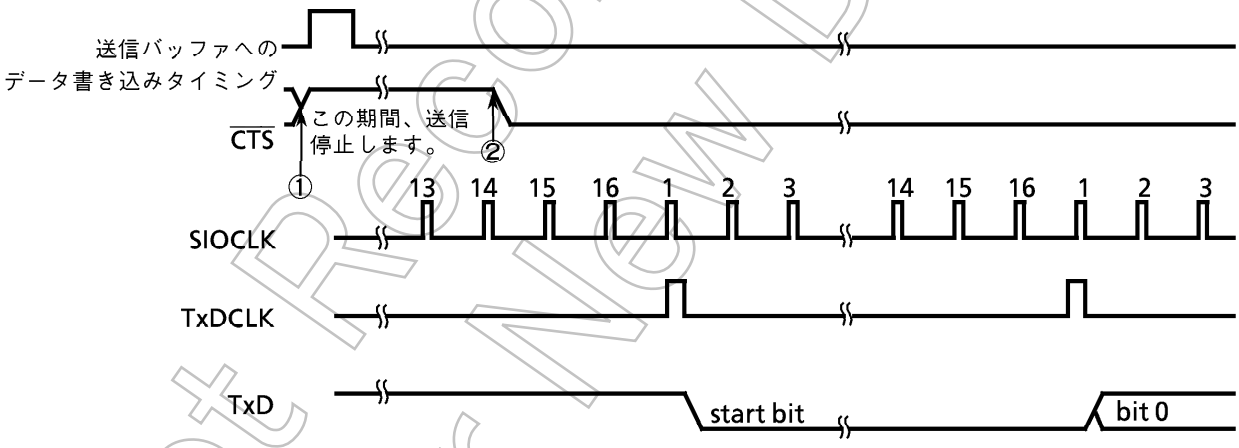


図3.10 (15) ハンドシェイク機能



(注) ① 送信中に$\overline{\text{CTS}}$信号を立ち下げた場合は、送信終了後、次のデータの送信を停止します。

② $\overline{\text{CTS}}$信号立ち下がり後の最初のTxDCLKクロックの立ち下がりから送信を開始します。

図3.10 (16) $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

Not Recommended for New Design

⑧ 送信バッファ

送信バッファ (SC0BUF/SC1BUF) はCPUより書き込まれた送信データを送信制御部で生成される送信シフトクロックTxDSFTにより最下位ビットから順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンプティでINTTX0/INTTX1割り込みが発生します。

⑨ パリティ制御回路

シリアルチャネルコントロールレジスタSC0CR<PE>/SC1CR<PE>を“1”にするとパリティ付の送信を行います。ただし、7ビットUARTまたは8ビットUARTモードのみパリティ付加が可能です。SC0CR <EVEN>/SC1CR <EVEN>レジスタによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SC0BUF/SC1BUF) に書き込まれたデータにより自動的にパリティを発生し、7ビットUARTモードのときはSC0BUF<TB7>/SC1BUF<TB7>に、8ビットUARTモードのときはSC0MCD<TB8>/SC1MOD<TB8>にパリティを格納して、送信します。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ1にシフトインされ、受信バッファ2 (SC0BUF / SC1BUF) に移されたデータにより、パリティを自動発生し、7ビットUARTモードのときは、SC0BUF<RB7>/SC1BUF<RB7>と、8ビットUARTモードのときは、SC0MOD<RB8>/SC1MOD<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR<PERR>/SC1CR<PERR>フラグがセットされます。

⑩ エラーフラグ

受信データの信頼性をあげるために3つのエラーフラグが用意されています。

1. オーバランエラー<OERR>

受信バッファ2 (SCBUF0/1) に有効データが格納されている状態で受信バッファ1に次のデータが全ビット受信されるとオーバランエラーが発生します。

2. パリティエラー<PERR>

受信バッファ2 (SCBUF0/1) に移されたデータから発生したパリティと、RxD端子より受信したパリティビットとを比較し、異っているとパリティエラーが発生します。

3. フレーミングエラー<FERR>

受信データのストップビットを中央付近で3回サンプリングし、多数決した結果が“0”の場合フレーミングエラーが発生します。

Not Recommended for New Design

⑪ 各信号発生タイミング

1) UARTモードの場合

受　信

モード	9Bit	8Bit + パリティ	8Bit, 7Bit + パリティ , 7Bit
割り込み発生タイミング	最終ビット (Bit8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティ エラー発生タイミング	–	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
オーバラン エラー発生タイミング	最終ビット (Bit8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近

送　信

モード	9Bit	8Bit + パリティ	8Bit, 7Bit + パリティ , 7Bit
割り込み発生タイミング	ストップビット送出の直前	←	←

2) I/O インタフェースモードの場合

送信割り込み発生タイミング	SCLK 出力モード	最終 SCLK の立ち上がり直後 (図3.10 (19) 参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下がりモードでは立ち下がり直後 (図3.10 (20) 参照)
受信割り込み発生タイミング	SCLK 出力モード	受信バッファ 2 (SC1BUF) へ受信データを移すタイミング (最終SCLKの直後) (図3.10 (21) 参照)
	SCLK 入力モード	受信バッファ 2 (SC1BUF) へ受信データを移すタイミング (最終SCLKの直後) (図3.10 (22) 参照)

Not Recommended for New Design

3.10.3 動作説明

(1) モード0 (I/Oインタフェース モード)

このモードは、シリアルチャネル1にのみ有効なモードで、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフト レジスタなどとデータの送受信を行います。

このモードには、同期クロック(SCLK)を出力するSCLK出力モードと、外部より同期クロック(SCLK)を入力するSCLK入力モードがあります。

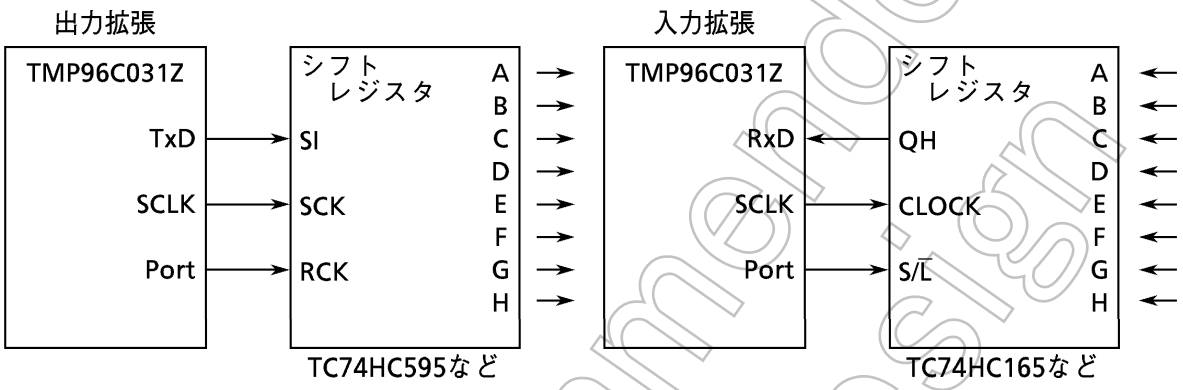


図3.10 (17) SCLK出力モード接続例

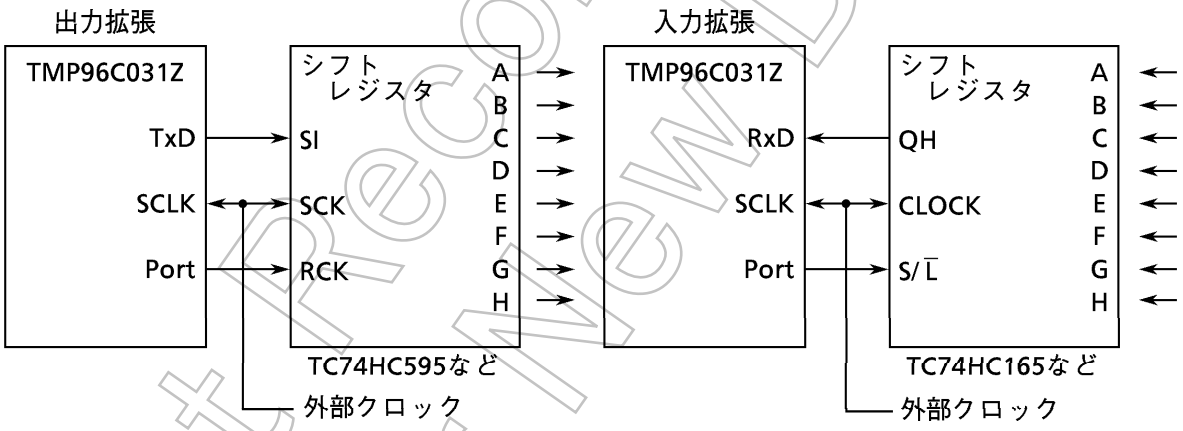


図3.10 (18) SCLK入力モード接続例

Not Recommended for New Design

① 送　信

SCLK出力モードでは、CPUが送信バッファにデータを書き込むたびに、8ビットのデータがTxD端子、同期クロックがSCLK端子より出力されます。データがすべて出力されると、INTES1<ITX1C>がセットされ、割り込みINTTX1が発生します。

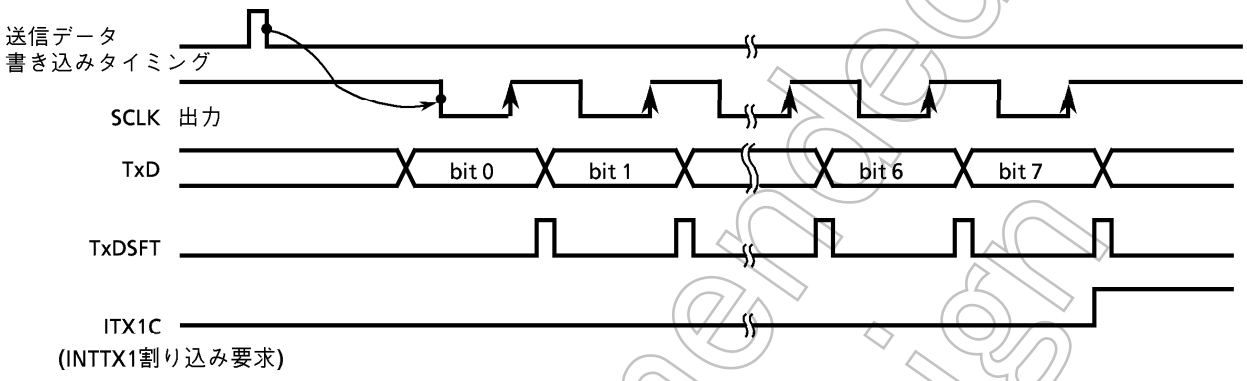


図3.10 (19) I/Oインタフェース モード送信動作 (SCLK出力モード)

SCLK入力モードでは、CPUにより送信バッファにデータが書き込まれている状態でSCLK入力がアクティブになると、8ビットのデータがTxD1端子より出力されます。
データがすべて出力されると、INTES1<ITX1C>がセットされ割り込みINTTX1が発生します。

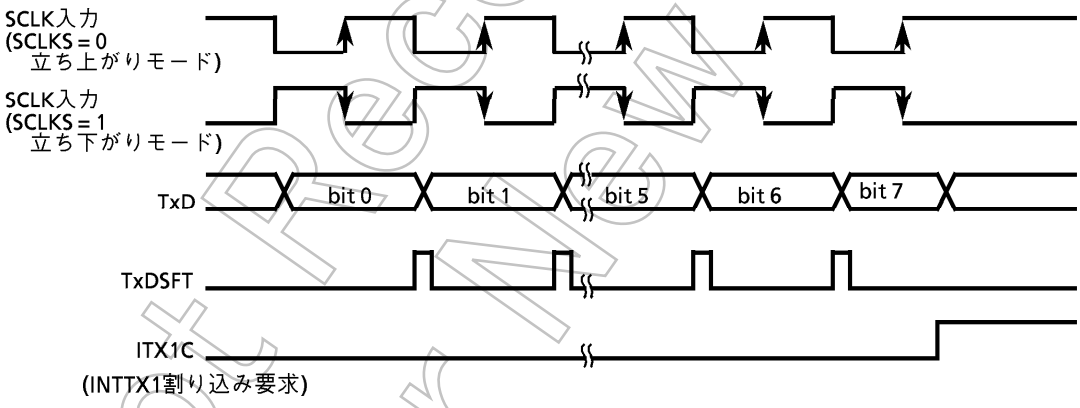


図3.10 (20) I/Oインタフェース モード送信動作 (SCLK入力モード)

Not Recommended for New Design

② 受　信

SCLK出力モードでは受信データがCPUに読み取られ、受信割り込みフラグINTES1<IRX1C>がクリアされるたびに、SCLK端子より同期クロックが出力され次のデータが受信バッファ1にシフトインされます。8ビットデータが受信されると、データは受信バッファ2 (SC1BUF) に移され、再びINTES1 <IRX1C> がセットされて割り込みINTRX1が発生します。

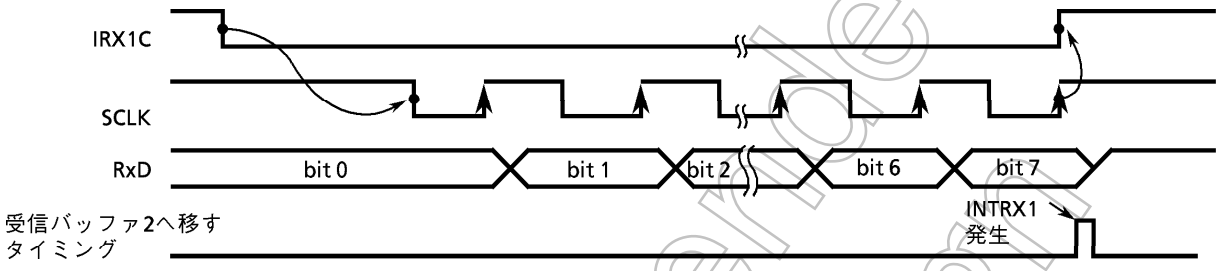


図3.10 (21)　I/Oインタフェースモード受信動作 (SCLK出力モード)

SCLK入力モードでは受信データがCPUに読み取られ、受信割り込みフラグINTES1<IRX1C>がクリアされている状態で、SCLK入力がアクティブになると、次のデータが受信バッファ1にシフトインされます。8ビットデータが受信されると、データは受信バッファ2 (SCIBUF) に移され、再びINTES1<IRX1C>がセットされて割り込みINTRX1が発生します。

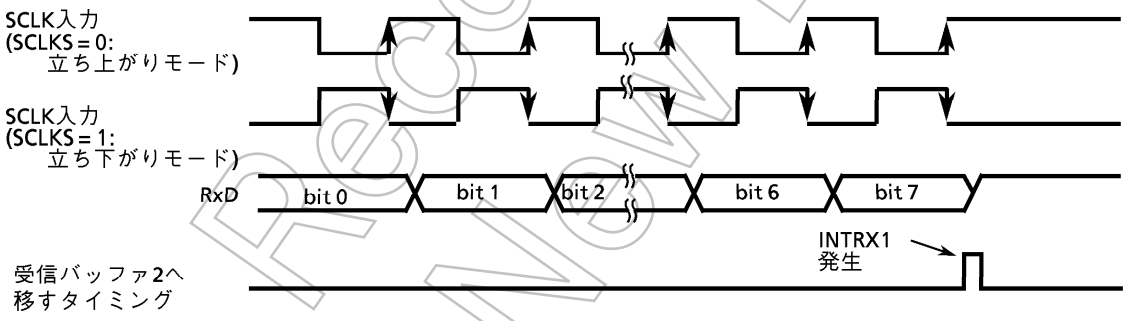


図3.10 (22)　I/Oインタフェースモード受信動作 (SCLK入力モード)

(注意) 受信動作を行う場合にはSCLK入/出力のどちらのモードでも、受信イネーブル状態 (SC1MOD<RXE>=1) にしておく必要があります。

Not Recommended for New Design

(2) モード1 (7ビットUARTモード)

シリアルチャネルモードレジスタSC0MOD<SM1, 0>/SC1MOD<SM1, 0>を01にセットすると7ビットUARTモードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタSC0CR<PE>/SC1CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>=1 (イネーブル) のときは、SC0CR<EVEN>/SC1CR<EVEN>で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。ここではチャネル0を例にとり説明します。

```
          7 6 5 4 3 2 1 0
P6CRL  ← - - - - - - 1 1     P60をTxD0端子とします。
SC0MOD ← X 0 - X 0 1 0 1     7ビットUARTモードに設定します。
SC0CR  ← X 1 1 X X X 0 0     偶数パリティを付加します。
BR0CR  ← 0 X 1 0 0 1 0 1     2400 bpsに設定します。
TRUN   ← X X 1 - - - - -     ボーレートジェネレータ用にプリスケーラを起動します。
INTES0 ← 1 1 0 0 - - - -     INTTX0割り込みをイネーブル、レベル4にします。
SC0BUF ← * * * * * * * *     送信データをセットします。
```

(注) X : don't care　　- : no change

(3) モード2 (8ビットUARTモード)

SC0MOD<SM1, 0>/SC1MOD<SM1, 0>を10にセットすると8ビットUARTモードになります。このモードでは、パリティビットの付加が可能でSC0CR<PE> / SC1CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE>=1 (イネーブル) のとき、SC0CR<EVEN> / SC1CR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。ここではチャネル0を例にとって説明します。

Not Recommended for New Design

メインルーチンでの設定

```
          7 6 5 4 3 2 1 0
P6CRL  ← - - - - 0 0 - -     P61 (RxD0) を入力ピンにします。
SC0MOD ← - 0 1 X 1 0 0 1     8ビットUARTモード、受信イネーブルにします。
SC0CR  ← X 0 1 X X X 0 0     偶数パリティ付加に設定します。
BR0CR  ← 0 X 0 1 0 1 0 1     9600 bpsに設定します。
TRUN   ← X X 1 - - - - -     ボーレートジェネレータ用にプリスケーラを起動します。
INTES0 ← - - - - 1 1 0 0     INTTX0をイネーブル、レベル4に設定します。
```

割り込みルーチンでの処理例

```
Acc ← SC0CR AND 00011100     } エラーチェックを行います。
if Acc ≠ 0 then ERROR
Acc ← SC0BUF                   受信データを読み取ります。
```

(注)　X : don't care　　- : no change

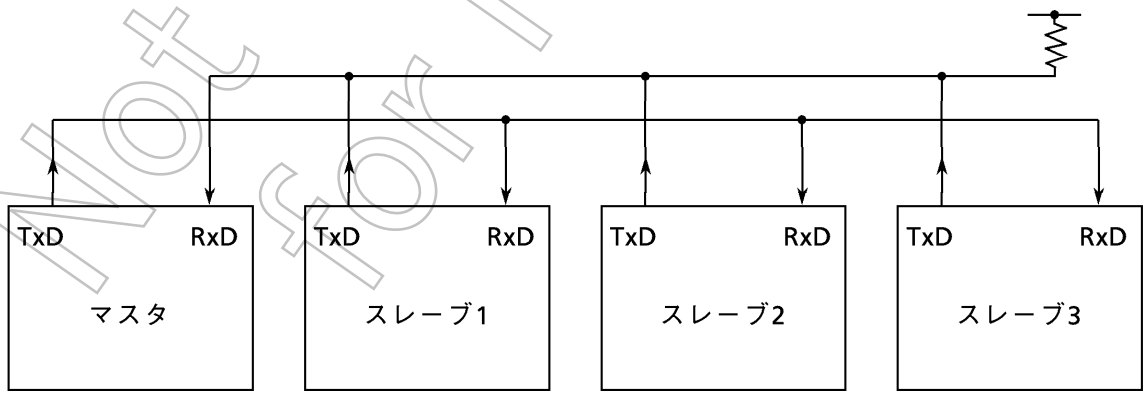
(4)　モード3 (9ビットUART)

SC0MOD<SM1, 0>/SC1MOD<SM1, 0>を11にセットすると9ビットUARTモードになります。このモードでは、パリティ ビットの付加はできません。

最上位ビット (9ビット目) は、送信の場合シリアルチャネルモードレジスタの<TB8>に書き込み、受信の場合シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SC0BUF/SC1BUFの方を後にします。

ウェイクアップ機能

9ビットUARTモードでは、SC0MOD<WU> / SC1MOD<WU>を "1" にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8>=1のときのみ割り込みINTRX1/INTRX0が発生します。



(注)　スレーブコントローラのTxD端子は、かならずODEレジスタを設定してオープンドレイン出力モードにしてください。

図3.10 (23)　ウェイクアップ機能によるシリアルリンク

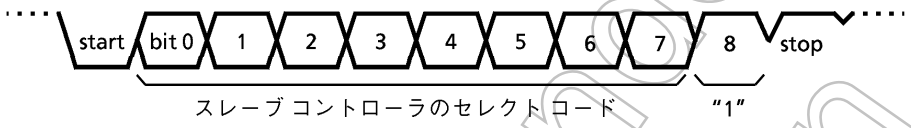
Not Recommended for New Design

プロトコル

① マスタおよびスレーブコントローラは9ビットUARTモードにします。

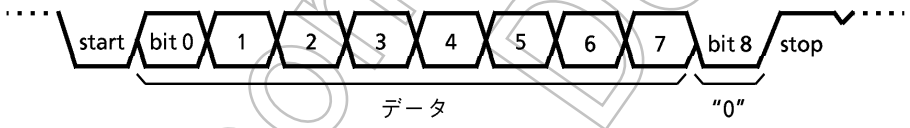
② 各スレーブコントローラはSC0MOD<WU>/SC1MOD<WU>を“1”にセットし、受信可能状態とします。

③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。



④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。

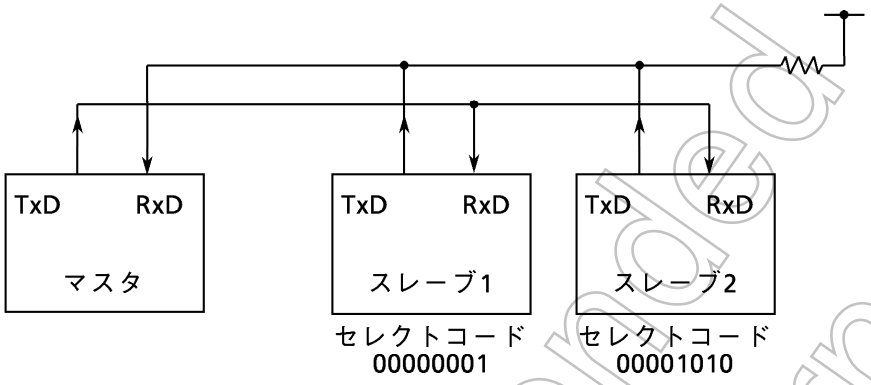
⑤ マスタコントローラは指定したスレーブコントローラ(SC0MOD<WU>/SC1MOD<WU>=0にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にします。



⑥ WU=1のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため割り込みINTRX1/INTRX0が発生せず、受信データを無視します。
また、<WU>=0になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

Not Recommended for New Design

設定例 ： 内部クロックϕ1を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



このモードでのシリアルチャネル0, 1は同一の動作をしますので、ここではチャネル0について説明します。

- マスタコントローラの設定

メインルーチン

```
P6CRL  ← - - - - 0 0 1 1     P60をTxD、P61をRxD端子にします。
INTES0 ← 1 1 0 0 1 1 0 1     INTTX0をイネーブル,割り込みレベルを4に設定します。
                             INTRX0をイネーブル,割り込みレベルを5に設定します。
SC0MOD ← 1 0 1 0 1 1 1 0     9ビットUARTモード,転送クロックをφ1に設定します。
SC0BUF ← 0 0 0 0 0 0 0 1     スレーブ1のセレクトコードをセットします。
```

割り込みルーチン (INTTX0)

```
SC0MOD ← 0 - - - - - - -     TB8を "0" にします。
SC0BUF ← * * * * * * * *     送信データをセットします。
```

- スレーブ2の設定

メインルーチン

```
P6CRL  ← - - - - 0 0 1 1 }   P60をTxD (オープンドレイン出力) P61をRxDにします。
ODE    ← X X X X X X - 1 }
INTES0 ← 1 1 0 1 1 1 1 0 }   INTTX0, INTRX0をイネーブルにします。
SC0MOD ← 0 0 1 1 1 1 1 0     9ビットUARTモード転送クロックφ1 (fc/2) で、
                             <WU> = "1"に設定します。
```

割り込みルーチン (INTRX0)

```
Acc ← SC0BUF
if Acc = セレクトコード
Then SC0MOD4← - - - 0 - - - -    <WU> = "0" にクリアします。
```

Not Recommended for New Design

3.11 アナログ/デジタル コンバータ

TMP96C031Zは4チャネルアナログ入力を持つ高速高精度の6ビット逐次比較方式A/Dコンバータを内蔵しています。

図3.11 (1) にA/Dコンバータのブロック図を示します。4チャネルのアナログ入力端子 (AN0~AN3) は入力専用ポートP5と兼用となっており、入力ポートとしても使用できます。

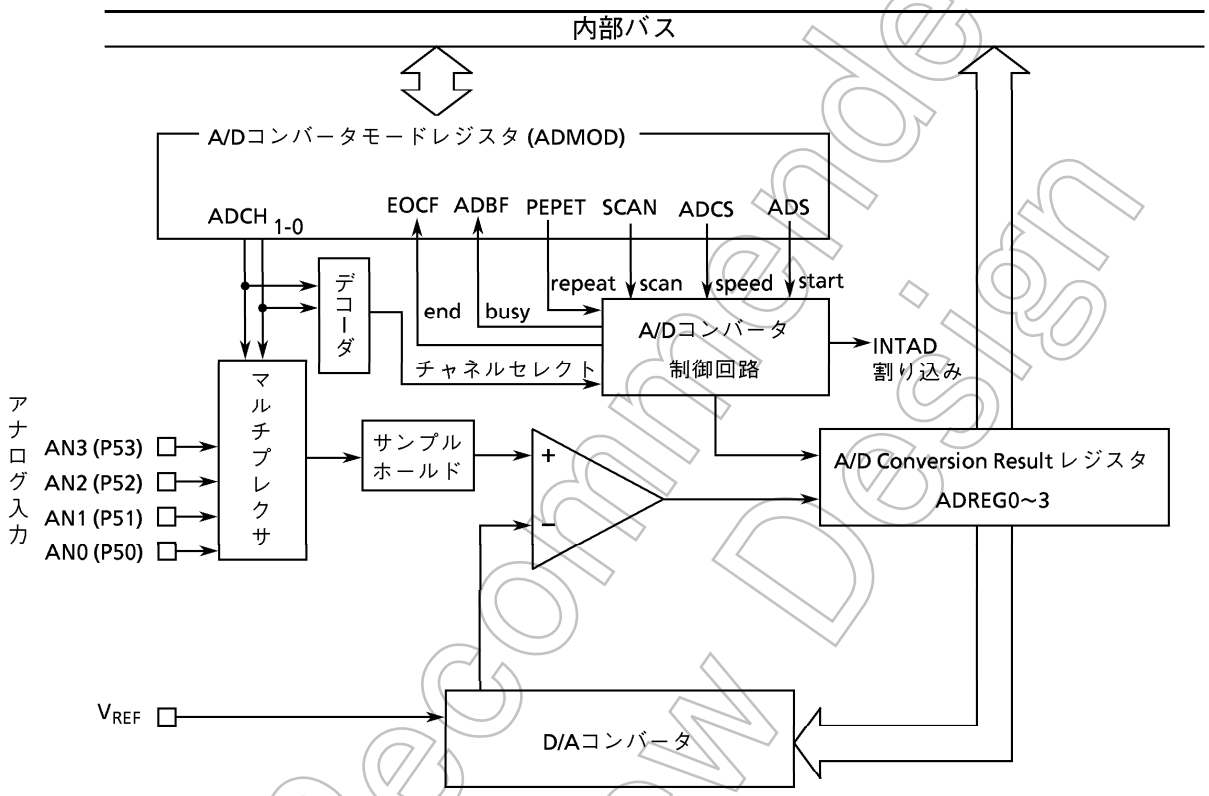


図3.11 (1) A/Dコンバータのブロック図

(注) IDLE, STOPモードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので "HALT" 命令を実行する前にA/Dコンバータ動作を止めてください。
なお、V_{REF}-GND間のラダー抵抗は内部で切ることはできませんのでモードにかかわらずI_{REF}は流れます。

Not Recommended for New Design

3.11.1 コントロールレジスタ

ADMOD (005EH)

	7	6	5	4	3	2	1	0
bit Symbol	EOCF	ADBF	REPET	SCAN	ADCS	ADS	ADCH1	ADCH0
Read/Write	R		R/W	R/W	R/W		R/W	
リセット後	0	0	0	0	0	0	0	0
機　能	1: END	1: BUSY	1: Repeat Mode Set	1: Scan Mode Set	1: 低速モード	1: START	Analog Input Channel Select	

アナログ入力チャネルセレクト

	通常	スキャンモード
00	AN0	AN0
01	AN1	AN0→AN1
10	AN2	AN0→AN1→AN2
11	AN3	AN0→AN1→AN2→AN3

A/D変換スタート

0	――
1	A/D変換を開始します。

(注)　常に“0”がリードされます。

A/D変換スピード選択

0	高速変換モード: 95ステート = 9.5 μs (@20 MHz)
1	低速変換モード: 190ステート = 19 μs (@20 MHz)

A/Dスキャンモード指定

0	A/D変換チャネル固定モード
1	A/D変換チャネルスキャンモード

A/Dリピートモード指定

0	A/D変換シングルモード
1	A/D変換リピートモード

A/D変換BUSYフラグ

0	A/D変換停止中
1	A/D変換中

A/D変換終了フラグ

0	A/D変換前または変換中
1	A/D変換終了

図3.11 (2)　A/Dコンバータモードレジスタ (ADMOD)

Not Recommended for New Design

ADREG0 (0060H)

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	R							
リセット後	不　定							
機　能	チャネル0のA/D交換結果が格納されています。							

AN0用A/D交換値格納レジスタ (Read Only)

ADREG1 (0061H)

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	R							
リセット後	不　定							
機　能	チャネル1のA/D交換結果が格納されています。							

AN1用A/D交換値格納レジスタ (Read Only)

ADREG2 (0062H)

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	R							
リセット後	不　定							
機　能	チャネル2のA/D交換結果が格納されています。							

AN2用A/D交換値格納レジスタ (Read Only)

ADREG3 (0063H)

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	R							
リセット後	不　定							
機　能	チャネル3のA/D交換結果が格納されています。							

AN3用A/D交換値格納レジスタ (Read Only)

図3.11 (3)　A/D交換値格納レジスタ (ADREG0~3)

Not Recommended for New Design

3.11.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧のHigh側をVREF端子に印加します。
VREF-GND間の基準電圧をラダー抵抗により64分割し、アナログ入力電圧と比較判定を行うことにより、A/D変換されます。

(2) アナログ入力チャネル

アナログ入力チャネルの選択は、ADMOD<ADCH1, 0>によって行いますが、アナログ入力チャネル固定モードでは、ADMOD<ADCH1, 0>により、AN0~AN3の4端子のうち1チャネルを選択します。
アナログ入力チャネルスキャンモードでは、ADMOD<ADCH1, 0>により、AN0端子のみ、AN0→AN1, AN0→AN1→AN2, AN0→AN1→AN2→AN3とスキャンするチャネル数を選択します。
リセット動作により、A/D変換チャンネルレジスタADMOD<ADCH1, 0>=00に初期化されますのでAN0端子が選択されます。
なお、アナログ入力チャネルとして使用しない端子は通常の入力ポートP5として使用できます。

(3) A/D変換開始

A/D変換は、A/D変換スタートレジスタADMOD<ADS>に“1”を書き込むことにより開始されます。A/D変換が開始されるとA/D変換中を示すA/D交換BUSYフラグADMOD<ADBF>が“1”にセットされます。

(4) A/D変換モード

A/D変換チャネル固定/スキャンモードともシングル/リピート変換の2つのモードがあります。
チャンネル固定リピートモードでは、指定された1チャネルの変換を繰り返し、行います。
スキャンリピートモードでは、AN0, …→AN3のスキャンを繰り返し行います。
A/D変換モードの選択はADMOD<REPET, SCAN>で行います。

(5) A/D変換スピード選択

A/D変換スピードには、高速モードと低速モードがあり、ADMOD<ADCS>レジスタで選択します。
リセット時ADMOD<ADCS>=0に初期化されますので高速変換モードとなっています。

(6) A/D変換終了と割り込み

- A/D1回変換モードに設定している場合

変換チャネル固定の場合は、その指定されたチャネルのA/D変換を終了したとき、チャネルスキャンの場合は、最後のチャネルのA/D変換を終了したとき、A/D変換終了を示すADMOD<EOCF>が“1”にセットされ、ADMOD<ADBF>フラグは“0”にクリアされ、割り込みINTADが発生します。

(7) A/D変換値の格納

A/D変換の結果は、各チャネルごとにADREG0~3レジスタへ格納されます。リピートモード時は変換終了ごとに更新されます。
ADREG0~3は読み出しのみ可能です。

Not Recommended for New Design

(8) A/D変換値の読み出し

A/D変換の結果は、ADREG0~3に格納されています。ADREG0~3のうち1つでもレジスタの内容を読み出すと、ADMOD<EOCF>は“0”にクリアされます。

設定例: ① AN3端子のアナログ入力電圧を高速変換モードでA/D変換し、A/D割り込みINTADルーチンで変換値をFF10Hのメモリへ読み込む場合。

メインの設定

```
INTEAD ← 1 1 0 0 X X X X
ADMOD  ← X X 0 0 0 1 1 1
```

INTADをイネーブル、レベル4にします。
アナログ入力チャネルをAN3端子に指定し、高速モードでA/D変換スタートします。

INTADルーチン

```
A       ← ADREG3
(FF10H)← A
```

アキュムレータにADREG3の値を読み出します。アキュムレータの値をFF10Hのメモリへストアします。

② AN0~AN2の3端子のアナログ入力電圧を高速変換モードチャンネルスキャンリピートモードでA/D変換し続ける場合

```
INTEAD ← 1 0 0 0 X X X X
ADMOD  ← X X 1 1 0 1 1 0
```

INTADを禁止します。
アナログ入力チャネルAN0~AN2を高速スキャンリピートモードでA/D変換スタートします。

(注) X ; don't care - ; no change

Not Recommended for New Design

3.12 ウォッチドッグタイマ (暴走検出用タイマ)

TMP96C031Zは、暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因によりCPUが誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生しCPUに知らせ、外部へはウォッチドッグタイマアウト端子$\overline{\text{WDT}}$より "0" を出力し周辺装置へ暴走の検出を知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。

さらに、バス解放要求 ($\overline{\text{BUSRQ}}$) 時には、WDTのカウントを停止させる機能を内蔵しています。

3.12.1 構 成

図3.12 (1) にウォッチドッグタイマ (WDT) のブロック図を示します。

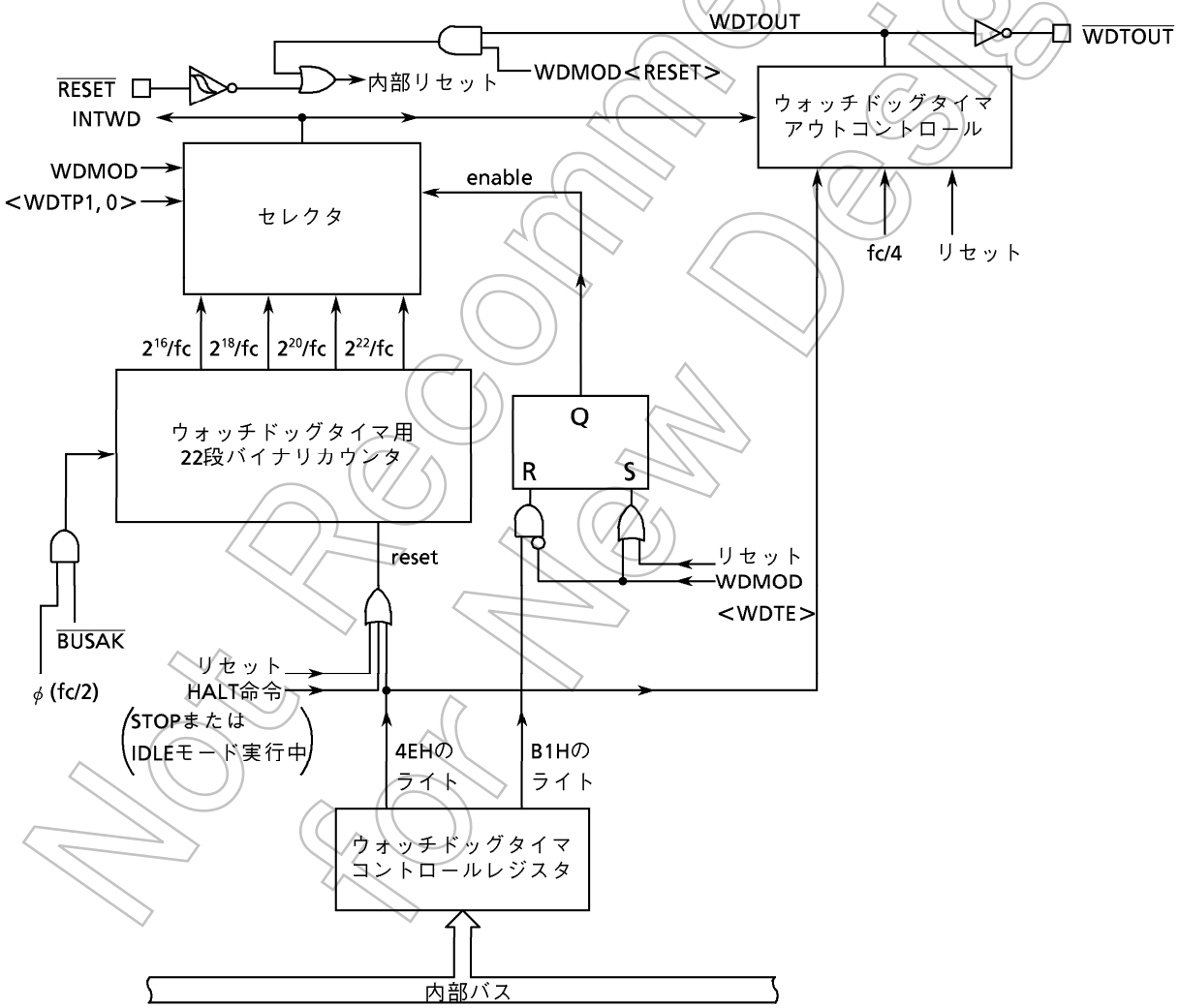


図3.12 (1) ウォッチドッグタイマのブロック図

Not Recommended for New Design

ウォッチドッグタイマは、Φ (fc/2) を入力クロックとする、22段バイナリカウンタです。バイナリカウンタの出力には2^{16}/fc, 2^{18}/fc, 2^{20}/fc, 2^{22}/fcがあり、このうちの1出力をWDMODレジスタで選択することにより、そのオーバフロー時に、ウォッチドッグタイマ割り込みを発生し、また、ウォッチドッグタイマアウトを出力します。

ウォッチドックタイマアウト端子 ($\overline{\text{WDTOUT}}$) は、ウォッチドッグタイマのオーバフローにより "0" を出力するため、周辺装置のリセットを行うことも可能です。この "0" 出力は、ウォッチドッグタイマを禁止にした後、クリアすること (WDCRにクリアコード (4EH) をライト) により "1" にセットされます。

```
(プログラム例)   LDW   (WDMOD), 0B100H     ;  禁止
                 LD (WDCR), 4EH             ;  クリアコードWR
                 SET    7, (WDMOD)          ;  再び許可
```

すなわち、通常モードの場合、クリアコードがWDCRレジスタに書かれるまで、$\overline{\text{WDTOUT}}$ 端子は "0" を出力し続けます。

また、このウォッチドッグタイマアウトを内部でリセット端子へ接続することも可能です。この場合、ウォッチドッグタイマアウト端子 ($\overline{\text{WDTOUT}}$) は、8 ~ 20ステート (800 ns ~ 2 μs @ 20 MHz時) "0" を出力し、同時に、自分自身のリセットを行います。

ただし、$\overline{\text{WDTOUT}}$ (P67と兼用) は、PG13端子とマルチプレクスしているため、ポート6コントロールレジスタP6CRHで設定する必要があります (リセット後は、$\overline{\text{WDTOUT}}$端子になります)。

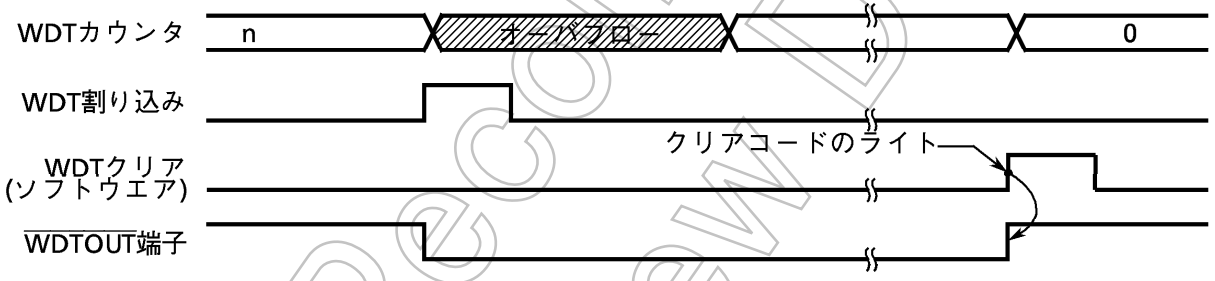


図 3.12 (2) 通常モード

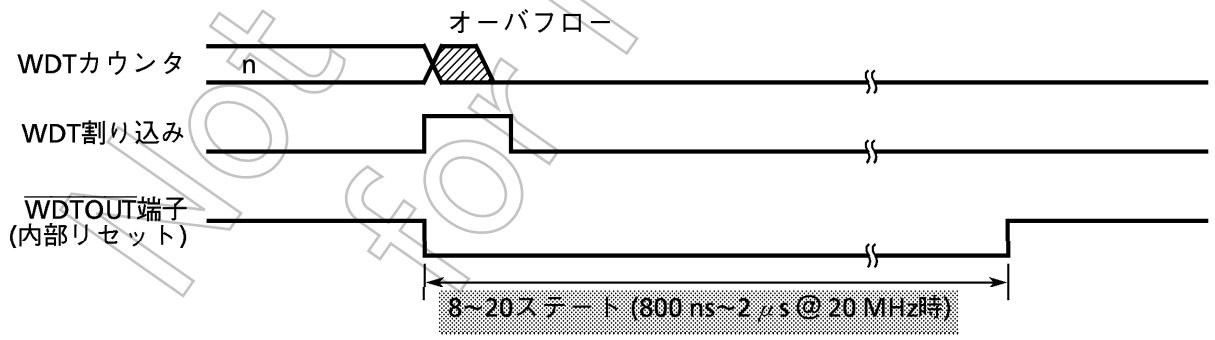


図 3.12 (3) リセットモード

Not Recommended for New Design

3.12.2 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグ タイマ モードレジスタWDMOD

① ウォッチドッグ タイマ検出時間の設定<WDTP>

暴走検出のためのウォッチドッグ タイマ割り込み時間を設定する2ビットのレジスタです。リセット時WDMOD<WDTP1, 0>=00にイニシャライズされますので、検出時間は2^{16}/fc [s] となります。(ステート数では約32,768 [state] となります。)

② ウォッチドッグ タイマのイネーブル/ディセーブル制御<WDTE>

リセット時WDMOD<WDTE>=1にイニシャライズされますので、ウォッチドッグ タイマはイネーブルになっています。

ディセーブルにするには、このビットを "0" にクリアするとともにWDCRレジスタにディセーブル コード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグ タイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを "1" にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により自分自身をリセットするか否かを設定するレジスタです。リセット時WDMOD<RESCR>=0に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグ タイマ コントロールレジスタ WDCR

ウォッチドッグ タイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD<WDTE>を "0" にクリアしたあと、このWDCRレジスタにディセーブル コード (B1H) を書き込むとウォッチドッグ タイマをディセーブルにすることができます。

```
WDMOD ← 0 - - - - - X X      WDTEを "0" クリアします。
WDCR  ← 1 0 1 1 0 0 0 1      ディセーブル コード (B1H) を書き込みます。
```

- イネーブル制御

WDMOD7<WDTE>を "1" にする。

- ウォッチドッグタイマのクリア制御

WDCRレジスタにクリア コード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

```
WDCR  ← 0 1 0 0 1 1 1 0      クリア コード (4EH) を書き込みます。
```

Not Recommended for New Design

WDMOD (005CH)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
Read/Write	R/W							
リセット後	1	0	0	0	0	0	0	0
機　能	WDT 制御 1: 許可	WDT 検出時間の選択 00: 2^{16}/fc 01: 2^{18}/fc 10: 2^{20}/fc 11: 2^{22}/fc		ウォーミングアップ時間 0: 2^{14}/fc 1: 2^{16}/fc	スタンバイモード 00: RUN モード 01: STOP モード 10: IDLE モード 11: Don't care		1: リセット 端子にWDT出力を内部接続	1: STOP モード中も端子をドライブします。

DRVE (ストップモードで説明)

ウォッチドッグタイマアウトコントロール

0	—
1	WDTアウトをリセットへ接続

HALT命令によるスタンバイモードの選択

00	RUN モード (CPUのみ停止)
01	STOP モード (すべての回路を停止)
10	IDLE モード (発振器のみ動作)
11	Don't care

ストップモードから復帰時のウォーミングアップ時間の選択

0	2^{14}/fc (約0.8 ms @20 MHz)
1	2^{16}/fc (約3.3 ms @20 MHz)

ウォッチドッグタイマ検出時間の選択

00	2^{16}/fc (約3.3 ms @20 MHz)
01	2^{18}/fc (約13.1 ms @20 MHz)
10	2^{20}/fc (約52.4 ms @20 MHz)
11	2^{22}/fc (約209 ms @20 MHz)

ウォッチドッグタイマの禁止/許可制御

0	禁止
1	許可

図3.12 (4) ウォッチドッグタイマモードレジスタ

Not Recommended for New Design

WDCR (005DH)

	7	6	5	4	3	2	1	0
bit Symbol	–							
Read/Write	W							
リセット後	–							
機　　能	B1H：WDT ディセーブルコード 4EH：WDT クリアコード							

WDTのディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	—

図3.12 (5) ウォッチドッグタイマコントロールレジスタ

ポート4ファンクションレジスタ

P4FC (0010H)

	7	6	5	4	3	2	1	0
bit Symbol	BUSWDT				P43F	P42F	P41F	P40F
Read/Write	W				W			
リセット後	0				0	0	0	0
機　　能	0: $\overline{\text{BUSRQ}}$ DIS 1: $\overline{\text{BUSRQ}}$ EN				0: PORT 1: $\overline{\text{CS3}}$ /$\overline{\text{CAS}}$	0: PORT 1: $\overline{\text{CS2}}$	0: PORT 1: $\overline{\text{CS1}}$	0: PORT 1: $\overline{\text{CS0}}$

ポート4にて説明

$\overline{\text{BUSRQ}}$入力時のWDT

0	入力に関係なくバイナリカウンタをカウントアップ
1	入力と同時にバイナリカウンタのカウントを一時停止

図3.12 (6) ポート4ファンクションレジスタ

Not Recommended for New Design

3.12.3 動作説明

1) ウォッチドッグタイマは、WDMOD<WDTP1, 0>レジスタで設定された検出時間後に割り込みINTWDを発生させ、ウォッチドッグタイマアウト端子($\overline{WDT}$)より“L”レベルを出力させるタイマです。ソフトウエア(命令)でウォッチドッグタイマ用のバイナリカウンタをINTWD割り込みが発生する前にゼロクリアすることが必要です。もし、CPUがノイズなどの原因で誤動作(暴走)しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD割り込みが発生します。CPUはINTWD割り込みにより誤動作(暴走)が発生したことを知り、誤動作(暴走)対策プログラムにより正常な状態に戻すことができます。またウォッチドックタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPUの誤動作(暴走)に対処することができます。

ウォッチドックタイマは、リセット解除後ただちに動作を開始します。

なお、IDLEモードおよびSTOPモード中のウォッチドッグタイマはリセットされて停止しています。

RUNモード中のウォッチドッグタイマは動作しています。RUNモードに入るとき、ウォッチドックタイマをディセーブルにすることもできます。

例： ① バイナリカウンタをクリアします。
WDCR ← 0 1 0 0 1 1 1 0　クリアコード(4EH)の書き込み

② ウォッチドッグタイマ検出時間を2^{18}/fcに設定します。
WDMOD ← 1 0 1 − − − X X

③ ウォッチドッグタイマをディセーブルします。
WDMOD ← 0 − − − − − X X　WDTEを“0”クリア
WDCR ← 1 0 1 1 0 0 0 1　ディセーブルコード(B1H)の書き込み

④ IDLEモードにします。
WDMOD ← 0 − − − 1 0 X X　WDTをディセーブルにしてIDLEモードに
WDCR ← 1 0 1 1 0 0 0 1　設定します。
HALT命令を実行します。　スタンバイモードにします。

⑤ STOPモードにします。(ウォーミングアップ時間2^{16}/fc)
WDMOD ← − − − 1 0 1 X X　STOPモードに設定します。
HALT命令を実行します。　スタンバイモードにします。

2) P4FC<BUSWDT>レジスタに“1”をライトすることにより、バスリクエスト信号$\overline{BUSRQ}$によるBUS開放時のWDTバイナリカウンタを一時停止させることができます。

Not Recommended for New Design

3.13 ダイナミックRAM (DRAM) コントローラ

TMP96C031Zは、DRAMをリフレッシュするためのコントロール回路、Read/Writeするためのアクセス回路、アドレスデコーダ回路から構成されます。

図3.13 (1) にDRAMコントローラのブロック図を示します。

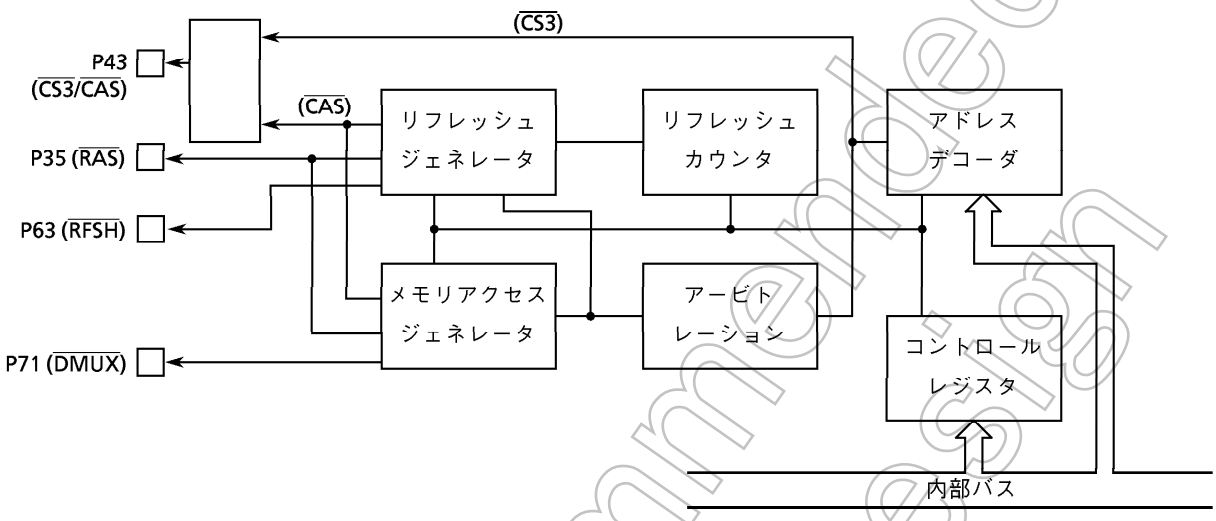


図3.13 (1) DRAMコントローラのブロック図

Not Recommended for New Design

3.13.1 コントロールレジスタ

B3CS (006BH)

	7	6	5	4	3	2	1	0
bit Symbol	B3E	B3SYS	B3CS	B3BUS	B3W1	B3W0	B3CAS	SRFC
Read/Write	W							
リセット後	0	0	0	0	0	0	0	1
機　能	0:DIS 1:EN	1:SYSTEM only	0:不定 1:メモリスタート	0:16 bit 1:8 bit	00:2WAIT 01:1WAIT 10:1WAIT + n 11:0WAIT		0:$\overline{CS3}$ 1:$\overline{CAS}$	0:セルフリフレッシュ実行 1:解除

$\overline{CS3}$/$\overline{CAS}$出力制御

0	出力ディセーブル
1	出力イネーブル

セルフリフレッシュ制御

0	セルフリフレッシュ実行
1	セルフリフレッシュ解除

$\overline{CS3}$/$\overline{CAS}$ 選択

<B3CAS>	<B3E> = 1	<B3E> = 0
0	$\overline{CS3}$出力	$\overline{CS3}$/$\overline{CAS}$出力ディセーブル
1	$\overline{CAS}$出力	

WAIT挿入制御

<B3W1>	<B3W0>	モード
0	0	2WAIT
0	1	1WAIT
1	0	1WAIT + n
1	1	0WAIT

図3.13 (2) チップセレクトウェイトコントロールレジスタ (B3CS)

P4FC

	7	6	5	4	3	2	1	0
bit Symbol	BUSWDT				P43F	P42F	P41F	P40F
Read/Write	W				W			
リセット後	0				0	0	0	0
機　能	0:$\overline{BUSRQ}$ DIS 1:$\overline{BUSRQ}$ EN				0:PORT 1:$\overline{CS3}$/$\overline{CAS}$	0:PORT 1:$\overline{CS2}$	0:PORT 1:$\overline{CS1}$	0:PORT 1:$\overline{CS0}$

ポート4出力設定

0	ポート出力
1	$\overline{CS0}$~$\overline{CS3}$ / $\overline{CAS}$出力

(3.12.2 ウォッチドッグタイマで説明)

図3.13 (3) ポート4ファンクションレジスタ

Not Recommended for New Design

DREFCR (004BH)

	7	6	5	4	3	2	1	0
bit Symbol	DMI	RS2	RS1	RS0	RW2	RW1	RW0	RC
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	ダミーサイクル 0: 禁止 1: 実行	リフレッシュサイクル挿入間隔 000: 15ステート 001: 31ステート 010: 62ステート 011: 78ステート 100: 97ステート 101: 109ステート 110: 124ステート 111: 154ステート			リフレッシュサイクル幅 000: 2ステート 001: 3ステート 010: 4ステート 011: 5ステート 100: 6ステート 101: 7ステート 110: 8ステート 111: 9ステート			リフレッシュサイクル 0: 挿入しない 1: 挿入する

リフレッシュサイクル制御

0	リフレッシュサイクルを挿入しない
1	リフレッシュサイクルを挿入する

リフレッシュサイクル幅制御

RW2	RW1	RW0	リフレッシュサイクル幅
0	0	0	2ステート
0	0	1	3ステート
0	1	0	4ステート
0	1	1	5ステート
1	0	0	6ステート
1	0	1	7ステート
1	1	0	8ステート
1	1	1	9ステート

リフレッシュサイクル挿入間隔
表3.13 (2) を参照ください。

ダミーサイクル制御

0	ダミーサイクル禁止
1	ダミーサイクル実行

図3.13 (4) リフレッシュコントロールレジスタ

Not Recommended for New Design

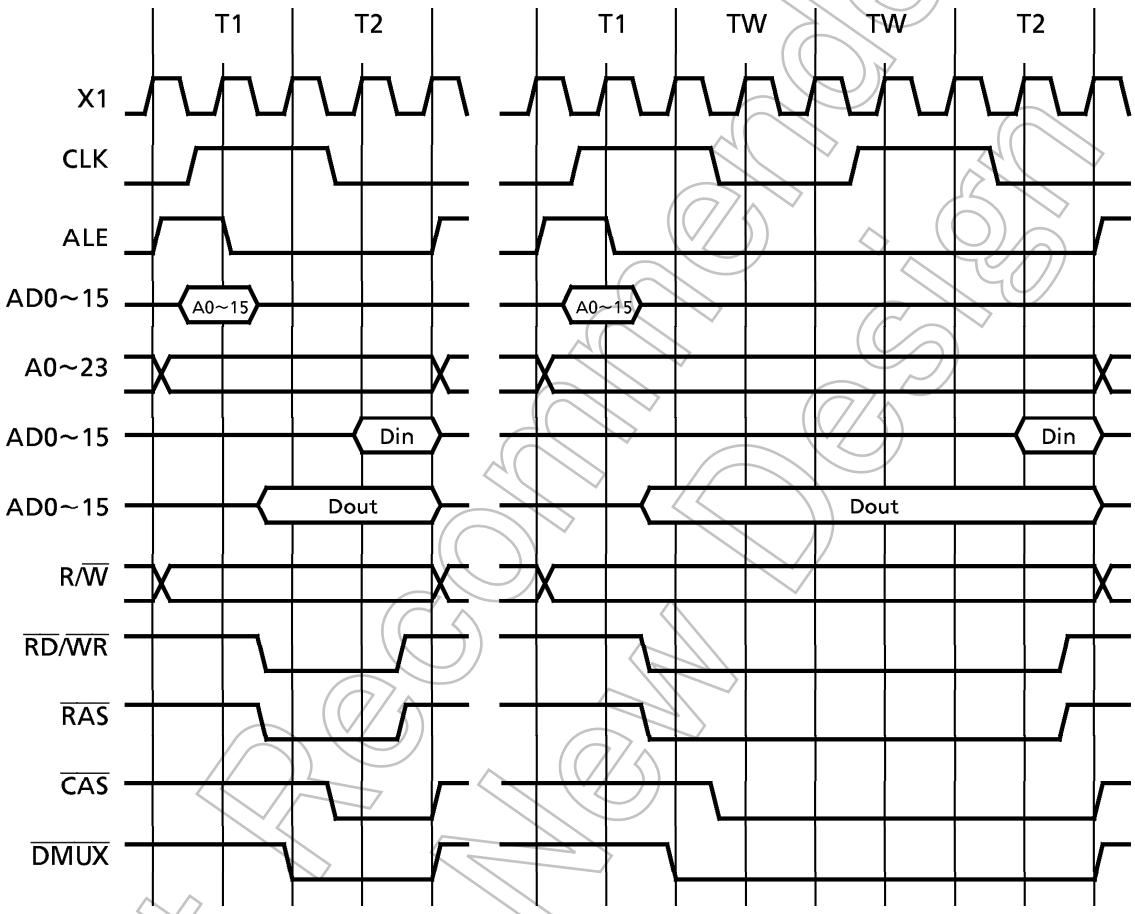
3.13.2 動作説明

(1) リード/ライトコントロール

リード/ライトコントロール部は、内部アドレスデコーダ (チップセレクト3 $\overline{CS3}/\overline{CAS}$) で指定されたアドレス空間がアクセスされるとDRAMへ有効な信号$\overline{RAS}$, $\overline{CAS}$信号が出力されます。

また、ローアドレス/カラムアドレス切り替えに$\overline{DMUX}$信号が出力されます。

図3.13 (5) に、メモリアクセスサイクル時の$\overline{RAS}$, $\overline{CAS}$, $\overline{DMUX}$出力タイミングを示します。



a) ノンウェイト時　　b) 2ステートウェイト挿入時

図3.13 (5) メモリアクセスサイクルのタイミング

Not Recommended for New Design

次にレジスタの設定方法を説明します。

① $\overline{RAS}$, $\overline{CAS}$, $\overline{DMUX}$, $\overline{RFSH}$出力設定

図3.13 (2) にチップセレクトウェイトコントロールレジスタB3CSのビット構成を示します。B3CS<B3E>を操作することにより、$\overline{CS3}/\overline{CAS}$の出力禁止/許可を設定できます。また、B3CS<B3CAS>を操作することにより、$\overline{CAS}$が選択されます。

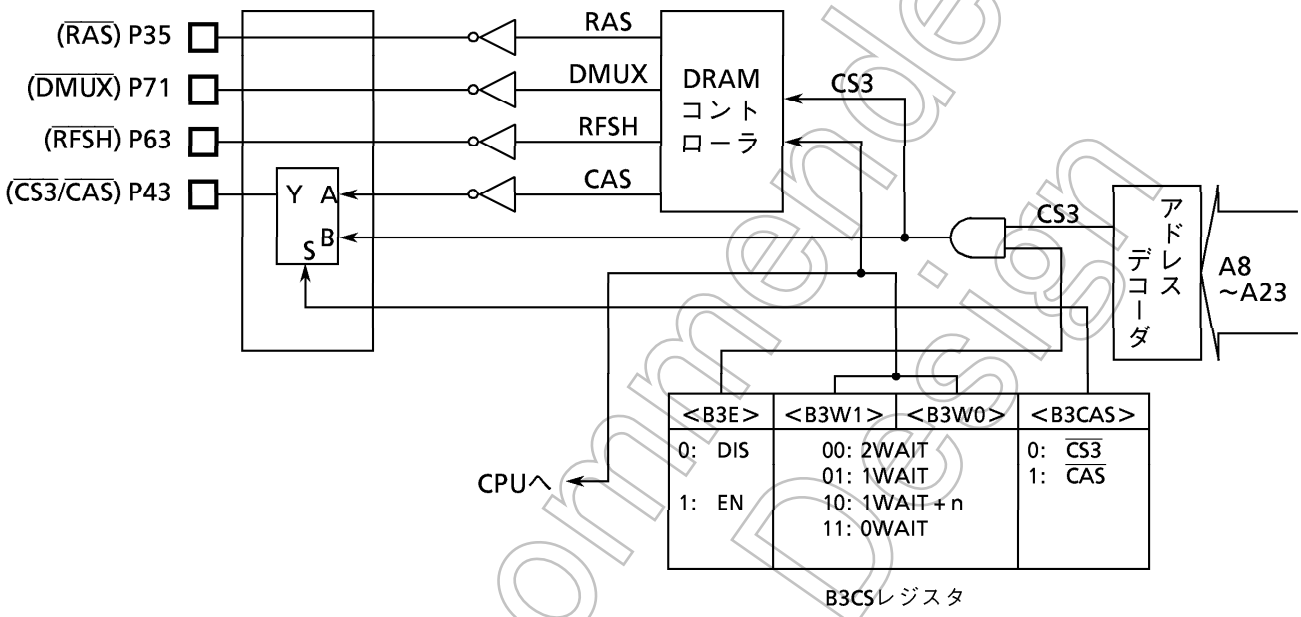


図3.13 (6) アドレスデコーダとDRAMコントローラの関係

また$\overline{RAS}$信号はP35, $\overline{CAS}$信号はP43, $\overline{DMUX}$信号はP71, $\overline{RFSH}$信号はP63とそれぞれマルチプレクスしているため、各ポートコントロールレジスタで設定する必要があります。

② WAIT挿入方法

リード/ライトコントロール時の、WAIT挿入は、B3CS<B3W1, 0>のレジスタを操作することにより設定できます。

Not Recommended for New Design

(2) リフレッシュコントローラ部

TMP96C031Zは、DRAMリフレッシュに使用できる$\overline{RAS}$/$\overline{CAS}$を出力することができます。また、同時にリフレッシュサイクルであることを示すステート信号の$\overline{RFSH}$も出力されます。

$\overline{RAS}$/$\overline{CAS}$出力は、出力周期および出力パルス幅をプログラマブルに設定できるため、DRAMのリフレッシュを容易に実現することができます。リフレッシュのみを行う場合でもB3CS<B3CAS>は"1"にセットしてください。

リフレッシュコントローラ部には、次の特長があります。

- リフレッシュ方式： $\overline{CAS}$ビフォア$\overline{RAS}$インタバルリフレッシュ方式
  $\overline{CAS}$ビフォア$\overline{RAS}$セルフリフレッシュ方式
- リフレッシュ間隔： 15~154ステート (プログラマブル)
- リフレッシュサイクル幅： 2~9ステート (プログラマブル)
- ダミーサイクル発生可能
- リフレッシュサイクルは、CPU動作サイクルとは非同期になっています。

i) $\overline{CAS}$ビフォア$\overline{RAS}$インタバルリフレッシュ方式

$\overline{CAS}$ビフォア$\overline{RAS}$リフレッシュ方式において、リフレッシュ間隔およびリフレッシュサイクル幅は、使用するDRAMによって異なっています。

そこでTMP96C031Zは、リフレッシュコントロールレジスタ値を変更することで、使用するシステムクロックおよびDRAMに合わせて$\overline{RAS}$, $\overline{CAS}$出力を設定できるようにしています。

図3.13 (7) に$\overline{CAS}$ビフォア$\overline{RAS}$リフレッシュサイクルのタイミング例を示します。

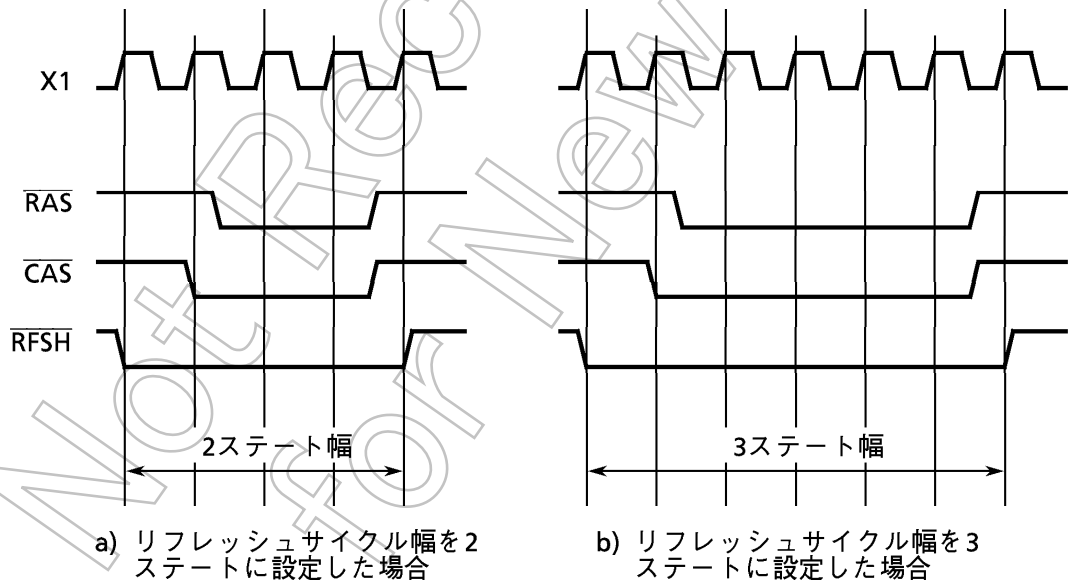


図3.13 (7) リフレッシュサイクルのタイミング例

Not Recommended for New Design

次にレジスタの設定方法を説明します。

図3.13 (4) にリフレッシュコントロールレジスタDREFCRのビット構成を示します。

① リフレッシュサイクル挿入間隔

DREFCR<RS2~0>の3ビットにより、使用するシステムクロックに合わせて、挿入間隔を設定します。

例) システムクロックを20 MHzで使用しているとき、DRAMのリフレッシュサイクルを16 μsにしたければこのビットに“111”を設定します。

表3.13 リフレッシュサイクル挿入間隔

リフレッシュサイクル			挿入間隔 (ステート)	周 波 数 (f_{OSC})						
RS2	RS1	RS0		4 MHz	8 MHz	10 MHz	12.5 MHz	14 MHz	16 MHz	20 MHz
0	0	0	15	7.5	3.75	3.0	2.4	2.14	1.88	1.5
0	0	1	31	15.5	7.55	6.2	4.96	4.43	3.88	3.1
0	1	0	62	31.0	15.5	12.4	9.92	8.86	7.75	6.2
0	1	1	78	39.0	19.5	15.6	12.48	11.14	9.75	7.8
1	0	0	97	48.5	24.25	19.4	15.52	13.86	12.13	9.7
1	0	1	109	54.5	27.25	21.8	17.44	15.57	13.63	10.9
1	1	0	124	62.0	31.0	24.8	19.84	17.72	15.5	12.4
1	1	1	154	77.0	38.5	30.8	24.7	22.0	19.3	15.4

(単位： μs)

② リフレッシュサイクル幅

DREFCR<RW2~0>の3ビットにより、リフレッシュサイクル幅($\overline{RAS}$, $\overline{CAS}$出力)を変更することができます。(2~9ステート)

③ リフレッシュサイクル制御

DREFCR<RC>のビットを操作することにより、リフレッシュサイクルの禁止/許可を制御できます。

Not Recommended for New Design

ii) $\overline{CAS}$ビフォア$\overline{RAS}$セルフリフレッシュ方式

このリフレッシュは$\overline{CAS}$ビフォア$\overline{RAS}$インタバルリフレッシュ (以下インタバルモード) 方式で動作途中に、HALT (IDLE, STOP) 命令などを実行し、CPUやDRAMコントロールを停止させてしまう場合に対応したリフレッシュ方式です。

ただし、$\overline{RFSH}$は出力されません。(“1” を出力します)

図3.13 (8)にセルフリフレッシュ方式のタイミング図を示します。

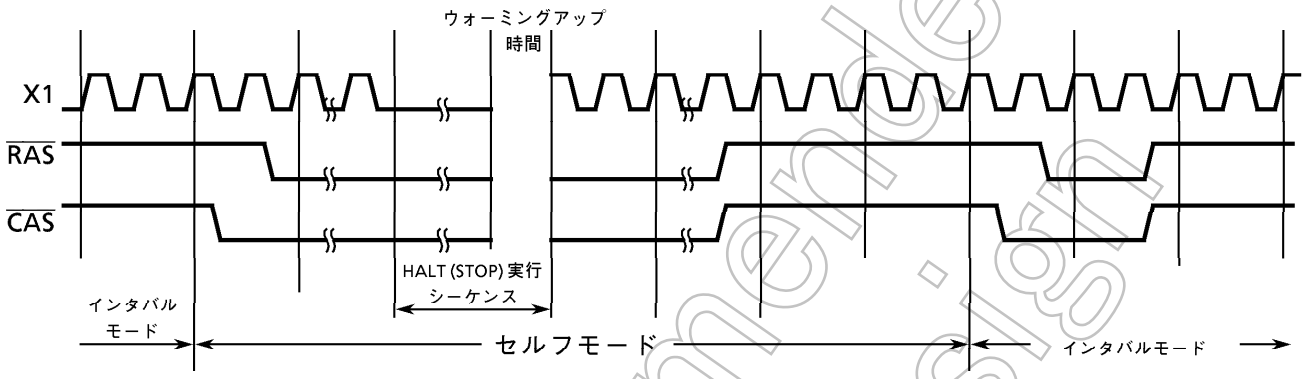


図3.13 (8) セルフリフレッシュサイクルのタイミング

実行方法は、まず通常のインタバルモードの設定を行います。そしてHALT命令の直前にB3CS<SRFC>を “0” にすることで1回通常のリフレッシュを行いその後$\overline{CAS}$端子と$\overline{RAS}$端子は、“L” レベルに保持され、セルフリフレッシュモードに入ります。解除はB3CS<SRFC>を “1” にすることで通常の$\overline{CAS}$ビフォア$\overline{RAS}$リフレッシュモードに戻ります (リフレッシュカウンタはクリアされているため、解除はすぐ1回目の$\overline{CAS}$ビフォア$\overline{RAS}$リフレッシュが入ります)。

(3) DRAMイニシャライズ

DRAMコントローラは、DRAM使用時に必要な連続した$\overline{CAS}$ビフォア$\overline{RAS}$ダミーサイクルを発生することができます。DREFCR<DMI>のビットを “1” にセットすることで実行され “0” で解除されます (<RC> ビットの操作は必要ありません)。

ダミーサイクルの幅は4ステート幅固定です。

図3.13 (9) $\overline{CAS}$ビフォア$\overline{RAS}$ダミーサイクルのタイミングを示します。

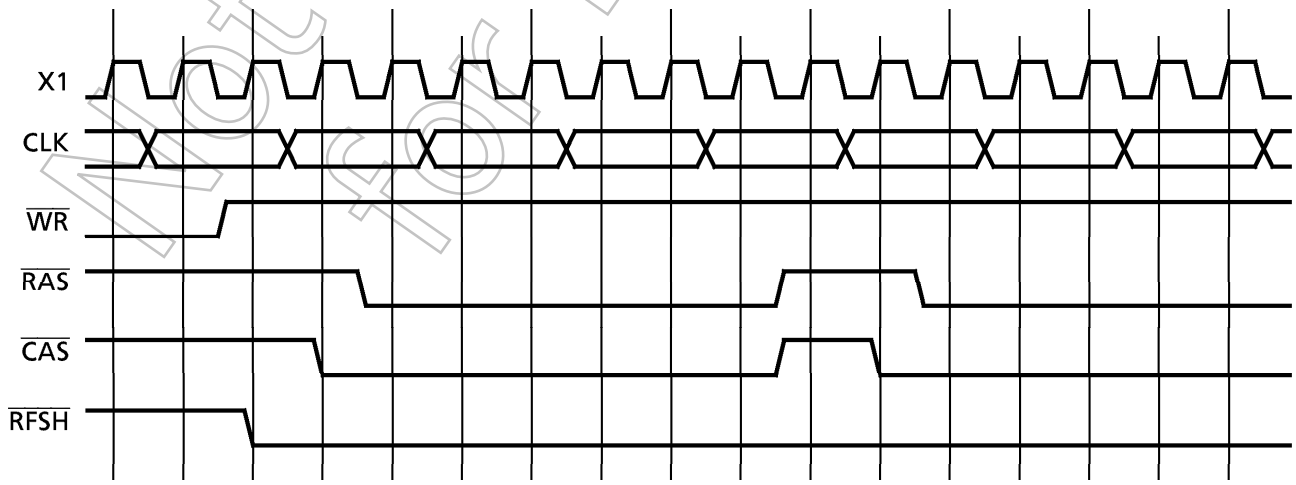


図3.13 (9) $\overline{CAS}$ ビフォア $\overline{RAS}$ダミーサイクルのタイミング (4ステート固定)

Not recommended for New Design

3.13.3 優先順位

DRAMへのリフレッシュサイクルは、CPUの動作サイクルと非同期なため、DRAMへのリード/ライトサイクルと重なる場合があります。この場合、DRAMコントローラは、先に入ったサイクル動作を優先させます。また、リフレッシュサイクルが優先された場合、メモリアクセスサイクルに自動的にウェイトを挿入します。このときのタイミングを図3.13 (10) に示します。

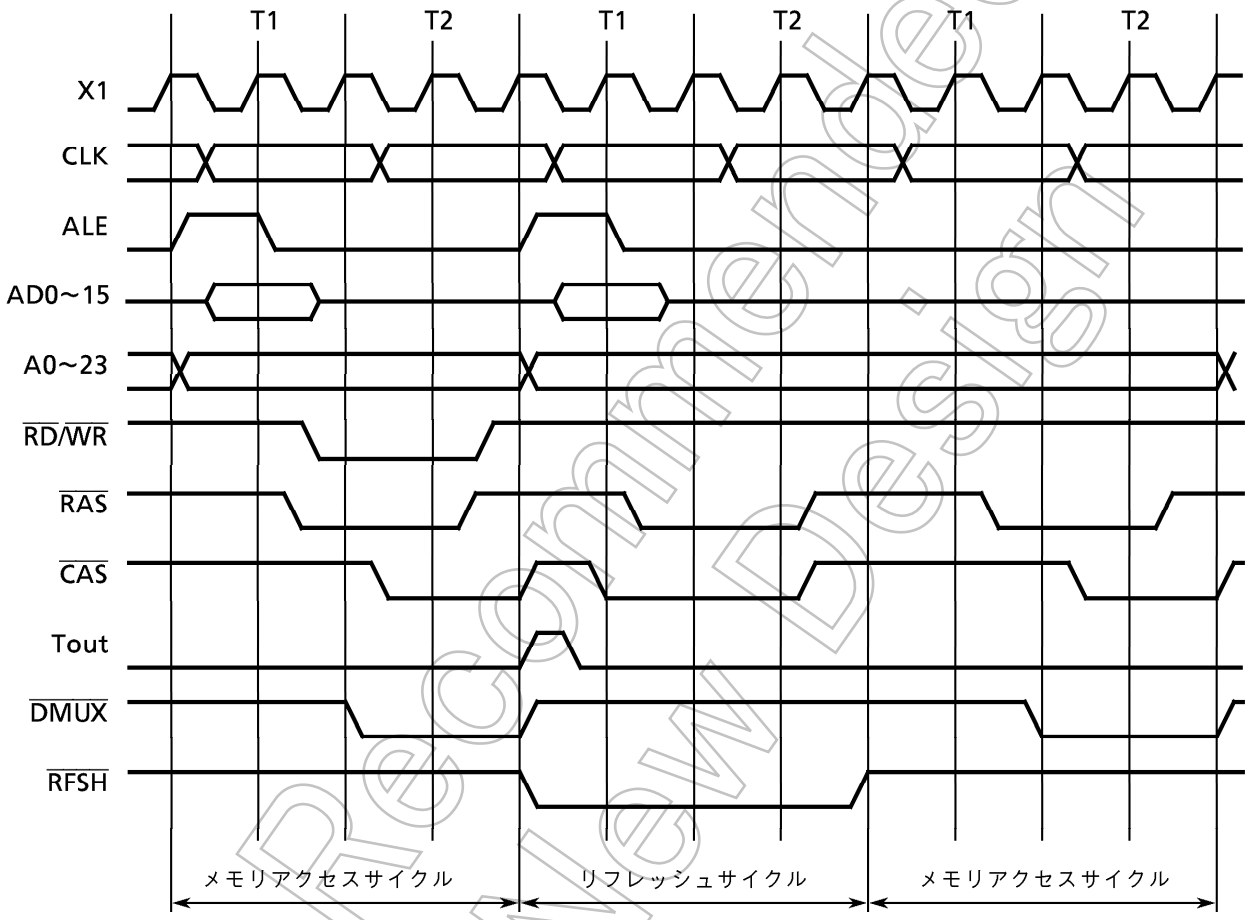
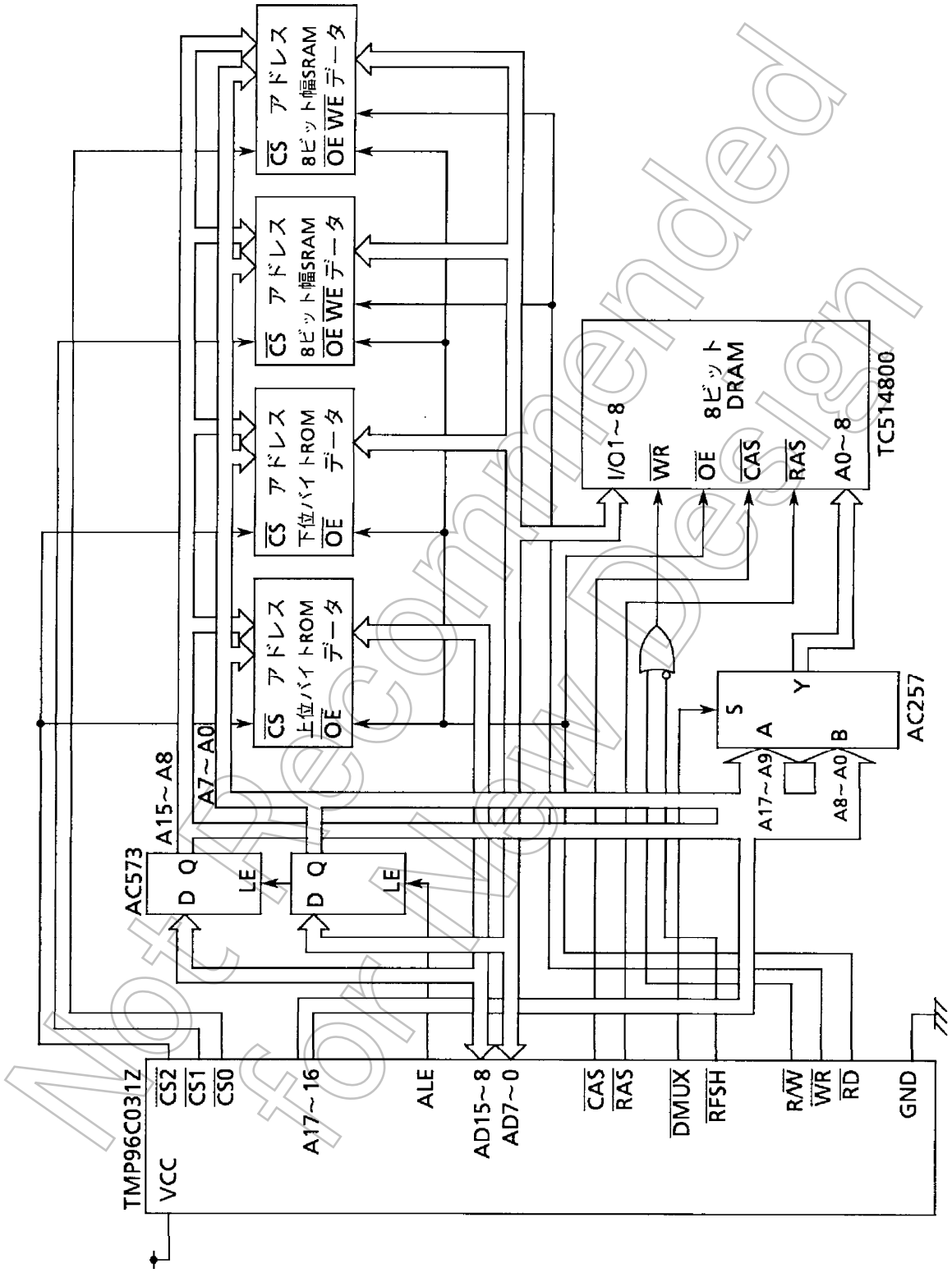


図3.13 (10) メモリアクセスサイクルにリフレッシュサイクルが入った場合のタイミング図

Not Recommended for New Design

3.13.4 接続例



Not Recommended for New Design

4. 電気的特性

4.1 最大定格 (TMP96C031Z)

項　目	記　号	定　格	単　位
電源電圧	V cc	− 0.5～6.5	V
入力電圧	V IN	− 0.5～Vcc + 0.5	V
出力電流 (合計)	Σ IOL	100	mA
出力電流 (合計)	Σ IOH	− 100	mA
消費電力 (Ta = 70℃)	P D	600	mW
はんだ付け温度 (10 s)	T SOLDER	260	℃
保存温度	T STG	− 65～150	℃
動作温度	T OPR	− 20～70	℃

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂･燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC電気的特性 (TMP96C031Z)

Vcc = 5V ± 10%, Ta = − 20～70℃ (Typ値はTa = 25℃, Vcc = 5Vの値です)

項　目	記　号	条　件	Min	Max	単位
Input Low Voltage (AD0 − 15) P2, P3, P4, P5, P6, P7, P8, P9 RESET,NMI,INT0 AM8/16 X1	V IL V IL1 V IL2 V IL3 V IL4		−0.3 −0.3 −0.3 −0.3 −0.3	0.8 0.3Vcc 0.25Vcc 0.3 0.2Vcc	V V V V V
Input High Voltage (AD0 − 15) P2, P3, P4, P5, P6, P7, P8, P9 RESET, NMI, INT0 AM8/16 X1	V IH V IH1 V IH2 V IH3 V IH4		2.2 0.7Vcc 0.75Vcc Vcc − 0.3 0.8Vcc	Vcc + 0.3 Vcc + 0.3 Vcc + 0.3 Vcc + 0.3 Vcc + 0.3	V V V V V
Output Low Voltage	V OL	I OL = 1.6 mA		0.45	V
Output High Voltage	V OH V OH1 V OH2	I OH = − 400 μA I OH = − 100 μA I OH = − 20 μA	2.4 0.75Vcc 0.9Vcc		V V V
Darlington Drive Current (8 Output Pins max.)	I DAR	V EXT = 1.5 V R EXT = 1.1 kΩ	−1.0	− 3.5	mA
Input Leakage Current Output Leakage Current	I LI I LO	0.0≦ Vin≦ Vcc 0.2≦ Vin≦ Vcc − 0.2	0.02 (Typ) 0.05 (Typ)	± 5 ± 10	μA μA
Operating Current (RUN) IDLE STOP (Ta = − 20～70℃) STOP (Ta = 0～50℃)	I cc	t osc = 20 MHz 0.2≦ Vin≦ Vcc − 0.2 0.2≦ Vin≦ Vcc − 0.2	30 (Typ) 2.0 (Typ) 0.2 (Typ)	60 10 50 10	mA mA μA μA
Power Down Voltage (@STOP, RAM Back up)	V STOP	V IL2 = 0.2Vcc, V IH2 = 0.8Vcc	2.0	6.0	V
RESET Pull Up Resistor	R RST		50	150	kΩ
Pin Capacitance	C IO	tosc = 1 MHz		10	pF
Schmitt Width RESET, NMI, INT0 (P50)	V TH		0.4	1.0 (Typ)	V
Programable Pull Down Resistor	R KL		10	80	kΩ
Programable Pull Up Resistor	R KH		50	150	kΩ

(注) I-DARは、任意の出力ポートについて、Vccピンどうしの間でそれぞれ8本まで保証します。

Not Recommended for New Design

4.3 AC電気的特性 (TMP96C031Z)

Vcc = 5V ± 10% , Ta = − 20～70℃
(4 MHz～20 MHz)

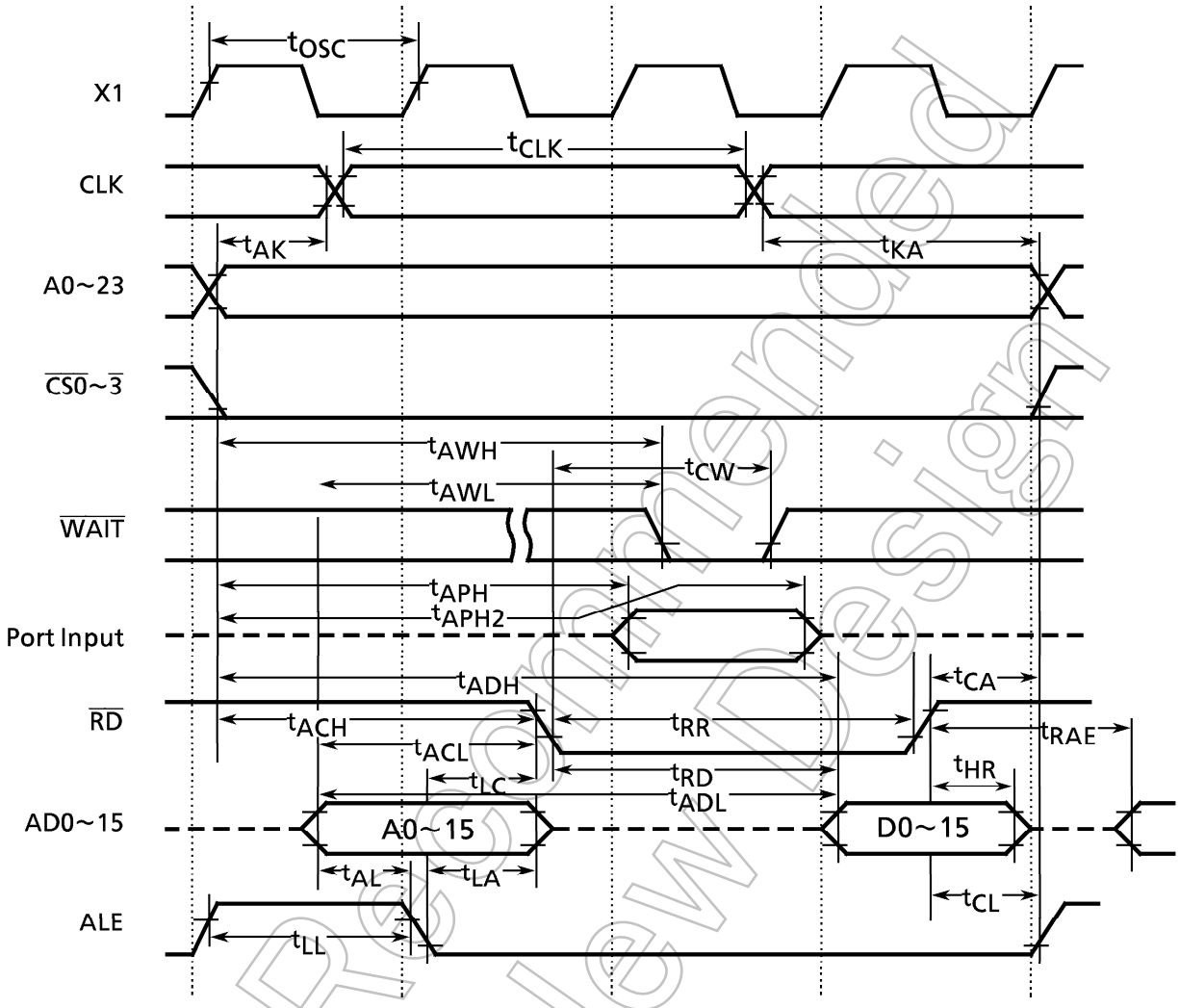
No.	項目	記号	計算式		16 MHz		20 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	t_{OSC}	50	250	62.5		50		ns
2	CLK パルス幅	t_{CLK}	2x − 40		85		60		ns
3	A0-23 有効→ CLK保持	t_{AK}	0.5x − 20		11		5		ns
4	CLK 有効→ A0-23保持	t_{KA}	1.5x − 70		24		5		ns
5	A0-15 有効→ ALE立ち下がり	t_{AL}	0.5x − 15		16		10		ns
6	ALE 立ち下がり → A0-15保持	t_{LA}	0.5x − 15		16		10		ns
7	ALE High パルス幅	t_{LL}	x − 40		23		10		ns
8	ALE 立ち下がり → $\overline{RD}/\overline{WR}$立ち下がり	t_{LC}	0.5x − 30		1		-5		ns
9	$\overline{RD}/\overline{WR}$ 立ち上がり → ALE立ち上がり	t_{CL}	0.5x − 20		11		5		ns
10	A0-15 有効→ $\overline{RD}/\overline{WR}$立ち下がり	t_{ACL}	x − 25		38		25		ns
11	A0-23 有効→ $\overline{RD}/\overline{WR}$立ち下がり	t_{ACH}	1.5x − 50		44		25		ns
12	$\overline{RD}/\overline{WR}$ 立ち上がり → A0-23保持	t_{CA}	0.5x − 20		11		5		ns
13	A0-15 有効→ D0-15入力	t_{ADL}		3.0x − 45		143		105	ns
14	A0-23 有効→ D0-15入力	t_{ADH}		3.5x − 65		154		110	ns
15	$\overline{RD}$立ち下がり → D0-15入力	t_{RD}		2.0x − 50		75		50	ns
16	$\overline{RD}$ Low パルス幅	t_{RR}	2.0x − 40		85		60		ns
17	$\overline{RD}$立ち上がり → D0-15保持	t_{HR}	0		0		0		ns
18	$\overline{RD}$立ち上がり → A0-15出力	t_{RAE}	x − 15		48		35		ns
19	$\overline{WR}$ Low パルス幅	t_{WW}	2.0x − 40		85		60		ns
20	D0-15 有効→ $\overline{WR}$立ち上がり	t_{DW}	2.0x − 50		75		50		ns
21	$\overline{WR}$立ち上がり →D0-15保持	t_{WD}	0.5x − 10		21		15		ns
22	A0-23 有効→ $\overline{WAIT}$ 入力 (1 WAIT +nモード)	t_{AWH}		3.5x − 90		129		85	ns
23	A0-15 有効→ $\overline{WAIT}$ 入力 (1 WAIT +nモード)	t_{AWL}		3.0x − 80		108		70	ns
24	$\overline{RD}/\overline{WR}$立ち下がり →$\overline{WAIT}$保持 (1 WAIT +nモード)	t_{CW}	2.0x + 0		125		100		ns
25	A0-23 有効→ PORT 入力	t_{APH}		2.5x − 120		36		5	ns
26	A0-23 有効→ PORT 保持	t_{APH2}	2.5x + 50		206		175		ns
27	$\overline{WR}$立ち上がり → PORT 有効	t_{CP}		200		200		200	ns

AC測定条件

- 出力レベル : High 2.2V /Low 0.8V , CL = 50pF
  (ただし、AD0～AD15, A0～A23, ALE, $\overline{RD}$, $\overline{WR}$, $\overline{HWR}$, CLK, $\overline{CS0}$～$\overline{CS3}$は , CL = 100pF)
- 入力レベル : High 2.4V /Low 0.45V (AD0～AD15)
  High 0.8Vcc /Low 0.2Vcc (AD0～AD15を除く)

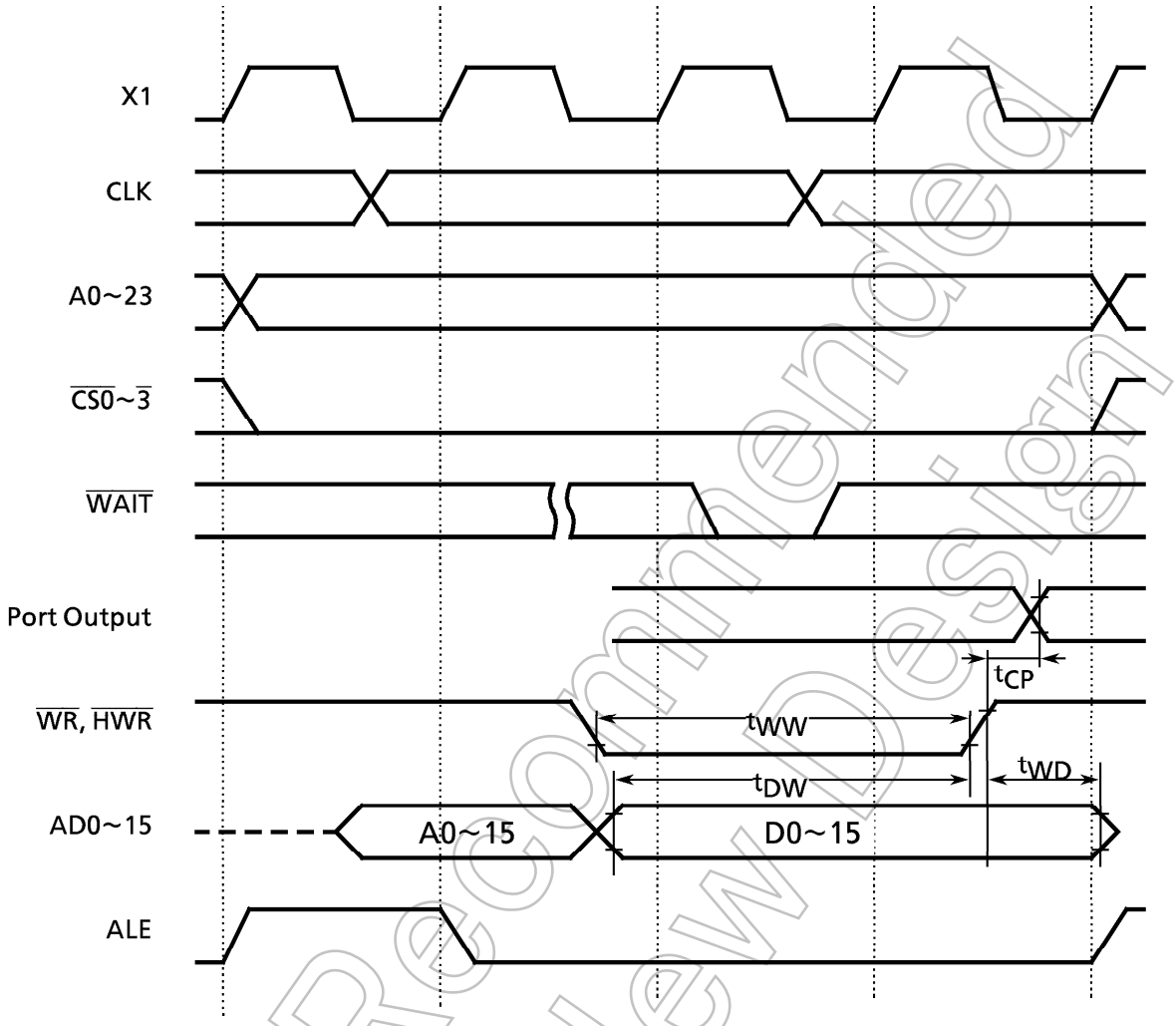
Not Recommended for New Design

(1) リードサイクル



Not Recommended for New Design

(2) ライトサイクル



Not Recommended for New Design

4.4 DRAMコントロールAC電気的特性 (TMP96C031Z)

Vcc = 5 V ± 10% , Ta = − 20～70℃
(4 MHz～20 MHz)

No.	項目	記号	計算式		16 MHz		20 MHz		単位
			MIN	MAX	MIN	MAX	MIN	MAX	
1	$\overline{RAS}$サイクル時間	t_{RC}	4X-10		240		190		ns
2	$\overline{RAS}$立ち下がり→データ入力	t_{RAC}		2X-50		75		50	ns
3	$\overline{CAS}$立ち下がり→データ入力	t_{CAC}		1X-42		20.5		8	ns
4	$\overline{RAS}$HIGHパルス幅	t_{RP}	2X-40		85		60		ns
5	$\overline{RAS}$LOWパルス幅	t_{RAS}	2X-20		105		80		ns
6	$\overline{CAS}$立ち下がり→$\overline{RAS}$立ち上がり	t_{RSH}	1X-25		38		25		ns
7	$\overline{RAS}$立ち下がり→$\overline{CAS}$立ち上がり	t_{CSH}	2X-20		105		80		ns
8	$\overline{CAS}$LOWパルス幅	t_{CAS}	1.5X-30		64		45		ns
9	$\overline{RAS}$立ち下がり→$\overline{CAS}$立ち下がり	t_{RCD}	1X-10	1X + 10	53	73	40	60	ns
10	$\overline{CAS}$立ち上がり→$\overline{RAS}$立ち下がり	t_{CRP}	1.5X-50		44		25		ns
11	$\overline{RAS}$立ち下がり→A_{0-15}保持	t_{RAH}	-30		-30		-30		ns
12	A_{0-15}有効→$\overline{RAS}$立ち下がり	t_{ASRL}	1X-10		53		40		ns
13	A_{0-23}有効→$\overline{RAS}$立ち下がり	t_{ASRH}	1.5X-10		84		65		ns
14	$\overline{WR}$立ち下がり→$\overline{RAS}$立ち上がり	t_{RWL}	2X-50		75		50		ns
15	$\overline{WR}$立ち下がり→$\overline{CAS}$立ち上がり	t_{CWL}	2X-50		75		50		ns
16	データ出力→$\overline{CAS}$立ち下がりセットアップ	t_{DS}	1X-30		33		20		ns
17	$\overline{CAS}$立ち下がり→データ出力ホールド	t_{DH}	1.5X-50		44		25		ns
18	$\overline{RAS}$立ち下がり→データ出力ホールド	t_{DHR}	2.5X-50		106		75		ns
19	$\overline{WR}$立ち下がり→$\overline{CAS}$立ち下がりセットアップ	t_{WCS}	1X-30		33		20		ns
20	$\overline{CAS}$立ち下がり→$\overline{WR}$ホールド	t_{WCH}	1X-30		33		20		ns
21	$\overline{RAS}$立ち下がり→$\overline{DMUX}$立ち下がり	t_{RDM}	0.5X-10	0.5X	21	31	15	25	ns
22	$\overline{DMUX}$立ち下がり→$\overline{CAS}$立ち下がり	t_{CDM}	0.5X	0.5X + 10	31	41	25	35	ns
23	$\overline{RAS}$立ち下がり→$\overline{CAS}$立ち上がり	t_{CHR}*1	2X-50		75		50		ns
24	$\overline{RAS}$立ち上がり→$\overline{CAS}$立ち下がり	t_{RPC}*	1.5X-30		64		45		ns
25	$\overline{CAS}$HIGHパルス幅	t_{CP}*	1.5X-60		34		15		ns
26	$\overline{CAS}$立ち下がり→$\overline{RAS}$立ち下がり	t_{CSR}*	0.5X-10		21		15		ns
27	$\overline{RAS}$LOWパルス幅	t_{RASS}*2	2000X		125		100		μs
28	$\overline{RAS}$プリチャージ時間	t_{RPS}*2	4X-50		200		150		ns
29	$\overline{CAS}$ホールド時間	t_{CHS}*2	-10		-10		-10		ns
30	$\overline{RFSH}$立ち下がり→$\overline{CAS}$立ち下がり	t_{CFL}*	1X-10		53		40		ns
31	$\overline{CAS}$立ち上がり→$\overline{RFSH}$立ち上がり	t_{CFH}*	0.5X-10		21		15		ns

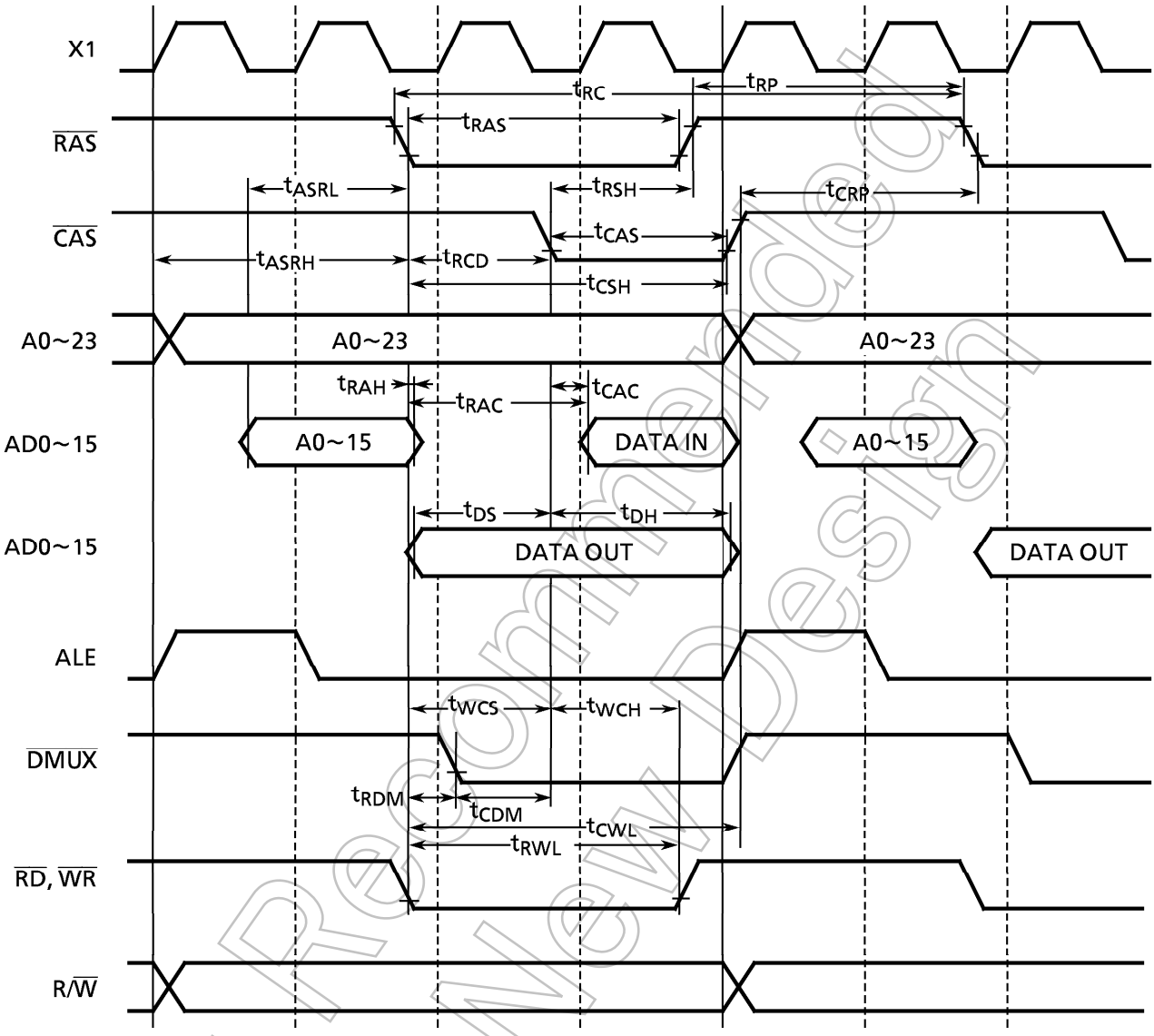
*1 $\overline{CAS}$ビフォア$\overline{RAS}$インタバルリフレッシュモード
*2 $\overline{CAS}$ビフォア$\overline{RAS}$セルフリフレッシュモード
* 両リフレッシュモード

AC測定条件

- 出力レベル : High 2.2 V / Low 0.8 V , CL = 50 pF
  (ただし、AD0～AD15, A0～A23, $\overline{RD}$, $\overline{WR}$, $\overline{HWR}$, R/$\overline{W}$, $\overline{RAS}$は、CL = 100 pF)
- 入力レベル : High 2.4 V / Low 0.45 V (AD0～AD15)
  High 0.8 Vcc / Low 0.2 Vcc (AD0～AD15を除く)

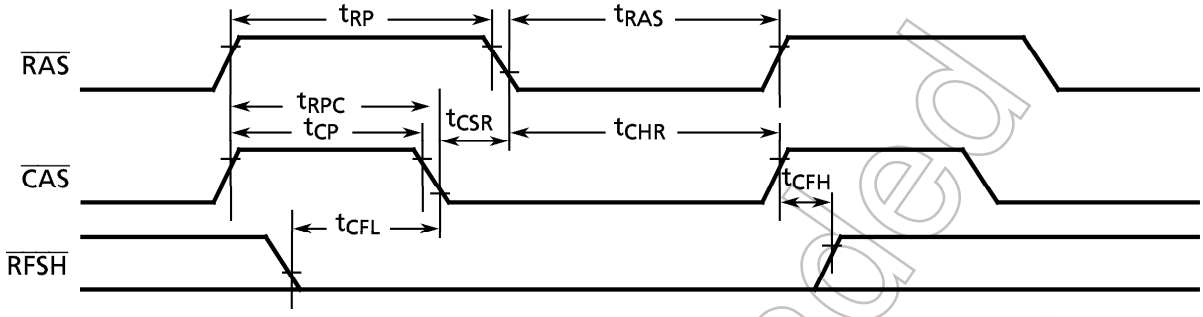
Not Recommended for New Design

(1) リード/ライト アクセス サイクル

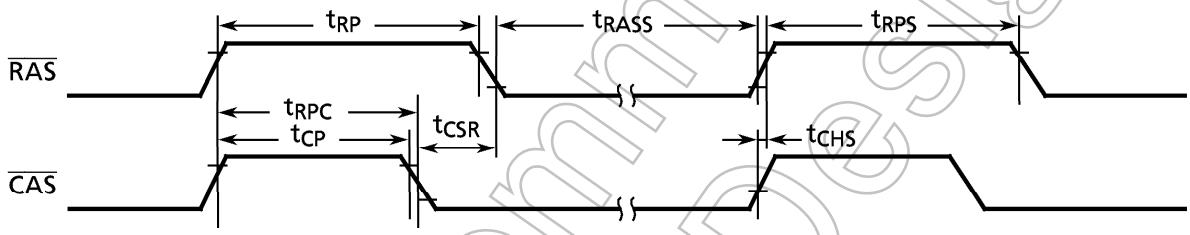


Not Recommended for New Design

(2) $\overline{CAS}$ビフォア$\overline{RAS}$インタバルリフレッシュサイクル



(3) $\overline{CAS}$ビフォア$\overline{RAS}$セルフリフレッシュサイクル



Not Recommended for New Design

4.5 A/D 変換特性

Vcc = 5V ± 10%　Ta = − 20~70°C

項　目	記　号	Min	Typ	Max	単 位
アナログ基準電圧	V_{REF}	Vcc − 1.5		Vcc	V
アナログ基準電圧	A_{GND}	Vss		Vss	
アナログ入力電圧範囲	V_{AIN}	Vss		Vcc	
アナログ基準電圧電源電流	I_{REF}		0.5	1.5	mA
総合誤差	誤差(量子化誤差 ±0.5LSB含まず)			2.0	LSB

4.6 シリアルチャネルタイミング - I/Oインタフェースモード

(1) SCLK入力モード

Vcc = 5V ± 10%　Ta = − 20~70°C

項　目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期	t_{SCY}	16X		1		0.8		μs
Output Data → SCLK立ち上がり	t_{OSS}	t_{SCY}/2 − 5X − 50		137		100		ns
SCLK立ち上がり → Output Data 保持	t_{OHS}	5X − 100		212		150		ns
SCLK立ち上がり → Input Data 保持	t_{HSR}	0		0		0		ns
SCLK立ち上がり → 有効 Data 入力	t_{SRD}		t_{SCY} − 5X − 100		587		450	ns

(2) SCLK出力モード

項　目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期 (プログラマブル)	t_{SCY}	16X	8192X	1	512	0.8	409.6	μs
Output Data → SCLK立ち上がり	t_{OSS}	t_{SCY} − 2X − 150		725		550		ns
SCLK立ち上がり → Output Data 保持	t_{OHS}	2X − 80		45		20		ns
SCLK立ち上がり → Input Data 保持	t_{HSR}	0		0		0		ns
SCLK立ち上がり → 有効 Data 入力	t_{SRD}		t_{SCY} − 2X − 150		725		550	ns

4.7 イベントカウンタ (TI0, TI4, TI5)

Vcc = 5V ± 10%　Ta = − 20~70°C

項　目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
クロック周期	t_{VCK}	8X + 100		600		500		ns
クロック低レベル パルス幅	t_{VCKL}	4X + 40		290		240		ns
クロック高レベル パルス幅	t_{VCKH}	4X + 40		290		240		ns

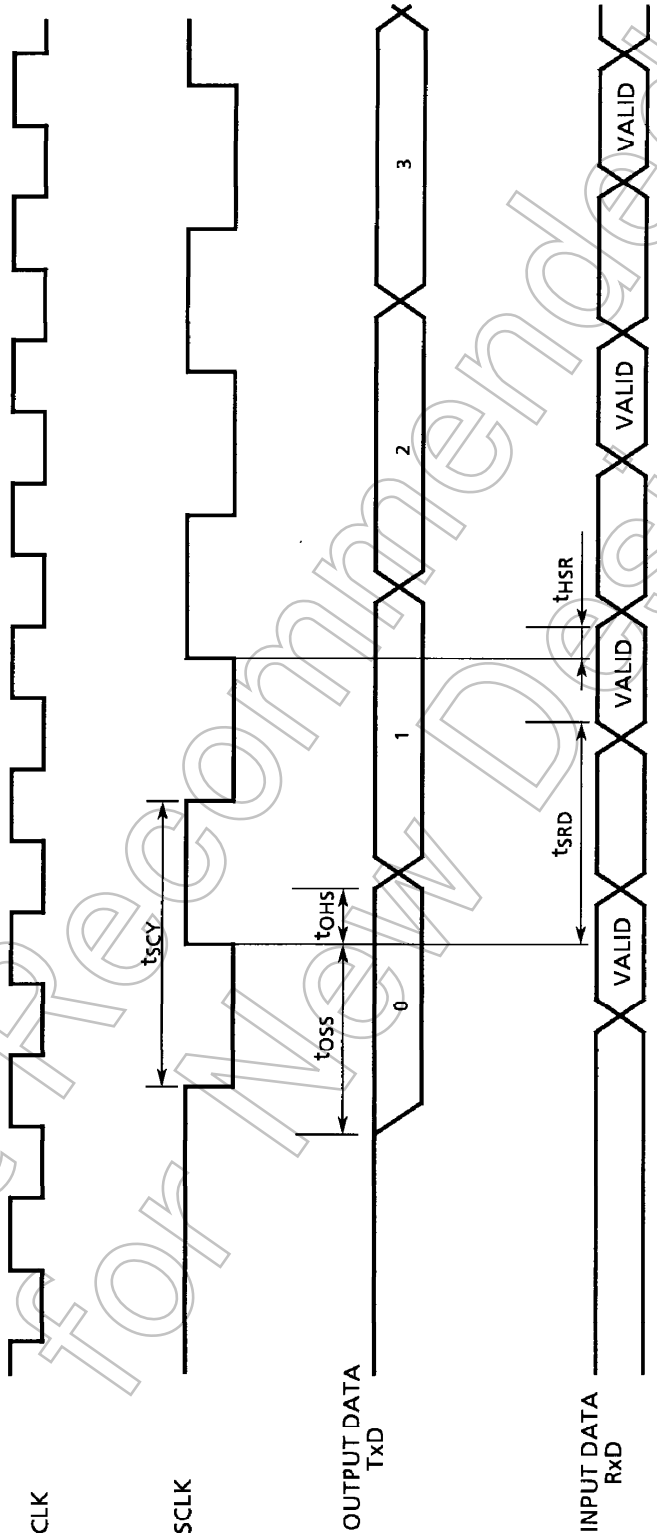
4.8 割り込みオペレーション

Vcc = 5V ± 10%　Ta = − 20~70°C

項　目	記 号	Variable		16 MHz		20 MHz		単 位
		Min	Max	Min	Max	Min	Max	
$\overline{NMI}$, INT0 低レベル パルス幅	t_{INTAL}	4X		250		200		ns
$\overline{NMI}$, INT0 高レベル パルス幅	t_{INTAH}	4X		250		200		ns
INT1~INT7 低レベル パルス幅	t_{INTBL}	8X + 100		600		500		ns
INT1~INT7 高レベル パルス幅	t_{INTBH}	8X + 100		600		500		ns

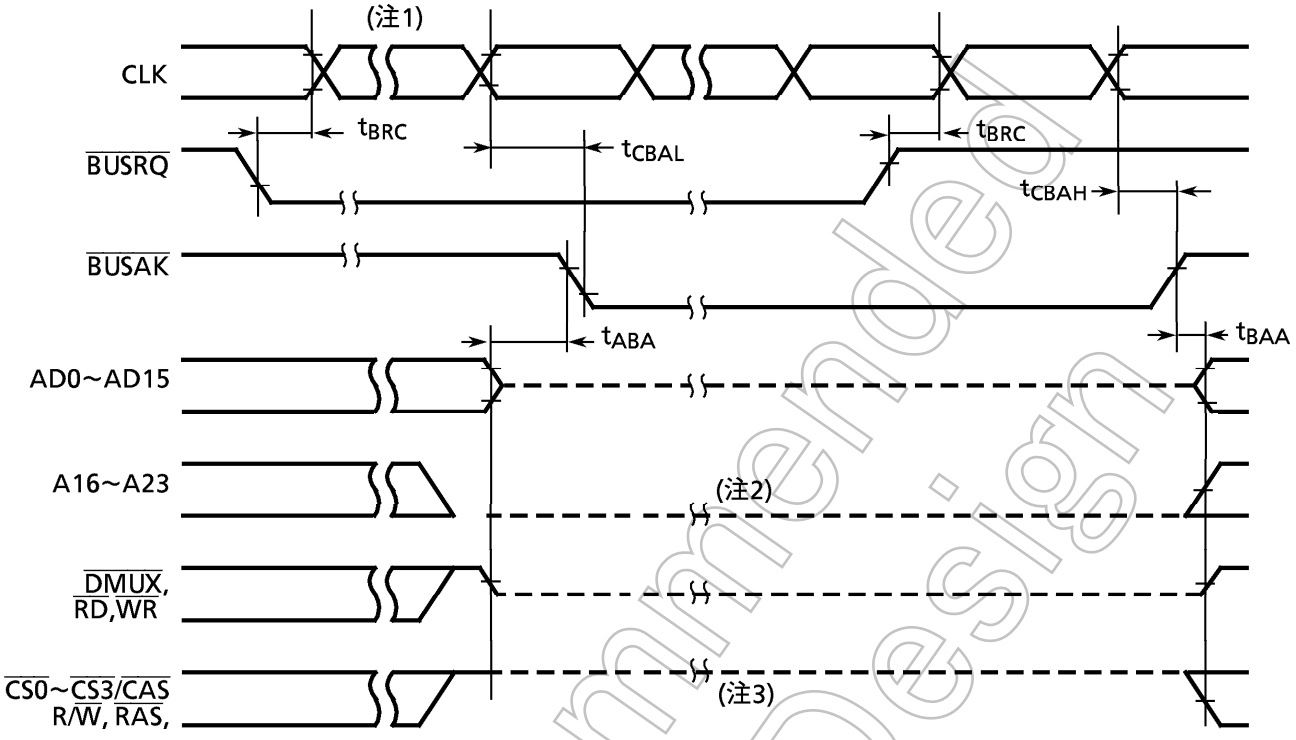
Not Recommended for New Design

4.9 I/Oインタフェースモードタイミング図



Not Recommended for New Design

4.10 バスリクエスト/バスアクノリッジ タイミング



記号	項　目	Variable		16 MHz		20 MHz		単位
		Min	Max	Min	Max	Min	Max	
t_{BRC}	CLKに対する$\overline{BUSRQ}$セットアップ時間	120		120		120		ns
t_{CBAL}	CLK→$\overline{BUSAK}$立ち下がり		2.0x + 120		214		220	ns
t_{CBAH}	CLK→$\overline{BUSAK}$立ち上がり		0.5x + 40		71		65	ns
t_{ABA}	出力バッファOFFから$\overline{BUSAK}$立ち下がりまでの時間	0	80	0	80	0	80	ns
t_{BAA}	$\overline{BUSAK}$立ち上がりから出力バッファONの時間	0	80	0	80	0	80	ns

(注1) $\overline{BUSRQ}$を"0"にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまで、バスは解放されません。

(注2) かならず内蔵のプログラマブルプルダウン抵抗が付加されています。

(注3) かならず内蔵のプログラマブルプルアップ抵抗が付加されています。

Not Recommended for New Design

4.11 標準電気的特性

特に規定のない限り、電源電圧5 V , 周囲温度25℃における標準的な特性です。

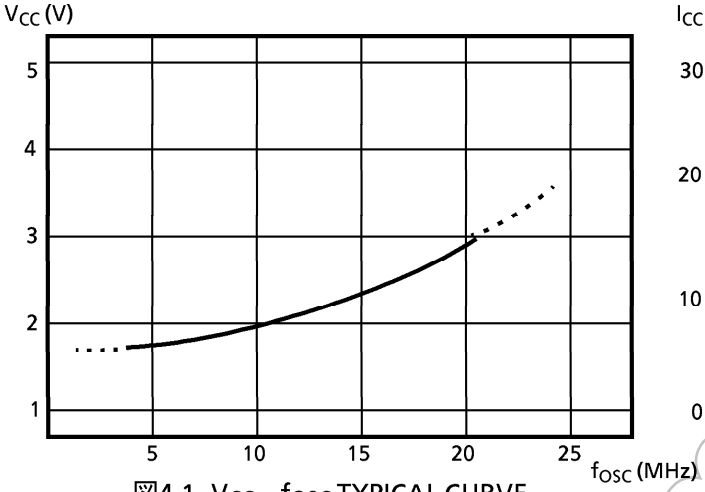


図4.1 V_{CC} – f_{OSC} TYPICAL CURVE

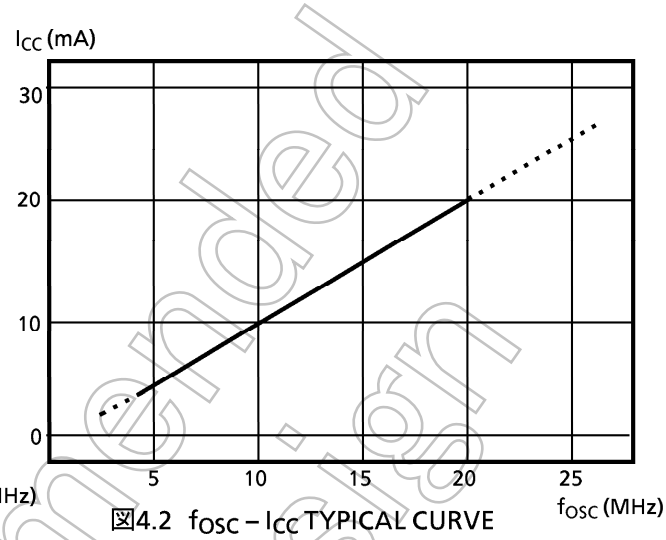


図4.2 f_{OSC} – I_{CC} TYPICAL CURVE

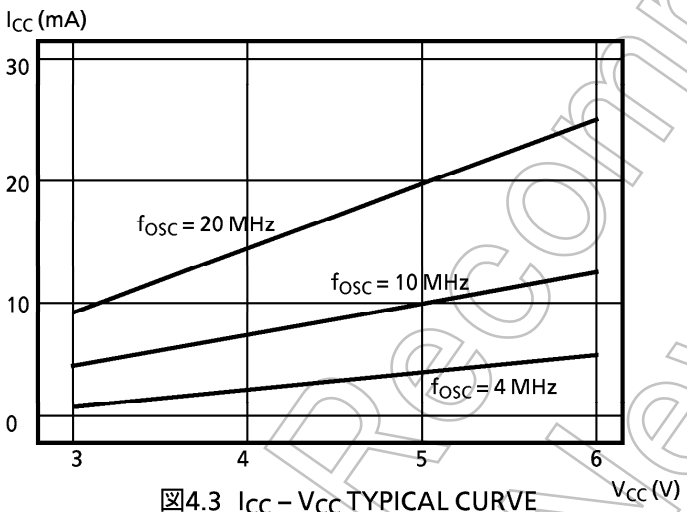


図4.3 I_{CC} – V_{CC} TYPICAL CURVE

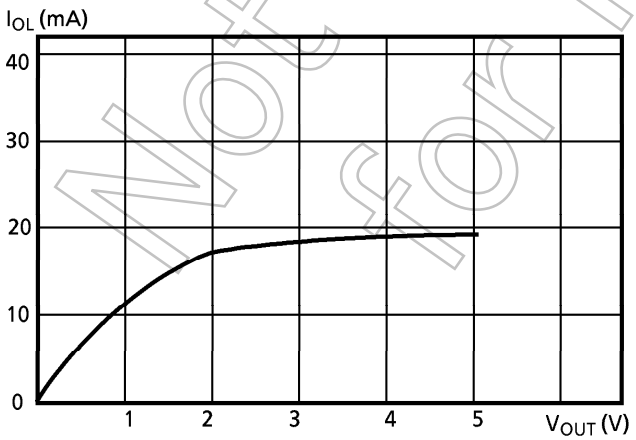


図4.4 V_{OUT} – I_{OL} TYPICAL CURVE

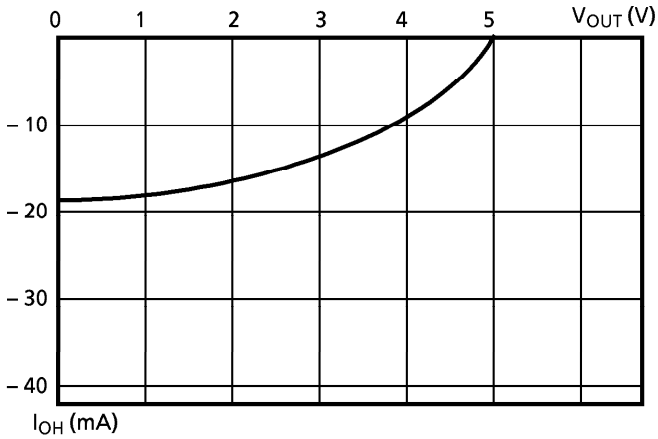


図4.5 V_{OUT} – I_{OH} TYPICAL CURVE

Not Recommended for New Design

5. 特殊機能レジスター覧表

(SFR ; Special Function Register)

特殊レジスタ(SFR)とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~00007FHの128バイトのアドレス空間に割り付けられています。

(1) 入出力ポート

(2) 入出力ポート制御

(3) タイマ制御

(4) パターンジェネレータ

(5) ウォッチドッグタイマ制御

(6) シリアル チャネル制御

(7) A/Dコンバータ制御

(8) 割り込み制御

(9) チップセレクト/ウェイト コントローラ

(10) DRAMコントローラ

表の構成

記　号	名　称	アドレス	7	6			1	0	
									→ bit Symbol
									→ Read / Write
									→ リセット時の初期値
									→ 備考

Not Recommended for New Design

表5 I/Oレジスタアドレスマップ

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
000000H		20H	TRUN	40H	MSAR0	60H	ADREG0
1H		21H		41H	MAMR0	61H	ADREG1
2H		22H	TREG0	42H	MSAR1	62H	ADREG2
3H		23H	TREG1	43H	MAMR1	63H	ADREG3
4H		24H	T01MOD	44H	MSAR2	64H	
5H		25H	TFFCR	45H	MAMR2	65H	
6H	P2	26H	TREG2	46H	MSAR3	66H	
7H	P3	27H	TREG3	47H	MAMR3	67H	
8H	P2CR	28H	T23MOD	48H		68H	B0CS
9H	P2FC	29H	TRDC	49H		69H	B1CS
AH	P3CRL	2AH		4AH		6AH	B2CS
BH	P3CRH	2BH		4BH	DREFCR	6BH	B3CS
CH	P4	2CH		4CH	PG0REG	6CH	
DH	P5	2DH		4DH	PG1REG	6DH	
EH		2EH		4EH	PG01CR	6EH	
FH		2FH		4FH		6FH	
10H	P4FC	30H	TREG4L	50H	SC0BUF	70H	INTE01
11H		31H	TREG4H	51H	SC0CR	71H	INTE23
12H	P6	32H	TREG5L	52H	SC0MOD	72H	INTE45
13H	P7	33H	TREG5H	53H	BR0CR	73H	INTE67
14H	P6CRL	34H	CAP1L	54H	SC1BUF	74H	INTET10
15H	P6CRH	35H	CAP1H	55H	SC1CR	75H	INTET32
16H	P7CRL	36H	CAP2L	56H	SC1MOD	76H	INTET54
17H	P7CRH	37H	CAP2H	57H	BR1CR	77H	INTES0
18H		38H	T4MOD	58H	ODE	78H	INTES1
19H		39H	TFF4CR	59H		79H	INTEAD
1AH		3AH	T45CR	5AH		7AH	IIMC0
1BH		3BH		5BH		7BH	IIMC1
1CH		3CH		5CH	WDMOD	7CH	DMA0V
1DH		3DH		5DH	WDCR	7DH	DMA1V
1EH		3EH		5EH	ADMOD	7EH	DMA2V
1FH		3FH		5FH		7FH	DMA3V

Not Recommended for New Design

(1) 入出力ポート

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
P2	PORT2	06H	P27	P26	P25	P24	P23	P22	P21	P20
			* R/W							
			0	0	0	0	0	0	0	0
			入力モード							
P3	PORT3	07H			P35	P34	P33	P32	P31	P30
			* R/W							
			入力モード (Pull-up付)							
					1	1	1	1	1	1
P4	PORT4	0CH					P43	P42	P41	P40
			R/W							
			出力モード							
							1	0	1	1
P5	PORT5	0DH					P53	P52	P51	P50
			R							
			入力モード							
P6	PORT6	12H	P67	P66	P65	P64	P63	P62	P61	P60
			R/W							
			1	1	1	1	1	1	1	1
			入力モード							
P7	PORT7	13H		P76	P75	P74	P73	P72	P71	P70
			R/W							
				1	1	1	1	1	1	1
			入力モード							

Read/Write

R/W ; Read/Write可能
R ; Readのみ可能
W ; Writeのみ可能
RMW禁 ; Read Modify Writeができません。(RES, SET, TSET, CHG, STCF, ANDCF, ORCF, XORCF命令などの使用不可)
* R/W ; 該当ポートのプルアップ/ダウン制御の際にはRead Modify Write 命令は使用できません。

Not Recommended for New Design

(2) 入出力ポート制御 (その1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
P2CR	PORT2 Control	08H	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	<<P2FCの欄を参照>>							
P2FC	PORT2 Function	09H	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	P2FC/P2CR = 00 : IN, 01 : OUT, 10 : —, 11 : A23-16							
P3CRL	PORT3 Control Low	0AH	P33C1	P33C0	P32C1	P32C0	P31C1	P31C0	P30C1	P30C0
			W							
			0	0	0	0	0	0	0	0
			00: PORT入力 01: PORT出力 10: $\overline{BUSAK}$ 11: —		00: PORT入力 01: PORT出力 10: $\overline{BUSRQ}$ 11: —		00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: TO5 11: $\overline{HWR}$	
		(RMW禁)								
P3CRH	PORT3 Control High	0BH	RDEN				P35C1	P35C0	P34C1	P34C0
			W				W			
			0				0	0	0	0
			1: 擬似 SRAM EN				00: PORT入力 01: PORT出力 10: $\overline{RAS}$ 11: —		00: PORT入力 01: PORT出力 10: $\overline{NMI}$ 11: R/$\overline{W}$	
		(RMW禁)								
P4FC	PORT4 Function	10H	BUSWDT				P43F	P42F	P41F	P40F
			W				W			
			0				0	0	0	0
			00: $\overline{BUSRQ}$ DIS 01: $\overline{BUSRQ}$ EN				00: PORT 01: $\overline{CS3}$ /$\overline{CAS}$	00: PORT 01: $\overline{CS2}$	00: PORT 01: $\overline{CS1}$	00: PORT 01: $\overline{CS0}$
		(RMW禁)								

Not Recommended for New Design

入出力ポート制御 (その2)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
P6CRL	PORT6 Control Low	14H (RMW禁)	P63C1	P63C0	P62C1	P62C0	P61C1	P61C0	P60C1	P60C0
			W							
			0	0	0	0	0	0	0	0
			00: PORT入力 01: PORT出力 10: PG03 11: $\overline{RFSH}$		00: PORT入力 01: PORT出力 10: PG02 11: —		00: PORT入力 01: PORT出力 10: PG01 11: —		00: PORT入力 01: PORT出力 10: PG00 11: TxD0	
P6CRH	PORT6 Control High	15H (RMW禁)	P67C1	P67C0	P66C1	P66C0	P65C1	P65C0	P64C1	P64C0
			W							
			1	1	0	0	0	0	0	0
			00: PORT入力 01: PORT出力 10: PG13 11: $\overline{WDTOUT}$		00: PORT入力 01: PORT出力 10: PG12 11: —		00: PORT入力 01: PORT出力 10: PG11 11: —		00: PORT入力 01: PORT出力 10: PG10 11: —	
P7CRL	PORT7 Control Low	16H (RMW禁)	P73C1	P73C0	P72C1	P72C0	P71C1	P71C0	P70C1	P70C0
			W							
			0	0	0	0	0	0	0	0
			00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: TO3 11: DMUX		00: PORT入力 01: PORT出力 10: TO1 11: TO4	
P7CRH	PORT7 Control High	17H (RMW禁)			P76C1	P76C0	P75C1	P75C0	P74C1	P74C0
					W					
					0	0	0	0	0	0
					00: PORT入力 01: PORT出力 10: SCLK1 11: —		00: PORT入力 01: PORT出力 10: — 11: —		00: PORT入力 01: PORT出力 10: TxD1 11: —	

Not Recommended for New Design

(3) タイマ制御 (その1)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
TRUN	Timer RUN Control Reg.	20H			PRRUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
					R/W					
					0	0	0	0	0	0
					Prescaler & Timer Run/Stop CONTROL 0 : Stop & Clear 1 : Run (Count up)					
TREG0	8 bit Timer Register 0	22H (RMW禁)	—							
			W							
			不 定							
TREG1	8 bit Timer Register 1	23H (RMW禁)	—							
			W							
			不 定							
T01MOD	8 bit Timer Source CLK & MODE	24H (RMW禁)	T10M1	T10M0	PWM01	PWM00	T1CLK1	T1CLK0	T0CLK1	T0CLK0
			W							
			0	0	0	0	0	0	0	0
			00 : 8 bit Timer 01 : 16 bit Timer 10 : 8 bit PPG 11 : 8 bit PWM		00 : – 01 : $2^6 - 1$ 10 : $2^7 - 1$ 11 : $2^8 - 1$	PWM 周期	00 : TO0TRG 01 : ϕT1 10 : ϕT16 11 : ϕT256		00 : TI0 01 : ϕT1 10 : ϕT4 11 : ϕT16	
TFFCR	8 bit Timer Flip-Flop Control reg.	25H	TFF3C1	TFF3C0	TFF3IE	TFF3IS	TFF1C1	TFF1C0	TFF1IE	TFF1IS
			W		R/W		W		R/W	
			—		0	0	—		0	0
			00 : Invent TFF3 01 : Set TFF3 10 : Clear TFF3 11 : Don't care		1: TFF3 Invert Enable	0: Timer 2 1: Timer 3	00 : Invent TFF1 01 : Set TFF1 10 : Clear TFF1 11 : Don't care		1: TFF1 Invert Enable	0: Timer 0 1: Timer 1
TREG2	8 bit Timer Register 2	26H	—							
			W							
			不 定							
TREG3	8 bit Timer Register 3	27H	—							
			W							
			不 定							
T23MOD	Timer 2, 3 Hode Reg.	28H (RMW禁)	T23M1	T23M0	PWM21	PWM20	T3CLK1	T3CLK0	T2CLK1	T2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00 : 8 bit Timer 01 : 16 bit Timer 10 : 8 bit PPG 11 : 8 bit PWM		00 : – 01 : $2^6 - 1$ 10 : $2^7 - 1$ 11 : $2^8 - 1$	PWM 周期	00 : TO2TRG 01 : ϕT1 10 : ϕT16 11 : ϕT256		00 : – 01 : ϕT1 10 : ϕT4 11 : ϕT16	
TRDC	Timer Reg. Double Buffer Control Reg.	29H							TR2DE	TR0DE
									R/W	
									0	0
									Timer Reg. Double Buffer Control 0: Double Buffer Disable 1: Double Buffer Enable	

Not Recommended for New Design

タイマ制御 (その2)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
TREG4L	16 bit Timer Register4L	30H (RMW禁)	–							
			W							
			不　定							
TREG4H	16 bit Timer Register4H	31H (RMW禁)	–							
			W							
			不　定							
TREG5L	16 bit Timer Register5L	32H (RMW禁)	–							
			W							
			不　定							
TREG5H	16 bit Timer Register5H	33H (RMW禁)	–							
			W							
			不　定							
CAP1L	Capture Register1L	34H	–							
			R							
			不　定							
CAP1H	Capture Register1H	35H	–							
			R							
			不　定							
CAP2L	Capture Register2L	36H	–							
			R							
			不　定							
CAP2H	Capture Register2H	37H	–							
			R							
			不　定							
T4MOD	16 bit Timer 4 Source CLK & MODE	38H	CAP2T5	EQ5T5	CAP1IN	CAP12M1	CAP12M0	CLE	T4CLK1	T4CLK0
			R/W		W	R/W				
			0	0	0	0	0	0	0	0
			TFF5 INV TRG 0 : TRG Disable 1 : TRG Enable		0 : Soft-Capture 1 : Don't care	Capture Timming 00 : Disable 01 : TI4 ↑ TI5 ↑ 10 : TI4 ↑ TI4 ↓ 11 : TFF1 ↑ TFF1 ↓		1: UC4 Clear Enable	Source Clock 00 : TI4 01 : ϕT1 10 : ϕT4 11 : ϕT16	
T4FFCR	16 bit Timer 4 Flip-Flop Control	39H	TFF5C1	TFF5C0	CAP2T4	CAP1T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0
			W		R/W				W	
			–		0	0	0	0	–	
			00 : Invert TFF5 01 : Set TFF5 10 : Clear TFF5 11 : Don't care		TFF4 Invert Trigger 0 : Trigger Disable 1 : Trigger Enable				00 : Invert TFF4 01 : Set TFF4 10 : Clear TFF4 11 : Don't care	

Not Recommended for New Design

タイマ制御 (その3)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
T45CR	T4, T5 Control	3AH	–				PG1T	PG0T		DB4EN
			R/W				R/W			R/W
			0				0	0		0
			"0" 固定				PG1 シフトトリガ 0：タイマ0,1 1：タイマ4	PG0 シフトトリガ 0：タイマ2,3 1：タイマ4		1:Double Buffer Enable

Not Recommended for New Design

(4) パターンジェネレータ

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
PG0REG	PG0 Register	4CH (RMW禁)	PG03	PG02	PG01	PG00	SA03	SA02	SA01	SA00
			W				R/W			
			0	0	0	0	不定			
PG1REG	PG1 Register	4DH (RMW禁)	PG13	PG12	PG11	PG10	SA13	SA12	SA11	SA10
			W				R/W			
			0	0	0	0	不定			
PG01CR	PG0, 1 Contorol	4EH	PAT1	CCW1	PG1M	PG1TE	PAT0	CCW0	PG0M	PG0TE
			R/W							
			0	0	0	0	0	0	0	0
			0: 8 bit write 1: 4 bit write	0: 正転 1: 反転	0: 4 bit Step 1: 8 bit Step	PG1トリガ入力イネーブル 1: イネーブル	0: 8 bit write 1: 4 bit write	0: 正転 1: 反転	0: 1励磁or 2励磁 1: 1-2励磁	PG0トリガ入力イネーブル 1: イネーブル

(5) ウォッチドッグタイマ

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
WD-MOD	Watch Dog Timer Mode	5CH	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
			R/W							
			1	0	0	0	0	0	0	0
			1: WDT Enable	00: 2^{16}/fc 01: 2^{18}/fc 10: 2^{20}/fc 11: 2^{22}/fc		Warming up Time 0: 2^{14}/fc 1: 2^{16}/fc	Standby Mode 00: RUN Mode 01: STOP Mode 10: IDLE Mode 11: Don't care		1: Reset端子にWDT出力を内部接続	1: STOPモード中も,端子をドライブ。
WDCR	Watch Dog Timer Control Register	5DH	–							
			W							
			不定							
			B1H: WDT Disable Code 4EH: WDT Clear Code							

Not Recommended for New Design

(6) シリアルチャネル

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC0BUF	Serial Channel 0 Buffer	50H	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 RB1	RB0 TB0
			R (Receiving) /W (Transmission)							
			不　定							
SC0CR	Serial Channel 0 Control	51H	RB8	EVEN	PE	OERR	PERR	FERR	–	–
			R	R/W		R (Cleared to 0 by reading)			R/W	
				0	0	0	0	0	0	0
			受信データビット8	Parity 0: Odd 1: Even	1: Parity Enable	1: Error Overrun	Parity	Framing	"0" 固定	"0" 固定
SC0-MOD	Serial Channel 0 Mode	52H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット8	1: CTS Enable	1: Receive Enable	1: Wake up Enable	00: 使用不可 01: UART 7 bit 10: UART 8 bit 11: UART 9 bit		00: TO0 Trigger 01: ボーレートジェネレータ 10: 内部クロックφ1 11: Don't care	
BR0CR	Baud Rate Control	53H	–		BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W		R/W					
			0		0	0	0	0	0	0
			"0" 固定		00: φT0 01: φT2 10: φT8 11: φT32	(fc/4) (fc/16) (fc/64) (fc/256)	分周値設定 0～F ("1" 使用禁止)			
SC1BUF	Serial Channel 1 Buffen	54H	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 RB1	RB0 TB0
			R (Receiving) /W (Transmission)							
			不　定							
SC1CR	Serial Channel 1 Control	55H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Cleared to 0 by reading)			R/W	
				0	0	0	0	0	0	0
			受信データビット8	Parity 0: Odd 1: Even	1: Parity Enable	1: Error Overrun	Parity	Framing	0: SCLK1 (↑) 1: SCLK1 (↓)	1: SCLK1 端子入力
SC1-MOD	Serial Channel 1 Mode	56H	TB8	–	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			不定	0	0	0	0	0	0	0
			送信データビット8	"0" 固定	1: Receive Enable	1: Wake up Enable	00: I/O Interface 01: UART 7 bit 10: UART 8 bit 11: UART 9 bit		00: TO0 Trigger 01: ボーレートジェネレータ 10: 内部クロックφ1 11: Don't care	
BR1CR	Baud Rate Control	57H	–		BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
			R/W		R/W					
			0		0	0	0	0	0	0
			"0" 固定		00: φT0 01: φT2 10: φT8 11: φT32	(fc/4) (fc/16) (fc/64) (fc/256)	分周値設定 0～F ("1" 使用禁止)			
ODE	Serial Open Drain Enable	58H							ODE1	ODE0
									R/W	
									0	0
									1:P74 オープンドレイン	1:P60 オープンドレイン

Not Recommended for New Design

(7) A/Dコンバータ制御

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
ADMOD	A/D Converter Mode reg	5EH	EOCF	ADBF	REPET	SCAN	ADCS	ADS	ADCH1	ADCH0
			R		R/W	R/W	R/W		R/W	
			0	0	0	0	0	0	0	0
			1: END	1: BUSY	1: Repeat Mode Set	1: Scan Mode Set	1: 低速モード	1: START	Analog Input Channel Select	
ADREG0	A/D Result Reg. 0	60H	—							
			R							
			不定							
ADREG1	A/D Result Reg. 1	61H	—							
			R							
			不定							
ADREG2	A/D Result Reg. 2	62H	—							
			R							
			不定							
ADREG3	A/D Result Reg. 3	63H	—							
			R							
			不定							

Not Recommended for New Design

(8) 割り込み制御 (その1)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
INTE01	INTerrupt Enable 0/1	70H	INT1				INT0			
			I1C	I1M2	I1M1	I1M0	I0C	I0M2	I0M1	I0M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTE23	INTerrupt Enable 2/3	71H	INT3				INT2			
			I3C	I3M2	I3M1	I3M0	I2C	I2M2	I2M1	I2M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTE45	INTerrupt Enable 4/5	72H	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTE67	INTerrupt Enable 6/7	73H	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTET10	INTerrupt Enable Timer 1/0	74H	INTT1 (タイマ1)				INTT0 (タイマ0)			
			IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTET32	INTerrupt Enable Timer 2/3	75H	INTT3 (タイマ3)				INTT2 (タイマ2)			
			IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTET54	INTerrupt Enable Treg 5/4	76H	INTTR5 (TREG5)				INTTR4 (TREG4)			
			IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTES0	INTerrupt Enable Serial 0	77H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	
INTES1	INTerrupt Enable Serial 1	78H	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTEAD	INTerrupt Enable A/D	79H	INTAD							
			IADC	IADM2	IADM1	IADM0				
			R/W	W						
		(RMW禁)	0	0	0	0				

IxxM2	IxxM1	IxxM0	機 能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、"1"にします。
0	1	0	割り込み要求レベルを、"2"にします。
0	1	1	割り込み要求レベルを、"3"にします。
1	0	0	割り込み要求レベルを、"4"にします。
1	0	1	割り込み要求レベルを、"5"にします。
1	1	0	割り込み要求レベルを、"6"にします。
1	1	1	割り込み要求を、禁止します。

IxxC	機 能 (リード)	機 能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

Not Recommended for New Design

割り込み制御 (その2)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA 0 request Vector	7CH	マイクロDMA0起動ベクタ							
			DMA0V8	DMA0V7	DMA0V6	DMA0V5	DMA0V4			
			W							
		(RMW禁)	0	0	0	0	0			
DMA1V	DMA 1 request Vector	7DH	マイクロDMA1起動ベクタ							
			DMA1V8	DMA1V7	DMA1V6	DMA1V5	DMA1V4			
			W							
		(RMW禁)	0	0	0	0	0			
DMA2V	DMA 2 request Vector	7EH	マイクロDMA2起動ベクタ							
			DMA2V8	DMA2V7	DMA2V6	DMA2V5	DMA2V4			
			W							
		(RMW禁)	0	0	0	0	0			
DMA3V	DMA 3 request Vector	7FH	マイクロDMA3起動ベクタ							
			DMA3V8	DMA3V7	DMA3V6	DMA3V5	DMA3V4			
			W							
		(RMW禁)	0	0	0	0	0			
IIMC0	Interrupt Input Mode Contorol 0	7AH	I4IE	I3IE	I2IE	I1IE	I1EM	I0IE	I0LE	NMIREE
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	1: INT4 入力 イネーブル	1: INT3 入力 イネーブル	1: INT2 入力 イネーブル	1: INT1 入力 イネーブル	0: INT1 立ち上がり エッジ 1: INT1 立ち下がり エッジ	1: INT0 入力 イネーブル	0: INT0 エッジ モード 1: INT0 レベル モード	1: $\overline{\text{NMI}}$ 立ち上がり エッジでも 動作
IIMC1	Interrupt Input Mode Contorol 1	7BH						I7IE	I6IE	I5IE
								W		
								0	0	0
		(RMW禁)						1: INT7 入力 イネーブル	1: INT6 入力 イネーブル	1: INT5 入力 イネーブル

Not Recommended for New Design

(9) チップセレクト/ウェイトコントローラ (その1)

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block 0 CS/WAIT control register	68H (RMW禁)	B0E	B0SYS	B0ARE	B0BUS	B0W1	B0W0	BEXW1	BEXW0
			W							
			0	0	0	0	0	0	0	0
			0: $\overline{CS0}$ DIS 1: $\overline{CS0}$ EN	1: SYSTEM only	0: 7F00~7FFF 1: アドレス空間指定	0: 16 bit 1: 8 bit	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT		00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	
B1CS	Block 1 CS/WAIT control register	69H (RMW禁)	B1E	B1SYS	B1ARE	B1BUS	B1W1	B1W0		
			W							
			0	0	0	0	0	0		
			0: $\overline{CS1}$ DIS 1: $\overline{CS1}$ EN	↑	0: 80~7FFF 1: アドレス空間指定	↑	↑		—	—
B2CS	Block 2 CS/WAIT control register	6AH (RMW禁)	B2E	B2SYS	B2ARE	B2BUS	B2W1	B2W0		
			W							
			1	0	0	不定	0	0		
			0: $\overline{CS2}$ DIS 1: $\overline{CS2}$ EN	↑	0: 8000~3FFFFF 1: アドレス空間指定	↑	↑		—	—
B3CS	Block 3 CS/WAIT control register	6BH (RMW禁)	B3E	B3SYS	B3ARE	B3BUS	B3W1	B3W0	B3CAS	SRFC
			W							
			0	0	0	0	0	0	0	1
			0: $\overline{CS3}$/$\overline{CAS}$ DIS 1: $\overline{CS3}$/$\overline{CAS}$ EN	↑	0: 不定 1: アドレス空間指定	↑	↑		0: $\overline{CS3}$出力 1: $\overline{CAS}$, $\overline{RAS}$出力	0: セルフリフレッシュ実行 1: 解除
MSAR0	Memory Start Address Reg. 0	40H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			A23~A16 メモリの先頭アドレス設定							
MAMR0	Memory Start Address Mask Reg. 0	41H	V20	V19	V18	V17	V16	V15	V14~9	V8
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレスA8~A20の比較有効 1: アドレスA8~A20の比較無効 (1 bit単位で指定)							
MSAR1	Memory Start Address Reg. 0	42H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			A23~A16 メモリの先頭アドレス設定							
MAMR1	Memory Start Address Mask Reg. 1	43H	V21	V20	V19	V18	V17	V16	V15~9	V8
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレスA8~A21の比較有効 1: アドレスA8~A21の比較無効 (1 bit単位で指定)							

Not Recommended for New Design

(9) チップセレクト/ウェイトコントローラ (その2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory Start Address Reg. 2	44H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			A23~A16 メモリの先頭アドレス設定							
MAMR2	Memory Start Address Mask Reg. 2	45H	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレスA15~A22の比較有効 1: アドレスA15~A22の比較無効 (1 bit単位で指定)							
MSAR3	Memory Start Address Reg. 3	46H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			A23~A16 メモリの先頭アドレス設定							
MAMR3	Memory Start Address Mask Reg. 3	47H	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレスA15~A22の比較有効 1: アドレスA15~A22の比較無効 (1 bit単位で指定)							

(10) DRAMコントローラ

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
DREFCR	Refresh Control Reg.	4BH	DMI	RS2	RS1	RS0	RW2	RW1	RW0	RC
			R/W							
			0	0	0	0	0	0	0	0
			ダミーサイクル 0: 禁止 1: 実行	リフレッシュサイクル挿入間隔 000: 15ステート 001: 31ステート 010: 62ステート 011: 78ステート 100: 97ステート 101: 109ステート 110: 124ステート 111: 154ステート			リフレッシュサイクル挿入間隔 000: 2ステート 001: 3ステート 010: 4ステート 011: 5ステート 100: 6ステート 101: 7ステート 110: 8ステート 111: 9ステート			リフレッシュサイクル 0: 挿入しない 1: 挿入する

Not Recommended for New Design

6. ポート部等価回路図

- 回路図の見方

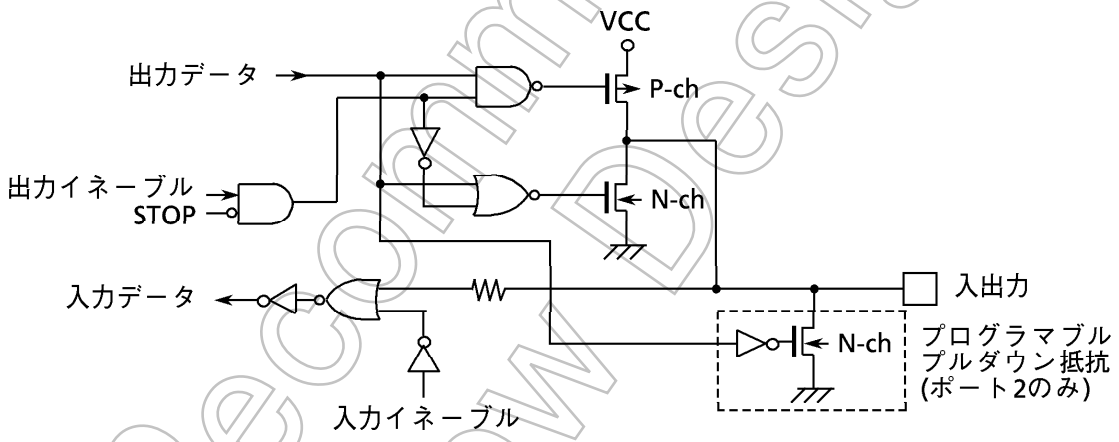
基本的に、標準CMOSロジックIC「74HC××」シリーズと同じゲート記号を使って書かれています。

信号名の中で、特殊なものについては、下記に示します。

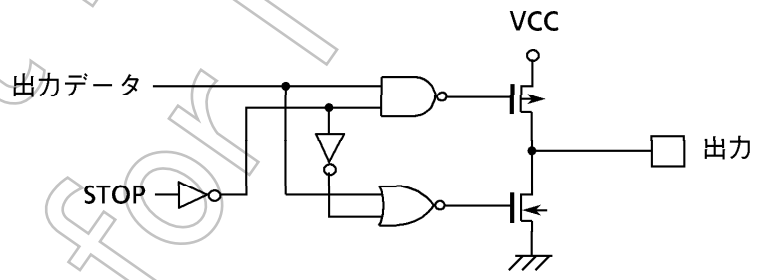
STOP : この信号は、ホールトモード設定レジスタを「STOP」モード (WDMOD<HALTM1, 0>=0, 1)にして、CPUが「HALT」命令を実行したとき アクティブ "1" になります。
ただし、ドライブイネーブル ビットWDMOD<DRVE>が "1" にセットされているときは、STOPは "0" のままです。

- 入力保護抵抗は、数十Ω～数百Ω程度です。

■ AD0~AD7, AD8~15, A8~15, P2 (A16~23)

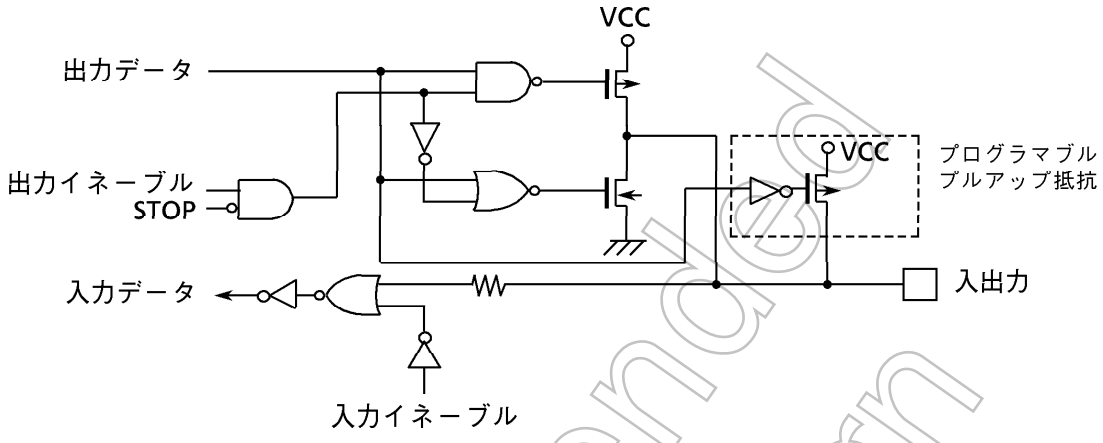


■ $\overline{RD}$, $\overline{WR}$

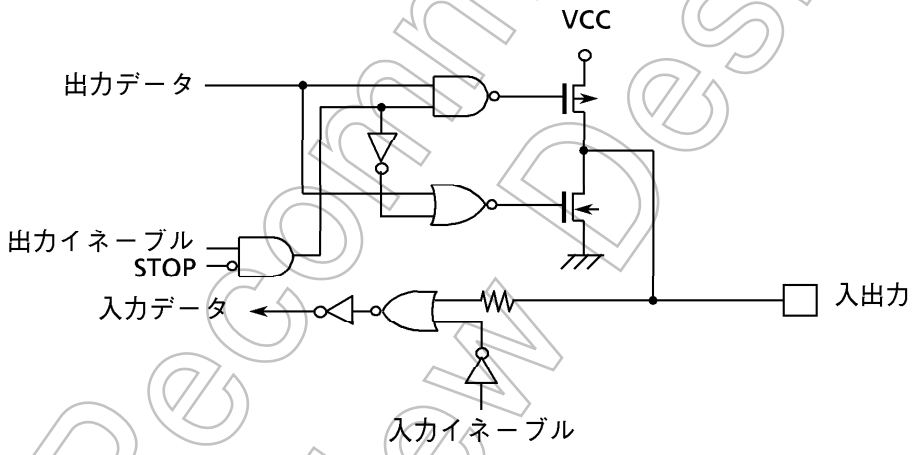


Not Recommended for New Design

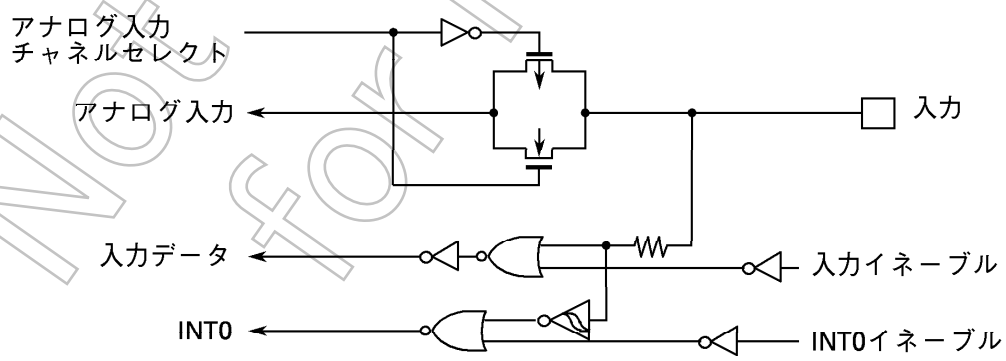
■ P30~P33, P35



■ P61~P67, P70~P73, P75~P76

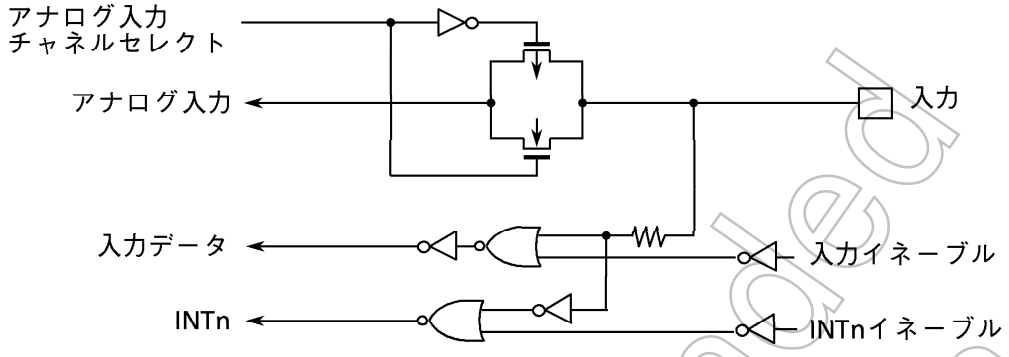


■ P50 (AN0/INT0)

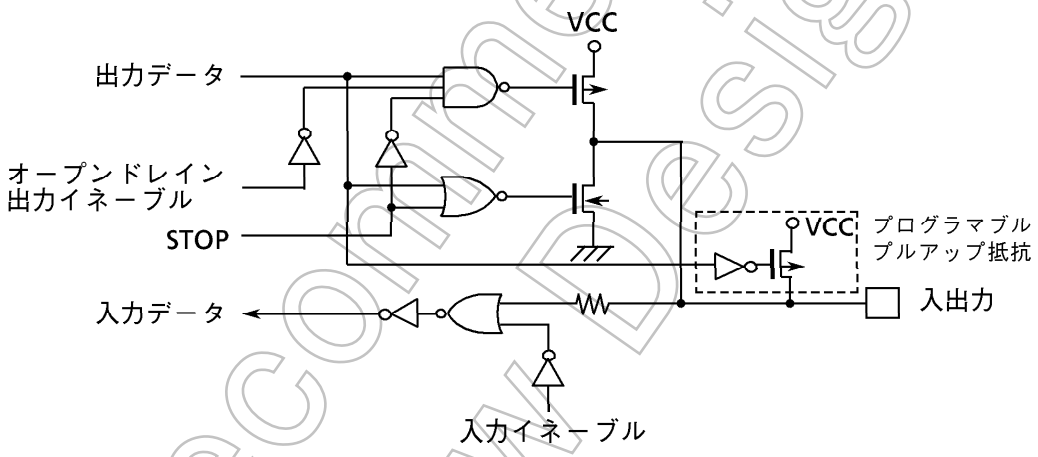


Not Recommended for New Design

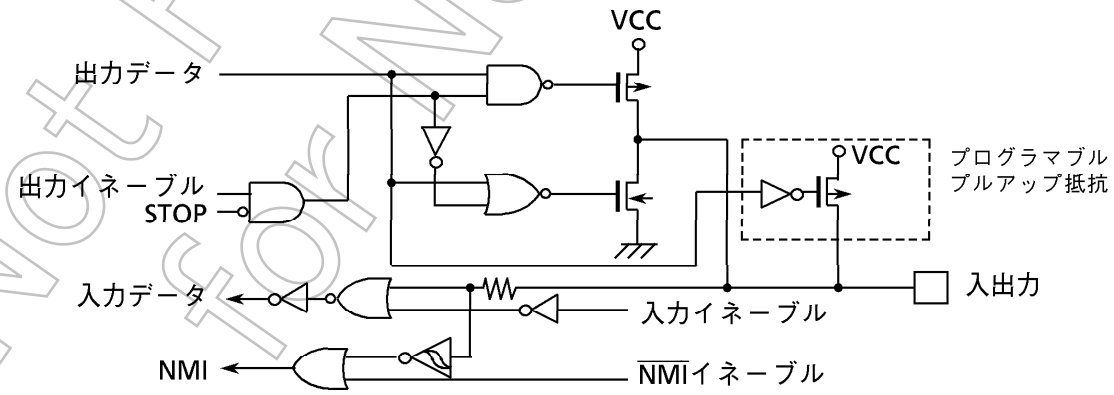
■ P51～P53 (AN1～3/INT1～3)



■ P60 (TXD0), P74 (TXD1)

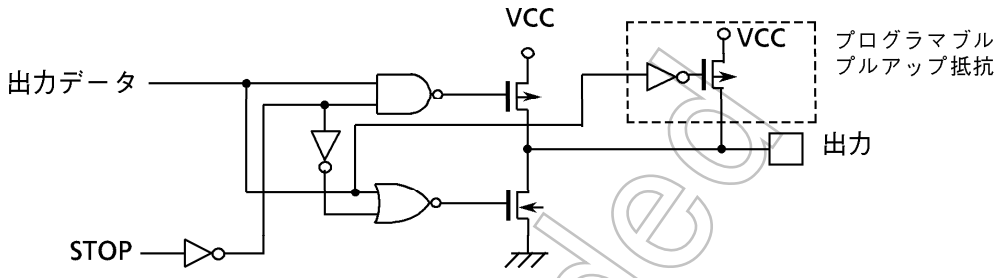


■ P34 ($\overline{NMI}$/R/$\overline{W}$)

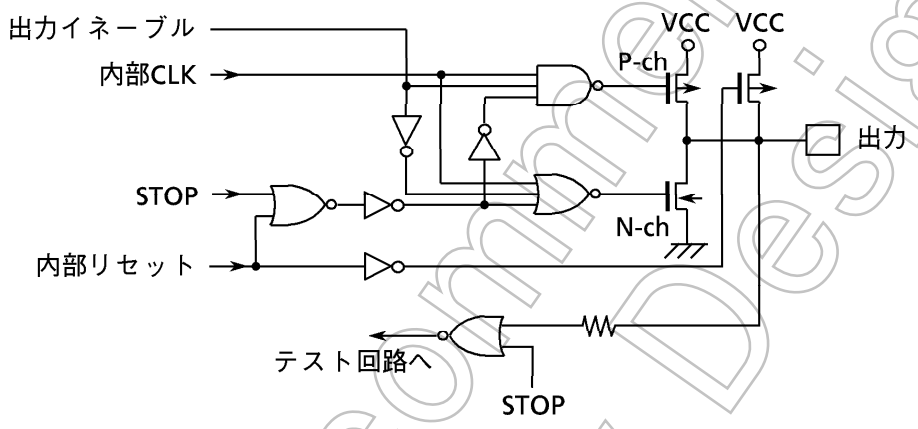


Not Recommended for New Design

■ P40~P43 ($\overline{CS0}$~$\overline{CS3}$/$\overline{CAS}$)

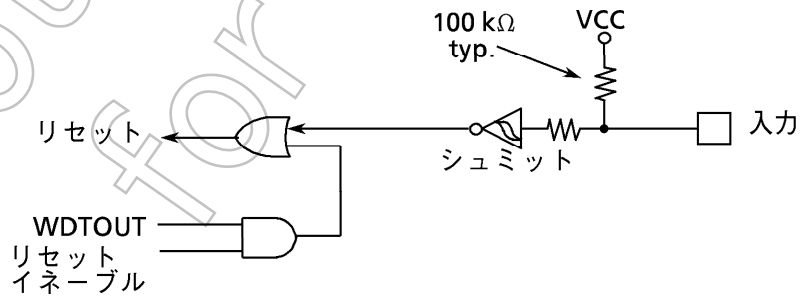


■ CLK



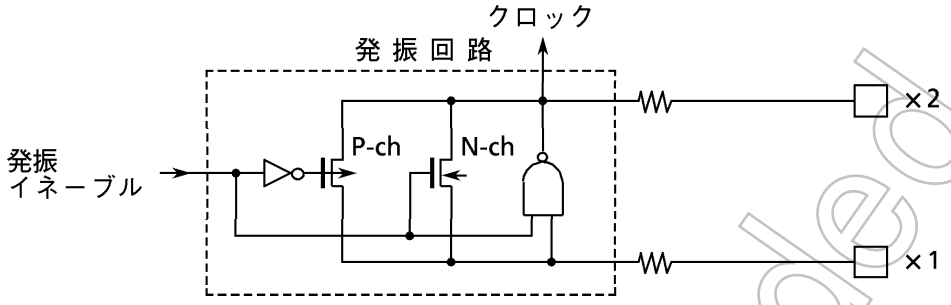
■ AM8/$\overline{16}$

■ $\overline{RESET}$

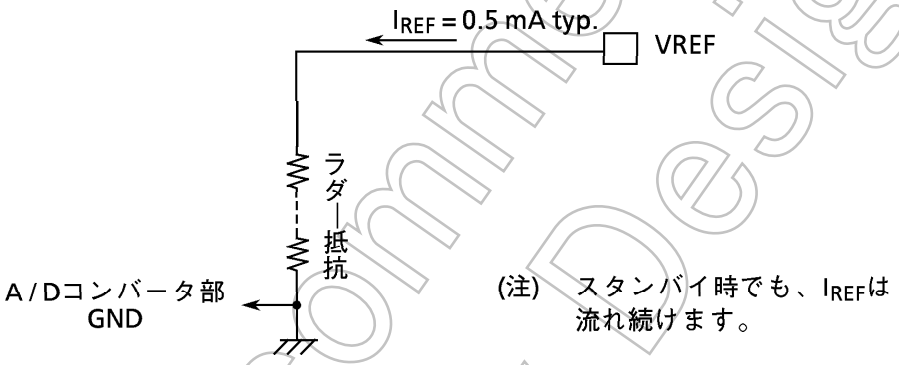


Not Recommended for New Design

■ X1, X2



■ VREF



(注) スタンバイ時でも、I_{REF}は流れ続けます。

Not Recommended for New Design

7. 使用上の注意, 制限事項

(1) 特別な表記, 言葉の説明

① 内蔵I/Oレジスタの説明 : レジスタシンボル<ビットシンボル>
例) TRUN<T0RUN> … レジスタTRUNのビットT0RUN

② リードモディファイライト命令
CPUが、1つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令。
例1) SET 3, (TRUN) … TRUNレジスタのビット3をセットする。
例2) INC 1, (100H) … 100H番地のデータを+1する。

- TLCS-900における代表的なリードモディファイライト命令
  SET imm, mem , RES imm, mem
  CHG imm, mem , TSET imm, mem
  INC imm, mem , DEC imm, mem
  RLD A, mem , ADD imm, reg

③ 1ステート
発振周波数を2分周した1周期を1ステートと呼びます。
例) 発振周波数20MHzの場合
2/20MHz=100ns=1ステートとなります。

(2) 使用上の注意, 制限事項

① AM8/$\overline{16}$端子
本端子は、VCCまたはGND端子に接続し動作中にレベル変更のないようにしてください。

② ウォーミングアップカウンタ
外部発振器を用いるシステムでSTOPモードの解除を割り込みなどで行う際には、ウォーミングアップカウンタが動作するためシステムクロックが出力されるまでウォーミングアップ時間を要します。

③ プログラマブル プルアップ/ダウン抵抗
このプルアップ/ダウン抵抗は、ポートを入力ポートとして使用するときのみプログラマブルに付加/付加なしを選択できます。出力ポートとして使用するときは、プログラマブルに選択することはできません。
付加/付加なしの選択は該ポートのデータレジスタ (例 : P3レジスタ) で制御しますが、その際にはリードモディファイライト命令は使用できませんので転送命令を使用してください。

④ バス解放機能
バス解放時の端子状態などについて、"3.5 ポート機能"の中で注意事項として掲載してありますので参照してください。

⑤ ウォッチドッグタイマ
リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

⑥ CPU (高速マイクロDMA)
CPU内にある転送元レジスタ (DMASn) などのコントロールレジスタへのデータ書き込み, 読み出しは、"LDC Cr, r", "LDC r, cr" のみでしか行えません。

Not Recommended for New Design

⑦ 割り込み要求によるホールト状態からの解除

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み ($\overline{\text{NMI}}$, INT0) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended for New Design

Not Recommended for New Design