

TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900/H シリーズ

TMP95CS66FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社16ビットマイクロコントローラTLCS-900/Hシリーズ、TMP95CS66をご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホールト状態からの解除に関する注意事項

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE1、STOPモードに設定されている状態 (IDLE2は対象外) で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み (NMI, INTO) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

本文中製品名称 (旧名称)	正式名称 (新名称)
TMP95CS66F	TMP95CS66FG

修正対象項目 2. パッケージ名称及び寸法

本文中パッケージ名称 (旧名称)	正式パッケージ名称 (新名称)
P-LQFP100-1414-0.50F	LQFP100-P-1414-0.50F

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5秒間 1回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5秒間 1回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田 付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

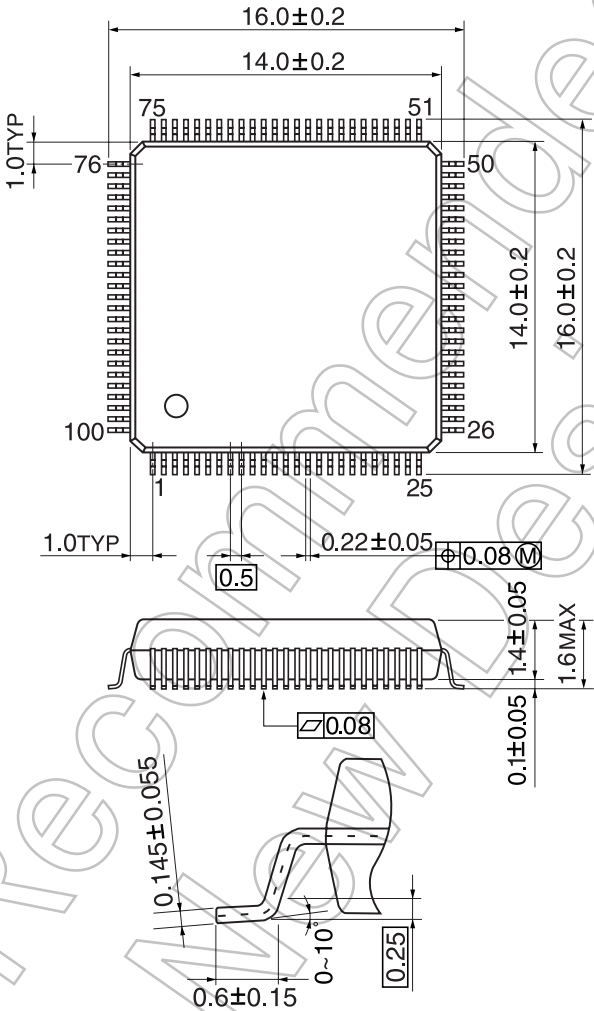
本製品の発行日は、付加ページ右下にも記入の「2008-02-20」です。

(別紙)

パッケージ外形寸法図

LQFP100-P-1414-0.50F

単位: mm



CMOS 16ビット マイクロコントローラ

TMP95CS66F

1. 概要と特長

TMP95CS66は、各種の中規模から大規模機器までの制御用として開発された、高速16ビットマイクロコントローラです。本デバイスは、TMP95CS64の機能削減品です。ここに記載されていない項目については、TMP95CS64のデータシートを参照してください。

TMP95CS66は、100ピンフラットパッケージ製品です。

特長は次のとおりです。

- 高速16ビットCPU (900/H CPU使用)
 - TLCS-90/900と命令モニタックで上位互換
 - 16 Mバイトのリニアアドレス空間
 - 汎用レジスタ、レジスタバンク方式
 - 16ビット乗除算命令、ビット転送/演算命令
 - マイクロDMA : 4チャンネル (640 ns/2バイト : 25 MHz発振時)
- 最小命令実行時間 : 160 ns (25 MHz発振時)
- 内蔵RAM : 2Kバイト
内蔵ROM : 64Kバイト
- 外部メモリ拡張
 - 16 Mバイト(プログラム/データ共通)まで拡張可能
 - 外部データバス幅選択端子 (AM8/16)
 - 外部データバス8/16ビット幅共存可能… ダイナミックバスサイジング
- 8ビットタイマ : 8チャンネル
 - イベントカウンタ機能有 (2チャンネル)
- 16ビットタイマ/イベントカウンタ : 2チャンネル
- 汎用シリアルインタフェース : 1チャンネル
- ウォッチドッグタイマ
- チップセレクト/ウェイトコントローラ : 4ブロック

000629TBP1

● マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので、必ずお読みください。

● 当社は品質・信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

● なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。

● 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下「特定用途」という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

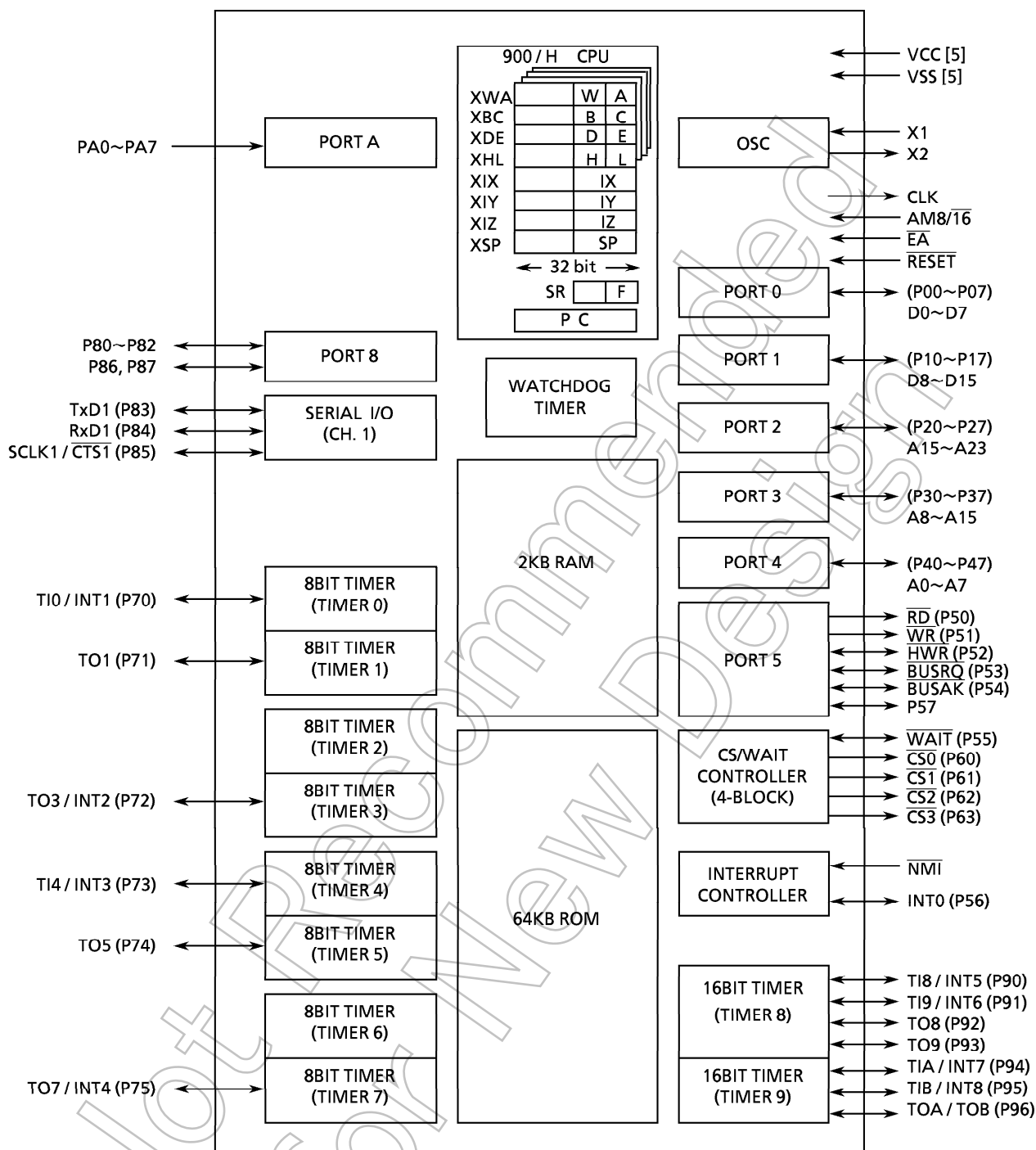
● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。

● 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

- 割り込み機能 : 割り込み要因45本
 - CPU 9本 … ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 21本
 - 外部 10本7レベルの優先順位設定が可能
- 入出力ポート : 81端子
- スタンバイ機能
 - 4種類のホールドモード (RUN、IDLE2、IDLE1、STOP)
- 動作電圧
 - VCC=4.5 ~ 5.5V
- パッケージ : P-LQFP100-1414-0.50F
- TMP95CS64F との相違点

	TMP95CS64F	TMP95CS66F
10ビットADコンバータ	8チャンネル内蔵	機能なし
8ビットDAコンバータ	2チャンネル内蔵	機能なし
動作電圧	VCC = 4.5V~5.5V (@f = 8~25MHz) VCC = 2.7V~3.3V (@f = 4~10MHz)	VCC = 4.5V~5.5V (@f = 8~25MHz)



注) リセット後の端子状態

- ・ 兼用端子は () 内の機能が選択されています。

図1 TMP95CS66ブロック図

2. ピン配置とピン機能

TMP95CS66Fのピン配置図、および、入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP95CS66Fのピン配置図は、図2.1のとおりです。

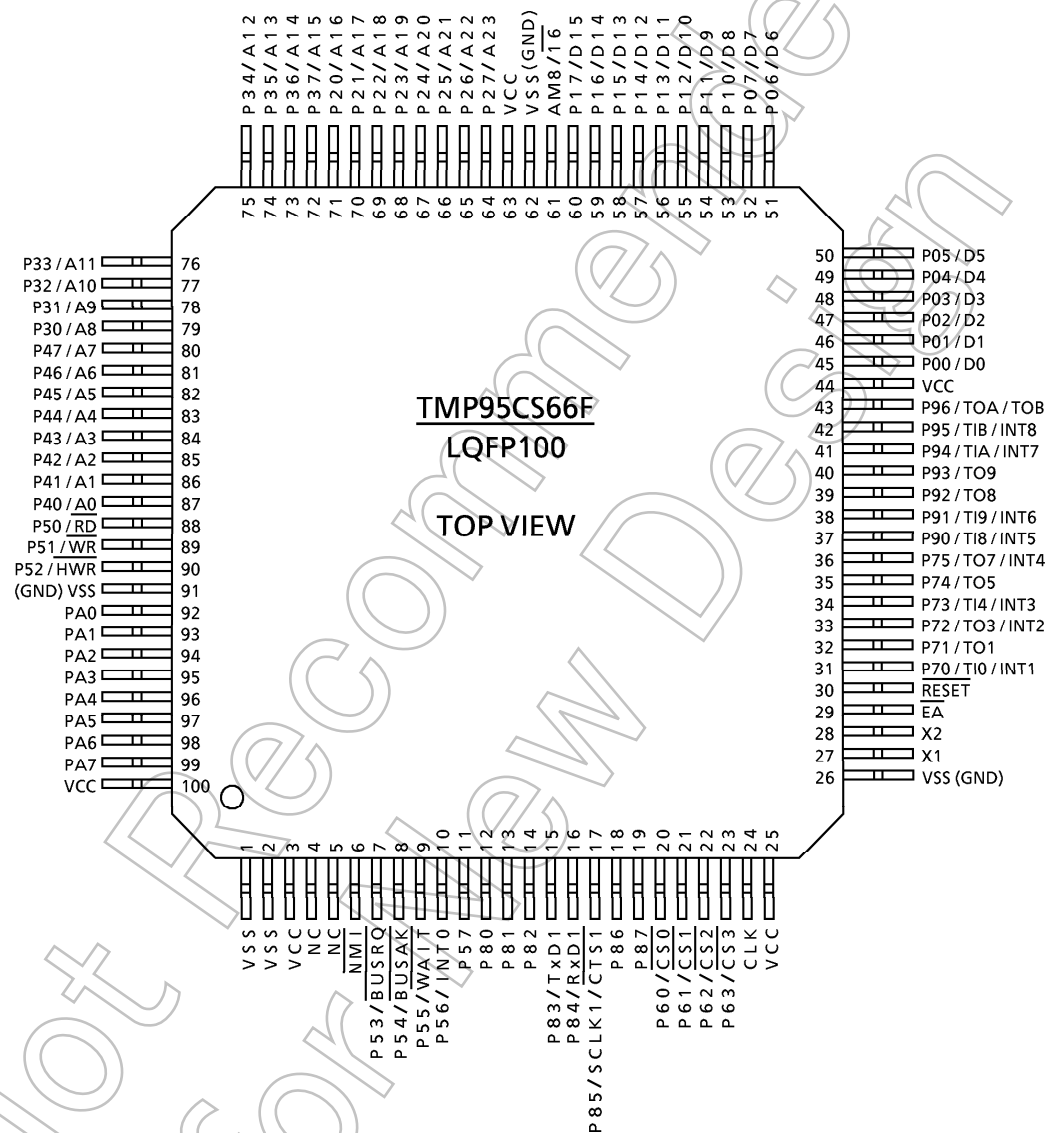


図2.1 ピン配置図 (100ピンQFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2のとおりです。

表2.2 ピン名称と機能 (1/4)

ピン名称	ピン数	入出力	機 能
P00~P07 /D0~D7	8	入出力	ポート0: ビット単位で入出力の設定ができる入出力ポートです。
		入出力	データ: データバス0~7です。
P10~P17 /D8~D15	8	入出力	ポート1: ビット単位で入出力の設定ができる入出力ポートです。
		入出力	データ: データバス8~15です。
P20~P27 /A16~A23	8	入出力	ポート2: ビット単位で入出力の設定ができる入出力ポートです。
		出力	アドレス: アドレスバス16~23です。
P30~P37 /A8~A15	8	入出力	ポート3: ビット単位で入出力の設定ができる入出力ポートです。
		出力	アドレス: アドレスバス8~15です。
P40~P47 /A0~A7	8	入出力	ポート4: ビット単位で入出力の設定ができる入出力ポートです。
		出力	アドレス: アドレスバス0~7です。
P50 /RD	1	出力	ポート50: 出力専用ポートです。
		出力	リード: 外部メモリをリードするためのストローク信号が出力されます (P5<P50>=0、P5FC<P50F>=1にすることにより、すべてのリードタイミングでストローク信号が出力されます)。
P51 /WR	1	出力	ポート51: 出力専用ポートです。
		出力	ライト: D0~7端子のデータをライトするためのストローク信号が出力されます。
P52 /HWR	1	入出力	ポート52: 入出力ポートです (プルアップ抵抗が内蔵されています)。
		出力	上位ライト: D8~15端子のデータをライトするためのストローク信号が出力されます。
P53 /BUSRQ	1	入出力	ポート53: 入出力ポートです (プルアップ抵抗が内蔵されています)。
		入力	バスリクエスト: 外部バス開放を要求する入力端子です。
P54 /BUSAK	1	入出力	ポート54: 入出力ポートです (プルアップ抵抗が内蔵されています)。
		出力	バスアクノリッジ: CPUがBUSRQを受けて外部バス開放したことを知らせる出力端子です。
P55 /WAIT	1	入出力	ポート55: 入出力ポートです (プルアップ抵抗が内蔵されています)。
		入力	ウェイト: CPUへのバスウェイト要求端子です (1WAIT+Nモード、または、0+NWAITモードのとき有効です: チップセレクト/ウェイトコントロールレジスタで設定します)。
P56 /INT0	1	入出力	ポート56: 入出力ポートです (プルアップ抵抗が内蔵されています)。
		入力	割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。

表2.2 ピン名称と機能 (2/4)

ピン名称	ピン数	入出力	機 能
P57	1	入出力	ポート57: 入出力ポートです (プルアップ抵抗が内蔵されています)。
P60 / $\overline{\text{CS0}}$	1	出力	ポート60: 出力専用ポートです。
		出力	チップセレクト0: アドレスが指定したアドレス領域内なら "0" を出力します。
P61 / $\overline{\text{CS1}}$	1	出力	ポート61: 出力専用ポートです。
		出力	チップセレクト1: アドレスが指定したアドレス領域内なら "0" を出力します。
P62 / $\overline{\text{CS2}}$	1	出力	ポート62: 出力専用ポートです。
		出力	チップセレクト2: アドレスが指定したアドレス領域内なら "0" を出力します。
P63 / $\overline{\text{CS3}}$	1	出力	ポート63: 出力専用ポートです。
		出力	チップセレクト3: アドレスが指定したアドレス領域内なら "0" を出力します。
P70 / TI0 / INT1	1	入出力	ポート70: 入出力ポートです。
		入力	タイマ入力0: タイマ0の入力端子です。
		入力	割り込み要求端子1: 立ち上がりエッジの割り込み要求端子です。 
P71 / TO1	1	入出力	ポート71: 入出力ポートです。
		出力	タイマ出力1: タイマ0、または、タイマ1の出力端子です。
P72 / TO3 / INT2	1	入出力	ポート72: 入出力ポートです。
		出力	タイマ出力3: タイマ2、または、タイマ3の出力端子です。
		入力	割り込み要求端子2: 立ち上がりエッジの割り込み要求端子です。 
P73 / TI4 / INT3	1	入出力	ポート73: 入出力ポートです。
		入力	タイマ入力4: タイマ4の入力端子です。
		入力	割り込み要求端子3: 立ち上がりエッジの割り込み要求端子です。 
P74 / TO5	1	入出力	ポート74: 入出力ポートです。
		出力	タイマ出力5: タイマ4、または、タイマ5の出力端子です。
P75 / TO7 / INT4	1	入出力	ポート75: 入出力ポートです。
		出力	タイマ出力7: タイマ6、または、タイマ7の出力端子です。
		入力	割り込み要求端子4: 立ち上がりエッジの割り込み要求端子です。 
P80	1	入出力	ポート80: 入出力ポートです (プルアップ抵抗が内蔵されています)。
P81	1	入出力	ポート81: 入出力ポートです (プルアップ抵抗が内蔵されています)。
P82	1	入出力	ポート82: 入出力ポートです (プルアップ抵抗が内蔵されています)。

表2.2 ピン名称と機能 (3/4)

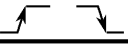
ピン名称	ピン数	入出力	機 能
P83 /TxD1	1	入出力	ポート83: 入出力ポートです (プルアップ抵抗が内蔵されています)。
		出力	シリアル送信データ1
P84 /RxD1	1	入出力	ポート84: 入出力ポートです (プルアップ抵抗が内蔵されています)。
		入力	シリアル受信データ1
P85 /SCLK1 /CTS1	1	入出力	ポート85: 入出力ポートです (プルアップ抵抗が内蔵されています)。
		入出力	シリアルクロック入出力1
		入力	シリアルデータ送信可能1 (Clear To Send)
P86	1	入出力	ポート86: 入出力ポートです (プルアップ抵抗が内蔵されています)。
P87	1	入出力	ポート87: 入出力ポートです (プルアップ抵抗が内蔵されています)。
P90 /TI8 /INT5	1	入出力	ポート90: 入出力ポートです。
		入力	タイマ入力8: タイマ8の入力端子です。
		入力	割り込み要求端子5: 立ち上がり / 立ち下がりエッジがプログラマブルな割り込み要求端子です。 
P91 /TI9 /INT6	1	入出力	ポート91: 入出力ポートです。
		入力	タイマ入力9: タイマ8の入力端子です。
		入力	割り込み要求端子6: 立ち上がりエッジの割り込み要求端子です。 
P92 /TO8	1	入出力	ポート92: 入出力ポートです。
		出力	タイマ出力8: タイマ8の出力端子です。
P93 /TO9	1	入出力	ポート93: 入出力ポートです。
		出力	タイマ出力9: タイマ8の出力端子です。
P94 /TIA /INT7	1	入出力	ポート94: 入出力ポートです。
		入力	タイマ入力A: タイマ9の入力端子です。
		入力	割り込み要求端子7: 立ち上がり / 立ち下がりエッジがプログラマブルな割り込み要求端子です。 
P95 /TIB /INT8	1	入出力	ポート95: 入出力ポートです。
		入力	タイマ入力B: タイマ9の入力端子です。
		入力	割り込み要求端子8: 立ち上がりエッジの割り込み要求端子です。 
P96 /TOA /TOB	1	入出力	ポート96: 入出力ポートです。
		出力	タイマ出力A: タイマ9の出力端子です。
		出力	タイマ出力B: タイマ9の出力端子です。
PA0~PA2	3	入力	ポートA0~A2: 入力専用ポートです。
PA3	1	入力	ポートA3: 入力専用ポートです。

表2.2 ピン名称と機能 (4/4)

ピン名称	ピン数	入出力	機 能
PA4~PA7	4	入力	ポートA4~A7: 入力専用ポートです。
$\overline{\text{NMI}}$	1	入力	ノンマスカブル割り込み要求端子: 立ち下がり/両エッジがプログラマブルな割り込み要求端子です。 
CLK	1	出力	クロック出力: 外部クロックを4分周したクロックを出力します。 リセット期間中はプルアップされます。
$\overline{\text{EA}}$	1	入力	外部アクセス: "Vcc" に接続してください。
AM8/ $\overline{16}$	1	入力	アドレスモード: 外部データバス幅の選択端子です。 本端子は "Vcc" に接続してください。外部アクセスする際のデータバス幅は、チップセレクト/ウェイトコントロールレジスタにて設定できます。
$\overline{\text{RESET}}$	1	入力	リセット: TMP95CS66を初期化します(プルアップ抵抗が内蔵されています)。
X1/X2	2	入力/出力	発振子接続端子
VCC	5		電源端子: 全VCC端子を電源に接続してください。
VSS	5		GND端子: 全VSS端子をGND (0V) に接続してください。

(注) $\overline{\text{RESET}}$ 端子以外のプルアップ抵抗付端子は、ソフトウェアによりその抵抗を端子から電氣的に切り離すことができます。

3. 電気的特性

3.1 最大定格

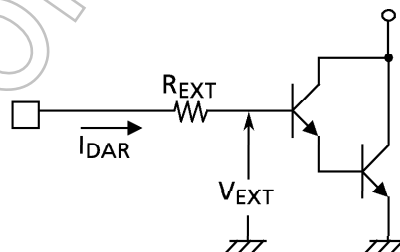
項目	記号	定格	単位
電源電圧	V _{CC}	- 0.5 ~ + 6.5	V
入力電圧	V _{IN}	- 0.5 ~ V _{CC} + 0.5	V
出力電流 (合計)	Σ I _{OL}	+ 120	mA
出力電流 (合計)	Σ I _{OH}	- 120	mA
消費電力 (Ta = + 70°C)	P _D	600	mW
はんだ付け温度 (10 s)	T _{SOLDER}	+ 260	°C
保存温度	T _{STG}	- 65 ~ + 150	°C
動作温度	T _{OPR}	- 20 ~ + 70	°C

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

3.2 DC電氣的特性

(1) $V_{CC} = +5\text{ V} \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 8 \sim 25\text{ MHz}$)(Typ値は $T_a = +25^\circ\text{C}$, $V_{CC} = +5\text{ V}$ の値です)

項目	記号	条件	Min	Max	単位
Input Low Voltage (D0~15) Port 2~A (except P56, P70, P72, P73, P75) RESET, NMI, INT0~4 EA, AM8/16 X1	V_{IL} V_{IL1} V_{IL2} V_{IL3} V_{IL4}		-0.3 -0.3 -0.3 -0.3 -0.3	0.8 0.3 V_{CC} 0.25 V_{CC} 0.3 0.2 V_{CC}	V V V V V
Input High Voltage (D0~15) Port 2~A (except P56, P70, P72, P73, P75) RESET, NMI, INT0~4 EA, AM8/16 X1	V_{IH} V_{IH1} V_{IH2} V_{IH3} V_{IH4}		2.2 0.7 V_{CC} 0.75 V_{CC} $V_{CC} - 0.3$ 0.8 V_{CC}	$V_{CC} + 0.3$ $V_{CC} + 0.3$ $V_{CC} + 0.3$ $V_{CC} + 0.3$ $V_{CC} + 0.3$	V V V V V
Output Low Voltage	V_{OL}	$I_{OL} = 1.6\text{ mA}$		0.45	V
Output High Voltage	V_{OH} V_{OH1} V_{OH2}	$I_{OH} = -400\text{ }\mu\text{A}$ $I_{OH} = -100\text{ }\mu\text{A}$ $I_{OH} = -20\text{ }\mu\text{A}$	2.4 0.75 V_{CC} 0.9 V_{CC}		V V V
Darlington Drive Current (8 Output Pins max.)	I_{DAR}	$V_{EXT} = 1.5\text{ V}$ $R_{EXT} = 1.1\text{ k}\Omega$	-1.0	-3.5	mA
Input Leakage Current	I_{LI}	$0.0 \leq V_{in} \leq V_{CC}$	0.02 (Typ)	± 5	μA
Output Leakage Current	I_{LO}	$0.2 \leq V_{in} \leq V_{CC} - 0.2$	0.05 (Typ)	± 10	μA
Operating Current (RUN)	I_{CC}	$f_c = 25\text{ MHz}$	40 (Typ)	50	mA
IDLE2			30 (Typ)	40	mA
IDLE1			3.5 (Typ)	10	mA
STOP ($T_a = -20 \sim +70^\circ\text{C}$)		$0.2 \leq V_{in} \leq V_{CC} - 0.2$	0.5 (Typ)	50	μA
STOP ($T_a = 0 \sim +50^\circ\text{C}$)		$0.2 \leq V_{in} \leq V_{CC} - 0.2$		10	μA
Power Down Voltage (@STOP, RAM Back up)	V_{STOP}	$V_{IL2} = 0.2\text{ V}_{CC}$, $V_{IH2} = 0.8\text{ V}_{CC}$	2.0	6.0	V
Pull Up Resistance	R_{RP}		45	160	k Ω
Pin Capacitance	C_{IO}	$f_c = 1\text{ MHz}$		10	pF
Schmitt Width RESET, NMI, INT0~4	V_{TH}		0.4	1.0 (Typ)	V

(注) I_{DAR} は、任意の出力ポートについて、合計8本までこのスペックを保証します。(参) I_{DAR} の定義図

3.3 AC電氣的特性

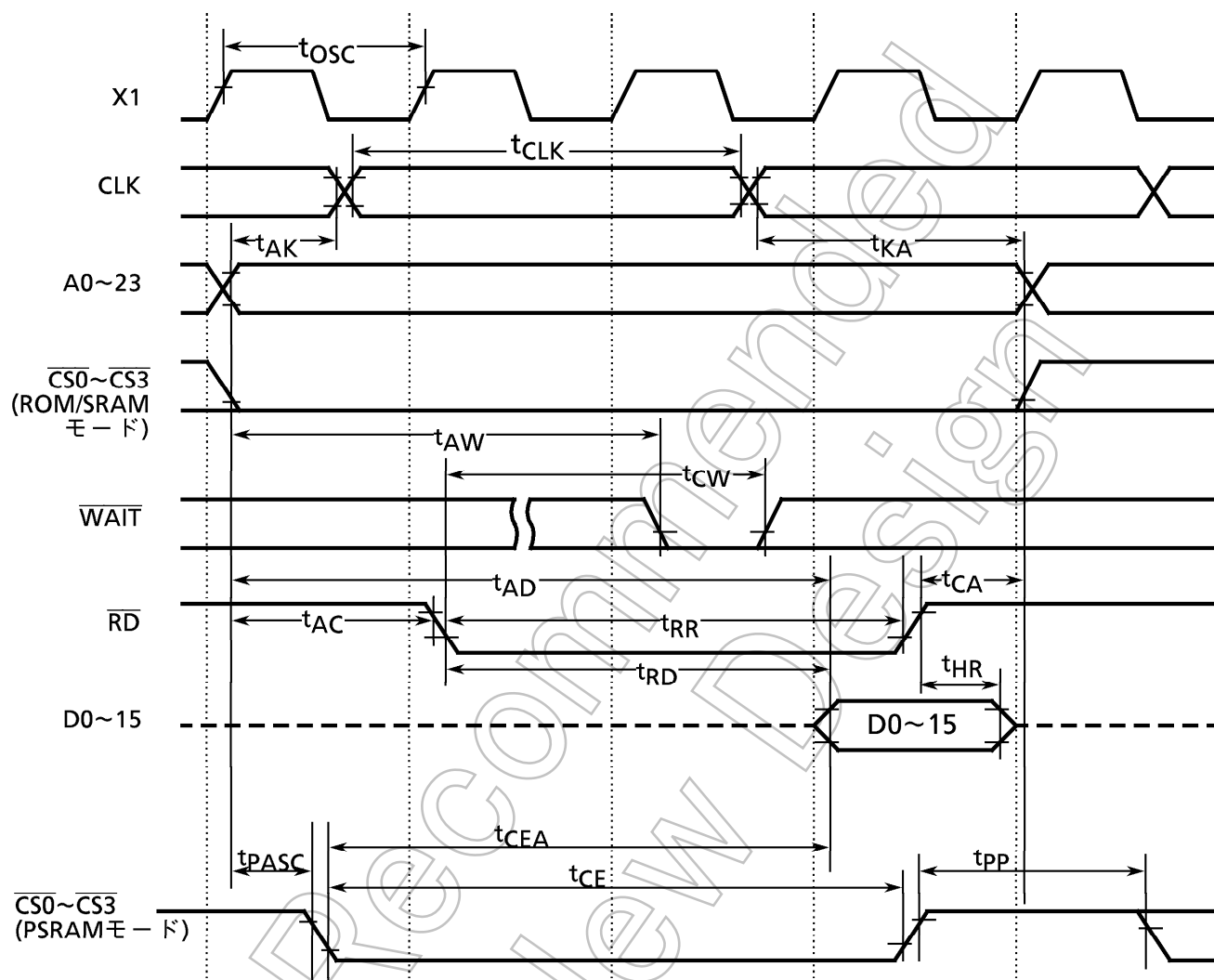
(1) $V_{CC} = +5V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ (f_c = 8 MHz~25 MHz)

No.	項目	記号	計算式		20 MHz		25 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	t _{OSC}	40	125	50		40		ns
2	CLK パルス幅	t _{CLK}	2.0x - 40		60		40		ns
3	A0~23 有効→CLK保持	t _{AK}	0.5x - 20		5		0		ns
4	CLK 有効→A0~23保持	t _{KA}	1.5x - 60		15		0		ns
5	A0~23 有効→RD/WR立ち下がり	t _{AC}	1.0x - 20		30		20		ns
6	RD/WR 立ち上がり→A0~23保持	t _{CA}	0.5x - 20		5		0		ns
7	A0~23 有効→D0~15入力	t _{AD}		3.5x - 40		135		100	ns
8	RD立ち下がり → D0~15入力	t _{RD}		2.5x - 45		80		55	ns
9	RD Low パルス幅	t _{RR}	2.5x - 40		85		60		ns
10	RD立ち上がり → D0~15保持	t _{HR}	0		0		0		ns
11	WR Low パルス幅	t _{WW}	2.5x - 40		85		60		ns
12	D0~15 有効→WR立ち上がり	t _{DW}	2.0x - 40		60		40		ns
13	WR立ち上がり → D0~15保持	t _{WD}	0.5x - 10		15		10		ns
14	A0~23 有効→WAIT 入力 (1 WAIT +nモード)	t _{AW}		3.5x - 90		85		50	ns
	A0~23 有効→WAIT 入力 (0 +n WAIT モード)	t _{AW}		1.5x - 40		35		20	ns
15	RD/WR立ち下がり→WAIT 保持 (1 WAIT +nモード)	t _{CW}	2.5x + 0		125		100		ns
	RD/WR立ち下がり→WAIT 保持 (0 +n WAIT モード)	t _{CW}	0.5x + 0		25		20		ns
16	WR立ち上がり→PORT 有効	t _{CP}		200		200		200	ns
17	CS Low パルス幅 (PSRAMモード)	t _{CE}	3.0x - 40		110		80		ns
18	CS立ち下がり→D0~15入力 (PSRAMモード)	t _{CEA}		3.0x - 60		90		60	ns
19	アドレスセットアップタイム (PSRAMモード)	t _{PASC}	0.5x - 15		10		5		ns
20	CSプリチャージタイム (PSRAMモード)	t _{PP}	1.0x - 10		40		30		ns

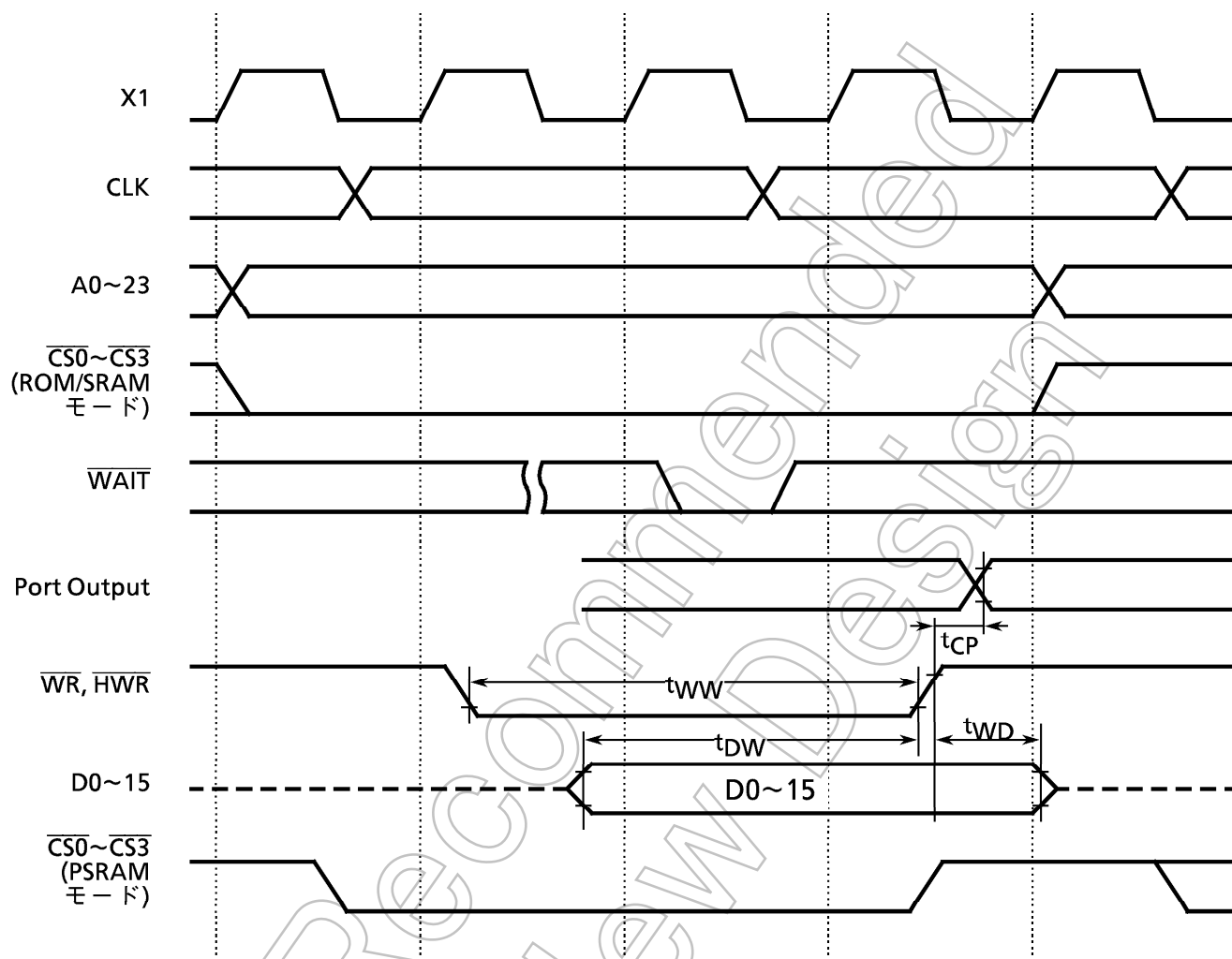
AC測定条件

- 出力レベル : High 2.2 V/Low 0.8 V , CL = 50 pF
- 入力レベル : High 2.4 V/Low 0.45 V (D0~D15)
High 0.8 V_{CC}/Low 0.2 V_{CC} (D0~D15を除く)

(2) リードサイクル



(3) ライトサイクル



3.4 シリアルチャネルタイミング

(1) I/Oインタフェースモード

① SCLK入力モード

V_{CC} = +5V ± 10%, T_a = -20 ~ +70°C (f_c = 8 ~ 25MHz)

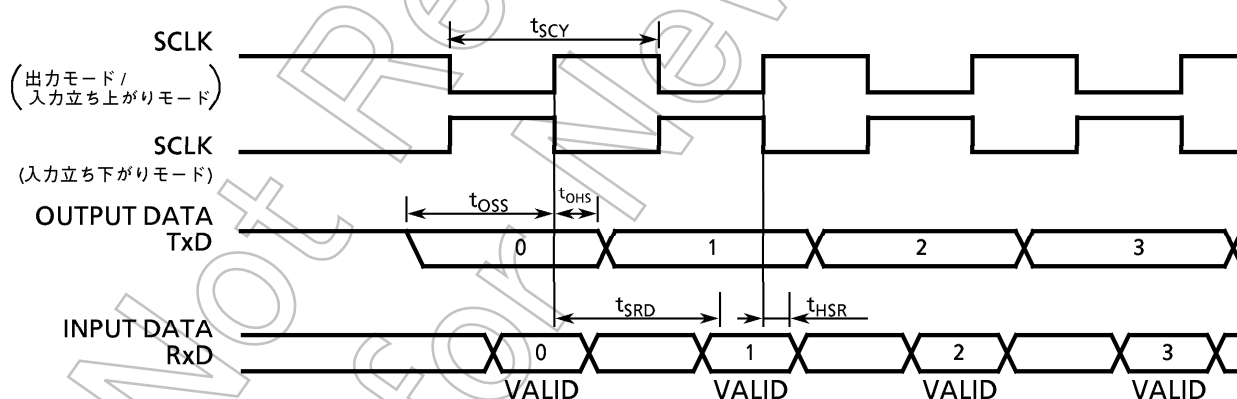
項 目	記 号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期	t _{SCY}	16x		1.6		0.64		μs
Output Data → SCLK立ち上がり / 立ち下がり *	t _{OSS}	t _{SCY} /2 - 5x - 50		250		70		ns
SCLK立ち上がり / 立ち下がり * → Output Data 保持	t _{OHS}	5x - 100		400		100		ns
SCLK立ち上がり → Input Data 保持 / 立ち下がり *	t _{HSR}	0		0		0		ns
SCLK立ち上がり / 立ち下がり * → 有効 Data 入力	t _{SRD}		t _{SCY} - 5x - 100	1000		340		ns

*) SCLK 立ち上がり / 立ち下がり … SCLK立ち上がりモードの場合は SCLK立ち上がり、SCLK立ち下がりモードの場合は SCLK立ち下がり のタイミングです。

② SCLK出力モード

V_{CC} = +5V ± 10%, T_a = -20 ~ +70°C (f_c = 8 ~ 25MHz)

項 目	記 号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期 (プログラマブル)	t _{SCY}	16x	8192x	1.6	819.2	0.64	327.6	μs
Output Data → SCLK立ち上がり	t _{OSS}	t _{SCY} - 2x - 150		1250		410		ns
SCLK立ち上がり → Output Data 保持	t _{OHS}	2x - 80		120		0		ns
SCLK立ち上がり → Input Data 保持	t _{HSR}	0		0		0		ns
SCLK立ち上がり → 有効 Data 入力	t _{SRD}		t _{SCY} - 2x - 150	1250		410		ns



(2) UARTモード (SCLK1外部入力)

V_{CC} = +5V ± 10%, T_a = -20 ~ +70°C (f_c = 8 ~ 25 MHz)

項 目	記 号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期	t _{SCY}	4x + 20		420		180		ns
SCLK低レベルパルス幅	t _{SCYL}	2x + 5		205		85		ns
SCLK高レベルパルス幅	t _{SCYH}	2x + 5		205		85		ns

3.5 イベントカウンタ (外部入力クロック : TI0, TI4, TI8, TI9, TIA, TIB)

 $V_{CC} = +5V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 8 \sim 25\text{ MHz}$)

項 目	記 号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
外部入力クロック周期	t_{VCK}	$8x + 100$		900		420		ns
外部入力クロック低レベルパルス幅	t_{VCKL}	$4x + 40$		440		200		ns
外部入力クロック高レベルパルス幅	t_{VCKH}	$4x + 40$		440		200		ns

3.6 割り込みオペレーション

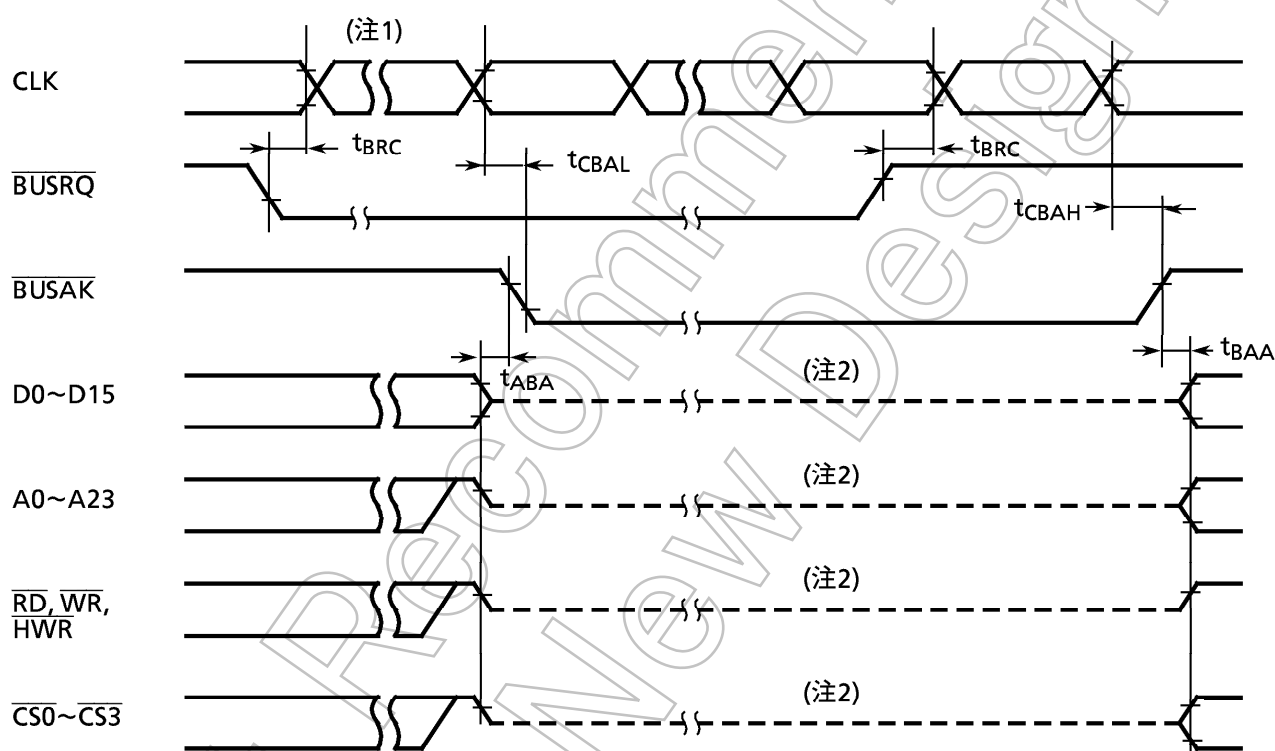
 $V_{CC} = +5V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 8 \sim 25\text{ MHz}$)

項 目	記 号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
NMI, INT0~4 低レベルパルス幅	t_{INTAL}	$4x$		400		160		ns
NMI, INT0~4 高レベルパルス幅	t_{INTAH}	$4x$		400		160		ns
INT5~INT8 低レベルパルス幅	t_{INTBL}	$8x + 100$		900		420		ns
INT5~INT8 高レベルパルス幅	t_{INTBH}	$8x + 100$		900		420		ns

3.7 バスリクエスト/バスアクノリッジタイミング

Vcc = +5V ± 10%, Ta = -20 ~ +70°C (fc = 8 ~ 25 MHz)

項目	記号	計算式		10 MHz		25 MHz		単位
		Min	Max	Min	Max	Min	Max	
CLKに対する $\overline{\text{BUSRQ}}$ セットアップ時間	t_{BRC}	120		120		120		ns
CLK → $\overline{\text{BUSAK}}$ 立ち下がり	t_{CBAL}		$2.0x + 120$		320		200	ns
CLK → $\overline{\text{BUSAK}}$ 立ち上がり	t_{CBAH}		$0.5x + 40$		90		60	ns
出力バッファOFFから $\overline{\text{BUSAK}}$ 立ち下がりまでの時間	t_{ABA}	0	80	0	80	0	80	ns
$\overline{\text{BUSAK}}$ 立ち上がりから出力バッファONまでの時間	t_{BAA}	0	80	0	80	0	80	ns



4. 特殊機能レジスタ一覧表

特殊機能レジスタ (SFR : Special Function Register) は、入出力ポート、および、周辺部のコントロールレジスタで、000000H~00009FHの160バイトのアドレス空間に割り付けられています。

また、本デバイスの内蔵レジスタは、デバイス外部からはアクセスできません。

- (1) 入出力ポート
- (2) 入出力ポート制御
- (3) タイマ制御
- (4) シリアル チャネル制御
- (5) 割り込み制御
- (6) ウォッチドッグタイマ制御
- (7) チップセレクト/ウェイト コントローラ
- (8) DAコンバータ制御
- (9) ADコンバータ制御

表の構成

記 号	名 称	アドレス	7	6	1	0	
							→ bit Symbol
							→ Read / Write
							→ リセット時の初期値
							→ 備考

(表中の記述内容についての補足)

- ① Read / Write
 - R/W : Read / Write 可能
 - R : Read 可能
 - W : Write 可能
 - *R/W : 該当ポートのプルアップ制御の際には、Read Modify Writeができません。
- ② RMW 禁
 - Read Modify Writeができません (EX, ADD, ADC, SUB, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TEST, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD命令の使用不可)。

表5 TMP95CS66特殊機能レジスタアドレス一覧表

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
000000H	P0	30H	TREG8L	60H	} (予約)	90H	B0CS
1H	P1	1H	TREG8H	1H		1H	B1CS
2H	P0CR	2H	TREG9L	2H		2H	B2CS
3H	(予約)	3H	TREG9H	3H		3H	B3CS
4H	P1CR	4H	CAP1L	4H		4H	MSAR0
5H	P1FC	5H	CAP1H	5H		5H	MAMR0
6H	P2	6H	CAP2L	6H		6H	MSAR1
7H	P3	7H	CAP2H	7H		7H	MAMR1
8H	P2CR	8H	T8MOD	8H		8H	MSAR2
9H	P2FC	9H	T8FFCR	9H		9H	MAMR2
AH	P3CR	AH	T89CR	AH		AH	MSAR3
BH	P3FC	BH	T16RUN	BH		BH	MAMR3
CH	P4	CH	} (予約)	CH		CH	BEXCS
DH	P5	DH		DH		DH	} (予約)
EH	P4CR	EH		EH		EH	
FH	P4FC	FH		FH		FH	
10H	P5CR	40H	TREGAL	70H	INTE0AD		
1H	P5FC	1H	TREGAH	1H	INTE12		
2H	P6	2H	TREGBL	2H	INTE34		
3H	P7	3H	TREGBH	3H	INTE56		
4H	(予約)	4H	CAP3L	4H	INTE78		
5H	P6FC	5H	CAP3H	5H	INTET01		
6H	P7CR	6H	CAP4L	6H	INTET23		
7H	P7FC	7H	CAP4H	7H	INTET45		
8H	P8	8H	T9MOD	8H	INTET67		
9H	P9	9H	T9FFCR	9H	INTET89		
AH	P8CR	AH	} (予約)	AH	INTETAB		
BH	P8FC	BH		BH	NTETOV		
CH	P9CR	CH		CH	INTES0		
DH	P9FC	DH		DH	INTES1		
EH	PA	EH		EH	INTES2		
FH	(予約)	FH		FH	INTETC01		
20H	T8RUN	50H	SC1BUF	80H	INTETC23		
1H	TRDC	1H	SC1CR	1H	} (予約)		
2H	TREG0	2H	SC1MOD	2H			
3H	TREG1	3H	BR1CR	3H			
4H	T01MOD	4H	} (予約)	4H			
5H	T02FFCR	5H		5H			
6H	TREG2	6H		6H			
7H	TREG3	7H		7H			
8H	T23MOD	8H	ODE	8H			
9H	TREG4	9H	IIMC	9H			
AH	TREG5	AH	DMA0V	AH			
BH	T45MOD	BH	DMA1V	BH			
CH	T46FFCR	CH	DMA2V	CH			
DH	TREG6	DH	DMA3V	DH			
EH	TREG7	EH	(予約)	EH			
FH	T67MOD	FH	(予約)	FH			

(1) 入出力ポート

記 号	名 称	アドレス	7	6	5	4	3	2	1	0																							
P0	Port 0 Register	00H	P07	P06	P05	P04	P03	P02	P01	P00																							
			R/W																														
			入力モード (出力ラッチレジスタは不定)																														
			D7~D0と兼用																														
P1	Port 1 Register	01H	P17	P16	P15	P14	P13	P12	P11	P10																							
			R/W																														
			入力モード (出力ラッチレジスタは "0" にクリア)																														
			D15~D8と兼用																														
P2	Port 2 Register	06H	P27	P26	P25	P24	P23	P22	P21	P20																							
			R/W																														
			入力モード (出力ラッチレジスタは "0" にクリア)																														
			D23~D16と兼用																														
P3	Port 3 Register	07H	P37	P36	P35	P34	P33	P32	P31	P30																							
			R/W																														
			入力モード (出力ラッチレジスタは "0" にクリア)																														
			A15~A8と兼用																														
P4	Port 4 Register	0CH	P47	P46	P45	P44	P43	P42	P41	P40																							
			R/W																														
			入力モード (出力ラッチレジスタは "0" にクリア)																														
			A7~A0と兼用																														
P5	Port 5 Register	0DH	P57	P56	P55	P54	P53	P52	P51	P50																							
			*R/W																														
			入力モード ("1" にセット / Pull-up)																														
			出力専用 ("1" にセット)(注)																														
P6	Port 6 Register	12H					P63				P62	P61	P60																				
							R/W																										
							出力モード ("1" にセット)																										
							CS3と兼用				CS2と兼用	CS1と兼用	CS0と兼用																				
P7	Port 7 Register	13H									P75				P74	P73	P72	P71	P70														
											R/W																						
											入力モード (出力ラッチレジスタは "0" にクリア)																						
											TO7/INT4と兼用				TO5と兼用	TI4/INT3と兼用	TO3/INT2と兼用	TO1と兼用	TI0/INT1と兼用														
P8	Port 8 Register	18H													P87				P86	P85	P84	P83	P82	P81	P80								
															*R/W																		
															入力モード ("1" にセット / Pull-up)																		
															SCLK1/CTS1と兼用				RxD1と兼用	TxD1と兼用													
P9	Port 9 Register	19H																	P96				P95	P94	P93	P92	P91	P90					
																			R/W														
																			入力モード (出力ラッチレジスタは "0" にクリア)														
																			TOA/TOBと兼用				TIB/INT8と兼用	TIA/INT7と兼用	TO9と兼用	TO8と兼用	TI9/INT6と兼用	TI8/INT5と兼用					
PA	Port A Register	1EH																					PA7				PA6	PA5	PA4	PA3	PA2	PA1	PA0
																							R										
																							入力専用										

(注) P50がRD端子として設定されている場合 (P5FC<P50>="1")、P5<P50>を0にクリアすると、P50のRD信号は、内部アドレスエリアをアクセスするときでも出力されます (PSRAM用)。

(2) 入出力ポート制御 (1/2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
P0CR	Port 0 Control Register	02H (RMW禁)	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P1CR	Port 1 Control Register	04H (RMW禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P1FC	Port 1 Function Register	05H (RMW禁)	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
			W							
			0	0	0	0	0	0	0	0
			0 : PORT				1 : D15~D8 (P1CR = 00H)			
P2CR	Port 2 Control Register	08H (RMW禁)	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P2FC	Port 2 Function Register	09H (RMW禁)	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			0	0	0	0	0	0	0	0
			0 : PORT				1 : A23~A16 (P2CR = FFH)			
P3CR	Port 3 Control Register	0AH (RMW禁)	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P3FC	Port 3 Function Register	0BH (RMW禁)	P37F	P36F	P35F	P34F	P33F	P32F	P31F	P30F
			W							
			0	0	0	0		0	0	0
			0 : PORT				1 : A15~A8 (P3CR = FFH)			
P4CR	Port 4 Control Register	0EH (RMW禁)	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P4FC	Port 4 Function Register	0FH (RMW禁)	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
			W							
			0	0	0	0	0	0	0	0
			0 : PORT				1 : A7~A0 (P4CR = FFH)			
P5CR	Port 5 Control Register	10H (RMW禁)	P57C	P56C	P55C	P54C	P53C	P52C		
			W							
			0	0	0	0	0	0		
			0 : IN				1 : OUT			
P5FC	Port 5 Function Register	11H (RMW禁)				P54F	P53F	P52F	P51F	P50F
			W							
						0	0	0	0	0
			0 : PORT				0 : PORT		0 : PORT	
			1 : BUSAK				1 : BUSRQ		1 : HWR	
									1 : WR	
									1 : RD	

入出力ポート制御 (2/2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0		
P6FC	Port 6 Function Register	15H (RMW禁)					P63F	P62F	P61F	P60F		
									W			
									0	0	0	0
									0: PORT 1: CS3	0: PORT 1: CS2	0: PORT 1: CS1	0: PORT 1: CS0
P7CR	Port 7 Control Register	16H (RMW禁)			P75C	P74C	P73C	P72C	P71C	P70C		
									W			
									0	0	0	0
									0: IN		1: OUT	
P7FC	Port 7 Function Register	17H (RMW禁)			P75F	P74F		P72F	P71F			
									W		W	
									0	0	0	0
									0: PORT 1: TO7	0: PORT 1: TO5	0: PORT 1: TO3	0: PORT 1: TO1
P8CR	Port 8 Control Register	1AH (RMW禁)	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C		
									W			
			0	0	0	0	0	0	0	0		
									0: IN		1: OUT	
P8FC	Port 8 Function Register	1BH (RMW禁)			P85F		P83F					
									W		W	
									0	0		
									0: PORT 1: SCLK1 /CTS1	0: PORT 1: TxD1		
P9CR	Port 9 Control Register	1CH (RMW禁)		P96C	P95C	P94C	P93C	P92C	P91C	P90C		
									W			
			0	0	0	0	0	0	0	0		
									0: IN		1: OUT	
P9FC	Port 9 Function Register	1DH (RMW禁)	TOS1	P96F			P93F	P92F				
									W		W	
			0	0							0	0
			0: TOA 1: TOB	0: PORT 1: TOA / TOB							0: PORT 1: TO9	0: PORT 1: TO8

(3) タイマ制御 (1/4)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
T8RUN	8 bit Timer Run Control Register	20H	T7RUN	T6RUN	T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
			R/W							
			0	0	0	0	0	0	0	0
			8ビットタイマ7 0: 停止 & クリア 1: カウント	8ビットタイマ6 0: 停止 & クリア 1: カウント	8ビットタイマ5 0: 停止 & クリア 1: カウント	8ビットタイマ4 0: 停止 & クリア 1: カウント	8ビットタイマ3 0: 停止 & クリア 1: カウント	8ビットタイマ2 0: 停止 & クリア 1: カウント	8ビットタイマ1 0: 停止 & クリア 1: カウント	8ビットタイマ0 0: 停止 & クリア 1: カウント
TRDC	Timer Register Double Buffer Control Register	21H					TR6DE	TR4DE	TR2DE	TR0DE
			R/W							
							0	0	0	0
							TREG6ダブルバッファ 0: ディセーブル 1: イネーブル	TREG4ダブルバッファ 0: ディセーブル 1: イネーブル	TREG2ダブルバッファ 0: ディセーブル 1: イネーブル	TREG0ダブルバッファ 0: ディセーブル 1: イネーブル
TREG0	8 bit Timer Register 0	22H (RMW禁)	— W 不 定							
TREG1	8 bit Timer Register 1	23H (RMW禁)	— W 不 定							
T01 MOD	8 bit Timer 0, 1 Mode Control Register	24H	T01M1	T01M0	PWM01	PWM00	T1CLK1	T1CLK0	T0CLK1	T0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			タイマ0、1の動作モード設定 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM	PWM0の周期選択 00: Don't care 01: 26－1 10: 27－1 11: 28－1		タイマ1の入力クロック選択 00: TO0TRG 01: φT1 10: φT16 11: φT256		タイマ0の入力クロック選択 00: TI0 入力 01: φT1 10: φT4 11: φT16		
T02 FFCR	8 bit Timer 0, 2 Flip-Flop Control Register	25H	FF3C1	FF3C0	FF3IE	FF3IS	FF1C1	FF1C0	FF1IE	FF1IS
			W		R/W		W		R/W	
			1	1	0	0	1	1	0	0
			00: Invert TFF3 01: Set TFF3 10: Clear TFF3 11: Don't care	TFF3反転制御 0: ディセーブル 1: イネーブル	0: タイマ2による反転 1: タイマ3による反転	00: Invert TFF1 01: Set TFF1 10: Clear TFF1 11: Don't care	TFF1反転制御 0: ディセーブル 1: イネーブル	0: タイマ0による反転 1: タイマ1による反転		
TREG2	8 bit Timer Register 2	26H (RMW禁)	— W 不 定							
TREG3	8 bit Timer Register 3	27H (RMW禁)	— W 不 定							
T23 MOD	8 bit Timer 2, 3 Mode Control Register	28H	T23M1	T23M0	PWM21	PWM20	T3CLK1	T3CLK0	T2CLK1	T2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			タイマ2、3の動作モード設定 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM	PWM2の周期選択 00: Don't care 01: 26－1 10: 27－1 11: 28－1		タイマ3の入力クロック選択 00: TO2TRG 01: φT1 10: φT16 11: φT256		タイマ2の入力クロック選択 00: Don't care 01: φT1 10: φT4 11: φT16		

タイマ制御 (2/4)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
TREG4	8 bit Timer Register4	29H (RMW禁)	-							
			W							
			不 定							
TREG5	8 bit Timer Register5	2AH (RMW禁)	-							
			W							
			不 定							
T45 MOD	8 bit Timer 4, 5 Mode Control Register	2BH	T45M1	T45M0	PWM41	PWM40	T5CLK1	T5CLK0	T4CLK1	T4CLK0
			R/W							
			0	0	0	0	0	0	0	0
			タイマ4、5の動作モード設定 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM	PWM4の周期選択 00: Don't care 01: 2 ⁶ -1 10: 2 ⁷ -1 11: 2 ⁸ -1	タイマ5の入力クロック選択 00: TO4TRG 01: φT1 10: φT16 11: φT256	タイマ4の入力クロック選択 00: T14入力 01: φT1 10: φT4 11: φT16				
T46 FFCR	8 bit Timer 4, 6 Flip-Flop Control Register	2CH	FF7C1	FF7C0	FF7IE	FF7IS	FF5C1	FF5C0	FF5IE	FF5IS
			W		R/W		W		R/W	
			1	1	0	0	1	1	0	0
			00: Invert TFF7 01: Set TFF7 10: Clear TFF7 11: Don't care	TFF7反転制御 0: ディセーブ 1: イネーブル	0: タイマ6による反転 1: タイマ7による反転	00: Invert TFF5 01: Set TFF5 10: Clear TFF5 11: Don't care	TFF5反転制御 0: ディセーブ 1: イネーブル	0: タイマ4による反転 1: タイマ5による反転		
TREG6	8 bit Timer Register6	2DH (RMW禁)	-							
			W							
			不 定							
TREG7	8 bit Timer Register7	2EH (RMW禁)	-							
			W							
			不 定							
T67 MOD	8 bit Timer 6, 7 Mode Control Register	2FH	T67M1	T67M0	PWM61	PWM60	T7CLK1	T7CLK0	T6CLK1	T6CLK0
			R/W							
			0	0	0	0	0	0	0	0
			タイマ6、7の動作モード設定 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM	PWM6の周期選択 00: Don't care 01: 2 ⁶ -1 10: 2 ⁷ -1 11: 2 ⁸ -1	タイマ7の入力クロック選択 00: TO6TRG 01: φT1 10: φT16 11: φT256	タイマ6の入力クロック選択 00: Don't care 01: φT1 10: φT4 11: φT16				
TREG8L	16 bit Timer Register8L	30H (RMW禁)	-							
			W							
			不 定							
TREG8H	16 bit Timer Register8H	31H (RMW禁)	-							
			W							
			不 定							
TREG9L	16 bit Timer Register9L	32H (RMW禁)	-							
			W							
			不 定							
TREG9H	16 bit Timer Register9H	33H (RMW禁)	-							
			W							
			不 定							

タイマ制御 (3/4)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
CAP1L	Capture Register1L	34H	—							
			R							
			不 定							
CAP1H	Capture Register1H	35H	—							
			R							
			不 定							
CAP2L	Capture Register2L	36H	—							
			R							
			不 定							
CAP2H	Capture Register2H	37H	—							
			R							
			不 定							
T8MOD	16 bit Timer 8 Mode Control Register	38H	CAP2T9	EQ9T9	CAP1IN	CAP12M1	CAP12M0	CLE	T8CLK1	T8CLK0
			R/W		W			R/W		
			0	0	1	0	0	0	0	0
			TFF9 反転トリガ 0:トリガディセーブル 1:トリガイネーブル		0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00:ディセーブル 01: TI8 ↑ TI9 ↑ 10: TI8 ↑ TI8 ↓ 11: TFF1 ↑ TFF1 ↓		タイマ8 アップカウンタ制御 0: クリア禁止 1: TREG9と一致でクリア	タイマ8の入力クロック選択 00: TI8入力 01: φT1 10: φT4 11: φT16	
			CAP2へのアップカウンタとカウンタ値: TREG9との取り込み時一致時							
T8FFCR	16 bit Timer 8 Flip-Flop Control Register	39H	TFF9C1	TFF9C0	CAP2T8	CAP1T8	EQ9T8	EQ8T8	TFF8C1	TFF8C0
			W		R/W				W	
			1	1	0	0	0	0	1	1
			00: Invert TFF9 01: Set TFF9 10: Clear TFF9 11: Don't care		TFF8 反転トリガ 0:トリガディセーブル 1:トリガイネーブル				00: Invert TFF8 01: Set TFF8 10: Clear TFF8 11: Don't care	
			CAP2へのアップカウンタ値取り込み時		CAP3へのアップカウンタ値取り込み時	アップカウンタとTREG9との一致時	アップカウンタとTREG8との一致時			
T89CR	Timer 8/9 Control Register	3AH	—						DBAEN	DB8EN
			R/W						R/W	
			0						0	0
			注) かならず“0”を書いてください。						注) かならず“0”を書いてください。	TREGAダブルバッファ 0: ディセーブル 1: イネーブル
T16RUN	16 bit Timer Run Control Register	3BH	PRRUN	T9RUN		T8RUN				
			R/W		R/W					
			0		0	0				
			プリスケアラ 0: 停止&クリア 1: カウント		16ビットタイマ9 0: 停止&クリア 1: カウント	16ビットタイマ8 0: 停止&クリア 1: カウント				

タイマ制御 (4/4)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
TREGAL	16 bit Timer RegisterAL	40H (RMW禁)					— W 不 定			
TREGAH	16 bit Timer RegisterAH	41H (RMW禁)					— W 不 定			
TREGBL	16 bit Timer RegisterBL	42H (RMW禁)					— W 不 定			
TREGBH	16 bit Timer RegisterBH	43H (RMW禁)					— W 不 定			
CAP3L	Capture Register3L	44H					— R 不 定			
CAP3H	Capture Register3H	45H					— R 不 定			
CAP4L	Capture Register4L	46H					— R 不 定			
CAP4H	Capture Register4H	47H					— R 不 定			
T9MOD	16 bit Timer 9 Mode Control Register	48H	CAP4TB	EQBTB	CAP3IN	CAP34M1	CAP34M0	CLE	T9CLK1	T9CLK0
			R/W		W			R/W		
			0	0	1	0	0	0	0	0
			TFFB 反転トリガ 0:トリガディセーブル 1:トリガイネーブル		0:ソフト キャプ チャ 1: Don't care	キャプチャタイミング 00:ディセーブル 01: TIA ↑ TIB ↑ 10: TIA ↑ TIA ↓ 11: TFF1 ↑ TFF1 ↓		タイマ9 アップ カウンタ 制御 0:クリア 禁止 1:TREGBと 一致でク リア	タイマ9の 入力クロック選択 00: TIA入力 01: φT1 10: φT4 11: φT16	
T9FFCR	16 bit Timer 9 Flip-Flop Control Register	49H	TFFBC1	TFFBC0	CAP4TA	CAP3TA	EQBTA	EQATA	TFFAC1	TFFAC0
			W			R/W			W	
			1	1	0	0	0	0	1	1
			00: Invert TFFB 01: Set TFFB 10: Clear TFFB 11: Don't care		TFFA 反転トリガ 0:トリガディセーブル 1:トリガイネーブル				00: Invert TFFA 01: Set TFFA 10: Clear TFFA 11: Don't care	

(4) シリアルチャネル制御

記 号	名 称	アドレス	7	6	5	4	3	2	1	0	
SC1BUF	Serial Channel 1 Buffer Register	50H	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	
			TB7	TB6	TB5	TB4	TB3	TB2	RB1	TB0	
			R (受信) /W (送信)								
			不 定								
SC1CR	Serial Channel 1 Control Register	51H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC	
			R	R/W		R (Readすると“0”にクリアされます。)			R/W		
			0	0	0	0	0	0	0	0	
			受信データ ビット8	パリティ 0: Odd 1: Even	パリティ付加 0: ディ セーブ ブル 1: イネー ブル	オーバラン	1: エラー パリティ	フレーミング	0: SCLK1 () 1: SCLK1 ()	I/Oインタ フェース モード クロック選択 0: ボーレート ジェネレー タ1 1: SCLK1 端子入力	
			TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0	
SC1- MOD	Serial Channel 1 Mode Control Register	52H	R/W								
			不定	0	0	0	0	0	0	0	
			送信データ ビット8	ハンドシェイ ク機能 0: CTS ディセー ブル 1: CTS イ ネーブル	受信制御 0: ディ セーブ ブル 1: イネー ブル	ウェイク アップ機能 0: ディセー ブル 1: イネーブ ル	シリアル転送モード選択 00: I/Oインタフェースモード 01: 7ビットUARTモード 10: 8ビットUARTモード 11: 9ビットUARTモード	UARTモードクロック選択 00: TO2トリガ 01: ボーレートジェネレータ1 10: 内部クロックφ1 11: SCLK1端子入力 (外部クロック)			
BR1CR	Baud Rate Generater 1 Control Register	53H	—	BR1CK1		BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0	
			R/W		R/W						
			0	0	0	0	0	0	0	0	
			注) かならず “0”を 書いて ください。	ボーレートジェネレータ1の 入力クロック選択 00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)			ボーレートジェネレータ1の分周値設定 0000: 16分周 0001: 1分周 (分周なし) `      ` 1111: 15分周				
ODE	Serial Open Drain Enable Register	58H								ODE1	
										R/W	
										0 P83 出力設定 0: CMOS 1: オープン ドレイン	

(5) 割り込み制御 (1/3)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
INTE-0AD	INT0/AD Enable Register	70H (RMW禁)	—				INT0			
							I0C	I0M2	I0M1	I0M0
							R/W 注)		W	
			0	0	0	0	0	0	0	0
INTE12	INT1/2 Enable Register	71H (RMW禁)	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0
INTE34	INT3/4 Enable Register	72H (RMW禁)	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0
INTE56	INT5/6 Enable Register	73H (RMW禁)	INT6				INT5			
			I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0
INTE78	INT7/8 Enable Register	74H (RMW禁)	INT8				INT7			
			I8C	I8M2	I8M1	I8M0	I7C	I7M2	I7M1	I7M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0
INTET01	INTT0/1 Enable Register	75H (RMW禁)	INTT1 (タイマ1)				INTT0 (タイマ0)			
			IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0
INTET23	INTT2/3 Enable Register	76H (RMW禁)	INTT3 (タイマ3)				INTT2 (タイマ2)			
			IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	
INTET45	INTT4/5 Enable Register	77H (RMW禁)	INTT5 (タイマ5)				INTT4 (タイマ4)			
			IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0
INTET67	INTT6/7 Enable Register	78H (RMW禁)	INTT7 (タイマ7)				INTT6 (タイマ6)			
			IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0
INTET89	INTT8/9 Enable Register	79H (RMW禁)	INTT9 (タイマ8)				INTT8 (タイマ8)			
			IT9C	IT9M2	IT9M1	IT9M0	IT8C	IT8M2	IT8M1	IT8M0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0
INTETAB	INTTRA/B Enable Register	7AH (RMW禁)	INTTRB (タイマ9)				INTTRA (タイマ9)			
			ITBC	ITBM2	ITBM1	ITBM0	ITAC	ITAM2	ITAM1	ITAM0
			R/W		W		R/W		W	
			0	0	0	0	0	0	0	0

IxxM2	IxxM1	IxxM0	機 能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、“1”にします。
0	1	0	割り込み要求レベルを、“2”にします。
0	1	1	割り込み要求レベルを、“3”にします。
1	0	0	割り込み要求レベルを、“4”にします。
1	0	1	割り込み要求レベルを、“5”にします。
1	1	0	割り込み要求レベルを、“6”にします。
1	1	1	割り込み要求を、禁止します。

IxxC	機 能 (リード)	機 能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

注) INT0のレベルモード時は、<I0C>に“0”を書き込むことによる割り込み要求フラグのクリアはできません。

割り込み制御 (2/3)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
INTEOV	INTTO8/9 Enable Register	7BH (RMW禁)	INTTO9				INTTO8			
			ITO9C	ITO9M2	ITO9M1	ITO9M0	ITO8C	ITO8M2	ITO8M1	ITO8M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1/ TX1 Enable Register	7DH (RMW禁)	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R/W	W			R注)	W		
			0	0	0	0	0	0	0	0
INTETC 01	INTTC0/1 Enable Register	7FH (RMW禁)	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC01C	ITC0M2	ITC0M1	ITC0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTETC 23	INTTC2/3 Enable Register	80H (RMW禁)	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0

IxxM2	IxxM1	IxxM0	機 能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、“1”にします。
0	1	0	割り込み要求レベルを、“2”にします。
0	1	1	割り込み要求レベルを、“3”にします。
1	0	0	割り込み要求レベルを、“4”にします。
1	0	1	割り込み要求レベルを、“5”にします。
1	1	0	割り込み要求レベルを、“6”にします。
1	1	1	割り込み要求を、禁止します。

注) <IRX1C> は読み出し専用のため “0” 書き込みによる割り込み要求フラグのクリアはできません。

IxxC	機 能 (リード)	機 能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

割り込み制御 (3/3)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
IIMC	Interrupt Input Mode Control Register	59H (RMW禁)			—			IOIE	IOLE	NMIREE
					W				W	
					0			0	0	0
					注) かならず "0"を 書いて ください。			INT0入力 0: ディ セーブル 1: イネー ブル	INT0 0: ↑エッジ 1: レベル	NMI 0: ↓エッジ 1: ↑↓ エッジ
DMA0V	Micro DMA 0 Start Vector Register	5AH (RMW禁)	DMA0V7	DMA0V6	DMA0V5	DMA0V4	DMA0V3	DMA0V2		
					W					
			0	0	0	0	0	0		
			マイクロDMA0起動ベクタ							
DMA1V	Micro DMA 1 Start Vector Register	5BH (RMW禁)	DMA1V7	DMA1V6	DMA1V5	DMA1V4	DMA1V3	DMA1V2		
					W					
			0	0	0	0	0	0		
			マイクロDMA1起動ベクタ							
DMA2V	Micro DMA 2 Start Vector Register	5CH (RMW禁)	DMA2V7	DMA2V6	DMA2V5	DMA2V4	DMA2V3	DMA2V2		
					W					
			0	0	0	0	0	0		
			マイクロDMA2起動ベクタ							
DMA3V	Micro DMA 3 Start Vector Register	5DH (RMW禁)	DMA3V7	DMA3V6	DMA3V5	DMA3V4	DMA3V3	DMA3V2		
					W					
			0	0	0	0	0	0		
			マイクロDMA3起動ベクタ							

(注) マイクロDMAソフトスタート起動はSDMACR0/1/2/3 (6AH/6BH/6CH/6DH) のWRサイクルにて実行
(データの値はソフトスタートの動作に影響しません)。

(6) ウォッチドッグタイマ制御

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
WD-MOD	Watch Dog Timer Mode Control Register	6EH	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
			R/W							
			1	0	0	0	0	0	0	
			WDT制御 0: ディセーブル 1: イネーブル	WDT検出時間選択 00: 216/fc 01: 218/fc 10: 220/fc 11: 222/fc	ウォーミングアップ時間 0: 214/fc 1: 216/fc	ホールドモード選択 00: RUNモード 01: STOPモード 10: IDLE1モード 11: IDLE2モード	1: 暴走検出により内部リセットを実行	1: STOPモード中も端子をドライブ		
WDCR	Watch Dog Timer Control Register	6FH (RMW禁)	—							
			W							
			—							
			B1H: WDT ディセーブルコード				4EH: WDT クリアコード			

(7) チップセレクト/ウェイトコントローラ (1/2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block 0 CS/WAIT Control Register	90H (RMW禁)	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
			W				W			
			0		0	0	0	0	0	0
			0:ディセーブル		00: ROM/SRAM		データバス幅	000: 2WAIT	100: NWAIT	
			1:イネーブル		01: PSRAM		選択	001: 1WAIT	101	
B1CS	Block 1 CS/WAIT Control Register	91H (RMW禁)	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
			W				W			
			0		0	0	0	0	0	0
			0:ディセーブル		00: ROM/SRAM		データバス幅	000: 2WAIT	100: NWAIT	
			1:イネーブル		01: PSRAM		選択	001: 1WAIT	101	
B2CS	Block 2 CS/WAIT Control Register	92H (RMW禁)	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
							W			
			1	0	0	0	0	0	0	0
			0:ディセーブル	0: 16M	00: ROM/SRAM		データバス幅	000: 2WAIT	100: NWAIT	
			1:イネーブル	1: CS空間 設定	01: PSRAM		選択	001: 1WAIT	101	
B3CS	Block 3 CS/WAIT Control Register	93H (RMW禁)	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
			W				W			
			0		0	0	0	0	0	0
			0:ディセーブル		00: ROM/SRAM		データバス幅	000: 2WAIT	100: NWAIT	
			1:イネーブル		01: PSRAM		選択	001: 1WAIT	101	
BEXCS	External CS/WAIT Control Register	9CH (RMW禁)					BEXBUS	BEXBUS	BEXW1	BEXW0
							W			
							0	0	0	0
							データバス幅	000: 2WAIT	100: NWAIT	
							選択	001: 1WAIT	101	
MSAR0	Memory Start Address Register 0	94H	S23	S22	S21	S20	S19	S18	S17	S16
							R/W			
			1	1	1	1	1	1	1	1
							スタートアドレスA23~A16設定			
MAMR0	Memory Address Mask Register 0	95H	V20	V19	V18	V17	V16	V15	V14~9	V8
							R/W			
			1	1	1	1	1	1	1	1
							CS0空間サイズ設定	0: アドレス比較対照		
MSAR1	Memory Start Address Register 1	96H	S23	S22	S21	S20	S19	S18	S17	S16
							R/W			
			1	1	1	1	1	1	1	1
							スタートアドレスA23~A16設定			
MAMR1	Memory Address Mask Register 1	97H	V21	V20	V19	V18	V17	V16	V15~9	V8
							R/W			
			1	1	1	1	1	1	1	1
							CS1空間サイズ設定	0: アドレス比較対照		

チップセレクト/ウェイトコントローラ (2/2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory Start Address Register 2	98H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR2	Memory Address Mask Register 2	99H	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS2 空間サイズ 設定 0: アドレス比較対照							
MSAR3	Memory Start Address Register 3	9AH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR3	Memory Address Mask Register 3	9BH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS3 空間サイズ 設定 0: アドレス比較対照							

5. ポート部等価回路図

● 回路図の見方

基本的に、標準CMOSロジックIC「74HC××」シリーズと同じゲート記号を使って書かれています。

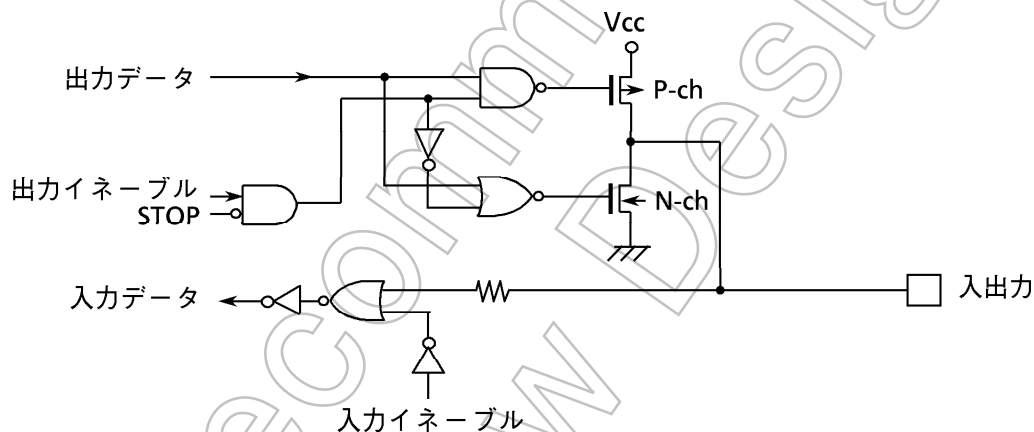
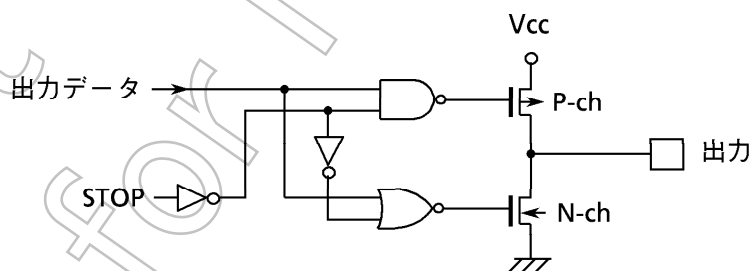
信号名の中で、特殊なものについては、下記に示します。

STOP: この信号は、ホールドモード設定レジスタを「STOP」モード (WDMOD<HALTM1, 0>=0, 1) にして、CPUが“HALT”命令を実行したときアクティブ“1”になります。

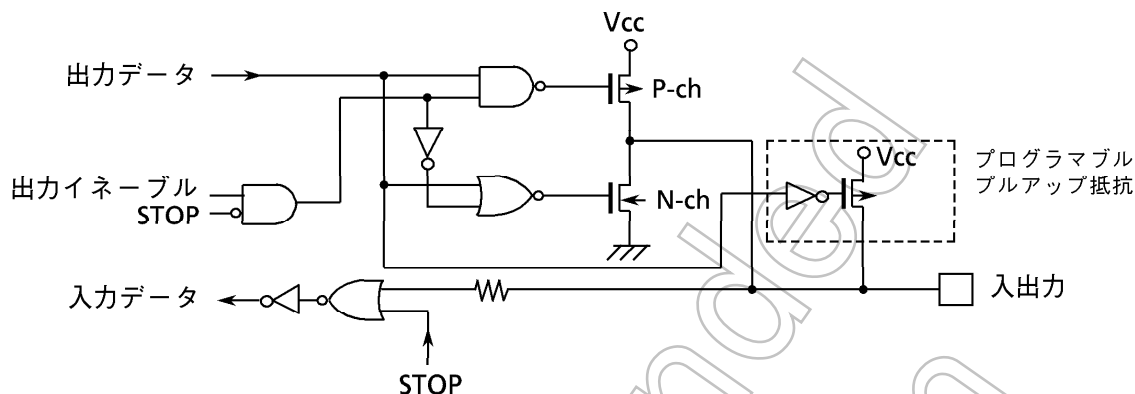
ただし、ドライブイネーブルビットWDMOD<DRIVE>が“1”にセットされているときはSTOPは“0”のままです。

● 入力保護抵抗は、数十Ω～数百Ω程度です。

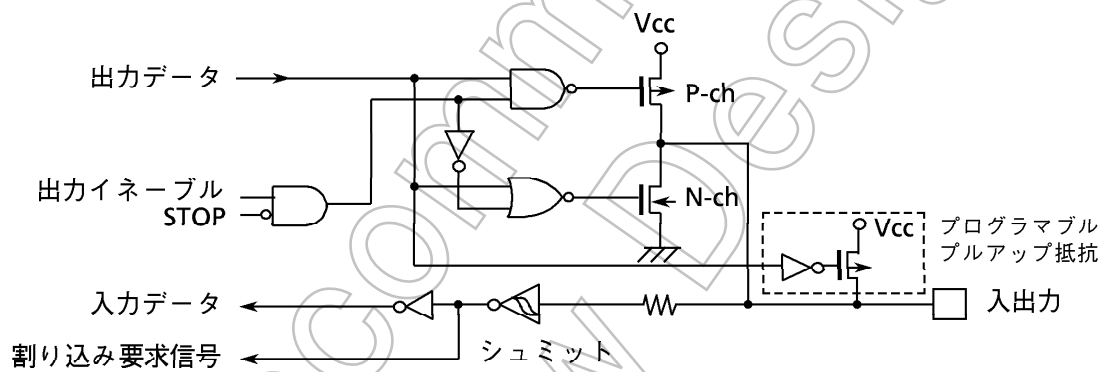
■ P0 (D0~D7), P1 (D8~15), P2 (A16~A23), P3 (A8~A15), P4 (A0~A7)

■ P50 ($\overline{RD}$), P51 ($\overline{WR}$), P6 ($\overline{CS0} \sim \overline{CS3}$)

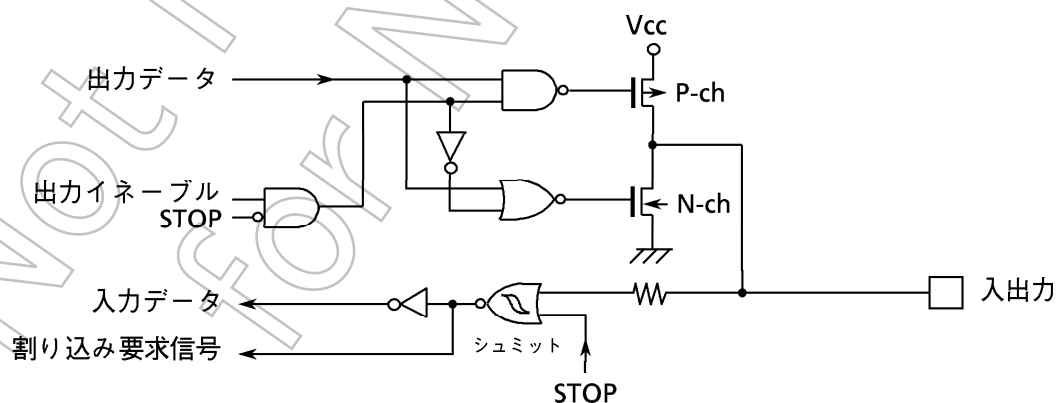
■ P52~55, P57, P80~P82, P84~P87



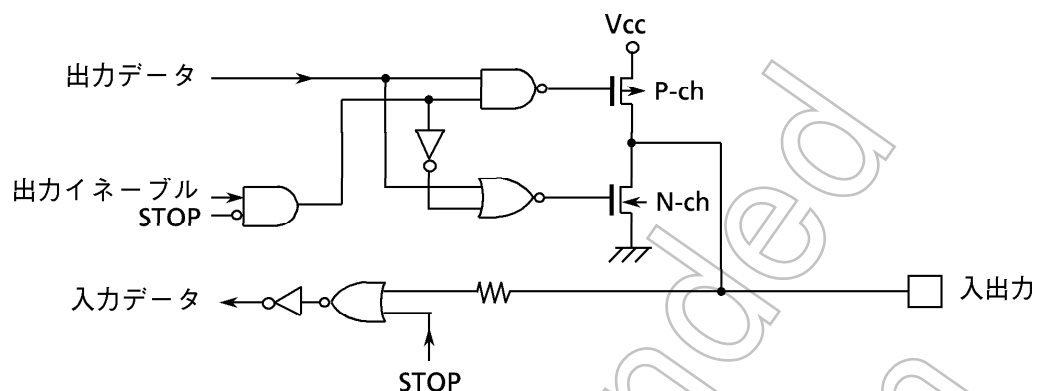
■ P56(INT0)



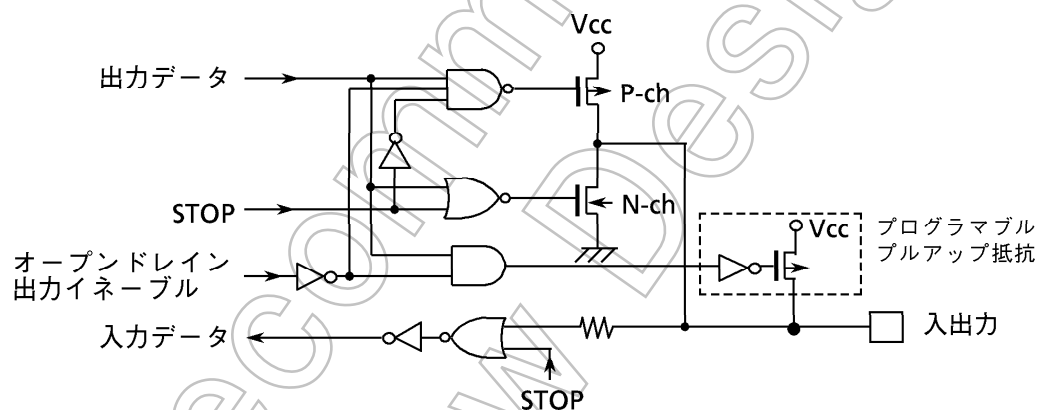
■ P70 (INT1), P72 (INT2), P73 (INT3), P75 (INT4)



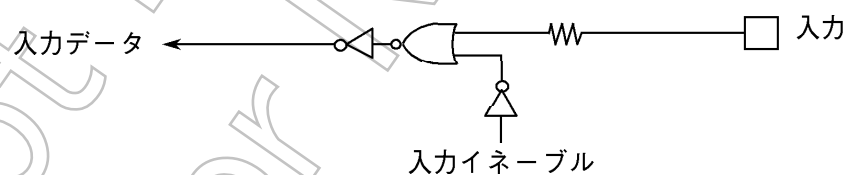
■ P71, P74, P90~96



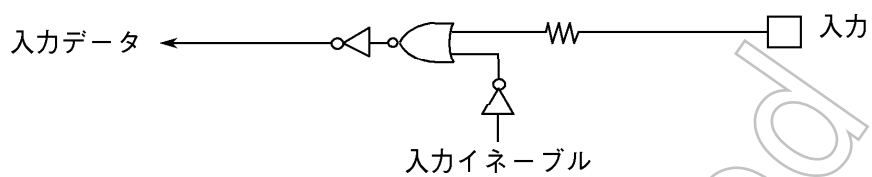
■ P83 (TxD1)



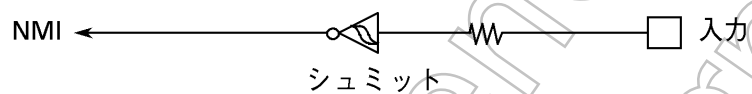
■ PA0~2, PA4~7



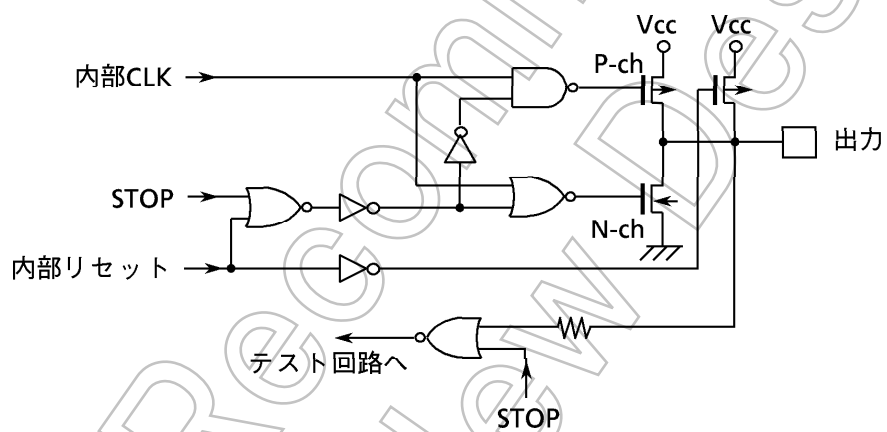
■ PA3

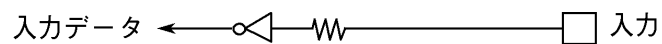
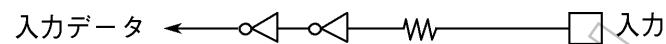
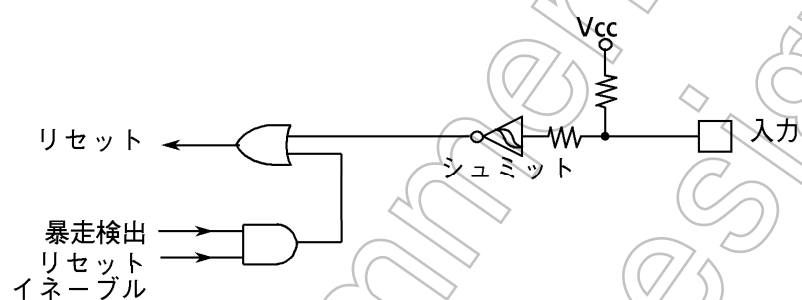


■ NMI

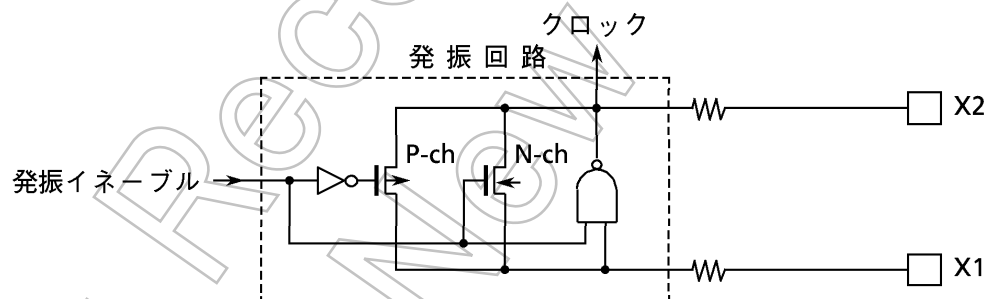


■ CLK



■ $\overline{EA}$ ■ $AM8/\overline{16}$ ■ $\overline{RESET}$ 

■ X1, X2



6. 使用上の注意, 制限事項

(1) 特別な表記, 言葉の説明

① 内蔵I/Oレジスタの説明: レジスタシンボル<ビットシンボル>

例) T8RUN<T0RUN> … レジスタT8RUNのビットT0RUN

② リードモディファイライト命令

CPUが、あるメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令。

例1) SET 3,(T8RUN) … T8RUNレジスタのビット3をセットする。

例2) INC 1,(100H) … 100H番地のデータを+1する。

● TLCS-900におけるリードモディファイライト命令
交換命令

EX (mem), R

算術演算

ADD (mem), R/#

ADC (mem), R/#

SUB (mem), R/#

SBC (mem), R/#

INC #3, (mem)

DEC #3, (mem)

論理演算

AND (mem), R/#

OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem)

SET #3, (mem)

RES #3, (mem)

TEST #3, (mem)

CHG #3, (mem)

ローテート、シフト

RLC (mem)

RRC (mem)

RL (mem)

RR(mem)

SLA (mem)

SRA (mem)

SLL (mem)

SRL (mem)

RLD (mem)

RRD (mem)

③ 1ステート

発振周波数を2分周した1周期を1ステートと呼びます。

例) 発振周波数25 MHzの場合

$2/25 \text{ MHz} = 80 \text{ ns} = 1 \text{ ステート}$ となります。

(2) 使用上の注意, 制限事項

① EA端子, AM8/16端子

本端子は、Vcc、または、GNDに接続し、動作中にレベル変更のないようにしてください。

② ウォーミングアップカウンタ

外部発振器を用いるシステムで、STOPモードの解除を割り込みなどで行う際には、ウォーミングアップカウンタが動作するため、システムクロックが出力されるまでウォーミングアップ時間を要します。

③ プログラマブルプルアップ抵抗

このプルアップ抵抗は、ポートを入力ポートとして使用する時のみ、プログラマブルに付加/付加なしを選択できます。出力ポートとして使用するときは、プログラマブルに選択することはできません。

④ ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

バス解放機能使用した場合、バス開放中でもウォッチドッグタイマなどのI/Oブロックは動作していますので注意が必要です。

⑤ CPU (マイクロDMA)

CPU内にあるコントロールレジスタ (転送元レジスタDMASxなど)へのデータ書き込み、読み出しは、“LDC cr, r”、“LDC r, cr”のみで行えません。

⑥ 本製品はミニマムモードをサポートしていませんので、“MIN”命令は使用しないでください。

⑦ 「POP SR」命令

「POP SR」命令の実行は、DI状態で行ってください。

⑧ 割り込み要求によるホールト状態からの解除

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE1、STOPモードに設定されている状態 (IDLE2は対象外) で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み (NMI, INT0) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。