

TOSHIBA

東芝 オリジナル CMOS 16ビット マイクロコントローラ

TLCS-900/H シリーズ

TMP95CW64FG/TMP95CW65FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社16ビットマイクロコントローラTLCS-900/Hシリーズ、TMP95CW64/TMP95CW65をご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホールド状態からの解除に関する注意事項

通常は、割り込みによってホールド状態を解除することができますが、ホールドモードがIDLE1、STOPモードに設定されている状態 (IDLE2は対象外) で、CPUがホールドモードに移行しようとしている期間 (X1約3クロックの間) に、ホールドモードを解除可能な割り込み (NMI, INTO) が入力されても、ホールドが解除できない場合があります (割り込み要求は内部に保留されます)。

ホールドモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールドモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願ひ申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

| | |
|-----------------------|-------------------------|
| 本文中製品名称 (旧名称) | 正式名称 (新名称) |
| TMP95CW64F/TMP95CW65F | TMP95CW64FG/TMP95CW65FG |

修正対象項目 2. パッケージ名称及び寸法

| | |
|----------------------|----------------------|
| 本文中パッケージ名称 (旧名称) | 正式パッケージ名称 (新名称) |
| P-LQFP100-1414-0.50F | LQFP100-P-1414-0.50F |

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

| 試験項目 | 試験条件 | 備考 |
|--------|---|------------------------------|
| はんだ付け性 | 230°C 5秒間1回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5秒間1回 R タイプフラックス使用 (鉛フリーはんだ使用時) | フォーミングまでの半田 付着率 95%を良品とする |

修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願ひ」が適用されます。

当社半導体製品取り扱い上のお願ひ

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

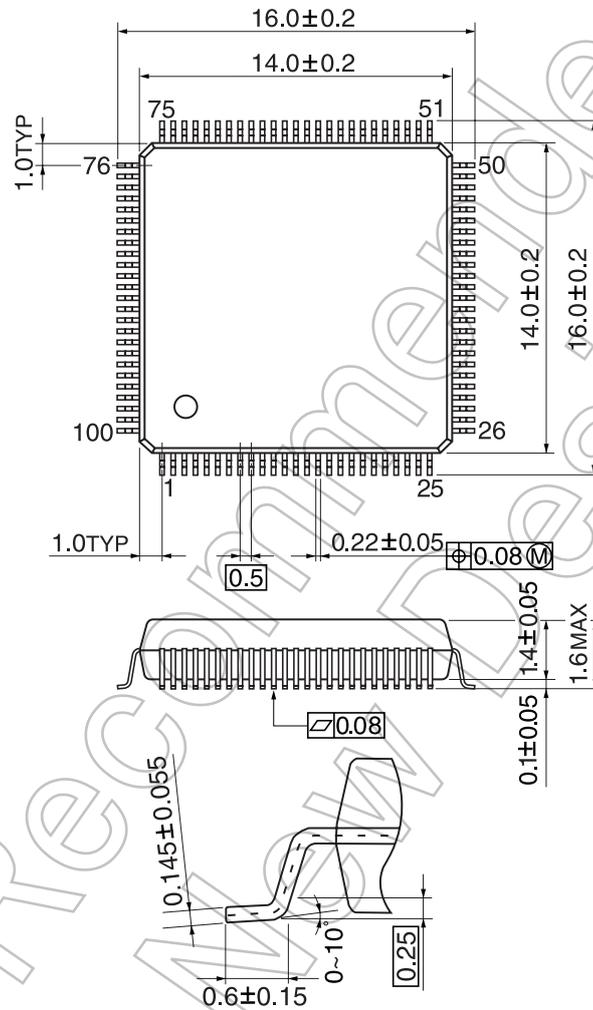
本製品の発行日は、付加ページ右下にも記入の「2008-02-20」です。

(別紙)

パッケージ外形寸法図

LQFP100-P-1414-0.50F

単位: mm



Not Recommended for New Design

CMOS 16ビット マイクロコントローラ

TMP95CW64F / TMP95CW65F

1. 概要と特長

TMP95CW64/W65は、各種の中規模から大規模機器までの制御用として開発された、高速16ビットマイクロコントローラです。TMP95CW64はマスクROM内蔵製品、TMP95CW65はROMなし製品で、その他の機能はすべて同一です。

TMP95CW64/W65Fは、100ピンフラットパッケージ製品です。

特長は次のとおりです。

- 高速16ビットCPU (900/H CPU使用)
 - TLCS-90/900と命令モニタで上位互換
 - 16 Mバイトのリニアアドレス空間
 - 汎用レジスタ、レジスタバンク方式
 - 16ビット乗除算命令、ビット転送/演算命令
 - マイクロDMA : 4チャンネル (640 ns/2バイト : 25 MHz発振時)
- 最小命令実行時間 : 160 ns (25 MHz発振時)
- 内蔵RAM : 4Kバイト
- 内蔵ROM :

| | |
|-----------|------------|
| TMP95CW64 | 128KバイトROM |
| TMP95CW65 | なし |
- 外部メモリ拡張
 - 16 Mバイト(プログラム/データ共通)まで拡張可能
 - 外部データバス幅選択端子 (AM8/16)
 - 外部データバス8/16ビット幅共存可能…ダイナミックバスサイジング
- 8ビットタイマ : 8チャンネル
 - イベントカウント機能有 (2チャンネル)
- 16ビットタイマ/イベントカウンタ : 2チャンネル
- 汎用シリアルインタフェース : 3チャンネル
- 10ビットADコンバータ : 8チャンネル
- 8ビットDAコンバータ : 2チャンネル
- ウォッチドッグタイマ
- チップセレクト/ウェイトコントローラ : 4ブロック

000629TBP2

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますのでかならずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途")は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

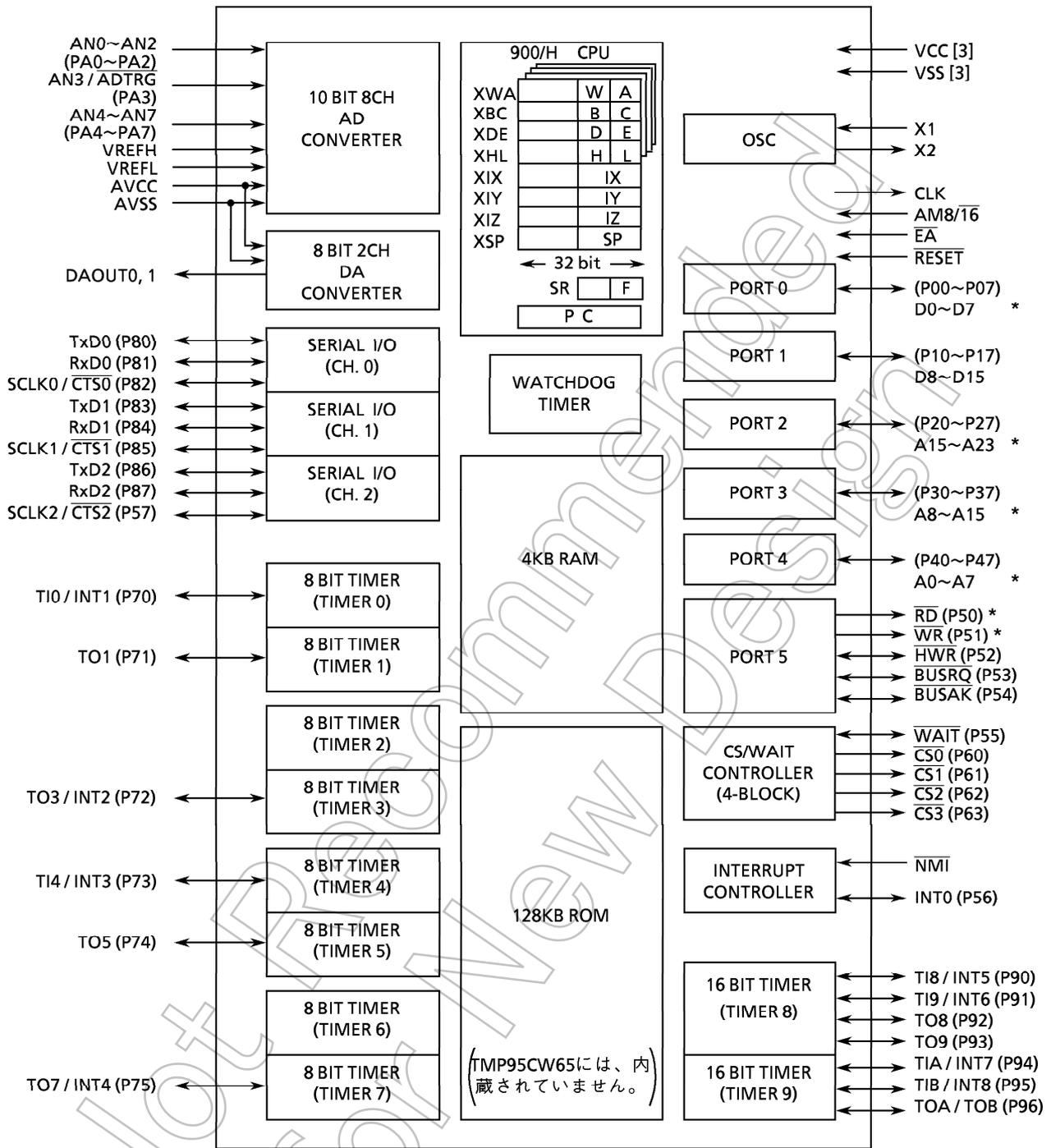
- 割り込み機能 : 割り込み要因45本
 - CPU 9本 … ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 26本
 - 外部 10本7レベルの優先順位設定が可能

- 入出力ポート :

| | |
|-----------|------|
| TMP95CW64 | 81端子 |
| TMP95CW65 | 55端子 |

- スタンバイ機能
 - 4種類のホールドモード (RUN、IDLE2、IDLE1、STOP)
- 動作電圧
 - $V_{CC}=2.7 \sim 3.3V$
 - $V_{CC}=4.5 \sim 5.5V$
- パッケージ
 - 100ピン QFP:P-LQFP100-1414-0.50F

Not Recommended
for New Design



注) リセット後の端子状態

| 製品名 | AM8/16 | リセット後のピン機能 |
|-----------|-----------|--|
| TMP95CW64 | "H" レベル固定 | 兼用端子は () 内の機能が選択されています。 |
| TMP95CW65 | "H" レベル | * 以外の兼用端子は () 内の機能が選択されています。 |
| | "L" レベル | * 以外の兼用端子は () 内の機能が選択されています。 ただし、PORT1は () 外の機能が選択されています。 |

図1 TMP95CW64/TMP95CW65 ブロック図

2. ピン配置とピン機能

TMP95CW64F/W65Fのピン配置図、および、入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP95CW64F/W65Fのピン配置図は、図2.1のとおりです。

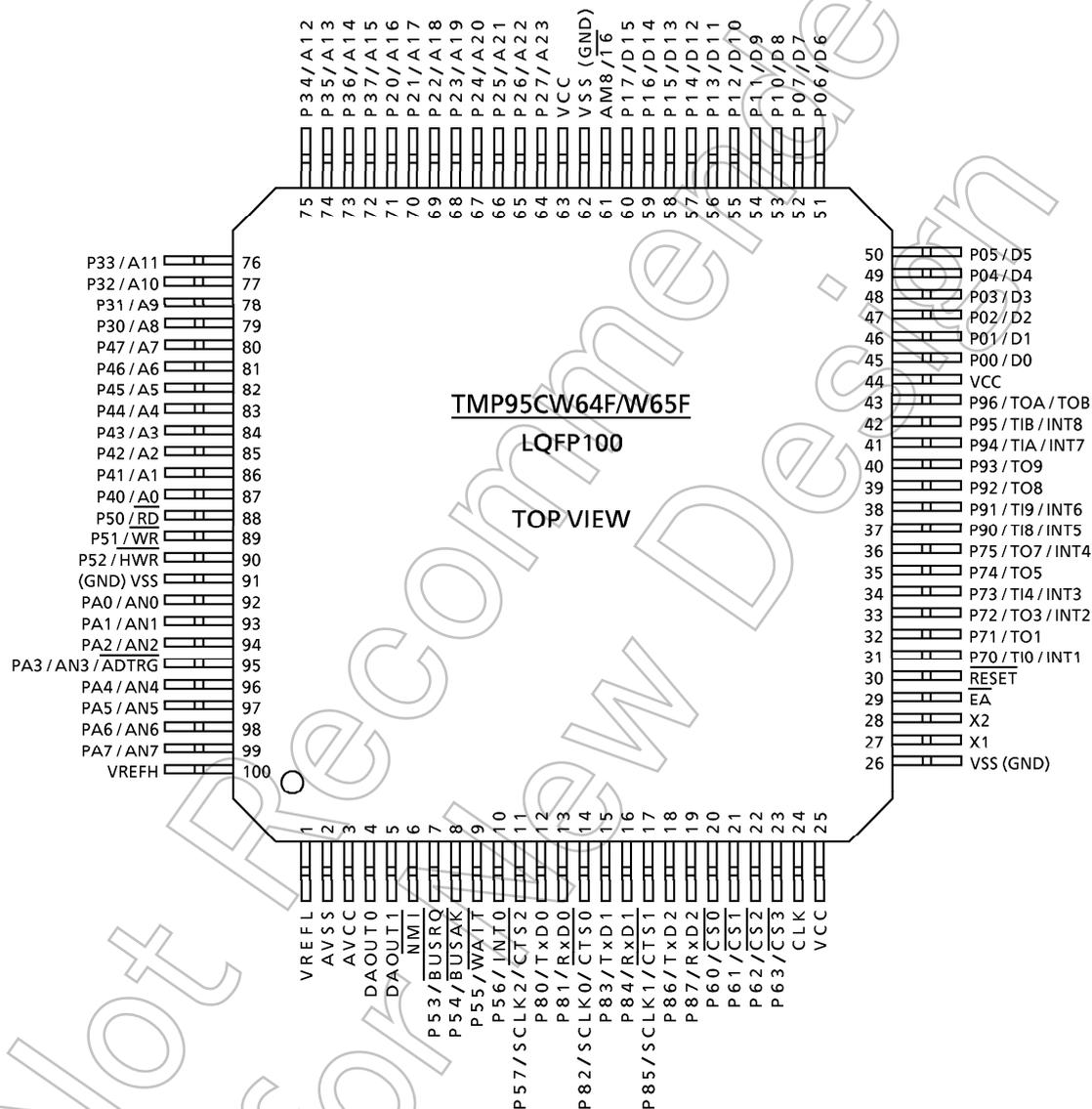


図2.1 ピン配置図 (100ピンQFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2のとおりです。

表2.2 ピン名称と機能 (1/4)

| ピン名称 | ピン数 | 入出力 | 機能 |
|---------------------|-----|-----|--|
| P00~P07 /D0~D7 | 8 | 入出力 | ポート0: ビット単位で入出力の設定ができる入出力ポートです。 |
| | | 入出力 | データ: データバス0~7です。 |
| P10~P17 /D8~D15 | 8 | 入出力 | ポート1: ビット単位で入出力の設定ができる入出力ポートです。 |
| | | 入出力 | データ: データバス8~15です。 |
| P20~P27 /A16~A23 | 8 | 入出力 | ポート2: ビット単位で入出力の設定ができる入出力ポートです。 |
| | | 出力 | アドレス: アドレスバス16~23です。 |
| P30~P37 /A8~A15 | 8 | 入出力 | ポート3: ビット単位で入出力の設定ができる入出力ポートです。 |
| | | 出力 | アドレス: アドレスバス8~15です。 |
| P40~P47 /A0~A7 | 8 | 入出力 | ポート4: ビット単位で入出力の設定ができる入出力ポートです。 |
| | | 出力 | アドレス: アドレスバス0~7です。 |
| P50 /RD | 1 | 出力 | ポート50: 出力専用ポートです。 |
| | | 出力 | リード: 外部メモリをリードするためのストローク信号が出力されます (P5<P50>=0、P5FC<P50F>=1にすることにより、すべてのリードタイミングでストローク信号が出力されます)。 |
| P51 /WR | 1 | 出力 | ポート51: 出力専用ポートです。 |
| | | 出力 | ライト: D0~7端子のデータをライトするためのストローク信号が出力されます。 |
| P52 /HWR | 1 | 入出力 | ポート52: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 出力 | 上位ライト: D8~15端子のデータをライトするためのストローク信号が出力されます。 |
| P53 /BUSRQ | 1 | 入出力 | ポート53: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入力 | バスリクエスト: 外部バス開放を要求する入力端子です。 |
| P54 /BUSAK | 1 | 入出力 | ポート54: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 出力 | バスアクノリッジ: CPUがBUSRQを受けて外部バス開放したことを知らせる出力端子です。 |
| P55 /WAIT | 1 | 入出力 | ポート55: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入力 | ウェイト: CPUへのバスウェイト要求端子です (1WAIT+Nモード、または、0+NWAITモードのとき有効です: チップセレクト/ウェイトコントロールレジスタで設定します)。 |
| P56 /INT0 | 1 | 入出力 | ポート56: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入力 | 割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。  |

表2.2 ピン名称と機能 (2/4)

| ピン名称 | ピン数 | 入出力 | 機能 |
|------------------------|-----|-----|---|
| P57 /SCLK2 /CTS2 | 1 | 入出力 | ポート57: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入出力 | シリアルクロック入出力2 |
| | | 入力 | シリアルデータ送信可能2 (Clear To Send) |
| P60 /CS0 | 1 | 出力 | ポート60: 出力専用ポートです。 |
| | | 出力 | チップセレクト0: アドレスが指定したアドレス領域内なら "0" を出力します。 |
| P61 /CS1 | 1 | 出力 | ポート61: 出力専用ポートです。 |
| | | 出力 | チップセレクト1: アドレスが指定したアドレス領域内なら "0" を出力します。 |
| P62 /CS2 | 1 | 出力 | ポート62: 出力専用ポートです。 |
| | | 出力 | チップセレクト2: アドレスが指定したアドレス領域内なら "0" を出力します。 |
| P63 /CS3 | 1 | 出力 | ポート63: 出力専用ポートです。 |
| | | 出力 | チップセレクト3: アドレスが指定したアドレス領域内なら "0" を出力します。 |
| P70 /TI0 /INT1 | 1 | 入出力 | ポート70: 入出力ポートです。 |
| | | 入力 | タイマ入力0: タイマ0の入力端子です。 |
| | | 入力 | 割り込み要求端子1: 立ち上がりエッジの割り込み要求端子です。  |
| P71 /TO1 | 1 | 入出力 | ポート71: 入出力ポートです。 |
| | | 出力 | タイマ出力1: タイマ0、または、タイマ1の出力端子です。 |
| P72 /TO3 /INT2 | 1 | 入出力 | ポート72: 入出力ポートです。 |
| | | 出力 | タイマ出力3: タイマ2、または、タイマ3の出力端子です。 |
| | | 入力 | 割り込み要求端子2: 立ち上がりエッジの割り込み要求端子です。  |
| P73 /TI4 /INT3 | 1 | 入出力 | ポート73: 入出力ポートです。 |
| | | 入力 | タイマ入力4: タイマ4の入力端子です。 |
| | | 入力 | 割り込み要求端子3: 立ち上がりエッジの割り込み要求端子です。  |
| P74 /TO5 | 1 | 入出力 | ポート74: 入出力ポートです。 |
| | | 出力 | タイマ出力5: タイマ4、または、タイマ5の出力端子です。 |
| P75 /TO7 /INT4 | 1 | 入出力 | ポート75: 入出力ポートです。 |
| | | 出力 | タイマ出力7: タイマ6、または、タイマ7の出力端子です。 |
| | | 入力 | 割り込み要求端子4: 立ち上がりエッジの割り込み要求端子です。  |
| P80 /TxD0 | 1 | 入出力 | ポート80: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 出力 | シリアル送信データ0 |
| P81 /RxD0 | 1 | 入出力 | ポート81: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入力 | シリアル受信データ0 |
| P82 /SCLK0 /CTS0 | 1 | 入出力 | ポート82: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入出力 | シリアルクロック入出力0 |
| | | 入力 | シリアルデータ送信可能0 (Clear To Send) |

表2.2 ピン名称と機能 (3/4)

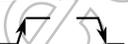
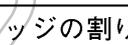
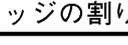
| ピン名称 | ピン数 | 入出力 | 機能 |
|------------------------|-----|-----|---|
| P83 /TxD1 | 1 | 入出力 | ポート83: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 出力 | シリアル送信データ1 |
| P84 /RxD1 | 1 | 入出力 | ポート84: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入力 | シリアル受信データ1 |
| P85 /SCLK1 /CTS1 | 1 | 入出力 | ポート85: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入出力 | シリアルクロック入出力1 |
| | | 入力 | シリアルデータ送信可能1 (Clear To Send) |
| P86 /TxD2 | 1 | 入出力 | ポート86: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 出力 | シリアル送信データ2 |
| P87 /RxD2 | 1 | 入出力 | ポート87: 入出力ポートです (プルアップ抵抗が内蔵されています)。 |
| | | 入力 | シリアル受信データ2 |
| P90 /TI8 /INT5 | 1 | 入出力 | ポート90: 入出力ポートです。 |
| | | 入力 | タイマ入力8: タイマ8の入力端子です。 |
| | | 入力 | 割り込み要求端子5: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。  |
| P91 /TI9 /INT6 | 1 | 入出力 | ポート91: 入出力ポートです。 |
| | | 入力 | タイマ入力9: タイマ8の入力端子です。 |
| | | 入力 | 割り込み要求端子6: 立ち上がりエッジの割り込み要求端子です。  |
| P92 /TO8 | 1 | 入出力 | ポート92: 入出力ポートです。 |
| | | 出力 | タイマ出力8: タイマ8の出力端子です。 |
| P93 /TO9 | 1 | 入出力 | ポート93: 入出力ポートです。 |
| | | 出力 | タイマ出力9: タイマ8の出力端子です。 |
| P94 /TIA /INT7 | 1 | 入出力 | ポート94: 入出力ポートです。 |
| | | 入力 | タイマ入力A: タイマ9の入力端子です。 |
| | | 入力 | 割り込み要求端子7: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。  |
| P95 /TIB /INT8 | 1 | 入出力 | ポート95: 入出力ポートです。 |
| | | 入力 | タイマ入力B: タイマ9の入力端子です。 |
| | | 入力 | 割り込み要求端子8: 立ち上がりエッジの割り込み要求端子です。  |
| P96 /TOA /TOB | 1 | 入出力 | ポート96: 入出力ポートです。 |
| | | 出力 | タイマ出力A: タイマ9の出力端子です。 |
| | | 出力 | タイマ出力B: タイマ9の出力端子です。 |
| PA0~PA2 /AN0~AN2 | 3 | 入力 | ポートA0~A2: 入力専用ポートです。 |
| | | 入力 | アナログ入力0~2: ADコンバータの入力端子です。 |
| PA3 /AN3 /ADTRG | 1 | 入力 | ポートA3: 入力専用ポートです。 |
| | | 入力 | アナログ入力3: ADコンバータの入力端子です。 |
| | | 入力 | 外部スタートトリガ |

表2.2 ピン名称と機能 (4/4)

| ピン名称 | ピン数 | 入出力 | 機能 |
|---------------------|-----|-------|--|
| PA4~PA7 /AN4~AN7 | 4 | 入力 | ポートA4~A7: 入力専用ポートです。 |
| | | 入力 | アナログ入力4~7: ADコンバータの入力端子です。 |
| DAOUT0 | 1 | 出力 | DA出力0: DAコンバータ0の出力端子です。 |
| DAOUT1 | 1 | 出力 | DA出力1: DAコンバータ1の出力端子です。 |
| NMI | 1 | 入力 | ノンマスクابل割り込み要求端子: 立ち下がり/両エッジがプログラマブルな割り込み要求端子です。  |
| CLK | 1 | 出力 | クロック出力: 外部クロックを4分周したクロックを出力します。 リセット期間中はプルアップされます。 |
| EA | 1 | 入力 | 外部アクセス: TMP95CW64では“Vcc”に接続してください。 TMP95CW65では“GND”に接続してください。 |
| AM8/16 | 1 | 入力 | アドレスモード: 外部データバス幅の選択端子です。 (TMP95CW64の場合) 本端子は“Vcc”に接続してください。外部アクセスする際のデータバス幅は、チップセレクト/ウェイトコントロールレジスタにて設定できます。 (TMP95CW65の場合) 外部16ビットバス固定、もしくは外部8/16ビットバス混在では“GND”に、外部8ビットバス固定では“Vcc”に接続してください。 |
| RESET | 1 | 入力 | リセット: TMP95CW64/W65を初期化します(プルアップ抵抗が内蔵されています)。 |
| VREFH | 1 | 入力 | ADコンバータ用基準電圧入力端子(H) |
| VREFL | 1 | 入力 | ADコンバータ用基準電圧入力端子(L) |
| AVCC | 1 | | ADコンバータ用電源端子、および、DAコンバータ用基準電圧入力端子(かならず電源に接続してください) |
| AVSS | 1 | | ADコンバータ用GND端子、および、DAコンバータ用基準電圧入力端子(かならずGNDに接続してください) |
| X1/X2 | 2 | 入力/出力 | 発振子接続端子 |
| VCC | 3 | | 電源端子: 全VCC端子を電源に接続してください。 |
| VSS | 3 | | GND端子: 全VSS端子をGND(0V)に接続してください。 |

(注) **RESET**端子以外のプルアップ抵抗付端子は、ソフトウェアによりその抵抗を端子から電氣的に切り離すことができます。

3. 動作説明

ここでは、TMP95CW64/W65の機能、および、基本動作について、ブロックごとに説明します。
なお、本章の最後に「7. 使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますので確認してください。

3.1 CPU

TMP95CW64/W65には、高性能な高速16ビットCPU (900/H CPU) が内蔵されています。CPUの動作については、前章の“TLCS-900/H CPU”を参照してください。

ここでは、TMP95CW64/W65独自のCPU機能について説明します。

3.1.1 リセット動作

TMP95CW64/W65にリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態でなければなりません。さらに、RESET端子への入力は、少なくとも10システムクロック間(10ステート:25 MHzクロック発振時で0.8 μ s)“L”レベルに保っておかなければなりません。

リセットが受け付けられると、CPUは、下記の動作を行います。

- プログラムカウンタPCを、FFFF00H番地~FFFF02H番地に格納されているリセットベクタに従いセット
PC (7:0) ← FFFF00H 番地の値
PC (15:8) ← FFFF01H 番地の値
PC (23:16) ← FFFF02H 番地の値
- スタックポインタXSPを100Hにセット
- ステータスレジスタSRの<IFF2:0>を“111”にセット(割り込みレベルのマスキングレジスタをレベル7にセット)
- ステータスレジスタSRの<MAX>を“1”にセット(マキシマムモードにセット)(注:本製品は、ミニマムモードをサポートしていませんので<MAX>に“0”を書き込まないでください)
- ステータスレジスタSRの<RFP2:0>を“000”にクリア(レジスタバンクを0にセット)

リセットが解除されると、CPUは、セットされたPCに従い命令の実行を開始します。なお、上記以外のCPU内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵I/Oおよび、その他の端子は、下記の動作を行います。

- 内蔵I/Oのレジスタを初期化
- ポート端子(内蔵I/O兼用端子を含む)を汎用入力ポート、または、汎用出力ポートのモードにセット
- CLK端子を“H”レベルにプルアップ
(注:リセット中、外部にて電圧レベルを下げないでください。誤動作する可能性があります。)

図3.1に、リセット動作の基本タイミング例を示します。

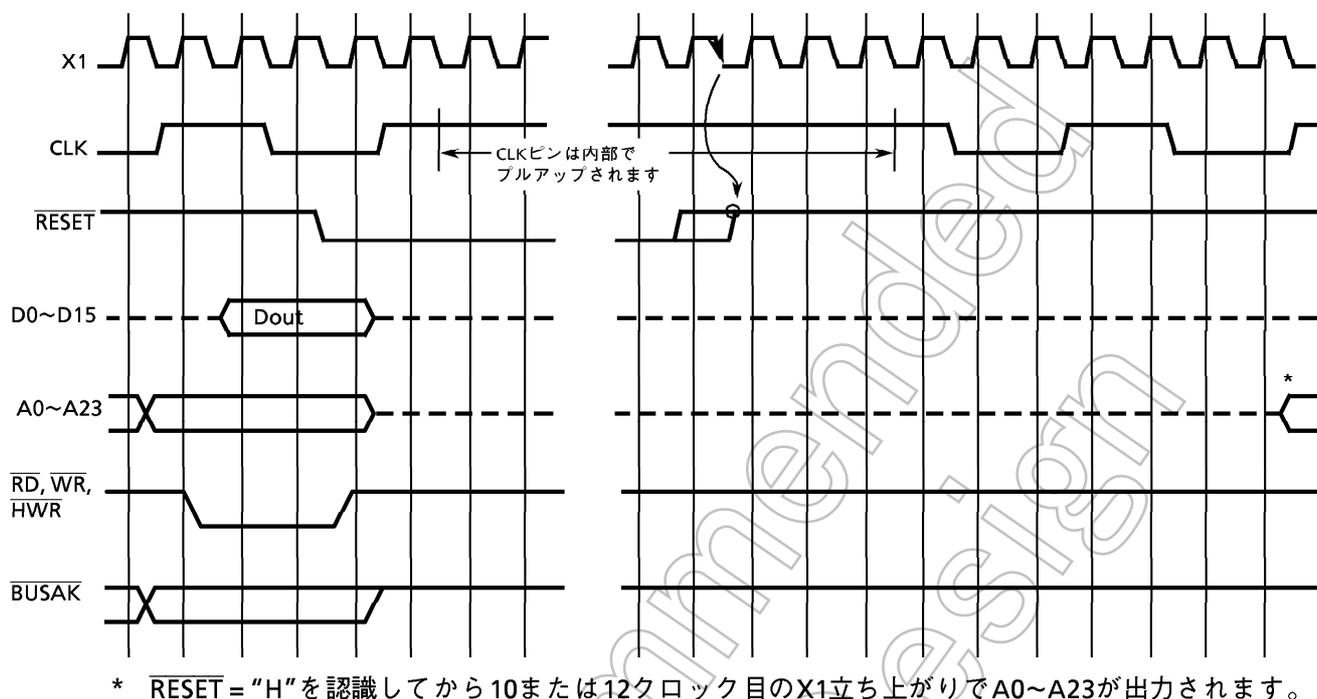


図3.1 TMP95CW64/W65 リセットタイミング例

3.1.2 外部データバス幅選択機能 (AM8/ $\overline{\text{16}}$ 端子)

(1) TMP95CW64 ($\overline{\text{EA}} = \text{“H”}$ レベル) の場合

本端子入力を “Vcc” に接続してください。リセット後は、内部16ビットバスで内蔵ROMをアクセスします。

外部アクセスする際のデータバス幅は、チップセレクト/ウェイトコントロールレジスタの <B0BUS>、<B1BUS>、<B2BUS>、<BEXBUS> の設定が有効になります。16ビットバスでアクセスする場合は、ポート1を D8~D15 に設定してください。

(2) TMP95CW65 ($\overline{\text{EA}} = \text{“L”}$ レベル) の場合

AM8/ $\overline{\text{16}}$ 端子入力をリセット信号の立ち上がりでサンプリングすることで、外部データバス幅の選択を行います。

- AM8/ $\overline{\text{16}} = \text{“L”}$ レベルの場合

P00~P17は、16ビットデータバス (D0~D15) として機能します (8、16ビットデータバス幅混在、または、16ビットデータバス幅固定)。

外部データバス幅は、チップセレクト/ウェイトコントロールレジスタ <B0BUS>、<B1BUS>、<B2BUS>、<BEXBUS> の設定が有効になります。

- AM8/ $\overline{\text{16}} = \text{“H”}$ レベルの場合

P00~P07は、8ビットデータバス (D0~D7) として機能します (外部8ビットデータバス固定)。

<B0BUS>、<B1BUS>、<B2BUS>、<BEXBUS> の設定は無視されます。

3.2 メモリマップ

TMP95CW64/W65は、160バイト分のアドレス空間を、内蔵I/O領域として使っています。これは、アドレス空間000000H~00009FHに割り付けられています。なお、CPUは「ダイレクトアドレッシングモード」により、短い命令コードでこの内蔵I/Oをアクセスすることも可能です。

図3.2に、メモリマップとCPUの各アドレッシングモードのアクセス範囲を示します。

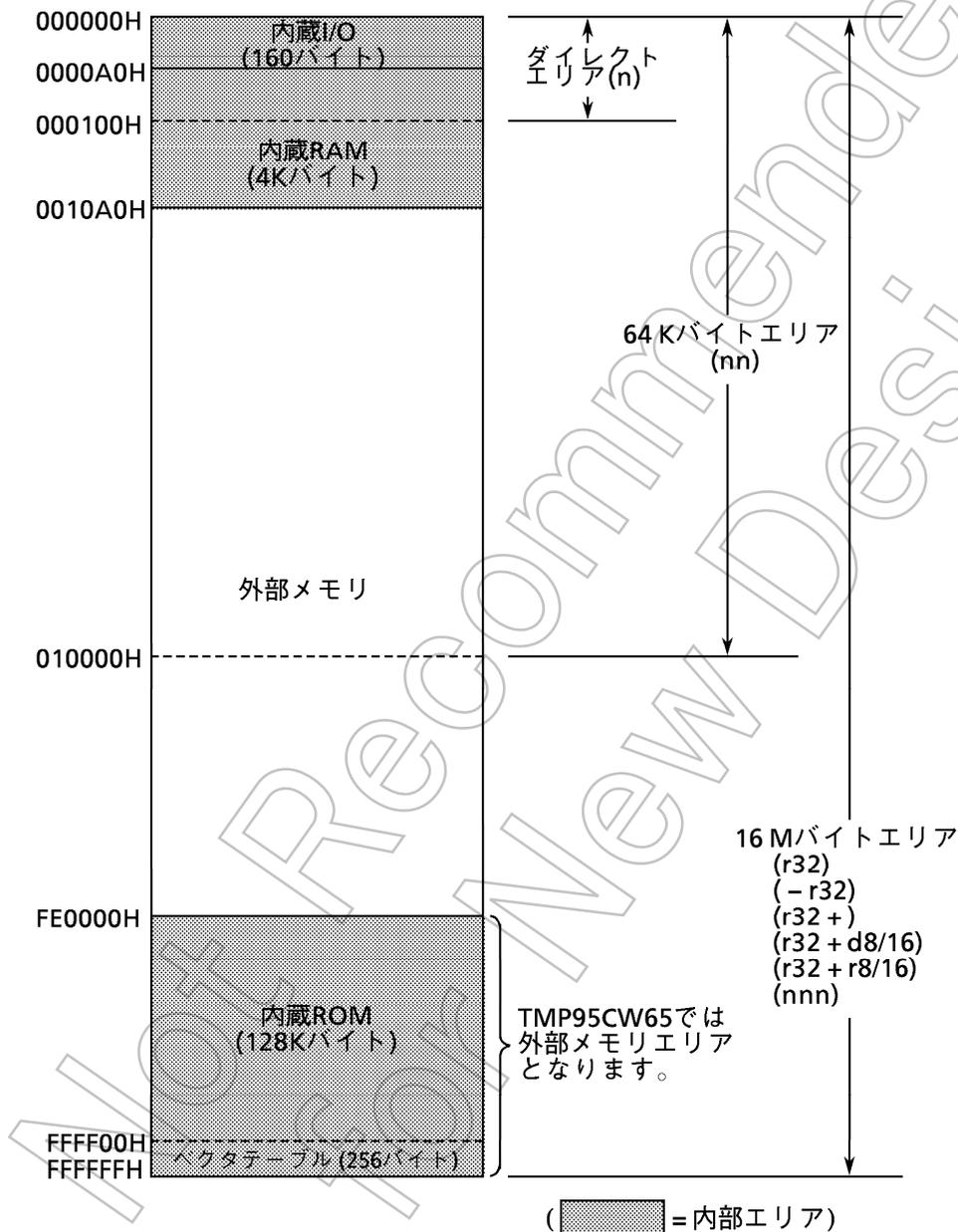


図3.2 TMP95CW64/W65 メモリマップ

4. 電気的特性

4.1 最大定格

| 項目 | 記号 | 定格 | 単位 |
|------------------|---------------------|---------------------------|----|
| 電源電圧 | V _{CC} | -0.5~+6.5 | V |
| 入力電圧 | V _{IN} | -0.5~V _{CC} +0.5 | V |
| 出力電流(合計) | ΣI_{OL} | +120 | mA |
| 出力電流(合計) | ΣI_{OH} | -120 | mA |
| 消費電力(Ta = +70°C) | P _D | 600 | mW |
| はんだ付け温度(10 s) | T _{SOLDER} | +260 | °C |
| 保存温度 | T _{STG} | -65~+150 | °C |
| 動作温度 | T _{OPR} | -20~+70 | °C |

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC電気的特性

(1) V_{CC} = +5 V ± 10%, Ta = -20~+70°C (fc = 8~25 MHz)

(Typ値はTa = +25°C, V_{CC} = +5 Vの値です)

| 項目 | 記号 | 条件 | Min | Max | 単位 |
|--|-------------------|--|----------------------|----------------------|----|
| Input Low Voltage (D0~15) Port 2~A (except P56, P70, P72, P73, P75) RESET, NMI, INT0~4 EA, AM8/16 X1 | V _{IL} | | -0.3 | 0.8 | V |
| | V _{IL1} | | -0.3 | 0.3 V _{CC} | V |
| | V _{IL2} | | -0.3 | 0.25 V _{CC} | V |
| | V _{IL3} | | -0.3 | 0.3 | V |
| Input High Voltage (D0~15) Port 2~A (except P56, P70, P72, P73, P75) RESET, NMI, INT0~4 EA, AM8/16 X1 | V _{IH} | | 2.2 | V _{CC} +0.3 | V |
| | V _{IH1} | | 0.7 V _{CC} | V _{CC} +0.3 | V |
| | V _{IH2} | | 0.75 V _{CC} | V _{CC} +0.3 | V |
| | V _{IH3} | | V _{CC} -0.3 | V _{CC} +0.3 | V |
| Output Low Voltage | V _{OL} | I _{OL} = 1.6 mA | | 0.45 | V |
| Output High Voltage | V _{OH} | I _{OH} = -400 μA | 2.4 | | V |
| | V _{OH1} | I _{OH} = -100 μA | 0.75 V _{CC} | | V |
| | V _{OH2} | I _{OH} = -20 μA | 0.9 V _{CC} | | V |
| Darlington Drive Current (8 Output Pins max.) | I _{DAR} | V _{EXT} = 1.5 V R _{EXT} = 1.1 kΩ | -1.0 | -3.5 | mA |
| Input Leakage Current | I _{LI} | 0.0 ≤ Vin ≤ V _{CC} | 0.02 (Typ) | ±5 | μA |
| Output Leakage Current | I _{LO} | 0.2 ≤ Vin ≤ V _{CC} -0.2 | 0.05 (Typ) | ±10 | μA |
| Operating Current (RUN) IDLE2 IDLE1 STOP (Ta = -20~+70°C) STOP (Ta = 0~+50°C) | I _{CC} | fc = 25 MHz | 40 (Typ) | 50 | mA |
| | | | 30 (Typ) | 40 | mA |
| | | | 3.5 (Typ) | 10 | mA |
| | | | 0.5 (Typ) | 50 | μA |
| Power Down Voltage (@STOP, RAM Back up) | V _{STOP} | V _{IL2} = 0.2 V _{CC} , V _{IH2} = 0.8 V _{CC} | 2.0 | 6.0 | V |
| Pull Up Resistance | R _{RP} | | 45 | 160 | kΩ |
| Pin Capacitance | C _{IO} | fc = 1 MHz | | 10 | pF |
| Schmitt Width RESET, NMI, INT0~4 | V _{TH} | | 0.4 | 1.0 (Typ) | V |

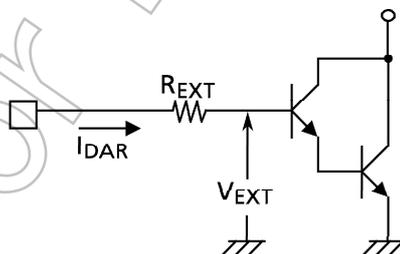
(注) I_{DAR}は、任意の出力ポートについて、合計8本までこのスペックを保証します。

(2) $V_{CC} = +3V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 4 \sim 10\text{ MHz}$)

(Typ値は $T_a = +25^\circ\text{C}$, $V_{CC} = +3V$ の値です)

| 項目 | 記号 | 条件 | Min | Max | 単位 |
|--|------------|--|----------------|----------------|---------------|
| Input Low Voltage (D0~15) | V_{IL} | | -0.3 | 0.6 | V |
| Port 2~A (except P56, P70, P72, P73, P75) | V_{IL1} | | -0.3 | $0.3 V_{CC}$ | V |
| RESET, NMI, INT0~4 | V_{IL2} | | -0.3 | $0.25 V_{CC}$ | V |
| EA, AM8/16 | V_{IL3} | | -0.3 | 0.3 | V |
| X1 | V_{IL4} | | -0.3 | $0.2V_{CC}$ | V |
| Input High Voltage (D0~15) | V_{IH} | | 2.0 | $V_{CC} + 0.3$ | V |
| Port 2~A (except P56, P70, P72, P73, P75) | V_{IH1} | | $0.7 V_{CC}$ | $V_{CC} + 0.3$ | V |
| RESET, NMI, INT0~4 | V_{IH2} | | $0.75 V_{CC}$ | $V_{CC} + 0.3$ | V |
| EA, AM8/16 | V_{IH3} | | $V_{CC} - 0.3$ | $V_{CC} + 0.3$ | V |
| X1 | V_{IH4} | | $0.8V_{CC}$ | $V_{CC} + 0.3$ | V |
| Output Low Voltage | V_{OL} | $I_{OL} = 1.6\text{ mA}$ | | 0.45 | V |
| Output High Voltage | V_{OH} | $I_{OH} = -400\ \mu\text{A}$ | 2.4 | | V |
| Input Leakage Current | I_{LI} | $0.0 \leq V_{in} \leq V_{CC}$ | 0.02 (Typ) | ± 5 | μA |
| Output Leakage Current | I_{LO} | $0.2 \leq V_{in} \leq V_{CC} - 0.2$ | 0.05 (Typ) | ± 10 | μA |
| Operating Current (RUN) | I_{CC} | $f_c = 10\text{ MHz}$ | 12 (Typ) | 25 | mA |
| IDLE2 | | | 4.5 (Typ) | 17 | mA |
| IDLE1 | | | 0.8 (Typ) | 5 | mA |
| STOP ($T_a = -20 \sim +70^\circ\text{C}$) | | $0.2 \leq V_{in} \leq V_{CC} - 0.2$ | 0.5 (Typ) | 50 | μA |
| STOP ($T_a = 0 \sim +50^\circ\text{C}$) | | $0.2 \leq V_{in} \leq V_{CC} - 0.2$ | | 10 | μA |
| Power Down Voltage (@ STOP, RAM Back up) | V_{STOP} | $V_{IL2} = 0.2 V_{CC}$ $V_{IH2} = 0.8 V_{CC}$ | 2.0 | 6.0 | V |
| Pull Up Resistance | R_{RP} | | 70 | 400 | $k\Omega$ |
| Pin Capacitance | C_{IO} | $f_c = 1\text{ MHz}$ | | 10 | pF |
| Schmitt Width RESET, NMI, INT0~4 | V_{TH} | | 0.4 | 1.0 (Typ) | V |

(参) I_{DAR} の定義図



4.3 AC電気的特性

(1) $V_{CC} = +5V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ (f_c = 8 MHz~25 MHz)

| No. | 項目 | 記号 | 計算式 | | 20 MHz | | 25 MHz | | 単位 |
|-----|-----------------------------------|-------------------|-----------|-----------|--------|-----|--------|-----|----|
| | | | Min | Max | Min | Max | Min | Max | |
| 1 | 発振周期 (= x) | t _{OSC} | 40 | 125 | 50 | | 40 | | ns |
| 2 | CLK パルス幅 | t _{CLK} | 2.0x - 40 | 22.5 | 60 | | 40 | | ns |
| 3 | A0~23 有効→CLK保持 | t _{AK} | 0.5x - 20 | 0 | 5 | | 0 | | ns |
| 4 | CLK 有効→A0~23保持 | t _{KA} | 1.5x - 60 | 0 | 15 | | 0 | | ns |
| 5 | A0~23 有効→RD/WR立ち下がり | t _{AC} | 1.0x - 20 | 11.25 | 30 | | 20 | | ns |
| 6 | RD/WR 立ち上がり→A0~23保持 | t _{CA} | 0.5x - 20 | 5 | 5 | | 0 | | ns |
| 7 | A0~23 有効→D0~15入力 | t _{AD} | 69.4 | 3.5x - 40 | | 135 | | 100 | ns |
| 8 | RD立ち下がり →D0~15入力 | t _{RD} | 33.1 | 2.5x - 45 | | 80 | | 55 | ns |
| 9 | RD Low パルス幅 | t _{RR} | 2.5x - 40 | 38.1 | 85 | | 60 | | ns |
| 10 | RD立ち上がり→D0~15保持 | t _{HR} | 0 | 0 | 0 | | 0 | | ns |
| 11 | WR Low パルス幅 | t _{WW} | 2.5x - 40 | 38.1 | 85 | | 60 | | ns |
| 12 | D0~15 有効→WR立ち上がり | t _{DW} | 2.0x - 40 | 22.5 | 60 | | 40 | | ns |
| 13 | WR立ち上がり →D0~15保持 | t _{WD} | 0.5x - 10 | 5.6 | 15 | | 10 | | ns |
| 14 | A0~23 有効→WAIT 入力 (1 WAIT +nキート) | t _{AW} | 19.4 | 3.5x - 90 | | 85 | | 50 | ns |
| | A0~23 有効→WAIT 入力 (0+n WAIT キート) | t _{AW} | 6.8 | 1.5x - 40 | | 35 | | 20 | ns |
| 15 | RD/WR立ち下がり→WAIT 保持 (1 WAIT +nキート) | t _{CW} | 2.5x + 0 | 78.1 | 125 | | 100 | | ns |
| | RD/WR立ち下がり→WAIT 保持 (0+n WAIT キート) | t _{CW} | 0.5x + 0 | 15.6 | 25 | | 20 | | ns |
| 16 | WR立ち上がり→PORT 有効 | t _{CP} | | 200 | | 200 | | 200 | ns |
| 17 | CS Low パルス幅 (PSRAMモード) | t _{CE} | 3.0x - 40 | | 110 | | 80 | | ns |
| 18 | CS立ち下がり→D0~15入力 (PSRAMモード) | t _{CEA} | | 3.0x - 60 | | 90 | | 60 | ns |
| | アドレスセットアップタイム (PSRAMモード) | t _{PASC} | 0.5x - 15 | | 10 | | 5 | | ns |
| 20 | CSプリチャージタイム (PSRAMモード) | t _{PP} | 1.0x - 10 | | 40 | | 30 | | ns |

AC測定条件

- 出力レベル : High 2.2 V / Low 0.8 V, CL = 50 pF
- 入力レベル : High 2.4 V / Low 0.45 V (D0~D15)
High 0.8 V_{CC} / Low 0.2 V_{CC} (D0~D15を除く)

(2) $V_{CC} = +3V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$

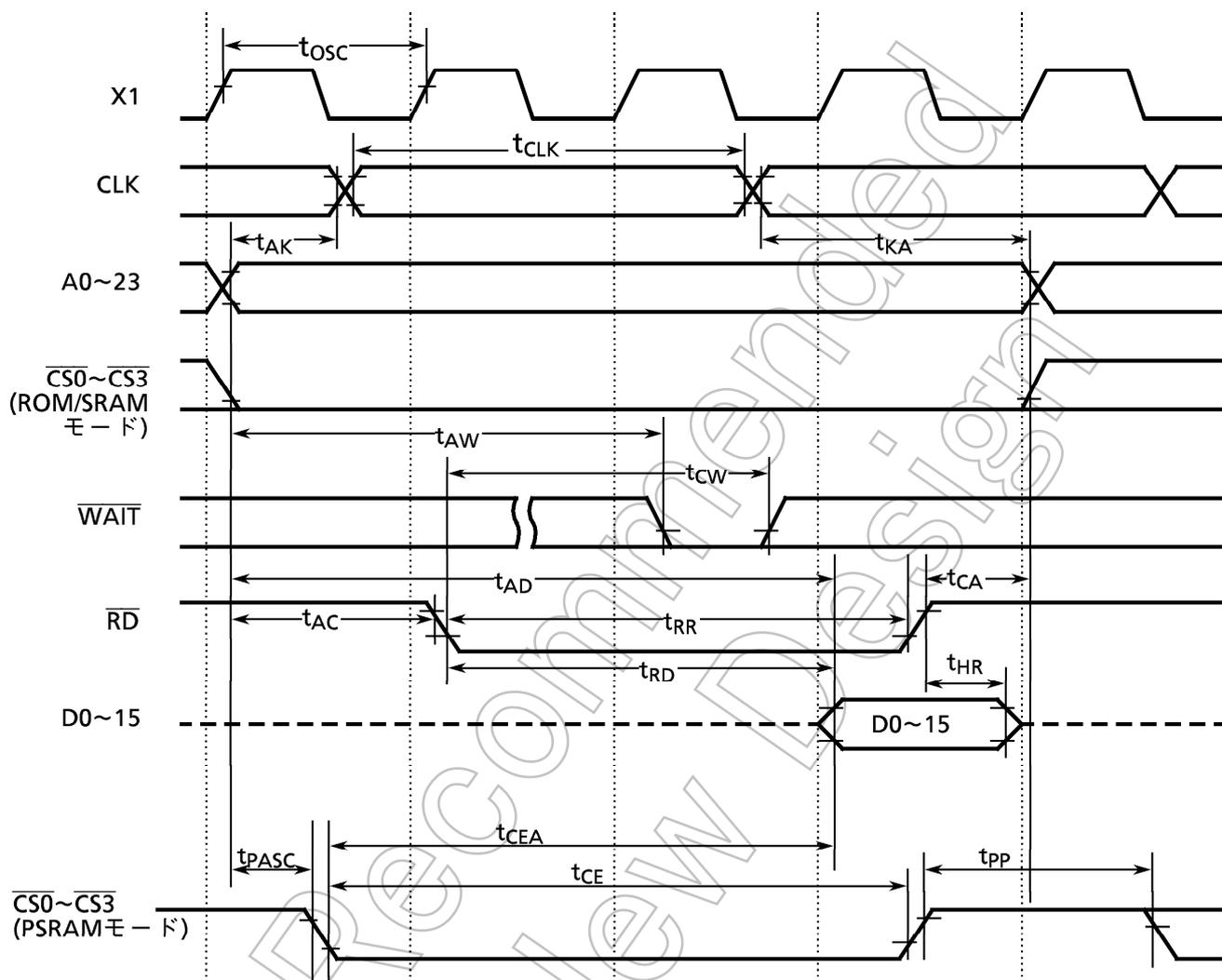
(fc = 4 MHz ~ 10 MHz)

| No. | 項目 | 記号 | 計算式 | | 10 MHz | | 単位 |
|-----|--|-------------------|------------|------------|--------|-----|----|
| | | | Min | Max | Min | Max | |
| 1 | 発振周期 (= x) | t _{OSC} | 100 | 250 | 100 | | ns |
| 2 | CLK パルス幅 | t _{CLK} | 2.0x - 70 | | 130 | | ns |
| 3 | A0~23 有効 → RD/WR 立ち下がり | t _{AC} | 1.0x - 60 | | 40 | | ns |
| 4 | RD/WR 立ち上がり → A0~23 保持 | t _{CA} | 0.5x - 40 | | 10 | | ns |
| 5 | A0~23 有効 → D0~15 入力 | t _{AD} | | 3.5x - 125 | | 225 | ns |
| 6 | RD 立ち下がり → D0~15 入力 | t _{RD} | | 2.5x - 115 | | 135 | ns |
| 7 | RD Low パルス幅 | t _{RR} | 2.5x - 40 | | 210 | | ns |
| 8 | RD 立ち上がり → D0~15 保持 | t _{HR} | 0 | | 0 | | ns |
| 9 | WR Low パルス幅 | t _{WW} | 2.5x - 40 | | 210 | | ns |
| 10 | D0~15 有効 → WR 立ち上がり | t _{DW} | 2.0x - 120 | | 80 | | ns |
| 11 | WR 立ち上がり → D0~15 保持 | t _{WD} | 0.5x - 40 | | 10 | | ns |
| 12 | A0~23 有効 → WAIT 入力 (1 WAIT + n モード) | t _{AW} | | 3.5x - 130 | | 220 | ns |
| | A0~23 有効 → WAIT 入力 (0 + n WAIT モード) | t _{AW} | | 1.5x - 80 | | 70 | ns |
| 13 | RD/WR 立ち下がり → WAIT 保持 (1 WAIT + n モード) | t _{CW} | 2.5x + 0 | | 250 | | ns |
| | RD/WR 立ち下がり → WAIT 保持 (0 + n WAIT モード) | t _{CW} | 0.5x + 0 | | 50 | | ns |
| 14 | WR 立ち上がり → PORT 有効 | t _{CP} | | 200 | | 200 | ns |
| 15 | CS Low パルス幅 (PSRAM モード) | t _{CE} | 3.0x - 70 | | 230 | | ns |
| 16 | CS 立ち下がり → D0~15 入力 (PSRAM モード) | t _{CEA} | | 3.0x - 160 | | 140 | ns |
| 17 | アドレスセットアップタイム (PSRAM モード) | t _{PASC} | 0.5x - 30 | | 20 | | ns |
| 18 | CS プリチャージタイム (PSRAM モード) | t _{PP} | 1.0x - 40 | | 60 | | ns |

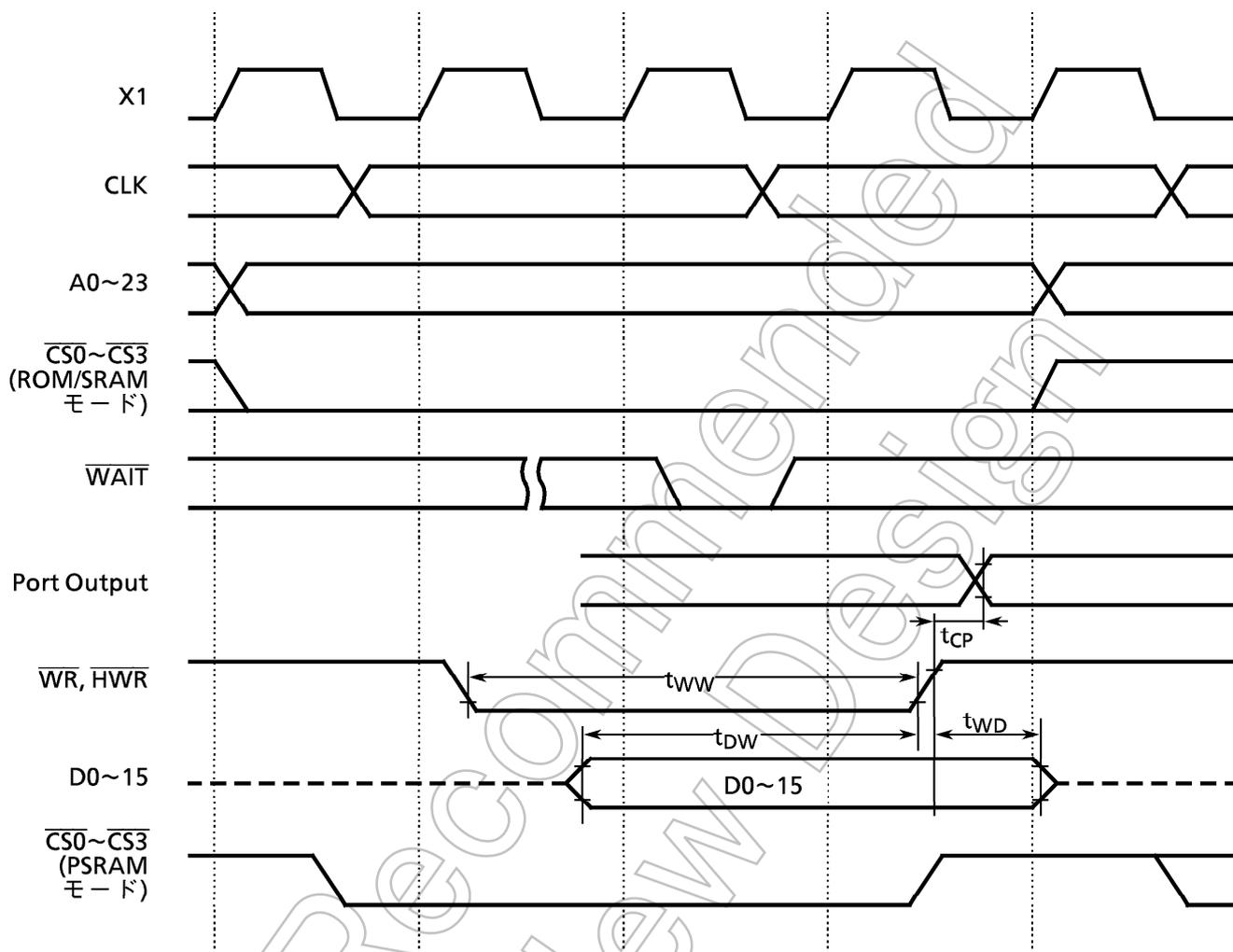
AC測定条件

- 出力レベル : High 0.7x V_{CC} / Low 0.3x V_{CC}, CL = 50 pF
- 入力レベル : High 0.9x V_{CC} / Low 0.1x V_{CC}

(3) リードサイクル



(4) ライトサイクル



4.4 シリアルチャネルタイミング

(1) I/Oインタフェースモード

① SCLK入力モード

Vcc = +5V ± 10%, Ta = -20 ~ +70°C (fc = 8~25 MHz)
 Vcc = +3V ± 10%, Ta = -20 ~ +70°C (fc = 4~10 MHz)

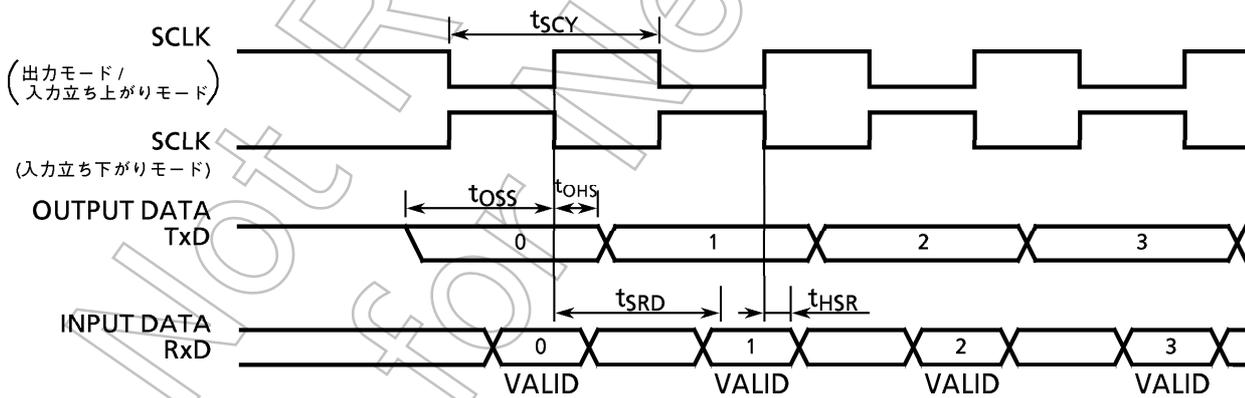
| 項目 | 記号 | 計算式 | | 10 MHz | | 25 MHz | | 単位 |
|-------------------------------------|------------------|-------------------------------|-----------------------------|--------|-----|--------|-----|----|
| | | Min | Max | Min | Max | Min | Max | |
| SCLK周期 | t _{SCY} | 16x | | 1.6 | | 0.64 | | μs |
| Output Data → SCLK立ち上がり / 立ち下がり* | t _{OSS} | t _{SCY} /2 - 5x - 50 | | 250 | | 70 | | ns |
| SCLK立ち上がり / 立ち下がり* → Output Data 保持 | t _{OHS} | 5x - 100 | | 400 | | 100 | | ns |
| SCLK立ち上がり / 立ち下がり* → Input Data 保持 | t _{HSR} | 0 | | 0 | | 0 | | ns |
| SCLK立ち上がり / 立ち下がり* → 有効 Data 入力 | t _{SRD} | | t _{SCY} - 5x - 100 | 1000 | | 340 | | ns |

*) SCLK 立ち上がり / 立ち下がり … SCLK立ち上がりモードの場合は SCLK立ち上がり、SCLK立ち下がりモードの場合は SCLK立ち下がりのタイミングです。

② SCLK出力モード

Vcc = +5V ± 10%, Ta = -20 ~ +70°C (fc = 8~25 MHz)
 Vcc = +3V ± 10%, Ta = -20 ~ +70°C (fc = 4~10 MHz)

| 項目 | 記号 | 計算式 | | 10 MHz | | 25 MHz | | 単位 |
|----------------------------|------------------|-----------------------------|-----------------------------|--------|-------|--------|-------|----|
| | | Min | Max | Min | Max | Min | Max | |
| SCLK周期 (プログラマブル) | t _{SCY} | 16x | 8192x | 1.6 | 819.2 | 0.64 | 327.6 | μs |
| Output Data → SCLK立ち上がり | t _{OSS} | t _{SCY} - 2x - 150 | | 1250 | | 410 | | ns |
| SCLK立ち上がり → Output Data 保持 | t _{OHS} | 2x - 80 | | 120 | | 0 | | ns |
| SCLK立ち上がり → Input Data 保持 | t _{HSR} | 0 | | 0 | | 0 | | ns |
| SCLK立ち上がり → 有効 Data 入力 | t _{SRD} | | t _{SCY} - 2x - 150 | 1250 | | 410 | | ns |



(2) UARTモード (SCLK0~2 外部入力)

$V_{CC} = +5V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 8 \sim 25 \text{ MHz}$)
 $V_{CC} = +3V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 4 \sim 10 \text{ MHz}$)

| 項目 | 記号 | 計算式 | | 10 MHz | | 25 MHz | | 単位 |
|--------------|------------|-----------|-----|--------|-----|--------|-----|----|
| | | Min | Max | Min | Max | Min | Max | |
| SCLK周期 | t_{SCY} | $4x + 20$ | | 420 | | 180 | | ns |
| SCLK低レベルパルス幅 | t_{SCYL} | $2x + 5$ | | 205 | | 85 | | ns |
| SCLK高レベルパルス幅 | t_{SCYH} | $2x + 5$ | | 205 | | 85 | | ns |

4.5 AD変換特性

$V_{CC} = +5V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 8 \sim 25 \text{ MHz}$)
 $V_{CC} = +3V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 4 \sim 10 \text{ MHz}$)

| 項目 | 記号 | 測定条件 | Min | Typ | Max | 単位 |
|-----------------------|---------------------------------|-----------|------------------------|---------|----------------|-----|
| ADアナログ基準電源電圧 (+) | V_{REFH} | | $V_{CC} - 0.2$ | | V_{CC} | V |
| ADアナログ基準電源電圧 (-) | V_{REFL} | | V_{SS} | | $V_{SS} + 0.2$ | |
| アナログ基準電圧 | AV_{CC} | | $V_{CC} - 0.2$ | | V_{CC} | |
| アナログ基準電圧 | AV_{SS} | | V_{SS} | | $V_{SS} + 0.2$ | |
| アナログ入力電圧 | V_{AIN} | | V_{REFL} | | V_{REFH} | |
| アナログ基準電圧電源電流 | $\langle V_{REFON} \rangle = 1$ | I_{REF} | $V_{CC} = 5V \pm 10\%$ | | 3.7 | mA |
| | | | $V_{CC} = 3V \pm 10\%$ | | 2.2 | |
| 総合誤差 (量子化誤差は含みません) | E_T | | $V_{CC} = 5V \pm 10\%$ | ± 1 | ± 3 | LSB |
| | | | $V_{CC} = 3V \pm 10\%$ | ± 1 | ± 3 | |

(注1) $1\text{LSB} = (V_{REFH} - V_{REFL}) / 2^{10} [\text{V}]$

(注2) AV_{CC} 端子より流れる電源電流は、 V_{CC} 端子の電源電流 I_{CC} に含まれます。

4.6 DA変換特性

$V_{CC} = +5V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 8 \sim 25 \text{ MHz}$)
 $V_{CC} = +3V \pm 10\%$, $T_a = -20 \sim +70^\circ\text{C}$ ($f_c = 4 \sim 10 \text{ MHz}$)

| 項目 | 記号 | 条件 | Min | Typ | Max | 単位 |
|----------|-----------|------------------------------|----------------|-----|----------------|-----|
| アナログ基準電圧 | AV_{CC} | | $V_{CC} - 0.2$ | | V_{CC} | V |
| アナログ基準電圧 | AV_{SS} | | V_{SS} | | $V_{SS} + 0.2$ | |
| 総合誤差 | | $R = 1 \text{ M}\Omega$ (注) | | | 7.0 | LSB |
| | | $R = 5 \text{ M}\Omega$ (注) | | | 4.0 | LSB |
| | | $R = 10 \text{ M}\Omega$ (注) | | | 3.5 | LSB |
| 微分直線性誤差 | | | | 2.0 | | LSB |

(注) R は、DAコンバータ出力端子(DAOUT0、DAOUT1)の外付け負荷抵抗です。

4.7 イベントカウンタ (外部入力クロック : T10, T14, T18, T19, T1A, T1B)

V_{CC} = +5V ± 10%, T_a = -20 ~ +70°C (f_c = 8~25 MHz)V_{CC} = +3V ± 10%, T_a = -20 ~ +70°C (f_c = 4~10 MHz)

| 項目 | 記号 | 計算式 | | 10 MHz | | 25 MHz | | 単位 |
|------------------|-------------------|----------|-----|--------|-----|--------|-----|----|
| | | Min | Max | Min | Max | Min | Max | |
| 外部入力クロック周期 | t _{VCK} | 8x + 100 | | 900 | | 420 | | ns |
| 外部入力クロック低レベルパルス幅 | t _{VCKL} | 4x + 40 | | 440 | | 200 | | ns |
| 外部入力クロック高レベルパルス幅 | t _{VCKH} | 4x + 40 | | 440 | | 200 | | ns |

4.8 割り込みオペレーション

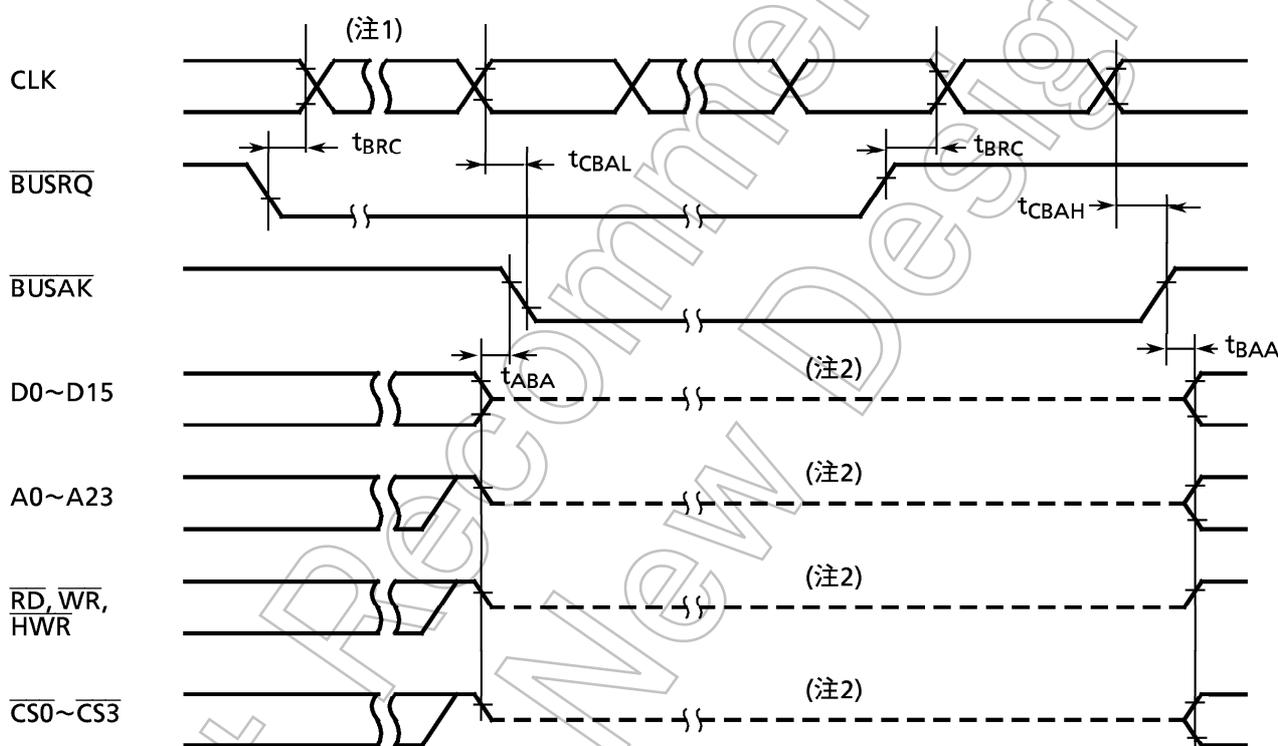
V_{CC} = +5V ± 10%, T_a = -20 ~ +70°C (f_c = 8~25 MHz)V_{CC} = +3V ± 10%, T_a = -20 ~ +70°C (f_c = 4~10 MHz)

| 項目 | 記号 | 計算式 | | 10 MHz | | 25 MHz | | 単位 |
|----------------------|--------------------|----------|-----|--------|-----|--------|-----|----|
| | | Min | Max | Min | Max | Min | Max | |
| NMI, INT0~4 低レベルパルス幅 | t _{INTAL} | 4x | | 400 | | 160 | | ns |
| NMI, INT0~4 高レベルパルス幅 | t _{INTAH} | 4x | | 400 | | 160 | | ns |
| INT5~INT8 低レベルパルス幅 | t _{INTBL} | 8x + 100 | | 900 | | 420 | | ns |
| INT5~INT8 高レベルパルス幅 | t _{INTBH} | 8x + 100 | | 900 | | 420 | | ns |

4.9 バスリクエスト/バスアクノリッジタイミング

Vcc = +5V ± 10%, Ta = -20 ~ +70°C (fc = 8 ~ 25 MHz)
 Vcc = +3V ± 10%, Ta = -20 ~ +70°C (fc = 4 ~ 10 MHz)

| 項目 | 記号 | 計算式 | | 10 MHz | | 25 MHz | | 単位 |
|----------------------------|-------------------|-----|------------|--------|-----|--------|-----|----|
| | | Min | Max | Min | Max | Min | Max | |
| CLKに対するBUSRQセットアップ時間 | t _{BRC} | 120 | | 120 | | 120 | | ns |
| CLK→BUSAK 立ち下がり | t _{CBAL} | | 2.0x + 120 | | 320 | | 200 | ns |
| CLK→BUSAK 立ち上がり | t _{CBAH} | | 0.5x + 40 | | 90 | | 60 | ns |
| 出力バッファOFFからBUSAK立ち下がりまでの時間 | t _{ABA} | 0 | 80 | 0 | 80 | 0 | 80 | ns |
| BUSAK立ち上がりから出力バッファONまでの時間 | t _{BAA} | 0 | 80 | 0 | 80 | 0 | 80 | ns |



(注1) **BUSRQ**を“L”レベルにしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していない場合は、そのウェイトが解除されるまで、バスは解放されません。

(注2) この破線は、出力バッファが**OFF**になっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により信号レベルの確定が遅れ (**CR**の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ抵抗は、内部信号状態に応じて、働きつづけています。

Not Recommended
for New Design