TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900/H シリーズ

TMP95CS64FG/TMP95C265FG

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

はじめに

この度は弊社16ビットマイクロコントローラTLCS-900/Hシリーズ、TMP95C265/TMP95CS64をご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホールト状態からの解除に関する注意事項

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE1、STOPモードに設定されている状態 (IDLE2は対象外) で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み ($\overline{\text{NMI}}$, INT0) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended for New Design

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。
製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

Not Recommended for New Design

修正対象項目 1. 製品名称

本文中製品名称 (旧名称)	正式名称 (新名称)
TMP95CS64F/TMP95C265F	TMP95CS64FG/TMP95C265FG

修正対象項目 2. パッケージ名称及び寸法

本文中パーケージ名称 (旧名称)	正式パッケージ名称 (新名称)
P-LQFP100-1414-0.50F	LQFP100-P-1414-0.50F

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、 はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C ５秒間１回Ｒタイプフラックス使用 (鉛はんだ使用時) 245°C ５秒間１回Ｒタイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、 最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質，信頼性の向上に努めておりますが，一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は，半導体製品の誤作動や故障により，生命・身体・財産が侵害されることのないように，購入者側の責任において，機器の安全設計を行うことをお願いします。
  なお，設計に際しては，最新の製品仕様をご確認の上，製品保証範囲内でご使用いただくと共に，考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」,「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は，一般的電子機器（コンピュータ，パーソナル機器，事務機器，計測機器，産業用ロボット，家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され，その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器，航空宇宙機器，輸送機器，交通信号機器，燃焼制御，医療機器，各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし，また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは，お客様の責任でなされることとなります。
- 本資料に掲載されている製品を，国内外の法令，規則及び命令により製造，使用，販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は，製品の代表的動作・応用を説明するためのもので，その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有･使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は，技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

本製品の発行日は、 付加ページ右下にも記入の「2008-02-20」です。

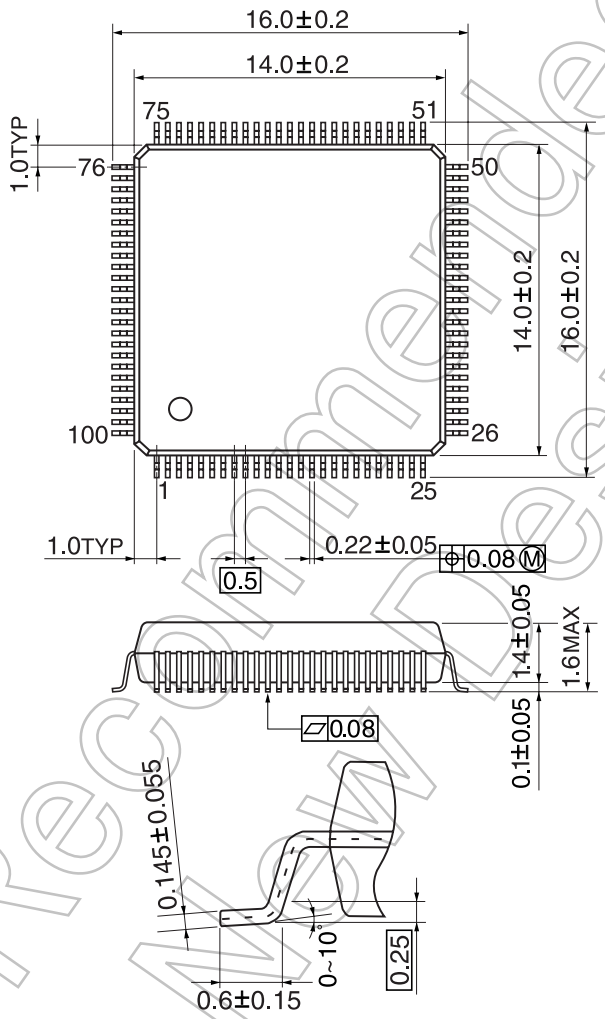
Not Recommended for New Design

(別紙)

パッケージ外形寸法図

LQFP100-P-1414-0.50F

単位: mm



Not Recommended for New Design

CMOS 16ビット マイクロコントローラ

TMP95CS64F / TMP95C265F

1. 概要と特長

TMP95CS64/265は、各種の中規模から大規模機器までの制御用として開発された、高速16ビットマイクロコントローラです。TMP95CS64はマスクROM内蔵製品、TMP95C265はROMなし製品で、その他の機能はすべて同一です。

TMP95CS64/265Fは、100ピン フラットパッケージ製品です。

特長は次のとおりです。

- 高速16ビットCPU (900/H CPU使用)
  - TLCS-90/900と命令ニモニックで上位互換
  - 16 Mバイトのリニアアドレス空間
  - 汎用レジスタ、レジスタバンク方式
  - 16ビット乗除算命令、ビット転送 / 演算命令
  - マイクロDMA : 4チャネル (640 ns / 2バイト : 25 MHz発振時)
- 最小命令実行時間 : 160 ns (25 MHz発振時)
- 内蔵RAM : 2Kバイト

  内蔵ROM :

TMP95CS64	64KバイトROM
TMP95C265	なし

- 外部メモリ拡張
  - 16 Mバイト(プログラム / データ共通)まで拡張可能
  - 外部データバス幅選択端子 (AM8/$\overline{16}$)
  - 外部データバス8/16ビット幅共存可能 … ダイナミックバスサイジング
- 8ビットタイマ : 8チャネル
  - イベントカウント機能有 (2チャネル)
- 16ビットタイマ / イベントカウンタ : 2チャネル
- 汎用シリアルインタフェース : 3チャネル
- 10ビットADコンバータ : 8チャネル
- 8ビットDAコンバータ : 2チャネル

000629TBP1

●マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の1.3項に記載されておりますのでかならずお読みください。
●当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命･身体･財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
●本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質･信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下"特定用途"という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
●本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
●本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
●本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

Not Recommended for New Design

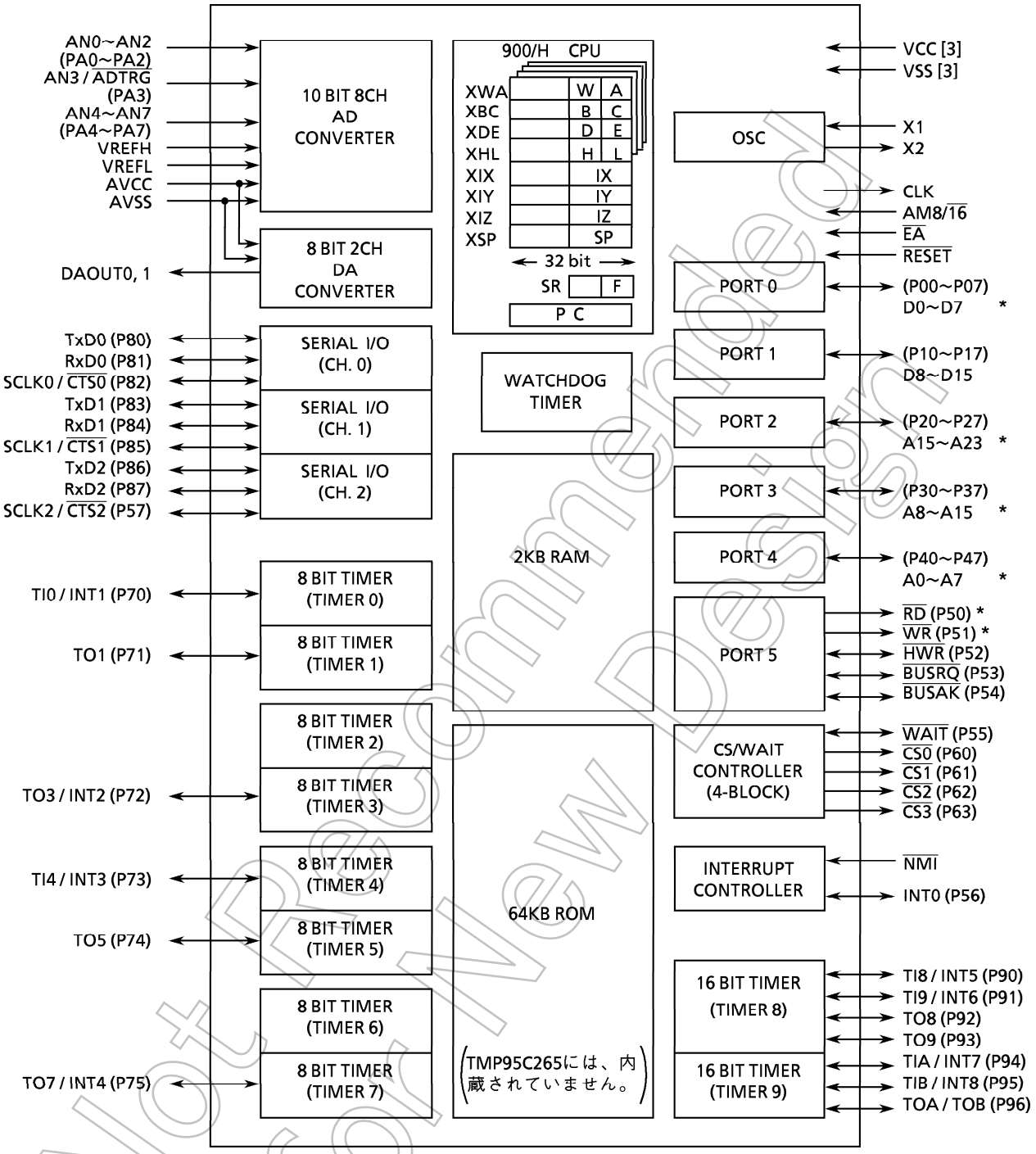
- ウォッチドッグタイマ
- チップセレクト/ウェイトコントローラ ： 4ブロック
- 割り込み機能 ： 割り込み要因45本
  - CPU 9本 … ソフトウエア割り込み命令、未定義命令実行違反
  - 内部 26本
  - 外部 10本

  7レベルの優先順位設定が可能
- 入出力ポート：

TMP95CS64	81端子
TMP95C265	55端子

- スタンバイ機能
  - 4種類のホールトモード(RUN、IDLE2、IDLE1、STOP)
- 動作電圧
  - V_{CC}=2.7～3.3 V
  - V_{CC}=4.5～5.5 V
- パッケージ
  - P-LQFP100-1414-0.50F

Not Recommended for New Design



注) リセット後の端子状態

製品名	AM8/16	リセット後のピン機能
TMP95CS64	"H" レベル固定	兼用端子は ( ) 内の機能が選択されています。
TMP95C265	"H" レベル	* 以外の兼用端子は ( ) 内の機能が選択されています。
	"L" レベル	* 以外の兼用端子は ( ) 内の機能が選択されています。 ただし、PORT1は ( ) 外の機能が選択されています。

図1 TMP95CS64/TMP95C265 ブロック図

Not Recommended for New Design

2. ピン配置とピン機能

TMP95CS64F/265Fのピン配置図、および、入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP95CS64F/265Fのピン配置図は、図2.1のとおりです。

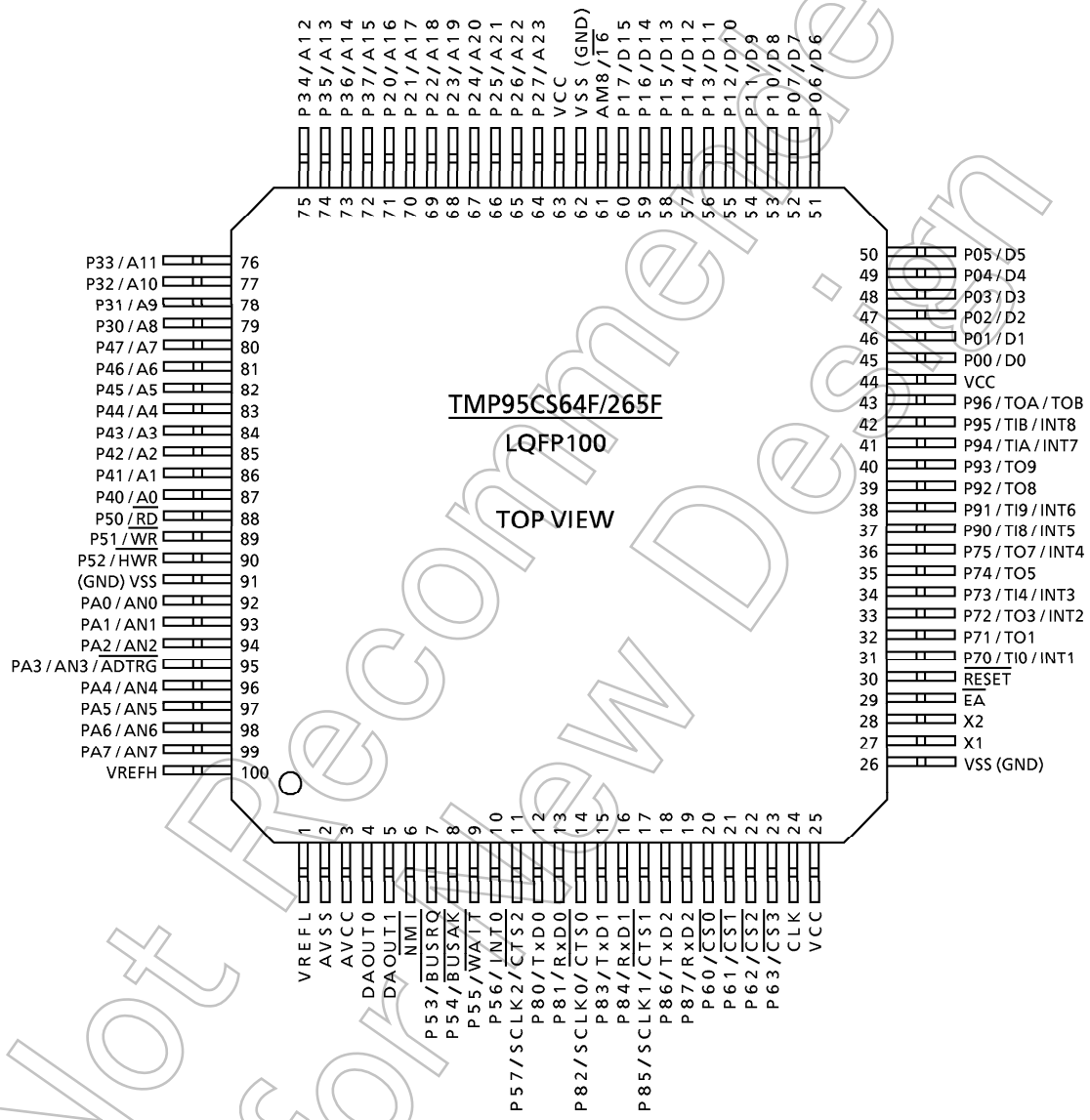


図2.1 ピン配置図 (100ピンQFP)

Not Recommended for New Design

2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2のとおりです。

表2.2 ピン名称と機能 (1/4)

ピン名称	ピン数	入出力	機　能
P00～P07	8	入出力	ポート0: ビット単位で入出力の設定ができる入出力ポートです。
/ D0～D7		入出力	データ : データバス0～7です。
P10～P17	8	入出力	ポート1: ビット単位で入出力の設定ができる入出力ポートです。
/ D8～D15		入出力	データ : データバス8～15です。
P20～P27	8	入出力	ポート2:ビット単位で入出力の設定ができる入出力ポートです。
/ A16～A23		出力	アドレス : アドレスバス16～23です。
P30～P37	8	入出力	ポート3:ビット単位で入出力の設定ができる入出力ポートです。
/ A8～A15		出力	アドレス : アドレスバス8～15です。
P40～P47	8	入出力	ポート4:ビット単位で入出力の設定ができる入出力ポートです。
/ A0～A7		出力	アドレス : アドレスバス0～7です。
P50	1	出力	ポート50:出力専用ポートです。
/ $\overline{RD}$		出力	リード : 外部メモリをリードするためのストローブ信号が出力されます (P5＜P50＞＝0、P5FC＜P50F＞＝1にすることにより、すべてのリードタイミングでストローブ信号が出力されます)。
P51	1	出力	ポート51:出力専用ポートです。
/ $\overline{WR}$		出力	ライト : D0～7端子のデータをライトするためのストローブ信号が出力されます。
P52	1	入出力	ポート52: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ $\overline{HWR}$		出力	上位ライト : D8～15端子のデータをライトするためのストローブ信号が出力されます。
P53	1	入出力	ポート53: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ $\overline{BUSRQ}$		入力	バスリクエスト : 外部バス開放を要求する入力端子です。
P54	1	入出力	ポート54: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ $\overline{BUSAK}$		出力	バスアクノリッジ : CPUが$\overline{BUSRQ}$を受けて外部バス開放したことを知らせる出力端子です。
P55	1	入出力	ポート55: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ $\overline{WAIT}$		入力	ウェイト : CPUへのバスウェイト要求端子です (1WAIT＋Nモード、または、0＋N WAITモードのとき有効です: チップセレクト/ウェイトコントロールレジスタで設定します)。
P56	1	入出力	ポート56: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ INT0		入力	割り込み要求端子0: レベル / 立ち上がりエッジがプログラマブルな割り込み要求端子です。

Not Recommended for New Design

表2.2　ピン名称と機能 (2/4)

ピン名称	ピン数	入出力	機　能
P57	1	入出力	ポート57: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ SCLK2		入出力	シリアルクロック入出力 2
/ $\overline{CTS2}$		入力	シリアルデータ送信可能 2 (Clear To Send)
P60	1	出力	ポート60: 出力専用ポートです。
/ $\overline{CS0}$		出力	チップセレクト0: アドレスが指定したアドレス領域内なら“0”を出力します。
P61	1	出力	ポート61: 出力専用ポートです。
/ $\overline{CS1}$		出力	チップセレクト1: アドレスが指定したアドレス領域内なら“0”を出力します。
P62	1	出力	ポート62: 出力専用ポートです。
/ $\overline{CS2}$		出力	チップセレクト2: アドレスが指定したアドレス領域内なら“0”を出力します。
P63	1	出力	ポート63: 出力専用ポートです。
/ $\overline{CS3}$		出力	チップセレクト3: アドレスが指定したアドレス領域内なら“0”を出力します。
P70	1	入出力	ポート70: 入出力ポートです。
/ TI0		入力	タイマ入力 0 : タイマ0 の入力端子です。
/ INT1		入力	割り込み要求端子 1 : 立ち上がりエッジの割り込み要求端子です。
P71	1	入出力	ポート71: 入出力ポートです。
/ TO1		出力	タイマ出力 1 : タイマ0、または、タイマ1の出力端子です。
P72	1	入出力	ポート72: 入出力ポートです。
/ TO3		出力	タイマ出力 3 : タイマ2、または、タイマ3の出力端子です。
/ INT2		入力	割り込み要求端子 2 : 立ち上がりエッジの割り込み要求端子です。
P73	1	入出力	ポート73: 入出力ポートです。
/ TI4		入力	タイマ入力 4 : タイマ4の入力端子です。
/ INT3		入力	割り込み要求端子 3 : 立ち上がりエッジの割り込み要求端子です。
P74	1	入出力	ポート74: 入出力ポートです。
/ TO5		出力	タイマ出力 5 : タイマ4、または、タイマ5の出力端子です。
P75	1	入出力	ポート75: 入出力ポートです。
/ TO7		出力	タイマ出力 7 : タイマ6、または、タイマ7の出力端子です。
/ INT4		入力	割り込み要求端子 4 : 立ち上がりエッジの割り込み要求端子です。
P80	1	入出力	ポート80: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ TxD0		出力	シリアル送信データ 0
P81	1	入出力	ポート81: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ RxD0		入力	シリアル受信データ 0
P82	1	入出力	ポート82: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ SCLK0		入出力	シリアルクロック入出力 0
/ $\overline{CTS0}$		入力	シリアルデータ送信可能 0 (Clear To Send)

Not Recommended for New Design

表2.2　ピン名称と機能 (3/4)

ピン名称	ピン数	入出力	機　能
P83	1	入出力	ポート83: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ TxD1		出力	シリアル送信データ1
P84	1	入出力	ポート84: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ RxD1		入力	シリアル受信データ1
P85	1	入出力	ポート85: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ SCLK1		入出力	シリアルクロック入出力 1
/ $\overline{CTS1}$		入力	シリアルデータ送信可能 1 (Clear To Send)
P86	1	入出力	ポート86: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ TxD2		出力	シリアル送信データ2
P87	1	入出力	ポート87: 入出力ポートです (プルアップ抵抗が内蔵されています)。
/ RxD2		入力	シリアル受信データ2
P90	1	入出力	ポート90: 入出力ポートです。
/ TI8		入力	タイマ入力8: タイマ8の入力端子です。
/ INT5		入力	割り込み要求端子 5 : 立ち上がり / 立ち下がりエッジがプログラマブルな割り込み要求端子です。
P91	1	入出力	ポート91: 入出力ポートです。
/ TI9		入力	タイマ入力 9 : タイマ8の入力端子です。
/ INT6		入力	割り込み要求端子 6 : 立ち上がりエッジの割り込み要求端子です。
P92	1	入出力	ポート92: 入出力ポートです。
/ TO8		出力	タイマ出力 8 : タイマ8の出力端子です。
P93	1	入出力	ポート93: 入出力ポートです。
/ TO9		出力	タイマ出力 9 : タイマ8の出力端子です。
P94	1	入出力	ポート94: 入出力ポートです。
/ TIA		入力	タイマ入力 A : タイマ9の入力端子です。
/ INT7		入力	割り込み要求端子7: 立ち上がり / 立ち下がりエッジがプログラマブルな割り込み要求端子です。
P95	1	入出力	ポート95: 入出力ポートです。
/ TIB		入力	タイマ入力 B : タイマ9の入力端子です。
/ INT8		入力	割り込み要求端子 8 : 立ち上がりエッジの割り込み要求端子です。
P96	1	入出力	ポート96: 入出力ポートです。
/ TOA		出力	タイマ出力 A : タイマ9の出力端子です。
/ TOB		出力	タイマ出力 B : タイマ9の出力端子です。
PA0~PA2	3	入力	ポートA0~A2 : 入力専用ポートです。
/ AN0~AN2		入力	アナログ入力0~2 : ADコンバータの入力端子です。
PA3	1	入力	ポートA3 : 入力専用ポートです。
/ AN3		入力	アナログ入力3 : ADコンバータの入力端子です。
/ $\overline{ADTRG}$		入力	外部スタートトリガ

Not Recommended for New Design

表2.2　ピン名称と機能 (4/4)

ピン名称	ピン数	入出力	機　能
PA4~PA7	4	入力	ポートA4~A7 : 入力専用ポートです。
/ AN4~AN7		入力	アナログ入力4~7 : ADコンバータの入力端子です。
DAOUT0	1	出力	DA出力 0 : DAコンバータ0の出力端子です。
DAOUT1	1	出力	DA出力 1 : DAコンバータ1の出力端子です。
$\overline{NMI}$	1	入力	ノンマスカブル割り込み要求端子: 立ち下がり / 両エッジがプログラマブルな割り込み要求端子です。
CLK	1	出力	クロック出力: 外部クロックを4分周したクロックを出力します。 リセット期間中はプルアップされます。
$\overline{EA}$	1	入力	外部アクセス: TMP95CS64では "Vcc" に接続してください。 TMP95C265では "GND" に接続してください。
AM8 / $\overline{16}$	1	入力	アドレスモード: 外部データバス幅の選択端子です。 (TMP95CS64の場合) 本端子は "Vcc" に接続してください。外部アクセスする際のデータバス幅は、チップセレクト / ウェイトコントロールレジスタにて設定できます。 (TMP95C265の場合) 外部16ビットバス固定、もしくは外部8 / 16ビットバス混在では "GND"に、外部8ビットバス固定では"Vcc"に接続してください。
$\overline{RESET}$	1	入力	リセット: TMP95CS64/265を初期化します(プルアップ抵抗が内蔵されています)。
VREFH	1	入力	ADコンバータ用基準電圧入力端子 (H)
VREFL	1	入力	ADコンバータ用基準電圧入力端子 (L)
AVCC	1		ADコンバータ用電源端子、および、DAコンバータ用基準電圧入力端子 (かならず電源に接続してください)
AVSS	1		ADコンバータ用GND端子、および、DAコンバータ用基準電圧入力端子 (かならずGNDに接続してください)
X1 / X2	2	入力 / 出力	発振子接続端子
VCC	3		電源端子 ： 全VCC端子を電源に接続してください。
VSS	3		GND端子 ： 全VSS端子をGND (0V) に接続してください。

(注)　$\overline{RESET}$端子以外のプルアップ抵抗付端子は、ソフトウエアによりその抵抗を端子から電気的に切り離すことができます。

Not Recommended for New Design

3. 動作説明

ここでは、TMP95CS64/265の機能、および、基本動作について、ブロックごとに説明します。
なお、本章の最後に「7. 使用上の注意、制限事項」としてブロック別の注意、制限事項などを掲載していますので確認してください。

3.1 CPU

TMP95CS64/265には、高性能な高速16ビットCPU (900/H CPU) が内蔵されています。CPUの動作については、前章の "TLCS-900/H CPU" を参照してください。
ここでは、 TMP95CS64/265独自のCPU機能について説明します。

3.1.1 リセット動作

TMP95CS64/265にリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態でなければなりません。さらに、$\overline{\text{RESET}}$端子への入力は、少なくとも10システムクロック間 (10ステート : 25 MHzクロック発振時で0.8 μs) "L" レベルに保っておかなければなりません。
リセットが受け付けられると、CPUは、下記の動作を行います。

- プログラムカウンタPCを、FFFF00H番地~FFFF02H番地に格納されているリセットベクタに従いセット
  PC (7 : 0) ← FFFF00H 番地の値
  PC (15 : 8) ← FFFF01H 番地の値
  PC (23 : 16) ← FFFF02H 番地の値
- スタックポインタXSPを100Hにセット
- ステータスレジスタSRの<IFF2 : 0>を "111" にセット (割り込みレベルのマスクレジスタをレベル7にセット)
- ステータスレジスタSRの<MAX>を "1" にセット (マキシマムモードにセット) (注 : 本製品は、ミニマムモードをサポートしていませんので<MAX>に "0" を書き込まないでください)
- ステータスレジスタSRの<RFP2 : 0>を "000" にクリア (レジスタバンクを0にセット)

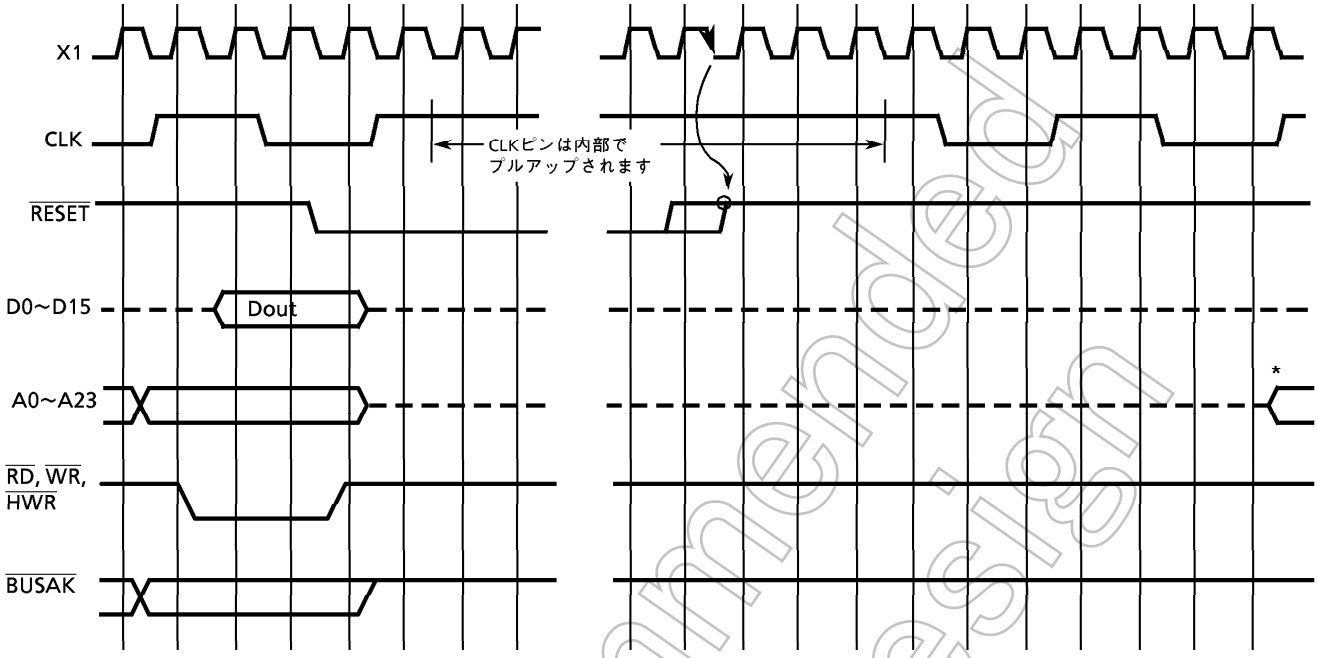
リセットが解除されると、CPUは、セットされたPCに従い命令の実行を開始します。なお、上記以外のCPU内部のレジスタは、変化しません。
また、リセットが受け付けられると、内蔵I/Oおよび、その他の端子は、下記の動作を行います。

- 内蔵I/Oのレジスタを初期化
- ポート端子 (内蔵I/O兼用端子を含む) を汎用入力ポート、または、汎用出力ポートのモードにセット
- CLK端子を "H" レベルにプルアップ

(注) リセット中、外部にて電圧レベルを下げないでください。誤動作する可能性があります。

Not Recommended for New Design

図3.1に、リセット動作の基本タイミング例を示します。



* RESET = "H"を認識してから10または12クロック目のX1立ち上がりでA0~A23が出力されます。

図3.1 TMP95CS64/265 リセットタイミング例

3.1.2 外部データバス幅選択機能 (AM8 / 16端子)

(1) TMP95CS64 (EA = "H" レベル) の場合

本端子入力を "Vcc" に接続してください。リセット後は、内部16ビットバスで内蔵ROMをアクセスします。

外部アクセスする際のデータバス幅は、チップセレクト/ウェイトコントロールレジスタの<B0BUS>、<B1BUS>、<B2BUS>、<B3BUS>、<BEXBUS>の設定が有効になります。16ビットバスでアクセスする場合は、ポート1をD8~D15に設定してください。

(2) TMP95C265 (EA = "L" レベル) の場合

AM8/16端子入力をリセット信号の立ち上がりでサンプリングすることで、外部データバス幅の選択を行います。

- AM8/16 = "L" レベルの場合

  P00~P17は、16ビットデータバス (D0~D15) として機能します (8、16ビットデータバス幅混在、または、16ビットデータバス幅固定)。

  外部データバス幅は、チップセレクト/ウェイトコントロールレジスタ<B0BUS>、<B1BUS>、<B2BUS>、<BEXBUS>の設定が有効になります。

- AM8/16 = "H" レベルの場合

  P00~P07は、8ビットデータバス (D0~D7) として機能します (外部8ビットデータバス固定)。

  <B0BUS>、<B1BUS>、<B2BUS>、<BEXBUS>の設定は無視されます。

Not Recommended for New Design

3.2 メモリマップ

TMP95CS64/265は、160バイト分のアドレス空間を、内蔵I/O領域として使っています。これは、アドレス空間000000H~00009FHに割り付けられています。なお、CPUは「ダイレクトアドレッシングモード」により、短い命令コードでこの内蔵I/Oをアクセスすることも可能です。

図3.2に、メモリマップとCPUの各アドレッシングモードのアクセス範囲を示します。

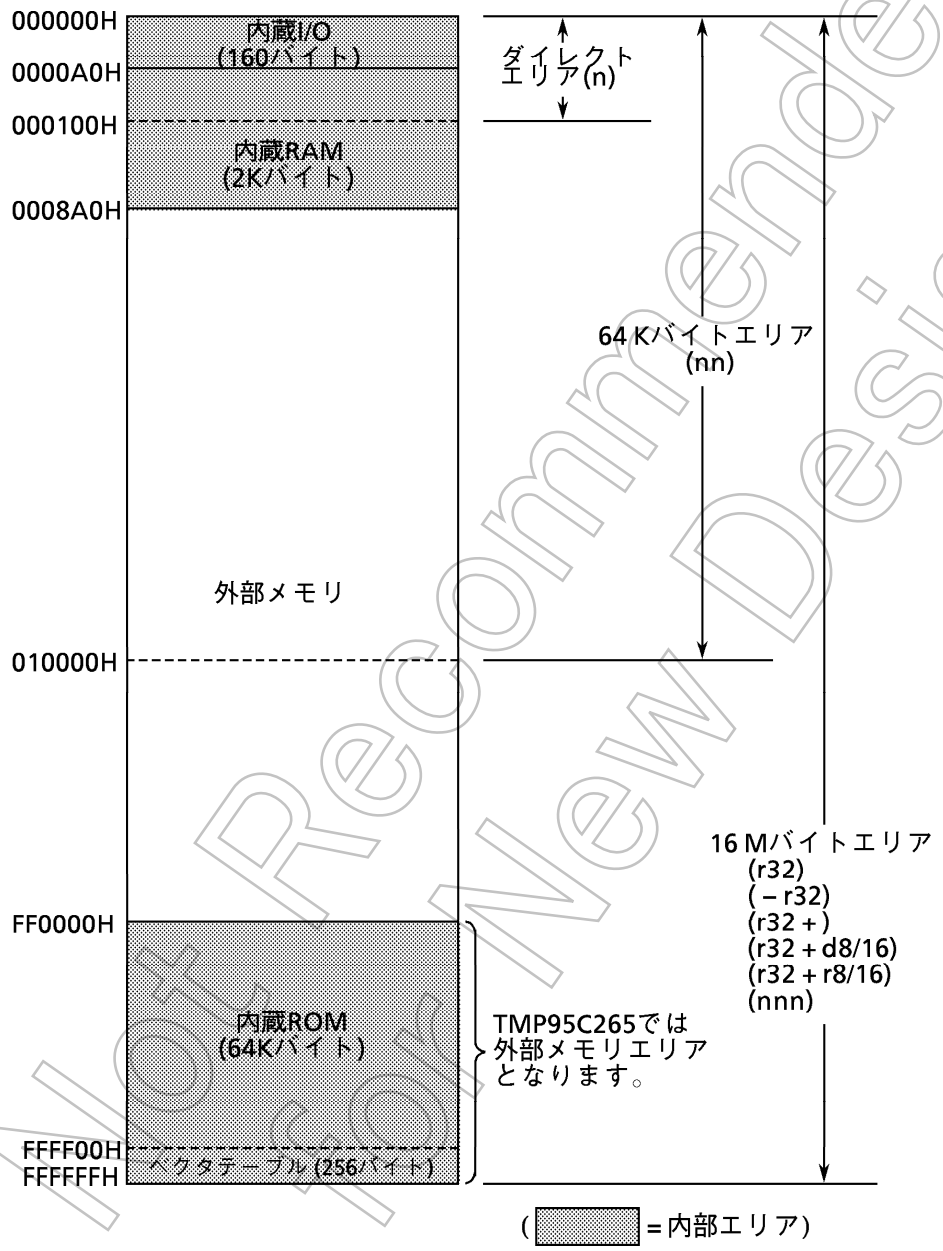


図3.2 TMP95CS64/265 メモリマップ

Not Recommended for New Design

3.3 割り込み機能

割り込みは、CPUの割り込みマスクレジスタ＜IFF2 : 0＞(ステータスレジスタSRのビット14~12)と内蔵の割り込みコントローラによって制御されます。

TMP95CS64/265の割り込み要因は、下記の5種類、合計45本あります。

CPU自身からの割り込み…9本
- ソフトウエア割り込み　：　8本
- 未定義命令実行違反　：　1本

内部割り込み…26本
- 内蔵I/O割り込み　：　22本
- マイクロDMA転送終了割り込み　：　4本

外部割り込み…10本
- 外部端子 ($\overline{NMI}$、INT0~INT8) からの割り込み

各割り込み要因ごとに、個別の割り込みベクタ値が割り当てられています。また、マスカブル割り込みのそれぞれに、7つの優先順位レベルを割り付けることができます。ノンマスカブル割り込みの優先順位レベルは、最優先のレベル"7"に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位レベルをCPUに送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位レベル (最高はノンマスカブル割り込みの"7") をCPUに送ります。

CPUは、割り込みコントローラから送られてきた優先順位レベルと、CPUの割り込みマスクレジスタ <IFF2 : 0> の値を比較します。送られてきた優先順位レベルが、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。ただしCPUが発生するソフトウエア割り込み、未定義命令実行違反割り込みは<IFF2 : 0>と比較をせず割り込み処理を開始します。

割り込みマスクレジスタ <IFF2 : 0> の値は、EI命令(EI num を実行することにより <IFF2 : 0> の内容がnumになります) を使用して、書き換えることができます。たとえば、"EI 3" とプログラムすると、割り込みコントローラに設定された、優先順位レベル "3" 以上のマスカブル割り込みとノンマスカブル割り込みが、受け付け可能となります。ただし、"EI"または"EI 0" とプログラムした場合は、優先順位レベル "1" 以上のマスカブル割り込みと、ノンマスカブル割り込みを受け付けます ("EI 1" と同じ動作を行います)。

また、DI命令 (<IFF2 : 0> の値が "7" になります) は、動作的には "EI 7" と同じです。しかし、マスカブル割り込みの優先順位レベルが "0" ~ "6" であるため、マスカブル割り込みの受け付け禁止用として使用します。なお、EI命令は、実行後ただちに有効となります (TLCS-90では、EI命令の次の命令を実行した後有効になります)。

割り込みには、上記の "汎用割り込み処理" と、"マイクロDMA処理" があります。マイクロDMAは、CPUが自動的にデータの転送 (バイト転送、ワード転送、4バイト転送) を行うモードです。マイクロDMAを使用することで、I/Oに対するデータ転送などの割り込み処理を、高速に行うことが可能になります。

さらに、TMP95CS64/265には、このマイクロDMA要求を割り込み要因からではなく、ソフト的に要求をかける "マイクロDMAソフトスタート機能" があります。

図3.3 (1) に、割り込み処理全体のフローを示します。

Not Recommended for New Design

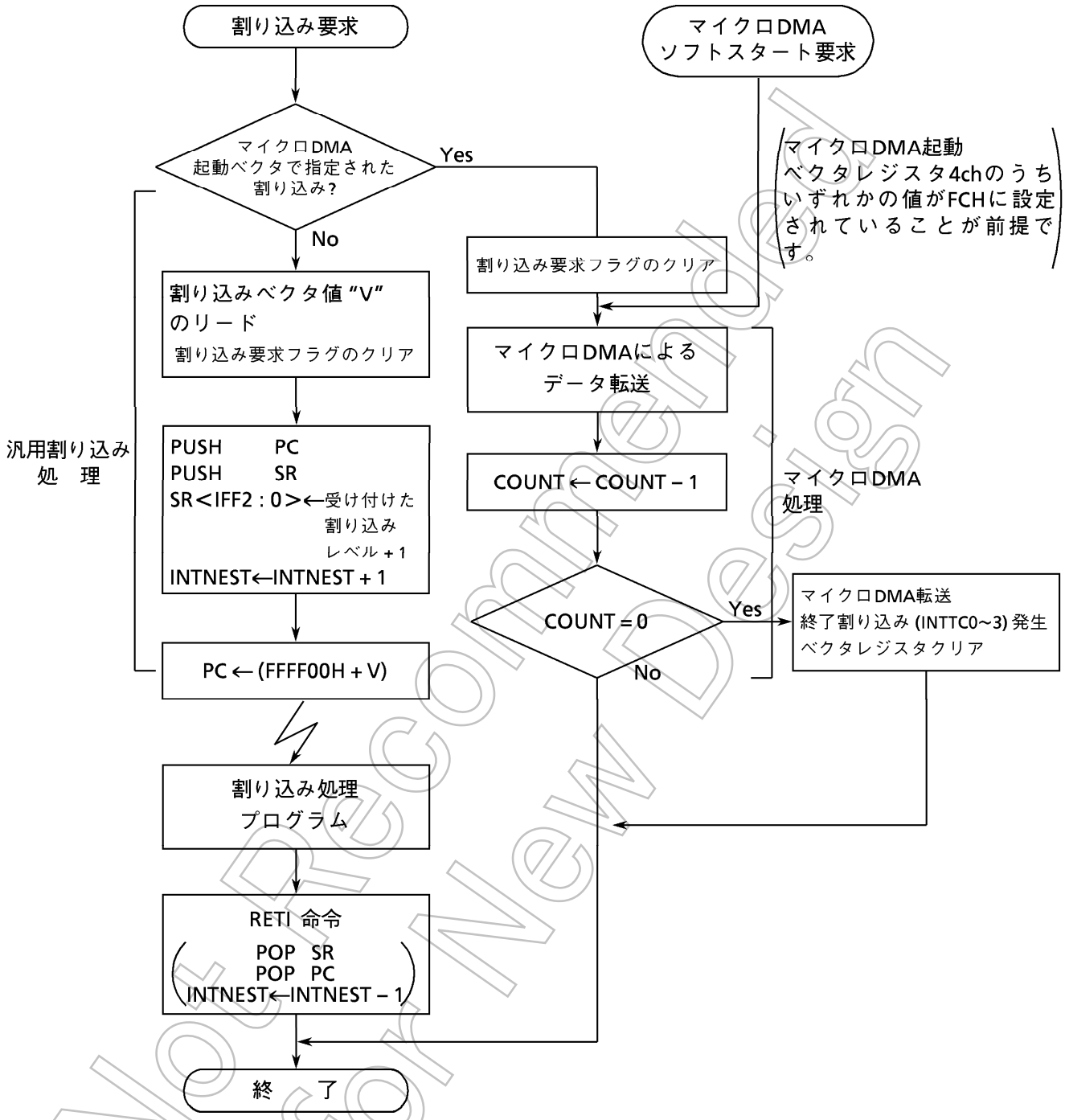


図3.3 (1) 割り込みとマイクロDMAの処理フロー

Not Recommended for New Design

3.3.1 汎用割り込み処理

CPUが割り込みを受け付けると、次のような動作をします。ただし、CPUが発生するソフトウエア割り込み、未定義命令実行違反割り込みは①、③は実行せず②、④、⑤を実行します。

① CPUは、割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同時に発生した割り込みが同一レベルだった場合、デフォルトプライオリティに従って割り込みベクタを発生し、その割り込み要求をクリアします。
デフォルトプライオリティは、各割り込みにあらかじめ設定された優先順位です。ベクタ値が小さい程優先順位が高くなっています。

② CPUは、プログラムカウンタPCとステータスレジスタSRの内容を、スタック領域(XSPが示す領域)へ退避します。

③ CPUは、割り込みマスクレジスタ <IFF2:0> に受け付けた割り込みレベルに「+1」した値をセットします。ただし、「+1」した値が "7" 以上のときは、"7" をセットします。

④ CPUは、割り込みネスティングカウンタINTNESTを「+1」します。

⑤ CPUは、「FFFF00H+割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

以上の処理時間を、表3.3 (1) に示します。

表3.3 (1) バス幅ごとの割り込み処理時間

スタックエリアのバス幅(ビット)	割り込みベクタエリアのバス幅	割り込み処理実行ステート数	割り込み処理時間 (μs) @ fc = 25 MHz
8	8	28	2.24
	16	24	1.92
16	8	22	1.76
	16	18	1.44

割り込み処理の終了は、通常"RETI"命令で行います。この命令を実行すると、スタックからプログラムカウンタPCとステータスレジスタSRの内容を復帰し、割り込みネスティングカウンタINTNESTを「−1」します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。マスカブル割り込みは、プログラムによって割り込みの許可/禁止を選択することができます。また、各割り込み要因に、優先順位レベルを設定することもできます(割り込み優先順位レベルを "0" (または "7") に設定することで、その割り込み要求が禁止されます)。

Not Recommended for New Design

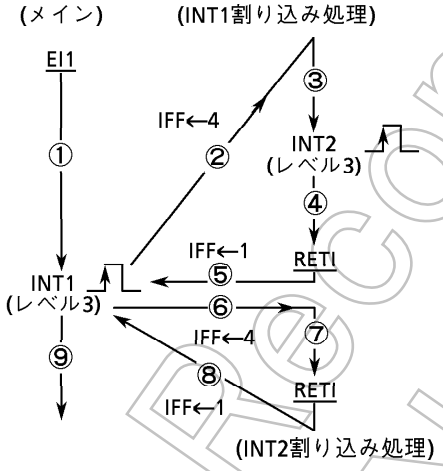
CPUは、割り込みマスクレジスタ <IFF2:0> に設定された値以上の優先順位レベルをもつ割り込み要求があると、割り込みを受け付けます。次に、CPUのマスクレジスタ <IFF2:0> に、受け付けた優先順位レベルに「+1」した値を設定します。従って、現在実行中の割り込みレベルよりも高いレベルの割り込み要求が発生した場合、または、ノンマスカブル割り込み処理を実行中に、別の要因によるノンマスカブル割り込み要求が発生した場合、CPUは、現在実行中の割り込み処理ルーチンを中断し、後に発生した割り込み処理を優先的に受け付けます。この割り込み処理の終了後、中断していた割り込み処理を行います。

なお、CPUが割り込みを受け付け、前記①～⑤までの処理をしている間に発生した、別の割り込み要求は、その割り込み処理ルーチンの先頭命令が、実行された直後にサンプリングされます。先頭命令をDI命令にすると、マスカブル割り込みのネスティングを禁止することができます(注:900と900/Lでは、先頭命令が実行される前に、サンプリングされます)。

リセット後、割り込みマスクレジスタ <IFF2:0> は、"111"に初期化されているため、マスカブル割り込み禁止状態になっています。

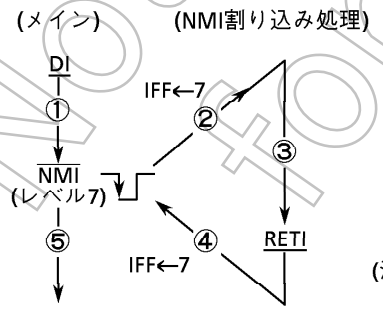
下記(1)~(5)に割り込み処理フローの例を示します。

(1) マスカブル割り込み



CPUは割り込みを受け付けると、受け付けた割り込み優先順位レベルに「+1」した値をIFFにセットします。
従って、割り込み処理中にその割り込みと優先順位レベルが同じか、それ以下の割り込み要求があった場合、IFFの値よりも優先順位レベルが低いため先に実行している割り込み処理が終了するまで受け付けられません。

(2) ノンマスカブル割り込み (NMI, INTWD割り込み)

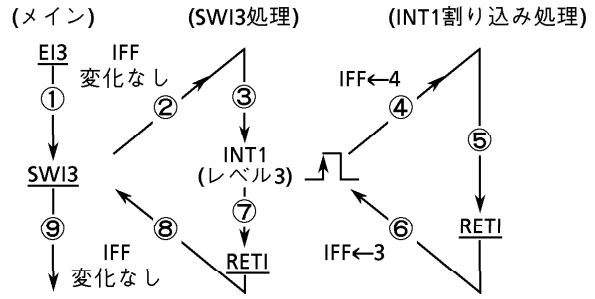


"DI" 命令が実行された状態 (IFFが "7") ではノンマスカブル割り込みのみ受け付けます (ノンマスカブル割り込みの優先順位レベルは "7" に固定されているため)。
また、EI状態でNMI, または、INTWD割り込みを受け付けた場合、CPUはIFFに "7" をセットします。

(注) __(下線) : 命令
①, ②, ... : 実行フロー順番
IFF : 割り込みマスクレジスタ

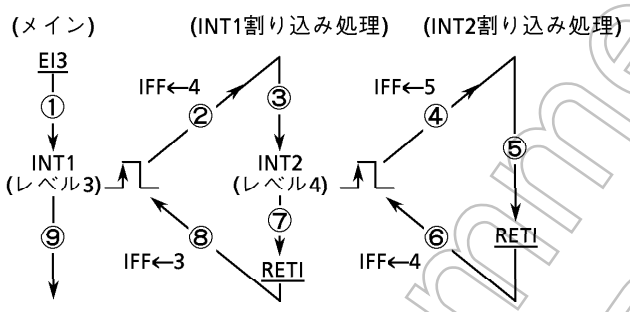
Not Recommended for New Design

(3) ノンマスカブル割り込み (ソウトウエア割り込み、未定義命令実行違反)



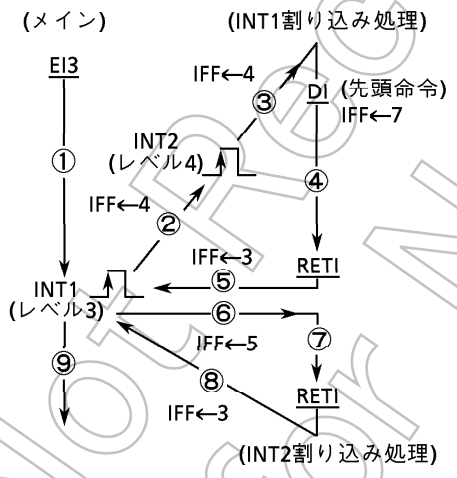
"DI" 命令が実行された状態 (IFFが "7") でも割り込みを受け付けます。ただし、NMI, INTWD割り込みとは異なり、割り込みが受け付けられてもIFFの値は変化しません。このためソフトウエア割り込み処理中にIFF値以上の割り込み優先順レベルの割り込み要求があった場合、割り込みネスティング状態になります。

(4) 割り込みのネスティング



割り込み処理中、その割り込みよりも優先順位レベルの高い割り込み (割り込み優先順位レベルがIFFの値以上) が要求されるとCPUがその割り込みを受け付け割り込みのネスティング状態となります。

(5) 割り込みのサンプリング (マスカブル割り込みのネスティング禁止)



CPUが割り込みを受け付け、その割り込み処理を開始するまでに、それより優先順位レベルの高い割り込み要求があった場合、先に受け付けられた割り込み処理の先頭命令を実行した後、割り込みネスティング状態になります。従って先頭命令を "DI" 命令にすることによりマスカブル割り込みのネスティングを禁止することができます。

(注) __(下線) : 命令
①, ②, ... : 実行フロー順番
IFF : 割り込みマスクレジスタ

表3.3 (2) に、TMP95CS64/265の割り込みベクタ、および、マイクロDMA起動ベクタテーブルを示します。TMP95CS64/265では、FFFF00H~FFFFFFH番地 (256バイト) が、割り込みベクタ領域に割り当てられています。

Not Recommended for New Design

表3.3 (2) TMP95CS64/265の割り込みベクタおよびマイクロDMA起動ベクタテーブル

デフォルトプライオリティ	タイプ	割り込み要因およびマイクロDMA要求発生要因	ベクタ値 "V"	ベクタ参照アドレス	マイクロDMA起動ベクタ値
1	ノンマスカブル	リセットまたは「SWI 0」命令	0000H	FFFF00H	–
2		「SWI 1」命令	0004H	FFFF04H	–
3		未定義命令実行違反または「SWI 2」命令	0008H	FFFF08H	–
4		「SWI 3」命令	000CH	FFFF0CH	–
5		「SWI 4」命令	0010H	FFFF10H	–
6		「SWI 5」命令	0014H	FFFF14H	–
7		「SWI 6」命令	0018H	FFFF18H	–
8		「SWI 7」命令	001CH	FFFF1CH	–
9		NMI : $\overline{\text{NMI}}$端子入力	0020H	FFFF20H	–
10		INTWD : ウォッチドッグタイマ	0024H	FFFF24H	–
–	–	マイクロDMA (注)	–	–	–
11	マスカブル	INT0 : INT0端子入力	0028H	FFFF28H	28H
12		INT1 : INT1端子入力	002CH	FFFF2CH	2CH
13		INT2 : INT2端子入力	0030H	FFFF30H	30H
14		INT3 : INT3端子入力	0034H	FFFF34H	34H
15		INT4 : INT4端子入力	0038H	FFFF38H	38H
16		INT5 : INT5端子入力	003CH	FFFF3CH	3CH
17		INT6 : INT6端子入力	0040H	FFFF40H	40H
18		INT7 : INT7端子入力	0044H	FFFF44H	44H
19		INT8 : INT8端子入力	0048H	FFFF48H	48H
20		INTT0 : 8ビットタイマ0	004CH	FFFF4CH	4CH
21		INTT1 : 8ビットタイマ1	0050H	FFFF50H	50H
22		INTT2 : 8ビットタイマ2	0054H	FFFF54H	54H
23		INTT3 : 8ビットタイマ3	0058H	FFFF58H	58H
24		INTT4 : 8ビットタイマ4	005CH	FFFF5CH	5CH
25		INTT5 : 8ビットタイマ5	0060H	FFFF60H	60H
26		INTT6 : 8ビットタイマ6	0064H	FFFF64H	64H
27		INTT7 : 8ビットタイマ7	0068H	FFFF68H	68H
28		INTTR8 : 16ビットタイマ8 (TREG8)	006CH	FFFF6CH	6CH
29		INTTR9 : 16ビットタイマ8 (TREG9)	0070H	FFFF70H	70H
30		INTTRA : 16ビットタイマ9 (TREGA)	0074H	FFFF74H	74H
31		INTTRB : 16ビットタイマ9 (TREGB)	0078H	FFFF78H	78H
32		INTTO8 : 16ビットタイマ8 (オーバフロー)	007CH	FFFF7CH	7CH
33		INTTO9 : 16ビットタイマ9 (オーバフロー)	0080H	FFFF80H	80H
34		INTRX0 : シリアル受信 (Channel. 0)	0084H	FFFF84H	84H
35		INTTX0 : シリアル送信 (Channel. 0)	0088H	FFFF88H	88H
36		INTRX1 : シリアル受信 (Channel. 1)	008CH	FFFF8CH	8CH
37		INTTX1 : シリアル送信 (Channel. 1)	0090H	FFFF90H	90H
38		INTRX2 : シリアル受信 (Channel. 2)	0094H	FFFF94H	94H
39		INTTX2 : シリアル送信 (Channel. 2)	0098H	FFFF98H	98H
40		INTAD : AD変換終了	009CH	FFFF9CH	9CH
41		INTTC0 : マイクロDMA終了(Channel.0)	00A0H	FFFFA0H	–
42		INTTC1 : マイクロDMA終了(Channel.1)	00A4H	FFFFA4H	–
43		INTTC2 : マイクロDMA終了(Channel.2)	00A8H	FFFFA8H	–
44		INTTC3 : マイクロDMA終了(Channel.3)	00ACH	FFFFACH	–
–		(予約)	00B0H	FFFFB0H	–
∫		∫	∫	∫	∫
–		(予約)	00FCH	FFFFFCH	–
–	–	マイクロDMAソフトスタート要求	–	–	FCH

(注) マイクロDMAのデフォルトプライオリティ

マイクロDMAに指定された要因に割り込み要求が発生すると、マスカブル割り込みの中で最優先に起動されます (各チャネル割り当てられたデフォルトプライオリティは関係しません)。

Not Recommended for New Design

リセットベクタおよび割り込みベクタの設定

① リセットベクタ

FFFF00H	PC (7:0)
FFFF01H	PC (15:8)
FFFF02H	PC (23:16)
FFFF03H	XX

XX : Don't care

② 割り込みベクタ (リセットベクタ以外)

ベクタ参照アドレス + 0	PC (7:0)
+ 1	PC (15:8)
+ 2	PC (23:16)
+ 3	XX

XX : Don't care

(設定例)

リセットベクタをFF0000H、NMIベクタをFF9ABCH、INT1ベクタをFF3456H番地に定義する場合

```
ORG     0FF0000H
LD      A, B
        ⋮
ORG     0FF9ABCH
LD      B, C
        ⋮
ORG     0FF3456H
LD      C, A
        ⋮
ORG     0FFFF00H
DL      0FF0000H      ; リセットベクタ = FF0000H

ORG     0FFFF20H
DL      0FF9ABCH      ; NMIベクタ = FF9ABCH

ORG     0FFFF2CH
DL      0FF3456H      ; INT1ベクタ = FF3456H
```

(参考)

ORG、DLはアセンブラ擬似命令です

ORG : ロケーションカウンタ制御用

DL : ロングワード (32ビット) データ定義用

Not Recommended for New Design

3.3.2 マイクロDMA処理

TMP95CS64/265には、汎用割り込み処理に加えて、マイクロDMA機能があります。マイクロDMAに設定された割り込み要求は、各割り込み要因に設定されている割り込みレベルにかかわらず、マスカブル割り込みの中で、最も優先順位の高い割り込みレベル (レベル "6") でマイクロDMA処理を行います。

なお、マイクロDMAの機能が、CPUの協調動作によって実現されているため、HALT命令により、CPUがスタンバイ状態になると、マイクロDMAの要求は、無視 (保留) されます。

(1) マイクロDMAの動作

マイクロDMAは、マイクロDMA起動ベクタレジスタで指定された割り込み要因による割り込み要求が発生すると、割り込み優先順位レベル "6" でCPUにマイクロDMA要求を発生し、その起動を行います。マイクロDMAは 4 チャネル用意されており、同時に 4 種類までの割り込み要因に対して、マイクロDMAを設定することができます。

マイクロDMAが受け付けられると、そのチャネルに割り当てられている割り込み要求フリップフロップをクリアします。コントロールレジスタに設定された、転送元アドレスから転送先アドレスにデータ転送が自動的に行われ、転送数カウントレジスタの値を「−1」します。その結果が "0" でない場合、マイクロDMA起動ベクタレジスタの値はそのままで、マイクロDMA処理は終了します。結果が "0" の場合、CPUより、マイクロDMA転送終了割り込み (INTTC0~3) を割り込みコントローラに伝えます。さらに、マイクロDMA起動ベクタレジスタの値を "0" クリアし、次のマイクロDMA起動を禁止して、マイクロDMA処理を終了します。

複数チャネルのマイクロDMA要求が、同時に発生した場合の優先順位は、割り込みレベルに関係なく、チャネル番号の小さい方が高くなります (チャネル0 (高) → チャネル3 (低))。

マイクロDMA起動ベクタがクリアされ、再度設定されるまでの間に、使用していた割り込み要因の割り込み要求が発生すると、設定された割り込みレベルで汎用割り込み処理を行います。従って、その割り込み要因をマイクロDMAの起動のみに使用する (汎用割り込みとして使用しない) 場合、あらかじめ、割り込みレベルを "0" (割り込み要求禁止) にしておく必要があります。

また、上記のように、マイクロDMAと汎用割り込みを兼用する場合は、あらかじめ、マイクロDMAの起動に使用する割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低く設定しておく必要があります。

なお、この場合汎用割り込み要因はエッジ割り込みに限られます。

(例) 外部割り込みINT0~3をマイクロDMA0~3の起動に使用する場合

外部割り込みINT0~3の割り込みレベル ... "1"

他の割り込みレベル ..... "2" ~ "6"

に設定してください。

マイクロDMA転送終了割り込みは、他のマスカブル割り込みと同様に、割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

Not Recommended for New Design

転送元/転送先アドレスを設定するレジスタは、32ビット幅のコントロールレジスタになっています。しかし、有効なアドレスは24本のため、マイクロDMAで取り扱える空間は、16Mバイトとなります(32ビットのうち上位8ビットは無効)。

マイクロDMAの転送モードとしては、1バイト転送、2バイト(1ワード)転送、4バイト転送の3種類があります。それぞれの転送モードに対して、転送実行後、転送元/転送先アドレスがインクリメント、デクリメント、固定されるモードが準備されています。このモードにより、I/OからメモリI/Oからメモリ、メモリからI/O、I/OからI/Oのデータ転送を容易に行うことができます。転送モードの詳細は、「3.3.2 (4) 転送モードレジスタ」を参照してください。

転送数カウントレジスタは、16ビット幅で構成されています。従って、1つの割り込み要因に対して、最大65536回(転送数カウントレジスタの初期値が0000Hのとき最大)のマイクロDMA処理を設定することができます。

マイクロDMA処理の起動は、表3.3 (2) でマイクロDMA起動ベクタの記載されている30種類の割り込み(INT0~INTAD)と、マイクロDMAソフトスタートの合計31種類により行うことができます。

図3.3 (2) に転送先アドレスINCモード(カウンタモード以外は同様)のマイクロDMAサイクルをに示します。

① ワード転送 (このサイクルの条件は外部16ビットバス幅、0ウェイト、転送元/転送先アドレスとも偶数の場合)

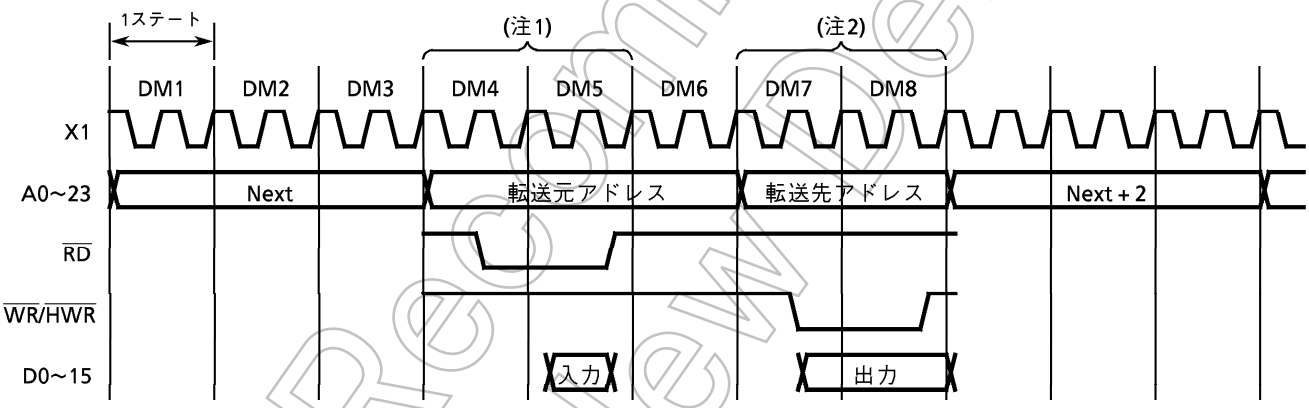


図3.3 (2)-1 マイクロDMAサイクル図

第1~3ステート: 命令フェッチサイクル(次の命令コードを先取りします)
命令キューバッファに3バイト以上の命令コードが入ると、このサイクルは、ダミーサイクルになります。

第4~5ステート: マイクロDMAリードサイクル

第 6 ステート: ダミーサイクル(アドレスバスは第5ステート状態のままです)

第7~8ステート: マイクロDMAライトサイクル

(注1) 転送元アドレスエリアが8ビットバスの場合、「+2」ステートされます。

(注2) 転送先アドレスエリアが8ビットバスの場合、「+2」ステートされます。

Not Recommended for New Design

② ワード転送(このサイクルの条件は外部16ビットバス幅, 0ウェイト, 転送元/転送先アドレスともに奇数の場合です)

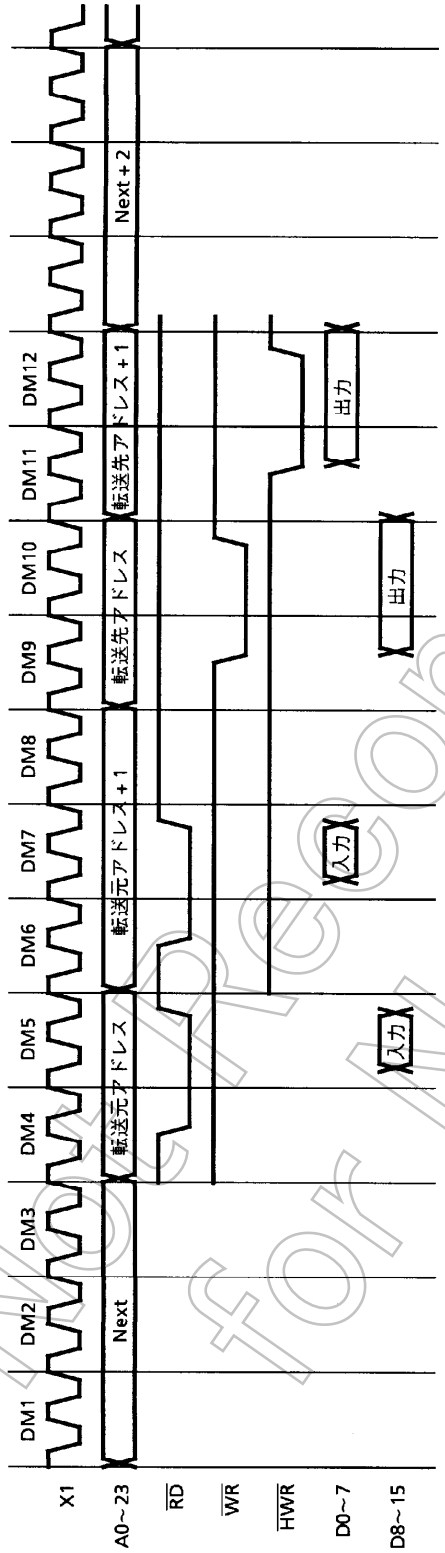


図3.3 (2)-2 マイクロDMAサイクル図

③ 4バイト転送(このサイクルの条件は外部16ビットバス幅, 0ウェイト, 転送元/転送先アドレスともに偶数の場合です)

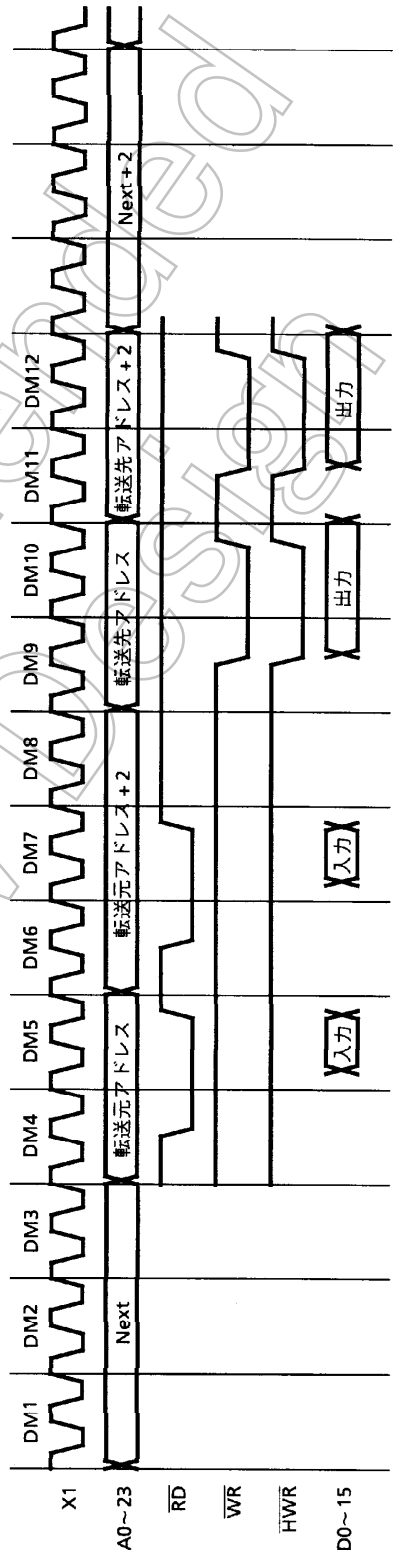


図3.3 (2)-3 マイクロDMAサイクル図

Not recommended for New Design

(2) マイクロDMAソフトスタート機能

TMP95CS64/265には、従来の割り込み要因によるマイクロDMAの起動のほかに、ソフトDMAコントロールレジスタへの書き込みサイクルが発生したことによりマイクロDMAを起動する“マイクロDMAソフトスタート機能”があります。

ソフトスタートさせるには、マイクロDMA起動ベクタレジスタDMA0V~3V (メモリ番地5AH、5BH、5CH、5DH) に、マイクロDMA起動ベクタ“FCH”を書き込みます。その後、ソフトDMAコントロールレジスタSDMACR0~3 (メモリ番地 6AH、6BH、6CH、6DH) へ、任意のデータ (データの値は、ソフトスタートの動作に影響しません) を書き込みます。これにより、対応したチャネルのマイクロDMAが 1 回起動されます。また、再度ソフトDMAコントロールレジスタにデータを書き込むと、マイクロDMA転送数カウントレジスタの値が“0”でない限り、ソフトスタートを引き続き行うことができます (マイクロDMA起動ベクタを書き直す必要はありません)。

マイクロDMAソフトスタートを起動する場合、あらかじめ、マイクロDMA起動ベクタを設定しておく必要があります (ソフトスタート要求は 1 ショットであり、保持されません。そのため、ソフトDMAコントロールレジスタへの書き込みサイクルが発生しても、あらかじめ、マイクロDMA起動ベクタが設定されていない場合は、ソフトスタートされません)。

Not Recommended for New Design

(3) マイクロDMA専用レジスタ構成

図3.3 (3) に、マイクロDMA専用レジスタを示します。このレジスタは、CPUに内蔵されており(「第3章 TLCS-900/H CPU 3.2.5 コントロールレジスタ」を参照してください) "LDC" 命令により設定することができます。

転送元アドレスレジスタには、転送元のアドレスを設定し、転送先アドレスレジスタには、転送先のアドレスを設定します。これらのアドレスレジスタは、下位24ビットのみを使用して、16Mバイト空間をサポートしています。

転送数カウントレジスタは、マイクロDMA実行回数を設定するレジスタで、1から65536の値を設定することができます。

転送モードレジスタの設定については、「3.3.2 (4) 転送モードレジスタ」を参照してください。

これらのマイクロDMA専用レジスタへのデータの設定は、"LDC cr, r"命令によってのみ実行可能です。

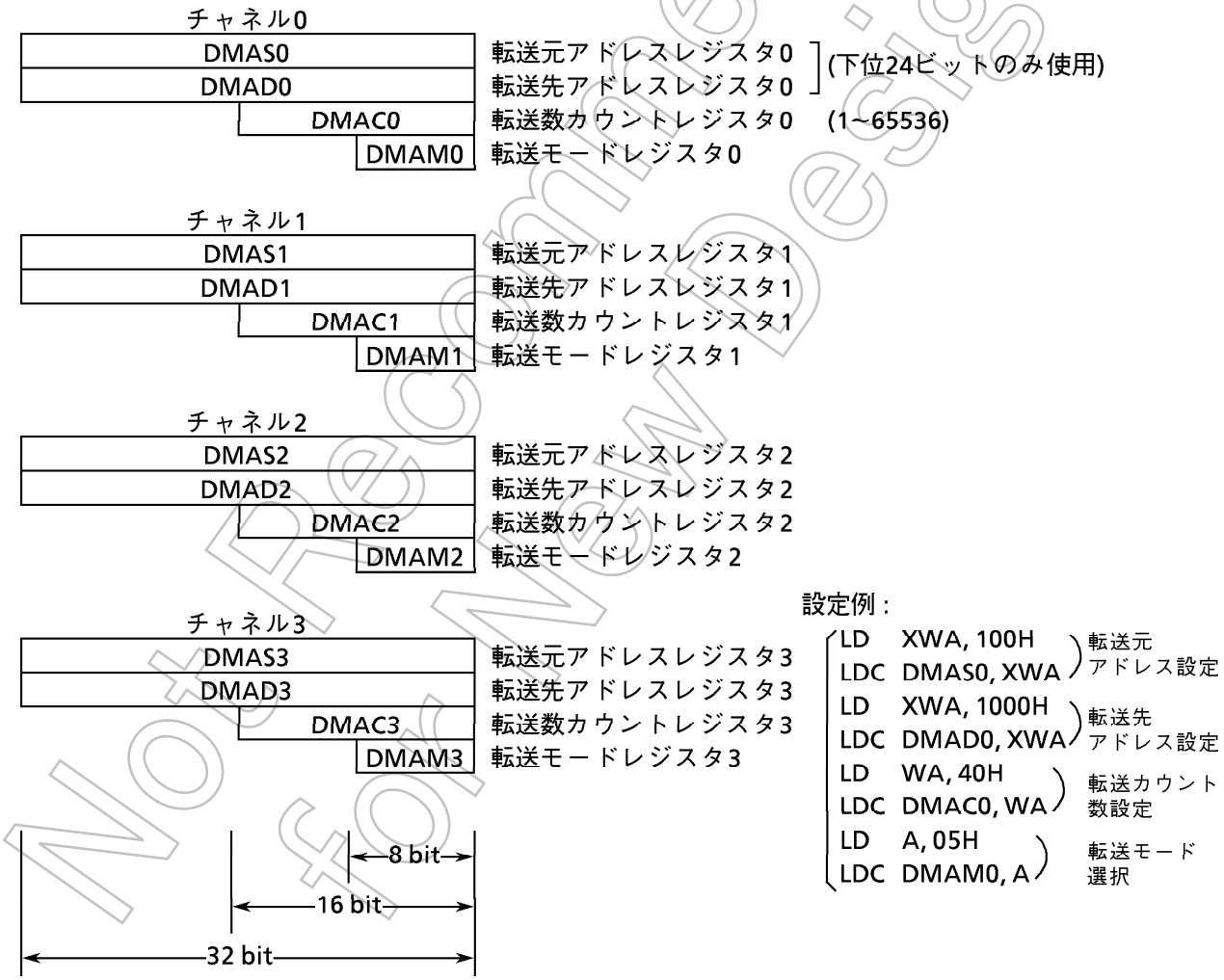


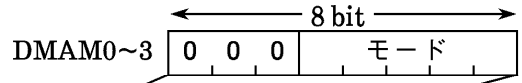
図3.3 (3) マイクロDMA専用レジスタ

Not Recommended for New Design

(4) 転送モードレジスタ

マイクロDMA転送モードは、転送モードレジスタDMAM0~3で設定します。表3.3 (3) に、各モードの設定と実行ステート数を示します。

表3.3 (3) マイクロDMAの転送モード



(注) このレジスタに値を設定するとき、上位3ビットには"0"を書き込んでください

			転送バイト数	モード内容	実行ステート数 (※)	最小実行時間 @ fc = 25 MHz
000 (固定)	000	00	バイト転送	転送先アドレスINCモード ..... I/O to メモリ用 (DMADn +) ← (DMASn) DMACn ← DMACn – 1 if DMACn = 0 then INTTCn発生	8ステート	640 ns
		01	ワード転送			
		10	4バイト転送		12ステート	960 ns
	001	00	バイト転送	転送先アドレスDECモード ..... I/O to メモリ用 (DMADn –) ← (DMASn) DMACn←DMACn – 1 if DMACn = 0 then INTTCn発生	8ステート	640 ns
		01	ワード転送			
		10	4バイト転送		12ステート	960 ns
	010	00	バイト転送	転送元アドレスINCモード ..... メモリ to I/O用 (DMADn) ← (DMASn +) DMACn←DMACn – 1 if DMACn = 0 then INTTCn発生	8ステート	640 ns
		01	ワード転送			
		10	4バイト転送		12ステート	960 ns
	011	00	バイト転送	転送元アドレスDECモード ..... メモリ to I/O用 (DMADn) ← (DMASn –) DMACn←DMACn – 1 if DMACn = 0 then INTTCn発生	8ステート	640 ns
		01	ワード転送			
		10	4バイト転送		12ステート	960 ns
	100	00	バイト転送	アドレス固定モード ..... I/O to I/O用 (DMADn) ← (DMASn) DMACn←DMACn – 1 if DMACn = 0 then INTTCn発生	8ステート	640 ns
		01	ワード転送			
		10	4バイト転送		12ステート	960 ns
	101	00	カウンタモード .... 割り込み発生回数カウント用 DMASn←DMASn + 1 DMACn←DMACn – 1 if DMACn = 0 then INT TCn発生		5ステート	400 ns

(※) 外部16ビットバス幅、0ウェイトで、ワード / 4バイト転送モードでは、転送元 / 転送先とも偶数のアドレスの場合です。

(注) n : 対応するマイクロDMAチャネル0~3
DMADn + / DMASn + : ポストインクリメント (転送後、レジスタの値をインクリメント)
DMADn – / DMASn – : ポストデクリメント (転送後、レジスタの値をデクリメント)
表中のI/Oとは固定されたアドレス、メモリとはINC, DECされるアドレスを意味します。
転送モードレジスタへは、上記以外の未定義のコードを設定しないでください。

Not Recommended for New Design

3.3.3 割り込みコントローラの制御

図3.3 (4) に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路と、ホールト解除回路 (ホールトについては、「3.4 スタンバイ機能」を参照) を示しています。

割り込みコントローラには、NMI、INTWD、INT0~8、INTT0~7、INTTR8~O9, INTRX0~TX2、INTAD、INTTC0~3の合計36本の割り込みチャネルがあります。それぞれのチャネルは、

- 割り込み要求フラグ (36チャネル)
- 割り込み優先順位設定レジスタ (NMI、INTWDを除く34チャネル)

を持っています。

さらに、マイクロDMA処理を行うための起動ベクタレジスタが 4 チャネルあります。

(1) 割り込み要求フラグ

割り込み要求フラグは、割り込み要求の有無を示すためのものです。NMIとINTWD以外のチャネルは、それぞれ割り込み要求をクリアするためのクリアビット<IxxC>を持っています (図3.3 (5) 割り込み優先順位設定レジスタ参照)。クリアビット<IxxC>を読み出すと、割り込み要求フラグの状態が読み出され、各割り込み要求の有無を知ることができます。

割り込み要求フラグは、次の動作により "0" にクリアされます。

① リセット動作 (すべての割り込み要求フラグはクリアされます)
② 割り込みが受け付けられて、その割り込みチャネルのベクタが、CPUにリードされたとき
③ 指定されたチャネルのマイクロDMA要求が、CPUに受け付けられたとき
④ 割り込み優先順位設定レジスタのクリアビット<IxxC>に "0" を書き込んだとき

(注) ②③④はINT0のレベルモードとINTRX0, 1, 2を除きます。

さらに、次の動作によりフラグはクリアされます。

表3.3 (4) その他のフラグクリア動作

割り込み要因 ＼ フラグクリア要因		割り込み要求フラグをクリアするその他の動作
INT0	エッジモード	レベルモードへの切り替え
	レベルモード	割り込み発生後の端子入力の変化 ("H" レベル→ "L" レベル)
INTRX0, 1, 2		シリアルチャネルの受信バッファをリードしたとき

クリアビットへの "0" 書き込み、または、表3.3 (4) の割り込み要求フラグをクリアするその他の動作により割り込み要求をクリアする場合、DI命令を実行後に行ってください。

Not Recommended for New Design

(INT0割り込みの注意点)

INT0割り込みをレベルモードで使用する際、以下の注意が必要です。

レベルモード時のINT0端子入力は、その割り込み応答シーケンスが完了するまで "H" レベルを保持し続ける必要があります。このモードでホールト解除を行う場合も同様に、ホールトが解除されるまで "H" レベルを保持し続ける必要があります。

INT0のレベルモードを使用する場合、ノイズにより "L" レベルが入力されることのないようにしてください (誤動作をすることがあります)。

INT0端子の動作モードをレベルからエッジに切り替える場合、以下のようにINT0割り込みを禁止してから行ってください (レベルモード時に受け付けた割り込み要求をクリアする必要があります)。

```
設定例 :  DI                          ; 割り込み禁止
          LD (IIMC), XX0XXX0XB        ; レベルからエッジに切り替える
          LD (INTE0AD), XXXX0nnnB;    割り込み要求フラグをクリア、INT0割り込みレベルをnに
                                      セット
          EI                          ; 割り込み許可
```

Not Recommended for New Design

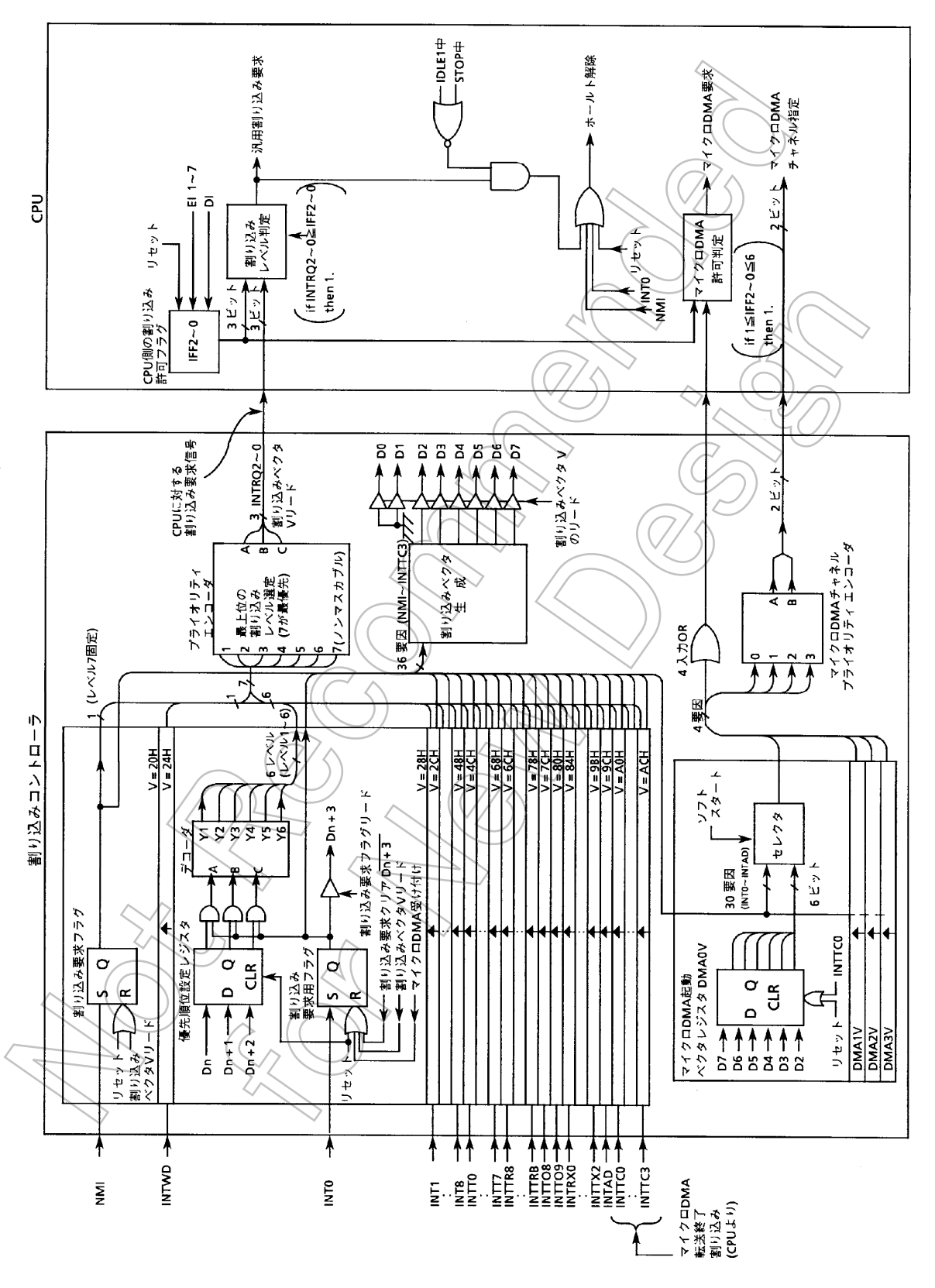


図3.3 (4) 割り込みコントローラ ブロック図

Not Recommended for New Design

(2) 割り込み優先順位設定レジスタ

図3.3 (5) に、割り込み優先順位設定レジスタを示します。34本の割り込みチャネル (INT0~AD、INTTC0~3) ごとに、割り込み要求レベル設定ビット<IxxM2 : 0>を備えています。割り込み要求を発生できる割り込みレベルは、"1" から "6" までの 6 レベルです。書き込む優先順位レベルを "0" (または "7") にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスカブル割り込み ($\overline{NMI}$端子入力) の優先順位レベルは、"7" に固定されています。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティに従い、割り込みを受け付けます。

記　号	アドレス	7	6	5	4	3	2	1	0	
INTE0AD	70H	INTAD				INT0				←割り込み要因
		IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0	←bit Symbol
		R/W	W			R/W 注)	W			←Read/Write
		0	0	0	0	0	0	0	0	←リセット後
INTE12	71H	INT2				INT1				
		I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTE34	72H	INT4				INT3				
		I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTE56	73H	INT6				INT5				
		I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTE78	74H	INT8				INT7				
		I8C	I8M2	I8M1	I8M0	I7C	I7M2	I7M1	I7M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTET01	75H	INTT1 (タイマ1)				INTT0 (タイマ0)				
		IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTET23	76H	INTT3 (タイマ3)				INTT2 (タイマ2)				
		IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	

リード
モディファイ
ライトは
できません。

注) INT0のレベルモード時は、<I0C>に "0" を書き込むことによる割り込み要求フラグのクリアはできません。

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み優先順位レベルを、"1"に設定します。
0	1	0	割り込み優先順位レベルを、"2"に設定します。
0	1	1	割り込み優先順位レベルを、"3"に設定します。
1	0	0	割り込み優先順位レベルを、"4"に設定します。
1	0	1	割り込み優先順位レベルを、"5"に設定します。
1	1	0	割り込み優先順位レベルを、"6"に設定します。
1	1	1	割り込み要求を、禁止します。

IxxC	機能 (リード)	機能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

図3.3 (5) 割り込み優先順位設定レジスタ (1/2)

Not Recommended for New Design

記　号	アドレス	7	6	5	4	3	2	1	0	
INTET45	77H	INTT5 (タイマ5)				INTT4 (タイマ4)				←割り込み要因
		IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0	←bit Symbol
		R/W	W			R/W	W			←Read/Write
		0	0	0	0	0	0	0	0	←リセット後
INTET67	78H	INTT7 (タイマ7)				INTT6 (タイマ6)				
		IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTET89	79H	INTTR9 (TREG9)				INTTR8 (TREG8)				
		IT9C	IT9M2	IT9M1	IT9M0	IT8C	IT8M2	IT8M1	IT8M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTETAB	7AH	INTTRB (TREGB)				INTTRA (TREGA)				
		ITBC	ITBM2	ITBM1	ITBM0	ITAC	ITAM2	ITAM1	ITAM0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTEOV	7BH	INTTO9				INTTO8				
		ITO9C	ITO9M2	ITO9M1	ITO9M0	ITO8C	ITO8M2	ITO8M1	ITO8M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTES0	7CH	INTTX0				INTRX0				
		ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0	
		R/W	W			R 注)	W			
		0	0	0	0	0	0	0	0	
INTES1	7DH	INTTX1				INTRX1				
		ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0	
		R/W	W			R 注)	W			
		0	0	0	0	0	0	0	0	
INTES2	7EH	INTTX2				INTRX2				
		ITX2C	ITX2M2	ITX2M1	ITX2M0	IRX2C	IRX2M2	IRX2M1	IRX2M0	
		R/W	W			R 注)	W			
		0	0	0	0	0	0	0	0	
INTETC01	7FH	INTTC1				INTTC0				
		ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	
INTETC23	80H	INTTC3				INTTC2				
		ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0	
		R/W	W			R/W	W			
		0	0	0	0	0	0	0	0	

リード
モディファイ
ライトは
できません。

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み優先順位レベルを、"1"に設定します。
0	1	0	割り込み優先順位レベルを、"2"に設定します。
0	1	1	割り込み優先順位レベルを、"3"に設定します。
1	0	0	割り込み優先順位レベルを、"4"に設定します。
1	0	1	割り込み優先順位レベルを、"5"に設定します。
1	1	0	割り込み優先順位レベルを、"6"に設定します。
1	1	1	割り込み要求を、禁止します。

注) <IRX0C>, <IRX1C>, <IRX2C>は読み出し専用のため"0"書き込みによる割り込み要求フラグのクリアはできません。

IxxC	機能 (リード)	機能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	- - - - - Don't care - - - - -

図3.3 (5)　割り込み優先順位設定レジスタ (2/2)

Not Recommended for New Design

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位レベルの高い割り込み要求と、そのベクタアドレスをCPUへ送ります。

その後、CPUは、ステータスレジスタ SR に設定された割り込みマスクレジスタ<IFF2 : 0>の値と、送られてきた割り込み要求の優先順位レベルを比較し、割り込み要求のレベルが高ければ、割り込みを受け付けます。そして、CPU側の割り込みマスクレジスタ<IFF2 : 0>に、受け付けた優先順位レベル「+1」の値をセットし、このセットされた値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。

(3) マイクロDMA起動ベクタレジスタ

割り込みコントローラには、マイクロDMA起動ベクタレジスタ (4チャネル) があります。このレジスタに、各割り込み要因のマイクロDMA起動ベクタ値 (表3.3 (2) 参照) を書き込むことにより、該当する割り込み要求がマイクロDMA要求となります。この処理を行う場合、あらかじめマイクロDMAパラメータ用レジスタ (DMAS、DMAD、DMAC、DMAM) に、値を設定しておく必要があります。図3.3 (6)に、マイクロDMA起動ベクタレジスタを示します。

マイクロDMA起動ベクタレジスタは、マイクロDMA処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロDMA起動ベクタを持つ割り込み要因を、マイクロDMA起動要因として割り当てます。

マイクロDMA起動後、マイクロDMA転送数カウントレジスタの値が "0" になると、マイクロ起動ベクタレジスタに対応するマイクロDMA転送終了割り込み (INTTC0~3) が発生します。さらに、マイクロDMA起動ベクタレジスタはクリアされ、マイクロDMA起動要因が解除されます。従って、引き続きマイクロDMA処理を行う場合は、マイクロDMA転送終了割り込み処理の中で、再度マイクロDMA起動ベクタレジスタに起動要因をセットする必要があります。

複数チャネルのマイクロDMA起動ベクタレジスタに同一ベクタを設定した場合は、チャネル番号の小さい方が優先して起動されます。この場合、チャネル番号の最も小さいチャネルが、マイクロDMA転送終了になるまで実行されます。終了割り込み処理の中で、マイクロDMA起動ベクタを再度設定しなければ、その後のマイクロDMA起動は、チャネル番号が次に小さいチャネルに移行して行われます (この動作をマイクロDMAのチェーンと呼びます)。

Not Recommended for New Design

マイクロDMA0起動ベクタレジスタ

DMA0V (005AH)
リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	DMA0V7	DMA0V6	DMA0V5	DMA0V4	DMA0V3	DMA0V2		
Read/Write	W							
リセット後	0	0	0	0	0	0		
機　能	マイクロDMAチャネル0を起動する割り込み要因の設定							

マイクロDMA1起動ベクタレジスタ

DMA1V (005BH)
リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	DMA1V7	DMA1V6	DMA1V5	DMA1V4	DMA1V3	DMA1V2		
Read/Write	W							
リセット後	0	0	0	0	0	0		
機　能	マイクロDMAチャネル1を起動する割り込み要因の設定							

マイクロDMA2起動ベクタレジスタ

DMA2V (005CH)
リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	DMA2V7	DMA2V6	DMA2V5	DMA2V4	DMA2V3	DMA2V2		
Read/Write	W							
リセット後	0	0	0	0	0	0		
機　能	マイクロDMAチャネル2を起動する割り込み要因の設定							

マイクロDMA3起動ベクタレジスタ

DMA3V (005DH)
リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	DMA3V7	DMA3V6	DMA3V5	DMA3V4	DMA3V3	DMA3V2		
Read/Write	W							
リセット後	0	0	0	0	0	0		
機　能	マイクロDMAチャネル3を起動する割り込み要因の設定							

マイクロDMA起動要因の設定

マイクロDMAの起動要因	マイクロDMA起動ベクタレジスタ設定値	マイクロDMAの起動要因	マイクロDMA起動ベクタレジスタ設定値
INT 0割り込み	28H	INTT 7割り込み	68H
INT 1割り込み	2CH	INTTR 8割り込み	6CH
INT 2割り込み	30H	INTTR 9割り込み	70H
INT 3割り込み	34H	INTTR A割り込み	74H
INT 4割り込み	38H	INTTR B割り込み	78H
INT 5割り込み	3CH	INTTO 8割り込み	7CH
INT 6割り込み	40H	INTTO 9割り込み	80H
INT 7割り込み	44H	INTRX 0割り込み	84H
INT 8割り込み	48H	INTTX 0割り込み	88H
INTT 0割り込み	4CH	INTRX 1割り込み	8CH
INTT 1割り込み	50H	INTTX 1割り込み	90H
INTT 2割り込み	54H	INTRX 2割り込み	94H
INTT 3割り込み	58H	INTTX 2割り込み	98H
INTT 4割り込み	5CH	INTAD割り込み	9CH
INTT 5割り込み	60H	マイクロDMAソフトスタート	FCH
INTT 6割り込み	64H		

図3.3 (6)　マイクロDMA起動ベクタレジスタと起動要因の設定

Not recommended for New Design

(4) 外部割り込みの制御

表3.3 (5) に、外部割り込み端子の機能設定を示します。TMP95CS64/265は、外部割り込み機能のうち、$\overline{\text{NMI}}$端子、INT0端子、INT5端子、INT7端子の4つの入力について動作モードを選択することができます (外部割り込み機能のパルス幅については「4.8 割り込みオペレーション」を参照してください)。

表3.3 (5) 外部割り込み端子の機能設定

割り込み端子	兼用端子	モード	設定方法
$\overline{\text{NMI}}$	—	立ち下がりエッジ	IIMC<NMIREE> = 0
		立ち下がり/立ち上がり両エッジ	IIMC<NMIREE> = 1
INT0	P56	立ち上がりエッジ	IIMC<I0LE> = 0, <I0IE> = 1
		レベル	IIMC<I0LE> = 1, <I0IE> = 1
INT1	P70	立ち上がりエッジ	———
INT2	P72	立ち上がりエッジ	———
INT3	P73	立ち上がりエッジ	———
INT4	P70	立ち上がりエッジ	———
INT5	P90	立ち上がりエッジ	T8MOD<CAP12M1, 0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T8MOD<CAP12M1, 0> = 1, 0
INT6	P91	立ち上がりエッジ	———
INT7	P94	立ち上がりエッジ	T9MOD<CAP34M1, 0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T9MOD<CAP34M1, 0> = 1, 0
INT8	P95	立ち上がりエッジ	———

Not Recommended for New Design

NMI、INT0割り込みの入力モードの制御は、割り込み入力モードコントロールレジスタIIMCを設定することにより行います。

図3.3 (7) に、割り込み入力モードコントロールレジスタを示します。

割り込み入力モード コントロールレジスタ

IIMC (0059H)

	7	6	5	4	3	2	1	0
bit Symbol			–			I0IE	I0LE	NMIREE
Read/Write			W			W		
リセット後			0			0	0	0
機　能			注) かならず "0"を 書いて ください。			INT0入力制御 0:ディセーブル 1:イネーブル	INT0割り込み制御 0: ↑エッジ 1: Hレベル	NMI割り込み制御 0: ↓エッジ 1: ↓↑エッジ

リード モディファイ ライトは できません。

注) INT0端子は、後述のホールト解除にも使用できます。ホールトモード時にポート56として使用する場合は、ホールトモードに入る以前に<I0IE>を "0" に設定しておく必要があります。

NMI割り込み制御

0	立ち下がりエッジで割り込み要求発生
1	立ち下がり/立ち上がり両エッジで割り込み要求発生

INT0 割り込み制御

0	立ち上がりエッジで割り込み要求発生
1	"H" レベルで割り込み要求発生

INT0入力制御

0	INT0ディセーブル
1	INT0イネーブル

図3.3 (7) 割り込み入力モードコントロールレジスタ

(5) 注意事項

割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPUが割り込みを受け付け、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令を実行するということがありえます。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI命令の後にクリアする命令を置くようにしてください。クリアする命令を実行した後、再びEI命令で割り込みをイネーブルにする時は、クリア命令後かならず1命令以上間を置いてからEI命令を実行してください。クリア命令後すぐにEI命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR命令により割り込みマスクレベル (ステータスレジスタSRの<IFF2-0>) を書き換えるときは、かならずDI命令により割り込みを禁止した後にPOP SR命令を実行してください。

Not Recommended for New Design

3.4 スタンバイ機能

(1) ホールトモード

TMP95CS64/265は、HALT命令を実行すると、ウォッチドッグタイマモードレジスタWDMOD <HALTM1, 0>の設定により、RUN、IDLE2、IDLE1、STOPのいずれかのホールトモードになります。図3.4 (1) に、ウォッチドッグタイマモードレジスタを示します。

ウォッチドッグタイマモードコントロールレジスタ

WDMOD (006EH)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
Read/Write	R/W							
リセット後	1	0	0	0	0	0	0	0
機　能	ウォッチドッグタイマ制御 0: ディセーブル 1: イネーブル	ウォッチドッグタイマ検出時間の選択 00: 2^{16}/fc 01: 2^{18}/fc 10: 2^{20}/fc 11: 2^{22}/fc		ウォーミングアップ時間 0: 2^{14}/fc 1: 2^{16}/fc	ホールトモード選択 00: RUN モード 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		暴走検出時の内部リセット制御 1: 暴走検出により内部リセットを実行	STOP モード時の端子制御 1: STOP モード中も端子をドライブします

STOPモード時の端子状態制御

0	入出力オフ
1	ホールト以前の状態を保持

暴走検出時の内部リセット制御

0	Don't care
1	暴走検出により内部リセットを実行

ホールトモードの設定

00	RUN モード (CPUのみ停止)
01	STOP モード (すべての回路を停止)
10	IDLE1 モード (発振器のみ動作)
11	IDLE2 モード (一部のI/Oのみ動作)

ストップモードから復帰時のウォーミングアップ時間の選択

0	2^{14}/fc (約655 μs @ 25 MHz)
1	2^{16}/fc (約2.6 ms @ 25 MHz)

ウォッチドッグタイマ検出時間の選択

00	2^{16}/fc (約2.6 ms @ 25 MHz)
01	2^{18}/fc (約10.5 ms @ 25 MHz)
10	2^{20}/fc (約41.9 ms @ 25 MHz)
11	2^{22}/fc (約167.8 ms @ 25 MHz)

ウォッチドッグタイマの禁止 / 許可制御

0	ディセーブル
1	イネーブル

図3.4 (1) ウォッチドッグタイマモードコントロールレジスタ

Not Recommended for New Design

RUN、IDLE2、IDLE1、STOPモードの特長は、次のとおりです。

① RUN : CPUのみ停止するモードで、消費電力はCPU動作時とほとんど変わりません。
② IDLE2 : 内部発振器と特定の内蔵I/Oだけ動作します。
このモードでは、消費電力はCPU動作時の約1/2になります。
③ IDLE1 : 内部発振器だけ動作し、他の回路はすべて停止します。
このモードでは、消費電力は動作時の1/10以下になります。
④ STOP : 内部発振器も含めて、すべての内部回路が停止します。
このモードでは、消費電力は著しく低減されます。

ホールト状態での各ブロックの動作を表3.4 (1) に示します。

表3.4 (1) ホールト状態での各ブロックと入出力端子の動作

ホールトモード		RUN	IDLE2	IDLE1	STOP
WDMOD <HALTM1, 0>		00	11	10	01
動作ブロック	CPU	停止			
	I/Oポート	HALT命令実行時の状態を保持			表3.4 (3) 参照
	8ビットタイマ	動作		停止	
	16ビットタイマ				
	シリアルチャネル				
	ADコンバータ				
	DAコンバータ				
	ウォッチドッグタイマ				
	割り込みコントローラ				

Not Recommended for New Design

(2) ホールト状態からの解除

ホールト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホールト解除ソースは、割り込みマスクレジスタ<IFF2:0>の状態と、ホールトモードの組み合わせにより決まります。詳細を表3.4 (2) に示します。

- 割り込み要求による解除

割り込み要求によるホールト状態からの解除動作は、割り込み許可状態により異なります。"HALT"命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホールト解除後、その要因による割り込み処理を行い、"HALT"命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホールト解除を行いません (ノンマスカブル割り込みでは、マスクレジスタの値に関係なくホールト解除後、割り込み処理を行います)。

ただし、INT0割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホールト状態からの解除を行うことができます。この場合、割り込み処理は行わず"HALT"命令の次の命令から処理をスタートします (INT0割り込み要求フラグは"1"を保持します)。

注) 通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE1、STOPモードに設定されている状態 (IDLE2は対象外) で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み ($\overline{NMI}$, INT0) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

- リセットによる解除

リセットにより、すべてのホールト状態からの解除を行うことができます。

ただし、STOPモードの解除では、発振器動作が安定するための十分なリセット時間 (3 ms以上) が必要です。

リセットによる解除では、内蔵RAMのデータは、ホールト状態に入る直前の状態を保持できますが、その他の設定は初期化されます。

Not Recommended for New Design

表3.4 (2) ホールト解除ソースとホールト解除の動作

割り込み受け付け状態			割り込み許可 (割り込み要求レベル) ≧ (割り込みマスク)				割り込み禁止 (割り込み要求レベル) < (割り込みマスク)			
ホールトモード			RUN	IDLE2	IDLE1	STOP	RUN	IDLE2	IDLE1	STOP
ホールト解除ソース	割り込み要因	NMI	◎	◎	◎	◎ *1	–	–	–	–
		INTWD	◎	×	×	×	–	–	–	–
		INT0	◎	◎	◎	◎ *1	○	○	○	○ *1
		INT1~8	◎	◎	×	×	×	×	×	×
		INTT0~7	◎	◎	×	×	×	×	×	×
		INTTR8, 9, A, B	◎	◎	×	×	×	×	×	×
		INTTO8, 9	◎	◎	×	×	×	×	×	×
		INTRX0, TX0	◎	◎	×	×	×	×	×	×
		INTRX1, TX1	◎	◎	×	×	×	×	×	×
		INTRX2, TX2	◎	◎	×	×	×	×	×	×
		INTAD	◎	×	×	×	×	×	×	×
	RESET		◎	◎	◎	◎	◎	◎	◎	◎

◎ : ホールト解除後、割り込み処理を開始します(RESETはLSIを初期化します)。
○ : ホールト解除後、ホールト命令の次の番地から処理を開始します (割り込み処理は行いません)。
× : ホールト解除に使用できません。
– : ノンマスカブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の "7" に固定されているため、この組み合わせはありません。
*1 : ウォーミングアップ時間経過後にホールト解除を行います。

注) 割り込み許可状態において、レベルモードのINT0割り込みによるホールト解除を行う場合、割り込み処理が開始されるまで "H" レベルを保持してください。それ以前で "L" レベルにした場合は、正しい割り込み処理を開始できません。

(ホールト状態からの解除例)

RUNモードのホールト状態を、エッジモードのINT0割り込みにより解除する場合。

```
アドレス
8203H    LD    (IIMC), 00H      ; INT0 割り込み立ち上がりエッジを選択
8206H    LD    (INTE0AD), 06H   ; INT0 割り込みレベルを "6" に設定
8209H    EI    5                ; CPU割り込みレベルを "5" に設定
820BH    LD    (WDMOD), 00H     ; RUNモードに設定
820EH    HALT                   ; CPU停止

INT0端子入力 ↗ ──────────────────→ INT0割り込み処理

820FH    LD    XX, XX                          RETI
```

Not Recommended for New Design

(3) 各モードの動作

① RUNモード

RUNモードでは、"HALT"命令実行後もシステムクロックは停止せず、CPUの命令実行動作だけが停止します。

ホールト状態での割り込み要求のサンプリングは、「CLK」信号の立ち下がりで行われます。

RUNモードの解除は、すべての外部/内部割り込みにより行うことができます(表3.4(2)ホールト解除ソースとホールト解除の動作を参照)。

図3.4(2)に、割り込みによるホールトモードの解除のタイミング例を示します。

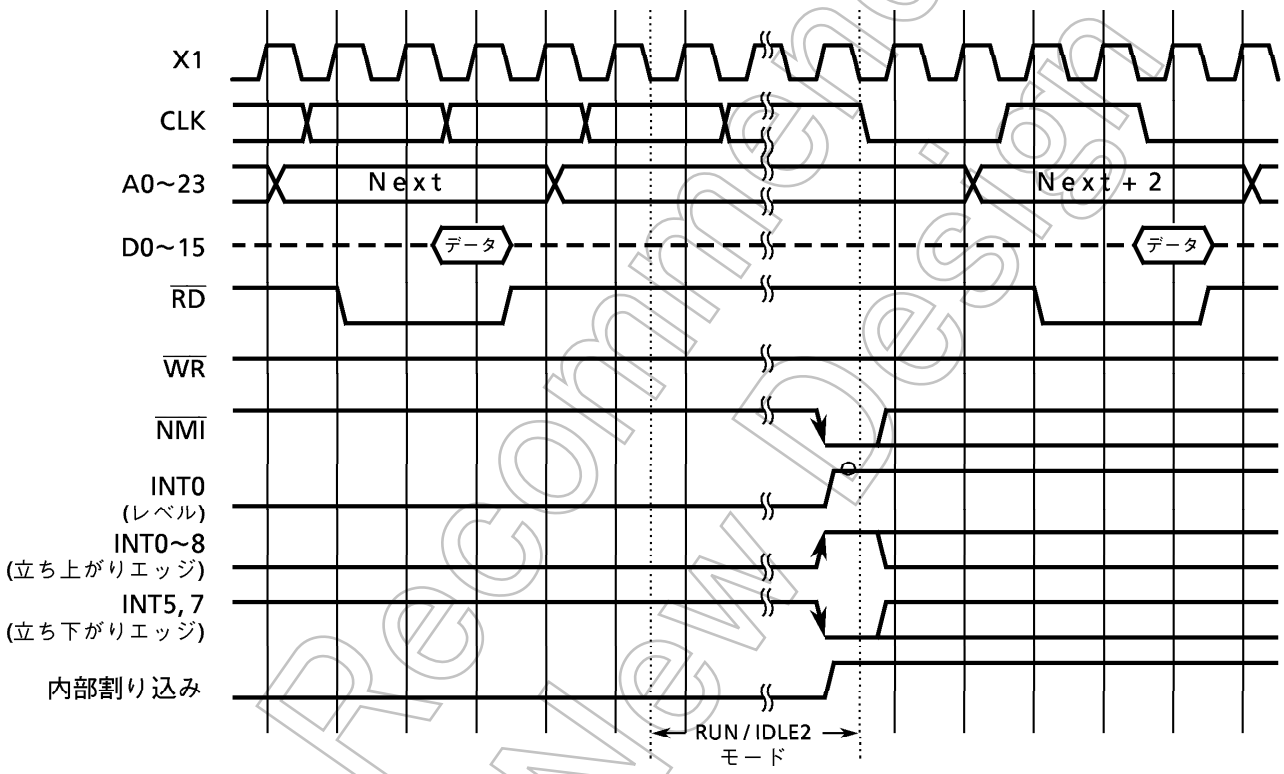


図3.4(2) 割り込みによるホールト解除のタイミング例(RUN/IDLE2モード時)

② IDLE2モード

IDLE2モードでは、特定の内蔵I/Oにだけシステムクロックが供給され、CPUの命令実行動作は停止します。

IDLE2モードの割り込みによるホールト解除のタイミングは、RUNモードと同様です。

IDLE2モードの解除は、INTWD/INTAD割り込みを除く外部/内部割り込みにより行うことができます(表3.4(2)ホールト解除ソースとホールト解除の動作を参照)。

なお、IDLE2モードではホールト状態に入る前にウォッチドッグタイマを禁止してください(ホールト解除直後のウォッチドッグタイマ割り込みの発生を防ぐため)。

Not Recommended for New Design

③ IDLE1モード

IDLE1モードでは、内部発振器のみ動作し、システムクロックは停止します。ただし、CLK端子は“H”レベルを出力します。

ホールト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除(動作の再開)は同期して行われます。

IDLE1モードの解除は、外部割り込み(NMI、INT0)より行うことができます(表3.4(2)ホールト解除ソースとホールト解除の動作を参照)。

図3.4(3)に、割り込みによるホールトモードの解除のタイミング例を示します。

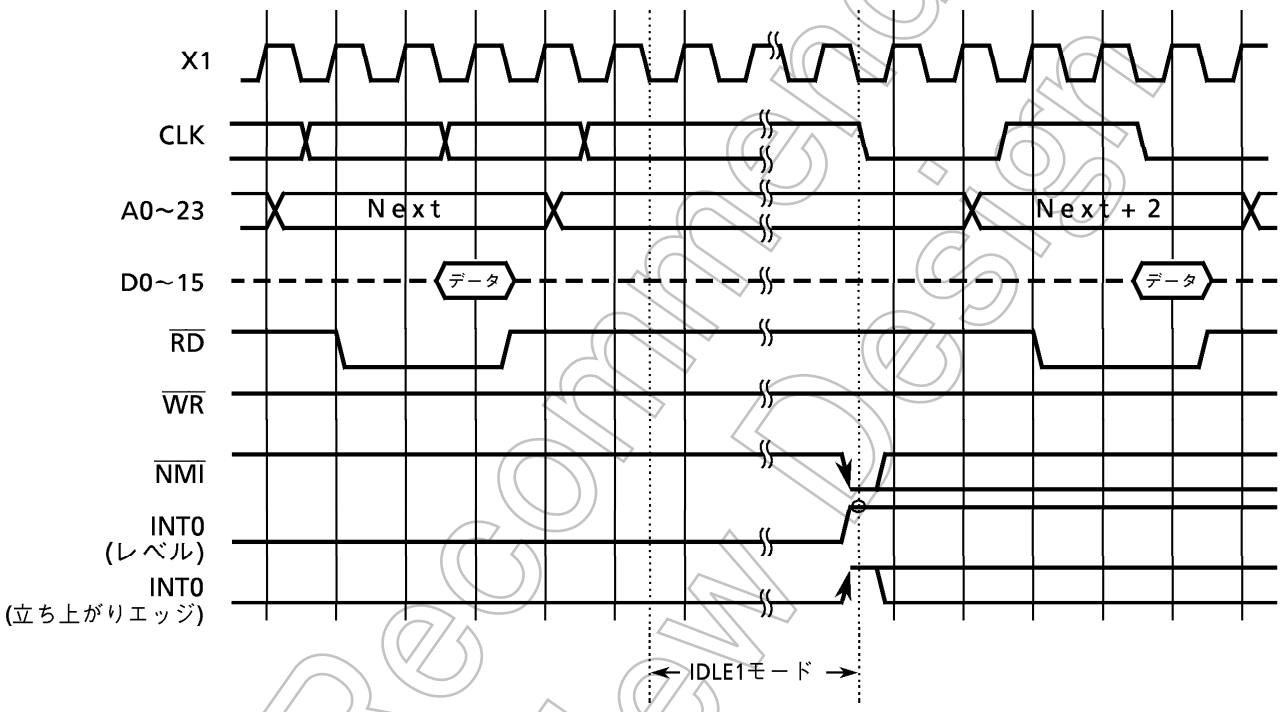


図3.4(3) 割り込みによるホールト解除のタイミング例(IDLE1モード時)

Not Recommended for New Design

④ STOPモード

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOPモード時の端子状態は、ウォッチドッグタイマモードレジスタWDMOD<DRVE>の設定により異なります(WDMOD<DRVE>の設定については図3.4 (1) を参照してください)。STOPモード時の端子状態を表3.4 (3) に示します。

STOPモードの解除は、外部割り込み (NMI、INT0) によって行うことができます。解除する場合は、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後に、システムクロックの出力を開始します。このウォーミングアップ時間の設定は、WDMOD<WARM>で行います。

図3.4 (4)に、割り込みによるホールト解除のタイミング例を示します。

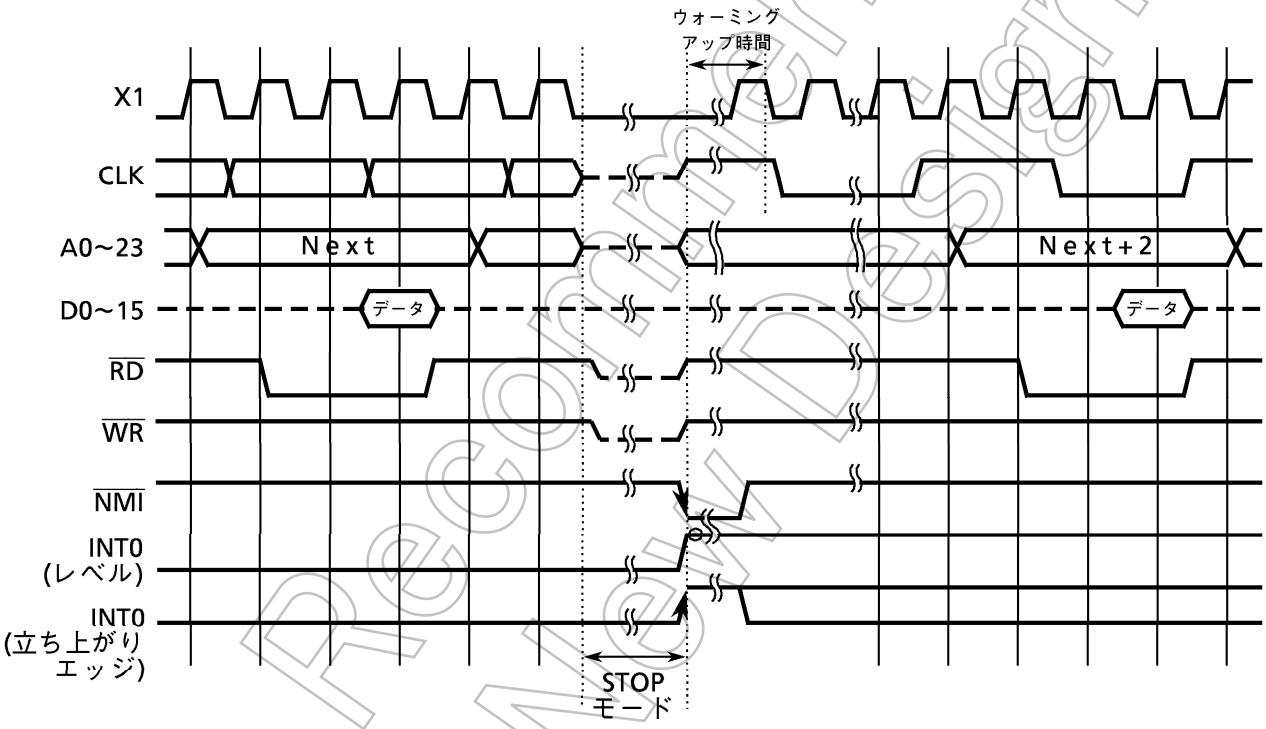


図3.4 (4) 割り込みによるホールト解除のタイミング例 (STOPモード時)

Not Recommended for New Design

表3.4 (3) STOPモード時の端子状態

ピン名称	入力/出力	TMP95CS64		TMP95C265	
		＜DRVE＞ = 0	＜DRVE＞ = 1	＜DRVE＞ = 0	＜DRVE＞ = 1
P00～07	入力モード 出力モード 入力 / 出力 (D0 ～ D7)	▲ ▲ –	▲ 出力 –	X X –	X X –
P10～17	入力モード 出力モード 入力 / 出力 (D8 ～ D15)	▲ ▲ –	▲ 出力 –	▲ ▲ –	▲ 出力 –
P20～27	入力モード 出力モード 出力 (A16 ～ A23)	▲ ▲ –	▲ 出力 出力	▲ ▲ –	▲ 出力 出力
P30～37	入力モード 出力モード 出力 (A8 ～ A15)	▲ ▲ –	▲ 出力 出力	X X –	X X 出力
P40～47	入力モード 出力モード 出力 (A0 ～ A7)	▲ ▲ –	▲ 出力 出力	X X –	X X 出力
P50 ($\overline{RD}$), P51 ($\overline{WR}$)	出力モード 出力 ($\overline{RD}$, $\overline{WR}$)	▲ –	出力 “H” レベル出力	X –	X “H” レベル出力
P52 ～ 55, P57	入力モード 出力モード	PU* PU	PU 出力	同　左	
P56 (INT0)	入力モード 出力モード 入力モード (INT0)	PU PU 入力	PU 出力 入力		
P60～63	出力モード	–	出力		
P70～75	入力モード 出力モード	– –	入力 出力		
P80, 83, 86	入力モード 出力モード	PU* PU*	PU 出力		
P81, 82, 84, 85, 87	入力モード 出力モード	PU* PU	PU 出力		
P90～97	入力モード 出力モード	– –	入力 出力		
PA0～7 (AN0～7)	入力 入力 ($\overline{ADTRG}$)	▲ –	▲ 入力		
DAOUT 0, 1	出力	出力 (0V)	出力 (0V)		
$\overline{NMI}$	入力	入力	入力		
CLK	出力	–	“H” レベル出力		
$\overline{RESET}$	入力	入力	入力		
$\overline{EA}$	入力	“H” レベル固定	“H” レベル固定	“L” レベル固定	“L” レベル固定
AM8/$\overline{16}$	入力	“H” レベル固定	“H” レベル固定	入力	入力
X1	入力	–	–	同　左	
X2	出力	“H” レベル	“H” レベル		

ー　:　入力モード / 入力ピンは、入力が無効になり、出力モード / 出力ピンは、ハイインピーダンスになることを示します。

入力　:　入力ゲートが働いています。入力ピンが浮かないよう “L” レベル、または、“H” レベルを入力してください。

出力　:　出力状態になっています。

PU　:　プログラマブルPull-upピンです。入力ゲートが働いています。Pull-up無しの設定時には貫通電流防止のため、ピンを固定する必要があります。

PU*　:　プログラマブルPull-upピンです。常に入力ゲートがディセーブルになっています。ハイインピーダンスに設定されても貫通電流は流れません。

▲　:　HALT命令を実行し、ポートレジスタのアドレスの値でCPUが停止した場合、入力ゲートが働いていますので、貫通電流防止のため、ピンを固定するか、そのような状態を作らぬようプログラムでの対応を行ってください。それ以外の場合は、入力は無効となります。

X　:　設定不可

注) プログラマブルプルアップの制御はポートレジスタで行います。ただし、出力ファンクション (TxD0等) と兼用ピンでそのファンクションに設定されているピンは、プルアップ有無の選択が出力ファンクションのデータに依存します。なお、入力ファンクションとの兼用ピンは、ポートレジスタの設定値だけでプルアップ抵抗を付加するか否かが選択されます。

Not Recommended for New Design

3.5 ポート機能

TMP95CS64には、合計81ビットの入出力ポートがあります。

TMP95C265は、外部メモリ接続を前提としているため、入出力ポートは合計47ビットになります(ポート0、1はデータバス、ポート3、4はアドレスバス、P50およびP51はそれぞれ$\overline{RD}$、$\overline{WR}$の専用端子として機能します)。

これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表3.5 (1) に各ポート端子の機能を、表3.5 (2) に各端子の設定方法を示します。

表3.5 (1) ポート端子機能

ポート名	ピン名称	ピン数	方　向	R	方向設定単位	内蔵機能用ピン名称
ポート0	P00～P07	8	入出力	–	ビット	D0～D7
ポート1	P10～P17	8	入出力	–	ビット	D8～D15
ポート2	P20～P27	8	入出力	–	ビット	A16～A23
ポート3	P30～P37	8	入出力	–	ビット	A8～A15
ポート4	P40～P47	8	入出力	–	ビット	A0～A7
ポート5	P50	1	出力	–	(固　定)	$\overline{RD}$
	P51	1	出力	–	(固　定)	$\overline{WR}$
	P52	1	入出力	↑	ビット	$\overline{HWR}$
	P53	1	入出力	↑	ビット	$\overline{BUSRQ}$
	P54	1	入出力	↑	ビット	$\overline{BUSAK}$
	P55	1	入出力	↑	ビット	$\overline{WAIT}$
	P56	1	入出力	↑	ビット	INT0
	P57	1	入出力	↑	ビット	SCLK2/$\overline{CTS2}$
ポート6	P60	1	出力	–	(固　定)	$\overline{CS0}$
	P61	1	出力	–	(固　定)	$\overline{CS1}$
	P62	1	出力	–	(固　定)	$\overline{CS2}$
	P63	1	出力	–	(固　定)	$\overline{CS3}$
ポート7	P70	1	入出力	–	ビット	TI0/INT1
	P71	1	入出力	–	ビット	TO1
	P72	1	入出力	–	ビット	TO3/INT2
	P73	1	入出力	–	ビット	TI3/INT3
	P74	1	入出力	–	ビット	TO5
	P75	1	入出力	–	ビット	TO7/INT4
ポート8	P80	1	入出力	↑	ビット	TxD0
	P81	1	入出力	↑	ビット	RxD0
	P82	1	入出力	↑	ビット	SCLK0/$\overline{CTS0}$
	P83	1	入出力	↑	ビット	TxD1
	P84	1	入出力	↑	ビット	RxD1
	P85	1	入出力	↑	ビット	SCLK1/$\overline{CTS1}$
	P86	1	入出力	↑	ビット	TxD2
	P87	1	入出力	↑	ビット	RxD2
ポート9	P90	1	入出力	–	ビット	TI8/INT5
	P91	1	入出力	–	ビット	TI9/INT6
	P92	1	入出力	–	ビット	TO8
	P93	1	入出力	–	ビット	TO9
	P94	1	入出力	–	ビット	TIA/INT7
	P95	1	入出力	–	ビット	TIB/INT8
	P96	1	入出力	–	ビット	TOA/TOB
ポートA	PA0～PA2	3	入力	–	(固　定)	AN0～AN2
	PA3	1	入力	–	(固　定)	AN3 / $\overline{ADTRG}$
	PA4～PA7	4	入力	–	(固　定)	AN4～AN7

R : ↑ = プログラマブルプルアップ抵抗付き

Not Recommended for New Design

表3.5 (2)　ポート端子設定一覧表 (1/3)

n : 対応するポート番号　X : Don't care

ポート名	ピン名称	機　　能	ポートレジスタ設定値		
			Pn	PnCR	PnFC
ポート0	P00 ～ P07	入力ポート (注1)	X	0	なし
		出力ポート (注1)	X	1	
		D0 ～ D7	X	X	
ポート1	P10 ～ P17	入力ポート	X	0	0
		出力ポート	X	1	0
		D8 ～ D15	X	0	1
ポート2	P20 ～ P27	入力ポート	X	0	X
		出力ポート	X	1	0
		A16 ～ A23	X	1	1
ポート3	P30 ～ P37	入力ポート (注1)	X	0	X
		出力ポート (注1)	X	1	0
		A8 ～ A15	X	1	1
ポート4	P40 ～ P47	入力ポート (注1)	X	0	X
		出力ポート (注1)	X	1	0
		A0 ～ A7	X	1	1
ポート5	P50	出力ポート (注1)	X	なし	0
		外部アクセス時のみ$\overline{RD}$出力	1		1
		常に$\overline{RD}$出力	0		1
	P51	出力ポート (注1)	X		0
		外部アクセス時のみ$\overline{WR}$出力	X		1
	P52	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	X	1	0
		$\overline{HWR}$出力	X	1	1
	P53	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	X	1	X
		$\overline{BUSRQ}$入力 (プルアップ無)	0	0	1
		$\overline{BUSRQ}$入力 (プルアップ有)	1	0	1
	P54	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	X	1	X
		$\overline{BUSAK}$出力	X	1	1
	P55	入力ポート / $\overline{WAIT}$入力 (プルアップ無)	0	0	なし
		入力ポート / $\overline{WAIT}$入力 (プルアップ有)	1	0	
		出力ポート	X	1	
	P56	入力ポート / INT0入力 (プルアップ無) (注2)	0	0	
		入力ポート / INT0入力 (プルアップ有) (注2)	1	0	
		出力ポート	X	1	
	P57	入力ポート / SCLK2 / $\overline{CTS2}$入力 (プルアップ無)	0	0	0
		入力ポート / SCLK2 / $\overline{CTS2}$入力 (プルアップ有)	1	0	0
		出力ポート	X	1	0
		SCLK2出力	X	1	1
ポート6	P60 ～ P63	出力ポート	X	なし	0
		$\overline{CS0}$ ～$\overline{CS3}$出力	X		1

(注1)　TMP95C265では、この機能は使用できません。

(注2)　P56端子をINT0入力として使用する場合は、割り込み入力モードコントロールレジスタ IIMC＜I0LE＞レジスタにて割り込み入力許可の設定をします。

Not Recommended for New Design

表3.5 (2) ポート端子設定一覧表 (2/3)

n : 対応するポート番号 X : Don't care

ポート名	ピン名称	機　　能	ポートレジスタ設定値		
			Pn	PnCR	PnFC
ポート7	P70	入力ポート / TI0/ INT1入力	X	0	なし
		出力ポート	X	1	
	P71	入力ポート	X	0	X
		出力ポート	X	1	0
		TO1出力	X	1	1
	P72	入力ポート / INT2入力	X	0	X
		出力ポート	X	1	0
		TO3出力	X	1	1
	P73	入力ポート / TI4 / INT3入力	X	0	なし
		出力ポート	X	1	
	P74	入力ポート	X	0	X
		出力ポート	X	1	0
		TO5出力	X	1	1
	P75	入力ポート / INT4入力	X	0	X
		出力ポート	X	1	0
		TO7出力	X	1	1
ポート8	P80	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	X	1	0
		TxD0出力 (注3)	X	1	1
	P81	入力ポート / RxD0入力 (プルアップ無)	0	0	なし
		入力ポート / RxD0入力 (プルアップ有)	1	0	
		出力ポート	X	1	
	P82	入力ポート / SCLK0/$\overline{\text{CTS0}}$入力 (プルアップ無)	0	0	0
		入力ポート / SCLK0/$\overline{\text{CTS0}}$入力 (プルアップ有)	1	0	0
		出力ポート	X	1	0
		SCLK0出力	X	1	1
	P83	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	X	1	0
		TxD1出力 (注3)	X	1	1
	P84	入力ポート / RxD1入力 (プルアップ無)	0	0	なし
		入力ポート / RxD1入力 (プルアップ有)	1	0	
		出力ポート	X	1	
	P85	入力ポート / SCLK1/$\overline{\text{CTS1}}$入力 (プルアップ無)	0	0	0
		入力ポート / SCLK1/$\overline{\text{CTS1}}$入力 (プルアップ有)	1	0	0
		出力ポート	X	1	0
		SCLK1出力	X	1	1
	P86	入力ポート (プルアップ無)	0	0	0
		入力ポート (プルアップ有)	1	0	0
		出力ポート	X	1	0
		TxD2出力 (注3)	X	1	1
	P87	入力ポート / RxD2入力 (プルアップ無)	0	0	なし
		入力ポート / RxD2入力 (プルアップ有)	1	0	
		出力ポート	X	1	

(注3) TxD0~2 端子のオープンドレイン出力モードは、オープンドレインイネーブルレジスタ ODE<ODE0 : 2>にて設定します。

Not Recommended for New Design

表3.5 (2) ポート端子設定一覧表 (3/3)

n : 対応するポート番号 X : Don't care

ポート名	ピン名称	機　　能	ポートレジスタ設定値		
			Pn	PnCR	PnFC
ポート9	P90	入力ポート / TI8 / INT5入力	X	0	なし
		出力ポート	X	1	
	P91	入力ポート / TI9 / INT6入力	X	0	
		出力ポート	X	1	
	P92	入力ポート	X	0	X
		出力ポート	X	1	0
		TO8出力	X	1	1
	P93	入力ポート	X	0	X
		出力ポート	X	1	0
		TO9出力	X	1	1
	P94	入力ポート / TIA / INT7入力	X	0	なし
		出力ポート	X	1	
	P95	入力ポート / TIB / INT8入力	X	0	
		出力ポート	X	1	
	P96	TOA / TOB出力 (注4)	X	1	1
ポートA	PA0 ～ PA7	入力ポート	X	なし	
		AN0 ～ AN7 入力 (注5)	X		

(注4) P96 端子のタイマ出力TOA / TOBの出力の切り替えは、P9FC <TOS1> にて設定します。

(注5) PA0 ～ PA7 をA/Dコンバータの入力チャネルとして使用する場合のチャネル選択は、A/Dモードコントロールレジスタ1 ADMOD1 <ADCH2:0> にて設定します。

Not Recommended for New Design

3.5.1 ポート0 (P00～P07)

ポート0は、ビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。

汎用入出力ポート機能以外に、データバス (D0～D7) 機能があります。入出力の設定は、ポート0コントロールレジスタP0CRによって行います。

リセット動作により、P0CRの全ビットは“0”にクリアされ、入力モードになります。

外部メモリをアクセスするときは、自動的にデータバス (D0～D7) として機能し、P0CRはすべて“0”にクリアされます。

ROM外付けタイプのTMP95C265では、常に、P0CRの設定値に関係なくデータバス (D0～D7) として機能します。

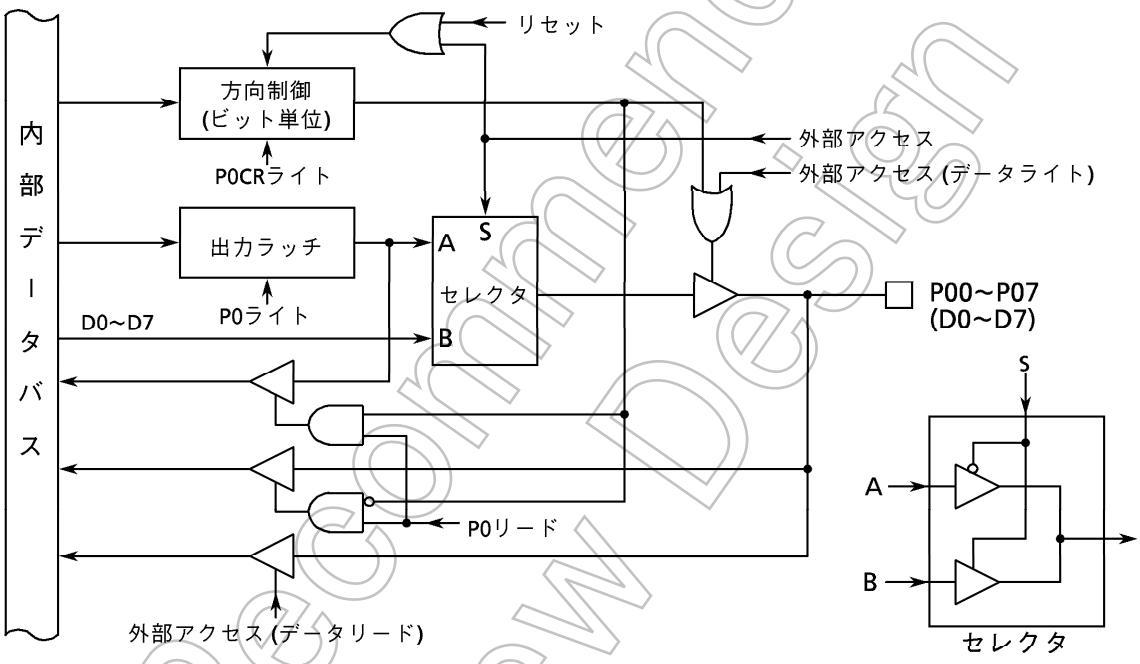


図3.5 (1) ポート0 (P00～P07)

ポート0レジスタ

		7	6	5	4	3	2	1	0
P0 (0000H)	bit Symbol	P07	P06	P05	P04	P03	P02	P01	P00
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは不定)							
	機　能	D7～D0と兼用							

ポート0コントロールレジスタ

		7	6	5	4	3	2	1	0
P0CR (0002H)	bit Symbol	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
	Read/Write	W							
リードモディファイライトはできません。	リセット後	0	0	0	0	0	0	0	0
	機　能	ポート0の入力 / 出力設定 0 : 入力　1 : 出力							

注)　データバス (D7～D0) として機能するとP0CRは“0”にクリアされます。

図3.5 (2) ポート0関係のレジスタ

Not Recommended for New Design

3.5.2 ポート1 (P10~P17)

ポート1は、ビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。

汎用入出力ポート機能以外に、データバス (D8~D15) 機能があります。ポート1の機能設定は、ポート1コントロールレジスタP1CRとポート1ファンクションレジスタP1FCによって行います。

リセット動作により、出力ラッチレジスタの全ビットと、P1CRとP1FCの全ビットは "0" にクリアされ、入力モードになります。

ROM外付けタイプのTMP95C265では、リセット後、AM8 / $\overline{16}$端子が "L" レベルの場合 (外部16ビットデータバス固定、または、外部8 / 16ビットデータバス混在)、データバス (D8~D15) として機能します。また、"H" レベルの場合 (外部8ビットデータバス固定)、ポートとして機能します。

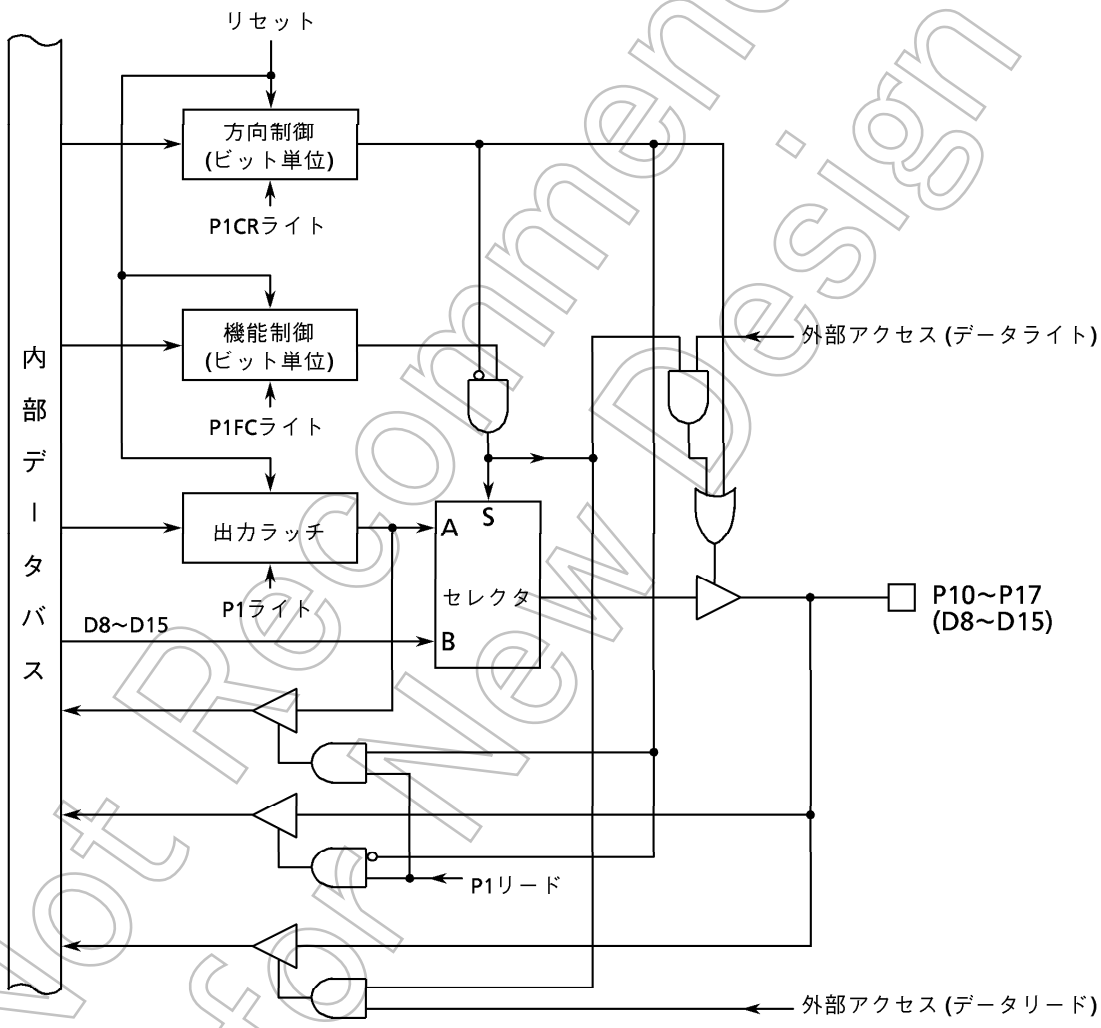


図3.5 (3) ポート1 (P10~P17)

Not Recommended for New Design

ポート1レジスタ

P1 (0001H)

	7	6	5	4	3	2	1	0
bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは "0" にクリア)							
機　能	D15～D8と兼用							

ポート1コントロールレジスタ

P1CR (0004H)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート1の機能設定							

ポート1ファンクションレジスタ

P1FC (0005H)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート1の機能設定							

ポート1の機能設定

P1FC<P1xF> / P1CR<P1xC>	0	1
0	入力ポート	データバス (D15~D8)
1	出力ポート	設定しないでください

注1)　TMP95C265では、AM8/$\overline{16}$端子を "L" レベルに設定した場合、P1FCは "1" に固定されます。従ってP1CRは "1" に設定しないでください (リセット後のP1CRは "0" に設定されています)。

注2)　TMP95C265では、AM8/$\overline{16}$端子が "H" レベルに設定された状態で、ポート1の機能をデータバス (D15~D8) に設定するとP17~P10端子はハイインピーダンス状態になります。

図3.5 (4)　ポート1関係のレジスタ

Not Recommended for New Design

3.5.3 ポート2 (P20~P27)

ポート2は、ビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。

汎用入出力ポート機能以外に、アドレスバス (A16~A23) 機能があります。ポート2の機能設定は、ポート2コントロールレジスタP2CRとポート2ファンクションレジスタP2FCによって行います。

リセット動作により、出力ラッチレジスタの全ビットと、P2CRとP2FCの全ビットは "0" にクリアされ、入力モードになります。

ROM外付けタイプのTMP95C265では、リセット後、アドレスバス (A16~A23) として機能しますが、P2CRとP2FCの設定により、汎用入出力ポートとしても使用できます。

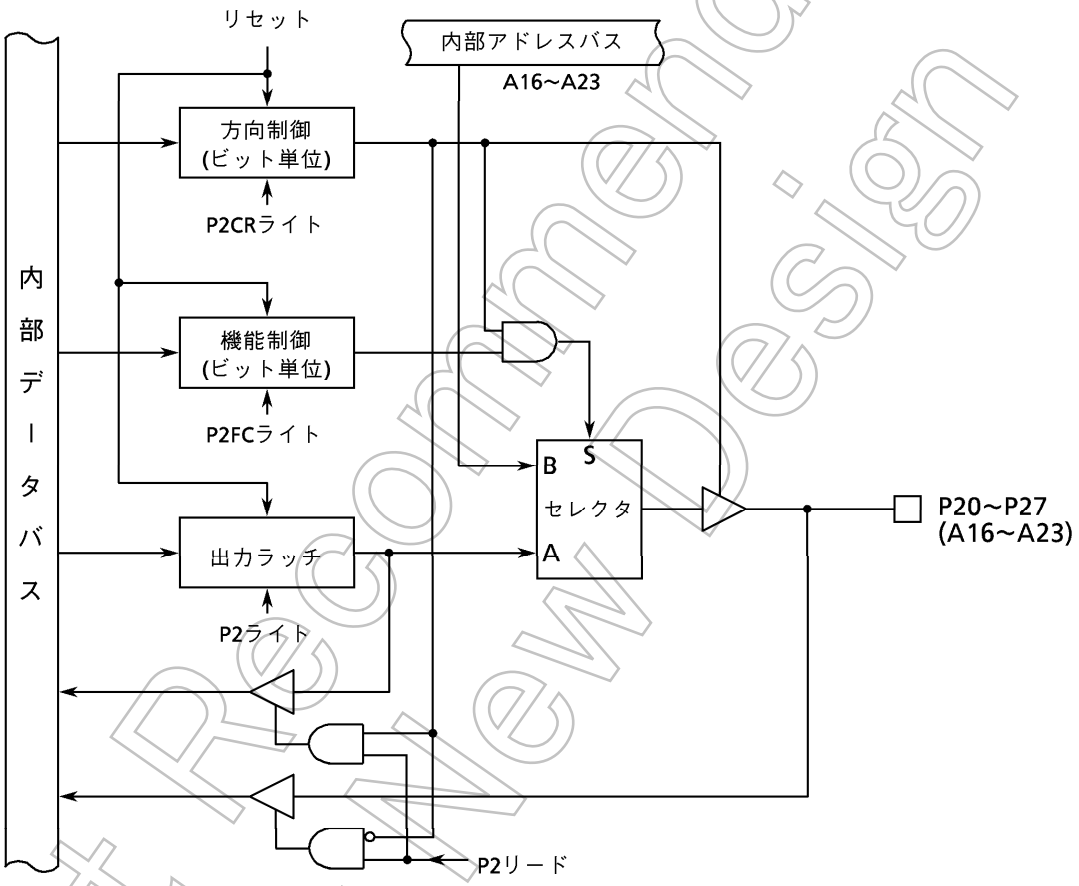


図3.5 (5) ポート2 (P20~P27)

Not Recommended for New Design

ポート2レジスタ

P2 (0006H)

	7	6	5	4	3	2	1	0
bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは "0" にクリア)							
機　能	A23～A16と兼用							

ポート2コントロールレジスタ

P2CR (0008H)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート2の機能設定							

ポート2ファンクションレジスタ

P2FC (0009H)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート2の機能設定							

ポート2の機能設定

P2FC＜P2xF＞ / P2CR＜P2xC＞	0	1
0	入力ポート	
1	出力ポート	アドレス バス (A23~A16)

注)　アドレスバス (A23~A16) に設定するときは、P2CR, P2FCの順に設定してください。
TMP95C265では、リセット後、P2CRとP2FCが "1" にセットされるため、アドレスバス (A23~A16) が選択されています。

図3.5 (6)　ポート2関係のレジスタ

Not Recommended for New Design

3.5.4 ポート3 (P30~P37)

ポート3は、ビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。

汎用入出力ポート機能以外に、アドレスバス (A8~A15) 機能があります。ポート3の機能設定は、ポート3コントロールレジスタP3CRとポート3ファンクションレジスタP3FCによって行います。

リセット動作により、出力ラッチレジスタの全ビットと、P3CRとP3FCの全ビットは "0" にクリアされ、入力モードになります。

ROM外付けタイプのTMP95C265では、P3CRとP3FCの設定値に関係なく、常にアドレスバス (A8~A15) として機能します。

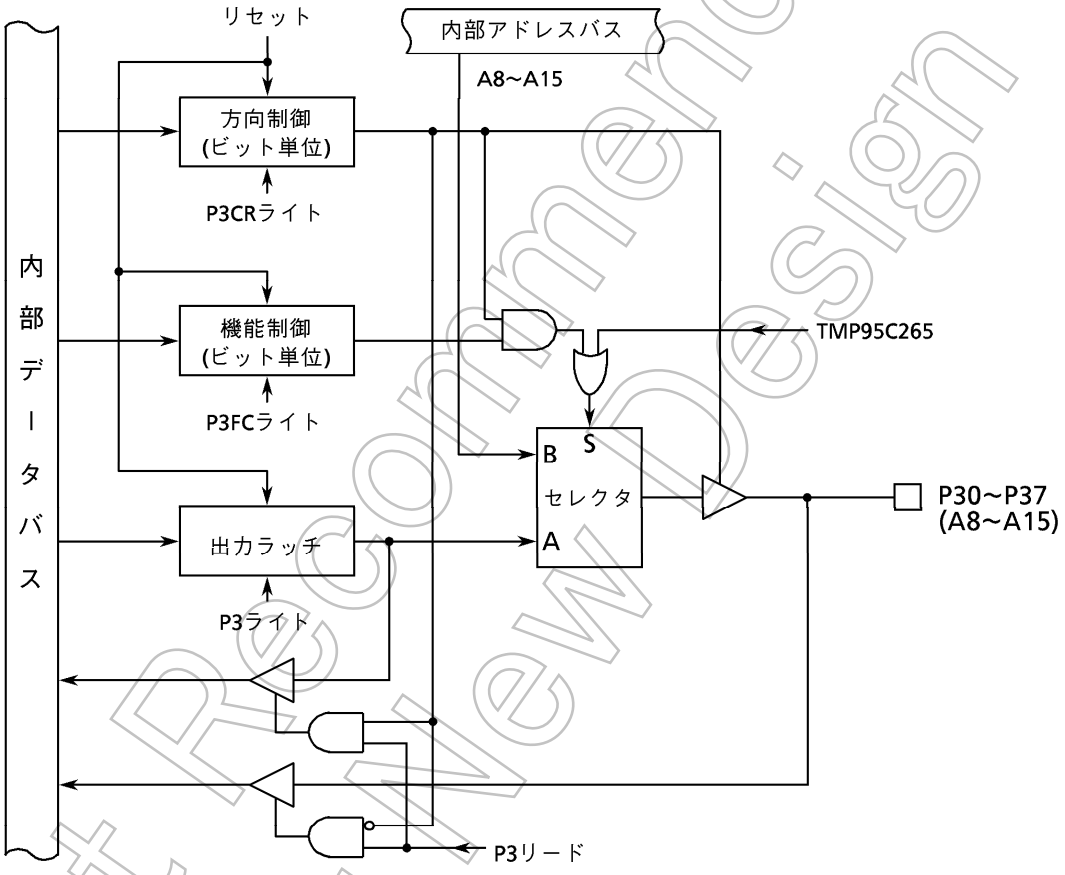


図3.5 (7) ポート3 (P30~P37)

Not Recommended for New Design

ポート3レジスタ

P3 (0007H)

	7	6	5	4	3	2	1	0
bit Symbol	P37	P36	P35	P34	P33	P32	P31	P30
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは "0" にクリア)							
機　能	A15~A8と兼用							

ポート3コントロールレジスタ

P3CR (000AH)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート3の機能設定							

ポート3ファンクションレジスタ

P3FC (000BH)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	P37F	P36F	P35F	P34F	P33F	P32F	P31F	P30F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート3の機能設定							

ポート3の機能設定

P3FC＜P3xF＞ / P3CR＜P3xC＞	0	1
0	入力ポート	
1	出力ポート	アドレス バス (A15~A8)

注)　アドレスバス (A15~A8) に設定するときは、P3CR, P3FCの順に設定してください。
TMP95C265では、リセット後、アドレスバス (A15~A8) が選択されています。

図3.5 (8)　ポート3関係のレジスタ

Not Recommended for New Design

3.5.5 ポート4 (P40~P47)

ポート4は、ビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。

汎用入出力ポート機能以外に、アドレスバス (A0~A7) 機能があります。ポート4の機能設定は、ポート4コントロールレジスタP4CRとポート4ファンクションレジスタP4FCによって行います。

リセット動作により、出力ラッチレジスタの全ビットと、P4CRとP4FCの全ビットは "0" にクリアされ、入力モードになります。

ROM外付けタイプのTMP95C265では、P4CRとP4FCの設定値に関係なく、常にアドレスバス (A0~A7) として機能します。

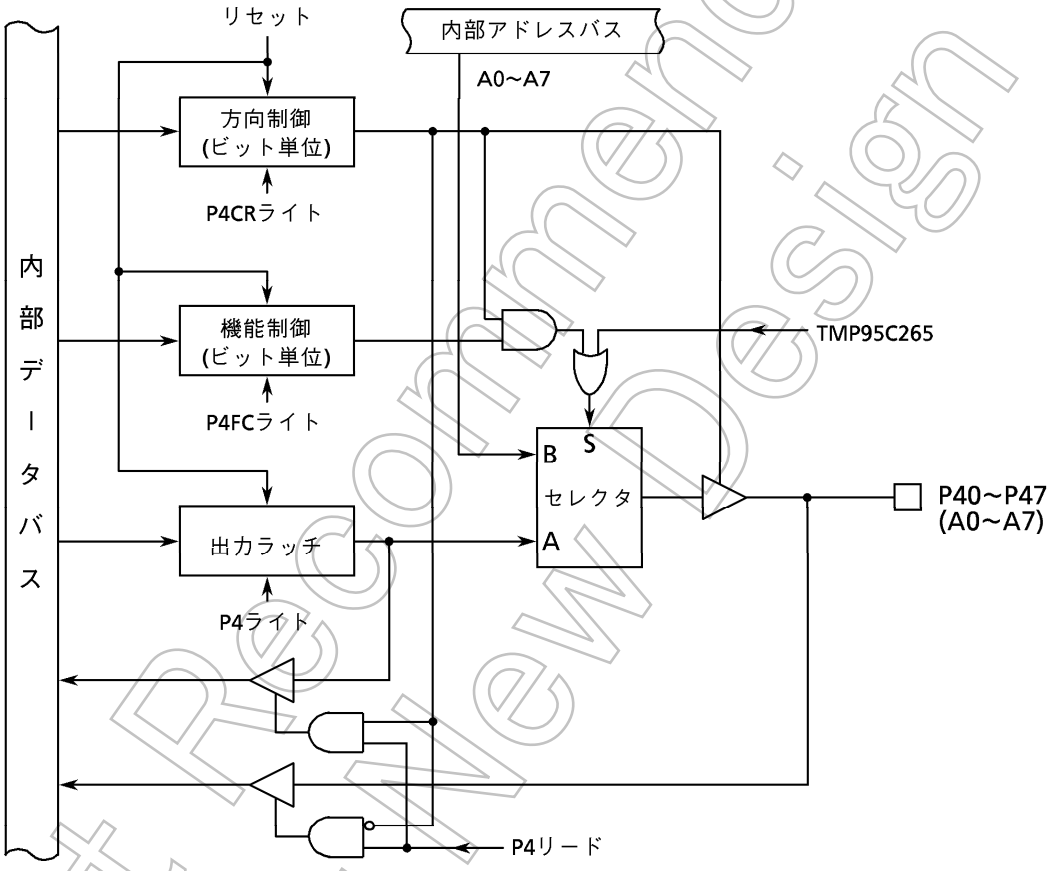


図3.5 (9) ポート4 (P40~P47)

Not Recommended for New Design

ポート4レジスタ

P4 (000CH)	7	6	5	4	3	2	1	0
bit Symbol	P47	P46	P45	P44	P43	P42	P41	P40
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは "0" にクリア)							
機　能	A7~A0と兼用							

ポート4コントロールレジスタ

P4CR (000EH) リードモディファイライトはできません。	7	6	5	4	3	2	1	0
bit Symbol	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート4の機能設定							

ポート4ファンクションレジスタ

P4FC (000FH) リードモディファイライトはできません。	7	6	5	4	3	2	1	0
bit Symbol	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート4の機能設定							

ポート4の機能設定

P4CR＜P4xC＞ \ P4FC＜P4xF＞	0	1
0	入力ポート	
1	出力ポート	アドレスバス (A7~A0)

注)　アドレスバス (A7~A0)に設定するときは、P4CR, P4FCの順に設定してください。
TMP95C265では、リセット後、アドレスバス (A7~A0) が選択されています。

図3.5 (10)　ポート4関係のレジスタ

Not Recommended for New Design

3.5.6 ポート5 (P50~P57)

ポート5は、ビット単位で入出力の指定ができる8ビットの汎用入出力ポート (ただし、P50とP51は出力専用) です。汎用入出力ポート以外にも、CPUのコントロール / ステータス信号の入出力機能、$\overline{\text{WAIT}}$入力機能、INT0外部割り込み入力機能、シリアルチャネルのSCLK2 / $\overline{\text{CTS2}}$機能があります。

ポート5の機能設定は、ポート5コントロールレジスタP5CRとポート5ファンクションレジスタP5FCによって行います。

リセット動作により、出力ラッチレジスタの全ビットは "1" にセットされ、P5CR (ビット0と1は未使用) とP5FC (ビット5と6は未使用) の全ビットは "0" にクリアされます。ポート5のP50とP51は "1" を出力し、P52~P57はプルアップ抵抗付きの入力モードになります。

P50が、$\overline{\text{RD}}$端子として設定されている場合 (P5FC<P50F> = "1")、または、TMP95C265の場合、P5<P50>を "0" にクリアすると、P50の$\overline{\text{RD}}$信号は、内部アドレスエリアをアクセスするときでも出力され、外付けPSRAM (擬似スタティックRAM) のリフレッシュを行うことができます。<P50>が "1" にセットされた状態では、外部エリアをアクセスしたときのみ$\overline{\text{RD}}$信号は出力されます。

ROM外付けタイプのTMP95C265では、<P50F>、<P51F>の設定に関係なく、P50は$\overline{\text{RD}}$端子、P51は$\overline{\text{WR}}$端子となります。

(1) ポート50 ($\overline{\text{RD}}$)

ポート50は、汎用出力専用ポート以外に、$\overline{\text{RD}}$端子としての機能を持っています。TMP95C265では常に$\overline{\text{RD}}$端子として機能します。

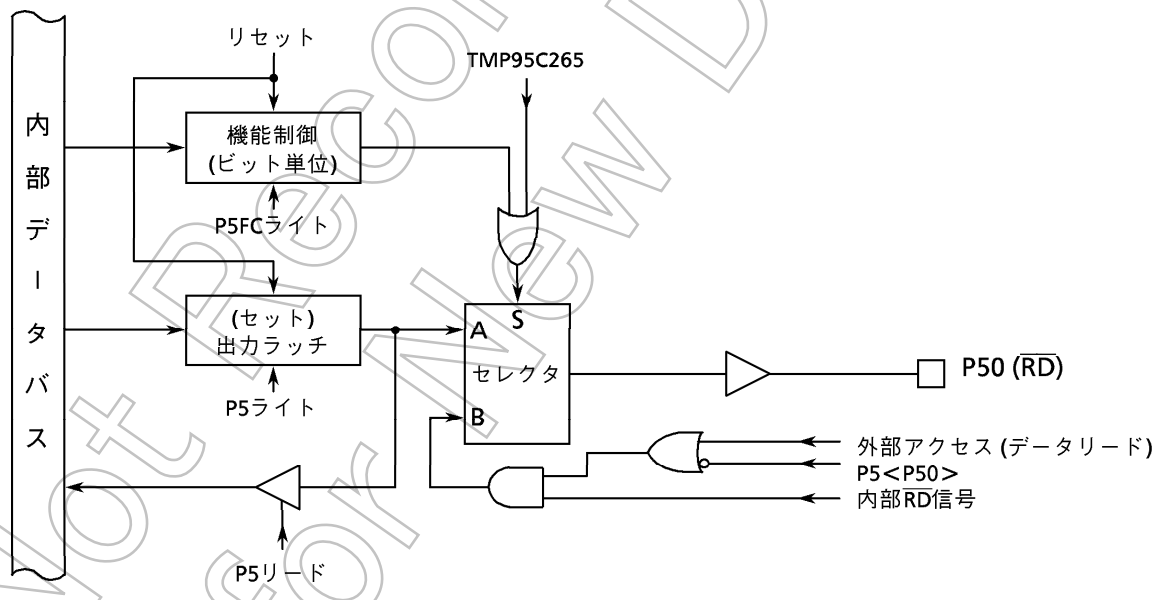


図 3.5 (11) ポート5 (P50)

Not Recommended for New Design

(2) ポート51 ($\overline{WR}$)

ポート51は、汎用出力専用ポート以外に、$\overline{WR}$端子としての機能を持っています。TMP95C265では常に$\overline{WR}$端子として機能します。

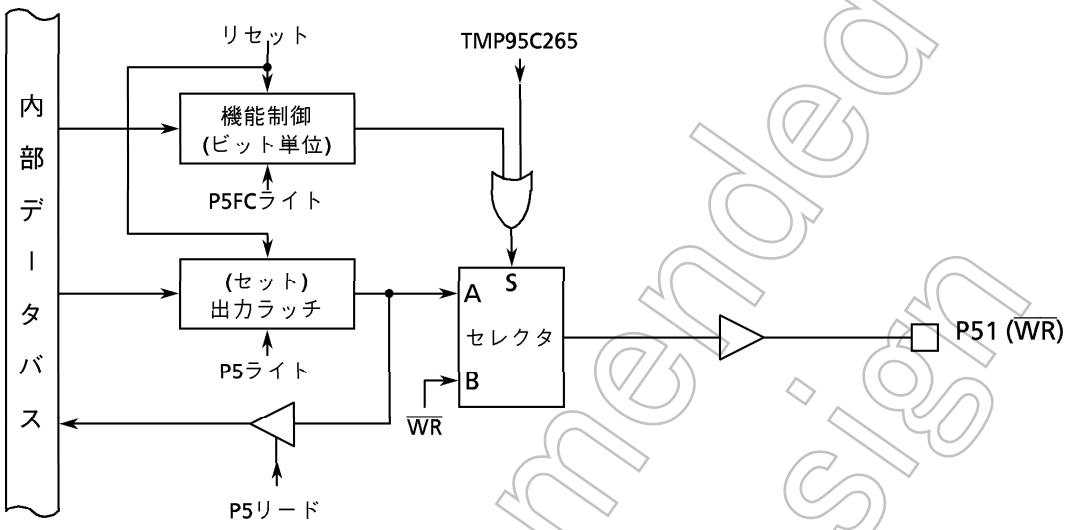


図 3.5 (12) ポート5 (P51)

(3) ポート52, 54 ($\overline{HWR}$, $\overline{BUSAK}$)

ポート52は、汎用入出力ポート以外に、$\overline{HWR}$端子としての機能を持っています。また、ポート54は、汎用入出力ポート以外に、$\overline{BUSAK}$端子としての機能を持っています。

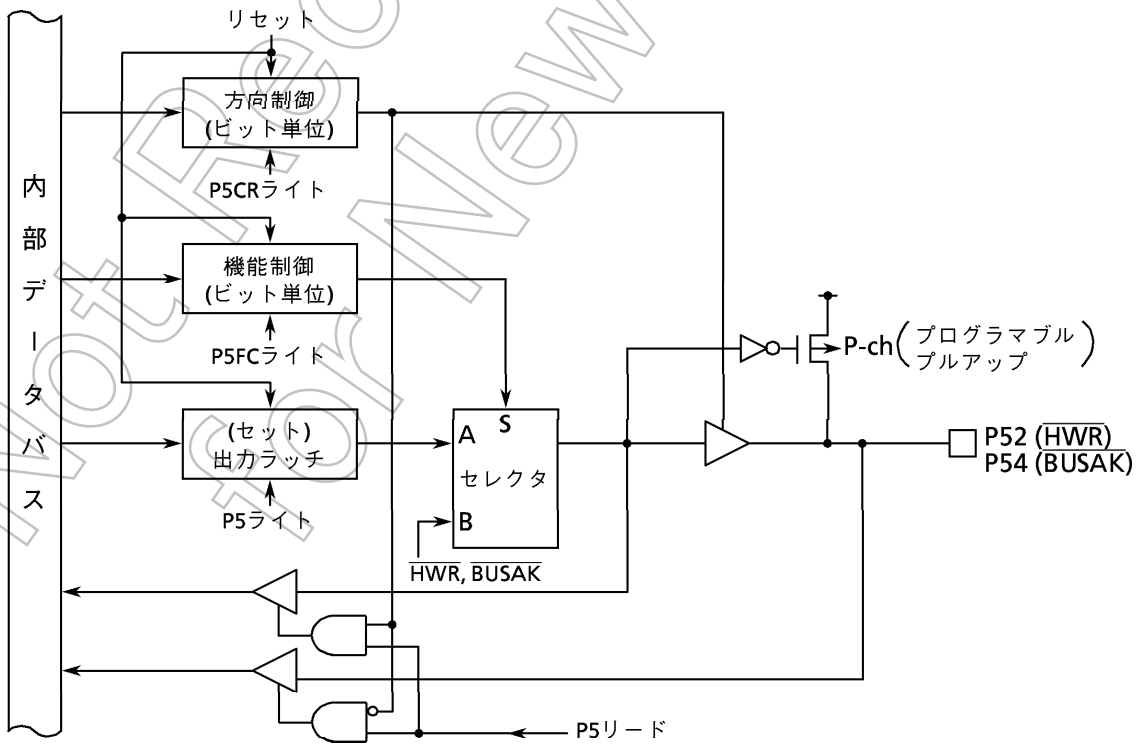


図3.5 (13) ポート5 (P52, P54)

Not Recommended for New Design

(4) ポート53 ($\overline{\text{BUSRQ}}$)

ポート53は、汎用入出力ポート以外に、$\overline{\text{BUSRQ}}$端子としての機能を持っています。

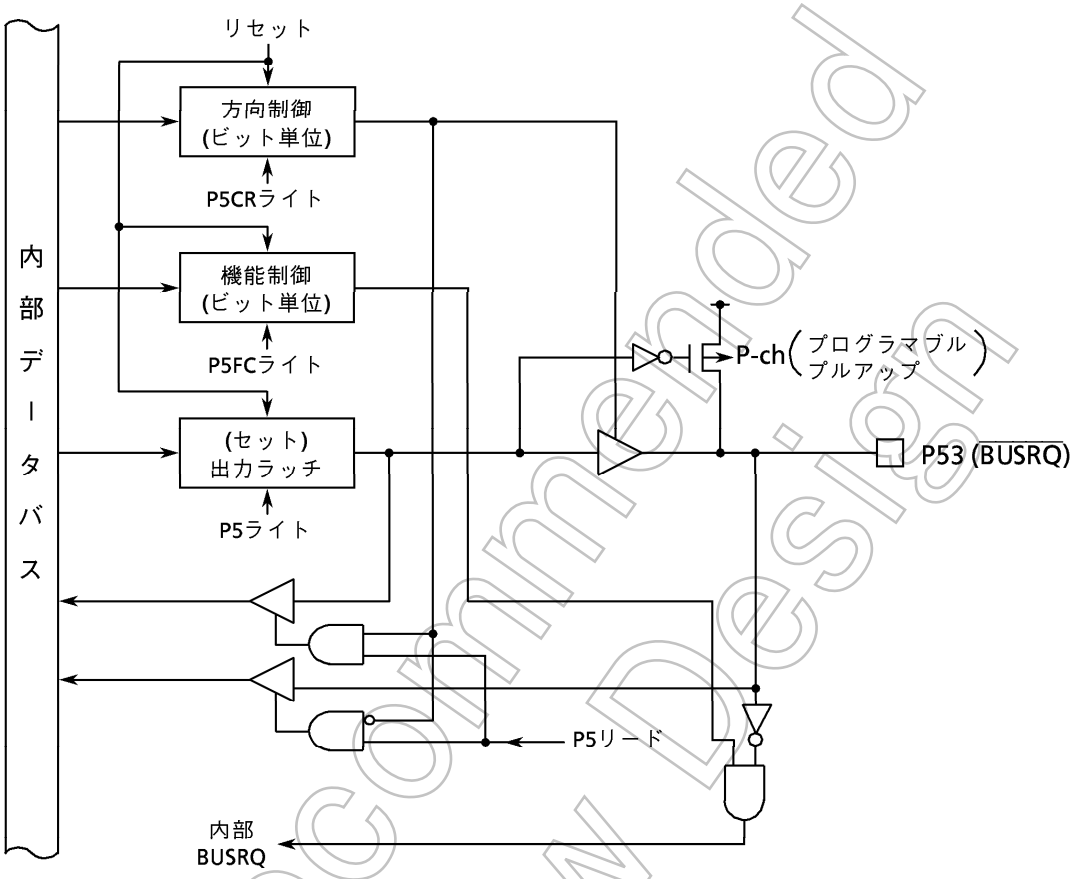


図3.5 (14) ポート5 (P53)

Not Recommended for New Design

(5) ポート55 ($\overline{WAIT}$)

ポート55は、汎用入出力ポート以外に、$\overline{WAIT}$端子としての機能を持っています。

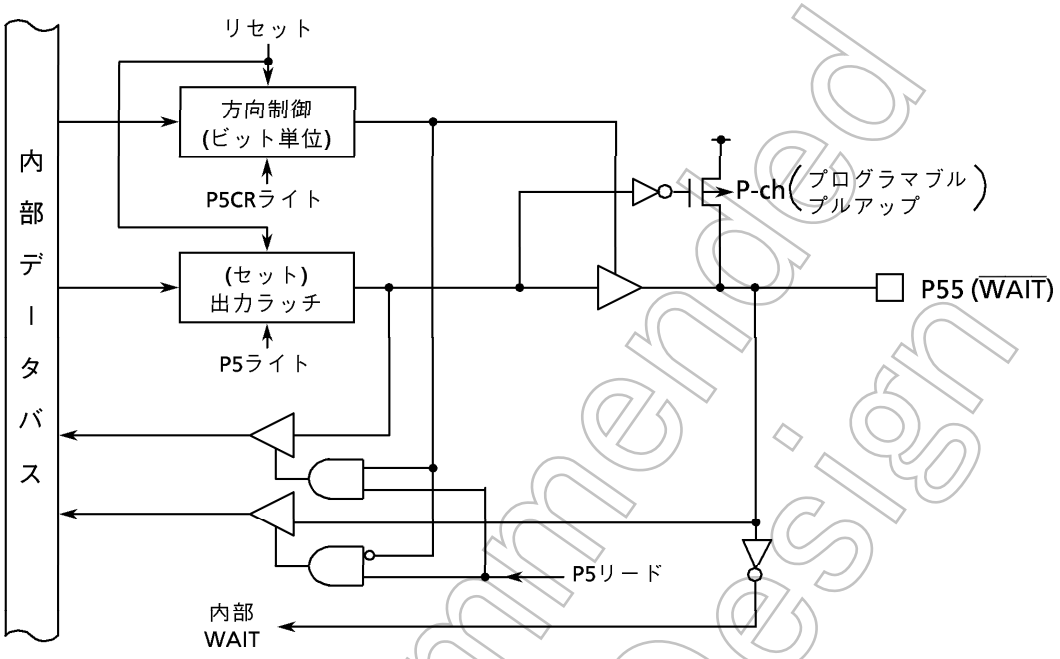


図3.5 (15) ポート5 (P55)

(6) ポート56 (INT0)

ポート56は、汎用入出力ポート以外に、外部割り込み要求入力INT0端子としての機能を持っています。

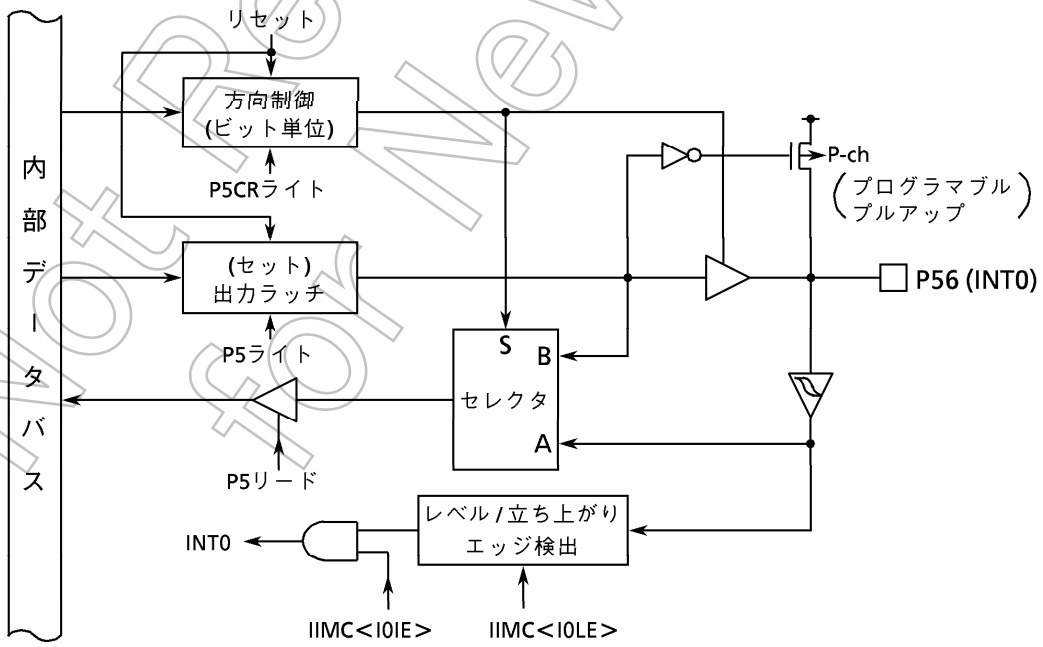


図3.5 (16) ポート5 (P56)

Not Recommended for New Design

(7) ポート57 (SCLK2/$\overline{\text{CTS2}}$)

ポート57は、汎用入出力ポート以外に、シリアルチャネル2のSCLK2入出力端子、または、$\overline{\text{CTS2}}$入力端子としての機能を持っています。

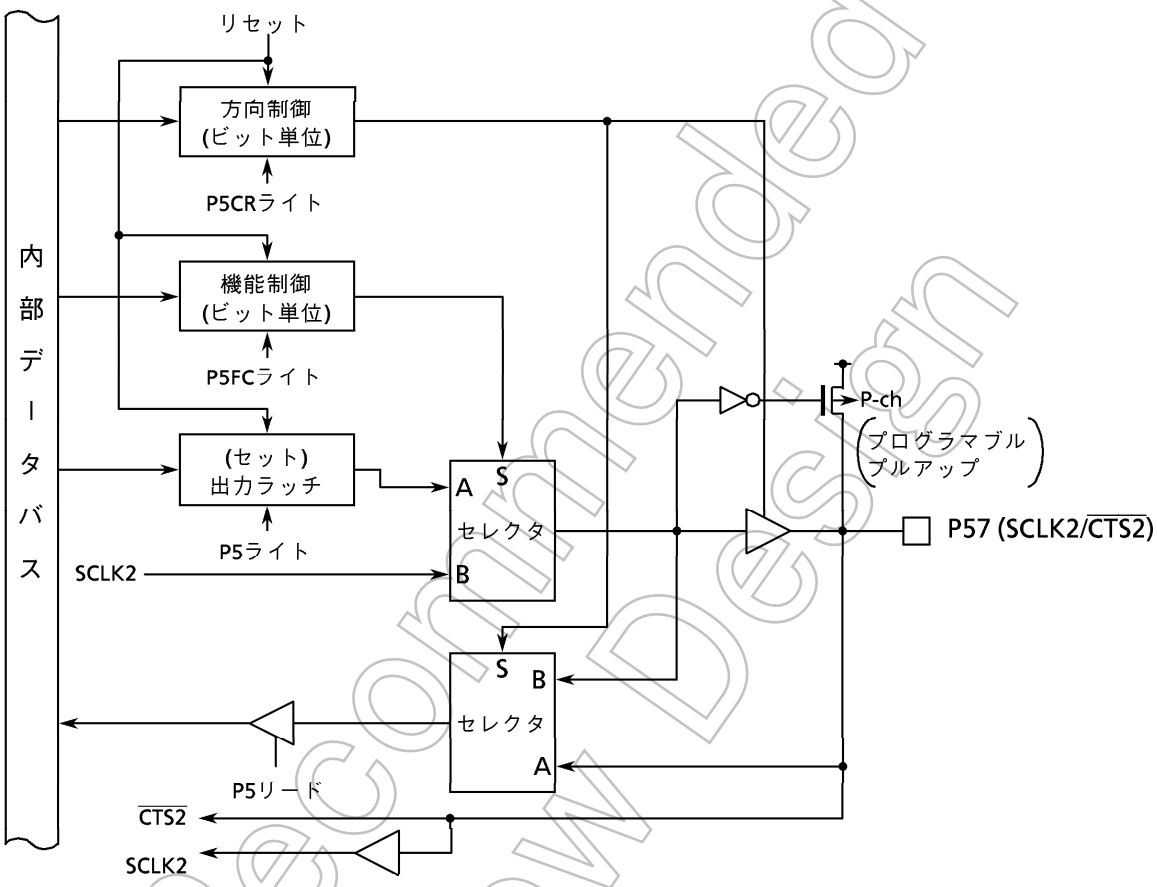


図3.5 (17) ポート5 (P57)

Not Recommended for New Design

ポート5レジスタ

P5 (000DH)

	7	6	5	4	3	2	1	0
bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
Read/Write	R/W							
リセット後	入力モード (“1” にセット / プルアップ)						出力専用 (“1” にセット)	
機　能	SCLK2/CTS2と兼用	INT0と兼用	$\overline{\text{WAIT}}$と兼用	$\overline{\text{BUSAK}}$と兼用	$\overline{\text{BUSRQ}}$と兼用	$\overline{\text{HWR}}$と兼用	$\overline{\text{WR}}$と兼用	$\overline{\text{RD}}$と兼用

注)　ポート5を入力モードで使用する場合、内蔵プルアップ抵抗はP5レジスタにて制御します。入力モードあるいは入出力モードを混在させて使用する場合 (1ビットでも入力端子が存在する時) にはリードモディファイライトは行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

ポート5コントロールレジスタ

P5CR (0010H)

リードモディファイライトはできません。

	7	6	5	4	3	2	1	0
bit Symbol	P57C	P56C	P55C	P54C	P53C	P52C		
Read/Write	W							
リセット後	0	0	0	0	0	0		
機　能	ポート57～52の入出力設定 0 : 入力　　1 : 出力							

ポート56の機能設定 (注2)

<P56> / <P56C>	0	1
0	入力ポート / INT0入力	入力ポート / INT0入力 (プルアップ)
1	出力ポート	

ポート55の機能設定 (注1)

<P55> / <P55C>	0	1
0	入力ポート / $\overline{\text{WAIT}}$入力	入力ポート / $\overline{\text{WAIT}}$入力 (プルアップ)
1	出力ポート	

注1)　ポート55を$\overline{\text{WAIT}}$端子として使用する場合は、P5CR<P55C>を “0” に、チップセレクト/ウェイトコントロールレジスタBxCS<BxW2:0>を “010” (1WAIT+N) 、または、“100” (0+NWAIT) に設定してください。

注2)　ポート56をINT0端子として使用するときは、P5CR<P56C>を “0” に、割り込み入力モードコントロールレジスタIIMC<I0IE>を “1” に設定してください。

図3.5 (18) -1　ポート5関係のレジスタ

Not Recommended for New Design

ポート5ファンクションレジスタ

P5FC (0011H)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	P57F			P54F	P53F	P52F	P51F	P50F
Read/Write	W			W				
リセット後	0			0	0	0	0	0
機　能	0:ポート 1:SCLK2 /$\overline{CTS2}$			0:ポート 1:$\overline{BUSAK}$	0:ポート 1:$\overline{BUSRQ}$	0:ポート 1:$\overline{HWR}$	0:ポート 1:$\overline{WR}$	0:ポート 1:$\overline{RD}$

ポート53の機能設定

<P53F> <P53C>	0	1
0	入力ポート (<P53>=0のとき プルアップ無 <P53>=1のとき プルアップ有)	$\overline{BUSRQ}$入力 (<P53>=0のとき プルアップ無 <P53>=1のとき プルアップ有)
1	出力ポート	

ポート54の機能設定

<P54F> <P54C>	0	1
0	入力ポート (<P54>=0のとき プルアップ無 <P54>=1のとき プルアップ有)	設定しないでください。
1	出力ポート	$\overline{BUSAK}$出力

ポート57の機能設定

<P57F> <P57C>	0	1
0	入力ポート SCLK2/$\overline{CTS2}$ (<P57>=0のとき プルアップ無 <P57>=1のとき プルアップ有)	設定しないでください。
1	出力ポート	SCLK2出力

ポート50の機能設定

<P50> <P50F>	0	1
0	出力ポート	
1	常に$\overline{RD}$出力 (PSRAM対応)	外部アクセス時のみ$\overline{RD}$出力

ポート51の機能設定

0	出力ポート
1	外部アクセス時のみ$\overline{WR}$出力

ポート52の機能設定

<P52F> <P52C>	0	1
0	入力ポート (<P52>=0のとき プルアップ無 <P52>=1のとき プルアップ有)	設定しないでください。
1	出力ポート	$\overline{HWR}$出力

図3.5 (18) -2　ポート5関係のレジスタ

Not Recommended for New Design

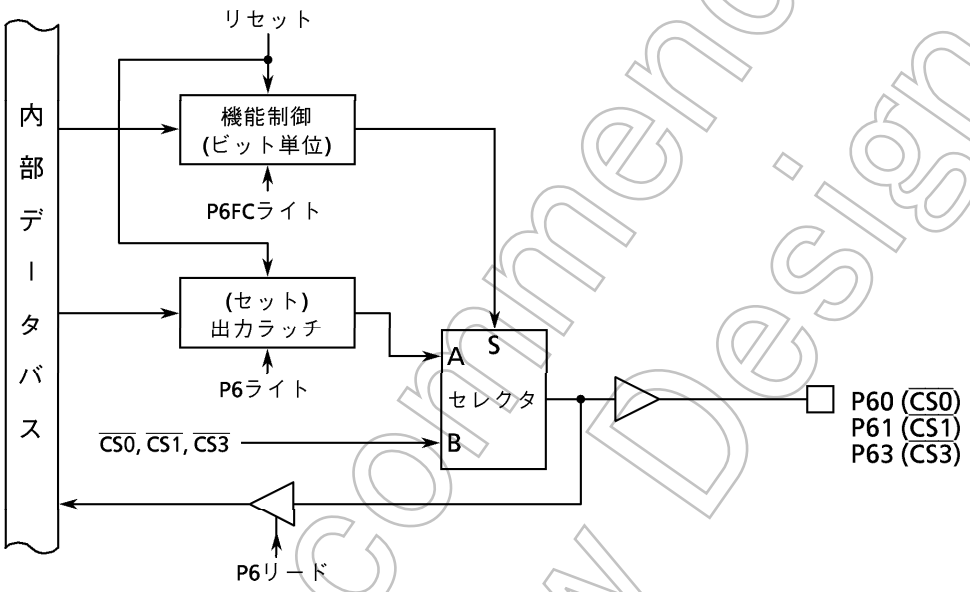
3.5.7 ポート6 (P60~P63)

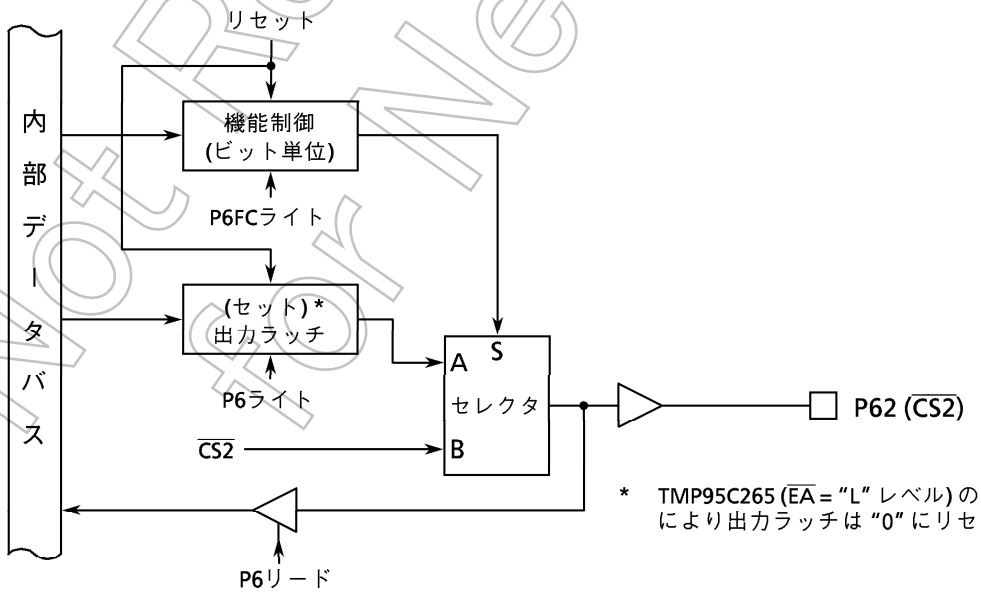
ポート6は、4ビットの汎用出力専用ポートです。

汎用出力ポート機能以外に、チップセレクト信号出力機能 (CS0~CS3) があります。これらの設定は、ポート6ファンクションレジスタP6FCによって行います。

リセット動作により、P60~63の出力ラッチは "1" にセットされます。また、P6FCの全ビットは、"0" にクリアされ、汎用出力ポートになります。

ROM外付けタイプのTMP95C265では、リセット後P62 ($\overline{CS2}$) の出力ラッチは "0" にクリアされCS2空間が選択されます。





* TMP95C265 ($\overline{EA}$ = "L" レベル) の場合、リセットにより出力ラッチは "0" にリセットされます。

図3.5 (19) ポート6 (P60~P63)

Not Recommended for New Design

ポート6レジスタ

P6 (0012H)

	7	6	5	4	3	2	1	0
bit Symbol					P63	P62	P61	P60
Read/Write					R/W			
リセット後					出力モード (“1” にセット)			
機　能					$\overline{CS3}$と兼用	$\overline{CS2}$と兼用	$\overline{CS1}$と兼用	$\overline{CS0}$と兼用

<P62>の初期値

TMP95CS64 ($\overline{EA}$ = “H” レベル)	1
TMP95C265 ($\overline{EA}$ = “L” レベル)	0

注) <P62>のみ$\overline{EA}$端子の設定状態により
リセット後の初期値が異なります。

ポート6ファンクションレジスタ

P6FC (0015H)

リード
モディファイ
ライトは
できません。

	7	6	5	4	3	2	1	0
bit Symbol					P63F	P62F	P61F	P60F
Read/Write					W			
リセット後					0	0	0	0
機　能					0 : ポート 1 : $\overline{CS3}$	0 : ポート 1 : $\overline{CS2}$	0 : ポート 1 : $\overline{CS1}$	0 : ポート 1 : $\overline{CS0}$

注)　各$\overline{CS}$空間の動作設定は、チップセレクト/ウェイトコントロールレジスタ (B0CS、B1CS、B2CS、B3CS) で行います。

図3.5 (20)　ポート6関係のレジスタ

Not Recommended for New Design

3.5.8 ポート7 (P70~P75)

ポート7は、ビット単位で入出力の設定ができる6ビットの汎用入出力ポートです。

入出力ポート機能以外に、8ビットタイマのイベントカウント入力端子機能、8ビットタイマ出力端子機能、および、INT1~4入力外部割り込み機能を持っています。

ポート7の機能設定は、ポート7コントロールレジスタP7CRとポート7ファンクションレジスタP7FCによって行います。

リセット動作により、出力ラッチレジスタの全ビットと、P7CRの全ビットは“0”にクリアされ、入力モードになります。

タイマ出力機能は、P7CRとP7FCの該当ビットへ共に“1”を書き込むことによりイネーブルとなります。

(1) ポート70, 73 (TI0 / INT1, TI4 / INT3)

ポート70は、汎用入出力ポート以外に、タイマ0のイベントカウント入力TI0と、外部割り込み要求入力INT1の機能を持っています。また、ポート73は、汎用入出力ポート以外に、タイマ4のイベントカウント入力TI4と、外部割り込み要求入力INT3の機能を持っています。

<u>INT1、INT3割り込みを使用する場合の注意</u>

外部割り込み要求INT1、INT3は、常に入力イネーブルになっています。

INT1、INT3割り込み機能を使用中に、汎用入出力ポート、または、タイマイベントカウント入力を使用する場合、これらの入出力信号の立ち上がりエッジにより割り込み要求が発生するため、注意が必要です。

<u>タイマイベントカウント入力TI0、TI4を使用する場合の注意</u>

タイマイベントカウント入力TI0、TI4は、常に入力イネーブルになっています。

TI0、TI4によるイベントカウント動作を実行中に、汎用入出力ポートまたは、INT1、INT3割り込みを使用する場合、これらの入出力信号によりタイマイベントカウントが行われるため、注意が必要です。

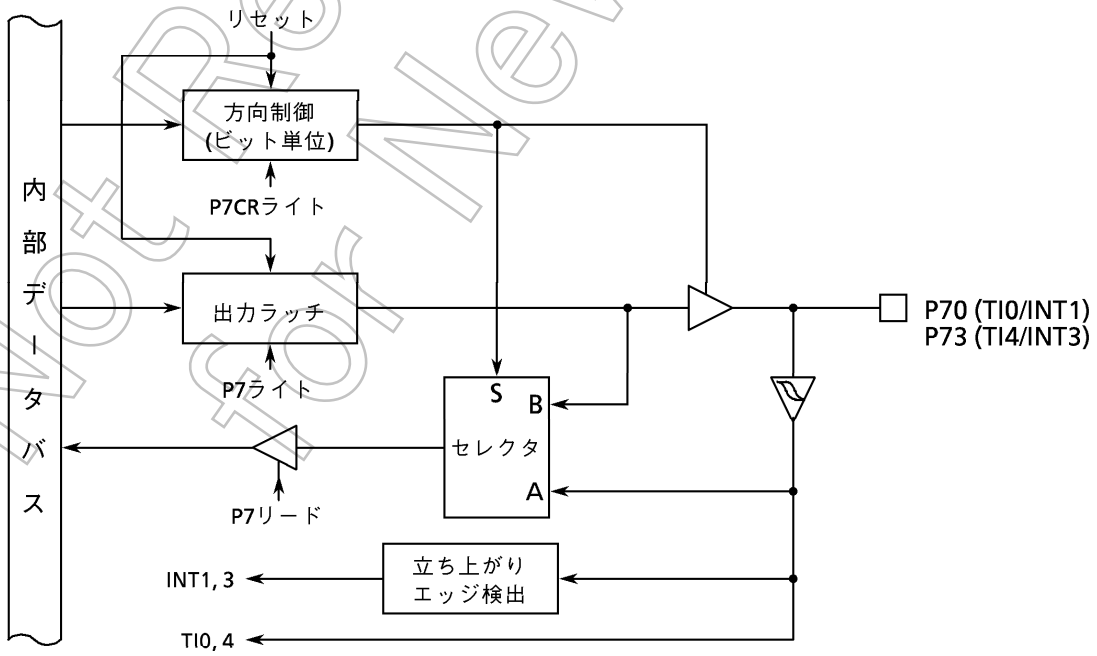


図3.5 (21) ポート7 (P70, P73)

Not Recommended for New Design

(2) ポート71, 74 (TO1, TO5)

ポート71は、汎用入出力ポート以外に、タイマ0、1の出力TO1の機能を持っています。また、ポート74は、汎用入出力ポート以外にタイマ4、5の出力TO5の機能を持っています。

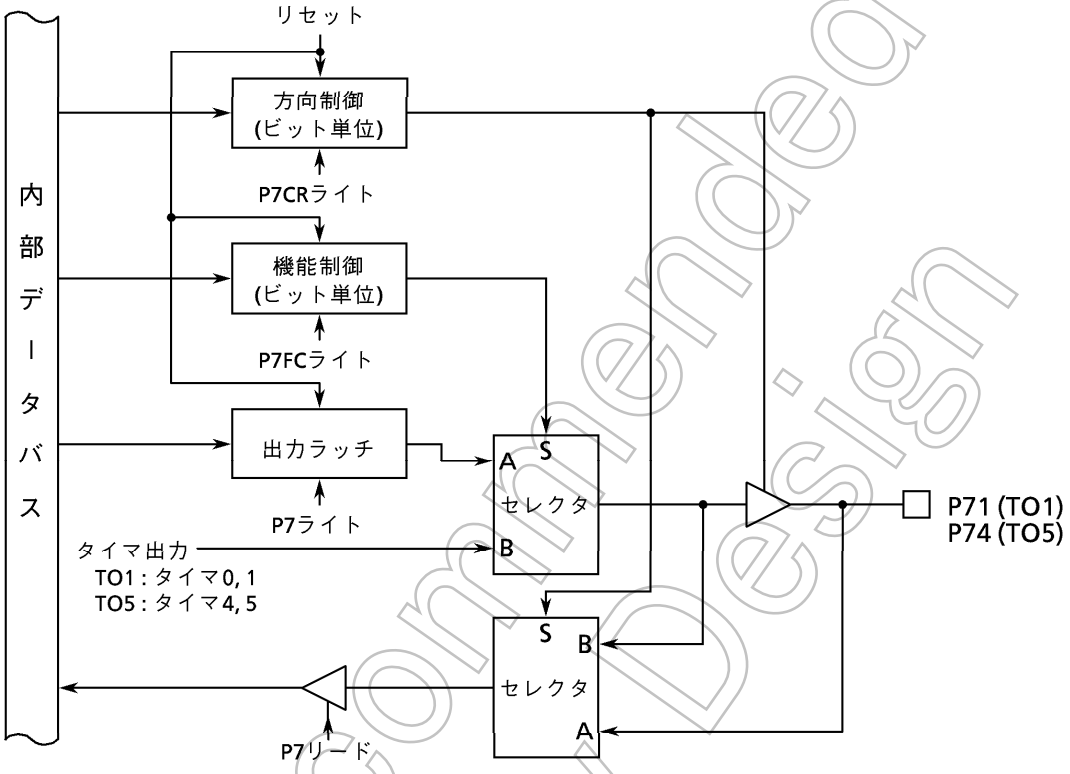


図3.5 (22) ポート7 (P71, P74)

Not Recommended for New Design

(3) ポート72, 75 (TO3 / INT2, TO7 / INT4)

ポート72は、汎用入出力ポート以外に、タイマ2、3の出力TO3と、外部割り込み要求入力INT2の機能を持っています。また、ポート75は、汎用入出力ポート以外に、タイマ6、7の出力TO7と、外部割り込み要求入力INT4の機能を持っています。

INT2、INT4割り込みを使用する場合の注意

外部割り込み要求INT2、INT4は、常に入力イネーブルになっています。

INT2、INT4割り込み機能を使用中に、汎用入出力ポート、または、タイマ出力として使用する場合、これらの入出力信号の立ち上がりエッジにより割り込み要求が発生するため、注意が必要です。

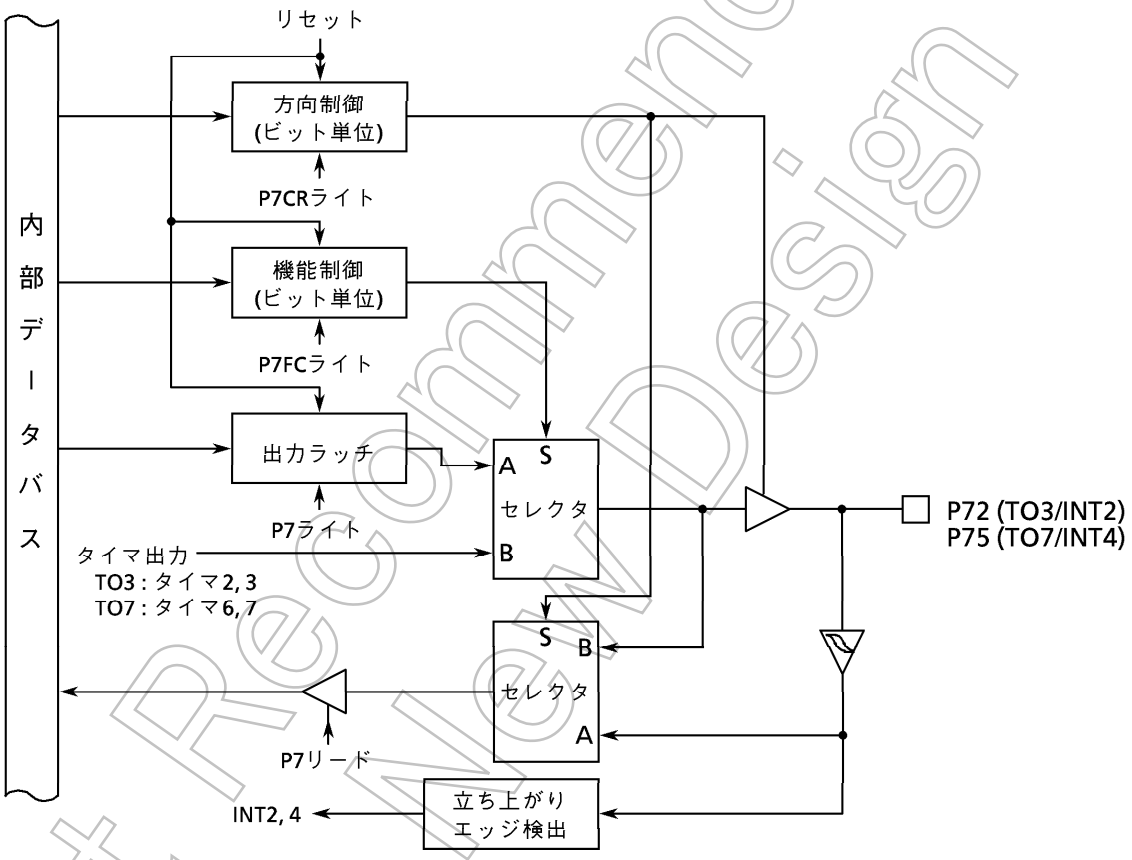


図3.5 (23) ポート7 (P72, P75)

Not Recommended for New Design

ポート7レジスタ

P7 (0013H)

	7	6	5	4	3	2	1	0
bit Symbol			P75	P74	P73	P72	P71	P70
Read/Write			R/W					
リセット後			入力モード (出力ラッチレジスタは “0” にクリア)					
機　能			TO7/INT4と兼用 (注)	TO5と兼用	TI4/INT3と兼用 (注)	TO3/INT2と兼用 (注)	TO1と兼用	TI0/INT1と兼用 (注)

ポート7コントロールレジスタ

P7CR (0016H)

リードモディファイライトはできません。

	7	6	5	4	3	2	1	0
bit Symbol			P75C	P74C	P73C	P72C	P71C	P70C
Read/Write			W					
リセット後			0	0	0	0	0	0
機　能			ポート7の入力 / 出力設定 0 : 入力　1 : 出力					

ポート7ファンクションレジスタ

P7FC (0017H)

リードモディファイライトはできません。

	7	6	5	4	3	2	1	0
bit Symbol			P75F	P74F		P72F	P71F	
Read/Write			W			W		
リセット後			0	0		0	0	
機　能			0 : ポート 1 : TO7	0 : ポート 1 : TO5		0 : ポート 1 : TO3	0 : ポート 1 : TO1	

ポート71の機能設定

<P71F> <P71C>	0	1
0	入力ポート	
1	出力ポート	TO1出力

ポート72の機能設定

<P72F> <P72C>	0	1
0	入力ポート/INT2入力	
1	出力ポート	TO3出力

ポート74の機能設定

<P74F> <P74C>	0	1
0	入力ポート	
1	出力ポート	TO5出力

ポート75の機能設定

<P75F> <P75C>	0	1
0	入力ポート/INT4入力	
1	出力ポート	TO7出力

注)　外部割り込み入力機能、および、イベントカウント入力機能と、ポート入出力機能の切り替えレジスタはありません。従って、ポートとして使用する場合でも、割り込み信号入力、および、イベントカウント入力は、イネーブルになっています。
　ポート専用として使用する場合は、割り込み禁止、および、イベントカウント入力を禁止するように設定を行ってください。

図3.5 (24)　ポート7関係のレジスタ

Not Recommended for New Design

3.5.9 ポート8 (P80~P87)

ポート8は、ビット単位で入出力の設定ができる8ビットの汎用入出力ポートです。

入出力ポート機能以外に、シリアルチャネルのTxD出力端子機能、RxD入力端子機能、SCLK入出力端子機能があります。

ポート8の機能設定は、ポート8コントロールレジスタP8CRとポート8ファンクションレジスタP8FCによって行います。

リセット動作により、出力ラッチレジスタの全ビットは“1”にセット、P8CRとP8FCの全ビットは“0”にクリアされ、プルアップ抵抗付きの入力モードになります。

また、ポート80、83、86は、プログラマブルオープンドレイン機能を持っています。

(1) ポート80, 83, 86 (TxD0, 1, 2)

ポート80、83、86は、入出力ポート以外に、シリアルチャネルのTxD0~2出力端子としての機能を持ちます。

このポートは、プログラマブルオープンドレイン機能を持っています。オープンドレインに設定すると、プルアップは禁止されます。

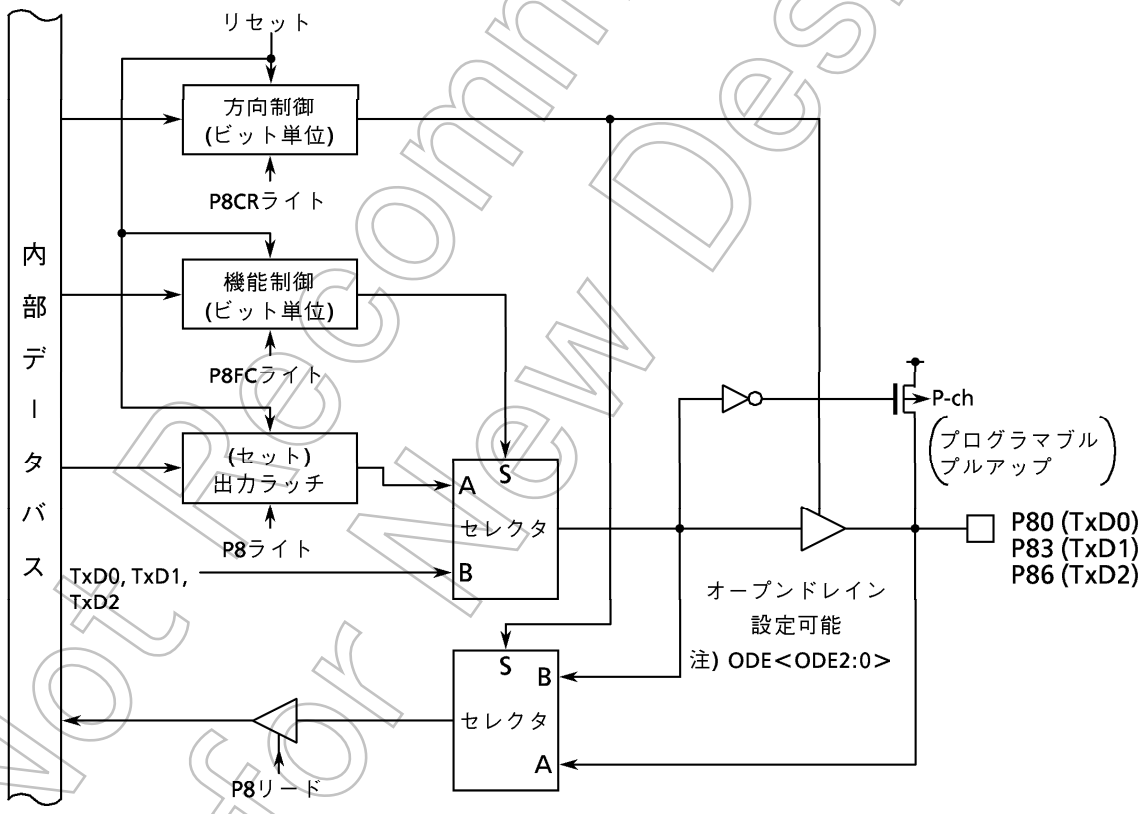


図3.5 (25) ポート8 (P80, P83, P86)

Not Recommended for New Design

(2) ポート81, 84, 87 (RxD0, 1, 2)

ポート81, 84, 87は、入出力ポート以外に、シリアルチャネルのRxD0~2入力端子としての機能を持っています。

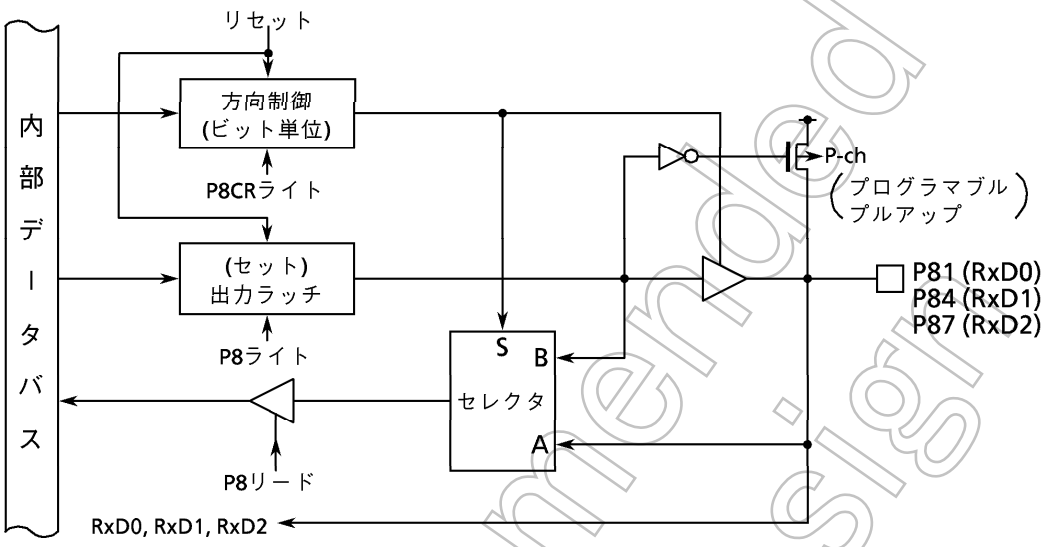


図3.5 (26) ポート8 (P81, P84, P87)

(3) ポート82 (SCLK0/$\overline{\text{CTS0}}$)

ポート82は、入出力ポート以外に、シリアルチャネル0のSCLK0入出力端子、または、$\overline{\text{CTS0}}$入力端子としての機能を持っています。

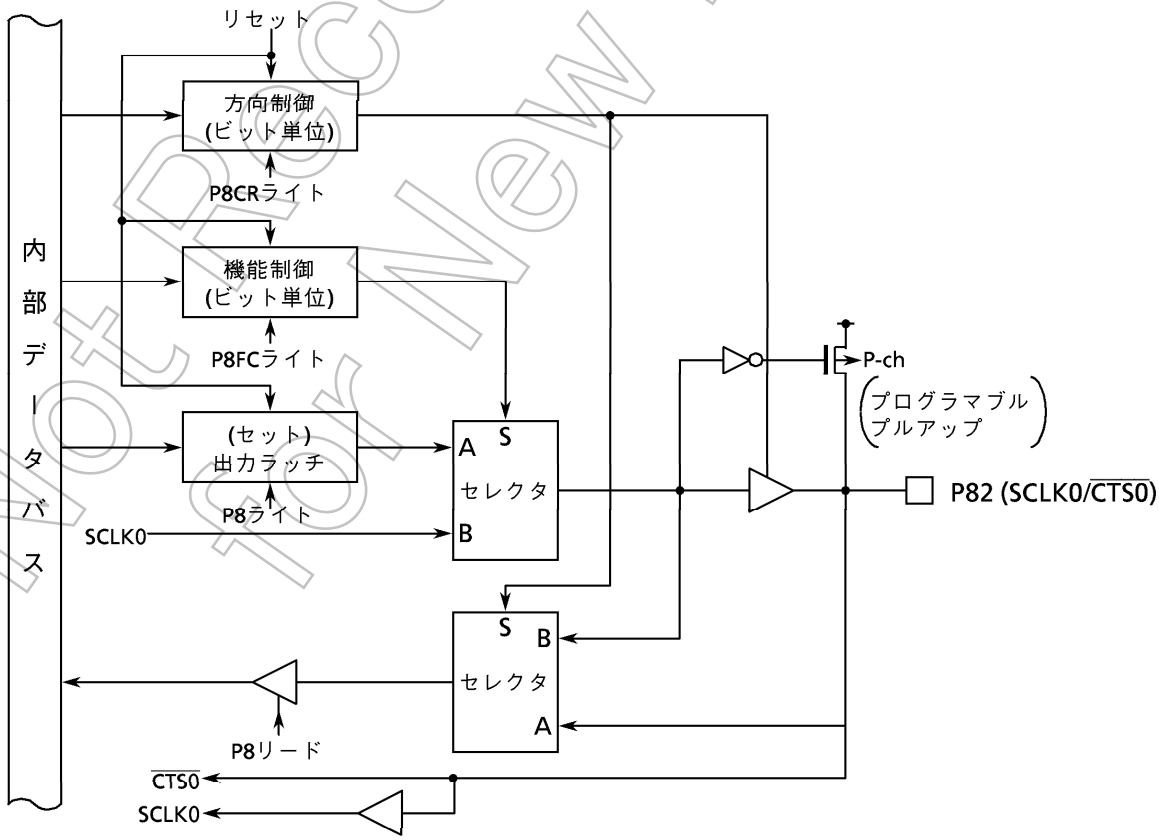


図3.5 (27) ポート8 (P82)

Not Recommended for New Design

(4) ポート85 (SCLK1/$\overline{\text{CTS1}}$)

ポート85は、入出力ポート以外にシリアルチャネル1のSCLK1入出力端子、または、$\overline{\text{CTS1}}$入力端子としての機能を持っています。

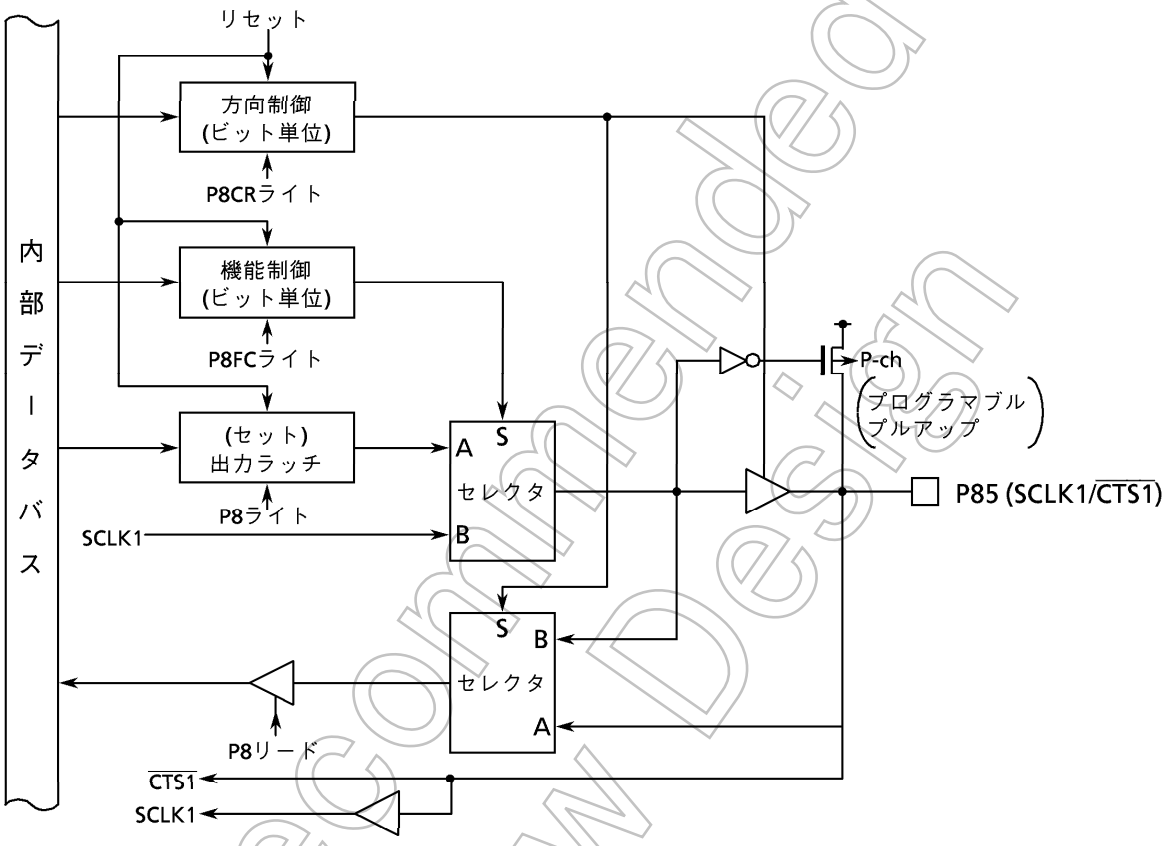


図3.5 (28) ポート8 (P85)

Not Recommended for New Design

ポート8レジスタ

P8 (0018H)

	7	6	5	4	3	2	1	0
bit Symbol	P87	P86	P85	P84	P83	P82	P81	P80
Read/Write	R/W							
リセット後	入力 (“1”にセット / プルアップ)							
機　能	RxD2と兼用	TxD2と兼用	SCLK1/$\overline{\text{CTS1}}$と兼用	RxD1と兼用	TxD1と兼用	SCLK0/$\overline{\text{CTS0}}$と兼用	RxD0と兼用	TxD0と兼用

注)　ポート8を入力モードで使用する場合、内蔵プルアップ抵抗はP8レジスタにて制御します。入力モードあるいは入出力モードを混在させて使用する場合 (1ビットでも入力端子が存在するとき) にはリードモディファイライトは行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

オープンドレインイネーブルレジスタ

ODE (0058H)

	7	6	5	4	3	2	1	0
bit Symbol						ODE2	ODE1	ODE0
Read/Write						R/W		
リセット後						0	0	0
機　能						P86 出力設定 0: CMOS 1: オープンドレイン	P83 出力設定 0: CMOS 1: オープンドレイン	P80 出力設定 0: CMOS 1: オープンドレイン

ポート80の 出力設定

0	CMOS 出力
1	オープンドレイン出力

ポート83の 出力設定

0	CMOS 出力
1	オープンドレイン出力

ポート86の 出力設定

0	CMOS 出力
1	オープンドレイン出力

Not Recommended for New Design

図3.5 (29) -1　ポート8関係のレジスタ

ポート8コントロールレジスタ

P8CR (001AH)
リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機　能	ポート8の入力/出力設定 0：入力　1：出力							

ポート8ファンクションレジスタ

P8FC (001BH)
リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol		P86F	P85F		P83F	P82F		P80F
Read/Write		W			W			W
リセット後		0	0		0	0		0
機　能		0：ポート 1：TxD2	0：ポート 1：SCLK1 /CTS1		0：ポート 1：TxD1	0：ポート 1：SCLK0 /CTS0		0：ポート 1：TxD0

ポート85の機能設定

<P85F> <P85C>	0	1
0	入力ポート SCLK1/CTS1 (<P85>=0のとき プルアップ無 <P85>=1のとき プルアップ有)	設定しないでください。
1	出力ポート	SCLK1出力

ポート86の機能設定

<P86F> <P86C>	0	1
0	入力ポート (<P86>=0のとき プルアップ無 <P86>=1のとき プルアップ有)	設定しないでください。
1	出力ポート	TxD2出力

ポート80の機能設定

<P80F> <P80C>	0	1
0	入力ポート (<P80>=0のとき プルアップ無 <P80>=1のとき プルアップ有)	設定しないでください。
1	出力ポート	TxD0出力

ポート82の機能設定

<P82F> <P82C>	0	1
0	入力ポート SCLK0/CTS0 (<P82>=0のとき プルアップ無 <P82>=1のとき プルアップ有)	設定しないでください。
1	出力ポート	SCLK0出力

ポート83の機能設定

<P83F> <P83C>	0	1
0	入力ポート (<P83>=0のとき プルアップ無 <P83>=1のとき プルアップ有)	設定しないでください。
1	出力ポート	TxD1出力

注) TxD0～2端子をオープンドレイン出力に設定するには、オープンドレインイネーブルレジスタODE<ODE0:2>を"1"にしてください。P81/RxD0、P84/RxD1、P87/RxD2は、ポート/ファンクションの切り替えレジスタはありません。従って、入力ポートとして使用する場合でも、シリアル受信データとしてSIOへ入力されます。

図3.5 (29) -2 ポート8関係のレジスタ

Not Recommended for New Design

3.5.10 ポート9 (P90～P96)

ポート9は、ビット単位で入出力の設定ができる7ビットの汎用入出力ポートです。

入出力ポート機能以外に、16ビットタイマの入力クロック端子機能、16ビットタイマ出力端子機能、INT5～8入力機能を持っています。

ポート9の機能設定は、ポート9コントロールレジスタP9CRとポート9ファンクションレジスタP9FCによって行います。

リセット動作により、出力ラッチのP9の全ビットと、P9CRとP9FCの全ビットは“0”にクリアされ、入力ポートになります。

タイマ出力機能は、P9FCの該当ビットへ“1”を書き込むことによりイネーブルとなります。

(1) ポート90, 91, 94, 95 (TI8 / INT5、TI9 / INT6、TIA / INT7、TIB / INT8)

ポート90、91は、汎用入出力ポート以外に、タイマ8のイベントカウント入力TI8、TI9と、外部割り込み要求入力INT5、INT6の機能を持っています。また、ポート94、95は汎用入出力ポート以外に、タイマ9のイベントカウント入力TIA、TIBと、外部割り込み要求入力INT7、INT8の機能を持っています。

<u>INT5～INT8割り込みを使用する場合の注意</u>

外部割り込み要求INT5～INT8割り込みは、常に入力イネーブルになっています。

INT5～INT8割り込み機能を使用中に、汎用入出力ポート、または、タイマイベントカウント入力を使用する場合、これらの入出力信号の立ち上がりエッジ、または、立ち下がりエッジにより割り込み要求が発生するため、注意が必要です。

<u>タイマイベントカウント入力TI8～TIBを使用する場合の注意</u>

タイマイベントカウント入力TI8～TIBは、常に入力イネーブルになっています。

TI8～TIBによるイベントカウント動作を実行中に、汎用入出力ポート、または、INT5～INT8割り込みを使用する場合、これらの入出力信号によりタイマイベントカウントが行われるため、注意が必要です。

Not Recommended for New Design

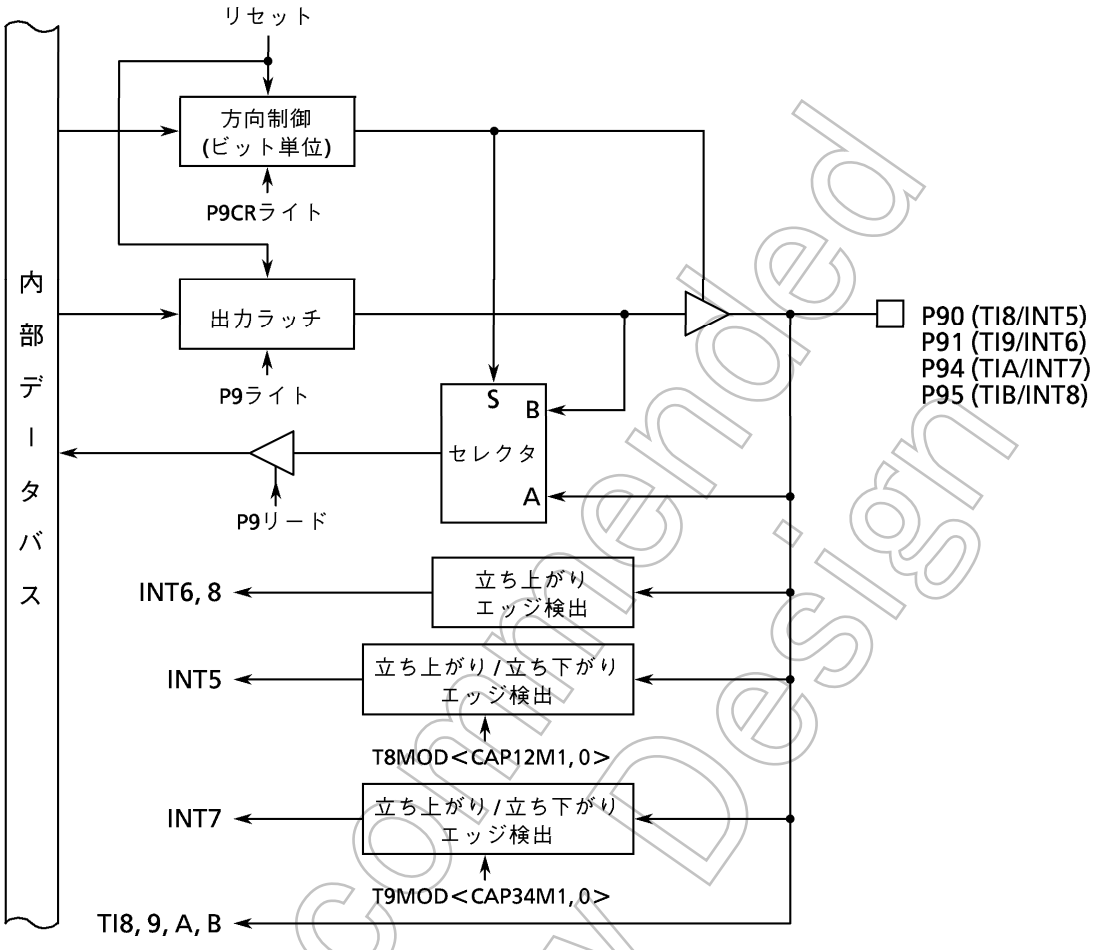


図3.5 (30)　ポート9 (P90, P91, P94, P95)

Not Recommended for New Design

(2) ポート92, 93 (TO8, TO9)

ポート92は、汎用入出力ポート以外に、タイマ8の出力TO8の機能を持っています。また、ポート93は、汎用入出力ポート以外に、タイマ8の出力TO9の機能を持っています。

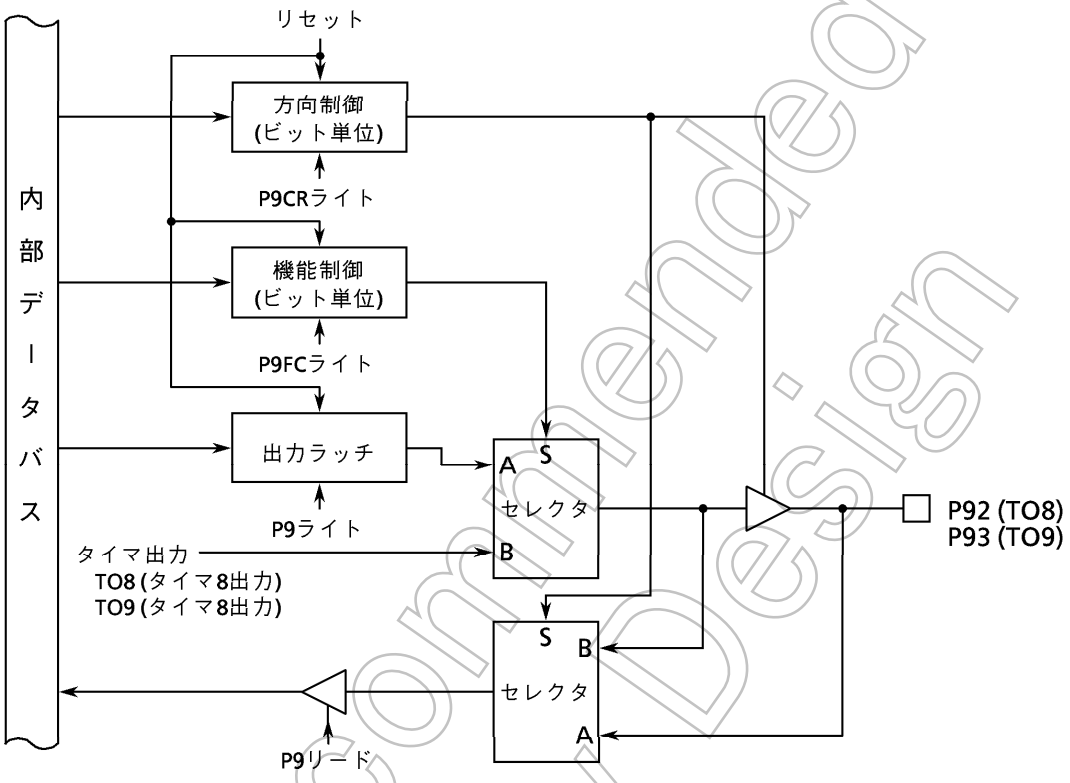


図3.5 (31) ポート9 (P92, P93)

Not Recommended for New Design

(3) ポート96 (TOA / TOB)

ポート96は、汎用入出力ポート以外に、タイマ9の出力TOA、および、TOBの機能を持っています。

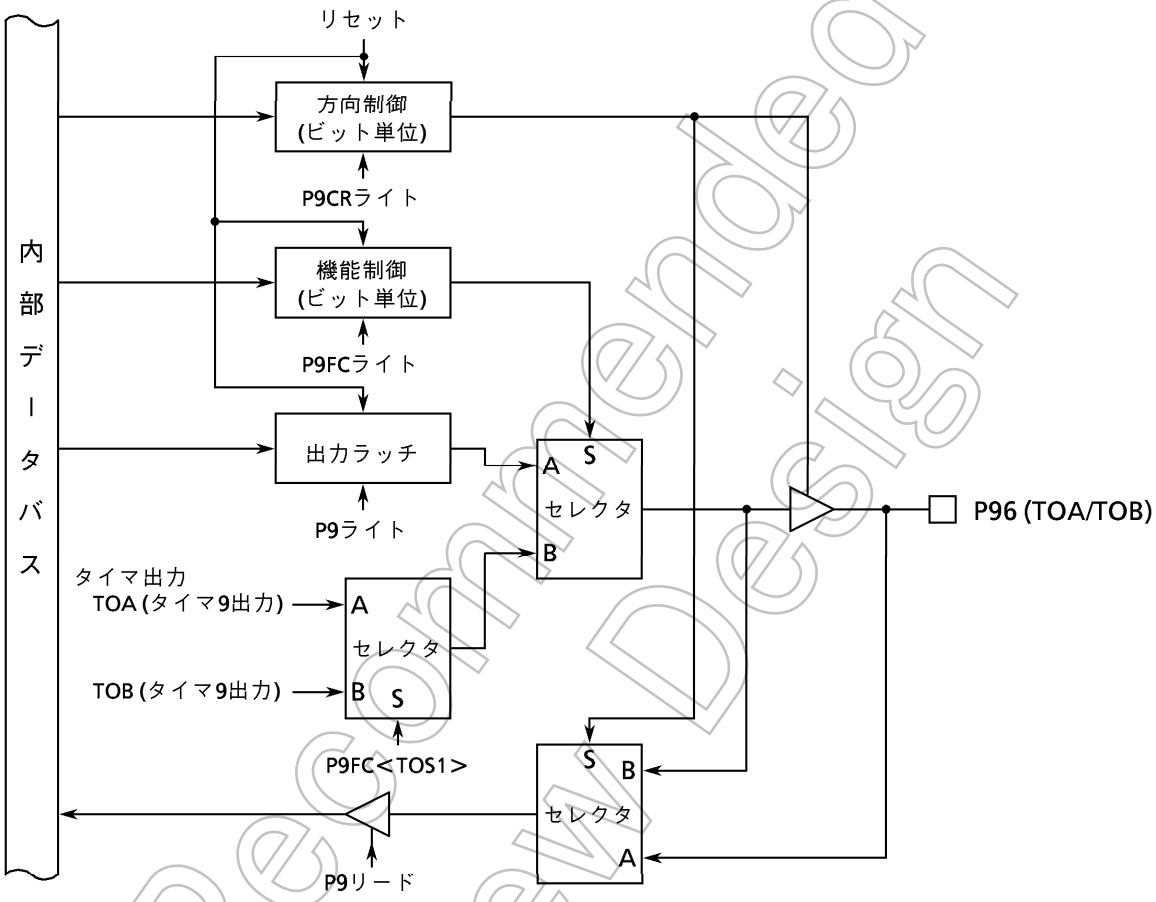


図3.5 (32) ポート9 (P96)

Not Recommended for New Design

ポート9レジスタ

P9 (0019H)

	7	6	5	4	3	2	1	0
bit Symbol		P96	P95	P94	P93	P92	P91	P90
Read/Write		R/W						
リセット後		入力モード (出力ラッチレジスタは "0" にクリア)						
機　能		TOA/TOB と兼用	TIB/INT8と兼用 (注)	TIA/INT7と兼用 (注)	TO9と兼用	TO8と兼用	TI9/INT6と兼用 (注)	TI8/INT5と兼用 (注)

ポート9コントロールレジスタ

P9CR (001CH)
リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol		P96C	P95C	P94C	P93C	P92C	P91C	P90C
Read/Write		W						
リセット後		0	0	0	0	0	0	0
機　能		ポート9の入力 / 出力設定 0 : 入力　　1 : 出力						

ポート9ファンクションレジスタ

P9FC (001DH)
リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	TOS1	P96F			P93F	P92F		
Read/Write	W				W			
リセット後	0	0			0	0		
機　能	TOA/TOB 出力選択 0 : TOA 1 : TOB	0 : ポート 1 : TOA /TOB			0 : ポート 1 : TO9	0 : ポート 1 : TO8		

ポート96の機能設定

<P96F> / <P96C>	0	1
0	入力ポート	
1	出力ポート	TOA/TOB 出力

ポート92の機能設定

<P92F> / <P92C>	0	1
0	入力ポート	
1	出力ポート	TO8出力

タイマアウトA/B出力選択

0	タイマアウトA出力
1	タイマアウトB出力

ポート93の機能設定

<P93F> / <P93C>	0	1
0	入力ポート	
1	出力ポート	TO9出力

注)　外部割り込み入力機能、および、イベントカウント入力機能と、ポート入出力機能の切り替えレジスタはありません。従って、ポートとして使用する場合でも、割り込み信号入力、および、イベントカウント入力は、イネーブルになっています。
　ポート専用として使用する場合は、外部割り込み (INT5~8) とイベントカウント入力 (TI8~B) を禁止するように設定してください。

図3.5 (33)　ポート9関係のレジスタ

Not Recommended for New Design

3.5.11 ポートA (PA0~PA7)

ポートAは、8ビットの入力専用ポートで、アナログ入力端子 (AN0~AN7) です。また、PA3は、アナログ変換外部トリガ入力端子 ($\overline{ADTRG}$) と兼用になっています。

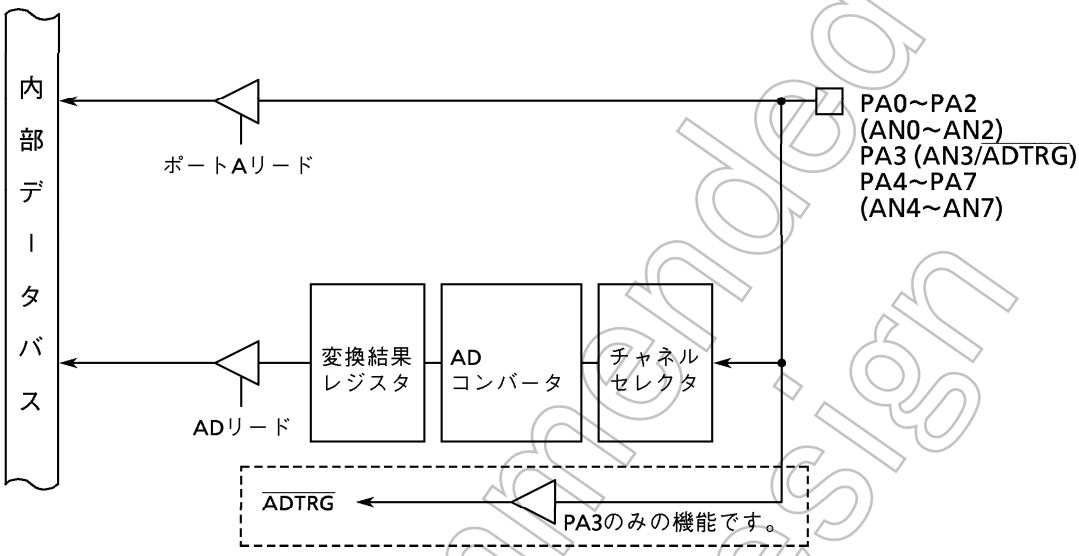


図3.5 (34) ポートA (PA0~PA7)

ポートAレジスタ

PA (001EH)

	7	6	5	4	3	2	1	0
bit Symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
Read/Write	R							
リセット後	入力専用							
機　能	AN7と兼用	AN6と兼用	AN5と兼用	AN4と兼用	AN3 /ADTRG と兼用	AN2と兼用	AN1と兼用	AN0と兼用

注) ADコンバータの入力チャネル選択は、ADモードレジスタ1 ADMOD1にて設定します。

図3.5 (35) ポートA関係のレジスタ

Not Recommended for New Design

3.6 チップセレクト / ウェイトコントローラ

TMP95CS64/265は、任意の4ブロックのアドレス空間 (CS0~CS3空間) を設定し、各アドレス空間 (CS0~CS3空間と、それ以外のアドレス空間) に対して、データバス幅、および、ウェイト数を指定することができます。

$\overline{CS0}$~$\overline{CS3}$ (P60~P63と兼用) は、CS0~CS3空間に対応した出力端子です。この端子は、CPU動作によりCS0~CS3空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号 (ROM/SRAM用、PSRAM用) を出力します。ただし、チップセレクト信号を出力するためには、ポート6ファンクションレジスタP6FCによる設定が必要です。TMP95CS64/265は、ROM、および、SRAMはもちろんのこと、外部メモリにPSRAMも接続することができます。

CS0~CS3空間の指定は、メモリスタートアドレスレジスタMSAR0~MSAR3と、メモリアドレスマスクレジスタMAMR0~MAMR3の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数は、チップセレクト / ウェイトコントロールレジスタB0CS~B3CS、BEXCSで指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子 ($\overline{WAIT}$)、外部データバスの選択端子 (AM8 / $\overline{16}$) 、および、外部メモリアクセス端子 ($\overline{EA}$) があります (「3.1.2 外部データバス幅選択機能」を参照してください)。

3.6.1 アドレス空間指定

CS0~CS3空間の指定は、スタートアドレスレジスタMSAR0~MSAR3と、メモリアドレスマスクレジスタMAMR0~MAMR3により行います。

バスサイクルごとに、バス上のアドレスをCS0~CS3空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定されたCS空間がアクセスされたと判断して$\overline{CS0}$~$\overline{CS3}$端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタB0CS~B3CSで設定した動作を実行します (「3.6.2 チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

Not Recommended for New Design

(1) メモリスタートアドレスレジスタ

図3.6 (1) に、メモリスタートアドレスレジスタを示します。メモリスタートアドレスレジスタMSAR0~MSAR3は、CS0~CS3空間のスタートアドレスを設定するレジスタです。<S23:16>には、スタートアドレスの上位8ビット (A23~A16) を設定します。また、スタートアドレスの下位16ビット (A15~A0) には、常に"0"が設定されています。従って、スタートアドレスは、000000Hから64Kバイトごとの値になります。図3.6 (2) に、スタートアドレスとスタートアドレスレジスタ値の関係を示します。

メモリスタートアドレスレジスタ (CS0~CS3空間)

		7	6	5	4	3	2	1	0
MSAR0 (0094H) / MSAR1 (0096H)	bit Symbol	S23	S22	S21	S20	S19	S18	S17	S16
	Read/Write	R/W							
MSAR2 (0098H) / MSAR3 (009AH)	リセット後	1	1	1	1	1	1	1	1
	機　能	スタートアドレス A23~A16設定							

CS0~CS3空間のスタートアドレス設定

図3.6 (1) メモリスタートアドレスレジスタ

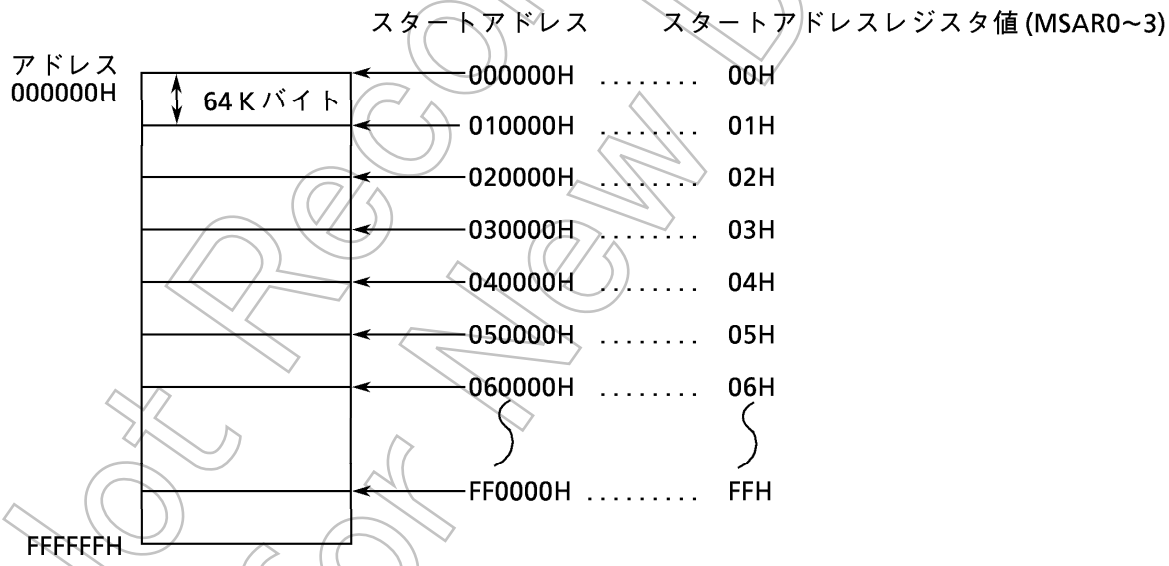


図3.6 (2) スタートアドレスとスタートアドレスレジスタ値の関係

Not Recommended for New Design

(2) メモリアドレスマスクレジスタ

図3.6 (3) に、メモリアドレスマスクレジスタを示します。メモリアドレスマスクレジスタMAMR0~MAMR3は、メモリスタートアドレスレジスタMSAR0~MSAR3で設定したスタートアドレスの各ビットに対しマスク指定を行うことで、CS0~CS3空間サイズを設定しています。"0"をライトしたビットに対応するバス上のアドレスが、CS0~CS3空間の領域かどうかの比較対照となります。

また、CS0~CS3空間は、それぞれMAMR0~MAMR3によってマスクできるアドレスビットが異なります。従って、設定できる空間サイズも異なります。

メモリアドレスマスクレジスタ (CS0空間)

		7	6	5	4	3	2	1	0
MAMR0 (0095H)	bit Symbol	V20	V19	V18	V17	V16	V15	V14~9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機　能	CS0空間サイズ設定　0 : アドレス比較対照							

CS0空間は、最小256バイトエリアから、最大2Mバイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS1空間)

		7	6	5	4	3	2	1	0
MAMR1 (0097H)	bit Symbol	V21	V20	V19	V18	V17	V16	V15~9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機　能	CS1空間サイズ設定　0 : アドレス比較対照							

CS1空間は、最小256バイトエリアから、最大4Mバイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS2, CS3空間)

		7	6	5	4	3	2	1	0
MAMR2 (0099H) / MAMR3 (009BH)	bit Symbol	V22	V21	V20	V19	V18	V17	V16	V15
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機　能	CS2、CS3空間サイズ設定　0 : アドレス比較対照							

CS2、および、CS3空間は、最小32Kバイトから、最大8Mバイトエリアを設定できます。

図3.6 (3) メモリアドレスマスクレジスタ

Not Recommended for New Design

(3) メモリスタートアドレス、アドレス空間の設定方法

図3.6 (4) に、CS0空間を用いて、010000Hから始まる64Kバイトの空間を指定する場合を例として説明します。

メモリスタートアドレスレジスタ MSAR0<S23:16>に、スタートアドレスの上位8ビットに相当する“01H”を設定します。次に、CS0の空間サイズをもとに想定した終了アドレス(01FFFFH) と、スタートアドレスとの差を計算により求めます。この結果のビット20~8は、CS0空間を指定する際のマスク値に相当します。この値をメモリアドレスマスクレジスタMAMR0<V20:8>に設定することで、空間サイズを設定できます。

この例では、MAMR0に “07H” を設定し、64Kバイト空間を指定しています。

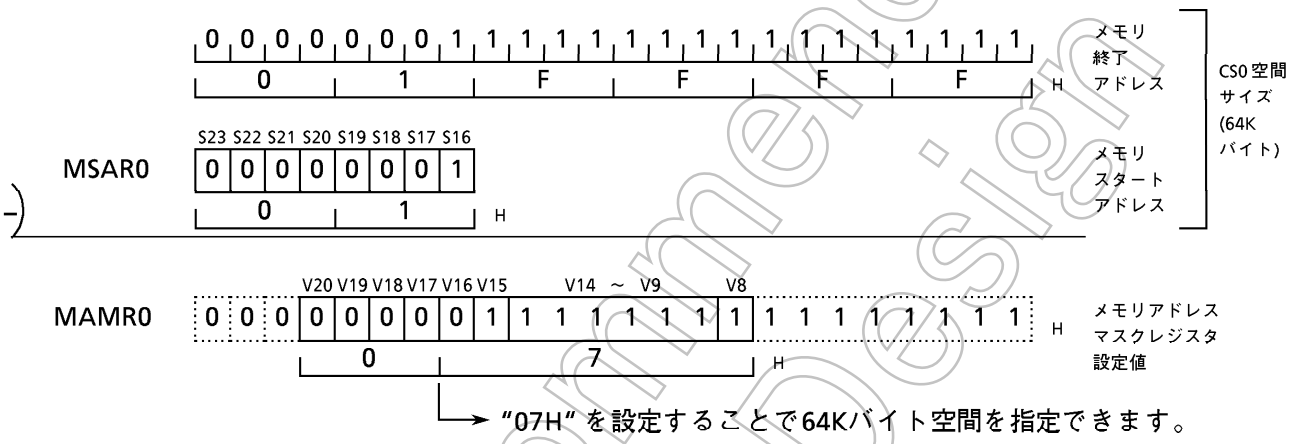


図3.6 (4) CS0空間の設定例

なお、リセット後、MSAR0~MSAR3、および、MAMR0~MAMR3は、“FFH” にセットされます。一方、B0CS<B0E>、B1CS<B1E>、B3CS<B3E>は “0” にリセットされるため、CS0、CS1、CS3空間は、ディセーブルになります。ただし、B2CS<B2M>は “0” にリセットされ、B2CS<B2E>は “1” にセットされるため、CS2空間は、TMP95CS64では 0008A0H~FEFFFFH、TMP95C265では 0008A0H~ FFFFFFHの空間でイネーブルになります。また、指定されたCS0~CS3空間以外のアドレスでは、BEXCSで指定されたバス幅、および、ウェイトにより動作します (「3.6.2 チップセレクト/ウェイトコントロールレジスタ」を参照してください)。

Not Recommended for New Design

(4) アドレス空間サイズ指定

表3.6 (1) に、CS空間と空間サイズの関係を示します。△は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを意味します。△で示す組み合わせを用いて空間サイズを設定する場合、000000Hから希望のサイズステップで、スタートアドレスを設定してください。

なお、CS2空間を16Mバイト空間に設定、または、2つ以上のアドレス空間を重ねて設定した場合には、CS空間番号の小さい方が優先的に選択されます。

(例) CS0空間を128Kバイトエリアに設定する場合

① 設定できるスタートアドレス

000000H
020000H
040000H
060000H
⋮

128Kバイト
128Kバイト
128Kバイト

この場合、いずれのスタートアドレスも設定可能です。

② 設定できないスタートアドレス

000000H
010000H
030000H
050000H
⋮

64Kバイト
128Kバイト
128Kバイト

← 設定サイズ以外のサイズステップであり、このケースでは、以降のスタートアドレスは、希望の空間サイズを設定できません。

表3.6 (1) CS空間と空間サイズ

CS空間 ＼ サイズ [バイト]	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	△	△	△	△	△		
CS1	○	○		○	△	△	△	△	△	△	
CS2			○	○	△	△	△	△	△	△	△
CS3			○	○	△	△	△	△	△	△	△

Not Recommended for New Design

3.6.2 チップセレクト / ウェイトコントロールレジスタ

図3.6 (5) に、チップセレクト / ウェイトコントロールレジスタを示します。各アドレス空間 (CS0~CS3空間と、それ以外のアドレス空間) は、それぞれのチップセレクト / ウェイトコントロールレジスタB0CS~B3CS、BEXCSにより、マスタイネーブル / ディセーブル、チップセレクト出力波形選択、データバス幅選択、ウェイト数設定を行うことができます。

チップセレクト / ウェイトコントロールレジスタ

		7	6	5	4	3	2	1	0
B0CS (0090H)	bit Symbol	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機　能	0: ディセーブル 1: イネーブル		チップセレクト出力波形選択 00: ROM / SRAM用 01: PSRAM用 10: } Don't care 11: } Don't care		データバス幅選択 0: 16ビット 1: 8ビット	ウェイト数設定 000: 2 WAIT 001: 1 WAIT 010: 1 WAIT + N 011: 0 WAIT	100: 0 + N WAIT 101 110 111	} 設定しないでください
B1CS (0091H)	bit Symbol	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機　能	0: ディセーブル 1: イネーブル		チップセレクト出力波形選択 00: ROM / SRAM用 01: PSRAM用 10: } Don't care 11: } Don't care		データバス幅選択 0: 16ビット 1: 8ビット	ウェイト数設定 000: 2 WAIT 001: 1 WAIT 010: 1 WAIT + N 011: 0 WAIT	100: 0 + N WAIT 101 110 111	} 設定しないでください
B2CS (0092H)	bit Symbol	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
	Read/Write	W							
	リセット後	1	0	0	0	0	0	0	0
リードモディファイライトはできません。	機　能	0: ディセーブル 1: イネーブル	CS2空間選択 0: 16Mバイト空間 1: CS空間	チップセレクト出力波形選択 00: ROM / SRAM用 01: PSRAM用 10: } Don't care 11: } Don't care		データバス幅選択 0:16ビット 1: 8ビット	ウェイト数設定 000: 2 WAIT 001: 1 WAIT 010: 1 WAIT + N 011: 0 WAIT	100: 0 + N WAIT 101 110 111	} 設定しないでください
B3CS (0093H)	bit Symbol	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
	Read/Write	W		W					
	リセット後	0		0	0	0	0	0	0
リードモディファイライトはできません。	機　能	0: ディセーブル 1: イネーブル		チップセレクト出力波形選択 00: ROM / SRAM用 01: PSRAM用 10: } Don't care 11: } Don't care		データバス幅選択 0: 16ビット 1: 8ビット	ウェイト数設定 000: 2 WAIT 001: 1 WAIT 010: 1 WAIT + N 011: 0 WAIT	100: 0 + N WAIT 101 110 111	} 設定しないでください
BEXCS (009CH)	bit Symbol					BEXBUS	BEXW2	BEXW1	BEXW0
	Read/Write					W			
	リセット後					0	0	0	0
リードモディファイライトはできません。	機　能					データバス幅選択 0: 16ビット 1: 8ビット	ウェイト数設定 000: 2 WAIT 001: 1 WAIT 010: 1 WAIT + N 011: 0 WAIT	100: 0 + N WAIT 101 110 111	} 設定しないでください

マスタイネーブルビット

0	CS空間ディセーブル
1	CS空間イネーブル

CS2空間選択

0	16Mバイト空間
1	アドレス指定空間

チップセレクト出力波形選択

00	ROM/SRAM用
01	PSRAM用
10 11	Don't care

データバス幅選択

0	16ビットデータバス
1	8ビットデータバス

アドレス空間ウェイト数設定
(「3.6.2 (4) ウェイトコントロール」参照)

図3.6 (5) チップセレクト / ウェイトコントロールレジスタ

Not Recommended for New Design

(1) マスタイネーブルビット

チップセレクト/ウェイトコントロールレジスタのビット7(<B0E>、<B1E>、<B2E>、<B3E>)は、各アドレス空間に対する設定のイネーブル/ディセーブルを指定するマスタビットです。このビットに“1”を書き込むと、イネーブルになります。リセットにより、<B0E>、<B1E>、<B3E>はディセーブル“0”、<B2E>はイネーブル“1”になります(リセット動作により、CS2空間のみイネーブルになります)。

(2) チップセレクト出力波形選択

チップセレクト/ウェイトコントロールレジスタのビット5、4(<B0OM1, 0>、<B1OM1, 0>、<B2OM1, 0>、<B3OM1, 0>)は、アクセスする外部メモリに対応したチップセレクト出力波形を選択するビットです。このビットを“00”に設定すると、$\overline{CS0}$~$\overline{CS3}$端子よりROM、および、SRAM選択用のチップセレクト信号を出力します。このビットを“01”に設定すると、$\overline{CS0}$~$\overline{CS3}$端子より、PSRAM選択用のチップセレクト信号を出力します。

外部メモリアクセス時における、チップセレクト信号の動作波形を、図3.6.(6)に示します。

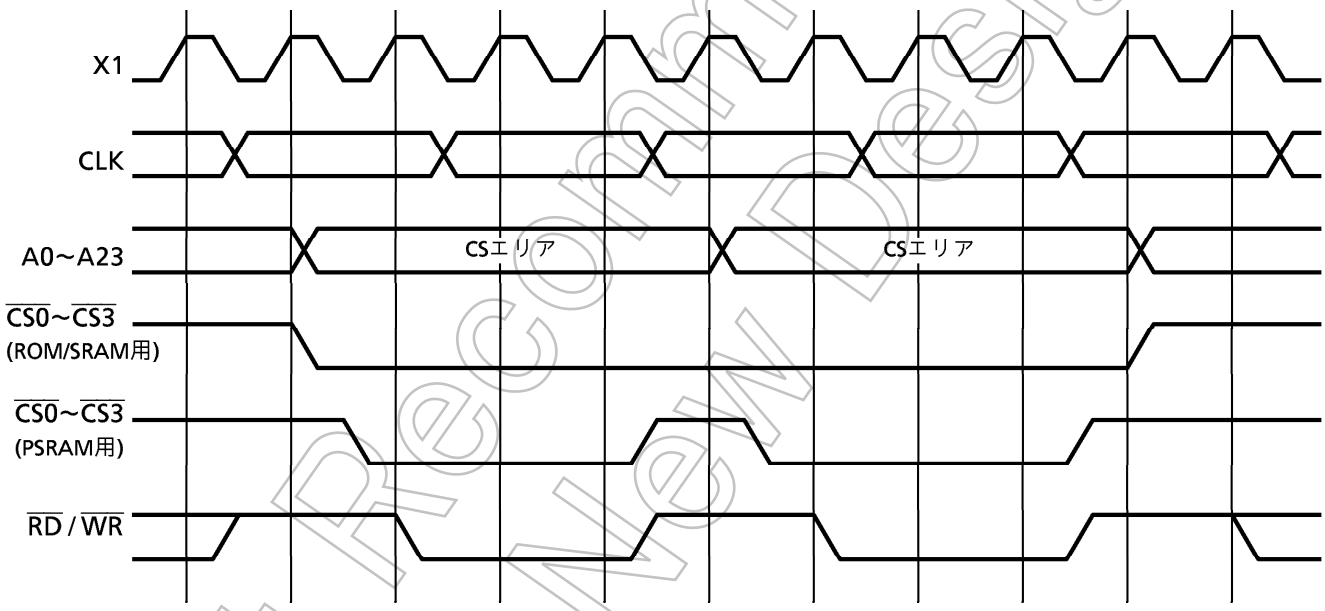


図3.6 (6) 外部メモリアクセス時のチップセレクト信号($\overline{CS0}$~$\overline{CS3}$)動作波形

Not Recommended for New Design

(3) データバス幅選択

チップセレクト/ウェイトコントロールレジスタのビット3(<B0BUS>、<B1BUS>、<B2BUS>、<B3BUS>、<BEXBUS>)は、データバス幅を指定するビットです。このビットを"0"にすると、16ビットのデータバス幅でメモリをアクセスします。"1"にすると、8ビットのデータバス幅でメモリをアクセスします。

- TMP95CS64の場合
  $\overline{EA}$、AM8/$\overline{16}$端子を"Vcc"に接続して使用してください。この場合、常にデータバス幅選択ビットの指定に従い、外部アクセスを行います。

- TMP95C265の場合
  $\overline{EA}$端子を"GND"に接続して使用してください。この場合、AM8/$\overline{16}$端子が"L"レベルのときのみ、データバス幅選択ビットの設定に従い、外部アクセスを行います。
  AM8/$\overline{16}$端子が"H"レベルの場合、外部のアドレス空間に対し、常に8ビットデータバスでアクセスを行います。

このように、アクセスするアドレスに応じてデータバス幅を変えることを"ダイナミックバスサイジング"と呼びます。このバス動作の詳細を、表3.6(2)に示します。

表3.6(2) ダイナミックバスサイジング

オペランドデータバス幅	オペランドスタート番地	メモリ側データバス幅	CPUアドレス	CPUデータ	
				D15 – D8	D7 – D0
8ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxx	b7 – b0
		16ビット	2n + 0	xxxxx	b7 – b0
	2n + 1 (奇数)	8ビット	2n + 1	xxxxx	b7 – b0
		16ビット	2n + 1	b7 – b0	xxxxx
16ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxx	b7 – b0
			2n + 1	xxxxx	b15 – b8
		16ビット	2n + 0	b15 – b8	b7 – b0
	2n + 1 (奇数)	8ビット	2n + 1	xxxxx	b7 – b0
			2n + 2	xxxxx	b15 – b8
		16ビット	2n + 1	b7 – b0	xxxxx
			2n + 2	xxxxx	b15 – b8
32ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxx	b7 – b0
			2n + 1	xxxxx	b15 – b8
			2n + 2	xxxxx	b23 – b16
			2n + 3	xxxxx	b31 – b24
		16ビット	2n + 0	b15 – b8	b7 – b0
			2n + 2	b31 – b24	b23 – b16
	2n + 1 (奇数)	8ビット	2n + 1	xxxxx	b7 – b0
			2n + 2	xxxxx	b15 – b8
			2n + 3	xxxxx	b23 – b16
			2n + 4	xxxxx	b31 – b24
		16ビット	2n + 1	b7 – b0	xxxxx
			2n + 2	b23 – b16	b15 – b8
			2n + 4	xxxxx	b31 – b24

xxxxx : リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストローブ信号は、ノンアクティブのままであることを示します。

Not Recommended for New Design

(4) ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタのビット2~0(<B0W2:0>、<B1W2:0>、<B2W2:0>、<B3W2:0>、<BEXW2:0>)は、ウェイト数を指定するビットです。これらのビットの組み合わせにより、次のようなウェイト動作を実行します。ただし、下記の組み合わせ以外は、設定しないでください。

表3.6 (3) ウェイト動作の設定

<BxW2:0>	ウェイト数	ウェイト動作
000	2WAIT	$\overline{\text{WAIT}}$端子の状態に関係なく、2ステート分のウェイトが挿入されます。
001	1WAIT	$\overline{\text{WAIT}}$端子の状態に関係なく、1ステート分のウェイトが挿入されます。
010	1WAIT+N	1ステート分のウェイトを挿入した後、$\overline{\text{WAIT}}$端子の状態をサンプリング　し、端子が"L"レベルならウェイトを挿入し続け、端子が"H"レベルになるまでそのバスサイクルを引き延ばします。
011	0WAIT	$\overline{\text{WAIT}}$端子の状態に関係なく、ウェイトなしで、そのバスサイクルを完了します。
100	0+NWAIT	常に$\overline{\text{WAIT}}$端子の状態をサンプリングし、端子が"L"レベルならウェイトを挿入し続け、端子が"H"レベルになるまでそのバスサイクルを引き延ばします。

0+NWAIT設定におけるN=0、1の場合のタイミング図を、図3.6 (7)、(8) に示します。

0+NWAIT以外の設定時のタイミングについては、「第3章 TLCS-900/H CPU 7. 基本タイミング 図7 (1)~(5)」を参照してください。

なお、リセットにより、これらのビットは"000" (2WAIT) になります。

Not Recommended for New Design

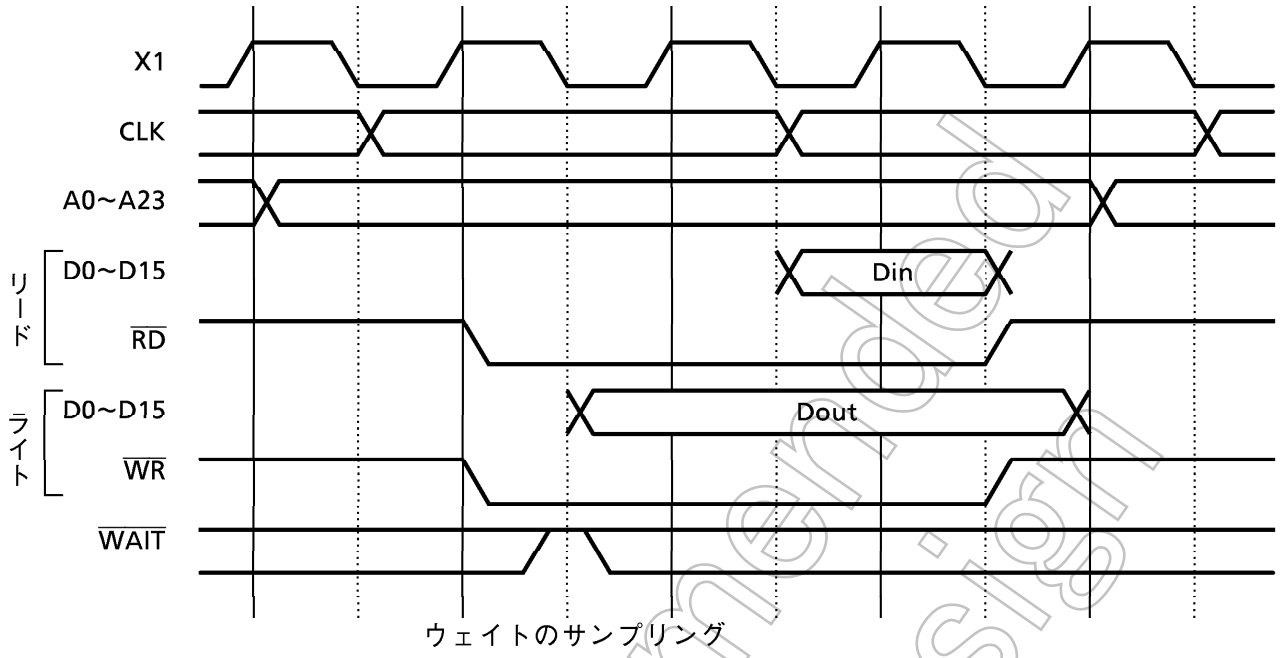


図3.6 (7) 0 + NWAITのリード / ライトサイクル (N = 0の場合)

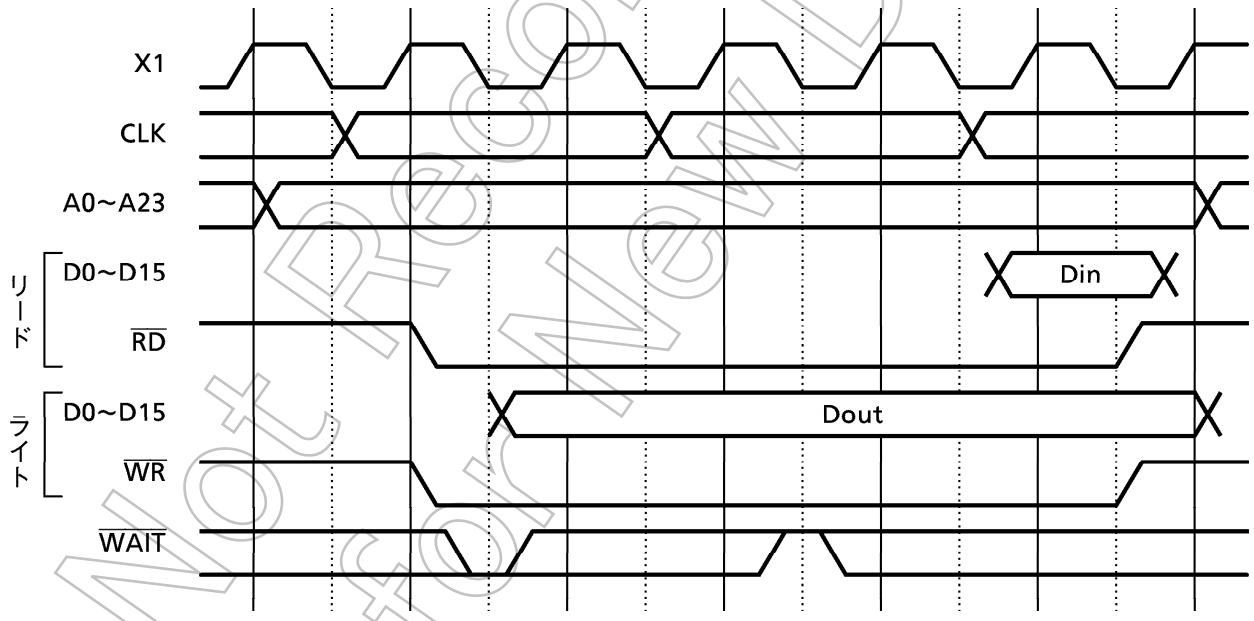


図3.6 (8) 0 + NWAITのリード / ライトサイクル (N = 1の場合)

Not Recommended for New Design

(5) CS0~CS3空間外 バス幅ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタBEXCSは、任意の4ブロックアドレス空間(CS0~CS3空間)外のアドレス空間がアクセスされたときの、データバス幅選択とウェイト数を設定するレジスタです。このレジスタの設定はCS0~CS3空間外のエリアに対して、常にイネーブルです。

(6) 16Mバイト空間/アドレス設定空間選択

チップセレクト/ウェイトコントロールレジスタB2CS<B2M>を"0"にすることにより、16Mバイト空間(0008A0H ~ FEFFFFH)で、CS2空間が選択されます(TMP95C265では、0008A0H ~ FFFFFFHが16Mバイト空間となります)。B2CS <B2M>を"1"にすると、CS0、CS1、CS3空間と同様に、スタートアドレスレジスタMSAR2、および、アドレスマスクレジスタMAMR2の設定エリアに従い、CS2空間が選択されます。リセットにより、このビットは"0"にクリアされ、16Mバイト空間が選択されます。

(7) チップセレクト/ウェイトコントローラ設定手順

チップセレクト/ウェイトコントロール機能を使用する場合は、以下の手順でレジスタの設定を行ってください。

① メモリスタートアドレスレジスタMSAR0~MSAR3の設定
CS0~CS3空間のスタートアドレスを設定します。

② メモリアドレスマスクレジスタMAMR0~MAMR3の設定
CS0~CS3空間のサイズを設定します。

③ コントロールレジスタB0CS~B3CSの設定
CS0~CS3空間のチップセレクト出力波形、データバス幅、ウェイト数、マスタイネーブル/ディセーブルを設定します。

$\overline{CS0}$~$\overline{CS3}$端子は、P60~P63端子と兼用になっています。チップセレクト信号をこれらの端子から出力するには、ポート6ファンクションレジスタP6FCの該当するビットを、"1"に設定する必要があります。

なお CS0~CS3空間として設定したアドレスが、内蔵のI/O、RAM、および、ROMエリアを指定した場合、$\overline{CS0}$~$\overline{CS3}$端子はチップセレクト信号を出力せず、CPUは内部エリアをアクセスします。

(設定例)

CS0空間を、010000H~01FFFFH(64Kバイト空間)、16ビットデータバス、0ウェイトに設定する場合

MSAR0=01H ..... スタートアドレス 010000H
MAMR0=07H ..... アドレス空間 64Kバイト
B0CS=83H ..... ROM/SRAM16ビットデータバス、0ウェイト、
CS0空間設定イネーブル

Not Recommended for New Design

3.6.3 外部メモリ接続方法

図3.6 (6) は、TMP95C265による外部メモリの接続例です。この例では、ROMを16ビット幅で接続し、RAMとI/Oを8ビット幅で接続しています。

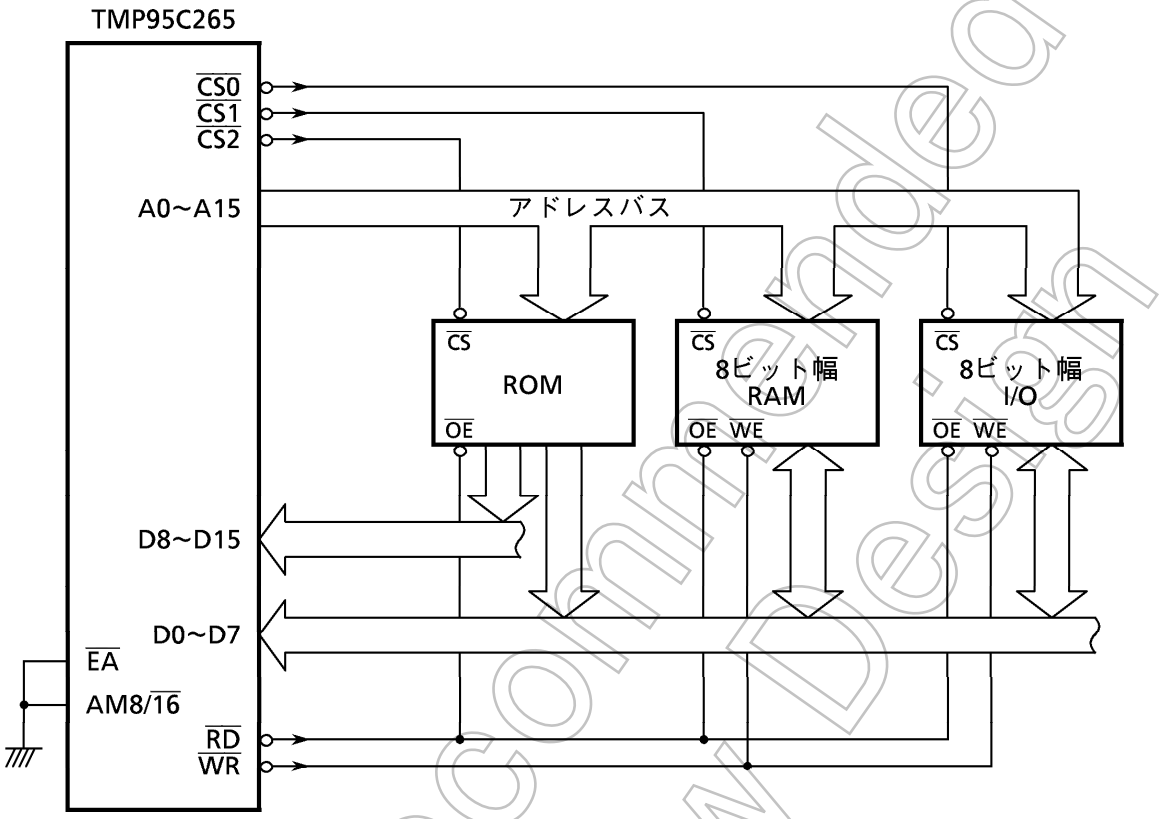


図3.6 (6) 外部メモリ接続例 (ROM = 16ビット幅、RAM & I/O = 8ビット幅)

TMP95C265ではリセット後、ポート6レジスタ<P62>は "0" にクリアされ、P62 ($\overline{CS2}$) 端子より、"L" レベルが出力されます。従ってCS2空間がイネーブルとなります。

ただし、ポート6ファンクションレジスタP6FCは "0" にクリアされているため、CS信号出力はディセーブルとなっています。CS信号を出力する場合、P6FCの必要なビットに "1" をセットしてください。

Not Recommended for New Design

3.7 8ビットタイマ

TMP95CS64/265は、8ビットタイマを 8 本 (タイマ0~7) 内蔵しています。

これらの 8 ビットタイマは、それぞれ独立した動作を行うことができます。また、カスケード接続することで、4本の16ビットタイマとして使用することができます。

8ビットタイマは、次の4つの動作モードを持っています。

- 8ビットインタバルタイマモード (8本)
- 16ビットインタバルタイマモード (4本)

} 組合わせ可能 (8ビット×4本、16ビット×2本など)

- 8ビットプログラマブル矩形波 (PPG : 可変周期で可変デューティ) 出力モード (4本)
- 8ビットPWM (パルス幅変調 : 固定周期で可変デューティ) 出力モード (4本)

図3.7 (1) に、8ビットタイマ (タイマ0、1) のブロック図を示します。

なお、その他の8ビットタイマ (タイマ2と3、タイマ4と5、タイマ6と7) もタイマ0、1と同様な回路構成です。

各8ビットタイマは、8ビットのアップカウンタ、8ビットのコンパレータ、および、8ビットのタイマレジスタで構成され、タイマ0と1のペア、タイマ2と3のペア、タイマ4と5のペア、タイマ6と7のペアに、それぞれ1つずつタイマフリップフロップ (TFF1、TFF3、TFF5、TFF7) が用意されています。

各8ビットタイマへの入力クロックソースのうちφT1、φT4、φT16、φT256の内部クロックは、内蔵の9ビットのプリスケーラより得ています。

8ビットタイマは、9つのコントロールレジスタ (T01MOD、T23MOD、T45MOD、T67MOD、T02FFCR、T46FFCR、T8RUN、T16RUN、TRDC) で制御されます。

Not Recommended for New Design

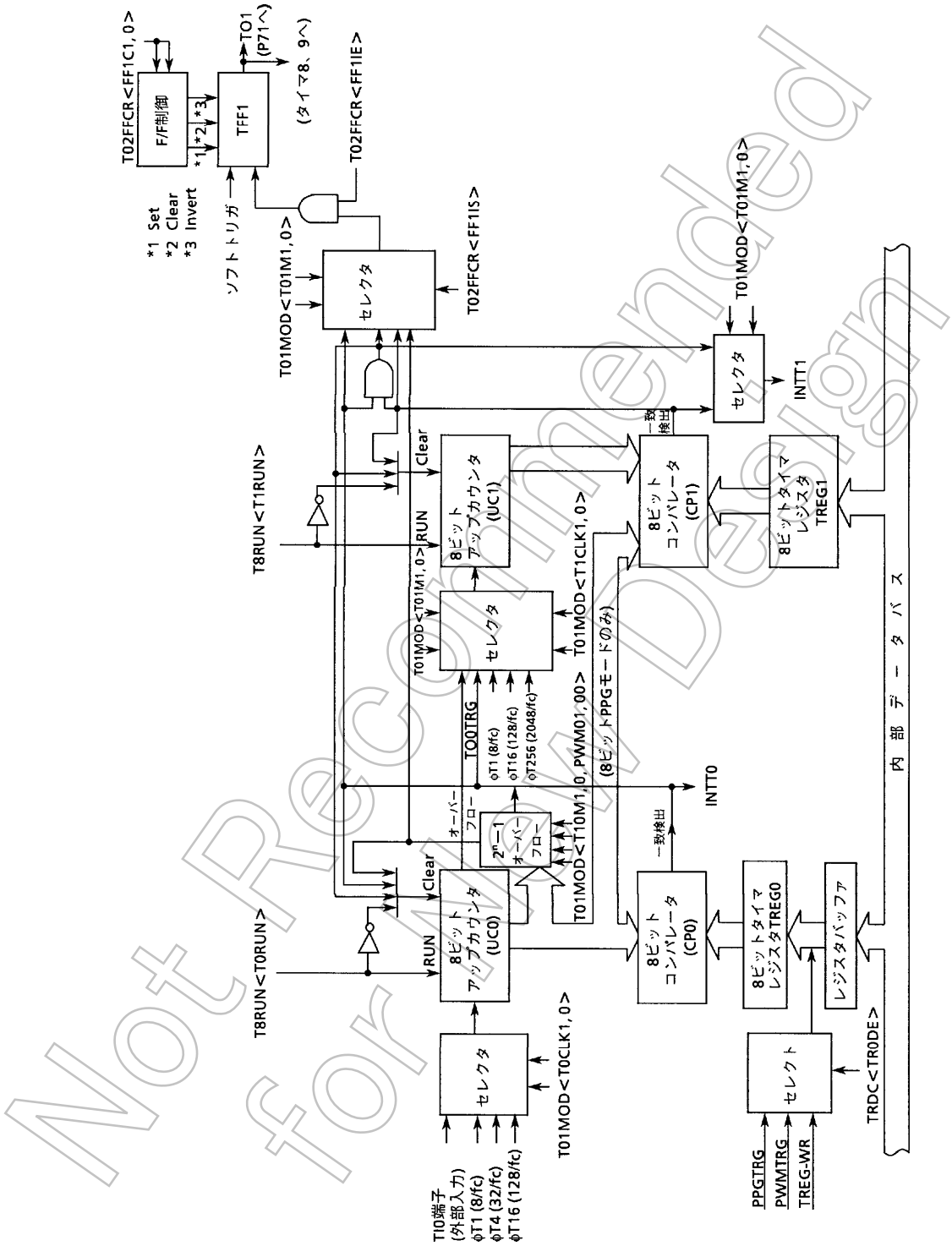


図3.7 (1) 8ビット タイマのブロック 図 (タイマ0、1)

Not Recommended for New Design

3.7.1 8ビットタイマレジスタ

図3.7 (2) に8ビットタイマ関係のレジスタを示します。これらのレジスタを設定することにより、8ビットタイマの動作制御を行うことができます。

8ビットタイマ動作コントロールレジスタ

T8RUN (0020H)

	7	6	5	4	3	2	1	0
bit Symbol	T7RUN	T6RUN	T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	タイマ7の動作制御 0: 停止＆クリア 1: 動作	タイマ6の動作制御 0: 停止＆クリア 1: 動作	タイマ5の動作制御 0: 停止＆クリア 1: 動作	タイマ4の動作制御 0: 停止＆クリア 1: 動作	タイマ3の動作制御 0: 停止＆クリア 1: 動作	タイマ2の動作制御 0: 停止＆クリア 1: 動作	タイマ1の動作制御 0: 停止＆クリア 1: 動作	タイマ0の動作制御 0: 停止＆クリア 1: 動作

8ビットタイマアップカウンタ動作制御

0	停止 & クリア
1	動作

16ビットタイマ動作コントロールレジスタ

T16RUN (003BH)

	7	6	5	4	3	2	1	0
bit Symbol	PRRUN		T9RUN	T8RUN				
Read/Write	R/W		R/W					
リセット後	0		0	0				
機　能	プリスケーラの動作制御 0: 停止＆クリア 1: 動作		タイマ9の動作制御 0: 停止＆クリア 1: 動作	タイマ8の動作制御 0: 停止＆クリア 1: 動作				

16ビットタイマ
アップカウンタ動作制御
(3.8 16ビットタイマ / イベントカウンタ参照)

プリスケーラ動作制御 (注)

0	停止 & クリア
1	動作

注)　8ビットタイマを動作させる場合、T16RUN<PRRUN>を "1" にセットしてください。

図3.7 (2) -1 8ビットタイマ関係のレジスタ

Not Recommended for New Design

タイマレジスタダブルバッファコントロールレジスタ

TRDC (0021H)

	7	6	5	4	3	2	1	0
bit Symbol					TR6DE	TR4DE	TR2DE	TR0DE
Read/Write					R/W			
リセット後					0	0	0	0
機　　能					TREG6ダブルバッファ制御 0:ディセーブル 1:イネーブル	TREG4ダブルバッファ制御 0:ディセーブル 1:イネーブル	TREG2ダブルバッファ制御 0:ディセーブル 1:イネーブル	TREG0ダブルバッファ制御 0:ディセーブル 1:イネーブル

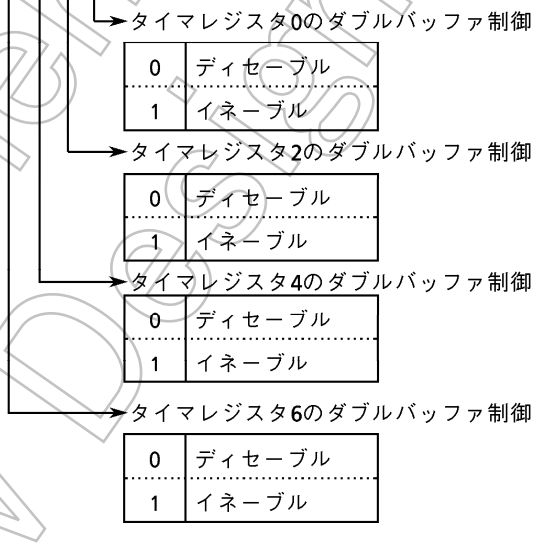


図3.7 (2) -2　8ビットタイマ関係のレジスタ

Not Recommended for New Design

タイマ0、1モードコントロールレジスタ

T01MOD (0024H)

	7	6	5	4	3	2	1	0
bit Symbol	T01M1	T01M0	PWM01	PWM00	T1CLK1	T1CLK0	T0CLK1	T0CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	タイマ0、1の動作モード設定 00: 8 bitインタバルタイマ 01: 16 bitインタバルタイマ 10: 8 bit PPG 11: 8 bit PWM		PWM0の周期選択 00: Don't care 01: $2^6 - 1$ 10: $2^7 - 1$ 11: $2^8 - 1$		タイマ1の入力クロック選択 00: TO0TRG 01: ϕT1 10: ϕT16 11: ϕT256		タイマ0の入力クロック選択 00: TI0 01: ϕT1 10: ϕT4 11: ϕT16	

タイマ0の入力クロック選択

00	外部クロックTI0
01	内部クロックϕT1 (8/fc)
10	内部クロックϕT4 (32/fc)
11	内部クロックϕT16 (128/fc)

タイマ1の入力クロック選択

	<T01M1, 0> ≠ 01	<T01M1, 0> = 01
00	タイマ0のコンパレータ出力	タイマ0のオーバフロー出力 (16ビットインタバルタイマモード)
01	内部クロックϕT1 (8/fc)	
10	内部クロックϕT16 (128/fc)	
11	内部クロックϕT256 (2048/fc)	

PWM0の周期を選択
(PWMモード (<T01M1, 0> = "11") 以外はDon't care)

00	Don't care
01	$(2^6 - 1)$ ×タイマ0の入力クロック周期
10	$(2^7 - 1)$ ×タイマ0の入力クロック周期
11	$(2^8 - 1)$ ×タイマ0の入力クロック周期

タイマ0、1の動作モード設定

00	8ビットインタバルタイマ×2本 (タイマ0、1)
01	16ビットインタバルタイマ
10	8ビットプログラマブル矩形波出力
11	8ビットPWM出力 (タイマ0) +8ビットインタバルタイマ (タイマ1)

Not Recommended for New Design

図3.7 (2) -3　8ビットタイマ関係のレジスタ

タイマ2、3モードコントロールレジスタ

T23MOD (0028H)

	7	6	5	4	3	2	1	0
bit Symbol	T23M1	T23M0	PWM21	PWM20	T3CLK1	T3CLK0	T2CLK1	T2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	タイマ2、3の動作モード設定 00: 8 bitインタバルタイマ 01: 16 bitインタバルタイマ 10: 8 bit PPG 11: 8 bit PWM		PWM2の周期選択 00: Don't care 01: $2^6 - 1$ 10: $2^7 - 1$ 11: $2^8 - 1$		タイマ3の入力クロック選択 00: TO2TRG 01: φT1 10: φT16 11: φT256		タイマ2の入力クロック選択 00: Don't care 01: φT1 10: φT4 11: φT16	

タイマ2の入力クロック選択

00	Don't care
01	内部クロックφT1 (8/fc)
10	内部クロックφT4 (32/fc)
11	内部クロックφT16 (128/fc)

タイマ3の入力クロック選択

	<T23M1, 0> ≠ 01	<T23M1, 0> = 01
00	タイマ2のコンパレータ出力	タイマ2のオーバフロー出力 (16ビットインタバルタイマモード)
01	内部クロックφT1 (8/fc)	
10	内部クロックφT16 (128/fc)	
11	内部クロックφT256 (2048/fc)	

PWM2の周期を選択
(PWMモード (<T23M1, 0> = "11") 以外はDon't care)

00	Don't care
01	$(2^6 - 1)$ ×タイマ2の入力クロック周期
10	$(2^7 - 1)$ ×タイマ2の入力クロック周期
11	$(2^8 - 1)$ ×タイマ2の入力クロック周期

タイマ2、3の動作モード設定

00	8ビットインタバルタイマ×2本 (タイマ2、3)
01	16ビットインタバルタイマ
10	8ビットプログラマブル矩形波出力
11	8ビットPWM出力 (タイマ2) +8ビットインタバルタイマ (タイマ3)

Not Recommended for New Design

図3.7 (2) -4 8ビットタイマ関係のレジスタ

タイマ4、5モードコントロールレジスタ

T45MOD (002BH)

	7	6	5	4	3	2	1	0
bit Symbol	T45M1	T45M0	PWM41	PWM40	T5CLK1	T5CLK0	T4CLK1	T4CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	タイマ4、5の動作モード設定 00: 8 bitインタバルタイマ 01: 16 bitインタバルタイマ 10: 8 bit PPG 11: 8 bit PWM		PWM4の周期選択 00: Don't care 01: $2^6 - 1$ 10: $2^7 - 1$ 11: $2^8 - 1$		タイマ5の入力クロック選択 00: TO4TRG 01: ϕT1 10: ϕT16 11: ϕT256		タイマ4の入力クロック選択 00: TI4 01: ϕT1 10: ϕT4 11: ϕT16	

タイマ4の入力クロック選択

00	外部クロックTI4
01	内部クロックϕT1 (8/fc)
10	内部クロックϕT4 (32/fc)
11	内部クロックϕT16 (128/fc)

タイマ5の入力クロック選択

	<T45M1, 0> ≠ 01	<T45M1, 0> = 01
00	タイマ4のコンパレータ出力	タイマ4のオーバフロー出力 (16ビットインタバルタイマモード)
01	内部クロックϕT1 (8/fc)	
10	内部クロックϕT16 (128/fc)	
11	内部クロックϕT256 (2048/fc)	

PWM4の周期を選択
(PWMモード (<T45M1, 0> = "11") 以外はDon't care)

00	Don't care
01	$(2^6 - 1)$ ×タイマ4の入力クロック周期
10	$(2^7 - 1)$ ×タイマ4の入力クロック周期
11	$(2^8 - 1)$ ×タイマ4の入力クロック周期

タイマ4、5の動作モード設定

00	8ビットインタバルタイマ×2本 (タイマ4、5)
01	16ビットインタバルタイマ
10	8ビットプログラマブル矩形波出力
11	8ビットPWM出力 (タイマ4) +8ビットインタバルタイマ (タイマ5)

Not Recommended for New Design

図3.7 (2) -5 8ビットタイマ関係のレジスタ

タイマ6、7モードコントロールレジスタ

T67MOD (002FH)	7	6	5	4	3	2	1	0
bit Symbol	T67M1	T67M0	PWM61	PWM60	T7CLK1	T7CLK0	T6CLK1	T6CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機　能	タイマ6、7の動作モード設定 00: 8 bitインタバルタイマ 01: 16 bitインタバルタイマ 10: 8 bit PPG 11: 8 bit PWM		PWM6の周期選択 00: Don't care 01: $2^6 - 1$ 10: $2^7 - 1$ 11: $2^8 - 1$		タイマ7の入力クロック選択 00: TO6TRG 01: ϕT1 10: ϕT16 11: ϕT256		タイマ6の入力クロック選択 00: Don't Care 01: ϕT1 10: ϕT4 11: ϕT16	

タイマ6の入力クロック選択

00	Don't care
01	内部クロックϕT1 (8/fc)
10	内部クロックϕT4 (32/fc)
11	内部クロックϕT16 (128/fc)

タイマ7の入力クロック選択

	<T67M1, 0> ≠ 01	<T67M1, 0> = 01
00	タイマ6のコンパレータ出力	タイマ6のオーバフロー出力 (16ビットインタバルタイマモード)
01	内部クロックϕT1 (8/fc)	
10	内部クロックϕT16 (128/fc)	
11	内部クロックϕT256 (2048/fc)	

PWM6の周期を選択
(PWMモード (<T67M1, 0> = "11") 以外はDon't care)

00	Don't care
01	$(2^6 - 1)$ ×タイマ6の入力クロック周期
10	$(2^7 - 1)$ ×タイマ6の入力クロック周期
11	$(2^8 - 1)$ ×タイマ6の入力クロック周期

タイマ6、7の動作モード設定

00	8ビットインタバルタイマ×2本 (タイマ6、7)
01	16ビットインタバルタイマ
10	8ビットプログラマブル矩形波出力
11	8ビットPWM出力 (タイマ6) +8ビットインタバルタイマ (タイマ7)

Not Recommended for New Design

図3.7 (2) -6 8ビットタイマ関係のレジスタ

タイマ0、2フリップフロップコントロールレジスタ

T02FFCR (0025H)

	TFF3				TFF1			
	7	6	5	4	3	2	1	0
bit Symbol	FF3C1	FF3C0	FF3IE	FF3IS	FF1C1	FF1C0	FF1IE	FF1IS
Read/Write	W		R/W		W		R/W	
リセット後	1	1	0	0	1	1	0	0
機　能	TFF3の制御 00: Invert TFF3 01: Set TFF3 10: Clear TFF3 11: Don't care		TFF3反転制御 0：ディセーブル 1：イネーブル	TFF3反転信号セレクト 0：タイマ2による反転 1：タイマ3による反転	TFF1の制御 00: Invert TFF1 01: Set TFF1 10: Clear TFF1 11: Don't care		TFF1反転制御 0：ディセーブル 1：イネーブル	TFF1反転信号セレクト 0：タイマ0による反転 1：タイマ1による反転

タイマフリップフロップTFF1の反転信号セレクト
(8ビットインタバルタイマモード以外はDon't care)

0	タイマ0による反転
1	タイマ1による反転

タイマフリップフロップTFF1の反転制御

0	ディセーブル
1	イネーブル

タイマフリップフロップTFF1の制御

00	TFF1の値を反転します(ソフト反転)。
01	TFF1を "1" にセットします。
10	TFF1を "0" にクリアします。
11	Don't care (読み出すと "11" になります)

タイマフリップフロップTFF3の反転信号セレクト
(8ビットインタバルタイマモード以外はDon't care)

0	タイマ2による反転
1	タイマ3による反転

タイマフリップフロップTFF3の反転制御

0	ディセーブル
1	イネーブル

タイマフリップフロップTFF3の制御

00	TFF3の値を反転します(ソフト反転)。
01	TFF3を "1" にセットします。
10	TFF3を "0" にクリアします。
11	Don't care (読み出すと "11" になります)

Not Recommended for New Design

図3.7 (2) -7　8ビットタイマ関係のレジスタ

タイマ4、6フリップフロップコントロールレジスタ

T46FFCR (002CH)

	TFF7				TFF5			
	7	6	5	4	3	2	1	0
bit Symbol	FF7C1	FF7C0	FF7IE	FF7IS	FF5C1	FF5C0	FF5IE	FF5IS
Read/Write	W		R/W		W		R/W	
リセット後	1	1	0	0	1	1	0	0
機　能	TFF7の制御 00: Invert TFF7 01: Set TFF7 10: Clear TFF7 11: Don't care		TFF7反転制御 0：ディセーブル 1：イネーブル	TFF7反転信号セレクト 0：タイマ6による反転 1：タイマ7による反転	TFF5の制御 00: Invert TFF5 01: Set TFF5 10: Clear TFF5 11: Don't care		TFF5反転制御 0：ディセーブル 1：イネーブル	TFF5反転信号セレクト 0：タイマ4による反転 1：タイマ5による反転

タイマフリップフロップTFF5の反転信号セレクト
(8ビットインタバルタイマモード以外はDon't care)

0	タイマ4による反転
1	タイマ5による反転

タイマフリップフロップTFF5の反転制御

0	ディセーブル
1	イネーブル

タイマフリップフロップTFF5の制御

00	TFF5の値を反転します(ソフト反転)。
01	TFF5を "1" にセットします。
10	TFF5を "0" にクリアします。
11	Don't care (読み出すと "11" になります)

タイマフリップフロップTFF7の反転信号セレクト
(8ビットインタバルタイマモード以外はDon't care)

0	タイマ6による反転
1	タイマ7による反転

タイマフリップフロップTFF7の反転制御

0	ディセーブル
1	イネーブル

タイマフリップフロップTFF7の制御

00	TFF7の値を反転します(ソフト反転)。
01	TFF7を "1" にセットします。
10	TFF7を "0" にクリアします。
11	Don't care (読み出すと "11" になります)

Not Recommended for New Design

図3.7 (2) -8 8ビットタイマ関係のレジスタ

3.7.2 ブロック構成

(1) プリスケーラ

プリスケーラは、CPUクロック (fc) を4分周したクロック (4/fc) をさらに2^n分周する (n＝1、…、6、9) 9ビットの分周回路です。分周されたクロックは、8ビット タイマ、16ビット タイマ/イベント カウンタ、ボーレートジェネレータなどの入力クロックとして使用されています。

このプリスケーラは、タイマ動作コントロールレジスタT16RUN<PRRUN>の設定によってカウント / 停止させることができます。T16RUN<PRRUN>に“1”を設定するとカウントが開始され、“0”を設定すると分周クロックをゼロクリアして停止します。リセット動作により、<PRRUN>は“0”にクリアされるので、プリスケーラはゼロクリアされ、停止します。

入力クロック ＼ fc = 25 MHz	周　期
φT1 (8/fc)	320 ns
φT4 (32/fc)	1.28 μs
φT16 (128/fc)	5.12 μs
φT256 (2048/fc)	81.92 μs

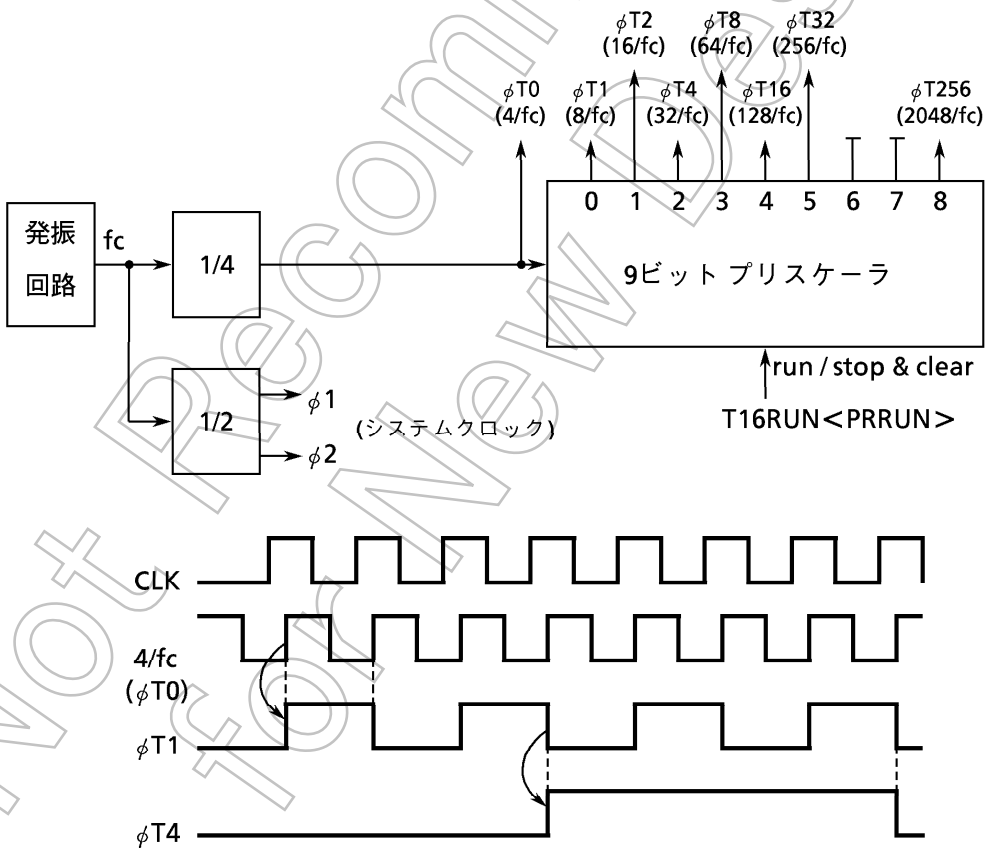


図3.7 (3) プリスケーラ

Not Recommended for New Design

(2) 8ビットアップカウンタ

8ビットアップカウンタUC 0~7は、タイマ0~7の8ビットバイナリカウンタです。8ビットタイマモードコントロールレジスタT01MOD、T23MOD、T45MOD、T67MODで選択した内部、および外部クロックにより、カウントアップを行います。各アップカウンタの動作制御は、8ビットタイマ動作コントロールレジスタT8RUNの設定で行います。

UC0、2、4、6の入力クロックとして、内部クロックφT1、φT4、φT16のいずれかを選択できます。また、UC0、4は、タイマ入力端子(TI0、TI4)信号による外部クロック入力も可能です。

UC1、3、5、7の入力クロックは、動作モードにより異なります。

16ビットタイマモードの場合、入力クロックは、タイマ0、2、4、6のオーバフロー出力信号となります。

16ビットタイマモード以外の場合、入力クロックは、内部クロックφT1、φT16、φT256、または、TOxTRG(タイマ0、2、4、6の一致検出信号)のいずれかを選択できます。

リセット後、T8RUNはクリアされ、UC0~7は停止します。

(3) 8ビットタイマレジスタ

8ビットタイマレジスタは、カウント値を設定する8ビットのレジスタです。この8ビットタイマレジスタTREG0~7への設定値と、8ビットアップカウンタUC0~7の値が一致すると、コンパレータの一致検出信号が出力されます。設定値を“00H”にした場合、8ビットアップカウンタのオーバフロー時に、一致検出信号が出力されます。

8ビットタイマレジスタのうちTREG0、2、4、6は、ダブルバッファ構成になっています(それぞれに専用のレジスタバッファが用意されています)。

ダブルバッファのイネーブル/ディセーブルの制御はタイマレジスタダブルバッファコントロールレジスタTRDC<TR0, 2, 4, 6DE>によって行います。このビットが“0”のときディセーブルとなり、“1”のときイネーブルとなります。

ダブルバッファイネーブルに設定した場合、レジスタバッファからタイマレジスタへのデータ転送は、PWMモードの 2^n-1 オーバフロー、または、PPGモードの周期のコンペア一致時に行われます。

8ビットインタバルタイマモード、16ビットインタバルタイマモードでは、ダブルバッファはディセーブルに設定してください。

リセット動作により、TRDCは“0”にクリアされ、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、TREG0、2、4、6に設定値を書き込み、TRDC<TR0, 2, 4, 6DE>を“1”に設定した後、次の設定値を書き込んでください。

リセット後TREG0~7は不定なため、8ビットタイマを使用する場合は、あらかじめ設定値を書き込む必要があります。

図3.7(4)にタイマレジスタ0、2、4、6の構成を示します。

Not Recommended for New Design

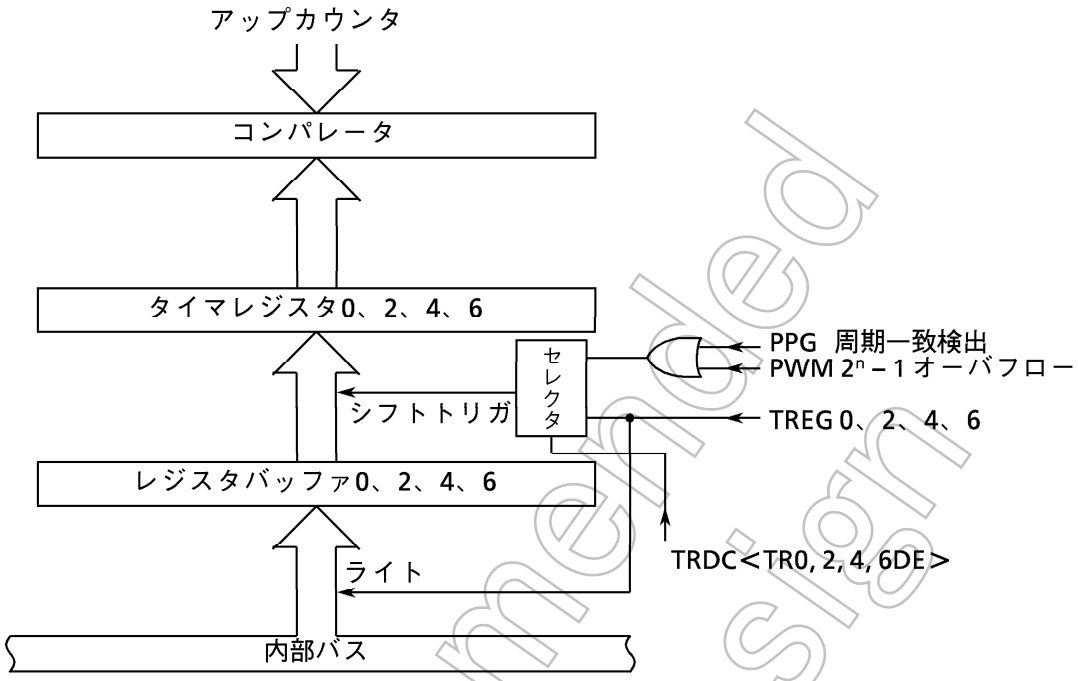


図3.7 (4) タイマレジスタ0、2、4、6の構成

注) タイマレジスタとレジスタバッファは、同じメモリ番地に割り付けられています。
TRDC＜TR0, 2, 4, 6DE＞ が"0"のときは、レジスタバッファとタイマレジスタに同じ値が書き込まれ、"1"のときは、レジスタバッファにのみ書き込まれます。従って、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

各タイマレジスタのメモリ番地は次のとおりです。

TREG0	TREG1	TREG2	TREG3
8ビット	8ビット	8ビット	8ビット
000022H	000023H	000026H	000027H

TREG4	TREG5	TREG6	TREG7
8ビット	8ビット	8ビット	8ビット
000029H	00002AH	00002DH	00002EH

各レジスタとも書き込み専用レジスタのため、読み出すことはできません。

Not Recommended for New Design

(4) 8ビットコンパレータ

8ビットコンパレータは、8ビットアップカウンタの値と8ビットタイマレジスタの値とを比較し、一致検出を行います。一致検出により一致検出信号を出力し、8ビットアップカウンタをゼロクリアするとともに、割り込み (INTT0~7) を発生します。

(5) タイマフリップフロップ

タイマフリップフロップ (TFF1、TFF3、TFF5、TFF7) は、各8ビットコンパレタからの一致検出信号により反転するフリップフロップです。

反転のディセーブル/イネーブルはタイマフリップフロップコントロールレジスタT02FFCR<FF3IE>、<FF1IE>、T46FFCR<FF7IE>、<FF5IE>によって設定できます。このビットが“0”のときディセーブルとなり、“1”のときイネーブルとなります。

リセット後、タイマフリップフロップの値は不定となります。T02FFCR<FF3C1, 0>、<FF1C1, 0>、T46FFCR<FF7C1, 0>、<FF5C1, 0>に“01”または、“10”を書き込むことで、タイマフリップフロップの値を“0”、または、“1”に設定することができます。また、このビットに“00”を書き込むことにより、タイマフリップフロップの値を反転させることができます (ソフト反転)。

TFF1、TFF3、TFF5、TFF7の値は、それぞれタイマ出力端子TO1 (P71と兼用)、TO3 (P72と兼用)、TO5 (P74と兼用)、TO7 (P75と兼用) へ出力することができます。

タイマ出力を行う場合、出力端子がP71、P72、P74、P75と兼用になっているため、あらかじめポート7ファンクションレジスタP7FCにより設定を行う必要があります (図3.5 (24) ポート7関係のレジスタ参照してください)。

Not Recommended for New Design

3.7.3 各モードごとの動作説明

(1) 8ビットインタバルタイマモード

8本のインタバルタイマ0~7は、それぞれ独立した8ビットインタバルタイマとして使用できます。機能、および、カウントデータの設定を行う場合、タイマ0~7を停止させた状態で行います。

ここでは、タイマ1を例に説明します。

① 一定周期の割り込みを発生させる場合

T01MODで動作モード、入力クロックを選択し、TREG1にインタバル時間(周期)を設定します。割り込みINTT1をイネーブルに設定し、UC1とTREG1の一致で割り込みINTT1が発生するようにします。各レジスタ設定終了後、タイマのカウント動作をスタートさせます。

入力クロックの選択は、表3.7 (1) を参考にしてください。

例： fc = 25 MHzで32 μsごとにタイマ1割り込みを発生させる場合、次の順序で各レジスタを設定します。

		MSB 7 6 5 4 3 2 1 LSB 0	
T8RUN	←	− − − − − − − 0 −	タイマ1を停止し、ゼロクリアします。
T01MOD	←	0 0 X X 0 1 − −	8ビットインタバルタイマモードに設定し、入力クロックφT1 (0.32 μs @fc = 25 MHz) を選択します。
TREG1	←	0 1 1 0 0 1 0 0	タイマレジスタに32 μs ÷ φT1 = 100 (64H) を書き込みます。
INTET01	←	1 1 0 1 − − − −	INTT1をイネーブル、割り込みレベル5に設定します。
T16RUN	←	1 X − − X X X X	
T8RUN	←	− − − − − − 1 −	タイマ1をカウントさせます。

(注) X : Don't care −: no change

表3.7 (1) 8ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@fc = 25MHz)	分解能
φT1 (8/fc)	0.32 μs ~ 81.92 μs	0.32 μs
φT4 (32/fc)	1.28 μs ~ 327.7 μs	1.28 μs
φT16 (128/fc)	5.12 μs ~ 1.311 ms	5.12 μs
φT256 (2048/fc)	81.92 μs ~ 20.97 ms	81.92 μs

Not Recommended for New Design

② デューティ50%の矩形波を出力させる場合

デューティ50%の矩形波を出力させる場合、希望の周期の2分の1に相当するカウント値を設定し、TFF1をタイマ1からの一致検出信号で反転(T02FFCR<FF1IE, FF1IS>="11")するよう設定します。さらに、P71をタイマアウト出力(P7CR<P71C>="1"、P7FC<P71F>="1")に設定します。

例： fc = 25 MHzで、周期1.92 μsの矩形波をTO1端子から出力させる場合、次の順序で各レジスタを設定します。

		MSB 7 6 5 4 3 2 1 0 LSB	
T8RUN	←	- X - - - - 0 -	タイマ1を停止し、ゼロクリアします。
T01MOD	←	0 0 X X 0 1 - -	8ビットインタバルタイマ モードに設定し、入力クロックφT1を選択します。
TREG1	←	0 0 0 0 0 0 1 1	タイマレジスタに1.92 μs ÷ φT1 (0.32 μs) ÷ 2 = 3をセットします。
T02FFCR	←	- - - - 1 0 1 1	TFF1を"0"にクリアし、タイマ1からの一致検出信号で反転するように設定します。
P7CR	←	X X - - - - 1 -	P71をTO1端子に設定します。
P7FC	←	X X - - X - 1 X	P71をTO1端子に設定します。
T16RUN	←	1 X - - X X X X	
T8RUN	←	- - - - - - 1 -	タイマ1をカウントさせます。

(注) X : Don't care - : no change

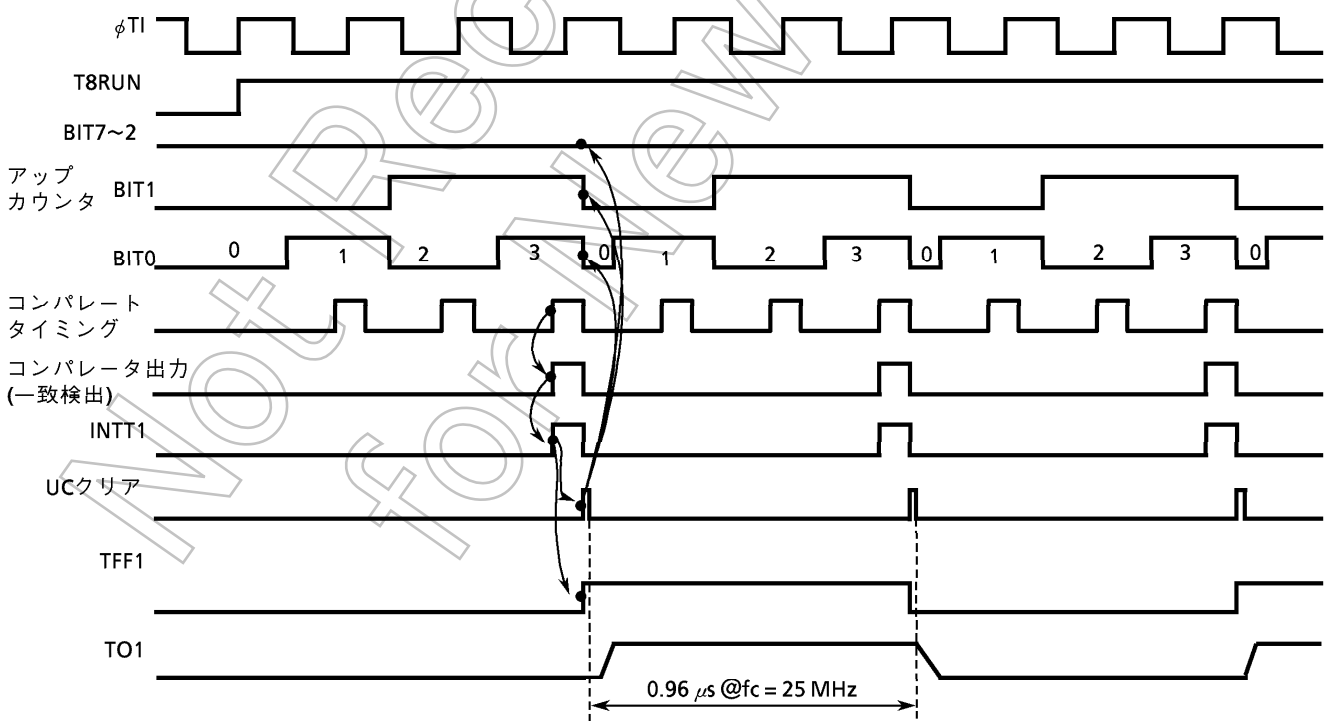


図3.7 (5) 矩形波(デューティ50%)出力のタイミング チャート

Not Recommended for New Design

③ タイマ0の一致出力でタイマ1をカウントアップさせる場合

8ビット タイマ モードに設定し、タイマ1の入力クロックをタイマ0のコンパレータ出力 (T01MOD<T1CLK1, 0>="00") に設定します。

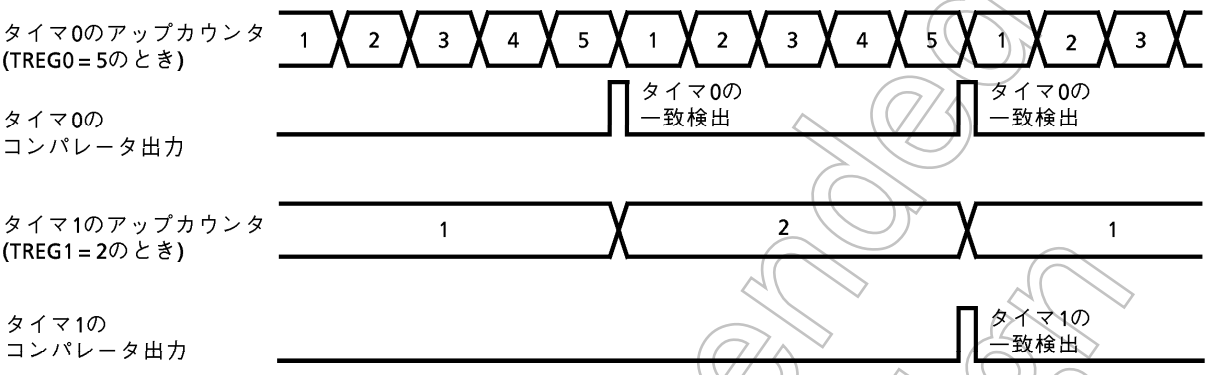


図3.7 (6) タイマ0によるタイマ1のカウントアップ

(2) 16ビットインタバルタイマ モード

8ビットタイマは、2つのタイマ (タイマ0と1、タイマ2と3、タイマ4と5、タイマ6と7) をカスケード接続することで、16ビットインタバルタイマとして使用することができます。

タイマ0、1、タイマ2、3、タイマ4、5、タイマ6、7は同一の機能を持っており、それぞれ独立した動作を行うことができます。

ここでは、タイマ0、1を例に説明します。

タイマ0、1をカスケード接続して、16ビットインタバル タイマにするには、タイマ0、1モードコントロールレジスタT01MOD<T01M1, 0>を "01" に設定します。

16ビット タイマ モードに設定すると、T01MOD<T1CLK1, 0>の設定は無視され、タイマ1の入力クロックは、強制的にタイマ0のオーバフロー出力になります。表3.7 (2) にタイマ (割り込み) 周期と入力クロックの選択の関係を示します。

表3.7 (2) 16ビットタイマ (割り込み) 周期と入力クロックの選択

入力クロック	割り込み周期 (fc = 25 MHz)	分解能
ϕT1 (8/fc)	0.32 μs ～ 20.971 ms	0.32 μs
ϕT4 (32/fc)	1.28 μs ～ 83.885 ms	1.28 μs
ϕT16 (128/fc)	5.12 μs ～ 335.539 ms	5.12 μs

Not Recommended for New Design

タイマ割り込み周期は、タイマレジスタTREG0に下位8ビットを設定し、タイマレジスタTREG1に上位8ビットを設定します。この場合、かならずTREG0から先に設定してください(TREG0にデータを書き込むと、コンペアが一時禁止されます。TREG1へデータを書き込むことでコンペアが開始されます)。

例： fc = 25 MHzで0.32 sごとに割り込みINTT1を発生させる場合、TREG0、TREG1には次の値を設定します。

ϕT16 (= 5.12 μs @25 MHz) を入力クロックとしてカウントすると

0.32 s ÷ 5.12 μs = 62500 = F424H

となります。従って、TREG1 には “F4H”、TREG0 には “24H”を設定します。

タイマ0のコンパレータ一致出力は8ビットアップカウンタ (UC0) とTREG0とが一致するたびに出力されますが、UC0はクリアされません。また、このとき割り込みINTT0も発生しません。

タイマ1のコンパレータは、UC1がTREG1と一致すると、コンパレート タイミング時毎回一致検出信号が出力されます。タイマ0、1両方のコンパレータの一致検出信号が同時に出力されると、UC0、UC1がゼロクリアされ、割り込みINTT1のみが発生します。また、タイマフリップフロップを反転イネーブルに設定した場合、TFF1の値は反転します。

表3.7 (3) 16ビットタイマモードと8ビットタイマモード
(タイマ1入力クロック : TO0TRG) の違い

	タイマ0			タイマ1		
	INTT0 割り込み	TO1出力	一致検出時の カウンタ動作	INTT1 割り込み	TO1出力	一致検出時の カウンタ動作
16ビットタイマモード (タイマ1をタイマ0のオーバフローでカウントアップ)	割り込みは発生しません	出力不能 (TREG0との一致事象を出力することは不能)	TREG0 (一致してもカウントアップ ただし、TREG1の一致時はクリア)	割り込みを発生します	出力可能 (タイマ0, 1両方の一致を出力可能)	TREG1 × 2^8 + TREG0 : フル16ビット (一致するとクリア)
8ビットタイマモード (タイマ1をタイマ0の一致でカウントアップ)	割り込みを発生します	出力可能 (タイマ0またはタイマ1のどちらか)	TREG0 (一致するとクリア)	割り込みを発生します	出力可能 (タイマ0またはタイマ1のどちらか)	TREG1 × TREG0 : 乗算値 (一致するとクリア)

Not Recommended for New Design

例： TREG1 = 04H、TREG0 = 80Hの場合

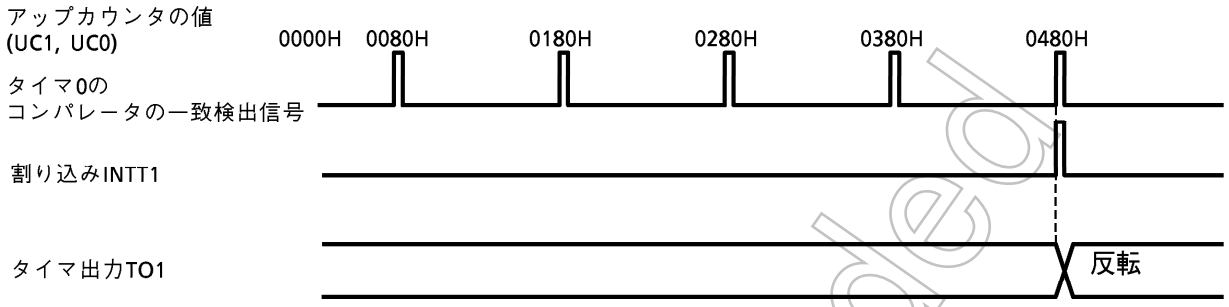


図3.7 (7) 16ビットタイマモードによるタイマ出力

(3) 8ビットプログラマブル矩形波 (PPG) 出力モード

タイマ0、2、4、6を用いて、任意周波数、任意デューティの矩形波 (PPG : Programmable Pulse Generation) を出力することができます。出力パルスは、ローアクティブ、ハイアクティブのどちらの設定も可能です。このモードに設定した場合、タイマ1、3、5、7は、使用できません。

タイマ0はTO1端子 (P71と兼用)、タイマ2はTO3 (P72と兼用)、タイマ4はTO5 (P74と兼用)、タイマ6はTO7 (P75と兼用) から矩形波を出力します。

ここでは、タイマ0を例に説明します。(タイマ2、4、6の場合も同様な動作です。)

8ビットプログラマブル矩形波出力モードに設定し、タイマフリップフロップTFF1を反転イネーブルにすることでプログラマブル矩形波をTO1端子より出力させることができます。

TFF1の値は、8ビットアップカウンタUC0とTREG0との一致、および、TREG1との一致により反転します。また、UC0はTREG1との一致によりクリアされます。

PPGモードでは、タイマ1は使用できませんが、タイマ1のアップカウンタUC1を動作させる必要があります (T8RUN<T1RUN>=1)。

また、そのモードにおけるTREG0の設定値とTREG1の設定値は、次の条件を満たす必要があります。

(TREG0の設定値) < (TREG1の設定値)

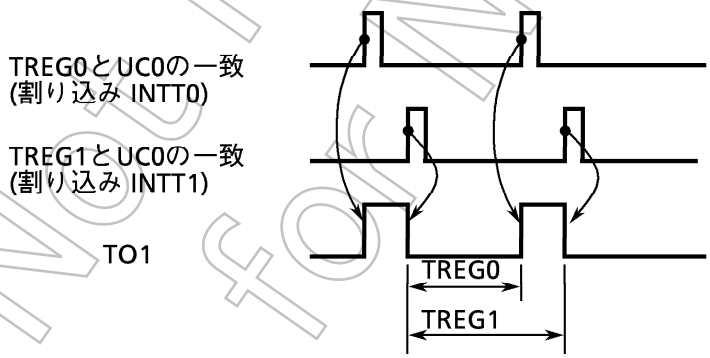


図3.7 (8) 8ビットPPG出力波形

Not Recommended for New Design

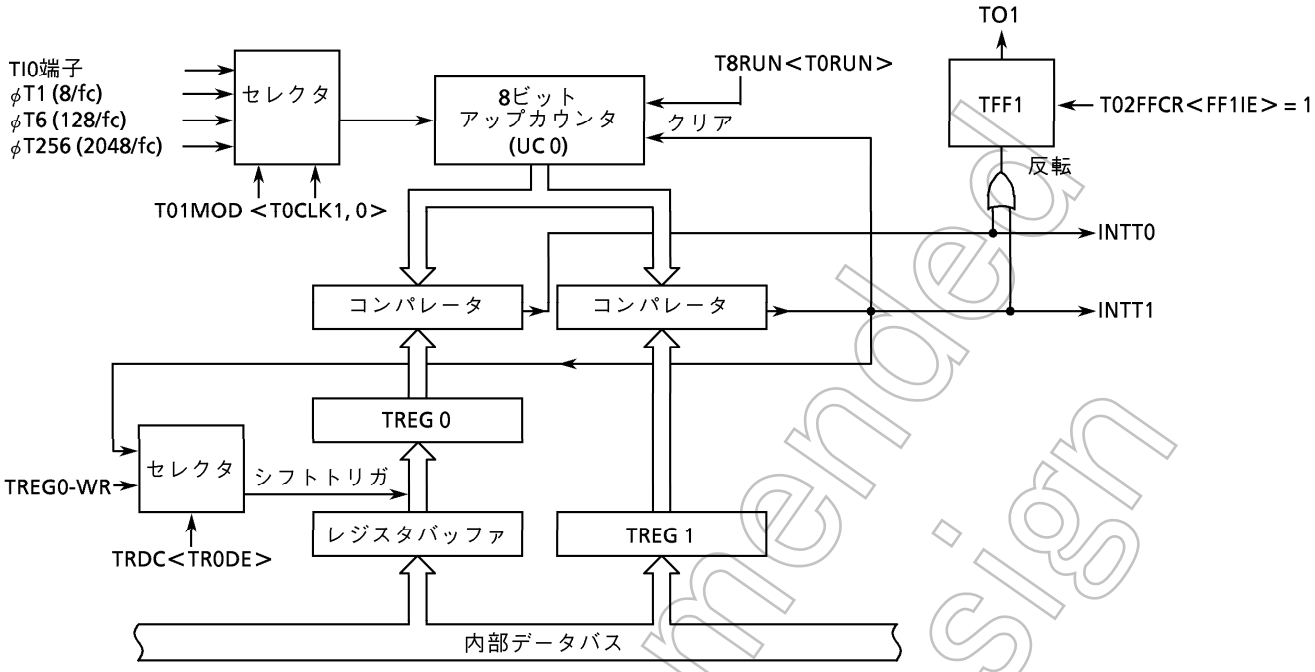


図3.7 (9) 8ビットPPG出力モードのブロック図

このモードでは、タイマレジスタTREG0をダブルバッファイネーブルにすることにより、タイマレジスタTREG1と8ビットアップカウンタUC0の一致で、レジスタバッファの値がTREG0へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ(デューティを変化させるとき)への対応が容易に行えます。

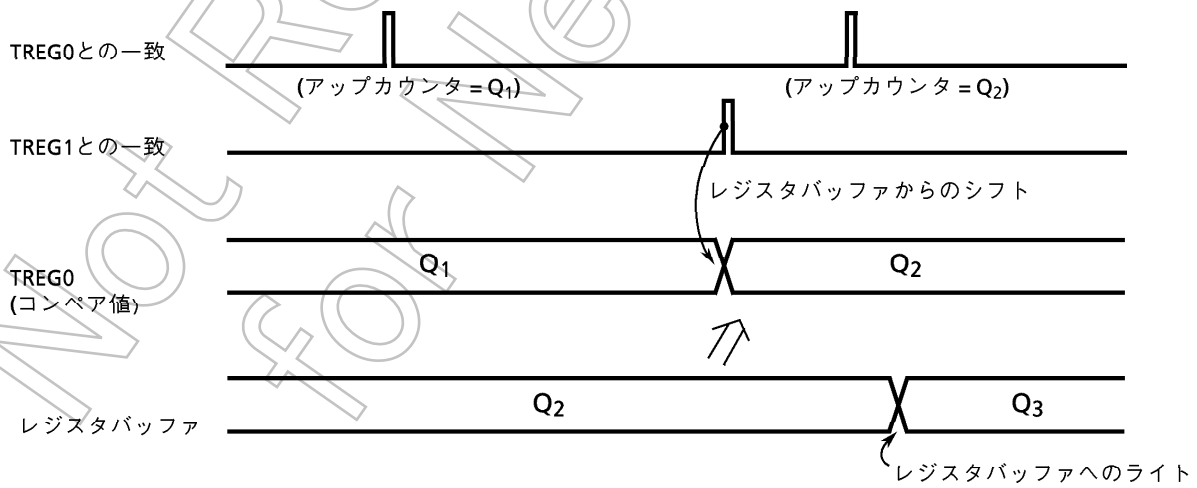
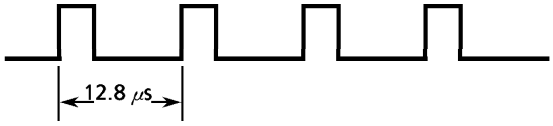


図3.7 (10) レジスタバッファの動作

Not Recommended for New Design

例： デューティ1/4の78.125 kHzのパルスを出力する場合 (@fc = 25 MHz)

タイマレジスタへの設定値を求めます。
周波数を78.125 kHzにするには、周期t = 1/78.125 kHz = 12.8 μsの波形をつくります。



φT1 = 0.32 μs (@fc=25 MHz) を用いると、
12.8 μs ÷ 0.32 μs = 40
となります。従って、TREG1には
TREG1 = 40 = 28H
を設定します。
次に、デューティを1/4にするには、
t×1/4 = 12.8 μs×1/4 = 3.2 μs
となり、TREG1同様に、
3.2 μs ÷ 0.32 μs = 10
となります。従って、TREG0には
TREG0 = 10 = 0AH
を設定します。

	MSB 7	6	5	4	3	2	1	LSB 0	
T8RUN ←	-	-	-	-	-	-	0	0	タイマ0とタイマ1を停止し、ゼロクリアします。
T16RUN ←	0	X	-	-	X	X	X	X	
T01MOD ←	1	0	X	X	0	1	0	1	8ビットPPG出力モードに設定し、入力クロックφT1を選択します。
T02FFCR ←	-	-	-	-	0	1	1	x	TFF1をセットし反転イネーブルに設定します。
									→ "10" に設定すると負論理の出力波形が得られます。
TREG0 ←	0	0	0	0	1	0	1	0	"0AH" を書き込みます。
TREG1 ←	0	0	1	0	1	0	0	0	"28H" を書き込みます。
P7CR ←	X	X	-	-	-	-	1	-	} P71をTO1端子に設定します。
P7FC ←	X	X	-	-	X	-	1	X	
T16RUN ←	1	X	-	-	X	X	X	X	
T8RUN ←	-	-	-	-	-	-	1	1	タイマ0とタイマ1をカウントさせます。

(注) X : Don't care　　- : no change

Not Recommended for New Design

(4) 8ビットPWM (パルス幅変調) 出力モード (PWM : Pulse Width Modulation)

タイマ0、2、4、6にのみ可能なモードで、分解能8ビットのPWMを最大4本出力することができます。タイマ1、3、5、7は、8ビットタイマとして使用できます。

タイマ0はTO1端子 (P71と兼用) 、タイマ2はTO3端子 (P72と兼用)、タイマ4はTO5端子 (P74と兼用)、タイマ6はTO7端子 (P75と兼用) からPWM波形を出力します。

ここでは、タイマ0を例に説明します(タイマ2、4、6の場合も同様な動作です)。

タイマ出力の反転は、8ビットアップカウンタ UC0 とタイマレジスタTREG0の設定値の一致、および、2^n-1 (n = 6、7、8のいずれかにT01MODで指定します) カウンタのオーバフローによって起こります。また、UC0は、2^n-1カウンタのオーバフローによってクリアされます。

なお、PWM出力モードを使用する場合、次の条件を満たす必要があります。

(タイマレジスタの設定値) < (2^n-1カウンタのオーバフロー設定値)
(タイマレジスタの設定値) ≠ 0

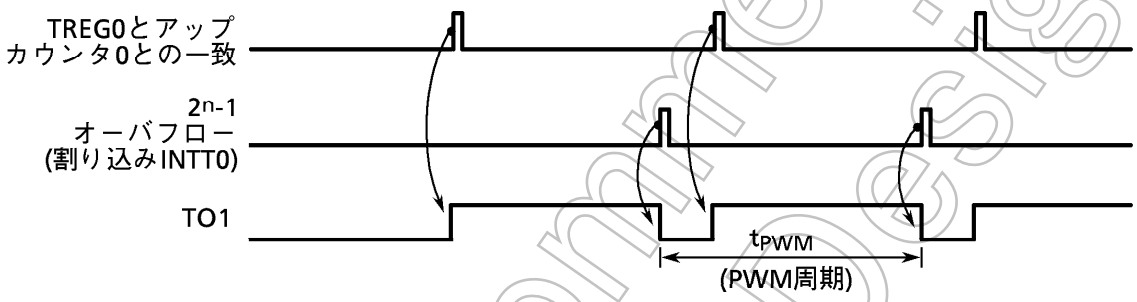


図3.7 (11) 8ビットPWM出力波形

Not Recommended for New Design

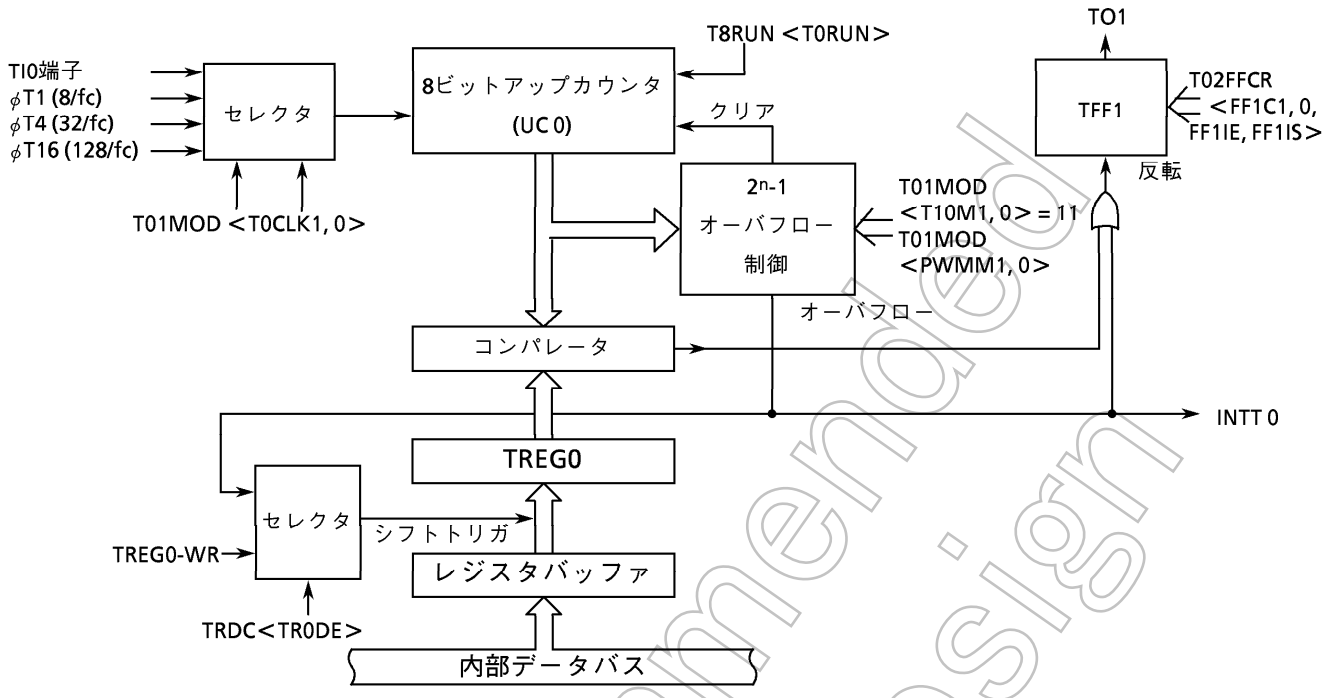


図3.7 (12) 8ビットPWM出力モードのブロック図

このモードでは、TREG0をダブルバッファイネーブルにすることにより、2^n-1カウンタのオーバフローの検出で、レジスタバッファの値がTREG0へシフトインされます。
ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

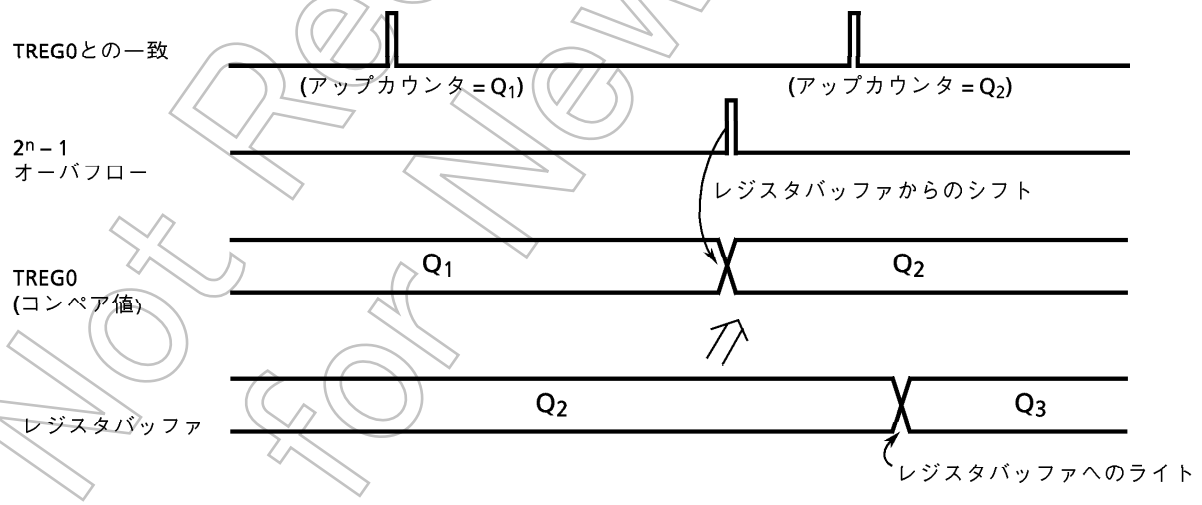
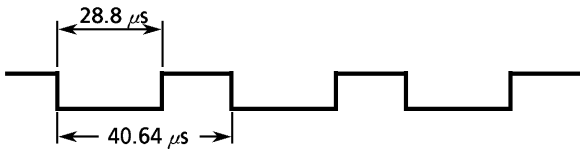


図3.7 (13) レジスタバッファの動作

Not Recommended for New Design

例： 下記のPWM波形をTO1端子へ出力する場合 (@fc＝25 MHz)



PWM周期40.64 μsを ϕT1 = 0.32 μs (@fc = 25 MHz) で実現する場合、

$40.64\ \mu s \div 0.32\ \mu s = 127 = 2^n - 1$

となります。従って、n = 7に設定します。

"L" レベルの期間は、28.8 μsなので、ϕT1 = 0.32 μsでは、

$28.8\ \mu s \div 0.32\ \mu s = 90$

となります。従って、TREG0には

TREG0 = 90 = 5AH

を設定します。

		MSB 7	6	5	4	3	2	1	LSB 0	
T8RUN	←	-	-	-	-	-	-	-	0	タイマ0を停止し、ゼロクリアします。
T01MOD	←	1	1	1	0	-	-	0	1	8ビットPWMモード (周期＝$2^7 - 1$) に設定、入力クロック ϕT1を選択します。
T02FFCR	←	-	-	-	-	1	0	1	X	TFF1をクリアし、反転イネーブルにします。
TREG0	←	0	1	0	1	1	0	1	0	"5AH"を書き込みます。
P7CR	←	X	X	-	-	-	-	1	-	P71をTO1端子に設定します。
P7FC	←	X	X	-	-	X	-	1	X	
T16RUN	←	1	X	-	-	X	X	X	X	
T8RUN	←	-	-	-	-	-	-	-	1	タイマ0をカウントさせます。

(注) X : Don't care　　- : no change

表3.7 (4) に、タイマ入力クロックソースと ($2^n - 1$) カウンタで決まるPWM周期を示します。

表3.7 (4) PWM周期の設定 (@fc = 25 MHz)

入力クロック / ($2^n - 1$) カウンタ	ϕT1	ϕT4	ϕT16
$2^6 - 1$	20.2 μs (49.6 kHz)	80.6 μs (12.4 kHz)	322.6 μs (3.1 kHz)
$2^7 - 1$	40.6 μs (24.6 kHz)	162.6 μs (6.2 kHz)	650.2 μs (1.5 kHz)
$2^8 - 1$	81.6 μs (12.3 kHz)	326.4 μs (3.1 kHz)	1.31 ms (0.8 kHz)

Not Recommended for New Design

(5) 各タイマモード一覧

8ビットタイマ0~7は、8ビットタイマ、16ビットタイマ、8ビットPPG、8ビットPWMのモードを設定できます。表3.7 (5) に、各タイマモードの設定一覧を示します。

表3.7 (5) 各タイマモードの設定

レジスタ名	TxxMOD				TxxFFCR
bit Symbol / タイマモード (8ビットタイマ×2ch当り)	タイマモード <T01M1, 0> <T23M1, 0> <T45M1, 0> <T67M1, 0>	PWM周期 <PWM01, 00> <PWM21, 20> <PWM41, 40> <PWM61, 60>	上位タイマ入力クロック <T1CLK1, 0> <T3CLK1, 0> <T5CLK1, 0> <T7CLK1, 0>	下位タイマ入力クロック <T0CLK1, 0> <T2CLK1, 0> (注) <T4CLK1, 0> <T6CLK1, 0> (注)	反転セレクト <FF1IS> <FF3IS> <FF5IS> <FF7IS>
16ビットタイマ (フル16ビット)×1ch	01	–	–	00 : 外部入力 01 : φT1 10 : φT4 11 : φT16	–
8ビットタイマ (8ビット×8ビットモード)×1ch (上位タイマへ下位タイマのコンパレータ出力を入力する)	00	–	00	00 : 外部入力 01 : φT1 10 : φT4 11 : φT16	0: 下位タイマ 1: 上位タイマ
8ビットタイマ×2ch	00	–	00 : Don't care 01 : φT1 10 : φT16 11 : φT256	00 : 外部入力 01 : φT1 10 : φT4 11 : φT16	0: 下位タイマ 1: 上位タイマ
8ビットPPG×1ch	10	–	–	00 : 外部入力 01 : φT1 10 : φT4 11 : φT16	–
8ビット PWM×1ch (下位) 8ビットタイマ×1ch(上位)	11	00 : Don't care 01 : $2^6 - 1$ 10 : $2^7 - 1$ 11 : $2^8 - 1$	00 : Don't care 01 : φT1 10 : φT16 11 : φT256	00 : 外部入力 01 : φT1 10 : φT4 11 : φT16	–

注) タイマ2とタイマ6は、外部クロックの入力はありません。

Not Recommended for New Design

3.8 16ビットタイマ / イベントカウンタ

TMP95CS64/265は、多機能16ビットタイマ / イベントカウンタを 2 本 (タイマ8、9) 内蔵しています。タイマ8とタイマ9は、同一の機能をもっており、それぞれ独立した動作を行うことができます。

16ビットタイマは、次の3つの動作モードを持っています。

- 16ビットインタバルタイマモード
- 16ビットイベントカウンタモード
- 16ビットプログラマブル矩形波出力 (PPG) モード

また、キャプチャ機能を利用することで、次のような動作を行うこともできます。

- 外部トリガパルスからのワンショットパルス出力
- 周波数測定
- パルス幅測定
- 時間差測定

また、16ビットタイマを用いて、任意の位相差をもつ信号を出力することもできます。

図3.8 (1) に、16ビットタイマ / イベントカウンタのブロック図 (タイマ8) を示します。タイマ9も同様な回路構成です。

各16ビットタイマ / イベントカウンタは、16ビットのアップカウンタ、16ビットのコンパレータ、16ビットのタイマレジスタ、および、16ビットのキャプチャレジスタで構成され、タイマ8、タイマ9にそれぞれ2つずつタイマフリップフロップ (TFF8 / TFF9、TFFA / TFFB) が用意されています。

各16ビットタイマへの入力クロックソースφT1、φT4、φT16は、内蔵の9ビットプリスケーラ (「3.7.2 (1) プリスケーラ」を参照してください) より得ています。

16ビットタイマ/イベントカウンタは、6 つのコントロールレジスタ(T8MOD、T9MOD、T8FFCR、T9FFCR、T16RUN、T89CR) で制御されます。

Not Recommended for New Design

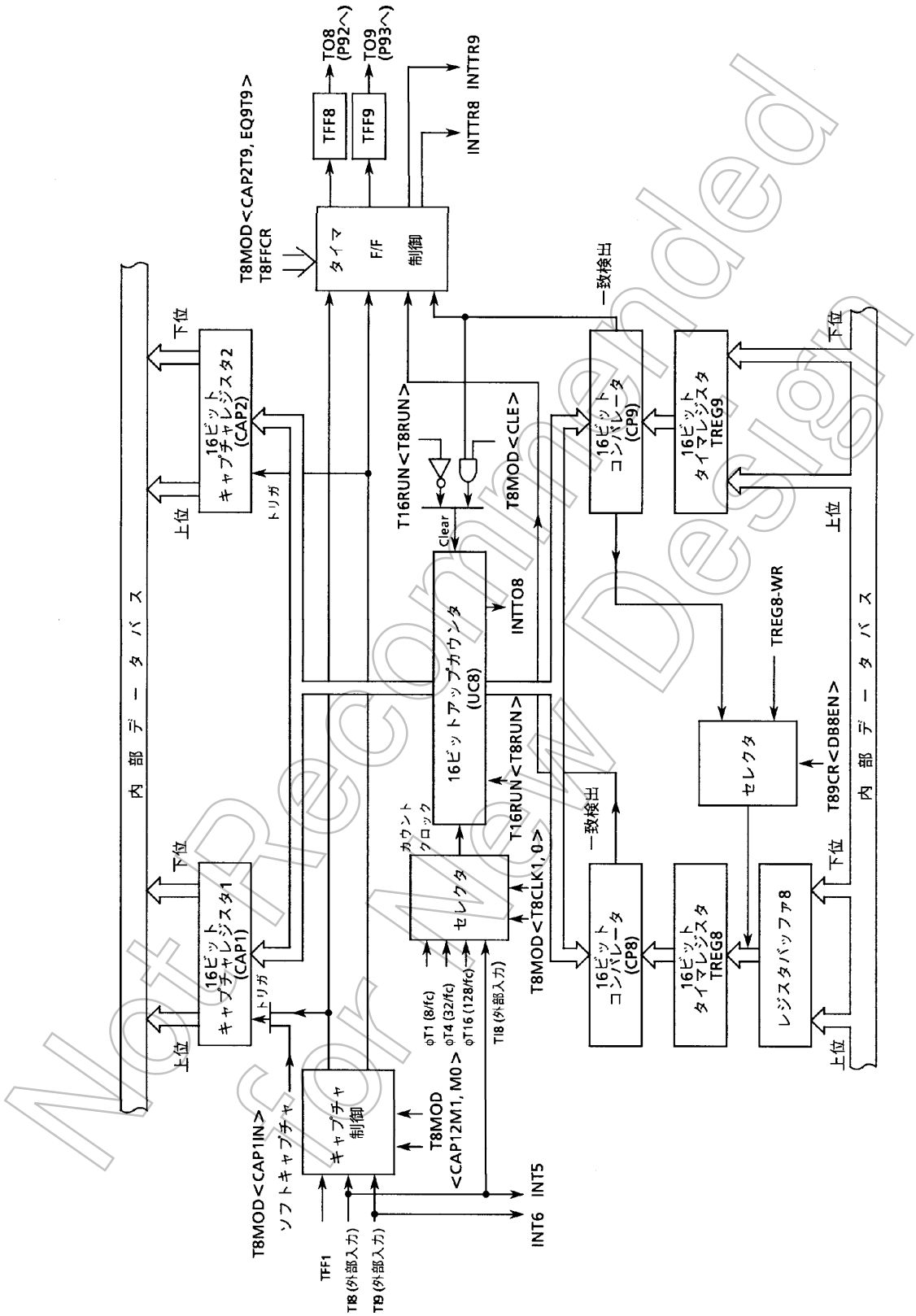


図3.8 (1) 16ビットタイマブロック図 (タイマ8)

Not Recommended for New Design

3.8.1 16ビットタイマ / イベントカウンタレジスタ

図3.7 (2) に16ビットタイマ / イベントカウンタ関係のレジスタを示します。これらのレジスタを設定することにより、16ビットタイマ / イベントカウンタの動作制御を行うことができます。

タイマ8/9コントロールレジスタ

T89CR (003AH)

	7	6	5	4	3	2	1	0
bit Symbol	–					–	DBAEN	DB8EN
Read/Write	R/W					R/W		
リセット後	0					0	0	0
機　能	注)かならず "0"を書いてください。					注)かならず "0"を書いてください。	TREGAのダブルバッファ制御 0:ディセーブル 1:イネーブル	TREG8のダブルバッファ制御 0:ディセーブル 1:イネーブル

タイマレジスタAのダブルバッファ制御

0	ディセーブル
1	イネーブル

タイマレジスタ8のダブルバッファ制御

0	ディセーブル
1	イネーブル

16ビットタイマ動作コントロールレジスタ

T16RUN (003BH)

	7	6	5	4	3	2	1	0
bit Symbol	PRRUN		T9RUN	T8RUN				
Read/Write	R/W		R/W					
リセット後	0		0	0				
機　能	プリスケーラの動作制御 0:停止&クリア 1:動作		タイマ9の動作制御 0:停止&クリア 1:動作	タイマ8の動作制御 0:停止&クリア 1:動作				

タイマ8アップカウンタ動作制御

0	停止 & クリア
1	動作

プリスケーラの動作制御　(注)

0	停止 & クリア
1	動作

タイマ9アップカウンタ動作制御

0	停止 & クリア
1	動作

注)　16ビットタイマを動作させる場合、T16RUN<PRRUN>を "1" にセットしてください。

図3.8 (2) -1　16ビットタイマ / イベントカウンタ関係のレジスタ

Not Recommended for New Design

タイマ8モードコントロールレジスタ

T8MOD (0038H)

	7	6	5	4	3	2	1	0
bit Symbol	CAP2T9	EQ9T9	CAP1IN	CAP12M1	CAP12M0	CLE	T8CLK1	T8CLK0
Read/Write	R/W		W	R/W				
リセット後	0	0	1	0	0	0	0	0
機　能	TFF9反転トリガ 0: トリガディセーブル 1: トリガイネーブル		ソフトウエアキャプチャ制御 0 : ソフトキャプチャ 1 : Don't care	キャプチャタイミング 00 : ディセーブル INT5は立ち上がりエッジ 01 : TI8↑ TI9↑ INT5は立ち上がりエッジ 10 : TI8↑ TI8↓ INT5は立ち下がりエッジ 11 : TFF1↑ TFF1↓ INT5は立ち上がりエッジ		タイマ8アップカウンタ制御 0 : クリアディセーブル 1 : クリアイネーブル	タイマ8ソースクロック選択 00 : TI8 01 : φT1 10 : φT4 11 : φT16	
	CAP2へのアップカウンタ値取り込み時	アップカウンタとTREG9との一致時						

タイマ8のキャプチャタイミング

	キャプチャ制御	INT5制御
00	キャプチャ禁止	TI8の立ち上がりでINT5発生
01	TI8の立ち上がりでCAP1 TI9の立ち上がりでCAP2	
10	TI8の立ち上がりでCAP1 TI8の立ち下がりでCAP2	TI8の立ち下がりでINT5発生
11	TFF1の立ち上がりでCAP1 TFF1の立ち下がりでCAP2	TI8の立ち上がりでINT5発生

タイマ8の入力クロック

00	外部入力クロック(TI8)
01	φT1 (8/fc)
10	φT4 (32/fc)
11	φT16 (128/fc)

アップカウンタ (UC8) のクリア

0	アップカウンタのクリア禁止
1	TREG9との一致でクリア

ソフトウエアキャプチャ制御
(読み出すと"1"になります。)

0	CAP1へアップカウンタ8の値を取り込みます。
1	Don't care

アップカウンタとTREG9との一致時
タイマフリップフロップ9 (TFF9) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP2へのアップカウンタ値取り込み時
タイマフリップフロップ9 (TFF9) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

図3.8 (2) -2　16ビットタイマ / イベントカウンタ関係のレジスタ

Not recommended for New Design

タイマ8フリップフロップコントロールレジスタ

T8FFCR (0039H)	7	6	5	4	3	2	1	0
bit Symbol	TFF9C1	TFF9C0	CAP2T8	CAP1T8	EQ9T8	EQ8T8	TFF8C1	TFF8C0
Read/Write	W		R/W				W	
リセット後	1	1	0	0	0	0	1	1
機　能	TFF9の制御 00: Invert TFF9 01: Set TFF9 10: Clear TFF9 11: Don't care		TFF8 反転トリガ 0: トリガディセーブル 1: トリガイネーブル CAP2へのアップカウンタ値取り込み時	CAP1へのアップカウンタ値取り込み時	アップカウンタとTREG9との一致時	アップカウンタとTREG8との一致時	TFF8の制御 00: Invert TFF8 01: Set TFF8 10: Clear TFF8 11: Don't care	

タイマフリップフロップ8 (TFF8) の制御

00	TFF8の値を反転します。(ソフト反転)
01	TFF8を "1" にセットします。
10	TFF8を "0" にクリアします。
11	Don't care (読み出すと "11" になります。)

アップカウンタとTREG8との一致時
タイマフリップフロップ8 (TFF8) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

アップカウンタとTREG9との一致時
タイマフリップフロップ8 (TFF8) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP1へのアップカウンタ値取り込み時
タイマフリップフロップ8 (TFF8) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP2へのアップカウンタ値取り込み時
タイマフリップフロップ8 (TFF8) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

タイマフリップフロップ9 (TFF9) の制御

00	TFF9の値を反転します。(ソフト反転)
01	TFF9を "1" にセットします。
10	TFF9を "0" にクリアします。
11	Don't care (読み出すと "11" になります。)

Not Recommended for New Design

図3.8 (2) -3　16ビットタイマ / イベントカウンタ関係のレジスタ

タイマ9モードコントロールレジスタ

T9MOD (0048H)	7	6	5	4	3	2	1	0
bit Symbol	CAP4TB	EQBTB	CAP3IN	CAP34M1	CAP34M0	CLE	T9CLK1	T9CLK0
Read/Write	R/W		W	R/W				
リセット後	0	0	1	0	0	0	0	0
機　能	TFFB反転トリガ 0: トリガディセーブル 1: トリガイネーブル		ソフトウエアキャプチャ制御 0 : ソフトキャプチャ 1 : Don't care	キャプチャタイミング 00 : ディセーブル INT7は立ち上がりエッジ 01 : TIA↑　TIB↑ INT7は立ち上がりエッジ 10 : TIA↑　TIA↓ INT7は立ち下がりエッジ 11 : TFF1↑　TFF1↓ INT7は立ち上がりエッジ		タイマ9アップカウンタ制御 0 : クリアディセーブル 1 : クリアイネーブル	タイマ9ソースクロック選択 00 : TIA 01 : φT1 10 : φT4 11 : φT16	
	CAP4へのアップカウンタ値取り込み時	アップカウンタとTREGBとの一致時						

タイマ9のキャプチャタイミング

	キャプチャ制御	INT7制御
00	キャプチャ禁止	
01	TIAの立ち上がりでCAP3 TIBの立ち上がりでCAP4	TIAの立ち上がりでINT7発生
10	TIAの立ち上がりでCAP3 TIAの立ち下がりでCAP4	TIAの立ち下がりでINT7発生
11	TFF1の立ち上がりでCAP3 TFF1の立ち下がりでCAP4	TIAの立ち上がりでINT7発生

タイマ9の入力クロック

00	外部入力クロック(TIA)
01	φT1 (8/fc)
10	φT4 (32/fc)
11	φT16 (128/fc)

アップカウンタ (UC9) のクリア

0	アップカウンタのクリア禁止
1	TREGBとの一致でクリア

ソフトウエアキャプチャ制御
(読み出すと"1"になります。)

0	CAP3へアップカウンタ9の値を取り込みます。
1	Don't care

アップカウンタとTREGBとの一致時
タイマフリップフロップB (TFFB) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP2へのアップカウンタ値取り込み時
タイマフリップフロップB (TFFB) の反転トリガ

0	トリガディセーブル (反転禁止)
1)	トリガイネーブル (反転許可)

Not Recommended for New Design

図3.8 (2) -4　16ビットタイマ / イベントカウンタ関係のレジスタ

タイマ9フリップフロップコントロールレジスタ

T9FFCR (0049H)

	7	6	5	4	3	2	1	0
bit Symbol	TFFBC1	TFFBC0	CAP4TA	CAP3TA	EQBTA	EQATA	TFFAC1	TFFAC0
Read/Write	W		R/W				W	
リセット後	1	1	0	0	0	0	1	1
機　能	TFFBの制御 00 : Invert TFFB 01 : Set TFFB 10 : Clear TFFB 11 : Don't care		TFFA 反転トリガ 0: トリガディセーブル 1: トリガイネーブル CAP4へのアップカウンタ値取り込み時	CAP3へのアップカウンタ値取り込み時	アップカウンタとTREG9との一致時	アップカウンタとTREG8との一致時	TFFAの制御 00 : Invert TFFA 01 : Set TFFA 10 : Clear TFFA 11 : Don't care	

タイマフリップフロップA (TFFA) の制御

00	TFFAの値を反転します。(ソフト反転)
01	TFFAを "1" にセットします。
10	TFFAを "0" にクリアします。
11	Don't care (読み出すと "11" になります。)

アップカウンタとTREGAとの一致時
タイマフリップフロップA (TFFA) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

アップカウンタとTREGBとの一致時
タイマフリップフロップA (TFFA) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP3へのアップカウンタ値取り込み時
タイマフリップフロップA (TFFA) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP4へのアップカウンタ値取り込み時
タイマフリップフロップA (TFFA) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

タイマフリップフロップB (TFFB) の制御

00	TFFBの値を反転します。(ソフト反転)
01	TFFBを "1" にセットします。
10	TFFBを "0" にクリアします。
11	Don't care (読み出すと "11" になります。)

Not Recommended for New Design

図3.8 (2) -5　16ビットタイマ / イベントカウンタ関係のレジスタ

3.8.2 ブロック構成

(1) 16ビットアップカウンタ

16ビットアップカウンタUC8、9は、タイマ8、9の16ビットバイナリカウンタです。16ビットタイマモードコントロールレジスタT8MOD、T9MODで選択した内部、および、外部クロックにより、カウントアップを行います。各アップカウンタの動作制御は、16ビットタイマ動作コントロールレジスタT16RUNの設定で行います。

UC8、9の入力クロックとして、内部クロックφT1、φT4、φT16、タイマ入力端子(TI8、TI9)信号による外部クロックのいずれかを選択できます。

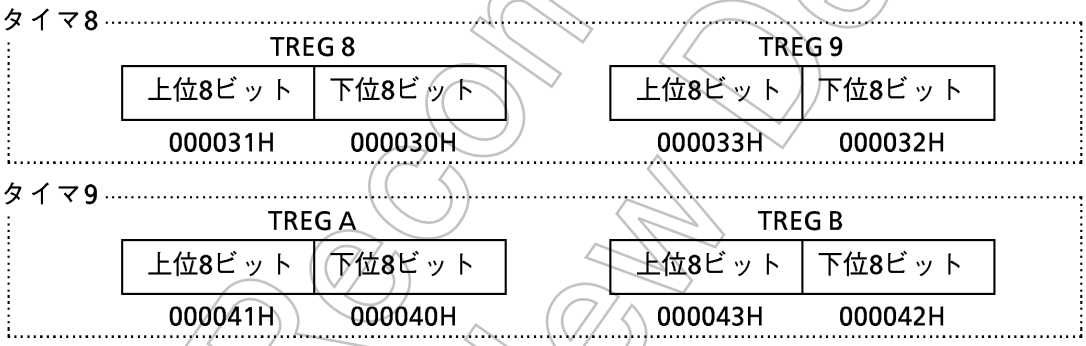
UC8、9のオーバフローが発生した場合、割り込み要求INTTO8、INTTO9が発生します。

リセット後、T16RUNはクリアされ、プリスケーラ、および、UC8、9は停止します。

(2) 16ビットタイマレジスタ

16ビットタイマレジスタは、カウント値を設定する16ビットのレジスタで、各タイマに2つずつ内蔵されています。このタイマレジスタへの設定値と16ビットアップカウンタUC8、9の値とが一致すると、コンパレータの一致検出信号が出力されます。

16ビットタイマレジスタTREG8、TREG9およびTREGA、TREGBへのデータ設定は、2バイトデータ転送命令を用いるか、1バイトデータ転送命令を2回用いて、下位8ビット、上位8ビットの順に行います。



TREG8~TREGBは書き込み専用レジスタのため、読み出すことはできません。

16ビットタイマレジスタのうち、TREG8とTREGAは、ダブルバッファ構成になっています(それぞれに、レジスタバッファが用意されています)。

ダブルバッファのイネーブル/ディセーブルの制御は、タイマ8、9コントロールレジスタT89CR<DB8EN, DBAEN>によって行います。このビットが“0”のときディセーブルとなり、“1”のときイネーブルとなります。

ダブルバッファイネーブルに設定した場合、レジスタバッファからタイマレジスタへのデータ転送は、UC8とTREG9、UC9とTREGBの値が一致したときに行われます。

リセット後、TREG8~TREGBは不定のため、16ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。

リセット動作により、T89CRは“0”にリセットされ、ダブルバッファはディセーブルになっています。ダブルバッファを使用するときは、TREG8、TREGAにデータを書き込み、T89CR<DB8EN, DBAEN>を“1”に設定した後、レジスタバッファへ次のデータを書き込んでください。

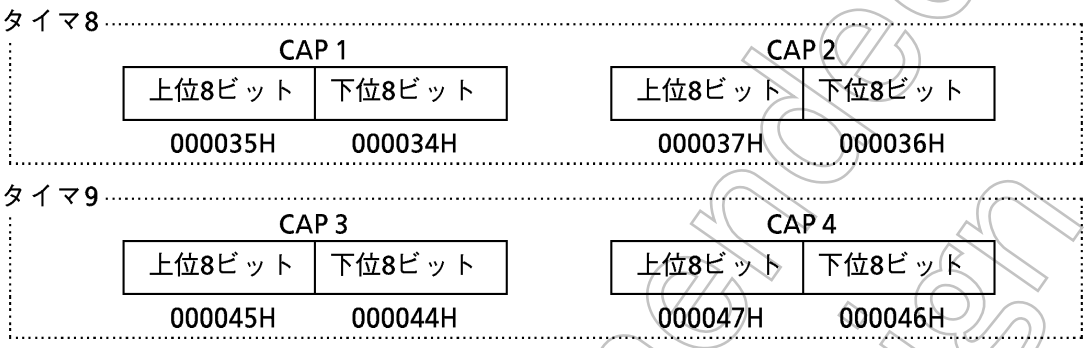
16ビットタイマレジスタとレジスタバッファは、同じメモリ番地に割り付けられています。T89CR<DB8EN, DBAEN>が“0”のときは、タイマレジスタとレジスタバッファに同じ値が書き込まれ、<DB8EN, DBAEN>が“1”のときは、レジスタバッファにのみ書き込まれます。従って、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

Not Recommended for New Design

(3) キャプチャレジスタ

キャプチャレジスタは、16ビットアップカウンタUC8、9の値をラッチする16ビットのレジスタです。

キャプチャレジスタを読み出す場合は、2バイトデータロード命令を用いるか、1バイトデータロード命令を2回用いて下位8ビット、上位8ビットの順に読み出してください。



CAP1~CAP4は読み出し専用レジスタです。ソフトウエアによる書き込みはできません。

(4) キャプチャ入力制御

キャプチャ入力制御は、16ビットアップカウンタUC8、9の値をキャプチャレジスタCAP1、CAP2、CAP3、CAP4にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、タイマ8、9モードコントロールレジスタT8MOD <CAP12M1, 0>、T9MOD <CAP34M1, 0> で設定します。

ラッチタイミングの設定、および、動作は、次のようになります。

- T8MOD <CAP12M1, 0>、T9MOD <CAP34M1, 0>に “00”を設定した場合
  キャプチャ機能は、ディセーブルされます。リセット後は、ディセーブル状態となっています。

- T8MOD<CAP12M1, 0>、T9MOD<CAP34M1, 0>に“01”を設定した場合
  TI8 (P90 / INT5と兼用)、TIA (P94 / INT7と兼用) の外部入力の立ち上がりエッジでCAP1、CAP3へ取り込み、TI9 (P91 / INT6と兼用)、TIB (P95 / INT8と兼用) の外部入力の立ち上がりエッジでCAP2、CAP4へ取り込みます(時間差測定)。

- T8MOD<CAP12M1, 0>、T9MOD<CAP34M1, 0>に “10” を設定した場合
  TI8、TIAの外部入力の立ち上がりエッジでCAP1、CAP3へ取り込み、立ち下がりエッジでCAP2、CAP4へ取り込みます。この設定の場合に限り、INT4、INT6割り込みは、立ち下がりエッジで発生します(パルス幅測定)。

- T8MOD<CAP12M1, 0>、T9MOD<CAP34M1, 0>に“11”を設定した の場合
  タイマフリップフロップTFF1の立ち上がりエッジでCAP1、CAP3へ取り込み、立ち下がりエッジでCAP2、CAP4へ取り込みます。
  また、ソフトウエアによっても、UC8、9の値をキャプチャレジスタへ取り込むことができ、T8MOD<CAP1IN>、T9MOD<CAP3IN>に “0” を書き込むごとに、その時点のUC8、9の値をCAP1、CAP3へ取り込みます。なお、プリスケーラは、RUN状態 (T16RUN<PRRUN> = “1”) にしておく必要があります。

Not Recommended for New Design

(5) コンパレータ

16ビットコンパレータは、16ビットアップカウンタUC8、9の値と、16ビットタイマレジスタTREG8、TREG9、および、TREGA、TREGBへの設定値とを比較し、一致検出を行います。

一致検出により、一致検出信号を出力し、それぞれの16ビットタイマから、割り込み要求INTTR8 / INTTR9、INTTRA / INTTRBを発生します。

UC8のクリアは、カウント値とTREG9の値が一致した場合に行われ、UC9のクリアは、カウント値とTREGBの値が一致した場合に行われます。また、UC8、9のクリアをディセーブルに設定することができます。この場合、タイマ8、9モードコントロールレジスタT8MOD <CLE>、T9MOD <CLE>を“0”に設定します。

(6) タイマフリップフロップ

タイマフリップフロップは、タイマ8、9にそれぞれ2つずつ用意されています。各タイマに用意されているフリップフロップはそれぞれ異なる機能をもっています。

① TFF8、TFFA

TFF8、TFFAは、コンパレータからの一致信号、および、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。

タイマ8、および、タイマ9における2種類のキャプチャ動作および2種類の一致検出を反転トリガとして指定することができます。

これらの設定は、T8FFCR、T9FFCRのビット2~5で指定することができます。

② TFF9、TFFB

TFF9、TFFBは、コンパレータからの一致信号、およびキャプチャレジスタへのラッチ信号によって反転するフリップフロップです。

タイマ8、および、タイマ9における1種類のキャプチャ動作、および、1種類の一致検出を反転トリガとして指定することができます。

これらの設定は、T8MOD、T9MODのビット6、7で指定することができます。

リセット後、タイマフリップフロップの値は不定となります。T8FFCR<TFF8C1, 0>、<TFF9C1, 0>、T9FFCR<TFFAC1, 0>、<TFFBC1, 0>に“01”、または、“10”を書き込むことで、タイマフリップフロップの値を“0”、または、“1”に設定することができます。また、このビットに“00”を書き込むことによりタイマフリップフロップの値を反転させることができます(ソフト反転)。

TFF8、TFF9、TFFA、TFFBの値は、それぞれタイマ出力端子TO8 (P92と兼用)、TO9 (P93と兼用)、TOA (P96と兼用)、TOB (P96と兼用) へ出力することができます。

タイマ出力を行う場合、出力端子がP92、P93、P96と兼用になっているため、ポート9ファンクションレジスタP9FCで、設定を行う必要があります (図3.5(33) ポート9関係のレジスタを参照してください)。

Not Recommended for New Design

3.8.3 各モードごとの動作説明

(1) 16ビットインタバルタイマモード

2本のインタバルタイマ8、9は、それぞれ独立した16ビットインタバルタイマとして使用できます。ここでは、タイマ8を例に説明します。

例： 一定周期の割り込みを発生させる場合

一定周期ごとにタイマ割り込みを発生させる場合、16ビットタイマレジスタTREG9にインタバル時間(周期)を設定し、INTTR9割り込みを用います。各レジスタは、次のように設定します。

```
            7 6 5 4 3 2 1 0
T16RUN  ← - X - 0 X X X X     タイマ8を停止します。
INTET89 ← 1 1 0 0 1 0 0 0     INTTR9をイネーブル、割り込みレベル4に設定し
                              INTTR8を禁止します。
T8FFCR  ← 1 1 0 0 0 0 1 1     トリガをディセーブルします。
T8MOD   ← 0 0 1 0 0 1 * *     入力クロックを内部クロックにし、キャプチャ機能
            (** = 01, 10, 11)  をディセーブルアップカウンタをクリアイネーブ
                              ルに設定します。
TREG9   ← * * * * * * * *     インタバル時間を設定します。(16ビット)
          * * * * * * * *
T16RUN  ← 1 X - 1 X X X X     タイマ8を起動します。
```

(注) X : Don't care　　- : no change

(2) 16ビットイベントカウンタモード

タイマ8、9は、タイマクロックソースを外部入力TI8、および、TIAに設定することで、イベントカウンタとして動作させることができます。

ここでは、タイマ8を例に説明します。

16ビットアップカウンタUC8は、TI8入力の立ち上がりエッジでカウントを行います。ソフトウエアキャプチャを行い、キャプチャ値をリードすることで、カウント値を読むことができます。

タイマ入力端子TI8は、P90と兼用になっていますが、選択機能はありません。従って、タイマ8を動作状態にすることによりいつでもイベントカウント動作を行うことができます。各レジスタは次のように設定します。

```
            7 6 5 4 3 2 1 0
T16RUN  ← - X - 0 X X X X     タイマ8を停止します。
P9CR    ← - - - - - - - 0     P90を入力モードに設定します。
INTET89 ← 1 1 0 0 1 0 0 0     INTTR9をイネーブル(レベル4)に、INTTR8をディ
                              セーブルにします。
T8FFCR  ← 1 1 0 0 0 0 1 1     トリガディセーブルにします。
T8MOD   ← 0 0 1 0 0 1 0 0     入力クロックをTI8にします。
TREG9   ← * * * * * * * *     カウント数を設定します(16ビット)
          * * * * * * * *
T16RUN  ← 1 X - 1 X X X X     タイマ8を起動します。
```

(注1) X : Don't care　　- : no change

(注2) 16ビットタイマをイベントカウンタとして使用する場合も、プリスケーラはカウント状態にしてください(T16RUN＜PRRUN＞＝"1")。

Not Recommended for New Design

(3) 16ビットプログラマブル矩形波 (PPG) 出力モード

タイマ8、9は任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

タイマ8はTO8端子 (P92と兼用)、タイマ9はTOA端子 (P96と兼用) からそれぞれ矩形波を出力します。

ここでは、タイマ8を例に説明します。

16ビットアップカウンタUC8とTREG8との一致、および、TREG9との一致により、タイマフリップフロップ TFF8の反転トリガをかけることで、プログラマブル矩形波をTO8端子より出力することができます。ただし、TREG8の設定値とTREG9の設定値は次の条件を満たす必要があります。

(TREG8の設定値) < (TREG9の設定値)

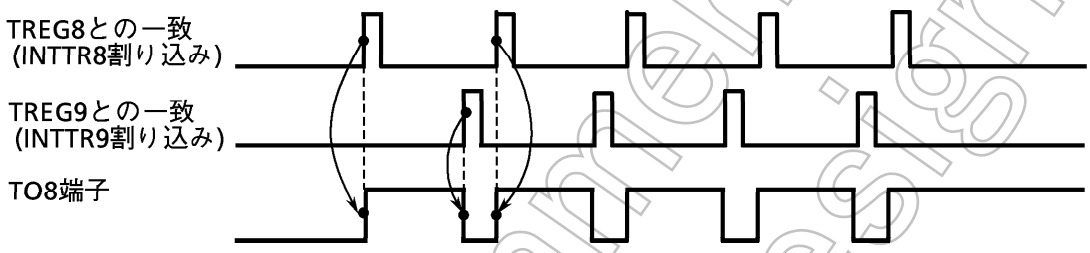


図 3.8 (3) 16ビットプログラマブル矩形波 (PPG) 出力波形

このモードでは、TREG8のダブルバッファをイネーブルにすることにより、UC8のカウント値とTREG9の値の一致で、レジスタバッファ8の値がTREG8へシフトインされます。これにより、小さいデューティへの対応が、容易に行えます。

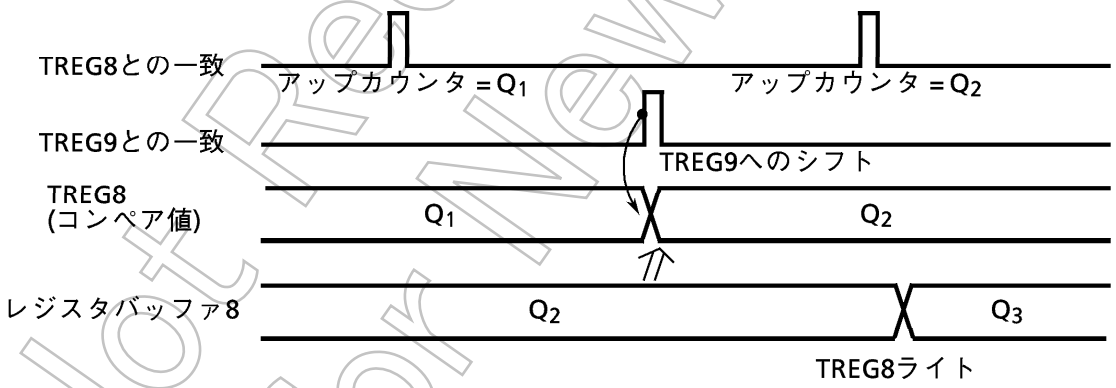


図 3.8 (4) レジスタバッファの動作

Not Recommended for New Design

16ビットPPG出力モードのブロック図を図3.8 (5) に示します。

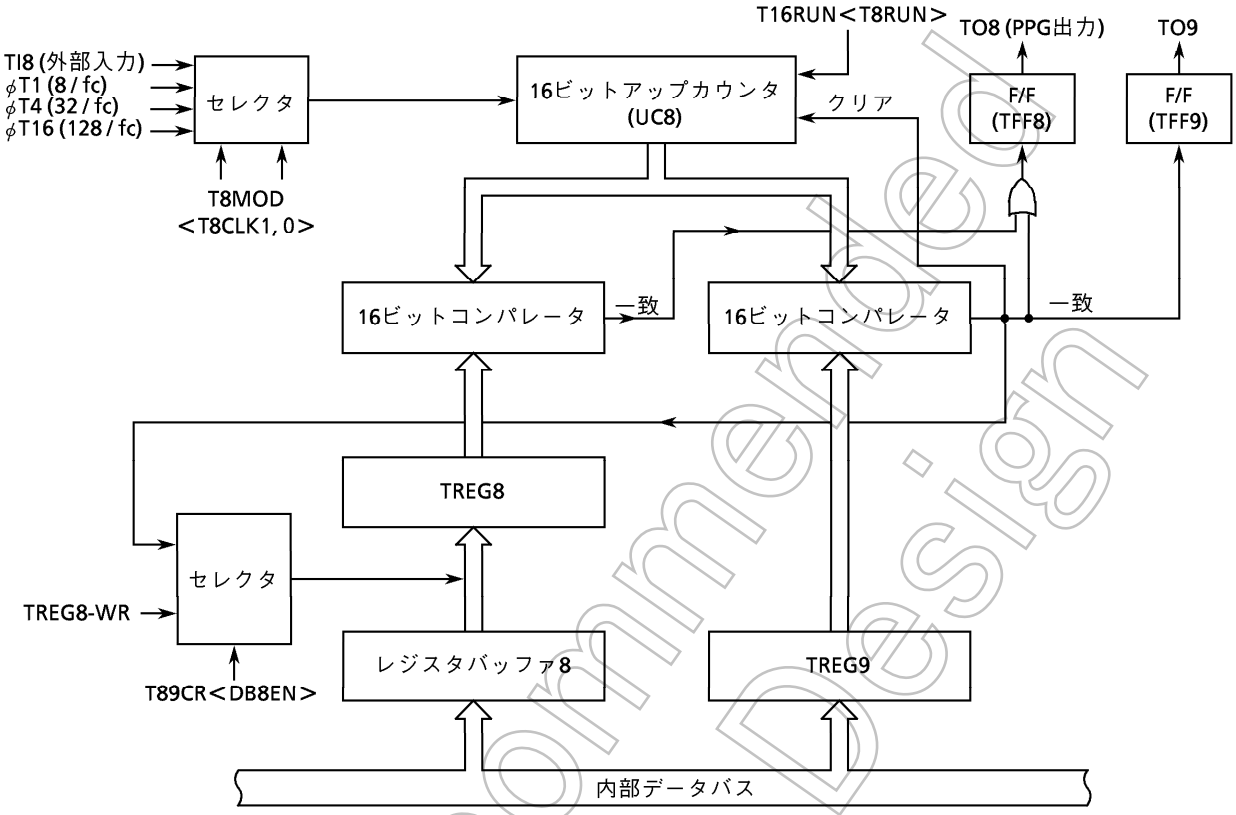


図3.8 (5) 16ビットPPG出力モードのブロック図

16ビットPPG出力モード時の各レジスタは、次のように設定します。

```
            7 6 5 4 3 2 1 0
T16RUN  ← - X - 0 X X X X     タイマ8を停止します。
TREG8   ← * * * * * * * *     デューティを設定します。(16ビット)
          * * * * * * * *
TREG9   ← * * * * * * * *     周期を設定します。(16ビット)
          * * * * * * * *
T89CR   ← 0 X X X X 0 - 1     TREG8のダブルバッファイネーブル
                              (INTTR9割り込みでデューティ/周期の変更)
T8FFCR  ← 1 1 0 0 1 1 1 0     TFF8をTREG8, TREG9との一致検出で反転するように
                              設定します。また、TFF8の初期値を "0" にします。
T8MOD   ← 0 0 1 0 0 1 * *     入力クロックは内部クロックを選択し、キャプチャ
            (** = 01, 10, 11)  機能は、ディセーブルに設定します。
P9CR    ← - - - - - - 1 - -   } P92をTO8に割り付けます。
P9FC    ← X - X X - 1 X X     }
T16RUN  ← 1 X - 1 X X X X     タイマ8を起動します。
```

(注) X : Don't care　　- : no change

Not Recommended for New Design

(4) キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

① 外部トリガパルスからのワンショットパルス出力

② 周波数測定

③ パルス幅測定

④ 時間差測定

各応用例について、タイマ8を用いて説明します。

① 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタUC8を内部クロックを用いてフリーランニングでカウントアップさせておきます。TI8端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタCAP1に取り込みます。

外部トリガパルスの立ち上がり時、割り込みINT5が発生します。この割り込みで、タイマレジスタTREG8には、CAP1の値(c)とディレイタイム(d)を加算した値(c+d)を設定します。タイマレジスタTREG9には、TREG8の値とワンショットパルスのパルス幅(p)を加算した値(c+d+p)を設定します。

さらに、タイマ8フリップフロップコントロールレジスタT8FFCR<EQ9T8, EQ8T8>に"11"を設定し、UC8とTREG8との一致、および、TREG9との一致により、タイマフリップフロップTFF8が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTR9の割り込み処理により、これをディセーブルに戻します。

なお、文中の(c)、(d)、(p)は、「図3.8(6) 外部トリガパルスからのワンショットパルス出力(ディレイあり)」のc、d、pと対応しています。

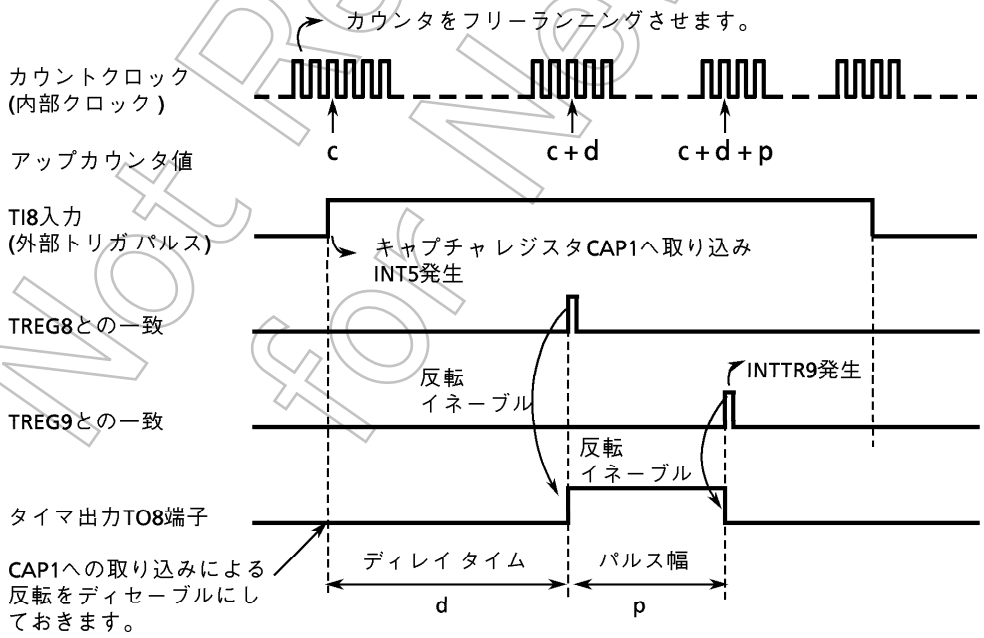
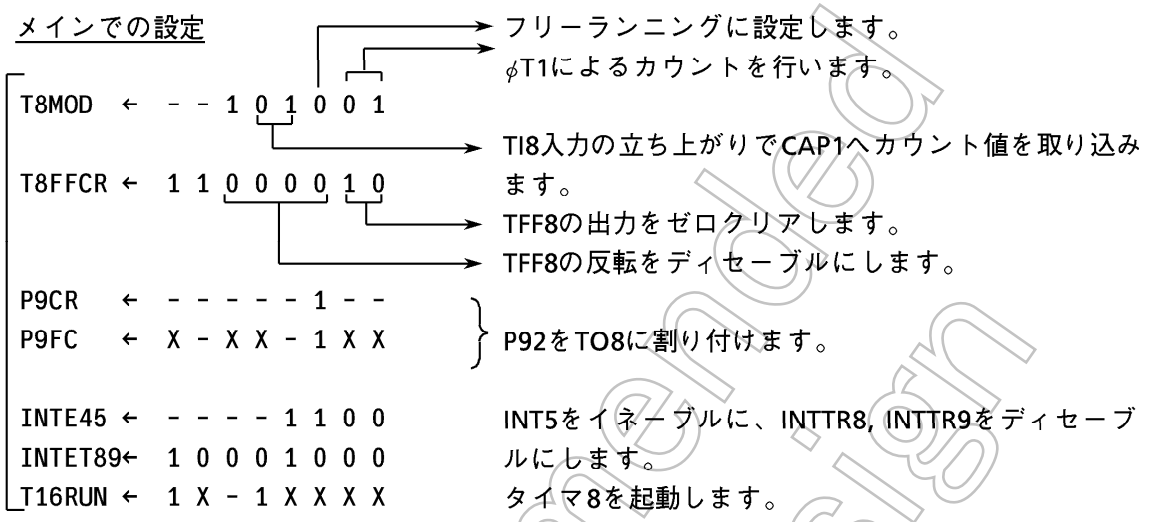
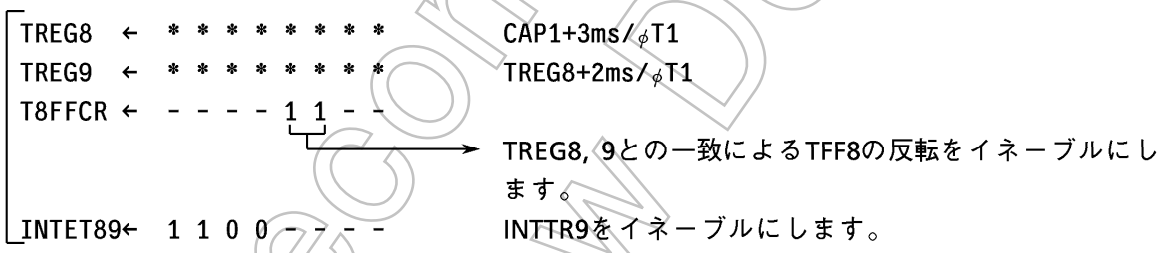


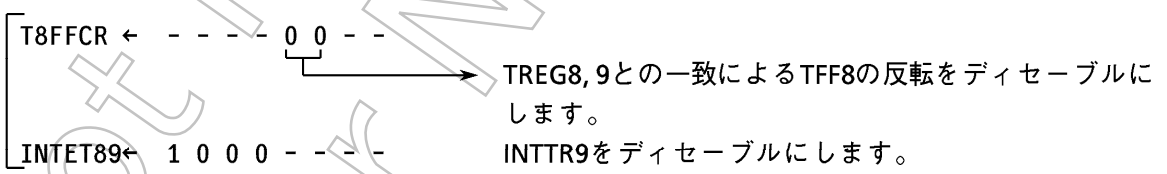
図3.8(6) 外部トリガパルスからのワンショットパルス出力(ディレイあり)

Not Recommended for New Design

例： TI8端子への外部トリガパルスに対して3msディレイで2msのワンショットパルスを出力する場合







(注) X : Don't care　　- : no change

ディレイタイムが不要な場合、CAP1への取り込みによってTFF8を反転させ、割り込みINT5でCAP1の値(c)にワンショットパルスの幅(p)を加算した値(c+p)をTREG9に設定します。TFF8は、TREG9とUC8の一致によって反転するように設定し、反転イネーブルを選択します。また、INTTR9割り込みでこれをディセーブルに戻します。

Not Recommended for New Design

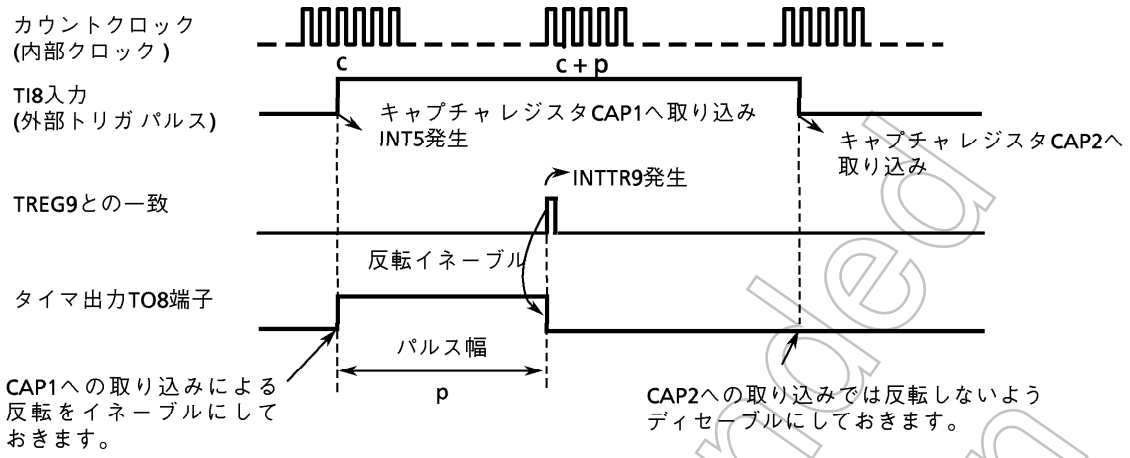


図3.8 (7) 外部トリガパルスのワンショットパルス出力 (ディレイなし)

② 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16ビットイベントカウンタモードと8ビットタイマ (タイマ0、1) を組み合わせて行います (タイマ0、1は、TFF1を反転させることで測定時間の設定に用います)。

タイマ8のカウントクロックはTI8入力を選択し、外部クロック入力によるカウント動作を行います。タイマ8モードコントロールレジスタT8MOD<CAP12M1, 0>には "11" を設定します。この設定により、8ビットタイマ (タイマ0、1) のタイマフリップフロップTFF1の立ち上がりで、キャプチャレジスタCAP1に16ビットアップカウンタUC8のカウンタ値を取り込み、8ビットタイマ (タイマ0、1) のTFF1の立ち下がりで、キャプチャレジスタCAP2にUC8のカウンタ値の取り込みを行います。

周波数は、8ビットタイマの割り込みINTT0、または、INTT1で、測定時間を基準にしてCAP1、CAP2の差より求めます。

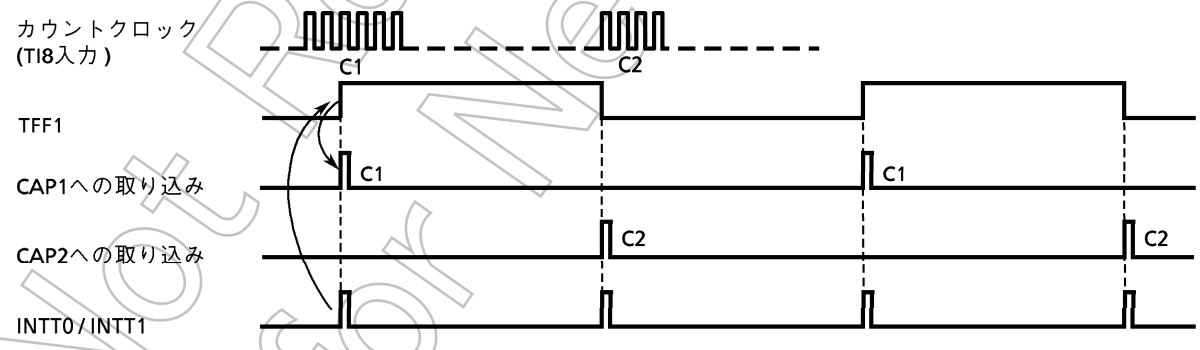


図3.8 (8) 周波数測定

例えば、8ビットタイマによるTFF1の "1" レベル幅の設定値が0.5 sで、CAP1とCAP2の差が100であれば、周波数は100 ÷ 0.5 s = 200 Hzとなります。

Not Recommended for New Design

③ パルス幅測定

16ビットタイマのキャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。

パルス幅測定は、16ビットアップカウンタUC8を内部クロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、TI8端子に測定する外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、アップカウンタ値をキャプチャレジスタCAP1、CAP2に取り込みます。

上記の設定により、INT5割り込み処理でCAP1とCAP2の差を求め、その値に内部クロックの周期をかけることにより、“H”レベルパルス幅を求めることができます。

例えば、CAP1とCAP2の差が100で、内部クロックの周期が0.8μsであれば、パルス幅は、100 × 0.8μs = 80μsとなります。

なお、クロックソースにより定まるUC8の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトによる処理を行ってください。

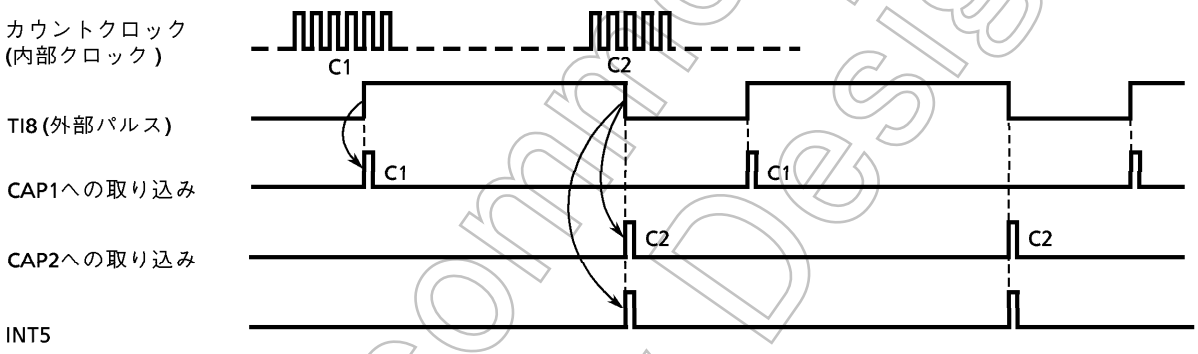


図3.8 (9) パルス幅測定

(注) パルス幅測定は、タイマ8モードコントロールレジスタT8MOD <CAP12M1, 0>に“10”を設定することで行います。外部割り込みINT5は、TI8入力の立ち下がりエッジで発生します。その他の設定では、INT5はTI8入力の立ち上がりエッジで発生します。

また、外部パルスの“L”レベル幅を測定することもできます。この場合、2回目のINT5割り込み処理により、1回目のC2と2回目のC1の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。ただし、この場合、1回目のC2の値が失われるので1回目のINT5処理であらかじめC2の値を退避させておく必要があります。

Not Recommended for New Design

④ 時間差測定

16ビットタイマのキャプチャ機能を用いて、2つの事象の時間差を測定することができます。

時間差測定は、内部クロックを用いて、16ビットアップカウンタUC8をフリーランニングでカウントアップさせておきます。TI8端子の入力パルスの立ち上がりエッジで、UC8の値をキャプチャレジスタCAP1に取り込みます。このとき、割り込みINT5が発生します。

TI9端子の入力パルスの立ち上がりエッジで、UC8の値をキャプチャレジスタCAP2に取り込みます。このとき、割り込みINT6が発生します。

キャプチャレジスタの値が取り込み終わった時点で、CAP2とCAP1の差を求め、その値に内部クロックの周期をかけることにより時間差を求めることができます。

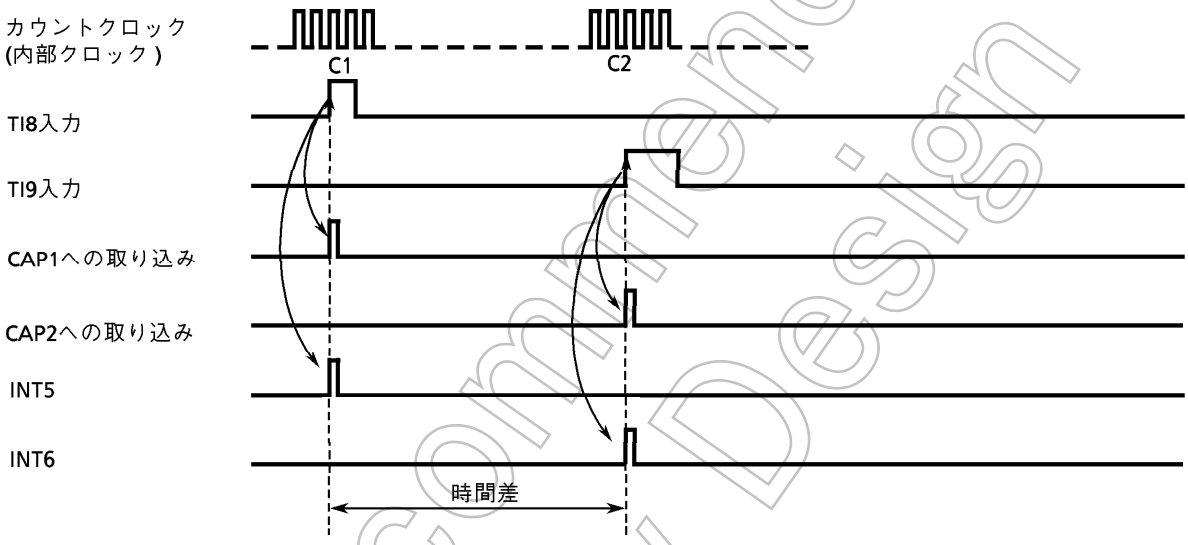


図3.8 (10) 時間差測定

Not Recommended for New Design

(5) 位相出力 (この動作は、タイマ 8のみ行うことができます)

16 ビットタイマを用いて、任意の位相差をもつ信号を出力させることができます。

クロックソースは、内部クロックを選択し、16ビットアップカウンタUC8をフリーランニングさせます。16ビットタイマレジスタTREG8、および、TREG9に位相差を設定し、それぞれの一致検出によりタイマフリップフロップTFF8、および、TFF9を反転させ、その値をTO8、および、TO9に出力します。

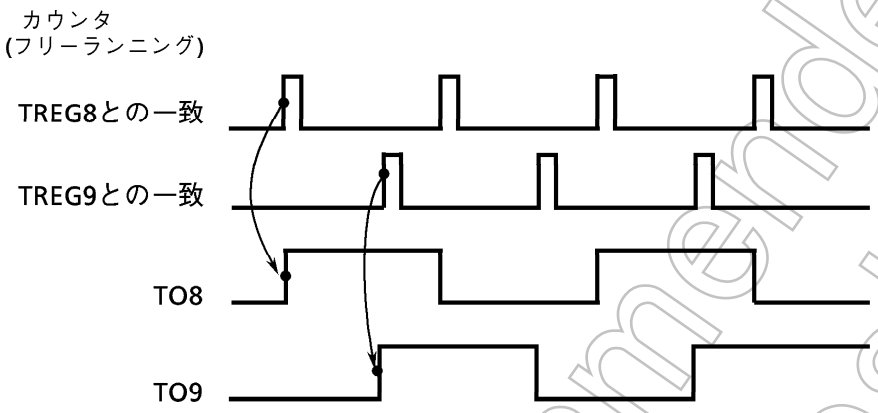


図3.8 (11) 位相出力

各クロックソースにより設定される周期 (カウンタのオーバフロー時間) を 表3.8 (1) に示します。

表3.8 (1) 16ビットアップカウンタのオーバフロー時間

	20 MHz	25 MHz
φT1	26.214 ms	20.97 ms
φT4	104.856 ms	83.88 ms
φT16	419.424 ms	335.54 ms

Not Recommended for New Design

3.9 シリアル チャネル

TMP95CS64/265は、シリアル入出力を3チャネル内蔵しています。
シリアルチャネルには、次の4つの動作モードがあります。

- I/Oインタフェース モード ——— モード0 : I/Oを拡張するためのI/Oデータの送受信と、その同期信号 (SCLK) の送受信を行うモードです。
- 非同期通信 (UART) モード
  - モード1 : 送受信データ長 7ビット
  - モード2 : 送受信データ長 8ビット
  - モード3 : 送受信データ長 9ビット

モード1とモード2 は、パリティビットを付加することができます。モード3 は、マスタコントローラがシリアル リンク (マルチコントローラシステム) でスレーブ コントローラを起動させるためのウェイクアップ機能を持っています。

Not Recommended for New Design

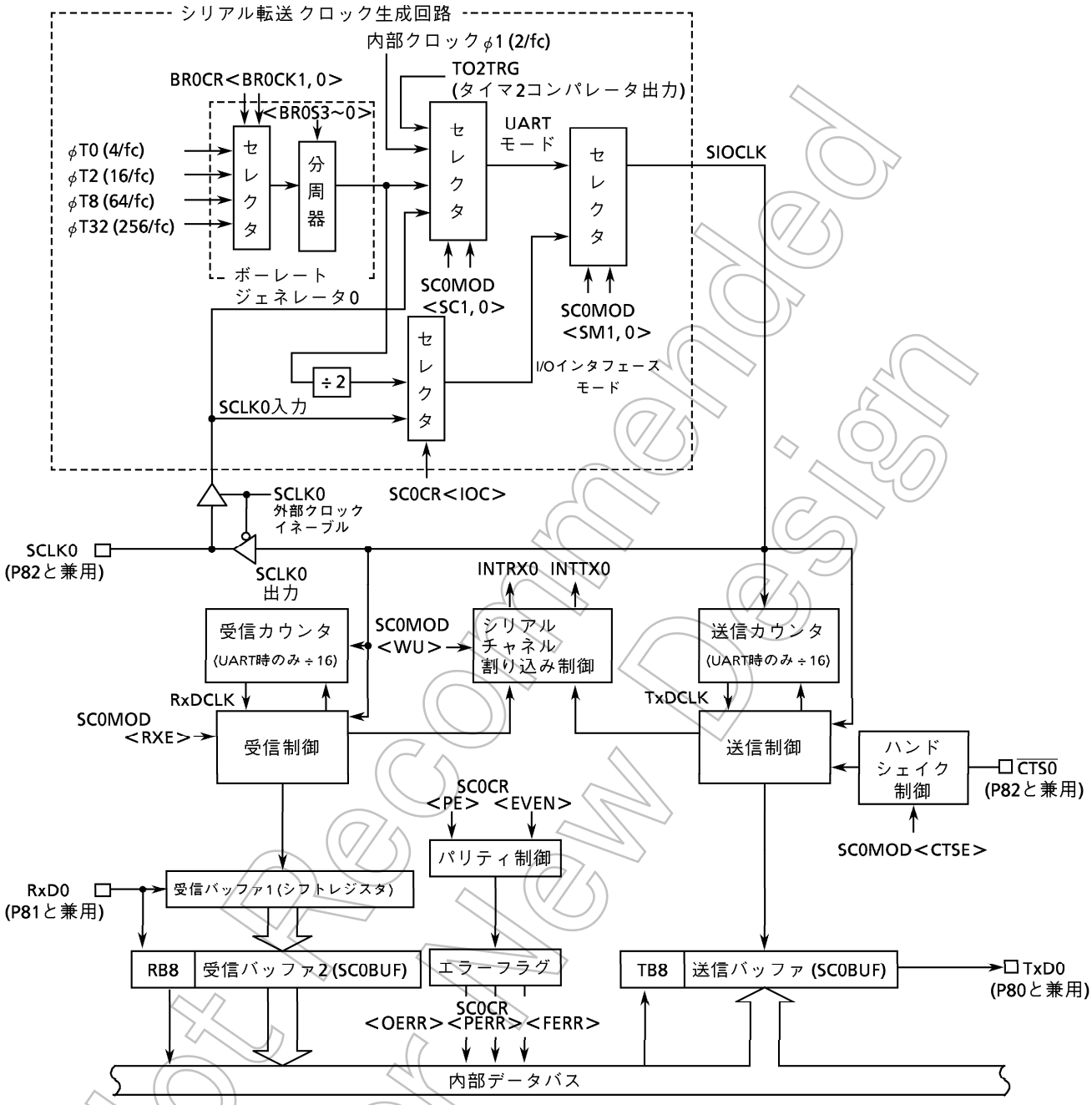


図3.9 (1) シリアルチャネル0のブロック図

Not Recommended for New Design

3.9.1 シリアルチャネルレジスタ

各シリアルチャネルは、3つのコントロールレジスタ(チャネル0では、SC0CR、SC0MOD、BR0CR)によって制御されています。また、送受信データは、同チャネルのシリアル送受信バッファレジスタSC0BUFに格納されます。

(1) シリアルチャネル0

シリアルチャネル0モードコントロールレジスタ

SC0MOD (004EH)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	不定	0	0	0	0	0	0	0
機　能	送信データビット8	ハンドシェイク機能制御 0: $\overline{CTS0}$ ディセーブル 1: $\overline{CTS0}$ イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード選択 00: I/Oインタフェースモード 01: 7ビットUARTモード 10: 8ビットUARTモード 11: 9ビットUARTモード		シリアル転送クロック選択(UARTモード) 00: TO2トリガ 01: ボーレートジェネレータ0 10: 内部クロックφ1 11: SCLK0端子入力(外部クロック)	

シリアル転送クロック選択 (UARTモード)

00	タイマ2のコンパレータ出力
01	ボーレートジェネレータ0
10	内部クロックφ1 (2/fc)
11	SCLK0端子入力 (外部クロック)

シリアル転送モード選択

00	I/Oインタフェースモード
01	7ビットUARTモード
10	8ビットUARTモード
11	9ビットUARTモード

ウェイクアップ機能
(9ビットUARTモード以外Don't care)

0	ディセーブル
1	イネーブル

受信制御

0	受信禁止
1	受信許可

ハンドシェイク機能 ($\overline{CTS0}$端子) イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

送信データ格納 ビット8

8ビットUARTモード (パリティ有)	送信パリティビット格納
9ビットUARTモード	送信データビット8格納

図3.9 (2) -1 シリアルチャネル0関係のレジスタ

Not Recommended for New Design

シリアルチャネル0コントロールレジスタ

SC0CR (004DH)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Readすると0クリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機　能	受信データビット8	偶数 / 奇数パリティ選択 0: Odd 1: Even	パリティビット付加制御 0: パリティビット無 1: パリティビット有	1: エラー オーバランエラーフラグ	パリティエラーフラグ	フレーミングエラーフラグ	SCLK0端子入力エッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ	シリアル転送クロック選択(I/Oインタフェースモード) 0: ボーレートジェネレータ0 1: SCLK0端子入力

シリアル転送クロック選択
(I/Oインタフェースモード)

0	ボーレートジェネレータ0 (注1)
1	SCLK0端子入力 (外部クロック)

SCLK0端子入力動作時のエッジ選択

0	SCLK0の立ち上がりエッジ ( ) でデータの送受信
1	SCLK0の立ち下がりエッジ ( ) でデータの送受信

フレーミングエラーフラグ
パリティエラーフラグ
オーバランエラーフラグ
} 読み出すと "0" にクリアされます。(注2)

パリティビット付加制御

0	パリティビット無
1	パリティビット有

偶数 / 奇数パリティ選択

0	奇数 (Odd) パリティ
1	偶数 (Even) パリティ

受信データ格納 ビット8

8ビットUARTモード (パリティ有)	受信パリティビット格納
9ビットUARTモード	受信データビット8格納

Not Recommended for New Design

注1) ボーレートジェネレータを使用するときは、T16RUN<PRRUN>="1" に設定してプリスケーラをRUN状態にしてください。

注2) エラーフラグは、読み出されるとすべて"0"にクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.9 (2) -2 シリアルチャネル0関係のレジスタ

ボーレートジェネレータ0コントロールレジスタ

BR0CR (004FH)

	7	6	5	4	3	2	1	0
bit Symbol	–		BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機　能	注)かならず "0" を書いてください。		ボーレートジェネレータ0の入力クロック選択 00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)		ボーレートジェネレータ0の分周値の設定			

ボーレートジェネレータ0の分周値の設定

0000	16分周
0001	1分周 (分周なし) (注1)
∫	∫
1111	15分周

ボーレートジェネレータ0の入力クロックの選択

00	内部クロックφT0 (4/fc)
01	内部クロックφT2 (16/fc)
10	内部クロックφT8 (64/fc)
11	内部クロックφT32 (256/fc)

注1) ボーレートジェネレータ分周値の1分周はUARTのみ有効です。I/Oインタフェースモードでは、設定しないでください。
注2) シリアル転送中は、BR0CRレジスタへアクセスしないでください。

シリアルチャネル0バッファレジスタ

SC0BUF (004CH)
リードモディファイライトはできません。

	7	6	5	4	3	2	1	0
bit Symbol	RB07	RB06	RB05	RB04	RB03	RB02	RB01	RB00
	TB07	TB06	TB05	TB04	TB03	TB02	TB01	TB00
Read/Write	R (受信) / W (送信)							
リセット後	不　定							

図3.9 (2) -3 シリアルチャネル0関係のレジスタ

Not Recommended for New Design

(2) シリアルチャネル1

シリアルチャネル1モードコントロールレジスタ

SC1MOD (0052H)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	不定	0	0	0	0	0	0	0
機　能	送信データビット8	ハンドシェイク機能制御 0: $\overline{CTS1}$ ディセーブル 1: $\overline{CTS1}$ イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード選択 00: I/Oインタフェースモード 01: 7ビットUARTモード 10: 8ビットUARTモード 11: 9ビットUARTモード		シリアル転送クロック選択 (UARTモード) 00: TO2トリガ 01: ボーレートジェネレータ1 10: 内部クロックφ1 11: SCLK1端子入力 (外部クロック)	

シリアル転送クロック選択 (UARTモード)

00	タイマ2のコンパレータ出力
01	ボーレートジェネレータ1出力
10	内部クロックφ1
11	SCLK1端子入力 (外部クロック)

シリアル転送モード選択

00	I/Oインタフェースモード
01	7ビットUARTモード
10	8ビットUARTモード
11	9ビットUARTモード

ウェイクアップ機能
(9ビットUARTモード以外Don't care)

0	ディセーブル
1	イネーブル

受信制御

0	受信禁止
1	受信許可

ハンドシェイク機能 ($\overline{CTS1}$端子) イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

送信データ格納 ビット8

8ビットUARTモード (パリティ有)	送信パリティビット格納
9ビットUARTモード	送信データビット8格納

Not Recommended for New Design

図3.9 (2) -4 シリアルチャネル1関係のレジスタ

シリアルチャネル1コントロールレジスタ

SC1CR (0051H)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Readすると0クリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機　能	受信データビット8	偶数 / 奇数パリティ選択 0: Odd 1: Even	パリティビット付加制御 0: パリティビット無 1: パリティビット有	1: エラー オーバランエラーフラグ	1: エラー パリティエラーフラグ	1: エラー フレーミングエラーフラグ	SCLK1端子入力エッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ	シリアル転送クロック選択(I/Oインタフェースモード) 0: ボーレートジェネレータ1 1: SCLK1端子入力

シリアル転送クロック選択
(I/Oインタフェースモード)

0	ボーレートジェネレータ1 (注1)
1	SCLK1 端子入力 (外部クロック)

SCLK1端子入力動作時のエッジ選択

0	SCLK1の立ち上がりエッジ ( ) でデータの送受信
1	SCLK1の立ち下がりエッジ ( ) でデータの送受信

フレーミングエラーフラグ
パリティエラーフラグ
オーバランエラーフラグ
読み出すと "0" にクリアされます。(注2)

パリティビット付加制御

0	パリティビット無
1	パリティビット有

偶数 / 奇数パリティ選択

0	奇数 (Odd) パリティ
1	偶数 (Even) パリティ

受信データ格納 ビット8

8ビットUARTモード (パリティ有)	受信パリティビット格納
9ビットUARTモード	受信データビット8格納

Not Recommended for New Design

注1) ボーレートジェネレータを使用するときは、T16RUN＜PRRUN＞="1" に設定してプリスケーラをRUN状態にしてください。

注2) エラーフラグは、読み出されるとすべて"0"にクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.9 (2) -5 シリアルチャネル1関係のレジスタ

ボーレートジェネレータ1コントロールレジスタ

BR1CR (0053H)

	7	6	5	4	3	2	1	0
bit Symbol	–		BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機　能	注) かならず "0" を書いてください。		ボーレートジェネレータ1の入力クロックの選択 00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)		ボーレートジェネレータ1の分周値の設定			

ボーレートジェネレータ1の分周値の設定

0000	16分周
0001	1分周 (分周なし) (注1)
∫	∫
1111	15分周

ボーレートジェネレータ1の入力クロックの選択

00	内部クロックφT0 (4/fc)
01	内部クロックφT2 (16/fc)
10	内部クロックφT8 (64/fc)
11	内部クロックφT32 (256/fc)

注1) ボーレートジェネレータ分周値の1分周はUARTのみ有効です。I/Oインタフェースモードでは、設定しないでください。
注2) シリアル転送中は、BR1CRレジスタへアクセスしないでください。

シリアルチャネル1バッファレジスタ

SC1BUF (0050H)
リードモディファイライトはできません。

	7	6	5	4	3	2	1	0
bit Symbol	RB17	RB16	RB15	RB14	RB13	RB12	RB11	RB10
	TB17	TB16	TB15	TB14	TB13	TB12	TB11	TB10
Read/Write	R (受信) / W (送信)							
リセット後	不　定							

図3.9 (2) -6 シリアルチャネル1関係のレジスタ

Not Recommended for New Design

(3) シリアルチャネル2

シリアルチャネル2モードコントロールレジスタ

SC2MOD (0056H)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	不定	0	0	0	0	0	0	0
機　能	送信データビット8	ハンドシェイク機能制御 0: $\overline{CTS2}$ ディセーブル 1: $\overline{CTS2}$ イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード選択 00: I/Oインタフェースモード 01: 7ビットUARTモード 10: 8ビットUARTモード 11: 9ビットUARTモード		シリアル転送クロック選択 (UARTモード) 00: TO2トリガ 01: ボーレートジェネレータ 10: 内部クロックφ1 11: SCLK2端子入力 (外部クロック)	

シリアル転送クロック選択 (UARTモード)

00	タイマ2の一致検出信号
01	ボーレートジェネレータ
10	内部クロックφ1
11	SCLK2端子入力 (外部クロック)

シリアル転送モード選択

00	I/Oインタフェースモード
01	7ビットUARTモード
10	8ビットUARTモード
11	9ビットUARTモード

ウェイクアップ機能
(9ビットUARTモード以外Don't care)

0	ディセーブル
1	イネーブル

受信制御

0	受信禁止
1	受信許可

ハンドシェイク機能 ($\overline{CTS2}$端子) イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

送信データ格納 ビット8

8ビットUARTモード (パリティ有)	送信パリティビット格納
9ビットUARTモード	送信データビット8格納

Not Recommended for New Design

図3.9 (2) -7 シリアルチャネル2関係のレジスタ

シリアルチャネル2コントロールレジスタ

SC2CR (0055H)

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Readすると0クリアされます。)			R/W	
リセット後	不定	0	0	0	0	0	0	0
機　能	受信データビット8	偶数 / 奇数パリティ選択 0: Odd 1: Even	パリティビット付加制御 0: パリティビット無 1: パリティビット有	1: エラー オーバランエラーフラグ	1: エラー パリティエラーフラグ	1: エラー フレーミングエラーフラグ	SCLK2入力エッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ	シリアル転送クロック選択(I/Oインターフェースモード) 0: ボーレートジェネレータ2 1: SCLK2端子入力

シリアル転送クロック選択
(I/Oインターフェースモード)

0	ボーレートジェネレータ2 (注1)
1	SCLK2 端子入力 (外部クロック)

SCLK2入力動作時のエッジ選択

0	SCLK2の立ち上がりエッジ ( ) でデータの送受信
1	SCLK2の立ち下がりエッジ ( ) でデータの送受信

フレーミングエラーフラグ
パリティエラーフラグ
オーバランエラーフラグ
読み出すと "0" にクリアされます。(注2)

パリティビット付加制御

0	パリティビット無
1	パリティビット有

偶数 / 奇数パリティ選択

0	奇数 (Odd) パリティ
1	偶数 (Even) パリティ

受信データ格納 ビット8

8ビットUARTモード (パリティ有)	受信パリティビット格納
9ビットUARTモード	受信データビット8格納

Not Recommended for New Design

注1) ボーレートジェネレータを使用するときは、T16RUN<PRRUN>="1" に設定してプリスケーラをRUN状態にしてください。

注2) エラーフラグは、読み出されるとすべて"0"にクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.9 (2) -8 シリアルチャネル2関係のレジスタ

ボーレートジェネレータ2コントロールレジスタ

BR2CR (0057H)

	7	6	5	4	3	2	1	0
bit Symbol	–		BR2CK1	BR2CK0	BR2S3	BR2S2	BR2S1	BR2S0
Read/Write	R/W		R/W					
リセット後	0		0	0	0	0	0	0
機　能	注) かならず "0" を書いてください。		ボーレートジェネレータ2の入力クロックの選択 00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)		ボーレートジェネレータ2の分周値の設定			

ボーレートジェネレータ2の分周値の設定

0000	16分周
0001	1分周 (分周なし) (注1)
∫	∫
1111	15分周

ボーレートジェネレータ2の入力クロックの選択

00	内部クロックφT0 (4/fc)
01	内部クロックφT2 (16/fc)
10	内部クロックφT8 (64/fc)
11	内部クロックφT32 (256/fc)

注1) ボーレートジェネレータ分周値の1分周はUARTのみ有効です。I/Oインタフェースモードでは、設定しないでください。
注2) シリアル転送中は、BR2CRレジスタへアクセスしないでください。

シリアルチャネル2バッファレジスタ

SC2BUF (0054H)
リードモディファイライトはできません。

	7	6	5	4	3	2	1	0
bit Symbol	RB27	RB26	RB25	RB24	RB23	RB22	RB21	RB20
	TB27	TB26	TB25	TB24	TB23	TB22	TB21	TB20
Read/Write	R (受信) / W (送信)							
リセット後	不　定							

図3.9 (2) -9 シリアルチャネル2関係のレジスタ

Not Recommended for New Design

3.9.2 ブロック構成

シリアルチャネル0～2は、同一の動作をします。ここでは、チャネル0を例に説明します。

(1) シリアル転送クロック生成回路

シリアル転送クロック生成回路は、送受信の基本クロックであるSIOCLK(内部信号)を生成する回路です。SIOCLKを生成するには、生成に必要なクロックソースを選択する必要があります。

① I/Oインタフェースモード

クロックソースとして、ボーレートジェネレータ0と外部からのSCLK0入力のどちらかの選択ができます。クロックソースの設定は、シリアルチャネル0コントロールレジスタSC0CRのビット0<IOC>で行います。

ボーレートジェネレータ0を選択した場合(<IOC>="0")、クロックを2分周してSIOCLKを生成します。

外部SCLK0を選択した場合(<IOC>="1")、外部から入力されたクロックがSIOCLKとなります。

② UARTモード

I/Oインタフェースモードのクロックソース以外に、タイマ2のコンパレータ出力と内部クロックφ1 (2/fc) を、クロックソースとして設定できます。

クロックソースの設定は、シリアルチャネル0モードコントロールレジスタSC0MODのビット1、0<SC1,0>で行います。選択されたクロックソースは、そのままSIOCLKとなります。

(2) 受信カウンタ

受信カウンタは、UARTモードで用いられる4ビットのバイナリカウンタです。

受信カウンタは、カウントクロックにSIOCLKを用いて受信サンプリングクロック RxDCLK (内部信号) を生成します。

(3) 受信制御

① I/Oインタフェースモード

転送クロックSCLK0に同期してRxD0端子に入力される受信データを取り込みます。

シリアルチャネル0コントロールレジスタSC0CR<IOC>を"0"に設定した場合、SCLK0の立ち上がりで、受信データを取り込みます。SC0CR<IOC>を"1"に設定した場合、SC0CR<SCLKS>の設定により、SCLK0の立ち上がり、または、立ち下がりで受信データ取り込みます。

② UARTモード

受信カウンタで生成されたRxDCLKで受信データを1ビットずつ取り込みます。

1ビットデータを取り込むのに、3回サンプリングを行います。3回のサンプリングで取り込まれたデータの多数データが受信データとなります。

例えば、サンプリングしたデータが1、0、1であれば、受信データは"1"と判断され、また、0、0、1であれば"0"と判断されます。

Not Recommended for New Design

(4) 受信バッファ

受信バッファは、オーバランエラーを防止するためダブルバッファ構造となっています。受信したデータは、1ビットずつ受信バッファ1に格納されます。

7ビット、または、8ビットのデータを格納すると受信バッファ2 (SC0BUF) へデータを転送し、INTRX0割り込み要求を発生します。

受信バッファ2のデータを読み出すことにより、割り込み要求フラグINTRX0<IRX0C>はクリアされます。

CPUが、受信バッファ2の受信データを読み出す前でも、受信バッファ1に次の受信データを格納することができます。

ただし、受信バッファ1が、次のデータを全ビット受信するまでに受信バッファ2のデータを読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ2、および、シリアルチャネル0コントロールレジスタSC0CR<RB8>の内容は保存されますが、受信バッファ1の内容は失われます。

8ビットUARTモード (モード2) を選択し、パリティビット付加を選択した場合、パリティビットは、SC0CR<RB8>に格納されます。

9ビットUARTモード (モード3) を選択した場合、最上位ビットはSC0CR<RB8>に格納されます。

(5) 送信カウンタ

送信カウンタは、UARTモードで用いられる4ビットのバイナリカウンタです。

送信カウンタは、カウントクロックにSIOCLKを用いて送信クロックTxDCLK (内部信号) を生成します。

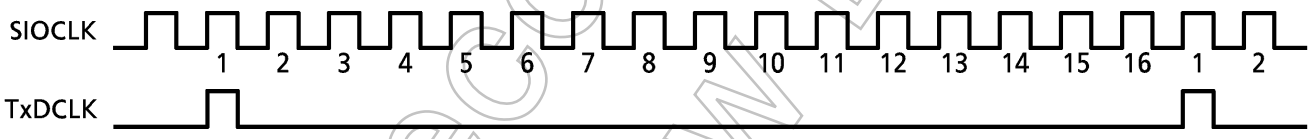


図3.9 (3) 送信クロックの生成

(6) 送信制御

① I/Oインタフェースモード

転送クロックSCLK0に同期して、TxD0端子から送信データを出力します。

シリアルチャネル0コントロールレジスタSC0CR<IOC>を“0”に設定した場合、転送クロックSCLK0の立ち上がりで、送信データを出力します。

SC0CR<IOC>を“1”に設定した場合、SC0CR<SCLKS>の設定により、SCLK0の立ち上がり、または、SCLK0の立ち下がりで送信データ出力します。

② UARTモード

送信カウンタで生成された送信クロックTxDCLKの立ち上がりに同期して、送信データを出力します。

(7) 送信バッファ

送信バッファ (SC0BUF) は、書き込まれた送信データを最下位ビットから順に出力します。

全ビットが出力されると、送信バッファはエンプティになりINTTX0割り込み要求が発生します。

Not Recommended for New Design

(8) パリティ制御

パリティビットの付加は、7ビットUARTモード(モード1)、および、8ビットUARTモード(モード2)のみ設定可能です。

シリアルチャネル0コントロールレジスタSC0CR<PE>に“1”設定することにより、パリティビット付加の送信を行います。SC0CR<EVEN>の設定により偶数、または、奇数パリティを選択することができます。

送信動作では、送信データからパリティビットを自動発生します。モード1のときはSC0BUF<TB7>に、モード2のときはシリアルチャネル0モードコントロールレジスタSC0MOD<TB8>にそれぞれパリティビットを格納します。

なお、<PE>と<EVEN>の設定は、送信データをSC0BUFに書き込む前に行ってください。

受信動作では、受信データからパリティを計算し受信したパリティビットと比較します。比較した結果が異なっている場合、パリティエラーが発生し、パリティエラーフラグSC0CR<PERR>が“1”にセットされます。

(9) エラーフラグ

受信データの信頼性を上げるため、シリアルチャネル0コントロールレジスタSC0CRに次の3つのエラーフラグが用意されています。

① オーバランエラー<OERR>

受信バッファ 2(SC0BUF) に有効データが格納されている状態で、受信バッファ1に次のデータが全ビット受信されると、オーバランエラーが発生します。

オバーランエラーが発生した場合、バッファ1の受信データは失われます。

② パリティエラー<PERR>

受信バッファ2(SC0BUF)に格納されたデータから発生したパリティビットと、受信したパリティビットとを比較した結果が異なっている場合、パリティエラーが発生します。

③ フレーミングエラー<FERR>

受信データのストップビットを3回サンプリングし、多数ビットが“0”の場合、フレーミングエラーが発生します。

これらのエラーフラグは、エラーが発生すると“1”にセットされます。SC0CRを読み出すことで、エラーフラグは“0”にクリアされます。エラーが発生した場合、ソフトウエアによる対応を行ってください。

Not Recommended for New Design

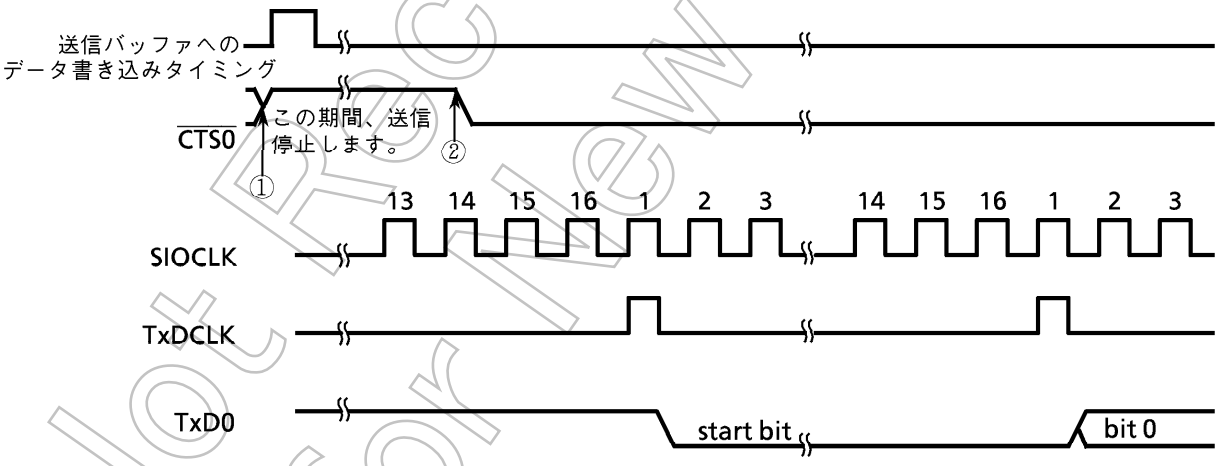
(10) ハンドシェイク機能制御 (この機能はUARTモードのみ可能です。)

シリアルチャネルは、$\overline{\text{CTS0}}$入力端子を持っています。この端子を使用することで、1フレーム単位での送信が可能となり、オーバラン エラーの発生を防ぐことができます。この機能は、シリアルチャネル0モードコントロールレジスタSC0MOD<CTSE>によって、イネーブル/ディセーブルの設定ができます。

送信動作において、$\overline{\text{CTS0}}$端子に“L”レベルが入力されると、送信を開始します。$\overline{\text{CTS0}}$端子に“H”レベルが入力されると、現在の送信動作を終了した時点で、次の送信動作を停止し、待機状態となります。再度$\overline{\text{CTS0}}$端子に“L”レベルが入力されると送信を再開します。

なお、$\overline{\text{RTS0}}$端子はありませんが、任意の1ポートを$\overline{\text{RTS0}}$機能に割り当てることができます。受信側にて受信が終了したとき、受信割り込み処理ルーチンにより、$\overline{\text{RTS0}}$機能に割り当てた任意の1ポートから“H”レベルを出力します。送信側の$\overline{\text{CTS0}}$端子と受信側の$\overline{\text{RTS0}}$端子を接続することで、容易にハンドシェイク機能を実現できます。

図3.9 (4) ハンドシェイク機能



① 送信中に$\overline{\text{CTS0}}$信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

② $\overline{\text{CTS0}}$信号立ち下がり後の最初のTxDCLKクロックの立ち下がりから送信を開始します。

図3.9 (5) $\overline{\text{CTS0}}$ (Clear to send) 信号のタイミング

Not Recommended for New Design

3.9.3 動作説明

シリアルチャネル0~2は全て同一の動作をします。ここでは、チャネル0を例に説明します。

(1) 送受信クロックの転送レートの設定

① ボーレートジェネレータを選択した場合の転送レート設定

ボーレートジェネレータは、シリアルチャネルの転送レートを決める送受信クロックのクロックソースを生成する回路です。

クロックソースを生成するための入力クロックは、8ビットタイマ、および、16ビットタイマと共用の9ビットプリスケーラから(「3.7.2(1)プリスケーラ」を参照してください)、ϕT0(4/fc)、ϕT2(16/fc)、ϕT8(64/fc)、ϕT32(256/fc)のいずれかを選択できます。入力クロックの設定は、ボーレートジェネレータコントロールレジスタBR0CRのビット5、4<BR0CK1,0>で設定します。

選択した入力クロックは、4ビットの分周器で1~16分周されます。分周値は、BR0CRのビット3~0<BR0S3~0>で設定します。分周されたクロックが、ボーレートジェネレータの出力クロックとなります。

ボーレートジェネレータを選択した場合の転送レートの算出方法を示します。

- I/Oインタフェースモード

$$\text{転送レート [bps]} = \frac{\text{ボーレートジェネレータの入力クロック [Hz]}}{\text{ボーレートジェネレータ分周値 (2~16)}} \div 2$$

注)I/Oインタフェースモードでは分周値を“1”に設定しないでください。

- UARTモード

$$\text{転送レート [bps]} = \frac{\text{ボーレートジェネレータの入力クロック [Hz]}}{\text{ボーレートジェネレータ分周値(1~16)}} \div 16$$

入力クロックと原振(fc)との関係は、

ϕT0 = 4/fc
ϕT2 = 16/fc
ϕT8 = 64/fc
ϕT32 = 256/fc

となります。従って、原振がfc=12.288 [MHz]の場合、入力クロックをϕT2、分周値を5に設定すると、UARTモードでの転送レートは、

$$\text{転送レート} = \frac{fc/16}{5} \div 16 = 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600\ [\text{bps}]$$

となります。

表3.9(1)に、UARTモードの転送レートの設定例を示します。

Not Recommended for New Design

② タイマ2のコンパレータ出力を選択した場合の転送レート設定 (UARTモードのみ)

タイマ2のコンパレータ出力を選択した場合の転送レート算出方法を示します。

$$\text{転送レート [bps]} = \frac{\text{タイマ2の入力クロック [Hz]}}{\text{TREG2 (1〜256)}} \div 16$$

タイマ2の入力クロックと原振(fc)との関係は、

ϕT1 = 8/fc
ϕT4 = 32/fc
ϕT16 = 128/fc

となります。

従って、原振がfc＝25 [MHz] の場合、タイマ2の入力クロックをϕT1、TREG2の値を "1" に設定すると、転送レートは

$$\text{転送レート} = \frac{\text{fc/8}}{\text{TREG2}} \div 16 = 25\times10^6 \div 8 \div 1 \div 16 \doteqdot 195312\ \text{[bps]}$$

となります。

表3.9(2)に、転送レート設定例を示します。

③ 外部SCLK入力を選択した場合の転送レートの設定

外部SCLK入力を選択した場合の転送レート算出方法を示します。

- I/Oインタフェースモード
  転送レート [bps]＝外部SCLK入力 [Hz] ÷2
- UARTモード
  転送レート [bps]＝外部SCLK入力 [Hz] ÷16

Not Recommended for New Design

表3.9 (1) UARTモードの転送レート設定例 (1) (ボーレートジェネレータ使用)

単位 (Kbps)

fc [MHz]	入力クロック / 分周値	φT0 (4/fc)	φT2 (16/fc)	φT8 (64/fc)	φT32 (256/fc)
9.830400	1	153.600	38.400	9.600	2.400
	2	76.800	19.200	4.800	1.200
	4	38.400	9.600	2.400	0.600
	8	19.200	4.800	1.200	0.300
	16	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
	10	19.200	4.800	1.200	0.300
14.745600	1	230.400	57.600	14.400	3.600
	3	76.800	19.200	4.800	1.200
	6	38.400	9.600	2.400	0.600
	12	19.200	4.800	1.200	0.300
17.2032	7	38.400	9.600	2.400	0.600
	14	19.200	4.800	1.200	0.300
19.6608	2	153.600	38.400	9.600	2.400
	4	76.800	19.200	4.800	1.200
	8	38.400	9.600	2.400	0.600
	16	19.200	4.800	1.200	0.300
22.1184	9	38.400	9.600	2.400	0.600
24.5760	5	76.800	19.200	4.800	1.200
	10	38.400	9.600	2.400	0.600

注) I/O インタフェースモード時の転送レートは、本表の値の8倍になります。
I/Oインタフェースモードでは、ボーレートジェネレータ分周値の1分周は設定しないでください。

表3.9 (2) UARTモードの転送レート設定例 (2) (タイマ2入力クロックφT1を使用)

単位 (Kbps)

TREG2 / fc	24.576 MHz	12.288 MHz	12 MHz	9.8304 MHz	8 MHz	6.144 MHz
1H	192	96		76.8	62.5	48
2H	96	48		38.4	31.25	24
3H	64	32	31.25			16
4H	48	24		19.2		12
5H	38.4	19.2				9.6
8H	24	12		9.6		6
AH	19.2	9.6				4.8
10H	12	6		4.8		3
14H	9.6	4.8				2.4

Not Recommended for New Design

(2) データフォーマット

各モードにおけるデータフォーマットを、図3.9 (6) に示します。

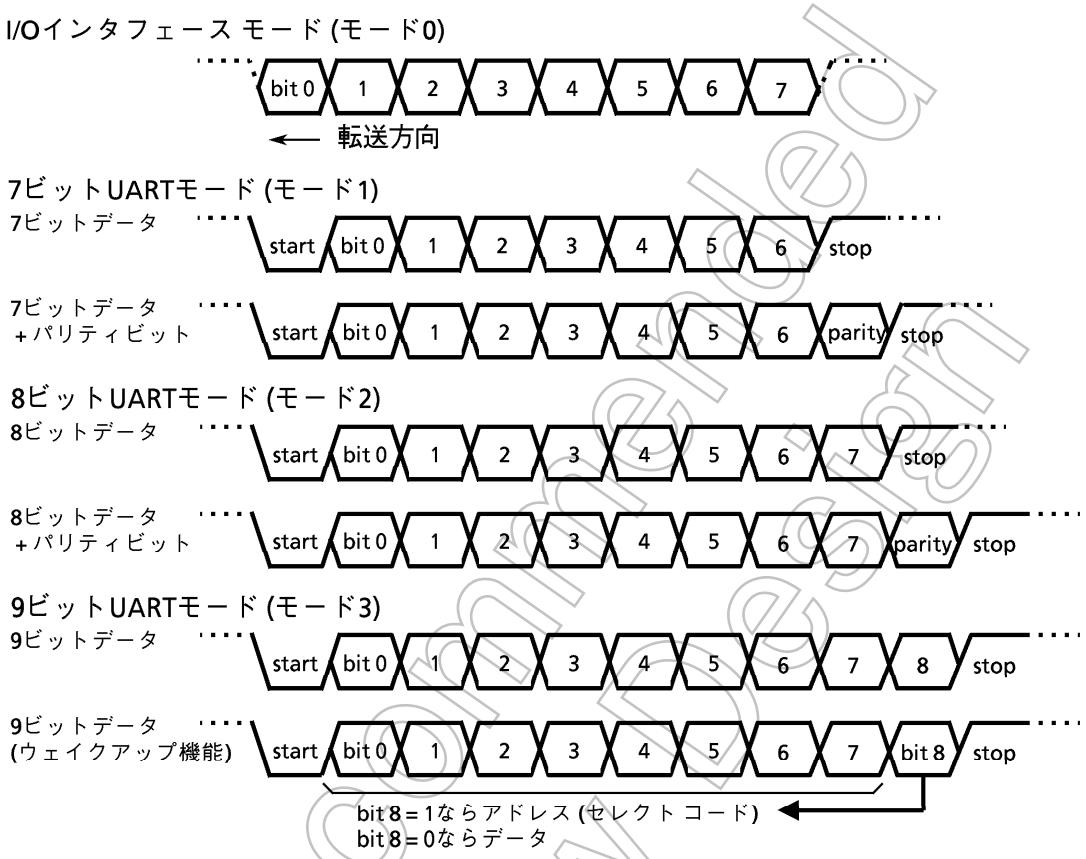


図3.9 (6) データフォーマット

Not Recommended for New Design

(3) I/Oインタフェース モード (モード0)

このモードは、転送クロックに同期して、外部のデバイスとデータの転送を行います。

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック(SCLK0)を出力するSCLK0出力モードと、外部より同期クロック(SCLK0)を入力するSCLK0入力モードがあります。

図3.9 (7) (8)にSCLK0出力モードおよび入力モードの接続例を示します。

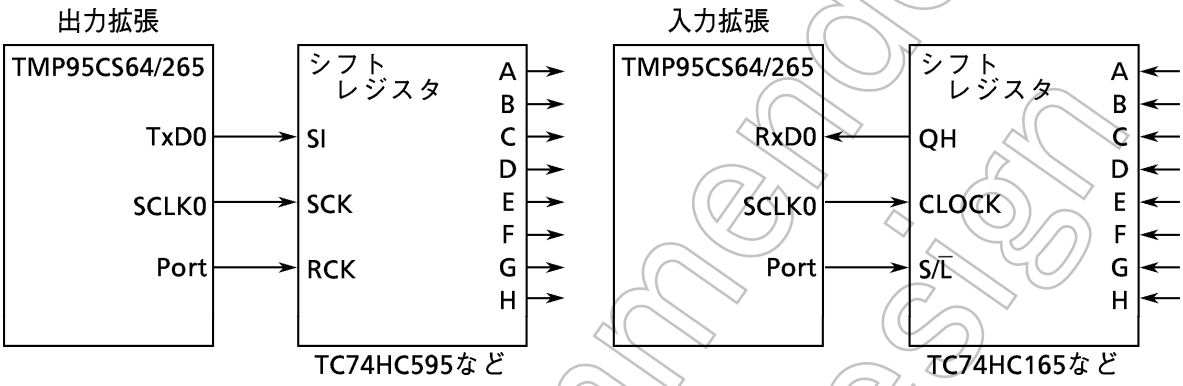


図3.9 (7) SCLK0出力モード接続例

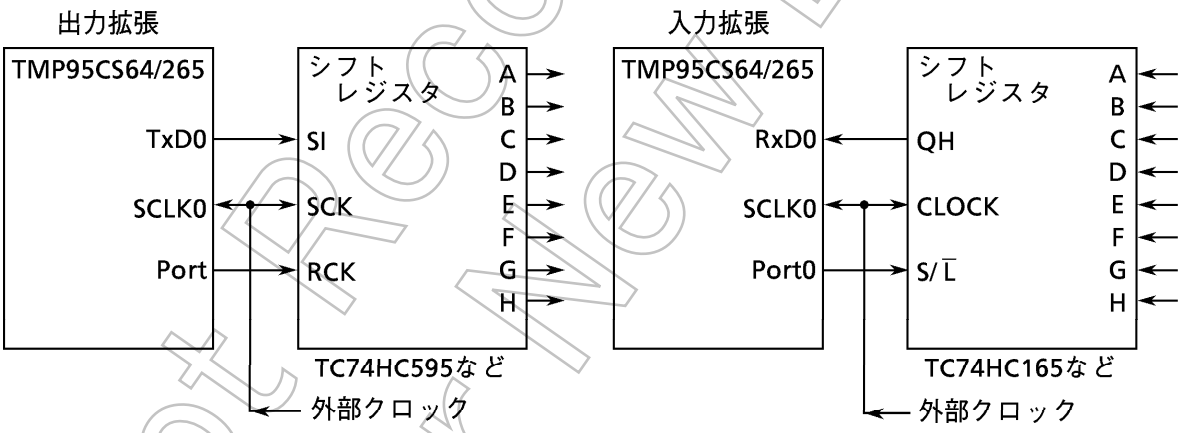


図3.9 (8) SCLK0入力モード接続例

Not Recommended for New Design

① 送　信

SCLK0出力モードでは、CPUが送信バッファにデータを書き込むたびに、8ビットの送信データはTxD0端子から、転送クロックはSCLK0端子よりそれぞれ出力されます。データがすべて出力されると、INTES0<ITX0C>がセットされ、INTTX0割り込み要求が発生します。

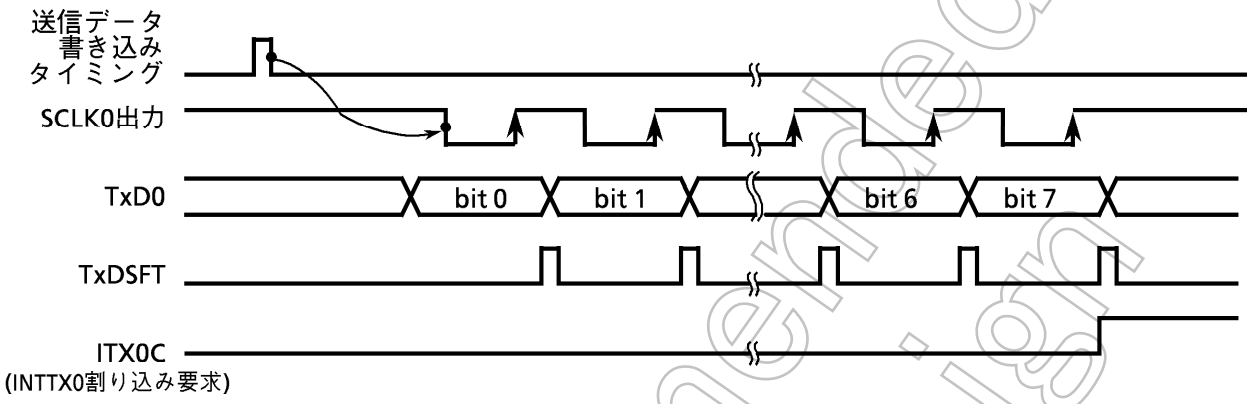


図3.9 (9)　I/Oインタフェース モード送信動作 (SCLK0出力モード)

SCLK0入力モードでは、CPUにより、送信バッファにデータが書き込まれている状態でSCLK0入力がアクティブになると、8ビットの送信データがTxD0端子より出力されます。

データがすべて出力されると、INTES0<ITX0C>がセットされINTTX0割り込み要求が発生します。

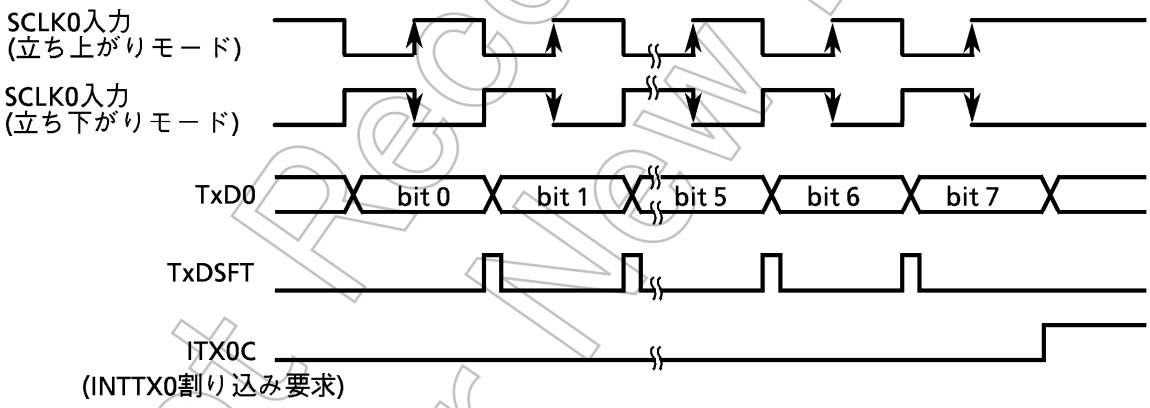


図3.9 (10)　I/Oインタフェース モード送信動作 (SCLK0入力モード)

Not Recommended for New Design

② 受　信

SCLK0出力モードでは、受信データがCPUに読み出され、受信割り込みフラグINTES0<IRX0C>がクリアされるたびに、SCLK0端子より同期クロックが出力され次のデータが受信バッファ1にシフトインされます。8ビットデータが受信されると、データは受信バッファ2(SC0BUF)に転送され、再びINTES0 <IRX0C> がセットされてINTRX0割り込み要求が発生します。

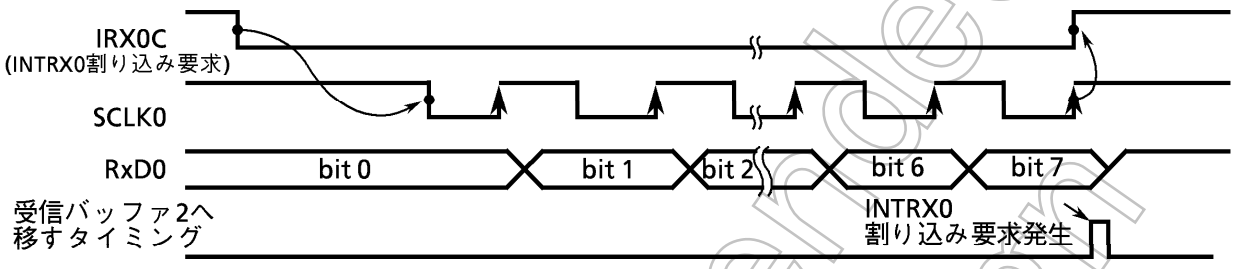


図3.9 (11) I/Oインタフェース モード受信動作 (SCLK0出力モード)

SCLK0入力モードでは、受信データがCPUに読み出され、受信割り込みフラグINTES0<IRX0C>がクリアされている状態で、SCLK0入力がアクティブになると、次のデータが受信バッファ1にシフトインされます。8ビットデータが受信されると、データは受信バッファ2(SC0BUF)に移され、再びINTES0<IRX0C>がセットされてINTRX0割り込み要求が発生します。

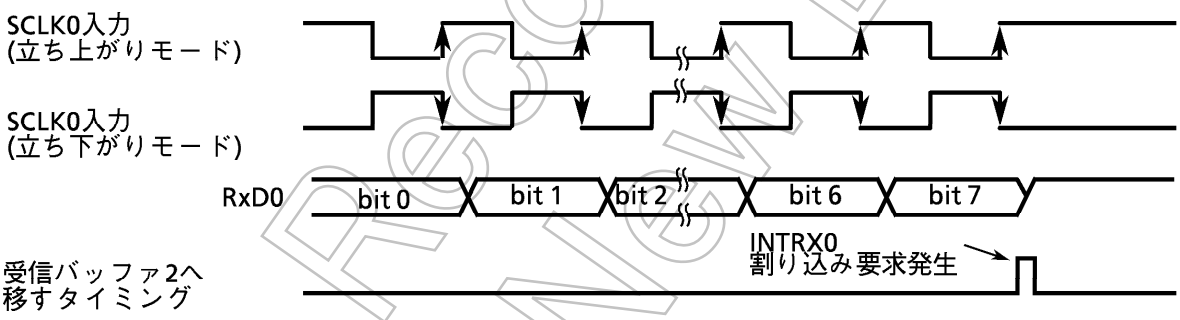


図3.9 (12) I/Oインタフェース モード受信動作 (SCLK0入力モード)

(注)　受信動作を行う場合には、SCLK0入力/出力のどちらのモードでも、受信イネーブル状態(SC0MOD<RXE>=1)にしておく必要があります。

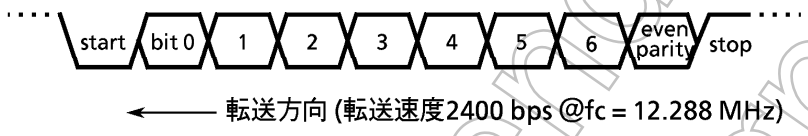
Not Recommended for New Design

(4) 7ビットUARTモード (モード1)

シリアルチャネル0モードコントロールレジスタSC0MOD<SM1, 0>を“01”に設定すると、7ビットUARTモードになります。

このモードでは、パリティビットの付加が可能です。シリアルチャネル0コントロールレジスタSC0CR<PE>で、パリティビット付加の有/無を制御しています。<PE>=1(パリティビット有)に設定したときは、SC0CR<EVEN>で偶数/奇数パリティを選択できます。

設定例： 偶数パリティビット付加の7ビットデータを送信する場合




```
          7 6 5 4 3 2 1 0
P8CR    ← - - - - - - - 1   } P80をTxD0端子とします。
P8FC    ← X - - X - - X 1
SC0MOD  ← X 0 - X 0 1 0 1   7ビットUARTモードに設定します。
SC0CR   ← X 1 1 X X X 0 0   偶数パリティを付加します。
BR0CR   ← 0 X 1 0 0 1 0 1   2400 bpsに設定します。
T16RUN  ← 1 X - - - - - -   ボーレートジェネレータ用にプリスケーラを起動します。
INTES0  ← 1 1 0 0 - - - -   INTTX0をイネーブル、割り込みレベル“4”にします。
SC0BUF  ← * * * * * * * *   送信データをセットします。
```

(注) X : Don't care　　- : no change

(5) 8ビットUARTモード (モード2)

シリアルチャネル0モードコントロールレジスタSC0MOD<SM1, 0>を“10”に設定すると、8ビットUARTモードになります。

このモードでは、パリティビットの付加が可能です。シリアルチャネル0コントロールレジスタSC0CR<PE>でパリティビット付加の有/無を制御できます。<PE>=1(パリティビット有)に設定したとき、SC0CR<EVEN>で偶数/奇数パリティを選択できます。

設定例： 奇数パリティビット付加の8ビットデータを受信する場合

Not Recommended for New Design

メインルーチンでの設定

```
          7 6 5 4 3 2 1 0
P8CR   ← - - - - - - 0 -     P81 (RxD0) を入力ピンにします。
SC0MOD ← - 0 1 X 1 0 0 1     8ビットUARTモード、受信イネーブルにします。
SC0CR  ← X 0 1 X X X 0 0     奇数パリティ付加に設定します。
BR0CR  ← 0 X 0 1 0 1 0 1     9600 bpsに設定します。
T16RUN ← 1 X - - - - - -     ボーレートジェネレータ用にプリスケーラを起動します。
INTES0 ← - - - - 1 1 0 0     INTRX0をイネーブル、割り込みレベル "4" に設定します。
```

(注)　X : Don't care　　- : no change

割り込みルーチンでの処理例

SC0CRのエラーフラグ<OERR>、<PERR>、<FERR>でエラーチェックを行います。エラーが無ければ受信データをリードします。

(6)　9ビットUARTモード (モード3)

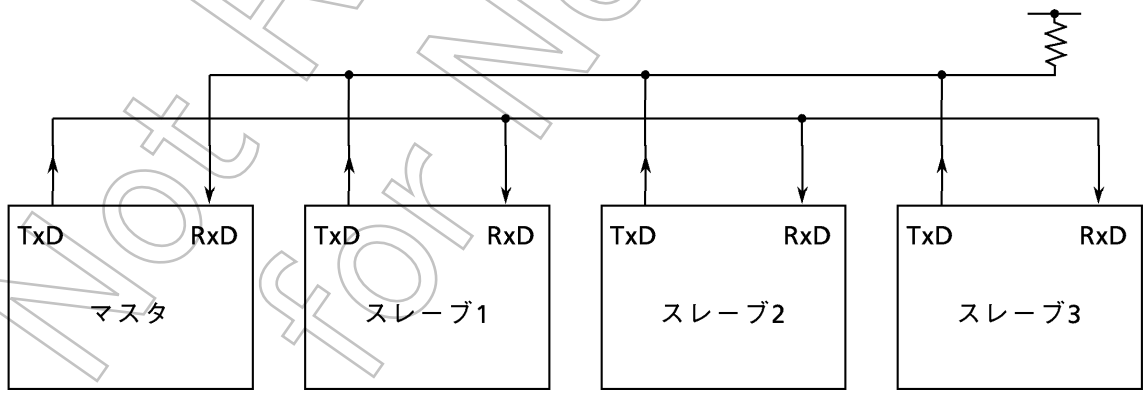
シリアルチャネル0モードコントロールレジスタSC0MOD<SM1, 0>を "11" に設定すると、9ビットUARTモードになります。

このモードでは、パリティ ビットの付加はできません。

最上位ビット (9ビット目) は、送信の場合、SC0MOD<TB8>に書き込み、受信の場合、シリアルチャネル0コントロールレジスタSC0CR<RB8>に格納されます。また、バッファに対する書き込み、読み出しは、かならず最上位ビットから先に行ってください。

ウェイクアップ機能

9ビットUARTモードでは、SC0MOD<WU>を "1" にすることで、スレーブ コントローラのウェイク アップ動作が可能となります。SC0CR<RB8>が "1" のとき受信データをセレクトコードと判断し、INTRX0割り込み要求が発生します。



(注)　スレーブコントローラのTxD端子は、かならずODEレジスタを設定してオープンドレイン出力モードにしてください。

図3.9 (13)　ウェイクアップ機能によるシリアルリンク

Not Recommended for New Design

プロトコル

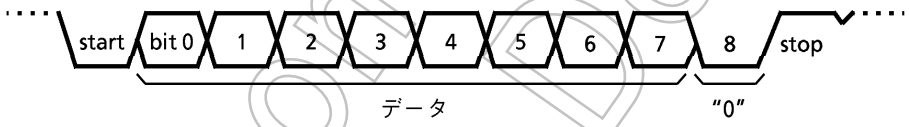
① マスタ、および、スレーブコントローラは、9ビットUARTモードにします。

② 各スレーブコントローラは、シリアルチャネル0モードコントロールレジスタSC0MOD<WU>を“1”に設定し、受信可能状態にします。

③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレーム(ビット)を送信します。このとき、最上位ビット(ビット8)SC0MOD<TB8>は“1”にします。

④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、SC0MOD<WU>を“0”にクリアします。

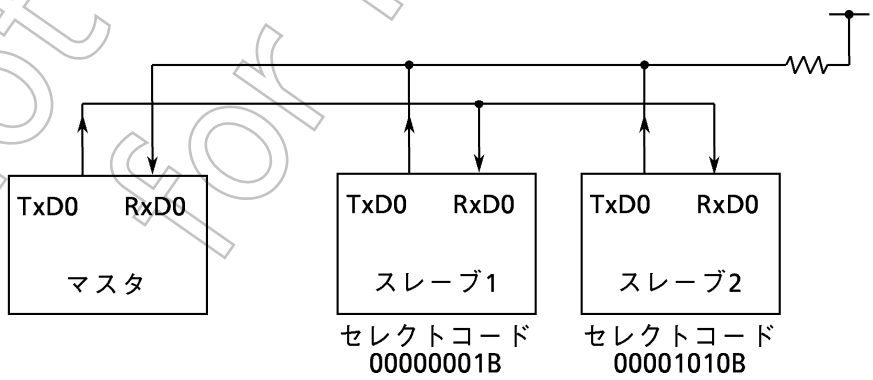
⑤ マスタコントローラは、指定したスレーブコントローラ(SC0MOD<WU>が“0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)SC0MOD<TB8>は“0”にします。



⑥ SC0MOD<WU>が“1”にセットされているスレーブコントローラは、受信データの最上位ビット(ビット8)SC0CR<RB8>が“0”であるため、割り込みINTRX0が発生せず、受信データを無視します。

SC0MOD<WU>が“0”にクリアされたスレーブコントローラは、データ受信後マスタコントローラにデータを送信し、受信終了をマスタコントローラに知らせることができます。

設定例: 内部クロックϕ1を転送クロックとして、2つのスレーブコントローラとシリアルリンクさせる場合



Not Recommended for New Design

このモードでのシリアルチャネル0、1、2は、同一の動作をします。ここでは、チャネル0について説明します。

- マスタコントローラの設定

メインルーチン

```
P8CR   ← - - - - - - - 0 1   } P80をTxD0、P81をRxD0端子にします。
P8FC   ← X - - X - - X 1
INTES0 ← 1 1 0 0 1 1 0 1     INTTX0をイネーブル,割り込みレベルを“4”に設定します。
                             INTRX0をイネーブル,割り込みレベルを“5”に設定します。
SC0MOD ← 1 0 1 0 1 1 1 0     9ビットUARTモード,転送クロックをφ1に設定します。
SC0BUF ← 0 0 0 0 0 0 0 1     スレーブ1のセレクトコードをセットします。
```

割り込みルーチン (INTTX0)

```
SC0MOD ← 0 - - - - - - -     SC0MOD<TB8>を“0”にします。
SC0BUF ← * * * * * * * *     送信データをセットします。
```

(注)　X : Don't care　　- : no change

- スレーブ2の設定

メインルーチン

```
P8CR   ← - - - - - - - 0 1   }
P8FC   ← X - - X - - X 1     } P80をTxD0 (オープンドレイン出力)、P81をRxD0にします。
ODE    ← X X X X X - - 1     }
INTES0 ← 1 1 0 1 1 1 1 0     INTTX0, INTRX0をイネーブルにします。
SC0MOD ← 0 0 1 1 1 1 1 0     9ビットUARTモード転送クロックφ1 (2/fc)で、<WU> = “1”
                             に設定します。
```

割り込みルーチン (INTRX0)

SC0BUFとセレクトコード (00001010B) と比較し、一致した場合、SC0MOD<WU>を“0”にクリアします。

(注)　X : Don't care　　- : no change

Not Recommended for New Design

(7) 各信号発生タイミング

① I/O インタフェースモードの場合

送信割り込み発生タイミング	SCLK0 出力モード	最終 SCLK0 の立ち上がり直後 (図3.9 (9) 参照)
	SCLK0 入力モード	最終 SCLK0 の立ち上がり直後 (立ち上がりモード)、立ち下がり直後 (立ち下がりモード) (図3.9 (10) 参照)
受信割り込み発生タイミング	SCLK0 出力モード	最終SCLK0の直後 (受信バッファ2 (SC0BUF) へ受信データを移すタイミング) (図3.9 (11) 参照)
	SCLK0 入力モード	最終SCLK0の直後 (受信バッファ2 (SC0BUF) へ受信データを移すタイミング) (図3.9 (12) 参照)

② UARTモードの場合

受　信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ , 7 Bit
割り込み発生タイミング	bit 8中央付近	パリティビットの中央付近	ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティ エラー発生タイミング	――――	パリティビットの中央付近	←
オーバーラン エラー発生タイミング	bit 8の中央付近	パリティビットの中央付近	ストップビットの中央付近

送　信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ , 7 Bit
割り込み発生タイミング	ストップビット送出の直前	←	←

Not Recommended for New Design

3.10 アナログ / デジタルコンバータ

TMP95CS64/265は、8チャネルのアナログ入力を持つ、高速高精度の10ビット逐次比較方式アナログ / デジタルコンバータ(ADコンバータ)を内蔵しています。

図3.10 (1) に、ADコンバータのブロック図を示します。

8チャネルのアナログ入力端子(AN0~AN7)は、入力専用ポートAと兼用で入力ポートとしても使用できます。

(注) IDLE2、IDLE1、STOP モードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので、ADコンバータの動作が停止していることを確認してから "HALT" 命令を実行してください。

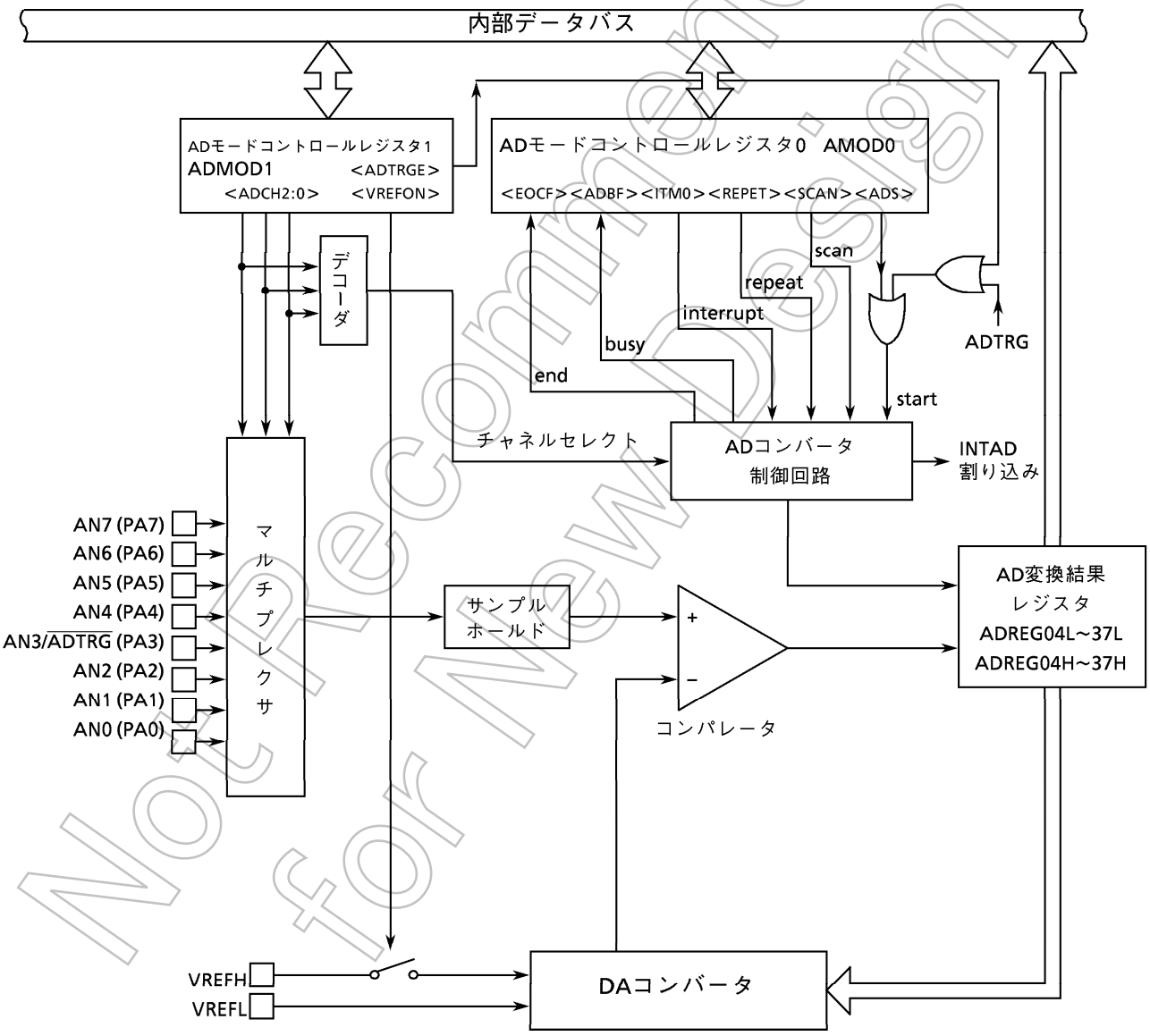


図3.10 (1) ADコンバータのブロック図

Not Recommended for New Design

3.10.1 アナログ / デジタルコンバータレジスタ

ADコンバータは、2つの ADモードコントロールレジスタ (ADMOD0、ADMOD1) により制御されています。また、AD変換結果は、AD変換結果上位 / 下位レジスタ ADREG04H/L、ADREG15H/L、ADREG26H/L、ADREG37H/Lの8つのレジスタに格納されます。

図3.10 (2) にADコンバータ関係のレジスタを示します。

ADモードコントロールレジスタ0

ADMOD0 (005EH)

	7	6	5	4	3	2	1	0
bit Symbol	EOCF	ADBF	–	–	ITM0	REPET	SCAN	ADS
Read/Write	R		R/W					
リセット後	0	0	0	0	0	0	0	0
機　能	AD変換終了フラグ 0：変換中 1：終了	AD変換BUSYフラグ 0：変換停止 1：変換中	注) かならず "0" を書いてください。	注) かならず "0" を書いてください。	チャネル固定リピート変換モード時の割り込み指定 0：1回変換ごと 1：4回変換ごと	リピートモード指定 0: シングル変換モード 1：リピート変換モード	スキャンモード指定 0：チャネル固定モード 1：チャネルスキャンモード	AD変換スタート 0：Don't care 1：変換開始 リードすると常に"0"が読み出されます。

AD変換スタート

0	Don't care
1	AD変換開始

注) リードすると常に"0"が読み出されます。

ADスキャンモード指定

0	AD変換チャネル固定モード
1	AD変換チャネルスキャンモード

ADリピートモード指定

0	ADシングル変換モード
1	ADリピート変換モード

チャネル固定リピート変換モード時のAD変換割り込み指定

	チャネル固定リピート変換モード <SCAN> = "0", <REPET> = "1"
0	1回変換するごとに割り込み発生
1	4回変換するごとに割り込み発生

AD変換BUSYフラグ

0	AD変換停止
1	AD変換中

AD変換終了フラグ

0	AD変換前、または、変換中
1	AD変換終了

図3.10 (2) -1 ADコンバータ関係のレジスタ

Not Recommended for New Design

ADモードコントロールレジスタ1

ADMOD1 (005FH)

	7	6	5	4	3	2	1	0
bit Symbol	VREFON				ADTRGE	ADCH2	ADCH1	ADCH0
Read/Write	R/W				R/W			
リセット後	1				0	0	0	0
機　　能	VREF 印加制御 0：OFF 1：ON				AD外部トリガスタート制御 0：ディセーブル 1：イネーブル	アナログ入力チャネル選択		

アナログ入力チャネル選択

<ADCH2,1,0> ＼ <SCAN>	0 (チャネル固定)	1 (チャネルスキャン)
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011 (注)	AN3	AN0 → AN1 → AN2 → AN3
100	AN4	AN4
101	AN5	AN4 → AN5
110	AN6	AN4 → AN5 → AN6
111	AN7	AN4 → AN5 → AN6 → AN7

外部トリガ ($\overline{\text{ADTRG}}$入力)による AD 変換スタート制御

0	ディセーブル
1	イネーブル

ADコンバータ用基準電圧印加制御

0	OFF
1	ON

変換スタート前 (ADMOD0<ADS>に"1"を書き込む前) に<VREFON>を"1"に設定してください。

注) AN3端子は、$\overline{\text{ADTRG}}$入力端子と兼用になっています。このため<ADTRGE>＝"1"で$\overline{\text{ADTRG}}$を使用している場合、<ADCH2:0>＝"011"に設定しないでください。

図3.10 (2) - 2 ADコンバータ関係のレジスタ

Not Recommended for New Design

AD変換結果下位レジスタ0/4

ADREG04L (0060H)	7	6	5	4	3	2	1	0
bit Symbol	ADR01	ADR00						ADR0RF
Read/Write	R							R
リセット後	不定							0
機　　能	AD変換結果下位 2ビット格納							AD変換結果格納フラグ 1: 変換結果有

AD変換結果上位レジスタ0/4

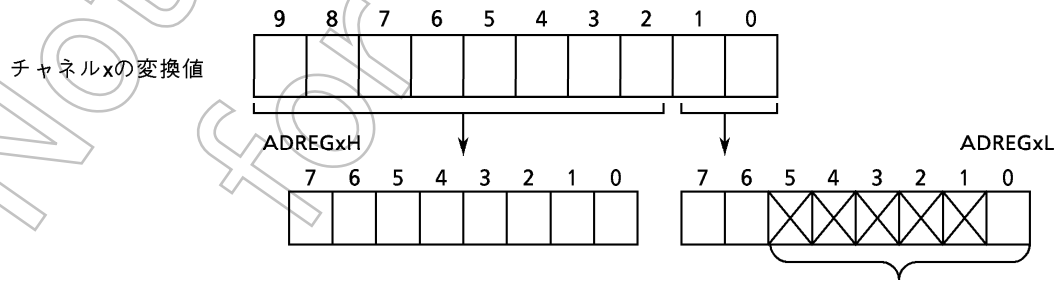
ADREG04H (0061H)	7	6	5	4	3	2	1	0
bit Symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
Read/Write	R							
リセット後	不定							
機　　能	AD変換結果上位8ビット格納							

AD変換結果下位レジスタ1/5

ADREG15L (0062H)	7	6	5	4	3	2	1	0
bit Symbol	ADR11	ADR10						ADR1RF
Read/Write	R							R
リセット後	不定							0
機　　能	AD変換結果下位 2ビット格納							AD変換結果格納フラグ 1: 変換結果有

AD変換結果上位レジスタ1/5

ADREG15H (0063H)	7	6	5	4	3	2	1	0
bit Symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
Read/Write	R							
リセット後	不定							
機　　能	AD変換結果上位8ビット格納							



- ビット5~1を読み出すと、常に“1”になります。
- ビット0は、AD変換結果格納フラグ<ADRxRF>です。AD変換値が格納されると、“1”にセットされます。どちらかのレジスタ(ADREGxH, ADREGxL)をリードすると、“0”にクリアされます。

図3.10 (2) - 3 ADコンバータ関係のレジスタ

Not Recommended for New Design

AD変換結果下位レジスタ2/6

ADREG26L (0064H)	7	6	5	4	3	2	1	0
bit Symbol	ADR21	ADR20						ADR2RF
Read/Write	R							R
リセット後	不定							0
機　　能	AD変換結果下位 2ビット格納							AD変換結果格納フラグ 1: 変換結果有

AD変換結果上位レジスタ2/6

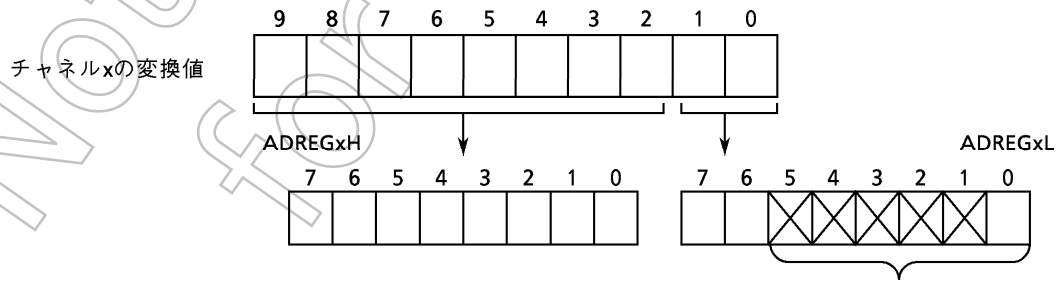
ADREG26H (0065H)	7	6	5	4	3	2	1	0
bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	不定							
機　　能	AD変換結果上位8ビット格納							

AD変換結果下位レジスタ3/7

ADREG37L (0066H)	7	6	5	4	3	2	1	0
bit Symbol	ADR31	ADR30						ADR3RF
Read/Write	R							R
リセット後	不定							0
機　　能	AD変換結果下位 2ビット格納							AD変換結果格納フラグ 1: 変換結果有

AD変換結果上位レジスタ3/7

ADREG37H (0067H)	7	6	5	4	3	2	1	0
bit Symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	不定							
機　　能	AD変換結果上位8ビット格納							



- ビット5~1を読み出すと、常に“1”になります。
- ビット0は、AD変換結果格納フラグ<ADRxRF>です。AD変換値が格納されると、“1”にセットされます。どちらかのレジスタ(ADREGxH, ADREGxL)をリードすると、“0”にクリアされます。

図3.10 (2) - 4 ADコンバータ関係のレジスタ

Not Recommended for New Design

3.10.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の“H”レベル側をVREFH端子に、“L”レベル側をVREFL端子に印加します。VREFH－VREFL間の基準電圧をストリング抵抗により1024分割し、アナログ入力電圧と比較判定を行うことにより、AD変換を行います。

ADモードコントロールレジスタ1 ADMOD1＜VREFON＞ビットに“0”を書き込むことにより、VREFH－VREFL間のスイッチをOFFできます。なお、OFFしている状態からAD変換スタートをさせる場合は、かならず＜VREFON＞に“1”を書き込んだ後、内部基準電圧が安定するまでの3 μs (fcに関係ありません)待ち、ADモードレジスタADMOD0＜ADS＞に“1”を書き込んでください。

(2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、ADコンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合(ADMOD0＜SCAN＞＝“0”)
  ADMOD1＜ADCH2~0＞の設定により、アナログ入力AN0~AN7端子の中から1チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合(ADMOD0＜SCAN＞＝“1”)
  ADMOD1＜ADCH2~0＞の設定により、8種類のスキャンモードの中から1つのスキャンモードを選択します。

表3.10 (1)に、動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0＜SCAN＞は“0”にADMOD1＜ADCH2:0＞は“000”に初期化されますので、AN0端子のチャネル固定入力が選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表3.10 (1) アナログ入力チャネルの選択

＜ADCH2~0＞	チャネル固定 ＜SCAN＞＝“0”	チャネルスキャン ＜SCAN＞＝“1”
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011	AN3	AN0 → AN1 → AN2 → AN3
100	AN4	AN4
101	AN5	AN4 → AN5
110	AN6	AN4 → AN5 → AN6
111	AN7	AN4 → AN5 → AN6 → AN7

(3) AD変換開始

AD変換は、ADモードコントロールレジスタ0 ADMOD0＜ADS＞に“1”を設定するか、ADモードコントロールレジスタ1 ADMOD1＜ADTRGE＞に“1”を設定し、$\overline{\text{ADTRG}}$端子より立ち下がりエッジを入力することにより開始されます。AD変換が開始されると、AD変換中を示すAD変換Busyフラグ(ADMOD0＜ADBF＞)が“1”にセットされます。

AD変換中に＜ADS＞に“1”を設定すると再起動がかかります。その時点のAD変換のデータが保証されているかどうかは、変換結果格納フラグADREGxxL ＜ADRxRF＞を確認して判断してください。

また、AD変換中に、$\overline{\text{ADTRG}}$端子に立ち下がりエッジを入力しても無視されます。

Not Recommended for New Design

(4) AD変換モードとAD変換終了割り込み

AD変換には、次の4つのモードが用意されています。

- チャネル固定シングル変換モード
- チャネルスキャンシングル変換モード
- チャネル固定リピート変換モード
- チャネルスキャンリピート変換モード

AD変換モードの選択は、ADモードコントロールレジスタ0 ADMOD0<REPET, SCAN>で行います。

AD変換が終了すると、AD変換終了割り込みINTADの割り込み要求が発生します。また、AD変換終了を示すADMOD0<EOCF>が“1”にセットされます。

① チャネル固定シングル変換モード

ADMOD0<REPET, SCAN>に“00”を設定すると、チャネル固定シングル変換モードになります。

このモードでは、選択した1チャネルの変換を1回だけ行います。変換が終了した後、ADMOD0<EOCF>が“1”にセット、ADMOD0<ADBF>が“0”にクリアされ、INTADの割り込み要求が発生します。

② チャネルスキャンシングル変換モード

ADMOD0<REPET, SCAN>に“01”を設定すると、チャネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャネルの変換をそれぞれ1回だけ行います。スキャン変換が終了した後、ADMOD0<EOCF>が“1”にセット、ADMOD0<ADBF>が“0”にクリアされ、INTADの割り込み要求が発生します。

③ チャネル固定リピート変換モード

ADMOD0<REPET, SCAN>に“10”を設定するとチャネル固定リピート変換モードになります。

このモードでは、選択した1チャネルの変換を繰り返し行います。変換が終了した後、ADMOD<EOCF>が“1”にセットされます。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。INTADの割り込み要求発生タイミングはADMOD0<ITM0>の設定により選択できます。

<ITM0>を“0”に設定するとAD変換が1回終了するごとに割り込み要求が発生します。

<ITM0>を“1”に設定するとAD変換が4回終了するごとに割り込み要求が発生します。

④ チャネルスキャンリピート変換モード

ADMOD0<REPET, SCAN>に“11”を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1回のスキャン変換が終了するごとにADMOD0<EOCF>が“1”にセットされ、INTAD割り込み要求が発生します。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。

リピート変換モード(③、④のモード)の動作を停止させたい場合は、ADMOD0<REPET>に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBF>は“0”にクリアされます。

IDLE2、IDLE1、STOPモードのホールト状態へ移行すると、AD変換中でもADコンバータはただちに動作を停止します。ホールト解除後、リピート変換モード(③、④)ではAD変換を最初から開始します。シングル変換モード(①、②)では、変換動作を再開しません(停止したままです)。

Not Recommended for New Design

表3.10 (2) にAD変換モードと割り込み要求の関係を示します。

表3.10 (2) AD変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPET>	<SCAN>
チャネル固定 シングル変換モード	変換終了後	X	0	0
チャネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャネル固定 リピート変換モード	1回変換するごと	0	1	0
	4回変換するごと	1		
チャネルスキャン リピート変換モード	1回のスキャン変換が終了するごと	X	1	1

X : Don't care

(5) AD変換時間

1チャネル当たりのAD変換ステートは、84ステート (6.72 μs @ fc＝25 MHz) です。

(6) AD変換結果の格納と読み出し

AD変換結果は、AD変換結果上位 / 下位レジスタ (ADREG04H/L~ADRG37H/L) に格納されます (ADREG04H/L~37H/Lは、読み出し専用のレジスタです)。

チャネル固定リピート変換モードでは、AD変換結果は、ADREG04H/LからADREG37H/Lへと順次格納されます。それ以外のモードでは、チャネルAN0とAN4、AN1とAN5、AN2とAN6、AN3とAN7の変換結果がそれぞれADREG04H/L、ADREG15H/L、ADREG26H/G、ADREG37H/Lに格納されます。

表3.10 (3) にアナログ入力チャネルとAD変換結果レジスタの対応を示します。

表3.10 (3) アナログ入力チャネルとAD変換結果レジスタの対応

アナログ入力 チャネル (ポートA)	AD変換結果レジスタ	
	右記以外の変換モード	チャネル固定リピート 変換モード (4回ごと)
AN0	ADREG04H/L	ADREG04H/L → ADREG15H/L → ADREG26H/L → ADREG37H/L → ADREG04H/L
AN1	ADREG15H/L	
AN2	ADREG26H/L	
AN3	ADREG37H/L	
AN4	ADREG04H/L	
AN5	ADREG15H/L	
AN6	ADREG26H/L	
AN7	ADREG37H/L	

AD変換結果格納フラグ<ADRxRF>は、AD変換結果下位レジスタのビット0で、そのAD変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD変換結果レジスタに変換値が格納されると“1”にセットされ、どちらかのAD変換結果レジスタ (ADREGxH、ADREGxL) を読み出すと“0”にクリアされます。

また、AD変換結果の読み出しに伴い、AD変換終了フラグADMOD0<EOCF>は“0”にクリアされます。

Not Recommended for New Design

設定例：

① AN3端子のアナログ入力電圧をAD変換し、AD割り込み（INTAD）処理ルーチンで変換値を0800Hのメモリへ書き込む場合

メインルーチンでの設定

```
          7 6 5 4 3 2 1 0
INTE0AD ← 1 1 0 0 0 0 0 0   INTADをイネーブルにし、レベルを“4”に設定します。
ADMOD1  ← 1 X X X 0 0 1 1   アナログ入力チャネルをAN3に設定します。
ADMOD0  ← X X 0 0 0 0 0 1   チャネル固定シングル変換モードで変換を開始します。
```

割り込みルーチンでの処理例

```
WA      ← ADREG37           汎用レジスタWA（16ビット）へADREG37L, ADREG37Hの値を読
                            み出します。
WA      >> 6                WAに読み出した内容を右へ6回シフトし上位ビットに“0”を入
                            れます。
(0800H) ← WA                0800H番地へWAの内容を書き込みます。
```

② AN0～AN2の3端子のアナログ入力電圧をチャネルスキャンリピート変換モードでAD変換し続ける場合

```
INTE0AD ← 1 0 0 0 0 0 0 0   INTADを禁止します。
ADMOD1  ← 1 X X X 0 0 1 0   アナログ入力チャネルをAN0～AN2に設定します。
ADMOD0  ← X X 0 0 0 1 1 1   チャネルスキャンリピート変換モードで変換を開始します。
```

(注)　X：Don't care　　－：no change

Not Recommended for New Design

3.11 デジタル / アナログコンバータ

TMP95CS64/265は2チャネルの8ビット分解能デジタル / アナログコンバータ (DA コンバータ) を内蔵しています。特長は、次のとおりです。

- R-2R方式の8ビット分解能DAコンバータを 2 チャネル内蔵しています。
- 出力されるアナログ電圧は、AVCC-AVSS間の電位差、および、DA変換値設定レジスタDAREG0、DAREG1の値により決まります。

図3.11 (1) に、DAコンバータのブロック図を示します。

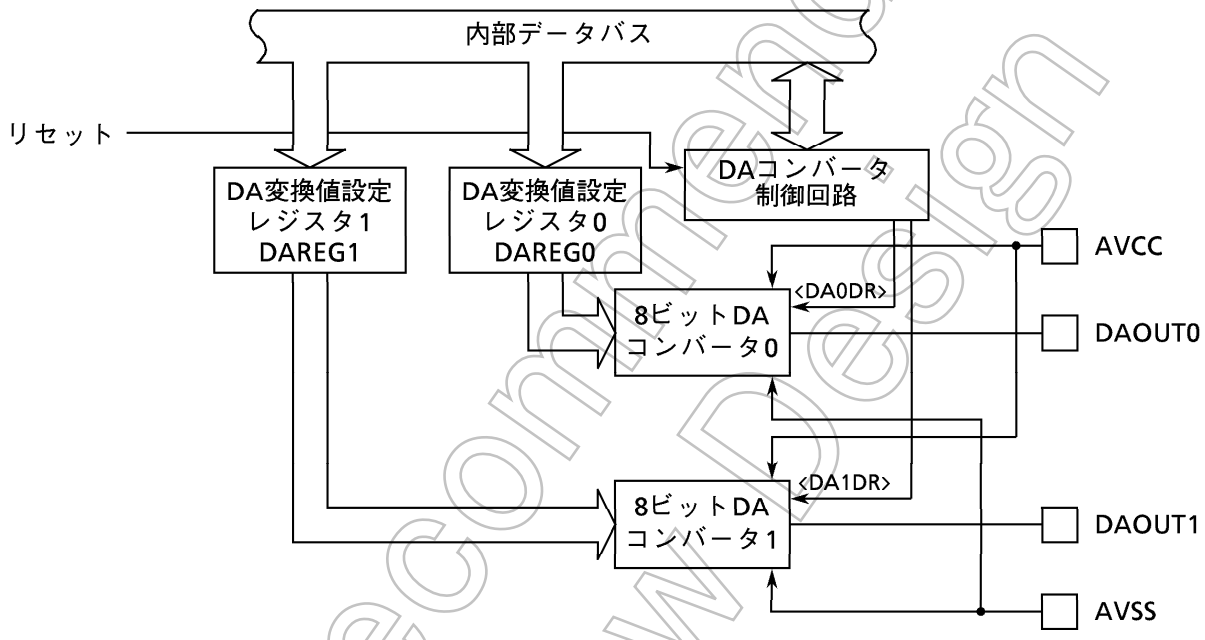


図3.11 (1) DAコンバータのブロック図

Not Recommended for New Design

3.11.1 デジタル / アナログコンバータレジスタ

DAコンバータは、DA変換ドライブレジスタDADRVと、2つのDA変換値設定レジスタDAREG1、DAREG2により制御されています。

図3.11. (2) にDAコンバータ関係のレジスタを示します。

DA 変換ドライブレジスタ

DADRV (009DH)

	7	6	5	4	3	2	1	0
bit Symbol							DA1DR	DA0DR
Read/Write							R/W	
リセット後							0	0
機　　能							出力端子 DAOUT1の ドライブ指定	出力端子 DAOUT0の ドライブ指定
							0: 0V出力固定 1: DA変換結果出力	

DA変換値設定レジスタ0

DAREG0 (009EH)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	W							
リセット後	不定							
機　　能	DAコンバータ0の変換値 "N" の設定　出力電圧 $V = (AV_{CC} - AV_{SS}) \times N/256$							

DA変換値設定レジスタ1

DAREG1 (009FH)

リード モディファイ ライトは できません。

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	W							
リセット後	不定							
機　　能	DAコンバータ1の変換値 "N" の設定　出力電圧 $V = (AV_{CC} - AV_{SS}) \times N/256$							

図3.11 (2) DAコンバータ関係のレジスタ

Not Recommended for New Design

3.11.2 動作説明

DA変換により出力されるアナログ電圧は、次の式で表されます。

アナログ電圧＝(AVCC－AVSS)×N / 256

ここで“N”は、DA変換値設定レジスタDAREG0、DAREG1に設定された値(0～255)です。チャネル0、1のDA変換結果は、それぞれDAOUT0、1端子より出力されます。

DA変換ドライブレジスタDADRVのビット1、0<DA1DR, DA0DR>は、DAOUT1、0端子のドライブビットです。このビットを“0”に設定すると、DAOUT1、0端子は0V固定となり、“1”に設定すると、DAOUT1、0端子はDA変換結果出力端子となります。

リセット動作により、DA変換ドライブレジスタDADRV<DA1DR, DA0DR>は“0”にクリアされるため、DAOUT1、0端子は0Vを出力します。リセット後DA変換を行う場合は、DAREG0、DAREG1の内容は不定なので、かならず“N”を設定してから<DA1DR, DA0DR>を“1”にセットしてください。

また、1度DA変換をスタートすると、随時“N”を書き込むことで、希望のアナログ電圧を出力することができます。“N”の書き替えごとに<DA1DR, DA0DR>をクリアする必要はありません。

なお、STOPモード時は、DADRV、DAREGの設定に関係なく、DAOUT0、1端子からは0Vを出力します。

設定例：リセット後、VCC、および、VCC/2を連続してDAOUT1端子より出力する場合(AVCC＝VCC、AVSS＝GNDに設定)

		7 6 5 4 3 2 1 0	
DAREG1	←	1 1 1 1 1 1 1 1	“FFH”を書き込みます。DAOUT1＝Vcc× $\frac{255}{256}$ ≒Vcc
DADRV	←	X X X X X X 1 -	DAOUT1を出力します。
DAREG1	←	1 0 0 0 0 0 0 0	“80H”を書き込みます。DAOUT1＝ $\frac{Vcc}{2}$ を出力します。

(注) X：Don’t care　　－：no change

Not Recommended for New Design

3.12 ウォッチドッグタイマ (暴走検出用タイマ)

TMP95CS64/265は、暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因によりCPUが誤動作 (暴走) を始めた場合、これを検出し、正常な状態に戻すことを目的としています。暴走を検出すると、INTWD割り込み (ノンマスカブル) を発生しCPUに知らせます。

さらに、暴走検出結果を用いてマイコン自身の強制リセット動作を行うことも可能です。ウォッチドッグタイマは、2/fcを入力クロックとする22段バイナリカウンタと、コントロール部より構成されています。

図3.12 (1) に、ウォッチドッグタイマ (WDT) のブロック図を示します。

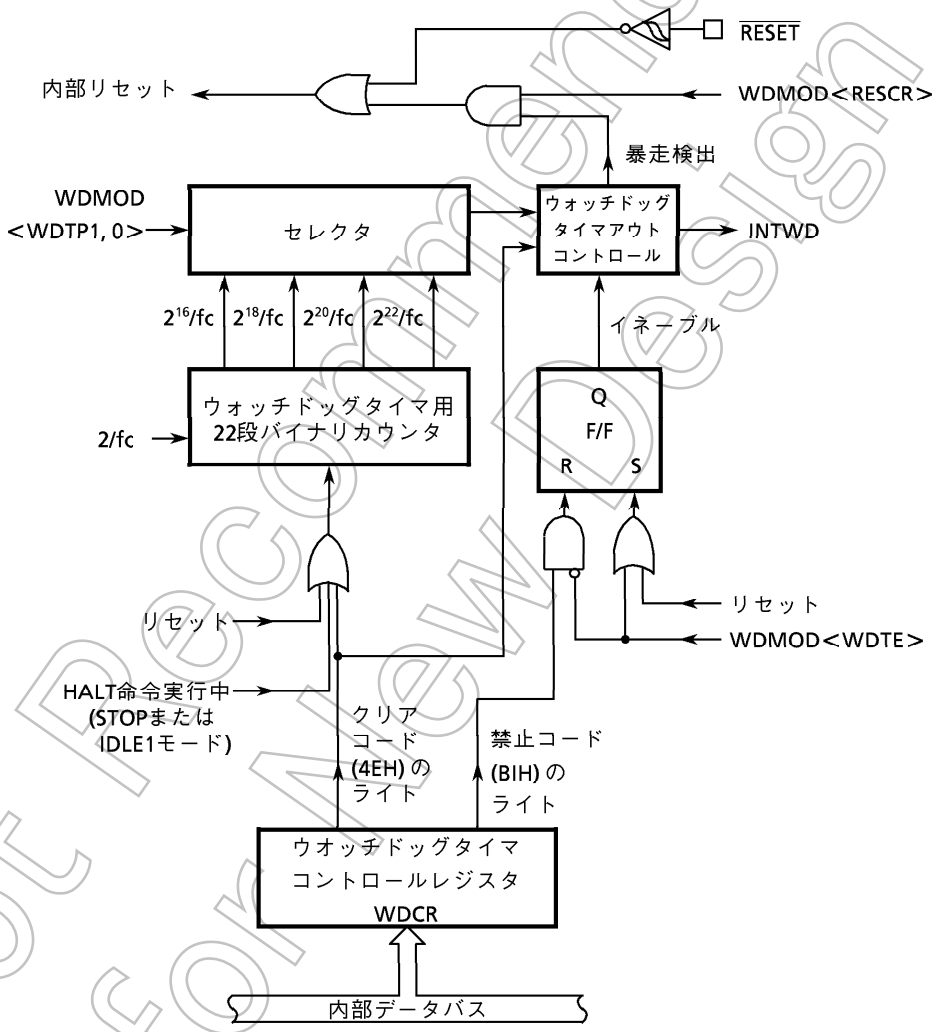


図3.12 (1) ウォッチドッグタイマのブロック図

Not Recommended for New Design

3.12.1 ウォッチドッグタイマレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタによって制御されます。図3.12 (2) に、ウォッチドッグタイマモードコントロールレジスタWDMOD、ウォッチドッグタイマコントロールレジスタWDCRを示します。

ウォッチドッグタイマモードコントロールレジスタ

WDMOD (006EH)

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
Read/Write	R/W							
リセット後	1	0	0	0	0	0	0	0
機　能	ウォッチドッグタイマ制御 0: ディセーブル 1: イネーブル	ウォッチドッグタイマ検出時間の選択 00: 2^{16}/fc 01: 2^{18}/fc 10: 2^{20}/fc 11: 2^{22}/fc		ウォーミングアップ時間 0: 2^{14}/fc 1: 2^{16}/fc	ホールトモード選択 00: RUN モード 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		暴走検出時の内部リセット制御 1: 暴走検出により内部リセットを実行	STOP モード時の端子制御 1: STOP モード中も端子をドライブします

「3.4 スタンバイ機能」を参照してください。

暴走検出時の内部リセット制御

0	Don't care
1	暴走検出により内部リセットを実行

ウォッチドッグタイマ検出時間の選択

00	2^{16}/fc (約2.6 ms @25 MHz)
01	2^{18}/fc (約10.5 ms @25 MHz)
10	2^{20}/fc (約41.9 ms @25 MHz)
11	2^{22}/fc (約168 ms @25 MHz)

ウォッチドッグタイマの禁止/許可制御

0	禁止
1	許可

ウォッチドッグタイマコントロールレジスタ

WDCR (006FH)

	7	6	5	4	3	2	1	0
bit Symbol	–							
Read/Write	W							
リセット後	–							
機　能	B1H : WDT ディセーブルコード				4EH : WDT クリアコード			

ウォッチドッグタイマのディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	Don't care

図3.12 (2) ウォッチドッグタイマ関係のレジスタ

Not Recommended for New Design

(1) ウォッチドッグ タイマ モード コントロール レジスタ (WDMOD)

① ウォッチドッグ タイマ検出時間の設定<WDTP1, 0>

暴走検出のための、ウォッチドッグ タイマ割り込み時間を設定する2ビットのレジスタです。リセット後、WDMOD<WDTP1, 0> は "00" が設定され、検出時間は2^{16}/fc [s] となります (ステート数では、約32,768ステートとなります)。

② ウォッチドッグ タイマのイネーブル / ディセーブル制御<WDTE>

リセット後、WDMOD<WDTE> は "1" が設定され、ウォッチドッグ タイマはイネーブルになります。

ディセーブルにするには、このビットを "0" にクリアするとともに、ウォッチドッグ タイマコントロールレジスタWDCRに、ディセーブル コード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグ タイマのディセーブルが発生しにくくなっています。

また、ディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを "1" にセットするだけでイネーブルとなります。

③ 暴走検出時の内部リセットの制御<RESCR>

暴走検出により、自分自身をリセットするか否かを設定するレジスタです。WDMOD<RESCR>を "1" にセットすることで暴走検出後、マイコン自身を強制的にリセットすることができます。リセット後、<RESCR> は "0" に初期化されますので、暴走検出による内部リセットは行われません。この場合、WDCRへクリアコードを書き込むまでウォッチドッグタイマは、暴走検出状態を保持します。

(2) ウォッチドッグ タイマ コントロールレジスタ (WDCR)

ウォッチドッグ タイマ機能のディセーブル、および、バイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD<WDTE>に "0" を設定し、WDCRにディセーブル コード (B1H) を書き込むと、ウォッチドッグ タイマをディセーブルにすることができます。

```
          7 6 5 4 3 2 1 0
WDMOD ← 0 - - - - - X X        <WDTE>を "0" クリアします。
WDCR  ← 1 0 1 1 0 0 0 1        ディセーブル コード (B1H) を書き込みます。
```

(注) X : Don't care　　– : no change

- ウォッチドッグタイマのクリア制御

WDCRにクリア コード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

```
WDCR  ← 0 1 0 0 1 1 1 0        クリア コード (4EH) を書き込みます。
```

Not Recommended for New Design

3.12.2 動作説明

ウォッチドッグタイマは、ウォッチドッグタイマモードレジスタWDMOD <WDTP1, 0>で設定された検出時間後に、INTWD割り込みを発生させるタイマです。ウォッチドッグタイマ検出時間は、2^{16}/fc、2^{18}/fc、2^{20}/fc、2^{22}/fcから選択することができます。ソフトウエア (命令) で、INTWD割り込みが発生する前にウォッチドッグタイマ用のバイナリカウンタをゼロクリアすることが必要です。もし、CPUがノイズなどの原因で誤動作 (暴走) し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローしINTWD割り込みが発生します。CPUは、INTWD割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます (通常モード)。

また、暴走検出により内部リセットを実行することができます (リセットモード)。暴走検出による内部リセットを行う場合、あらかじめWDMOD<RESCR>を“1”に設定してください。

なお、INTWD割り込み発生周期は、<WDTP1, 0>で選択されたウォッチドッグタイマ検出時間の2倍です。

図 3.12 (3) 通常モード

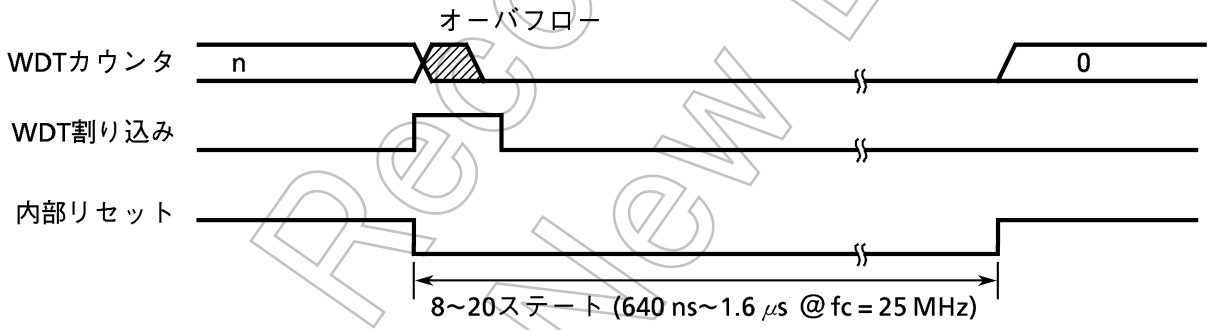


図 3.12 (4) リセットモード

ウォッチドッグタイマは、RUNモードおよびIDLE2モード期間中は動作します。IDLE2モード期間中、INTWD割り込みは発生しませんが、ホールト解除直後のINTWD割り込み発生を防ぐため、ウォッチドッグタイマは禁止してください。IDLE1モード、および、STOPモード期間中は停止します。

Not Recommended for New Design

また、バス解放中($\overline{BUSAK}$="L" レベル)は、バイナリカウンタはカウントし続けます。そのため、バス解放時間を考慮して、暴走検出時間を選択してください。バス解放中にウォッチドッグタイマによる暴走検出をした場合は、バス解放終了後にINTWD割り込みが発生します。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

例: ① バイナリカウンタをクリアします。

```
WDCR  ← 0 1 0 0 1 1 1 0    クリアコード(4EH)の書き込み
```

② ウォッチドッグタイマ検出時間を2^{18}/fcに設定します。

```
WDMOD ← 1 0 1 - - - X X
```

③ ウォッチドッグタイマをディセーブルします。

```
WDMOD ← 0 - - - - - X X    WDTEを "0" クリア
WDCR  ← 1 0 1 1 0 0 0 1    ディセーブルコード(B1H)の書き込み
```

④ IDLE1モードにします。

```
WDMOD ← 0 - - - 1 0 X X    WDTをディセーブルにして、IDLE1モードに
WDCR  ← 1 0 1 1 0 0 0 1    設定します。
"HALT" 命令を実行します。   ホールトモードにします。
```

⑤ IDLE2モードにします。

```
WDMOD ← 0 - - - 1 1 X X    WDTをディセーブルにして、IDLE2モードに
WDCR  ← 1 0 1 1 0 0 0 1    設定します。
"HALT" 命令を実行します。   ホールトモードにします。
```

⑥ STOPモードにします。(ウォーミングアップ時間2^{16}/fc)

```
WDMOD ← - - - 1 0 1 X X    STOPモードに設定します。
"HALT" 命令を実行します。   ホールトモードにします。
```

(注) X : Don't care　　— : no change

Not Recommended for New Design

3.13 バス解放機能

TMP95CS64/265は、バス解放を行うためのバスリクエスト端子($\overline{BUSRQ}$: P53と兼用)、および、バスアクノリッジ端子($\overline{BUSAK}$: P54と兼用) を持っています。これらの端子の設定は、P5CR、P5FCにより行います。

3.13 .1 動作説明

TMP95CS64/265は、$\overline{BUSRQ}$端子に "L" レベルが入力されると、バス解放要求があると認識します。実行中のバスサイクルが終了し、アドレスバス (A23 ~ A0)、および、バスコントロール信号($\overline{RD}$, $\overline{WR}$, $\overline{HWR}$, $\overline{CS0}$~$\overline{CS3}$) を一度 "H" レベルにします。その後、これらの信号とデータバス (D15 ~ D0) の出力バッファをOFFし、$\overline{BUSAK}$端子から "L" レベルを出力することで、バスが解放されたことを示します。

なお、バス解放中は、本デバイスの内蔵I/Oレジスタへのアクセスはできませんが、内蔵I/Oとしての機能は動作し続けます。従って、ウォッチドッグタイマは、カウント動作を継続します。バス解放機能を使用する場合は、バス解放時間を考慮して暴走検出時間を設定してください。

3.13.2 バス解放時の端子状態

バス解放時の端子状態を、表3.13に示します。

表3.13 バス解放時の端子状態

端子名	バス解放時の端子状態	
	ポートモード	ファンクションモード
P07~P00 (D7 ~ D0) P17 ~ P10 (D15 ~ D8)	状態は変化しません。	ハイインピーダンスになります。
P27 ~ P20 (A23 ~ A16) P37~P30 (A15 ~ A8) P47~P40 (A7 ~ A0) P50 ($\overline{RD}$) P51 ($\overline{WR}$)	状態は変化しません。	ハイインピーダンスになります (バス解放直前に一度 "H" レベルになります)。
P52 ($\overline{HWR}$)	状態は変化しません。	出力バッファをOFFします。出力ラッチの値に関係なく、内蔵プルアップが付加されます (バス解放直前に一度 "H" レベルになります)。
P63 ($\overline{CS3}$) P62 ($\overline{CS2}$) P61 ($\overline{CS1}$) P60 ($\overline{CS0}$)	状態は変化しません。	ハイインピーダンスになります(バス解放直前に一度 "H" レベルになります)。

Not Recommended for New Design

4. 電気的特性

4.1 最大定格

項目	記号	定格	単位
電源電圧	V_{cc}	− 0.5～ + 6.5	V
入力電圧	V_{IN}	− 0.5～Vcc + 0.5	V
出力電流 (合計)	ΣI_{OL}	+ 120	mA
出力電流 (合計)	ΣI_{OH}	− 120	mA
消費電力 (Ta = + 70°C)	P_D	600	mW
はんだ付け温度 (10 s)	T_{SOLDER}	+ 260	°C
保存温度	T_{STG}	− 65～ + 150	°C
動作温度	T_{OPR}	− 20～ + 70	°C

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC電気的特性

(1) Vcc = + 5 V ± 10%, Ta = − 20～ + 70°C (fc = 8～25 MHz)

(Typ値はTa = + 25°C, Vcc = + 5 Vの値です)

項目	記号	条件	Min	Max	単位
Input Low Voltage (D0～15) Port 2～A (except P56, P70, P72, P73, P75) RESET, NMI, INT0～4 EA, AM8/16 X1	V_{IL} V_{IL1} V_{IL2} V_{IL3} V_{IL4}		−0.3 −0.3 −0.3 −0.3 −0.3	0.8 0.3 Vcc 0.25 Vcc 0.3 0.2Vcc	V V V V V
Input High Voltage (D0～15) Port 2～A (except P56, P70, P72, P73, P75) RESET, NMI, INT0～4 EA, AM8/16 X1	V_{IH} V_{IH1} V_{IH2} V_{IH3} V_{IH4}		2.2 0.7 Vcc 0.75 Vcc Vcc − 0.3 0.8Vcc	Vcc + 0.3 Vcc + 0.3 Vcc + 0.3 Vcc + 0.3 Vcc + 0.3	V V V V V
Output Low Voltage	V_{OL}	I_{OL} = 1.6 mA		0.45	V
Output High Voltage	V_{OH} V_{OH1} V_{OH2}	I_{OH} = − 400 μA I_{OH} = − 100 μA I_{OH} = − 20 μA	2.4 0.75 Vcc 0.9 Vcc		V V V
Darlington Drive Current (8 Output Pins max.)	I_{DAR}	V_{EXT} = 1.5 V R_{EXT} = 1.1 kΩ	−1.0	− 3.5	mA
Input Leakage Current Output Leakage Current	I_{LI} I_{LO}	0.0≦Vin≦Vcc 0.2≦Vin≦Vcc − 0.2	0.02 (Typ) 0.05 (Typ)	± 5 ± 10	μA μA
Operating Current (RUN) IDLE2 IDLE1 STOP (Ta = − 20～ + 70°C) STOP (Ta = 0～ + 50°C)	I_{cc}	fc = 25 MHz 0.2≦Vin≦Vcc − 0.2 0.2≦Vin≦Vcc − 0.2	40 (Typ) 30 (Typ) 3.5 (Typ) 0.5 (Typ)	50 40 10 50 10	mA mA mA μA μA
Power Down Voltage (@STOP, RAM Back up)	V_{STOP}	V_{IL2} = 0.2 Vcc, V_{IH2} = 0.8 Vcc	2.0	6.0	V
Pull Up Resistance	R_{RP}		45	160	kΩ
Pin Capacitance	C_{IO}	fc = 1 MHz		10	pF
Schmitt Width RESET, NMI, INT0～4	V_{TH}		0.4	1.0 (Typ)	V

(注) I_{DAR}は、任意の出力ポートについて、合計8本までこのスペックを保証します。

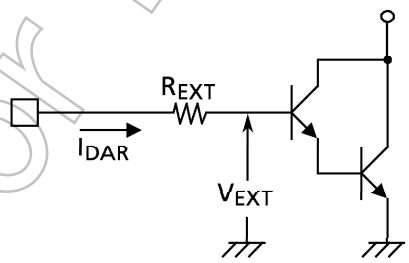
Not Recommended for New Design

(2) Vcc = +3 V ± 10%, Ta = −20～+70°C (fc = 4～10 MHz)

(Typ値はTa = +25°C, Vcc = +3 Vの値です)

項目	記号	条件	Min	Max	単位
Input Low Voltage (D0～15) Port 2～A (except P56, P70, P72, P73, P75) RESET, NMI, INT0～4 EA, AM8/16 X1	V_{IL} V_{IL1} V_{IL2} V_{IL3} V_{IL4}		−0.3 −0.3 −0.3 −0.3 −0.3	0.6 0.3 Vcc 0.25 Vcc 0.3 0.2Vcc	V V V V V
Input High Voltage (D0～15) Port 2～A (except P56, P70, P72, P73, P75) RESET, NMI, INT0～4 EA, AM8/16 X1	V_{IH} V_{IH1} V_{IH2} V_{IH3} V_{IH4}		2.0 0.7 Vcc 0.75 Vcc Vcc − 0.3 0.8Vcc	Vcc + 0.3 Vcc + 0.3 Vcc + 0.3 Vcc + 0.3 Vcc + 0.3	V V V V V
Output Low Voltage	V_{OL}	I_{OL} = 1.6 mA		0.45	V
Output High Voltage	V_{OH}	I_{OH} = −400 μA	2.4		V
Input Leakage Current Output Leakage Current	I_{LI} I_{LO}	0.0 ≦ Vin ≦ Vcc 0.2 ≦ Vin ≦ Vcc − 0.2	0.02 (Typ) 0.05 (Typ)	± 5 ± 10	μA μA
Operating Current (RUN) IDLE2 IDLE1 STOP (Ta = −20～+70°C) STOP (Ta = 0～+50°C)	I cc	fc = 10 MHz 0.2 ≦ Vin ≦ Vcc − 0.2 0.2 ≦ Vin ≦ Vcc − 0.2	12 (Typ) 4.5 (Typ) 0.8 (Typ) 0.5 (Typ)	25 17 5 50 10	mA mA mA μA μA
Power Down Voltage (@ STOP, RAM Back up)	V_{STOP}	V_{IL2} = 0.2 Vcc, V_{IH2} = 0.8 Vcc	2.0	6.0	V
Pull Up Resistance	R_{RP}		70	400	kΩ
Pin Capacitance	C_{IO}	fc = 1 MHz		10	pF
Schmitt Width RESET, NMI, INT0～4	V_{TH}		0.4	1.0 (Typ)	V

(参) I_{DAR} の定義図



Not Recommended for New Design

4.3 AC電気的特性

(1) Vcc = +5 V ± 10%, Ta = −20～+70°C

(fc = 8 MHz～25 MHz)

No.	項目	記号	計算式		20 MHz		25 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	t_{OSC}	40	125	50		40		ns
2	CLK パルス幅	t_{CLK}	2.0x − 40		60		40		ns
3	A0～23 有効→CLK保持	t_{AK}	0.5x − 20		5		0		ns
4	CLK 有効→A0～23保持	t_{KA}	1.5x − 60		15		0		ns
5	A0～23 有効→$\overline{RD}$/$\overline{WR}$立ち下がり	t_{AC}	1.0x − 20		30		20		ns
6	$\overline{RD}$/$\overline{WR}$ 立ち上がり→A0～23保持	t_{CA}	0.5x − 20		5		0		ns
7	A0～23 有効→D0～15入力	t_{AD}		3.5x − 40		135		100	ns
8	$\overline{RD}$立ち下がり →D0～15入力	t_{RD}		2.5x − 45		80		55	ns
9	$\overline{RD}$ Low パルス幅	t_{RR}	2.5x − 40		85		60		ns
10	$\overline{RD}$立ち上がり→D0～15保持	t_{HR}	0		0		0		ns
11	$\overline{WR}$ Low パルス幅	t_{WW}	2.5x − 40		85		60		ns
12	D0～15 有効→$\overline{WR}$立ち上がり	t_{DW}	2.0x − 40		60		40		ns
13	$\overline{WR}$立ち上がり →D0～15保持	t_{WD}	0.5x − 10		15		10		ns
14	A0～23 有効→$\overline{WAIT}$ 入力 (1 WAIT +n モード)	t_{AW}		3.5x − 90		85		50	ns
	A0～23 有効→$\overline{WAIT}$ 入力 (0 + n WAIT モード)	t_{AW}		1.5x − 40		35		20	ns
15	$\overline{RD}$/$\overline{WR}$立ち下がり→$\overline{WAIT}$ 保持 (1 WAIT +n モード)	t_{CW}	2.5x + 0		125		100		ns
	$\overline{RD}$/$\overline{WR}$立ち下がり→$\overline{WAIT}$ 保持 (0 + n WAIT モード)	t_{CW}	0.5x + 0		25		20		ns
16	$\overline{WR}$立ち上がり→PORT 有効	t_{CP}		200		200		200	ns
17	$\overline{CS}$ Low パルス幅 (PSRAMモード)	t_{CE}	3.0x − 40		110		80		ns
18	$\overline{CS}$立ち下がり→D0～15入力 (PSRAMモード)	t_{CEA}		3.0x − 60		90		60	ns
19	アドレスセットアップタイム (PSRAMモード)	t_{PASC}	0.5x − 15		10		5		ns
20	$\overline{CS}$ プリチャージタイム (PSRAMモード)	t_{PP}	1.0x − 10		40		30		ns

AC測定条件

- 出力レベル : High 2.2 V / Low 0.8 V, CL = 50 pF
- 入力レベル : High 2.4 V / Low 0.45 V (D0～D15)
  High 0.8 Vcc / Low 0.2 Vcc (D0～D15を除く)

Not Recommended for New Design

(2) Vcc = +3 V ± 10%, Ta = −20～+70°C

(fc = 4 MHz～10 MHz)

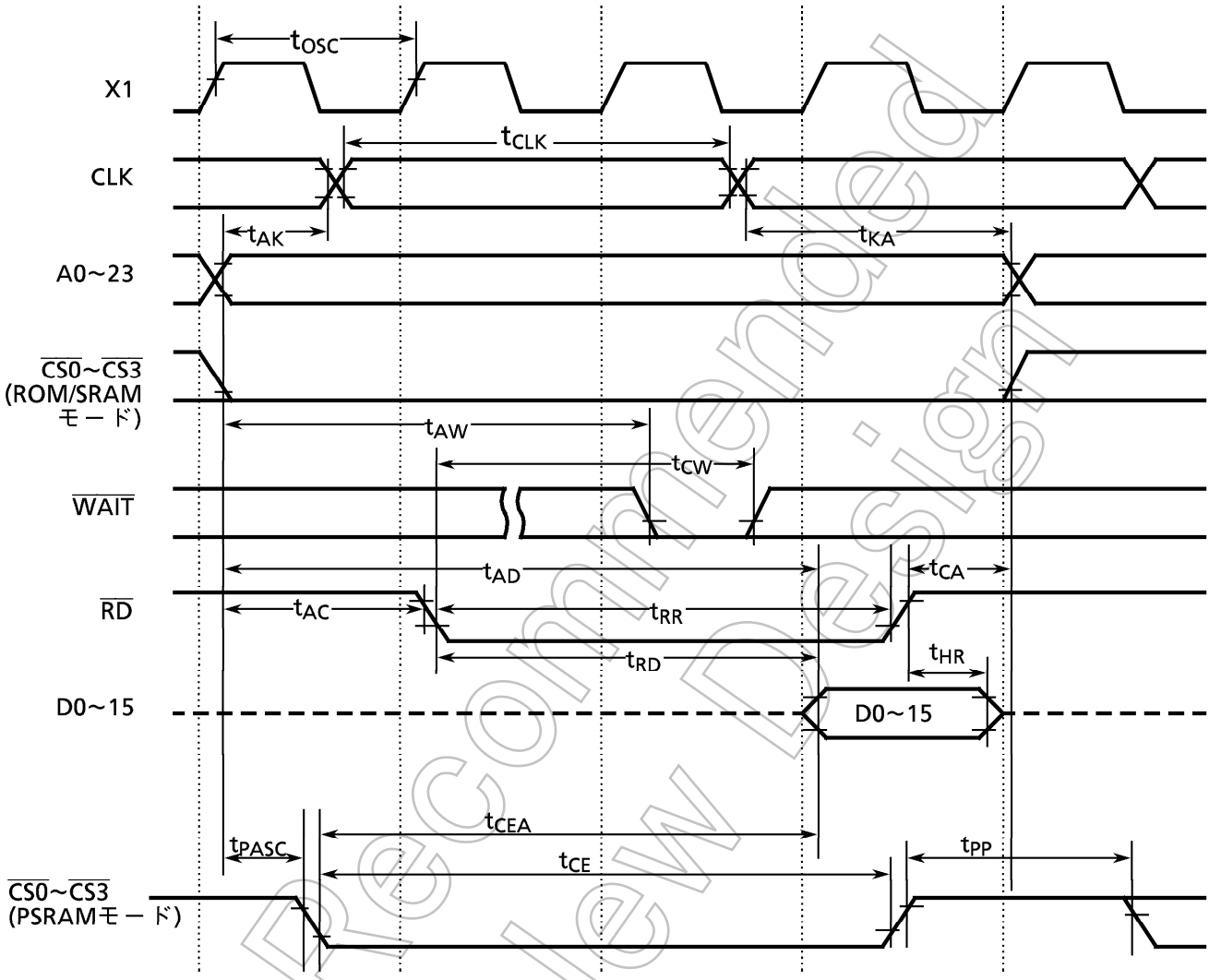
No.	項目	記号	計算式		10 MHz		単位
			Min	Max	Min	Max	
1	発振周期 (= x)	t_{OSC}	100	250	100		ns
2	CLK パルス幅	t_{CLK}	2.0x − 70		130		ns
3	A0～23 有効→$\overline{RD}$/$\overline{WR}$立ち下がり	t_{AC}	1.0x − 60		40		ns
4	$\overline{RD}$/$\overline{WR}$ 立ち上がり→A0～23保持	t_{CA}	0.5x − 40		10		ns
5	A0～23 有効→D0～15入力	t_{AD}		3.5x − 125		225	ns
6	$\overline{RD}$立ち下がり →D0～15入力	t_{RD}		2.5x − 115		135	ns
7	$\overline{RD}$ Low パルス幅	t_{RR}	2.5x − 40		210		ns
8	$\overline{RD}$立ち上がり→D0～15保持	t_{HR}	0		0		ns
9	$\overline{WR}$ Low パルス幅	t_{WW}	2.5x − 40		210		ns
10	D0～15 有効→$\overline{WR}$立ち上がり	t_{DW}	2.0x − 120		80		ns
11	$\overline{WR}$立ち上がり →D0～15保持	t_{WD}	0.5x − 40		10		ns
12	A0～23 有効→$\overline{WAIT}$ 入力 (1 WAIT +n モード)	t_{AW}		3.5x − 130		220	ns
	A0～23 有効→$\overline{WAIT}$ 入力 (0+n WAIT モード)	t_{AW}		1.5x − 80		70	ns
13	$\overline{RD}$/$\overline{WR}$立ち下がり→$\overline{WAIT}$ 保持 (1 WAIT +n モード)	t_{CW}	2.5x + 0		250		ns
	$\overline{RD}$/$\overline{WR}$立ち下がり→$\overline{WAIT}$ 保持 (0+n WAIT モード)	t_{CW}	0.5x + 0		50		ns
14	$\overline{WR}$立ち上がり→PORT 有効	t_{CP}		200		200	ns
15	$\overline{CS}$ Low パルス幅 (PSRAMモード)	t_{CE}	3.0x − 70		230		ns
16	$\overline{CS}$立ち下がり→D0～15入力 (PSRAMモード)	t_{CEA}		3.0x − 160		140	ns
17	アドレスセットアップタイム (PSRAMモード)	t_{PASC}	0.5x − 30		20		ns
18	$\overline{CS}$ プリチャージタイム (PSRAMモード)	t_{PP}	1.0x − 40		60		ns

AC測定条件

- 出力レベル : High 0.7x Vcc / Low 0.3x Vcc , CL = 50 pF
- 入力レベル : High 0.9x Vcc / Low 0.1x Vcc

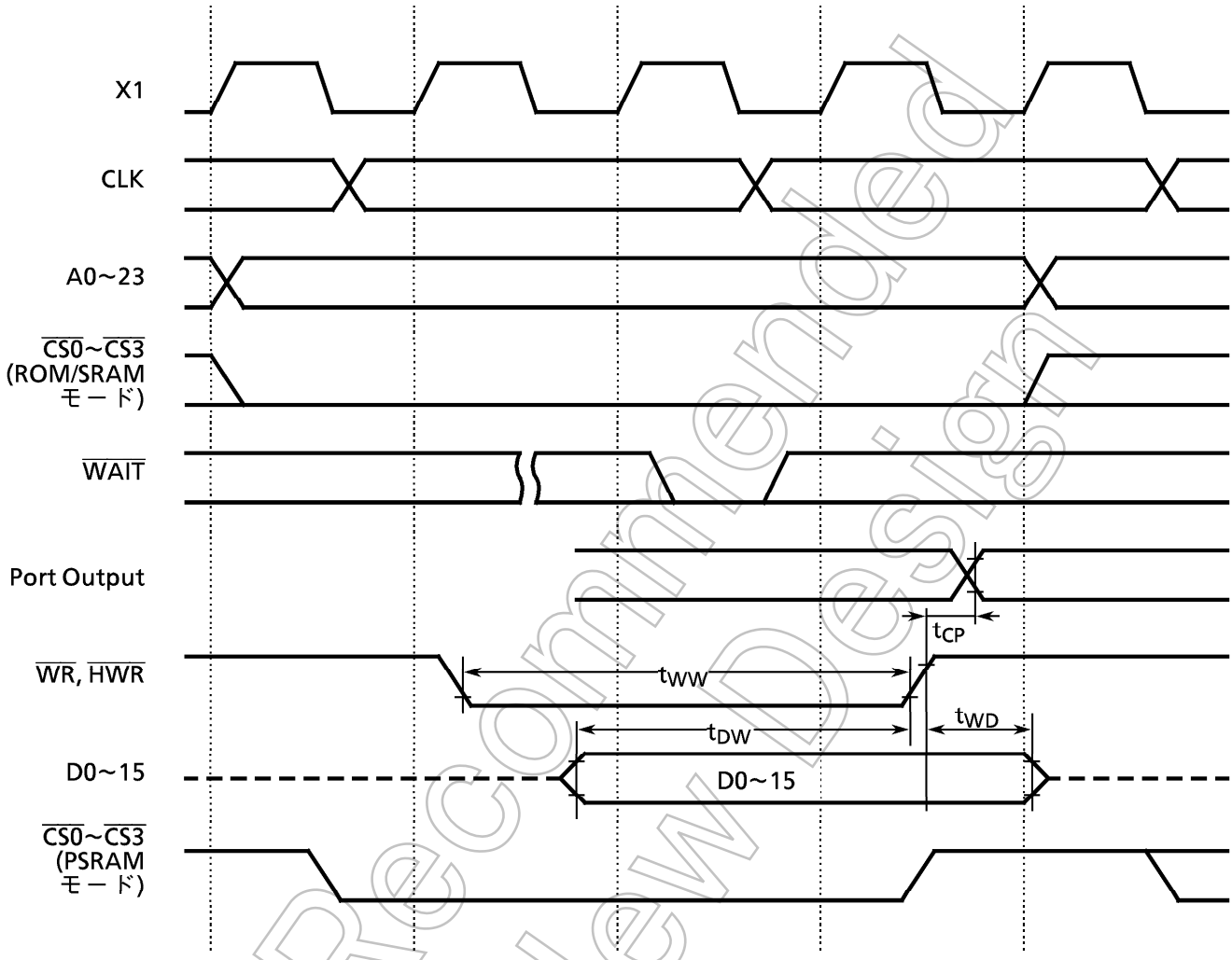
Not Recommended for New Design

(3) リードサイクル



Not Recommended for New Design

(4) ライトサイクル



Not Recommended for New Design

4.4 シリアルチャネルタイミング

(1) I/Oインタフェースモード

① SCLK入力モード

Vcc = +5V ± 10%, Ta = −20～+70°C (fc = 8～25MHz)
Vcc = +3V ± 10%, Ta = −20～+70°C (fc = 4～10MHz)

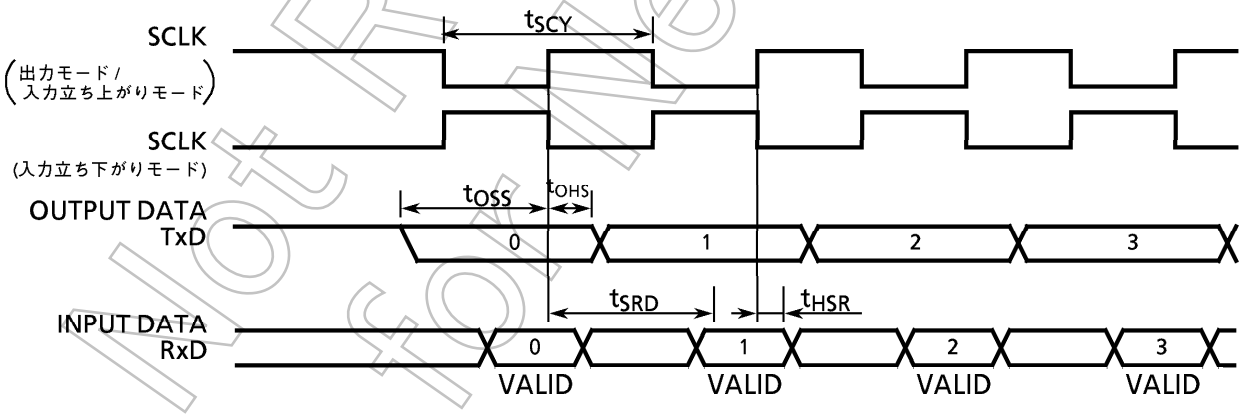
項　目	記 号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期	t_{SCY}	16x		1.6		0.64		μs
Output Data → SCLK立ち上がり /立ち下がり *	t_{OSS}	$t_{SCY}/2 - 5x - 50$		250		70		ns
SCLK立ち上がり /立ち下がり * →Output Data 保持	t_{OHS}	5x − 100		400		100		ns
SCLK立ち上がり /立ち下がり * →Input Data 保持	t_{HSR}	0		0		0		ns
SCLK立ち上がり /立ち下がり * →有効 Data 入力	t_{SRD}		$t_{SCY} - 5x - 100$		1000		340	ns

*) SCLK 立ち上がり / 立ち下がり … SCLK立ち上がりモードの場合は SCLK立ち上がり、SCLK立ち下がりモードの場合は SCLK立ち下がりのタイミングです。

② SCLK出力モード

Vcc = +5V ± 10%, Ta = −20～+70°C (fc = 8～25MHz)
Vcc = +3V ± 10%, Ta = −20～+70°C (fc = 4～10MHz)

項　目	記 号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期 (プログラマブル)	t_{SCY}	16x	8192x	1.6	819.2	0.64	327.6	μs
Output Data →SCLK立ち上がり	t_{OSS}	$t_{SCY} - 2x - 150$		1250		410		ns
SCLK立ち上がり→Output Data 保持	t_{OHS}	2x − 80		120		0		ns
SCLK立ち上がり→Input Data 保持	t_{HSR}	0		0		0		ns
SCLK立ち上がり→有効 Data 入力	t_{SRD}		$t_{SCY} - 2x - 150$		1250		410	ns



Not Recommended for New Design

(2) UARTモード(SCLK0～2 外部入力)

Vcc = +5V ± 10%, Ta = −20～+70°C (fc = 8～25 MHz)
Vcc = +3V ± 10%, Ta = −20～+70°C (fc = 4～10 MHz)

項　目	記　号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期	t_{SCY}	4x + 20		420		180		ns
SCLK低レベルパルス幅	t_{SCYL}	2x + 5		205		85		ns
SCLK高レベルパルス幅	t_{SCYH}	2x + 5		205		85		ns

4.5 AD変換特性

Vcc = +5V ± 10%, Ta = −20～+70°C (fc = 8～25 MHz)
Vcc = +3V ± 10%, Ta = −20～+70°C (fc = 4～10 MHz)

項目		記号	測定条件	Min	Typ	Max	単位
ADアナログ基準電源電圧(+)		V_{REFH}		Vcc − 0.2		Vcc	V
ADアナログ基準電源電圧(−)		V_{REFL}		Vss		Vss + 0.2	
アナログ基準電圧		AV_{CC}		Vcc − 0.2		Vcc	
アナログ基準電圧		AV_{SS}		Vss		Vss + 0.2	
アナログ入力電圧		V_{AIN}		V_{REFL}		V_{REFH}	
アナログ基準電圧電源電流	＜VREFON＞ = 1	I_{REF}	Vcc = 5 V ± 10%			3.7	mA
			Vcc = 3 V ± 10%			2.2	
	＜VREFON＞ = 0		Vcc = 2.7～5.5 V		0.02	5.0	μA
総合誤差 (量子化誤差は含みません)		E_T	Vcc = 5 V ± 10%		± 1	± 3	LSB
			Vcc = 3 V ± 10%		± 1	± 3	

(注1) 1LSB = (VREFH − VREFL) / 2^{10} [V]
(注2) AVCC端子より流れる電源電流は、VCC端子の電源電流ICCに含みます。

4.6 DA 変換特性

Vcc = +5V ± 10%, Ta = −20～+70°C (fc = 8～25 MHz)
Vcc = +3V ± 10%, Ta = −20～+70°C (fc = 4～10 MHz)

記号	項　　目	条　　件	Min	Typ	Max	単　位
AV_{CC}	アナログ基準電圧		Vcc − 0.2		Vcc	V
AV_{SS}	アナログ基準電圧		V_{SS}		Vss + 0.2	
	総合誤差	R = 1 MΩ (注) R = 5 MΩ (注) R = 10 MΩ (注)			7.0 4.0 3.5	LSB LSB LSB
	微分直線性誤差			2.0		LSB

(注) Rは、DAコンバータ出力端子(DAOUT0、DAOUT1)の外付け負荷抵抗です。

Not Recommended for New Design

4.7 イベントカウンタ (外部入力クロック : TI0, TI4, TI8, TI9, TIA, TIB)

Vcc = + 5V ± 10%, Ta = − 20～ + 70°C (fc = 8～25 MHz)
Vcc = + 3V ± 10%, Ta = − 20～ + 70°C (fc = 4～10 MHz)

項　目	記　号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
外部入力クロック周期	t_{VCK}	8x + 100		900		420		ns
外部入力クロック低レベル パルス幅	t_{VCKL}	4x + 40		440		200		ns
外部入力クロック高レベル パルス幅	t_{VCKH}	4x + 40		440		200		ns

4.8 割り込みオペレーション

Vcc = + 5V ± 10%, Ta = − 20～ + 70°C (fc = 8～25 MHz)
Vcc = + 3V ± 10%, Ta = − 20～ + 70°C (fc = 4～10 MHz)

項　目	記　号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
$\overline{NMI}$, INT0～4 低レベル パルス幅	t_{INTAL}	4x		400		160		ns
$\overline{NMI}$, INT0～4 高レベル パルス幅	t_{INTAH}	4x		400		160		ns
INT5～INT8 低レベル パルス幅	t_{INTBL}	8x + 100		900		420		ns
INT5～INT8 高レベル パルス幅	t_{INTBH}	8x + 100		900		420		ns

4.9 AD外部スタート

Vcc = + 5V ± 10%, Ta = − 20～ + 70°C (fc = 8～25 MHz)
Vcc = + 3V ± 10%, Ta = − 20～ + 70°C (fc = 4～10 MHz)

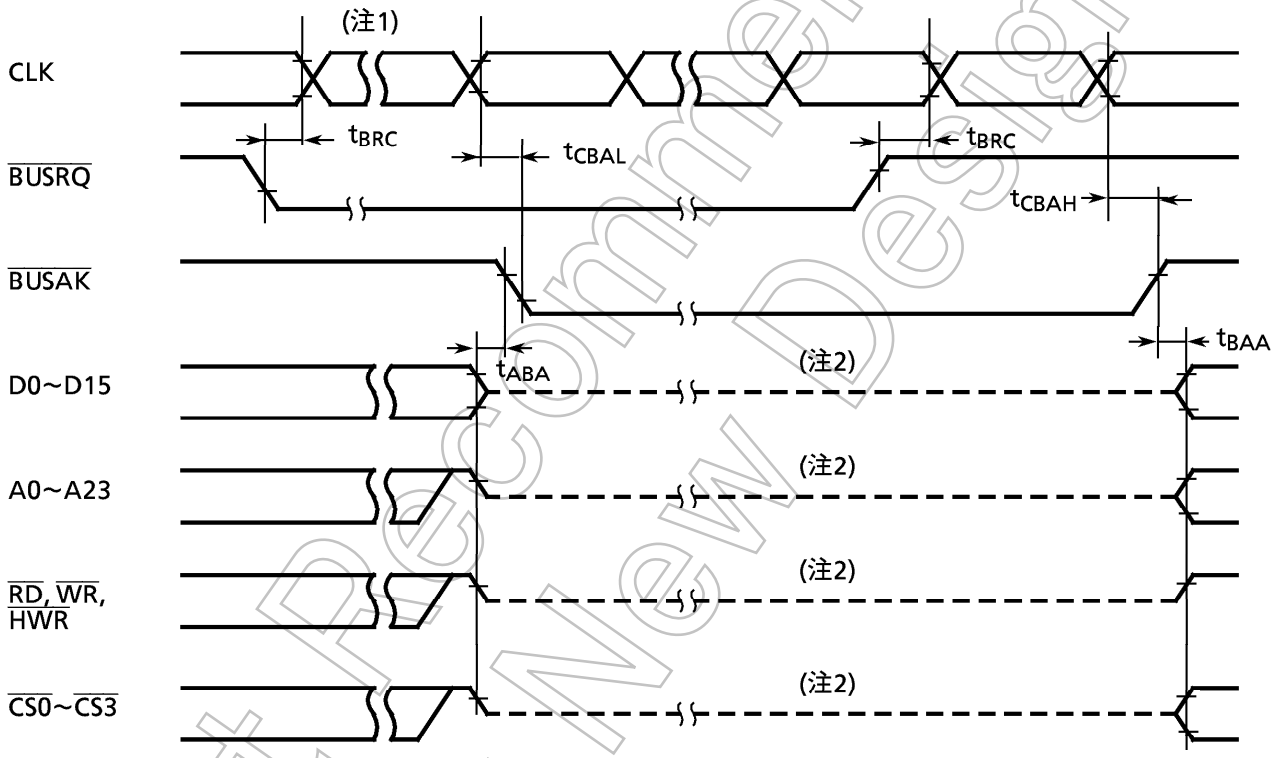
項　目	記　号	計算式		10 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
$\overline{ADTRG}$低レベル パルス幅	t_{ADTG}	4x		400		160		ns

Not Recommended for New Design

4.10 バスリクエスト / バスアクノリッジタイミング

Vcc = + 5V ± 10%, Ta = − 20～ + 70°C (fc = 8～25 MHz)
Vcc = + 3V ± 10%, Ta = − 20～ + 70°C (fc = 4～10 MHz)

項目	記号	計算式		10 MHz		25 MHz		単位
		Min	Max	Min	Max	Min	Max	
CLKに対する$\overline{BUSRQ}$セットアップ時間	t_{BRC}	120		120		120		ns
CLK→$\overline{BUSAK}$立ち下がり	t_{CBAL}		2.0x + 120		320		200	ns
CLK→$\overline{BUSAK}$立ち上がり	t_{CBAH}		0.5x + 40		90		60	ns
出力バッファOFFから$\overline{BUSAK}$立ち下がりまでの時間	t_{ABA}	0	80	0	80	0	80	ns
$\overline{BUSAK}$立ち上がりから出力バッファONまでの時間	t_{BAA}	0	80	0	80	0	80	ns



(注1) $\overline{BUSRQ}$を"L"レベルにしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していない場合は、そのウェイトが解除されるまで、バスは解放されません。

(注2) この破線は、出力バッファがOFFになっていることだけを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により信号レベルの確定が遅れ (CRの時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ抵抗は、内部信号状態に応じて、働きつづけています。

Not Recommended for New Design

5. 特殊機能レジスター覧表

特殊機能レジスタ (SFR : Special Function Register) は、入出力ポート、および、周辺部のコントロールレジスタで、000000H～00009FHの160バイトのアドレス空間に割り付けられています。
また、本デバイスの内蔵レジスタは、デバイス外部からはアクセスできません。

(1) 入出力ポート

(2) 入出力ポート制御

(3) タイマ制御

(4) シリアル チャネル制御

(5) 割り込み制御

(6) ウォッチドッグタイマ制御

(7) チップセレクト / ウェイト コントローラ

(8) DAコンバータ制御

(9) ADコンバータ制御

表の構成

記　号	名　称	アドレス	7	6		1	0	
								→ bit Symbol
								→ Read / Write
								→ リセット時の初期値
								→ 備考

(表中の記述内容についての補足)

① Read / Write
- R/W : Read / Write 可能
- R : Read 可能
- W : Write可能
- *R/W : 該当ポートのプルアップ制御の際には、Read Modify Writeができません。

② RMW禁
- Read Modify Writeができません (EX, ADD, ADC, SUB, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TEST, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD命令の使用不可)。

Not Recommended for New Design

表5 TMP95CS64/265 特殊機能レジスタアドレス一覧表

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
000000H	P0	30H	TREG8L	60H	ADREG04L	90H	B0CS
1H	P1	1H	TREG8H	1H	ADREG04H	1H	B1CS
2H	P0CR	2H	TREG9L	2H	ADREG15L	2H	B2CS
3H	(予約)	3H	TREG9H	3H	ADREG15H	3H	B3CS
4H	P1CR	4H	CAP1L	4H	ADREG26L	4H	MSAR0
5H	P1FC	5H	CAP1H	5H	ADREG26H	5H	MAMR0
6H	P2	6H	CAP2L	6H	ADREG37L	6H	MSAR1
7H	P3	7H	CAP2H	7H	ADREG37H	7H	MAMR1
8H	P2CR	8H	T8MOD	8H	(予約)	8H	MSAR2
9H	P2FC	9H	T8FFCR	9H	(予約)	9H	MAMR2
AH	P3CR	AH	T89CR	AH	SDMACR0	AH	MSAR3
BH	P3FC	BH	T16RUN	BH	SDMACR1	BH	MAMR3
CH	P4	CH	(予約)	CH	SDMACR2	CH	BEXCS
DH	P5	DH		DH	SDMACR3	DH	DADRV
EH	P4CR	EH		EH	WDMOD	EH	DAREG0
FH	P4FC	FH		FH	WDCR	FH	DAREG1
10H	P5CR	40H	TREGAL	70H	INTE0AD		
1H	P5FC	1H	TREGAH	1H	INTE12		
2H	P6	2H	TREGBL	2H	INTE34		
3H	P7	3H	TREGBH	3H	INTE56		
4H	(予約)	4H	CAP3L	4H	INTE78		
5H	P6FC	5H	CAP3H	5H	INTET01		
6H	P7CR	6H	CAP4L	6H	INTET23		
7H	P7FC	7H	CAP4H	7H	INTET45		
8H	P8	8H	T9MOD	8H	INTET67		
9H	P9	9H	T9FFCR	9H	INTET89		
AH	P8CR	AH	(予約)	AH	INTETAB		
BH	P8FC	BH	(予約)	BH	NTETOV		
CH	P9CR	CH	SC0BUF	CH	INTES0		
DH	P9FC	DH	SC0CR	DH	INTES1		
EH	PA	EH	SC0MOD	EH	INTES2		
FH	(予約)	FH	BR0CR	FH	INTETC01		
20H	T8RUN	50H	SC1BUF	80H	INTETC23		
1H	TRDC	1H	SC1CR	1H	(予約)		
2H	TREG0	2H	SC1MOD	2H			
3H	TREG1	3H	BR1CR	3H			
4H	T01MOD	4H	SC2BUF	4H			
5H	T02FFCR	5H	SC2CR	5H			
6H	TREG2	6H	SC2MOD	6H			
7H	TREG3	7H	BR2CR	7H			
8H	T23MOD	8H	ODE	8H			
9H	TREG4	9H	IIMC	9H			
AH	TREG5	AH	DMA0V	AH			
BH	T45MOD	BH	DMA1V	BH			
CH	T46FFCR	CH	DMA2V	CH			
DH	TREG6	DH	DMA3V	DH			
EH	TREG7	EH	ADMOD0	EH			
FH	T67MOD	FH	ADMOD1	FH			

Not Recommended for New Design

(1) 入出力ポート

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
P0	Port 0 Register	00H	P07	P06	P05	P04	P03	P02	P01	P00
			R/W							
			入力モード (出力ラッチレジスタは不定)							
			D7~D0と兼用							
P1	Port 1 Register	01H	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			入力モード (出力ラッチレジスタは "0" にクリア)							
			D15~D8と兼用							
P2	Port 2 Register	06H	P27	P26	P25	P24	P23	P22	P21	P20
			R/W							
			入力モード (出力ラッチレジスタは "0" にクリア)							
			D23~D16と兼用							
P3	Port 3 Register	07H	P37	P36	P35	P34	P33	P32	P31	P30
			R/W							
			入力モード (出力ラッチレジスタは "0" にクリア)							
			A15~A8と兼用							
P4	Port 4 Register	0CH	P47	P46	P45	P44	P43	P42	P41	P40
			R/W							
			入力モード (出力ラッチレジスタは "0" にクリア)							
			A7~A0と兼用							
P5	Port 5 Register	0DH	P57	P56	P55	P54	P53	P52	P51	P50
			*R/W							
			入力モード ("1"にセット / Pull-up)						出力専用 ("1"にセット)(注1)	
			SCLK2/CTS2と兼用	INT0と兼用	WAITと兼用	BUSAKと兼用	BUSRQと兼用	HWRと兼用	WRと兼用	RDと兼用
P6	Port 6 Register	12H					P63	P62	P61	P60
							R/W			
							出力モード ("1"にセット) (注2)			
							CS3と兼用	CS2と兼用	CS1と兼用	CS0と兼用
P7	Port 7 Register	13H			P75	P74	P73	P72	P71	P70
					R/W					
					入力モード (出力ラッチレジスタは "0" にクリア)					
					TO7/INT4と兼用	TO5と兼用	TI4/INT3と兼用	TO3/INT2と兼用	TO1と兼用	TI0/INT1と兼用
P8	Port 8 Register	18H	P87	P86	P85	P84	P83	P82	P81	P80
			*R/W							
			入力モード ("1"にセット / Pull-up)							
			RxD2と兼用	TxD2と兼用	SCLK1/CTS1と兼用	RxD1と兼用	TxD1と兼用	SCLK0/CTS0と兼用	RxD0と兼用	TxD0と兼用
P9	Port 9 Register	19H		P96	P95	P94	P93	P92	P91	P90
				R/W						
				入力モード (出力ラッチレジスタは "0" にクリア)						
				TOA/TOBと兼用	TIB/INT8と兼用	TIA/INT7と兼用	TO9と兼用	TO8と兼用	TI9/INT6と兼用	TI8/INT5と兼用
PA	Port A Register	1EH	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
			R							
			入力専用							
			AN7と兼用	AN6と兼用	AN5と兼用	AN4と兼用	AN3/ADTRGと兼用	AN2と兼用	AN1と兼用	AN0と兼用

(注1) P50がRD端子として設定されている場合 (P5FC＜P50＞ = "1"、または、TMP95C265)、P5＜P50＞を0にクリアすると、P50のRD信号は、内部アドレスエリアをアクセスするときでも出力されます (PSRAM用)。

(注2) ＜P62＞のみEA端子の設定状態によりリセット後の初期値が異なります。

	EA = "L" レベル	EA = "H" レベル
＜P62＞の初期値	0	1

Not Recommended for New Design

(2) 入出力ポート制御 (1/2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
P0CR	Port 0 Control Register	02H	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	0 : IN				1 : OUT			
P1CR	Port 1 Control Register	04H	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	0 : IN				1 : OUT			
P1FC	Port 1 Function Register	05H	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	0 : PORT			1 : D15~D8 (P1CR = 00H)				
P2CR	Port 2 Control Register	08H	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	0 : IN				1 : OUT			
P2FC	Port 2 Function Register	09H	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	0 : PORT			1 : A23~A16 (P2CR = FFH)				
P3CR	Port 3 Control Register	0AH	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	0 : IN				1 : OUT			
P3FC	Port 3 Function Register	0BH	P37F	P36F	P35F	P34F	P33F	P32F	P31F	P30F
			W							
			0	0	0	0		0	0	0
		(RMW禁)	0 : PORT			1 : A15~A8 (P3CR = FFH)				
P4CR	Port 4 Control Register	0EH	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	0 : IN				1 : OUT			
P4FC	Port 4 Function Register	0FH	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
			W							
			0	0	0	0	0	0	0	0
		(RMW禁)	0 : PORT			1 : A7~A0 (P4CR = FFH)				
P5CR	Port 5 Control Register	10H	P57C	P56C	P55C	P54C	P53C	P52C		
			W							
			0	0	0	0	0	0		
		(RMW禁)	0 : IN			1 : OUT				
P5FC	Port 5 Function Register	11H	P57F			P54F	P53F	P52F	P51F	P50F
			W					W		
			0			0	0	0	0	0
		(RMW禁)	0: PORT 1: SCLK2 /$\overline{CTS2}$			0: PORT 1: $\overline{BUSAK}$	0: PORT 1: $\overline{BUSRQ}$	0: PORT 1: $\overline{HWR}$	0: PORT 1: $\overline{WR}$	0: PORT 1: $\overline{RD}$

(注) ROM外付けタイプのTMP95C265は、P0CR、P3CR、P3FC、P4CR、P4FC、P5FC<P50F, P51F>の設定値に関係なく、ポート0はデータバス、ポート3、ポート4はアドレスバス、P50端子、P51端子は、それぞれ$\overline{RD}$、$\overline{WR}$信号出力端子として機能します。

Not Recommended for New Design

入出力ポート制御 (2/2)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
P6FC	Port 6 Function Register	15H (RMW禁)					P63F	P62F	P61F	P60F
			W							
			0	0			0	0	0	0
							0: PORT 1: $\overline{CS3}$	0: PORT 1: $\overline{CS2}$	0: PORT 1: $\overline{CS1}$	0: PORT 1: $\overline{CS0}$
P7CR	Port 7 Control Register	16H (RMW禁)			P75C	P74C	P73C	P72C	P71C	P70C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P7FC	Port 7 Function Register	17H (RMW禁)			P75F	P74F		P72F	P71F	
			W					W		
			0	0	0	0		0	0	
					0: PORT 1: TO7	0: PORT 1: TO5		0: PORT 1:TO3	0: PORT 1: TO1	
P8CR	Port 8 Control Register	1AH (RMW禁)	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P8FC	Port 8 Function Register	1BH (RMW禁)		P86F	P85F		P83F	P82F		P80F
			W				W			W
			0	0	0		0	0		0
				0: PORT 1: TxD2	0: PORT 1: SCLK1 /$\overline{CTS1}$		0: PORT 1: TxD1	0: PORT 1: SCLK0 /$\overline{CTS0}$		0: PORT 1: TxD0
P9CR	Port 9 Control Register	1CH (RMW禁)		P96C	P95C	P94C	P93C	P92C	P91C	P90C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P9FC	Port 9 Function Register	1DH (RMW禁)	TOS1	P96F			P93F	P92F		
			W				W			
			0	0			0	0		
			0: TOA 1: TOB	0: PORT 1: TOA / TOB			0: PORT 1: TO9	0: PORT 1: TO8		

Not Recommended for New Design

(3) タイマ制御 (1/4)

記号	名称	アドレス	7	6	5	4	3	2	1	0
T8RUN	8 bit Timer Run Control Register	20H	T7RUN	T6RUN	T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
			R/W							
			0	0	0	0	0	0	0	0
			8ビットタイマ7 0: 停止&クリア 1: カウント	8ビットタイマ6 0: 停止&クリア 1: カウント	8ビットタイマ5 0: 停止&クリア 1: カウント	8ビットタイマ4 0: 停止&クリア 1: カウント	8ビットタイマ3 0: 停止&クリア 1: カウント	8ビットタイマ2 0: 停止&クリア 1: カウント	8ビットタイマ1 0: 停止&クリア 1: カウント	8ビットタイマ0 0: 停止&クリア 1: カウント
TRDC	Timer Register Double Buffer Control Register	21H					TR6DE	TR4DE	TR2DE	TR0DE
							R/W			
							0	0	0	0
							TREG6ダブルバッファ 0: Disable 1: Enable	TREG4ダブルバッファ 0: Disable 1: Enable	TREG2ダブルバッファ 0: Disable 1: Enable	TREG0ダブルバッファ 0: Disable 1: Enable
TREG0	8 bit Timer Register 0	22H (RMW禁)	–							
			W							
			不定							
TREG1	8 bit Timer Register 1	23H (RMW禁)	–							
			W							
			不定							
T01 MOD	8 bit Timer 0, 1 Mode Control Register	24H	T01M1	T01M0	PWM01	PWM00	T1CLK1	T1CLK0	T0CLK1	T0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			タイマ0、1の動作モード設定 00 : 8 bit タイマ 01 : 16 bit タイマ 10 : 8 bit PPG 11 : 8 bit PWM		PWM0の周期選択 00 : Don't care 01 : $2^6 - 1$ 10 : $2^7 - 1$ 11 : $2^8 - 1$		タイマ1の入力クロック選択 00 : TO0TRG 01 : ϕT1 10 : ϕT16 11 : ϕT256		タイマ0の入力クロック選択 00 : TI0 入力 01 : ϕT1 10 : ϕT4 11 : ϕT16	
T02 FFCR	8 bit Timer 0, 2 Flip-Flop Control Register	25H	FF3C1	FF3C0	FF3IE	FF3IS	FF1C1	FF1C0	FF1IE	FF1IS
			W		R/W		W		R/W	
			1	1	0	0	1	1	0	0
			00 : Invert TFF3 01 : Set TFF3 10 : Clear TFF3 11 : Don't care		TFF3反転制御 0: Disable 1: Enable	0: タイマ2による反転 1: タイマ3による反転	00 : Invert TFF1 01 : Set TFF1 10 : Clear TFF1 11 : Don't care		TFF1反転制御 0: Disable 1: Enable	0: タイマ0による反転 1: タイマ1による反転
TREG2	8 bit Timer Register 2	26H (RMW禁)	–							
			W							
			不定							
TREG3	8 bit Timer Register 3	27H (RMW禁)	–							
			W							
			不定							
T23 MOD	8 bit Timer 2, 3 Mode Control Register	28H	T23M1	T23M0	PWM21	PWM20	T3CLK1	T3CLK0	T2CLK1	T2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			タイマ2、3の動作モード設定 00 : 8 bit タイマ 01 : 16 bit タイマ 10 : 8 bit PPG 11 : 8 bit PWM		PWM2の周期選択 00 : Don't care 01 : $2^6 - 1$ 10 : $2^7 - 1$ 11 : $2^8 - 1$		タイマ3の入力クロック選択 00 : TO2TRG 01 : ϕT1 10 : ϕT16 11 : ϕT256		タイマ2の入力クロック選択 00 : Don't care 01 : ϕT1 10 : ϕT4 11 : ϕT16	

Not Recommended for New Design

タイマ制御 (2/4)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
TREG4	8 bit Timer Register4	29H (RMW禁)	–							
			W							
			不　定							
TREG5	8 bit Timer Register5	2AH (RMW禁)	–							
			W							
			不　定							
T45 MOD	8 bit Timer 4, 5 Mode Control Register	2BH	T45M1	T45M0	PWM41	PWM40	T5CLK1	T5CLK0	T4CLK1	T4CLK0
			R/W							
			0	0	0	0	0	0	0	0
			タイマ4、5の動作モード設定 00 : 8 bit タイマ 01 : 16 bit タイマ 10 : 8 bit PPG 11 : 8 bit PWM		PWM4の周期選択 00 : Don't care 01 : $2^6 - 1$ 10 : $2^7 - 1$ 11 : $2^8 - 1$		タイマ5の入力クロック選択 00 : TO4TRG 01 : ϕT1 10 : ϕT16 11 : ϕT256		タイマ4の入力クロック選択 00 : TI4入力 01 : ϕT1 10 : ϕT4 11 : ϕT16	
T46 FFCR	8 bit Timer 4, 6 Flip-Flop Control Register	2CH	FF7C1	FF7C0	FF7IE	FF7IS	FF5C1	FF5C0	FF5IE	FF5IS
			W		R/W		W		R/W	
			1	1	0	0	1	1	0	0
			00 : Invert TFF7 01 : Set TFF7 10 : Clear TFF7 11 : Don't care		TFF7反転制御 0: Disable 1: Enable	0: タイマ6による反転 1: タイマ7による反転	00 : Invert TFF5 01 : Set TFF5 10 : Clear TFF5 11 : Don't care		TFF5反転制御 0: Disable 1: Enable	0: タイマ4による反転 1: タイマ5による反転
TREG6	8 bit Timer Register6	2DH (RMW禁)	–							
			W							
			不　定							
TREG7	8 bit Timer Register7	2EH (RMW禁)	–							
			W							
			不　定							
T67 MOD	8 bit Timer 6, 7 Mode Control Register	2FH	T67M1	T67M0	PWM61	PWM60	T7CLK1	T7CLK0	T6CLK1	T6CLK0
			R/W							
			0	0	0	0	0	0	0	0
			タイマ6、7の動作モード設定 00 : 8 bit タイマ 01 : 16 bit タイマ 10 : 8 bit PPG 11 : 8 bit PWM		PWM6の周期選択 00 : Don't care 01 : $2^6 - 1$ 10 : $2^7 - 1$ 11 : $2^8 - 1$		タイマ7の入力クロック選択 00 : TO6TRG 01 : ϕT1 10 : ϕT16 11 : ϕT256		タイマ6の入力クロック選択 00 : Don't care 01 : ϕT1 10 : ϕT4 11 : ϕT16	
TREG8L	16 bit Timer Register8L	30H (RMW禁)	–							
			W							
			不　定							
TREG8H	16 bit Timer Register8H	31H (RMW禁)	–							
			W							
			不　定							
TREG9L	16 bit Timer Register9L	32H (RMW禁)	–							
			W							
			不　定							
TREG9H	16 bit Timer Register9H	33H (RMW禁)	–							
			W							
			不　定							

Not Recommended for New Design

タイマ制御 (3/4)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
CAP1L	Capture Register1L	34H	–							
			R							
			不　定							
CAP1H	Capture Register1H	35H	–							
			R							
			不　定							
CAP2L	Capture Register2L	36H	–							
			R							
			不　定							
CAP2H	Capture Register2H	37H	–							
			R							
			不　定							
T8MOD	16 bit Timer 8 Mode Control Register	38H	CAP2T9	EQ9T9	CAP1IN	CAP12M1	CAP12M0	CLE	T8CLK1	T8CLK0
			R/W		W	R/W				
			0	0	1	0	0	0	0	0
			TFF9 反転トリガ 0 : Trigger Disable 1 : Trigger Enable		0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00 : Disable 01 : TI8 ↑ TI9 ↑ 10 : TI8 ↑ TI8 ↓ 11 : TFF1 ↑ TFF1 ↓		タイマ8アップカウンタ制御 0: クリア禁止 1: TREG9と一致でクリア	タイマ8の入力クロック選択 00 : TI8入力 01 : ϕT1 10 : ϕT4 11 : ϕT16	
			CAP2へのアップカウンタ値取り込み時	アップカウンタとTREG9との一致時						
T8FFCR	16 bit Timer 8 Flip-Flop Control Register	39H	TFF9C1	TFF9C0	CAP2T8	CAP1T8	EQ9T8	EQ8T8	TFF8C1	TFF8C0
			W		R/W				W	
			1	1	0	0	0	0	1	1
			00 : Invert TFF9 01 : Set TFF9 10 : Clear TFF9 11 : Don't care		TFF8 反転トリガ 0 : Trigger Disable 1 : Trigger Enable				00 : Invert TFF8 01 : Set TFF8 10 : Clear TFF8 11 : Don't care	
					CAP2へのアップカウンタ値取り込み時	CAP3へのアップカウンタ値取り込み時	アップカウンタとTREG9との一致時	アップカウンタとTREG8との一致時		
T89CR	Timer 8/9 Control Register	3AH	–					–	DBAEN	DB8EN
			R/W					R/W		
			0					0	0	0
			注) かならず"0"を書いてください。					注) かならず"0"を書いてください。	TREGA ダブルバッファ 0: Disable 1: Enable	TREG8 ダブルバッファ 0: Disable 1: Enable
T16RUN	16 bit Timer Run Control Register	3BH	PRRUN		T9RUN	T8RUN				
			R/W		R/W					
			0		0	0				
			プリスケーラ 0: 停止&クリア 1: カウント		16ビットタイマ9 0: 停止&クリア 1: カウント	16ビットタイマ8 0: 停止&クリア 1: カウント				

Not Recommended for New Design

タイマ制御 (4/4)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
TREGAL	16 bit Timer RegisterAL	40H (RMW禁)	–							
			W							
			不　定							
TREGAH	16 bit Timer RegisterAH	41H (RMW禁)	–							
			W							
			不　定							
TREGBL	16 bit Timer RegisterBL	42H (RMW禁)	–							
			W							
			不　定							
TREGBH	16 bit Timer RegisterBH	43H (RMW禁)	–							
			W							
			不　定							
CAP3L	Capture Register3L	44H	–							
			R							
			不　定							
CAP3H	Capture Register3H	45H	–							
			R							
			不　定							
CAP4L	Capture Register4L	46H	–							
			R							
			不　定							
CAP4H	Capture Register4H	47H	–							
			R							
			不　定							
T9MOD	16 bit Timer 9 Mode Control Register	48H	CAP4TB	EQBTB	CAP3IN	CAP34M1	CAP34M0	CLE	T9CLK1	T9CLK0
			R/W		W	R/W				
			0	0	1	0	0	0	0	0
			TFFB 反転トリガ 0 :Trigger Disable 1 :Trigger Enable		0:ソフトキャプチャ 1:Don't care	キャプチャタイミング 00 : Disable 01 : TIA ↑ TIB ↑ 10 : TIA ↑ TIA ↓ 11 : TFF1 ↑ TFF1 ↓		タイマ9アップカウンタ制御 0:クリア禁止 1:TREGBと一致でクリア	タイマ9の入力クロック選択 00 : TIA入力 01 : φT1 10 : φT4 11 : φT16	
			CAP4へのアップカウンタ値取り込み時	アップカウンタとTREGBとの一致時						
T9FFCR	16 bit Timer 9 Flip-Flop Control Register	49H	TFFBC1	TFFBC0	CAP4TA	CAP3TA	EQBTA	EQATA	TFFAC1	TFFAC0
			W		R/W				W	
			1	1	0	0	0	0	1	1
			00 : Invert TFFB 01 : Set TFFB 10 : Clear TFFB 11 : Don't care		TFFA 反転トリガ 0 : Trigger Disable 1 : Trigger Enable				00 : Invert TFFA 01 : Set TFFA 10 : Clear TFFA 11 : Don't care	
					CAP4へのアップカウンタ値取り込み時	CAP3へのアップカウンタ値取り込み時	アップカウンタとTREGBとの一致時	アップカウンタとTREGAとの一致時		

Not Recommended for New Design

(4) シリアルチャネル制御 (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
SC0BUF	Serial Channel 0 Buffer Register	4CH	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
			TB7	TB6	TB5	TB4	TB3	TB2	RB1	TB0
			R (受信) /W (送信)							
			不定							
SC0CR	Serial Channel 0 Control Register	4DH	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Readすると0クリアされます。)				
				0	0	0	0	0	0	0
			受信データビット8	パリティ 0: Odd 1: Even	パリティ付加 0: Disable 1: Enable	1: エラー オーバラン	パリティ	フレーミング	0: SCLK0 1: SCLK0	I/Oインタフェースモード クロック選択 0: ボーレートジェネレータ1 1: SCLK0端子入力
SC0-MOD	Serial Channel 0 Mode Control Register	4EH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			不定	0	0	0	0	0	0	0
			送信データビット8	ハンドシェイク機能 0:CTS Disable 1:CTS Enable	受信制御 0: Disable 1: Enable	ウェイクアップ機能 0:Disable 1:Enable	シリアル転送モード選択 00:I/Oインタフェースモード 01:7ビットUARTモード 10:8ビットUARTモード 11:9ビットUARTモード		UARTモードクロック選択 00: TO2トリガ 01: ボーレートジェネレータ0 10: 内部クロックφ1 11: SCLK0端子入力 (外部クロック)	
BR0CR	Baud Rate Generater 0 Control Register	4FH	–		BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W		R/W					
			0		0	0	0	0	0	0
			注) かならず"0"を書いてください。		ボーレートジェネレータ0の入力クロック選択 00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)		ボーレートジェネレータ0の分周値設定 0000: 16分周 0001: 1分周 (分周なし) ～ ～ 1111: 15分周			
SC1BUF	Serial Channel 1 Buffer Register	50H	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
			TB7	TB6	TB5	TB4	TB3	TB2	RB1	TB0
			R (受信) /W (送信)							
			不定							
SC1CR	Serial Channel 1 Control Register	51H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Readすると0クリアされます。)			R/W	
				0	0	0	0	0	0	0
			受信データビット8	パリティ 0: Odd 1: Even	パリティ付加 0: Disable 1: Enable	1: エラー オーバラン	パリティ	フレーミング	0: SCLK1 1: SCLK1	I/Oインタフェースモード クロック選択 0: ボーレートジェネレータ1 1: SCLK1端子入力
SC1-MOD	Serial Channel 1 Mode Control Register	52H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			不定	0	0	0	0	0	0	0
			送信データビット8	ハンドシェイク機能 0:CTS Disable 1:CTS Enable	受信制御 0: Disable 1: Enable	ウェイクアップ機能 0:Disable 1:Enable	シリアル転送モード選択 00:I/Oインタフェースモード 01:7ビットUARTモード 10:8ビットUARTモード 11:9ビットUARTモード		UARTモードクロック選択 00: TO2トリガ 01: ボーレートジェネレータ1 10: 内部クロックφ1 11: SCLK1端子入力 (外部クロック)	

Not Recommended for New Design

シリアルチャネル制御 (2/2)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
BR1CR	Baud Rate Generater 1 Control Register	53H	–		BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
			R/W		R/W					
			0		0	0	0	0	0	0
			注) かならず "0"を 書いて ください。		ボーレートジェネレータ1の入力クロック選択 00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)		ボーレートジェネレータ1の分周値設定 0000: 16分周 0001: 1分周 (分周なし) ～ ～ 1111: 15分周			
SC2BUF	Serial Channel 2 Buffen Register	54H	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
			TB7	TB6	TB5	TB4	TB3	TB2	RB1	TB0
			R (受信) /W (送信)							
			不　定							
SC2CR	Serial Channel 2 Control Register	55H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Readすると0クリアされます。)			R/W	
				0	0	0	0	0	0	0
			受信データ ビット8	パリティ 0: Odd 1: Even	パリティ付加 0: Disable 1: Enable	1: エラー オーバラン	パリティ	フレーミング	0: SCLK2 1: SCLK2	I/Oインタフェースモード クロック選択 0: ボーレートジェネレータ2 1: SCLK2端子入力
SC2-MOD	Serial Channel 2 Mode Control Register	56H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			不定	0	0	0	0	0	0	0
			送信データ ビット8	ハンドシェイク機能 0: CTS Disable 1: CTS Enable	受信制御 0: Disable 1: Enable	ウェイクアップ機能 0: Disable 1: Enable	シリアル転送モード選択 00: I/Oインタフェースモード 01: 7ビットUARTモード 10: 8ビットUARTモード 11: 9ビットUARTモード		UARTモードクロック選択 00: TO2 トリガ 01: ボーレートジェネレータ2 10: 内部クロックφ1 11: SCLK2端子入力 (外部クロック)	
BR2CR	Baud Rate Generater 2 Control Register	57H	–		BR2CK1	BR2CK0	BR2S3	BR2S2	BR2S1	BR2S0
			R/W		R/W					
			0		0	0	0	0	0	0
			注) かならず "0"を 書いて ください。		ボーレートジェネレータ2の入力クロック選択 00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)		ボーレートジェネレータ2の分周値設定 0000: 16分周 0001: 1分周 (分周なし) ～ ～ 1111: 15分周			
ODE	Serial Open Drain Enable Register	58H						ODE2	ODE1	ODE0
								R/W		
								0	0	0
								P86 出力設定 0: CMOS 1: オープンドレイン	P83 出力設定 0: CMOS 1: オープンドレイン	P80 出力設定 0: CMOS 1: オープンドレイン

Not Recommended for New Design

(5) 割り込み制御 (1/3)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE-0AD	INT0/AD Enable Register	70H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R/W	W			R/W 注)	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTE12	INT1/2 Enable Register	71H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTE34	INT3/4 Enable Register	72H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTE56	INT5/6 Enable Register	73H	INT6				INT5			
			I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTE78	INT7/8 Enable Register	74H	INT8				INT7			
			I8C	I8M2	I8M1	I8M0	I7C	I7M2	I7M1	I7M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTET01	INTT0/1 Enable Register	75H	INTT1 (タイマ1)				INTT0 (タイマ0)			
			IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTET23	INTT2/3 Enable Register	76H	INTT3 (タイマ3)				INTT2 (タイマ2)			
			IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	
INTET45	INTT4/5 Enable Register	77H	INTT5 (タイマ5)				INTT4 (タイマ4)			
			IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTET67	INTT6/7 Enable Register	78H	INTT7 (タイマ7)				INTT6 (タイマ6)			
			IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTET89	INTTR8/9 Enable Register	79H	INTTR9 (タイマ8)				INTTR8 (タイマ8)			
			IT9C	IT9M2	IT9M1	IT9M0	IT8C	IT8M2	IT8M1	IT8M0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0
INTETAB	INTTRA/B Enable Register	7AH	INTTRB (タイマ9)				INTTRA (タイマ9)			
			ITBC	ITBM2	ITBM1	ITBM0	ITAC	ITAM2	ITAM1	ITAM0
			R/W	W			R/W	W		
		(RMW禁)	0	0	0	0	0	0	0	0

IxxM2	IxxM1	IxxM0	機　能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、"1"にします。
0	1	0	割り込み要求レベルを、"2"にします。
0	1	1	割り込み要求レベルを、"3"にします。
1	0	0	割り込み要求レベルを、"4"にします。
1	0	1	割り込み要求レベルを、"5"にします。
1	1	0	割り込み要求レベルを、"6"にします。
1	1	1	割り込み要求を、禁止します。

注) INT0のレベルモード時は、<I0C> に "0" を書き込むことによる割り込み要求フラグのクリアはできません。

IxxC	機　能 (リード)	機　能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

Not Recommended for New Design

割り込み制御 (2/3)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
INTEOV	INTTO8/9 Enable Register	7BH (RMW禁)	INTTO9				INTTO8			
			ITO9C	ITO9M2	ITO9M1	ITO9M0	ITO8C	ITO8M2	ITO8M1	ITO8M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTES0	INTRX0/ TX0 Enable Register	7CH (RMW禁)	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R/W	W			R 注)	W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1/ TX1 Enable Register	7DH (RMW禁)	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R/W	W			R 注)	W		
			0	0	0	0	0	0	0	0
INTES2	INTRX2/ TX2 Enable Register	7EH (RMW禁)	INTTX2				INTRX2			
			ITX2C	ITX2M2	ITX2M1	ITX2M0	IRX2C	IRX2M2	IRX2M1	IRX2M0
			R/W	W			R 注)	W		
			0	0	0	0	0	0	0	0
INTETC 01	INTTC0/1 Enable Register	7FH (RMW禁)	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC01C	ITC0M2	ITC0M1	ITC0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTETC 23	INTTC2/3 Enable Register	80H (RMW禁)	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0

IxxM2	IxxM1	IxxM0	機　能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、"1"にします。
0	1	0	割り込み要求レベルを、"2"にします。
0	1	1	割り込み要求レベルを、"3"にします。
1	0	0	割り込み要求レベルを、"4"にします。
1	0	1	割り込み要求レベルを、"5"にします。
1	1	0	割り込み要求レベルを、"6"にします。
1	1	1	割り込み要求を、禁止します。

注) <IRX0C>、<IRX1C>、<IRX2C> は読み出し専用のため "0" 書き込みによる割り込み要求フラグのクリアはできません。

IxxC	機　能 (リード)	機　能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

Not Recommended for New Design

割り込み制御 (3/3)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
IIMC	Interrupt Input Mode Contorol Register	59H (RMW禁)			–			I0IE	I0LE	NMIREE
					W				W	
					0			0	0	0
					注) かならず "0"を 書いて ください。			INT0入力 0: Disable 1: Enable	INT0 0: ↑edge 1: level	$\overline{\text{NMI}}$ 0: ↓edge 1: ↑↓edge
DMA0V	Micro DMA 0 Start Vector Register	5AH (RMW禁)	DMA0V7	DMA0V6	DMA0V5	DMA0V4	DMA0V3	DMA0V2		
			W							
			0	0	0	0	0	0		
			マイクロDMA0起動ベクタ							
DMA1V	Micro DMA 1 Start Vector Register	5BH (RMW禁)	DMA1V7	DMA1V6	DMA1V5	DMA1V4	DMA1V3	DMA1V2		
			W							
			0	0	0	0	0	0		
			マイクロDMA1起動ベクタ							
DMA2V	Micro DMA 2 Start Vector Register	5CH (RMW禁)	DMA2V7	DMA2V6	DMA2V5	DMA2V4	DMA2V3	DMA2V2		
			W							
			0	0	0	0	0	0		
			マイクロDMA2起動ベクタ							
DMA3V	Micro DMA 3 Start Vector Register	5DH (RMW禁)	DMA3V7	DMA3V6	DMA3V5	DMA3V4	DMA3V3	DMA3V2		
			W							
			0	0	0	0	0	0		
			マイクロDMA3起動ベクタ							

(注)　マイクロDMAソフトスタート起動はSDMACR0/1/2/3 (6AH/6BH/6CH/6DH) のWRサイクルにて実行
(データの値はソフトスタートの動作に影響しません)。

(6)　ウォッチドッグタイマ制御

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
WD-MOD	Watch Dog Timer Mode Control Register	6EH	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
			R/W							
			1	0	0	0	0	0	0	
			WDT制御 0: Disable 1: Enable	WDT検出時間選択 00: 2^{16}/fc 01: 2^{18}/fc 10: 2^{20}/fc 11: 2^{22}/fc		ウォーミングアップ時間 0: 2^{14}/fc 1: 2^{16}/fc	ホールトモード選択 00: RUNモード 01: STOPモード 10: IDLE1モード 11: IDLE2モード		1: 暴走検出により内部リセットを実行	1: STOPモード中も端子をドライブ
WDCR	Watch Dog Timer Control Register	6FH (RMW禁)	–							
			W							
			–							
			B1H: WDT ディセーブルコード　4EH: WDT クリアコード							

Not Recommended for New Design

(7) チップセレクト/ウェイトコントローラ (1/2)

記号	名称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block 0 CS/WAIT Control Register	90H (RMW禁)	B0E		B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
			W		W					
			0		0	0	0	0	0	0
			0: Disable 1: Enable		00: ROM/SRAM 01: PSRAM 10: Don't care 11: Don't care		データバス幅選択 0: 16ビット 1: 8ビット	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: NWAIT 101 設定しないでください 110 111	
B1CS	Block 1 CS/WAIT Control Register	91H (RMW禁)	B1E		B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
			W		W					
			0		0	0	0	0	0	0
			0: Disable 1: Enable		00: ROM/SRAM 01: PSRAM 10: Don't care 11: Don't care		データバス幅選択 0: 16ビット 1: 8ビット	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: NWAIT 101 設定しないでください 110 111	
B2CS	Block 2 CS/WAIT Control Register	92H (RMW禁)	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
			W							
			1	0	0	0	0	0	0	0
			0: Disable 1: Enable	0: 16M 1: CS空間設定	00: ROM/SRAM 01: PSRAM 10: Don't care 11: Don't care		データバス幅選択 0: 16ビット 1: 8ビット	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: NWAIT 101 設定しないでください 110 111	
B3CS	Block 3 CS/WAIT Control Register	93H (RMW禁)	B3E		B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
			W		W					
			0		0	0	0	0	0	0
			0: Disable 1: Enable		00: ROM/SRAM 01: PSRAM 10: Don't care 11: Don't care		データバス幅選択 0: 16ビット 1: 8ビット	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: NWAIT 101 設定しないでください 110 111	
BEXCS	External CS/WAIT Control Register	9CH (RMW禁)					BEXBUS	BEXBUS	BEXW1	BEXW0
							W			
							0	0	0	0
							データバス幅選択 0: 16ビット 1: 8ビット	000: 2WAIT 001: 1WAIT 010: 1WAIT + N 011: 0WAIT	100: NWAIT 101 設定しないでください 110 111	
MSAR0	Memory Start Address Register 0	94H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレスA23~A16設定							
MAMR0	Memory Address Mask Register 0	95H	V20	V19	V18	V17	V16	V15	V14~9	V8
			R/W							
			1	1	1	1	1	1	1	1
			CS0空間サイズ設定 0: アドレス比較対照							
MSAR1	Memory Start Address Register 1	96H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレスA23~A16設定							
MAMR1	Memory Address Mask Register 1	97H	V21	V20	V19	V18	V17	V16	V15~9	V8
			R/W							
			1	1	1	1	1	1	1	1
			CS1空間サイズ設定 0: アドレス比較対照							

Not Recommended for New Design

チップセレクト/ウェイトコントローラ (2/2)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory Start Address Register 2	98H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレスA23~A16設定							
MAMR2	Memory Address Mask Register 2	99H	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS2空間サイズ設定　0: アドレス比較対照							
MSAR3	Memory Start Address Register 3	9AH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレスA23~A16設定							
MAMR3	Memory Address Mask Register 3	9BH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS3空間サイズ設定　0: アドレス比較対照							

(8)　DAコンバータ制御

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
DADRV	DA Conversion Drive Register	9DH							DA1DR	DA0DR
									R/W	
									0	
									DAOUT1のドライブ指定	DAOUT0のドライブ指定
									0: 0V出力固定 1: DA変換結果出力	
DAREG0	DA Conversion Register 0	9EH (RMW禁)	–							
			W							
			不定							
			DAコンバータ0の入力データ "N" の設定							
DAREG1	DA Conversion Register 1	9FH (RMW禁)	–							
			W							
			不定							
			DAコンバータ1の入力データ "N" の設定							

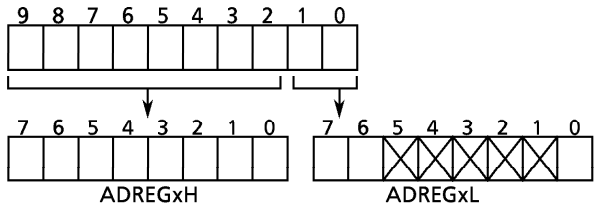
(9)　ADコンバータ制御 (1/2)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
ADMOD0	AD Mode Control Register 0	5EH	EOCF	ADBF	–	–	ITM0	REPET	SCAN	ADS
			R		R/W					
			0	0	0	0	0	0	0	0
			AD変換終了フラグ 0:変換中 1:終了	AD変換BUSYフラグ 0:変換停止 1:変換中	注) かならず "0" を書いてください。	注) かならず "0" を書いてください。	チャネル固定リピート変換モードの時の割り込み指定 0:1回変換ごと 1:4回変換ごと	リピートモード指定 0:シングル変換モード 1:リピート変換モード	スキャンモード指定 0:チャネル固定モード 1:チャネルスキャンモード	AD変換スタート 0: Don't Care 1: 変換開始 注) 常に "0" が読み出されます。

Not Recommended for New Design

ADコンバータ制御 (2/2)

記　号	名　称	アドレス	7	6	5	4	3	2	1	0
ADMOD 1	AD Mode Control Register 1	5FH	VREFON				ADTRGE	ADCH2	ADCH1	ADCH0
			R/W				R/W			
			1				0	0	0	0
			VREF印加制御 0:OFF 1:ON				外部トリガ スタート制御 0:Enable 1:Disable	アナログ入力 チャネル選択		
AD REG04L	AD Conversion Result Register 0/4 Low	60H	ADR01	ADR00						ADR0RF
			R							R
			不定							0
			AD変換結果の下位2ビットが格納されます。							AD変換結果格納フラグ
AD REG04H	AD Conversion Result Register 0/4 High	61H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
			R							
			不定							
			AD変換結果の上位8ビットが格納されます。							
AD REG15L	AD Conversion Result Register 1/5 Low	62H	ADR11	ADR10						ADR1RF
			R							R
			不定							0
			AD変換結果の下位2ビットが格納されます。							AD変換結果格納フラグ
AD REG15H	AD Conversion Result Register 1/5 High	63H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
			R							
			不定							
			AD変換結果の上位8ビットが格納されます。							
AD REG26L	AD Conversion Result Register 2/6 Low	64H	ADR21	ADR20						ADR2RF
			R							R
			不定							0
			AD変換結果の下位2ビットが格納されます。							AD変換結果格納フラグ
AD REG26H	AD Conversion Result Register 2/6 High	65H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
			R							
			不定							
			AD変換結果の上位8ビットが格納されます。							
AD REG37L	AD Conversion Result Register 3/7 Low	66H	ADR31	ADR30						ADR3RF
			R							R
			不定							0
			AD変換結果の下位2ビットが格納されます。							AD変換結果格納フラグ
AD REG37H	AD Conversion Result Register 3/7 High	67H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
			R							
			不定							
			AD変換結果の上位8ビットが格納されます。							



- ADREGxLのビット5~1を読み出すと、常に"1"になります。ビット0は、AD変換結果格納フラグ <ARxRF> です。AD変換値が格納されると、"1"にセットされます。
  どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、"0"にクリアされます。

Not Recommended for New Design

6. ポート部等価回路図

- 回路図の見方

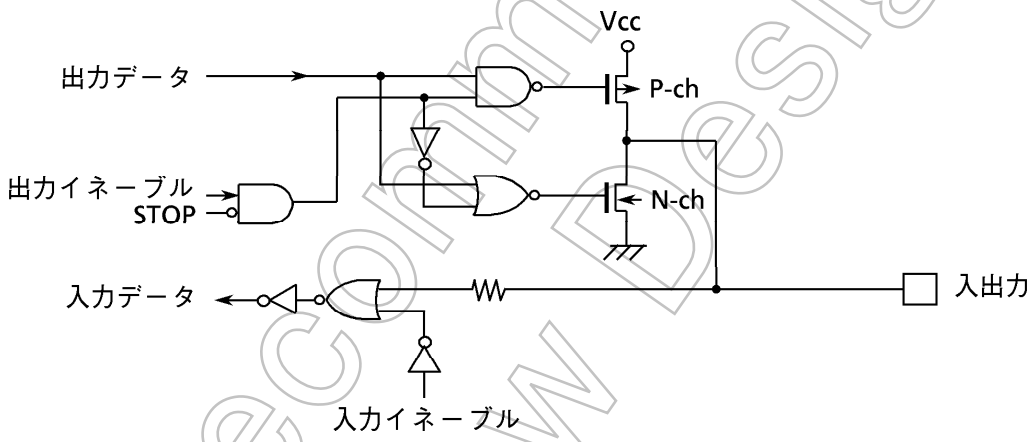
基本的に、標準CMOSロジックIC「74HC××」シリーズと同じゲート記号を使って書かれています。

信号名の中で、特殊なものについては、下記に示します。

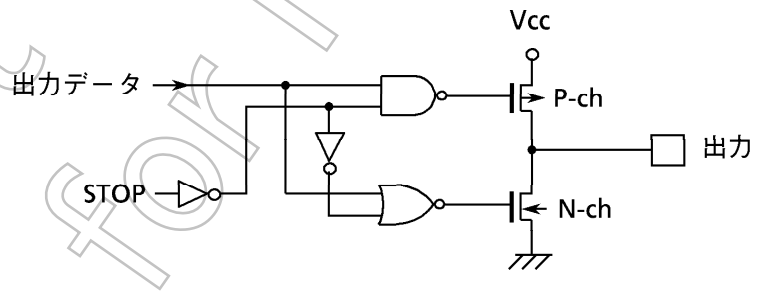
STOP : この信号は、ホールトモード設定レジスタを「STOP」モード (WDMOD<HALTM1, 0>=0, 1)にして、CPUが "HALT" 命令を実行したときアクティブ "1" になります。
ただし、ドライブイネーブル ビットWDMOD<DRVE>が "1" にセットされているときはSTOPは "0" のままです。

- 入力保護抵抗は、数十Ω～数百Ω程度です。

■ P0 (D0～D7), P1 (D8～15), P2 (A16～A23), P3 (A8～A15), P4 (A0～A7)

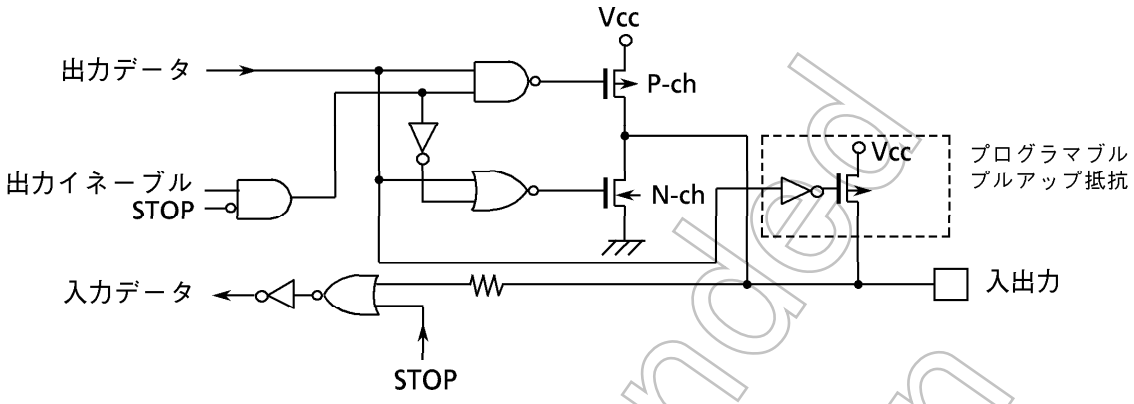


■ P50 ($\overline{RD}$), P51 ($\overline{WR}$), P6 ($\overline{CS0}$～$\overline{CS3}$)

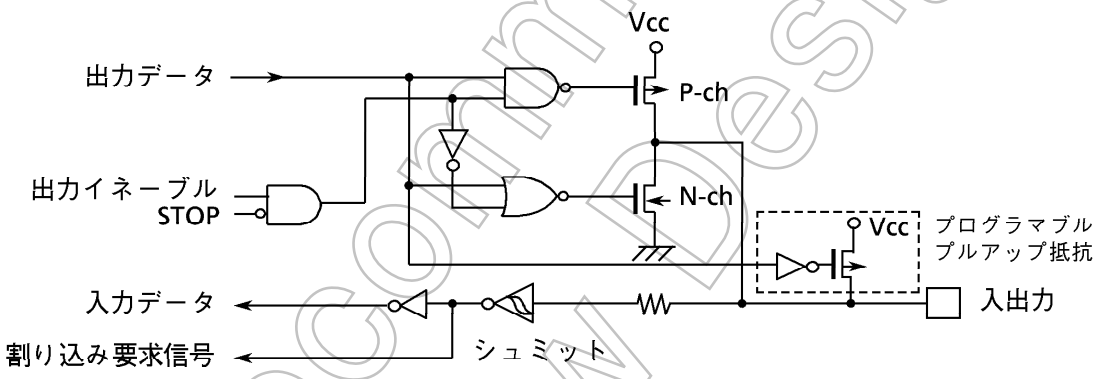


Not Recommended for New Design

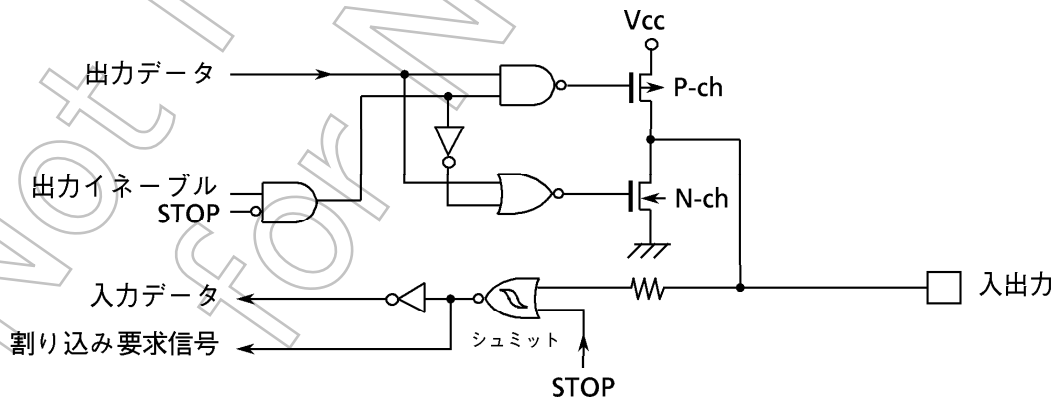
■ P52～55, P57, P81, P82, P84, P85, P87



■ P56(INT0)

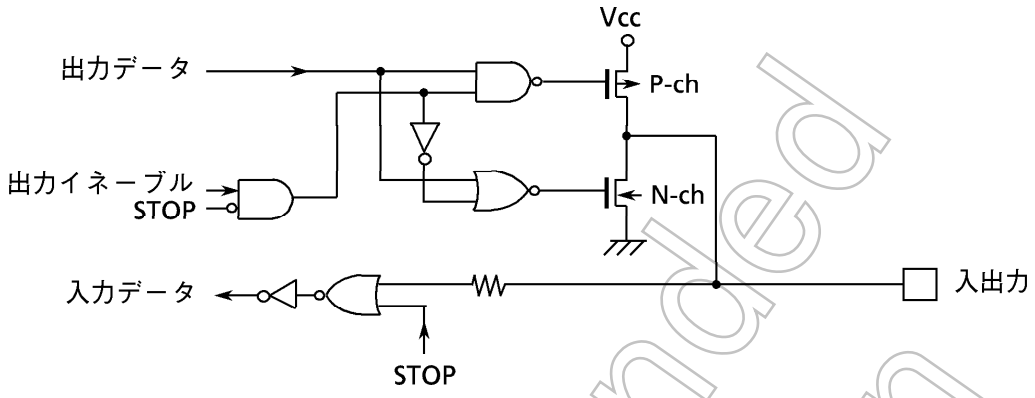


■ P70 (INT1), P72 (INT2), P73 (INT3), P75 (INT4)

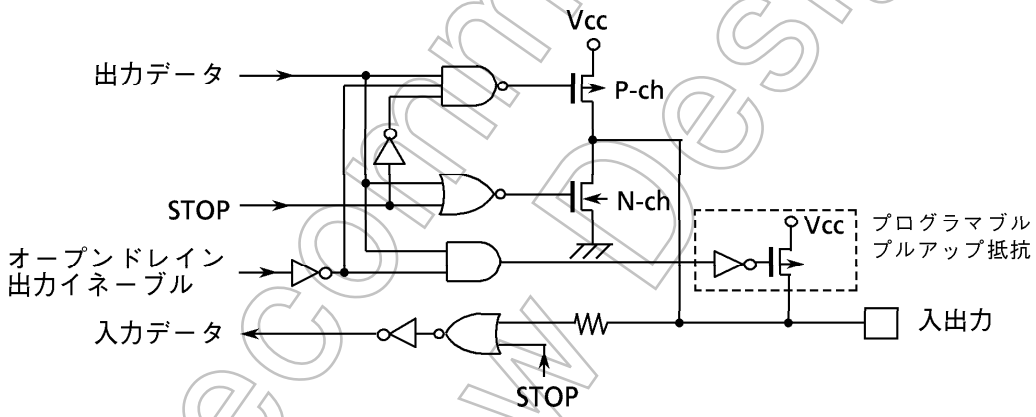


Not Recommended for New Design

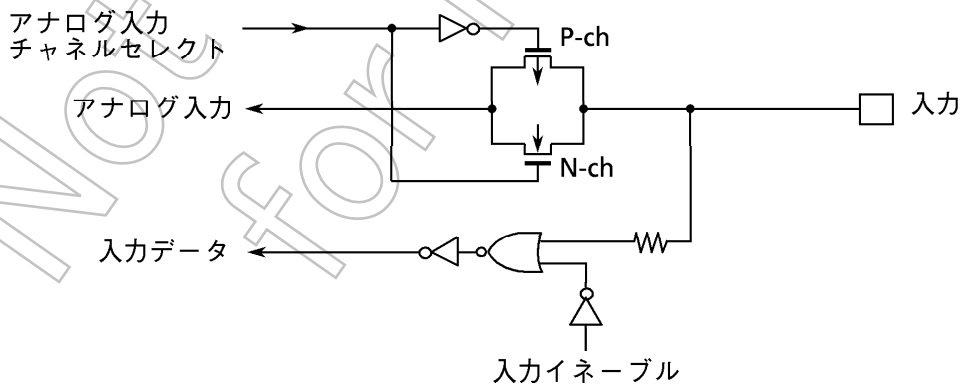
■ P71, P74, P9



■ P80 (TxD0), P83 (TxD1), P86 (TxD2)

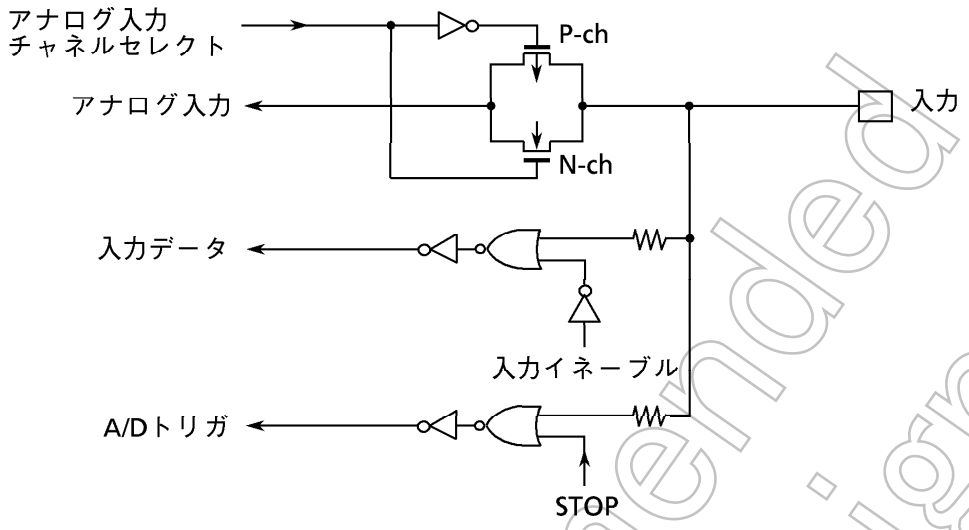


■ PA0~2 (AN0~2), PA4~7 (AN4~7)

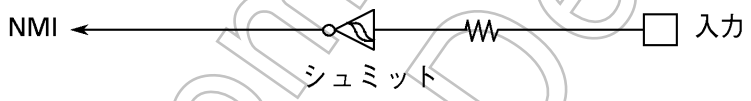


Not Recommended for New Design

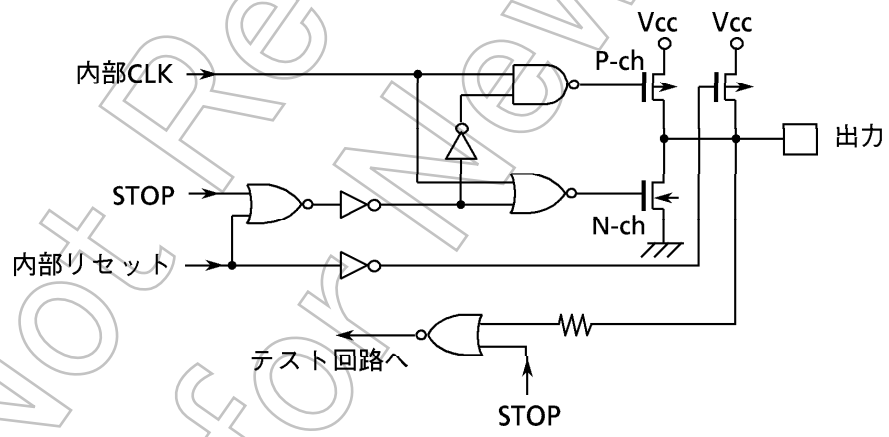
■ PA3 (AN3)



■ $\overline{\text{NMI}}$

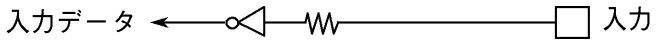


■ CLK

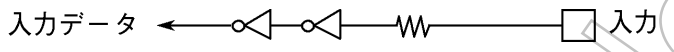


Not Recommended for New Design

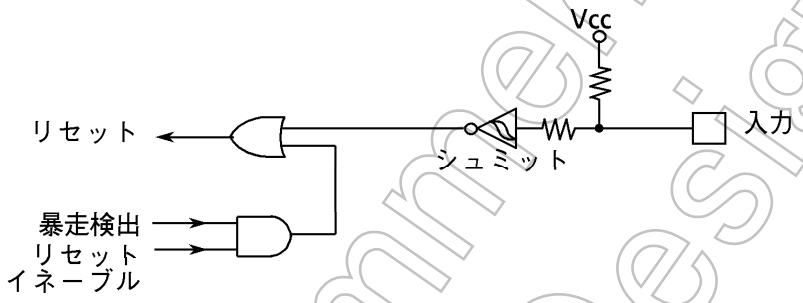
■ $\overline{EA}$



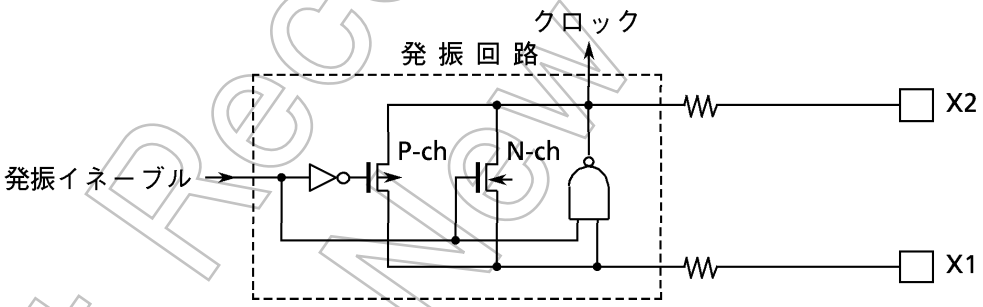
■ AM8/$\overline{16}$



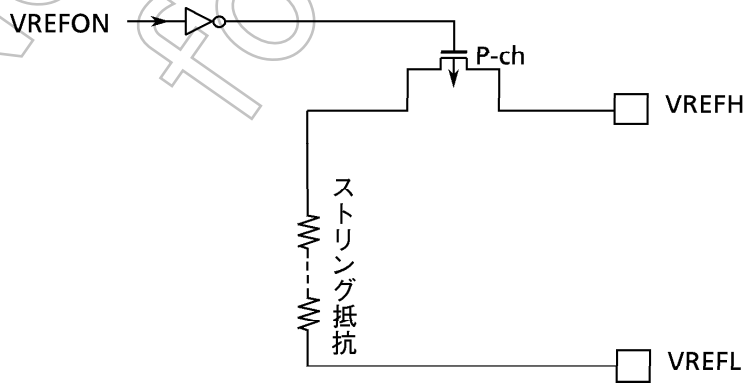
■ $\overline{RESET}$



■ X1, X2



■ VREFH, VREFL



Not Recommended for New Design

7. 使用上の注意, 制限事項

(1) 特別な表記, 言葉の説明

① 内蔵I/Oレジスタの説明 : レジスタシンボル<ビットシンボル>
例) T8RUN<T0RUN> … レジスタT8RUNのビットT0RUN

② リードモディファイライト命令
CPUが、あるメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令。
例1) SET 3, (T8RUN) … T8RUNレジスタのビット3をセットする。
例2) INC 1, (100H) … 100H番地のデータを+1する。

- TLCS-900におけるリードモディファイライト命令

交換命令

EX	(mem), R

算術演算

ADD	(mem), R/#	ADC	(mem), R/#
SUB	(mem), R/#	SBC	(mem), R/#
INC	#3, (mem)	DEC	#3, (mem)

論理演算

AND	(mem), R/#	OR	(mem), R/#
XOR	(mem), R/#		

ビット操作

STCF	#3/A, (mem)	SET	#3, (mem)
RES	#3, (mem)	TEST	#3, (mem)
CHG	#3, (mem)		

ローテート、シフト

RLC	(mem)	RRC	(mem)
RL	(mem)	RR	(mem)
SLA	(mem)	SRA	(mem)
SLL	(mem)	SRL	(mem)
RLD	(mem)	RRD	(mem)

③ 1ステート
発振周波数を2分周した1周期を1ステートと呼びます。
例) 発振周波数25 MHzの場合
2/25 MHz = 80 ns = 1ステートとなります。

Not Recommended for New Design

(2) 使用上の注意, 制限事項

① $\overline{\text{EA}}$端子, AM8/$\overline{\text{16}}$端子

本端子は、Vcc、または、GNDに接続し、動作中にレベル変更のないようにしてください。

② ウォーミングアップカウンタ

外部発振器を用いるシステムで、STOPモードの解除を割込みなどで行う際には、ウォーミングアップカウンタが動作するため、システムクロックが出力されるまでウォーミングアップ時間を要します。

③ プログラマブル プルアップ抵抗

このプルアップ抵抗は、ポートを入力ポートとして使用するときのみ、プログラマブルに付加/付加なしを選択できます。出力ポートとして使用するときは、プログラマブルに選択することはできません。

④ ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

バス解放機能使用した場合、バス開放中もウォッチドッグタイマなどのI/Oブロックは動作していますので注意が必要です。

⑤ CPU (マイクロDMA)

CPU内にあるコントロールレジスタ (転送元レジスタDMASxなど) へのデータ書き込み、読み出しは、“LDC cr, r”、“LDC r, cr” のみでしか行えません。

⑥ 本製品はミニマムモードをサポートしていませんので、“MIN” 命令は使用しないでください。

⑦ 「 POP SR 」命令

「 POP SR 」命令の実行は、DI状態で行ってください。

⑧ 割り込み要求によるホールト状態からの解除

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE1、STOPモードに設定されている状態 (IDLE2は対象外) で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み ($\overline{\text{NMI}}$, INT0) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended for New Design

Not Recommended for New Design