

TOSHIBA

東芝 オリジナル CMOS 16 ビット マイクロコントローラ

TLCS-900/H シリーズ

TMP95C061BFG
TMP95C061BDFG

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社16ビットマイクロコントローラTLC5-900/Hシリーズ、TMP95C061Bをご利用いただき、誠にありがとうございます。

本LSIをご利用になる前に、「使用上の注意、制限事項」の章を参照されますことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

ホールト状態からの解除に関する注意事項

通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間(X1約3クロックの間)に、ホールトモードを解除可能な割り込み(NMI, INT0)が入力されても、ホールトが解除できない場合があります(割り込み要求は内部に保留されます)。

ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パッケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)
TMP95C061BF	P-QFP100-1414-0.50	TMP95C061BFG	QFP100-P-1414-0.50
_(注)	_(注)	TMP95C061BDFG	LQFP100-P-1414-0.50F

注: 鉛フリー非対応製品では対象パッケージ製品なし。

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

はんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230℃ 5 秒間 1 回 R タイプフラックス使用 (Sn-37Pb 鉛はんだ使用時) 245℃ 5 秒間 1 回 R タイプフラックス使用 (Sn-3.0Ag-0.5Cu はんだ使用時)	フォーミングまでの半田 付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では別紙に示す、最新の「製品取り扱い上のお願い」が適用されます。

修正項目 5. データシートの発行日付

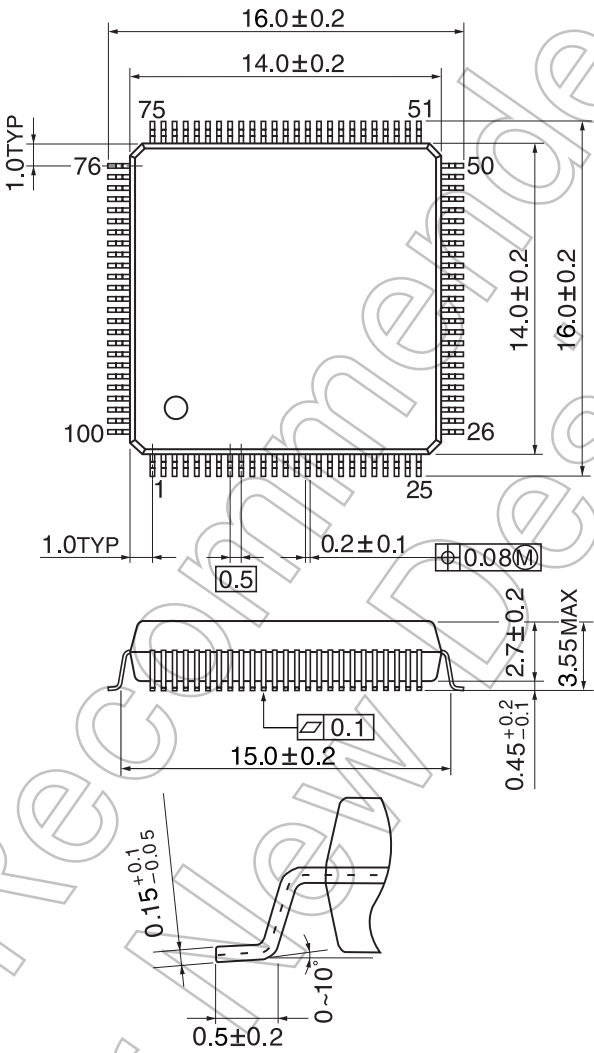
本製品の発行日は、付加ページ右下にも記入の「2011-01-26」です。

(別紙)

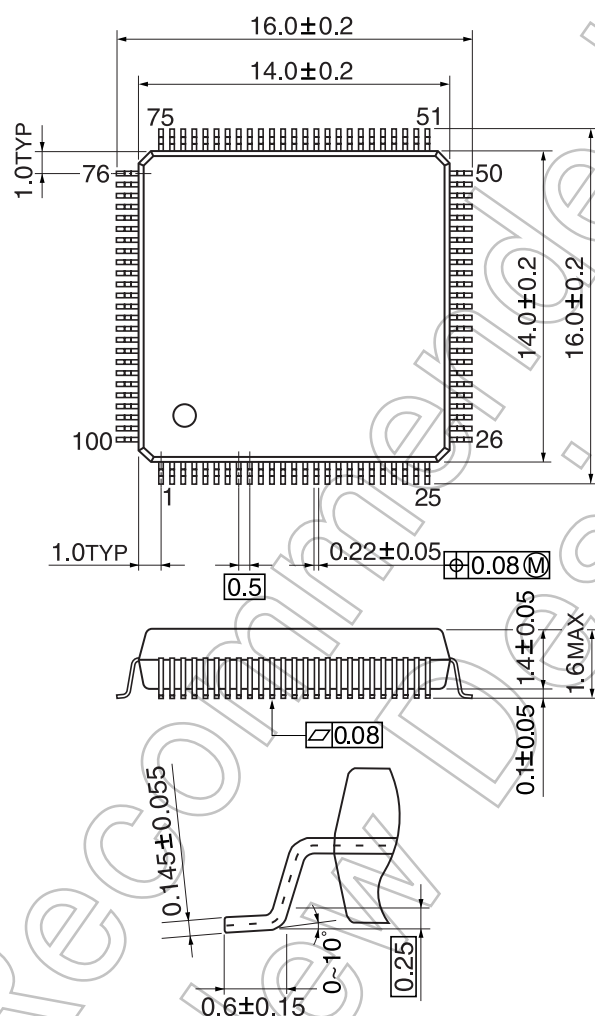
パッケージ外形寸法図

QFP100-P-1414-0.50

単位: mm



單位: mm



製品取り扱い上のお願い

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

CMOS 16ビット マイクロコントローラ

TMP95C061BF

1. 概要と特長

TMP95C061BFは、各種の中規模から大規模機器までの制御用として開発された、高速・高機能16ビットマイクロコントローラです。

TMP95C061BFは、100ピンミニフラットパッケージ(P-QFP100-1414-0.50)製品です。
TMP95C061BEFは、P-QFP100-2222-0.80Aパッケージ製品です。
特長は次のとおりです。

- (1) オリジナル高速16ビットCPU(900H CPU使用)
 - TLCS-90/900と命令モニタックで上位互換
 - 16Mバイトのリニアアドレス空間
 - 汎用レジスタ&レジスタバンク方式
 - 16ビット乗除算命令、ビット転送/演算命令
 - マイクロDMA : 4チャンネル(640ns/2バイト@25MHz)
- (2) 最小命令実行時間 : 160ns(25MHz発振時)
- (3) 内蔵RAM : なし
内蔵ROM : なし
- (4) 外部メモリ拡張
 - 16Mバイト(プログラム/データ共通)まで拡張可能
 - 外部データバス幅選択端子(AM8/16)
 - 外部データバス8/16ビット幅共存可能
…ダイナミックデータバスサイジング
- (5) DRAMコントローラ内蔵
 - ダイレクトインタフェース
- (6) 8ビットタイマ : 4チャンネル
- (7) 16ビットタイマ : 2チャンネル
- (8) パターンジェネレータ : 4ビット、2チャンネル
- (9) 汎用シリアルインタフェース : 2チャンネル
(チャンネル0のみUARTモードでも外部クロックが使用可能)
- (10) 10ビットA/Dコンバータ : 4チャンネル

000629TBP2

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。
- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下「特定用途」という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

- (11) ウォッチドッグタイマ
- (12) チップセレクト/ウェイトコントローラ : 4ブロック
- (13) 割り込み機能
- CPU 2本 …… ソフトウェア割り込み命令、未定義違反
 - 内部 18本
 - 外部 6本
- } 7レベルの優先順位の設定が可能
- (14) 入出力ポート
56端子
- (15) スタンバイ機能
3種類のHALTモード (RUN, IDLE, STOP)

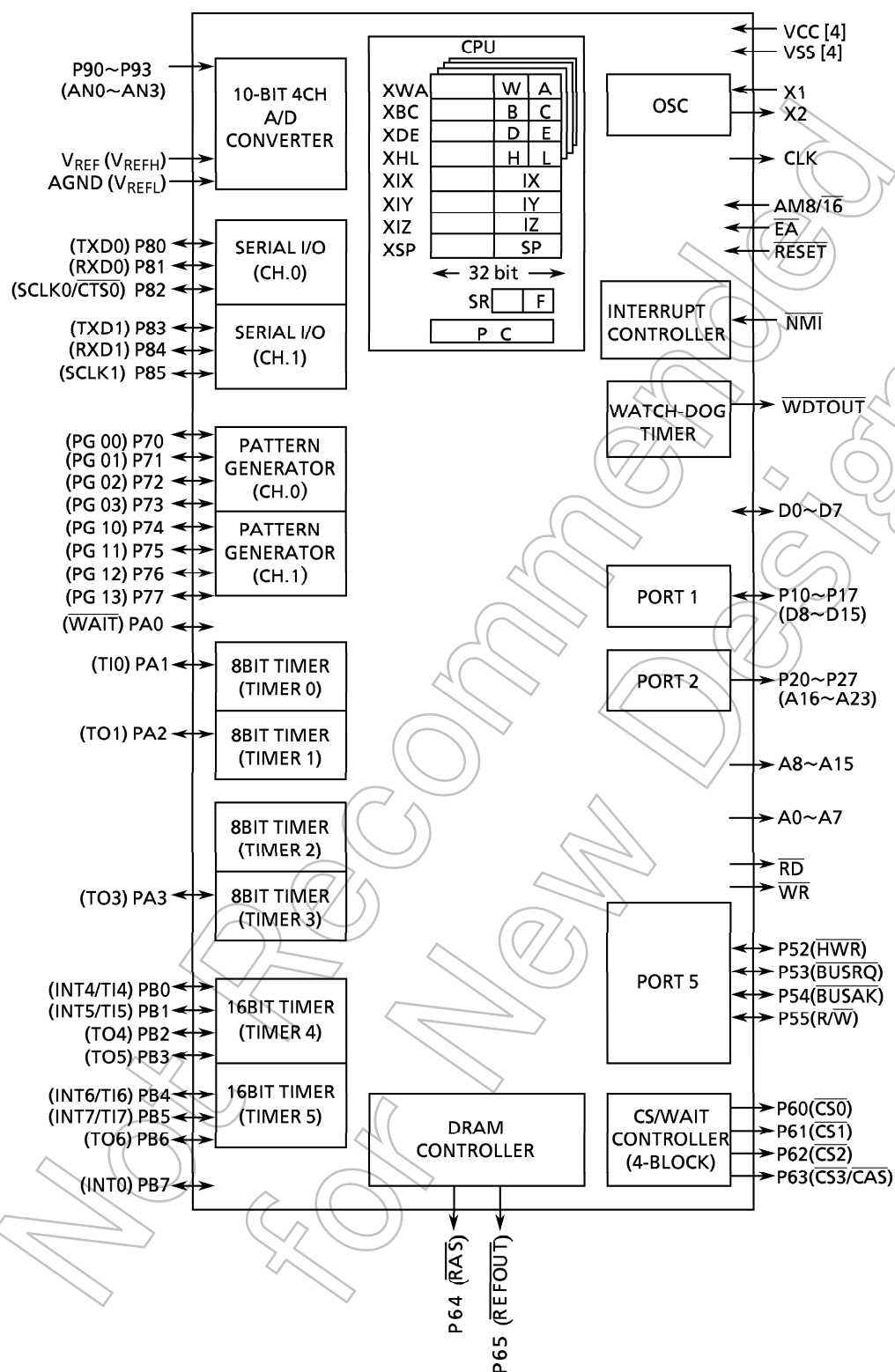


図1 TMP95C061Bブロック図

2. ピン配置とピン機能

TMP95C061Bのピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピンの配置図

TMP95C061Bピン配置図は、図2.1のとおりです。

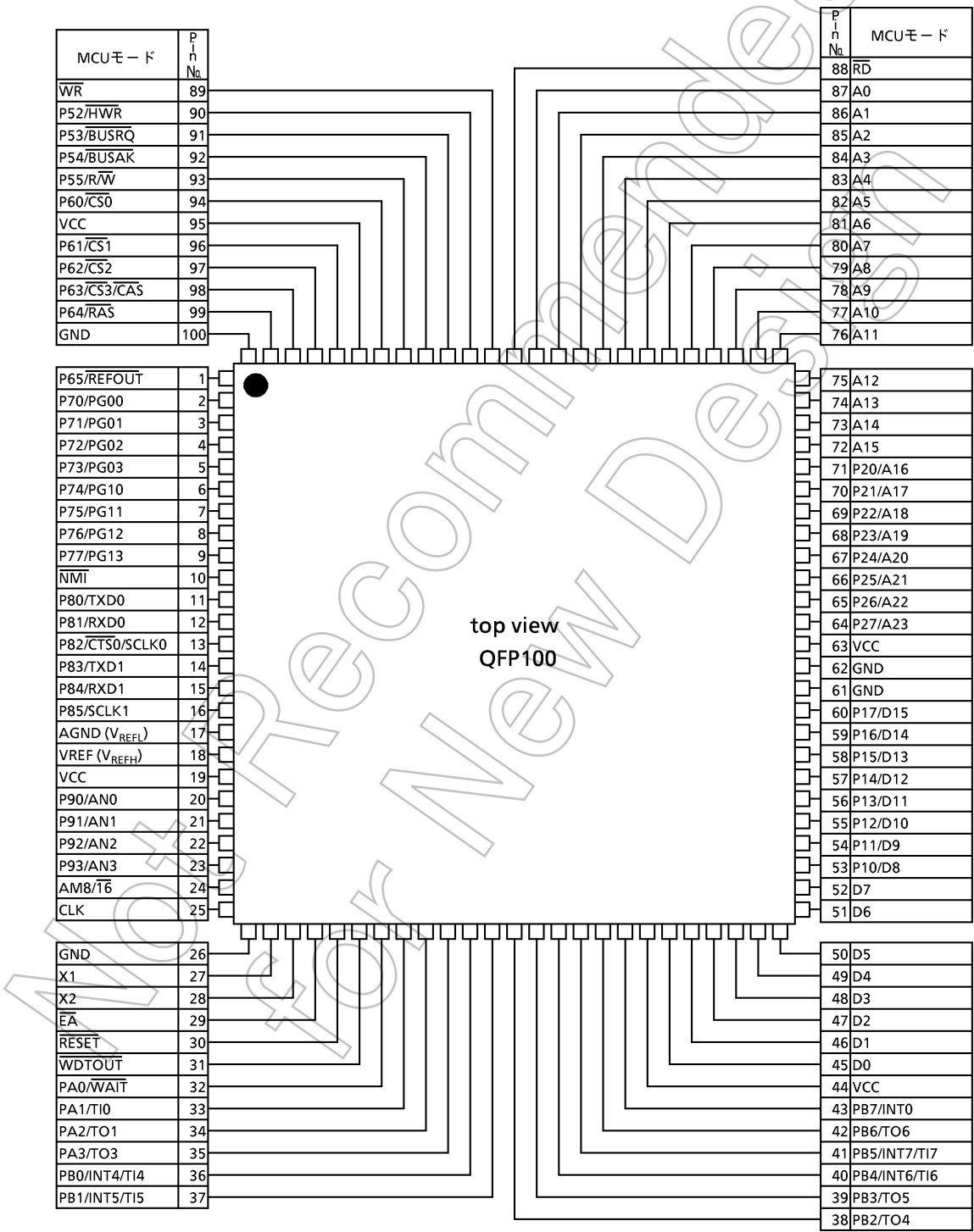


図 2.1 ピン配置図 (100ピンQFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は、表2.2のとおりです。

表2.2

ピン名称	ピン数	入出力	機 能
D0~D7	8	入出力	データ: データバス0~7です。
P10~P17 D8~D15	8	入出力 入出力	ポート1: ビット単位で入出力の設定ができる入出力ポートです。 データ: データバス8~15です。
P20~P27 A16~A23	8	出力 出力	ポート2: 出力専用ポートです。 アドレス: アドレスバス16~23です。
A8~A15	8	出力	アドレス: アドレスバス8~15です。
A0~A7	8	出力	アドレス: アドレスバス0~7です。
RD	1	出力	リード: 外部メモリをリードするためのストローク信号です。 (P5レジスタ0 bitのRDEを“0”にすることにより、内部エリアをリードしたときも、RDが出ます。)
WR	1	出力	ライト: D0~7端子のデータをライトするためのストローク信号です。
P52 HWR	1	入出力 出力	ポート52: 入出力ポートです。(プルアップ付) 上位ライト: D8~15端子のデータをライトするためのストローク信号です。
P53 BUSRQ	1	入出力 入力	ポート53: 入出力ポートです。(プルアップ付) バスリクエスト: D0 - 15, A0 - 23, RD, WR, HWR, R/W, CS0, CS1, CS2, CS3, RAS, CAS, REFOUT(*) 端子を、ハイインピーダンスにすることを要求する信号です。(外付けDMAC用)
P54 BUSAK	1	入出力 出力	ポート54: 入出力ポートです。(プルアップ付) バスアックノリッジ: BUSRQを受けてD0 - 15, A0 - 23, RD, WR, HWR, R/W, CS0, CS1, CS2, CS3, RAS, CAS, REFOUT(*) 端子が、ハイインピーダンスになったことを示す信号です。(外付けDMAC用)
P55 R/W	1	入出力 出力	ポート55: 入出力ポートです。(プルアップ付) リード/ライト: “1”でリードサイクルまたはダミーサイクルを、“0”でライトサイクルを示します。
P60 CS0	1	出力 出力	ポート60: 出力専用ポートです。 チップセレクト0: アドレスが、指定したアドレス領域内なら“0”を出力します。
P61 CS1	1	出力 出力	ポート61: 出力専用ポートです。 チップセレクト1: アドレスが、指定したアドレス領域内なら“0”を出力します。

(注) BUSRQ, BUSAK端子による外付けDMAコントローラでは、本デバイスの内蔵メモリおよび内蔵I/Oは、アクセスできません。

(*) RAS, CAS, REFOUT は、DRAMコントローラでバス解放モードを設定したときのみ、ハイインピーダンスになります。詳細は、「3.7 ダイナミックRAM (DRAM) コントローラ」を参照ください。

ピン名称	ピン数	入出力	機 能
P62 $\overline{\text{CS2}}$	1	出力 出力	ポート62: 出力専用ポートです。 チップセレクト2: アドレスが、指定したアドレス領域内なら“0”を出力します。
P63 $\overline{\text{CS3}}$ $\overline{\text{CAS}}$	1	出力 出力 出力	ポート63: 出力専用ポートです。 チップセレクト3: アドレスが、指定したアドレス領域内なら“0”を出力します。 カラムアドレスストロブ: アドレスが指定されたアドレス領域内なら、DRAM用CASストロブを出力します。
P64 $\overline{\text{RAS}}$	1	出力 出力	ポート64: 出力専用ポートです。 ローアドレスストロブ: アドレスが指定されたアドレス領域内なら、DRAM用“RAS”ストロブを出力します。
P65 $\overline{\text{REFOUT}}$	1	出力 出力	ポート65: 出力専用ポートです。 リフレッシュアウト: “0”でリフレッシュサイクルが発生していることを示します。
P70~P73 PG00~PG03	4	入出力 出力	ポート70~73: ビット単位で入出力の設定ができる入出力ポートです。(プルアップ付) パターンジェネレータ・ポート00~03
P74~P77 PG10~PG13	4	入出力 出力	ポート74~77: ビット単位で入出力の設定ができる入出力ポートです。(プルアップ付) パターンジェネレータ・ポート10~13
P80 TXD0	1	入出力 出力	ポート80: 入出力ポートです。(プルアップ付) シリアル送信データ0
P81 RXD0	1	入出力 入力	ポート81: 入出力ポートです。(プルアップ付) シリアル受信データ0
P82 $\overline{\text{CTS0}}$ SCLK0	1	入出力 入力 入出力	ポート82: 入出力ポートです。(プルアップ付) シリアルデータ送信可能0(Clear To Send) シリアルクロック入出力0
P83 TXD1	1	入出力 出力	ポート83: 入出力ポートです。(プルアップ付) シリアル送信データ1
P84 RXD1	1	入出力 入力	ポート84: 入出力ポートです。(プルアップ付) シリアル受信データ1
P85 SCLK1	1	入出力 入出力	ポート85: 入出力ポートです。(プルアップ付) シリアルクロック入出力1
P90~P93 AN0~AN3	4	入力 入力	ポート9: 入力ポートです。 アナログ入力: A/Dコンバータの入力です。
PA0 $\overline{\text{WAIT}}$	1	入出力 入力	ポートA0: 入出力ポートです。(プルアップ付) ウェイト: CPUへのバスウェイト要求端子です。
PA1 TIO	1	入出力 入力	ポートA1: 入出力ポートです。(プルアップ付) タイマ入力0: タイマ0の入力です。
PA2 TO1	1	入出力 出力	ポートA2: 入出力ポートです。(プルアップ付) タイマ出力1: タイマ0またはタイマ1の出力です。

ピン名称	ピン数	入出力	機 能
PA3 TO3	1	入出力 出力	ポートA3: 入出力ポートです。(プルアップ付) タイマ出力3: タイマ2またはタイマ3の出力です。
PB0 TI4 INT4	1	入出力 入力 入力	ポートB0: 入出力ポートです。(プルアップ付) タイマ入力4: タイマ4のカウント/キャプチャトリガ入力になります。 割り込み要求端子4: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
PB1 TI5 INT5	1	入出力 入力 入力	ポートB1: 入出力ポートです。(プルアップ付) タイマ入力5: タイマ4のカウント/キャプチャトリガ入力になります。 割り込み要求端子5: 立ち上がりエッジの割り込み要求端子です。
PB2 TO4	1	入出力 出力	ポートB2: 入出力ポートです。(プルアップ付) タイマ出力4: タイマ4の出力端子
PB3 TO5	1	入出力 出力	ポートB3: 入出力ポートです。(プルアップ付) タイマ出力5: タイマ4の出力端子
PB4 TI6 INT6	1	入出力 入力 入力	ポートB4: 入出力ポートです。(プルアップ付) タイマ入力6: タイマ5のカウント/キャプチャトリガ入力になります。 割り込み要求端子6: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子です。
PB5 TI7 INT7	1	入出力 入力 入力	ポートB5: 入出力ポートです。(プルアップ付) タイマ入力7: タイマ5のカウント/キャプチャトリガ入力になります。 割り込み要求端子7: 立ち上がりエッジの割り込み要求端子です。
PB6 TO6	1	入出力 出力	ポートB6: 入出力ポートです。(プルアップ付) タイマ出力6: タイマ5の出力端子
PB7 INT0	1	入出力 入力	ポートB7: 入出力ポートです。(プルアップ付) 割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子です。
VREF (V _{REFH})	1	入力	A/Dコンバータ用基準電圧入力端子
AGND (V _{REFL})	1	入力	A/Dコンバータ用GND端子
WD $\overline{\text{TOUT}}$	1	出力	ウォッチドッグタイマ出力端子
NMI	1	入力	ノンマスクابل割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも割り込み要求可能となります。
CLK	1	出力	クロック出力: 「外部入力クロックX1÷4」のクロックが出力されます。リセット期間中は、プルアップされます。
$\overline{\text{EA}}$	1	入力	GND固定
AM8/16	1	入力	アドレスモード: 外部データバス幅の選択端子です。 外部16ビットバス固定、もしくは外部8/16ビットバス混在では、“0”に外部8ビットバス固定では“1”にしてください。
$\overline{\text{RESET}}$	1	入力	リセット: LSIを初期化します。(プルアップ付)

ピン名称	ピン数	入出力	機 能
X1/X2	2	入力/出力	発振子接続端子
VCC	4		電源端子 (+ 5 V): 全VCC端子を電源に接続してください。
VSS	4		GND端子 (0 V): 全VSS端子をGND (0V) に接続してください。

(補足) **RESET**端子以外のプルアップ抵抗付端子は、ソフトウェアによりその抵抗を端子から開放することができます。

(注) **VCC,VSS**端子は、かならず全端子を電源,**GND**にそれぞれ接続してください。

3. 動作説明

ここでは、TMP95C061Bの機能および基本動作について、ブロックごとに説明します。

なお、本章の最後に「7. 使用上の注意, 制限事項」としてブロック別の注意, 制限事項などを掲載していますので確認願います。

3.1 CPU

TMP95C061Bには、高性能な高速16ビットCPU (900/H CPU) が内蔵されています。CPUの動作については、前章の“TLCS-900/H CPU”を参照してください。

ここでは、“TLCS-900/H CPU”にて説明されていないTMP95C061B独自のCPU機能について説明します。

3.1.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部発振器の発振が安定した状態で、少なくとも10システムクロック間(=10ステート:25 MHzクロック発振時で0.8 μ s) RESET入力を“0”にしてください。

リセットが受け付けられると、CPUは、

- プログラムカウンタPCをFFFF00H番地~FFFF02H番地に格納されているリセットベクタに従いセット
PC(7:0) ← FFFF00H 番地の値
PC(15:8) ← FFFF01H 番地の値
PC(23:16) ← FFFF02H 番地の値
- スタックポインタXSPを100Hにセット
- ステータスレジスタSRのIFF2~0ビットを“111”にセット(割り込みレベルのマスクレジスタをレベル7にセット)
- ステータスレジスタSRのMAXビットを“1”にセット(マキシマムモードにセット)
(注:本製品はミニマムモードをサポートしていませんので“MIN”命令は使用しないでください。)
- ステータスレジスタSRのRFP2~0ビットを“000”にクリア(レジスタバンクを0にセット)

を行い、リセットが解除されると、セットされたPCに従い命令の実行を開始します。なお、上記以外のCPU内部のレジスタは、変化しません。

また、リセットが受け付けられると、内蔵I/Oおよびポート、その他の端子は、下記のとおりとなります。

- 仕様で決められているとおりに、内蔵I/Oのレジスタを初期化
- ポート端子(内蔵I/O用にも使える兼用端子を含む)を、汎用入力ポートまたは汎用出力ポートのモードにセット
- WDTOUT端子を“0”にセット(リセット後、ウォッチドッグタイマはイネーブル)
- CLK端子を“1”にプルアップ

3.1.2 外部データバス幅選択端子 (AM8/ $\overline{16}$)

TMP95C061BはAM8/ $\overline{16}$ 端子の設定によりリセット後から自動的に8ビットバス/16ビットバスモードで動作します。

- 外部8,16ビットデータバス混在、または16ビットデータバス固定の場合

本端子を“0”にしてください。それにより、ポート1 (P1) は強制的にD8~15機能に固定されます。

なお、外部データバス幅の設定は、3.6で説明するチップセレクト/ウェイトコントロールレジスタにて設定します。

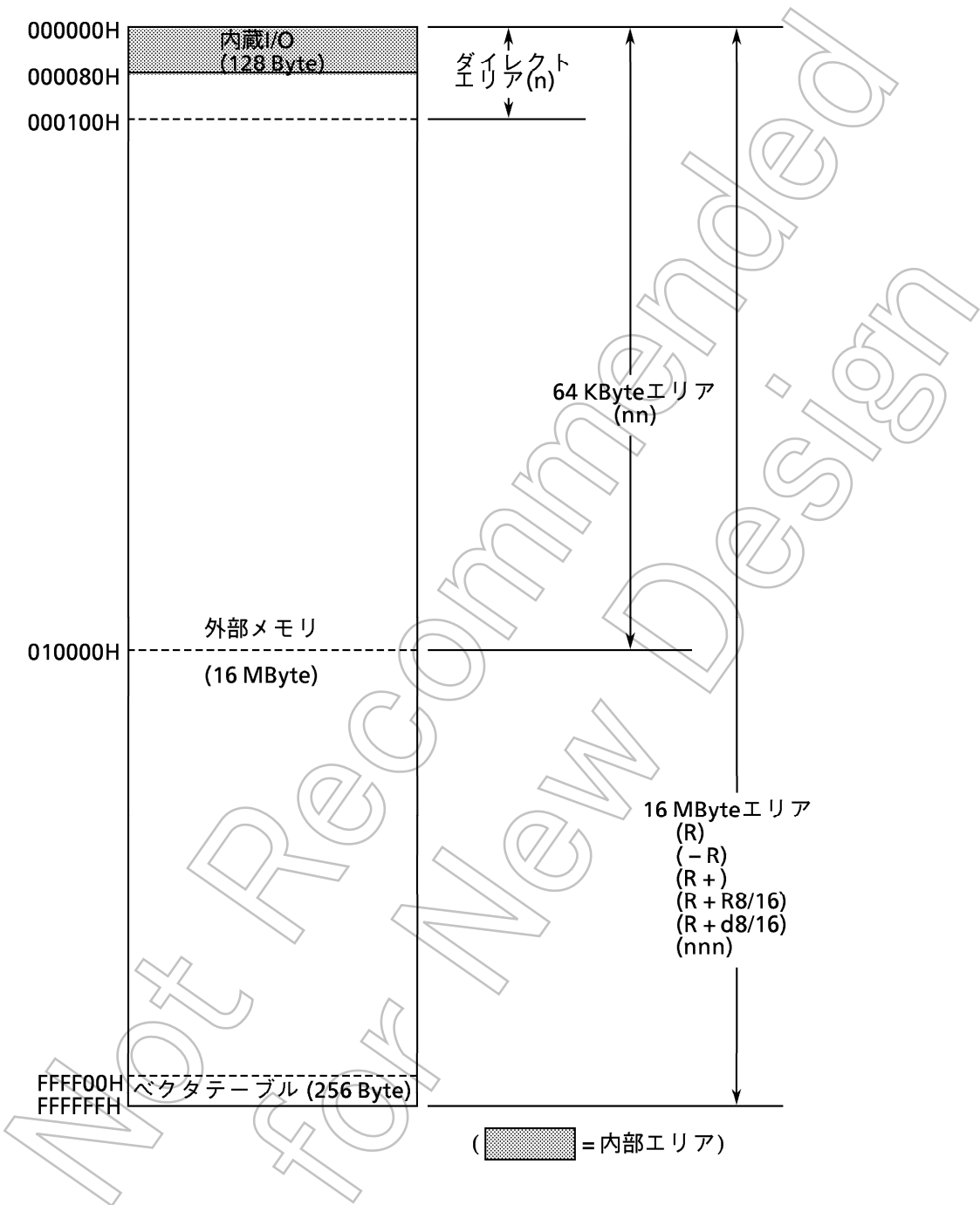
- 外部8ビットデータバス固定の場合

本端子を“1”にしてください。それにより、ポート1 (P1) はポートモードとして機能します。

なお、3.6で説明するチップセレクト/ウェイトコントロールレジスタの<B0BUS>, <B1BUS>, <B2BUS>, <B3BUS>, <BEXBUS> の値は無視され、外部8ビットデータバス固定となります。

3.2 メモリマップ

TMP95C061Bのメモリマップを、図3.2に示します。



(補足) リセット後、スタックポインタ“XSP”は、100Hにセットされます。

図3.2 メモリマップ

3.2.1 内蔵I/Oエリアアクセス時の動作

TMP95C061Bは、128バイト(0H~7FH)の内蔵I/Oエリアを持っています。この内蔵I/Oエリアには、内蔵I/O制御用のレジスタがマッピングされています。

内蔵I/Oエリアにアクセスした場合の動作は、それ以外のアドレス空間にアクセスした場合の動作と、以下の2点が異なります。

- (1) $\overline{RD}$, $\overline{WR}$ ($\overline{HWR}$) ストローブ信号がアクティブになりません (“H”固定)。
ただし、ポート5で設定するPSRAMモード (3.5.3 ポート5 (P52~P55) 参照) にした場合は、 $\overline{RD}$ ストローブ信号は、内蔵I/Oエリアをリードした場合にもアクティブになります。
- (2) 内蔵I/Oエリアアクセス時のウェイトは、内部の状態により0ウェイト、または1ウェイトが入ります。このウェイト数は、チップセレクト/ウェイトコントローラ (3.6節 参照) によっても制御されません。チップセレクト/ウェイトコントローラによって設定したアドレス空間が内蔵I/Oエリアと重なっていても、内蔵I/Oエリアとしての動作が優先されます。

3.3 割り込み

TLCS-900の割り込みは、CPUの割り込みマスクフリップフロップ (IFF2~0) と、内蔵の割り込みコントローラによって制御されます。

割り込み要因には、

- CPU自身からの割り込み…2本
(ソフトウェア割り込み、未定義命令実行違反)
- 外部端子 ($\overline{\text{NMI}}$ 、INT0、INT4~7) からの割り込み…6本
- 内蔵I/Oからの割り込み…14本
- マイクロDMAからの割り込み…4本

の合計26本あります。

各割り込み要因ごとに、個別の割り込みベクタ番号(固定)が割り当てられており、マスカブル割り込みのそれぞれに、6レベルの優先順位(可変)を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の“7”に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値をCPUに送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値(最高はノンマスカブル割り込みの“7”)をCPUに送ります。

CPUは、その送られてきた優先順位値と、CPUの割り込みマスクレジスタ (IFF2~0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。ただし、CPUが発生するソフトウェア割り込み、未定義命令実行違反割り込みは、IFF<2:0>と比較をせず割り込み処理を開始します。

割り込みマスクレジスタ (IFF2~0) の値はEI命令 (EI num / IFF <2:0> の内容がnumになります。) を使用して、書き替えることができます。例えば、“EI 3”とプログラムすると、割り込みコントローラに設定された、優先順位値3以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI命令 (IFF <2:0> が7になります。) は動作的には“EI 7”と同じですが、マスカブル割り込みの優先順位値が0~6であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI命令は実行後ただちに有効となります (TLCS-90ではEI命令の次の命令を実行した後有効)。

TLCS-900の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロDMA」処理モードがあります。マイクロDMAは、CPUが自動的にデータの転送(バイト転送, ワード転送, 4バイト転送)を行うモードですので、内蔵I/Oに対するデータ転送などの割り込み処理を、高速に行うことが可能になります。

図3.3(1)に割り込み処理全体のフローを示します。

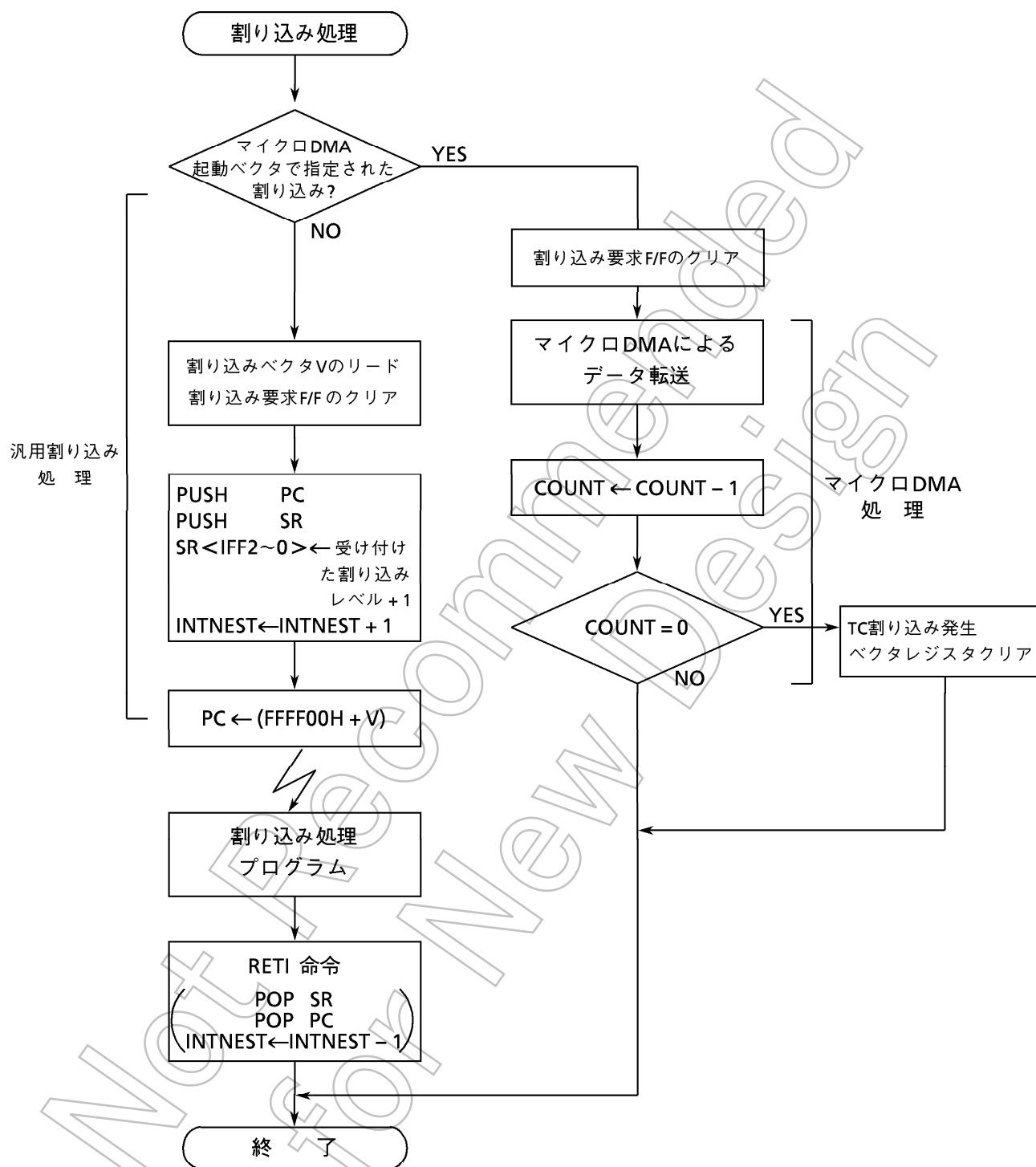


図3.3 (1) 割り込み処理全体のフロー

3.3.1 汎用割り込み処理

CPUが割り込みを受け付けると、下記の動作をします。ただし、CPUが発生するソフトウェア割り込み、未定義命令実行違反割り込みは(1)、(3)は実行せず、(2)、(4)、(5)を実行します。

- (1) CPUは、割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定:ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。
- (2) CPUは、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域(XSPが示す領域)へPUSHします。
- (3) CPUの割り込みマスクレジスタ <IFF2~0> の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”のときは、インクリメントせず“7”をセットします。
- (4) 割り込みネスティングカウンタINTNESTを、+1します。
- (5) CPUは、「FFFF00H+割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

以上の処理時間を下記の表に示します。

スタックエリアの バス幅	割り込みベクタ エリアのバス幅	割り込み処理実行ステート数
8	8	28
	16	24
16	8	22
	16	18

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタPCとステータスレジスタSRの内容をリストアし割り込みネスティングカウンタINTNESTを-1します。

ノンマスクブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。一方、マスクブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます。CPUは、CPU自身が持つ割り込みマスクレジスタ <IFF2~0> の値以上の、優先順位値をもつ割り込み要求があると、割り込みを受け付けます。そして、CPUのマスクレジスタ <IFF2~0> に、受け付けた優先順位に“1”を加えた値を、セットします。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPUが割り込みを受け付け、前記(1)~(5)までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令をDI命令にすると、マスクブル割り込みのネスティングを禁止することができます。(注:900と900/Lでは、先頭命令が実行される前に、サンプリングされます)

リセット後、CPUのマスクレジスタ <IFF2~0> は、“7”に初期化されているため、マスクブル割り込み禁止状態になっています。

TMP95C061Bでは、FFFF00H~FFFFFF番地(256バイト)が、割り込みベクタ領域に、割り当てられています。

なお、割り込みベクタ領域は派生品ごとに異なります。

表3.3 (1) TMP95C061Bの割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要求発生ソース	ベクタ値 "V"	ベクタ参照 アドレス	マイクロDMA 起動ベクタ
1	ノン マスクابل	リセット、または「SWI0」命令	0 0 0 0 H	FFFF00H	—
2		「SWI1」命令	0 0 0 4 H	FFFF04H	—
3		INTUNDEF: 未定義命令実行違反、または「SWI2」	0 0 0 8 H	FFFF08H	—
4		「SWI3」命令	0 0 0 C H	FFFF0CH	—
5		「SWI4」命令	0 0 1 0 H	FFFF10H	—
6		「SWI5」命令	0 0 1 4 H	FFFF14H	—
7		「SWI6」命令	0 0 1 8 H	FFFF18H	—
8		「SWI7」命令	0 0 1 C H	FFFF1CH	—
9		NMI端子	0 0 2 0 H	FFFF20H	—
10		INTWTD : ウォッチドッグタイマ	0 0 2 4 H	FFFF24H	—
—	マスクابل	(HDMA)	—	—	—
11		INT0端子	0 0 2 8 H	FFFF28H	0AH
12		INT4端子	0 0 2 C H	FFFF2CH	0BH
13		INT5端子	0 0 3 0 H	FFFF30H	0CH
14		INT6端子	0 0 3 4 H	FFFF34H	0DH
15		INT7端子	0 0 3 8 H	FFFF38H	0EH
—		(予約)	0 0 3 C H	FFFF3CH	—
16		INTT0 : 8ビットタイマ0	0 0 4 0 H	FFFF40H	10H
17		INTT1 : 8ビットタイマ1	0 0 4 4 H	FFFF44H	11H
18		INTT2 : 8ビットタイマ2	0 0 4 8 H	FFFF48H	12H
19		INTT3 : 8ビットタイマ3	0 0 4 C H	FFFF4CH	13H
20		INTTR4 : 16ビットタイマ4 (TREG4)	0 0 5 0 H	FFFF50H	14H
21		INTTR5 : 16ビットタイマ4 (TREG5)	0 0 5 4 H	FFFF54H	15H
22		INTTR6 : 16ビットタイマ5 (TREG6)	0 0 5 8 H	FFFF58H	16H
23		INTTR7 : 16ビットタイマ5 (TREG7)	0 0 5 C H	FFFF5CH	17H
24		INTRX0 : シリアル受信 (Channel.0)	0 0 6 0 H	FFFF60H	18H
25		INTTX0 : シリアル送信 (Channel.0)	0 0 6 4 H	FFFF64H	19H
26		INTRX1 : シリアル受信 (Channel.1)	0 0 6 8 H	FFFF68H	1AH
27		INTTX1 : シリアル送信 (Channel.1)	0 0 6 C H	FFFF6CH	1BH
28		INTAD : A/D変換終了	0 0 7 0 H	FFFF70H	1CH
29		INTTC0 : マイクロDMA終了(Channel.0)	0 0 7 4 H	FFFF74H	—
30		INTTC1 : マイクロDMA終了(Channel.1)	0 0 7 8 H	FFFF78H	—
31		INTTC2 : マイクロDMA終了(Channel.2)	0 0 7 C H	FFFF7CH	—
32		INTTC3 : マイクロDMA終了(Channel.3)	0 0 8 0 H	FFFF80H	—
—		(予約)	0 0 8 4 H	FFFF84H	—
{		{	}	}	}
—		(予約)	0 0 F C H	FFFFFCH	—

リセット / 割り込みベクタの設定

① リセットベクタ

FFFF00H	PC (7:0)
FFFF01H	PC (15:8)
FFFF02H	PC (23:16)
FFFF03H	XX

② 割り込みベクタ (リセットベクタ以外)

ベクタ参照アドレス	+0	PC (7:0)	
	+1	PC (15:8)	
	+2	PC (23:16)	
	+3	XX	XX : don't care

(設定例)

リセットベクタを8100H, $\overline{\text{NMI}}$ ベクタを9ABCH, INTADベクタを123456H番地に定義する場合

```

ORG      8100H
LD        A, B      (参考)
      ⋮
ORG      9ABCH
LD        B, C
      ⋮
ORG      123456H
LD        C, A
      ⋮
ORG      0FFFF00H
DL        008100H    ; リセット = 8100H

ORG      0FFFF20H
DL        009ABCH    ;  $\overline{\text{NMI}}$  = 9ABCH

ORG      0FFFF70H
DL        123456H    ; INTAD = 123456H

```

ORG, DLはアセンブラ疑似命令です
 (ORG : ロケーションカウンタ制御用
 DL : ロングワード (32ビット) データ定義用)

3.3.2 マイクロDMA

TMP95C061Bには、従来の割り込み処理に加えて、マイクロDMA機能があります。マイクロDMAに設定された割り込み要求は、設定された割り込みレベルに関わらず、マスカブル割り込みの中で最も優先順位の高い割り込みレベル(レベル“6”)でマイクロDMA処理を行います。

なお、マイクロDMAの機能がCPUの協調動作によって実現されているため、HALT命令により、CPUがスタンバイ状態になると、マイクロDMAの要求は、無視(保留)されます。

(1) マイクロDMAの動作

マイクロDMAは、マイクロDMA起動ベクタレジスタで指定された割り込み要求元で割り込みが発生すると、設定された割り込みレベルに関わらず、マスカブル割り込みの中で最も優先順位の高い割り込みレベル(レベル“6”)でCPUにマイクロDMA要求を発生し、その起動がかけられます。マイクロDMAは4チャンネル用意されており、同時に4種類までの割り込み要因に対して、マイクロDMAを設定することができます。

マイクロDMAが受け付けられると、そのチャンネルに割り当てられている割り込み要求F/Fをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が自動的に行われ、転送数カウンタをデクリメントします。デクリメントした結果が“0”でなければ、マイクロDMA処理は終了し、“0”ならば、CPUよりマイクロDMA転送終了割り込み(INTTCn)を割り込みコントローラに伝え、かつ、マイクロDMA起動ベクタレジスタの値を“0”クリアし、次のマイクロDMA起動を禁止し、マイクロDMA処理を終了します。

マイクロDMA起動ベクタがクリアされ再度設定されるまでの間に、使用していた割り込み要因の割り込み要求が発生すると、設定された割り込みレベルで汎用割り込み処理を行います。従ってその割り込み要因をマイクロDMAの起動のみに使用する(割り込みとして使用しない)場合、割り込みレベルを“0”にしておく必要があります。

また上記のようにマイクロDMAと汎用割り込みを兼用する場合は、マイクロDMAの起動に使用する割り込み要因の割り込みレベルを他のすべての割り込み要因の割り込みレベルより低くする必要があります。なお、この場合、汎用割り込み要因はエッジ割り込みに限られます。

例： タイマ0~3をマイクロDMA0~3の起動に使用する場合

タイマ0~3の割り込みレベル … “1”

他の割り込みレベル … “2”~“6”

に設定してください。

マイクロDMA転送終了割り込みは、他のマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロDMA要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(CH0(高)→CH3(低))

転送元/転送先アドレスを設定するレジスタは、32ビット幅のコントロールレジスタになっていますが、アドレスは24本しか出力されていないため、マイクロDMAで取り扱える空間は、16Mバイトとなります。

転送モードとしては、1バイト転送と1ワード(=2バイト)転送、4バイト転送の3種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスがインクリメント、デクリメント、固定されるモードが、準備されています。このモードにより、I/Oからメモリ、メモリからI/O、I/OからI/Oのデータ転送が簡単に行えます。転送モードの詳細は、後述の「転送モードレジスタ詳細」を参照してください。

転送数カウンタは、16ビット幅で構成されているため、一つの割り込みソースに対して、最大65536回(転送カウンタの初期値が0000Hのとき最大)の、マイクロDMA処理を行うことができます。

マイクロDMA処理を行うことのできる割り込みソースは、表3.3(1)でマイクロDMA起動ベクタのある18種類の割り込みです。

転送先アドレスINCモード2バイト転送(カウンタモード以外は同様)のマイクロDMAサイクルを図3.3.2(1)に示します(全アドレスエリア16ビットバス、0ウェイト、ソース/ディストネーションアドレスとも偶数の場合)。

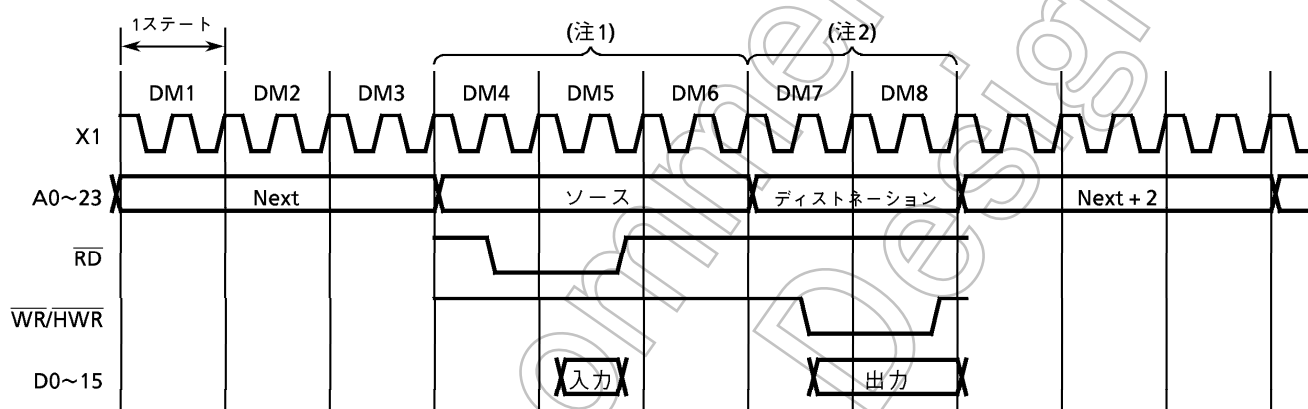


図3.3.2(1) マイクロDMAサイクル図

第1~3ステート : 命令フェッチサイクル(次の命令コードを先取りします)
命令キューバッファに3バイト以上の命令コードが入ると、
このサイクルは、ダミーサイクルになります。

第4~5ステート : マイクロDMAリードサイクル

第6ステート : ダミーサイクル(アドレスバスは第5ステート状態のままです)

第7~8ステート : マイクロDMAライトサイクル

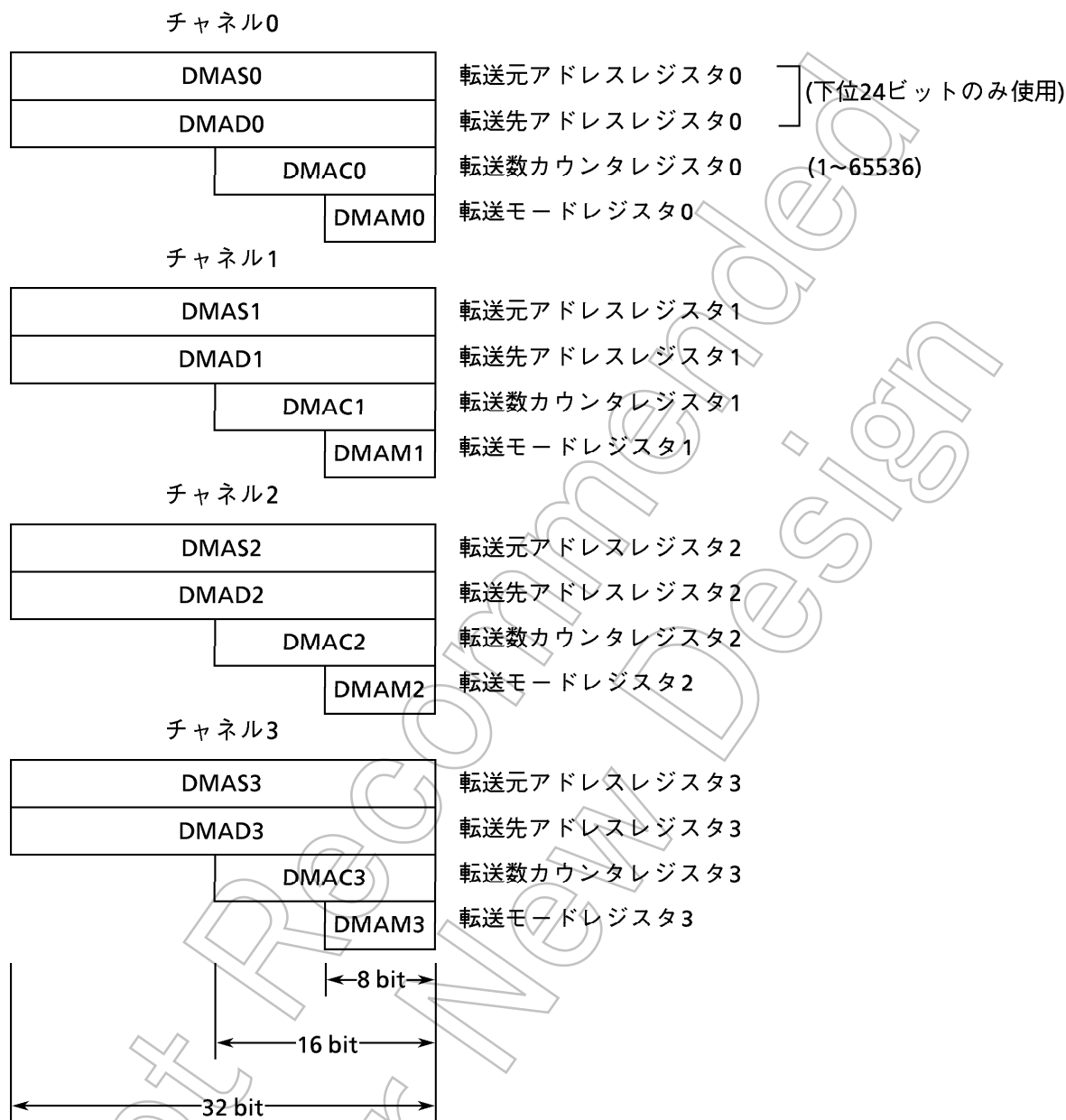
(注1) ソースアドレスエリアが8ビットバスの場合+2ステートされます。

また、ソースアドレスエリアが16ビットバスで、奇数番地から始まる場合も+2ステートされます。

(注2) ディストネーションアドレスエリアが8ビットバスの場合+2ステートされます。

また、ディストネーションアドレスエリアが16ビットバスで、奇数番地から始まる場合も+2ステートされます。

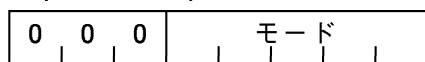
(2) レジスタ構成 (CPU コントロールレジスタ)



これらのコントロールレジスタへのデータ設定は "LDC cr,r" 命令のみでしか設定できません。

(3) 転送モードレジスタ詳細

(DMAM0~3)



(注) このレジスタに値を設定するとき、
上位3ビットは“0”にしてください。

			実行時間 (Min. @25 MHz)
ZZ: 0 = バイト転送、1 = ワード転送、2 = 4バイト転送、3 = 予約			
0 0 0 Z Z	転送先アドレスINCモード I/O to メモリ用 (DMADn+) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	8ステート (640 ns) @ バイト/ワード転送 12ステート (960 ns) @ 4バイト転送	
0 0 1 Z Z	転送先アドレスDECモード I/O to メモリ用 (DMADn-) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	8ステート (640 ns) @ バイト/ワード転送 12ステート (960 ns) @ 4バイト転送	
0 1 0 Z Z	転送元アドレスINCモード メモリ to I/O用 (DMADn) ← (DMASn+) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	8ステート (640 ns) @ バイト/ワード転送 12ステート (960 ns) @ 4バイト転送	
0 1 1 Z Z	転送元アドレスDECモード メモリ to I/O用 (DMADn) ← (DMASn-) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	8ステート (640 ns) @ バイト/ワード転送 12ステート (960 ns) @ 4バイト転送	
1 0 0 Z Z	アドレス固定モード I/O to I/O用 (DMADn) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	8ステート (640 ns) @ バイト/ワード転送 12ステート (960 ns) @ 4バイト転送	
1 0 1 0 0	カウンタ・モード 割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn - 1 if DMACn = 0 then INT TC発生	5ステート (400 ns)	

(1ステート = 80 ns @ 25 MHz)

(注) n: 対応するマイクロDMAチャネル0~3

DMADn+/DMASn+: ポストインクリメント (転送後レジスタの値をインクリメント)

DMADn-/DMASn-: ポストデクリメント (転送後レジスタの値をデクリメント)

表中のI/Oとは固定されたアドレス、メモリとはINC, DECされるアドレスを意味します。

未定義の転送モード用のコードは、使用しないでください。

3.3.3 割り込みコントローラの制御

図3.3.3 (1) に、割り込み回路のブロック図を示します。この図の左半分は、割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路と、ホールド解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと (合計24チャンネル) に、割り込み要求用フリップフロップ、割り込み優先順位設定レジスタ、マイクロDMA起動ベクタ格納レジスタを持っています。割り込み要求用フリップフロップは、周辺からの割り込み要求をラッチするためのものです。このフリップフロップはリセット動作、または割り込みがCPUに受け付けられてその割り込みチャンネルのベクタがCPUにリードされたとき、またはマイクロDMAに設定されそのマイクロDMA要求がCPUに受け付けられたとき、またはそのチャンネルの割り込みをクリアする命令 (割り込み優先順位設定レジスタ中のクリアビットに“0”をライト) を実行したとき、“0”にクリアされます。

例えば、INT0割り込み要求をクリアしたい場合には、DI命令後に、下記のようにレジスタを設定します。

INTE0AD ← ---- 0 --- INT0 F/Fをゼロクリア

また、このクリアビットを読むと、割り込み要求フリップフロップの状態が読み出され、各割り込みチャンネルごとの、割り込み要求の有無がわかります。

割り込みの優先順位は、各割り込み要因ごとに準備されている、割り込み優先順位設定レジスタ (INTE0AD, INTE45, …… など) にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは1から6までの6レベルです。書き込む優先順位値を“0” (または“7”) にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスクابل割り込み (NMI端子、ウォッチドッグタイマ) の優先順位値は“7”に固定されます。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ (プライオリティ値の小さいもの、換言すればベクタの小さいもの) に従い、割り込みを受け付けます。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込み要求と、そのベクタアドレスをCPUへ送ります。CPUは、ステータスレジスタ (SR) に設定された割り込みマスクレジスタ <IFF2~0> と、送られてきた優先順位値付要求信号を比較し、要求信号のレベルが高ければ、割り込みを受け付けます。そして、CPU側のSR <IFF2~0> に、受け付けた優先順位値プラス“1”の値をセットし、このセットされた値以上の割り込み要求だけが、多重に受け付けられる割り込みソースとなります。割り込み処理の終了 (RETI命令の実行) により、CPU側のSR <IFF2~0> には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値が、リストアされます。

割り込みコントローラには、マイクロDMAの起動ベクタを格納するレジスタ (4チャンネル) も、準備されています。このレジスタはI/Oレジスタです。この4チャンネルのレジスタに、マイクロDMA処理を行いたい割り込みソースの、起動ベクタ (表3.3 (1) 参照) を書き込むことにより、該当する割り込み要求が、マイクロDMA要求となります。当然のことですが、マイクロDMA処理の前に、マイクロDMAパラメータ用レジスタ (DMAS, DMADなど) に、値を設定しておく必要があります。

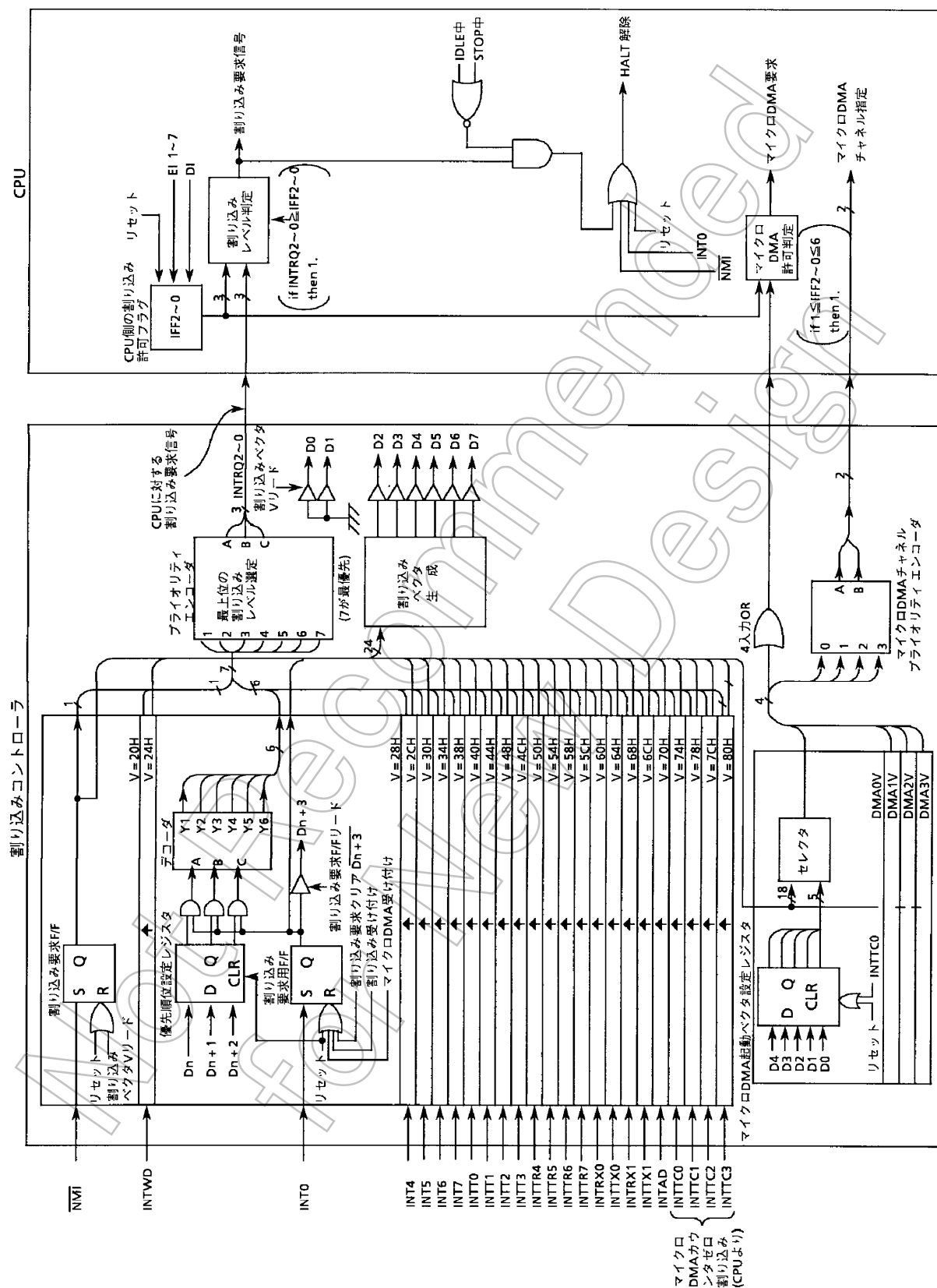


図3.3.3 (1) 割り込みコントローラ ブロック図

(1) 割り込み優先順位設定レジスタ

(リードモディファイライト)
命令は使用できません。

記 号	アドレス	7	6	5	4	3	2	1	0
INTE0AD	0070H	INTAD				INT0			
		IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTE45	0071H	INT5				INT4			
		I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTE67	0072H	INT7				INT6			
		I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTET01	0073H	INTT1 (タイマ1)				INTT0 (タイマ0)			
		IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTET23	0074H	INTT3 (タイマ3)				INTT2 (タイマ2)			
		IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTET45	0075H	INTTR5 (TREG5)				INTTR4 (TREG4)			
		IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTET67	0076H	INTTR7 (TREG7)				INTTR6 (TREG6)			
		IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTES0	0077H	INTTX0				INTRX0			
		ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTES1	0078H	INTTX1				INTRX1			
		ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTETC01	0079H	INTTC1				INTTC0			
		ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0
INTETC23	007AH	INTTC3				INTTC2			
		ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
		R/W	W			R/W	W		
		0	0	0	0	0	0	0	0

←割り込みソース
←bit Symbol
←Read/Write
←リセット後

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、“1”にします。
0	1	0	割り込み要求レベルを、“2”にします。
0	1	1	割り込み要求レベルを、“3”にします。
1	0	0	割り込み要求レベルを、“4”にします。
1	0	1	割り込み要求レベルを、“5”にします。
1	1	0	割り込み要求レベルを、“6”にします。
1	1	1	割り込み要求を、禁止します。

lxxC	機能 (リード)	機能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

(2) 外部割り込みの制御

割り込み入力モードコントロールレジスタ

IIMC
(007BH)

	7	6	5	4	3	2	1	0
bit Symbol						IOIE	IOLE	NMIREE
Read/Write						W	W	W
リセット後						0	0	0
機能						1: INTO 入力 イネーブル	0: INTO エッジ モード 1: INTO レベル モード	1: NMI 立ち上がり エッジでも 動作

リードモディファイ
ライト命令は使用
できません。

INT0入力イネーブル (注)

0	INT0ディセーブル (PB7機能のみ)
1	INT0入力イネーブル

NMI立ち上がりエッジイネーブル

0	立ち下がりエッジで割り込み要求発生
1	立ち上がり/立ち下がり両エッジで割り込み要求発生

INT0レベルイネーブル

0	立ち上がりエッジ検出割り込み
1	"H"レベル割り込み

注) INTO端子は、後述のスタンバイ解除にも使用できます。
スタンバイ解除用として使用しない場合に、このレジスタを“0”
にしておくことにより、スタンバイ中も、ポート機能を維持させる
ことが可能となります。

外部割り込み端子の機能設定

割り込み	兼用端子	モード	設定方法
NMI	—	立ち下がりエッジ	IIMC<NMIREE> = 0
		立ち下がり/立ち上がり両エッジ	IIMC<NMIREE> = 1
INT0	PB7	立ち上がりエッジ	IIMC<IOLE> = 0, <IOIE> = 1
		レベル	IIMC<IOLE> = 1, <IOIE> = 1
INT4	PB0	立ち上がりエッジ	T4MOD<CAP12M1, 0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T4MOD<CAP12M1, 0> = 1, 0
INT5	PB1	立ち上がりエッジ	—
INT6	PB4	立ち上がりエッジ	T5MOD<CAP34M1, 0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T5MOD<CAP34M1, 0> = 1, 0
INT7	PB5	立ち上がりエッジ	—

(3) マイクロDMA起動ベクタ

マイクロDMA処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロDMA起動ベクタを持つ割り込み要因をマイクロDMA起動要因として割り当てます。

マイクロDMA転送カウンタが“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロDMA転送終了割り込みが伝えられるとともに、このマイクロDMA起動ベクタレジスタはクリアされ、そのチャンネルのマイクロDMA起動要因がクリアされますので、引き続きマイクロDMA処理をさせたい場合は、マイクロDMA転送終了割り込み処理の中で、再度このマイクロDMA起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロDMA起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

従って、2チャンネルのマイクロDMA起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロDMA転送終了になるまで実行され、そのチャンネルのマイクロDMA起動ベクタを再度設定しなければ、その後のマイクロDMA起動はチャンネル番号の大きいチャンネルに移行します(マイクロDMAのチェーン)。

マイクロDMA0起動ベクタ (リードモディファイライトはできません。)

DMA0V (007CH)		7	6	5	4	3	2	1	0
	bit Symbol				DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	マイクロDMAチャンネル0に割り当てる割り込み要因選択							

マイクロDMA1起動ベクタ (リードモディファイライトはできません。)

DMA1V (007DH)		7	6	5	4	3	2	1	0
	bit Symbol				DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	マイクロDMAチャンネル1に割り当てる割り込み要因選択							

マイクロDMA2起動ベクタ (リードモディファイライトはできません。)

DMA2V (007EH)		7	6	5	4	3	2	1	0
	bit Symbol				DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	マイクロDMAチャンネル2に割り当てる割り込み要因選択							

マイクロDMA3起動ベクタ (リードモディファイライトはできません。)

DMA3V (007FH)		7	6	5	4	3	2	1	0
	bit Symbol				DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
	Read/Write				W				
	リセット後				0	0	0	0	0
	機能	マイクロDMAチャンネル3に割り当てる割り込み要因選択							

(4) 注意事項

本CPUは、命令実行ユニットとバスインタフェースユニットが別れています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPUが割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令を実行するということがありえます。この場合、CPUはデフォルトベクタ^(注)

タ“0028H”を読み込み、FFFF28H番地の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI命令の後にクリアする命令を置くようにしてください。クリアする命令を実行した後、再びEI命令で割り込みをイネーブルにするときは、クリア命令後かならず1命令以上間をおいてからEI命令を実行してください。クリア命令後すぐにEI命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR命令により割り込みマスクレベル(ステータスレジスタSRの<IFF2-0>)を書き替えるときは、かならずDI命令により割り込みを禁止した後にPOP SR命令を実行してください。

さらに、以下の3点は例外の回路になっていますので注意が必要です。

INT0のレベルモード	エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップのS入力を素通りし、Q出力になります。モード変更(エッジ→レベル)を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。 INT0を“0”から“1”にすることによって、CPUが割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまでINT0を“1”のままにしておく必要があります。また、INT0のレベルモードをHALTの解除に使用する場合も一度“0”から“1”にしたら、HALTが解除されるまでかならず“1”に保持しておく必要があります。(ノイズによって途中で“0”が入ることがないようにしてください) レベルモードからエッジモードへ切り替えたとき、レベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。 <pre>DI LD (IIMC), 00H ; レベルからエッジへ切り替える LD (INTE0AD), 00H ; 割り込み要求フラグをクリア EI</pre>
INTAD	割り込み要求用フリップフロップのクリアは、リセット動作または、A/D変換値格納レジスタのリード動作だけで、命令によるクリアはできません。
INTRX	割り込み要求用フリップフロップのクリアは、リセット動作または、シリアルチャネルの受信バッファのリード動作だけで、命令によるクリアはできません。

(注) 下記命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

- INT0 : エッジモードで割り込み要求発生後のレベルモードへの切り替え命令
レベルモードでの割り込み要求発生後の端子入力変化(“H”レベル→“L”レベル)
- INTAD : A/D変換値格納レジスタリードする命令
- INTRX : 受信バッファをリードする命令

3.4 スタンバイ機能

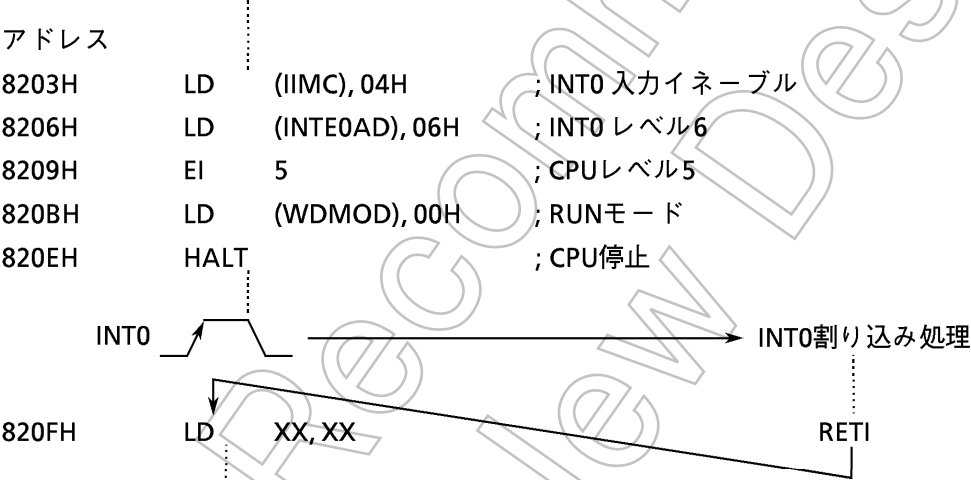
HALT命令を実行すると、WDMOD<HALTM1:0>の内容によりRUN、IDLE、STOPモードのいずれかになります。

- (1) RUN : CPUのみ停止するモードで、消費電力はCPU動作時とほとんど変わりません。
- (2) IDLE : 内部発振器だけ動作し、他の回路はすべて停止します。
このモードでは、消費電力は動作時の1/10以下になります。
- (3) STOP : 内部発振器も含めて、すべての内部回路が停止します。
このモードでは、消費電力は著しく低減されます。

これらのホールド状態からの解除はモードにより異なります。詳細は表3.4 (2)を参照ください。(注意:INT0以外でのマイクロDMA起動によるホールドの解除はできません。)

(ホールド状態からの解除例)

“HALT”命令によりRUNモードでスタンバイしている状態に、INT0割り込みでホールドの解除をおこなう。



(1) RUNモード

図3.4 (1) に、RUNモード時の割り込みによるホールト解除のタイミングを示します。

RUNモードでは、HALT命令実行後もMCU内部のシステムクロックは停止しません。CPUの命令実行動作だけが停止します。従って、ホールト状態が解除されるまでCPUはタミーサイクルを繰り返します。ホールト状態での、割り込み要求のサンプリングは、「CLK」信号の立ち下がりで行われます。

なお、外部割り込み (INT4, 5, 6, 7) によるホールト解除は、RUNモードのみです。

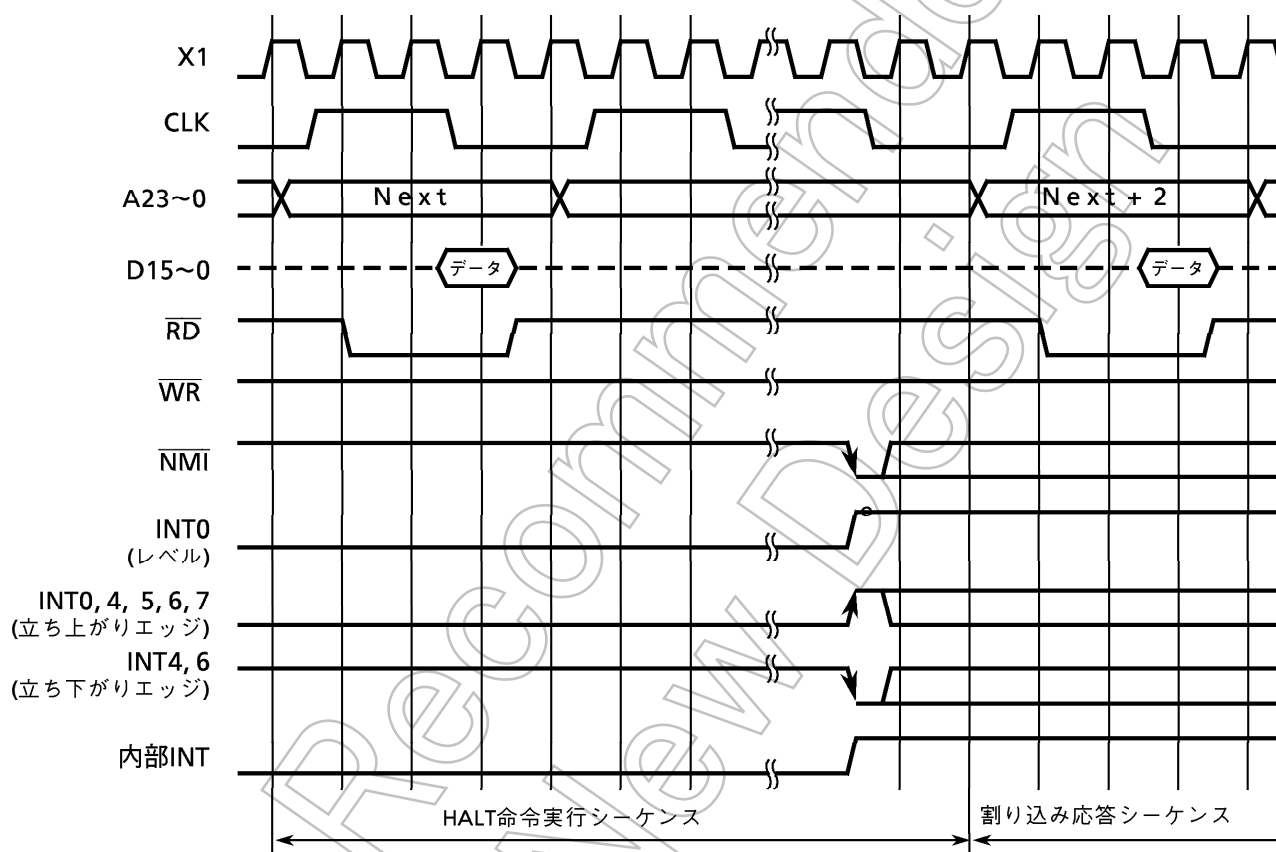


図3.4 (1) RUNモード時の割り込みによるホールト解除のタイミング

(2) IDLEモード

図3.4 (2)に、IDLEモード時の割り込みによるホールド解除のタイミングを示します。

IDLEモードでは、内部発振器のみ動作し、MCU内部のシステムクロックは停止し、「CLK」端子は“1”に固定されます。

ホールド状態での、割り込み要求のサンプリングは、システムクロックとは非同期に行われますが、解除(動作の再開)は同期して行われます。

外部割り込み ($\overline{\text{NMI}}$, INT0) 以外の割り込み要求は、このモードのホールド期間中、禁止されています。

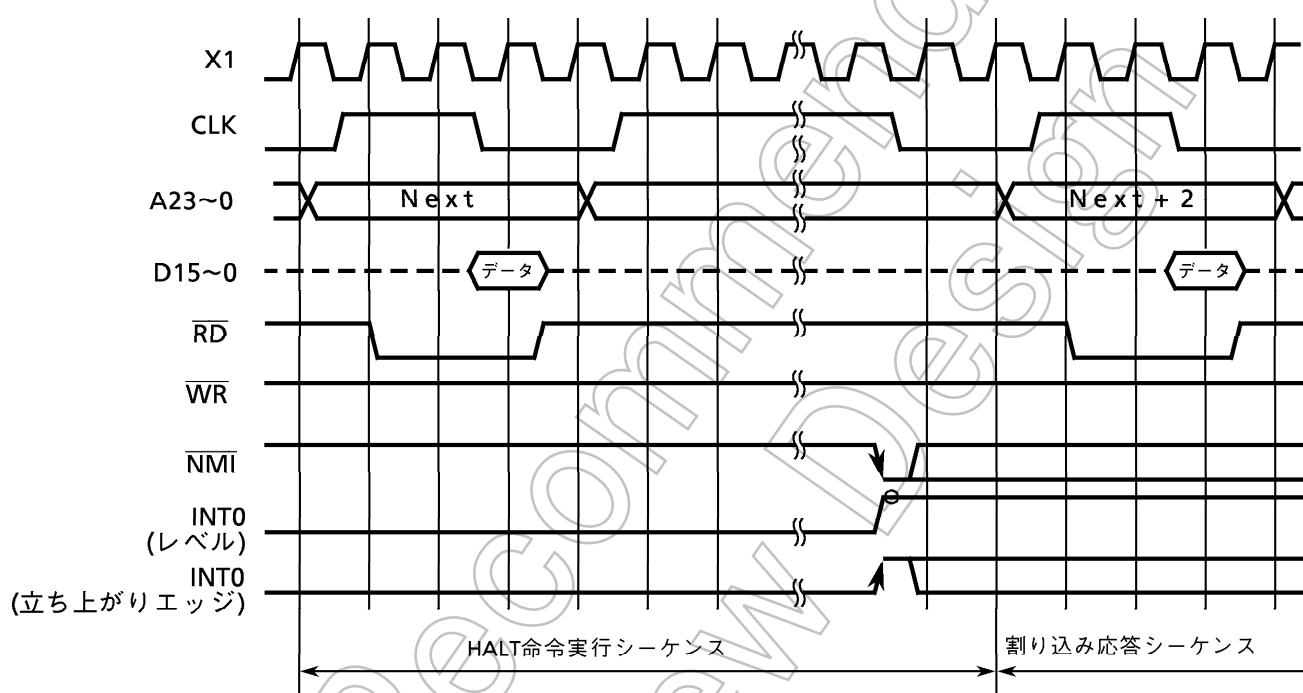


図3.4 (2) IDLEモード時の割り込みによるホールド解除のタイミング

(3) STOPモード

図3.4 (3)に、STOPモード時の割り込みによるホールト解除のタイミングを示します。

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOPモードに入ると、例外的な端子以外はすべてMCU内部とは切り離されて、ハイインピーダンス状態になります。ただし、内蔵I/OレジスタのWDMOD<DRVE>を“1”にセットしておくで、ホールト以前の状態のままです。このレジスタは、リセット動作により“0”にリセットされます。

CPUが割り込み要求を受け付けると、まず内部発振器がリスタートしますが、安定した発振を得るためにウォーミングアップ用カウンタによる設定時間経過後、システムクロックの出力を開始します。このウォーミングアップ時間の設定は、WDMOD<WARM>で行ないます。このビットを“0”にすると、 2^{14} クロック発振時間、“1”にすると 2^{16} クロック発振時間分のウォーミングアップが行われます。このビットは、リセット動作により“0”にリセットされます。

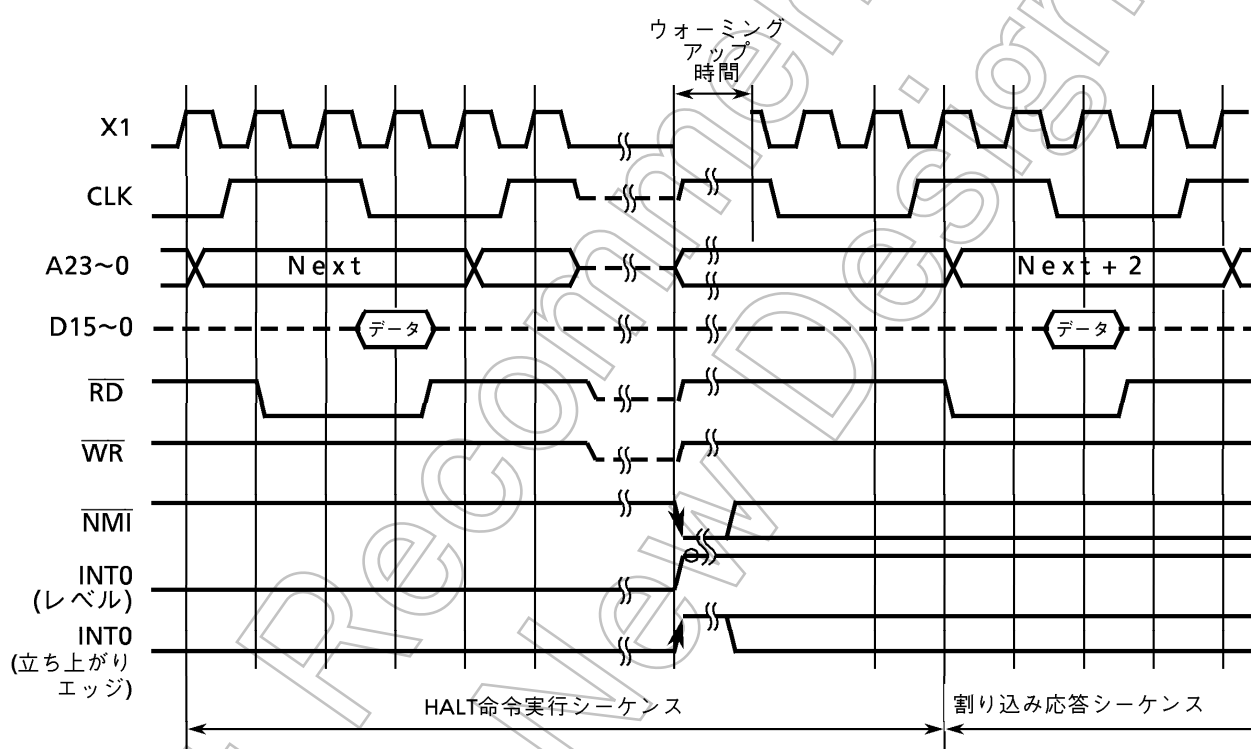


図3.4 (3) STOPモード時の割り込みによるホールト解除のタイミング

STOPモードの解除は、 $\overline{\text{NMI}}$ 端子または INT0 端子による割り込みとリセットに限られています。

STOPモードをリセット以外で解除したときは、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後に、システムクロックの出力を開始します。リセットで解除する場合には、発振安定時間を満足するだけの十分なリセット時間が必要です。

外部発振器を用いるシステムでも、STOPモードの解除を使用する場合、ウォーミングアップカウンタは動作するため、解除信号が入力されてからシステムクロックが出力されるまでウォーミングアップ時間を要します。

注) 通常は、割り込みによってホールト状態を解除することができますが、ホールトモードがIDLE、STOPモードに設定されている状態で、CPUがホールトモードに移行しようとしている期間 (X1約3クロックの間) に、ホールトモードを解除可能な割り込み ($\overline{\text{NMI}}$, INT0) が入力されても、ホールトが解除できない場合があります (割り込み要求は内部に保留されます)。ホールトモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールトモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

表3.4 (1) STOPモード時の端子状態

ピン名称	入力/出力	DRVE = 0	DRVE = 1
D0~D7	入力/出力	HI-Z*	HI-Z*
P10~P17 (D8~D15)	入力モード (P10 - P17) 出力モード (P10 - P17) 入力 / 出力 (D8 - D15)	HI-Z* HI-Z* HI-Z*	HI-Z* 出力 HI-Z*
P20~P27 (A16~A23)	出力	HI-Z	出力
A0~A15	出力	HI-Z	出力
$\overline{\text{RD}}$, $\overline{\text{WR}}$	出力	HI-Z	"1"
P52~P55 ($\overline{\text{HWR}}$, $\overline{\text{BUSRQ}}$, $\overline{\text{BUSAk}}$, $\text{R}/\overline{\text{W}}$)	入力モード 出力モード	PU* PU*	PU△ 出力
P60~P65 ($\overline{\text{CS}}$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{REFOUT}}$)	出力	HI-Z	出力
P70~P77 (PG00-PG13)	入力モード 出力モード	PU* PU*	PU△ 出力
P80~P85 (TXD, RXD, SCLK, $\overline{\text{CTS}}$)	入力モード 出力モード	PU* PU*	PU△ 出力
P90~P93 (AN0-AN3)	入力 (PORT) 入力 (AN0 - AN3)	無効 ◎	無効 ◎
PA0 ($\overline{\text{WAIT}}$)	入力モード 出力モード	PU* PU*	PU△ 出力
PA1~PA3 (TI0, TO1, TO3)	入力モード 出力モード	PU* PU*	PU△ 出力
PB0~PB6 (TI4-7, TO4-6, INT4-7)	入力モード 出力モード	PU* PU*	PU△ 出力
PB7 (INT0)	入力モード 出力モード	PU△ PU△	PU△ 出力
$\overline{\text{NMI}}$	入力	有効	有効
$\overline{\text{WDOUT}}$	出力	出力	出力
CLK	出力	HI-Z	"1"
$\overline{\text{RESET}}$	入力	有効	有効
AM (8/16)	入力	◎	◎
$\overline{\text{EA}}$	入力	◎	◎
X1	入力	無効	無効
X2	出力	"1"	"1"

出力 : ホールト以前の出力状態になっています。

PU : プログラマブルPull-upピンです。HALT時にPull-up設定することによりPull-upされます。

* : 入力ゲートはディセーブルになっています。

ハイインピーダンスに設定されても貫通電流は流れません。

ただし、HALT命令の前にポートレジスタ (例:P8) をアクセスする命令を置かないでください。入力ゲートがディセーブルにならない場合があります。

△ : Pull-upをカットすることによりハイインピーダンスにした場合、入力ゲートが働いていますので、貫通電流防止のためピンを固定する必要があります。

◎ : 外部よりドライブする必要があります。

有効 : 入力が有効です。

無効 : 入力が無効になります。入力ゲートはディセーブルになっているため貫通電流は流れません。

表3.4 (2) ホールト中のI/O動作とその解除

ホールトモード		RUN	IDLE	STOP
WDMOD < HALTM1, 0 >		00	10	01
動作ブロック	CPU	停止		
	I/Oポート	表3.4 (1) 参照		
	8ビットタイマ	動作	停止	
	8ビットPWMタイマ			
	16ビットタイマ			
	パターンジェネレータ			
	シリアルインタフェース			
	A/Dコンバータ			
	ウォッチドッグタイマ			
	DRAMコントローラ			
	割り込みコントローラ			

割り込みマスク、 要求レベルの設定状態			割り込み要求レベル ≧ 割り込みマスク < IFF2 - 0 >			割り込み要求レベル*2 < 割り込みマスク < IFF2 - 0 >		
ホールトモード			RUN	IDLE	STOP	RUN	IDLE	STOP
ホールト解除ソース	割り込み	NMI	◎	◎	◎*1	◎	◎	◎*1
		INTWD	◎	×	×	◎	×	×
		INT0	◎	◎	◎*1	○	○	○*1
		INT4-7	◎	×	×	×	×	×
		INTT0-3	◎	×	×	×	×	×
		INTTR4-7	◎	×	×	×	×	×
		INTRXD0, 1	◎	×	×	×	×	×
		INTTXD0, 1	◎	×	×	×	×	×
		INTAD	◎	×	×	×	×	×
	RESET		◎	◎	◎	◎	◎	◎

◎ : ホールト解除後、割り込み処理を開始します。(RESETはLSIを初期化します。)

○ : ホールト解除後、ホールト命令の次の番地から処理を開始します。

× : ホールト解除に使用できません。

*1 : ウォーミングアップ時間経過後にホールト解除します。

*2 : DI命令も同様です。

3.5 ポート機能

TMP95C061Bには、合計56ビット (AM8/16端子“1”の場合) または、48ビット (AM8/16端子“0”の場合) の入出力ポートがあります。

また、これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表3.5 (1) に各ポート端子の機能を示します。また、表3.5 (2) に各ポートのレジスタ設定を示します。

表3.5 (1) ポート機能

(R: ↑ = プログラマブルプルアップ抵抗付,
↓ = プログラマブルプルダウン抵抗付)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
ポート1	P10~P17	8	入出力	-	ビット	D8~D15
ポート2	P20~P27	8	出力	-	(固定)	A16~A23
ポート5	P52	1	入出力	↑	ビット	HWR
	P53	1	入出力	↑	ビット	BUSRQ
	P54	1	入出力	↑	ビット	BUSAK
	P55	1	入出力	↑	ビット	R/W
ポート6	P60	1	出力	-	(固定)	CS0
	P61	1	出力	-	(固定)	CS1
	P62	1	出力	-	(固定)	CS2
	P63	1	出力	-	(固定)	CS3 / CAS
	P64	1	出力	-	(固定)	RAS
	P65	1	出力	-	(固定)	REFOUT
ポート7	P70~P77	8	入出力	↑	ビット	PG00~PG03, PG10~PG13
ポート8	P80	1	入出力	↑	ビット	TXD0
	P81	1	入出力	↑	ビット	RXD0
	P82	1	入出力	↑	ビット	CTS0 / SCLK0
	P83	1	入出力	↑	ビット	TXD1
	P84	1	入出力	↑	ビット	RXD1
	P85	1	入出力	↑	ビット	SCLK1
ポート9	P90~P93	4	入力	-	(固定)	AN0~AN3
ポートA	PA0	1	入出力	↑	ビット	WAIT
	PA1	1	入出力	↑	ビット	TI0
	PA2	1	入出力	↑	ビット	TO1
	PA3	1	入出力	↑	ビット	TO3
ポートB	PB0	1	入出力	↑	ビット	TI4/INT4
	PB1	1	入出力	↑	ビット	TI5/INT5
	PB2	1	入出力	↑	ビット	TO4
	PB3	1	入出力	↑	ビット	TO5
	PB4	1	入出力	↑	ビット	TI6/INT6
	PB5	1	入出力	↑	ビット	TI7/INT7
	PB6	1	入出力	↑	ビット	TO6
	PB7	1	入出力	↑	ビット	INT0

表3.5 (2) I/O ポート設定一覧表

(1/2)

ポート	端子名	仕 様	I/O レジスタ設定値		
			Pn	PnCR	PnFC
ポート 1	P1 (0 : 7) (注1)	入力ポート	X	0	なし
		出力ポート	X	1	
		D (8 : 15)	X	X	
ポート 2	P2 (0 : 7)	出力ポート	X	なし	0
		A (16 : 23)	X		1
ポート 5	RD	外部アクセス時のみ RD 出力	1	なし	なし
		常に RD 出力	0		
	P5 (2 : 5)	入力ポート (プルアップ 無)	0	0	0
		入力ポート (プルアップ 有)	1	0	0
		出力ポート	X	1	0
	P52	HWR 出力	X	1	1
	P53	BUSRQ 入力 (プルアップ 無)	0	0	1
		BUSRQ 入力 (プルアップ 有)	1	0	1
	P54	BUSAK 出力	X	1	1
	P55	R / W 出力	X	1	1
ポート 6	P6 (0 : 5)	出力ポート	X	なし	0
	P60	CS0 出力	X		1
	P61	CS1 出力	X		1
	P62	CS2 出力	X		1
	P63	CS3 / CAS 出力 (注2)	X		1
	P64	RA5 出力	X		1
	P65	REFOUT 出力	X		1
ポート 7	P7 (0 : 7)	入力ポート (プルアップ 無)	0	0	0
		入力ポート (プルアップ 有)	1	0	0
		出力ポート	X	1	0
		PGn 出力	X	1	1
ポート 8	P8 (0 : 5)	入力ポート (プルアップ 無)	0	0	0
		入力ポート (プルアップ 有)	1	0	0
		出力ポート	X	1	0
	P80	TXD0 出力	X	1	1
	P83	TXD1 出力	X	1	1
	P81	RXD0 入力 (プルアップ 無)	0	0	なし
		RXD0 入力 (プルアップ 有)	1	0	
	P84	RXD1 入力 (プルアップ 無)	0	0	なし
		RXD1 入力 (プルアップ 有)	1	0	
	P82	SCLK0 出力	X	1	1
		CTS0 / SLCK0 入力 (プルアップ 無)	0	0	0
		CTS0 / SLCK0 入力 (プルアップ 有)	1	0	0
	P85	SCLK1 出力	X	1	1
		SCLK1 入力 (プルアップ 無)	0	0	0
		SCLK1 入力 (プルアップ 有)	1	0	0

(注1) AM8 / 16端子の値により機能は固定となります。

(注2) CS3, CASのどちらを出力するかは、CS / WAIT コントロールレジスタ B3CS<B3CAS>で設定します。

表3.5 (2) I/O ポート設定一覧表

(2/2)

ポート	端子名	仕 様	I/O レジスタ設定値		
			Pn	PnCR	PnFC
ポート 9	P9 (0 : 3)	入力ポート	X	なし	なし
		AN (0.3) 入力 (注1)	X		
ポート A	PA (0 : 3)	入力ポート (プルアップ 無)	0	0	0
		入力ポート (プルアップ 有)	1	0	0
		出力ポート	X	1	0
	PA0	WAIT 入力 (プルアップ 無)	0	0	なし
		WAIT 入力 (プルアップ 有)	1	0	
	PA1	TI0 入力 (プルアップ 無)	0	0	なし
		TI0 入力 (プルアップ 有)	1	0	
	PA2	TO1 出力	X	1	1
	PA3	TO3 出力	X	1	1
ポート B	PB (0 : 7)	入力ポート (プルアップ 無)	0	0	0
		入力ポート (プルアップ 有)	1	0	0
		出力ポート	X	1	0
	PB0	TI4 / INT4 入力 (プルアップ 無)	0	0	なし
		TI4 / INT4 入力 (プルアップ 有)	1	0	
	PB1	TI5 / INT5 入力 (プルアップ 無)	0	0	
		TI5 / INT5 入力 (プルアップ 有)	1	0	
	PB4	TI6 / INT6 入力 (プルアップ 無)	0	0	
		TI6 / INT6 入力 (プルアップ 有)	1	0	
	PB5	TI7 / INT7 入力 (プルアップ 無)	0	0	
		TI7 / INT7 入力 (プルアップ 有)	1	0	
	PB2	TO4 出力	X	1	1
	PB3	TO5 出力	X	1	1
	PB6	TO6 出力	X	1	1
	PB7 (注2)	INT0 入力 (プルアップ 無)	0	0	なし
		INT0 入力 (プルアップ 有)	1	0	

(注1) P9 (0 : 3) を A/D コンバータの入力チャネルとして使用する場合はチャネル選択は ADMOD < ADCHn > で設定します。

(注2) PB7 端子を INT0 として使用する場合は、IIMC レジスタにて割り込み入力許可の設定をします。

3.5.1 ポート1 (P10~P17)

ポート1は、ビット単位で入出力の設定ができる8ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタP1CRによって行います。リセット動作により、出力ラッチ (P1) の全ビットと、P1CRの、全ビットは“0”にリセットされ、ポート1は入力モードになります。

汎用入出力ポート以外に、データバス (D8~15) 機能があります。

なお、TMP95C061Bはリセット後のAM8/16端子 (入力) の状態でポート機能とデータバス機能が決まり、AM8/16=“L”のときデータバス、AM8/16=“H”のときポートとして機能します。また、データバスとして使用するとき (AM8/16=“L”のとき) は、P1CRレジスタのビットを“1”にセットしないでください。

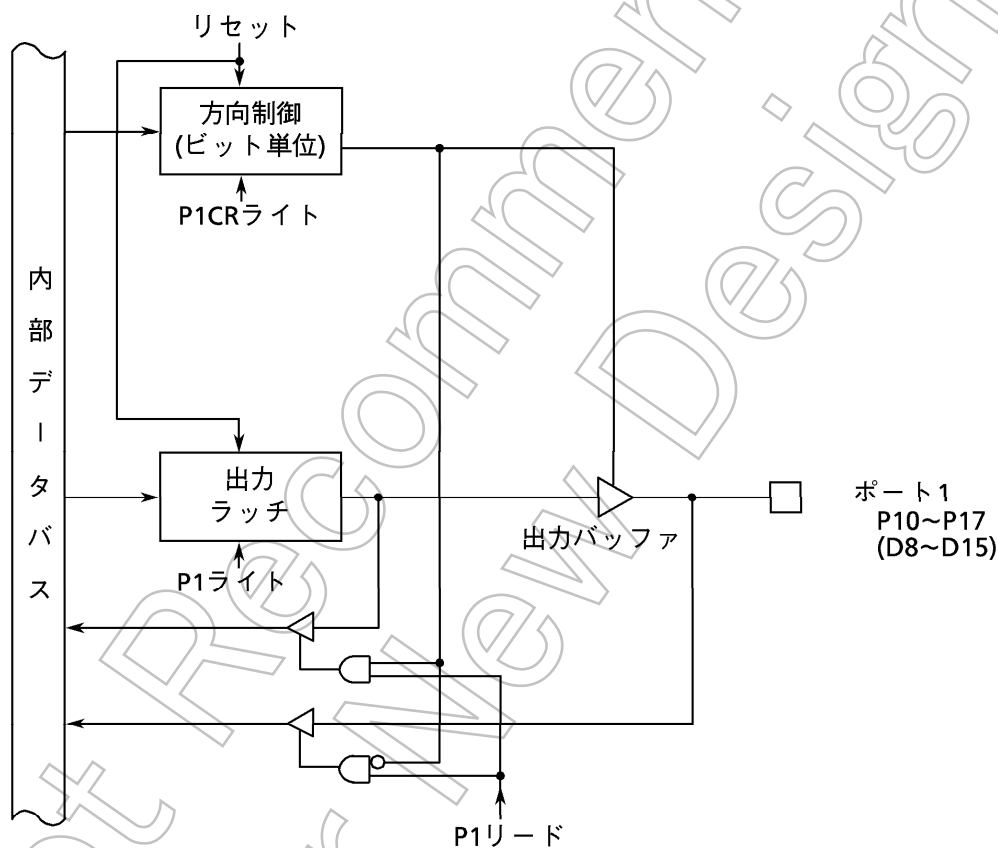


図 3.5 (1) ポート1

ポート1レジスタ

P1
(0001H)

	7	6	5	4	3	2	1	0
bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
Read/Write	R / W							
リセット後	入力モード (出力ラッチレジスタは "0" にクリア)							

ポート1コントロールレジスタ

P1CR
(0004H)

	7	6	5	4	3	2	1	0
bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機 能	0 : IN				1 : OUT			

P1CRはリード
モディファイライト
できません。

ポート1の機能設定

	AM8/16		
P1CR <P1XC>		0	1
0		データバス (D15－8)	入力ポート
1		設定しないで ください	出力ポート

注) <P1XC>はレジスタP1CRのビットXです。

注) <P1XC>はレジスタP1CRのビットXです。

図 3.5 (2) ポート1関係のレジスタ

3.5.2 ポート2 (P20~P27)

ポート2は、8ビットの汎用出力専用ポートです。リセット動作により、出力ラッチ (P2) の全ビットは “1” にセットされ、ポートは “1” を出力します。

汎用出力ポート以外に、アドレスバス (A16~23) 機能があります。この指定は、ファンクションレジスタ P2FCによって行います。ビット単位で出力ポートとアドレスバスの選択が可能です。

なお、ROM外付けタイプのTMP95C061Bでは、リセット後ファンクションレジスタの全ビットは、“1”にセットされ、アドレスバス (A16~A23) として機能します。

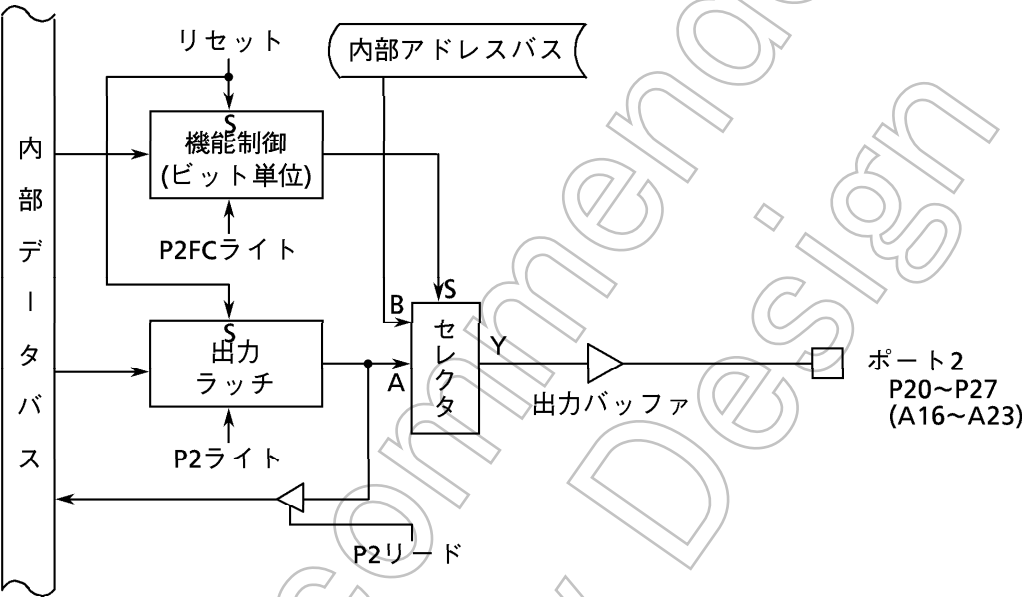


図 3.5 (3) ポート2

ポート2レジスタ									
P2 (0006H)		7	6	5	4	3	2	1	0
	bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
	Read/Write	R / W							
	リセット後	(出力ラッチレジスタは “1” にセット)							
ポート2ファンクションレジスタ									
P2FC (0009H)		7	6	5	4	3	2	1	0
	bit Symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
	Read/Write	W							
	リセット後	1	1	1	1	1	1	1	1
機能		0: ポート 1: アドレスバス (A23~A16)							

P2FCは
リードモディファイライト
できません。

図 3.5 (4) ポート2関係のレジスタ

3.5.3 ポート5 (P52~P55)

ポート5は、ビット単位で入出力の設定ができる4ビットの汎用入出力ポートです。

入出力の指定は、コントロールレジスタP5CRとファンクションレジスタP5FCによって行います。リセット動作により、出力ラッチP5の全ビットは“1”にセットされ、コントロールレジスタP5CRとファンクションレジスタP5FCの全ビットは“0”にリセットされ、P52~P55はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート以外に、CPUのコントロール/ステータス信号の入出力機能があります。

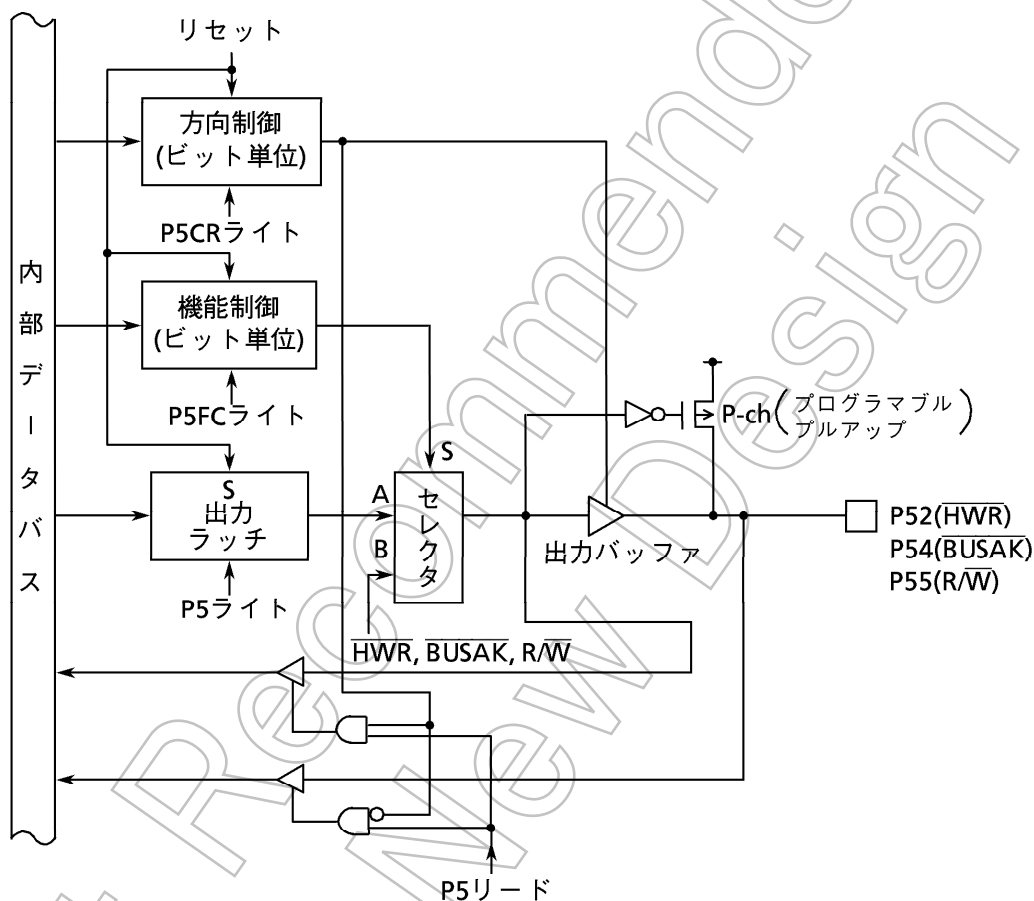


図 3.5 (5) ポート5 (P52, P54, P55)

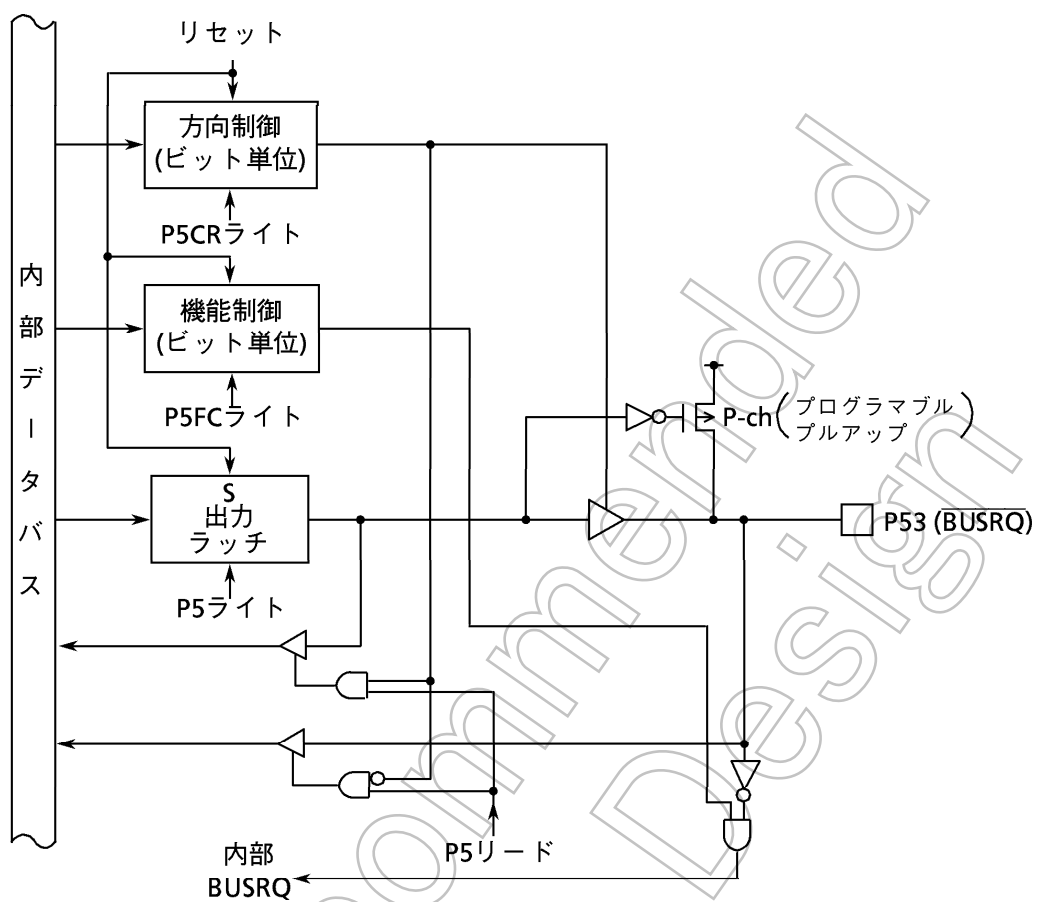


図 3.5 (6) ポート 5 (P53)

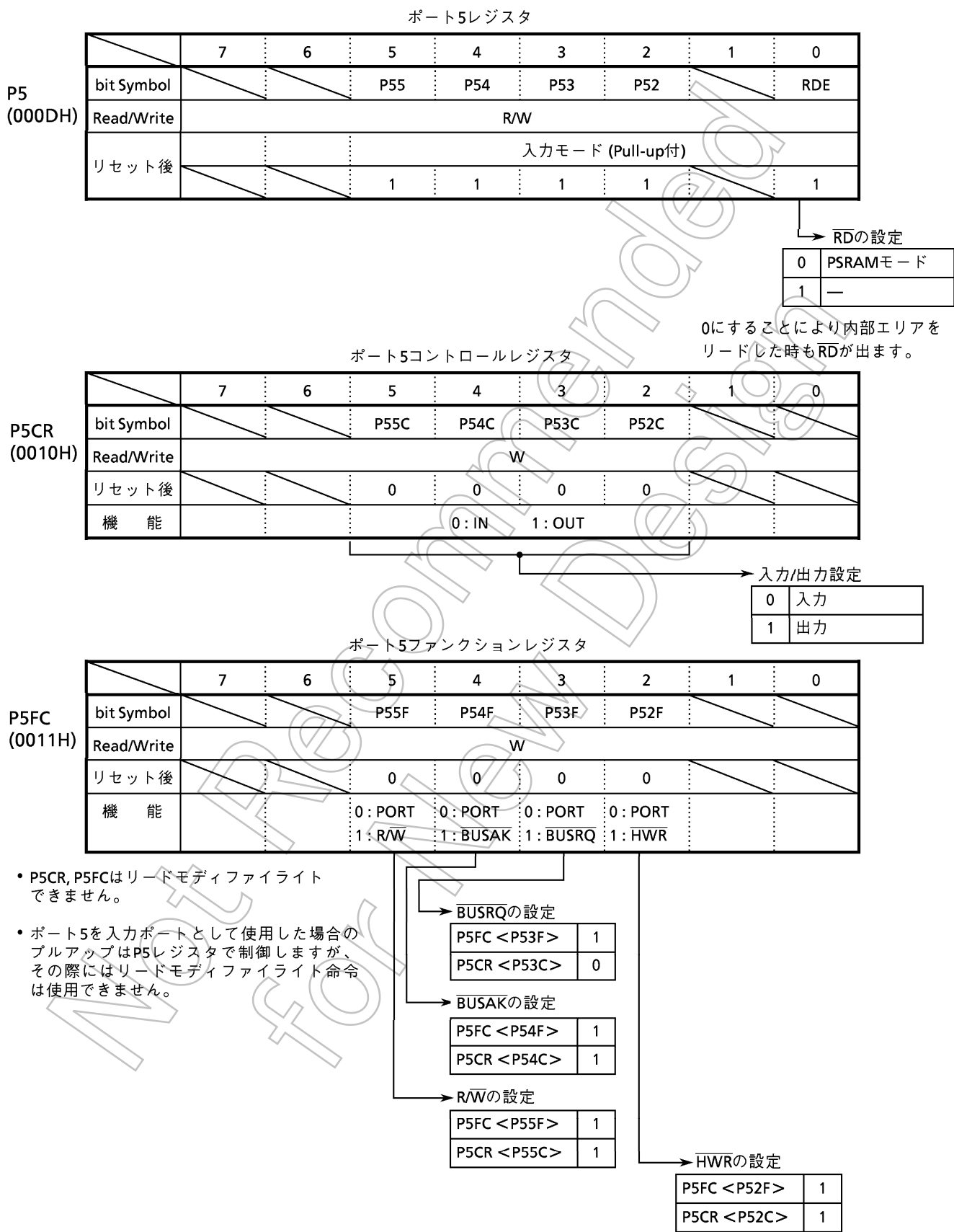


図3.5 (7) ポート5関係のレジスタ

3.5.4 ポート6 (P60~P65)

ポート6は、6ビットの汎用出力専用ポートです。リセット動作により、P62の出力ラッチは“0”にクリアされ、P60~61, P63~65の出力ラッチは“1”にセットされます。

汎用入出力ポート機能以外に、チップセレクト信号出力機能 ($\overline{CS0} \sim \overline{CS3}$)、DRAMコントロール信号出力機能 ($\overline{CAS}$, $\overline{RAS}$, $\overline{REFOUT}$) があります。これらの設定はファンクションレジスタP6FCによって行います。リセット後、P6FCの全ビットは、“0”クリアされ、汎用出力ポートモードになります。

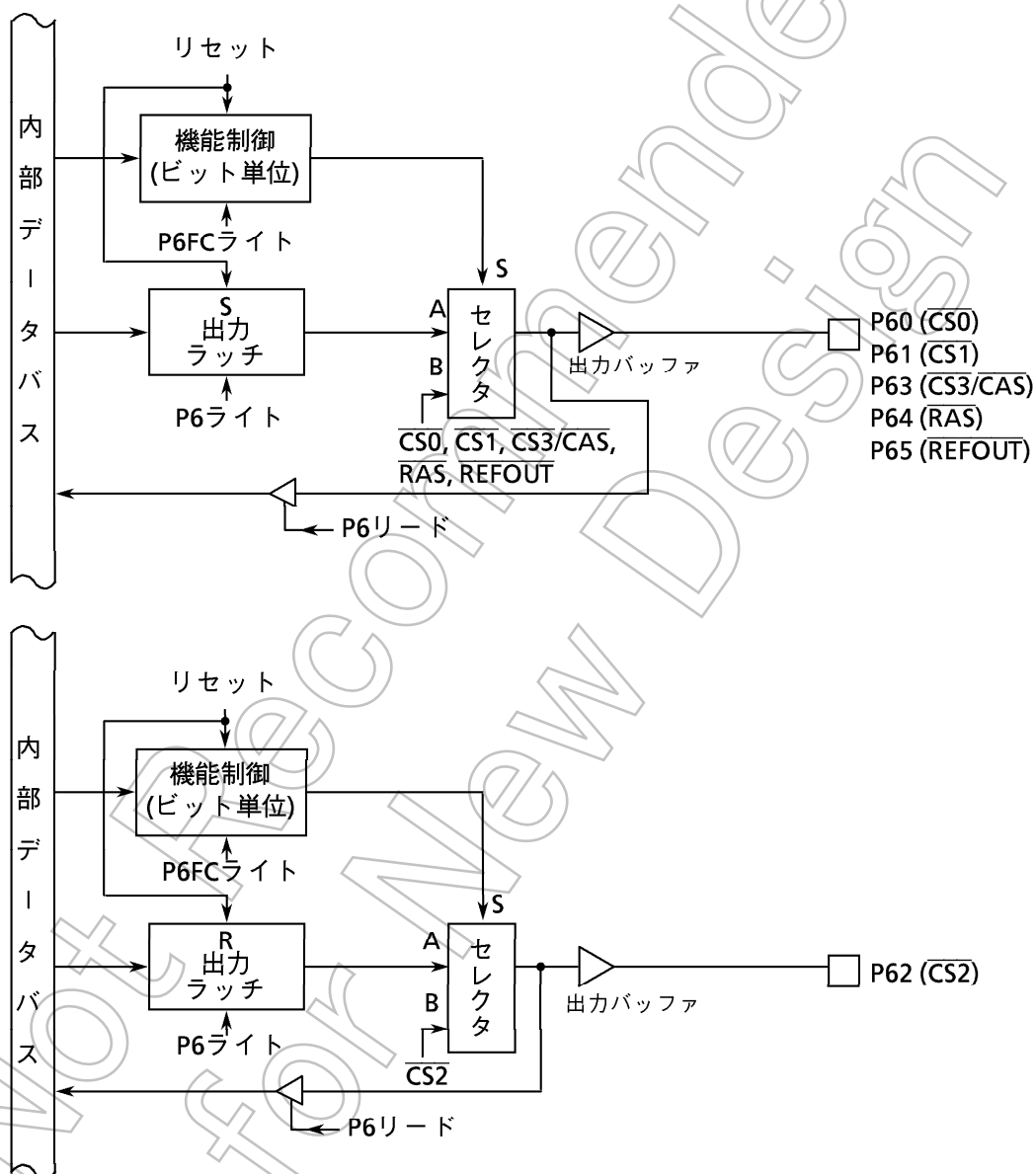
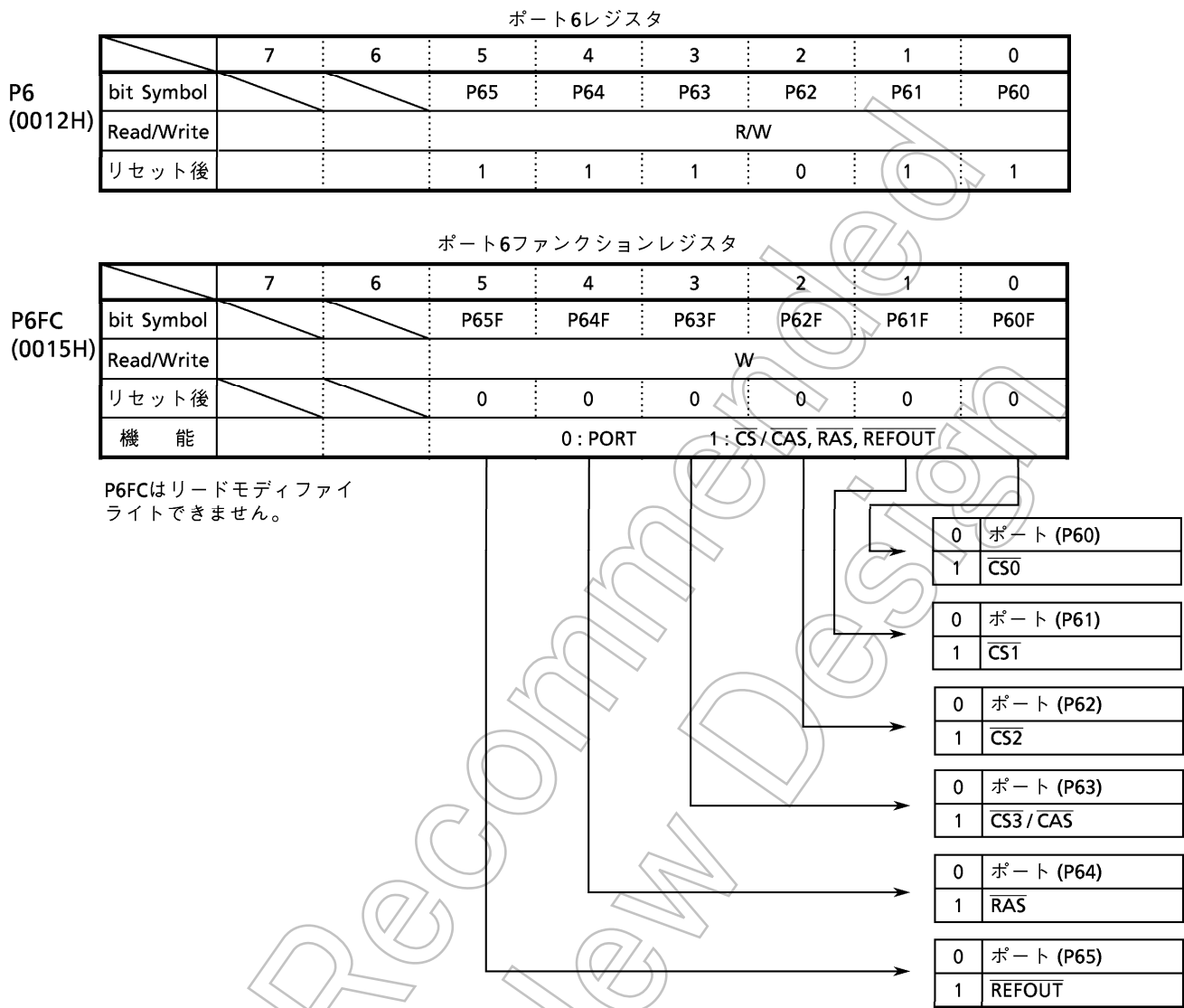


図 3.5 (8) ポート6



注) **CS3 / CAS**の機能選択は、チップセレクト/ウェイトコントローラの (**B3CS**) レジスタで行います。

図3.5 (9) ポート6関係のレジスタ

3.5.5 ポート7 (P70~P77)

ポート7はビット単位で入出力の指定ができる8ビットポートです。リセット動作により入力ポートとなり、プルアップされた状態となります。また、出力ラッチの全ビットは“1”へセットされます。入出力ポート機能以外にパターンジェネレートPG0,1出力機能があります。PG0はP70~73へ、PG1はP74~77へ割り付けられています。この機能は、ポート7コントロールレジスタ (P7CR) とファンクションレジスタ (P7FC) の該当するビットへ“1”を書き込むことによりPG出力が可能となります。リセット動作により、ファンクションレジスタ (P7FC) の値は“0”にリセットされ、全ビットがポートとなります。

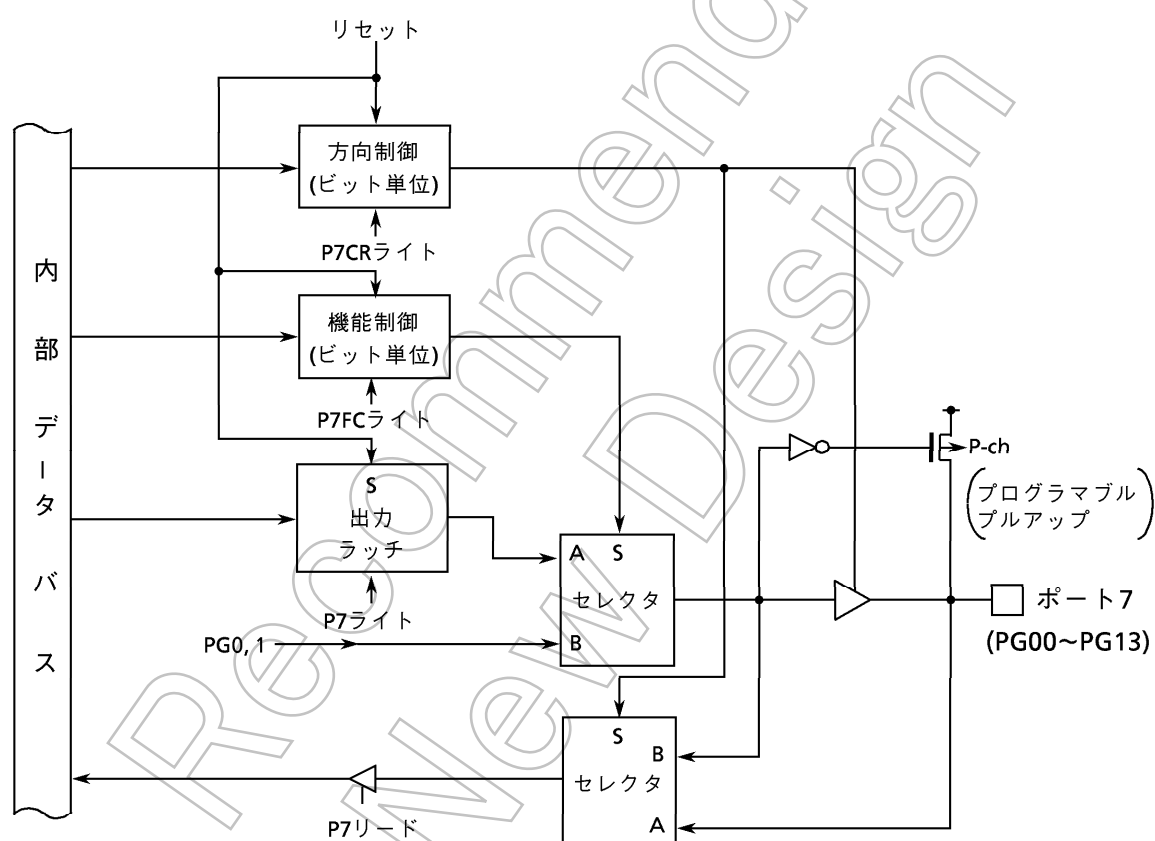


図 3.5 (10) ポート7



図3.5 (11) ポート7関係のレジスタ

3.5.6 ポート8 (P80~P85)

ポート8はビット単位で入出力の指定ができる6ビットの汎用入出力ポートです。

リセット動作により、入力ポートとなりプルアップされた状態になります。

また、出力ラッチレジスタの全ビットは“1”へセットされます。

入出力ポート以外にシリアルチャネル0,1の入出力機能があります。

この機能はポート8ファンクションレジスタの該当ビットへ“1”を書き込むことにより各ファンクションが可能となります。

リセット動作により、ファンクションレジスタの値は“0”にリセットされ、全ビットがポートとなります。

(1) ポート80, 83 (TXD0 / TXD1)

ポート80, 83は入出力ポートの以外にシリアルチャネルのTXD出力端子としての機能を持ちます。

このポートは、プログラマブルオープンドレイン機能を持っています。

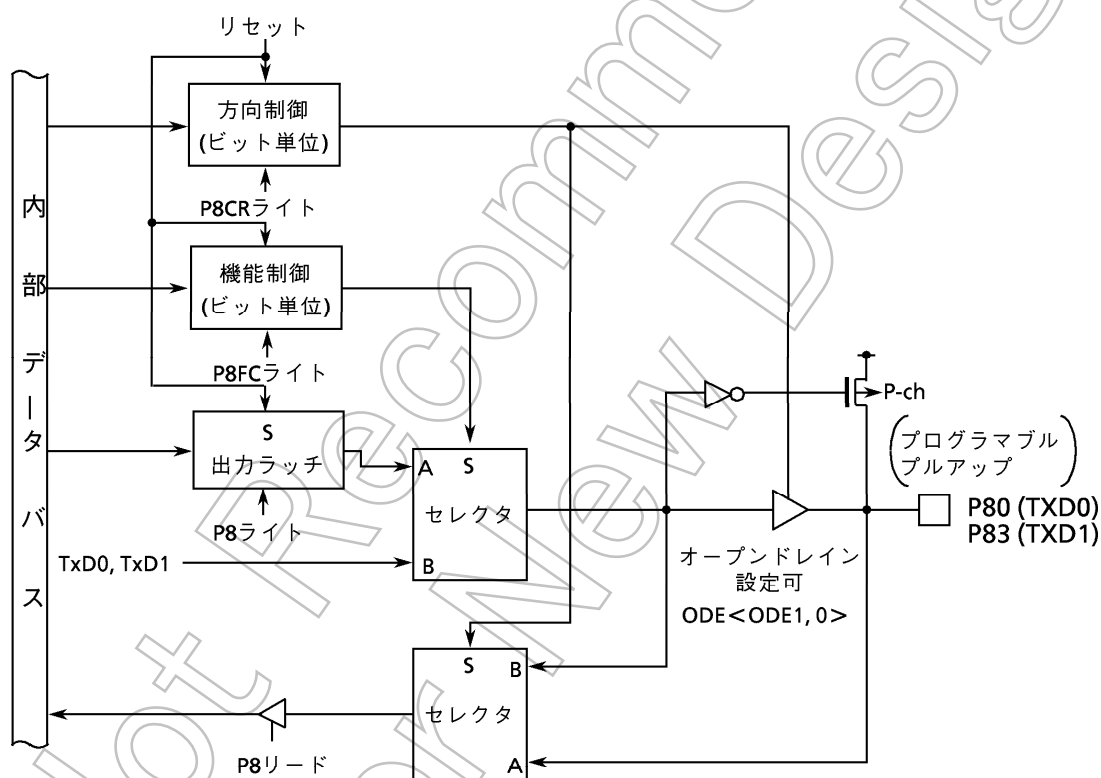


図3.5 (12) ポート80, 83

(2) ポート81, 84 (RXD0, 1)

ポート81, 84は入出力ポートの以外に、シリアルチャネルのRXD入力端子としての機能を持っています。

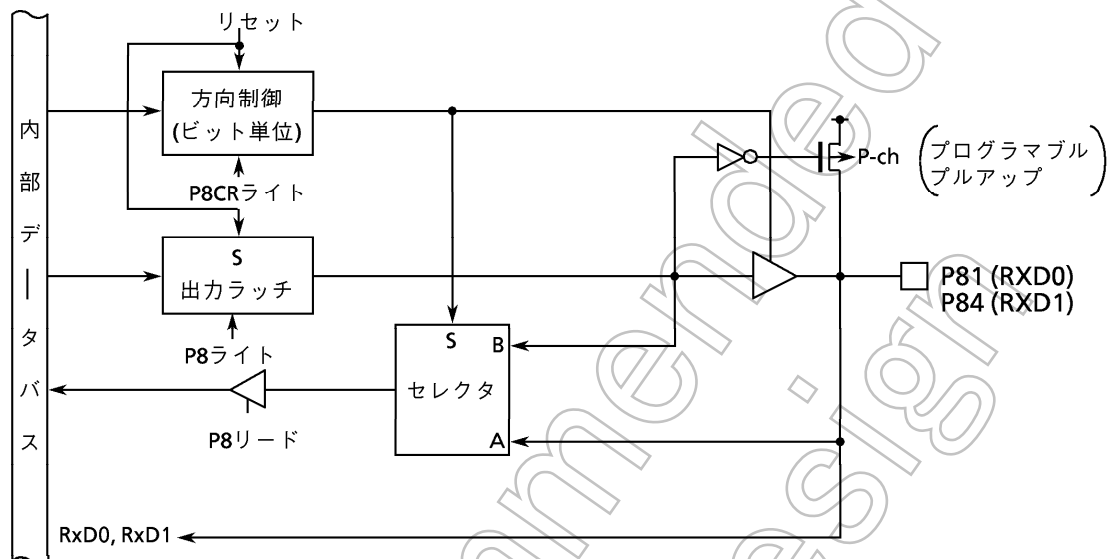


図3.5 (13) ポート81, 84

(3) ポート82 ($\overline{\text{CTS0}}$ /SCLK0)

ポート82は入出力ポートの以外にシリアルチャネル0の $\overline{\text{CTS0}}$ 入力端子としての機能を持っています。また、 $\overline{\text{CTS0}}$ 端子機能以外に、SCLK0入出力端子としての機能を持っています。

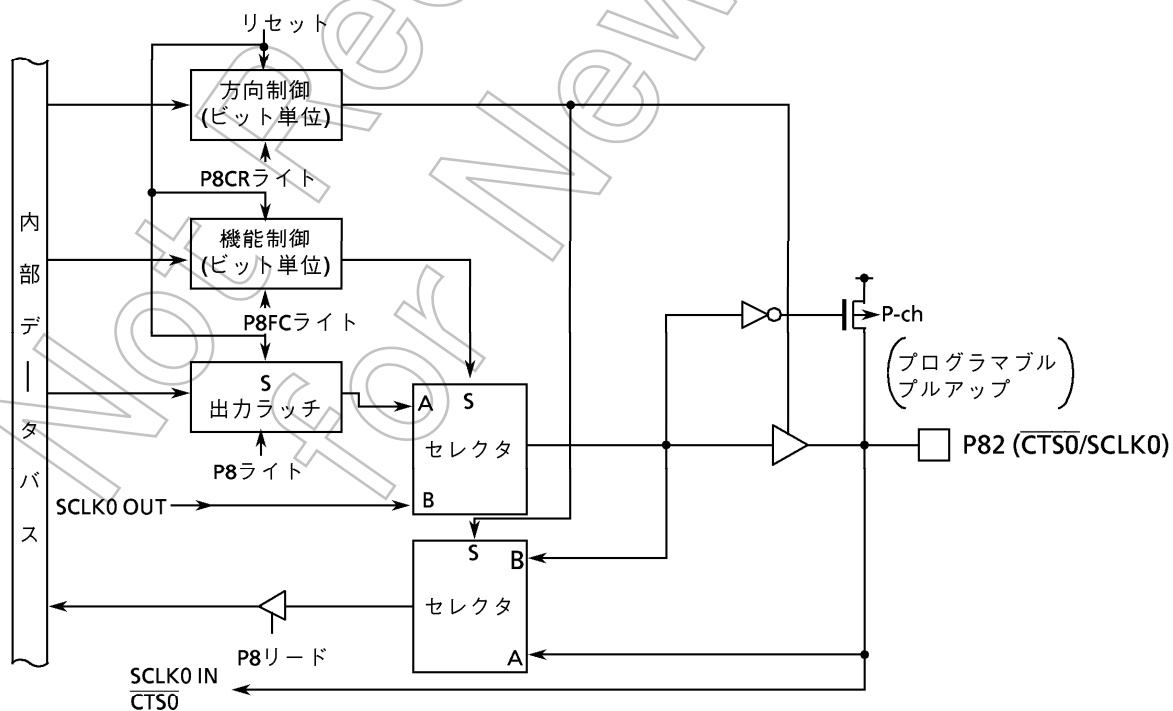


図3.5 (14) ポート82

(4) ポート85 (SCLK1)

ポート85は汎用入出力ポートの以外に、シリアルチャネル1のSCLK1入出力端子としての機能を持っています。

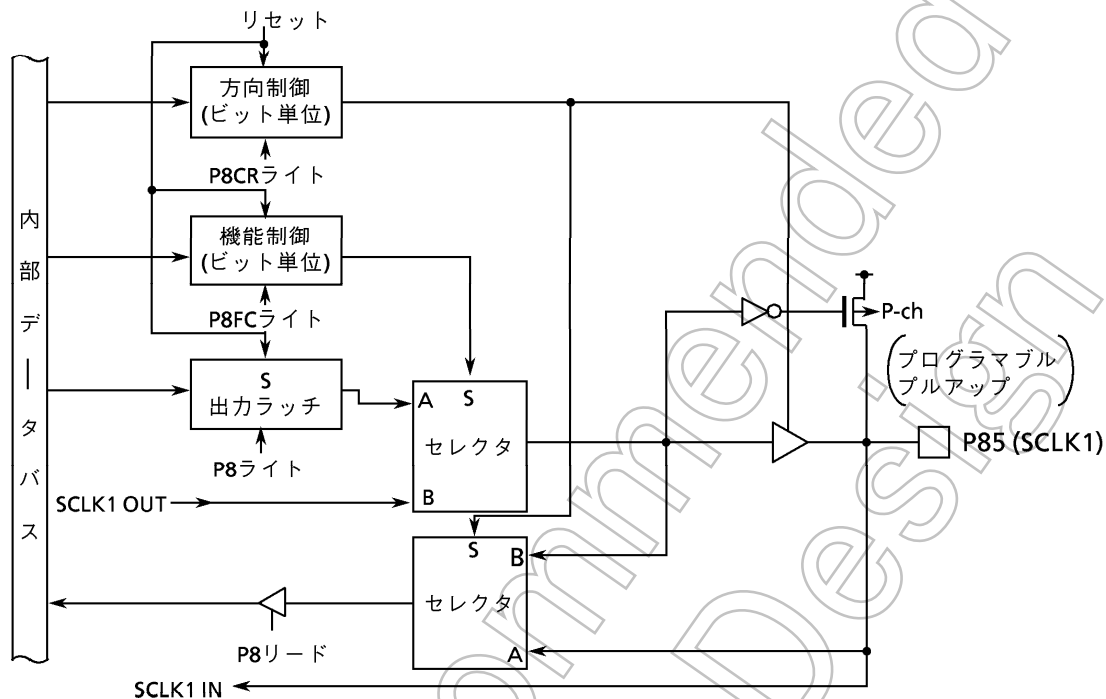
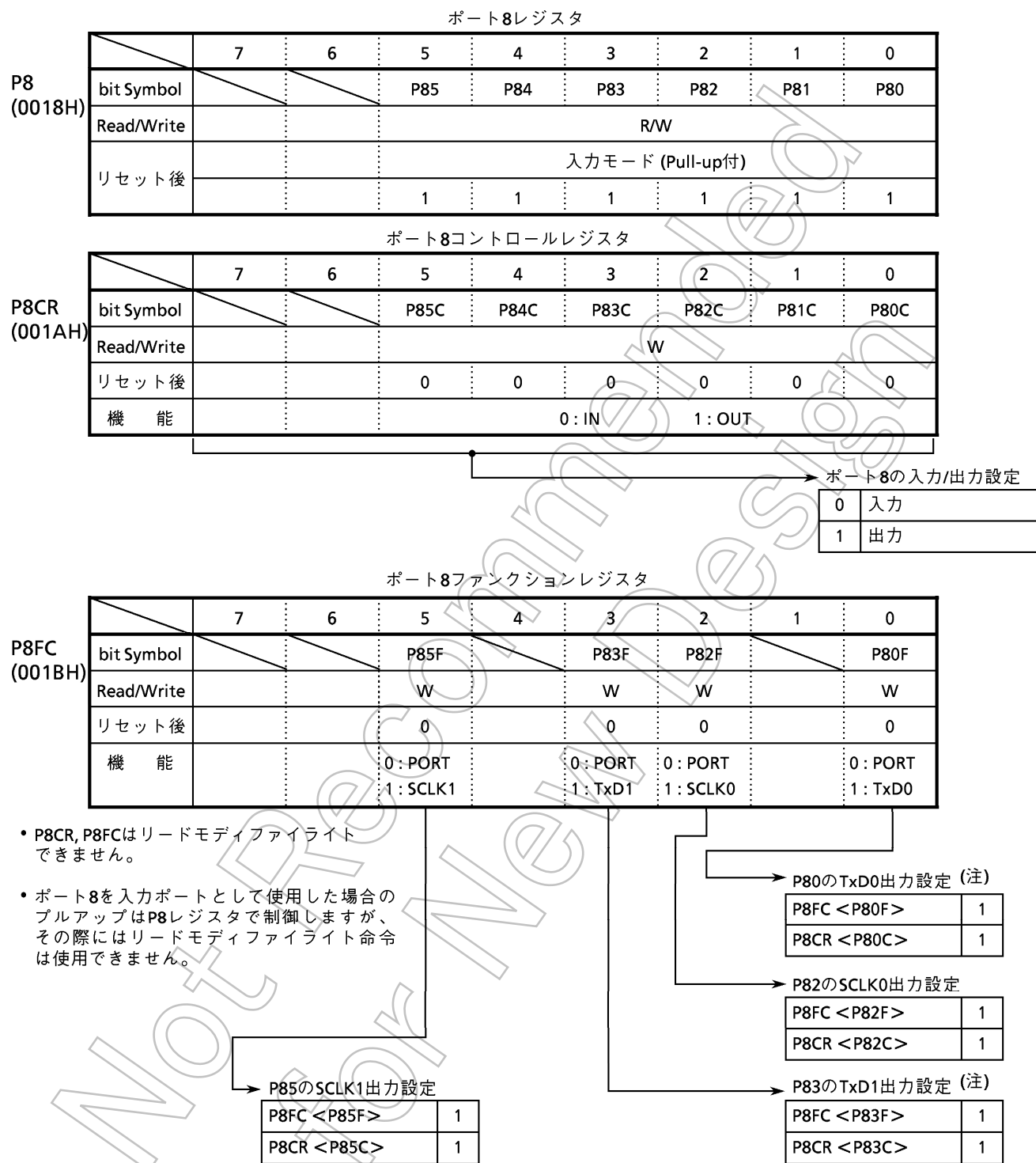


図3.5 (15) ポート85



注) Tx/D端子をオープンドレイン出力に設定するには、ODEレジスタのビット0 (Tx/D0端子用), または、ビット1 (Tx/D1端子用) に“1”をライトします。
P81/RxD0, P84/RxD1端子はポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもシリアル受信データとしてSIOへ入力されます。

図3.5 (16) ポート8関係のレジスタ

3.5.7 ポート9 (P90~P93)

ポート9は、4ビットの入力専用ポートでアナログ入力端子と兼用になっています。



図3.5 (23) ポート9

ポート9レジスタ								
	7	6	5	4	3	2	1	0
P9 (0019H)					P93	P92	P91	P90
bit Symbol								
Read/Write					R			
リセット後	入力モード							

注) A/Dコンバータの入力チャネル選択は、A/DコンバータモードレジスタADMODにて設定します。

図 3.5 (17) ポート9関係のレジスタ

3.5.8 ポートA (PA0~PA3)

ポートAはビット単位で入出力指定ができる4ビットの汎用入出力ポートです。リセット動作により入力ポートとなりプルアップされた状態となります。入出力ポート機能以外にポートA0は、WAIT入力端子(WAIT) ポートA1は8ビットタイマ0の入力クロック端子TI0、ポートPA2, PA3はそれぞれ8ビットタイマ出力(TO1)、(TO3)端子の機能を持っています。このタイマ出力機能はポートAファンクションレジスタ(PAFC)の該当ビットへ“1”を書き込むことにより可能となります。リセット動作により、ファンクションレジスタ(PAFC)の値は“0”にリセットされ、全ビットがポートとなります。

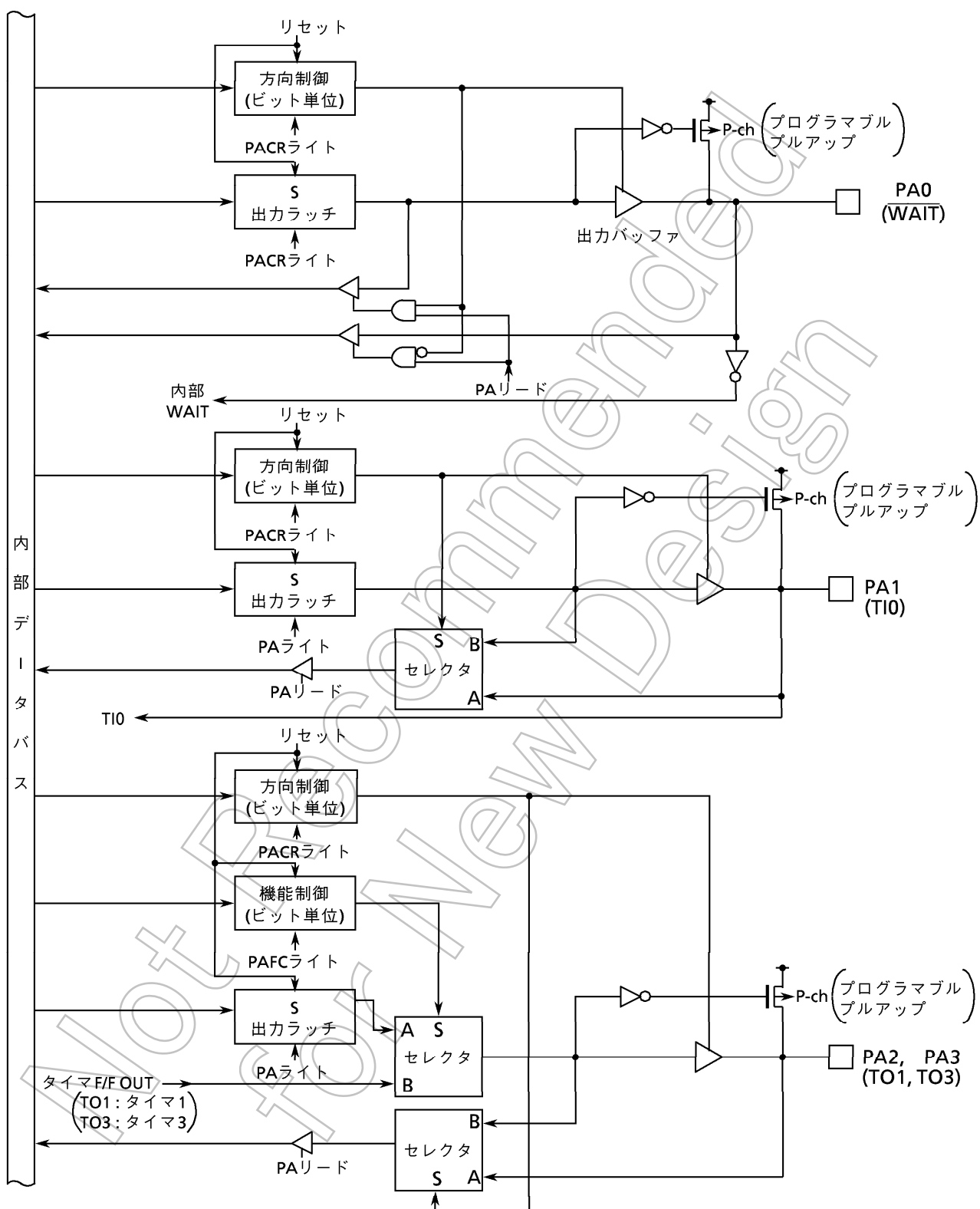
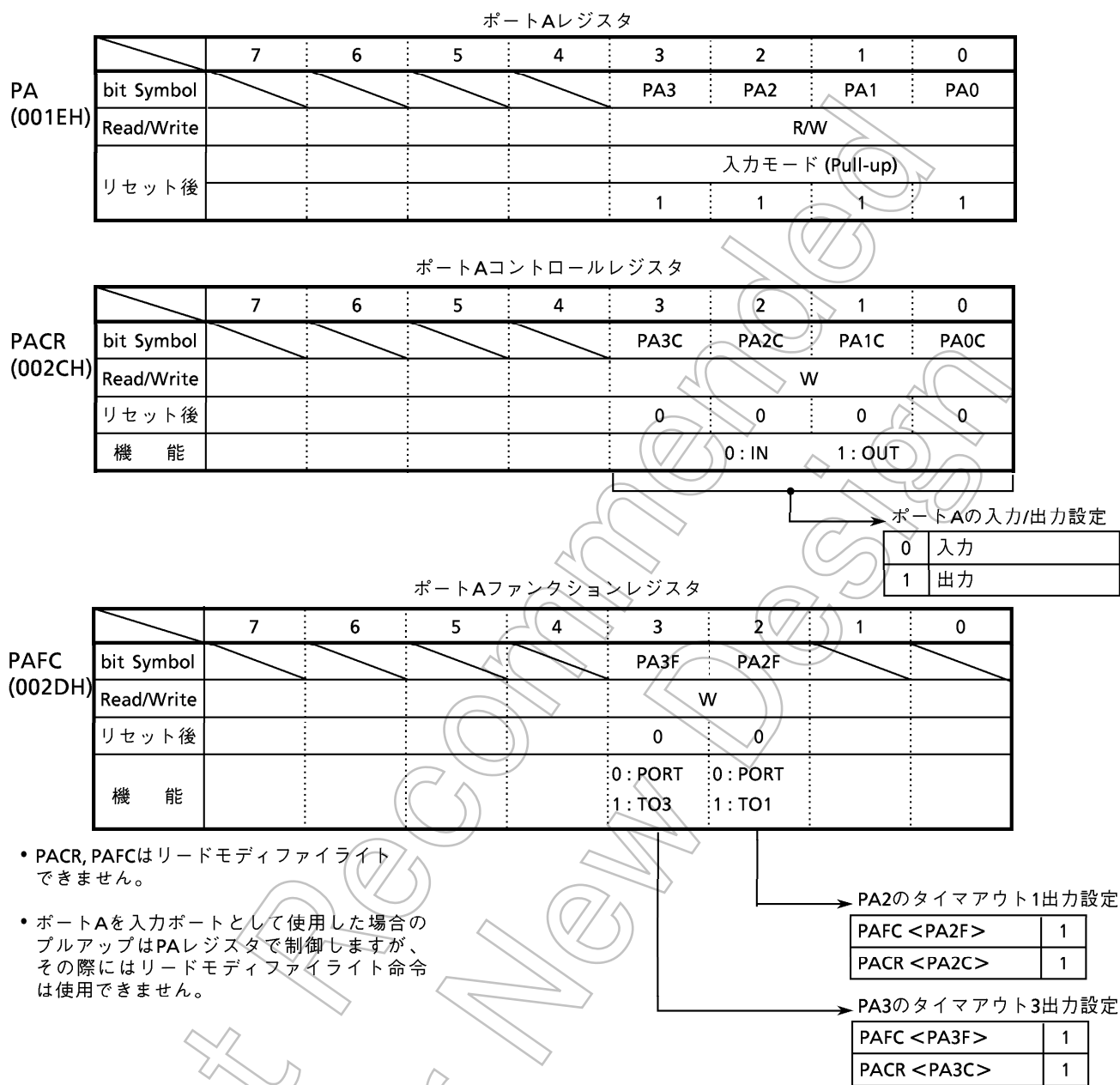


図3.5 (18) ポートA



注) PA1/TIO端子は、ポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でもタイマ入力0として8ビットタイマ0へ入力されます。

図3.5 (19) ポートA関係のレジスタ

3.5.9 ポート B (PB0~PB7)

ポートBはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。リセット動作により入力ポートとなりプルアップされた状態になります。また、出力ラッチレジスタ (PB) の全ビットは“1”へセットされます。入出力ポート以外に、16ビットタイマ4,5のクロック入力、16ビットタイマF/F4,5,6の出力およびINT0入力機能があります。この機能はポートBファンクションレジスタ (PBFC) の該当ビットへ“1”を書き込むことにより各ファンクションが可能となります。リセット動作により、ファンクションレジスタ (PBFC) の値は“0”にリセットされ、全ビットがポートとなります。

(1) PB0~PB6

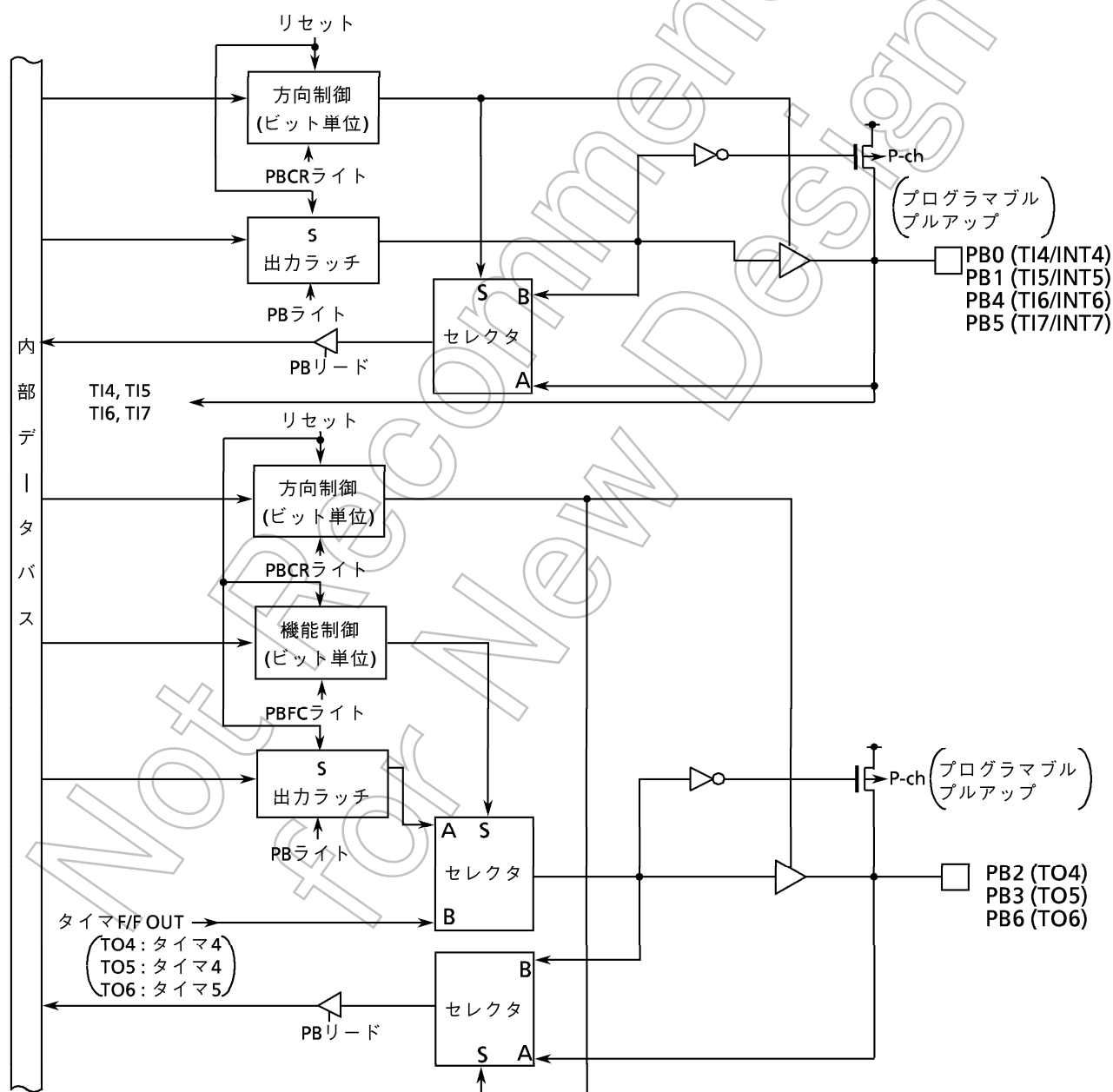


図3.5 (20) ポート B (PB0~PB6)

(2) PB7 (INT0)

ポートB7は汎用入出力ポート以外に、外部割り込み要求入力INT0端子としての機能を持っています。

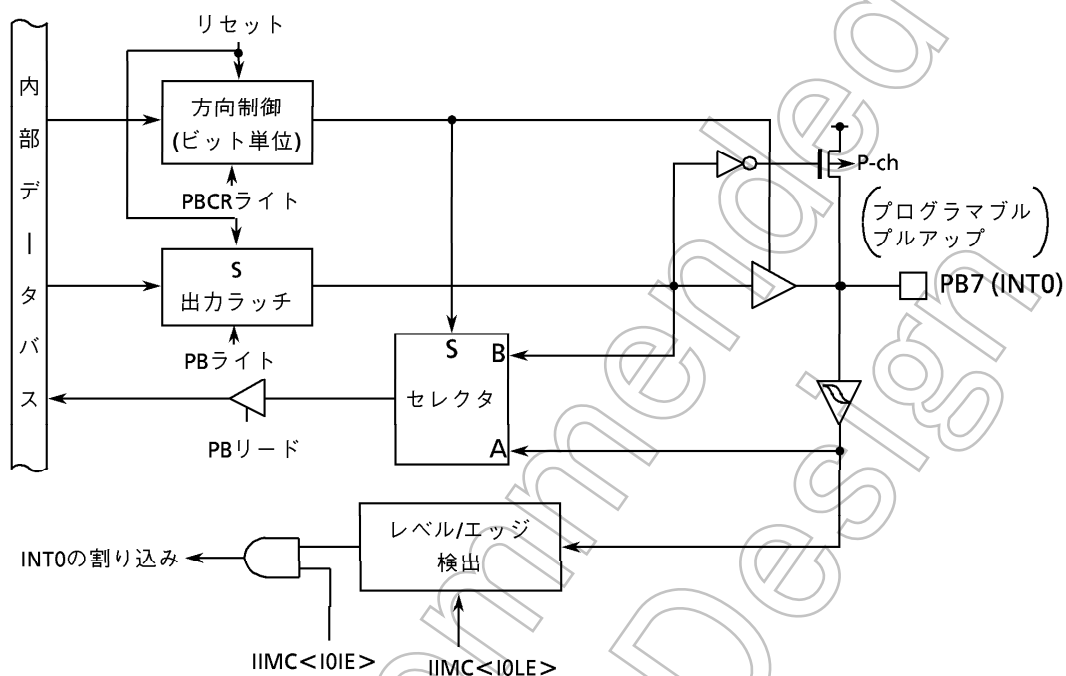
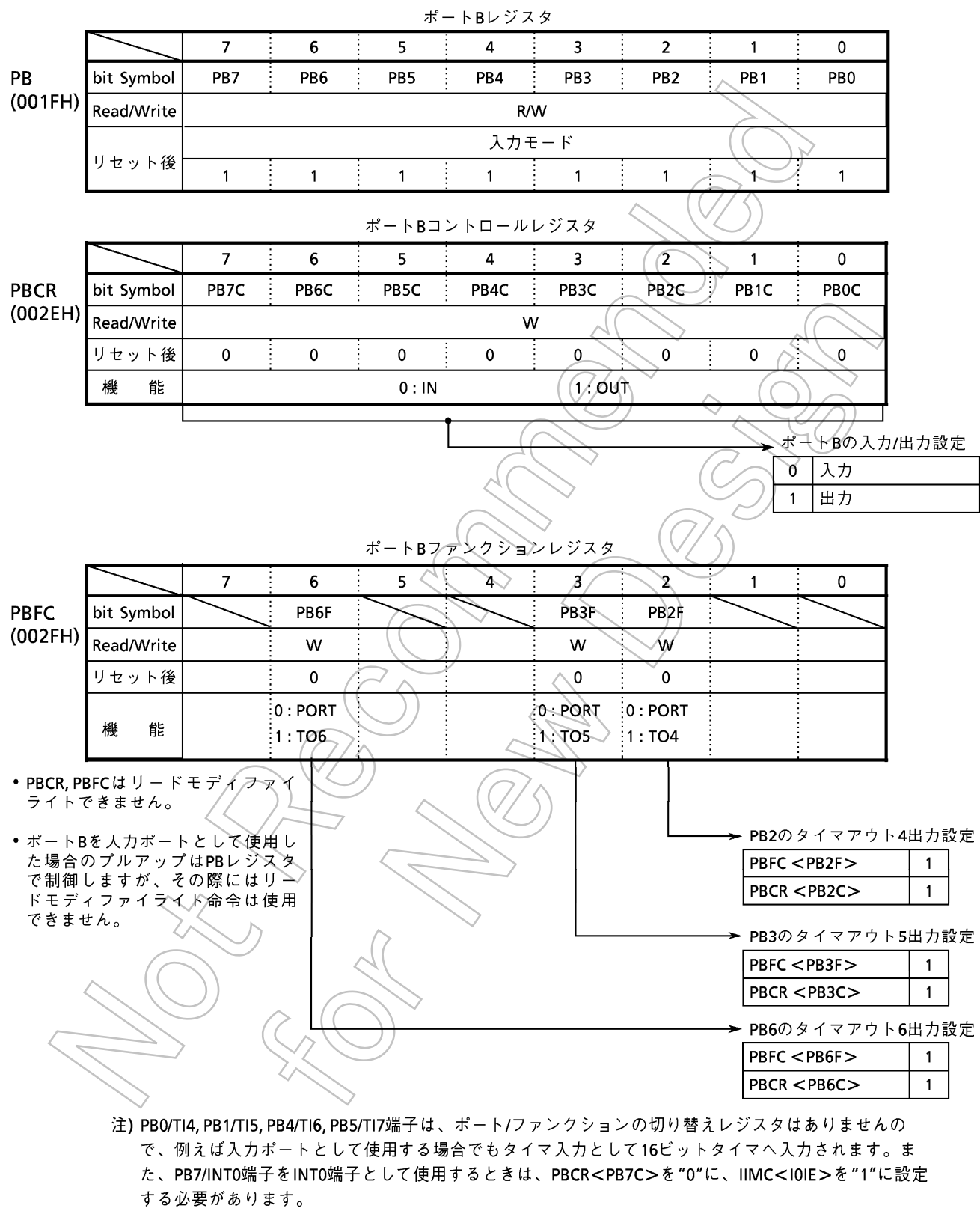


図3.5 (21) ポートB7



3.6 チップセレクト/ウェイトコントローラ

TMP95C061Bは、任意の4ブロックアドレス空間に対して、チップセレクト ($\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 端子) とウェイト ($\overline{\text{WAIT}}$ 端子) およびデータバスの幅 (8ビットか16ビット) を制御するチップセレクト/ウェイトコントローラを内蔵しています。

また、外部データバス幅の選択端子 ($\text{AM8}/\overline{16}$) があります。(3.1.2外部データバス幅選択端子参照)

3.6.1 コントロールレジスタ

表3.6 (1) に、制御レジスタを示します。

各ブロックアドレス空間は、それぞれのCS/ウェイトコントロールレジスタ (B0CS, B1CS, B2CS, B3CS, BEXCS) とスタートアドレスレジスタ/アドレスマスクレジスタ (3.6.2 アドレス空間指定にて説明) によって制御されます。

表3.6 (1) チップセレクト/ウェイトコントロールレジスタ

	7	6	5	4	3	2	1	0
B0CS (0068H)	bit Symbol			B0E	—	B0BUS	B0W1	B0W0
				W	—	W	W	W
	リセット後			0	—	0	0	0
	機 能			1: B0CS マスタ ビット	—	0: 16 BIT 1: 8 BIT	00: 2 WAIT 01: 1 WAIT 10: 1 WAIT + n 11: 0 WAIT	
B1CS (0069H)	bit Symbol			B1E	—	B1BUS	B1W1	B1W0
				W	—	W	W	W
	リセット後			0	—	0	0	0
	機 能			1: B1CS マスタ ビット	—	0: 16 BIT 1: 8 BIT	00: 2 WAIT 01: 1 WAIT 10: 1 WAIT + n 11: 0 WAIT	
B2CS (006AH)	bit Symbol			B2E	B2M	B2BUS	B2W1	B2W0
				W	W	W	W	W
	リセット後			1	0	0	0	0
	機 能			1: B2CS マスタ ビット	0: 16M空間 1: MREG 設定	0: 16 BIT 1: 8 BIT	00: 2 WAIT 01: 1 WAIT 10: 1 WAIT + n 11: 0 WAIT	
B3CS (006BH)	bit Symbol			B3E	B3CAS	B3BUS	B3W1	B3W0
				W	W	W	W	W
	リセット後			0	0	0	0	0
	機 能			1: B3CS マスタ ビット	0: $\overline{\text{CS3}}$ 出力 1: $\overline{\text{CAS}}$ 出力	0: 16 BIT 1: 8 BIT	00: 2 WAIT 01: 1 WAIT 10: 1 WAIT + n 11: 0 WAIT	
BEXCS (006CH)	bit Symbol			—	—	BEXBUS	BEXW1	BEXW0
				—	—	W	W	W
	リセット後			—	—	0	0	0
	機 能			—	—	0: 16 BIT 1: 8 BIT	00: 2 WAIT 01: 1 WAIT 10: 1 WAIT + n 11: 0 WAIT	

(注) これらのチップセレクト/ウェイトコントロールレジスタ (B0CS, B1CS, B2CS, B3CS, BEXCS) は、リードモディファイライトできません。

(1) マスタイネーブル

コントロールレジスタのビット4 (B0E, B1E, B2E, B3E) は、設定のイネーブル/ディセーブルを指定するマスタビットです。このビットを“0”にすると、ディセーブルになり、“1”にするとイネーブルになります。リセットにより、B0EとB1E, B3Eはディセーブル“0”、B2Eはイネーブル“1”になります。

(2) データバス幅セレクト

コントロールレジスタのビット2 (B0BUS, B1BUS, B2BUS, B3BUS, BEXBUS) は、データバス幅を指定するビットです。このビットを“0”にすると、16ビットのデータバスのモードでメモリをアクセスします。“1”にすると、8ビットのデータバスのモードでメモリをアクセスします。ただし、このビットは16ビットバスモード (AM8/16端子=“0”) のときのみ有効です。8ビットバスモード (AM8/16端子=“1”) のときは、これらのビット設定にかかわらず、すべてのアドレス空間に対して8ビットのデータバスのモードでメモリをアクセスします。(3.1.2 外部データバス幅選択端子を参照)

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。このバス動作の詳細を表3.6 (2) に示します。

(3) ウェイトコントロール

コントロールレジスタのビット1とビット0 (B0W1-0, B1W1-0, B2W1-0, B3W1-0, BEXW1-0) は、ウェイト数を指定するビットです。このビットを“00”にすると、 $\overline{\text{WAIT}}$ 端子の状態に関係なく2ステート分のウェイトが挿入されます。“01”にすると、 $\overline{\text{WAIT}}$ 端子の状態に関係なく1ステート分のウェイトが挿入されます。“10”にすると、1ステート分のウェイトを挿入した後、 $\overline{\text{WAIT}}$ 端子の状態をサンプリングし、端子が“L”レベルならウェイトを挿入し続け、端子が“H”レベルになるまでそのバスサイクルを引き伸ばします。“11”にすると、 $\overline{\text{WAIT}}$ 端子の状態に関係なくウェイトなしで、そのバスサイクルを完了します。リセットにより、これらのビットは“00”(2ウェイトのモード) になります。

(注) DRAM使用時に、DRAMアクセスとリフレッシュが競合した場合設定ウェイトに対してリフレッシュサイクル分が加算されます。

(4) CS/CAS波形セレクト

B3CSレジスタのビット3<B3CAS>は、チップセレクト端子 ($\overline{\text{CS3}}$ / $\overline{\text{CAS}}$) 端子から出力される波形のモードを指定するビットです。このビットを“0”にすると、 $\overline{\text{CS3}}$ の波形になります。“1”にすると、 $\overline{\text{CAS}}$ の波形になります。リセットにより、このビットは“0”にクリアされます。

表3.6 (2) ダイナミックバスサイジング

オペランド データ幅	オペランド スタート番地	メモリ側 データ幅	CPU アドレス	CPUデータ	
				D15 – D8	D7 – D0
8ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxxx	b7 – b0
		16ビット	2n + 0	xxxxxx	b7 – b0
	2n + 1 (奇数)	8ビット	2n + 1	xxxxxx	b7 – b0
		16ビット	2n + 1	b7 – b0	xxxxxx
16ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxxx	b7 – b0
			2n + 1	xxxxxx	b15 – b8
		16ビット	2n + 0	b15 – b8	b7 – b0
	2n + 1 (奇数)	8ビット	2n + 1	xxxxxx	b7 – b0
			2n + 2	xxxxxx	b15 – b8
		16ビット	2n + 1	b7 – b0	xxxxxx
32ビット	2n + 0 (偶数)	8ビット	2n + 0	xxxxxx	b7 – b0
			2n + 1	xxxxxx	b15 – b8
			2n + 2	xxxxxx	b23 – b16
			2n + 3	xxxxxx	b31 – b24
	2n + 1 (奇数)	8ビット	2n + 1	xxxxxx	b7 – b0
			2n + 2	xxxxxx	b15 – b8
			2n + 3	xxxxxx	b23 – b16
			2n + 4	xxxxxx	b31 – b24
	2n + 0 (偶数)	16ビット	2n + 0	b15 – b8	b7 – b0
			2n + 2	b31 – b24	b23 – b16
	2n + 1 (奇数)	16ビット	2n + 1	b7 – b0	xxxxxx
			2n + 2	b23 – b16	b15 – b8
			2n + 3	xxxxxx	b31 – b24
			2n + 4	xxxxxx	b31 – b24

xxxxxx : リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストローブ信号はノンアクティブのままであることを示します。

(5) CS0～CS3空間外バス幅ウェイトコントロール

BEXCSレジスタは、CS0～CS3エリア外のアドレス空間がアクセスされたときのバス幅ウェイトコントロールをするレジスタです。このレジスタには、マスタイネーブルビットはありませんが、このレジスタの設定がCS0～CS3エリア外に対して常にイネーブルになっています。それぞれのビットの意味は上記CS0～CS3のものと同じです。

(6) 16M空間 / アドレス設定空間セレクト

B2CS <B2M> = 0にすることにより16MByte空間 (000080H - FFFFFFFH) でCS2が選択されます。B2CS <B2M> = 1にするとCS0, CS1と同様に、スタートアドレスレジスタMSAR2, アドレスマスクレジスタMAMR2の設定エリアに従いCS2が選択されます。リセットによりこのビットは“0”にクリアされます。

3.6.2 アドレス空間指定

アドレス空間の指定はそれぞれのスタートアドレスレジスタ (**MSAR0, MSAR1, MSAR2, MSAR3**) とアドレスマスクレジスタ (**MAMR0, MAMR1, MAMR2, MAMR3**) により設定します。チップセレクトコントローラは、バスサイクルごとにバス上のアドレスとスタートアドレスレジスタの値を比較します。このアドレスを比較するときにアドレスマスクレジスタの値により比較結果を無視させることができます。比較した結果が一致していると指定された空間がアクセスされたと見なし、設定がイネーブル(**B0E~B3E = "1"**)ならば、対応するチップセレクト端子 (**CS0~CS3**) から、**Low** ストロープ信号が出力されます。設定したアドレス空間が重なっている場合は、**CS** 番号の小さい方が選択されます。なお、**CS2** を **16M** 空間に設定しても、**CS** 番号の小さいほうを選択されます。

また、設定したアドレス空間と内蔵I/Oエリアとが重なった場合は、内蔵I/Oエリアとしての動作が優先されます。

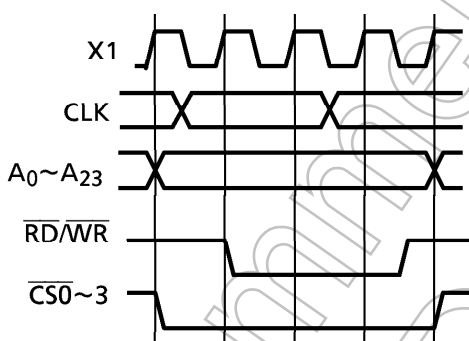


図3.6 (1) チップセレクト (**CS0~CS3**) の動作タイミング

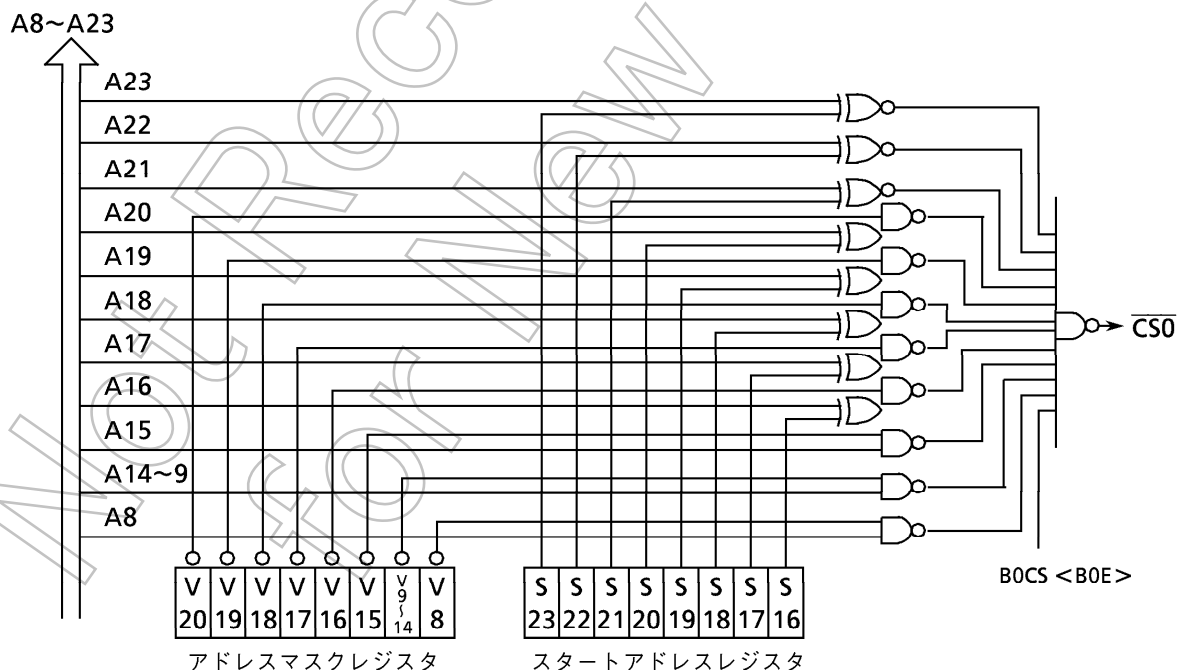


図3.6 (2) **CS0** のアドレスデコーダのブロック図

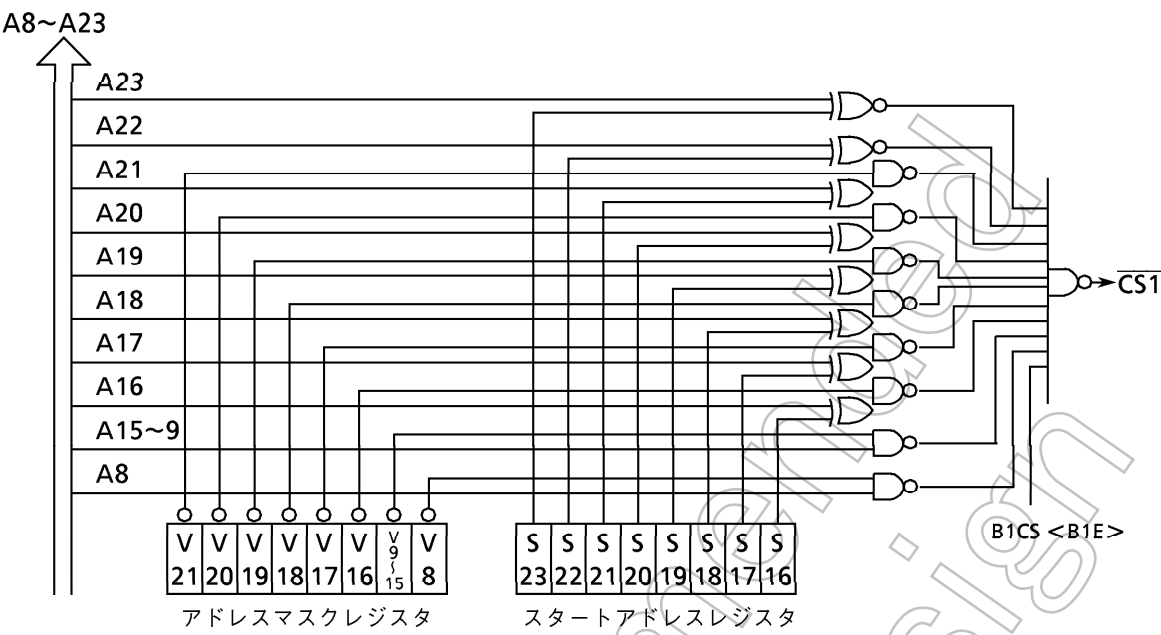


図3.6 (3) CS1のアドレスデコーダのブロック図

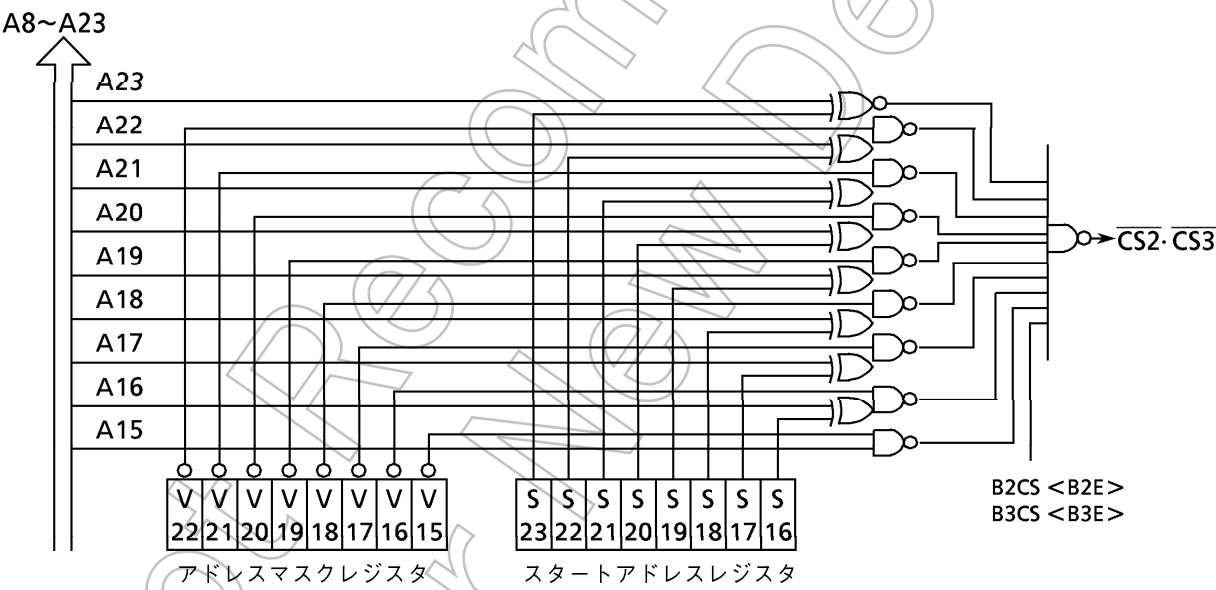


図3.6 (4) CS2・CS3のアドレスデコーダのブロック図

(1) メモリスタートアドレスレジスタ
メモリアドレスマスクレジスタ

表3.6 (3) メモリスタートアドレスレジスタ

メモリアドレスレジスタ ($\overline{CS0} \sim \overline{CS3}$)

		7	6	5	4	3	2	1	0	
MSAR0 (003CH)	MSAR1 (003EH)	bit Symbol	S23	S22	S21	S20	S19	S18	S17	S16
		Read/Write	R/W							
MSAR2 (005CH)	MSAR3 (005EH)	リセット後	1	1	1	1	1	1	1	1
		機 能	スタートアドレス A23～A16設定							

→ $\overline{CS0} \sim \overline{CS3}$ のスタートアドレス設定

表3.6 (4) メモリアドレスマスクレジスタ

メモリアドレスマスクレジスタ ($\overline{CS0}$)

		7	6	5	4	3	2	1	0
MAMR0 (003DH)	bit Symbol	V20	V19	V18	V17	V16	V15	V14~9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機 能	0: 比較有効 1: 比較無効							

→ $\overline{CS0}$ のアドレスA8~A20の比較制御

メモリアドレスマスクレジスタ ($\overline{CS1}$)

		7	6	5	4	3	2	1	0
MAMR1 (003FH)	bit Symbol	V21	V20	V19	V18	V17	V16	V15~9	V8
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機 能	0: 比較有効 1: 比較無効							

→ $\overline{CS1}$ のアドレスA8~A21の比較制御

メモリアドレスマスクレジスタ ($\overline{CS2}, \overline{CS3}$)

		7	6	5	4	3	2	1	0
bit Symbol		V22	V21	V20	V19	V18	V17	V16	V15
MAMR2 (005DH)	MAMR3 (005FH)	Read/Write							
リセット後		1	1	1	1	1	1	1	1
機 能		0: 比較有効 1: 比較無効							

→ $\overline{CS2}, \overline{CS3}$ のアドレスA15~A22の比較制御

MSAR0~3 <S23>~<S16>は、アドレスのA23~A16に対応し、アドレスA15, A14~9, A8に対応するS15, S14~9, S8はデフォルト“0”になっています。MAMR0 <V20>~<V8>はMSAR0で設定した値とアドレスの比較の有効/無効を指定し、<V20>~<V8>は<S20>~<S16>, S15, S14~9, S8に対応しています。また、<S21>, <S22>, <S23>に対応するV21, V22, V23はデフォルト“0”で常に比較が有効になっています。

比較の有効/無効とは

例えば ($\overline{CS0}$ 用レジスタ MSAR0, MAMR0)

<V16>=1で比較を無効にした場合

<S16>の値とアドレスA16の比較が無効になり、<S16>の値が無効となる。

<V16>=0で比較を有効した場合

<S16>の値とアドレスA16の比較が有効になり<S16>の値とA16の値が一致したときのみ $\overline{CS0}$ がイネーブルとなる。

同じ様な考え方で $\overline{CS1}$, $\overline{CS2}$, $\overline{CS3}$ もそれぞれ使用できます。

なおリセット後MSAR0, MSAR1, MSAR2, MSAR3は、“FFH”にセットされ、MAMR0, MAMR1, MAMR2, MAMR3は“FFH”にセットされ、コントロールレジスタのB0E, B1E, B3Eは“0”にリセットされ、 $\overline{CS0}$, $\overline{CS1}$, $\overline{CS3}$ はディセーブル状態になりますが、B2Mは“0”にリセットされ、B2Eは“1”にセットされ、 $\overline{CS2}$ は、000080H~FFFFFFH (16 Mバイト)の空間でイネーブルになります。

(2) スタートアドレスの設定方法

アドレスデコーダは、 $\overline{CS}$ を出力するスタートアドレスと空間サイズを指定することによって出力されます。

スタートアドレスは、ブロック図に示すとおり、**A16~A23**でデコードされるため、**64 K**バイトごとに設定されます。

すなわち、**DRAM**のスタートアドレスは“**000000_H**”以降の**64 K**バイトおきのいずれかに設定されることになります。

ただし、**MAMR**の設定値によって、スタートアドレスが変わってしまう場合があるので注意してください。

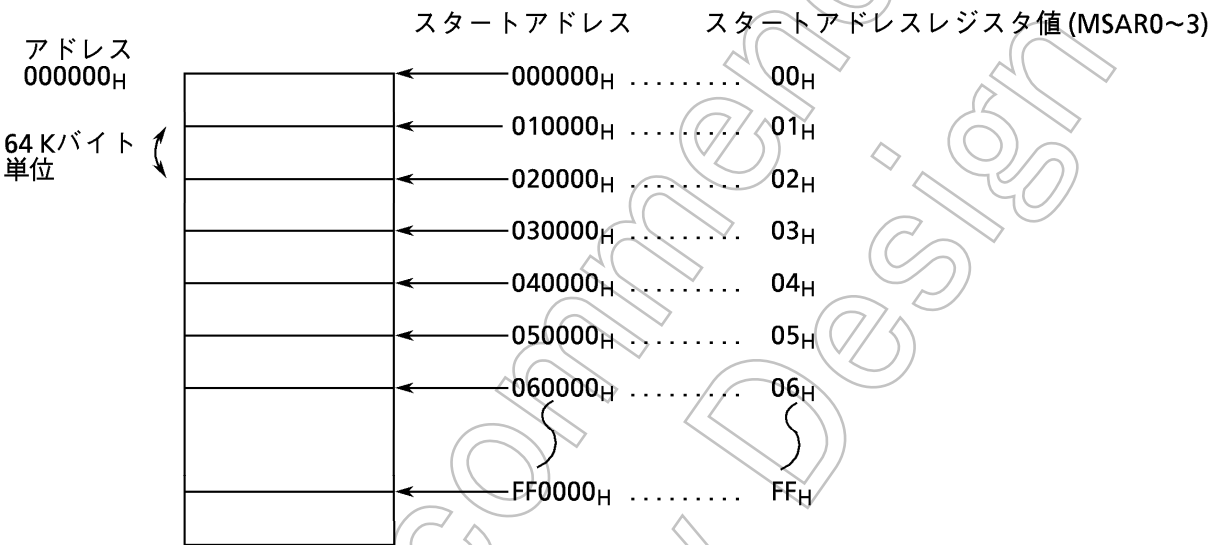


図3.6 (5) スタートアドレスの設定場所

(3) アドレス空間設定方法

アドレス空間は、メモリアドレスマスクレジスタ (**MAMR0~3**) を設定することによって指定されます。

アドレスデコーダのブロック図 (図3.6 (2)~(4)) からわかるとおり、 $\overline{CS0}$ は**A8~A20**, $\overline{CS1}$ は**A8~A21**, $\overline{CS2} \cdot \overline{CS3}$ は**A15~A22**のアドレスの値を比較するか、比較しないかによって、チップセレクト信号の出力できるアドレスエリアを指定することができます。

表3.6 (5) チップセレクトと空間サイズ

サイズ CS	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	○	○	○	○	○		
CS1	○	○		○	○	○	○	○	○	○	
CS2			○	○	○	○	○	○	○	○	○
CS3			○	○	○	○	○	○	○	○	○

(4) 設定手順

- ① メモリスタートアドレスレジスタ (MSAR) 設定
エリアのスタートアドレスを設定します。
- ② メモリアドレスマスクレジスタ (MAMR) 設定
エリア空間を設定します。
- ③ コントロールレジスタ (BnCS) 設定
バス幅、ウェイト数、エリアイネーブル/ディセーブルを設定します。

(設定例)

$\overline{CS0}$ エリアを010000_H~01FFFF_H (64 Kバイト空間)、16ビットバス、0ウェイトにする場合

MSAR0=01_H スタートアドレス 010000_H

MAMR0=07_H アドレス空間 64 Kバイト

B0CS=13_H 16ビットバス、0ウェイト $\overline{CS0}$ 設定イネーブル

3.7 ダイナミックRAM (DRAM) コントローラ

TMP95C061Bは、DRAMをリフレッシュするためのコントロール回路、Read/Writeするためのアクセス回路、およびロー/カラムアドレスマルチプレクサから構成され、 $\times 8/16$ ビット構成のDRAMと容易にインタフェースできます。

1) リフレッシュ方式

$\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ リフレッシュ

2) リフレッシュ間隔

プログラマブル (31-195ステート)

3) リフレッシュサイクル幅

プログラマブル (2-9ステート)

4) アドレスマッピングサイズ

$\overline{\text{CS3}}$ エリア: 64 k - 8 Mバイト

5) メモリアクセスアドレス長

8-11ビット選択

6) ウェイトコントロール

CS/WAITコントローラの設定に従います。

7) リフレッシュアクセス競合時のアービトレーション

リフレッシュを優先し、アクセスサイクルに自動的にウェイトを挿入します。

コントロールレジスタ

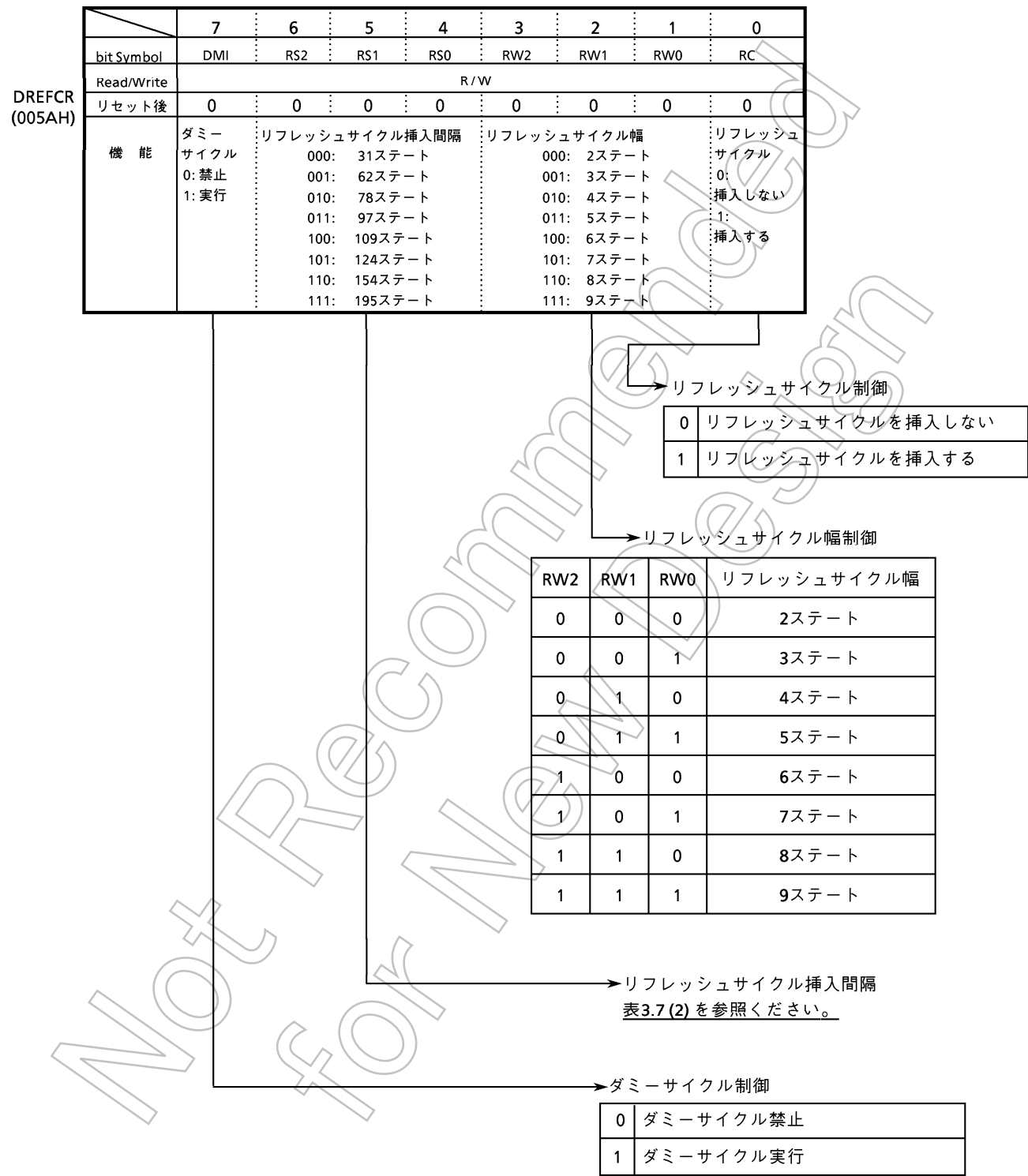


図3.7 (1) リフレッシュコントロールレジスタ

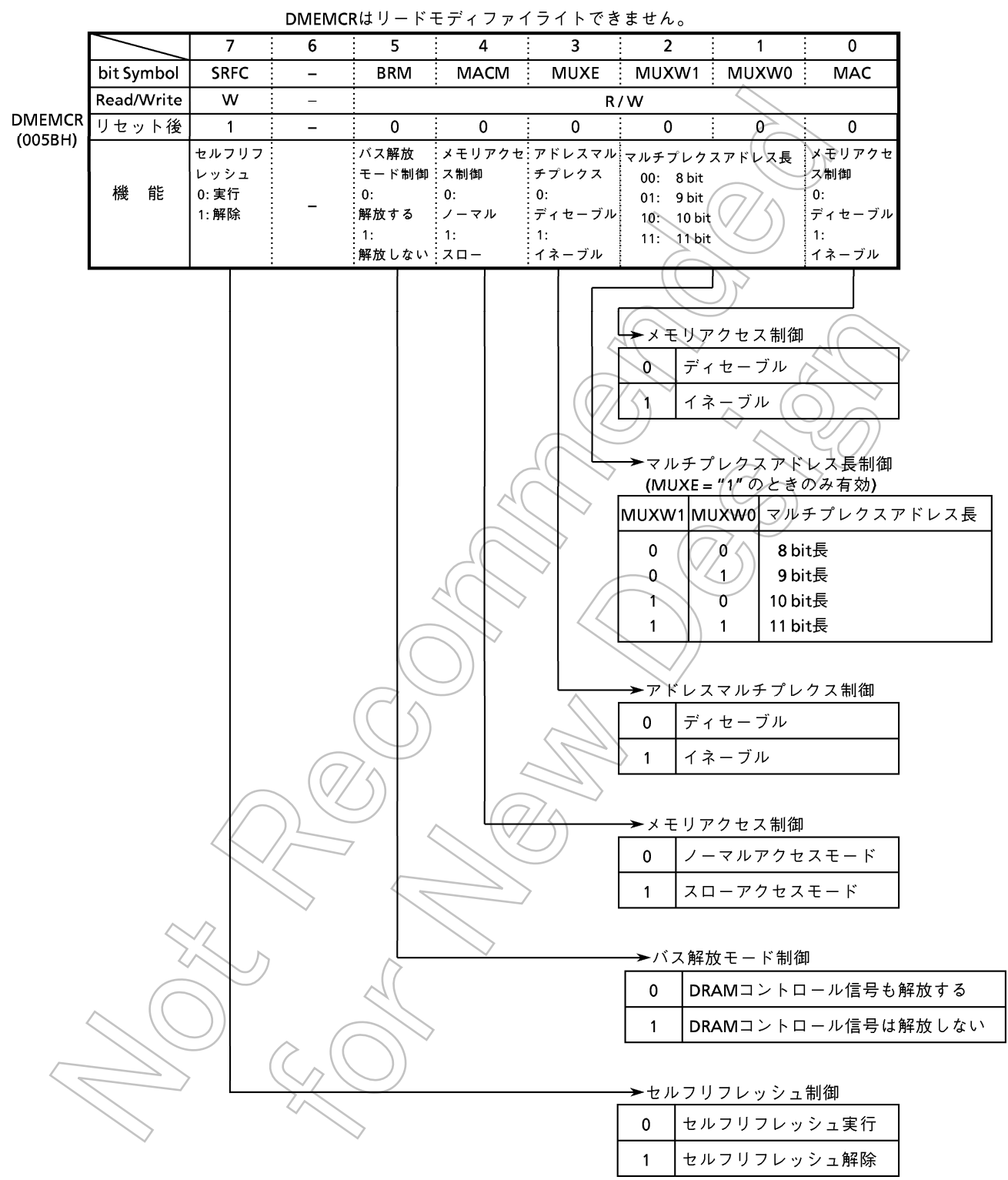


図3.7 (2) DRAMメモリアクセスコントロールレジスタ

動作説明

(1) メモリアクセスコントロール

アクセスコントロール部は、**DMEMCR<MAC>=“1”**のとき、アクセスコントロール制御がイネーブルになります。アクセスコントロール制御がイネーブルになり、**CS**ウェイトコントローラで設定された**CS3**エリアがアクセスされると、**DRAM**メモリアクセスコントロールレジスタの設定にしたがって、**DRAM**へ有効な信号 (**RAS**, **CAS**) を出力します。このときのアクセスサイクル (バス幅、ウェイト数) は、**CS**ウェイトコントローラの**CS3**エリアの設定に従います。

また、この**DRAM**コントローラは、低速**DRAM**との接続を容易にするため、ウェイト挿入時の**RAS**の立ち上がりを早め、**RAS**プリチャージ時間 (**RAS** “H” レベル幅) を延すことができます。(スローアクセスモード) この設定は、**DMEMCR <MACM>** により行います。

さらに、このアクセスサイクルにおいて、内部アドレスマルチプレクサによって、**A0~A11**よりロー/カラムアドレスを出力することができます。このときのマルチプレクスする/しないは、**DMEMCR<MUXE>**ビットにより設定し、マルチプレクス幅は、**DMEMCR<MUXW0,1>**により選択できます。ただし、8ビットバスアクセスか、16ビットバスアクセスかにより、マルチプレクスされるアドレスラインが変わります。これを、表3.7 (1) に示します。

図3.7 (3), (4) にアクセスタイミングを示します。

表3.7 (1) アドレスマルチプレクス

ローアドレス	カラムアドレス								マルチプレクス アドレス長 アクセスバス幅 (CSウェイトコント ローラで設定)
	8 BIT		9 BIT		10 BIT		11 BIT		
	8	16	8	16	8	16	8	16	
A0	A8	－	A9	－	A10	－	A11	－	
A1	A9	A9	A10	A10	A11	A11	A12	A12	
A2	A10	A10	A11	A11	A12	A12	A13	A13	
A3	A11	A11	A12	A12	A13	A13	A14	A14	
A4	A12	A12	A13	A13	A14	A14	A15	A15	
A5	A13	A13	A14	A14	A15	A15	A16	A16	
A6	A14	A14	A15	A15	A16	A16	A17	A17	
A7	A15	A15	A16	A16	A17	A17	A18	A18	
A8	－	A16	A17	A17	A18	A18	A19	A19	
A9	－	－	－	A18	A19	A19	A20	A20	
A10	－	－	－	－	－	A20	A21	A21	
A11	－	－	－	－	－	－	－	A22	

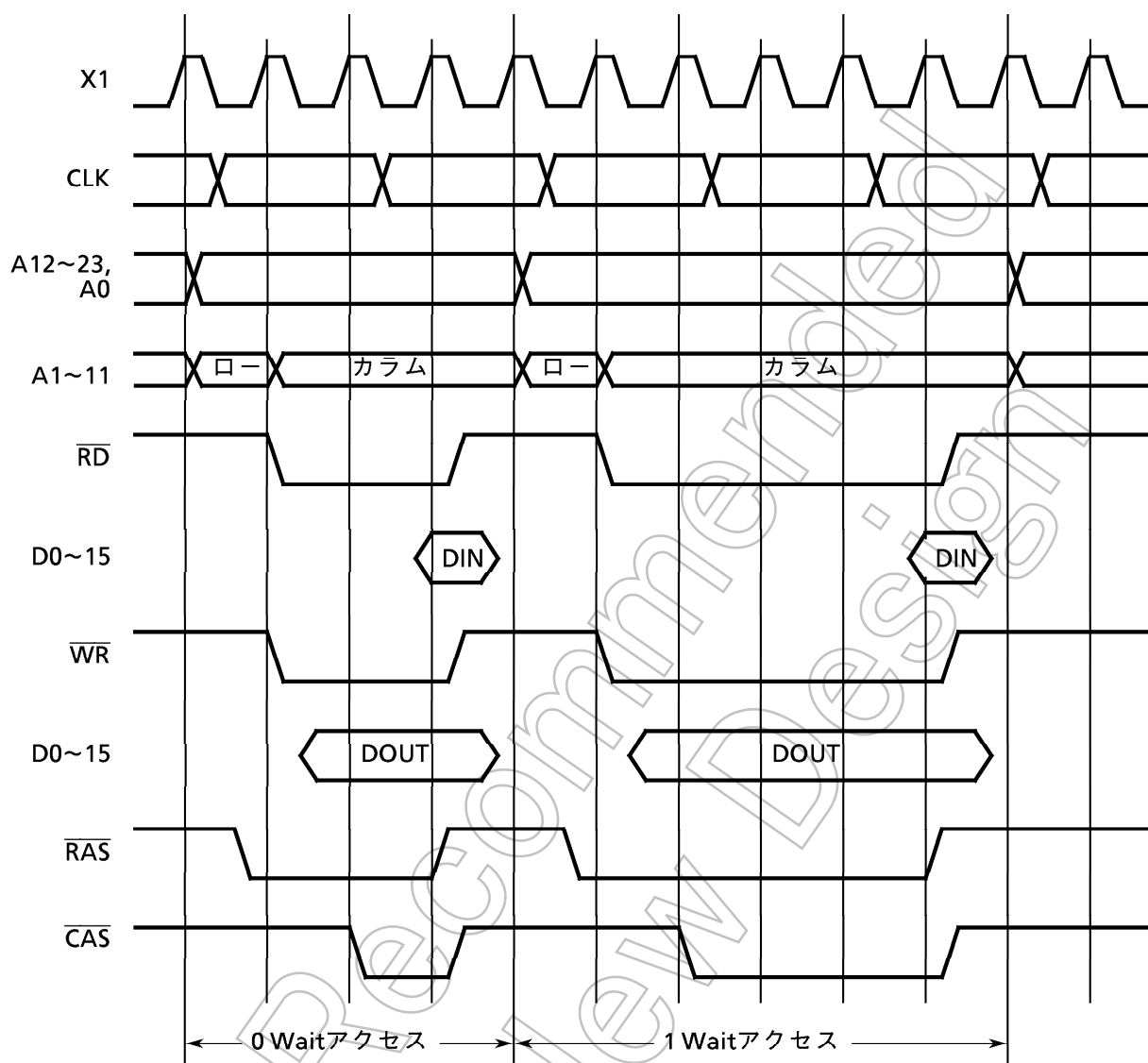


図3.7 (3) DRAMアクセスタイミング (ノーマルアクセスモード)

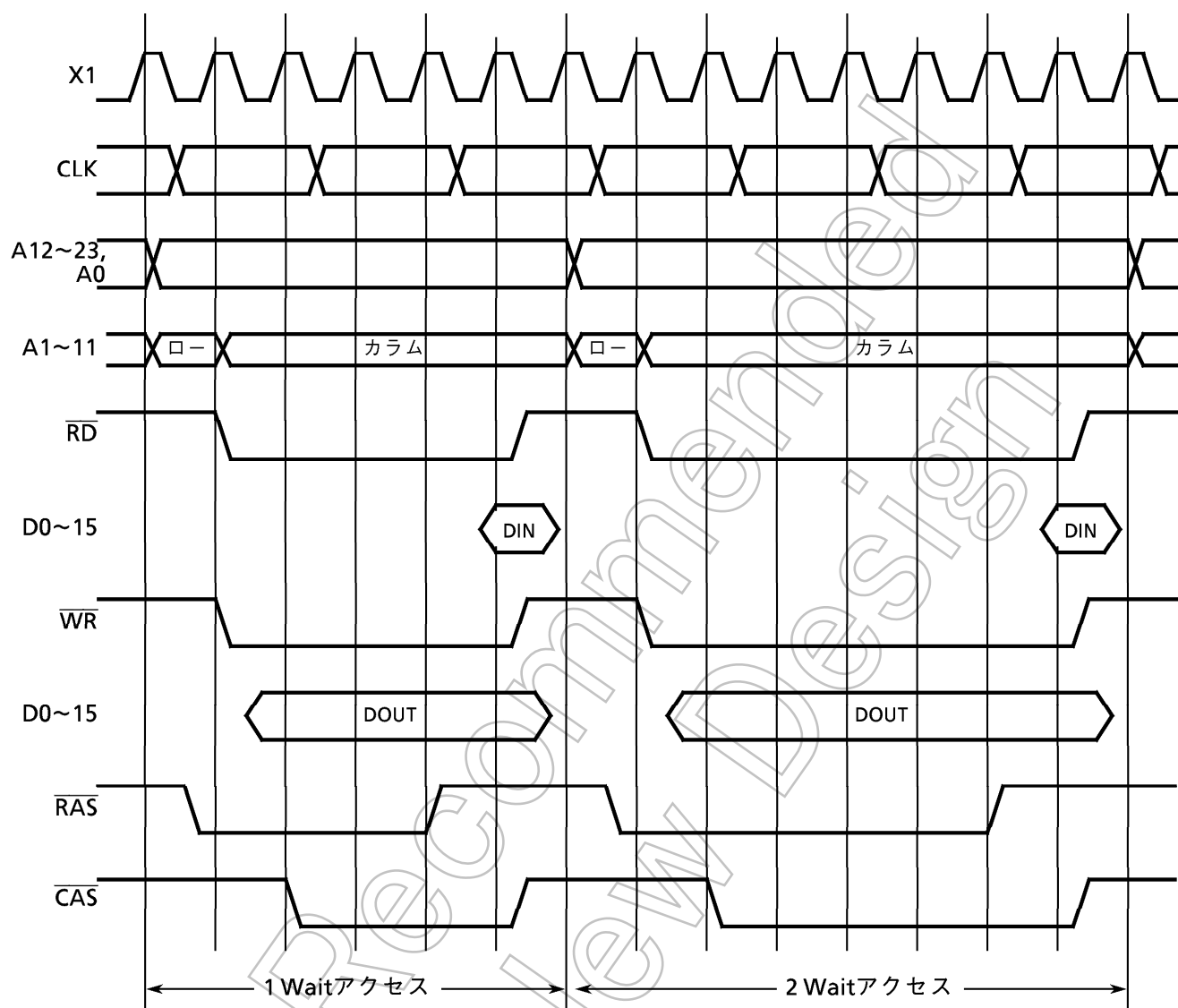


図3.7 (4) DRAMアクセスタイミング (スローアクセスモード)

(2) リフレッシュコントローラ部

TMP95C061Bは、DRAMリフレッシュに使用できる $\overline{\text{RAS}}$ / $\overline{\text{CAS}}$ を出力することができます。また、同時にリフレッシュサイクルであることを示すステート信号の $\overline{\text{REFOUT}}$ も出力されます (インタバル方式のときのみ)。

$\overline{\text{RAS}}$ / $\overline{\text{CAS}}$ 出力は、出力周期および出力パルス幅をプログラマブルに設定できるため、DRAMのリフレッシュを容易に実現することができます。

リフレッシュコントローラ部には、次の特長があります。

- リフレッシュ方式 : $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ インタバルリフレッシュ方式
 $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ セルフリフレッシュ方式
- リフレッシュ間隔 : 31~195ステート (プログラマブル)
- リフレッシュサイクル幅 : 2~9ステート (プログラマブル)
- ダミーサイクル発生可能
- リフレッシュサイクルは、CPU動作サイクルとは非同期になっています。

i) $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ インタバルリフレッシュ方式

$\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ リフレッシュ方式において、リフレッシュ間隔およびリフレッシュサイクル幅は、使用するDRAMによって異なります。

そこでTMP95C061Bは、リフレッシュコントロールレジスタ値を変更することで、使用するシステムクロックおよびDRAMに合わせてリフレッシュ間隔およびリフレッシュ幅サイクルを設定できるようにしています。

図3.7 (5) に $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ リフレッシュサイクルのタイミング例を示します。

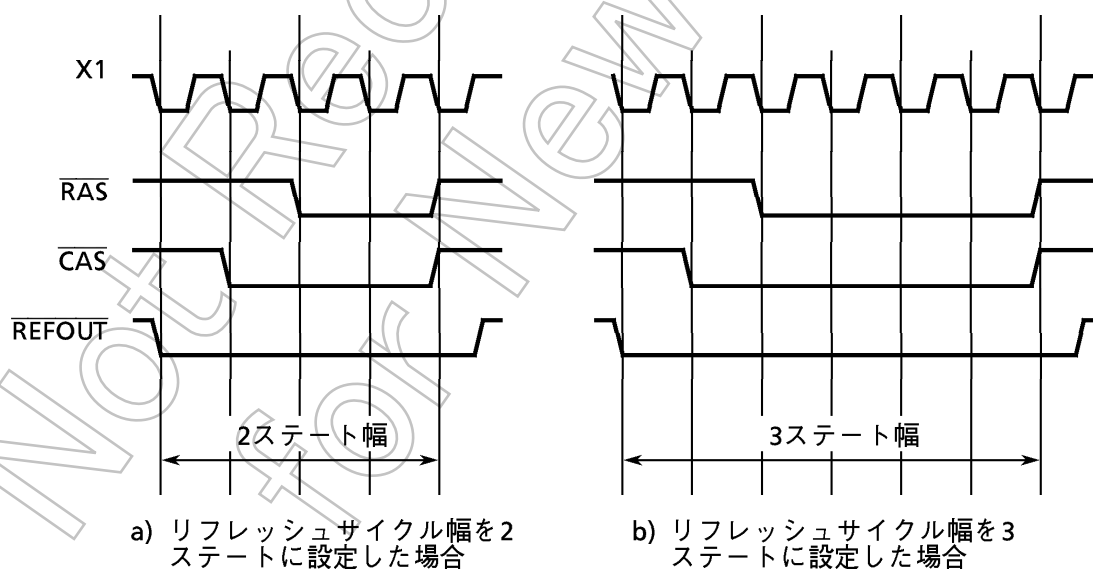


図3.7 (5) リフレッシュサイクルのタイミング例

次にレジスタの設定方法を説明します。

図3.7(1)にリフレッシュコントロールレジスタDREFCRのビット構成を示します。

① リフレッシュサイクル挿入間隔

DREFCR<RS2~0>の3ビットにより、使用するシステムクロックに合わせて、挿入間隔を設定します。

例) システムクロックを25 MHzで使用しているとき、DRAMのリフレッシュサイクルを15.6 μ sにしたければこのビットに“111”を設定します。

表3.7 (2) リフレッシュサイクル挿入間隔

リフレッシュサイクル			挿入間隔 (ステート)	周 波 数 (fosc)						
RS2	RS1	RS0		8 MHz	10 MHz	12.5 MHz	14 MHz	16 MHz	20 MHz	25 MHz
0	0	0	31	7.55	6.2	4.96	4.43	3.88	3.1	2.5
0	0	1	62	15.5	12.4	9.92	8.86	7.75	6.2	5.0
0	1	0	78	19.5	15.6	12.48	11.14	9.75	7.8	6.2
0	1	1	97	24.25	19.4	15.52	13.86	12.13	9.7	7.7
1	0	0	109	27.25	21.8	17.44	15.57	13.63	10.9	8.7
1	0	1	124	31.0	24.8	19.84	17.72	15.5	12.4	9.9
1	1	0	154	38.5	30.8	24.7	22.0	19.3	15.4	12.3
1	1	1	195	48.75	39.0	31.2	27.86	24.4	19.5	15.6

(単位: μ s)

② リフレッシュサイクル幅

DREFCR<RW2~0>の3ビットにより、リフレッシュサイクル幅 ($\overline{\text{RAS}}$, $\overline{\text{CAS}}$ Low出力幅)を変更することができます。(2~9ステート)

③ リフレッシュサイクル制御

DREFCR<RC>のビットを操作することにより、リフレッシュサイクルの禁止/許可を制御できます。

ii) $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ セルフリフレッシュ方式

このリフレッシュは $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ インタバルリフレッシュ (以下インタバルモード) 方式で動作途中で、**HALT (IDLE, STOP)** 命令を実行し、**DRAM**コントローラへのクロック供給が停止させてしまう場合に対応したリフレッシュ方式です。

図3.7 (6)にセルフリフレッシュ方式のタイミング図を示します。

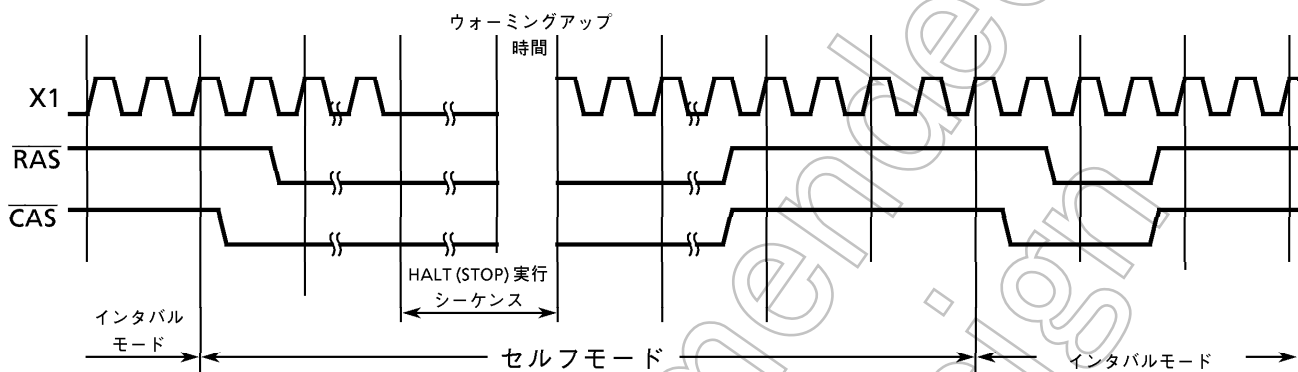


図3.7 (6) セルフリフレッシュサイクルのタイミング

実行方法は、まず通常のインタバルモードの設定を行います。そして**HALT**命令の前に**DMEMCR<SRFC>**を“0”にすることで1回通常のリフレッシュを行い、その後 $\overline{\text{CAS}}$ 端子と $\overline{\text{RAS}}$ 端子は“L”レベルに保持され、セルフリフレッシュモードに入ります。**HALT**が解除され、**DRAM**コントローラにクロックが供給されると、自動的に、**DMEMCR<SRFC>**を“1”にし、セルフリフレッシュモードを解除されます。また、解除後、かならず一回の通常リフレッシュを行い、インタバルモードに戻ります (ただし、リセットによる**HALT**解除時は、**I/O**レジスタがイニシャライズされてしまうため、通常リフレッシュは行われません)。

DMEMCR<SRFC>を“0”にした後、**NOP**などの何らかの命令の後に**HALT**命令を実行してください。

(3) DRAMイニシャライズ

DRAMコントローラは、DRAM使用時に必要な連続した $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ ダミーサイクルを発生することができます。 $\text{DREFCR} \langle \text{DMI} \rangle$ のビットを“1”にセットすることで実行されます。解除は、 $\langle \text{DMI} \rangle$ への“0”書き込み(リセットも含む)、リフレッシュサイクル挿入イネーブル($\text{DREFCR} \langle \text{RC} \rangle = \text{“1”}$)、または、アクセスコントロールイネーブル($\text{DMEMCR} \langle \text{MAC} \rangle = \text{“1”}$)にすることにより行われます。

リフレッシュサイクル挿入イネーブル、アクセスコントロールイネーブルにより、ダミーサイクルを解除した場合、 $\langle \text{DMI} \rangle$ ビットは、“0”クリアされません。

ダミーサイクルの幅は4ステート幅6ステート間隔固定です。

図3.7(7) $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ ダミーサイクルのタイミングを示します。

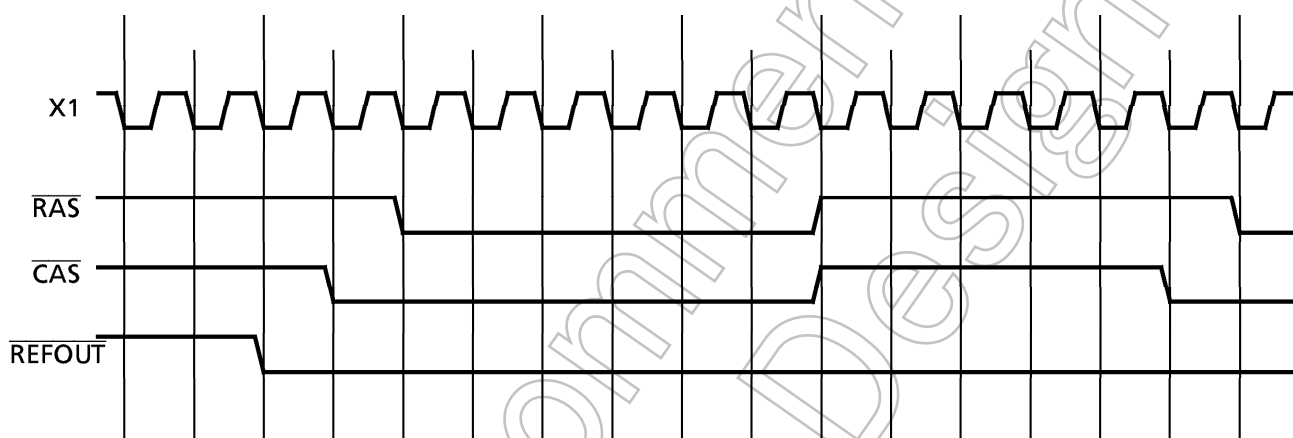


図3.7 (7) $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ ダミーサイクルのタイミング

(4) 優先順位

DRAMへのリフレッシュサイクルは、CPUの動作サイクルと非同期なため、DRAMへのリード/ライトサイクルと重なる場合があります。この場合、DRAMコントローラは、先に入ったサイクル動作を優先させます。また、リフレッシュサイクルが優先された場合、リフレッシュサイクルが完結されるまで、メモリアクセスサイクルに自動的にウェイトを挿入します。

(5) バス解放モード

TMP95C061Bはバス解放機能を持っています。DRAMコントロール専用端子(RAS, CAS, REFOUT)に付いては、他端子と同様に解放する(ハイインピーダンスにする)モードと、解放せず(ドライブしたまま)、リフレッシュサイクル出力のみサポートするモードを選択することができます。この設定は、DMECR<BRM>で行います。バス解放時のその他の端子状態は「3.14.2バス解放時の端子状態」を参照してください。

① DRAMコントロール専用端子も解放するモード (DMECR<BRM> = “0”)

バス解放要求(BUSRQ)端子がアクティブ(“L”レベル)になると、TMP95C061Bはバス解放要求があることを認識し、実行中のバスサイクル(DRAMアクセスサイクルも含む)が終了後、DRAMコントロール専用端子(RAS, CAS, REFOUT)をかならず“H”レベルにしてから出力バッファをOFFし、ハイインピーダンス状態にします。また、リフレッシュサイクルは、アクセスサイクルとは非同期に行われるため、リフレッシュ要求が発生し、バス解放要求時までアクセスサイクルとの競合によりリフレッシュサイクルが待たされているときは、リフレッシュサイクルが行われ、完了するまでバス解放タイミングを遅らせます。

なお、バス解放中もリフレッシュカウンタはカウントし続けます。バス解放中に発生したリフレッシュ要求は1回だけ保持され、バス解放終了し、TMP95C061Bにバス権が戻るとすぐにリフレッシュサイクルを行います。

バス解放要求およびリフレッシュカウンタは、バスサイクルに非同期なため、このモードを使用する場合はバス解放中に外部バスマスタにより、リフレッシュサイクルを発生する必要があります。

② DRAMコントロール専用端子は解放しないモード (DMECR<BRM> = “1”)

このモードはバス解放中、外部バスマスタによりDRAMをアクセスしない場合に有効なモードです。このモードに設定されていると、バス解放要求があっても、DRAM専用端子はバス解放せず、リフレッシュサイクルのみサポートし続けます。ただし、DRAM専用端子以外はかならず解放します。また、バス解放タイミングは、①の場合とは違い、リフレッシュ要求に影響されません。

リセットにより、DMECR<BRM>は“0”にリセットされ、DRAMコントロール専用端子も解放するモードになります。

(6) 注意

リフレッシュとアクセスが競合したとき、 $\overline{\text{WR/HWR}}$ 端子がアクティブ状態でリフレッシュ信号を出力します (図3.6(8))。

- ① 図3.6 (8) の (a) のタイミングで “ $\overline{\text{WRITE}}, \overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ リフレッシュサイクルテストモード” を実行する DRAM を使用する場合は、(7) 接続例 (v) の外部回路例 (a) のように、このテストモードを回避する対策回路が必要になり、ダイレクト接続できません。
- ② 図3.6 (8) の (b) のタイミングで “ライトパービットモード” となる DRAM を使用する場合は、(7) 接続例 (vi) の外部回路例 (b) のように、このモードを回避する対策回路が必要になり、ダイレクト接続できません (TMP95C061B はライトパービットモードに対応していません)。
また、上記①のテストモードとライトパービットモードの両モードを有する DRAM にも、(7) 接続例 (vi) の外部回路例 (b) のような対策回路をご使用ください。

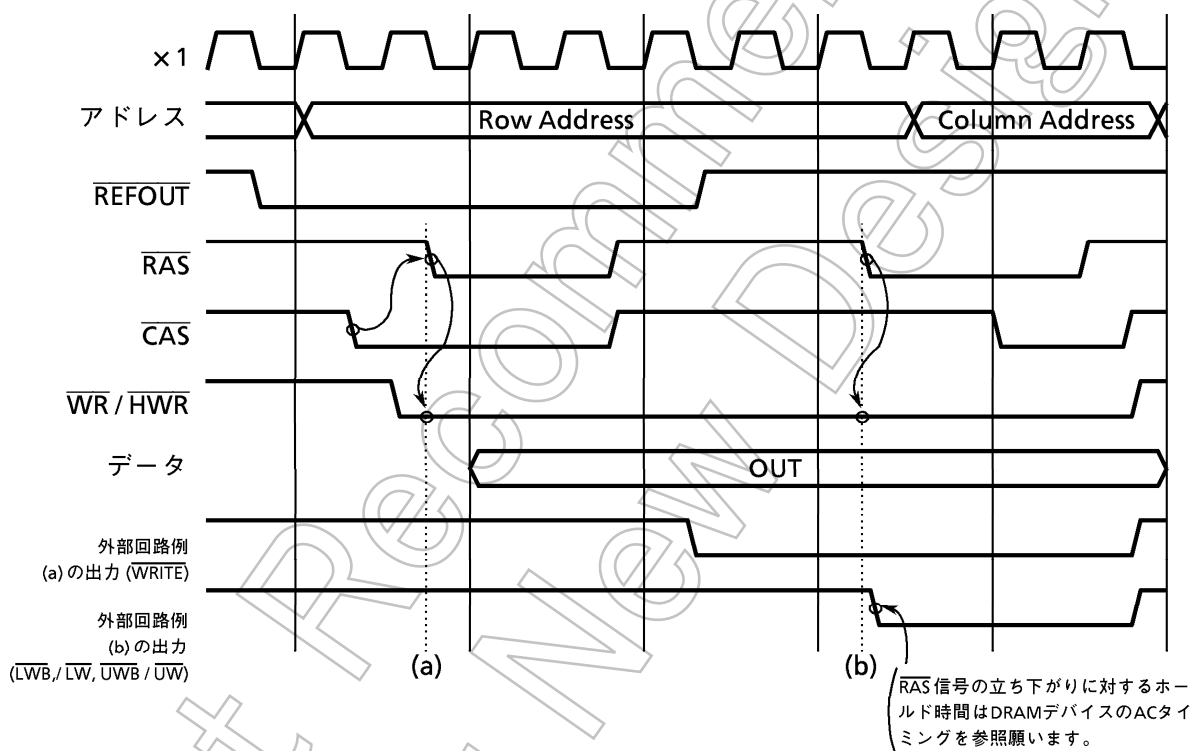
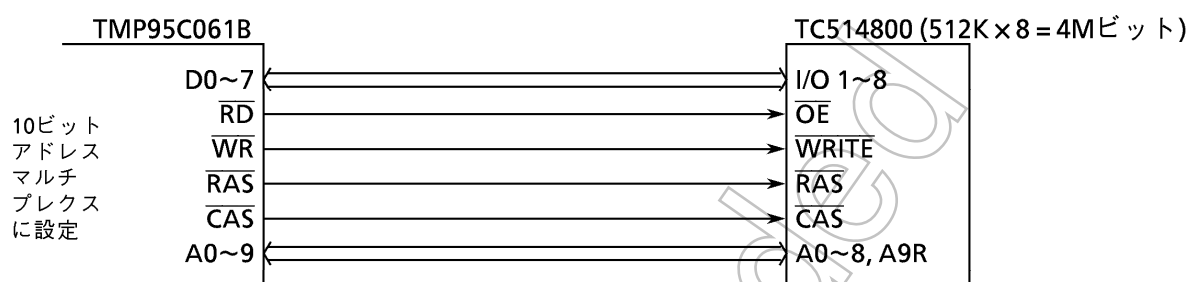


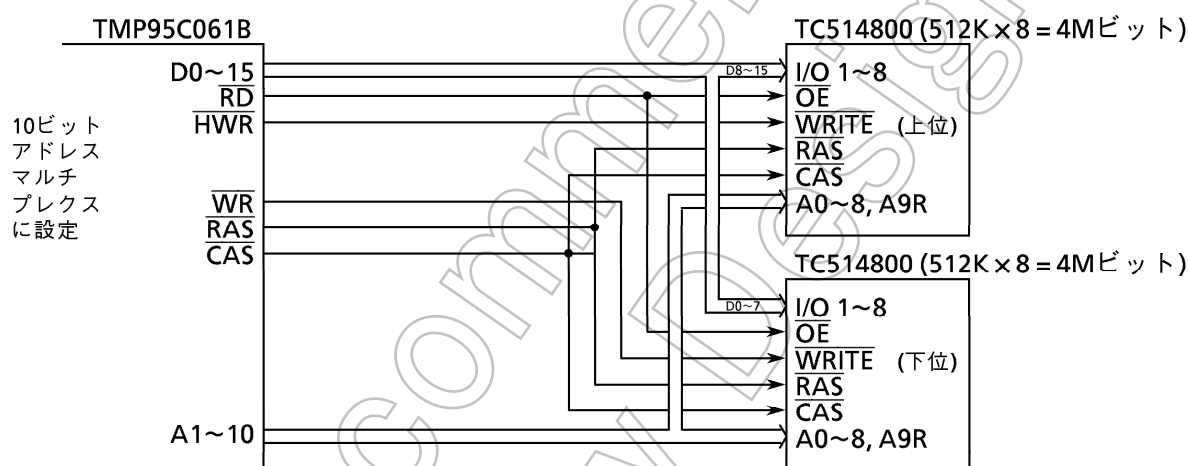
図3.6 (8) リフレッシュ・アクセス競合タイミング

(7) 接続例

接続例 (i) 8ビットバス構成



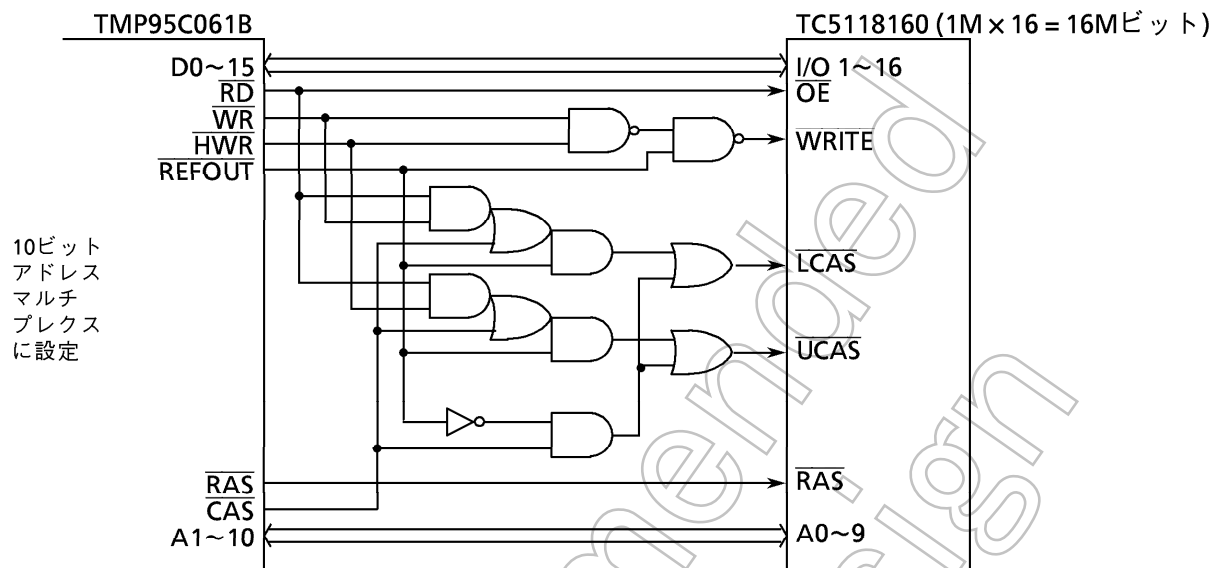
接続例 (ii) 16ビットバス構成 (×8ビットDRAM 2個使い)



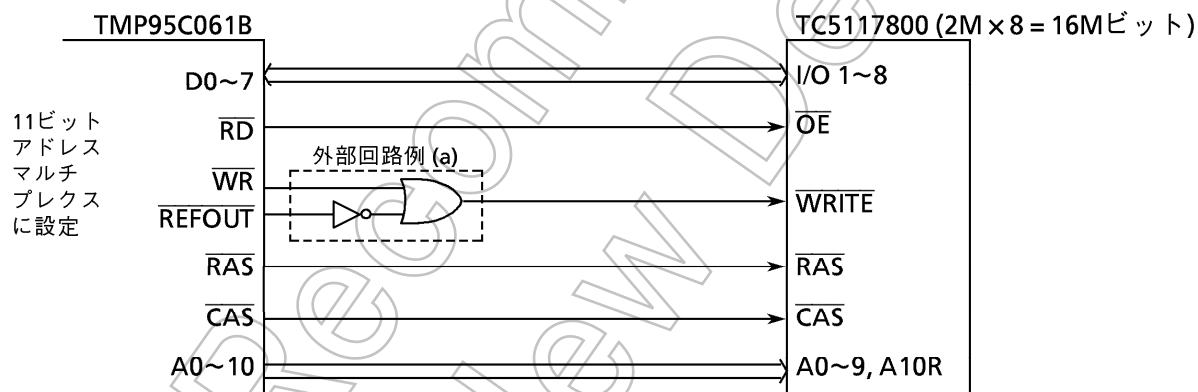
接続例 (iii) 16ビットバス構成 (2WE方式)



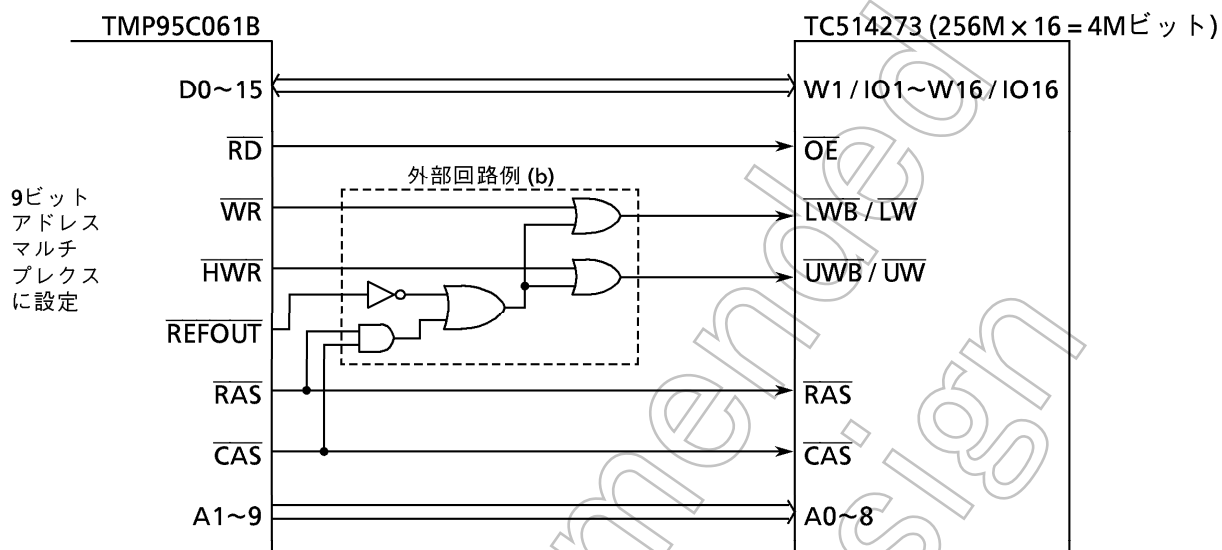
接続例 (iv) 16ビットバス構成 (2CAS方式)



接続例 (v) WRITE, CASビフォアRASリフレッシュテストモードを有するDRAMとの接続



接続例 (vi) ライトパービットモードを有するDRAMまたは、ライトパービットモードと $\overline{\text{WRITE}}$, $\overline{\text{CAS}}$ ピフォア $\overline{\text{RAS}}$ リフレッシュテストモードの両モードを有するDRAMとの接続



3.8 8ビットタイマ

TMP95C061Bは、8ビットタイマを4本(タイマ0, 1, 2, 3)内蔵しています。

4本の8ビットタイマはそれぞれ独立に動作させることができ、また、カスケード接続することで2本の16ビットタイマにもなります。8ビットタイマは次のような4種類の動作モードを持っています。

- 8ビットインタバルタイマモード (4本)
 - 16ビットインタバルタイマモード (2本)
 - 8ビットプログラマブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード (2本)
 - 8ビットPWM (パルス幅変調: 固定周期で可変デューティ) 出力モード (2本)
- } 組み合わせ可能
(8ビット×2本, 16ビット×1本)

図3.8 (1)に8ビットタイマ(タイマ0, 1)のブロック図を示します。

タイマ2, 3はタイマ0, 1と同様な回路構成です。

ただし、タイマ0は外部クロックTIO端子を持っていますが、タイマ2は外部クロックを持っていません。

各インタバルタイマは8ビットのアップカウンタ、8ビットのコンパレータおよび8ビットのタイマレジスタで構成され、タイマ0, 1のペアとタイマ2, 3のペアにそれぞれ1つずつタイマフリップフロップ(TFF1, TFF3)が用意されています。

各インタバルタイマへの入力クロックソースのうち $\phi T1$, $\phi T4$, $\phi T16$, $\phi T256$ の内部クロックは図3.8 (2)に示す9ビットのプリスケアラより得ています。

8ビットタイマの動作モードやタイマフリップフロップは5つのコントロールレジスタ (T01MOD, T23MOD, TFFCR, TRUN, TRDC)で制御されます。

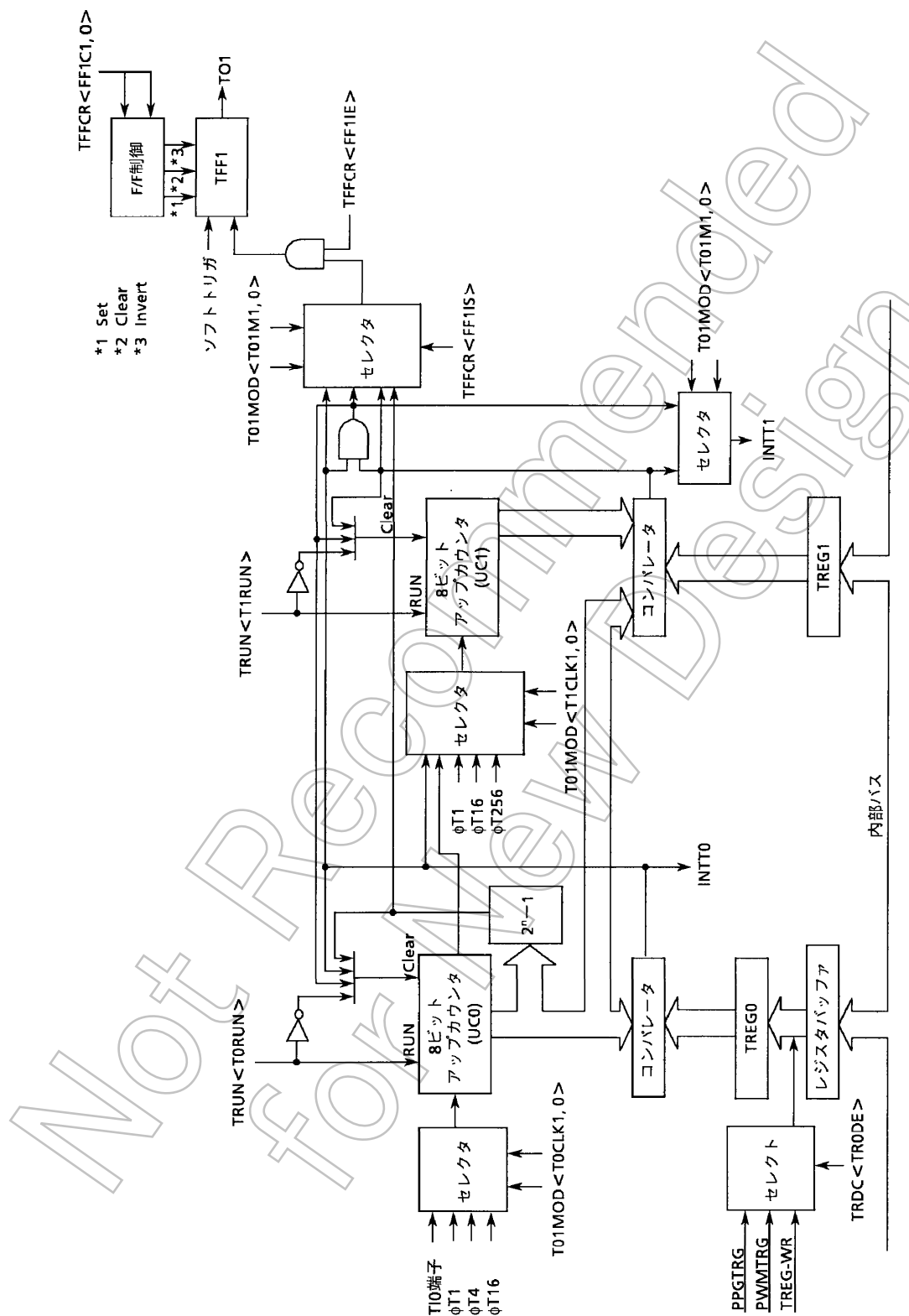


図3.8(1) 8ビット タイマのブロック図 (タイマ0, 1)

① プリスケータ

CPUクロック (fc) を4分周したクロック (fc/4) をさらに分周する9ビットのプリスケータで、8ビットタイマ、16ビットタイマ/イベントカウンタ、ポーレートジェネレータ等への入力クロックを生成しています。

8ビットタイマには、このうちφT1、φT4、φT16、φT256の4種類のクロックが用いられます。

このプリスケータは、タイマ動作コントロールレジスタTRUN<PRRUN>によってカウント/停止させることができます。<PRRUN>=1にするとカウント開始し、<PRRUN>=0にするとゼロクリアされて停止します。リセット時は、<PRRUN>は“0”にクリアされますので、プリスケータはクリアされ停止します。

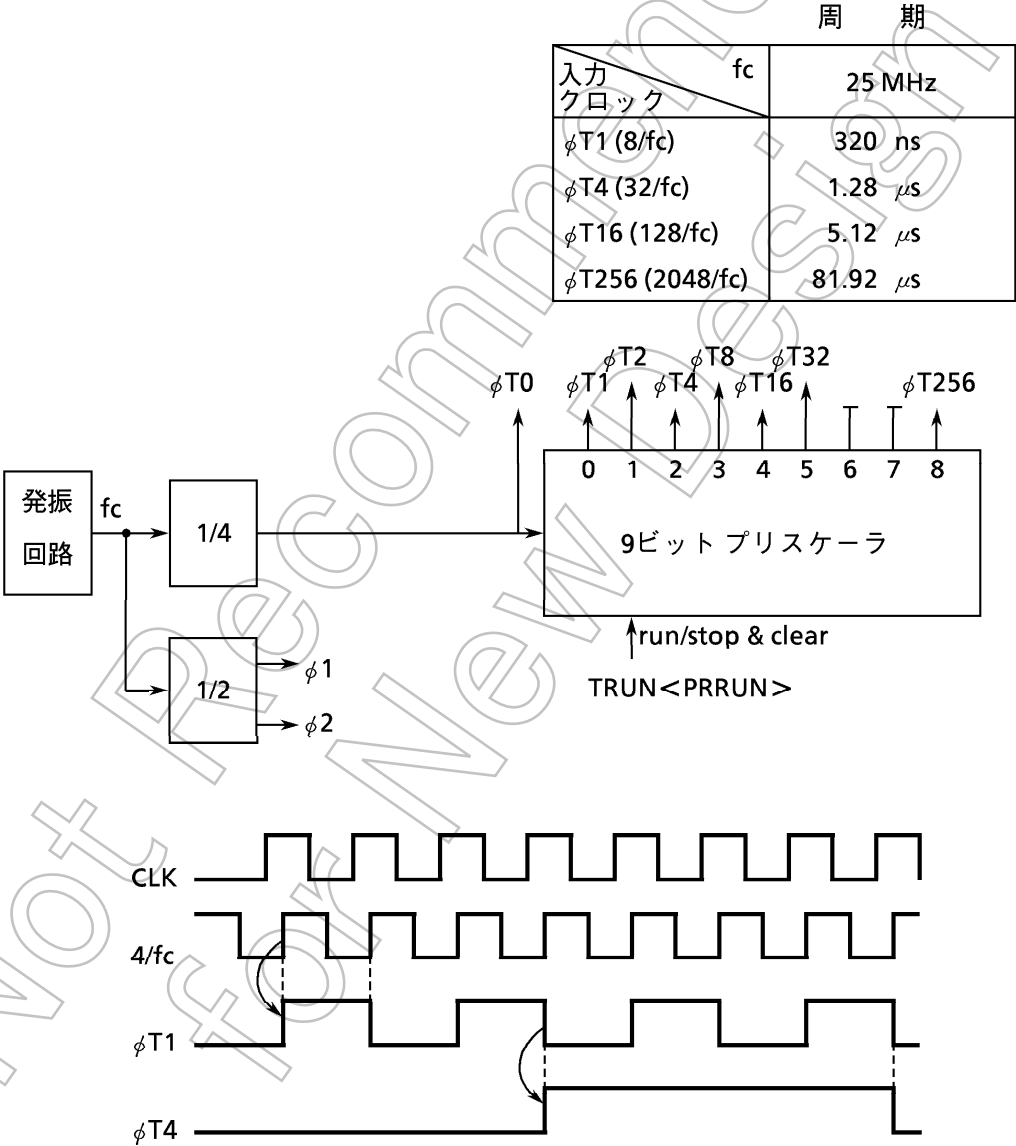


図3.8 (2) プリスケータ

② アップカウンタ

タイマ0,1モードレジスタ**T01MOD**およびタイマ2,3モードレジスタ**T23MOD**で指定された入力クロックによってカウントアップする8ビットのバイナリカウンタです。

タイマ0/タイマ2の入力クロックは3種類の内部クロック $\phi T1$, $\phi T4$, $\phi T16$ から、タイマ0のみ**TI0**端子(**PA1**と兼用)からの外部クロックを**T01MOD**レジスタおよび**T23MOD**レジスタの設定値に応じて選択されます。

タイマ1/タイマ3の入力クロックは動作モードによって異なり、16ビットタイマモードに設定した場合は、タイマ0/タイマ2のオーバーフロー出力が入力クロックとなります。

16ビットタイマモード以外の設定の場合は、**T01MOD**レジスタおよび**T23MOD**レジスタの設定により内部クロック $\phi T1$, $\phi T16$, $\phi T256$ と、タイマ0/タイマ2のコンパレータ出力(一致検出)の中から選択されます。

例 : **T01MOD**<**T01M1,0**>=01なら、タイマ1の入力クロックはタイマ0のオーバーフロー出力となります。(16ビットタイマ)

T01MOD7,6=00, **T01MOD**3,2=01なら、タイマ1の入力クロックは $\phi T1$ となります。(8ビットタイマ)

動作モードも**T01MOD**レジスタと**T23MOD**レジスタで設定します。リセット時は、**T01MOD**<**T01M1,0**>=00, **T23MOD**<**T23M1,0**>=00に初期化されますので、8ビットタイマモードとなっています。

アップカウンタは、タイマ動作コントロールレジスタ**TRUN**によってカウント/停止&クリアを各インタバルタイマごとに制御することができます。リセット時、すべてのアップカウンタはクリアされて、タイマは停止しています。

③ タイマレジスタ

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタ**TREG0,1,2,3**への設定値とアップカウンタの値とが一致するとコンパレータの一致検出信号がアクティブになります。設定値を00Hにした場合は、アップカウンタのオーバーフロー時に一致検出信号がアクティブになります。

このタイマレジスタの**TREG0/TREG2**はダブルバッファ構成になっており、それぞれレジスタバッファとペアになっています。

TREG0/TREG2は、タイマレジスタダブルバッファコントロールレジスタ**TRDC**の<**TR0DE**, **TR2DE**>によってダブルバッファのイネーブル/ディセーブルを制御します。<**TR0DE**>/<**TR2DE**>=0のときディセーブル、<**TR0DE**>/<**TR2DE**>=1のときイネーブルとなります。

ダブルバッファイネーブル時のレジスタバッファからタイマレジスタへのデータ転送タイミングは、**PWM**モードの $2n-1$ オーバーフローまたは**PPG**モードの周期のコンペア一致時に行われます。

リセット時は<**TR0DE**>/<**TR2DE**>=0に初期化されダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み、<**TR0DE**>/<**TR2DE**>=1に設定した後レジスタバッファに次のデータを書き込んでください。

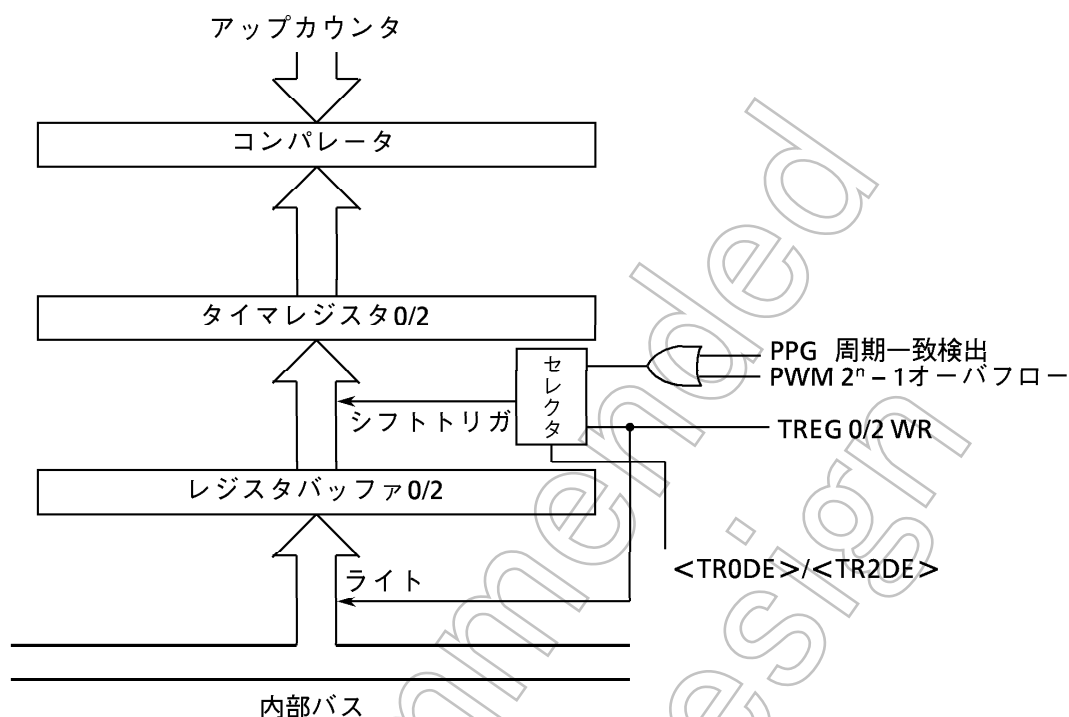


図3.8 (3) タイマレジスタ0/2の構成

注意) タイマレジスタとレジスタバッファは同じメモリ番地に割り付けられています。
 $\langle \text{TR0DE} \rangle / \langle \text{TR2DE} \rangle = 0$ のときはレジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、 $\langle \text{TR0DE} \rangle / \langle \text{TR2DE} \rangle = 1$ のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのメモリ番地は次のとおりです。

TREG0 : 000022H

TREG1 : 000023H

TREG2 : 000026H

TREG3 : 000027H

各レジスタともライトオンリーのレジスタでリードできません。

なお、初期値は不定なため、8ビットタイマを使用する場合は、かならずデータを書き込む必要があります。

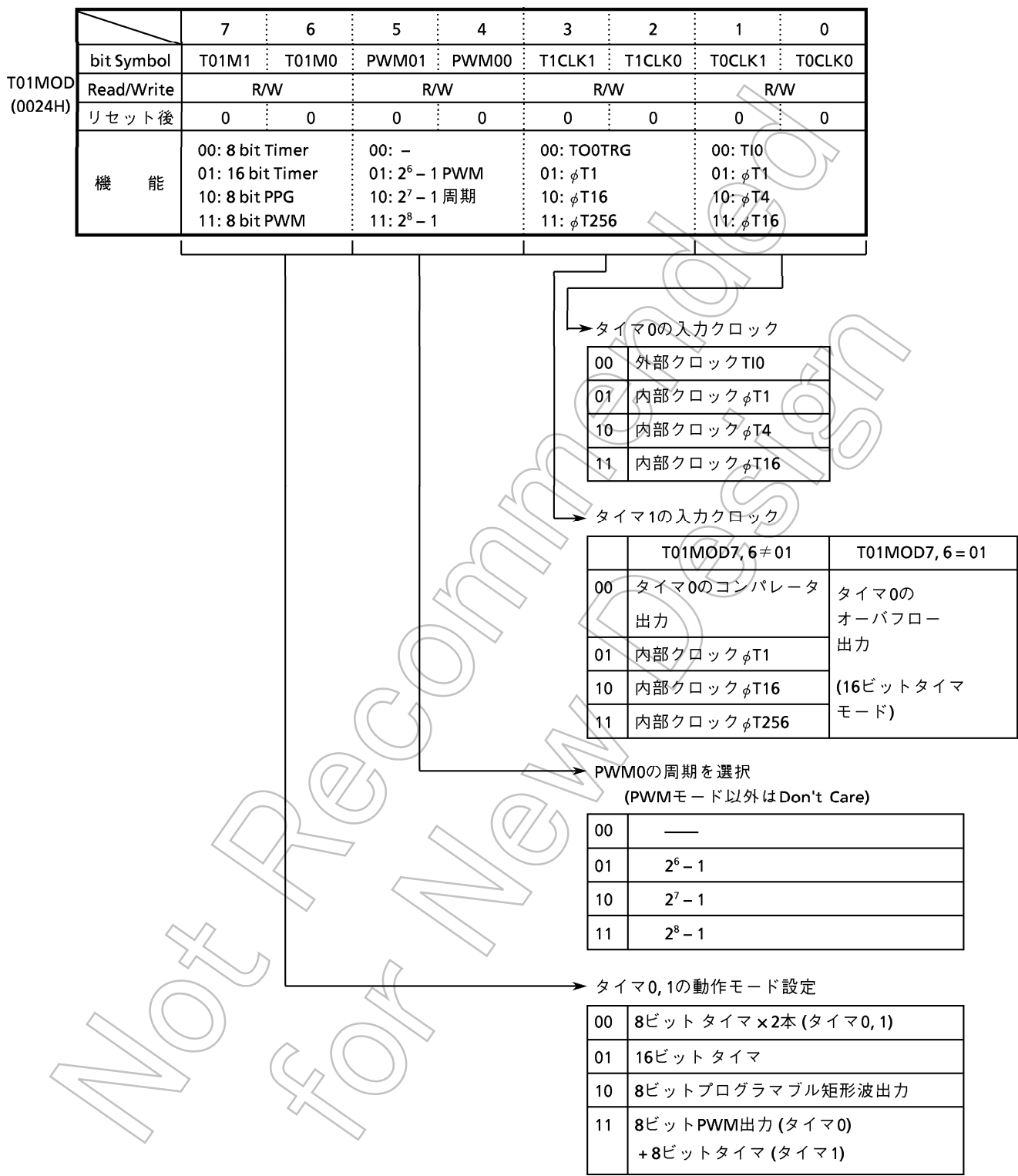


図3.8 (4) タイマ0,1モードレジスタ(T01MOD)

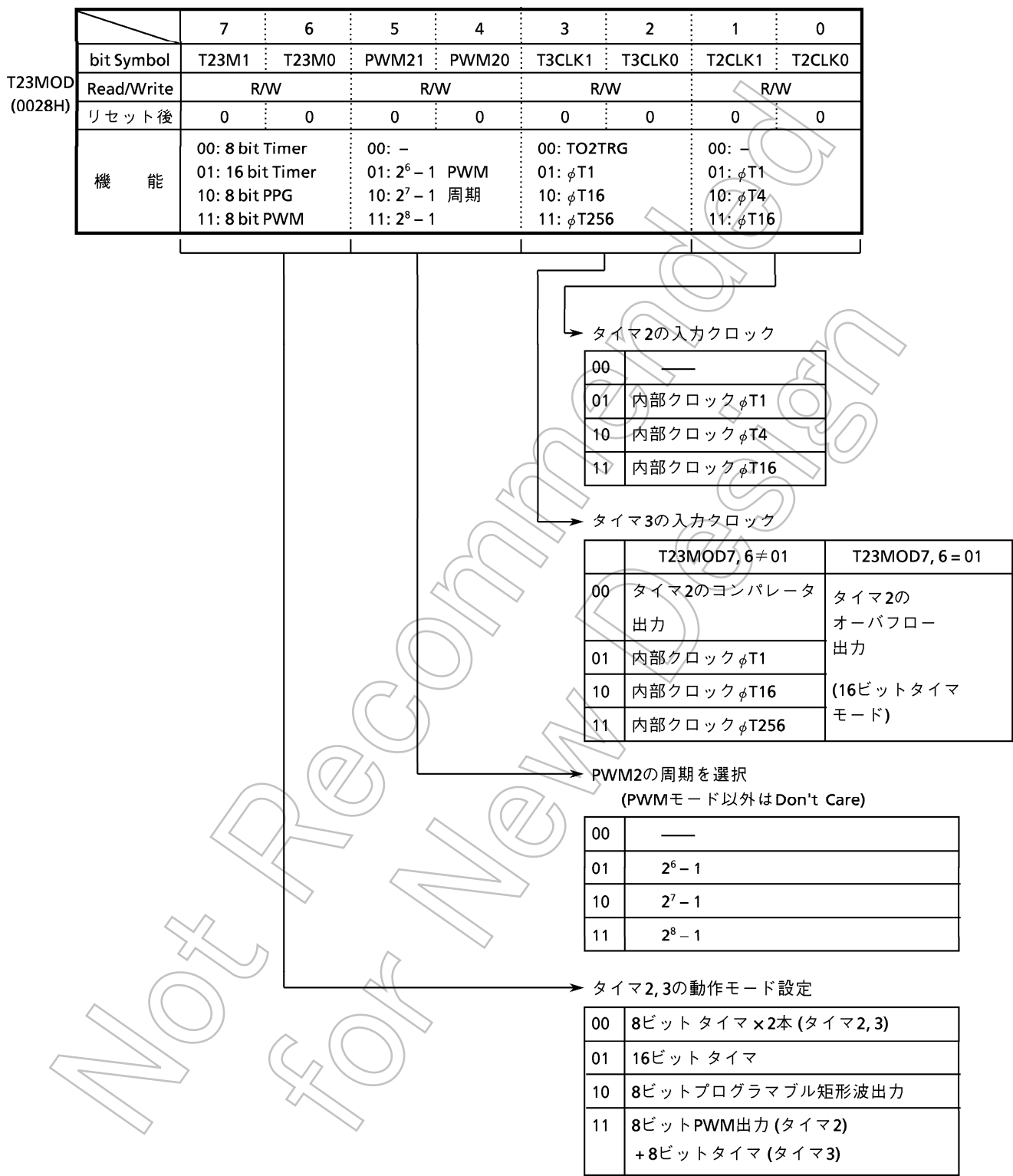


図3.8 (5) タイマ2,3モードレジスタ (T23MOD)

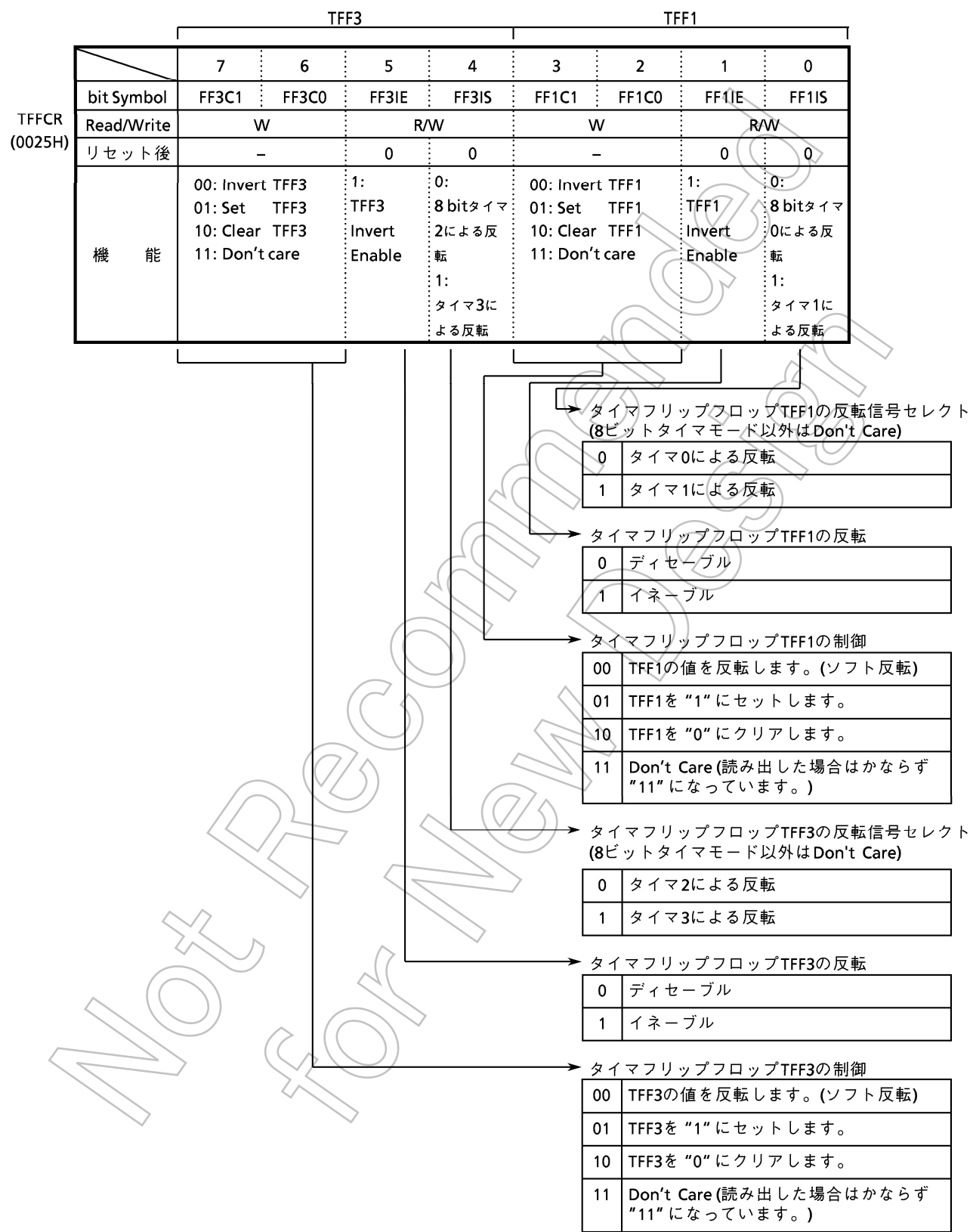


図3.8 (6) 8ビットタイマフリップフロップコントロールレジスタ(TFFCR)

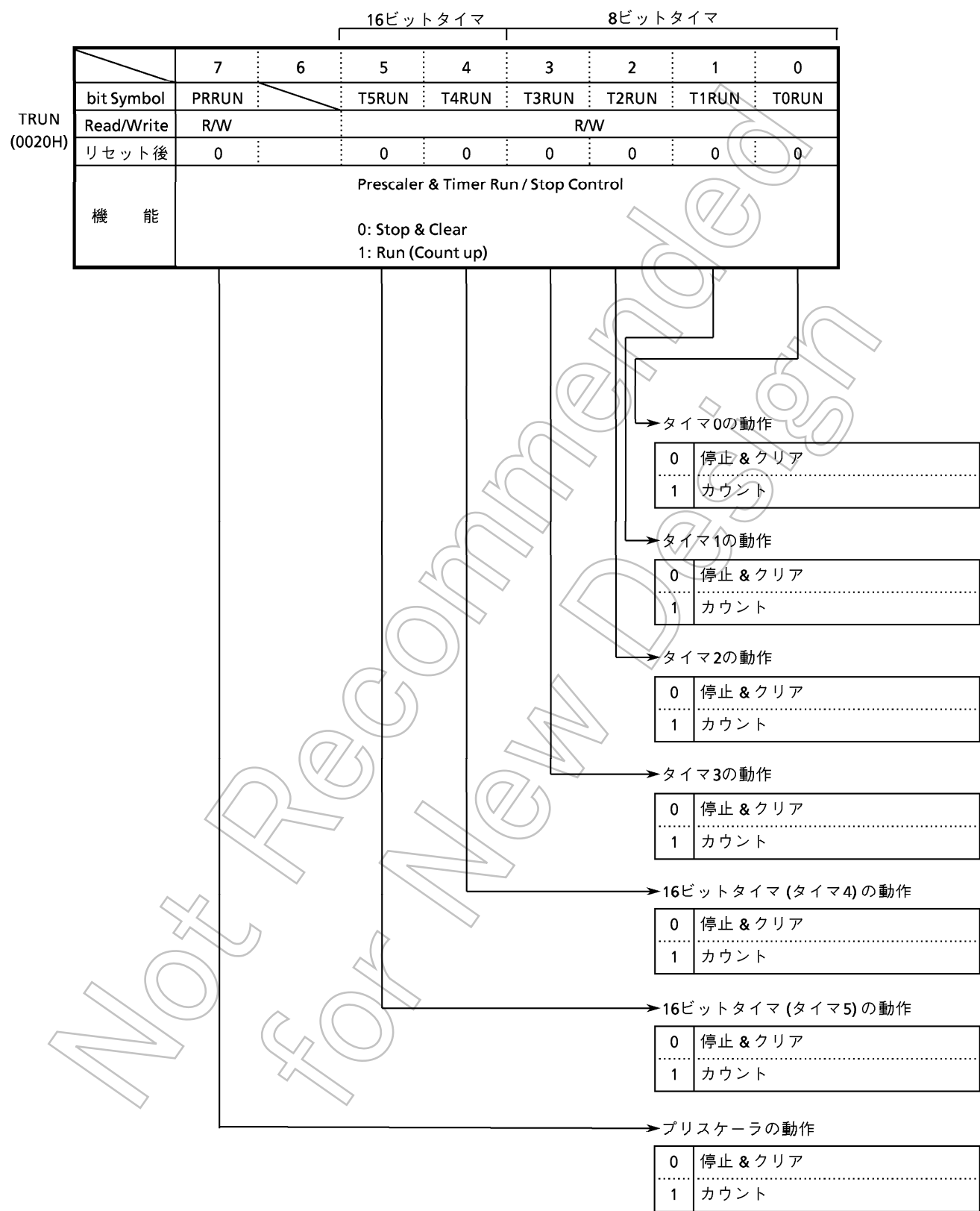


図3.8 (7) タイマ動作コントロールレジスタ (TRUN)

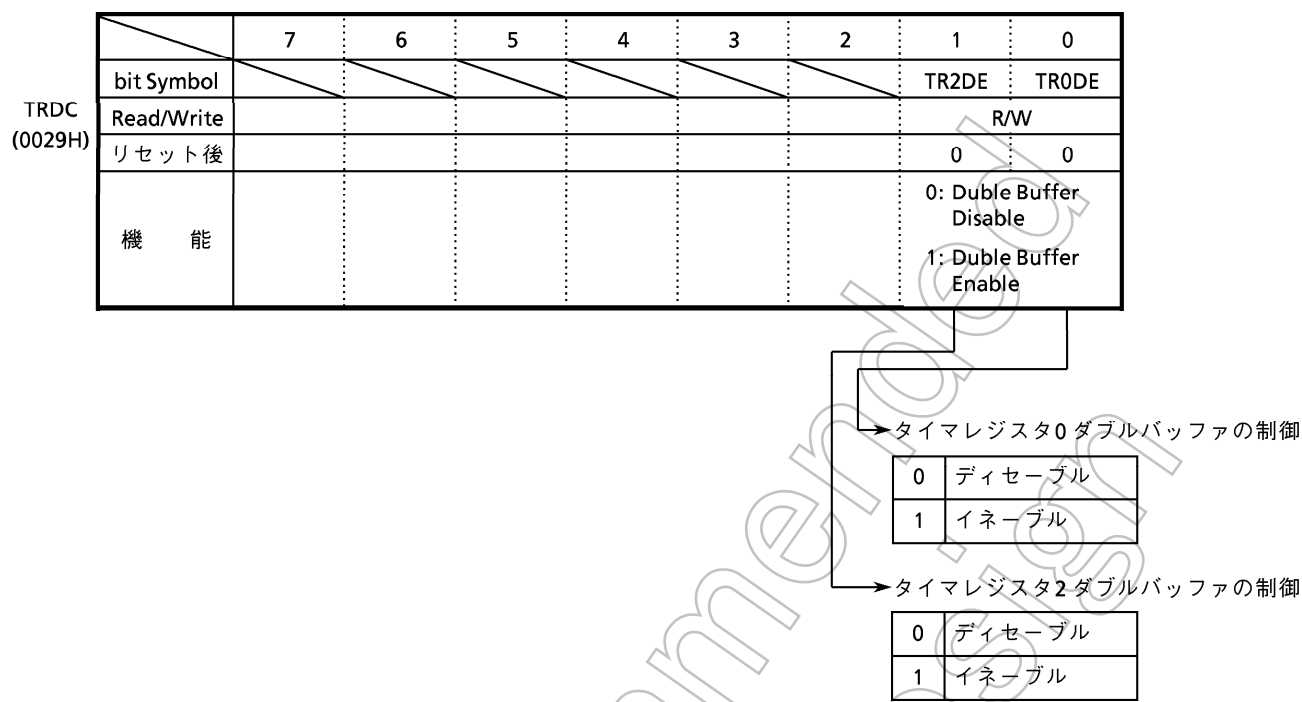


図3.8 (8) タイマレジスタダブルバッファコントロールレジスタ (TRDC)

④ コンパレータ

アップカウンタの値とタイマレジスタの値とを比較し、一致するとアップカウンタをゼロクリアするとともに、割り込み (INTT0~3) を発生します。また、タイマフリップフロップ反転イネーブルであれば同時にタイマフリップフロップの値を反転させます。

⑤ タイマフリップフロップ (タイマF/F)

各インタバルタイマの一致検出信号 (コンパレータ出力) により反転するフリップフロップで、タイマ出力端子TO1 (PA2と兼用)、TO3 (PA3と兼用) へその値を出力することができます。

このタイマF/Fは、タイマ0,1のペアおよびタイマ2,3のペアにそれぞれ1つずつあり、TFF1, TFF3と呼びます。TFF1はTO1端子へ、TFF3はTO3へそれぞれ出力されます。

次に8ビットタイマの動作説明をします。

(1) 8ビットタイマモード

4本のインタバルタイマ0,1,2,3は、それぞれ独立に8ビットインタバルタイマとして使用できます。いずれのタイマも同一の動作をしますので、ここではタイマ1の場合について説明します。

① 一定周期の割り込みを発生させる場合

タイマ1を用いて、一定周期ごとにタイマ1割り込み (INTT1) を発生させる場合、まずタイマ1を停止させてから、動作モード, 入力クロック, 周期をそれぞれT01MOD, TREG1に設定します。次に割り込みINTT1をイネーブルにしてからタイマ1をカウントさせます。

例：fc=25 MHzで32 μsごとにタイマ1割り込みを発生させたい場合、次の順序で各レジスタを設定します。

		MSB				LSB				
		7	6	5	4	3	2	1	0	
TRUN	←	-	X	-	-	-	-	0	-	タイマ1を停止し、ゼロクリアします。
T01MOD	←	0	0	X	X	0	1	-	-	8ビットタイマモードにし、
										入力クロックを $\phi T1$ ($0.32 \mu s @ f_c = 25 \text{ MHz}$) にします。
TREG1	←	0	1	1	0	0	1	0	0	タイマレジスタに $32 \mu s \div \phi T1 = 100$ (64H) をセットしま
										す。
INTT01	←	1	1	0	1	-	-	-	-	INTT1をイネーブル割り込みレベル5にします。
TRUN	←	1	X	-	-	-	-	1	-	タイマ1をカウントさせます。

(注) X; don't care -; no change

入力クロックの選択は下表を参考にしてください。

表3.8 (1) 8ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@fc = 25MHz)	分解能
φT1 (8/fc)	0.32 μs ~ 81.92 μs	0.32 μs
φT4 (32/fc)	1.28 μs ~ 327.7 μs	1.28 μs
φT16 (128/fc)	5.12 μs ~ 1.311 ms	5.12 μs
φT256 (2048/fc)	81.92 μs ~ 20.97 ms	81.92 μs

② デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップを反転させ、このタイマフリップフロップの値をタイマ出力端子 (TO1) へ出力します。

例： $f_c=25\text{ MHz}$ で、周期 $1.92\text{ }\mu\text{s}$ の矩形波をTO1端子から出力させたい場合、次の順序で各レジスタを設定します。
この場合、タイマ0かタイマ1を用いますが、ここではタイマ1を使用したときのレジスタ設定例を示します。

	MSB	LSB
	7 6 5 4 3 2 1 0	
TRUN ←	- X - - - 0 -	
TO1MOD←	0 0 X X 0 1 - -	
TREG1 ←	0 0 0 0 0 0 1 1	
TFFCR ←	- - - - 1 0 1 1	
PACR ←	X X X X - 1 - -	
PAFC ←	X X X X - 1 X X	
TRUN ←	1 X - - - - 1 -	

(注) X; don't care -; no change

タイマ1を停止し、ゼロクリアします。
8ビットタイマモードにし、
入力クロックを $\phi T1$ にします。
タイマレジスタに $1.92\text{ }\mu\text{s} \div \phi T1 \div 2 = 3$ をセットします。
TFF1を“0”にクリアし、タイマ1からの一致検出信号で反転するように設定します。
PA2をTO1端子に設定します。
タイマ1のカウントを開始させます。

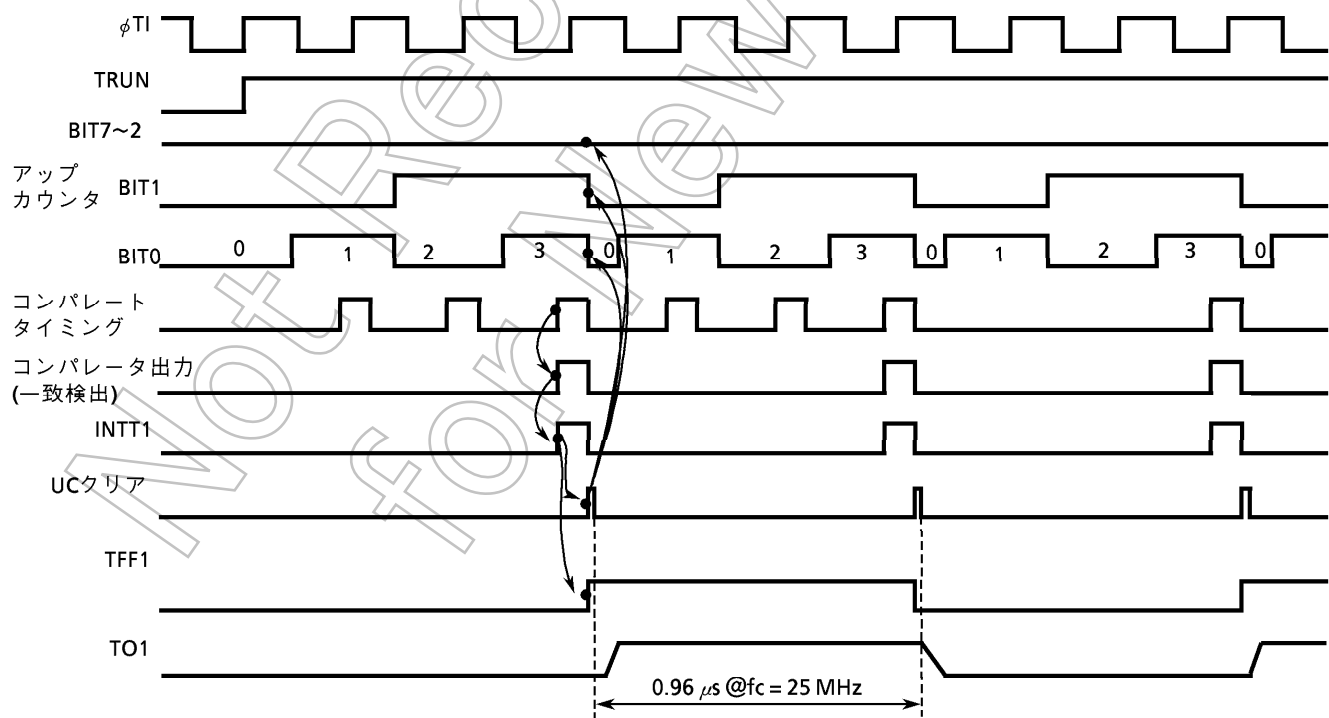


図3.8 (9) 矩形波 (デューティ 50%) 出力のタイミング チャート

③ タイマ0の一致出力でタイマ1をカウントアップさせる場合

8ビットタイマモードに設定し、タイマ1の入力クロックをタイマ0のコンパレータ出力に設定します。

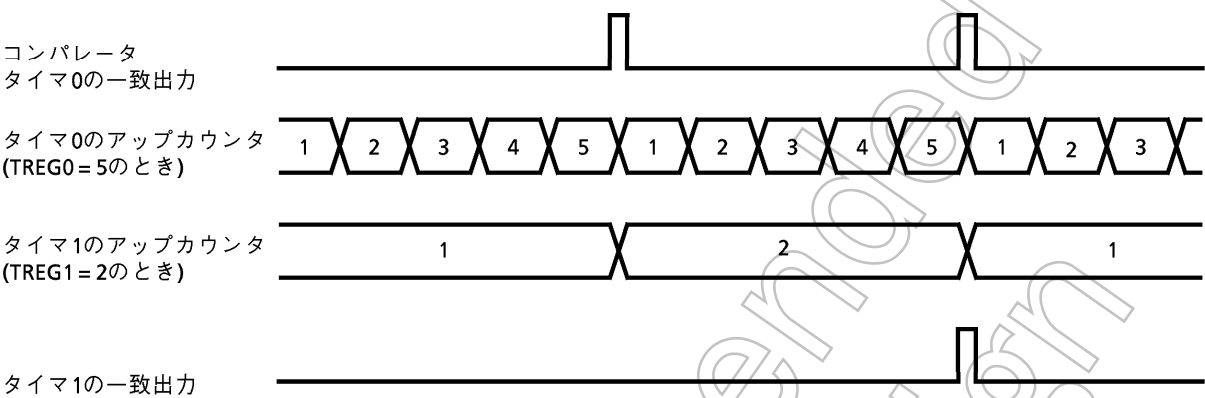


図3.8 (10)

④ ソフト反転による出力反転

タイマの動作とは関係なくタイマ フリップフロップ (タイマF/F) の値を反転させることができます。

TFFCR<FF1C1, 0>に00を書き込むと**TFF1**の値が反転し、**TFFCR<FF3C1, 0>**に00を書き込むと**TFF3**の値が反転します。

⑤ タイマフリップフロップ (タイマF/F) の初期設定

タイマ動作とは関係なく、タイマF/Fの値を“0”または“1”に初期設定することができます。
例えば、**TFF1**を“0”にする場合、**TFFCR<FF1C1, 0>**に10を書き込み、**TFF1**を“1”にする場合は**TFFCR<FF3C1, 0>**に01を書き込みます。

(注) タイマフリップフロップ、タイマレジスタの値は読み出すことはできません。

(2) 16ビットタイマモード

タイマ0と1またはタイマ2と3をペアにして、16ビットインタバルタイマにすることができます。
タイマ0,1とタイマ2,3は同じ動作をしますので、ここではタイマ0,1の場合について述べます。
タイマ0と1をカスケード接続して、16ビットインタバルタイマにするにはモードレジスタ**T01MOD<T01M1, 0>**を“01”に設定します。
16ビットタイマモードに設定すると、クロックコントロールレジスタ**TCLK**の設定値にかかわらず、タイマ1の入力クロックはタイマ0のオーバーフロー出力になります。

表3.8 (2) 16ビットタイマ (割り込み) 周期と入力クロックの選択

入力クロック	割り込み周期 (fc = 25 MHz)	分解能
φT1 (8/fc)	0.32 μs ~ 20.971 ms	0.32 μs
φT4 (32/fc)	1.28 μs ~ 83.885 ms	1.28 μs
φT16 (128/fc)	5.12 μs ~ 335.539 ms	5.12 μs

タイマ割り込み周期は、タイマレジスタTREG0に下位8ビットを、TREG1に上位8ビットを設定します。この場合、かならずTREG0から先に設定してください。(TREG0にデータを書き込むとコンペアが一時禁止され、TREG1へのデータ書き込みでコンペアが開始されるためです。)

設定例: $f_c=25\text{ MHz}$ で 0.32 s ごとに割り込みINTT1を発生させる場合、タイマレジスタTREG0,1には次の値を設定します。

$\phi T16 (=5.12\text{ }\mu\text{s @}25\text{ MHz})$ を入力クロックとしてカウントすると

$0.32\text{ s} \div 5.12\text{ }\mu\text{s} = 62500 = \text{F424H}$

従ってTREG1=F4H, TREG0=24Hを設定します。

タイマ0のコンパレータ一致出力はアップカウンタUC0とTREG0とが一致するたびに出力されますが、アップカウンタUC0はクリアされません。また、このとき割り込みINTT0も発生しません。

タイマ1のコンパレータはアップカウンタUC1がTREG1と一致するとコンパレートタイミング時毎回一致検出信号が出力され、タイマ0,1両方のコンパレータの一致検出信号が同時に出力されるとアップカウンタUC0,1がゼロクリアされ、割り込みINTT1のみが発生します。また、反転イネーブルであれば、タイマフリップフロップTFF1の値は反転されます。

	タイマ0			タイマ1		
	INT T0	TO1	一致の値	INT T1	TO1	一致の値
16ビットタイマモード (タイマ1をタイマ0 のオーバーフローで カウントアップ)	割り込み発生 しません。	出力不可	TREG0 (一致しても カウント アップ)	割り込み発生 します。	出力可能	TREG1*2 ⁸ + TREG0 (フル16ビット)
8ビットタイマモード (タイマ1をタイマ0 の一致でカウント アップ)	割り込み発生 します。	出力可能 (タイマ0またはタイマ1 のどちらか)	TREG0 (一致すると クリア)	割り込み発生 します。	出力可能 (タイマ0またはタイマ1 のどちらか)	TREG1* TREG0 (乗算値)

例： TREG1=04H, TREG0=80Hの場合

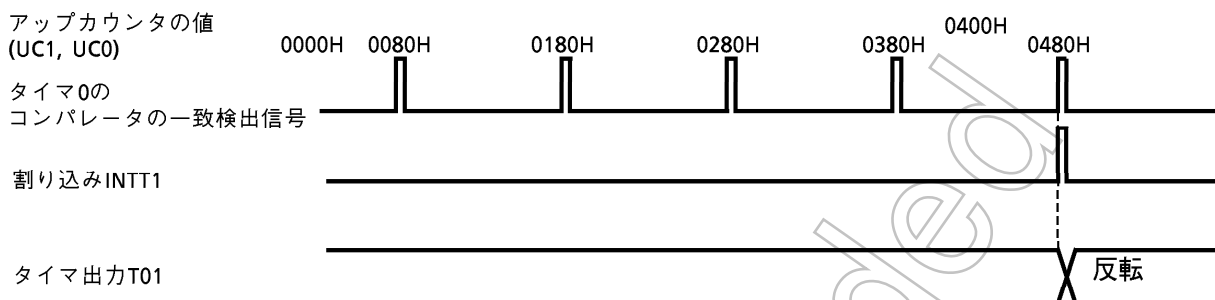


図3.8 (11) 16ビットタイマモードによるタイマ出力

(3) 8ビットPPG (プログラマブル矩形波) 出力モード (Programmable Pulse Generation)

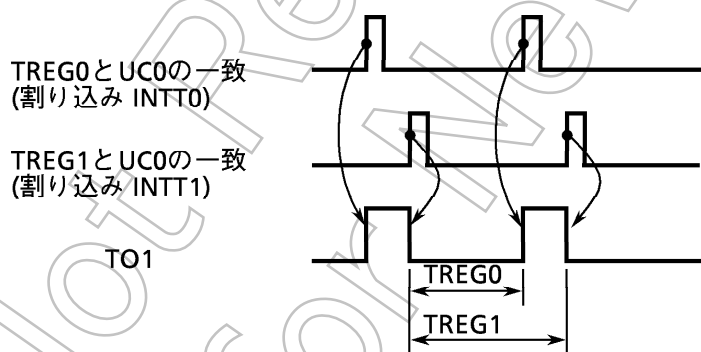
タイマ0またはタイマ2を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスはローアクティブ、ハイアクティブどちらでも可能です。

このモードに設定した場合、タイマ1,3は使用できません。

タイマ0の場合はTO1端子 (PA2と兼用) へ、タイマ2の場合はTO3 (PA3と兼用) へ出力されます。



例として、タイマ0の場合を説明します。(タイマ2の場合も同様な動作です。)



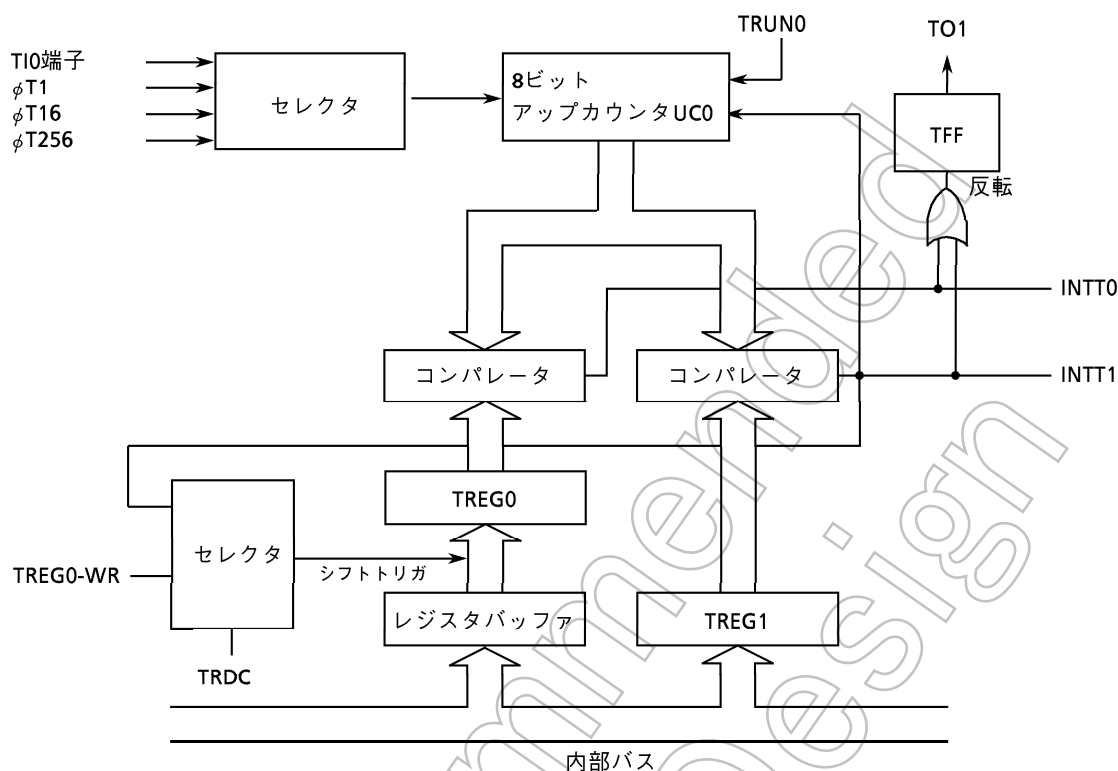
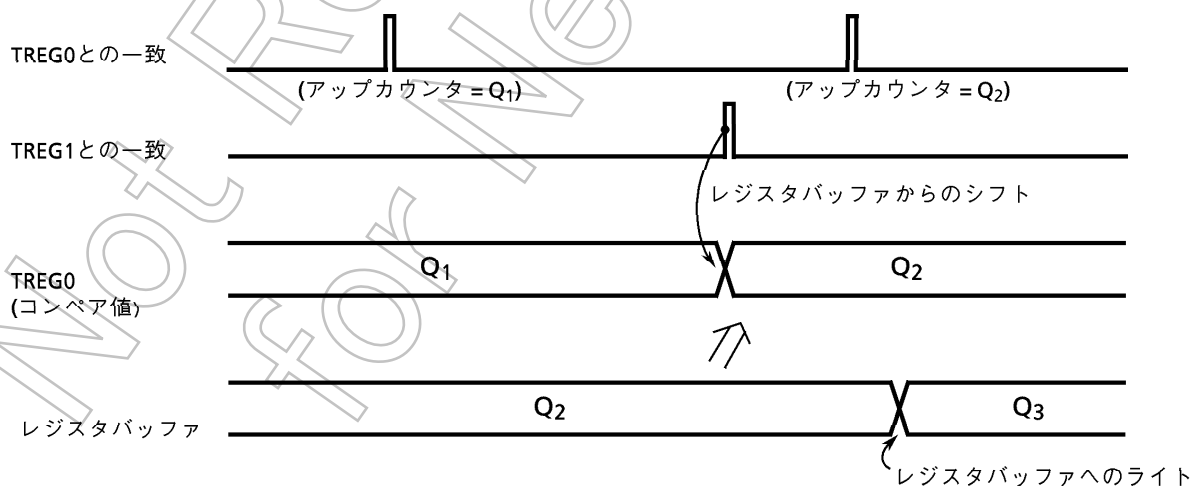


図3.8 (12) 8ビットPPG出力モードのブロック図

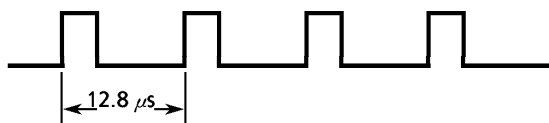
このモードでは、**TREG0**をダブルバッファインプットにすることにより、**TREG1**と**UC0**の一致で、レジスタバッファの値が**TREG0**へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。



レジスタバッファの動作

例： デューティ 1/4 の 78.125 kHz のパルスを出力する場合 (@ $f_c = 25$ MHz)



- タイマレジスタへの設定値を求めます。

周波数を 78.125 kHz にするには、周期 $t = 1/78.125 \text{ kHz} = 12.8 \mu\text{s}$ の波形をつくります。

$\phi T1 = 0.32 \mu\text{s}$ (@25 MHz) を用いると、

$$12.8 \mu\text{s} \div 0.32 \mu\text{s} = 40$$

従ってタイマレジスタ 1 (TREG1) を $TREG1 = 40 = 28H$

次にデューティを 1/4 にするには、 $t \times 1/4 = 12.8 \mu\text{s} \times 1/4 = 3.2 \mu\text{s}$

$$3.2 \mu\text{s} \div 0.32 \mu\text{s} = 10$$

従ってタイマレジスタ 0 (TREG0) を $TREG0 = 10 = 0AH$

に設定します。

	MSB		LSB	
	← 7 6 5 4 3 2 1 0			
TRUN	← 0 X - - - 0 0			タイマ0とタイマ1を停止し、ゼロクリアします。
T01MOD	← 1 0 X X 0 1 0 1			8ビットPPGモードにし、入力クロックを $\phi T1$ にします。
TFFCR	← - - - 0 1 1 x			TFF1をセットし反転イネーブルにします。
				↑
				“10” にすると負論理の出力波形が得られます。
TREG0	← 0 0 0 0 1 0 1 0			0AHを書き込みます。
TREG1	← 0 0 1 0 1 0 0 0			28Hを書き込みます。
PACR	← X X X X - 1 - -			PA2をTO1端子に設定します。
PAFC	← X X X X - 1 X X			
TRUN	← 1 X - - - 1 1			タイマ0とタイマ1のカウントを開始します。

(注) X; don't care -; no change

(4) 8ビットPWM出力モード

(Pulse Width Modulation ; パルス幅変調)

タイマ0,2にのみ可能なモードで、分解能8ビットのPWMを最大2本出力することができます。

タイマ0の場合はTO1端子 (PA2と兼用) へ、タイマ2の場合はTO3端子 (PA3と兼用) 端子へ出力されます。

タイマ1,3は8ビットタイマとして使用できます。

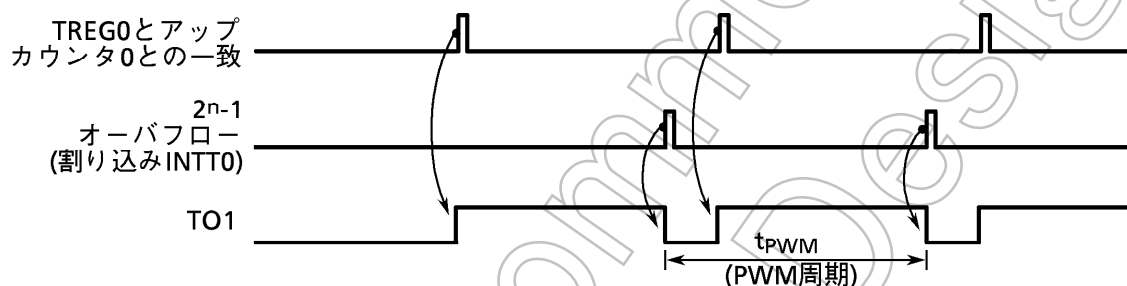
例として、タイマ0の場合について述べます。(タイマ2の場合も同様な動作です。)

タイマ出力の反転は、アップカウンタ(UC0)がタイマレジスタTREGの設定値と一致したときと $2^n - 1$ ($n=6, 7, 8$ のいずれかにTO1MODで指定します。)カウンタオーバーフローによって起こります。またカウンタUC0は $2^n - 1$ カウンタのオーバーフローによってクリアされます。

なお、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(タイマレジスタの設定値) < ($2^n - 1$ カウンタのオーバーフロー設定値)

(タイマレジスタの設定値) $\neq 0$



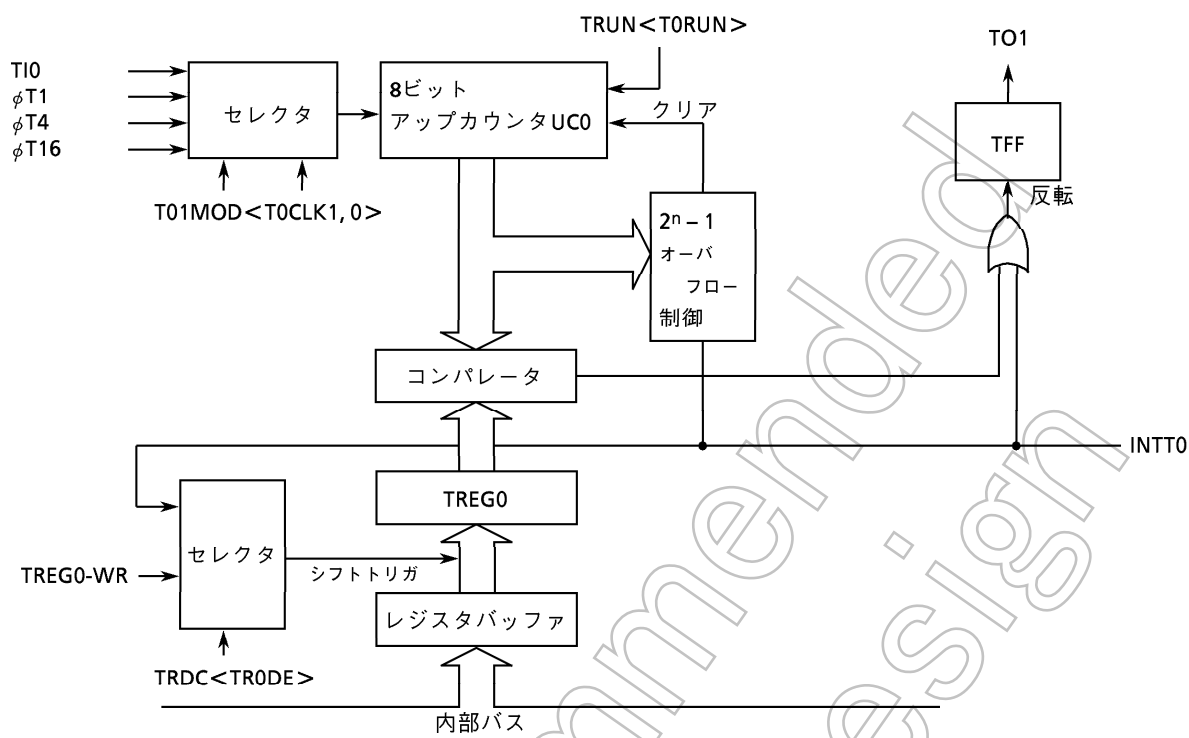
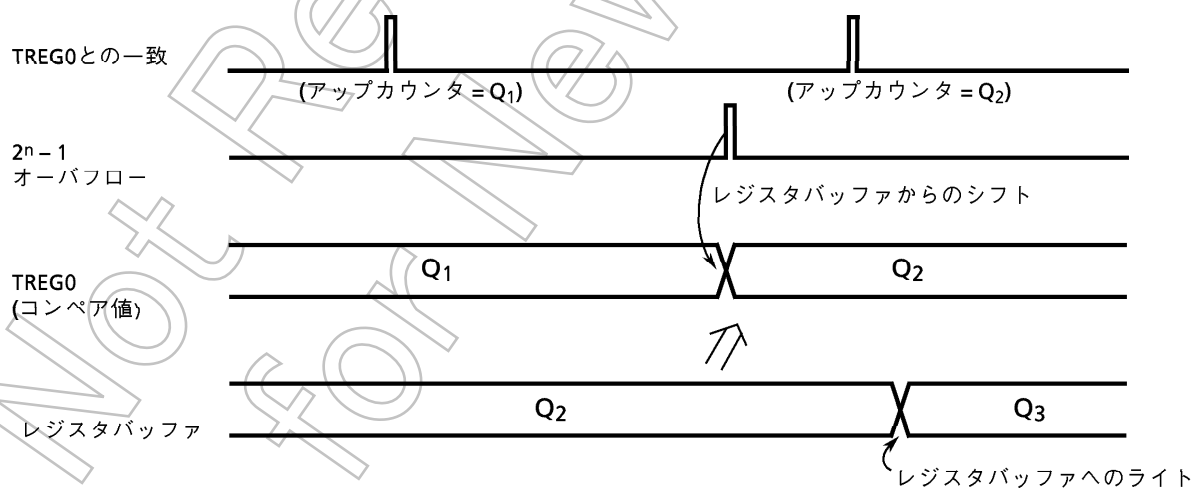


図3.8 (13) 8ビットPWM出力モードのブロック図

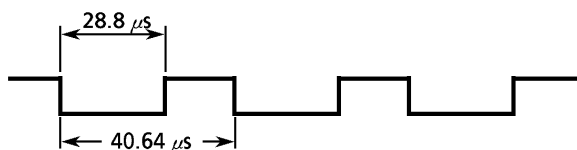
このモードでは、**TREG0**をダブルバッファインエーブルにすることにより、**2ⁿ-1**オーバーフローの検出で、レジスタバッファの値が**TREG0**へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。



レジスタバッファの動作

例： $f_c=25\text{MHz}$ 時、タイマ0を使って下記のPWM波形をTO1端子へ出力する場合。



PWM周期 $40.64\ \mu\text{s}$ を $\phi T1=0.32\ \mu\text{s}$ ($@f_c=25\ \text{MHz}$) で実現する場合

$$40.64\ \mu\text{s} \div 0.32\ \mu\text{s} = 127 = 2^n - 1$$

従って $n=7$ に設定します。

“L”レベルの期間は $28.8\ \mu\text{s}$ だから $\phi T1=0.32\ \mu\text{s}$ では

$$28.8\ \mu\text{s} \div 0.32\ \mu\text{s} = 90 = 5\text{AH}$$

をTREG0に設定します。

		MSB						LSB	
		7	6	5	4	3	2	1	0
TRUN	←	X	X	-	-	-	-	-	0
T01MOD	←	1	1	1	0	-	-	0	1
TFFCR	←	-	-	-	-	1	0	1	X
TREG0	←	0	1	0	1	1	0	1	0
PACR	←	X	X	X	X	-	1	-	-
PAFC	←	X	X	X	X	-	1	X	X
TRUN	←	1	X	-	-	-	-	-	1

(注) X; don't care -; no change

タイマ0を停止し、ゼロクリアします。

8ビットPWMモード (周期 $=2^7-1$) にし入カクロックを $\phi T1$ にします。

TFF1をクリアし、反転イネーブルにします。

5AHを書き込みます。

PA2をTO1端子に設定します。

タイマ0のカウントを開始します。

表3.8 (3) PWM周期と 2^n-1 カウンタの設定

	PWM周期 (@ $f_c = 25\ \text{MHz}$)		
	$\phi T1$	$\phi T4$	$\phi T16$
$2^6 - 1$	$20.2\ \mu\text{s}$ (49.6 kHz)	$80.6\ \mu\text{s}$ (12.4 kHz)	$322.6\ \mu\text{s}$ (3.1 kHz)
$2^7 - 1$	$40.6\ \mu\text{s}$ (24.6 kHz)	$162.6\ \mu\text{s}$ (6.2 kHz)	$650.2\ \mu\text{s}$ (1.5 kHz)
$2^8 - 1$	$81.6\ \mu\text{s}$ (12.3 kHz)	$326.4\ \mu\text{s}$ (3.1 kHz)	$1.31\ \text{ms}$ (0.8 kHz)

(5) 8ビットタイマの各モードをまとめると表3.8 (4) のような設定になります。

表3.8 (4) 各タイマモードの設定レジスタ

タイマモード (8ビットタイマ×2ch当り)	モード T01M (T23M)	PWM0 (PWM2)	上位入力 T1CLK (T3CLK)	下位入力 T0CLK (T2CLK)	反転セレクト FF1IS (FF3IS)
16ビットタイマ (フル16ビット)×1ch	01	—	—	(外部, φT1, 4, 16)	—
8ビットタイマ (8ビット×8ビットモード×1ch (上位タイマへ下位タイマの コンパレータ出力を入力する。))	00	—	00	(外部, φT1, 4, 16)	0: 下位タイマ 1: 上位タイマ
8ビットタイマ×2ch	00	—	(φT1, 16, 256)	(外部, φT1, 4, 16)	0: 下位タイマ 1: 上位タイマ
8ビットPPG×1ch	10	—	—	(外部, φT1, 4, 16)	—
8ビットPWM ×1ch(下位) 8ビットタイマ ×1ch(上位)	11	PWM周期	(φT1, 16, 256)	(外部, φT1, 4, 16)	—

3.9 16ビットタイマ

TMP95C061Bは、多機能16ビットタイマ/イベントカウンタを2本(タイマ4,5)内蔵しています。

- 16ビットインタバルタイマモード
- 16ビットイベントカウンタモード
- 16ビットプログラマブル矩形波出力 (PPG) モード
- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

タイマ/イベントカウンタは、それぞれ16ビットアップカウンタ、16ビットタイマレジスタ2本(うち1本はダブルバッファ構造)、16ビットのキャプチャレジスタ2本、コンパレータ2個およびキャプチャ入力制御、タイマF/Fとその制御回路で構成されています。

タイマ/イベントカウンタは、それぞれ4つのコントロールレジスタ(T4MOD/T5MOD, T4FFCR/T5FFCR, TRUN, T45CR)によって制御されています。

図3.9 (1),(2)に16ビットタイマ/イベントカウンタのブロック図(タイマ4,5)を示します。

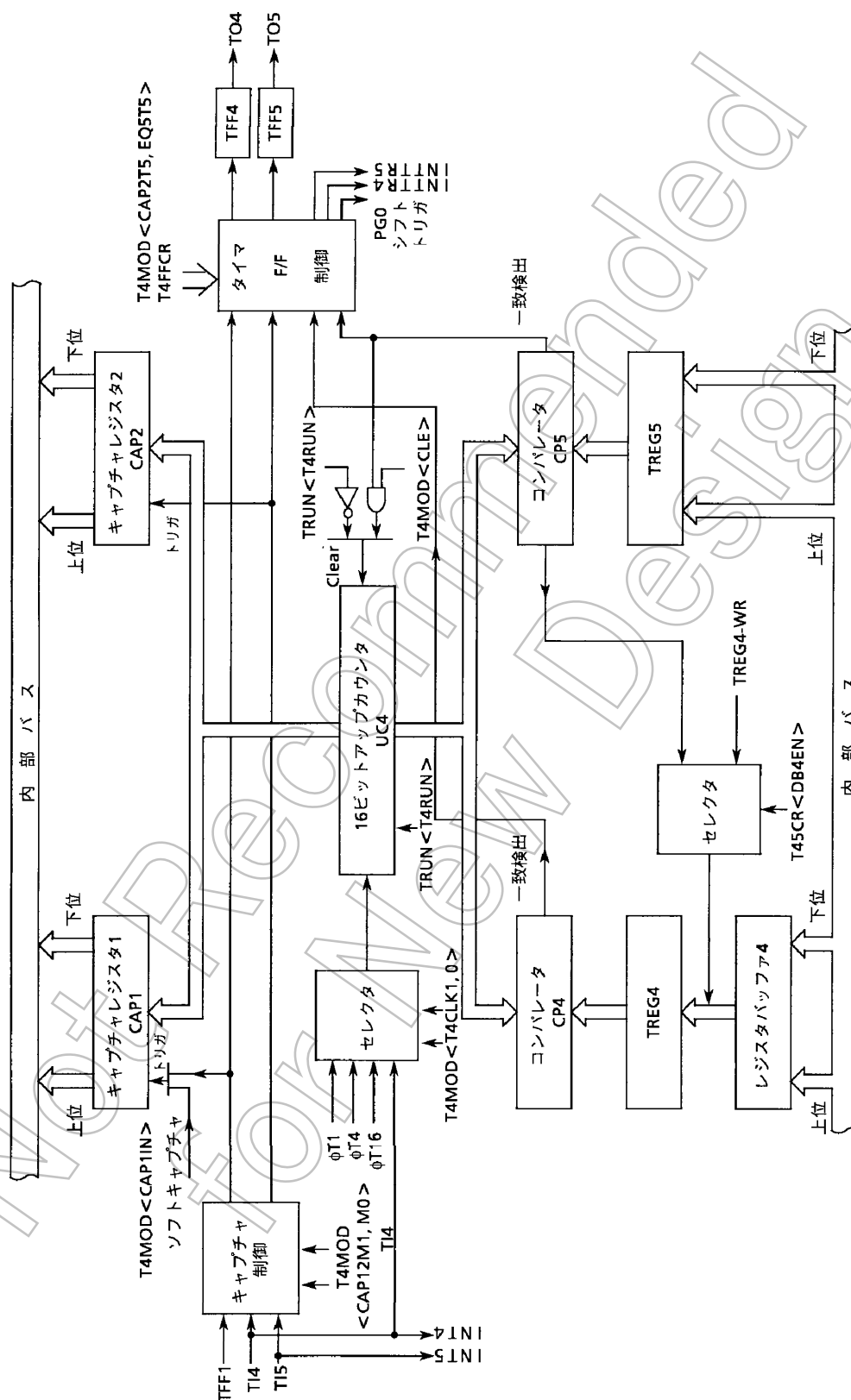


図3.9 (1) 16ビットタイマブロック図(タイマ4)

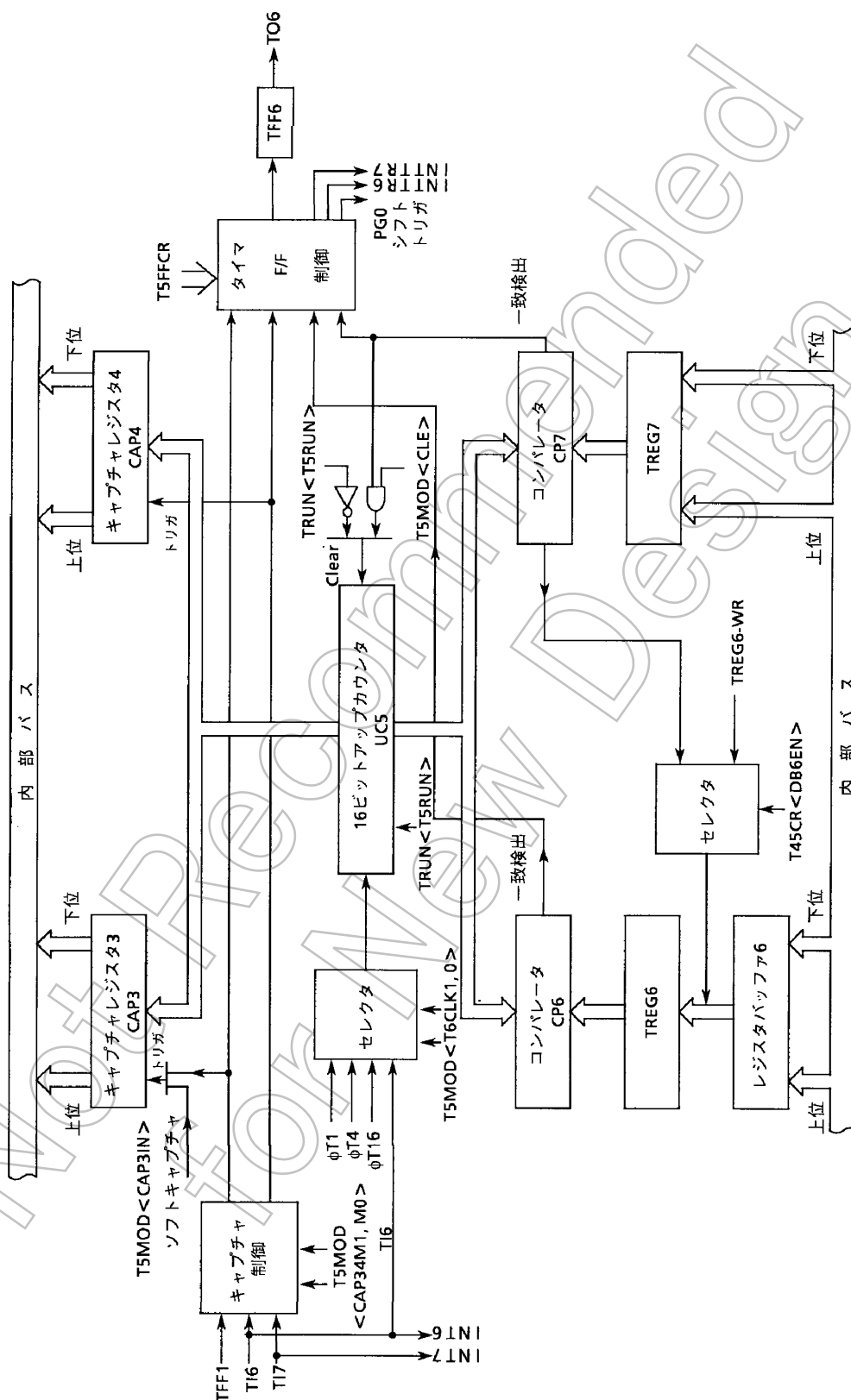


図3.9 (2) 16ビットタイマブロック図(タイマ5)

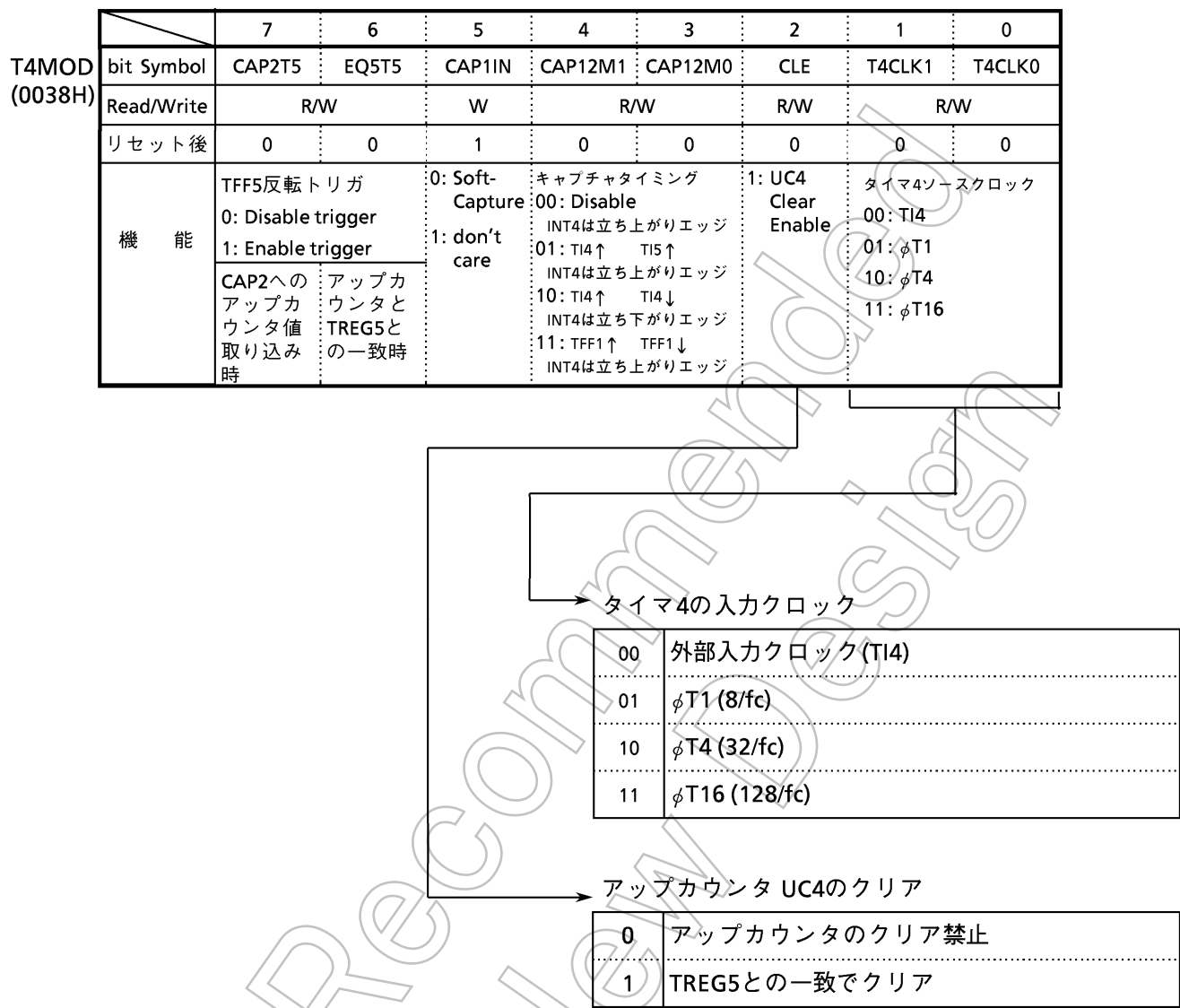


図3.9 (3) 16ビットタイマモードコントロールレジスタ(T4MOD) (1/2)

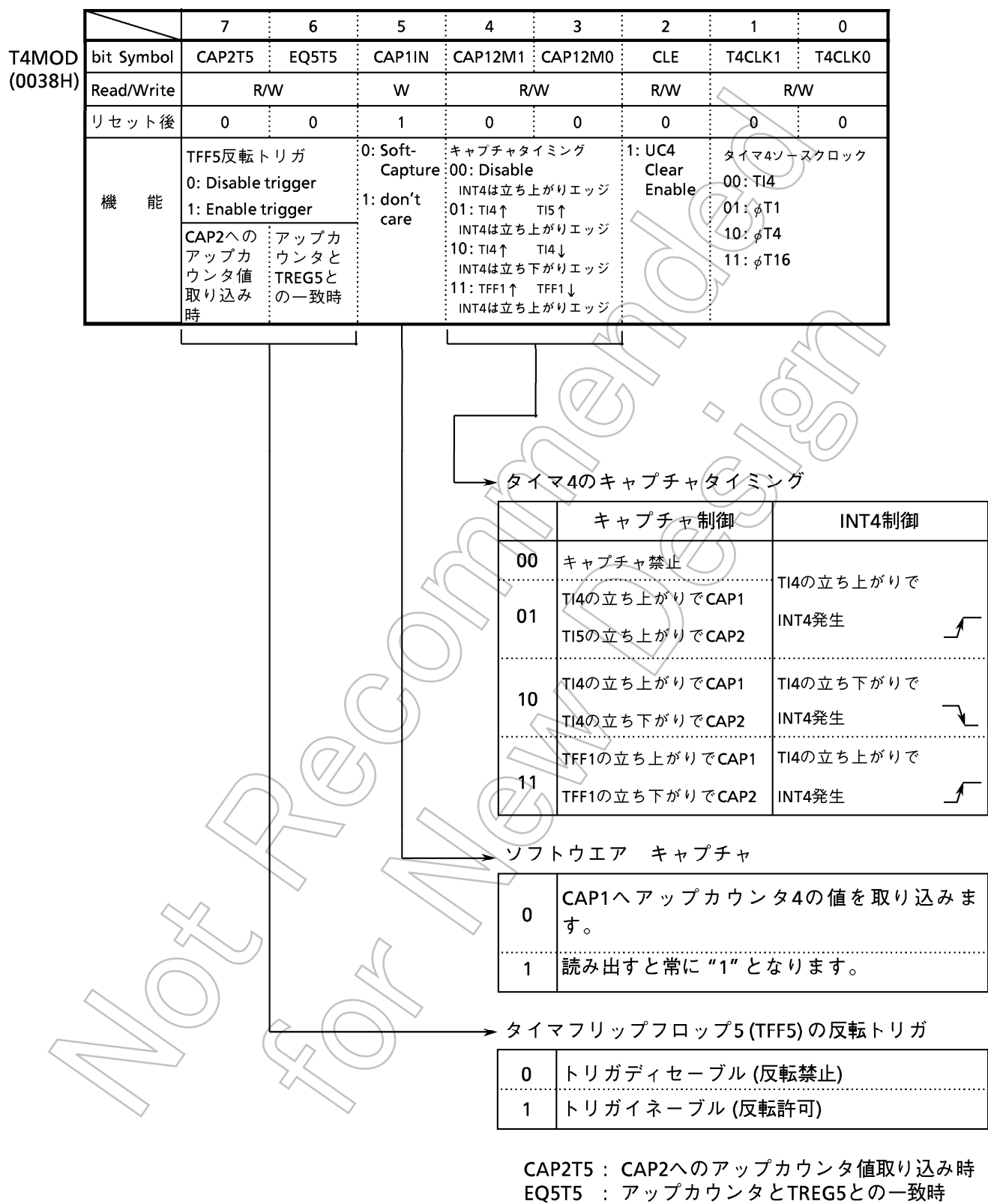


図3.9 (4) 16ビットタイマコントロールレジスタ (T4MOD) (2/2)

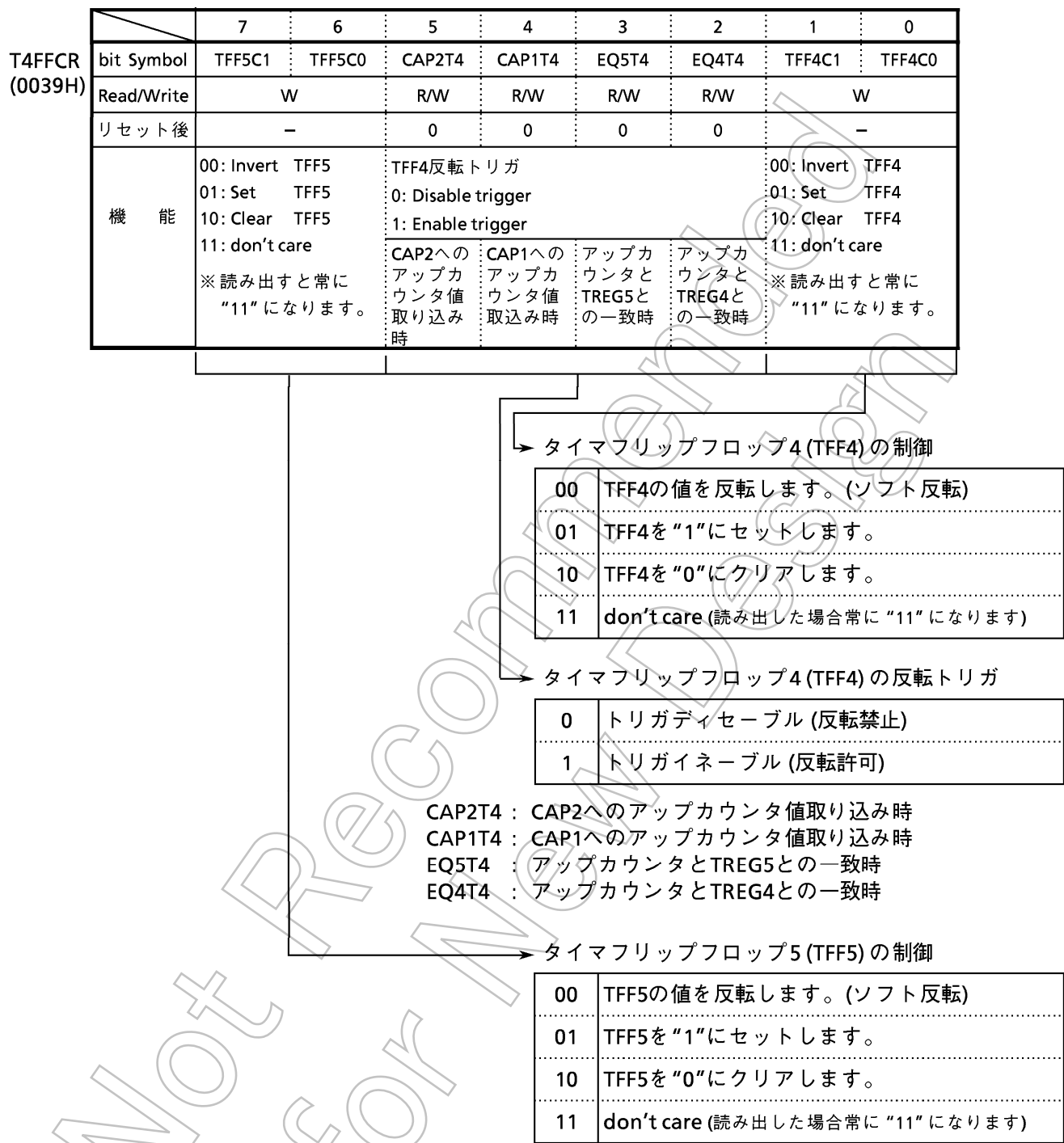


図3.9 (5) 16ビットタイマ4 F/Fコントロール (T4FFCR)

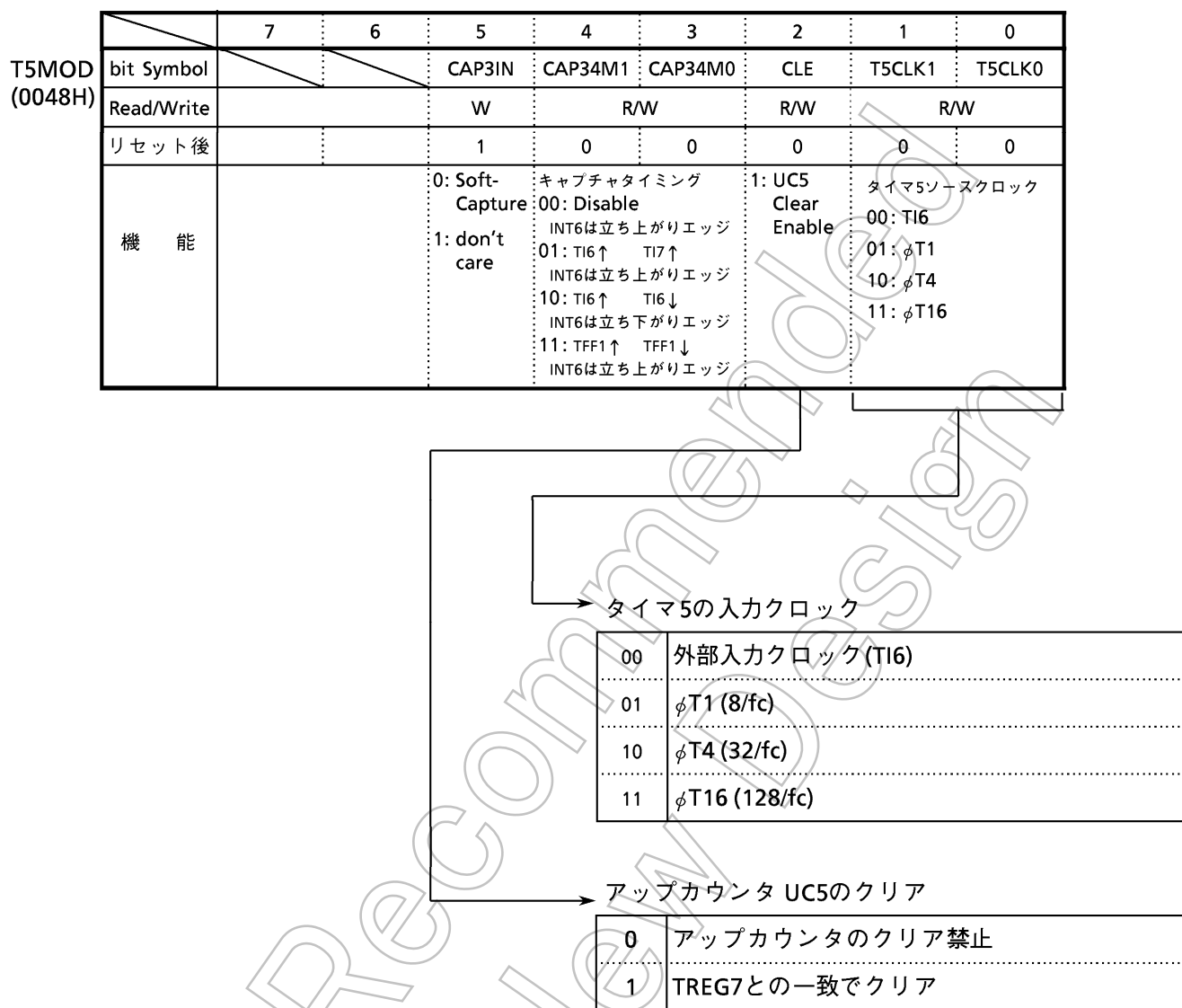


図3.9 (6) 16ビットタイマモードコントロールレジスタ(T5MOD) (1/2)

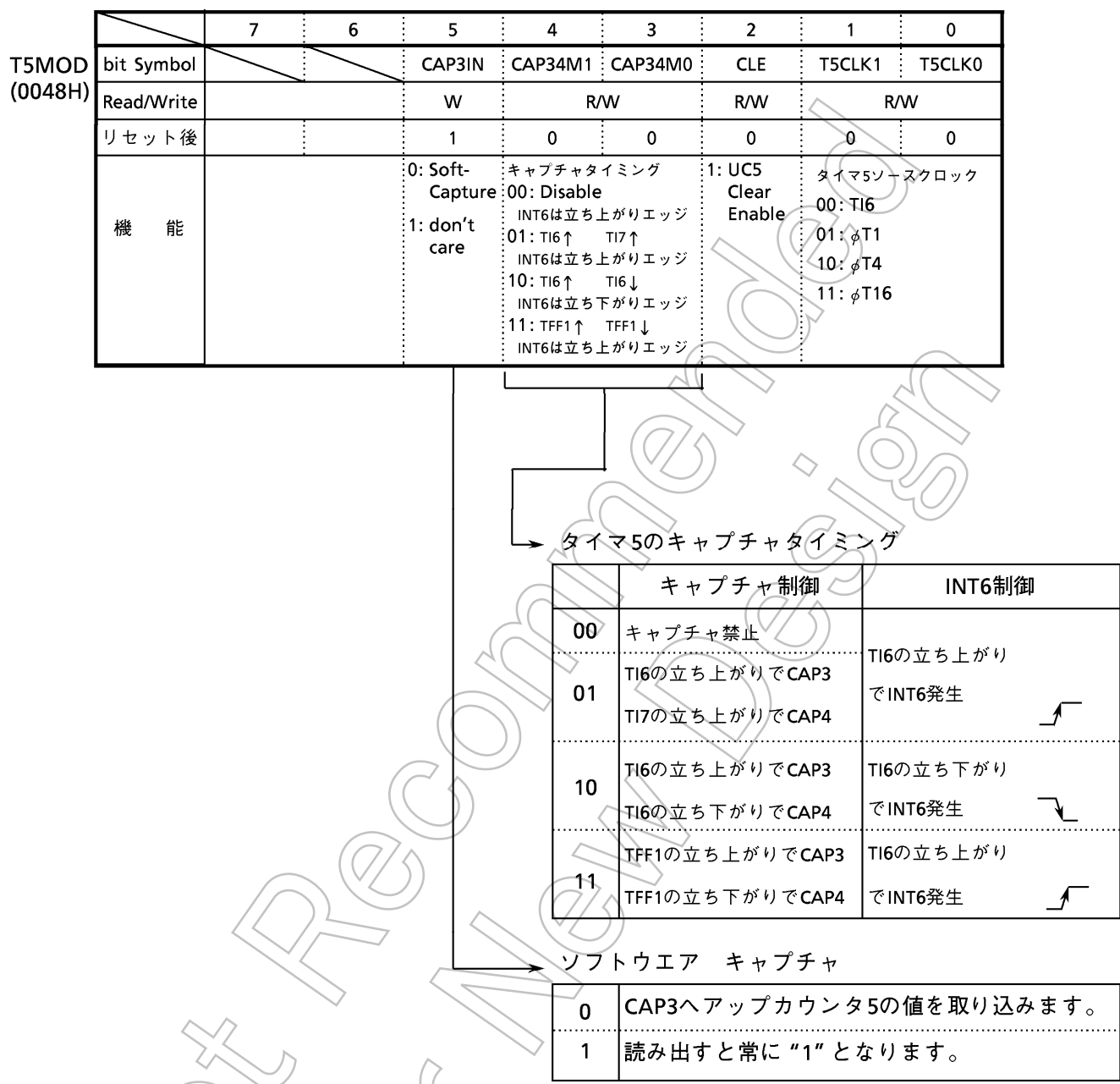


図3.9 (7) 16ビットタイマコントロールレジスタ (T5MOD) (2/2)

T5FFCR (0049H)		7	6	5	4	3	2	1	0
	bit Symbol			CAP4T6	CAP3T6	EQ7T6	EQ6T6	TFF6C1	TFF6C0
	Read/Write			R/W	R/W	R/W	R/W	W	
	リセット後			0	0	0	0	-	
機 能				TFF6反転トリガ 0: Disable trigger 1: Enable trigger				00: Invert TFF6 01: Set TFF6 10: Clear TFF6 11: don't care	
				CAP4への アップカ ウンタ値 取り込み 時	CAP3への アップカ ウンタ値 取り込み 時	アップカ ウンタと TREG7と の一致時	アップカ ウンタと TREG6と の一致時	※読み出すと常に "11" になります。	

→ タイマフリップフロップ 6 (TFF6) の制御

00	TFF6の値を反転します。(ソフト反転)
01	TFF6を"1"にセットします。
10	TFF6を"0"にクリアします。
11	don't care (読み出した場合常に "11" になります)

→ タイマフリップフロップ 6 (TFF6) の反転トリガ

0	トリガディセーブル (反転禁止)
1	トリガイネーブル (反転許可)

CAP4T6 : CAP4へのアップカウンタ値取り込み時
CAP3T6 : CAP3へのアップカウンタ値取り込み時
EQ7T6 : アップカウンタとTREG7との一致時
EQ6T6 : アップカウンタとTREG6との一致時

図3.9(8) 16ビットタイマ5 F/Fコントロール (T5FFCR)

T45CR (003AH)		7	6	5	4	3	2	1	0
	bit Symbol	—				PG1T	PG0T	DB6EN	DB4EN
	Read/Write	R/W				R/W			
	リセット後	0				0	0	0	0
	機 能	“0” 固定 ※読み出すと常に “0” になります。				PG1シフトトリガ 0: 8ビットタイマトリガ3 (タイマ2, 3) 1: 16ビットタイマトリガ (タイマ5)	PG0シフトトリガ 0: 8ビットタイマトリガ1 (タイマ0, 1) 1: 16ビットタイマトリガ (タイマ4)	ダブルバッファ 0: Disable 1: Enable TREG6のダブル バッファ	

ダブルバッファ制御	
0	ディセーブル
1	イネーブル

DB6EN : TREG6のダブルバッファ
DB4EN : TREG4のダブルバッファ

図3.9 (9) 16ビットタイマ (タイマ4, 5) コントロールレジスタ (T45CR)

TRUN (0020H)		7	6	5	4	3	2	1	0
	bit Symbol	PRRUN		T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
	Read/Write	R/W					R/W		
	リセット後	0		0	0	0	0	0	0
	機 能	Prescaler & Timer Run/Stop CONTROL 0: Stop & Clear 1: Run (Count up)							

16ビットタイマ (タイマ4) の動作

0	停止&クリア
1	カウント

16ビットタイマ (タイマ5) の動作

0	停止&クリア
1	カウント

プリスケアラの動作

0	停止&クリア
1	カウント

図3.9 (10) タイマ動作コントロールレジスタ (TRUN)

① アップカウンタ

T4MOD <T4CLK1, 0> および T5MOD <T5CLK1, 0> で指定された入力クロックによって、カウントアップする16ビットのバイナリカウンタです。

入力クロックとして、9ビットのプリスケアラ (8ビットタイマと共用) からの内部クロック ϕ T1, ϕ T4, ϕ T16 または TI4 (PB0/INT4 と兼用) および TI6 (PB4/INT6 と兼用) 端子からの外部クロックのいずれかを選択できます。リセット時 <T4CLK1, 0> / <T5CLK1, 0> = 00 に初期化されますので、TI4/TI6 の外部入力を選択されています。

カウンタのカウント/停止&クリアは、タイマ動作コントロールレジスタ TRUN <T4RUN, T5RUN> で制御することができます。

アップカウンタ UC4/UC5 は、タイマレジスタ TREG5/TREG7 と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、T4MOD <CLE> および T5MOD <CLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

② タイマレジスタ

カウンタ値を設定する16ビットレジスタで、各タイマに2本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC4/UC5 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TREG4, TREG5/TREG6, TREG7 へのデータ設定は、2バイトデータロード命令を用いるか、1バイトデータロード命令を2回用いて下位8ビット、上位8ビットの順に行います。

TREG 4		TREG 5	
上位8ビット	下位8ビット	上位8ビット	下位8ビット
000031H	000030H	000033H	000032H
TREG 6		TREG 7	
上位8ビット	下位8ビット	上位8ビット	下位8ビット
000041H	000040H	000043H	000042H

このタイマレジスタは、TREG4 と TREG6 がダブルバッファ構成になっており、レジスタバッファとペアになっています。TREG4/TREG6 はタイマコントロールレジスタ T45CR <DB4EN, DB6EN> によってダブルバッファのイネーブル/ディセーブルを制御します。<DB4EN, DB6EN> = 0 のときディセーブル、<DB4EN, DB6EN> = 1 のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送は、アップカウンタUC4/UC5とタイマレジスタTREG5/TREG7との一致時に行われます。

リセット時は、T45CR <DB4EN, DB6EN> = 0に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <DB4EN, DB6EN> = 1に設定した後、レジスタバッファへ次のデータを書き込んでください。

TREG4/TREG6とレジスタバッファは、同じメモリ番地000030H, 000031H/000040H, 000041H, に割り付けられています。<DB4EN, DB6EN> = 0のときは、TREG4/TREG6とそれぞれのレジスタバッファに、同じ値が書き込まれ、<DB4EN, DB6EN> = 1のときは、それぞれのレジスタバッファにのみ書き込まれます。従って、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておきます。

なお、リセット後タイマレジスタは不定のため使用する場合には、上位と下位にかならずデータを書き込む必要があります。

③ キャプチャレジスタ

アップカウンタの値をラッチする16ビットのレジスタです。

キャプチャレジスタを読み出す場合は、2バイトデータロード命令を用いるか1バイトデータロード命令を2回用いて下位8ビット, 上位8ビットの順に読み出してください。

CAP 1		CAP 2	
上位8ビット	下位8ビット	上位8ビット	下位8ビット
000035H	000034H	000037H	000036H

CAP 3		CAP 4	
上位8ビット	下位8ビット	上位8ビット	下位8ビット
000045H	000044H	000047H	000046H

④ キャプチャ入力制御

アップカウンタUC4/UC5の値を、キャプチャレジスタCAP1, CAP2/CAP3, CAP4にラッチするタイミングを制御する回路です。

キャプチャレジスタのラッチタイミングは、T4MOD <CAP12M1, 0>/T5MOD <CAP34M1, 0> レジスタで設定します。

- T4MOD <CAP12M1, 0>/T5MOD <CAP34M1, 0> = 00の場合

キャプチャ機能は、ディセーブルされます。リセット時は、このディセーブル状態となっています。

- $T4MOD<CAP12M1, 0>/T5MOD<CAP34M1, 0> = 01$ の場合

TI4 (PB0/INT4 と兼用)/TI6 (PB4/INT6 と兼用) 入力の上立ち上がりエッジでCAP1/CAP3へ、TI5 (PB1/INT5 と兼用)/TI7 (PB5/INT7 と兼用) 入力の上立ち上がりエッジでCAP2/CAP4へ取り込みます。(時間差測定)

- $T4MOD<CAP12M1, 0>/T5MOD<CAP34M1, 0> = 10$ の場合。

TI4/TI6入力の立ち上がりエッジでCAP1/CAP3へ、立ち下がりエッジでCAP2/CAP4へ取り込みます。この設定の場合に限りINT4/INT6割り込みは立ち下がりエッジで発生します。(パルス幅測定)

- $T4MOD<CAP12M1, 0>/T5MOD<CAP34M1, 0> = 11$ の場合

タイマフリップフロップTFF1の立ち上がりエッジでCAP1/CAP3へ、立ち下がりエッジでCAP2/CAP4へ取り込みます。

また、ソフトウェアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができ、 $T4MOD<CAP1IN>/T5MOD<CAP3IN>$ に“0”を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタCAP1/CAP3へ取り込みます。なお、プリスケアラは、RUN状態にしておく (TRUN<PRRUN>を“1”) 必要があります。

⑤ コンパレータ

アップカウンタUC4/UC5と、タイマレジスタTREG4, TREG5/TREG6, TREG7への設定値とを比較し、一致を検出する16ビットコンパレータです。

一致すると、それぞれ割り込みINTTR4, INTTR5/INTTR6, INTTR7を発生します。

また、TREG5/TREG7 との一致でのみアップカウンタUC4/UC5をクリアします。 $(T4MOD<CLE>/T5MOD<CLE> = 0)$ でアップカウンタUC4/UC5のクリアをディセーブルすることもできます。)

⑥ タイマフリップフロップ (TFF4/TFF6)

コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。

反転のディセーブル/イネーブルは各要因ごとに $T4FFCR<CAP2T4, CAP1T4, EQ5T4, EQ4T4>/T5FFCR<CAP4T6, CAP3T6, EQ7T6, EQ6T6>$ によって設定できます。

TFF4/TFF6は $T4FFCR<TFF4C1, 0>/T5FFCR<TFF6C1, 0>$ に“00”を書き込むことで反転、“01”を書き込むことで“1”にセット、“10”を書き込むことで“0”にクリアすることも可能です。

TFF4/TFF6の値は、タイマ出力端子TO4 (PB2 と兼用)/TO6 (PB6 と兼用) へ出力することができます。

⑦ タイマフリップフロップ (TFF5)

アップカウンタUC4とタイマレジスタTREG5との一致検出信号、キャプチャレジスタCAP2へのラッチ信号によって反転するフリップフロップです。

反転のディセーブル/イネーブルは各要因ごとにT4MOD <CAP2T5, EQ5T5> によって設定できます。

TFF5はT4FFCR<TFF5C1, 0>に“00”を書き込むことで反転、“01”を書き込むことで“1”にセット、“10”を書き込むことで“0”にクリアすることも可能です。

TFF5の値はタイマ出力端子TO5 (PB3と兼用) へ出力することができます。

(注) このフリップフロップ (TFF5) は16ビットタイマ4にのみ内蔵されています。

(1) 16ビットタイマモード

タイマ4とタイマ5はそれぞれ独立に動作します。

いずれのタイマも同一の動作をしますので、ここではタイマ4の場合について説明します。

例：一定周期の割り込みを発生させる場合

タイマレジスタTREG5にインタバル時間を設定しINTTR5割り込みを用います。

	7	6	5	4	3	2	1	0	
TRUN	←	-	X	-	0	-	-	-	タイマ4を停止します。
INTET45	←	1	1	0	0	1	0	0	INTTR5をイネーブル、レベル4に設定しINTTR4を禁止します。
T4FFCR	←	1	1	0	0	0	0	1	トリガをディセーブルします。
T4MOD	←	0	0	1	0	0	1	**	入力クロックを内部クロックにし、キャプチャ機能をディセーブルにします。
								(** = 01, 10, 11)	
TREG5	←	*	*	*	*	*	*	*	インタバル時間を設定します。
		*	*	*	*	*	*	*	(16ビット)
TRUN	←	1	X	-	1	-	-	-	タイマ4を起動します。

(注) X; don't care -; no change

(2) 16ビットイベントカウンタモード

16ビットタイマモードにおいて、入力クロックを外部クロックTI4/TI6にすることでイベントカウンタにすることができます。カウンタ値を読むときは“ソフトウェアキャプチャ”を行い、キャプチャ値をリードすることにより行えます。

カウンタはTI4/TI6入力の立ち上がりエッジでカウントアップします。

またTI4/TI6端子は、PB0、INT4と兼用/PB4、INT6と兼用しています。

タイマ4とタイマ5は同一の動作をしますので、ここではタイマ4について説明します。

	7	6	5	4	3	2	1	0
TRUN	←	-	X	-	0	-	-	-
PBCR	←	-	-	-	-	-	-	0
INTET45	←	1	1	0	0	1	0	0
T4FFCR	←	1	1	0	0	0	0	1
T4MOD	←	0	0	1	0	0	1	0
TREG5	←	*	*	*	*	*	*	*
		*	*	*	*	*	*	*
TRUN	←	1	X	-	1	-	-	-

タイマ4を停止します。
PB0を入力モードに設定します。
INTTR5をイネーブル (レベル4) に、INTTR4をディセーブルにします。
トリガディセーブルにします。
入力クロックをTI4にします。
カウント数を設定します (16ビット)

タイマ4を起動します。

(注) イベントカウンタとして使用する場合も、プリスケアラは“RUN”にしてください。

(3) 16ビットプログラマブル矩形波 (PPG) 出力モード

タイマ4とタイマ5は同一の動作をしますので、ここではタイマ4について説明します。

アップカウンタUC4とタイマレジスタTREG4, TREG5への設定値との一致によってタイマフリップフロップTFF4を反転させ、このTFF4の値をTO4端子 (PB2と兼用) へ出力するように設定することで、プログラマブル矩形波出力モードとなります。ただし、次の条件を満たす必要があります。

(TREG4への設定値) < (TREG5への設定値)

	7	6	5	4	3	2	1	0
TRUN	←	-	X	-	0	-	-	-
TREG4	←	*	*	*	*	*	*	*
		*	*	*	*	*	*	*
TREG5	←	*	*	*	*	*	*	*
		*	*	*	*	*	*	*
T45CR	←	0	X	X	X	-	-	1
T4FFCR	←	1	1	0	0	1	1	0
T4MOD	←	0	0	1	0	0	1	*
								(** = 01, 10, 11)
PBCR	←	-	-	-	-	-	1	-
PBFC	←	X	-	X	X	-	1	X
TRUN	←	1	X	-	1	-	-	-

タイマ4を停止します。
デューティを設定します。(16ビット)

周期を設定します。(16ビット)

TREG4のダブルバッファイネーブル (INTTR5割り込みでデューティ/周期の変更)
TFF4をTREG4, TREG5との一致検出で反転するように設定します。またTFF4の初期値を“0”にします。
入力クロックを内部クロックにし、キャプチャ機能ディセーブルにします。
PB2をTO4に割り付けます。
タイマ4を起動します。

(注) X; don't care -; no change

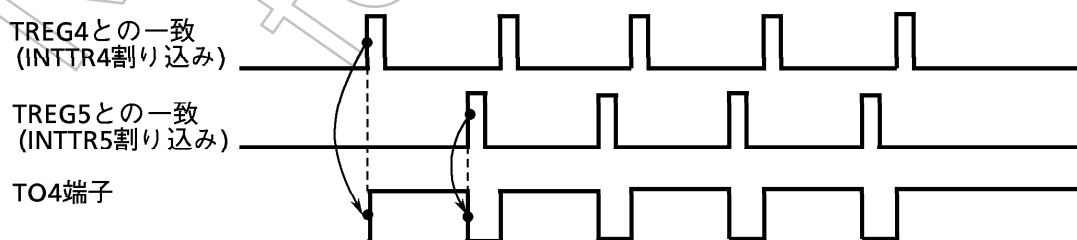


図 3.9 (11) プログラマブル矩形波 (PPG) 出力波形

このモードでは、TREG4のダブルバッファをイネーブルにすることにより、TREG5との一致で、レジスタバッファ4の値がTREG4へシフトインされます。これにより、小さいデューティへの対応が、容易に行えます。

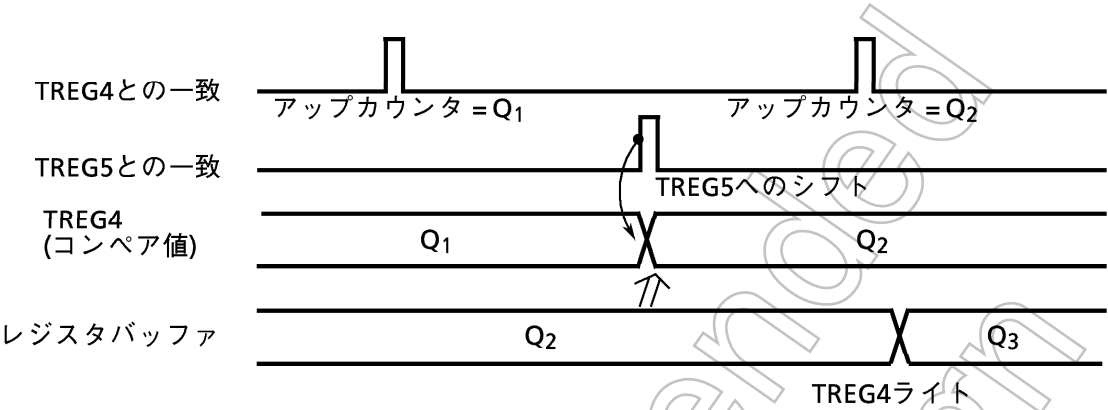


図 3.9 (12) レジスタバッファの動作

このモードのブロック図を示します。

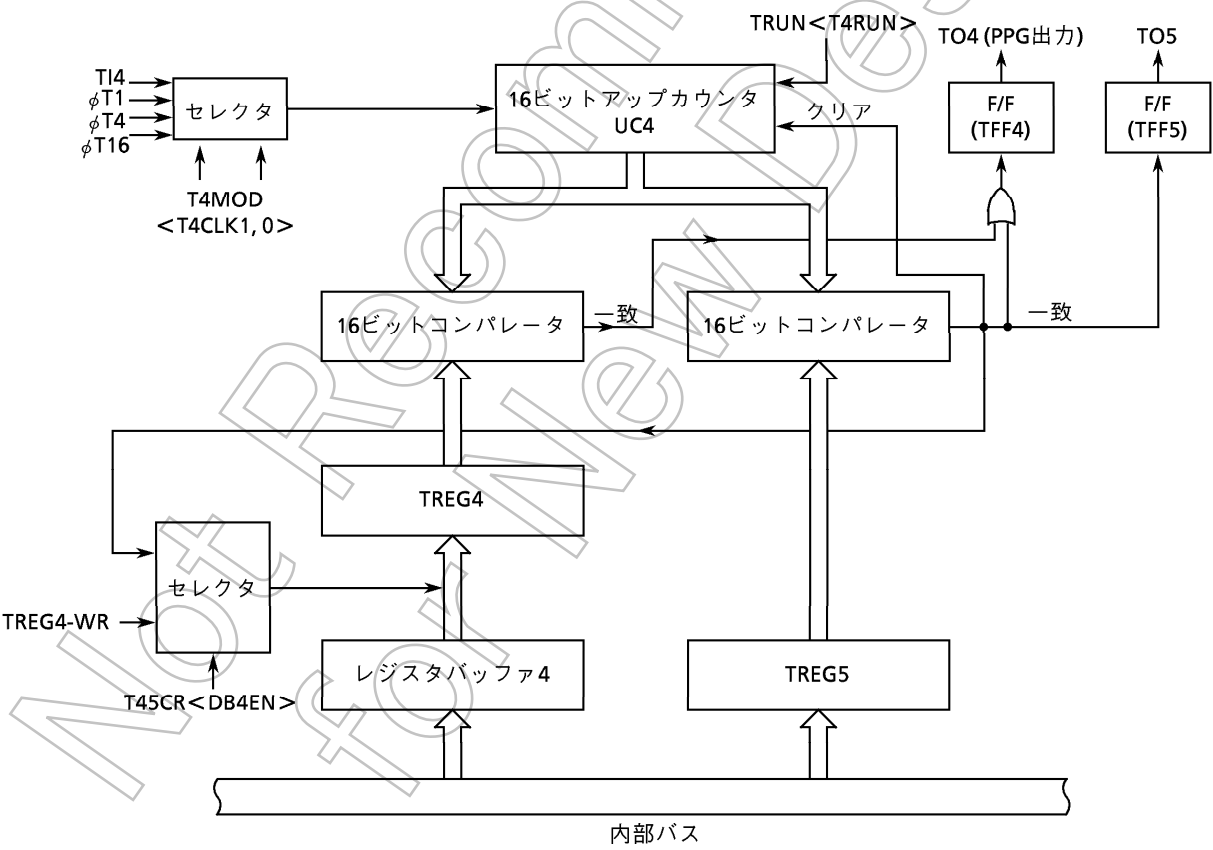


図3.9 (13) 16ビットPPGモードのブロック図

(4) キャプチャ機能を利用した応用例

タイマ4とタイマ5は同一の動作をしますので、ここではタイマ4について説明します。

キャプチャレジスタ (CAP1, CAP2) へのアップカウンタ (UC4) の値の取り込み、コンパレータ (CP4, CP5) からの一致検出によるタイマフリップフロップTFF4の反転およびTFF4のTO4端子への出力はそれぞれイネーブル/ディセーブルすることができ、割り込み機能と組み合わせることにより次に示す例をはじめ、多くの応用が可能です。

- 1) 外部トリガパルスからのワンショットパルス出力
- 2) 周波数測定
- 3) パルス幅測定
- 4) 時間差測定

① 外部トリガパルスからのワンショットパルス出力

アップカウンタ (UC4) を内部クロック入力でフリーランニングにして、外部トリガパルスをTI4端子より入力し、このTI4入力の立ち上がりでキャプチャレジスタCAP1へ、アップカウンタの値を取り込みます。(T4MOD < CAP12M1, 0 > = 01に設定します。)

TI4入力の立ち上がり時、割り込みINT4でレジスタCAP1の値 (C) にディレイタイム (d) を加算した値 (c+d) をTREG4に設定し、このTREG4の値にワンショットパルスのパルス幅 (P) を加算した値 (c+d+p) をTREG5に設定します。なお、割り込みINT4でT4FFCR < EQ5T4, EQ4T4 > レジスタを「タイマフリップフロップTFF4の反転はTREG4, 5との一致時のみイネーブル」にしておきます。また、割り込みINTTR5でこれをディセーブルに戻します。

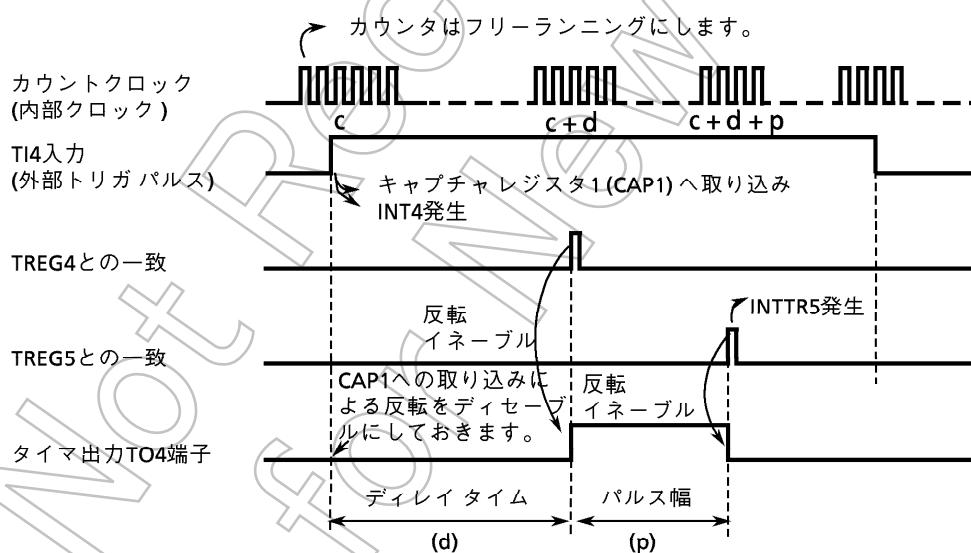


図3.9 (14) ワンショットパルス出力 (ディレイあり)

設定例： TI4端子への外部トリガパルスに対して3 msディレイで2 msのワンショットパルスを出力する場合

メインでの設定	
T4MOD ← - - 1 0 1 0 0 1	フリーランニングにします。 φT1でカウントさせます。
T4FFCR ← 1 1 0 0 0 0 1 0	TI4入力の立ち上がりでCAP1へ取り込みます。
	TFF4をゼロクリアします。
	TFF4の反転をディセーブルにします。
PBCR ← - - - - 1 - -	PB2をTO4に割り付けます。
PBFC ← X - X X - 1 X X	
INTE45 ← - - - - 1 1 0 0	INT4をイネーブルに、INTTR4, INTTR5をディセーブルにします。
INTET45 ← 1 0 0 0 1 0 0 0	
TRUN ← 1 X - 1 - - - -	タイマ4を起動します。

INT4での設定

TREG4 ← CAP1+3ms/φT1	
TREG5 ← TREG4+2ms/φT1	
T4FFCR ← - - - - 1 1 - -	TREG4, 5との一致によるTFF4の反転をイネーブルにします。
INTET45 ← 1 1 0 0 - - - -	INTTR5をイネーブルにします。

INTTR5での設定

T4FFCR ← - - - - 0 0 - -	TREG4, 5との一致によるTFF4の反転をディセーブルにします。
INTET45 ← 1 0 0 0 - - - -	INTTR5をディセーブルにします。

(注) X; don't care -; no change

ディレイタイムが不要な場合、キャプチャレジスタ1 (CAP1) への取り込みによってタイマフリップフロップTFF4を反転させ、割り込みINT4でCAP1の値(C)にワンショットパルスの幅(P)を加算した値(C+P)をタイマレジスタTREG5に設定します。TFF4は、TREG5とアップカウンタ(UC4)の一致によって反転するように、イネーブルにします。また、INTTR5割り込みでこれをディセーブルに戻します。

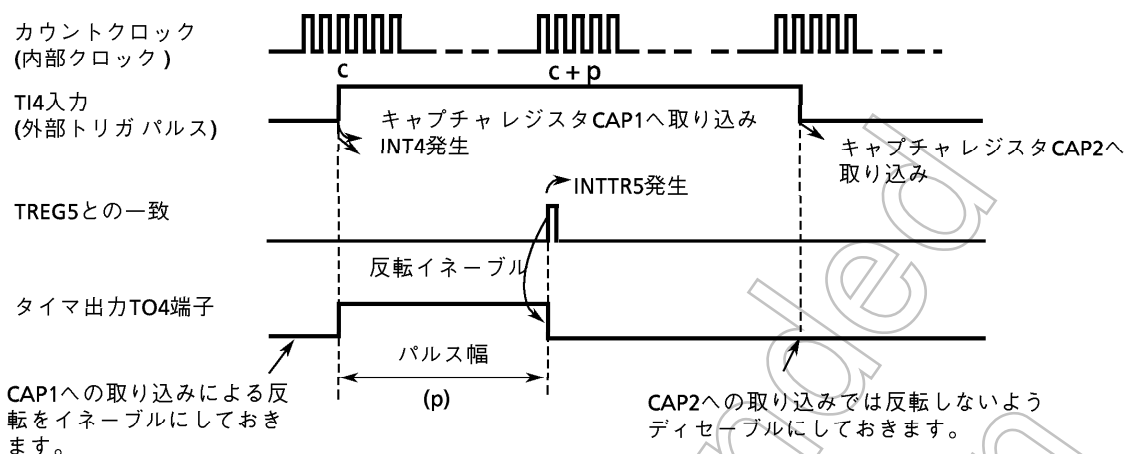


図3.9 (15) ワンショットパルス出力(ディレイなし)

② 周波数測定

外部クロックの周波数を測定するモードです。外部クロックをTI4端子より入力し、これを8ビットタイマ(タイマ0,1)と16ビットタイマ/イベントカウンタ(タイマ4)を用いて測定します。

タイマ4の入力クロックはTI4入力にし、8ビットタイマ(タイマ0,1)のタイマフリップフロップTFF1の立ち上がりでキャプチャレジスタCAP1へ、立ち下がりでCAP2へアップカウンタ(UC4)の値を取り込みます。

周波数は8ビットタイマの割り込み(INTT0またはINTT1)でキャプチャレジスタCAP1, CAP2の差より求めます。

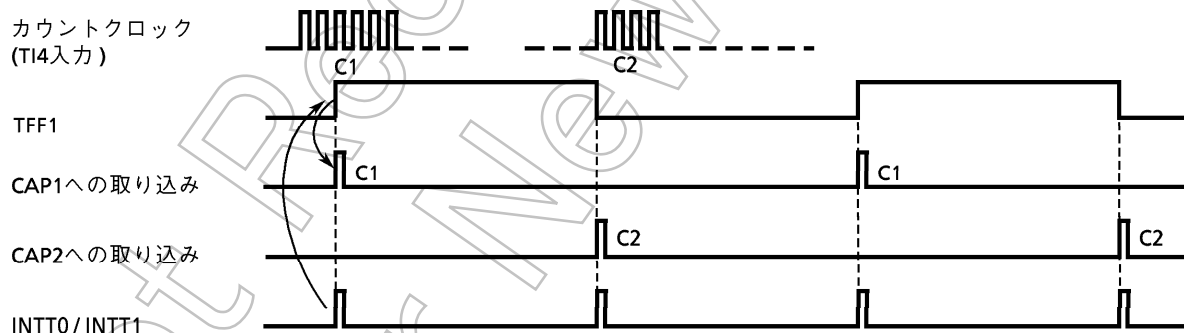


図3.9 (16) 周波数測定

例えば、8ビットタイマによるTFF1の“1”レベル幅の設定値が0.5 sで、CAP1とCAP2の差が100であれば、周波数は $100 \div 0.5 [\text{s}] = 200 [\text{Hz}]$ となります。

③ パルス幅測定

外部パルスの“H”レベルの幅を測定するモードで、**TI4**端子に外部パルスを入力し、**16**ビットタイマ/イベントカウンタを内部クロックでフリーランニングでカウントアップさせておき、キャプチャ機能で、外部パルスの立ち上がり/立ち下がりそれぞれのエッジでトリガをかけて、キャプチャレジスタ**CAP1**, **CAP2**にアップカウンタ (**UC4**) の値を取り込みます。**TI4**端子の立ち下がりにより、**INT4**が発生します。

CAP1, **CAP2**の差と内部クロックの周期によりパルス幅を求めることができます。

例えば、**CAP1**と**CAP2**の差が**100**で、内部クロックが**0.8 μ s**であれば、パルス幅は、 $100 \times 0.8\mu\text{s} = 80\mu\text{s}$ となります。

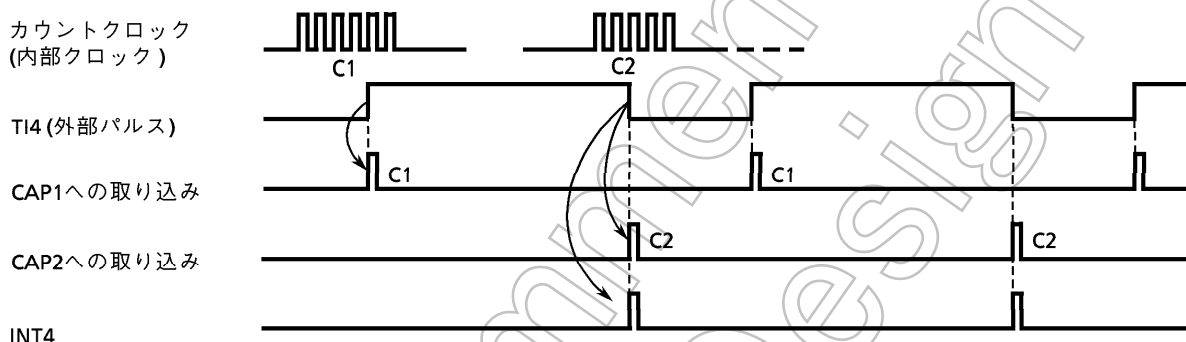


図3.9 (17) パルス幅測定

(注) このパルス幅測定モード**T4MOD < CAP12M1, 0 > = 10**のときのみ、外部割り込み**INT4**は、**TI4**入力立ち下がりエッジで発生します。他のモードでは立ち上がりエッジで発生します。

“L”レベルの幅を測定する場合は、2回目の**INT4**割り込みで1回目の**C2**と2回目の**C1**の差より求めることができます。

④ 時間差測定

TI4, **TI5**の各端子への、外部パルス入力の立ち上がりエッジ間の、時間差を測定するモードです。

16ビットタイマ/イベントカウンタ (タイマ**4**) を、内部クロックでフリーランニングでカウントアップさせておき、**TI4**への入力パルスの立ち上がりエッジ検出で、アップカウンタ**UC4**の値が、キャプチャレジスタ**CAP1**へ取り込まれ、**INT4**割り込みが発生します。

TI5への入力パルスの立ち上がりエッジ検出で、同様にアップカウンタ**UC4**の値が**CAP2**へ取り込まれ、**INT5**割り込みが発生します。

CAP1, **CAP2**ともに取り込みが終わった時点で両者の差から時間差を得ることができます。

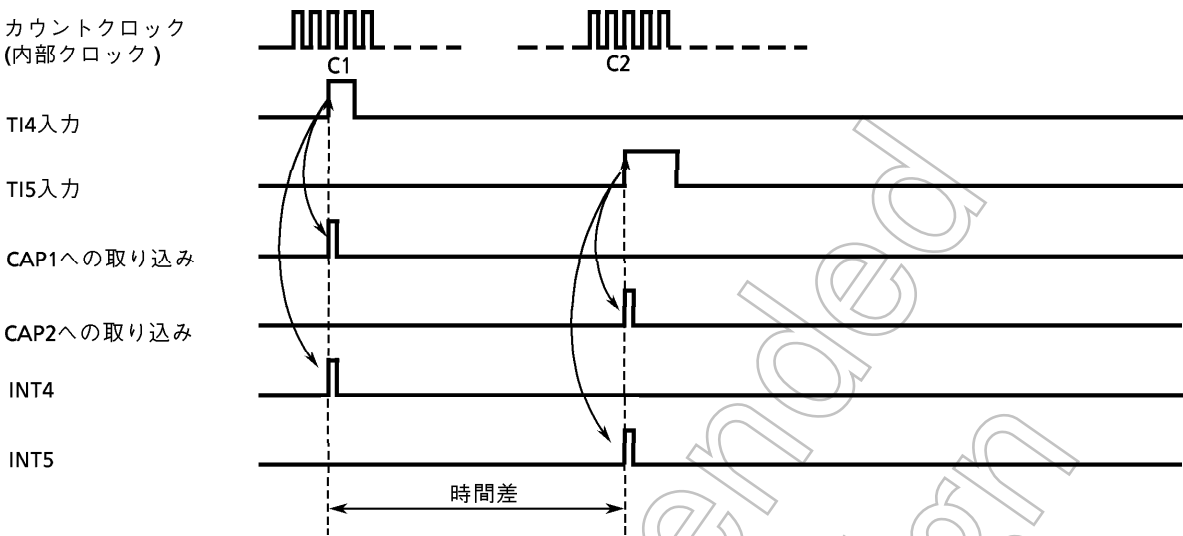


図3.9 (18) 時間差測定

(5) 位相出力モード

アップカウンタUC4をフリーランニングさせ、任意の位相差をもつ信号を出力します。
アップカウンタUC4とTREG4、TREG5との一致により、それぞれTFF4、TFF5を反転させ、その値をTO4、TO5に出力します。
このモードは16ビットタイマ4でのみ使用できます。

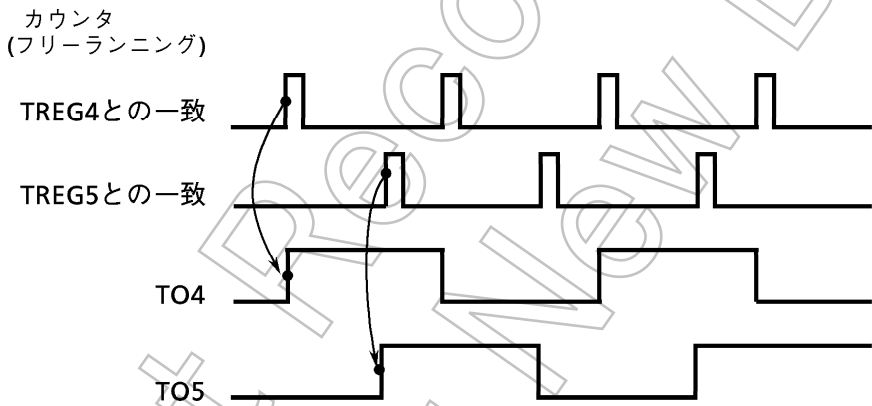


図3.9 (19) 位相出力

上記出力波形の周期 (カウンタのオーバーフロー時間)は、下記のようになります。

	20 MHz	25 MHz
$\phi T1$	26.214 ms	20.97 ms
$\phi T4$	104.856 ms	83.88 ms
$\phi T16$	419.424 ms	335.54 ms

3.10 パターンジェネレータ/ステッピングモータコントロール

タイマ (8ビット/16ビット) と連動するパターンジェネレータ/ステッピングモータコントロールポート (以下PGと略します) を4ビット2チャンネル (PG0, PG1) 内蔵しています。このPGは、8ビットの入出力ポート7と兼用です。

2つのチャンネルのうちチャンネル0 (PG0) は、8ビットタイマ0, 1または16ビットタイマ4と連動し、チャンネル1 (PG1) は8ビットタイマ2, 3または16ビットタイマ5と連動して出力を変更します。

PGは、コントロールレジスタPG01CRによって制御され、パターンジェネレーションモード、ステッピングモータコントロールモードを選択することができます。

また、PG出力はポート7と兼用しており、ポート7の任意のビットをPG出力とすることができます。

チャンネル0 (PG0) とチャンネル1 (PG1) はそれぞれ独立に動作します。
下記の点を除いて、いずれのチャンネルも同一の動作をしますのでチャンネル0 (PG0) の場合についてのみ説明します。

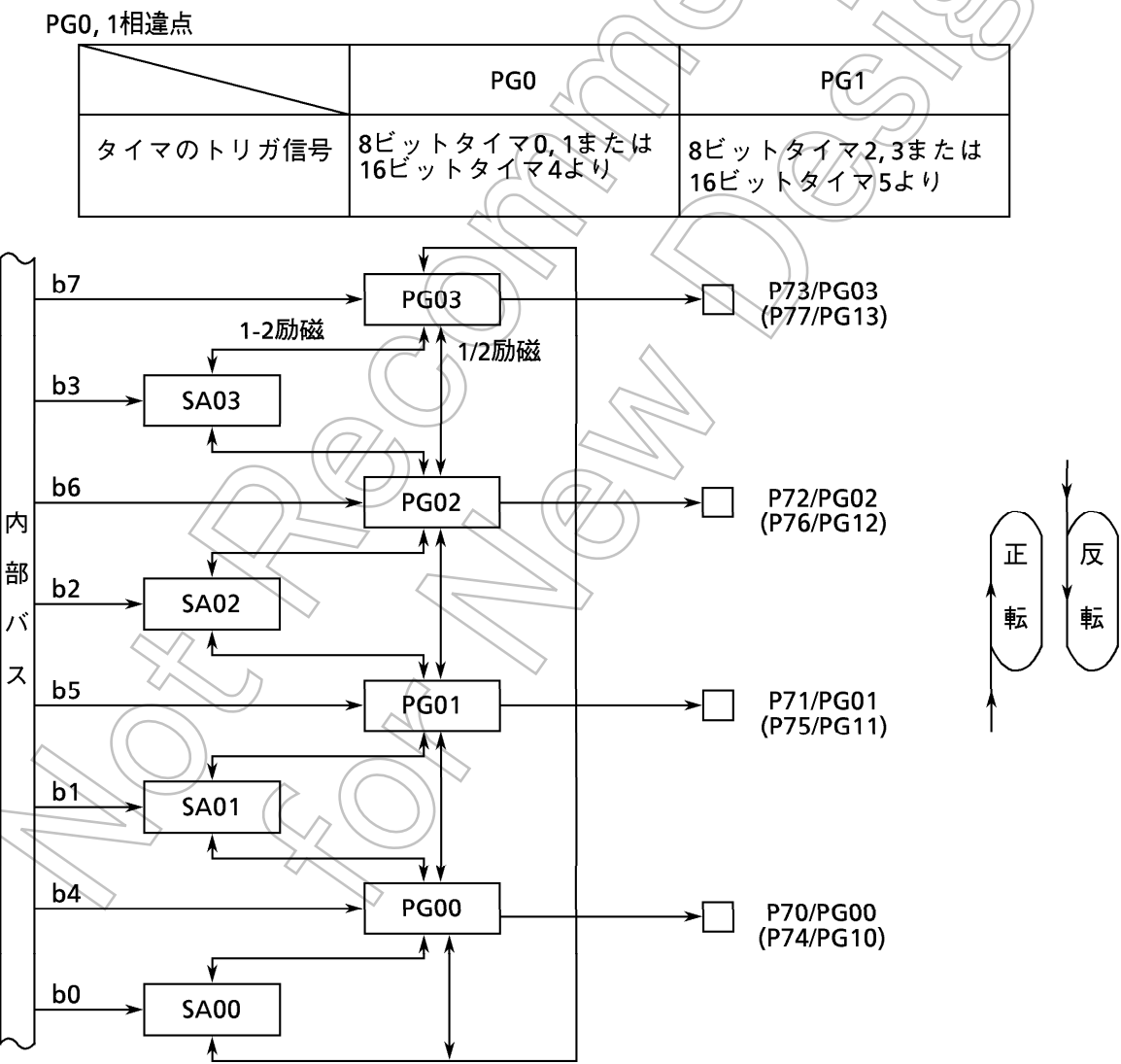


図3.10 (1) パターンジェネレータ/ステッピングモータコントロールブロック図

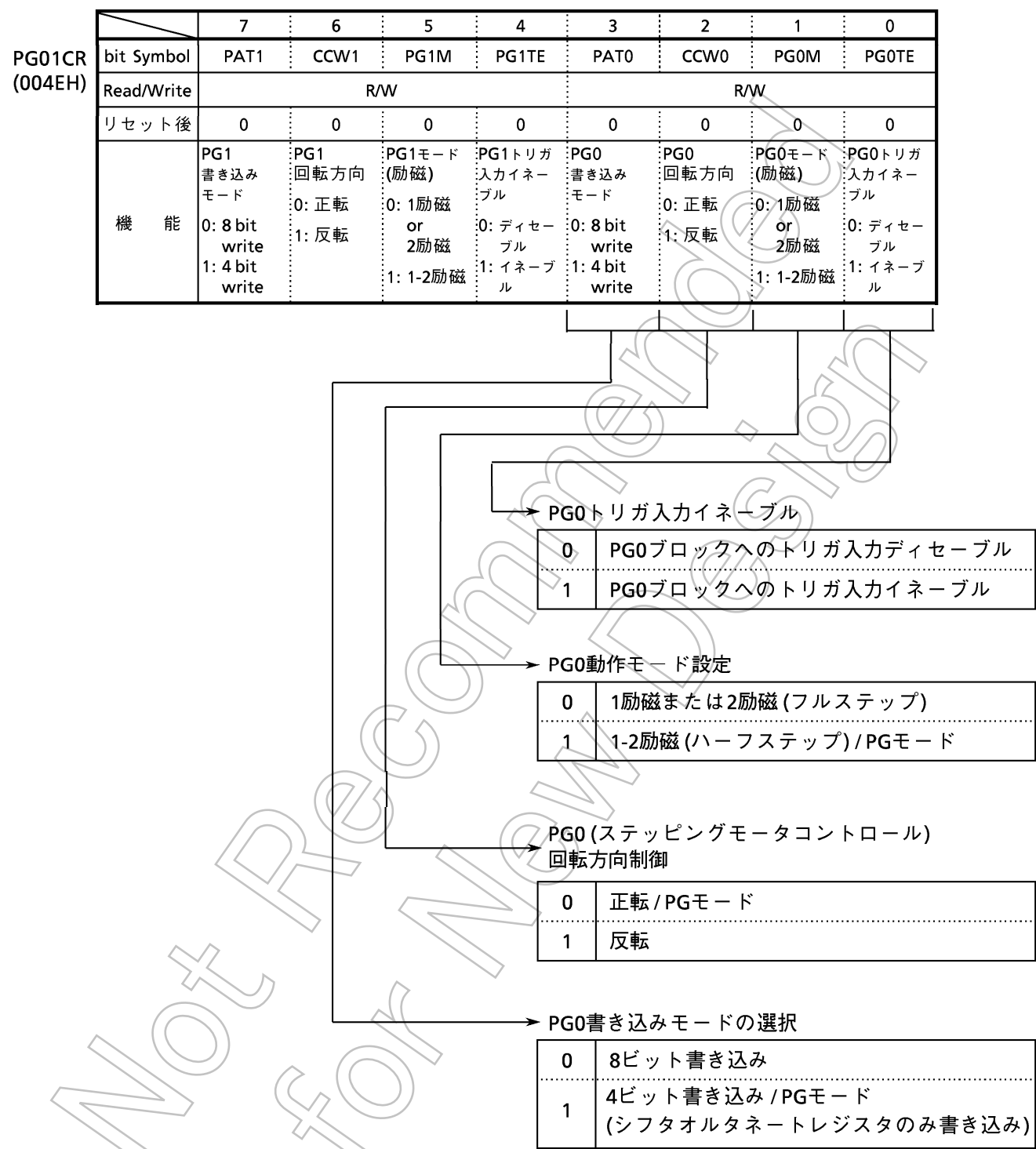


図3.10 (2 a) パターンジェネレータコントロールレジスタ (PG01CR)

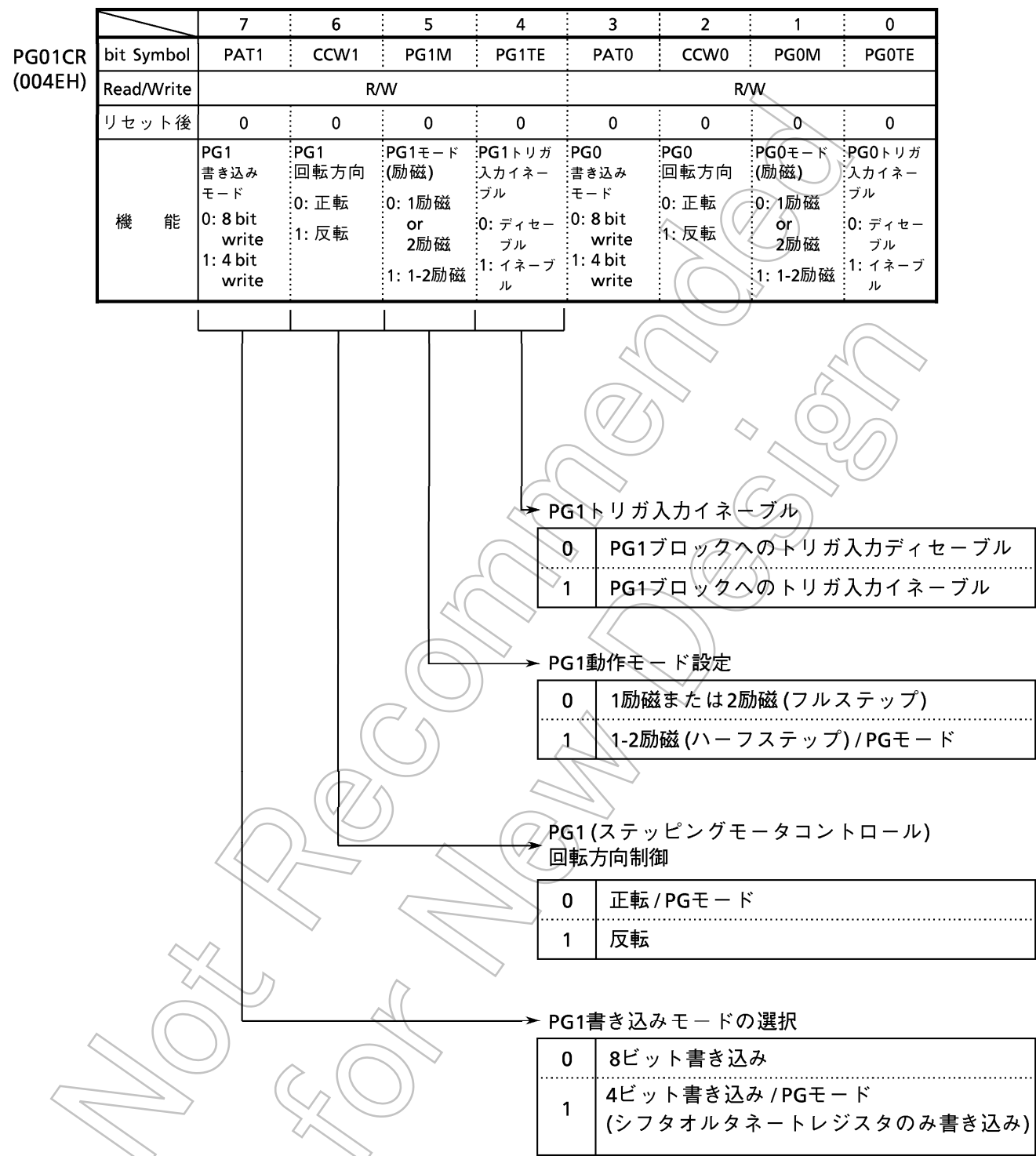


図3.10 (2 b) パターンジェネレータコントロールレジスタ (PG01CR)

PG0REG (004CH)		7	6	5	4	3	2	1	0
	bit Symbol	PG03	PG02	PG01	PG00	SA03	SA02	SA01	SA00
	Read/Write	W				R/W			
	リセット後	0	0	0	0	不 定			
	機 能	パターンジェネレータ0 (PG0) 出力ラッチレジスタ (PG出力に設定されたポート (P7) を読むことにより、リード可能)				シフトオルタネートレジスタ0 PGモード (4bitライト) 対応レジスタ			

リードモディファイ
ライトできません。

図3.10 (3) パターンジェネレータ0レジスタ (PG0REG)

PG1REG (004DH)		7	6	5	4	3	2	1	0
	bit Symbol	PG13	PG12	PG11	PG10	SA13	SA12	SA11	SA10
	Read/Write	W				R/W			
	リセット後	0	0	0	0	不 定			
	機 能	パターンジェネレータ1 (PG1) 出力ラッチレジスタ (PG出力に設定されたポート (P7) を読むことにより、リード可能)				シフトオルタネートレジスタ1 PGモード (4bitライト) 対応レジスタ			

リードモディファイ
ライトできません。

図3.10 (4) パターンジェネレータ1レジスタ (PG1REG)

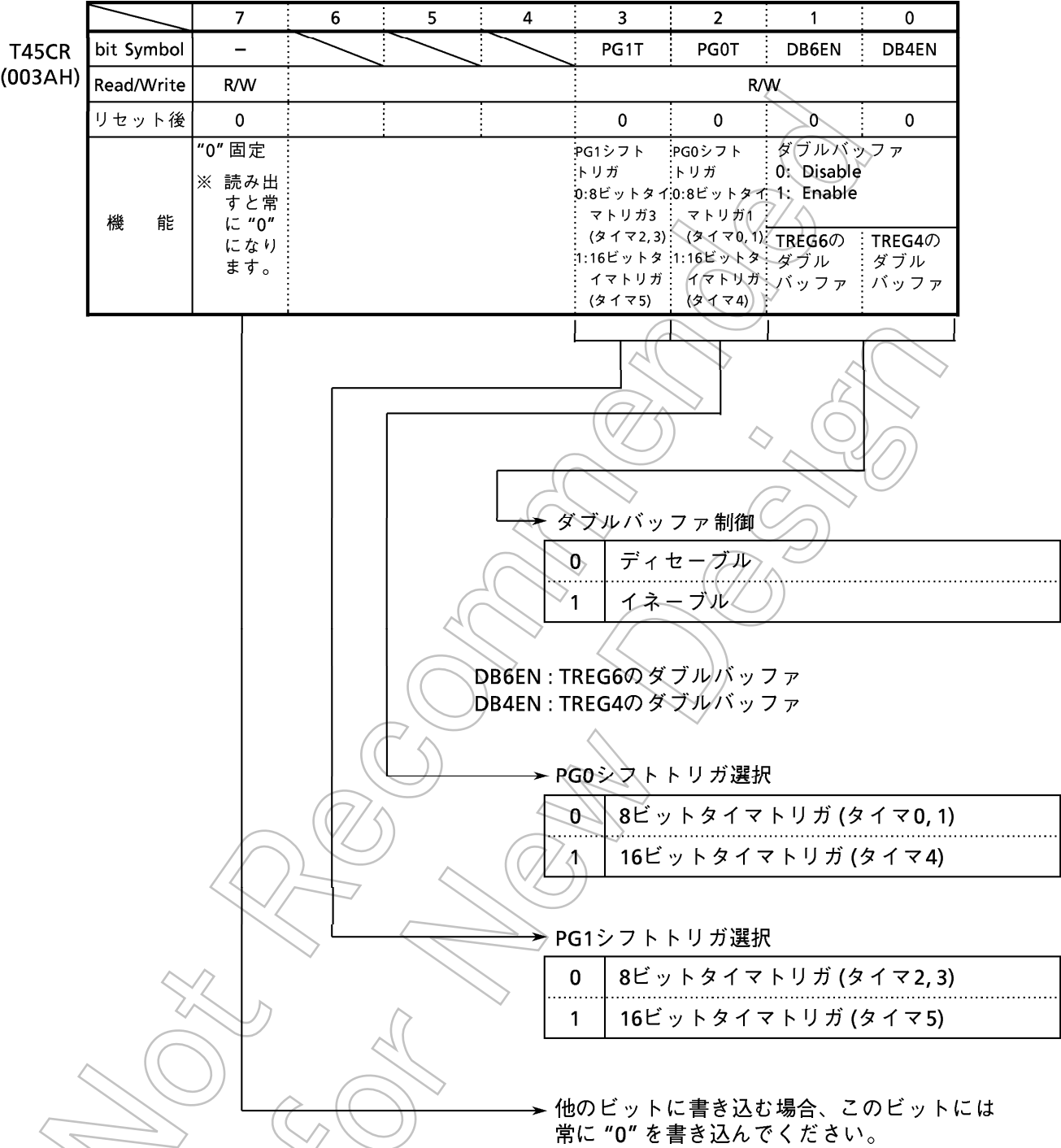


図3.10 (5) 16ビットタイマトリガコントロールレジスタ (T45CR)

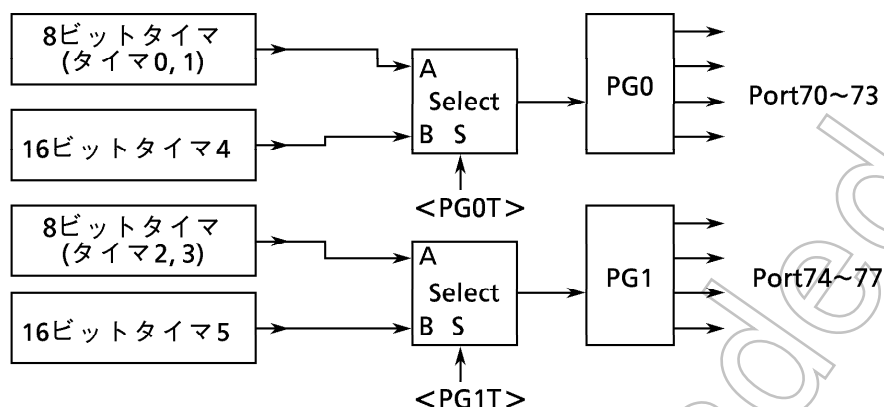


図3.10 (6) タイマとパターンジェネレータの接続関係

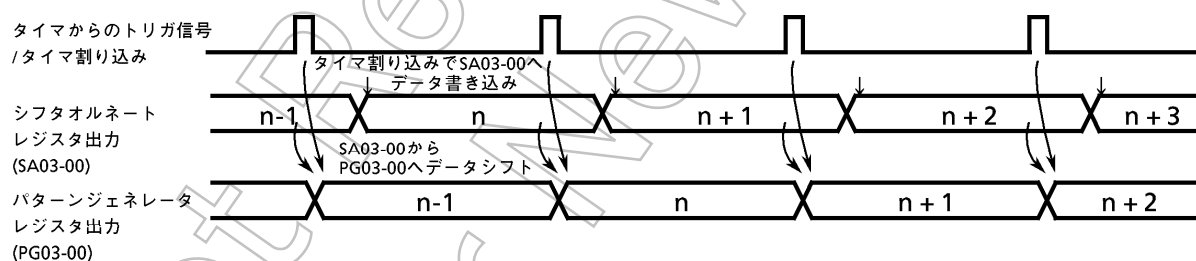
(1) パターンジェネレーションモード

PGは、PG01CRの<PAT0> = “1” 設定により、パターンジェネレータとして機能します。このモードでは、CPUからの書き込みがシフトオルタネートレジスタのみにしか行われなため、シフトトリガ用タイマの割り込み処理の中でPGへの書き込みを行い、タイマと連動しリアルタイムでパターンを出力することができます。

なお、このモードではPG01CR <PG0M> は “1” にPG01CR <CCW0> は “0” にPG01CR <PG0TE> は “1” に設定してください。

また、このPGの出力はポート7へ出力されますが、ポート7ファンクションレジスタP7FCによるビット単位のポート/ファンクション切り替えが可能のため、任意のポート端子をPG出力に割り付けることができます。

図3.10 (7) にこのモードのブロック図を示します。



パターンジェネレーションモードタイミング例

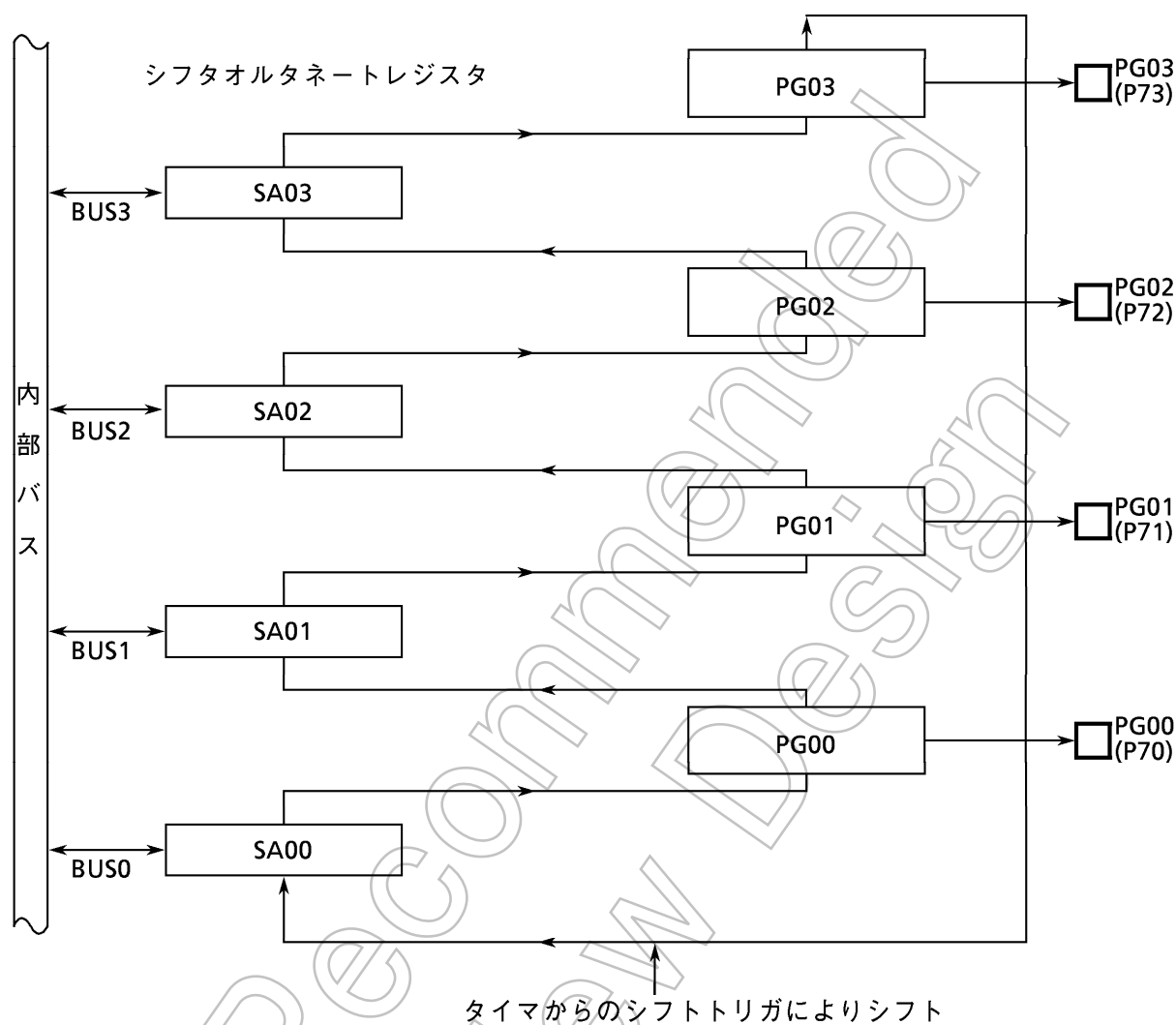


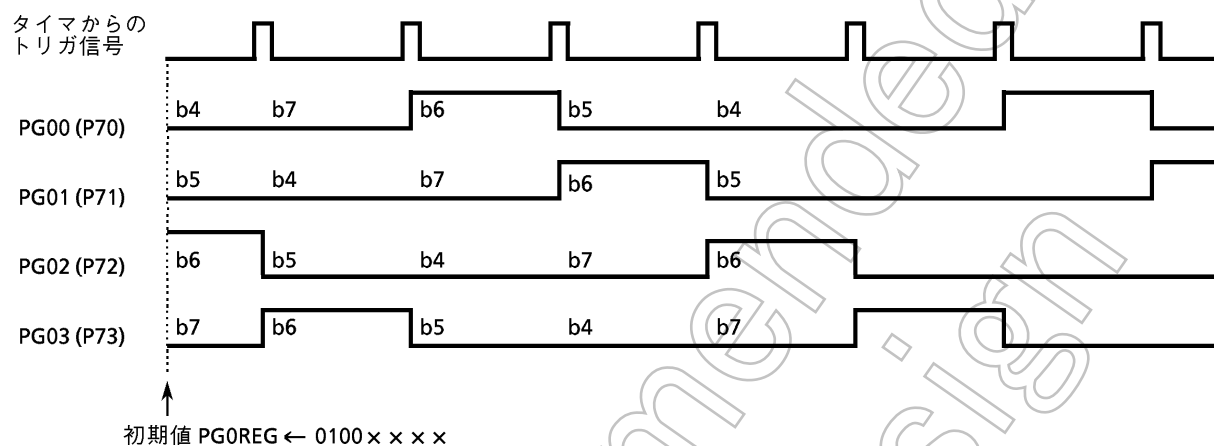
図3.10 (7) パターンジェネレーションモードのブロック図 (PG0)

このパターンジェネレーションモードでは、ハード的に出力ラッチへの書き込みを禁止しているだけで、その他はステッピングモータコントロールモードの1-2励磁と同じ動作を行います。従って、タイマからのトリガ信号でシフトした後のデータ書き込みは、かならず次のトリガ信号が発生するまでに行う必要があります。

(2) ステッピングモータコントロールモード

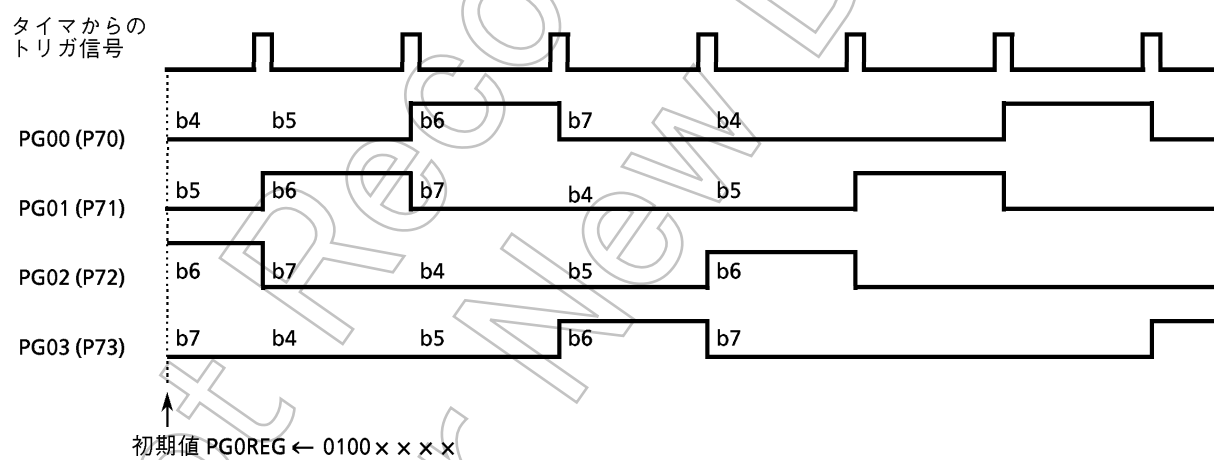
① 4相1励磁 / 2励磁

図3.10 (8), (9)にチャンネル0 (PG0) の場合の4相1励磁, 4相2励磁の出力波形を示します。



(注) bnは初期値 PG0REG ← b7 b6 b5 b4xxxxを表します。

① 正 転



② 反 転

図3.10 (8) 4相1励磁の出力波形 (正転 / 反転)

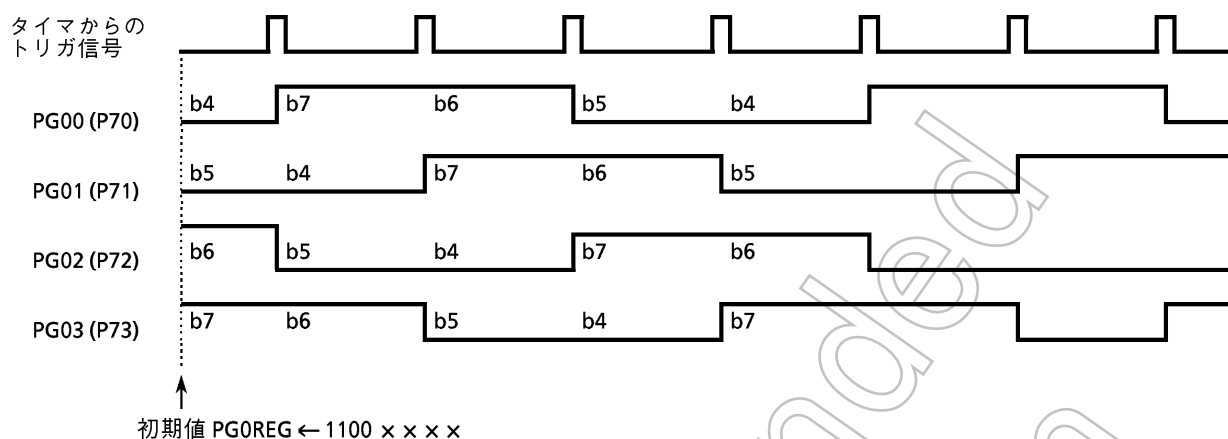
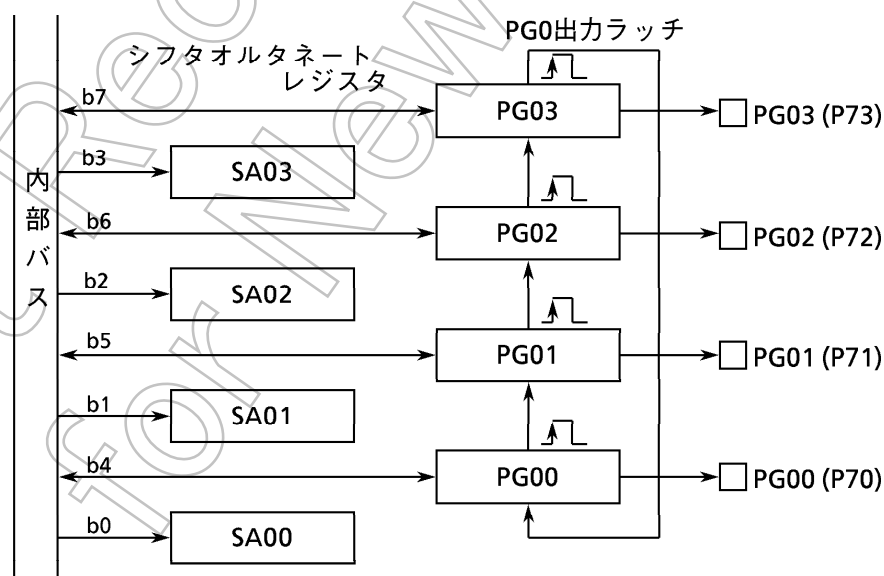


図3.10 (9) 4相2励磁の出力波形 (正転)

PG0 (P7と兼用) の出力ラッチが、タイマからのトリガ信号の立ち上がりで、シフトしポートに出力されます。

シフトの方向は、PG01CR<CCW0> で設定します。CCW0を“0”にすると正転(PG00 → PG01 → PG02 → PG03)となり、“1”にすると反転(PG00 ← PG01 ← PG02 ← PG03)となります。PGへの初期設定の際1ビットだけ“1”を設定すると4相1励磁となり、また連続する2ビットに“1”を設定すると4相2励磁となります。4相1励磁/2励磁の波形出力のときにはシフトオルタネートレジスタは無視されます。

図3.10 (10) にブロック図を示します。

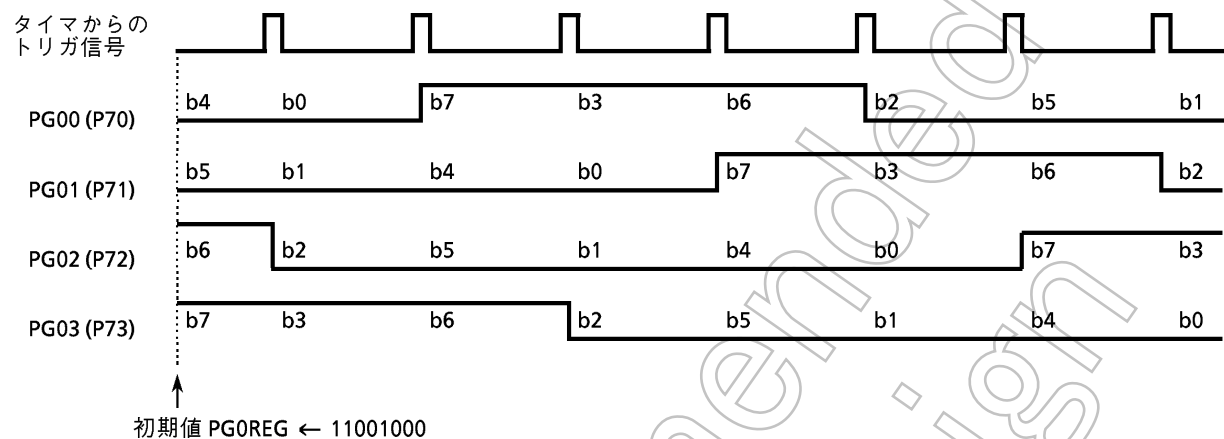


↑ タイマからのトリガ信号の立ち上がりでシフトすることを示しています。

図3.10 (10) 4相1励磁/2励磁 (正転) のブロック図

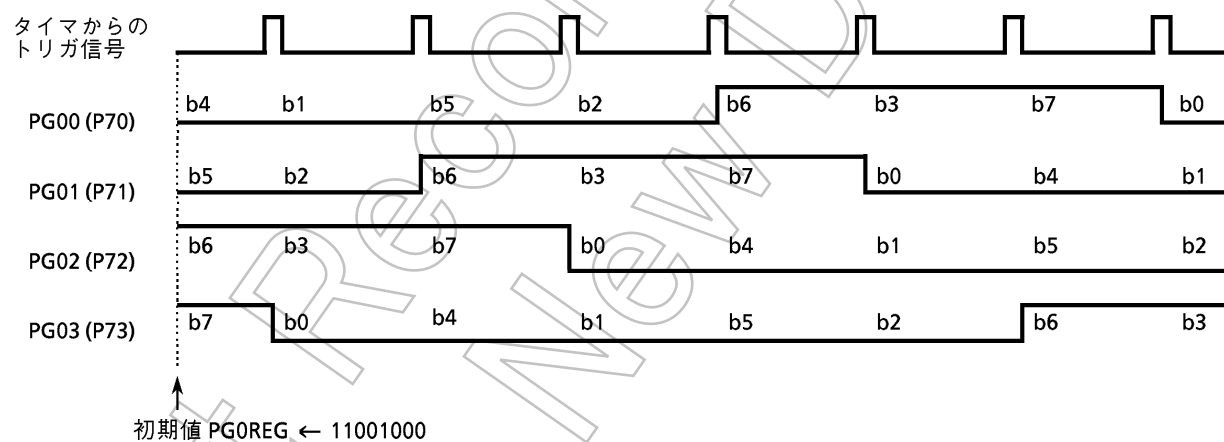
② 4相1-2励磁

図3.10 (11) に4相1-2励磁の出力波形を示します。



(注) bnは初期値PG0REG ← b7 b6 b5 b4 b3 b2 b1 b0を表します。

① 正 転



② 反 転

図3.10 (11) 4相1-2励磁の出力波形 (正転 / 反転)

4相1-2励磁の初期値の設定は次のとおりです。

初期値

b7 b6 b5 b4 b3 b2 b1 b0

を

b7 b3 b6 b2 b5 b1 b4 b0

と並べたとき連続する3ビットを“1”にし他のビットを“0”にします(正論理)。例えばb7, b3, b6を“1”にすると初期値は11001000となり図3.10 (11) のような出力波形が得られます。

負論理の出力波形を得たい場合は、初期値の“1”, “0”を反転した値を設定します。例えば図3.10 (11) の出力波形を負論理にする場合は、初期値を00110111にします。

PG0 (P7と兼用) の出力ラッチとパターンジェネレータ用のシフトオルタネートレジスタ (SA0) が、タイマからのトリガ信号の立ち上がりで、シフトし、ポートへ出力されます。シフトの方向は、PG01CR<CCW0> で設定します。

図3.10 (12) にブロック図を示します。

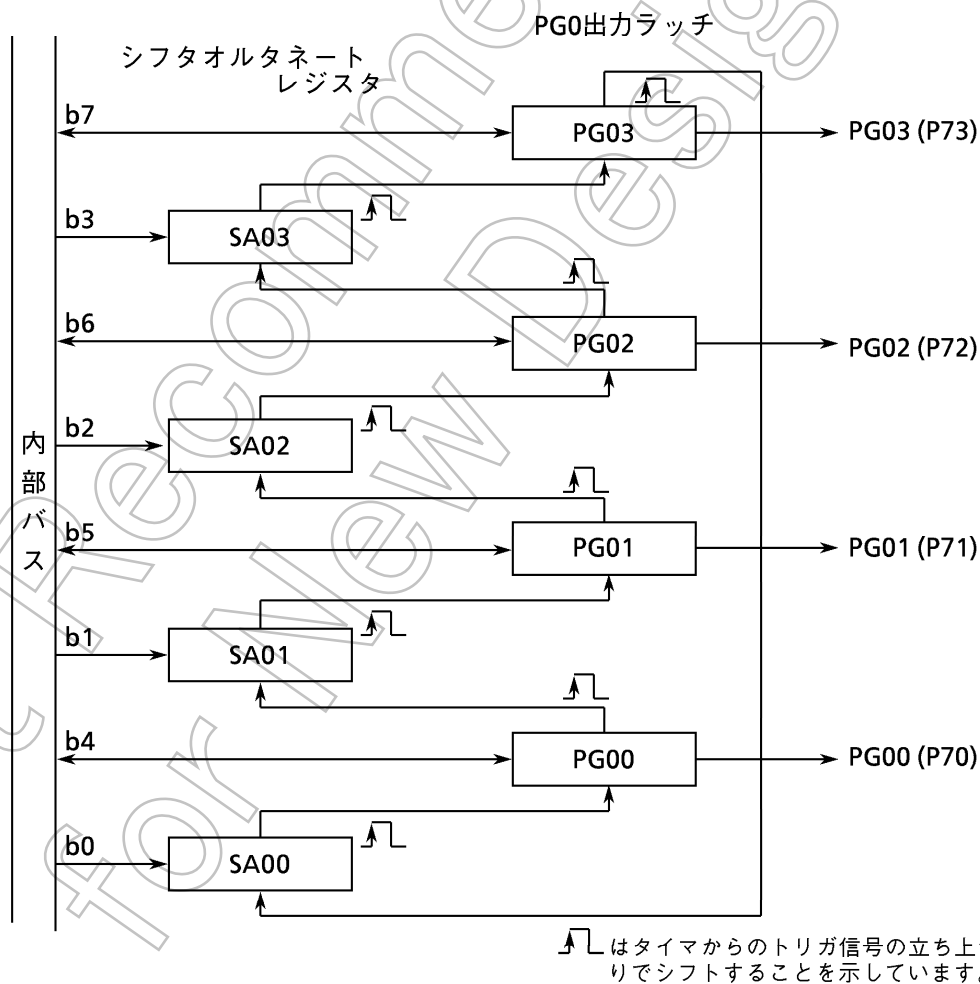


図3.10 (12) 4相1-2励磁(正転)のブロック図

例： チャンネル0 (PG0) をタイマ0で4相1-2励磁 (正転) 駆動する場合、次のように各レジスタを設定します。

```

      7 6 5 4 3 2 1 0
TRUN  ← - X - - - - 0
T01MOD ← 0 0 X X - - 0 1
TFFCR  ← X X X 0 1 0 1 0
TREG0  ← * * * * * * *
P7CR   ← - - - - 1 1 1 1
P7FC   ← - - - - 1 1 1 1
PG01CR ← - - - - 0 0 1 1
PGOREG ← 1 1 0 0 1 0 0 0
TRUN   ← 1 X - - - - 1

```

タイマ0を停止し、ゼロクリアします。
 8ビットタイマモード、入力クロック ϕ T1にします。
 TFF1をクリアし、タイマ0による反転トリガをイネーブル。
 タイマレジスタに周期を設定します。
 P70~73を出力モードに設定します。
 P70~73の出力をPG出力に設定します。
 PG0を4相1-2励磁、正転に設定します。
 初期値を設定します。
 タイマ0を起動します。

(注) X; don't care -; no change

(3) タイマからのトリガ信号

PGで使用するタイマからのトリガ信号は、タイマフリップフロップ(TFF1, 3, 4, 5, 6)の反転トリガ信号とは一部異なります。表3.10 (1) に8ビットタイマの各動作モードによる、トリガ信号発生タイミングの違いを示します。

表3.10 (1) トリガ信号の選択

	TFF1の反転	PGのシフト
8ビット タイマモード	アップカウンタとTREG0 またはTREG1の一致時 TFFCR<FF1IS> で選択	左記と同じタイミング
16ビット タイマモード	アップカウンタとTREG0, TREG1両方の一致時 (アップカウンタ値 = TREG1*2 ⁸ + TREG0)	左記と同じタイミング
PPG出力モード	アップカウンタとTREG0, TREG1それぞれの一致時	アップカウンタとTREG1の 一致時 (PPG周期)
PWM出力モード	アップカウンタとTREG0の 一致時と、PWM周期	PGシフト用のトリガ信号は 発生しません。

(注) PGをシフトさせる場合もTFFCR<FF1IE> = “1” にしてTFF1は反転イネーブルにしておく必要があります。

PGは、16ビットタイマT4/T5と連動することができますが、この場合16ビットタイマからのPGシフトトリガ信号は、アップカウンタUC4/UC5とTREG5/TREG7の一致時のみ発生します。T4からのトリガ信号を用いる場合は、T4FFCR<EQ5T4>, T4MOD<EQ5T5>のどちらかを“1”にし、TREG5との一致でトリガを発生させます。T6からのトリガ信号を用いる場合は、T5FFCR<EQ7T6>を“1”に設定し、TREG7との一致でトリガを発生させてください。

(4) PGとタイマ出力の応用

「タイマからのトリガ信号」の項で述べましたが、PGのシフトとTFFの反転するタイミングは、タイマのモードで異なります。ここでは8ビットタイマをPPG出力モードで動作させながらPGを動作させる場合の応用例を説明します。

ステッピングモータを駆動する場合、各相の値 (PGの出力) とあわせて、励磁の切り替わるタイミングで同期信号を必要とすることがよくあります。本応用ではこの点に着目し、ポート7をステッピングモータコントロールポートとして使用し、TO1 (PA2と兼用) へ同期クロックを出力します。

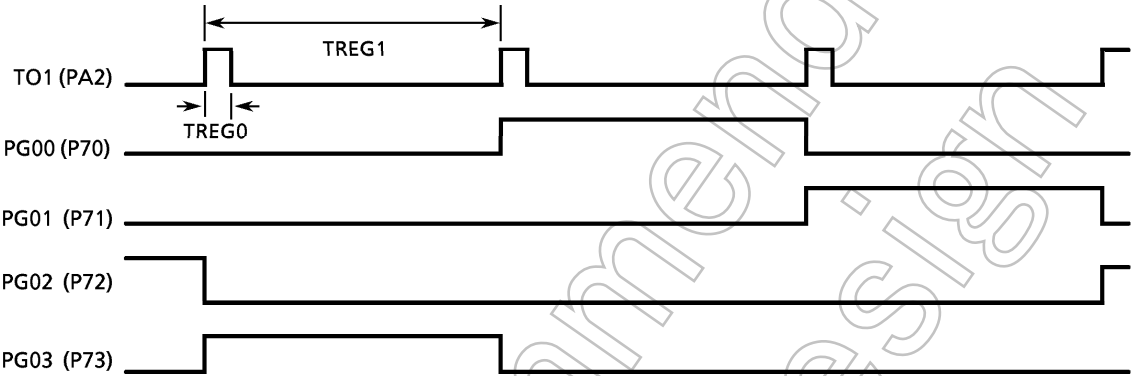


図3.10 (13) 4相1励磁の出力波形

設定例:

	7	6	5	4	3	2	1	0
TRUN	←	-	X	-	-	-	0	0
TO1MOD	←	1	0	X	X	X	X	0
TFFCR	←	X	X	X	0	0	1	1
TREG0	←	*	*	*	*	*	*	*
TREG1	←	*	*	*	*	*	*	*
PACR	←	X	X	X	X	-	1	-
PAFC	←	X	X	X	X	-	1	-
P7CR	←	-	-	-	-	1	1	1
P7FC	←	-	-	-	-	1	1	1
PG01CR	←	-	-	-	-	0	0	0
PG0REG	←	*	*	*	*	*	*	*
TRUN	←	1	X	-	-	-	1	1

- タイマ0, 1を停止しゼロクリア。
- タイマ0, 1をPPGモード、入力クロックをφT1。
- TFF1を反転イネーブル“1”にセット。
- TO1のデューティをセットします。
- TO1の周期をセットします。
- } PA2をTO1端子に設定します。
- } P70~P73をPG0端子に設定します。
- PG0を4相1励磁に設定します。
- 初期値を設定します。
- タイマ0, 1を起動します。

(注) X: don't care -: no change

3.11 シリアルチャネル

TMP95C061Bは、シリアル入出力を2チャンネル内蔵しています。

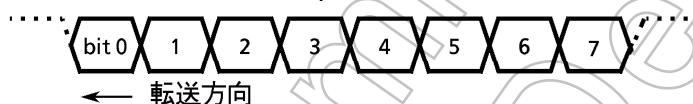
シリアルチャネルの動作モードは下記のとおりです。

- I/Oインタフェース モード ———— モード0: I/Oを拡張するためのI/Oデータの送受信とその同期信号(SCLK)の送受信を行うモードです。
- 非同期通信 (UART) モード ————
 - モード1: 送受信データ長 7ビット
 - モード2: 送受信データ長 8ビット
 - モード3: 送受信データ長 9ビット

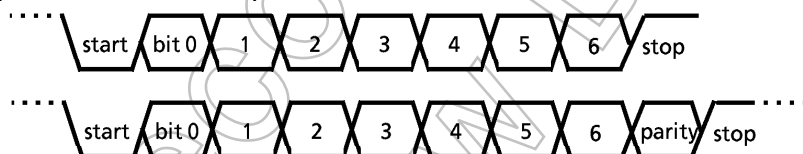
このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。

各モードにおけるデータフォーマット(1フレーム分)を図3.11 (1) に示します。

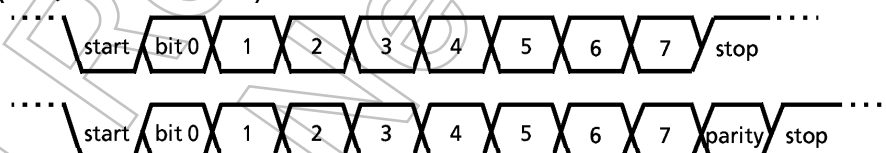
- モード0 (I/Oインタフェース モード)



- モード1 (7ビットUARTモード)



- モード2 (8ビットUARTモード)



- モード3 (9ビットUARTモード)

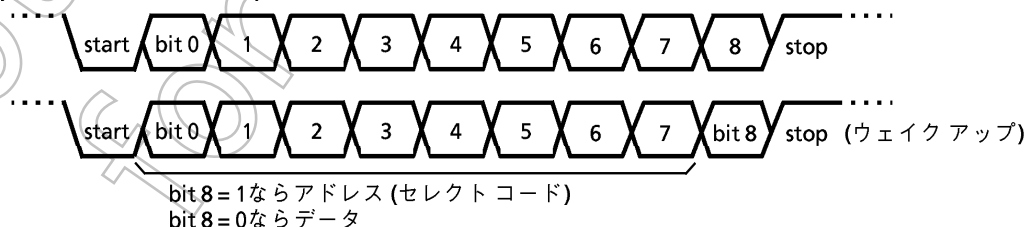


図3.11 (1) データフォーマット

シリアルチャネルは、それぞれ、送信用、受信用にデータを一時的に格納するためのバッファレジスタを備えているため、送信、受信が独立に行えます。(全二重)

ただし、I/Oインタフェースモードでは、**SCLK**(シリアルクロック)が送受信共用のため半二重になります。

受信用のバッファレジスタは、オーバランエラーの発生を防げるようにダブルバッファ構造となっており、**CPU**が受信データを読み取るまで1フレーム分の余裕を持っています。すなわち、受信バッファはすでに受信したデータを格納し、バッファレジスタで次のフレームのデータを受信します。

また、**CTS**と**RTS**(**RTS**端子はありません。任意のポート、1端子をソフトウェアでコントロールする必要があります。)を用いることにより、1フレーム受信ごとに、**CPU**が受信データを読み取るまで、送信を停止させることもできます。(ハンドシェイク機能)

UARTモードでは、ノイズなどに起因する誤ったスタートビットによって、受信動作が開始されないように、チェック機能が付加されています。これは、3回スタートビットをサンプリングして、2回以上正常なスタートビットとして検出された場合のみ、受信開始する機能です。

送信バッファが空になり、次に送信すべきデータを**CPU**へ要求するとき、または受信バッファにデータが格納され、**CPU**へ読み取りを要求するとき、それぞれ**INTTX**、**INTRX**割り込みが発生します。

また、受信動作において、オーバランエラー、パリティエラー、フレーミングエラーの発生により、それぞれのフラグ**SC0CR/SC1CR**の**<OERR, PERR, FERR>**がセットされます。

シリアルチャネル0/1は、専用のボーレートジェネレータを有し、9ビットプリスケアラ(8/16ビットタイマと共用)からの内部入力クロック($\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$)を1~16分周(チャネル1は2~16分周)することにより、任意のボーレートを設定することができます。

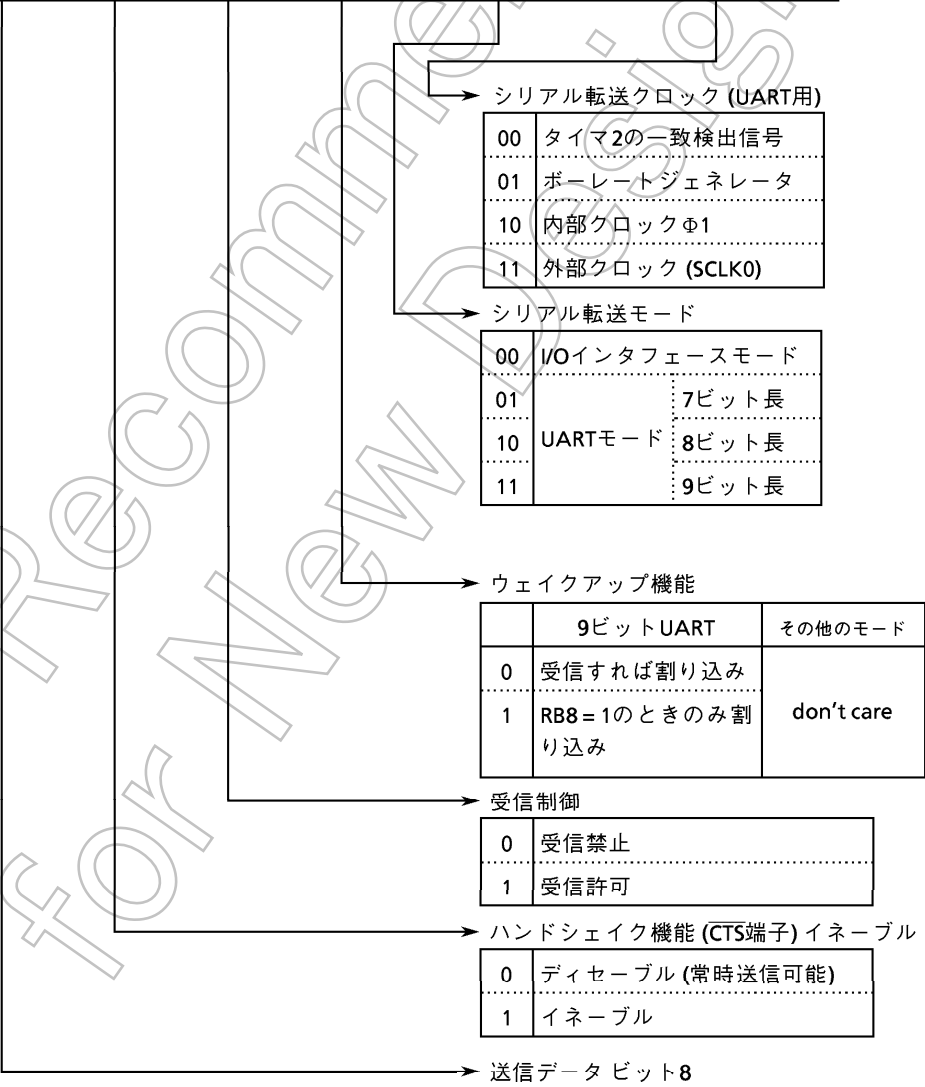
さらに、シリアルチャネル0は、内部ボーレートジェネレータからのクロックだけでなく、外部からの入力クロック(**SCLK0**)により、任意のボーレートを実現することができます。また、I/Oインタフェースモードでは、同期信号(**SCLK**)の入力動作も可能で、外部クロックによるデータの送受信が行えます。

3.11.1 コントロールレジスタ

各シリアルチャネルは、3つのコントロールレジスタ(チャネル0では**SC0CR**, **SC0MOD**, **BR0CR**)によって制御されています。また送受信データは、同チャネルの**SC0BUF**レジスタに格納されます。

SC0MOD
(0052H)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	不定	0	0	0	0	0	0	0
機能	送信データ ビット8	ハンド シェイク 機能制御 0: CTS ディセー ブル 1: CTS イネーブ ル	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: ディセー ブル 1: イネーブ ル	シリアル転送モード 00: I/Oインタフェース モード 01: 7ビット長 UARTモード 10: 8ビット長 UARTモード 11: 9ビット長 UARTモード	シリアル転送クロック (UART用) 00: TO2トリガ 01: ボーレート ジェネレータ 10: 内部クロックΦ1 11: 外部クロック (SCLK0)		

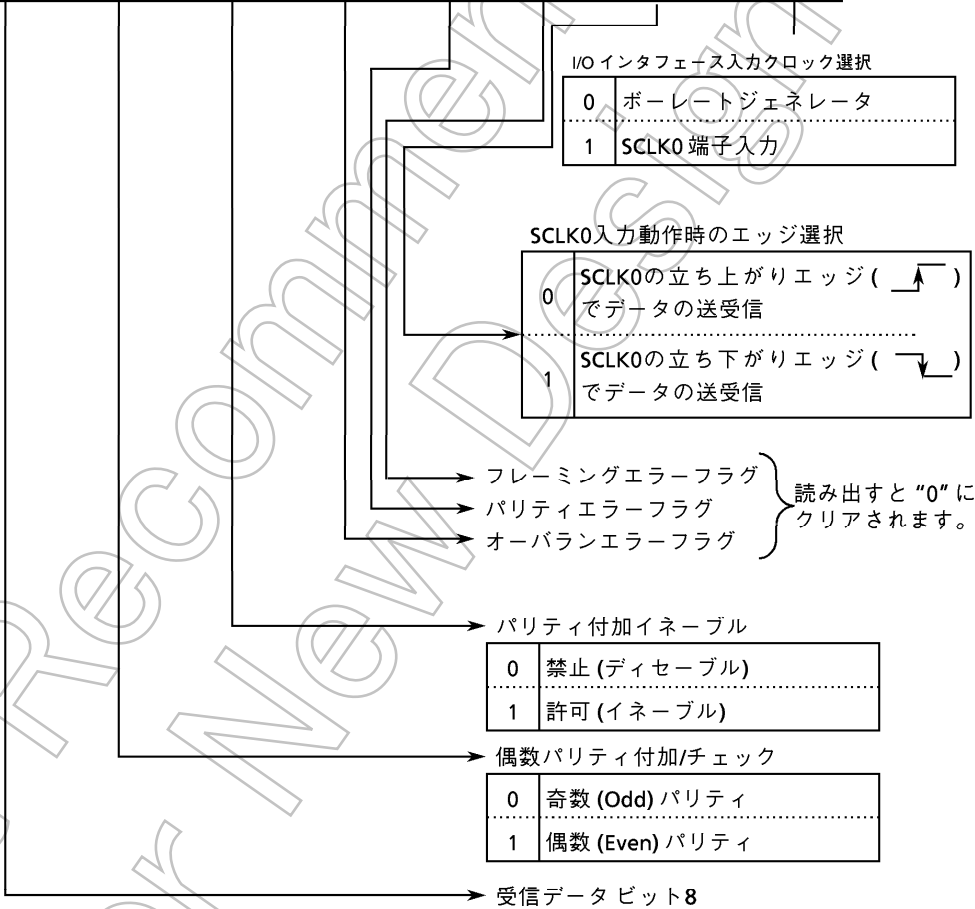


(注) チャンネル1用は、SC1MOD (56H) にあります。

図3.11 (2) シリアルモードコントロールレジスタ(チャンネル0用、SC0MOD)

SC0CR
(0051H)

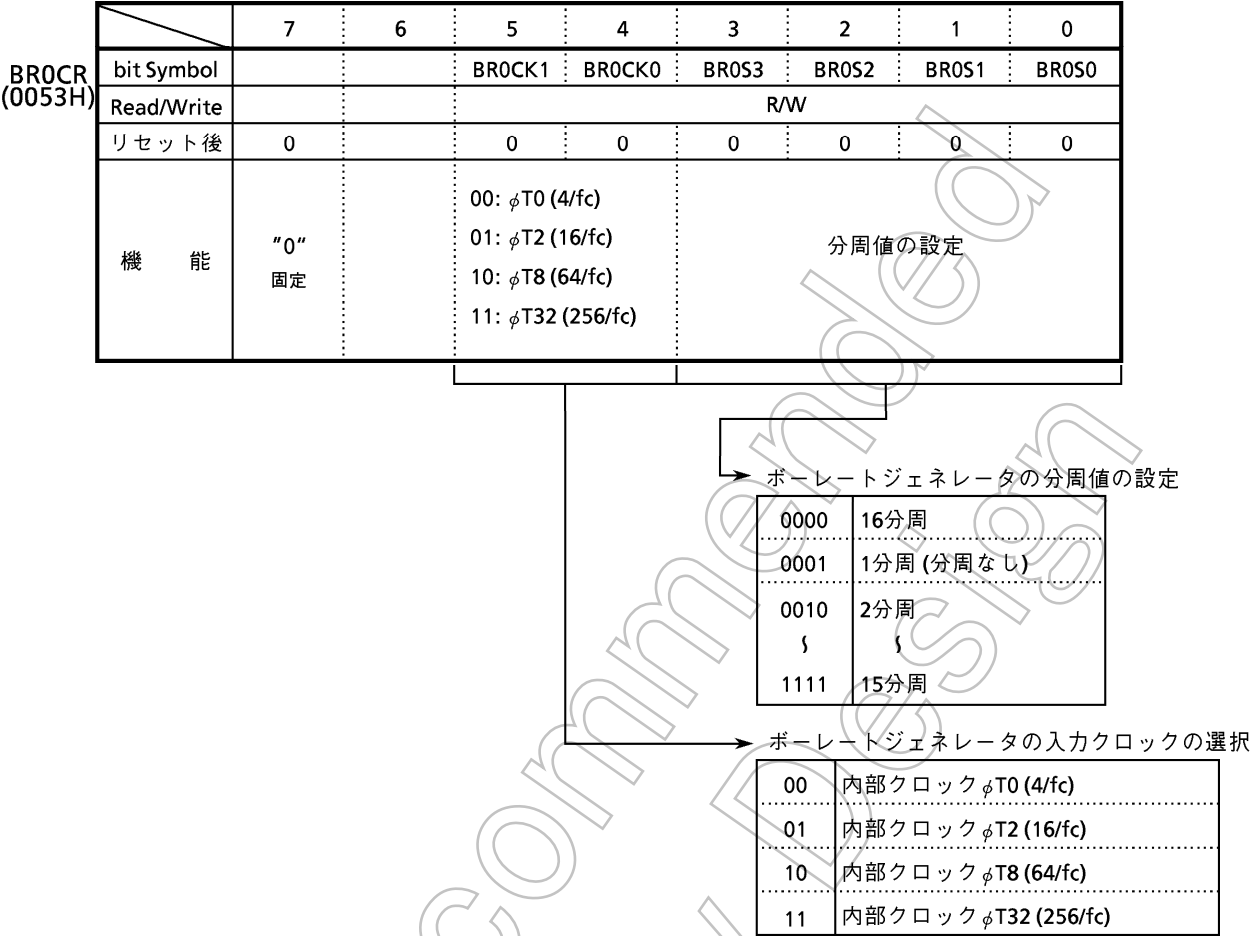
	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Readすると0クリアされます。)			R/W	
リセット後		0	0	0	0	0	0	0
機能	受信データ ビット8	パリティ 0: Odd 1: Even	パリティ 付加 0: 禁止 1: 許可	オーバー ラン	パリティ エラー	フレー ミング	0: SCLK0 1: SCLK0 (↑) (↓)	0: ボーレー トジェネ レータ 1: SCLK0 端子入力



(注) チャンネル1用は、SC1CR (55H) にあります。

(注) エラーフラグは読出されるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.11 (3) シリアルコントロールレジスタ(チャンネル0用、SC0CR)



- (注) チャネル1用は、BR1CR (57H) にあります。
- (注) ボーレートジェネレータを使用するときは、TRUN<PRRUN> = "1" に設定してプリスケアラをRUN状態にしてください。
- (注) ボーレートジェネレータ分周値の1分周はUARTのみ有効です。I/Oインタフェースモードでは、設定しないでください。
- (注) シリアル転送中は、BR0CRレジスタへアクセスしないでください。

図3.11 (4) ボーレートジェネレータコントロールレジスタ (チャネル0用、BR0CR)

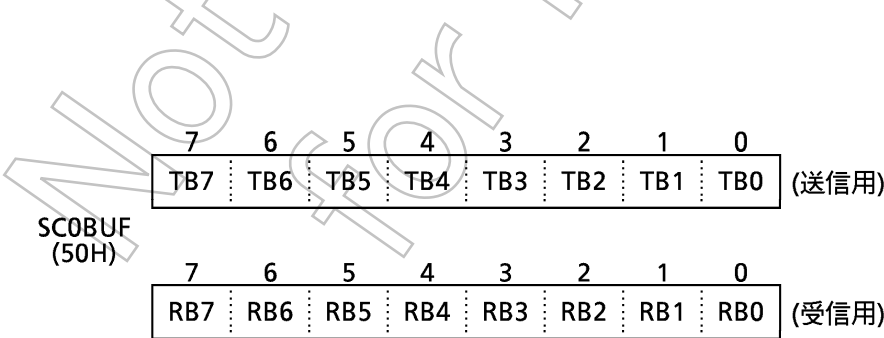


図3.11 (5) シリアル送受信バッファレジスタ (チャネル0用、SC0BUF)

SC1MOD
(0056H)

	7	6	5	4	3	2	1	0
bit Symbol	TB8		RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	不定	0	0	0	0	0	0	0
機能	送信データ ビット8	"0" 固定	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェース モード 01: 7ビット長 UARTモード 10: 8ビット長 UARTモード 11: 9ビット長 UARTモード	シリアル転送クロック (UART用) 00: TO2トリガ 01: ボーレート ジェネレータ 10: 内部クロックΦ1 11: don't care		

シリアル転送クロック (UART用)

00	タイマ2の一致検出信号
01	ボーレートジェネレータ
10	内部クロックΦ1
11	don't care

(注) I/O インタフェースモード時は、シリアル
コントロールレジスタ (SC1CR) で、クロッ
クを選択します。

シリアル転送モード

00	I/O インタフェースモード
01	7ビット長
10	UARTモード 8ビット長
11	9ビット長

ウェイクアップ機能

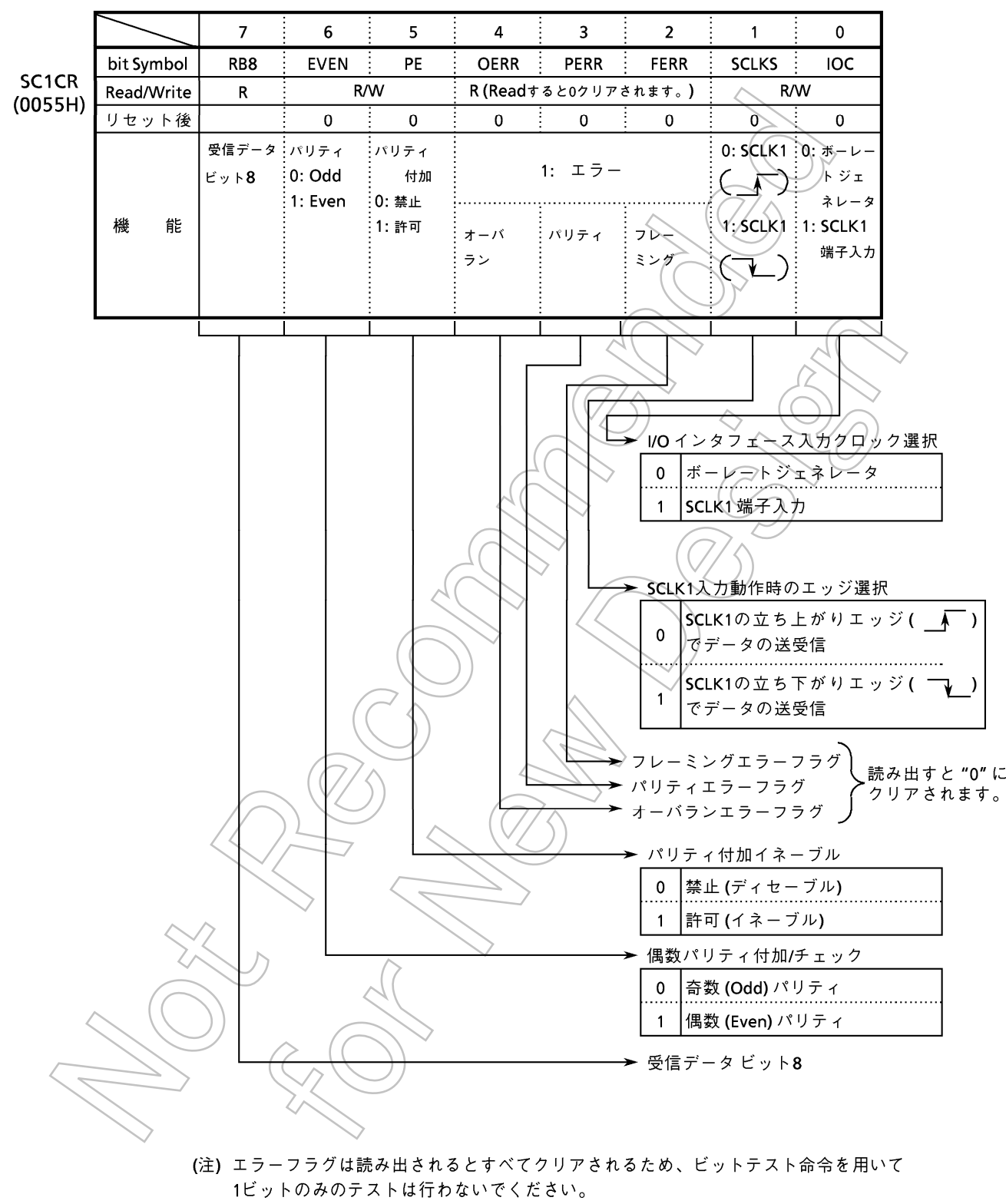
	9ビットUART	その他のモード
0	受信すれば 割り込み	don't care
1	RB8 = 1のときのみ 割り込み	

受信制御

0	受信禁止
1	受信許可

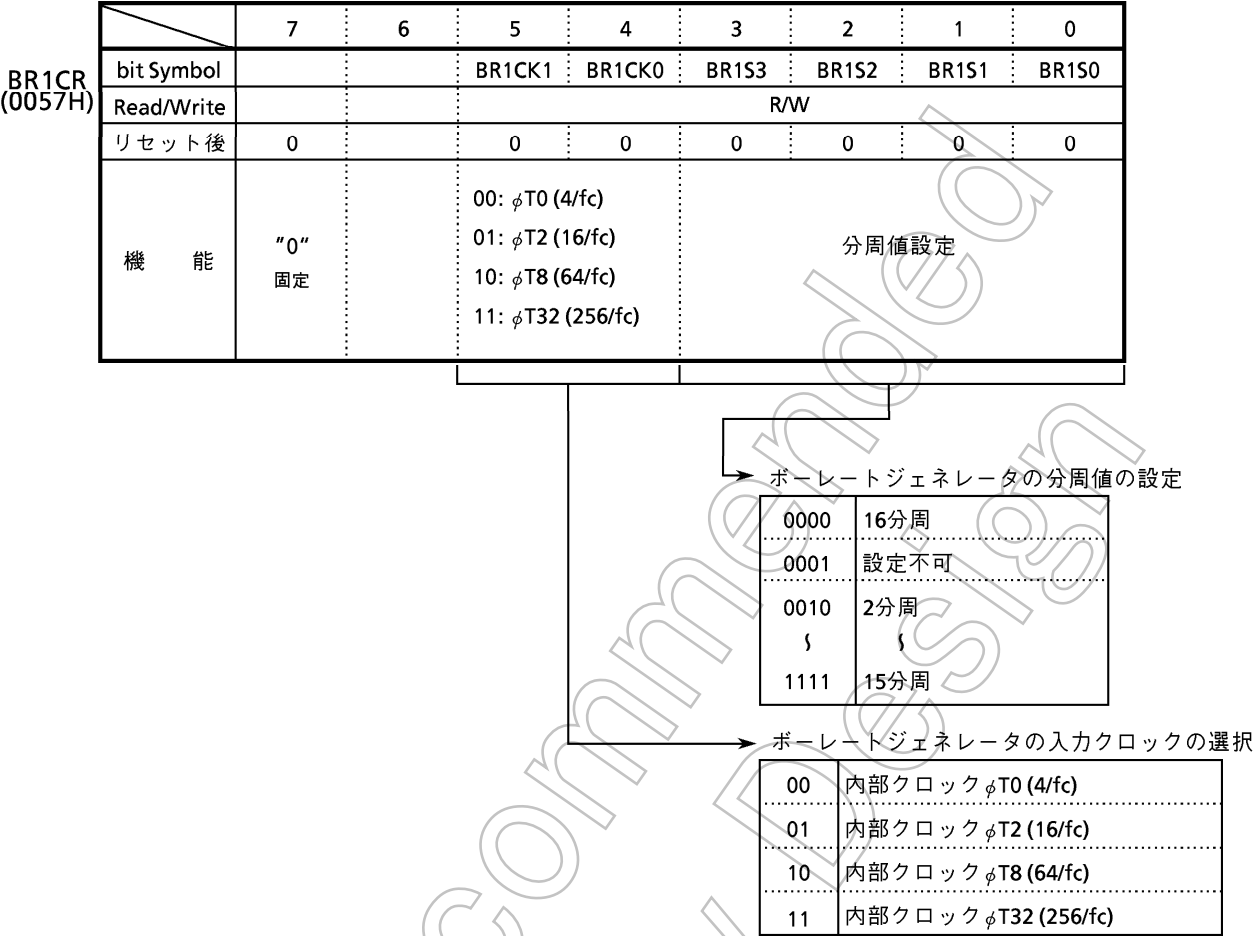
送信データビット8

図3.11 (6) シリアルモードコントロールレジスタ(チャンネル1用、SC1MOD)



(注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図3.11 (7) シリアルコントロールレジスタ(チャンネル1用、SC1CR)



(注) ボーレートジェネレータを使用するときは、TRUN<PRRUN>="1" に設定してプリスケアラをRUN状態にしてください。

(注) シリアル転送中は、BR1CRレジスタへアクセスしないでください。

図3.11 (8) ボーレートジェネレータコントロールレジスタ (チャンネル1用、BR1CR)

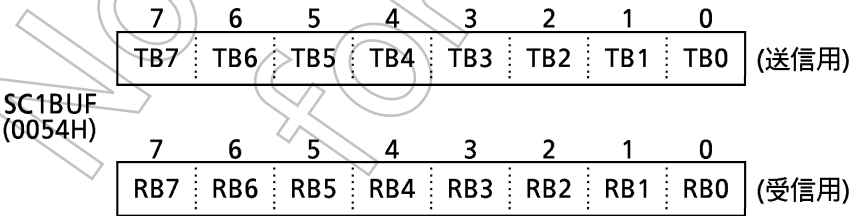


図3.11 (9) シリアル送受信バッファレジスタ (チャンネル1用, SC1BUF)

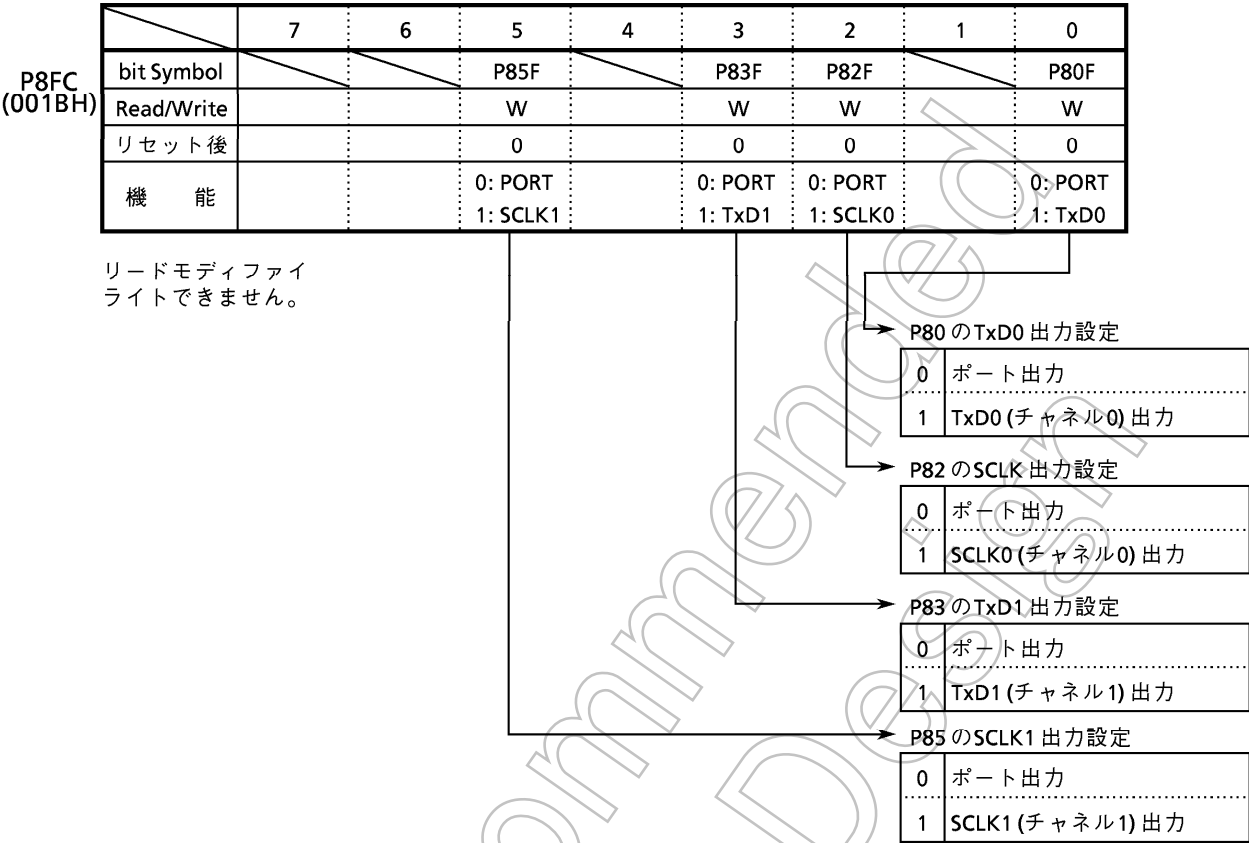


図3.11 (10) ポート8ファンクションレジスタ (P8FC)

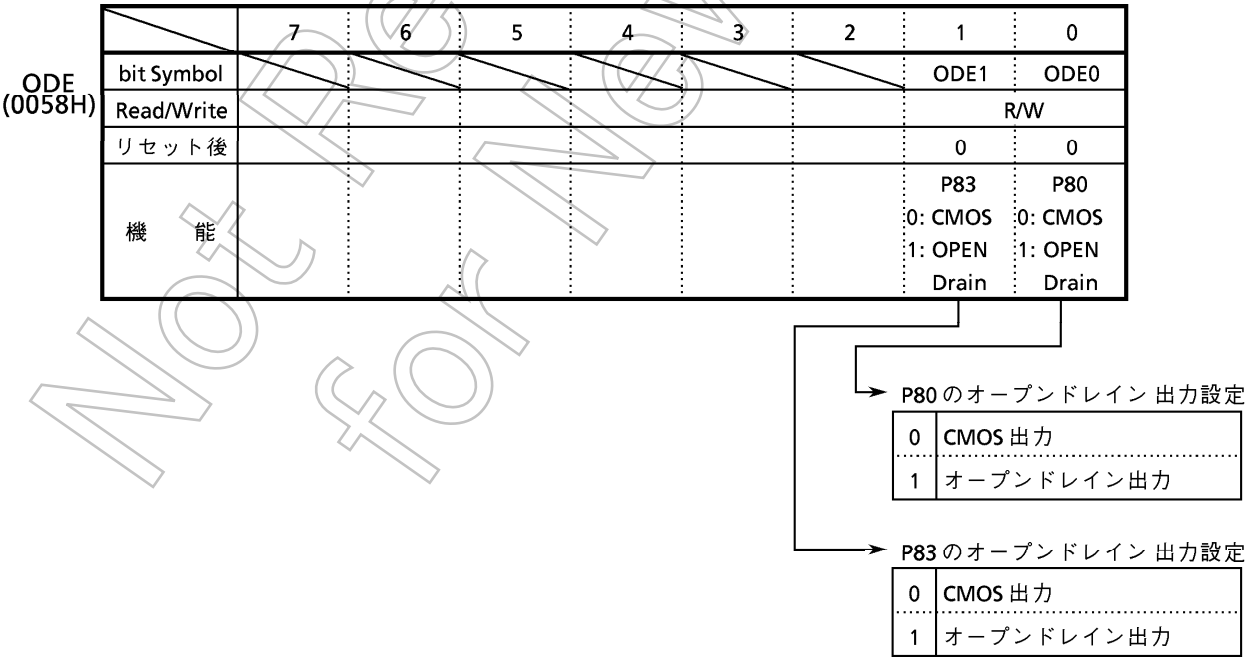
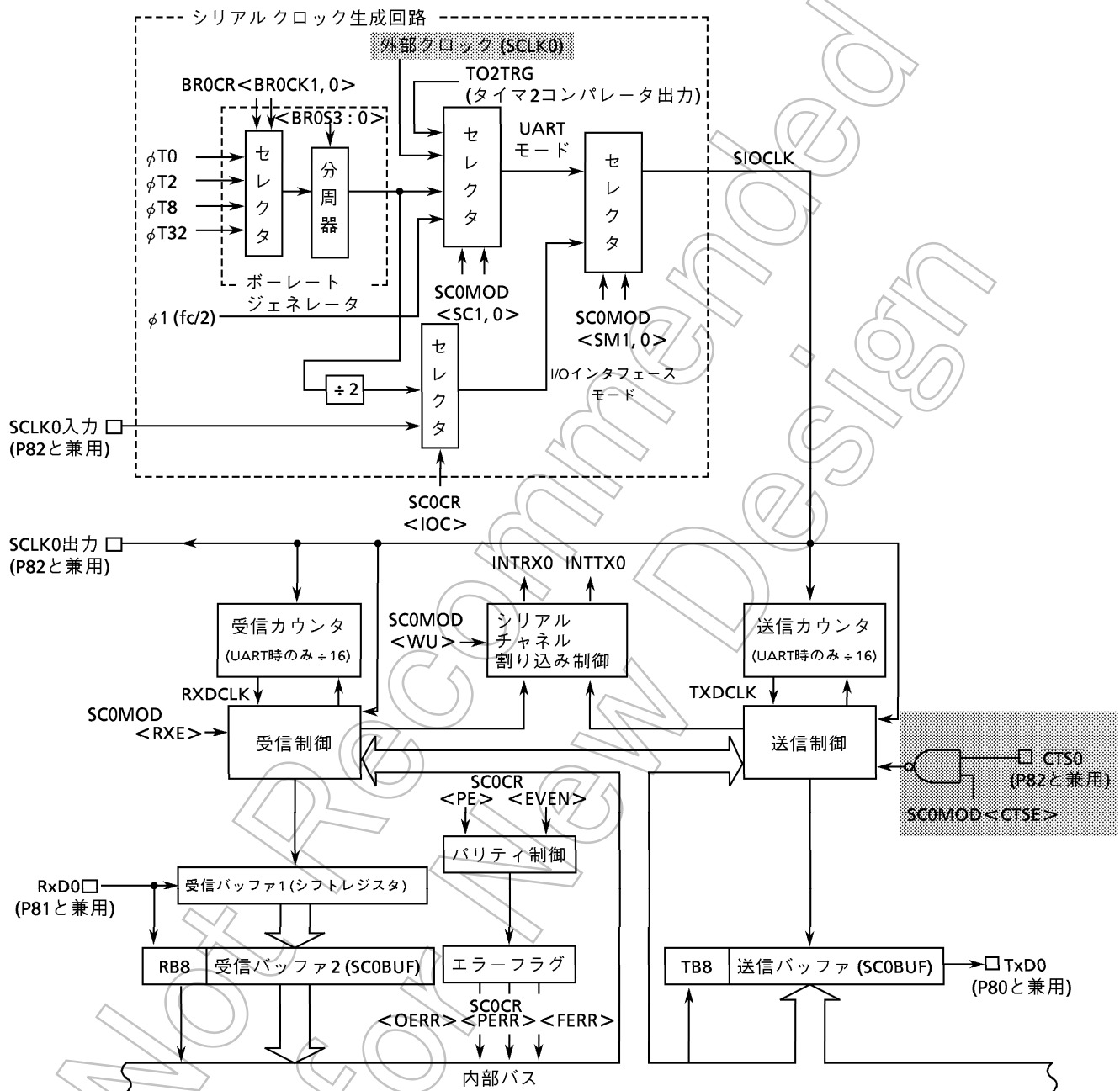


図3.11 (11) ポート8オープンドレインイネーブルレジスタ (ODE)

3.11.2 構成

図3.11 (12) にシリアルチャネル0のブロック図を示します。



(注) SC0MOD <CTSE> の機能はチャネル1にありません。

図3.11 (12) シリアルチャネル0のブロック図

図3.11 (13) にシリアルチャネル1のブロック図を示します。

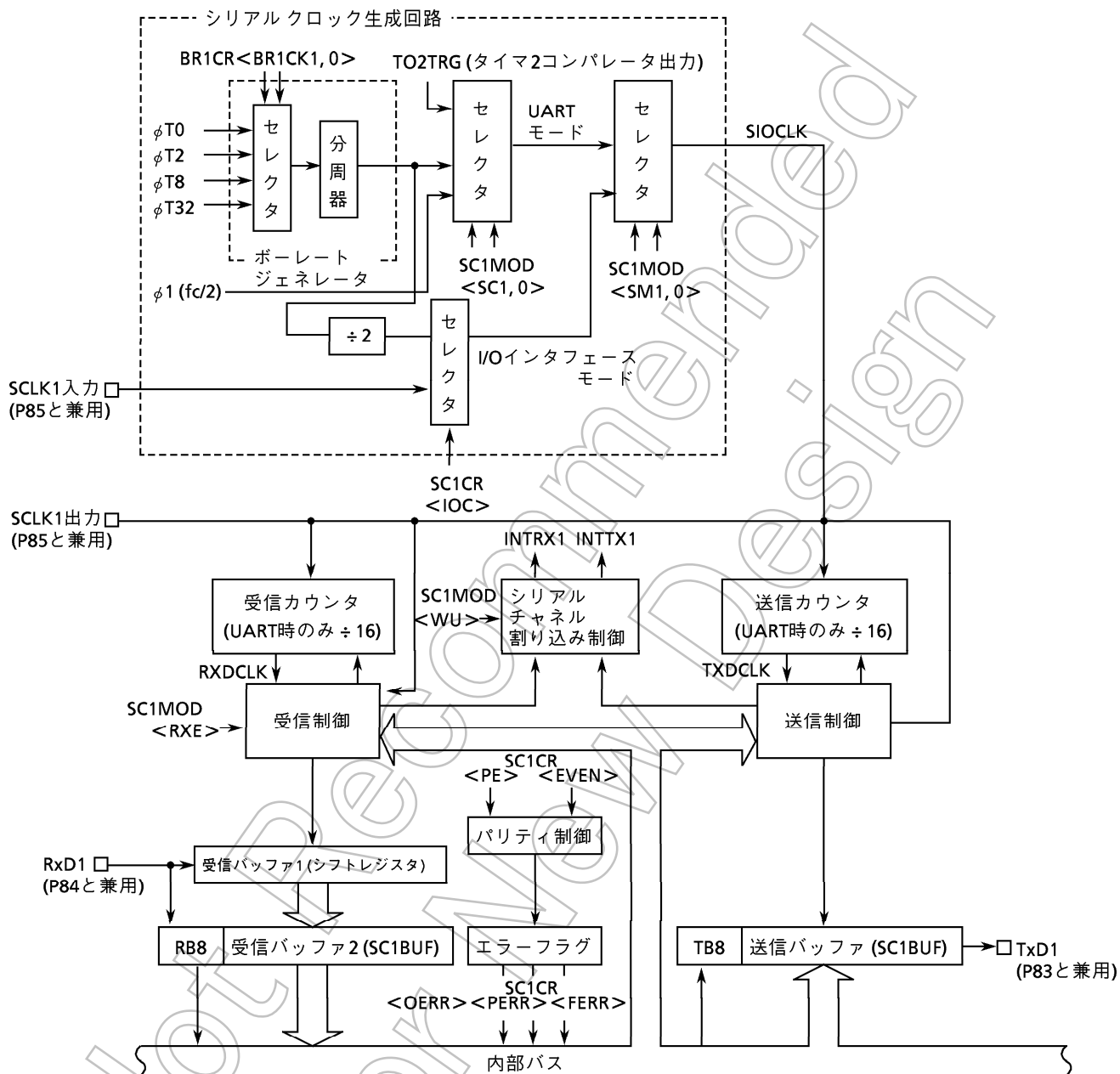


図3.11 (13) シリアルチャネル1のブロック図

① ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックはタイマと共用の9ビットプリスケラより、 $\phi T0$ (4/fc), $\phi T2$ (16/fc), $\phi T8$ (64/fc), $\phi T32$ (256/fc)を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタBR0CR/BR1CRのビット5, 4<BR0CK1, 0>/<BR1CK1, 0>で設定します。

ボーレートジェネレータは、4ビットの分周器を内蔵しており、この分周器にて、1~16分周(チャネル1は2~16分周)を行い転送速度を決定します。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

● UARTモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

● I/Oインタフェースモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

入力クロックと原振 (fc) との関係は、

$$\phi T0 = 4/fc$$

$$\phi T2 = 16/fc$$

$$\phi T8 = 64/fc$$

$$\phi T32 = 256/fc \text{ となります。}$$

従って原振fc=12.288 MHzで入力クロック $\phi T2$ (16/fc)、分周値=5の場合のUARTモードのボーレートは、

$$\begin{aligned} \text{Baud Rate} &= \frac{fc/16}{5} \div 16 \\ &= 12.288 \times 10^6 \div 16 \div 5 \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

表3.1 (1) にUARTモードのボーレートの例を示します。

シリアルチャネルのUARTモードでは、8ビットタイマ2を使ってボーレートを得ることもできます。タイマ2を使用したボーレートの例を表3.1 (2) に示します。

また、チャネル0のみ、外部クロック入力をシリアルクロックに使用することができます。この場合のボーレートの算出方法を示します。

$$\text{Baud Rate} = \text{外部クロック入力} \div 16$$

表3.11 (1) UARTボーレートの選択 (1) (ボーレートジェネレータ使用) 単位 (kbps)

fc [MHz]	入力クロック 分周値	$\phi T0$ (4/fc)	$\phi T2$ (16/fc)	$\phi T8$ (64/fc)	$\phi T32$ (256/fc)
9.830400	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	16	9.600	2.400	0.600	0.150
12.288000	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.745600	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300

注) I/O インタフェースモード時の転送レートは本表の値の8倍になります。

表3.11 (2) UARTボーレートの選択 (2) (タイマ2入力クロック $\phi T1$ を使用) 単位 (kbps)

TREG2 \ fc	12.288 MHz	12 MHz	9.8304 MHz	8 MHz	6.144 MHz
1H	96		76.8	62.5	48
2H	48		38.4	31.25	24
3H	32	31.25			16
4H	24		19.2		12
5H	19.2				9.6
8H	12		9.6		6
AH	9.6				4.8
10H	6		4.8		3
14H	4.8				2.4

ボーレートの算出方法 (タイマ2を使用した場合)

$$\text{転送レート} = \frac{fc}{TREG2 \times 8 \times 16}$$

↑ (タイマ2の入力クロックが $\phi T1$ の場合)

タイマ0の入力クロック

$$\phi T1 = 8/fc$$

$$\phi T4 = 32/fc$$

$$\phi T16 = 128/fc$$

注) I/O インタフェースモードでは、タイマ2の一致信号を転送クロックとして使用できません。

② シリアルクロック生成回路

送受信基本クロックを生成する回路です。

● I/Oインタフェースモードの場合

SC0CR/SC1CR<IOC> = “0”の**SCLK**出力モードのときは、前記ボーレートジェネレータの出力を2分周し、基本クロックをつくります。

SC0CR/SC1CR<IOC> = “1”の**SCLK**入力モードのときは、**SC0CR/SC1CR<SCLKS>**レジスタの設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

● 非同期通信 (UART) モードの場合

SC0MODまたは**SC1MOD**レジスタの**<SC1,0>**ビットの設定により、前記ボーレートジェネレータからのクロックか、内部クロック $\Phi 1$ (500Kbps @fc=16 MHz) か、タイマ2からの一致検出信号か、または外部クロック (チャンネル0のみ) のいずれかを選択し、基本クロック**SIOCLK**をつくります。

③ 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、**SIOCLK**でカウントアップされます。データ1ビットの受信に**SIOCLK16**発が用いられ7, 8, 9発目でデータをサンプリングします。

3度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9発目のクロックで、データが1, 0, 1であれば、受信データは“1”と判断され、また、0, 0, 1であれば“0”と判断されます。

④ 受信制御部

● I/Oインタフェースモードの場合

SC0CR/SC1CR<IOC> = “0”の**SCLK**出力モードのときは、**SCLK0/1**端子へ出力されるシフトクロックの立ち上がりで**RxD0/1**端子をサンプリングします。

SC0CR/SC1CR<IOC> = “1”の**SCLK**入力モードのときは、**SC0CR/SC1CR<SCLKS>**レジスタの設定に従って**SCLK**入力の立ち上がり/立ち下がりエッジで**RxD0/1**端子をサンプリングします。

● 非同期通信 (UART) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3度のサンプリング中2度以上“0”であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中でも、多数決論理により受信データを判断しています。

⑤ 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、7ビットまたは8ビットのデータがそろそろもう一方の受信バッファ2 (**SC0BUF/SC1BUF**) へ移されるとともに割り込み**INTRX0/INTRX1**が発生します。

CPUは受信バッファ2 (SC0BUF/SC1BUF) の方を読み出します。CPUが受信バッファ2 (SC0BUF/SC1BUF) を読み出す前でも、受信データは受信バッファ1へ格納することができます。

ただし、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (SC0BUF/SC1BUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2およびSC0CR <RB8> / SC1CR <RB8> の内容は保存されていますが、受信バッファ1の内容は失われます。受信バッファ2 (SC0BUF/SC1BUF) を読み出すことにより割り込み要求フラグINTRX0 <IRX0C>, INTRX1 <IRX1C> がクリアされます。

8ビットUARTのパリティ付加の場合のパリティビット、9ビットUARTモードの場合の最上位ビットはSC0CR <RB8> / SC1CR <RB8> に格納されます。

9ビットUARTの場合、SC0MOD <WU> / SC1MOD <WU> を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR <RB8> / SC1CR <RB8> = “1”のときのみ、割り込みINTRX0/INTRX1が発生します。

⑥ 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで受信カウンタ同様SIOCLKでカウントされ、16発ごとに送信タクロックTxDCLKを生成します。

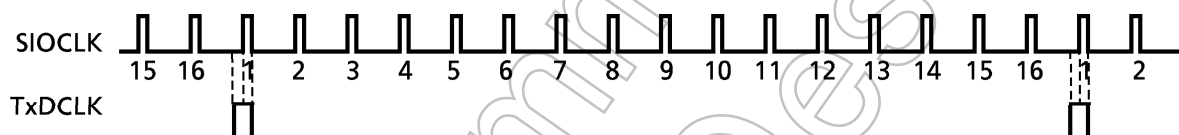


図3.11 (14) 送信クロックの生成

⑦ 送信制御部

● I/Oインタフェースモードの場合

SC0CR/SC1CR <IOC> = “0”のSCLK出力モードのときは、SCLK0/1端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを1ビットずつTxD0/1端子へ出力します。

SC0CR/SC1CR <IOC> = “1”のSCLK入力モードのときは、SC0CR/SC1CR <SCLKS> レジスタの設定に従ってSCLK入力の立ち上がり/立ち下がりエッジで送信バッファのデータを1ビットずつTxD0/1端子へ出力します。

● 非同期通信 (UART) モード

送信バッファにCPUから送信データが書き込まれると次のTxDCLKの立ち上がりエッジから送信を開始し、送信シフトクロックTxDSFTをつくります。

ハンドシェイク機能

シリアルチャネル0は $\overline{\text{CTS0}}$ 端子を持っており、この端子を使用することにより、1フレーム単位での送信が可能となり、オーバーランエラーの発生を防ぐことができます。この機能は $\text{SC0MOD}<\text{CTSE}>$ によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が“H”レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が“L”レベルに戻るまで送信を停止します。ただし、 INTTX0 割り込みは発生し、次の送信データをCPUに要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき(受信割り込みルーチン内)に $\overline{\text{RTS}}$ 機能に割り当てた任意の1ポートを“H”レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

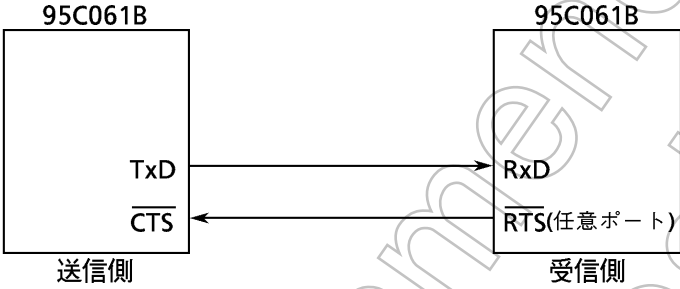
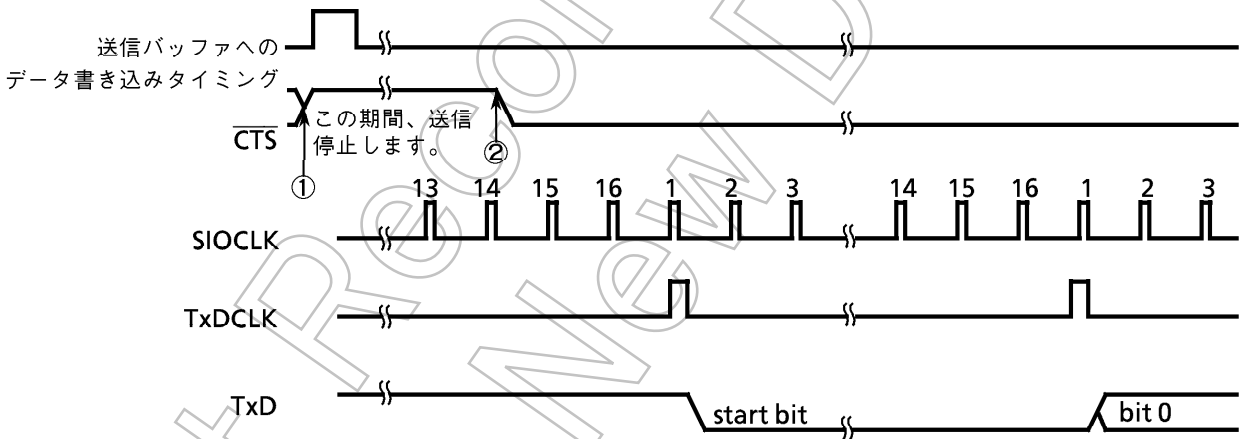


図3.11 (15) ハンドシェイク機能



- (注)
- ① 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 - ② $\overline{\text{CTS}}$ 信号立ち下がり後の最初の TxDCLK クロックの立ち下がりから送信を開始します。

図3.11 (16) $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

⑧ 送信バッファ

送信バッファ (SC0BUF/SC1BUF) はCPUより書き込まれた送信データを送信制御部で生成される送信シフトクロックTxDSFTにより最下位ビットから順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンプティでINTTX0/INTTX1割り込みが発生します。

⑨ パリティ制御回路

シリアルチャネルコントロールレジスタSC0CR<PE>/SC1CR<PE>を“1”にするとパリティ付の送信を行います。ただし、7ビットUARTまたは8ビットUARTモードのみパリティ付加が可能です。SC0CR<EVEN>/SC1CR<EVEN>レジスタによって偶数(奇数)パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SC0BUF/SC1BUF) に書き込まれたデータにより自動的にパリティを発生し、7ビットUARTモードのときはSC0BUF<TB7>/SC1BUF<TB7>に、8ビットUARTモードのときはSC0MOD<TB8>/SC1MOD<TB8>にパリティを格納して、送信します。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ1にシフトインされ、受信バッファ2 (SC0BUF/SC1BUF) に移されたデータにより、パリティを自動発生し、7ビットUARTモードのときは、SC0BUF<RB7>/SC1BUF<RB7>と、8ビットUARTモードのときは、SC0CR<RB8>/SC1CR<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR<PERR>/SC1CR<PERR>フラグがセットされます。

⑩ エラーフラグ

受信データの信頼性をあげるために3つのエラーフラグが用意されています。

1. オーバランエラー<OERR>

受信バッファ2 (SCBUF0/1) に有効データが格納されている状態で受信バッファ1に次のデータが全ビット受信されるとオーバランエラーが発生します。

2. パリティエラー<PERR>

受信バッファ2 (SCBUF0/1) に移されたデータから発生したパリティと、RxD0/1端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー<FERR>

受信データのストップビットを中央付近で3回サンプリングし、多数決した結果が“0”の場合フレーミングエラーが発生します。

⑪ 各信号発生タイミング

1) UARTモードの場合

受 信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ, 7 Bit
割り込み発生 タイミング	最終ビット (Bit 8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中 央 付 近	ストップビットの 中 央 付 近	ストップビットの中央付近
パリティエラー 発生タイミング	———	最終ビット (パリティ ビット) の中央付近	←
オーバランエラー 発生タイミング	最終ビット (Bit 8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近

送 信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ, 7 Bit
割り込み発生 タイミング	ストップビット送出 の 直 前	←	←

2) I/O インタフェースモードの場合

送信割り込み 発生タイミング	SCLK 出力モード	最終 SCLK の立ち上がり直後 (図3.11 (19) 参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下 がりモードでは立ち下がり直後 (図3.11 (20) 参照)
受信割り込み 発生タイミング	SCLK 出力モード	受信バッファ2 (SC0BUF / SC1BUF) へ受信データを移すタ イミング (最終SCLKの直後) (図3.11 (21) 参照)
	SCLK 入力モード	受信バッファ2 (SC0BUF / SC1BUF) へ受信データを移すタ イミング (最終SCLKの直後) (図3.11 (22) 参照)

3.11.3 動作説明

(1) モード0 (I/Oインタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック (SCLK) を出力する SCLK 出力モードと、外部より同期クロック (SCLK) を入力する SCLK 入力モードがあります。

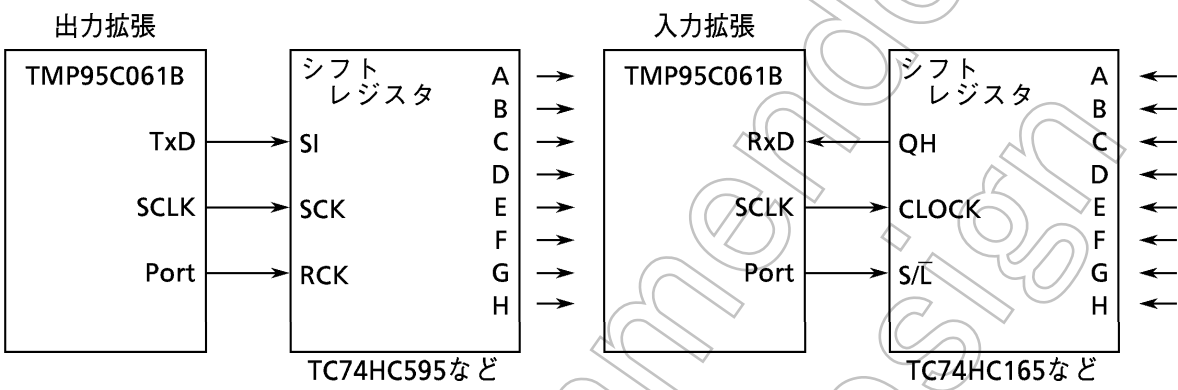


図3.11 (17) SCLK出力モード接続例

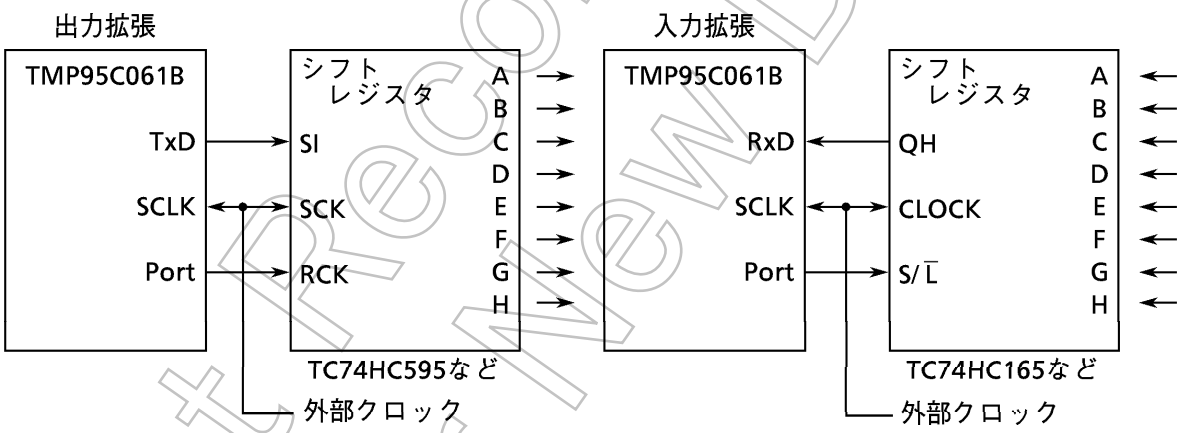


図3.11 (18) SCLK入力モード接続例

① 送信

SCLK出力モードでは、CPUが送信バッファにデータを書き込むたびに、8ビットのデータがTx/D0/1端子、同期クロックがSCLK0/1端子より出力されます。データがすべて出力されると、INTES0<ITX0C>/INTES1<ITX1C>がセットされ、割り込みINTTX0/1が発生します。

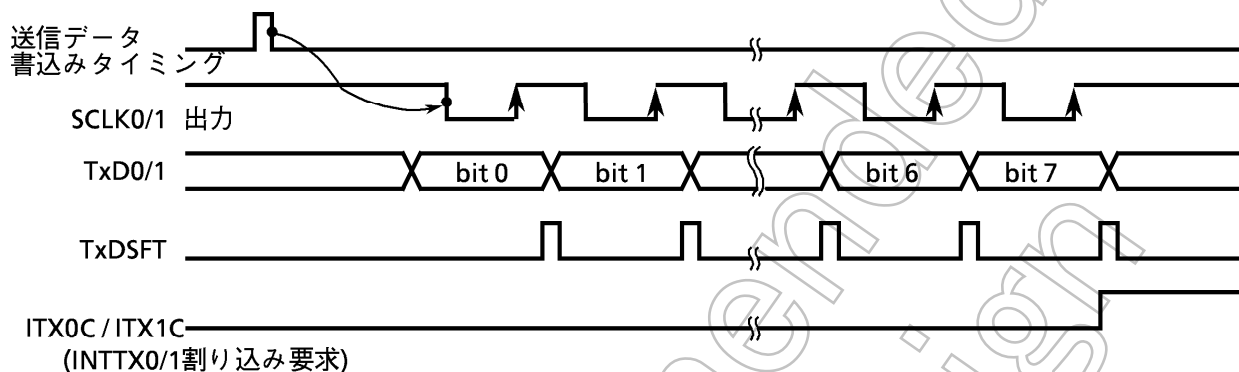


図3.11 (19) I/Oインタフェースモード送信動作 (SCLK出力モード)

SCLK入力モードでは、CPUにより送信バッファにデータが書き込まれている状態でSCLK入力がアクティブになると、8ビットのデータがTx/D0/1端子より出力されます。

データがすべて出力されると、INTES0<ITX0C>/INTES1<ITX1C>がセットされ割り込みINTTX0/1が発生します。

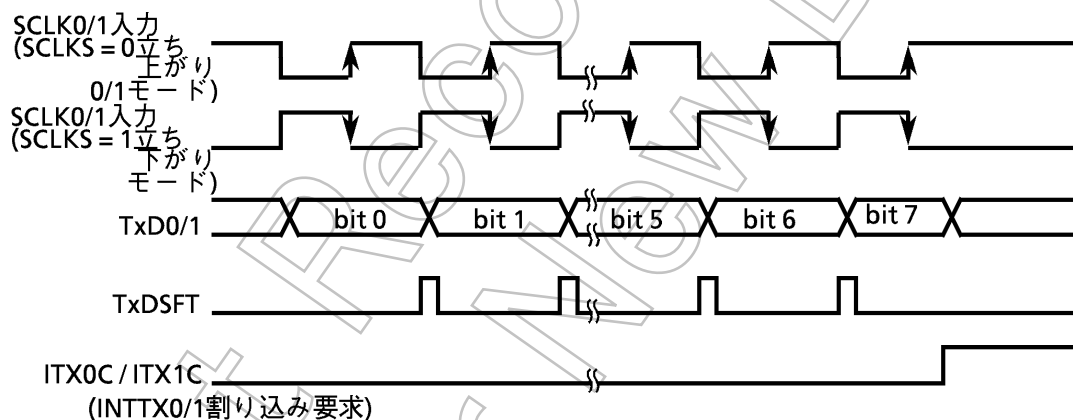


図3.11 (20) I/Oインタフェースモード送信動作 (SCLK入力モード)

② 受信

SCLK出力モードでは受信データがCPUに読み取られ、受信割り込みフラグINTES0<IRX0C> / INTES1<IRX1C>がクリアされるたびに、SCLK0/1端子より同期クロックが出力され次のデータが受信バッファ1にシフトインされます。8ビットデータが受信されると、データは受信バッファ2 (SC0BUF/SC1BUF)に移され、再びINTES0 <IRX0C> /INTES1 <IRX1C> がセットされて割り込みINTRX0/1が発生します。

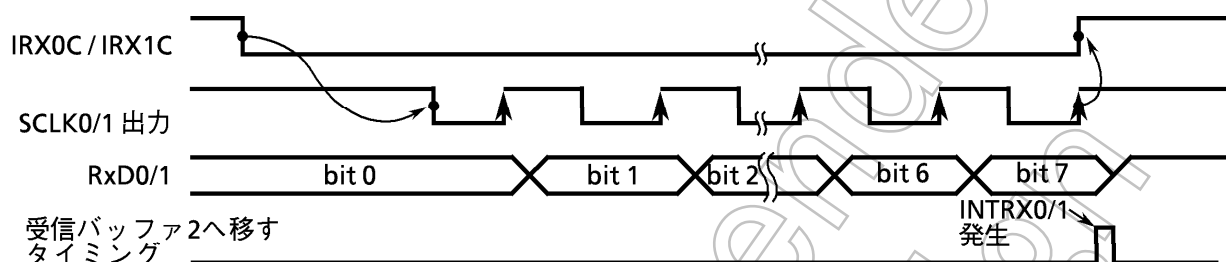


図3.11 (21) I/Oインタフェースモード受信動作 (SCLK出力モード)

SCLK入力モードでは受信データがCPUに読み取られ、受信割り込みフラグINTES0<IRX0C> / INTES1<IRX1C>がクリアされている状態で、SCLK入力がアクティブになると、次のデータが受信バッファ1にシフトインされます。8ビットデータが受信されると、データは受信バッファ2 (SC0BUF / SC1BUF) に移され、再びINTES0 <IRX0C> /INTES1<IRX1C> がセットされて割り込みINTRX0/1が発生します。

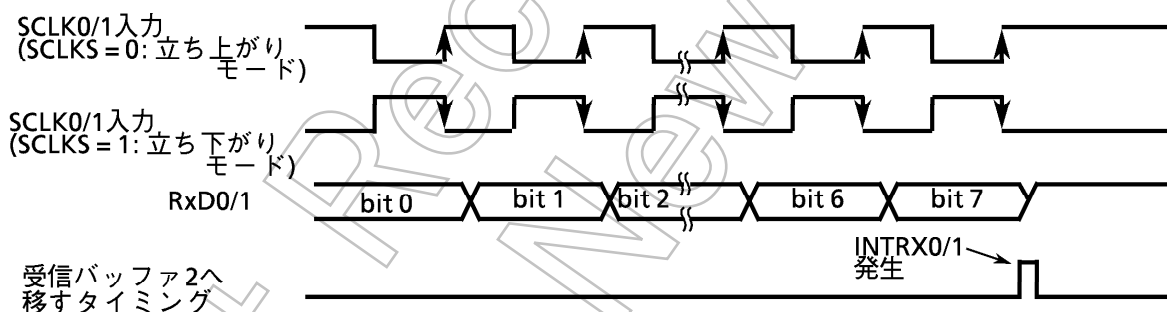


図3.11 (22) I/Oインタフェースモード受信動作 (SCLK入力モード)

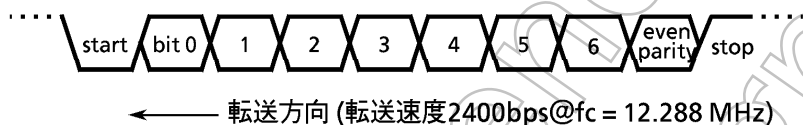
(注意) 受信動作を行う場合にはSCLK入/出力のどちらのモードでも、受信イネーブル状態 (SC0MOD<RXE> / SC1MOD<RXE> =1) にしておく必要があります。

(2) モード1(7ビットUARTモード)

シリアルチャネルモードレジスタ $SC0MOD<SM1,0>/SC1MOD<SM1,0>$ を01にセットすると7ビットUARTモードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ $SC0CR<PE>/SC1CR<PE>$ でパリティビット付加のイネーブル/ディセーブルを制御しています。 $<PE>=1$ (イネーブル) のときは、 $SC0CR<EVEN>/SC1CR<EVEN>$ で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。ここではチャンネル0を例にとり説明します。



	7	6	5	4	3	2	1	0	
P8CR	←	X	X	-	-	-	-	1	} P80をTxD0端子とします。
P8FC	←	X	X	-	X	-	-	X 1	
SC0MOD	←	X	0	-	X	0	1	0 1	7ビットUARTモードに設定します。
SC0CR	←	X	1	1	X	X	X	0 0	偶数パリティを付加します。
BROCR	←	0	X	1	0	0	1	0 1	2400bpsに設定します。
TRUN	←	1	X	-	-	-	-	-	ボーレートジェネレータ用にプリスケアラを起動します。
INTES0	←	1	1	0	0	-	-	-	INTTX0割り込みをイネーブル、レベル4にします。
SC0BUF	←	*	*	*	*	*	*	*	送信データをセットします。

(注) X: don't care -: no change

(3) モード2(8ビットUARTモード)

$SC0MOD<SM1,0>/SC1MOD<SM1,0>$ を10にセットすると8ビットUARTモードになります。このモードでは、パリティビットの付加が可能で $SC0CR<PE>/SC1CR<PE>$ でパリティビット付加のイネーブル/ディセーブルを制御できます。 $<PE>=1$ (イネーブル) のとき、 $SC0CR<EVEN>/SC1CR<EVEN>$ で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。ここではチャンネル0を例にとって説明します。



メインルーチンでの設定

```

      7 6 5 4 3 2 1 0
P8CR  ← X X - - - 0 -
SC0MOD ← - 0 1 X 1 0 0 1
SC0CR  ← X 0 1 X X X 0 0
BR0CR  ← 0 X 0 1 0 1 0 1
TRUN   ← 1 X - - - - -
INTES0 ← - - - - 1 1 0 0

```

P81 (RxD0) を入力ピンにします。
 8ビットUARTモード、受信イネーブルにします。
 奇数パリティ付加に設定します。
 9600bpsに設定します。
 ボーレートジェネレータ用にプリスケアラを起動します。
 INTRX0をイネーブル、レベル4に設定します。

割り込みルーチンでの処理例

```

Acc ← SC0CR AND 00011100    } エラーチェックを行います。
if Acc ≠ 0 then ERROR
Acc ← SC0BUF                  } 受信データを読み取ります。
(注) X:don't care  -:no change

```

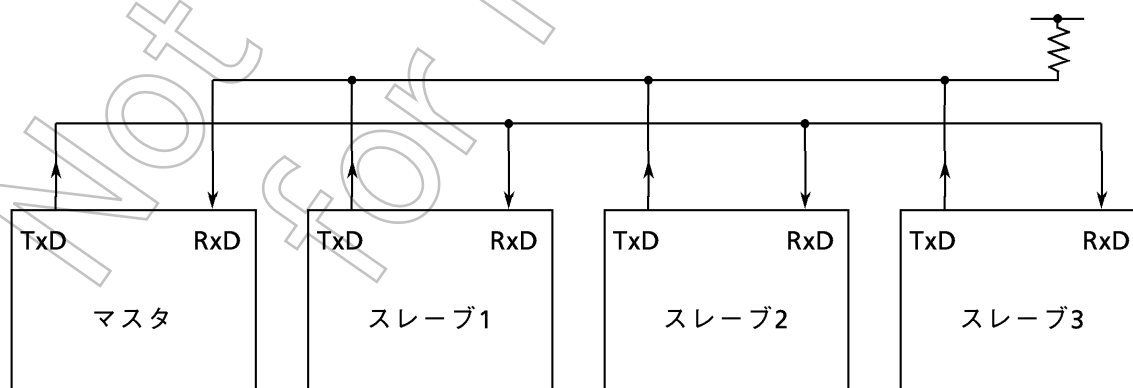
(4) モード3 (9ビットUART)

SC0MOD<SM1,0>/SC1MOD<SM1,0>を11にセットすると9ビットUARTモードになります。
 このモードでは、パリティビットの付加はできません。

最上位ビット (9ビット目) は、送信の場合シリアルチャネルモードレジスタの<TB8>に書き込み、
 受信の場合シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対
 する書き込み、読み出しはかならず最上位ビットの方を先にいき、SC0BUF/SC1BUFの方を後にしま
 す。

ウェイクアップ機能

9ビットUARTモードでは、SC0MOD<WU>/SC1MOD<WU>を“1”にすることによってスレー
 ブコントローラのウェイクアップ動作が可能で、<RB8>=1のときのみ割り込みINTRX0/INTRX1
 が発生します。

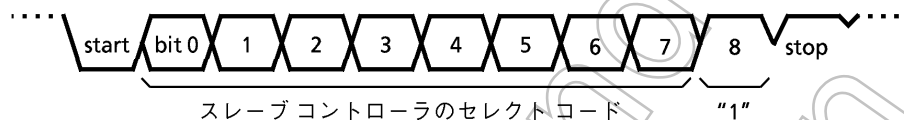


(注) スレーブコントローラのTxD端子は、かならずODEレジスタを設定してオープンドレイン出力
 モードにしてください。

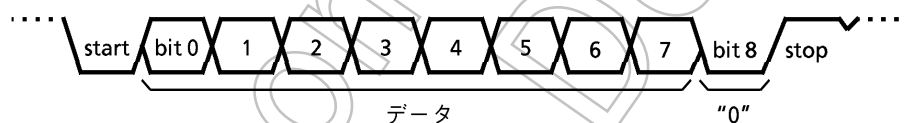
図3.11 (23) ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはSC0MOD<WU>/SC1MOD<WU>を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。

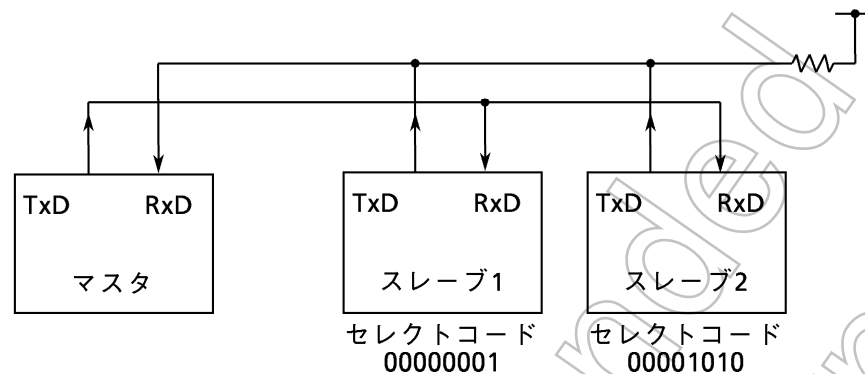


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(SC0MOD<WU>/SC1MOD<WU>=0にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にします。



- ⑥ WU=1のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため割り込みINTRX0/INTRX1が発生せず、受信データを無視します。
また、<WU>=0になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック $\phi 1$ を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



このモードでのシリアルチャネル0,1は同一の動作をしますので、ここではチャネル0について説明します。

● マスタコントローラの設定

メインルーチン

```

P8CR  ← X X - - - 0 1
P8FC  ← X X - X - X X 1
INTES0 ← 1 1 0 0 1 1 0 1
    
```

} P80をTxD0、P81をRxD0端子にします。

```

SC0MOD ← 1 0 1 0 1 1 1 0
SC0BUF ← 0 0 0 0 0 0 0 1
    
```

INTTX0をイネーブル, 割り込みレベルを4に設定します。
INTRX0をイネーブル, 割り込みレベルを5に設定します。
9ビットUARTモード, 転送クロックを $\phi 1$ に設定します。
スレーブ1のセレクトコードをセットします。

割り込みルーチン (INTTX0)

```

SC0MOD ← 0 - - - - -
SC0BUF ← * * * * *
    
```

TB8を"0"にします。
送信データをセットします。

● スレーブ2の設定

メインルーチン

```

P8CR  ← X X - - - 0 1
P8FC  ← X X - X - X X 1
ODE   ← X X X X X X - 1
INTES0 ← 1 1 0 1 1 1 1 0
SC0MOD ← 0 0 1 1 1 1 1 0
    
```

} P80をTxD0 (オープンドレイン出力) P81をRxD0にします。

INTTX0, INTRX0をイネーブルにします。
9ビットUARTモード転送クロック $\phi 1$ ($f_c/2$)で、<WU> = "1"に設定します。

割り込みルーチン (INTRX0)

```

Acc ← SC0BUF
if Acc = セレクトコード
Then SC0MOD4 ← - - - 0 - - - - <WU> = "0"にクリアします。
    
```

3.12 アナログ/デジタルコンバータ

TMP95C061Bは、4チャンネルアナログ入力を持つ高速高精度の10ビット逐次比較方式アナログ/デジタルコンバータ (A/Dコンバータ) を内蔵しています。

図3.12 (1) にA/Dコンバータのブロック図を示します。4チャンネルのアナログ入力端子 (AN3~AN0) は、入力専用ポート9と兼用で、入力ポートとしても使用できます。

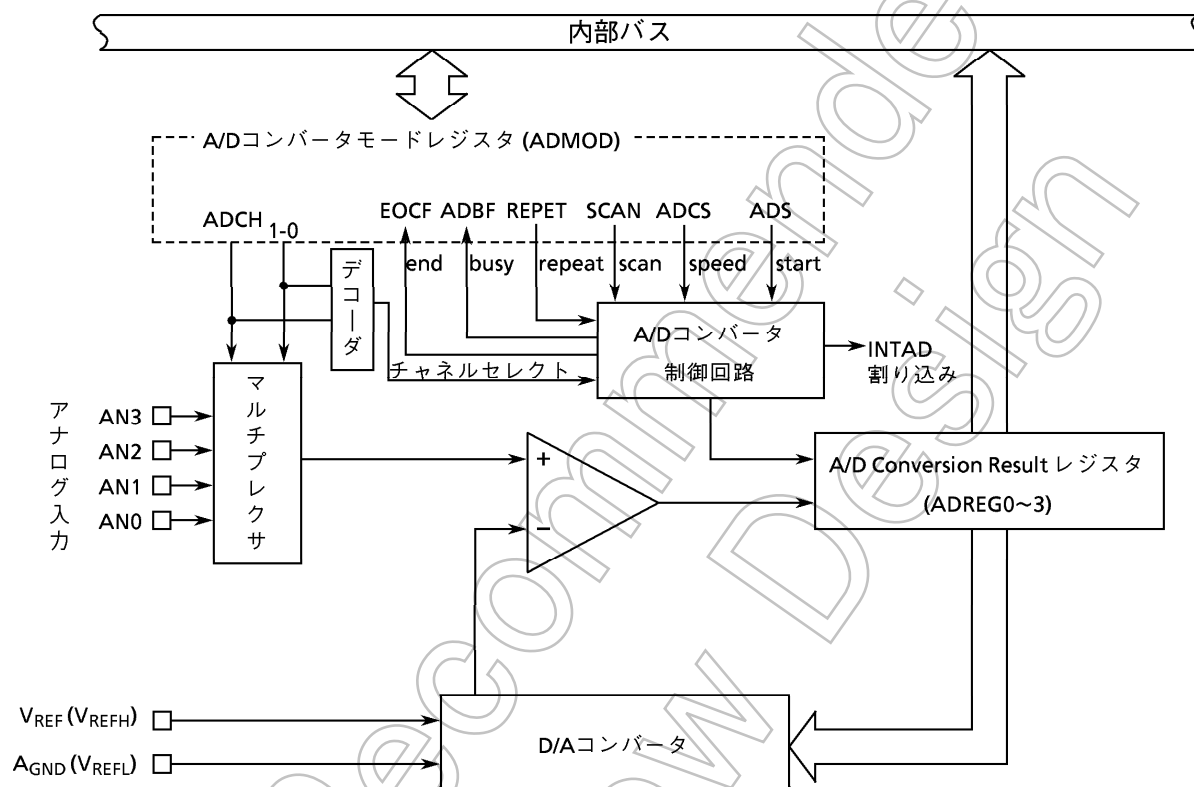


図3.12 (1) A/Dコンバータのブロック図

(注1) このA/Dコンバータは、サンプルホールド回路を内蔵していません。従って、高い周波数の信号をA/D変換するときは、外部にサンプルホールド回路を付けてください。

(注2) IDLE, STOPモードにより電源電流を低減させる場合は、タイミングにより内部コンパレータがイネーブル状態のままスタンバイに入ることがありますので“HALT”命令を実行する前にA/Dコンバータ動作を止めてください。また、ADM0D<ADCS>を“0”に設定してください。

なお、VREF (VREFH)-AGND (VREFL)間のラダー抵抗は内部で切ることはできませんのでモードにかかわらずIREFは流れます。

ADMOD
(006DH)

	7	6	5	4	3	2	1	0
bit Symbol	EOCF	ADBF	REPET	SCAN	ADCS	ADS	ADCH1	ADCH0
Read/Write	R		R/W					
リセット後	0	0	0	0	0	0	0	0
機能	A/D変換終了フラグ 1: 終了	A/D変換BUSYフラグ 1: 変換中	リピートモード指定 0: シングルモード 1: リピートモード	スキャンモード指定 0: 変換チャンネル固定モード 1: チャンネルスキャンモード	A/D変換速度 0: 高速モード 1: 低速モード	A/D変換スタート 1: 変換開始 常に、“0”が読み出されます。	アナログ入力チャンネルセレクト	

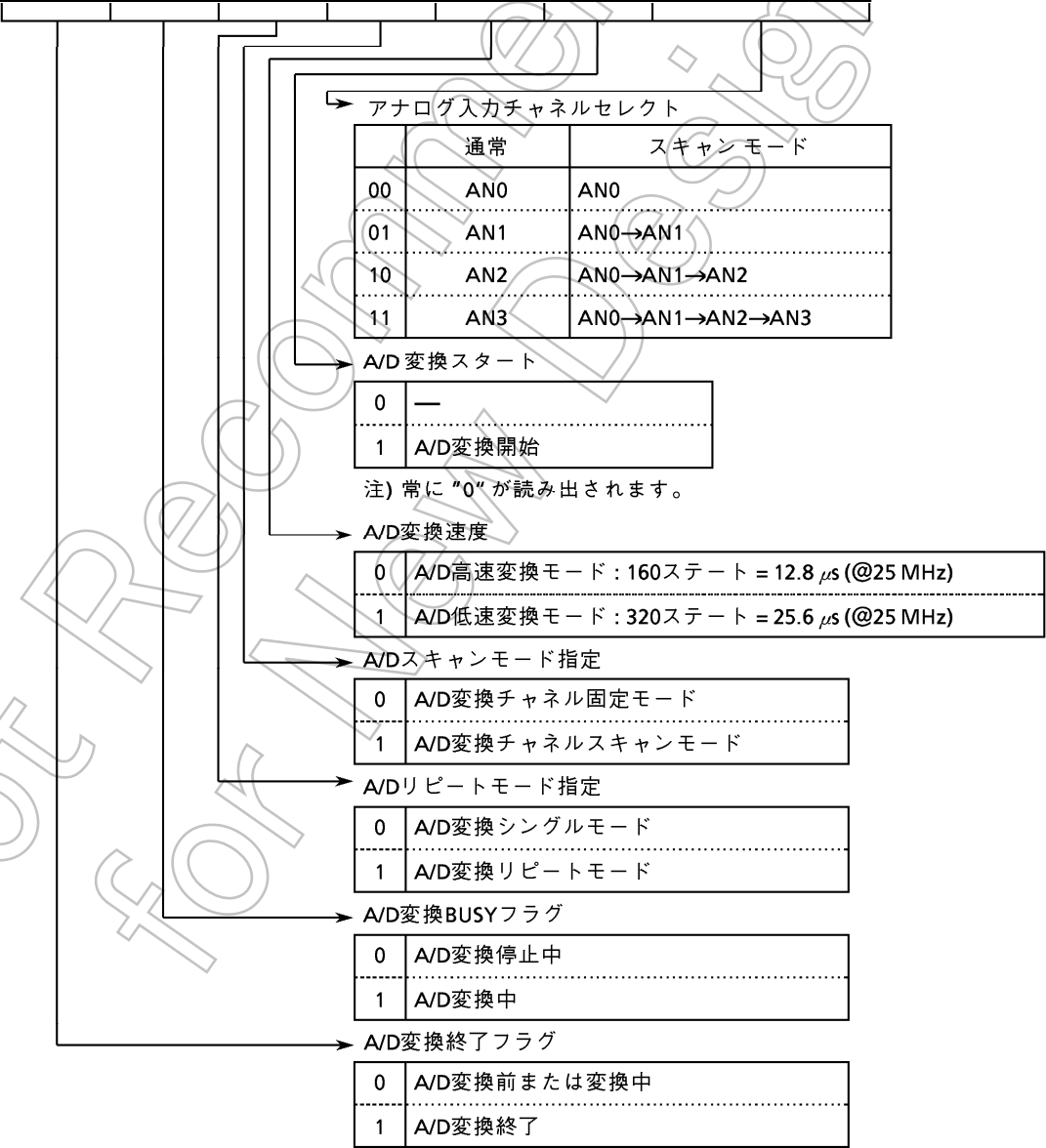


図3.12 (2) A/Dコントロールレジスタ

	7	6	5	4	3	2	1	0
ADREG0L (0060H)	ADR01	ADR00						
bit Symbol								
Read/Write	R							
リセット後	不 定		1	1	1	1	1	1
機 能	AN0変換結果の下位2ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG0H (0061H)	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
bit Symbol								
Read/Write	R							
リセット後	不 定							
機 能	AN0変換結果の上位8ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG1L (0062H)	ADR11	ADR10						
bit Symbol								
Read/Write	R							
リセット後	不 定		1	1	1	1	1	1
機 能	AN1変換結果の下位2ビットが格納されています。							

	7	6	5	4	3	2	1	0
ADREG1H (0063H)	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
bit Symbol								
Read/Write	R							
リセット後	不 定							
機 能	AN1変換結果の上位8ビットが格納されています。							

図3.12 (3-1) A/D変換結果レジスタ (ADREG0, 1)

	7	6	5	4	3	2	1	0
ADREG2L (0064H)	bit Symbol	ADR21	ADR20					
	Read/Write	R						
	リセット後	不 定	1	1	1	1	1	1
	機 能	AN2変換結果の下位2ビットが格納されています。						

	7	6	5	4	3	2	1	0
ADREG2H (0065H)	bit Symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23
	Read/Write	R						
	リセット後	不 定						
	機 能	AN2変換結果の上位8ビットが格納されています。						

	7	6	5	4	3	2	1	0
ADREG3L (0066H)	bit Symbol	ADR31	ADR30					
	Read/Write	R						
	リセット後	不 定	1	1	1	1	1	1
	機 能	AN3変換結果の下位2ビットが格納されています。						

	7	6	5	4	3	2	1	0
ADREG3H (0067H)	bit Symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33
	Read/Write	R						
	リセット後	不 定						
	機 能	AN3変換結果の上位8ビットが格納されています。						

図3.12 (3-2) A/D変換結果レジスタ (ADREG2, 3)

3.12.1 動作説明

(1) アナログ基準電圧

アナログ基準電圧の**High**側をV_{REF}(V_{REFH})端子に、**Low**側をAGND(V_{REFL})端子に印加します。

V_{REF}(V_{REFH})-AGND(V_{REFL})間の基準電圧をラダー抵抗により1024分割し、アナログ入力電圧と比較判定を行うことにより、A/D変換されます。

(2) アナログ入力チャネル

アナログ入力チャネルの選択は、A/Dコンバータの動作モードによって異なります。

アナログ入力チャネル固定モードではADMOD<ADCH1,0>により、AN0~AN3の4端子のうち1チャネルを選択します。

アナログ入力チャネルスキャンモードでは、ADMOD<ADCH1,0>により、AN0端子のみ、AN0→AN1, AN0→AN1→AN2, AN0→AN1→AN2→AN3とスキャンするチャネル数を選択します。

リセット動作により、A/D変換チャネルレジスタADMOD<ADCH1,0>=00に初期化されますので、AN0端子が選択されます。

なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートP9として使用できます。

(3) A/D変換開始

A/D変換は、A/D変換スタートレジスタADMOD<ADS>に“1”を書き込むことにより開始されます。A/D変換が開始されると、A/D変換中を示すA/D変換BUSYフラグADMOD<ADBF>が“1”にセットされます。

A/D変換中は、A/D変換スタートをかけないでください。変換中にA/D変換スタートをかけると、途中で変換を終了し、新たにA/D変換を開始します。また、スキャンモードではチャネル0に戻ってA/D変換を開始します。

(4) A/D変換モード

A/D変換チャネル固定/スキャンモードともシングル/リピート変換の2つのモードがあります。

チャネル固定リピートモードでは、指定された1チャネルの変換を、繰り返し行います。

スキャンリピートモードでは、AN0, …→AN3のスキャンを繰り返し行います。

A/D変換モードの選択はADMOD<REPET,SCAN>で行います。

(5) A/D変換スピード選択

A/D変換スピードには、高速モードと低速モードがあり、ADMOD<ADCS>レジスタで選択します。

リセット時ADMOD<ADCS>=0に初期化されますので、高速変換モードとなっています。

(6) A/D変換終了と割り込み

- A/Dシングルモードに設定している場合

変換チャンネル固定の場合はその指定されたチャンネルのA/D変換が終了したときに、チャンネルスキップの場合は最後のチャンネルのA/D変換を終了したときに、A/D変換終了を示すADMOD<EOCF>フラグが“1”にセット、ADMOD<ADBF>フラグは“0”にクリアされ割り込みINTADが発生します。

- A/Dリポートモードに設定している場合

変換チャンネル固定/スキップともリポートモードに設定している場合、A/D変換終了割り込みINTADは使用できません。INTE0ADレジスタの割り込み要求レベルは常に“000”にして割り込み要求を禁止してください。割り込み要求を禁止しない場合、CPUが誤動作する原因になります。

また、リポートモードの動作を終了させたい場合はADMOD<REPET>レジスタに“0”を書き込んでください。そのとき実行中の変換を終了した時点でリポートモードを終了します。

IDLE、STOPモードのホールド状態へ移行すると、A/D変換中でもA/Dコンバータは、ただちに動作を停止します。ホールド解除後、変換動作を再開しません(停止したままです)。

(7) A/D変換値の格納

A/D変換の結果は、各チャンネルごとにADREG0~3レジスタへ格納されます。リポートモード時は変換終了ごとに更新されます。

ADREG0~3は読み出しのみ可能です。

(8) A/D変換値の読み出し

A/D変換の結果は、ADREG0~3に格納されています。ADREG x ($x:0\sim3$)中の上位8ビット用レジスタ(ADREG x H)を1つでも読み出すと、ADMOD<EOCF>と割り込み要求フラグINTE0AD<IADC>は“0”にクリアされます。

設定例： ① AN3端子のアナログ入力電圧を高速変換モードでA/D変換し、A/D割り込みINTADルーチンで変換値をFF10Hのメモリへ読み込む場合。

メインルーチンでの設定

[	INTE0AD ← 1 1 0 0 - - - - ADMOD ← X X 0 0 0 1 1 1	INTADをイネーブル、レベル4にします。 アナログ入力チャンネルをAN3に指定し高速モードで変換スタートします。
---	--	--

割り込みルーチンでの処理例

[	WA ← ADREG3 WA >> 6 (00FF10H)← WA	WA (16ビット)へADREG3L, ADREG3Hの値を読み出します。 WAを右へ6回シフトし上位ビットに0を入れます。 FF10HのメモリへWAの内容を書き込みます。
---	---	--

AN0~AN2の3端子のアナログ入力電圧を高速変換モード、チャンネルスキャンリピートモードでA/D変換しつつける場合

[	INTE0AD ← 1 0 0 0 - - - - ADMOD ← X X 1 1 0 1 1 0	INTADを禁止します。 アナログ入力チャンネルAN0~AN2を高速スキャンリピートモードでA/D変換スタートします。
---	--	--

(注) X: don't care - : no change

3.13 ウォッチドッグタイマ (暴走検出用タイマ)

TMP95C061Bは、暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因によりCPUが誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクブル割り込みを発生しCPUに知らせ、外部へはウォッチドッグタイマアウト端子WDTOUTより“0”を出力し周辺装置へ暴走の検出を知らせます。

また、このウォッチドッグタイマアウトをリセット(チップ内部)へ接続することにより、強制的にリセット動作を行うことができます。

3.13.1 構成

図3.13 (1) にウォッチドッグタイマ (WDT) のブロック図を示します。

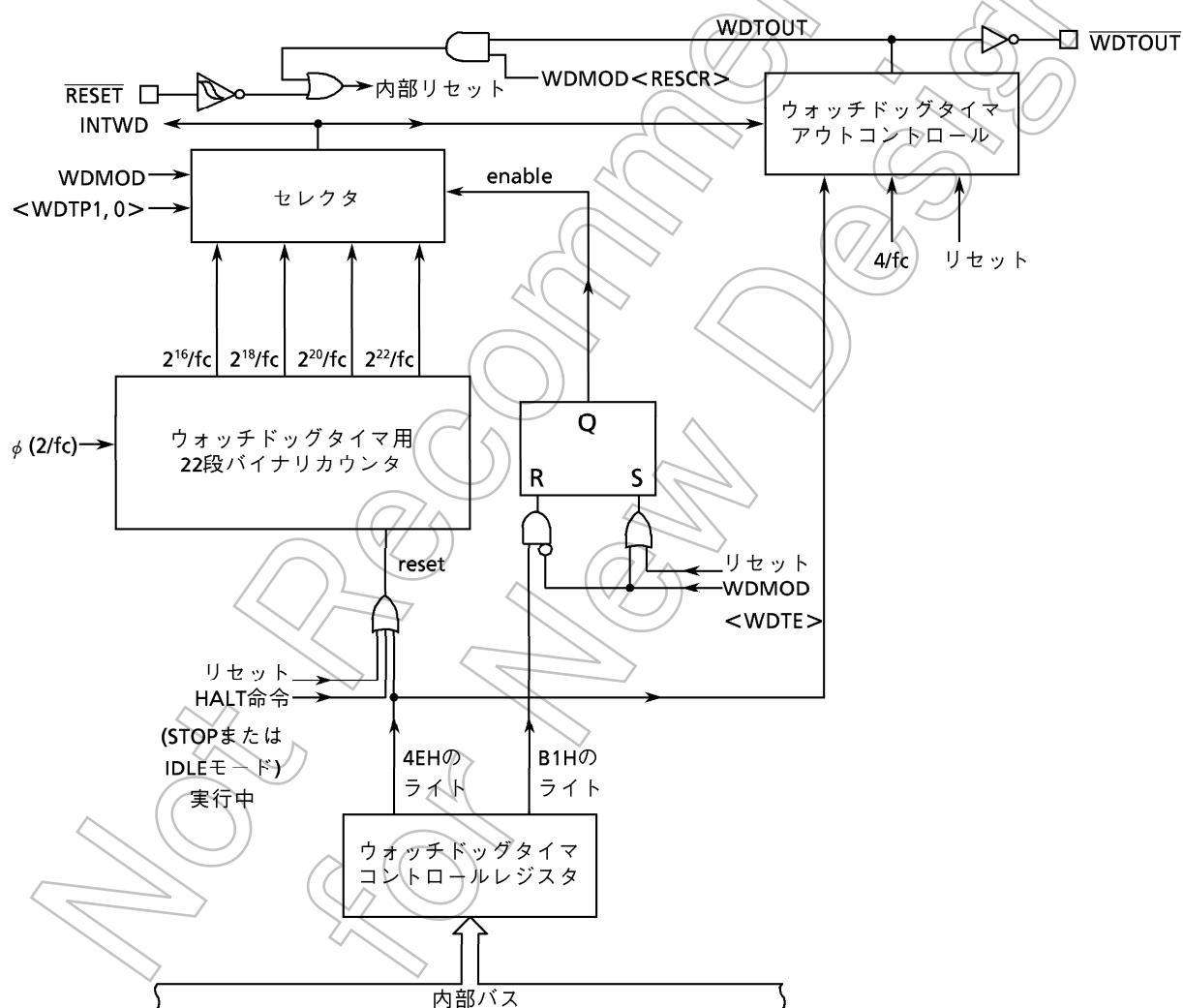


図3.13 (1) ウォッチドッグタイマのブロック図

ウォッチドッグタイマは、 $\phi(2/f_c)$ を入力クロックとする、22段バイナリカウンタです。バイナリカウンタの出力には $2^{16}/f_c$, $2^{18}/f_c$, $2^{20}/f_c$, $2^{22}/f_c$ があり、このうちの1出力をWDMODレジスタで選択することにより、そのオーバーフロー時に、ウォッチドッグタイマ割り込みを発生し、また、ウォッチドッグタイマアウトを出力します。

ウォッチドッグタイマアウト端子(WDTOUT)は、ウォッチドッグタイマのオーバーフローにより“0”を出力するため、周辺装置のリセットを行うことも可能です。この“0”出力は、ウォッチドッグタイマのクリア(ウォッチドッグタイマをディセーブル後、WDCRレジスタにクリアコード(4EH)をライト)により、“1”にセットされます。すなわち、通常モードの場合、クリアコードがWDCRレジスタに書かれるまで、WDTOUT端子は“0”を出力し続けます。

また、このウォッチドッグタイマアウトを内部でリセット端子へ接続することも可能です。この場合、ウォッチドッグタイマアウト端子(WDTOUT)は、8~20ステート(640 ns~1.6 μ s @ 25 MHz時)“0”を出力し、同時に、自分自身のリセットを行います。

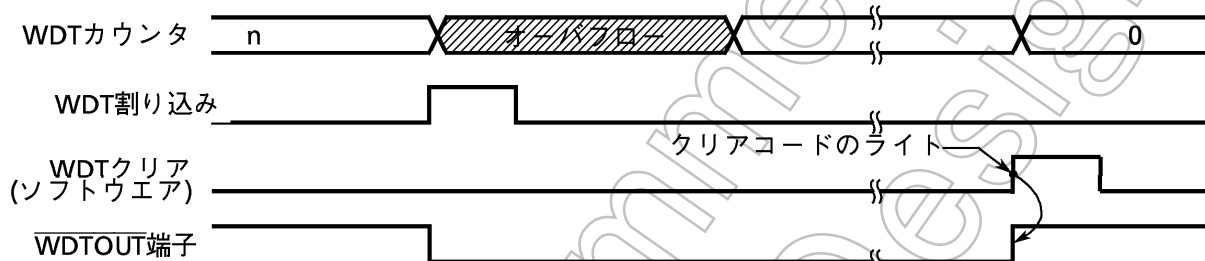


図 3.13 (2) 通常モード

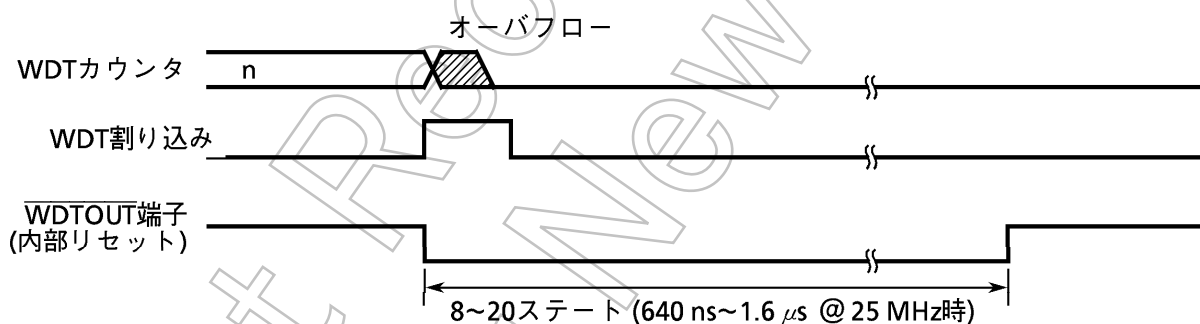


図 3.13 (3) リセットモード

3.13.2 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマ モードレジスタ WDMOD

① ウォッチドッグタイマ検出時間の設定<WDTP>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する2ビットのレジスタです。リセット時WDMOD<WDTP1, 0>=00にイニシャライズされますので、検出時間は $2^{16}/f_c$ [s] となります。(ステート数では約32,768 [state] となります。)

② ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

リセット時WDMOD<WDTE>=1にイニシャライズされますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを“0”にクリアするとともにWDCRレジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを“1”にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続<RESCR>

暴走検出により自分自身をリセットするか否かを設定するレジスタです。リセット時WDMOD<RESCR>=0に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマ コントロールレジスタ WDCR

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

● ディセーブル制御

WDMOD<WDTE>を“0”にクリアしたあと、このWDCRレジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。ただし、ディセーブルにしてもバイナリカウンタは動作し続けます。

```
WDMOD ← 0 - - - - X X
WDCR   ← 1 0 1 1 0 0 0 1
```

WDTEを“0”クリアします。

ディセーブルコード (B1H) を書き込みます。

- イネーブル制御

WDMOD7<WDTE>を“1”にする。

イネーブルにする前に、かならず一度バイナリカウンタをクリアしてください。ウォッチドッグタイマをディセーブルにしてもバイナリカウンタはカウントを続けているため、カウンタをクリアせずにイネーブルにすると、設定した検出時間と異なるタイミングでWDTOUTを出力します。

- ウォッチドッグタイマのクリア制御

WDCRレジスタにクリアコード(4EH)を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード(4EH)を書き込みます。

また、バイナリカウンタがクリアされる条件は、クリアコードを書き込んだときと、リセットをかけたときおよびHALT命令でIDLE, STOPモードのスタンバイ状態に入ったときです。

ウォッチドッグタイマをインタバルタイマとして使用する場合は、ウォッチドッグタイマ割り込みのシーケンスの中でバイナリカウンタをかならずクリアしてください。クリアしない場合、バイナリカウンタは22段目までカウントアップしてからオーバフローによりクリアされることとなります。

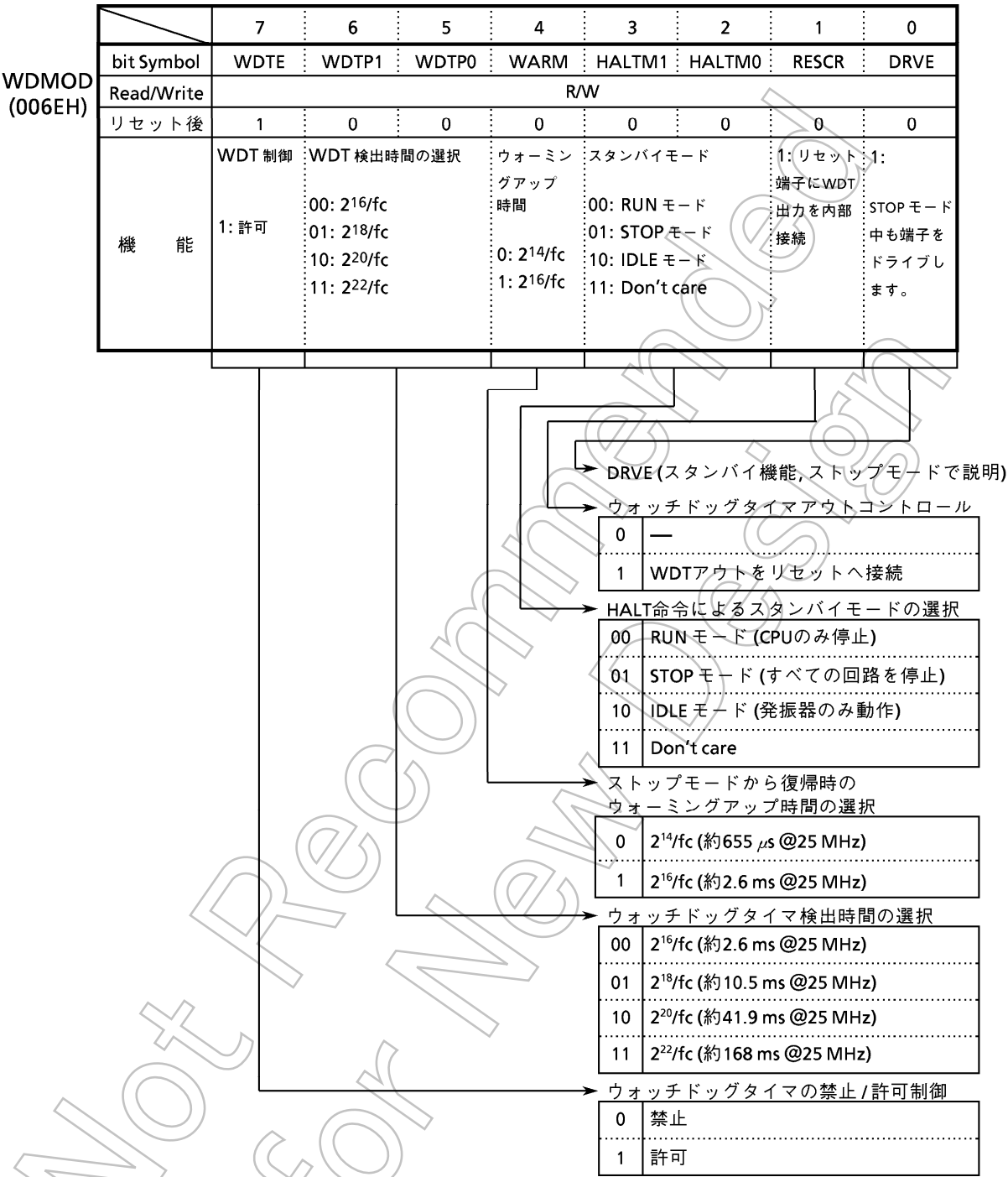


図3.13 (4) ウォッチドッグタイマモードレジスタ

WDCR
(006FH)

	7	6	5	4	3	2	1	0
bit Symbol	—							
Read/Write	W							
リセット後	—							
機能	B1H : WDT ディセーブルコード 4EH : WDT クリアコード							

→ WDTのディセーブル&クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	—

図3.13 (5) ウォッチドッグタイマコントロールレジスタ

3.13.3 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1,0>レジスタで設定された検出時間後に割り込みINTWDを発生させ、ウォッチドッグタイマアウト端子(WDTOUT)より“L”レベルを出力させるタイマです。ソフトウェア(命令)でウォッチドッグタイマ用のバイナリカウンタをINTWD割り込みが発生する前にゼロクリアすることが必要です。もし、CPUがノイズなどの原因で誤動作(暴走)しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD割り込みが発生します。CPUはINTWD割り込みにより誤動作(暴走)が発生したことを知り、誤動作(暴走)対策プログラムにより正常な状態に戻すことができます。またウォッチドッグタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPUの誤動作(暴走)に対処することができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

なお、IDLEモードおよびSTOPモード中のウォッチドッグタイマはリセットされ停止しています。また、バス解放中(BUSAK=“L”)はカウントを続けます。

RUNモード中のウォッチドッグタイマは動作しています。RUNモードにはいるとき、ウォッチドッグタイマをディセーブルにすることもできます。

例: ① バイナリカウンタをクリアします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード(4EH)の書き込み

② ウォッチドッグタイマ検出時間を $2^{18}/f_c$ に設定します。

WDMOD ← 1 0 1 - - - X X

③ ウォッチドッグタイマをディセーブルします。

WDMOD ← 0 - - - - - X X WDTEを“0”クリア

WDCR ← 1 0 1 1 0 0 0 1 ディセーブルコード(B1H)の書き込み

④ IDLEモードにします。

WDMOD ← 0 - - - 1 0 X X WDTをディセーブルにしてIDLEモードに

WDCR ← 1 0 1 1 0 0 0 1 設定します。

HALT命令を実行します。 スタンバイモードにします。

⑤ STOPモードにします。(ウォーミングアップ時間 $2^{16}/f_c$)

WDMOD ← - - - 1 0 1 X X STOPモードに設定します。

HALT命令を実行します。 スタンバイモードにします。

(注) X: don't care -: no change

3.14 バス解放機能

TMP95C061Bは、バス解放を行うためのバスリクエスト端子($\overline{\text{BUSRQ}}$:P53と兼用)および、バスアクロリッジ端子($\overline{\text{BUSAK}}$:P54と兼用)を持っています。これらの端子の設定は、P5CR・P5FCにより行います。

3.14.1 動作説明

TMP95C061Bは、 $\overline{\text{BUSRQ}}$ 端子に“0”が入力されるとバス解放要求があると認識し、実行中のバスサイクルが終了すると、アドレスバス(A23-A0)および、バスコントロール信号($\overline{\text{RD}}$, $\overline{\text{WR}}$, $\overline{\text{HWR}}$, R/ $\overline{\text{W}}$, $\overline{\text{CS0}}$ - $\overline{\text{3}}$)を一度“H”レベルにしてから、これらの信号とデータバス(D15-D0)の出力バッファをOFFし、 $\overline{\text{BUSAK}}$ 端子を“L”レベルにしてバスが解放されたことを示します。DRAMコントローラ使用時のバス解放タイミングおよび、DRAM専用端子の端子状態は「3.7(5)バス解放モード」を参照してください。

なお、バス解放中は、本デバイスの内蔵I/Oレジスタへのアクセスはできませんが、内蔵I/Oとしてのファンクションは機能し続けます。従って、ウォッチドッグタイマはカウントし続けますので、バス解放機能を使用する場合は、バス解放時間を考慮して暴走検出時間を設定してください。

3.14.2 バス解放時の端子状態

バス解放時の端子状態を表3.14に示します。

端子名	バス解放時の端子状態	
	ポートモード	ファンクションモード
D7 - D0	———	ハイインピーダンスになります。
P17 - P10 (D15 - D8)	状態は変化しません。	ハイインピーダンスになります。
P27 - P20 (A23 - A16)	状態は変化しません。	ハイインピーダンスになります。 (かならず一度“H”レベルにしてから)
A15 - A0 $\overline{\text{RD}}$ $\overline{\text{WR}}$	———	ハイインピーダンスになります。 (かならず一度“H”レベルにしてから)
P52 (HWR) P55 (R/ $\overline{\text{W}}$)	状態は変化しません。	出力バッファをOFFします。出力ラッチの値に関係なく内蔵プルアップが付加されます。(かならず一度“H”レベルにしてから)
P63 ($\overline{\text{CS3}}$) P62 ($\overline{\text{CS2}}$) P61 ($\overline{\text{CS1}}$) P60 ($\overline{\text{CS0}}$)	状態は変化しません。	ハイインピーダンスになります。 (かならず一度“H”レベルにしてから)

P63 (CAS), P64 (RAS), P65 (REFOUT) については、「3.7(5)バス解放モード」を参照してください。

4. 電気的特性

4.1 最大定格

項目	記号	定格	単位
電源電圧	V _{CC}	-0.5~6.5	V
入力電圧	V _{IN}	-0.5~V _{CC} + 0.5	V
出力電流 (合計)	Σ I _{OL}	120	mA
出力電流 (合計)	Σ I _{OH}	-120	mA
消費電力 (Ta = 70℃)	P _D	600	mW
はんだ付け温度 (10 s)	T _{SOLDER}	260	℃
保存温度	T _{STG}	-65~150	℃
動作温度	T _{OPR}	-20~70	℃

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC電気的特性

V_{CC} = 5 V ± 10%, T_A = -20~70℃ (8~25 MHz)

(Typ値はTa = 25℃, V_{CC} = 5 Vの値です)

項目	記号	条件	Min	Max	単位
Input Low Voltage (D0 - 15)	V _{IL}		-0.3	0.8	V
P5, P7, P8, P9, PA, PB	V _{IL1}		-0.3	0.3 V _{CC}	V
RESET, NMI, INT0 (PB7)	V _{IL2}		-0.3	0.25 V _{CC}	V
EA, AM8/16	V _{IL3}		-0.3	0.3	V
X1	V _{IL4}		-0.3	0.2 V _{CC}	V
Input High Voltage (D0 - 15)	V _{IH}		2.2	V _{CC} + 0.3	V
P5, P7, P8, P9, PA, PB	V _{IH1}		0.7 V _{CC}	V _{CC} + 0.3	V
RESET, NMI, INT0 (PB7)	V _{IH2}		0.75 V _{CC}	V _{CC} + 0.3	V
EA, AM8/16	V _{IH3}		V _{CC} - 0.3	V _{CC} + 0.3	V
X1	V _{IH4}		0.8 V _{CC}	V _{CC} + 0.3	V
Output Low Voltage	V _{OL}	I _{OL} = 1.6 mA		0.45	V
Output High Voltage	V _{OH}	I _{OH} = -400 μA	2.4		V
	V _{OH1}	I _{OH} = -100 μA	0.75 V _{CC}		V
	V _{OH2}	I _{OH} = -20 μA	0.9 V _{CC}		V
Darlington Drive Current (8 Output Pins max.)	I _{DAR}	V _{EXT} = 1.5 V R _{EXT} = 1.1 kΩ	-1.0	-3.5	mA
Input Leakage Current	I _{LI}	0.0 ≤ V _{in} ≤ V _{CC}	0.02 (Typ)	± 5	μA
Output Leakage Current	I _{LO}	0.2 ≤ V _{in} ≤ V _{CC} - 0.2	0.05 (Typ)	± 10	μA
Operating Current (RUN)	I _{CC}	f _C = 25 MHz	37 (Typ)	50	mA
IDLE			3.5 (Typ)	10	mA
STOP (Ta = -20~70℃)		0.2 ≤ V _{in} ≤ V _{CC} - 0.2	0.5 (Typ)	50	μA
STOP (Ta = 0~50℃)		0.2 ≤ V _{in} ≤ V _{CC} - 0.2		10	μA
Power Down Voltage (@STOP)	V _{STOP}	V _{IL2} = 0.2 V _{CC} , V _{IH2} = 0.8 V _{CC}	2.0	6.0	V
RESET Pull Up Resistance	R _{RST}		50	150	kΩ
Pin Capacitance	C _{IO}	f _C = 1 MHz		10	pF
Schmitt Width RESET, NMI, INT0 (PB7)	V _{TH}		0.4	1.0 (Typ)	V
PullUp Resistance	R _K		30	150	kΩ

(注) I-DARは、任意の出力ポートについて、V_{CC}ピン同士の間でそれぞれ8本まで保証します。

4.3 AC電気的特性

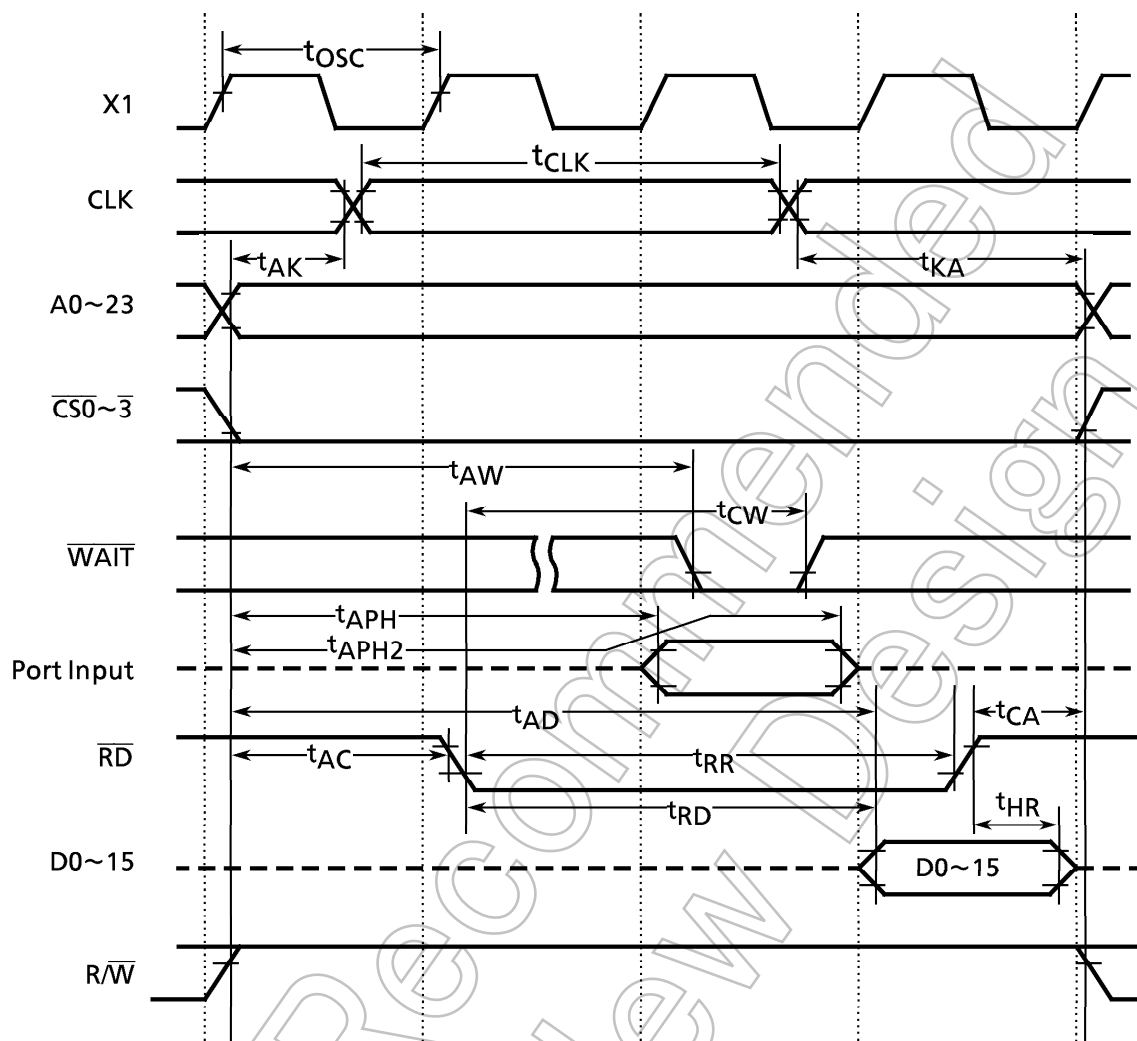
$V_{CC} = 5\text{ V} \pm 10\%$, $T_A = -20 \sim 70^\circ\text{C}$
(8 MHz~25 MHz)

No.	項目	記号	計算式		20 MHz		25 MHz		単位
			Min	Max	Min	Max	Min	Max	
1	発振周期 (= x)	t_{OSC}	40	125	50		40		ns
2	CLK パルス幅	t_{CLK}	$2x - 40$		60		40		ns
3	A0-23 有効→CLK保持	t_{AK}	$0.5x - 20$		5		0		ns
4	CLK 有効→A0-23保持	t_{KA}	$1.5x - 60$		5		0		ns
5	A0-23 有効→RD/WR立ち下がり	t_{AC}	$1.0x - 20$		30		20		ns
6	RD/WR 立ち上がり→A0-23保持	t_{CA}	$0.5x - 20$		5		0		ns
7	A0-23 有効→D0-15入力	t_{AD}		$3.5x - 35$		140		105	ns
8	RD立ち下がり →D0-15入力	t_{RD}		$2.5x - 40$		85		60	ns
9	RD Low パルス幅	t_{RR}	$2.5x - 40$		85		60		ns
10	RD立ち上がり→D0-15保持	t_{HR}	0		0		0		ns
11	WR Low パルス幅	t_{WW}	$2.5x - 40$		85		60		ns
12	D0-15 有効→WR立ち上がり	t_{DW}	$2.0x - 40$		60		40		ns
13	WR立ち上がり→D0-15保持	t_{WD}	$0.5x - 10$		15		10		ns
14	A0-23 有効→ WAIT 入力 ($\frac{1}{2}$ WAIT + n モード)	t_{AW}		$3.5x - 90$		85		50	ns
15	RD/WR立ち下がり→WAIT 保持 ($\frac{1}{2}$ WAIT + n モード)	t_{CW}	$2.5x + 0$		125		100		ns
16	A0-23 有効→ PORT 入力	t_{APH}		$2.5x - 90$		35		10	ns
17	A0-23 有効→ PORT 保持	t_{APH2}	$2.5x + 50$		175		150		ns
18	WR立ち上がり→PORT 有効	t_{CP}		200		200		200	ns

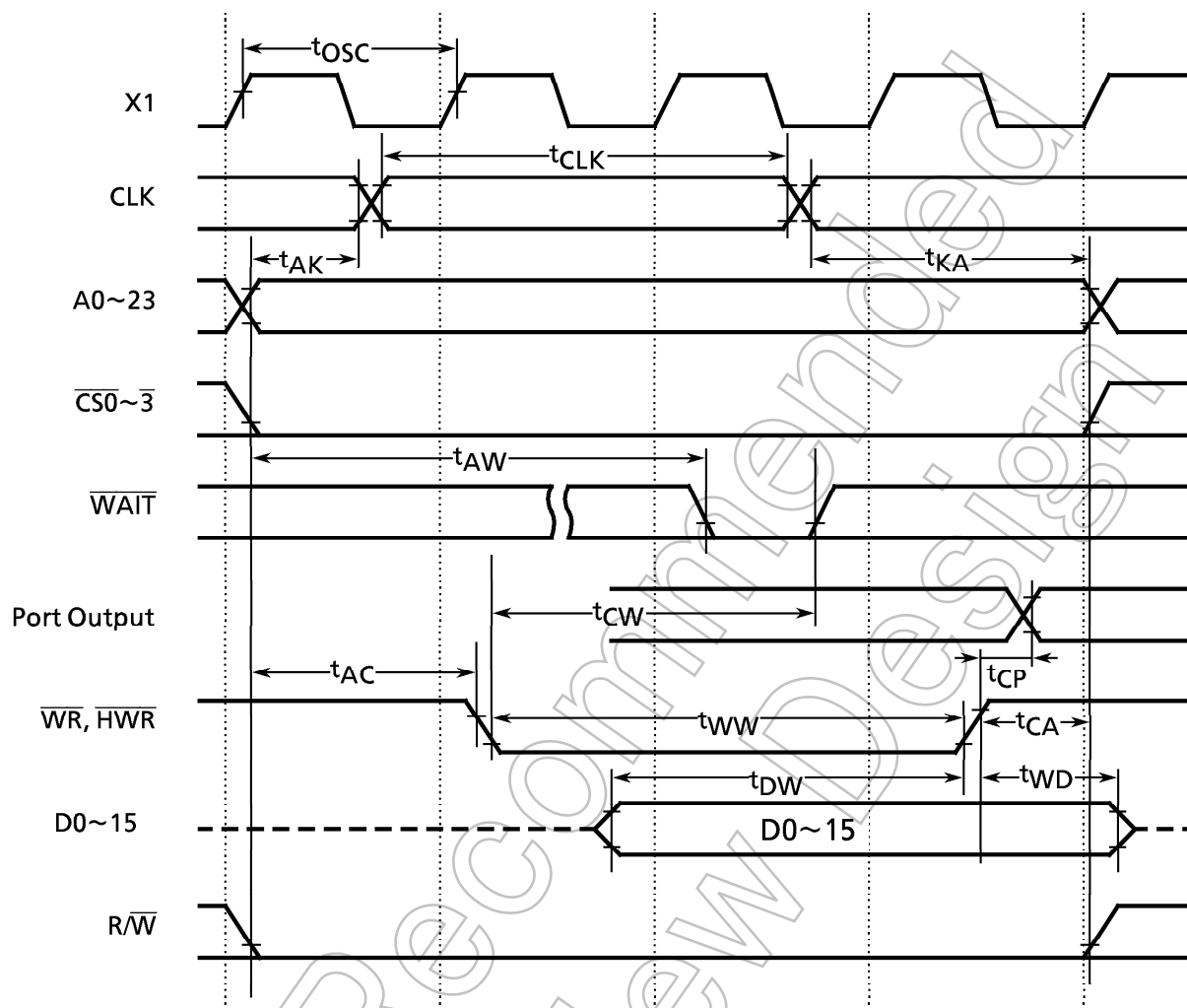
AC測定条件

- 出力レベル : High 2.2 V /Low 0.8 V , $CL = 50\text{ pF}$
(ただし, D0~D15, A0~A23, RD, WR, HWR, CLK, CS0~CS3は, $CL = 100\text{ pF}$)
- 入力レベル : High 2.4 V /Low 0.45 V (D0~D15)
High 0.8 Vcc /Low 0.2 Vcc (D0~D15を除く)

(1) リードサイクル



(2) ライトサイクル



4.4 DRAMコントロールAC電気的特性

$V_{CC} = 5V \pm 10\%$, $T_A = -20 \sim 70^\circ C$
(8 MHz~25 MHz)

No.	項 目	記号	計算式		20 MHz		25 MHz		単位
			MIN	MAX	MIN	MAX	MIN	MAX	
1	RASサイクル時間	t_{RC}	4X		200		160		ns
2	RASアクセス時間	t_{RAC}		3X-40		110		80	ns
3	CASアクセス時間	t_{CAC}		1.5X-35		40		25	ns
4	カラムアドレスアクセス時間	t_{AA}		2.5X-55		70		45	ns
5	入力データホールドタイム	t_{OFF}	0		0		0		ns
6	RASプリチャージ時間	t_{RP}	1.5X-10		65		50		ns
7	RASパルス幅	t_{RAS}	2.5X-30		95		70		ns
8	RASホールド時間	t_{RSH}	1X-15		35		25		ns
9	CASホールド時間	t_{CSH}	3X-35		115		85		ns
10	CASパルス幅	t_{CAS}	1.5X-15		65		45		ns
11	RAS - CAS遅れ時間	t_{RCD}	1.5X-40	1.5X	35	75	20	60	ns
12	RASカラムアドレス遅れ時間	t_{RAD}	0.5X-5	$0.5X + 20$	20	45	15	40	ns
13	CAS - RASプリチャージ時間	t_{CRP}	1X-35		15		5		ns
14	CASプリチャージ時間	t_{CPD}	2.5X-35		90		65		ns
15	ローアドレスセットアップ時間	t_{ASR}	0.5X-15		10		5		ns
16	ローアドレスホールド時間	t_{RAH}	0.5X-5		20		15		ns
17	カラムアドレスセットアップ時間	t_{ASC}	1X-25		25		15		ns
18	カラムアドレスホールド時間	t_{CAH}	2X-35		65		45		ns
19	カラムアドレスRASリード時間	t_{RAL}	2X-30		70		50		ns
20	ライトコマンドCASリード時間	t_{CWL}	2.5X-35		90		65		ns
21	データ出力セットアップ時間	t_{DS}	0.5X-15		10		5		ns
22	データ出力ホールド時間	t_{DH}	2X-35		65		45		ns
23	ライトコマンドセットアップ時間	t_{WCS}	1X-30		20		10		ns
24	CASホールド時間 (CASビフォアRAS)	t_{CHR*1}	2X-50		50		30		ns
25	RASプリチャージCASアクティブ時間	t_{RPC*}	1.5X-30		45		30		ns
26	CASセットアップ時間 (CASビフォアRAS)	t_{CSR*}	0.5X-10		15		10		ns
27	RASプリチャージ時間 (セルフリフレッシュ)	t_{RPS*2}	4X-20		180		140		ns
28	CASホールド時間 (セルフリフレッシュ)	t_{CHS*2}	0		0		0		ns
29	リフレッシュセットアップ時間	t_{CFL*}	1X-5		45		35		ns
30	リフレッシュホールド時間	t_{CEH*}	1X-10		40		30		ns

*1 CASビフォアRASインタバルリフレッシュモード

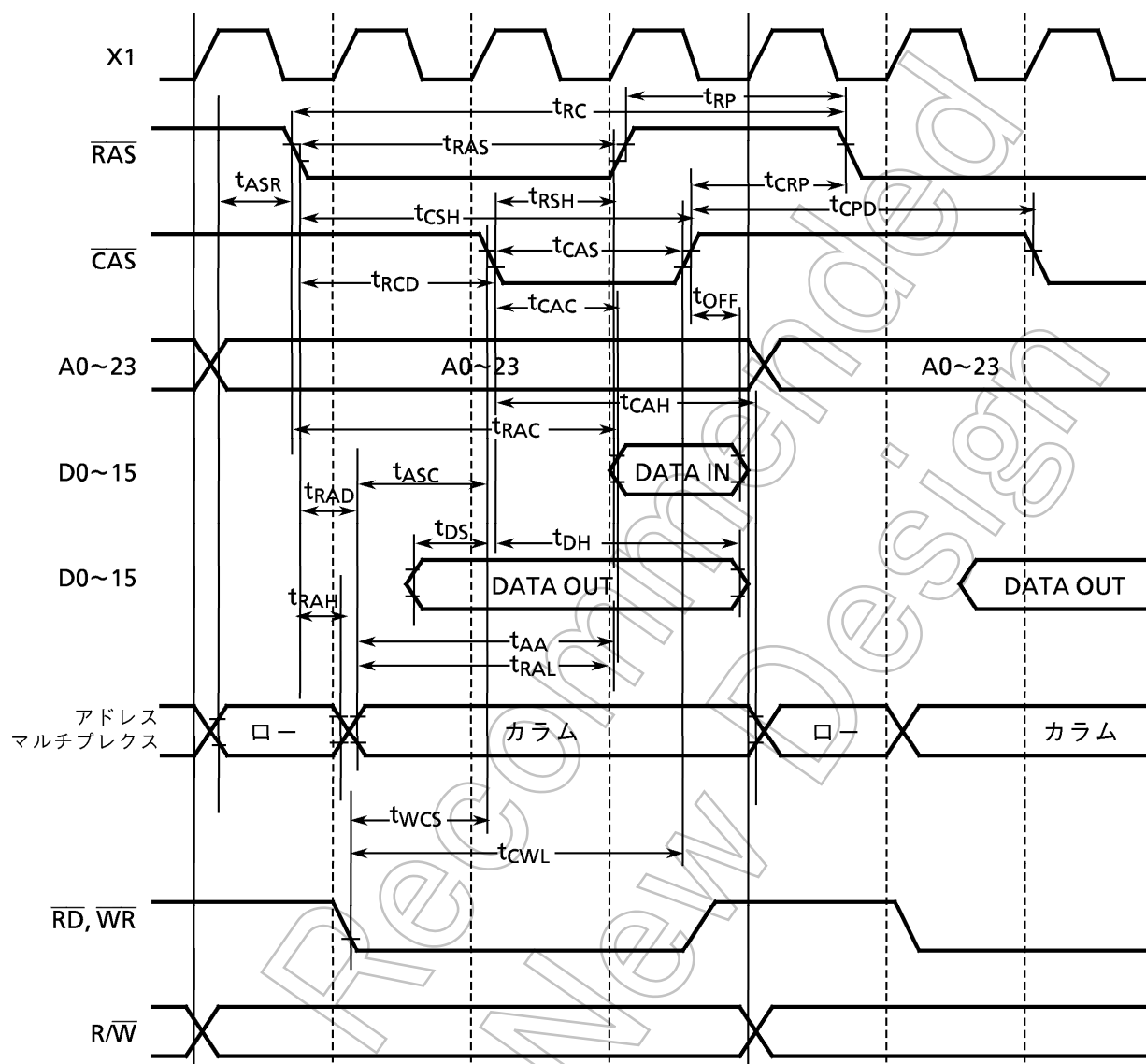
*2 CASビフォアRASセルフリフレッシュモード

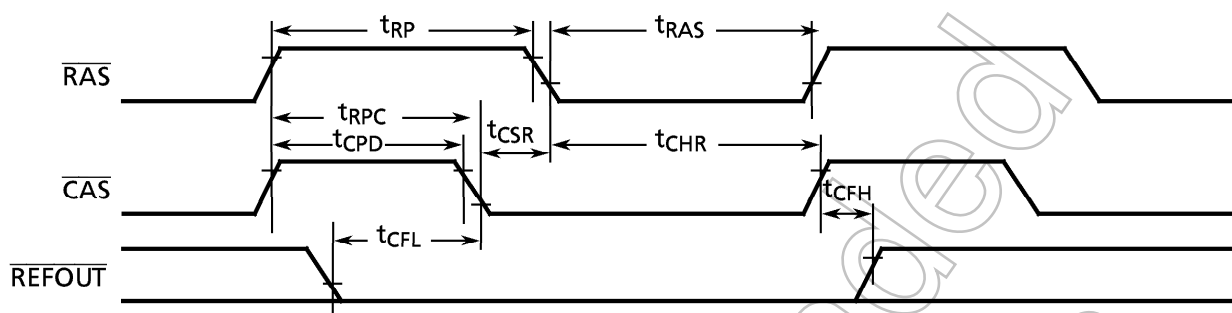
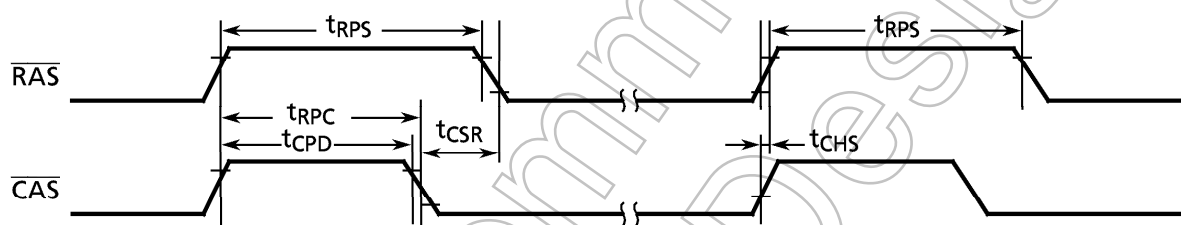
* 両リフレッシュモード

AC測定条件

- 出力レベル : High 2.2 V /Low 0.8 V , $CL = 50$ pF
(ただし, D0~D15, A0~A23, RD, WR, HWR, R/Wは, $CL = 100$ pF)
- 入力レベル : High 2.4 V /Low 0.45 V (D0~D15)
High 0.8 V_{CC} /Low 0.2 V_{CC} (D0~D15を除く)

(1) リード/ライトアクセスサイクル



(2) $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ インタバルリフレッシュサイクル(3) $\overline{\text{CAS}}$ ビフォア $\overline{\text{RAS}}$ セルフリフレッシュサイクル

4.5 A/D 変換特性

 $V_{CC} = 5V \pm 10\%$, $T_A = -20 \sim 70^\circ\text{C}$ (8~25 MHz)

項 目	記 号	Min	Typ	Max	単 位
アナログ基準電圧	$V_{REF}(V_{REFH})$	$V_{CC} - 1.5$		V_{CC}	V
アナログ基準電圧	$A_{GND}(V_{REFL})$	V_{SS}		V_{SS}	
アナログ入力電圧範囲	V_{AIN}	V_{SS}		V_{CC}	
アナログ基準電圧電源電流	I_{REF}		0.5	1.5	mA
$4 \leq f_c \leq 16 \text{ MHz}$	低速変換モード	総合誤差(量子化誤差 $\pm 0.5\text{LSB}$ 含まず)	± 1.5	± 4.0	LSB
	高速変換モード		± 3.0	± 6.0	
$16 < f_c \leq 25 \text{ MHz}$	低速変換モード		± 1.5	± 4.0	
	高速変換モード		± 4.0	± 8.0	

4.6 シリアルチャネルタイミング

(1) SCLK入力モード (I/Oインタフェースモード) $V_{CC} = 5V \pm 10\%$, $T_A = -20 \sim 70^\circ\text{C}$ (8~25 MHz)

項 目	記 号	Variable		20 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期	t_{SCY}	16X		0.8		0.64		μs
Output Data $\rightarrow$ SCLK立ち上がり	t_{OSS}	$t_{SCY}/2 - 5X - 50$		100		70		ns
SCLK立ち上がり $\rightarrow$ Output Data 保持	t_{OHS}	$5X - 100$		150		100		ns
SCLK立ち上がり $\rightarrow$ Input Data 保持	t_{HSR}	0		0		0		ns
SCLK立ち上がり $\rightarrow$ 有効 Data 入力	t_{SRD}		$t_{SCY} - 5X - 100$		450		340	ns

(2) SCLK出力モード (I/Oインタフェースモード) $V_{CC} = 5V \pm 10\%$, $T_A = -20 \sim 70^\circ\text{C}$ (8~25 MHz)

項 目	記 号	Variable		20 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期 (プログラマブル)	t_{SCY}	16X	8192X	0.8	409.6	0.64	327.6	μs
Output Data $\rightarrow$ SCLK立ち上がり	t_{OSS}	$t_{SCY} - 2X - 150$		550		410		ns
SCLK立ち上がり $\rightarrow$ Output Data 保持	t_{OHS}	$2X - 80$		20		0		ns
SCLK立ち上がり $\rightarrow$ Input Data 保持	t_{HSR}	0		0		0		ns
SCLK立ち上がり $\rightarrow$ 有効 Data 入力	t_{SRD}		$t_{SCY} - 2X - 150$		550		410	ns

(3) SCLK0入力モード (UARTモード) $V_{CC} = 5V \pm 10\%$, $T_A = -20 \sim 70^\circ\text{C}$ (8~25 MHz)

項 目	記 号	Variable		20 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
SCLK周期	t_{SCY}	$4X + 20$		220		180		ns
SCLK低レベルパルス幅	t_{SCYL}	$2X + 5$		105		85		ns
SCLK高レベルパルス幅	t_{SCYH}	$2X + 5$		105		85		ns

4.7 イベントカウンタ (TI0, TI4, TI5, TI6, TI7)

 $V_{CC} = 5V \pm 10\%$, $T_A = -20 \sim 70^\circ\text{C}$ (8~25 MHz)

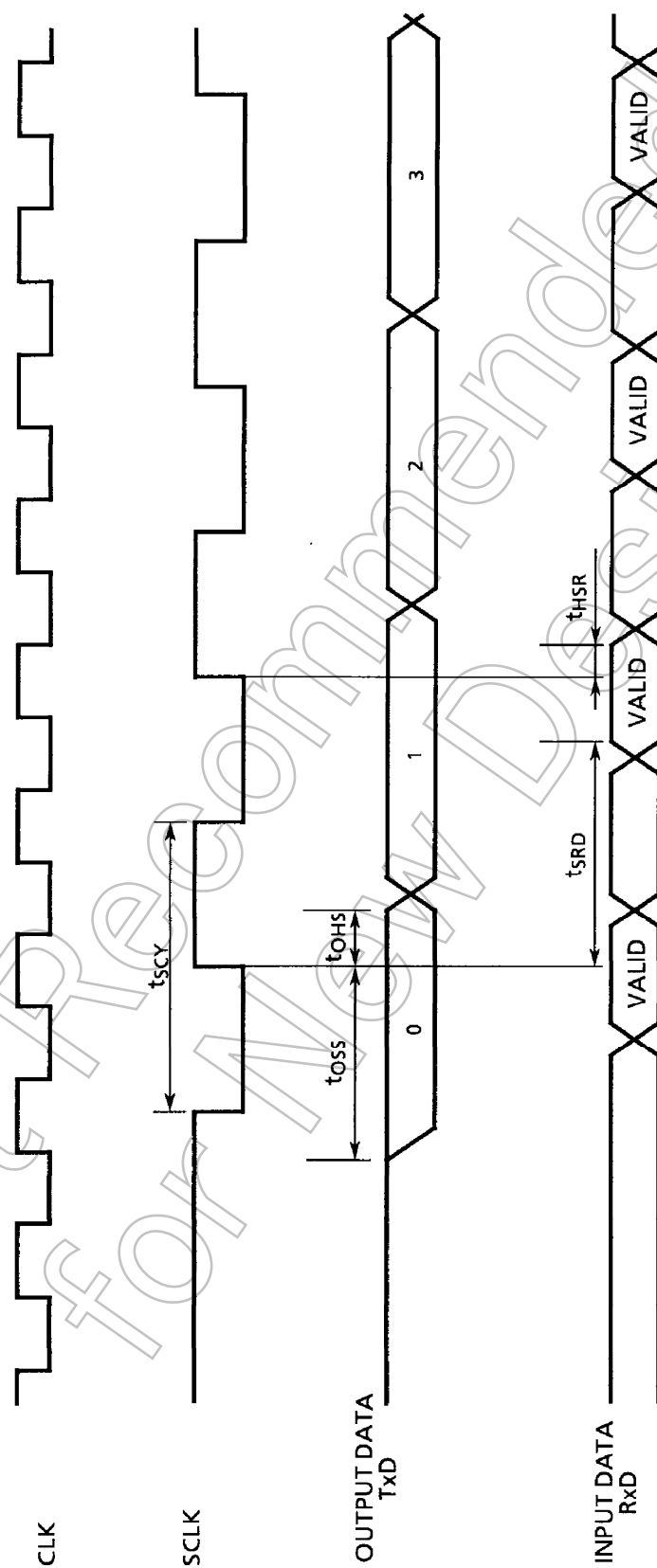
項 目	記 号	Variable		20 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
クロック周期	t_{VCK}	$8X + 100$		500		420		ns
クロック低レベルパルス幅	t_{VCKL}	$4X + 40$		240		200		ns
クロック高レベルパルス幅	t_{VCKH}	$4X + 40$		240		200		ns

4.8 割り込みオペレーション

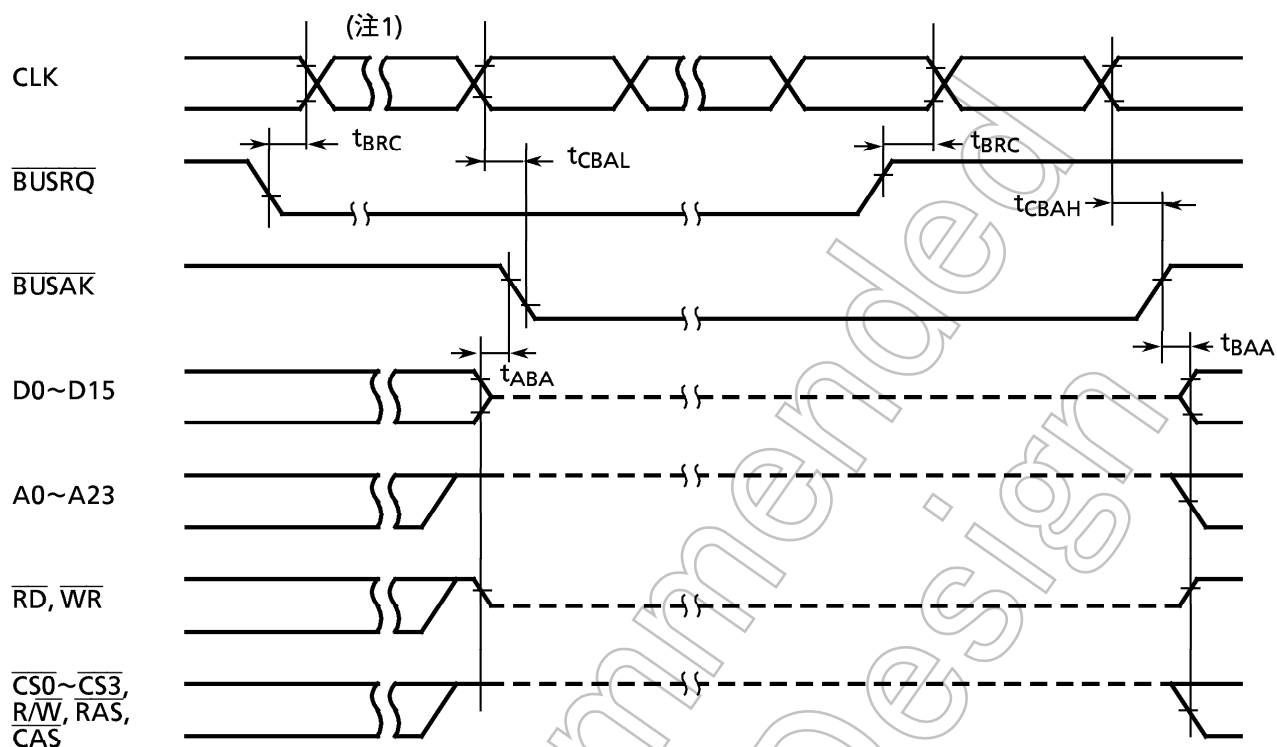
 $V_{CC} = 5\text{ V} \pm 10\%$, $T_A = -20 \sim 70^\circ\text{C}$ (8~25 MHz)

項 目	記 号	Variable		20 MHz		25 MHz		単 位
		Min	Max	Min	Max	Min	Max	
NMI, INT0 低レベル パルス幅	t_{INTAL}	4X		200		160		ns
NMI, INT0 高レベル パルス幅	t_{INTAH}	4X		200		160		ns
INT4~INT7 低レベル パルス幅	t_{INTBL}	$8X + 100$		500		420		ns
INT4~INT7 高レベル パルス幅	t_{INTBH}	$8X + 100$		500		420		ns

4.9 I/Oインタフェースモードタイミング図



4.10 バスリクエスト/バスアクノリッジタイミング



項目	記号	Variable		20 MHz		25 MHz		単位
		Min	Max	Min	Max	Min	Max	
CLKに対するBUSRQセットアップ時間	t_{BRC}	120		120		120		ns
CLK→BUSAK 立ち下がり	t_{CBAL}		$2.0x + 120$		220		200	ns
CLK→BUSAK 立ち上がり	t_{CBAH}		$0.5x + 40$		65		60	ns
出力バッファOFFからBUSAK立ち下がりまでの時間	t_{ABA}	0	80	0	80	0	80	ns
BUSAK立ち上がりから出力バッファONまでの時間	t_{BAA}	0	80	0	80	0	80	ns

(注) $\overline{BUSRQ}$ を“0”にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまで、バスは解放されません。

4.11 標準電氣的特性

特に規定のない限り、電源電圧5V、周囲温度25°Cにおける標準的な特性です。

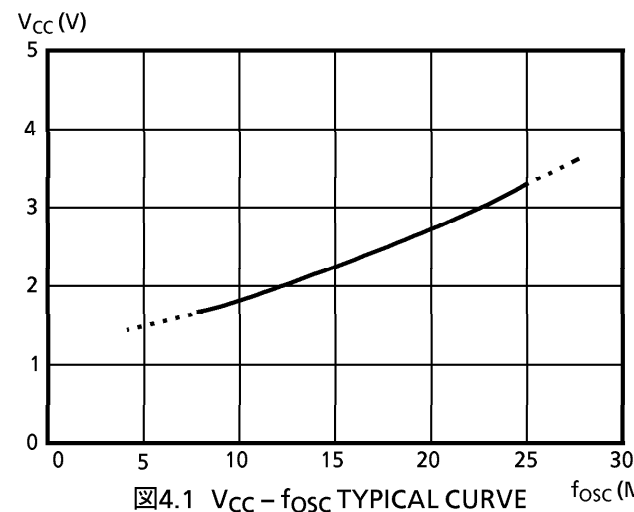


図4.1 $V_{CC} - f_{OSC}$ TYPICAL CURVE

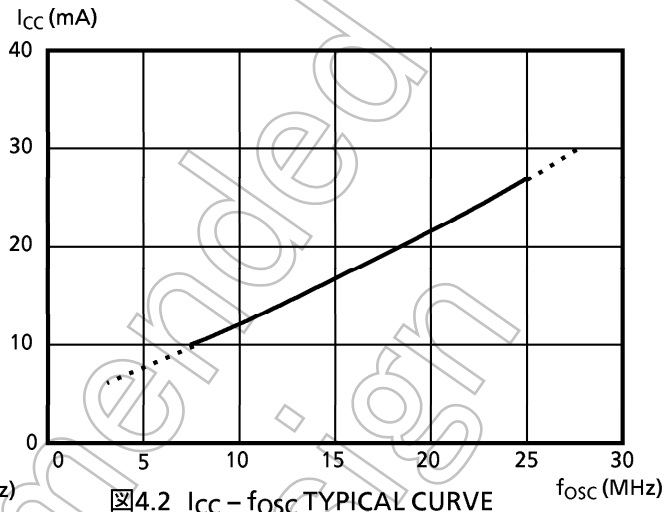


図4.2 $I_{CC} - f_{OSC}$ TYPICAL CURVE

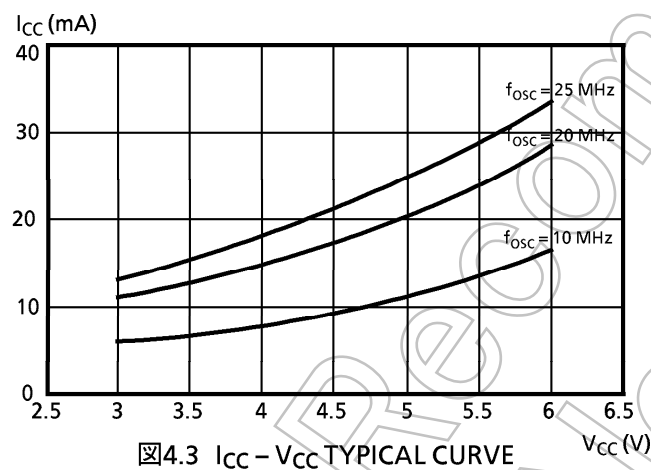


図4.3 $I_{CC} - V_{CC}$ TYPICAL CURVE

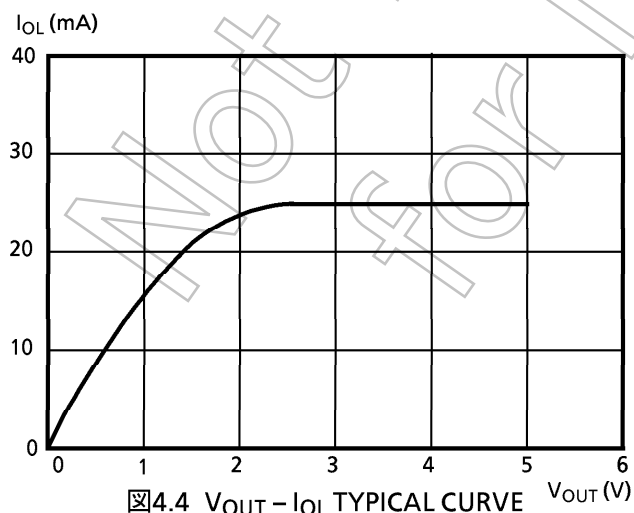


図4.4 $V_{OUT} - I_{OL}$ TYPICAL CURVE

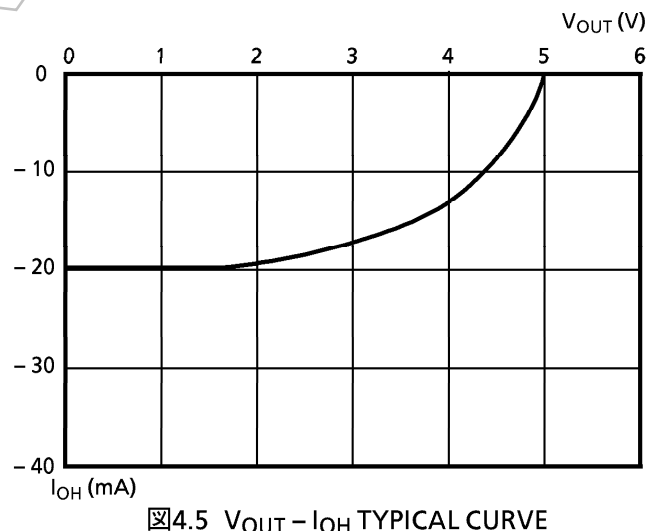


図4.5 $V_{OUT} - I_{OH}$ TYPICAL CURVE

5. 特殊機能レジスタ一覧表

(SFR ; Special Function Register)

特殊レジスタ (SFR) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~00007FHの128バイトのアドレス空間に割り付けられています。

- (1) 入出力ポート
- (2) 入出力ポート制御
- (3) タイマ制御
- (4) パターンジェネレータ
- (5) ウォッチドッグタイマ制御
- (6) シリアルチャネル制御
- (7) A/Dコンバータ制御
- (8) 割り込み制御
- (9) チップセレクト/ウェイトコントローラ
- (10) DRAMコントローラ

表の構成

記号	名称	アドレス	7	6	5	4	3	2	1	0	
											→ bit Symbol
											→ Read / Write
											→ リセット時の初期値
											→ 備考

表5 I/Oレジスタアドレスマップ

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
000000H		20H	TRUN	40H	TREG6L	60H	ADREG0L
1H	P1	21H		41H	TREG6H	61H	ADREG0H
2H		22H	TREG0	42H	TREG7L	62H	ADREG1L
3H		23H	TREG1	43H	TREG7H	63H	ADREG1H
4H	P1CR	24H	T01MOD	44H	CAP3L	64H	ADREG2L
5H		25H	TFFCR	45H	CAP3H	65H	ADREG2H
6H	P2	26H	TREG2	46H	CAP4L	66H	ADREG3L
7H		27H	TREG3	47H	CAP4H	67H	ADREG3H
8H		28H	T23MOD	48H	T5MOD	68H	B0CS
9H	P2FC	29H	TRDC	49H	T5FFCR	69H	B1CS
AH		2AH		4AH		6AH	B2CS
BH		2BH		4BH		6BH	B3CS
CH		2CH	PACR	4CH	PG0REG	6CH	BEXCS
DH	P5	2DH	PAFC	4DH	PG1REG	6DH	ADMOD
EH		2EH	PBCR	4EH	PG01CR	6EH	WDMOD
FH		2FH	PBFC	4FH		6FH	WDCR
10H	P5CR	30H	TREG4L	50H	SC0BUF	70H	INTE0AD
11H	P5FC	31H	TREG4H	51H	SC0CR	71H	INTE45
12H	P6	32H	TREG5L	52H	SC0MOD	72H	INTE67
13H	P7	33H	TREG5H	53H	BR0CR	73H	INTET10
14H		34H	CAP1L	54H	SC1BUF	74H	INTET32
15H	P6FC	35H	CAP1H	55H	SC1CR	75H	INTET54
16H	P7CR	36H	CAP2L	56H	SC1MOD	76H	INTET76
17H	P7FC	37H	CAP2H	57H	BR1CR	77H	INTES0
18H	P8	38H	T4MOD	58H	ODE	78H	INTES1
19H	P9	39H	T4FFCR	59H		79H	INTETC01
1AH	P8CR	3AH	T45CR	5AH	DREFCR	7AH	INTETC23
1BH	P8FC	3BH		5BH	DMEMCR	7BH	IIMC
1CH		3CH	MSAR0	5CH	MSAR2	7CH	DMA0V
1DH		3DH	MAMR0	5DH	MAMR2	7DH	DMA1V
1EH	PA	3EH	MSAR1	5EH	MSAR3	7EH	DMA2V
1FH	PB	3FH	MAMR1	5FH	MAMR3	7FH	DMA3V

(1) 入出力ポート

記 号	名 称	アドレス	7	6	5	4	3	2	1	0		
P1	PORT1	01H	P17	P16	P15	P14	P13	P12	P11	P10		
			R/W									
			入力モード									
			0	0	0	0	0	0	0	0		
P2	PORT2	06H	P27	P26	P25	P24	P23	P22	P21	P20		
			R/W									
			出力モード									
			1	1	1	1	1	1	1	1		
P5	PORT5	0DH			P55	P54	P53	P52				
					*R/W							
			入力モード (Pull-up付)									
P6	PORT6	12H			P65	P64	P63	P62	P61	P60		
					1	1	1	1	1	1		
			R/W									
			出力モード									
P7	PORT7	13H	P77	P76	P75	P74	P73	P72	P71	P70		
			*R/W									
			入力モード (Pull-up付)									
			1	1	1	1	1	1	1	1		
P8	PORT8	18H			P85	P84	P83	P82	P81	P80		
					*R/W							
			入力モード (Pull-up付)									
P9	PORT9	19H					P93	P92	P91	P90		
							R					
			入力モード									
PA	PORTA	1EH					PA3	PA2	PA1	PA0		
							*R/W					
			入力モード (Pull-up付)									
PB	PORTB	1FH	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0		
			*R/W									
			入力モード (Pull-up付)									
			1	1	1	1	1	1	1	1		

(注) “RDE”を0にクリアすると、 $\overline{RD}$ 端子の $\overline{RD}$ ストローブは内部アドレスのアクセス時でも出力され (PSRAM用)、1にセットされたままだと、外部アドレスをアクセスしたときのみ $\overline{RD}$ ストローブは出力されます。

Read/Write

R/W ; Read/Write可能

R ; Readのみ可能

W ; Writeのみ可能

RMW禁 ; Read Modify Writeができません。(EX, ADD, ADC, SUB, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TEST, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD命令の使用不可)。

*R/W ; 該当ポートのプルアップの制御の際にはRead Modify Write 命令は使用できません。

(2) 入出力ポート制御 (その1)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
P1CR	PORT1 Control	04H (RMW禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P2FC	PORT2 Function	09H (RMW禁)	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			1	1	1	1	1	1	1	1
			0 : PORT				1 : A23~A16			
P5CR	PORT5 Control	10H (RMW禁)			P55C	P54C	P53C	P52C		
			W							
					0	0	0	0		
			0 : IN				1 : OUT			
P5FC	PORT5 Function	11H (RMW禁)			P55F	P54F	P53F	P52F		
			W							
					0	0	0	0		
			0 : PORT		0 : PORT	0 : PORT	0 : PORT			
		1 : R/W	1 : BUSAK	1 : BUSRQ	1 : HWR					
P6FC	PORT6 Function	15H (RMW禁)			P65F	P64F	P63F	P62F	P61F	P60F
			W							
					0	0	0	0	0	0
			0 : PORT				1 : CS/CAS, RAS, REFOUT			
P7CR	PORT7 Control	16H (RMW禁)	P77C	P76C	P75C	P74C	P73C	P72C	P71C	P70C
			W							
			0	0	0	0	0	0	0	0
			0 : IN				1 : OUT			
P7FC	PORT7 Function	17H (RMW禁)	P77F	P76F	P75F	P74F	P73F	P72F	P71F	P70F
			W							
			0	0	0	0	0	0	0	0
			0 : PORT		1 : PG1-OUT		0 : PORT		1 : PG0-OUT	
P8CR	PORT8 Control	1AH (RMW禁)			P85C	P84C	P83C	P82C	P81C	P80C
			W							
					0	0	0	0	0	0
			0 : IN				1 : OUT			
P8FC	PORT8 Function	1BH (RMW禁)			P85F		P83F	P82F		P80F
			W							
					0		0	0		
			0 : PORT				0 : PORT	0 : PORT	0 : PORT	
		1 : SCLK1		1 : TxD1		1 : SCLK0		1 : TxD0		

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
PACR	PORTA Control	2CH (RMW禁)					PA3C	PA2C	PA1C	PA0C
							W			
							0	0	0	0
PAFC	PORTA Function	2DH (RMW禁)					PA3F	PA2F		
							W			
							0	0		
PBCR	PORTB Control	2EH (RMW禁)	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
			W							
			0	0	0	0	0	0	0	0
PBFC	PORTB Function	2FH (RMW禁)					PB6F	PB3F	PB2F	
							W		W	
							0	0		
			0 : PORT 1 : TO6				0 : PORT 1 : TO5		0 : PORT 1 : TO4	

(3) タイマ制御 (その1)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
TRUN	Timer Control	20H	PRRUN		T5RUN	T4RUN	T3RUN	T2RUN	T1RUN	T0RUN
			R/W		R/W					
			0	0	0	0	0	0		
			Prescaler & Timer Run/Stop CONTROL 0 : Stop & Clear 1 : Run (Count up)							
TREG0	8 bit Timer Register 0	22H (RMW禁)	-							
			W							
			不 定							
TREG1	8 bit Timer Register 1	23H (RMW禁)	-							
			W							
			不 定							
T01 MOD	8 bit Timer 0,1 Source CLK & MODE	24H (RMW禁)	T01M1	T01M0	PWM01	PWM00	T1CLK1	T1CLK0	T0CLK1	T0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00 : 8 bit Timer 01 : 16 bit Timer 10 : 8 bit PPG 11 : 8 bit PWM	00 : - 01 : 2 ⁶ - 1 10 : 2 ⁷ - 1 11 : 2 ⁸ - 1	PWM 周期	00 : TO0TRG 01 : φT1 10 : φT16 11 : φT256	00 : T10 入力 01 : φT1 10 : φT4 11 : φT16			
TFFCR	8 bit Timer Flip-Flop Control	25H (RMW禁)	TFF3C1	TFF3C0	TFF3IE	TFF3IS	TFF1C1	TFF1C0	TFF1IE	TFF1IS
			W		R/W		W		R/W	
			-		0		-		0	
			00 : Invert TFF3 01 : Set TFF3 10 : Clear TFF3 11 : Don't care	1 : TFF3 Invert Enable	1 : Timer3 による反転	00 : Invert TFF1 01 : Set TFF1 10 : Clear TFF1 11 : Don't care	1 : TFF1 Invert Enable	1 : Timer1 による反転		
TREG2	8 bit Timer Register 2	26H (RMW禁)	-							
			W							
			不 定							
TREG3	8 bit Timer Register 3	27H (RMW禁)	-							
			W							
			不 定							
T23 MOD	8 bit Timer 2,3 Source CLK & MODE	28H (RMW禁)	T23M1	T23M0	PWM21	PWM20	T3CLK1	T3CLK0	T2CLK1	T2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			00 : 8 bit Timer 01 : 16 bit Timer 10 : 8 bit PPG 11 : 8 bit PWM	00 : - 01 : 2 ⁶ - 1 10 : 2 ⁷ - 1 11 : 2 ⁸ - 1	PWM 周期	00 : TO2TRG 01 : φT1 10 : φT16 11 : φT256	00 : - 01 : φT1 10 : φT4 11 : φT16			
TRDC	Timer Reg. Double Buffer Control Reg.	29H							TR2DE	TR0DE
									R/W	
									0	0
									0 : Double Buffer Disable 1 : Double Buffer Enable	

タイマ制御 (その2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
TREG4L	16 bit Timer Register4L	30H (RMW禁)	-							
			W							
			不 定							
TREG4H	16 bit Timer Register4H	31H (RMW禁)	-							
			W							
			不 定							
TREG5L	16 bit Timer Register5L	32H (RMW禁)	-							
			W							
			不 定							
TREG5H	16 bit Timer Register5H	33H (RMW禁)	-							
			W							
			不 定							
CAP1L	Capture Register1L	34H	-							
			R							
			不 定							
CAP1H	Capture Register1H	35H	-							
			R							
			不 定							
CAP2L	Capture Register2L	36H	-							
			R							
			不 定							
CAP2H	Capture Register2H	37H	-							
			R							
			不 定							
T4MOD	16 bit Timer 4 Source CLK & MODE	38H (RMW禁)	CAP2T5	EQ5T5	CAP1IN	CAP12M1	CAP12M0	CLE	T4CLK1	T4CLK0
			R/W		W			R/W		
			0	0	1	0	0	0	0	0
			TFF5 INV TRG 0 : TRG Disable 1 : TRG Enable		0 : Soft- Capture 1 : Don't care	Capture Timing 00 : Disable 01 : TI4 ↑ TI5 ↑ 10 : TI4 ↑ TI4 ↓ 11 : TFF1 ↑ TFF1 ↓		1 : UC4 Clear Enable	Source Clock 00 : TI4 01 : φT1 10 : φT4 11 : φT16	
T4FFCR	16 bit Timer 4 Flip-Flop Control	39H (RMW禁)	TFF5C1	TFF5C0	CAP2T4	CAP1T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0
			W		R/W				W	
			-		0	0	0	0	-	
			00 : Invert TFF5 01 : Set TFF5 10 : Clear TFF5 11 : Don't care		TFF4 Invert Trigger 0 : Trigger Disable 1 : Trigger Enable				00 : Invert TFF4 01 : Set TFF4 10 : Clear TFF4 11 : Don't care	
T45CR	T4, T5 Control	3AH	-				PG1T	PG0T	DB6EN	DB4EN
			R/W				R/W			
			0				0	0	0	0
			"0" 固定				PG1シフト トリガ 0 : タイマ2,3 1 : タイマ5	PG0シフト トリガ 0 : タイマ0,1 1 : タイマ4	1 : Double Buffer Enable	

タイマ制御 (その3)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0	
TREG6L	16 bit Timer Register6L	40H (RMW禁)	-								
			W								
			不 定								
TREG6H	16 bit Timer Register6H	41H (RMW禁)	-								
			W								
			不 定								
TREG7L	16 bit Timer Register7L	42H (RMW禁)	-								
			W								
			不 定								
TREG7H	16 bit Timer Register7H	43H (RMW禁)	-								
			W								
			不 定								
CAP3L	Capture Register3L	44H	-								
			R								
			不 定								
CAP3H	Capture Register3H	45H	-								
			R								
			不 定								
CAP4L	Capture Register4L	46H	-								
			R								
			不 定								
CAP4H	Capture Register4H	47H	-								
			R								
			不 定								
T5MOD	16 bit Timer 5 Source CLK & MODE	48H (RMW禁)	CAP3IN		CAP34M1		CAP34M0		CLE	T5CLK1	T5CLK0
			W						R/W		
			1		0		0		0	0	0
			0 : Soft-Capture 1 : Don't care		Capture Timing 00 : Disable 01 : TI6 ↑ TI7 ↑ 10 : TI6 ↑ TI6 ↓ 11 : TFF1 ↑ TFF1 ↓				1 : UC5 Clear Enable	Source Clock 00 : TI6 01 : φT1 10 : φT4 11 : φT16	
T5FFCR	16 bit Timer 5 Flip-Flop Control	49H (RMW禁)	CAP4T6		CAP3T6		EQ7T6		EQ6T6	TFF6C1	TFF6C0
					R/W					W	
			0		0		0		0	-	
					TFF6 Invert Trigger 0 : Trigger Disable 1 : Trigger Enable					00 : Invert TFF6 01 : Set TFF6 10 : Clear TFF6 11 : Don't care	

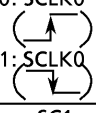
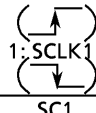
(4) パターンジェネレータ

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
PG0REG	PG0 Register	4CH (RMW禁)	PG03	PG02	PG01	PG00	SA03	SA02	SA01	SA00
			W				R/W			
			0	0	0	0	不 定			
PG1REG	PG1 Register	4DH (RMW禁)	PG13	PG12	PG11	PG10	SA13	SA12	SA11	SA10
			W				R/W			
			0	0	0	0	不 定			
PG01CR	PG0, 1 Control	4EH	PAT1	CCW1	PG1M	PG1TE	PAT0	CCW0	PG0M	PG0TE
			R/W							
			0	0	0	0	0	0	0	0
			0: 8 bit write 1: 4 bit write	0: 正転 1: 反転	0: 4 bit Step 1: 8 bit Step	PG1トリガ 入力イネーブル 1: イネーブル	0: 8 bit write 1: 4 bit write	0: 正転 1: 反転	0: 4 bit Step 1: 8 bit Step	PG0トリガ 入力イネーブル 1: イネーブル

(5) ウォッチドッグタイマ

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
WD-MOD	Watch Dog Timer Mode	6EH	WDTE	WDTP1	WDTP0	WARM	HALTM1	HALTM0	RESCR	DRVE
			R/W							
			1	0	0	0	0	0	0	0
			1: WDT Enable	00: 2 ¹⁶ /fc 01: 2 ¹⁸ /fc 10: 2 ²⁰ /fc 11: 2 ²² /fc	Warming up Time 0: 2 ¹⁴ /fc 1: 2 ¹⁶ /fc	Standby Mode 00: RUN Mode 01: STOP Mode 10: IDLE Mode 11: Don't care	1: Reset 端子にWDT出力を内部接続	1: STOP モード中も、端子をドライブ。		
WDCR	Watch Dog Timer Control Register	6FH (RMW禁)	—							
			W							
			—							
			B1H: WDT Disable Code				4EH: WDT Clear Code			

(6) シリアルチャネル

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
SC0BUF	Serial Channel 0 Buffer	50H	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0
			R (Receiving) /W (Transmission)							
			不 定							
SC0CR	Serial Channel 0 Control	51H	RB8	EVEN	PE	OERR	PERR	FERR	SCLK	IOC
			R	R/W		R (Cleared to 0 by reading)			R/W	
			0	0	0	0	0	0	0	0
			受信データ ビット8	Parity 0: Odd 1: Even	1: Parity Enable	Overrun	1: Error Parity	Framing	0: SCLK0 1: SCLK0 	1: SCLK0 端子入力
SC0-MOD	Serial Channel 0 Mode	52H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			不定	0	0	0	0	0	0	0
			送信データ ビット8	1: CTS Enable	1: Receive Enable	1: Wake up Enable	00: I/O Interface 01: UART 7 bit 10: UART 8 bit 11: UART 9 bit	00: TO2 Trigger 01: ボーレートジェネレータ 10: 内部クロックφ1 11: 外部クロックSCLK0		
BR0CR	Baud Rate Control	53H	—	BROCK1		BROCK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W	R/W						
			0	0	0	0	0	0	0	0
			"0" 固定	00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc) 分周値設定 0~F						
SC1BUF	Serial Channel 1 Buffer	54H	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0
			R (Receiving) /W (Transmission)							
			不 定							
SC1CR	Serial Channel 1 Control	55H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (Cleared to 0 by reading)			R/W	
			0	0	0	0	0	0	0	0
			受信データ ビット8	Parity 0: Odd 1: Even	1: Parity Enable	Overrun	1: Error Parity	Framing	0: SCLK1 1: SCLK1 	1: SCLK1 端子入力
SC1-MOD	Serial Channel 1 Mode	56H	TB8	—	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			不定	0	0	0	0	0	0	0
			送信データ ビット8	"0" 固定	1: Receive Enable	1: Wake up Enable	00: I/O Interface 01: UART 7 bit 10: UART 8 bit 11: UART 9 bit	00: TO2 Trigger 01: ボーレートジェネレータ 10: 内部クロックφ1 11: Don't care		
BR1CR	Baud Rate Control	57H	—	BR1CK1		BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
			R/W	R/W						
			0	0	0	0	0	0	0	0
			"0" 固定	00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc) 分周値設定 0~F ("1" 使用禁止)						
ODE	Serial Open Drain Enable	58H								ODE1
										ODE0
										R/W
										0
										1: P83 オープンドレイン
										0
										1: P80 オープンドレイン

(7) A/Dコンバータ制御

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
AD REG0L	*1) AD Result Reg 0 low	60H	ADR01	ADR00						
			R							
			不 定		1	1	1	1	1	1
AD REG0H	AD Result Reg 0 high	61H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
			R							
			不 定							
AD REG1L	*1) AD Result Reg 1 low	62H	ADR11	ADR10						
			R							
			不 定		1	1	1	1	1	1
AD REG1H	AD Result Reg 1 high	63H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
			R							
			不 定							
AD REG2L	*1) AD Result Reg 2 low	64H	ADR21	ADR20						
			R							
			不 定		1	1	1	1	1	1
AD REG2H	AD Result Reg 2 high	65H	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
			R							
			不 定							
AD REG3L	*1) AD Result Reg 3 low	66H	ADR31	ADR30						
			R							
			不 定		1	1	1	1	1	1
AD REG3H	AD Result Reg 3 high	67H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
			R							
			不 定							
ADMOD	A/D Converter Mode reg	6DH	EOCF	ADBF	REPET	SCAN	ADCS	ADS	ADCH1	ADCH0
			R		R/W					
			0	0	0	0	0	0	0	0
			1: End	1: Busy	1: Repeat mode	1: Scan mode	1: Slow mode	1: START	Analog Input Channel Select	

*1) A/D Result Reg Lowへ格納されるデータは、変換結果の下位2ビットです。
このレジスタの下位6ビットを読み出すと、常に“1”となります。

(8) 割り込み制御 (その1)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
INTE-0AD	INTerrupt Enable 0 & A/D	70H (RMW禁)	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE45	INTerrupt Enable 4/5	71H (RMW禁)	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTE67	INTerrupt Enable 6/7	72H (RMW禁)	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET01	INTerrupt Enable Timer 1/0	73H (RMW禁)	INTT1 (タイマ1)				INTT0 (タイマ0)			
			IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET23	INTerrupt Enable Timer 3/2	74H (RMW禁)	INTT3 (タイマ3)				INTT2 (タイマ2)			
			IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET45	INTerrupt Enable Treg 5/4	75H (RMW禁)	INTTR5 (TREG5)				INTTR4 (TREG4)			
			IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTET67	INTerrupt Enable Treg 7/6	76H (RMW禁)	INTTR7 (TREG7)				INTTR6 (TREG6)			
			IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTES0	INTerrupt Enable Serial 0	77H (RMW禁)	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTES1	INTerrupt Enable Serial 1	78H (RMW禁)	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTETC01	INTerrupt Enable TC 0/1	79H (RMW禁)	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0
INTETC23	INTerrupt Enable TC 2/3	7AH (RMW禁)	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R/W	W			R/W	W		
			0	0	0	0	0	0	0	0

lxxM2	lxxM1	lxxM0	機 能 (ライト)
0	0	0	割り込み要求を、禁止します。
0	0	1	割り込み要求レベルを、“1”にします。
0	1	0	割り込み要求レベルを、“2”にします。
0	1	1	割り込み要求レベルを、“3”にします。
1	0	0	割り込み要求レベルを、“4”にします。
1	0	1	割り込み要求レベルを、“5”にします。
1	1	0	割り込み要求レベルを、“6”にします。
1	1	1	割り込み要求を、禁止します。

lxxC	機 能 (リード)	機 能 (ライト)
0	割り込み要求がないことを示します。	割り込み要求フラグをクリアします。
1	割り込み要求があることを示します。	----- Don't care -----

割り込み制御 (その2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
IIMC	Interrupt Input Mode Control	7BH (RMW禁)						IOIE	IOLE	NMIREE
								W	W	W
								0	0	0
								1: INT0 入力 イネー ブル	0: INT0 エッジ モード 1: INT0 レベル モード	1: NMI 立ち上 がり エッジ でも 動作
DMA0V	DMA 0 request Vector	7CH (RMW禁)						マイクロDMA0起動ベクタ		
						DMA0V8	DMA0V7	DMA0V6	DMA0V5	DMA0V4
								W		
						0	0	0	0	0
DMA1V	DMA 1 request Vector	7DH (RMW禁)						マイクロDMA1起動ベクタ		
						DMA1V8	DMA1V7	DMA1V6	DMA1V5	DMA1V4
								W		
						0	0	0	0	0
DMA2V	DMA 2 request Vector	7EH (RMW禁)						マイクロDMA2起動ベクタ		
						DMA2V8	DMA2V7	DMA2V6	DMA2V5	DMA2V4
								W		
						0	0	0	0	0
DMA3V	DMA 3 request Vector	7FH (RMW禁)						マイクロDMA3起動ベクタ		
						DMA3V8	DMA3V7	DMA3V6	DMA3V5	DMA3V4
								W		
						0	0	0	0	0

(9) チップセレクト/ウェイトコントローラ (その1)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
B0CS	Block 0 CS/WAIT control register	68H (RMW禁)				B0E	—	B0BUS	B0C1	B0C0
						W	—	W	W	W
						0	—	0	0	0
						0: B0CS 1: マスタ ビット	—	0: 16 BIT 1: 8 BIT	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	
B1CS	Block 1 CS/WAIT control register	69H (RMW禁)				B1E	—	B1BUS	B1W1	B1W0
						W	—	W	W	W
						0	—	0	0	0
						0: B1CS 1: マスタ ビット	—	0: 16 BIT 1: 8 BIT	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	
B2CS	Block 2 CS/WAIT control register	6AH (RMW禁)				B2E	B2M	B2BUS	B2W1	B2W0
						W	W	W	W	W
						1	0	0	0	0
						0: B2CS 1: マスタ ビット	0: 16M 空間 1: MREG 設定	0: 16 BIT 1: 8 BIT	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	
B3CS	Block 3 CS/WAIT control register	6BH (RMW禁)				B3E	B3CAS	B3BUS	B3W1	B3W0
						W	W	W	W	W
						0	0	0	0	0
						0: B3CS 1: マスタ ビット	0: CS3出力 1: CAS出力	0: 16 BIT 1: 8 BIT	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	
BEXCS	External CS/WAIT control register	6CH (RMW禁)				—	—	BEXBUS	BEXW1	BEXW0
						—	—	W	W	W
						—	—	0	0	0
						—	—	0: 16 BIT 1: 8 BIT	00: 2WAIT 01: 1WAIT 10: 1WAIT + n 11: 0WAIT	
MSAR0	Memory Start Address Reg. 0	3CH	S23	S22	S21	S20	S19	S18	S17	S16
			1	1	1	1	1	1	1	1
			A23~A16 スタートアドレス 設定							
MAMR0	Memory Start Address Mask Reg. 0	3DH	V20	V19	V18	V17	V16	V15	V14~9	V8
			1	1	1	1	1	1	1	1
			0: 比較有効 1: 比較無効							
MSAR1	Memory Start Address Reg. 1	3EH	S23	S22	S21	S20	S19	S18	S17	S16
			1	1	1	1	1	1	1	1
			A23~A16 スタートアドレス 設定							
MAMR1	Memory Start Address Mask Reg. 1	3FH	V21	V20	V19	V18	V17	V16	V15~9	V8
			1	1	1	1	1	1	1	1
			0: 比較有効 1: 比較無効							

チップセレクト/ウェイトコントローラ (その2)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
MSAR2	Memory Start Address Reg. 2	5CH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			A23~A16 スタートアドレス 設定							
MAMR2	Memory Start Address Mask Reg. 2	5DH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較有効 1: 比較無効							
MSAR3	Memory Start Address Reg. 3	5EH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			A23~A16 スタートアドレス 設定							
MAMR3	Memory Start Address Mask Reg. 3	5FH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			0: 比較有効 1: 比較無効							

(10) DRAMコントローラ

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
DREFCR	Refresh Control Reg.	5AH	DMI	RS2	RS1	RS0	RW2	RW1	RW0	RC
			R/W							
			0	0	0	0	0	0	0	0
			ダミー サイクル 0: 禁止 1: 実行	リフレッシュサイクル挿入間隔 000: 31ステート 001: 62ステート 010: 78ステート 011: 97ステート 100: 109ステート 101: 124ステート 110: 154ステート 111: 195ステート			リフレッシュサイクル幅 000: 2ステート 001: 3ステート 010: 4ステート 011: 5ステート 100: 6ステート 101: 7ステート 110: 8ステート 111: 9ステート			リフレッシュ サイクル 0: 挿入 しない 1: 挿入 する
DMEMCR	Memory Access Control Reg.	5BH (RMW禁)	SRFC	BRM	MACM	MUXE	MUXW1	MUXW0	MAC	
			W	—	R/W					
			1	—	0	0	0	0	0	0
			セルフリフ レッシュ 0: 実行 1: 解除	DRAM端子 バス解放 0: バス解放 する 1: バス解放 しない	0: ノーマル アクセス 1: スロー アクセス	アドレスマル チプレクス 0: ディセーブル 1: イネーブル	マルチプレクスアドレス長 00: 8 bit 01: 9 bit 10: 10 bit 11: 11 bit	メモリアクセ ス制御 0: ディセーブル 1: イネーブル		

6. ポート部等価回路図

● 回路図の見方

基本的に、標準CMOSロジックIC「74HC××」シリーズと同じゲート記号を使って書かれています。

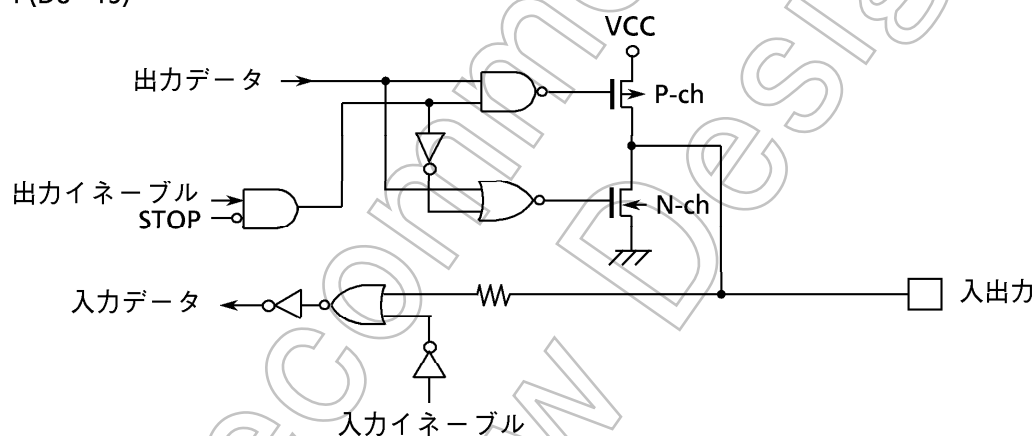
信号名の中で、特殊なものについては、下記に示します。

STOP: この信号は、ホールドモード設定レジスタを「STOP」モード (WDMOD<HALTM1, 0>=0, 1)にして、CPUが「HALT」命令を実行したときアクティブ“1”になります。

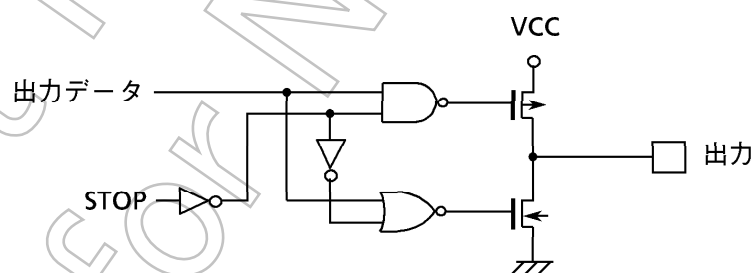
ただし、ドライブイネーブルビットWDMOD<DRVE>が“1”にセットされているときは、STOPは“0”のままです。

- 入力保護抵抗は、数十Ω～数百Ω程度です。

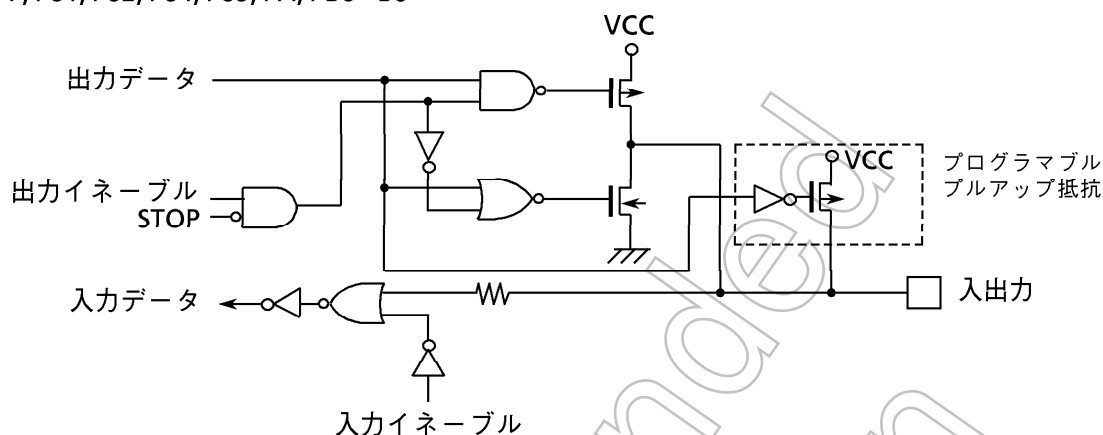
■ D0~D7, P1 (D8~15)



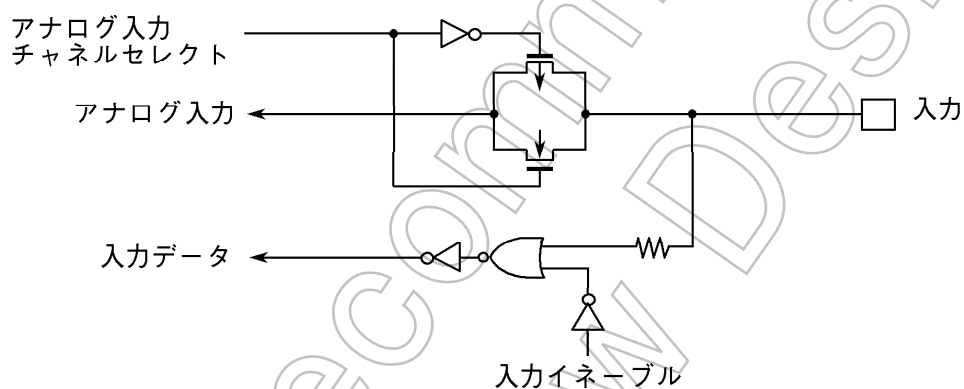
■ P2 (A16~A23), A0~15, RD, WR, P6



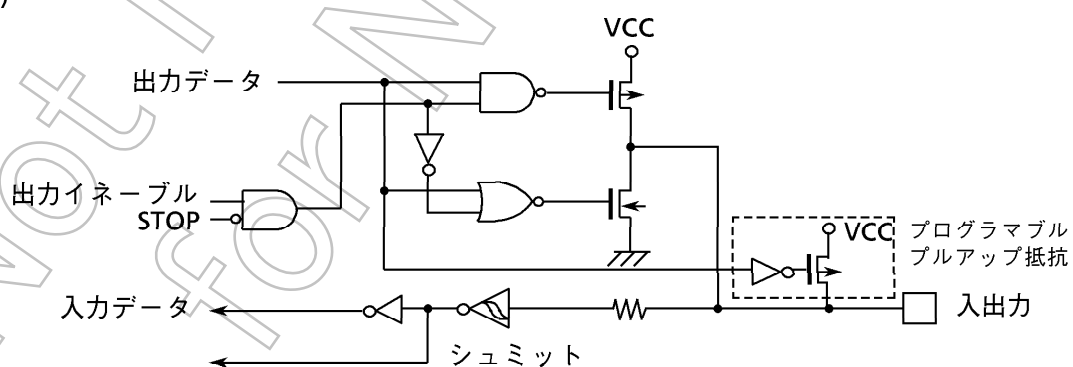
■ P52~55, P7, P81, P82, P84, P85, PA, PB6~B0



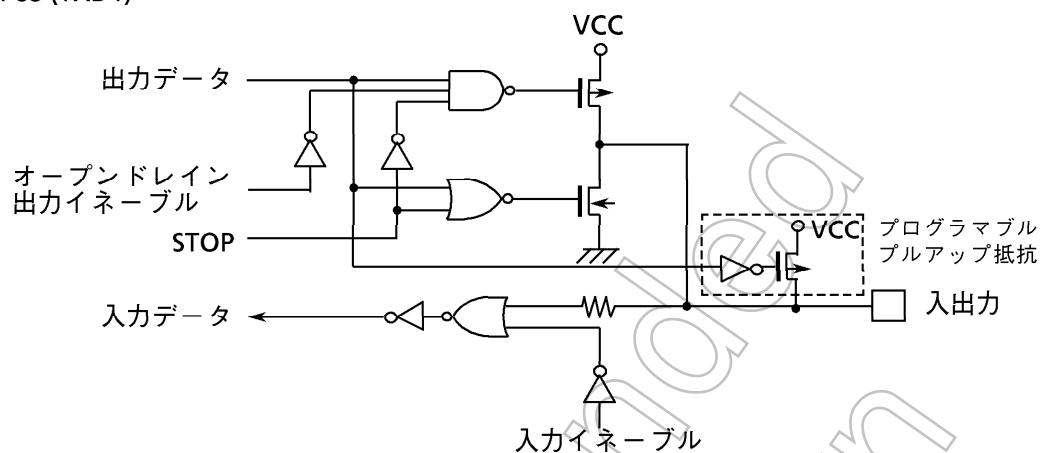
■ P9 (AN0~3)



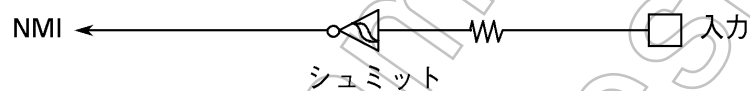
■ PB7 (INT0)



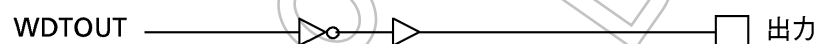
■ P80 (TXD0), P83 (TXD1)



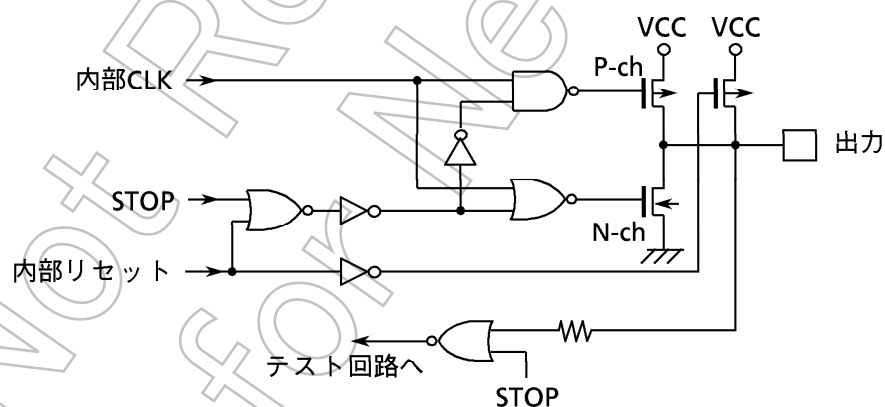
■ $\overline{\text{NMI}}$



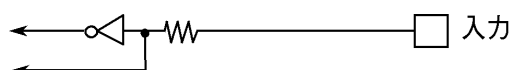
■ WDTOUT



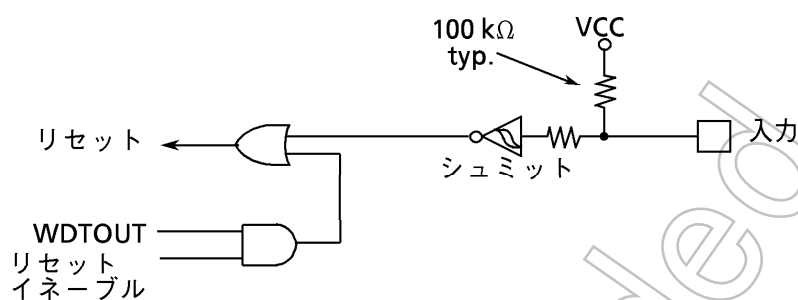
■ CLK



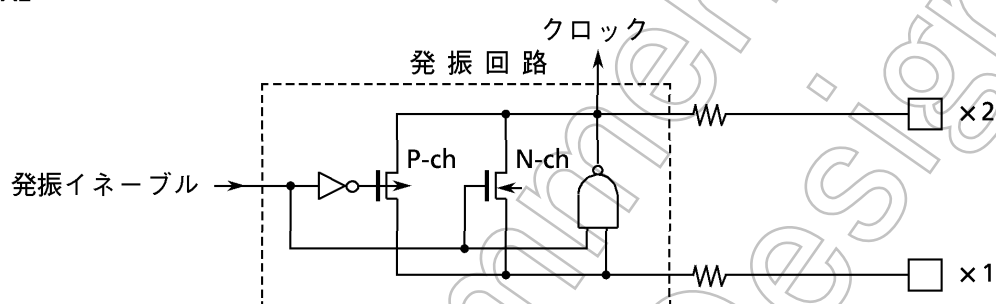
■ $\overline{\text{EA}}$, AM8/16



■ $\overline{\text{RESET}}$

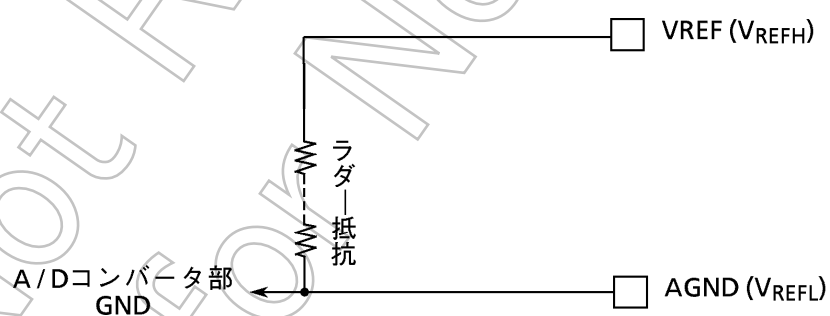


■ X1, X2



(注) 発振イネーブル信号は、**HALT**命令 (STOPモード) 実行により“0”になります。

■ VREF (V_{REFH}), AGND (V_{REFL})



7. 使用上の注意, 制限事項

(1) 特別な表記, 言葉の説明

- ① 内蔵I/Oレジスタの説明: レジスタシンボル<ビットシンボル>

例) TRUN<T0RUN> … レジスタTRUNのビットT0RUN

- ② リードモディファイライト命令

CPUが、あるメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令。

例1) SET 3, (TRUN) … TRUNレジスタのビット3をセットする。

例2) INC 1, (100H) … 100H番地のデータを+1する。

- TLCS-900におけるリードモディファイライト命令

交換命令

EX (mem), R

算術演算

ADD (mem), R/#

ADC (mem), R/#

SUB (mem), R/#

SBC (mem), R/#

INC #3, (mem)

DEC #3, (mem)

論理演算

AND (mem), R/#

OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem)

RES #3, (mem)

SET #3, (mem)

CHG #3, (mem)

TEST #3, (mem)

ローテート、シフト

RLC (mem)

RRC (mem)

RL (mem)

RR (mem)

SLA (mem)

SRA (mem)

SLL (mem)

SRL (mem)

RLD (mem)

RRD (mem)

- ③ 1ステート

発振周波数を2分周した1周期を1ステートと呼びます。

例) 発振周波数25 MHzの場合

 $2/25 \text{ MHz} = 80 \text{ ns} = 1 \text{ ステート}$ となります。

(2) 使用上の注意, 制限事項

① EA端子, AM8/16端子

本端子は、Vcc又はGND端子に接続し動作中にレベル変更のないようにしてください。

② ウォーミングアップカウンタ

外部発振器を用いるシステムでSTOPモードの解除を割り込みなどで行う際には、ウォーミングアップカウンタが動作するためシステムクロックが出力されるまでウォーミングアップ時間を要します。

③ プログラマブルプルアップ/ダウン抵抗

このプルアップ/ダウン抵抗は、ポートを入力ポートとして使用するときのみプログラマブルに付加/付加なしを選択できます。出力ポートとして使用するときには、プログラマブルに選択することはできません。

付加/付加なしの選択は該当ポートのデータレジスタ(例:P5レジスタ)で制御しますが、その際にはリードモディファイライト命令は使用できませんので、転送命令を使用してください。

④ ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

⑤ ウォッチドッグタイマ

バス解放機能使用した場合、バス解放中もウォッチドッグタイマなどのI/Oブロックは動作しますので注意が必要です。

⑥ CPU (マイクロDMA)

CPU内にある転送元レジスタ(DMASn)などのコントロールレジスタへのデータ書き込み, 読み出しは、“LDC cr, r”, “LDC r, cr”のみで行えません。

⑦ 本製品はミニマムモードをサポートしていませんので“MIN”命令は使用しないでください。

⑧ 「POP SR」命令

「POP SR」命令の実行は、DI状態で行ってください。

⑨ 割り込み要求によるホールド状態からの解除

通常は、割り込みによってホールド状態を解除することができますが、ホールドモードがIDLE、STOPモードに設定されている状態で、CPUがホールドモードに移行しようとしている期間(X1約3クロックの間)に、ホールドモードを解除可能な割り込み(NMI, INT0)が入力されても、ホールドが解除できない場合があります(割り込み要求は内部に保留されます)。

ホールドモードへ完全に移行された後に、再度割り込みが発生すれば、問題なくホールドモードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

Not Recommended
for New Design