TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870 シリーズ

TMP87C840NG, TMP87CC40NG
TMP87CH40NG, TMP87CK40ANG
TMP87CM40ANG, TMP87C840FG
TMP87CC40FG, TMP87CH40FG
TMP87CK40AFG, TMP87CM40AFG

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。
製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF → TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C → LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

Not Recommended for New Design

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パーケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP87C840N	SDIP64-P-750-1.78	TMP87C840NG	SDIP64-P-750-1.78	TMP87PH40ANG
TMP87C840F	QFP64-P-1420-1.00A	TMP87C840FG	QFP64-P-1420-1.00A	TMP87PH40AFG
TMP87CC40N	SDIP64-P-750-1.78	TMP87CC40NG	SDIP64-P-750-1.78	TMP87PH40ANG
TMP87CC40F	QFP64-P-1420-1.00A	TMP87CC40FG	QFP64-P-1420-1.00A	TMP87PH40AFG
TMP87CH40N	SDIP64-P-750-1.78	TMP87CH40NG	SDIP64-P-750-1.78	TMP87PH40ANG
TMP87CH40F	QFP64-P-1420-1.00A	TMP87CH40FG	QFP64-P-1420-1.00A	TMP87PH40AFG
TMP87CK40AN	SDIP64-P-750-1.78	TMP87CK40ANG	SDIP64-P-750-1.78	TMP87PM40ANG
TMP87CK40AF	QFP64-P-1420-1.00A	TMP87CK40AFG	QFP64-P-1420-1.00A	TMP87PM40AFG
TMP87CM40AN	SDIP64-P-750-1.78	TMP87CM40ANG	SDIP64-P-750-1.78	TMP87PM40ANG
TMP87CM40AF	QFP64-P-1420-1.00A	TMP87CM40AFG	QFP64-P-1420-1.00A	TMP87PM40AFG

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、 はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、 最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質，信頼性の向上に努めておりますが，一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は，半導体製品の誤作動や故障により，生命・身体・財産が侵害されることのないように，購入者側の責任において，機器の安全設計を行うことをお願いします。
  なお，設計に際しては，最新の製品仕様をご確認の上，製品保証範囲内でご使用いただくと共に，考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」,「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は，一般的電子機器（コンピュータ，パーソナル機器，事務機器，計測機器，産業用ロボット，家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され，その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器，航空宇宙機器，輸送機器，交通信号機器，燃焼制御，医療機器，各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし，また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは，お客様の責任でなされることとなります。
- 本資料に掲載されている製品を，国内外の法令，規則及び命令により製造，使用，販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は，製品の代表的動作・応用を説明するためのもので，その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有･使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は，技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

本製品の発行日は、 付加ページ右下にも記入の「2008-03-06」です。

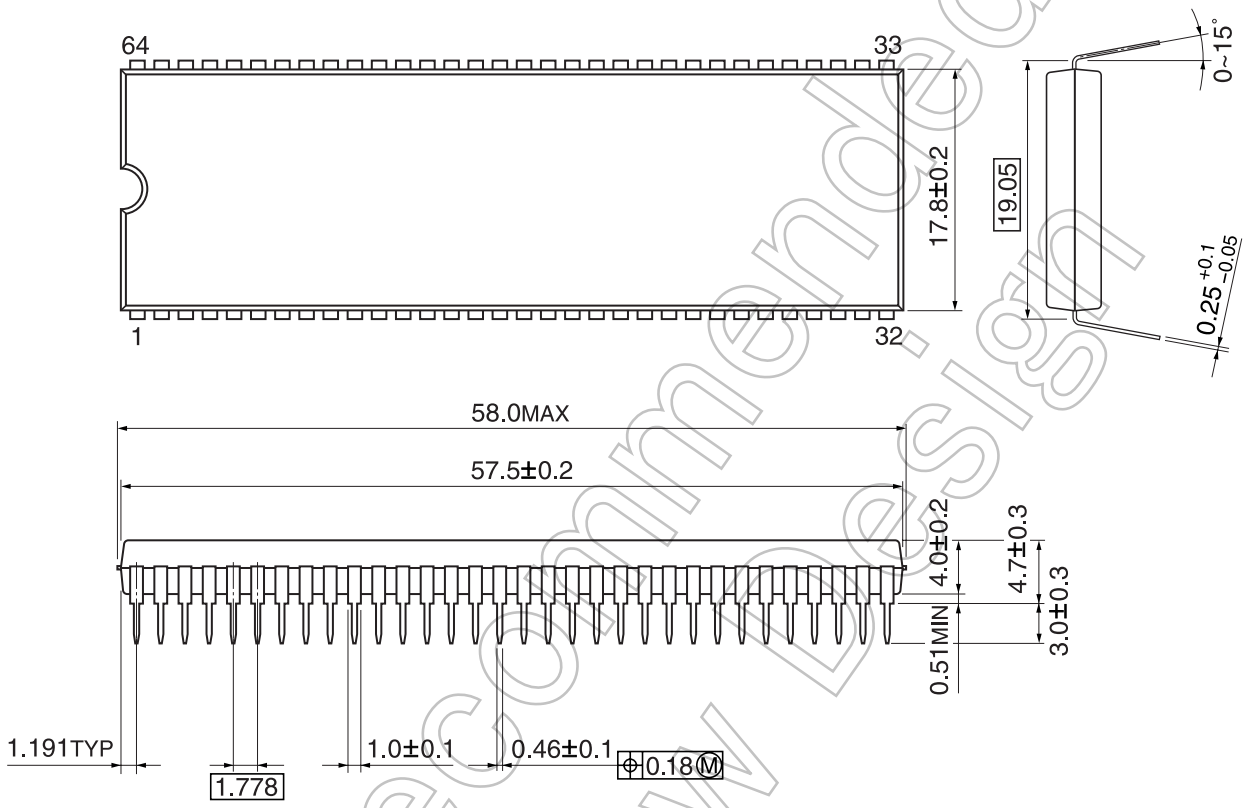
Not Recommended for New Design

(別紙)

パッケージ外形寸法図

SDIP64-P-750-1.78

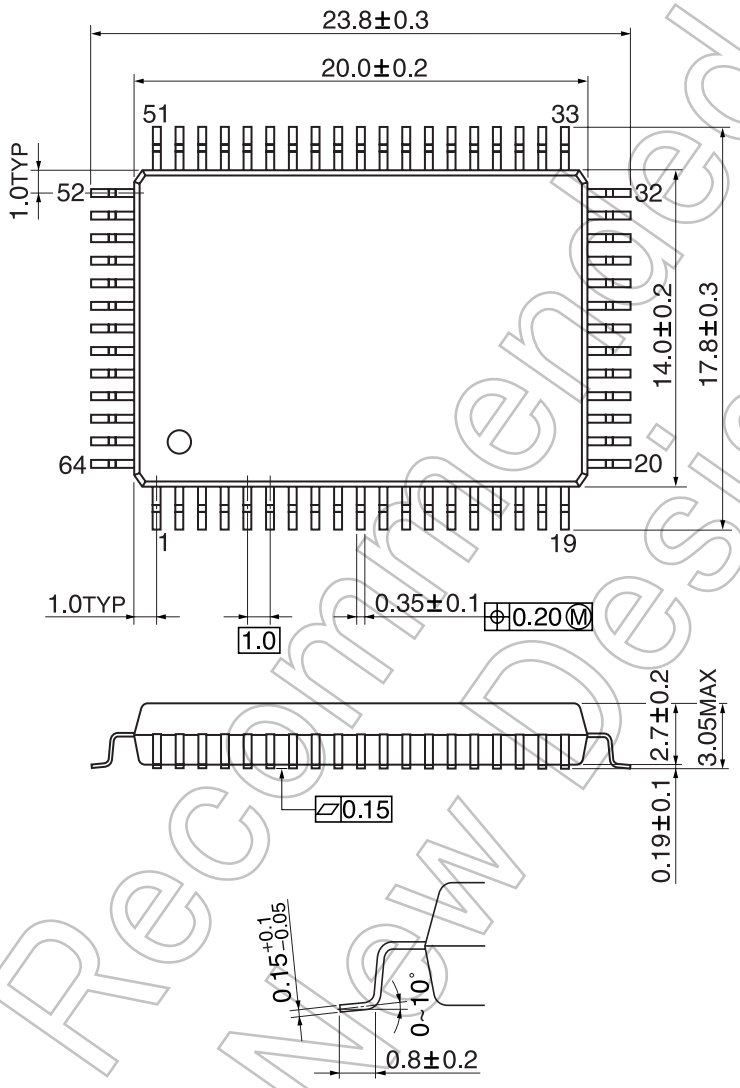
単位: mm



Not Recommended for New Design

QFP64-P-1420-1.00A

単位: mm



Not Recommended for New Design

CMOS 8ビット マイクロコントローラ

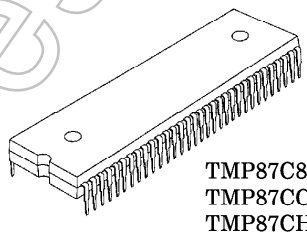
TMP87C840N, TMP87CC40N, TMP87CH40N, TMP87CK40AN, TMP87CM40AN
TMP87C840F, TMP87CC40F, TMP87CH40F, TMP87CK40AF, TMP87CM40AF

大容量ROM, RAM, 入出力ポート, 多機能タイマカウンタ, シリアルインタフェース, 8ビットA/Dコンバータおよび2系統の発振回路などを内蔵した高速, 高機能8ビットシングルチップマイクロコンピュータです。

製品形名	ROM	RAM	パッケージ	OTP内蔵品
TMP87C840N	8K バイト	256 バイト	SDIP64-P-750-1.78	TMP87PH40AN
TMP87C840F			QFP64-P-1420-1.00A	TMP87PH40AF
TMP87CC40N	12K バイト	512 バイト	SDIP64-P-750-1.78	TMP87PH40AN
TMP87CC40F			QFP64-P-1420-1.00A	TMP87PH40AF
TMP87CH40N	16K バイト		SDIP64-P-750-1.78	TMP87PH40AN
TMP87CH40F			QFP64-P-1420-1.00A	TMP87PH40AF
TMP87CK40AN	24K バイト	1K バイト	SDIP64-P-750-1.78	TMP87PM40AN
TMP87CK40AF			QFP64-P-1420-1.00A	TMP87PM40AF
TMP87CM40AN	32K バイト		SDIP64-P-750-1.78	TMP87PM40AN
TMP87CM40AF			QFP64-P-1420-1.00A	TMP87PM40AF

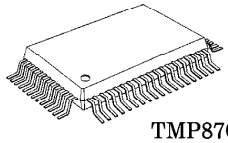
パッケージ外観図

SDIP64-P-750-1.78



TMP87C840N
TMP87CC40N
TMP87CH40N
TMP87CK40AN
TMP87CM40AN
TMP87PH40AN
TMP87PM40AN

QFP64-P-1420-1.00A



TMP87C840F
TMP87CC40F
TMP87CH40F
TMP87CK40AF
TMP87CM40AF
TMP87PH40AF
TMP87PM40AF

特　長

- ◆ 8ビット シングルチップ マイクロコンピュータ TLCS-870シリーズ
- ◆ 最小命令実行時間: 0.5 μs (8 MHz 動作時), 122 μs (32.768 kHz 動作時)
- ◆ 基本機械命令: 129種類 412命令
- ◆ 割り込み15要因(外部: 6, 内部: 9)
  - 全要因独立ラッチ付き, 多重割り込み制御
  - エッジ選択, ノイズ除去機能付き外部割り込み端子あり
  - レジスタバンク切り替えによる高速タスクスイッチング
- ◆ 入出力ポート (56端子)
  - 大電流出力: 8端子 (typ. 20 mA), LED 直接駆動可能
- ◆ 16ビットタイマカウンタ: 2チャネル
  - タイマ, イベントカウンタ, PPG (Programmable Pulse Generator) 出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード

Not Recommended for New Design

980901TBP2

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますのでかならずお読みください。
- 当社は品質、信頼性の向上に努めていますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用頂く場合は、半導体製品の誤作動や故障により、他人の生命･身体･財産が侵害されることのないように、購入者側の責任において、装置の安全設計を行うことをお願いします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用頂くとともに、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご活用ください。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

◆8ビットタイマカウンタ： 2チャネル

- タイマ, イベントカウンタ, キャプチャ (パルス幅/デューティ測定), PWM (パルス幅変調) 出力, PDO (Programmable Divider Output) モード

◆タイムベース タイマ (割り込み周波数： 1~16384 Hz)

◆デバイダ出力機能 (周波数： 1~8 kHz)

◆ウォッチドッグ タイマ

- 割り込み / リセット出力の選択 (プログラマブル)

◆8ビット シリアル インタフェース： 2チャネル

- 各8バイトの送受信データバッファ付き
- 内部/外部クロック, 4/8ビット転送モードの選択

◆8ビット逐次比較方式 A / Dコンバータ (サンプルホールド付き)

- アナログ入力 ： 8チャネル
- 変換時間 ： 23 μs (8 MHz 動作時)

◆クロック発振回路 ： 2回路

- シングル/デュアルクロックモードの選択 (オプション)

◆低消費電力動作 (5モード)

- STOPモード ： 発振停止(バッテリー/コンデンサバックアップ)。ポート出力の保持/ハイインピーダンスの選択。
- SLOWモード： 低周波クロックによる低消費電力動作。
- IDLE1モード： CPU停止。周辺ハードウエアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)。
- IDLE2モード： CPU停止。周辺ハードウエアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- SLEEPモード : CPU停止。周辺ハードウエアのみ動作 (低周波クロック) 継続し、割り込みで解除。

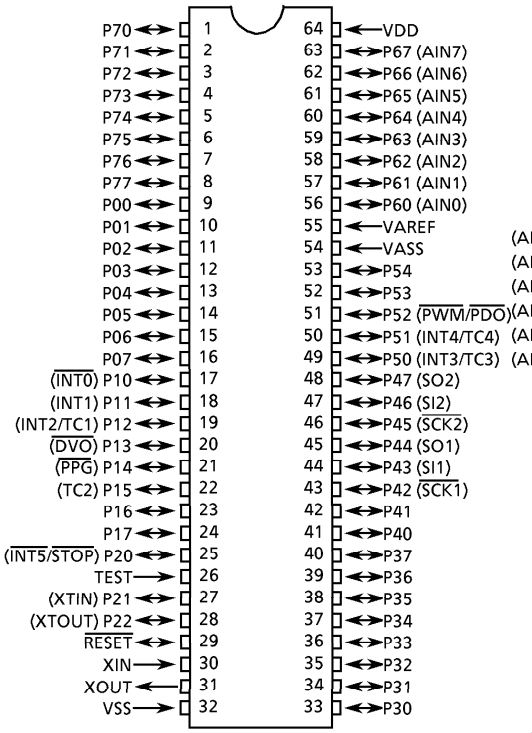
◆動作電圧： 2.7~6 V @ 4.2 MHz / 32.768 kHz, 4.5~6 V @ 8 MHz (87C840/C40/H40/K40A, 87PH40/M40)
2.7~5.5 V @ 4.2 MHz/32.768 kHz, 4.5~5.5 V @ 8 MHz (87CM40A)

◆エミュレーションポッド： BM87CK40N0B

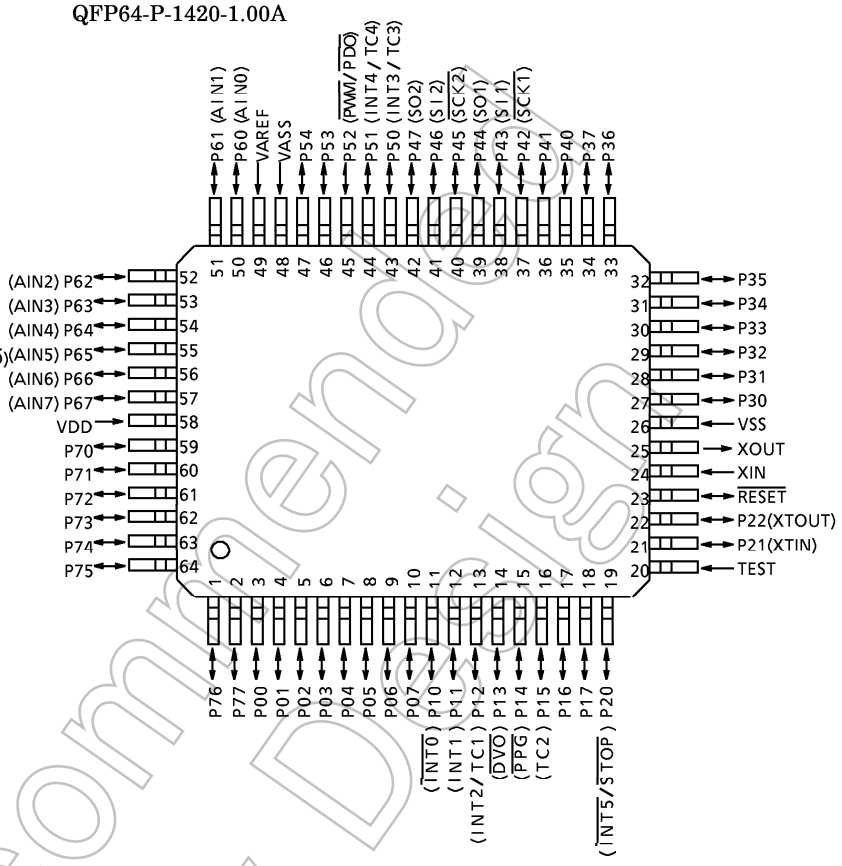
Not Recommended For New Design

ピン配置図 (上面図)

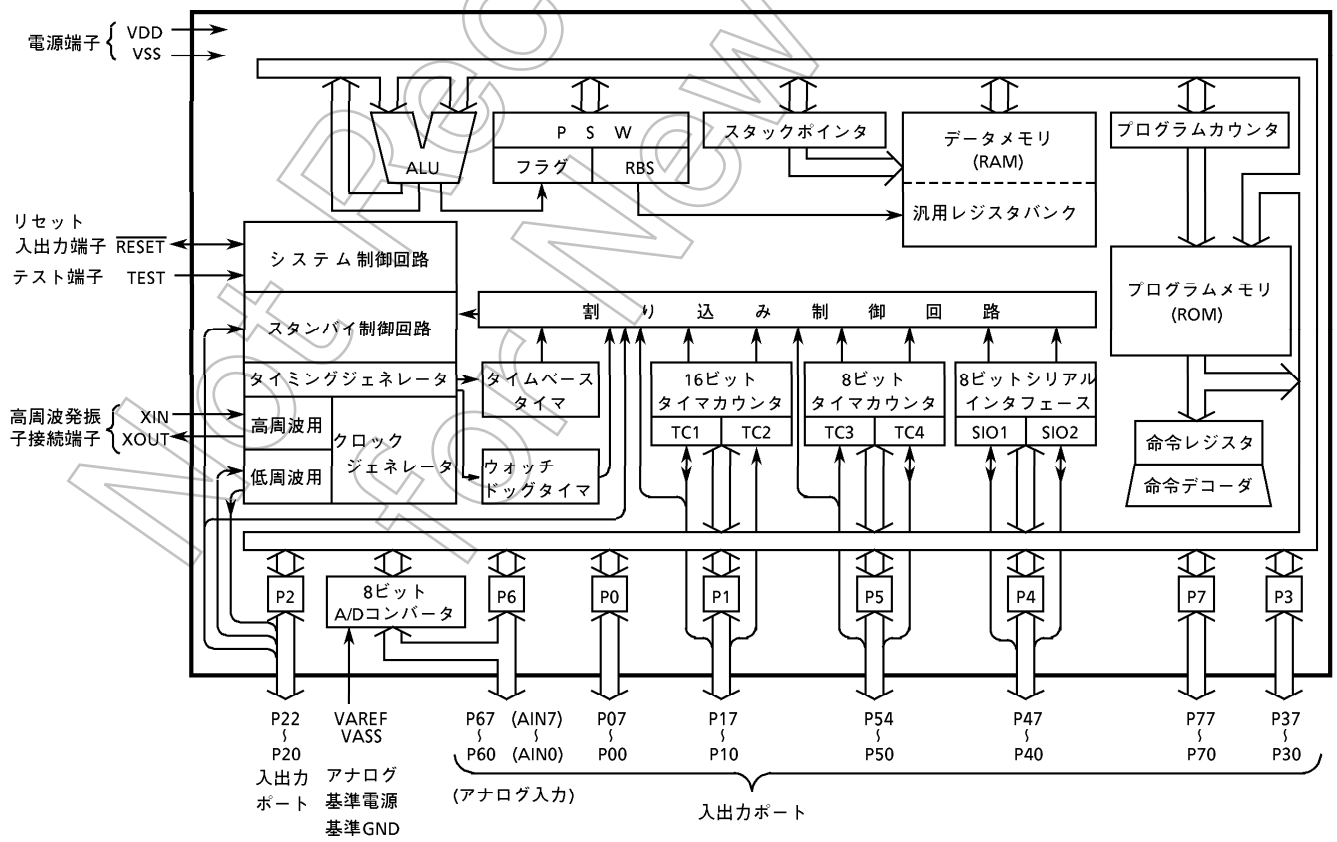
SDIP64-P-750-1.78



QFP64-P-1420-1.00A



ブロック図



Not Recommended for New Design

端子機能

端　子　名	入　出　力	機　　能	
P07~P00	入　出　力	8ビットのプログラマブル入出力ポート(トライステート)。 1ビット単位で入力/出力の指定ができます。外部割り込み入力, タイマカウンタ入力として用いる場合は、入力モードにします。PPG出力, デバイダ出力として用いる場合は、出力ラッチを“1”にセットして、出力モードにします。	
P17, P16	入　出　力		
P15 (TC2)	入出力 (入　力)		タイマカウンタ2の入力
P14 ($\overline{PPG}$)	入出力 (出　力)		プログラマブル パルス ジェネレータ出力
P13 ($\overline{DVO}$)			デバイダ出力
P12 (INT2 / TC1)	入出力 (入　力)		外部割り込み2入力/タイマカウンタ1の入力
P11 (INT1)			外部割り込み1入力
P10 ($\overline{INT0}$)			外部割り込み0入力
P22 (XTOUT)	入出力 (出　力)	3ビット入出力ポート。 入力ポート, 発振子接続端子, 外部割り込み入力, STOPモード解除入力として使用する場合は、出力ラッチを“1” にセットします。	低周波発振子接続端子 (32.768 kHz)。外部クロック入力の場合、XTINへ入力し、XTOUTは開放します。
P21 (XTIN)	入出力 (入　力)		
P20 ($\overline{INT5}$ / $\overline{STOP}$)			外部割り込み5入力/STOPモード解除入力
P37 ~ P30	入　出　力	8ビット入出力ポート (大電流出力)。入力ポートとして使用する場合は、出力ラッチを “1” にセットします。	
P47 (SO2)	入出力 (出　力)	8ビット入出力ポート。 入力ポート, シリアルインタフェース端子として使用する場合は、出力ラッチを“1” にセットします。	SIO2 シリアルデータ出力
P46 (SI2)	入出力 (入　力)		SIO2 シリアルデータ入力
P45 ($\overline{SCK2}$)	入出力 (入出力)		SIO2 シリアルクロックの入力/出力
P44 (SO1)	入出力 (出　力)		SIO1 シリアルデータ出力
P43 (SI1)	入出力 (入　力)		SIO1 シリアルデータ入力
P42 ($\overline{SCK1}$)	入出力 (入出力)		SIO1 シリアルクロックの入力/出力
P41, P40	入　出　力		
P54, P53	入　出　力	5ビット入出力ポート。 入力ポート, PWM出力, プログラマブルデバイダ出力, 外部割り込み入力またはタイマカウンタ入力として使用する場合は、出力ラッチを “1” にセットします。	
P52 ($\overline{PWM}$ / $\overline{PDO}$)	入出力 (出　力)		8ビットPWM (パルス幅変調)出力/ 8ビットプログラマブル デバイダ出力
P51 (INT4 / TC4)	入出力 (入　力)		外部割り込み4入力/タイマカウンタ4の入力
P50 (INT3 / TC3)			外部割り込み3入力/タイマカウンタ3の入力
P67 (AIN7) ~P60 (AIN0)	入　出　力	8ビットのプログラマブル入出力ポート(トライステート)。 1ビット単位で入力/出力の指定ができます。 アナログ入力として使用する場合は、P6CRでアナログ入力モードにします。	A/Dコンバータ アナログ入力
P77 ~ P70	入　出　力	8ビットのプログラマブル入出力ポート (トライステート)。 1ビット単位で入力/出力の指定ができます。	
XIN, XOUT	入　力, 出　力	高周波発振子接続端子。 外部クロック入力の場合 XINへ入力し、XOUTは開放します。	
$\overline{RESET}$	入　出　力	リセット信号入力, ウォッチドッグタイマ出力 / アドレストラップリセット出力 / システムクロックリセット出力	
TEST	入　　力	出荷試験用端子。低レベルに固定します。	
VDD, VSS	電　　源	+5 V, 0 V (GND)	
VAREF, VASS		A / D変換用アナログ基準電圧, 基準GND	

Not Recommended for New Design

動作説明

1. CPUコア機能

CPUコアは、CPU, システムクロック制御回路, 割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア, プログラムメモリ, データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TLCS-870シリーズのメモリは、ROM, RAM, SFR(スペシャルファンクションレジスタ), DBR(データバッファレジスタ)の4つのブロックで構成され、それらは1つの64Kバイトアドレス空間上にマッピングされています。図1-1.に87C840/C40/H40/K40A/M40Aのメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAMアドレス空間上にマッピングされています。

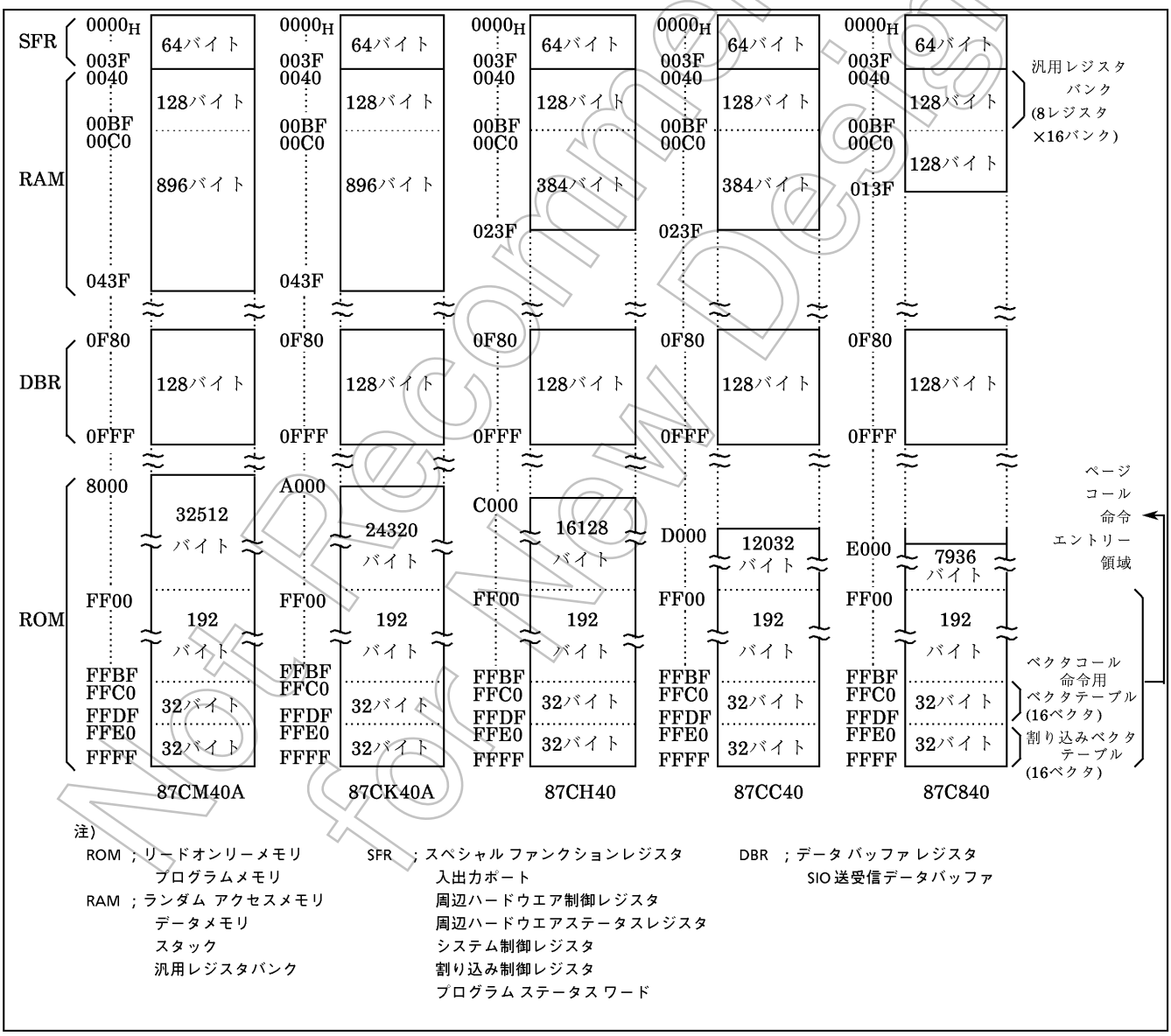


図1-1. メモリアドレスマップ

Not Recommended for New Design

1.2 プログラムメモリ(ROM)

87C840は8Kバイト(アドレスE000~FFFF$_H$番地), 87CC40は12Kバイト (アドレスD000~FFFF$_H$番地), 87CH40 は16K バイト(アドレスC000~FFFF$_H$ 番地), 87CK40A は24K バイト(アドレスA000~FFFF$_H$番地), 87CM40Aは32Kバイト (アドレス8000~FFFF$_H$番地) のプログラムメモリ(マスクROM) を内蔵しています。図1-2. にプログラムメモリマップを示します。

プログラムメモリのFF00~FFFF$_H$番地は、特定の用途にも使用されます。

(1) 割り込みベクタテーブル (FFE0~FFFF$_H$番地)

リセットおよび割り込みのベクタ(2バイト/ベクタ) を格納するテーブルで、16ベクタあります。ベクタには、リセット解除からのスタートアドレス, 割り込みサービスルーチンのエントリーアドレスを格納します。

(2) ベクタコール命令用ベクタテーブル (FFC0~FFDF$_H$番地)

ベクタコール命令[CALLV a]用のベクタ(サブルーチン エントリーアドレス, 2バイト/ベクタ) を格納するテーブルで、16ベクタあります。ベクタコール命令は1バイト長の命令で、使用頻度の高い(3ヶ所以上から呼び出される)サブルーチンコールに使うことによりメモリ効率を上げることができます。

(3) ページコール命令用エントリーエリア (FF00~FFFF$_H$番地)

ページコール命令[CALLP a]用のサブルーチン エントリーアドレス エリアです。FFC0~FFFF$_H$番地はベクタテーブルにもなっていますので、通常FF00~FFBF$_H$番地の範囲を使用します。ページコール命令は、2バイト長の命令です。

プログラムメモリには、プログラムおよび固定データが格納されます。次に実行すべき命令は、プログラムカウンタの内容が示すアドレスから読み出されます。ジャンプ命令は相対ジャンプまたは絶対ジャンプ命令で、ジャンプ命令に関してプログラムメモリにはページ, バンクといった境界概念はありません。

Not Recommended for New Design

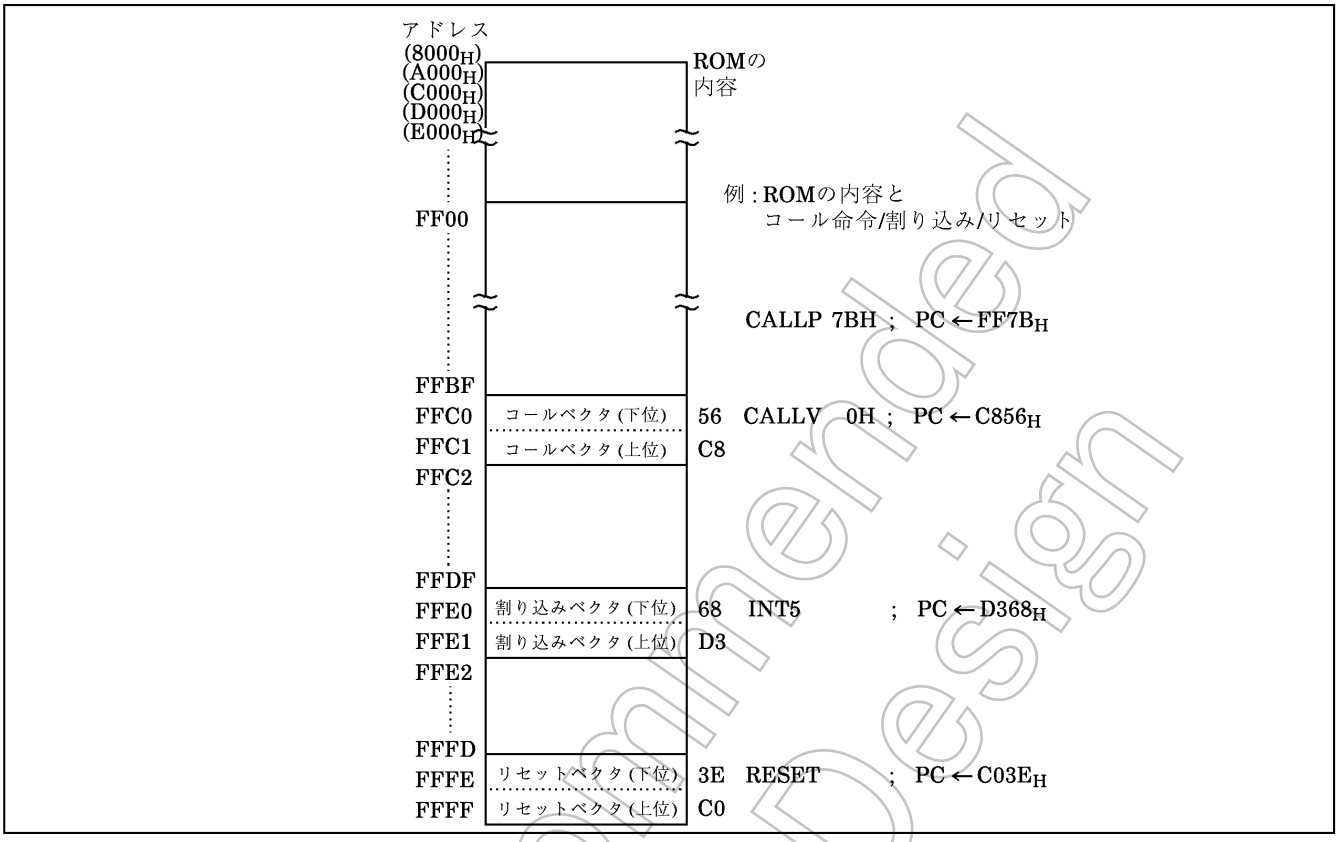


図1-2. プログラムメモリ マップ

例： ジャンプ命令とプログラムカウンタの関係

① 5ビット相対ジャンプ命令[JRS cc, $+2+d]

E8C4H: JRS T, $+2+08H の場合

JF=1のとき、プログラムカウンタの内容に08_Hを加算した$E8CE_H$にジャンプします(プログラムカウンタの内容は実行命令の置かれたアドレス +2になっています。従って、この場合プログラムカウンタの値は$E8C4_H+2=E8C6_H$となります)。

② 8ビット相対ジャンプ命令[JR cc, $+2+d]

E8C4H: JR Z, $+2+80H の場合

ZF=1のとき、プログラムカウンタの内容に$FF80_H$(−128)を加算した$E846_H$にジャンプします。

③ 16ビット絶対ジャンプ命令[JP a]

E8C4H: JP 0C235H の場合

無条件に$C235_H$番地にジャンプします。絶対ジャンプ命令は64Kバイトの全空間内の任意のアドレスにジャンプできます。

Not Recommended for New Design

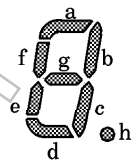
TLCS-870シリーズは、プログラムメモリに格納された固定データの読み出しに、データメモリをアクセスする命令と同じ命令を使用します。さらに、レジスタオフセット相対アドレッシングモード(PC+A)の命令も使用でき、コード変換, テーブル ルックアップ, 多方向分岐処理などが容易にプログラミングできます。

例1 : HLレジスタペアで指定されるアドレスのROM内容をアキュムレータに読み出す処理(87C840の場合HL≧$E000_H$)。

```
LD    A, (HL)          ;  A←ROM (HL)
```

例2 : BCD→ 7セグメントコード(アノードコモン)変換出力処理(A=05_Hのとき下記プログラムの実行で、P3ポートに92_Hが出力されます)。

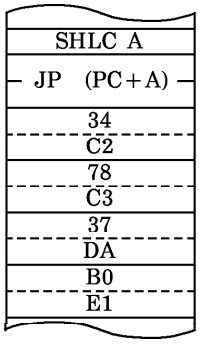
```
        ADD  A, TABLE−$−4  ;  P3 ←ROM (TABLE+A)
        LD   (P3), (PC+A)
        JRS  T, SNEXT      ;  Jump to SNEXT
TABLE : DB   0C0H, 0F9H, 0A4H, 0B0H, 99H, 92H, 82H, 0D8H, 80H, 98H
SNEXT :
```



注) $ は ADD 命令の先頭アドレス。DB はバイトデータの定義命令。

例3 : アキュムレータの内容(0≦A≦3)による多方向分岐処理

```
SHLC   A          ;  if A=00H then PC←C234H
JP     (PC+A)        if A=01H then PC←C378H
                     if A=02H then PC←DA37H
                     if A=03H then PC←E1B0H
DW     0C234H, 0C378H, 0DA37H, 0E1B0H
```

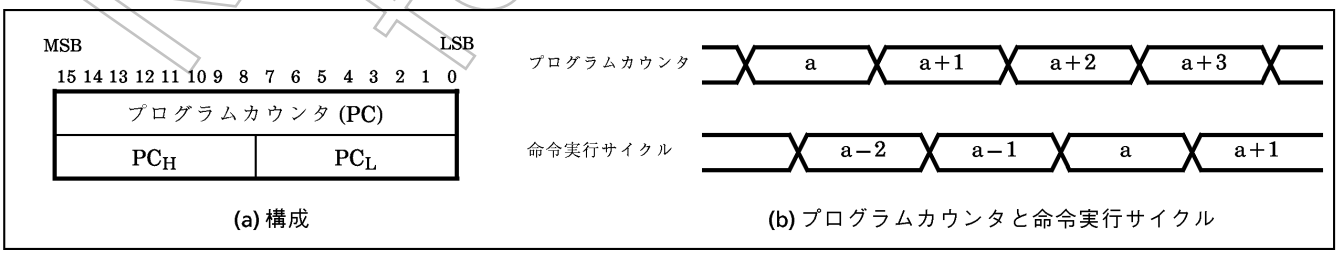


注) DW はワードデータの定義命令。ワード = 2バイト。

1.3 プログラムカウンタ(PC)

プログラムカウンタは、次に実行すべき命令の格納されているプログラムメモリのアドレスを指す16ビットのレジスタです。リセット解除時、ベクタテーブル(FFFF, $FFFE_H$番地)に格納されているリセット ベクタがプログラムカウンタにロードされますので、任意のアドレスからプログラムの実行を開始することができます。例えば、FFFF, $FFFE_H$番地にそれぞれ、C0, $3E_H$が格納されている場合、リセット解除後$C03E_H$番地から実行開始します。

TLCS-870シリーズは、パイプライン処理(命令先行フェッチ)を行っていますので、プログラムカウンタは、常に2アドレス先を指します。例えば、$C123_H$番地に格納されている1バイト命令の実行中、プログラムカウンタの内容は、$C125_H$です。



(a) 構成　　(b) プログラムカウンタと命令実行サイクル

図1-3. プログラムカウンタ

Not Recommended for New Design

1.4 データメモリ (RAM)

87C840は256バイト (アドレス 0040~013F_H番地), 87CC40/H40は512バイト (アドレス0040~023F_H番地), 87CK40A/M40Aは1Kバイト (アドレス0040~043F_H番地) のデータメモリ (スタティックRAM) を内蔵しています。図1-4.にデータメモリマップを示します。

0000~00FF_H番地は、ダイレクト アドレッシング領域になっており、このアドレッシング モードを用いる命令が強化されていますので、0040~00FF_H番地のデータメモリは、ユーザーフラグやユーザーカウンタとしても使用できます。

例1 : データメモリの00$C0_H$番地のビット2が"1"なら00$E3_H$番地に00_Hを書き込み、"0" ならFF_Hを書き込む処理。

```
        TEST (00C0H).2      ;  if (00C0H)2=0 then jump
        JRS  T,SZERO
        CLR  (00E3H)        ;  (00E3H)←00H
        JRS  T,SNEXT
SZERO : LD   (00E3H), 0FFH  ;  (00E3H)←FFH
SNEXT :
```

例2 : データメモリの00F5H 番地の内容をインクリメントし、10_H 以上になると00_H にクリアする処理。

```
        INC  (00F5H)
        AND  (00F5H), 0FH
```

0040~00BF_H番地の128バイトには、汎用レジスタバンク (8レジスタ×16バンク) が割り付けられています。レジスタとして使用中でも、データメモリとしてアクセスできます。例えば、0040$_H$番地を読み出すとバンク0のアキュムレータの内容が読み出されます。

また、データメモリ上の任意の領域にスタックを設定できます。スタックについては、『1.7 スタック, スタックポインタ』を参照してください。

なお、87C840/C40/H40/K40A/M40Aは、データメモリ上に置かれたプログラムを実行することは、できません。プログラムカウンタがデータメモリの特定のアドレスすなわち87C840は0040~013F_H番地、87CC40/H40/K40/M40Aは0040~023F_H番地を指した場合、バスエラーによりアドレストラップリセットがかかります ($\overline{\text{RESET}}$端子出力が "L" レベルになります)。

データメモリの内容は、電源投入時不定になりますので、イニシャライズ ルーチンで初期設定を行ってください。

例1 : 87C840のRAMクリア (バンク0以外のRAMをすべてゼロクリア)

```
          LD      HL, 0048H    ;  スタートアドレス(HL) の設定
          LD      WA, 0F700H   ;  バイト数−1 (W), 初期化データ(A) の設定
SRAMCLR : LD      (HL+), A
          DEC     W
          JRS     F, SRAMCLR
```

例2 : 87CC40/H40のRAMクリア (バンク0以外のRAMをすべてゼロクリア)

```
          LD      HL, 0048H    ;  スタートアドレス(HL) の設定
          LD      A, H         ;  初期化データ(A) の設定
          LD      BC, 01F7H    ;  バイト数−1 (BC) の設定
SRAMCLR : LD      (HL+), A
          DEC     BC
          JRS     F, SRAMCLR
```

Not Recommended for New Design

例3 : 87CK40A/M40AのRAMクリア (バンク0以外のRAMをすべてゼロクリア)

```
            LD    HL, 0048H ;  スタートアドレス(HL) の設定
            LD    A, H      ;  初期化データ(A) の設定
            LD    BC, 03F7H ;  バイト数−1 (BC) の設定
SRAMCLR :   LD    (HL+), A
            DEC   BC
            JRS   F, SRAMCLR
```

注) 汎用レジスタは RAM 上に存在しますので、カレントバンクのアドレスに対して RAM クリアしないでください。そのため、上記の例でバンク 0 を除いて RAM クリアしています。

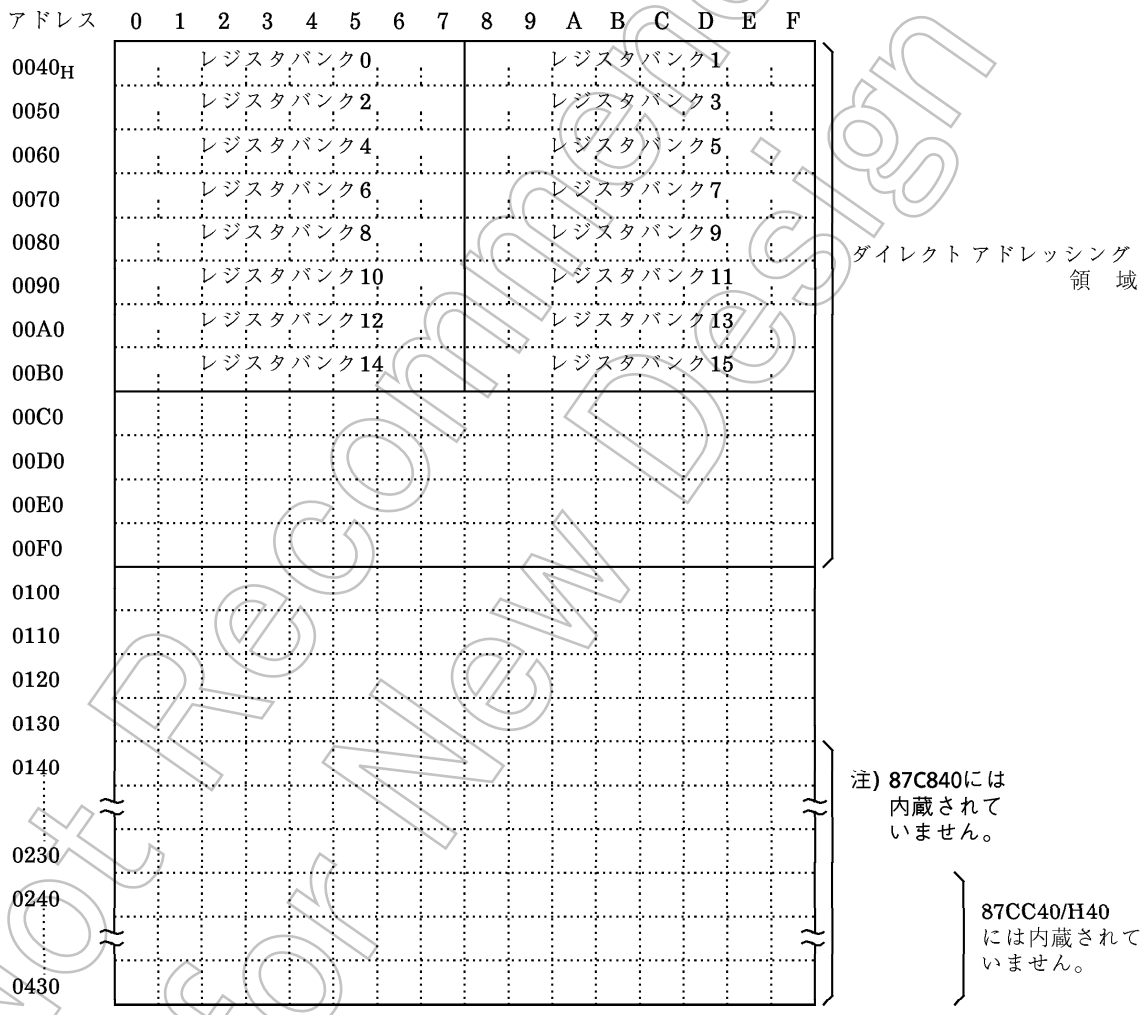


図1-4. データメモリ マップ

1.5 汎用レジスタバンク

汎用レジスタは、データメモリの0040~00BF$_H$番地にマッピングされており、W, A, B, C, D, E, H, Lの8ビットレジスタ 8本を1バンクとして16バンク内蔵しています。図1-5.に汎用レジスタ バンクの構成を示します。なお、使用しないレジスタバンクは、データメモリとして使用できます。

Not Recommended for New Design

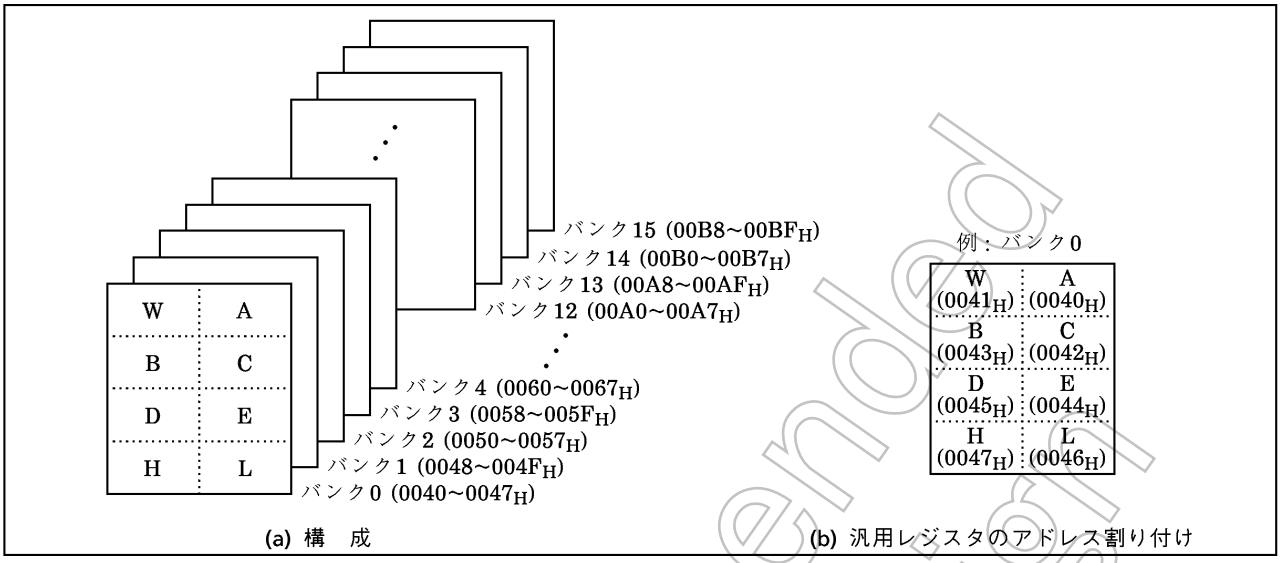


図1-5. 汎用レジスタ バンクの構成

各レジスタは、8ビット単位のアクセスのほか、WA, BC, DE, HL のレジスタペアとして16ビット単位のアクセスを行うことができます。また、汎用レジスタとしての機能のほかに、次の機能を有しています。

(1) A, WA

Aは8ビット長のアキュムレータとして、WAは16ビット長のアキュムレータ (Wが上位, Aが下位) としての機能を有しています。なお、8ビット演算については A 以外のレジスタもアキュムレータ的な使い方ができます。

例： ① ADD A, B ; Aの内容にBの内容を足して、結果をAに入れます。
② SUB WA, 1234H ; WAの内容から即値1234$_H$を引き、結果をWAに入れます。
③ SUB E, A ; Eの内容からAの内容を引き、結果をEに入れます。

(2) HL, DE

HLはデータポインタ/インデックスレジスタ/ベースレジスタとして、DEはデータポインタとしての機能を有しており、メモリのアドレス指定に使われます。

また、HLにはオートポストインクリメント/プリデクリメント機能があり、多桁のデータ処理やソフトウエアLIFO(ラストインファーストアウト) 処理が容易にできます。

例1 : ① LDA, (HL) ; HLで指定されるアドレスのメモリ内容をAにロードします。
② LDA, (HL+52H) ; HLに即値52$_H$を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。
③ LDA, (HL+C) ; HLにCレジスタの内容を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。

Not Recommended for New Design

④ LDA, (HL+) ; HLで指定されるアドレスのメモリ内容をAにロード後、HLの内容をインクリメントします。

⑤ LDA, (−HL) ; HLの内容をデクリメントし、その値で指定されるアドレスのメモリ内容をAにロードします。

TLCS-870シリーズは、メモリからメモリにデータを直接転送したり、メモリとメモリとの間で直接演算することができ、ブロック処理などを容易にプログラミングできます。

例2: ブロック転送

```
          LD    B, m        ;  m=n−1 (n:転送バイト数)
          LD    HL, DSTA    ;  転送先アドレス
          LD    DE, SRCA    ;  転送元アドレス
SLOOP:    LD    (HL), (DE)  ;  (HL)←(DE)
          INC   HL          ;  HL←HL+1
          INC   DE          ;  DE←DE+1
          DEC   B           ;  B←B−1
          JRS   F, SLOOP    ;  if B≧0 then loop
```

(3) B, C, BC

B, Cは8ビットの、BCは16ビットのバッファ, カウンタなどに使用できます。Cは、レジスタ インデックス アドレッシング (HL+C) におけるオフセットレジスタとして (前記の例1③) 、また除算命令における除数レジスタとしての機能を有しています。

例1: リピート処理

```
          LD    B, n        ;  リピート回数の設定 (n+1回 処理が行われます)
SREPEAT:  [処 理]
          DEC   B
          JRS   F, SREPEAT
```

例2: 除算 (16ビット÷8ビット)

```
          DIV   WA, C       ;  WA÷Cの演算を行い、商をAに、余りをWに入れます。
```

汎用レジスタのバンク選択は、4ビット長のレジスタバンクセレクタ(RBS) により行います。リセット時 RBSは "0" に初期化されますので、バンク0に初期設定されます。RBSで選択されているバンクをカレントバンクと呼びます。

RBSは、フラグとともにプログラム ステータス ワード (PSW) として、SFR内の$003F_H$番地に割り付けられており、メモリアクセス命令で操作します。なお、即値設定およびプッシュ/ポップのみ専用命令 [LD RBS, n], [PUSH PSW], [POP PSW] が用意されています。

例1 : RBSのインクリメント

```
          INC   (003FH) ;  RBS ← RBS + 1
```

例2 : RBSのリード

```
          LDA, (003FH)  ;  A ← RBS (この命令ではフラグも同時に読み出されますので、
                                    A←PSWとなります)
```

Not Recommended for New Design

割り込み処理におけるレジスタの退避, サブルーチン処理におけるパラメータの受け渡しにバンク切り替えを使うことにより、効率のよいプログラムを組むことができ、また、高速にタスクスイッチングができます。割り込み受け付け時、RBS は自動的にスタックに退避されます。なお、割り込みリターン命令 [RETI], [RETN] の実行により、自動的に割り込み受け付け前のバンクに復帰しますので、RBSの退避/復帰のソフトウエア処理は必要ありません。

TLCS-870シリーズは最大15要因の割り込みをサポートしており、各要因に1バンクを割り当て、さらにメインタスクに1バンクのレジスタを割り当てることができます。また、メモリの使用効率を上げる場合、多重化しない割り込み要因には共通のバンクを割り当てて使用します。

例 :バンク切り替えによる割り込みタスクにおける汎用レジスタの退避 / 復帰

```
PINT1 : LD    RBS, n      ;  RBS ← n (バンク n に切り替え)
        [割り込み処理]
        RETI              ;  マスカブル割り込みリターン (バンクは自動的に復帰)
```

1.6 プログラム ステータス ワード (PSW)

プログラム ステータス ワードは、レジスタバンクセレクタ(RBS)とフラグから構成され、SFR内の $003F_H$番地に割り付けられています。

RBSは、メモリアクセス命令で 読み出し / 書き込みができ、フラグは 読み出しのみできます。PSW に対して 書き込みを行った場合、フラグにはデータは書き込まれず、その命令で定まった変化をします。例えば、[LD (003FH), 05H] 命令を実行すると、RBSには “5” が書き込まれ、JFは “1” にセットされ、そのほかのフラグは変化しません。

割り込み受け付け時、PSWはプログラムカウンタとともにスタックに退避されます。また、PSW は割り込みリターン命令[RETI] , [RETN] の実行によりスタックからリストアされ、割り込み受け付け直前の状態に戻ります。

PSWをアクセスする専用命令としてプッシュ [PUSH PSW] / ポップ [POP PSW] があります。

1.6.1 レジスタ バンク セレクタ (RBS)

汎用レジスタのバンクを選択する4ビットのレジスタです。例えば、RBS＝2のとき、バンク2が現在選択されていることになります。

リセット時、RBSは “0” に初期化されます。

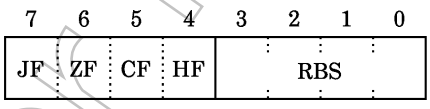


図1-6. PSW (フラグ, RBS) の構成

1.6.2 フラグ (FLAG)

ゼロフラグ, キャリーフラグ, ハーフキャリーフラグおよびジャンプ ステータス フラグの4ビットで構成され、命令で指定される条件に従いセット/クリアされます。ゼロフラグ, キャリーフラグおよびジャンプステータスフラグは、条件付きジャンプ命令[JR cc, $＋2＋d] , [JRS cc, $＋2＋d] のジャンプ条件 cc となります。

リセット解除時 ジャンプステータスフラグは、“1” に初期化されます (そのほかのフラグは初期化されません)。

Not Recommended for New Design

(1) ゼロフラグ(ZF)

ゼロフラグは、演算結果または転送データが00_H (8ビット演算/転送時) /0000_H (16ビット演算時)のとき“1” にセットされ、そのほかのときは“0”にクリアされます。ビット操作命令では、指定ビットの内容が“0”のときZFは“1” にセットされ、指定ビットの内容が“1”のときZFは“0”にクリアされます(ビットテスト)。乗算命令の場合 積の上位8ビットが00_Hのとき、除算命令の場合 剰余が00_Hのとき、ZFは“1”にセットされ、そのほかのときは“0”にクリアされます。

(2) キャリーフラグ(CF)

演算時のキャリーまたはボローがセットされます。除算命令の場合、除数が00_Hのとき (Divided by zero Error)、または、商が100_H以上のとき(Quotient Error)、“1”にセットされます。

シフト/ローテート命令では、レジスタからシフトアウトされるデータがセットされます。

ビット操作命令では、1ビット長のレジスタ(ブーリアンアキュムレータ) として機能します 。また、キャリーフラグ操作命令によりセット/クリア/反転ができます。

例： ビット操作 (07_H番地のビット5の内容と$9A_H$番地のビット0の内容とで排他的論理和をとり、結果を01_H番地のビット2に書き込みます)。

```
LD      CF, (0007H).5     ;  (0001H)2 ← (0007H)5 ∀ (009AH)0
XOR     CF, (009AH).0
LD      (0001H).2, CF
```

(3) ハーフキャリーフラグ(HF)

8ビット演算時、4ビット目へのキャリーまたは4ビット目からのボローがセットされます。HFは、BCDデータの加減算の際の十進補正用のフラグです ([DAA　r], [DAS　r] 命令による十進補正)。

例： BCD演算 (A＝19_H, B＝28_Hのとき、次の命令を実行すると、Aは47_Hになります)。

```
ADD     A, B              ;  A ← 41H, HF ← 1, CF＝0
DAA     A                 ;  A ← 41H + 06H = 47H (十進補正)
```

(4) ジャンプ ステータス フラグ (JF)

通常、“1”にセットされるフラグで、命令に従いゼロまたはキャリー情報がセットされ、条件付きジャンプ命令 [JR　T/F, $＋2＋d], [JRS　T/F, $＋2＋d] (T, Fは条件コードです) のジャンプ条件となります。

例： ジャンプステータスフラグと条件付きジャンプ命令

```
INC     A
JRS     T, SLABLE1    ;  直前の演算命令で桁上げが発生した場合
 ⋮                      ジャンプします。
LD      A, (HL)
JRS     T, SLABLE2    ;  直前の命令でJFは“1”にセットされますので、
 ⋮                      無条件ジャンプ命令と見なされます。
```

例： WAレジスタペア, HLレジスタペア, データメモリの$00C5_H$番地, キャリーフラグ, ハーフキャリーフラグの内容がそれぞれ“$219A_H$”, “$00C5_H$”, “$D7_H$”, “1”, “0” のとき、下記命令を実行するとアキュムレータおよび各フラグは次のようになります。

Not Recommended for New Design

命　　令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF
ADDC A, (HL)	72	1	0	1	1
SUBB A, (HL)	C2	1	0	1	0
CMP A, (HL)	9A	0	0	1	0
AND A, (HL)	92	0	0	1	0
LD A, (HL)	D7	1	0	1	0
ADD A, 66H	00	1	1	1	1

命　　令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF
INC A	9B	0	0	1	0
ROLC A	35	1	0	1	0
RORC A	CD	0	0	0	0
ADD WA, 0F508H	16A2	1	0	1	0
MUL W, A	13DA	0	0	1	0
SET A.5	BA	1	1	1	0

1.7 スタック, スタックポインタ

1.7.1 スタック

スタックは、サブルーチンコール命令実行時または割り込み受け付け時にその処理ルーチンへジャンプするに先立ってプログラムカウンタの内容(戻り番地)やプログラムステータスワードの内容などをセーブするエリアです。

サブルーチンコール命令[CALL a], [CALLP a], [CALLV n]実行時、戻り番地(上位バイト, 下位バイトの順に)がスタックに退避(プッシュダウン)されます。ソフトウエア割り込み命令[SWI]実行時または割り込み受け付け時は、まずプログラムステータスワードの内容がスタックに退避され、次に戻り番地が退避されます。

処理ルーチンから復帰する場合、サブルーチンリターン命令[RET]を実行することによりスタックからプログラムカウンタへ、割り込みリターン命令[RETI], [RETN]を実行することによりスタックからプログラムカウンタおよびプログラムステータスワードへ、それぞれの内容がリストア(ポップアップ)されます。

スタックは、データメモリ内の任意のエリアに設定できます。

1.7.2 スタックポインタ (SP)

図1-7. スタックポインタ

スタックポインタは、スタックの先頭番地を指す16ビットのレジスタです。スタックポインタは、サブルーチンコール, プッシュ命令実行時 および 割り込み受け付け時にポストデクリメントされ、リターン, ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなります。スタックのアクセスとスタックポインタの変化を図1-8.に示します。
スタックの最高位アドレスをセット)する必要があります。スタックポインタを操作する命令には、[LD SP, mn], [LD SP, gg]および[LD gg, SP](mnは16ビット即値、ggはレジスタペア)があります。

例1 ： スタックポインタのイニシャライズ

LD SP, 013FH ; SP←$013F_H$

Not Recommended for New Design

例2　：　スタックポインタのリード

LD　HL, SP　　；　HL←SP

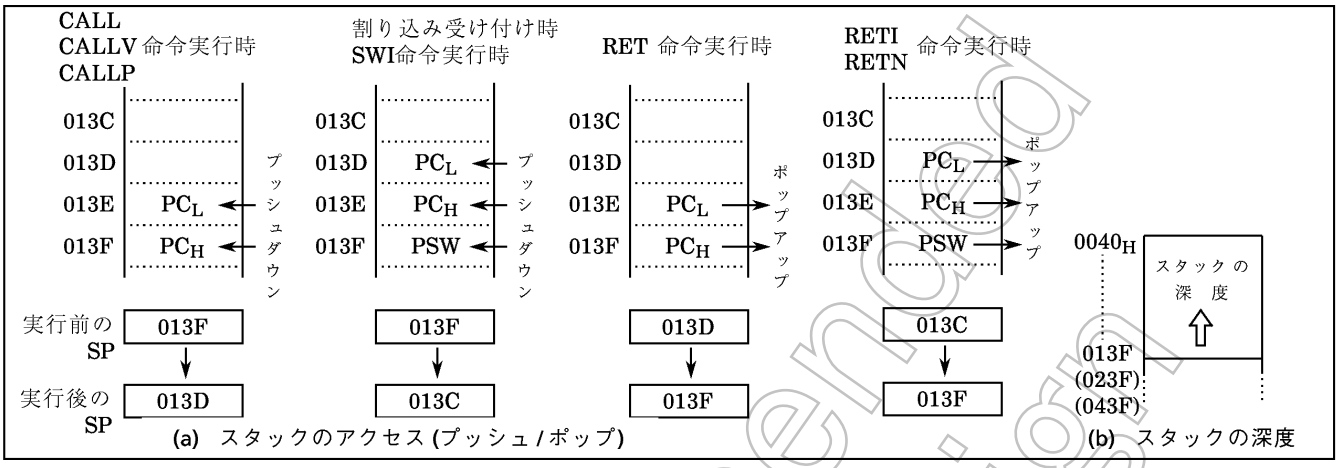


図1-8. スタック

1.8　システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ, タイミングジェネレータおよびスタンバイ制御回路から構成されています。

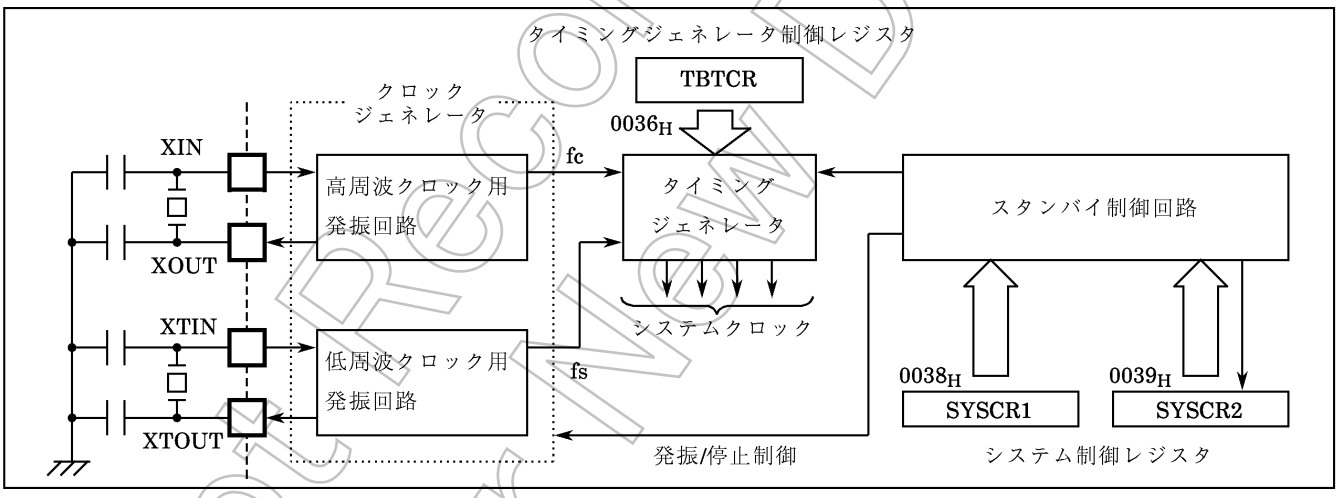


図1-9. システムクロック制御回路

1.8.1　クロック ジェネレータ

クロック ジェネレータは、CPUコアおよび周辺ハードウエアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック(周波数fc), 低周波クロック(周波数fs)は、それぞれXIN, XOUT端子, XTIN, XTOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。

Not Recommended for New Design

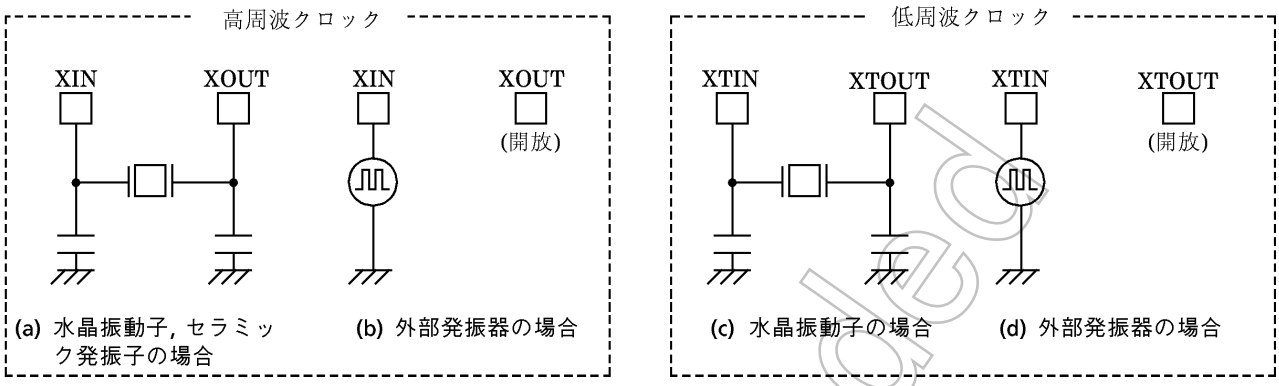


図1-10. 発振子の接続例

注) 発振周波数の調整
基本クロックを外部にて直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

1.8.2 タイミング ジェネレータ

タイミング ジェネレータは、基本クロックからCPUコアおよび周辺ハードウエアに供給する各種システムクロックを発生する回路です。タイミング ジェネレータの機能は、次のとおりです。

① メインシステムクロック生成
② デバイダ出力 ($\overline{DVO}$) パルス生成
③ タイマベースタイマのソースクロック生成
④ ウォッチドッグタイマのソースクロック生成
⑤ タイマカウンタの内部ソースクロック生成
⑥ シリアルインタフェースの内部シリアルクロック生成
⑦ STOPモード解除時のウォーミングアップクロック生成
⑧ リセット出力 解除クロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケーラ, 21段のデバイダ,メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。デバイダの7段目への入力クロックは動作モードおよびDV7CK(TBTCRのビット4) により次のようになります。なお、リセット時およびSTOPモード起動/解除時デバイダは“0”にクリアされます (ただし、プリスケーラはクリアされません)。

① シングルクロックモード時

高周波クロック (周波数fc)を256分周したクロック ($fc/2^8$)がデバイダの7段目に入力されます。なお、シングルクロックモード時DV7CKを“1”にセットしないでください。

② デュアルクロックモード時

NORMAL2, IDLE2モード時 (SYSCK＝0) は、DV7CK により、デバイダの7段目への入力クロックを$fc/2^8$かfsかのいずれかの選択ができます。SLOW, SLEEPモード時 (SYSCK＝1) は、自動的にfsがデバイダの7段目に入力されます(なお、デバイダの初段への入力クロックは停止しますので、デバイダの初段から6段目までの出力も停止します)。

Not Recommended for New Design

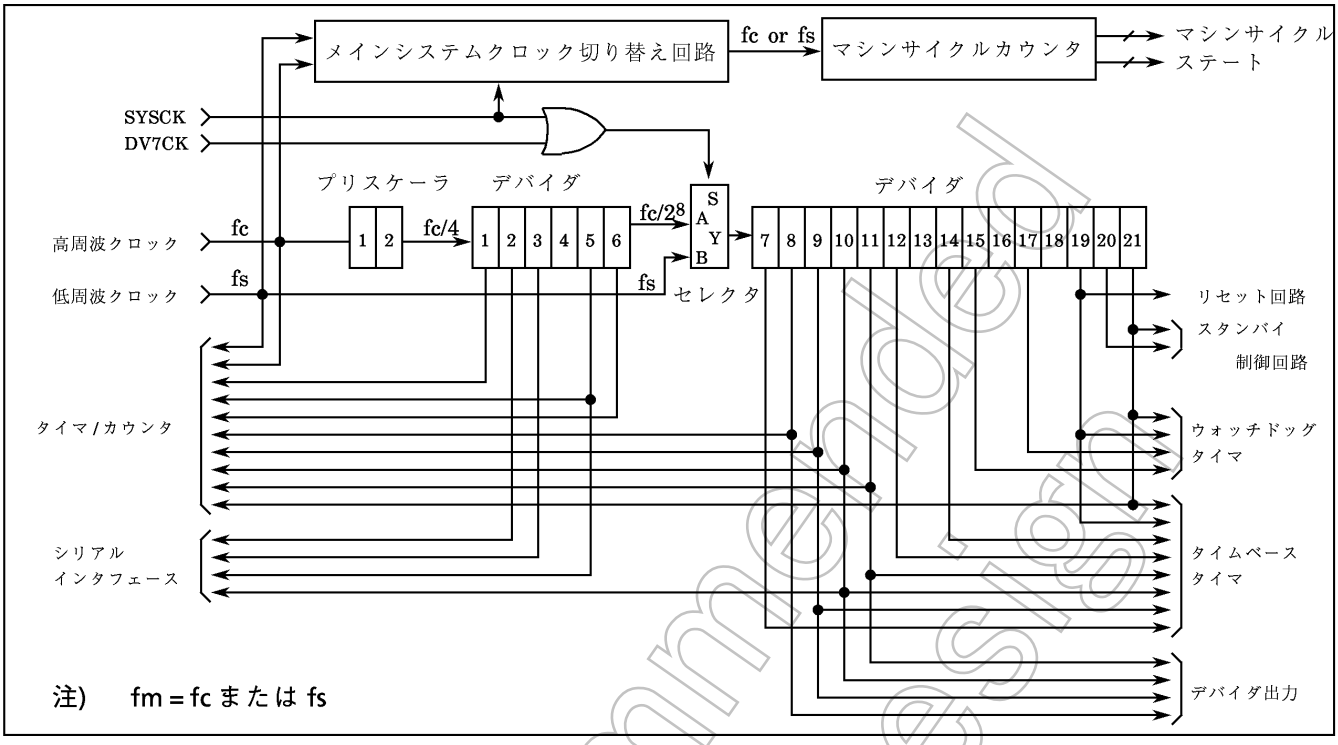


図1-11. タイミング ジェネレータの構成

TBTCR (0036_H)	7	6	5	4	3	2	1	0
	(DVOEN)	(DVOCK)		DV7CK	(TBTEN)	(TBTCK)		

(初期値 0**0 0***)

DV7CK	デバイダの7段目への入力クロックの選択	0 : fc/2^8 [Hz] 1 : fs	R/W

注1) fc ; 高周波クロック[Hz], fs ; 低周波クロック[Hz], * ; don't care
注2) シングルクロックモード時は、DV7CKを"1"にセットしないでください。
注3) 低周波クロックの発振安定前に DV7CKを"1"にセットしないでください。

図1-12. タイミング ジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウエアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870シリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

Not Recommended for New Design

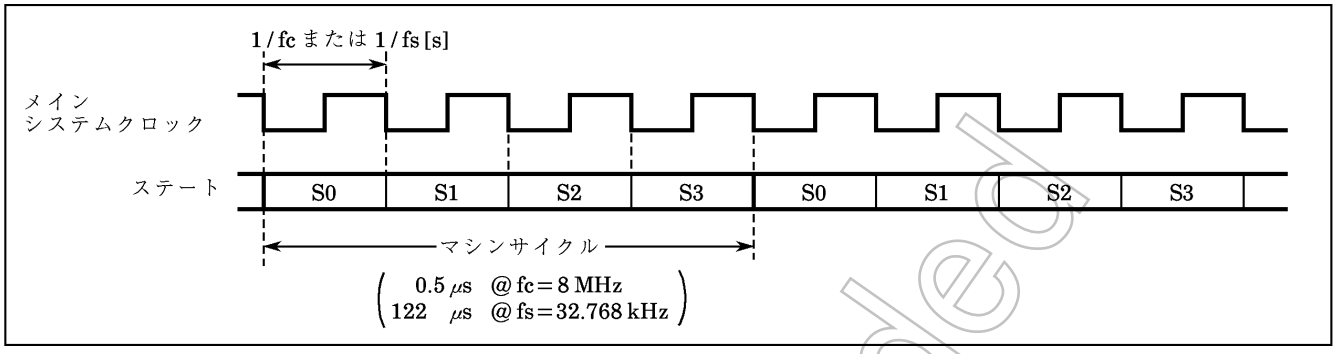


図1-13. マシンサイクル

1.8.3 スタンバイ制御回路

スタンバイ制御回路は、高周波クロック用, 低周波クロック用の各発振回路の発振/停止 および メインシステムクロックの切り替えを行います。動作モードは、シングル クロック モードとデュアル クロック モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-14.に動作モード遷移図を、図1-15.に制御レジスタを示します。

リセット解除時の動作モードは、シングル クロック モードかデュアル クロック モードかのいずれかをオプションで指定することができます。ただし、87PH40A/PM40Aはシングルクロックモード固定となります (デュアルクロックモードで使用する場合は、プログラム先頭で低周波クロックを発振させてください)。

(1) シングル クロック モード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングル クロック モードにおけるマシンサイクルタイムは 4 / fc [s] (0.5 μs @ fc = 8 MHz) となります。

① NORMAL1モード

CPUコアおよび周辺ハードウエアを高周波クロックで動作させるモードです。シングルクロックモードをオプション選択した場合、リセット解除後このNORMAL1モードになります。

② IDLE1モード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウエアを高周波クロックで動作させるモードです。IDLE1モードの起動は、システム制御レジスタ2で行います。周辺ハードウエアからの割り込みまたは外部割り込みにより解除され、NORMAL1モードに復帰します。IMF (割り込みマスタ許可フラグ) が "1" (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMFが "0" (割り込み禁止状態) のときは、IDLE1モードを起動した命令の次の命令から実行再開します。

③ STOP1モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。また、入出力ポートの出力状態は、プログラムで全ポート一括して出力保持/ハイインピーダンスの選択ができます。

STOP1モードの起動は、システム制御レジスタ1で行います。解除は、$\overline{\text{STOP}}$ 端子入力 (レベル/エッジの選択可能) で行い、ウォーミングアップ時間経過後、STOP1モードを起動した命令の次の命令から実行再開します。

Not Recommended for New Design

(2) デュアル クロック モード

高周波, 低周波用の2つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2モード時、高周波クロックから生成され、SLOW, SLEEPモード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 4 / fc [s] , SLOW, SLEEP モード時 4 / fs [s] (122 μs @ fs＝32.768 kHz) となります。

① NORMAL2モード

CPUコアを高周波クロックで動作させるモードで、周辺ハードウエアは高周波 / 低周波の両クロックで動作します。デュアルクロックモードをオプション選択した場合、リセット解除後このNORMAL2モードになっています。

② SLOWモード

高周波クロックの発振を停止させ、CPUコア, 周辺ハードウエアを低周波クロックで動作させるモードで消費電力を低減できます。NORMAL2からSLOWへの切り替え, SLOWからNORMAL2への切り替えは、システム制御レジスタ2で行います。

③ IDLE2モード

CPUおよびウォッチドッグ タイマを停止し、周辺ハードウエアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2モードの起動 / 解除は、IDLE1モードと同じです。解除後、NORMAL2モードに戻ります。

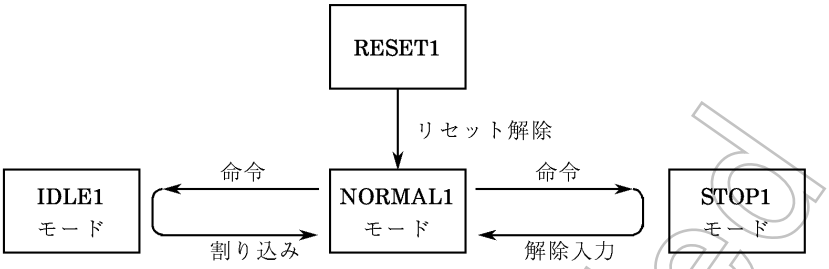
④ SLEEPモード

CPUおよびウォッチドッグ タイマを停止し、周辺ハードウエアを低周波クロックで動作させるモードです。SLEEPモードの起動 / 解除は、IDLE1モードと同じです。解除後、SLOWモードに戻ります。なお、高周波クロックは発振しておりません。

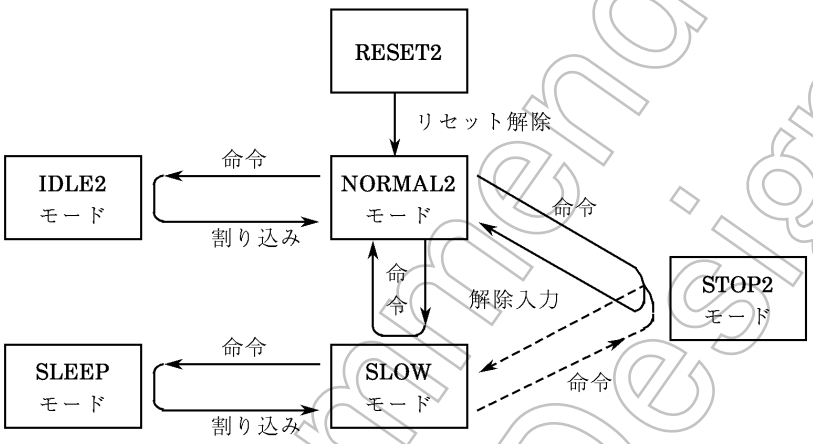
⑤ STOP2モード

シングル クロック モードのSTOP1モードと同様、システムの動作をすべて停止するモードですが、解除後の動作モードです。

Not Recommended for New Design



(a) シングルクロック モード状態遷移図



(b) デュアルクロック モード状態遷移図

注1) NORMAL1, NORMAL2 を、STOP1, STOP2 を、IDLE1, IDLE2, SLEEP を、それぞれ総称して NORMAL, STOP, IDLE と呼びます。

注2) 87PH40A/PM40Aには、RESET2はありません。

動作モード		発振回路 高周波	発振回路 低周波	CPUコア	周辺回路	マシンサイクルタイム
シングルクロック	RESET1	発　振	停　止	リセット	リセット	4 / fc [s]
	NORMAL1			動　作	動　作	
	IDLE1			停　止		
	STOP1	停　止			停　止	—
デュアルクロック	RESET2	発　振	発　振	リセット	リセット	4 / fc [s]
	NORMAL2			高周波動作	動　作	
	IDLE2			停　止		
	SLOW	停　止		低周波動作	低周波動作	4 / fs [s]
	SLEEP			停　止		
	STOP2		停　止		停　止	—

図1-14. 動作モード 状態遷移図

Not Recommended for New Design

システム制御レジスタ1

SYSCR1 (0038_H)

7	6	5	4	3	2	1	0
STOP	RELM	RETM	OUTEN	WUT			

(初期値　0000 00＊＊)

STOP	STOPモードの起動	0 : CPUコア, 周辺ハードウエア 動作 1 : CPUコア, 周辺ハードウエア 停止 (STOPモード起動)	R/W
RELM	STOPモードの解除方法の選択	0 : $\overline{\text{STOP}}$端子入力の立ち上がりエッジで解除 1 : $\overline{\text{STOP}}$端子入力の"H" レベルで解除	
RETM	STOPモード解除後の動作モードの選択	0 : NORMALモードへ戻る 1 : SLOWモードへ戻る	
OUTEN	STOPモード時のポート出力状態の選択	0 : ハイインピーダンス 1 : 出力保持	
WUT	STOPモード解除時のウォーミングアップ時間	00 : 3×2^{19} / fc　または　3×2^{13} / fs　[s] 01 : 2^{19} / fc　または　2^{13} / fs 1* : reserved	

注1) RETMは、NORMAL1モードからSTOP1 モードに移す場合およびNORMAL2モードからSTOP2モードに移す場合はかならず "0" にしてください。SLOWモードからSTOP2モードに移す場合はかならず "1" にしてください。

注2) STOPモードを$\overline{\text{RESET}}$端子入力で解除した場合は、RETMの値にかかわらずNORMALモードに戻ります。

注3) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。

注4) fc ; 高周波クロック [Hz]
fs ; 低周波クロック [Hz]
＊ ; don't care

注5) OUTEN = "0"の指定でSTOP動作に入ると、内部入力は"0"に固定されますので、立ち下がりエッジの割り込みがセットされる恐れがあります。

システム制御レジスタ2

SYSCR2 (0039_H)

7	6	5	4	3	2	1	0
XEN	XTEN	SYSCK	IDLE				

(初期値　10/100 ＊＊＊＊)

XEN	高周波発振器の制御	0 : 発振停止 1 : 発振継続 または 発振開始	R/W
XTEN	低周波発振器の制御	0 : 発振停止 1 : 発振継続 または 発振開始	
SYSCK	システムクロックの選択(write)/モニタ(read)	0 : 高周波クロック(NORMAL1 / NORMAL2 / IDLE1 / IDLE2) 1 : 低周波クロック (SLOW / SLEEP)	
IDLE	IDLE モードの起動	0 : CPU, WDT動作 1 : CPU, WDT停止 (IDLE1 / IDLE2 / SLEEPモード 起動)	

注1) XEN, XTENをともに "0" にするとリセットがかかります($\overline{\text{RESET}}$端子出力が"L"レベルとなります)。

注2) SYSCK = 0のときXENを "0" に、またSYSCK = 1のときXTENを "0" にしないでください。

注3) WDT ; ウォッチドッグタイマ,　＊; don't care

注4) SYSCR2のビット3~0は、リードすると"1"が読み出されます。

注5) XTENは、初期値のオプション選択ができます。ES発注の際、マイクロコントローラエンジニアリングサンプル (ES) 作成依頼書にてマスクオプションの指定を、かならず行ってください。記入の仕方については付録の"TLCS-870 シリーズにおけるマスクオプション指定方法" を参照してください。
87PH40A/PM40Aの場合、XTENの初期値は "0" です。

XTEN	リセット解除後の動作モード
0	シングルクロックモード (NORMAL1)
1	デュアルクロックモード (NORMAL2)

図1-15. システム制御レジスタ1, 2

Not Recommended for New Design

1.8.4 動作モードの制御

(1) STOPモード (STOP1, STOP2)

STOPモードは、システム制御レジスタ1と$\overline{\text{STOP}}$端子入力によって制御されます。$\overline{\text{STOP}}$端子は、P20ポートならびに$\overline{\text{INT5}}$ (外部割り込み入力5) 端子と兼用です。STOPモードは、STOP (SYSCR1のビット7) を "1" にセットすることにより起動され、STOPモード中、次の状態を保持しています。

① 高周波, 低周波とも発振を停止し、内部の動作をすべて停止します。

② データメモリ, レジスタ (DBRを除く), プログラムステータスワード, ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。なお、ポート出力はOUTEN (SYSCR1のビット4) の設定により、出力保持/ハイインピーダンスの選択ができます。

③ タイミングジェネレータのデバイダを "0" にクリアします。

④ プログラムカウンタは、STOPモードを起動する命令 (例えば、[SET (SYSCR1).7]) の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM (SYSCR1のビット6) で選択します。

a. レベル解除モード (RELM="1" のとき)

$\overline{\text{STOP}}$端子への "H" レベル入力によりSTOP動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$端子入力が "H" レベルの状態でSTOP動作の起動を指示する命令を実行しても、STOP動作に入らず、ただちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードでSTOP動作で起動する場合、$\overline{\text{STOP}}$端子入力が "L" レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

INT5割り込みによる方法 ($\overline{\text{INT5}}$端子入力の立ち下がりエッジで割り込みを発生します)

例 : INT5割り込みにより、STOPモードを起動

```
PINT5 : TEST (P2).0                  ; ノイズ除去のためP20ポート入力が "H"
        JRS  F, SINT5                  レベルならSTOPモードを起動しない。
        LD   (SYSCR1), 01000000B     ; レベル解除モードにセットアップ
        SET  (SYSCR1).7              ; STOPモードを起動
        LDW  (IL), 1110011101010111B ; IL12, 11, 7, 5, 3←0
                                       (割り込みラッチのクリア)
SINT5 : RETI
```

Not Recommended for New Design

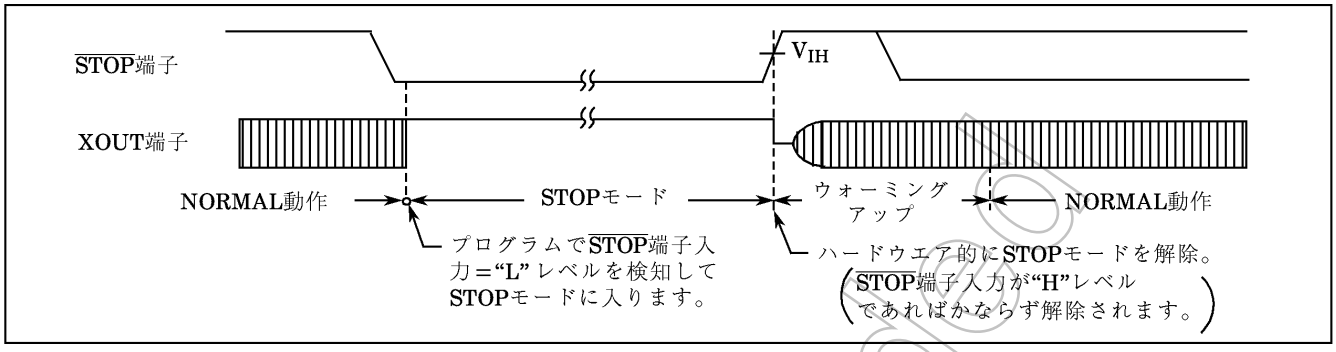


図1-16. レベル解除モード

注1) ウォーミングアップ開始後、再びSTOP端子入力が"L"レベルになってもSTOPモードには戻りません。
注2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM＝"0"のとき)

STOP端子入力の立ち上がりエッジでSTOP動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号(例えば、低消費電力の発振源からのクロック)をSTOP端子に入力します。エッジ解除モードの場合、STOP端子入力が"H"レベルにあってもSTOP動作に入ります。

例： エッジ解除モードのSTOP動作を起動

```
LD    (SYSCR1), 00000000B      ; OUTEN←0 (ハイインピーダンス指定)
DI                             ; IMF←0
SET   (SYSCR1). STOP           ; STOP←1 (STOPモード起動)
LDW   (IL), 1110011101010111B  ; IL12, 11, 7, 5, 3←0 (割り込みラッチのクリア)
EI                             ; IMF←1
```

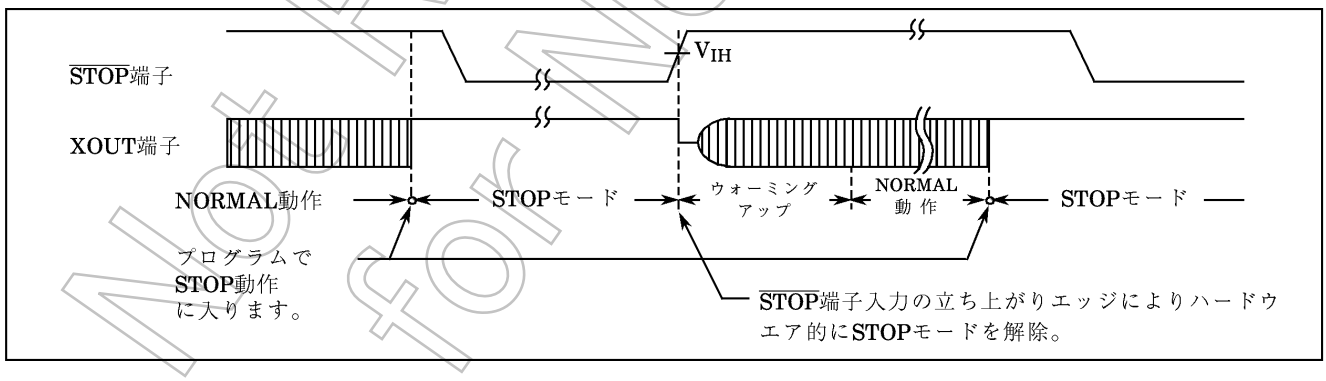


図1-17. エッジ解除モード

STOPモードの解除は、次のシーケンスで行われます。

① 発振が開始されます。デュアル クロック モードの場合、NORMAL2へ戻るときは、高周波/低周波発振器の両方が発振し、SLOWに戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。

Not Recommended for New Design

② 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてWUT (SYSCR1のビット3, 2) で2種類選択できます。

③ ウォーミングアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのデバイダは "0" にクリアされた状態から始まります。

表1-1. ウォーミングアップ時間 (例)

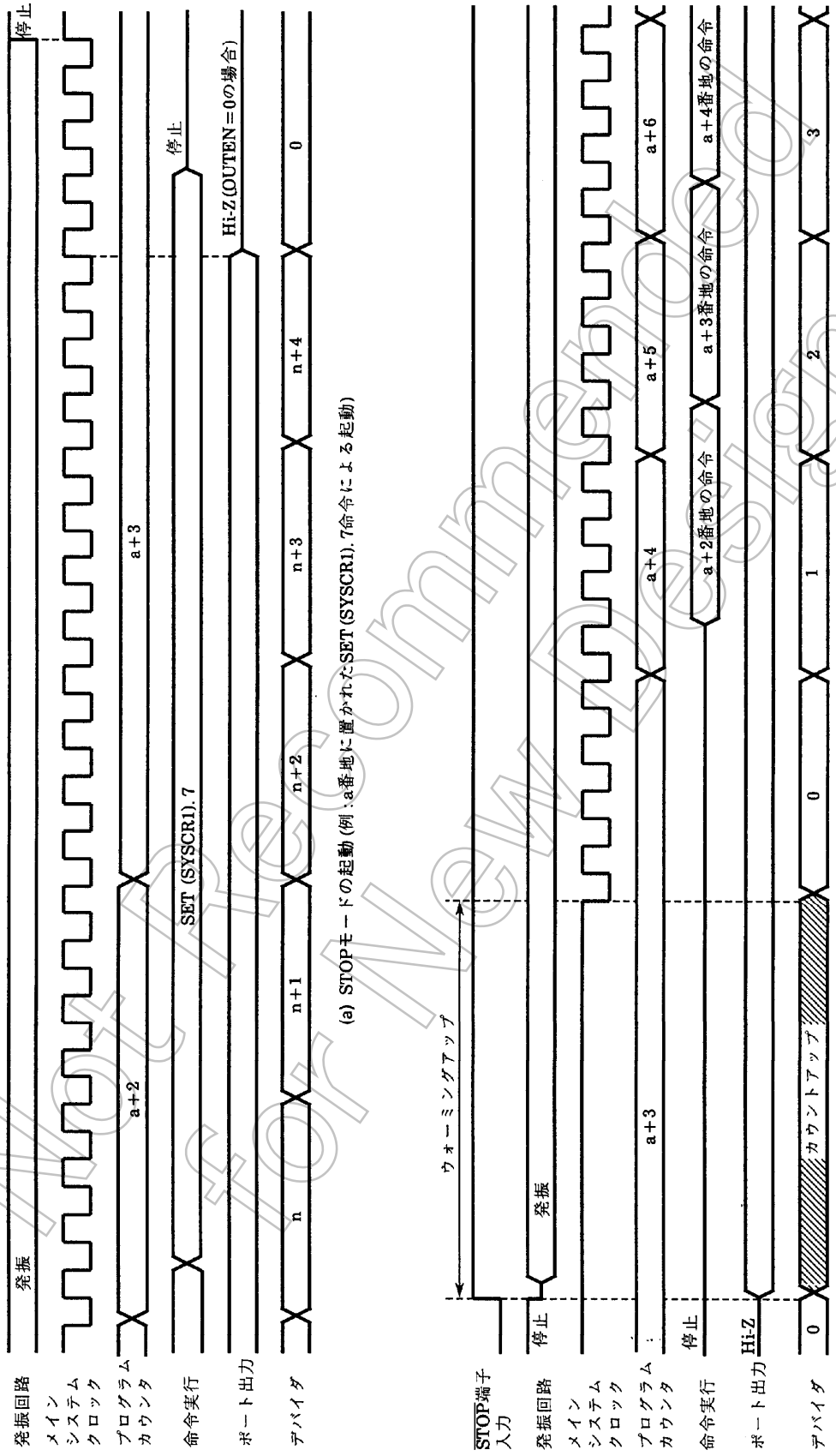
NORMALモードに戻る場合			SLOWモードに戻る場合	
WUT	fc＝4.194304 MHz時	fc＝8 MHz 時	WUT	fs＝32.768 kHz 時
3×2^{19} / fc [s] 2^{19} / fc	375 [ms] 125	196.6 [ms] 65.5	3×2^{13} / fs [s] 2^{13} / fs	750 [ms] 250

注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

なお、STOPモードは、$\overline{\text{RESET}}$端子を "L" レベルにすることによっても解除され、ただちに通常のリセット動作を行います。この場合、SLOWモードに戻る設定がされていても、NORMAL2モード (87C840/C40/H40/K40A/M40A の場合、マスクオプションにてXTEN (SYSCR2 のビット6) の初期値が "1" のときはNORMAL2 モード、87PH/M40/PH40A/PM40Aの場合は、NORMAL1モード) から始まります。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。
STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、$\overline{\text{RESET}}$端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、$\overline{\text{RESET}}$端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、$\overline{\text{RESET}}$端子の入力電圧レベルが、$\overline{\text{RESET}}$端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

Not Recommended for New Design



(a) STOPモードの起動 (例：a番地に置かれたSET (SYSCR1). 7命令による起動)

(b) STOPモードの解除

図1-18. STOPモードの起動/解除

Not Recommended for New Design

(2) IDLEモード (IDLE1, IDLE2, SLEEP)

IDLEモードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLEモード中、次の状態を保持しています。

① CPUおよびウォッチドッグタイマは動作を停止します。
周辺ハードウエアは動作を継続します。

② データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは、IDLEモードに入る直前の状態を保持します。

③ プログラムカウンタは、IDLEモードを起動する命令の2つ先の命令のアドレスを保持します。

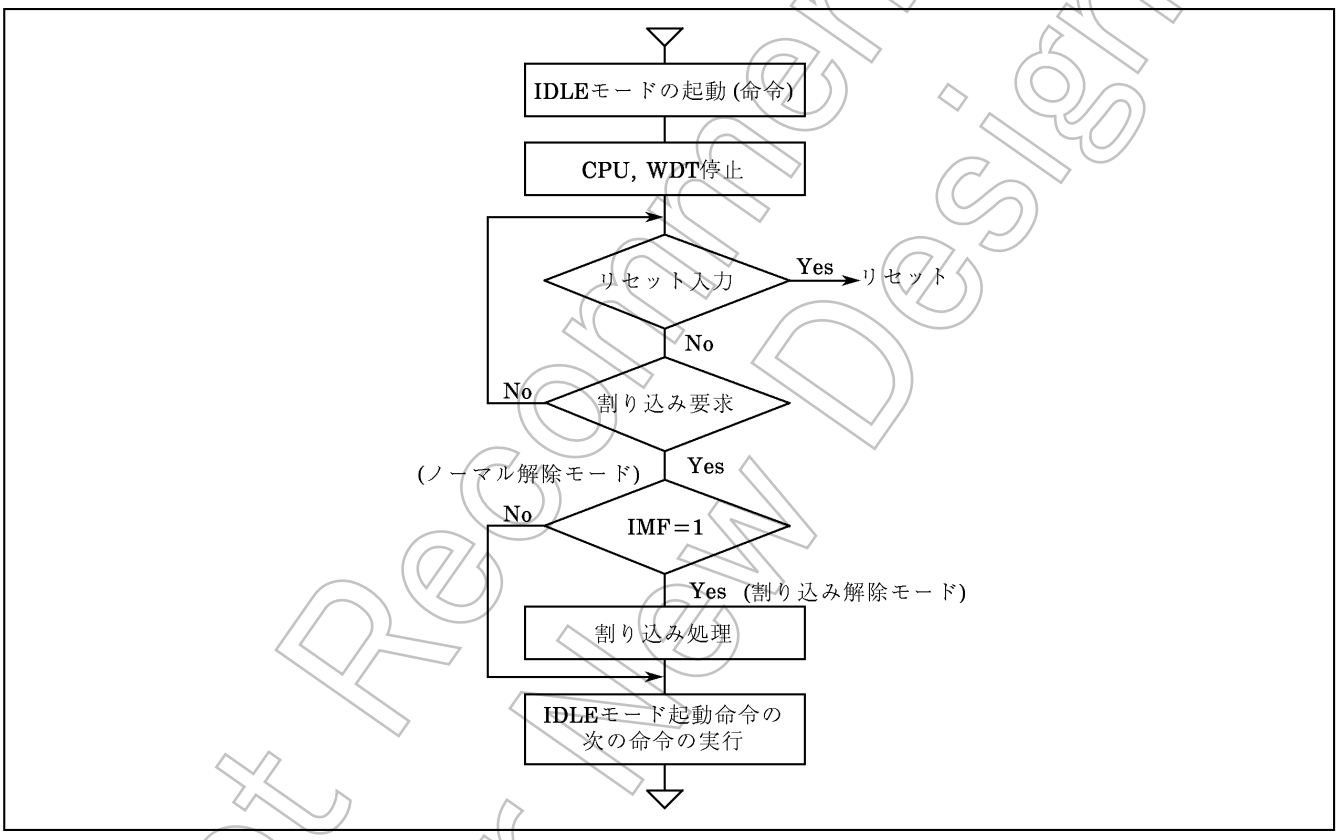


図1-19. IDLEモード

例： IDLEモードの起動
SET (SYSCR2).4

IDLEモードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。IDLEモード解除後、IDLE1モードのときはNORMAL1モードに、IDLE2モードのときはNORMAL2モードに、SLEEPモードのときはSLOWモードに戻ります。

Not Recommended for New Design

a. ノーマル解除モード (IMF＝“0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{INT0}$) の割り込み要求により、IDLEモードが解除され、IDLEモードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

b. 割り込み解除モード (IMF＝“1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{INT0}$) の割り込み要求によりIDLEモードが解除され、割り込み処理に入ります。割り込み処理後、IDLEモードを起動した命令の次の命令に戻ります。

なお、IDLEモードは、$\overline{RESET}$端子を “L” レベルにすることによっても解除され、ただちに通常のリセット動作を行います。SLEEPモードでリセットをかけた場合は、リセット解除後NORMAL2モード (87C840/C40/H40/K40A/M40A の場合、マスクオプションにてXTEN (SYSCR2 のビット6) の初期値が“1” のときはNORMAL2 モード、87PH40/M40/PH40A/PM40Aの場合は、NORMAL1モード) から始まります。

注) IDLEモード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLEモードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design

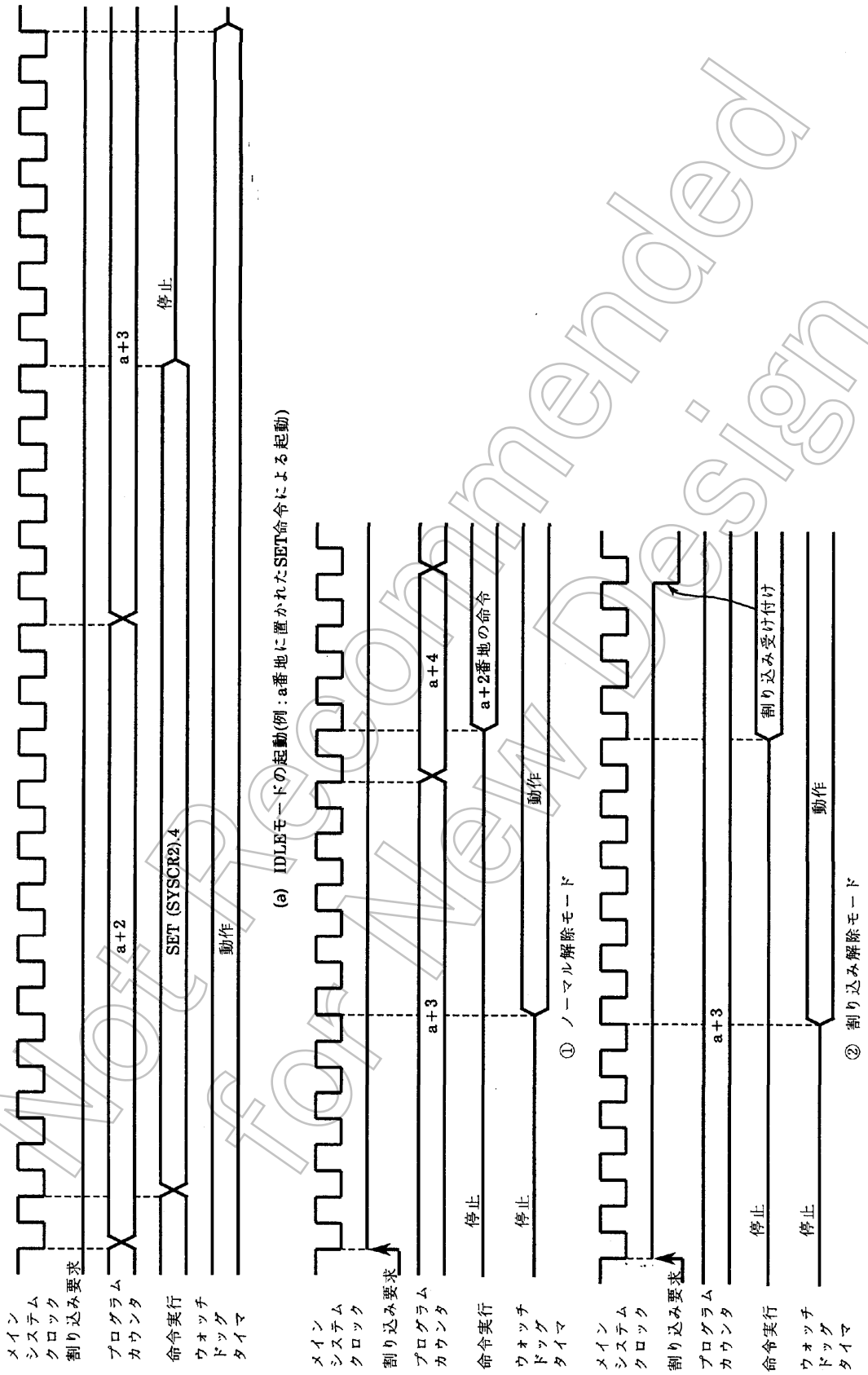


図1-20. IDLEモードの起動/解除

Not Recommended for New Design

(3) SLOWモード

SLOWモードは、システム制御レジスタ2 (SYSCR2) およびタイマカウンタ2 (TC2) によって制御されます。

a. NORMAL2モードからSLOWモードへの切り替え

まず、SYSCK (SYSCR2のビット5) に "1" を書き込み、システムクロックを低周波クロックに切り替えます。次に、XEN (SYSCR2のビット7) を "0" にクリアして高周波発振器を停止します。

注)	NORMAL2モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOWモードからSTOPモードを起動する場合は、かならず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ2を使用すると便利です。

例1 : NORMAL2モードからSLOWモードへの切り替え。

```
        SET  (SYSCR2).5     ;  SYSCK←1  (システムクロックを低周波に切り替え)
        CLR  (SYSCR2).7     ;  XEN←0    (高周波クロック停止)
```

例2 : TC2で低周波クロックの安定発振の確認後、SLOW モードへ切り替え。

```
        LD   (TC2CR), 14H   ;  TC2のモードをセット
                               (タイマモード, ソースクロック : fs)
        LDW  (TREG2), 8000H ;  ウォーミングアップ時間をセット
                               (発振子の特性で時間を決定します)
        SET  (EIRH).EF14    ;  INTTC2割り込み許可
        LD   (TC2CR), 34H   ;  TC2スタート
         ⋮
PINTTC2 : LD   (TC2CR), 10H   ;  TC2ストップ
        SET  (SYSCR2).5     ;  SYSCK←1  (システムクロックを低周波に切り替え)
        CLR  (SYSCR2).7     ;  XEN←0    (高周波クロック停止)
        RETI
         ⋮
VINTTC2 : DW   PINTTC2      ;  INTTC2 ベクタテーブル
```

b. SLOWモードからNORMAL2モードへの切り替え

まず、XEN (SYSCR2のビット7) を "1" にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ2によって確保したあと、SYSCK (SYSCR2のビット5) を "0" にクリアします。

注1)	SYSCKを "0" にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。
注2)	SLOW モードは、リセットによってもNORMAL2 モードへ戻ります (87PH40A/PM40Aの場合は、NORMAL1モードへ戻ります)。

Not Recommended for New Design

例： SLOWモードからNORMAL2モードへの切り替え
(fc＝8 MHz, ウォーミングアップ時間＝7.9 ms)。

```
            SET  (SYSCR2).7       ;  XEN←1     (高周波クロック発振開始)
            LD   (TC2CR), 10H     ;  TC2のモードをセット
                                     (タイマモード, ソースクロック：fc)
            LD(TREG2＋1), 0F8H    ;  ウォーミングアップ時間をセット
                                     (周波数と発振子の特性で時間を決定します)
            SET  (EIRH).EF14      ;  INTTC2割り込み許可
            LD   (TC2CR), 30H     ;  TC2スタート
             ⋮
PINTTC2:    LD   (TC2CR), 10H     ;  TC2ストップ
            CLR  (SYSCR2).5       ;  SYSCK←0  (システムクロックを高周波に切り替え)
            RETI
             ⋮
VINTTC2:    DW   PINTTC2          ;  INTTC2ベクタテーブル
```

Not Recommended for New Design

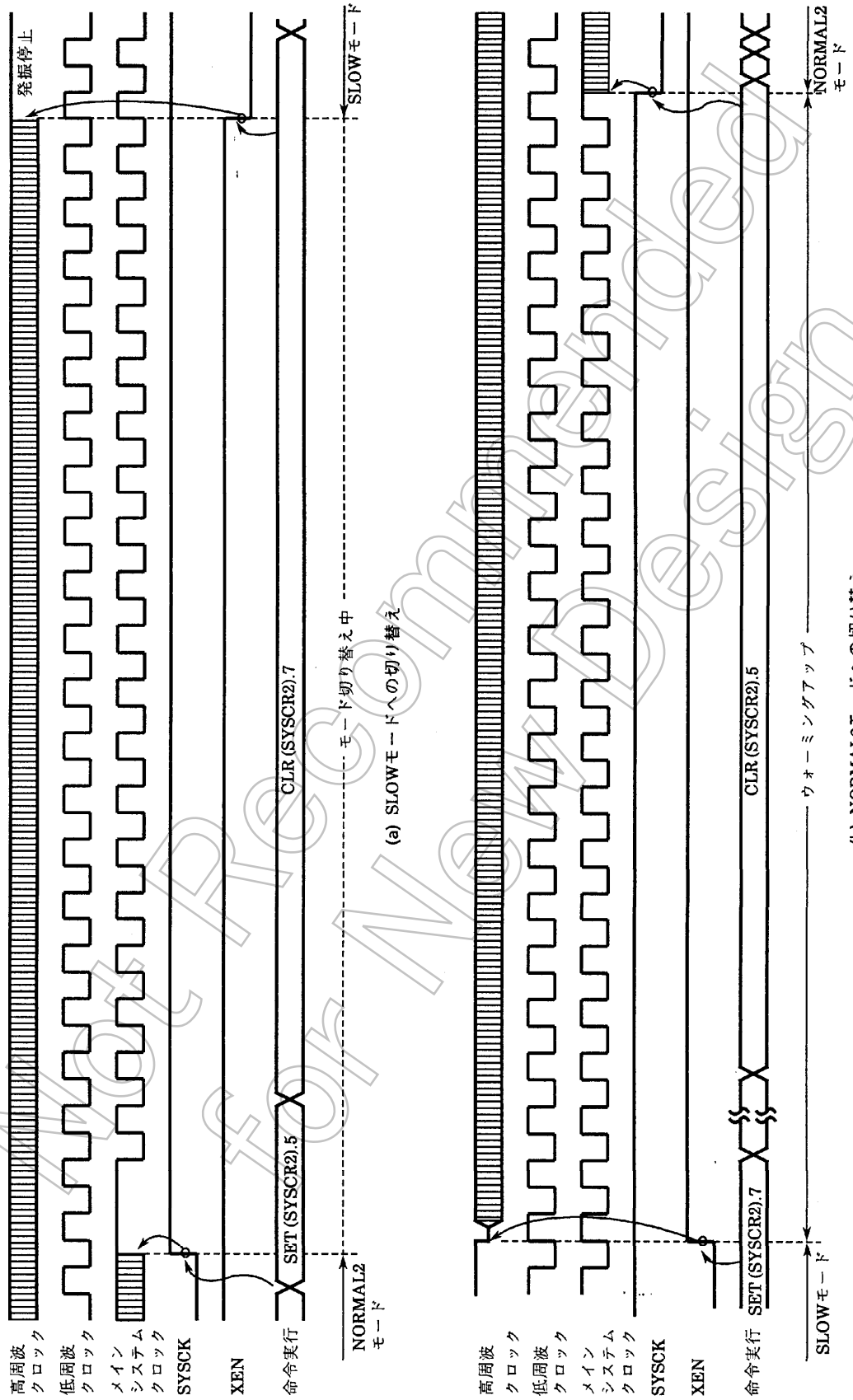


図1-21. SLOW↔NORMAL2モード切り替え

Not Recommended for New Design

1.9 割り込み制御回路

87C840/C40/H40/K40A/M40Aには、外部6種, 内部9種の合計15種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウエアで定められた優先順位の高いものから受け付けられます。

図1-22.に割り込み制御回路を示します。

表1-2. 割り込み要因

割込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスカブル	—	$FFFE_H$	高位 0
内部	INTSW (ソフトウエア割り込み)	擬似ノンマスカブル	—	$FFFC_H$	1
内部	INTWDT (ウォッチドッグタイマ割り込み)		IL_2	$FFFA_H$	2
外部	INT0 (外部割り込み0)	IMF＝1, INT0EN＝1	IL_3	$FFF8_H$	3
内部	INTTC1 (16-bitタイマカウンタ1割り込み)	$IMF \cdot EF_4=1$	IL_4	$FFF6_H$	4
外部	INT1 (外部割り込み1)	$IMF \cdot EF_5=1$	IL_5	$FFF4_H$	5
内部	INTTBT (タイムベースタイマ割り込み)	$IMF \cdot EF_6=1$	IL_6	$FFF2_H$	6
外部	INT2 (外部割り込み2)	$IMF \cdot EF_7=1$	IL_7	$FFF0_H$	7
内部	INTTC3 (8-bitタイマカウンタ3割り込み)	$IMF \cdot EF_8=1$	IL_8	$FFEE_H$	8
内部	INTSIO1 (シリアルインタフェース1割り込み)	$IMF \cdot EF_9=1$	IL_9	$FFEC_H$	9
内部	INTTC4 (8-bitタイマカウンタ4割り込み)	$IMF \cdot EF_{10}=1$	IL_{10}	$FFEA_H$	10
外部	INT3 (外部割り込み3)	$IMF \cdot EF_{11}=1$	IL_{11}	$FFE8_H$	11
外部	INT4 (外部割り込み4)	$IMF \cdot EF_{12}=1$	IL_{12}	$FFE6_H$	12
内部	INTSIO2 (シリアルインタフェース2割り込み)	$IMF \cdot EF_{13}=1$	IL_{13}	$FFE4_H$	13
内部	INTTC2 (16-bitタイマカウンタ2割り込み)	$IMF \cdot EF_{14}=1$	IL_{14}	$FFE2_H$	14
外部	INT5 (外部割り込み5)	$IMF \cdot EF_{15}=1$	IL_{15}	$FFE0_H$	低位 15

Not Recommended for New Design

(1) 割り込みラッチ (IL_{15}~IL_2)

割り込みラッチは、ソフトウエア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により "1" にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは "0" にクリアされます。リセット時、割り込みラッチはすべて "0" に初期化されます。

割り込みラッチは、SFR内の003C, $003D_H$番地に割り付けられており、命令で個別にクリアすることができ (ただし、ビット操作命令や演算命令などのリード モディファイ ライト 命令は使用できません)、プログラムで割り込み要求の取消し/初期化ができます。ただし、IL2は命令でクリアしないでください。

なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。

例1 : 割り込みラッチのクリア

```
LDW (IL), 1110100000111111B    ; IL12, IL10~IL6←0
```

例2 : 割り込みラッチの読み出し

```
LDWA, (IL)                     ; W←ILH, A←ILL
```

例3 : 割り込みラッチのテスト

```
TEST (IL).7                    ; IL7=1ならジャンプ
JR    F, SSET
```

Not Recommended for New Design

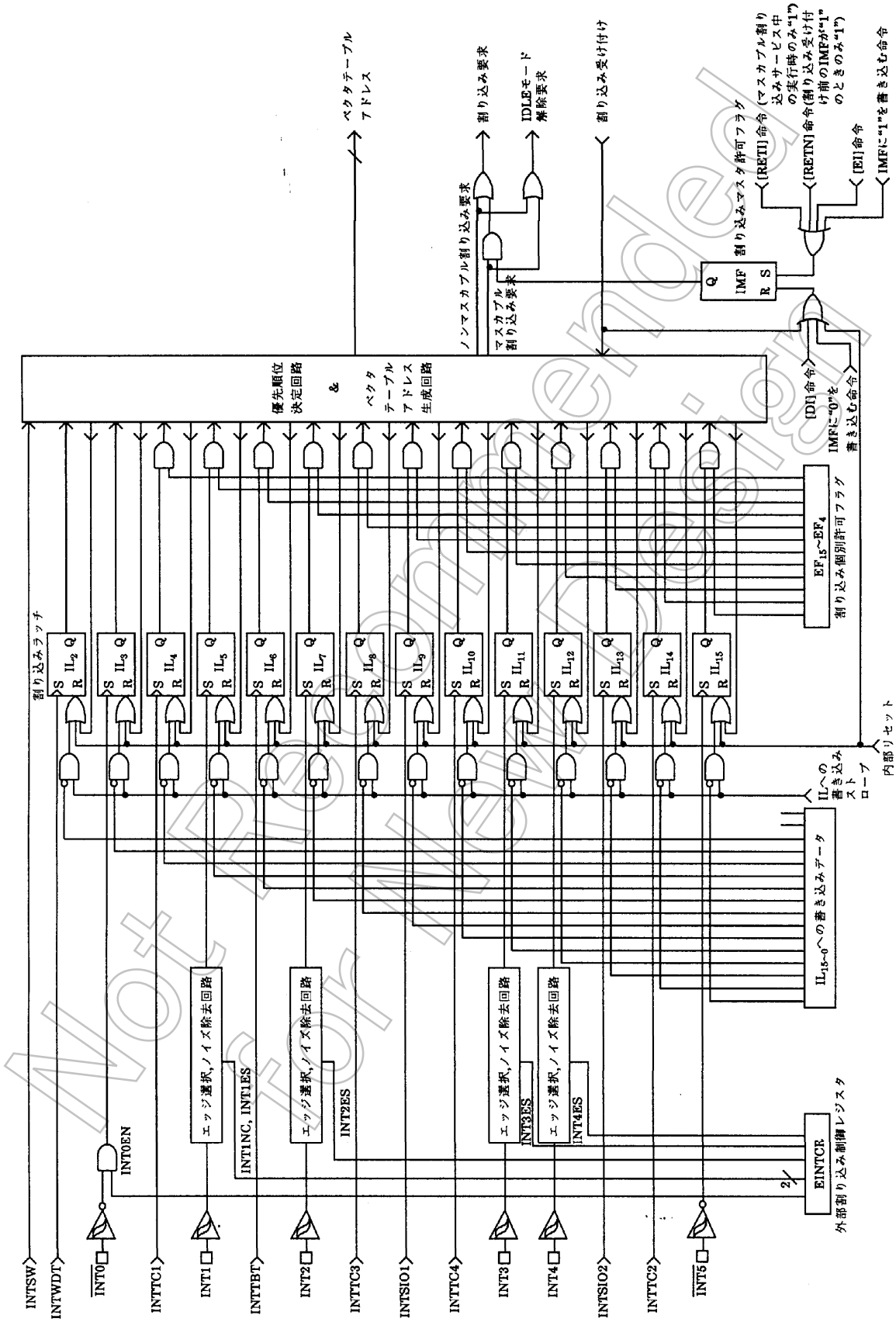


図1-22. 割り込み制御回路

Not Recommended for New Design

(2) 割り込み許可レジスタ (EIR)

擬似ノンマスカブル割り込み (ソフトウエア割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスカブル割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR内の$003A_H$, $003B_H$番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

① 割り込みマスタ許可フラグ (IMF)

すべてのマスカブル割り込みに対して受け付けの許可/禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスカブル割り込みリターン命令 [RETI] により “1” にセットされ、再び受け付け許可状態となります。すなわち、既に割り込み要求が来ている場合、[RETI] 命令の実行直後から割り込み処理に入ります。

擬似ノンマスカブル割り込みの場合は、ノンマスカブル割り込みリターン命令[RETN] によりリターンします。この場合、割り込み受け付けの許可状態 (IMF＝1) で擬似ノンマスカブル割り込み処理に入ったときのみ、割り込みマスタ許可フラグは “1” にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は “0” のままです。

割り込みマスタ許可フラグは、EIR_L (SFR内の$003A_H$番地) のビット0に割り付けられており、命令で読み出し/書き込みができます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI] / [DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは “0” に初期化されます。

② 割り込み個別許可フラグ (EF_{15}~EF_4)

外部割り込み0を除く各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが “1” なら割り込み受け付けを許可し、“0” なら禁止します。

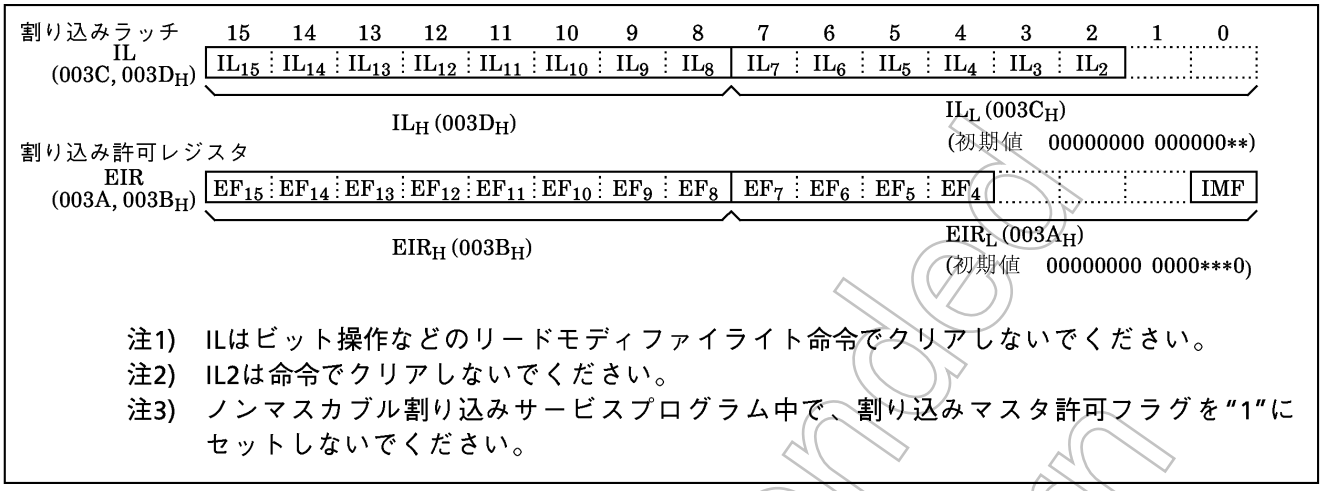
例1： 割り込みの個別許可とIMFのセット

```
LDW (EIR), 1110100010100001B    ;  EF15~EF13, EF11, EF7, EF5, IMF←1
```

例2： 割り込みの個別許可フラグのセット

```
SET  (EIRH).4                   ;  EF12←1
```

Not Recommended for New Design



注1) ILはビット操作などのリードモディファイライト命令でクリアしないでください。
注2) IL2は命令でクリアしないでください。
注3) ノンマスカブル割り込みサービスプログラム中で、割り込みマスタ許可フラグを"1"にセットしないでください。

図1-23. 割り込みラッチ (IL) , 割り込み許可レジスタ (EIR)

1.9.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが "0" にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8マシンサイクル (4 μs @ 8 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合) / [RETN] (擬似ノンマスカブル割り込みの場合)を実行して終了します。図1-24.に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

① 割り込みマスタ許可フラグ(IMF) を "0" にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。ノンマスカブル割り込み受け付けの場合は、そのあとのノンマスカブル割り込みの受け付けも一時的に禁止します。

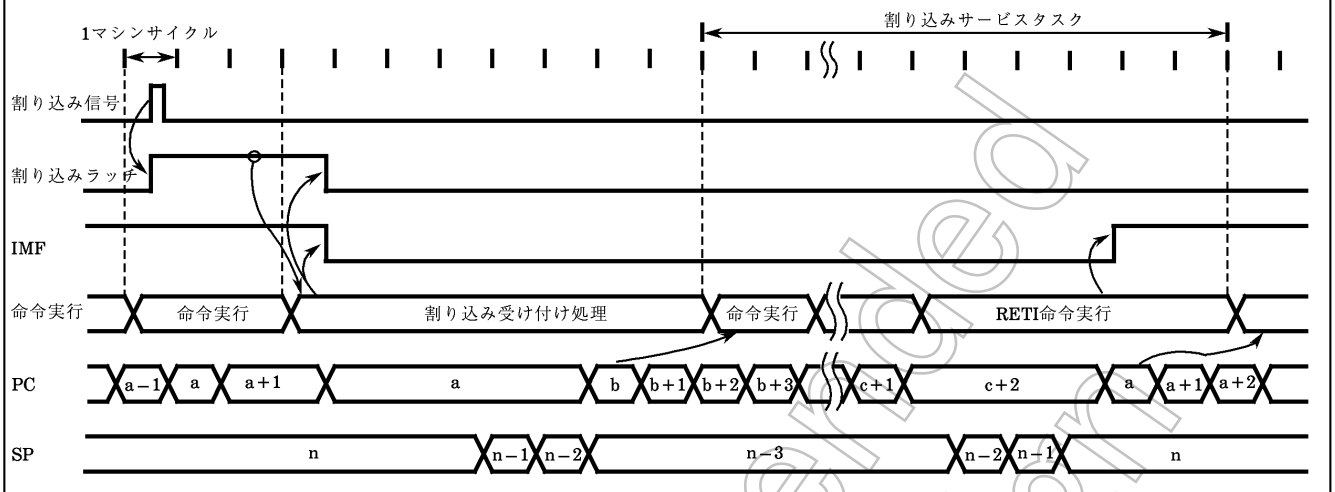
② 受け付けた割り込み要因の割り込みラッチを "0" にクリアします。

③ プログラムカウンタ(PC) およびプログラム ステータス ワード(PSW) の内容をスタックに退避します (PSW, PC$_H$, PC$_L$の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。

④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。

⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

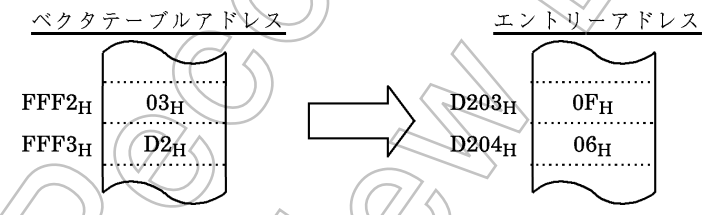
Not Recommended for New Design



注1) a ; 戻り番地　　b ; エントリーアドレス　　c ; RETI命令が格納されているアドレス
注2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大38 / fc [s] または38 / fs [s] (10サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図1-24. 割り込み受け付け処理 / 割り込みリターン命令 タイミングチャート

例：　INTTBTの受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み0は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INT0EN) により外部割り込み機能を禁止する (INT0EN＝0の期間、割り込みラッチIL3はセットされませんので、$\overline{\text{INT0}}$端子入力の立ち下がりエッジは検出できません) か、または、プログラムでソフトウエア的に割り込み処理を禁止します。

例1　：　外部割り込み制御レジスタによる外部割り込み0の禁止

```
CLR   (EINTCR). INT0EN      ;   INT0EN←0
```

Not Recommended for New Design

例2 ： ソフトウエアによる外部割り込み0の割り込み処理禁止(割り込み処理禁止スイッチを$00F0_H$番地のビット0とします)。

```
PINT0 : TEST    (00F0H).0     ;  (00F0H)0=1 なら割り込み処理行わずにリターン
        JRS     T, SINT0
        RETI
PINT0 : 割り込み処理
        RETI
         ⋮
VINT0 : DW      PINT0
```

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやそのほかのレジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の3つの方法があります。

① レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令[RETI]/[RETN]の実行で自動的に復帰します。従って、RBSをプログラムで退避する必要はありません。

例： レジスタバンク切り替え

```
PINTxx : LD    RBS, n     ;  バンクnに切り替え (1 μs @ 8 MHz)
         割り込み処理
         RETI             ;  バンクの復帰とリターン
```

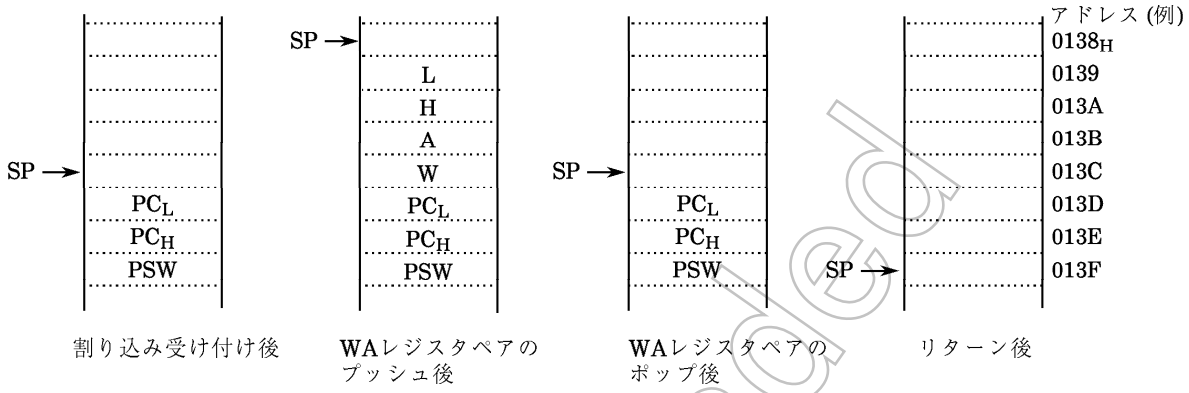
② プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例： プッシュ/ポップによるレジスタの退避/復帰

```
PINTxx : PUSHWA    ;  WAレジスタペアをスタックに退避
PUSH     HL        ;  HLレジスタペアをスタックに退避
 割り込み処理
POP      HL        ;  HLレジスタペアをスタックから復帰
POP      WA        ;  WAレジスタペアをスタックから復帰
RETI               ;  リターン
```

Not Recommended for New Design



③ 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例： データメモリとの転送命令によるレジスタの退避/復帰

```
PINTxx :  LD    (GSAVA), A   ;  Aレジスタの退避
          割 り 込 み 処 理
          LD    A, (GSAVA)   ;  Aレジスタの復帰
          RETI               ;  リターン
```

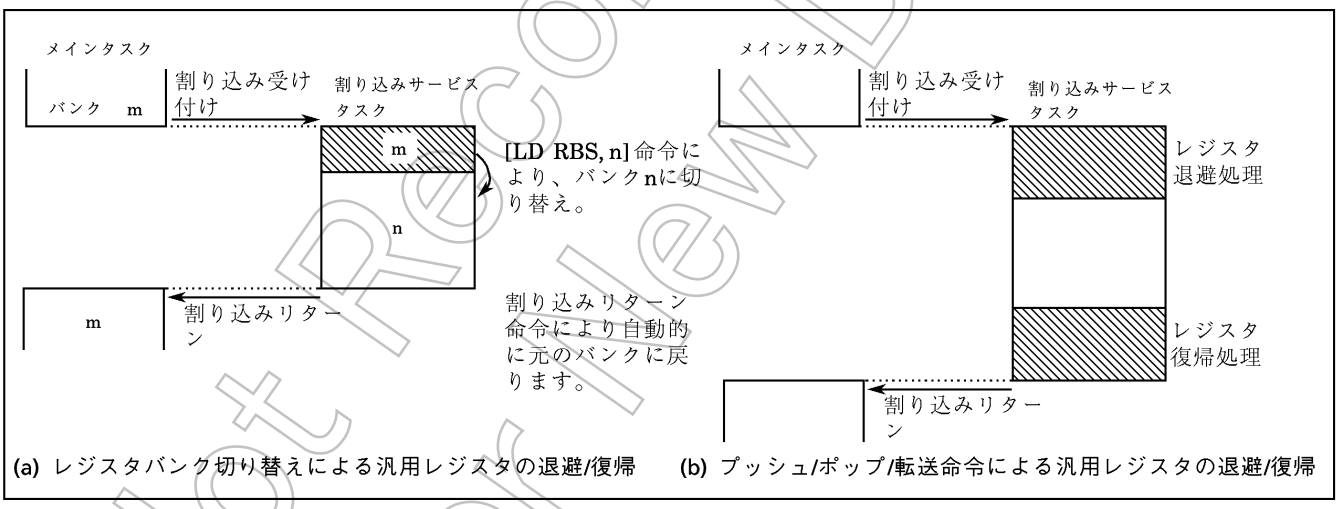


図1-25. 割り込み処理における汎用レジスタの退避 / 復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

Not Recommended for New Design

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
① プログラムカウンタおよびプログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込みマスタ許可フラグを“1”にセットします。	① プログラムカウンタおよびプログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.9.2 ソフトウエア割り込み (INTSW)

SWI命令を実行することにより、ソフトウエア割り込みが発生しただちに割り込み処理に入ります(最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI命令を実行してもソフトウエア割り込みは発生せず、NOP命令と同一の動作を行います。

注) 開発ツールでは、SWI命令をソフトウエアブレークに使用できるように、ノンマスカブル割り込み処理中でもかならずソフトウエア割り込みが発生します。

SWI命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

① アドレスエラー検出

CPUが何らかの原因(ノイズなど)により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_Hが読み込まれます。コードFF_Hは、SWI命令ですのでソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべてFF_Hで埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、特定のRAM領域(87C840は$0040\sim013F_H$番地、87CC40/H40/K40/M40Aは$0040\sim023F_H$番地)およびSFR領域($0000\sim003F_H$番地)に対する命令フェッチのときは、アドレストラップリセットがかかります。

注) 87C840/C40/H40および87PH40Aの$BF80\sim BFFF_H$番地, 87CK40A/M40Aおよび87PM40Aの$7F80\sim7FFF_H$番地には、出荷テスト用ROMが内蔵されていますので、この領域からの命令フェッチの場合はFF_Hとなりません。

② デバッギング

SWI命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

Not Recommended for New Design

1.9.3 外部割り込み

87C840/C40/H40/K40A/M40Aには、6本の外部割り込み入力があり、うち4本はデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

また、INT1~INT4端子は、エッジ選択可能です。なお、$\overline{\text{INT0}}$ / P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択, ノイズ除去の制御 および $\overline{\text{INT0}}$ / P10端子の機能選択は、外部割り込み制御レジスタで行います。

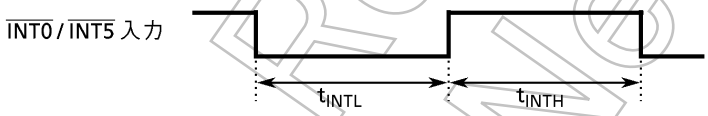
表1-3. 外部割り込み

要 因	端 子 名	兼 用 端 子	許 可 条 件	エ ッ ジ	デジタル ノイズ 除去回路
INT0	$\overline{\text{INT0}}$	P10	IMF＝1, INT0EN＝1	立ち下がりエッジ	なし (ヒステリシス入力)
INT1	INT1	P11	IMF・EF_5＝1	立ち下がりエッジ または 立ち上がりエッジ	15 / fc または 63 / fc [s] 未満のパルスはノイズとして除去されます。48 / fc または 192 / fc [s] 以上は確実に信号とみなされます。
INT2	INT2	P12 / TC1	IMF・EF_7＝1		7 / fc [s] 未満のパルスはノイズとして除去されます。24 / fc [s] 以上は確実に信号とみなされます。
INT3	INT3	P50 / TC3	IMF・EF_{11}＝1		
INT4	INT4	P51 / TC4	IMF・EF_{12}＝1		
INT5	$\overline{\text{INT5}}$	P20 / $\overline{\text{STOP}}$	IMF・EF_{15}＝1	立ち下がりエッジ	なし (ヒステリシス入力)

注1) SLOW / SLEEPモード時、ノイズ除去機能はオフします。なお、動作モード遷移中に入力されたパルスに対するノイズ除去時間は不定になります。

注2) ノイズ除去回路は、タイマカウンタ入力 (TC1, TC3, TC4端子)のエッジ検出 に対しても働きます。

注3) $\overline{\text{INT0}}$ および $\overline{\text{INT5}}$端子への入力パルス幅は、"H", "L"レベルとも1マシンサイクル以上必要です。



$t_{INTL}, t_{INTH} > tcyc$
注) tcyc = 4/fc [s] (NORMAL1/2, IDLE1/2モード時)
4/fs (SLOW, SLEEPモード時)

注4) NORMAL 1/2またはIDLE 1/2モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

① INT1 端子 49 / fc [s] (INT1NC = 1のとき) , 193 / fc [s] (INT1NC = 0のとき)

② INT2~4 端子 25 / fc [s]

注5) INT0EN = 0のとき、$\overline{\text{INT0}}$端子入力の立ち下がりエッジが検出されても割り込みラッチIL_3はセットされません。

注6) STOPモードでポート出力をハイインピーダンスに指定 (OUTEN = 0) したとき、ポート入力は内部で強制的に"L"レベルに固定されるため、ポートと兼用の外部割り込み入力 (P20 ($\overline{\text{STOP}}$/$\overline{\text{INT5}}$) を除く) の割り込みラッチがセットされることがあります。STOPモードでポート出力をハイインピーダンス指定にする場合割り込み受け付けを一次禁止 (IMF = 0) にしてからSTOPモードを起動し、STOPモード解除後に割り込みラッチをロード命令でクリアしてください。

例 : STOPモードの起動

```
LD  (SYSCR1), 01000000B   ;   OUTEN ← 0 (ハイインピーダンス指定)
DI        ;   IMF ← 0
SET (SYSCR1), STOP ;   STOP ← 1 (STOPモード起動)
LDW   (IL), 1110011101010111B   ;   IL12, 11, 7, 5, 3 ← 0 (割り込みラッチのクリア)
EI        ;   IMF ← 1
```

Not Recommended for New Design

EINTCR (0037_H)

7	6	5	4	3	2	1	0
INT1 NC	INT0 EN		INT4 ES	INT3 ES	INT2 ES	INT1 ES	

(初期値　00*0 000*)

INT1NC	INT1のノイズ除去時間の選択	0 : 63 / fc [s] 未満のパルスはノイズとして除去 1 : 15 / fc 〃	R/W
INT0EN	P10 / $\overline{\text{INT0}}$の機能選択	0 : P10 入出力ポート 1 : $\overline{\text{INT0}}$ 端子 (P10ポートは入力モードにしてください)	
INT4 ES INT3 ES INT2 ES INT1 ES	INT4~INT1のエッジ選択	0 : 立ち上がりエッジで割り込み発生 1 : 立ち下がりエッジ 〃	

注1)　fc ; 高周波クロック [Hz]　* ; don't care

注2)　外部割り込み制御レジスタ (EINTCR) の設定/書き替えは、まず割り込みを禁止状態 (IMF = 0) にしてから外部割り込み制御レジスタを設定/書き替え、割り込みラッチをクリアした後、割り込み受け付けを許可してください。

注3)　INT2ES, INT3ESおよびINT4ESを、NORMAL1/2モード時に、外部割り込み入力信号のエッジを切り替える目的で書き替えた場合には、書き替えてから8命令サイクル以上おいてから、外部割り込みラッチ (INT2, INT3, INT4) をクリアしてください。SLOWモード時には、3命令サイクル必要です。

注4)　INT2ES, INT3ESおよびINT4ESを、NORMAL1/2モード時に、タイマカウンタの外部クロック/パルス信号等のエッジを切り替える目的で書き替える場合には、各タイマカウンタが停止した状態で書き替え (割り込みは禁止状態)、書き替え後8命令サイクル以上おいてから外部割り込みラッチ (INT2, INT3, INT4) をクリアした後に、割り込みを許可状態にし、各タイマカウンタを再スタートさせてください。
SLOWモード時には、3命令サイクル必要です。

例 : TC1で外部トリガモードでのカウントスタートのエッジを、立ち下がりエッジに切り替える場合

```
        LD    (TC1CR), 01001000B     ; TC1S←00 (TC1ストップ)
        DI                           ; IMF←0 (割り込み受け付け禁止)
        LD    (EINTCR), 00000100B    ; INT2ES←1 (エッジ選択切り替え)
        NOP
8マシン  ~
サイクル
        NOP
        LD    (ILL), 01111111B       ; IL7←0 (IL7をクリア)
        EI                           ; IMF←1 (割り込み受け付け許可)
        LD    (TC1CR), 01111000B     ; TC1S←11 (TC1スタート)
```

注5)　INT1ESを書き替えたとき、NORMAL1/2モードの場合には、切り替えてから14命令サイクル (INT1NC = 1のとき) または50命令サイクル (INT1NC = 0のとき) おいてから、INT1の割り込みラッチをクリアしてください。SLOWモード時には、3命令サイクル必要です。

図1-26. 外部割り込み制御レジスタ

Not Recommended for New Design

1.10 ウォッチドッグ タイマ (WDT)

ウォッチドッグ タイマは、ノイズなどの原因による誤動作 (暴走) やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグ タイマによる暴走検出信号は、リセット出力または擬似ノンマスカブル割り込み要求のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、リセット出力に初期化されます。

なお、ウォッチドッグ タイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

1.10.1 ウォッチドッグ タイマの構成

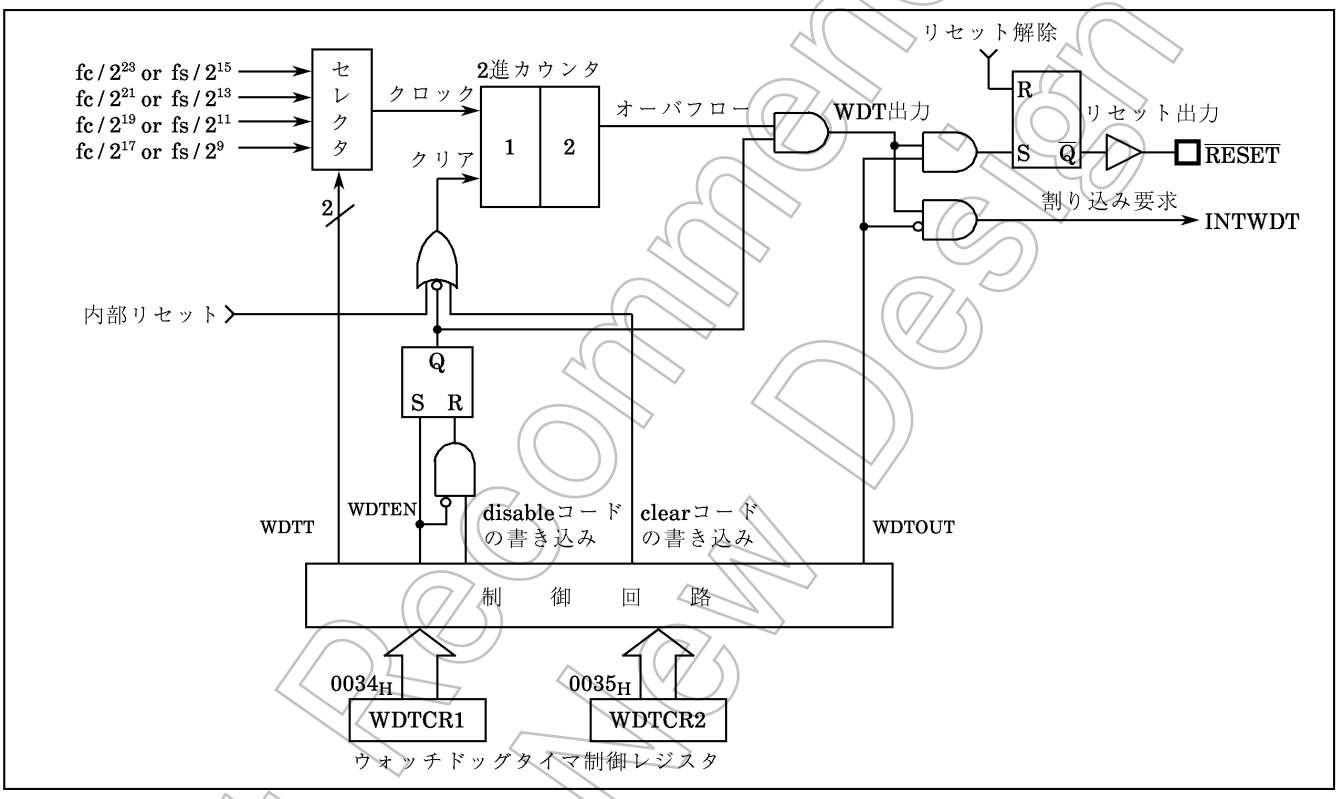


図1-27. ウォッチドッグ タイマの構成

1.10.2 ウォッチドッグ タイマの制御

ウォッチドッグ タイマの制御レジスタを図1-28.に示します。リセット解除後、ウォッチドッグ タイマはイネーブルになります。

(1) ウォッチドッグ タイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

① 検出時間の設定, 出力の選択 および 2進カウンタのクリア

② 設定した検出時間3/4以内ごとに2進カウンタのクリアを繰り返し行います。

注) 2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従ってクリアタイミングによっては、検出時間が設定時間の3/4となり場合があります。

Not Recommended for New Design

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバフローでウォッチドッグ タイマ出力がアクティブになります。このときWDTOUT＝“1”なら $\overline{\text{RESET}}$端子からリセット出力するとともに内蔵ハードウエアをリセットします。また、WDTOUT＝“0”なら、ウォッチドッグ タイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) またはIDLEモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP / IDLEモード解除後、自動的に再起動 (カウントアップ継続) します。

例： ウォッチドッグ タイマ検出時間を 2^{21} / fc [s] に設定し、暴走検出リセットを行う。

```
                LD   (WDTCR2), 4EH        ;  2進カウンタのクリア
                LD   (WDTCR1), 00001101B  ;  WDTT←10, WDTOUT←1
                LD   (WDTCR2), 4EH        ;  2進カウンタのクリア
WDT検出          :                           (WDTT変更直前直後はかならずクリアします)
時間3/4以内      :
                LD   (WDTCR2), 4EH        ;  2進カウンタのクリア
WDT検出          :
時間3/4以内      :
                LD   (WDTCR2), 4EH        ;  2進カウンタのクリア
                :
```

ウォッチドッグ タイマ制御レジスタ1

WDTCR1 (0034_H)

7	6	5	4	3	2	1	0
				WDT EN	WDTT		WDT OUT

(初期値 **** 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0：禁　止 (WDTCR2にディセーブルコードを書き込む必要あり) 1：許　可	write only
WDTT	ウォッチドッグタイマ検出時間の設定	00：2^{25} / fc　または　2^{17} / fs　[s] 01：2^{23} / fc　または　2^{15} / fs 10：2^{21} / fc　または　2^{13} / fs 11：2^{19} / fc　または　2^{11} / fs	
WDTOUT	ウォッチドッグタイマ出力の選択	0：割り込み要求 1：リセット出力	

注1) WDTOUTを“0”にクリア後は、プログラムで“1”に再セットできません。
注2) fc；高周波クロック[Hz]　fs；低周波クロック[Hz]　*；don't care
注3) WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
注4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。
また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。

ウォッチドッグ タイマ制御レジスタ2

WDTCR2 (0035_H)

7	6	5	4	3	2	1	0

(初期値 **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	$4E_H$ ： ウォッチドッグタイマの2進カウンタのクリア (クリアコード) $B1_H$ ： ウォッチドッグタイマのディセーブル (ディセーブルコード) その他： 無　効	write only

注1) ディセーブルコードは、WDTEN＝0のとき以外は書き込み無効です。
注2) *；don't care
注3) WDTCR2は書き込み専用レジスタですので、リードモディファイ命令(SET, CLRなどのビット操作命令やAND, OR等の演算命令等)による操作はできません。
注4) 2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従って2進カウンタのクリアは検出時間の3/4以内に行ってください。

図1-28. ウォッチドッグ タイマ制御レジスタ

Not Recommended for New Design

(2) ウォッチドッグ タイマのイネーブル

WDTEN (WDTCR1のビット3) を "1" にセットするとイネーブルになります。リセット時、WDTENは "1" に初期化されますので、リセット解除後ウォッチドッグ タイマはただちに動作します。

(3) ウォッチドッグ タイマのディセーブル

WDTEN (WDTCR1のビット3) を "0" にクリア後、WDTCR2にディセーブルコード ($B1_H$) を書き込むことによりディセーブルになります。なお、逆にWDTCR2にディセーブルコードを書き込んだ後、WDTENを "0" にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグ タイマの2進カウンタはクリアされています。

例： ウォッチドッグ タイマのディセーブル

```
LDW (WDTCR1), 0B101H    ;  WDTEN←0, WDTCR2←disable code
```

表1-4. ウォッチドッグ タイマ検出時間

動作モード			検出時間	
NORMAL1	NORMAL2	SLOW	fc＝8 MHz	fs＝32.768 kHz時
2^{25} / fc [s]	2^{25} / fc, 2^{17} / fs	2^{17} / fs	4.194 s	4 s
2^{23} / fc	2^{23} / fc, 2^{15} / fs	2^{15} / fs	1.048 s	1 s
2^{21} / fc	2^{21} / fc, 2^{13} / fs	——	262.1 ms	250 ms
2^{19} / fc	2^{19} / fc, 2^{11} / fs	——	65.5 ms	62.5 ms

1.10.3 ウォッチドッグ タイマ割り込み (INTWDT)

擬似ノンマスカブル割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグ タイマ割り込み中もしくは ソフトウエア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグ タイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例： ウォッチドッグ タイマ割り込みの設定例

```
LD   SP, 013FH            ;  SPの設定
LD   (WDTCR1), 00001000B  ;  WDTOUT←0
```

1.10.4 ウォッチドッグ タイマ リセット

$\overline{\text{RESET}}$端子より "L" レベルを出力するとともに内蔵ハードウエアをリセットします。リセット時間は、220 / fc [s] (131 ms @ fc＝8 MHz) です。$\overline{\text{RESET}}$端子は、プルアップ抵抗付きのシンクオープンドレイン入出力です。

注) SLOW モードでウォッチドッグタイマリセットが発生した場合も、高周波クロックが発振しますのでリセット時間は 2^{20} / fc となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

Not Recommended for New Design

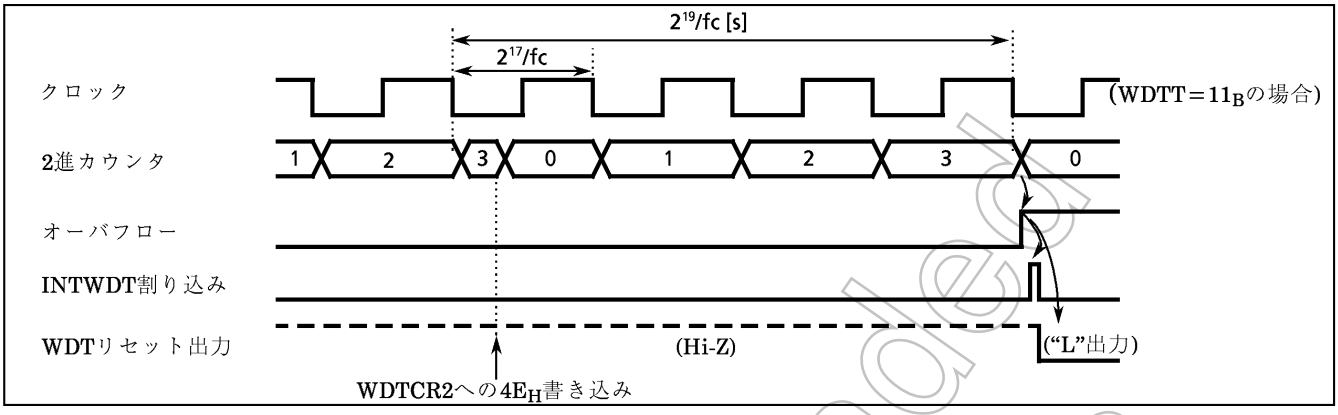


図1-29. ウォッチドッグタイマ割り込み/リセット

1.11 リセット回路

87C840/C40/H40/K40A/M40A には外部リセット入力, アドレストラップリセット, ウォッチドッグタイマリセット, システムクロックリセットの4種類のリセット発生手段があります。表1-5.にリセット動作による内蔵ハードウエアの初期化を示します。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット, アドレストラップリセットおよびシステムクロックリセット) は初期化されません。従って、電源投入時に$\overline{\text{RESET}}$端子出力が2^{20}/fc [s] (131 ms @ 8 MHz) "L" レベルになることがあります。

表1-5. リセット動作による内蔵ハードウエアの初期化

内蔵ハードウエア	初期値	内蔵ハードウエア	初期値
プログラムカウンタ (PC)	$(FFFF_H)\cdot(FFFE_H)$	タイミングジェネレータのデバイダ	0
レジスタバンクセレクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		

1.11.1 外部リセット入力

電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3マシンサイクル (12/fc [s]) 以上の間 $\overline{\text{RESET}}$端子を "L" レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$端子入力が "H" レベルに立ち上がるとリセット動作は解除され、FFFE, $FFFF_H$番地に格納されたベクタアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子はプルアップ抵抗付きのヒステリシス入力となっており、コンデンサおよびダイオードを外付けすることにより簡易型パワーオンリセットを行うことができます。

Not Recommended for New Design

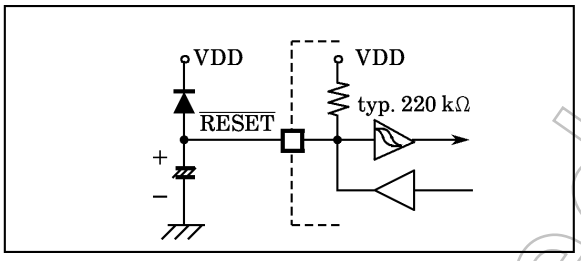


図1-30. 簡易型パワーオンリセット回路

1.11.2 アドレストラップリセット

CPUが何らかの原因(ノイズなど)により暴走していることを検出し、正常な状態に戻すことを目的としたフェイルセーフ機能の1つにアドレストラップリセットがあります。アドレストラップリセットとは、SFRおよび特定のRAM領域すなわち87C840は0000~013F_H番地、87CC40/H40/K40/M40Aは0000~023F_H番地のメモリから命令をフェッチしようとすると内部リセットを発生し、$\overline{\text{RESET}}$端子よりリセット信号(“L”レベル)が出力される機能です。リセット出力時間は2^{20}/fc [s] (131 ms @ 8 MHz)です。

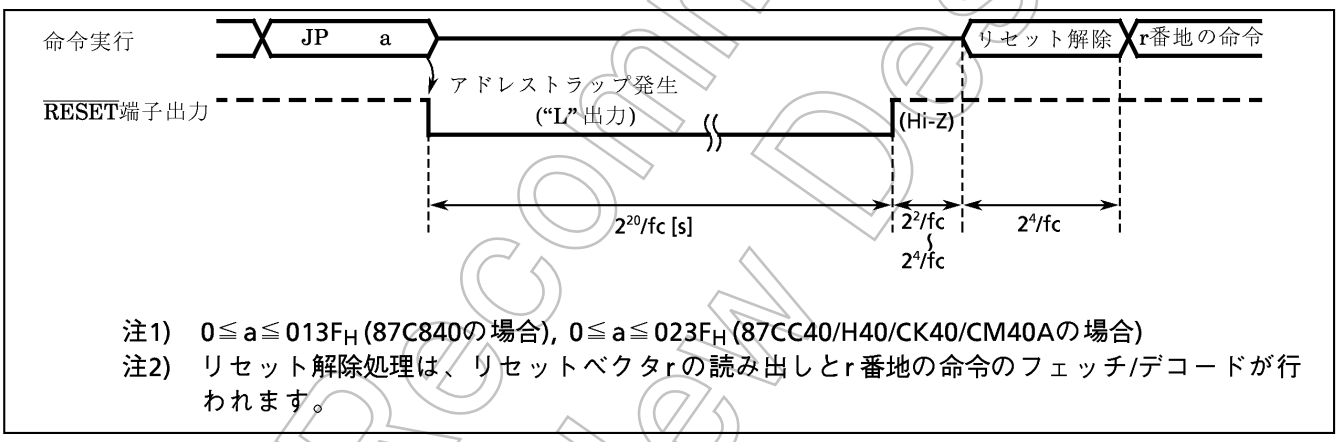


図1-31. アドレストラップリセット

1.11.3 ウォッチドッグタイマリセット

『1.10ウォッチドッグタイマ』をご参照ください。

1.11.4 システムクロックリセット

XEN, XTEN (SYSCR2のビット7, 6)をともに“0”にクリアすると高周波, 低周波発振が停止し、MCUがデッドロック状態に陥ります。これを防ぐため、XEN＝XTEN＝0を検出すると自動的にリセット信号を発生し発振を継続させます。リセット信号は、$\overline{\text{RESET}}$端子より出力されます。リセット時間は、2^{20}/fc [s] (131 ms @ 8 MHz)です。

Not Recommended for New Design

2. 周辺ハードウエア機能

2.1 スペシャル ファンクション レジスタ (SFR) とデータ バッファ レジスタ (DBR)

TLCS-870シリーズは、メモリマップトI/O方式で、周辺ハードウエアの制御/データ転送はすべてスペシャル ファンクション レジスタ (SFR) またはデータ バッファ レジスタ (DBR) を通して行われます。

SFRは0000~003F_H番地に、DBRは0F80~0FFF$_H$番地にマッピングされています。図2-1.に87C840/C40/H40/K40A/M40AのSFR, DBRの一覧を示します。

Not Recommended for New Design

アドレス	リード	ライト
0000_H	P0ポート	
01	P1ポート	
02	P2ポート	
03	P3ポート	
04	P4ポート	
05	P5ポート	
06	P6ポート	
07	P7ポート	
08	reserved	
09	〃	
0A	−	P0CR (P0ポート入出力制御)
0B	−	P1CR (P1ポート入出力制御)
0C	−	P6CR (P6ポート入出力制御)
0D	−	P7CR (P7ポート入出力制御)
0E	ADCCR (A/Dコンバータ制御)	
0F	ADCDR (A/D変換値レジスタ)	−
10	−	$TREG1A_L$ (タイマレジスタ1A)
11	−	$TREG1A_H$
12	$TREG1B_L$ (タイマレジスタ1B)	
13	$TREG1B_H$	
14	−	TC1CR (タイマカウンタ1制御)
15	−	TC2CR (タイマカウンタ2制御)
16	−	$TREG2_L$ (タイマレジスタ2)
17	−	$TREG2_H$
18	TREG3A (タイマレジスタ3A)	
19	TREG3B (タイマレジスタ3B)	−
1A	−	TC3CR(タイマカウンタ3制御)
1B	−	TREG4 (タイマレジスタ4)
1C	−	TC4CR (タイマカウンタ4制御)
1D	reserved	
1E	〃	
1F	〃	

アドレス	リード	ライト
0020_H	SIO1SR (SIO1ステータス)	SIO1CR1 (SIO1制御)
21	−	SIO1CR2
22	SIO2SR (SIO2ステータス)	SIO2CR1 (SIO2制御)
23	−	SIO2CR2
24	reserved	
25	〃	
26	〃	
27	〃	
28	〃	
29	〃	
2A	〃	
2B	〃	
2C	〃	
2D	〃	
2E	〃	
2F	〃	
30	reserved	
31	〃	
32	〃	
33	〃	
34	−	WDTCR1 (ウォッチドッグタイマ制御)
35	−	WDTCR2
36	TBTCR (TBT / TG / DVO 制御)	
37	EINTCR (外部割り込み制御)	
38	SYSCR1 (システム制御)	
39	SYSCR2	
3A	EIR_L (割り込み許可レジスタ)	
3B	EIR_H	
3C	IL_L (割り込みラッチ)	
3D	IL_H	
3E	reserved	
3F	PSW	RBS (レジスタバンクセレクタ)

(a) スペシャル ファンクション レジスタ

アドレス	リード	ライト
$0F80_H$	reserved	
〜	〃	〜
0FEF	〃	
0FF0	SIO1 送受信データバッファ (8バイト)	
F1		
F2		
F3		
F4		
F5		
F6		
F7		
0FF8	SIO2 送受信データバッファ (8バイト)	
F9		
FA		
FB		
FC		
FD		
FE		
FF		

(b) データ バッファ レジスタ

注1) reservedの番地はプログラムでアクセスしないでください。

注2) − ; アクセスできません。

注3) $003F_H$番地をシンボルで定義する場合、GPSW / GRBSとしてください。

注4) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

注5) PSW ; プログラムステータスワード

図2-1. SFR & DBR

Not Recommended for New Design

2.2 入出力ポート

87C840/C40/H40/K40A/M40Aは、8ポート56端子の入出力ポートを内蔵しています。

① P0ポート ; 8ビット入出力ポート
② P1ポート ; 8ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用)
③ P2ポート ; 3ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOPモード解除信号入力と兼用)
④ P3ポート ; 8ビット入出力ポート
⑤ P4ポート ; 8ビット入出力ポート (シリアルインタフェース入出力と兼用)
⑥ P5ポート ; 5ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力と兼用)
⑦ P6ポート ; 8ビット入出力ポート (アナログ入力と兼用)
⑧ P7ポート ; 8ビット入出力ポート

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2.に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルのS2ステートです。

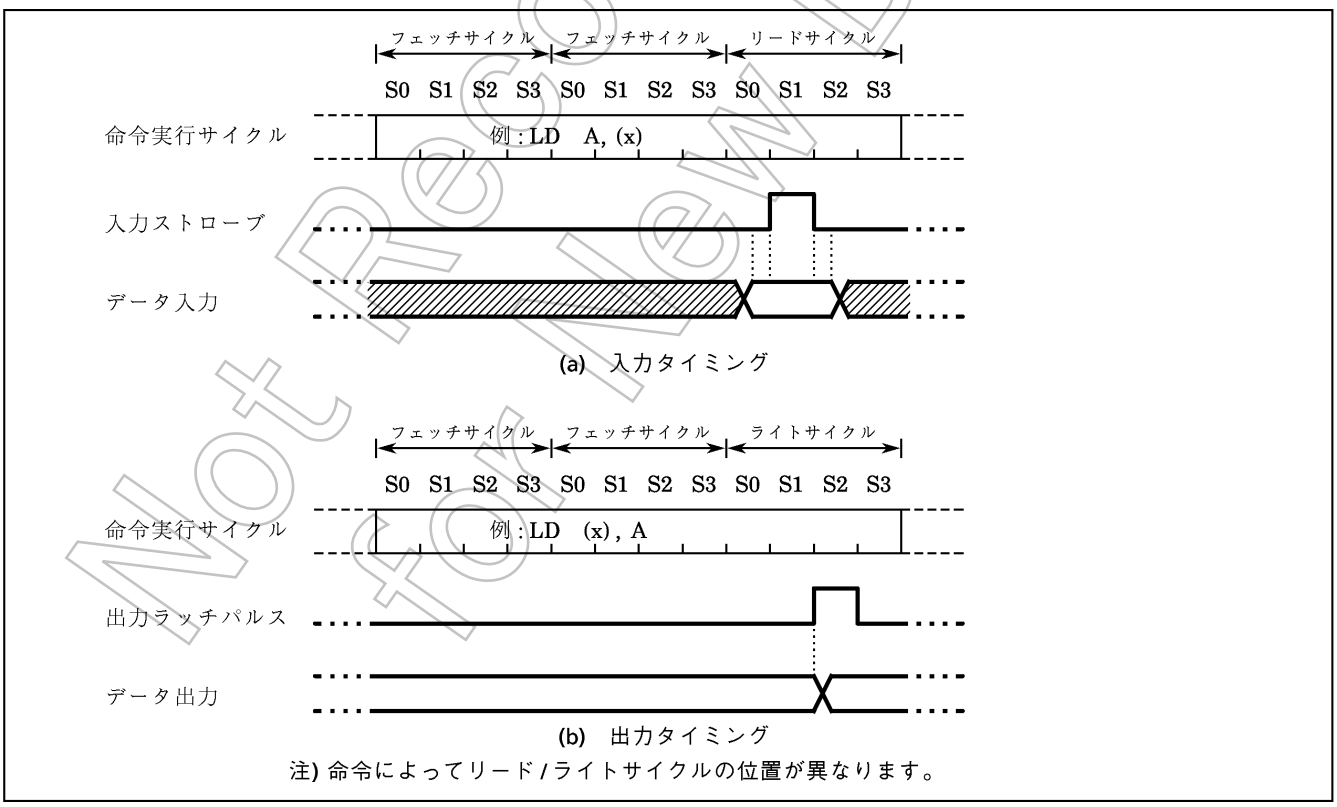


図2-2. 入出力タイミング (例)

Not Recommended for New Design

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

(1) 出力ラッチの内容を読み込む命令

① XCH r, (src)
② SET / CLR / CPL (src).b
③ SET / CLR / CPL (pp).g
④ LD (src).b, CF
⑤ LD (pp).b,CF
⑥ ADD / ADDC / SUB / SUBB / AND / OR / XOR (src), n
⑦ ADD / ADDC / SUB / SUBB / AND / OR / XOR (src), (HL) 命令の (src) 側

(2) 端子入力値を読み込む命令

上記以外の命令およびADD / ADDC / SUB / SUBB / AND / OR / XOR (src), (HL) 命令の (HL) 側

2.2.1 P0 (P07~P00) ポート

P0ポートは、1ビット単位で入出力の指定ができる8ビット汎用入出力ポートです。入出力の指定は、P0ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CRは "0" に初期化され、P0ポートは入力モードとなります。また、P0ポート出力ラッチは "0" に初期化されます。

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

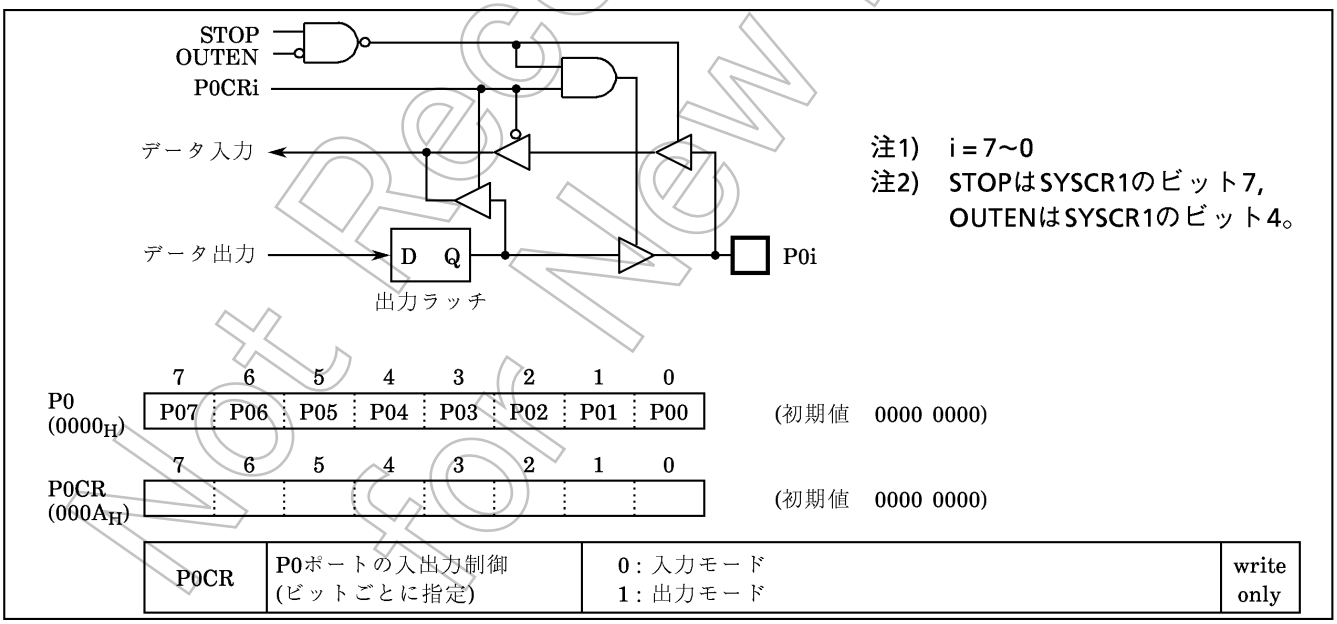


図2-3. P0ポートとP0ポート入出力制御レジスタ

例: P0ポートの上位4ビットを入力ポートに、下位4ビットを出力ポートに設定します。なお、イニシャルは1010_Bを出力します。

```
LD    (P0), 00001010B      ;  P0ポート出力ラッチの初期値設定
LD    (P0CR), 00001111B    ;  P0ポートの入出力モード設定
```

Not Recommended for New Design

2.2.2 P1 (P17~P10) ポート

P1ポートは、1ビット単位で入出力の指定ができる8ビット入出力ポートです。入出力の指定は、P1ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CRは "0" に 初期化され、P1ポートは入力モードとなります。また、P1ポート出力ラッチは "0" に初期化されます。

P1ポートは、外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを "1" にセットし、出力モードに設定します。なお、P11, P12端子は、外部割り込み入力, タイマカウンタ入力または入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10端子は、外部割り込み制御レジスタ(INT0EN)により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10端子は入力ポートとなります。

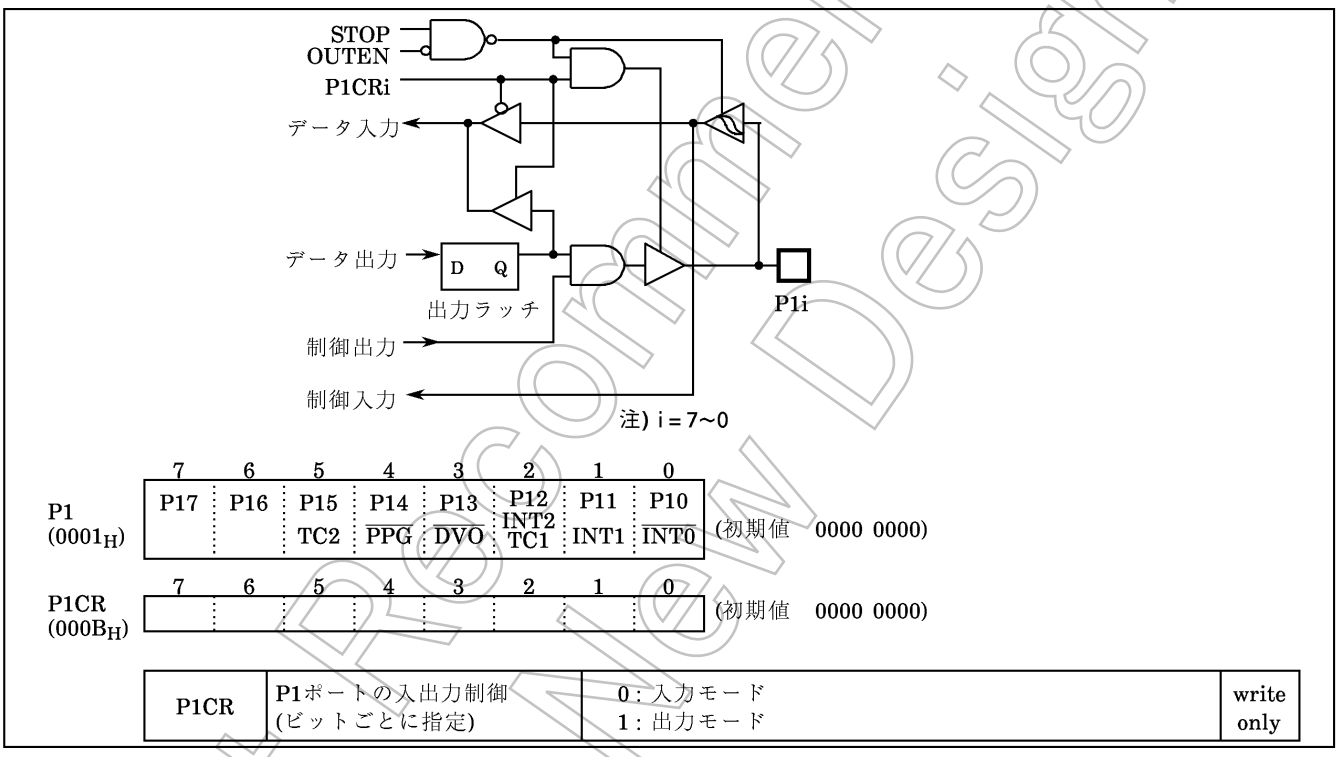


図2-4. P1ポートとP1ポート入出力制御レジスタ

例： P17, P16を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17ピンは "1" に、P16ピンは "0"を出力します。

```
LD    (EINTCR), 01000000B     ;  INT0EN←1
LD    (P1), 10111111B         ;  P17←1, P14←1, P16←0
LD    (P1CR), 11010000B
```

注) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

Not Recommended for New Design

2.2.3 P2 (P22~P20) ポート

P2ポートは、3ビットの入出力ポートで、外部割り込み入力, STOPモード解除信号入力, 低周波発振子接続端子と兼用になっています。これらの機能端子としてまたは入力ポートとして用いる場合は、出力ラッチを "1" にセットします。リセット時、出力ラッチは "1" に初期化されます。

デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XTOUT) 端子には、低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22端子は、通常の入出力ポートとして使用できます。

P20端子は外部割り込み入力, STOPモード解除信号入力, 入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます)。

P2ポートに対してリード命令を実行した場合、ビット7~3は不定値が読み込まれます。

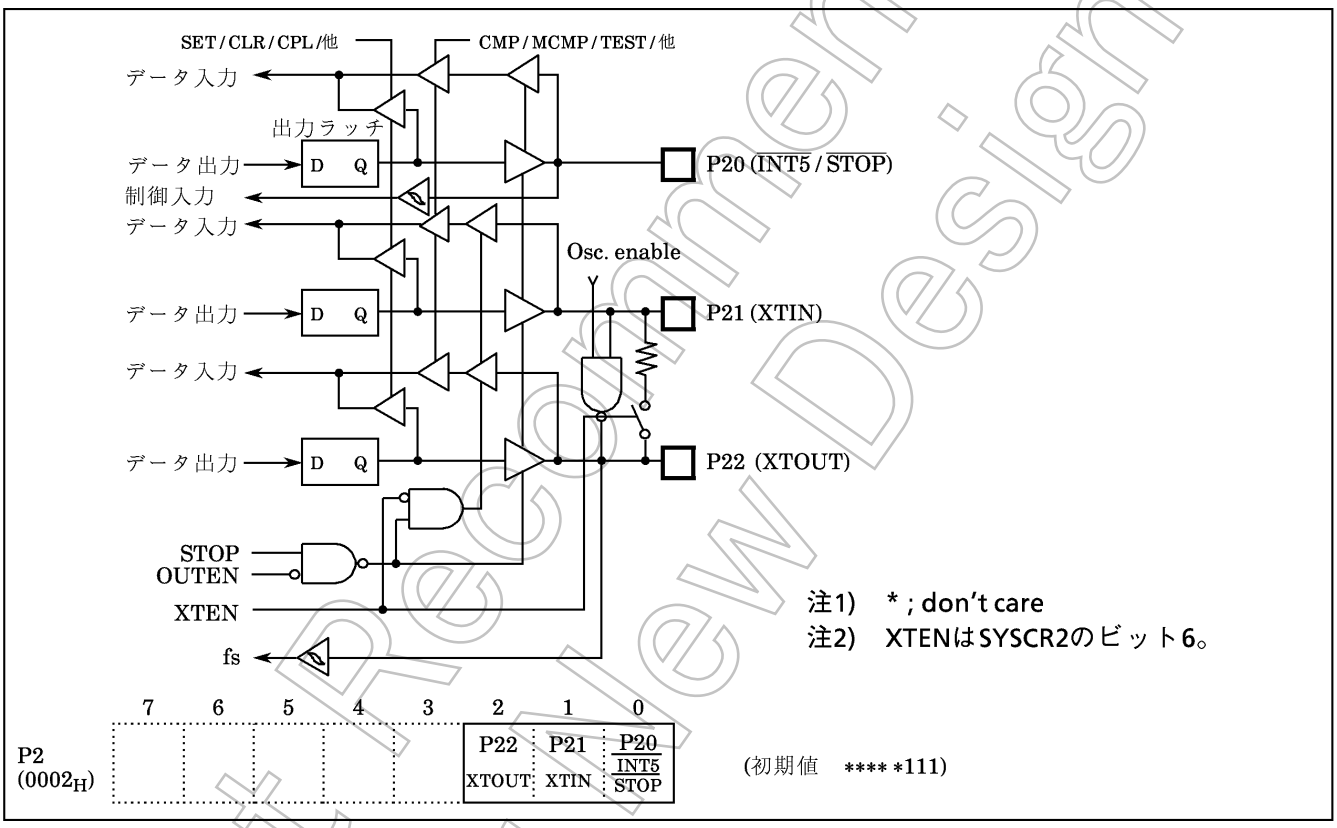


図2-5. P2ポート

2.2.4 P3 (P37~P30) ポート

P3ポートは、8ビットの汎用入出力ポートです。大電流出力可能でLEDを直接駆動することができます。入力ポートとして使用する場合は出力ラッチを "1" にセットします。リセット時、出力ラッチは "1" に初期化されます。

例1: P3ポートに即値 "$5A_H$" を出力。

```
LD    (P3), 5AH          ;  P3←5AH
```

例2: P3ポートの上位4ビット (P37~P34) の出力を反転する。

```
XOR  (P3), 11110000B     ;  P37~P34←P37~P34
```

Not Recommended for New Design

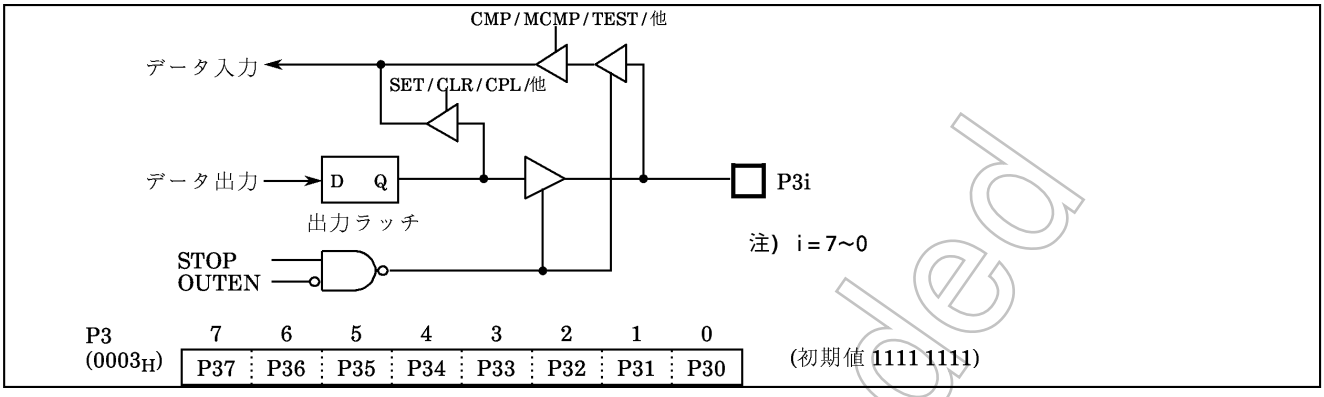


図2-6. P3ポート

2.2.5 P4 (P47~P40) ポート

P4ポートは、8ビットの入出力ポートでSIO1, SIO2のシリアルインタフェース入出力と兼用です。入力ポートまたはシリアルインタフェース入出力として使用する場合は出力ラッチを“1”にセットします。出力ラッチはリセット時“1”に初期化されます。

2.2.6 P5 (P54~P50) ポート

P5ポートは、5ビットの入出力ポートで外部割り込み入力, タイマカウンタ入出力と兼用です。入力または機能ピンとして用いる場合は、出力ラッチを“1”にセットします。出力ラッチはリセット時“1”に初期化されます。

P5ポートに対してリード命令を実行した場合、ビット7~5は“1”が読み込まれます。

例： P53端子のクリア (“L” 出力)

CLR (P5).3 ; P53←0

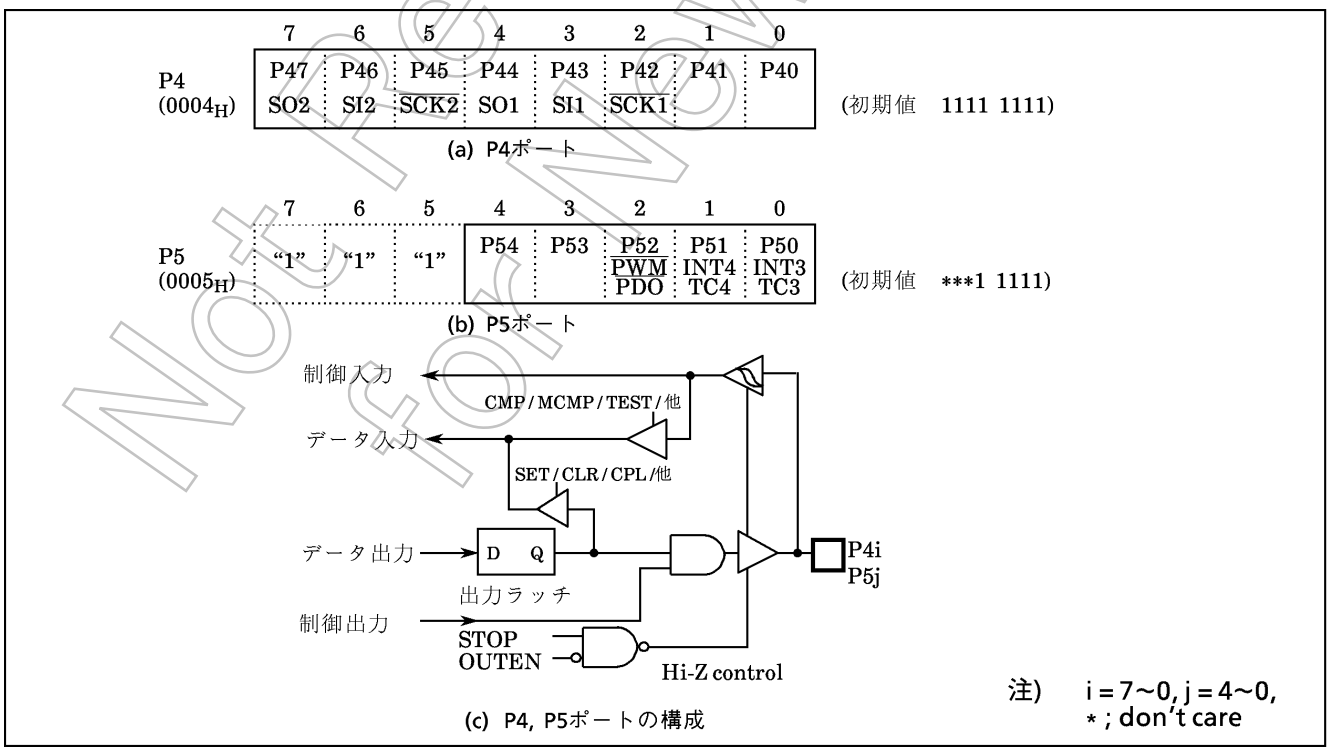


図2-7. P4, P5ポート

Not Recommended for New Design

2.2.7 P6 (P67～P60) ポート

P6ポートは、1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートで、アナログ入力と兼用です。入出力の指定は、P6ポート入出力制御レジスタ (P6CR) とAINDS (ADCCRのビット4) によって行います。リセット時、P6CRは "1" にセットされ、AINDSは "0" にクリアされますので、P6ポートはアナログ入力となります。また、P6ポートの出力ラッチはリセット時に "0" に初期化されます。なお、P6CRは書き込み専用レジスタです。A/Dコンバータを使用する場合、アナログ入力として使用しないP6ポートは、入力ポートとしてのみ使用できます。

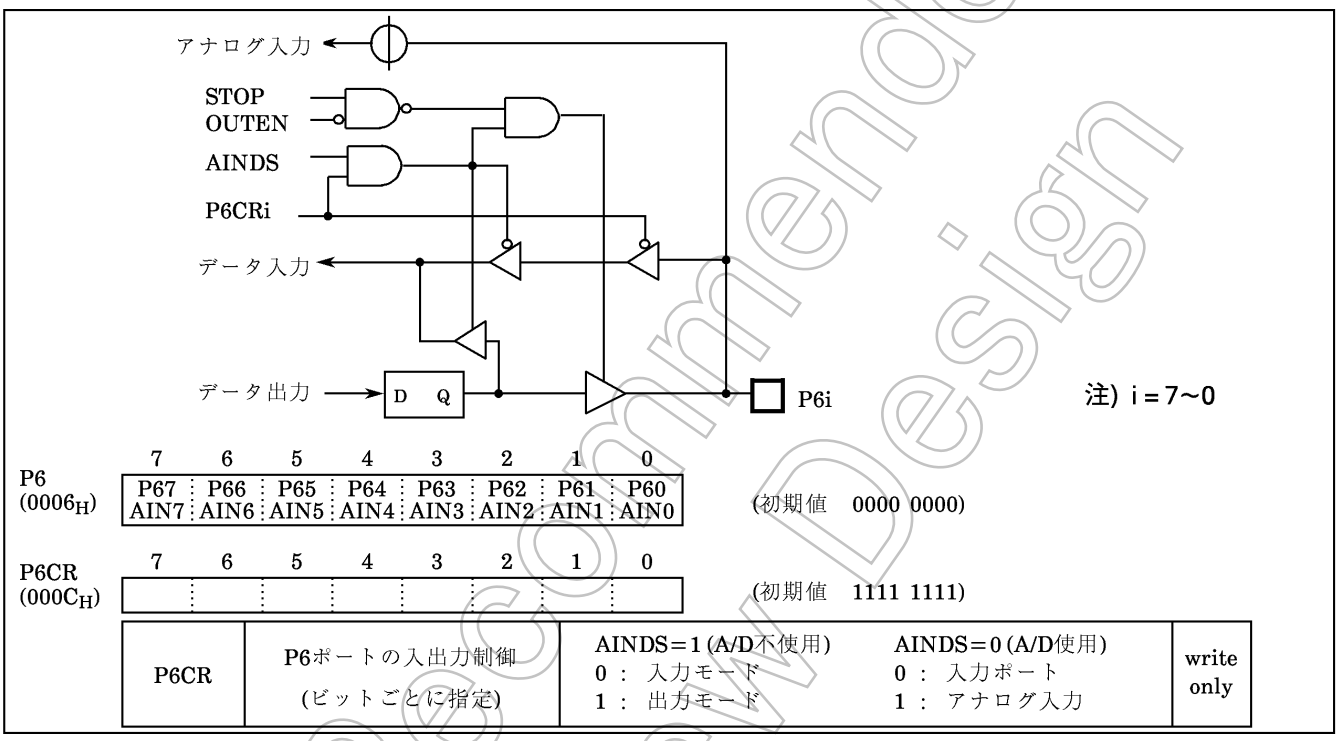


図2-8. P6ポートとP6ポート入出力制御レジスタ

Not Recommended for New Design

2.2.8 P7 (P77～P70) ポート

P7ポートは、1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。入出力の指定は、P7ポート入出力制御レジスタ (P7CR) によって行います。リセット時、P7CRは "0" にクリアされ、P7ポートは入力モードとなります。また、P7ポートの出力ラッチは"0"に初期化されます。なお、P7CRは書き込み専用レジスタです。

P7ポートは、マスクオプションによりポート単位でプルアップ抵抗 (typ. 70 kΩ) を内蔵することができます。

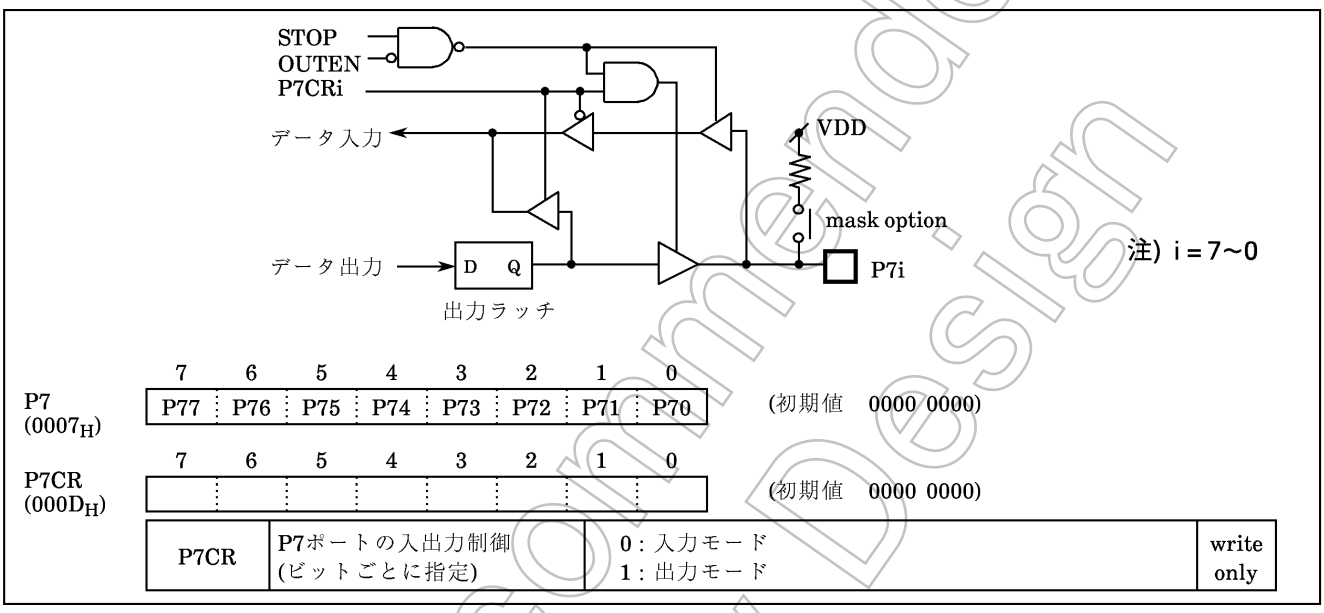


図2-9. P7ポートとP7ポート入出力制御レジスタ

注)	入力モードに設定されているポートは、端子入力の状態をリードしますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

例 : P7ポートの下位4ビットを出力ポートに、そのほかを入力ポートに設定します。

```
LD    (P7CR), 0FH        ;   P7CR←00001111
```

Not Recommended for New Design

2.3 タイムベース タイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力をTBTCKで選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-10. (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできます。

例 :タイムベースタイマ割り込み周波数を$fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD    (TBTCR) , 00001010B
SET   (EIRL) . 6
```

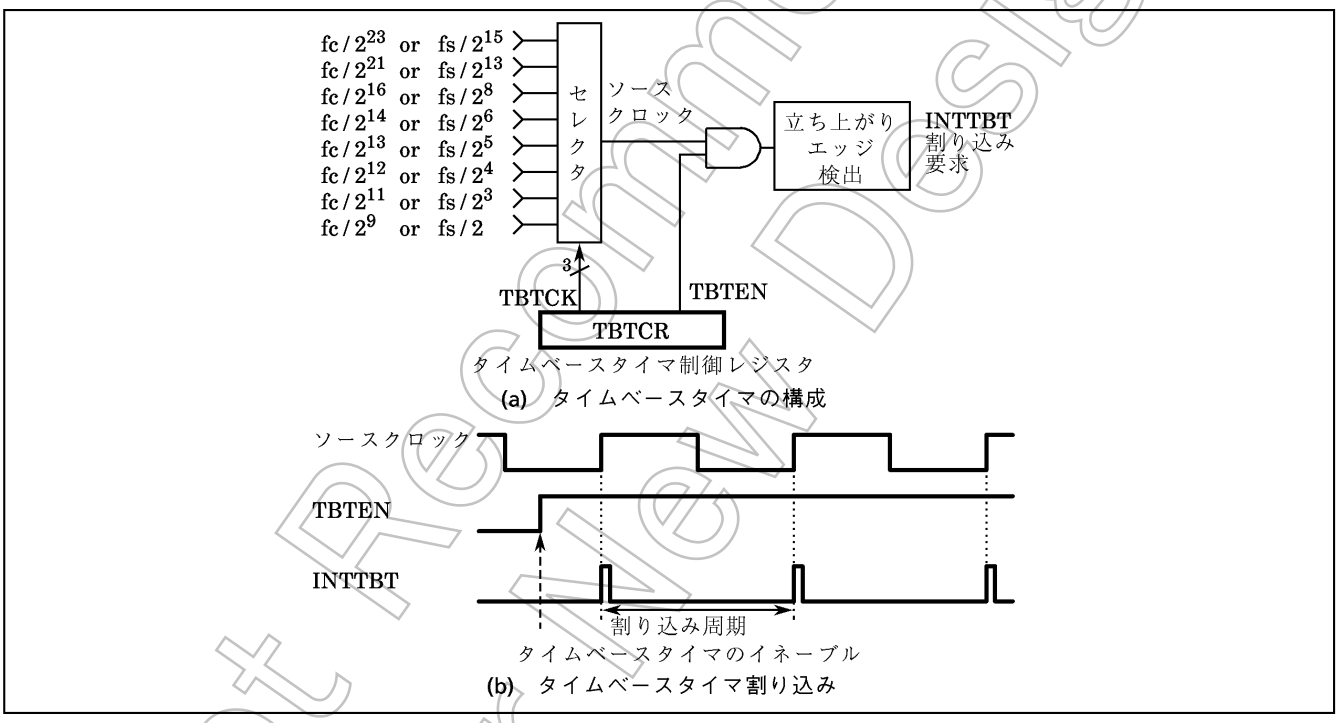


図2-10. タイムベースタイマ

Not Recommended for New Design

TBTCR (0036_H)

7	6	5	4	3	2	1	0
(DVOEN)	(DVOCK)		(DV7CK)	TBTEN	TBTCK		

(初期値　0**0 0***)

TBTEN	タイムベースタイマの許可/禁止	0：ディセーブル 1：イネーブル	R/W
TBTCK	タイムベースタイマ割り込み周波数の選択	000：fc/2^{23} または fs/2^{15} [Hz] 001：fc/2^{21} または fs/2^{13} 010：fc/2^{16} または fs/2^{8} 011：fc/2^{14} または fs/2^{6} 100：fc/2^{13} または fs/2^{5} 101：fc/2^{12} または fs/2^{4} 110：fc/2^{11} または fs/2^{3} 111：fc/2^{9} または fs/2	

注)　fc；高周波クロック [Hz]　fs；低周波クロック [Hz]　*；don't care

図2-11. タイムベースタイマ制御レジスタ

表2-1. タイムベースタイマ割り込み周波数

TBTCK	NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	割り込み周波数	
	DV7CK＝0	DV7CK＝1		fc＝8 MHz時	fs＝32.768 kHz時
000	fc/2^{23}	fs/2^{15}	fs/2^{15}	0.95 Hz	1 Hz
001	fc/2^{21}	fs/2^{13}	fs/2^{13}	3.81	4
010	fc/2^{16}	fs/2^{8}	−	122.07	128
011	fc/2^{14}	fs/2^{6}	−	488.28	512
100	fc/2^{13}	fs/2^{5}	−	976.56	1024
101	fc/2^{12}	fs/2^{4}	−	1953.12	2048
110	fc/2^{11}	fs/2^{3}	−	3906.25	4096
111	fc/2^{9}	fs/2	−	15625	16384

2.4　デバイダ出力 ($\overline{DVO}$)

タイミング ジェネレータのデバイダによってデューティ50 %のパルスを出力することができ、ブザーなどの駆動に利用できます。デバイダ出力は、P13 ($\overline{DVO}$) 端子から出力されます。なお、P13ポートは出力ラッチを "1" にセットしたあと出力モードに設定します。

TBTCR (0036_H)

7	6	5	4	3	2	1	0
DVOEN	DVOCK		(DV7CK)	(TBTEN)	(TBTCK)		

(初期値　0**0 0***)

DVOEN	デバイダ出力の許可/禁止	0：ディセーブル 1：イネーブル	R/W
DVOCK	デバイダ出力 ($\overline{DVO}$端子) の周波数選択	00 ： fc/2^{13} または fs/2^{5} [Hz] 01 ： fc/2^{12} または fs/2^{4} 10 ： fc/2^{11} または fs/2^{3} 11 ： fc/2^{10} または fs/2^{2}	

注)　fc；高周波クロック [Hz]，　fs ；　低周波クロック [Hz]，　* ；don't care

図2-12. デバイダ出力制御レジスタ

Not Recommended for New Design

例： 1 kHzのパルスを出力 (fc＝8 MHz時)。

```
SET  (P1).3                  ;  P13出力ラッチ←1
LD   (P1CR), 00001000B       ;  P13を出力モードに設定
LD   (TBTCR), 10000000B      ;  DVOEN←1, DVOCK←00
```

表2-2. デバイダ出力の周波数

DVOCK	デバイダ出力の周波数	fc＝4.194304 MHz時	fc＝8 MHz時	fs＝32.768 kHz時
00	$fc / 2^{13}$または$fs / 2^5$	0.512 [kHz]	0.976 [kHz]	1.024 [kHz]
01	$fc / 2^{12}$ $fs / 2^4$	1.024	1.953	2.048
10	$fc / 2^{11}$ $fs / 2^3$	2.048	3.906	4.096
11	$fc / 2^{10}$ $fs / 2^2$	4.096	7.812	8.192

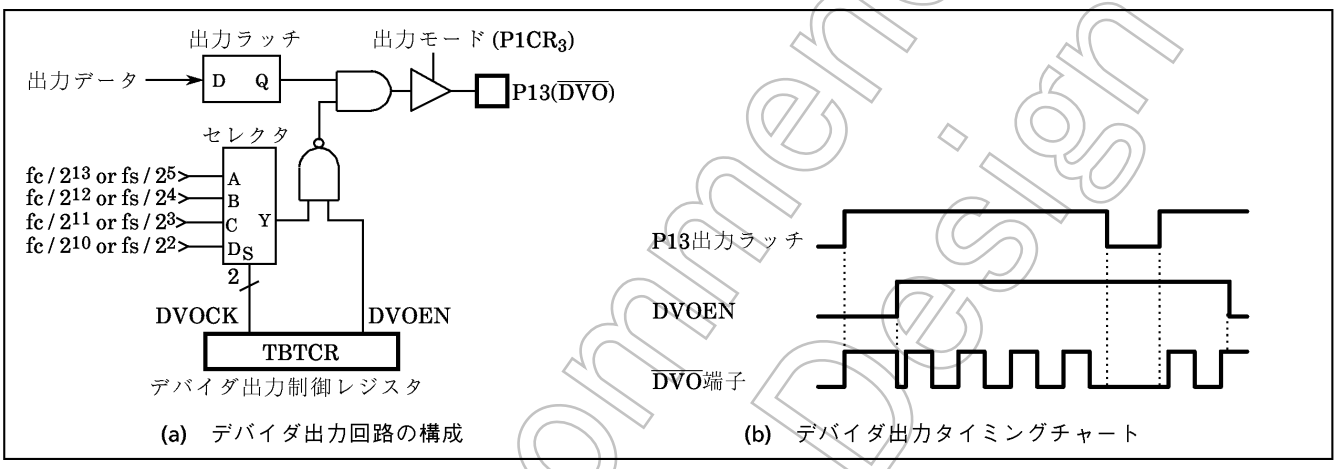


図2-13. デバイダ出力

Not Recommended for New Design

2.5 16ビットタイマカウンタ1 (TC1)

2.5.1 構 成

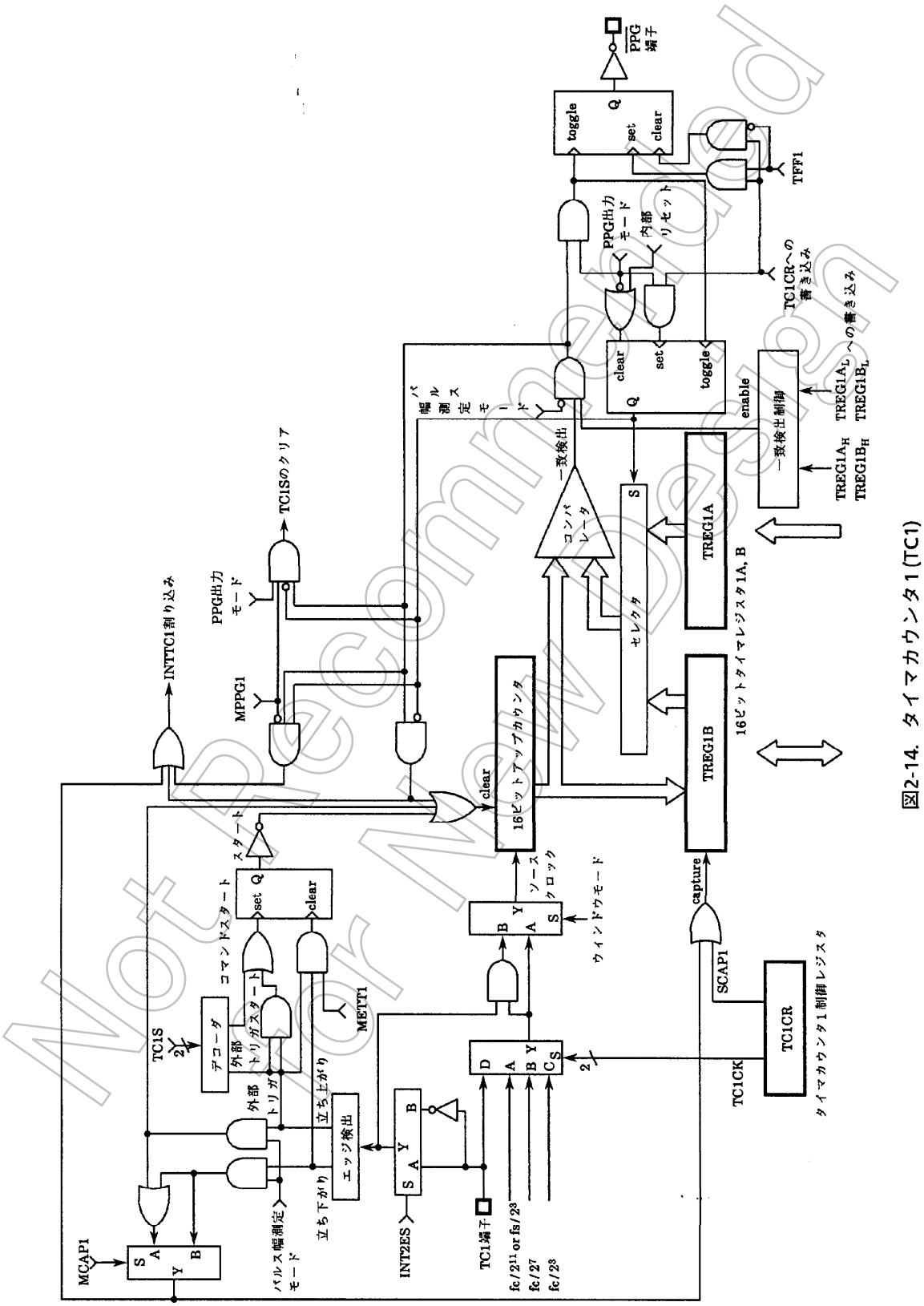


図2-14. タイマカウンタ1 (TC1)

Not Recommended for New Design

2.5.2 制　御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と2本の16ビットタイマレジスタ (TREG1A / TREG1B) で制御されます。

タイマレジスタ	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1A ($0010, 0011_H$)	$TREG1A_H$ (0011_H)								$TREG1A_L$ (0010_H)							
TREG1B ($0012, 0013_H$)	$TREG1B_H$ (0013_H)								$TREG1B_L$ (0012_H)							

Write only

タイマカウンタ1制御レジスタ　　Read / Write (PPG出力モード時のみWrite可)

	7	6	5	4	3	2	1	0
TC1CR (0014_H)	TFF1	SCAP1 MCAP1 METT1 MPPG1	TC1S		TC1CK		TC1M	

(初期値　0000 0000)

TC1M	タイマカウンタ1の 動作モードの選択	00 : タイマ / 外部トリガタイマ / イベントカウンタモード 01 : ウィンドウモード 10 : パルス幅測定モード 11 : PPG (プログラマブルパルスジェネレート)出力モード	write only
TC1CK	タイマカウンタ1の ソースクロックの選択	00 : 内部クロック　fc / 2^{11} または fs / 2^3　[Hz] 01 :　〃　fc / 2^7 10 :　〃　fc / 2^3 11 : 外部クロック (TC1端子入力)	
TC1S	タイマカウンタ1の スタート制御	00 : ストップ&カウンタクリア 01 : コマンドスタート 10 : reserved 11 : 外部トリガスタート	
SCAP1	ソフトキャプチャ制御	0 : –　1 : ソフトキャプチャトリガ	
MCAP1	パルス幅測定モード制御	0 : 両エッジキャプチャ　1 : 片エッジキャプチャ	
METT1	外部トリガタイマモード制御	0 : トリガスタート　1 : トリガスタート&ストップ	
MPPG1	PPG出力制御	0 : 連続　1 : 単発	
TFF1	タイマF / F1制御	0 : クリア　1 : セット	

注1)　fc ; 高周波クロック [Hz]　fs ; 低周波クロック [Hz]

注2)　タイマレジスタの下位側 ($TREG1A_L$, $TREG1B_L$) に書き込むと上位側 ($TREG1A_H$, $TREG1B_H$) への書き込みが終わるまで、一致検出を停止します (従ってタイマ/レジスタの下位側だけの変更はできません)。また、上位側への書き込み後1サイクル以内 (すなわち命令実行中) の一致検出も無視されます。

注3)　モード, ソースクロック, エッジ (INT2ESを含む), PPG出力制御, タイマF / F1制御は、停止 (TC1S = 00) 状態で設定してください。

注4)　ソフトキャプチャは、タイマ, イベントカウンタモードでのみ使用可能です。SCAP1 はソフトキャプチャ後自動的に "0" にクリアされます。

注5)　タイマレジスタへの設定値は、次の条件を満足する必要があります。
TREG1A > TREG1B > 0 (PPG出力モード) , TREG1A > 0 (PPG出力モード以外)

注6)　PPG出力モード以外は、TFF1 = 0としてください。

注7)　TREG1Bは、PPG出力モードに設定後でなければ書き込みできません。

注8)　TC1CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注9)　パルス幅測定モードにおいてソースクロックにfc/2^3を選択した場合、読み出されるカウンタ値 (TREG1B) の最下位ビット (ビット0) は常に '0' となります。その他のソースクロックではカウントに応じたカウンタ値が読み出されます。

図2-15. タイマカウンタ1のタイマレジスタと制御レジスタ

Not Recommended for New Design

2.5.3 機　能

タイマカウンタ1には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の6つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1A (TREG1A) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。なお、SCAP1 (TC1CRのビット6) を "1" にセットすることで、そのときのアップカウンタの内容をタイマレジスタ1B (TREG1B) に取り込むことができます (ソフトキャプチャ機能)。SCAP1は、キャプチャ後自動的に "0" にクリアされます。

表2-3. タイマカウンタ1のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1 /2, IDLE1 /2モード		SLOW, SLEEP モード	fc＝8 MHz時	fs＝32.768 kHz時	fc＝8 MHz時	fs＝32.768 kHz時
DV7CK＝0	DV7CK＝1					
$fc / 2^{11}$	$fs / 2^3$	$fs / 2^3$ [Hz]	256 μs	244.14 μs	16.8 s	16.0 s
$fc / 2^7$	$fc / 2^7$	–	16 μs	–	1.0 s	–
$fc / 2^3$ [Hz]	$fc / 2^3$ [Hz]	–	1 μs	–	65.5 ms	–

例1　:　ソースクロック$fs / 2^3$ [Hz] でタイマモードにセットし、1 s後に割り込みを発生させる (fs＝32.768 kHz時)。

```
LDW     (TREG1A), 1000H     ;  タイマレジスタの設定 (1 s÷2³ / fs＝1000H)
SET     (EIRL). EF4         ;  INTTC1割り込みを許可
EI
LD      (TC1CR), 00010000B  ;  TC1スタート
```

注)　TC1CR は書き込み専用レジスタですので、[SET (TC1CR) . 4] 命令によるスタートはできません。

例2　:　ソフトキャプチャ

```
LD    (TC1CR) , 01010000B   ;  SCAP1←1
LD    WA, (TREG1B)          ;  キャプチャ値の読み出し
```

Not Recommended for New Design

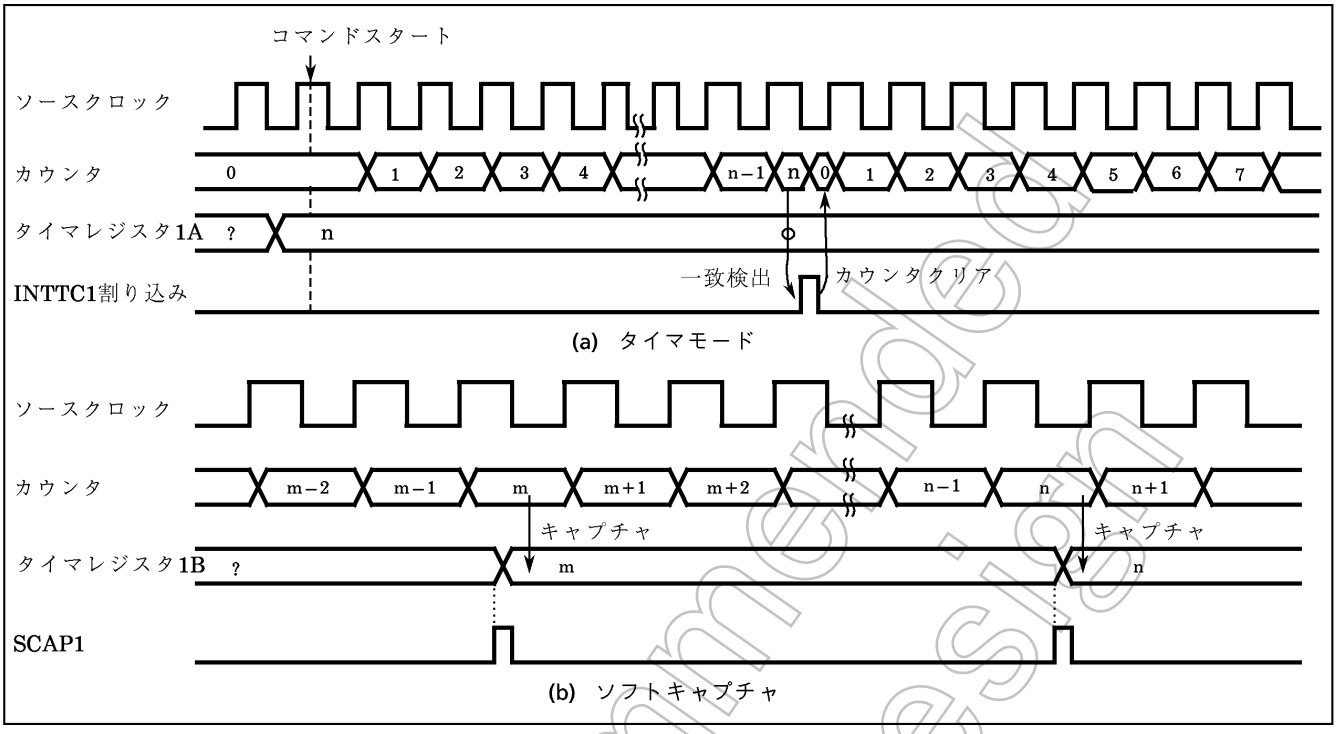


図2-16. タイマモードタイミングチャート

(2) 外部トリガタイマモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT2端子のエッジ選択と共通)をトリガにしてカウントをスタートするタイマモードです(ソースクロックは内部クロックです)。カウンタ値とTREG1A設定値の一致でINTTC1割り込み発生し、カウンタはクリアされて停止します。TC1端子入力のエッジによりカウントアップは再開します。

METT1(TC1CRのビット6)が"1"の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅をもったパルス入力で割り込みを発生させることができます。METT1が"0"の場合は、逆方向のエッジ入力は無視されます。また、一致検出前のTC1端子入力のエッジも無視されます。

TC1端子入力にはINT2端子と同じノイズ除去回路が付いていますので、NORMAL 1, 2またはIDLE1, 2モード時7/fc[s]以下のパルスはノイズとして除去されます。確実にエッジ検出が行われるためには24/fc[s]以上のパルス幅が必要です。SLOWまたはSLEEPモード時はノイズ除去回路はオフしますが1マシンサイクル以上のパルス幅が必要です。

例1 : TC1端子入力の立ち上がりエッジから100 μs後に割り込みを発生させる(fc=8 MHz時)。

```
LD(EINTCR), 00000000B;   INT2ES←0(立ち上がりエッジ)
LDW (TREG1A), 0064H ;    100 μs÷2³/fc=64H
SET (EIRL).EF4      ;    INTTC1割り込み許可
EI
LD(TC1CR), 00111000B ;   TC1外部トリガスタート, METT=0
```

Not Recommended for New Design

例2 : TC1端子に“L”レベル幅4 ms以上のパルスが入力されたら割り込みを発生させる (fc＝8 MHz時)。

```
LD      (EINTCR), 00000100B   ;  INT2ES←1 (“L” レベル)
LDW     (TREG1A), 00FAH       ;  4 ms÷27 / fc＝FAH
SET     (EIRL).EF4            ;  INTTC1割り込み許可
EI
LD      (TC1CR), 01110100B    ;  TC1外部トリガスタート, METT＝1
```

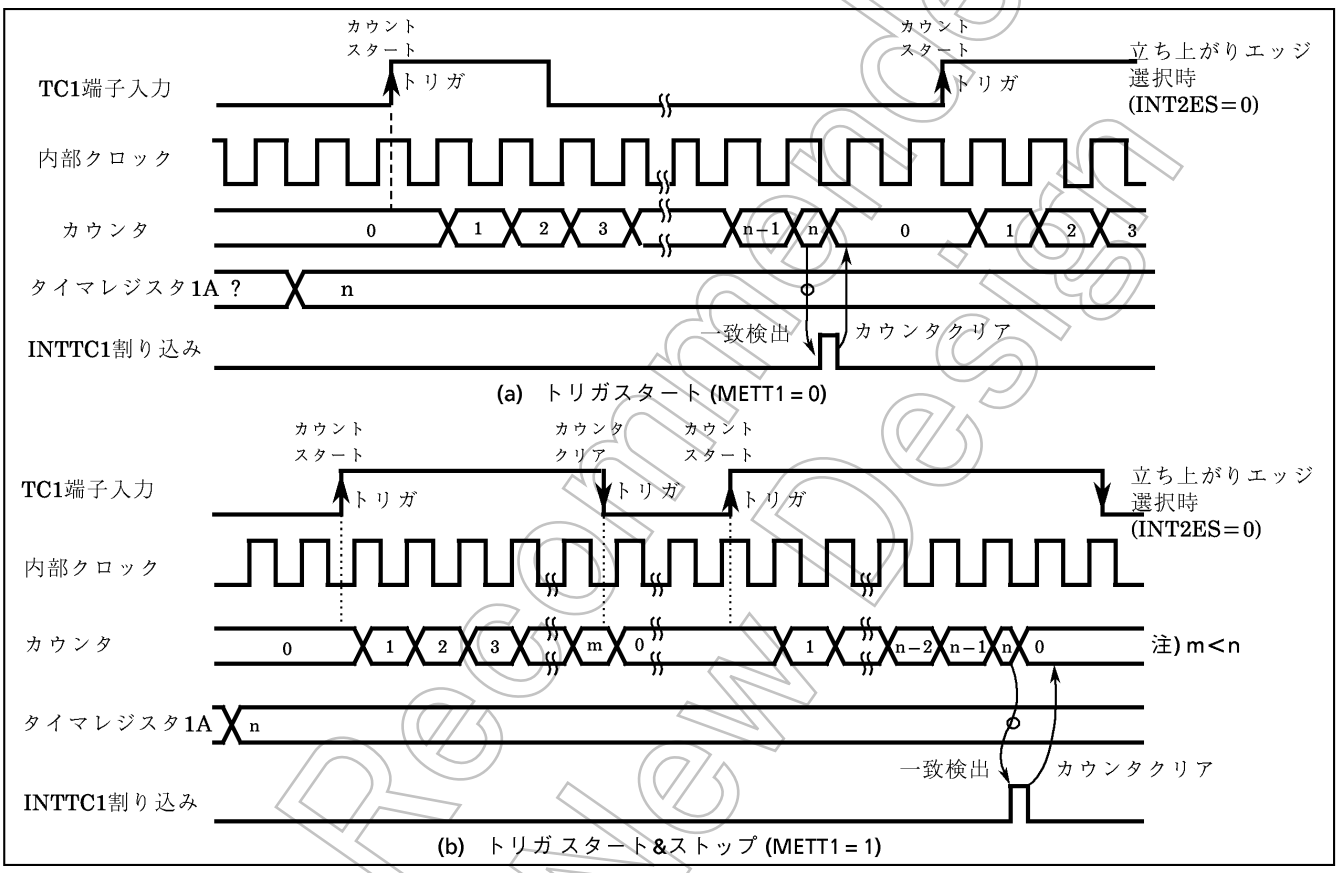


図2-17. 外部トリガタイマモード タイミングチャート

Not Recommended for New Design

(3) イベントカウンタモード

TC1端子入力のエッジ (立ち上がり/立ち下がりエッジを選択可能。エッジ選択は、INT2端子のエッジ選択と共通) でカウントアップするモードです。カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。カウンタクリア後もTC1端子入力のエッジごとにカウントアップします。最大印加周波数は、fc / 2^4 [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs / 2^4 [Hz] (SLOW, SLEEPモード時) です。

SCAP1を "1" にセットすることにより、そのときのアップカウンタの内容をTREG1Bに取り込むことができます (ソフトキャプチャ機能)。

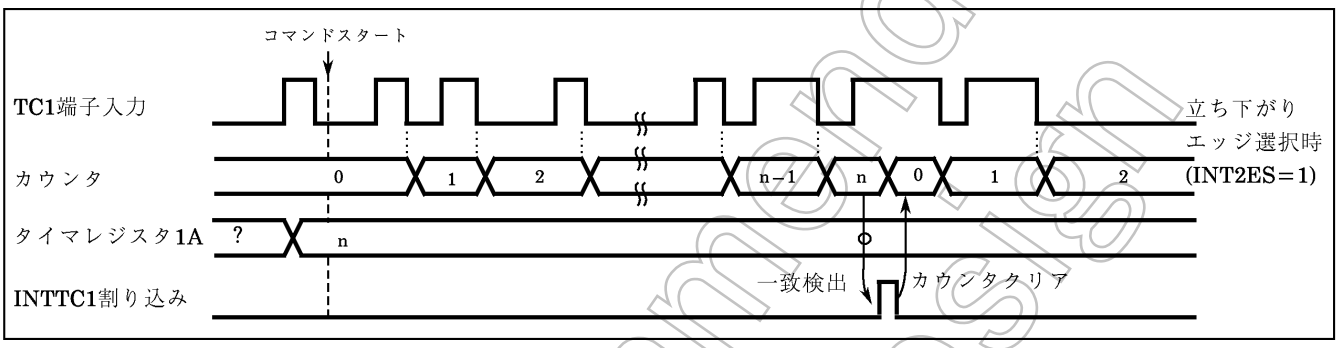


図2-18. イベントカウンタモード タイミングチャート

(4) ウィンドウモード

TC1端子入力 (ウィンドウパルス) と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップし、カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。TC1端子入力は、正論理/負論理の選択ができます (INT2端子のエッジ選択と共通)。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要があります。すなわち、設定した内部クロックより十分に遅い周波数となります。

Not Recommended for New Design

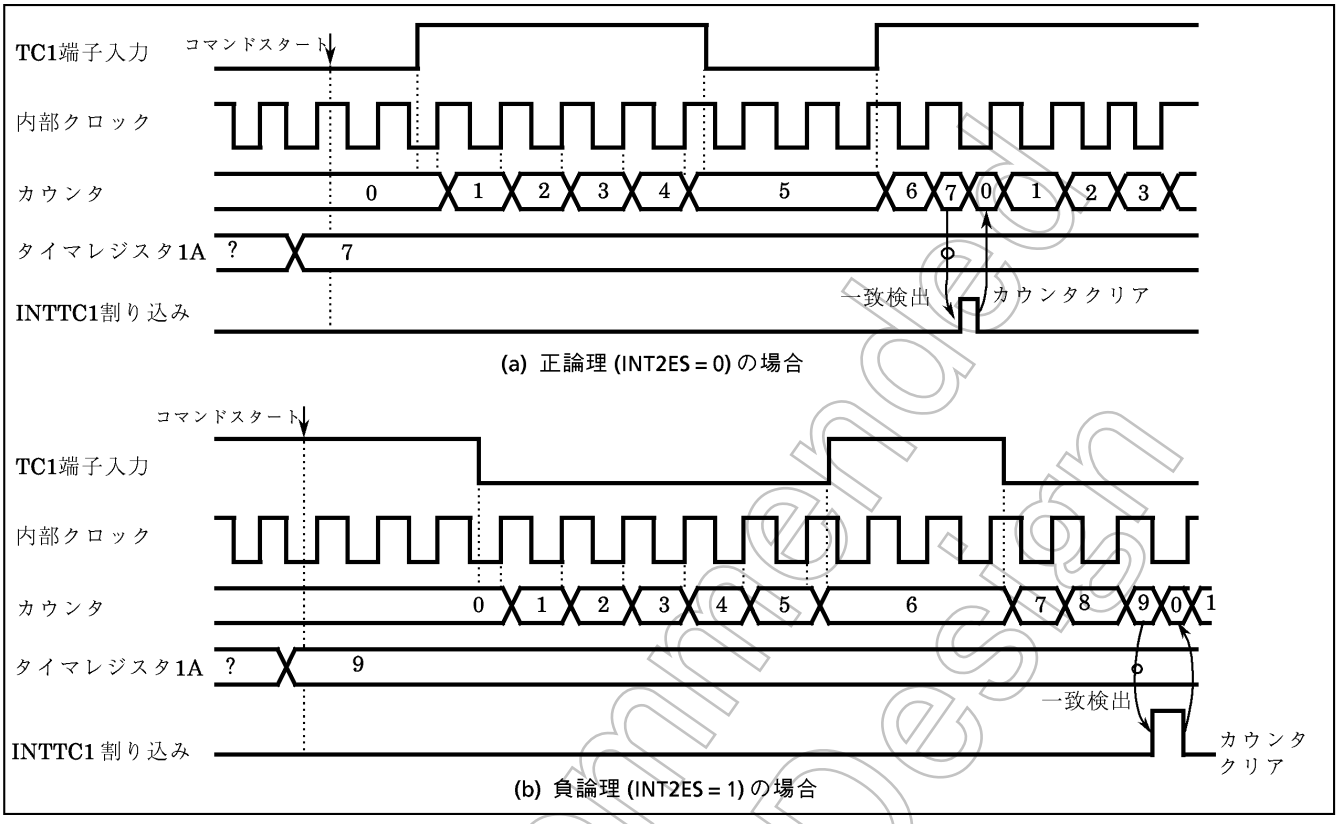


図2-19. ウィンドウモード タイミングチャート

(5) パルス幅測定モード

TC1端子入力の立ち上がり (立ち下がり) エッジをトリガにしてカウントをスタートします (TC1CRで外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり (立ち上がり) エッジでカウンタの内容をTREG1Bに取り込み、割り込みを発生します。片エッジキャプチャに設定した場合はカウンタはクリアされます。両エッジキャプチャに設定した場合はカウントは継続し、次の立ち上がり (立ち下がり) エッジで再びカウンタの内容をTREG1Bに取り込みます。なお、立ち下がり (立ち上がり) エッジでのキャプチャ値が必要な場合は、立ち上がり (立ち下がり) エッジが検出されるまでにTREG1Bの内容を読み出す必要があります。立ち上がり/立ち下がりエッジの選択はINT2ESで行い、片エッジ/両エッジキャプチャの選択はMCAP1 (TC1CRのビット6) で行います。

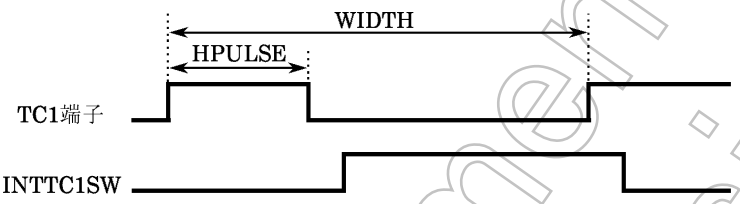
例： デューティの測定 (分解能fc / 2^7 [Hz])

```
CLR   (INTTC1SW). 0          ;  INTTC1のサービススイッチの初期設定
LD    (EINTCR), 00000000B    ;  INT2ESを立ち上がりエッジに設定
LD    (TC1CR), 00000110B     ;  TC1のモード, ソースクロックを設定
SET   (EIRL). EF4            ;  INTTC1割り込みを許可。
EI
LD    (TC1CR), 00110110B     ;  MCAP1＝0でTC1を外部トリガスタート。
 ⋮
```

Not Recommended for New Design

```
PINTTC1 :  CPL   (INTTC1SW). 0          ;  INTTC1のサービススイッチの反転/テスト
           JRS   F, SINTTC1
           LD    (HPULSE), (TREG1BL)    ;  TREG1Bの読み出し (“H” レベルパルス幅)
           LD    (HPULSE＋1), (TREG1BH)
           RETI
SINTTC1 :  LD    (WIDTH), (TREG1BL)     ;  TREG1Bの読み出し (周期)
           LD    (WIDTH＋1), (TREG1BH)
            ⋮                ;  デューティ計算
           RETI
            ⋮

VINTTC1 :  DW    PINTTC1
```



パルス幅測定モードにおいてソースクロックにfc/2³を選択した場合、読み出されるカウンタ値(TREG1B) の最下位ビット (ビット0) は常に ‘0’ となります。その他のソースクロックではカウントに応じたカウンタ値が読み出されます。

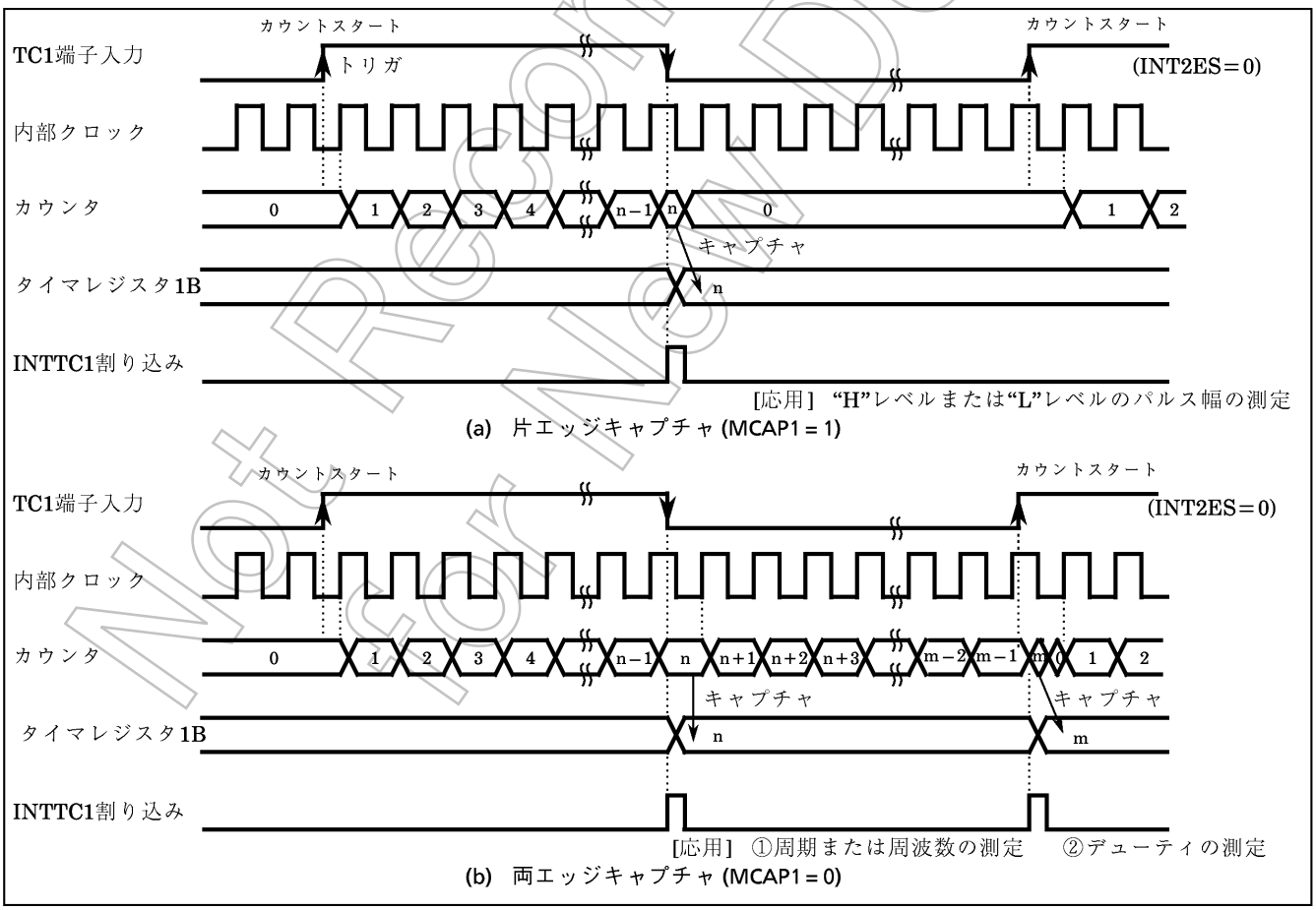


図2-20. パルス幅測定モード

Not Recommended for New Design

(6) プログラマブル パルス ジェネレート (PPG) 出力モード

TC1端子入力のエッジ (立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、INT2端子のエッジ選択と共通) またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。TREG1Bとの一致でタイマF/F1を反転します。連続出力の場合 (MPPG1＝0) は、INTTC1割り込みが発生します。次にTREG1Aとの一致でタイマF/F1を再び反転し、カウンタをクリアします。このとき、INTTC1割り込みも発生します。タイマF/F1出力は、反転されてP14 ($\overline{PPG}$) 端子に接続されています。PPG出力を行う場合、P14出力ラッチを "1" にセットし、出力モードに設定します。タイマF/F1は、リセット時 "0" にクリアされます。また、TFF1 (TC1CRのビット7) でタイマF/F1の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。なお、TREG1Bは、PPG出力モードに設定されていないと書き込みできません。

例： "H"レベル800 μs, "L"レベル200 μsのパルスを出力(fc＝8 MHz時)。

```
SET     (P1).4                ;  P14出力ラッチ←1
LD      (P1CR), 00010000B     ;  P14を出力モードに設定
LD      (TC1CR), 10001011B    ;  PPG出力モードに設定
LDW     (TREG1A), 03E8H       ;  周期の設定(1 ms÷1 μs＝03E8H)
LDW     (TREG1B), 00C8H       ;  "L"レベルパルス幅の設定(200 μs÷1 μs＝00C8H)
LD      (TC1CR), 10010011B    ;  スタート
```

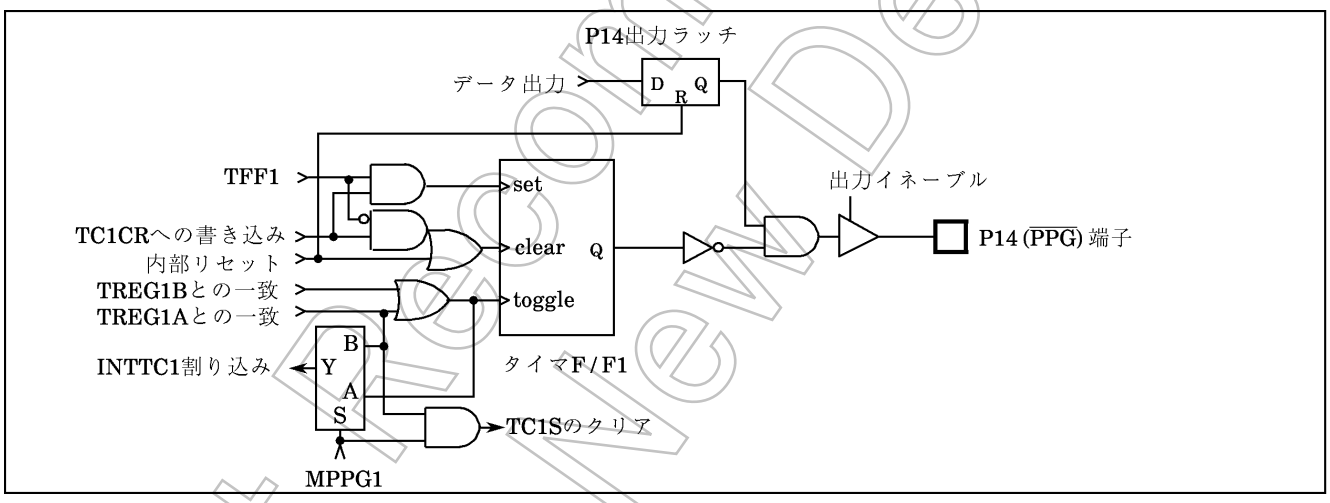


図2-21. $\overline{PPG}$出力

Not Recommended for New Design

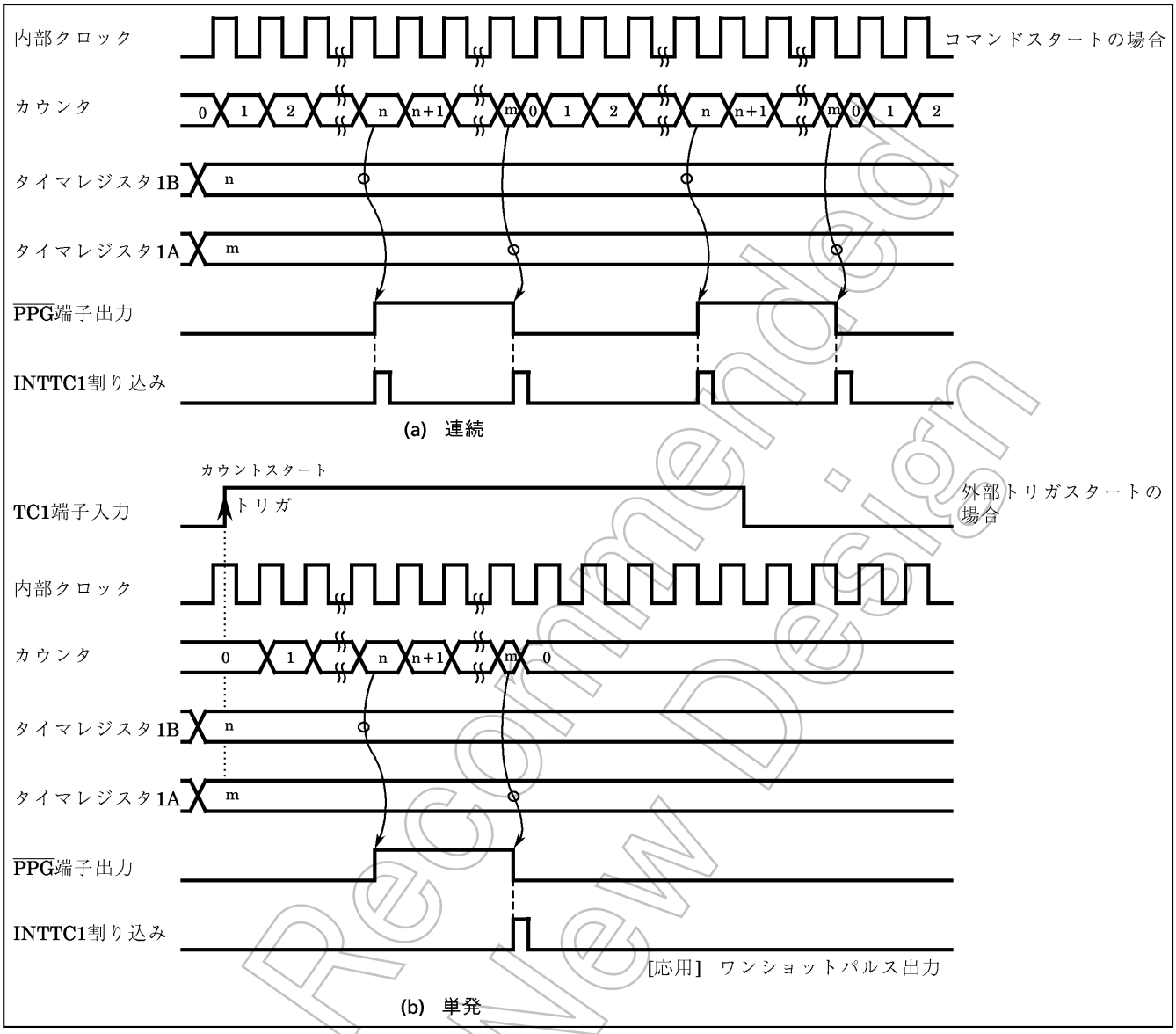


図2-22. PPG出力モード タイミングチャート

Not Recommended for New Design

2.6 16ビット タイマカウンタ2 (TC2)

2.6.1 構 成

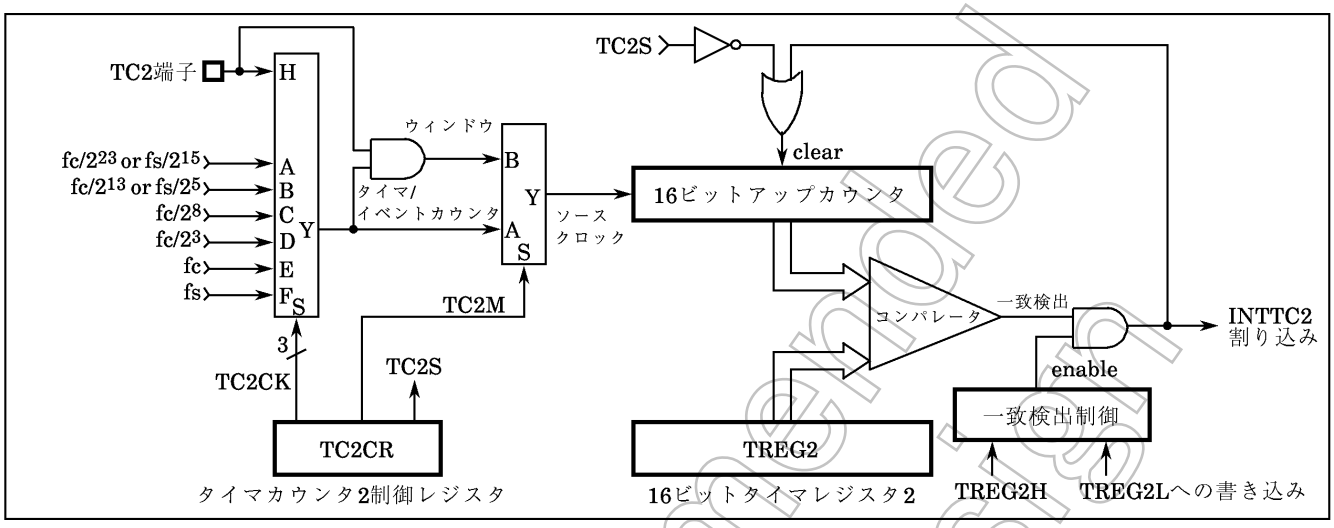


図2-23. タイマカウンタ2 (TC2)

2.6.2 制 御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TREG2) で制御されます。

Not Recommended for New Design

TREG2 (0016, 0017_H)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
$TREG2_H$ (0017_H)								$TREG2_L$ (0016_H)							

write only

TC2CR (0015_H)

7	6	5	4	3	2	1	0
		TC2S	TC2CK				TC2M

(初期値 **00 00*0)

TC2M	タイマカウンタ2の動作モードの選択	0：タイマ/イベントカウンタモード 1：ウィンドウモード	write only
TC2CK	タイマカウンタ2のソースクロックの選択	000：内部クロック　$fc/2^{23}$ または $fs/2^{15}$ [Hz] 001：〃　$fc/2^{13}$ または $fs/2^{5}$ 010：〃　$fc/2^{8}$ 011：〃　$fc/2^{3}$ 100：〃　fc (注5) 101：〃　fs 110：reserved 111：外部クロック (TC2端子入力)	
TC2S	タイマカウンタ2のスタート制御	0：ストップ&カウンタクリア 1：スタート	

注1) fc ; 高周波クロック [Hz]　fs ; 低周波クロック [Hz]　* ; don't care

注2) タイマレジスタの下位側 ($TREG2_L$) に書き込みすると上位側 ($TREG2_H$) への書き込みが終わるまで一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。

注3) モード, ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注4) タイマレジスタへの設定値は、次の条件を満足する必要があります。
TREG2＞0 (ウォーミングアップのときは$TREG2_{15\sim11}$＞0)

注5) ソースクロックにfcを選択できるのは、SLOWモード時のタイマモードだけです。

注6) TC2CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-24. タイマカウンタ2のタイマレジスタと制御レジスタ

2.6.3 機　能

タイマカウンタ2には、タイマ、イベントカウンタとウィンドウの3つの動作モードがあります。また、SLOWモードからNORMAL2へモードへの切り替え時のウォーミングアップの際、通常タイマカウンタ2をタイマモードで使用します。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ2 (TREG2) 設定値との一致でINTTC2割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOWモードでソースクロックにfcを選択した場合は、TREG2の下位11ビットは無視され、上位5ビットの一致で割り込みを発生します。従って、この場合$TREG2_H$の設定だけで済みます。

Not Recommended for New Design

表2-4. タイマカウンタ2のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOWモード	SLEEPモード	fc＝8 MHz時	fs＝32.768 kHz時	fc＝8 MHz時	fs＝32.768 kHz時
DV7CK＝0	DV7CK＝1						
$fc/2^{23}$[Hz]	$fs/2^{15}$[Hz]	$fs/2^{15}$[Hz]	$fs/2^{15}$[Hz]	1.05 s	1 s	19.1 h	18.2 h
$fc/2^{13}$	$fs/2^{5}$	$fs/2^{5}$	$fs/2^{5}$	1.02 ms	1 ms	1.1 min	1 min
$fc/2^{8}$	$fc/2^{8}$	–	–	32 μs	–	2.1 s	–
$fc/2^{3}$	$fc/2^{3}$	–	–	1 μs	–	65.5 ms	–
–	–	fc (注)	–	125 ns	–	7.9 ms	–
fs	fs	–	–	–	30.5 μs	–	2 s

注) fc はタイマモードでのみ使用可能。これは、SLOW モードから NORMAL2 モードに切り替える場合のウォーミングアップ用です。

例： ソースクロック$fc/2^3$ [Hz] で、タイマモードにセットし、25 msごとに割り込み発生させる (fc＝8 MHz時)。

```
LDW  (TREG2), 61A8H      ;  TREG2の設定 (25 ms÷2^3 / fc＝61A8H)
SET  (EIRH).EF14         ;  INTTC2割り込みを許可
EI
LD   (TC2CR), 00101100B  ;  TC2スタート
```

(2) イベントカウンタモード

TC2端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値とTREG2設定値との一致でINTTC2割り込み発生し、カウンタはクリアされます。TC2端子への最大印加周波数は、$fc/2^4$ [Hz] (NORMAL1/2またはIDLE1/2モード時)、$fs/2^4$ [Hz] (SLOW, SLEEPモード時)です。"H", "L" レベルとも2マシンサイクル以上のパルス幅が必要です。

例： イベントカウンタモードにセットし、640カウント後にINTTC2割り込みを発生させる。

```
LDW  (TREG2), 640        ;  TREG2の設定
SET  (EIRH).EF14         ;  INTTC2割り込みを許可
EI
LD   (TC2CR), 00111100B  ;  TC2スタート
```

(3) ウィンドウモード

TC2外部端子入力 (ウィンドウパルス) が "H" レベルの間、内部クロックでカウントアップするモードです。カウンタ値とTREG2設定値との一致で、INTTC2割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部クロックよりも十分遅い周波数である必要があります。

例： 120 ms以上の "H" レベルパルスが入力されると割り込みを発生させる。(fc＝8 MHz時)

```
LDW  (TREG2), 0078H      ;  TREG2の設定 (120 ms÷2^13/fc＝0078H)
SET  (EIRH).EF14         ;  INTTC2割り込みを許可
EI
LD   (TC2CR), 00100101B  ;  TC2スタート
```

Not Recommended for New Design

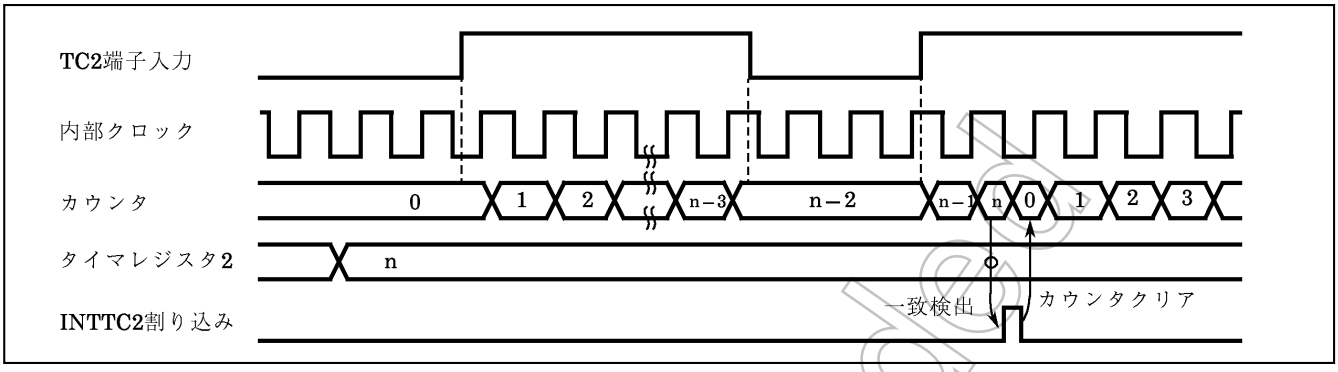


図2-25. ウィンドウモード タイミングチャート

2.7 8ビットタイマカウンタ3 (TC3)

2.7.1 構 成

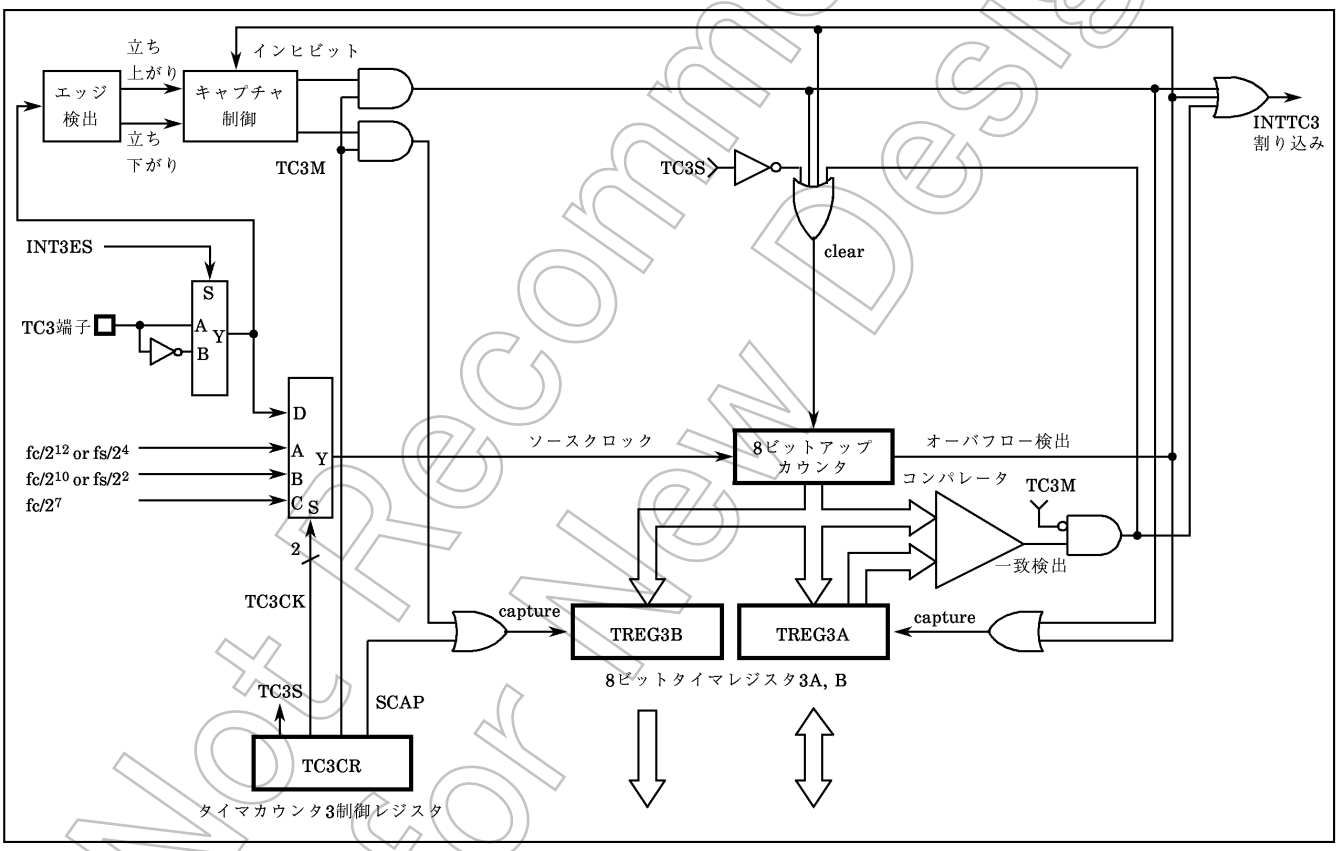


図2-26. タイマカウンタ3 (TC3)

Not Recommended for New Design

2.7.2 制　御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TREG3A, TREG3B) で制御されます。

	7	6	5	4	3	2	1	0	
TREG3A (0018_H)									Read / Write
TREG3B (0019_H)									Read only
TC3CR ($001A_H$)		SCAP		TC3S	TC3CK			TC3M	(初期値　*0*0 00*0)

TC3M	タイマカウンタ3の動作モードの選択	0 : タイマ/イベントカウンタモード 1 : キャプチャモード	write only
TC3CK	タイマカウンタ3のソースクロックの選択	00 : 内部クロック　$fc/2^{12}$ or $fs/2^4$ [Hz] 01 :　〃　$fc/2^{10}$ or $fs/2^2$ 10 :　〃　$fc/2^7$ 11 : 外部クロック (TC3端子入力)	
TC3S	タイマカウンタ3のスタート制御	0 : ストップ&カウンタクリア 1 : スタート	
SCAP	ソフトキャプチャ制御	0 : – 1 : ソフトキャプチャ	

注1)　fc ; 高周波クロック[Hz]　fs ; 低周波クロック[Hz]　* ; don't care
注2)　モード, ソースクロック, エッジ (INT3ES) は、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。
注3)　タイマレジスタ3Aへの設定値は、次の条件を満足する必要があります。
　　TREG3A＞0 (タイマ/イベントカウンタモード時)
注4)　ソフトキャプチャはタイマ/イベントカウンタモード時のみ使用可能です。
注5)　TC3CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-27. タイマカウンタ3のタイマレジスタと制御レジスタ

2.7.3 機　能

タイマカウンタ3には、タイマ, イベントカウンタ, キャプチャの3つの動作モードがあります。

(1)　タイマモード

内部クロックでカウントアップするモードで、カウンタ値とタイマレジスタ3A (TREG3A) 設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。SCAP (TC3CRのビット6) を "1" にセットすることにより、そのときのアップカウンタの内容をタイマレジスタ3B (TREG3B) に取り込むことができます (ソフトキャプチャ機能)。SCAP は、キャプチャ後自動的に "0" にクリアされます。

表2-5. タイマカウンタ3のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード DV7CK=0	NORMAL1/2, IDLE1/2モード DV7CK=1	SLOW, SLEEP モード	fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
$fc/2^{12}$ [Hz]	$fs/2^4$ [Hz]	$fs/2^4$ [Hz]	512 μs	488.28 μs	131.1 ms	124.5 ms
$fc/2^{10}$ [Hz]	$fs/2^2$	–	128 μs	122.07 μs	32.6 ms	31.1 ms
$fc/2^7$	$fc/2^7$	–	16 μs	–	4.1 ms	–

Not Recommended for New Design

(2) イベントカウンタモード

TC3端子入力 (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3端子のエッジ選択と共通) パルスでカウントアップするモードです。カウンタ値とTREG3A設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、fc / 2^4 [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs / 2^4 [Hz] (SLOW, SLEEPモード時) です。"H", "L" レベルとも2マシンサイクル以上のパルス幅が必要です。

SCAP (TC3CRのビット6) を "1" にセットすることにより、そのときのアップカウンタの内容をTREG3Bに取り込むことができます (ソフトキャプチャ機能)。SCAP はキャプチャ後自動的に "0" にクリアされます。

例： TC3端子に50Hzのパルスを入力し、0.5 sごとに割り込みを発生させる。

```
LD    (TREG3A) , 19H        ;  0.5 s÷1 / 50＝25＝19H
LD    (TC3CR) , 00011100B   ;  TC3スタート
```

(3) キャプチャモード

TC3端子入力のパルス幅, 周期, デューティなどを測定するモードで、リモコン信号のデコードやAC50 / 60Hz識別などに利用できます。カウンタを内部クロックでフリーランニングし、TC3端子入力 (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は, INT3端子のエッジ選択と共通) の立ち上がり (立ち下がり) エッジでカウンタ値をTREG3Aに取り込みカウンタをクリアするとともにINTTC3割り込みが発生します。また、TC3端子入力の立ち下がり (立ち上がり) エッジではカウンタ値をTREG3Bに取り込みます。この場合はカウント継続し、次の立ち上がり (立ち下がり) エッジでカウンタ値をTREG3Aに取り込み、カウンタをクリアするとともに割り込みが発生します。エッジが検出される前にカウンタがオーバフロー (FF_H) するとTREG3AにFF_HをセットしてカウンタをクリアするとともにINTTC3割り込みが発生します。割り込み処理でTREG3Aを読み出してFF_Hであるか否かでオーバフロー発生の有無を判断することができます。なお、割り込み (TREG3Aへのキャプチャまたはオーバフロー検出) の発生後、TREG3Aを読み出すまではキャプチャおよびオーバフロー検出は停止します。ただし、カウントは継続します。TREG3Aを読み出すとキャプチャ/オーバフロー検出が再開されますので, 通常TREG3Bから先に読み出します。

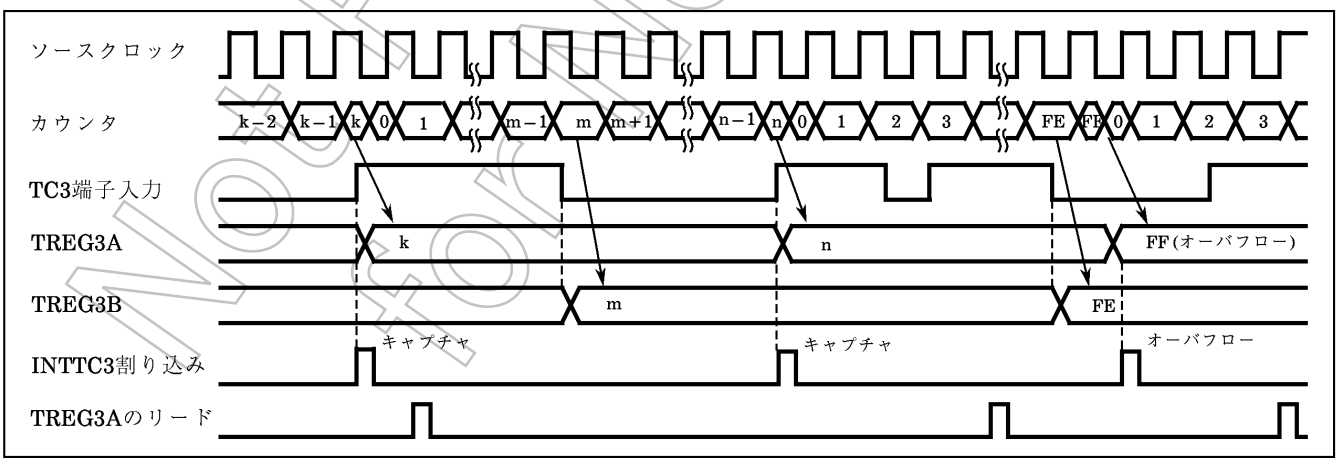


図2-28. キャプチャモードタイミングチャート (INT3ES = 0の場合)

Not Recommended for New Design

2.8 8ビットタイマカウンタ (TC4)

2.8.1 構 成

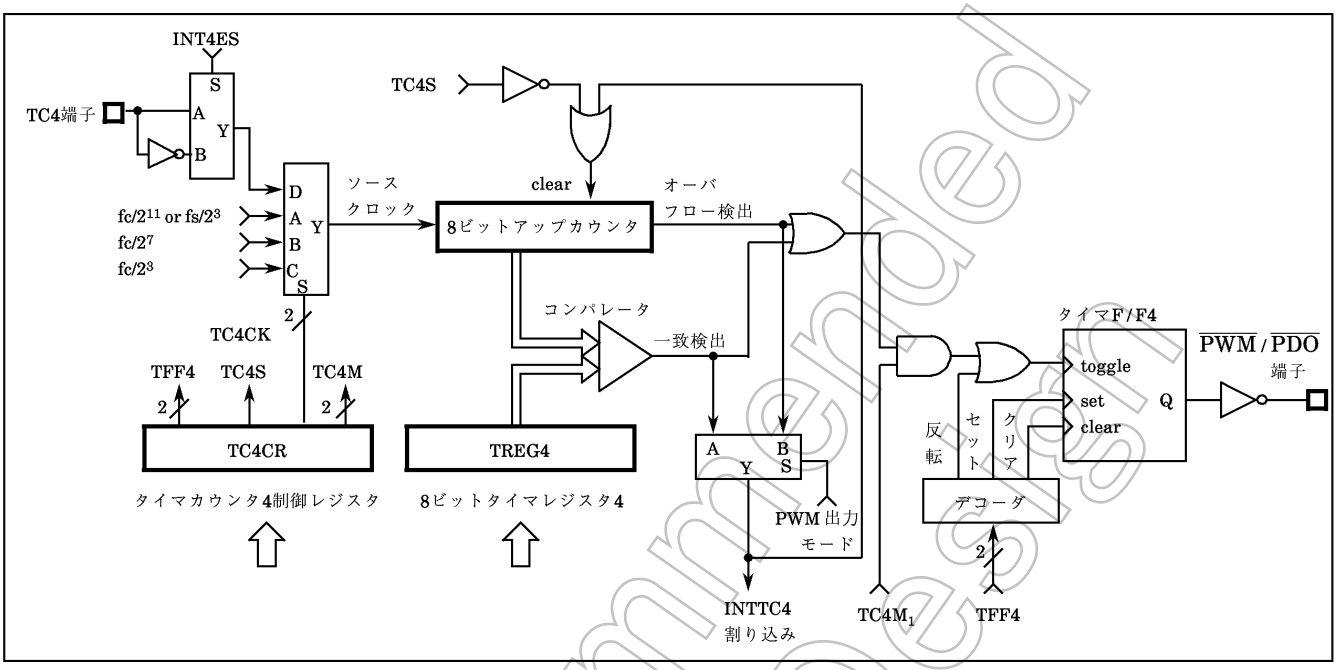


図2-29. タイマカウンタ4 (TC4)

Not Recommended for New Design

2.8.2 制　御

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) とタイマレジスタ4 (TREG4) で制御されます。

	7	6	5	4	3	2	1	0	
TREG4 ($001B_H$)									Write only
TC4CR ($001C_H$)	TFF4			TC4S	TC4CK		TC4M		(初期値　00*0 0000)

TC4M	タイマカウンタ4の 動作モードの選択	00 : タイマ/イベントカウンタモード 01 : reserved 10 : プログラマブル デバイダ出力 (PDO) モード 11 : パルス幅変調 (PWM) 出力モード	write only
TC4CK	タイマカウンタ4の ソースクロックの選択	00 : 内部クロック　$fc/2^{11}$または$fs/2^3$[Hz] 01 :　　〃　　$fc/2^7$ 10 :　　〃　　$fc/2^3$ 11 : 外部クロック (TC4端子入力)	
TC4S	タイマカウンタ4の スタート制御	0 : ストップ&カウンタクリア 1 : スタート	
TFF4	タイマF/F4の制御	00 : クリア 01 : 反転 10 : セット 11 : –(注3)	

注1)　fc ; 高周波クロック [Hz], fs ; 低周波クロック [Hz], *; don't care
注2)　動作モード, ソースクロック, エッジ (INT4ES) の選択およびタイマF/F4の制御を行うときは、TC4S = 0にしてください。
注3)　TFF4はタイマ, イベントカウンタモード時は "11" にしてください。
注4)　タイマレジスタへの設定値は次の条件を満足する必要があります。
　　TREG4 > 0
注5)　TC4CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-30. タイマカウンタ4のタイマレジスタと制御レジスタ

2.8.3 機　能

タイマカウンタ4には、タイマ, イベントカウンタ, プログラマブル デバイダ出力, パルス幅変調出力の4つの動作モードがあります。

(1)　タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ4 (TREG4) 設定値との一致でINTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

Not Recommended for New Design

表2-6. タイマカウンタ4のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEP モード	fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
DV7CK=0	DV7CK=1					
$fc/2^{11}$ [Hz]	$fs/2^3$ [Hz]	$fs/2^3$ [Hz]	256 μs	244.14 μs	65.3 ms	62.2 ms
$fc/2^7$	$fc/2^7$	–	16 μs	–	4.1 ms	–
$fc/2^3$	$fc/2^3$	–	1 μs	–	255 ms	–

(2) イベントカウンタモード

TC4端子入力 (外部クロック) パルスでカウントアップ (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT4端子のエッジ選択と共通) するモードです。

カウンタ値とTREG4設定値との一致で、INTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。最大印加周波数は、$fc/2^4$ [Hz] (NORMAL1, 2またはIDLE1, 2モード時), $fs/2^4$ [Hz] (SLOW, SLEEPモード時) で、"H", "L" レベルともに2マシンサイクル以上のパルス幅が必要です。

(3) プログラマブル デバイダ出力 (PDO) モード

内部クロックでカウントアップし、TREG4との一致ごとにタイマF/F4出力を反転し、カウンタをクリアします。タイマF/F4出力は、反転されてP52($\overline{PDO}$)端子に出力されます。プログラマブルデバイダ出力を行う場合は、P52出力ラッチを"1"にセットします。このモードはデューティ50%のパルス出力に利用できます。なお、タイマF/F4はプログラムで初期設定することができます。リセット時タイマF/F4は "0" に初期化されます。$\overline{PDO}$出力反転ごとにINTTC4割り込みが発生します。

例 : 1024 Hzのパルス出力 (fc=4.194304 MHz時)。

```
SET   (P5).2              ;  P52出力ラッチ←1
LD    (TC4CR), 00000110B  ;  PDO設定 (TC4M=10, TC4CK=01)
LD    (TREG4), 10H        ;  1/1024×1/2÷27/fc=10H
LD    (TC4CR), 00010110B  ;  TC4スタート
```

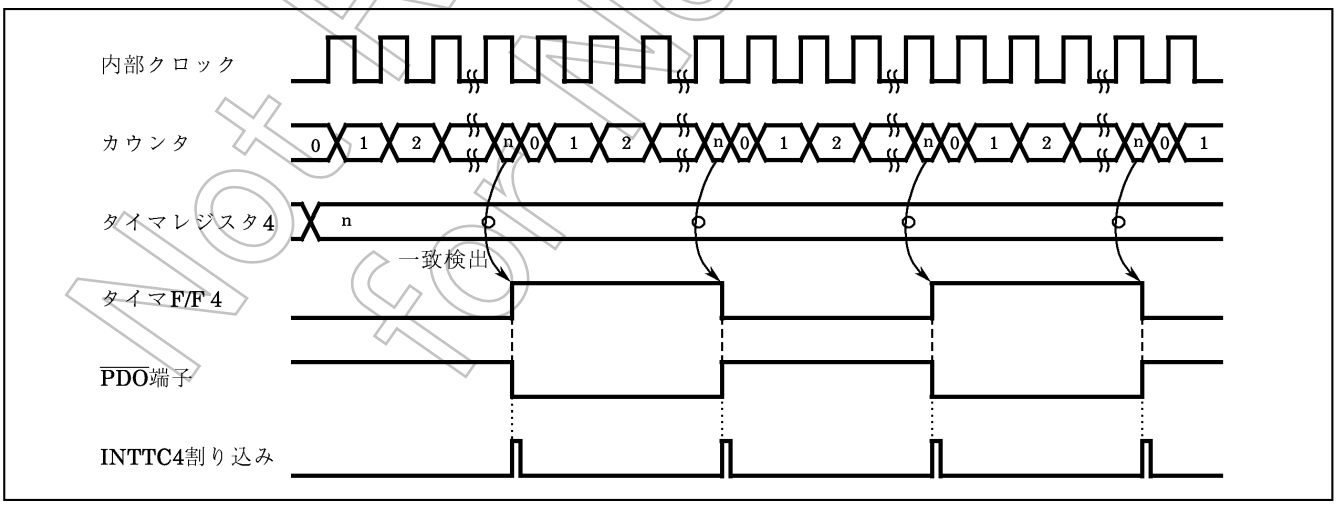


図2-31. PDOモード タイミングチャート

Not Recommended for New Design

(4) パルス幅変調 (PWM) 出力モード

分解能8ビットのPWM出力ができます。内部クロックでカウントアップし、カウンタ値とTREG4設定値との一致でタイマF/F4出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/F4出力を再び反転し、カウンタをクリアします。タイマF/F4出力は反転されて、P52 ($\overline{PWM}$)端子に出力されます。PWM出力を行う場合は, P52出力ラッチを"1"にセットします。なお、オーバフロー時INTTC4割り込みが発生します。

TREG4は、シフトレジスタ (2段) 構成で、PWM出力中にTREG4を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回はTREG4にデータ設定後、TC4CRによりスタートした時点でシフトされます。

注) INTTC4割り込み発生サイクル時のみTREG4を書き替えないでください。通常は、INTTC4割り込みサービスルーチンでTREG4を書き替えます。

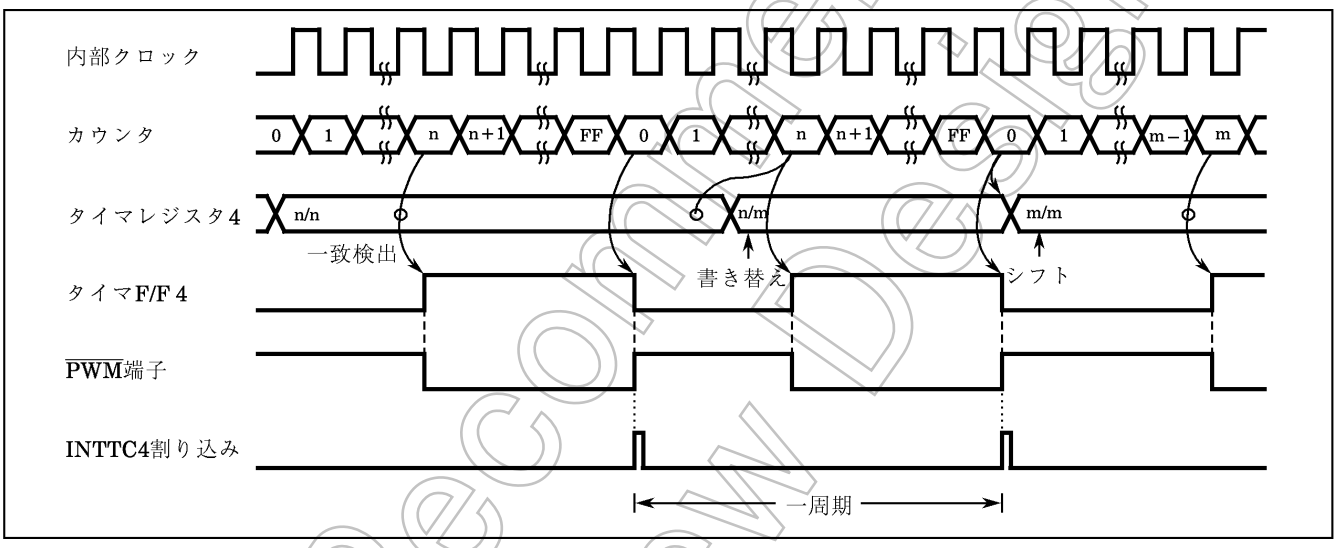


図2-32. PWM出力モード タイミングチャート

表2-7. PWM出力モード

ソースクロック		分解能		繰り返し周期	
NORMAL1/2, IDLE1/2モード		fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
DV7CK=0	DV7CK=1				
fc/2^{11} [Hz]	fc/2^{3} [Hz]	256 μs	244.14 μs	65.5 ms	62.5 ms
fc/2^{7}	fc/2^{7}	16 μs	–	4.1 ms	–
fc/2^{3}	fc/2^{3}	1 μs	–	256 μs	–

Not Recommended for New Design

2.9 シリアル インタフェース (SIO1, SIO2)

87C840/C40/H40/K40A/M40Aは、クロック同期方式の8ビット シリアル インタフェースを2チャネル (SIO1, SIO2) 内蔵しています。各シリアル インタフェースは、それぞれ8バイトの送受信データバッファを持っており、最大64ビットまでのデータを自動的に連続転送することができます。

シリアル インタフェースは、P44 (SO1), P43 (SI1), P42 ($\overline{SCK1}$) および P47 (SO2), P46 (SI2), P45 ($\overline{SCK2}$) 端子を通して外部デバイスと接続されます。シリアル インタフェース端子は、P4ポートと兼用で、シリアル インタフェース端子として使用する場合、P4ポートの出力ラッチを "1" にセットします。なお、送信モード時にはP43, P46端子が、受信モード時には P44, P47端子が、通常の入出力ポートとして使用できます。

2.9.1 構　成

SIO1, SIO2は、制御レジスタ/データバッファレジスタのアドレス, ビット位置を除いて同一構成です。

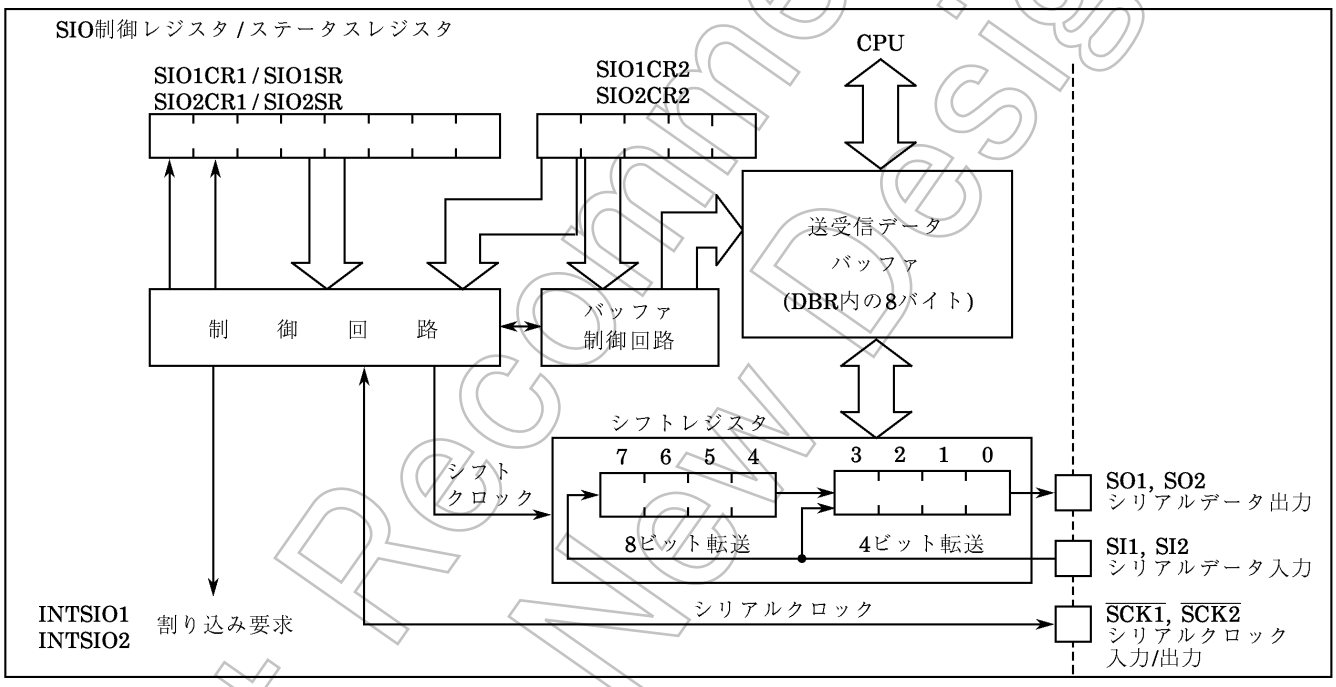


図2-33. シリアル インタフェース

2.9.2 制　御

SIO1, SIO2 の制御は、シリアルインタフェース制御レジスタ (SIO1CR1/SIO1CR2, SIO2CR1/SIO2CR2) で行います。また、ステータスレジスタ (SIO1SR, SIO2SR) を読むことによりシリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、BUF (SIO1CR 2/SIO2CR2のビット2~0) で行います。送受信データバッファは、DBR領域の$0FF0$~$0FF7_H$番地 (SIO1), $0FF8$~$0FFF_H$番地 (SIO2) に割り当てられており、一度に最大8ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み (INTSIO1, INTSIO2) が発生します。

シリアルクロックに内部クロックを用いる場合、8ビット送受信または8ビット受信モードのとき 1ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、WAIT (SIO1CR2/SIO2CR2のビット4, 3) で4種類の中から選択することができます。

Not Recommended for New Design

シリアルインタフェース1, 2制御レジスタ1

SIO1CR1 (0020_H)
SIO2CR1 (0022_H)

7	6	5	4	3	2	1	0
SIOS	SIO INH	SIOM			SCK		

(初期値　0000 0000)

SIOS	転送の開始/終了 指示	0 : 終　了 1 : 開　始	write only
SIOINH	転送の強制停止	0 : 転送継続 1 : 強制停止 (停止後、自動的にクリア)	
SIOM	転送モードの選択	000 : 8ビット 送信モード 010 : 4ビット 送信モード 100 : 8ビット送受信モード 101 : 8ビット 受信モード 110 : 4ビット 受信モード	
SCK	シリアルクロックの選択	000 : 内部クロック $fc/2^{13}$ or $fs/2^5$ [Hz] 001 : 内部クロック $fc/2^8$ 010 : 内部クロック $fc/2^6$ 011 : 内部クロック $fc/2^5$ (SCK端子へ出力) 111 : 外部クロック (SCK端子から入力)	

注1)　転送モード, シリアルクロックの設定時は、SIOS = 0, SIOINH = 1 にしてください。
注2)　SIO1CR1, SIO2CR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

シリアルインタフェース1, 2制御レジスタ2

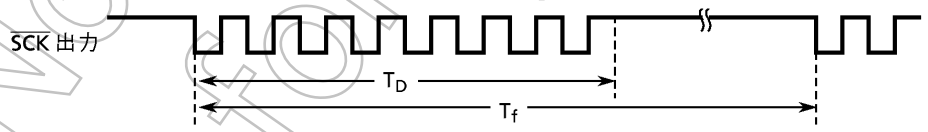
SIO1CR2 (0021_H)
SIO2CR2 (0023_H)

7	6	5	4	3	2	1	0
			WAIT		BUF		

(初期値　***0 0000)

WAIT	ウェイト制御	8ビット送受信 / 受信モード以外は常に"00"にしてください。 00 : T_f = T_D (ノンウェイト) 01 : T_f = $2T_D$ 10 : T_f = $4T_D$ 11 : T_f = $8T_D$ (ウェイト)	write only
BUF	転送ワード数の設定	使用するバッファのアドレス SIO1　SIO2 000 : 1 ワード転送　$0FF0_H$　$0FF8_H$ 001 : 2 ワード転送　$0FF0 \sim 0FF1_H$　$0FF8 \sim 0FF9_H$ 010 : 3 ワード転送　$0FF0 \sim 0FF2_H$　$0FF8 \sim 0FFA_H$ 011 : 4 ワード転送　$0FF0 \sim 0FF3_H$　$0FF8 \sim 0FFB_H$ 100 : 5 ワード転送　$0FF0 \sim 0FF4_H$　$0FF8 \sim 0FFC_H$ 101 : 6 ワード転送　$0FF0 \sim 0FF5_H$　$0FF8 \sim 0FFD_H$ 110 : 7 ワード転送　$0FF0 \sim 0FF6_H$　$0FF8 \sim 0FFE_H$ 111 : 8 ワード転送　$0FF0 \sim 0FF7_H$　$0FF8 \sim 0FFF_H$	

注1)　T_f ; フレーム時間 (1ワードのデータ転送時間), T_D ; データ転送時間



注2)　4ビット転送のときは、各バッファの下位4ビットに格納します/されます。受信時上位4ビットには"0"が格納されます。
注3)　バッファの若いアドレスの方から送信されます。また、受信は若いアドレスの方から格納されます。例えば、SIO1の場合、最初に転送されるのは$0FF0_H$番地です。
注4)　転送終了後もBUFの設定値は保存されています。
注5)　SIO1CR2, SIO2CR2の設定は、シリアル インタフェース停止状態 (SIOF = 0) で行ってください。
注6)　* ; don't care
注7)　SIO1CR2, SIO2CR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-34. シリアルインタフェース制御レジスタ / ウェイト制御レジスタ

Not Recommended for New Design

SIO1SR (0020_H) SIO2SR (0022_H)

7	6	5	4	3	2	1	0
SIOF	SEF	"1"	"1"	"1"	"1"	"1"	"1"

SIOF	シリアル転送動作状態モニタ	0：転送終了 （SIOSを "0" にクリア後、転送が終了した時点または SIOINHをセットした時点で"0"となります。） 1：転送中	read only
SEF	シフト動作状態モニタ	0：シフト動作終了 1：シフト動作中	

図2-35. シリアルインタフェース1, 2 ステータスレジスタ

(1) シリアルクロック

a. クロックソース

SCK (SIO1CR1, SIO2CR1 のビット2~0) により、次の選択ができます。

① 内部クロック

シリアルインタフェース1, 2独立して4種類の周波数が選択でき、シリアルクロックは $\overline{SCK1}$, $\overline{SCK2}$ 端子より外部に出力されます。なお、転送開始時 $\overline{SCK1}$, $\overline{SCK2}$端子出力は "H" レベルになります。

プログラムでデータの書き込み (送信時) または データの読み取り (受信時) がこのシリアルクロックレートに追随できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表2-8. シリアルクロックレート

シリアルクロック			最大転送速度	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	fc＝8 MHz 時	fs＝32.768 kHz 時
DV7CK＝0	DV7CK＝1			
$fc/2^{13}$ [Hz]	$fs/2^5$ [Hz]	$fs/2^5$ [Hz]	0.977 Kbit/s	1 Kbit/s
$fc/2^8$	$fc/2^8$	——	31.2	——
$fc/2^6$	$fc/2^6$	——	125	——
$fc/2^5$	$fc/2^5$	——	250	——

注) 1 Kbit = 1024 bit

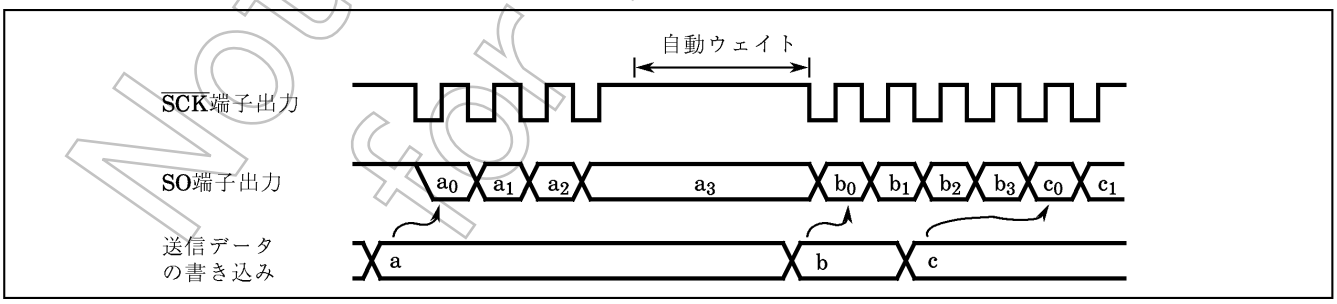
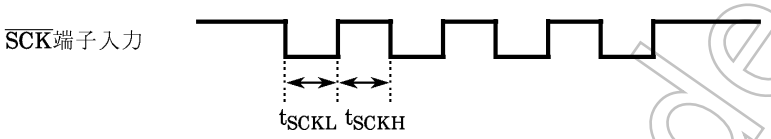


図2-36. クロックソース (内部クロック)

Not Recommended for New Design

② 外部クロック

外部から $\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$端子に供給されるクロックをシリアルクロックとして用います。この場合、P42 ($\overline{\text{SCK1}}$), P45 ($\overline{\text{SCK2}}$) の出力ラッチは "1" にセットされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの "H" レベル, "L" レベルともに4マシンサイクル以上パルス幅必要です。従って、最大転送速度は250 Kbit / s (fc＝8 MHz時) です。



$t_{SCKL}, t_{SCKH} > 4\ t_{cyc}$　　注) tcyc＝　4/fc (NORAML1/2, IDLE1/2モード時)
4/fs (SLOW, SLEEPモード時)

b. シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK}}$端子入出力の立ち下がりエッジ) でデータをシフトします。

② 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK}}$端子入出力の立ち上がりエッジ) でデータをシフトします。

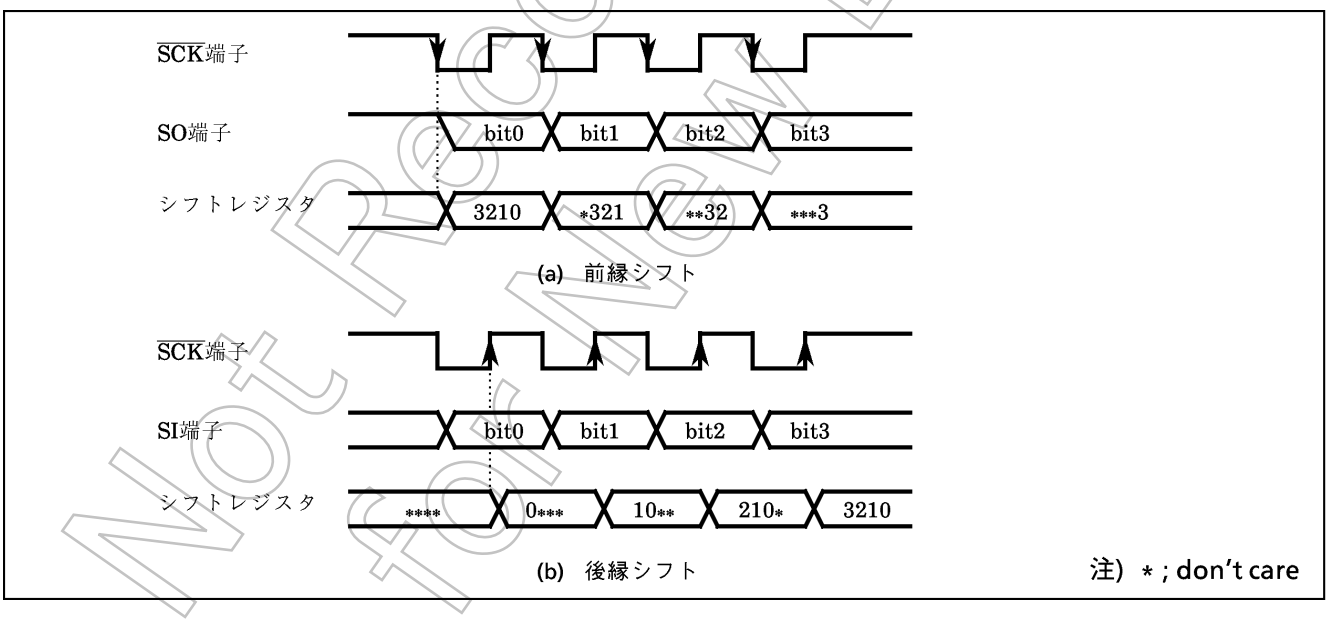


図2-37. シフトエッジ

(2) 転送ビット数

4ビットシリアル転送 または 8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時 "0" になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

Not Recommended for New Design

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時) / 8ビットデータ (8ビットシリアル転送時) を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、BUFで設定します。

指定されたワード数の転送終了時点で、INTSIO割り込みが発生します。途中で転送ワード数を変更する場合は、シリアル インタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

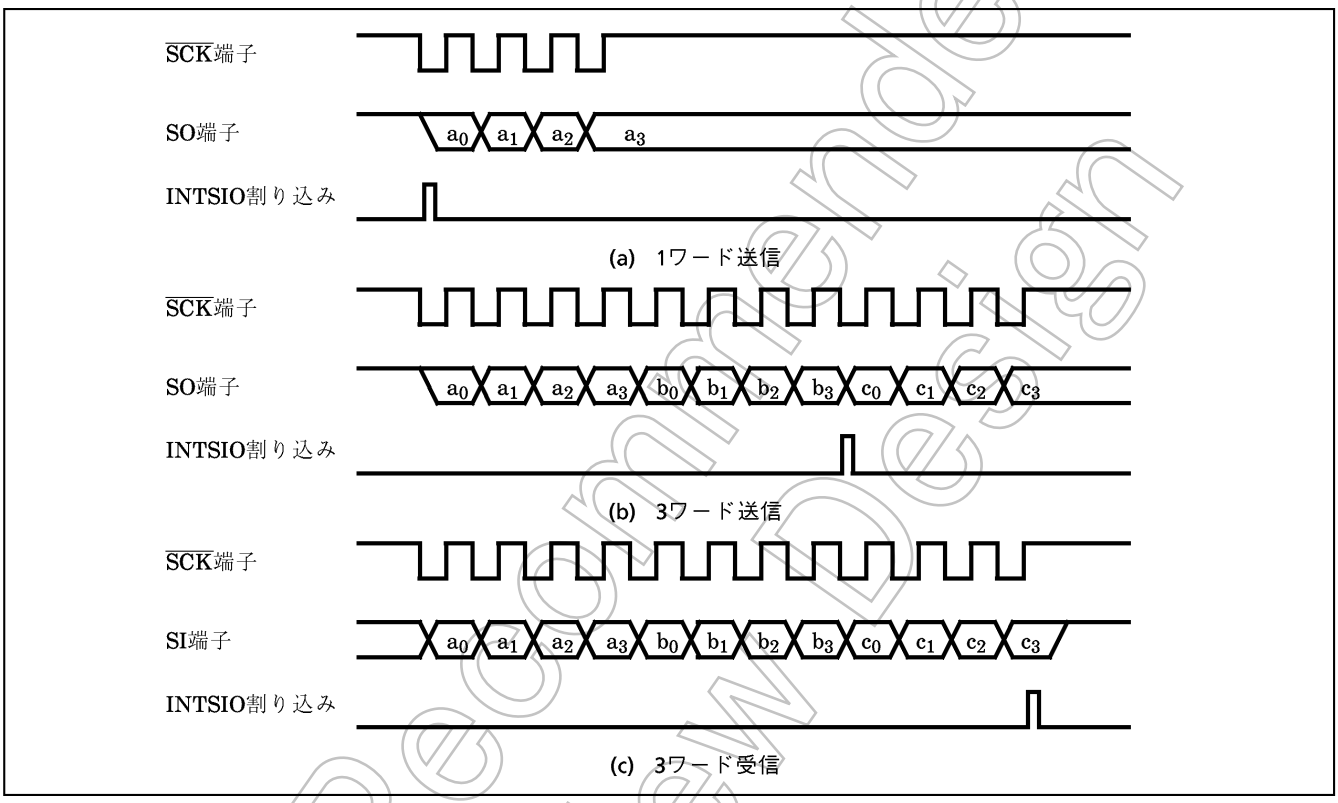


図2-38. 転送ワード数 (例 : 1ワード = 4ビット)

(4) 転送モード

SIOM (SIO1CR, SIO2CRのビット3~5) で、送信 / 受信 / 送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます

送信データの書き込み後、SIOSを“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次SO端子に出力されます。LSBのデータを出力した時点で、送信データは、1ワードずつ バッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、次の送信データを要求するINTSIO (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、BUFで指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし, 次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

Not Recommended for New Design

注) 送信データバッファに使用していないDBRへの書き込みによっても自動ウェイト動作は解除されますので、不使用のDBRを他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードのDBRは使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが"1"となってから$\overline{\text{SCK}}$の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを"0"にクリアするかSIOINHを"1"にセットします。SIOSがクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOF (SIO1SR, SIO2SRのビット7) をセンスします。SIOFは送信の終了で "0" になります。SIOINHをセットした場合は、ただちに送信を打ち切り、SIOFは"0" になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを"0"クリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOSを "0" にクリアし、SIOFが "0"になったことを確認後BUFを書き替えてください。

Not Recommended for New Design

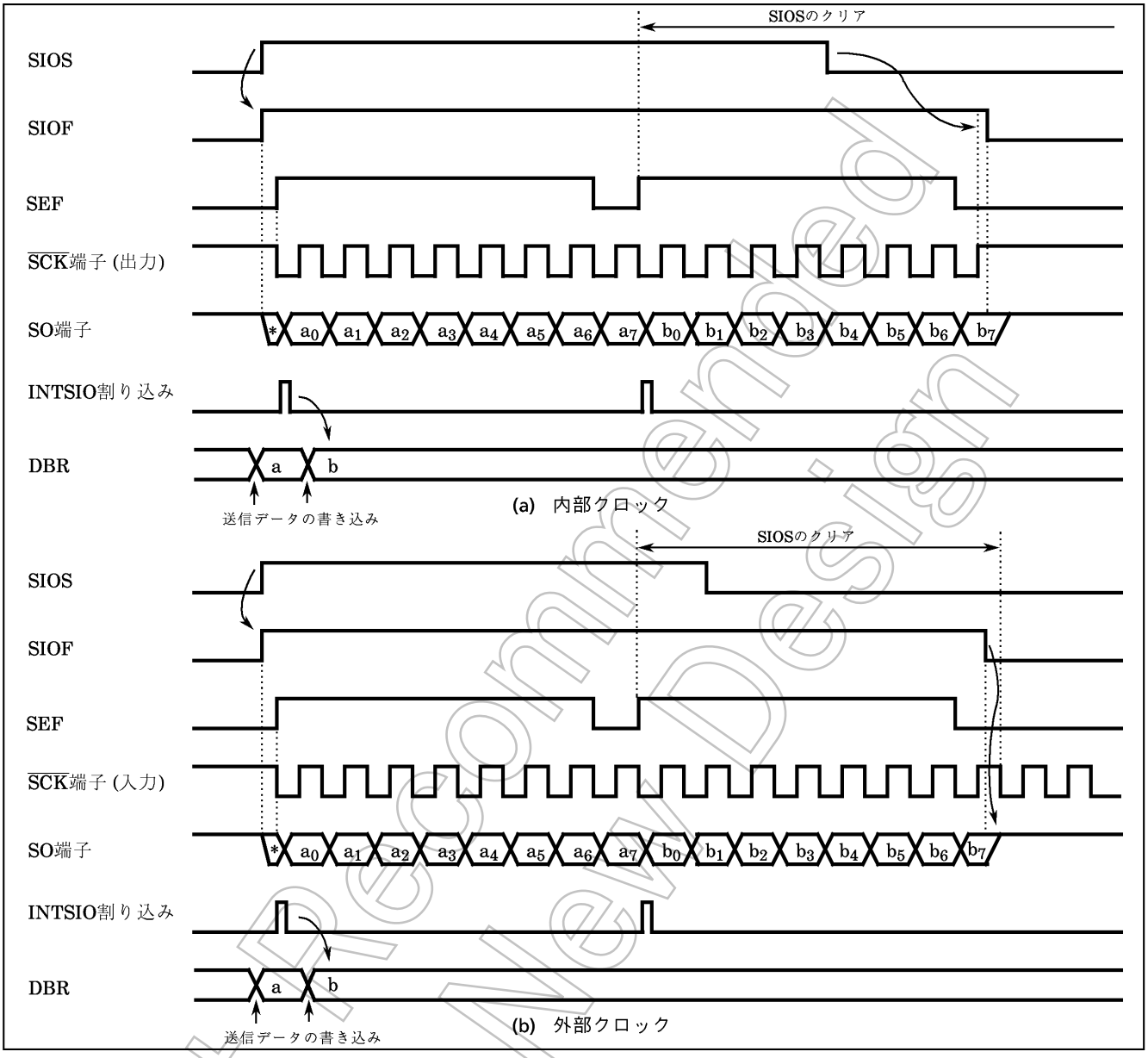


図2-39. 送信モード (例 : 8ビット , 1ワード転送)

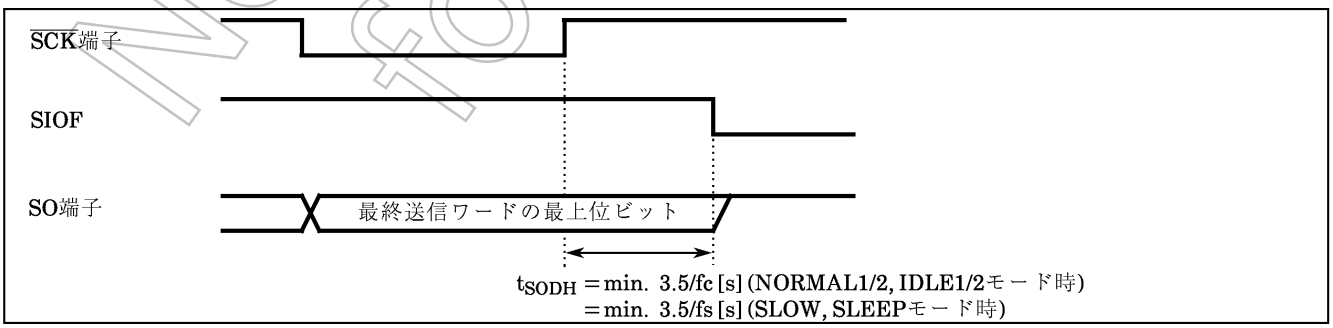


図2-40. 送信終了時の送信データ保持時間

Not Recommended for New Design

b. 4ビット受信モード , 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。BUFで指定されたワード数の受信が終了すると受信データの読み取りを要求するINTSIO (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注)	受信データバッファに使用していないDBRの読み出しによっても自動ウェイト動作は解除されますので、SIOで不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF (SIO1SR, SIO2SRのビット7) をセンスします。SIOFは受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。SIOINHをセットした場合は、ただちに受信を打ち切り、SIOFは“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときはSIOSを“0”にクリアしSIOFが“0”になったことを確認後BUFを書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前にBUFを書き替えてください。

注)	転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを “0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

Not Recommended for New Design

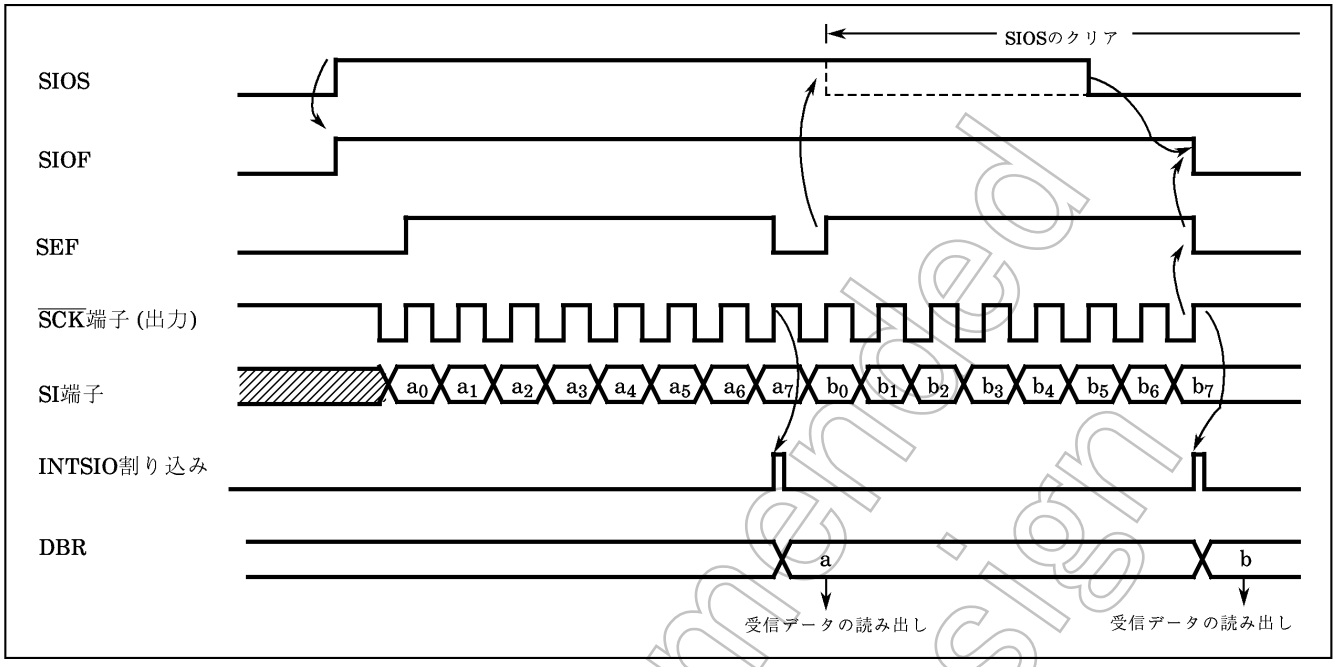


図2-41. 受信モード (例 : 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOSに“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データはSO端子から出力され、後縁で受信データがSI端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。BUFで指定されたワード数の送受信が終了すると、INTSIO割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信, 受信にて兼用していますので、送信データは、かならず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので, 次のシフト動作に入る前に受信データを読み取り、 次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

転送の開始時、SISOFが“1”になってから$\overline{\text{SCK}}$の立ち下がりエッジまでの間、前回転送した最後の送信データが出力されます。

送受信を終了させるには、INTSIO割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SIO1SR, SIO2SRのビット7) をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、ただちに送受信を打ち切り、SIOFは“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOSを “0” にクリアしSIOFが “0” になったことを確認後、BUFを書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

Not Recommended for New Design

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを"0"にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

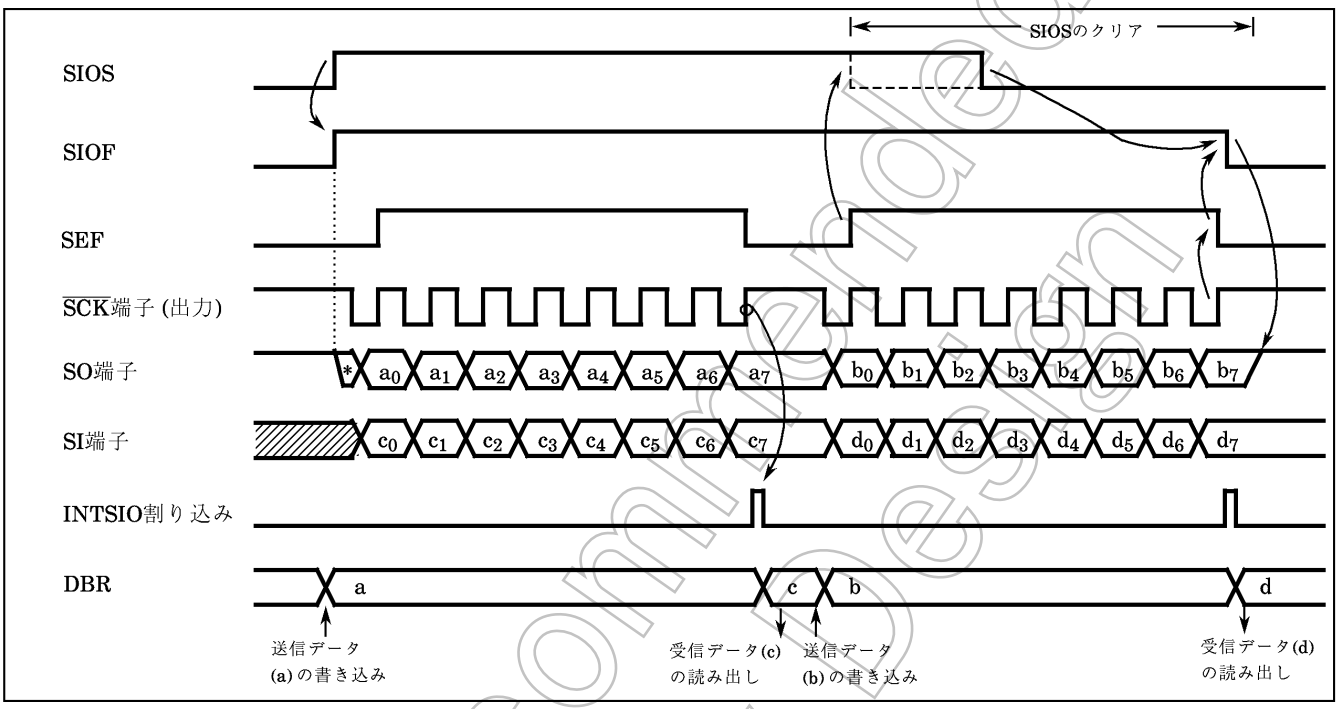


図2-42. 送受信モード (例 : 8ビット, 1ワード, 内部クロック)

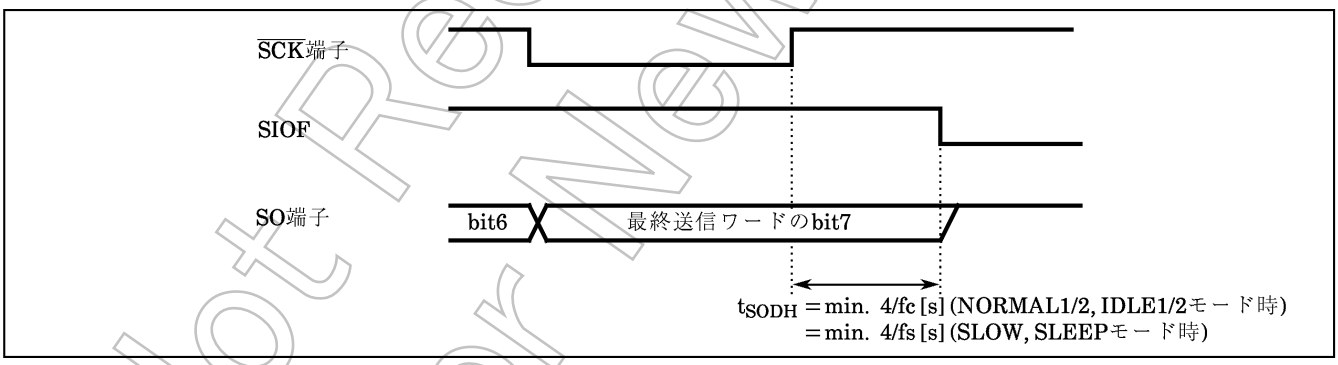


図2-43. 送受信終了時の送信データ保持時間

Not Recommended for New Design

2.10 8ビットA/D コンバータ (ADC)

87C840/C40/H40/K40A/M40Aは、8ビット分解能の逐次比較方式A/Dコンバータを内蔵しています。

2.10.1 構 成

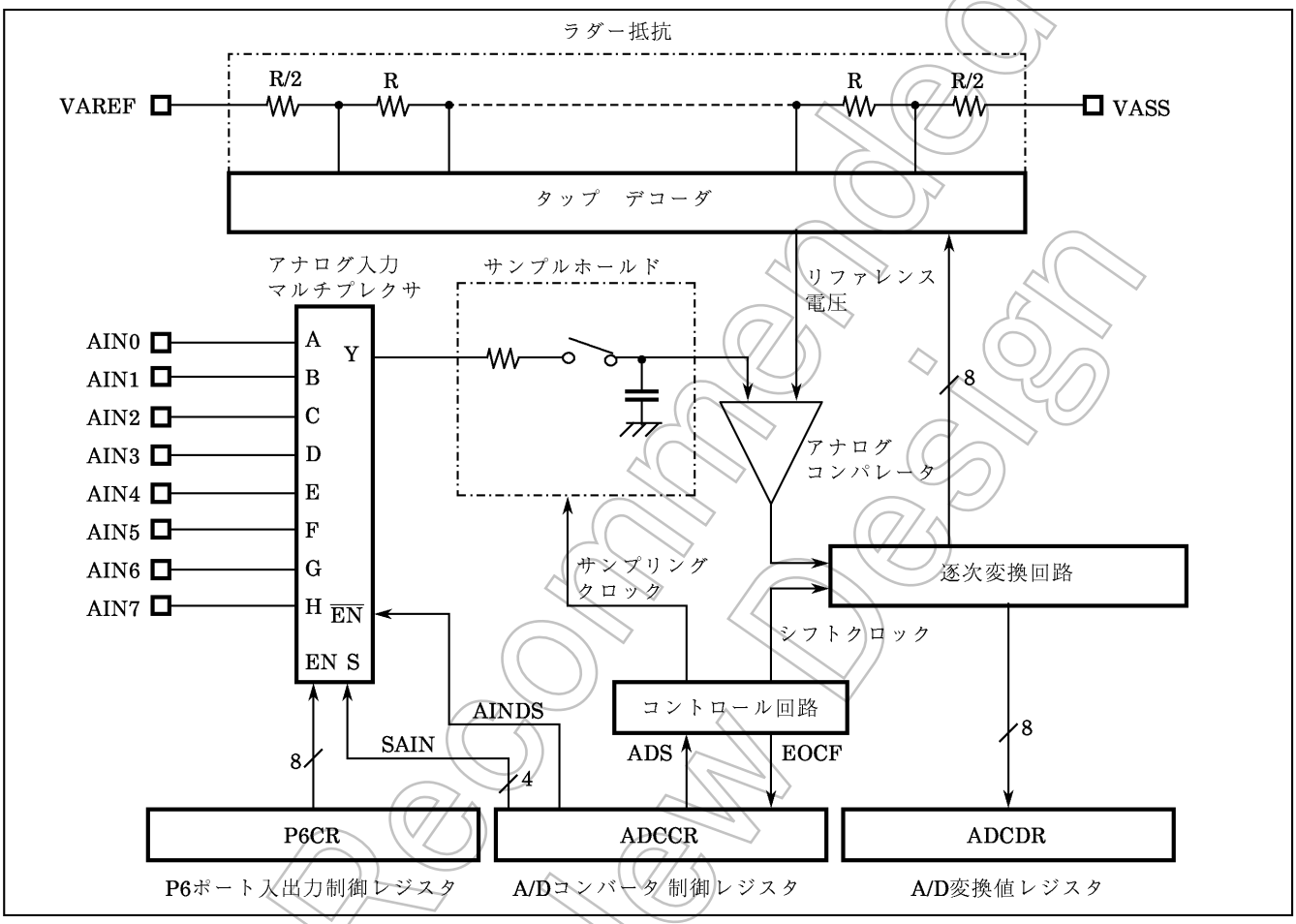


図2-44. A/Dコンバータ (ADC)

2.10.2 制 御

A/Dコンバータの制御は、A/Dコンバータ制御レジスタ (ADCCR) およびP6ポート入出力制御レジスタ (P6CR) で行います。また、ADCCRのEOCFを読むことでA/Dコンバータの動作状態を、A/D変換値レジスタ (ADCDR) を読むことでA/D変換値を知ることができます。

Not Recommended for New Design

A/D変換値レジスタ

ADCDR ($000F_H$)

7	6	5	4	3	2	1	0

Read only

P6ポート入出力制御レジスタ

P6CR ($000C_H$)

7	6	5	4	3	2	1	0

(初期値　1111 1111)

P6CR	P6ポートの入力制御	0 : 入力ポート 1 : アナログ入力　(ビットごとに指定, AINDS＝0のとき)	write only

図2-45. A/D変換値レジスタ、P6ポート入出力制御レジスタ

A/Dコンバータ制御レジスタ

ADCCR ($000E_H$)

7	6	5	4	3	2	1	0
EOCF	ADS		AINDS	SAIN			

(初期値　00*0 0000)

SAIN	アナログ入力チャネル選択	0000 : AIN0を選択 0001 : AIN1を選択 0010 : AIN2を選択 0011 : AIN3を選択 0100 : AIN4を選択 0101 : AIN5を選択 0110 : AIN6を選択 0111 : AIN7を選択 1*** : reserved	R/W
AINDS	アナログ入力制御	0 : アナログ入力イネーブル 1 : アナログ入力ディセーブル	
ADS	A/D変換開始	0 : － 1 : A/D変換開始	
EOCF	A/D変換終了フラグ	0 : A/D変換中またはA/D変換前 1 : A/D変換終了	R

注1)　* ; don't care
注2)　アナログ入力チャネルの選択はA/D変換停止状態で設定してください。
注3)　ADSは、A/D変換開始後自動的に "0" にクリアされます。
注4)　EOCFは、A/D変換値レジスタ (ADCDR)をリードすると "0" にクリアされます。
注5)　EOCFは、リード専用で書き込んだデータは無視されます。

図2-46. A/Dコンバータの制御レジスタ

Not Recommended for New Design

2.10.3 A/Dコンバータの動作

アナログ基準電圧のHigh側をVAREF端子に、Low側をVASS端子に印加します。VAREF-VASS間の基準電圧をラダー抵抗によりビットに対応した電圧に分割し、アナログ入力電圧と比較判定を行うことにより、A/D変換が実行されます。

(1) A/D変換の起動

A/D変換に先立ち、SAIN (ADCCRのビット3~0) によりアナログ入力チャネル (AIN7~AIN0) のうちの1端子を選択します。AINDS (ADCCRのビット4) を "0" にクリアし、P6入力制御 (P6CR) でアナログ入力に使用するチャネルを "1" にセットします。アナログ入力として使用しない端子は、通常の入力ポートとして使用できますが、出力ポートとしては使用できません。

A/D変換動作は、ADS (ADCCRのビット6) を "1" にセットすることにより開始されます。

A/D変換開始後、ADCDRに変換結果がセットされるまで184/fc [s] (46マシンサイクル) 必要です。例えばfc＝8 MHzで23 μsかかります。A/D変換が終了すると、変換終了を示すEOCF (ADCCRのビット7) が "1" にセットされます。

A/D変換中にADSを "1" にセットすると初期化されて、初めから変換をやり直します。

なお、アナログ入力電圧のサンプリングは、A/D変換の開始指示後4マシンサイクルで行われます。

注)	サンプルホールド回路は、5 kΩ (typ.) の抵抗を介して12 pF (typ.) のコンデンサを内蔵していますので、4マシンサイクルの間に、このコンデンサへ電荷を蓄える必要があります。

(2) A/D変換値の読み出し

A/D変換値レジスタ (ADCDR) にストアされた変換値は、変換終了(EOCF＝1) を確認後に読み出しを行ってください。変換値を読み出すと、EOCFは自動的に "0" にクリアされます。なお、A/D変換中に読み出しを行うと、不定値が読み出されます。

(3) A/D変換中のSTOPモード

A/D変換中にSTOPモードに入るとA/D変換は中止され、A/D変換値は不定となります。従って、STOPモードより復帰後はEOCFは "0" にクリアされたままとなります。ただし、A/D変換終了後 (EOCFが "1"にセットされた後) STOPモードに入ると、A/D変換値, EOCFの状態は保持されます。

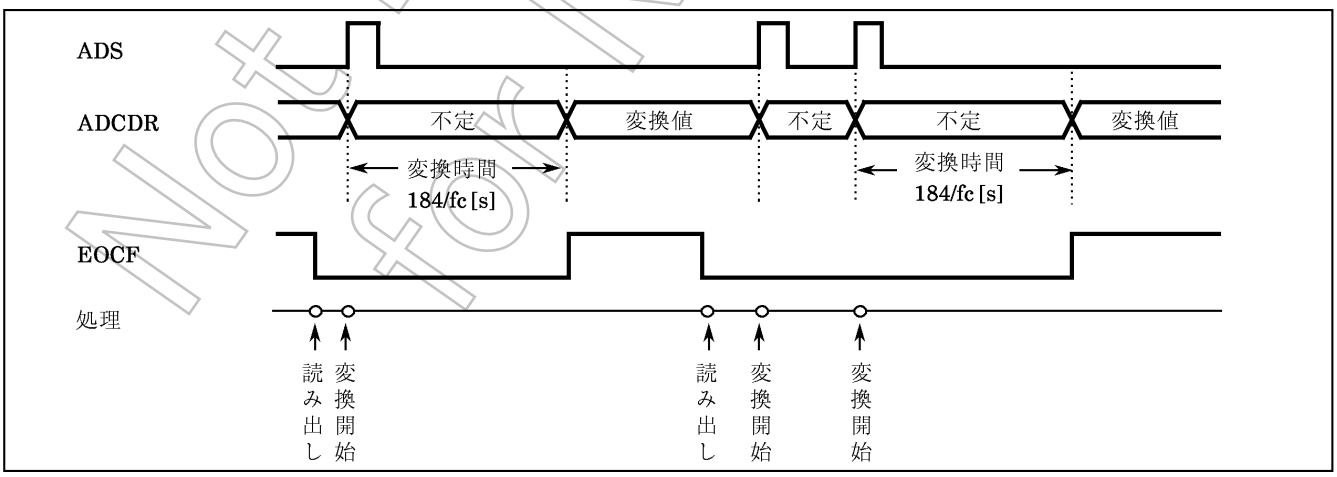


図2-47. A/D変換動作

Not Recommended for New Design

例1： アナログ入力チャネルとしてAIN4端子を選択後、A/D 変換を行います。EOCFを確認して変換値を読み出し、RAMの$009E_H$番地に格納します。

```
        ; AIN SELECT
        LD          (ADCCR) , 00000100B   ;  AIN4を選択
        ; A/D CONVERT START
        SET         (ADCCR) . 6   ;  ADS＝1
SLOOP : TEST        (ADCCR) . 7   ;  EOCF＝1？
        JRS         T, SLOOP
        ; RESULT DATA READ
        LD          (9EH), (ADCDR)
```

アナログ入力電圧とA/D変換された8ビットデジタル値とは図2-48.のように対応します。

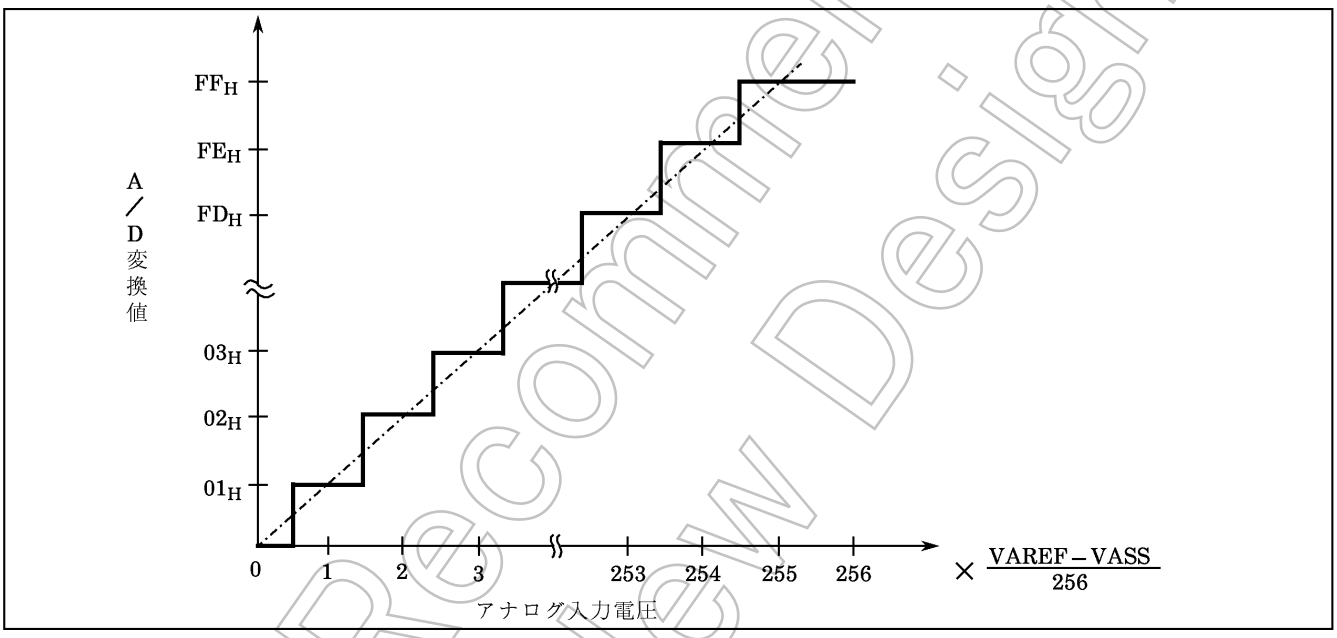


図2-48. アナログ入力電圧とA/D 変換値 (typ.) の関係

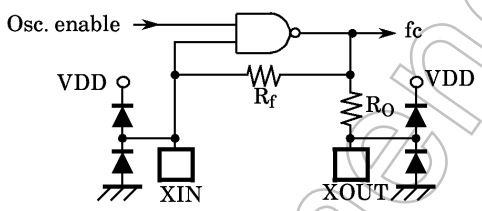
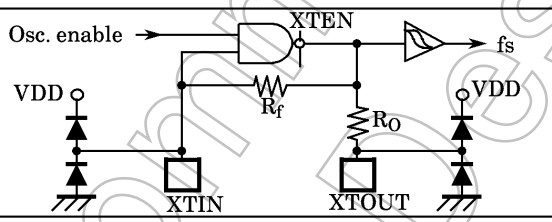
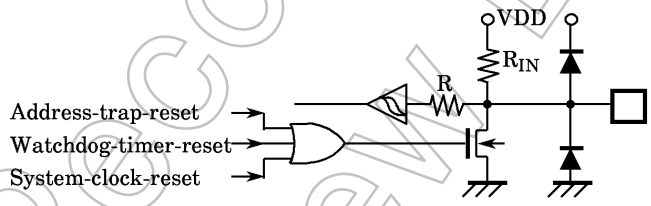
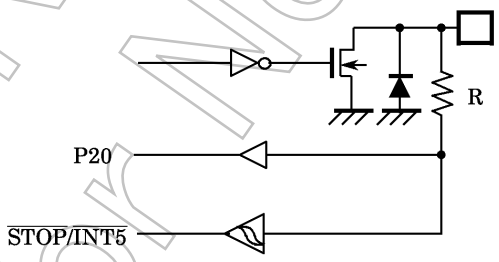
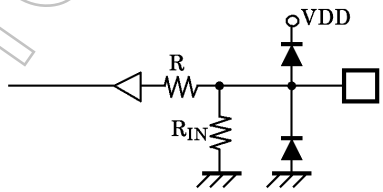
Not Recommended for New Design

端子の入出力回路

(1) 制御端子

87C840/C40/H40/K40A/M40Aの制御端子の入出力回路を示します。

リセット解除時の動作モードは、シングルクロックモード (XIN/XOUTのみ発振) かデュアルクロックモード (XIN/XOUTおよびXTIN/XOUTの両方が発振) かのいずれかをマスクオプション (コードNM1, NM2) で指定してください。

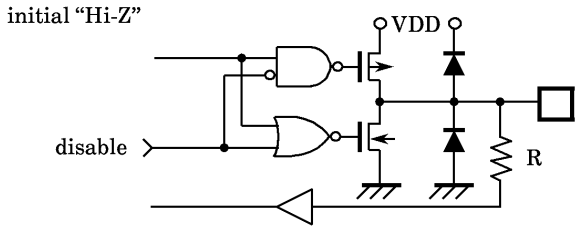
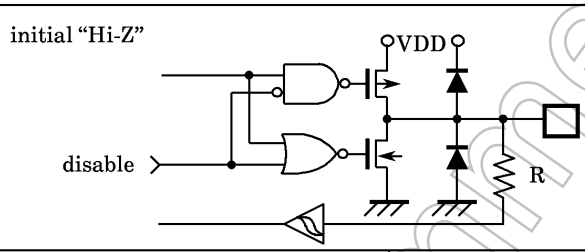
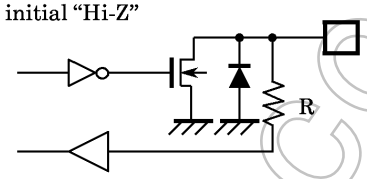
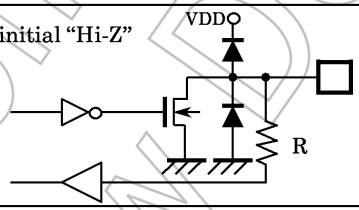
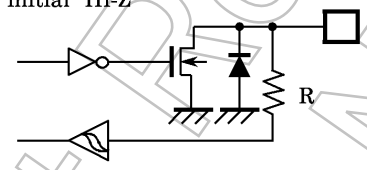
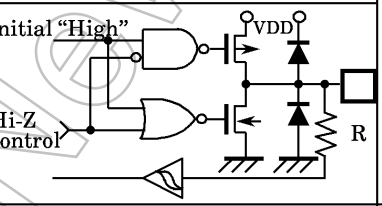
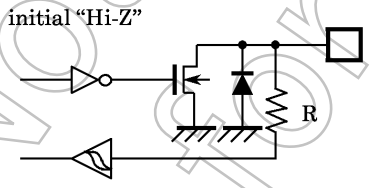
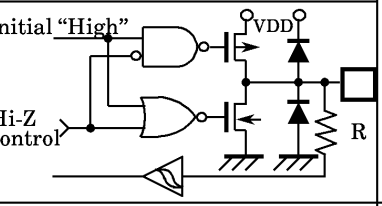
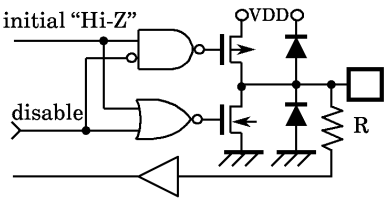
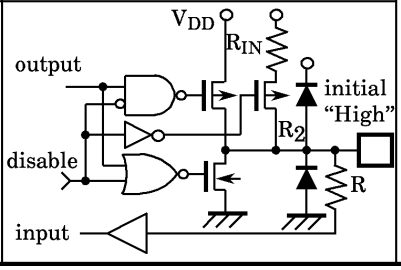
制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 R_f = 1.2 MΩ (typ.) R_O = 1.5 kΩ (typ.)
XTIN XTOUT	入力 出力	NM1: P2ポートを参照 NM2: 	低周波発振子接続端子 R_f = 6 MΩ (typ.) R_O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入出力		シンクオープンドレイン出力 ヒステリシス入力 プルアップ抵抗内蔵 R_{IN} = 220 kΩ (typ.) R = 1 kΩ (typ.)
$\overline{\text{STOP}}$/INT5 (P20)	入力		ヒステリシス入力 R = 1 kΩ (typ.)
TEST	入力		プルダウン抵抗内蔵 R_{IN} = 70 kΩ (typ.) R = 1 kΩ (typ.)

注1) 87PH40A/PM40AのTEST端子には、プルダウン抵抗は内蔵されていません。かならず低レベルに固定してください。
注2) 87PH40A/PM40Aは、リセット解除時シングルクロックモード (NM1) となっています。

Not Recommended for New Design

(2) 入出力ポート

87C840/C40/H40/K40/M40Aの入出力ポートの入出力回路は、マスクオプションとしてコード(A, B, C, G)で指定できます。例えば、コードCを選択した場合、P4ポートはプッシュプル出力、P5ポートはオープンドレイン出力、P7ポートはプルアップ抵抗なしとなります。87PH40A/PM40Aは、コードAの固定です。

ポート	入出力	入出力回路およびコード	備考
P0 P6	入出力		トライステート入出力 R=1 kΩ (typ.)
P1	入出力		トライステート入出力 ヒステリシス入力 R=1 kΩ (typ.)
P2 P3	入出力	P20, P37~30  P21, P22 	シンクオープンドレイン出力 大電流出力(P3ポートのみ) R=1 kΩ
P4	入出力	A, B  C, G 	シンクオープンドレイン または プッシュプル出力 ヒステリシス入力 R=1 kΩ (typ.)
P5	入出力	A, B, C  G 	シンクオープンドレイン または プッシュプル出力 ヒステリシス入力 R=1 kΩ (typ.)
P7	入出力	A, C, G  B 	トライステート入出力 プルアップ抵抗 R_{IN}=70 kΩ (typ.) R=1 kΩ (typ.)

Not Recommended for New Design

電気的特性

(1) 87C840/C40/H40/K40

絶対最大定格 (V_{SS}＝0 V)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		−0.3~7	V
入力電圧	V_{IN}		−0.3~V_{DD}+0.3	V
出力電圧	V_{OUT1}	P21, P22 ポート, $\overline{RESET}$以外のシンクオープンドレイン端子を除く	−0.3~V_{DD}+0.3	V
	V_{OUT2}	P21, P22 ポート, $\overline{RESET}$を除くシンクオープンドレイン端子	−0.3~10	
出力電流 (1端子当り)	I_{OUT1}	P0, P1, P2, P4, P5, P6, P7 ポート	3.2	mA
	I_{OUT2}	P3 ポート	30	
出力電流 (全端子総計)	ΣI_{OUT1}	P0, P1, P2, P4, P5, P6, P7 ポート	120	mA
	ΣI_{OUT2}	P3 ポート	120	
消費電力 [Topr＝70°C]	PD	TMP87C840N/C40N/H40N/K40N	600	mW
		TMP87C840F/C40F/H40F/K40F	350	
はんだ付け温度 (時間)	Tsld		260 (10 s)	°C
保存温度	Tstg		−55~125	°C
動作温度	Topr		−30~70	°C

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破壊・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件 (V_{SS}＝0 V, Topr＝−30~70 °C)

項目	記号	端子	条件		Min.	Max.	単位
電源電圧	V_{DD}		fc＝8 MHz	NORMAL1, 2 モード時	4.5	6.0	V
				IDLE1, 2 モード時			
			fc＝4.2 MHz	NORMAL1, 2 モード時	2.7		
				IDLE1, 2 モード時			
			fs＝32.768 kHz	SLOW モード時			
				SLEEP モード時			
				STOP モード時	2.0		
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		V_{DD}×0.70	V_{DD}	V
	V_{IH2}	ヒステリシス入力			V_{DD}×0.75		
	V_{IH3}		V_{DD}＜4.5 V		V_{DD}×0.90		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		0	V_{DD}×0.30	V
	V_{IL2}	ヒステリシス入力				V_{DD}×0.25	
	V_{IL3}		V_{DD}＜4.5 V			V_{DD}×0.10	
クロック周波数	fc	XIN, XOUT	V_{DD}＝4.5~6.0 V		0.4	8.0	MHz
			V_{DD}＝2.7~6.0 V			4.2	
	fs	XTIN, XTOUT			30.0	34.0	kHz

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、かならず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数 fc： 条件の電源電圧範囲は、NORMAL1, 2モード時およびIDLE1, 2モード時の値を示す。

Not Recommended for New Design

D.C. 特　性　　(V_{SS} = 0 V, Topr = −30~70 °C)

項　目	記号	端　子	条　件	Min.	Typ.	Max.	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力		−	0.9	−	V
入力電流	I_{IN1}	TEST	V_{DD} = 5.5 V V_{IN} = 5.5 V / 0 V	−	−	±2	μA
	I_{IN2}	オープンドレインポート, トライステートポート					
	I_{IN3}	$\overline{RESET}$, $\overline{STOP}$					
低レベル入力電流	I_{IL}	プッシュプルポート	V_{DD} = 5.5 V, V_{IN} = 0.4 V	−	−	−2	mA
入力抵抗	R_{IN1}	プルアップ抵抗付きP7ポート		30	70	150	kΩ
	R_{IN2}	$\overline{RESET}$		100	220	450	
出力リーク電流	I_{LO}	オープンドレインポート,	V_{DD} = 5.5 V, V_{OUT} = 5.5 V	−	−	2	μA
		トライステートポート	V_{DD} = 5.5 V, V_{OUT} = 5.5/0 V	−	−	±2	
高レベル出力電圧	V_{OH1}	プッシュプルポート	V_{DD} = 4.5 V, I_{OH} = −200 μA	2.4	−	−	V
	V_{OH2}	トライステートポート	V_{DD} = 4.5 V, I_{OH} = −0.7 mA	4.1	−	−	
低レベル出力電圧	V_{OL}	XOUT, P3ポートを除く	V_{DD} = 4.5 V, I_{OL} = 1.6 mA	−	−	0.4	V
低レベル出力電流	I_{OL3}	P3ポート	V_{DD} = 4.5 V, V_{OL} = 1.0V	−	20	−	mA
NORMAL1, 2 モード時　電源電流	I_{DD}		V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V fc = 8 MHz fs = 32.768 kHz 87C840/C40/H40	−	8	14	mA
			87CK40	−	10	16	
IDLE1, 2モード時 電源電流			87C840/C40/H40	−	4	6	mA
			87CK40	−	4.5	6	
SLOWモード時 電源電流			V_{DD} = 3.0 V V_{IN} = 2.8 V/0.2 V fs = 32.768 kHz	−	30	60	μA
SLEEPモード時 電源電流				−	15	30	μA
STOPモード時 電源電流			V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V	−	0.5	10	μA

注1)　Typ.値は、条件に指定なき場合Topr = 25 °C, V_{DD} = 5 V時の値を示す。
注2)　入力電流　I_{IN1}, I_{IN3}　:　プルアップまたはプルダウン抵抗による電流を除く。

A/D　変　換　特　性　　(V_{SS} = 0 V, V_{DD} = 4.5~6.0 V, Topr = −30~70 °C)

項　目	記号	条　件	Min.	Typ.	Max.	単位
アナログ基準電源電圧	V_{AREF}	$V_{AREF} - V_{ASS} \geqq 2.5$ V	V_{DD} − 1.5	−	V_{DD}	V
	V_{ASS}		V_{SS}	−	1.5	
アナログ入力電圧範囲	V_{AIN}		V_{ASS}	−	V_{AREF}	V
アナログ基準電圧電源電流	I_{REF}	V_{AREF} = 5.5 V, V_{ASS} = 0.0 V	−	0.5	1.0	mA
非直線性誤差		V_{DD} = 5.0 V, V_{SS} = 0.0 V V_{AREF} = 5.000 V V_{ASS} = 0.000 V	−	−	±1	LSB
ゼロ誤差			−	−	±1	
フルスケール誤差			−	−	±1	
総合誤差			−	−	±2	

注) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差をいいます。

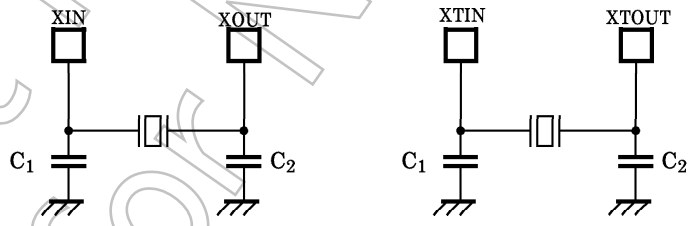
Not Recommended for New Design

A.C. 特　性　(V_{SS}＝0 V, V_{DD}＝4.5～6.0 V, Topr＝－30～70 °C)

項　　目	記　号	条　　件	Min.	Typ.	Max.	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時 IDLE1, 2モード時	0.5	–	10	μs
		SLOWモード時 SLEEPモード時	117.6	–	133.3	
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN入力) fc＝8 MHz 時	62.5	–	–	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN入力) fs＝32.768 kHz 時	14.7	–	–	μs
低レベルクロックパルス幅	t_{WSL}					

推奨発振条件　(V_{SS}＝0 V, V_{DD}＝4.5～6.0 V, Topr＝－30～70 °C)

項　目	発　振　子	発振周波数	推奨発振子		推奨定数 C_1	推奨定数 C_2
高周波発振	セラミック発振子	8 MHz	京セラ	KBR8.0M	30 pF	30 pF
		4 MHz	京セラ	KBR4.0MS		
			村田製作所	CSA4.00MG		
	水晶振動子	8 MHz	TOYOCOM	210B 8.0000	20 pF	20 pF
		4 MHz	TOYOCOM	204B 4.0000		
低周波発振	水晶振動子	32.768 kHz	日本電波工業	MX-38T	15 pF	15 pF



(1)　高周波発振　　(2)　低周波発振

注)　ブラウン管など高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

Not Recommended for New Design

電気的特性

(2) 87CK40A/M40A

絶 対 最 大 定 格 (V_{SS} = 0 V)

項 目	記 号	端 子	規 格	単 位
電 源 電 圧	* V_{DD}		−0.3~6.5	V
入 力 電 圧	V_{IN}		−0.3~V_{DD}+0.3	V
出 力 電 圧	* V_{OUT}		−0.3~V_{DD}+0.3	V
出 力 電 流 (1端子当り)	I_{OUT1}	P0, P1, P2, P4, P5, P6, P7 ポート	3.2	mA
	I_{OUT2}	P3 ポート	30	
出 力 電 流 (全端子総計)	Σ I_{OUT1}	P0, P1, P2, P4, P5, P6, P7 ポート	120	mA
	Σ I_{OUT2}	P3 ポート	120	
消 費 電 力 [Topr = 70℃]	PD	TMP87CK40AN/CM40AN	600	mW
		TMP87CK40AF/CM40AF	350	
はんだ付け温度 (時間)	Tsld		260 (10 s)	℃
保 存 温 度	Tstg		−55~125	℃
動 作 温 度	Topr		−30~70	℃

注1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破壊・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。
注2) *; 絶対最大定格の (V_{DD}) と (V_{OUT}) は、TMP87PM40Aと異なります。

推 奨 動 作 条 件 (V_{SS} = 0 V, Topr = −30~70 ℃)

項 目	記 号	端 子	条 件		Min.	Max.	単 位
電 源 電 圧	* V_{DD}		fc = 8 MHz	NORMAL1, 2 モード時	4.5	5.5	V
				IDLE1, 2 モード時			
			fc = 4.2 MHz	NORMAL1, 2 モード時	2.7		
				IDLE1, 2 モード時			
			fs = 32.768 kHz	SLOW モード時			
				SLEEP モード時			
				STOP モード時	2.0		
高レベル 入力電圧	V_{IH1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		V_{DD}×0.70	V_{DD}	V
	V_{IH2}	ヒステリシス入力			V_{DD}×0.75		
	V_{IH3}		V_{DD}<4.5 V		V_{DD}×0.90		
低レベル 入力電圧	V_{IL1}	ヒステリシス入力を除く	V_{DD}≧4.5 V		0	V_{DD}×0.30	V
	V_{IL2}	ヒステリシス入力				V_{DD}×0.25	
	V_{IL3}		V_{DD}<4.5 V			V_{DD}×0.10	
クロック周波数	fc	XIN, XOUT	V_{DD} = 4.5~5.5 V		1.0	8.0	MHz
			V_{DD} = 2.7~5.5 V			4.2	
	fs	XTIN, XTOUT			30.0	34.0	kHz

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、かならず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。
注2) クロック周波数 fc : 条件の電源電圧範囲は、NORMAL1, 2モード時およびIDLE1, 2モード時の値を示す。
注3) *; 推奨動作条件の (VDD) のmax. 値は、TMP87PM40Aと異なります。

Not Recommended for New Design

D.C. 特　性　　(V_{SS} = 0 V, Topr = −30~70 °C)

項　目	記号	端　子	条　件	Min.	Typ.	Max.	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力		−	0.9	−	V
入力電流	I_{IN1}	TEST	V_{DD} = 5.5 V V_{IN} = 5.5 V / 0 V	−	−	±2	μA
	I_{IN2}	オープンドレインポート, トライステートポート					
	I_{IN3}	$\overline{RESET}$, $\overline{STOP}$					
低レベル入力電流	I_{IL}	プッシュプルポート	V_{DD} = 5.5V, V_{IN} = 0.4 V	−	−	−2	mA
入力抵抗	R_{IN1}	プルアップ抵抗付きP7ポート		30	70	150	kΩ
	R_{IN2}	$\overline{RESET}$		100	220	450	
出力リーク電流	I_{LO}	オープンドレインポート,	V_{DD} = 5.5 V, V_{OUT} = 5.5 V	−	−	2	μA
		トライステートポート	V_{DD} = 5.5 V, V_{OUT} = 5.5/0 V	−	−	±2	
高レベル出力電圧	V_{OH1}	プッシュプルポート	V_{DD} = 4.5 V, I_{OH} = −200 μA	2.4	−	−	V
	V_{OH2}	トライステートポート	V_{DD} = 4.5 V, I_{OH} = −0.7 mA	4.1	−	−	
低レベル出力電圧	V_{OL}	XOUT, P3ポートを除く	V_{DD} = 4.5 V, I_{OL} = 1.6 mA	−	−	0.4	V
低レベル出力電流	I_{OL3}	P3ポート	V_{DD} = 4.5 V, V_{OL} = 1.0 V	−	20	−	mA
NORMAL1, 2 モード時　電源電流	I_{DD}		V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V fc = 8 MHz fs = 32.768 kHz	−	10	16	mA
IDLE1, 2モード時 電源電流				−	4.5	6	mA
SLOWモード時 電源電流			V_{DD} = 3.0 V V_{IN} = 2.8 V/0.2 V fs = 32.768 kHz	−	30	60	μA
SLEEPモード時 電源電流				−	15	30	μA
STOPモード時 電源電流			V_{DD} = 5.5 V V_{IN} = 5.3 V/0.2 V	−	0.5	10	μA

注1)　Typ.値は、条件に指定なき場合Topr = 25 °C, V_{DD} = 5 V時の値を示す。
注2)　入力電流　I_{IN1}, I_{IN3}　:　プルアップまたはプルダウン抵抗による電流を除く。
注3)　IDDは、I_{REF}を含まず。

A/D　変　換　特　性　　(V_{SS} = 0 V, V_{DD} = 2.7~5.5 V, Topr = −30~70 °C)

項　目	記号	条　件	Min.	Typ.	Max.	単位
アナログ基準電源電圧	V_{AREF}	V_{AREF} − V_{ASS} ≧ 2.5 V	2.7	−	V_{DD}	V
	V_{ASS}		V_{SS}	−	1.5	
アナログ入力電圧範囲	V_{AIN}		V_{ASS}	−	V_{AREF}	V
アナログ基準電圧電源電流	I_{REF}	V_{AREF} = 5.5 V, V_{ASS} = 0.0 V	−	0.5	1.0	mA
非直線性誤差		V_{DD} = 5.0 V, V_{SS} = 0.0 V V_{AREF} = 5.000 V V_{ASS} = 0.000 V または V_{DD} = 2.7 V, V_{SS} = 0.0 V V_{AREF} = 2.700 V V_{ASS} = 0.000 V	−	−	±1	LSB
ゼロ誤差			−	−	±1	
フルスケール誤差			−	−	±1	
総合誤差			−	−	±2	

注) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差をいいます。

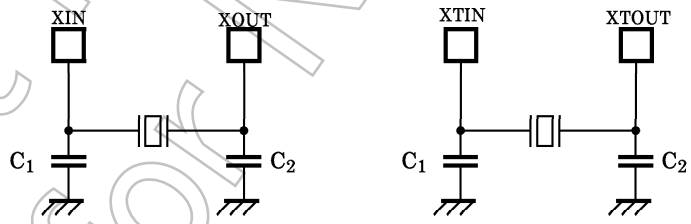
Not Recommended for New Design

A.C. 特　性　(V_{SS}＝0 V, V_{DD}＝4.5～5.5 V, Topr＝－30～70 °C)

項　　目	記　号	条　　件	Min.	Typ.	Max.	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時 IDLE1, 2モード時	0.5	–	4	μs
		SLOWモード時 SLEEPモード時	117.6	–	133.3	
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN入力) fc＝8 MHz 時	62.5	–	–	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN入力) fs＝32.768 kHz 時	14.7	–	–	μs
低レベルクロックパルス幅	t_{WSL}					

推奨発振条件　(V_{SS}＝0 V, V_{DD}＝4.5～5.5 V, Topr＝－30～70 °C)

項　目	発　振　子	発振周波数	推奨発振子		推奨定数 C_1	推奨定数 C_2
高周波発振	セラミック発振子	8 MHz	京セラ	KBR8.0M	30 pF	30 pF
		4 MHz	京セラ	KBR4.0MS		
			村田製作所	CSA4.00MG		
	水晶振動子	8 MHz	TOYOCOM	210B 8.0000	20 pF	20 pF
		4 MHz	TOYOCOM	204B 4.0000		
低周波発振	水晶振動子	32.768 kHz	日本電波工業	MX-38T	15 pF	15 pF



(1)　高周波発振　　(2)　低周波発振

注)　ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的に
シールドすることを推奨します。

Not Recommended for New Design