

**TOSHIBA**

東芝 オリジナル CMOS 8ビット マイクロコントローラ

**TLCS-870 シリーズ**

TMP87C814NG, TMP87C814FG

TMP87CH14NG, TMP87CH14FG

TMP87CK14NG, TMP87CK14FG

TMP87CM14NG, TMP87CM14FG

株式会社 **東芝** セミコンダクター社

## お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

### 修正項目 1. 製品名称

例) TMPxxxxxxF      TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、  
表紙及び付加ページ(ローマ数字の本文前のページを示す)  
内記述の名称が正式な名称となります。

### 修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C      LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、  
付加ページの名称と寸法図が正式な名称及び寸法図となります。

### 修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

### 修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、  
付加ページ内で最新の内容に更新しております。

### 修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が  
本データシートの発行日付となります。

## 修正対象項目 1. 製品名称

## 修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パッケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP87C814N	SDIP64-P-750-1.78	TMP87C814NG	SDIP64-P-750-1.78	TMP87PM14NG
TMP87C814F	QFP64-P-1420-1.00A	TMP87C814FG	QFP64-P-1420-1.00A	TMP87PM14FG
TMP87CH14N	SDIP64-P-750-1.78	TMP87CH14NG	SDIP64-P-750-1.78	TMP87PM14NG
TMP87CH14F	QFP64-P-1420-1.00A	TMP87CH14FG	QFP64-P-1420-1.00A	TMP87PM14FG
TMP87CK14N	SDIP64-P-750-1.78	TMP87CK14NG	SDIP64-P-750-1.78	TMP87PM14NG
TMP87CK14F	QFP64-P-1420-1.00A	TMP87CK14FG	QFP64-P-1420-1.00A	TMP87PM14FG
TMP87CM14N	SDIP64-P-750-1.78	TMP87CM14NG	SDIP64-P-750-1.78	TMP87PM14NG
TMP87CM14F	QFP64-P-1420-1.00A	TMP87CM14FG	QFP64-P-1420-1.00A	TMP87PM14FG

\*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

## 修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	

## 修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願い」が適用されます。

## 当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。  
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

## 修正項目 5. データシートの発行日付

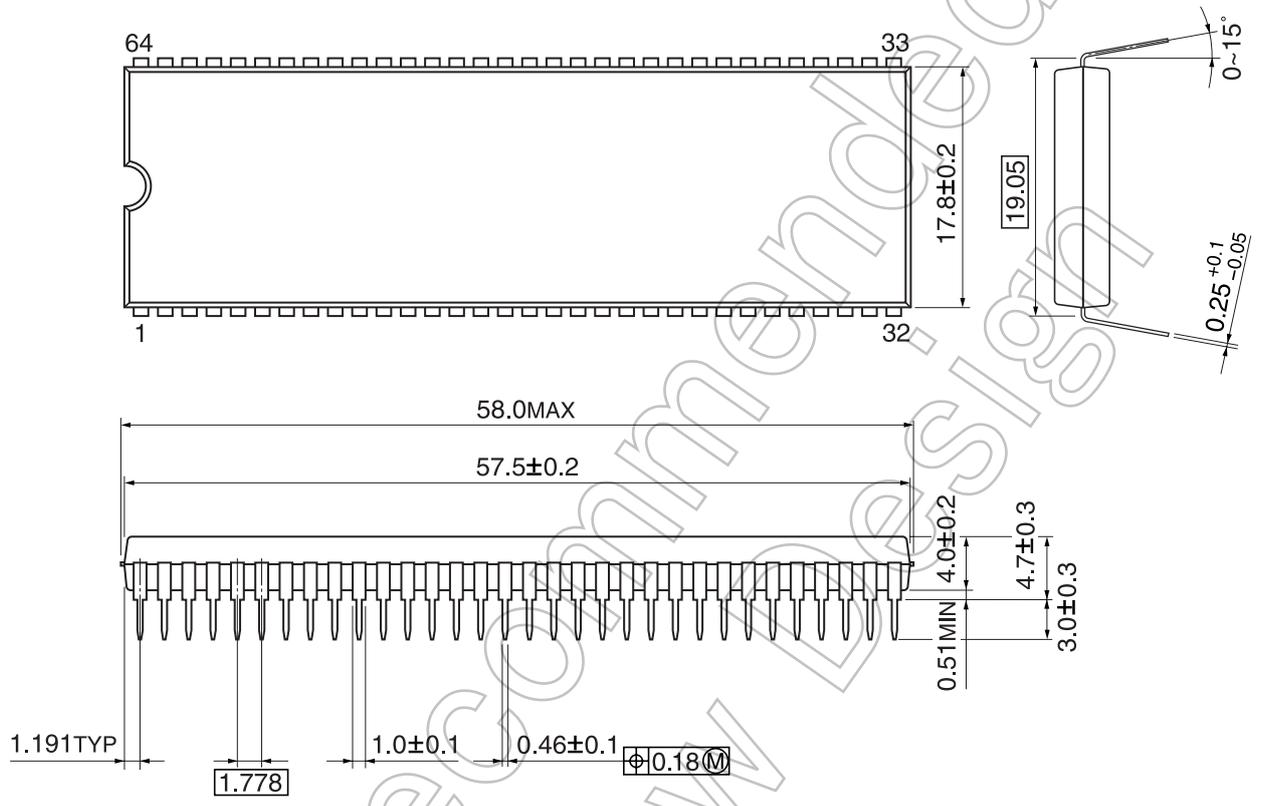
本製品の発行日は、付加ページ右下にも記入の「2008-03-06」です。

(別紙)

パッケージ外形寸法図

SDIP64-P-750-1.78

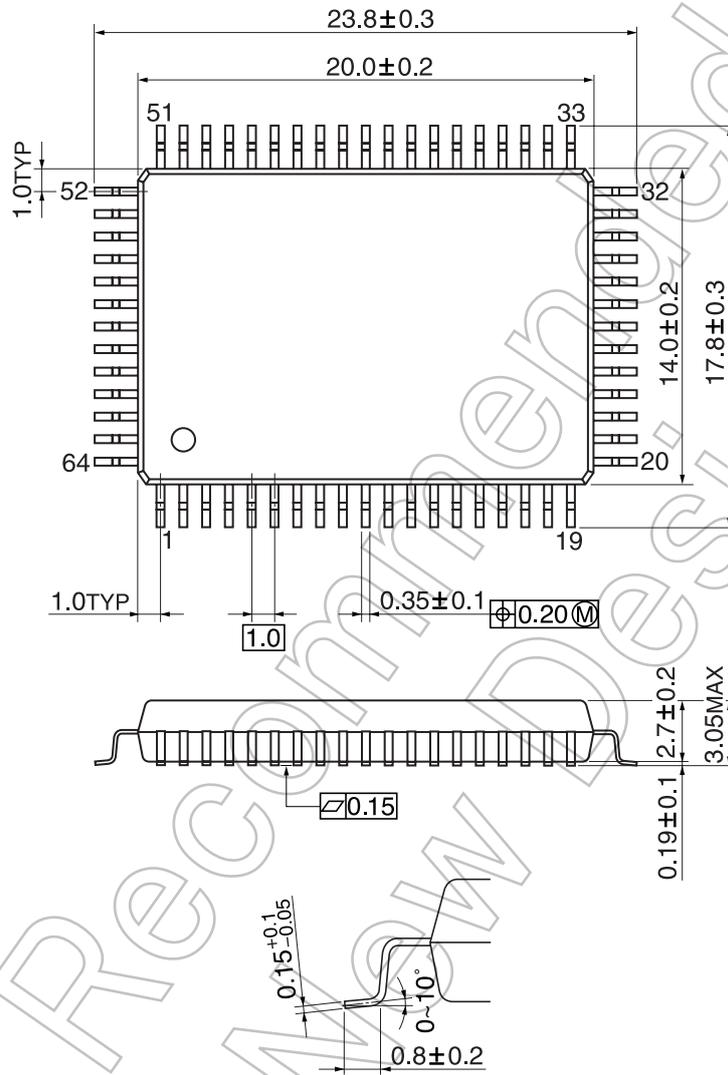
単位: mm



Not Recommended for New Design

QFP64-P-1420-1.00A

単位: mm



Not Recommended for New Design

## CMOS 8ビット マイクロコントローラ

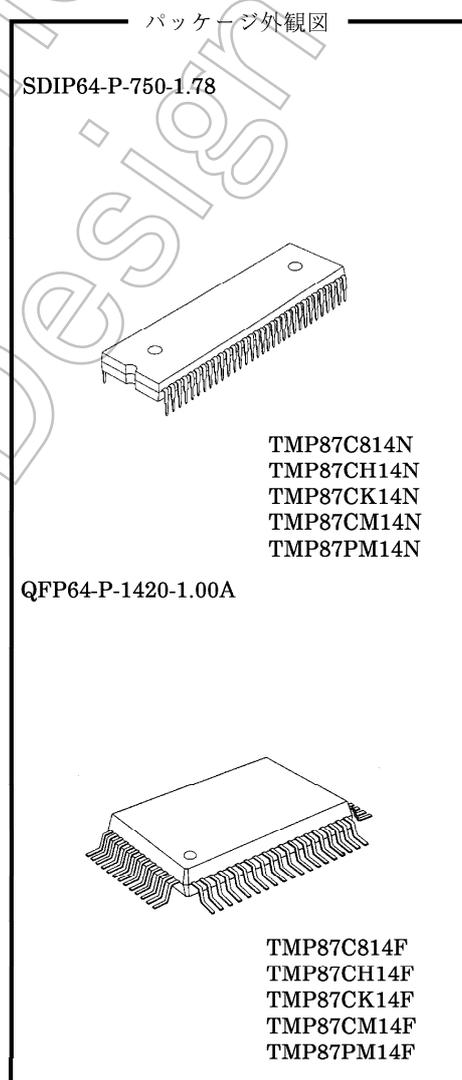
## TMP87C814N/F, TMP87CH14N/F, TMP87CK14N/F, TMP87CM14N/F

87C814/H14/K14/M14は、蛍光表示管駆動回路、シリアルインタフェース、8ビットA/Dコンバータ、多機能タイマカウンタおよび2系統の発振回路などを内蔵した高速、高機能8ビットシングルチップマイクロコンピュータです。

製品形名	ROM	RAM	パッケージ	OTP内蔵品
TMP87C814N/F	8Kバイト	512バイト	SDIP64-P-750-1.78	TMP87PM14N/F
TMP87CH14N/F	16Kバイト			
TMP87CK14N/F	24Kバイト	1Kバイト	QFP64-P-1420-1.00A	
TMP87CM14N/F	32Kバイト			

## 特長

- ◆ 8ビットシングルチップマイクロコンピュータ  
TLCS-870シリーズ
- ◆ 最小命令実行時間 : 0.5  $\mu$ s (8 MHz 動作時),  
122  $\mu$ s (32.768 kHz 動作時)
- ◆ 基本機械命令: 129種類 412命令
  - 乗除算 (8 bit  $\times$  8 bit, 16 bit  $\div$  8 bit)  
: 実行時間3.5  $\mu$ s (8 MHz 動作時)
  - ビット操作  
(Set/Clear/Complement/Load/Store/Test/Exclusive OR)
  - 16ビット演算/転送
  - 1バイト長のジャンプ/コール  
(Short relative jump / Vector call)
- ◆ 割り込み13要因 (外部: 5, 内部: 8)
  - 全要因独立ラッチ付き, 多重割り込み制御
  - エッジ選択, ノイズ除去機能付き外部割り込み端子あり
  - レジスタバンク切り替えによる高速タスクスイッチング
- ◆ 入出力ポート (55端子)
  - 入出力: 7ポート 55端子
- ◆ 16ビットタイマカウンタ: 2チャンネル
  - タイマ, イベントカウンタ, PPG出力, パルス幅測定,  
外部トリガタイマ, ウィンドウモード
- ◆ 8ビットタイマカウンタ: 2チャンネル
  - タイマ, イベントカウンタ, PWM (パルス幅変調) 出力,  
PDO (Programmable Divider Output) モード
- ◆ タイムベース タイマ (割り込み周波数: 1~16384 Hz)
- ◆ デバイダ出力機能: 2チャンネル (周波数: 1~8 kHz)



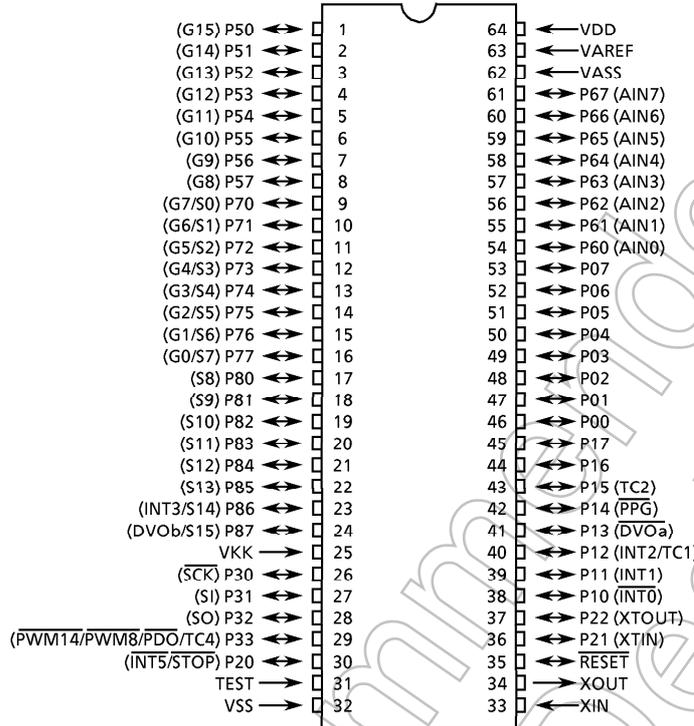
980901TBP1

- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますのでかからずお読みください。
- 当社は品質、信頼性の向上に努めていますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用頂く場合は、半導体製品の誤作動や故障により、他人の生命・身体・財産が侵害されることのないように、購入者側の責任において、装置の安全設計を行うことをお願いします。  
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用頂くとともに、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご活用ください。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

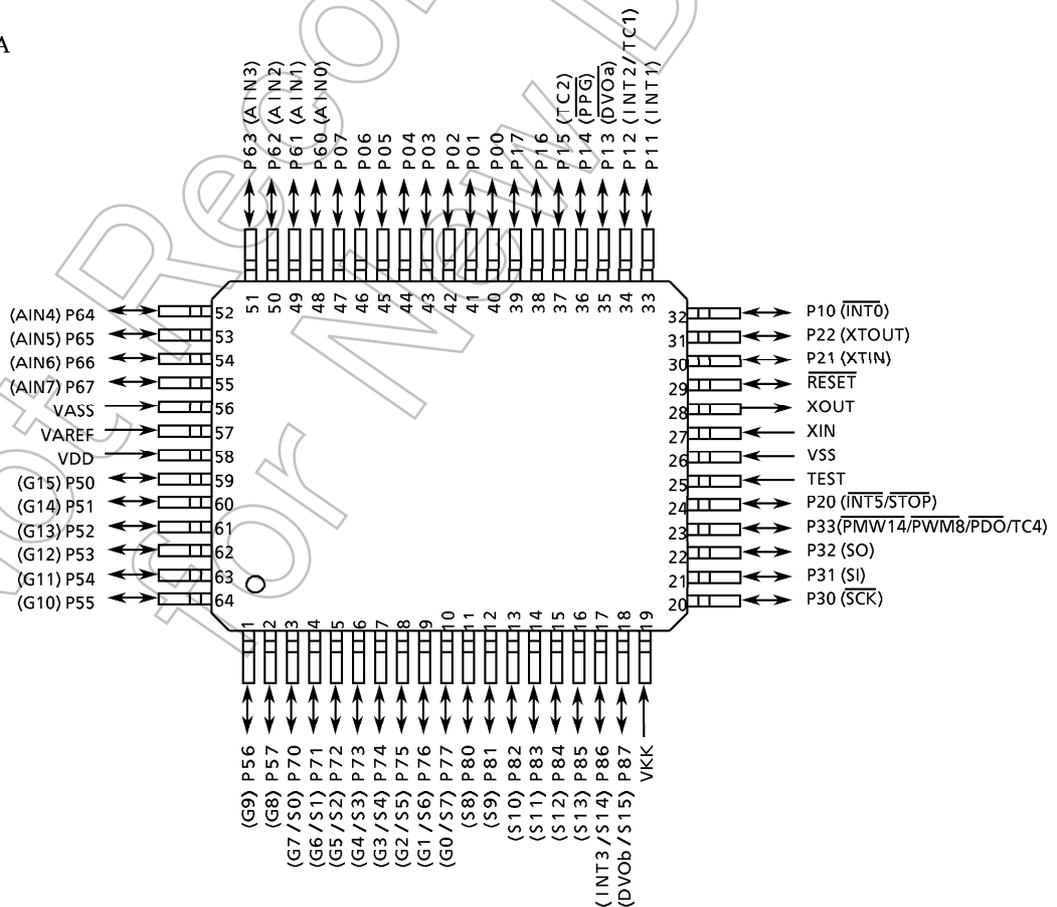
- ◆ ウォッチドッグ タイマ
- ◆ 8ビット シリアルインタフェース： 1チャンネル
  - 8バイトの送受信データバッファ付き
  - 内部/外部クロック，4/8ビット転送モードの選択
- ◆ 8ビット 逐次比較方式 A/Dコンバータ (サンプルホールド付き)
  - アナログ入力 : 8チャンネル
  - 変換時間 : 23  $\mu$ s (8 MHz動作時)
- ◆ D/A変換 (パルス幅変調) 出力
  - 14ビット分解能, 1チャンネル
- ◆ 蛍光表示管駆動回路 (自動表示)
  - 高耐圧出力ポート (max.40 V耐圧×24本)
- ◆ クロック発振回路： 2回路
  - シングル/デュアルクロックモードの選択 (オプション)
- ◆ 低消費電力動作 (5モード)
  - **STOP**モード : 発振停止 (バッテリー/コンデンサバックアップ)。ポート出力の保持/ハイインピーダンスの選択。
  - **SLOW**モード : 低周波クロックに (32.768 kHz) による低消費電力動作。
  - **IDLE1**モード : CPU停止。周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)。
  - **IDLE2**モード : CPU停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
  - **SLEEP**モード : CPU停止。周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
- ◆ 動作電圧範囲： 2.7~5.5 V @ 32.768 kHz, 4.5~5.5 V @ 8 MHz / 32.768 kHz
- ◆ エミュレーションポッド BM87CM14N0A

ピン配置図 (上面図)

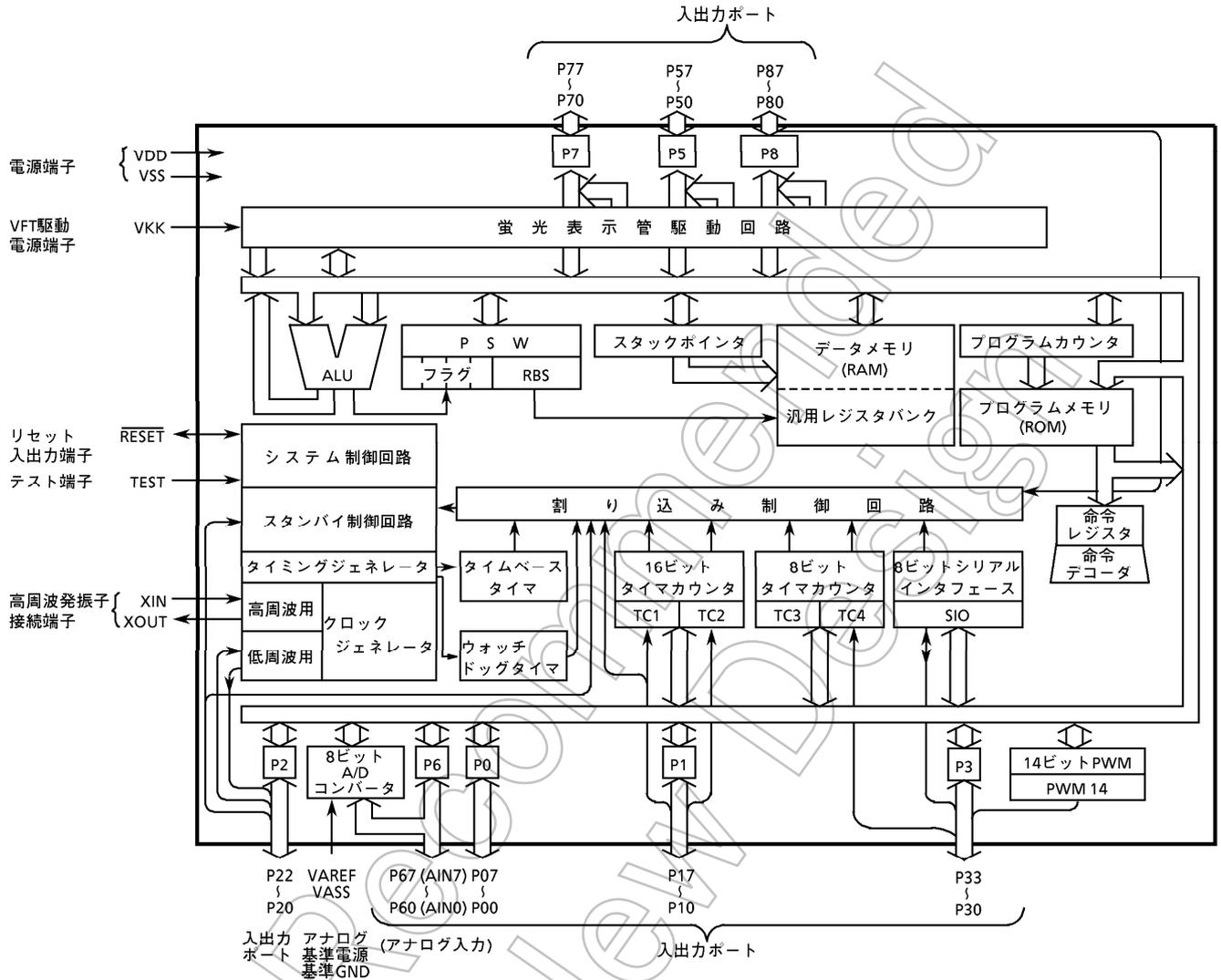
SDIP64-P-750-1.78



QFP64-P-1420-1.00A



ブロック図



## 端子機能

端子名	入出力	機能	
P07~P00	入出力	8ビットのプログラマブル入出力ポート (トライステート)。 1ビット単位で入出力の指定ができます。外部割り込み入力、タイマカウンタ入力として用いる場合は、入力モードにします。PPG出力、デバイダ出力として用いる場合は、出力ラッチを“1”にセットして出力モード。	
P17, P16	入出力		タイマカウンタ2の入力
P15 (TC2)	入出力(入力)		プログラマブルパルスジェネレータ出力
P14 (PPG)	入出力(出力)		デバイダ出力a
P13 (DVOa)	入出力(出力)		外部割り込み2入力/タイマカウンタ1の入力
P12 (INT2/TC1)			外部割り込み1入力
P11 (INT1)	入出力(入力)		外部割り込み0入力
P10 (INT0)			
P22 (XTOUT)	入出力(出力)	3ビット入出力ポート。 入力ポートとして使用する場合は、出力ラッチを“1”にセット。	低周波発振子接続端子 (32.768 kHz)。外部クロック入力の場合、XTINへ入力し、XTOUTは開放します。
P21 (XTIN)	入出力(入力)		外部割り込み5入力/STOPモード解除入力
P20 (INT5/STOP)			
P33 (PWM14/PWM8/PDO/TC4)	入出力(入出力)	4ビット入出力ポート。 入力ポート、シリアルインタフェース、タイマカウンタ入力、外部割り込み入力として使用する場合は、出力ラッチを“1”にセット。	14/8ビットPWMの出力/8ビットPDOの出力/タイマカウンタ4の入力
P32 (SO)	入出力(出力)		SIOシリアルデータ出力
P31 (SI)	入出力(入力)		SIOシリアルデータ入力
P30 (SCK)	入出力(入出力)		SIOシリアルクロックの入力/出力
P57 (G8) ~ P50 (G15)	入出力(出力)	8ビット高耐圧入出力ポート。デジット出力として使用する場合は出力ラッチを“0”にクリア。	VFTデジット出力
P67 (AIN7) ~ P60 (AIN0)	入出力(入力)	8ビットのプログラマブル入出力ポート (トライステート)。 1ビット単位で入力/出力の指定ができます。 アナログ入力として使用する場合は、入力モード。	A/Dコンバータアナログ入力
P77 (S7/G0) ~ P70 (S0/G7)	入出力(出力)	8ビット高耐圧出力ポート。セグメント/デジット出力として使用する場合は出力ラッチを“0”にクリア。	VFTセグメント/デジット出力
P87 (DVOb/S15)	入出力(出力)	8ビット高耐圧入出力ポート。デバイダ出力、外部割り込み入力、セグメント出力として使用する場合は出力ラッチを“0”にクリア。	デバイダ出力b/VFTセグメント出力
P86 (INT3/S14)	入出力(入出力)		外部割り込み3入力/VFTセグメント出力
P85 (S13) ~ P80 (S8)	入出力(出力)		VFTセグメント出力
XIN, XOUT	入力, 出力	高周波発振子接続端子。 外部クロック入力の場合 XINへ入力し、XOUTは開放。	
RESET	入出力	リセット信号入力、ウォッチドッグタイマ出力/アドレスラップリセット出力/システムクロックリセット出力	
TEST	入力	出荷試験用端子。“L”レベルに固定。	
VDD, VSS	電源	+5V, 0V (GND)	
VKK		蛍光表示管駆動用電源端子	
VAREF, VASS		A/D変換用アナログ基準電圧, 基準GND	

動作説明

1. CPUコア機能

CPUコアは、CPU、システムクロック制御回路、割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア、プログラムメモリ、データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TLCS-870シリーズのメモリは、ROM、RAM、SFR(スペシャルファンクションレジスタ)、DBR(データバッファレジスタ)の4つのブロックで構成され、それらは1つの64Kバイトアドレス空間上にマッピングされています。図1-1.に87C814/H14/K14/M14のメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAMアドレス空間上にマッピングされています。

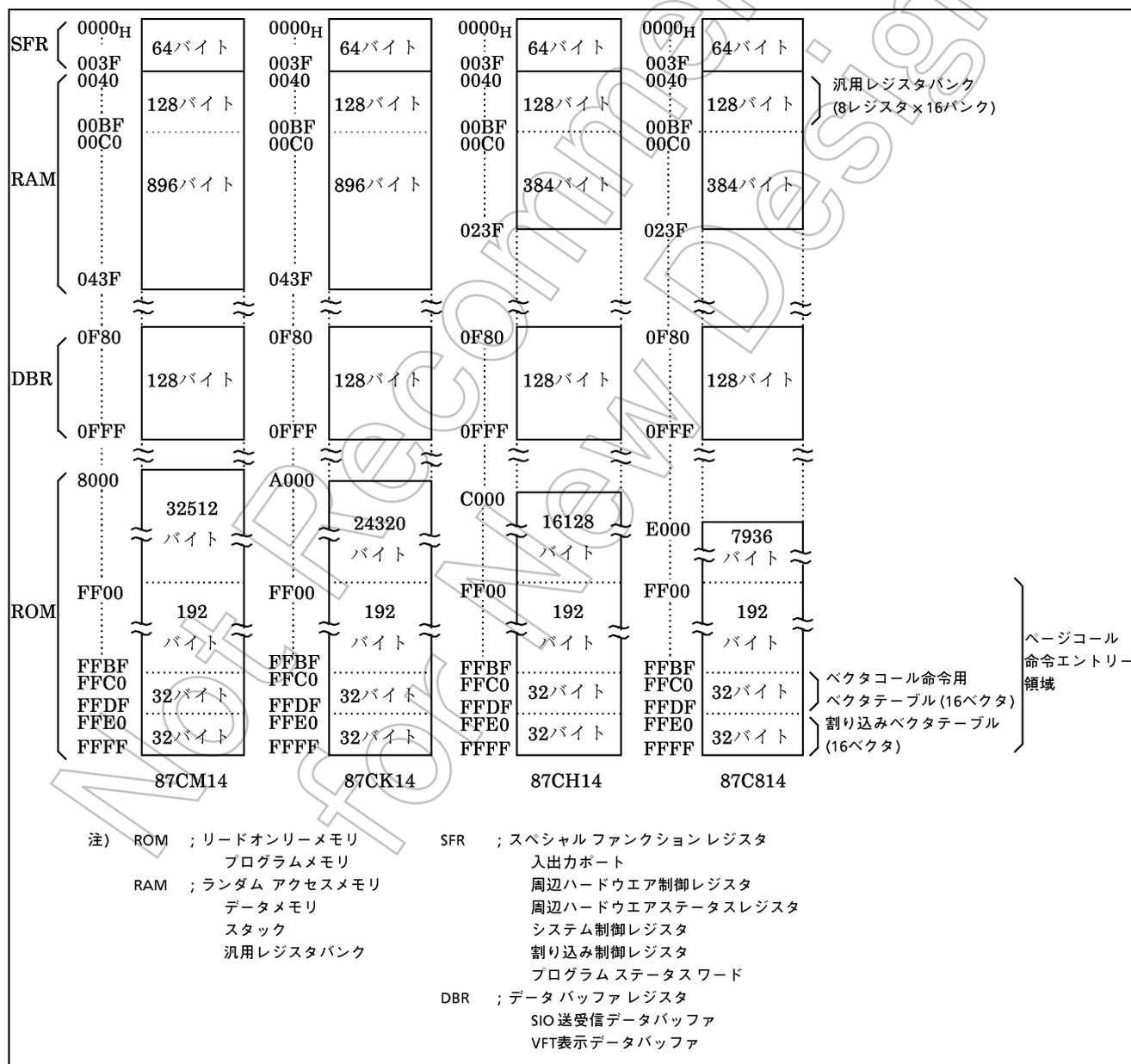


図1-1. メモリアドレスマップ

## 1.2 プログラムメモリ (ROM)

87C814は8K×8-bit(アドレスE000~FFFF<sub>H</sub>番地), 87CH14は16K×8-bit(アドレスC000~FFFF<sub>H</sub>番地), 87CK14は24K×8-bit(アドレスA000~FFFF<sub>H</sub>番地), 87CM14は32K×8-bit(アドレス8000~FFFF<sub>H</sub>番地)のプログラムメモリ(マスクROM)を内蔵しています。図1-2.にプログラムメモリマップを示します。

プログラムメモリのFF00~FFFF<sub>H</sub>番地は、特定の用途にも使用されます。

### (1) 割り込みベクタテーブル (FFE0~FFFF<sub>H</sub>番地)

リセットおよび割り込みのベクタ(2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタには、リセット解除からのスタートアドレス、割り込みサービスルーチンのエントリーアドレスを格納します。

### (2) ベクタコール命令用ベクタテーブル (FFC0~FFDF<sub>H</sub>番地)

ベクタコール命令[CALLV n]用のベクタ(サブルーチンエントリーアドレス, 2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタコール命令は1バイト長の命令で、使用頻度の高い(3ヶ所以上から呼び出される)サブルーチンコールに使うことによりメモリ効率を上げることができます。

### (3) ページコール命令用エントリーエリア (FF00~FFFF<sub>H</sub>番地)

ページコール命令[CALLP a]用のサブルーチンエントリーアドレスエリアです。FFC0~FFFF<sub>H</sub>番地はベクタテーブルにもなっていますので、通常FF00~FFBF<sub>H</sub>番地の範囲を使用します。ページコール命令は、2バイト長の命令です。

プログラムメモリには、プログラムおよび固定データが格納されます。次に実行すべき命令は、プログラムカウンタの内容が示すアドレスから読み出されます。ジャンプ命令は相対ジャンプまたは絶対ジャンプ命令で、ジャンプ命令に関してプログラムメモリにはページ、バンクといった境界概念はありません。

例： ジャンプ命令とプログラムカウンタの関係

#### ① 5ビット相対ジャンプ命令[JRS cc, \$+2+d]

F8C4<sub>H</sub>: JRS T, \$+2+08<sub>H</sub> の場合

JF=1のとき、プログラムカウンタの内容に08<sub>H</sub>を加算したF8CE<sub>H</sub>にジャンプします(プログラムカウンタの内容は実行命令の置かれたアドレス+2になっています。従って、この場合プログラムカウンタの値はF8C4<sub>H</sub>+2=F8C6<sub>H</sub>となります)。

#### ② 8ビット相対ジャンプ命令

E8C4<sub>H</sub>: JR Z, \$+2+80<sub>H</sub> の場合

ZF=1のとき、プログラムカウンタの内容にFF80<sub>H</sub>(-128)を加算したE846<sub>H</sub>にジャンプします。

#### ③ 16ビット絶対ジャンプ命令[JP a]

E8C4<sub>H</sub>: JP 0C235<sub>H</sub> の場合

無条件にC235<sub>H</sub>番地にジャンプします。絶対ジャンプ命令は64Kバイトの全空間内の任意のアドレスにジャンプできます。

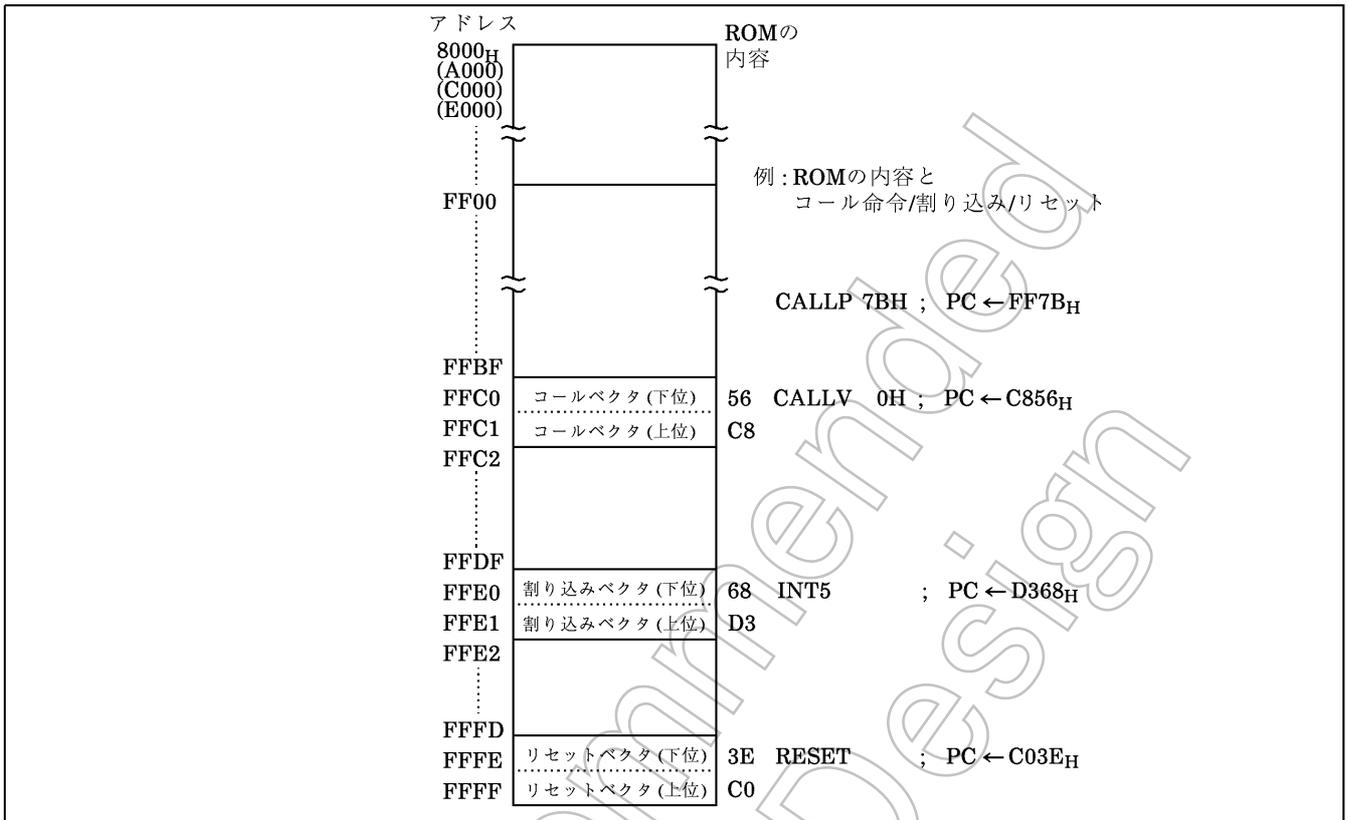


図1-2. プログラムメモリマップ

TLCS-870シリーズは、プログラムメモリに格納された固定データの読み出しに、データメモリをアクセスする命令と同じ命令を使用します。さらに、レジスタオフセット相対アドレッシングモード (PC+A) の命令も使用でき、コード変換、テーブルルックアップ、多方向分岐処理などが容易にプログラミングできます。

例1 : HLレジスタペアで指定されるアドレスのROM内容をアキュムレータに読み出す処理 (87CK14: HL ≧ A000H)。

```
LDA, (HL) ; A ← ROM (HL)
```

例2 : BCD → 7セグメントコード (アノードコモン) 変換出力処理 (A=05Hのとき下記プログラムの実行で、P3ポートに92Hが出力されます)。

```
ADD A, TABLE - $ - 4 ; P3 ← ROM (TABLE + A)
LD (P3), (PC + A)
JRS T, SNEXT
```

```
TABLE: DB 0C0H, 0F9H, 0A4H, 0B0H, 99H, 92H, 82H, 0D8H, 80H, 98H
SNEXT:
```

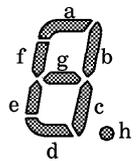
注) \$はADD命令の先頭アドレス。DBはバイトデータの定義命令。

例3 : アキュムレータの内容 (0 ≦ A ≦ 3) による多方向分岐処理

```
SHLC A ; if A = 00H then PC ← C234H
JP (PC + A) if A = 01H then PC ← C378H
if A = 02H then PC ← DA37H
if A = 03H then PC ← E1B0H

DW 0C234H, 0C378H, 0DA37H, 0E1B0H
```

注) DWはワードデータの定義命令。ワード = 2バイト。



SHLC A
JP (PC + A)
34
C2
78
C3
37
DA
B0
E1



データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例1：RAMクリア (バンク0以外のRAMをすべてゼロクリア)

```

LD    HL, 0048H    ; スタートアドレス(HL)の設定
LD    A, H        ; 初期化データ(A)の設定
LD    BC, 00F7H   ; バイト数-1(BC)の設定 (RAM512バイトの場合)
SRAMCLR: LD    (HL+), A
      DEC    BC
      JRS   F, SRAMCLR
    
```

注) 汎用レジスタはRAM上に存在しますので、カレントバンクのアドレスに対してRAMクリアしないでください。そのため、上記の例でバンク0を除いてRAMクリアしています。

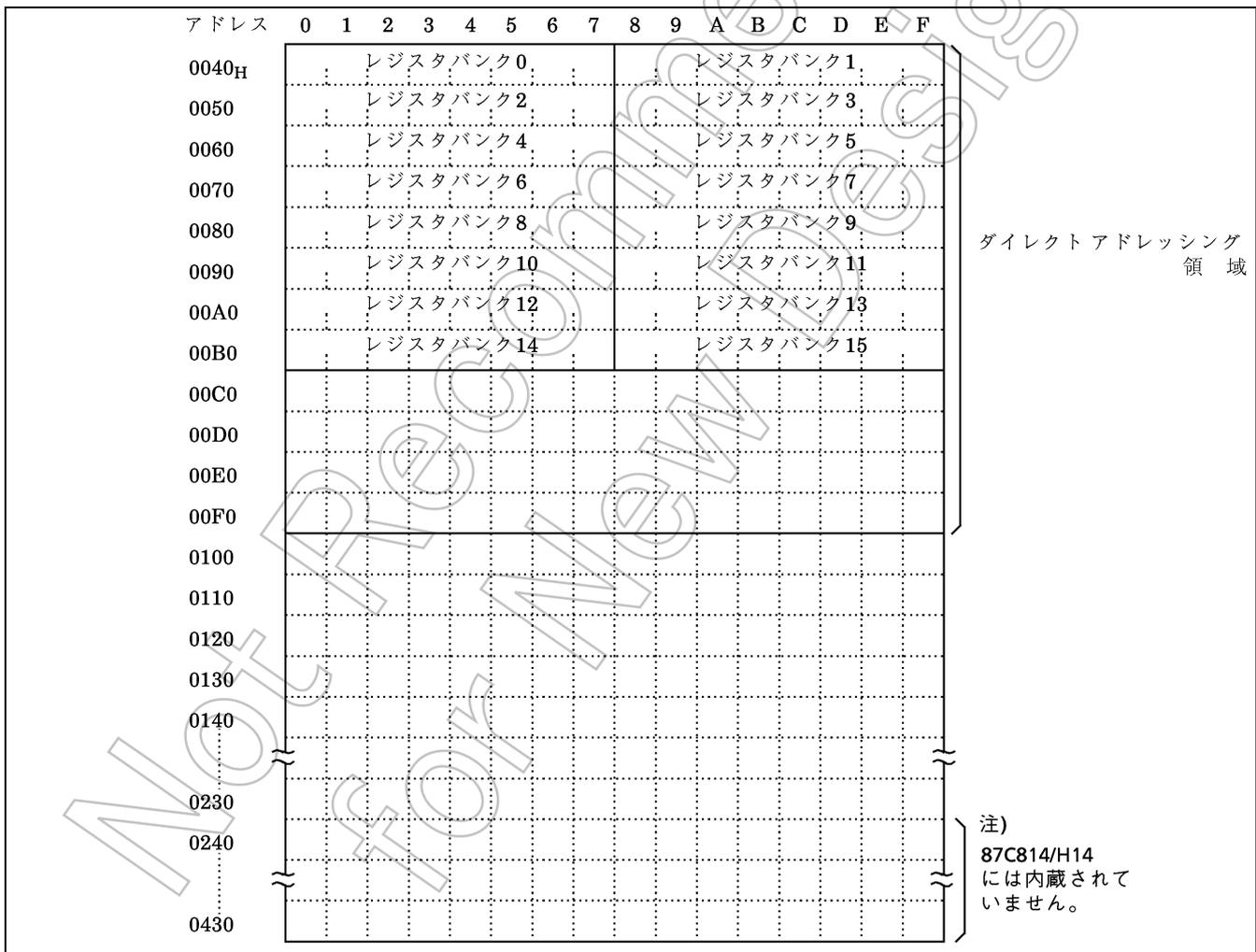


図1-4. データメモリマップ

## 1.5 汎用レジスタバンク

汎用レジスタは、データメモリの0040~00BF<sub>H</sub>番地にマッピングされており、W, A, B, C, D, E, H, Lの8ビットレジスタ8本を1バンクとして16バンク内蔵しています。図1-5.に汎用レジスタバンクの構成を示します。なお、使用しないレジスタバンクは、データメモリとして使用できます。

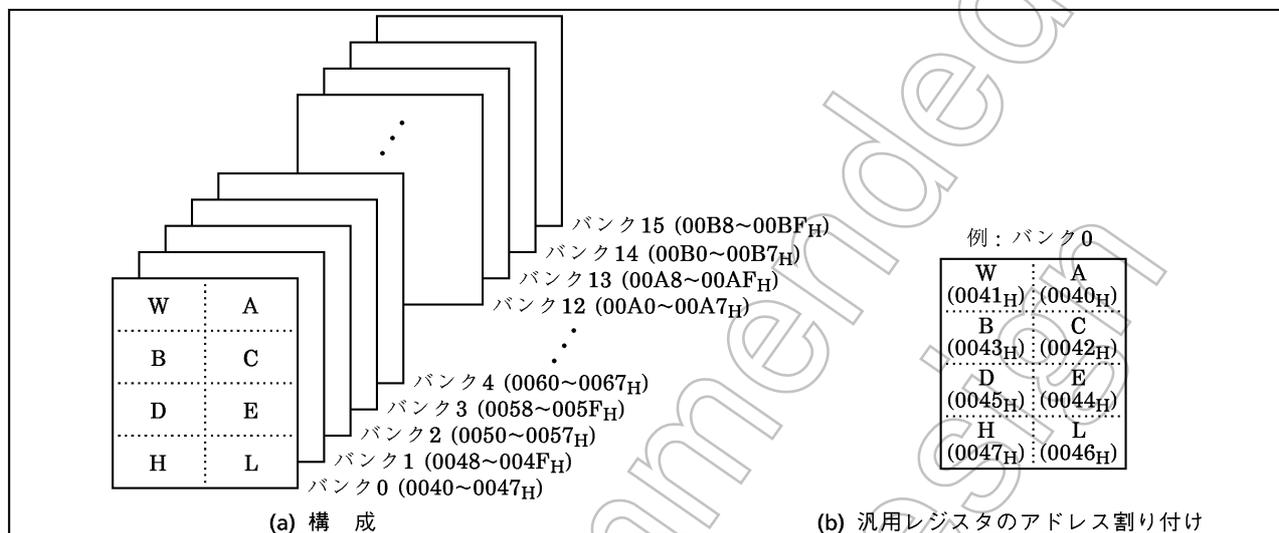


図1-5. 汎用レジスタバンクの構成

各レジスタは、8ビット単位のアクセスのほか、WA, BC, DE, HLのレジスタペアとして16ビット単位のアクセスを行うことができます。また、汎用レジスタとしての機能のほかに、次の機能を有しています。

## (1) A, WA

Aは8ビット長のアキュムレータとして、WAは16ビット長のアキュムレータ(Wが上位、Aが下位)としての機能を有しています。なお、8ビット演算についてはA以外のレジスタもアキュムレータ的な使い方ができます。

- 例： ① ADD A, B ; Aの内容にBの内容を足して、結果をAに入れます。  
 ② SUB WA, 1234H ; WAの内容から即値1234<sub>H</sub>を引き、結果をWAに入れます。  
 ③ SUB E, A ; Eの内容からAの内容を引き、結果をEに入れます。

## (2) HL, DE

HLは、データポインタ/インデックスレジスタ/ベースレジスタとして、DEは、データポインタとしての機能を有しており、メモリのアドレス指定に使われます。

また、HLにはオートポストインクリメント/プリデクリメント機能があり、多桁のデータ処理やソフトウェアLIFO(ラストインファーストアウト)処理が容易にできます。

- 例1： ① LD A, (HL) ; HLで指定されるアドレスのメモリ内容をAにロードします。  
 ② LD A, (HL+52H) ; HLに即値52<sub>H</sub>を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。  
 ③ LD A, (HL+C) ; HLにCレジスタの内容を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。  
 ④ LD A, (HL+) ; HLで指定されるアドレスのメモリ内容をAにロード後、HLの内容をインクリメントします。  
 ⑤ LD A, (-HL) ; HLの内容をデクリメントし、その値で指定されるアドレスのメモリ内容をAにロードします。

TLCS-870シリーズは、メモリからメモリにデータを直接転送したり、メモリとメモリとの間で直接演算することができ、ブロック処理などを容易にプログラミングできます。

例2: ブロック転送

```

LD   B, m           ; m=n-1 (n:転送バイト数)
LD   HL, DSTA      ; 転送先アドレス
LD   DE, SRCA      ; 転送元アドレス
SLOOP: LD (HL), (DE) ; (HL) ← (DE)
INC  HL            ; HL ← HL+1
INC  DE            ; DE ← DE+1
DEC  B             ; B ← B-1
JRS  F, SLOOP      ; if B ≥ 0 then loop

```

### (3) B, C, BC

B, Cは8ビットの、BCは16ビットのバッファ、カウンタなどに使用できます。Cは、レジスタインデックスアドレッシング(HL+C)におけるオフセットレジスタとして(前記の例1③)、また除算命令における除数レジスタとしての機能を有しています。

例1: リピート処理

```

LD   B, n           ; リピート回数の設定(n+1回処理が行われます)
SREPEAT: 処 理
DEC  B
JRS  F, SREPEAT

```

例2: 除算(16ビット÷8ビット)

```

DIV  WA, C          ; WA÷Cの演算を行い、商をAに、余りをWに入れます。

```

汎用レジスタのバンク選択は、4ビットのレジスタバンクセレクタ(RBS)により行います。リセット時RBSは“0”に初期化されますので、バンク0に初期設定されます。RBSで選択されているバンクをカレントバンクと呼びます。

RBSは、フラグとともにプログラムステータスワード(PSW)として、SFR内の003FH番地に割り付けられており、メモリアクセス命令で操作します。なお、即値設定およびプッシュ/ポップのみ専用命令[LD RBS, n], [PUSH PSW], [POP PSW]が用意されています。

例1: RBSのインクリメント

```

INC  (003FH)       ; RBS ← RBS + 1

```

例2: RBSのリード

```

LD   A, (003FH)    ; A ← RBS(この命令ではフラグも同時に読み出されますので、A ← PSWとなります)

```

割り込み処理におけるレジスタの退避、サブルーチン処理におけるパラメータの受け渡しにバンク切り替えを使うことにより、効率のよいプログラムを組むことができ、また、高速にタスクスイッチングができます。割り込み受け付け時、RBSは自動的にスタックに退避されます。なお、割り込みリターン命令[RETI], [RETN]の実行により、自動的に割り込み受け付け前のバンクに復帰しますので、RBSの退避/復帰のソフトウェア処理は必要ありません。

TLCS-870シリーズは最大15要因の割り込みをサポートしており、各要因に1バンクを割り当て、さらにメインタスクに1バンクのレジスタを割り当てることができます。また、メモリの使用効率を上げる場合、多重化しない割り込み要因には共通のバンクを割り当てて使用します。

例： バンク切り替えによる割り込みタスクにおける汎用レジスタの退避/復帰

```
PINT1: LD RBS, n ; RBS ← n (バンク n に切り替え)
        割り込み処理
        RETI ; マスカブル割り込みリターン (バンクは自動的に復帰)
```

## 1.6 プログラムステータスワード (PSW)

プログラムステータスワードは、レジスタバンクセレクタ (RBS) とフラグから構成され、SFR内の003FH番地に割り付けられています。

RBSは、メモリアクセス命令で読み出し/書き込みができ、フラグは読み出しのみできます。PSWに対して書き込みを行った場合、フラグにはデータは書き込まれず、その命令で定まった変化をします。例えば、[LD (003FH), 05H]命令を実行すると、RBSには5が書き込まれ、JFは“1”にセットされ、そのほかのフラグは変化しません。

割り込み受け付け時、PSWはプログラムカウンタとともにスタックに退避されます。また、PSWは割り込みリターン命令[RETI], [RETN]の実行によりスタックからリストアされ、割り込み受け付け直前の状態に戻ります。

PSWをアクセスする専用命令としてプッシュ[PUSH PSW]/ポップ[POP PSW]があります。

### 1.6.1 レジスタバンクセレクタ (RBS)

汎用レジスタのバンクを選択する4ビットのレジスタです。例えば、RBS=2のとき、バンク2が現在選択されていることになります。

リセット時、RBSは“0”に初期化されます。

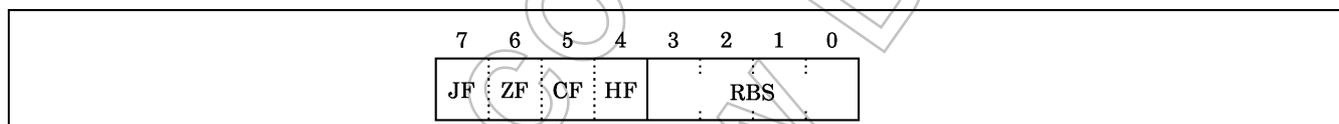


図1-6. PSW (フラグ, RBS) の構成

### 1.6.2 フラグ (FLAG)

ゼロフラグ、キャリーフラグ、ハーフキャリーフラグおよびジャンプステータスフラグの4ビットで構成され、命令で指定される条件に従いセット/クリアされます。ゼロフラグ、キャリーフラグおよびジャンプステータスフラグは、条件付きジャンプ命令[JRC cc, \$+2+d], [JRS cc, \$+2+d]のジャンプ条件ccとなります。

リセット解除時ジャンプステータスフラグは、“1”に初期化されます (そのほかのフラグは初期化されません)。

#### (1) ゼロフラグ (ZF)

ゼロフラグは、演算結果または転送データが00H (8ビット演算/転送時)/0000H (16ビット演算時)のとき“1”にセットされ、そのほかのときは“0”にクリアされます。ビット操作命令では、指定ビットの内容が“0”のときZFは“1”にセットされ、指定ビットの内容が“1”のときZFは“0”にクリアされます (ビットテスト)。乗算命令の場合積の上位8ビットが00Hのとき、除算命令の場合剰余が00Hのとき、ZFは“1”にセットされ、そのほかのときは“0”にクリアされます。

## (2) キャリーフラグ (CF)

演算時のキャリーまたはボローがセットされます。除算命令の場合、除数が00Hのとき (Divided by zero Error)、または、商が100H以上のとき (Quotient Error)、“1”にセットされます。

シフト/ローテート命令では、レジスタからシフトアウトされるデータがセットされます。

ビット操作命令では、1ビット長のレジスタ(ブーリアンアキュムレータ)として機能します。また、キャリーフラグ操作命令によりセット/クリア/反転ができます。

例： ビット操作(07H番地のビット5の内容と9AH番地のビット0の内容とで排他的論理和をとり、結果を01H番地のビット2に書き込みます)。

```
LD     CF, (0007H).5 ; (0001H)2 ← (0007H)5 ∇ (009AH)0
XOR   CF, (009AH).0
LD     (0001H).2, CF
```

## (3) ハーフキャリーフラグ (HF)

8ビット演算時、4ビット目へのキャリーまたは4ビット目からのボローがセットされます。HFは、BCDデータの加減算の際の十進補正用のフラグです ([DAA r], [DAS r] 命令による十進補正)。

例： BCD演算 (A=19H, B=28Hのとき、次の命令を実行すると、Aは47Hになります)。

```
ADD   A, B ; A ← 41H, HF ← 1, CF = 0
DAA   A ; A ← 41H + 06H = 47H (十進補正)
```

## (4) ジャンプステータスフラグ (JF)

通常、“1”にセットされるフラグで、命令に従いゼロまたはキャリー情報がセットされ、条件付きジャンプ命令

[JR T/F, \$+2+d], [JRS T/F, \$+2+d] (T, Fは条件コードです) のジャンプ条件となります。

例： ジャンプステータスフラグと条件付きジャンプ命令

```
INC   A
JRS   T, SLABLE1 ; 直前の演算命令で桁上げが発生した場合
      ;          ジャンプします。
LD    A, (HL)
JRS   T, SLABLE2 ; 直前の命令でJFは“1”にセットされますので、
      ;          無条件ジャンプ命令と見なされます。
```

例： WAレジスタペア, HLレジスタペア, データメモリの00C5H番地, キャリーフラグ, ハーフキャリーフラグの内容がそれぞれ “219AH”, “00C5H”, “D7H”, “1”, “0” のとき、下記命令を実行するとアキュムレータおよび各フラグは次のようになります。

命 令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF
ADDC A, (HL)	72	1	0	1	1
SUBB A, (HL)	C2	1	0	1	0
CMP A, (HL)	9A	0	0	1	0
AND A, (HL)	92	0	0	1	0
LD A, (HL)	D7	1	0	1	0
ADD A, 66H	00	1	1	1	1

命 令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF
INC A	9B	0	0	1	0
ROL A	35	1	0	1	0
ROR A	CD	0	0	0	0
ADD WA, 0F508H	16A2	1	0	1	0
MUL W, A	13DA	0	0	1	0
SET A.5	BA	1	1	1	0

1.7 スタック,スタックポインタ

1.7.1 スタック

スタックは、サブルーチンコール命令実行時または割り込み受け付け時にその処理ルーチンへジャンプするに先立ってプログラムカウンタの内容(戻り番地)やプログラムステータスワードの内容などをセーブするエリアです。

サブルーチンコール命令[CALL a], [CALLP a], [CALLV n]実行時、戻り番地(上位バイト, 下位バイトの順に)がスタックに退避(プッシュダウン)されます。ソフトウェア割り込み命令[SWI]実行時または割り込み受け付け時は、まずプログラムステータスワードの内容がスタックに退避され、次に戻り番地が退避されます。

処理ルーチンから復帰する場合、サブルーチンリターン命令[RET]を実行することによりスタックからプログラムカウンタへ、割り込みリターン命令[RETI], [RETN]を実行することによりスタックからプログラムカウンタおよびプログラムステータスワードへ、それぞれの内容がリストア(ポップアップ)されます。

スタックは、データメモリ内の任意のエリアに設定できます。

1.7.2 スタックポインタ (SP)

スタックポインタは、スタックの先頭番地を指す16ビットのレジスタです。スタックポインタは、サブルーチンコール、プッシュ命令実行時および割り込み受け付け時にポストデクリメントされ、リターン、ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなります。スタックのアクセスとスタックポインタの変化を図1-8.に示します。



図1-7. スタックポインタ

スタックポインタは、ハードウェア的には初期化されませんので、イニシャライズルーチンで初期化(スタックの最高位アドレスをセット)する必要があります。スタックポインタを操作する命令には、[LD SP, mn], [LD SP, gg]および[LD gg, SP](mnは16ビット即値、ggはレジスタペア)があります。

例1: スタックポインタのイニシャライズ

```
LD SP, 013FH ; SP←013FH
```

例2: スタックポインタのリード

```
LD HL, SP ; HL←SP
```

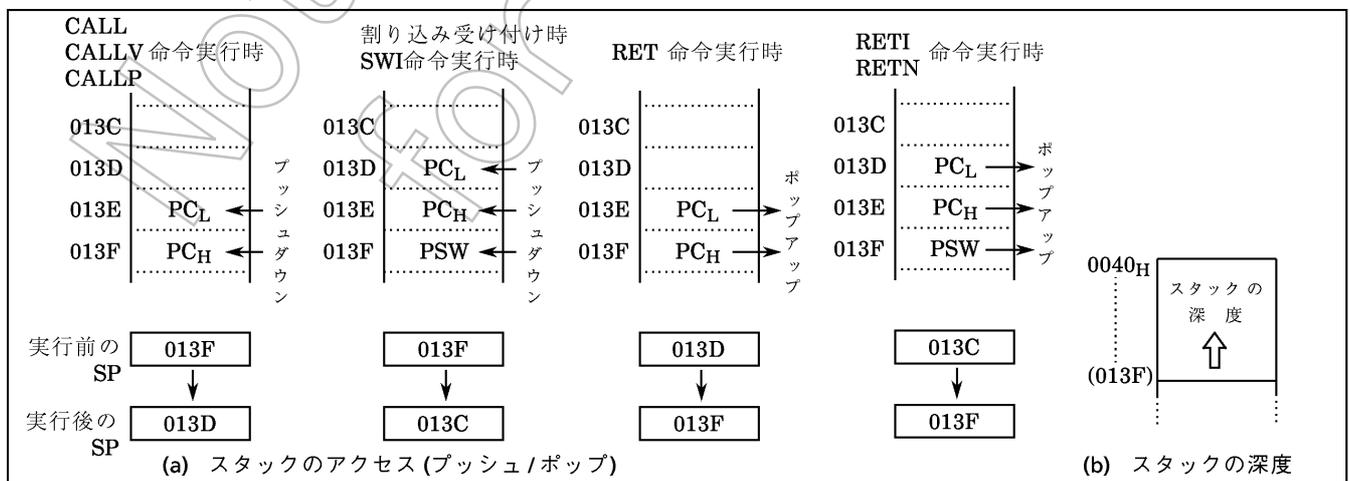


図1-8. スタック

1.8 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

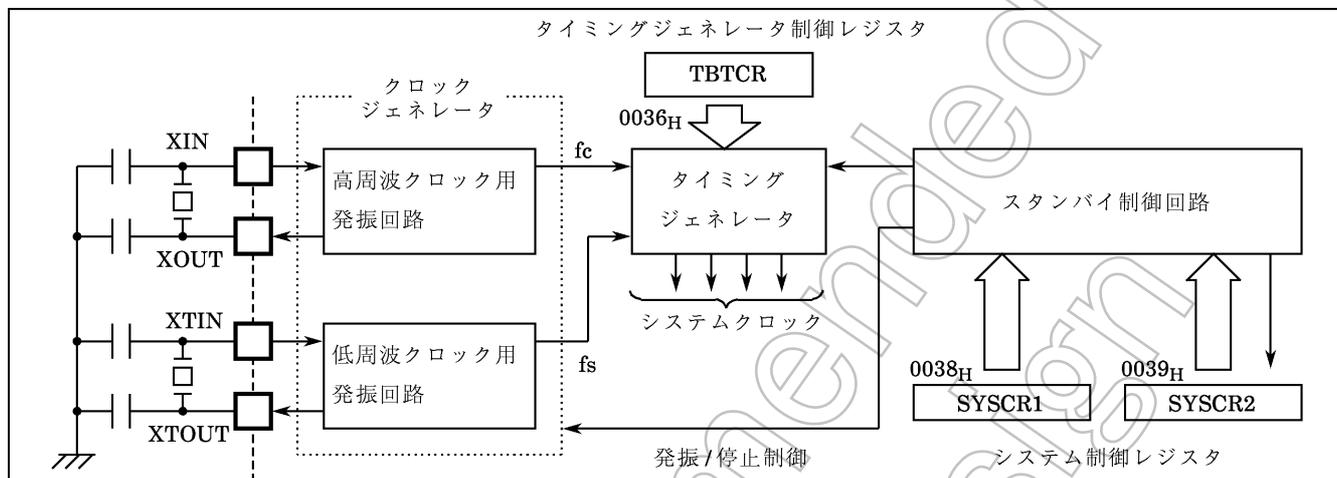


図1-9. システムクロック制御回路

1.8.1 クロックジェネレータ

クロックジェネレータは、CPUコアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック(周波数 $f_c$ )、低周波クロック(周波数 $f_s$ )は、それぞれXIN、XOUT端子、XTIN、XTOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。

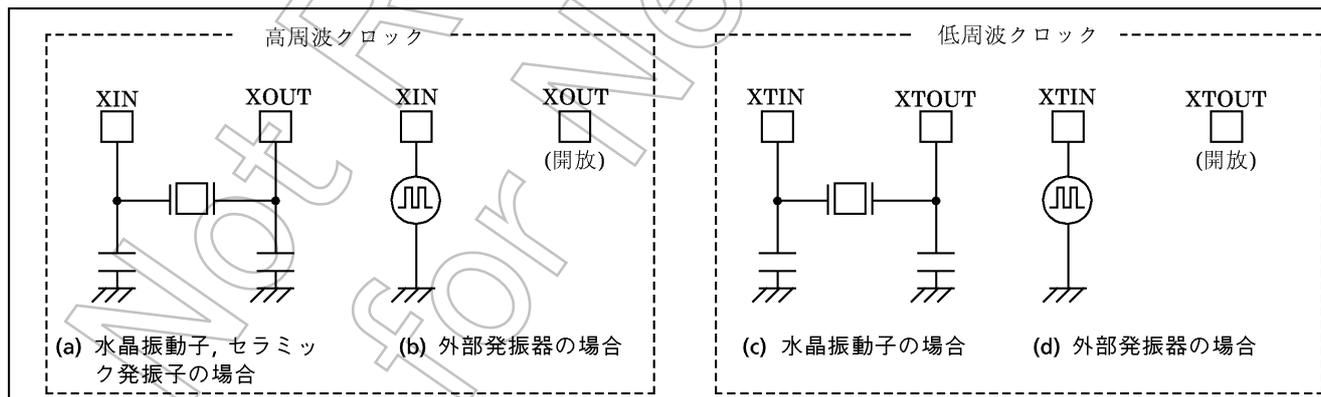


図1-10. 発振子の接続例

注) 発振周波数の調整

基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

## 1.8.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック ( $fc$ ) からCPUコアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

- ① メインシステムクロック生成
- ② デバイダ出力 ( $DV\bar{O}$ ) パルス生成
- ③ タイマベースタイマのソースクロック生成
- ④ ウォッチドッグタイマのソースクロック生成
- ⑤ タイマカウンタの内部ソースクロック生成
- ⑥ シリアルインタフェースの内部シリアルクロック生成
- ⑦ 蛍光表示管駆動回路のソースクロック生成
- ⑧ STOPモード解除時のウォーミングアップクロック生成
- ⑨ リセット出力 解除クロック生成

### (1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケアラ、21段のデバイダおよびマシンサイクルカウンタから構成されています。

なお、リセット時およびSTOPモード起動/解除時デバイダは“0”にクリアされます(ただし、プリスケアラはクリアされません)。

#### ① シングルクロックモード時

高周波クロック (周波数 $fc$ )を256分周したクロック ( $fc/28$ )がデバイダの7段目に入力されます。なお、シングルクロックモード時DV7CKを“1”にセットしないでください。

#### ② デュアルクロックモード時

NORMAL2, IDLE2モード時(SYSCK=0)は、DV7CKにより、デバイダの7段目への入力クロックを $fc/28$ か $fs$ かのいずれかの選択ができます。SLOW, SLEEPモード時(SYSCK=1)は、自動的に $fs$ がデバイダの7段目に入力されます(なお、デバイダの初段への入力クロックは停止しますので、デバイダの初段から6段目までの出力も停止します)。

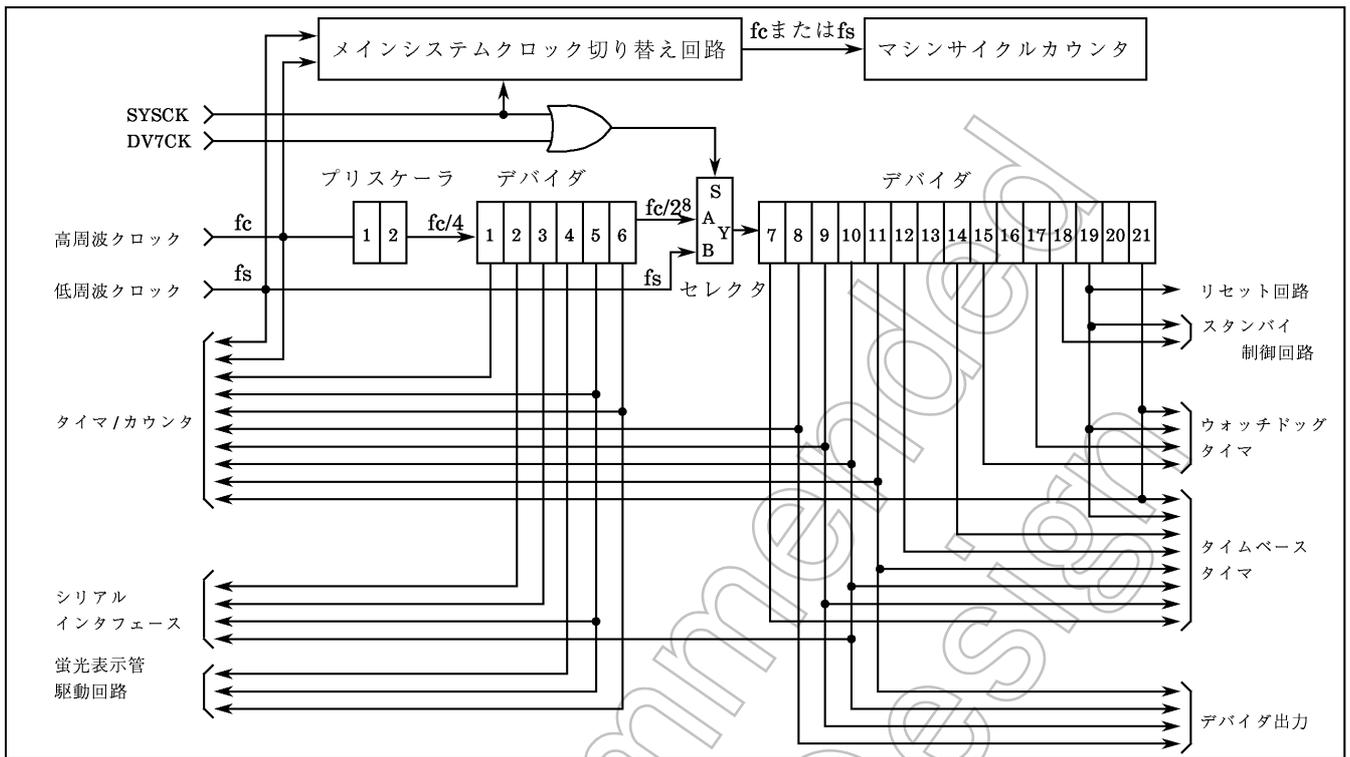


図1-11. タイミングジェネレータの構成

TBTCR (0036 <sub>H</sub> )	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	(DVOEN)	(DV0CK)	DV7CK	(TBTEN)			(TBTCCK)		
	DV7CK	デバイダの7段目への入力クロックの選択					0: fc/28 [Hz] 1: fs	R/W	

注1) fc; 高周波クロック [Hz], fs; 低周波クロック [Hz], \*; don't care  
 注2) シングルクロックモード時は、DV7CKを“1”にセットしないでください。  
 注3) 低周波クロックの発振安定前にDV7CKを“1”にセットしないでください。

図1-12. タイミングジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870シリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

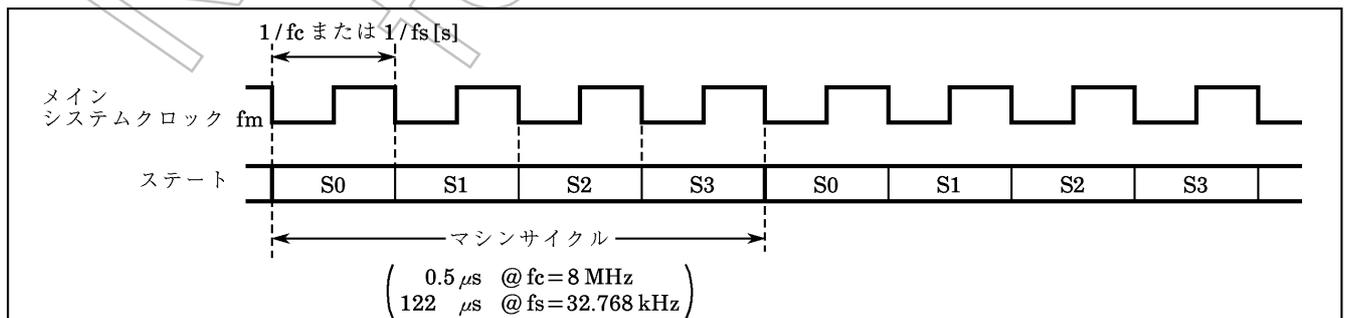


図1-13. マシンサイクル

### 1.8.3 スタンバイ制御回路

スタンバイ制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-14.に動作モード遷移図を、図1-15.に制御レジスタを示します。

リセット解除時の動作モードは、シングルクロックモードかデュアルクロックモードかのいずれかをオプションで指定することができます。ただし、87PM14はシングルクロックモード固定となります(デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させていただきます)。

#### (1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシサイクルタイムは  $4/f_c$  [s] ( $0.5 \mu\text{s} @ f_c = 8 \text{ MHz}$ ) となります。

##### ① NORMALモード

CPUコアおよび周辺ハードウェアを動作させるモードです。リセット解除後このNORMAL1モードになります。

##### ② IDLE1モード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1モードの起動は、システム制御レジスタ2で行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMFが“0” (割り込み禁止状態) のときは、IDLE1モードを起動した命令の次の命令から実行再開します。

##### ③ STOP1モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。また、入出力ポートの出力状態は、プログラムで全ポート一括して出力保持/ハイインピーダンスの選択ができます。

STOP1モードの起動は、システム制御レジスタ1で行います。解除は、STOP 端子入力 (レベル/エッジの選択可能) で行い、ウォーミングアップ時間経過後、STOP1モードを起動した命令の次の命令から実行再開します。

## (2) デュアルクロックモード

高周波、低周波用の2つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2モード時、高周波クロックから生成され、SLOW, SLEEPモード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2モード時  $4/f_c$  [s], SLOW, SLEEPモード時  $4/f_s$  [s] ( $122 \mu\text{s} @ f_s = 32.768 \text{ kHz}$ ) となります。

### ① NORMAL2モード

CPUコアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波/低周波の両クロックで動作します。デュアルクロックモードをオプション選択した場合、リセット解除後このNORMAL2モードになります。

### ② SLOWモード

高周波クロックの発振を停止させ、CPUコア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。NORMAL2からSLOWへの切り替え、SLOWからNORMAL2への切り替えは、システム制御レジスタ2で行います。

### ③ IDLE2モード

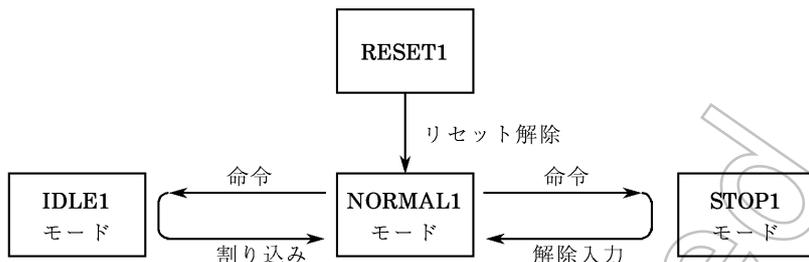
CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2モードの起動/解除方法は、IDLE1モードと同じです。解除後、NORMAL2モードに戻ります。

### ④ SLEEPモード

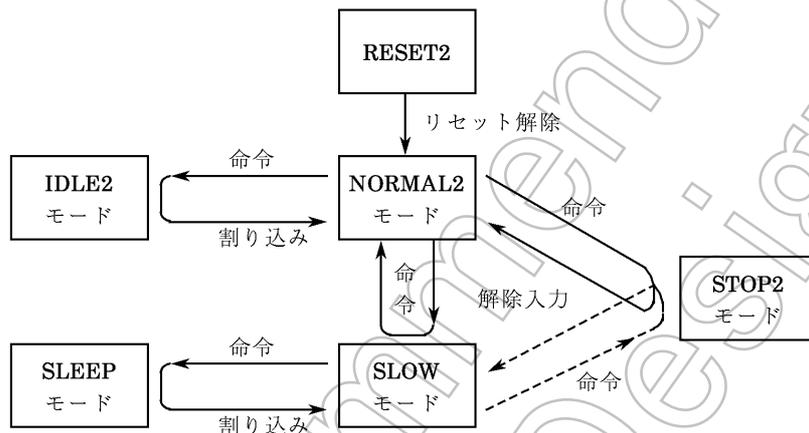
CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2モードの起動/解除方法は、IDLE1モードと同じです。解除後、NORMAL2モードに戻ります。

### ⑤ STOP2モード

シングルクロックモードのSTOP1モードと同様、システムの動作をすべて停止するモードです。



(a) シングルクロックモード状態遷移図



(b) デュアルクロックモード状態遷移図

- 注1) NORMAL1, NORMAL2を、STOP1, STOP2を、IDLE1, IDLE2, SLEEPを、それぞれ総称してNORMAL, STOP, IDLEと呼びます。
- 注2) 87PM14には、RESET2はありません。

動作モード	発振回路		CPUコア	周辺回路	マシンサイクルタイム
	高周波	低周波			
シングルクロック	RESET1		リセット	リセット	4/fc [s]
	NORMAL1	発振	動作	動作	
	IDLE1	停止	停止		
	STOP1	停止		停止	
デュアルクロック	RESET2		リセット	リセット	4/fc [s]
	NORMAL2	発振	高周波動作	動作	
	IDLE2	発振	停止		
	SLOW		低周波動作	低周波動作	4/fs [s]
	SLEEP	停止		(注1)	
	STOP2	停止	停止	停止	

注1) 蛍光表示管 (VFT) ドライバは、停止します。

図1-14. 動作モード状態遷移図

システム制御レジスタ1

SYSCR1 (0038H)      7    6    5    4    3    2    1    0      (初期値 0000 00\*\*)      

STOP	RELM	RETM	OUTEN	WUT			
------	------	------	-------	-----	--	--	--

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア 動作 1: CPUコア, 周辺ハードウェア 停止 (STOPモード起動)	R/W
RELM	STOPモードの解除方法の選択	0: $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除 1: $\overline{\text{STOP}}$ 端子入力の“H”レベルで解除	
RETM	STOPモード解除後の動作モードの選択	0: NORMALモードへ戻る 1: SLOWモードへ戻る	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持	
WUT	STOPモード解除時のウォーミングアップ時間	00: $3 \times 2^{19}/f_c$ または $3 \times 2^{19}/f_s$ [s] 01: $2^{19}/f_c$ または $2^{19}/f_s$ 1*: reserved	

- 注1) RETMは、NORMAL1モードからSTOP1モードに移す場合およびNORMAL2モードからSTOP2モードに移す場合はかならず“0”にしてください。SLOWモードからSTOP2モードに移す場合はかならず“1”にしてください。
- 注2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMALモードに戻ります。
- 注3)  $f_c$  ; 高周波クロック [Hz]  
 $f_s$  ; 低周波クロック [Hz]  
\* ; don't care
- 注4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。
- 注5) OUTEN = “0”の指定でSTOP動作に入ると、内部入力は“L”に固定されますので、立ち下がりエッジの割り込みがセットされる恐れがあります。

システム制御レジスタ2

SYSCR2 (0039H)      7    6    5    4    3    2    1    0      (初期値 10/1000 \*\*\*\*)      

XEN	XTEN	SYSCK	IDLE				
-----	------	-------	------	--	--	--	--

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの選択(write)/モニタ(read)	0: 高周波クロック (NORMAL1 / NORMAL2 / IDLE1 / IDLE2) 1: 低周波クロック (SLOW / SLEEP)	
IDLE	IDLEモードの起動	0: CPU, WDT動作 1: CPU, WDT停止 (IDLE1 / IDLE2 / SLEEPモード 起動)	

- 注1) XEN, XTENをともに“0”にするとリセットがかかります(RESET端子出力が“L”レベルとなります)。
- 注2) SYSCK = 0のときXENを“0”に、またSYSCK = “1”のときXTENを“0”にしないでください。
- 注3) WDT; ウォッチドッグタイマ, \*; don't care
- 注4) SYSCR2のビット3~0は、リードすると“1”が読み出されます。
- 注5) XTENは、初期値のオプション選択ができます。ES発注の際、マイクロコントローラエンジニアリング サンプル (ES) 作成依頼書にてマスクオプションの指定を、かならず行ってください。記入の仕方については付録の“TLCS-870シリーズにおけるマスクオプション指定方法”を参照してください。87PM14の場合、XTENの初期値は“0”です。

XTEN	リセット解除後の動作モード
0	シングルクロックモード (NORMAL1)
1	デュアルクロックモード (NORMAL2)

図1-15. システム制御レジスタ1, 2

1.8.4 動作モードの制御

(1) STOPモード (STOP)

STOPモードは、システム制御レジスタ1 (SYSCR1) と  $\overline{\text{STOP}}$  端子入力によって制御されます。 $\overline{\text{STOP}}$  端子は、P20ポートならびに $\overline{\text{INT5}}$  (外部割り込み入力5) 端子と兼用です。STOPモードは、STOP (SYSCR1のビット7) を“1”にセットすることにより起動され、STOPモード中、次の状態を保持しています。

- ① 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
- ② データメモリ、レジスタ (DBRを除く)、プログラムステータスワード、ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。なお、ポート出力はOUTEN (SYSCR1のビット4) の設定により、出力保持/ハイインピーダンスの選択ができます。
- ③ タイミングジェネレータのデバイダを“0”にクリアします。
- ④ プログラムカウンタは、STOPモードを起動する命令 (例えば、[SET (SYSCR1).7]) の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM (SYSCR1のビット6) で選択します。

a. レベル解除モード (RELM=“1”のとき)

$\overline{\text{STOP}}$  端子への“H”レベル入力によりSTOP動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

STOP端子入力が“H”レベルの状態ではSTOP動作の起動を指示する命令を実行しても、STOP動作に入らず、ただちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードでSTOP動作で起動する場合、STOP端子入力が“L”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

INT5割り込みによる方法 (INT5端子入力の立ち下がりがエッジで割り込みを発生します)

例： INT5割り込みにより、STOPモードを起動

```

PINT5:  TEST   (P4).3      ; ノイズ除去のため P43ポート入力が
        JRS    F, SINT5    ; “H”レベルならSTOPモードを
                               起動しない。
        LD     (SYSCR1), 01000000B ; レベル解除モードにセットアップ
        SET   (SYSCR1).7    ; STOPモードを起動
        LDW   (IL), 1000011101010111B ; IL11, 5, 3 ← 0 (割り込みラッチのクリア)
SINT5:  RETI
    
```

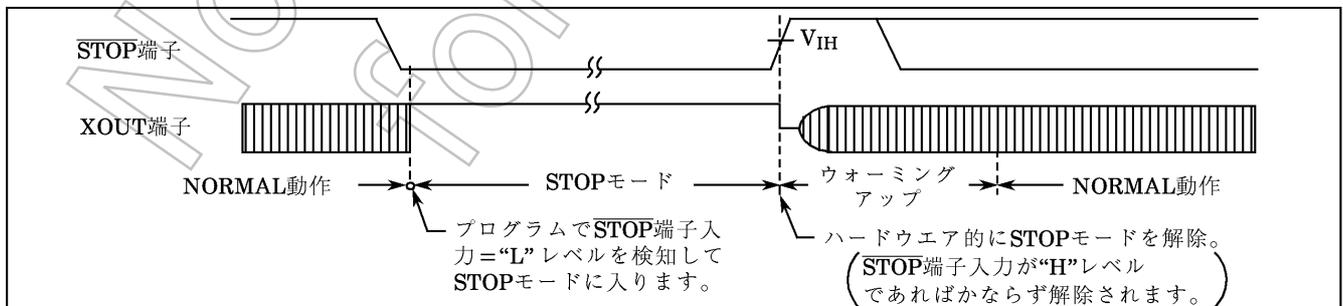


図1-16. レベル解除モード

注1) ウォーミングアップ開始後、再びSTOP端子入力が“L”レベルになってもSTOPモードには戻りません。  
 注2) エッジ解除モードにセットアップ後にレベル解除モードに戻った場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM="0" のとき)

STOP端子入力の立ち上がりエッジでSTOP動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号(例えば、低消費電力の発振源からのクロック)をSTOP端子に入力します。エッジ解除モードの場合、STOP端子入力が高レベルにあってもSTOP動作に入ります。

例： エッジ解除モードのSTOP動作を起動

```
LD (SYSCR1), 00000000B ; OUTEN ← 0 (ハイインピーダンス指定)
DI ; IMF ← 0
SET (SYSCR1). STOP ; STOP ← 1 (STOPモード起動)
LDW (IL), 1000011101010111B ; IL11, 5, 3 ← 0 (割り込みラッチのクリア)
EI ; IMF ← 1
```

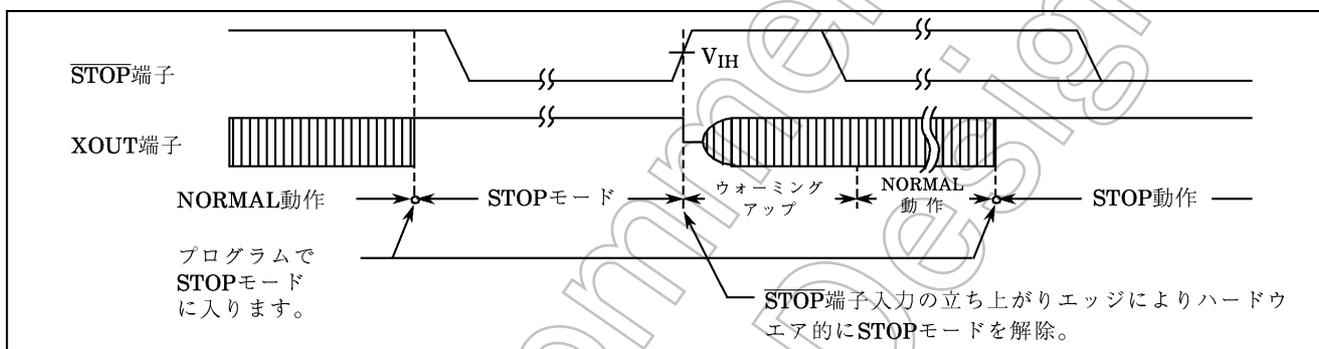


図1-17. エッジ解除モード

STOPモードの解除は、次のシーケンスで行われます。

- ① 発振が開始されます。デュアルクロックモードの場合、NORMAL2へ戻るときは、高周波/低周波発振器の両方が発振し、SLOWに戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
- ② 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてWUT (SYSCR1のビット3, 2)で2種類選択できます。
- ③ ウォーミングアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのデバイダは“0”にクリアされた状態から始まります。

表1-1. ウォーミングアップ時間 (例)

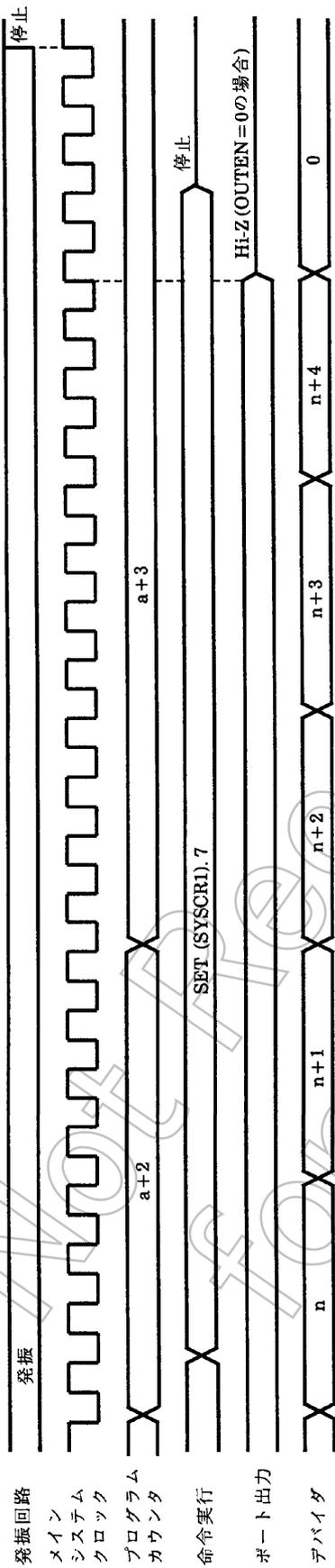
NORMALモードに戻る場合			SLOWモードに戻る場合	
WUT	fc=4.194304 MHz時	fc=8 MHz時	WUT	fs=32.768 kHz時
$3 \times 2^{19}/fc$ [s]	375 [ms]	196.6 [ms]	$3 \times 2^{13}/fs$ [s]	750 [ms]
$2^{19}/fc$	125	65.5	$2^{13}/fs$	250

注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

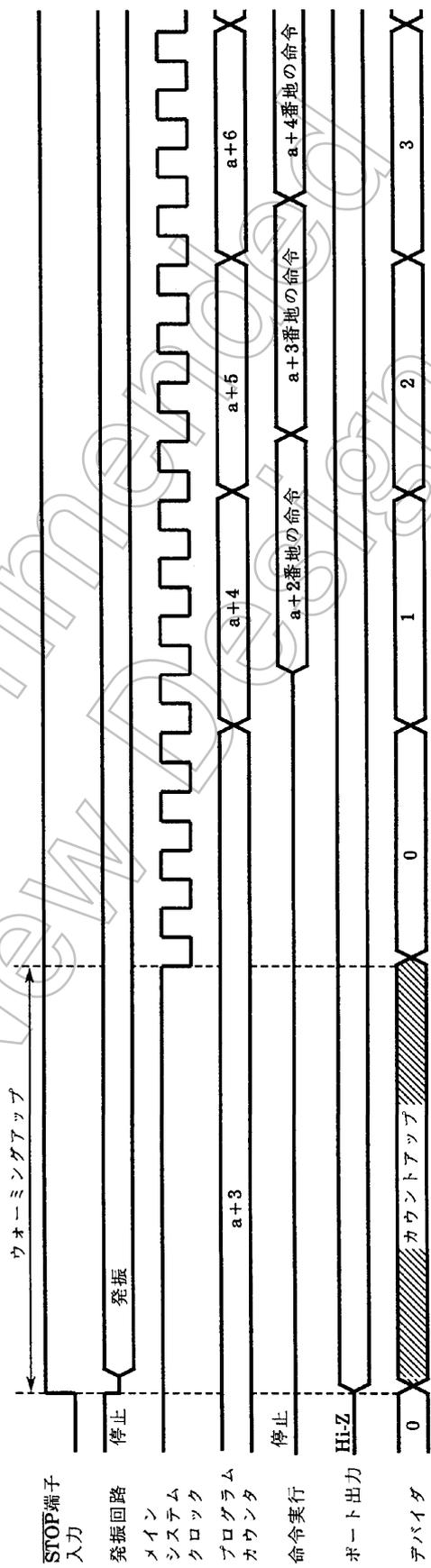
なお、STOPモードは、 $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除され、ただちに通常のリセット動作を行います。この場合、SLOWモードに戻る設定がされていても、NORMALモード(87C814/H14/K14/M14の場合、マスクオプションにてXTEN (SYSCR2のビット6)の初期値が“1”のときはNORMAL2モード、87PM14の場合はNORMAL1モード)から始まります。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。  
STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、 $\overline{\text{RESET}}$ 端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定回路などが付加されているときには、 $\overline{\text{RESET}}$ 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、 $\overline{\text{RESET}}$ 端子の入力電圧レベルが、 $\overline{\text{RESET}}$ 端子入力(ヒステリシス入力)の比反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

Not Recommended  
for New Design



(a) STOPモードの起動 (例: a番地に置かれたSET (SYSCLR). 7命令による起動)



(b) STOPモードの解除

図1-18. STOPモードの起動/解除

## (2) IDLEモード (IDLE1, IDLE2, SLEEP)

IDLEモードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLEモード中、次の状態を保持しています。

- ① CPUおよびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します (図1-15.参照)。
- ② データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLEモードに入る直前の状態を保持します。
- ③ プログラムカウンタは、IDLEモードを起動する命令の2つ先の命令のアドレスを保持します。

例： IDLEモードの起動

SET (SYSCR2).4

IDLEモードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。IDLEモード解除後、IDLE1モードのときはNORMAL1モードに、IDLE2モードのときはNORMAL2モードに、SLEEPモードのときはSLOWモードに戻ります。

## a. ノーマル解除モード (IMF="0" のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 (INT0) の割り込み要求により、IDLEモードが解除され、IDLEモードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で"0"にクリアする必要があります。

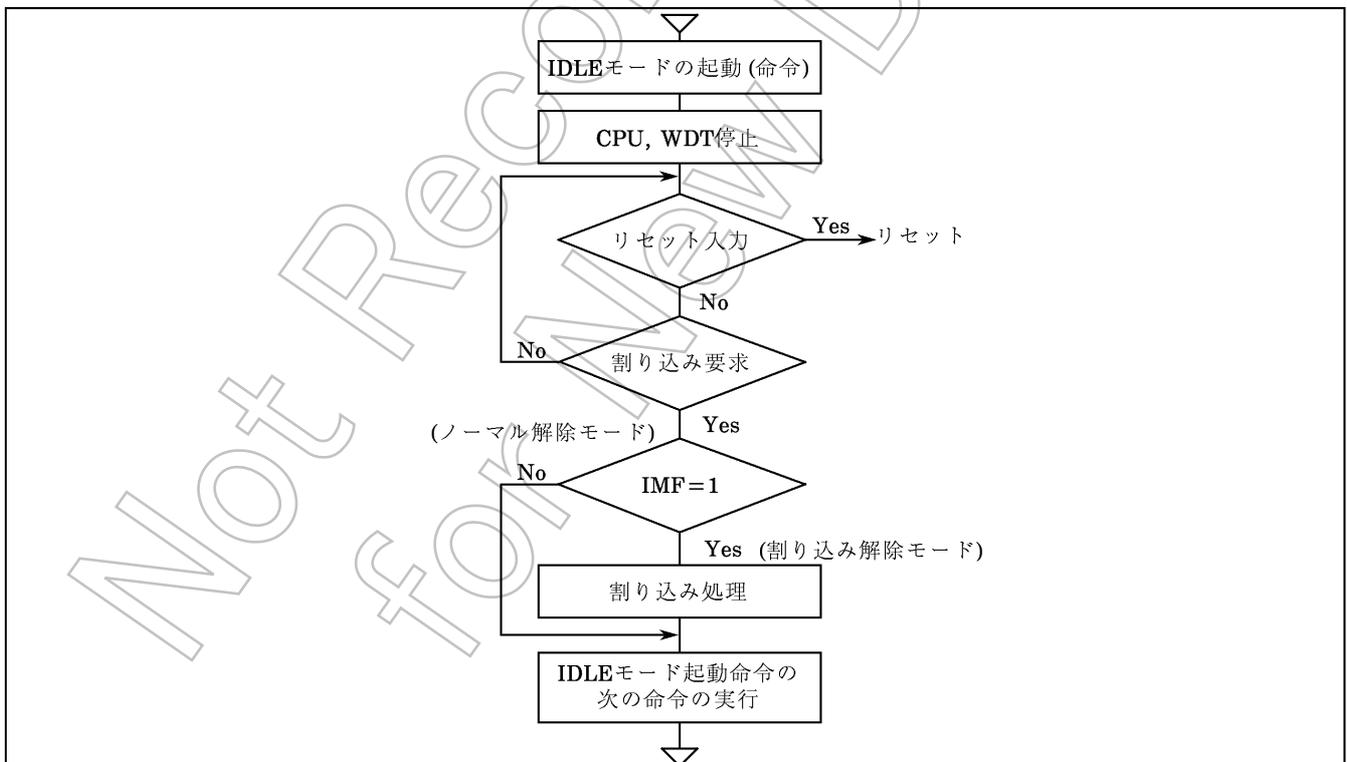


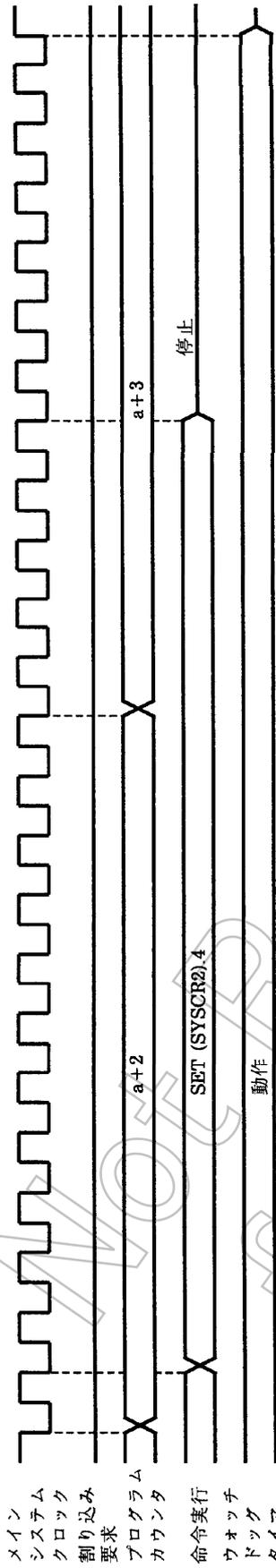
図1-19. IDLEモード

**b. 割り込み解除モード (IMF="1" のとき)**

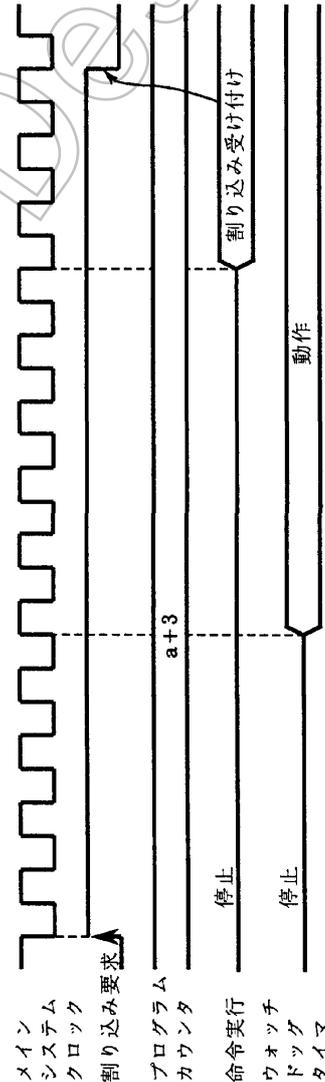
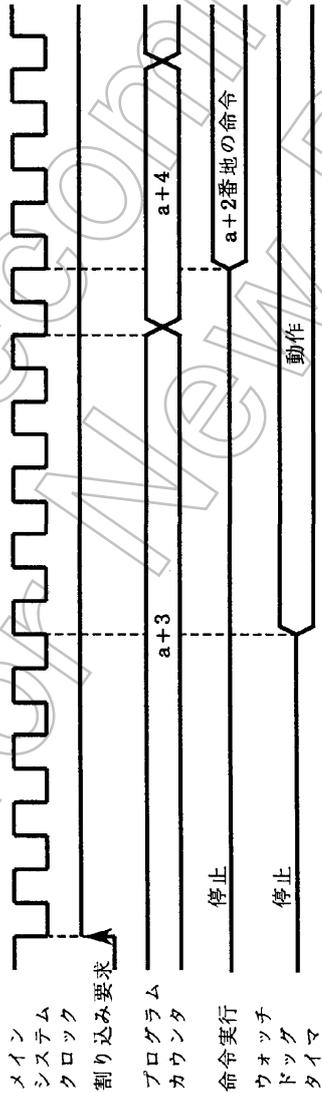
割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 (INT0) の割り込み要求により IDLEモードが解除され、割り込み処理に入ります。割り込み処理後、IDLEモードを起動した命令の次の命令に戻ります。

なお、IDLEモードは、RESET端子を“L”レベルにすることによっても解除され、ただちに通常のリセット動作を行います。SLEEPモードでリセットをかけた場合はリセット解除後、NORMALモード (87C814/H14/K14/M14の場合、マスクオプションにてXTEN (SYSCR2のビット6) の初期値が“1”のときはNORMAL2モード、87PM14の場合はNORMAL1モード) から始まります。

注) IDLEモード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLEモードは起動されずウォッチドッグタイマ割り込み処理が行われます。



(a) IDLEモードの起動(例: a番地に置かれたSET命令による起動)



(b) IDLEモードの解除

図1-20. IDLEモードの起動/解除

## (3) SLOWモード

SLOWモードは、システム制御レジスタ2 (SYSCR2) およびタイマカウンタ2 (TC2) によって制御されます。

## a. NORMAL2モードからSLOWモードへの切り替え

まず、SYSCK (SYSCR2のビット5) に“1”を書き込み、システムクロックを低周波クロックに切り替えます。

次に、XEN (SYSCR2のビット7) を“0”にクリアして高周波発振器を停止します。

注) NORMAL2モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOWモードからSTOPモードを起動する場合は、かならず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ2を使用すると便利です。

## 例1 : NORMAL2モードからSLOWモードへの切り替え

```
SET (SYSCR2).5 ; SYSCK←1 (システムクロックを低周波に切り替え)
CLR (SYSCR2).7 ; XEN←0 (高周波クロック停止)
```

## 例2 : TC2で低周波クロックの安定発振の確認後、SLOWモードへ切り替え

```
LD(TC2CR), 14H ; TC2のモードをセット
; (タイマモード, ソースクロック : fs)
LDW (TREG2), 8000H ; ウォーミングアップ時間をセット
; (発振子の特性で時間を決定します)
SET (EIRH), EF14 ; INTTC2割り込み許可
LD (TC2CR), 34H ; TC2スタート
;
PINTTC2: LD (TC2CR), 10H ; TC2ストップ
SET (SYSCR2).5 ; SYSCK←1
; (システムクロックを低周波に切り替え)
CLR (SYSCR2).7 ; XEN←0 (高周波クロック停止)
RETI
;
VINTTC2: DW PINTTC2 ; INTTC2 ベクタテーブル
```

**b. SLOWモードからNORMAL2モードへの切り替え**

まず、XEN (SYSCR2のビット7)を“1”にセットして高周波クロックを発振させます。発振の安定時間(ウォーミングアップ)をタイマカウンタ2によって確保したあと、SYSCK (SYSCR2のビット5)を“0”にクリアします。

注1)SYSCKを“0”にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。  
 注2)SLOWモードをリセットによって解除した場合、NORMALモードに戻ります(87C814/H14/K14/M14の場合、マスクオプションにてXTEN (SYSCR2のビット6)の初期値が“1”のとき、NORMAL2モード、ワンタイムPROM版の場合はNORMAL1へ戻ります)。

例 : SLOWモードからNORMAL2モードへの切り替え

( $f_c = 8 \text{ MHz}$ , ウォーミングアップ時間 = 7.9 ms)

```

SET (SYSCR2).7 ; XEN←1 (高周波クロック発振開始)
LD (TC2CR), 10H ; TC2のモードをセット
; (タイマモード, ソースクロック :  $f_c$ )
LD (TREG2+1), 0F8H ; ウォーミングアップ時間をセット
; (周波数と発振子の特性で時間を決定します)
SET (EIRH).EF14 ; INTTC2割り込み許可
LD (TC2CR), 30H ; TC2スタート
;
PINTTC2: LD (TC2CR), 10H ; TC2ストップ
CLR (SYSCR2).7 ; SYSCK←0
; (システムクロックを低周波に切り替え)
RETI
;
VINTTC2: DW PINTTC2 ; INTTC2ベクタテーブル
  
```

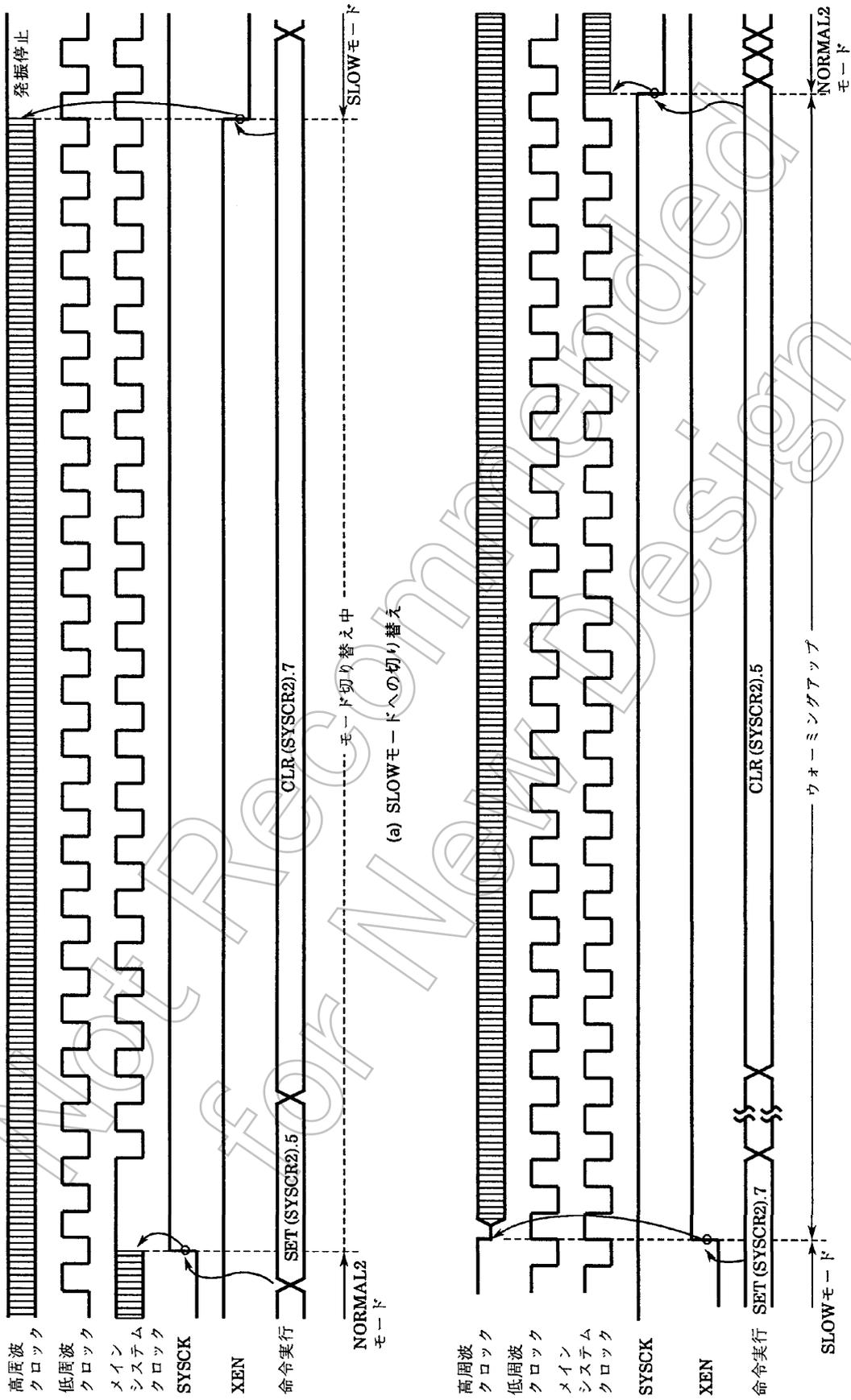


図1-21. SLOW⇔NORMAL2モード切り替え

## 1.9 割り込み制御回路

87C814/H14/K14/M14には、外部5種、内部8種の合計13種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。

図1-22.に割り込み制御回路を示します。

表1-2. 割り込み要因

割 込 み 要 因		許 可 条 件	割 込 み ラ ッ チ	ベ ク タ ア ド レ ス	優 先 順 位
内部/外部	(リセット)	ノンマスクابل	—	FFFE <sub>H</sub>	高位 0
内 部	INTSW (ソフトウェア割り込み)	擬似ノンマスクابل	—	FFFC <sub>H</sub>	1
内 部	INTWDT (ウォッチドッグタイマ割り込み)		IL <sub>2</sub>	FFFA <sub>H</sub>	2
外 部	INT0 (外部割り込み0)	IMF = 1, INT0EN = 1	IL <sub>3</sub>	FFF8 <sub>H</sub>	3
内 部	INTTC1 (16-bitタイマカウンタ1割り込み)	IMF · EF <sub>4</sub> = 1	IL <sub>4</sub>	FFF6 <sub>H</sub>	4
外 部	INT1 (外部割り込み1)	IMF · EF <sub>5</sub> = 1	IL <sub>5</sub>	FFF4 <sub>H</sub>	5
内 部	INTTBT (タイムベースタイマ割り込み)	IMF · EF <sub>6</sub> = 1	IL <sub>6</sub>	FFF2 <sub>H</sub>	6
外 部	INT2 (外部割り込み2)	IMF · EF <sub>7</sub> = 1	IL <sub>7</sub>	FFF0 <sub>H</sub>	7
内 部	INTTC3 (8-bitタイマカウンタ3割り込み)	IMF · EF <sub>8</sub> = 1	IL <sub>8</sub>	FFEE <sub>H</sub>	8
内 部	INTSIO (シリアルインタフェース割り込み)	IMF · EF <sub>9</sub> = 1	IL <sub>9</sub>	FFEC <sub>H</sub>	9
内 部	INTTC4 (8-bitタイマカウンタ4割り込み)	IMF · EF <sub>10</sub> = 1	IL <sub>10</sub>	FFEA <sub>H</sub>	10
外 部	INT3 (外部割り込み3)	IMF · EF <sub>11</sub> = 1	IL <sub>11</sub>	FFE8 <sub>H</sub>	11
reserved		IMF · EF <sub>12</sub> = 1	IL <sub>12</sub>	FFE6 <sub>H</sub>	12
reserved		IMF · EF <sub>13</sub> = 1	IL <sub>13</sub>	FFE4 <sub>H</sub>	13
内 部	INTTC2 (16-bitタイマカウンタ2割り込み)	IMF · EF <sub>14</sub> = 1	IL <sub>14</sub>	FFE2 <sub>H</sub>	14
外 部	INT5 (外部割り込み5)	IMF · EF <sub>15</sub> = 1	IL <sub>15</sub>	FFE0 <sub>H</sub>	低位 15

(1) 割り込みラッチ (IL<sub>15</sub>~IL<sub>2</sub>)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003C, 003D<sub>H</sub>番地に割り付けられており、命令で個別にクリアすることができます(ただし、ビット操作命令や演算命令などのリード/モディファイ/ライト命令は使用できません)、プログラムで割り込み要求の取り消し/初期化ができます。ただし、IL<sub>2</sub>は命令でクリアしないでください。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

例1: 割り込みラッチのクリア

```
LDW    (IL), 1000110000111111B ; IL9, IL8, IL6 ← 0
```

例2: 割り込みラッチの読み出し

```
LD     WA, (IL) ; W ← ILH, A ← ILL
```

例3: 割り込みラッチのテスト

```
TEST   (IL).6 ; IL6 = 1ならジャンプ  
JR     F, SSET
```

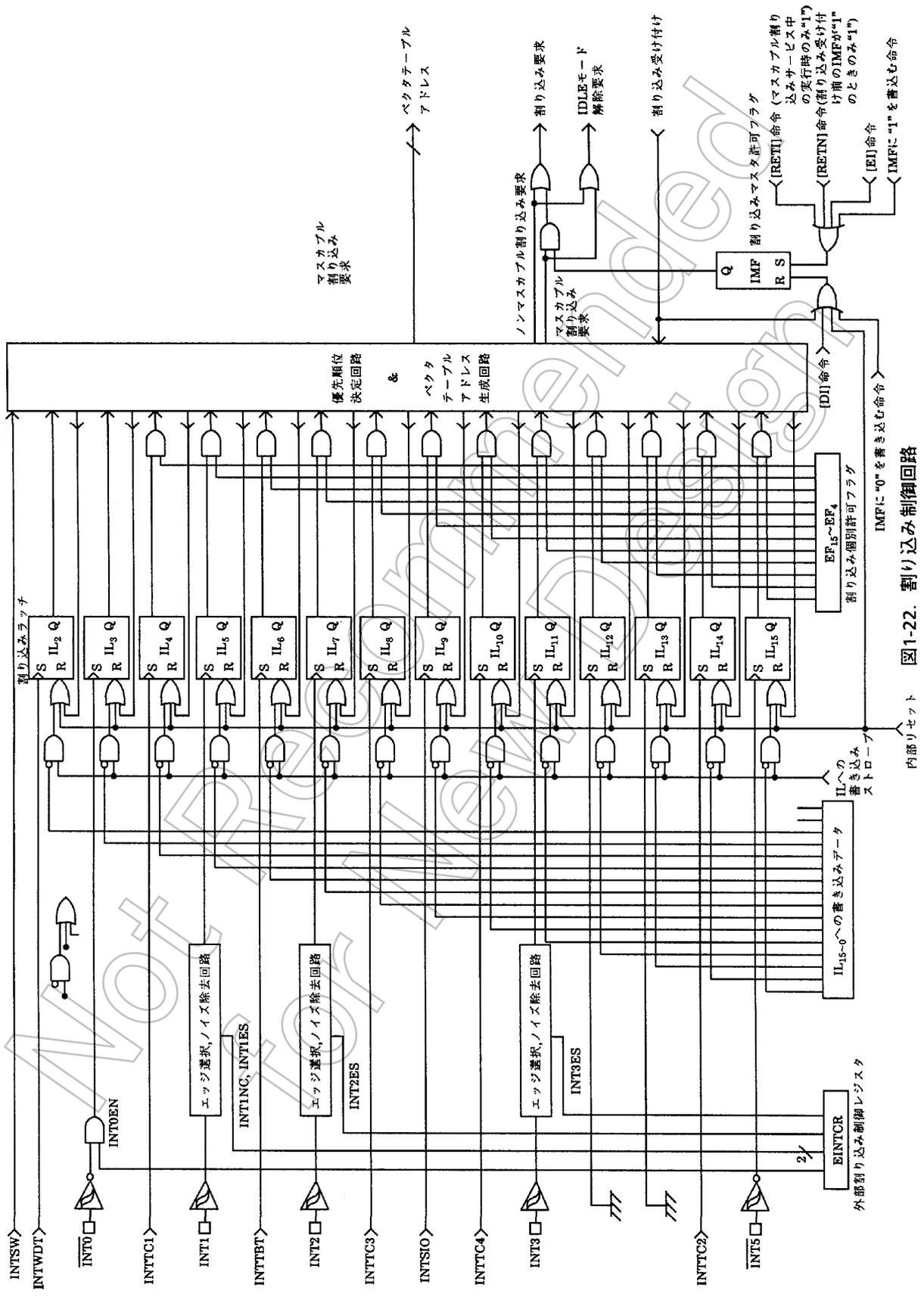


図1-22. 割り込み制御回路

## (2) 割り込み許可レジスタ (EIR)

擬似ノンマスクابل割り込み(ソフトウェア割り込みとウォッチドッグタイマ割り込み)を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスクابل割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF)と割り込み個別許可フラグ(EF)で構成されています。割り込み許可レジスタは、SFR内の003A<sub>H</sub>, 003B<sub>H</sub>番地に割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む)できます。

### ① 割り込みマスタ許可フラグ (IMF)

すべてのマスクابل割り込みに対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスクابل割り込みリターン命令[RETI]により“1”にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI]命令の実行直後から割り込み処理に入ります。

擬似ノンマスクابل割り込みの場合は、ノンマスクابل割り込みリターン命令[RETN]によりリターンします。この場合、割り込み受け付けの許可状態(IMF=1)で擬似ノンマスクابل割り込み処理に入ったときのみ、割り込みマスタ許可フラグは“1”にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は“0”のままです。

割り込みマスタ許可フラグは、EIR<sub>L</sub>(SFR内の003A<sub>H</sub>番地)のビット0に割り付けられており、命令で読み出し/書き込みができます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

### ② 割り込み個別許可フラグ (EF<sub>15</sub>~EF<sub>4</sub>)

外部割り込み0を除く各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

例1: 割り込みの個別許可とIMFのセット

LDW (EIR), 1000100100100001B ; EF<sub>15</sub>, EF<sub>11</sub>, EF<sub>8</sub>, EF<sub>5</sub>, IMF←1

例2: 割り込みの個別許可フラグのセット

SET (EIRH).1 ; EF<sub>9</sub>←1

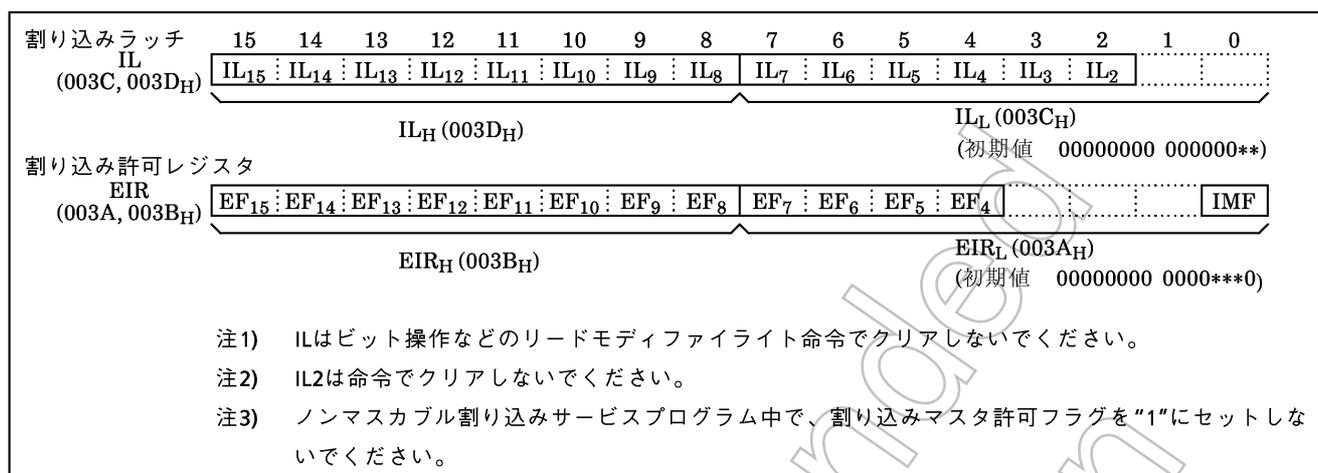


図1-23. 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

### 1.9.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8マシンサイクルを要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (擬似ノンマスカブル割り込みの場合)を実行して終了します。図1-22.に割り込み受け付け処理タイミングを示します。

#### (1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

- ① 割り込みマスタ許可フラグ(IMF)を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。ノンマスカブル割り込み受け付けの場合は、そのあとのノンマスカブル割り込みの受け付けも一時的に禁止します。
- ② 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
- ③ プログラムカウンタ(PC)およびプログラムステータスワード(PSW)の内容をスタックに退避します(PSW, PC<sub>H</sub>, PC<sub>L</sub>の順にプッシュダウンされます)。スタックポインタ(SP)は3回デクリメントされます。
- ④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス(割り込みベクタ)を読み出し、プログラムカウンタにセットします。
- ⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

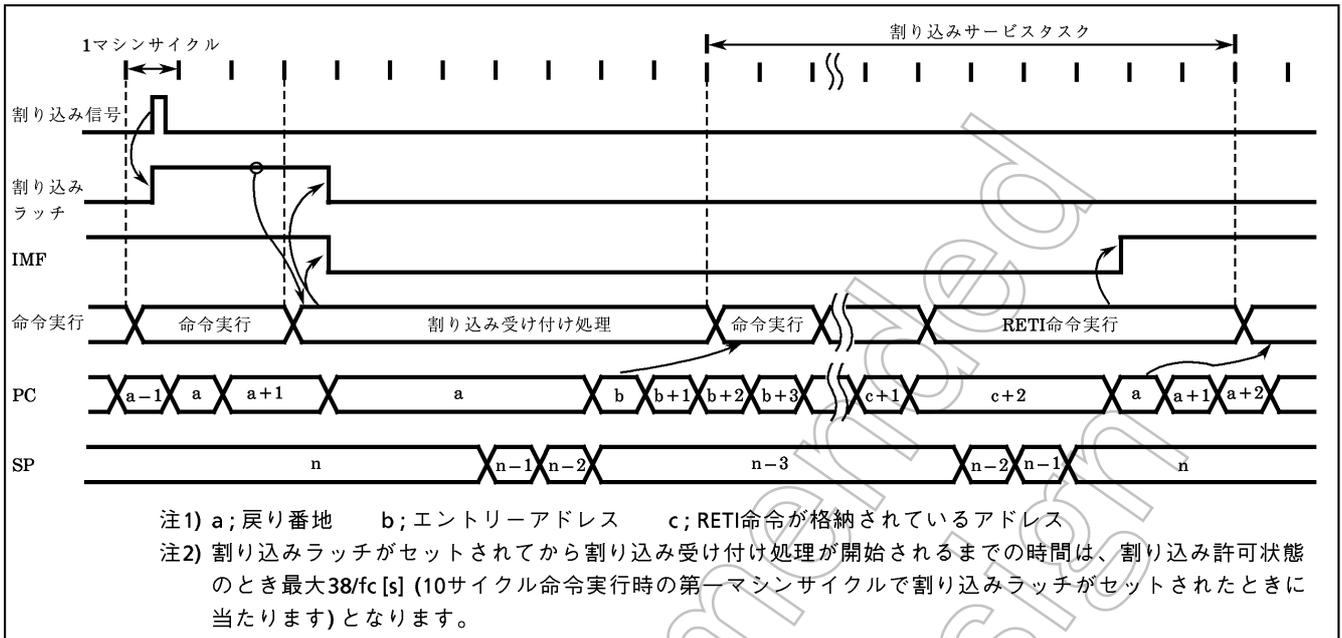
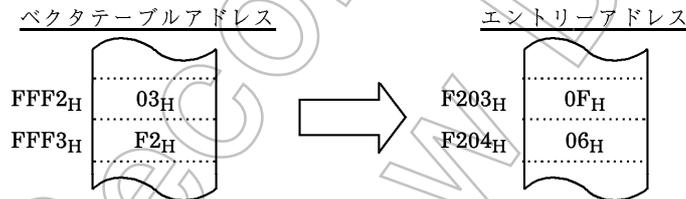


図1-24. 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例： INTTB<sub>T</sub>の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスクブル割り込みが発生しても、割り込みマスク許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスク許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み0は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INT0EN) により外部割り込み機能を禁止する (INT0EN=0の期間、割り込みラッチIL3はセットされませんので、INT0端子入力の立ち下がりエッジは検出できません) か、または、次のようにプログラム上でソフトウェア的に割り込み処理を禁止することもできます。

例1： 外部割り込み制御レジスタによる外部割り込み0の禁止

```
CLR    (EINTCR).INT0EN ; INT0EN←0
```

例2： ソフトウェアによる外部割り込み0の割り込み処理禁止(割り込み処理禁止スイッチを00F0<sub>H</sub>番地のビット0とします)。

```
PINT0: TEST    (00F0H).0          ; (00F0H)0=1 なら割り込み処理行わずにリターン
      JRS     T, SINT0
      RETI
SINT0: 割り込み処理
      RETI
      ⋮
VINT0: DW     PINT0
```

## (2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。汎用レジスタの退避には、次の3つの方法があります。

### ① レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令[RETI]/[RETN]の実行で自動的に復帰します。従って、RBSをプログラムで退避する必要はありません。

例： レジスタバンク切り替え

```
PINTxx: LD     RBS, n          ; バンクnに切り替え (1 μs @ 8 MHz)
      割り込み処理
      RETI                    ; バンクの復帰とリターン
```

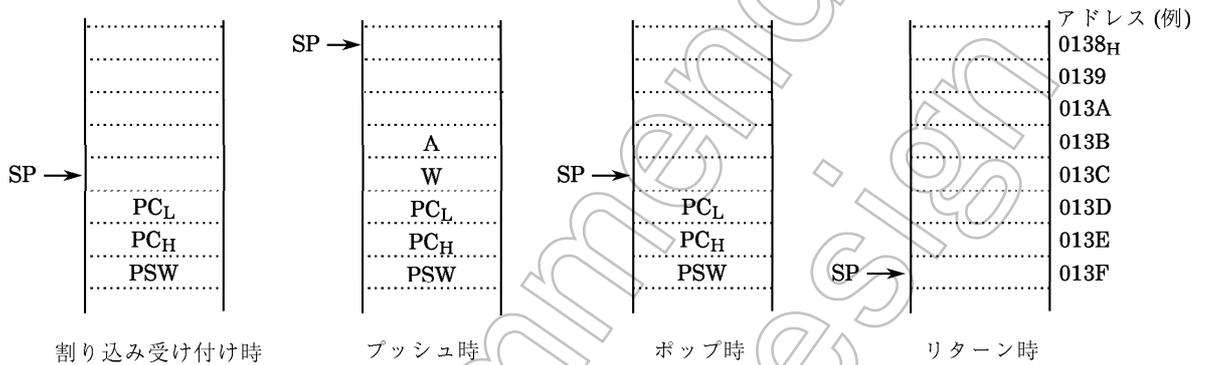
② プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例： プッシュ/ポップによるレジスタの退避/復帰

```

PINTxx:  PUSH  WA           ; WAレジスタペアをスタックに退避
          [割り込み処理]
          POP   WA           ; WAレジスタペアをスタックから復帰
          RETI              ; リターン
    
```



③ 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例： データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx:  LD   (GSAVA), A    ; Aレジスタの退避
          [割り込み処理]
          LD   A, (GSAVA)   ; Aレジスタの復帰
          RETI              ; リターン
    
```

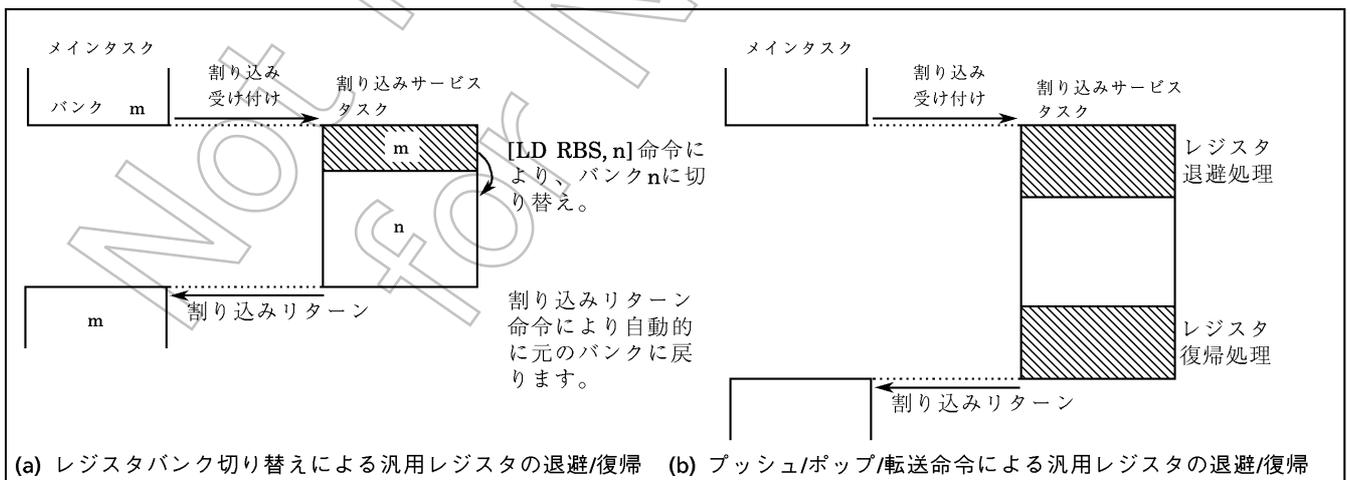


図1-25. 割り込み処理における汎用レジスタの退避/復帰処理

## (3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
① プログラムカウンタ および プログラムステータスワードの内容をスタックからそれぞれリストアします。	① プログラムカウンタ および プログラムステータスワードの内容をスタックからそれぞれリストアします。
② スタックポインタを3回インクリメントします。	② スタックポインタを3回インクリメントします。
③ 割り込みマスタ許可フラグを“1”にセットします。	③ 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

## 1.9.2 ソフトウェア割り込み (INTSW)

SWI命令を実行することにより、ソフトウェア割り込みが発生した際に割り込み処理に入ります(最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI命令を実行してもソフトウェア割り込みは発生せず、NOP命令と同一の動作を行います。

注) 開発ツールでは、SWI命令をソフトウェアブレイクに使用できるように、ノンマスカブル割り込み処理中でもかならずソフトウェア割り込みが発生します。

SWI命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

## ① アドレスエラー検出

CPUが何らかの原因(ノイズなど)により、メモリの存在しないアドレスから命令フェッチを行った場合、FF<sub>H</sub>が読み込まれます。コードFF<sub>H</sub>は、SWI命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不利用領域をすべてFF<sub>H</sub>で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM領域(0040~013F<sub>H</sub>番地)およびSFR領域(0000~003F<sub>H</sub>番地)に対する命令フェッチのときは、アドレストラップリセットがかかります。

注) 87C814H14/K14/M14および87PM14のBF80~BFFF<sub>H</sub>番地には、出荷テスト用ROMが内蔵されていますので、この領域からの命令フェッチの場合はFF<sub>H</sub>となりません。

## ② デバッグ

SWI命令をソフトウェアブレイクポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

1.9.3 外部割り込み

87C814/H14/K14/M14には、5本の外部割り込み入力があり、うち3本はデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1~INT3端子は、エッジ選択可能です。なお、INT0/P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および INT0/P10端子の機能選択は、外部割り込み制御レジスタで行います。

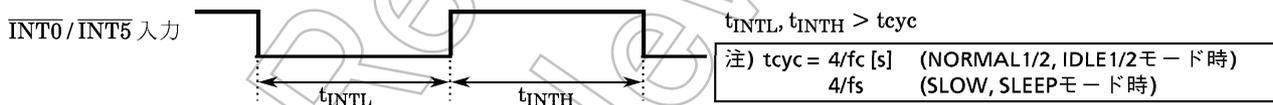
表1-3. 外部割り込み

要因	端子名	兼用端子	許可条件	エッジ	デジタルノイズ除去回路
INT0	INT0	P10	IMF=1,	立ち下がりエッジ	なし(ヒステリシス入力)
INT1	INT1	P11	INT0EN=1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。 48/fc または 192/fc [s] 以上は確実に信号とみなされます。
			IMF・EF <sub>5</sub> =1		
INT2	INT2	P12/TC1			7/fc [s] 未満のパルスはノイズとして除去されます。24/fc [s] 以上は確実に信号とみなされます。
INT3	INT3	P86/S14	IMF・EF <sub>7</sub> =1		
INT5	INT5	P20/STOP	IMF・EF <sub>11</sub> =1	立ち下がりエッジ	なし(ヒステリシス入力)

注1) SLOW/SLEEPモード時、ノイズ除去機能はオフします。なお、動作モード遷移中に入力されたパルスに対するノイズ除去時間は不定になります。

注2) ノイズ除去回路は、タイマカウンタ入力(TC1, TC4端子)のエッジ検出に対しても働きます。

注3) INT0 および INT5端子への入力パルス幅は、1マシンサイクル以上必要です。



注4) NORMAL 1/2またはIDLE 1/2モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

- ① INT1端子 49/fc [s] (INT1NC = 1のとき), 193/fc [s] (INT1NC = 0のとき)
- ② INT2, INT3端子 25/fc [s]

注5) INTOEN = 0のとき、INT0端子入力の立ち下がりエッジが検出されても割り込みラッチIL<sub>3</sub>はセットされません。

注6) STOPモードでポート出力をハイインピーダンス指定(OUTEN = 0)時、ポート入力は内部で強制的に“L”レベルに固定されるため、ポートと兼用の外部割り込み入力(P20 (STOP/INT5)を除く)の割り込みラッチがセットされることがあります。

STOPモードでポート出力をハイインピーダンス指定にする場合、割り込み受け付けを一時禁止(INF = 0)にしてからSTOPモードを起動し、STOPモード解除後に割り込みラッチをロード命令でクリアしてください。

例 : STOPモードの起動

```
LD (SYSCR1), 01000000B ; OUTEN←0
DI ; IMF←0
SET (SYSCR1). STOP ; STOP←1 (STOPモード起動)
LDW (IL), 1111011101010111B ; IL11, 7, 5, 3←0 (割り込みラッチのクリア)
EI ; IMF←1
```

EINTCR (0037H)	7	6	5	4	3	2	1	0	(初期値 00** 000*)
	INT1 NC	INT0 EN		(TC4 ES)	INT3 ES	INT2 ES	INT1 ES		
INT1NC	INT1のノイズ除去時間の 選択		0: 63/fc [s] 未満のパルスはノイズとして除去 1: 15/fc						R/W
INT0EN	P10/ $\overline{INT0}$ の機能選択		0: P10 入出力ポート 1: $\overline{INT0}$ 端子 (P10ポートは入力モードにしてください)						
INT3 ES INT2 ES INT1 ES	INT3~INT1のエッジ選択		0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジ						

- 注1) fc ; 高周波クロック [Hz]      \* ; don't care
- 注2) 外部割り込み制御レジスタ (EINTCR) の設定 / 書き替えは、まず割り込みを禁止状態 (IMF=0) にしてから外部割り込み制御レジスタを設定 / 書き替え、割り込みラッチをクリアした後、割り込み受け付けを許可してください。
- 注3) INT2ES, INT3ESを、NORMAL1/2モード時に、外部割り込み入力信号のエッジを切り替える目的で書き替えた場合には、書き替えてから8命令サイクル以上おいてから、外部割り込みラッチ (INT2, INT3) をクリアしてください。SLOWモード時には、3命令サイクル必要です。
- 注4) INT2ES, INT3ESを、NORMAL1/2モード時に、タイマカウンタの外部クロック / パルス信号などエッジを切り替える目的で書き替える場合には、各タイマカウンタが停止した状態で書き替え (割り込みは禁止状態)、書き替え後、8命令サイクル以上おいてから外部割り込みラッチ (INT2, INT3) をクリアした後、割り込みを許可状態にし、各タイマカウンタを再スタートさせてください。SLOWモード時には、3命令サイクル必要です。

例 : TC1で外部トリガモードでのカウントスタートのエッジを、立ち下がりに切り替える場合

```

      ↑
      | 8 machine
      | cycles
      ↓
LD (TC1CR), 01001000B ; TC1S←00 (stop TC1)
DI ; IMF←0 (disable interrupt service)
LD (EINTCR), 00000100B ; INT2ES←1 (change edge selection)
NOP
...
NOP
LD (ILL), 01111111B ; IL7←0 (clear interrupt latch)
EI ; IMF←1 (enable interrupt service)
LD (TC1CR), 01111000B ; TC1S←11 (start TC1)
    
```

- 注5) INT1ESを書き替えたとき、NORMAL1/2モードの場合には、切り替えてから14命令サイクル (INT1NC=1のとき) または50命令サイクル (INT1NC=0のとき) おいてから、INT1の割り込みラッチをクリアしてください。SLOWモード時には、3命令サイクル必要です。

図1-26. 外部割り込み制御レジスタ

## 1.10 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作(暴走)やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、内部リセットまたは擬似ノンマスクابل割り込み要求のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、内部リセットに初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

### 1.10.1 ウォッチドッグタイマの構成

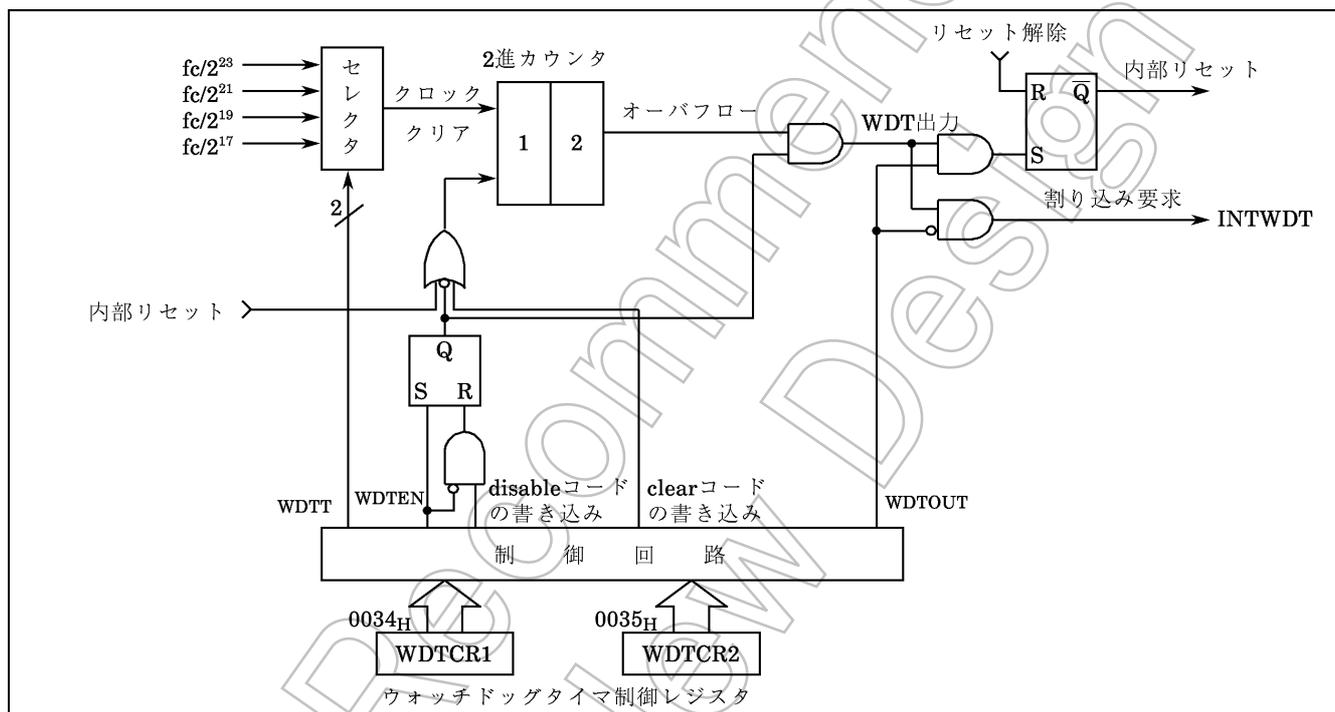


図1-27. ウォッチドッグタイマの構成

### 1.10.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図1-28に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

#### (1) ウォッチドッグタイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

- ① 検出時間の設定, 出力の選択および2進カウンタのクリア
- ② 設定した検出時間3/4以内ごとに2進カウンタのクリアを繰り返し行います。

注) 2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従ってクリアタイミングによっては、検出時間が設定時間の3/4となる場合があります。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバーフローでウォッチドッグタイマ出力がアクティブになります。このときWDTOUT="1"ならRESET端子からリセット出力するとともに内蔵ハードウェアをリセットします。また、WDTOUT="0"なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード(ウォーミングアップ中を含む)またはIDLEモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLEモード解除後、自動的に再起動(カウントアップ継続)します。

例：ウォッチドッグタイマ検出時間を $2^{21}/fc$  [s] に設定し、暴走検出リセットを行う。

WDT検出時間3/4以内

LD(WDTCR2), 4EH ; 2進カウンタのクリア

LD(WDTCR1), 00001101B ; WDTT←10, WDTOUT←1

LD(WDTCR2), 4EH ; 2進カウンタのクリア  
(WDTT変更直前直後はかならずクリアします)

WDT検出時間3/4以内

LD(WDTCR2), 4EH ; 2進カウンタのクリア

LD(WDTCR2), 4EH ; 2進カウンタのクリア

ウォッチドッグタイマ制御レジスタ1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	(初期値 **** 1001)
					WDT EN	WDTT		WDT OUT	
WDTCR1	ウォッチドッグタイマの許可/禁止				0: 禁止 (WDTCR2にディセーブルコードを書き込む必要あり) 1: 許可				write only
WDTCR1	ウォッチドッグタイマ検出時間の設定				00: $2^{25}/fc$ [s] 01: $2^{23}/fc$ 10: $2^{21}/fc$ 11: $2^{19}/fc$				
WDTCR1	ウォッチドッグタイマ出力の選択				0: 割り込み要求 1: 内部リセット				

注1) WDTOUTを“0”にクリア後は、プログラムで“1”に再セットできません。  
 注2) fc; 高周波クロック[Hz] \*; don't care  
 注3) WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。  
 注4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。  
 また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。  
 注5) 内部リセットの場合、リセット時間は $12/fc$  [s] となります。

ウォッチドッグタイマ制御レジスタ2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値 **** ***)
WDTCR2	ウォッチドッグタイマの制御コード書き込み				4EH : ウォッチドッグタイマの2進カウンタのクリア (クリアコード) B1H : ウォッチドッグタイマのディセーブル (ディセーブルコード) その他: 無効				write only

注1) ディセーブルコードは、WDTCR2=0のとき以外は書き込み無効です。  
 注2) \*; don't care  
 注3) WDTCR2は書き込み専用レジスタですので、リードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。  
 注4) 2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従って2進カウンタのクリアは検出時間の3/4以内に行ってください。

図1-28. ウォッチドッグタイマ制御レジスタ

## (2) ウォッチドッグタイマのイネーブル

WDTEN (WDTCR1のビット3) を“1”にセットするとイネーブルになります。リセット時、WDTENは“1”に初期化されますので、リセット解除後ウォッチドッグタイマはただちに動作します。

## (3) ウォッチドッグタイマのディセーブル

WDTEN (WDTCR1のビット3) を“0”にクリア後、WDTCR2にディセーブルコード (B1H) を書き込むことによりディセーブルになります。なお、逆にWDTCR2にディセーブルコードを書き込んだ後、WDTENを“0”にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

例：ウォッチドッグタイマのディセーブル

LDW (WDTCR1), 0B101H ; WDTEN←0, WDTCR2←disable code

表1-4. ウォッチドッグタイマ検出時間

動作モード			検出時間	
NORMAL1	NORMAL2	SLOW	fc = 8 MHz	fs = 32.768 kHz時
$2^{25}/fc$ [s]	$2^{25}/fc, 2^{17}/fs$	$2^{17}/fs$	4.194 s	4 s
$2^{23}/fc$	$2^{23}/fc, 2^{15}/fs$	$2^{15}/fs$	1.048 s	1 s
$2^{21}/fc$	$2^{21}/fc, 2^{13}/fs$	—	262.1 ms	250 ms
$2^{19}/fc$	$2^{19}/fc, 2^{11}/fs$	—	65.5 ms	62.5 ms

## 1.10.3 ウォッチドッグタイマ割り込み (INTWDT)

擬似ノンマスクابل割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例：ウォッチドッグタイマ割り込みの設定例

LD SP, 023FH ; SPの設定  
LD (WDTCR1), 00001000B ; WDTOUT←0

1.10.4 ウォッチドッグタイマリセット

RESET端子より“L”レベルを出力するとともに内蔵ハードウェアをリセットします。リセット時間は、 $2^{20}/fc$  [s] (131 ms @  $fc=8$  MHz) です。RESET端子は、プルアップ抵抗付きのシンクオープンドレイン入出力です。

注) SLOWモードでウォッチドッグタイマリセットが発生した場合も、高周波クロックが発振しますのでリセット時間は $2^{20}/fc$ となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

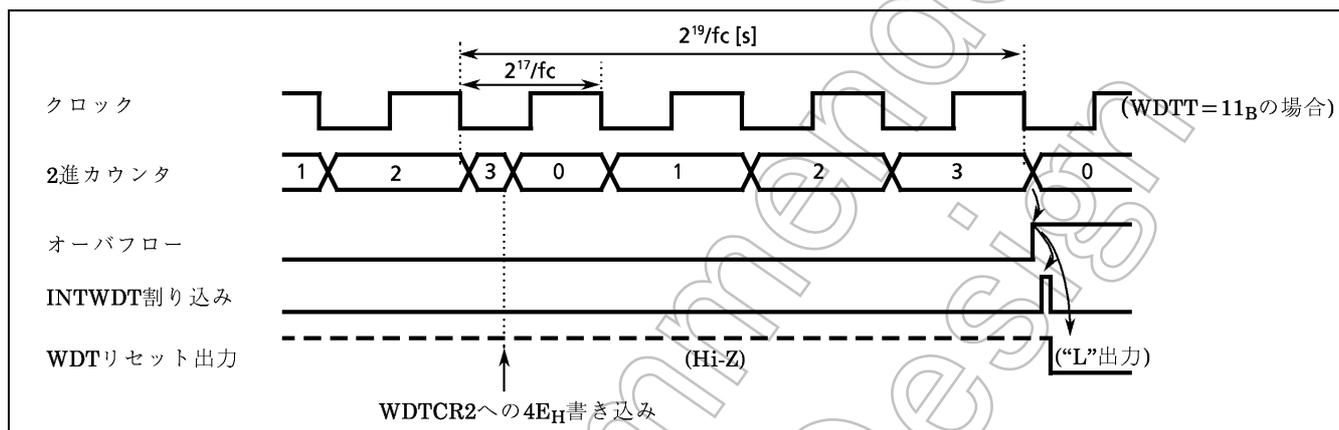


図1-29. ウォッチドッグタイマ割り込み/リセット

1.11 リセット回路

87C814/H14/K14/M14には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。表1-5.にリセット動作による内蔵ハードウェアの初期化を示します。電源投入時、内部要因リセット回路(ウォッチドッグタイマリセット、アドレストラップリセットおよびシステムクロックリセット)は初期化されません。従って、電源投入時にRESET端子出力が $2^{20}/fc$  [s] (131 ms @ 8 MHz) “L”レベルになることがあります。

表1-5. リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFF <sub>H</sub> )·(FFFE <sub>H</sub> )	タイミングジェネレータのプリスケアラおよびデバイダ	0
レジスタバンクセレクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		

### 1.11.1 外部リセット入力

電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3命令サイクル以上の間 **RESET** 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

**RESET** 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、**FFFE**, **FFFF<sub>H</sub>** 番地に格納されたベクタアドレスからプログラムの実行を開始します。

**RESET** 端子はプルアップ抵抗付きのヒステリシス入力となっており、コンデンサおよびダイオードを外付けすることにより簡易型パワーオンリセットを行うことができます。

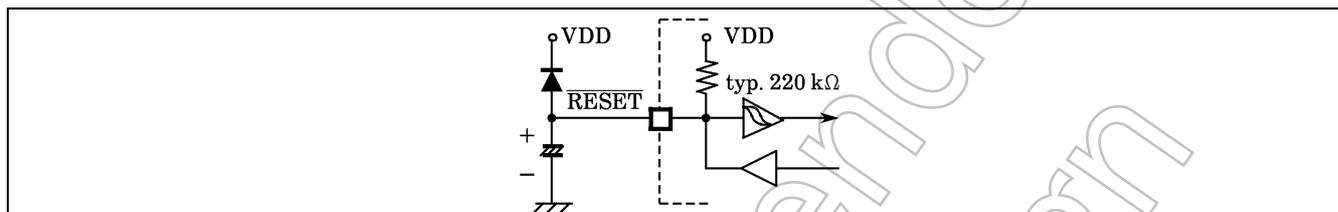


図1-30. 簡易型パワーオンリセット回路

### 1.11.2 アドレスラップリセット

CPUが何らかの原因(ノイズなど)により暴走してRAMまたはSFR領域から命令をフェッチしようとするとき内部リセットが発生し、**RESET** 端子よりリセット信号(“L”レベル)が出力されます。リセット時間は、 $2^{20}/f_c$  [s] (131 ms @ 8 MHz) です。

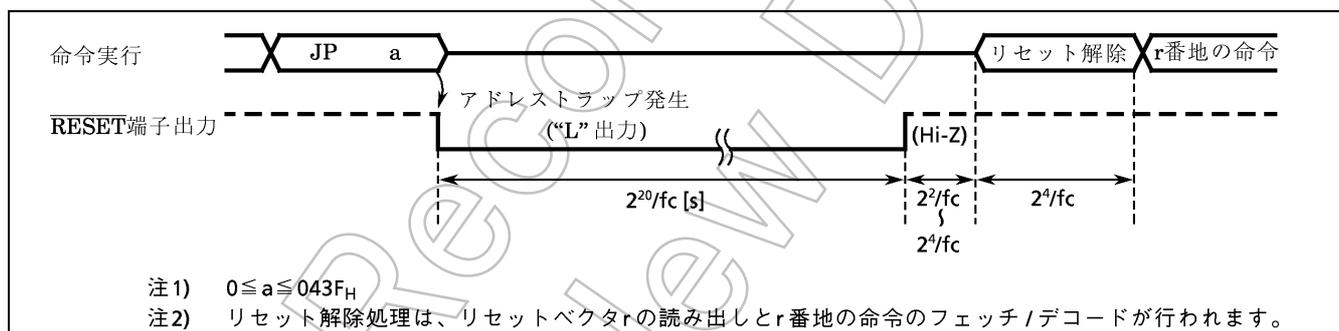


図1-31. アドレスラップリセット

### 1.11.3 ウォッチドッグタイマリセット

『1.10ウォッチドッグタイマ』をご参照ください。

### 1.11.4 システムクロックリセット

**XEN**, **XTEN** (**SYSCR2** のビット7, 6) をともに“0”にクリアすると高周波、低周波発振が停止し、MCUがデッドロック状態に陥ります。これを防ぐため、**XEN = XTEN = 0**を検出すると自動的にリセット信号を発生し発振を継続させます。リセット信号は、**RESET** 端子より出力されます。リセット時間は、 $2^{20}/f_c$  [s] (131 ms @ 8 MHz) です。

2. 周辺ハードウェア機能

2.1 スペシャルファンクションレジスタ (SFR) とデータバッファレジスタ (DBR)

TLCS-870シリーズは、メモリマップトI/O方式で、周辺ハードウェアの制御/データ転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。

SFRは0000~003F<sub>H</sub>番地に、DBRは0F80~0FFF<sub>H</sub>番地にマッピングされています。図2-1.に87C814/H14/K14/M14のSFR, DBRの一覧を示します。

アドレス	リード	ライト	アドレス	リード	ライト
0000 <sub>H</sub>		P0ポート	0020 <sub>H</sub>	SIOSR (SIOステータス)	SIOCR1 (SIO制御)
01		P1ポート	21		SIOCR2
02		P2ポート	22		reserved
03		P3ポート	23		reserved
04		reserved	24		reserved
05		P5ポート	25	PWMSR (PWMステータス)	PWMCr (PWM14制御)
06		P6ポート	26		PWMDBR
07		P7ポート	27		DVObCR (DVOb制御)
08		P8ポート	28		reserved
09		reserved	29	VFTSR (VFTステータス)	VFTCR1 (VFT制御1)
0A	-	POCR (P0ポート入出力制御)	2A		VFTCR2 (VFT制御2)
0B	-	P1CR (P1ポート入出力制御)	2B		VFTCR3 (VFT制御3)
0C	-	P6CR (P6ポート入出力制御)	2C		reserved
0D		reserved	2D		reserved
0E		ADCCR (A/Dコンバータ制御)	2E		reserved
0F	ADCDR (A/D変換値レジスタ)		2F		reserved
10	-	TREG1A <sub>L</sub> (タイムレジスタ1A)	30		reserved
11	-	TREG1A <sub>H</sub>	31		reserved
12	TREG1B <sub>L</sub> (タイムレジスタ1B)		32		reserved
13	TREG1B <sub>H</sub>		33		reserved
14	-	TC1CR (タイムカウンタ1制御)	34	-	WDTCR1 (ウォッチドッグ)
15	-	TC2CR (タイムカウンタ2制御)	35	-	WDTCR2 (タイム制御)
16	-	TREG2 <sub>L</sub> (タイムレジスタ2)	36	TBTTCR (TBT/TG/DVOa制御)	
17	-	TREG2 <sub>H</sub>	37	EINTCR (外部割り込み制御)	
18	TREG3A (タイムレジスタ3A)		38	SYSCR1 (システム制御)	
19		reserved	39	SYSCR2 (システム制御)	
1A	-	TC3CR (タイムカウンタ3制御)	3A	EIR <sub>L</sub> (割り込み許可レジスタ)	
1B	-	TREG4 (タイムレジスタ4)	3B	EIR <sub>H</sub>	
1C	-	TC4CR (タイムカウンタ4制御)	3C	IL <sub>L</sub> (割り込みラッチ)	
1D		reserved	3D	IL <sub>H</sub>	
1E		reserved	3E		reserved
1F		reserved	3F	PSW	RBS (レジスタバンクセクタ)

(a) スペシャルファンクションレジスタ

- 注1) reservedの番地はプログラムでアクセスしないでください。
- 注2) - ; アクセスできません。
- 注3) 003F<sub>H</sub>番地をシンボルで定義する場合、GPSW/GRBSとしてください。
- 注4) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。
- 注5) PSW ; プログラムステータスワード

図2-1. (a) SFR & DBR

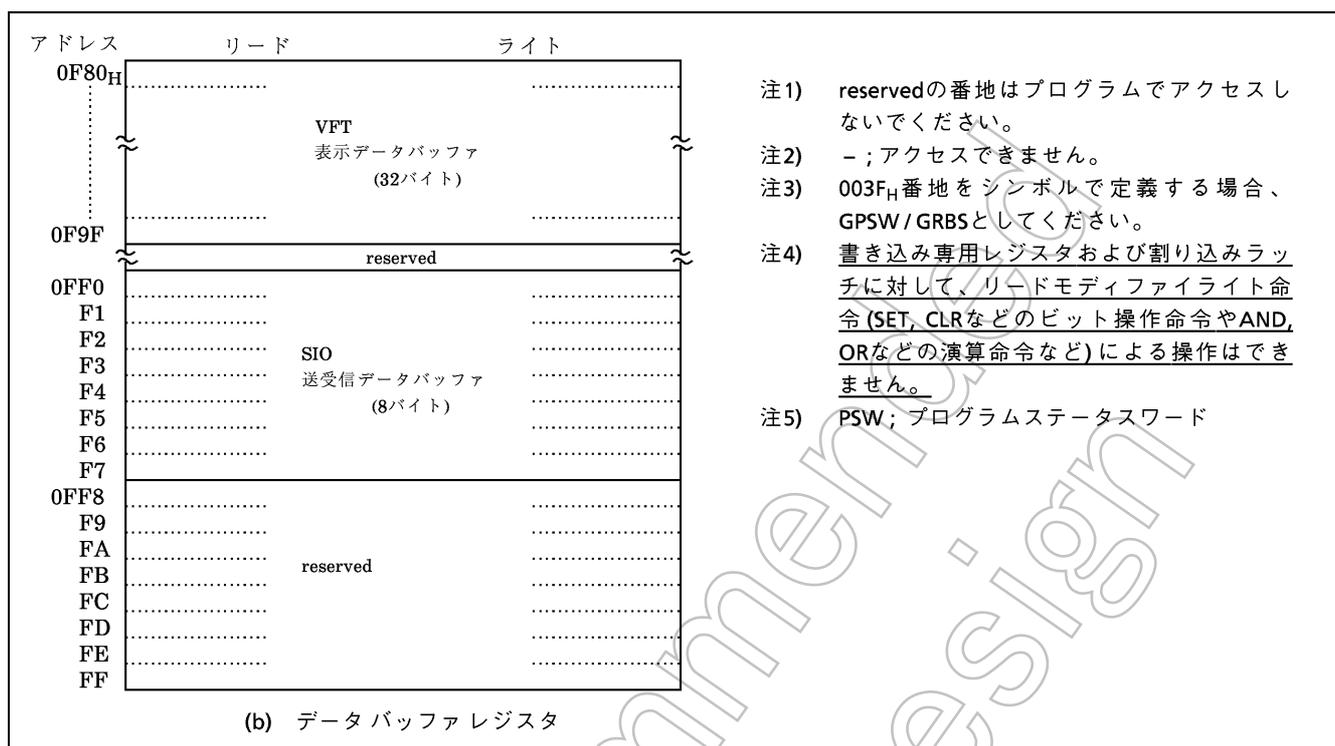


図2-1. (b) SFR &amp; DBR

## 2.2 入出力ポート

87C814/H14/K14/M14は、8ポート55端子の入出力ポートを内蔵しています。

- ① P0ポート; 8ビット入出力ポート
- ② P1ポート; 8ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用)
- ③ P2ポート; 3ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOPモード解除信号入力と兼用)
- ④ P3ポート; 4ビット入出力ポート (シリアルポート, D/A変換出力, タイマカウンタ入力と兼用)
- ⑤ P5ポート; 8ビット入出力ポート (デジット出力と兼用)
- ⑥ P6ポート; 8ビット入出力ポート (アナログ入力と兼用)
- ⑦ P7ポート; 8ビット入出力ポート (セグメント/デジット出力と兼用)
- ⑧ P8ポート; 8ビット入出力ポート (セグメント出力, デバイダ出力, 外部割り込み入力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2.に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルのS2ステートです。

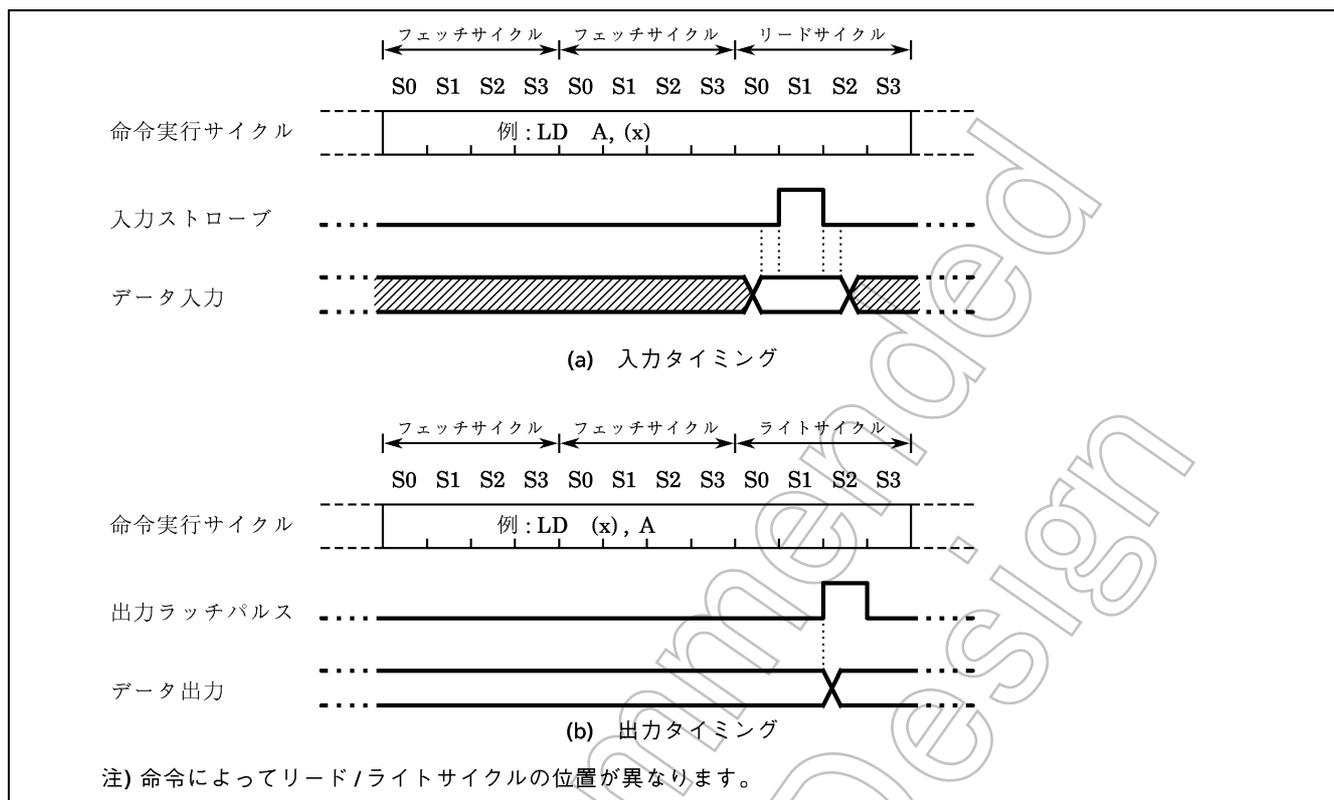


図2-2. 入出力タイミング (例)

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

## (a) 出力ラッチの内容を読み込む命令

- ① XCH r, (src)
- ② SET/CLR/CPL (src).b
- ③ SET/CLR/CPL (pp).g
- ④ LD (src).b, CF
- ⑤ LD (pp).b, CF
- ⑥ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), n
- ⑦ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (src) 側

## (b) 端子入力値を読み込む命令

上記以外の命令および ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (HL) 側

2.2.1 P0 (P07~P00) ポート

P0ポートは、1ビット単位で入出力の指定ができる8ビット汎用入出力ポートです。入出力の指定は、P0ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CRは“0”に初期化され、P0ポートは入力モードとなります。

また、P0ポート出力ラッチは“0”に初期化されます。

注) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

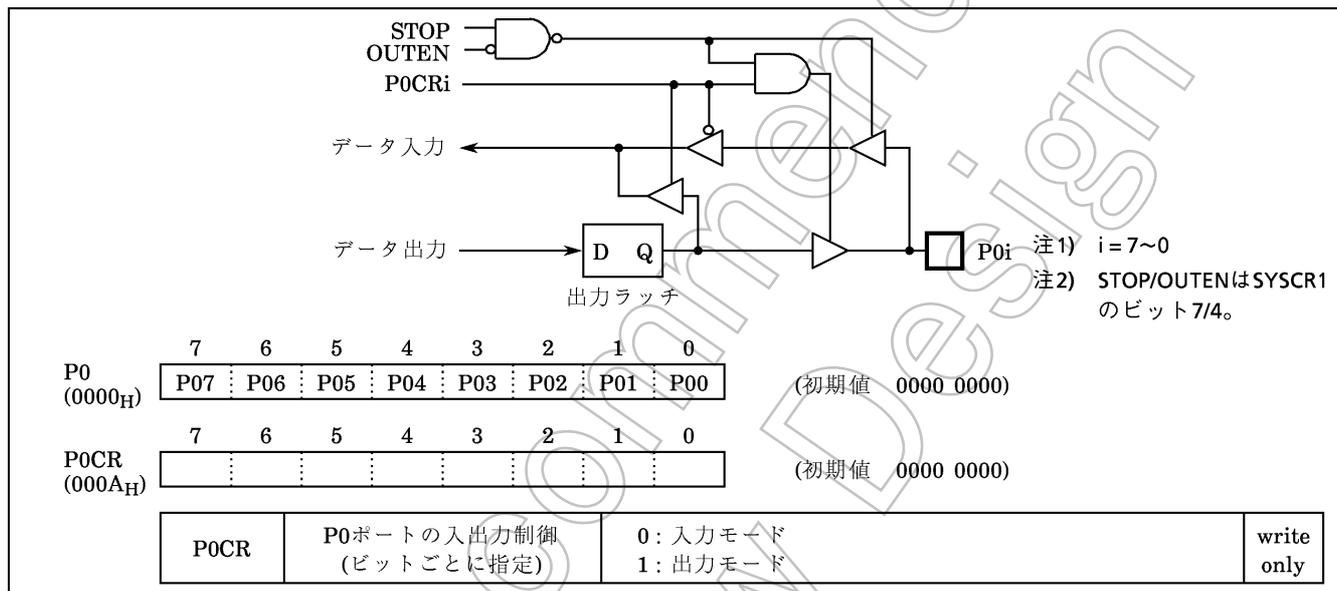


図2-3. P0ポートとP0ポート入出力制御レジスタ

例 : P17, P16, P14を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17ピン, P14ピンは“1”に、P16ピンは“0”を出力します。

```
LD (EINTCR), 01000000B ; INT0EN←1
LD (P1), 10111111B ; P17←1, P14←1, P16←0
LD (P1CR), 11010000B
```

2.2.2 P1 (P17~P10) ポート

P1ポートは、1ビット単位で入出力の指定ができる8ビット汎用入出力ポートです。入出力の指定は、P1ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CRは“0”に初期化され、P1ポートは入力モードとなります。また、P1ポート出力ラッチは“0”に初期化されます。

P1ポートは、外部割り込み入力、タイマカウンタ入出力、デバイダ出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを“1”にセットし、出力モードに設定します。なお、P11, P12端子は、外部割り込み入力、タイマカウンタ入力または入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10端子は、外部割り込み制御レジスタ (INT0EN) により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10端子は入力ポートとなります。

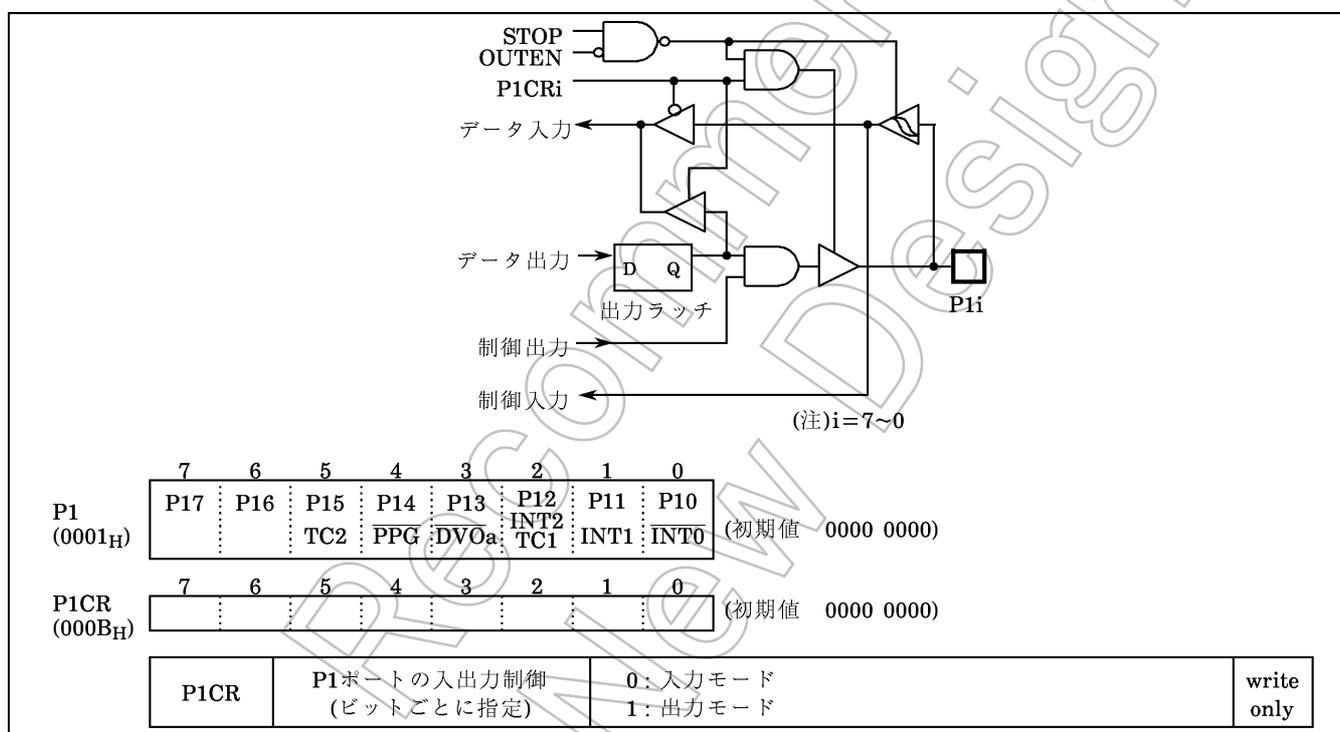


図2-4. P1ポートとP1ポート入出力制御レジスタ

例： P17, P16, P14を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17ピン, P14ピンは“1”に、P16ピンは“0”を出力します。

```
LD (EINTCR), 01000000B ; INT0EN←1
LD (P1), 10111111B ; P17←1, P14←1, P16←0
LD (P1CR), 11010000B
```

- 注1) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注2) P0CR, P1CRは書き込み専用レジスタですのでリードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

2.2.3 P2 (P27~P20) ポート

P2ポートは、3ビットの入出力ポートで、外部割り込み入力、STOPモード解除信号入力、低周波発振子接続端子と兼用になっています。これらの機能端子としてまたは入力ポートとして用いる場合は、出力ラッチを“1”にセットします。リセット時、出力ラッチは“1”に初期化されます。

デュアルクロックモードで動作させる場合は、P21 (XTIN), P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22端子は、通常の入出力ポートとして使用できます。

P20端子は外部割り込み入力、STOPモード解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます)。

P2ポートに対してリード命令を実行した場合、ビット7~3は不定値が読み込まれます。

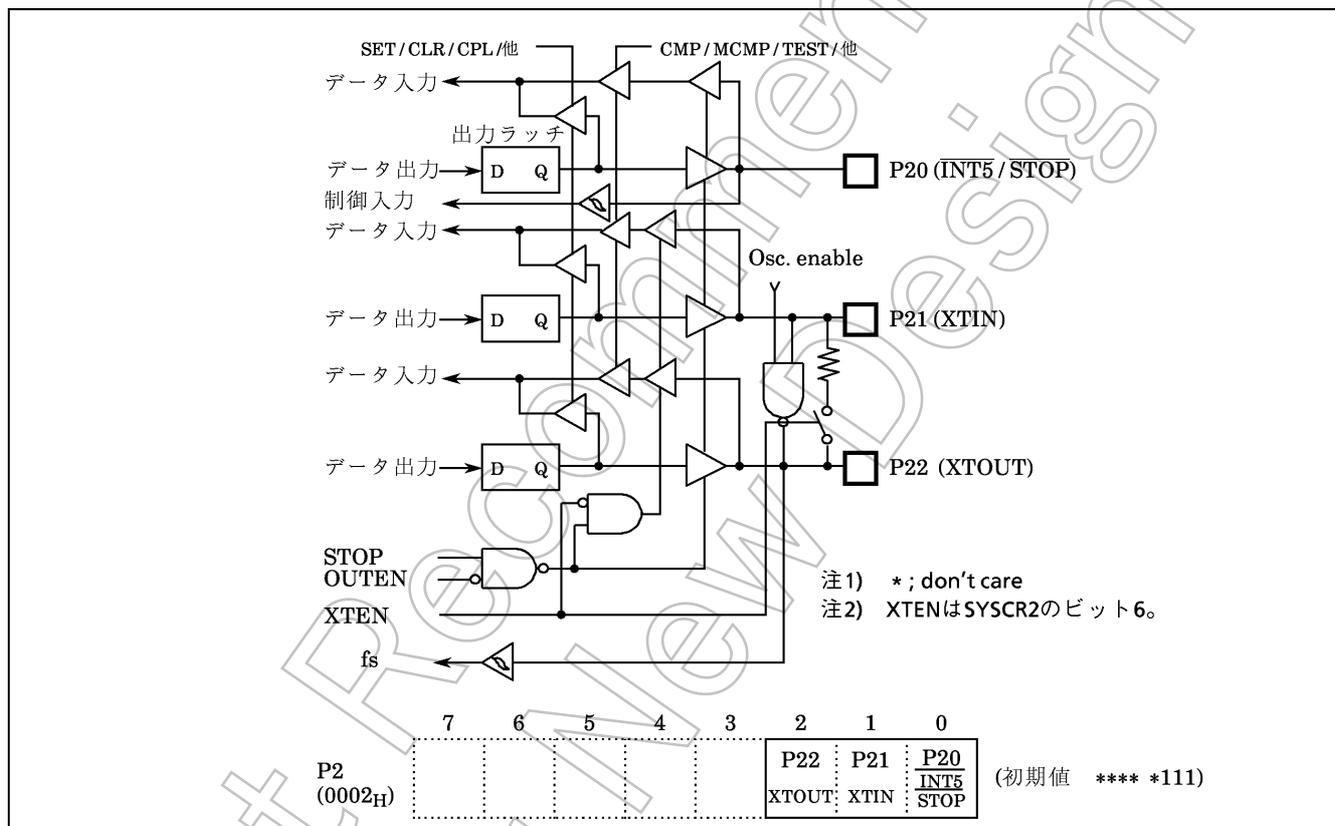


図2-5. P2ポート

2.2.4 P3ポート (P33~P30) ポート

P3ポートは、4ビットの入出力ポートでシリアルインタフェース入出力、14 bit PWM出力、タイマカウンタ入力と兼用です。入力ポートまたは機能ピンとして用いる場合は出力ラッチを“1”にセットします。出力ラッチは、リセット時“1”に初期化されます。なお、P33端子は、タイマカウンタ入力または入力ポートとして使用されることを推奨します。(出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。

P3ポートに対してリード命令を実行した場合、ビット7~4は不定値が読み込まれます。

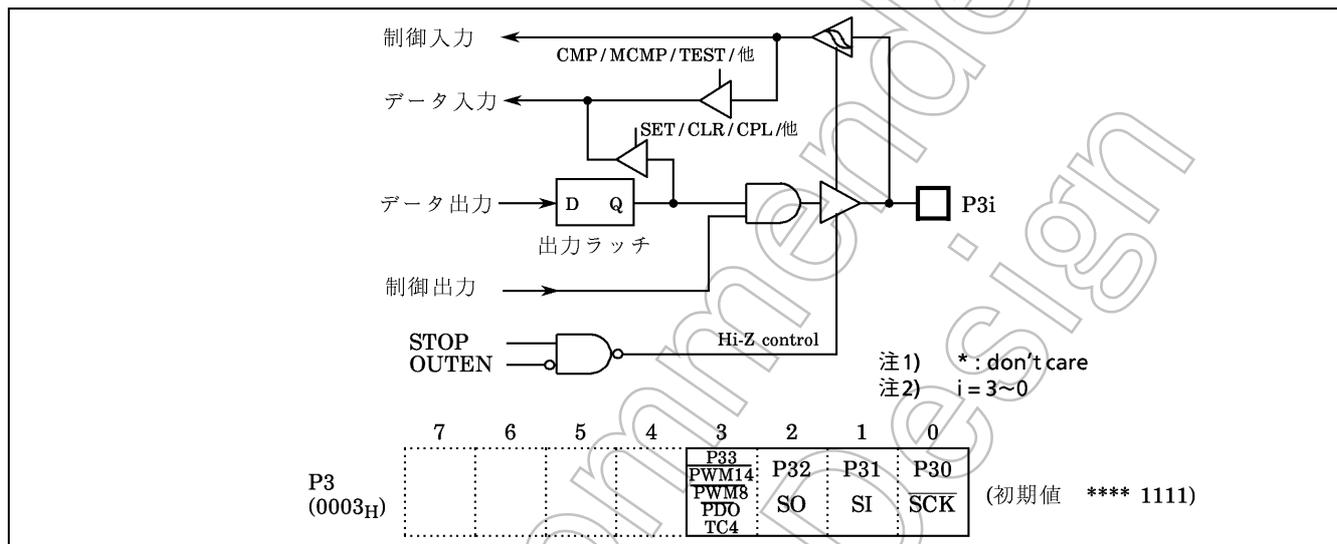


図2-6. P3ポート

2.2.5 P5ポート (P57~P50) ポート

P5ポートは、8ビットの高耐圧入出力ポートでデジット出力と兼用しており、VFTを直接駆動できます。デジット出力として用いる場合は、出力ラッチを“0”にクリアします。

デジット出力に設定されない端子は、入出力ポートとして使用できます。リセット時、出力ラッチは“0”に初期化されます。

P5ポートはプルダウン抵抗が内蔵されているため、VFT駆動用として使用されることを推奨します。

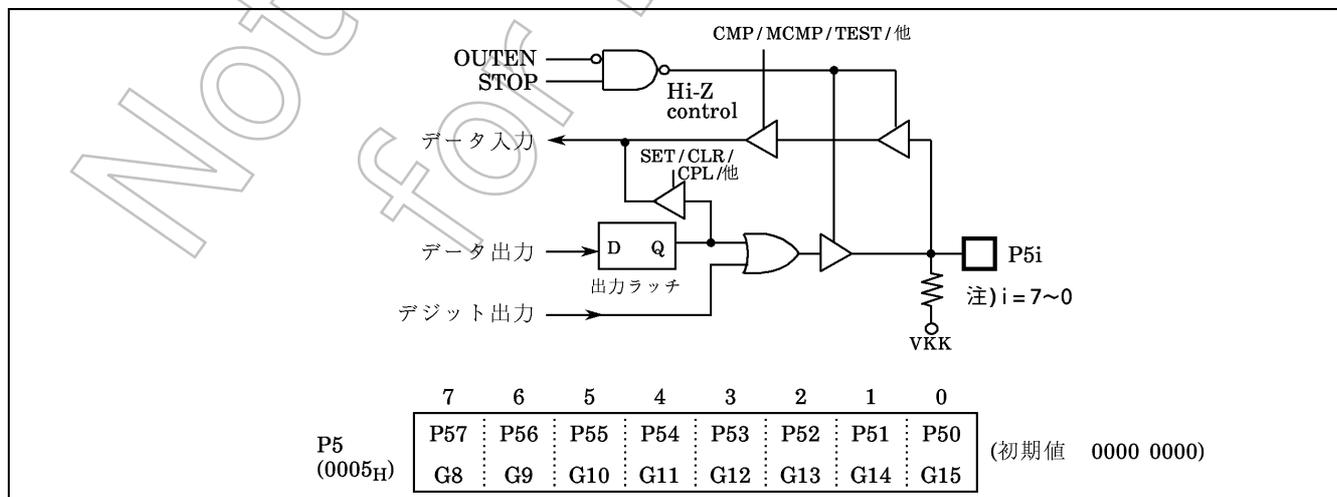


図2-7. P5ポート

2.2.6 P6 (P67~P60) ポート

P6ポートは、1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートで、アナログ入力と兼用です。入出力の指定は、P6ポート入出力制御レジスタ (P6CR) とAINDS (ADCCRのビット4) によって行います。リセット時、P6CRは“0”にセットされ、AINDSは“0”にクリアされますので、P6ポートはアナログ入力となります。また、P6ポートの出力ラッチはリセット時に“0”に初期化されます。なお、P6CRは書き込み専用レジスタです。アナログ入力として使用しないP6ポートは、入出力ポートとして使用できます。A/Dコンバータを使用している時P6ポートに対して、入力命令を実行するとアナログ入力を選択している端子は“0”が読み込まれ、アナログ入力を選択していない端子は、端子の入力レベルにより、“1”または、“0”が読み込まれます。

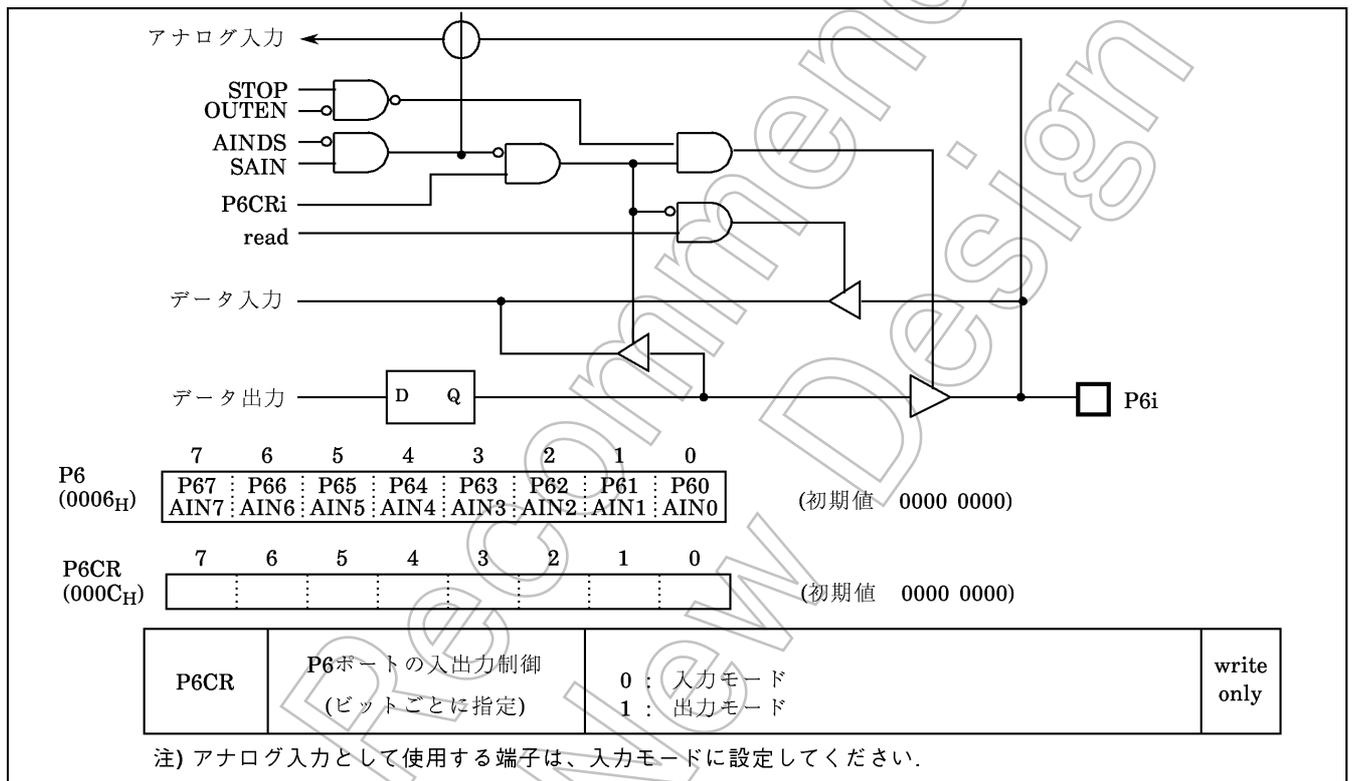


図2-8. P6ポートとP6ポート入出力制御レジスタ

注) P6CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

2.2.7 P7 (P77~P70) ポート

P7ポートは、8ビット高耐圧入出力ポートでセグメント/デジット出力と兼用しており、VFTを直接駆動できます。入力ポート、セグメント/デジット出力として用いる場合は、出力ラッチを“0”にクリアします。

なお、セグメント/デジットの切り替えはVFT制御レジスタ3 (VFTCR3)で行います。

リセット時、出力ラッチは、“0”に初期化されます。

セグメント/デジット出力に設定されない端子は、通常の入出力ポートとして使用できますが、出力として使用する場合、端子に兼用されているセグメントのデータバッファメモリ (DBR)を“0”にクリアする必要があります。

P7ポートはプルダウン抵抗が内蔵されているため、VFT駆動用として使用されることを推奨します。

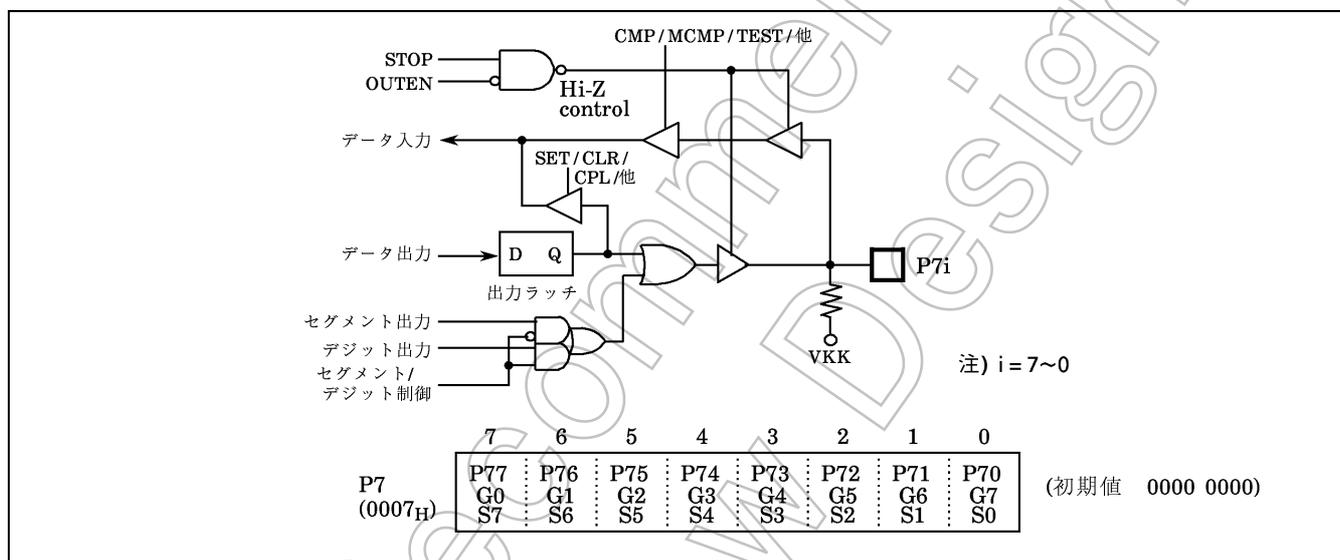


図2-9. P7ポート

2.2.8 P8 (P87~P80) ポート

P8ポートは、8ビット高耐圧入出力ポートでデバイダ出力、外部割り込み入力、セグメント出力と兼用しており、VFTを直接駆動できます。入力ポート、セグメント出力または機能ピンとして用いる場合は、出力ラッチを“0”にクリアします。リセット時、出力ラッチは“0”に初期化されます。

セグメント出力に設定されない端子は、通常の入出力ポートとして使用できますが、出力またはデバイダ出力として使用する場合、端子に兼用されているセグメントのデータバッファメモリ (DBR) を“0”にクリアする必要があります。

P84~P87ポートはマスクオプションによりプルダウン抵抗を内蔵することができます。なお、プルダウン抵抗付きのポートは、VFT駆動用として使用されることを推奨します。

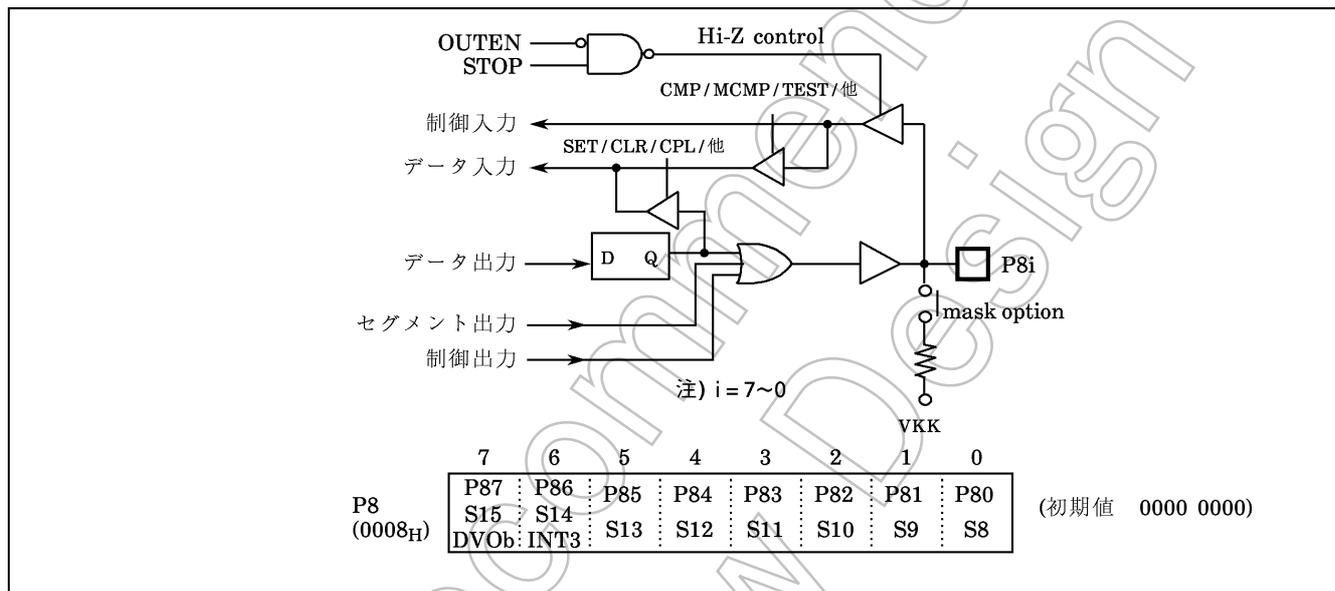


図2-10. P8ポート

2.3 タイムベース タイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を **TBTCK** で選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-11. (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできません。

例： タイムベースタイマ割り込み周波数を  $fc/2^{16}$  [Hz] にセットし、割り込みを許可します。

```
LD (TBTCCR), 00001010B
SET (EIRL), 6
```

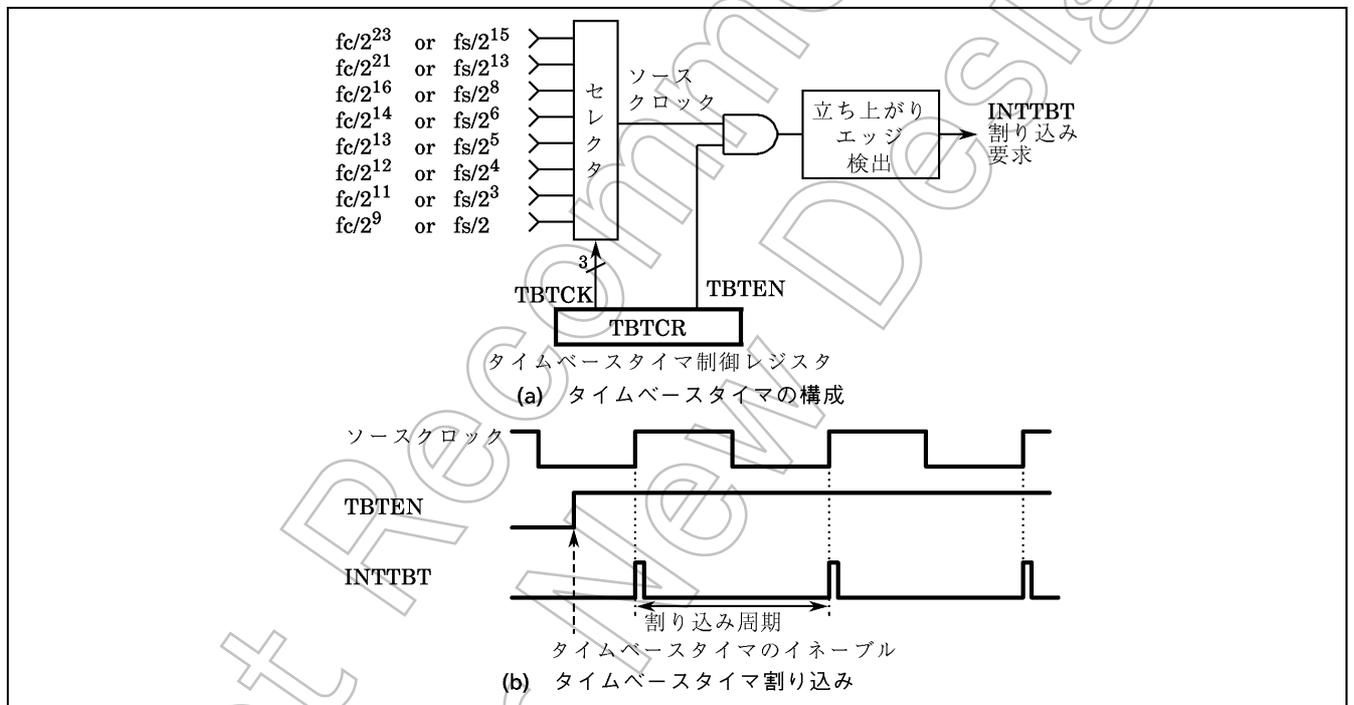


図2-11. タイムベースタイマ

TBTCR (0036 <sub>H</sub> )	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	(DVOEN)	(DVQCK)	(DV7CK)	TBTEN	TBTCR <sub>[7:0]</sub>				
TBTEN	タイムベースタイマの許可/禁止				0: デイセーブル 1: イネーブル				R/W
TBTCR	タイムベースタイマ割り込み周波数の選択				000 : $fc/2^{23}$ または $fs/2^{15}$ [Hz] 001 : $fc/2^{21}$ または $fs/2^{13}$ 010 : $fc/2^{16}$ または $fs/2^8$ 011 : $fc/2^{14}$ または $fs/2^6$ 100 : $fc/2^{13}$ または $fs/2^5$ 101 : $fc/2^{12}$ または $fs/2^4$ 110 : $fc/2^{11}$ または $fs/2^3$ 111 : $fc/2^9$ または $fs/2$				

注1)  $fc$  ; 高周波クロック [Hz],  $fs$  ; 低周波クロック [Hz], \* ; don't care

図2-12. タイムベースタイマ制御レジスタ

表2-1. タイムベースタイマ割り込み周波数

TBTCR	NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	割り込み周波数	
	DV7CK=0	DV7CK=1		$fc=8\text{ MHz}$ 時	$fs=32.768\text{ kHz}$ 時
000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	0.95 Hz	1 Hz
001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$	3.81	4
010	$fc/2^{16}$	$fs/2^8$	-	122.07	128
011	$fc/2^{14}$	$fs/2^6$	-	488.28	512
100	$fc/2^{13}$	$fs/2^5$	-	976.56	1024
101	$fc/2^{12}$	$fs/2^4$	-	1953.12	2048
110	$fc/2^{11}$	$fs/2^3$	-	3906.25	4096
111	$fc/2^9$	$fs/2$	-	15625	16384

2.4 デバイダ出力 (DVOa, DVOb)

タイミングジェネレータのデバイダによってデューティ50%のパルスを出力することができ、プ  
 ザーなどの駆動に利用できます。デバイダ出力は、P13 (DVOa), P87 (DVOb) 端子から出力されます。  
 なお、P13ポートは出力ラッチを“1”にセットしたあと出力モードに設定し、P87ポートは出力ラッチ  
 を“0”にクリアします。

DVOa制御レジスタ		7	6	5	4	3	2	1	0	
TBTCR (0036 <sub>H</sub> )	DVOEN	DVQCK	(DV7CK)	(TBTEN)	(TBTCK)					(初期値 0**0 0***)
DVOEN	デバイダ出力aの許可/禁止		0 : デイセーブル 1 : イネーブル							R/W
DVOCK	デバイダ出力a (DVOa端子)の周波数選択		00 : $fc/2^{13}$ または $fs/2^5$ [Hz] 01 : $fc/2^{12}$ または $fs/2^4$ 10 : $fc/2^{11}$ または $fs/2^3$ 11 : $fc/2^{10}$ または $fs/2^2$							
DVOb制御レジスタ		7	6	5	4	3	2	1	0	
DVObCR (0027 <sub>H</sub> )	DVObEN	DVObCK								(初期値 000* ***)
DVObEN	デバイダ出力bの許可/禁止		0 : デイセーブル 1 : イネーブル							Write only
DVObCK	デバイダ出力b (DVOb端子)の周波数選択		00 : $fc/2^{13}$ または $fs/2^5$ [Hz] 01 : $fc/2^{12}$ または $fs/2^4$ 10 : $fc/2^{11}$ または $fs/2^3$ 11 : $fc/2^{10}$ または $fs/2^2$							
注1) $fc$ ; 高周波クロック [Hz], $fs$ ; 低周波クロック [Hz], * ; don't care										

図2-13. デバイダ出力制御レジスタ

例 : 1kHzのパルスを出力 ( $fc=8$  MHz時)。

SET (P1).3 ; P13出力ラッチ←1  
 LD (P1CR), 00001000B ; P13を出力モードに設定  
 LD (TBTCR), 10000000B ; DVOEN←1, DVOCK←00

表2-2. デバイダ出力の周波数

DVOCK (DVOCbK)	デバイダ出力の周波数	$fc=8$ MHz時	$fs=32.768$ kHz時
00	$fc/2^{13}$ または $fs/2^5$	0.976 [kHz]	1.024 [kHz]
01	$fc/2^{12}$ $fs/2^4$	1.953	2.048
10	$fc/2^{11}$ $fs/2^3$	3.906	4.096
11	$fc/2^{10}$ $fs/2^2$	7.812	8.192

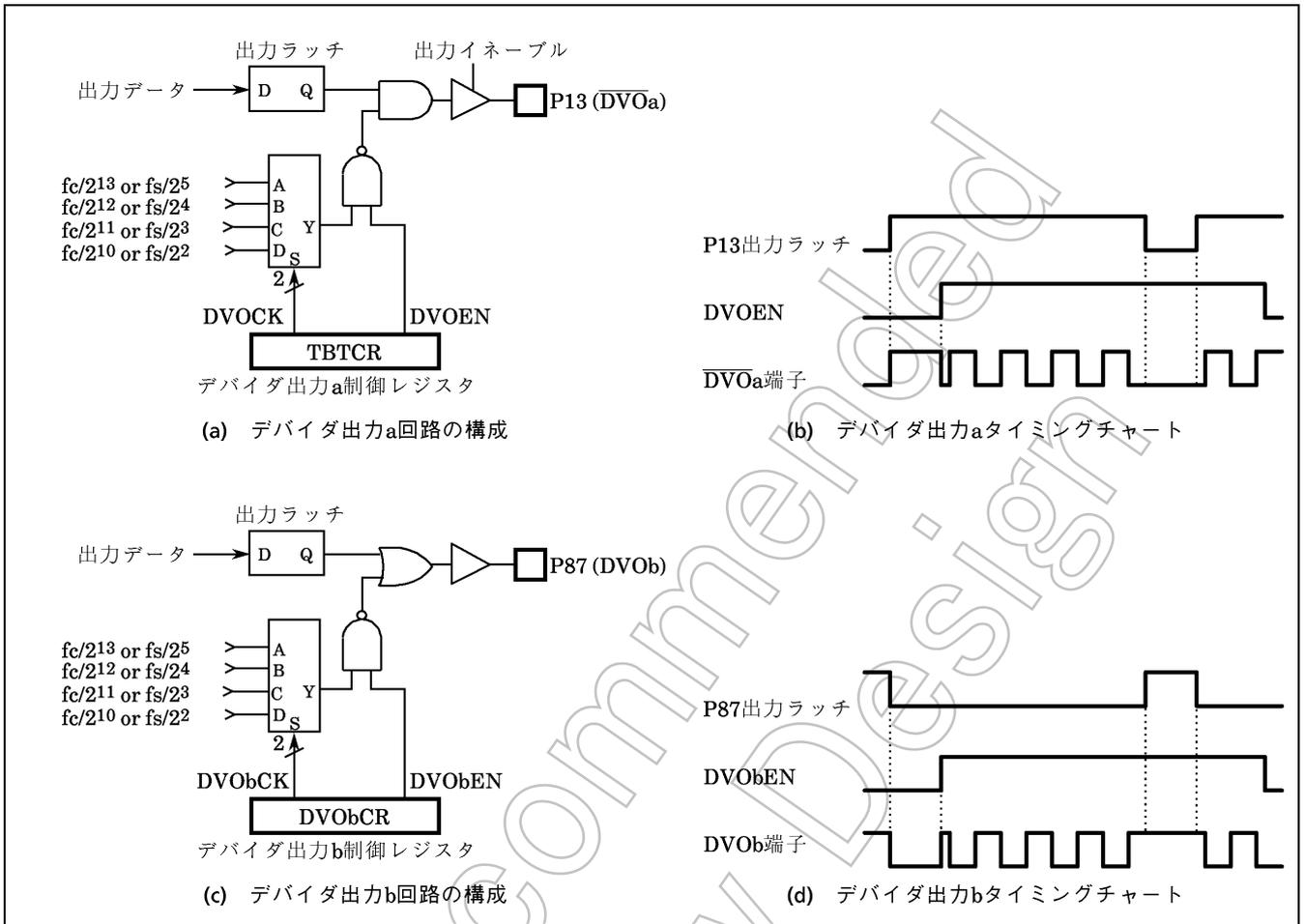


図2-14. デバイダ出力

2.5 16ビットタイマカウンタ1(TC1)

2.5.1 構成

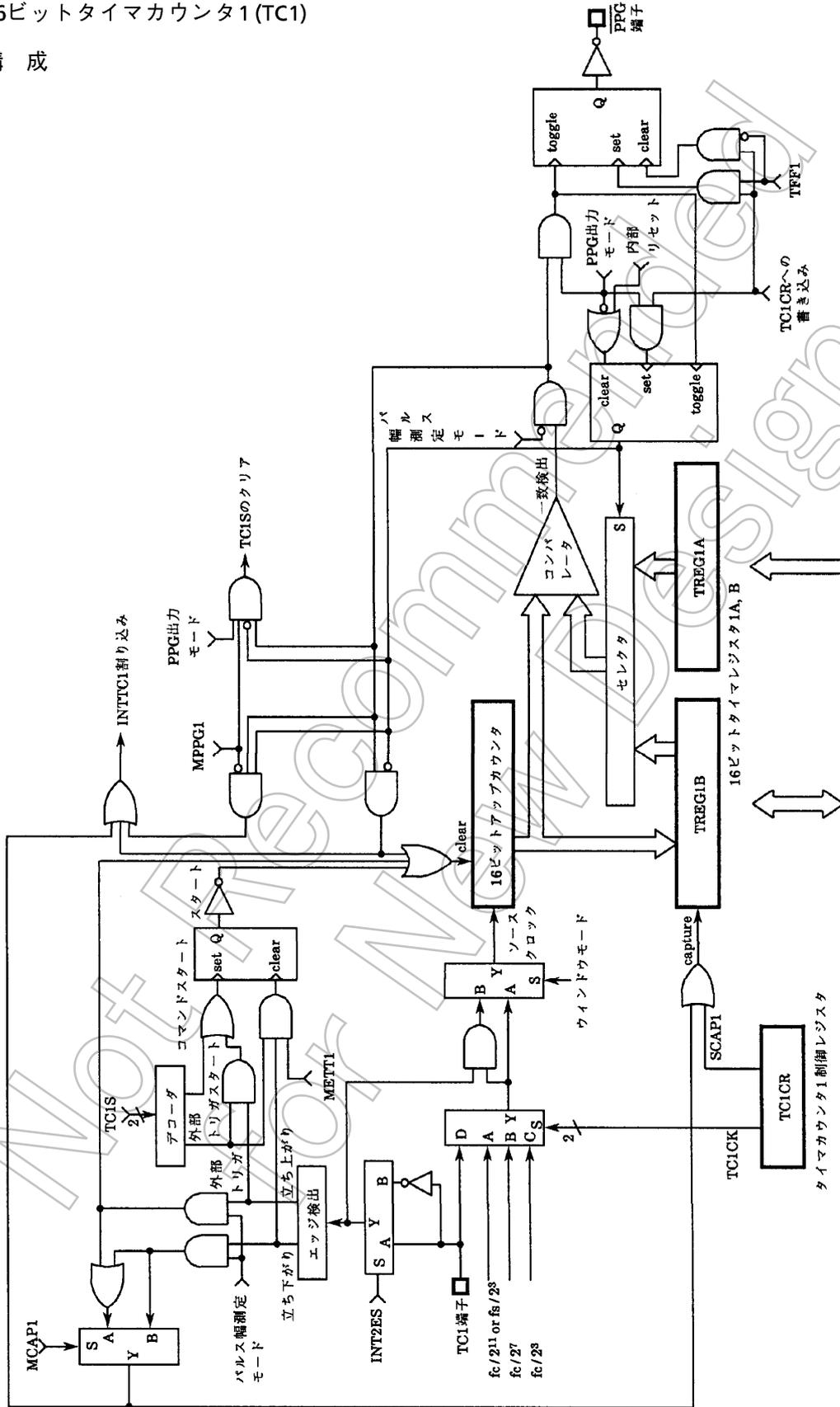


図2-15. タイマカウンタ1(TC1)

2.5.2 制御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と2本の16ビットタイマレジスタ (TREG1A/TREG1B) で制御されます。

タイマレジスタ	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1A (0010, 0011 <sub>H</sub> )	TREG1A <sub>H</sub> (0011 <sub>H</sub> )								TREG1A <sub>L</sub> (0010 <sub>H</sub> )							
	Write only															
TREG1B (0012, 0013 <sub>H</sub> )	TREG1B <sub>H</sub> (0013 <sub>H</sub> )								TREG1B <sub>L</sub> (0012 <sub>H</sub> )							
タイマカウンタ1制御レジスタ	Read / Write (PPG出力モード時のみWrite可)															
	7	6	5	4	3	2	1	0								
TC1CR (0014 <sub>H</sub> )	TFF1	SCAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M	(初期値 0000 0000)										

TC1M	タイマカウンタ1の動作モードの選択	00: タイマ/外部トリガタイマ/イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート)出力モード	
TC1CK	タイマカウンタ1のソースクロックの選択	00: 内部クロック $fc/2^{11}$ または $fs/2^3$ [Hz] 01: " " 10: " " 11: 外部クロック (TC1端子入力)	write only
TC1S	タイマカウンタ1のスタート制御	00: ストップ&カウンタクリア 01: コマンドスタート 10: reserved 11: 外部トリガスタート	
SCAP1	ソフトキャプチャ制御	0: - 1: ソフトキャプチャトリガ	
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ 1: 片エッジキャプチャ	
METT1	外部トリガタイマモード制御	0: トリガスタート 1: トリガスタート&ストップ	
MPPG1	PPG出力制御	0: 連続 1: 単発	
TFF1	タイマF/F1制御	0: クリア 1: セット	

注1)  $fc$ : 高周波クロック [Hz]  $fs$ : 低周波クロック [Hz]

注2) タイマレジスタの下位側 (TREG1A<sub>L</sub>, TREG1B<sub>L</sub>) に書き込むと上位側 (TREG1A<sub>H</sub>, TREG1B<sub>H</sub>) への書き込みが終わるまで、一致検出を停止します (従ってタイマ/レジスタの下位側だけの変更はできません)。また、上位側への書き込み後1サイクル以内 (すなわち命令実行中) の一致検出も無視されます。

注3) モード、ソースクロック、エッジ (INT2ESを含む)、PPG出力制御、タイマF/F1制御は、停止 (TC1S=00) 状態で設定してください。

注4) ソフトキャプチャは、タイマ、イベントカウンタモードでのみ使用可能です。SCAP1はソフトキャプチャ後自動的に"0"にクリアされます。

注5) タイマレジスタへの設定値は、次の条件を満足する必要があります。  
 TREG1A>TREG1B>0 (PPG出力モード), TREG1A>0 (PPG出力モード以外)

注6) PPG出力モード以外は、TFF1="0"としてください。

注7) TREG1Bは、PPG出力モードに設定後でなければ書き込みできません。

注8) TC1CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注9) パルス幅測定モードにおいてソースクロックに $fc/2^3$ を選択した場合、読み出されるカウンタ値 (TREG1B) の最下位ビット (ビット0) は常に'0'となります。その他のソースクロックではカウントに応じたカウンタ値が読み出されます。

図2-16. タイマカウンタ1のタイマレジスタと制御レジスタ

## 2.5.3 機能

タイマカウンタ1には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の6つの動作モードがあります。

## (1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1A (TREG1A) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。なお、SCAP1 (TC1CRのビット6) を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ1B (TREG1B) に取り込むことができます(ソフトキャプチャ機能)。SCAP1は、キャプチャ後自動的に“0”にクリアされます。

表2-3. タイマカウンタ1のソースクロック (内部クロック)

ソースクロック		SLOW, SLEEP モード	分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード	fc=8 MHz時		fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時	
DV7CK=0	DV7CK=1					
fc/2 <sup>3</sup> [Hz]	fc/2 <sup>3</sup> [Hz]	—	1 μs	—	65.5 ms	—
fc/2 <sup>7</sup>	fc/2 <sup>7</sup>	—	16 μs	—	1.0 s	—
fc/2 <sup>11</sup>	fs/2 <sup>3</sup>	fs/2 <sup>3</sup> [Hz]	256 μs	244.14 μs	16.8 s	16.0 s

例1：ソースクロックfc/2<sup>3</sup> [Hz] でタイマモードにセットし、1 s後に割り込みを発生させる (fc=32.768MHz時)。

LDW (TREG1A), 1000H ; タイマレジスタの設定 (1 s ÷ 2<sup>3</sup>/fc = 1000H)  
 SET (EIRL). EF4 ; INTTC1割り込みを許可  
 EI  
 LD (TC1CR), 00010000B ; TC1スタート

注) TC1CRは書き込み専用レジスタですので、[SET (TC1CR). 4] 命令によるスタートはできません。

例2：ソフトキャプチャ

LD (C1CR), 01010000B ; SCAP1←1  
 LDWA, (TREG1B) ; キャプチャ値の読出し

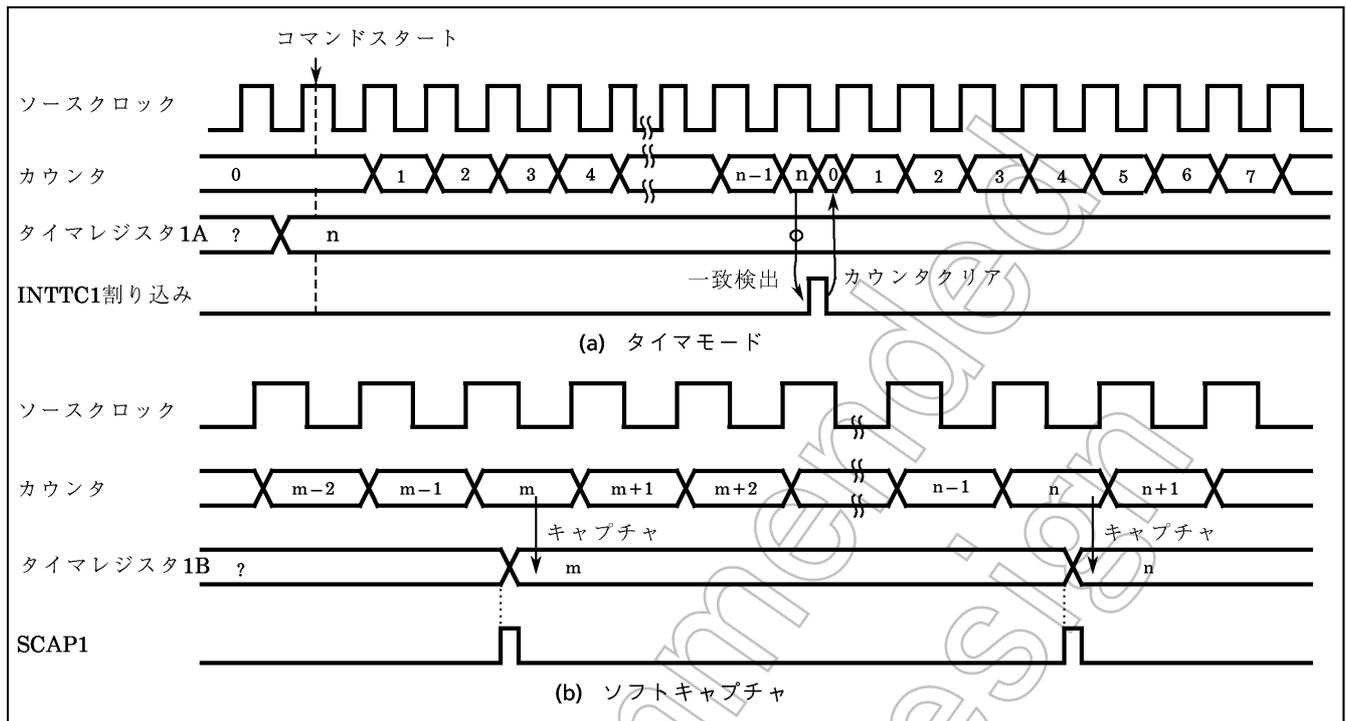


図2-17. タイマモードタイミングチャート

## (2) 外部トリガタイマモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジ)の選択可能。エッジ選択は、INT2端子のエッジ選択と共通)をトリガにしてカウントをスタートするタイマモードです(ソースクロックは内部クロックです)。カウンタ値とTREG1A設定値の一致でINTTC1割り込み発生し、カウンタはクリアされて停止します。TC1端子入力のエッジによりカウントアップは再開します。

METT1 (TC1CRのビット6)が“1”の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅をもったパルス入力で割り込みを発生させることができます。METT1が“0”の場合は、逆方向のエッジ入力は無視されます。また、一致検出前のTC1端子入力のエッジも無視されます。

TC1端子入力にはINT2端子と同じノイズ除去回路が付いていますので、NORMAL 1, 2またはIDLE1, 2モード時 $7/fc$  [s]以下のパルスはノイズとして除去されます。確実にエッジ検出が行われるためには $24/fc$  [s]以上のパルス幅が必要です。SLOWまたはSLEEPモード時はノイズ除去回路はオフしますが1マシサイクル以上のパルス幅が必要です。

例1: TC1端子入力の立ち上がりエッジから $100 \mu\text{s}$ 後に割り込みを発生させる ( $fc=8 \text{ MHz}$ 時)

```
LD (EINTCR), 00000000B ; INT2ES←0 (立ち上がりエッジ)
LDW (TREG1A), 0064H ;  $100 \mu\text{s} \div 2^3/fc = 64\text{H}$ 
SET (EIRL).EF4 ; INTTC1割り込み許可
EI
LD (TC1CR), 00111000B ; TC1外部トリガスタート, METT=0
```

例2：TC1端子に“L”レベル幅4ms以上のパルスが入力されたら割り込みを発生させる  
( $f_c = 8 \text{ MHz}$ 時)

```
LD (EINTCR), 00000100B ; INT2ES←1 (“L”レベル)
LDW (TREG1A), 00FAH ; 4ms ÷ 27/fc = FAH
SET (EIRL).EF4 ; INTTC1割り込み許可
EI
LD(TC1CR), 01110100B ; TC1外部トリガスタート, METT=1
```

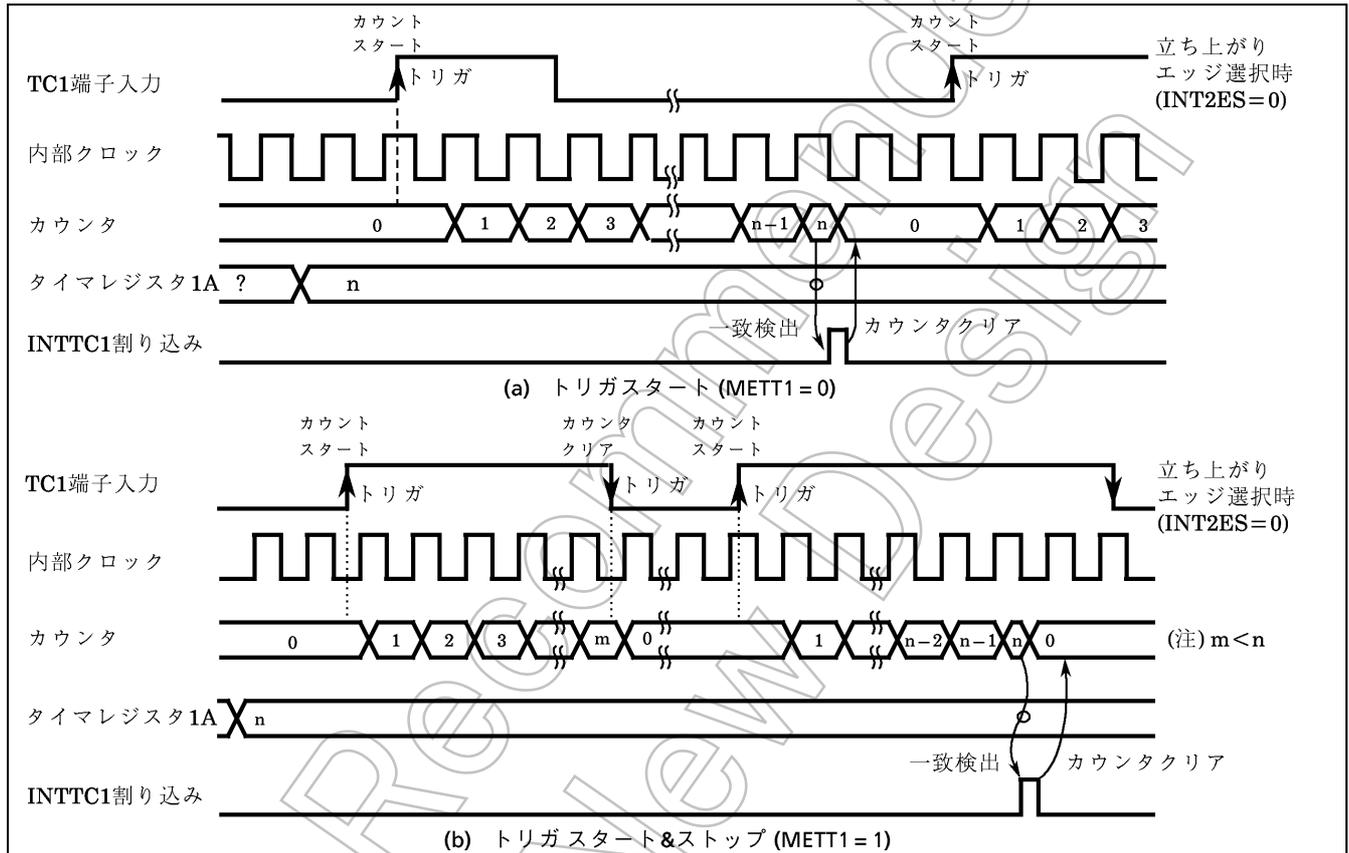


図2-18. 外部トリガタイマモードタイミングチャート

(3) イベントカウンタモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジ)を選択可能。エッジ選択は、INT2端子のエッジ選択と共通)でカウントアップするモードです。カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。カウンタクリア後もTC1端子入力のエッジごとにカウントアップします。最大印加周波数は、 $f_c/2^4$  [Hz] (NORMAL1,2またはIDLE1,2モード時)、 $f_s/2^4$  [Hz] (SLOW, SLEEPモード時)です。

SCAP1を“1”にセットすることにより、そのときのアップカウンタの内容をTREG1Bに取り込むことができます(ソフトキャプチャ機能)。

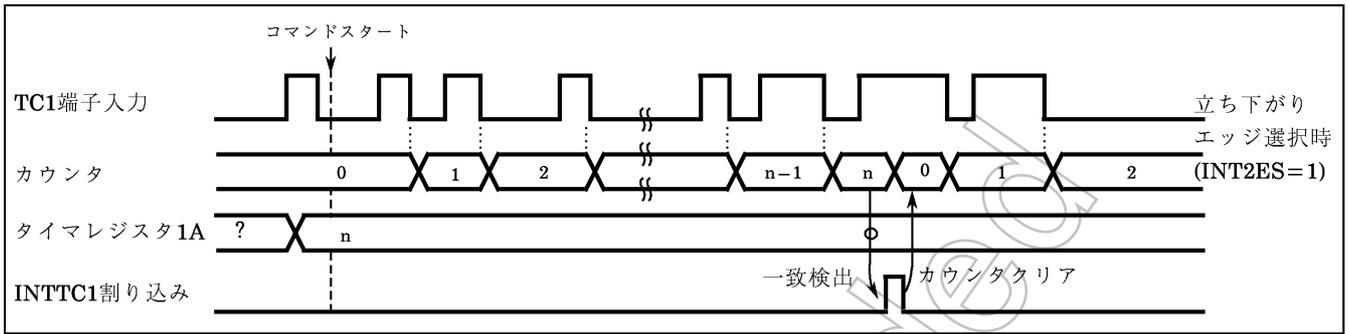


図2-19. イベントカウンタモードタイミングチャート

(4) ウィンドウモード

TC1端子入力(ウィンドウパルス)と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップし、カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。TC1端子入力は、正論理/負論理の選択ができます(INT2端子のエッジ選択と共通)。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要があります。すなわち、設定した内部クロックより十分に遅い周波数となります。

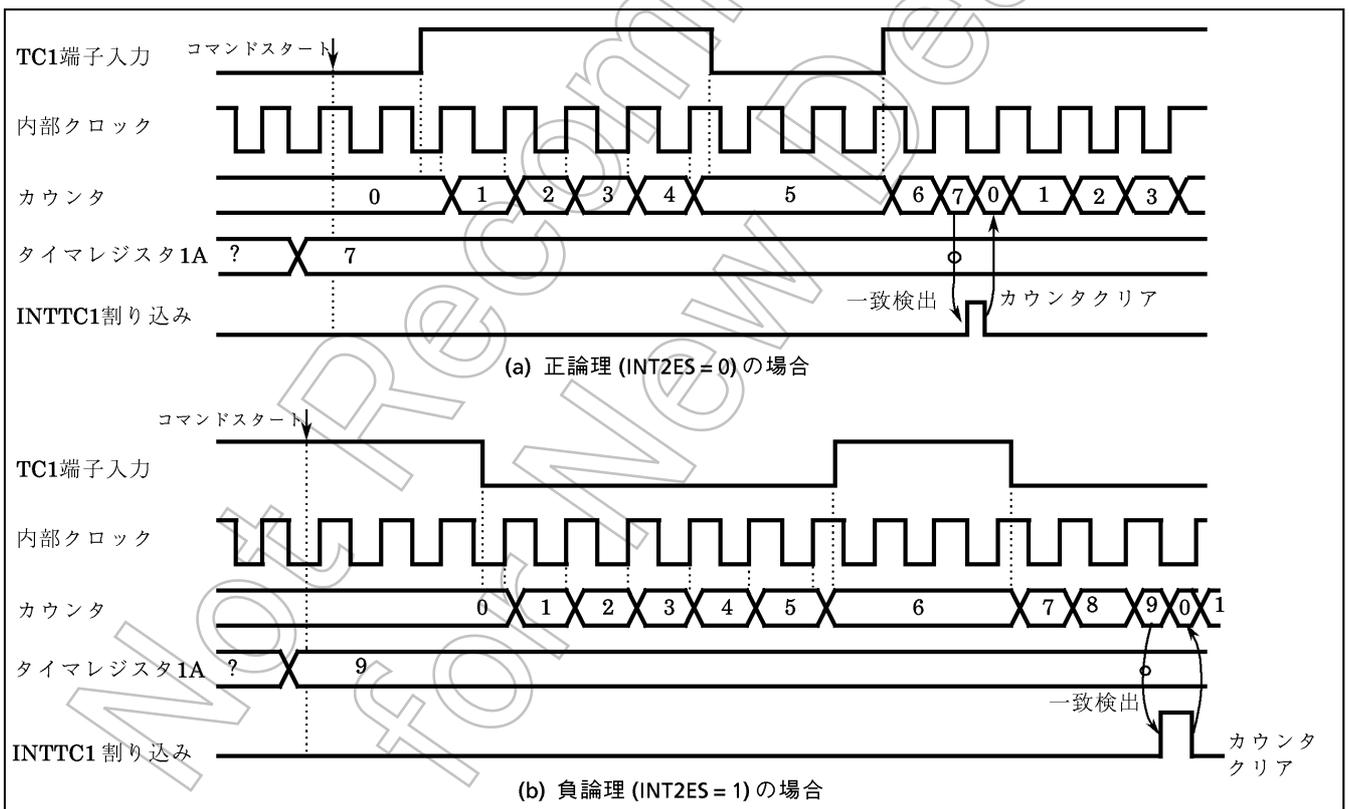


図2-20. ウィンドウモードタイミングチャート

## (5) パルス幅測定モード

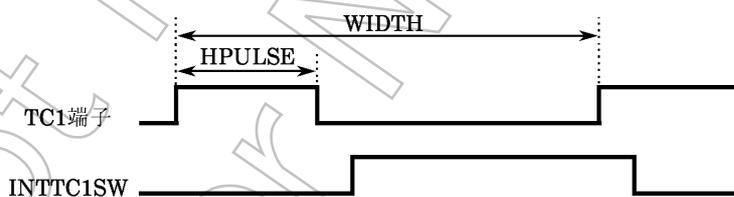
TC1端子入力の立ち上がり(立ち下がり)エッジをトリガにしてカウントをスタートします(TC1CRで外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり(立ち上がり)エッジでカウンタの内容をTREG1Bに取り込み、割り込みを発生します。片エッジキャプチャに設定した場合はカウンタはクリアされます。両エッジキャプチャに設定した場合はカウントは継続し、次の立ち上がり(立ち下がり)エッジで再びカウンタの内容をTREG1Bに取り込みます。なお、立ち下がり(立ち上がり)エッジでのキャプチャ値が必要な場合は、立ち上がり(立ち下がり)エッジが検出されるまでにTREG1Bの内容を読み出す必要があります。立ち上がり/立ち下がりエッジの選択はINT2ESで行い、片エッジ/両エッジキャプチャの選択はMCAP1(TC1CRのビット6)で行います。

例： デューティの測定(分解能 $fc/2^7$  [Hz])

```

CLR (INTTC1SW).0 ; INTTC1のサービススイッチの初期設定
LD (EINTCR), 00000000B ; INT2ESを立ち上がりエッジに設定
LD (TC1CR), 00000110B ; TC1のモード, ソースクロックを設定
SET (EIRL).EF4 ; INTTC1割り込みを許可。
EI
LD (TC1CR), 00110110B ; MCAP1=0でTC1を外部トリガスタート。
:
PINTTC1: CPL (INTTC1SW).0 ; INTTC1のサービススイッチの反転/テスト
JRS F, SINTTC1
LD (HPULSE), (TREG1BL) ; TREG1Bの読み出し ("H"レベルパルス幅)
LD (HPULSE+1), (TREG1BH)
RETI
SINTTC1: LD (WIDTH), (TREG1BL) ; TREG1Bの読み出し (周期)
LD (WIDTH+1), (TREG1BH)
: ; デューティ計算
RETI
:
VINTTC1: DW PINTTC1

```



注)パルス幅測定モードにおいてソースクロックに $fc/2^3$ を選択した場合、読み出されるカウンタ値(TREG1B)の最下位ビット(ビット0)は常に'0'となります。その他のソースクロックではカウントに応じたカウンタ値が読み出されます。

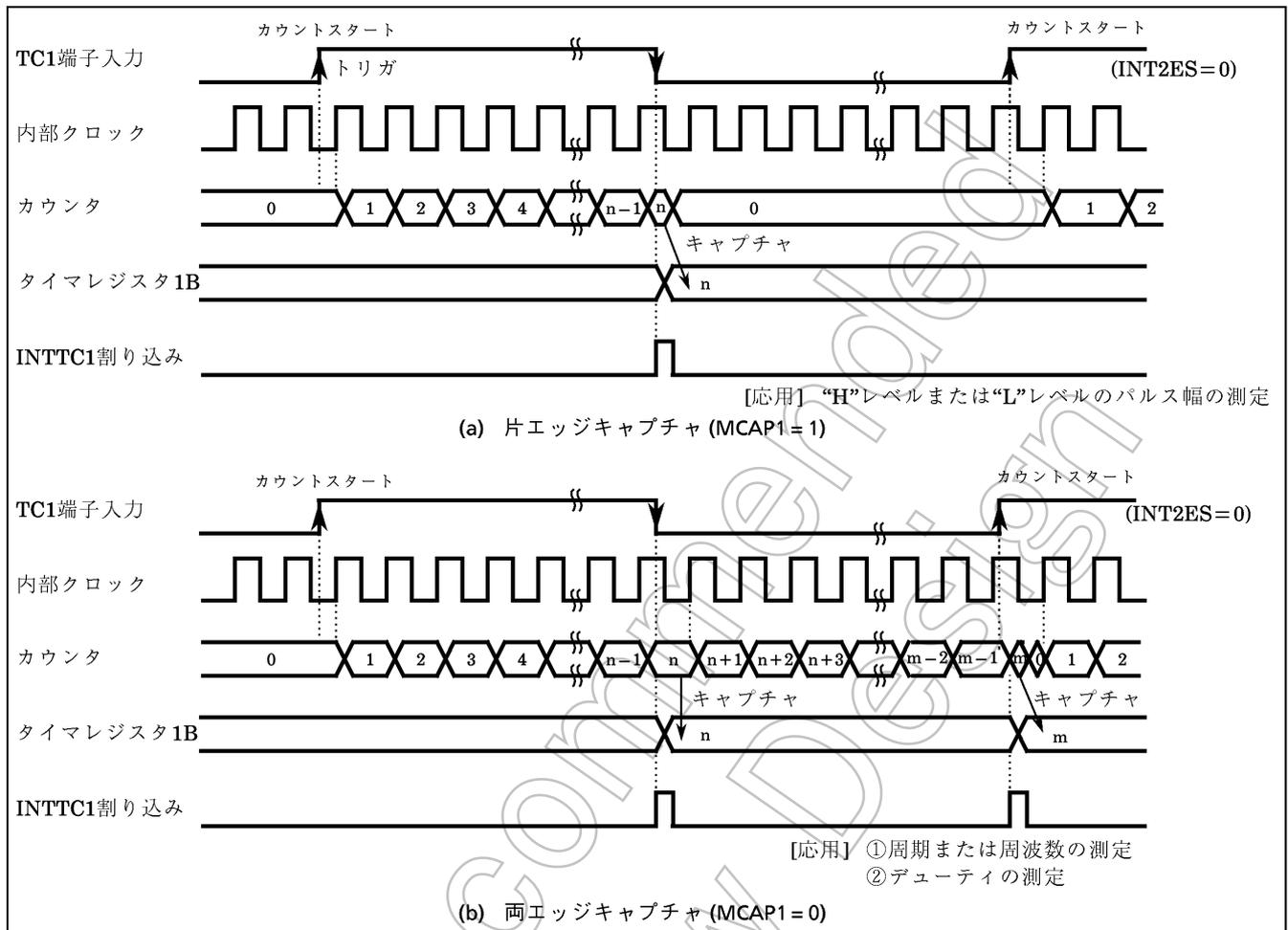


図2-21. パルス幅測定モード

(6) プログラマブルパルスジェネレート (PPG) 出力モード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、INT2端子のエッジ選択と共通)またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。TREG1Bとの一致でタイマF/F1を反転します。連続出力の場合(MPPG1=0)は、INTTC1割り込みが発生します。次にTREG1Aとの一致でタイマF/F1を再び反転し、カウンタをクリアします。このとき、INTTC1割り込みも発生します。タイマF/F1出力は、反転されてP14(PPG)端子に接続されています。PPG出力を行う場合、P14出力ラッチを“1”にセットし、出力モードに設定します。タイマF/F1は、リセット時“0”にクリアされます。また、TFF1(TC1CRのビット7)でタイマF/F1の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。なお、TREG1Bは、PPG出力モードに設定されていないと書き込みできません。

例：“H”レベル800 $\mu$ s, “L”レベル200 $\mu$ sのパルスを出力( $f_c=8$  MHz時)

SET (P1).4	; P14出力ラッチ←1
LD (P1CR), 00010000B	; P14を出力モードに設定
LD (TC1CR), 10000011B	; PPG出力モードに設定
LDW (TREG1A), 03E8H	; 周期の設定(1 ms $\div$ 1 $\mu$ s = 03E8H)
LDW (TREG1B), 00C8H	; “L”レベルパルス幅の設定(200 $\mu$ s $\div$ 1 $\mu$ s = 00C8H)
LD (TC1CR), 10010011B	; スタート

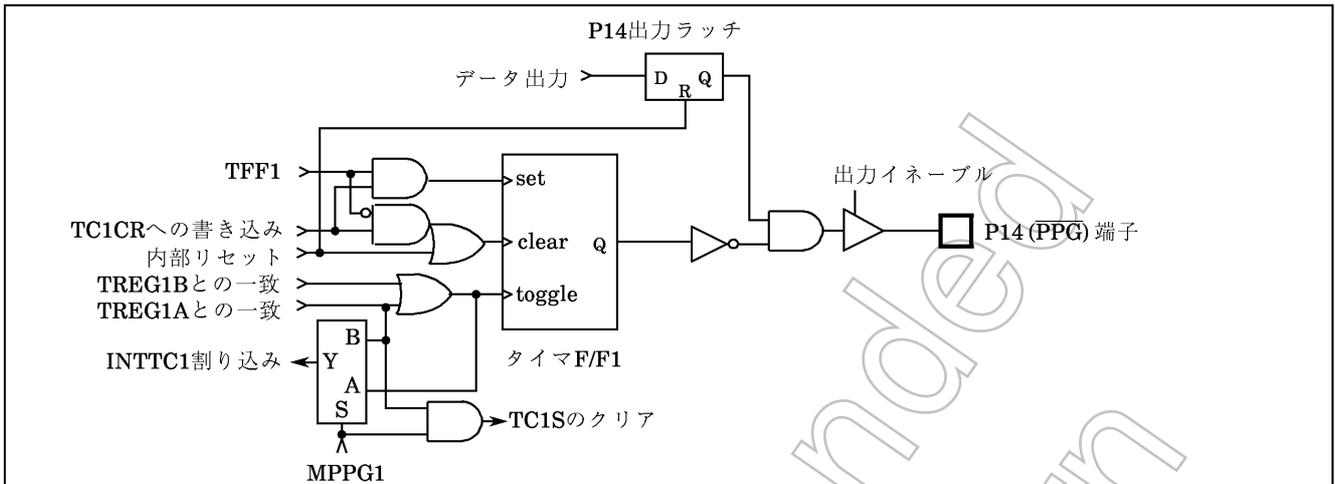


図2-22. PPG出力

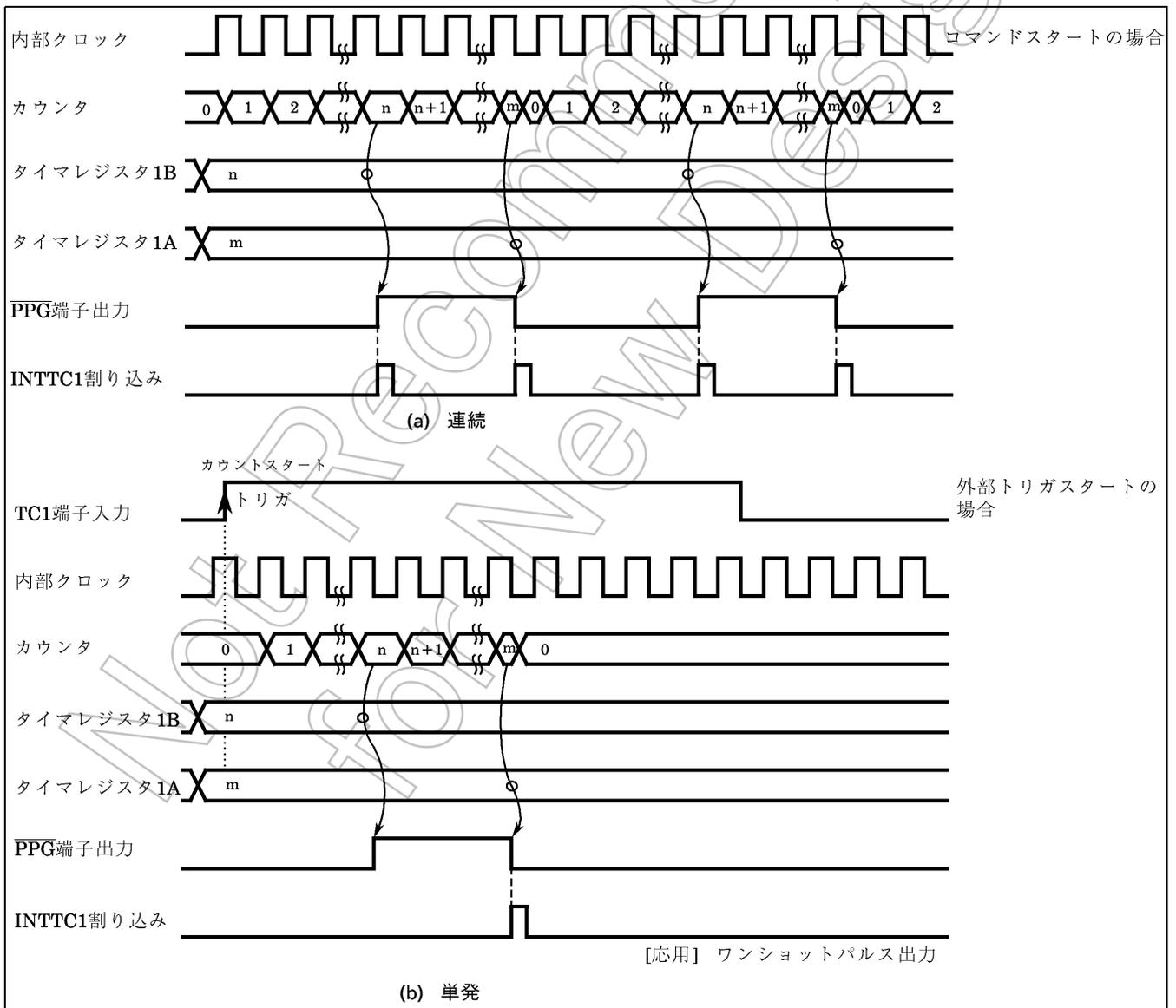


図2-23. PPG出力モードタイミングチャート

2.6 8ビットタイマカウンタ2 (TC2)

2.6.1 構成

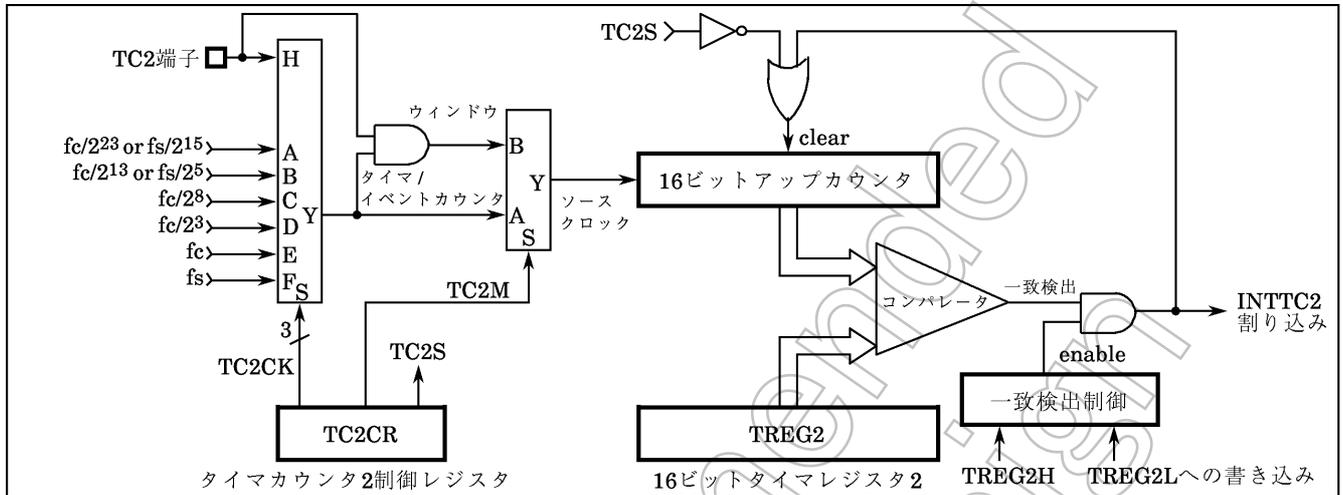


図2-24. タイマカウンタ2 (TC2)

2.6.2 制御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TREG2) で制御されます。

TREG2 (0016, 0017H)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TREG2 <sub>H</sub> (0017H)										TREG2 <sub>L</sub> (0016H)					
TC2CR (0015H)	7	6	5	4	3	2	1	0	write only							
	"0"	"0"	TC2S	TC2CK		"0"	TC2M	(初期値 **00 00*0)								
TC2M	タイマカウンタ2の動作モードの選択		0: タイマ/イベントカウンタモード 1: ウィンドウモード													
TC2CK	タイマカウンタ2のソースクロックの選択		000: 内部クロック $fc/2^{23}$ または $fs/2^{15}$ [Hz] 001: $fc/2^{13}$ または $fs/2^5$ 010: $fc/2^8$ 011: $fc/2^3$ 100: $fc$ (注5) 101: $fs$ 110: reserved 111: 外部クロック (TC2端子入力)													
TC2S	タイマカウンタ2のスタート制御		0: ストップ&カウンタクリア 1: スタート													

注1)  $fc$ : 高周波クロック [Hz]     $fs$ : 低周波クロック [Hz]    \*: don't care  
 注2) タイマレジスタの下位側 (TREG2<sub>L</sub>) に書き込むと上位側 (TREG2<sub>H</sub>) への書き込みが終わるまで一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。  
 注3) モード, ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。  
 注4) タイマレジスタへの設定値は、次の条件を満足する必要があります。  
       TREG2 > 0 (ウォーミングアップのときは TREG2<sub>15-11</sub> > 0)  
 注5) ソースクロックに  $fc$  を選択できるのは、SLOWモード時のタイマモードだけです。  
 注6) TC2CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-25. タイマカウンタ2のタイマレジスタ, 制御レジスタ

## 2.6.3 機能

タイマカウンタ2には、3つの動作モードがあります。また、SLOWモードからNORMAL2へモードへの切り替え時のウォーミングアップの際、通常タイマカウンタ2をタイマモードで使用します。

## (1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ2 (TREG2) 設定値との一致でINTTC2割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOWモードでソースクロックにfcを選択した場合は、TREG2の下位11ビットは無視され、上位5ビットの一致で割り込みを発生します。従って、この場合TREG2<sub>H</sub>の設定だけで済みます。

表2-4. タイマカウンタ2のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOWモード	SLEEPモード	fc=8 MHz時		fs=32.768 kHz時	
DV7CK=0	DV7CK=1			fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz時	fs=32.768 kHz時
fc/2 <sup>23</sup> [Hz]	fs/2 <sup>15</sup> [Hz]	fs/2 <sup>15</sup> [Hz]	fs/2 <sup>15</sup> [Hz]	1.05 s	1 s	19.1 h	18.2 h
fc/2 <sup>13</sup>	fs/2 <sup>5</sup>	fs/2 <sup>5</sup>	fs/2 <sup>5</sup>	1.02 ms	0.98 ms	1.1 min	1.07 min
fc/2 <sup>8</sup>	fc/2 <sup>8</sup>	—	—	32 μs	—	2.1 s	—
fc/2 <sup>3</sup>	fc/2 <sup>3</sup>	—	—	1 μs	—	65.5 ms	—
—	—	fc (注)	—	125 ns	—	7.9 ms	—
fs	fs	—	—	—	30.5 μs	—	2 s

注) fcはタイマモードでのみ使用可能。これは、SLOWモードからNORMAL2モードに切り替える場合のウォーミングアップ用です。

例： ソースクロックfc/2<sup>3</sup> [Hz]で、タイマモードにセットし、25 msごとに割り込み発生させる (fc=8 MHz時)

```
LDW (TREG2), 61A8H ; TREG2の設定 (25 ms ÷ 23/fc = 61A8H)
SET (EIRH), EF14 ; INTTC2割り込みを許可
EI
LD (TC2CR), 00101100B ; TC2スタート
```

## (2) イベントカウンタモード

TC2端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値とTREG2設定値との一致でINTTC2割り込み発生し、カウンタはクリアされます。TC2端子への最大印加周波数は、fc/2<sup>4</sup> [Hz] (NORMAL1, 2またはIDLE1, 2モード時)、fs/2<sup>4</sup> [Hz] (SLOW, SLEEPモード時)です。“H”、“L”レベルとも2マシサイクル以上のパルス幅が必要です。

例： イベントカウンタモードにセットし、640カウント後にINTTC2割り込みを発生させる。

```
LDW (TREG2), 0280H ; TREG2の設定
SET (EIRH), EF14 ; INTTC2割り込みを許可
EI
LD (TC2CR), 00111100B ; TC2スタート
```

(3) ウィンドウモード

TC2外部端子入力(ウィンドウパルス)が“H”レベルの間、内部クロックでカウントアップするモードです。カウンタ値とTREG2設定値の一致で、INTTC2割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部クロックよりも十分遅い周波数である必要があります。

例： 120 ms以上の“H”レベルパルスが入力されると割り込みを発生させる。(fc=8 MHz時)

```
LDW (TREG2), 0078H ; TREG2の設定 (120 ms + 213/fc = 0078H)
SET (EIRH). EF14 ; INTTC2割り込みを許可
EI
LD (TC2CR), 00100101B ; TC2スタート
```

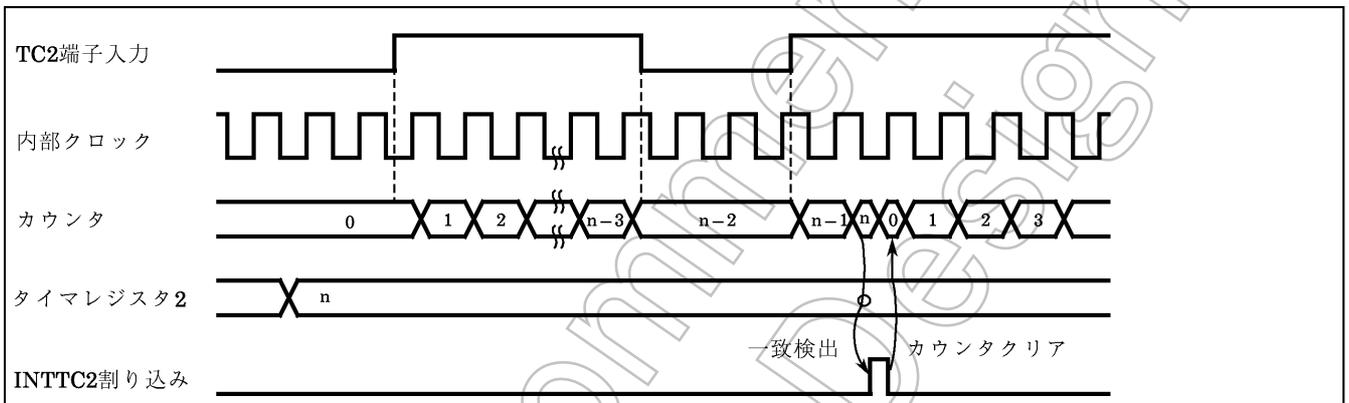


図2-26. ウィンドウモード タイミングチャート

2.7 8ビットタイマカウンタ3 (TC3)

2.7.1 構成

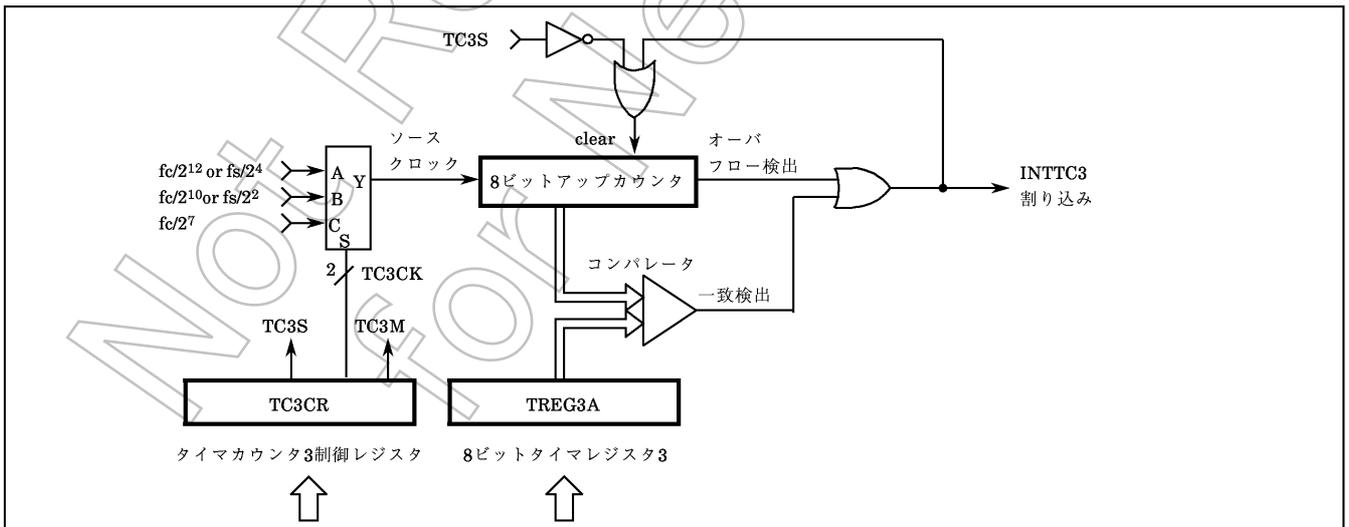


図2-27. タイマカウンタ3 (TC3)

2.7.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と8ビットタイマレジスタ (TREG3A) で制御されます。

TREG3A (0018H)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="border: none;"></td> </tr> </table>	7	6	5	4	3	2	1	0									Read / Write
7	6	5	4	3	2	1	0											
TC3CR (001AH)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; text-align: center;">7</td> <td style="width: 12.5%; text-align: center;">6</td> <td style="width: 12.5%; text-align: center;">5</td> <td style="width: 12.5%; text-align: center;">4</td> <td style="width: 12.5%; text-align: center;">3</td> <td style="width: 12.5%; text-align: center;">2</td> <td style="width: 12.5%; text-align: center;">1</td> <td style="width: 12.5%; text-align: center;">0</td> </tr> <tr> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;">TC3S</td> <td style="border: none;">TC3CK</td> <td style="border: none;"></td> <td style="border: none;"></td> <td style="border: none;">TC3M</td> </tr> </table>	7	6	5	4	3	2	1	0				TC3S	TC3CK			TC3M	(初期値 ***0 00*0)
7	6	5	4	3	2	1	0											
			TC3S	TC3CK			TC3M											
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%; text-align: center;">TC3M</td> <td style="width: 45%;">タイマカウンタ3の動作モードの選択</td> <td style="width: 30%;">0: タイマモード 1: reserved</td> <td style="width: 10%;"></td> </tr> <tr> <td style="text-align: center;">TC3CK</td> <td>タイマカウンタ3のソースクロックの選択</td> <td>00: 内部クロック    <math>fc/2^{12}</math> or <math>fs/2^4</math> [Hz] 01:                    <math>fc/2^{10}</math> or <math>fs/2^2</math> 10:                    <math>fc/2^7</math> 11: reserved</td> <td style="text-align: center; vertical-align: middle;">write only</td> </tr> <tr> <td style="text-align: center;">TC3S</td> <td>タイマカウンタ3のスタート制御</td> <td>0: ストップ&amp;カウンタクリア 1: スタート</td> <td></td> </tr> </table>	TC3M	タイマカウンタ3の動作モードの選択	0: タイマモード 1: reserved		TC3CK	タイマカウンタ3のソースクロックの選択	00: 内部クロック $fc/2^{12}$ or $fs/2^4$ [Hz] 01: $fc/2^{10}$ or $fs/2^2$ 10: $fc/2^7$ 11: reserved	write only	TC3S	タイマカウンタ3のスタート制御	0: ストップ&カウンタクリア 1: スタート						
TC3M	タイマカウンタ3の動作モードの選択	0: タイマモード 1: reserved																
TC3CK	タイマカウンタ3のソースクロックの選択	00: 内部クロック $fc/2^{12}$ or $fs/2^4$ [Hz] 01: $fc/2^{10}$ or $fs/2^2$ 10: $fc/2^7$ 11: reserved	write only															
TC3S	タイマカウンタ3のスタート制御	0: ストップ&カウンタクリア 1: スタート																

注1)  $fc$ ; 高周波クロック [Hz]    $fs$ ; 低周波クロック [Hz]   \*; don't care  
 注2) モード、ソースクロックは、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。  
 注3) タイマレジスタ3Aへの設定値は、次の条件を満足する必要があります。  
       TREG3A > 0  
 注4) TC3CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-28. タイマカウンタ3のタイマレジスタと制御レジスタ

2.7.3 機能

タイマカウンタ3には、タイマモードがあります。

(1) タイマモード

内部クロックでカウントアップするモードで、カウンタ値とタイマレジスタ3A (TREG3A) 設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。

表2-5. タイマカウンタ3のソースクロック

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	$fc = 8$ MHz時	$fs = 32.768$ kHz時	$fc = 8$ MHz時	$fs = 32.768$ kHz時
DV7CK=0	DV7CK=1					
$fc/2^{12}$ [Hz]	$fs/2^4$ [Hz]	$fs/2^4$ [Hz]	512 $\mu$ s	488.28 $\mu$ s	131.1 ms	124.5 ms
$fc/2^{10}$	$fs/2^2$	—	128 $\mu$ s	122.07 $\mu$ s	32.6 ms	31.1 ms
$fc/2^7$	—	—	16 $\mu$ s	—	4.1 ms	—

2.8 8ビットタイマカウンタ (TC4)

2.8.1 構成

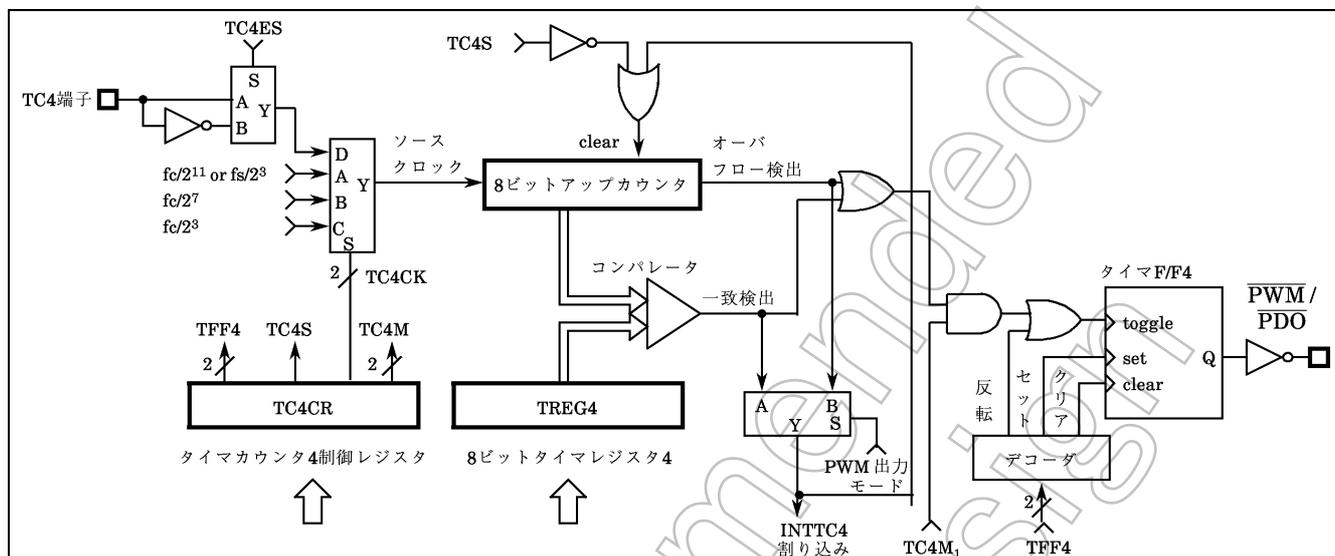


図2-29. タイマカウンタ4 (TC4)

2.8.2 制御

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) とタイマレジスタ4 (TREG4) および外部割り込み制御レジスタ (EINTCR) で制御されます。

TREG4 (001BH)	7	6	5	4	3	2	1	0	Write only
TC4CR (001CH)	7	6	5	4	3	2	1	0	(初期値 00*0 0000)
	TFF4		“0”	TC4S	TC4CK	TC4M			
TC4M	タイマカウンタ4の動作モードの選択			00: タイマモード / イベントカウンタモード 01: reserved 10: プログラマブルデバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード				write only	
TC4CK	タイマカウンタ4のソースクロックの選択			00: 内部クロック $fc/2^{11}$ または $fs/2^9$ [Hz] 01:        “        ” $fc/2^7$ 10:        “        ” $fc/2^3$ 11: 外部クロック (TC4端子入力)					
TC4S	タイマカウンタ4のスタート制御			0: ストップ & カウンタクリア 1: スタート					
TFF4	タイマ F/F 4 の制御			00: クリア 01: 反転 10: セット 11: - (注3)					
EINTCR (0037H)	7	6	5	4	3	2	1	0	(初期値 00*0 000*)
	(INT1 NC)	(INT0 EN)	TC4 ES		(INT3 ES)	(INT2 ES)	(INT1 ES)		
TC4ES	TC4端子入力のエッジ選択			0: 立ち上がりエッジ選択 1: 立ち下がりエッジ選択				W/R	
<p>注1) <math>fc</math>: 高周波クロック [Hz], <math>fs</math>: 低周波クロック [Hz], *, *; don't care          注2) 動作モード, ソースクロックおよびタイマF/F 4の制御を行うときは、TC4S=0にしてください。          注3) TFF4はタイマモード、イベントカウンタモード時は“11”にしてください。          注4) タイマレジスタへの設定値は次の条件を満足する必要があります。                TREG4&gt;0          注5) TC4CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。</p>									

図2-30. タイマカウンタ4のタイマレジスタ / 制御レジスタ / 外部割り込み制御レジスタ

## 2.8.3 機能

タイマカウンタ4には、タイマ、イベントカウンタ、プログラマブル デバイダ出力、パルス幅変調出力の4つの動作モードがあります。

## (1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ4 (TREG4) 設定値との一致でINTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表2-6. タイマカウンタ4のソースクロック (内部クロック)

ソースクロック		分解能		最大設定時間		
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	fc = 8 MHz時	fs = 32.768 kHz時	fc = 8 MHz時	fs = 32.768 kHz時
DV7CK = 0	DV7CK = 1		fc = 8 MHz時	fs = 32.768 kHz時	fc = 8 MHz時	fs = 32.768 kHz時
fc/2 <sup>11</sup> [Hz]	fs/2 <sup>3</sup> [Hz]	fs/2 <sup>3</sup> [Hz]	256 μs	244.14 μs	65.3 ms	62.2 ms
fc/2 <sup>7</sup>	—	—	16 μs	—	4.1 ms	—
fc/2 <sup>3</sup>	—	—	1 μs	—	255 μs	—

## (2) イベントカウンタモード

TC4端子入力 (外部クロック) パルスでカウントアップ (立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、TC4ESで行います) するモードです。

カウンタ値とTREG4設定値との一致で、INTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。最大印加周波数は、fc/2<sup>4</sup> [Hz] (NORMAL1, 2またはIDLE1, 2モード時), fs/2<sup>4</sup> [Hz] (SLOW, SLEEPモード時) で、“H”, “L” レベルともに2マシンサイクル以上のパルス幅が必要です。

## (3) プログラマブル デバイダ出力 (PDO) モード

内部クロックでカウントアップし、TREG4との一致ごとにタイマF/F4出力を反転し、カウンタをクリアします。タイマF/F4出力は、反転されてP33 (PDO) 端子に出力されます。プログラマブル デバイダ出力を行う場合は、P33出力ラッチを“1”にセットします。このモードはデューティ50%のパルス出力に利用できます。なお、タイマF/F4はプログラムで初期設定することができます。リセット時、タイマF/F4は“0”に初期化されます。PDO出力反転ごとにINTTC4割り込みが発生します。

例： 1024 Hzのパルス出力 (fc = 4.194304 MHz 時)。

```
SET (P3).4 ; P33出力ラッチ ← 1
LD (TC4CR), 00000110B ; PDOモード設定 (TC4M = 10, TC4CK = 01)
LD (TREG4), 10H ; 1/1024 × 1/2 ÷ 27/fc = 10H
LD (TC4CR), 00010110B ; TC4スタート
```

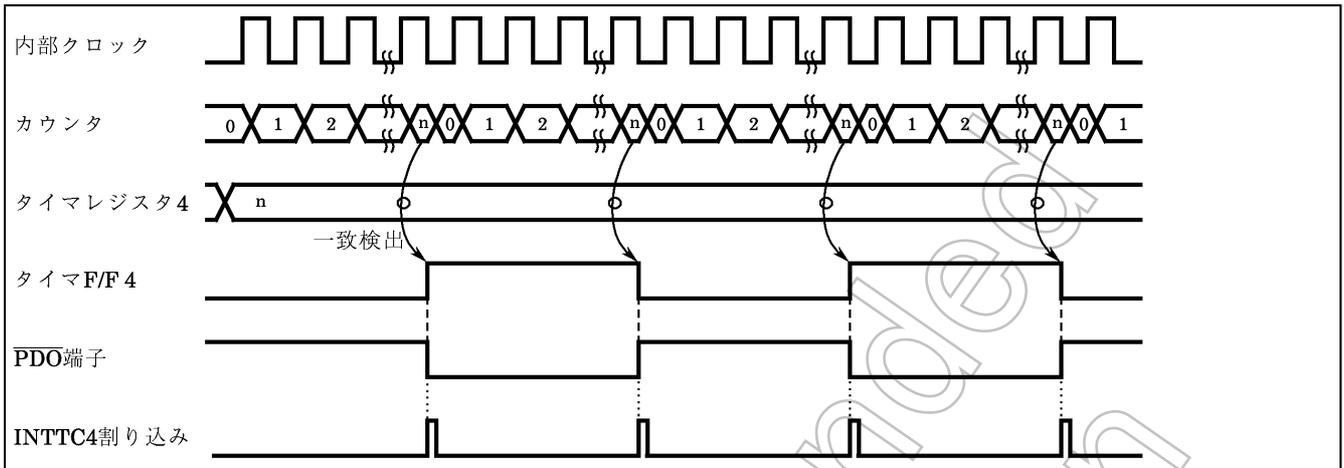


図2-31. PDOモード タイミングチャート

(4) パルス幅変調 (PWM) 出力モード

分解能8ビットのPWM出力ができます。内部クロックでカウントアップし、カウンタ値とTREG4設定値との一致でタイマF/F 4出力を反転します。カウンタはさらにカウントアップし、オーバーフローでタイマF/F 4出力を再び反転し、カウンタをクリアします。タイマF/F 4出力は反転されて、P33 (PWM) 端子に出力されます。PWM出力を行う場合は、P33出力ラッチを“1”にセットします。なお、オーバーフロー時INTTC4割り込みが発生します。

TREG4は、シフトレジスタ (2段) 構成で、PWM出力中にTREG4を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回はTREG4にデータ設定後、TC4CRによりスタートした時点でシフトされます。

- 注1) INTTC4割り込み発生サイクル時のみTREG4を書き替えないでください。通常は、INTTC4割り込みサービスルーチンでTREG4を書き替えます。
- 注2) PWM出力モードはNORMAL1,2およびIDLE1,2モードでのみ使用可能です。

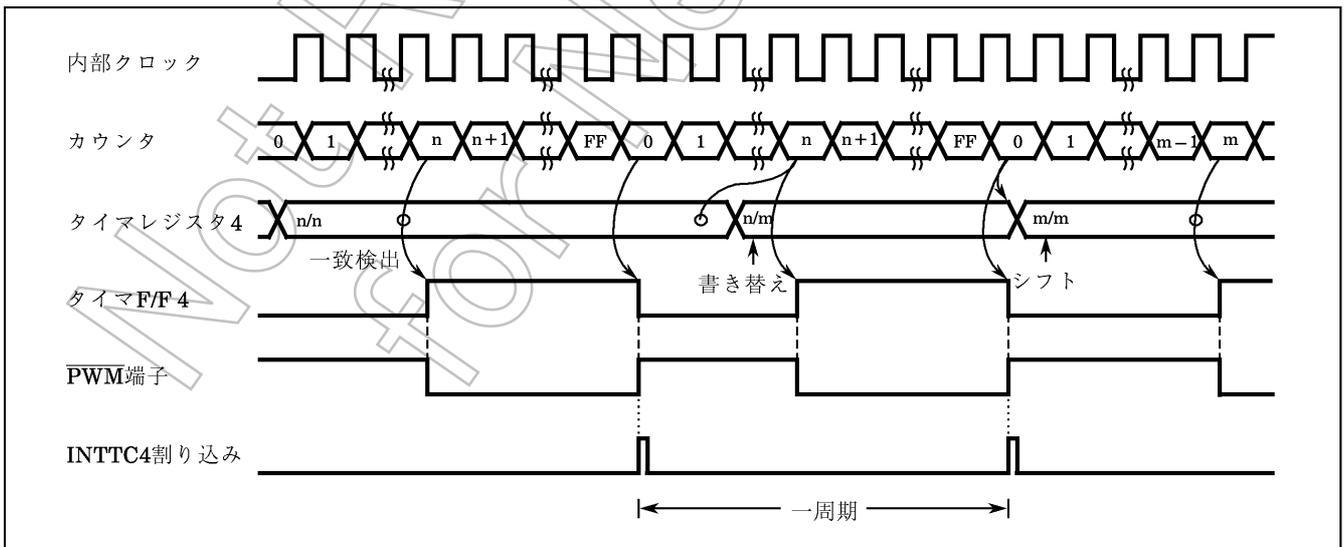


図2-32. PWM出力モード タイミングチャート

表2-7. PWM出力モード

ソースクロック		SLOW, SLEEPモード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2モード			fc=8 MHz時	fs=32.768 kHz時	fc=8 MHz	fs=32.768 kHz時
DV7CK=0	DV7CK=1					
fc/2 <sup>11</sup> [Hz]	fs/2 <sup>3</sup> [Hz]	fs/2 <sup>3</sup> [Hz]	256 μs	244.14 μs	65.5 ms	62.5 ms
fc/2 <sup>7</sup>	fc/2 <sup>7</sup>	—	16 μs		4.1 ms	
fc/2 <sup>3</sup>	fc/2 <sup>3</sup>	—	1 μs		256 μs	

2.9 シリアルインタフェース (SIO)

87C814/H14/K14/M14は、クロック同期方式の8ビットシリアルインタフェースを1チャンネル内蔵しています。各シリアルインタフェースは、それぞれ8バイトの送受信データバッファを持っており、最大64ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、P32 (SO), P31 (SI), P30 (SCK) 端子を通して外部デバイスと接続されます。シリアルインタフェース端子は、P3ポートと兼用で、シリアルインタフェース端子として使用する場合、P3ポートの出力ラッチを“1”にセットします。なお、送信モード時にはP31端子が、受信モード時にはP32端子が、通常の入出力ポートとして使用できます。

2.9.1 構成

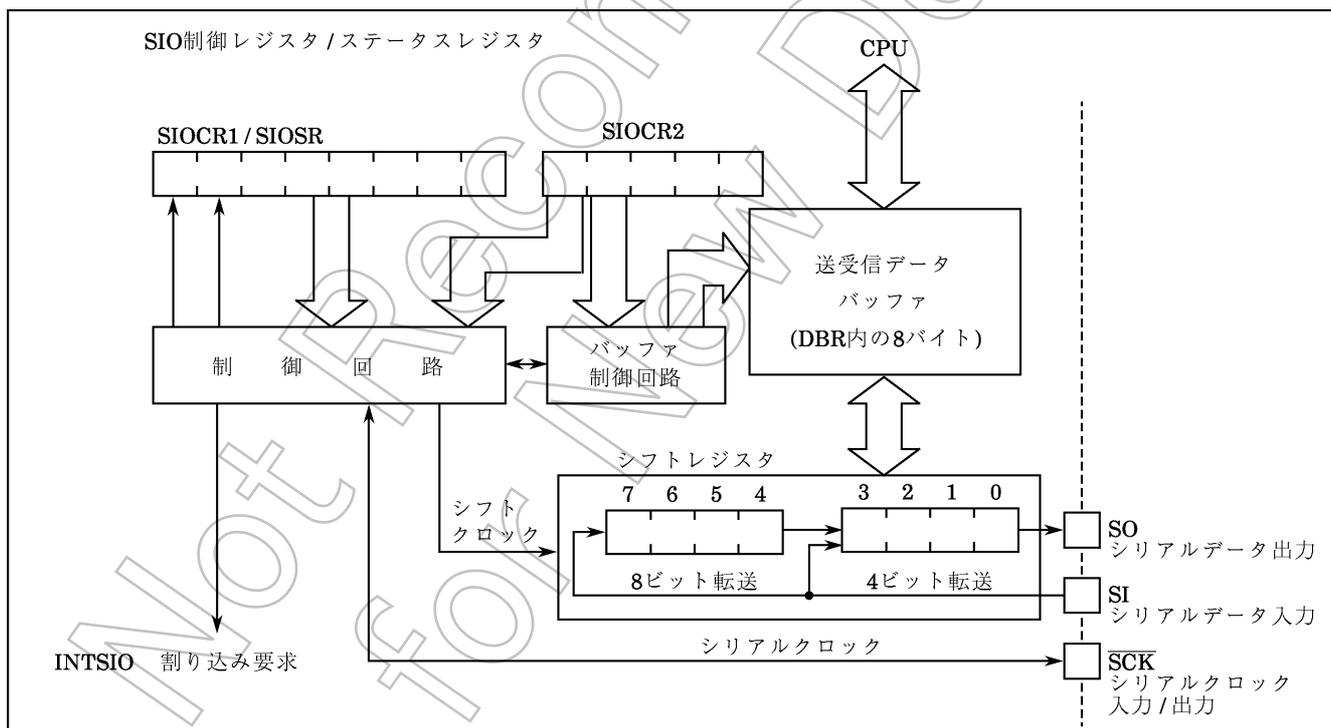


図2-33. シリアルインタフェース

## 2.9.2 制 御

SIOの制御は、シリアルインタフェース制御レジスタ (SIOCR1およびSIOCR2) で行います。また、ステータスレジスタ (SIOSR) を読むことによりシリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、BUF (SIOCR2のビット2~0) で行います。送受信データバッファは、DBR領域の0FF0~0FF7H番地に割り当てられており、一度に最大8ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時)/バッファフル (受信時または送受信時) の割り込み (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8ビット送受信または8ビット受信モードのとき1ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、WAIT (SIOCR2のビット4, 3) で4種類の中から選択することができます。

Not Recommended for New Design

シリアルインタフェース制御レジスタ1

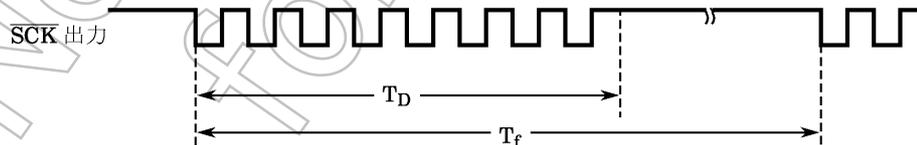
SIOCR1 (0020H)	7	6	5	4	3	2	1	0	(初期値 0000 0000)	
	SIOS	SIOINH	SIOM			SCK				
	SIOS	転送の開始/終了指示				0: 終了 1: 開始				write only
	SIOINH	転送の強制停止				0: 転送継続 1: 強制停止 (停止後、自動的にクリア)				
	SIOM	転送モードの選択				000: 8ビット送信モード 010: 4ビット送信モード 100: 8ビット送受信モード 101: 8ビット受信モード 110: 4ビット受信モード				
SCK	シリアルクロックの選択				000: 内部クロック $fc/2^{13}$ or $fs/2^5$ [Hz] 001: 内部クロック $fc/2^8$ 010: 内部クロック $fc/2^6$ 011: 内部クロック $fc/2^5$ 111: 外部クロック (SCK端子から入力)					

- 注1) 転送モード、シリアルクロックの設定時は、SIOS="0", SIOINH="1" にしてください。
- 注2) SIOCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ2

SIOCR2 (0021H)	7	6	5	4	3	2	1	0	(初期値 ***0 0000)
	WAIT			BUF					
WAIT	ウェイト制御				8ビット送受信/受信モード以外は常に"00"にしてください。			write only	
					00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ 10: $T_f = 4T_D$ 11: $T_f = 8T_D$ (ウェイト)				
BUF	転送ワード数の設定				使用するバッファのアドレス SIO			write only	
					000: 1ワード転送 OFF0H 001: 2ワード転送 OFF0 ~ OFF1H 010: 3ワード転送 OFF0 ~ OFF2H 011: 4ワード転送 OFF0 ~ OFF3H 100: 5ワード転送 OFF0 ~ OFF4H 101: 6ワード転送 OFF0 ~ OFF5H 110: 7ワード転送 OFF0 ~ OFF6H 111: 8ワード転送 OFF0 ~ OFF7H				

注1)  $T_f$ ; フレーム時間 (1ワードのデータ転送時間),  $T_D$ ; データ転送時間



- 注2) 4ビット転送のときは、各バッファの下位4ビットに格納します。受信時上位4ビットには"0"が格納されます。
- 注3) バッファの若いアドレスの方から、すなわちOFF0H番地から送信されます。また、受信は若いアドレスの方から格納されます。
- 注4) 転送終了後もBUFの設定値は保存されています。
- 注5) SIOCR2の設定は、シリアルインタフェース停止状態 (SIOF=0)で行ってください。
- 注6) \*; don't care
- 注7) SIOCR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図2-34. シリアルインタフェース制御レジスタ/ウェイト制御レジスタ

SIOSR (0020H)	7	6	5	4	3	2	1	0	
	SIOF	SEF	"1"	"1"	"1"	"1"	"1"	"1"	
SIOF	シリアル転送動作状態モニタ		0: 転送終了 (SIOSを"0"にクリア後、転送が終了した時点または 1: 転送中 SIOINHをセットした時点で"0"となります。)					read only	
SEF	シフト動作状態モニタ		0: シフト動作終了 1: シフト動作中						

図2-35. シリアルインタフェースステータスレジスタ

(1) シリアルクロック

a. クロックソース

SCK (SIOCR1のビット2~0) により、次の選択ができます。

① 内部クロック

シリアルクロックは4種類の周波数が選択でき、SCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み取り(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表2-8. シリアルクロックレート

シリアルクロック			最大転送速度	
NORMAL1/2, IDLE1/2モード		SLOW, SLEEPモード	fc = 8 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1			
fc/2 <sup>13</sup> [Hz]	fs/2 <sup>5</sup> [Hz]	fs/2 <sup>5</sup> [Hz]	0.95K bit/s	1K bit/s
fc/2 <sup>8</sup>	fc/2 <sup>8</sup>	—	30.5	—
fc/2 <sup>6</sup>	fc/2 <sup>6</sup>	—	122	—
fc/2 <sup>5</sup>	fc/2 <sup>5</sup>	—	244	—

注) 1K bit = 1024 bit

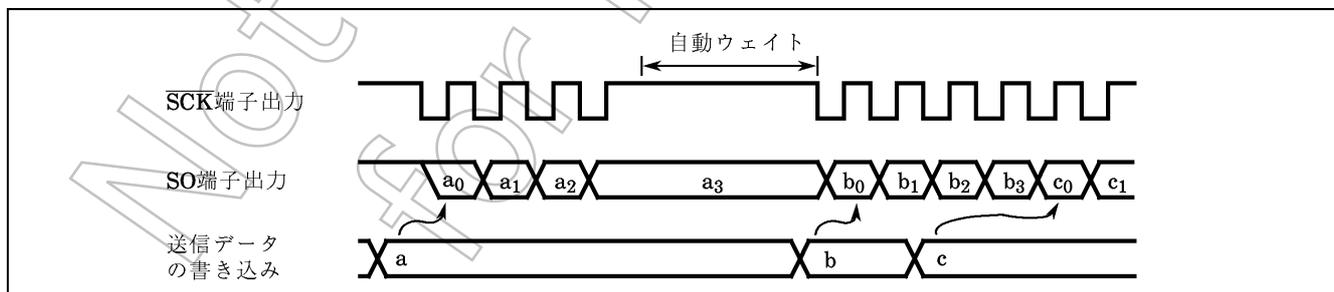
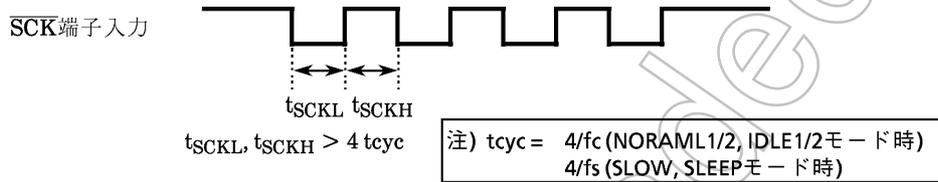


図2-36. クロックソース (内部クロック)

② 外部クロック

外部から  $\overline{\text{SCK}}$  端子に供給されるクロックをシリアルクロックとして用います。この場合、P30 ( $\overline{\text{SCK}}$ ) の出力ラッチは“1”にセットされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの“H”レベル、“L”レベルともに4マシンサイクル以上パルス幅必要です。従って、最大転送速度は244K bit/s ( $f_c=8\text{ MHz}$ 時) です。



b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁 ( $\overline{\text{SCK}}$  端子入出力の立ち下がりエッジ) でデータをシフトします。

② 後縁シフト

シリアルクロックの後縁 ( $\overline{\text{SCK}}$  端子入出力の立ち上がりエッジ) でデータをシフトします。

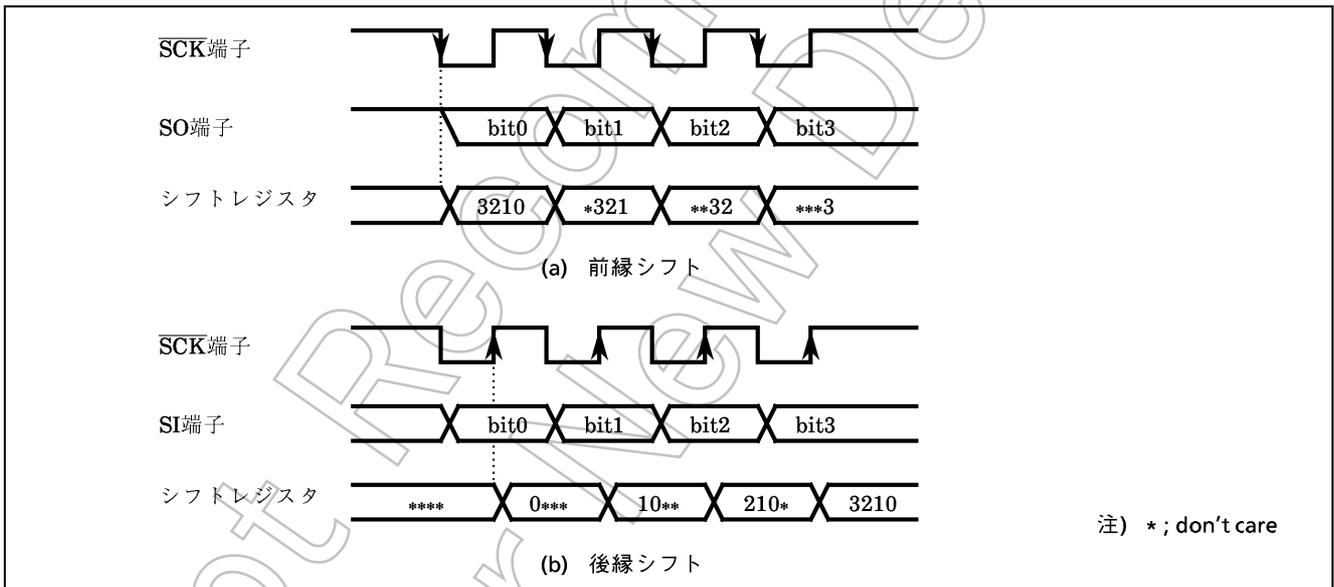


図2-37. シフトエッジ

(2) 転送ビット数

4ビットシリアル転送または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時)/8ビットデータ (8ビットシリアル転送時)を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、BUFで設定します。

指定されたワード数の転送終了時点で、INTSIO割り込みが発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

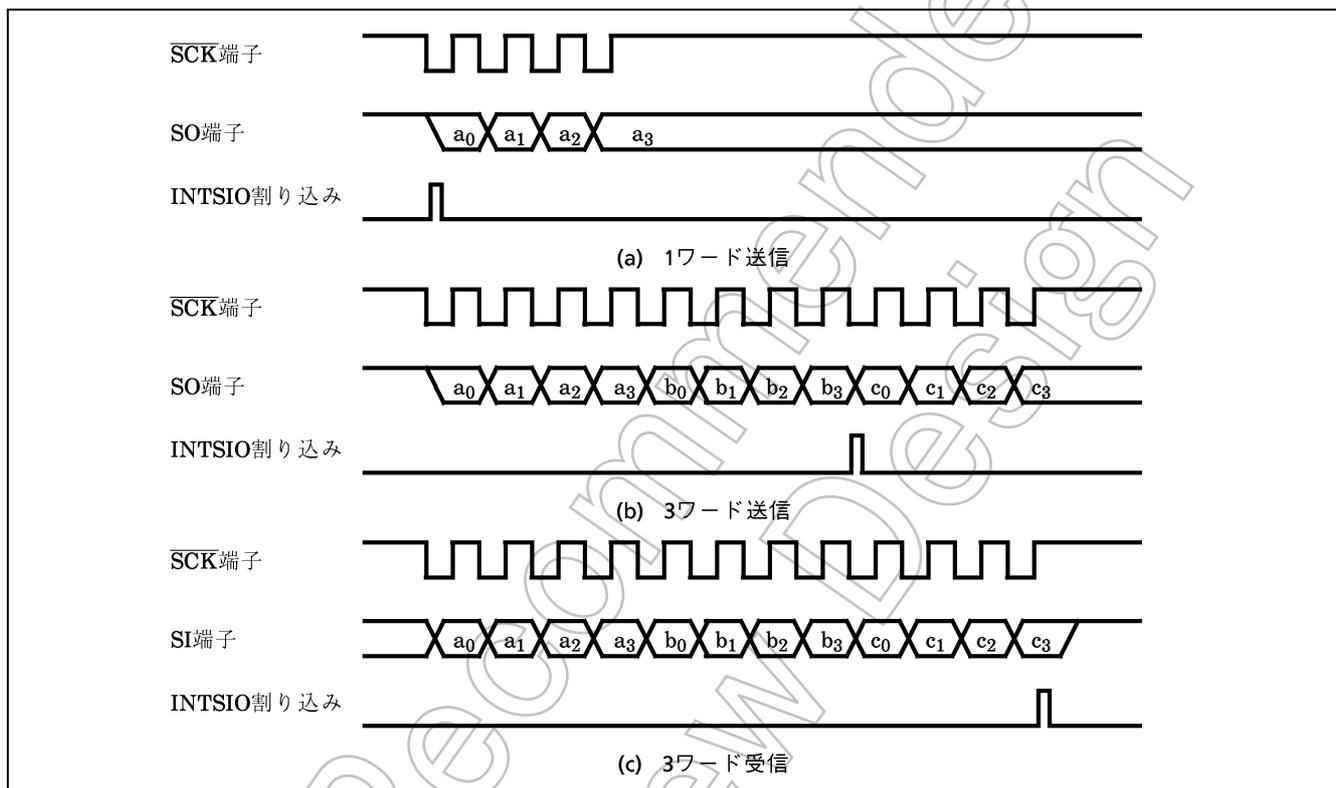


図2-38. 転送ワード数 (例: 1ワード = 4ビット)

#### (4) 転送モード

SIOM (SIOCRのビット3~5) で、送信/受信/送受信モードを選択します。

##### a. 4ビット送信モード、8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます

送信データの書き込み後、SIOSを“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次SO端子に出力されます。LSBのデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、次の送信データを要求するINTSIO (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、BUFで指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していないDBRへの書き込みによっても自動ウェイト動作は解除されますので、不使用のDBRを他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードのDBRは使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが“1”となってから、SCKの立ち下がりエッジまでの間、前回送信したデータの最終ビットと同じ値が出力されます。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOF (SIOSRのビット7) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合は、ただちに送信を打ち切り、SIOFは“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを“0”クリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOSを“0”にクリアし、SIOFが“0”になったことを確認後BUFを書き替えてください。

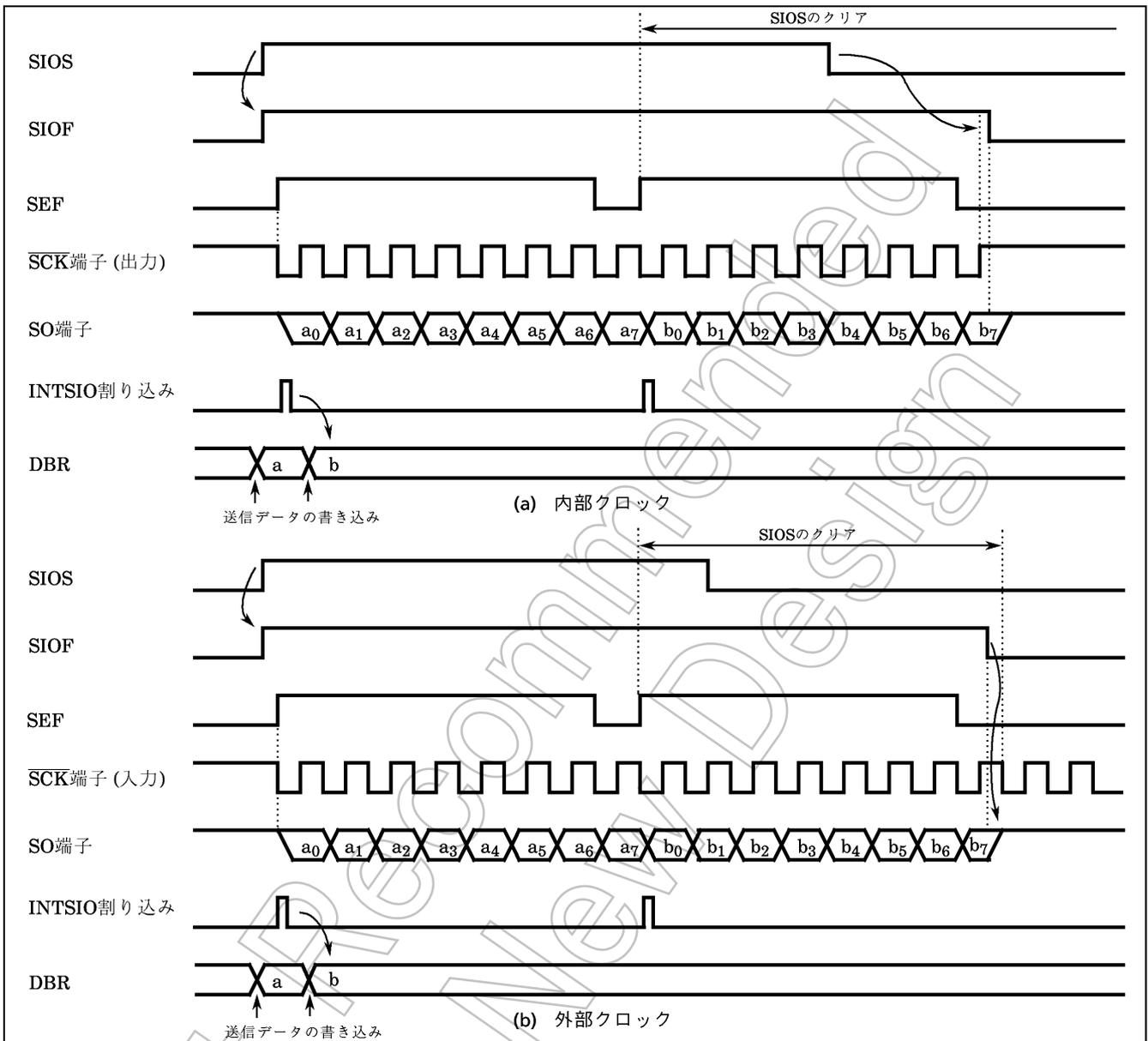


図2-39. 送信モード (例: 8ビット, 1ワード転送)

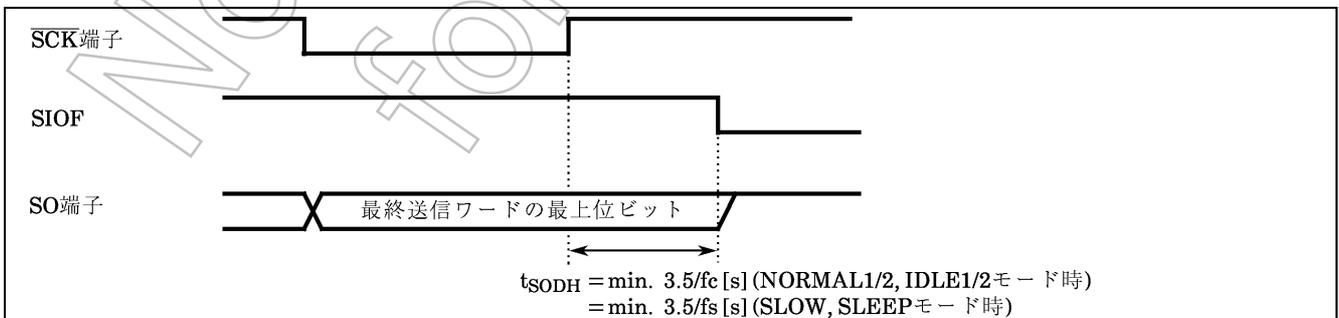


図2-40. 送信終了時の送信データ保持時間

**b. 4ビット受信モード, 8ビット受信モード**

制御レジスタに受信モードをセットした後、**SIOS**を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、**SI**端子より最下位ビット側から順次シフトレジスタヘデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (**DBR**) に受信データが書き込まれます。**BUF**で指定されたワード数の受信が終了すると受信データの読み取りを要求する**INTSIO** (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない**DBR**の読み出しによっても自動ウェイト動作は解除されますので、**SIO**で不使用の**DBR**を他の用途に使用しないでください。

外部クロック動作の場合、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで**SIOS**を“0”にクリアするか**SIOINH**を“1”にセットします。**SIOS**がクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、**SIOF** (**SIOSR**のビット7) をセンスします。**SIOF**は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。**SIOINH**をセットした場合は、ただちに受信を打ち切り、**SIOF**は“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは**SIOS**を“0”にクリアし**SIOF**が“0”になったことを確認後**BUF**を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に**BUF**を書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (**SIOS**を“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

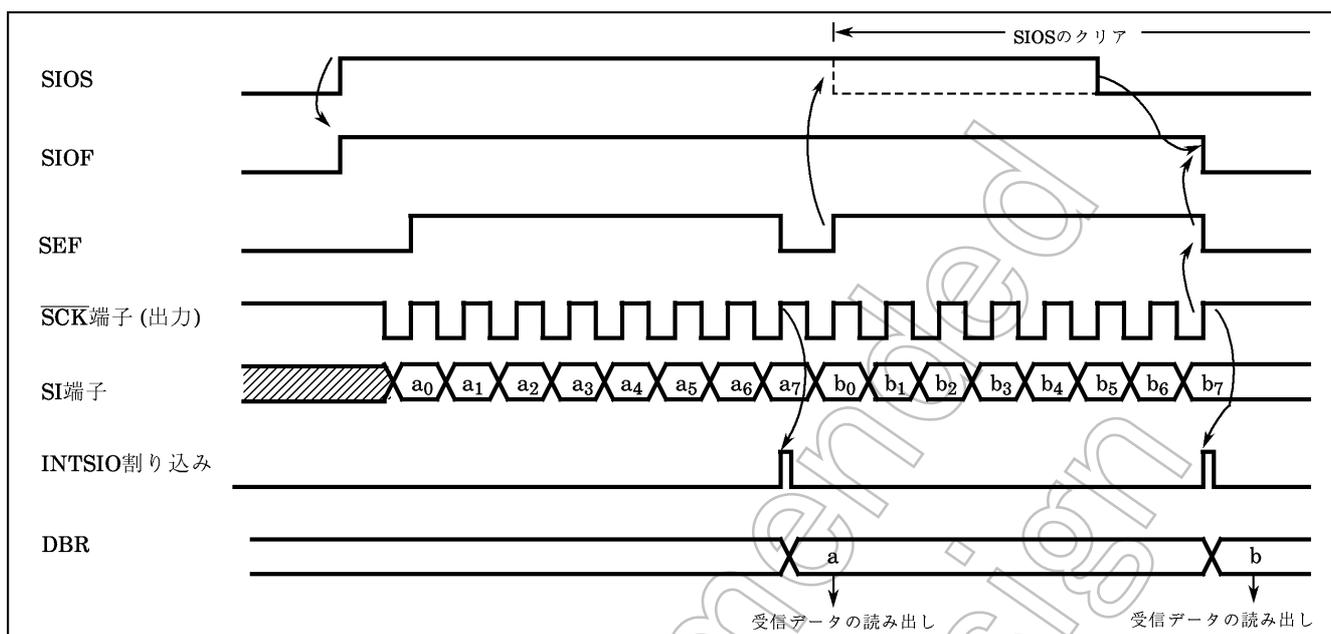


図2-41. 受信モード (例: 8ビット, 1ワード転送, 内部クロック)

### c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、**SIOS**に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは**SO**端子から出力され、後縁で受信データが**SI**端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。**BUF**で指定されたワード数の送受信が終了すると、**INTSIO**割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、かならず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、**INTSIO**割り込みサービスプログラムで**SIOS**を“0”にクリアするか**SIIOINH**を“1”にセットします。**SIOS**がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、**SIOF** (**SIOSR**のビット7)をセンスします。**SIOF**は送受信の終了で“0”になります。**SIIOINH**をセットした場合は、ただちに送受信を打ち切り、**SIOF**は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、**SIOS**を“0”にクリアし**SIOF**が“0”になったことを確認後、**BUF**を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを"0"にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

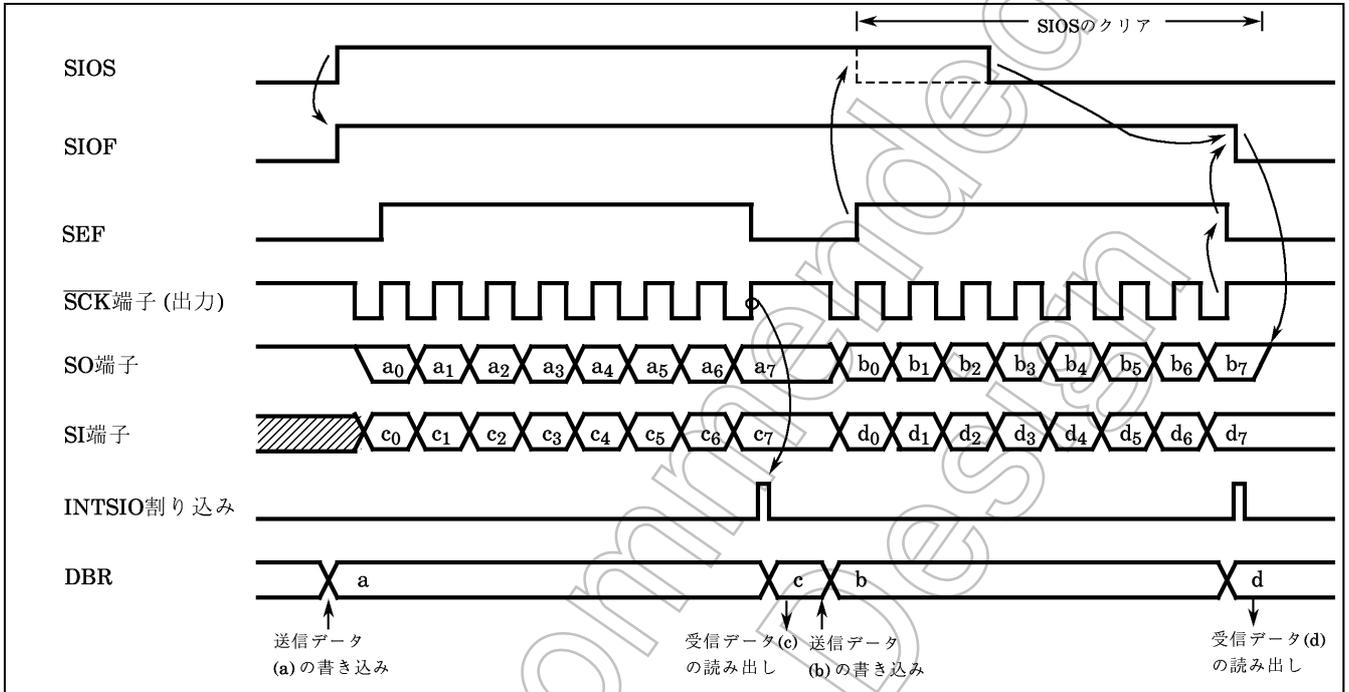


図2-42. 送受信モード (例: 8ビット, 1ワード, 内部クロック)

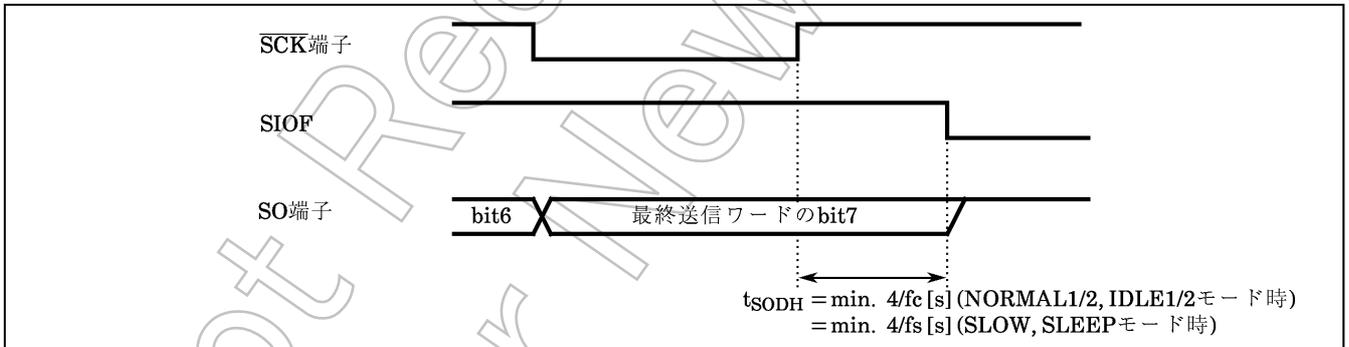


図2-43. 送受信終了時の送信データ保持時間

2.10 8ビットA/Dコンバータ (ADC)

87C814/H14/K14/M14は、8ビット分解能の逐次比較方式A/Dコンバータを内蔵しています。  
 なお、アナログ基準電源 (VAREF) はSTOPモード時またはアナログ入力ディセーブル時に自動的にカットオフされます。

2.10.1 構成

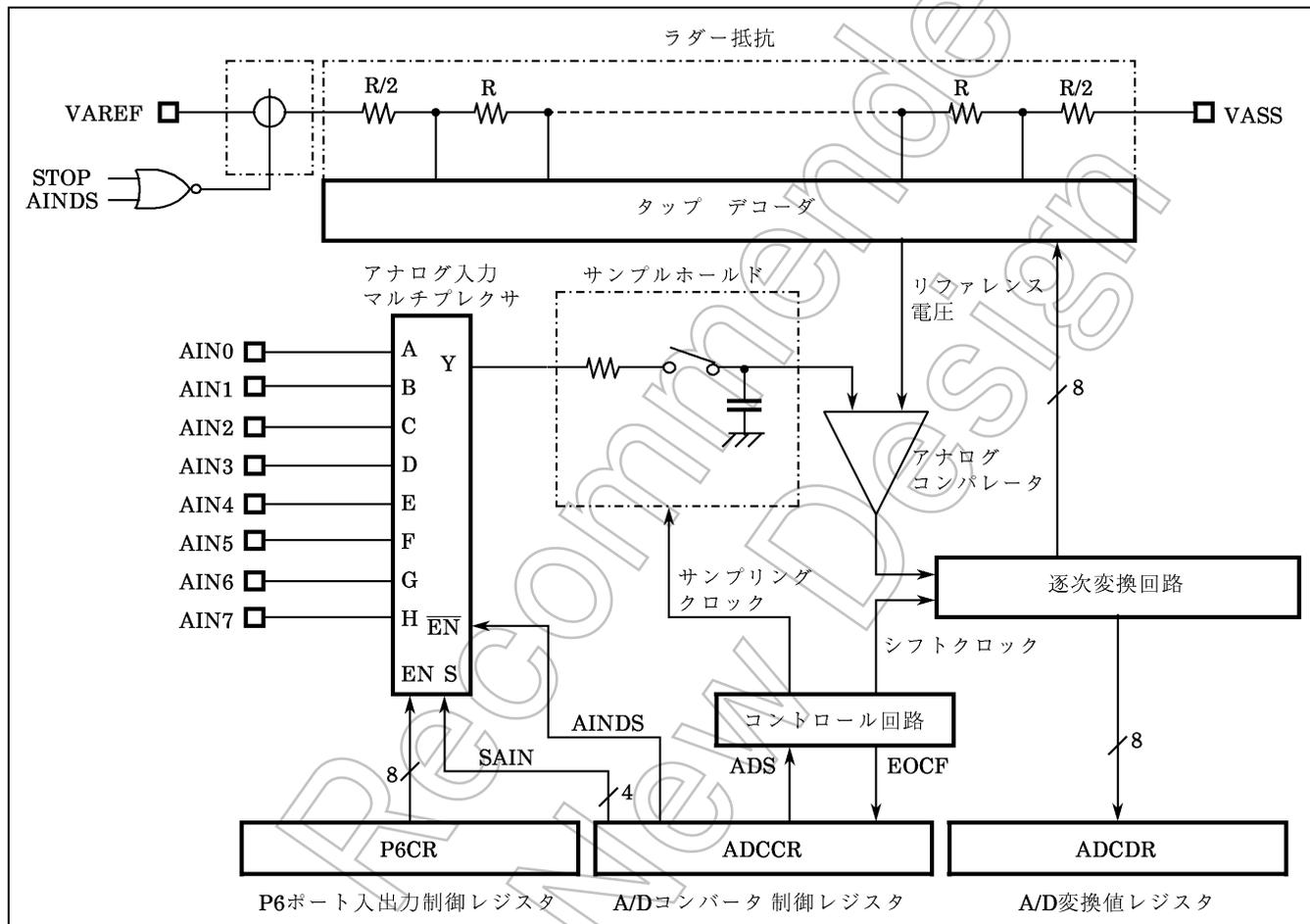


図2-44. A/Dコンバータ (ADC)

2.10.2 制御

A/Dコンバータの制御は、A/Dコンバータ制御レジスタ (ADCCR) で行います。また、ADCCRのEOCFを読むことでA/Dコンバータの動作状態を、A/D変換値レジスタ (ADCDR) を読むことでA/D変換値を知ることができます。

A/D変換値レジスタ							
ADCDR (000FH)	Read only						
7	6	5	4	3	2	1	0
□	□	□	□	□	□	□	□

図2-45. A/D変換値レジスタ

A/Dコンバータ制御レジスタ											
ADCCR (000E <sub>H</sub> )		7	6	5	4	3	2	1	0	(初期値 00*0 0000)	
		EOCF	ADS	AINDS		SAIN					
SAIN	アナログ入力チャンネル選択			0000 : AIN0を選択 0001 : AIN1を選択 0010 : AIN2を選択 0011 : AIN3を選択 0100 : AIN4を選択 0101 : AIN5を選択 0110 : AIN6を選択 0111 : AIN7を選択 1*** : reserved						R/W	
AINDS	アナログ入力制御			0 : アナログ入力イネーブル 1 : アナログ入力ディセーブル							
ADS	A/D変換開始			0 : - 1 : A/D変換開始							
EOCF	A/D変換終了フラグ			0 : A/D変換中またはA/D変換前 1 : A/D変換終了						read only	

注1) \* ; don't care  
 注2) アナログ入力チャンネルの選択はA/D変換停止状態で設定してください。  
 注3) ADSは、A/D変換開始後自動的に“0”にクリアされます。  
 注4) EOCFは、A/D変換値レジスタ (ADCCR)をリードすると“0”にクリアされます。  
 注5) EOCFは、リード専用で書き込んだデータは無視されます。

図2-46. A/Dコンバータの制御レジスタ

### 2.10.3 A/Dコンバータの動作

アナログ基準電圧のHigh側をVAREF端子に、Low側をVASS端子に印加します。VAREF-VASS間の基準電圧をラダー抵抗によりビットに対応した電圧に分割し、アナログ入力電圧と比較判定を行うことにより、A/D変換が実行されます。

#### (1) A/D変換の起動

A/D変換に先立ち、SAIN (ADCCRのビット3~0)によりアナログ入力チャンネル (AIN7~AIN0)のうち1端子を選択します。AINDS (ADCCRのビット4)を“0”にクリアし、P6入力制御 (P6CR)でアナログ入力に使用するチャンネルを“0”にクリアします。

アナログ入力として使用しない端子は、通常の入出力端子として使用できますが、変換中はいずれの端子に対してもA/D精度を保つ意味で出力命令は行わないでください。

A/D変換動作は、ADS (ADCCRのビット6)を“1”にセットすることにより開始されます。

A/D変換開始後、ADCCRに変換結果がセットされるまで $184/f_c$  [s] (46マシンサイクル) が必要です。例えば $f_c=8$  MHzで $23 \mu s$ かかります。A/D変換が終了すると、変換終了を示すEOCF (ADCCRのビット7)が“1”にセットされます。

A/D変換中にADSを“1”にセットすると初期化されて、初めから変換をやり直します。

なお、アナログ入力電圧のサンプリングは、A/D変換の開始指示後4マシンサイクルで行われます。

注) サンプルホールド回路は、5 k $\Omega$  (typ.)の抵抗を介して12 pF (typ.)のコンデンサを内蔵していますので、4マシンサイクルの間に、このコンデンサへ電荷を蓄える必要があります。

## (2) A/D変換値の読出し

A/D変換値レジスタ (ADCDR) にストアされた変換値は、変換終了(EOCF=1)を確認後に読み出しを行ってください。変換値を読み出すと、EOCFは自動的に“0”にクリアされます。なお、A/D変換中に読み出しを行うと、不定値が読み出されます。

## (3) A/D変換中のSTOPモード

A/D変換中にSTOPモードに入るとA/D変換は中止され、A/D変換値は不定となります。従って、STOPモードより復帰後はEOCFは“0”にクリアされたままとなります。ただし、A/D変換終了後(EOCFが”1”にセットされた後)STOPモードに入ると、A/D変換値、EOCFの状態は保持されます。

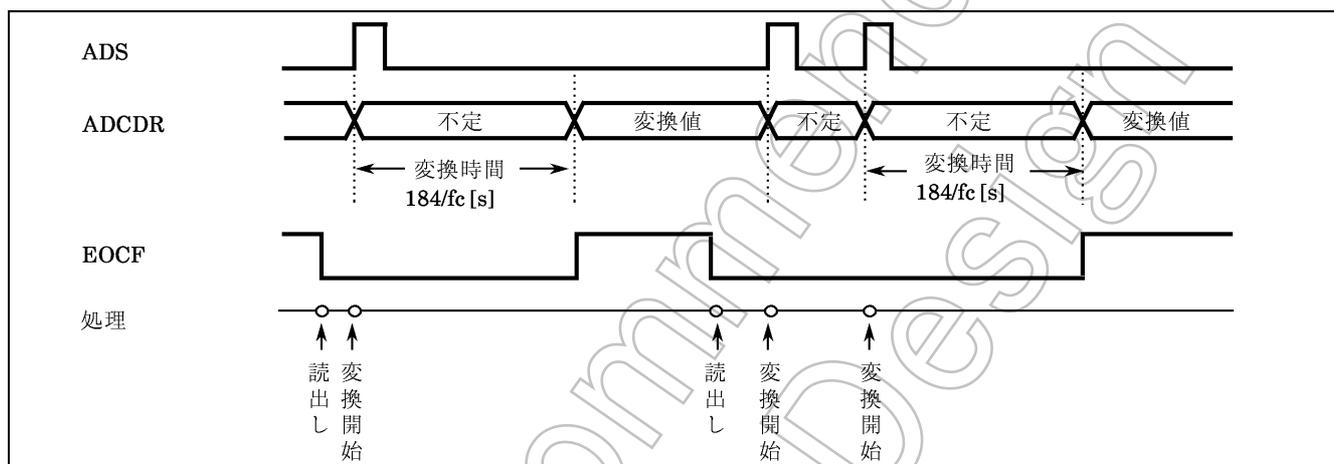


図2-47. A/D変換動作

例1: アナログ入力チャネルとしてAIN4端子を選択後、A/D変換を行います。EOCFを確認して変換値を読み出し、RAMの009EH番地に格納します。

```

; AIN SELECT
LD      (ADCCR), 00100100B ; AIN4を選択
; A/D CONVERT START
SET     (ADCCR). 6 ; ADS=1
SLOOP: TEST  (ADCCR). 7 ; EOCF=1?
JRS     T, SLOOP
; RESULT DATA READ
LD      (9EH), (ADCDR)

```

アナログ入力電圧とA/D変換された8ビットデジタル値とは図2-48.のように対応します。

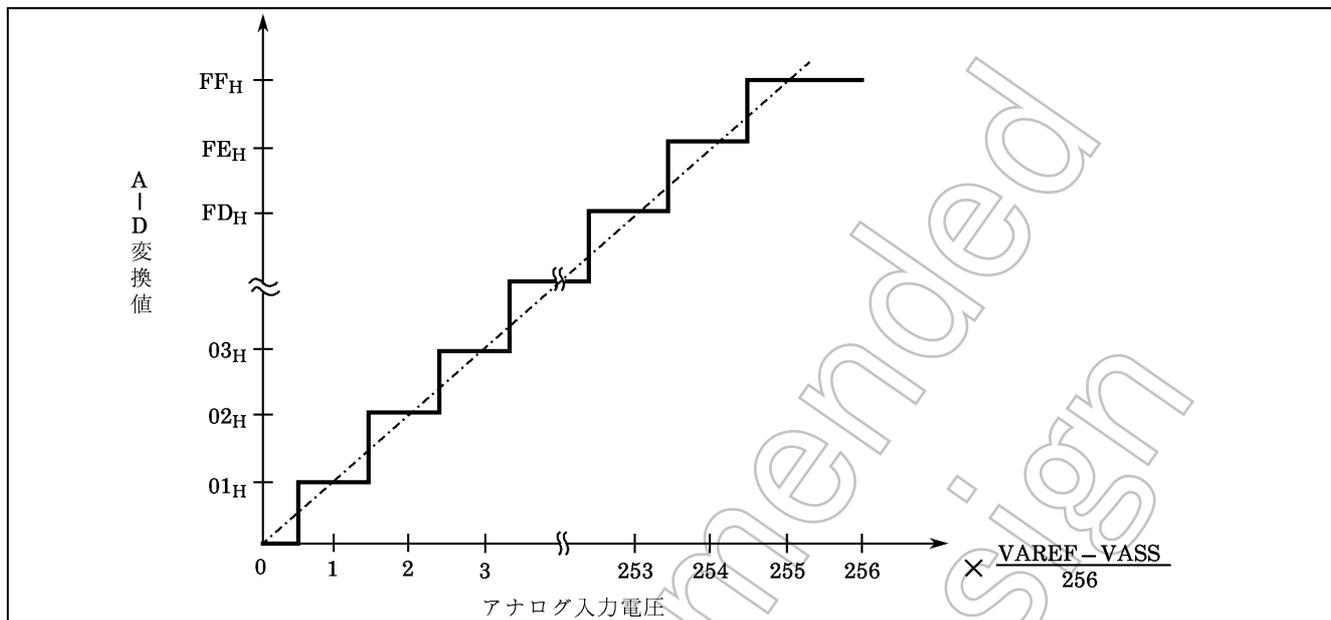


図2-48. アナログ入力電圧とA/D変換値 (typ.)の関係

Not Recommended for New Design

2.11 PWM (パルス幅変調) 出力回路

87C814/H14/K14/M14は、14ビット分解能のPWM (パルス幅変調) 出力を1チャンネル内蔵しており、ローパスフィルタを外付けすることにより、容易にD-A変換出力を得ることができます。

PWM出力は、P33 (PWM14) 端子に負論理で出力されます。P33端子をPWM出力として用いる場合は、対応する端子の出力ラッチを“1”にセットします。

2.11.1 構成

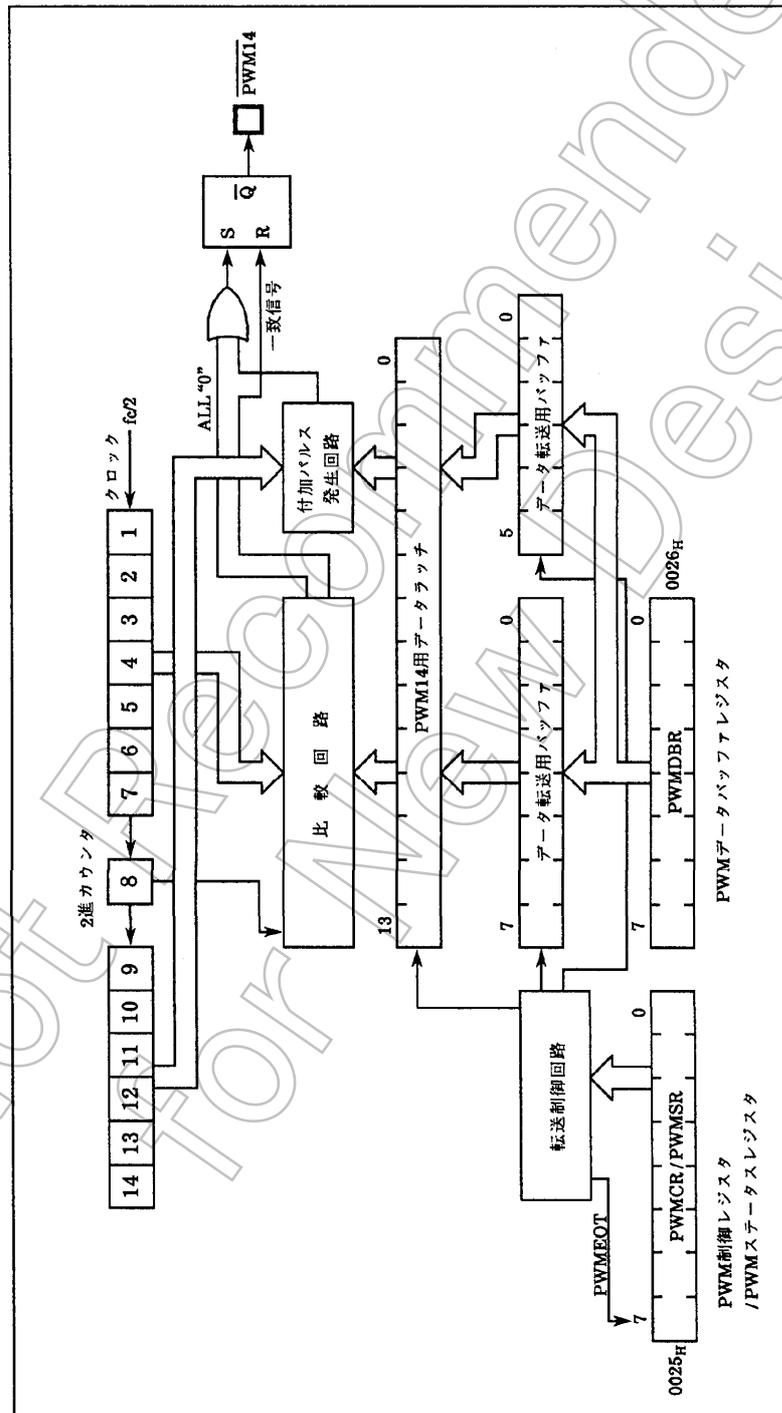


図2-49. パルス幅変調 (PWM) 出力回路

2.11.2 出力波形

(1) PWM14出力

14ビット分解能のPWM出力で、一周期は $T_M = 2^{15}/f_c$  [s]となります。

PWMデータラッチの上位8ビットは、 $T_S$  ( $T_S = T_M/64$ )を周期とするパルス幅を制御します。8ビットのデータが、 $n$  ( $n=0\sim 255$ ) のとき、 $T_S$ を周期とする低レベルパルス幅は、 $n \times t_0$  ( $t_0 = 2/f_c$ )となります。

下位6ビットは、 $T_M$ 周期内の64の区間 $T_{S(i)}$  ( $i=0\sim 63$ ) おいて、 $t_0$ の幅の付加パルスを出力する位置の制御を行います。付加パルスが出力される区間では、低レベルパルス幅が $(n+1)t_0$ となります。

下位6ビットのデータが、 $m$  ( $m=0\sim 63$ ) のとき、64の $T_{S(i)}$ 区間中の $m$ 箇所付加パルスが出力されます(下表参照)。

表2-10. PWM14の下位6ビットと付加パルス出力区間の相対位置

PWM0の下位6ビットのビット位置	付加パルスが出力される区間の相対位置 ( $T_{S(i)}$ の値)
ビット 0	32
ビット 1	16, 48
ビット 2	8, 24, 40, 56
ビット 3	4, 12, 20, 28, 36, 44, 52, 60
ビット 4	2, 6, 10, 14, 18, 22, 26, 30, ..., 58, 62
ビット 5	1, 3, 5, 7, 9, 11, 13, 15, 17, ..., 59, 61, 63

注) 対応するビットが“1”のとき出力されます。

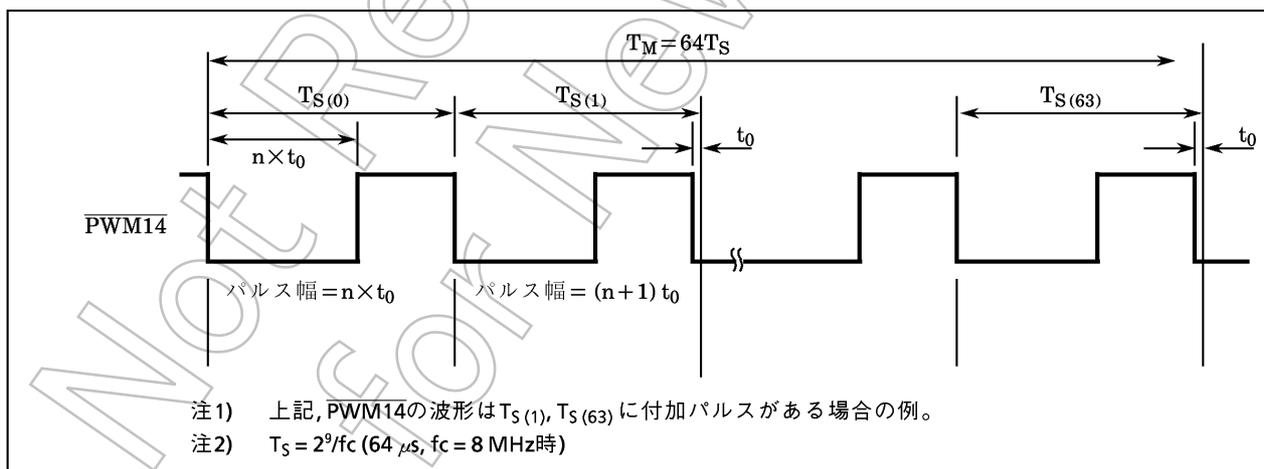


図2-50. PWM出力波形

2.11.3 制御

PWM出力の制御は、PWM制御レジスタ (PWMCr) およびPWMデータバッファレジスタ (PWMDbR) で行います。また、PWMステータスレジスタ (PWMSr) のPWMEOTを読むことで、データバッファレジスタからデータラッチへのPWMデータの転送状態を知ることができます。

**PWM制御レジスタ**

PWMCr (0025H)

7	6	5	4	3	2	1	0	
PWS			PWMDLS				(初期値 0*** 0000)	

PWS	8ビットPWM/PDO出力と14ビットPWM出力選択	0 : 8ビットPWM/PDO出力を選択 1 : 14ビットPWM出力を選択	write only
PWMDLS	転送先データラッチの選択とデータバッファレジスタからデータラッチへのPWMデータ転送要求	0000 : 下位6ビットデータラッチを選択 0001 : 上位8ビットデータラッチを選択 1100 : PWMデータ転送要求 その他 : reserved	

**PWMステータスレジスタ**

PWMSr (0025H)

7	6	5	4	3	2	1	0
PWMEOT "1" "1" "1" "1" "1" "1" "1" "1"							

PWMEOT	PWMデータ転送終了フラグ	0 : 転送終了 1 : 転送中	read only
--------	---------------	---------------------	-----------

**PWMデータバッファレジスタ**

PWMDbR (0026H)

7	6	5	4	3	2	1	0
write only							

注) \*: don't care

図2-51. PWM制御レジスタ/PWMステータスレジスタ/PWMデータバッファレジスタ

## (1) PWM出力データの書き込み

PWM出力は、データラッチに出力データを書き込むことにより制御されます。出力データの書き込みは、PWMDLS、PWMEOTとPWMDBRを用いて次の手順で行います。

1. データラッチ下位6ビットをPWMDLSで選択します。
2. 出力データをPWMDBRに書き込みます。
3. データラッチ上位8ビットをPWMDLSで選択します。
4. 出力データをPWMDBRに書き込みます。
5. PWMDLSに8CHを書き込みます。(データ転送要求)。

出力データの切り替えが終了するとPWMEOTが“0”となり、次のデータの書き込みが可能になります。PWMEOTが“1”の間は出力データを書き替えないでください。“1”のときデータを書き替えるとPWM出力が正しく切り替わらない場合があります。

出力データをデータラッチに転送している間、PWM出力には前回のデータが出力されています。PWMDLSに8CHを書き込んでからPWM出力が切り替わるまでには、最大 $2^{15}/f_c$  (4.096 ms,  $f_c = 8$  MHz 時)の時間がかかります。

例：PWM14端子に付加パルスなしの $32\mu\text{s}$ の“L”レベルパルス幅のPWM波形を出力する ( $f_c = 8$  MHz時)。

```
LD(PWMCR), 80H ; PWM14の下位6ビットを選択
LD(PWMDBR), 00H ; 付加パルスなし=00H
LD(PWMCR), 81H ; PWM14の上位8ビットを選択
LD(PWMDBR), 80H ;  $32\mu\text{s} \div 2/f_c = 80\text{H}$ 
LD(PWMCR), 8CH ; データ転送要求
WAIT0: TEST (PWMSR).7 ; PWMEOT=0?
      JRS F, WAIT0
```

## 2.12 蛍光表示管 (VFT) 駆動回路

87C814/H14/K14/M14は、蛍光表示管を直接駆動する高耐圧出力バッファおよび表示データを自動的に出力ポートに転送するための表示制御回路を内蔵しています。

### 2.12.1 機能

- (1) 24本の高耐圧バッファを内蔵しています。
  - デジット出力 8~16本 (G0~G15)
  - セグメント出力 8~16本 (S0~S15)
 S0~S7およびG0~G7はプログラムにより選択可能です(ビット単位)。その他にVFT駆動用電源としてVKK端子があります。
- (2) ダイナミック点灯方式による、8~16セグメント×1~16桁をプログラムにて選択できます。
- (3) VFT端子として使用しない端子は、汎用ポートとして使用できます。
- (4) 表示データ (DBR内の32バイト)をセグメントポートへ転送する動作は自動的に行われます。
- (5) デイマー機能により、8段階の輝度調整ができます。
- (6) 4種類 ( $f_c/212 \sim f_c/29$ ) のデジット時間(デューティ)の設定ができます。

### 2.12.2 構成

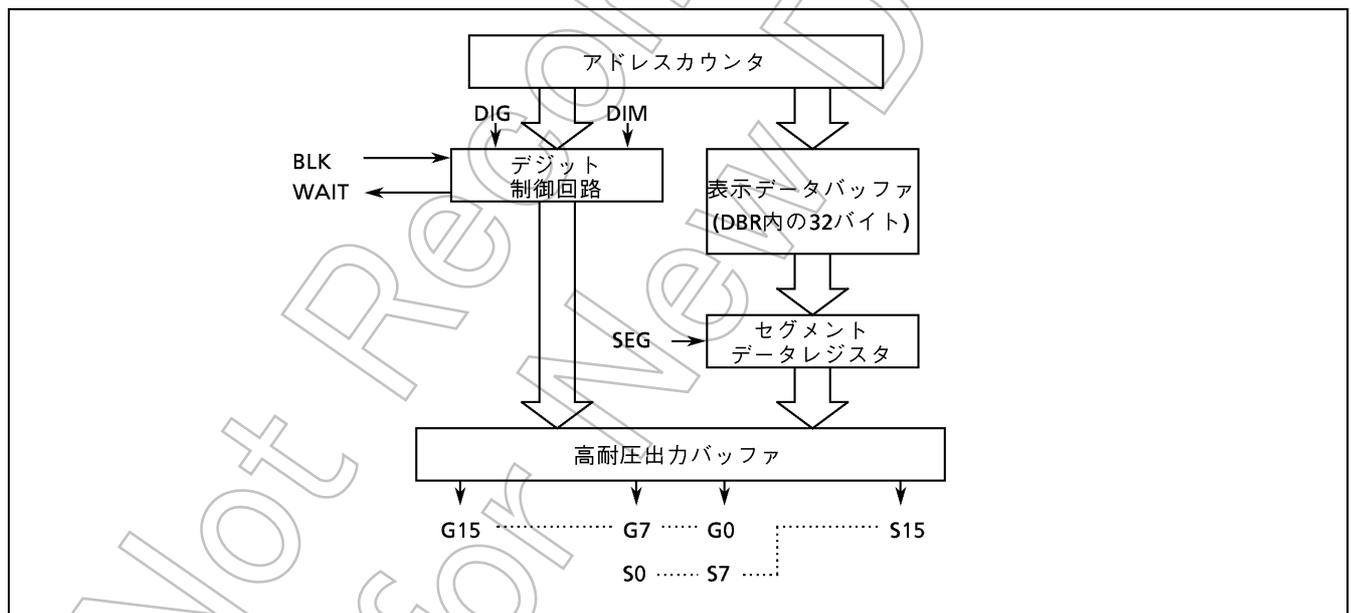


図2-52. VFT駆動回路

### 2.12.3 制御

VFT駆動回路は、VFT制御レジスタ (VFTCR1, VFTCR2, VFTCR3) で制御されます。また、VFTSRを読み込むことにより、VFTの動作状態を知ることができます。

NORMAL1,2モードからSLOWまたはSTOPモードに切り替えると、VFT駆動回路はブランキングとなり (VFT制御レジスタの設定値は、BLK以外は保持されます)、セグメント出力およびデジット出力は“0”になりますので、P5, P7~P8は通常ポートとして機能します。

VFT制御レジスタ1

VFTCR1 (0029 <sub>H</sub> )	7	6	5	4	3	2	1	0	
	BLK		DIM			SDT			(初期値 1**0 0000)
BLK	VFT表示制御			0 : 表示イネーブル 1 : ブランキング					write only
DIM	ディマ-時間の設定			000 : (14/16) × tseg[s] 001 : (12/16) × tseg[s] 010 : (10/16) × tseg[s] 011 : (8/16) × tseg[s] 100 : (6/16) × tseg[s] 101 : (4/16) × tseg[s] 110 : (2/16) × tseg[s] 111 : (1/16) × tseg[s]					
SDT	デジッ時間(tseg)の設定			00 : 2 <sup>9</sup> /fc [s] 01 : 2 <sup>10</sup> /fc [s] 10 : 2 <sup>11</sup> /fc [s] 11 : 2 <sup>12</sup> /fc [s]					

注1) fc; 高周波クロック [Hz]  
 注2) \* do't care  
 注3) VFTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

VFT制御レジスタ2

VFTCR2 (002A <sub>H</sub> )	7	6	5	4	3	2	1	0		
	DIGH				DIGL				(初期値 0000 0000)	
DIGH	使用デジッ (桁) の設定 (MSB 側) GXはDIGLにて設定				0000 : G0を出力 0001 : GX~G1を出力 0010 : GX~G2を出力 0011 : GX~G3を出力 0100 : GX~G4を出力 0101 : GX~G5を出力 0110 : GX~G6を出力 0111 : GX~G7を出力 1000 : GX~G8を出力 1001 : GX~G9を出力 1010 : GX~G10を出力 1011 : GX~G11を出力 1100 : GX~G12を出力 1101 : GX~G13を出力 1110 : GX~G14を出力 1111 : GX~G15を出力				write only	
DIGL	使用デジッ (桁) の設定 (LSB側)				0000 : G0 0001 : G1 0010 : G2 0011 : G3 0100 : G4 0101 : G5 0110 : G6 0111 : G7 1000 : G8 1001 : reserved : reserved 1111 : reserved					

注1) デジッ/セグメント兼用ポートでデジッに指定されないポートは自動的にセグメントとなります。  
 注2) G0のみ使用の場合でも DIGH, DIGLの指定が必要です。使用デジッの設定はDIGH, DIGLの両方をかならず設定してください。  
 注3) VFTCR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図 2-53. VFT制御レジスタ1,2

DIG / SEGの選択

P7ポートはVFT出力セグメントとデジットを兼用しておりVFTCR3にてビットごと制御できます。  
 “0”の場合セグメント”1”の場合デジットとして使用できます。

VFT制御レジスタ3																	
VFTCR3 (002B <sub>H</sub> )	7    6    5    4    3    2    1    0																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; height: 15px;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
(初期値 0000 0000)																	
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">G0</td> <td style="width: 12.5%;">G1</td> <td style="width: 12.5%;">G2</td> <td style="width: 12.5%;">G3</td> <td style="width: 12.5%;">G4</td> <td style="width: 12.5%;">G5</td> <td style="width: 12.5%;">G6</td> <td style="width: 12.5%;">G7</td> </tr> <tr> <td>S7</td> <td>S6</td> <td>S5</td> <td>S4</td> <td>S3</td> <td>S2</td> <td>S1</td> <td>S0</td> </tr> </table>	G0	G1	G2	G3	G4	G5	G6	G7	S7	S6	S5	S4	S3	S2	S1	S0
G0	G1	G2	G3	G4	G5	G6	G7										
S7	S6	S5	S4	S3	S2	S1	S0										

図 2-54. VFT制御レジスタ3

VFTステータスレジスタ									
VFSTR (0029 <sub>H</sub> )	7    6    5    4    3    2    1    0								
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; height: 15px;">WAIT</td> <td style="width: 12.5%;"></td> </tr> </table>	WAIT							
	WAIT								
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%; height: 20px;">WAIT</td> <td style="width: 37.5%;">VFT表示動作状態モニタ</td> <td style="width: 37.5%;">0 : VFT表示動作中 1 : VFT表示停止状態</td> <td style="width: 12.5%; text-align: center;">read only</td> </tr> </table>	WAIT	VFT表示動作状態モニタ	0 : VFT表示動作中 1 : VFT表示停止状態	read only					
WAIT	VFT表示動作状態モニタ	0 : VFT表示動作中 1 : VFT表示停止状態	read only						

図2-55. VFTステータスレジスタ

(1) 表示モードの設定

VFT表示モードの設定は、VFT制御レジスタ1 (VFTCR1)にてデジット時間の設定、VFT制御レジスタ2 (VFTCR2)にてデジット (桁) 数の設定およびSEG/DIG兼用ポートの選択およびセグメント数を設定、またVFTCR3にてSEG/DIG兼用ポートの選択を設定します (この場合VFTCR1のBLKが“1”の状態で行ってください)。

また、VFTCR1のDIMにてディマー時間 (デジット出力時間) を選択します。

(2) 表示データの設定

データをVFT表示データに変換する処理は命令で行います。変換されて表示データバッファ (DBRの0F80~0F9F番地) に格納されたデータは、自動的にVFT駆動回路へ転送され、高耐圧出力バッファに出力されます。従って、表示パターンの変更は、表示データバッファのデータを変更するのみで可能です。

VFTセグメント (ドット) と表示データ領域の各ビットは、一対一の対応があり、データが“1”のとき各ビットに対応するセグメントが点灯します。なお、表示データバッファは、図2-55.に示すDBR領域に設けられています (表示データバッファは通常のデータメモリとして使用できません)。

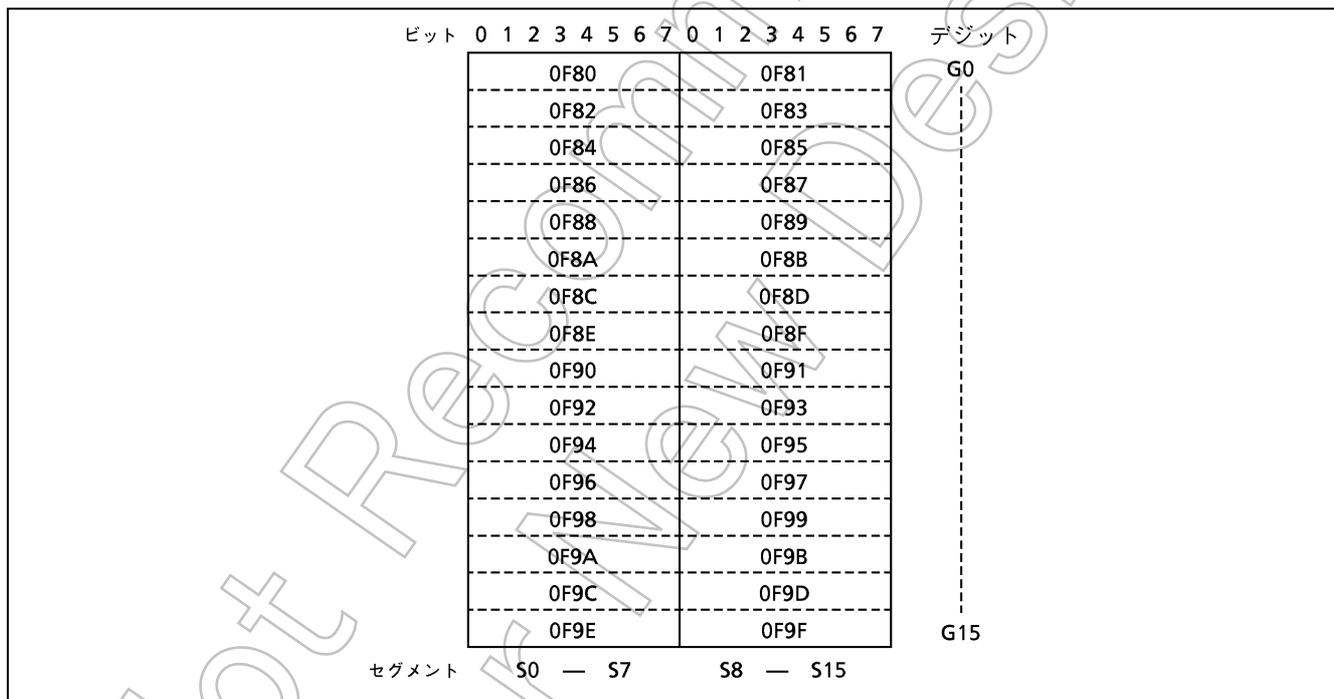


図2-56. VFT表示データバッファ (DBR)

2.12.4 表示動作

表示モードの設定および表示データの格納後、VFTCR1のBLKを“0”にクリアすることにより、VFT表示が開始されます。図2-57., 2-58.にVFTの駆動波形を示します。

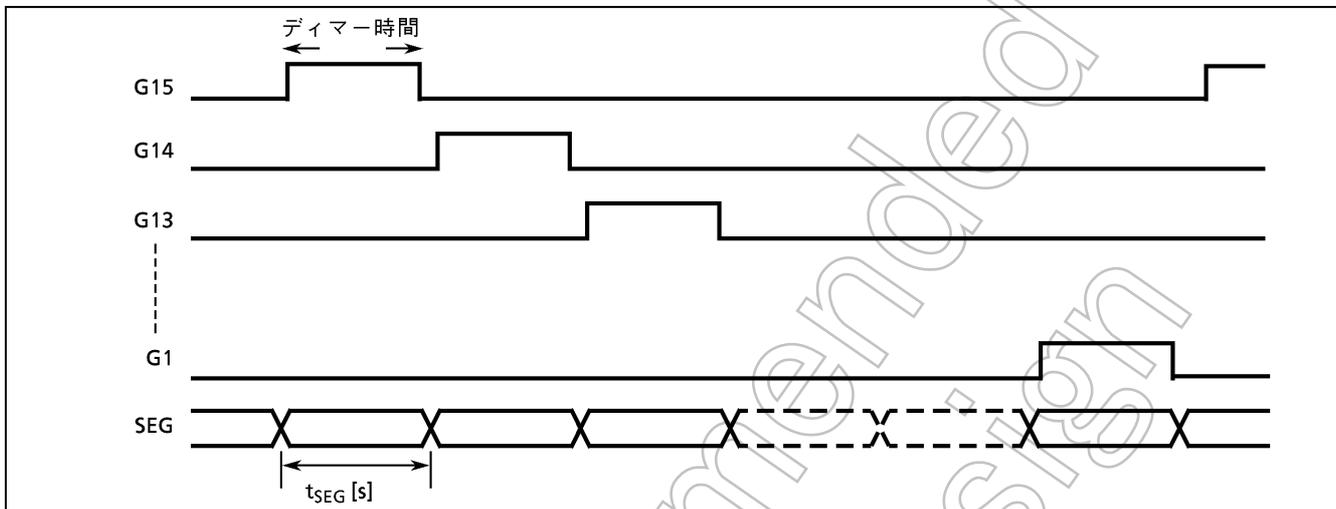


図2-57. VFTの駆動波形 (9セグメント, 15桁表示の場合)

デジット数の設定によりデジット周期が変化します。(例: Gn~Gm使用の場合)

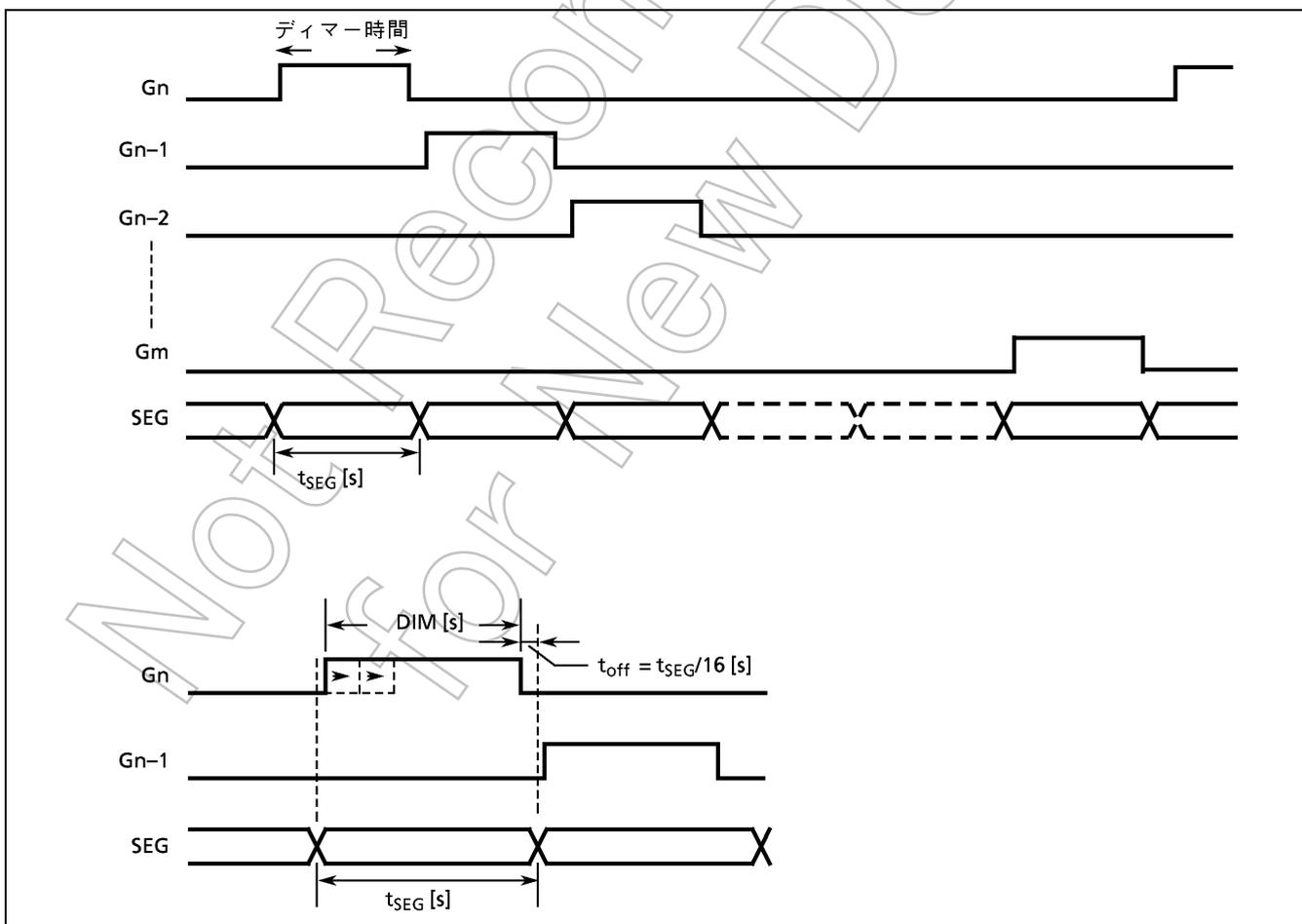


図2-58. VFTの駆動波形 (XXセグメント, Gn~Gm使用表示の場合) および切り替わり時間

## 2.12.5 ポート機能

## (1) 高耐圧ポート

蛍光表示管を駆動させる場合は、ポート出力ラッチを“0”にクリアします。ポート出力ラッチは、リセット時“0”に初期化されます。

通常の入出力端子として用いる場合は、以下の注意が必要です。

注)  $V_{KK}$ 端子へプルダウン ( $R_K = \text{typ. } 80 \text{ k}\Omega$ ) されている端子を使用しない場合は開放にし、ポート出力ラッチおよび相当するデータバッファメモリ (DBR) を“0”にクリアする必要があります。

## ① P5, P7~P8ポート

セグメント兼用ポート (P7~P8) の一部を入出力端子として使用する場合 (蛍光表示管駆動回路動作時) 入出力端子として使用する端子に兼用されているセグメントのデータバッファメモリ (DBR) を“0”にクリアする必要があります。

また、P5, P7~P8ポートは、 $V_{KK}$ 端子へプルダウン ( $R_K = \text{typ. } 80 \text{ k}\Omega$  ただし、P84~P87はマスクオプションにより選択) されていますので通常の実出力または入力として使用する場合は、注意が必要です。

## (a) 出力時

“L”レベルを出力する際、 $V_{KK}$ 端子へプルダウンされているポートは、 $V_{KK}$ 端子電圧となります。従って外部回路に $V_{KK}$ 端子電圧が印加されるのを防ぐため、図2-59のようにダイオードでクランプするなどの処理が必要です。

## (b) 入力時

外部データを入力する場合、ポート出力ラッチを“0”にクリアします。入力しきい値は、他の通常入出力ポートと同一ですが、 $V_{KK}$ 端子へプルダウンされていますので、 $R_K$  (typ.  $80 \text{ k}\Omega$ ) を十分にドライブする必要があります。

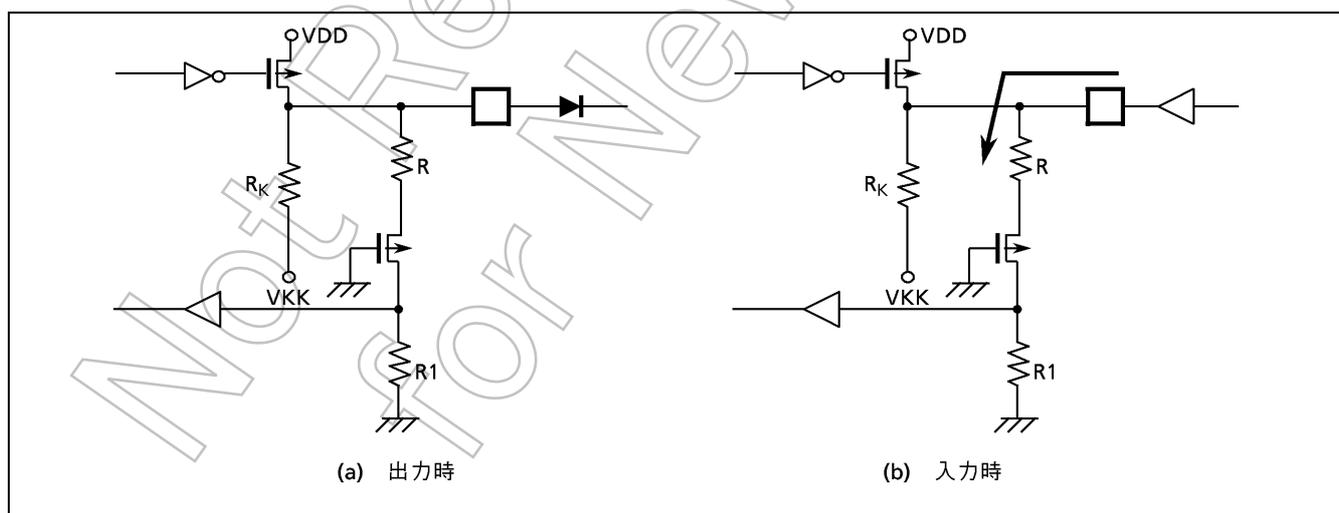


図2-59. 外部回路との入出力

## 端子の入出力回路

## (1) 制御端子

ES発注の際、マイクロコントローラエンジニアリングサンプル (ES) 作成依頼書にてマスクオプションの指定をかならず行ってください。記入の仕方については付録の“TLCS-870シリーズにおけるマスクオプション指定方法”を参照してください。

87C814/H14/K14/M14の制御端子の入出力回路を示します。

リセット解除時の動作モードは、シングルクロックモード (XIN / XOUTのみ発振) かデュアルクロックモード (XIN / XOUTおよびXTIN / XTOUTの両方が発振) かのいずれかをマスクオプション (コードNM1, NM2)で指定してください。

Not Recommended  
for New Design

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_0 = 1.5 \text{ k}\Omega$ (typ.)
XTIN XTOUT	入力 出力	<p>NM1</p> <p>NM2</p> <p>P2ポートを参照</p>	低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_0 = 220 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入出力	<p>Address-trap-reset</p> <p>Watchdog-timer-reset</p> <p>System-clock-reset</p>	ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
$\overline{\text{STOP}} / \text{INT5}$	入力		ヒステリシス入力 $R = 1 \text{ k}\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)

注1) 87PM14のTEST端子には、プルダウン抵抗は内蔵されていません。MCUモードではかならず低レベルに固定してください。

注2) 87PM14は、リセット解除時シングルクロックモード (NM1) となっています。

(2) - ① 入出力ポート

87C814/H14/K14/M14の入出力回路は、マスクオプションとしてコード(A, B)で指定できます。  
87PM14は、コードAの固定です。

ポート	入出力	入出力回路およびコード	備考
P0 P6	入出力	<p>initial "Hi-Z"</p>	<p>トライステート入出力 ヒステリシス入力</p> <p>R = 1 kΩ (typ.)</p>
P1	入出力	<p>initial "Hi-Z"</p>	<p>トライステート入出力 ヒステリシス入力</p> <p>R = 1 kΩ (typ.)</p>
P2	入出力	<p>P20</p> <p>initial "Hi-Z"</p>	<p>シンクオープンドレイン出力</p> <p>R = 1 kΩ</p>
		<p>P21, P22</p> <p>initial "Hi-Z"</p>	
P3	入出力	<p>initial "Hi-Z"</p>	<p>シンクオープンドレイン出力 ヒステリシス入力</p> <p>R = 1 kΩ (typ.)</p>
P5 P7 P80 P83	入出力	<p>initial "Hi-Z"</p>	<p>ソースオープンドレイン出力</p> <p>高耐圧</p> <p>R<sub>K</sub> = 80 kΩ (typ.) R = 1 kΩ (typ.) R<sub>1</sub> = 200 kΩ (typ.)</p>
P84 P87	入出力	<p>A</p> <p>initial "Hi-Z"</p>	<p>ソースオープンドレイン出力</p> <p>高耐圧</p> <p>R<sub>K</sub> = 80 kΩ (typ.) R = 1 kΩ (typ.) R<sub>1</sub> = 200 kΩ (typ.)</p>
		<p>B</p> <p>initial "Hi-Z"</p>	

## 電気的特性

絶対最大定格

(V<sub>SS</sub>=0 V)

項目	記号	条件	規格	単位
電源電圧	V <sub>DD</sub>		-0.3~6.5	V
入力電圧	V <sub>IN</sub>		-0.3~V <sub>DD</sub> +0.3	V
出力電圧	V <sub>OUT1</sub>	P0, P1, P2, P3, P6ポートおよびXOUT, RESET	-0.3~V <sub>DD</sub> +0.3	V
	V <sub>OUT2</sub>	ソースオープンドレイン端子	V <sub>DD</sub> -40~V <sub>DD</sub> +0.3	
出力電流 (1端子当り)	I <sub>OUT1</sub>	P0, P1, P2, P3, P6ポート	3.2	mA
	I <sub>OUT2</sub>	P8ポート	-12	
	I <sub>OUT3</sub>	P5, P7ポート	-25	
出力電流 (全端子総計)	Σ I <sub>OUT1</sub>	P0, P1, P2, P3, P6ポート	120	mA
	Σ I <sub>OUT2</sub>	P5, P7, P8ポート	-120	
消費電力 [Topr = 25°C]	PD		600	mW
はんだ付け温度 (時間)	Tsld		260 (10 s)	°C
保存温度	Tstg		-55 ~ 125	°C
動作温度	Topr		-30 ~ 70	°C

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破壊・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件

(V<sub>SS</sub>=0 V, Topr = -30~70°C)

項目	記号	端子	条件	Min.	Max.	単位
電源電圧	V <sub>DD</sub>		fc = 8 MHz	NORMAL1, 2モード時	4.5	V
				IDLE1, 2モード時		
			fs = 32.768 kHz	SLOWモード時	2.7	
				SLEEPモード時		
				STOPモード時		
出力電圧	V <sub>OUT2</sub>	ソースオープンドレイン端子		V <sub>DD</sub> -38	V <sub>DD</sub>	V
高レベル入力電圧	V <sub>IH1</sub>	ヒステリシス入力を除く	V <sub>DD</sub> ≥ 4.5 V	V <sub>DD</sub> × 0.70	V <sub>DD</sub>	V
	V <sub>IH2</sub>	ヒステリシス入力		V <sub>DD</sub> × 0.75		
	V <sub>IH3</sub>		V <sub>DD</sub> < 4.5 V	V <sub>DD</sub> × 0.90		
低レベル入力電圧	V <sub>IL1</sub>	ヒステリシス入力を除く	V <sub>DD</sub> ≥ 4.5 V	0	V <sub>DD</sub> × 0.30	V
	V <sub>IL2</sub>	ヒステリシス入力			V <sub>DD</sub> × 0.25	
	V <sub>IL3</sub>		V <sub>DD</sub> < 4.5 V		V <sub>DD</sub> × 0.10	
クロック周波数	fc	XIN, XOUT	V <sub>DD</sub> = 4.5 V ~ 5.5 V	0.4	8.0	MHz
	fs	XTIN, XTOUT		30.0	34.0	kHz

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件(電源電圧、動作温度範囲、AC/DC規定値)から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、かならず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数fc: 条件の電源電圧範囲は、NORMAL1, 2モード時およびIDLE1, 2モード時の値を示す。

D.C. 特性		(V <sub>SS</sub> =0 V, T <sub>opr</sub> = -30~70 °C)					
項目	記号	端子	条件	Min.	Typ.	Max.	単位
ヒステリシス電圧	V <sub>HS</sub>	ヒステリシス入力		-	0.9	-	V
入力電流	I <sub>IN1</sub>	TEST	V <sub>DD</sub> =5.5 V V <sub>IN</sub> =5.5 V/0 V	-	-	±2	μA
	I <sub>IN2</sub>	オープンドレインポート, トライステートポート					
	I <sub>IN3</sub>	RESET, STOP					
入力抵抗	R <sub>IN1</sub>	RESET		100	220	450	kΩ
プルダウン抵抗	R <sub>1</sub>	ソースオープンドレイン	V <sub>DD</sub> =5.5 V, V <sub>OUT</sub> =5.5 V	-	200	-	
	R <sub>K</sub>		V <sub>DD</sub> =5.5 V, V <sub>KK</sub> =-30 V	-	80	-	
出力リーク電流	I <sub>LO1</sub>	シンクオープンドレイン	V <sub>DD</sub> =5.5 V, V <sub>OUT</sub> =5.5 V	-	-	2	μA
	I <sub>LO2</sub>	ソースオープンドレイン	V <sub>DD</sub> =5.5 V, V <sub>OUT</sub> =-32 V	-	-	-2	
	I <sub>LO3</sub>	トライステートポート	V <sub>DD</sub> =5.5 V, V <sub>OUT</sub> =5.5 V/0 V	-	-	±2	
高レベル出力電圧	V <sub>OH1</sub>	トライステートポート	V <sub>DD</sub> =4.5 V, I <sub>OH</sub> =-0.7 mA	4.1	-	-	V
	V <sub>OH2</sub>	P8	V <sub>DD</sub> =4.5 V, I <sub>OH</sub> =-8 mA	2.4	-	-	
低レベル出力電圧	V <sub>OL</sub>	XOUTを除く	V <sub>DD</sub> =4.5 V, I <sub>OL</sub> =1.6 mA	-	-	0.4	V
高レベル出力電流	I <sub>OH</sub>	P5, P7ポート	V <sub>DD</sub> =4.5 V, V <sub>OH</sub> =2.4 V	-	-20	-	mA
NORMAL1, 2 モード時 電源電流	I <sub>DD</sub>		V <sub>DD</sub> =5.5 V V <sub>IN</sub> =5.3 V/0.2 V f <sub>c</sub> =8 MHz	-	10	16	mA
IDLE1, 2 モード時 電源電流			f <sub>s</sub> =32.768 kHz	-	4.5	6	
NORMAL1, 2 モード時 電源電流			V <sub>DD</sub> =3.0 V V <sub>IN</sub> =2.8 V/0.2 V f <sub>c</sub> =4.19 MHz	-	2.5	3.5	mA
IDLE1, 2 モード時 電源電流			f <sub>s</sub> =32.768 kHz	-	1.5	2.0	mA
SLOWモード時 電源電流			V <sub>DD</sub> =3.0 V V <sub>IN</sub> =2.8 V/0.2 V	-	30	60	μA
SLEEPモード時 電源電流			f <sub>s</sub> =32.768 kHz	-	15	30	μA
STOPモード時 電源電流			V <sub>DD</sub> =5.5 V V <sub>IN</sub> =5.3 V/0.2 V	-	0.5	10	μA

注1) Typ.値は、条件に指定なき場合T<sub>opr</sub> = 25 °C, V<sub>DD</sub> = 5 V時の値を示します。

注2) 入力電流 I<sub>IN1</sub>, I<sub>IN3</sub> : プルアップまたはプルダウン抵抗を内蔵している場合、抵抗による電流を除きます。

A-D 変換 特性		(V <sub>SS</sub> =0 V, V <sub>DD</sub> =4.5~5.5 V, T <sub>opr</sub> = -30~70 °C)					
項目	記号	条件	Min.	Typ.	Max.	単位	
アナログ基準電源電圧	V <sub>AREF</sub>	V <sub>AREF</sub> -V <sub>ASS</sub> ≥ 2.5 V	V <sub>DD</sub> -1.5	-	V <sub>DD</sub>	V	
	V <sub>ASS</sub>		V <sub>SS</sub>	-	1.5		
アナログ入力電圧範囲	V <sub>AIN</sub>		V <sub>ASS</sub>	-	V <sub>AREF</sub>	V	
アナログ基準電圧電源電流	I <sub>REF</sub>	V <sub>AREF</sub> =5.5 V, V <sub>ASS</sub> =0.0 V	-	0.5	1.0	mA	
非直線性誤差		V <sub>DD</sub> =5.0 V, V <sub>SS</sub> =0.0 V	-	-	±1	LSB	
ゼロ誤差			-	-	±1		
フルスケール誤差			V <sub>AREF</sub> =5.000 V	-	-		±1
総合誤差			V <sub>ASS</sub> = 0.000 V	-	-		±2

注) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差をいいます。

A.C. 特性

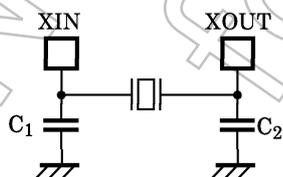
( $V_{SS}=0\text{ V}$ ,  $V_{DD}=4.5\sim 5.5\text{ V}$ ,  $T_{opr}=-30\sim 70\text{ }^{\circ}\text{C}$ )

項目	記号	条件	Min.	Typ.	Max.	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時	0.5	-	10	$\mu\text{s}$
		IDLE1, 2モード時	-	-	-	
		SLOWモード時	117.6	-	133.3	
		SLEEPモード時	-	-	-	
高レベルクロックパルス幅	twCH	外部クロック動作 (XIN入力) fc=8 MHz時	50	-	-	ns
低レベルクロックパルス幅	twCL					
高レベルクロックパルス幅	tWSH	外部クロック動作 (XTIN入力) fs=32.768 kHz時	14.7	-	-	$\mu\text{s}$
低レベルクロックパルス幅	tWSL					

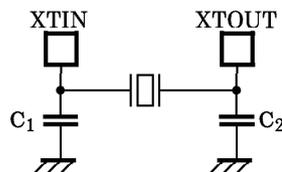
推奨発振条件

( $V_{SS}=0\text{ V}$ ,  $V_{DD}=4.5\sim 5.5\text{ V}$ ,  $T_{opr}=-30\sim 70\text{ }^{\circ}\text{C}$ )

項目	発振子	発振周波数	推奨発振子	推奨定数	
				C <sub>1</sub>	C <sub>2</sub>
高周波発振	セラミック発振子	8 MHz	京セラ KBR8.0M	30 pF	30 pF
		4 MHz	京セラ KBR4.0MS		
			村田製作所 CSA 4.00MG		
	水晶振動子	8 MHz	TOYOCOM 210B 8.0000	20 pF	20 pF
4 MHz		TOYOCOM 204B 4.0000			
低周波発振	水晶振動子	32.768 kHz	日本電波工業 MX-38T	15 pF	15 pF



(1) 高周波発振



(2) 低周波発振

注) 高電界のかかる場所で使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。