

TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870 シリーズ

TMP87C408MG, TMP87C408NG

TMP87C808MG, TMP87C808NG

TMP87C408LMG, TMP87C408LNG

TMP87C808LMG, TMP87C808LNG

TMP87C408DMG

株式会社 **東芝** セミコンダクター社

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パッケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP87C408M	SOP28_P_450_1.27	TMP87C408MG	SOP28-P-450-1.27B	TMP87P808MG
TMP87C408N	SDIP28_P_400_1.78	TMP87C408NG	SDIP28-P-400-1.78	TMP87P808NG
TMP87C408DM	SSOP30_P_56_0.65	TMP87C408DMG	SSOP30-P-56-0.65	—
TMP87C808M	SOP28_P_450_1.27	TMP87C808MG	SOP28-P-450-1.27B	TMP87P808MG
TMP87C808N	SDIP28_P_400_1.78	TMP87C808NG	SDIP28-P-400-1.78	TMP87P808NG
TMP87C408LM	SOP28_P_450_1.27	TMP87C408LMG	SOP28-P-450-1.27B	TMP87P808LMG
TMP87C408LN	SDIP28_P_400_1.78	TMP87C408LNG	SDIP28-P-400-1.78	TMP87P808LNG
TMP87C808LM	SOP28_P_450_1.27	TMP87C808LMG	SOP28-P-450-1.27B	TMP87P808LMG
TMP87C808LN	SDIP28_P_400_1.78	TMP87C808LNG	SDIP28-P-400-1.78	TMP87P808LNG

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	

修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願ひ」が適用されます。

当社半導体製品取り扱い上のお願ひ

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いいたします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

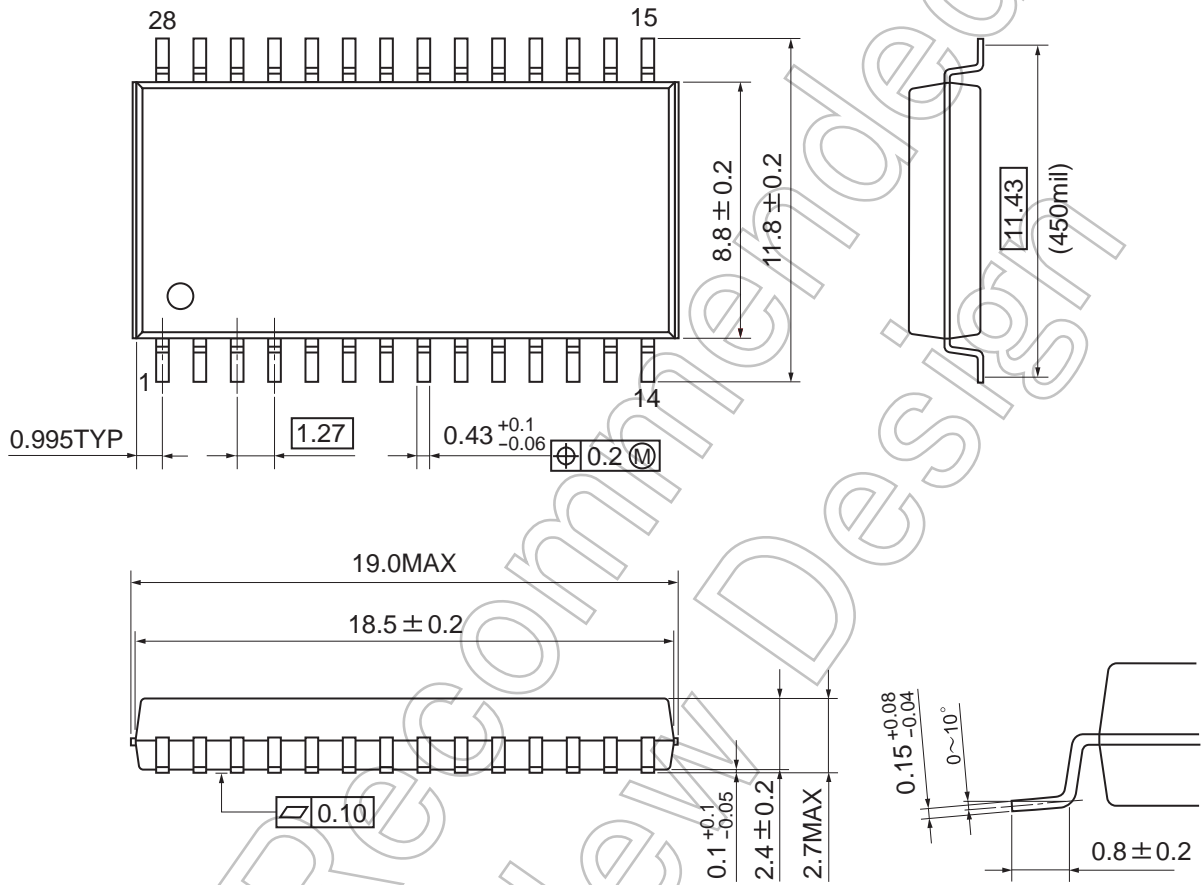
本製品の発行日は、付加ページ右下にも記入の「2008-03-06」です。

(別紙)

パッケージ外形寸法図

SOP28-P-450-1.27B

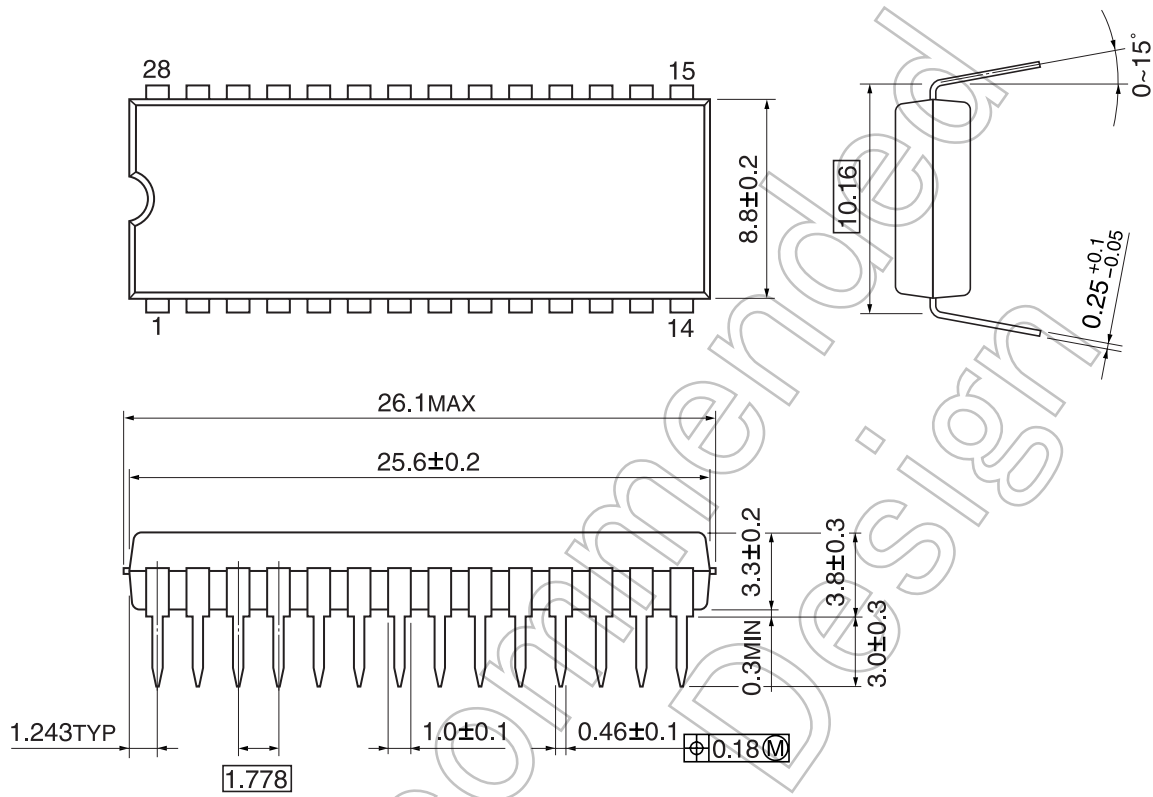
単位: mm



注: パラジウムめっき仕様

SDIP28-P-400-1.78

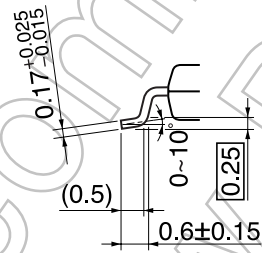
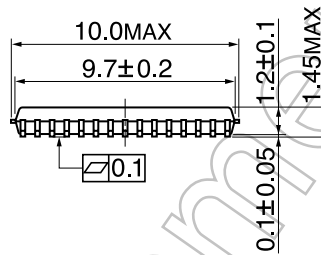
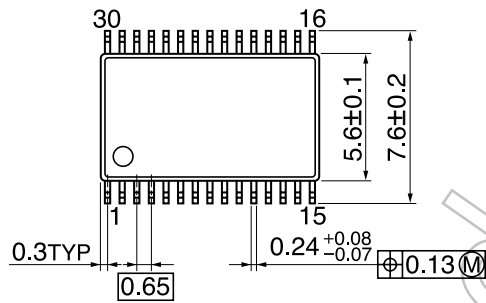
単位: mm



Not Recommended for New

SSOP30-P-56-0.65

単位: mm



Not Recommended for New Design

CMOS 8ビット マイクロコントローラ

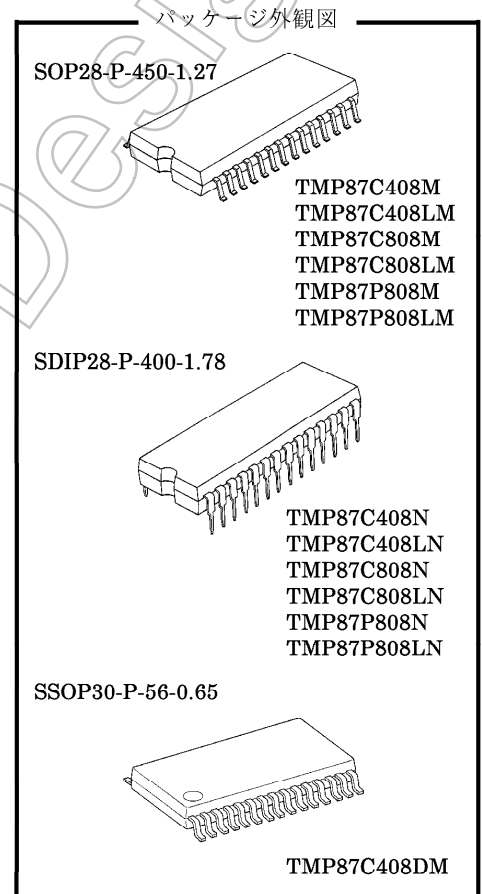
TMP87C408M, TMP87C408N, TMP87C808M, TMP87C808N
 TMP87C408LM, TMP87C408LN, TMP87C808LM, TMP87C808LN,
 TMP87C408DM

大容量ROM, RAM, 入出力ポート, 多機能タイマカウンタ, シリアルインタフェースおよび8ビットA/Dコンバータなどを内蔵し低電圧, 低消費動作が可能な高速, 高機能8ビットシングルチップマイクロコンピュータです。

製品形名	ROM	RAM	PACKAGE	OTP内蔵品	動作電圧	
TMP87C408M	4Kバイト	256バイト	SOP28-P-450-1.27	TMP87P808M	2.7V~5.5V (4.2 MHz) 4.5V~5.5V (8 MHz)	
TMP87C408N			SDIP28-P-400-1.78	TMP87P808N		
TMP87C408DM			SSOP30-P-56-0.65			
TMP87C808M	8Kバイト		SOP28-P-450-1.27	TMP87P808M	1.8V~4.0V (4.2 MHz)	
TMP87C808N			SDIP28-P-400-1.78	TMP87P808N		
TMP87C408LM	4Kバイト		SOP28-P-450-1.27	TMP87P808LM		
TMP87C408LN		SDIP28-P-400-1.78	TMP87P808LN			
TMP87C808LM	8Kバイト	SOP28-P-450-1.27	TMP87P808LM			
TMP87C808LN		SDIP28-P-400-1.78	TMP87P808LN			

特長

- ◆ 8ビットシングルチップマイクロコンピュータ TLCS-870シリーズ
- ◆ 最小命令実行時間: 0.5 μs (ギア比1/1、8 MHz動作時)
(TMP87C408/C808/P808)
0.95 μs (ギア比1/1、4.2 MHz動作時)
(TMP87C408L/C808L/P808L)
- ◆ 基本機械命令: 129種類 412命令
 - 乗除算 (8 bit×8 bit, 16 bit ÷ 8 bit):
実行時間 3.5 μs (ギア比1/1、8 MHz動作時)
(TMP87C408/C808/P808)
7.0 μs (ギア比1/1、4 MHz動作時)
(TMP87C408L/C808L/P808L)
 - ビット操作 (Set/Clear/Complement/Load/Store/Test/Exclusive or)
 - 16ビット演算/転送
 - 1バイト長のジャンプ/コール (Short relative jump / Vector call)
- ◆ 割り込み10要因(外部:4, 内部:6)
 - 全要因独立ラッチ付き, 多重割り込み制御
 - エッジ選択, ノイズ除去機能付き外部割り込み端子あり
 - レジスタバンク切り替えによる高速タスクスイッチング
- ◆ 入出力ポート (22端子)
 - 中電流出力: 6端子 (Typ. 7 mA) (TMP87C408/C808/P808)
(Typ. 6 mA) (TMP87C408L/C808L/P808L)



000629TBP2

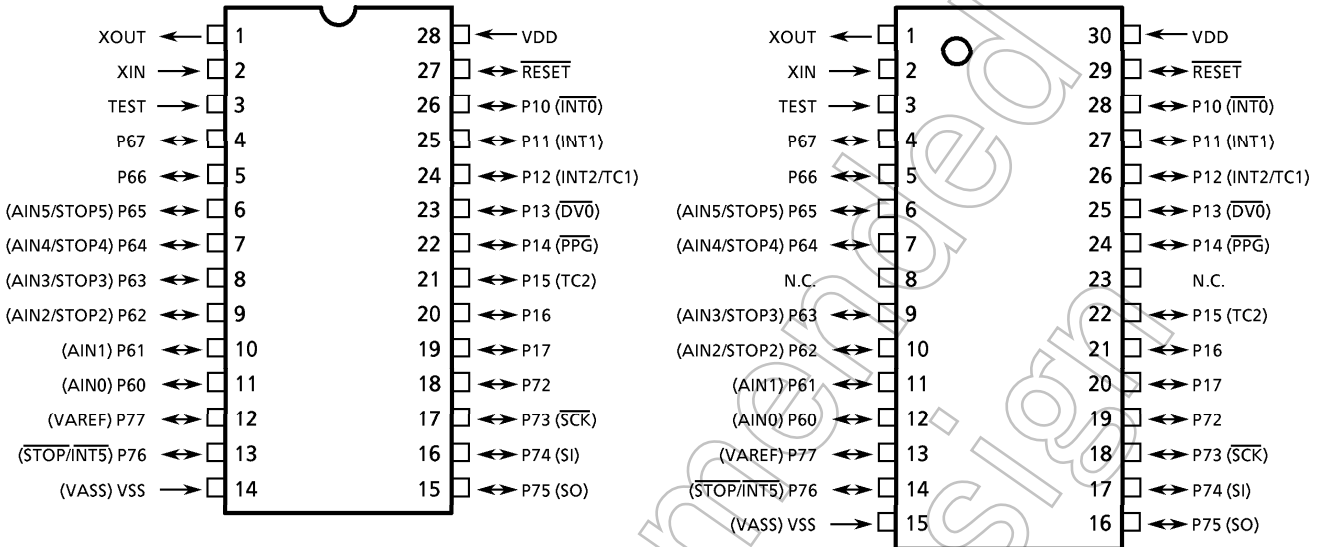
● マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。
 ● 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
 ● 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下「特定用途」という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
 ● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
 ● 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
 ● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

- ◆16ビットタイマカウンタ： 2チャンネル
 - タイマ, イベントカウンタ, PPG (Programmable Pulse Generator) 出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
- ◆タイムベース タイマ
 - 割り込み周波数： 8種類 (1~16384 Hz)
- ◆デバイダ出力機能 (周波数： 4種類)
- ◆ウォッチドッグ タイマ
- ◆8ビット シリアル インタフェース： 1チャンネル
 - 8バイトの送受信バッファ付き
 - 内部/外部クロック, 4/8ビット転送モードの選択
- ◆8ビット逐次比較方式 A/Dコンバータ (サンプルホールド付き)
 - アナログ入力： 6チャンネル
 - 変換時間： 23 μ s / 92 μ s (ギア比1/1, 8 MHz 動作時) の2系統 (TMP87C408/C808/P808)
46 μ s / 184 μ s (ギア比1/1, 4 MHz 動作時) の2系統 (TMP87C408L/C808L/P808L)
- ◆クロックギア
 - f_c , $f_c/2$, $f_c/4$, $f_c/8$ 分周のギアクロックの選択 (初期内部動作 f_c)
- ◆低消費電力動作 (2モード)
 - STOPモード： 発振停止 (バッテリー/コンデンサバックアップ)。ポート出力の保持/ハイインピーダンスの選択。
 - IDLEモード： CPU停止。周辺ハードウェアのみ動作継続し、割り込みで解除 (CPU再起動)。
- ◆動作電圧 2.7~5.5 V (4.2 MHz) / 4.5~5.5 V (8 MHz時) (TMP87C408/C808/P808)
1.8~4.0 V (4.2 MHz) (TMP87C408L/C808L/P808L)
- ◆エミュレーションポッド： BM87C408M0A

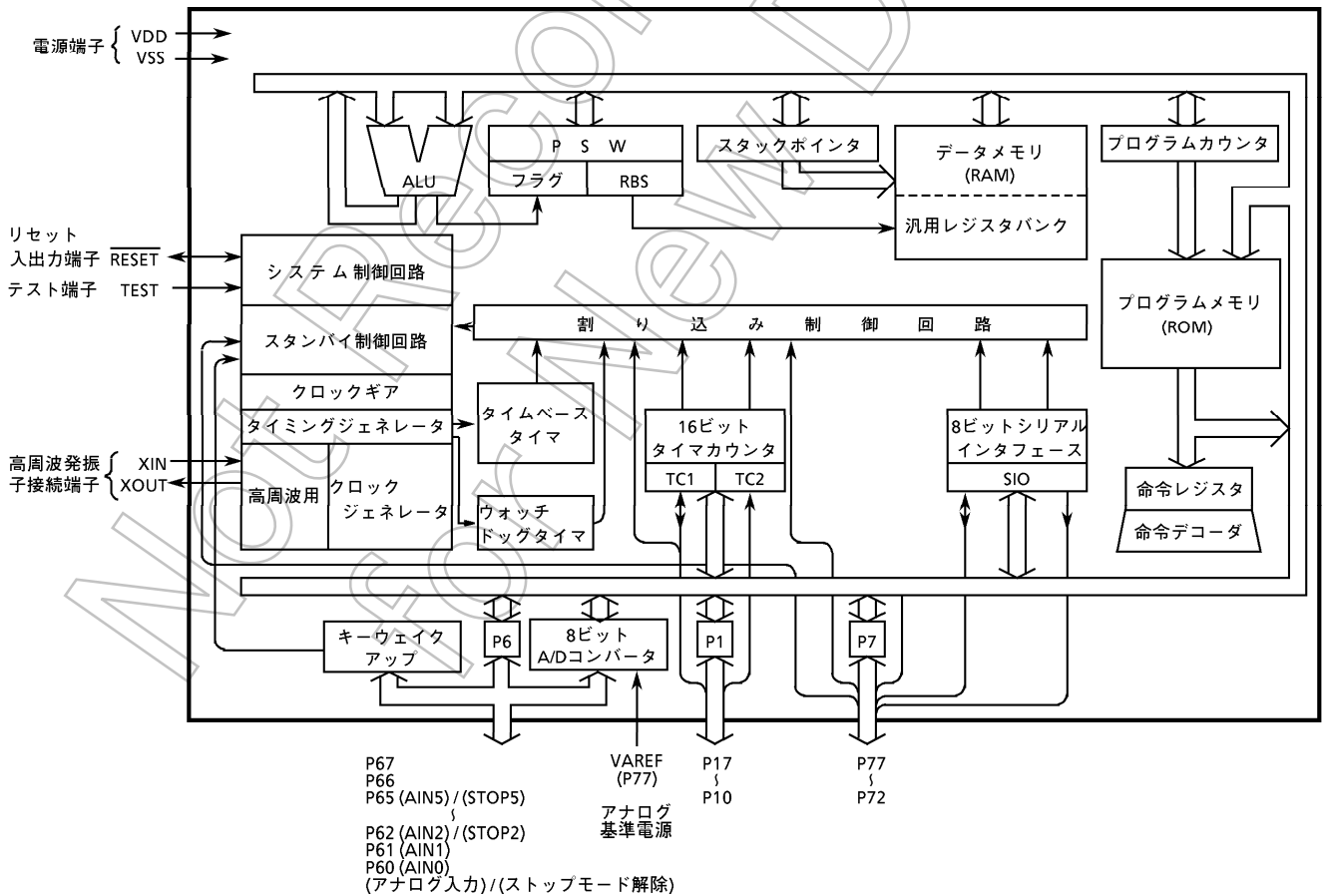
ピン配置図 (上面図)

SOP28-P-450-1.27/SDIP28-P-400-1.78

SSOP30-P-300-0.65



ブロック図



端子機能

端子名	入出力	機能	
P17, P16	入出力	8ビットのプログラマブル入出力ポート (トライステート)。1ビット単位で入力/出力の指定ができます。外部割り込み入力、タイマカウンタ入力として用いる場合は、入力モードにします。PPG出力、デバイダ出力として用いる場合は、出力ラッチを“1”にセットして、出力モードにします。	
P15 (TC2)	入出力(入力)		タイマカウンタ2の入力
P14 (PPG)	入出力(出力)		プログラマブルパルスジェネレータ出力
P13 (DVO)			デバイダ出力
P12 (INT2/TC1)	入出力(入力)		外部割り込み2入力/タイマカウンタ1の入力
P11 (INT1)			外部割り込み1入力
P10 (INT0)			外部割り込み0入力
P67, P66 P65 (AIN5/STOP5) P64 (AIN4/STOP4) P63 (AIN3/STOP3) P62 (AIN2/STOP2) P61 (AIN1) P60 (AIN0)	入出力(入力)	8ビットのプログラマブル入出力ポート (トライステート)。1ビット単位で入力/出力の指定ができます。アナログ入力、STOPモード解除入力として使用する場合は、入力モードにします。	
P77 (VAREF) P76 (STOP/INT5) P75 (SO) P74 (SI) P73 (SCK) P72	入出力(入力) 入出力(出力) 入出力(入力) 入出力(入出力) 入出力	6ビットのプログラマブル入出力ポート (トライステート)。1ビット単位で入力/出力の指定ができます。シリアルインタフェース入力端子、外部割り込み入力として使用する場合は入力モードに、シリアルインタフェース出力端子として使用する場合は出力ラッチを“1”にセットして出力モードにします。	
XIN, XOUT	入力, 出力	高周波発振子接続端子。 外部クロック入力の場合 XINへ入力し、XOUTは開放します。	
RESET	入出力	リセット信号入力、ウォッチドッグタイマ出力/アドレスラップリセット出力	
TEST	入力	出荷試験用端子。低レベルに固定します。	
VDD	電源	2.7~5.5 V (TMP87C408/C808/P808)、1.8~4.0 V (TMP87C408L/C808L/P808L)	
VSS (VASS)		0 V (GND) A/D変換用アナログ基準 GND	

動作説明

1. CPUコア機能

CPUコアは、CPU、システムクロック制御回路、割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア、プログラムメモリ、データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TLCS-870シリーズのメモリは、ROM、RAM、SFR(スペシャルファンクションレジスタ)、DBR(データバッファレジスタ)の4つのブロックで構成され、それらは1つの64Kバイトアドレス空間上にマッピングされています。図1-1.に87C408/808/408L/808Lのメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAMアドレス空間上にマッピングされています。

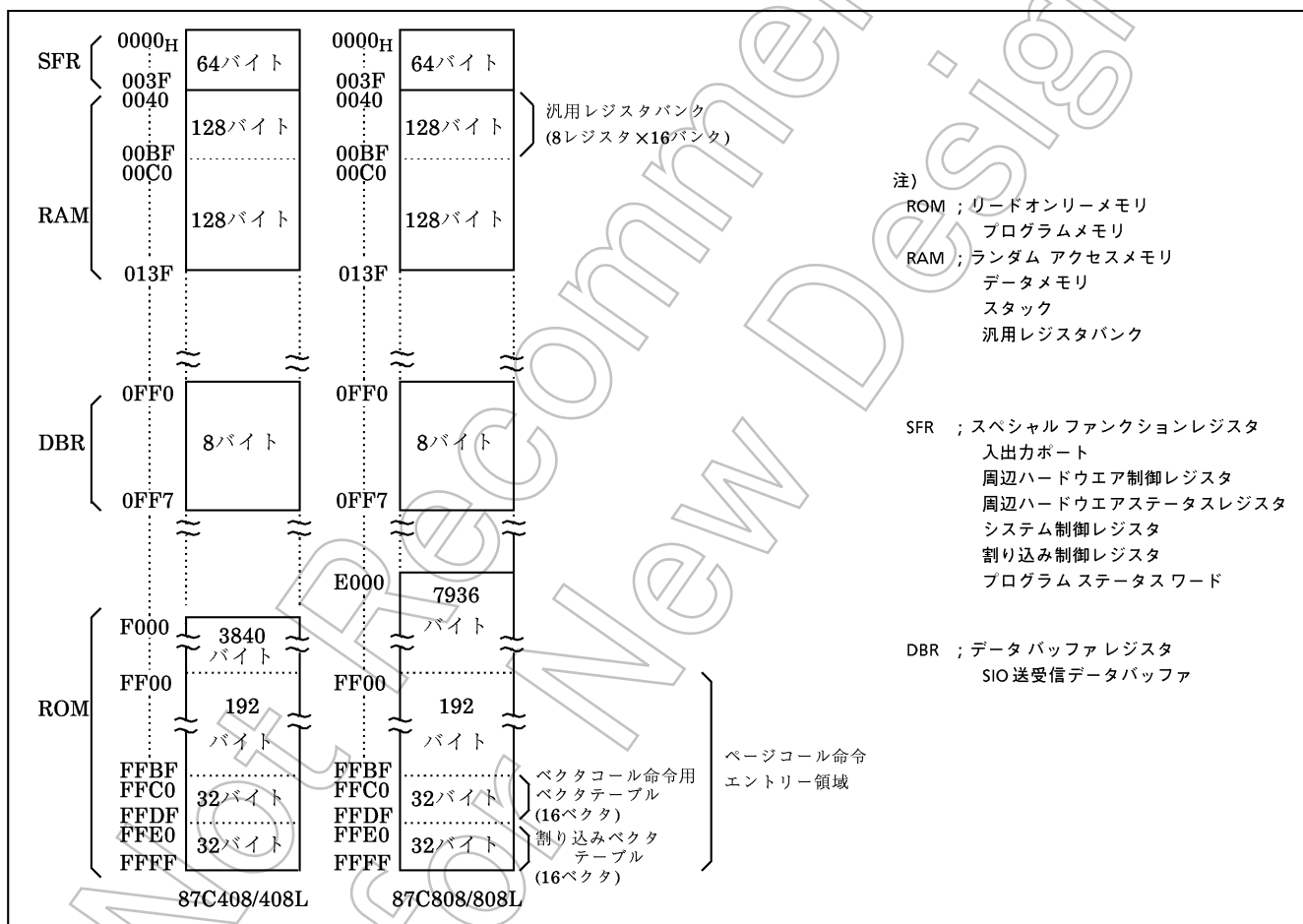


図1-1. メモリアドレスマップ

1.2 プログラムメモリ(ROM)

87C408/408Lは4Kバイト(アドレスF000~FFFF_H番地)、87C808/808Lは8Kバイト(アドレスE000~FFFF_H番地)のプログラムメモリ(マスクROM)を内蔵しています。図1-2.にプログラムメモリマップを示します。

プログラムメモリのFF00~FFFF_H番地は、特定の用途にも使用されます。

(1) 割り込みベクタテーブル (FFE0~FFFF_H番地)

リセットおよび割り込みのベクタ(2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタには、リセット解除からのスタートアドレス、割り込みサービスルーチンのエントリーアドレスを格納します。

(2) ベクタコール命令用ベクタテーブル (FFC0~FFDF_H番地)

ベクタコール命令[CALLV a]用のベクタ(サブルーチン エントリーアドレス, 2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタコール命令は1バイト長の命令で、使用頻度の高い(3ヶ所以上から呼び出される)サブルーチンコールに使うことによりメモリ効率を上げることができます。

(3) ページコール命令用エントリーエリア (FF00~FFFF_H番地)

ページコール命令[CALLP a]用のサブルーチン エントリーアドレス エリアです。FFC0~FFFF_H番地はベクタテーブルにもなっていますので、通常FF00~FFBF_H番地の範囲を使用します。ページコール命令は、2バイト長の命令です。

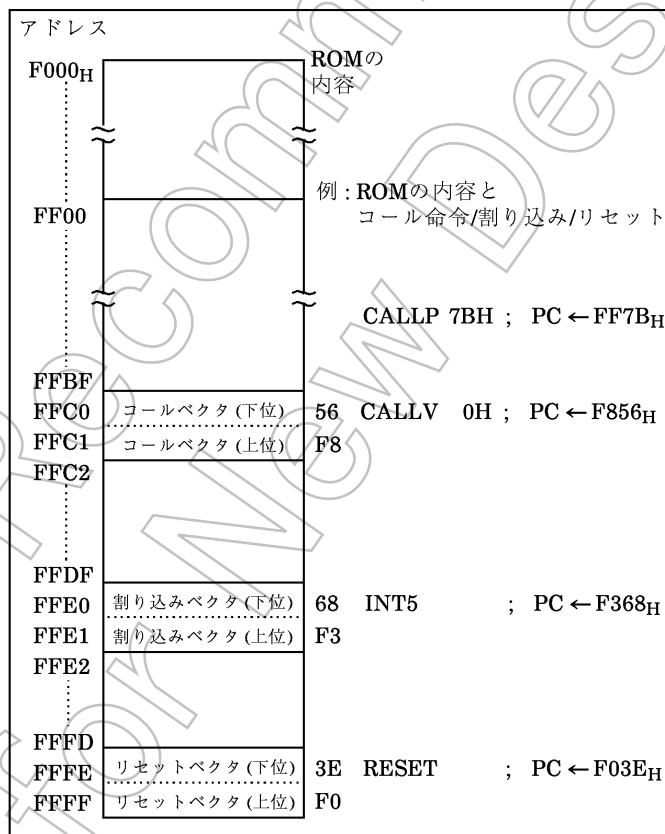


図1-2. プログラムメモリマップ

プログラムメモリには、プログラムおよび固定データが格納されます。次に実行すべき命令は、プログラムカウンタの内容が示すアドレスから読み出されます。ジャンプ命令は相対ジャンプまたは絶対ジャンプ命令で、ジャンプ命令に関してプログラムメモリにはページ、バンクといった境界概念はありません。

例: ジャンプ命令とプログラムカウンタの関係

① 5ビット相対ジャンプ命令[JRS cc, \$+2+d]

F8C4H: JRS T, \$+2+08H の場合

JF=1のとき、プログラムカウンタの内容に08Hを加算したF8CEHにジャンプします(プログラムカウンタの内容は実行命令の置かれたアドレス+2になっています。従って、この場合プログラムカウンタの値はF8C4H+2=F8C6Hとなります)。

② 8ビット相対ジャンプ命令[JR cc, \$+2+d]

F8C4H: JR Z, \$+2+80H の場合

ZF=1のとき、プログラムカウンタの内容にFF80H(-128)を加算したF846Hにジャンプします。

③ 16ビット絶対ジャンプ命令[JP a]

F8C4H: JP 0F235H の場合

無条件にF235H番地にジャンプします。絶対ジャンプ命令は64Kバイトの全空間内の任意のアドレスにジャンプできます。

TLCS-870シリーズは、プログラムメモリに格納された固定データの読み出しに、データメモリをアクセスする命令と同じ命令を使用します。さらに、レジスタオフセット相対アドレッシングモード(PC+A)の命令も使用でき、コード変換、テーブルルックアップ、多方向分岐処理などが容易にプログラミングできます。

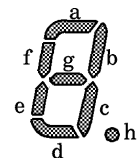
例1: HLレジスタペアで指定されるアドレスのROM内容をアキュムレータに読み出す処理(87C408の場合HL≧F000H)。

```
LD A, (HL) ; A←ROM(HL)
```

例2: BCD→ 7セグメントコード(アノードコモン)変換出力処理(A=05Hのとき下記プログラムの実行で、P1ポートに92Hが出力されます)。

```
ADD A, TABLE-$-4 ; P1←ROM(TABLE+A)
LD (P1), (PC+A)
JRS T, SNEXT ; Jump to SNEXT
```

```
TABLE: DB 0C0H, 0F9H, 0A4H, 0B0H, 99H, 92H, 82H, 0D8H, 80H, 98H
SNEXT:
```



注) \$ は ADD 命令の先頭アドレス。DB はバイトデータの定義命令。

例3: アキュムレータの内容(0≦A≦3)による多方向分岐処理

```
SHLC A ; if A=00H then PC←F234H
JP (PC+A) if A=01H then PC←F378H
if A=02H then PC←FA37H
if A=03H then PC←F1B0H
DW 0F234H, 0F378H, 0FA37H, 0F1B0H
```

注) DW はワードデータの定義命令。ワード=2バイト。

SHLC A
- JP (PC+A) -
34
F2
78
F3
37
FA
B0
F1

1.3 プログラムカウンタ(PC)

プログラムカウンタは、次に実行すべき命令の格納されているプログラムメモリのアドレスを指す16ビットのレジスタです。リセット解除時、ベクタテーブル (FFFF, FFFE_H番地) に格納されているリセットベクタがプログラムカウンタにロードされますので、任意のアドレスからプログラムの実行を開始することができます。例えば、FFFF, FFFE_H番地にそれぞれ、F0, 3E_Hが格納されている場合、リセット解除後 F03E_H番地から実行開始します。

TLCS-870シリーズは、パイプライン処理(命令先行フェッチ)を行っていますので、プログラムカウンタは、常に2アドレス先を指します。例えば、F123_H番地に格納されている1バイト命令の実行中、プログラムカウンタの内容は、F125_Hです。

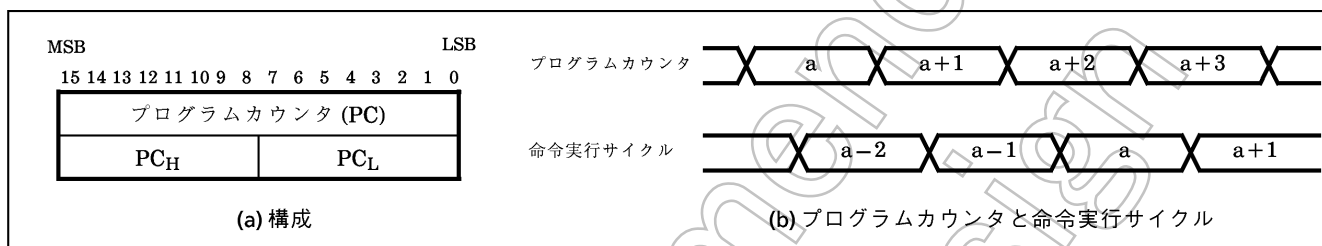


図1-3. プログラムカウンタ

1.4 データメモリ (RAM)

87C408/808/408L/808Lは256バイト(アドレス0040~013F_H番地)のデータメモリ(スタティックRAM)を内蔵しています。図1-4.にデータメモリマップを示します。

0000~00FF_H番地は、ダイレクトアドレッシング領域になっており、このアドレッシングモードを用いる命令が強化されていますので、0040~00FF_H番地のデータメモリは、ユーザーフラグやユーザーカウンタとしても使用できます。

例1: データメモリの00C0_H番地のビット2が“1”なら00E3_H番地に00_Hを書き込み、“0”ならFF_Hを書き込む処理。

```

TEST    (00C0H).2 ; if (00C0H)2=0 then jump
JRS     T,SZERO
CLR     (00E3H) ; (00E3H)←00H
JRS     T,SNEXT
SZERO:  LD     (00E3H),0FFH ; (00E3H)←FFH
SNEXT:
    
```

例2: データメモリの00F5_H番地の内容をインクリメントし、10_H以上になると00_Hにクリアする処理。

```

INC     (00F5H)
AND     (00F5H),0FH
    
```

0040~00BF_H番地の128バイトには、汎用レジスタバンク(8レジスタ×16バンク)が割り付けられています。レジスタとして使用中でも、データメモリとしてアクセスできます。例えば、0040_H番地を読み出すとバンク0のアクムレータの内容が読み出されます。

また、データメモリ上の任意の領域にスタックを設定できます。スタックについては、『1.7 スタック、スタックポインタ』を参照してください。

なお、TLCS-870シリーズは、データメモリ上に置かれたプログラムを実行することはできません。プログラムカウンタがデータメモリの特定のアドレスすなわち0040~013F_H番地を指した場合、バスエラーによりアドレストラップリセットがかかります(RESET端子出力が“L”レベルになります)。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例1: 87C408のRAMクリア(バンク0以外のRAMをすべてゼロクリア)

```
LD      HL, 0048H      ; スタートアドレス(HL)の設定
LD      A, H          ; 初期化データ(A)の設定
LD      BC, 00F7H     ; バイト数-1(BC)の設定
SRAMCLR: LD (HL+), A
DEC     BC
JRS    F, SRAMCLR
```

注) 汎用レジスタはRAM上に存在しますので、カレントバンクのアドレスに対してRAMクリアしないでください。そのため、上記の例でバンク0を除いてRAMクリアしています。

アドレス	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0040 _H	レジスタバンク0				レジスタバンク1				レジスタバンク2				レジスタバンク3			
0050	レジスタバンク4				レジスタバンク5				レジスタバンク6				レジスタバンク7			
0060	レジスタバンク8				レジスタバンク9				レジスタバンク10				レジスタバンク11			
0070	レジスタバンク12				レジスタバンク13				レジスタバンク14				レジスタバンク15			
0080																
0090																
00A0																
00B0																
00C0																
00D0																
00E0																
00F0																
0100																
0110																
0120																
0130																

ダイレクトアドレッシング領域

図1-4. データメモリマップ

1.5 汎用レジスタバンク

汎用レジスタは、データメモリの0040~00BF_H番地にマッピングされており、W, A, B, C, D, E, H, Lの8ビットレジスタ8本を1バンクとして16バンク内蔵しています。図1-5.に汎用レジスタバンクの構成を示します。なお、使用しないレジスタバンクは、データメモリとして使用できます。

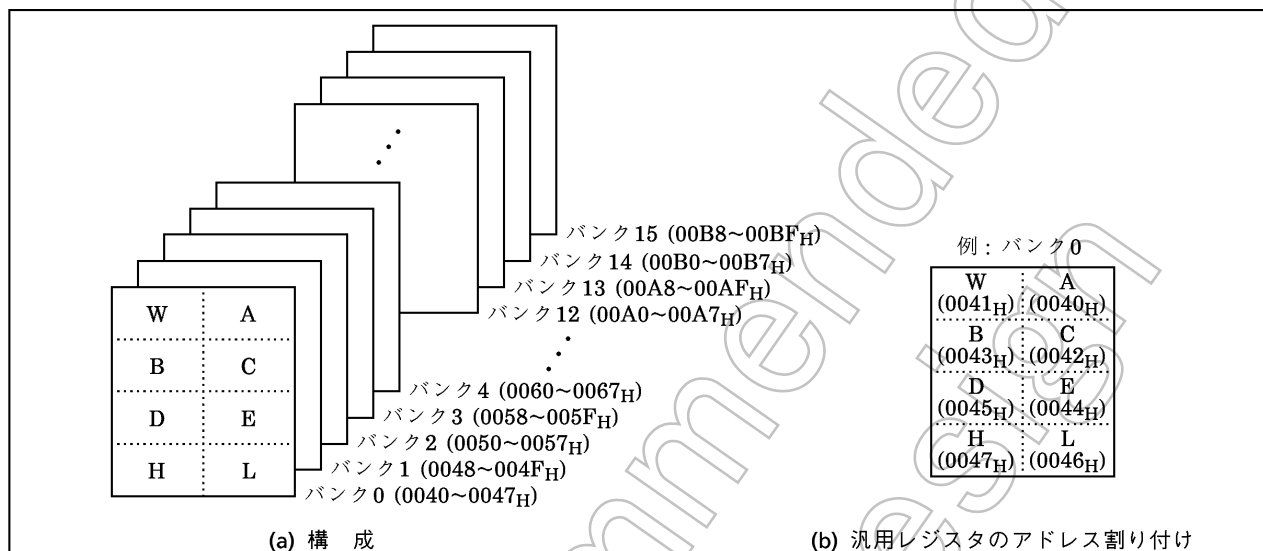


図1-5. 汎用レジスタバンクの構成

各レジスタは、8ビット単位のアクセスのほか、WA, BC, DE, HLのレジスタペアとして16ビット単位のアクセスを行うことができます。また、汎用レジスタとしての機能のほかに、次の機能を有しています。

(1) A, WA

Aは8ビット長のアキュムレータとして、WAは16ビット長のアキュムレータ(Wが上位、Aが下位)としての機能を有しています。なお、8ビット演算についてはA以外のレジスタもアキュムレータ的な使い方ができます。

- 例：
- ① ADD A, B ; Aの内容にBの内容を足して、結果をAに入れます。
 - ② SUB WA, 1234H ; WAの内容から即値1234_Hを引き、結果をWAに入れます。
 - ③ SUB E, A ; Eの内容からAの内容を引き、結果をEに入れます。

(2) HL, DE

HLはデータポインタ/インデックスレジスタ/ベースレジスタとして、DEはデータポインタとしての機能を有しており、メモリのアドレス指定に使われます。

また、HLにはオートポストインクリメント/プリデクリメント機能があり、多桁のデータ処理やソフトウェアLIFO(ラストインファーストアウト)処理が容易にできます。

- 例1：
- ① LD A, (HL) ; HLで指定されるアドレスのメモリ内容をAにロードします。
 - ② LD A, (HL+52H) ; HLに即値52_Hを符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。
 - ③ LD A, (HL+C) ; HLにCレジスタの内容を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。

- ④ LD A, (HL+) ; HLで指定されるアドレスのメモリ内容をAにロード後、HLの内容をインクリメントします。
- ⑤ LD A, (-HL) ; HLの内容をデクリメントし、その値で指定されるアドレスのメモリ内容をAにロードします。

TLCS-870シリーズは、メモリからメモリにデータを直接転送したり、メモリとメモリとの間で直接演算することができ、ブロック処理などを容易にプログラミングできます。

例2 : ブロック転送

```
LD B, m ; m=n-1 (n:転送バイト数)
LD HL, DSTA ; 転送先アドレス
LD DE, SRCA ; 転送元アドレス
SLOOP: LD (HL), (DE) ; (HL) ← (DE)
INC HL ; HL ← HL+1
INC DE ; DE ← DE+1
DEC B ; B ← B-1
JRS F, SLOOP ; if B ≥ 0 then loop
```

(3) B, C, BC

B, Cは8ビットの、BCは16ビットのバッファ、カウンタなどに使用できます。Cは、レジスタインデックスアドレッシング(HL+C)におけるオフセットレジスタとして(前記の例1③)、また除算命令における除数レジスタとしての機能を有しています。

例1 : リピート処理

```
LD B, n ; リピート回数の設定 (n+1回処理が行われます)
SREPEAT: 処 理
DEC B
JRS F, SREPEAT
```

例2 : 除算(16ビット÷8ビット)

```
DIV WA, C ; WA÷Cの演算を行い、商をAに、余りをWに入れます。
```

汎用レジスタのバンク選択は、4ビット長のレジスタバンクセレクタ(RBS)により行います。リセット時RBSは“0”に初期化されますので、バンク0に初期設定されます。RBSで選択されているバンクをカレントバンクと呼びます。

RBSは、フラグとともにプログラムステータスワード(PSW)として、SFR内の003FH番地に割り付けられており、メモリアクセス命令で操作します。なお、即値設定およびプッシュ/ポップのみ専用命令[LD RBS, n], [PUSH PSW], [POP PSW]が用意されています。

例1 : RBSのインクリメント

```
INC (003FH) ; RBS ← RBS + 1
```

例2 : RBSのリード

```
LD A, (003FH) ; A ← RBS (この命令ではフラグも同時に読み出されますので、A ← PSWとなります)
```

割り込み処理におけるレジスタの退避、サブルーチン処理におけるパラメータの受け渡しにバンク切り替えを使うことにより、効率のよいプログラムを組むことができ、また、高速にタスクスイッチングができます。割り込み受け付け時、RBSは自動的にスタックに退避されます。なお、割り込みリターン命令[RETI], [RETN]の実行により、自動的に割り込み受け付け前のバンクに復帰しますので、RBSの退避/復帰のソフトウェア処理は必要ありません。

TLCS-870シリーズは最大15要因の割り込みをサポートしており、各要因に1バンクを割り当て、さらにメインタスクに1バンクのレジスタを割り当てることができます。また、メモリの使用効率を上げる場合、多重化しない割り込み要因には共通のバンクを割り当てて使用します。

例：バンク切り替えによる割り込みタスクにおける汎用レジスタの退避/復帰

```
PINT1:  LD  RBS, n    ; RBS ← n (バンク n に切り替え)
        割り込み処理
        RETI         ; マスカブル割り込みリターン (バンクは自動的に復帰)
```

1.6 プログラムステータスワード (PSW)

プログラムステータスワードは、レジスタバンクセレクタ(RBS)とフラグから構成され、SFR内の003FH番地に割り付けられています。

RBSは、メモリアクセス命令で読み出し/書き込みができ、フラグは読み出しのみできます。PSWに対して書き込みを行った場合、フラグにはデータは書き込まれず、その命令で定まった変化をします。例えば、[LD (003FH), 05H]命令を実行すると、RBSには“5”が書き込まれ、JFは“1”にセットされ、そのほかのフラグは変化しません。

割り込み受け付け時、PSWはプログラムカウンタとともにスタックに退避されます。また、PSWは割り込みリターン命令[RETI], [RETN]の実行によりスタックからリストアされ、割り込み受け付け直前の状態に戻ります。

PSWをアクセスする専用命令としてプッシュ[PUSH PSW]/ポップ[POP PSW]があります。

1.6.1 レジスタバンクセレクタ (RBS)

汎用レジスタのバンクを選択する4ビットのレジスタです。例えば、RBS=2のとき、バンク2が現在選択されていることとなります。

リセット時、RBSは“0”に初期化されます。

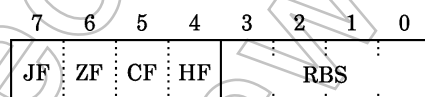


図1-6. PSW (フラグ, RBS) の構成

1.6.2 フラグ (FLAG)

ゼロフラグ、キャリーフラグ、ハーフキャリーフラグおよびジャンプステータスフラグの4ビットで構成され、命令で指定される条件に従いセット/クリアされます。ゼロフラグ、キャリーフラグおよびジャンプステータスフラグは、条件付きジャンプ命令[JRC cc, \$+2+d], [JRS cc, \$+2+d]のジャンプ条件ccとなります。

リセット解除時ジャンプステータスフラグは、“1”に初期化されます(そのほかのフラグは初期化されません)。

(1) ゼロフラグ (ZF)

ゼロフラグは、演算結果または転送データが00H (8ビット演算/転送時)/0000H (16ビット演算時)のとき“1”にセットされ、そのほかのときは“0”にクリアされます。ビット操作命令では、指定ビットの内容が“0”のときZFは“1”にセットされ、指定ビットの内容が“1”のときZFは“0”にクリアされます(ビットテスト)。乗算命令の場合積の上位8ビットが00Hのとき、除算命令の場合剰余が00Hのとき、ZFは“1”にセットされ、そのほかのときは“0”にクリアされます。

(2) キャリーフラグ (CF)

演算時のキャリーまたはボローがセットされます。除算命令の場合、除数が00Hのとき (Divided by zero Error)、または、商が100H以上のとき (Quotient - Overflow Error)、“1”にセットされます。

シフト/ローテート命令では、レジスタからシフトアウトされるデータがセットされます。

ビット操作命令では、1ビット長のレジスタ(プリアンペアキュムレータ)として機能します。また、キャリーフラグ操作命令によりセット/クリア/反転ができます。

例： ビット操作 (07H番地のビット5の内容と9AH番地のビット0の内容とで排他的論理和をとり、結果を01H番地のビット2に書き込みます)。

```
LD      CF, (0007H).5 ; (0001H)2 ← (0007H)5 ∇ (009AH)0
XOR    CF, (009AH).0
LD      (0001H).2, CF
```

(3) ハーフキャリーフラグ (HF)

8ビット演算時、4ビット目へのキャリーまたは4ビット目からのボローがセットされます。HFは、BCDデータの加減算の際の十進補正用のフラグです ([DAA r], [DAS r]命令による十進補正)。

例： BCD演算 (A=19H, B=28Hのとき、次の命令を実行すると、Aは47Hになります)。

```
ADD    A, B ; A ← 41H, HF ← 1, CF = 0
DAA    A ; A ← 41H + 06H = 47H (十進補正)
```

(4) ジャンプステータスフラグ (JF)

通常、“1”にセットされるフラグで、命令に従いゼロまたはキャリー情報がセットされ、条件付きジャンプ命令

[JR T/F, \$+2+d], [JRS T/F, \$+2+d] (T, Fは条件コードです)のジャンプ条件となります。

例： ジャンプステータスフラグと条件付きジャンプ命令

```
INC    A
JRS    T, SLABLE1 ; 直前の演算命令で桁上げが発生した場合
      : ; ジャンプします。
LD     A, (HL)
JRS    T, SLABLE2 ; 直前の命令でJFは“1”にセットされますので、
      : ; 無条件ジャンプ命令と見なされます。
```

例： WAレジスタペア, HLレジスタペア, データメモリの00C5H番地, キャリーフラグ, ハーフキャリーフラグの内容がそれぞれ“219AH”, “00C5H”, “D7H”, “1”, “0”のとき、下記命令を実行するとアキュムレータおよび各フラグは次のようになります。

命 令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF
ADDC A, (HL)	72	1	0	1	1
SUBB A, (HL)	C2	1	0	1	0
CMP A, (HL)	9A	0	0	1	0
AND A, (HL)	92	0	0	1	0
LD A, (HL)	D7	1	0	1	0
ADD A, 66H	00	1	1	1	1

命 令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF
INC A	9B	0	0	1	0
ROL A	35	1	0	1	0
ROR A	CD	0	0	0	0
ADD WA, 0F508H	16A2	1	0	1	0
MUL W, A	13DA	0	0	1	0
SET A.5	BA	1	1	1	0

1.7 スタック, スタックポインタ

1.7.1 スタック

スタックは、サブルーチンコール命令実行時または割り込み受け付け時にその処理ルーチンへジャンプするに先立ってプログラムカウンタの内容(戻り番地)やプログラムステータスワードの内容などをセーブするエリアです。

サブルーチンコール命令[CALL a], [CALLP a], [CALLV n]実行時、戻り番地(上位バイト, 下位バイトの順に)がスタックに退避(プッシュダウン)されます。ソフトウェア割り込み命令[SWI]実行時または割り込み受け付け時は、まずプログラムステータスワードの内容がスタックに退避され、次に戻り番地が退避されます。

処理ルーチンから復帰する場合、サブルーチンリターン命令[RET]を実行することによりスタックからプログラムカウンタへ、割り込みリターン命令[RETI], [RETN]を実行することによりスタックからプログラムカウンタおよびプログラムステータスワードへ、それぞれの内容がリストア(ポップアップ)されます。

スタックは、データメモリ内の任意のエリアに設定できます。

1.7.2 スタックポインタ (SP)



図1-7. スタックポインタ

スタックポインタは、スタックの先頭番地を指す16ビットのレジスタです。スタックポインタは、サブルーチンコール、プッシュ命令実行時および割り込み受け付け時にポストデクリメントされ、リターン、ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなります。スタックのアクセスとスタックポインタの変化を図1-8.に示します。

スタックポインタは、ハードウェア的には初期化されませんので、イニシャライズルーチンで初期化(スタックの最高位アドレスをセット)する必要があります。スタックポインタを操作する命令には、[LD

SP, mn], [LD SP, gg]および

[LD gg, SP](mnは16ビット即値、ggはレジスタペア)があります。

例1: スタックポインタのイニシャライズ

```
LD SP, 013FH ; SP←013FH
```

例2: スタックポインタのリード

```
LD HL, SP ; HL←SP
```

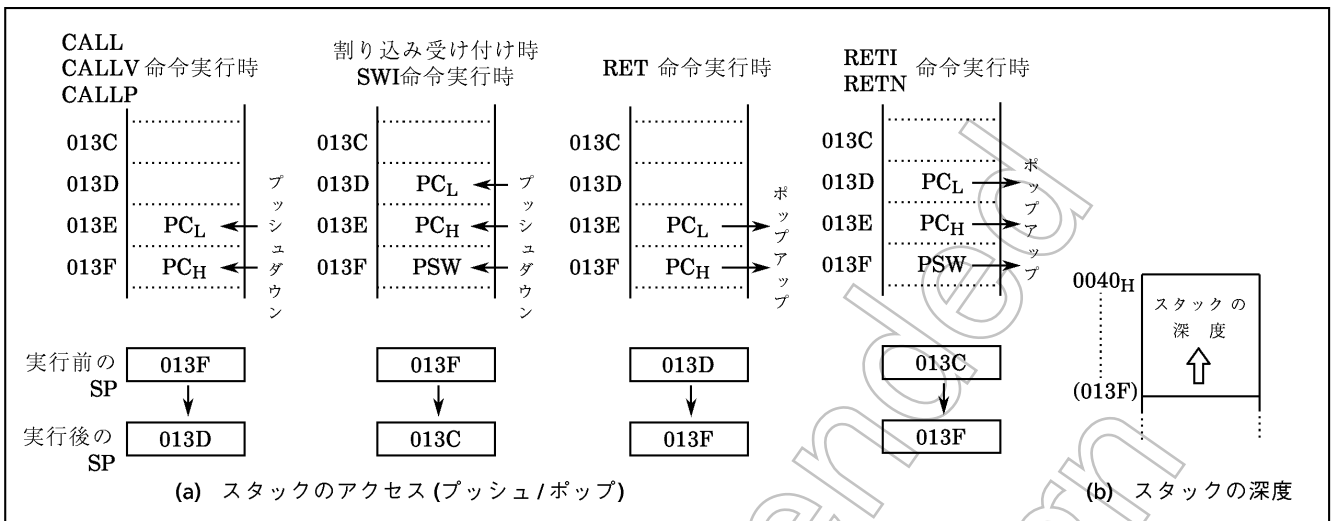


図1-8. スタック

1.8 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、クロックギア、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

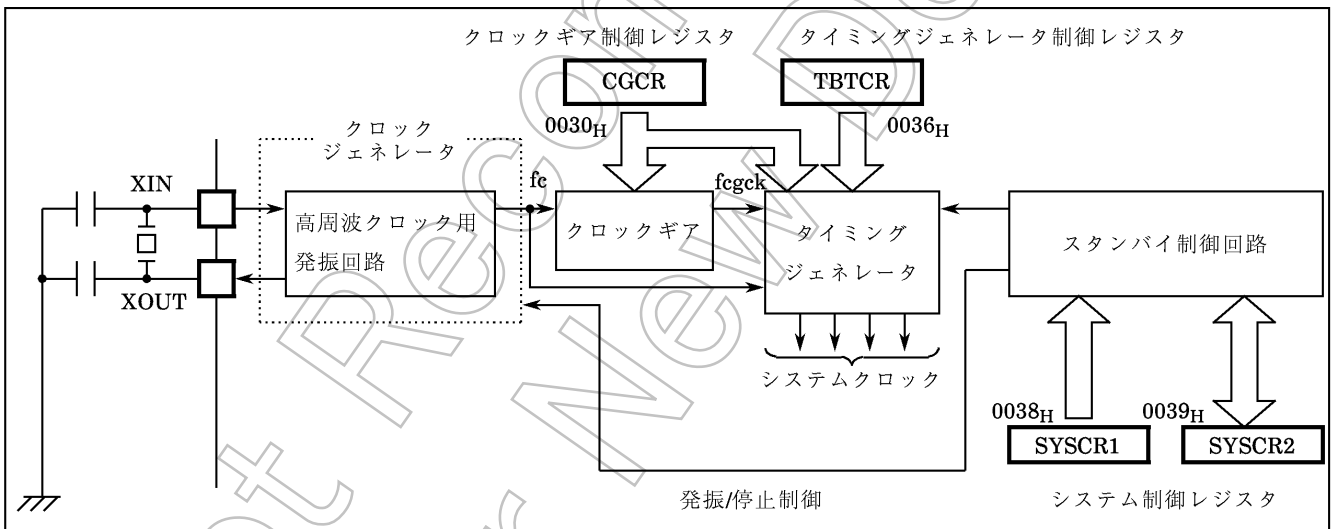


図1-9. システムクロック制御回路

1.8.1 クロック ジェネレータ

クロック ジェネレータは、CPUコアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。

クロック(周波数 f_c)は、XIN, XOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。

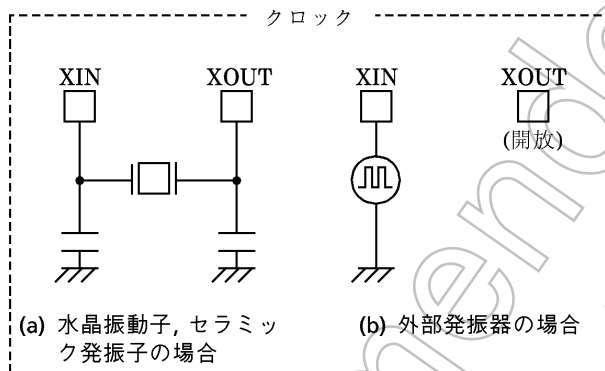


図1-10. 発振子の接続例

注) 発振周波数の調整

基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

1.8.2 クロックギア

クロックギアは、タイミングジェネレータに供給するメインシステムクロックの基準となるギアクロック f_{cgck} を高周波クロック f_c またはその分周クロック $f_c/2, f_c/4, f_c/8$ のいずれかから選択する回路です。クロックギアを使用して、ギアクロックを f_c から $f_c/2, f_c/4$ あるいは $f_c/8$ に切り替えることにより、消費電力の低減が図れます。

クロックギアは3段のプリスケアラと選択回路から構成されます。

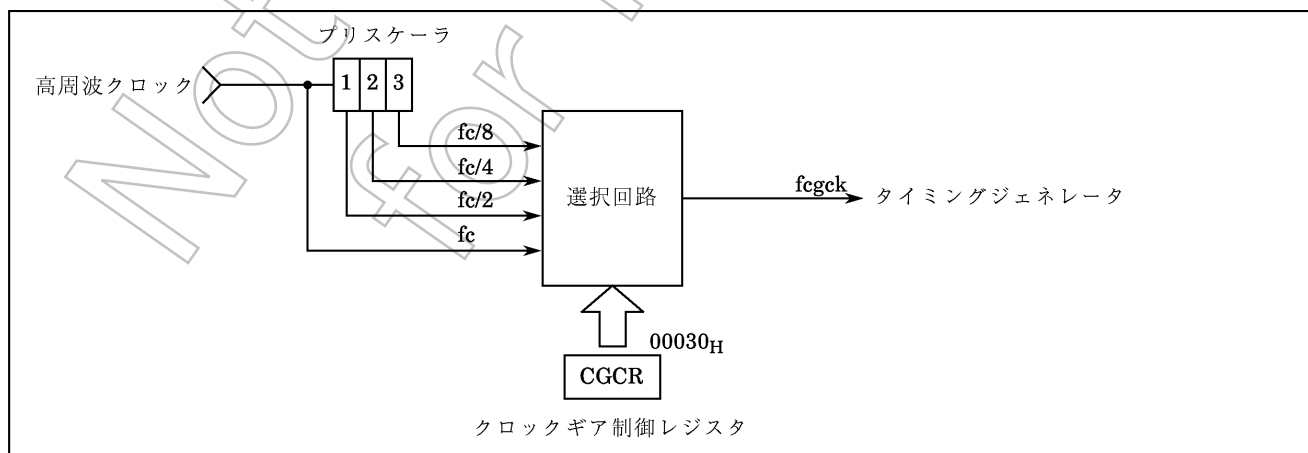


図1-11. クロックギア

CGCR (00030 _H)	7	6	5	4	3	2	1	0	(初期値 000* 1000)
	0	0	0	FCGCK				
FCGCK	ギアクロックの選択 (write) / モニタ (read)			0*** : reserved 1000 : fc 1001 : fc/2 1010 : fc/4 1011 : fc/8 1100 : reserved 1101 : reserved 111* : reserved				R/W	

注1) fc; 高周波クロック [Hz] *; don't care
 注2) CGCRのビット4は、リードすると“1”が読み出されます。
 注3) ビット7~5はかならず“0”に設定してください。

図1-12. クロックギア制御レジスタ

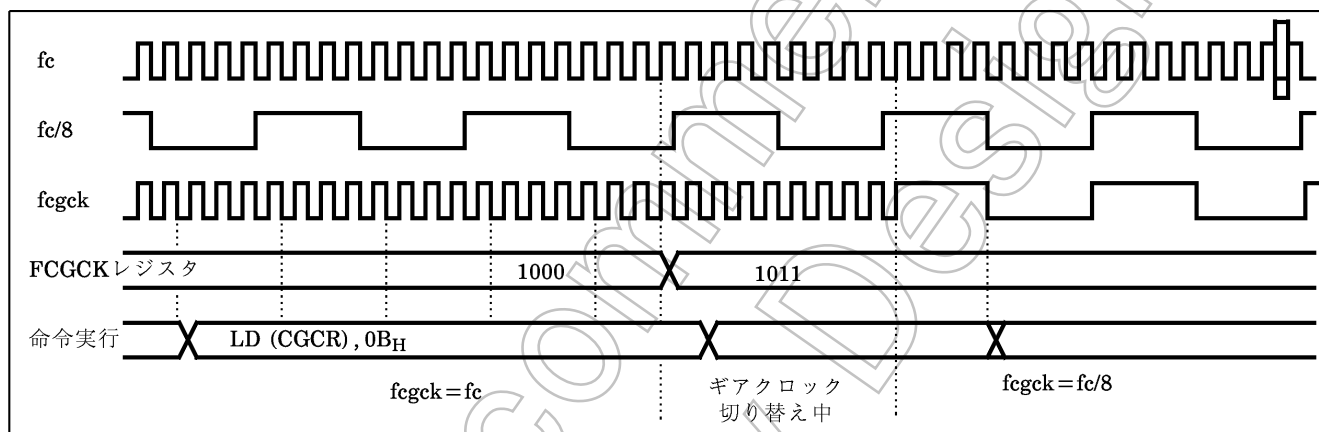


図1-13. クロックギアによるクロック切り替えタイミング例

1.8.3 タイミングジェネレータ

タイミングジェネレータは、ギアクロック (fcgck) または基本クロック (fc) からCPUコアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

- ① メインシステムクロック生成
- ② デバイダ出力 (DVO) パルス生成
- ③ タイマベースタイマのソースクロック生成
- ④ ウォッチドッグタイマのソースクロック生成
- ⑤ タイマカウンタの内部ソースクロック生成
- ⑥ シリアルインタフェースの内部シリアルクロック生成
- ⑦ STOPモード解除時のウォーミングアップクロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケラ、21段のデバイダおよびマシンサイクルカウンタから構成されています。

なお、リセット時およびSTOPモード起動/解除時デバイダは“0”にクリアされます(ただし、プリスケラはクリアされません)。

注) クロックギアを使用してメインシステムクロックを変化させた場合も、デバイダの出力は変化しません。ただし、高速のデバイダ出力(1段目)を使用している周辺回路は、クロックギアでメインシステムクロックが遅くなると使用できなくなります。

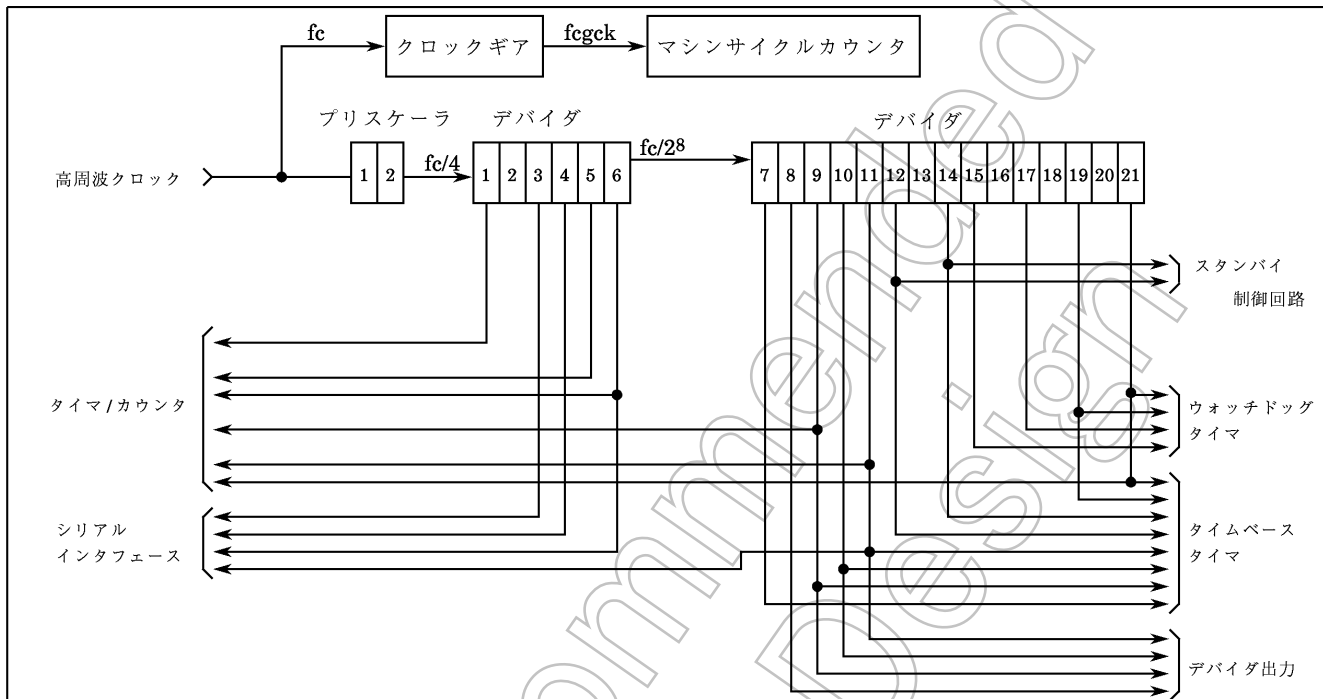


図1-14. タイミング ジェネレータの構成

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870シリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

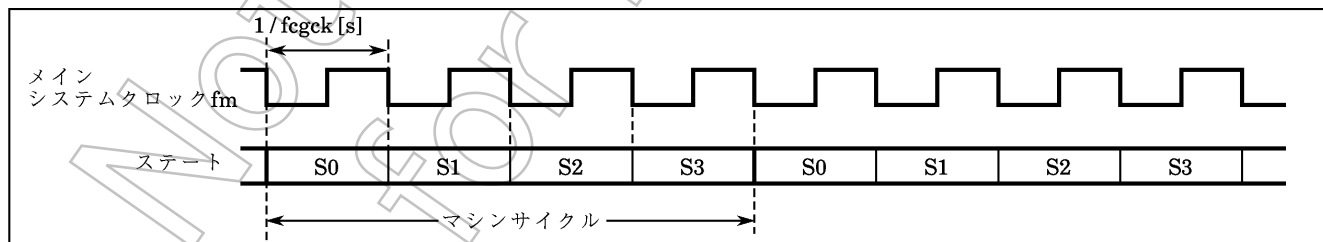


図1-15. マシンサイクル

表1-1. マシンサイクル

周波数	マシンサイクル			
	fcgck = fc	fcgck = fc/2	fcgck = fc/4	fcgck = fc/8
fc = 8 MHz	0.5 μs	1 μs	2 μs	4 μs
fc = 4 MHz	1 μs	2 μs	4 μs	8 μs

1.8.4 スタンバイ制御回路

スタンバイ制御回路は、発振回路の発振/停止を行います。動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-16.に動作モード遷移図を、図1-17.に制御レジスタを示します。

(1) 動作モード

マシンサイクルタイムは $4 / fcgck$ [s] となります。

① NORMALモード

CPUコアおよび周辺ハードウェアを動作させるモードです。リセット解除後このNORMALモードになります。

② IDLEモード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアのみ動作させるモードです。IDLEモードの起動は、システム制御レジスタ2で行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMALモードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMFが“0” (割り込み禁止状態) のときは、IDLEモードを起動した命令の次の命令から実行再開します。

③ STOPモード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。また、入出力ポートの出力状態は、プログラムで全ポート一括して出力保持/ハイインピーダンスの選択ができます。

STOPモードの起動は、システム制御レジスタ1で行います。解除は、STOP端子入力 (レベル/エッジの選択可能) で行い、ウォーミングアップ時間経過後、STOPモードを起動した命令の次の命令から実行再開します。

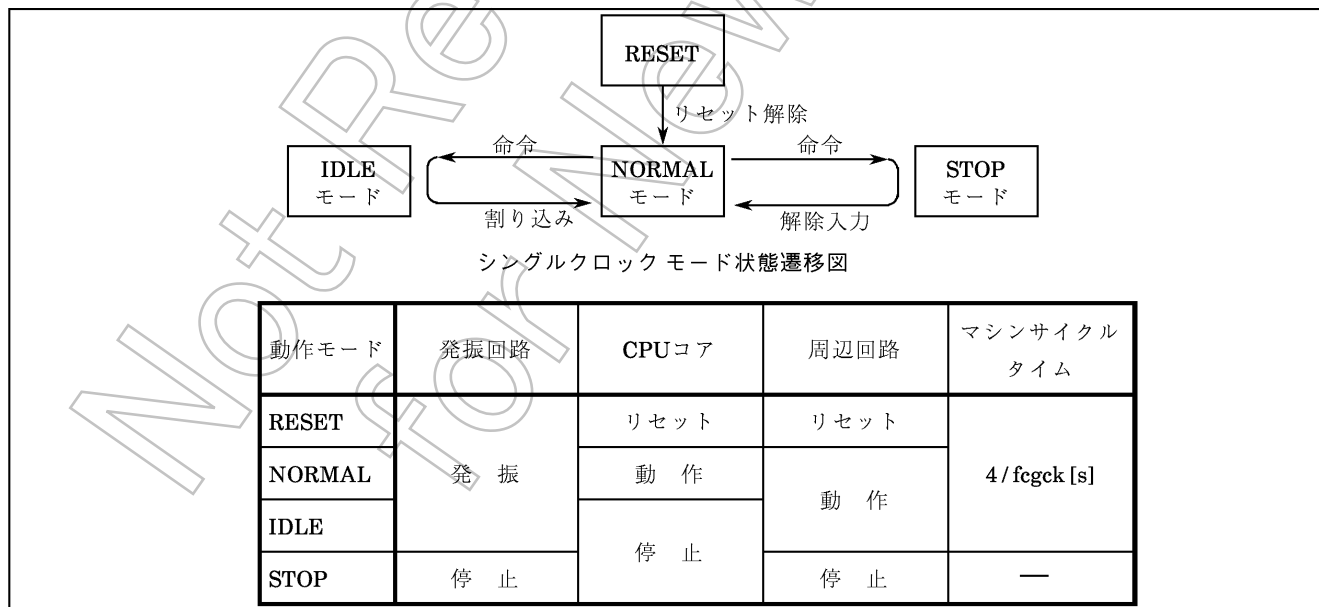


図1-16. 動作モード状態遷移図

システム制御レジスタ1

SYSCR1 (0038 _H)	7	6	5	4	3	2	1	0	(初期値 0000 00**)
	STOP	RELM	0	OUTEN	WUT				
	STOP	STOPモードの起動		0: CPUコア, 周辺ハードウェア 動作 1: CPUコア, 周辺ハードウェア 停止 (STOPモード起動)				R/W	
	RELM	STOPモードの解除方法の選択		0: STOP端子入力の立ち上がりエッジで解除 1: STOP端子入力の“H”レベルで解除					
	OUTEN	STOPモード時のポート出力状態の選択		0: ハイインピーダンス 1: 出力保持					
	WUT	STOPモード解除時のウォーミングアップ時間		00: $3 \times 2^{16} / fc$ 01: $2^{16} / fc$ 10: $3 \times 2^{14} / fc$ 11: $2^{14} / fc$					

注1) ビット5はかならず“0”に設定してください。
 注2) SYSCR1のビット1,0は、リードすると不定値が読み出されます。
 注3) fc ; クロック [Hz]
 * ; don't care
 注4) OUTEN = “0”の指定でSTOP動作に入ると、内部入力は“0”に固定されますので、立ち上がりエッジの割り込みがセットされる恐れがあります。

システム制御レジスタ2

SYSCR2 (0039 _H)	7	6	5	4	3	2	1	0	(初期値 1000 ****)
	XEN	0	0	IDLE					
	XEN	発振器の制御		0: 発振停止 1: 発振継続または発振開始				R/W	
	IDLE	IDLEモードの起動		0: CPU, WDT動作 1: CPU, WDT停止 (IDLEモード起動)					

注1) XENを“0”にクリアした場合リセットがかかります(RESET端子出力が“L”レベルとなります)。
 注2) ビット6,5はかならず“0”に設定してください。
 注3) WDT; ウォッチドッグタイマ, *; don't care
 注4) SYSCR2のビット3~0は、リードすると“1”が読み出されます。

図1-17. システム制御レジスタ1, 2

1.8.5 動作モードの制御

(1) STOPモード (STOP)

STOPモードは、システム制御レジスタ1とSTOP端子入力によって制御されます。STOP端子は、P76ポートならびにINT5(外部割り込み入力5)端子と兼用です。STOPモードは、STOP(SYSCR1のビット7)を“1”にセットすることにより起動され、STOPモード中、次の状態を保持しています。

- ① 発振を停止し、内部の動作をすべて停止します。
- ② データメモリ、レジスタ(DBRを除く)、プログラムステータスワード、ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。なお、ポート出力はOUTEN(SYSCR1のビット4)の設定により、出力保持/ハイインピーダンスの選択ができます。
- ③ タイミングジェネレータのデバイダを“0”にクリアします。
- ④ プログラムカウンタは、STOPモードを起動する命令(例えば、[SET (SYSCR1).7])の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM(SYSCR1のビット6)で選択します。

a. レベル解除モード (RELM="1" のとき)

STOP端子への“H”レベル入力によりSTOP動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

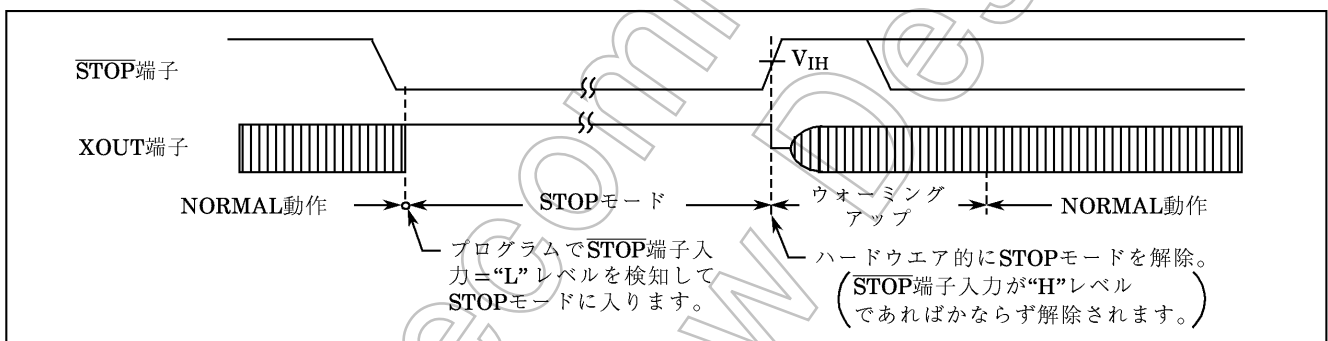
STOP端子入力が“H”レベルの状態ではSTOP動作の起動を指示する命令を実行しても、STOP動作に入らず、ただちに解除シーケンス(ウォーミングアップ)に移ります。従って、レベル解除モードでSTOP動作で起動する場合、STOP端子入力が“L”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

INT5割り込みによる方法 (INT5端子入力の立ち上がりエッジで割り込みを発生します)

例: INT5割り込みにより、STOPモードを起動

```

PINT5: TEST (P7).6 ; ノイズ除去のため P76ポート入力が
                    ; “H”レベル
                    ; ならSTOPモードを起動しない。
JRS F, SINT5 ; レベル解除モードにセットアップ
LD (SYSCR1), 01000000B ; STOPモードを起動
SET (SYSCR1).7 ; IL7, 5, 3 ← 0 (割り込みラッチのクリア)
LDW (IL), 1110011101010111B ; IL7, 5, 3 ← 0 (割り込みラッチのクリア)
SINT5: RETI
    
```



- 注1) ウォーミングアップ開始後、再びSTOP端子入力が“L”レベルになってもSTOPモードには戻りません。
- 注2) エッジ解除モードにセットアップ後、レベル解除モードに戻した場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM="0" のとき)

STOP端子入力の立ち上がりエッジでSTOP動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号(例えば、低消費電力の発振源からのクロック)をSTOP端子に入力します。エッジ解除モードの場合、STOP端子入力が“H”レベルにあってもSTOP動作に入ります。

例: エッジ解除モードのSTOP動作を起動

```

LD (SYSCR1), 00000000B ; OUTEN ← 0 (ハイインピーダンス指定)
DI ; IMF ← 0
SET (SYSCR1).STOP ; STOP ← 1 (STOPモード起動)
LDW (IL), 1110011101010111B ; IL7, 5, 3 ← 0 (割り込みラッチのクリア)
EI ; IMF ← 1
    
```

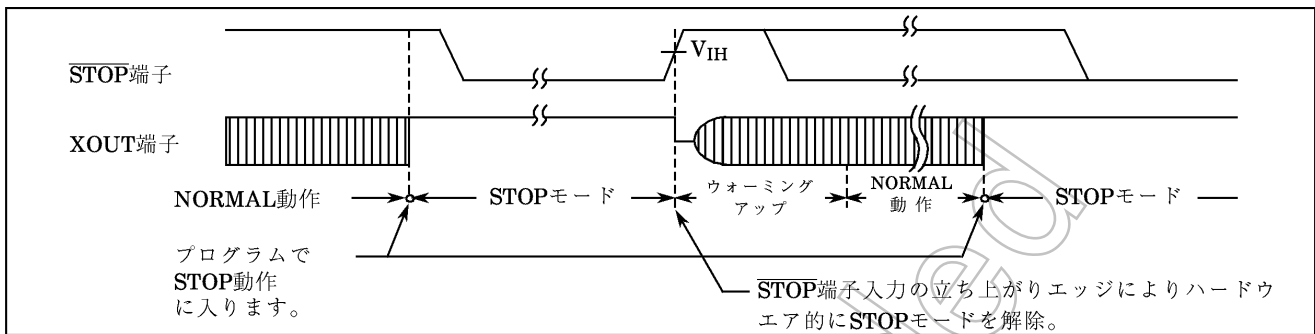


図1-19. エッジ解除モード

STOPモードの解除は、次のシーケンスで行われます。

- ① 発振が開始されます。
- ② 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてWUT (SYSCR1のビット3, 2)で4種類選択できます。
- ③ ウォーミングアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのデバイダは“0”にクリアされた状態から始まります。

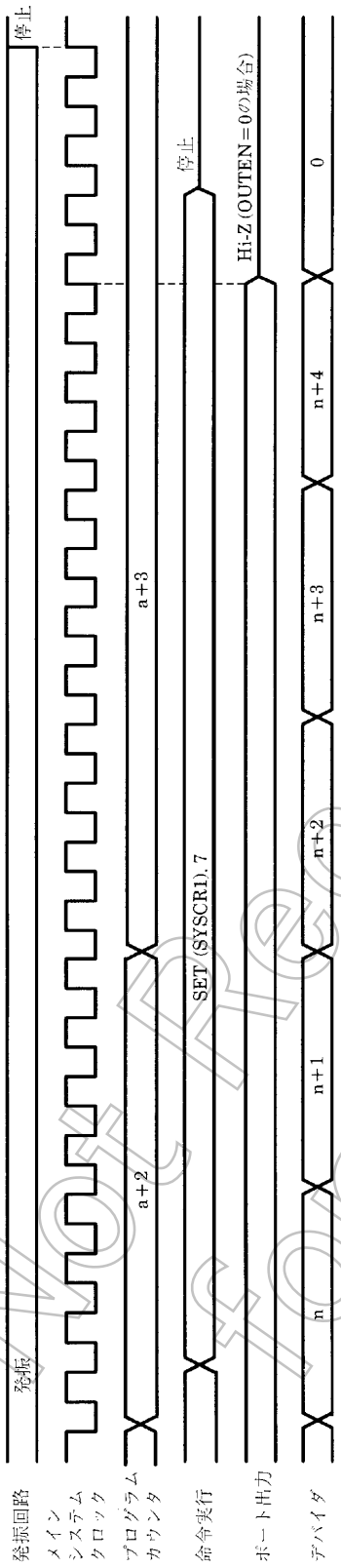
表1-2. ウォーミングアップ時間 (例)

WUT	ウォーミングアップ時間 [ms]	
	fc = 4.194304 MHz時	fc = 8 MHz時
00	46.87	24.57
01	15.62	8.19
10	11.73	6.15
11	3.91	2.05

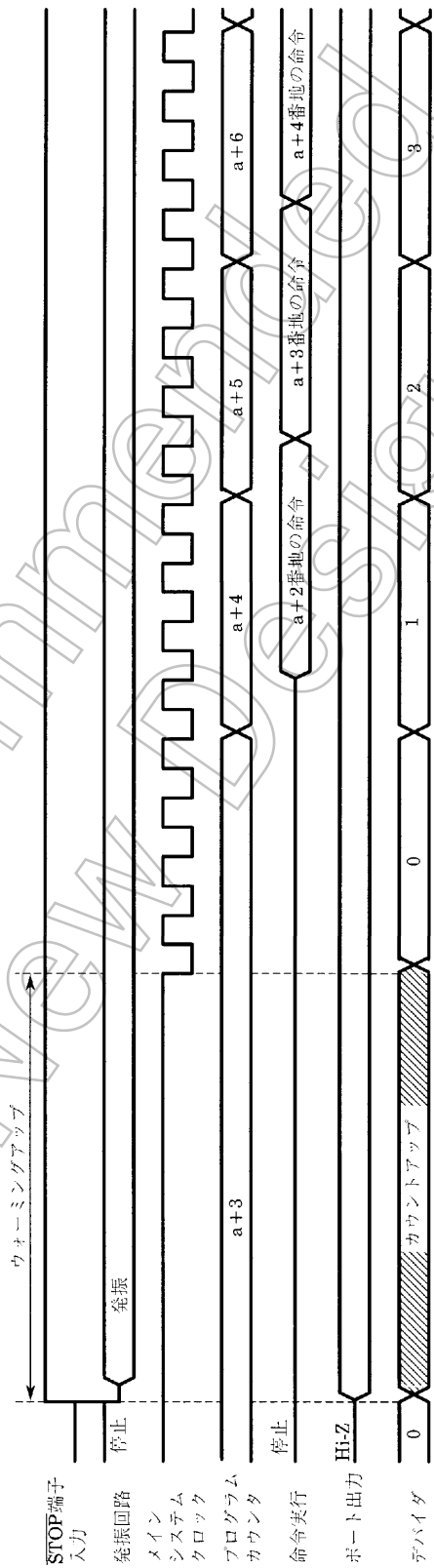
注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

なお、STOPモードは、RESET端子を“L”レベルにすることによっても解除され、ただちに通常のリセット動作を行います。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。
 STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET端子の入力電圧レベルが、RESET端子入力(ヒステリシス入力)の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。



(a) STOPモードの起動(例:a番地に置かれたSET (SYSCLR).7命令による起動)



(b) STOPモードの解除

図1-20. STOPモードの起動/解除

(2) IDLEモード (IDLE)

IDLEモードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLEモード中、次の状態を保持しています。

- ① CPUおよびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
- ② データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLEモードに入る直前の状態を保持します。
- ③ プログラムカウンタは、IDLEモードを起動する命令の2つ先の命令のアドレスを保持します。

例： IDLEモードの起動

SET (SYSCR2).4

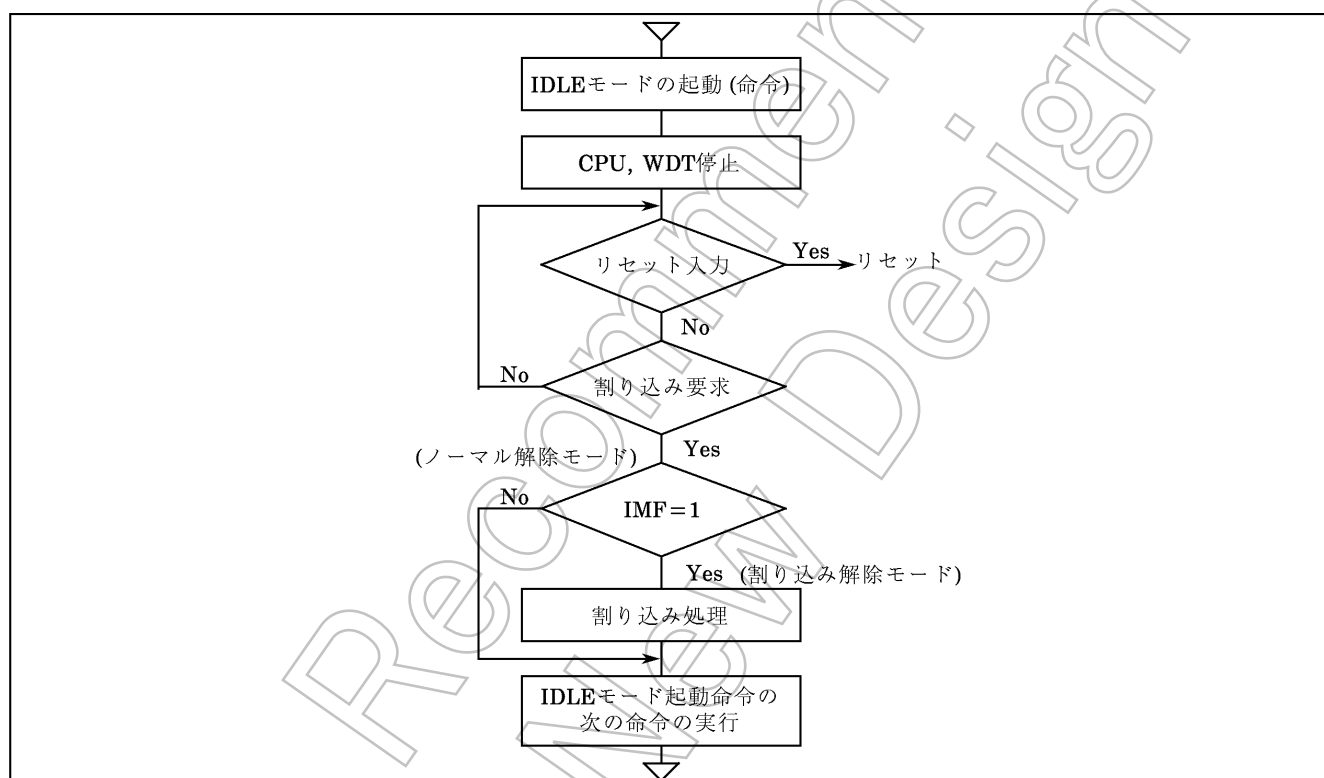


図1-21. IDLEモード

IDLEモードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。IDLEモード解除後、NORMALモードに戻ります。

a. ノーマル解除モード (IMF="0" のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 (INT0) の割り込み要求により、IDLEモードが解除され、IDLEモードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

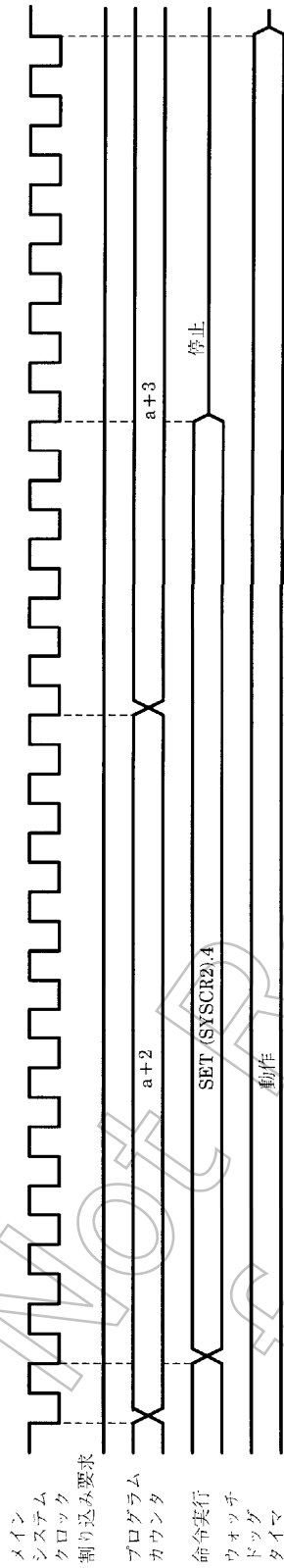
b. 割り込み解除モード (IMF="1" のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{\text{INT0}}$) の割り込み要求により IDLEモードが解除され、割り込み処理に入ります。割り込み処理後、IDLEモードを起動した命令の次の命令に戻ります。

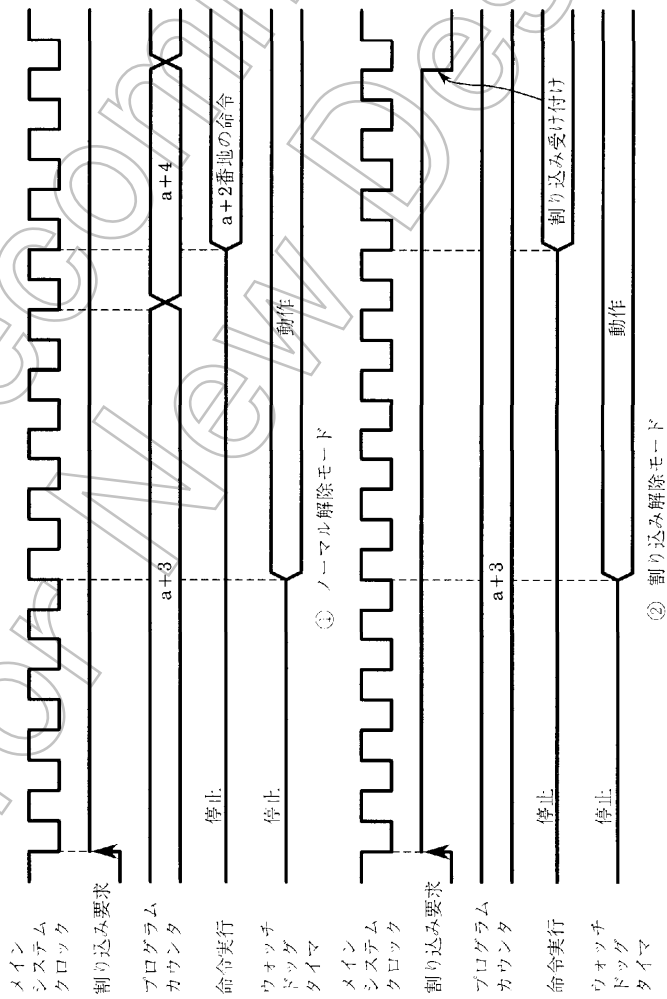
なお、IDLEモードは、 $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除され、ただちに通常のリセット動作を行います。

注) IDLEモード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLEモードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended
for New Design



(a) IDLEモードの起動(例: a番地に置かれたSET命令による起動)



(b) IDLEモードの解除

図1-22. IDLEモードの起動/解除

1.9 割り込み制御回路

87C408/808/408L/808Lには、外部4種、内部6種の合計10種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。

図1-23.に割り込み制御回路を示します。

表1-3. 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクابل	—	FFFE _H	高位 0
内部	INTSW (ソフトウェア割り込み)	擬似ノンマスクابل	—	FFFCH	1
内部	INTWDT (ウォッチドッグタイマ割り込み)		IL ₂	FFFA _H	2
外部	INT0 (外部割り込み0)	IMF = 1, INTOEN = 1	IL ₃	FFF8 _H	3
内部	INTTC1 (16-bitタイマ/カウンタ1割り込み)	IMF · EF ₄ = 1	IL ₄	FFF6 _H	4
外部	INT1 (外部割り込み1)	IMF · EF ₅ = 1	IL ₅	FFF4 _H	5
内部	INTTBT (タイムベースタイマ割り込み)	IMF · EF ₆ = 1	IL ₆	FFF2 _H	6
外部	INT2 (外部割り込み2)	IMF · EF ₇ = 1	IL ₇	FFF0 _H	7
RESERVED					
内部	INTSIO (シリアルインタフェース割り込み)	IMF · EF ₉ = 1	IL ₉	FFEC _H	8
RESERVED					
RESERVED					
RESERVED					
内部	INTTC2 (16-bitタイマ/カウンタ2割り込み)	IMF · EF ₁₄ = 1	IL ₁₄	FFE2 _H	9
外部	INT5 (外部割り込み5)	IMF · EF ₁₅ = 1	IL ₁₅	FFE0 _H	低位 10

(1) 割り込みラッチ (IL₁₅~IL₂)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003C, 003D_H番地に割り付けられており、命令で個別にクリアすることができます(ただし、ビット操作命令や演算命令などのリード モディファイ ライト 命令は使用できません)、プログラムで割り込み要求の取消し/初期化ができます。ただし、IL₂は命令でクリアしないでください。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

例1: 割り込みラッチのクリア

LDW (IL), 1111110100111111B ; IL₉~IL₆←0

例2: 割り込みラッチの読み出し

LD WA, (IL) ; W←IL_H, A←IL_L

例3: 割り込みラッチのテスト

TEST (IL).7 ; IL₇=1ならジャンプ

JR F, SSET

.....

SSET:

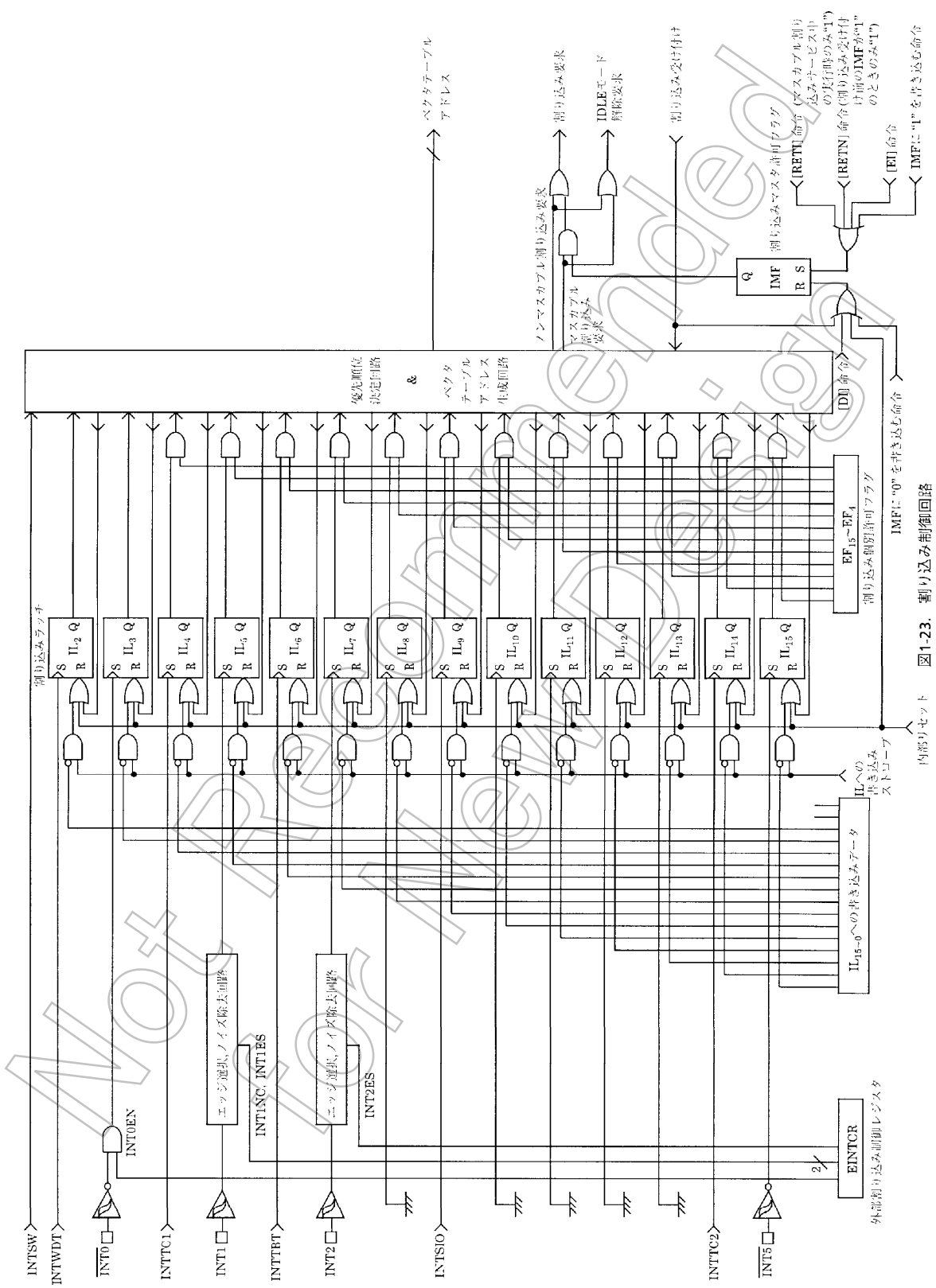


図1-23. 割り込み制御回路

(2) 割り込み許可レジスタ (EIR)

擬似ノンマスクابل割り込み(ソフトウエア割り込みとウォッチドッグタイマ割り込み)を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスクابل割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF)と割り込み個別許可フラグ(EF)で構成されています。割り込み許可レジスタは、SFR内の003A_H, 003B_H番地に割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む)できます。

① 割り込みマスタ許可フラグ (IMF)

すべてのマスクابل割り込みに対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスクابل割り込みリターン命令[RETI]により“1”にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI]命令の実行直後から割り込み処理に入ります。

擬似ノンマスクابل割り込みの場合は、ノンマスクابل割り込みリターン命令[RETN]によりリターンします。この場合、割り込み受け付けの許可状態(IMF=1)で擬似ノンマスクابل割り込み処理に入ったときのみ、割り込みマスタ許可フラグは“1”にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は“0”のままです。

割り込みマスタ許可フラグは、EIR_L(SFR内の003A_H番地)のビット0に割り付けられており、命令で読み出し/書き込みができます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

② 割り込み個別許可フラグ (EF₁₅~EF₄)

外部割り込み0を除く各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

例1: 割り込みの個別許可とIMFのセット

```
LDW (EIR), 1100000010100001B; EF15, EF14, EF7, EF5, IMF←1
```

例2: 割り込みの個別許可フラグのセット

```
SET (EIRH).1 ; EF9←1
```



図1-24. 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

1.9.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8マシンサイクルを要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスクابل割り込みの場合)/[RETN] (擬似ノンマスクابل割り込みの場合)を実行して終了します。図 1-25.に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

- ① 割り込みマスク許可フラグ(IMF)を“0”にクリアし、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。ノンマスクابل割り込み受け付けの場合は、そのあとのノンマスクابل割り込みの受け付けも一時的に禁止します。
- ② 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
- ③ プログラムカウンタ(PC)およびプログラムステータスワード(PSW)の内容をスタックに退避します(PSW, PC_H, PC_Lの順にプッシュダウンされます)。スタックポインタ(SP)は3回デクリメントされます。
- ④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス(割り込みベクタ)を読み出し、プログラムカウンタにセットします。
- ⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

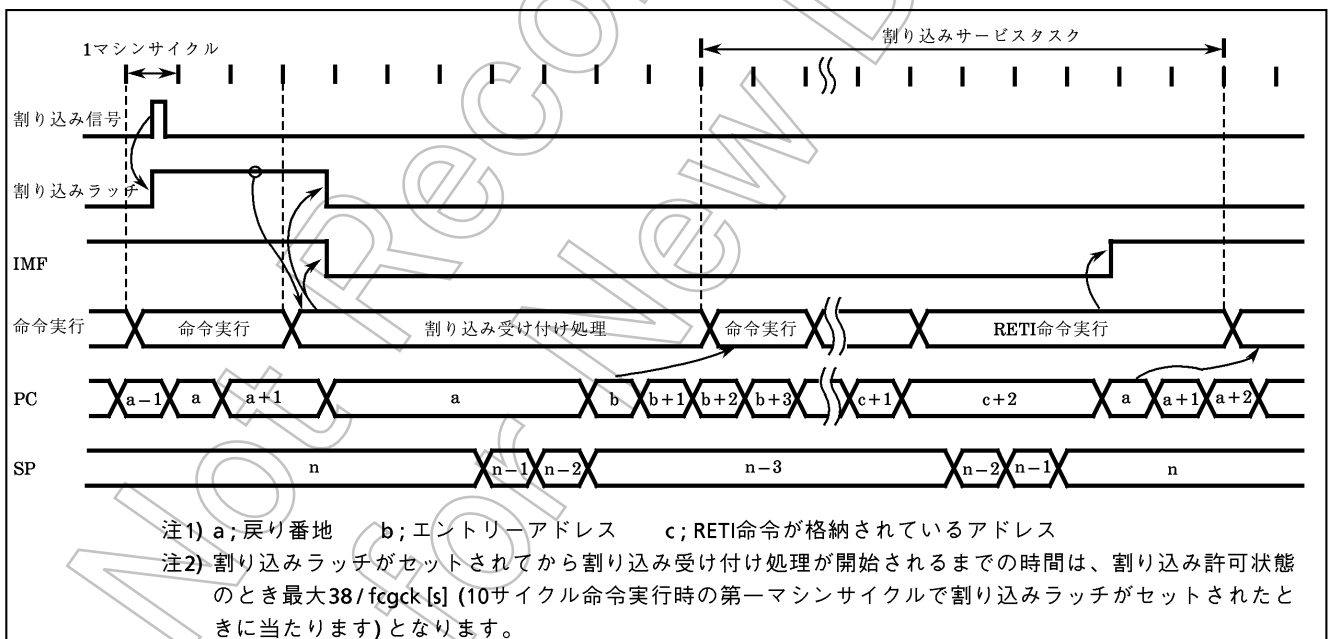
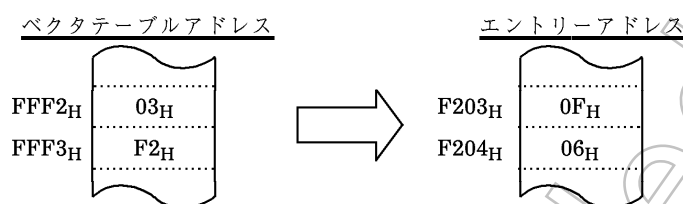


図1-25. 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例：INTTBTの受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスク可能割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み0は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INT0EN) により外部割り込み機能を禁止する (INT0EN=0の期間、割り込みラッチIL3はセットされませんので、INT0端子入力の立ち上がりエッジは検出できません)か、または、次のようにプログラム上でソフトウェア的に割り込み処理を禁止することもできます。

例1：外部割り込み制御レジスタによる外部割り込み0の禁止

```
CLR      (EINTCR).INT0EN ; INT0EN←0
```

例2：ソフトウェアによる外部割り込み0の割り込み処理禁止(割り込み処理禁止スイッチを00F0H番地のビット0とします)。

```
PINT0:  TEST (00F0H).0 ; (00F0H)0=1なら割り込み処理行わずにリターン
        JRS  T, SINT0
```

```
        RETI
SINT0:  割り込み処理
        RETI
```

```
VINT0:  DW   PINT0
```

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の3つの方法があります。

① レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令 [RETI]/[RETN] の実行で自動的に復帰します。従って、RBSをプログラムで退避する必要はありません。

例： レジスタバンク切り替え

```

PINTxx : LD      RBS, n      ; バンク n に切り替え (1 μs @ 8 MHz、ギア比1/1)
        割り込み処理
        RETI                ; バンクの復帰とリターン
    
```

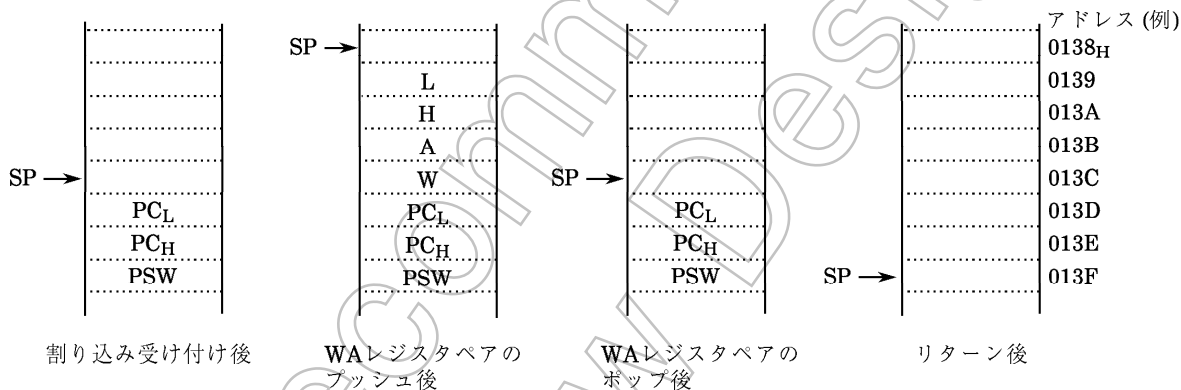
② プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例： プッシュ/ポップによるレジスタの退避/復帰

```

PINTxx : PUSH    WA          ; WAレジスタペアをスタックに退避
        PUSH    HL          ; HLレジスタペアをスタックに退避
        割り込み処理
        POP     HL          ; HLレジスタペアをスタックから復帰
        POP     WA          ; WAレジスタペアをスタックから復帰
        RETI                ; リターン
    
```



③ 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例： データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx : LD      (GSAVA), A   ; Aレジスタの退避
        割り込み処理
        LD      A, (GSAVA)   ; Aレジスタの復帰
        RETI                ; リターン
    
```

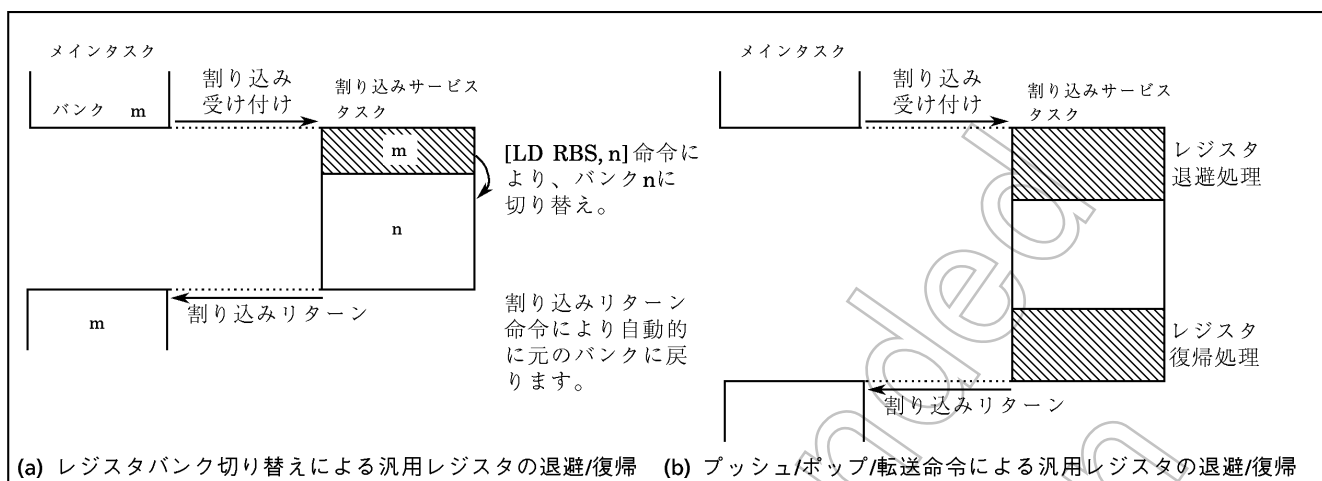


図1-26. 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
① プログラムカウンタ およびプログラムステータスワードの内容をスタックからそれぞれリストアします。	① プログラムカウンタ およびプログラムステータスワードの内容をスタックからそれぞれリストアします。
② スタックポインタを3回インクリメントします。	② スタックポインタを3回インクリメントします。
③ 割り込みマスタ許可フラグを“1”にセットします。	③ 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.9.2 ソフトウェア割り込み (INTSW)

SWI命令を実行することにより、ソフトウェア割り込みが発生しただちに割り込み処理に入ります(最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI命令を実行してもソフトウェア割り込みは発生せず、NOP命令と同一の動作を行います。

注) 開発ツールでは、SWI命令をソフトウェアブレークに使用できるように、ノンマスカブル割り込み処理中でもかならずソフトウェア割り込みが発生します。

SWI命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

① アドレスエラー検出

CPUが何らかの原因(ノイズなど)により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_Hが読み込まれます。コードFF_Hは、SWI命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべてFF_Hで埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、特定のRAM領域(0040~013F_H番地)およびSFR領域(0000~003F_H番地)に対する命令フェッチのときは、アドレストラップリセットがかかります。

注) 87C408/808/408L/808Lおよび87P808/808LのBF80~BFFF_H番地には、出荷テスト用ROMが内蔵されていますので、この領域からの命令フェッチの場合はFF_Hとなりません。

② デバッグ

SWI命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

1.9.3 外部割り込み

87C408/808/408L/808Lには、4本の外部割り込み入力があり、うち2本はデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

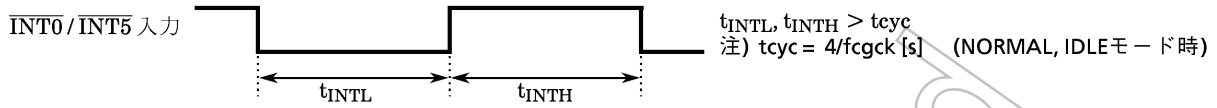
また、INT1、INT2端子は、エッジ選択可能です。なお、INT0/P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御およびINT0/P10端子の機能選択は、外部割り込み制御レジスタで行います。

表1.4 外部割り込み

要因	端子名	兼用端子	許可条件	エッジ	デジタルノイズ除去回路
INT0	INT0	P10	IMF=1, INT0EN=1	立ち下がりエッジ	なし(ヒステリシス入力)
INT1	INT1	P11	IMF・EF ₅ =1	立ち下がりエッジ または	15/fcまたは63/fc[s]未満のパルスはノイズとして除去されます。 48/fcまたは192/fc[s]以上は確実に信号とみなされます。
INT2	INT2	P12/TC1	IMF・EF ₇ =1	立ち上がりエッジ	7/fc[s]未満のパルスはノイズとして除去されます。24/fc[s]以上は確実に信号とみなされます。
INT5	INT5	P76/STOP	IMF・EF ₁₅ =1	立ち下がりエッジ	なし(ヒステリシス入力)

注1) ノイズ除去回路は、タイマ/カウンタ入力 (TC1端子)のエッジ検出に対しても働きます。
 注2) $\overline{INT0}$ および $\overline{INT5}$ 端子への入力パルス幅は、“H”, “L”レベルとも1マシンサイクル以上必要です。



注3) NORMALまたはIDLEモード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

- ① INT1 端子 49 / fc [s] (INT1NC = 1のとき), 193 / fc [s] (INT1NC = 0のとき)
- ② INT2 端子 25 / fc [s]

注4) $INT0EN = 0$ のとき、 $\overline{INT0}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL_3 はセットされません。

例 : STOPモードの起動

```
LD (SYSCR1), 01000000B ; OUTEN←0 (ハイインピーダンス指定)
DI ; IMF←0
SET (SYSCR1), STOP ; STOP←1 (STOPモード起動)
LDW (IL), 111111101010111B ; IL7, 5, 3←0 (割り込みラッチのクリア)
EI ; IMF←1
```

EINTCR (0037H)	7	6	5	4	3	2	1	0	(初期値 00*0 000*)
	INT1 NC	INT0 EN				INT2 ES	INT1 ES		
INT1NC	INT1のノイズ除去時間の 選択				0 : 63 / fc [s] 未満のパルスはノイズとして除去 1 : 15 / fc				R/W
INT0EN	P10/ $\overline{INT0}$ の機能選択				0 : P10 入出力ポート 1 : $\overline{INT0}$ 端子 (P10ポートは入力モードにしてください)				
INT2 ES INT1 ES	INT2, INT1のエッジ選択				0 : 立ち上がりエッジで割り込み発生 1 : 立ち下がりエッジ				

注1) fc; クロック [Hz] *; don't care

図1-27. 外部割り込み制御レジスタ

1.10 ウォッチドッグ タイマ (WDT)

ウォッチドッグ タイマは、ノイズなどの原因による誤動作(暴走)やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグ タイマによる暴走検出信号は、リセット出力または擬似ノンマスクابل割り込み要求のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、リセット出力に初期化されます。

なお、ウォッチドッグ タイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

1.10.1 ウォッチドッグ タイマの構成

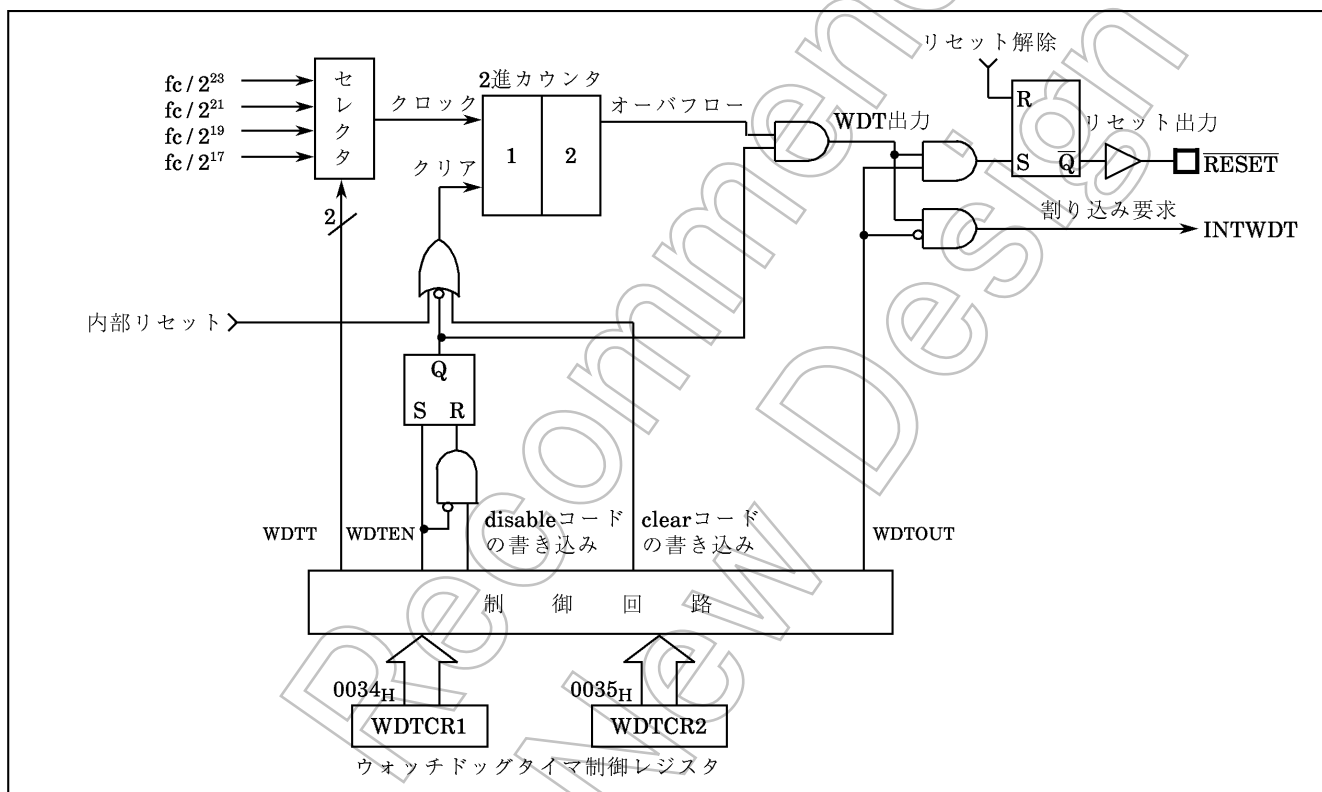


図1-28. ウォッチドッグ タイマの構成

1.10.2 ウォッチドッグ タイマの制御

ウォッチドッグ タイマの制御レジスタを図1-29.に示します。リセット解除後、ウォッチドッグ タイマはイネーブルになります。

ウォッチドッグ タイマ制御レジスタ1

WDTCR1 (0034 _H)	7	6	5	4	3	2	1	0	(初期値 **** 1001)
					WDT EN	WQTT		WDT OUT	
WDTCR1	WDTCR1		ウォッチドッグタイマの許可/禁止		0: 禁止 (WDTCR2にディセーブルコードを書き込む必要あり)		1: 許可		write only
WDTCR1	WDTCR1		ウォッチドッグタイマ検出時間の設定		00: 2 ²⁵ /fc [s]		01: 2 ²³ /fc		
WDTCR1	WDTCR1		ウォッチドッグタイマ出力の選択		10: 2 ²¹ /fc		11: 2 ¹⁹ /fc		
WDTCR1	WDTCR1		ウォッチドッグタイマ出力の選択		0: 割り込み要求		1: リセット出力		

注1) WDTOUTを“0”にクリア後は、プログラムで“1”に再セットできません。
 注2) fc; 高周波クロック [Hz] *; don't care
 注3) WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。
 また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。

ウォッチドッグ タイマ制御レジスタ2

WDTCR2 (0035 _H)	7	6	5	4	3	2	1	0	(初期値 **** *)
WDTCR2	WDTCR2		ウォッチドッグタイマの制御コード書き込み		4E _H : ウォッチドッグタイマの2進カウンタのクリア (クリアコード)		B1 _H : ウォッチドッグタイマのディセーブル (ディセーブルコード)		write only
WDTCR2	WDTCR2		ウォッチドッグタイマの制御コード書き込み		その他: 無効				

注1) ディセーブルコードは、WDTCR2=0のとき以外は書き込み無効です。
 注2) *; don't care
 注3) WDTCR2は書き込み専用レジスタですので、リードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など)による操作はできません。
 注4) 2進カウンタのクリアは、ソースクロックに対して非同期で行われます。従って2進カウンタのクリアは検出時間の3/4以内に行ってください。

図1-29. ウォッチドッグタイマ制御レジスタ

(1) ウォッチドッグ タイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

- ① 検出時間の設定, 出力の選択および2進カウンタのクリア
- ② 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバフローでウォッチドッグ タイマ出力がアクティブになります。このとき **WDTOUT** = “1” なら **RESET** 端子からリセット出力するとともに内蔵ハードウェアをリセットします。また、**WDTOUT** = “0” なら、ウォッチドッグ タイマ割り込み (**INTWDT**) を発生します。

なお、**STOP**モード(ウォーミングアップ中を含む)または**IDLE**モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、**STOP**/**IDLE**モード解除後、自動的に再起動(カウントアップ継続)します。

例：ウォッチドッグタイマ検出時間を $2^{21}/f_c$ [s] に設定し、暴走検出リセットを行う。

```

LD (WDTCR2), 4EH ;2進カウンタのクリア
LD (WDTCR1), 00001101B ;WDTT←10, WDTOUT←1
LD (WDTCR2), 4EH ;2進カウンタのクリア
      ⋮ (WDTT変更直前直後はかならずクリアします)
      ⋮
LD (WDTCR2), 4EH ;2進カウンタのクリア
      ⋮
LD (WDTCR2), 4EH ;2進カウンタのクリア
      ⋮
  
```

WDT検出時間 3/4 以内

WDT検出時間 3/4 以内

(2) ウォッチドッグ タイマのイネーブル

WDTEN (**WDTCR1**のビット3)を“1”にセットするとイネーブルになります。リセット時、**WDTEN**は“1”に初期化されますので、リセット解除後ウォッチドッグタイマはただちに動作します。

(3) ウォッチドッグ タイマのディセーブル

WDTEN (**WDTCR1**のビット3)を“0”にクリア後、**WDTCR2**にディセーブルコード (**B1H**) を書き込むことによりディセーブルになります。なお、逆に**WDTCR2**にディセーブルコードを書き込んだ後、**WDTEN**を“0”にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

例：ウォッチドッグタイマのディセーブル

```
LDW (WDTCR1), 0B101H ; WDTEN←0, WDTCR2←disable code
```

表1-5. ウォッチドッグ タイマ検出時間

検出時間 [s]	
WDTT	fc = 8 MHz時
00	4.194
01	1.048
10	262.1 m
11	65.5 m

1.10.3 ウォッチドッグ タイマ割り込み (INTWDT)

擬似ノンマスクブル割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例 :ウォッチドッグタイマ割り込みの設定例

```
LD SP, 013FH ; SPの設定
LD (WDTCR1), 00001000B ; WDTOUT←0
```

1.10.4 ウォッチドッグタイマリセット

RESET端子より“L”レベルを出力するとともに内蔵ハードウェアをリセットします。リセット時間は、 $12/fc_{gck} \sim 16/fc_{gck}$ [s] ($1.5 \sim 2.0 \mu s @ 8MHz / \text{ギア比} 1/1, 3.0 \sim 4 \mu s @ 4MHz / \text{ギア比} 1/1$) です。RESET端子は、プルアップ抵抗付きのシンクオープンドレイン入出力です。

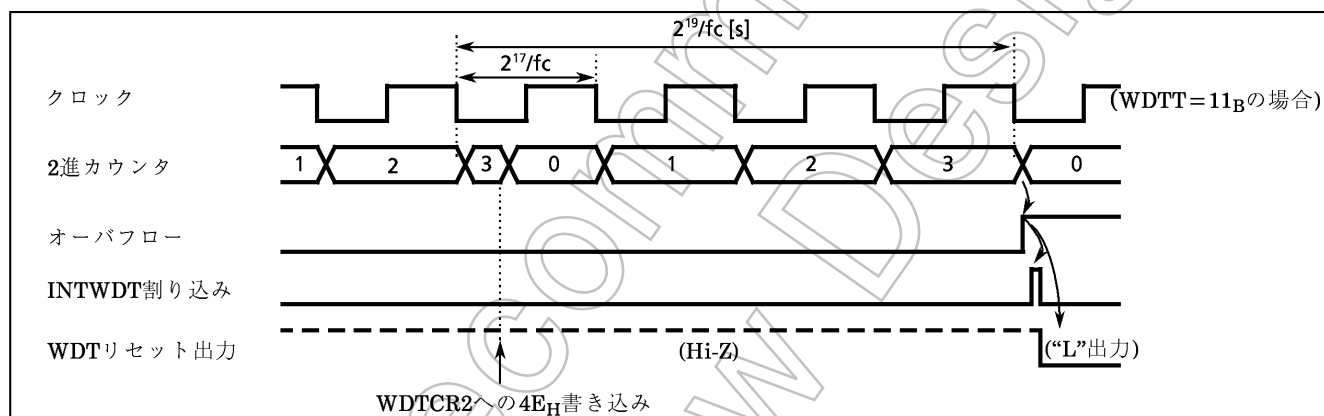


図1-30. ウォッチドッグタイマ割り込み/リセット

1.11 リセット回路

87C408/808/408L/808Lには外部リセット入力, アドレストラップリセット出力, ウォッチドッグタイマリセット出力, システムクロックリセット出力の4種類のリセット発生手段があります。

表1-6.にリセット動作による内蔵ハードウェアの初期化を示します。

電源投入時、内部要因リセット出力回路(ウォッチドッグタイマリセット, アドレストラップリセットおよびシステムクロックリセット)は初期化されません。従って、電源投入時にRESET端子が最大 $16/fc$ [s] ($2 \mu s @ 8 MHz, 4 \mu s @ 4MHz$) の期間“L”レベル出力することがあります。

表1-6. リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFF _H) · (FFFE _H)	タイミングジェネレータのプリスケアラおよびデバイダ	0
レジスタバンクセクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		

1.11.1 外部リセット入力

RESET端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3マシサイクル ($12/f_{cgck}$ [s]) 以上の間 **RESET**端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET端子入力が“H”レベルに立ち上がるとリセット動作は解除され、**FFFE**, **FFFF_H**番地に格納されたベクタアドレスからプログラムの実行を開始します。

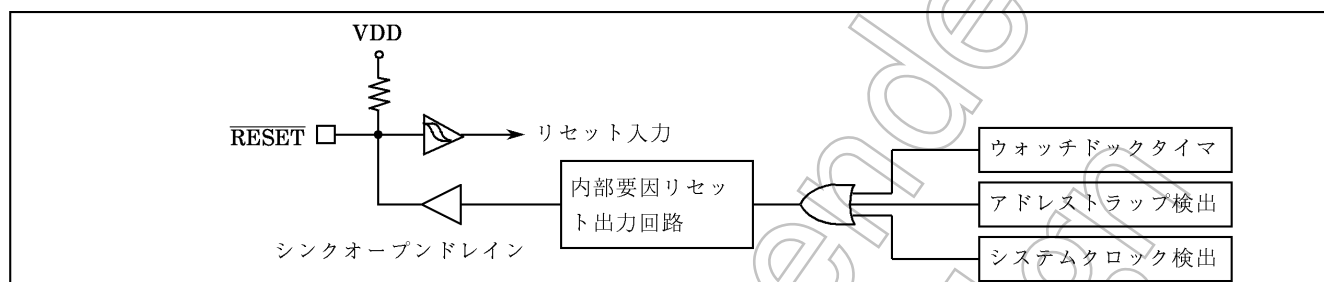


図1-31. リセット回路

1.11.2 アドレストラップリセット

CPUがノイズなどの原因により暴走して内蔵RAMまたはSFR領域から命令をフェッチしようとする時内部リセットが発生し、**RESET**端子よりリセット信号(“L”レベル)が出力されます。リセット時間は、 $12/f_{cgck} \sim 16/f_{cgck}$ [s] ($1.5 \sim 2.0 \mu\text{s}$ @ 8MHz / ギア比1/1, $3.0 \sim 4.0 \mu\text{s}$ @ 4MHz / ギア比1/1)です。

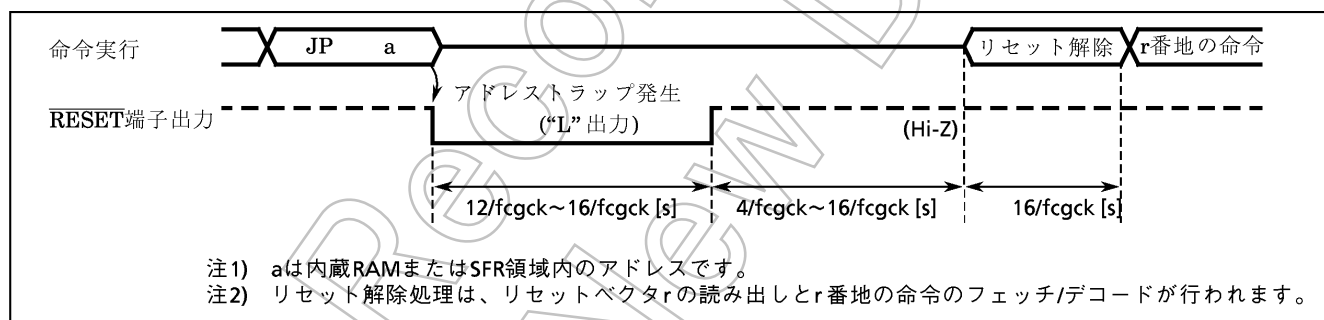


図1-32. アドレストラップリセット

1.11.3 ウォッチドッグタイマリセット

『1.6ウォッチドッグタイマ』をご参照ください。

1.11.4 システムクロックリセット

XENを“0”にクリアした場合、システムクロックが停止し、CPUがデッドロック状態に陥ります。これを防ぐため、**XEN=0**, **XEN=SYSCK=0**を検出すると自動的にリセット信号を発生し発振を継続させます。リセット信号は、**RESET**端子より出力されます。リセット時間は、 $12/f_{cgck} \sim 16/f_{cgck}$ [s] ($1.5 \sim 2.0 \mu\text{s}$ @ 8MHz / ギア比1/1, $3.0 \sim 4.0 \mu\text{s}$ @ 4MHz / ギア比1/1)です。

2. 周辺ハードウェア機能

2.1 スペシャルファンクションレジスタ (SFR) とデータバッファレジスタ (DBR)

TLCS-870シリーズは、メモリマップトI/O方式で、周辺ハードウェアの制御/データ転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。

SFRは0000~003FH番地に、DBRは0FF0~0FFFH番地にマッピングされています。図2-1.に87C408/808/408L/808LのSFR, DBRの一覧を示します。

アドレス	リード	ライト	アドレス	リード	ライト
0000H	—	reserved	0020H	SIOSR (SIOステータス)	SIOCR1 (SIO1制御)
01	—	P1ポート	21	—	SIOCR2
02	—	reserved	22	—	reserved
03	—	〃	23	—	〃
04	—	〃	24	—	〃
05	—	〃	25	—	〃
06	—	P6ポート	26	—	〃
07	—	P7ポート	27	—	P7CR2 (P7ポート入出力制御2)
08	—	reserved	28	—	reserved
09	—	〃	29	—	〃
0A	—	—	2A	—	〃
0B	—	P1CR (P1ポート入出力制御)	2B	—	〃
0C	—	P6CR (P6ポート入出力制御)	2C	—	〃
0D	—	P7CR1 (P7ポート入出力制御1)	2D	—	〃
0E	—	ADCCR (A/Dコンバータ制御)	2E	—	〃
0F	ADCCR (A/D変換値レジスタ)	—	2F	—	STOPCR (キーウェイクアップ制御)
10	—	TREG1A _L (タイマレジスタ1A)	30	—	CGCR (クロックギア制御)
11	—	TREG1A _H	31	—	reserved
12	—	TREG1B _L (タイマレジスタ1B)	32	—	〃
13	—	TREG1B _H	33	—	〃
14	—	TC1CR (タイマカウンタ1制御)	34	—	WDTCR1 (ウォッチドッグ タイマ制御)
15	—	TC2CR (タイマカウンタ2制御)	35	—	WDTCR2
16	—	TREG2 _L (タイマレジスタ2)	36	—	TBTCR (TBT/TG/DVO制御)
17	—	TREG2 _H	37	—	EINTCR (外部割り込み制御)
18	—	reserved	38	—	SYSCR1 (システム制御)
19	—	〃	39	—	SYSCR2
1A	—	〃	3A	—	EIR _L (割り込み許可レジスタ)
1B	—	〃	3B	—	EIR _H
1C	—	〃	3C	—	IL _L (割り込みラッチ)
1D	—	〃	3D	—	IL _H
1E	—	〃	3E	—	reserved
1F	—	〃	3F	PSW	RBS (レジスタバンクセクタ)

(a) スペシャルファンクションレジスタ

アドレス	リード	ライト
0F80H	—	reserved
〃	—	〃
0FEF	—	〃
0FF0	—	〃
F1	—	〃
F2	—	〃
F3	—	〃
F4	—	〃
F5	—	〃
F6	—	〃
F7	—	〃
0FF8	—	reserved
〃	—	〃
0FFF	—	〃

(b) データバッファレジスタ

- 注1) reservedの番地はプログラムでアクセスしないでください。
- 注2) —; アクセスできません。
- 注3) 003FH番地をシンボルで定義する場合、GPSW/GRBSとしてください。
- 注4) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。
- 注5) PSW; プログラムステータスワード

図2-1. SFR & DBR

2.2 入出力ポート

87C408/808/408L/808Lは、3ポート22端子の入出力ポートを内蔵しています。

- ① P1ポート； 8ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用)
- ② P6ポート； 8ビット入出力ポート (アナログ入力, ストップ解除入力と兼用)
- ③ P7ポート； 6ビット入出力ポート (シリアルインタフェース入出力, 外部割り込み入力, タイマカウンタ入出力, アナログリファレンス電源と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2.に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを書き出すタイミングは、命令実行におけるライトサイクルのS2ステートです。

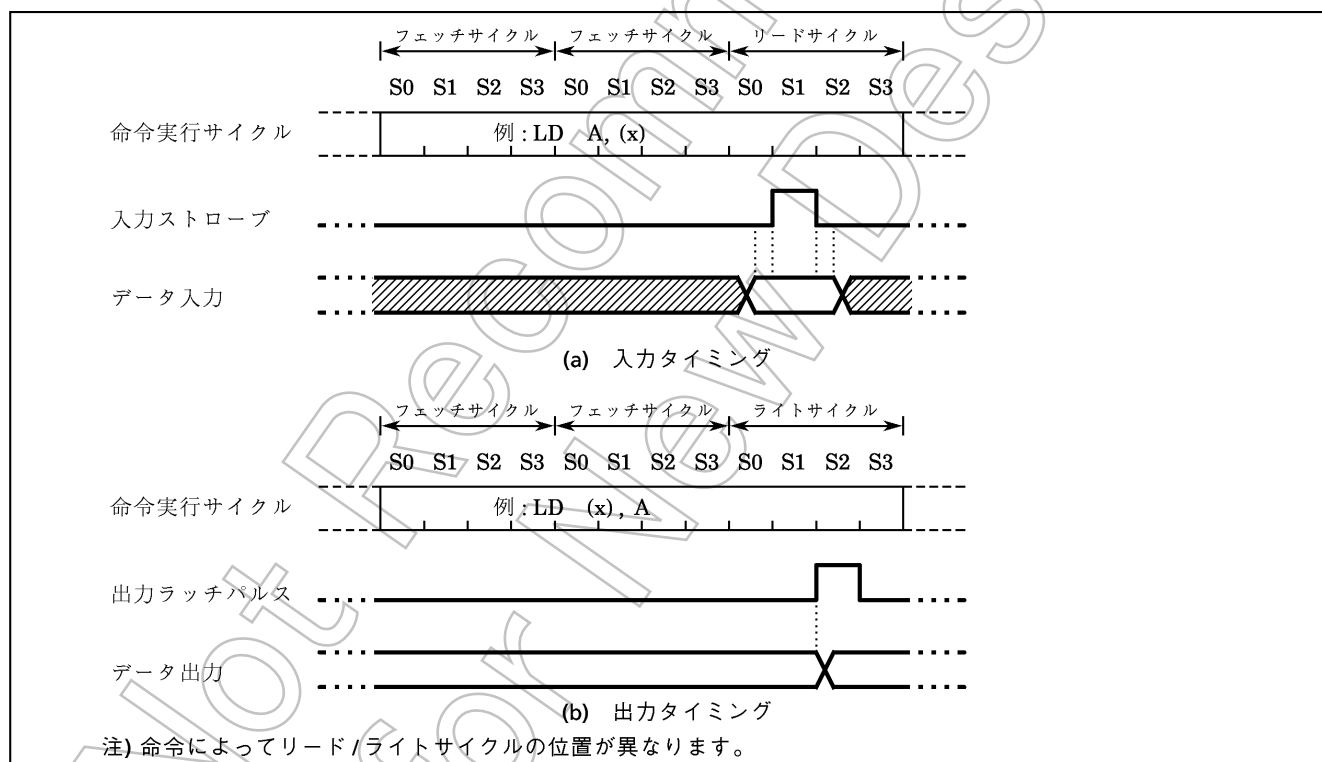


図2-2. 入出力タイミング (例)

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

(1) 出力ラッチの内容を読み込む命令

- ① XCH r, (src) ⑤ LD (pp).b,CF
- ② SET/CLR/CPL (src).b ⑥ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), n
- ③ SET/CLR/CPL (pp).g ⑦ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (src)側
- ④ LD (src).b, CF

(2) 端子入力値を読み込む命令

上記以外の命令およびADD / ADDC / SUB / SUBB / AND / OR / XOR (src), (HL) 命令の (HL) 側

2.2.1 P1 (P17~P10) ポート

P1ポートは、1ビット単位で入出力の指定ができる8ビット入出力ポートです。入出力の指定は、P1ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CRは“0”に初期化され、P1ポートは入力モードとなります。また、P1ポート出力ラッチは“0”に初期化されます。

P1ポートは、外部割り込み入力、タイマカウンタ入出力、デバイダ出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを“1”にセットし、出力モードに設定します。なお、P11, P12端子は、外部割り込み入力、タイマカウンタ入力または入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10端子は、外部割り込み制御レジスタ (INT0EN) により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10端子は入力ポートとなります。

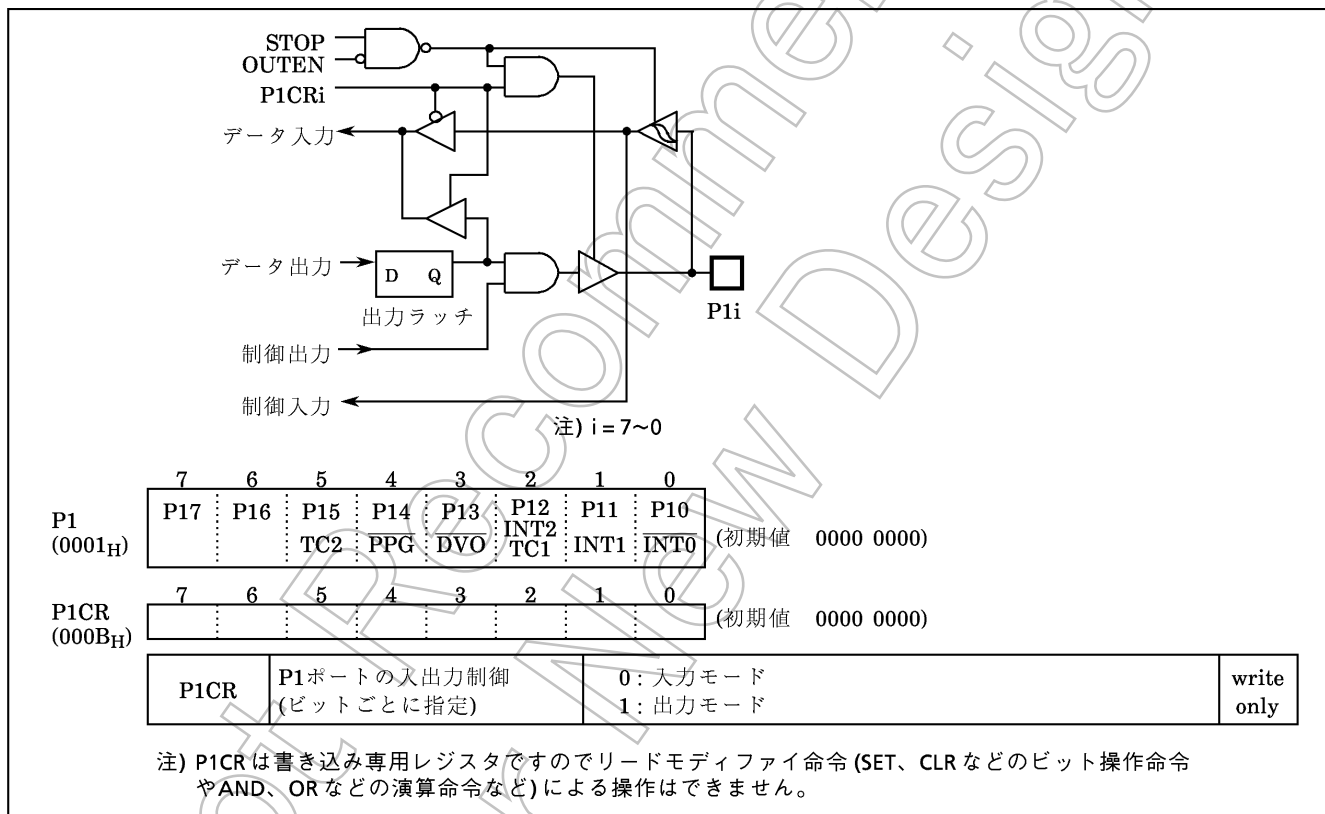


図2-3. P1ポートとP1ポート入出力制御レジスタ

例: P17, P16, P14を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17ピン, P14ピンは“1”に、P16ピンは“0”を出力します。

```
LD (EINTCR), 01000000B ; INT0EN←1
LD (P1), 10111111B ; P17←1, P14←1, P16←0
LD (P1CR), 11010000B
```

注) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

2.2.2 P6 (P67~P60) ポート

P6ポートは、1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートで、P60~P65はアナログ入力と、P62~P65はキーウェイクアップ入力と兼用です。入出力の指定は、P6ポート入出力制御レジスタ (P6CR) と AINDS (ADCCRのビット4) によって行います。リセット時、P6CRは“0”にセットされ、AINDSは“1”にセットされますので、P6ポートは入力モードとなります。また、P6ポートの出力ラッチはリセット時に“0”に初期化されます。なお、P6CRは書き込み専用レジスタです。アナログ入力として使用しないP6ポートは、入出力ポートとして使用できますが、A/D変換中は、精度を保つ意味で出力命令は行わないようにしてください。A/Dコンバータを使用している時P6ポートに対して、入力命令を実行するとアナログ入力を選択している端子は“0”が読み込まれ、アナログ入力を選択していない端子は、端子の入力レベルにより、“1”または、“0”が読み込まれます。キーウェイクアップ入力として使用される場合は「2.9のキーウェイクアップ」の項をご参照ください。

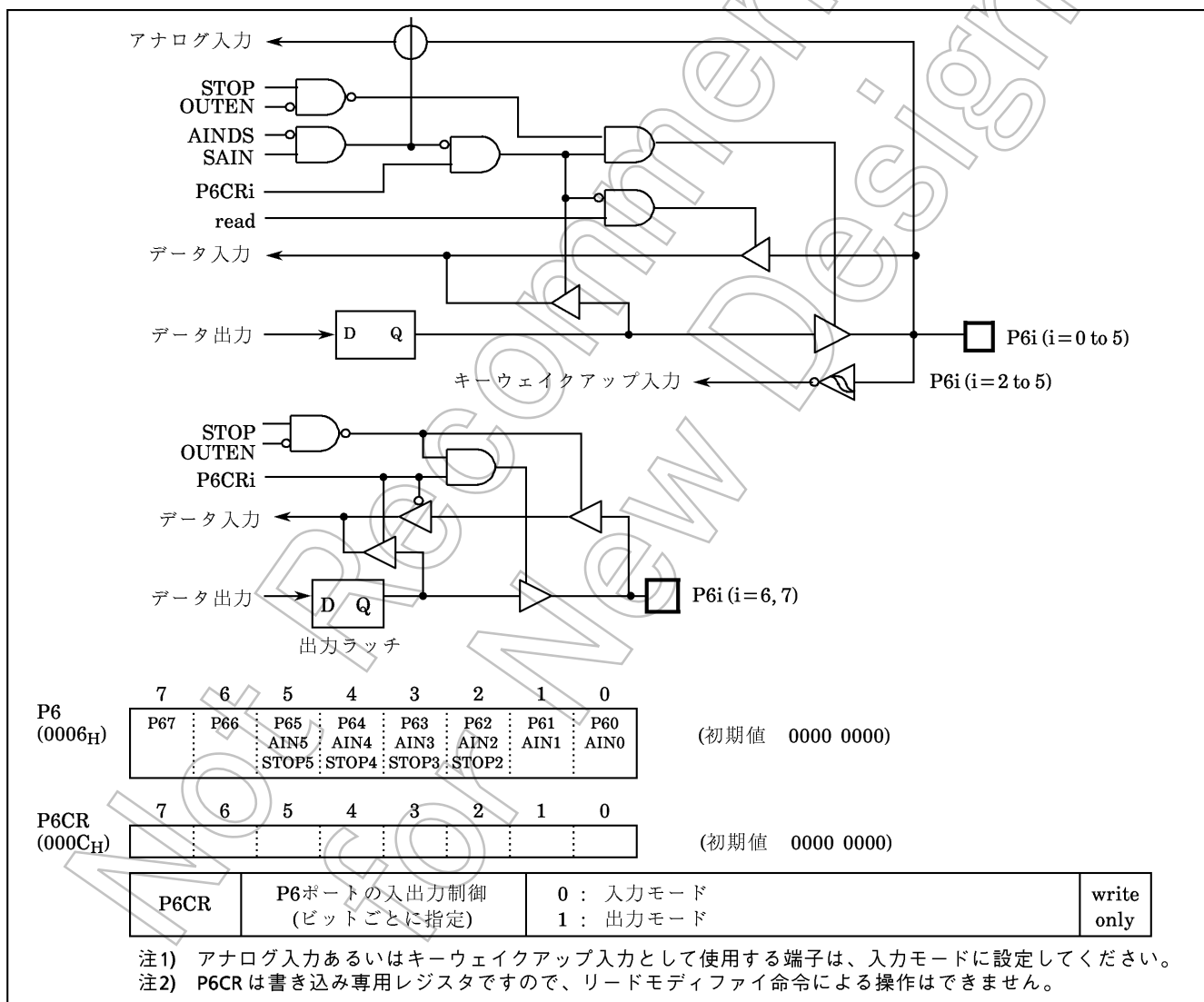


図2-4. P6ポートとP6ポート入出力制御レジスタ

注) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

2.2.3 P7 (P77~P72) ポート

P7ポートは、1ビット単位で入出力の指定ができる6ビットの汎用入出力ポートです。入出力の指定は、P7ポート入出力制御レジスタ1 (P7CR1) によって行います。入出力回路の指定は、P7ポート入出力制御レジスタ2 (P7CR2) によって行います。リセット時、P7CR1は“0”にクリアされ、P7ポートは入力モードとなります。また、P7ポートの出力ラッチは“0”に初期化されます。なお、P7CR1は書き込み専用レジスタです。

P76端子は外部割り込み入力、STOPモード解除信号入力と兼用です。また、P77端子はアナログ入力イネーブル状態 (AINDS=0) でVAREF端子となります。

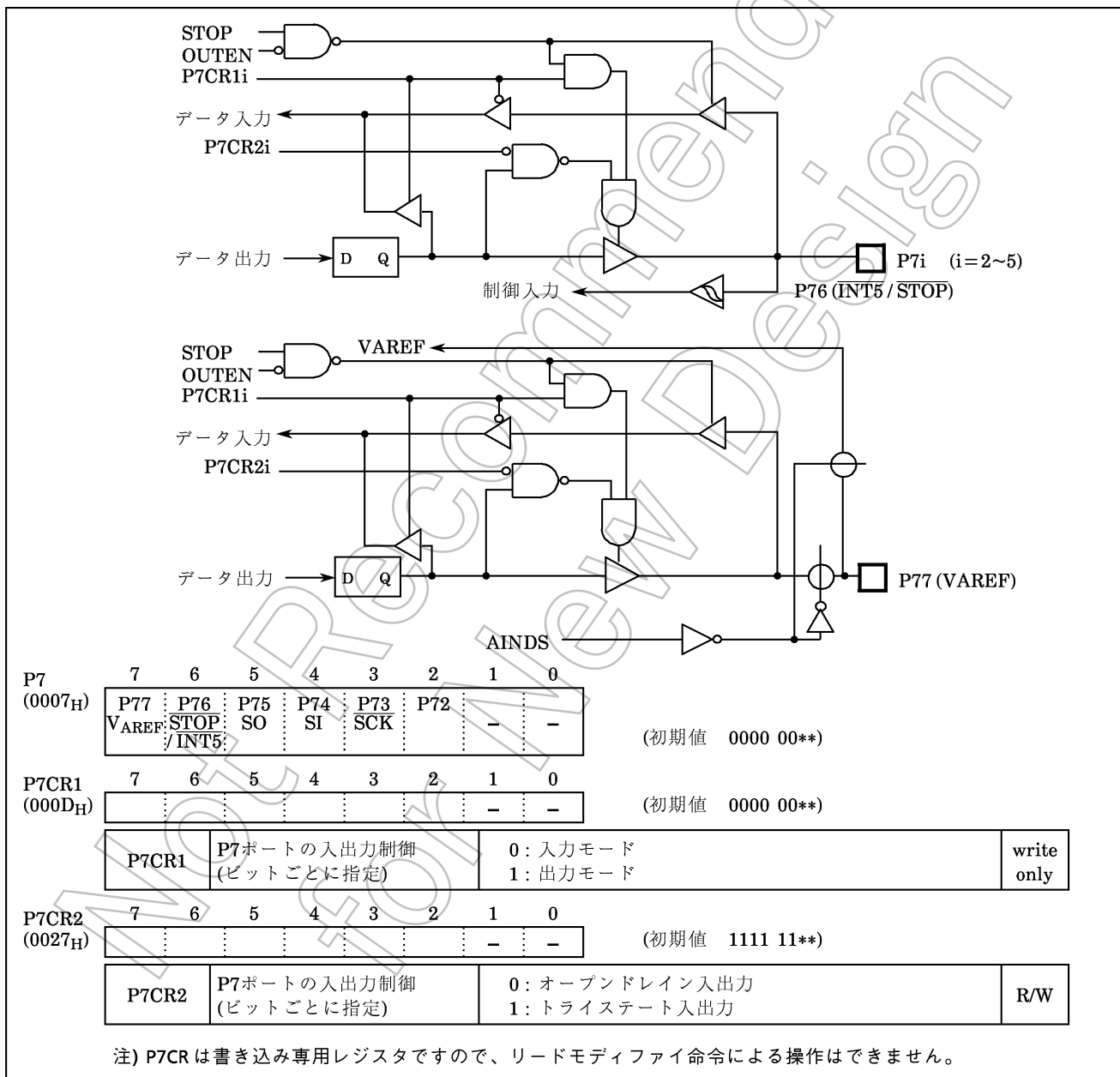


図2-5. P7ポートとP7ポート入出力制御レジスタ

注1)入力モードに設定されているポートは、端子入力の状態をリードしますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注2)P62~P65をキーウェイクアップ入力として使用する場合、P76 (INT5/STOPを含む)は入力としてのみ使用し、出力には設定しないでください。

注3)* Don't Care

例: P7ポートの下位2ビットを出力ポートに、そのほかを入力ポートに設定します。

```
LD (P7CR1),0FH ; P7CR1←00001111
```

2.3 タイムベース タイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力をTBTCKで選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-6. (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできません。

例: タイムベースタイマ割り込み周波数を $f_c/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD (TBTCR), 00001010B
SET (EIRL). 6
```

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力をTBTCKで選択) の最初の立ち上がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-6. (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできません。

例: タイムベースタイマ割り込み周波数を $f_c/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD (TBTCR), 00001010B
SET (EIRL). 6
```

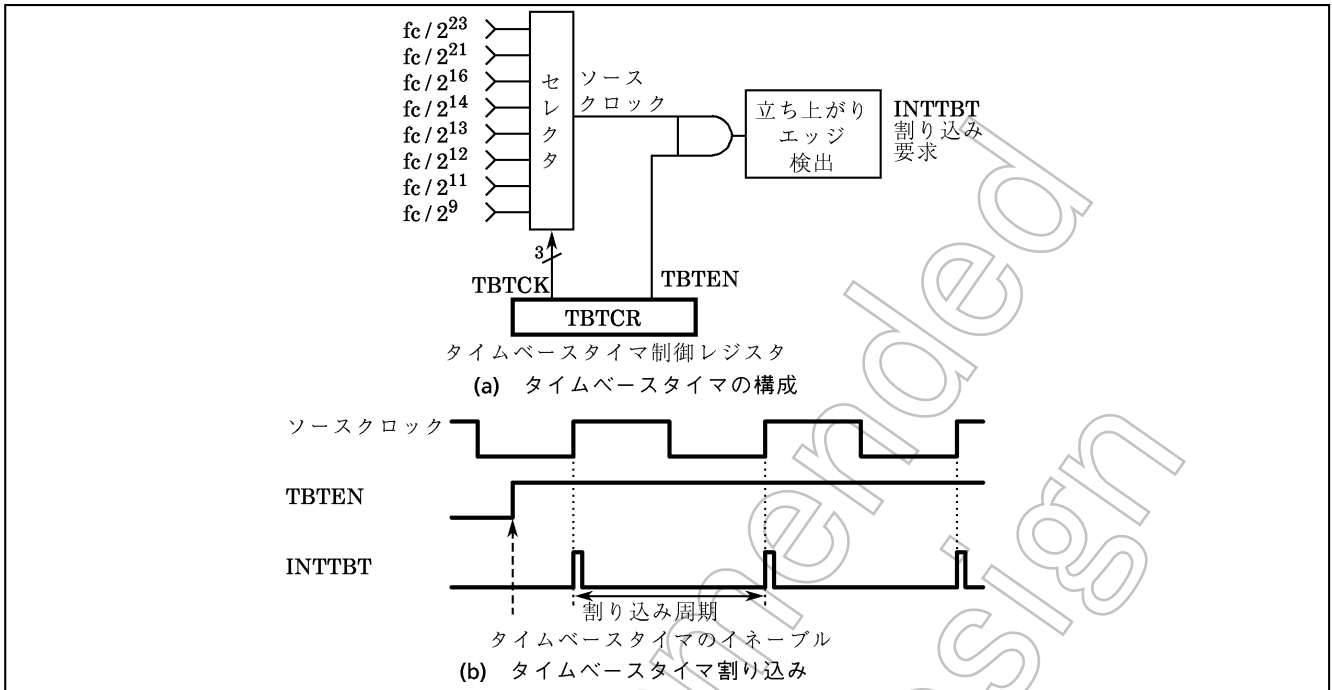


図2-6. タイムベースタイマ

TBTCR (0036 _H)	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	(DVOEN)	(DVQCK)	0	TBTEN	TBTCR ₁				
TBTEN	タイムベースタイマの許可/禁止				0: デイセーブル 1: イネーブル				R/W
TBTCK	タイムベースタイマ割り込み周波数の選択				000: $fc/2^{23}$ [Hz] 001: $fc/2^{21}$ 010: $fc/2^{16}$ 011: $fc/2^{14}$ 100: $fc/2^{13}$ 101: $fc/2^{12}$ 110: $fc/2^{11}$ 111: $fc/2^9$				

注1) fc : クロック [Hz] *; don't care
 注2) TBTCRの第4 bitはかならず "0" にしてください。

図2-7. タイムベースタイマ制御レジスタ

表2-1. タイムベースタイマ割り込み周波数 (例: $fc=8$ MHz時) [Hz]

TBTCK	NORMAL, IDLEモード
000	0.95
001	3.81
010	122.07
011	488.28
100	976.56
101	1953.12
110	3906.25
111	15625

2.4 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ50%のパルスを出力することができ、プザーなどの駆動に利用できます。デバイダ出力は、P13 (DVO) 端子から出力されます。なお、P13ポートは出力ラッチを“1”にセットしたあと出力モードに設定します。

TBTCR (0036 _H)	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	DVOEN	DVOCK	0	(TBTEN)	(TBTCK)				
DVOEN	デバイダ出力の許可/禁止		0: デイセーブル 1: イネーブル						R/W
DVOCK	デバイダ出力 (DVO端子) の周波数選択		00 : $fc/2^{13}$ [Hz] 01 : $fc/2^{12}$ 10 : $fc/2^{11}$ 11 : $fc/2^{10}$						

注) fc ; 高周波クロック [Hz] *; don't care

図2-8. デバイダ出力制御レジスタ

例: 1kHzのパルスを出力 ($fc=8$ MHz時)。

```
SET (P1).3 ; P13出力ラッチ ← 1
LD (P1CR), 00001000B ; P13を出力モードに設定
LD (TBTCR), 10000000B ; DVOEN ← 1, DVOCK ← 00
```

表2-2. デバイダ出力の周波数 [kHz]

DVOCK	$fc=4.194304$ MHz時	$fc=8$ MHz時
00	0.512	0.976
01	1.024	1.953
10	2.048	3.906
11	4.096	7.812

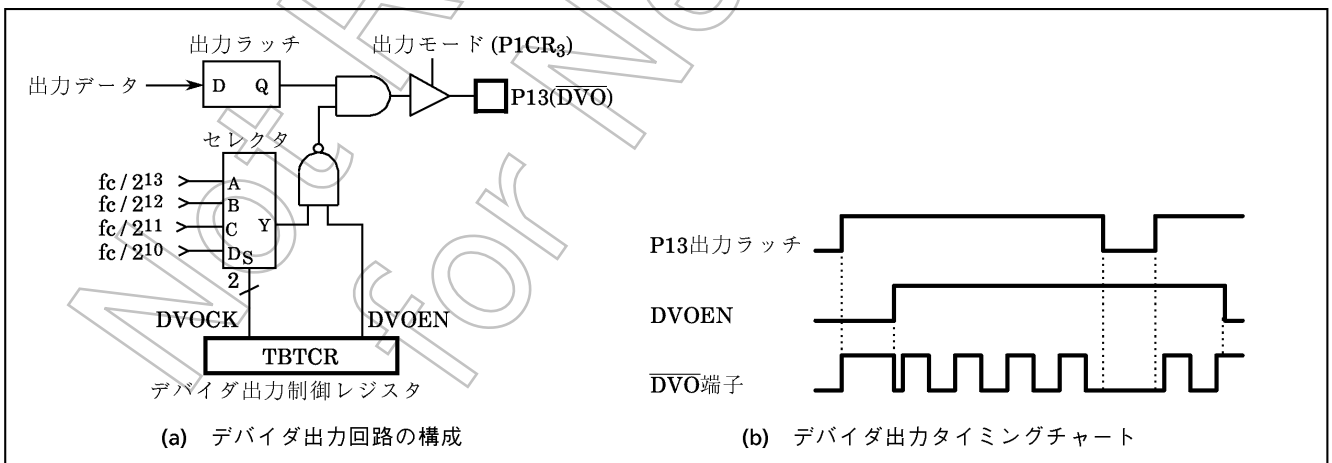


図2-9. デバイダ出力

2.5 16ビットタイマカウンタ1(TC1)

2.5.1 構成

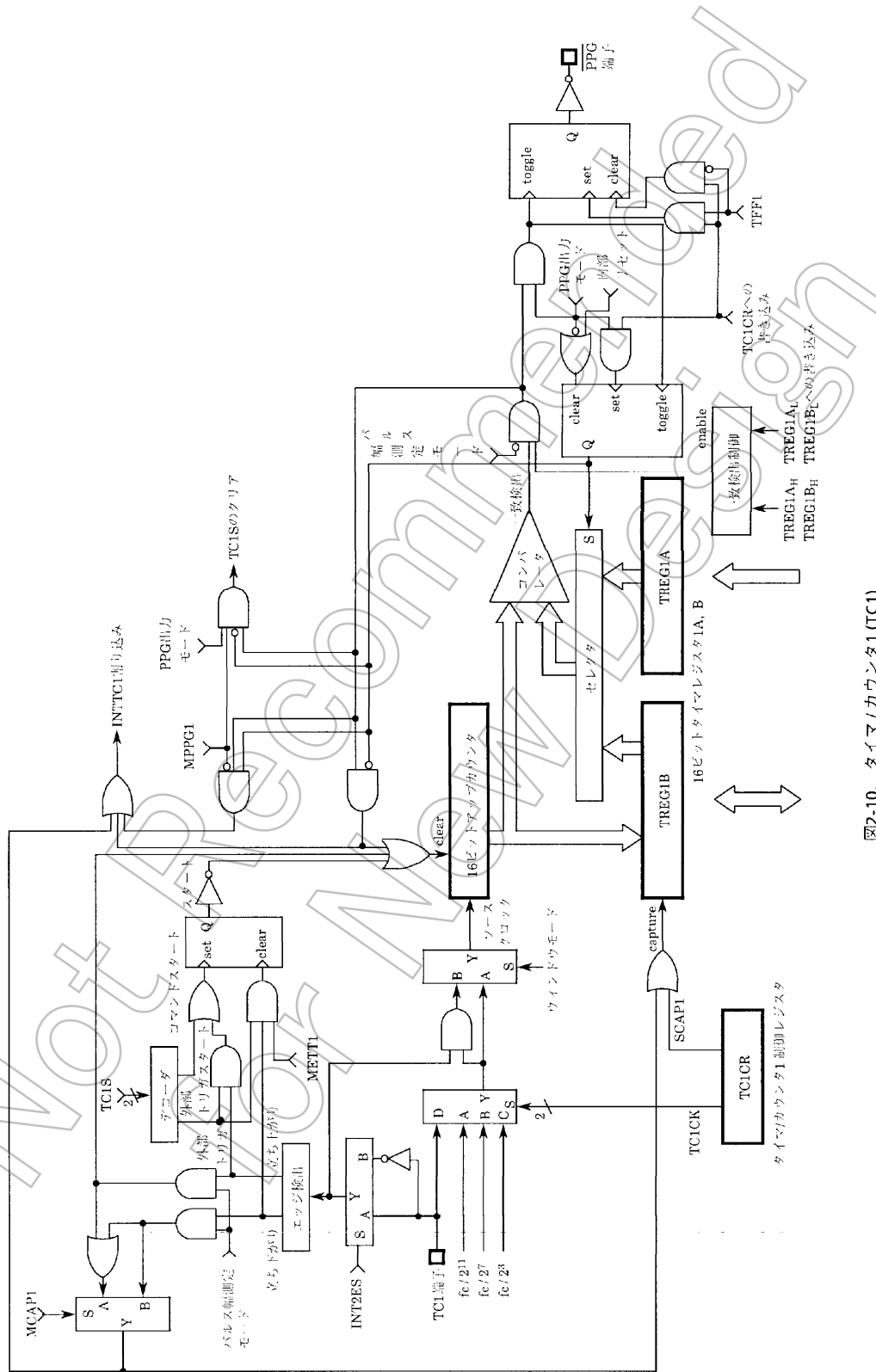


図2-10. タイマ/カウンタ1(TC1)

2.5.2 制御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と2本の16ビットタイマレジスタ (TREG1A/TREG1B) で制御されます。

タイマレジスタ	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TREG1A (0010, 0011H)	TREG1A _H (0011H)								TREG1A _L (0010H)								
	Write only																
TREG1B (0012, 0013H)	TREG1B _H (0013H)								TREG1B _L (0012H)								
タイマカウンタ1制御レジスタ	Read/Write (PPG出力モード時のみWrite可)																
	7							6	5	4	3	2	1	0			
TC1CR (0014H)	TFF1	SCAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M												(初期値 0000 0000)

TC1M	タイマカウンタ1の動作モードの選択	00: タイマ/外部トリガタイマ/イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレータ)出力モード	write only
TC1CK	タイマカウンタ1のソースクロックの選択	00: 内部クロック $fc / 2^{11}$ [Hz] 01: $fc / 2^7$ 10: $fc / 2^3$ 11: 外部クロック (TC1端子入力)	
TC1S	タイマカウンタ1のスタート制御	00: ストップ&カウンタクリア 01: コマンドスタート 10: reserved 11: 外部トリガスタート	
SCAP1	ソフトキャプチャ制御	0: - 1: ソフトキャプチャトリガ	
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ 1: 片エッジキャプチャ	
METT1	外部トリガタイマモード制御	0: トリガスタート 1: トリガスタート&ストップ	
MPPG1	PPG出力制御	0: 連続 1: 単発	
TFF1	タイマF/F1制御	0: クリア 1: セット	

注1) fc ; 高周波クロック [Hz]

注2) タイマレジスタの下位側 (TREG1A_L, TREG1B_L) に書き込むと上位側 (TREG1A_H, TREG1B_H) への書き込みが終わるまで、一致検出を停止します (従ってタイマ/レジスタの下位側だけの変更はできません)。また、上位側への書き込み後1サイクル以内 (すなわち命令実行中) の一致検出も無視されます。

注3) モード, ソースクロック, エッジ (INT2ES), PPG出力制御, タイマF/F1制御は、停止 (TC1S=00) 状態で設定してください。

注4) ソフトキャプチャは、タイマ, イベントカウンタモードでのみ使用可能です。SCAP1はソフトキャプチャ後自動的に“0”にクリアされます。

注5) タイマレジスタへの設定値は、次の条件を満足する必要があります。
 TREG1A > TREG1B > 0 (PPG出力モード), TREG1A > 0 (PPG出力モード以外)

注6) PPG出力モード以外は、TFF1=0としてください。

注7) TREG1Bは、PPG出力モードに設定後でなければ書き込みできません。

注8) TC1CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注9) パルス幅測定モードにおいてソースクロックに $fc/2^3$ を選択した場合、読み出されるカウンタ値 (TREG1B) の最下位ビット (ビット 0) は常に '0' となります。その他のソースクロックではカウントに応じたカウンタ値が読み出されます。

図2-11. タイマカウンタ1のタイマレジスタと制御レジスタ

2.5.3 機能

タイマカウンタ1には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラブルパルスジェネレート出力の6つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1A (TREG1A) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを続けます。なお、SCAP1 (TC1CRのビット6) を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ1B (TREG1B) に取り込むことができます(ソフトキャプチャ機能)。SCAP1は、キャプチャ後自動的に“0”にクリアされます。

表2-3. タイマカウンタ1の内部ソースクロック (例: $f_c=8$ MHz時)

TC1CK	分解能 [μ s]	最大設定時間 [s]
00	256	16.8
01	16	1.0
10	1	65.5 m

例1: ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 s後に割り込みを発生させる ($f_c=8$ MHz時)。

```
LDW      (TREG1A), 1000H      ; タイマレジスタの設定 (1 s ÷ 211 / fc = 1000H)
SET      (EIRL). EF4         ; INTTC1割り込みを許可
EI
LD       (TC1CR), 00010000B   ; TC1スタート
```

注) TC1CR は書き込み専用レジスタですので、[SET (TC1CR). 4] 命令によるスタートはできません。

例2: ソフトキャプチャ

```
LD       (TC1CR), 01010000B   ; SCAP1 ← 1
LD       WA, (TREG1B)         ; キャプチャ値の読み出し
```

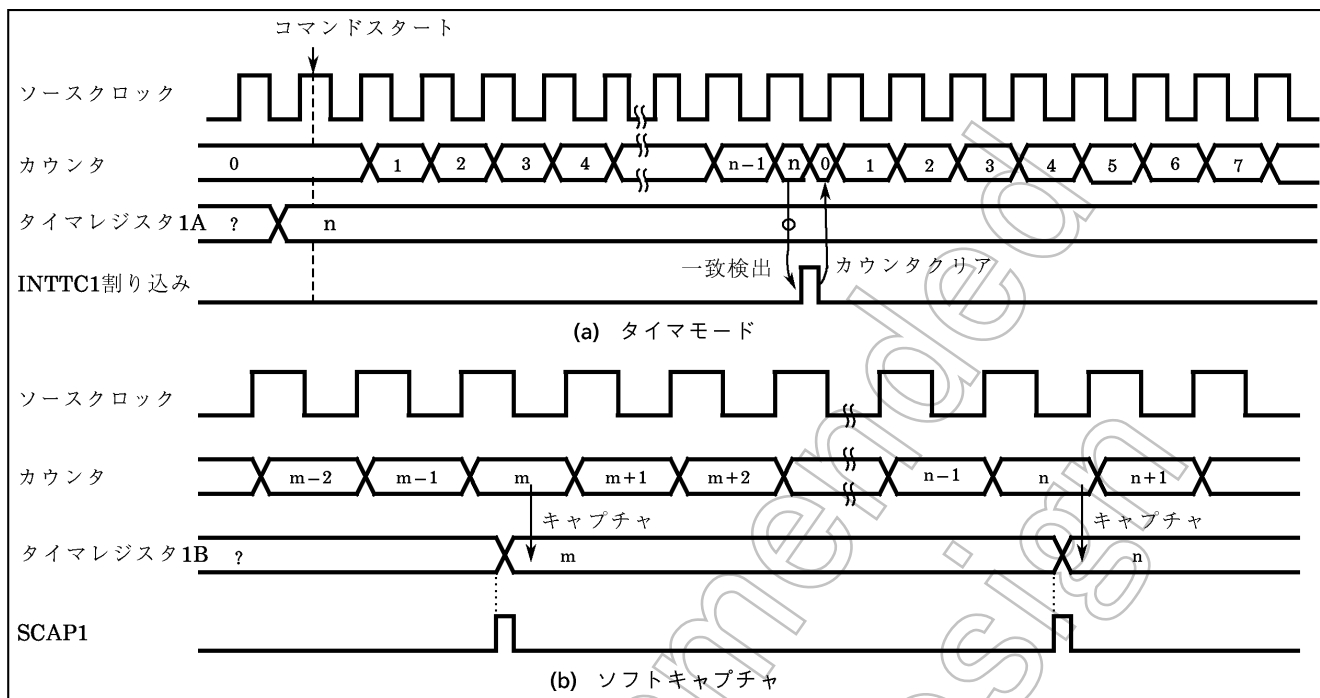


図2-12. タイマモードタイミングチャート

(2) 外部トリガタイマモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT2端子のエッジ選択と共通)をトリガにしてカウントをスタートするタイマモードです(ソースクロックは内部クロックです)。カウンタ値とTREG1A設定値の一致でINTTC1割り込み発生し、カウンタはクリアされて停止します。TC1端子入力のエッジによりカウントアップは再開します。

METT1(TC1CRのビット6)が“1”の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅をもったパルス入力で割り込みを発生させることができます。METT1が“0”の場合は、逆方向のエッジ入力は無視されます。また、一致検出前のTC1端子入力のエッジも無視されます。

TC1端子入力にはINT2端子と同じノイズ除去回路が付いていますので、NORMALまたはIDLEモード時 $7/f_c$ [s]以下のパルスはノイズとして除去されます。確実にエッジ検出が行われるためには $24/f_c$ [s]以上のパルス幅が必要です。SLOWまたはSLEEPモード時はノイズ除去回路はオフしますが1マシンサイクル以上のパルス幅が必要です。

例1: TC1端子入力の立ち上がりエッジから $100\mu s$ 後に割り込みを発生させる($f_c=8\text{ MHz}$ 時)。

```
LD      (EINTCR), 00000000B      ; INT2ES←0 (立ち上がりエッジ)
LDW    (TREG1A), 0064H          ;  $100\mu s \div 2^3 / f_c = 64H$ 
SET    (EIRL).EF4              ; INTTC1割り込み許可
EI
LD      (TC1CR), 00111000B      ; TC1外部トリガスタート, METT=0
```

例2: TC1端子に“L”レベル幅4ms以上のパルスが入力されたら割り込みを発生させる (fc=8MHz時)。

```
LD      (EINTCR), 00000100B ; INT2ES←1 (立ち下がりエッジ)
LDW    (TREG1A), 00FAH     ; 4ms ÷ 27 / fc = FAH
SET    (EIRL).EF4         ; INTTC1割り込み許可
EI
LD      (TC1CR), 01110100B ; TC1外部トリガスタート, METT=1
```

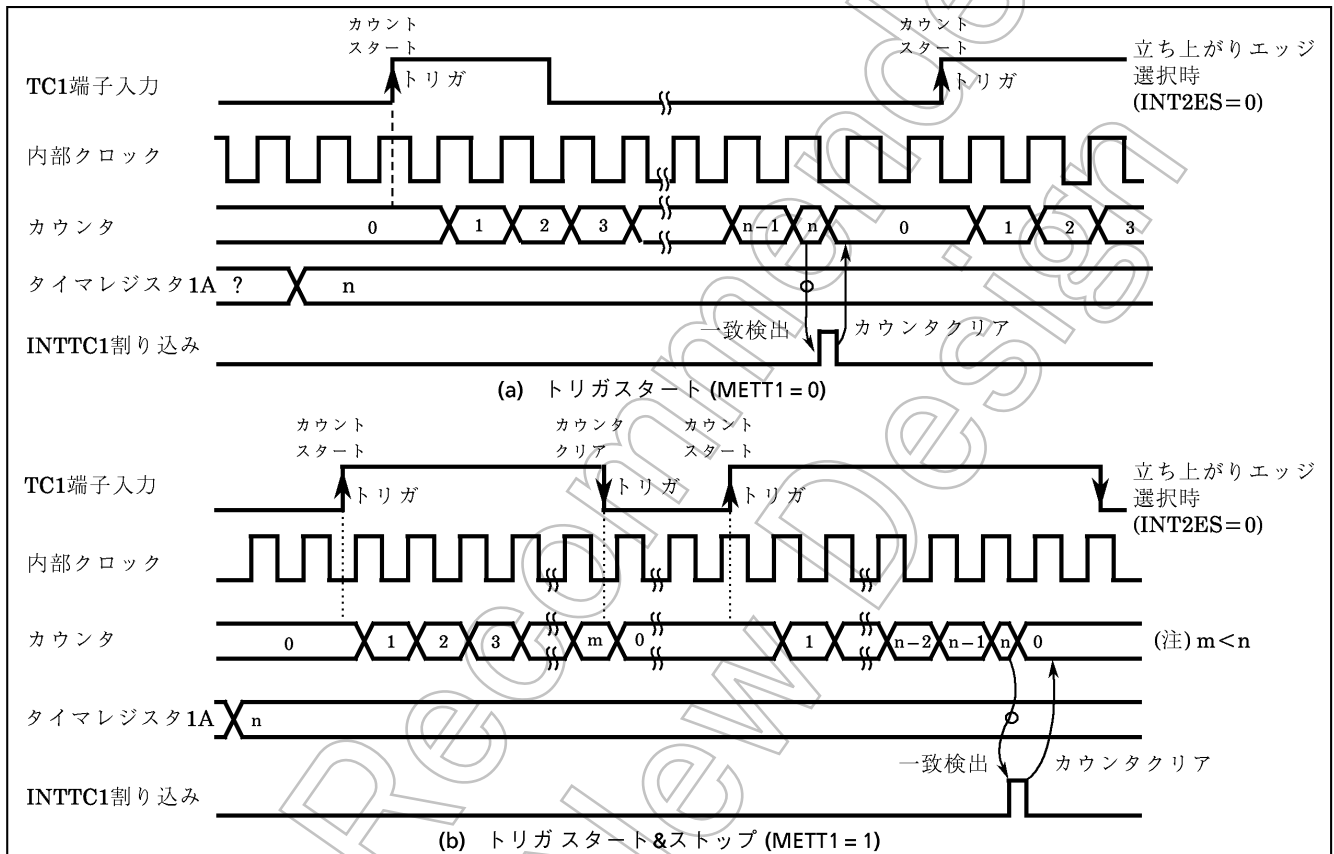


図2-13. 外部トリガタイマモードタイミングチャート

(3) イベントカウンタモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジ)を選択可能。エッジ選択は、INT2端子のエッジ選択と共通)でカウントアップするモードです。カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。カウンタクリア後もTC1端子入力のエッジごとにカウントアップします。最大印加周波数は、 $fc/2^4$ [Hz] (NORMALまたはIDLEモード時)です。

SCAP1を“1”にセットすることにより、そのときのアップカウンタの内容をTREG1Bに取り込むことができます(ソフトキャプチャ機能)。

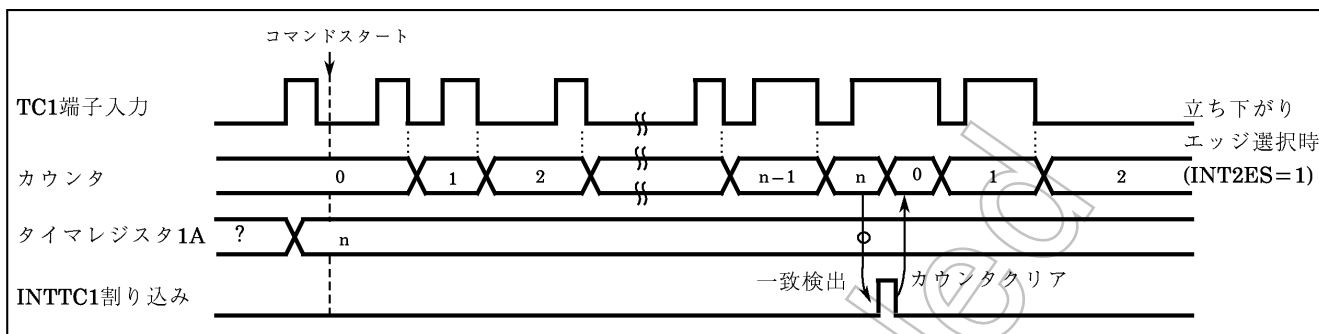


図2-14. イベントカウンタモードタイミングチャート

(4) ウィンドウモード

TC1端子入力(ウィンドウパルス)と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップし、カウンタ値とTREG1A設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。TC1端子入力は、正論理/負論理の選択ができます(INT2端子のエッジ選択と共通)。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要があります。すなわち、設定した内部クロックより十分に遅い周波数となります。

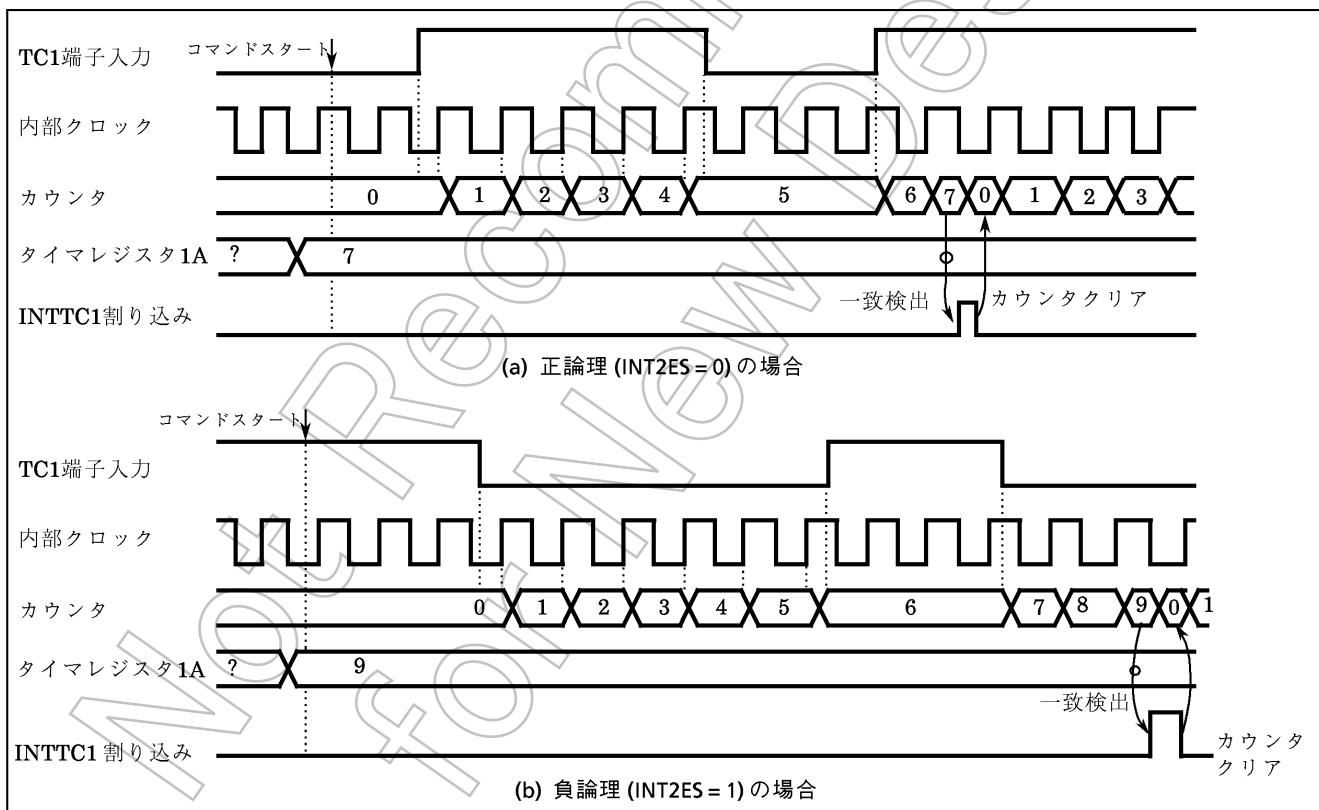


図2-15. ウィンドウモードタイミングチャート

(5) パルス幅測定モード

TC1端子入力の立ち上がり(立ち下がり)エッジをトリガにしてカウントをスタートします(TC1CRで外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり(立ち上がり)エッジでカウンタの内容をTREG1Bに取り込み、割り込みを発生します。片エッジキャプチャに設定した場合はカウンタはクリアされます。両エッジキャプチャに設定した場合はカウントは継続し、次の立ち上がり(立ち下がり)エッジで再びカウンタの内容をTREG1Bに取り込みます。なお、立ち下がり(立ち上がり)エッジでのキャプチャ値が必要な場合は、立ち上がり(立ち下がり)エッジが検出されるまでにTREG1Bの内容を読み出す必要があります。立ち上がり/立ち下がりエッジの選択はINT2ESで行い、片エッジ/両エッジキャプチャの選択はMCAP1(TC1CRのビット6)で行います。

例： デューティの測定(分解能 $f_c/2^7$ [Hz])

```

CLR  (INTTC1SW).0           ; INTTC1のサービススイッチの初期設定
LD   (EINTCR), 00000000B    ; INT2ESを立ち上がりエッジに設定
LD   (TC1CR), 00000110B     ; TC1のモード, ソースクロックを設定
SET  (EIRL). EF4           ; INTTC1割り込みを許可。
EI
LD   (TC1CR), 00110110B     ; MCAP1=0でTC1を外部トリガスタート。
:
PINTTC1: CPL (INTTC1SW).0    ; INTTC1のサービススイッチの反転/テスト
JRS  F, SINTTC1
LD   (HPULSE), (TREG1BL)    ; TREG1Bの読み出し ("H"レベルパルス幅)
LD   (HPULSE+1), (TREG1BH)
RETI
SINTTC1: LD  (WIDTH), (TREG1BL) ; TREG1Bの読み出し (周期)
LD   (WIDTH+1), (TREG1BH)
:
:                               ; デューティ計算
RETI
:
VINTTC1: DW  PINTTC1

```

パルス幅測定モードにおいてソースクロックに $f_c/23$ を選択した場合、読み出されるカウンタ値(TREG1B)の最下位ビット(ビット0)は常に'0'となります。その他のソースクロックではカウントに応じたカウンタ値が読み出されます。

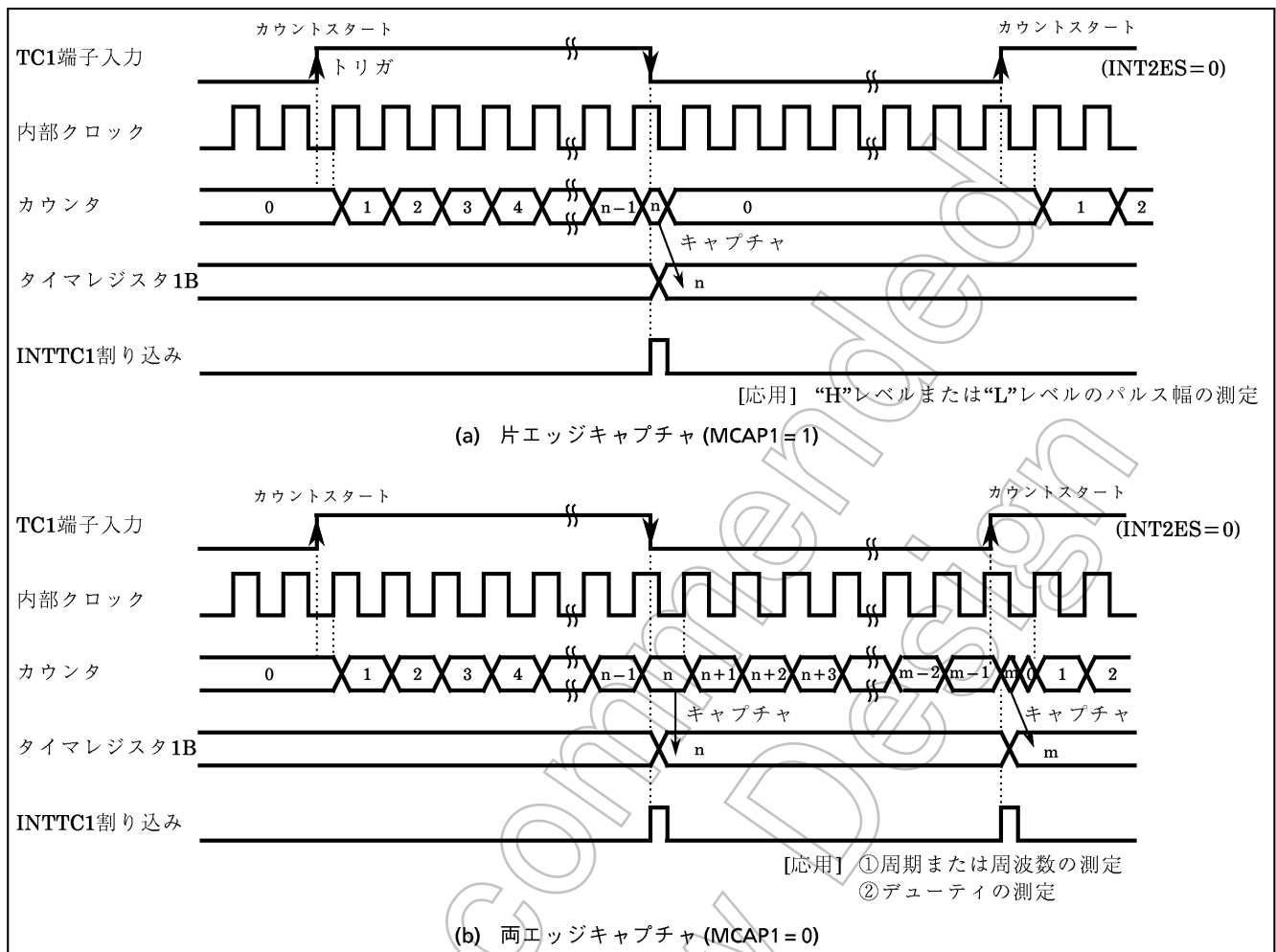


図2-16. パルス幅測定モード

(6) プログラマブル パルス ジェネレート (PPG) 出力モード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、INT2端子のエッジ選択と共通)またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。TREG1Bとの一致でタイマF/F1を反転します。連続出力の場合(MPPG1=0)は、INTTC1割り込みが発生します。次にTREG1Aとの一致でタイマF/F1を再び反転し、カウンタをクリアします。このとき、INTTC1割り込みも発生します。タイマF/F1出力は、反転されてP14(PPG)端子に接続されています。PPG出力を行う場合、P14出力ラッチを“1”にセットし、出力モードに設定します。タイマF/F1は、リセット時“0”にクリアされます。また、TFF1(TC1CRのビット7)でタイマF/F1の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。なお、TREG1Bは、PPG出力モードに設定されていないと書き込みできません。

例：“H”レベル800 μ s, “L”レベル200 μ sのパルスを出力($f_c=8$ MHz時)。

```

SET (P1).4 ; P14出力ラッチ←1
LD (P1CR), 00010000B ; P14を出力モードに設定
LD (TC1CR), 10001011B ; PPG出力モードに設定
LDW (TREG1A), 03E8H ; 周期の設定(1 ms ÷ 1  $\mu$ s = 03E8H)
LDW (TREG1B), 00C8H ; “L”レベルパルス幅の設定(200  $\mu$ s ÷ 1  $\mu$ s = 00C8H)
LD (TC1CR), 10010011B ; スタート

```

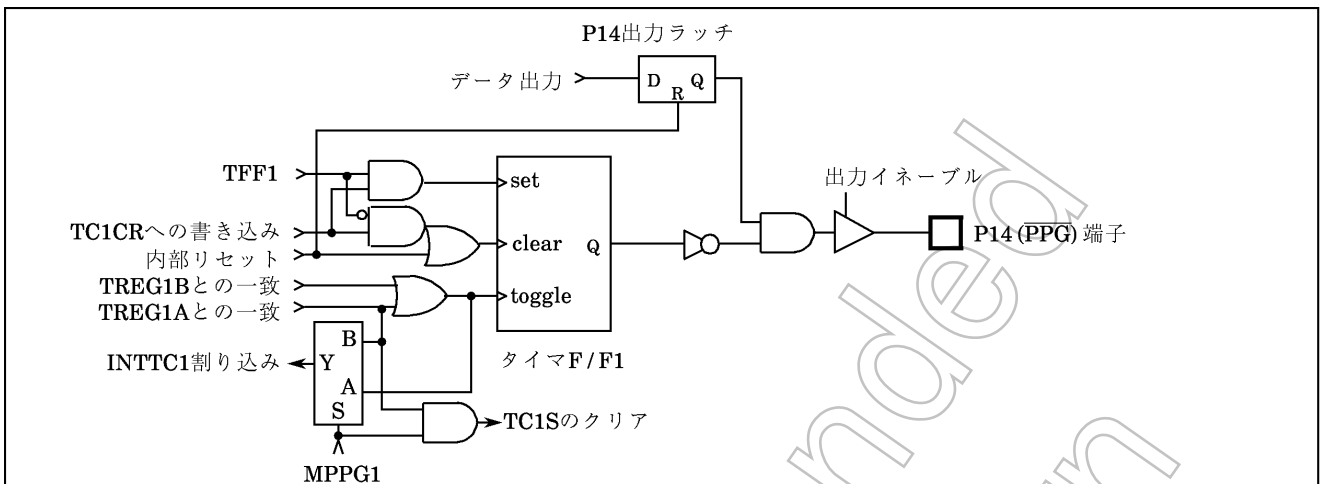


図2-17. PPG出力

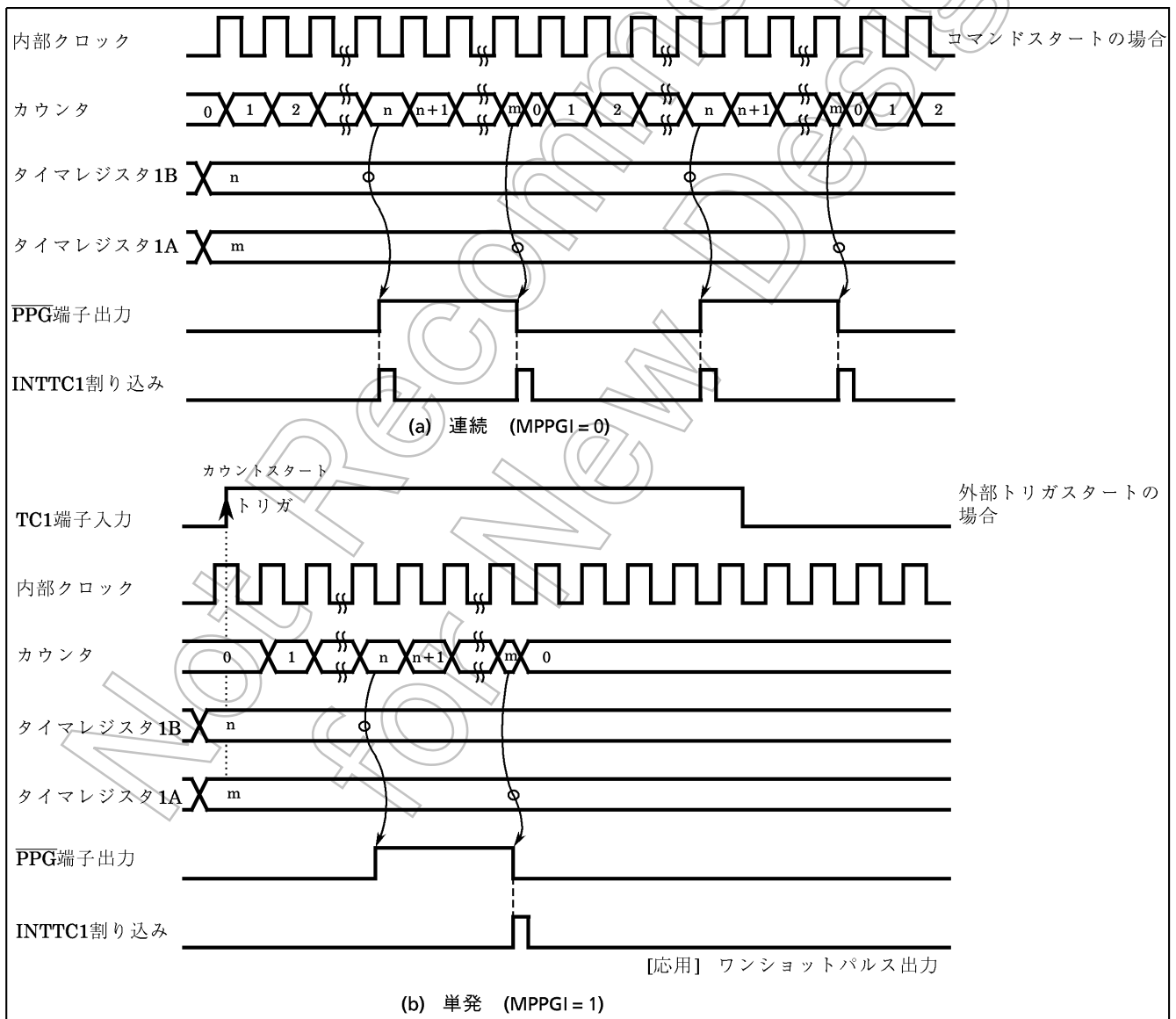


図2-18. PPG出力モード タイミングチャート

2.6 16ビット タイマカウンタ2 (TC2)

2.6.1 構成

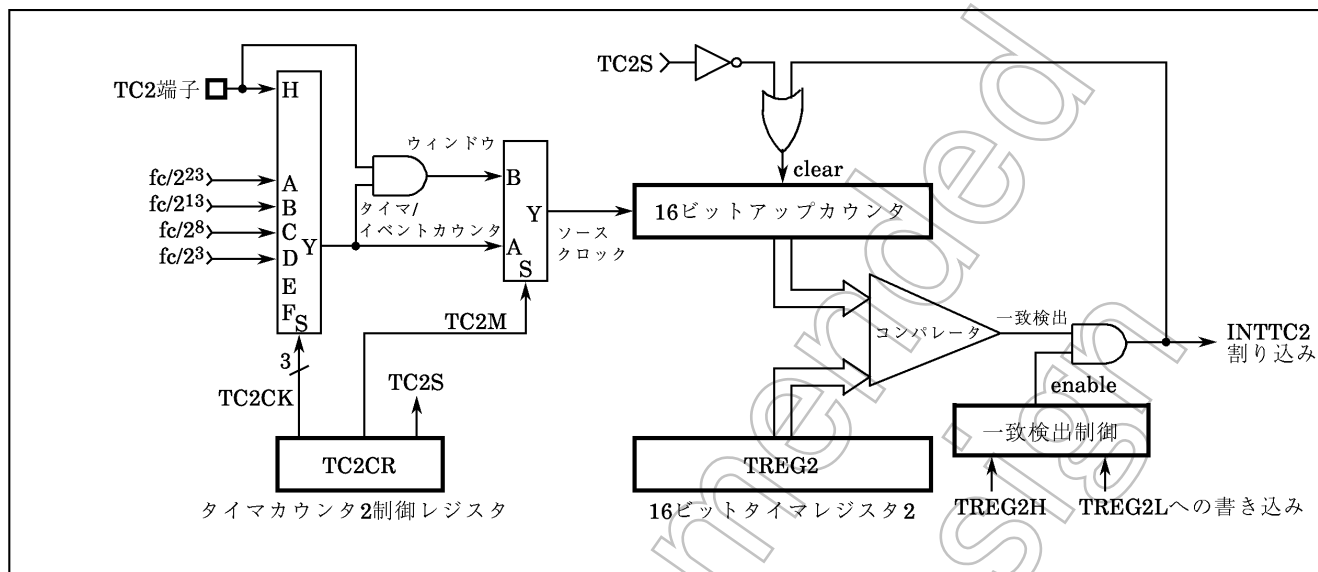


図2-19. タイマカウンタ2 (TC2)

2.6.2 制御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TREG2) で制御されます。

TREG2
(0016, 0017_H)

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TREG2_H (0017_H) TREG2_L (0016_H)

write only

TC2CR
(0015_H)

7 6 5 4 3 2 1 0

TC2S TC2CK TC2M (初期値 **00 00*0)

TC2M	タイマカウンタ2の動作モードの選択	0 : タイマ/イベントカウンタモード 1 : ウィンドウモード	
TC2CK	タイマカウンタ2のソースクロックの選択	000 : 内部クロック $fc / 2^{23}$ [Hz] 001 : $fc / 2^{13}$ 010 : $fc / 2^8$ 011 : $fc / 2^3$ 100 : reserved 101 : " 110 : " 111 : 外部クロック (TC2端子入力)	write only
TC2S	タイマカウンタ2のスタート制御	0 : ストップ&カウンタクリア 1 : スタート	

注1) fc ; 高周波クロック [Hz] *; don't care
 注2) タイマレジスタの下位側 (TREG2_L) に書き込みすると上位側 (TREG2_H) への書き込みが終わるまで一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。
 注3) モード, ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。
 注4) タイマレジスタへの設定値は、次の条件を満足する必要があります。
 TREG2 > 0
 注5) TC2CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-20. タイマカウンタ2のタイマレジスタと制御レジスタ

2.6.3 機能

タイマカウンタ2には、タイマ、イベントカウンタとウィンドウの3つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ2 (TREG2) 設定値との一致でINTTC2割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

表2-4. タイマカウンタ2の内部ソースクロック (例: $fc = 8$ MHz時)

TC2CK	分解能	最大設定時間
000	1.05 s	19.1 h
001	1.02 ms	1.1 min
010	32 μ s	2.1 s
011	1 μ s	65.5 ms

例： ソースクロック $fc/2^3$ [Hz] で、タイマモードにセットし、25 msごとに割り込み発生させる ($fc=8$ MHz時)。

```
LDW      (TREG2), 61A8H          ; TREG2の設定 (25 ms ÷ 23 / fc = 61A8H)
SET      (EIRH).EF14           ; INTTC2割り込みを許可
EI
LD       (TC2CR), 00101100B     ; TC2スタート
```

(2) イベントカウンタモード

TC2端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値とTREG2設定値との一致でINTTC2割り込み発生し、カウンタはクリアされます。TC2端子への最大印加周波数は、 $fc/2^4$ [Hz] (NORMALまたはIDLEモード時)です。“H”、“L”レベルとも2マシンサイクル以上のパルス幅が必要です。

例： イベントカウンタモードにセットし、640カウント後にINTTC2割り込みを発生させる。

```
LDW      (TREG2), 640          ; TREG2の設定
SET      (EIRH).EF14         ; INTTC2割り込みを許可
EI
LD       (TC2CR), 00111100B   ; TC2スタート
```

(3) ウィンドウモード

TC2外部端子入力(ウィンドウパルス)が“H”レベルの間、内部クロックでカウントアップするモードです。カウンタ値とTREG2設定値との一致で、INTTC2割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部クロックよりも十分遅い周波数である必要があります。

例： 120 ms以上の“H”レベルパルスが入力されると割り込みを発生させる。 ($fc=8$ MHz時)

```
LDW      (TREG2), 0078H       ; TREG2の設定 (120 ms ÷ 213 / fc = 0078H)
SET      (EIRH).EF14         ; INTTC2割り込みを許可
EI
LD       (TC2CR), 00100101B   ; TC2スタート
```

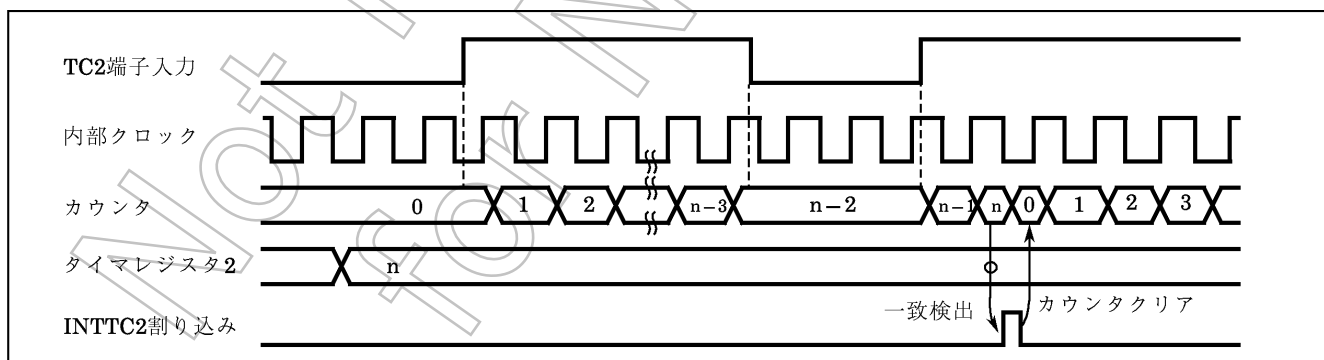


図2-21. ウィンドウモードタイミングチャート

2.7 シリアルインタフェース (SIO)

87C408/808/408L/808Lは、クロック同期方式の8ビットシリアルインタフェースを1チャンネル (SIO) 内蔵しています。シリアルインタフェースは、8バイトの送受信データバッファを持っており、最大64ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、P75 (SO), P74 (SI), P73 (SCK) 端子を通して外部デバイスと接続されます。シリアルインタフェース端子は、P7ポートと兼用で、シリアルインタフェース端子として使用する場合、P7ポートの出力ラッチを“1”にセットします。なお、送信モード時にはP74端子が、受信モード時にはP75端子が、通常の入出力ポートとして使用できます。

2.7.1 構成

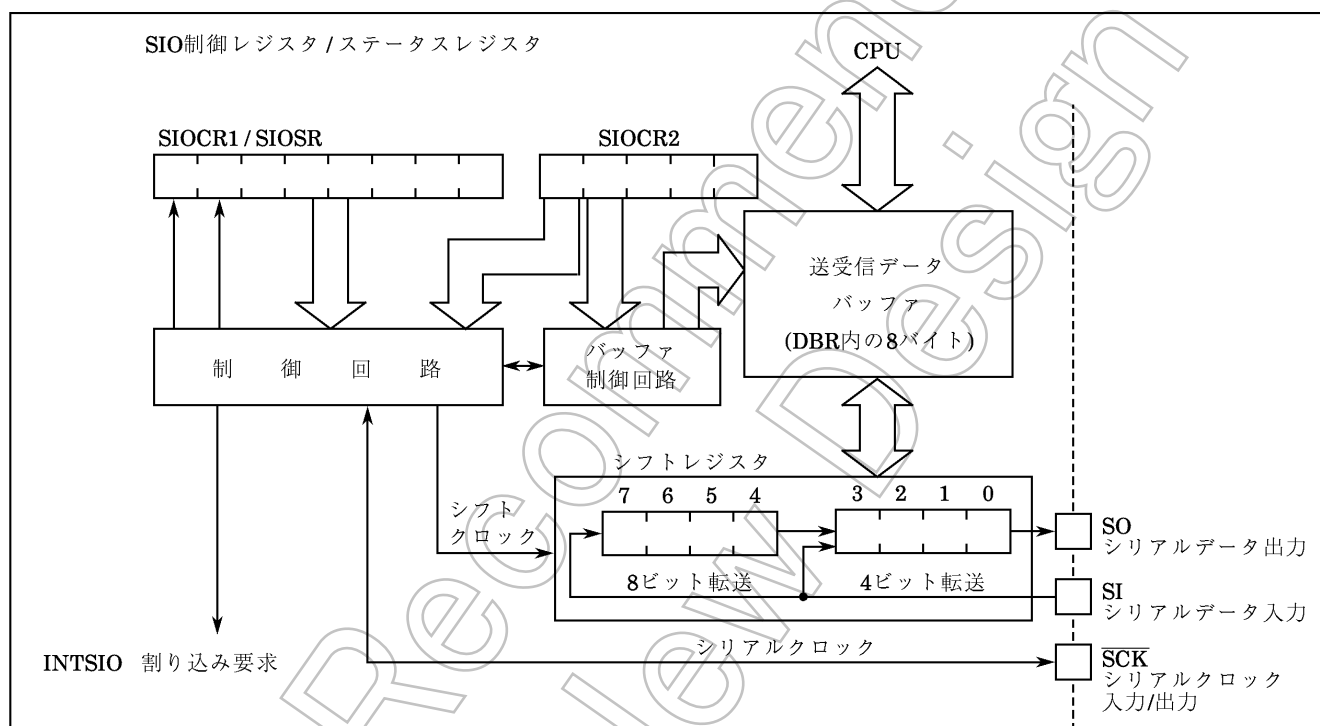


図2-22. シリアルインタフェース

2.7.2 制御

SIOの制御は、シリアルインタフェース制御レジスタ (SIOCR1/SIOCR2) で行います。また、ステータスレジスタ (SIOSR) を読むことによりシリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、BUF (SIOCR2のビット2~0) で行います。送受信データバッファは、DBR領域の0FF0~0FF7H番地 (SIO) に割り当てられており、一度に最大8ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時)/バッファフル (受信時または送受信時) の割り込み (INTSIO) が発生します。

シリアルインタフェース制御レジスタ1

SIOCR1 (0020H)	7	6	5	4	3	2	1	0	(初期値 0000 0000)	
	SIOS		SIOINH		SIOM		SCK			
	SIOS	転送の開始/終了指示			0: 終了 1: 開始					write only
	SIOINH	転送の強制停止			0: 転送継続 1: 強制停止 (停止後、自動的にクリア)					
SIOM	転送モードの選択			000: 8ビット送信モード 010: 4ビット送信モード 100: 8ビット送受信モード 101: 8ビット受信モード 110: 4ビット受信モード						
SCK	シリアルクロックの選択			000: 内部クロック $f_c/2^{13}$ [Hz] 001: 内部クロック $f_c/2^8$ 010: 内部クロック $f_c/2^6$ 011: 内部クロック $f_c/2^5$ 111: 外部クロック (SCK端子から入力)						

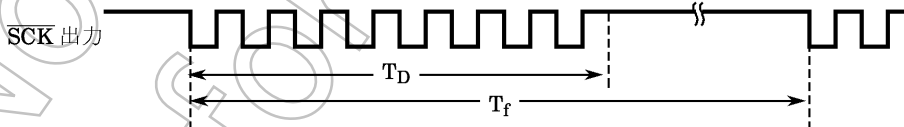
注1) 転送モード, シリアルクロックの設定時は、SIOS=0, SIOINH=1にしてください。

注2) SIOCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ2

SIOCR2 (0021H)	7	6	5	4	3	2	1	0	(初期値 ***0 0000)	
	WAIT				BUF					
WAIT	ウェイト制御			8ビット送受信/受信モード以外は常に“00”にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ 10: $T_f = 4T_D$ 11: $T_f = 8T_D$ (ウェイト)						write only
BUF	転送ワード数の設定			使用するバッファのアドレス 000: 1ワード転送 0FF0H 001: 2ワード転送 0FF0 ~ 0FF1H 010: 3ワード転送 0FF0 ~ 0FF2H 011: 4ワード転送 0FF0 ~ 0FF3H 100: 5ワード転送 0FF0 ~ 0FF4H 101: 6ワード転送 0FF0 ~ 0FF5H 110: 7ワード転送 0FF0 ~ 0FF6H 111: 8ワード転送 0FF0 ~ 0FF7H						

注1) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間



注2) 4ビット転送のときは、各バッファの下位4ビットに格納します/されます。受信時上位4ビットには“0”が格納されます。

注3) バッファの若いアドレスの方から送信されます。また、受信は若いアドレスの方から格納されます。すなわち、最初に転送されるのは0FF0H番地です。

注4) 転送終了後もBUFの設定値は保存されています。

注5) SIOCR2の設定は、シリアルインタフェース停止状態 (SIOF=0)で行ってください。

注6) SIOCR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注7) *: don't care

図2-23. シリアルインタフェース制御レジスタ

SIOSR (0020H)	7	6	5	4	3	2	1	0	read only
	SIOF	SEF	"1"	"1"	"1"	"1"	"1"	"1"	
SIOF	シリアル転送動作状態モニタ						0: 転送終了 (SIOSを"0"にクリア後、転送が終了した時点または1: 転送中 SIOINHをセットした時点で"0"となります。)		read only
SEF	シフト動作状態モニタ						0: シフト動作終了 1: シフト動作中		

図2-24. シリアルインタフェースステータスレジスタ

(1) シリアルクロック

a. クロックソース

SCK (SIOCR1のビット2~0)により、次の選択ができます。

① 内部クロック

シリアルインタフェースは4種類の周波数が選択でき、シリアルクロックはSCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み取り(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表2-8. シリアルクロックレート(例: fc = 8MHz時)

SCK	最大転送速度 [Kbit/s]
000	0.95
001	30.5
010	122
011	244

注) 1 Kbit = 1024 bit

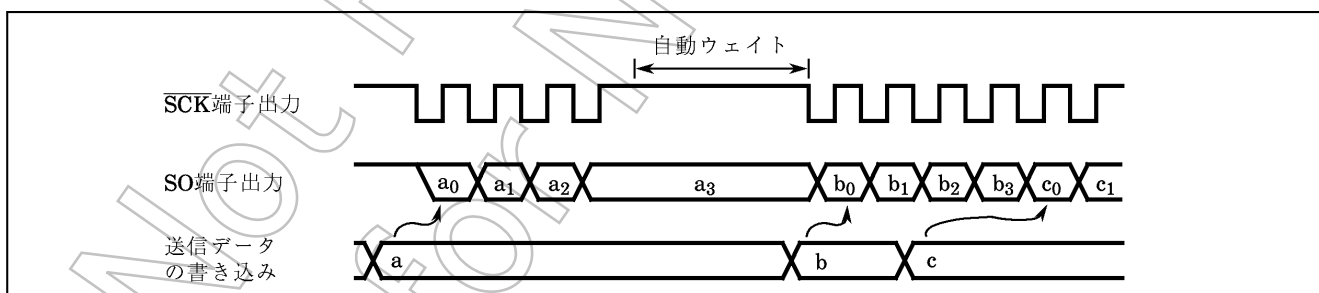
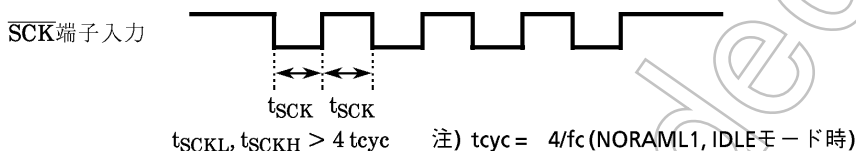


図2-25. クロックソース(内部クロック)

② 外部クロック

外部から $\overline{\text{SCK}}$ 端子に供給されるクロックをシリアルクロックとして用います。この場合、P73 ($\overline{\text{SCK}}$) の出力ラッチは“1”にセットされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの“H”レベル、“L”レベルともに4マシンサイクル以上パルス幅が必要です。従って、最大転送速度は244Kbit/s ($f_c = 8 \text{ MHz}$ 時)です。



b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

② 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

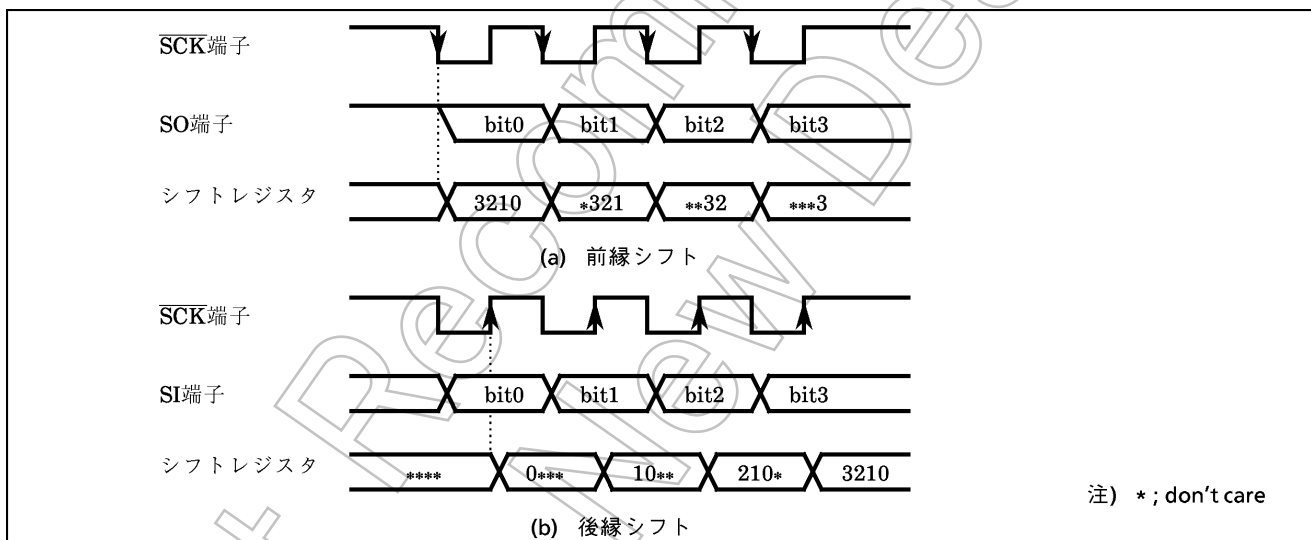


図2-26. シフトエッジ

(2) 転送ビット数

4ビットシリアル転送または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時)/8ビットデータ (8ビットシリアル転送時) を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、BUFで設定します。

指定されたワード数の転送終了時点で、INTSIO割り込みが発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

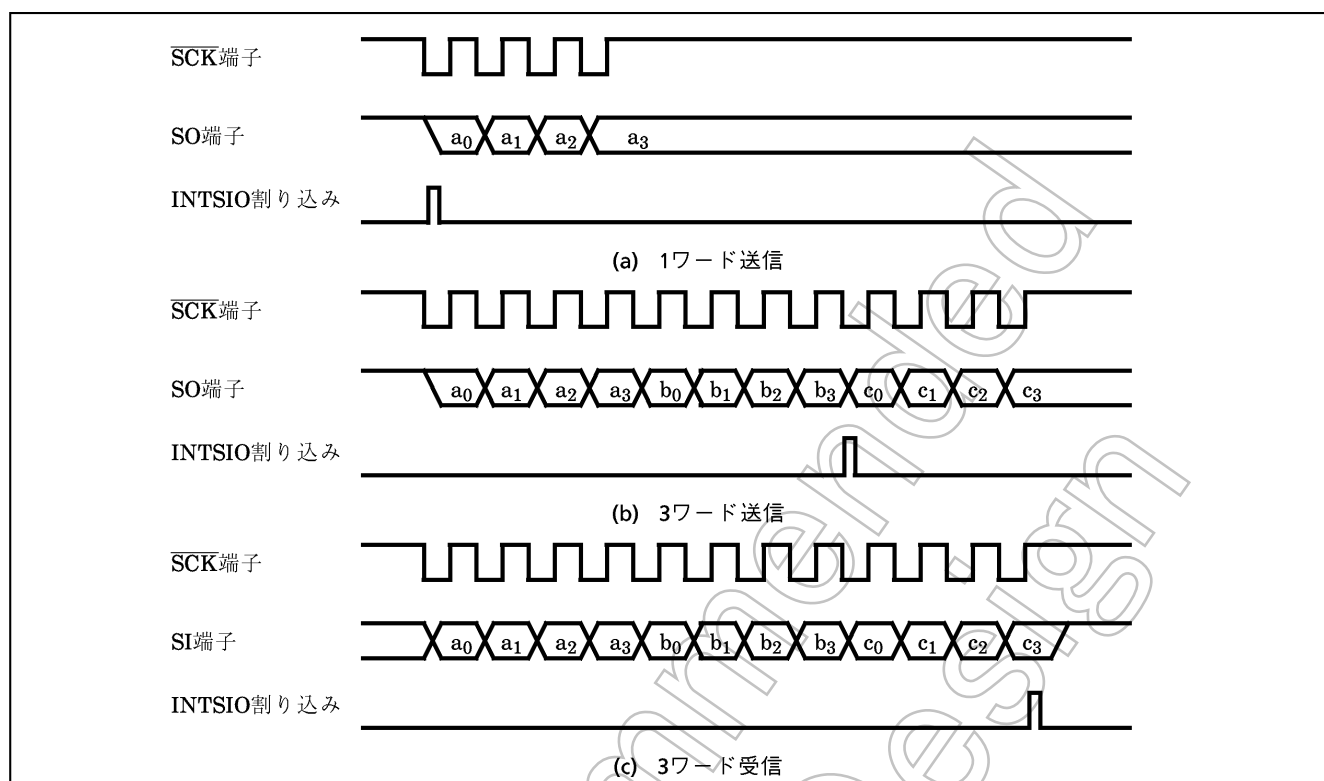


図2-27. 転送ワード数(例: 1ワード = 4ビット)

(4) 転送モード

SIOM (SIOCR1のビット3~5)で、送信/受信/送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、SIOSを“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次SO端子に出力されます。LSBのデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、次の送信データを要求するINTSIO (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、BUFで指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

注) 送信データバッファに使用していないDBRへの書き込みによっても自動ウェイト動作は解除されますので、不使用のDBRを他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードのDBRは使用しないでください。

送信開始時、SIOFが“1”となつてから $\overline{\text{SCK}}$ の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが出力された時点で送信終了します。プログラムで送信の終了を確認するには、SIOF (SIOSRのビット7) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合は、ただちに送信を打ち切り、SIOFは“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを“0”クリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOSを“0”にクリアし、SIOFが“0”になったことを確認後BUFを書き替えてください。

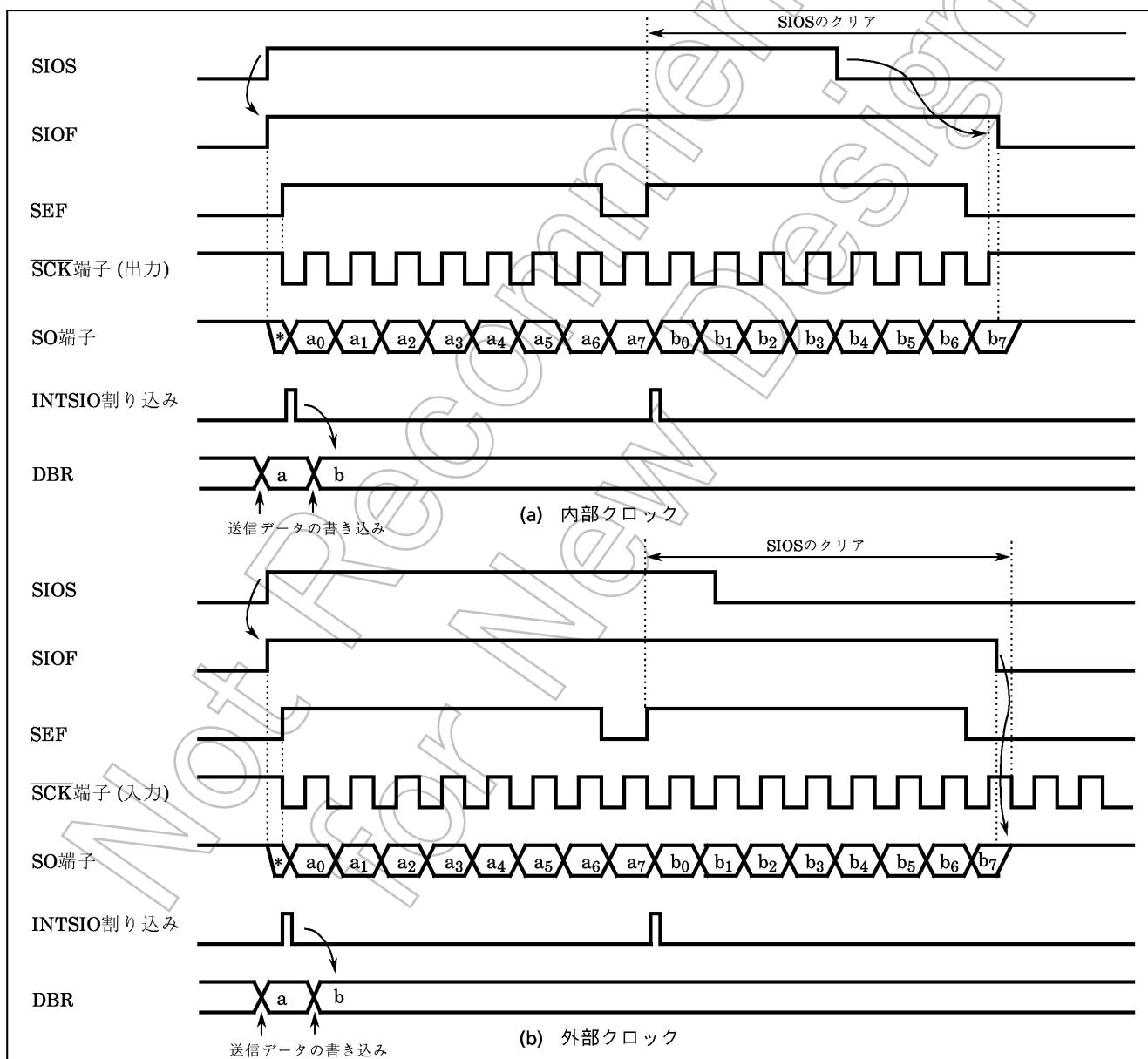


図2-28. 送信モード (例: 8ビット, 1ワード転送)

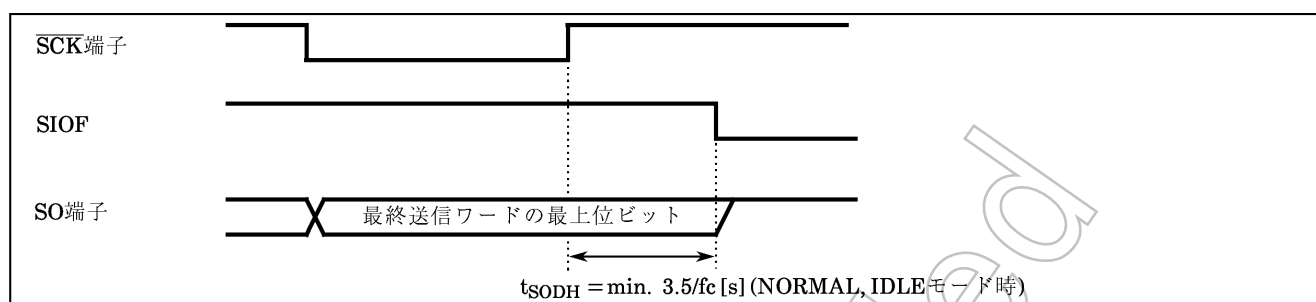


図2-29. 送信終了時の送信データ保持時間

b. 4ビット受信モード, 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。BUFで指定されたワード数の受信が終了すると受信データの読み取りを要求するINTSIO (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していないDBRの読み出しによっても自動ウェイト動作は解除されませんので、SIOで不使用のDBRを他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF (SIOSRのビット7) をセンスします。SIOFは受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。SIOINHをセットした場合は、ただちに受信を打ち切り、SIOFは“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときはSIOSを“0”にクリアしSIOFが“0”になったことを確認後BUFを書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前にBUFを書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

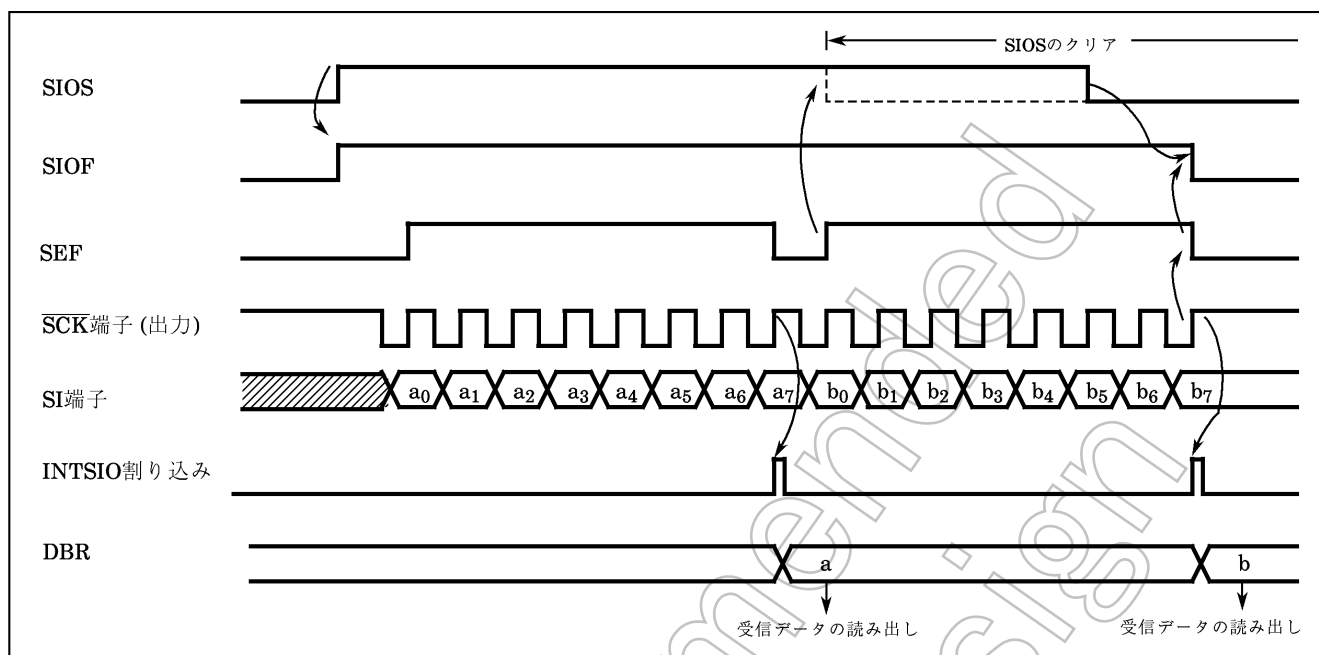


図2-30. 受信モード (例: 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOSに“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データはSO端子から出力され、後縁で受信データがSI端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。BUFで指定されたワード数の送受信が終了すると、INTSIO割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、かならず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

転送開始時、SIOFが“1”になってからSCKの立ち下がりエッジまでの間、前回転送した最後の送信データが出力されます。

送受信を終了させるには、INTSIO割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SIOSRのビット7) をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、ただちに送受信を打ち切り、SIOFは“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOSを“0”にクリアしSIOFが“0”になったことを確認後、BUFを書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

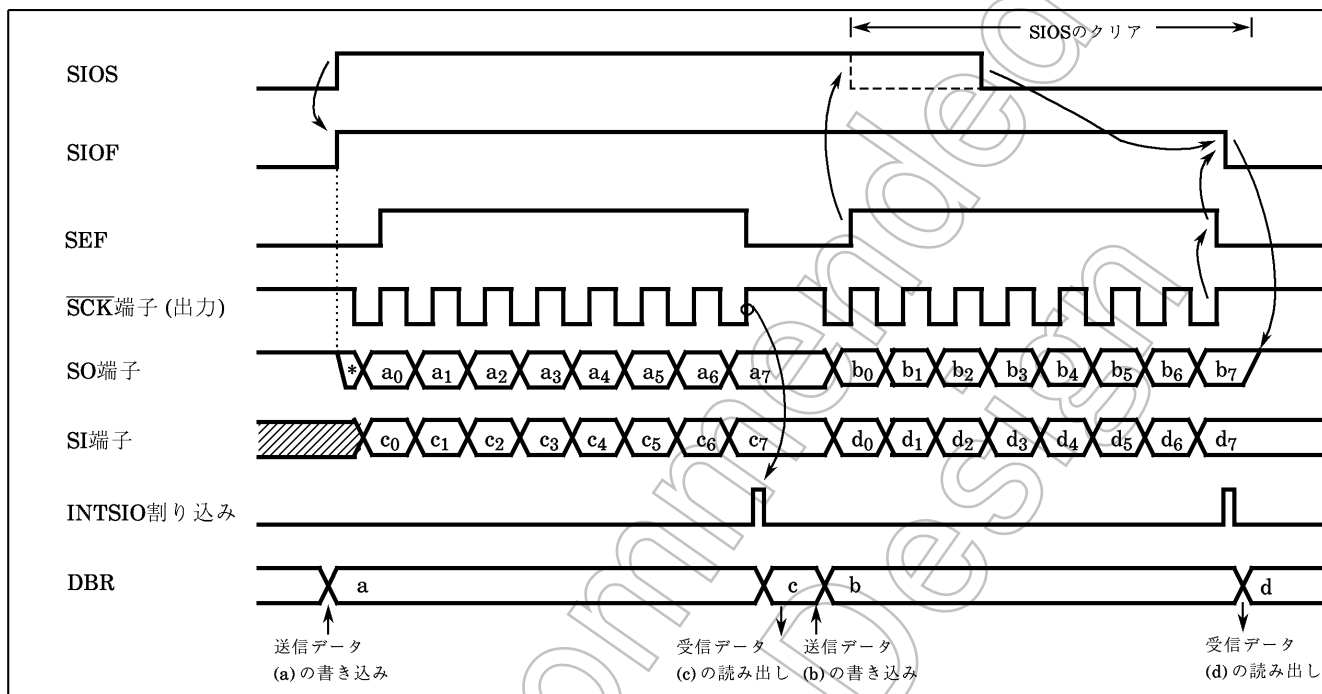


図2-31. 送受信モード (例: 8ビット, 1ワード, 内部クロック)

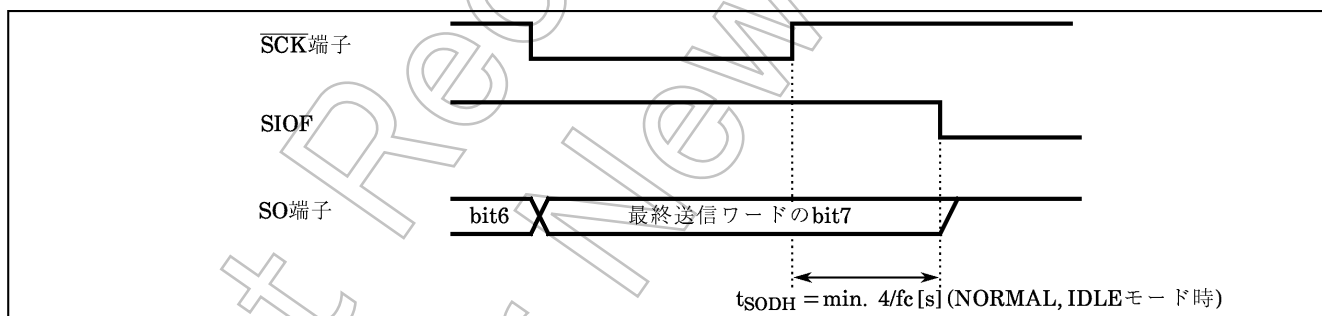


図2-32. 送受信終了時の送信データ保持時間

2.7.3 SIO使用上の注意事項

$\overline{\text{SCK}}$ 端子の立ち上がりまたは立ち下がり時にリングングノイズが発生した場合、 $\overline{\text{SCK}}$ 端子はシュミット回路ではありませんので注意が必要です。

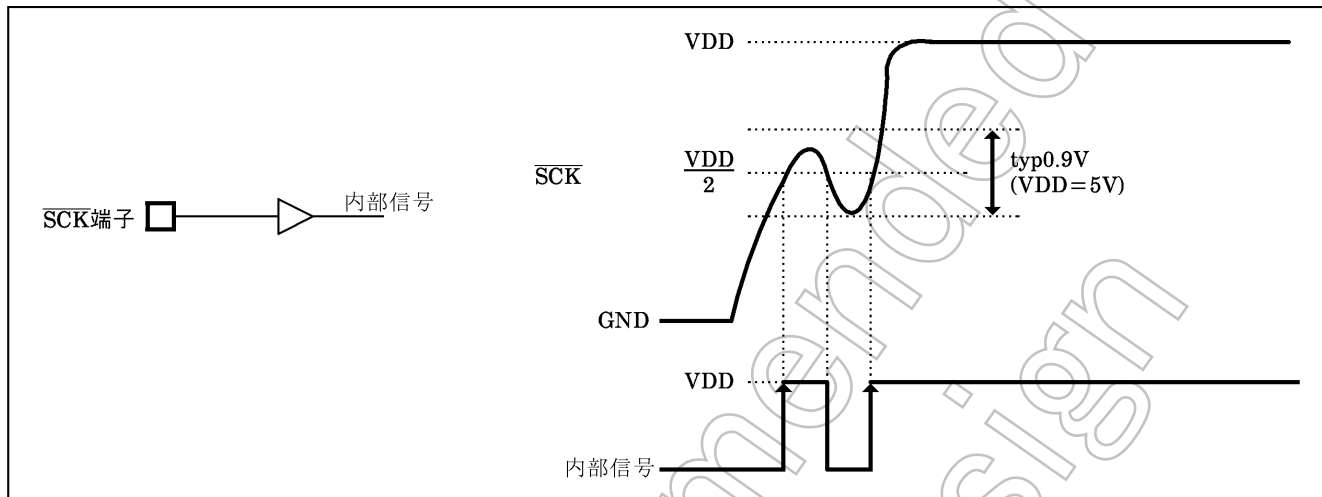


図2-33. リンギングノイズ (例)

$\overline{\text{SCK}}$ 端子はシリアルデータの終了ポイントを検出するカウントクロックに使用されていますので $\overline{\text{SCK}}$ 端子の入力信号ラインに図1のようなリングングノイズが発生した場合、図2に示すようなカウントミスを生じ、本来よりも早い時点で受信データのシフトカウントを終了してしまう可能性があります。

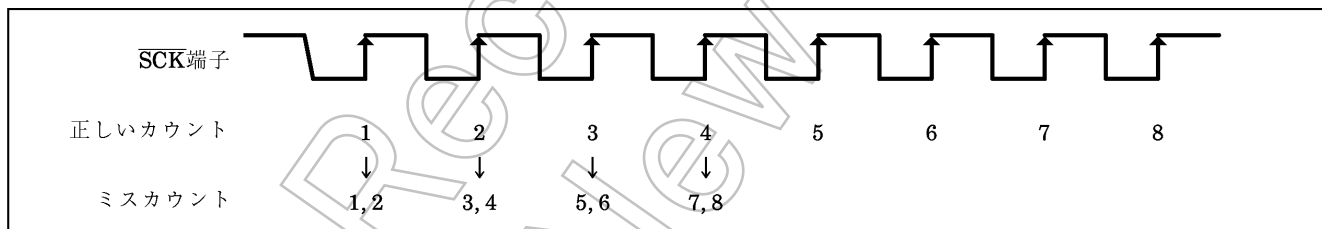


図2-34. リンギングノイズによるカウント (例) (8ビット受信モードの場合)

- 注1) $\overline{\text{SCK}}$ 端子を入力として使用する場合は、シュミット回路を外部に挿入することを推奨します。
 注2) SI端子もシュミット回路ではありませんので、シュミット回路を外部に挿入することを推奨します。

2.8 8ビットA/Dコンバータ (ADC)

87C408/808/407L/808Lは、8ビット分解能の逐次比較方式A/Dコンバータを内蔵しています。
 なお、アナログ基準電源 (VAREF) はSTOPモード時またはアナログ入力ディセーブル時に自動的にカットオフされます。

2.8.1 構成

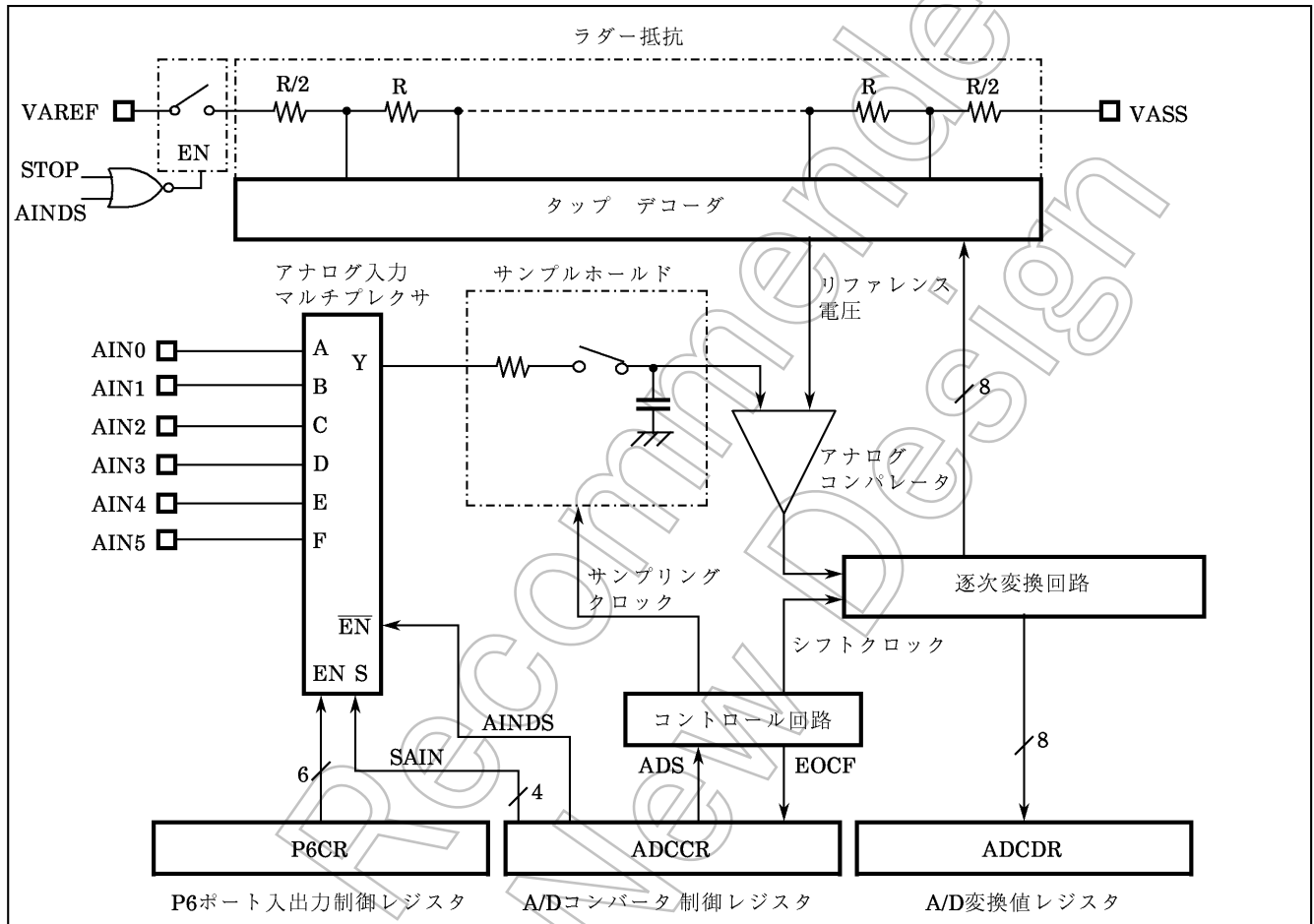


図2-35. A/Dコンバータ (ADC)

2.8.2 制御

A/Dコンバータの制御は、A/Dコンバータ制御レジスタ (ADCCR) で行います。また、ADCCRのEOCFを読むことでA/Dコンバータの動作状態を、A/D変換値レジスタ (ADCDR) を読むことでA/D変換値を知ることができます。

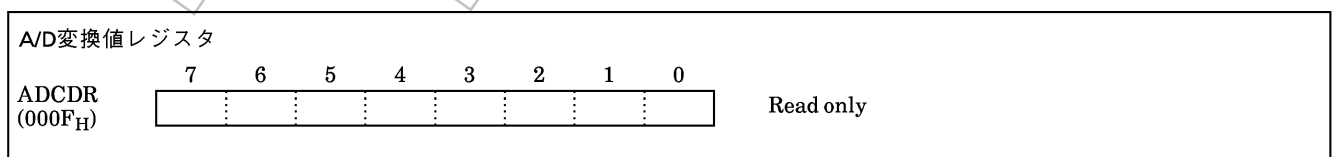


図2-36. A/D変換値レジスタ

A/Dコンバータ制御レジスタ

	7	6	5	4	3	2	1	0	
ADCCR (000E _H)	EOCF	ADS	ACK	AINDS	SAIN				(初期値 0001 0000)
	SAIN	アナログ入力チャンネル選択		0000 : AIN0を選択 0001 : AIN1を選択 0010 : AIN2を選択 0011 : AIN3を選択 0100 : AIN4を選択 0101 : AIN5を選択 0110 : reserved 0111 : reserved 1*** : reserved				R/W	
	AINDS	アナログ入力制御		0 : アナログ入力イネーブル 1 : アナログ入力ディセーブル				R/W	
	ACK	変換時間選択		0 : 変換時間 = 184/fcgck 1 : 変換時間 = 736/fcgck				R/W	
	ADS	A/D変換開始		0 : - 1 : A/D変換開始				R/W	
	EOCF	A/D変換終了フラグ		0 : A/D変換中またはA/D変換前 1 : A/D変換終了				R	

注1) *: don't care
 注2) アナログ入力チャンネルの選択はA/D変換停止状態で設定してください。
 注3) ADSは、A/D変換開始後自動的に“0”にクリアされます。
 注4) EOCFは、A/D変換値レジスタ (ADCDR)をリードすると“0”にクリアされます。
 注5) EOCFは、リード専用で書き込んだデータは無視されます。

図2-37. A/Dコンバータの制御レジスタ

2.8.3 A/Dコンバータの動作

アナログ基準電圧のHigh側をVAREF端子に、Low側をVASS端子に印加します。VAREF-VASS間の基準電圧をラダー抵抗によりビットに対応した電圧に分割し、アナログ入力電圧と比較判定を行うことにより、A/D変換が実行されます。

注) VASSはVSSと共通になっています。

(1) A/D変換の起動

A/D変換に先立ち、SAIN (ADCCRのビット3~0) によりアナログ入力チャネル (AIN5~AIN0) のうちの1端子を選択します。AINDS (ADCCRのビット4) を“0”にクリアし、P6入力制御 (P6CR) でアナログ入力に使用するチャネルを“0”にクリアします。

注) アナログ入力として使用しない端子は、通常の入出力端子として使用できますが、変換中はいずれの端子に対しても精度を保つ意味で出力命令は行わないでください。

ACK (ADCCRのビット5) により変換時間の設定を行います。

A/D変換動作は、ADS (ADCCRのビット6) を“1”にセットすることにより開始されます。

A/D変換時間は、A/D変換開始後、ADCDRに変換結果がセットされるまでで、ACK=0の時、 $184/fcgck$ [s] (46マシンサイクル) が必要です。例えば $fcgck=8$ MHzで $23 \mu s$ かかります。A/D変換が終了すると、変換終了を示すEOCF (ADCCRのビット7) が“1”にセットされます。

A/D変換中にADSを“1”にセットすると初期化されて、初めから変換をやり直します。

なお、アナログ入力電圧のサンプリングは、A/D変換の開始指示後4マシンサイクルで行われます。

注1) 87C408/808/P808のサンプルホールド回路は、 $5 k\Omega$ (typ.) の抵抗を介して $12 pF$ (typ.) のコンデンサを内蔵していますので、4マシンサイクルの間に、このコンデンサへ電荷を蓄える必要があります。

注2) 87C408L/808L/P808Lのサンプルホールド回路は、 $7 k\Omega$ (typ.) の抵抗を介して $11 pF$ (typ.) のコンデンサを内蔵していますので、4マシンサイクルの間に、このコンデンサへ電荷を蓄える必要があります。

(2) A/D変換値の読み出し

A/D変換値レジスタ (ADCDR) にストアされた変換値は、変換終了 (EOCF=1) を確認後に読み出しを行ってください。変換値を読み出すと、EOCFは自動的に“0”にクリアされます。なお、A/D変換中に読み出しを行うと、不定値が読み出されます。

(3) A/D変換中のSTOPモード

A/D変換中にSTOPモードに入るとA/D変換は中止され、A/D変換値は不定となります。したがって、STOPモードより復帰後はEOCFは“0”にクリアされたままとなります。ただし、A/D変換終了後 (EOCFが“1”にセットされた後) STOPモードに入ると、A/D変換値、EOCFの状態は保持されます。

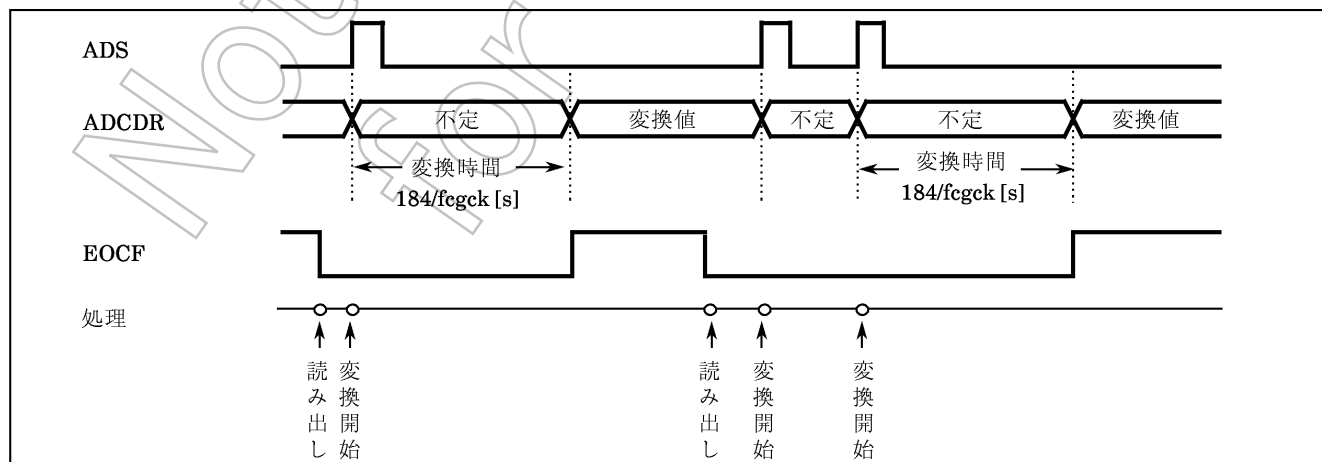


図2-38. A/D変換動作

例1: アナログ入力チャネルとしてAIN4端子を選択後、A/D変換を行います。EOCFを確認して変換値を読み出し、RAMの009EH番地に格納します。

```

; AIN SELECT
LD      (ADCCR), 00000100B    ; AIN4を選択
; A/D CONVERT START
SET     (ADCCR). 6            ; ADS=1
SLOOP: TEST  (ADCCR). 7       ; EOCF=1?
JRS     T, SLOOP
; RESULT DATA READ
LD      (9EH), (ADCDR)
    
```

アナログ入力電圧とA/D変換された8ビットデジタル値とは図2-39.のように対応します。

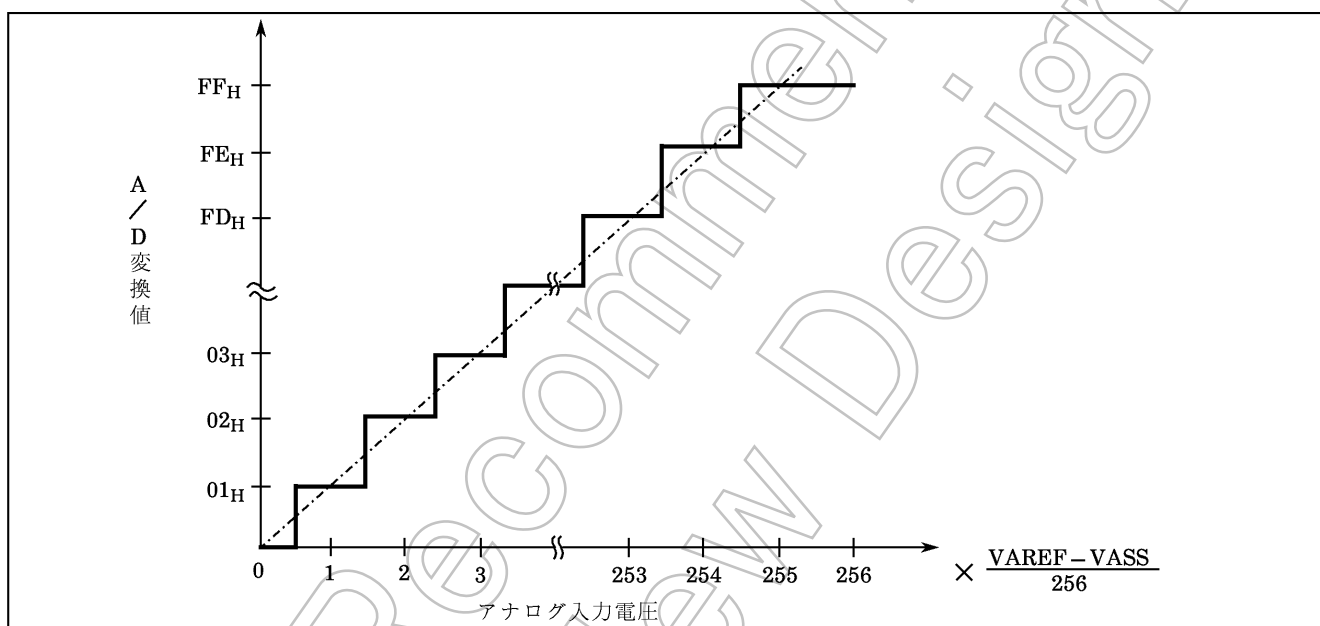


図2-39. アナログ入力電圧とA/D変換値 (typ.) の関係

2.9 キーウェイクアップ

87C408/808/408L/808Lでは、P76 (INT5/STOP) 端子以外にP62~P65の4つの端子でもストップモードの解除が可能です。

P62~P65ポート入力にてSTOPモードを解除する場合、システムレジスタ1 (SYSCR1) にてストップモードを起動(レベルモード)させておく必要があります(エッジモードは使用することができません)。

ストップモード制御レジスタ

STOPCR (002FH)	7	6	5	4	3	2	1	0	(初期値 **0000**)
	-	-	STOP5	STOP4	STOP3	STOP2	-	-	

STOP2	P62ポートによるストップモード解除	0: 禁止 1: 許可	Read / Write
STOP3	P63ポートによるストップモード解除	0: 禁止 1: 許可	
STOP4	P64ポートによるストップモード解除	0: 禁止 1: 許可	
STOP5	P65ポートによるストップモード解除	0: 禁止 1: 許可	

図2-40. ストップモード制御レジスタ

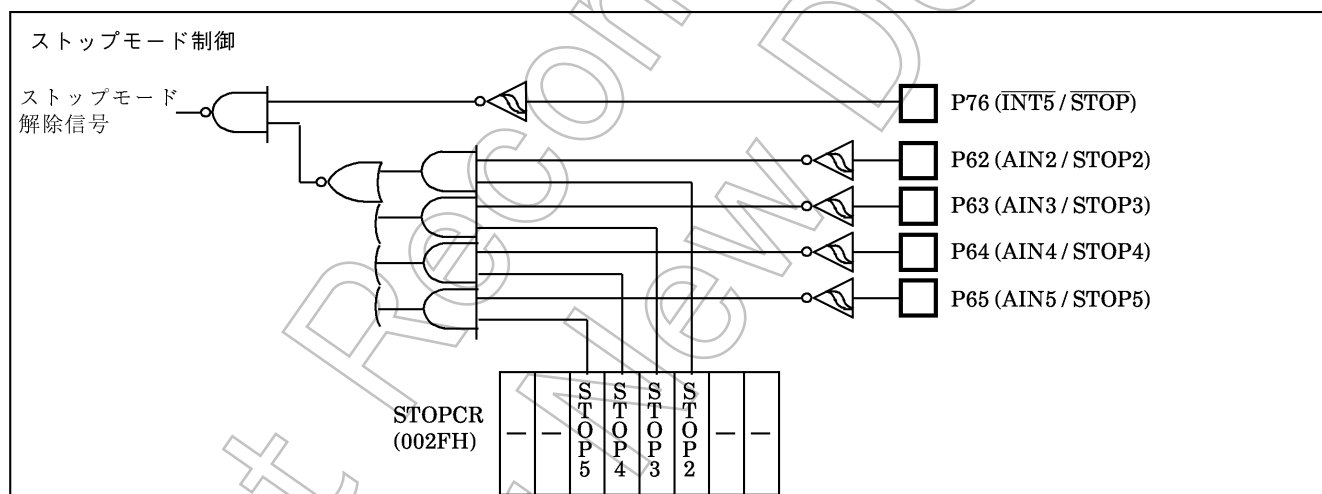


図2-41. ストップモード制御回路

またストップモード制御レジスタ (STOPCR) により P62~P65 に対して内蔵プルアップ抵抗のビット単位での接続が可能です。

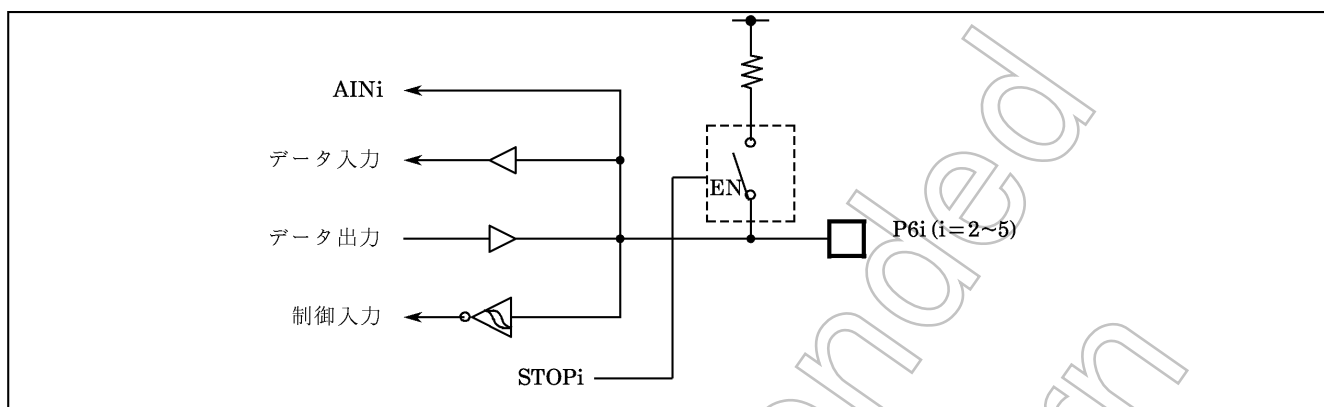


図2-42. P6iポート (i = 2~5)

注) P65~P62 をキーウェイクアップ入力として使用する場合、P76 (INT5 / STOP 含む) は入力としてのみ使用してください。

端子の入出力回路

(1) 制御端子

87C408/808/408L/808Lの制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 1.5 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入出力		シンクオープンドレイン出力 ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
$\overline{\text{STOP/INT5}}$ (P76)	入力		ヒステリシス入力 $R = 1 \text{ k}\Omega$ (typ.)
$\overline{\text{STOPi}}$ (P6i)	入力		ヒステリシス入力 $i = 2 \sim 5$ プルアップ抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) (87C408/808) $R_{IN} = 130 \text{ k}\Omega$ (typ.) (87C408L/808L) $R = 1 \text{ k}\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)

注) 87P808/808LのTEST端子には、プルダウン抵抗は内蔵されていません。MCUモードではかならず低レベルに固定してください。

(2) 入出力ポート

87C408/808/408L/808Lの入出力ポートの入出力回路を示します。

ポート	入出力	入出力回路	備考
P1	入出力	<p>initial "Hi-Z"</p> <p>disable</p> <p>VDD</p> <p>R</p>	<p>トライステート入出力 ヒステリシス入力</p> <p>R=1 kΩ (typ.)</p>
P6	入出力	<p>initial "Hi-Z"</p> <p>disable</p> <p>VDD</p> <p>R</p>	<p>トライステート入出力</p> <p>R=1 kΩ (typ.)</p>
P7	入出力	<p>initial "Hi-Z"</p> <p>P-ch Control</p> <p>disable</p> <p>VDD</p> <p>R</p>	<p>トライステート入出力</p> <p>R=1 kΩ (typ.)</p>

電気的特性

(1) 87C408/808

絶対最大定格

(V_{SS}=0 V)

項目	記号	端子	規格	単位	
電源電圧	V _{DD}		-0.3~6.5	V	
入力電圧	V _{IN}		-0.3~V _{DD} +0.3	V	
出力電圧	V _{OUT}		-0.3~V _{DD} +0.3	V	
出力電流 (1端子当り)	I _O L	I _{OUT1}	P1, P6	3.2	mA
		I _{OUT2}	P7 (中電流ポート)	15	mA
	I _O H	I _{OUT3}	P1, P6, P7	-1.8	mA
出力電流 (全端子総計)	I _O L	Σ I _{OUT1}	P1, P6	50	mA
		Σ I _{OUT2}	P7 (中電流ポート)	60	mA
	I _O H	Σ I _{OUT3}	P1, P6, P7	30	mA
消費電力 [Topr=70°C]	PD		SDIP	300	mW
			SOP	180	
入力電流	I _{in1}	P1, P6, P7		1.0	mA
	I _{in2}			-1.0	
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C	
保存温度	T _{stg}		-55~125	°C	
動作温度	Topr		-30~70	°C	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破壊・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件

(V_{SS}=0 V, Topr=-30~70°C)

項目	記号	端子	条件	Min.	Max.	単位
電源電圧	V _{DD}		fc=8 MHz	NORMAL モード時	4.5	V
				IDLE モード時		
			fc=4.2 MHz	NORMAL モード時	2.7	
				IDLE モード時		
	STOP モード時	2.0				
高レベル 入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	V
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
	V _{IH3}			2.7 V ≤ V _{DD} < 4.5 V		
低レベル 入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	V
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
	V _{IL3}				2.7 V ≤ V _{DD} < 4.5 V	
クロック周波数	fc	XIN, XOUT	V _{DD} = 4.5~5.5 V	1.0	8.0	MHz
			V _{DD} = 2.7~5.5 V		4.2	

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、かならず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数 fc : 条件の電源電圧範囲は、NORMALモード時およびIDLEモード時の値を示す。

注3) クロック周波数のMin.値はクロックギア使用時のシステムクロック周波数のMin.値を示す。(1MHz ≤ fcgck)

D.C. 特性

(V_{SS}=0 V, Topr = -30~70 °C)

項目	記号	端子	条件	Min.	Typ.	Max.	単位		
ヒステリシス電圧	V _{HS}	ヒステリシス入力		-	0.9	-	V		
入力電流	I _{IN1}	TEST	V _{DD} =5.5 V V _{IN} =5.5 V / 0 V	-2	-	2	μA		
	I _{IN2}	トライステートポート							
	I _{IN3}	RESET, STOP							
入力抵抗	R _{IN1}	TEST	i=2~5	30	70	150	kΩ		
	R _{IN2}	RESET		100	220	450			
	R _{IN3}	STOPi		30	70	150			
出力リーク電流	I _{LO}	トライステートポート	V _{DD} =5.5 V, V _{OUT} =5.5 V / 0 V	-2	-	2	μA		
高レベル出力電圧	V _{OH2}	トライステートポート	V _{DD} =4.5 V, I _{OH} =-0.7 mA	4.1	-	-	V		
低レベル出力電圧	V _{OL}	XOUT, P7ポートを除く	V _{DD} =4.5 V, I _{OL} =1.6 mA	-	-	0.4	V		
低レベル出力電流	I _{OL3}	P7ポート	V _{DD} =4.5 V, V _{OL} =1.0 V	-	7	-	mA		
NORMAL モード時 電源電流	I _{DD}		V _{DD} =5.5 V fc=8 MHz V _{IN} =5.3 V / 0.2 V	fcgck	fc	-	6.5	10	mA
IDLE モード時 電源電流					fc/2	-	4.0	6.4	
					fc/4	-	2.6	4.7	
					fc/8	-	1.9	3.9	
				fc	-	3.3	5.0		
NORMAL モード時 電源電流				fcgck	fc/2	-	2.4	3.9	
					fc/4	-	1.9	3.5	
					fc/8	-	1.6	3.3	
			fc		-	1.5	2.5		
IDLE モード時 電源電流			fcgck	fc/2	-	0.85	1.6		
				fc/4	-	0.6	1.2		
				fc	-	0.8	1.4		
				fc/2	-	0.55	1.1		
STOP モード時 電源電流			fcgck	fc/4	-	0.45	0.9		
					V _{DD} =5.5 V V _{IN} =5.3 V / 0.2 V	-	0.5	10	

- 注1) Typ.値は、条件に指定なき場合Topr = 25 °C, V_{DD} = 5 V時の値を示す。
 注2) 入力電流 I_{IN1}, I_{IN3} : プルアップまたはプルダウン抵抗による電流を除く。
 注3) I_{DD}はI_{REF}を含まず。

A/D 変換 特性

(V_{SS}=0 V, V_{DD}=2.7~5.5 V, Topr = -30~70 °C)

項目	記号	条件	Min.	Typ.	Max.	単位
アナログ基準電源電圧	V _{AREF}		2.7	-	V _{DD}	V
	V _{ASS}		V _{SS}			
アナログ入力電圧範囲	V _{AIN}		V _{ASS}	-	V _{AREF}	V
アナログ基準電圧電源電流	I _{REF}	V _{AREF} =5.5 V, V _{ASS} =0.0 V	-	0.8	1.0	mA
非直線性誤差		V _{DD} =5.0 V, V _{AREF} =5.000 V	-	-	±1	LSB
ゼロ誤差		V _{ASS} (V _{SS})=0.000 V	-	-	±1	
フルスケール誤差		または V _{DD} =2.7 V, V _{AREF} =2.700 V	-	-	±1	
総合誤差		V _{ASS} (V _{SS})=0.000 V	-	-	±2	

注) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差を言います。

TMP87C408DM

項目	記号	条件	Min.	Typ.	Max.	単位
非直線性誤差		$V_{DD}=2.7\text{ V}$ $V_{AREF}=2.700\text{ V}$ $V_{ASS}(V_{SS})=0.000\text{ V}$	-	-	± 1	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 3	
総合誤差			-	-	± 4	

注) TMP87C408DM につきましては、 $V_{DD}=2.7\text{ V}$ 時のA/D変換精度の保証値は異なります。

A.C. 特性 (I)

($V_{SS}=0\text{ V}$, $V_{DD}=4.5\sim 5.5\text{ V}$, $T_{opr}=-30\sim 70\text{ }^\circ\text{C}$)

項目	記号	条件	Min.	Typ.	Max.	単位
マシンサイクルタイム	tcy	NORMALモード時	0.5	-	4	μs
		IDLEモード時				
高レベルクロックパルス幅	twCH	外部クロック動作 (XIN入力)	50	-	-	ns
低レベルクロックパルス幅	twCL	$f_c=8\text{ MHz}$ 時				
A/D変換時間	tADC	ACK=0	-	46	-	tcy
		ACK=1		184		
A/D変換サンプリング時間	tAIN		-	4	-	

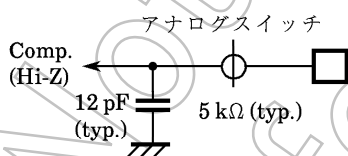
A.C. 特性 (II)

($V_{SS}=0\text{ V}$, $V_{DD}=2.7\sim 5.5\text{ V}$, $T_{opr}=-30\sim 70\text{ }^\circ\text{C}$)

項目	記号	条件	Min.	Typ.	Max.	単位
マシンサイクルタイム	tcy	NORMALモード時	0.95	-	4	μs
		IDLEモード時				
高レベルクロックパルス幅	twCH	外部クロック動作 (XIN入力)	110	-	-	ns
低レベルクロックパルス幅	twCL	$f_c=4.2\text{ MHz}$ 時				
A/D変換時間	tADC	ACK=0	-	46	-	tcy
		ACK=1		184		
A/D変換サンプリング時間	tAIN		-	4	-	

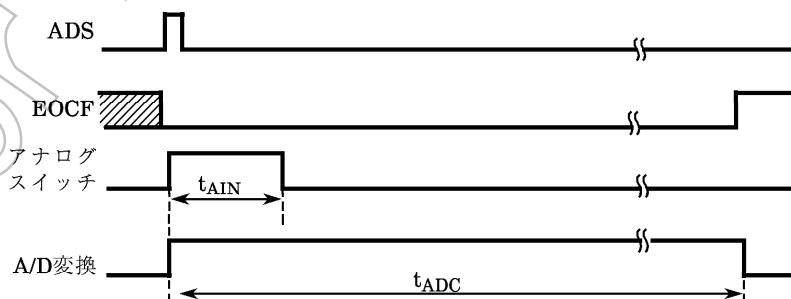
(注1) A/D変換およびサンプリング時間:

AIN0~5端子 内部回路



※ A/D変換が正常に行われるには t_{AIN} 期間中に内蔵コンデンサへ電荷が蓄えられる必要があります。

A/D変換タイミング

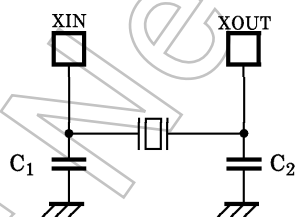


推奨発振条件-1 (V_{SS}=0 V, V_{DD}=4.5~5.5 V, T_{orp}= -30~70 °C)

項目	発振子	発振周波数	推奨発振子	推奨定数	
				C ₁	C ₂
高周波発振	セラミック発振子	8 MHz (V _{DD} =4.5~5.5V)	京セラ KBR8.0M	30 pF	30 pF
			村田製作所 CSAC8.00MT	30 pF	30 pF
			村田製作所 CSA8.00MTZ CST8.00MTW CSTS8.00MT	30 pF内蔵	30 pF内蔵
		4.19 MHz (V _{DD} =2.7~5.5V)	村田製作所 CSA4.19MG	30 pF	30 pF
			村田製作所 CST4.19MGW	30 pF内蔵	30 pF内蔵
		4 MHz (V _{DD} =2.7~5.5V)	京セラ KBR4.0MS	30 pF	30 pF
	水晶振動子	8 MHz (V _{DD} =4.5~5.5V)	TOYOCOM 210B 8.0000	20 pF	20 pF
		4 MHz (V _{DD} =2.7~5.5V)	TOYOCOM 204B 4.000		

推奨発振条件-2 (V_{SS}=0 V, V_{DD}=2.7~5.5 V, T_{orp}= -30~70 °C)

項目	発振子	発振周波数	推奨発振子	推奨定数	
				C ₁	C ₂
高周波発振	セラミック発振子	4.19 MHz (V _{DD} =2.7~5.5V)	村田製作所 CSA4.19MG	30 pF	30 pF
			村田製作所 CST4.19MGW	30 pF内蔵	30 pF内蔵
		4 MHz (V _{DD} =2.7~5.5V)	村田製作所 CSA4.00MG	30 pF	30 pF
			村田製作所 CSA4.00MGC	30 pF内蔵	30 pF内蔵
			村田製作所 CST4.00MGW	30 pF内蔵	30 pF内蔵
			村田製作所 CSTC4.00MG	30 pF内蔵	30 pF内蔵
村田製作所 CSTCS4.00MG	10 pF内蔵	10 pF内蔵			



(1) 高周波発振

注) ブラウン管など高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

電気的特性

(2) 87C408L/808L

絶対最大定格

(V_{SS}=0 V)

項目	記号	端子	規格	単位	
電源電圧	V _{DD}		-0.3~5.5	V	
入力電圧	V _{IN}		-0.3~V _{DD} +0.3	V	
出力電圧	V _{OUT}		-0.3~V _{DD} +0.3	V	
出力電流 (1端子当り)	I _O L	I _{OUT1}	P1, P6	3.2	mA
		I _{OUT2}	P7 (中電流ポート)	15	mA
	I _O H	I _{OUT3}	P1, P6, P7	-1.8	mA
出力電流 (全端子総計)	I _O L	Σ I _{OUT1}	P1, P6	50	mA
		Σ I _{OUT2}	P7 (中電流ポート)	60	mA
	I _O H	Σ I _{OUT3}	P1, P6, P7	30	mA
消費電力 [Topr=70°C]	PD		SDIP	300	mW
			SOP	180	
入力電流	I _{in1}	P1, P6, P7		1.0	mA
	I _{in2}			-1.0	
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C	
保存温度	T _{stg}		-55~125	°C	
動作温度	Topr		-30~70	°C	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破壊・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件

(V_{SS}=0 V, Topr=-30~70°C)

項目	記号	端子	条件	Min.	Max.	単位	
電源電圧	V _{DD}		fc = 4.2 MHz	NORMAL モード時	1.8	4.0	V
			IDLE モード時				
			STOP モード時				
高レベル 入力電圧	V _{IH}			V _{DD} ×0.90	V _{DD}	V	
低レベル 入力電圧	V _{IL}			0	V _{DD} ×0.10	V	
クロック周波数	fc	XIN, XOUT	V _{DD} =1.8~4.0 V	1.0	4.2	MHz	

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、かならず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数 fc : 条件の電源電圧範囲は、NORMALモード時およびIDLEモード時の値を示す。

注3) クロック周波数のMin.値はクロックギア使用時のシステムクロック周波数のMin.値を示す。(1MHz ≤ fcgck)

D.C. 特性

(V_{SS}=0 V, Topr = -30~70 °C)

項目	記号	端子	条件	Min.	Typ.	Max.	単位			
ヒステリシス電圧	V _{HS}	ヒステリシス入力		-	0.9	-	V			
入力電流	I _{IN1}	TEST	V _{DD} =4.0 V V _{IN} =4.0 V/0 V	-2	-	2	μA			
	I _{IN2}	トライステートポート								
	I _{IN3}	RESET, STOP								
入力抵抗	R _{IN1}	TEST	i=2~5	30	70	150	kΩ			
	R _{IN2}	RESET		100	220	450				
	R _{IN3}	STOPi		30	130	250				
出力リーク電流	I _{LO}	トライステートポート	V _{DD} =4.0 V, V _{OUT} =4.0 V/0 V	-2	-	2	μA			
高レベル出力電圧	V _{OH2}	トライステートポート	V _{DD} =4.0 V, I _{OH} =-0.5 mA	3.6	-	-	V			
低レベル出力電圧	V _{OL}	XOUT, P7ポートを除く	V _{DD} =4.0V, I _{OL} =1.3 mA	-	-	0.4	V			
低レベル出力電流	I _{OL3}	P7ポート	V _{DD} =4.0 V, V _{OL} =1.0 V	-	6	-	mA			
NORMAL モード時 電源電流	I _{DD}		V _{DD} =4.0 V fc=4.19 MHz V _{IN} =3.8 V/0.2 V	fcgck	fc	-	2.25	3.6	mA	
IDLE モード時 電源電流					fcgck	fc/2	-	1.35		2.5
						fc/4	-	0.9		1.9
				fc		-	1.2	1.9		
NORMAL モード時 電源電流				fcgck	fc/2	fc	-	0.9		1.7
						fc/4	-	0.7		1.5
			fc			-	1.5	2.5		
IDLE モード時 電源電流			fcgck	fc/2	fc	-	0.85	1.6		
					fc/4	-	0.6	1.2		
					fc	-	0.8	1.4		
NORMAL モード時 電源電流			fcgck	fc/2	fc	-	0.55	1.1		
					fc/4	-	0.45	0.9		
					fc	-	0.9	1.3		
IDLE モード時 電源電流			fcgck	fc/2	fc	-	0.5	0.8		
					fc/4	-	0.3	0.45		
					fc	-	0.35	0.5		
STOP モード時 電源電流			fcgck	fc/2	fc	-	0.23	0.35		
					fc/4	-	0.17	0.26		
	fc	-			0.17	0.26				
			V _{DD} =1.8 V fc=4.19 MHz V _{IN} =1.6 V/0.2 V							
			V _{DD} =4.0 V V _{IN} =3.8 V/0.2 V							

- 注1) Typ.値は、条件に指定なき場合Topr = 25 °C, V_{DD} = 4.0 V時の値を示す。
 注2) 入力電流 I_{IN1}, I_{IN3} : プルアップまたはプルダウン抵抗による電流を除く。
 注3) I_{DD}はI_{REF}を含まず。

A/D変換特性 (I)

(Topr = -30~70 °C, V_{SS} = 0V, V_{DD} = 1.8~4.0 V)

項目	記号	条件	Min.	Typ.	Max.	単位
アナログ基準電源電圧	V _{AREF}		1.8	-	V _{DD}	V
	V _{ASS}		V _{SS}			
アナログ入力電圧範囲	V _{AIN}		V _{ASS}	-	V _{AREF}	V
非直線性誤差		1.8 V ≤ V _{AREF} < 2.7 V V _{AREF} ≤ V _{DD} ≤ 4.0 V _{ASS} (V _{SS}) = 0.000V ACK = 1 (Note2)	-	-	±2	LSB
ゼロ誤差			-	-	±2	
フルスケール誤差			-	-	±2	
総合誤差			-	-	±4	

注1) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差をいいます。

注2) ACK; A/D変換値レジスタ (ADCCR) ビット5 (変換時間 = 736/fcgck = 184 μs @ 4 MHz)

A/D変換特性 (II)

(Topr = -30~70 °C, V_{SS} = 0V, V_{DD} = 2.7~4.0 V)

項目	記号	条件	Min.	Typ.	Max.	単位
アナログ基準電源電圧	V _{AREF}		2.7	-	V _{DD}	V
	V _{ASS}		V _{SS}			
アナログ入力電圧範囲	V _{AIN}		V _{ASS}	-	V _{AREF}	V
アナログ基準電源電流	I _{REF}	V _{AREF} = 4.0V, V _{ASS} (V _{SS}) = 0.0V	-	0.5	1.0	mA
非直線性誤差		V _{DD} = 4.0 V V _{AREF} = 4.000V V _{ASS} (V _{SS}) = 0.000V or V _{DD} = 2.7 V V _{AREF} = 2.700V V _{ASS} (V _{SS}) = 0.000V	-	-	±1	LSB
ゼロ誤差			-	-	±1	
フルスケール誤差			-	-	±1	
総合誤差			-	-	±2	

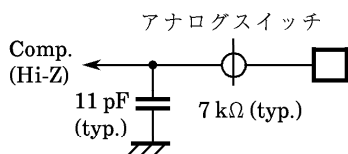
注) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差をいいます。

A.C. 特性

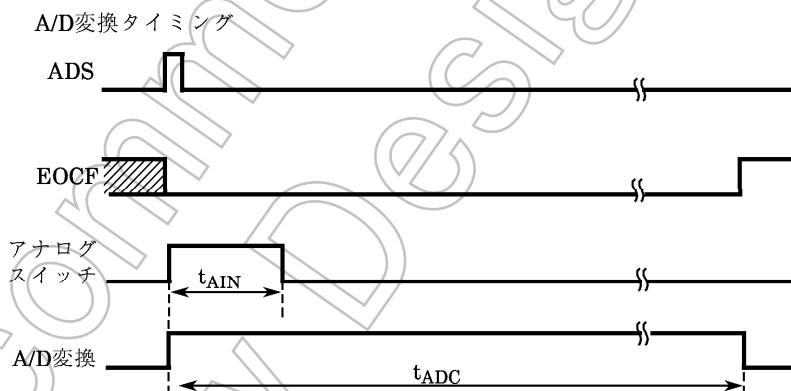
($V_{SS}=0\text{ V}$, $V_{DD}=1.8\sim 4.0\text{ V}$, $T_{opr}=-30\sim 70\text{ }^\circ\text{C}$)

項目	記号	条件	Min.	Typ.	Max.	単位
マシンサイクルタイム	t _{cy}	NORMALモード時	0.95	-	4	μs
		IDLEモード時				
高レベルクロックパルス幅	t _{wCH}	外部クロック動作 (XIN入力)	110	-	-	ns
低レベルクロックパルス幅	t _{wCL}	fc=4.2 MHz 時				
A/D変換時間	t _{ADC}	ACK=0	-	46	-	t _{cy}
		ACK=1	-	184	-	
A/D変換サンプリング時間	t _{AIN}		-	4	-	

(注1) A/D変換およびサンプリング時間：
AIN0~5端子 内部回路



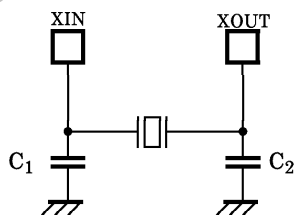
※ A/D変換が正常に行われるには
t_{AIN}期間中に内蔵コンデンサへ電
荷が蓄えられる必要があります。



推奨発振条件

($V_{SS}=0\text{ V}$, $T_{opr}=-30\sim 70\text{ }^\circ\text{C}$)

項目	発振子	発振周波数	推奨発振子	推奨定数	
				C ₁	C ₂
高周波発振	セラミック発振子	4.19 MHz (V _{DD} =2.7~5.5V)	村田製作所 CSA4.19MG	30 pF	30 pF
			村田製作所 CST4.19MGW	30 pF内蔵	30 pF内蔵
		4 MHz (V _{DD} =2.7~5.5V)	村田製作所 CSA4.00MG	30 pF	30 pF
			村田製作所 CSA4.00MGC	30 pF内蔵	30 pF内蔵
			村田製作所 CST4.00MGW	30 pF内蔵	30 pF内蔵
			村田製作所 CSTC4.00MG	30 pF内蔵	30 pF内蔵
村田製作所 CSTCS4.00MG	10 pF内蔵	10 pF内蔵			



(1) 高周波発振

注) ブラウン管など高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

Not Recommended
for New Design