

TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870/C シリーズ

TMP86CM25AFG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

改訂履歴

日付	版	改訂理由
2008/3/6	1	First Release
2008/8/29	2	内容改訂

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"ー"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	ー
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	ー	ー	ー
	fc/16	○	○	ー	ー
	fc/32	○	○	○	ー
上記以外		○	○	○	○

Not Recommended for New Designs

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パッケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP86CM25AF	P-QFP100-1420-0.65A	TMP86CM25AFG	QFP100-P-1420-0.65A	-

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	

修正項目 4. 「当社半導体製品取り扱い上のお願い」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願い」が適用されます。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いいたします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

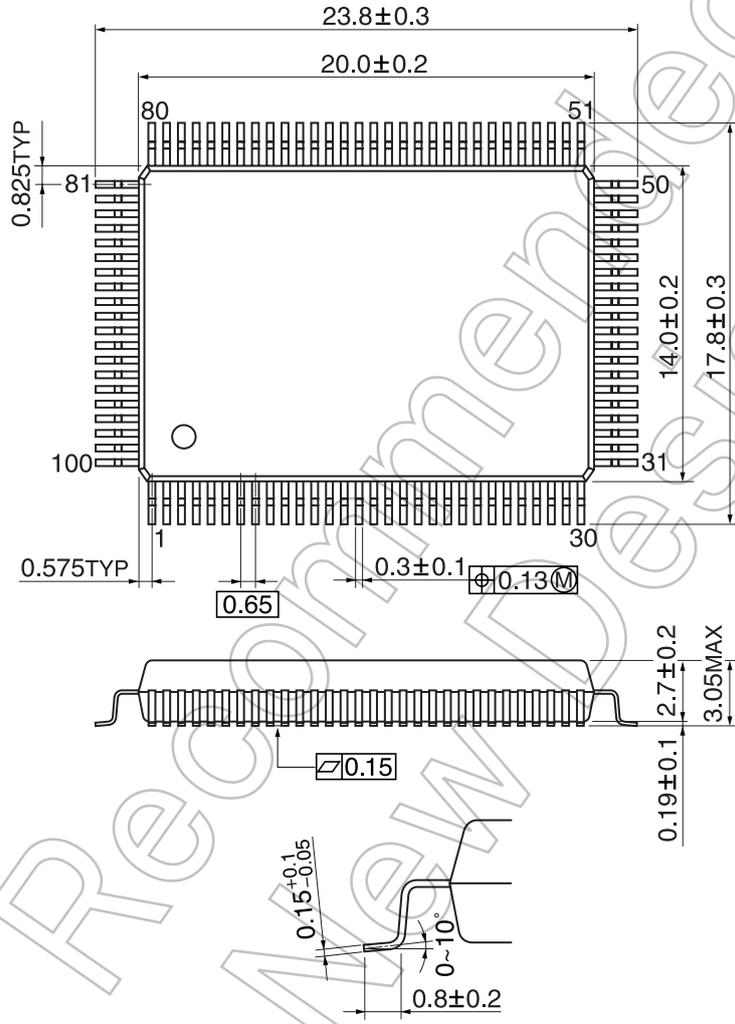
本製品の発行日は、付加ページ右下にも記入の「2008-03-06」です。

(別紙)

パッケージ外形寸法図

QFP100-P-1420-0.65A

単位: mm



Not Recommended for New Design

TMP86CM25F/CS25F/PS25F/C925XB と TMP86CM25AF/FM25 との違い

相違点

	TMP86CM25F/ TMP86CS25F	TMP86PS25F	TMP86C925XB (エミュレーション チップ)	TMP86FM25F	TMP86CM25AF
ROM	32 K (マスク ROM) 60 K (マスク ROM)	60 K (OTP)	-	32 K (フラッシュ)	32 K (マスク ROM)
RAM	2 K		-	2 K	
I/O	42 端子		42 端子 (MCU 部)	42 端子	
外部割り込み	5 本			5 本	
AD コンバータ	8 ビット AD コンバータ × 8 ch			8 ビット AD コンバータ × 8 ch 注 3)	
タイマカウンタ	18 ビットタイマ × 1 ch 8 ビットタイマ × 4 ch		-	18 ビットタイマ × 1 ch 8 ビットタイマ × 4 ch	
シリアル インタフェース	8 ビット SIO × 2 ch UART × 1 ch		-	8 ビット SIO × 2 ch UART × 1 ch	
LCD	60 seg × 16 com			60 seg × 16 com 注 4)	
キーオン ウェイクアップ	4 ch			4 ch	
動作電圧 (MCU モード)	1.8~5.5 V @ 4.2 MHz 2.7~5.5 V @ 8 MHz 4.5~5.5 V @ 16 MHz	-	1.8~5.25 V @ 4.2 MHz 2.7~5.25 V @ 8 MHz 4.5~5.25 V @ 16 MHz	1.8~3.6 V @ 4.2 MHz (外部クロック時) 1.8~3.6 V @ 8 MHz (自己発振時) 2.7~3.6 V @ 16 MHz	
動作温度 (MCU モード)	-40~85°C		0~60°C	-40~85°C	
フラッシュ 書き込み条件	-	-	-	2.7~3.6 V @ 16 MHz 25°C ± 5°C	-
パッケージ	P-QFP100-1420-0.65A		FBGA272	P-QFP100-1420-0.65A	
CPU ウェイト 注 1)	なし			あり 注 2)	

注 1) フラッシュメモリの電源安定化のため、下記の時間 CPU ウェイトがかかります (CPU が停止します)。なお、リセット解除時以外の CPU ウェイトの時は周辺機能は動作しますので、ウェイト中に割り込みが発生すると割り込みラッチがセットされ、IMF = "1" に設定されている場合はウェイト後に割り込み処理を開始することがありますので注意が必要です。詳細については TMP86FM25F の技術資料 1.1 「フラッシュメモリ」を参照してください。

状態	ウェイト時間	ウェイト時の動作	
		CPU	周辺機能
リセット解除時	2 ¹⁰ /fc [s]	停止	停止
STOP モードから NORMAL モードへ復帰時 (EEPCR<MNPWDW> = "1" 設定時)	2 ¹⁰ /fc [s]	停止	動作
STOP モードから SLOW モードへ復帰時 (EEPCR<MNPWDW> = "1" 設定時)	2 ³ /fs [s]	停止	動作
IDLE0/1/2 モードから NORMAL モードへ復帰時 (EEPCR<ATPWDW> = "0" 設定時)	2 ¹⁰ /fc [s]	停止	動作
SLEEP0/1/2 モードから SLOW モードへ復帰時 (EEPCR<ATPWDW> = "0" 設定時)	2 ³ /fs [s]	停止	動作

注 2) TMP86CM25AF にはフラッシュメモリは内蔵されていませんが、フラッシュ品 (TMP86FM25F) との互換性を保つため CPU ウェイト機能が動作します。

注 3) TMP86FM25F/CM25AF の AD 変換時間は、TMP86CM25F/CS25F/PS25F/C925XB の AD 変換時間と異なります。詳細については、2.12 「8 ビット AD コンバータ」を参照してください。

注 4) TMP86FM25F/CM25AF の LCD 基準電源端子電圧範囲は、TMP86CM25F/CS25F/PS25F/C925XB の電圧範囲と異なります。詳細については、「電気的特性」を参照してください。

CMOS 8 ビットマイクロコントローラ TMP86CM25AF

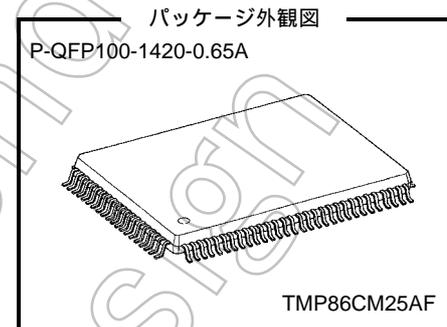
TMP86CM25A は TLCS-870/C シリーズコアに ROM/RAM, ドットマトリクス LCD ドライバ, 多機能タイマカウンタ, 非同期型シリアルインタフェース, 8 ビット AD コンバータおよび 2 系統の発振回路などを内蔵した高速, 高機能 8 ビットシングルチップマイクロコンピュータです。

製品形名	ROM	RAM	パッケージ	フラッシュ MCU
TMP86CM25AF	32 K バイト	2 K バイト	P-QFP100-1420-0.65A	*TMP86FM25F

*: 開発中

特長

- ◆ 8 ビットシングルチップマイクロコンピュータ
TLCS-870/C シリーズ
- ◆ 最小実行時間: 0.25 μ s (16 MHz 動作時)
122 μ s (32.768 kHz 動作時)
- ◆ 基本機械命令: 132 種類 731 命令
- ◆ 割り込み要因 20 要因 (外部: 5, 内部: 15)
- ◆ 入出力ポート (42 端子)
(うち 20 本は SEG 端子, 11 本は COM 端子と兼用)
- ◆ 18 ビットタイマカウンタ: 1 チャネル
 - タイマ, イベントカウンタ, パルス幅測定, 周波数測定モード
- ◆ 8 ビットタイマカウンタ: 4 チャネル
 - タイマ, イベントカウンタ
 - PWM (パルス幅変調出力),
 - PDO (Programmable divider output) モード
 - PPG モード
 - 16 ビットタイマ (カスケード接続)
- ◆ タイムベースタイマ
- ◆ デバイダ出力機能
- ◆ ウォッチドッグタイマ
 - 割り込み/内部リセット発生の選択 (プログラマブル)



030519TBP1

●マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。

●当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

●なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。

●本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下「特定用途」という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

●本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。

●本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

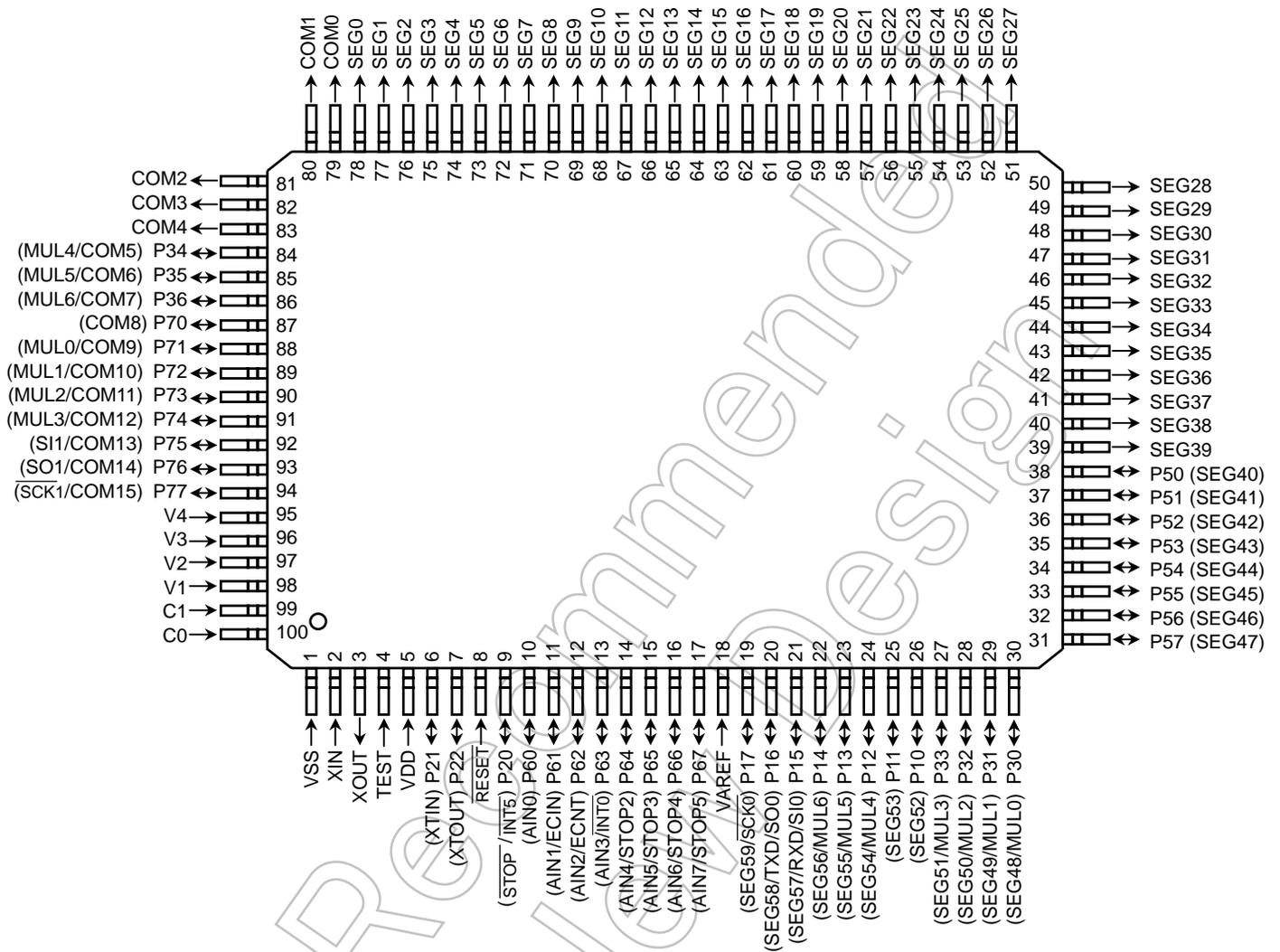
●本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。

●本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

- ◆ シリアルインタフェース
 - 8ビット UART: 1チャンネル
 - 8ビット SIO: 2チャンネル
- ◆ 8ビット逐次比較方式 AD コンバータ
 - アナログ入力: 8チャンネル
- ◆ キーオンウェイクアップ: 4チャンネル
- ◆ LCD ドライバ/コントローラ
 - LCD 電源電圧用昇圧回路内蔵
 - ディスプレイメモリ
 - LCD 直接駆動可能 (60セグメント × 16コモン, 60セグメント × 8コモン, 60セグメント × 4コモン)
 - 1/16, 1/8, 1/4 デューティ駆動の選択
- ◆ クロック発振回路: 2回路
 - シングル/デュアルクロックモードの選択
- ◆ 低消費電力動作 (9モード)
 - STOP モード: 発振停止 (バッテリーコンデンサバックアップ)
ポート出力状態をハイインピーダンス/出力保持のいずれかに選択可能
 - SLOW1, 2 モード: 低周波クロック (32.768 kHz) での低消費電力動作
 - IDLE0 モード: CPU 停止。周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - IDLE1 モード: CPU 停止。周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
 - IDLE2 モード: CPU 停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
 - SLEEP0 モード: CPU 停止。周辺ハードウェアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - SLEEP1 モード: CPU 停止。周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
 - SLEEP2 モード: CPU 停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- ◆ 動作電圧: 1.8~3.6 V @ 8 MHz/32.768 kHz
2.7~3.6 V @ 16 MHz/32.768 kHz

ピン配置図 (上面図)

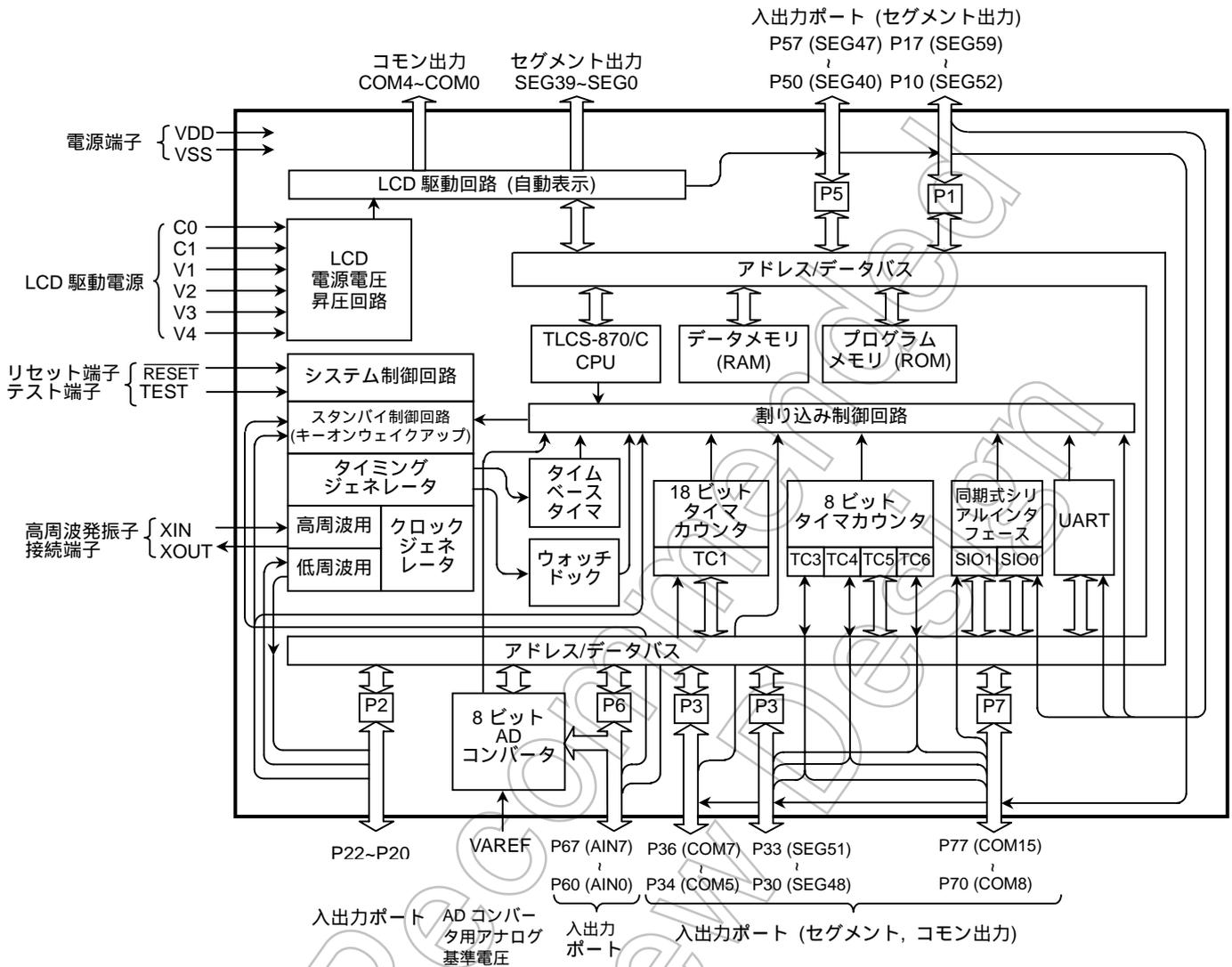
P-QFP100-1420-0.65A



注) MUL6-MUL0に割り付けられたポートは、マルチファンクションレジスタ (MULSEL) によって端子割り付けを切り替えることができます。それぞれに割り付けられた機能は、以下を参照してください。

端子名	機能	端子割り付け
MUL0	DVO	P30 または P71
MUL1	PWM3, PDO3, TC3	P31 または P72
MUL2	PPG4, PWM4, PDO4, TC4	P32 または P73
MUL3	PPG6, PWM6, PDO6, TC6	P33 または P74
MUL4	INT1	P12 または P34
MUL5	INT2	P13 または P35
MUL6	INT3	P14 または P36

ブロック図



Not for NE

端子機能

端子名	入出力	機能		
P17 (SEG59, $\overline{\text{SCK0}}$)	入出力 (入出力)	8 ビットの入出力ポート。入力ポート、シリアルクロック入出力、シリアルデータ入出力、UART 端子として使用する場合は、出力ラッチを“1”にセットします。 外部割り込み入力として使用する場合は、MULSEL の対応するビットを“0”にクリアし、出力ラッチを“1”にセットします。 セグメント出力として使用する場合は、P1 ポート制御レジスタ (P1LCR) を“1”にセットします。	シリアルクロック入出力	LCD セグメント出力
P16 (SEG58, TXD, SO0)	入出力 (出力)		UART 送信出力 シリアルデータ出力	
P15 (SEG57, RXD, SI0)	入出力 (入出力)		UART 受信入力 シリアルデータ入力	
P14 (SEG56, MUL6)	入出力 (入出力)		外部割り込み 3 入力	
P13 (SEG55, MUL5)	入出力 (入出力)		外部割り込み 2 入力	
P12 (SEG54, MUL4)	入出力 (入出力)		外部割り込み 1 入力	
P11 (SEG53)	入出力 (出力)			
P10 (SEG52)	入出力 (出力)			
P22 (XTOUT)	入出力 (出力)	3 ビットの入出力ポート。入力ポート、機能端子として使用する場合は、出力ラッチを“1”にセットします。	低周波発振子接続端子 (32.768kHz)。 外部クロック入力の場合、XTIN へ入力し XTOUT は開放します。	
P21 (XTIN)	入出力 (入力)			
P20 (INT5, $\overline{\text{STOP}}$)	入出力 (入力)		外部割り込み 5 入力/STOP モード解除入力	
P36 (COM7, MUL6)	入出力 (入出力)	7 ビット入出力ポート。入力ポートとして使用する場合は、出力ラッチを“1”にセットします。外部割り込み入力として使用する場合は、MULSEL の対応するビットを“1”にセットし、出力ラッチを“1”にセットします。	外部割り込み 3 入力	LCD コモン出力
P35 (COM6, MUL5)	入出力 (入出力)		外部割り込み 2 入力	
P34 (COM5, MUL4)	入出力 (入出力)		外部割り込み 1 入力	
P33 (SEG51, MUL3)	入出力 (入出力)	タイマカウンタ入出力またはデバイダ出力として使用する場合は、MULSEL の対応するビットを“0”にクリアし、出力ラッチを“1”にセットします。 セグメント、コモン出力として使用する場合は、P3 ポート制御レジスタ (P3LCR) を“1”にセットします。	タイマカウンタ 6 入出力	LCD セグメント出力
P32 (SEG50, MUL2)	入出力 (入出力)		タイマカウンタ 4 入出力	
P31 (SEG49, MUL1)	入出力 (入出力)		タイマカウンタ 3 入出力	
P30 (SEG48, MUL0)	入出力 (出力)		デバイダ出力	
P57 (SEG47)~ P50 (SEG40)	入出力 (出力)	8 ビットの入出力ポート。セグメント出力として使用する場合は、P5 ポート制御レジスタ (P5LCR) を“1”にセットします。	LCD セグメント出力	
P67 (AIN7, STOP5)	入出力 (入力)	8 ビットプログラマブル入出力ポート (トライステート)。1 ビット単位で入力/出力の指定ができます。 キーオンウェイクアップ入力、外部割り込み入力、タイマカウンタ入力として使用する場合は、P6CR を“0”にクリアし、入力モードに設定します。 アナログ入力として使用する場合は、P6CR と P6DR を“0”にクリアします。	STOP5 入力	AD コンバータ アナログ入力
P66 (AIN6, STOP4)	入出力 (入力)		STOP4 入力	
P65 (AIN5, STOP3)	入出力 (入力)		STOP3 入力	
P64 (AIN4, STOP2)	入出力 (入力)		STOP2 入力	
P63 (AIN3, $\overline{\text{INT0}}$)	入出力 (入力)		外部割り込み 0 入力	
P62 (AIN2, ECNT)	入出力 (入力)		タイマカウンタ 1 入力	
P61 (AIN1, ECIN)	入出力 (入力)			
P60 (AIN0)	入出力 (入力)			

端子名	入出力	機能	端子名	
P70 (COM8)	入出力 (出力)	8ビットの入出力ポート。	LCD コモン出力	
P71 (COM9, MUL0)	入出力 (出力)	入力ポート, シリアルクロック入出力, シリアルデータ入出力端子として使用する場合は、出力ラッチを“1”にセットします。		デバイダ出力
P72 (COM10, MUL1)	入出力 (入出力)			タイマカウンタ 3 入出力
P73 (COM11, MUL2)	入出力 (入出力)	タイマカウンタ入出力, デバイダ出力として使用する場合は、MULSEL の対応するビットを“1”にセットし、出力ラッチを“1”にセットします。		タイマカウンタ 4 入出力
P74 (COM12, MUL3)	入出力 (入出力)			タイマカウンタ 6 入出力
P75 (COM13, SI1)	入出力 (入出力)			シリアルデータ入力
P76 (COM14, SO1)	入出力 (出力)	コモン出力として使用する場合は、P7ポート制御レジスタ (P7LCR) を“1”にセットします。		シリアルデータ出力
P77 (COM15, $\overline{SCK1}$)	入出力 (入出力)			シリアルクロック入出力
SEG39~SEG0	出力	LCD セグメント出力		
COM4~COM0		LCD コモン出力		
V4~V1 C1~C0	LCD 駆動用昇圧端子	LCD ドライバ昇圧用コンデンサ接続端子		
XIN, XOUT	入力, 出力	高周波発振子接続端子。 外部クロック入力の場合、XIN へ入力し、XOUT は開放		
\overline{RESET}	入力	リセット信号入力		
TEST	入力	出荷試験用端子。“L”レベルに固定		
VDD, VSS	電源	+1.8~3.6 V, 0 (GND)		
VAREF		AD 変換用アナログ基準端子		

動作説明

1. CPU コア機能

CPU コアは、CPU、システムクロック制御回路および割り込み制御回路から構成されています。本章では、CPU コア、プログラムメモリ、データメモリ、およびリセット回路について説明します。

1.1 メモリアドレスマップ

TMP86CM25A のメモリは、ROM、RAM、DBR (データバッファレジスタ)、SFR (スペシャルファンクションレジスタ) の4つのブロックで構成され、それらは1つの64 Kバイトアドレス空間上にマッピングされています。図 1.1.1 に TMP86CM25A のメモリアドレスマップを示します。また、汎用レジスタは RAM アドレス空間には割り当てられません。

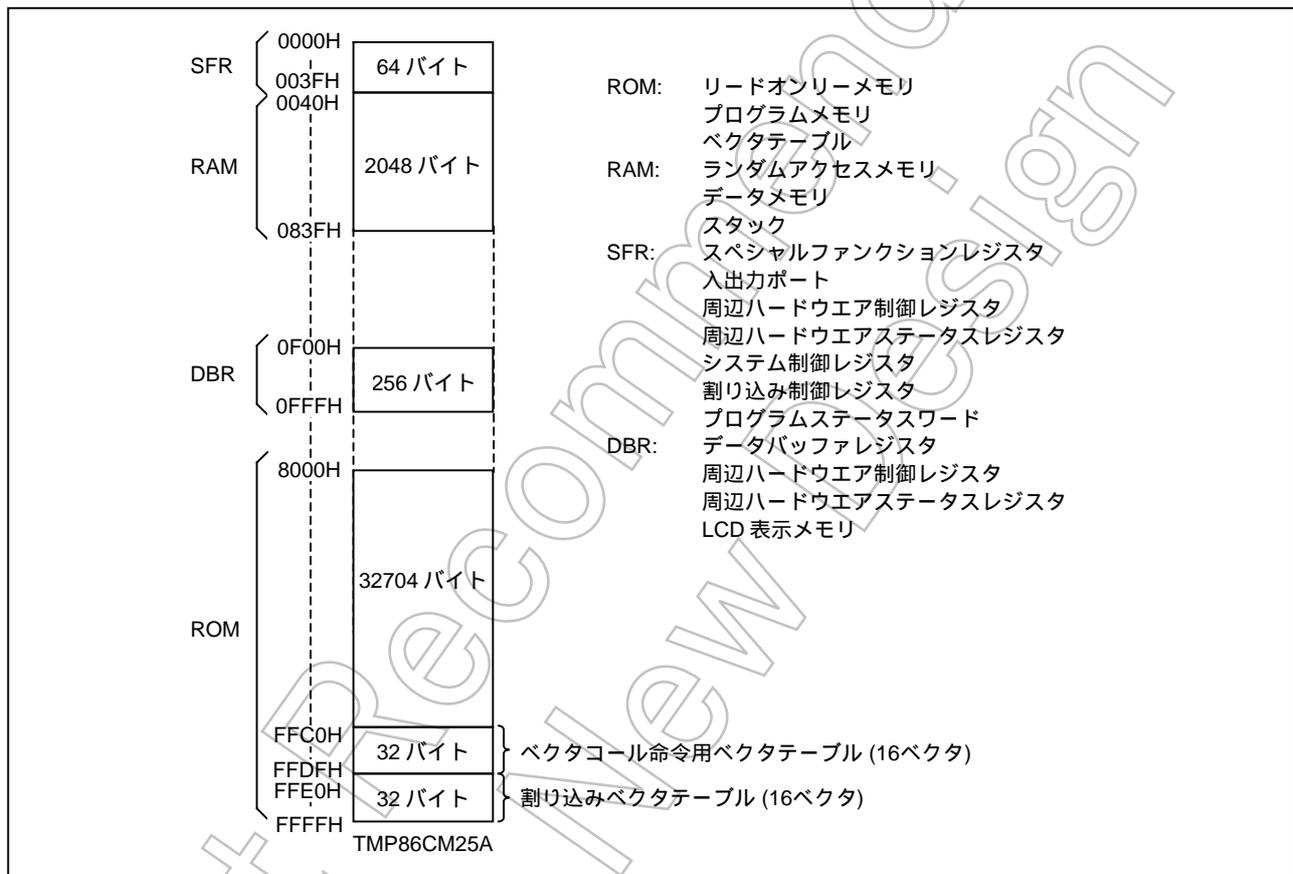


図1.1.1 メモリアドレスマップ

1.2 プログラムメモリ (ROM)

TMP86CM25A は32 Kバイト (アドレス 8000H~FFFFH) のプログラムメモリ (マスク ROM) を内蔵しています。ただし、内蔵 RAM エリアにプログラムメモリを置くことは、ソフトウェアの設定により解禁できます (2.5.5 「アドレストラップ」参照)。

1.3 データメモリ (RAM)

TMP86CM25A は、2 K バイト (アドレス 0040H~083FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては、実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例: 内蔵 RAM の全領域を "00H" にクリア

	LD	HL, 0040H	:	スタートアドレスの設定
	LD	A, H	:	初期化データ (00H) の設定
	LD	BC, 07FFH	:	バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A		
	INC	HL		
	DEC	BC		
	JRS	F, SRAMCLR		

Not Recommended
for New Design

1.4 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

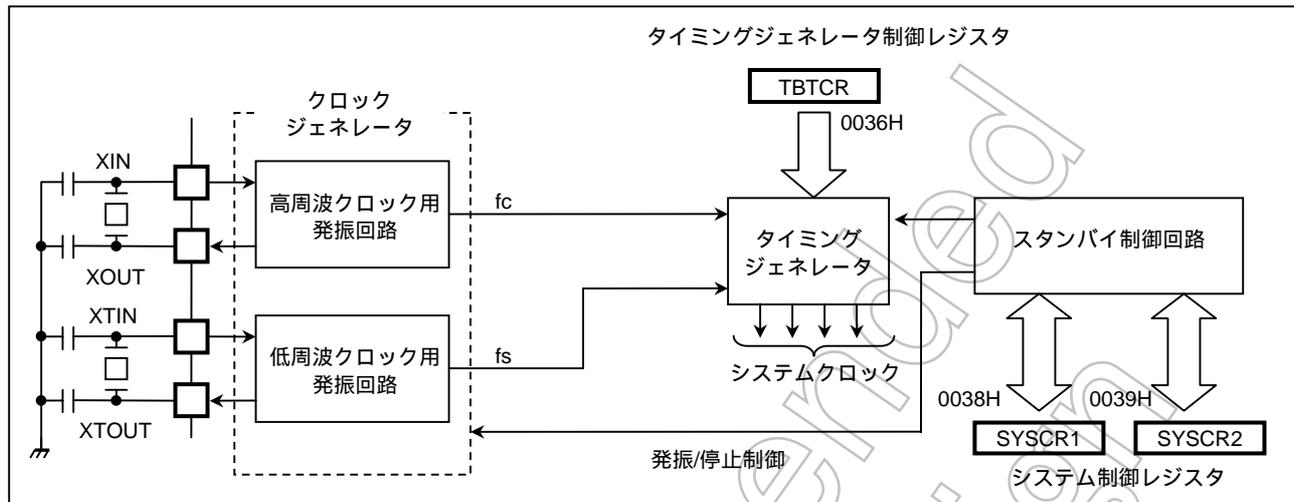


図1.4.1 システムクロック制御回路

1.4.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる、基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で、低周波クロックによる低速動作に切り替えて、消費電力の低減を図ることもできます。

高周波クロック (周波数 f_c)、低周波クロック (周波数 f_s) は、それぞれ XIN, XOUT 端子、XTIN, XTOUT 端子に発振子を接続することにより、容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

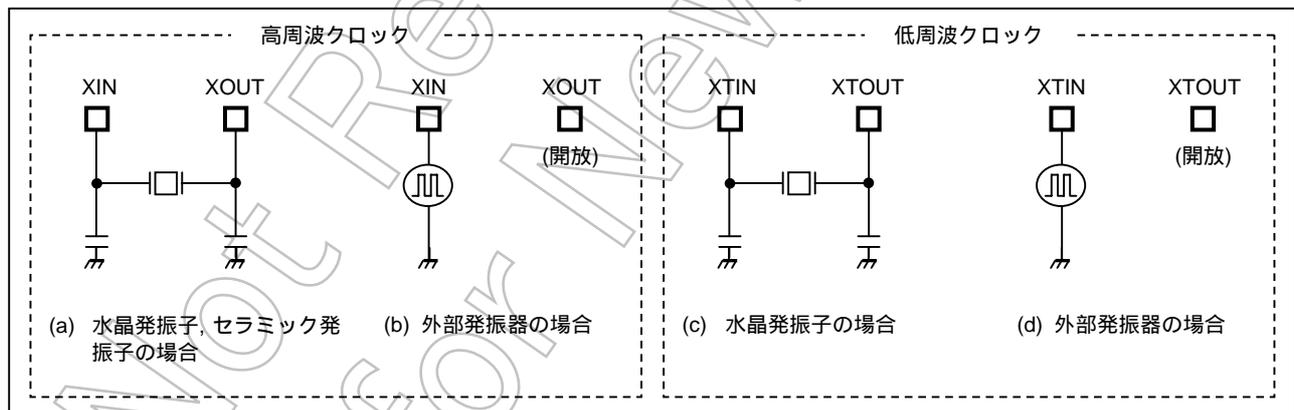


図1.4.2 発振子の接続例

注) 基本クロックを外にて直接モニタする機能は、ハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態で、プログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより、調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

1.4.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コア、および周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は次のとおりです。

- メインシステムクロックの生成
- デバイダ出力 ($\overline{DV0}$) パルス生成
- タイムベースタイマのソースクロック生成
- ウォッチドッグタイマのソースクロック生成
- タイマカウンタなどの内部ソースクロック生成
- STOP モード解除時のウォームアップクロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路、およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは、動作モード、TBTCR<DV7CK>により、図 1.4.4 のようになります。なお、リセット時および STOP モード起動/解除時、プリスケアラおよびデバイダは“0”にクリアされます。

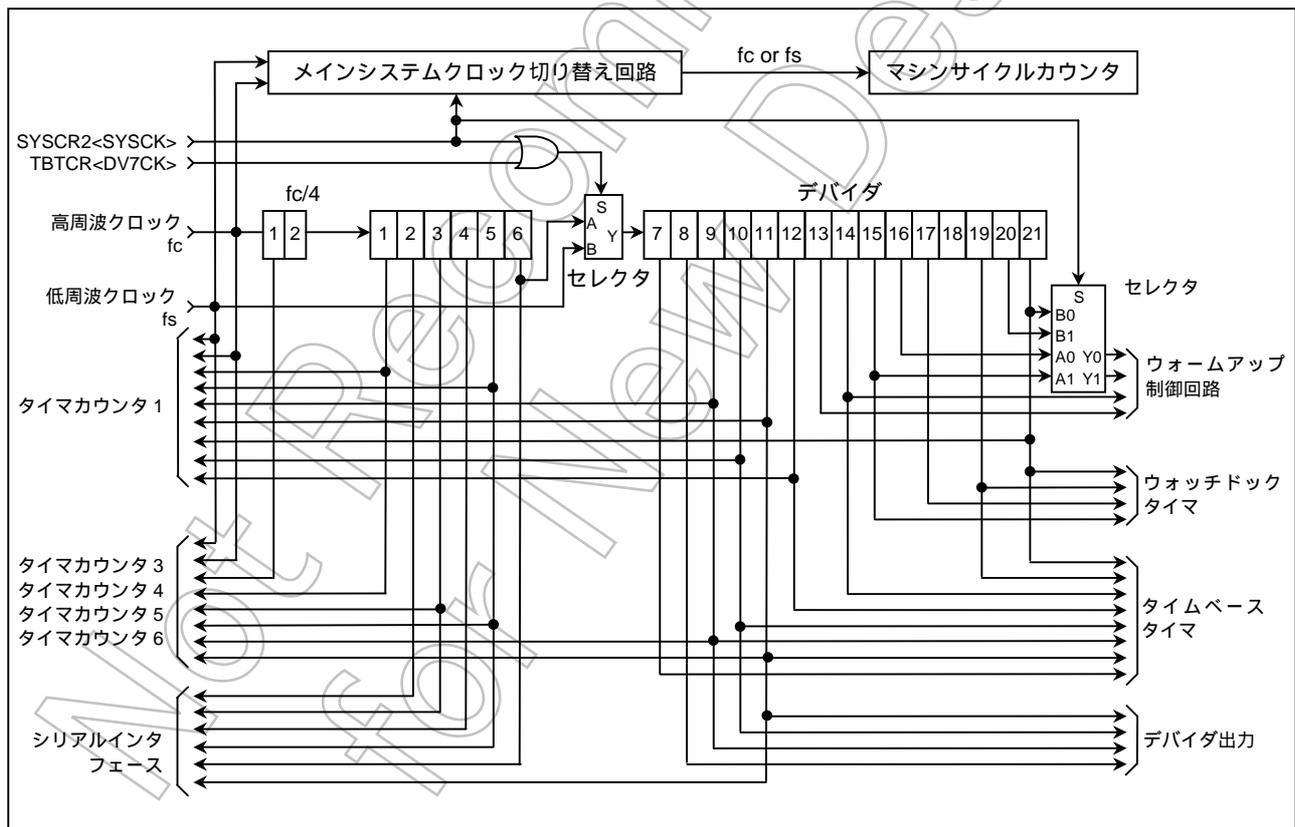


図1.4.3 タイミングジェネレータの構成

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DVOEN)	(DVOCCK)	DV7CK	(TBTEN)		(TBTCK)			
	DV7CK	デバイダの7段目への 入力クロックの選択		0: $fc/2^8$ [Hz] 1: fs		R/W			

注1) シングルクロックモード時は、DV7CKを“1”にセットしないでください。
 注2) 低周波クロックの発振安定前にDV7CKを“1”にセットしないでください。
 注3) fc : 高周波クロック [Hz]、 fs : 低周波クロック [Hz]、*: Don't care
 注4) SLOW1/2, SLEEP1/2 モード時は、DV7CKの設定にかかわらず、デバイダ7段目には fs が入力されます。
 注5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォームアップ中はDV7CKの
 設定にかかわらず、デバイダ7段目にはデバイダ6段目の出力が入力されます。

図1.4.4 タイミングジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行、および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

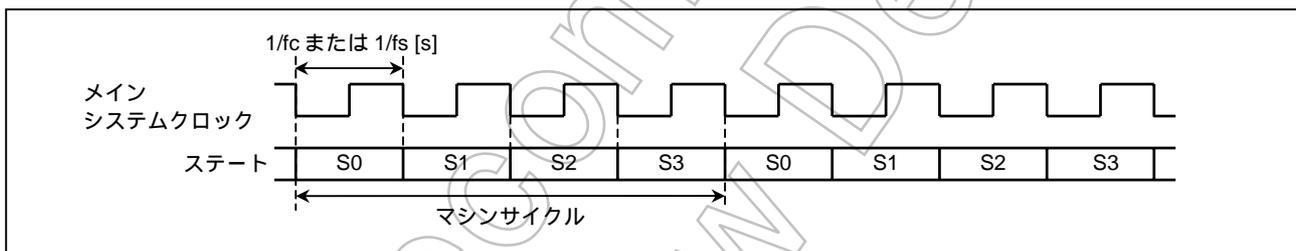


図1.4.5 マシンサイクル

1.4.3 動作モード制御回路

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 1.4.6に動作モード遷移図を、図 1.4.7に制御レジスタを示します。

(1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/f_c$ [s] となります。

a. NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

b. IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を “1” にセットすることで行います。周辺ハードウェアからの割り込み、または外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) のときは、IDLE1 モードを起動した命令の次の命令から実行再開します。

c. IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時に、システム制御レジスタ SYSCR2 の TGHALT ビットに “1” をセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止し、タイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBT<TBTCK>によって設定されたソースクロックの立ち上がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは TBT<TBTEN>の設定に関係なく起動/復帰し、IMF = “1”, EF₆ (TBT の割り込み個別許可フラグ) = “1”, TBT<TBTEN> = “1” のときは割り込み処理が行われます。

TBT<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

(2) デュアルクロックモード

高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, SLOW2, SLEEP1, SLEEP2 モード時、低周波クロックから生成されています。従ってマシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s], SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu\text{s} @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

a. NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波/低周波の両クロックで動作します。

b. SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、システム制御レジスタ 2 (SYSCR) の SYSCK ビットで行います。SLOW2 モード時、XTEN を “0” にクリアしないでください。

c. SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は、システム制御レジスタ 2 (SYSCR2) の XEN ビットで行います。SLOW1, SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

d. IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

e. SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1, SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

f. SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

g. SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に、システム制御レジスタ SYSCR2 の TGHALT ビットに “1” をセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止し、タイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCK>によって設定されたソースクロックの立ち上がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは TBTCR<TBTEN>の設定に関係なく起動/復帰し、IMF = “1”, EF₆ (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

(3) STOP モード

シングルクロックモード、デュアルクロックモードを問わず、発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は STOP 端子入力 (レベル/エッジの選択可能) で行い、ウォームアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

注 1) EEP CR<ATP WDW>が“0”のときに、IDLE0/1/2, SLEEP0/1/2 モードを起動すると、これらのモードを解除した後、フラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。なお CPU ウェイトは、フラッシュ製品 (TMP86FM25) との互換性を保つため、マスク ROM 製品の“A”バージョン (TMP86CM25A) についても同様に実行されます。

注 2) EEP CR<MNP WDW>が“1”のときに、STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。なお、CPU ウェイトはフラッシュ製品 (TMP86FM25) との互換性を保つため、マスク ROM 製品の“A”バージョン (TMP86CM25A) についても同様に実行されます。

Not Recommended for New Designs

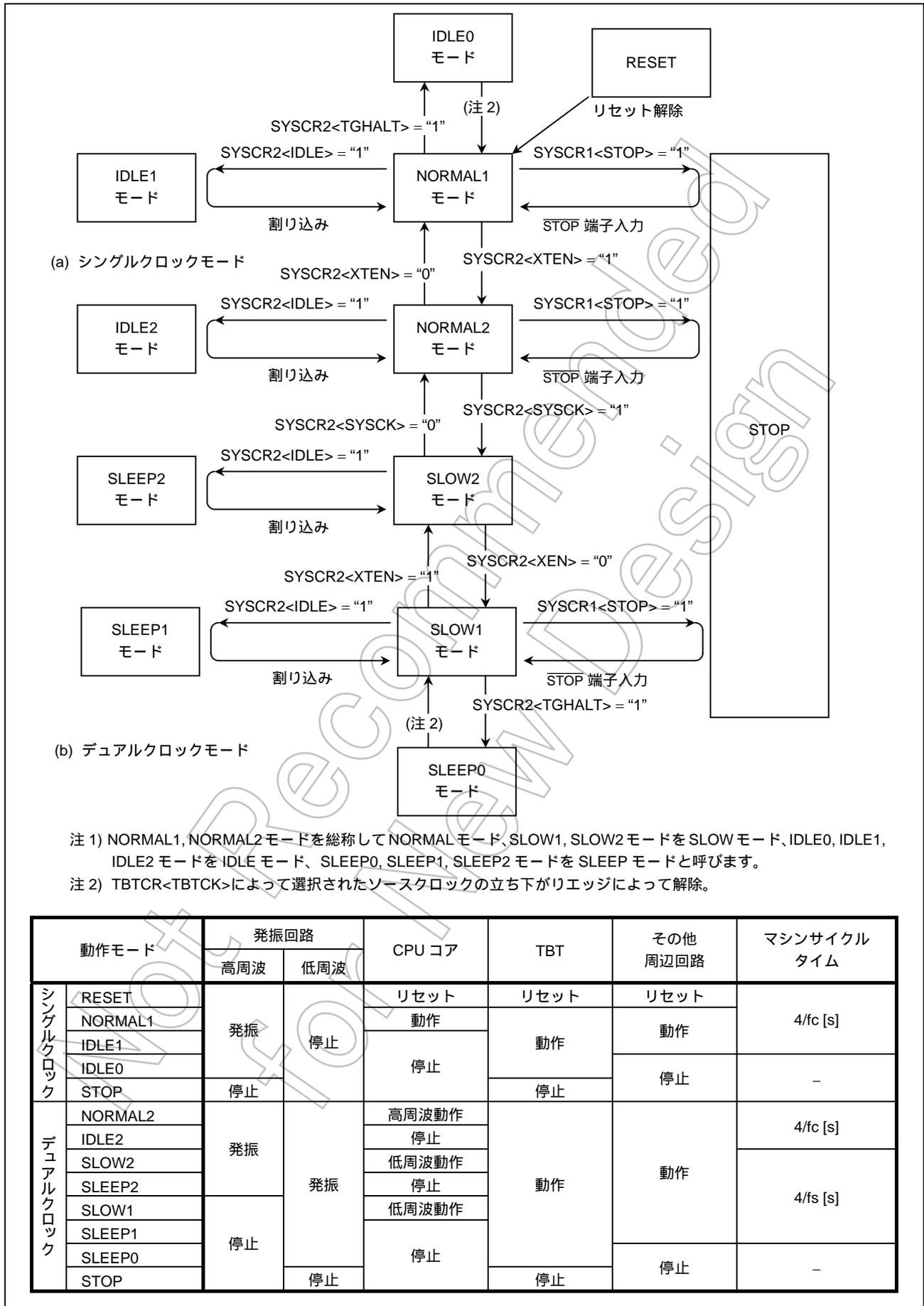


図1.4.6 動作モード状態遷移図

システム制御レジスタ 1

SYSCR1
(0038H) 7 6 5 4 3 2 1 0

STOP	RELM	RETM	OUTEN	WUT			
------	------	------	-------	-----	--	--	--

 (初期値: 0000 00**)

STOP	STOP モードの起動	0: CPU コア, 周辺ハードウェア 動作 1: CPU コア, 周辺ハードウェア 停止 (STOP モード起動)		R/W														
RELM	STOP 端子の解除方法の選択	0: $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除 1: $\overline{\text{STOP}}$ 端子入力の "H" レベルで解除																
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る																
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持																
WUT	STOP モード解除時のウォームアップ時間 単位: [s] (注 8)		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;"></td> <td style="width: 40%;">NORMAL1/2 モードへ戻る場合</td> <td style="width: 50%;">SLOW1 モードへ戻る場合</td> </tr> <tr> <td style="text-align: center;">00</td> <td style="text-align: center;">$3 \times 2^{16}/fc + (2^{10}/fc)$</td> <td style="text-align: center;">$3 \times 2^{13}/fs + (2^3/fs)$</td> </tr> <tr> <td style="text-align: center;">01</td> <td style="text-align: center;">$2^{16}/fc + (2^{10}/fc)$</td> <td style="text-align: center;">$2^{13}/fs + (2^3/fs)$</td> </tr> <tr> <td style="text-align: center;">10</td> <td style="text-align: center;">$3 \times 2^{14}/fc + (2^{10}/fc)$</td> <td style="text-align: center;">$3 \times 2^9/fs + (2^3/fs)$</td> </tr> <tr> <td style="text-align: center;">11</td> <td style="text-align: center;">$2^{14}/fc + (2^{10}/fc)$</td> <td style="text-align: center;">$2^9/fs + (2^3/fs)$</td> </tr> </table>			NORMAL1/2 モードへ戻る場合	SLOW1 モードへ戻る場合	00	$3 \times 2^{16}/fc + (2^{10}/fc)$	$3 \times 2^{13}/fs + (2^3/fs)$	01	$2^{16}/fc + (2^{10}/fc)$	$2^{13}/fs + (2^3/fs)$	10	$3 \times 2^{14}/fc + (2^{10}/fc)$	$3 \times 2^9/fs + (2^3/fs)$	11	$2^{14}/fc + (2^{10}/fc)$
	NORMAL1/2 モードへ戻る場合	SLOW1 モードへ戻る場合																
00	$3 \times 2^{16}/fc + (2^{10}/fc)$	$3 \times 2^{13}/fs + (2^3/fs)$																
01	$2^{16}/fc + (2^{10}/fc)$	$2^{13}/fs + (2^3/fs)$																
10	$3 \times 2^{14}/fc + (2^{10}/fc)$	$3 \times 2^9/fs + (2^3/fs)$																
11	$2^{14}/fc + (2^{10}/fc)$	$2^9/fs + (2^3/fs)$																

- 注 1) NORMAL モードから STOP モードを起動する場合、RETM は "0" に設定してください。SLOW モードから STOP モードを起動する場合、RETM は "1" に設定してください。
- 注 2) STOP モードを $\overline{\text{RESET}}$ 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。
- 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
- 注 4) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。
- 注 5) OUTEN = "0" のときに STOP モードを起動すると、ポートの内部入力は "0" に固定されますので、外部割り込み端子の状態によっては立ち下がりエッジの割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイクアップ入力 (STOP2-STOP5) を使用する場合は、RELM を "1" に設定してください。
- 注 7) P20 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は High-Z 状態となります。
- 注 8) EEPCCR<MNPWDW>が "1" のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続き、フラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。なお CPU ウェイトは、フラッシュ製品 (TMP86FM25) との互換性を保つため、マスク ROM 製品の "A" パージョン (TMP86CM25A) についても同様に実行されます (CPU ウェイト時間をカッコ内に示します)。

システム制御レジスタ 2

SYSCR2
(0039H) 7 6 5 4 3 2 1 0

XEN	XTEN	SYSCK	IDLE			TGHALT	
-----	------	-------	------	--	--	--------	--

 (初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続 または 発振開始		R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続 または 発振開始		
SYSCK	システムクロックの選択 (ライト)/モニタ (リード)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)		
IDLE	CPU, WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)		
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)		

- 注 1) XEN, XTEN をともに "0" にクリアした場合、SYSCK = "0" で XEN を "0" にクリアした場合、および SYSCK = "1" で XTEN を "0" にクリアした場合、リセットがかかります。
- 注 2) WDT: ウォッチドッグタイマ, TG: タイミングジェネレータ, *: Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に "1" に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC>によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC>の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に "0" にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に "0" にクリアされます。
- 注 8) TGHALT を "1" に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードから復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

図1.4.7 システム制御レジスタ 1, 2

1.4.4 動作モードの制御

(1) STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力、およびキーオンウェイクアップ入力端子 (STOP2~STOP5) によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP>を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

- a. 高周波、低周波ともに発振を停止し、内部の動作をすべて停止します。
- b. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
- c. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
- d. プログラムカウンタは、STOP モードを起動する命令 (SET (SYSCR1), 7 など) の 2 つ先の命令のアドレスを保持します。

STOP モードの解除には、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ 1 の SYSCR1<RELM>で選択します。エッジ解除モードの場合には、STOP2~STOP5 を使用禁止に設定してください。

EEPCR<MNPWDW>が“1”のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが発生します。なお CPU ウェイトは、フラッシュ製品 (TMP86FM25) との互換性を保つため、マスク ROM 製品の“A”バージョン (TMP86CM25A) についても同様に実行されます。

注 1) STOP モードは、 $\overline{\text{STOP}}$ 端子とキーオンウェイクアップ入力端子 (STOP2~STOP5) のいずれかの端子によって解除することが可能ですが、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり、入力を禁止する機能がありませんので、必ず STOP モード解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォームアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

a. レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP2~STOP5 (STOPCR でビットごとに設定可能) 端子への解除エッジ入力により STOP モードを解除するモードで、メイン電源しゃ断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルの状態では STOP モードを起動する命令を実行した場合、STOP モードは起動されず、直ちに解除シーケンス (ウォームアップ) が行われます。従って、レベル解除モードで STOP モードを起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. P20 ポートの状態をテストする方法
2. $\overline{\text{INT5}}$ 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みが発生します)

例 1: P20 ポートをテストして NORMAL モードから STOP モードを起動

```
LD      (SYSCR1), 01010000B ; レベル解除モードにセットアップ
SSTOPH: TEST  (P2PRD), 0 ;  $\overline{\text{STOP}}$  端子入力が "L" レベルになるまで
                               ウェイト
JRS     F, SSTOPH ; システムクロック  $f_{\text{SYS}}$  を  $fc/2$  へ切り替え
SET     (SYSCR1), 7 ; STOP モードを起動
```

例 2: INT5 割り込みにより、NORMAL モードから STOP モードを起動

```
PINT5: TEST  (P2PRD), 0 ; ノイズ除去のため P20 ポート入力が "H"
                               レベルなら STOP モードを起動しない。
JRS     F, SINT5
LD      (SYSCR1), 01010000B ; レベル解除モードにセットアップ
SET     (SYSCR1), 7 ; STOP モードを起動
SINT5: RETI
```

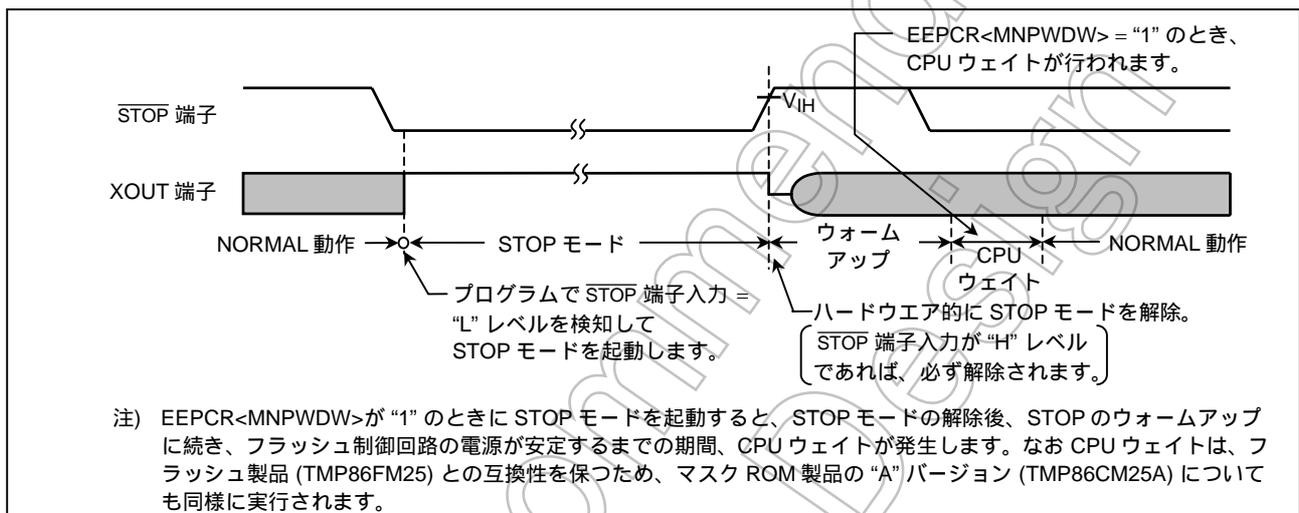


図1.4.8 レベル解除モード

注 1) ウォームアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP2~STOP5 端子が "H" レベルになっても STOP モードには戻りません。

注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM = "0" のとき)

STOP 端子入力の立ち上がりエッジで STOP モードを解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号、例えば低消費電力の発振源からのクロックを、 $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、STOP 端子入力が "H" レベルの状態でも STOP モードが起動されません。なお、STOP2~STOP5 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

例: NORMAL モードから STOP モードを起動

```
LD      (SYSCR1), 10010000B ; エッジ解除で STOP モードを起動
```

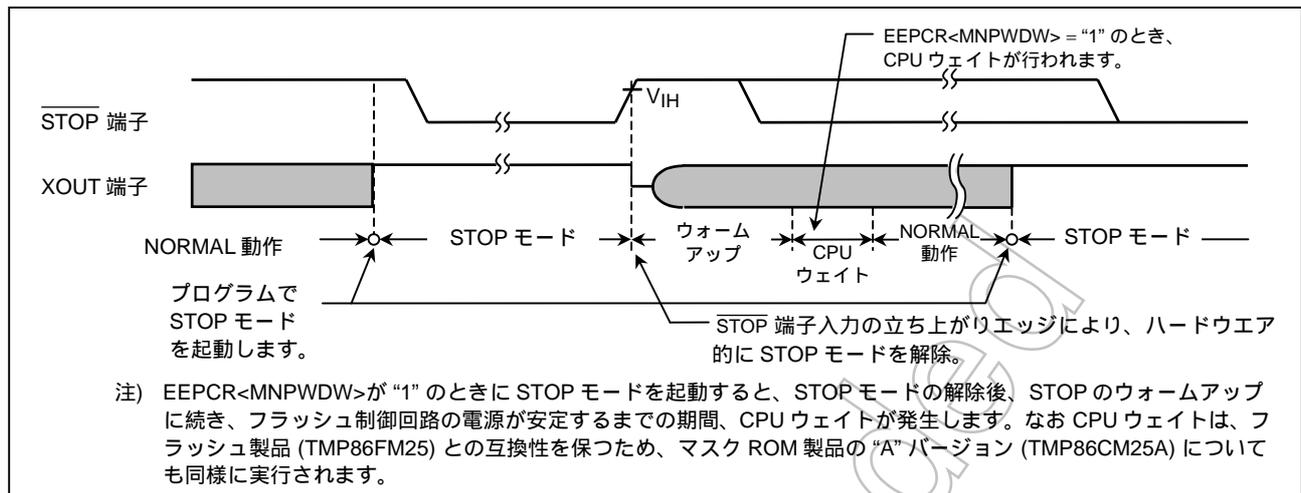


図1.4.9 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

- 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは高周波/低周波発振器の両方が発振し、SLOW1 に戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
- 発振が安定するのに必要な時間の確保のため、ウォームアップを行います。ウォームアップ中、内部動作は停止したままです。ウォームアップ時間は、発振器の特性に合わせて SYSCR1<WUT>で 4 種類選択できます。
- EEPCCR<MNPWDW>が“1”の場合、フラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。CPU ウェイトが開始すると、CPU は動作停止状態となりますが、周辺機能およびタイミングジェネレータは動作を再開します。CPU ウェイトが終了した後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。
- EEPCCR<MNPWDW>が“0”の場合、ウォームアップが終了した後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケラ、およびデバイダは“0”にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、端子の入力電圧レベルが、端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表1.4.1 ウォームアップ時間 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WUT	ウォームアップ時間 [ms] (注 2)	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288 + (0.064)	750 + (0.244)
01	4.096 + (0.064)	250 + (0.244)
10	3.072 + (0.064)	5.85 + (0.244)
11	1.024 + (0.064)	1.95 + (0.244)

注 1) ウォームアップ時間は、基本クロックをデバイダにて分周して得ているため、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォームアップ時間は誤差を含むこととなります。従って、ウォームアップ時間は、概略値としてとらえる必要があります。

注 2) CPU ウェイト時間をカッコ内に示します。

Not Recommended for New Design

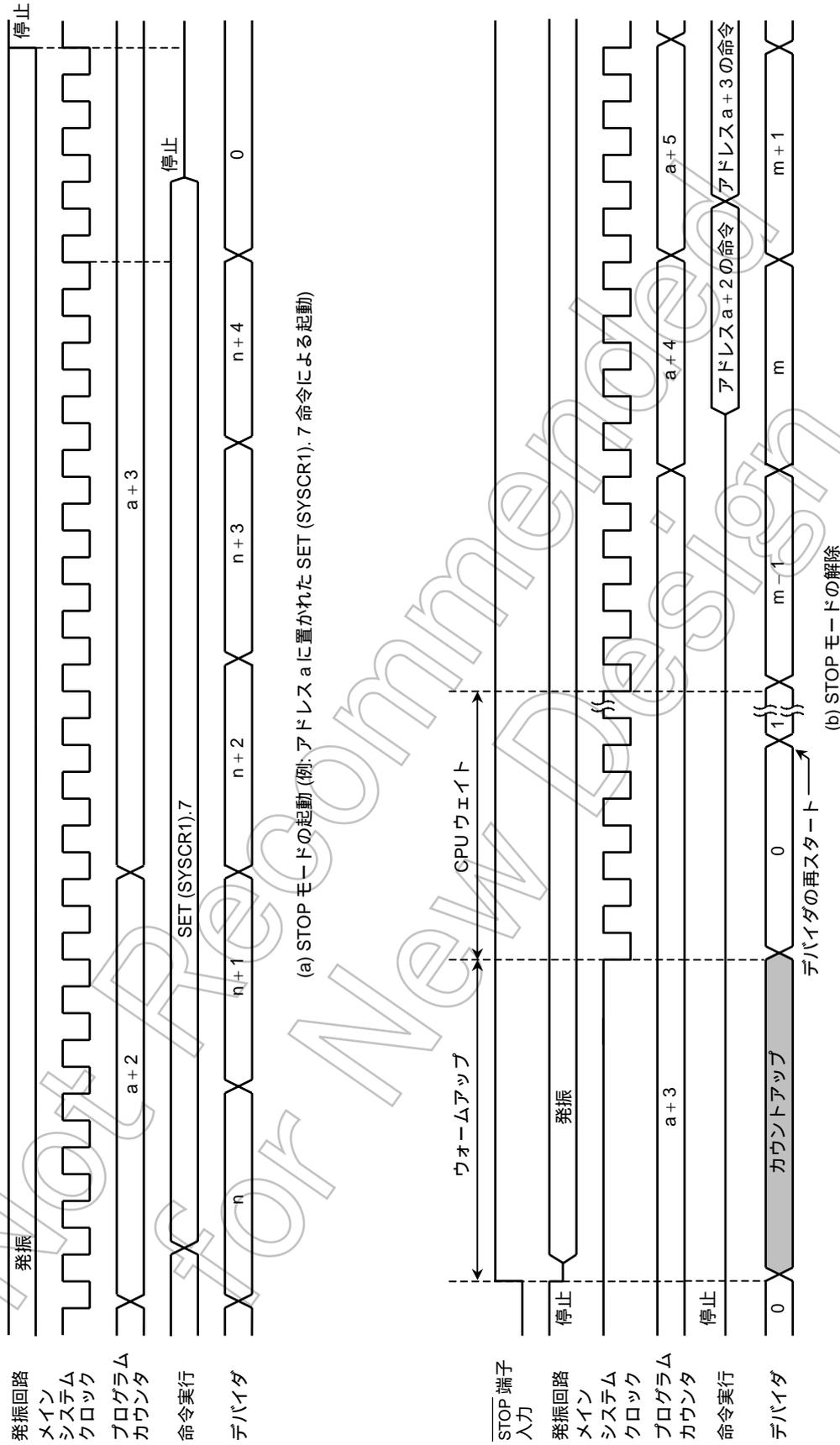


図1.4.11 STOPモードの起動/解除 (EEPCR<MNPWDW> = "1" のとき)

(2) IDLE1/2 モード, SLEEP1/2 モード

IDLE1/2 モード, SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスクブル割り込みによって制御されます。IDLE1/2 モード, SLEEP1/2 モード中、次の状態を保持しています。

- a. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
- b. データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは IDLE1/2 モード, SLEEP1/2 モードに入る直前の状態を保持します。
- c. プログラムカウンタは、IDLE1/2 モード, SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

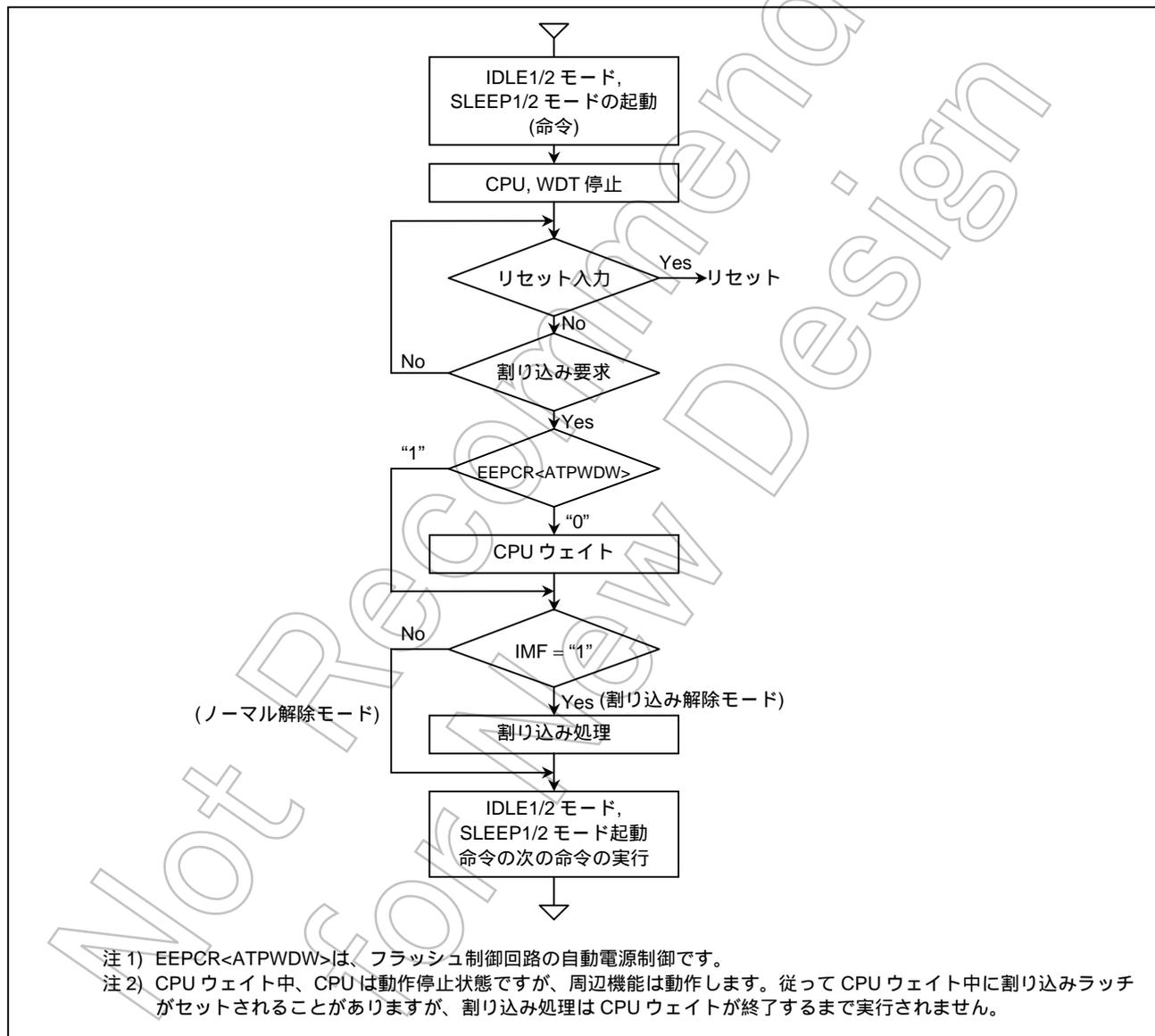


図1.4.12 IDLE1/2 モード, SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動
IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE>を“1”に設定します。
 - IDLE1/2, SLEEP1/2 モードの解除
IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE>は自動的に“0”にクリアされ、起動したモードに復帰します。
EEPCR<ATPWDW>が“0”のときに IDLE1/2, SLEEP1/2 モードを起動すると、起動したモードに復帰する前にフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。CPU ウェイト時間は、IDLE1/2 モード時 $2^{10}/f_c$ [s]、SLEEP1/2 モード時 $2^3/f_s$ [s]となります。なお、CPU ウェイトは、フラッシュ製品 (TMP86FM25) との互換性を保つため、マスク ROM 製品の“A”バージョン (TMP86CM25A) についても同様に実行されます。
また、IDLE1/2, SLEEP1/2 モードはRESET端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後はNORMAL1モードが起動します。
- 注) CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従ってCPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理はCPU ウェイトが終了するまで実行されません。

(I) ノーマル解除モード (IMF = “0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(II) 割り込み解除モード (IMF = “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

- 注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

(3) IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマ制御レジスタ (TBTCR) によって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0, SLEEP0 モードを起動する場合は、事前に周辺機能を停止状態 (ディセーブル状態) に設定してください。

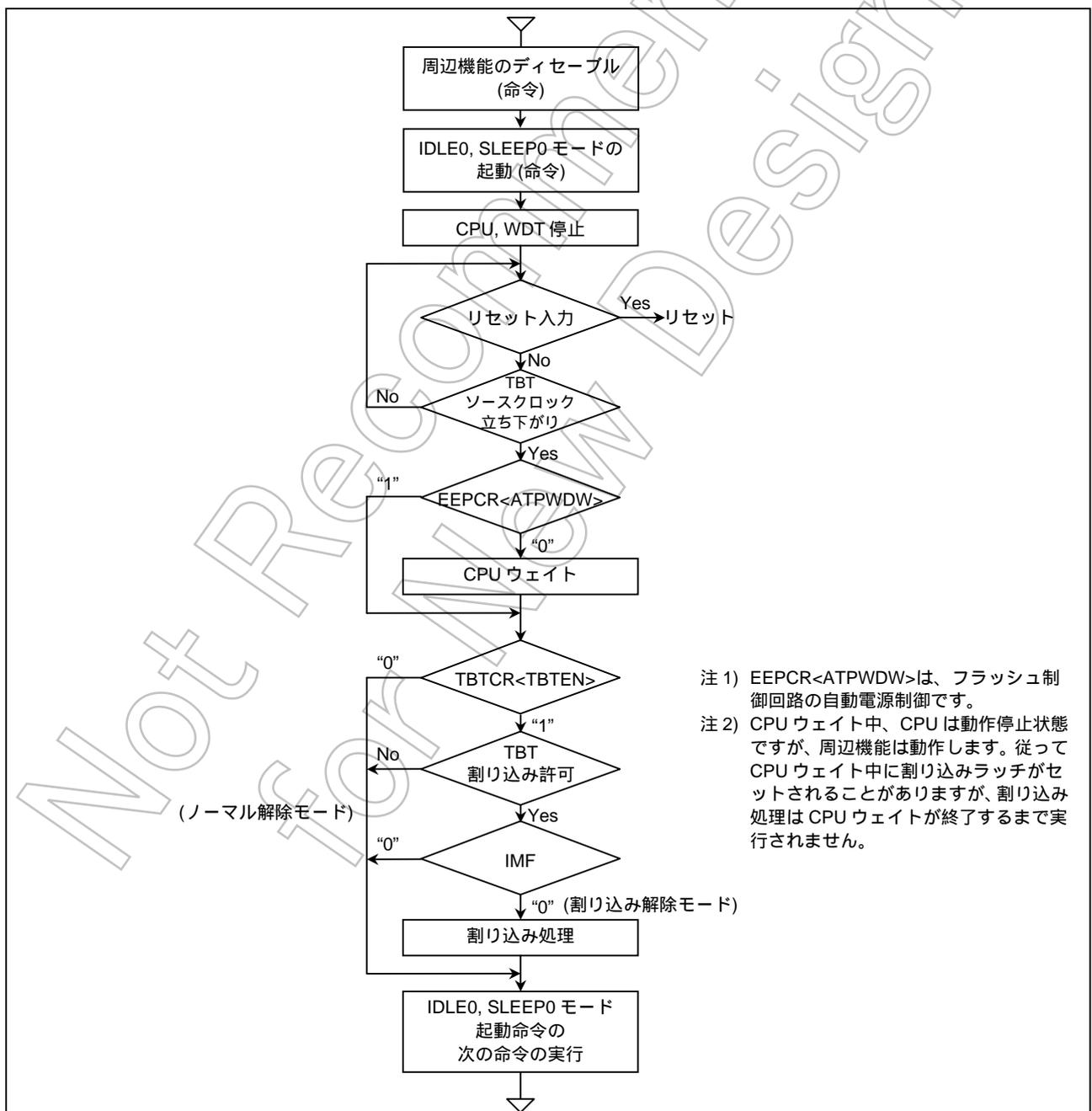


図1.4.14 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動
IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT>を“1”に設定します。
- IDLE0, SLEEP0 モードの解除
IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF), タイムベースタイマ割り込み個別許可フラグ (EF6), TBTCR<TBTEN>によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT>は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN>が“1”にセットされていると、INTTBT の割り込みラッチがセットされます。
EEPCCR<ATPWDW>が“0”のときに IDLE0, SLEEP0 モードを起動すると、これらのモードを解除した後、フラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。CPU ウェイト時間は、IDLE1/2 モード時 $2^{10}/f_c$ [s]、SLEEP1/2 モード時 $2^3/f_s$ [s]となります。なお、CPU ウェイトはフラッシュ製品 (TMP86FM25) との互換性を保つため、マスク ROM 製品の“L”バージョン (TMP86CM25A) についても同様に実行されます。
また、IDLE0, SLEEP0 モードは、RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰します。

注 2) CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従って CPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理は CPU ウェイトが終了するまで実行されません。

(I) ノーマル解除モード (IMF・EF6・TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

(II) 割り込み解除モード (IMF・EF6・TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTK>によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTK>の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われず。

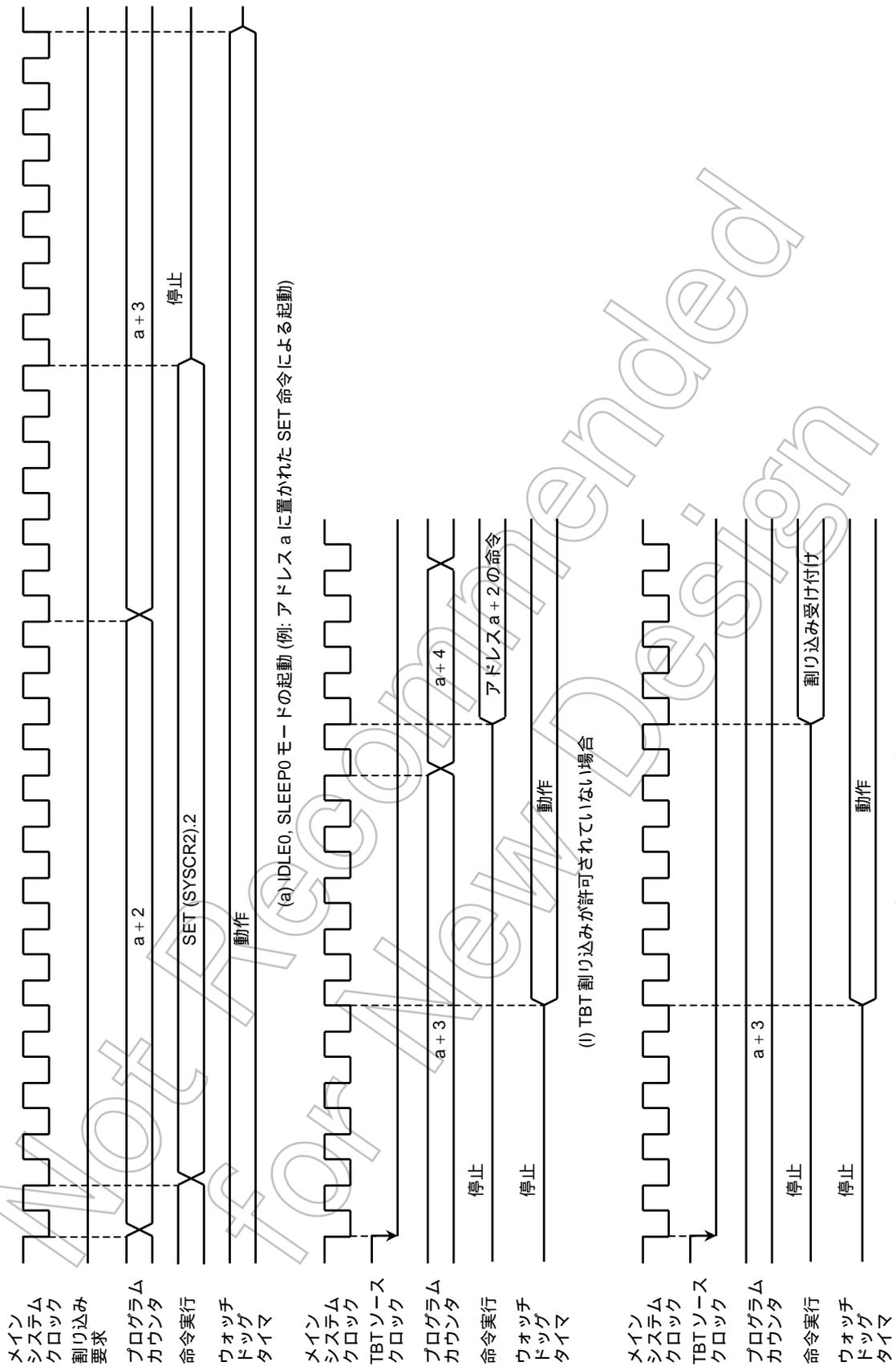


図1.4.15 IDLE0, SLEEP0 モードの起動/解除

(3) SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

ここでは、ウォームアップにタイマカウンタ 4, 3 (TC4, TC3) を用いた場合を示しています。

a. NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。

次に、SYSCR2<XEN> を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために、高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待つてから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ 4, 3 を使用すると便利です。

例 1: NORMAL2 モードから SLOW1 モードへの切り替え

```
SET      (SYSCR2). 5      ; SYSCR2<SYSCK> ← 1
                          ; (システムクロックを低周波に切り替え
                          ; (SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN> ← 0
                          ; (高周波クロック停止)
```

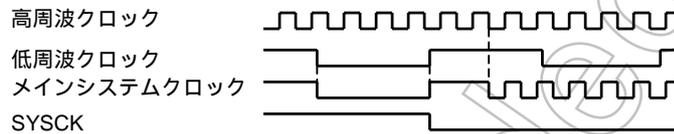
例 2: TC4, TC3 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```
SET      (SYSCR2). 6      ; SYSCR2<XTEN> ← 1
                          ; (低周波クロック発振開始)
LD       (TC3CR), 43H     ; TC4, TC3 のモードをセット
                          ; (16 ビットタイマモード、ソースクロック: fs)
LD       (TC4CR), 05H
LDW     (TTREG3), 8000H   ウォームアップ時間をセット
                          ; (発振子の特性で時間を決定)
DI       ; IMF ← 0
SET     (EIRH). 3        ; INTTC4 割り込み許可
EI       ; IMF ← 1
SET     (TC4CR). 3       ; TC4, TC3 スタート
        ;
        ;
PINTTC4: CLR      (TC4CR). 3 ; TC4, TC3 ストップ
        SET     (SYSCR2). 5 ; SYSCR2<SYSCK> ← 1
                          ; (システムクロックを低周波に切り替え)
        CLR     (SYSCR2). 7 ; SYSCR2<XEN> ← 0
                          ; (高周波クロック停止)
        RETI
        ;
VINTTC4: DW       PINTTC4 ; INTTC4 ベクタテーブル
```

b. SLOW1 モードから NORMAL2 モードへの切り替え

まず、XEN (SYSCR2 のビット 7) を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォームアップ) をタイマカウンタ 4, 3 によって確保した後、SYSCK (SYSCR2 のビット 5) を “0” にクリアします。

注 1) SYSCK を “0” にクリアした後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。



注 2) SLOW モードは、RESET 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。TMP86CM25A は、リセット解除後 NORMAL1 モードになります。

例: SLOW1 モードから NORMAL2 モードへの切り替え

($f_c = 16 \text{ MHz}$, ウォームアップ時間 = 4.0 ms)

```

SET      (SYSCR2). 7      ; SYSCR2<XEN> ← 1
                          ; (高周波クロック発振開始)
LD       (TC3CR), 63H     ; TC4, TC3 のモードをセット
                          ; (16ビットタイマモード、ソースクロック: fs)
LD       (TC4CR), 05H
LD       (TTREG4), 0F8H   ; ウォームアップ時間をセット
                          ; (周波数と発振子の特性で時間を決定)
DI       ; IMF ← 0
SET      (EIRH). 3       ; INTTC4 割り込み許可
EI       ; IMF ← 1
SET      (TC4CR). 3      ; TC4, TC3 スタート
      ...
PINTTC4: CLR      (TC4CR). 3      ; TC4, TC3 ストップ
          CLR      (SYSCR2). 5    ; SYSCR2<SYSCK> ← 0
          ; (システムクロックを高周波に切り替え)
          RETI
      ...
VINTTC4: DW       PINTTC4       ; INTTC4 ベクタテーブル
  
```

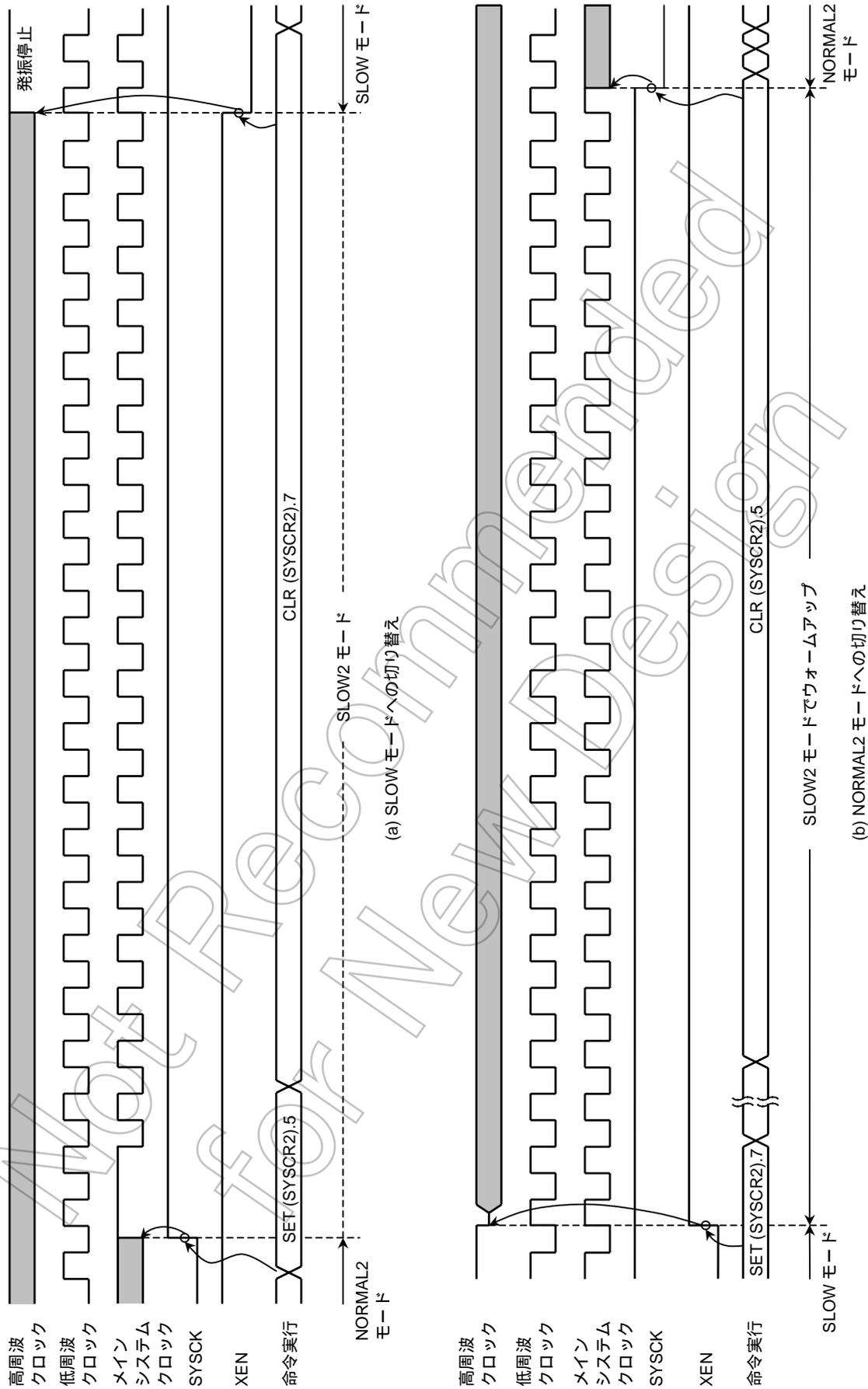


図1.4.16 SLOW↔NORMAL2 モード切り替え

1.5 割り込み制御回路

TMP86CM25A には、リセットを除き合計 20 種類の割り込み要因（うち、4 要因はマルチプレクス）があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それ

ぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

図 1.5.1 に割り込み制御回路を示します。

表 1.5.1 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスカブル	–	FFFEH	高位 1
内部	INTSWI (ソフトウェア割り込み)	ノンマスカブル	–	FFFCH	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスカブル	–	FFFCH	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスカブル	IL ₂	FFFAH	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスカブル	IL ₃	FFF8H	2
外部	INT0 (外部割り込み 0)	IMF・EF ₄ = 1	IL ₄	FFF6H	5
外部	INT1 (外部割り込み 1)	IMF・EF ₅ = 1	IL ₅	FFF4H	6
内部	INTTBT (タイムベースタイマ割り込み)	IMF・EF ₆ = 1	IL ₆	FFF2H	7
外部	INT2 (外部割り込み 2)	IMF・EF ₇ = 1	IL ₇	FFF0H	8
内部	INTTC1 (タイマカウンタ 1 割り込み)	IMF・EF ₈ = 1	IL ₈	FFEEH	9
内部	INTRXD (UART 受信割り込み)	IMF・EF ₉ = 1	IL ₉	FFECH	10
内部	INTSIO0 (シリアルインタフェース 0 割り込み)	IMF・EF ₁₀ = 1	IL ₁₀	FFEAH	11
内部	INTTXD (UART 送信割り込み)				
内部	INTSIO1 (シリアルインタフェース 1 割り込み)	IMF・EF ₁₁ = 1	IL ₁₁	FFE8H	12
内部	INTTC4 (タイマカウンタ 4 割り込み)				
内部	INTTC6 (タイマカウンタ 6 割り込み)	IMF・EF ₁₂ = 1	IL ₁₂	FFE6H	13
内部	INTADC (AD 変換終了割り込み)	IMF・EF ₁₃ = 1	IL ₁₃	FFE4H	14
外部	INT3 (外部割り込み 3)	IMF・EF ₁₄ = 1	IL ₁₄	FFE2H	15
内部	INTTC3 (タイマカウンタ 3 割り込み)				
外部	INT5 (外部割り込み 5)	IMF・EF ₁₅ = 1	IL ₁₅	FFE0H	低位 16
内部	INTTC5 (タイマカウンタ 5 割り込み)				

注 1) 以下の割り込み要因は割り込みソースを共有しています。選択する割り込み要因は、INTSEL レジスタで設定します。

- INTRXD と INTSIO0 は優先順位 10 の割り込みソースを共有します。
- INTTXD と INTSIO1 は優先順位 11 の割り込みソースを共有します。
- INT3 と INTTC3 は優先順位 15 の割り込みソースを共有します。
- INT5 と INTTC5 は優先順位 16 の割り込みソースを共有します。

注 2) ウォッチドッグタイマ割り込み (INTWDT) を使用するためには、WDTTCR1<WDTOUT>を“0”に設定してください (リセット解除後は、“リセット要求”に設定されています)。詳しくは 2.5 「ウォッチドッグタイマ (WDT)」を参照してください。

注 3) アドレストラップ割り込み (INTATRAP) を使用するには、WDTTCR1<ATOUT>を“0”に設定してください (リセット解除後は、“リセット要求”に設定されています)。詳しくは 2.5.5 「アドレストラップ」を参照してください。

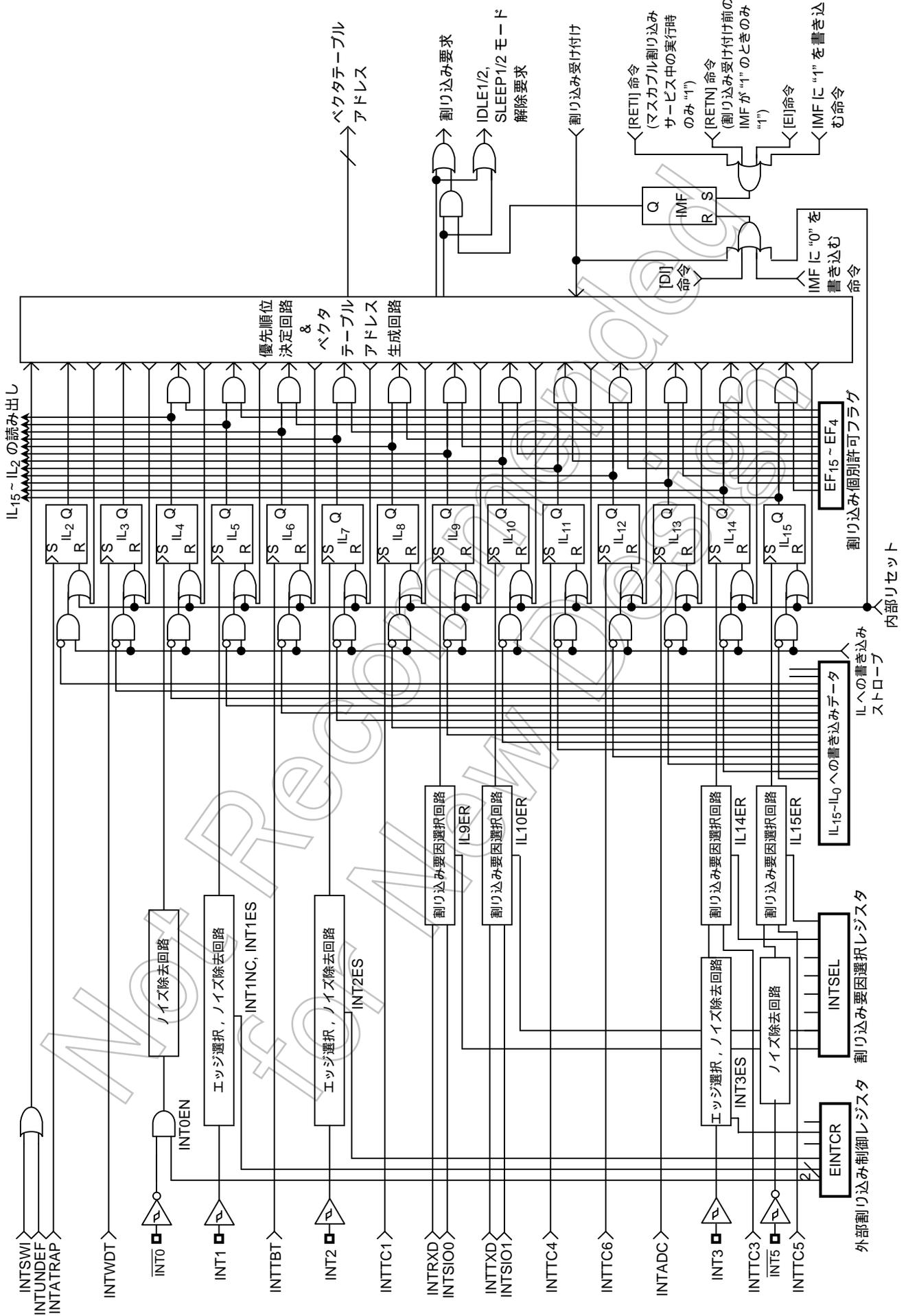


図1.5.1 割り込み制御回路

(1) 割り込みラッチ (IL₁₅~IL₂)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内のアドレス 003CH, 003DH に割り付けられており、IL₂, IL₃を除いて命令で個別にクリアすることができ(ただし、ビット操作命令や演算命令などのリードモディファイライト命令は使用できません。これは、リードモディファイライト命令実行中に割り込み要求が発生してもクリアされる場合が想定されるためです。)、プログラムで割り込み要求の取り消し/初期化ができます。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

注) 割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0” (割り込み禁止状態) にしてから行ってください。

例 1: 割り込みラッチのクリア

```
DI ; IMF ← 0
LDW (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI ; IMF ← 1
```

例 2: 割り込みラッチの読み出し

```
LD WA, (ILL) ; W ← ILH, A ← ILL
```

例 3: 割り込みラッチのテスト

```
TEST (IL).7 ; IL7 = 1 ならジャンプ
JR F, SSET
```

(2) 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み, 未定義命令割り込み, アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR内のアドレス 003AH, 003BH に割り付けられており、命令でリード/ライト (ビット操作命令などのリードモディファイライトも含む) できます。

a. 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると、割り込みマスタ許可フラグはスタックが一時退避された後、“0”にクリアされ、その後のマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスクابل割り込みリターン命令 [RETI]/[RETN]によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR内のアドレス 003AH) のビット 0 に割り付けられており、命令でリード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

b. 割り込み個別許可フラグ (EF₁₅~EF₄)

各マスクブル割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

割り込み個別許可フラグは、EIRL と EIRH (SFR 内のアドレス 003AH, 003BH) に割り付けられており、命令でリード/ライトできます。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

注) 割り込み個別許可フラグ (EF) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリア (割り込み禁止状態) にしてから行ってください。通常、割り込みサービスルーチン内では自動的に IMF = “0” となりますので、上記操作は不要ですが、多重割り込みを利用するため、割り込みサービスルーチン内で IMF = “1” の操作を行っている場合は、同様の処理を行ってください。

例 1: 割り込みの個別許可と IMF のセット

```
DI ; IMF ← “0”
LDW (EIRL), 0110100010100000B ; EF14, EF13, EF11, EF7, EF5 ← “1”
... ; 注) IMF はセットしない
EI ; IMF ← “1”
```

例 2: C コンパイラ記述例

```
unsigned int _io (3AH) EIRL; /* 3AH は EIRL のアドレス*/
_DI ();
EIRL = 10100000B;
...
_EI ();
```

割り込みラッチ

ILH, ILL (003CH, 003DH)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		
	ILH (003DH)								ILL (003CH) (初期値: 00000000 000000**)							

IL15~IL2	割り込みラッチ	RD 時 0: 割り込み要求なし 1: 割り込み要求あり	WR 時 割り込み要求のクリア 注) セットは不可	R/W
----------	---------	------------------------------------	---------------------------------	-----

注 1) IL₂, IL₃ はクリアできません。
 注 2) IL を操作する場合は、事前に IMF をクリア (割り込み禁止状態) にしてから行ってください。
 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

EIRH, EIRL (003AH, 003BH)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF
	EIRH (003BH)								EIRL (003AH) (初期値: 00000000 0000****)							

EF15~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可		
IMF	割り込みマスタ許可フラグ	0: マスカブル割り込み全体の受け付け禁止 1: マスカブル割り込み全体の受け付け許可		R/W

注 1) *: Don't care
 注 2) 割り込み許可フラグ(EF)を操作する場合は、事前に IMF をクリア (割り込み禁止状態) にしてから行ってください。
 注 3) 割り込み許可フラグ (EF₁₅~EF₄) と同時に IMF を "1" にセットしないでください。

図1.5.2 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

(3) 割り込み要因の選択 (INTSEL)

割り込みソースをほかの割り込み要因と共有する割り込み要因は、INTSEL レジスタで選択された場合に限り、割り込みラッチをイネーブルにすることができます。割り込みコントローラは、INTSEL レジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が生じる前に INTSEL レジスタを適切に設定する必要があります。

割り込み要因セレクト

INTSEL (003EH)

	7	6	5	4	3	2	1	0
		IL9ER	IL10ER				IL14ER	IL15ER
	(初期値: *00**00)							

IL9ER	INTRXD, INTSIO0 の選択	0: INTRXD 1: INTSIO0	
IL10ER	INTTXD, INTSIO1 の選択	0: INTTXD 1: INTSIO1	
IL14ER	INT3, INTTC3 の選択	0: INT3 1: INTTC3	
IL15ER	INT5, INTTC5 の選択	0: INT5 1: INTTC5	

図 1.5.3 割り込み要因セレクト

1.5.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了した後、8 マシンサイクル ($4 \mu\text{s}$ @ 8.0 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 1.5.4 に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的にを行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、その後のマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC)、プログラムステータスワード (PSW)、および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから、割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。

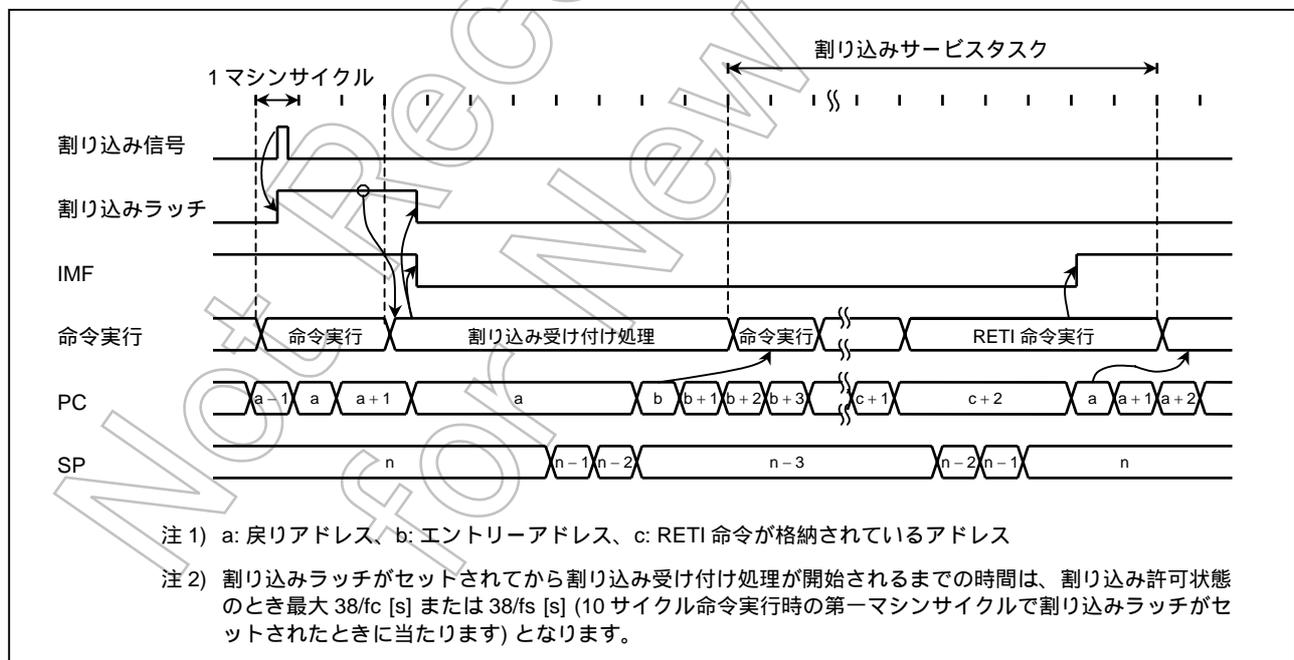
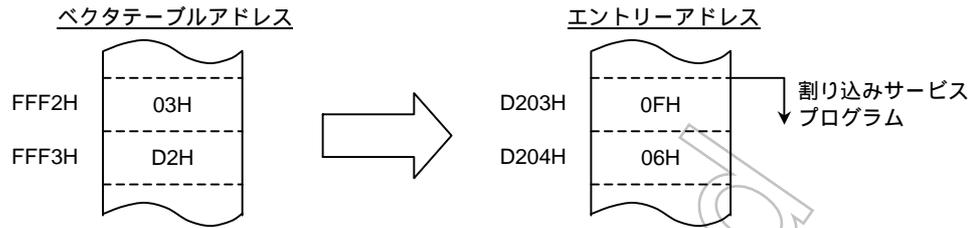


図1.5.4 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと、割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスタイングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の2つの方法があります。

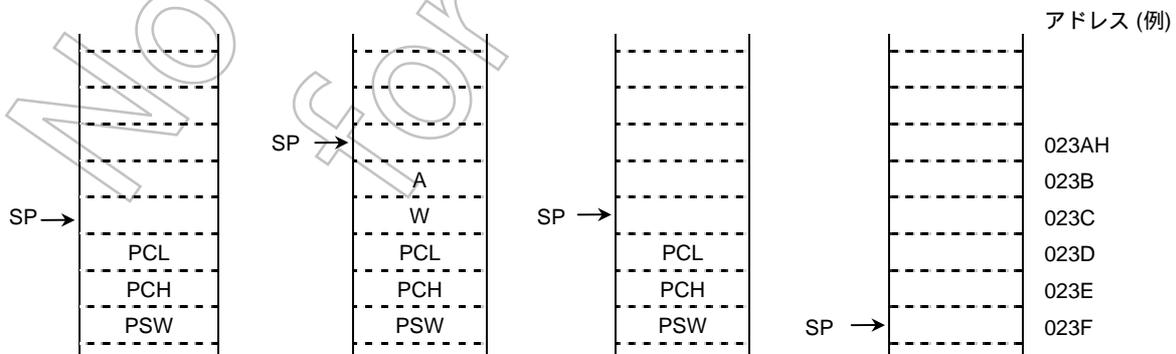
a. プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例: プッシュ/ポップによるレジスタの退避/復帰

```

PINTxx:    PUSH    WA      ; WAレジスタペアをスタックに退避
           割り込み処理
           POP     WA      ; WAレジスタペアをスタックから復帰
           RETI          リターン
    
```



割り込み受け付け後 ⇨ WAレジスタペアのプッシュ後 ⇨ WAレジスタペアのポップ後 ⇨ リターン後

b. 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例: データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx: LD      (GSAVA), A      ; Aレジスタの退避
         割り込み処理
         LD      A, (GSAVA)     ; Aレジスタの復帰
         RETI                    ; リターン
  
```

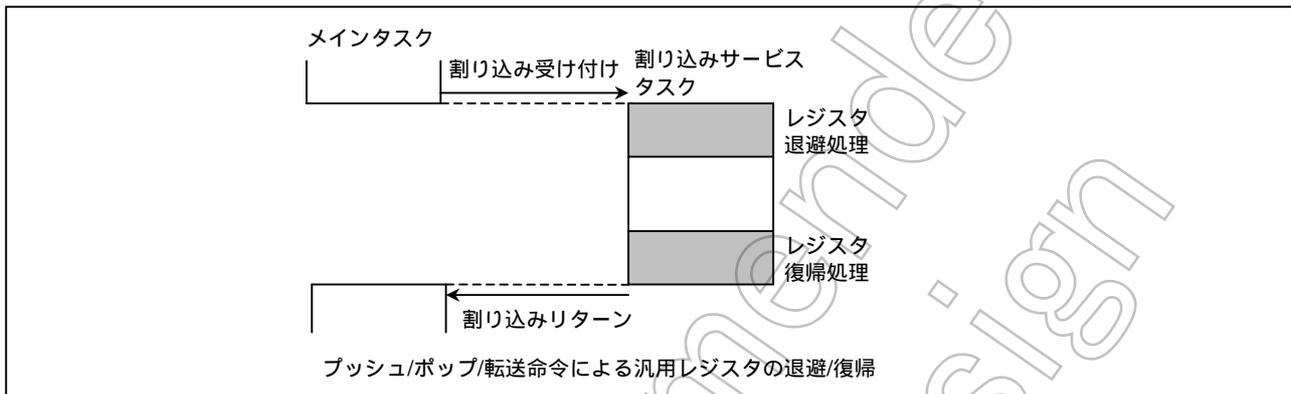


図1.5.5 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI]/[RETN] マスカブル割り込みリターン

1. プログラムカウンタ、プログラムステータスワードおよびIMFの内容をスタックからそれぞれリストアします。
2. スタックポインタを3回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされるPCL、PCHの値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないままリターン命令[RETN]を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。割り込みリターン後のPCL、PCHとなる値は、割り込み受け付け処理後はそれぞれ(SP+1)、(SP+2)のアドレスに格納されています。

例 1: アドレストラップ割り込みサービスプログラムからのリターン

```
PINTxx:  POP      WA                ; スタックポインタを2つ戻す
          LD       WA, Return Address ; WAレジスタに再開アドレスを代入する
          PUSH     WA                ; スタックにプッシュダウンする
          割り込み処理
          RETN                       ; ノンマスカブル割り込みリターン命令
```

例 2: リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

```
PINTxx:  INC      SP                ; スタックポインタを3つ戻す
          INC      SP
          INC      SP
          割り込み処理
          LD       EIRL, data        ; IMFを"1"にセット、または"0"にクリア
          JP       Restart Address   ; 復帰アドレスへジャンプ
```

注) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムでスタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメントする)。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.5.2 ソフトウェア割り込み (INTSW)

SWI 命令を実行することによりソフトウェア割り込みが発生し、直ちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

a. アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は SWI 命令ですので、ソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みがかかります。

b. デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

1.5.3 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスクابل割り込み処理中でも受け付けられ、現在の処理を中断し、即 INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

1.5.4 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスクابل割り込み処理中でも受け付けられ、現在の処理を中断し、即 INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力/割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

1.5.5 外部割り込み

TMP86CM25A には、5 本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去) となっています。

また、INT1~INT3 端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P63 端子は、外部割り込み入力端子として使用するか、入出力ポートとして使用するかの選択ができます。リセット時は入力ポートとなります。

エッジの選択、ノイズ除去の制御および $\overline{\text{INT0}}$ /P63 端子の機能選択は、外部割り込み制御レジスタ (EINTCR) で行います。

1.6 リセット回路

TMP86CM25A には、外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの 4 種類のリセット発生手段があります。

リセット回路は 11 段のフラッシュリセットカウンタを内蔵しており、上記のリセットが発生すると、フラッシュ制御回路の電源が安定するまでの間リセットを発生します。リセット時間は $2^{10}/f_c$ [s] ($64 \mu\text{s} @ 16\text{MHz}$) です。

また、電源投入時、内部要因リセット出力回路 (ウォッチドッグタイマリセット、アドレストラップリセットおよびシステムクロックリセット) は初期化されません。従って、電源投入時に最大 $24/f_c$ [s] ($1.5 \mu\text{s} @ 16 \text{MHz}$) の期間、リセット状態となることがあります。

従ってリセットの最大時間は、 $24/f_c$ [s] + $2^{10}/f_c$ [s] ($65.5 \mu\text{s} @ 16 \text{MHz}$) となります。

表 1.6.1 にリセット動作による内蔵ハードウェアの初期化を示します。

注) フラッシュリセットは、フラッシュ製品 (TMP86FM25) との互換性を保つため、マスク ROM 製品の “A” バージョン (TMP86CM25A) についても同様に実行されます。

表1.6.1 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません	ウォッチドッグタイマ	イネーブル
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
ジャンプステータスフラグ (JF)	初期化されません		
ゼロフラグ (ZF)	初期化されません		
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスク許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		
		RAM	初期化されません

1.6.1 外部リセット入力

RESET 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件の下で最小 3 マシンサイクル ($12/f_c$ [s]) 以上の間 RESET 端子を “L” レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET 端子入力が “H” レベルに立ち上がった後、 $2^{10}/f_c$ [s] ($65.5 \mu\text{s} @ 16 \text{MHz}$) 経過すると、リセット動作は解除され、アドレス FFFE_H~FFFF_H に格納されたベクタアドレスからプログラムの実行を開始します。

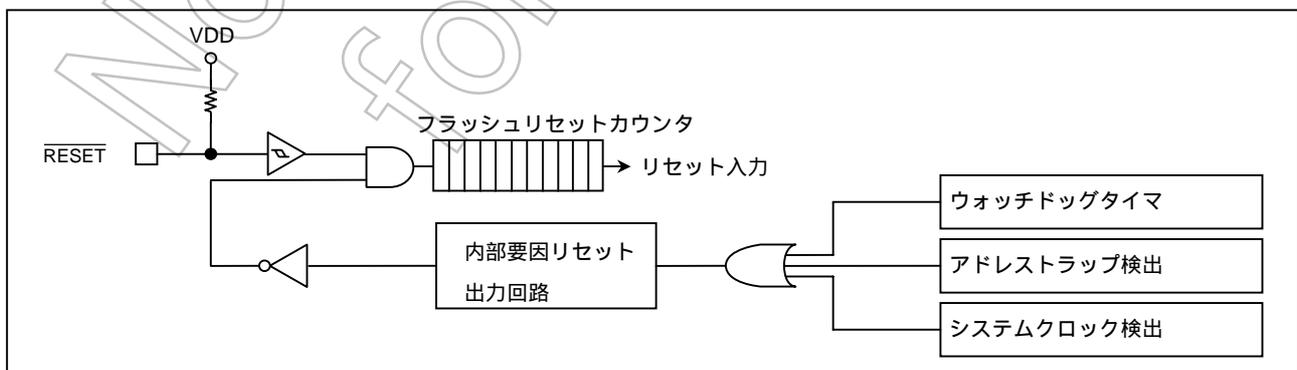


図1.6.1 リセット回路

1.6.2 アドレストラップリセット

CPU がノイズなどの原因により、暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとする時、内部リセットおよびフラッシュリセットが発生します。リセット時間は最大 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ 16.0 MHz) です。

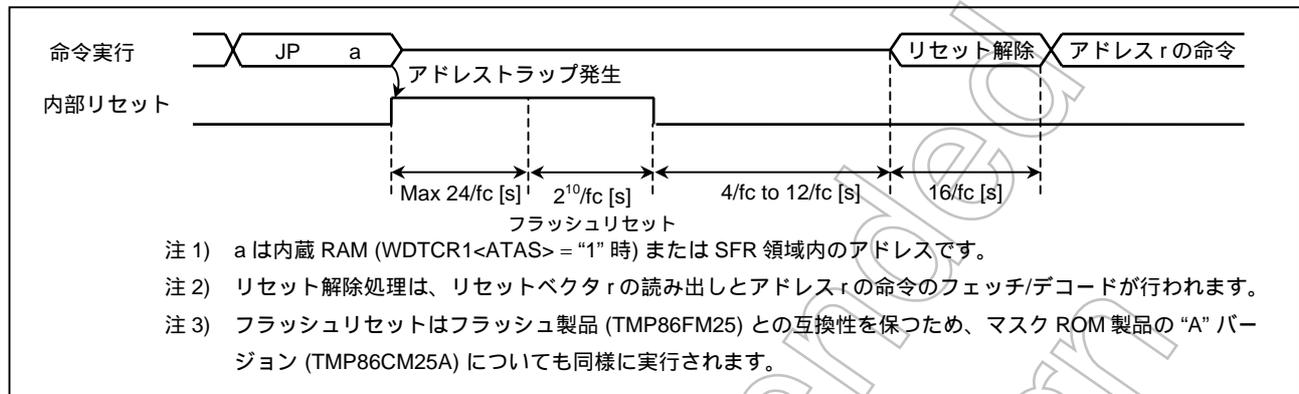


図1.6.2 アドレストラップリセット

注) アドレストラップはリセットと割り込みの選択が可能です。また、内蔵 RAM はアドレストラップするか否かを WDTCR1<ATAS> によって選択することが可能です。

1.6.3 ウォッチドッグタイマリセット

2.5 「ウォッチドッグタイマ (WDT)」を参照してください。

1.6.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します (発振は継続します)。

- ・ SYSCR2<XEN>, SYSCR2<XTEN> をともに “0” にクリアした場合
- ・ SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN>を “0” にクリアした場合
- ・ SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN>を “0” にクリアした場合

システムクロックリセットが発生すると、その後フラッシュリセットが発生します。リセット時間は、最大 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ 16.0 MHz) です。

2. 周辺ハードウェア機能

2.1 スペシャルファンクションレジスタ (SFR)

TMP86CM25A はメモリマップ I/O 方式で、周辺ハードウェアのデータ制御/転送はすべてスペシャルファンクションレジスタ (SFR)、またはデータバッファレジスタ (DBR) を通して行われます。SFR は 0000H~003FH に、DBR は 0F00H~0FFFH にマッピングされています。図 2.1.1 に TMP86CM25A の SFR、DBR の一覧を示します。

アドレス	リード	ライト	アドレス	リード	ライト
0000H	Reserved		0020H	ADCCR1 (AD 変換値レジスタ 1)	-
01	P1DR (P1 ボート出力ラッチ制御)		21	ADCCR2 (AD 変換値レジスタ 2)	-
02	P2DR (P2 ボート出力ラッチ制御)		22	Reserved	
03	P3DR (P3 ボート出力ラッチ制御)		23	Reserved	
04	P3LCR (P3 ボート制御レジスタ)		24	Reserved	
05	P5DR (P5 ボート出力ラッチ制御)		25	UARTSR (UART ステータスレジスタ)	UARTCR1 (UART 制御レジスタ 1)
06	P6DR (P6 ボート出力ラッチ制御)		26	UARTCR2 (UART 制御レジスタ 2)	
07	P7DR (P7 ボート出力ラッチ制御)		27	LCDCTL1 (LCD 制御レジスタ 1)	
08	P1PRD (P1 端子入力)	-	28	LCDCTL2 (LCD 制御レジスタ 2)	
09	P2PRD (P2 端子入力)	-	29	P1LCR (P1 制御レジスタ)	
0A	P3PRD (P3 端子入力)	-	2A	P5LCR (P5 制御レジスタ)	
0B	P5PRD (P5 端子入力)	-	2B	P7LCR (P7 制御レジスタ)	
0C	P6CR (P6 ボート入出力制御)		2C	PWREG3 (タイマレジスタ 3)	
0D	P7PRD (P7 端子入力)	-	2D	PWREG4 (タイマレジスタ 4)	
0E	ADCCR1 (AD 制御レジスタ 1)		2E	PWREG5 (タイマレジスタ 5)	
0F	ADCCR2 (AD 制御レジスタ 2)		2F	PWREG6 (タイマレジスタ 6)	
10	TREG1AL		30	Reserved	
11	TREG1AM (タイマレジスタ 1A)		31	Reserved	
12	TREG1AH		32	Reserved	
13	TREG1B (タイマレジスタ 1B)		33	Reserved	
14	TC1CR1 (タイマレジスタ 1 制御 1)		34	-	WDTCR1 (ウォッチドッグタイマ制御)
15	TC1CR2 (タイマレジスタ 1 制御 2)		35	-	WDTCR2 (ウォッチドッグタイマ制御)
16	TC1SR (TC1 ステータス)		36	TBTCCR (TBT/TG/DVO 制御)	
17	Reserved		37	EINTCR (外部割り込み制御)	
18	TC3CR (タイマカウンタ 3 制御)		38	SYSCR1 (システム制御 1)	
19	TC4CR (タイマカウンタ 4 制御)		39	SYSCR2 (システム制御 2)	
1A	TC5CR (タイマカウンタ 5 制御)		3A	EIRL (割り込み許可レジスタ)	
1B	TC6CR (タイマカウンタ 6 制御)		3B	EIRH (割り込み許可レジスタ)	
1C	TTREG3 (タイマレジスタ 3)		3C	ILL (割り込みラッチ)	
1D	TTREG4 (タイマレジスタ 4)		3D	ILH (割り込みラッチ)	
1E	TTREG5 (タイマレジスタ 5)		3E	INTSEL (割り込み要因セレクト)	
1F	TTREG6 (タイマレジスタ 6)		3F	PSW (プログラムステータスワード)	

注 1) Reserved のアドレスにはプログラムでアクセスしないでください。
 注 2) - : アクセスできません。
 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図 2.1.1 スペシャルファンクションレジスタ (SFR)

LCD データバッファ (ライト/リード)

0F00H	0F10H	0F20H	0F30H	0F40H	0F50H	0F60H	0F70H	COM0
0F01H	0F11H	0F21H	0F31H	0F41H	0F51H	0F61H	0F71H	COM1
0F02H	0F12H	0F22H	0F32H	0F42H	0F52H	0F62H	0F72H	COM2
0F03H	0F13H	0F23H	0F33H	0F43H	0F53H	0F63H	0F73H	COM3
0F04H	0F14H	0F24H	0F34H	0F44H	0F54H	0F64H	0F74H	COM4
0F05H	0F15H	0F25H	0F35H	0F45H	0F55H	0F65H	0F75H	COM5
0F06H	0F16H	0F26H	0F36H	0F46H	0F56H	0F66H	0F76H	COM6
0F07H	0F17H	0F27H	0F37H	0F47H	0F57H	0F67H	0F77H	COM7
0F08H	0F18H	0F28H	0F38H	0F48H	0F58H	0F68H	0F78H	COM8
0F09H	0F19H	0F29H	0F39H	0F49H	0F59H	0F69H	0F79H	COM9
0F0AH	0F1AH	0F2AH	0F3AH	0F4AH	0F5AH	0F6AH	0F7AH	COM10
0F0BH	0F1BH	0F2BH	0F3BH	0F4BH	0F5BH	0F6BH	0F7BH	COM11
0F0CH	0F1CH	0F2CH	0F3CH	0F4CH	0F5CH	0F6CH	0F7CH	COM12
0F0DH	0F1DH	0F2DH	0F3DH	0F4DH	0F5DH	0F6DH	0F7DH	COM13
0F0EH	0F1EH	0F2EH	0F3EH	0F4EH	0F5EH	0F6EH	0F7EH	COM14
0F0FH	0F1FH	0F2FH	0F3FH	0F4FH	0F5FH	0F6FH	0F7FH	COM15

SEG7 SEG15 SEG23 SEG31 SEG39 SEG47 SEG55 SEG59
 ~SEG0 ~SEG8 ~SEG16 ~SEG24 ~SEG32 ~SEG40 SEG48 ~SEG56

アドレス リード ライト

0F90H		SIO0BR0 (SIO0 バッファ 0)
91		SIO0BR1 (SIO0 バッファ 1)
92		SIO0BR2 (SIO0 バッファ 2)
93		SIO0BR3 (SIO0 バッファ 3)
94		SIO0BR4 (SIO0 バッファ 4)
95		SIO0BR5 (SIO0 バッファ 5)
96		SIO0BR6 (SIO0 バッファ 6)
97		SIO0BR7 (SIO0 バッファ 7)
98		SIO0CR1 (SIO0 制御レジスタ 1)
99	SIO0SR (SIO0 ステータスレジスタ)	SIO0CR2 (SIO0 制御レジスタ 2)
9A		STOPCR (キーオンウェイクアップ制御レジスタ)
9B	RDBUF (UART 受信データバッファ)	TDBUF (UART 送信データバッファ)
9C		Reserved
:		:
9F		Reserved
A0		SIO1BR0 (SIO1 バッファ 0)
A1		SIO1BR1 (SIO1 バッファ 1)
A2		SIO1BR2 (SIO1 バッファ 2)
A3		SIO1BR3 (SIO1 バッファ 3)
A4		SIO1BR4 (SIO1 バッファ 4)
A5		SIO1BR5 (SIO1 バッファ 5)
A6		SIO1BR6 (SIO1 バッファ 6)
A7		SIO1BR7 (SIO1 バッファ 7)
A8		SIO1CR1 (SIO1 制御レジスタ 1)
A9	SIO1SR (SIO1 ステータスレジスタ)	SIO1CR2 (SIO1 制御レジスタ 2)
AA		Reserved
:		:
BF		Reserved
C0		MULSEL (マルチファンクション選択レジスタ)
C1		Reserved
:		:
DF		Reserved
E0		EEPCR (Flash memory control) 注4)
E1	EEPSR (Flash memory status) 注4)	
E2		Reserved
:		:
FF		Reserved

- 注 1) Reserved のアドレスにはプログラムでアクセスしないでください。
- 注 2) -: アクセスできません。
- 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。
- 注 4) EEPCR および EEPSR は、Flash 制御用のレジスタですが、マスク ROM 品にも内蔵されています。詳細については、TMP86FM25F の「1.1 フラッシュメモリ」を参照してください。

図 2.1.2 データバッファレジスタ (DBR)

2.2 入出力ポート

TMP86CM25A は、8 ポート 42 端子の入出力ポートを内蔵しています。

- a. P1 ポート: 8 ビット入出力ポート (外部割り込み入力, シリアルインタフェース入出力, UART 入出力, LCD セグメント入出力と兼用)
- b. P2 ポート: 3 ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力と兼用)
- c. P3 ポート: 7 ビット入出力ポート (タイマカウンタ入出力, デバイダ出力, LCD セグメント/コモン出力と兼用)
- d. P5 ポート: 8 ビット入出力ポート (LCD セグメント出力と兼用)
- e. P6 ポート: 8 ビット入出力ポート (アナログ入力, 外部割込み入力, STOP モード解除信号, タイマカウンタ入力と兼用)
- f. P7 ポート: 8 ビット入出力ポート (タイマカウンタ入出力, デバイダ出力, LCD コモン出力と兼用)

すべての出力ポートはラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは、外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 2.2.1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。

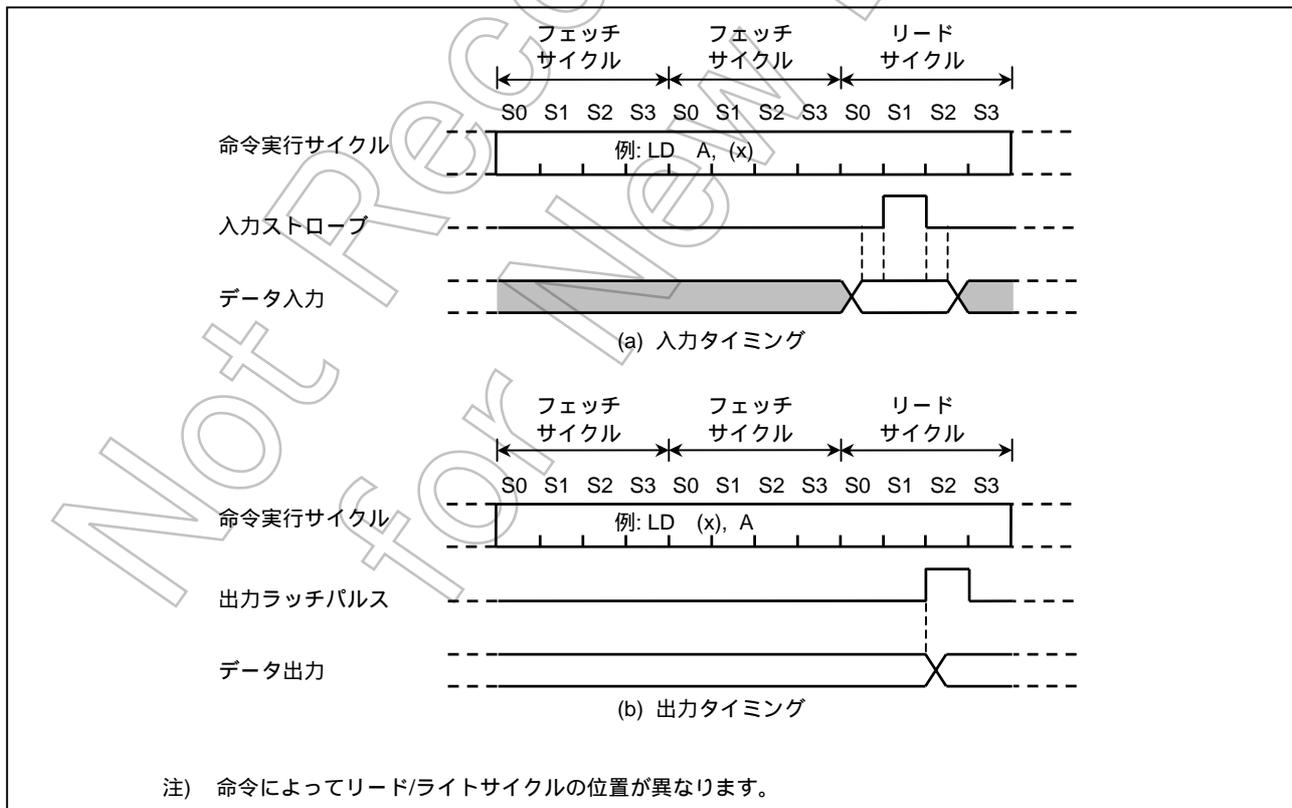


図 2.2.1 入出力タイミング (例)

2.2.1 P1 (P17~P10) ポート

P1 ポートは 8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、UART 入出力、LCD セグメント出力と兼用です。LCD セグメント出力として使用する場合は、P1LCR の対応するビットを “1” にセットします。入力ポート、または外部割り込み入力、シリアルインタフェース入出力、UART 入出力として用いる場合は、セグメント出力制御 (P1LCR) を “0” にセットした後、出力ラッチ (P1DR) を “1” にセットします。出力ポートとして使用する場合は P1LCR の対応するビットを “1” にセットします。リセット時、P1DR は “1” に、P1LCR は “0” に初期化されます。

P1 ポートは、データ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P1DR を、端子状態を読み込む場合は P1PRD レジスタをそれぞれ読み出してください。LCD セグメント出力に設定した端子に対して P1PRD で端子の状態を読み出すと “0” が読み出されます。

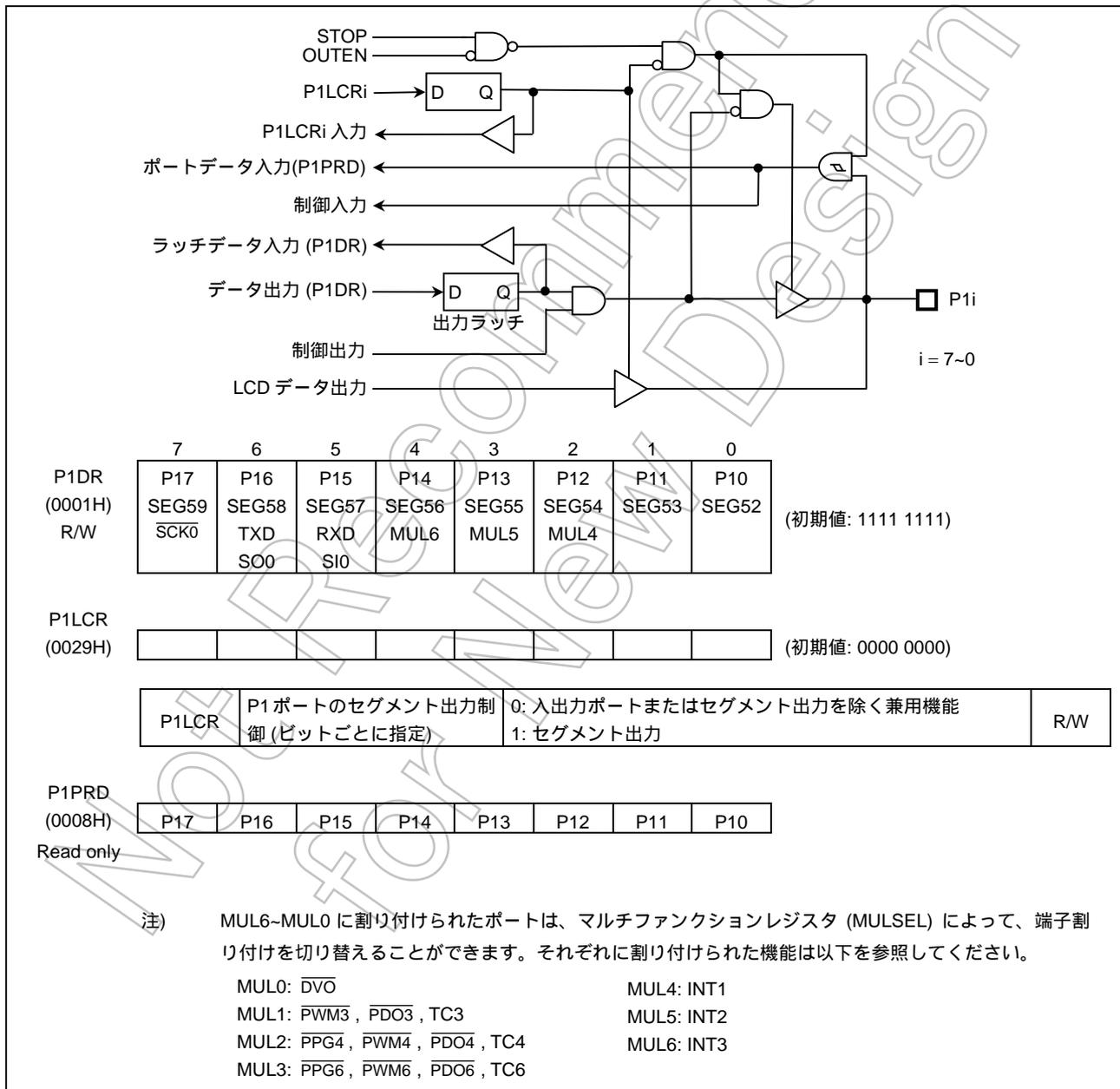


図 2.2.2 P1 ポート

2.2.2 P2 (P22~P20) ポート

P2 ポートは 3 ビットの入出力ポートで、外部割り込み入力, STOP 解除信号入力, 低周波発振子接続端子と兼用です。入力ポートまたは機能端子として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。P2DR はリセット時 “1” に初期化されます。デュアルクロックモードで動作させる場合、P21 (XTIN), P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21, P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力, STOP 解除信号入力, 入力ポートとして使用されることを推奨します (出力ポートとして使用すると、立ち下がりで割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P2DR を、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して、P2DR, P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

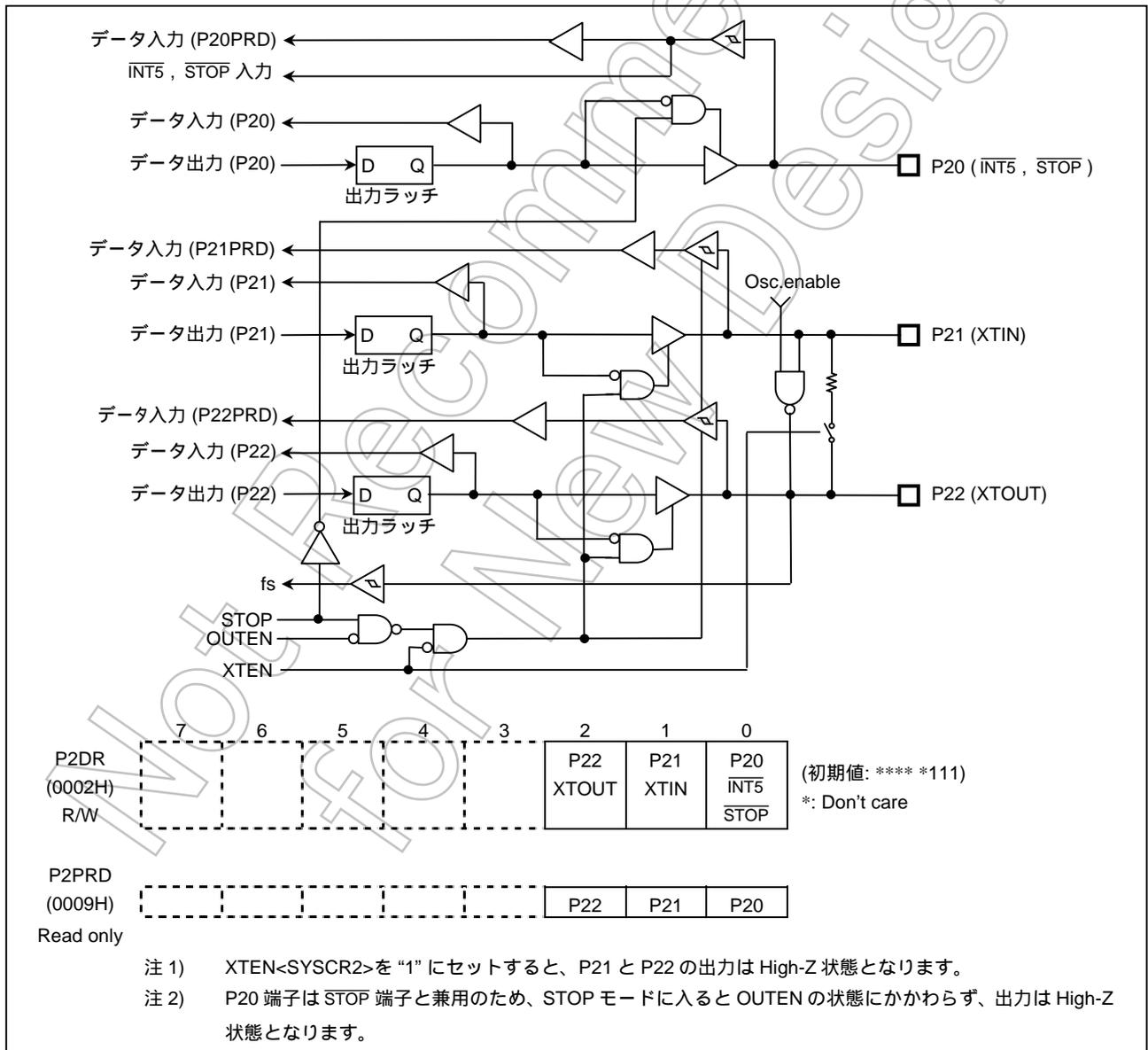


図 2.2.3 P2 ポート

2.2.3 P3 (P36~P30) ポート

P3 ポートは7ビットの入出力ポートで、外部割り込み入力、タイマカウンタ入出力、デバイダ出力、LCD コモン/セグメント出力と兼用です。LCD セグメント/コモン出力として使用する場合は、P3LCR の対応するビットを“1”にセットします。入力ポートまたは機能端子として用いる場合は、セグメント/コモン出力制御 (P3LCR) を“0”にセットした後、出力ラッチ (P3DR) を“1”にセットします。出力ポートとして使用する場合はP3LCR の対応するビットを“0”にクリアします。リセット時、P3DR は“1”に、P3LCR は“0”に初期化されます。

また、P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P3DR を、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。LCD コモン/セグメント出力に設定した端子に対して、P3PRD で端子の状態を読み出すと“0”が読み出されます。

P3 ポートに対して、P3DR, P3PRD のリード命令を実行した場合、ビット 7 は不定値が読み込まれます。

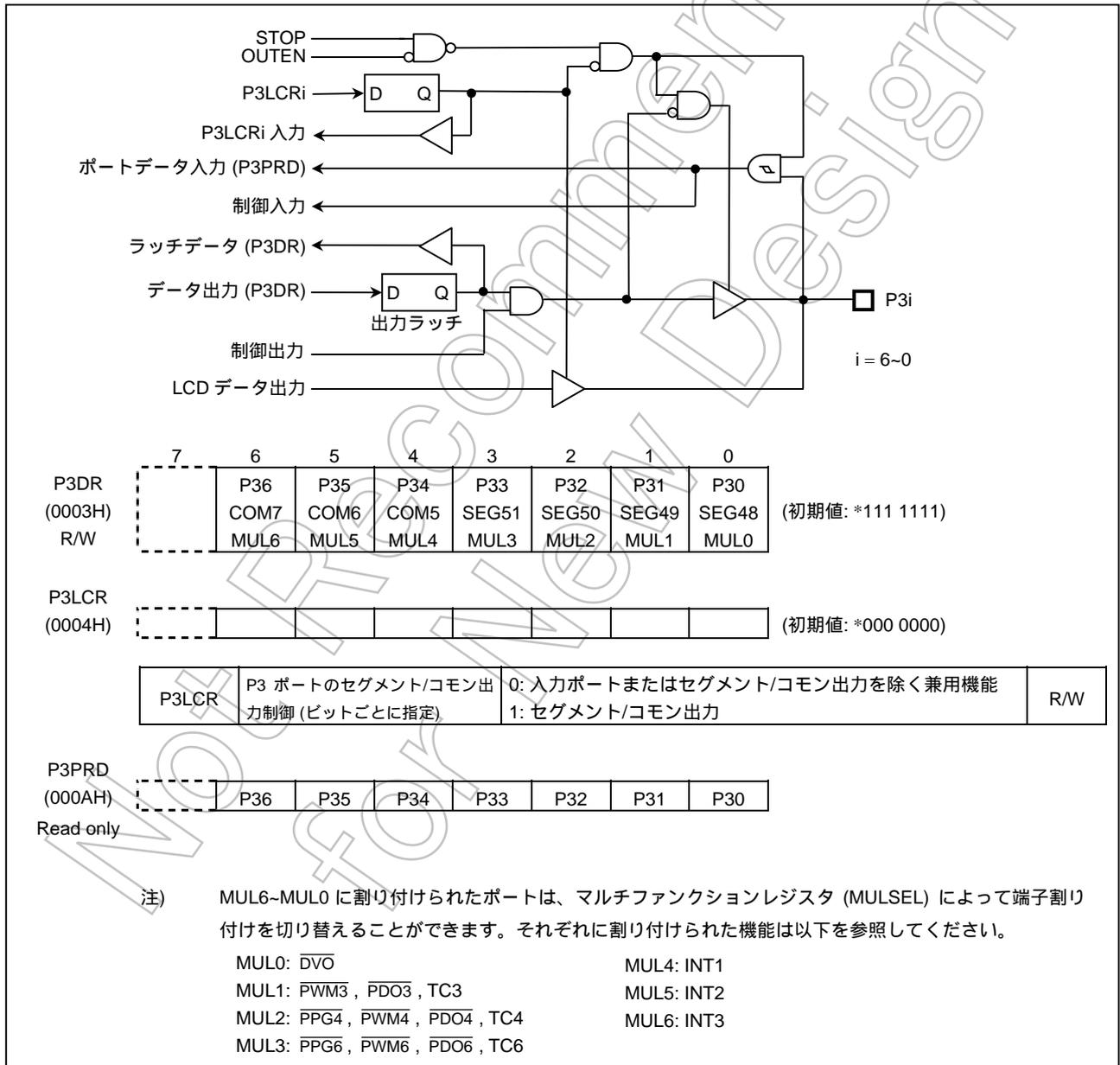


図 2.2.4 P3 ポート

2.2.4 P5 (P57~P50)ポート

P5 ポートは 8 ビットの入出力ポートで、LCD セグメント出力と兼用です。LCD セグメント出力として用いる場合は、P5LCR の対応するビットを“1”にセットします。入力ポートとして用いる場合は、セグメント出力制御 (P5LCR) を“0”にセットした後、出力ラッチ (P5DR) を“1”にセットします。出力ポートとして用いる場合は P5LCR の対応するビットを“0”にセットします。リセット時、P5DR は“1”に、P5LCR は“0”に初期化されます。

P5 ポートは、データ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P5DR を、端子の状態を読み込む場合は P5PRD レジスタをそれぞれ読み出してください。

LCD セグメント出力に設定した端子に対して、P5PRD で端子の状態を読み出すと“0”が読み出されます。

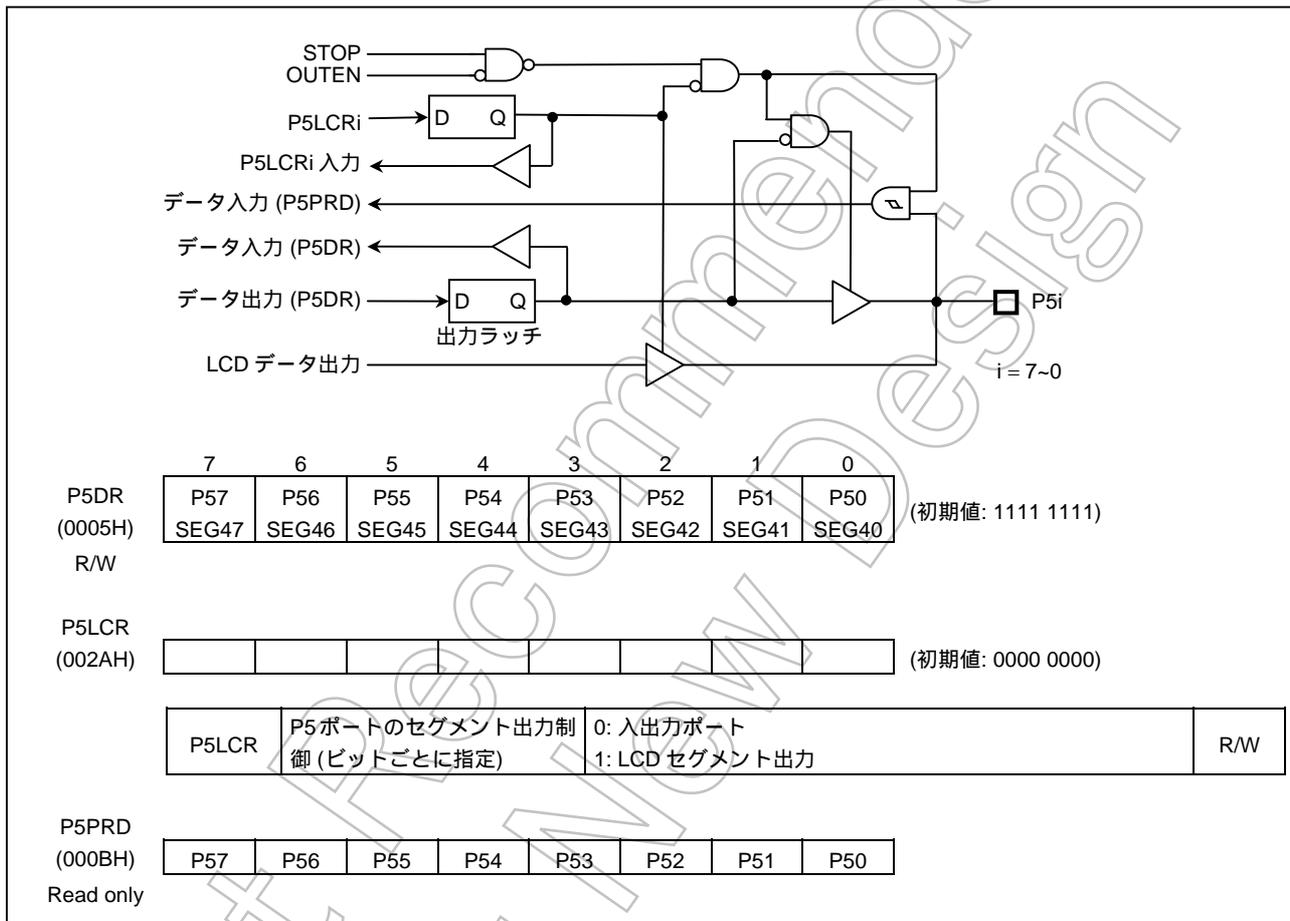


図 2.2.5 P5 ポート

2.2.5 P6 (P67~P60) ポート

P6 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力、タイマカウンタ入力、外部割り込み入力と兼用です。入出力の指定は、入出力制御レジスタ (P6CR) と出力ラッチ (P6DR) によって行います。リセット時は、P6CR と P6DR は “0” にクリアされ、P67~P60 は入力が “0” レベル固定の状態となります。入力ポート、外部割り込み入力、タイマカウンタ入力、またはキーオンウェイクアップ入力として使用する場合は、対応するビットを入力モード (P6CR = “0”, P6DR = “1”) に設定します。出力ポートとして使用する場合は、P6CR の対応するビットを “1” に設定します。アナログ入力として使用する場合は、対応するビットをアナログ入力モード (P6CR = “0”, P6DR = “0”) に設定し、AINDS = “0” にするとともに AD 変換をスタートさせます。

出力ラッチ = “0” に設定するのは、兼用のデジタル入力回路の貫通電流防止を行うために必要です。そのため、アナログ入力として使用するポートの出力ラッチはあらかじめ “0” に設定してください。実際の変換入力チャネル選択は、SAIN (ADCCR1 のビット 2~0) の設定で行います。

アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。

AD コンバータ入力として使用するビットの宣言・設定 (P6DR を “0” にクリア) をしているときに入力命令を実行すると、上記ビットには “0” が読み込まれます。

Not Recommended for New Design

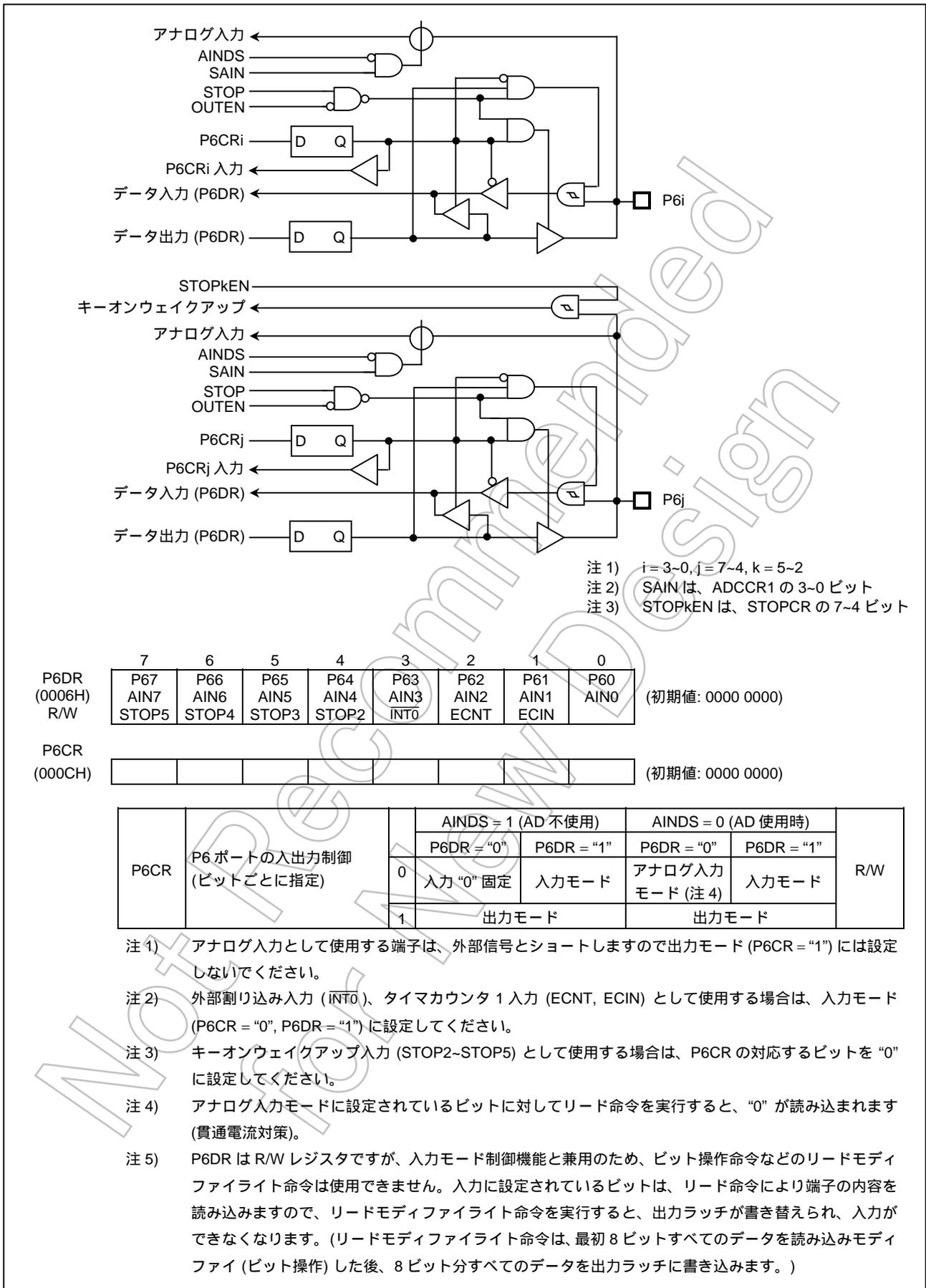


図 2.2.6 P6 ポートと P6 ポート入出力制御レジスタ

2.2.6 P7 (P77~P70) ポート

P7 ポートは 8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、タイマカウンタ入出力、デバイダ出力、LCD コモン出力と兼用です。LCD コモン出力として使用する場合は、P7LCR の対応するビットを “1” にセットします。入力ポートまたは外部割り込み入力、タイマカウンタ入出力、デバイダ出力、シリアルインタフェース入出力として用いる場合は、セグメント出力制御 (P7LCR) を “0” にセットした後、出力ラッチ (P7DR) を “1” にセットします。出力ポートとして用いる場合は P7LCR の対応するビットを “0” にクリアします。リセット時、P7DR は “1” に、P7LCR は “0” に初期化されます。

P7 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は P7DR を、端子状態を読み込む場合は P7PRD レジスタをそれぞれ読み出してください。LCD セグメント出力に設定した端子に対して P7PRD で端子の状態を読み出すと、“0” が読み出されます。

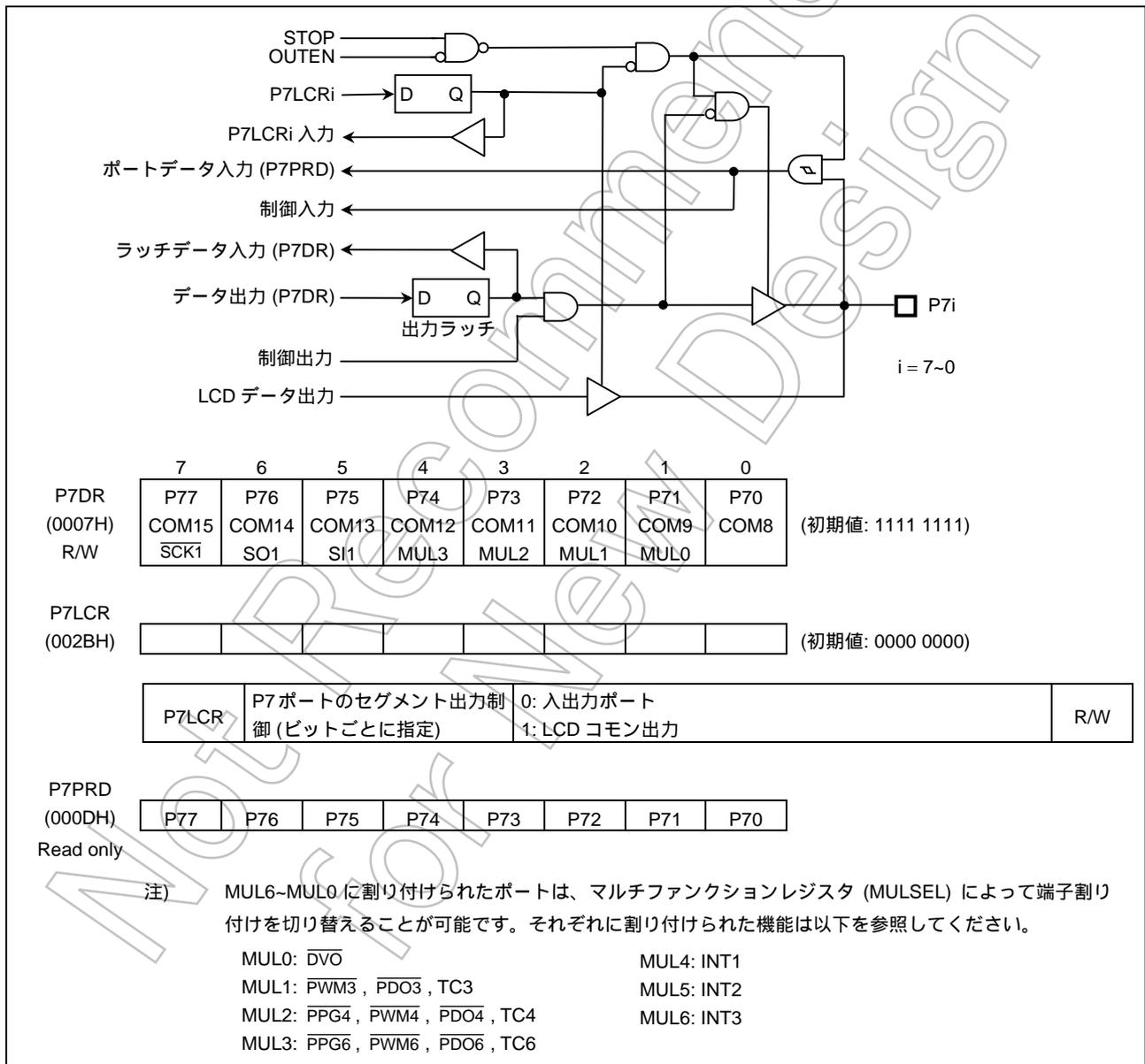


図 2.2.7 P7 ポート

2.3 マルチファンクションレジスタ

MUL6~MUL0 が割り付けられた機能端子は、MULSEL によって使用するポートを切り替えることができます。

MULSEL (0FC0H)	<table border="1"> <tr> <td>MUL6</td> <td>MUL5</td> <td>MUL4</td> <td>MUL3</td> <td>MUL2</td> <td>MUL1</td> <td>MUL0</td> </tr> </table>							MUL6	MUL5	MUL4	MUL3	MUL2	MUL1	MUL0	(初期値: 0000 0000)
MUL6	MUL5	MUL4	MUL3	MUL2	MUL1	MUL0									
MUL6	INT3 機能の端子選択	0: P14 1: P36	R/W												
MUL5	INT2 機能の端子選択	0: P13 1: P35													
MUL4	INT1 機能の端子選択	0: P12 1: P34													
MUL3	PPG6, PWM6, PDO6, TC6 機能の端子選択	0: P33 1: P74													
MUL2	PPG4, PWM4, PDO4, TC4 機能の端子選択	0: P32 1: P73													
MUL1	PPG3, PWM3, TC3 機能の端子選択	0: P31 1: P72													
MUL0	DV0 機能の端子選択	0: P30 1: P71													

図 2.3.1 マルチファンクションレジスタ

2.4 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで、一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCCK で選択) の最初の立ち下がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 2.4.1 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできません。

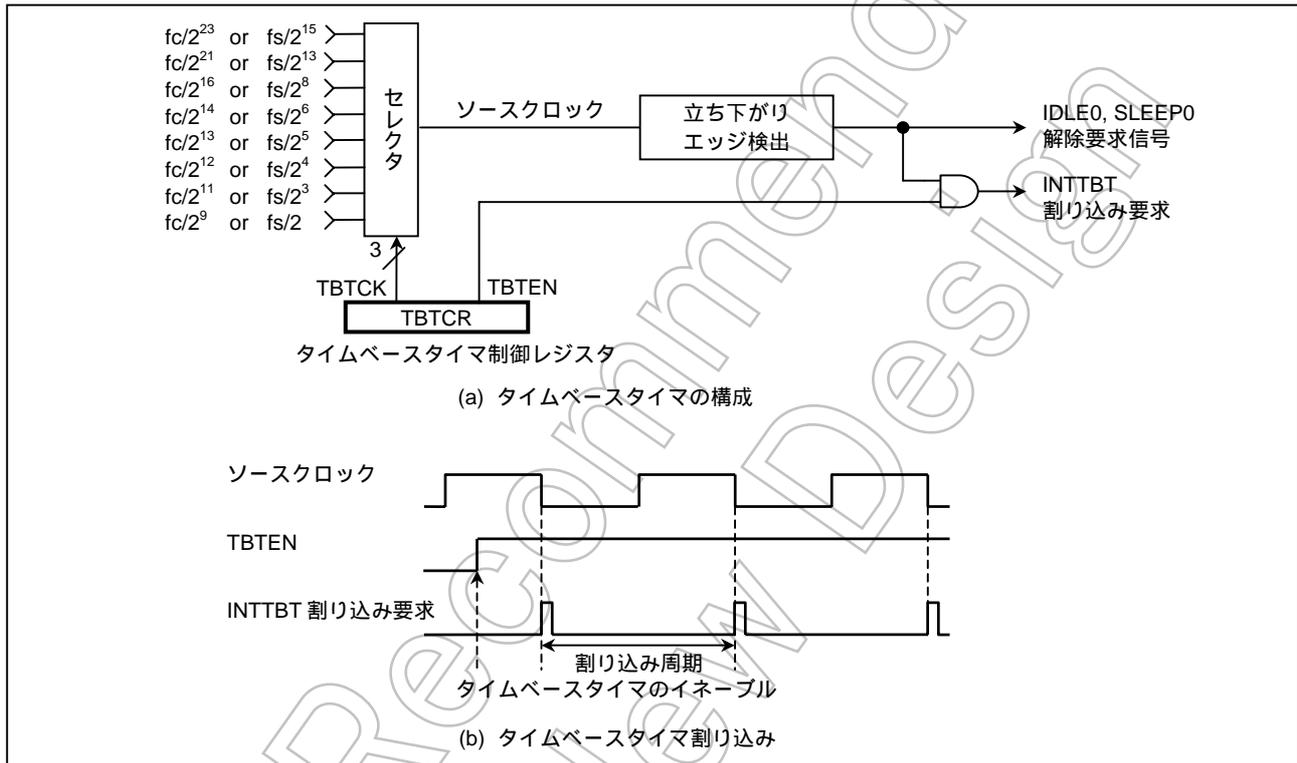


図2.4.1 タイムベースタイマ

例: タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可

LD	(TBTCR), 00000010B	; TBTCCK ← 010
LD	(TBTCR), 00001010B	; TBTCEN ← 1
DI		; IMF ← 0
SET	(EIRL). 6	

TBTCR (0036H)	7 (DVOEN)	6 (DV0CK)	5 (DV7CK)	4 TBTEN	3	2	1	0 TBCK	(初期値: 0000 0000)
TBTEN	タイムベースタイマの 許可/禁止		0: 禁止 1: 許可						
TBCK	タイムベースタイマ割り込み 周波数の選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード			R/W	
			DV7CK = 0		DV7CK = 1				
			000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$			
			001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$			
			010	$fc/2^{16}$	$fs/2^8$	-			
			011	$fc/2^{14}$	$fs/2^6$	-			
			100	$fc/2^{13}$	$fs/2^5$	-			
			101	$fc/2^{12}$	$fs/2^4$	-			
			110	$fc/2^{11}$	$fs/2^3$	-			
111	$fc/2^9$	$fs/2$	-						

fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

図2.4.2 タイムベースタイマ制御レジスタ

表2.4.1 タイムベースタイマ割り込み周波数 (例: $fc = 16$ MHz, $fs = 32.768$ kHz 時)

TBCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	-
011	976.56	512	-
100	1953.13	1024	-
101	3906.25	2048	-
110	7812.5	4096	-
111	31250	16384	-

2.5.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図 2.5.2に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

(1) ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定, 出力の選択および 2 進カウンタのクリア。
2. 設定した検出時間以内ごとに 2 進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2 進カウンタのクリアが行われないと 2 進カウンタのオーバーフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” ならリセットが発生し、内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォームアップ中を含む) または IDLE モード中ウォッチドッグタイマは、一時的にカウントアップを停止し、STOP/IDLE モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは、内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバーフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

例: ウォッチドッグタイマ検出時間を $2^{21}/f_c$ [s] に設定し、暴走検出リセットを行う

	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
	LD	(WDTCR1), 00001101B	; WDTT ← 10, WDTOUT ← 1
WDT 検出 時間 3/4 以内	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア (WDTT 変更直前直後は必ずクリアします)
WDT 検出 時間 3/4 以内	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H) 7 6 5 4 3 2 1 0
 () () (ATAS) (ATOUT) WDTEN WDTT WDTOUT (初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可				Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]		NORMAL1/2 モード		SLOW モード	
			DV7CK = 0	DV7CK = 1		
		00	$2^{25}/fc$	$2^{17}/fs$	$2^{17}/fs$	
		01	$2^{23}/fc$	$2^{15}/fs$	$2^{15}/fs$	
		10	$2^{21}/fc$	$2^{13}/fs$	$2^{13}/fs$	
		11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット発生				

注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。

注 2) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]、*: Don't care

注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスしないでください。

注 4) STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。

注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので、直前に WDTCR2 へ “4EH” を書き込み、2 進カウンタをクリアした後、WDTCR2 へ “B1H” を書き込んでウォッチドッグタイマをディセーブルにしてください。また、これらの動作の直前に、割り込みマスタ許可フラグ (IMF) を “0” に設定してください。

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H) 7 6 5 4 3 2 1 0
 () () () () () () () () (初期値: **** ***)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH: ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード) B1H: ウォッチドッグタイマの禁止 (ディセーブルコード) D2H: アドレストラップ領域選択有効 その他: 無効	Write only
--------	----------------------	---	------------

注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。

注 2) *: Don't care

注 3) ウォッチドッグタイマの 2 進カウンタのクリアは、割り込みタスクで行わないでください。

注 4) クリアコード (4EH) は、WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

図2.5.2 ウォッチドッグタイマ制御レジスタ

(2) ウォッチドッグタイマのイネーブル

WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後ウォッチドッグタイマは直ちに動作します。

(3) ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルするには、割り込みマスタ許可フラグ (IMF) を “0” にし、WDTCR2 にクリアコード (4EH) を書き込んだ後、WDTCR1<WDTEN> を “0” にクリアします。その後 WDTCR2 にディセーブルコード (B1H) を書き込むことによりディセーブルになります。なお、逆に WDTCR2 にディセーブルコードを書き込んだ後、WDTCR1<WDTEN> を “0” にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの 2 進カウンタはクリアされています。

例: ウォッチドッグタイマのディセーブル

```

DI          ; IMF ← 0
LD          (WDTCR2), 4EH ; 2進カウンタのクリア
LDW        (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブル
                                         コード
  
```

表2.5.1 ウォッチドッグタイマ検出時間 (例: $f_c = 16 \text{ MHz}$ 時, $f_s = 32.768 \text{ kHz}$ 時)

WDTT	ウォッチドッグタイマ検出時間 [s]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

2.5.3 ウォッチドッグタイマ割り込み (INTWDT)

ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN 命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力を WDTOUT により割り込み要因とする前にスタックポインタを設定してください。

例: ウォッチドッグタイマ割り込みの設定例

```

LD          SP, 023FH ; SP の設定
LD          (WDTCR1), 00001000B ; WDTOUT ← 0
  
```

2.5.4 ウォッチドッグタイマリセット

ウォッチドッグタイマのリセット要求が発生するとリセットが発生し、内蔵ハードウェアはリセットされます。ウォッチドッグタイマリセットが発生すると、フラッシュリセットも発生します。従ってリセットの最大時間は、 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$) です。

注) SLOW モードのときにウォッチドッグタイマリセットが発生した場合、高周波クロックの発振が直ちに開始されます。このとき高周波発振クロックの発振周波数にゆらぎがある場合、リセット時間は誤差を含むことになります。従ってリセット時間は概略値としてとらえる必要があります。

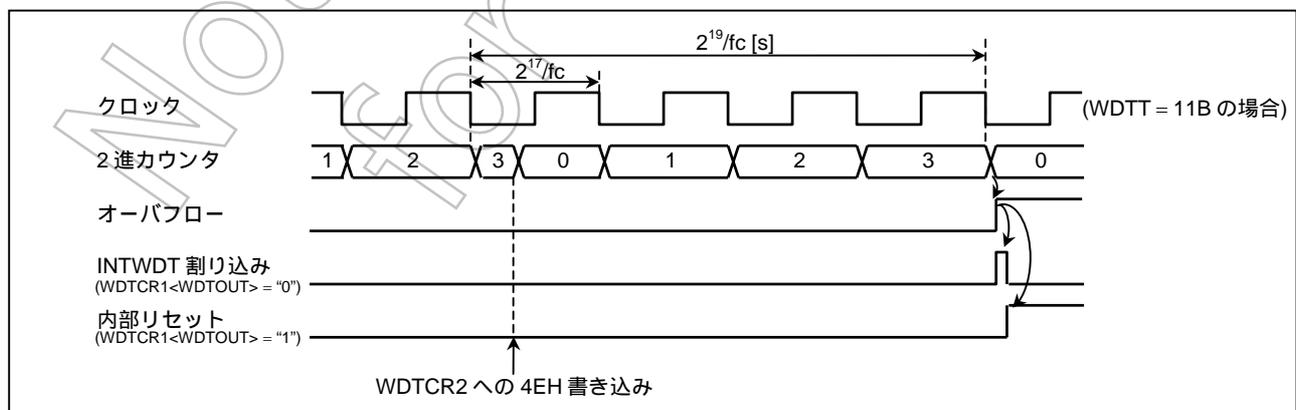


図2.5.3 ウォッチドッグタイマ割り込み/リセット

2.5.5 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。アドレストラップの制御レジスタを図 2.5.4 に示します。

ウォッチドッグタイマ制御レジスタ 1									
WDTCR1	7	6	5	4	3	2	1	0	
(0034H)	-	-	ATAS	ATOUT	(WDTEN)	(WDTT)	(WDTOUT)		(初期値: **11.1001)
ATAS	内蔵 RAM 領域のアドレストラップ選択			0: アドレストラップ発生しない 1: アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード "D2H" を書き込む必要あり)				Write only	
ATOUT	アドレストラップ発生時の動作選択			0: 割り込み要求 1: リセット発生					
ウォッチドッグタイマ制御レジスタ 2									
WDTCR2	7	6	5	4	3	2	1	0	
(0035H)									(初期値: **** ***)
WDTCR2	ウォッチドッグタイマの制御コード書き込み兼 アドレストラップ領域選択の制御コード書き込み			D2H: アドレストラップ領域選択有効 (ATRAP 設定コード) 4EH: ウォッチドッグタイマの 2 進カウンタのクリア (WDT クリアコード) B1H: ウォッチドッグタイマの禁止 (WDT ディセーブルコード) その他: 無効				Write only	

図2.5.4 ウォッチドッグタイマ制御レジスタ

(1) 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS>によってアドレストラップする/しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS>を“0”に設定します。

WDTCR1<ATAS>の設定は、WDTCR1 の設定後、WDTCR2 に“D2H”を書き込むことで有効となります。SFR、DBR 領域内で命令を実行すると、WDTCR1<ATAS>の設定にかかわらず無条件にアドレストラップが発生します。

(2) アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT>によって割り込みを発生するか、リセットを発生するかを選択することができます。

2.6 デバイダ出力 (\overline{DVO})

タイミングジェネレータのデバイダによってデューティ約 50%のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、P30 または P71 端子から出力されます。P30 または P71 の選択は MULSE0<MUL0>にて行います。なお、 \overline{DVO} 出力時、P30 または P71 端子は出力ラッチを“1”にセットします。

注) デバイダ出力周波数の選択は、デバイダ出力が禁止の状態で行ってください(許可状態から禁止状態にする際もデバイダ出力周波数の設定を変更しないでください)。

TBTCR	7	6	5	4	3	2	1	0	
(0036H)	DVOEN	DVQCK	(DV7CK)	(TBTEN)			(TB7CK)		(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: 禁止 1: 許可			
DVOCK	デバイダ出力 (\overline{DVO} 端子) の 周波数選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
			DV7CK = 0	DV7CK = 1	
		00	$fc/2^{13}$	$fs/2^5$	$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$	$fs/2^4$
		10	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

図2.6.1 デバイダ出力制御レジスタ

例: 1.95 kHz のパルスを出力 ($fc = 16.0$ MHz)

LD (MULSEL). 00000000B ; P30 端子から \overline{DVO} 出力
 SET (P3DR). 0 ; P30 出力ラッチ ← “1”
 LD (TBTCR). 00000000B ; DVOCK ← “00”
 LD (TBTCR). 10000000B ; DVOEN ← “1”

表2.6.1 デバイダ出力の周波数 (例: $fc = 16.0$ MHz, $fs = 32.768$ kHz)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

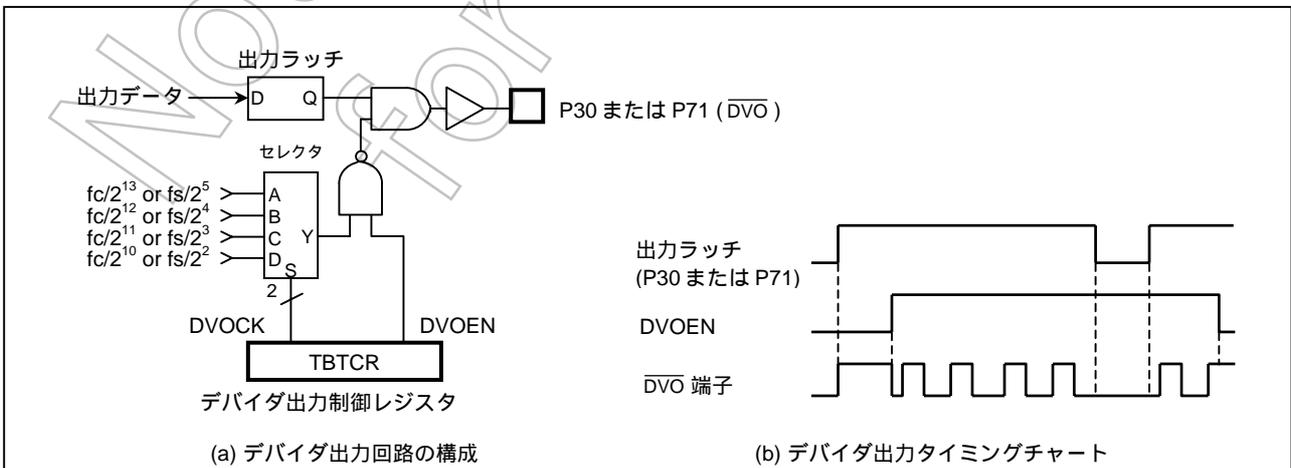


図2.6.2 デバイダ出力

2.7 18ビットタイマカウンタ1 (TC1)

2.7.1 構成

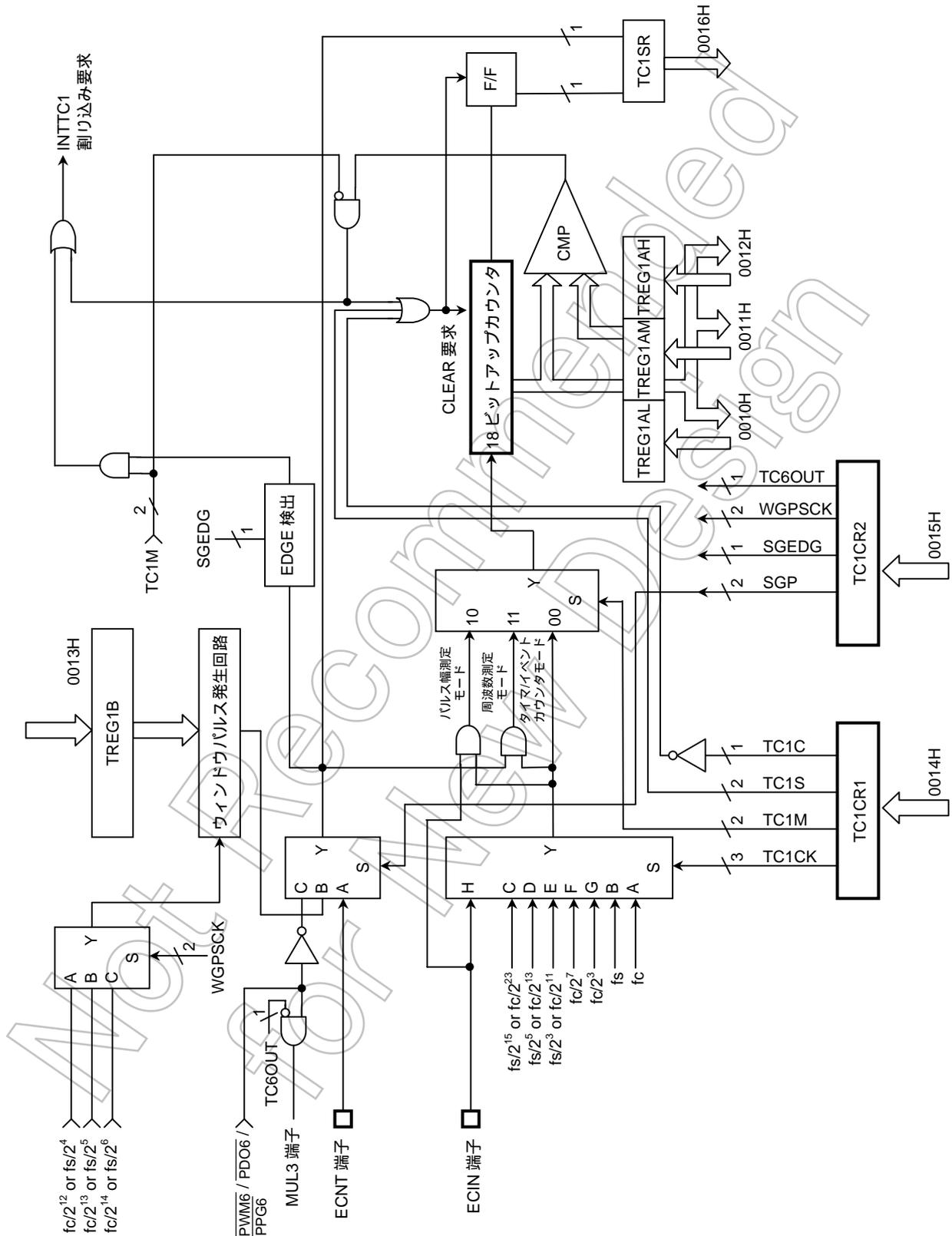


図 2.7.1 タイマ/カウンタ 1 (TC1)

2.7.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR1/TC1CR2), 18 ビットタイマレジスタ (TREG1A) および 8 ビットの内部ウィンドウゲートパルス設定レジスタ (TREG1B) で制御されます。

タイマレジスタ(TREG1A)

17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1AH (0012H)		TREG1AM (0011H)								TREG1AL (0010H)							

Read/Write (初期値: 00 0000 0000 0000 0000)

内部ウィンドウゲートパルス設定レジスタ

TREG1B (0013H)

7	6	5	4	3	2	1	0
Ta				Tb			

(初期値: 0000 0000)

		WGPSCK	NORMAL1/2, IDLE1/2モード		SLOW1/2 SLEEP1/2 モード	
			DV7CK = 0	DV7CK = 1		
Ta	ウィンドウゲートパルスの "H" レベル期間の設定	00	$(16 - Ta) \times 2^{12}/fc$		$(16 - Ta) \times 2^4/fs$	R/W
		01	$(16 - Ta) \times 2^{13}/fc$		$(16 - Ta) \times 2^5/fs$	
		10	$(16 - Ta) \times 2^{14}/fc$		$(16 - Ta) \times 2^6/fs$	
Tb	ウィンドウゲートパルスの "L" レベル期間の設定	00	$(16 - Tb) \times 2^{12}/fc$		$(16 - Tb) \times 2^4/fs$	R/W
		01	$(16 - Tb) \times 2^{13}/fc$		$(16 - Tb) \times 2^5/fs$	
		10	$(16 - Tb) \times 2^{14}/fc$		$(16 - Tb) \times 2^6/fs$	

注) WGPSCK は、TC1CR2 の 3~2 ビット

タイマカウンタ 1 制御レジスタ 1

TC1CR1 (0014H)

7	6	5	4	3	2	1	0
TC1C		TC1S		TC1CK		TC1M	

(初期値: 1000 1000)

TC1C		NORMAL1/2, IDLE1/2 モード				SLOW モード	SLEEP モード	
		DV7CK = 0		DV7CK = 1				
TC1C		0: カウンタ/オーバフローフラグクリア要求 (クリア後、自動的に "1" にセットされます)						
TC1S	タイマカウンタ 1 の スタート制御	00: ストップ&カウンタクリア (オーバフローフラグもクリア されます) 10: スタート *1: Reserved						
TC1CK	タイマカウンタ 1 の ソースクロックの選択		NORMAL1/2, IDLE1/2 モード		SLOW モード	SLEEP モード	R/W	
			DV7CK = 0		DV7CK = 1			
		000:	fc	fc	fc (注 4)	-		
		001:	fs	fs	-	-		
		010:	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	$fs/2^{15}$		
		011:	$fc/2^{13}$	$fs/2^5$	$fs/2^5$	$fs/2^5$		
		100:	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	$fs/2^3$		
		101:	$fc/2^7$	$fc/2^7$	-	-		
110:	$fc/2^3$	$fc/2^3$	-	-				
111:	外部クロック (ECIN 端子入力)							
TC1M	タイマカウンタ 1 の 動作モードの選択	00: タイマ/イベントカウンタモード 01: Reserved 10: パルス幅測定 モード 11: 周波数測定モード						

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
 注 2) タイマレジスタの下位側 (TREG1AL, TREG1AM) に書き込むと、上位側 (TREG1AH) への書き込みが終わるまで一致検出を停止します (従ってタイマレジスタの下位側だけの変更はできません)。また、上位側への書き込み後 1 マシンサイクル以内 (命令実行中) の一致検出も無視されます。
 注 3) モード、ソースクロック、エッジ (選択) は、停止 (TC1S = 00) 状態で設定してください。
 注 4) ソースクロックに fc を選択できるのは、タイマモード (SLOW 時) とパルス幅測定モード (NORMAL1/2 または IDLE1/2 時) だけです。
 注 5) タイマレジスタ (TREG1A) にリード命令を実行すると、レジスタ設定値ではなくカウンタ即値が読み出され、TREG1A に書き込んだ値を読み出すことはできません。従ってカウンタ即値を読み出す場合、カウント中にリード命令を実行すると不定値が読み出されることがありますので、必ずカウントが停止している状態でリードしてください。
 注 6) タイマレジスタの設定は TREG1A 1 で使用してください。
 注 7) タイマモード/パルス幅測定モードで使用する場合、ソースクロックの選択 (TC1CK) は内部クロックに設定してください。
 注 8) イベントカウンタモードで使用する場合、ソースクロックの選択 (TC1CK) は外部クロックに設定してください。
 注 9) タイマレジスタ (TREG1A) は書き込み値、読み出し値が異なりますので、リードモディファイライト命令ではアクセスしないでください。
 注 10) TREG1AH (0012H) のビット 2~7 は、常に "0" が読み出されます ("1" は書き込めません)。
 注 11) SLOW モード/SLEEP モードでは、 $fc/2^7$, $fc/2^3$ はソースクロックとして選択できません。

図 2.7.2 タイマカウンタ 1 のタイマレジスタ/ウィンドウゲートパルス設定レジスタ/制御レジスタ

タイマカウンタ 1 制御レジスタ 2

TC1CR2 7 6 5 4 3 2 1 0
 (0015H) "0" SGP SGEDG WGPSCK TC6OUT "0" (初期値: *000 000*)

SGP	ウィンドウゲートパルスの選択	00: ECNT 入力 01: 内部ウィンドウゲートパルス (TREG1B) 10: $\overline{\text{PWM6}} / \overline{\text{PDO6}} / \overline{\text{PPG6}}$ (TC6) 出力 11: Reserved				R/W
SGEDG	ウィンドウゲートパルス割り込みエッジの選択	0: 立ち下がりエッジで割り込み 1: 立ち上がり/立ち上がり両エッジで割り込み				
WGPSCK	ウィンドウゲートパルスソースクロックの選択		NORMAL1/2, IDLE1/2 モード	SLOW モード	SLEEP モード	
			DV7CK = 0	DV7CK = 1		
TC6OUT	TC6 出力 ($\overline{\text{PWM6}} / \overline{\text{PDO6}} / \overline{\text{PPG6}}$) の外部出力の選択	00:	$2^{12}/\text{fc}$	$2^4/\text{fs}$	$2^4/\text{fs}$	$2^4/\text{fs}$
		01:	$2^{13}/\text{fc}$	$2^5/\text{fs}$	$2^5/\text{fs}$	$2^5/\text{fs}$
		10:	$2^{14}/\text{fc}$	$2^6/\text{fs}$	$2^6/\text{fs}$	$2^6/\text{fs}$
		11:	Reserved			
		0: MUL3 端子へ出力する (P33 出力または P74 出力は MULSEL<MUL3>によって選択) 1: MUL3 端子へ出力しない				

注 1) fc: 高周波クロック[Hz]、fs: 低周波クロック[Hz]、*: Don't care

注 2) TC1CR2 の設定は、タイマカウンタ停止状態 (TC1S = 00) で行ってください。

注 3) $\overline{\text{PWM6}} / \overline{\text{PDO6}} / \overline{\text{PPG6}}$ をタイマカウンタ 1 のウィンドウゲートパルスとして使用しない場合は、TC6OUT は "0" に設定してください。

注 4) TC1CR2 の 0 ビットおよび 7 ビット目には、必ず "0" を書き込んでください。

タイマカウンタ 1 ステータスレジスタ

TC1SR 7 6 5 4 3 2 1 0
 (0016H) HECF HEOVF "0" "0" "0" "0" "0" "0" (初期値: 0000 0000)

HECF	動作状態モニタ	0: 停止 (Tb の期間) またはディセーブル 1: カウント動作中 (Ta の期間)	Read only
HEOVF	カウンタオーバーフローモニタ	0: オーバフロー未検出 1: オーバフロー状態	

図 2.7.3 タイマカウンタ 1 の制御レジスタ/ステータスレジスタ

2.7.3 機能

タイマカウンタ 1 には、4 つの動作モードがあります。また、SLOW モードから NORMAL2 モードへの切り替え時のウォームアップの際、通常タイマカウンタ 1 のタイマモードを使用します。

(1) タイマモード

内部クロックの立ち下がりエッジでカウントアップするモードです。カウンタ値とタイマレジスタ 1A (TREG1A) 設定値との一致で INTTC1 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

表2.7.1 タイマカウンタ 1 のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW モード	SLEEP モード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz
DV7CK = 0	DV7CK = 0						
fc/2 ²³ [Hz]	fs/2 ¹⁵ [Hz]	fc/2 ¹⁵ [Hz]	fc/2 ¹⁵ [Hz]	0.52 [s]	1 [s]	38.2 [h]	72.8 [h]
fc/2 ¹³	fs/2 ⁵	fc/2 ⁵	fc/2 ⁵	512 [μs]	0.98 [ms]	2.2 [min]	4.3 [min]
fc/2 ¹¹	fs/2 ³	fc/2 ³	fc/2 ³	128 [μs]	244 [μs]	0.6 [min]	1.07 [min]
fc/2 ⁷	fc/2 ⁷	-	-	8 [μs]	-	2.1 [s]	-
fc/2 ³	fc/2 ³	-	-	0.5 [μs]	-	131.1 [ms]	-
fc	fc	fc (注)	-	62.5 [ns]	-	16.4 [ms]	-
fs	fs	-	-	-	30.5 [μs]	-	8 [s]

注) SLOW モードでソースクロックに fc を選択した場合は、TREG1A の下位 11 ビットは無視され、上位 7 ビットの一貫で割り込みを発生します。

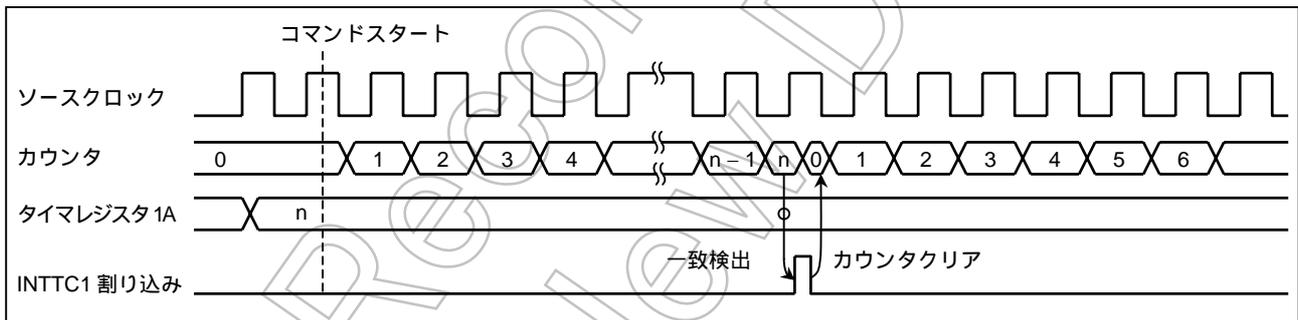


図 2.7.4 タイマモードタイミングチャート

(2) イベントカウンタモード

ECIN 端子入力の立ち下がりエッジでカウントアップするモードです。カウント値と TREG1A 設定値との一致で INTTC1 割り込み発生し、カウントはクリアされます。カウンタクリア後も ECIN 端子入力のエッジごとにカウントアップします。最大印可周波数は fc/2⁴ [Hz] (NORMAL1/2 または IDEL1/2 モード時), fs/2⁴ [Hz] (SLOW1/2, SLEEP1/2 モード時) で、“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

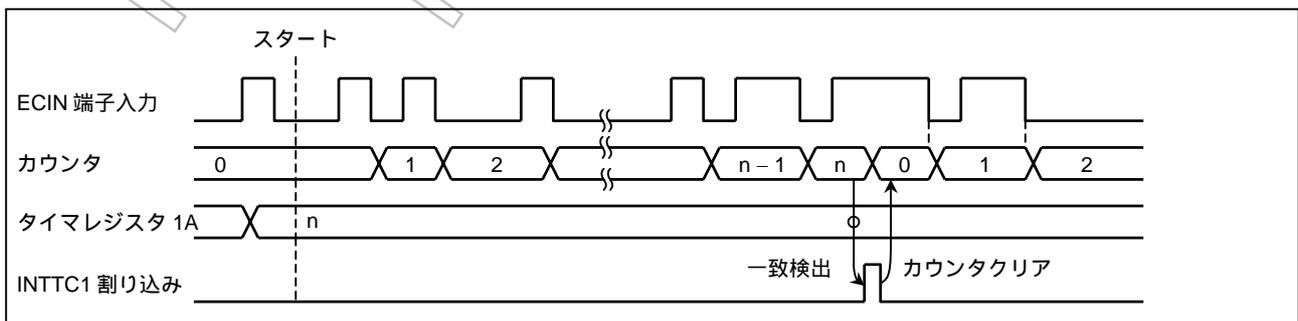


図 2.7.5 イベントカウンタモードタイミングチャート

(3) パルス幅測定モード

ECIN 端子入力 (ウィンドウパルス) と内部クロックとの論理積パルスの立ち下がりエッジでカウントアップするモードです。内部クロックは TC1CK で選択します。ウィンドウパルスの立ち下がりエッジもしくは立ち上がり/立ち下がり両エッジで (TC1CR2 の SGEDG により選択可能) で (INTTC1) 割り込みが発生します。カウンタ値 (TREG1A) の読み出しは、割り込みサービスプログラムでカウントが停止している状態 (ECIN 端子が “L” の期間) で行い、その後 TC1C によりカウンタをクリアしてください。カウンタクリアしない場合、次のカウントスタートよりカウントアップが継続されます。TREG1A が 3FFFFH から 00000H にカウントアップしたとき、オーバフローが発生します。オーバフローの検出はステータスレジスタの HEOVF によりモニタすることができます。なお、オーバフローフラグ状態はカウンタクリア要求しない限り、前のデータが残ったままになります。

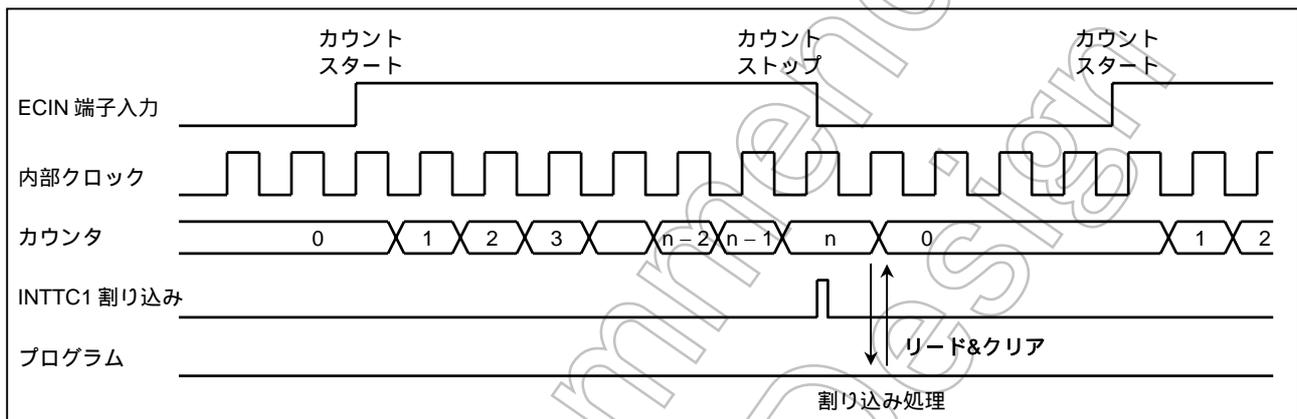


図 2.7.6 パルス幅測定モードタイミングチャート

注 1) パルス幅測定モードにおいて ECIN 端子入力が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1S) を “00” (ストップ&カウンタクリア) に設定すると INTTC1 割り込みが発生します。従ってタイマカウンタを停止するときは、以下のような手順で割り込みラッチ (IL8) をクリアしてください。

TC1STOP:

DI	:	:	:	; IMF クリア
CLR (EIRH). EF8	:	:	:	; TC1 許可フラグクリア
LD (TC1CR1), 00011010B	:	:	:	; タイマ停止
LD (ILH), 11111110B	:	:	:	; 割り込みラッチ (IL8) クリア
SET (EIRH). EF8	:	:	:	; TC1 許可フラグ
EI	:	:	:	; IMF セット
:	:	:	:	:

注 2) パルス幅測定モードにおいてウィンドウゲートパルスの割り込みエッジの選択 (SGEDG) が両エッジかつ ECIN 端子が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1S) を “10” (スタート) に設定すると INTTC1 割り込みが発生します。

注 3) パルス幅測定モードでは、動作状態モニタ (HECF) を使用できません。

(4) 周波数測定モード

ECIN 端子入力パルスの周波数を測定するモードです (TC1CK は外部クロックに設定してください)。TC1CR2 の SGP (ウィンドウゲートパルスの選択) で選択されたウィンドウゲートパルスが “H” レベルの期間、入力パルスの立ち下りエッジをカウントし、ウィンドウゲートパルスの立ち下がりエッジもしくは立ち上がり/立ち下がり両エッジで (TC1CR2 の SGEDG により選択可能) INTTC1 割り込みが発生します。ウィンドウゲートパルスとして ECNT 端子入力を使用する場合は SPG を “00” にセットします。カウンタ値 (TREG1A) の読み出しは、割り込みサービスプログラムでカウントが停止している状態 (ウィンドウゲートパルスが “L” の期間) で行い、その後 TC1C によりカウンタをクリアしてください。カウンタクリアしない場合、次のカウントスタートよりカウントアップが継続されます。なお、ウィンドウパルスの状態をステータスレジスタの HECF, 2 進カウンタのオーバフローの検出をステータスレジスタの HEOVF によりモニタすることができます。また、オーバフローフラグ状態はカウンタクリア要求をしない限り前のデータが残ったままになります。

- ウィンドウゲートパルスに TC6 出力 (PWM6/PDO6/PPG6) を使用した場合、TC6OUT (TC1CR2 のビット 1) により PWM6/PDO6/PPG6 の MUL3 端子 (P33, P74) の選択は MULSEL<MUL3>にて設定) への出力制御が可能です。TC6OUT を “0” にクリアすると MUL3 端子から PWM6/PDO6/PPG6 が出力され、TC6OUT を “1” にセットすると MUL3 端子からは PWM6/PDO6/PPG6 は出力されません (TC6OUT は MUL3 端子からの出力のみ制御しますので、PWM6/PDO6/PPG6 の動作/停止はタイマカウンタ 6 制御レジスタにて行ってください)。
- 内部ウィンドウゲートパルスを選択した場合、ウィンドウゲートパルスの設定は以下のようになります。
内部ウィンドウゲートパルスは、カウントを行う時間 (“H” レベル期間 (Ta)) とカウントを停止する時間 (“L” レベル期間 (Tb)) とから構成され、それぞれ TREG1B により独立に設定できます。従って、一周期は Ta + Tb となります。

注 1) 内部ウィンドウゲートパルスは、内部デバイダに同期して生成されますので、タイマスタート直後に最大でソースクロック (WGPSCCK) の 1 周期分遅れることがあります。

注 2) 内部ウィンドウゲートパルスの設定は、タイマカウンタ停止中もしくは Tb 期間中に行ってください。なお、Tb 期間中に Tb を置き替えた場合、次の Tb の幅から反映されます。

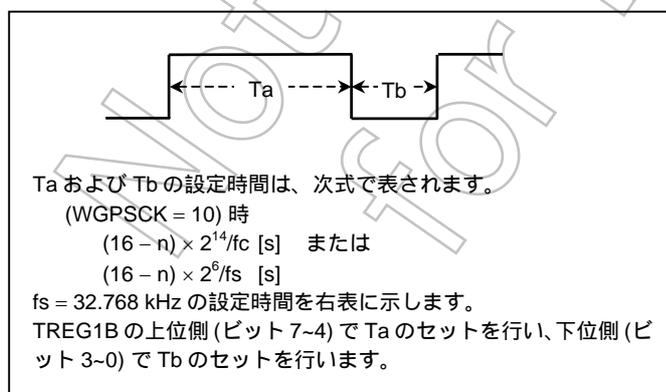


図 2.7.7 ウィンドウゲートパルス設定時間

表 2.7.2 Ta, Tb の設定
(WGPSCCK = 10, fs = 32.768 kHz 時)

設定値 n	設定時間	設定値	設定時間
0	31.25 ms	8	15.63 ms
1	29.30 ms	9	13.67 ms
2	27.34 ms	A	11.72 ms
3	25.39 ms	B	9.77 ms
4	23.44 ms	C	7.81 ms
5	21.48 ms	D	5.86 ms
6	19.53 ms	E	3.91 ms
7	17.58 ms	F	1.95 ms

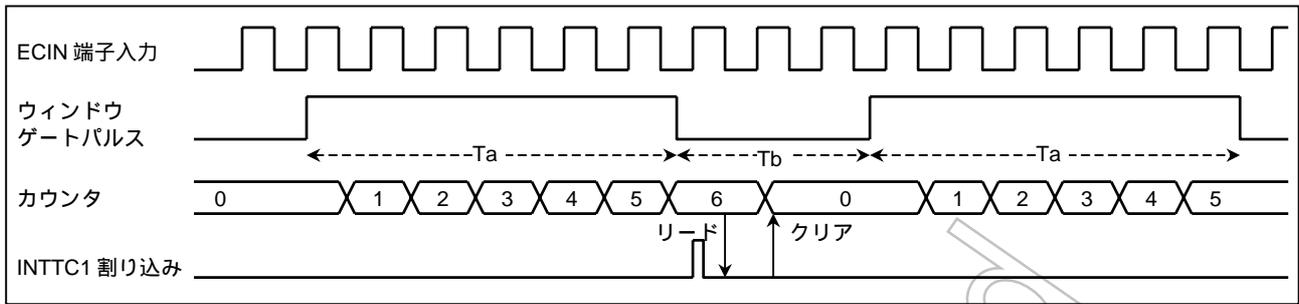


図 2.7.8 周波数測定モードタイミングチャート
(ゲートパルス立ち下がり割り込みの場合)

Not Recommended for New Design

2.8 8ビットタイマカウンタ 3, 4, 5, 6 (TC3, TC4, TC5, TC6)

TMP86CM25A は、8ビットタイマカウンタを4つ (TC3, TC4, TC5, TC6) 持っています。これらのタイマカウンタは、タイマ、イベントカウンタ、パルス幅変調出力、PPG 出力およびプログラマブルデバイダ出力として使用できます。また、カスケード接続することによって16ビットタイマカウンタとしても使用できます。

2.8.1 構成

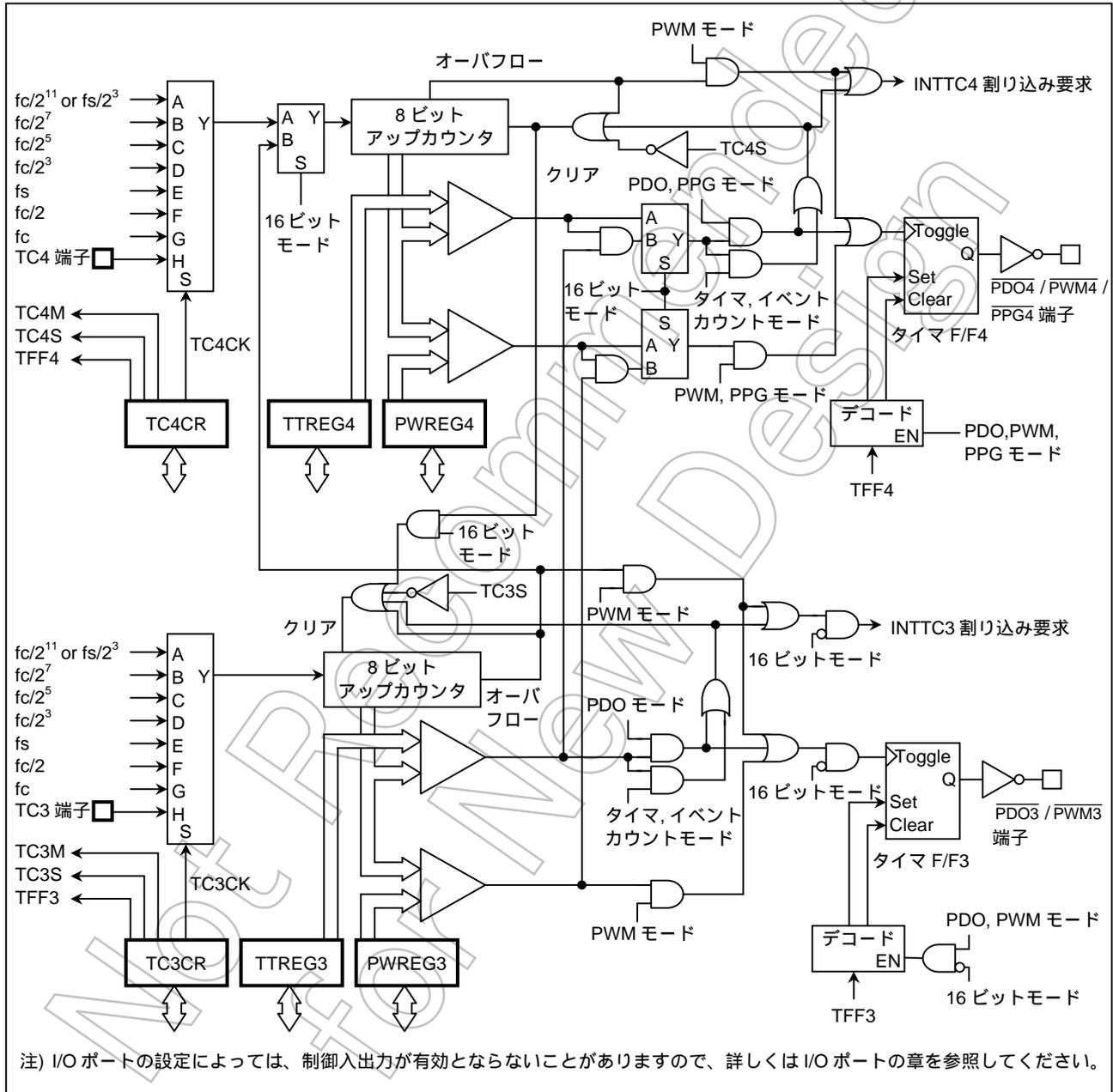


図 2.8.1 8ビットタイマカウンタ 3, 4

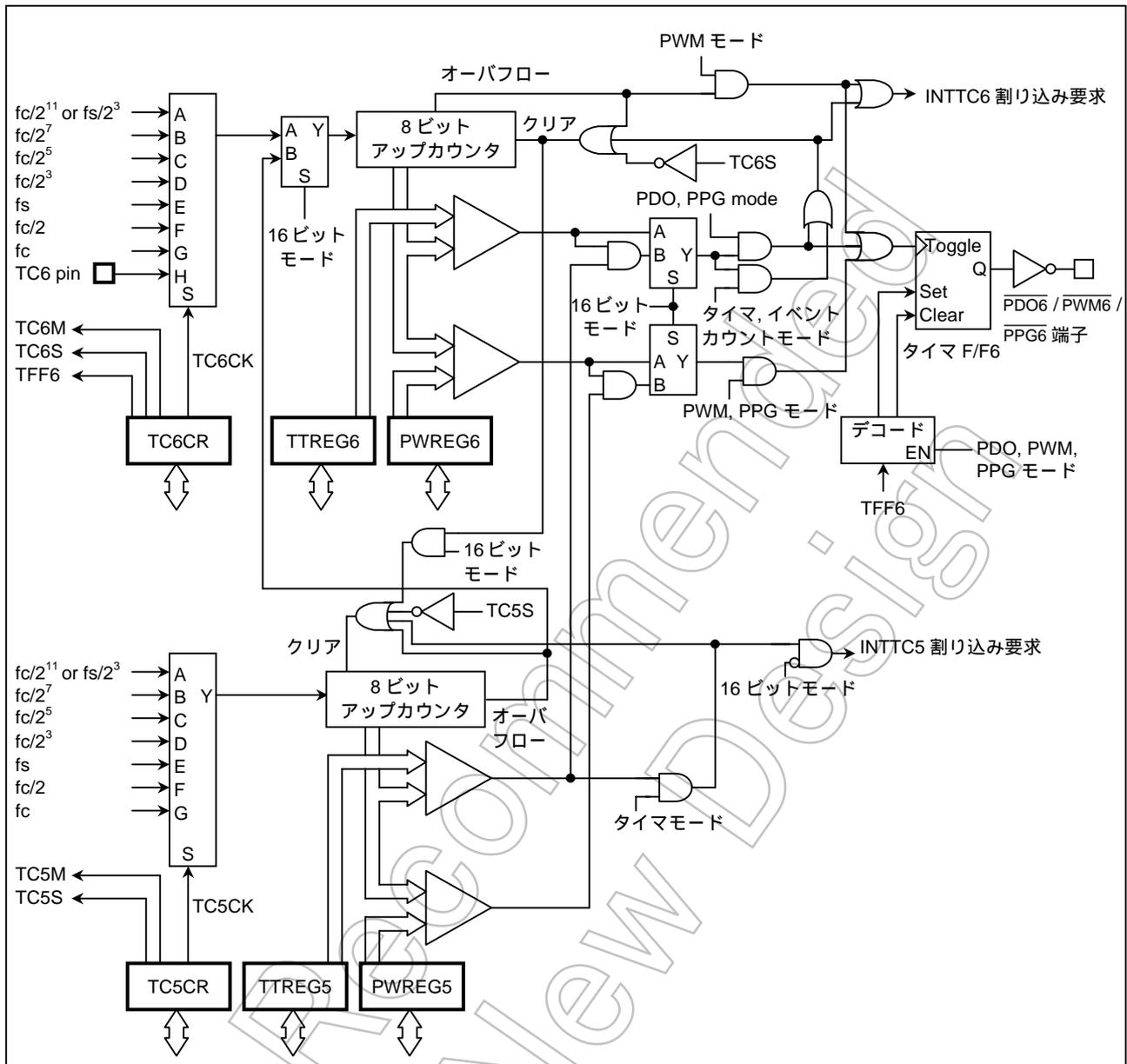


図 2.8.2 8ビットタイマカウンタ 5, 6

2.8.2 制御

タイマカウンタ 3 は、タイマカウンタ 3 制御レジスタ (TC3CR) と 2 本の 8 ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマレジスタ																																																		
TTREG3 (001CH)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td> </tr> </table> (初期値: 1111 1111)	7	6	5	4	3	2	1	0																																									
7	6	5	4	3	2	1	0																																											
R/W																																																		
PWREG3 (002CH)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td> </tr> </table> (初期値: 1111 1111)	7	6	5	4	3	2	1	0																																									
7	6	5	4	3	2	1	0																																											
R/W																																																		
注 1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。																																																		
タイマカウンタ 3 制御レジスタ																																																		
TC3CR (0018H)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>TFF3</td><td></td><td>TC3CK</td><td></td><td>TC3S</td><td></td><td>TC3M</td><td></td> </tr> </table> (初期値: 0000 0000)	7	6	5	4	3	2	1	0	TFF3		TC3CK		TC3S		TC3M																																		
7	6	5	4	3	2	1	0																																											
TFF3		TC3CK		TC3S		TC3M																																												
TFF3	<table border="1"> <tr> <th>タイマ F/F3 の制御</th> <td>0: クリア 1: セット</td> <td rowspan="7">R/W</td> </tr> <tr> <th rowspan="8">TC3CK 動作クロック選択 [Hz]</th> <td></td> <td> <table border="1"> <tr> <th colspan="2">NORMAL1/2, IDLE1/2 モード</th> <th rowspan="2">SLOW1/2 SLEEP1/2 モード</th> </tr> <tr> <th>DV7CK = 0</th> <th>DV7CK = 1</th> </tr> <tr> <td>000</td> <td>$fc/2^{11}$</td> <td>$fs/2^3$</td> <td>$fs/2^3$</td> </tr> <tr> <td>001</td> <td>$fc/2^7$</td> <td>$fc/2^7$</td> <td>—</td> </tr> <tr> <td>010</td> <td>$fc/2^5$</td> <td>$fc/2^5$</td> <td>—</td> </tr> <tr> <td>011</td> <td>$fc/2^3$</td> <td>$fc/2^3$</td> <td>—</td> </tr> <tr> <td>100</td> <td>fs</td> <td>fs</td> <td>fs</td> </tr> <tr> <td>101</td> <td>fc/2</td> <td>fc/2</td> <td>—</td> </tr> <tr> <td>110</td> <td>fc</td> <td>fc</td> <td>fc 注 8)</td> </tr> <tr> <td>111</td> <td colspan="2">TC3 (MUL1) 端子入力</td> <td></td> </tr> </table> </td> </tr> <tr> <th>TC3S タイマスタート制御</th> <td>0: ストップ&カウンタクリア 1: スタート</td> <td></td> </tr> <tr> <th>TC3M 動作モード選択</th> <td>000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC4M にて設定してください) 1*: Reserved</td> <td></td> </tr> </table>	タイマ F/F3 の制御	0: クリア 1: セット	R/W	TC3CK 動作クロック選択 [Hz]		<table border="1"> <tr> <th colspan="2">NORMAL1/2, IDLE1/2 モード</th> <th rowspan="2">SLOW1/2 SLEEP1/2 モード</th> </tr> <tr> <th>DV7CK = 0</th> <th>DV7CK = 1</th> </tr> <tr> <td>000</td> <td>$fc/2^{11}$</td> <td>$fs/2^3$</td> <td>$fs/2^3$</td> </tr> <tr> <td>001</td> <td>$fc/2^7$</td> <td>$fc/2^7$</td> <td>—</td> </tr> <tr> <td>010</td> <td>$fc/2^5$</td> <td>$fc/2^5$</td> <td>—</td> </tr> <tr> <td>011</td> <td>$fc/2^3$</td> <td>$fc/2^3$</td> <td>—</td> </tr> <tr> <td>100</td> <td>fs</td> <td>fs</td> <td>fs</td> </tr> <tr> <td>101</td> <td>fc/2</td> <td>fc/2</td> <td>—</td> </tr> <tr> <td>110</td> <td>fc</td> <td>fc</td> <td>fc 注 8)</td> </tr> <tr> <td>111</td> <td colspan="2">TC3 (MUL1) 端子入力</td> <td></td> </tr> </table>	NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード	DV7CK = 0	DV7CK = 1	000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	001	$fc/2^7$	$fc/2^7$	—	010	$fc/2^5$	$fc/2^5$	—	011	$fc/2^3$	$fc/2^3$	—	100	fs	fs	fs	101	fc/2	fc/2	—	110	fc	fc	fc 注 8)	111	TC3 (MUL1) 端子入力			TC3S タイマスタート制御	0: ストップ&カウンタクリア 1: スタート		TC3M 動作モード選択	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC4M にて設定してください) 1*: Reserved	
タイマ F/F3 の制御	0: クリア 1: セット	R/W																																																
TC3CK 動作クロック選択 [Hz]			<table border="1"> <tr> <th colspan="2">NORMAL1/2, IDLE1/2 モード</th> <th rowspan="2">SLOW1/2 SLEEP1/2 モード</th> </tr> <tr> <th>DV7CK = 0</th> <th>DV7CK = 1</th> </tr> <tr> <td>000</td> <td>$fc/2^{11}$</td> <td>$fs/2^3$</td> <td>$fs/2^3$</td> </tr> <tr> <td>001</td> <td>$fc/2^7$</td> <td>$fc/2^7$</td> <td>—</td> </tr> <tr> <td>010</td> <td>$fc/2^5$</td> <td>$fc/2^5$</td> <td>—</td> </tr> <tr> <td>011</td> <td>$fc/2^3$</td> <td>$fc/2^3$</td> <td>—</td> </tr> <tr> <td>100</td> <td>fs</td> <td>fs</td> <td>fs</td> </tr> <tr> <td>101</td> <td>fc/2</td> <td>fc/2</td> <td>—</td> </tr> <tr> <td>110</td> <td>fc</td> <td>fc</td> <td>fc 注 8)</td> </tr> <tr> <td>111</td> <td colspan="2">TC3 (MUL1) 端子入力</td> <td></td> </tr> </table>			NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード	DV7CK = 0	DV7CK = 1	000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	001	$fc/2^7$	$fc/2^7$	—	010	$fc/2^5$	$fc/2^5$	—	011	$fc/2^3$	$fc/2^3$	—	100	fs	fs	fs	101	fc/2	fc/2	—	110	fc	fc	fc 注 8)	111	TC3 (MUL1) 端子入力										
	NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード																																															
	DV7CK = 0					DV7CK = 1																																												
	000		$fc/2^{11}$			$fs/2^3$	$fs/2^3$																																											
	001		$fc/2^7$			$fc/2^7$	—																																											
	010		$fc/2^5$	$fc/2^5$		—																																												
	011	$fc/2^3$	$fc/2^3$	—																																														
	100	fs	fs	fs																																														
101	fc/2	fc/2	—																																															
110	fc	fc	fc 注 8)																																															
111	TC3 (MUL1) 端子入力																																																	
TC3S タイマスタート制御	0: ストップ&カウンタクリア 1: スタート																																																	
TC3M 動作モード選択	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC4M にて設定してください) 1*: Reserved																																																	
注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz] 注 2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。 注 3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。 注 4) 16 ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M>にて行い、TC3M は "011" に固定してください。 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>, TC4CR<TFF4>にて設定してください。 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 2.8.1, 表 2.8.2 を参照してください。 注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 2.8.3 を参照してください。 注 8) SLOW, SLEEP モード時の動作クロック fc は、高周波ウォームアップモードとしてのみ使用できます。																																																		

図 2.8.3 タイマカウンタ 3 のタイマレジスタ/制御レジスタ

タイマカウンタ 4 は、タイマカウンタ 4 制御レジスタ (TC4CR) と 2 本の 8 ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマレジスタ					
TTREG4 (001DH)	7 6 5 4 3 2 1 0 [] [] [] [] [] [] [] [] (初期値: 1111 1111)				
R/W					
PWREG4 (002DH)	7 6 5 4 3 2 1 0 [] [] [] [] [] [] [] [] (初期値: 1111 1111)				
R/W					
注 1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。					
タイマカウンタ 4 制御レジスタ					
TC4CR (0019H)	7 6 5 4 3 2 1 0 TFF4 [] [] TC4CK [] [] TC4S [] [] TC4M [] [] (初期値: 0000 0000)				
TFF4	タイマ F/F4 の制御				
	0: クリア 1: セット				
TC4CK	動作クロック選択 [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード
			DV7CK = 0	DV7CK = 1	
		000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	-
		010	$fc/2^5$	$fc/2^5$	-
		011	$fc/2^3$	$fc/2^3$	-
		100	fs	fs	fs
		101	fc/2	fc/2	-
110	fc	fc	-		
111	TC4 (MUL2) 端子入力			R/W	
TC4S	タイマスタート	0: ストップ&カウンタクリア 1: スタート			
TC4M	動作モード選択	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ/イベントカウンタモード 101: ウォームアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード			
注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz] 注 2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。 注 3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただし、タイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。 注 4) TC4M = 1** のとき (16 ビットモードの上位側のとき) は、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。 注 5) 16 ビットモードで使用する場合、動作モード選択は TC4M にて行います。このとき、TC3CR<TC3M>は必ず "011" に設定してください。 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK>にて行い、タイマスタート制御、タイマ F/F の制御については TC4S, TFF4 にて設定してください。 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 2.8.1, 表 2.8.2 を参照してください。 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 2.8.3 を参照してください。					

図 2.8.4 タイマカウンタ 4 のタイマレジスタ/制御レジスタ

タイマカウンタ 5 は、タイマカウンタ 5 制御レジスタ (TC5CR) と 2 本の 8 ビットタイマレジスタ (TTREG5, PWREG5) で制御されます。

タイマレジスタ																																																							
TTREG5 (001EH)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td> </tr> </table> (初期値: 1111 1111)	7	6	5	4	3	2	1	0	□	□	□	□	□	□	□	□																																						
7	6	5	4	3	2	1	0																																																
□	□	□	□	□	□	□	□																																																
R/W																																																							
PWREG5 (002EH)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td> </tr> </table> (初期値: 1111 1111)	7	6	5	4	3	2	1	0	□	□	□	□	□	□	□	□																																						
7	6	5	4	3	2	1	0																																																
□	□	□	□	□	□	□	□																																																
R/W																																																							
注 1) タイマ動作中は、タイマレジスタ (TTREG5) の設定値を変更しないでください。 注 2) 16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG5) の設定値を変更しないでください。																																																							
タイマカウンタ 5 制御レジスタ																																																							
TC5CR (001AH)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td> </tr> </table> (初期値: *000 0000)	7	6	5	4	3	2	1	0	□	□	□	□	□	□	□	□																																						
7	6	5	4	3	2	1	0																																																
□	□	□	□	□	□	□	□																																																
TC5CK	動作クロック選択 [Hz]																																																						
TC5S	タイマスタート																																																						
TC5M	動作モード選択																																																						
<table border="1"> <thead> <tr> <th rowspan="2"></th> <th rowspan="2"></th> <th colspan="2">NORMAL1/2, IDLE1/2 モード</th> <th rowspan="2">SLOW1/2 SLEEP1/2 モード</th> <th rowspan="2">R/W</th> </tr> <tr> <th>DV7CK = 0</th> <th>DV7CK = 1</th> </tr> </thead> <tbody> <tr> <td rowspan="8">TC5CK</td> <td>000</td> <td>$fc/2^{11}$</td> <td>$fs/2^3$</td> <td>$fs/2^3$</td> <td rowspan="8">R/W</td> </tr> <tr> <td>001</td> <td>$fc/2^7$</td> <td>$fc/2^7$</td> <td>-</td> </tr> <tr> <td>010</td> <td>$fc/2^5$</td> <td>$fc/2^5$</td> <td>-</td> </tr> <tr> <td>011</td> <td>$fc/2^3$</td> <td>$fc/2^3$</td> <td>-</td> </tr> <tr> <td>100</td> <td>fs</td> <td>fs</td> <td>fs</td> </tr> <tr> <td>101</td> <td>fc/2</td> <td>fc/2</td> <td>-</td> </tr> <tr> <td>110</td> <td>fc</td> <td>fc</td> <td>fc 注 8)</td> </tr> <tr> <td>111</td> <td colspan="3">Reserved</td> </tr> <tr> <td>TC5S</td> <td>0: ストップ&カウンタクリア 1: スタート</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TC5M</td> <td>000: 8 ビットタイマ 001: Reserved 010: Reserved 011: 16 ビットモード (各モード選択は TC6M にて設定してください) 1** : Reserved</td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>				NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード	R/W	DV7CK = 0	DV7CK = 1	TC5CK	000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	R/W	001	$fc/2^7$	$fc/2^7$	-	010	$fc/2^5$	$fc/2^5$	-	011	$fc/2^3$	$fc/2^3$	-	100	fs	fs	fs	101	fc/2	fc/2	-	110	fc	fc	fc 注 8)	111	Reserved			TC5S	0: ストップ&カウンタクリア 1: スタート					TC5M	000: 8 ビットタイマ 001: Reserved 010: Reserved 011: 16 ビットモード (各モード選択は TC6M にて設定してください) 1** : Reserved				
				NORMAL1/2, IDLE1/2 モード				SLOW1/2 SLEEP1/2 モード	R/W																																														
		DV7CK = 0	DV7CK = 1																																																				
TC5CK	000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	R/W																																																		
	001	$fc/2^7$	$fc/2^7$	-																																																			
	010	$fc/2^5$	$fc/2^5$	-																																																			
	011	$fc/2^3$	$fc/2^3$	-																																																			
	100	fs	fs	fs																																																			
	101	fc/2	fc/2	-																																																			
	110	fc	fc	fc 注 8)																																																			
	111	Reserved																																																					
TC5S	0: ストップ&カウンタクリア 1: スタート																																																						
TC5M	000: 8 ビットタイマ 001: Reserved 010: Reserved 011: 16 ビットモード (各モード選択は TC6M にて設定してください) 1** : Reserved																																																						
注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz] 注 2) タイマ動作中は、TC5M, TC5CK の設定を変更しないでください。 注 3) タイマを動作停止 (TC5S = "1" → "0") するときは、TC5M, TC5CK の設定を変更しないでください。ただしタイマを動作開始 (TC5S = "0" → "1") するときは、TC5M, TC5CK の設定を変更することができます。 注 4) 16 ビットモードで使用する場合、動作モード選択は TC6CR<TC6M>にて行い、TC5CR<TC5M>は必ず "011" に設定してください。 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CR<TC5CK>にて行い、タイマスタート制御、タイマ F/F の制御については TC6CR<TC6S>, TC6CR<TFF6> にて設定してください。 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 2.8.1, 表 2.8.2 を参照してください。 注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 2.8.3 を参照してください。 注 8) SLOW, SLEEP モード時の動作クロック fc は、高周波ウォームアップモードとしてのみ使用できます。																																																							

図 2.8.5 タイマカウンタ 5 のタイマレジスタ/制御レジスタ

表 2.8.1 動作モードと使用できるソースクロック
(NORMAL1/2, IDLE1/2 モード時)

動作モード	$fc/2^{11}$ or $fc/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TCi 端子 入力
8ビットタイマ	○	○	○	○	-	-	-	-
8ビットイベントカウンタ	-	-	-	-	-	-	-	○
8ビットPDO	○	○	○	○	-	-	-	-
8ビットPWM	○	○	○	○	○	○	○	-
16ビットタイマ	○	○	○	○	-	-	-	-
16ビットイベントカウンタ	-	-	-	-	-	-	-	○
ウォームアップカウンタ	-	-	-	-	○	-	-	-
16ビットPWM	○	○	○	○	○	○	○	-
16ビットPPG	○	○	○	○	-	-	-	-

注1) 16ビット動作(16ビットタイマ/イベントカウンタ, ウォームアップカウンタ, 16ビットPWM, 16ビットPPG)のソースクロックは下位ビット側(TC3CK, TC5K)にて設定します。

注2) $i = 3, 4, 6$ (16ビットモードは $i = 3$ のみ)

表 2.8.2 動作モードと使用できるソースクロック
(SLOW1/2, SLEEP1/2 モード時)

動作モード	$fc/2^{11}$ or $fc/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TCi 端子 入力
8ビットタイマ	○	-	-	-	-	-	-	-
8ビットイベントカウンタ	-	-	-	-	-	-	-	○
8ビットPDO	○	-	-	-	-	-	-	-
8ビットPWM	○	-	-	-	○	-	-	-
16ビットタイマ	○	-	-	-	-	-	-	-
16ビットイベントカウンタ	-	-	-	-	-	-	-	○
ウォームアップカウンタ	-	-	-	-	-	-	○	-
16ビットPWM	○	-	-	-	○	-	-	-
16ビットPPG	○	-	-	-	-	-	-	-

注1) 16ビット動作(16ビットタイマ/イベントカウンタ, ウォームアップカウンタ, 16ビットPWM, 16ビットPPG)のソースクロックは下位ビット側(TC3CK, TC5K)にて設定します。

注2) $i = 3, 4, 6$ (16ビットモードは $i = 3$ のみ)

表 2.8.3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	1 (TTREGn) 255
8ビットPDO	1 (TTREGn) 255
8ビットPWM	2 (PWREGn) 254
16ビットタイマ/イベントカウンタ	1 (TTREG4, 3) 65535, 1 (TTREG6, 5) 65535
ウォームアップカウンタ	256 (TTREG4, 3) 65535, 256 (TTREG6, 5) 65535
16ビットPWM	2 (PWREG4, 3) 65534, 2 (PWREG6, 5) 65534
16ビットPPG	1 (PWREG4, 3) < (TTREG4, 3) 65535 and (PWREG4, 3) + 1 < (TTREG4, 3) 1 (PWREG6, 5) < (TTREG6, 5) 65535 and (PWREG6, 5) + 1 < (TTREG6, 5)

注) $n = 3-6$

2.8.3 機能

タイマカウンタ 3, 4, 5, 6 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバウンド出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モード、16 ビットタイマモード、16 ビットイベントカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードの 8 つの動作モードがあります。

16 ビットタイマモードは、タイマカウンタ 3 と 4 (5 と 6) をカスケード接続することにより使用することができます。

(1) 8 ビットタイマモード (TC3, TC4, TC5, TC6)

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ i (TTREG i) の設定値との一致で INTTC i 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

注 1) タイマモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、PDOj/PWMj/PPGj 端子からパルスが出力されることがあります。

注 2) タイマモード時は、タイマ動作中に TTREG i の設定値を変更しないでください。タイマモード時、TTREG i はシフトレジスタ構成となりませんので、TTREG i への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREG i を書き替えると、想定している動作を得られない場合があります。

注 3) $j = 3, 4, 6$ 、 $i = 3 \sim 6$

表 2.8.4 タイマカウンタ 3, 4, 5, 6 のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$	$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$
DV7CK = 0	DV7CK = 0					
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_c/2^3$ [Hz]	128 [μs]	244.14 [μs]	32.6 [ms]	62.3 [ms]
$f_c/2^7$	$f_s/2^7$	-	8 [μs]	-	2.0 [ms]	-
$f_c/2^5$	$f_s/2^5$	-	2 [μs]	-	510 [μs]	-
$f_c/2^3$	$f_c/2^3$	-	500 [ns]	-	127.5 [μs]	-

例: ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる ($f_c = 16.0 \text{ MHz}$ 時)。

LD (TTREG4), 0AH ; タイマレジスタの設定 ($80 \mu\text{s} \div 2^7/f_c = 0\text{AH}$)

DI

SET (EIRH). EF11 ; INTTC4 割り込み

EI

LD (TC4CR), 00010000B ; 動作クロックを $f_c/2^7$, 8 ビットタイマモードに設定

LD (TC4CR), 00011000B ; TC4 スタート

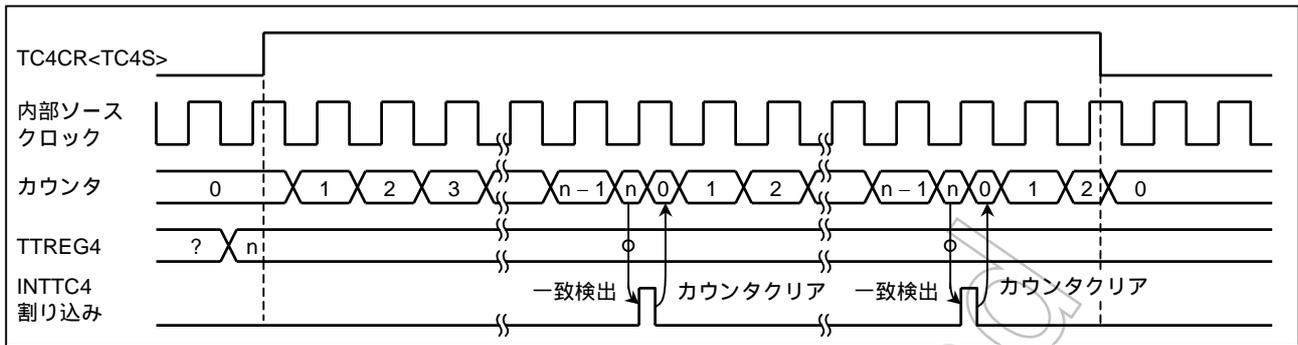


図 2.8.7 8ビットタイマモードタイミングチャート (TC4 の場合)

(2) 8ビットイベントカウンタモード (TC3, TC4, TC6)

TC_j 端子の立ち下がりでカウントアップするモードです。カウンタ値と $TTREG_j$ 設定値との一致で $INTTC_j$ 割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、 TC_j 端子入力の立ち下がりエッジごとにカウントアップします。最大印加周波数は、 $f_c/2^4$ [Hz] (NORMAL1, NORMAL2 または IDLE1, IDLE2 モード時)、 $f_s/2^4$ [Hz] (SLOW1/2, SLEEP1/2 モード時) で、“H”、“L” レベルともに2マシンサイクル以上のパルス幅が必要です。

注 1) イベントカウンタモード時は、 $TC_jCR<TFF_j>$ を “0” に固定してください。固定されない場合は、 $PDO_j/PWM_j/PPG_j$ 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に $TTREG_j$ の設定値を変更しないでください。イベントカウンタモード時、 $TTREG_j$ はシフトレジスタ構成となりますので、 $TTREG_j$ への設定値は書き替え直後に反映されます。従って、タイマ動作中に $TTREG_j$ を書き替えると、想定している動作を得られない場合があります。

注 3) $j = 3, 4, 6$

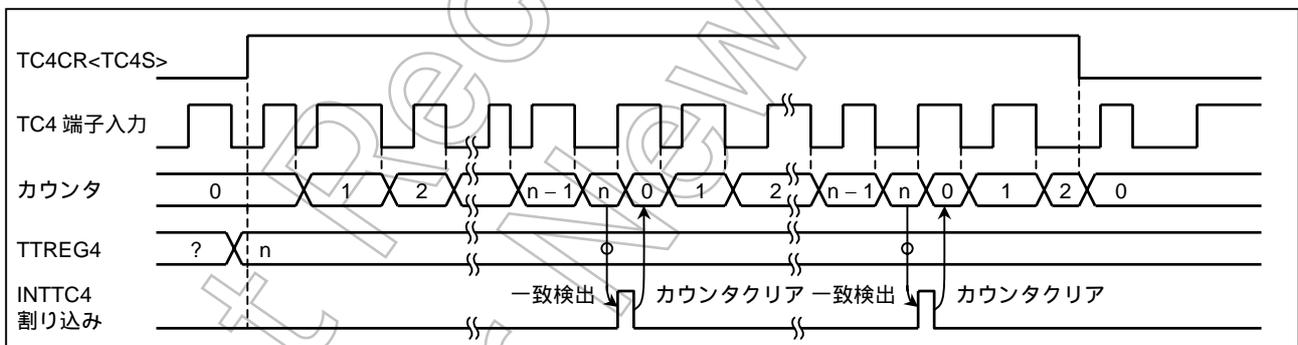


図 2.8.8 8ビットタイマモードタイミングチャート (TC4 の場合)

(3) 8ビットプログラマブルデバイダ出力 (PDO) モード (TC3, TC4, TC6)

内部クロックでカウントアップし、TTREG_jとの一致ごとにタイマ F/F_j 出力を反転し、カウンタをクリアします。タイマ F/F_j 出力は、反転されて $\overline{\text{PDO}}_j$ 端子に出力されます。プログラマブルデバイダ出力を行う端子は、出力ラッチを“1”にセットします。このモードはデューティ 50%のパルス出力に利用できます。なお、タイマ F/F_j はプログラムで初期設定することができます。リセット時、タイマ F/F_j は“0”に初期化されます。 $\overline{\text{PDO}}_j$ 出力反転ごとに INTTC_j 割り込みが発生します。

例: TC4 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$, MUSEL<MUL2> = “0” 時)。

```
SET (P3DR). 2 ; 出力ラッチ ← 1
LD (TTREG4), 3DH ; (1/1024 ÷ 27/fc) ÷ 2 = 3DH
LD (TC4CR), 00010001B ; 動作クロックを fc/27, 8ビット PDO モード
                        に設定
LD (TC4CR), 00011001B ; TC4 スタート
```

注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREG_j を書き替えると、想定している動作を得られない場合があります。

注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDO}}_j$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC_jCR<TFF_j>の操作を行ってください。ただし、タイマ停止と同時に TC_jCR<TFF_j>の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PDO}}_j$ 端子を “H” レベルに固定する。

```
CLR (TCjCR).3 ; タイマ停止
CLR (TCjCR).7 ; PDOj 端子を “H” レベルに設定
```

注 3) j = 3, 4, 6

(4) 8ビットパルス幅変調 (PWM) 出力モード (TC3, TC4, TC6)

分解能 8 ビットの PWM 出力ができます。内部クロックでカウントアップし、カウンタ値と PWREGi 設定値との一致でタイマ F/Fi 出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fi 出力を再び反転し、カウンタをクリアします。タイマ F/Fi 出力は反転されて、 $\overline{\text{PWMi}}$ 端子に出力されます。なお、オーバフロー時 INTTCi 割り込みが発生します。

PWM モード中の PWREGi は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREGi の設定値を変更することが可能です。タイマ動作中、PWREGi への設定値は INTTCi 割り込みによってシフトし、反映されますので、連続的にパルス幅を変更することができます。ただしタイマ停止時は、PWREGi にデータを設定した直後にシフトされます。

PWM 出力中、PWREGi に対してリード命令を実行すると PWREGi の設定値ではなく、シフトレジスタの値が読み込まれます。従って、PWREGi を設定してから INTTCi 割り込みまでの間は、前回の PWREGi 設定値が読み込まれます。

注 1) PWM モード時、タイマレジスタ PWREGi への書き込みは、INTTCi 割り込み発生直後 (通常は INTTCi 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGi への書き込みと INTTCi 割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCi 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

注 2) PWM 出力中にタイマを停止すると、 $\overline{\text{PWMi}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCiCR<TFFi> の操作を行ってください。ただし、タイマ停止と同時に TCiCR<TFFi> の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PWMi}}$ 端子を “H” レベルに固定する。

CLR (TCiCR).3 ; タイマ停止

CLR (TCiCR).7 ; $\overline{\text{PWMi}}$ 出力を “H” レベルに設定

注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、更にソースクロックとして f_c , $f_c/2$ または f_s が選択されている場合は、STOP 解除後のウォームアップ中に $\overline{\text{PWMi}}$ 端子からパルスが出力されます。

注 4) $i = 3, 4, 6$

表 2.8.5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$	$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_c/2^3$ [Hz]	128 [μs]	244.14 [μs]	32.8 [ms]	62.5 [ms]
$f_c/2^7$	$f_s/2^7$	–	8 [μs]	–	2.05 [ms]	–
$f_c/2^5$	$f_s/2^5$	–	2 [μs]	–	512 [μs]	–
$f_c/2^3$	$f_c/2^3$	–	500 [ns]	–	128 [μs]	–
f_s	f_s	f_s	30.5 [μs]	30.5 [μs]	7.81 [ms]	78.1 [ms]
$f_c/2$	$f_c/2$	–	125 [ns]	–	32 [μs]	–
f_c	f_c	–	62.5 [ns]	–	16 [μs]	–

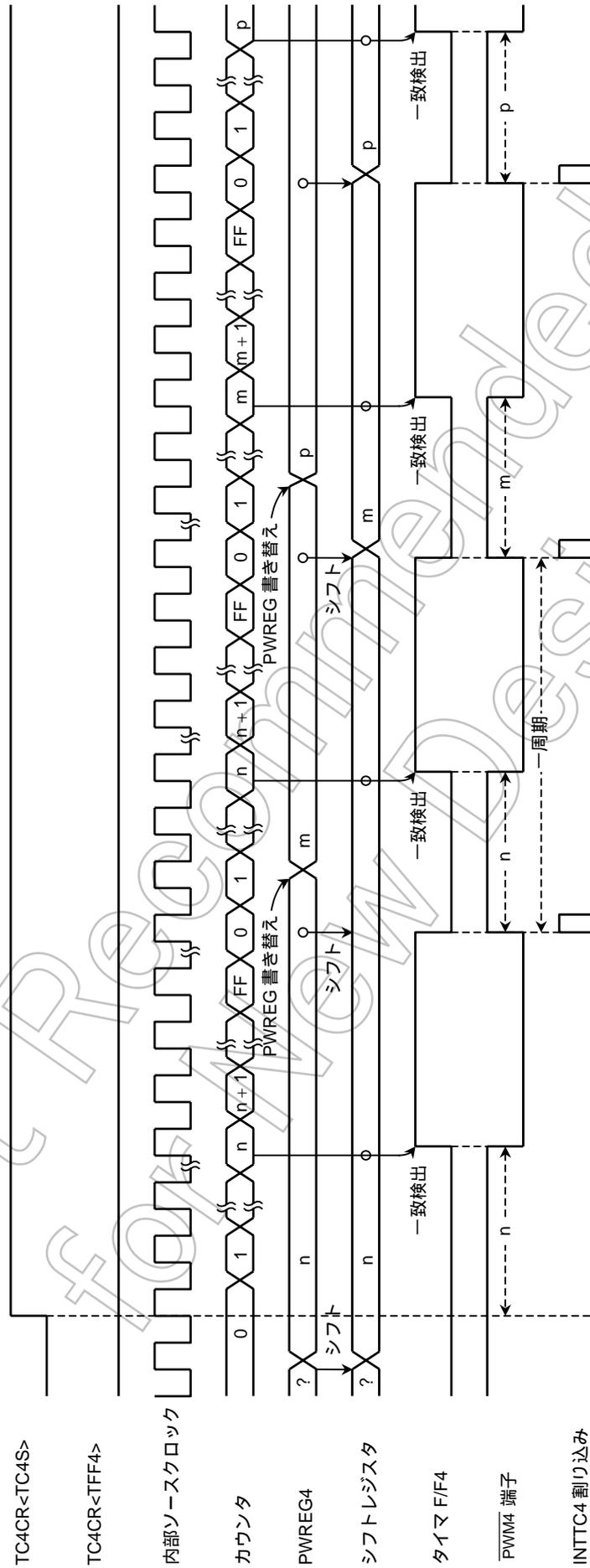


図 2.8.10 8ビット PWM モードタイミングチャート (TC4 の場合)

(5) 16 ビットタイマモード (TC3 + TC4, TC5 + TC6)

内部クロックでカウントアップするモードです。

タイマカウンタ 3 と 4、タイマカウンタ 5 と 6 はそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

a. タイマカウンタ 3 とタイマカウンタ 4 のカスケード接続による 16 ビットタイマモード

TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG3, TTREG4) 設定との一致で INTTC4 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3), 上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

b. タイマカウンタ 5 とタイマカウンタ 6 のカスケード接続による 16 ビットタイマモード

TC6CR<TC6S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG5, TTREG6) 設定との一致で INTTC6 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG5), 上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

注 1) タイマモード時は、TCjCR<TFFj>を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}$ / $\overline{\text{PWMj}}$ / $\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。

注 2) タイマモード時は、タイマ動作中に TTREGi の設定値を変更しないでください。タイマモード時、TTREGi はシフトレジスタ構成となりませんので、TTREGi への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREGi を書き替えると、想定している動作を得られない場合があります。

注 3) j = 3, 4, 6, i = 3~6

表 2.8.6 16 ビットタイマモードのソースクロック

ソースクロック		分解能			繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz
DV7CK = 0	DV7CK = 0					
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fc/2 ³	128 [μs]	244.14 [μs]	8.39 [s]	16 [s]
fc/2 ⁷	fs/2 ⁷	–	8 [μs]	–	524.3 [ms]	–
fc/2 ⁵	fs/2 ⁵	–	2 [μs]	–	131.1 [μs]	–
fc/2 ³	fc/2 ³	–	500 [ns]	–	32.8 [μs]	–

例: ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる ($fc = 16.0$ MHz 時)。

LDW (TTREG3), 927CH ; タイマレジスタの設定
($300 \text{ ms} \div 2^7/fc = 927\text{CH}$)

DI

SET (EIRH), EF11 ; INTTC4 割り込みを許可

EI

LD (TC3CR), 13H ; 動作クロックを $fc/2^7$, 16 ビットタイマモードに設定

LD (TC4CR), 04H ; 16 ビットタイマモード (上位側) に設定

LD (TC4CR), 0CH ; タイマスタート

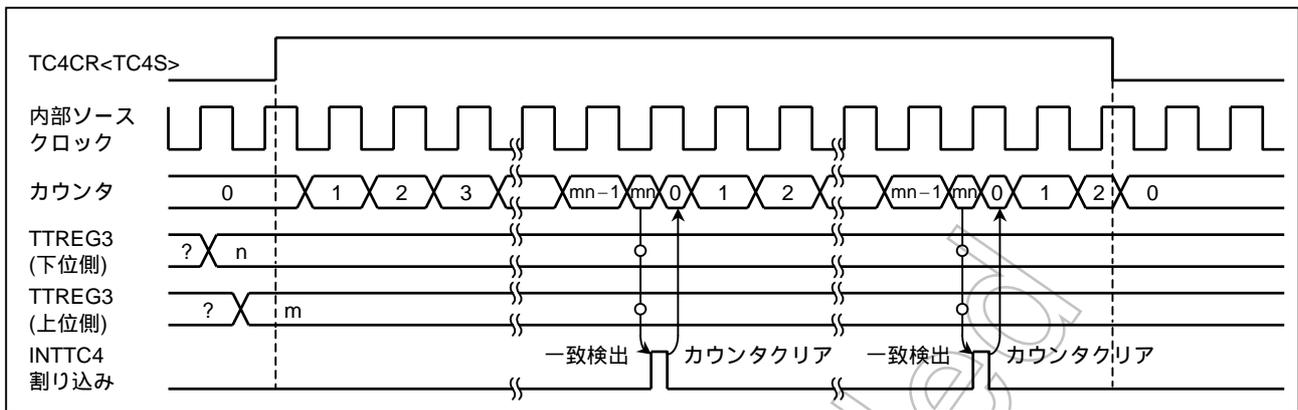


図 2.8.11 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

(6) 16 ビットイベントカウンタモード (TC3 + TC4)

TC3 端子の立ち下がりエッジでカウントアップするモードです (TC5 と TC6 は、16 ビットイベントカウンタモードでは使用できません)。

タイマカウンタ 3 と 4 はそれぞれカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

a. タイマカウンタ 3 とタイマカウンタ 4 のカスケード接続による、16 ビットイベントカウンタモード

TC4S (TC4CR のビット 3) によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG3, TTREG4) 設定との一致で INTTC3 割り込みが発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

最大印加周波数は $f_c/2^4$ [Hz] (NORMAL1, NORMAL2 または IDLE1, IDLE2 モード時), $f_s/2^4$ [Hz] (SLOW1, SLOW2 または SLEEP1, SLEEP2 モード時) で、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

注 1) イベントカウンタモード時は、 $TC_jCR<TFFj>$ を “0” に固定してください。固定されない場合は、 $PDO_j/PWM_j/PPG_j$ 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREG i の設定値を変更しないでください。イベントカウンタモード時、TTREG i はシフトレジスタ構成となりますので、TTREG i への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREG i を書き替えると、想定している動作を得られない場合があります。

注 3) $j = 3, 4$

(7) 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + TC4, TC5 + TC6)

分解能 16 ビットの PWM 出力ができます。タイマカウンタ 3 と 4, タイマカウンタ 5 と 6 はそれぞれカスケード接続することにより、16 ビット PWM モードとして使用することができます。

a. タイマカウンタ 3 とタイマカウンタ 4 のカスケード接続による 16 ビット PWM 出力モード

カウンタ値とタイマレジスタ (PWREG3, PWREG4) 設定との一致でタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、オーバフロー時 INTTC4 割り込みが発生します。PWM モード中の PWREG4, PWREG3 は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREG4, PWREG3 の設定値を変更することが可能です。タイマ動作中、PWREG4, PWREG3 への設定値は INTTC4 割り込みによってシフトし、反映されますので、連続的にパルス幅を変更することができます。ただし、タイマ停止時は、PWREG4, PWREG3 にデータを設定した直後にシフトされます。PWREG4, PWREG3 の書き替えを行うときは、必ず下位側 (PWREG3), 上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, PWREG3 に対してリード命令を実行すると、PWREG4, PWREG3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って、PWREG4, PWREG3 を設定してから INTTC4 割り込みまでの間は、前回の PWREG4, PWREG3 設定値が読み込まれます。

b. タイマカウンタ 5 とタイマカウンタ 6 のカスケード接続による 16 ビット PWM 出力モード

カウンタ値とタイマレジスタ (PWREG5, PWREG6) 設定との一致でタイマ F/F6 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F6 を再び反転し、カウンタをクリアします。なお、オーバフロー時 INTTC6 割り込みが発生します。PWM モード中の PWREG6, PWREG5 は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREG6, PWREG5 の設定値を変更することが可能です。タイマ動作中、PWREG6, PWREG5 への設定値は INTTC6 割り込みによってシフトし反映されますので、連続的にパルス幅を変更することができます。ただし、タイマ停止時は、PWREG6, PWREG5 にデータを設定した直後にシフトされます。PWREG6, PWREG5 の書き替えを行うときは、必ず下位側 (PWREG5), 上位側 (PWREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG6, PWREG5 に対してリード命令を実行すると PWREG6, PWREG5 の設定値ではなく、シフトレジスタの値が読み込まれます。従って、PWREG6, PWREG5 を設定してから INTTC6 割り込みまでの間は、前回の PWREG6, PWREG5 設定値が読み込まれます。

- 注 1) PWM モード時、タイマレジスタ PWREGm, PWREGn への書き込みは、INTTCm 割り込み発生直後 (通常は INTTCm 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGm, PWREGn への書き込みと INTTCm 割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCm 割り込みまでの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、 \overline{PWMi} 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCiCR<TFFi> の操作を行ってください (タイマ停止と同時に TCiCR<TFFi> の設定を変更しないでください)。
例: タイマカウンタ停止時に \overline{PWMi} 端子を “H” レベルに固定する。
CLR (TCiCR).3 ; タイマ停止
CLR (TCiCR).7 ; \overline{PWMi} 出力を “H” レベルに設定
- 注 3) PWM モード中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、更にソースクロックとして f_c , $f_c/2$ または f_s が選択されている場合は、STOP 解除後のウォームアップ中に \overline{PWMi} 端子からパルスが出力されます。
- 注 4) $m = 4$ のとき $n = 3$ 、 $m = 6$ のとき $n = 5$ 、 $i = 4, 6$

表 2.8.7 16 ビット PWM 出力モ - ド

ソースクロック		SLOW, SLEEP モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 0		$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$	$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$
$f_c/2^{11}$	$f_s/2^3 \text{ [Hz]}$	$f_s/2^3$	128 [μs]	244.14 [μs]	8.39 [s]	16 [s]
$f_c/2^7$	$f_s/2^7$	-	8 [μs]	-	524.3 [ms]	-
$f_c/2^5$	$f_s/2^5$	-	2 [μs]	-	131.1 [ms]	-
$f_c/2^3$	$f_c/2^3$	-	500 [ns]	-	32.8 [ms]	-
f_s	f_s	f_s	30.5 [μs]	30.5 [μs]	2 [s]	2 [s]
$f_c/2$	$f_c/2$	-	125 [ns]	-	8.2 [ms]	-
f_c	f_c	-	62.5 [ns]	-	4.1 [ms]	-

例: P32 から周期 32.768 [ms]、 “H” レベル幅 1 [ms] のパルスを出力する ($f_c = 16.0 \text{ MHz}$, DV7CK = 0, MULSEL <MUL2> = “0” 時)。

SET (P3DR).2 ; P32 の出力ラッチをセット
LDW (PWREG3), 07D0H ; パルス幅の設定
LD (TC3CR), 33H ; 動作クロックを $f_c/2^3$ 、16 ビット PWM モード (下位側) に設定
LD (TC4CR), 0D6H ; TFF4 初期値 “1”、16 ビット PWM モード (上位側) に設定
LD (TC4CR), 0DEH ; タイマスタート

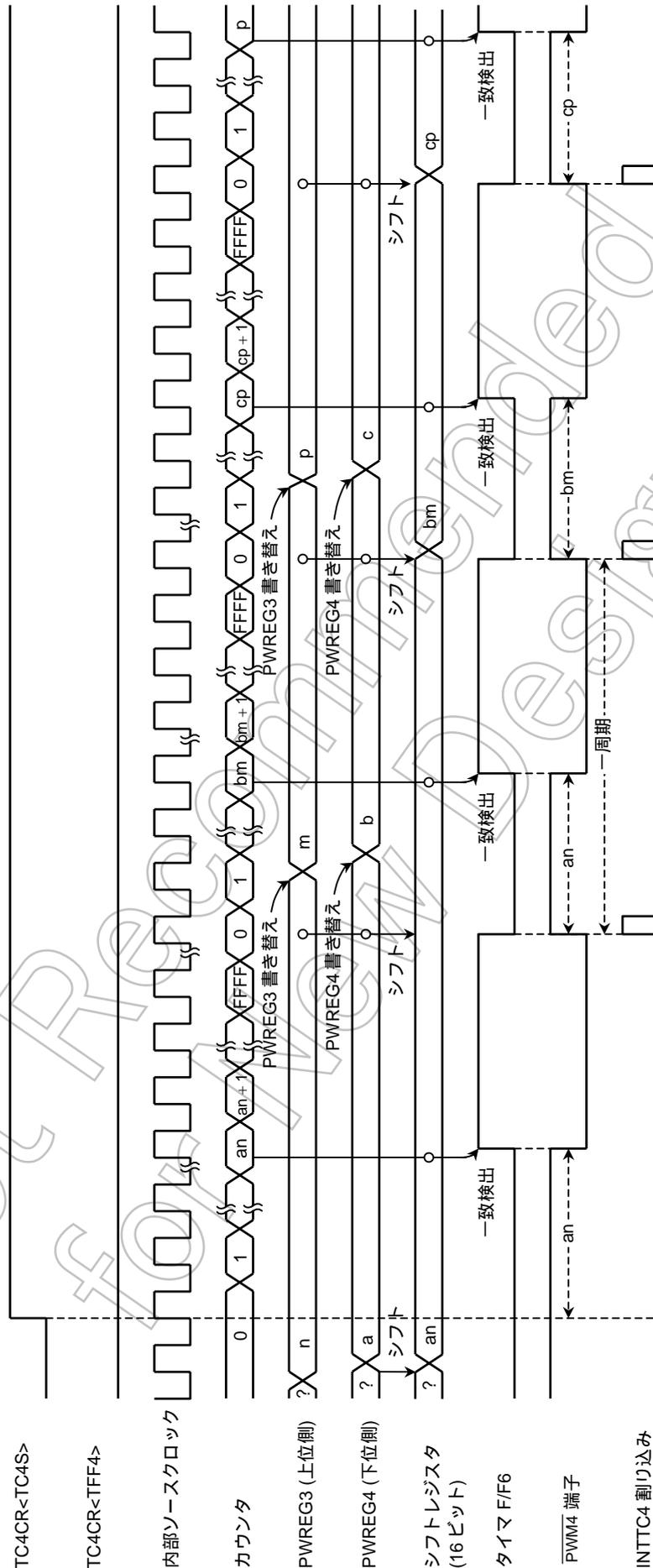


図 2.8.12 16 ビット PWM モードタイミングチャート (TC3 + TC4 の場合)

- (7) 16ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3+TC4, TC5+TC6) 分解能 16ビットの PPG 出力ができます。

タイマカウンタ 3 と 4, タイマカウンタ 5 と 6 はそれぞれカスケード接続することにより、16ビット PPG モードとして使用することができます。

a. タイマカウンタ 3 とタイマカウンタ 4 のカスケード接続による 16ビット PPG 出力モード

カウンタ値とタイマレジスタ (PWREG3, PWREG4) 設定との一致で、タイマ F/F4 を反転します。

カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。このとき、INTTC4 割り込みが発生します。PPG 出力を行う場合は、P32 出力ラッチを“1”にセットします。タイマ F/F4 は、リセット時“0”にクリアされます。また、TC4CR<TFF4>でタイマ F/F4 の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

b. タイマカウンタ 5 とタイマカウンタ 6 のカスケード接続による 16ビット PPG 出力モード

カウンタ値とタイマレジスタ (PWREG5, PWREG6) 設定との一致でタイマ F/F6 を反転します。

カウンタはさらにカウントアップし、タイマレジスタ (TTREG5, TTREG6) 設定との一致でタイマ F/F6 を再び反転し、カウンタをクリアします。このとき、INTTC6 割り込みが発生します。PPG 出力を行う場合は、P33 出力ラッチを“1”にセットします。タイマ F/F6 は、リセット時“0”にクリアされます。また、TC6CR<TFF6>でタイマ F/F6 の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。タイマレジスタは、必ず下位側、上位側の順 (TTREG5 → TTREG6、PWREG5 → PWREG6) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

例: P33 から周期 16.385 [ms]、"H" レベル幅 1 [ms] のパルスを出力する (fc = 16.0 MHz, DV7CK = 0 時)。

SET	(P3DR).2	; P32 の出力ラッチをセット
LDW	(PWREG3), 07D0H	; パルス幅の設定
LDW	(TTREG3), 8002H	; 周期の設定
LD	(TC3CR), 33H	; 動作クロックを fc/2 ³ 、16ビット PPG モード (下位側) に設定
LD	(TC4CR), 056H	; TFF4 初期値 "0"、16ビット PPG モード (上位側) に設定
LD	(TC4CR), 05EH	; タイマスタート

注 1) プログラマブルパルスジェネレートモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレートモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従って、タイマ動作中に PWREG_i, TTREG_i を書き替えると、想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG_j 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC_jCR<TFF_j>の操作を行ってください。タイマ停止と同時に TC_jCR<TFF_j>の設定を変更しないでください。

例: タイマカウンタ停止時に PPG_j 端子を "H" レベルに固定する。

CLR	(TC _j CR).3	; タイマ停止
CLR	(TC _j CR).7	; PPG _j 端子を "H" レベルに設定

注 3) j = 6, i = 5, 6

(9) ウォームアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォームアップ時間を確保するモードです。タイマカウンタ3と4をカスケード接続し16ビットモードとして使用します。ウォームアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの2つのモードがあります。

注1) ウォームアップカウンタモード時は、TCiCR<TFFi>を“0”に固定してください。固定されない場合は、 $\overline{\text{PDI}}/\overline{\text{PWI}}/\overline{\text{PGI}}$ 端子からパルスが出力されることがあります。

注2) ウォームアップカウンタモード時は、タイマレジスタ TTREGm, TTREGn の下位11ビットは一致検出の対象外となり、上位5ビットのみの一致検出となります。

注3) i = 3, 4, 6、m = 4 のとき n = 3、m = 6 のとき n = 5

a. 低周波ウォームアップカウンタモード

(NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が、停止状態から安定して発振するまでのウォームアップ時間を確保するモードです。

タイマをスタートさせる前に SYSCR2<XTEN>を“1”に設定し、低周波クロックを発振させます。

TCmCR<TCmS>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREGm, TTREGn) 設定との一致で INTTCm 割り込みが発生し、カウンタがクリアされます。INTTCm 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を“0”に設定し、高周波クロックを停止します。

表 2.8.8 低周波ウォームアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREGm, n = 0800H)	最大設定時間 (TTREGm, n = F800H)
62.5 ms	1.94 s

例: TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え。

```

SET      (SYSCR2).6      ; SYSCR2<XTEN> ← “1”
LD       (TC3CR).43H    ; TFF3 = “0”, ソースクロック fs, 16 ビットモードに設定
LD       (TC4CR).05H    ; TFF4 = “0”, ウォームアップカウンタモードに設定
LD       (TTREG3).8000H ; ウォームアップ時間をセット
                          ; (発振器の特性で時間を決定します)

DI       ; IMF ← “0”
SET      (EIRH).3       ; INTTC4 割り込み許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
⋮
⋮
PINTTC4: CLR      (TC4CR).3      ; TC4, 3 ストップ
          SET      (SYSCR2).5      ; SYSCR2<SYSCK> ← “1”
                          ; (システムクロックを低周波に切り替え)
          CLR      (SYSCR2).7      ; SYSCR2<XEN> ← “0” (高周波クロック停止)
          RETI

⋮
⋮
VINTTC4: DW       PINTTC4      ; INTTC4 ベクタテーブル

```

b. 高周波ウォームアップカウンタモード

(SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が、停止状態から安定して発振するまでのウォームアップ時間を確保するモードです。

タイマをスタートさせる前に SYSCR2<XEN>を“1”に設定し、高周波クロックを発振させます。

TCmCR<TCmS>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREGm, TTREGn) 設定との一致で INTTCm 割り込みが発生し、カウンタがクリアされます。INTTCm 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN>を“0”に設定し、低周波クロックを停止します。

表 2.8.9 高周波ウォームアップカウンタモードの設定時間 ($f_c = 16 \text{ MHz}$ 時)

最小設定時間 (TTREGm, n = 0800H 時)	最大設定時間 (TTREGm, n = F800H 時)
128 μs	3.97 ms

例: TC4, TC3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え。

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC3CR),63H    ; TFF3 = “0”, ソースクロック  $f_c$ , 16 ビットモードに設定
LD       (TC4CR),05H    ; TFF4 = “0”, ウォームアップカウンタモードに設定
LD       (TTREG3),0F800H ; ウォームアップ時間をセット
                          ; (発振器の特性で時間を決定します)

DI       ; IMF ← “0”
SET      (EIRH).3       ; INTTC3 割り込み許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
:
:
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
          CLR      (SYSCR2).5 ; SYSCR2<SYSCK> ← “0”
                          ; (システムクロックを高周波に切り替え)

          CLR      (SYSCR2).6 ; SYSCR2<XTEN> ← “0” (低周波クロック停止)
          RETI

:
:
VINTTC4: DW       PINTTC4 ; INTTC4 ベクタテーブル

```

2.9 UART (非同期型シリアルインタフェース)

TMP86CM25A は、UART (非同期型シリアルインタフェース) を 1 チャンネル内蔵しています。RXD, TXD を通して外部デバイスと接続されます。RXD は P05、TXD は P06 と兼用で RXD, TXD 端子として使用する場合、P0 の各ポートの出力ラッチを “1” にセットします。

2.9.1 構成

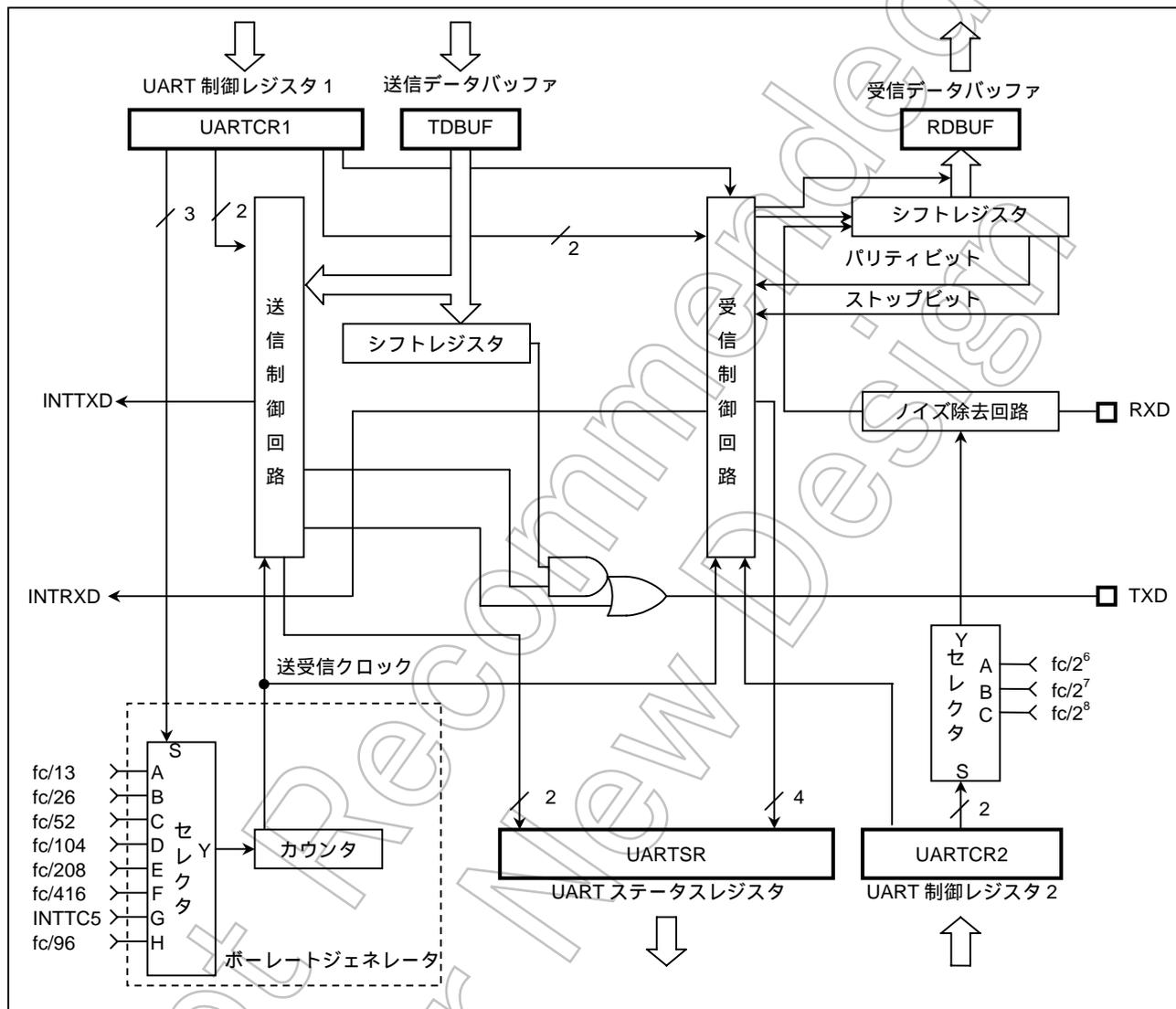


図2.9.1 UART (非同期型シリアルインタフェース)

2.9.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ			
UARTCR1 (0025H)	7 6 5 4 3 2 1 0	TXE RXE STBT EVEN PE BRG	(初期値: 0000 0000)
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5 使用 (INTTC5 を入力) 111: fc/96	Write only
PE	パリティ付加	0: パリティなし 1: パリティ付加	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
STBT	送信ストップビット長	0: 1ビット 1: 2ビット	
RXE	受信動作	0: 禁止 1: 許可	
TXE	送信動作	0: 禁止 1: 許可	
注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、その後送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。 注 2) 転送クロックとパリティは送受信共通です。 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。			
UARTCR2 (0026H)	7 6 5 4 3 2 1 0	RXDNC STOPBR	(初期値: **** *000)
STOPBR	受信ストップビット長	0: 1ビット 1: 2ビット	Write only
RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc [s] 未満のパルスはノイズとして除去 10: 63/fc [s] 未満のパルスはノイズとして除去 11: 127/fc [s] 未満のパルスはノイズとして除去	
注) RXDNC が "01" の場合 96/fc, "10" の場合 192/fc, "11" の場合 384/fc [s] 以上は確実に信号と見なされます。			

図2.9.2 UART 制御レジスタ

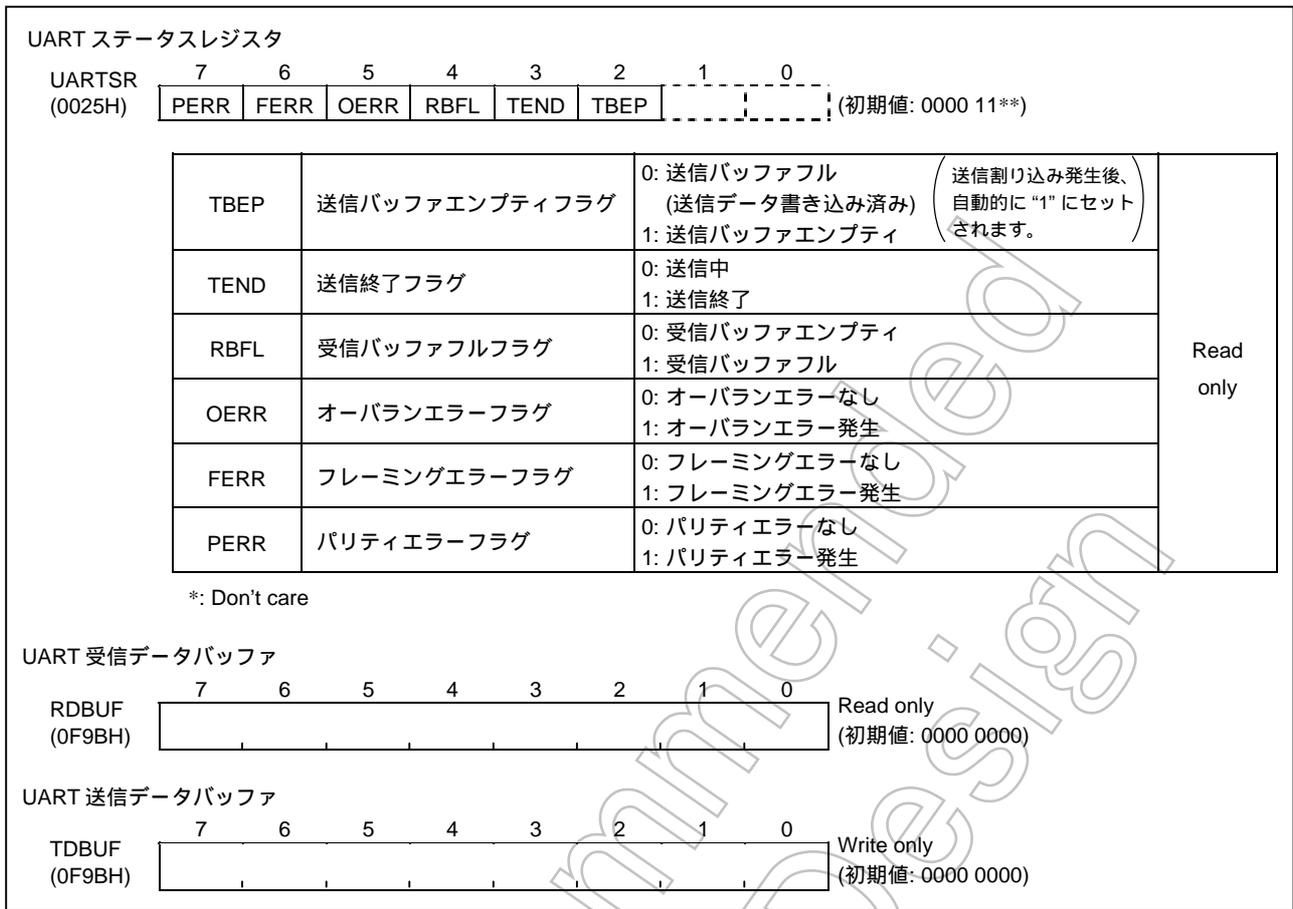


図2.9.3 UART ステータスレジスタ/データバッファレジスタ

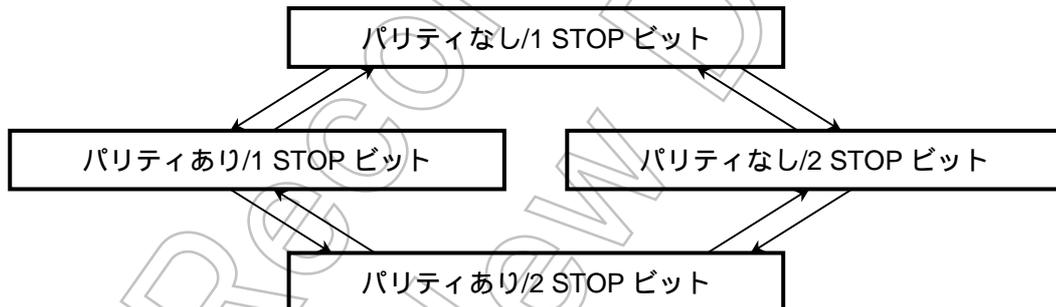
2.9.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1<STBT>でビット長の選択可)、パリティ (UARTCR1<PE>でパリティ有無の選択可、UARTCR1<EVEN>で偶数/奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

表2.9.1 転送データフォーマット

PE	STBT	フレーム長									
		1	2	3	-----	8	9	10	11	12	
0	0										
0	1										
1	0										
1	1										

注) 送信データフォーマットの切り替えは、初期設定時以外は以下の状態遷移にて送信動作を実施し、切り替えを行ってください。



2.9.4 転送レート

UART の転送レート (ボーレート) は UARTCR1<BRG>により設定されます。以下に転送レートの例を示します。

表2.9.2 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART の転送レートとして TC5 使用を選択したとき (UARTCR1<BRG> = “110” に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック} = \frac{\text{TC5ソースクロック}}{\text{TTREG5設定値}}$$

$$\text{転送レート} = \frac{\text{転送クロック}}{16}$$

となります。

2.9.5 データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで、UARTCR1<BRG>で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD 端子の立ち下がりエッジを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

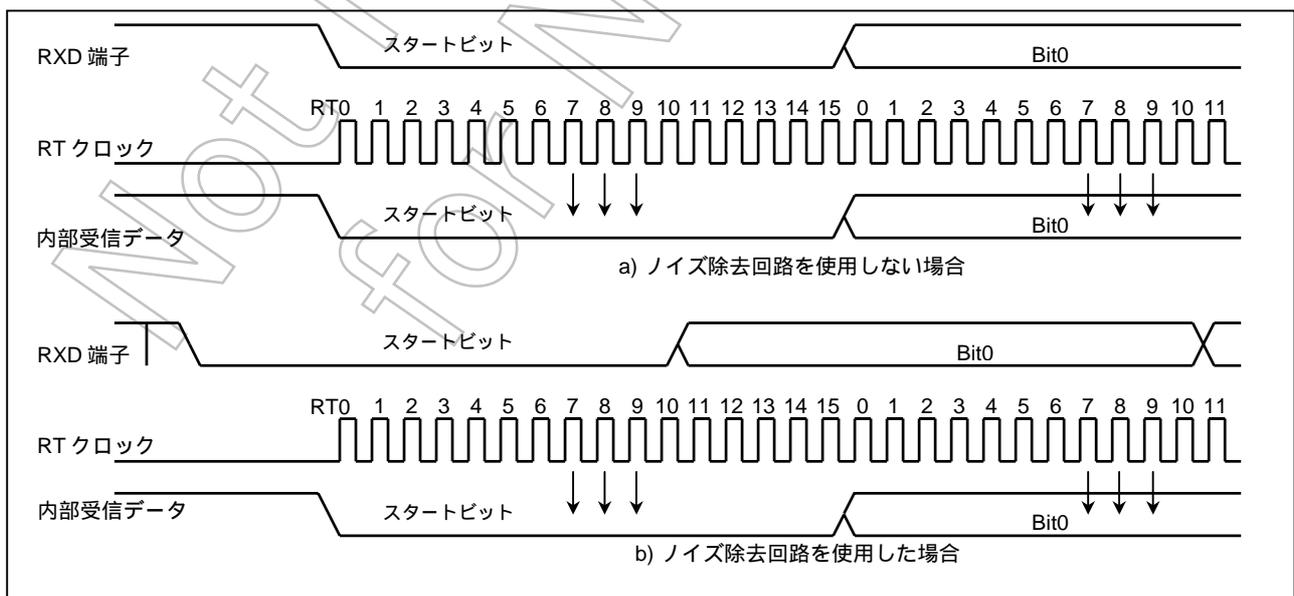


図2.9.4 データのサンプリング方法

2.9.6 STOP ビット長

UARTCR1<STBT>で、送信ストップビット長 (1 ビット/2 ビット) の選択ができます。

2.9.7 パリティ

UARTCR1<PE>でパリティ付加の有無を、UARTCR1<EVEN>でパリティの種類 (奇数/偶数) を設定します。

2.9.8 送受信動作

(1) データ送信動作

UARTCR1<TXE>を“1”にセットします。UARTSRを読み出し、TBEP = “1”を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うと、UARTSR<TBEP>は“0”にクリアされ、データが送信シフトレジスタに転送された後、TXD 端子より順次出力されます。このとき出力されるデータには、スタートビット 1 ビットと UARTCR1<STBT>で指定した数のストップビット、およびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UARTCR1<BRG>で選択します。データの送信が始まると、送信バッファエンプティフラグ UARTSR<TBEP>は“1”にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE>が“0”の間、および UARTCR1<TXE>に“1”を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は“H”レベルに固定されます。

送信を行う場合、UARTSRを読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP>が“0”にクリアされず送信が開始されません。

(2) データ受信動作

UARTCR1<RXE>を“1”にセットします。その後、RXD 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき送られてくるデータには、スタートビットとストップビット、およびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され、RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL>がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG>で選択します。

データが受信されたときにオーバーランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) RXE ビットを“0”に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

2.9.9 ステータスフラグ

(1) パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているとき、パリティエラーフラグ UARTSR<PERR>が“1”にセットされます。UARTSRを読み出した後 RDBUF を読み出すと、UARTSR<PERR>は“0”にクリアされます。

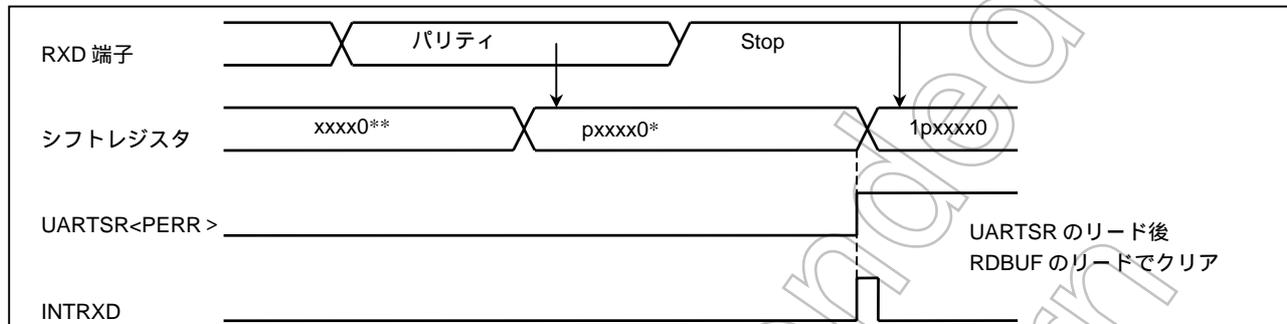


図2.9.5 パリティエラーの発生

(2) フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたとき、フレーミングエラーフラグ UARTSR<FERR>が“1”にセットされます。UARTSRを読み出した後 RDBUF を読み出すと、UARTSR<FERR>は“0”にクリアされます。

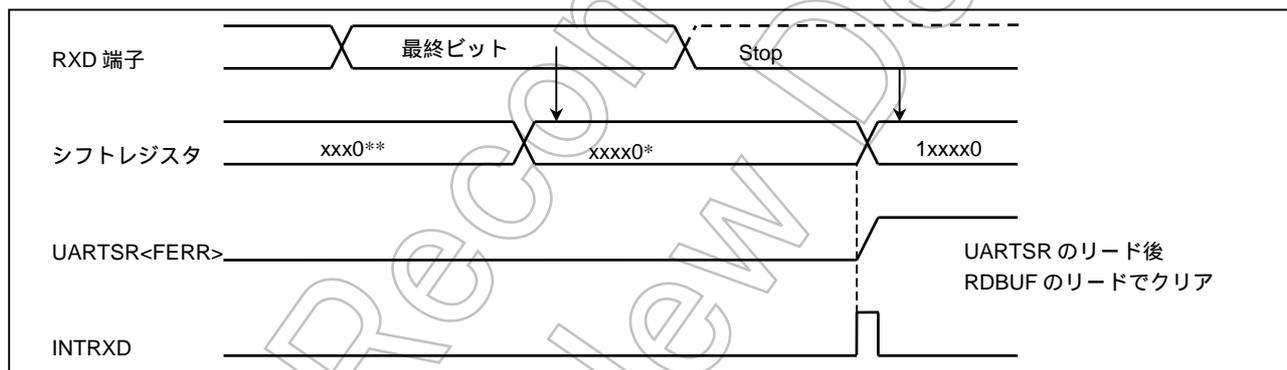


図2.9.6 フレーミングエラーの発生

(3) オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了すると、オーバランエラーフラグ UARTSR<OERR>が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後 RDBUF を読み出すと、UARTSR<OERR>は“0”にクリアされます。

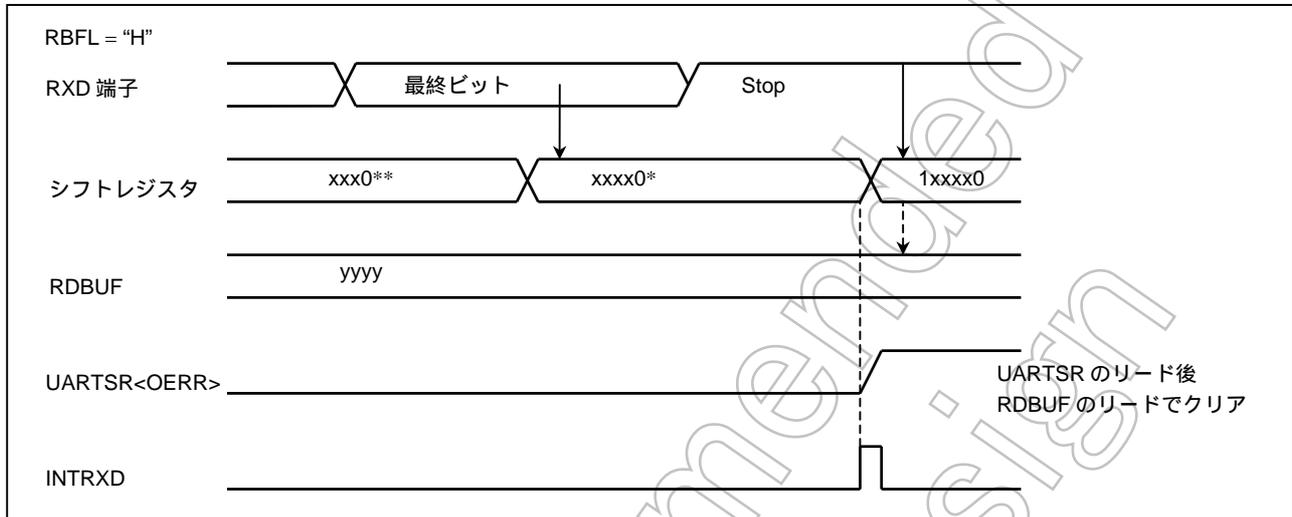


図2.9.7 オーバランエラーの発生

(4) 受信バッファフル

受信データを RDBUF に取り込むと、UARTSR<RBFL>が“1”にセットされます。UARTSR を読み出した後 RDBUF からデータを読み出すと、UARTSR<RBFL>は“0”にクリアされます。

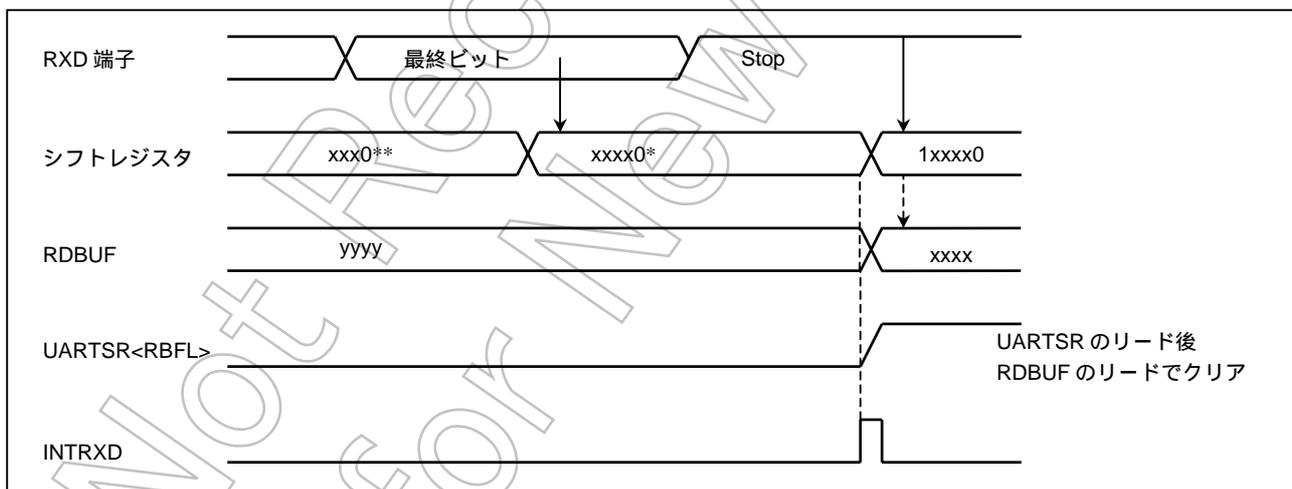


図2.9.8 受信バッファフルの発生

(5) 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき、UARTSR<TBEP>が“1”にセットされます。UARTSRを読み出した後 TDBUF にデータを書き込むと、UARTSR<TBEP>は“0”にクリアされます。

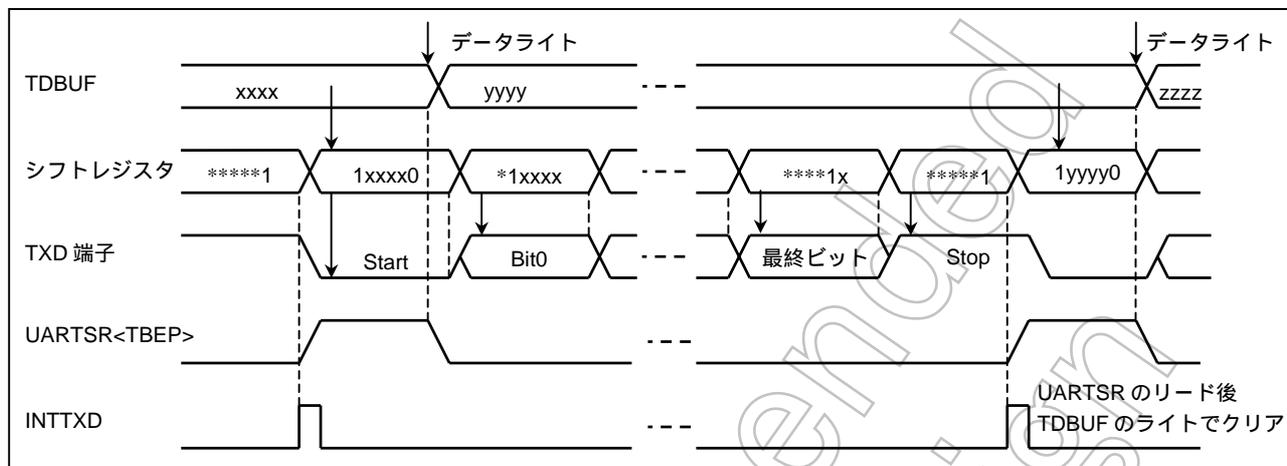


図2.9.9 送信バッファエンプティの発生

(6) 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP> = “1” のとき)、UARTSR<TEND>が“1”にセットされます。TDBUF にデータを書き込んだ後送信が開始されると、UARTSR<TEND>は“0”にクリアされます。

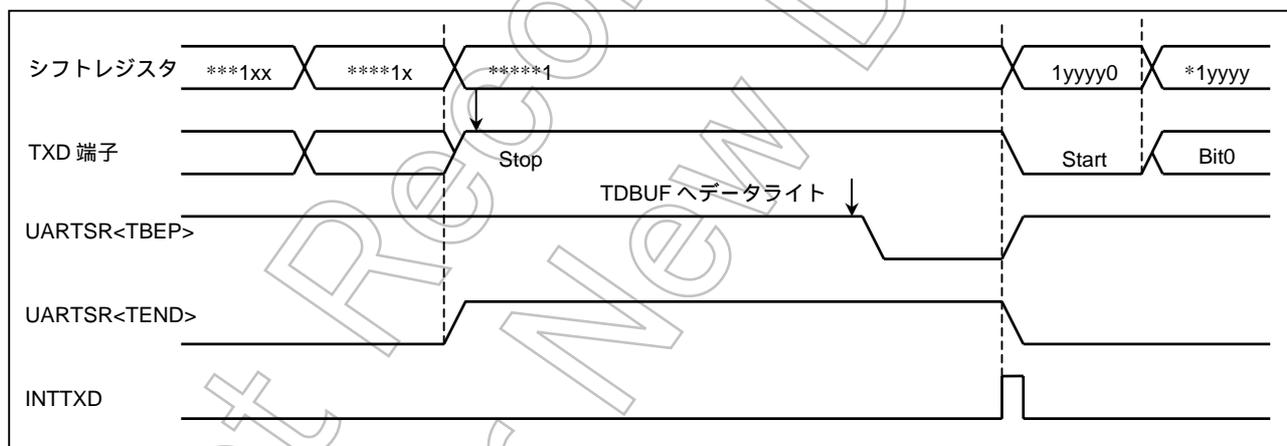


図2.9.10 送信バッファエンプティの発生

2.10 シリアルインタフェース (SIO1)

シリアルインタフェース 1 は、P76 (SO1), P75 (SI1), P77 ($\overline{\text{SCK1}}$) 端子を通して外部デバイスと接続されます。シリアルインタフェース端子は P7 ポートと兼用で、シリアルインタフェース端子として使用する場合、P7 ポートの出力ラッチを“1”にセットします。なお、送信モード時には P75 端子が、受信モード時には P76 端子が、通常の入出力ポートとして使用できます。

2.10.4 構成

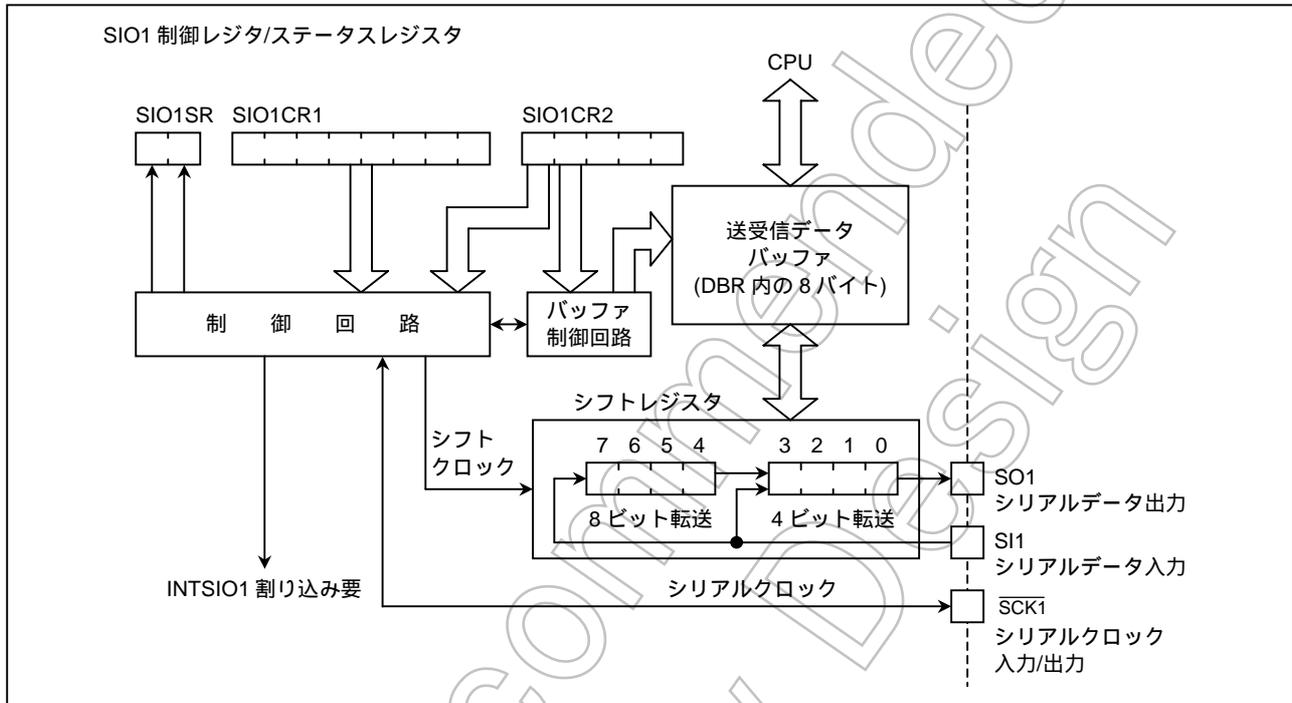


図 2.10.1 シリアルインタフェース

2.10.5 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIO1CR1/SIO1CR2) で行います。また、ステータスレジスタ (SIO1SR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、BUF (SIO1CR2 のビット 2~0) で行います。送受信データバッファは、DBR 領域のアドレス 0F90H~0F97H に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了すると、バッファエンプティ (送信時)/バッファフル (受信時または送受信時) の割り込み (INTSIO1) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき、1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、WAIT (SIO1CR2 のビット 4, 3) で 4 種類の中から選択することができます。

シリアルインタフェース 1 制御レジスタ 1

SIO1CR1 7 6 5 4 3 2 1 0
(0FA8H) SIOS SIOINH SIOIOM SCK (初期値: 0000.0000)

SIOS	転送の開始/終了指示	0: 終了 1: 開始			Write only
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリアされます。)			
SIOIOM	転送モードの選択	000: 8 ビット送信モード 010: 4 ビット送信モード 100: 8 ビット送受信モード 101: 8 ビット受信モード 110: 4 ビット受信モード 上記以外: Reserved			
SCK	シリアルクロックの選択	NORMAL 1/2, IDLE 1/2 モード		SLOW SLEEP モード	
			DV7CK = 0	DV7CK = 1	
		000	fc/2 ¹³	fs/2 ⁵	fs/2 ⁵
		001	fc/2 ⁸	fc/2 ⁸	-
		010	fc/2 ⁷	fc/2 ⁷	-
		011	fc/2 ⁶	fc/2 ⁶	-
	100	fc/2 ⁵	fc/2 ⁵	-	
	101	fc/2 ⁴	fc/2 ⁴	-	
	110	Reserved		-	
	111	外部クロック (SCK1 端子から入力)			

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]
 注 2) 転送モード、シリアルクロックの設定時は、SIOS = "0", SIOINH = "1" にしてください。
 注 3) SIO1CR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース 0 ステータスレジスタ

SIO1SR 7 6 5 4 3 2 1 0
(0FA9H) SIOF SEF (初期値: 00** ****)

SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中	(SIOS を "0" にクリアした後、転送が終了した時点または SIOINH をセットした時点で "0" となります。)	Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中		

図 2.10.2 シリアルインタフェース制御レジスタ 1, 2/ステータスレジスタ (1/2)

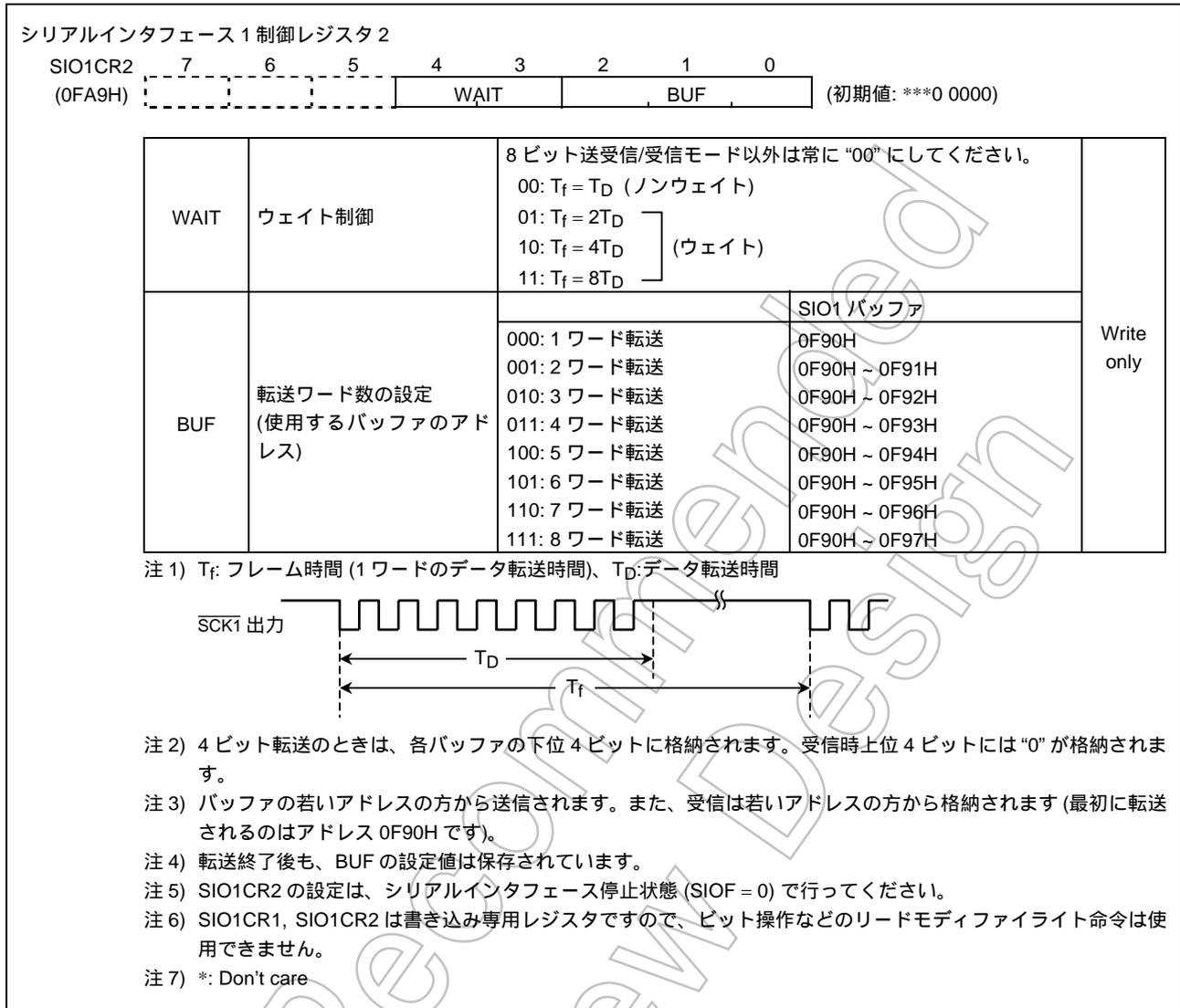


図 2.10.3 シリアルインタフェース制御レジスタ/ステータスレジスタ (2/2)

(1) シリアルクロック

a. クロックソース

SIO1CR1<SCK>により、次の選択ができます。

1. 内部クロック

シリアルインタフェースは 7 種類の周波数が選択でき、シリアルクロックは $\overline{\text{SCK1}}$ 端子より外部に出力されます。なお、転送開始時 $\overline{\text{SCK1}}$ 端子出力は “H” レベルになります。

プログラムでデータの書き込み (送信時)、またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を持っています。

表 2.10.1 シリアルクロックレート

SCK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1		クロック	ボーレート
	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート
000	$fc/2^{13}$	1.91 Kbps	$fs/2^5$	1024 bps	$fs/2^5$	1024 bps
001	$fc/2^8$	61.04 Kbps	$fc/2^8$	61.04 Kbps	—	—
010	$fc/2^7$	122.07 Kbps	$fc/2^7$	122.07 Kbps	—	—
011	$fc/2^6$	244.14 Kbps	$fc/2^6$	244.14 Kbps	—	—
100	$fc/2^5$	488.28 Kbps	$fc/2^5$	488.28 Kbps	—	—
101	$fc/2^4$	976.56 Kbps	$fc/2^4$	976.56 Kbps	—	—
110	—	—	—	—	—	—
111	外部	—	外部	—	外部	—

1 K ビット = 1024 ビット
 $(fc = 16 \text{ MHz}, fs = 32.768 \text{ kHz})$

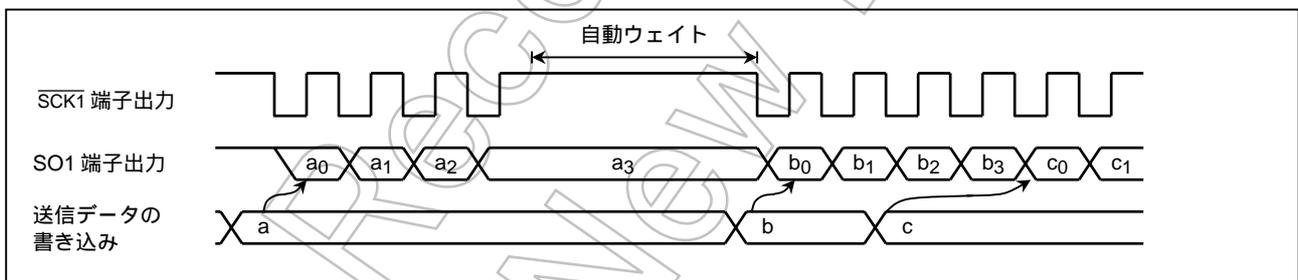
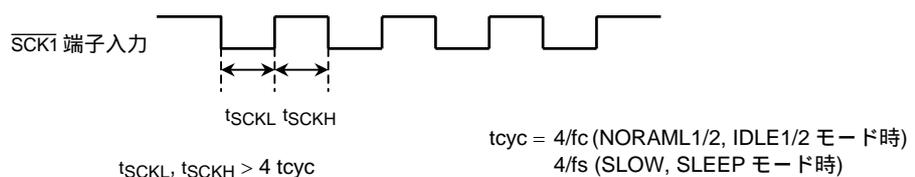


図 2.10.4 自動ウェイト機能 (4 ビット送信モードの場合)

2. 外部クロック

外部から $\overline{\text{SCK1}}$ 端子に供給されるクロックをシリアルクロックとして用います。この場合、P77 ($\overline{\text{SCK1}}$) の出力ラッチは “1” にセットされていなければなりません。なお、シフト動作が確実に行われるためには、シリアルクロックの “H” レベル, “L” レベルともに 4 マシンサイクル以上パルス幅が必要です。従って、最大転送速度は 488.3 K ビット/s ($fc = 16 \text{ MHz}$ 時) です。



b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

1. 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK1}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

2. 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK1}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

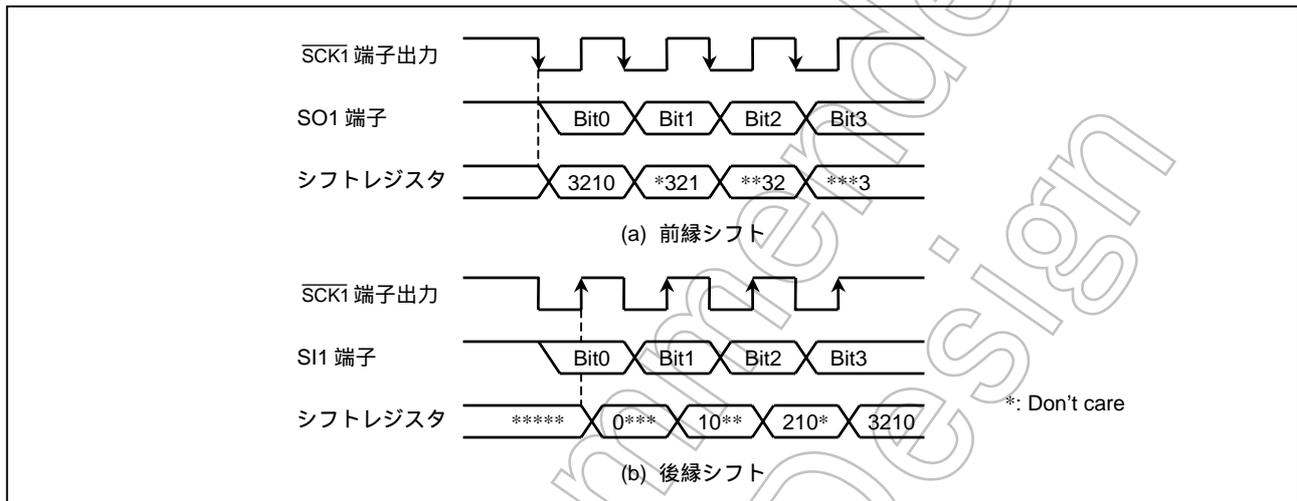


図 2.10.5 シフトエッジ

(2) 転送ビット数

4ビットシリアル転送、または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時には“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時)/8ビットデータ (8ビットシリアル転送時) を1ワードとして、最大8ワードまで連続して転送することができます。転送ワード数はSIO1CR2<BUF>で設定します。

指定されたワード数の転送終了時点で、INTSIO1 割り込みが発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

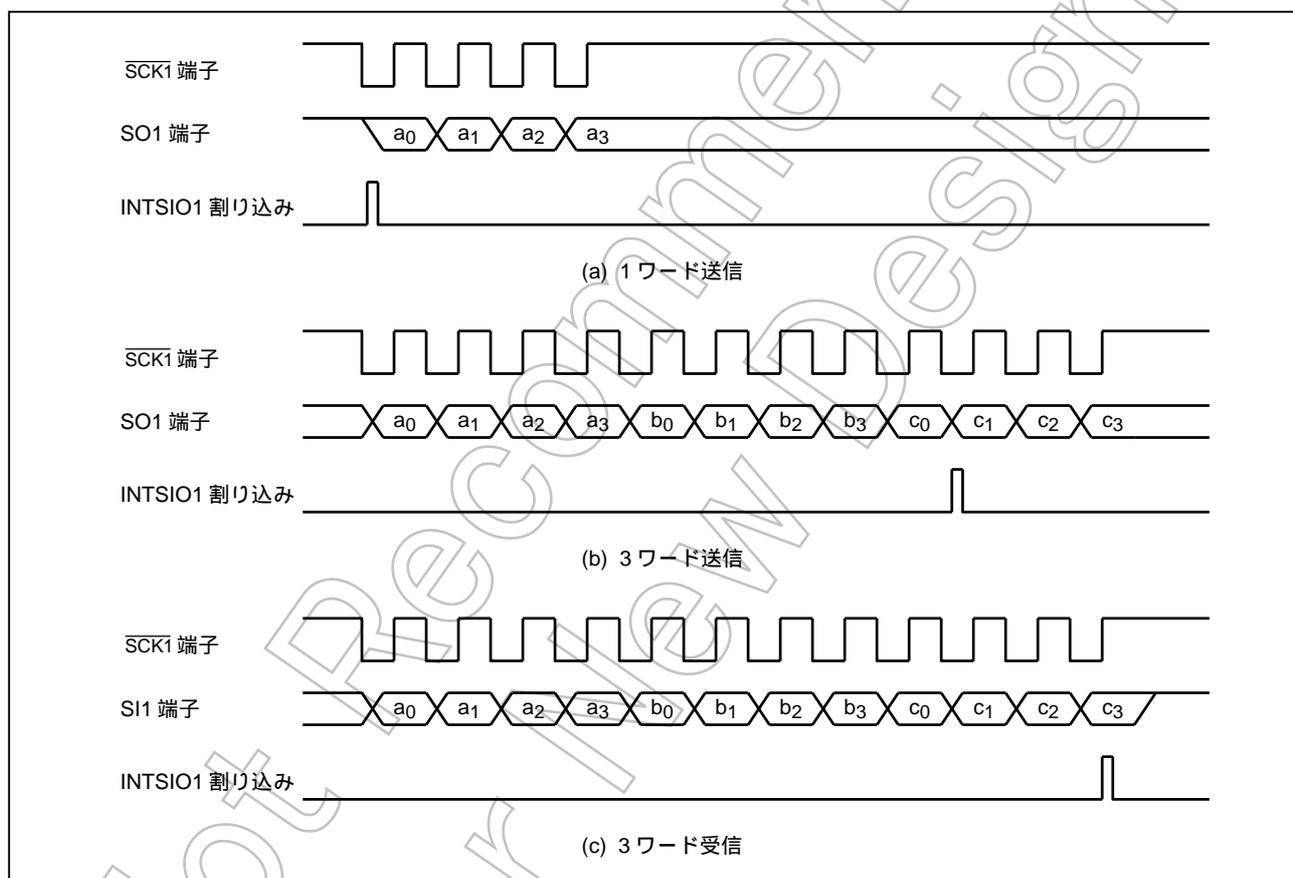


図 2.10.6 転送ワード数 (例: 1ワード = 4ビット)

(4) 転送モード

SIO1CR1<SIOM>で、送信/受信/送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、SIO1CR1<SIOS>を“1”にセットすることにより送信が開始されます。送信データはシリアルクロックに同期して、最下位ビット (LSB) 側から逐次 SO0 端子に出力されます。LSB のデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO1 (バッファエンプティ) 割り込みが発生します。

内部クロック動作の場合、SIO1CR2<BUF>で指定されたワード数のデータをすべて送信した後、次のデータがセットされていないと、シリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR をほかの用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間によって決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIO1CR1<SIOS>を“0”にクリアするか、SIO1CR1<SIOINH>を“1”にセットします。SIO1CR1<SIOS>がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信終了を確認するには、SIO1SR<SIOF>をセンスします。SIO1SR<SIOF>は、送信の終了で“0”になります。SIO1CR1<SIOINH>をセットした場合は、直ちに送信を打ち切り、SIO1SR<SIOF>は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に、SIO1CR1<SIOS>を“0”クリアする必要があります。もしシフトアウトする前に SIO1CR1<SIOS>がクリアされなかった場合は、ダミーデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIO1CR1<SIOS>を“0”にクリアし、SIO1SR<SIOF>が“0”になったことを確認後、SIO1CR2<BUF>を書き替えてください。

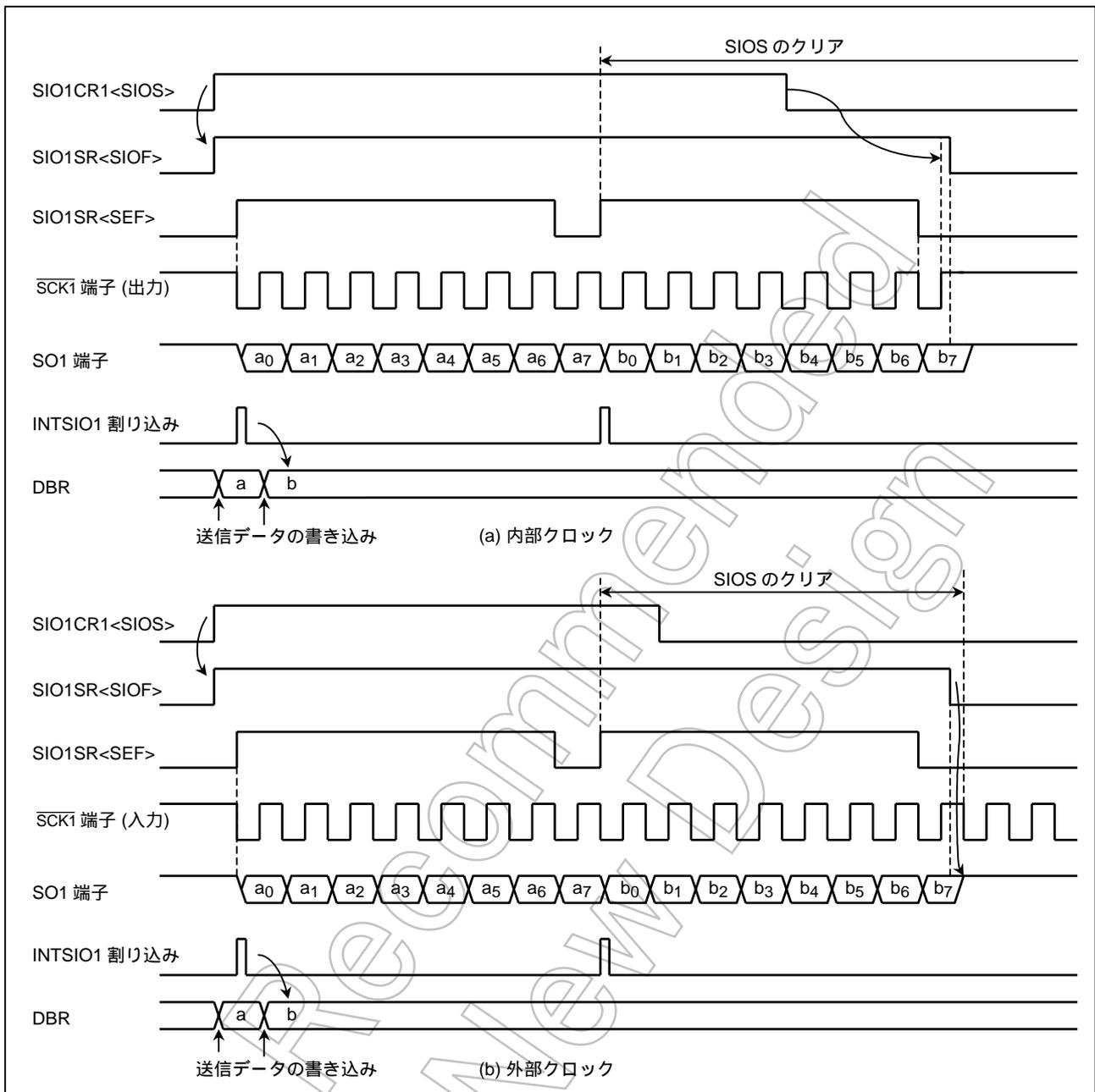


図 2.10.7 送信モード (例: 8 ビット, 1 ワード転送)

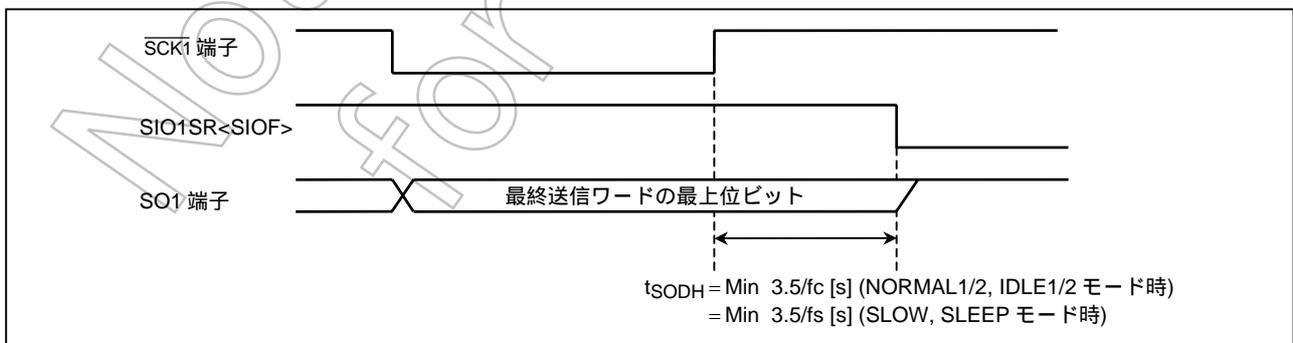


図 2.10.8 送信終了時の送信データ保持時間

b. 4ビット受信モード, 8ビット受信モード

制御レジスタに受信モードをセットした後、SIO1CR1<SIOS>を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれると、シフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。SIO1CR2<BUF>で指定されたワード数の受信が終了すると、受信データの読み取りを要求するINTSIO1 (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまで、シリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は、自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO で不使用の DBR をほかの用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間によって決まります。

受信を終了させるには、バッファフル割り込みサービスプログラムでSIO1CR1<SIOS>を“0”にクリアするか、SIO1CR1<SIOINH>を“1”にセットします。SIO1CR1<SIOS>がクリアされると、転送中のワードの全ビットがそろい、データバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信終了を確認するには、SIO1SR<SIOF>をセンスします。SIO1SR<SIOF>は受信の終了で“0”になります。受信終了の確認後、最終受信データを読み取ります。SIO1CR1<SIOINH>をセットした場合は直ちに受信を打ち切り、SIO1SR<SIOF>は“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときはSIO1CR1<SIOS>を“0”にクリアし、SIO1SR<SIOF>が“0”になったことを確認後、SIO1CR2<BUF>を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に、SIO1CR2<BUF>を書き替えてください。

注) 転送モードを切り替えるとデータバッファレジスタの内容は保持されません。転送モードの切り替えが必要な場合は、受信終了指示 (SIO1CR1<SIOS>を“0”にクリア) を行い、最終受信データを読み取った後で切り替えてください。

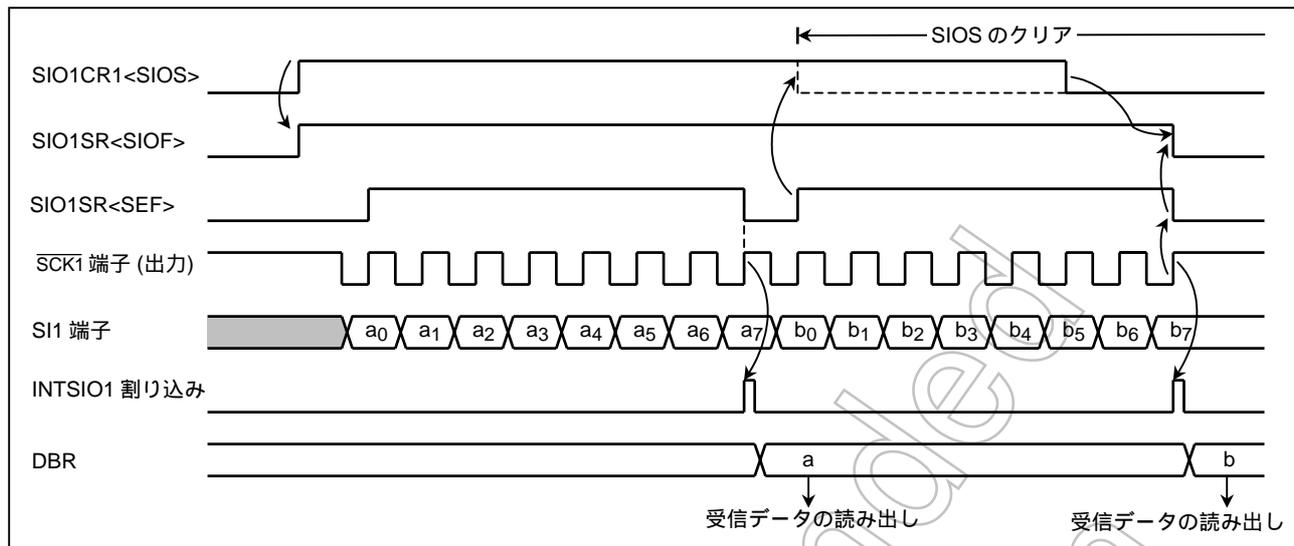


図 2.10.9 受信モード (例: 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データを、データバッファレジスタ (DBR) に書き込みます。その後、SIO1CR1<SIOS>に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO0 端子から出力され、後縁で受信データが SI0 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ、受信データが転送されます。SIO1CR2<BUF>で指定されたワード数の送受信が終了すると、INTSIO1 割り込みが発生します。割り込みサービスプログラムにて、受信データをデータバッファレジスタから読み取り、その後送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は、自動ウェイト動作は行われません。

外部クロック動作の場合、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO1 割り込みサービスプログラムで SIO1CR1<SIOS>を“0”にクリアするか、SIO1CR1<SIOINH>を“1”にセットします。SIO1CR1<SIOS>がクリアされると、転送中のワードの全ビットがそろい、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信終了を確認するには、SIO1SR<SIOF>をセンスします。SIO1SR<SIOF>は送受信の終了で“0”になります。SIO1CR1<SIOINH>をセットした場合は、直ちに送受信を打ち切り、SIO1SR<SIOF>は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIO1CR1<SIOS>を“0”にクリアし、SIO1SR<SIOF>が“0”になったことを確認後、SIO1CR2<BUF>を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

注) 転送モードを切り替えるとデータバッファレジスタの内容は保持されません。転送モードの切り替えが必要な場合は、受信終了指示 (SIO1CR1<SIOS>を“0”にクリア) を行い、最終受信データを読み取った後で切り替えてください。

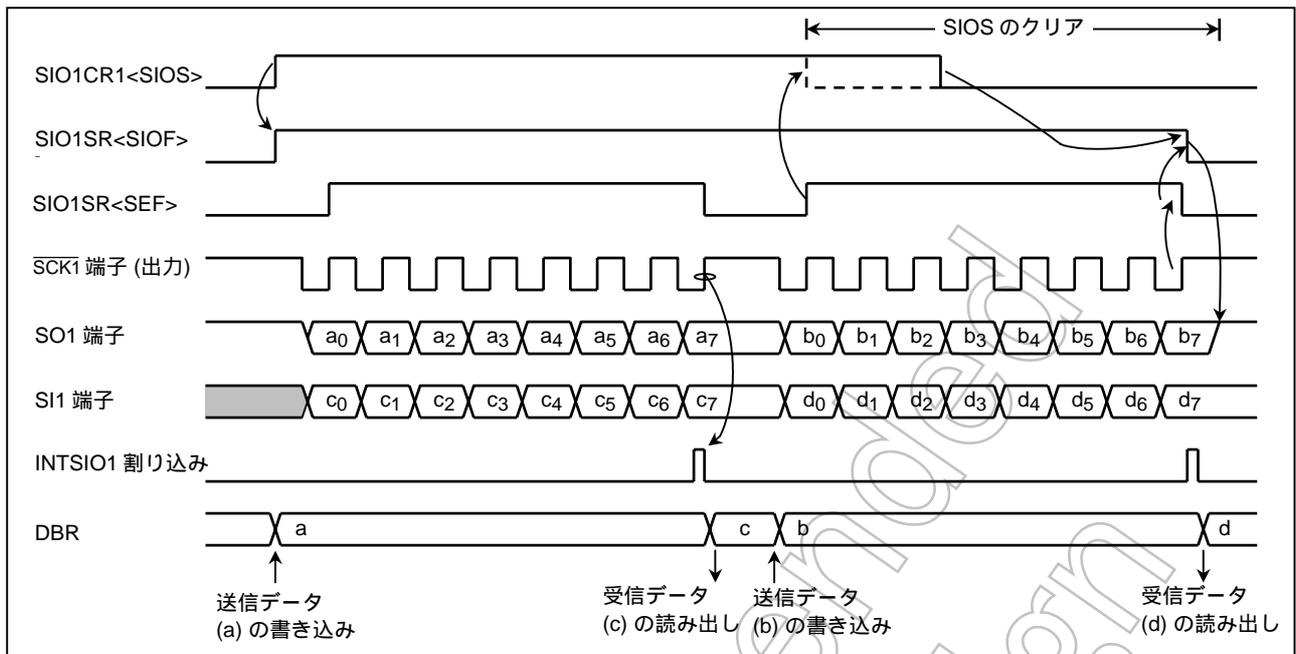


図 2.10.10 送受信モード (例: 8 ビット, 1 ワード, 内部クロック)

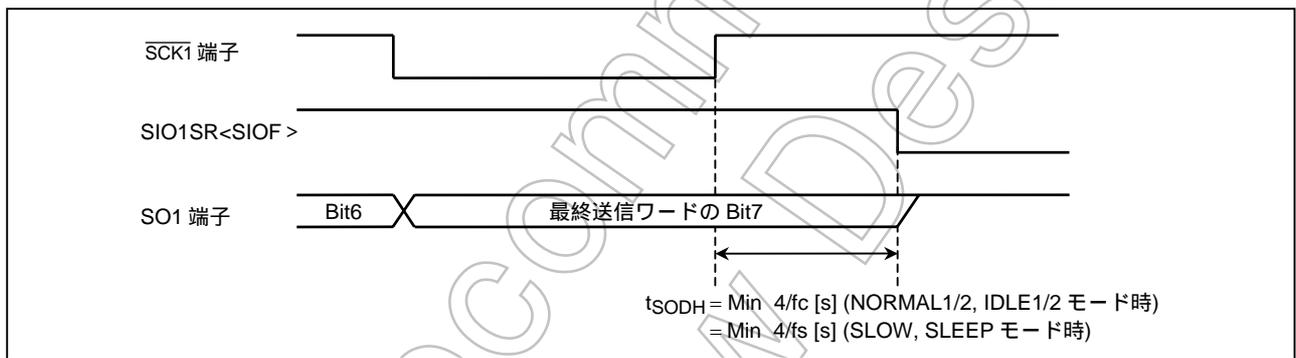


図 2.10.11 送受信終了時の送信データ保持時間

2.11 8ビット AD コンバータ (ADC)

TMP86CM25A は、8ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

2.11.1 構成

8ビット AD コンバータの回路構成を図 2.11.1 に示します。

制御レジスタ ADCCR1, ADCCR2、変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。

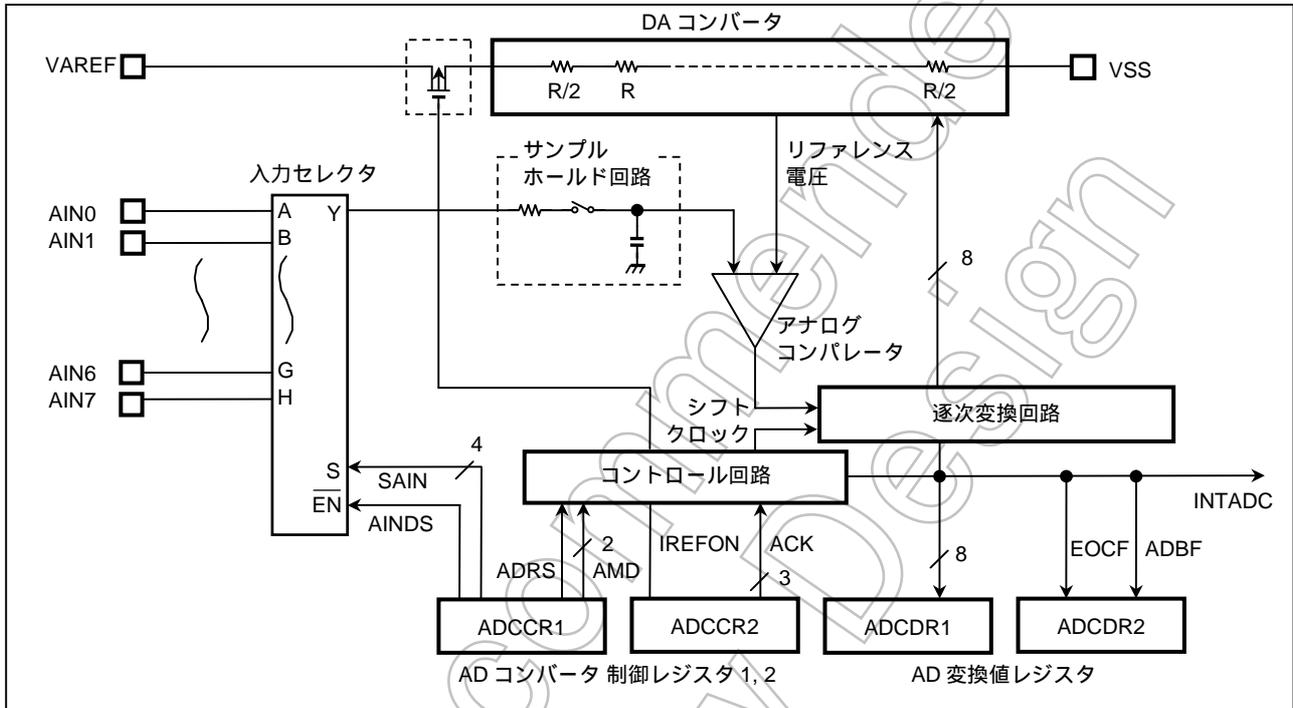


図2.11.1 AD コンバータ (ADC)

2.11.2 レジスタ構成

AD コンバータは、次の4つのレジスタで構成されています。

- AD コンバータ制御レジスタ 1 (ADCCR1)
- AD コンバータ制御レジスタ 2 (ADCCR2)
- AD 変換値レジスタ 1/2 (ADCDR1/ADCDR2)

(1) AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と、AD コンバータの開始を制御するレジスタです。

(2) AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

(3) AD 変換値レジスタ (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

(4) AD 変換値レジスタ (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

AD コンバータの制御レジスタ構成を図 2.11.2, 図 2.11.3に示します。

Not Recommended for New Design

AD コンバータ制御レジスタ 1

ADCCR1 (000EH)

7	6	5	4	3	2	1	0
ADRS	AMD	AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD 変換開始	0: - 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作禁止 01: ソフトウェアスタートモード 10: Reserved 11: Reserved	
AINDS	アナログ入力制御	0: アナログ入力許可 1: アナログ入力禁止	
SAIN	アナログ入力チャンネル 選択ビット	0000: AIN0 を選択 0001: AIN1 を選択 0010: AIN2 を選択 0011: AIN3 を選択 0100: AIN4 を選択 0101: AIN5 を選択 0110: AIN6 を選択 0111: AIN7 を選択 1***: Reserved	

注 1) アナログ入力チャンネルの選択は、AD 変換停止状態 (ADCCR2<ADBF> = "0") で行ってください。
 注 2) アナログ入力チャンネルをすべて禁止にする場合は、AINDS を "1" に設定してください。
 注 3) アナログ入力はポートと兼用になっていますが精度を保つ意味で、AD 変換中はポート出力命令を行わないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
 注 4) ADRS は AD 変換開始後、自動的に "0" にクリアされます。
 注 5) AD 変換中に ADRS (ADCCR1 のビット 7) の再設定は行わないでください。ADRS の再設定は、EOCF (ADCCR2 のビット 5) にて変換が終了したことを確認後、あるいは、INTADC 割り込みが発生した後 (割り込み処理ルーチンなど) で行ってください。
 注 6) STOP または SLOW モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されます。NORMAL モードへの復帰後に AD コンバータを使用する場合は、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (000FH)

7	6	5	4	3	2	1	0
		IREFON	"1"		ACK		"0"

 (初期値: **00 0000)

IREFON	DA コンバータ (ラダー抵抗) の 接続制御	0: AD 変換中のみ接続 1: 常時接続	R/W						
ACK	AD 変換時間選択	ACK		変換時間	fc = 16 MHz	fc = 8 MHz	fc = 4 MHz	fc = 1 MHz	
		000		Reserved					
		001		Reserved					
		010		76/fc	-	-	-	76.0 μs	152.0 μs
		011		152/fc	-	-	38.0 μs	76.0 μs	-
		100		304/fc	-	38.0 μs	76.0 μs	152.0 μs	-
		101		608/fc	38.0 μs	76.0 μs	152.0 μs	-	-
		110		1216/fc	76.0 μs	152.0 μs	-	-	-
		111		Reserved					

fc: 高周波発振周波数

注 1) 上記表内 "-" 部分の設定は行わないでください。
 注 2) 変換時間は、アナログ基準電圧 (VAREF によって以下のように設定を変えてください)。
 (VAREF = 2.7~3.6 V 時 38.0 μs 以上)
 (VAREF = 1.8~3.6 V 時 124.8 μs 以上)
 注 3) ADCCR2 のビット 0 には "0"、ビット 4 には "1" を必ず書き込んでください。
 注 4) ADCCR2 に対し、リード命令を実行するとビット 7, 6 は、不定値が読み込まれます。
 注 5) STOP または SLOW モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されます。NORMAL モードへの復帰後に AD コンバータを使用する場合は、ADCCR2 を再設定してください。

図 2.11.2 AD コンバータの制御レジスタ

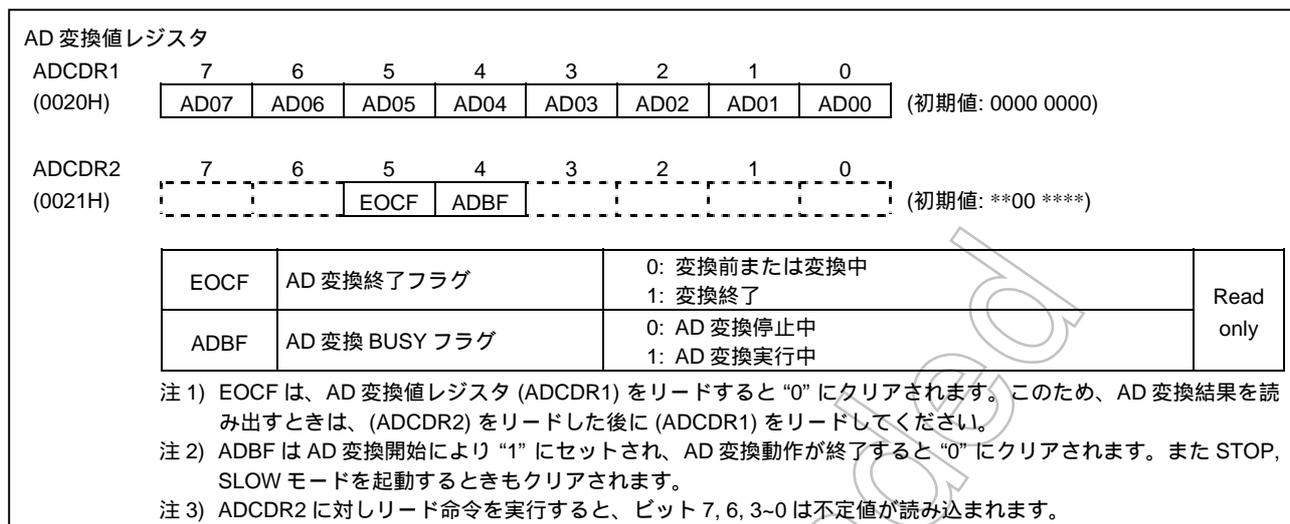


図2.11.3 AD 変換値レジスタ

2.11.3 AD コンバータの動作

- (1) AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード(ソフトウェアモード)を (AMD) にて指定してください。
- (2) AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 の (注 2) を参照してください。
 - DA コンバータの制御 (IREFON) を選択してください。
- (3) 上記(1), (2)を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、直ちに AD 変換を開始します。
- (4) 指定された AD 変換時間後、AD 変換値は AD 変換値レジスタ 1 (ADCDR1) に格納され、ADCDR2 の AD 変換終了フラグ (EOCF) が "1" をセットされるとともに、INTADC 割り込み要求が発生します。
- (5) 変換結果を読み出すと、EOCF は "0" にクリアされます。ただし、読み出し前に再変換を行った場合は EOCF は "0" にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

2.11.4 AD コンバータの動作モード

(1) ソフトウェアスタートモード

ADCCR1<AMD>を“01B”(ソフトウェアスタートモード)に設定後、ADCCR1<ADRS>を“1”に設定することにより、ADCCR1<SAIN>で指定されたアナログ入力端子の電圧のAD変換を開始します。

AD変換終了後、変換結果をAD変換値レジスタ(ADCDR1)に格納し、ADCDR2<EOCF>に“1”をセットするとともにINTADC割り込み要求が発生します。

ADCCR1<ADRS>はAD変換を開始後、自動的にクリアされます。AD変換中にADCCR1<ADRS>の再設定(再スタート)は行わないでください。ADCCR1<ADRS>の再設定は、ADCDR2<EOCF>にて変換が終了したことを確認後、あるいはINTADC割り込みが発生した後(割り込み処理ルーチンなど)で行ってください。

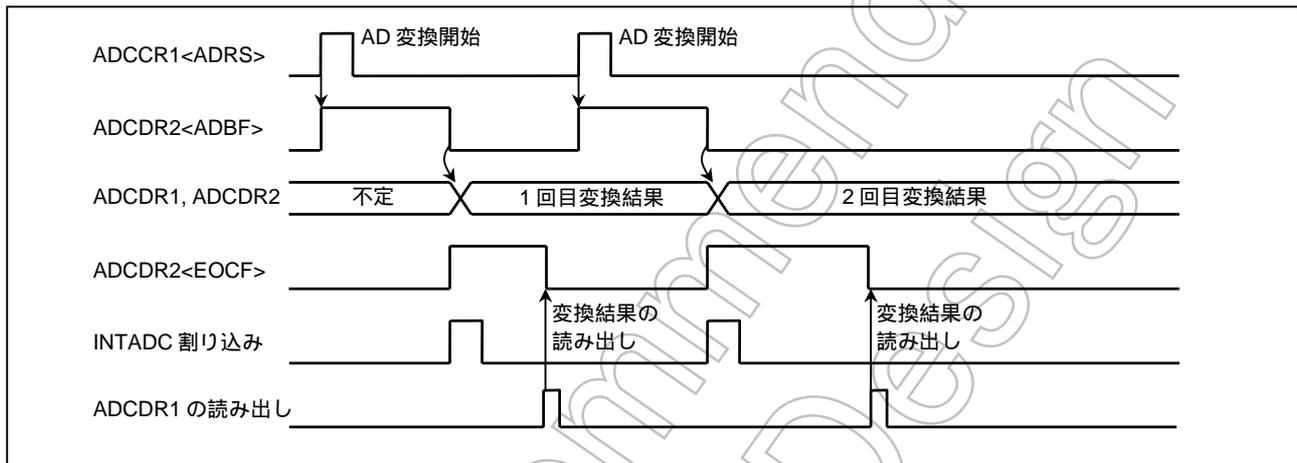


図2.11.4 ソフトウェアスタートモード動作

2.11.5 AD変換時のSTOP/SLOWモード

AD変換中に、強制的にSTOPまたはSLOWモードを起動すると、AD変換は中断され、ADコンバータ(ADCCR1, ADCCR2)は初期化されます。また、変換結果は不定となります(前回までの変換結果もクリアされますので、STOPまたはSLOWモードを起動する前に変換結果を読み出すようにしてください)。またSTOPまたはSLOWモードから復帰したときは、自動的にAD変換を再開しませんので、再度AD変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

例: 変換時間 38.0 μ s @ 16 MHz およびアナログ入力チャンネル AIN3 端子を選択後、AD変換を1回行います。EOCFを確認して変換値を読み出し、RAMのアドレス 009FH にデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

; AIN SELECT
LD      (P6CR), 00000000B      ; P6CR ビット 3 = "0"
LD      (P6DR), 00000000B      ; P6DR ビット 3 = "0"
LD      (ADCCR1), 00100011B     ; AIN3 を選択
LD      (ADCCR2), 11011010B     ; 変換時間 (608/fc), 動作モードを選択
; AD CONVERT START
SET     (ADCCR1). 7             ADCCR1<ADRS> = "1"
SLOOP: TEST  (ADCDR2). 5        ADCDR2<EOCF> = "1" ?
        JRS   T, SLOOP
; RESULT DATA READ
LD      A, (ADCDR1)
LD      (9FH), A

```

2.11.6 アナログ入力電圧とAD変換結果

アナログ入力電圧とAD変換された8ビットデジタル値とは図2.11.5のように対応します。

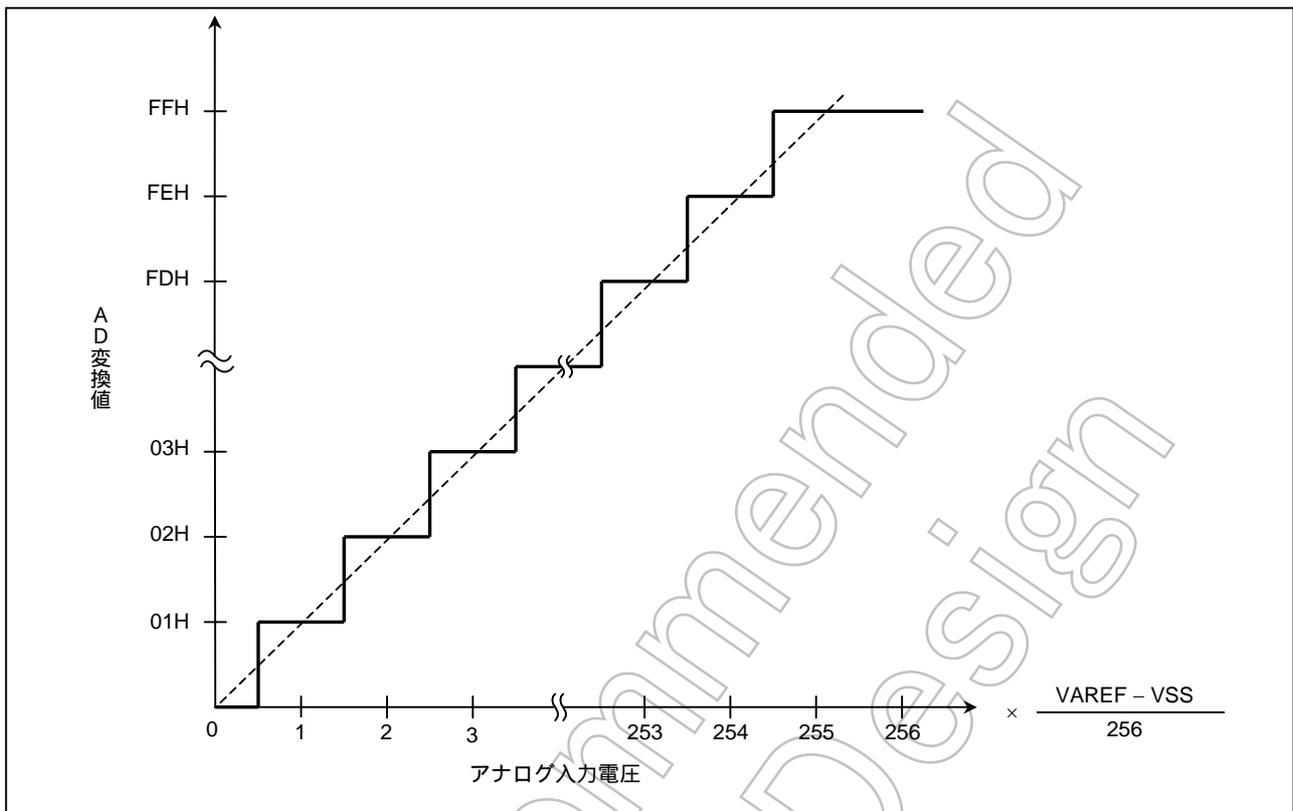


図 2.11.5 アナログ入力電圧とAD変換値 (Typ.) の関係

2.11.7 AD コンバータの注意事項

(1) アナログ入力端子電圧範囲

アナログ入力端子 (AIN0~AIN7) は、VAREF~VSS 間で使用してください。この範囲外の電圧が入力されると、その入力端子の変換値が不定となります。また、ほかのアナログ入力端子の変換値にも影響を与えます。

(2) アナログ入力兼用端子

アナログ入力端子 (AIN0~AIN7) は、入出力ポートと兼用になっています。アナログ入力 of どれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

(3) ノイズ対策

アナログ入力端子の内部等価回路は、図 2.11.6 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨します。

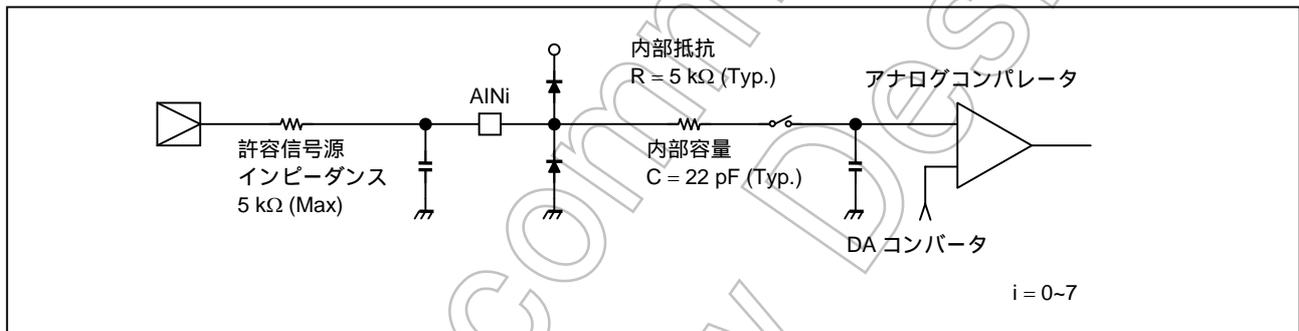


図 2.11.6 アナログ入力等価回路と入力端子処理例

2.12 キーオンウェイクアップ (KWU)

TMP86CM25A では、P20 ($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に P64~P67 の 4 つの端子でも、STOP モードの解除が可能です。

P64~P67 ポートの入力で STOP モードを解除する場合、P20 端子は必ず STOP モード解除用端子として使用する必要があります。

2.12.1 構成

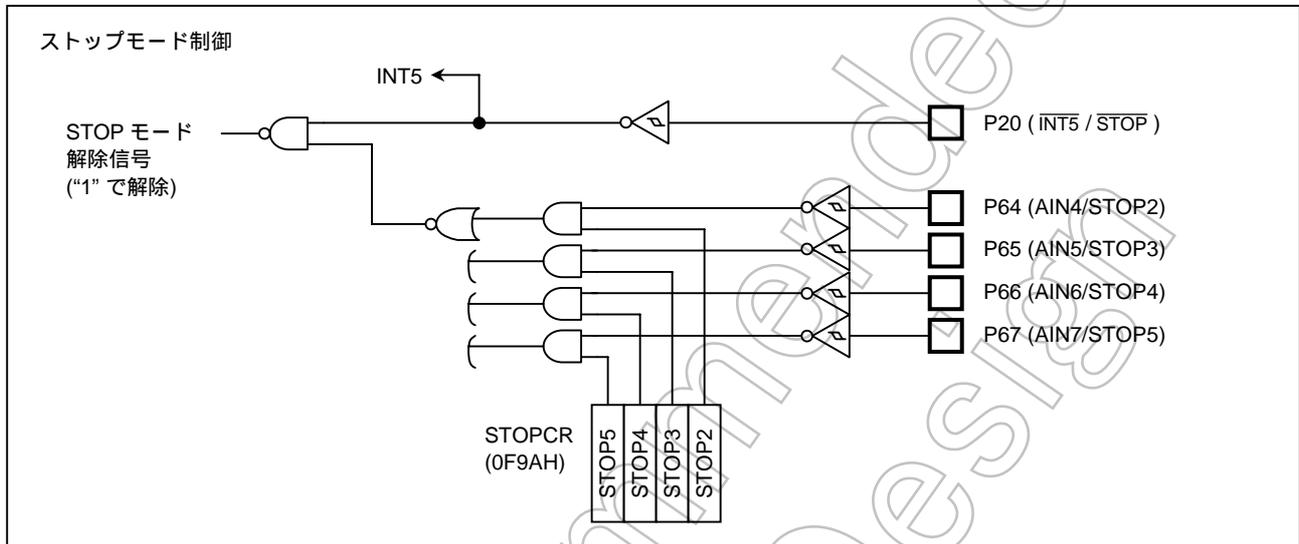
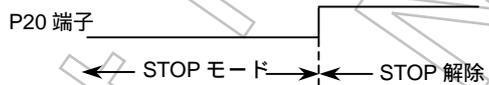


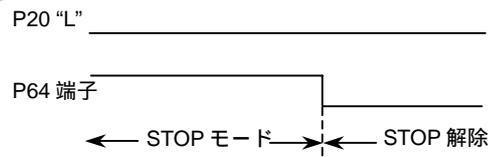
図2.12.1 キーオンウェイクアップ回路

注) P20 の $\overline{\text{STOP}}$ 入力と P64~P67 の STOP2~STOP5 を合わせて利用する場合、P20 が優先されますので注意してください。STOP2~STOP5 にて STOP モードを解除する ("L" レベル) 場合には、P20 は必ず "L" レベルでなければなりません。

a) P20 の場合



b) @P64~P67



2.12.2 制御

P64~P67 (STOP2~STOP5) 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) で、端子ごとの動作禁止/許可が設定可能です。STOP モード解除に使用する端子は、あらかじめ入力端子状態に設定する必要があります。

STOP モードの起動は SYSCR1<STOP> を “0” にして行い、STOP モード解除が許可されている STOP2~STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

また、STOP2~STOP5 端子の状態は、P6 ポートを読み出すことにより確認できますので、STOP モードを起動する前に各端子のレベルが “H” レベルになっていることを確認してください (注 2)。

注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM> = “0”) で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって、STOP2~STOP5 端子入力設定をすべて禁止にしてください。

注 2) P20 端子入力が “H” レベル、もしくは STOPCR によって許可された STOP2~STOP5 端子の入力が “L” レベルのときに STOP モードを起動すると、STOP モードは起動せず直ちにウォームアップ状態になります。

キーオンウェイクアップ制御レジスタ									
STOPCR	7	6	5	4	3	2	1	0	
(0F9AH)	STOP5	STOP4	STOP3	STOP2	-	-	-	-	(初期値: 0000 ****)
STOP5	P67 ポートによる STOP モード解除		0: 禁止 1: 許可		Write only				
STOP4	P66 ポートによる STOP モード解除		0: 禁止 1: 許可						
STOP3	P65 ポートによる STOP モード解除		0: 禁止 1: 許可						
STOP2	P64 ポートによる STOP モード解除		0: 禁止 1: 許可						

図2.12.2 キーオンウェイクアップ制御レジスタ

2.13 LCD ドライバ

TMP86CM25A は、液晶表示器 (LCD) を直接駆動するドライバおよびその制御回路を内蔵しています。LCD との接続端子は次のとおりです。

- | | |
|------------------------|--------------------|
| (1) セグメント出力端子 | 40 本 (SEG39~SEG0) |
| (2) セグメント出力/入出力ポート兼用端子 | 20 本 (SEG59~SEG40) |
| (3) コモン出力端子 | 5 本 (COM4~COM0) |
| (4) コモン出力/入出力ポート兼用端子 | 11 本 (COM15~COM5) |

ほかに LCD ドライブ用昇圧回路用端子として、C0, C1, V1, V2, V3, V4 があります。直接駆動が可能な LCD は、次の 3 種類です。

- | | |
|---------------------|-----------------------------|
| (1) 1/4 デューティ LCD: | 最大 240 画素 (60 セグメント × 4 桁) |
| (2) 1/8 デューティ LCD: | 最大 480 画素 (60 セグメント × 8 桁) |
| (3) 1/16 デューティ LCD: | 最大 960 画素 (60 セグメント × 16 桁) |

2.13.1 LCD ドライバの構成

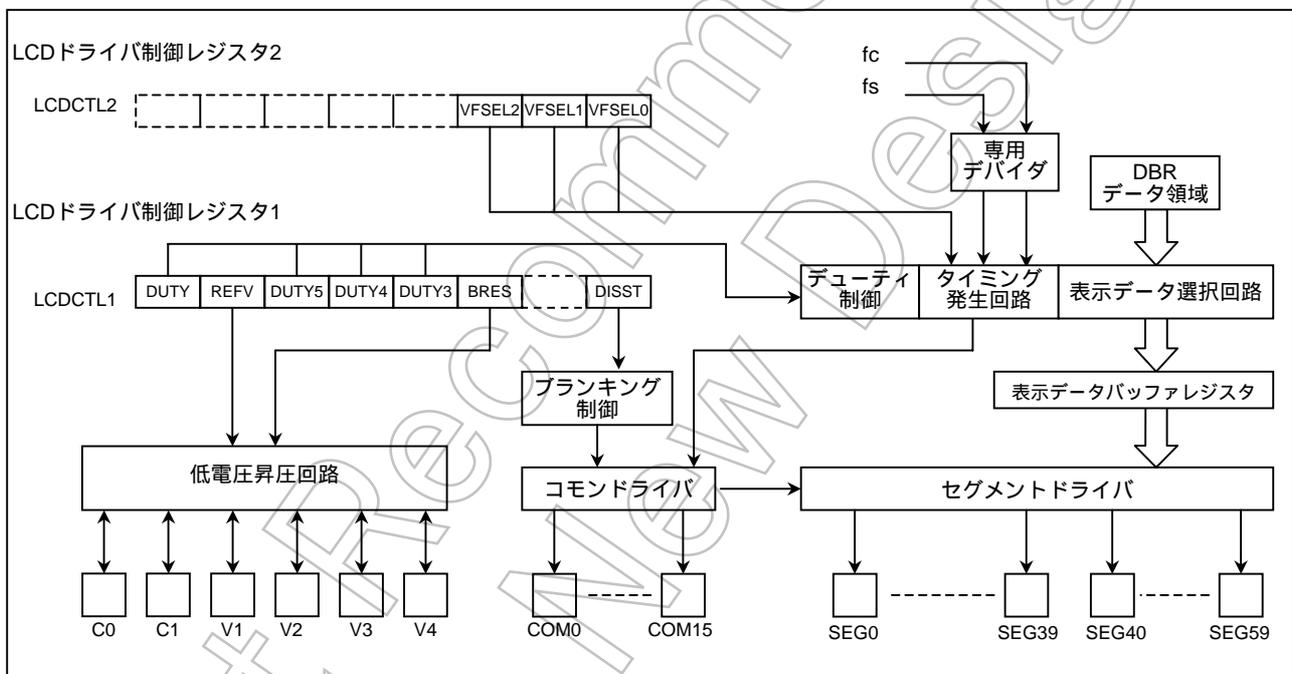


図 2.13.1 LCD ドライバブロック図

注) LCD ドライバ回路は、専用デバイダ回路を内蔵しています。そのため、ツール使用時の LCD 出力は、デバッガのブレーク処理により停止しません。

2.13.2 LCDドライバの制御

LCDドライバの制御は、LCD制御レジスタ1 (LCDCTL1) および LCD制御レジスタ2 (LCDCTL2) で行います。LCDドライバの表示イネーブルはDISSTで行います。

LCD制御レジスタ1

LCDCTL1 (0027H) 7 6 5 4 3 2 1 0
 DUTY7 REFV DUTY5 DUTY4 DUTY3 BRES DISST (初期値: 0000 00*0)

DUTY7 DUTY5 DUTY4 DUTY3	デューティの選択	0***: Reserved 1000: 1/4 デューティ 1001: Reserved 1010: 1/8 デューティ 1011: Reserved 1100: Reserved 1101: Reserved 1110: 1/16 デューティ 1111: Reserved	R/W
REFV	LCD基準電圧の設定	0: V4 VDD (注4) 1: VDD < V4 3.6V	
BRES	昇圧回路の設定	0: 昇圧回路禁止 1: 昇圧回路許可	
DISST	LCD表示制御	0: LCD表示ブランキング 1: LCD表示許可	

注1) リセット後、デューティの選択 <DUTY> は、“0000” (初期値: Reserved) 設定となります。ご使用のLCDパネルに合わせて、適切なデューティ設定を行ってください。

注2) LCD基準電圧の設定 <REFV> は、VDDによって切り替えてください。適正な設定でない場合、過電流が流れ、デバイスにダメージを与える可能性があります。VDDが電池駆動などの場合、特に注意が必要です。

注3) LCD表示制御 <DISST> が表示ブランキングのとき、すべてのSEG/COM端子はVSSレベルになります。

注4) LCD基準電圧の設定 <REFV> が“0”のとき、基準電源は必ずV4端子から入力してください。

注5) Reserved: 設定しないでください。

LCD制御レジスタ2

LCDCTL2 (0028H) 7 6 5 4 3 2 1 0
 VFSEL2 VFSEL1 VFSEL0 (初期値: **** *011)

VFSEL	フレーム周波数用のベース周波数選択	モード			R/W
		NORMAL1, IDLE1	NORMAL2, IDLE2, SLOW2, SLEEP2	SLOW1, SLEEP1	
000		$fc/2^9$	$fc/2^9$	—	R/W
001		$fc/2^8$	$fc/2^8$	—	
010		$fc/2^7$	$fc/2^7$	—	
011		$fc/2^6$	$fc/2^6$	—	
1**		—	fs	fs	

注) LCD制御レジスタ2は、ご使用の動作周波数に応じて設定してください。実際のフレーム周波数の詳細については表2.13.1を参照してください。

図 2.13.2 LCDドライバ制御レジスタ

(1) フレーム周波数

フレーム周波数は、駆動方式とベース周波数により表 2.13.1 のように設定されます。ベース周波数は、使用する基本クロック周波数 f_c および f_s に応じて、LCDCTL2<VFSEL>により選択します。

表 2.13.1 フレーム周波数の設定

VFSEL	ベース周波数 [Hz]	フレーム周波数 [Hz]		
		1/4 デューティ	1/8 デューティ	1/16 デューティ
000	$\frac{f_c}{2^9}$	$\frac{f_c}{2^9 \cdot 84 \cdot 4}$	$\frac{f_c}{2^9 \cdot 42 \cdot 8}$	$\frac{f_c}{2^9 \cdot 21 \cdot 16}$
	($f_c = 16$ MHz 時)	93	93	93
001	$\frac{f_c}{2^8}$	$\frac{f_c}{2^8 \cdot 84 \cdot 4}$	$\frac{f_c}{2^8 \cdot 42 \cdot 8}$	$\frac{f_c}{2^8 \cdot 21 \cdot 16}$
	($f_c = 8$ MHz 時)	93	93	93
010	$\frac{f_c}{2^7}$	$\frac{f_c}{2^7 \cdot 84 \cdot 4}$	$\frac{f_c}{2^7 \cdot 42 \cdot 8}$	$\frac{f_c}{2^7 \cdot 21 \cdot 16}$
	($f_c = 4$ MHz 時)	93	93	93
011	$\frac{f_c}{2^6}$	$\frac{f_c}{2^6 \cdot 84 \cdot 4}$	$\frac{f_c}{2^6 \cdot 42 \cdot 8}$	$\frac{f_c}{2^6 \cdot 21 \cdot 16}$
	($f_c = 2$ MHz 時)	93	93	93
1**	f_s	$\frac{f_s}{84 \cdot 4}$	$\frac{f_s}{42 \cdot 8}$	$\frac{f_s}{21 \cdot 16}$
	($f_s = 32.768$ kHz 時)	97.5	97.5	97.5

注 1) f_c : 高周波クロック周波数 [Hz]、 f_s : 低周波クロック周波数 [Hz]

注 2) 本製品は $f_c = 1$ MHz 動作保証製品ですが、 $f_c = 1.32$ [MHz] 以下ではフレーム周波数が 61 [Hz] 以下となりますので、LCD 表示には推奨できません。

2.13.3 LCD 昇圧回路

(1) LCD 昇圧回路

TMP86CM25A/FM25 は、LCD 駆動用電源として、外部より供給される基準電圧を内部の昇圧回路で昇圧 (分圧) することができます。V2 端子が基準の場合、入力された基準電圧は 1/2 倍 (V1), 3/2 倍 (V3), 2 倍 (V4) 分圧, 昇圧されます。V3, V4 端子基準の場合も同様に、電圧比の関係は $V1 \times 4 = V2 \times 2 = V3 \times (4/3) = V4$ となります。

なお、本回路は 4 倍昇圧方式ですのでバイアス比は 1/4 のみとなります。

2.13.4 LCD 昇圧回路接続方式

(1) レギュレータを使用した昇圧回路接続方式

VDD が電池駆動などにより安定でない場合、表示品位を保つためにレギュレータを使用した以下のような接続方式を推奨します。

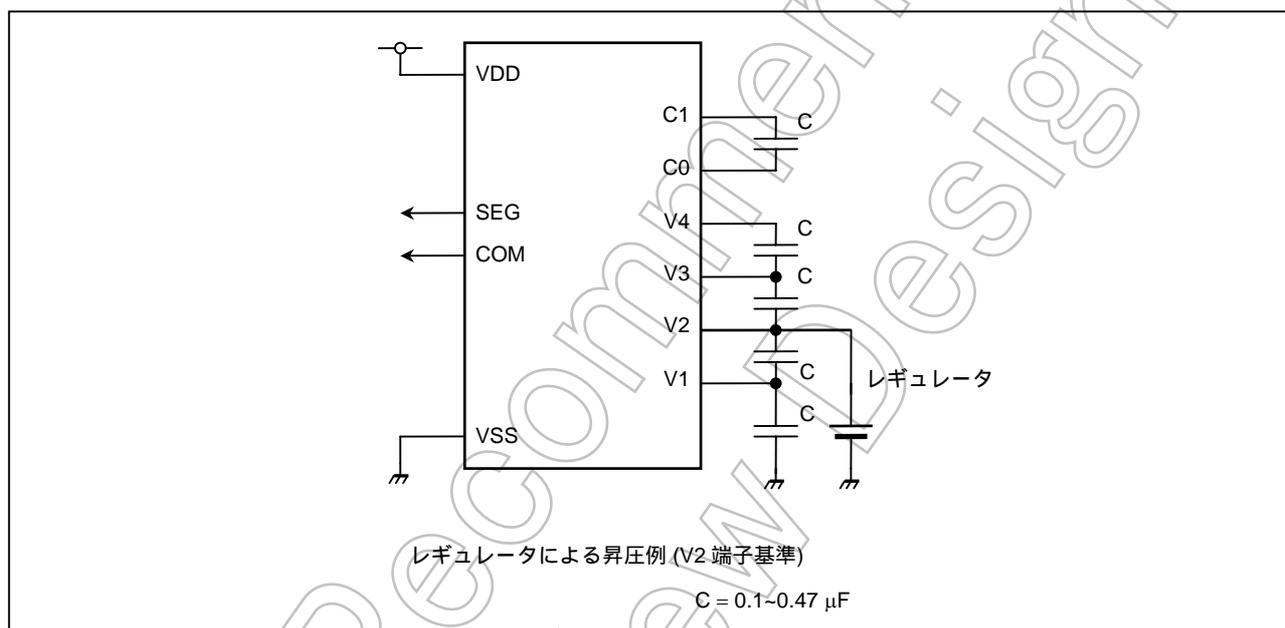


図 2.13.3 レギュレータを使用した昇圧回路接続方式

注) VDD V4 で使用する場合 (LCDCTL1<REFV> = "0")、基準電源は必ず V4 端子から入力してください。

(2) レギュレータを使用しない昇圧回路接続方式

VDD が安定して供給できる場合 (VDD = V4 の場合)、レギュレータを使用しない以下のような接続方式が可能です。この場合、LCD 制御レジスタ 1 の LCDCTL1<REFV> は “0” に設定し、基準電源は必ず V4 端子から入力してください。

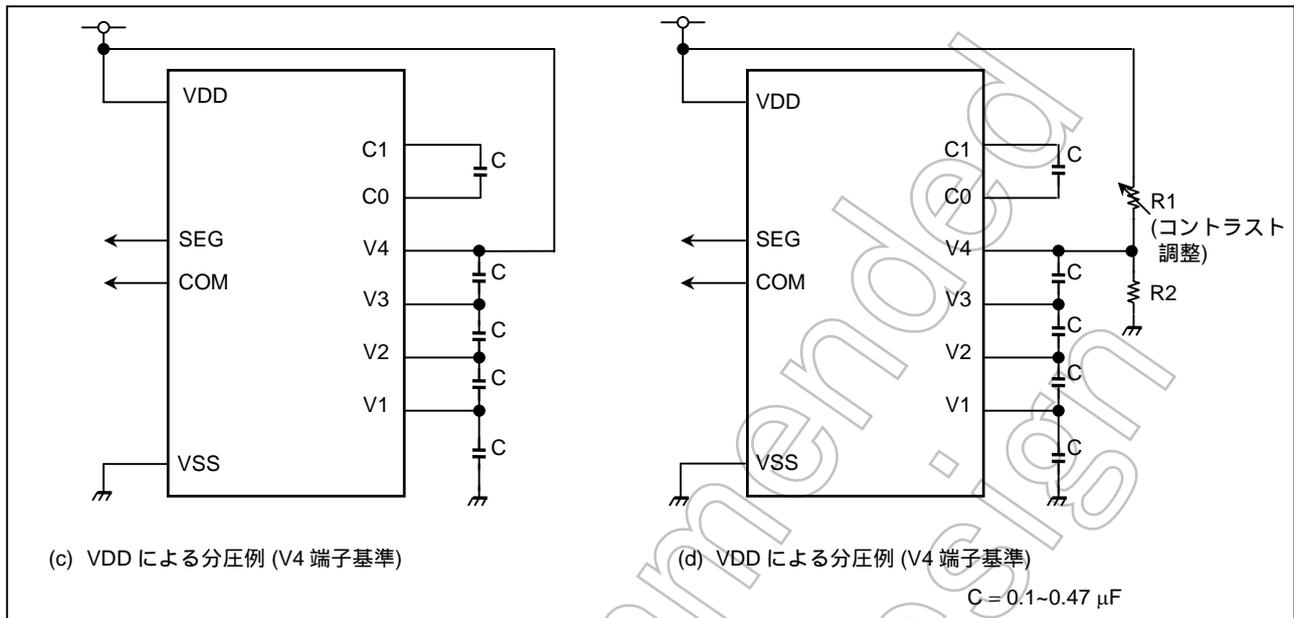


図 2.13.4 レギュレータを使用しない昇圧回路接続方式

2.13.5 LCD 表示動作

(1) 表示データの設定

表示データは、DBR 内に設けられた表示データ領域 (アドレス 0F00H~0F7FH 内の 128 バイト) に格納します。

表示データ領域に格納された表示データは、ハードウェアにより自動的に読み出され、LCD ドライバへ送出されます。LCD ドライバは表示データと駆動方式に従い、セグメント信号、コモン信号を発生しますので、表示パターンの変更は、プログラムで表示データ領域の内容を書き替えるのみで行うことができます。図 2.13.5 に表示データ領域と SEG/COM 端子の対応を示します。表示データが “1” のとき点灯し、“0” のとき消灯します。LCD の駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のバイト数も異なります。従って、表示データの格納に使用しないバイトや、LCD を接続しないアドレスに相当するデータメモリは、通常の処理データの格納に使用できません (表 2.13.2 参照)。

注) 表示データ領域の内容は電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

0F00H	0F10H	0F20H	0F30H	0F40H	0F50H	0F60H	0F70H	COM0
0F01H	0F11H	0F21H	0F31H	0F41H	0F51H	0F61H	0F71H	COM1
0F02H	0F12H	0F22H	0F32H	0F42H	0F52H	0F62H	0F72H	COM2
0F03H	0F13H	0F23H	0F33H	0F43H	0F53H	0F63H	0F73H	COM3
0F04H	0F14H	0F24H	0F34H	0F44H	0F54H	0F64H	0F74H	COM4
0F05H	0F15H	0F25H	0F35H	0F45H	0F55H	0F65H	0F75H	COM5
0F06H	0F16H	0F26H	0F36H	0F46H	0F56H	0F66H	0F76H	COM6
0F07H	0F17H	0F27H	0F37H	0F47H	0F57H	0F67H	0F77H	COM7
0F08H	0F18H	0F28H	0F38H	0F48H	0F58H	0F68H	0F78H	COM8
0F09H	0F19H	0F29H	0F39H	0F49H	0F59H	0F69H	0F79H	COM9
0F0AH	0F1AH	0F2AH	0F3AH	0F4AH	0F5AH	0F6AH	0F7AH	COM10
0F0BH	0F1BH	0F2BH	0F3BH	0F4BH	0F5BH	0F6BH	0F7BH	COM11
0F0CH	0F1CH	0F2CH	0F3CH	0F4CH	0F5CH	0F6CH	0F7CH	COM12
0F0DH	0F1DH	0F2DH	0F3DH	0F4DH	0F5DH	0F6DH	0F7DH	COM13
0F0EH	0F1EH	0F2EH	0F3EH	0F4EH	0F5EH	0F6EH	0F7EH	COM14
0F0FH	0F1FH	0F2FH	0F3FH	0F4FH	0F5FH	0F6FH	0F7FH	COM15
SEG7	SEG15	SEG23	SEG31	SEG39	SEG47	SEG55	SEG59	
~	~	~	~	~	~	~	~	
SEG0	SEG8	SEG16	SEG24	SEG32	SEG40	SEG48	SEG56	

図 2.13.5 LCD 表示データ領域 (DBR)

表 2.13.2 表示データの格納に使用する領域

駆動方法	使用する COM 数
1/16 デューティ	COM15~COM0
1/8 デューティ	COM7~COM0
1/4 デューティ	COM3~COM0

(2) ブランキング

DISST を “0” にクリアすることにより、LCD 表示をブランキングすることができます。ブランキングは、COM/SEG 端子に GND レベルを出力することにより LCD を消灯します。

LCD 表示中に STOP モードに入ると、DISST は “0” にクリアされ、自動的にブランキングがかかります。その後 STOP モードが復帰すると、DISST が “1” にセットされ自動的に表示を開始します。

注) リセット時、セグメント専用端子 (SEG39~SEG0)、コモン出力は GND レベルとなりますが、入出力ポート/セグメント兼用端子 (P1, P3, P5 ポート)、入出力ポート/コモン兼用端子 (P3, P7 ポート) は出力ハイインピーダンス状態となります。従って、外部からのリセット入力著しく長くなる場合は、LCD 表示がにじむなどの影響を及ぼす恐れがあります。

2.13.6 LCD ドライバの制御方法

(1) 初期設定

初期設定の手順を以下に示します。

例) 60 seg × 8 com、1/8 デューティの 3V 系 LCD を $f_c = 8 \text{ MHz}$ (@ $V_{DD} = 2 \text{ V}$) で動作

- LD (LCDCTL1), 10010100B ; 1/8 デューティ、LCD 基準電圧 ($V_{DD} = V_4$)、昇圧回路イネーブル設定
- LD (P1LCR), 0FFH ; P1 ボートをセグメント出力に設定
- LD (P3LCR), 0FFH ; P3 ボートをセグメント、コモン出力に設定
- LD (P5LCR), 0FFH ; P5 ボートをセグメント、コモン出力に設定
- LD (P7LCR), 0FFH ; P7 ボートをコモン出力に設定
- LD (LCDCTL1), 10010101B ; LCD 表示イネーブル設定

(2) 表示データの格納

通常、表示データはプログラムメモリ (ROM) に固定データとして用意しておき、ロード命令により、表示データ領域に格納します。

例 1: 1/8 デューティの LCD を用いて、図 2.13.6 のような接続および表示を行う場合、表示データは表 2.13.3、表示タイミングは図 2.13.7 のようになります。

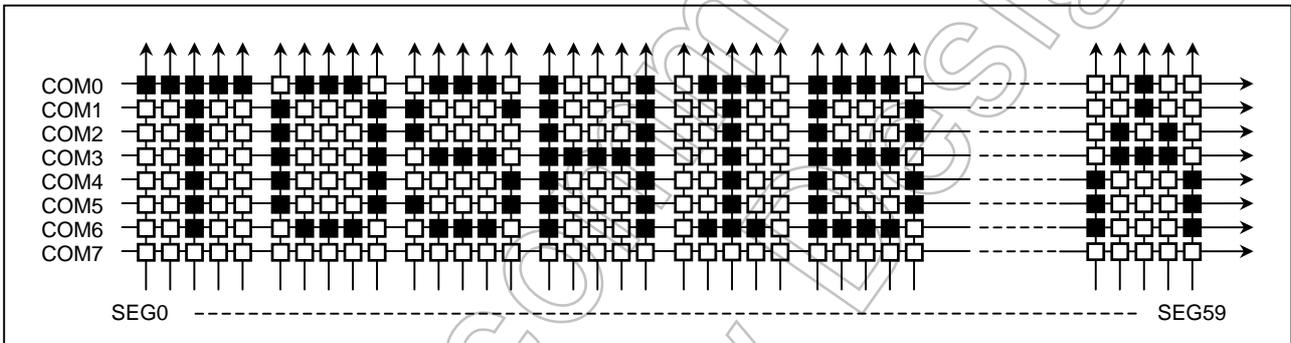


図 2.13.6 表示データ例 (1/8 デューティ)

表 2.13.3 表示データ例 (1/8 デューティ)

	DBR	SEG	HEX	DBR	SEG	SEG	SEG	SEG	SEG	SEG	SEG	HEX								
		0	1	2	3	4	5	6			7	8	9	10	11	12	13		14	15
		Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7		Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7		
COM0	0F00H	1	1	1	1	1	0	1	1	DF	0F10H	1	0	0	1	1	1	0	1	B9
COM1	0F01H	0	0	1	0	0	1	0	0	24	0F11H	0	1	1	0	0	0	1	1	C6
COM2	0F02H	0	0	1	0	0	1	0	0	24	0F12H	0	1	1	0	0	0	0	1	86
COM3	0F03H	0	0	1	0	0	1	0	0	24	0F13H	0	1	0	1	1	1	0	1	BA
COM4	0F04H	0	0	1	0	0	1	0	0	24	0F14H	0	1	0	0	0	0	1	1	C2
COM5	0F05H	0	0	1	0	0	1	0	0	24	0F15H	0	1	1	0	0	0	1	1	C6
COM6	0F06H	0	0	1	0	0	0	1	1	C4	0F16H	1	0	0	1	1	1	0	1	B9
COM7	0F07H	0	0	0	0	0	0	0	0	00	0F17H	0	0	0	0	0	0	0	0	00

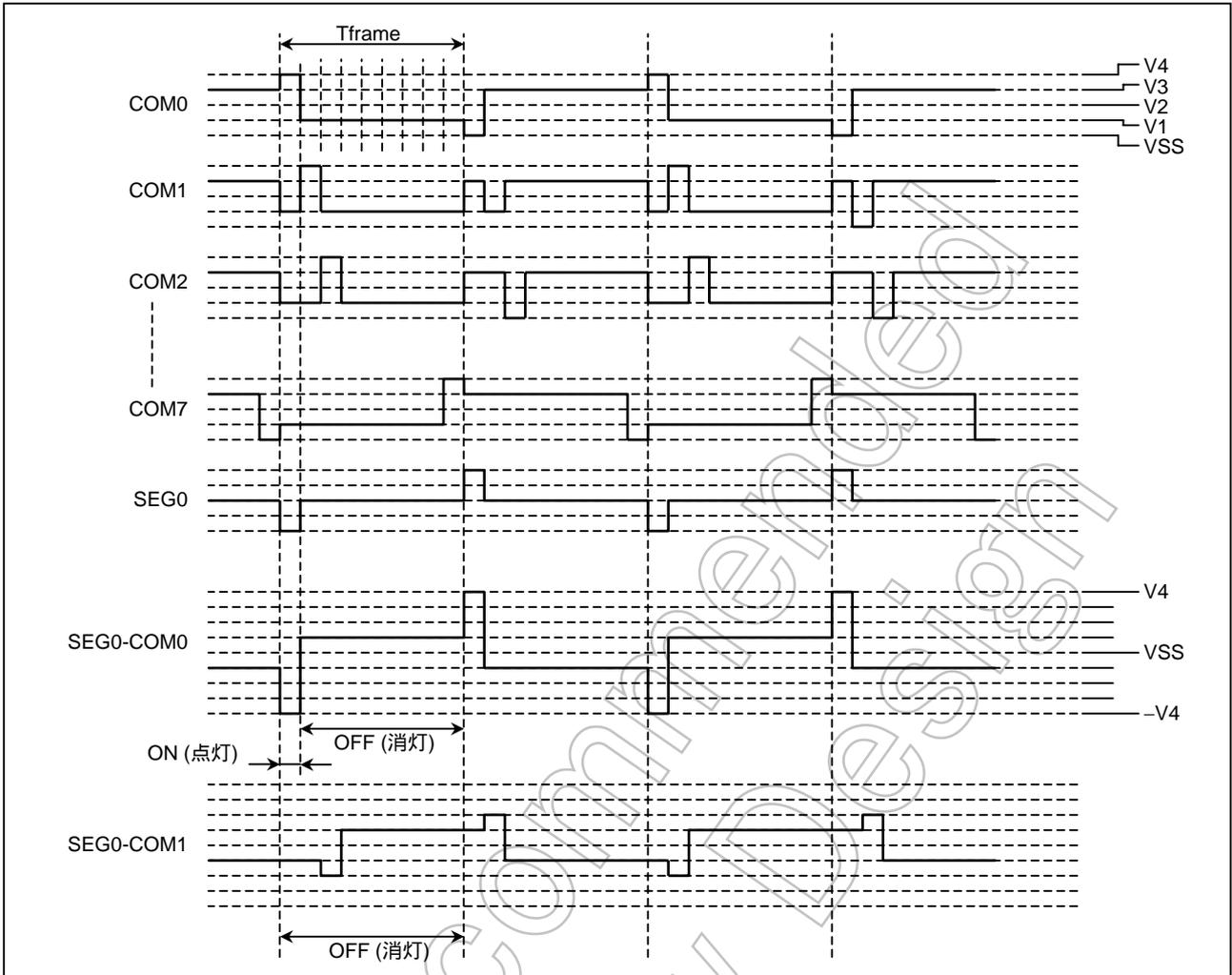


図 2.13.7 表示タイミング例 (1/8 デューティ)

例 2: 1/16 デューティの LCD を用いて、図 2.13.8 のような接続および表示を行う場合、表示データは表 2.13.4、表示タイミングは図 2.13.9 のようになります。

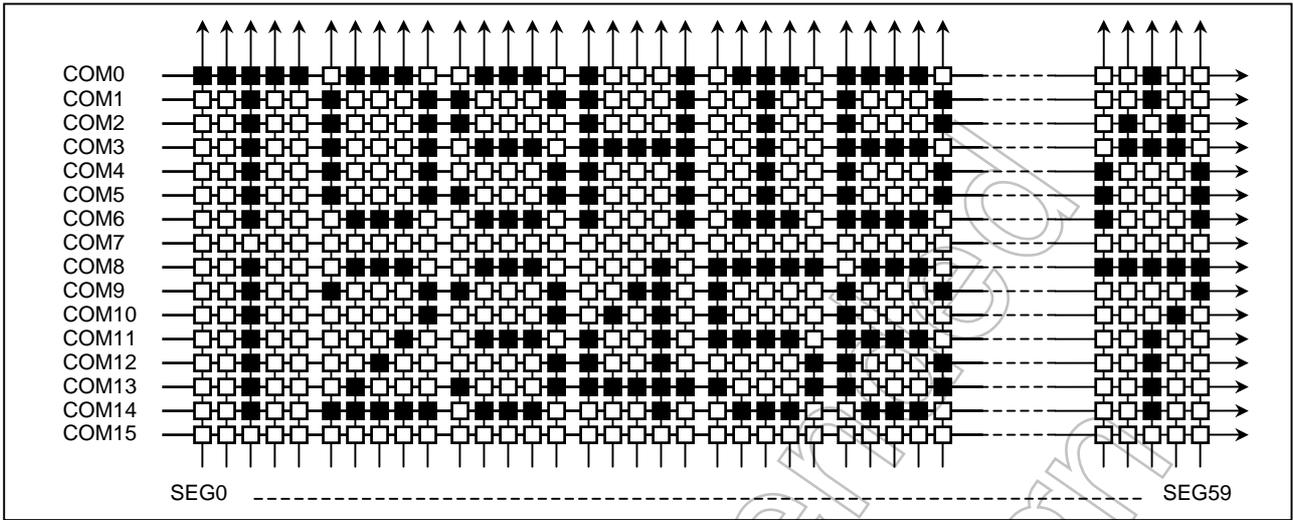


図 2.13.8 表示データ例 (1/16 デューティ)

表 2.13.4 表示データ例 (1/16 デューティ)

	DBR	SEG	HEX	DBR	SEG	HEX														
		0	1	2	3	4	5	6	7			8	9	10	11	12	13	14	15	
		Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7			Bit0	Bit1	Bit2	Bit3	Bit4	Bit5	Bit6	Bit7	
COM0	0F00H	1	1	1	1	1	0	1	1	DF	0F10H	1	0	0	1	1	1	0	1	B9
COM1	0F01H	0	0	1	0	0	1	0	0	24	0F11H	0	1	1	0	0	0	1	1	C6
COM2	0F02H	0	0	1	0	0	1	0	0	24	0F12H	0	1	1	0	0	0	0	1	86
COM3	0F03H	0	0	1	0	0	1	0	0	24	0F13H	0	1	0	1	1	1	0	1	BA
COM4	0F04H	0	0	1	0	0	1	0	0	24	0F14H	0	1	0	0	0	0	1	1	C2
COM5	0F05H	0	0	1	0	0	1	0	0	24	0F15H	0	1	1	0	0	0	1	1	C6
COM6	0F06H	0	0	1	0	0	0	1	1	C4	0F16H	1	0	0	1	1	1	0	1	B9
COM7	0F07H	0	0	0	0	0	0	0	0	00	0F17H	0	0	0	0	0	0	0	0	00
COM8	0F08H	0	0	1	0	0	0	1	1	C4	0F18H	1	0	0	1	1	1	0	0	39
COM9	0F09H	0	0	1	0	0	1	0	0	24	0F19H	0	1	1	0	0	0	1	0	46
COM10	0F0AH	0	0	1	0	0	0	0	0	04	0F1AH	0	1	0	0	0	0	1	0	42
COM11	0F0BH	0	0	1	0	0	0	0	0	04	0F1BH	1	0	0	1	1	1	0	1	B9
COM12	0F0CH	0	0	1	0	0	0	0	1	84	0F1CH	0	0	0	0	0	0	1	1	C0
COM13	0F0DH	0	0	1	0	0	0	1	0	44	0F1DH	0	0	1	0	0	0	1	1	C4
COM14	0F0EH	0	0	1	0	0	1	1	1	E4	0F1EH	1	1	0	1	1	1	0	0	3B
COM15	0F0FH	0	0	0	0	0	0	0	0	00	0F1FH	0	0	0	0	0	0	0	0	00

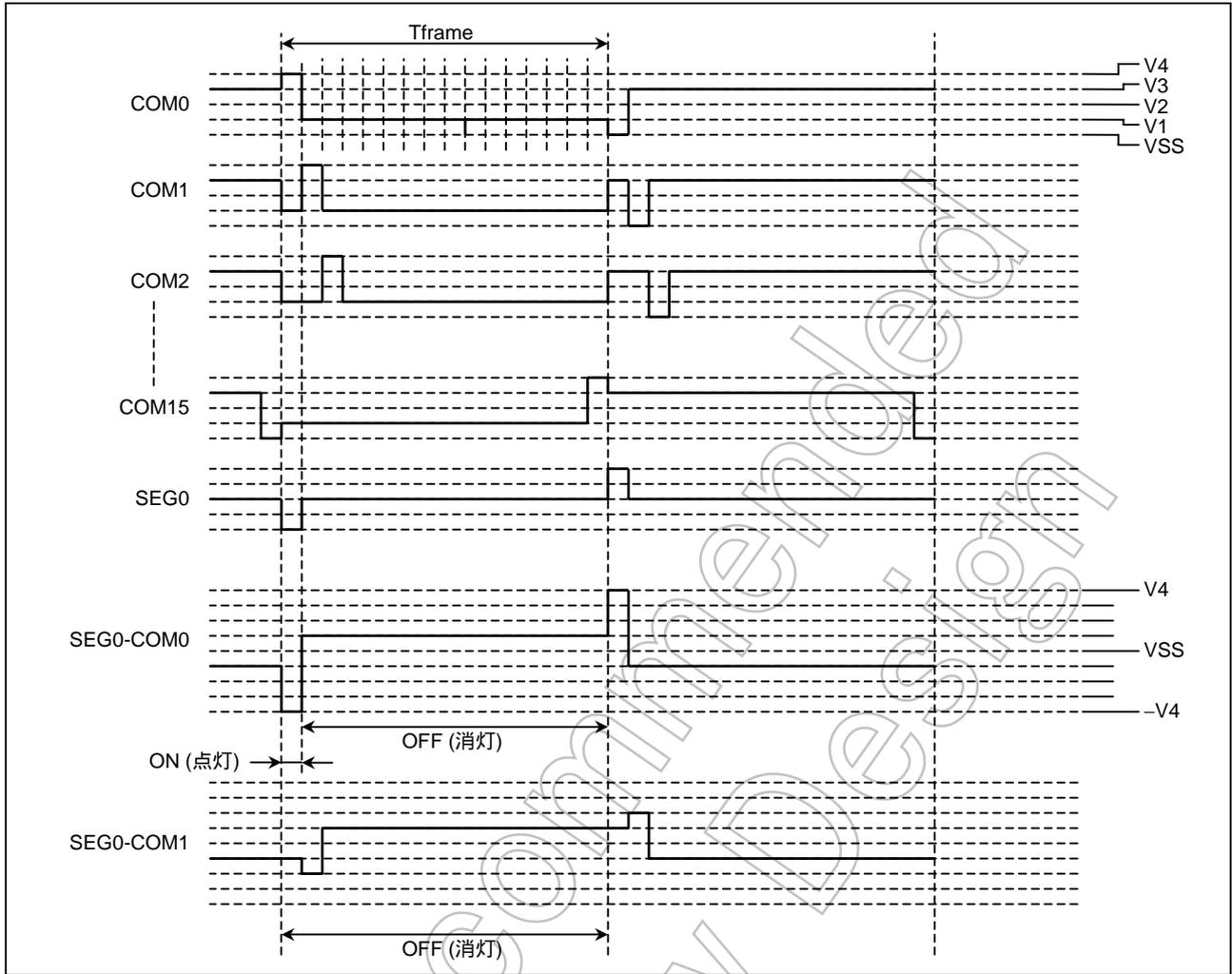


図 2.13.9 表示タイミング例 (1/16 デューティ)

Not Recommended for New

端子の入出力回路

(1) 制御端子

TMP86CM25A の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入出力		高周波発振子接続端子 $R_f = 3\text{ M}\Omega$ (Typ.) $R_O = 0.5\text{ k}\Omega$ (Typ.)
XTIN XTOUT	入出力	NORMAL1 モード	低周波発振子接続端子 $R_f = 20\text{ M}\Omega$ (Typ.) $R_O = 220\text{ k}\Omega$ (Typ.)
		NORMAL2 モード	
$\overline{\text{RESET}}$	入力		ヒステリシス入力 ブルアップ抵抗内蔵 $R_{IN} = 220\text{ k}\Omega$ (Typ.)
$\overline{\text{STOP}} / \overline{\text{INT5}}$	入力		ヒステリシス入力
TEST	入力		ヒステリシス入力 ブルダウン抵抗内蔵 $R_{IN} = 70\text{ k}$ (Typ.)

(2) 入出力ポート

制御端子	入出力	回路	備考
P1 P7	I/O	Initial "High-Z" P1LCR/P7LCR SEG/COM 出力 データ出力 出力ラッチの入力 端子入力	シンクオープンドレイン出力 ヒステリシス入力
P5	I/O	Initial "High-Z" P5LCR SEG 出力 データ出力 出力ラッチの入力 端子入力	シンクオープンドレイン出力
P2	I/O	Initial "High-Z" データ出力 出力ラッチの入力 端子入力	シンクオープンドレイン出力 ヒステリシス入力
P30 P31 P32 P33	I/O	Initial "High-Z" P3LCR SEG 出力 データ出力 出力ラッチの入力 端子入力	シンクオープンドレイン出力 ヒステリシス入力 大電流ポート(Nch)
P34 P35 P36	I/O	Initial "High-Z" P3LCR COM 出力 データ出力 出力ラッチの入力 端子入力	シンクオープンドレイン出力 ヒステリシス入力
P6	I/O	Initial "High-Z" データ出力 Disable 端子入力	トリステート入出力 ヒステリシス入力

注) P1, P3, P5, P7 ポートはシングルオープンドレイン出力ですが、LCD セグメント/コモンと兼用のため、ポートの入力電圧の絶対最大定格は $-0.3 \sim V_{DD} + 0.3$ [V] となります。

電気的特性

絶対最大定格

(V_{SS} = 0 V)

項目	記号	端子	規格	単位
電源電圧	V _{DD}		-0.3~4.0	V
入力電圧	V _{IN}		-0.3~V _{DD} + 0.3	
出力電圧	V _{OUT1}	V4 端子を除く	-0.3~V _{DD} + 0.3	
	V _{OUT2}	V4 端子	-0.3~4.0	
出力電流 (1 端子当たり)	I _{OUT1}	P6 ポート	-1.8	mA
	I _{OUT2}	P1, P2, P34~P36, P5, P6, P7 ポート	3.2	
	I _{OUT3}	P30~P33 ポート	30	
出力電流 (全端子総計)	ΣI _{OUT1}	P6 ポート	-30	
	ΣI _{OUT2}	P1, P2, P34~P36, P5, P6, P7 ポート	60	
	ΣI _{OUT3}	P30~P33 ポート	80	
消費電力 [Topr = 85°C]	PD		350	mW
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C
保存温度	T _{stg}		-55~125	
動作温度	Topr		-40~85	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V _{DD}		fc = 16 MHz	NORMAL1, 2 モード	2.7	3.6	V
				IDLE0, 1, 2 モード			
			fc = 4.2 MHz (外部クロック時)	NORMAL1, 2 モード	1.8		
				IDLE0, 1, 2 モード			
			fc = 8 MHz (自己発振時)	NORMAL1, 2 モード	1.8		
	IDLE0, 1, 2 モード						
	fs = 32.768 kHz	SLOW1, 2 モード	1.8				
		SLEEP0, 1, 2 モード					
			STOP モード				
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} 2.7 V	V _{DD} × 0.70	V _{DD}		
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75			
	V _{IH3}			V _{DD} < 2.7 V			V _{DD} × 0.90
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} 2.7 V	0			
	V _{IL2}	ヒステリシス入力					V _{DD} × 0.30
	V _{IL3}						V _{DD} < 2.7 V
					V _{DD} × 0.10		
クロック周波数 (外部クロック時)	fc	XIN, XOUT	V _{DD} = 1.8~3.6 V	1.0	4.2	MHz	
			V _{DD} = 2.7~3.6 V				16.0
	fs	XTIN, XTOUT	V _{DD} = 1.8~3.6 V	30.0	34.0	kHz	
クロック周波数 (自己発振時)	fc	XIN, XOUT	V _{DD} = 1.8~3.6 V	1.0	8.0	MHz	
			V _{DD} = 2.7~3.6 V				16.0
	fs	XTIN, XTOUT	V _{DD} = 1.8~3.6 V	30.0	34.0	kHz	
LCD 基準電源端子 電圧範囲	V _{2IN}	V2	LCDCTL1<REFV> = "1"	1.650	1.800	V	
	V _{3IN}	V3	V _{DD} < V4 (注2)	2.250	2.700		
	V _{4IN}	V4		3.000	3.600		
	V _{4IN}	V4 (注3)	LCDCTL1<REFV> = "0"	3.000	V _{DD}		
LCD 昇圧用コンデンサ	C _{LCD}			0.1	0.47	μF	

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件(電源電圧、動作温度範囲、AC/DC 規定値)から外れる動作条件で使用了場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) LCDCTL1<REFV>が"1"のときは、必ず V_{DD} < V4 となるように基準電圧を入力してください。

注3) LCDCTL1<REFV>が"0"のときは、基準電圧は必ず V4 端子から入力してください。

DC 特性

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V _{HS}	ヒステリシス入力	V _{DD} = 3.3 V	-	0.4	-	V
入力電流	I _{IN1}	TEST	V _{DD} = 3.6 V, V _{IN} = 0 V	-	-	-5	μA
	I _{IN2}	シンクオープンドレイン, トライステート	V _{DD} = 3.6 V, V _{IN} = 3.6 V/0 V	-	-	±5	
	I _{IN3}	RESET, STOP	V _{DD} = 3.6 V, V _{IN} = 3.6 V	-	-	+5	
入力抵抗	R _{IN1}	TEST プルダウン	V _{DD} = 3.6 V, V _{IN} = 3.6 V	-	70	-	kΩ
	R _{IN2}	RESET プルアップ	V _{DD} = 3.6 V, V _{IN} = 0 V	100	220	450	
高周波帰還抵抗	R _{FB}	XOUT	V _{DD} = 3.6 V	-	3	-	MΩ
低周波帰還抵抗	R _{FBT}	XTOUT	V _{DD} = 3.6 V	-	20	-	MΩ
出力リーク電流	I _{LO}	シンクオープンドレイン, トライステート	V _{DD} = 3.6 V V _{OUT} = 3.4 V/0.2 V	-	-	±10	μA
高レベル出力電圧	V _{OH}	C-MOS, トライステート	V _{DD} = 3.6 V, I _{OH} = -0.6 mA	3.2	-	-	V
低レベル出力電圧	V _{OL}	XOUT, P30~P33 ポートを 除く	V _{DD} = 3.6 V, I _{OL} = 0.9 mA	-	-	0.4	
低レベル出力電流	I _{OL}	P30~P33 ポート	V _{DD} = 3.6 V, V _{OL} = 1.0 V	-	6	-	mA
NORMAL1, 2 モード時電源電流	I _{DD}		V _{DD} = 3.6 V V _{IN} = 3.4 V/0.2 V fc = 16 MHz fs = 32.768 kHz	-	3.8	4.6	
IDLE0, 1, 2 モード時電源電流				-	2.4	2.8	
SLOW1 モード時電源電流				-	9	20	
SLEEP1 モード時 電源電流				-	6	16	
SLEEP0 モード時 電源電流				-	5	15	
STOP モード時 電源電流			V _{DD} = 3.6 V V _{IN} = 3.4 V/0.2 V	-	0.5	10	μA

注 1) Typ. 値は条件に指定のない限り、Topr = 25°C, V_{DD} = 3.3 V 時の値を示します。

注 2) 入力電流 I_{IN1}, I_{IN2}: プルアップまたはプルダウン抵抗による電流を除きます。

注 3) I_{DD} は、I_{REF} 電流を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, IDLE1, IDLE2 モードと同等です。

AD 変換特性

(V_{SS} = 0.0 V, 2.7 V V_{DD} = 3.6 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V _{AREF}		V _{DD} - 1.0	-	V _{DD}	V
アナログ基準電源電圧範囲 (注 4)	ΔV _{AREF}		2.5	-	-	
アナログ入力電圧範囲	V _{AIN}		V _{SS}	-	V _{AREF}	
アナログ基準電源電流	I _{REF}	V _{DD} = V _{AREF} = 3.6 V V _{SS} = 0.0 V	-	0.4	-	mA
非直線性誤差		V _{DD} = 2.7 V V _{SS} = 0.0 V V _{AREF} = 2.7 V	-	-	±1	LSB
ゼロ誤差			-	-	±1	
フルスケール誤差			-	-	±1	
総合誤差			-	-	±2	

(V_{SS} = 0.0 V, 2.0 V V_{DD} < 2.7 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V _{AREF}		V _{DD} - 0.6	-	V _{DD}	V
アナログ基準電源電圧範囲 (注 4)	ΔV _{AREF}		2.0	-	-	
アナログ入力電圧範囲	V _{AIN}		V _{SS}	-	V _{AREF}	
アナログ基準電源電流	I _{REF}	V _{DD} = V _{AREF} = 2.0V V _{SS} = 0.0 V	-	0.22	-	mA
非直線性誤差		V _{DD} = 2.0 V V _{SS} = 0.0 V V _{AREF} = 2.0 V	-	-	±1	LSB
ゼロ誤差			-	-	±1	
フルスケール誤差			-	-	±1	
総合誤差			-	-	±2	

(V_{SS} = 0.0 V, 1.8 V V_{DD} < 2.0 V, Topr = -10~85°C) (注 5)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V _{AREF}		V _{DD} - 0.1	-	V _{DD}	V
アナログ基準電源電圧範囲 (注 4)	ΔV _{AREF}		1.8	-	-	
アナログ入力電圧範囲	V _{AIN}		V _{SS}	-	V _{AREF}	
アナログ基準電源電流	I _{REF}	V _{DD} = V _{AREF} = 1.8V V _{SS} = 0.0 V	-	0.2	-	mA
非直線性誤差		V _{DD} = 1.8 V V _{SS} = 0.0 V V _{AREF} = 1.8 V	-	-	±2	LSB
ゼロ誤差			-	-	±2	
フルスケール誤差			-	-	±2	
総合誤差			-	-	±4	

注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) 変換時間は電源電圧範囲によって推奨値が異なります。

注 3) AIN 入力端子への入力電圧は VAREF~VSS 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、ほかのチャネルの変換値にも影響を与えます。

注 4) アナログ基準電源電圧範囲: ΔVAREF = VAREF - VSS

注 5) VDD = 2.0 V 未満で AD を使用する場合、温度保証範囲が異なります。

AC 特性

(V_{SS} = 0 V, V_{DD} = 2.7~3.6 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.25	-	4	μs
		IDLE1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP1, 2 モード時				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN 入力)	-	31.25	-	ns
低レベルクロックパルス幅	twcL	fc = 16 MHz 時	-	-	-	-
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	twcL	fs = 32.768 kHz 時	-	-	-	-

(V_{SS} = 0 V, V_{DD} = 1.8~3.6 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード	0.5	-	4	μs
		IDLE1, 2 モード				
		SLOW1, 2 モード	117.6	-	133.3	
		SLEEP1, 2 モード				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN 入力)	-	119.04	-	ns
低レベルクロックパルス幅	twcL	fc = 4.2 MHz 時	-	-	-	-
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	twcL	fs = 32.768 kHz 時	-	-	-	-

タイマカウンタ 1 入力 (ECIN) 特性

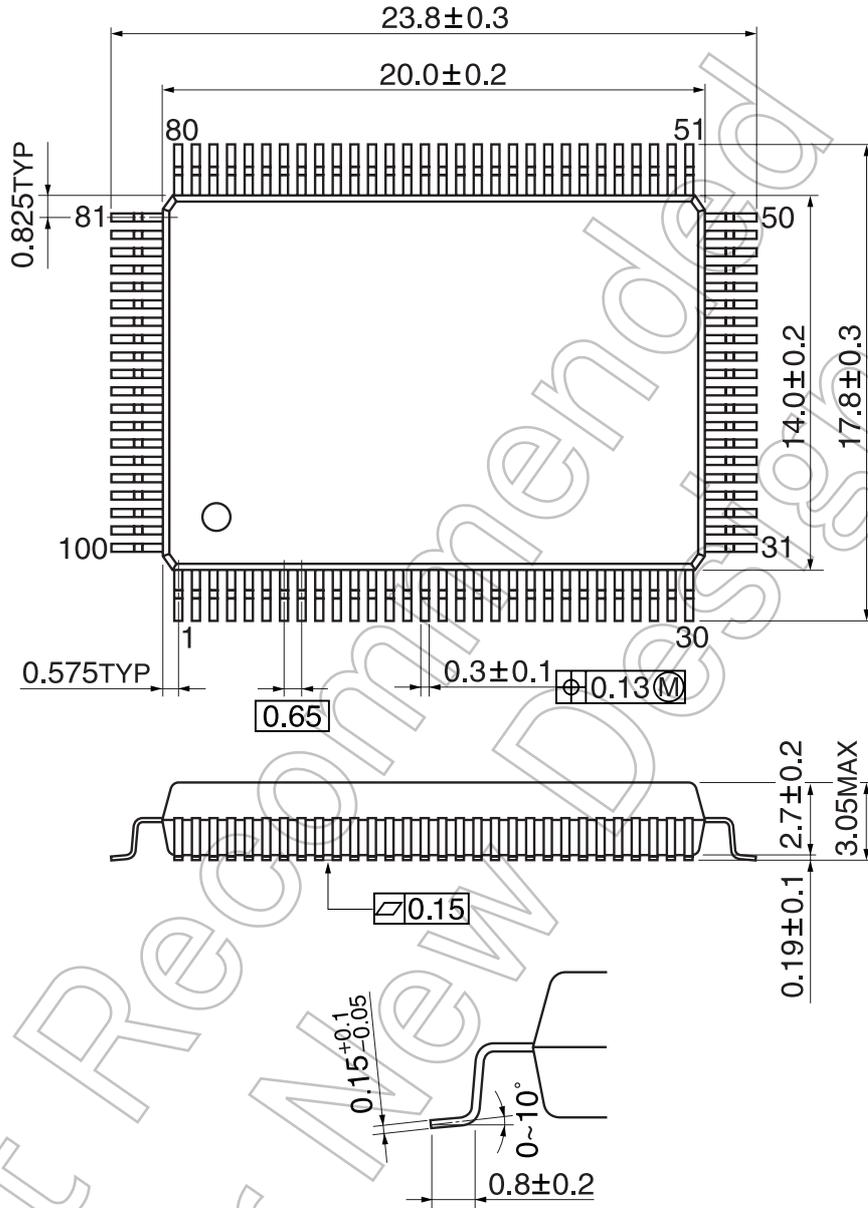
(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
TC1 入力 (ECIN 入力)	trc1	周波数測定モード V _{DD} = 2.7~3.6 V	-	-	0.5	MHz
		周波数測定モード V _{DD} = 1.8~2.7 V	-	-	0.25	

パッケージ外形寸法図

P-QFP100-1420-0.65A

Unit: mm



Not Recommended for New Design

Not Recommended
for New Design