

TOSHIBA

16 ビットマイクロコントローラ
TLCS-900/L1 シリーズ

TMP91CW60FG
TMP91CW60DFG

Revision 1.0

株式会社 **東芝** セミコンダクター社

まえがき

東芝マイクロコンピュータ LSI および開発支援システムをご利用いただき誠にありがとうございます。

最近の市場では応用機器の軽薄短小化に伴いシステムの簡素化とコストダウンを強く要求されてきておりシステムの周辺 I/O のワンチップ化および高速処理能力を持ったマイコンが要求されています。当社オリジナルのマイクロコントローラ群は、このようなニーズに合った最適なマイクロコントローラとして開発したシリーズです。

当社では民生用から産業用まで幅広い分野にご利用いただける各種のマイクロコンピュータ LSI 群を用意しています。当社オリジナルマイクロコントローラは多機能 I/O、大容量のプログラムエリア、およびデータエリアを持っています。

本書は、このうち TMP91CW60 について、そのシステムアーキテクチャ、電気的特性、外形寸法などについて記述したものです。

当社では最新のマイクロコントローラファミリを用意し、いかなるシステムからの要求にもお応えできるよう、今後ともさらに改良を加えていく所存ですので機器の設計に際しては、東芝マイクロコンピュータ製品群の中からご採用をご検討くださいますようお願い申し上げます。

2007年11月29日

Not Recommended
for New Design

改訂履歴

改訂日付	版	改訂内容
2007年11月29日	1.0	初版

Not Recommended
for New Design

CMOS 16 ビット マイクロコントローラ

TMP91CW60FG/DFG

製品形名	ROM (Flash ROM)	RAM	パッケージ
TMP91CW60FG	128K バイト	8K バイト	LQFP100-P-1414-0.50F
TMP91CW60DFG			QFP100-P-1420-0.65A

1.1 特長

- オリジナル 16 ビット CPU(900/L1 CPU 使用)
 - TLCS-900,900/H,900/L と命令ニモニックで完全互換
 - 16M バイトのリニアアドレス空間
 - 汎用レジスタ&レジスタバンク方式
 - 16 ビット乗除算命令、ビット転送/演算命令
 - マイクロ DMA:4 チャンネル (800ns/2 バイト (20MHz 時))
- 最小命令実行時間 :200ns(20MHz 時)
- 内蔵メモリ
 - ROM:128K バイト
 - RAM:8K バイト
- 外部メモリ拡張
 - 16M バイト (プログラム/データ共通) まで拡張可能
 - 外部データバス 8/16 ビット幅共存可能

ダイナミックデータバスサイジング
- 8 ビットタイマ :6 チャンネル
- 16 ビットタイマ :5 チャンネル
- 汎用シリアルインタフェース :5 チャンネル
 - UART/同期両モード対応 :3 チャンネル
 - I²C バスモード (マルチマスタ) 対応 :2 チャンネル
- 10 ビット AD コンバータ (サンプルホールド回路内蔵):16 チャンネル
- 時計用タイマ
- ウォッチドッグタイマ
- チップセレクト/ウェイトコントローラ :4 チャンネル

本製品は、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash[®] 技術を使用しています。Super Flash[®] は SST 社の登録商標です。

当社半導体製品取り扱い上のお願い

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 “特定用途” という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問い合わせください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

- プログラム訂正機能 :6 バンク
- 割り込み機能 :57 要因
 - CPU 9 要因 ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 36 要因 7 レベルの優先順位の設定が可能
 - 外部 12 要因 7 レベルの優先順位の設定が可能 (1 本はエッジ極性選択可能)
- 入出力ポート :83 端子
- スタンバイ機能 :3 種類の HALT モード (プログラマブル IDLE2, IDLE1, STOP)
- クロック制御機能
 - クロックギア機能 : 高周波クロック $f_c \sim f_c/16$ まで切り替え可能
 - 時計用クロック ($f_s=32.768\text{kHz}$)
- 動作電圧
 - > $V_{cc}=4.5\text{ V}\sim 5.5\text{ V}$ ($f_c \text{ max} = 20\text{MHz}$)
- パッケージ
 - LQFP100-P-1414-0.50F (TMP91CW60FG)
 - QFP100-P-1420-0.65A (TMP91CW60DFG)

Not Recommended
for New Design

1.2 ピン配置図

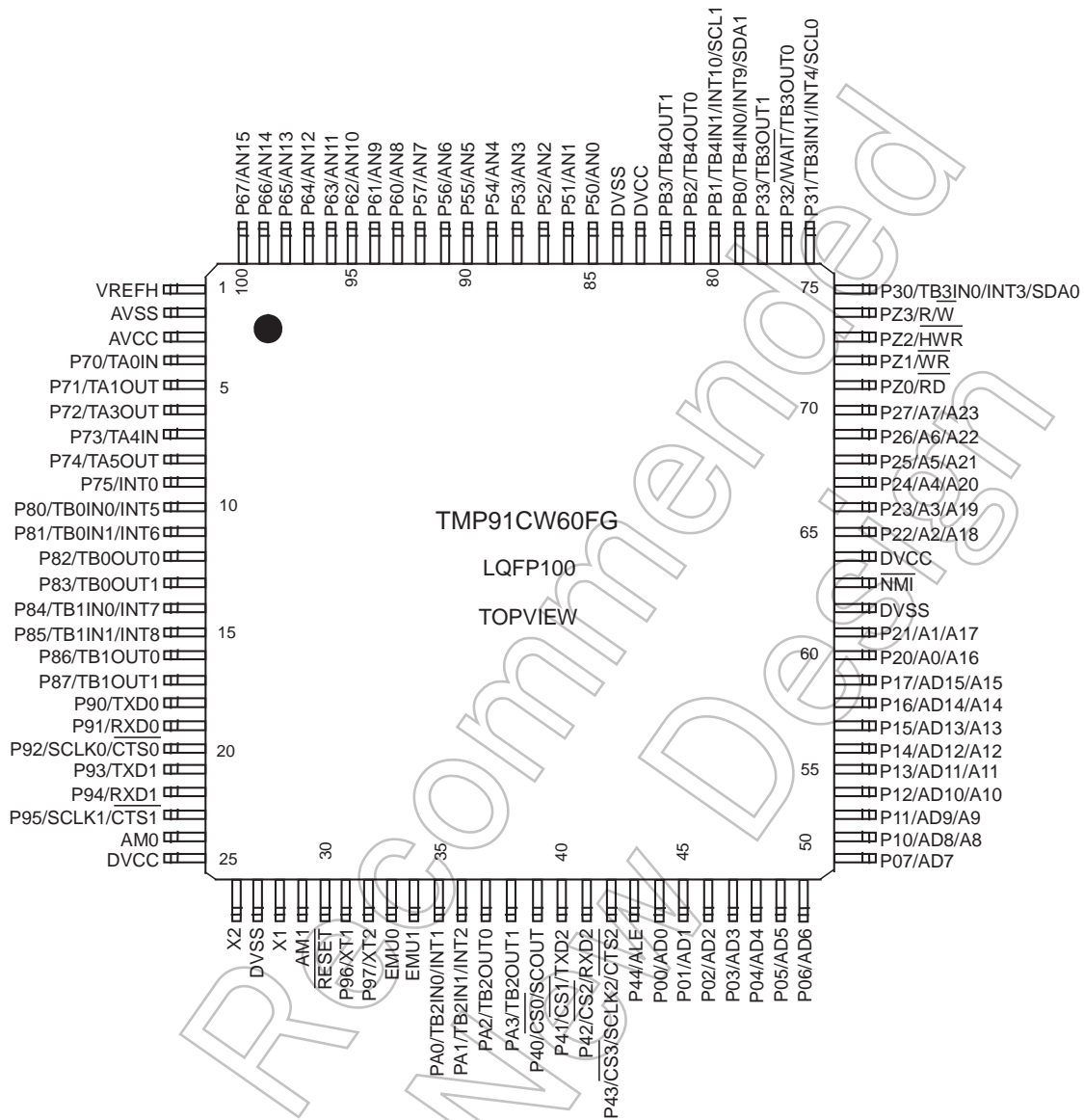


図 1-1 ピン配置図 (TMP91CW60FG)

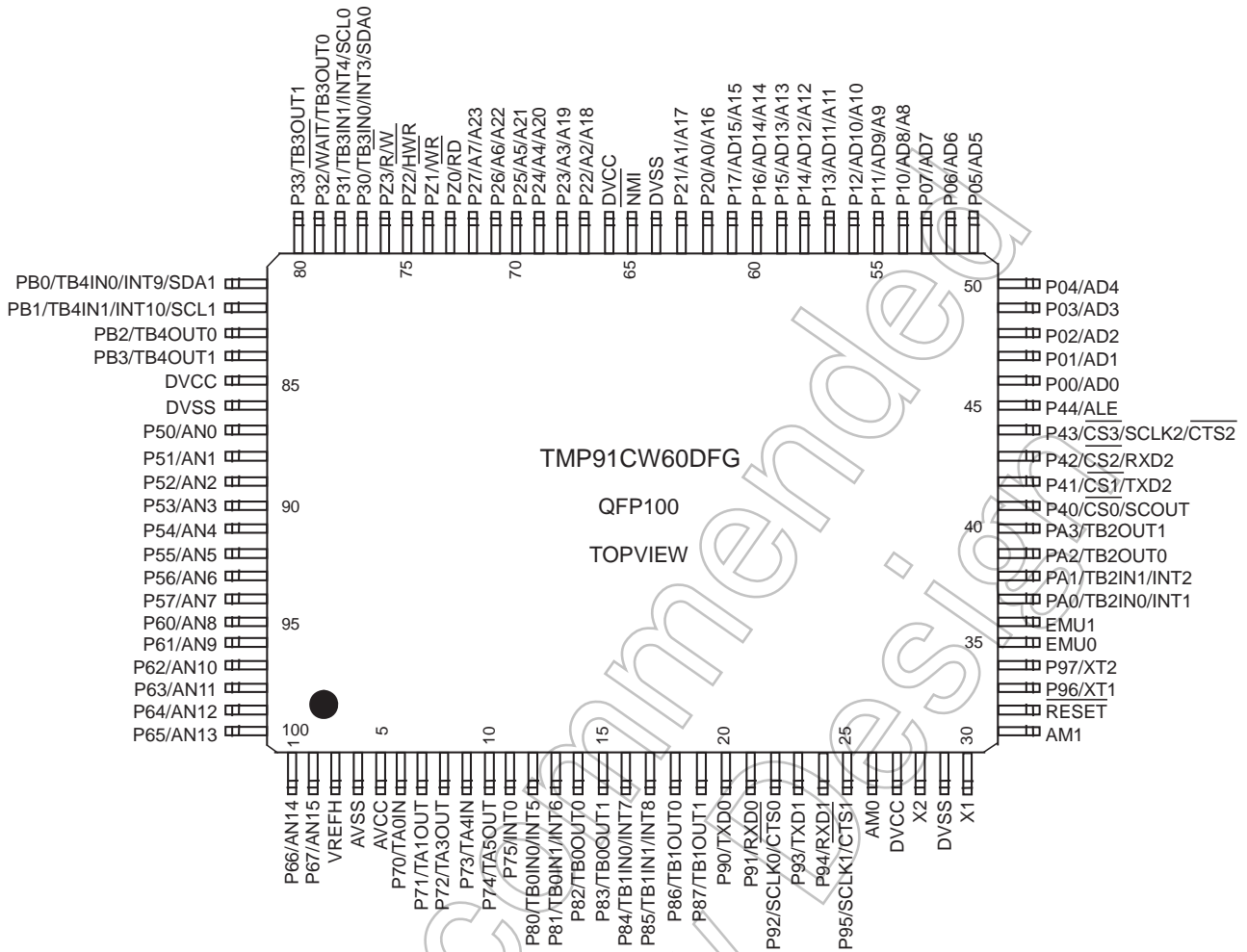


図 1-2 ピン配置図 (TMP91CW60DFG)

1.3 ブロック図

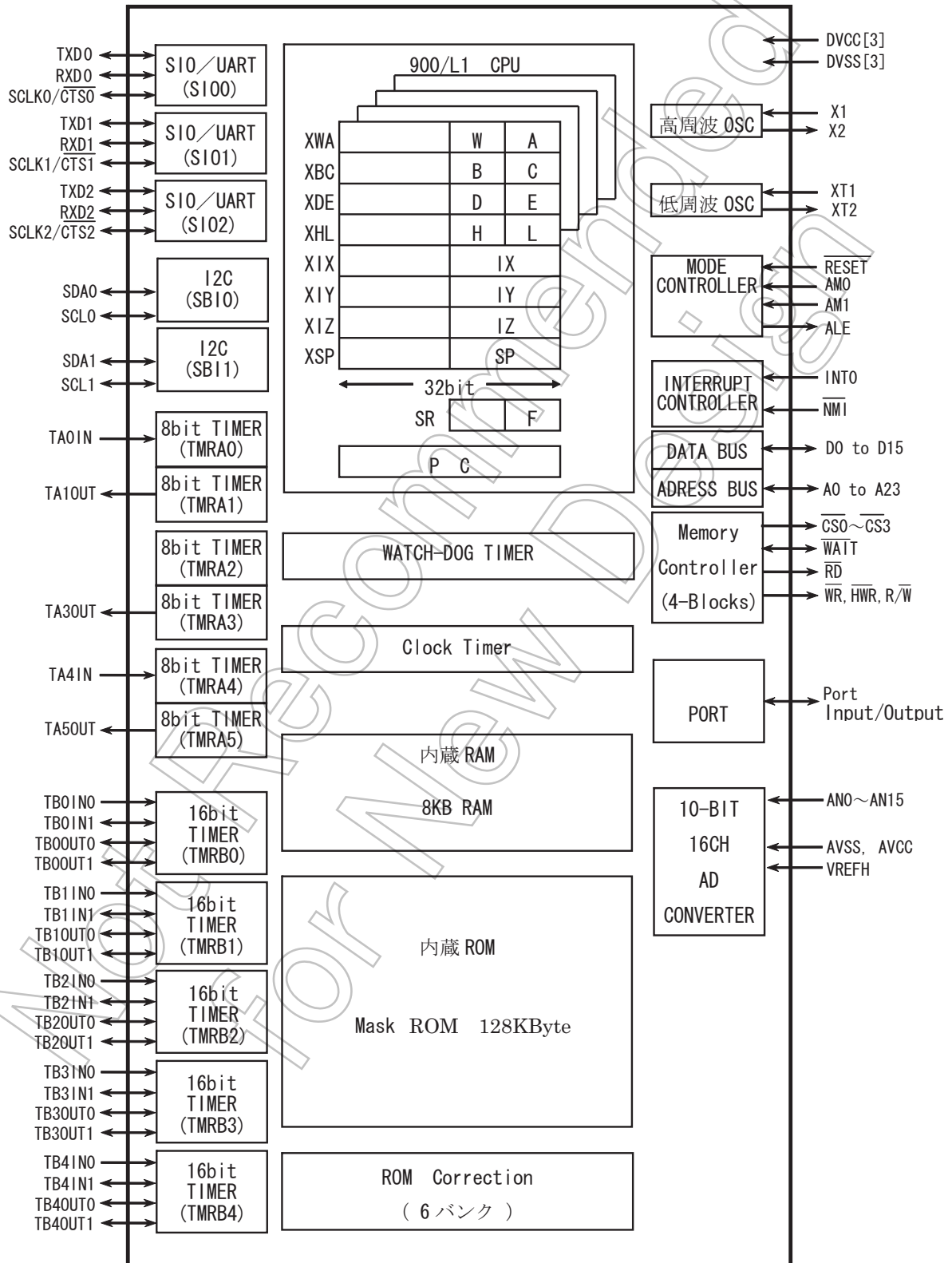


図 1-3 ブロック図

1.4 端子機能

表 1-1 端子機能表 (1 / 3)

端子名	ピン数	入出力	機能
P00-P07 AD0-AD7	8	IO IO	ポート 0: ビット単位で入出力の設定が出来る入出力ポートです。 アドレスデータ (下位): アドレス / データバス 0-7 です。
P10-P17 AD8-AD15 A8-A15	8	IO IO O	ポート 1: ビット単位で入出力の設定が出来る入出力ポートです。 アドレスデータ (上位): アドレス / データバス 8-15 です。 アドレス: アドレスバス 8-15 です。
P20-P27 A0-A7 A16-A23	8	IO O O	ポート 2: ビット単位で入出力の設定が出来る入出力ポートです。 アドレス: アドレスバス 0-7 です。 アドレス: アドレスバス 16-23 です。
PZ0 RD	1	O O	ポート Z0: 出力専用ポートです。 リード: 外部メモリをリードするためのストロブ信号です。
PZ1 WR	1	O O	ポート Z1: 出力専用ポートです。 ライト: AD0-AD7 端子のデータをライトするためのストロブ信号です。
PZ2 HWR	1	IO O	ポート Z2: 入出力ポートです。(ブルアップ付き) 上位ライト: AD8-AD15 端子のデータをライトするためのストロブ信号です。
PZ3 R/W	1	IO O	ポート Z3: 入出力ポートです。(ブルアップ付き) リード / ライト: "1" でリード / ダミーサイクル, "0" でライトサイクルを示します。
P30 TB3IN0 INT3 SDA0	1	IO I I IO	ポート 30: 入出力ポートです。 16bit タイマ 3 入力 0: 16bit タイマ 3 のカウント / キャプチャトリガ入力になります。 割り込み要求端子 3: 割り込み要求端子です。(立上がり / 立下りエッジ) シリアルバスインタフェース 0 のデータ送受信端子です。
P31 TB3IN1 INT4 SCL0	1	IO I I IO	ポート 31: 入出力ポートです。 16bit タイマ 3 入力 1: 16bit タイマ 3 のカウント / キャプチャトリガ入力になります。 割り込み要求端子 4: 割り込み要求端子です。(立上がりエッジ) シリアルバスインタフェース 0 のクロック入出力です。
P32 WAIT TB3OUT0	1	IO I O	ポート 32: 入出力ポートです。 ウェイト: CPU へのバスウェイト要求端子です。(1+n WAIT モード) 16bit タイマ 3 出力 0: 16bit タイマ 3 の出力端子です。
P33 TB3OUT1	1	IO O	ポート 33: 入出力ポートです。 16bit タイマ 3 出力 1: 16bit タイマ 3 の出力端子です。
P40 CS0 SCOUT	1	IO O O	ポート 40: 入出力ポートです。(ブルアップ付き) チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力します。 システムクロック出力: f _{sys} または fs を出力します。
P41 CS1 TXD2	1	IO O O	ポート 41: 入出力ポートです。(ブルアップ付き) チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力します。 シリアル送信データ 2: シリアルチャネル 2 のデータ出力端子です。
P42 CS2 RXD2	1	IO O I	ポート 42: 入出力ポートです。(ブルアップ付き) チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力します。 シリアル受信データ 2: シリアルチャネル 2 のデータ入力端子です。
P43 CS3 SCLK2 CTS2	1	IO O IO I	ポート 43: 入出力ポートです。(ブルアップ付き) チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力します。 シリアルクロック 2: シリアルチャネル 2 のクロック入出力端子です。 シリアルデータ送信可能 2 (Clear to send)
P44 ALE	1	IO O	ポート 44: 入出力ポートです。(ブルアップ付き) アドレスラッチイネーブル端子です。

表 1-1 端子機能表 (2 / 3)

端子名	ピン数	入出力	機能
P50-57 AN0-AN7	8	IO I	ポート 5: 入出力ポートです。 アナログ入力 :AD コンバータの入力 0-7 です。
P60-67 AN8-AN15	8	IO I	ポート 6: 入出力ポートです。 アナログ入力 :AD コンバータの入力 8-15 です。
P70 TA0IN	1	IO I	ポート 70: 入出力ポートです。 8bit タイマ 0 入力 : タイマ 0 の入力端子です。
P71 TA1OUT	1	IO O	ポート 71: 入出力ポートです。 8bit タイマ 1 出力 : タイマ 0 またはタイマ 1 の出力端子です。
P72 TA3OUT	1	IO O	ポート 72: 入出力ポートです。 8bit タイマ 3 出力 : タイマ 2 またはタイマ 3 の出力端子です。
P73 TA4IN	1	IO I	ポート 73: 入出力ポートです。 8bit タイマ 4 入力 : タイマ 4 の入力端子です。
P74 TA5OUT	1	IO O	ポート 74: 入出力ポートです。 8bit タイマ 5 出力 : タイマ 4 またはタイマ 5 の出力端子です。
P75 INT0	1	IO I	ポート 75: 入出力ポートです。 割り込み要求端子 0: 割り込み要求端子です。(レベル、立上がり/立下りエッジ)
P80 TB0IN0 INT5	1	IO I I	ポート 80: 入出力ポートです。 16bit タイマ 0 入力 0:16bit タイマ 0 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 5: 割り込み要求端子です。(立上がり/立下りエッジ)
P81 TB0IN1 INT6	1	IO I I	ポート 81: 入出力ポートです。 16bit タイマ 0 入力 1:16bit タイマ 0 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 6: 割り込み要求端子です。(立上がりエッジ)
P82 TB0OUT0	1	IO O	ポート 82: 入出力ポートです。 16bit タイマ 0 出力 0:16bit タイマ 0 の出力端子です。
P83 TB0OUT1	1	IO O	ポート 83: 入出力ポートです。 16bit タイマ 0 出力 1:16bit タイマ 0 の出力端子です。
P84 TB1IN0 INT7	1	IO I I	ポート 84: 入出力ポートです。 16bit タイマ 1 入力 0:16bit タイマ 1 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 7: 割り込み要求端子です。(立上がり/立下りエッジ)
P85 TB1IN1 INT8	1	IO I I	ポート 85: 入出力ポートです。 16bit タイマ 1 入力 1:16bit タイマ 1 のカウント/キャプチャトリガ入力になります。 割り込み要求端子 8: 割り込み要求端子です。(立上がりエッジ)
P86 TB1OUT0	1	IO O	ポート 86: 入出力ポートです。 16bit タイマ 1 出力 0:16bit タイマ 1 の出力端子です。
P87 TB1OUT1	1	IO O	ポート 87: 入出力ポートです。 16bit タイマ 1 出力 1:16bit タイマ 1 の出力端子です。
P90 TXD0	1	IO O	ポート 90: 入出力ポートです。 シリアル送信データ 0: シリアルチャンネル 0 のデータ出力端子です。
P91 RXD0	1	IO I	ポート 91: 入出力ポートです。 シリアル受信データ 0: シリアルチャンネル 0 のデータ入力端子です。
P92 SCLK0 CTS0	1	IO IO I	ポート 92: 入出力ポートです。 シリアルクロック 0: シリアルチャンネル 0 のクロック入出力端子です。 シリアルデータ送信可能 0(Clear to send)
P93 TXD1	1	IO O	ポート 93: 入出力ポートです。 シリアル送信データ 1: シリアルチャンネル 1 のデータ出力端子です。

表 1-1 端子機能表 (3 / 3)

端子名	ピン数	入出力	機能
P94 RXD1	1	IO I	ポート 94: 入出力ポートです。 シリアル受信データ 1: シリアルチャンネル 1 のデータ入力端子です。
P95 SCLK1 CTS1	1	IO IO I	ポート 95: 入出力ポートです。 シリアルクロック 1: シリアルチャンネル 1 のクロック入出力端子です。 シリアルデータ送信可能 1(Clear to send)
P96 XT1	1	IO I	ポート 96: 入出力ポートです。 低周波発振器接続端子です。
P97 XT2	1	IO O	ポート 97: 入出力ポートです。 低周波発振器接続端子です。
PA0 TB2IN0 INT1	1	IO I I	ポート A0: 入出力ポートです。 16bit タイマ 2 入力 0: 16bit タイマ 2 のカウント / キャプチャトリガ入力になります。 割り込み要求端子 1: 割り込み要求端子です。(立上がり / 立下りエッジ)
PA1 TB2IN1 INT2	1	IO I I	ポート A1: 入出力ポートです。 16bit タイマ 2 入力 1: 16bit タイマ 2 のカウント / キャプチャトリガ入力になります。 割り込み要求端子 2: 割り込み要求端子です。(立上がりエッジ)
PA2 TB2OUT0	1	IO O	ポート A2: 入出力ポートです。 16bit タイマ 2 出力 0: 16bit タイマ 2 の出力端子です。
PA3 TB2OUT1	1	IO O	ポート A3: 入出力ポートです。 16bit タイマ 2 出力 1: 16bit タイマ 2 の出力端子です。
PB0 TB4IN0 INT9 SDA1	1	IO I I IO	ポート B0: 入出力ポートです。 16bit タイマ 4 入力 0: 16bit タイマ 4 のカウント / キャプチャトリガ入力になります。 割り込み要求端子 9: 割り込み要求端子です。(立上がり / 立下りエッジ) シリアルバスインタフェース 1 のデータ送受信端子です。
PB1 TB4IN1 INT10 SCL1	1	IO I I IO	ポート B1: 入出力ポートです。 16bit タイマ 4 入力 1: 16bit タイマ 4 のカウント / キャプチャトリガ入力になります。 割り込み要求端子 10: 割り込み要求端子です。(立上がりエッジ) シリアルバスインタフェース 1 のクロック入出力です。
PB2 TB4OUT0	1	IO O	ポート B2: 入出力ポートです。 16bit タイマ 4 出力 0: 16bit タイマ 4 の出力端子です。
PB3 TB4OUT1	1	IO O	ポート B3: 入出力ポートです。 16bit タイマ 4 出力 1: 16bit タイマ 4 の出力端子です。
$\overline{\text{NMI}}$	1	I	ノンマスク割り込み要求端子です。(立上がり / 立下りエッジ)
AM0-1	2	I	動作モード : AM1="1", AM0="1" に固定してください。
EMU0-1	2	O	"開放" してください。
RESET	1	I	リセット : LSI を初期化します。(プルアップ付き)
VREFH	1	I	AD コンバータ用基準電源入力端子です。
AVCC	1		AD コンバータ電源端子です。
AVSS	1		AD コンバータ GND 端子です。(0V)
X1/X2	2	IO	発振器接続端子
DVCC	3		電源端子 (全 DVCC 端子を電源に接続してください)
DVSS	3		GND 端子 (全 DVSS 端子を GND(0V) に接続してください)

注) 内蔵プルアップ抵抗付きの全端子 ($\overline{\text{RESET}}$ 端子を除く) は、ソフトウェアによって内蔵プルアップ抵抗を切断することが可能です。

第2章 CPU

TMP91CW60には、高性能な16ビットCPU(900/L1 CPU)が内蔵されています。CPUの動作については、"TLCS-900/L1 CPU"を参照してください。

ここでは、"TLCS-900/L1 CPU"にて説明されていないTMP91CW60独自のCPU機能について説明します。

2.1 リセット動作

TMP91CW60にリセットをかけるには、電源電圧が動作範囲内であり、内部高周波発振器の発振が安定した状態で少なくとも10システムクロック間(20MHzクロック発振時で1us)、RESET入力を"Low"レベルにしてください。また、電源投入時はRESET入力が"Low"レベルで、電源電圧が動作範囲内になり、内部高周波発振器の発振が安定した状態で少なくとも10システムクロック間、RESET入力の"Low"レベルを保持してください。なお、リセット動作にてシステムクロック f_{SYS} は $fc/2$ となります。

リセットが受け付けられると、CPUは、

- ◆プログラムカウンタPCをアドレスFFFF00H-FFFF02Hに格納されているリセットベクタに従いセット

- PC(7:0) ← アドレスFFFF00Hの値
- PC(15:8) ← アドレスFFFF01Hの値
- PC(23:16) ← アドレスFFFF02Hの値

- ◆スタックポインタXSPを100Hにセット

- ◆ステータスレジスタSRのIFF2-IFF0ビットを"111"にセット(割り込みレベルのマスクレジスタをレベル7にセット)

- ◆ステータスレジスタSRのMAXビットを"1"にセット(マキシマムモードにセット)

- ◆ステータスレジスタSRのRFP2 RFP0ビットを"000"にクリア(レジスタバンクを0にセット)

を行い、リセットが解除されると、セットされたPCに従い命令の実行を開始します。なお、上記以外のCPU内部のレジスタは変化しません。

また、リセットが受け付けられると、内蔵I/Oおよびポート、その他の端子は、下記のとおりとなります。

- ◆内蔵I/Oのレジスタを初期化
- ◆ポート端子(内蔵I/O用にも使える兼用端子を含む)を、汎用入力ポートまたは汎用出力ポートのモードにセット
- ◆ALE端子を"ハイインピーダンス"にセット

注1) リセット動作により、CPUのPC、SR、XSP以外のレジスタ、内蔵RAMのデータは変化しません。

注2) スタックポインタXSPはユーザプログラムにより再設定する必要があります。

図2-1にTMP91CW60のリセットタイミングチャートを示します。

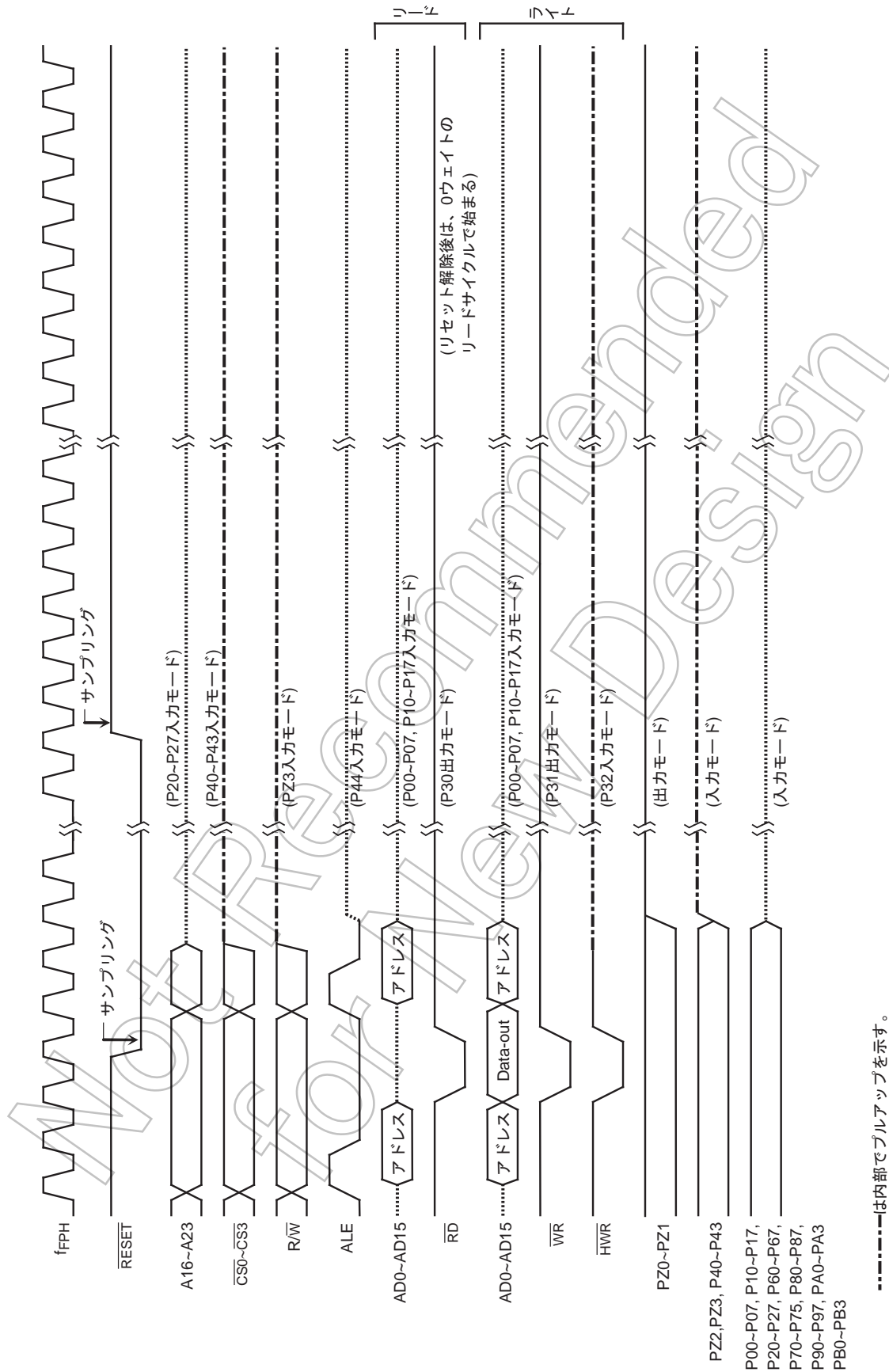


図 2-1 TMP91CW60 リセットタイミングチャート

2.2 メモリマップ

図 2-2 に TMP91CW60 のメモリマップを示します。

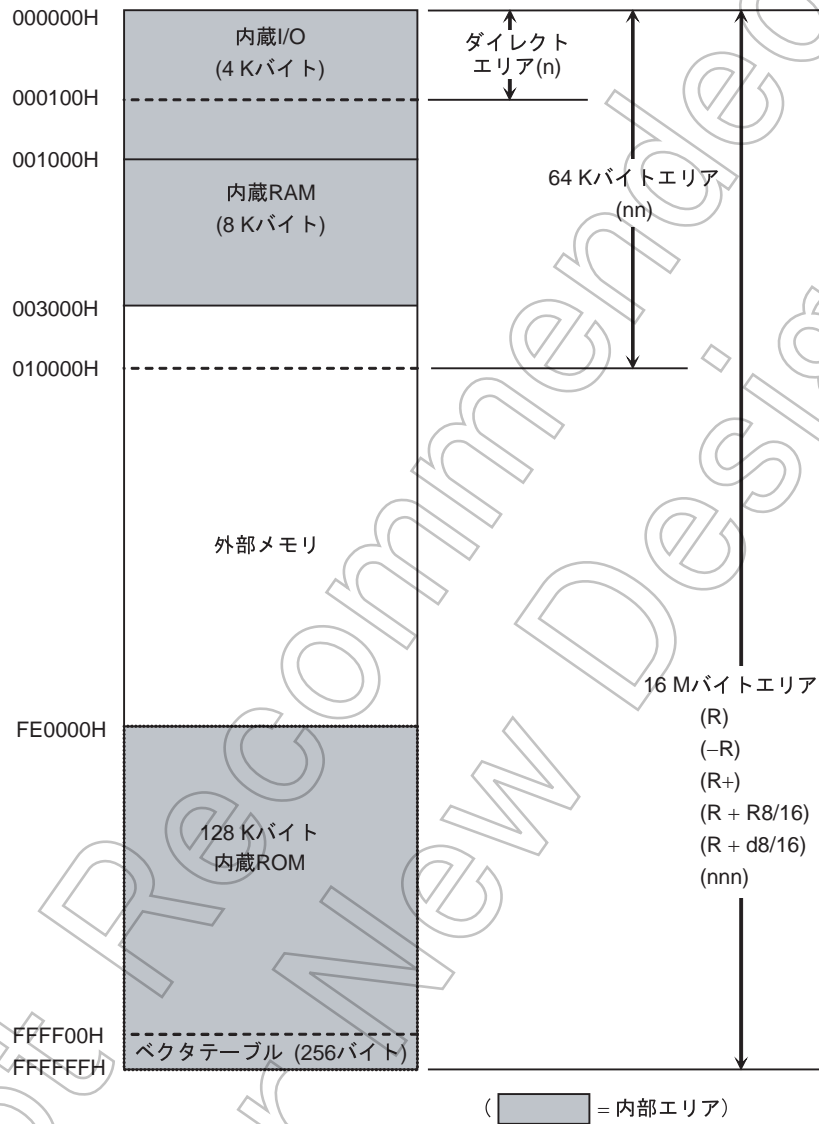


図 2-2 TMP91CW60 メモリマップ

2.3 システムクロック / スタンバイ制御、ノイズ低減機能

TMP91CW60 には、低消費電力、低ノイズ化のためにスタンバイ制御回路、ノイズ低減回路などを内蔵しています。

クロックの動作モードとしては、シングルクロックモード (X1, X2 端子のみ) とデュアルクロックモード (X1, X2 と XT1, XT2 端子) 2 モードがあります。

図 2-3 に TMP91CW60 の動作モード別状態遷移図を示します。

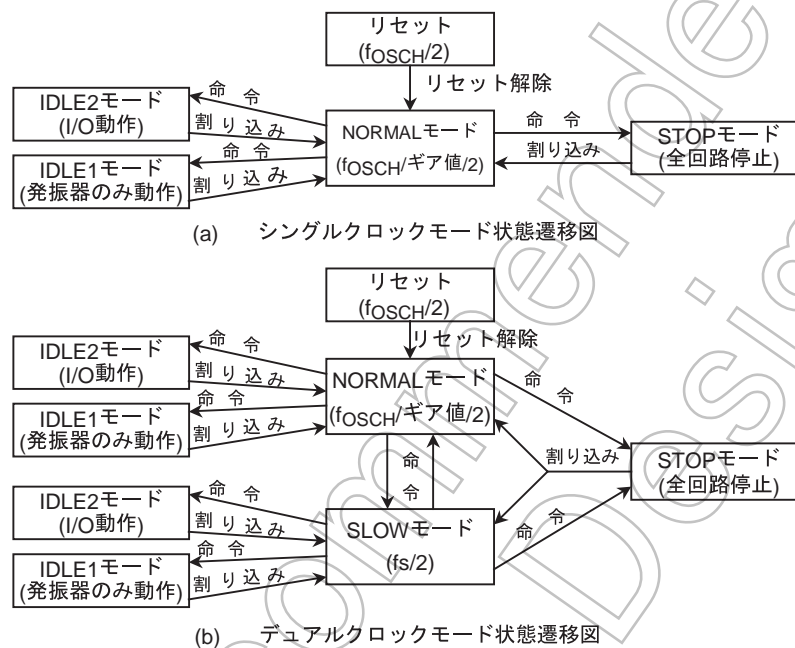


図 2-3 TMP91CW60 動作モード状態遷移図

注) X1, X2 端子より入力されるクロック周波数を f_{OSCH} 、XT1, XT2 端子より入力されるクロック周波数を f_s 、SYSCR1<SYSCK> で選択されたクロックを f_{FPH} 、 f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

2.3.1 クロックシステムブロック図

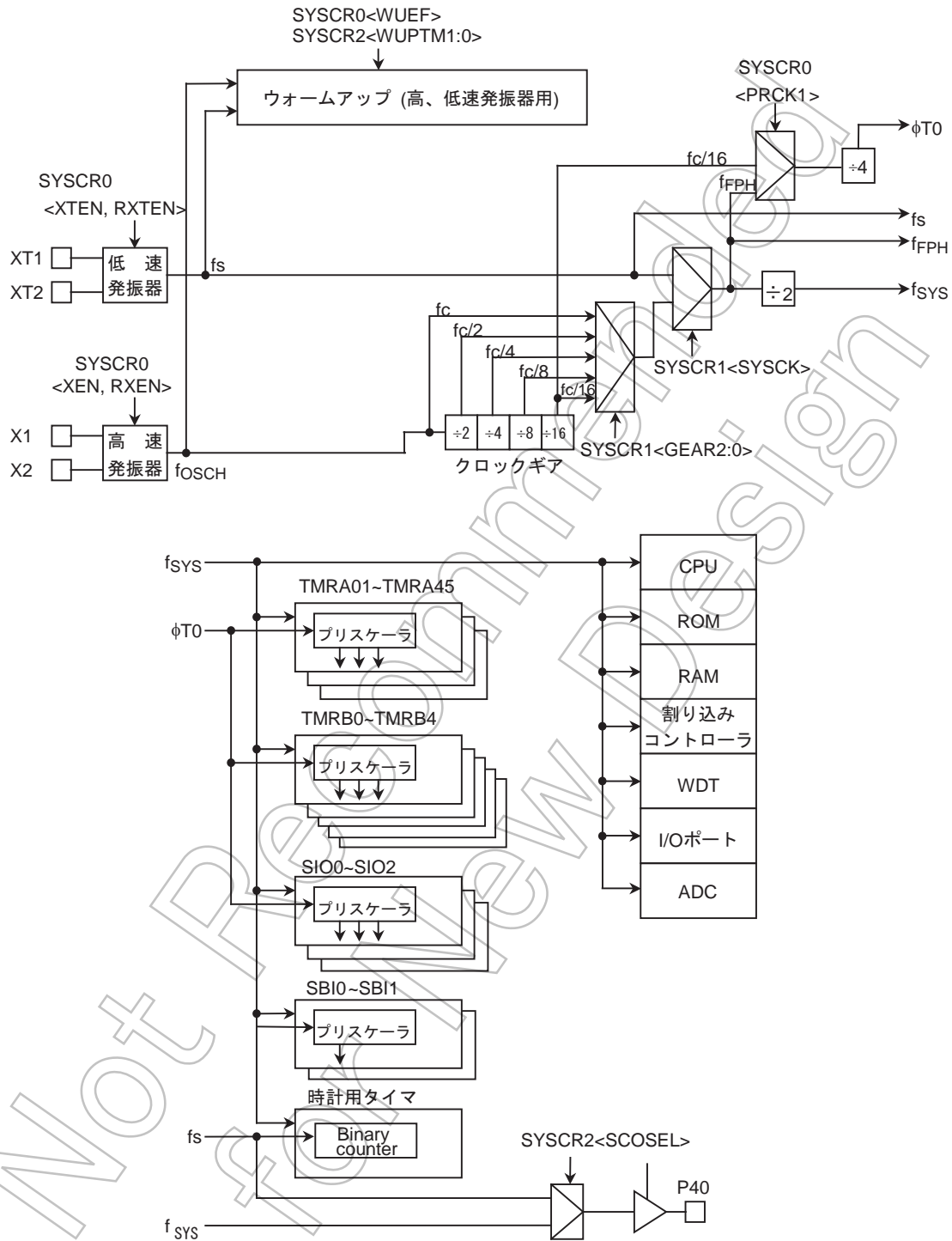


図 2-4 デュアルクロック、スタンバイ関連のブロック図

2.3.2 SFR 説明

表 2-1 クロック関係 SFR

		7	6	5	4	3	2	1	0	
SYSCR0 (00E0H)	Bit Symbol	XEN	XTEN	RXEN	RXTEN	RSYSCK	WUEF	PRCK1	—	
	Read/Write	R/W							—	
	リセット後	1	0	1	0	0	0	0	—	
	機能	高速 発振器 0: 停止 1: 発振	低速 発振器 0: 停止 1: 発振	STOP モード解除後の 高速発振器 0: 停止 1: 発振	STOP モード解除後の 低速発振器 0: 停止 1: 発振	STOP モード解除後の クロック選択 0: 高速 1: 低速	発振器用 ウォーミング アップタイマ (WUP) 制御 0 ライト: Don't care 1 ライト: WUP スタート 0 リード: WUP 終了 1 リード: WUP 中	プリスケール クロック 選択 0: fc/16 1: fc/16		
SYSCR1 (00E1H)	Bit Symbol	—	—	—	—	SYSCK	GEAR2	GEAR1	GEAR0	
	Read/Write	—	—	—	—	R/W				
	リセット後	—	—	—	—	0	0	0	0	
	機能	—	—	—	—	システムクロック 選択 0: 高速 (fc) 1: 低速 (fs)	高速クロックのギア選択 000:fc 001:fc/2 010:fc/4 011:fc/8 100:fc/16 101:reserved 110:reserved 111:reserved			
SYSCR2 (00E2H)	Bit Symbol	—	SCOSEL	WUPTM1	WUPTM0	HALTM1	HALTM0	—	DRVE	
	Read/Write	—	R/W						—	R/W
	リセット後	—	0	1	0	1	1	—	0	
	機能	—	SCOUT の 選択 0:fs 1:fsys	発振器用 WUP 時間選択 00:2 ¹⁸ / 入力周波数 01:2 ⁸ / 入力周波数 10:2 ¹⁴ / 入力周波数 11:2 ¹⁶ / 入力周波数		HALT モード選択 00:reserved 01:STOP mode 10:IDLE1 mode 11:IDLE2 mode		—	1: STOP モード 中でも端子 をドライブ します。	

注 1) -: Don't care、fc: 高周波クロック [Hz]

注 2) SYSCR0<bit0>, SYSCR1<bit7:4>, SYSCR2<bit7,bit1> は、リードすると不定値がリードされます。

注 3) SYSCR0<PRCK1>="1" にてプリスケールクロックを fc/16 に選択した場合、シリアルチャネル (SIO0~SIO2) の I/O インタフェース入力クロック選択とシリアル転送クロック選択でポーレートジェネレータを選択できません。

2.3.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{SYS}) を生成する回路です。高速 / 低速の 2 つの発振回路から出力される f_c, f_s クロックを入力として、 $SYSCR1<SYSCK>$ レジスタにて高速 / 低速の切り替え、 $SYSCR0<XEN>, <XTEN>$ でそれぞれ高速、低速発振器の発振制御、さらに $SYSCR1<GEAR2:0>$ で高速クロックのギアを 1, 2, 4, 8, 16 段 ($f_c, f_c/2, f_c/4, f_c/8, f_c/16$) に切り替えて消費電力の低減を図ることができます。

リセットにより、シングルクロックモードになり、 $<XEN> = "1", <XTEN> = "0", <SYSCK> = "0"$ に初期化されますので、システムクロック f_{SYS} は $f_c/2$ となります。例えば、X1, X2 端子に 16 MHz の発振子を接続していると、リセットにより f_{SYS} は 8 MHz となります。

(1) NORMAL SLOW モードの切り替え

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認してから切り替えるためにウォームアップタイムがあります。ウォームアップ時間は発振子の特性に合わせて $SYSCR2<WUPTM1:0>$ により選択できます。このスタート / 終了確認は $SYSCR0<WUEF>$ を使用し、ソフト (命令) により下記設定例 1, 2 のように行ってください。

表 2-2 に切り替え時のウォームアップ時間を示します。

- 注 1) 切り替えようとするクロックが発振器などを使用しており発振安定している場合はウォームアップさせる必要はありません。
- 注 2) ウォームアップタイムは、発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。
- 注 3) 低速発振器使用上の注意点

低速発振子を接続する場合、消費電力削減のために下記の設定が必要です。

(発振子接続の場合)

$P9CR<P96C, P97C> = "11", P9<P96:97> = "00"$ に設定してください。

(発振器接続の場合)

$P9CR<P96C, P97C> = "11", P9<P96:97> = "10"$ に設定してください。

表 2-2 ウォームアップ時間

ウォーミングアップ タイム選択 $SYSCR2<WUPTM1:0>$	NORMAL へ切り替え時 (f_c)	SLOW へ切り替え時 (f_s)
01(2^8 /発振周波数)	12.8[us]	7.8[ms]
10(2^{14} /発振周波数)	0.819[ms]	500[ms]
11(2^{16} /発振周波数)	3.277[ms]	2000[ms]
00(2^{18} /発振周波数)	13.107[ms]	8000[ms]

注) 計算値は $f_{OSCH}=20\text{MHz}$, $f_s=32.768\text{kHz}$ の場合です。

設定例 1

高速クロック (fc) から低速クロック (fs) へ切り替える場合

SYSCR0	EQU	00E0H	
SYSCR1	EQU	00E1H	
SYSCR2	EQU	00E2H	
	LD	(SYSCR2),X-11--X-B	; ウォームアップ時間を $2^{16}/fs$ に設定
	SET	6,(SYSCR0)	; 低速発振イネーブル
	SET	2,(SYSCR0)	; ウォームアップタイムクリア & スタート
WUP:	BIT	2,(SYSCR0)	; ウォームアップ終了検出
	JR	NZ,WUP	;
	SET	3,(SYSCR1)	; 高速⇒低速へ切り替え
	RES	7,(SYSCR0)	; 高速発振ディセーブル

注) X:Don't care , -:No change

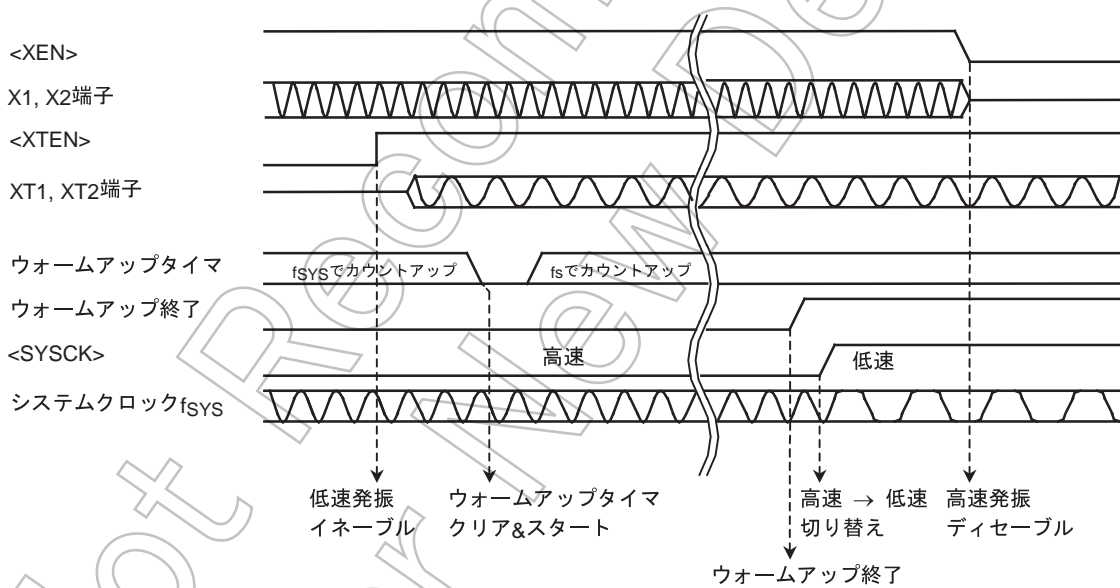


図 2-5 高速クロック → 低速クロック切り替えタイミング例

設定例 2

低速クロック (fs) から高速クロック (fc) へ切り替える場合

SYSCR0	EQU	00E0H	
SYSCR1	EQU	00E1H	
SYSCR2	EQU	00E2H	
LD	(SYSCR2),X-10--X-B		; ウォームアップ時間を $2^{14}/f_c$ に設定
SET	7,(SYSCR0)		; 高速発振イネーブル
SET	2,(SYSCR0)		; ウォームアップタイマ クリア & スタート
WUP:	BIT	2,(SYSCR0)	; ウォームアップ終了検出
	JR	NZ,WUP	
	RES	3,(SYSCR1)	; 低速⇒高速へ切り替え
	RES	6,(SYSCR0)	; 低速発振ディセーブル

注) X:Don't care, -:No change

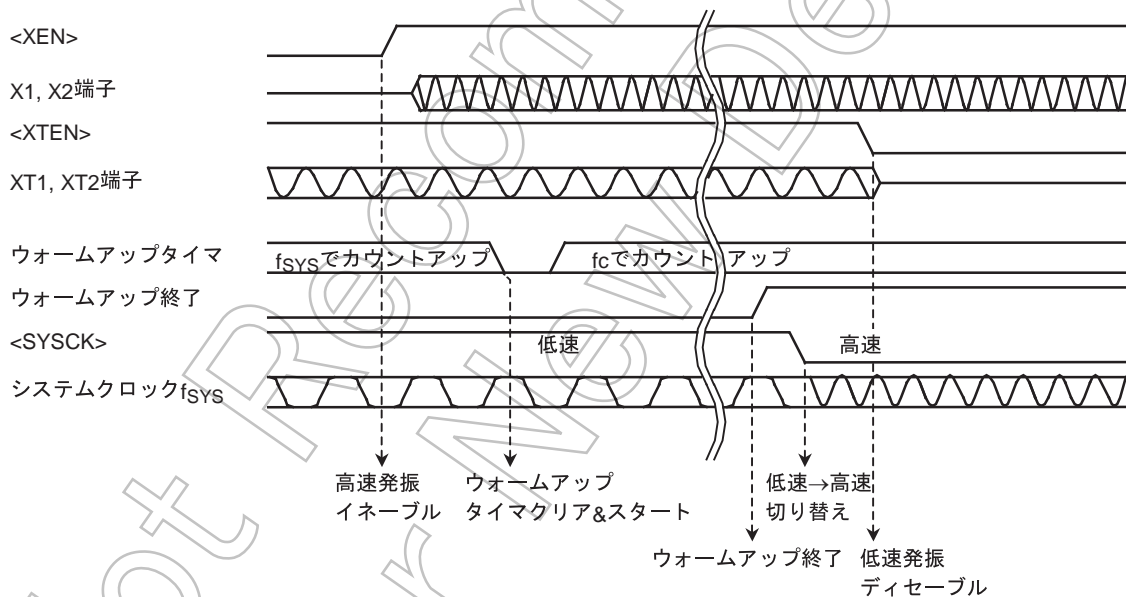


図 2-6 高速クロック → 低速クロック切り替えタイミング例

(2) クロックギア切り替え

SYSCR1<SYSCK> "0" にて高速クロック f_c を選択した場合、クロックギア選択レジスタ SYSCR1<GEAR2:0> により f_{FPH} を $f_c, f_c/2, f_c/4, f_c/8, f_c/16$ のいずれかに設定できます。クロックギアを使用して f_{FPH} を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

設定例

高速クロックのギア切り替え

```
SYSCR1 EQU 00E1H
LD (SYSCR1),XXXX0000B ; システムクロック fsys を fc/2 に切り替え
```

注) X: Don't care

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0> レジスタへ値を書き込むことにより実行されますが、書き込んだ後すぐには切り替わらず、数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令(ライトサイクルが実行される命令)を挿入してください。

高速クロックのギア切り替え時の注意点

```
SYSCR1 EQU 00E1H
LD (SYSCR1),XXXX0000B ; システムクロック fsys を fc/2 に切り替え
LD (DUMMY),00H ; ダミー命令
切り替え後のクロックギアで実行すべき命令
```

(3) 内部クロックの端子出力機能

内部クロック f_{sys} または f_s を P40/SCOUT 端子から出力できます。

ポート 4 関係のレジスタ P4CR<P40C> "1", P4FC<P40F> "1" に設定することにより、P40/SCOUT 端子は SCOUT 出力端子になります。出力クロックの選択は SYSCR2<SCOSEL> によって設定します。

表 2-3 に P40/SCOUT 端子を SCOUT 出力に設定した場合の HALT モード別端子状態を示します。

表 2-3 HALT モード別 SCOUT 出力状態

	NORMAL, SLOW	HALT モード		
		IDLE2	IDLE1	STOP
<SCOSEL>="0"	f _s クロックを出力します			"0" または "1" に固定されます。
<SCOSEL>="1"	f _{sys} クロックを出力します			

2.3.4 プリスケールクロック制御部

内蔵 I/O (TMRA01 ~ TMRA45, TMRB0 ~ TMRB4, SIO0 ~ SIO2, SBI0 ~ SBI1) には、それぞれにクロックを分周するプリスケラがあります。

これらのプリスケラへ入力するクロックは、 f_{sys} が f_{FPH} を 2 分周、 $\phi T0$ が f_{FPH} または $f_c/16$ を 4 分周したクロックです。

2.3.5 プロテクトレジスタによる暴走対策

(目的)

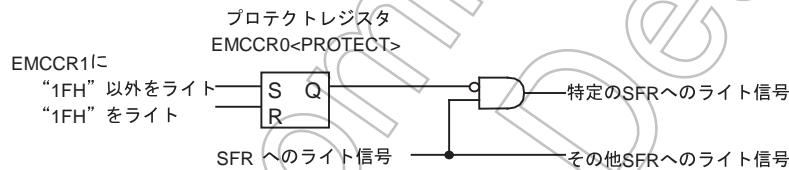
ノイズ混入などによるプログラムの暴走時の対策。

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ (CS/WAIT コントローラ) の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

特定の SFR 一覧

- | |
|--|
| <p>1. CS/WAIT コントローラ</p> <p>B0CS, B1CS, B2CS, B3CS, BEXCS,</p> <p>MSAR0, MSAR1, MSAR2, MSAR3,</p> <p>MAMR0, MAMR1, MAMR2, MAMR3</p> <p>2. システムクロック制御 (EMCCR1 のみはライト可能です)</p> <p>SYSCR0, SYSCR1, SYSCR2</p> |
|--|

(ブロック図)



(設定方法)

EMCCR1 レジスタに "1FH" 以外のコードをライトするとプロテクト ON 状態となります。それにより特定の SFR へのライト動作ができなくなります。

EMCCR1 レジスタに "1FH" をライトするとプロテクト OFF 状態となります。プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できます。

リセットにより、プロテクト OFF 状態となります。

表 2-4 ノイズ関係 SFR

		7	6	5	4	3	2	1	0
EMCCR0 (00E3H)	Bit Symbol	PROTECT	-	-	-	-	-	-	-
	Read/Write	R	R/W						
	リセット後	0	0	1	0	0	0	1	1
	機能	プロテクト フラグ 0:OFF 1:ON	"0" をライト してください。	"1" をライト してください。	"0" をライト してください。	"0" をライト してください。	"0" をライト してください。	"0" をライト してください。	"1" をライト してください。
EMCCR1 (00E4H)	Bit Symbol								
	Read/Write	"1FH" をライトでプロテクト OFF							
	リセット後	"1FH" 以外をライトでプロテクト ON							
	機能								

2.3.6 スタンバイ制御部

(1)HALT モード

HALT 命令を実行すると、SYSCR2<HALTM1:0> の設定により、IDLE2、IDLE1、STOP のいずれかの HALT モードになります。

IDLE2、IDLE1、STOP モードの特長は、次のとおりです。

1. IDLE2:CPU のみ停止するモードです。

内蔵 I/O は、SFR の中に IDLE2 モード時の動作 / 停止設定レジスタを 1 ビット持ち、IDLE2 モードでの動作設定が可能です。

表 2-5 に IDLE2 設定レジスタの表を示します。

表 2-5 IDLE2 モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	SFR	内蔵 I/O	SFR
TMRA01	TA01RUN<I2TA01>	SIO0	SC0MOD1<I2S0>
TMRA23	TA23RUN<I2TA23>	SIO1	SC1MOD1<I2S1>
TMRA45	TA45RUN<I2TA45>	SIO2	SC2MOD1<I2S2>
TMRB0	TB0RUN<I2TB0>	SBI0	SBI0BR<I2SBI0>
TMRB1	TB1RUN<I2TB1>	SBI1	SBI1BR<I2SBI1>
TMRB2	TB2RUN<I2TB2>	AD	ADCCR2<I2AD>
TMRB3	TB3RUN<I2TB3>	WDT	WDMOD<I2WDT>
TMRB4	TB4RUN<I2TB4>		

2. IDLE1: 内部発振器と時計用タイマのみ動作します。

3. STOP: 全ての内部回路が停止します。

ホルト状態での各ブロックの動作を表 2-6 に示します。

表 2-6 ホルト状態での各ブロックの動作

HALT モード		IDLE2	IDLE1	STOP
SYSCR2<HALTM1:0>		11	10	01
動作 ブ ロ ッ ク	CPU	停止		
	I/O ポート	HALT 命令実行時の状態を保持		表 2-9 参照
	TMRA,TMRB	動作するブロックを プログラマブルに選 択可	停止	
	時計用タイマ			
	SIO,SBI			
	AD			
	WDT			
割り込みコントローラ	動作			

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、CPU のステータスレジスタ **SR** に割り付けられている割り込みマスクレジスタ <IFF2:0> の状態と、HALT モードの組み合わせにより決まります。詳細を表 2-7 に示します。

・割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、"HALT" 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません (ノンマスクابل割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います)。

ただし、INT0 と時計用タイマ割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず HALT 命令の次の命令から処理をスタートします (割り込み要求フラグは "1" を保持します)。

注) 通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE1、STOP モードに設定されている状態 (IDLE2 は対象外) で、CPU が HALT モードに移行しようとしている期間 (f_{FPH} 約 5 クロックの間) に、HALT モードを解除可能な割り込み (NMI, INT0, INTRTC) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

・リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間 (表 2-6 参照) が必要です。

リセットによる解除では、内蔵 RAM のデータは、ホルト状態に入る直前の状態を保持できませんが、その他の設定は初期化されます (割り込みによる解除では、ホルト状態に入る直前の状態を保持します)。

表 2-7 ホルト解除ソースとホルト解除の動作

割り込み受付状態		割り込み許可 (割り込みレベル) ≥ (割り込みマスク)			割り込み禁止 (割り込みレベル) < (割り込みマスク)			
		HALT モード	IDLE2	IDLE1	STOP	IDLE2	IDLE1	STOP
ホル ト 解 除 ソ ー ス	割 り 込 み	NMI	◆	◆	◆*1	-	-	-
		INTWDT	◆	×	×	-	-	-
		INT0(注1)	◆	◆	◆*1	○	○	○*1
		INTRTC	◆	◆	×	○	○	×
		INT1-INT10	◆(注2)	×	×	×	×	×
		INTTA0-INTTA5	◆	×	×	×	×	×
		INTTB00-40,INTTB01-41	◆	×	×	×	×	×
		INTTB0F-4	◆	×	×	×	×	×
		INTRX0-INTRX2,TX0-TX2	◆	×	×	×	×	×
		INTS2	◆	×	×	×	×	×
		INTAD	◆	×	×	×	×	×
		RESET		LSI を初期化します				

◆：ホルト解除後、割り込み処理を開始します。

○：ホルト解除後、HALT 命令の次のアドレスから処理を開始します (割り込み処理は行いません)。

×：ホルト解除に使用できません。

-：ノンマスク割り込みの優先順位レベル (割り込み要求レベル) は最優先の "7" に固定されているため、この組み合わせはありません。

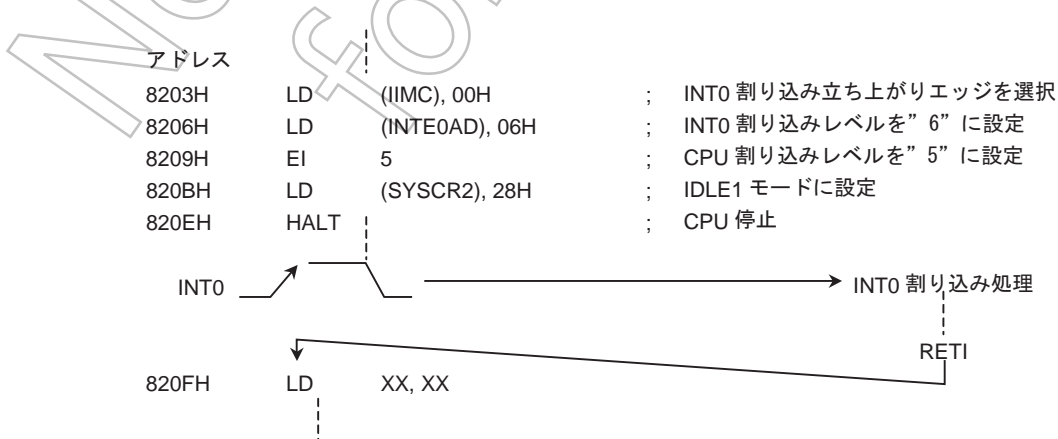
*1: ウォームアップ時間経過後にホルト解除を行います。

注 1) 割り込み許可状態において、レベルモードの INT0 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで "H" レベルを保持してください。それ以前で "L" レベルにした場合は、正しい割り込み処理を開始できません。

注 2) 外部割り込み INT1~INT10 を IDLE2 モード時に使用する場合、16 ビットタイマ RUN レジスタ TB0RUN<I2TB0>、TB1RUN<I2TB1>、TB2RUN<I2TB2>、TB3RUN<I2TB3>、TB4RUN<I2TB4> を "1" にセットしてください。

(ホルト状態からの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合。



(3) 各モードの動作

1. IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 2-7 に示します。

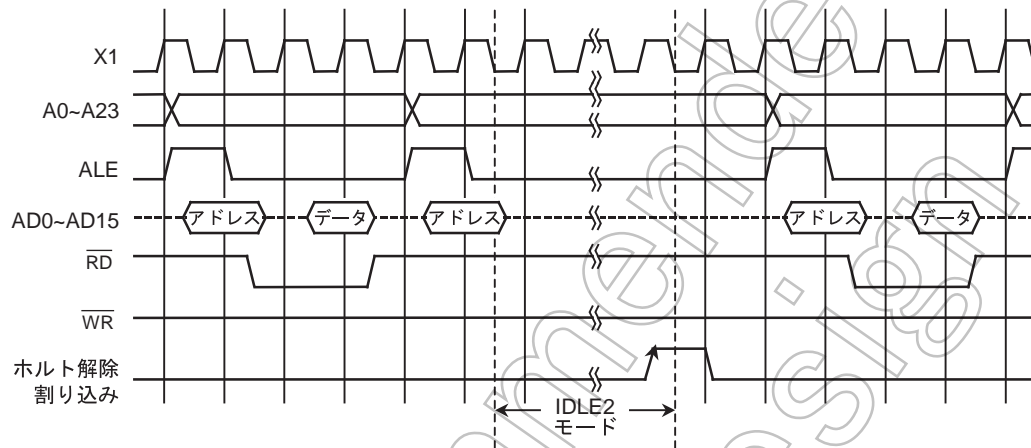


図 2-7 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

2. IDLE1 モード

IDLE1 モードでは、内部発振器と時計用タイマのみ動作し、システムクロックは停止します。

ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 2-8 に示します。

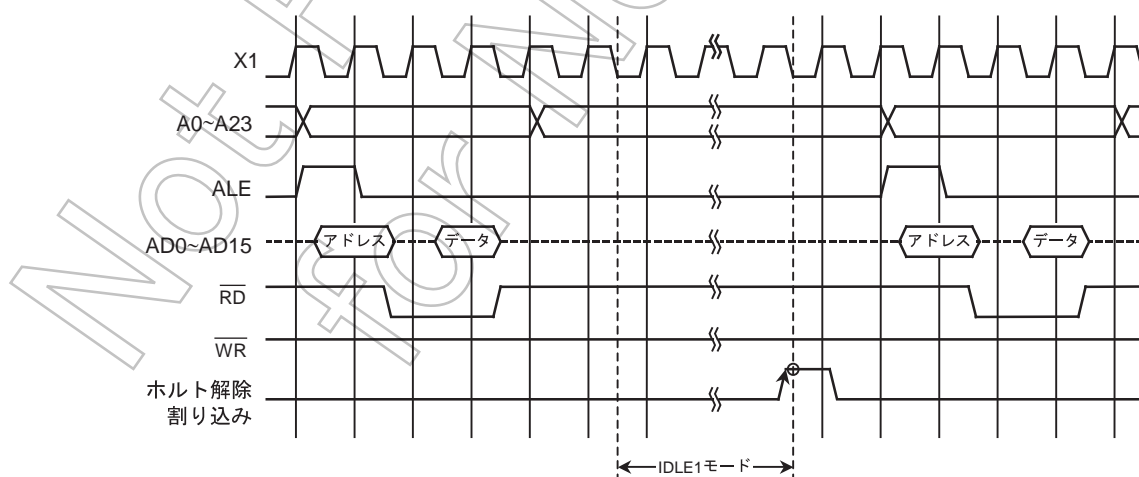


図 2-8 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

3. STOP モード

STOP モードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOP モード時の端子状態は、SYSCR2<DRVE> の設定により異なります。STOP モード時の端子状態を表 2-9 に示します。

STOP モードを解除する場合は、内部発振器の安定化のため、ウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。STOP モード解除後は、SYSCR0<RXEN, RXTEN, RSYSCK> の設定に従い動作を開始します（ホルト解除後の動作モード (NORMAL/SLOW) を選択できます）。この設定は "HALT" 命令実行前に行う必要があります。このウォームアップ時間の設定は、SYSCR2<WUPTM1:0> で行います。表 2-8 に設定例を示します。

STOP モードの割り込みによるホルト解除のタイミング例を図 2-9 に示します。

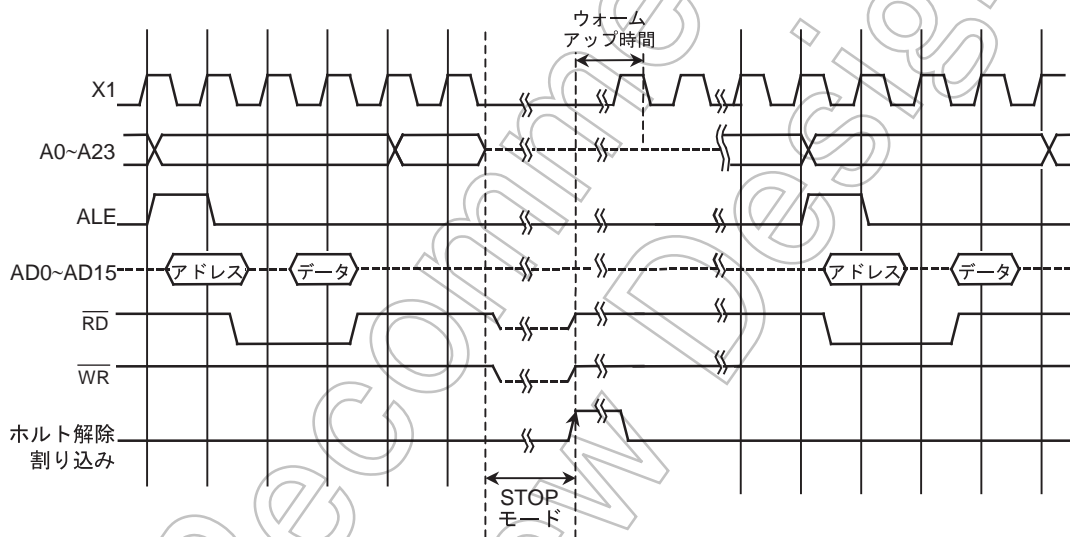


図 2-9 割り込みによるホルト解除のタイミング例 (STOP モード時)

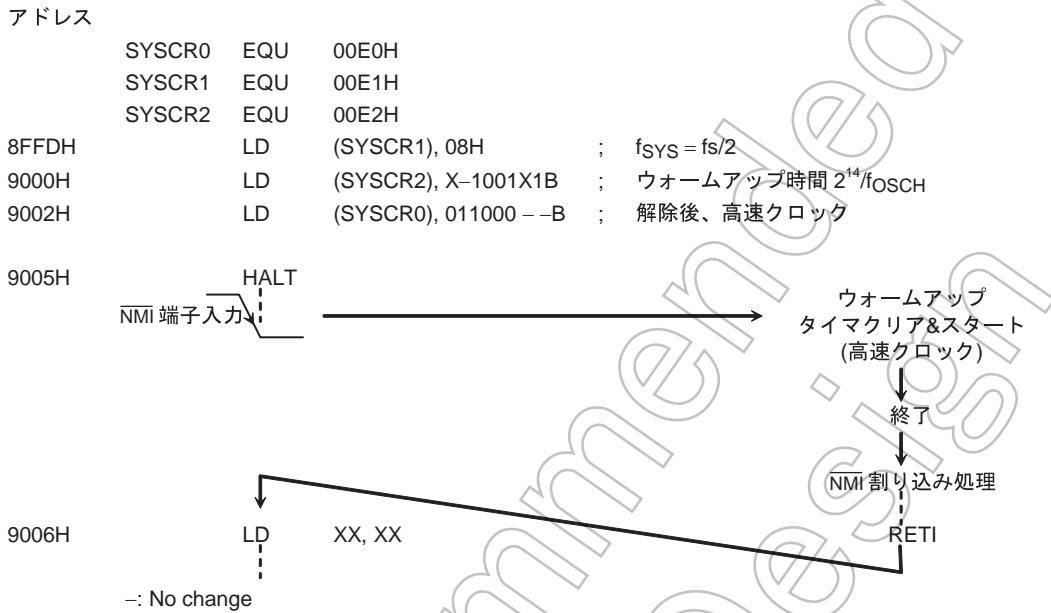
表 2-8 ウォームアップ時間の設定例 (STOP モード解除時)

SYSCR0 <RSYSCK>	SYSCR2<WUPTM1:0>			
	01(2 ⁸)	10(2 ¹⁴)	11(2 ¹⁶)	00(2 ¹⁸)
0(fc)	12.8us	0.819ms	3.277ms	13.107ms
1(fs)	7.8ms	500ms	2000ms	8000ms

注) 計算値は f_{OSCH}=20MHz, fs=32.768kHz の場合です。

(設定例)

低速クロックで動作している状態で STOP モードに入り、NMI 割り込みによる解除後、高速クロックで動作させる場合



注) 上記のように、STOP モードの前後で異なる動作モードを使用する場合、HALT 命令を実行中 (6 ステート期間) にホルト解除割り込みが受け付けられると、動作モードの変更が行われずホルト解除を行うことがあります。HALT 命令実行中に割り込みが入力されるようなシステムでは、STOP モードの前後で同じ動作モードを設定してください。

表 2-9 入出力バッファ状態表

ピン名称	入力 / 出力	<DRVE>=0	<DRVE>=1
P00-07	入力モード 出力モード AD0-AD7	- - -	- 出力 -
P10-17	入力モード 出力モード AD8-AD15	- - -	- 出力 -
P20-27	入力モード 出力モード, A0-A7/A16-A23	- -	- 出力
PZ0($\overline{\text{RD}}$),PZ1($\overline{\text{WR}}$)	出力ピン	-	出力
PZ2($\overline{\text{HWR}}$),PZ3($\overline{\text{R/W}}$)	入力モード 出力モード	PU* PU*	PU* 出力
P30-33	入力モード 出力モード	- -	- 出力
P40-44	入力モード 出力モード	PU* PU*	PU* 出力
P50-57	入力モード 出力モード アナログ入力	- - -	- 出力 -
P60-67	入力モード 出力モード アナログ入力	- - -	- 出力 -
P70-74	入力モード 出力モード	- -	入力 出力
P75	入力モード 出力モード	入力 -	入力 出力
P80-87	入力モード 出力モード	- -	- 出力
P90-97	入力モード 出力モード	- -	- 出力
PA0-A3	入力モード 出力モード	- -	- 出力
PB0-B3	入力モード 出力モード	- -	- 出力
$\overline{\text{NMI}}$	入力	入力	入力
$\overline{\text{RESET}}$	入力	入力	入力
AM0,AM1	入力	入力	入力
X1	入力	-	-
X2	出力	"H" レベル出力	"H" レベル出力

一: 入力モード / 入力ピンは、入力が無効になり、出力モード / 出力ピンは、ハイインピーダンスになることを示します。

入力: 入力ゲートが働いています。入力ピンが浮かないよう入力電圧を、"L" レベル、または、"H" レベルに固定してください。

出力: 出力状態になっています。

PU*: プログラマブル Pull-up ピンです。常に入力ゲートがディセーブルになっています。ハイインピーダンスに設定されても貫通電流は流れません。

第 3 章 割り込み

割り込みは、CPU の割り込みマスクレジスタ SR<IFF2:0> と、内蔵の割り込みコントローラによって制御されます。

割り込み要因には、下記に示す合計 57 本があります。

- CPU 自体からの割り込み・・・9 本
(ソフトウェア割り込み、未定義命令実行違反)
- 外部端子 ($\overline{\text{NMI}}$, INT0~INT10)・・・12 本
- 内蔵 I/O からの割り込み・・・36 本

各割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスクブル割り込みのそれぞれに、6 レベルの優先順位 (可変) を割り付けることができます。ノンマスクブル割り込みの優先順位は、最優先の “7” に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値 (最高はノンマスクブル割り込みの “7”) を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ <IFF2:0> の値を比較し、送られてきた優先順位値が割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。<IFF2:0> の値は EI 命令 (EI num/IFF <2:0> の内容が num) を使用して、書き替えることができます。例えば、“EI 3” とプログラムすると、割り込みコントローラに設定された、優先順位値 3 以上のマスクブル割り込みと、ノンマスクブル割り込みが受け付け可能となります。また、DI 命令 (<IFF2:0> が 7) は動作的には “EI 7” と同じですが、マスクブル割り込みの割り込みレベルが 1~6 であるため、マスクブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後直ちに有効となります。

上記汎用割り込み処理モードに加えて、“マイクロ DMA” 処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部 / 外部メモリおよび内蔵 I/O に対するデータ転送を、高速に行うことができます。

さらに、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトで要求をかける “ソフトスタート機能” があります。

図 3-1 に割り込み処理全体のフローを示します。

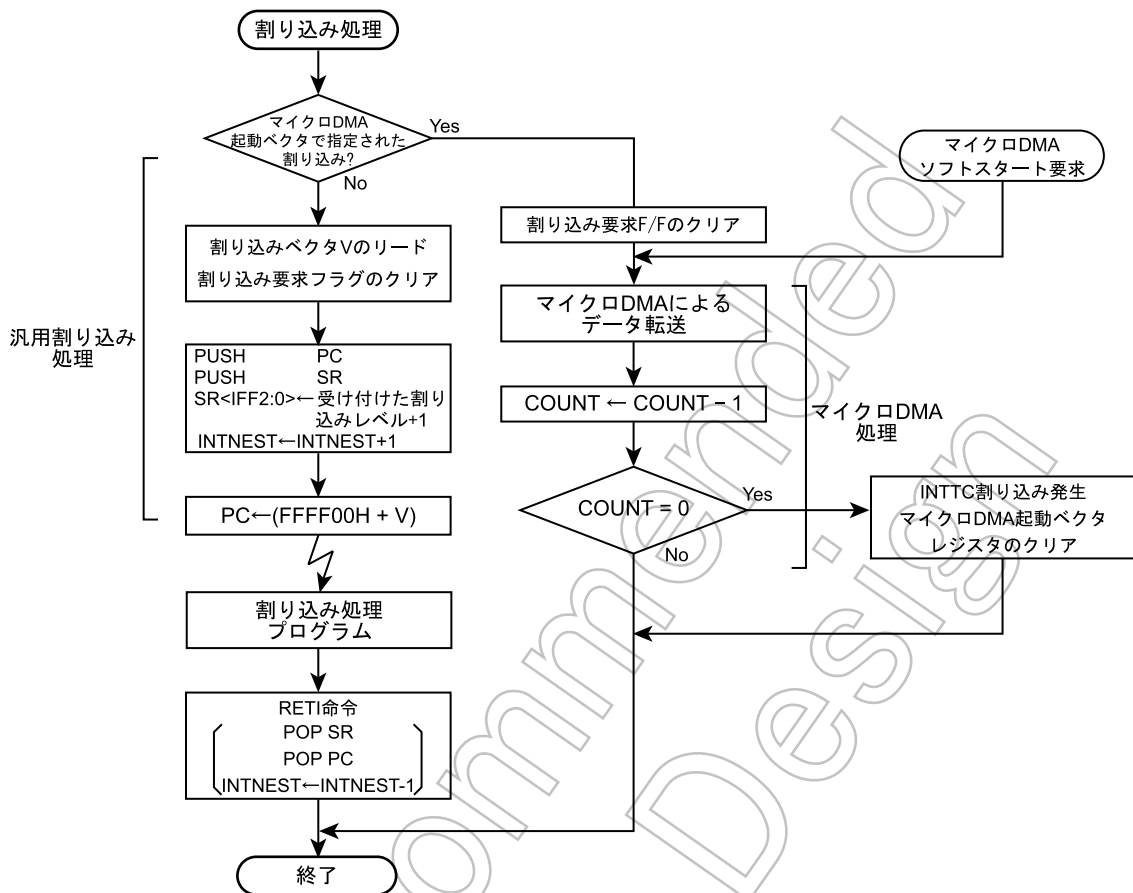


図 3-1 割り込み処理全体のフロー

3.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。なお、この動作は、TLCS-900/L, TLCS-900/H と同様です。

1. CPU は、割り込みコントローラから、割り込みベクタをリードします。
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定: ベクタ値が小さいほど優先順位が高い) に従い割り込みベクタを発生し、その割り込み要求をクリアします。
2. CPU は、プログラムカウンタ PC とステータスレジスタ SR を、スタック領域 (XSP が示す領域) へ PUSH します。
3. CPU の割り込みマスクレジスタ <IFF2:0> の値を、受け付けた割り込みレベルより “1” だけ高い値にセットします。ただし、値が “7” のときは、インクリメントせず “7” をセットします。
4. 割り込みネスティングカウンタ INTNEST を、+1 します。
5. CPU は、「FFFF00H + 割り込みベクタ」番地のデータで示される番地へジャンプし、割り込み処理ルーチンを開始します。

上記の処理時間は、ベストケース (メモリは 16 ビットデータバス幅 0 ウェイト) の場合、18 ステート (1.8 μ s @ 20 MHz) です。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックから PC と SR の内容を復帰し、割り込みネスティングカウンタ INTNEST を -1 します。

ノンマスクブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。マスクブル割り込みは、プログラムによって割り込みの許可 / 禁止が選択できるとともに、割り込み要因ごとに優先順位を設定することができます。

CPU が持つ <IFF2:0> の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして CPU の <IFF2:0> に、受け付けた優先順位に “1” を加えた値をセットします。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 1~5 までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスクブル割り込みのネスティングを禁止することができます。

リセット後、CPU の <IFF2:0> は “7” に初期化されているため、マスクブル割り込み禁止状態になっています。

アドレス FFFF00H~FFFFFFH 番地 (256 バイト) が、割り込みベクタ領域に割り当てられています。表 3-1 に割り込みテーブルを示します。

表 3-1 TMP91CW60 の割り込みテーブル (1 / 2)

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ
1	ノン マスクابل	“リセット”または「SWI0」命令	0000H	FFFF00H	-
2		「SWI1」命令	0004H	FFFF04H	-
3		INTUNDEF: 未定義命令実行違反、または「SWI2」命令	0008H	FFFF08H	-
4		「SWI3」命令	000CH	FFFF0CH	-
5		「SWI4」命令	0010H	FFFF10H	-
6		「SWI5」命令	0014H	FFFF14H	-
7		「SWI6」命令	0018H	FFFF18H	-
8		「SWI7」命令	001CH	FFFF1CH	-
9		$\overline{\text{NMI}}$: NMI 端子入力	0020H	FFFF20H	-
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	-
-	マスクابل	(マイクロ DMA)	-	-	-
11		INT0: INT0 端子入力	0028H	FFFF28H	0AH
12		INT1: INT1 端子入力	002CH	FFFF2CH	0BH
13		INT2: INT2 端子入力	0030H	FFFF30H	0CH
14		INT3: INT3 端子入力	0034H	FFFF34H	0DH
15		INT4: INT4 端子入力	0038H	FFFF38H	0EH
16		INT5: INT5 端子入力	003CH	FFFF3CH	0FH
17		INT6: INT6 端子入力	0040H	FFFF40H	10H
18		INT7: INT7 端子入力	0044H	FFFF44H	11H
19		INT8: INT8 端子入力	0048H	FFFF48H	12H
20		INT9: INT9 端子入力	004CH	FFFF4CH	13H
21		INT10: INT10 端子入力	0050H	FFFF50H	14H
22		INTTA0: 8 ビットタイマ 0	0054H	FFFF54H	15H
23		INTTA1: 8 ビットタイマ 1	0058H	FFFF58H	16H
24		INTTA2: 8 ビットタイマ 2	005CH	FFFF5CH	17H
25		INTTA3: 8 ビットタイマ 3	0060H	FFFF60H	18H
26		INTTA4: 8 ビットタイマ 4	0064H	FFFF64H	19H
27		INTTA5: 8 ビットタイマ 5	0068H	FFFF68H	1AH
28		INTTB00: 16 ビットタイマ 0 (TB0RG0)	006CH	FFFF6CH	1BH
29		INTTB01: 16 ビットタイマ 0 (TB0RG1)	0070H	FFFF70H	1CH
30		INTTB10: 16 ビットタイマ 1 (TB1RG0)	0074H	FFFF74H	1DH
31		INTTB11: 16 ビットタイマ 1 (TB1RG1)	0078H	FFFF78H	1EH
32		INTTB20: 16 ビットタイマ 2 (TB2RG0)	007CH	FFFF7CH	1FH
33		INTTB21: 16 ビットタイマ 2 (TB2RG1)	0080H	FFFF80H	20H
34		INTTB30: 16 ビットタイマ 3 (TB3RG0)	0084H	FFFF84H	21H
35		INTTB31: 16 ビットタイマ 3 (TB3RG1)	0088H	FFFF88H	22H
36		INTTB40: 16 ビットタイマ 4 (TB4RG0)	008CH	FFFF8CH	23H
37	INTTB41: 16 ビットタイマ 4 (TB4RG1)	0090H	FFFF90H	24H	

表 3-1 TMP91CW60 の割り込みテーブル (2 / 2)

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ
38	マスクابل	INTTBOF0: 16 ビットタイマ 0 (オーバーフロー)	0094H	FFFF94H	25H
39		INTTBOF1: 16 ビットタイマ 1 (オーバーフロー)	0098H	FFFF98H	26H
40		INTTBOF2: 16 ビットタイマ 2 (オーバーフロー)	009CH	FFFF9CH	27H
41		INTTBOF3: 16 ビットタイマ 3 (オーバーフロー)	00A0H	FFFA0H	28H
42		INTTBOF4: 16 ビットタイマ 4 (オーバーフロー)	00A4H	FFFA4H	29H
43		INTRX0: シリアル受信 (チャンネル 0)	00A8H	FFFA8H	2AH
44		INTTX0: シリアル送信 (チャンネル 0)	00ACH	FFFACh	2BH
45		INTRX1: シリアル受信 (チャンネル 1)	00B0H	FFFB0H	2CH
46		INTTX1: シリアル送信 (チャンネル 1)	00B4H	FFFB4H	2DH
47		INTRX2: シリアル受信 (チャンネル 2)	00B8H	FFFB8H	2EH
48		INTTX2: シリアル送信 (チャンネル 2)	00BCH	FFFBCh	2FH
49		INTSBI0: シリアルバスインタフェース割り込み (チャンネル 0)	00C0H	FFFC0H	30H
50		INTSBI1: シリアルバスインタフェース割り込み (チャンネル 1)	00C4H	FFFC4H	31H
51		INTRTC: 時計用タイマ割り込み	00C8H	FFFC8H	32H
52		INTAD: AD 変換終了	00CCH	FFFCCh	33H
53		INTTC0: マイクロ DMA 終了 (チャンネル 0)	00D0H	FFFD0H	-
54		INTTC1: マイクロ DMA 終了 (チャンネル 1)	00D4H	FFFD4H	-
55		INTTC2: マイクロ DMA 終了 (チャンネル 2)	00D8H	FFFD8H	-
56		INTTC3: マイクロ DMA 終了 (チャンネル 3)	00DCH	FFFDCh	-
			(Reserved)	00E0H	FFFE0H
		:	:	:	:
		(Reserved)	00FCH	FFFFCh	-

注) マイクロ DMA デフォルトプライオリティ
マイクロ DMA は、ほかのマスクابل割り込みより優先されて起動します。

3.2 マイクロ DMA

汎用割り込み処理に加えて、マイクロ DMA 機能があります。マイクロ DMA に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベルで処理を行います。

マイクロ DMA は 4 チャンネル用意されており、後述のバースト指定により連続転送が可能です。

なお、マイクロ DMA 機能は、CPU の協調動作によって実現されているため、CPU が HALT 命令を実行しスタンバイ状態 (STOP, IDLE1, IDLE2) になると、マイクロ DMA の要求は無視 (保留) され、HALT 解除後に DMA を開始します。

3.2.1 マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います (<IFF2:0> = “7” のときは、マイクロ DMA の要求は受け付けられません)。

マイクロ DMA は 4 チャンネル用意されており、同時に 4 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された転送元アドレスから転送先アドレスに、データ転送が一回 (1/2/4 バイト) 行われ、転送数カウンタをデクリメントします。デクリメントした結果が “0” ならば、CPU はマイクロ DMA 転送終了を割り込みコントローラに伝え、割り込みコントローラは、マイクロ DMA 転送終了割り込み (INTTCn) を発生させ、かつ、マイクロ DMA 起動ベクタレジスタ DManV の値を “0” にクリアして、次のマイクロ DMA 起動を禁止し、マイクロ DMA 処理を終了します。デクリメントした結果が “0” ではない場合、後述のバースト指定がなければマイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを “0” にしておく必要があります。これは、マイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。

割り込み要因をマイクロ DMA と汎用割り込みの起動で兼用する場合は、その割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低くする必要があります (注)。なお、その割り込み要因は、エッジ割り込みに限られます。

マイクロ DMA 転送終了割り込みは、他のマスカブル割り込みと同様に、割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(CH0 (高) → CH3 (低))

転送元 / 転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16 M バイトとなります。

注) マイクロ DMA 要因の割り込みレベルをほかの割り込みレベルより高くすると、下記のような動作をする場合があります。

下記設定にて INTxxx 割り込みが先に発生し、割り込み処理フロー (図 3-1 参照) で、“マイクロ DMA 起動ベクタで指定された割り込み” の確認後で、“割り込みベクタ V のリード” の間に INTyyy が発生した場合、INTyyy の割り込みレベルの方が高いため、その時点でベクタ V は INTyyy のベクタ V に変化してしまいます。割り込み処理フローでは、マイクロ DMA の確認が終了しているため、割り込みベクタ V がすり替わったかたちとなり、CPU はそのまま INTyyy のベクタ V をリードしてしまい、マイクロ DMA の転送カウンタにかかわらず INTyyy が発生してしまいます。

INTxxx: レベル 1 DMA 設定なし

INTyyy: レベル 6 DMA 設定あり

転送モードは1/2/4バイト転送の3種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、I/Oからメモリ、メモリからI/O、I/OからI/Oのデータ転送を簡単に行えます。転送モードの詳細は、“3.2.4 転送モードレジスタ”を参照してください。

転送数カウンタは、16ビット幅で構成されているため、一つの割り込み要因に対して、最大65536回（転送カウンタの設定値が0000Hのとき最大）の、マイクロDMA処理を行うことができます。

マイクロDMA処理を行うことのできる割り込み要因は、表3-1でマイクロDMA起動ベクタのある42種類の割り込みと、ソフトスタートによる計43種類です。

転送先アドレスINCモード2バイト転送（カウンタモード以外は同様）のマイクロDMAサイクルを図3-2に示します（全アドレスエリア16ビットバス、0ウェイト、転送元/転送先アドレスとも偶数の場合）。

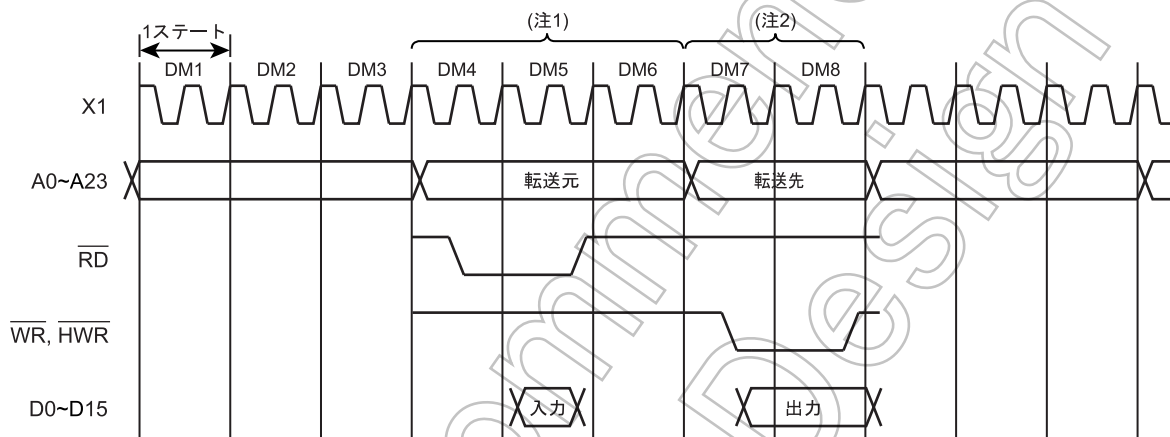


図 3-2 マイクロ DMA サイクル図

第1~3ステート：命令フェッチ・サイクル（次の命令コードを先取りします）
命令キューバッファに3バイト以上の命令コードが入ると、このサイクルはダミーサイクルになります。

第4~5ステート：マイクロDMAリードサイクル

第6ステート：ダミーサイクル（アドレスバスは第5ステート状態のままです）

第7~8ステート：マイクロDMAライトサイクル

注1) 転送元アドレスエリアが8ビットバスの場合+2ステートされます。

また、転送元アドレスエリアが16ビットバスで、奇数アドレスから始まる場合も、+2ステートされます。

注2) 転送先アドレスエリアが8ビットバスの場合+2ステートされます。

また、転送先アドレスエリアが16ビットバスで、奇数アドレスから始まる場合も、+2ステートされます。

3.2.2 ソフトスタート機能

割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへのライトサイクルが発生したことにより、マイクロ DMA を起動する“マイクロ DMA ソフトスタート機能”があります。

DMAR レジスタの各ビットに“1”をライトすることにより、マイクロ DMA を一回起動することができます(“0”をライトしても変化しません)。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に“0”にクリアされます。なお、仕様書の制限として一度に1チャンネルしか起動できません(複数のビットに“1”をライトしないでください)。

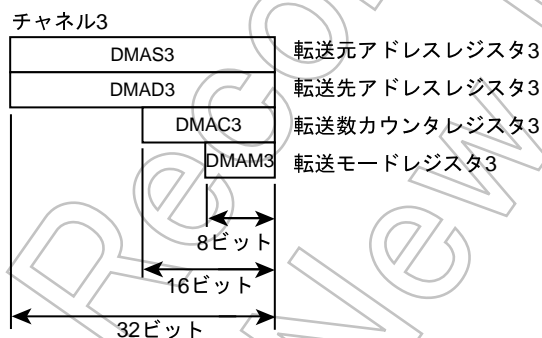
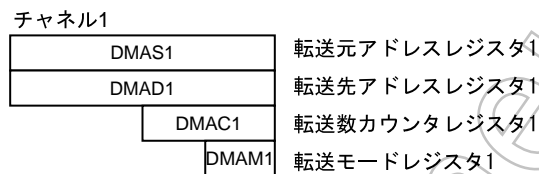
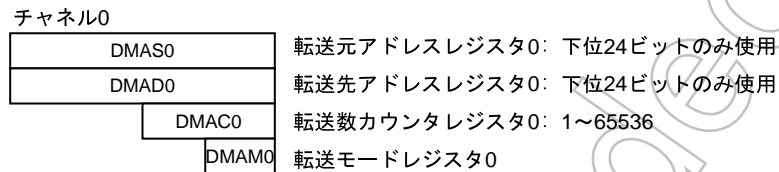
また再度 DMAR レジスタに“1”をライトする場合は、そのビットが“0”であることを確認してから行ってください。リードした値が“1”の場合は、まだマイクロ DMA 転送が開始されません。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが“0”になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトスタートを実行してもマイクロ DMA 転送カウンタは変化しません。ほかのビットへの誤書き込みを防ぐために、リードモディファイライト命令は使わないでください。

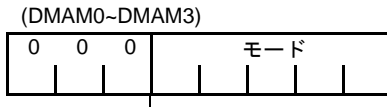
記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA Request Register	89H RMW 禁止	-	-	-	-	DMAR3	DMAR2	DMAR1	DMAR0
			-	-	-	-	R/W			
			-	-	-	-	0	0	0	0

3.2.3 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記の CPU 内レジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



3.2.4 転送モードレジスタ : DMAM0~DMAM3



注) このレジスタに値を設定するとき、上位3ビットは“0”にしてください。

ZZ: 0 = バイト転送、1 = ワード転送、2 = 4 バイト転送、3 = Reserved
 ↓ 実行時間

0 0 0 Z Z	転送先アドレス INC モード I/O ~ メモリ用 (DMADn+) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTC 発生	8 ステート (800 ns) @ バイト / ワード転送 12 ステート (1200 ns) @ 4 バイト転送
0 0 1 Z Z	転送先アドレス DEC モード I/O ~ メモリ用 (DMADn-) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTC 発生	8 ステート (800 ns) @ バイト / ワード転送 12 ステート (1200 ns) @ 4 バイト転送
0 1 0 Z Z	転送元アドレス INC モード メモリ ~ I/O 用 (DMADn) ← (DMASn+) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTC 発生	8 ステート (800 ns) @ バイト / ワード転送 12 ステート (1200 ns) @ 4 バイト転送
0 1 1 Z Z	転送元アドレス DEC モード メモリ ~ I/O 用 (DMADn) ← (DMASn-) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTC 発生	8 ステート (800 ns) @ バイト / ワード転送 12 ステート (1200 ns) @ 4 バイト転送
1 0 0 Z Z	アドレス固定モード I/O ~ I/O 用 (DMADn) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 の場合 INTTC 発生	8 ステート (800 ns) @ バイト / ワード転送 12 ステート (1200 ns) @ 4 バイト転送
1 0 1 0 0	カウンタ・モード 割り込み発生回数カウント用 DMASn ← DMASn + 1 DMACn ← DMACn - 1 DMACn = 0 の場合 INTTC 発生	5 ステート (500 ns)

- 注 1) n: マイクロ DMA チャンネル 0~3
 DMADn+ / DMASn+: ポストインクリメント (転送後レジスタの値をインクリメント)
 DMADn- / DMASn-: ポストデクリメント (転送後レジスタの値をデクリメント)
 表中の I/O とは固定されたアドレス、メモリとはインクリメント、デクリメントされるアドレスを意味します。
- 注 2) 実行時間:
 転送元 / 転送先アドレス空間が 16 ビットバス幅、0 ウェイトに設定されている場合を示します。
 クロック条件は $f_c = 20 \text{ MHz}$ 、高速クロックギア: 1 倍 (f_c) です。
- 注 3) 転送モードレジスタへは上記以外のコードを設定しないでください。

3.3 割り込みコントローラの制御

図 3-3 に、割り込み回路のブロック図を示します。この図の左側は、割り込みコントローラを示し、右側は CPU の割り込み要求信号回路と、ホルト解除回路を示しています。

割り込みコントローラは、割り込み要求フラグ、割り込みレベルレジスタ、マイクロ DMA 起動ベクタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

割り込み要求フラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタをリードしたとき
- 割り込みをクリアする命令の実行 (INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA を受け付けたとき
- その割り込みでのマイクロ DMA バースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込みレベルレジスタ (INTE0AD, INTE12, など) にそれぞれのレベルを設定できます。設定できる割り込みレベルは 1 から 6 までの 6 レベルです。レベルを “0” (または “7”) にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスクابل割り込み (NMI 端子, ウォッチドッグタイマ) のレベルは “7” に固定されています。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティに従い、割り込みを受け付けます。なお、割り込みレベルレジスタのビット 3, ビット 7 をリードすると、割り込み要求フラグの状態がリードされ、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、発生した割り込みの割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ (SR) に割り付けられている割り込みマスクレジスタ <IFF2:0> と割り込みレベルを比較し、割り込みのレベルがそれ以上であれば、この割り込みを受け付けます。そして、CPU 側の SR<IFF2:0> に、受け付けた割り込みレベル+1 の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了 (RETI 命令の実行) により、SR<IFF2:0> には、スタックに退避されていた、割り込み発生以前の割り込みマスクレジスタの値がリストアされます。

割り込みコントローラには、マイクロ DMA の起動ベクタを格納するレジスタ (4 チャンネル) が用意されています。このレジスタに起動ベクタ (表 3-1 参照) をあらかじめライトすることにより、該当する割り込み要求が発生することによって、マイクロ DMA が起動されます。なお、このマイクロ DMA 処理の前に、マイクロ DMA パラメータ用レジスタ (DMAS, DMAD など) に値を設定しておく必要があります。

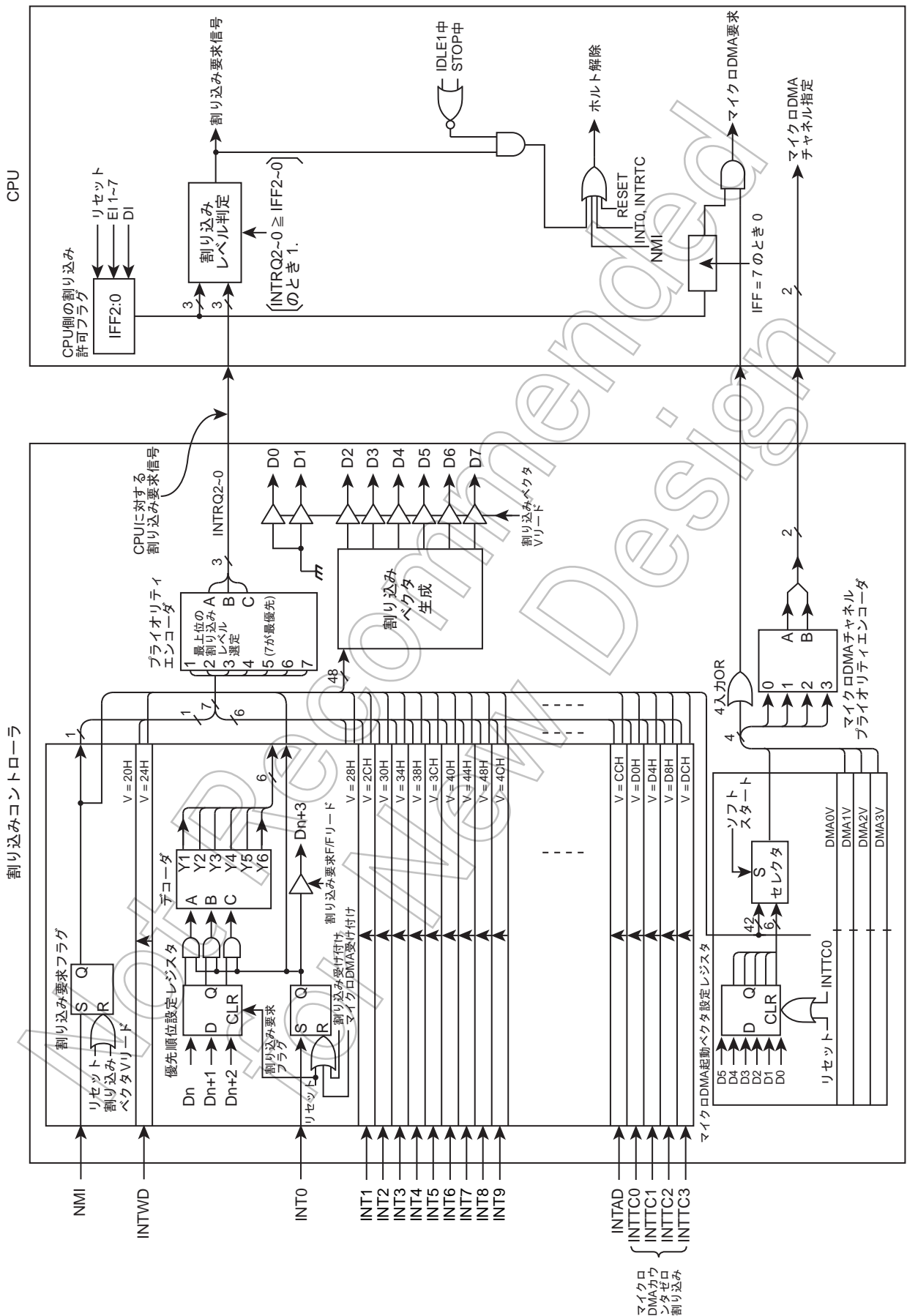


図 3-3 割り込みコントローラブロック図

3.3.1 割り込みレベル設定レジスタ

割り込みレベル設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD enable	90H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE12	INT1 & INT2 enable	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE34	INT3 & INT4 enable	92H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE56	INT5 & INT6 enable	93H	INT6				INT5			
			I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE78	INT7 & INT8 enable	94H	INT8				INT7			
			I8C	I8M2	I8M1	I8M0	I7C	I7M2	I7M1	I7M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE910	INT9 & INT10 enable	95H	INT10				INT9			
			I10C	I10M2	I10M1	I10M0	I9C	I9M2	I9M1	I9M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA01	INTTA0 & INTTA1 enable	96H	INTTA1(TMRA1)				INTTA0(TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

IXXC
割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを“1”に設定
0	1	0	割り込みレベルを“2”に設定
0	1	1	割り込みレベルを“3”に設定
1	0	0	割り込みレベルを“4”に設定
1	0	1	割り込みレベルを“5”に設定
1	1	0	割り込みレベルを“6”に設定
1	1	1	割り込み要求を禁止に設定

割り込み優先順位設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTEA23	INTTA2 & INTTA3 enable	97H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEA45	INTTA4 & INTTA5 enable	98H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB0	Interrupt enable TMRB0	99H	INTTB01(TMRB0)				INTTB00(TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB1	Interrupt enable TMRB1	9AH	INTTB11(TMRB1)				INTTB10(TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB2	Interrupt enable TMRB2	9BH	INTTB21(TMRB2)				INTTB20(TMRB2)			
			ITB21C	ITB21M2	ITB21M1	ITB21M0	ITB20C	ITB20M2	ITB20M1	ITB20M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB3	Interrupt enable TMRB2	9CH	INTTB31(TMRB3)				INTTB30(TMRB3)			
			ITB31C	ITB31M2	ITB31M1	ITB31M0	ITB30C	ITB30M2	ITB30M1	ITB30M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB4	Interrupt enable TMRB2	9DH	INTTB41(TMRB4)				INTTB40(TMRB4)			
			ITB41C	ITB41M2	ITB41M1	ITB41M0	ITB40C	ITB40M2	ITB40M1	ITB40M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEB01V	Interrupt enable TMRB0/1 (オーバーフロー)	9EH	INTTBOF1(TMRB1 オーバフロー)				INTTBOF0(TMRB0 オーバフロー)			
			ITF1C	ITF1M2	ITF1M1	ITF1M0	ITF0C	ITF0M2	ITF0M1	ITF0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

IXXC
割り込み要求フラグ

ixxM2	ixxM1	ixxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを“1”に設定
0	1	0	割り込みレベルを“2”に設定
0	1	1	割り込みレベルを“3”に設定
1	0	0	割り込みレベルを“4”に設定
1	0	1	割り込みレベルを“5”に設定
1	1	0	割り込みレベルを“6”に設定
1	1	1	割り込み要求を禁止に設定

割り込み優先順位設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETB23V	Interrupt enable TMRB2/3 (オーバーフロー)	9FH	INTTBOF3(TMRB3 オーバフロー)				INTTBOF2(TMRB2 オーバフロー)			
			ITF3C	ITF3M2	ITF3M1	ITF3M0	ITF2C	ITF2M2	ITF2M1	ITF2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETB4VRTC	Interrupt enable TMRB4/INTRTC	A0H	INTRTC				INTTBOF4(TMRB4 オーバフロー)			
			IRTCC	IRTCM2	IRTCM1	IRTCM0	ITF4C	ITF4M2	ITF4M1	ITF4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES0	INTRX0 & INTTX0 enable	A1H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTTX1 enable	A2H	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES2	INTRX2 & INTTX2 enable	A3H	INTTX2				INTRX2			
			ITX2C	ITX2M2	ITX2M1	ITX2M0	IRX2C	IRX2M2	IRX2M1	IRX2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTESBI01	INTSBI0 & INTSBI1 enable	A4H	INTSBI1				INTSBI0			
			ISBI1C	ISBI1M2	ISBI1M1	ISBI1M0	ISBI0C	ISBI0M2	ISBI0M1	ISBI0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC01	INTTC0 & INTTC1 enable	A5H	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 enable	A6H	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

IXXXC
割り込み要求フラグ

lxxM2	lxxM1	lxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを“1”に設定
0	1	0	割り込みレベルを“2”に設定
0	1	1	割り込みレベルを“3”に設定
1	0	0	割り込みレベルを“4”に設定
1	0	1	割り込みレベルを“5”に設定
1	1	0	割り込みレベルを“6”に設定
1	1	1	割り込み要求を禁止に設定

3.3.2 外部割り込みの制御

外部割り込み制御レジスタ (IIMC)

記号	名称	アドレス	7	6	5	4	3	2	1	0
IIMC	Interrupt input mode control	8CH RMW 禁止	-	-	-	-	-	IOEDGE	IOLE	NMIREE
			W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください	-	-	-	-	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0: エッジ 1: レベル	1: NMI 立ち上がりでも動作

INT0 設定

P7FC<P75F>	<IOLE>	<IOEDGE>	INT0
1	0	0	立ち上がりエッジ割り込み
1	0	1	立ち下がりエッジ割り込み
1	1	0	High レベル割り込み
1	1	1	Low レベル割り込み

NMI 立ち上がりエッジイネーブル

0	立ち下がりエッジでのみ割り込み要求発生
1	立ち上がり/立ち下がり両方のエッジで割り込み要求発生

3.3.3 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタに表 3-1 のマイクロ DMA 起動ベクタをライトすることで行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH INT0 割り込み要求フラグのクリア

割り込み要求フラグクリアレジスタ (INTCLR)

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt Clear Control	88H RMW 禁止	-	-	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
			W							
			-	-	0	0	0	0	0	0
			割り込みベクタ							

3.3.4 マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが 0 になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

従って、2チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します（マイクロ DMA のチェーン）。

マイクロ起動ベクタレジスタ (DMA_nV)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 Start Vector	80H	-	-	DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
			-	-	R/W					
			-	-	0	0	0	0	0	0
			-	-	DMA0 起動ベクタ					
DMA1V	DMA1 Start Vector	81H	-	-	DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
			-	-	R/W					
			-	-	0	0	0	0	0	0
			-	-	DMA1 起動ベクタ					
DMA2V	DMA2 Start Vector	82H	-	-	DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
			-	-	R/W					
			-	-	0	0	0	0	0	0
			-	-	DMA2 起動ベクタ					
DMA3V	DMA3 Start Vector	83H	-	-	DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
			-	-	R/W					
			-	-	0	0	0	0	0	0
			-	-	DMA3 起動ベクタ					

3.3.5 マイクロ DMA のバースト指定

マイクロ DMA 処理は、バースト指定を行うことにより 1 回のマイクロ DMA 起動で転送カウンタレジスタが 0 になるまで、連続転送を行うことが可能です。DMAB レジスタのマイクロ DMA チャンネルに対応するビットを“1”にすることで、バースト指定できます。

バースト転送中にほかの割り込み(マスカブル/ノンマスカブルにかかわらず)が発生した場合は、バースト転送終了後に割り込み処理を実行します。

マイクロ DMA バーストリクエストレジスタ (DMAR)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA Software Request Register	89H RMW 禁止	-	-	-	-	DMAR3	DMAR2	DMAR1	DMAR0
							R/W			
			-	-	-	-	0	0	0	0
							DMA 要求			
DMAB	DMA Burst Register	8AH	-	-	-	-	DMAB3	DMAB2	DMAB1	DMAB0
							R/W			
			-	-	-	-	0	0	0	0
							DMA バースト要求			

3.3.6 注意事項

CPU は、命令実行ユニットとバスインタフェースユニットが分離されています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令（注）を実行することがあります。この場合、CPU は要因消滅ベクタ “0008H” をリードし、FFFF08H 番地の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアする時は、DI 命令の後にクリアする命令を置くようにしてください。クリアする命令を実行した後、再び EI 命令で割り込みをイネーブルにする時は、クリア命令後必ず 1 命令以上間をおいてから EI 命令を実行してください。クリア命令後すぐに EI 命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになることがあります。

また、POP SR 命令により割り込みマスクレベル（ステータスレジスタ SR の <IFF2:0>）を書き替えるときは、必ず DI 命令により割り込みを禁止した後、POP SR 命令を実行してください。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0 のレベルモード	<p>エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を通りし、Q 出力になります。モード変更（エッジ→レベル）を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。</p> <p>INT0 を “0” から “1” にすることによって、CPU が割り込み応答シーケンスに入った時は、その割り込み応答シーケンスが完了するまで INT0 を “1” のままにしておく必要があります。また、INT0 のレベルモードを HALT の解除に使用する場合も一度 “0” から “1” にしたら、ホルトが解除されるまで必ず “1” に保持しておく必要があります。（ノイズによって途中で “0” が入ることがないようにしてください）</p> <p>レベルモードからエッジモードへ切り替えたとき、レベルモード時に受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。</p> <pre>DI LD (IIMC), 00H ; レベルからエッジへ切り替える LD (INTCLR), 0AH ; INT0 割り込み要求フラグをクリア NOP ; EI の実行待ち EI</pre>
INTRX _n	<p>割り込み要求用フリップフロップをクリアするには、リセット動作または、シリアルチャネルの受信バッファをリードする必要があります。命令によるクリアはできません。</p>

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令

レベルモードでの割り込み要求発生後の端子入力変化 (“H” → “L”)

INTRX_n: 受信バッファをリードする命令

第4章 ポート機能

合計 83 ビットの入出力ポートがあります。

また、これらのポート端子は、汎用入出力ポート機能だけでなく、内部の CPU や内蔵 I/O の入出力機能と兼用になっています。表 4-1 に各ポート端子の機能を、表 4-2 に各端子の設定方法を示します。

表 4-1 ポート機能 (R:PU= プログラマブルプルアップ抵抗付き) (1 / 2)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
ポート 0	P00~P07	8	入出力	-	ビット	AD0~AD7
ポート 1	P10~P17	8	入出力	-	ビット	AD8~AD15/A8~A15
ポート 2	P20~P27	8	入出力	-	ビット	A16~A23/A0~A7
ポート 3	P30	1	入出力	-	ビット	TB3IN0, INT3, SDA0
	P31	1	入出力	-	ビット	TB3IN1, INT4, SCL0
	P32	1	入出力	-	ビット	WAIT, TB3OUT0
	P33	1	入出力	-	ビット	TB3OUT1
ポート 4	P40	1	入出力	PU	ビット	CS0, SCOUT
	P41	1	入出力	PU	ビット	CS1, TXD2
	P42	1	入出力	PU	ビット	CS2, RXD2
	P43	1	入出力	PU	ビット	CS3, SCLK2, CTS2
	P44	1	入出力	PU	ビット	ALE
ポート 5	P50	1	入出力	-	ビット	AN0
	P51	1	入出力	-	ビット	AN1
	P52	1	入出力	-	ビット	AN2
	P53	1	入出力	-	ビット	AN3
	P54	1	入出力	-	ビット	AN4
	P55	1	入出力	-	ビット	AN5
	P56	1	入出力	-	ビット	AN6
	P57	1	入出力	-	ビット	AN7
ポート 6	P60	1	入出力	-	ビット	AN8
	P61	1	入出力	-	ビット	AN9
	P62	1	入出力	-	ビット	AN10
	P63	1	入出力	-	ビット	AN11
	P64	1	入出力	-	ビット	AN12
	P65	1	入出力	-	ビット	AN13
	P66	1	入出力	-	ビット	AN14
	P67	1	入出力	-	ビット	AN15
ポート 7	P70	1	入出力	-	ビット	TA0IN
	P71	1	入出力	-	ビット	TA1OUT
	P72	1	入出力	-	ビット	TA3OUT
	P73	1	入出力	-	ビット	TA4IN
	P74	1	入出力	-	ビット	TA5OUT
	P75	1	入出力	-	ビット	INT0

表 4-1 ポート機能 (R:PU= プログラマブルプルアップ抵抗付き) (2 / 2)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
ポート 8	P80	1	入出力	-	ビット	TB0IN0, INT5
	P81	1	入出力	-	ビット	TB0IN1, INT6
	P82	1	入出力	-	ビット	TB0OUT0
	P83	1	入出力	-	ビット	TB0OUT1
	P84	1	入出力	-	ビット	TB1IN0, INT7
	P85	1	入出力	-	ビット	TB1IN1, INT8
	P86	1	入出力	-	ビット	TB1OUT0
	P87	1	入出力	-	ビット	TB1OUT1
ポート 9	P90	1	入出力	-	ビット	TXD0
	P91	1	入出力	-	ビット	RXD0
	P92	1	入出力	-	ビット	SCLK0, $\overline{\text{CTS0}}$
	P93	1	入出力	-	ビット	TXD1
	P94	1	入出力	-	ビット	RXD1
	P95	1	入出力	-	ビット	SCLK1, $\overline{\text{CTS1}}$
	P96	1	入出力	-	ビット	XT1
	P97	1	入出力	-	ビット	XT2
ポート A	PA0	1	入出力	-	ビット	TB2IN0, INT1
	PA1	1	入出力	-	ビット	TB2IN1, INT2
	PA2	1	入出力	-	ビット	TB2OUT0
	PA3	1	入出力	-	ビット	TB2OUT1
ポート B	PB0	1	入出力	-	ビット	TB4IN0, INT9, SDA1
	PB1	1	入出力	-	ビット	TB4IN1, INT10, SCL1
	PB2	1	入出力	-	ビット	TB4OUT0
	PB3	1	入出力	-	ビット	TB4OUT1
ポート Z	PZ0	1	出力	-	ビット	$\overline{\text{RD}}$
	PZ1	1	出力	-	ビット	$\overline{\text{WR}}$
	PZ2	1	入出力	PU	ビット	$\overline{\text{HWR}}$
	PZ3	1	入出力	PU	ビット	$\overline{\text{R/W}}$

表 4-2 I/O ポート設定一覧表 (1 / 4)

ポート	端子名	仕様	I/O レジスタ設定値				
			Pn	PnCR	PnFC	PnFC2	ODE
ポート 0	P00-P07	入力ポート	×	0	なし	なし	なし
		出力ポート	×	1			
		AD0~AD7 バス#1	×	×			
ポート 1	P10~P17	入力ポート	×	0	0	なし	なし
		出力ポート	×	1	0		
		AD8~AD15 バス	×	0	1		
		A8~A15 出力	×	1	1		
ポート 2	P20~P27	入力ポート	×	0	0	なし	なし
		出力ポート	×	1	0		
		A0~A7 出力	×	0	1		
		A16~A23 出力	×	1	1		
ポート 3	P30-P31	入力ポート	×	0	0	0	—
		出力ポート (CMOS 出力)	×	1	0	0	0
		出力ポート (オープンドレイン出力)	×	1	0	0	1
	P32-P33	入力ポート	×	0	0	なし	なし
		出力ポート	×	1	0		
	P30	TB3IN0 入力, INT3 入力	×	0	1	0	—
		SDA0 入出力 (CMOS 出力)	×	1	0	1	0
		SDA0 入出力 (オープンドレイン出力)#2	×	1	0	1	1
	P31	TB3IN1 入力, INT4 入力	×	0	1	0	—
		SCL0 入出力 (CMOS 出力)	×	1	0	1	0
		SCL0 入出力 (オープンドレイン出力)#2	×	1	0	1	1
	P32	WAIT 出力	×	0	1	なし	なし
		TB3OUT0 出力	×	1	1		
	P33	TB3OUT1 出力	×	1	1		

表 4-2 I/O ポート設定一覧表 (2 / 4)

ポート	端子名	仕様	I/O レジスタ設定値				
			Pn	PnCR	PnFC	PnFC2	ODE
ポート 4	P40, P43	入力ポート (プルアップなし)	0	0	0	0	なし
		入力ポート (プルアップあり)	1	0	0	0	
		出力ポート	x	1	0	0	
	P42, P44	入力ポート (プルアップなし)	0	0	0	なし	なし
		入力ポート (プルアップあり)	1	0	0		
		出力ポート	x	1	0		
	P41	入力ポート (プルアップなし)	0	0	0	0	—
		入力ポート (プルアップあり)	1	0	0	0	—
		出力ポート (CMOS 出力)	x	1	0	0	0
		出力ポート (オープンドレイン出力)	x	1	0	0	1
	P40	CS0 出力	x	1	1	0	なし
		SCOUT 出力	x	1	0	1	
	P41	CS1 出力 (CMOS 出力)	x	1	1	0	0
		CS1 出力 (オープンドレイン出力)	x	1	1	0	1
		TXD2 出力 (CMOS 出力)	x	1	0	1	0
		TXD2 出力 (オープンドレイン出力) ^{#2}	x	1	0	1	1
	P42	CS2 出力	x	1	1	なし	なし
		RXD2 入力	x	0	0		
	P43	CS3 出力	x	1	1	0	なし
		SCLK2 入力	x	0	0	0	
SCLK2 出力		x	1	0	1		
CTS2 入力		x	0	0	0		
P44	ALE 出力	x	1	1	なし	なし	
ポート 5	P50-P57	入力ポート	x	0	1	なし	なし
		出力ポート	x	1	0		
		AN0-AN7 入力 ^{#3}	x	0	0		
ポート 6	P60-P67	入力ポート	x	0	1	なし	なし
		出力ポート	x	1	0		
		AN8-AN15 入力 ^{#3}	x	0	0		
ポート 7	P70-P75	入力ポート	x	0	0	なし	なし
		出力ポート	x	1	0		
	P70	TA0IN 入力	x	0	なし		
	P71	TA1OUT 出力	x	1	1		
	P72	TA3OUT 出力	x	1	1		
	P73	TA4IN 入力	x	0	なし		
	P74	TA5OUT 出力	x	1	1		
	P75	INT0 入力	x	0	1		

表 4-2 I/O ポート設定一覧表 (3 / 4)

ポート	端子名	仕様	I/O レジスタ設定値					
			Pn	PnCR	PnFC	PnFC2	ODE	
ポート 8	P80~P87	入力ポート	x	0	0	なし	なし	
		出力ポート	x	1	0			
	P80	TB0IN0, INT5 入力	x	0	1			
	P81	TB0IN1, INT6 入力	x	0	1			
	P82	TB0OUT0 出力	x	1	1			
	P83	TB0OUT1 出力	x	1	1			
	P84	TB1IN0, INT7 入力	x	0	1			
	P85	TB1IN1, INT8 入力	x	0	1			
	P86	TB1OUT0 出力	x	1	1			
	P87	TB1OUT1 出力	x	1	1			
ポート 9	P91~P92, P94~P95	入力ポート	x	0	0	なし	なし	
		出力ポート	x	1	0		—	
	P90, P93	入力ポート	x	0	0		0	
		出力ポート (CMOS 出力)	x	1	0		1	
		出力ポート (オープンドレイン出力)	x	1	0		0	
	P90	TXD0 出力 (CMOS 出力)	x	1	1		1	
		TXD0 出力 (オープンドレイン出力) ^{#2}	x	1	1		なし	
	P91	RXD0 入力	x	0	なし		なし	
	P92	SCLK0 入力	x	0	0		なし	なし
		SCLK0 出力	x	1	1			
		CTS0 入力	x	0	0			
	P93	TXD1 出力 (CMOS 出力)	x	1	1		0	
		TXD1 出力 (オープンドレイン出力) ^{#2}	x	1	1		1	
	P94	RXD1 入力	x	0	なし		なし	
	P95	SCLK1 入力	x	0	0		なし	なし
		SCLK1 出力	x	1	1			
		CTS1 入力	x	0	0			
P96~P97	入力ポート	x	0	1	なし	なし		
	出力ポート	x	1	1				
	XT1~XT2 ^{#4}	x	0	0				
ポート A	PA0~PA3	入力ポート	x	0	0	なし	なし	
		出力ポート	x	1	0			
	PA0	TB2IN0 入力, INT1 入力	x	0	1			
	PA1	TB2IN1 入力, INT2 入力	x	0	1			
	PA2	TB2OUT0	x	1	1			
PA3	TB2OUT1	x	1	1				

表 4-2 I/O ポート設定一覧表 (4 / 4)

ポート	端子名	仕様	I/O レジスタ設定値				
			Pn	PnCR	PnFC	PnFC2	ODE
ポート B	PB0-PB1	入力ポート	x	0	0	0	—
		出力ポート (CMOS 出力)	x	1	0	0	0
		出力ポート (オープンドレイン出力)	x	1	0	0	1
	PB2-PB3	入力ポート	x	0	0	なし	なし
		出力ポート	x	1	0		
	PB0	TB4IN0 入力, INT9 入力	x	0	1	0	—
		SDA1 入出力 (CMOS 出力)	x	1	0	1	0
		SDA1 入出力 (オープンドレイン出力) ^{#2}	x	1	0	1	1
	PB1	TB4IN1 入力, INT10 入力	x	0	1	0	—
		SCL1 入出力 (CMOS 出力)	x	1	0	1	0
		SCL1 入出力 (オープンドレイン出力) ^{#2}	x	1	0	1	1
	PB2	TB4OUT0 出力	x	1	1	なし	なし
PB3	TB4OUT1 出力	x	1	1			
ポート Z	PZ0	出力ポート	x	なし	0	なし	なし
		外部アクセス時のみ \overline{RD} 出力	1		1		
		常に \overline{RD} 出力	0		1		
	PZ1	出力ポート	x	なし	0		
		外部アクセス時のみ \overline{WR} 出力	x		1		
	PZ2-PZ3	入力ポート (プルアップなし)	0	0	0		
		入力ポート (プルアップあり)	1	0	0		
		出力ポート	x	1	0		
	PZ2	\overline{HWR} 出力	x	1	1		
	PZ3	\overline{RW} 出力	x	0	1		

#1 AD0~AD7 への切り替えは特にポートの設定はありません。外部領域アクセス時に自動的に切り替わります。

#2 P30,P31,P41,P90,P93,PB0,PB1 をそれぞれ SDA0,SCL0,TXD2、TXD0,TXD1,SDA1,SCL1 出力でオープンドレイン出力として使用する場合は、ODE にて設定をします。

#3 P50~P57,P60~P67 を AD コンバータの入力チャンネルとして使用する場合のチャンネル選択は、ADCCR1<SAIN3:0> で設定します。

#4 P96~P97 を XT1-XT2 として使用する場合、SYSCR0 により発振許可などの設定をします。

注) X:Don't care

4.1 ポート 0 (P00~P07)

ポート 0 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P0CR によって行います。リセット動作により、P0CR の全ビットは“0”にリセットされ、ポート 0 は入力モードになります。

汎用入出力ポート機能以外に、アドレスデータバス (AD0~AD7) 機能があります。外部メモリをアクセスすると、自動的にアドレスデータバス (AD0~AD7) として機能し、P0CR はすべて“0”にクリアされます。よって、アドレスデータバス (AD0~AD7) 機能の設定はありません。

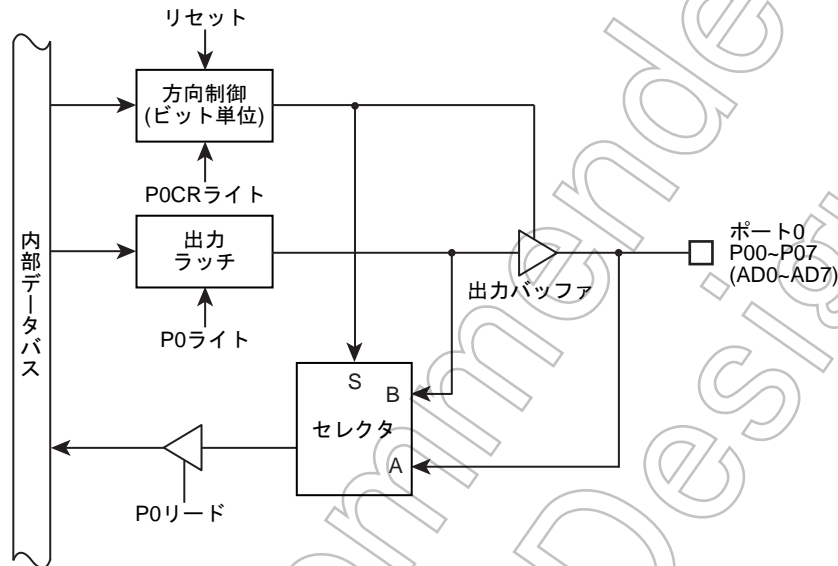


図 4-1 ポート 0

ポート 0 レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	P07	P06	P05	P04	P03	P02	P01	P00
P0 (0000H)	Read/Write R/W							
リセット後	外部端子データ (出力ラッチレジスタは不定となります。)							

ポート 0 コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
P0CR (0002H)	Read/Write W							
RMW 禁止	リセット後							
機能	0: 入力 1: 出力 (外部アクセス時は AD7~AD0 になり、このレジスタは 0 にクリアされます。)							

アクセス先	P0xC	P07 機能	P06 機能	P05 機能	P04 機能	P03 機能	P02 機能	P01 機能	P00 機能
内部アクセス	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
外部アクセス	"0"にクリア	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0

注) <P0xC> はそれぞれレジスタ P0CR のビット x です。

4.2 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P1CR とファンクションレジスタ P1FC によって行います。リセット動作により、出力ラッチの P1 の全ビットと、P1CR と P1FC の全ビットは“0”にリセットされ、ポート 1 は入力モードになります。

汎用入出力ポート以外に、アドレスデータバス (AD8~AD15) 機能とアドレスバス (A8~A15) 機能があります。

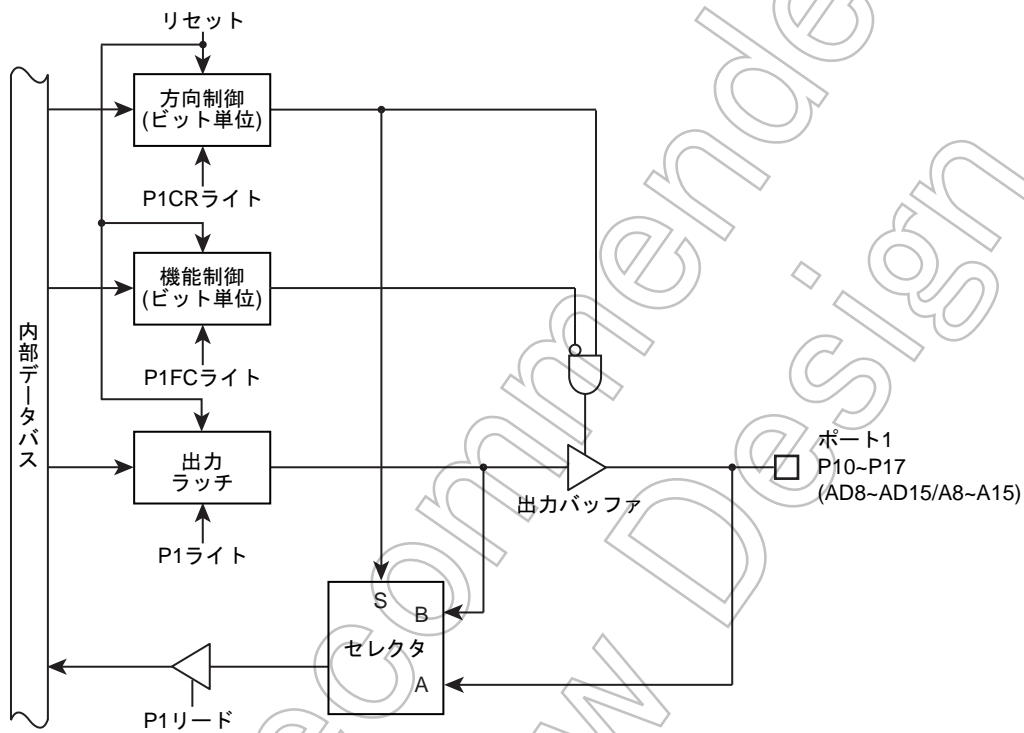


図 4-2 ポート 1

ポート 1 レジスタ

	7	6	5	4	3	2	1	0	
P1 (0001H)	Bit symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは 0 にクリアされます。)							

ポート 1 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P1CR (0004H)	Bit symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
RMW 禁止	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	<<P1FC の欄を参照>>							

ポート 1 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P1FC (0005H)	Bit symbol	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
RMW 禁止	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	P1FC/P1CR = 00: 入力ポート, 01: 出力ポート, 10: AD15~AD8, 11: A15~A8							

P1xF	P1xC	P17 機能	P16 機能	P15 機能	P14 機能	P13 機能	P12 機能	P11 機能	P10 機能
0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
1	0	AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8
1	1	A15	A14	A13	A12	A11	A10	A9	A8

注) <P1xF>/<P1xC> はそれぞれレジスタ P1FC/P1CR のビット x です。

4.3 ポート 2 (P20~P27)

ポート 2 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P2CR と、ファンクションレジスタ P2FC によって行います。リセット動作により、出力ラッチ P2 の全ビットは“1”に、P2CR と P2FC の全ビットは“0”にリセットされ、ポート 2 は入力モードになります。

汎用入出力ポート以外には、アドレスバス (A0~A7, A16~A23) 機能があります。

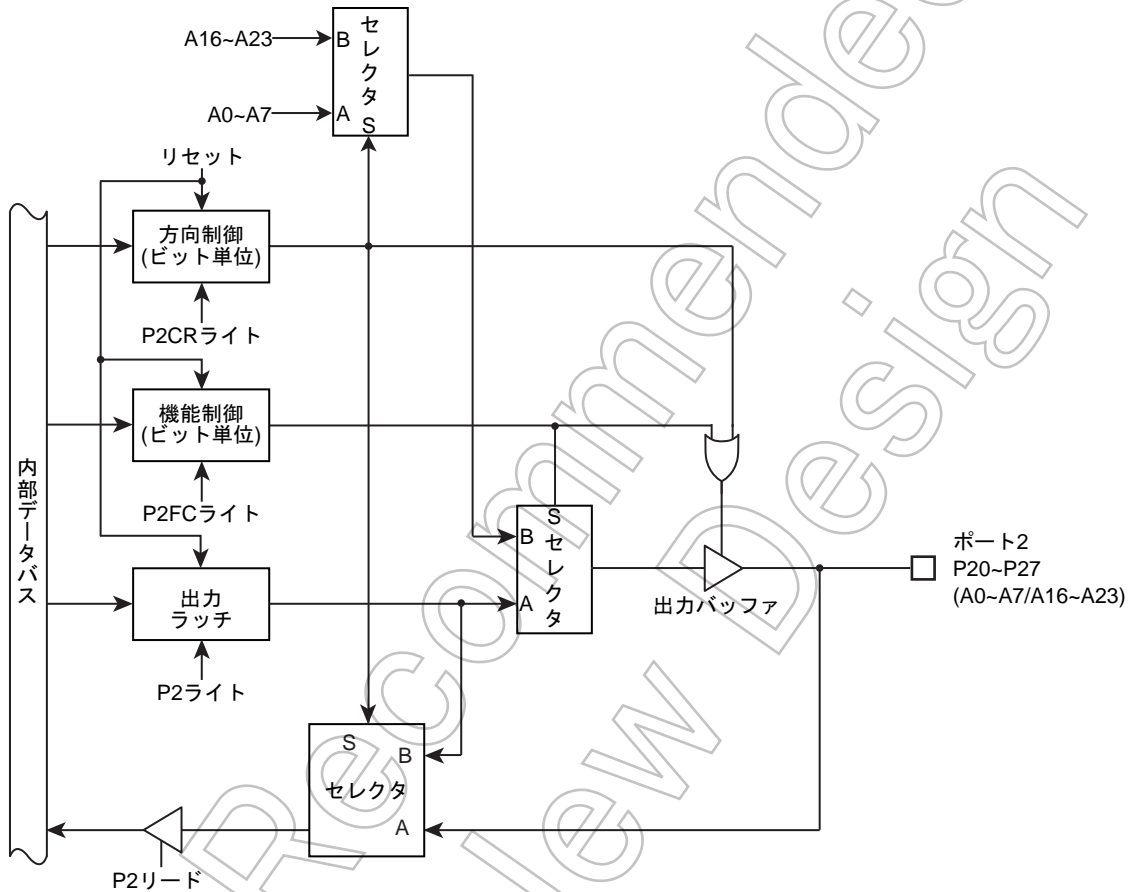


図 4-3 ポート 2

ポート 2 レジスタ

	7	6	5	4	3	2	1	0	
P2 (0006H)	Bit symbol	P27	P26	P25	P24	P23	P22	P21	P20
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは 1 にセットされます。)							

ポート 2 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P2CR (0008H)	Bit symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
RMW 禁止	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	<<P2FC の欄を参照>>							

ポート 2 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P2FC (0009H)	Bit symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
RMW 禁止	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	
	機能	P2FC/P2CR = 00 : 入力ポート, 01 : 出力ポート, 10 : A7-A0, 11 : A23-A16							

P2xF	P2xC	P27 機能	P26 機能	P25 機能	P24 機能	P23 機能	P22 機能	P21 機能	P20 機能
0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
1	0	A7	A6	A5	A4	A3	A2	A1	A0
1	1	A23	A22	A21	A20	A19	A18	A17	A16

注) <P2xF>/<P2xC> はそれぞれレジスタ P2FC/P2CR のビット x です。
アドレスバス A23-A16 に設定するときは、P2CR, P2FC の順に設定してください。P2FC, P2CR の順に設定すると、P2CR 設定値が "0" の場合 P2FC を設定後、P2CR を設定するまでの間アドレス A7-A0 が出力されます。

4.4 ポート 3 (P30~P33)

ポート 3 は、ビット単位で入出力の指定ができる 4 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。また、出力ラッチレジスタ P3 の全ビットは "1" へセットされます。入出力ポート以外には、16 ビットタイマ 3 のクロック入力およびタイマ F/F 出力と、INT3 ~ INT4 入力、WAIT 入力、シリアルバスインタフェース 0 のクロック入出力およびデータ送受信機能があります。この機能はファンクションレジスタ P3FC の該当ビットへ "1" を書き込むことにより、各ファンクションが可能となります。リセット動作により、P3CR, P3FC, P3FC2 の値は "0" にリセットされ、全ビットが入力ポートとなります。

また、このポートは、プログラマブルオープンドレイン機能を持っています。

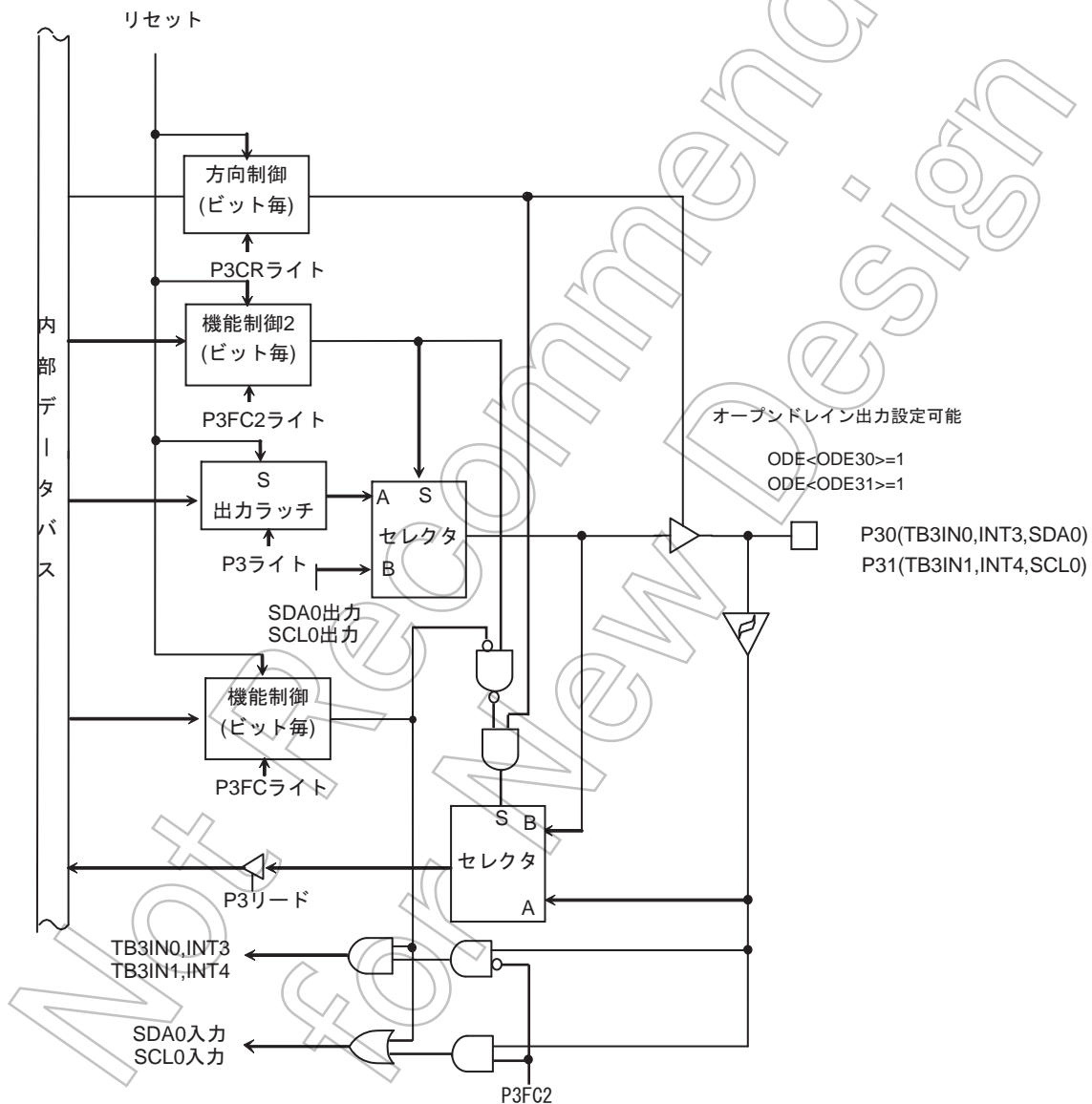


図 4-4 ポート 3 (P30, P31)

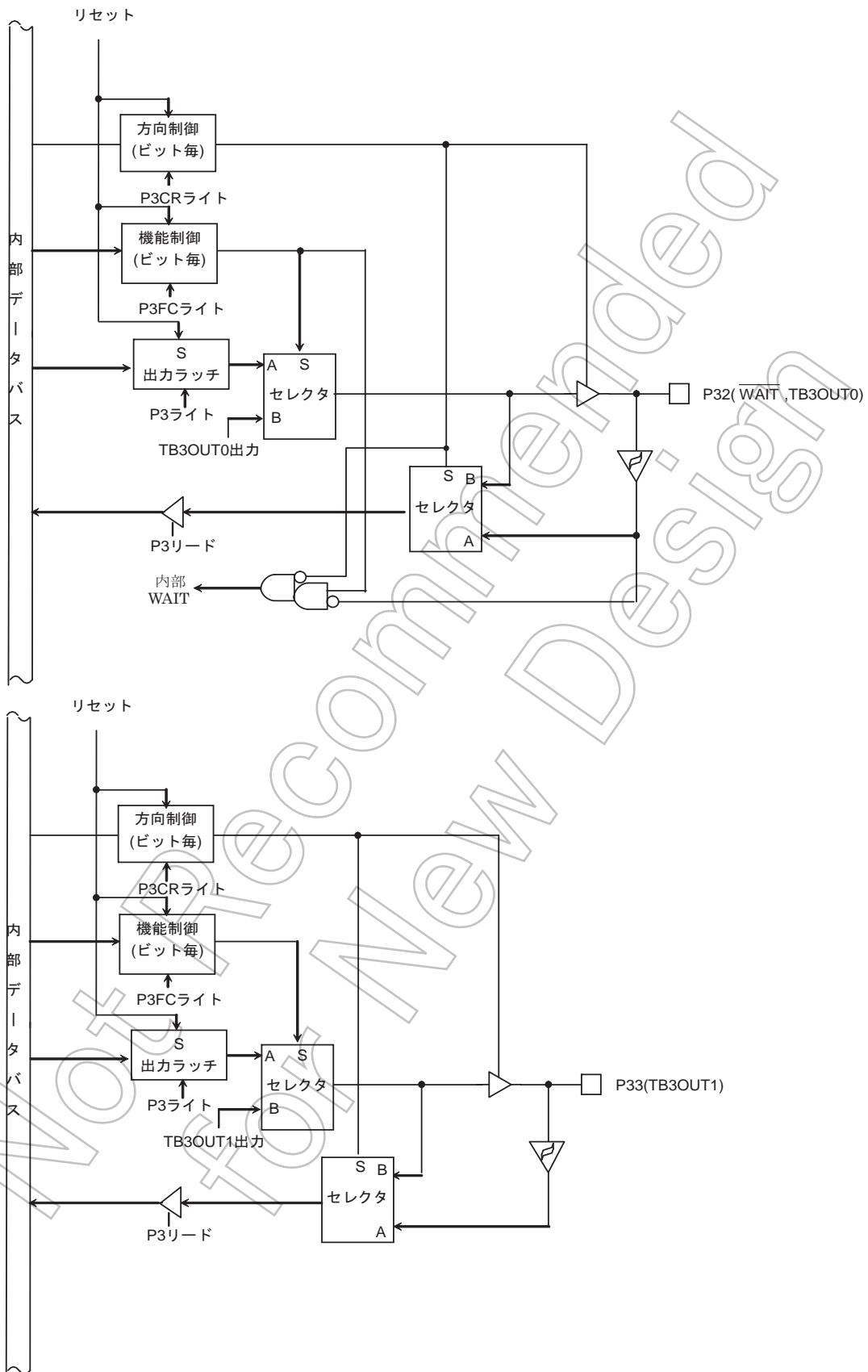


図 4-5 ポート 3 (P32, P33)

ポート 3 レジスタ

	7	6	5	4	3	2	1	0	
P3 (000CH)	Bit symbol	-	-	-	-	P33	P32	P31	P30
	Read/Write	-	-	-	-	R/W			
	リセット後	-	-	-	-	外部端子データ (出力ラッチレジスタは1にセットされます。)			
	機能	-				出力モード			

ポート 3 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P3CR (000EH) RMW 禁止	Bit symbol	-	-	-	-	P33C	P32C	P31C	P30C
	Read/Write	-	-	-	-	W			
	リセット後	-	-	-	-	0	0	0	0
	機能	-				0: 入力 1: 出力			

ポート 3 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P3FC (000FH) RMW 禁止	Bit symbol	-	-	-	-	P33F	P32F	P31F	P30F
	Read/Write	-	-	-	-	W			
	リセット後	-	-	-	-	0	0	0	0

ポート 3 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
P3FC2 (000DH) RMW 禁止	Bit symbol	-	-	-	-	-	P31F2	P30F2
	Read/Write	-	-	-	-	-	W	
	リセット後	-	-	-	-	-	0	0

P3xF2	P3xF	P3xC	P33 機能	P32 機能	P31 機能	P30 機能
0	0	0	入力ポート	入力ポート	入力ポート	入力ポート
0	0	1	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	reserved	WAIT	TB3IN1/INT4	TB3IN0/INT3
0	1	1	TB3OUT1	TB3OUT0	reserved	reserved
1	0	0	reserved	reserved	reserved	reserved
1	0	1	reserved	reserved	SCL0	SDA0
1	1	0	reserved	reserved	reserved	reserved
1	1	1	reserved	reserved	reserved	reserved

注 1) <P3xC>/<P3xF>/<P3xF2> はそれぞれレジスタ P3CR/P3FC/P3FC2 のビット x です。

注 2) P32/WAIT 端子を WAIT 端子として使用する場合は、P3CR<P32C> を "0", P3FC<P32F> を "1"、チップセレクト / ウェイトコントロールレジスタ BnCS のビット <BnW2:0> を "010" に設定する必要があります。

4.5 ポート 4 (P40~P44)

ポート 4 は、ビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。リセット動作によりプルアップ抵抗付きの入力ポートとなります。また、出力ラッチレジスタ P4 の全ビットは "1" へセットされます。入出力ポート以外には、チップセレクト信号出力機能 ($\overline{CS0}\sim\overline{CS3}$)、シリアルチャネル 2 の入出力制御機能、ALE 出力機能があります。この機能はファンクションレジスタ P4FC の該当ビットへ "1" を書き込むことにより、各ファンクションが可能となります。リセット動作により、P4CR, P4FC, P4FC2 の値は "0" にリセットされ、全ビットが入力ポートとなります。

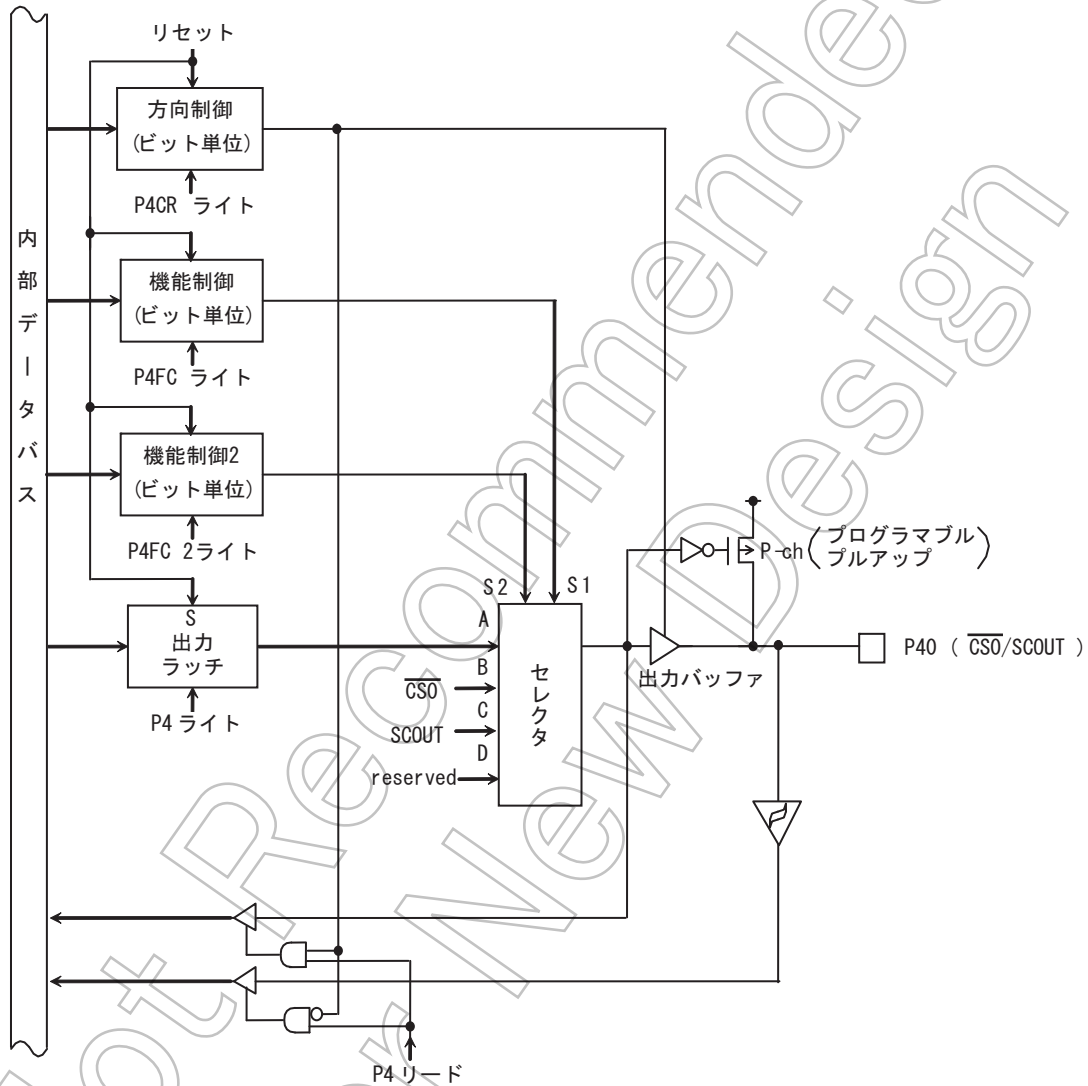


図 4-6 ポート 4 (P40)

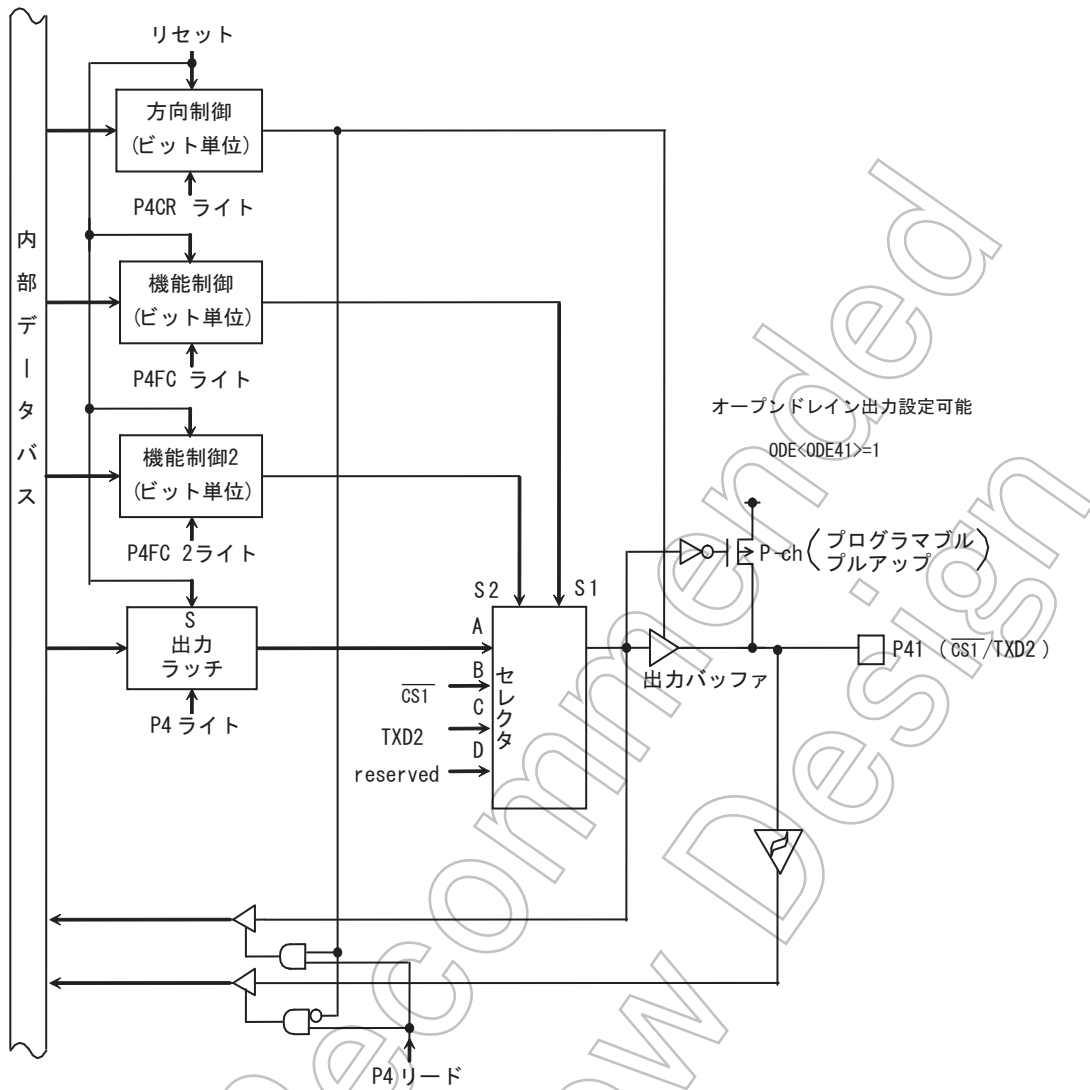


図 4-7 ポート 4 (P41)

出力バッファの入力信号	$ODE41=0$		$ODE41=1$	
	出力バッファ	プルアップ	出力バッファ	プルアップ
内部信号 $P41=0, CS1=0, TXD2=0$	Low 出力	OFF	Low 出力	OFF
内部信号 $P41=1, CS1=1, TXD2=1$	High 出力	ON	Hi-z	ON

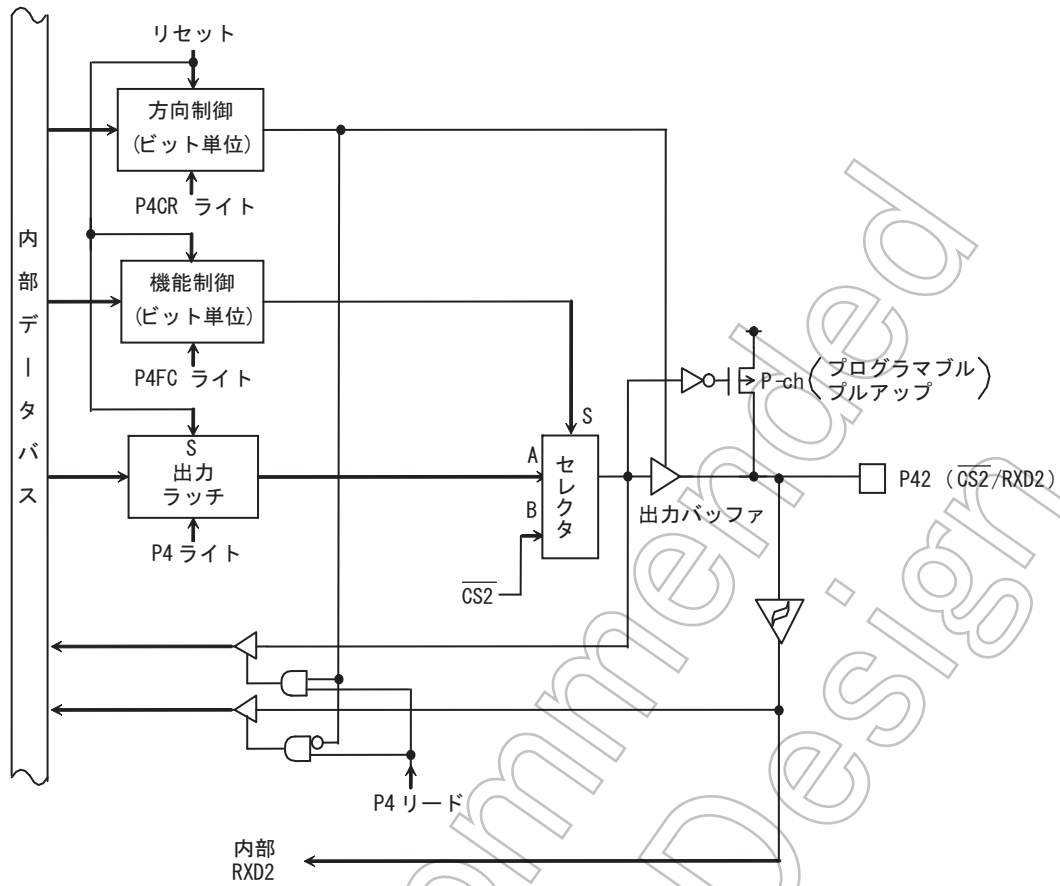


図 4-8 ポート 4 (P42)

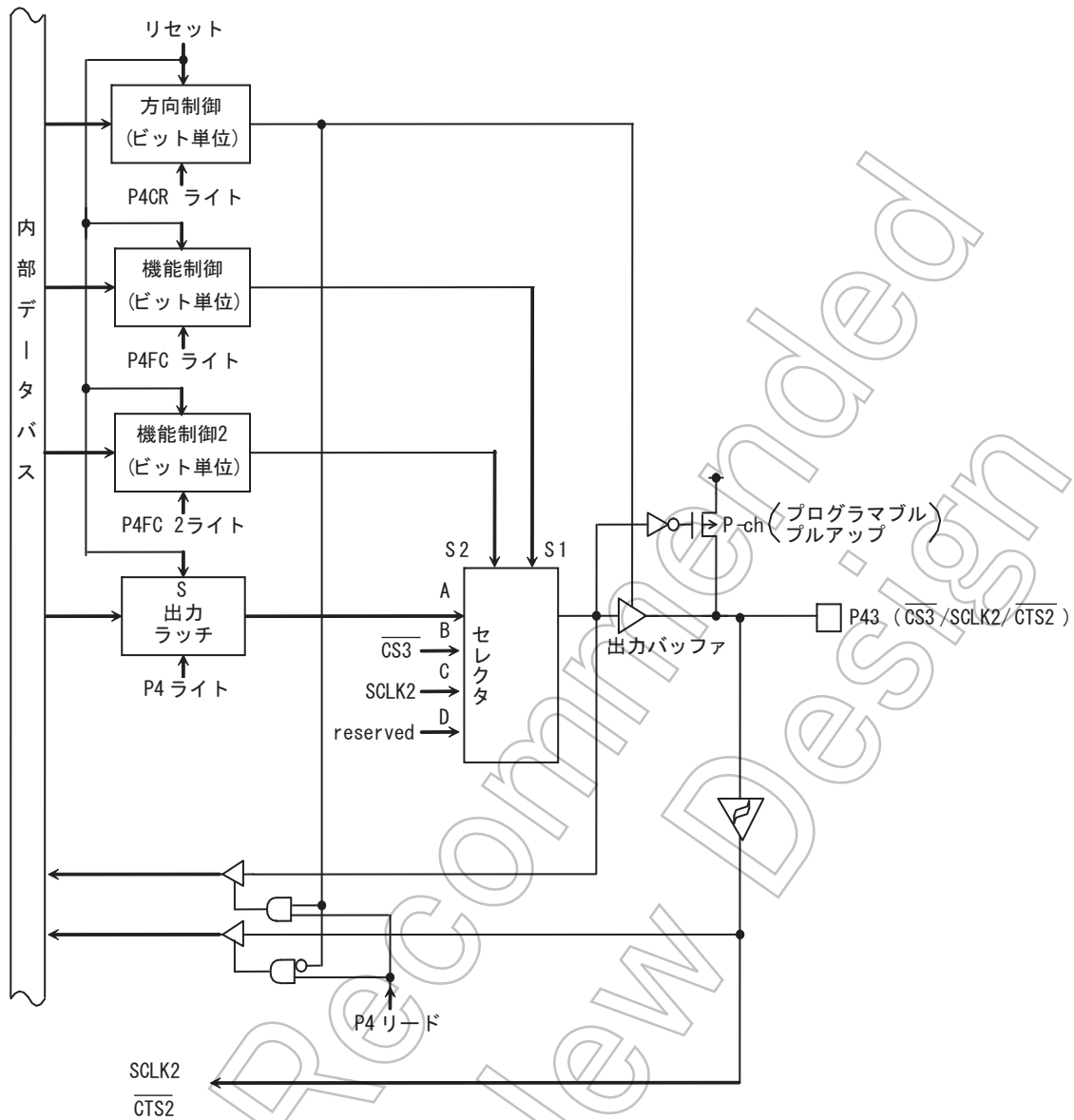


図 4-9 ポート 4 (P43)

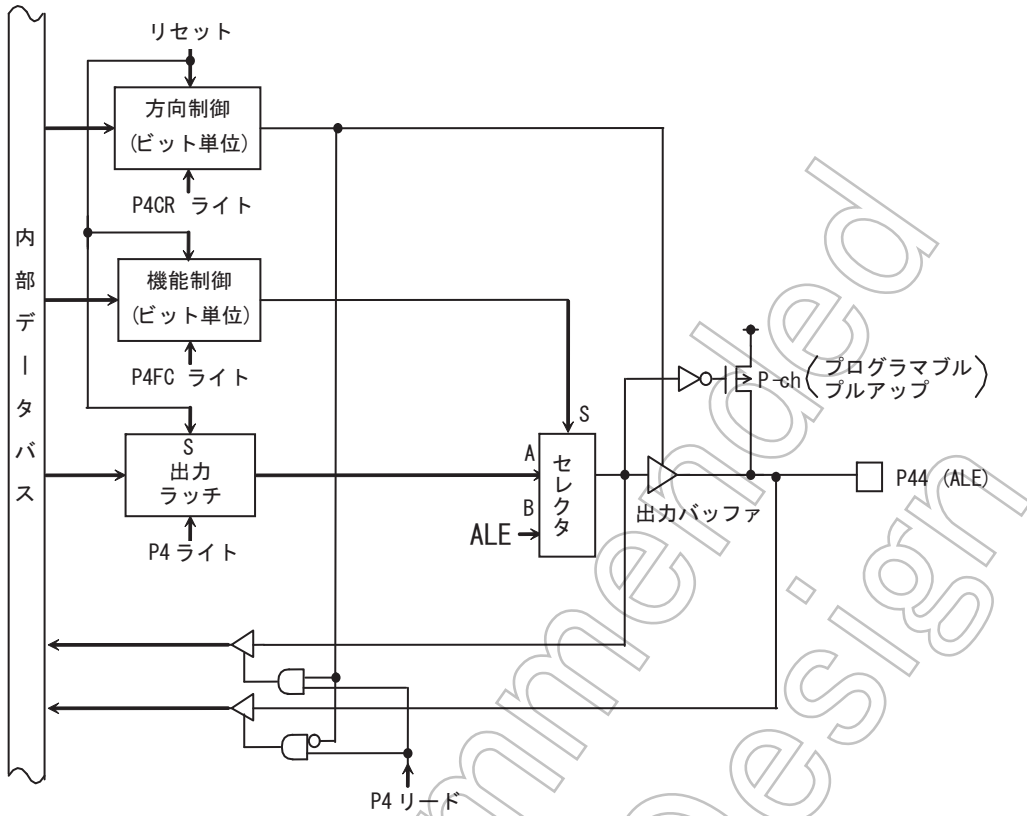


図 4-10 ポート 4 (P44)

Not Recommended for New Design

ポート 4 レジスタ

		7	6	5	4	3	2	1	0
P4 (0010H)	Bit symbol	-	-	-	P44	P43	P42	P41	P40
	Read/Write	-	-	-	R/W				
	リセット後	-	-	-	外部端子データ (出力ラッチレジスタは1にセットされます。)				
	機能	0 (出力ラッチレジスタ): プルアップ抵抗 OFF 1 (出力ラッチレジスタ): プルアップ抵抗 ON							

ポート 4 コントロールレジスタ

		7	6	5	4	3	2	1	0
P4CR (0012H) RMW 禁止	Bit symbol	-	-	-	P44C	P43C	P42C	P41C	P40C
	Read/Write	-	-	-	W				
	リセット後	-	-	-	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート 4 ファンクションレジスタ

		7	6	5	4	3	2	1	0
P4FC (0013H) RMW 禁止	Bit symbol	-	-	-	P44F	P43F	P42F	P41F	P40F
	Read/Write	-	-	-	W				
	リセット後	-	-	-	0	0	0	0	0

ポート 4 ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
P4FC2 (0011H) RMW 禁止	Bit symbol	-	-	-	-	P43F2	-	P41F2	P40F2
	Read/Write	-	-	-	-	W	-	W	
	リセット後	-	-	-	-	0	-	0	0

P4xF2	P4xF	P4xC	P44 機能	P43 機能	P42 機能	P41 機能	P40 機能
0	0	0	入力ポート	入力ポート (SCLK2/CTS2)	入力ポート (RXD2)	入力ポート	入力ポート
0	0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	reserved	reserved	reserved	reserved	reserved
0	1	1	ALE 出力	$\overline{CS3}$	$\overline{CS2}$	$\overline{CS1}$	$\overline{CS0}$
1	0	0	reserved	reserved	reserved	reserved	reserved
1	0	1	reserved	SCLK2	reserved	TXD2	SCOUT
1	1	0	reserved	reserved	reserved	reserved	reserved
1	1	1	reserved	reserved	reserved	reserved	reserved

- 注 1) <P4xC>/<P4xF>/<P4xF2> はそれぞれレジスタ P4CR/P4FC/P4FC2 のビット x です。
- 注 2) ポート 4 を入力モードで使用する場合、内蔵プルアップ抵抗は P4 レジスタにて制御します。入力モードあるいは入出力モードを混在させて使用する場合 (1 ビットでも入力端子が存在するとき) には、リードモディファイライト命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。
- 注 3) チップセレクト信号 ($\overline{CS0}$ ~ $\overline{CS3}$) を出力する場合は、ファンクションレジスタ (P4FC)、コントロールレジスタ (P4CR) の順で双方の対応するビットを 1 にしてください。P4CR を先に設定すると、P4FC レジスタを設定するまでの間、P4 レジスタの値が出力されます。
- 注 4) TXD2 端子をオープンドレイン出力に設定するには、ODE レジスタのビット 2 に "1" をライトします。P42/RXD2 端子は、ポート / ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でも、シリアル受信データとして SIO へ入力されます。

4.6 ポート 5 (P50~P57)

ポート 5 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートで、AD コンバータのアナログ入力端子と兼用になっています。

リセット動作により、ハイインピーダンスとなり、アナログ入力許可状態となります。

また、出力ラッチレジスタの全ビットは "1" へセットされます。

リセット動作により、P5CR, P5FC の値は "0" にリセットされます。

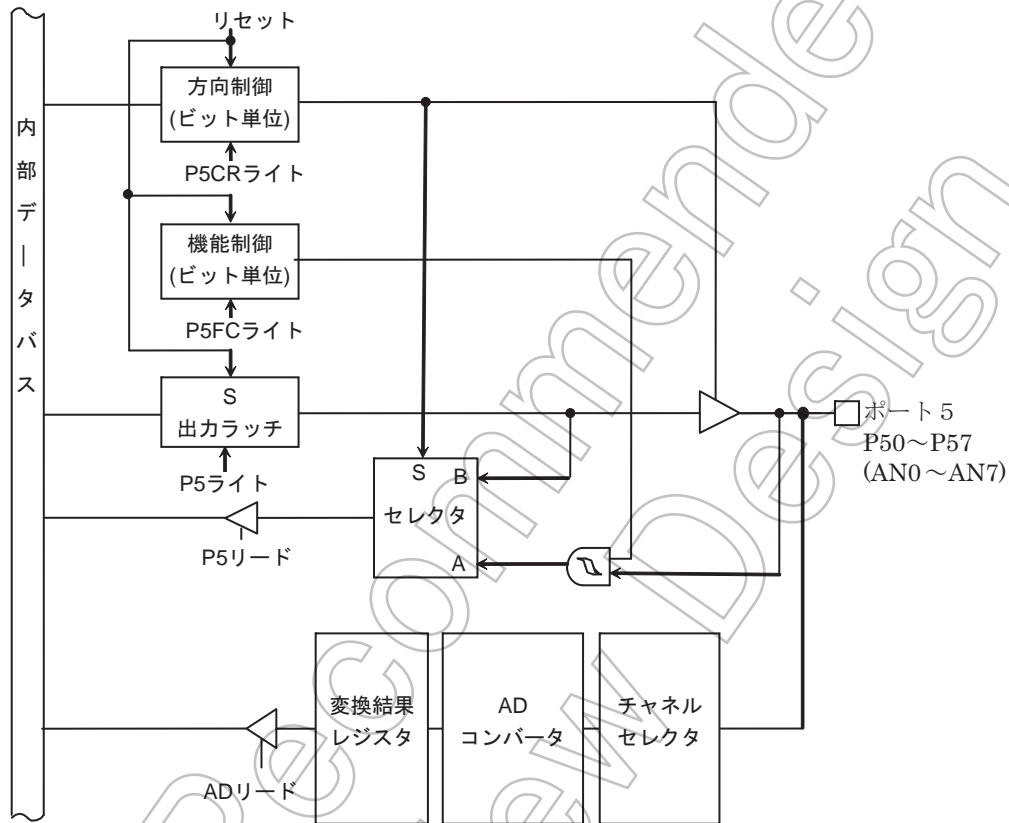


図 4-11 ポート 5

ポート 5 レジスタ

	7	6	5	4	3	2	1	0	
P5 (0014H)	Bit symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "1" にセットされます)							

ポート 5 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P5CR (0016H)	Bit symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
RMW 禁止	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート 5 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P5FC (0017H)	Bit symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
RMW 禁止	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	P57 入力 0: 禁止 1: 許可	P56 入力 0: 禁止 1: 許可	P55 入力 0: 禁止 1: 許可	P54 入力 0: 禁止 1: 許可	P53 入力 0: 禁止 1: 許可	P52 入力 0: 禁止 1: 許可	P51 入力 0: 禁止 1: 許可	P50 入力 0: 禁止 1: 許可

P5xF	P5xC	P57 機能	P56 機能	P55 機能	P54 機能	P53 機能	P52 機能	P51 機能	P50 機能
0	0	入力禁止	入力禁止	入力禁止	入力禁止	入力禁止	入力禁止	入力禁止	入力禁止
0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
1	0	入力許可	入力許可	入力許可	入力許可	入力許可	入力許可	入力許可	入力許可
1	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート

注 1) <P5xC>/<P5xF> はそれぞれレジスタ P5CR/P5FC のビット x です。

注 2) AD コンバータの入力チャネル選択は、AD コンバータモードレジスタ ADCCR1<SAIN>にて設定します。

4.7 ポート 6 (P60~P67)

ポート 6 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートで、AD コンバータのアナログ入力端子と兼用になっています。

リセット動作により、ハイインピーダンスとなり、アナログ入力許可状態となります。

また、出力ラッチレジスタの全ビットは "1" へセットされます。

リセット動作により、P6CR, P6FC の値は "0" にリセットされます。

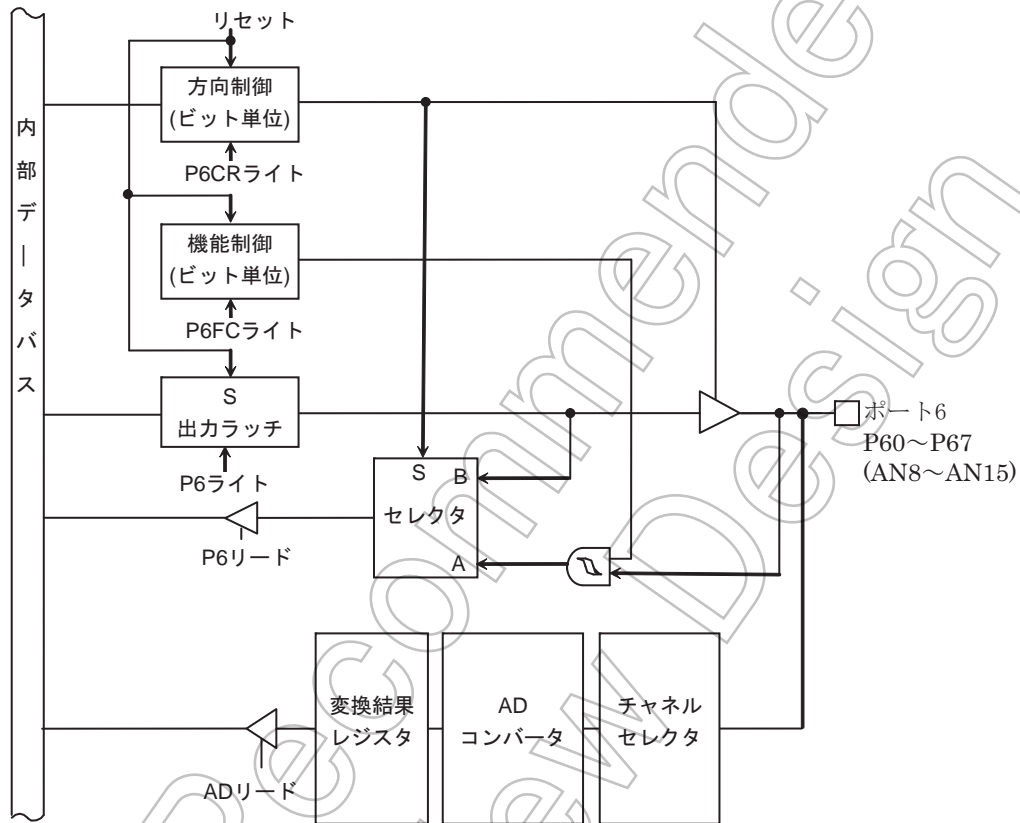


図 4-12 ポート 6

ポート 6 レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	P67	P66	P65	P64	P63	P62	P61	P60
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは "1" にセットされます)							

ポート 6 コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

ポート 6 ファンクションレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機能	P67 入力 0: 禁止 1: 許可	P66 入力 0: 禁止 1: 許可	P65 入力 0: 禁止 1: 許可	P64 入力 0: 禁止 1: 許可	P63 入力 0: 禁止 1: 許可	P62 入力 0: 禁止 1: 許可	P61 入力 0: 禁止 1: 許可	P60 入力 0: 禁止 1: 許可

P6xF	P6xC	P67 機能	P66 機能	P65 機能	P64 機能	P63 機能	P62 機能	P61 機能	P60 機能
0	0	入力禁止	入力禁止	入力禁止	入力禁止	入力禁止	入力禁止	入力禁止	入力禁止
0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
1	0	入力許可	入力許可	入力許可	入力許可	入力許可	入力許可	入力許可	入力許可
1	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート

注 1) <P6xC>/<P6xF> はそれぞれレジスタ P6CR/P6FC のビット x です。

注 2) AD コンバータの入力チャネル選択は、AD コンバータモードレジスタ ADCCR1<SAIN> にて設定します。

4.8 ポート 7 (P70~P75)

ポート7は、ビット単位で入出力指定ができる6ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。入出力ポート機能以外に、ポート70, 73は8ビットタイマ0, 4のクロック入力端子TA0IN, TA4IN、ポート71, 72, 74はそれぞれ8ビットタイマ出力TA1OUT, TA3OUT, TA5OUT端子、ポート75はINT0の機能を持っています。このタイマ出力機能は、ポート7ファンクションレジスタP7FCの該当ビットへ"1"を書き込むことにより可能となります。リセット動作により、P7CR, P7FCの値は"0"にリセットされ、全ビットが入力ポートとなります。

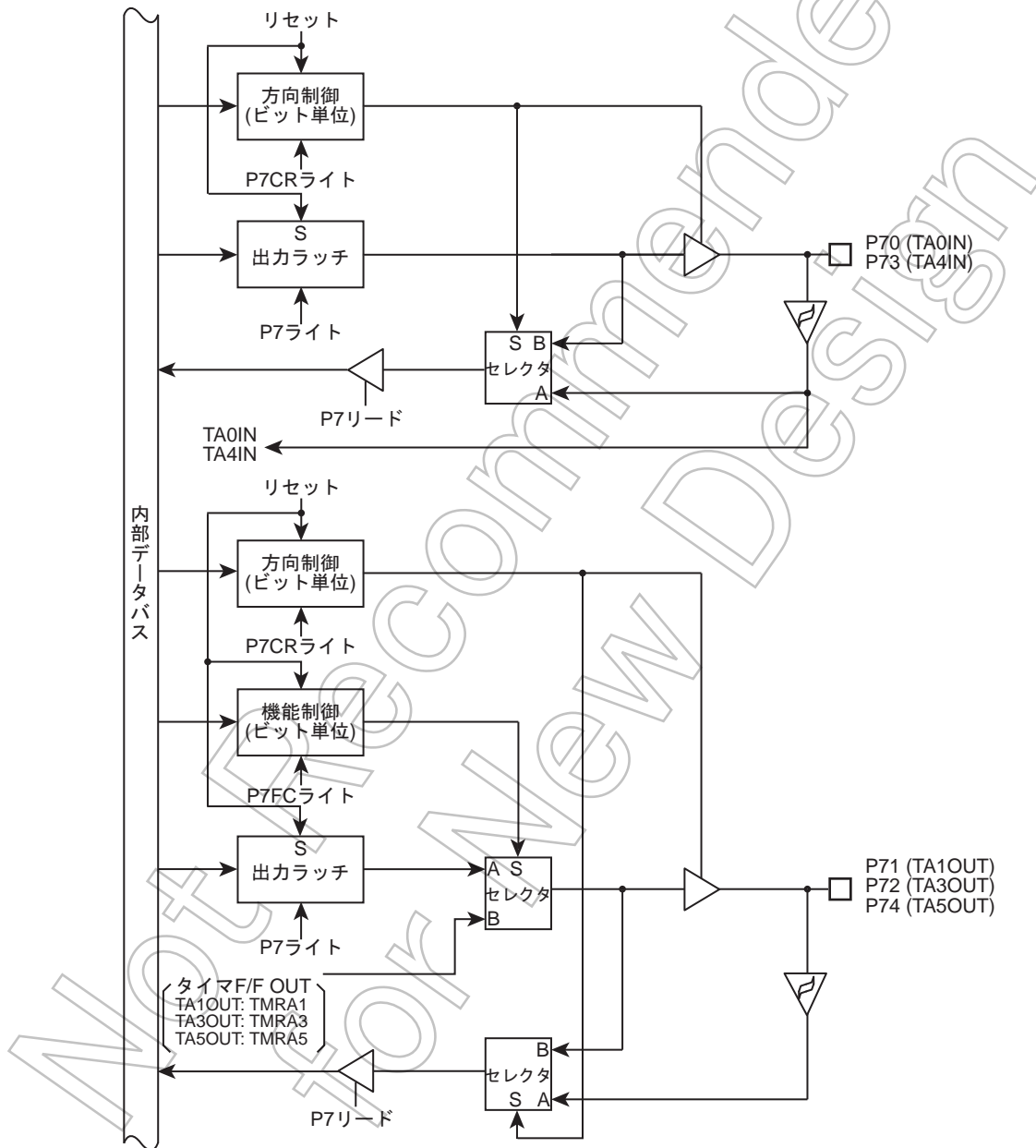


図 4-13 ポート 7 (P70~P74)

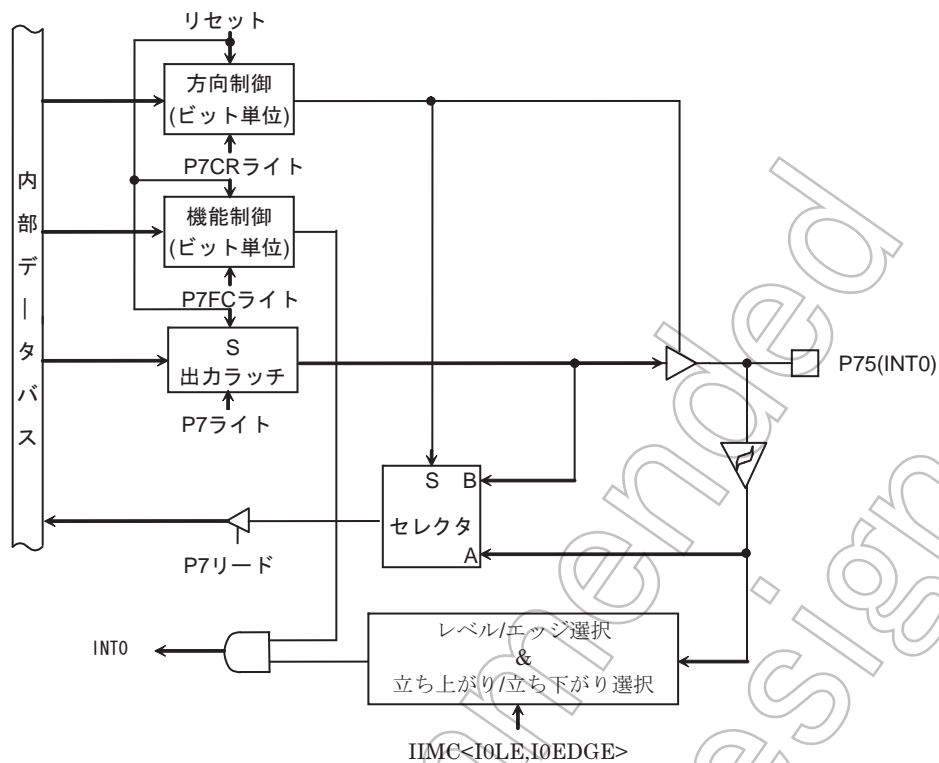


図 4-14 ポート 7 (P75)

ポート7レジスタ

		7	6	5	4	3	2	1	0
P7 (001CH)	Bit symbol	-	-	P75	P74	P73	P72	P71	P70
	Read/Write	-	-	R/W					
	リセット後	-	-	外部端子データ (出力ラッチレジスタは1にセットされます。)					

ポート7コントロールレジスタ

		7	6	5	4	3	2	1	0
P7CR (001EH) RMW 禁止	Bit symbol	-	-	P75C	P74C	P73C	P72C	P71C	P70C
	Read/Write	-	-	W					
	リセット後	-	-	0	0	0	0	0	0
	機能			0: 入力			1: 出力		

ポート7ファンクションレジスタ

		7	6	5	4	3	2	1	0
P7FC (001FH) RMW 禁止	Bit symbol	-	-	P75F	P74F	-	P72F	P71F	-
	Read/Write	-	-	W		-	W		-
	リセット後	-	-	0	0	-	0	0	-
	機能			0: ポート 1: INT0	0: ポート 1: TA5OUT		0: ポート 1: TA3OUT	0: ポート 1: TA1OUT	

P75のINT0設定

<P75F>	<IOLE>	<IOEDGE>	INT0
1	0	0	立ち上がりエッジ割り込み
1	0	1	立ち下がりエッジ割り込み
1	1	0	High レベル割り込み
1	1	1	Low レベル割り込み

P7xF	P7xC	P75 機能	P74 機能	P73 機能	P72 機能	P71 機能	P70 機能
0	0	入力ポート	入力ポート	入力ポート (TA4IN)	入力ポート	入力ポート	入力ポート (TA0IN)
0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
1	0	INT0	reserved	reserved	reserved	reserved	reserved
1	1	reserved	TA5OUT	reserved	TA3OUT	TA1OUT	reserved

注1) <P7xC>/<P7xF> はそれぞれレジスタ P7CR/P7FC のビット x です。

注2) P70/TA0IN, P73/TA4IN 端子は、ポート / ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でもタイマ入力0および4として、8ビットタイマ0および4へ入力されます。

4.9 ポート 8 (P80~P87)

ポート 8 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。また、出力ラッチレジスタ P8 の全ビットは "1" へセットされます。入出力ポート以外には、16 ビットタイマ 0,1 のクロック入力およびタイマ F/F 出力と、INT5 ~ INT8 の入力機能があります。この機能はファンクションレジスタ P8FC の該当ビットへ "1" を書き込むことにより、各ファンクションが可能となります。リセット動作により、P8CR, P8FC の値は "0" にリセットされ、全ビットが入力ポートとなります。

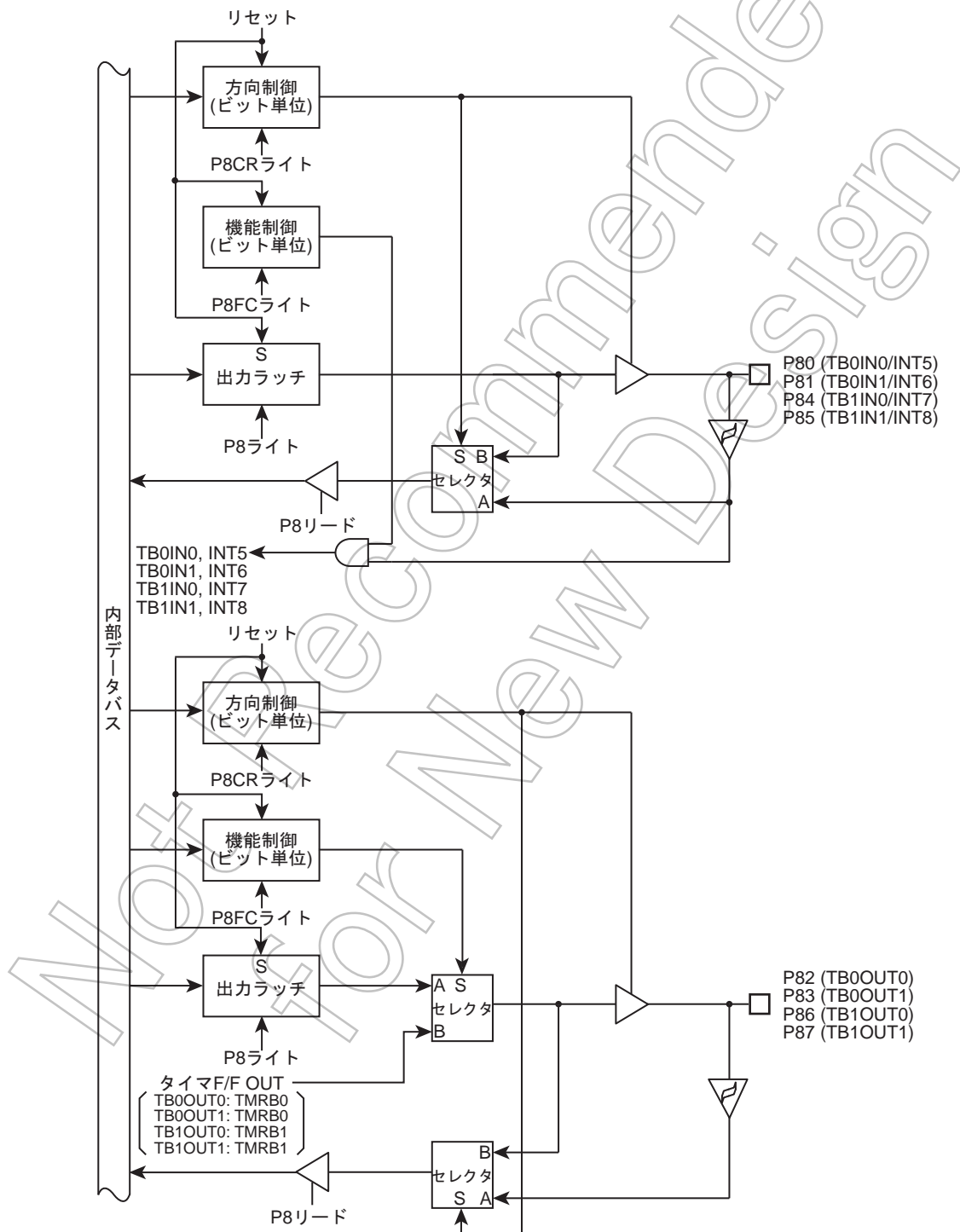


図 4-15 ポート 8

ポート 8 レジスタ

	7	6	5	4	3	2	1	0	
P8 (0020H)	Bit symbol	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは "1" にセットされます。)							

ポート 8 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P8CR (0022H) RMW 禁止	Bit symbol	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力				1: 出力			

ポート 8 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P8FC (0023H) RMW 禁止	Bit symbol	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: ポート 1: TB1OUT1	0: ポート 1: TB1OUT0	0: ポート 1: TB1IN1, INT8 入力	0: ポート 1: TB1IN0, INT7 入力	0: ポート 1: TB0OUT1	0: ポート 1: TB0OUT0	0: ポート 1: TB0IN1, INT6 入力	0: ポート 1: TB0IN0, INT5 入力

P8xF	P8xC	P87 機能	P86 機能	P85 機能	P84 機能	P83 機能	P82 機能	P81 機能	P80 機能
0	0	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート	入力ポート
0	1	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
1	0	reserved	reserved	TB1IN1/ INT8	TB1IN0/ INT7	reserved	reserved	TB0IN1/ INT6	TB0IN0/ INT5
1	1	TB1OUT1	TB1OUT0	reserved	reserved	TB0OUT1	TB0OUT0	reserved	reserved

注) <P8xC>/<P8xF> はそれぞれレジスタ P8CR/P8FC のビット x です。

4.10 ポート 9 (P90~P97)

- ポート 90~95
 ポート 90~95 は、ビット単位で入出力の指定ができる 6 ビットの汎用入出力ポートです。リセット動作により、入力ポートとなります。また、出力ラッチレジスタの全ビットは“1”へセットされます。入出力ポート以外にシリアルチャネル 0, 1 の入出力機能があります。この機能は、ポート 9 ファンクションレジスタ P9FC を設定することにより、各ファンクションが可能となります。リセット動作により、P9CR, P9FC の値は“0”にリセットされ、全ビットが入力ポートとなります。
- ポート 96~97
 ポート 96~97 は、ビット単位で入出力の指定ができる 2 ビットの入出力ポートです。リセット動作により、出力ラッチレジスタ、コントロールレジスタの値は“1”にセットされ High-Z(ハイインピーダンス)出力となります。入出力ポート以外には、低速クロック機能使用時の低周波発振子接続端子(XT1, XT2)と兼用となっており、システムクロックコントロールレジスタ SYSCR0, SYSCR1 の設定によりデュアルクロック機能が使用できます。

4.10.1 ポート 90 (TXD0), 93 (TXD1)

ポート 90, 93 は入出力ポート以外にシリアルチャネルの TXD 出力端子としての機能を持ちます。また、このポートは、プログラマブルオープンドレイン機能を持っています。

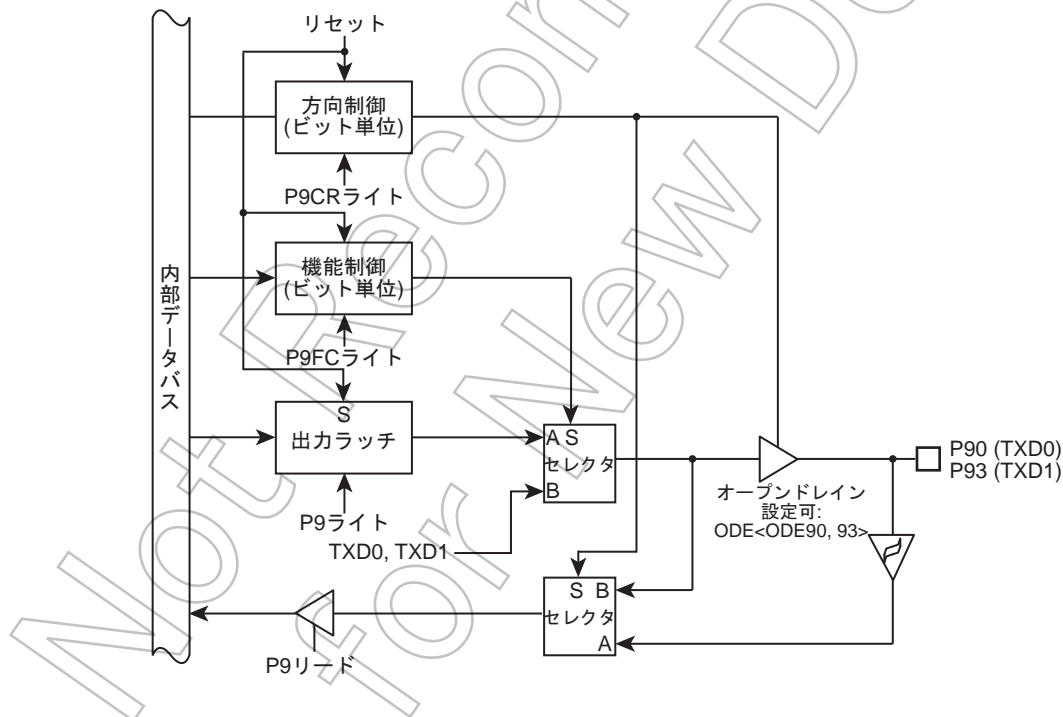


図 4-16 ポート 9(P90, P93)

4.10.2 ポート 91(RXD0), 94 (RXD1)

ポート 91, 94 は、入出力ポート以外にシリアルチャネルの RXD 入力端子としての機能を持っています。

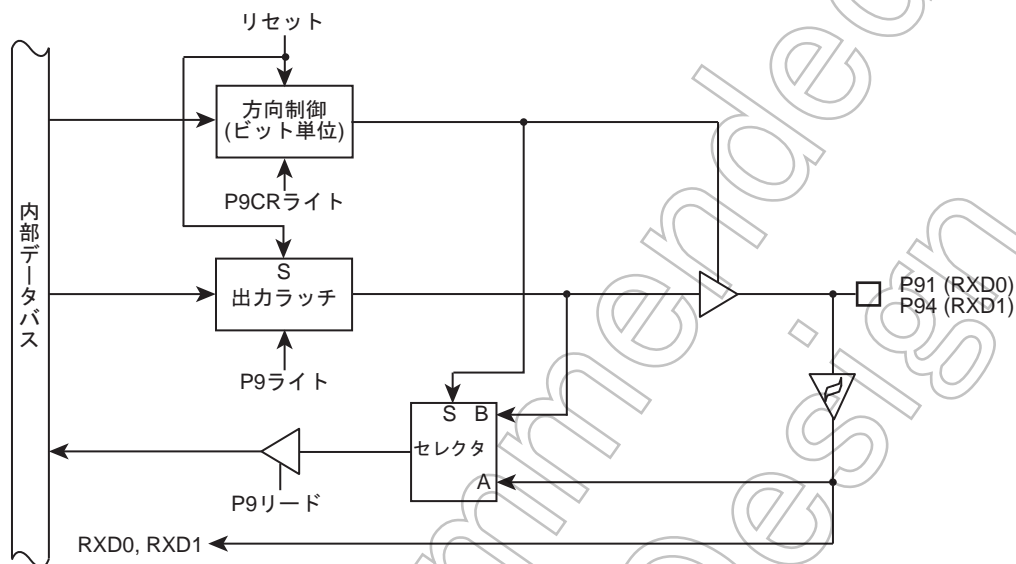


図 4-17 ポート 9(P91, P94)

4.10.3 ポート 92($\overline{\text{CTS0}}/\text{SCLK0}$), 95 ($\overline{\text{CTS1}}/\text{SCLK1}$)

ポート 92, 95 は、入出力ポート以外にシリアルチャネルの $\overline{\text{CTS}}$ 入力端子、または SCLK 入出力端子としての機能を持っています。

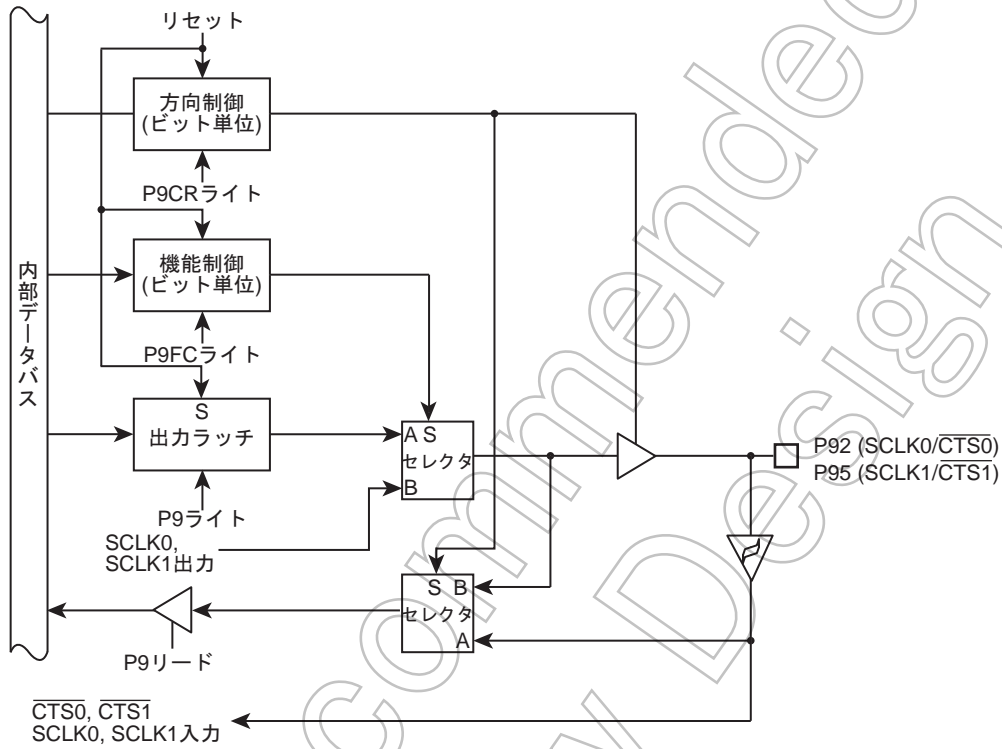


図 4-18 ポート 9(P92, P95)

4.10.4 ポート 96 (XT1), 97 (XT2)

ポート 96, 97 は、入出力ポート以外に低周波発振子接続端子の機能を持っています。

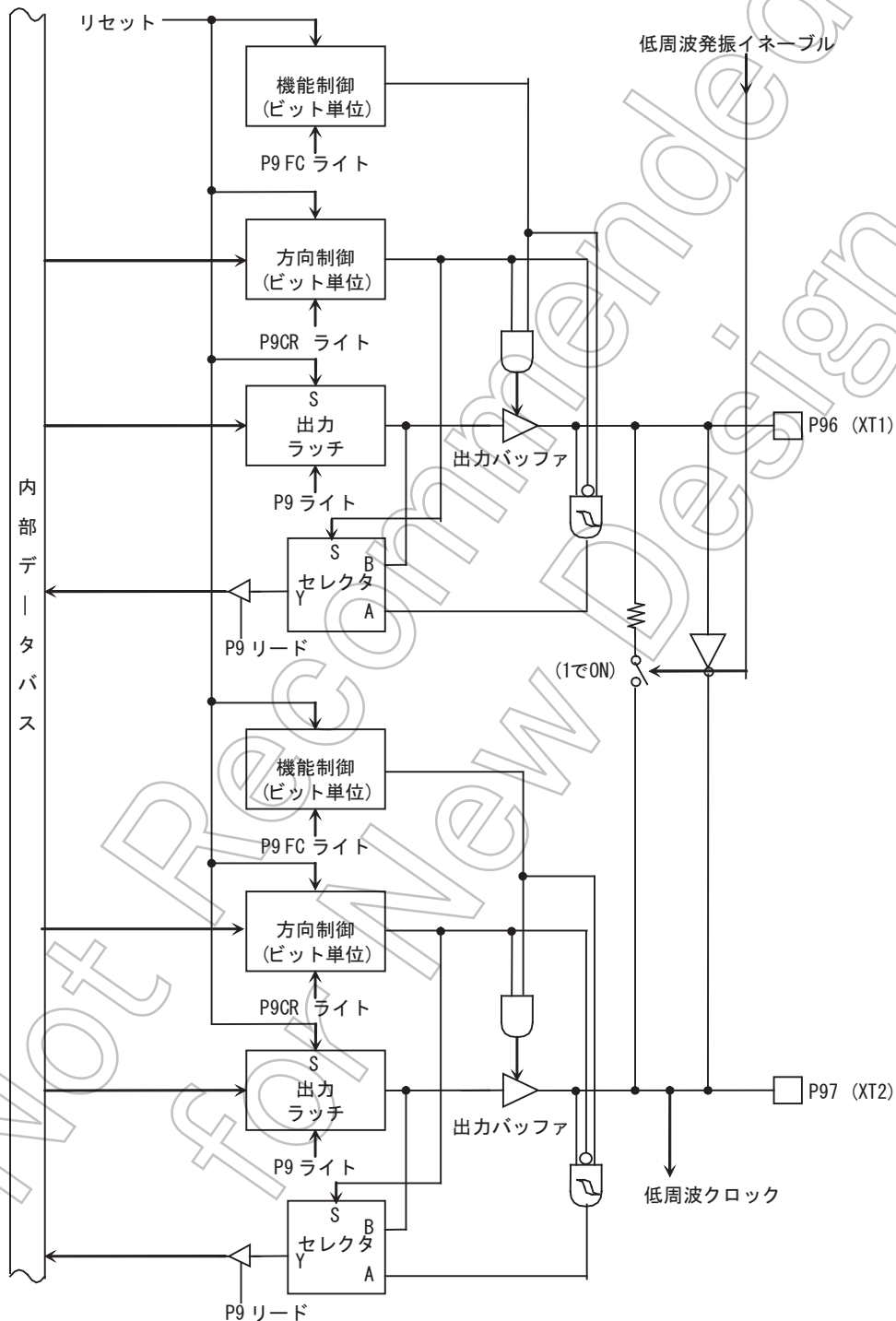


図 4-19 ポート 9(P96, P97)

ポート 9 レジスタ

	7	6	5	4	3	2	1	0	
P9 (0024H)	Bit symbol	P97	P96	P95	P94	P93	P92	P91	P90
	Read/Write	R/W							
	リセット後	外部端子データ (出力ラッチレジスタは 1 にセットされます。)							

ポート 9 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P9CR (0026H)	Bit symbol	P97C	P96C	P95C	P94C	P93C	P92C	P91C	P90C
RMW 禁止	Read/Write	W							
	リセット後	1	1	0	0	0	0	0	0
	機能	0: 入力				1: 出力			

ポート 9 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P9FC (0027H)	Bit Symbol	P97F	P96F	P95F	-	P93F	P92F	-	P90F
RMW 禁止	Read/Write	W			-	W		-	W
	リセット後	0	0	0	-	0	0	-	0
	機能	0: ポート 禁止 1: ポート 許可	0: ポート 禁止 1: ポート 許可	0: ポート 1: SCLK1 出力	-	0: ポート 1: TXD1 出力	0: ポート 1: SCLK0 出力	-	0: ポート 1: TXD0 出力

P9xF	P9xC	P97 機能	P96 機能	P95 機能	P94 機能	P93 機能	P92 機能	P91 機能	P90 機能
0	0	XT2	XT1	入力ポート (SCLK1/ CTS1)	入力ポート (RXD1)	入力ポート	入力ポート (SCLK0/ CTS0)	入力ポート (RXD0)	入力ポート
0	1	reserved	reserved	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート	出力ポート
1	0	入力ポート	入力ポート	reserved	reserved	reserved	reserved	reserved	reserved
1	1	出力ポート	出力ポート	SCLK1	reserved	TXD1	SCLK0	reserved	TXD0

注 1) <P9xC>/<P9xF> はそれぞれレジスタ P9CR/P9FC のビット x です。

注 2) TXD 端子をオープンドレイン出力に設定するには、ODE レジスタのビット 3 (TXD0 端子用)、またはビット 4 (TXD1 端子用) に "1" をライトします。P91/RXD0, P94/RXD1 端子は、ポート / ファンクションの切り替えレジスタはありませんので、入力ポートとして使用する場合でも、シリアル受信データとして SIO へ入力されます。

注 3) 低速発振器使用上の注意点

ポート 96,97 に低周波発振子を接続する場合、P9CR<P96C,P97C>="00", P9FC<P96F,P97F>="00" に設定してください。

4.11 ポート A (PA0~PA3)

ポート A は、ビット単位で入出力の指定ができる 4 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。また、出力ラッチレジスタ PA の全ビットは "1" へセットされます。入出力ポート以外には、16 ビットタイマ 2 のクロック入力およびタイマ F/F 出力と、INT1、INT2 の入力機能があります。この機能はファンクションレジスタ PAFC の該当ビットへ "1" を書き込むことにより、各ファンクションが可能となります。リセット動作により、PACR、PAFC の値は "0" にリセットされ、全ビットが入力ポートとなります。

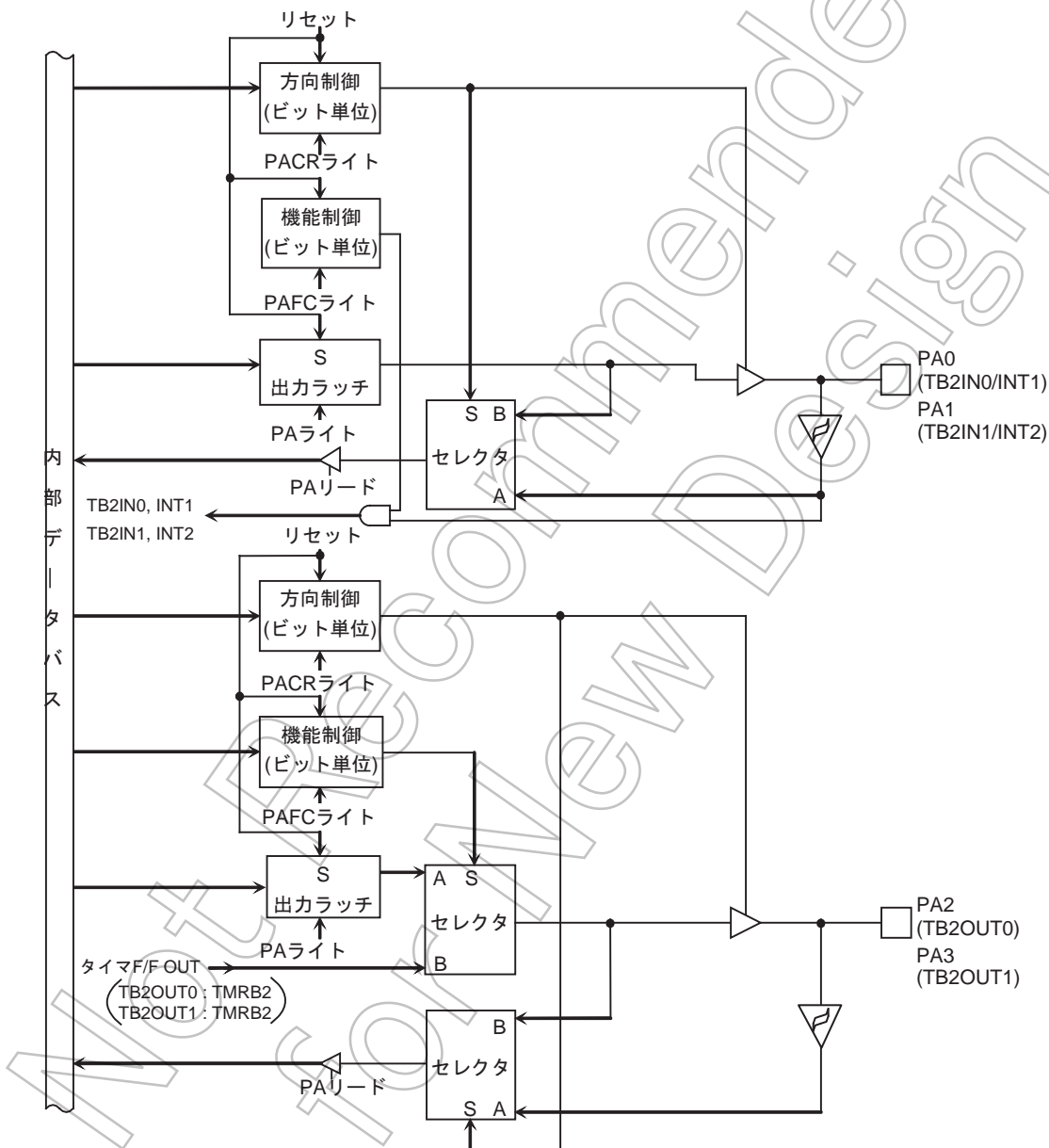


図 4-20 ポート A

ポート A レジスタ

		7	6	5	4	3	2	1	0
PA (0028H)	Bit symbol	—	—	—	—	PA3	PA2	PA1	PA0
	Read/Write	—	—	—	—	R/W			
	リセット後	—	—	—	—	外部端子データ (出力ラッチレジスタは 1 にセットされま す。)			

ポート A コントロールレジスタ

		7	6	5	4	3	2	1	0
PACR (002AH) RMW 禁止	Bit symbol	—	—	—	—	PA3C	PA2C	PA1C	PA0C
	Read/Write	—	—	—	—	W			
	リセット後	—	—	—	—	0	0	0	0
	機能	—	—	—	—	0: 入力 1: 出力			

ポート A ファンクションレジスタ

		7	6	5	4	3	2	1	0
PAFC (002BH) RMW 禁止	Bit symbol	—	—	—	—	PA3F	PA2F	PA1F	PA0F
	Read/Write	—	—	—	—	W			
	リセット後	—	—	—	—	0	0	0	0
	機能	—	—	—	—	0: ポート 1: TB2OUT1	0: ポート 1: TB2OUT0	0: ポート 1: TB2IN1, INT2 入力	0: ポート 1: TB2IN0, INT1 入力

PxAF	PxC	PA3 機能	PA2 機能	PA1 機能	PA0 機能
0	0	入力ポート	入力ポート	入力ポート	入力ポート
0	1	出力ポート	出力ポート	出力ポート	出力ポート
1	0	reserved	reserved	TB2IN1/ INT2	TB2IN0/INT1
1	1	TB2OUT1	TB2OUT0	reserved	reserved

注) <PxC>/<PAxF> はそれぞれレジスタ PACR/PAFC のビット x です。

4.12 ポート B (PB0~PB3)

ポート B は、ビット単位で入出力の指定ができる 4 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。また、出力ラッチレジスタ PB の全ビットは "1" へセットされます。入出力ポート以外には、16 ビットタイマ 4 のクロック入力およびタイマ F/F 出力と、INT9 ~ INT10 の入力、シリアルバスインタフェース 1 のクロック入出力およびデータ送受信機能があります。この機能はファンクションレジスタ PBFC の該当ビットへ "1" を書き込むことにより、各ファンクションが可能となります。リセット動作により、PBCR, PBFC の値は "0" にリセットされ、全ビットが入力ポートとなります。

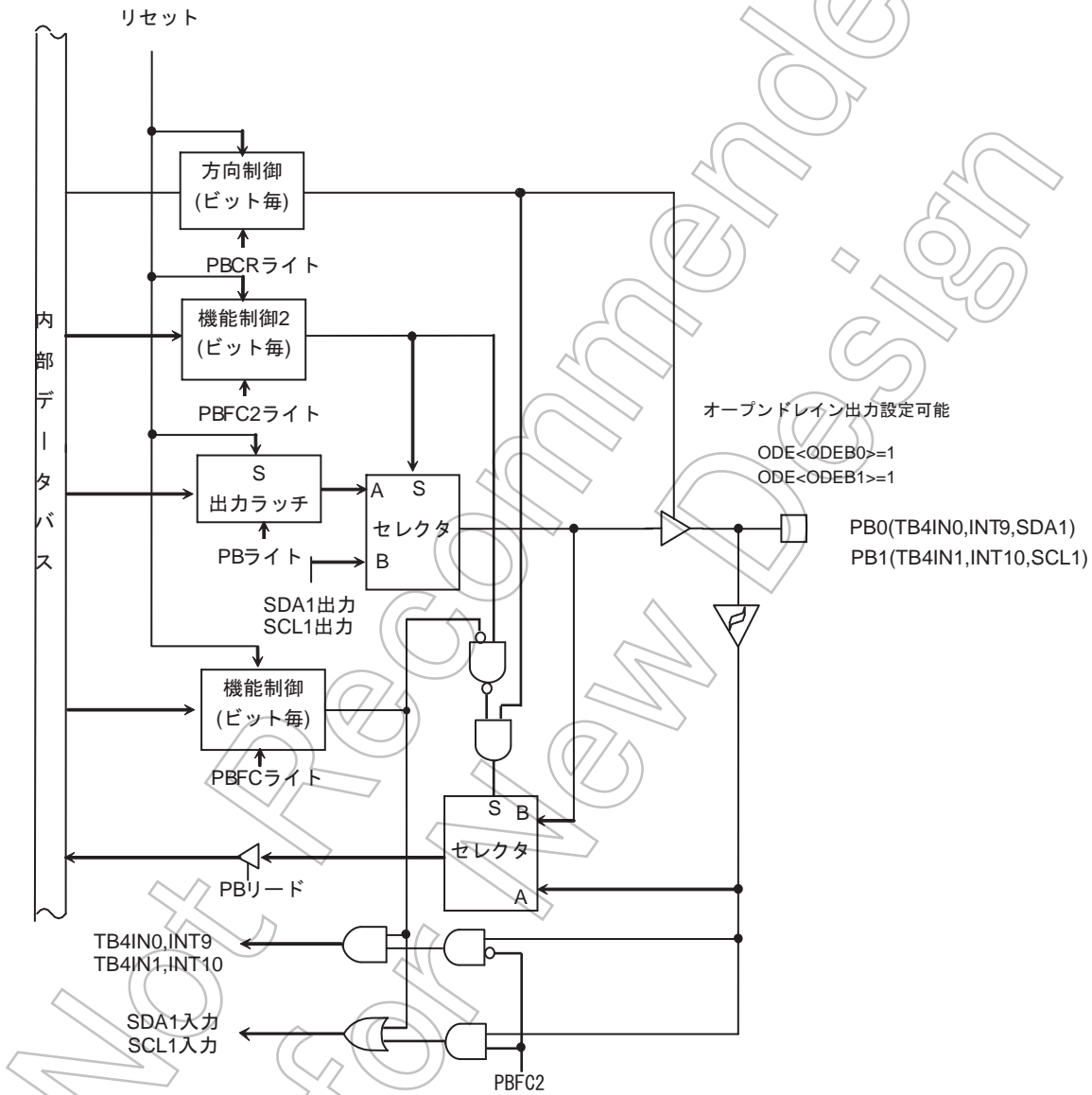


図 4-21 ポート B (PB0, PB1)

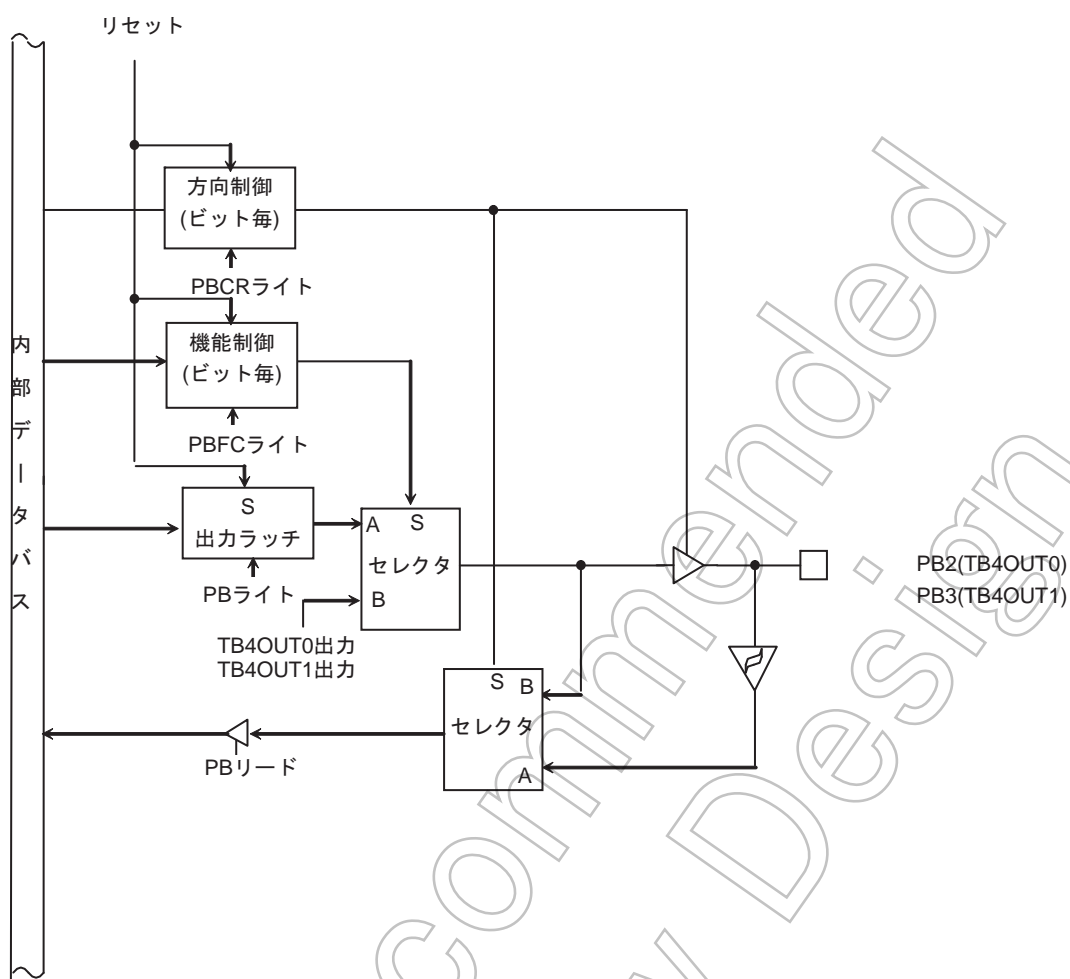


図 4-22 ポート B (PB2, PB3)

ポート B レジスタ

		7	6	5	4	3	2	1	0
PB (002CH)	Bit symbol	—	—	—	—	PB3	PB2	PB1	PB0
	Read/Write	—	—	—	—	R/W			
	リセット後	—	—	—	—	外部端子データ (出力ラッチレジスタは 1 にセットされま す。)			

ポート B コントロールレジスタ

		7	6	5	4	3	2	1	0
PBCR (002EH) RMW 禁止	Bit symbol	—	—	—	—	PB3C	PB2C	PB1C	PB0C
	Read/Write	—	—	—	—	W			
	リセット後	—	—	—	—	0	0	0	0
	機能	—	—	—	—	0: 入力 1: 出力			

ポート B ファンクションレジスタ

		7	6	5	4	3	2	1	0
PBFC (002FH) RMW 禁止	Bit symbol	—	—	—	—	PB3F	PB2F	PB1F	PB0F
	Read/Write	—	—	—	—	W			
	リセット後	—	—	—	—	0	0	0	0

ポート B ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PBFC2 (002DH) RMW 禁止	Bit symbol	—	—	—	—	—	—	PB1F2	PB0F2
	Read/Write	—	—	—	—	—	—	W	
	リセット後	—	—	—	—	—	—	0	0

PBxC	PBxF	PBxF2	PB3 機能	PB2 機能	PB1 機能	PB0 機能
0	0	0	入力ポート	入力ポート	入力ポート	入力ポート
1	0	0	出力ポート	出力ポート	出力ポート	出力ポート
0	1	0	reserved	reserved	TB4IN1/INT10	TB4IN0/INT9
1	1	0	TB4OUT1	TB4OUT0	reserved	reserved
0	0	1	reserved	reserved	reserved	reserved
1	0	1	reserved	reserved	SCL1	SDA1
0	1	1	reserved	reserved	reserved	reserved
1	1	1	reserved	reserved	reserved	reserved

注) <PBxC>/<PBxF>/<PBxF2> はそれぞれレジスタ PBCR/PBFC/PBFC2 のビット x です。

4.13 ポート Z (PZ0~PZ3)

ポート Z は、ビット単位で入出力の設定ができる 4 ビットの汎用入出力ポート (ただし、PZ0,PZ1 は出力専用) です。

入出力の指定は、コントロールレジスタ PZCR とファンクションレジスタ PZFC によって行います。リセット動作により、出力ラッチ PZ の全ビットは “1” にセットされ、PZCR (ビット 0,1,4-7 は未使用) と PZFC (ビット 4-7 は未使用) の全ビットは “0” にリセットされ、ポート Z の PZ0 と PZ1 は “High” を出力し、PZ2~PZ3 はプルアップ抵抗付きの入力モードになります。

汎用入出力ポート以外には、CPU のコントロール / ステータス信号の出力機能があります。

PZ0 端子が、 \overline{RD} 信号出力モードとして定義されている ($\langle PZ0F \rangle = “1”$) とき、出力ラッチレジスタ $\langle PZ0 \rangle$ を 0 にクリアすると、PZ0 端子の \overline{RD} ストロブは内部アドレスエリアをアクセスするときでも出力され (擬似スタティック RAM 用)、1 にセットされたままだと、外部アドレスエリアをアクセスしたときのみ \overline{RD} ストロブは出力されます。

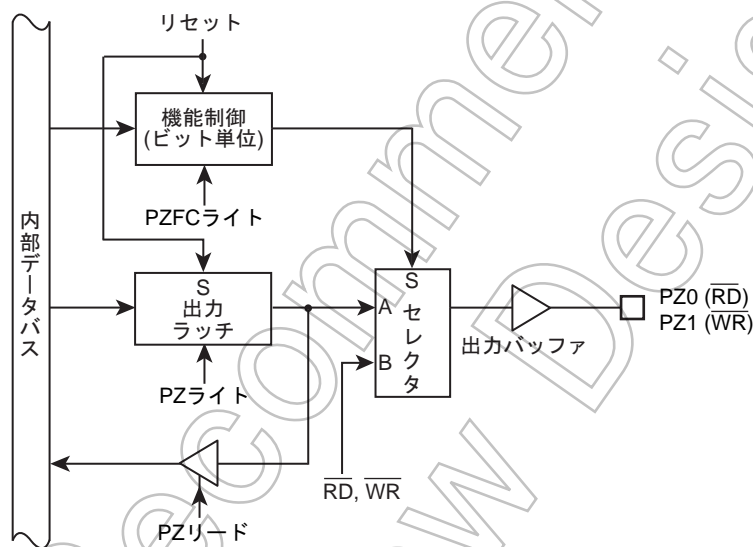


図 4-23 ポート Z (PZ0,PZ1)

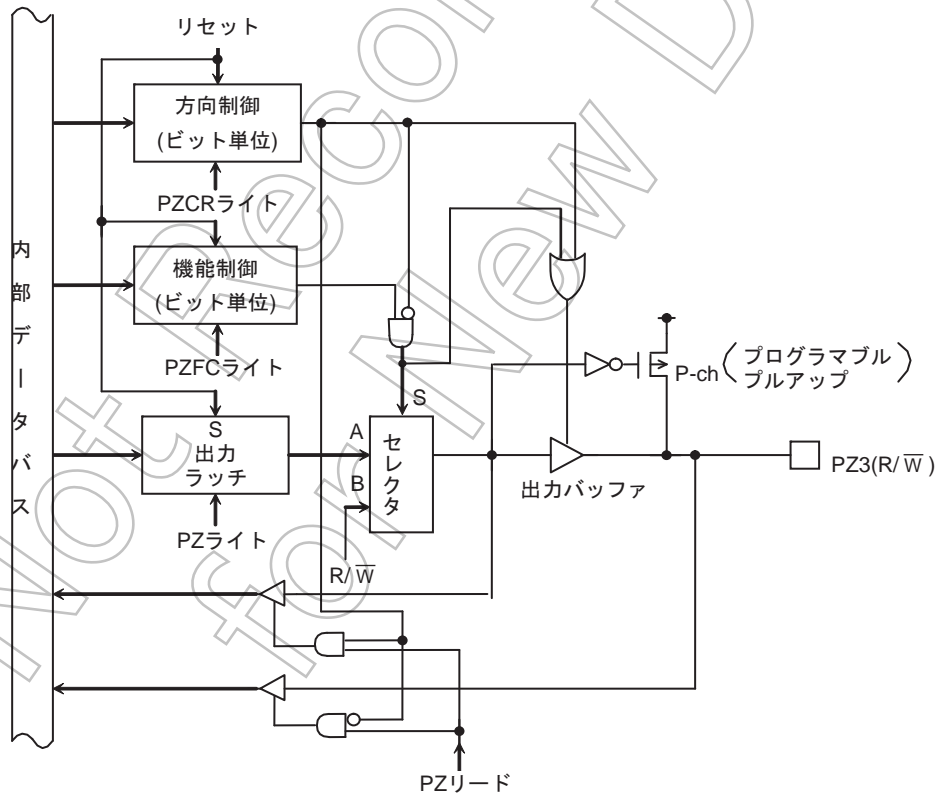
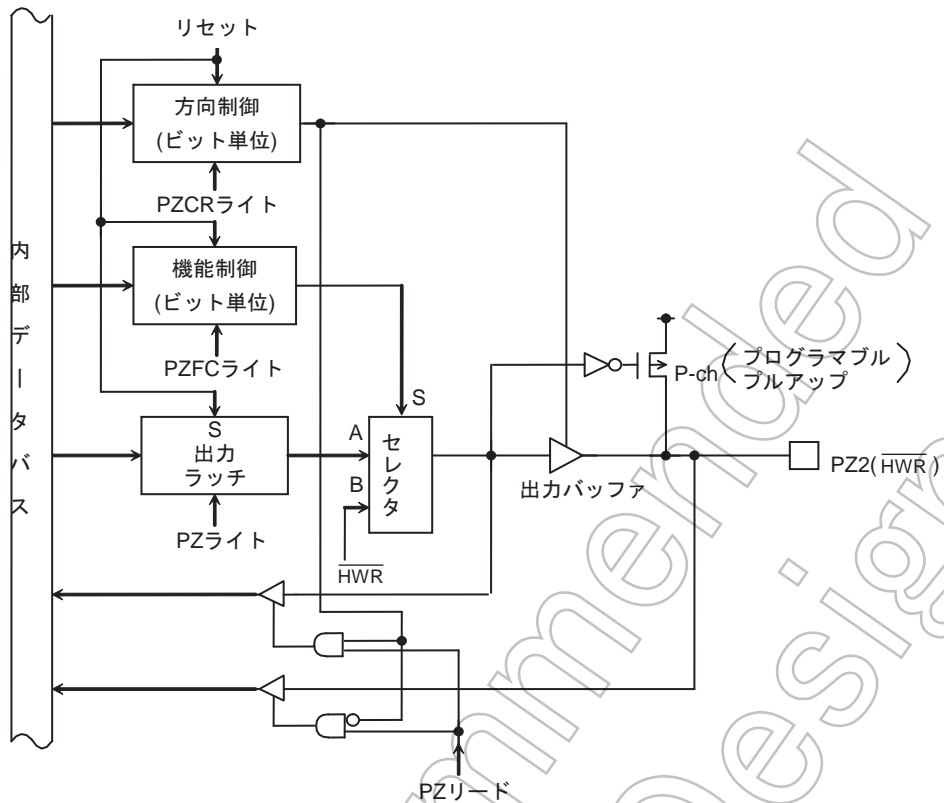


図 4-24 ポート Z(PZ2,PZ3)

ポート Z レジスタ

	7	6	5	4	3	2	1	0	
PZ (007DH)	Bit symbol	-	-	-	-	PZ3	PZ2	PZ1	PZ0
	Read/Write	-	-	-	-	R/W			
	リセット後	-	-	-	-	外部端子データ (出力ラッチレジスタは1にセットされます。)		1	1
	機能	-				0: プルアップ抵抗 OFF 1: プルアップ抵抗 ON		出力モード	

ポート Z コントロールレジスタ

	7	6	5	4	3	2	1	0	
PZCR (007EH) RMW 禁止	Bit symbol	-	-	-	-	PZ3C	PZ2C	-	-
	Read/Write	-	-	-	-	W		-	-
	リセット後	-	-	-	-	0	0	-	-
	機能	-				0: 入力 1: 出力		-	

ポート Z ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PZFC (007FH) RMW 禁止	Bit symbol	-	-	-	-	PZ3F	PZ2F	PZ1F	PZ0F
	Read/Write	-	-	-	-	W			
	リセット後	-	-	-	-	0	0	0	0
	機能	-	-	-	-	0: ポート 1: R/W	0: ポート 1: HWR	0: ポート 1: WR	0: ポート 1: RD

PZxF	PZxC	PZx	PZ3 機能	PZ2 機能	PZ1 機能	PZ0 機能
0	0	0	入力ポート	入力ポート	"0" 出力	"0" 出力
0	0	1	入力ポート	入力ポート	"1" 出力	"1" 出力
0	1	0	出力ポート	出力ポート	"0" 出力	"0" 出力
0	1	1	出力ポート	出力ポート	"1" 出力	"1" 出力
1	0	0	R/W	reserved	外部アクセス時のみ \overline{WR} 出力	常に RD 出力 (疑似 SRAM 対応)
1	0	1	R/W	reserved	外部アクセス時のみ \overline{WR} 出力	外部アクセス時のみ RD 出力
1	1	0	reserved	HWR	外部アクセス時のみ \overline{WR} 出力	常に RD 出力 (疑似 SRAM 対応)
1	1	1	reserved	HWR	外部アクセス時のみ \overline{WR} 出力	外部アクセス時のみ RD 出力

注 1) <PZx>/<PZxC>/<P7xF> はそれぞれレジスタ PZ/PZCR/PZFC のビット x です。

注 2) ポート Z を入力モードで使用する場合、内蔵プルアップ抵抗は PZ レジスタにて制御します。出力モードを混在させて使用する場合 (1 ビットでも入力端子が存在するとき) には、リードモディファイライト命令を行わないでください。入力端子の状態により内蔵プルアップ抵抗の設定が変わる場合があります。

4.14 オープンドレイン制御

P30, P31, P41, P90, P93, PB0, PB1 は、ビット単位で CMOS 出力もしくはオープンドレイン出力の選択が出来ます。リセット動作により CMOS 出力が選択されます。

オープンドレインコントロールレジスタ

	7	6	5	4	3	2	1	0	
ODE (003FH)	Bit symbol	–	ODEB1	ODEB0	ODE93	ODE90	ODE41	ODE31	ODE30
	Read/Write	–	R/W						
	リセット後	–	0	0	0	0	0	0	0
	機能		0: CMOS 出力 1: オープンドレイン出力						

Not Recommended for New Design

第5章 チップセレクト/ウェイトコントローラ

任意の4ブロックのアドレス空間 (CS0~CS3 空間) を設定し、各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) に対して、データバス幅、および、ウェイト数を設定することができます。

$\overline{CS0}$ ~ $\overline{CS3}$ (P40~P43 と兼用) は、CS0~CS3 空間に対応した出力端子です。この端子は、CPU 動作により CS0~CS3 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号 (ROM/SRAM 用) を出力します。ただし、チップセレクト信号を出力するためには、ポート4 コントロールレジスタ P4CR と、ポート4 ファンクションレジスタ P4FC、P4FC2 による設定が必要です。

CS0~CS3 空間は、メモリスタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 により設定されます。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数は、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS, BEXCS で設定されます。

また、これらの状態を制御する入力端子として、バスウェイト要求端子 (\overline{WAIT}) があります。

5.1 アドレス空間指定

CS0~CS3 空間の設定は、スタートアドレスレジスタ MSAR0~MSAR3 と、メモリアドレスマスクレジスタ MAMR0~MAMR3 により行います。

バスサイクルごとに、バス上のアドレスを CS0~CS3 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して $\overline{CS0}$ ~ $\overline{CS3}$ 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ B0CS~B3CS で設定した動作を実行します (“5.2 チップセレクト/ウェイトコントロールレジスタ” を参照してください)。

5.1.1 メモリスタートアドレスレジスタ

メモリスタートアドレスレジスタ MSAR0~MSAR3 は、CS0~CS3 空間のスタートアドレスを設定するレジスタです。<S23:16> には、スタートアドレスの上位8ビット (A23~A16) を設定します。また、スタートアドレスの下位16ビット (A15~A0) には、常に “0” が設定されています。従って、スタートアドレスは、000000H から 64 K バイトごとの値になります。図 5-1 に、スタートアドレスとスタートアドレスレジスタ値の関係を示します。

メモリスタートアドレスレジスタ

		7	6	5	4	3	2	1	0
MSAR0 (00C8H)	Bit symbol	S23	S22	S21	S20	S19	S18	S17	S16
	Read/Write	R/W							
MSAR1 (00CAH)	リセット後	1	1	1	1	1	1	1	1
MSAR2 (00CCH)	機能	スタートアドレス A23~A16 設定 (CS0~CS3 の空間のスタートアドレス設定)							
MSAR3 (00CEH)									

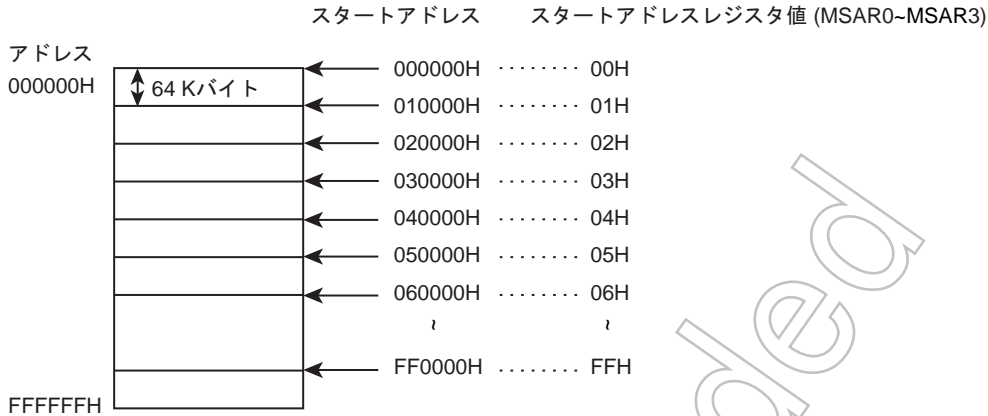


図 5-1 スタートアドレスとスタートアドレスレジスタ値の関係

5.1.2 メモリアドレスマスクレジスタ

メモリアドレスマスクレジスタ MAMR0-MAMR3 は、メモリスタートアドレスレジスタ MSAR0-MSAR3 で設定したスタートアドレスの各ビットに対しマスク指定を行うことで、CS0-CS3 空間サイズを設定しています。“0” をライトしたビットに対応するバス上のアドレスが、CS0-CS3 空間の領域かどうかの比較対照となります。

また、CS0-CS3 空間は、それぞれ MAMR0-MAMR3 によってマスクできるアドレスビットが異なります。従って、設定できる空間サイズも異なります。

メモリアドレスマスクレジスタ (CS0 空間)

	7	6	5	4	3	2	1	0
Bit symbol	V20	V19	V18	V17	V16	V15	V14-V9	V8
MAMR0 (00C9H)	Read/Write R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS0 空間サイズ設定 0: アドレス比較対照							

注) CS0 空間は、最小 256 バイトエリアから、最大 2 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS1 空間)

	7	6	5	4	3	2	1	0
Bit symbol	V21	V20	V19	V18	V17	V16	V15-V9	V8
MAMR1 (00CBH)	Read/Write R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS1 空間サイズ設定 0: アドレス比較対照							

注) CS1 空間は、最小 256 バイトエリアから、最大 4 M バイトエリアを設定できます。

メモリアドレスマスクレジスタ (CS2, CS3 空間)

	7	6	5	4	3	2	1	0
Bit symbol	V22	V21	V20	V19	V18	V17	V16	V15
MAMR2 (00CDH)	Read/Write R/W							
MAMR3 (00CFH)	リセット後	1	1	1	1	1	1	1
機能	CS2, CS3 空間サイズ設定 0: アドレス比較対照							

注) CS2 および CS3 空間は、最小 32 K バイトから、最大 8 M バイトエリアを設定できます。

5.1.3 メモリスタートアドレス、アドレス空間の設定方法

図 5-2 に、CS0 空間を用いて、010000H から始まる 64 K バイトの空間を指定する場合を例として説明します。

メモリスタートアドレスレジスタ MSAR0<S23:16> に、スタートアドレスの上位 8 ビットに相当する “01H” を設定します。次に、終了アドレス (01FFFFH) と、スタートアドレスとの差を計算により求めます。この結果のビット 20~8 は、CS0 空間を指定する際のマスク値に相当します。この値をメモリアドレスマスクレジスタ MAMR0<V20:8> に設定することで、空間サイズを設定できます。

この例では、MAMR0 に “07H” を設定し、64 K バイト空間を指定しています。

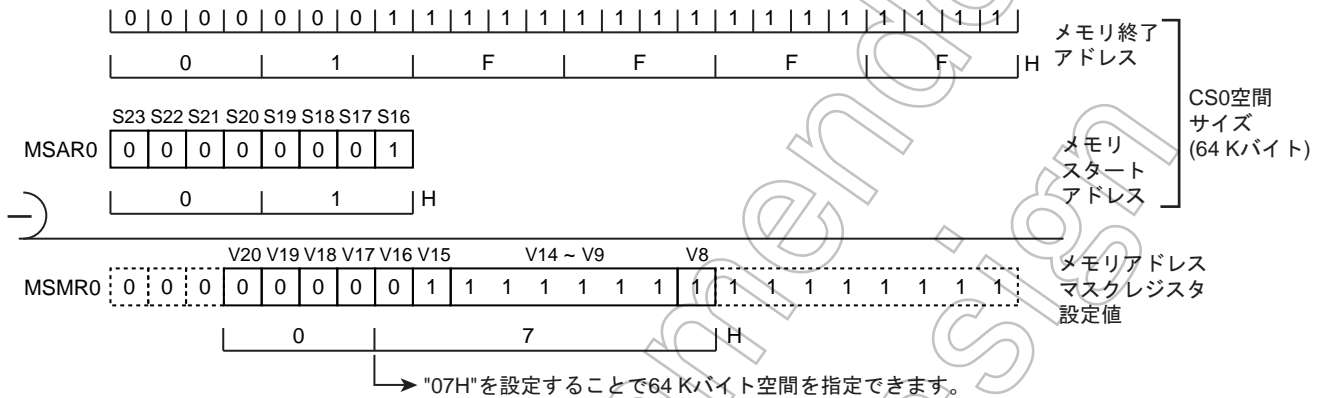


図 5-2 CS0 空間の設定例

なお、リセット後、MSAR0~MSAR3、および MAMR0~MAMR3 は、“FFH” にセットされます。一方、B0CS<B0E>、B1CS<B1E>、B3CS<B3E> は “0” にリセットされるため、CS0、CS1、CS3 空間は、ディセーブルになります。ただし、B2CS<B2M> は “0” にリセットされ、B2CS<B2E> は “1” にセットされるため、CS2 空間は、TMP91CW60 では 002000H~FDFFFFH の空間でイネーブルになります。また、指定された CS0~CS3 空間以外のアドレスでは、BEXCS で指定されたバス幅、および、ウェイトにより動作します (“5.2 チップセレクト/ウェイトコントロールレジスタ”を参照してください)。

5.1.4 アドレス空間サイズ指定

表 5-1 に、CS 空間と空間サイズの関係を示します。△は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを意味します。△で示す組み合わせを用いて空間サイズを設定する場合、000000H から希望のサイズステップで、スタートアドレスを設定してください。

なお、CS2 空間を 16M バイト空間に設定、または 2 つ以上のアドレス空間を重ねて設定した場合には、CS 空間番号の小さい方が優先的に選択されます。

5.1.4.1 CS0 空間を 128K バイトエリアに設定する場合

例：設定できるスタートアドレス

000000H
 ↓ (128K バイト)
 020000H
 ↓ (128K バイト)
 040000H
 ↓ (128K バイト)
 060000H
 :

この場合、いずれのスタートアドレスも設定可能です。

例：設定できないスタートアドレス

000000H
 ↓ (64K バイト)
 010000H
 ↓ (128K バイト)
 030000H
 ↓ (128K バイト)
 050000H
 :

設定サイズ以外のサイズステップであり、このケースでは、以降のスタートアドレスは、希望の空間サイズを設定できません。

表 5-1 CS 空間と空間サイズ

		空間サイズ (バイト)										
		256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS 空間	CS0	○	○	○	○	△	△	△	△	△		
	CS1	○	○		○	△	△	△	△	△	△	
	CS2			○	○	△	△	△	△	△	△	△
	CS3			○	○	△	△	△	△	△	△	△

注) △は、メモリスタートアドレスレジスタとメモリアドレスマスクレジスタの組み合わせにより、設定できない場合があることを示しています。

5.2 チップセレクト/ウェイトコントロールレジスタ

次に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間 (CS0~CS3 空間と、それ以外のアドレス空間) は、それぞれのチップセレクト/ウェイトコントロールレジスタ B0CS~B3CS, BEXCS により、マスタイネーブル/ディセーブル、チップセレクト出力波形選択、データバス幅選択、ウェイト数設定を行うことができます。

チップセレクト/ウェイトコントロールレジスタ

B0CS (00C0H) RMW 禁止	Bit symbol	B0E	–	B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0
	Read/Write	W	–	W					
	リセット後	0	–	0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: Don't care 10: Don't care 11: Don't care		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT		
B1CS (00C1H) RMW 禁止	Bit symbol	B1E	–	B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0
	Read/Write	W	–	W					
	リセット後	0	–	0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: Don't care 10: Don't care 11: Don't care		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT		
B2CS (00C2H) RMW 禁止	Bit symbol	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0
	Read/Write	W							
	リセット後	1	0	0	0	0	0	0	0
	機能	0: 禁止 1: 許可	CS2 空間選 択 0: 16M バイ ト空間 1: CS 空間	チップセレクト出力波形選択 00: ROM/SRAM 用 01: Don't care 10: Don't care 11: Don't care		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT		
B3CS (00C3H) RMW 禁止	Bit symbol	B3E	–	B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0
	Read/Write	W	–	W					
	リセット後	0	–	0	0	0	0	0	0
	機能	0: 禁止 1: 許可		チップセレクト出力波形選択 00: ROM/SRAM 用 01: Don't care 10: Don't care 11: Don't care		データバス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT		

マスタイネーブルビット

BnE (n = 0~3)	0	ディセーブル
	1	イネーブル

CS2 空間選択

B2M	0	16M バイト空間
	1	アドレス指定空間

チップセレクト出力波形選択

BnOM1:0 (n = 0~3)	00	ROM/SRAM 用
	01	Don't care
	10	
	11	

データバス幅選択

BnBUS (n = 0~EX)	0	16 ビットデータバス
	1	8 ビットデータバス

	7	6	5	4	3	2	1	0	
BEXCS (00C7H) RMW 禁止	Bit symbol	-	-	-	-	BEXBUS	BEXW2	BEXW1	BEXW0
	Read/Write	-	-	-	-	W			
	リセット後	-	-	-	-	0	0	0	0
	機能					データベース 幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT		

アドレス空間ウェイト数設定

BnW2:0 (n = 0~EX)	“5.2.3 ウェイトコントロール” 参照
----------------------	-----------------------

5.2.1 マスタイネーブルビット

チップセレクト / ウェイトコントロールレジスタのビット 7 (<B0E>, <B1E>, <B2E>, <B3E>) は、各アドレス空間に対する設定のイネーブル / ディセーブルを指定するマスタビットです。このビットに“1”をライトすると、イネーブルになります。リセットにより、<B0E>, <B1E>, <B3E> はディセーブル“0”、<B2E> はイネーブル“1”になります。(リセット動作により、CS2 空間のみイネーブルになります。)

5.2.2 データバス幅選択

チップセレクト / ウェイトコントロールレジスタのビット 3 (<B0BUS>, <B1BUS>, <B2BUS>, <B3BUS>, <BEXBUS>) は、データバス幅を指定するビットです。このビットを“0”にすると、16 ビットのデータバス幅でメモリをアクセスします。“1”にすると、8 ビットのデータバス幅でメモリをアクセスします。

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。このバス動作の詳細を、表 5-2 に示します。

表 5-2 ダイナミックバスサイジング

オペランド データバス幅	オペランド スタートアドレス	メモリ側 データバス幅	CPU アドレス	CPU データ	
				D15-D8	D7-D0
8 ビット	2n + 0 (偶数)	8 ビット	2n + 0	xxxxx	b7~b0
		16 ビット	2n + 0	xxxxx	b7~b0
	2n + 1 (奇数)	8 ビット	2n + 1	xxxxx	b7~b0
		16 ビット	2n + 1	b7~b0 xxxxx	xxxxx
16 ビット	2n + 0 (偶数)	8 ビット	2n + 0 2n + 1	xxxxx xxxxx	b7~b0 b15~b8
		16 ビット	2n + 0	b15~b8	b7~b0
	2n + 1 (奇数)	8 ビット	2n + 1 2n + 2	xxxxx xxxxx	b7~b0 b15~b8
		16 ビット	2n + 1 2n + 2	b7~b0 xxxxx	xxxxx b15~b8
32 ビット	2n + 0 (偶数)	8 ビット	2n + 0 2n + 1 2n + 2 2n + 3	xxxxx xxxxx xxxxx xxxxx	b7~b0 b15~b8 b23~b16 b31~b24
		16 ビット	2n + 0 2n + 2	b15~b8 b31~b24	b7~b0 b23~b16
	2n + 1 (奇数)	8 ビット	2n + 1 2n + 2 2n + 3 2n + 4	xxxxx xxxxx xxxxx xxxxx	b7~b0 b15~b8 b23~b16 b31~b24
		16 ビット	2n + 1 2n + 2 2n + 4	b7~b0 b23~b16 xxxxx	xxxxx b15~b8 b31~b24

注) xxxxx:

リード時は、そのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号は、ノンアクティブのままであることを示します。

5.2.3 ウェイトコントロール

チップセレクト/ウェイトコントロールレジスタのビット 2~0 (<B0W2:0>, <B1W2:0>, <B2W2:0>, <B3W2:0>, <BEXW2:0>) は、ウェイト数を指定するビットです。これらのビットの組み合わせにより、次のようなウェイト動作を実行します。ただし、下記の組み合わせ以外は、設定しないでください。リセットにより、これらのビットは“000”(2ウェイト)になります。

表 5-3 ウェイト動作の設定

<BxW2:0>	ウェイト数	ウェイト動作
000	2ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、2ステート分のウェイトが挿入されます。
001	1ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、1ステート分のウェイトが挿入されます。
010	(1+N)ウェイト	1ステート分のウェイトを挿入した後、 $\overline{\text{WAIT}}$ 端子の状態をサンプリングし、 $\overline{\text{WAIT}}$ 端子が "L" レベルならウェイトを挿入し続け、端子が "H" レベルになるまでそのバスサイクルを引き延ばします。
011	0ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、ウェイトなしで、そのバスサイクルを完了します。
100	Reserved	設定しないでください。
101	3ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、3ステート分のウェイトが挿入されます。
110	4ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、4ステート分のウェイトが挿入されます。
111	8ウェイト	$\overline{\text{WAIT}}$ 端子の状態に関係なく、8ステート分のウェイトが挿入されます。

5.2.4 CS0~CS3 空間外 バス幅ウェイトコントロール

チップセレクト / ウェイトコントロールレジスタ BEXCS は、任意の 4 ブロックアドレス空間 (CS0~CS3 空間) 外のアドレス空間がアクセスされたときの、データバス幅選択とウェイト数を設定するレジスタです。このレジスタの設定は CS0~CS3 空間外のエリアに対して、常にイネーブルです。

5.2.5 16 M バイト空間 / アドレス設定空間選択

チップセレクト / ウェイトコントロールレジスタ B2CS<B2M> を “0” にすることにより、16 M バイト空間 (002000H~FDFFFFH) で、CS2 空間が選択されます。B2CS <B2M> を “1” にすると、CS0, CS1, CS3 空間と同様に、スタートアドレスレジスタ MSAR2、およびアドレスマスクレジスタ MAMR2 の設定エリアに従い、CS2 空間が選択されます。リセットにより、このビットは “0” にクリアされ、16 M バイト空間が選択されます。

5.2.6 チップセレクト / ウェイトコントロールラ設定手順

チップセレクト / ウェイトコントロール機能を使用する場合は、以下の手順でレジスタの設定を行ってください。

1. メモリスタートアドレスレジスタ MSAR0~MSAR3 の設定
CS0~CS3 空間のスタートアドレスを設定します。
2. メモリアドレスマスクレジスタ MAMR0~MAMR3 の設定
CS0~CS3 空間のサイズを設定します。
3. コントロールレジスタ B0CS~B3CS の設定
CS0~CS3 空間のチップセレクト出力波形、データバス幅、ウェイト数、マスタイネーブル / ディセーブルを設定します。

$\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 端子は、P40~P43 端子と兼用になっています。チップセレクト信号をこれらの端子から出力するには、ポート 4 コントロールレジスタ P4CR とポート 4 ファンクションレジスタ P4FC の該当するビットを、“1” に設定する必要があります。

なお CS0~CS3 空間として設定したアドレスが、内蔵の I/O, RAM エリアを指定した場合、 $\overline{\text{CS0}}\sim\overline{\text{CS3}}$ 端子はチップセレクト信号を出力せず、CPU は内部エリアをアクセスします。

(プログラム例) CS0 空間を、010000H~01FFFFH (64 K バイト空間), 16 ビットデータバス, 0 ウェイトに設定する場合

LD	(MSAR0), 01H	スタートアドレス 010000H
LD	(MAMR0), 07H	アドレス空間 64 K バイト
LD	(B0CS), 83H	ROM/SRAM16 ビットデータバス, 0 ウェイト, CS0 空間設定イネーブル

5.3 使用例

図 5-3 は、TMP91CW60 による外部メモリの接続例です。この例では、ROM を 16 ビット幅で接続し、RAM と I/O を 8 ビット幅で接続しています。

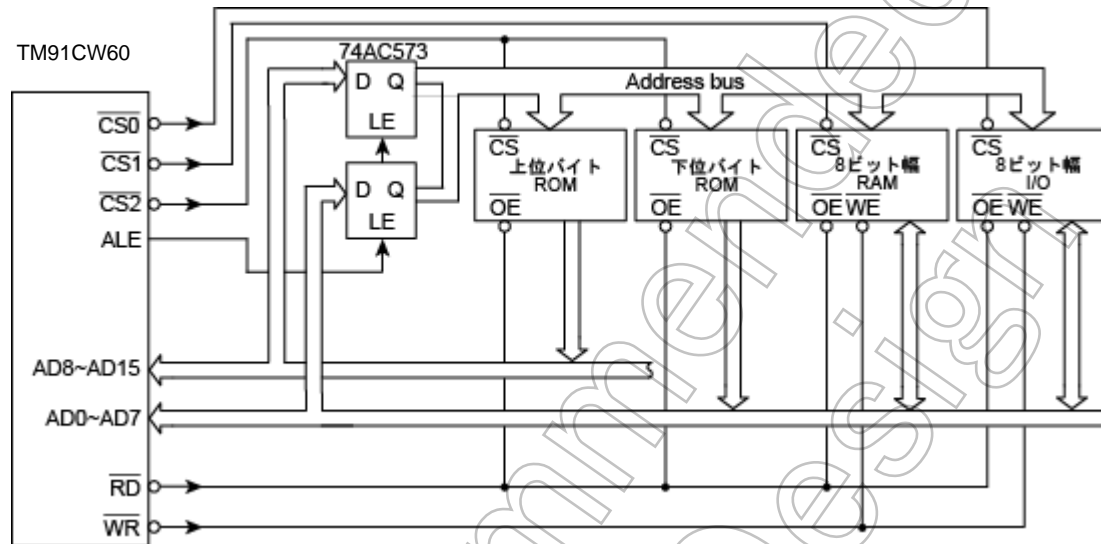


図 5-3 外部メモリ接続例 (ROM = 16 ビット幅、RAM & I/O = 8 ビット幅)

TMP91CW60 ではリセット後、ポート 4 ファンクションレジスタ P4FC およびコントロールレジスタ P4CR は“0”にクリアされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P4FC, P4CR の必要なビットに“1”をセットしてください。

第6章 8ビットタイマ (TMRA)

8ビットタイマを6チャンネル (TMRA0~TMRA5) 内蔵しています。

TMRA は 2 チャンネルを 1 モジュールとし、3 モジュールで構成され、それぞれ TMRA01, TMRA23, TMRA45 と呼びます。各モジュールは次の4種類のモードを持っています。

- 8ビットインタバルタイマモード
- 16ビットインタバルタイマモード
- 8ビットプログラブル矩形波 (PPG: 可変周期で可変デューティ) 出力モード
- 8ビットPWM (パルス幅変調: 固定周期で可変デューティ) 出力モード

図 6-1、図 6-2、図 6-3 に TMRA01, TMRA23, TMRA45 のブロック図を示します。

各チャンネルは主に 8ビットアップカウンタ, 8ビットコンパレータ、および、8ビットタイマレジスタで構成され、2チャンネルに1つのプリスケラ, タイマフリップフロップで構成されています。

タイマの動作モードやタイマフリップフロップは5バイトのレジスタ SFR で制御されます。

3つの各モジュール TMRA01, TMRA23, TMRA45 は、それぞれ独立に動作します。いずれのモジュールも表 6-1 に示される仕様相違点を除いて同一の動作をしますので動作説明は TMRA01 の場合についてのみ説明します。

表 6-1 TMRA のモジュール別仕様相違点

仕様	モジュール	TMRA01	TMRA23	TMRA45
外部端子	外部クロック 入力端子	TA0IN (P70 と兼用)	なし	TA4IN (P73 と兼用)
	タイマフリップ フロップ出力端子	TA1OUT (P71 と兼用)	TA3OUT (P72 と兼用)	TA5OUT (P74 と兼用)
SFR 名 (アドレス)	タイマ RUN レジスタ	TA01RUN (0100H)	TA23RUN (0108H)	TA45RUN (0110H)
	タイマレジスタ	TA0REG (0102H) TA1REG (0103H)	TA2REG (010AH) TA3REG (010BH)	TA4REG (0112H) TA5REG (0113H)
	タイマモードレジスタ	TA01MOD (0104H)	TA23MOD (010CH)	TA45MOD (0114H)
	タイマフリップフロップ コントロールレジスタ	TA1FFCR (0105H)	TA3FFCR (010DH)	TA5FFCR (0115H)

6.1 モジュール別のブロック図

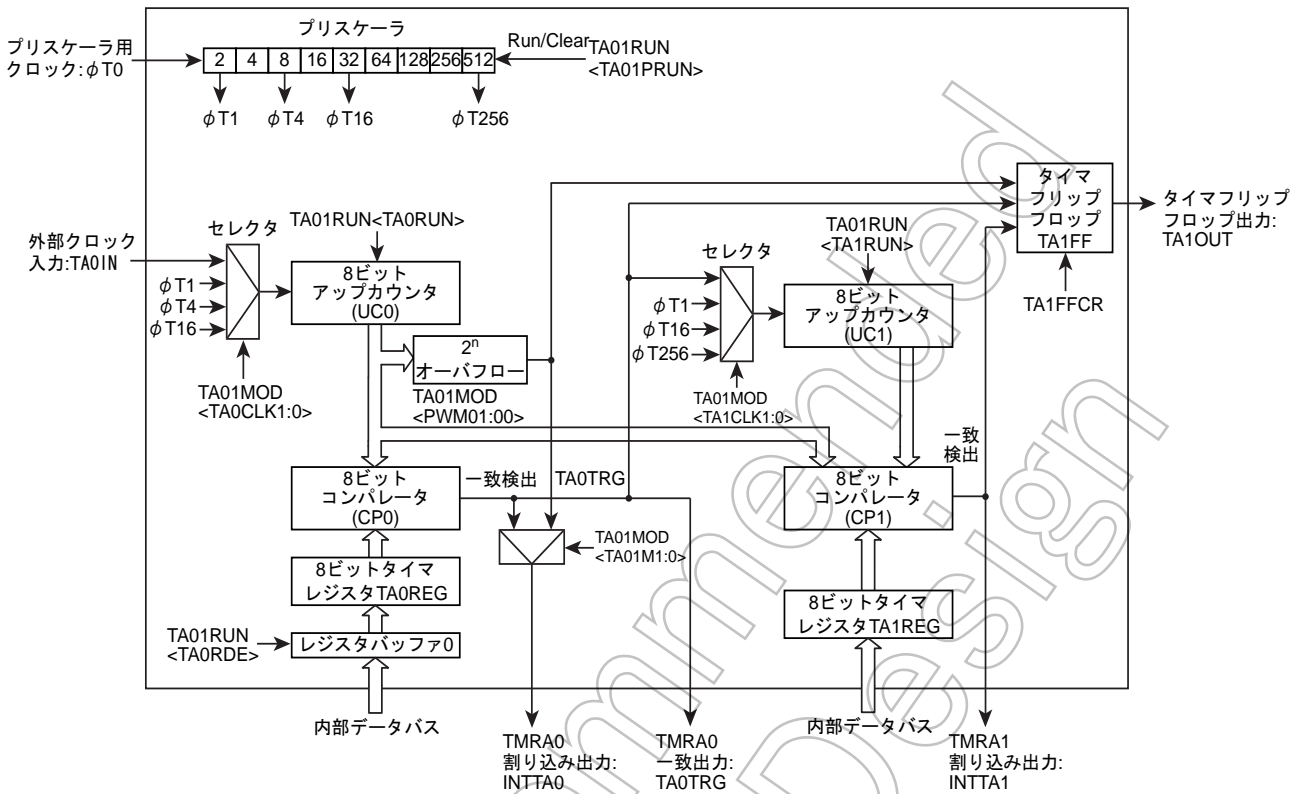


図 6-1 TMRA01 ブロック図

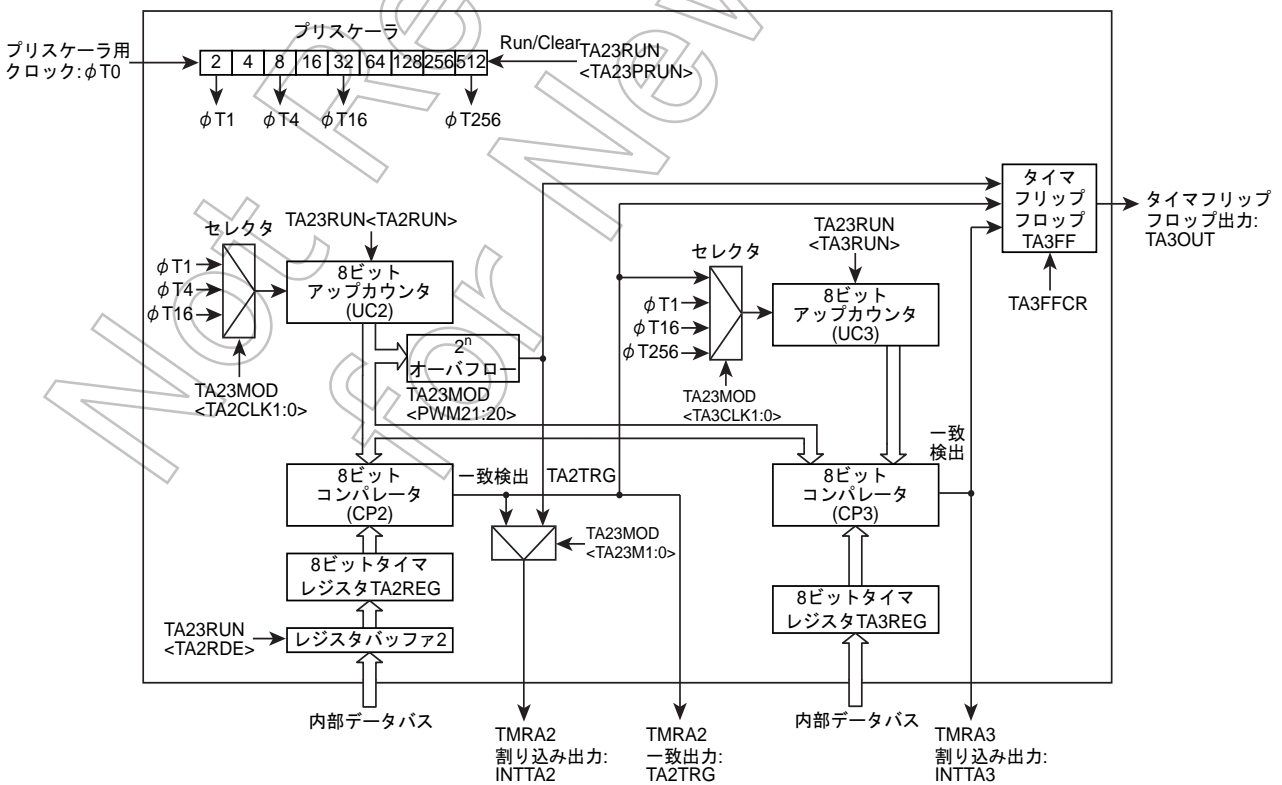


図 6-2 TMRA23 ブロック図

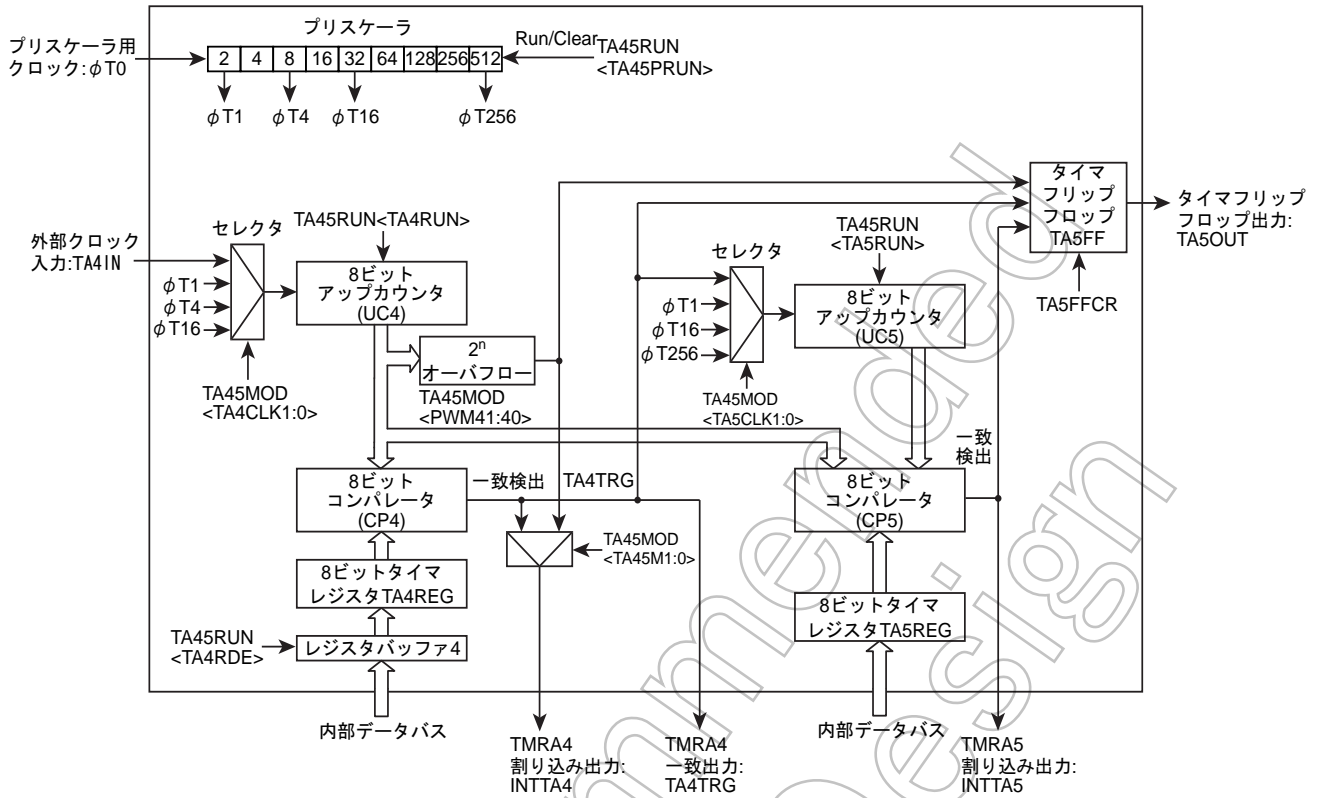


図 6-3 TMRA45 ブロック図

6.2 回路別の動作説明

6.2.1 プリスケアラ

TMRA01 のクロックソースを得るため 9 ビットプリスケアラがあります。プリスケアラの入力クロック $\phi T0$ は、クロックギア部の SYSCR0<PRCK1> にて選択したクロックを 4 分周したクロックです。

プリスケアラは TA01RUN<TA01PRUN> により制御されます。“1” に設定するとカウント開始し、“0” に設定するとクリアされ停止します。プリスケアラ出力クロックの分解能を表 6-2 に示します。(プリスケアラとタイマカウンタは個別にスタートできますが、タイマカウンタのカウントアップはプリスケアラ入力タイミングとプリスケアラスタートタイミングに依存します。)

表 6-2 プリスケアラ出力クロック分解能

@ $f_c = 20 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$

システム クロック選択 SYSCR1<SYSCK>	クロックギア値 SYSCR1<GEAR2:0>	プリスケアラ用 クロック選択 SYSCR0<PRCK1>	プリスケアラ出力クロック分解能			
			$\phi T1$ (1/2)	$\phi T4$ (1/8)	$\phi T16$ (1/32)	$\phi T256$ (1/512)
1 (fs)	XXX	0 (1/1) f_{PPH}	$2^3/f_s$ (244 μs)	$2^5/f_s$ (977 μs)	$2^7/f_s$ (3.9 ms)	$2^{11}/f_s$ (62.5 ms)
0 (fc)	000 (fc)		$2^3/f_c$ (0.4 μs)	$2^5/f_c$ (1.6 μs)	$2^7/f_c$ (6.4 μs)	$2^{11}/f_c$ (102.4 μs)
	001 (fc/2)		$2^4/f_c$ (0.8 μs)	$2^6/f_c$ (3.2 μs)	$2^8/f_c$ (12.8 μs)	$2^{12}/f_c$ (204.8 μs)
	010 (fc/4)		$2^5/f_c$ (1.6 μs)	$2^7/f_c$ (6.4 μs)	$2^9/f_c$ (25.6 μs)	$2^{13}/f_c$ (409.6 μs)
	011 (fc/8)		$2^6/f_c$ (3.2 μs)	$2^8/f_c$ (12.8 μs)	$2^{10}/f_c$ (51.2 μs)	$2^{14}/f_c$ (819.2 μs)
	100 (fc/16)		$2^7/f_c$ (6.4 μs)	$2^9/f_c$ (25.6 μs)	$2^{11}/f_c$ (102.4 μs)	$2^{15}/f_c$ (1638.4 μs)
	XXX		1 (1/16) fc/16 クロック	$2^7/f_c$ (6.4 μs)	$2^9/f_c$ (25.6 μs)	$2^{11}/f_c$ (102.4 μs)

注) xxx: Don't care

6.2.2 アップカウンタ (UC0, UC1)

タイマモードレジスタ TA01MOD で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA01IN 端子からの外部クロックと、3 種類のプリスケアラ出力クロック $\phi T1$, $\phi T4$, $\phi T16$ から、TA01MOD<TA0CLK1:0> の設定値に応じて選択されます。

UC1 の入力クロックは動作モードによって異なります。16 ビットタイマモードに設定した場合は、UC0 のオーバフロー出力が入力クロックとなり、16 ビットタイマモード以外の設定の場合は、TA01MOD<TA1CLK1:0> の設定によりプリスケアラ出力クロック $\phi T1$, $\phi T16$, $\phi T256$ と、TMRA0 のコンパレータ出力 (一致検出) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>, <TA1RUN> によってカウントの開始および停止 & クリアを設定します。リセット動作により、アップカウンタはクリアされ、停止します。

6.2.3 タイマレジスタ (TA0REG, TA1REG)

インタバル時間を設定する 8 ビットのレジスタです。タイマレジスタへの設定値とアップカウンタの値が一致すると、コンパレータの一致検出信号が出力されます。タイマレジスタに“00”を設定した場合は、アップカウンタのオーバーフロー時に、一致信号がアクティブになります。

TA0REG は、ダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。

ダブルバッファは、TA01RUN<TA0RDE>により制御されます。<TA0RDE>=“0”のときディセーブル、<TA0RDE>=“1”のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ 0 へのデータ転送タイミングは、PWM モードの 2ⁿ オーバフロー、または、PPG モードの周期のコンペア一致時です。従って、タイマモード時に、ダブルバッファを使用することはできません。(ダブルバッファ使用時は、PWM モードのオーバーフロー又は、PPG モードの周期一致のみしかタイマレジスタを更新する方法はありません。)

リセット時は <TA0RDE>=“0”に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタに設定値をライトし、<TA0RDE>=“1”に設定した後、次の設定値をライトしてください。

図 6-4 に TA0REG の構成を示します。

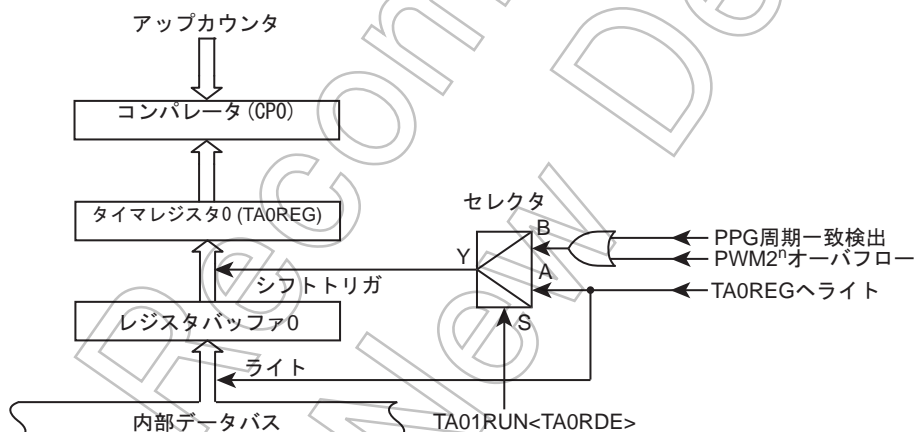


図 6-4 タイマレジスタ 0 (TA0REG) の構成

注) TA0REG とレジスタバッファ 0 は同じアドレスに割り付けられています。
 <TA0RDE>=“0”のときは、レジスタバッファ 0 と TA0REG の両方に同じ値がライトされ、<TA0RDE>=“1”のときは、レジスタバッファ 0 のみにライトされます。

6.2.4 コンパレータ (CP0, CP1)

アップカウンタの値とタイマレジスタの値とを比較し、一致すると、アップカウンタを 0 にクリアするとともに、割り込み INTTA0, INTTA1 を発生します。また、タイマフリップフロップ反転イネーブルであれば同時にタイマフリップフロップの値を反転させます。

注) タイマ動作中にタイマレジスタにアップカウンタ値以下の値をライトするとタイマはオーバフローを起こし期待した値での割り込みの発生は得られません。(変更した設定値がアップカウンタ値以上であれば正常に動作可能です。)また、16ビットモードでの動作時は、下位8ビットのみのライトではコンペア回路が動作しませんのでライトは必ず下位8ビット、上位8ビットの順で16ビット単位で行ってください。

6.2.5 タイマフリップフロップ (TA1FF)

タイマフリップフロップ TA1FF は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、TA1FFCR<TA1FFIE>により設定できます。

リセットにより、TA1FF は “0” になります。TA1FFCR <TA1FFC1:0> に “01”、または、“10” をライトすることで、TA1FF の値を “1”、または、“0” に設定することができます。また、このビットに “00” をライトすることにより、TA1FF の値を反転させることができます (ソフト反転)。

TA1FF の値は、タイマフリップフロップ出力端子 TA1OUT (P71 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート7 関連レジスタ P7CR, P7FC により、設定を行う必要があります。

各モードによる TA1FF の反転

8ビットタイマモード	: UC0 と TA0REG の一致または、UC1 と TA1REG の一致 (どちらか1つ選択)
16ビットタイマモード	: UC0 は TA0REG の一致及び、UC1 は TA1REG の一致
8ビットPWMモード	: オーバフローまたは、UC0 と TA0REG の一致
8ビットPPGモード	: UC0 と TA0REG 一致または UC0 と TA1REG の一致

注) タイマによる反転とレジスタ設定による変更要求が同時に行われた場合はその時の状態によって以下のような動作となりますので注意が必要です。

- タイマによる反転とレジスタ設定による反転が同時に起きた場合
->1 回だけ反転します。
- タイマによる反転とレジスタ設定による "1" セットが同時に起きた場合
->"1" セットとなります。
- タイマによる反転とレジスタ設定による "0" クリアが同時に起きた場合
->"0" クリアとなります。

6.3 SFR 説明

TMRA01RUN レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TA0RDE	–	–	–	I2TA01	TA01PRUN	TA1RUN	TA0RUN
Read/Write	R/W	–	–	–	R/W			
リセット後	0	–	–	–	0	0	0	0
機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード時 0: 停止 1: 動作	TMRA01 プリスケアラ	アップカウンタ (UC1)	アップカウンタ (UC0)
						0: 停止 & クリア 1: 動作 (カウントアップ)		

カウント動作

	0	
TA01PRUN TA1RUN / TA0RUN	0	停止 & クリア
	1	カウント

TA0REG ダブルバッファの制御

	0	
TA0RDE	0	禁止
	1	許可

注) TA01RUN のビット 4, 5, 6 は、リードすると "1" がリードされます。

TMRA23RUN レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TA2RDE	–	–	–	I2TA23	TA23PRUN	TA3RUN	TA2RUN
Read/Write	R/W	–	–	–	R/W			
リセット後	0	–	–	–	0	0	0	0
機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード 0: 停止 1: 動作	TMRA23 プリスケアラ	アップカウンタ (UC3)	アップカウンタ (UC2)
						0: 停止 & クリア 1: 動作 (カウントアップ)		

カウント動作

	0	
TA23PRUN TA3RUN / TA2RUN	0	停止 & クリア
	1	カウント

TA2REG ダブルバッファの制御

	0	
TA2RDE	0	禁止
	1	許可

注) TA23RUN のビット 4, 5, 6 は、リードすると "1" がリードされます。

TMRA45RUN レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TA4RDE	–	–	–	I2TA45	TA45PRUN	TA5RUN	TA4RUN
Read/Write	R/W	–	–	–	R/W			
リセット後	0	–	–	–	0	0	0	0
機能	ダブルバッファ 0: 禁止 1: 許可				IDLE2 モード 0: 停止 1: 動作	TMRA45 プリスケアラ	アップカウンタ (UC5)	アップカウンタ (UC4)
						0: 停止 & クリア 1: 動作 (カウントアップ)		

カウント動作

	0	
TA45PRUN TA5RUN / TA4RUN	0	停止 & クリア
	1	カウント

TA4REG ダブルバッファの制御

	0	
TA4RDE	0	禁止
	1	許可

注) TA45RUN のビット 4, 5, 6 は、リードすると "1" がリードされます。

TMRA01 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA1 入カクロック 00: TA0TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA0 入カクロック 00: TA0IN 入力 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA0 の入カクロック

<TA0CLK1:0>	00	TA0IN 入力
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA1 の入カクロック

		TA01MOD<TA01M1:0> \neq 01	TA01MOD<TA01M1:0> = 01
<TA1CLK1:0>	00	TMRA0 の一致出力	TMRA0 のオーバーフロー出力 (16ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8ビットPWMモード時の周期選択

<PWM01:00>	00	Reserved
	01	$2^6 \times$ ソースクロック
	10	$2^7 \times$ ソースクロック
	11	$2^8 \times$ ソースクロック

TMRA01 の動作モード選択

<TA01M1:0>	00	8ビットタイマ \times 2ch
	01	16ビットタイマ
	10	8ビットプログラム矩形波出力
	11	8ビットPWM (TMRA0), 8ビットタイマ (TMRA1)

TMRA23 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA3 入力クロック 00: TA2TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA2 入力クロック 00: Reserved 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA2 の入力クロック

<TA2CLK1:0>	00	Reserved
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA3 の入力クロック

		TA23MOD<TA23M1:0> \neq 01	TA23MOD<TA23M1:0> = 01
<TA3CLK1:0>	00	TMRA2 の一致出力	TMRA2 のオーバーフロー出力 (16ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8ビットPWMモード時の周期選択

<PWM21:20>	00	Reserved
	01	$2^6 \times$ ソースクロック
	10	$2^7 \times$ ソースクロック
	11	$2^8 \times$ ソースクロック

TMRA23 の動作モード選択

<TA23M1:0>	00	8ビットタイマ \times 2ch
	01	16ビットタイマ
	10	8ビットプログラム矩形波出力
	11	8ビットPWM (TMRA2), 8ビットタイマ (TMRA3)

TMRA45 モードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM		PWM 周期 00: Reserved 01: 2^6 10: 2^7 11: 2^8		TMRA5 入力クロック 00: TA4TRG 01: $\phi T1$ 10: $\phi T16$ 11: $\phi T256$		TMRA4 入力クロック 00: TA4IN 入力 01: $\phi T1$ 10: $\phi T4$ 11: $\phi T16$	

TMRA4 の入力クロック

<TA4CLK1:0>	00	TA4IN 入力
	01	$\phi T1$
	10	$\phi T4$
	11	$\phi T16$

TMRA5 の入力クロック

		TA45MOD<TA45M1:0> \neq 01	TA45MOD<TA45M1:0> = 01
<TA5CLK1:0>	00	TMRA4 の一致出力	TMRA4 のオーバーフロー出力 (16ビットタイマモード)
	01	$\phi T1$	
	10	$\phi T16$	
	11	$\phi T256$	

8ビットPWMモード時の周期選択

<PWM41:40>	00	Reserved
	01	$2^6 \times$ ソースクロック
	10	$2^7 \times$ ソースクロック
	11	$2^8 \times$ ソースクロック

TMRA45 の動作モード選択

<TA45M1:0>	00	8ビットタイマ \times 2ch
	01	16ビットタイマ
	10	8ビットプログラム矩形波出力
	11	8ビットPWM (TMRA4), 8ビットタイマ (TMRA5)

TMRA1 フリップフロップコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
Read/Write	-	-	-	-	R/W		R/W	
リセット後	-	-	-	-	1	1	0	0
機能					00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号セレクト 0: TMRA0 1: TMRA1

タイマフリップフロップ1 (TA1FF) の反転信号セレクト (8ビットタイマモード以外は Don't care)

TA1FFIS	0	TMRA0 による反転
	1	TMRA1 による反転

TA1FF の反転制御

TA1FFIE	0	反転禁止
	1	反転許可

TA1FF の制御

<TA1FFC1:0>	00	TA1FF の値を反転 (ソフト反転)
	01	TA1FF を "1" にセット
	10	TA1FF を "0" にクリア
	11	Don't care

注) TMRA1 のビット 4, 5, 6, 7 は、リードすると "1" がリードされます。

TMRA3 フリップフロップコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
Read/Write	-	-	-	-	R/W		R/W	
リセット後	-	-	-	-	1	1	0	0
機能					00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号セレクト 0: TMRA2 1: TMRA3

タイマフリップフロップ3 (TA3FF) の反転信号セレクト (8ビットタイマモード以外は Don't care)

TA3FFIS	0	TMRA2 による反転
	1	TMRA3 による反転

TA3FF の反転制御

TA3FFIE	0	反転禁止
	1	反転許可

TA3FF の制御

<TA3FFC1:0>	00	TA3FF の値を反転 (ソフト反転)
	01	TA3FF を "1" にセット
	10	TA3FF を "0" にクリア
	11	Don't care

注) TMRA3 のビット 4, 5, 6, 7 は、リードすると "1" がリードされます。

TMRA5 フリップフロップコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS
Read/Write	-	-	-	-	R/W		R/W	
リセット後	-	-	-	-	1	1	0	0
機能					00: TA5FF 反転 01: TA5FF セット 10: TA5FF クリア 11: Don't care		TA5FF 反転制御 0: 禁止 1: 許可	TA5FF 反転信号 セレクト 0: TMRA4 1: TMRA5

タイマフリップフロップ5 (TA5FF) の反転信号セレクト (8 ビットタイマモード以外は Don't care)

TA5FFIS	0	1
	TMRA4 による反転	TMRA5 による反転

TA5FF の反転制御

TA5FFIE	0	1
	反転禁止	反転許可

TA5FF の制御

<TA5FFC1:0>	00	01	10	11
	TA5FF の値を反転 (ソフト反転)	TA5FF を "1" にセット	TA5FF を "0" にクリア	Don't care

注) TMRA5 のビット 4, 5, 6, 7 は、リードすると "1" がリードされます。

タイマレジスタ

	7	6	5	4	3	2	1	0
TA0REG (0102H) RMW 禁止	Bit symbol	-						
	Read/Write	W						
	リセット後	0						
TA1REG (0103H) RMW 禁止	Bit symbol	-						
	Read/Write	W						
	リセット後	0						
TA2REG (010AH) RMW 禁止	Bit symbol	-						
	Read/Write	W						
	リセット後	0						
TA3REG (010BH) RMW 禁止	Bit symbol	-						
	Read/Write	W						
	リセット後	0						
TA4REG (0112H) RMW 禁止	Bit symbol	-						
	Read/Write	W						
	リセット後	0						
TA5REG (0113H) RMW 禁止	Bit symbol	-						
	Read/Write	W						
	リセット後	0						

6.4 モード別動作説明

6.4.1 8ビットタイマモード

TMRA0, TMRA1 は、それぞれ独立に 8 ビットインタバルタイマとして使用できます。機能、および、カウントデータの設定を行う場合、TMRA0, TMRA1 を停止させた状態で行ってください。

6.4.1.1 一定周期の割り込みを発生させる場合

ここでは TMRA1 を使用した例を示します。TMRA1 を用いて、一定周期ごとに TMRA1 割り込み INTTA1 を発生させる場合、まず TMRA1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD, TA1REG に設定します。次に割り込み INTTA1 をイネーブルにしてから、TMRA1 をカウントさせます。

例：fc = 20 MHz で 12 μs ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

※クロック条件	システムクロック	: 高速 (fc)
	プリスケールクロック	: f _{PPH}
	クロックギア	: 1 倍 (fc)

	MSB	7	6	5	4	3	2	1	0	LSB	
TA01RUN	←	-	X	X	X	-	-	0	-		TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	X	X		8 ビットタイマモードにし、入力クロックを φT1 (0.4 μs 分解能、@fc = 20 MHz) に設定します。
TA1REG	←	0	0	0	1	1	1	1	0		TA1REG に 12 μs ÷ φT1 = 30 (1EH) をライトします。
INTETA01	←	X	1	0	1	X	-	-	-		INTTA1 をイネーブル、割り込みレベル 5 に設定します。
TA01RUN	←	-	X	X	X	-	1	1	-		TMRA1 をカウントさせます。

注) X: Don't Care、-: No change

入力クロックの選択は表 6-2 を参考にしてください。

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。

TMRA0: φT1, φT4, φT16

TMRA1: TMRA0 の一致検出信号、φT1, φT16, φT256

6.4.1.2 デューティ 50 % の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ TA1FF の値を反転させ、この値をタイマフリップフロップ出力端子 TA1OUT へ出力します。

例： $f_c = 20\text{ MHz}$ で周期 $2.4\ \mu\text{s}$ の矩形波を TA1OUT 端子から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を用いますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

※クロック条件	システムクロック	: 高速 (f_c)
	クロックギア	: 1 倍 (f_c)
	プリスケーラクロック	: $\frac{1}{f_{PH}}$

	MSB								LSB		
	7	6	5	4	3	2	1	0			
TA01RUN	←	-	X	X	X	-	-	0	-		TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	-	-		8 ビットタイマモードにし、入力クロックを $\phi T1$ ($0.4\ \mu\text{s}$ 分解能、 $@f_c = 20\ \text{MHz}$) に設定します。
TA1REG	←	0	0	0	0	0	0	1	1		TA1REG に $2.4\ \mu\text{s} \div \phi T1 \div 2 = 03H$ をセットします。
TA1FFCR	←	X	X	X	X	1	0	1	1		TA1FF を "0" にクリアし、TMRA1 からの一致検出信号で反転するように設定します。
P7CR	←	X	X	X	-	-	-	1	-		P71 を TA1OUT 出力端子に設定します。
P7FC	←	X	X	X	-	-	-	1	-		
TA01RUN	←	-	X	X	X	-	1	1	-		TMRA1 のカウントを開始させます。

注) X : Don't Care, - : No change

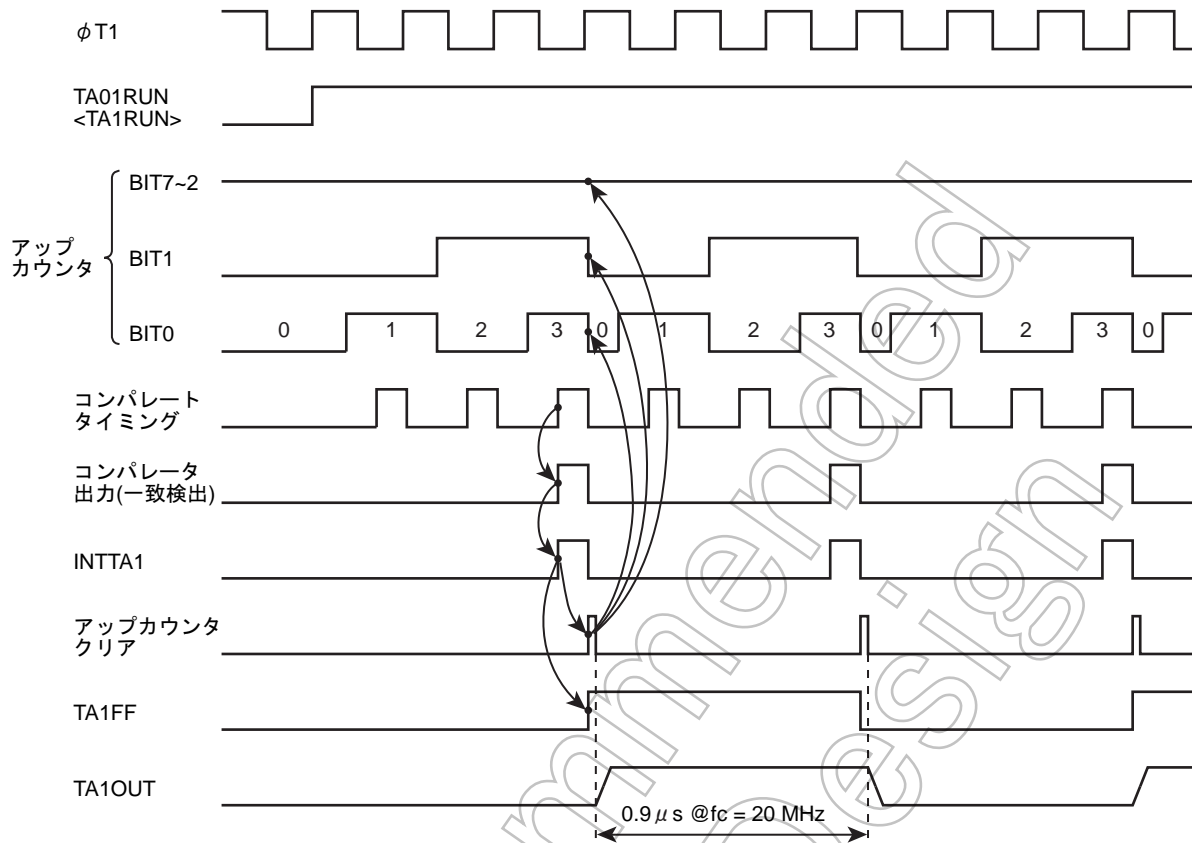


図 6-5 矩形波 (デューティ 50%) 出力のタイミングチャート

6.4.1.3 TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8ビットタイマに設定し、TMRA1の入力クロックをTMRA0のコンパレータ出力に設定します。

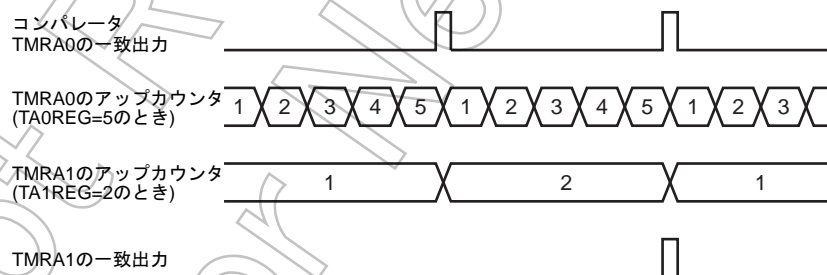


図 6-6 TMRA0 による TMRA1 のカウントアップ

6.4.2 16ビットタイマモード

TMRA0 と TMRA1 をペアにして、16ビットインタバルタイマとして使用できます。

TA01MOD <TA01M1:0> を “01” に設定することで16ビットタイマモードとなります。

16ビットタイマモードに設定すると、TA01MOD <TA1CLK1:0> の設定値にかかわらず、TMRA1の入力クロックは、TMRA0のオーバーフロー出力になります。TMRA0の入力クロックの選択は表6-2を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位8ビットを、TA1REG に上位8ビットを設定します。この場合、必ずTA0REG から先に設定してください (TA0REG にデータをライトするとコンペアが一時禁止され、TA1REG へのデータライトでコンペアが開始されるためです)。

例 : $f_c = 20\text{MHz}$ で 0.4 秒ごとに割り込み INTTA1 を発生させる場合、TA0REG, TA1REG には次の値を設定します。

※クロック条件	システムクロック	: 高速 (f_c)
	クロックギア	: 1 倍 (f_c)
	プリスケラークロック	: f_{FPH}

$\phi T_{16} (= (2^7/f_c) \text{ s } @ 20 \text{ MHz})$ を入力クロックとしてカウントすると

$$0.4 \text{ s} \div (2^7/f_c) \text{ s} = 62500 = \text{F424H}$$

従って TA1REG = F4H, TA0REG = 24H を設定すると、0.4 秒ごとに割り込み INTTA1 が発生します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG が一致するたびに出力されますが、UC0 はクリアされません。また、このとき INTTA0 は発生しません。

TMRA1 のコンパレータは、UC1 と TA1REG が一致すると、コンパレートタイミング時、毎回一致検出信号が出力されます。TMRA0, TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、UC0, UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また反転インネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例 : TA1REG = 04H, TA0REG = 80H の場合

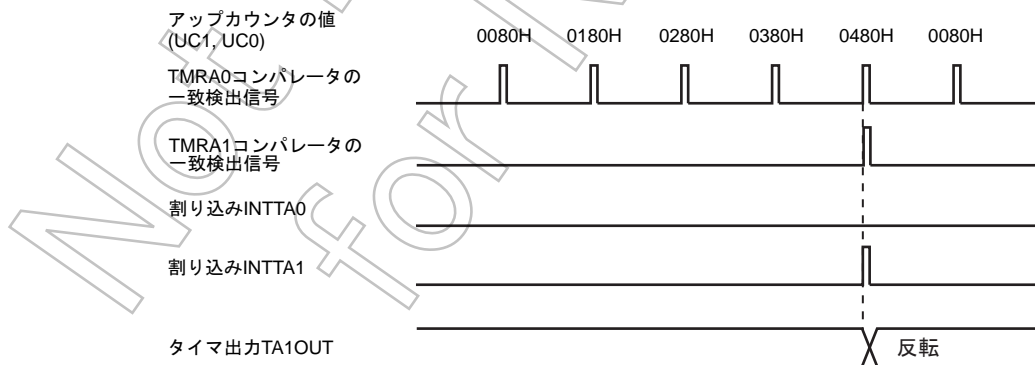


図 6-7 16ビットタイマによるタイマ出力

6.4.3 8ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスは“L”アクティブ、“H”アクティブどちらの設定も可能です。

このモードに設定した場合 TMRA1 は使用できません。

矩形波は TA1OUT へ出力されます。

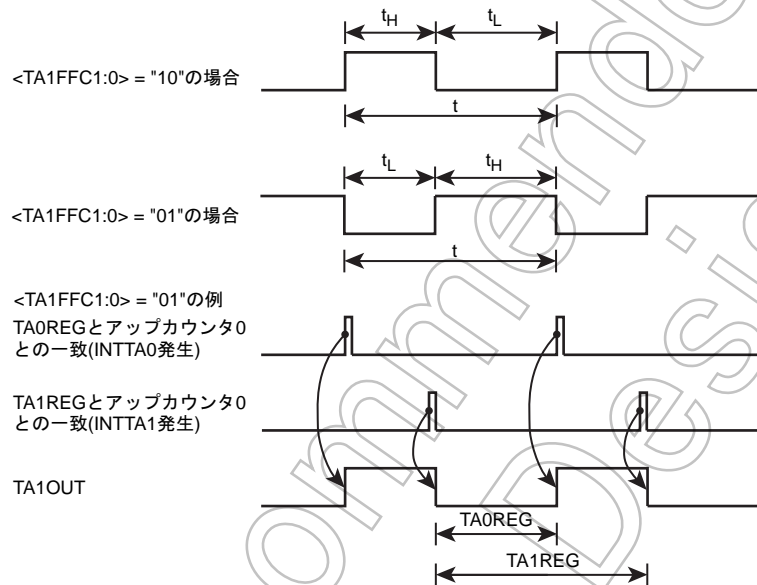


図 6-8 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ UC0 が、タイマレジスタ TA0REG、および、TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは、TMRA1 のアップカウンタ UC1 は使用できませんが、TA01RUN <TA1RUN> = 1 に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと図 6-9 のようになります。

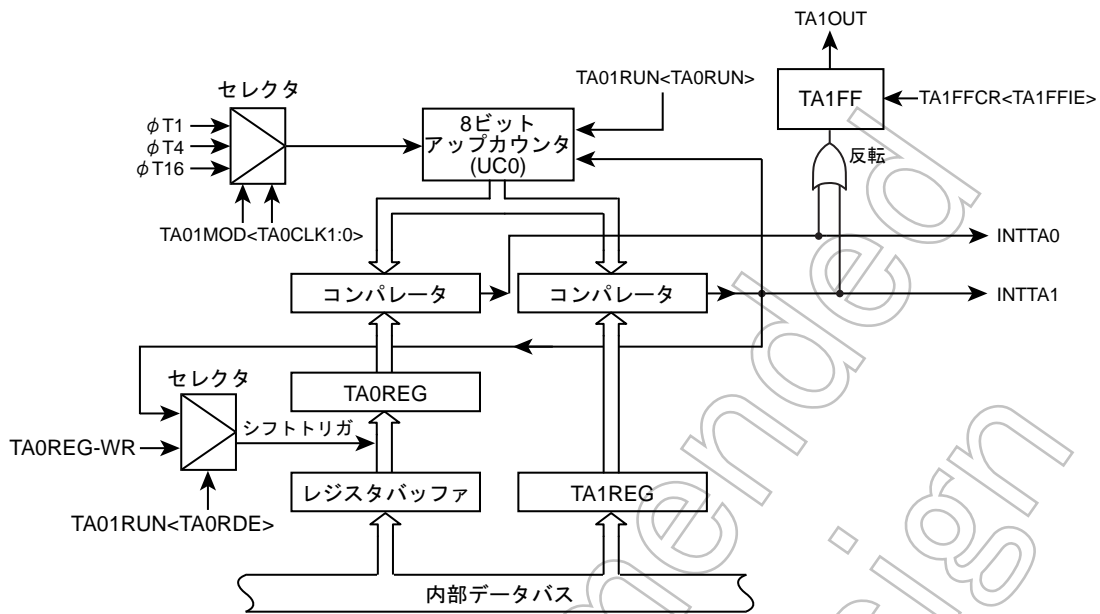


図 6-9 8 ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ（デューティを変化させるとき）への対応が容易に行えます。

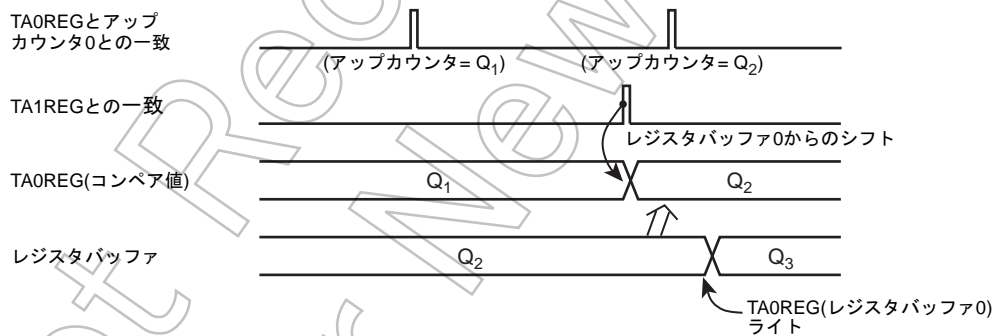


図 6-10 レジスタバッファの動作

注) TAxREG の設定値は、最小値 01H 最大値 00H(100H に相当します) となります。また、設定値を最大値の 00H にした場合は、アップカウンタのオーバーフローに同期します。

例：デューティ 1/4 の 50 kHz のパルスを出力する場合 ($f_c = 20 \text{ MHz}$)



※クロック条件
 システムクロック : 高速 (f_c)
 クロックギア : 1倍 (f_c)
 プリスケアラクロック : f_{PPH}

タイマレジスタへの設定値を求めます。

周波数を 50 kHz にするには、周期 $t = 1/50 \text{ kHz} = 20 \mu\text{s}$ の波形をつくります。

$\phi T1 = (2^3/f_c) \text{ s}$ ($@f_c = 20 \text{ MHz}$) を用いると、

$$20 \mu\text{s} \div (2^3/f_c) \text{ s} = 50$$

従って TA1REG を、 $\text{TA1REG} = 50 = 32\text{H}$ と設定すると、50 kHz のパルスがつくられます。

次にデューティを 1/4 にするには、 $t \times 1/4 = 20 \mu\text{s} \times 1/4 = 5 \mu\text{s}$

$$5 \mu\text{s} \div (2^3/f_c) \text{ s} \doteq 13$$

従って TA0REG = 13 = 0DH に設定します。

	7	6	5	4	3	2	1	0	
TA01RUN	← 0	X	X	X	-	-	0	0	TMRA0, TMRA1 を停止し、0 にクリアします。(ダブルバッファディセーブル)
TA01MOD	← 1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックを $\phi T1$ にします。
TA0REG	← 0	0	0	0	1	1	0	1	0DH をライトします。
TA1REG	← 0	0	1	1	0	0	1	0	32H をライトします。
TA1FFCR	← X	X	X	X	0	1	1	X	TA1FF をセットし反転イネーブルにします。 bit2, 3 を "10" にすると負論理の出力波形が得られます。
P7CR	← X	X	X	-	-	-	1	-	P71 を TA1OUT 出力端子に設定します。
P7FC	← X	X	X	-	-	-	1	-	
TA01RUN	← 1	X	X	X	-	1	1	1	TMRA0, TMRA1 のカウントを開始します。(ダブルバッファイネーブル)

注) X: Don't Care, -: No change

6.4.4 8ビット PWM 出力モード

TMRA0のみ可能なモードで、分解能8ビットまでのPWMを出力することができます。PWM出力はTA1OUT端子(P71と兼用)へ出力されます。

このモードでは、TMRA1は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタUC0がタイマレジスタTA0REGの設定値と一致したときと、 2^n ($n=6, 7, 8$ のいずれかをTA01MOD<PWM01:00>で指定)カウンタオーバーフロー発生時に起こります。また、UC0は 2^n カウンタのオーバーフローによってクリアされます。

なお、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(TA0REGの設定値) < (2^n カウンタのオーバーフロー設定値)

(TA0REGの設定値) $\neq 0$

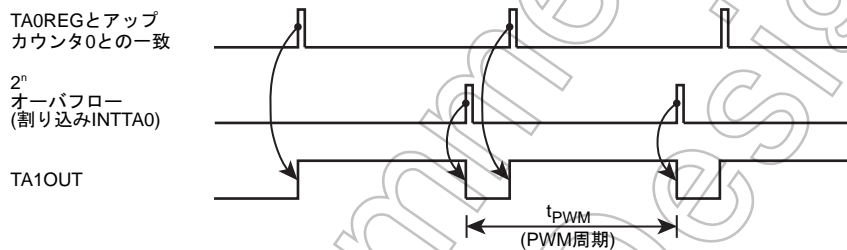


図 6-11 8ビット PWM 出力波形

このモードをブロック図で示すと図 6-12 のようになります。

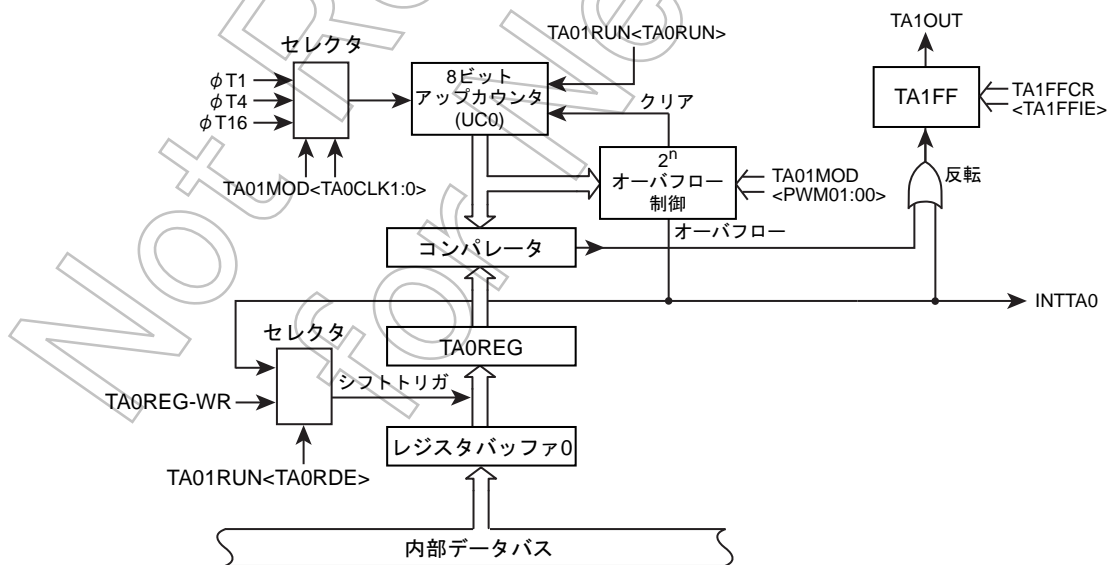


図 6-12 8ビット PWM 出力モードのブロック図

このモードでは、TA0REGをダブルバッファインプットにすることにより、 2^n オーバーフロー検出で、レジスタバッファの値がTA0REGへシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が、容易に行えます。

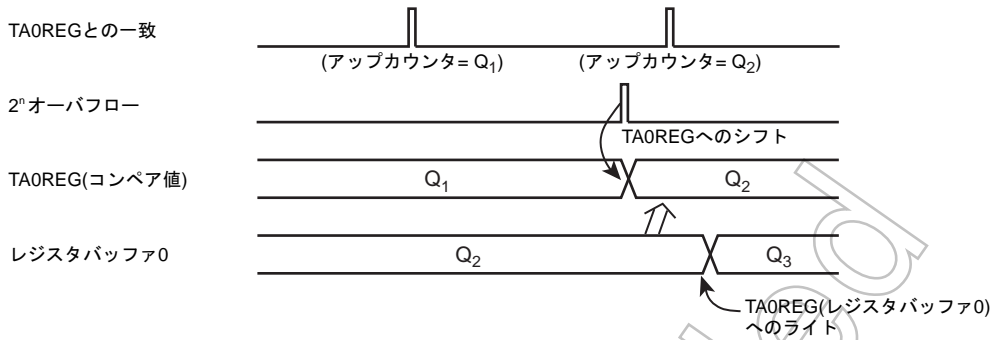
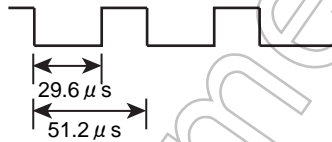


図 6-13 レジスタバッファ 0 の動作

例 :fc = 20 MHz 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合



※クロック条件

- システムクロック : 高速 (fc)
- 高速クロックギア : 1 倍 (fc)
- プリスケアラクロック : f_{FPH}

PWM 周期 51.2 μs を $\phi T1 = (2^3 / fc) s$ (@fc = 20 MHz) で実現する場合

$$51.2 \mu s \div (2^3 / fc) s = 128 = 2^n$$

従って n = 7 に設定します。

“L” レベルの期間は

$$29.6 \mu s \div (2^3 / fc) s = 74 = 4AH$$

を TA0REG に設定します。

	MSB	7	6	5	4	3	2	1	0	LSB	
TA01RUN	←	-	X	X	X	-	-	-	0		TMRA0 を停止し、0 にクリアします。
TA01MOD	←	1	1	1	0	-	-	0	1		8 ビット PWM モード (周期 = 2 ⁷) にし、入力クロックを $\phi T1$ にします。
TA0REG	←	0	1	0	0	1	0	1	0		4AH をライトします。
TA1FFCR	←	X	X	X	X	1	0	1	X		TA1FF をクリアし反転イネーブルにします。
P7CR	←	X	X	X	-	-	-	1	-		P71 を TA1OUT 出力端子に設定します。
P7FC	←	X	X	X	-	-	-	1	-		
TA01RUN	←	1	X	X	X	-	1	-	1		TMRA0 のカウントを開始します。

注) X : Don't Care、- : No change

表 6-3 PWM 周期

@ fc = 20 MHz, fs = 32.768 kHz

システム クロック選択 SYSCR1 <SYSCK>	クロックギア値 SYSCR1 <GEAR2:0>	プリスケアラ用 クロック選択 SYSCR0 <PRCK1>	PWM 周期								
			2 ⁶			2 ⁷			2 ⁸		
			φT1	φT4	φT16	φT1	φT4	φT16	φT1	φT4	φT16
1 (fs)	XXX	0 (1/1) f _{FPH}	15.6 ms	62.5 ms	250 ms	31.3 ms	125 ms	500 ms	62.5 ms	250 ms	1000 ms
0 (fc)	000 (fc)		25.6 μs	102.4 μs	409.6 μs	51.2 μs	204.8 μs	819.2 μs	102.4 μs	409.6 μs	1638 μs
	001 (fc/2)		51.2 μs	204.8 μs	819.2 μs	102.4 μs	409.6 μs	1638 μs	204.8 μs	819.2 μs	3277 μs
	010 (fc/4)		102.4 μs	409.6 μs	1638 μs	204.8 μs	810.2 μs	3277 μs	409.6 μs	1638 μs	6554 μs
	011 (fc/8)		204.8 μs	819.2 μs	3277 μs	409.6 μs	1638 μs	6554 μs	819.2 μs	3277 μs	13107 μs
	100 (fc/16)		409.6 μs	1638 μs	6554 μs	819.2 μs	3277 μs	13107 μs	1638 μs	6554 μs	26214 μs
XXX	1 (1/16) fc/16 クロック		409.6 μs	1638 μs	6554 μs	819.2 μs	3277 μs	13107 μs	1638 μs	6554 μs	26214 μs

注) xxx: Don't care

6.4.5 動作モード設定一覧

TMRA01 の各モードをまとめると表 6-4 のような設定になります。

表 6-4 各タイマ動作の設定レジスタ

レジスタ名 <レジスタ中の機能名>	TA01MOD				TA1FFCR
	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	TA1FFIS
機能	タイマモード	PWM 周期	上位タイマ 入力クロック	下位タイマ 入力クロック	タイマ F/F 反転信号 セレクト
8 ビットタイマ × 2ch	00	-	下位タイマ一致 φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1 φT4, φT16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16 ビットタイマモード	01	-	-	外部, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビット PPG × 1ch	10	-	-	外部, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビット PWM × 1ch	11	2 ⁶ , 2 ⁷ , 2 ⁸ (01, 10, 11)	-	外部, φT1, φT4, φT16 (00, 01, 10, 11)	-
8 ビット PWM × 1ch	11	-	φT1, φT16, φT256 (01, 10, 11)	-	出力不可

注) -: Don't care

第7章 16ビットタイマ / イベントカウンタ (TMRB)

多機能 16 ビットタイマ / イベントカウンタを 5 チャンネル (TMRB0, TMRB1, TMRB2, TMRB3, TMRB4) 内蔵しています。TMRB は、次の 3 つの動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

図 7-1 に TMRB0, TMRB1, TMRB2, TMRB3, TMRB4 のブロック図を示します。

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバッファ構造)、16 ビットキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。

タイマの動作モードやタイマフリップフロップは 11 バイトのレジスタ (SFR) で制御されます。

各チャンネル (TMRB0, TMRB1, TMRB2, TMRB3, TMRB4) はそれぞれ独立に動作します。いずれのチャンネルも表 7-1 に示される仕様相違点を除いて同一の動作をしますので、動作説明は TMRB0 の場合についてのみ説明します。

表 7-1 TMRB のチャンネル別仕様相違点

チャンネル		TMRB0	TMRB1	TMRB2	TMRB3	TMRB4
仕様	外部端子					
	外部クロック / キャプチャトリガ入力端子	TB0IN0 (P80 と兼用) TB0IN1 (P81 と兼用)	TB1IN0 (P84 と兼用) TB1IN1 (P85 と兼用)	TB2IN0 (PA0 と兼用) TB2IN1 (PA1 と兼用)	TB3IN0 (P30 と兼用) TB3IN1 (P31 と兼用)	TB4IN0 (PB0 と兼用) TB4IN1 (PB1 と兼用)
外部端子	タイマフリップフロップ出力端子	TB0OUT0 (P82 と兼用) TB0OUT1 (P83 と兼用)	TB1OUT0 (P86 と兼用) TB1OUT1 (P87 と兼用)	TB2OUT0 (PA2 と兼用) TB2OUT1 (PA3 と兼用)	TB3OUT0 (P32 と兼用) TB3OUT1 (P33 と兼用)	TB4OUT0 (PB2 と兼用) TB4OUT1 (PB3 と兼用)
	SFR 名 (アドレス)					
SFR 名 (アドレス)	タイマ RUN レジスタ	TB0RUN (0180H)	TB1RUN (0190H)	TB2RUN (01A0H)	TB3RUN (01B0H)	TB4RUN (01C0H)
	タイマモードレジスタ	TB0MOD (0182H)	TB1MOD (0192H)	TB2MOD (01A2H)	TB3MOD (01B2H)	TB4MOD (01C2H)
	タイマフリップフロップコントロールレジスタ	TB0FFCR (0183H)	TB1FFCR (0193H)	TB2FFCR (01A3H)	TB3FFCR (01B3H)	TB4FFCR (01C3H)
	タイマレジスタ	TB0RG0L (0188H)	TB1RG0L (0198H)	TB2RG0L (01A8H)	TB3RG0L (01B8H)	TB4RG0L (01C8H)
		TB0RG0H (0189H)	TB1RG0H (0199H)	TB2RG0H (01A9H)	TB3RG0H (01B9H)	TB4RG0H (01C9H)
		TB0RG1L (018AH)	TB1RG1L (019AH)	TB2RG1L (01AAH)	TB3RG1L (01BAH)	TB4RG1L (01CAH)
		TB0RG1H (018BH)	TB1RG1H (019BH)	TB2RG1H (01ABH)	TB3RG1H (01BBH)	TB4RG1H (01CBH)
	キャプチャレジスタ	TB0CP0L (018CH)	TB1CP0L (019CH)	TB2CP0L (01ACH)	TB3CP0L (01BCH)	TB4CP0L (01CCH)
		TB0CP0H (018DH)	TB1CP0H (019DH)	TB2CP0H (01ADH)	TB3CP0H (01BDH)	TB4CP0H (01CDH)
		TB0CP1L (018EH)	TB1CP1L (019EH)	TB2CP1L (01AEH)	TB3CP1L (01BEH)	TB4CP1L (01CEH)
TB0CP1H (018FH)		TB1CP1H (019FH)	TB2CP1H (01AFH)	TB3CP1H (01BFH)	TB4CP1H (01CFH)	

7.1 ブロック図

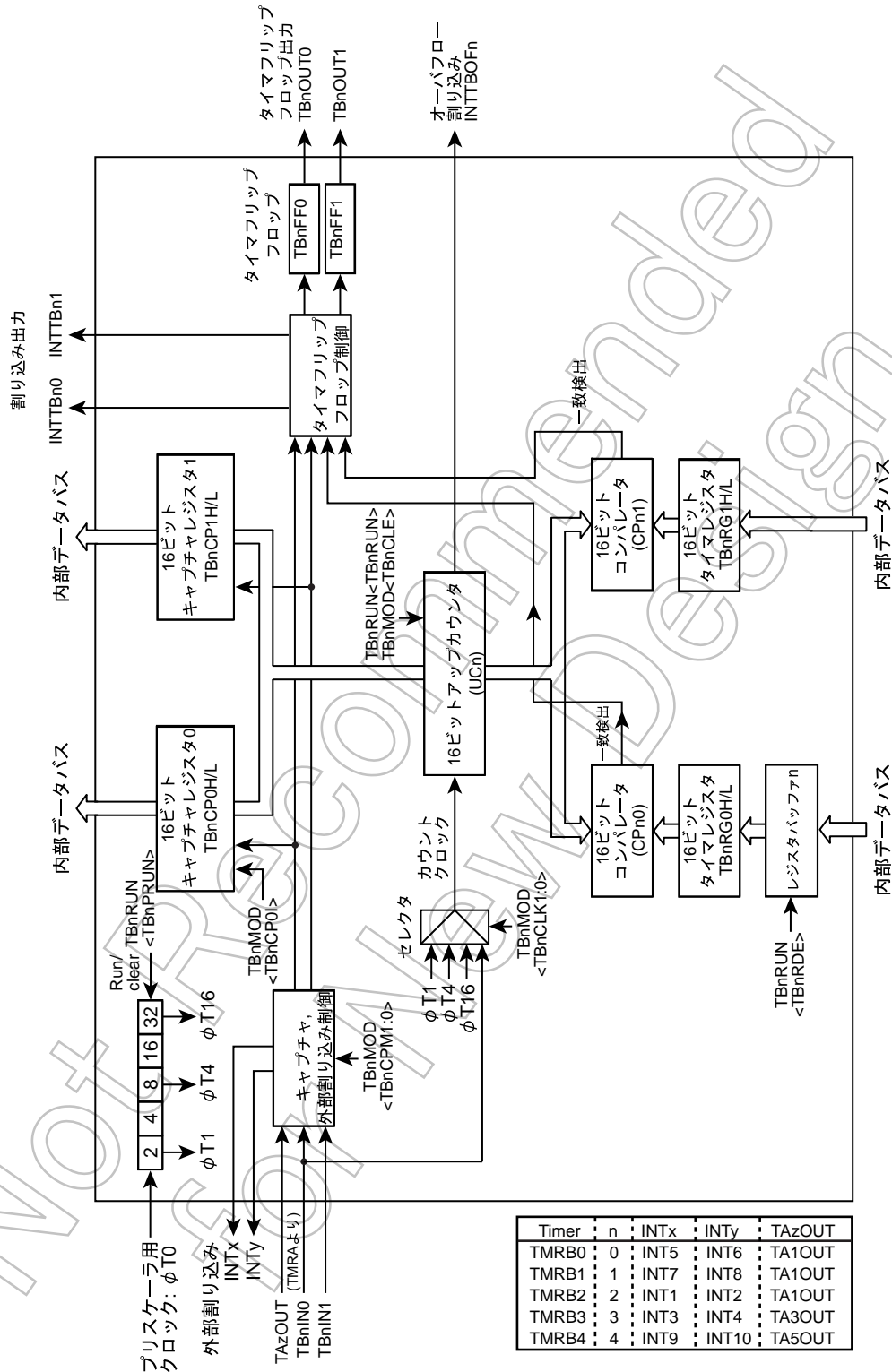


図 7-1 TMRB0-TMRB4 ブロック図

7.2 回路別の動作説明

7.2.1 プリスケーラ

TMRB0 のクロックソースを得るため、5 ビットプリスケーラがあります。プリスケーラへの入力クロック $\phi T0$ はクロックギア部の SYSCR0<PRCK1>にて選択したクロックを4分周したクロックです。

プリスケーラはTBORUN<TBOPRUN>により制御されます。“1”に設定するとカウント開始し“0”に設定するとクリアされ停止します。プリスケーラ出力クロックの分解能を表 7-2 に示します。

表 7-2 プリスケーラ出力クロック分解能 @fc = 20 MHz, fs = 32.768 kHz

システム クロック選択 SYSC1<SYSCK>	クロックギア値 SYSCR1<GEAR2:0>	プリスケーラ用 クロック選択 <PRCK1>	プリスケーラ出力クロック分解能		
			$\phi T1$ (1/2)	$\phi T4$ (1/8)	$\phi T16$ (1/32)
1 (fs)	XXX		$2^3/fs$ (244 μ s)	$2^5/fs$ (977 μ s)	$2^7/fs$ (3.9 ms)
0 (fc)	000 (fc)	0 (1/1) f _{FPH}	$2^3/fc$ (0.4 μ s)	$2^5/fc$ (1.6 μ s)	$2^7/fc$ (6.4 μ s)
	001 (fc/2)		$2^4/fc$ (0.8 μ s)	$2^6/fc$ (3.2 μ s)	$2^8/fc$ (12.8 μ s)
	010 (fc/4)		$2^5/fc$ (1.6 μ s)	$2^7/fc$ (6.4 μ s)	$2^9/fc$ (25.6 μ s)
	011 (fc/8)		$2^6/fc$ (3.2 μ s)	$2^8/fc$ (12.8 μ s)	$2^{10}/fc$ (51.2 μ s)
	100 (fc/16)		$2^7/fc$ (6.4 μ s)	$2^9/fc$ (25.6 μ s)	$2^{11}/fc$ (102.4 μ s)
	XXX	1 (1/16) fc/16 クロック	$2^7/fc$ (6.4 μ s)	$2^9/fc$ (25.6 μ s)	$2^{11}/fc$ (102.4 μ s)

注) xxx: Don't care

7.2.2 アップカウンタ (UC0)

TB0MOD<TB0CLK1:0>で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入力クロックは、3 種類のプリスケーラ出力クロック $\phi T1$, $\phi T4$, $\phi T16$ 、または、TB0INO 端子から入力される外部クロックのいずれかを選択できます。

UC0 は、TB0RUN<TB0RUN>によってカウントの開始および停止 & クリアを設定します。

UC0 は、タイマレジスタ TB0RG1H/L と一致すると、クリアイネーブルであれば、ゼロクリアされます。クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE>で設定します。

また、UC0 のオーバフローが発生した場合、オーバフロー割り込み INTTBOF0 が発生します。

7.2.3 タイマレジスタ (TB0RG0H/L, TB0RG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TB0RG0H/L, TB0RG1H/L へのデータ設定は、上位と下位の 2 バイトのデータ設定が必ず必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。(下位 8 ビットのみライトではコンペア回路が動作しませんのでライトは必ず下位 8 ビット、上位 8 ビットの順で 16 ビット単位で行って下さい)

このタイマレジスタは、TBORG0H/L がダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。TBORG0H/L は TBORUN <TBORDE> によってダブルバッファのイネーブル / ディセーブルを制御します。<TBORDE> = “0” のときディセーブル、<TBORDE> = “1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TBORG0H/L へのデータ転送は、UC0 と TBORG1H/L との一致時に行われます。

但し、このデータ転送は、一致する前にレジスタバッファに上位 8 ビット、下位 8 ビットの両方がライトされている必要があります。片方のみしかライトされていないときはこのデータ転送は行われません。

ダブルバッファ回路は、レジスタバッファの上位 8 ビット、下位 8 ビットにライトされたかどうかを示す内部フラグをそれぞれ持っており、両方のフラグがライトされたことを示しているときに、アップカウンタ (UC0) とタイマレジスタ (TBORG1) の値が一致すると、データ転送が行われます。従って、上位、下位の順番に関係なく両方のレジスタバッファにライトされていると、アップカウンタ (UC0) とタイマレジスタ (TBORG1) の値が一致後、レジスタバッファからタイマレジスタへのデータ転送が行われます。このため、以下のように本来意図しないデータ転送が行われることがあります。

例えば、レジスタバッファへ (H1L1) を設定中に下位 8bit(L1) のみライト後、割り込みが発生し、割り込みルーチン内でレジスタバッファへの 16 ビットライトとタイマレジスタへのデータ転送が行われると、割り込みルーチン終了後に残りの上位 8 ビット (H1) をレジスタバッファにライトしても、内部フラグは、片方しかライトされたことを示さないため、アップカウンタ (UC0) とタイマレジスタ (TBORG1) の値が一致しても、タイマレジスタへのデータ転送は行われません。また、この後に新たにレジスタバッファに (H2L2) を設定しようとして下位 8 ビット (L2) をライトすると、内部フラグが両方にライトされたことを示し、残りの上位 8 ビット (H2) をレジスタバッファにライトする前に、アップカウンタ (UC0) とタイマレジスタ (TBORG1) の値が一致すると、タイマレジスタに (H2L1) がデータ転送され、意図した (H2L2) と異なるデータがタイマレジスタに転送されます。

このような割り込みによるデータ転送のずれを避ける方法の 1 つとして、レジスタバッファへ設定前に DI (割り込み禁止) を行い、レジスタバッファ設定後、EI (割り込み許可) を行う方法があります。

リセット後は、TBORG0H/L、TBORG1H/L は “0” に初期化されます。

リセット後は、TBORUN<TBORDE> = “0” に初期化され、ダブルバッファディセーブルになります。ダブルバッファを使用するときは、タイマレジスタにデータをライトし、<TBORDE> = “1” に設定した後、レジスタバッファ 0 へ次のデータをライトしてください。

TBORG0H/L とレジスタバッファ 0 は、同じアドレス 0188H/0189H に割り付けられています。<TBORDE> = “0” のときは、TBORG0H/L とレジスタバッファ 0 に同じ値がライトされ、<TBORDE> = “1” のときは、レジスタバッファ 0 にのみライトされます。タイマレジスタに初期値をライトするときには、<TBORDE> = “0” に設定しダブルバッファをディセーブルにしておく必要があります。

各タイマレジスタのアドレスは次のとおりです。

TMRB0	TB0RG0H/L		TB0RG1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	000189H	000188H	00018BH	00018AH
TMRB1	TB1RG0H/L		TB1RG1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	000199H	000198H	00019BH	00019AH
TMRB2	TB2RG0H/L		TB2RG1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	0001A9H	0001A8H	0001ABH	0001AAH
TMRB3	TB3RG0H/L		TB3RG1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	0001B9H	0001B8H	0001BBH	0001BAH
TMRB4	TB4RG0H/L		TB4RG1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	0001C9H	0001C8H	0001CBH	0001CAH

注) TB0RG0H/L - TB4RG1H/L は書き込み専用レジスタのため、リードすることはできません。

7.2.4 キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。

このキャプチャレジスタの値は上位と下位の 2 バイトのデータリードが必要です。

2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順にリードしてください。(キャプチャレジスタリード中はキャプチャ動作禁止になりますので、必ず下位 8 ビット、上位 8 ビットの順で 16 ビットのデータとしてリードしてください)

各キャプチャレジスタのアドレスは次のとおりです。

TMRB0	TB0CP0H/L		TB0CP1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	00018DH	00018CH	00018FH	00018EH
TMRB1	TB1CP0H/L		TB1CP1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	00019DH	00019CH	00019FH	00019EH
TMRB2	TB2CP0H/L		TB2CP1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	0001ADH	0001ACH	0001AFH	0001AEH
TMRB3	TB3CP0H/L		TB3CP1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	0001BDH	0001BCH	0001BFH	0001BEH
TMRB4	TB4CP0H/L		TB4CP1H/L	
	上位 8 ビット	下位 8 ビット	上位 8 ビット	下位 8 ビット
	0001CDH	0001CCH	0001CFH	0001CEH

注) TB0CP0H/L - TB4CP1H/L はリード専用レジスタです。プログラムによるライトはできません。

7.2.5 キャプチャ、外部割り込み制御

アップカウンタ UC0 の値を、キャプチャレジスタ TB0CP0H/L, TB0CP1H/L にラッチするタイミングと、外部割り込みの発生を制御する回路です。

キャプチャレジスタのラッチタイミング、外部割り込みは、TB0MOD<TB0CPM1:0> で設定します。

また、ソフトウェアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CPOI> に“0”を設定するたびに、その時点の UC0 の値をキャプチャレジスタ TB0CP0H/L へキャプチャします。この際、プリスケアラを RUN 状態 (TB0RUN<TB0PRUN>=“1”) にしておく必要があります。

7.2.6 コンパレータ (CP00, CP01)

アップカウンタ UC0 と、タイマレジスタ TBORG0H/L, TBORG1H/L への設定値とを比較し、一致を検出する 16 ビットコンパレータです。

一致すると、それぞれ割り込み INTTB00, INTTB01 を発生します。

7.2.7 タイマフリップフロップ (TBOFF0, TBOFF1)

タイマフリップフロップ (TBOFF0, TBOFF1) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。TBOFF0 の制御は、TBOFFCR<TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1> によって設定できます。

また、TBOFF1 の制御は TB0MOD<TB0CT1:TB0ET1> によって設定できます。

リセット後、TBOFF0, TBOFF1 の値は不定となります。TBOFFCR<TBOFFOC1:0>, <TBOFF1C1:0> に "00" を設定することで反転、"01" を設定することで "1" にセット、"10" を設定することで "0" にクリアできます。

注) タイマによる反転とレジスタ設定による変更要求が同時に行われた場合は、その時の状態によって以下のような動作となりますので注意が必要です。

- タイマによる反転とレジスタ設定による反転が同時に起きた場合
->1 回だけ反転します。
- タイマによる反転とレジスタ設定による "1" セットが同時に起きた場合
->"1" セットとなります。
- タイマによる反転とレジスタ設定による "0" クリアが同時に起きた場合
->"0" クリアとなります。

また、タイマによる反転と反転禁止を同時に行うと、反転する場合と反転しない場合が起きますので、反転の制御を変更 (反転イネーブル/ディセーブル) は、タイマの動作を停止させた状態で行ってください。

TBOFF0, TBOFF1 の値は、タイマ出力端子 TB0OUT0 端子 (P82 と兼用)、TB0OUT1 端子 (P83 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタに設定を行う必要があります。

7.3 SFR 説明

TMRB RUN レジスタ

	7	6	5	4	3	2	1	0	
TB0RUN (0180H)	Bit symbol	TB0RDE	-	-	-	I2TB0	TB0PRUN	-	TB0RUN
	Read/Write	R/W	R/W	-	-	R/W	R/W	-	R/W
	リセット後	0	0	-	-	0	0	-	0
	機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB0 プリ スケーラ		アップカウンタ (UC0)
TB1RUN (0190H)	Bit symbol	TB1RDE	-	-	-	I2TB1	TB1PRUN	-	TB1RUN
	Read/Write	R/W	R/W	-	-	R/W	R/W	-	R/W
	リセット後	0	0	-	-	0	0	-	0
	機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB1 プリ スケーラ		アップカウンタ (UC1)
TB2RUN (01A0H)	Bit symbol	TB2RDE	-	-	-	I2TB2	TB2PRUN	-	TB2RUN
	Read/Write	R/W	R/W	-	-	R/W	R/W	-	R/W
	リセット後	0	0	-	-	0	0	-	0
	機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB2 プリ スケーラ		アップカウンタ (UC2)
TB3RUN (01B0H)	Bit symbol	TB3RDE	-	-	-	I2TB3	TB3PRUN	-	TB3RUN
	Read/Write	R/W	R/W	-	-	R/W	R/W	-	R/W
	リセット後	0	0	-	-	0	0	-	0
	機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB3 プリ スケーラ		アップカウンタ (UC3)
TB4RUN (01C0H)	Bit symbol	TB4RDE	-	-	-	I2TB4	TB4PRUN	-	TB4RUN
	Read/Write	R/W	R/W	-	-	R/W	R/W	-	R/W
	リセット後	0	0	-	-	0	0	-	0
	機能	ダブルバッファ 0: 禁止 1: 許可	"0" をライトしてください。			IDLE2 モード時 0: 停止 1: 動作	TMRB4 プリ スケーラ		アップカウンタ (UC4)

I2TB0, I2TB1, 2TB2, 2TB3, 2TB4: IDLE2 モード時の動作
 TB0PRUN, TB1PRUN, TB2PRUN, TB3PRUN, TB4PRUN: プリスケーラの動作
 TB0RUN, TB1RUN, TB2RUN, TB3RUN, TB4RUN: タイマ B0,B1,B2,B3,B4 の動作

カウント動作	
0	カウント停止 & クリア
1	カウント

注) TB0RUN, TB1RUN, TB2RUN, TB3RUN, TB4RUN のビット 1, 4, 5 は、リードすると "1" がリードされます。

TMRB モードレジスタ (1/2)

		7	6	5	4	3	2	1	0
TB0MOD (0182H)	Bit symbol	TB0CT1	TB0ET1	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
	Read/Write	R/W		W*	R/W				
	リセット後	0	0	1	0	0	0	0	0
RMW 禁止	機能	TB0FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		ソフトウェア キャプチャ 制御 0: ソフト キャプチャ 1: 未定義 * リードする と常に“1”に なります。	キャプチャタイミング 00: 禁止 INT5 は立ち上がりエッジ 01: TB0IN0 ↑ TB0IN1 ↑ INT5 は立ち上がりエッジ 10: TB0IN0 ↑ TB0IN0 ↓ INT5 は立ち下がりエッジ 11: TA1OUT ↑ TA1OUT ↓ INT5 は立ち上がりエッジ		アップカウンタのクリア制御 0: 禁止 1: 許可	入力クロック選択 00: TB0IN0 端子入力 01: φT1 10: φT4 11: φT16	
		UC0 値を TB0CP1H/L ヘキャプチャする時	UC0 と TB0RG1H/L の一致時						
TB1MOD (0192H)	Bit symbol	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
	Read/Write	R/W		W*	R/W				
	リセット後	0	0	1	0	0	0	0	0
RMW 禁止	機能	TB1FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		ソフトウェア キャプチャ 制御 0: ソフト キャプチャ 1: 未定義 * リードする と常に“1”に なります。	キャプチャタイミング 00: 禁止 INT7 は立ち上がりエッジ 01: TB1IN0 ↑ TB1IN1 ↑ INT7 は立ち上がりエッジ 10: TB1IN0 ↑ TB1IN0 ↓ INT7 は立ち下がりエッジ 11: TA1OUT ↑ TA1OUT ↓ INT7 は立ち上がりエッジ		アップカウンタのクリア制御 0: 禁止 1: 許可	入力クロック選択 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16	
		UC1 値を TB1CP1H/L ヘキャプチャする時	UC1 と TB1RG1H/L の一致時						
TB2MOD (01A2H)	Bit symbol	TB2CT1	TB2ET1	TB2CP0I	TB2CPM1	TB2CPM0	TB2CLE	TB2CLK1	TB2CLK0
	Read/Write	R/W		W*	R/W				
	リセット後	0	0	1	0	0	0	0	0
RMW 禁止	機能	TB2FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		ソフトウェア キャプチャ 制御 0: ソフト キャプチャ 1: 未定義 * リードする と常に“1”に なります。	キャプチャタイミング 00: 禁止 INT1 は立ち上がりエッジ 01: TB2IN0 ↑ TB2IN1 ↑ INT1 は立ち上がりエッジ 10: TB2IN0 ↑ TB2IN0 ↓ INT1 は立ち下がりエッジ 11: TA1OUT ↑ TA1OUT ↓ INT1 は立ち上がりエッジ		アップカウンタのクリア制御 0: 禁止 1: 許可	入力クロック選択 00: TB2IN0 端子入力 01: φT1 10: φT4 11: φT16	
		UC2 値を TB2CP1H/L ヘキャプチャする時	UC2 と TB2RG1H/L の一致時						
TB3MOD (01B2H)	Bit symbol	TB3CT1	TB3ET1	TB3CP0I	TB3CPM1	TB3CPM0	TB3CLE	TB3CLK1	TB3CLK0
	Read/Write	R/W		W*	R/W				
	リセット後	0	0	1	0	0	0	0	0
RMW 禁止	機能	TB3FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		ソフトウェア キャプチャ 制御 0: ソフト キャプチャ 1: 未定義 * リードする と常に“1”に なります。	キャプチャタイミング 00: 禁止 INT3 は立ち上がりエッジ 01: TB3IN0 ↑ TB3IN1 ↑ INT3 は立ち上がりエッジ 10: TB3IN0 ↑ TB3IN0 ↓ INT3 は立ち下がりエッジ 11: TA3OUT ↑ TA3OUT ↓ INT3 は立ち上がりエッジ		アップカウンタのクリア制御 0: 禁止 1: 許可	入力クロック選択 00: TB3IN0 端子入力 01: φT1 10: φT4 11: φT16	
		UC3 値を TB3CP1H/L ヘキャプチャする時	UC3 と TB3RG1H/L の一致時						

TMRB モードレジスタ (2/2)

	7	6	5	4	3	2	1	0
Bit symbol	TB4CT1	TB4ET1	TB4CP0I	TB4CPM1	TB4CPM0	TB4CLE	TB4CLK1	TB4CLK0
TB4MOD (01C2H)	R/W		W*	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	TB4FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		ソフトウェア キャプチャ 制御 0: ソフト キャプチャ 1: 未定義 * リードする と常に“1”に なります。	キャプチャタイミング 00: 禁止 INT9 は立ち上がりエッジ 01: TB4IN0 ↑ TB4IN1 ↑ INT9 は立ち上がりエッジ 10: TB4IN0 ↑ TB4IN0 ↓ INT9 は立ち下がりエッジ 11: TA5OUT ↑ TA5OUT ↓ INT9 は立ち上がりエッジ		アップカウン タのクリ ア制御 0: 禁止 1: 許可	入力クロック選択 00: TB4IN0 端子入力 01: φT1 10: φT4 11: φT16	
RMW 禁止	UC4 値を TB4CP1H/L へキャプ チャする時	UC4 と TB4RG1H/L の一致時						

入力クロック選択

<TBnCLK1:0>	00	外部入力クロック (TBnIN0 端子入力)
	01	φT1
	10	φT4
	11	φT16

アップカウンタ (UC0) のクリア制御

<TBnCLE>	0	アップカウンタのクリア禁止
	1	TBnRG1H/L との一致でクリア

キャプチャ / 割り込みタイミング

	キャプチャ制御		INT 制御
<TBnCPM1:0>	00	キャプチャ禁止	TBnIN0 の立ち上がり りで INT 発生
	01	TBnIN0 の立ち上がりで TBnCP0H/L へキャプチャ TBnIN1 の立ち上がりで TBnCP1H/L へキャプチャ	
	10	TBnIN0 の立ち上がりで TBnCP0H/L へキャプチャ TBnIN0 の立ち下がりで TBnCP1H/L へキャプチャ	TBnIN0 の立ち下がり りで INT 発生
	11	TAzOUT の立ち上がりで TBnCP0H/L へキャプチャ TAzOUT の立ち下がりで TBnCP1H/L へキャプチャ	TBnIN0 の立ち上がり りで INT 発生

ソフトウェアキャプチャ

<TBnCP0I>	0	TBnCP0H/L へアップカウンタの値を取り込みます。
	1	未定義 注 3)

注 1) n=0,1,2,3,4

注 2) z=1,3,5

注 3) TBnMOD<TBnCP0I> へ“0”を設定するたびに、アップカウンタの現在の値がキャプチャレジスタ TBnCP0H/L へ取り込まれますが、TBnMOD<TBnCP0I> へ“0”が設定されている状態から TBnMOD<TBnCP0I> へ“1”を設定しても、アップカウンタの現在の値がキャプチャレジスタ TBnCP0H/L へ取り込まれますので注意が必要です。

TMRB フリップフロップコントロールレジスタ (1/2)

	7	6	5	4	3	2	1	0
Bit symbol	TB0FF1C1	TB0FF1C0	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0
Read/Write	W*		R/W				W*	
リセット後	1	1	0	0	0	0	1	1
機能	TB0FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。		TB0FF0 反転制御 0: 反転禁止 1: 反転許可 TB0CP1H/L へ UC0 値を キャプチャ する時				TB0FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。	
			TB0CP0H/L へ UC0 値を キャプチャ する時	UC0 と TB0RG1H/L との一致時	UC0 と TB0RG0H/L との一致時			
Bit symbol	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FF0C1	TB1FF0C0
Read/Write	W*		R/W				W*	
リセット後	1	1	0	0	0	0	1	1
機能	TB1FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。		TB1FF0 反転制御 0: 反転禁止 1: 反転許可 TB1CP1H/L へ UC1 値を キャプチャ する時				TB1FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。	
			TB1CP0H/L へ UC1 値を キャプチャ する時	UC1 と TB1RG1H/L との一致時	UC1 と TB1RG0H/L との一致時			
Bit symbol	TB2FF1C1	TB2FF1C0	TB2C1T1	TB2C0T1	TB2E1T1	TB2E0T1	TB2FF0C1	TB2FF0C0
Read/Write	W*		R/W				W*	
リセット後	1	1	0	0	0	0	1	1
機能	TB2FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。		TB2FF0 反転制御 0: 反転禁止 1: 反転許可 TB2CP1H/L へ UC2 値を キャプチャ する時				TB2FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。	
			TB2CP0H/L へ UC2 値を キャプチャ する時	UC2 と TB2RG1H/L との一致時	UC2 と TB2RG0H/L との一致時			
Bit symbol	TB3FF1C1	TB3FF1C0	TB3C1T1	TB3C0T1	TB3E1T1	TB3E0T1	TB3FF0C1	TB3FF0C0
Read/Write	W*		R/W				W*	
リセット後	1	1	0	0	0	0	1	1
機能	TB3FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。		TB3FF0 反転制御 0: 反転禁止 1: 反転許可 TB3CP1H/L へ UC3 値を キャプチャ する時				TB3FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。	
			TB3CP0H/L へ UC3 値を キャプチャ する時	UC3 と TB3RG1H/L との一致時	UC3 と TB3RG0H/L との一致時			

TMRB フリップフロップコントロールレジスタ (2/2)

	7	6	5	4	3	2	1	0
Bit symbol	TB4FF1C1	TB4FF1C0	TB4C1T1	TB4C0T1	TB4E1T1	TB4E0T1	TB4FF0C1	TB4FF0C0
TB4FFCR (01C3H)	Read/Write		W*				R/W	
リセット後	1	1	0	0	0	0	1	1
RMW 禁止	機能		機能				機能	
	TB4FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。		TB4FF0 反転制御 0: 反転禁止 1: 反転許可 TB4CP1H/L へ UC4 値をキャプチャする時				TB4FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "11" になります。	
			TB4CP0H/L へ UC4 値をキャプチャする時	UC4 と TB4RG1H/L との一致時	UC4 と TB4RG0H/L との一致時			

タイマフリップフロップ (TBnFF0) の制御

<TBnFF0C1:0>	00	TBnFF0 の値を反転します。(ソフト反転)
	01	TBnFF0 を "1" にセットします。
	10	TBnFF0 を "0" にクリアします。
	11	Don't care

UCn と TBnRG0H/L との一致時
タイマフリップフロップ (TBnFF0) の反転制御

<TBnE0T1>	0	反転禁止
	1	反転許可

UCn と TBnRG1H/L との一致時
タイマフリップフロップ (TBnFF0) の反転制御

<TBnE1T1>	0	反転禁止
	1	反転許可

TBnCP0H/L へ UCn 値をキャプチャした時
タイマフリップフロップ (TBnFF0) の反転制御

<TBnC0T1>	0	反転禁止
	1	反転許可

TBnCP1H/L へ UCn 値をキャプチャした時
タイマフリップフロップ (TBnFF0) の反転制御

<TBnC1T1>	0	反転禁止
	1	反転許可

タイマフリップフロップ (TBnFF1) の制御

<TBnFF1C1:0>	00	TBnFF1 の値を反転します。(ソフト反転)
	01	TBnFF1 を "1" にセットします。
	10	TBnFF1 を "0" にクリアします。
	11	Don't care

注) n=0,1,2,3,4

7.4 モード別動作説明

7.4.1 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TBORG1H/L にインタバル時間を設定し、INTTB01 割り込みを発生します。

	7	6	5	4	3	2	1	0		
TB0RUN	←	0	0	X	X	-	0	X	0	TMRB0 を停止します。
INTETB0	←	X	1	0	0	X	0	0	0	INTTB01 をイネーブル (レベル 4) に、INTTB00 をディセーブルにします。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	←	0	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能をディセーブルにします。 (* = 01, 10, 11)
TB0RG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。 (16ビット)
TB0RUN	←	0	0	X	X	-	1	X	1	TMRB0 を起動します。

注) X: Don't care、-: No change

7.4.2 16ビットイベントカウンタモード

入力クロックを外部クロック (TB0IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB0IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値をリードすることができます。

	6	5	4	3	2	1	0			
TB0RUN	←	0	0	X	X	-	0	X	0	TMRB0 を停止します。
P8CR	←	-	-	-	-	-	-	0		P80 を TB0IN0 入力モードに設定します。
P8FC	←	-	-	-	-	-	-	1		
INTETB0	←	X	1	0	0	X	0	0	0	INTTB01 をイネーブル (レベル 4) に、INTTB00 をディセーブルにします。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	←	0	0	1	0	0	1	0	0	入力クロックを TB0IN0 端子入力にします。
TB0RG1	←	*	*	*	*	*	*	*	*	カウント数を設定します。 (16ビット)
TB0RUN	←	0	0	X	X	-	1	X	1	TMRB0 を起動します。

注 1) X: Don't care、-: No change

注 2) イベントカウンタとして使用する場合も、プリスケアラは "RUN" にしてください (TB0RUN <TB0PRUN> = "1")。

7.4.3 16ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、Low アクティブ、High アクティブどちらも可能です。

アップカウンタ UC0 とタイマレジスタ TB0RG0H/L、TB0RG1H/L への設定値との一致によりタイマフリップフロップ TB0FF0 の反転トリガをかけることで、プログラマブル矩形波を TB0OUT0 端子より出力することができます。ただし、TB0RG0H/L と TB0RG1H/L の設定値は次の条件を満たす必要があります。

$$(TB0RG0H/L \text{ への設定値}) < (TB0RG1H/L \text{ への設定値})$$

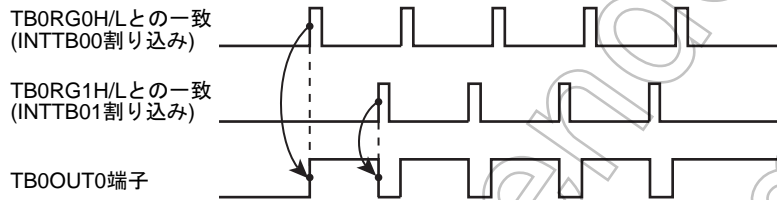


図 7-2 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TB0RG0H/L のダブルバッファをイネーブルにすることにより、TB0RG1H/L との一致で、レジスタバッファ 0 の値が TB0RG0H/L へシフトインされます。これにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。



図 7-3 ダブルバッファの動作

注) TBxRGx の設定値は、最小値 0001H~ 最大値 0000H(10000H に相当します) となります。又、設定値を最大値の "0000H" にした場合は、アップカウンタのオーバフローに同期します。

このモードのブロック図を示します。

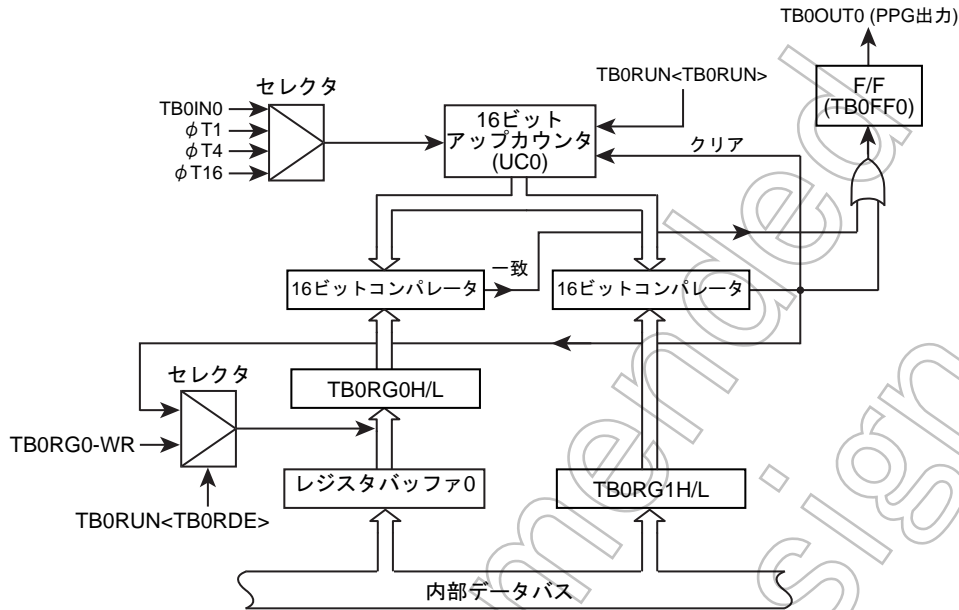


図 7-4 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TB0RUN	← 0	0	X	X	-	0	X	0	TB0RG0H/Lのダブルバッファディセーブルおよび TMRB0 を停止します。
TB0RG0	← *	*	*	*	*	*	*	*	デューティを設定します。 (16 ビット)
TB0RG1	← *	*	*	*	*	*	*	*	周期を設定します。 (16 ビット)
TB0RUN	← 1	0	X	X	-	0	X	0	TB0RG0H/L をダブルバッファディセーブルにします。 (INTTB01 割り込みでデューティ / 周期の変更)
TB0FFCR	← 1	1	0	0	1	1	1	0	TB0FF0 を TB0RG0H/L, TB0RG1H/L との一致検出で反転するように設定します。また TB0FF0 の初期値を "0" にします。
TB0MOD	← 0	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力クロックにし、キャプチャ機能をディセーブルにします。 (* = 01, 10, 11)
P8CR	← -	-	-	-	-	1	-	-	P82 を TB0OUT0 に割り付けます。
P8FC	← -	-	-	-	-	1	-	-	
TB0RUN	← 1	0	X	X	-	1	X	1	TMRB0 を起動します。

注) X: Don't care、-: No change

7.4.4 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

7.4.4.1 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタ UC0 をプリスケアラ出力クロックを用いてフリーランニングでカウントアップさせておきます。TB0IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ TB0CP0H/L に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT5 が発生します。この割り込みで、タイマレジスタ TB0RG0H/L には、TB0CP0H/L の値 (c) とディレイタイム (d) を加算した値 (c+d) を設定します。タイマレジスタ TB0RG1H/L には、TB0RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c+d+p) を設定します。

さらに、タイマフリップフロップコントロールレジスタ TB0FFCR<TB0E1T1, TB0E0T1> に“11”を設定し、UC0 と TB0RG0H/L との一致および TB0RG1H/L との一致により、タイマフリップフロップ TB0FF0 が反転するようにトリガイネーブルにします。ワンショットパルス出力後、INTTB01 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、「図 7-5 ワンショットパルス出力 (ディレイあり)」の c、d、p と対応しています。

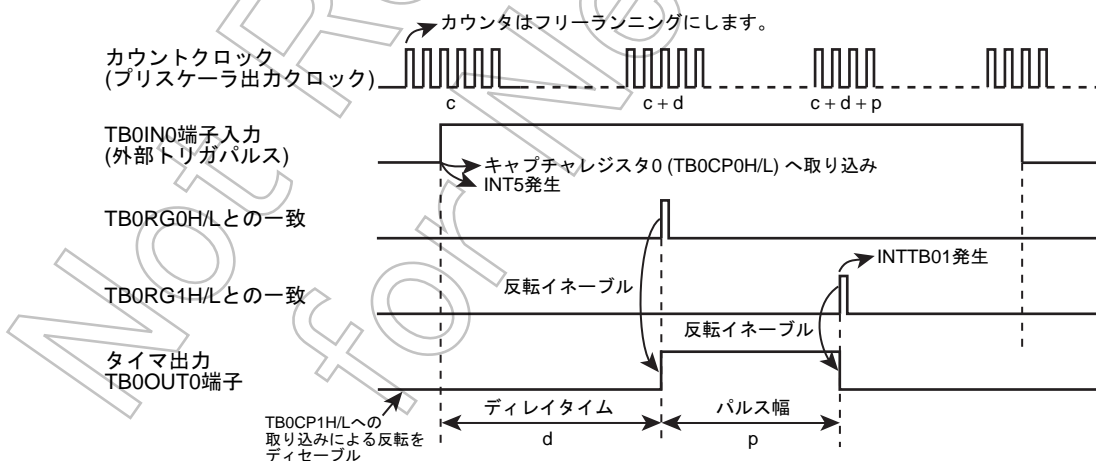


図 7-5 ワンショットパルス出力 (ディレイあり)

設定例：TB0IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

* クロック条件 システムクロック： 高速 (fc)
 クロックギア： 1 倍 (fc)
 プリスケアラクロック： f_{FPH}

例：メインでの設定

TB0MOD	←	X	X	1	0	1	0	0	1	フリーランニングにします。φT1 でカウントさせます。TB0IN0 入力の立ち上がりで TB0CP0H/L へ取り込みます。
TB0FFCR	←	X	X	0	0	0	0	0	1	TB0FF0 をゼロクリアします。TB0FF0 の反転をディセーブルにします。
P8CR	←	-	-	-	-	-	1	-	-	P82 を TB0OUT0 に割り付けます。
P8FC	←	-	-	-	-	-	1	-	-	
INTE56	←	X	-	-	-	X	1	0	0	INT5 をイネーブルにします。
INTETB0	←	X	0	0	0	X	0	0	0	INTTB00, INTTB01 をディセーブルにします。
TB0RUN	←	-	0	X	X	-	1	X	1	TMRB0 を起動します。

例：INT5 ルーチンでの設定

TB0RG0	←	TB0CP0 + 3 ms/φT1								
TB0RG1	←	TB0RG0 + 2 ms/φT1								
TB0FFCR	←	X	X	-	-	1	1	-	-	TB0RG0H/L, TB0RG1H/L との一致による TB0FF0 の反転をイネーブルにします。
INTETB0	←	X	1	0	0	X	-	-	-	INTTB01 をイネーブルにします。

例：INTTB01 ルーチンでの設定

TB0FFCR	←	X	X	-	-	0	0	-	-	TB0RG0H/L, TB0RG1H/L との一致による TB0FF0 の反転をディセーブルにします。
INTETB0	←	X	0	0	0	X	-	-	-	INTTB01 をディセーブルにします。

注) X: Don't care, -: No change

ディレイが不要な場合、TB0CP0H/L への取り込みによって TB0FF0 を反転させ、割り込み INT5 で TB0CP0H/L の値 (c) にワンショットパルスの幅 (p) を加算した値 (c+p) を TB0RG1H/L に設定します。TB0FF0 は、TB0RG1H/L と UC0 の一致によって反転するように、反転イネーブルを選択します。また、INTTB01 割り込みでこれをディセーブルに戻します。

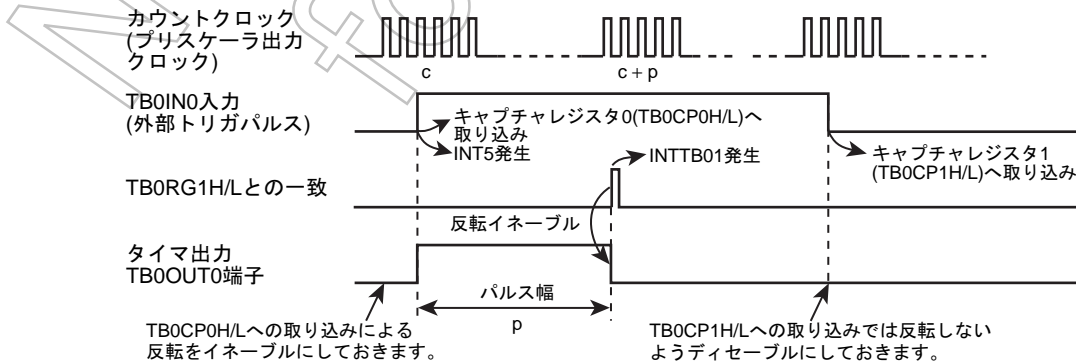


図 7-6 ワンショットパルス出力 (ディレイなし)

7.4.4.2 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16ビットイベントカウンタモードと8ビットタイマ (TMRA01) を組み合わせて行います (TMRA01 は、TA1FF を反転させることで測定時間の設定に用います)。

TMRB0 のカウントクロックは TB0IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD <TB0CPM1:0> には “11” を設定します。この設定により、8ビットタイマ (TMRA01) のタイマフリップフロップ TA1FF の立ち上がりで、キャプチャレジスタ TB0CP0H/L に16ビットアップカウンタ UC0 のカウンタ値を取り込み、8ビットタイマ (TMRA01) の TA1FF の立ち下がりで、キャプチャレジスタ TB0CP1H/L に UC0 のカウンタ値の取り込みを行います。

周波数は、8ビットタイマの割り込み INTTA0 または INTTA1 で測定時間を基準にして TB0CP0H/L、TB0CP1H/L の差より求めます。

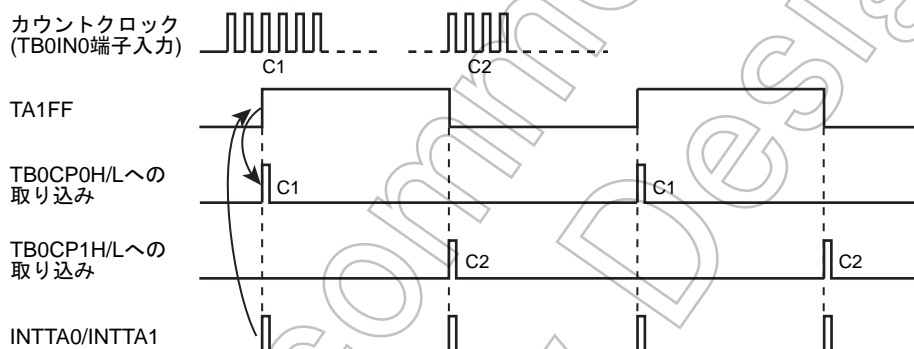


図 7-7 周波数測定

例えば、8ビットタイマによる TA1FF の “1” レベル幅の設定値が 0.5 s で、TB0CP0H/L と TB0CP1H/L の差が 100 であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

注) 上記例の周波数は、Duty50% にした時の値です。

7.4.4.3 パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB0IN0端子より外部パルスを入力し、アップカウンタ UC0 をプリスケアラ出力クロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ TB0CP0H/L, TB0CP1H/L に取り込みます。TB0IN0 端子の立ち下がりにより、INT5 が発生します。

“H” レベルパルス幅は、TB0CP0H/L と TB0CP1H/L の差を求め、その値に内部クロックの周期をかけることにより求めることができます。

例えば TB0CP0H/L と TB0CP1H/L の差が 100 で、プリスケアラ出力クロックの周期が $0.8 \mu\text{s}$ であれば、パルス幅は、 $100 \times 0.8 \mu\text{s} = 80 \mu\text{s}$ となります。

なお、クロックソースにより定まる UC0 の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

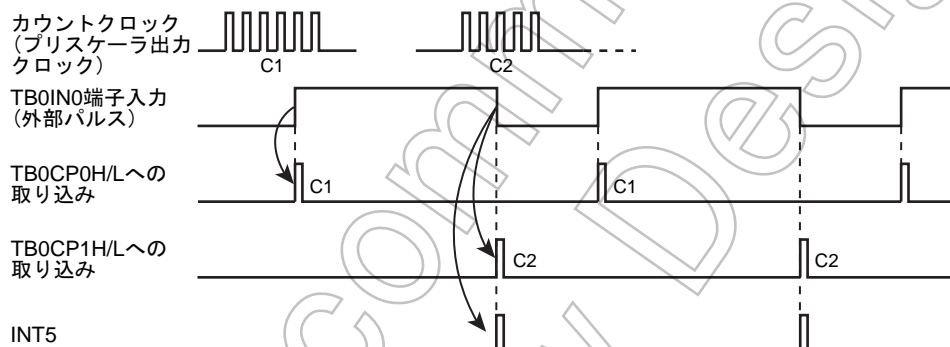


図 7-8 パルス幅測定

注) パルス幅測定は、TB0MOD<TB0CPM1:0>に“10”を設定することで行います。外部割り込み INT5 は、TB0IN0 入力の立ち下がりエッジで発生します。その他の設定では、INT5 は TB0IN0 入力の立ち上がりエッジで発生します。

また、外部パルスの“L”レベル幅を測定することもできます。この場合、2 回目の INT5 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

7.4.4.4 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ UC0 をフリーランニングでカウントアップさせておきます。TB0IN0 端子の入力パルスの立ち上がりエッジで、UC0 の値をキャプチャレジスタ TB0CP0H/L に取り込みます。このとき、割り込み INT5 が発生します。

TB0IN1 端子の入力パルスの立ち上がりエッジで、UC0 の値をキャプチャレジスタ TB0CP1H/L に取り込みます。このとき、割り込み INT6 が発生します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB0CP1H/L から TB0CP0H/L を引いた値に、内部クロックの周期をかけて求めることができます。

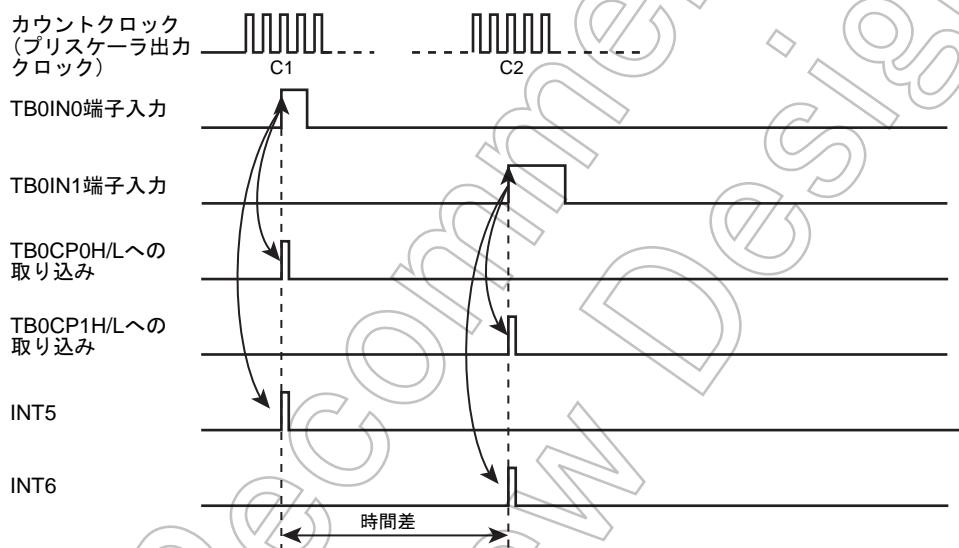


図 7-9 時間差測定

第 8 章 シリアル チャネル (SIO)

シリアル入出力を 3 チャンネル内蔵しています。それぞれ SIO0, SIO1, SIO2 と呼びます。各チャンネルは、下記に示すように UART (非同期通信) モードおよび I/O インタフェース (同期通信) モードを選択できます。

1. I/O インタフェースモード

モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行う。

2. UART (非同期通信) モード

- モード 1: 送受信データ長 7 ビット
- モード 2: 送受信データ長 8 ビット
- モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を持っています。

図 8-2 に、SIO0, SIO1, SIO2 のブロック図を示します。

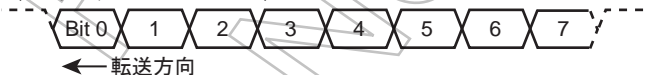
各チャンネルは主に、プリスケータ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。

各チャンネルは、それぞれ独立に動作します。いずれのチャンネルも、下記に示す表 8-1 の仕様相違点を除いて同一の動作をしますので、SIO0 の場合についてのみ説明します。

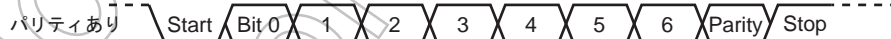
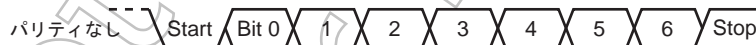
表 8-1 SIO のチャンネル別仕様相違点

	SIO0	SIO1	SIO2
対応端子	TXD0 (P90) RXD0 (P91) CTS0/SCLK0 (P92)	TXD1 (P93) RXD1 (P94) CTS1/SCLK1 (P95)	TXD2 (P41) RXD2 (P42) CTS2/SCLK2 (P43)

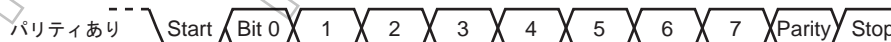
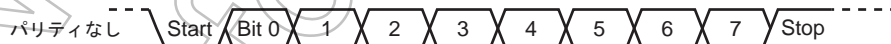
- モード 0 (I/O インタフェースモード)



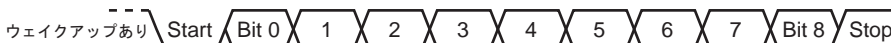
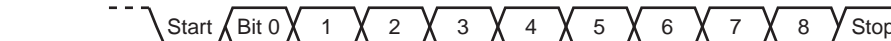
- モード 1 (7ビットUARTモード)



- モード 2 (8ビットUARTモード)



- モード 3 (9ビットUARTモード)



Bit 8 = 1 ならアドレス (セレクトコード)
Bit 8 = 0 ならデータ

図 8-1 データフォーマット

8.1 ブロック図

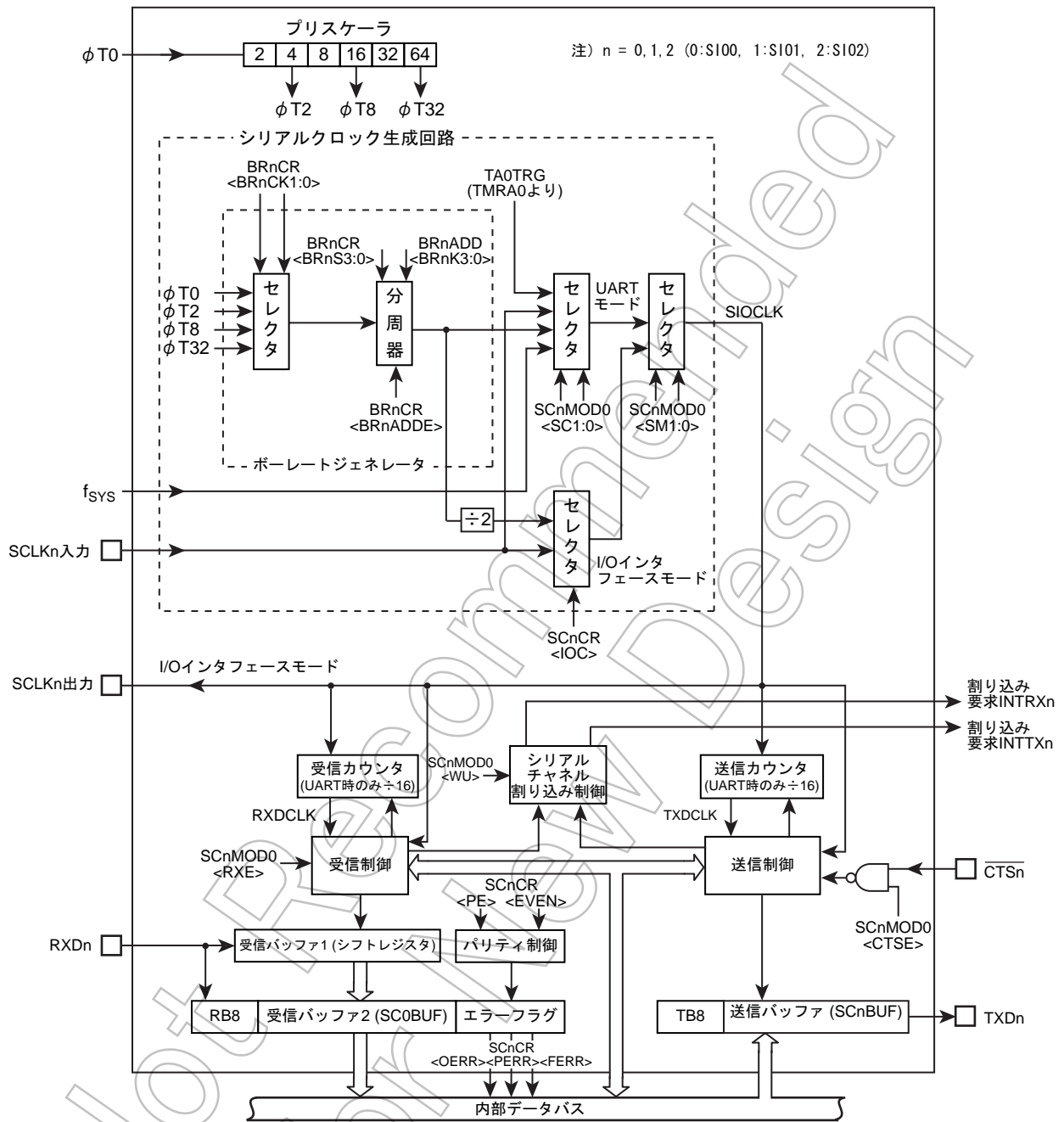


図 8-2 SIO0,SIO1,SIO2 ブロック図

8.2 回路別の動作説明

8.2.1 SIO 部プリスケラ、プリスケラクロック選択

SIO0 の動作クロックを生成するために、6 ビットプリスケラがあります。プリスケラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ、動作します。プリスケラの入力クロックは、SYSCR0<PRCK1>を必ず“0”に設定して f_{FPH} を選択してください。このクロックを4分周したクロックが $\phi T0$ になります。

プリスケラ出力クロックの分解能を表 8-2 に示します。

表 8-2 ボーレートジェネレータへの入力クロック分解能

システム クロック選択 <SYSCK>	クロックギア値 <GEAR2:0>	プリスケラ用 クロック選択 <PRCK1>	プリスケラ出力クロック分解能			
			$\phi T0$	$\phi T2$	$\phi T8$	$\phi T32$
1 (fs)	XXX	0 (1/1) f_{FPH}	$2^2/fs$	$2^4/fs$	$2^6/fs$	$2^8/fs$
0 (fc)	000 (fc)		$2^2/fc$	$2^4/fc$	$2^6/fc$	$2^8/fc$
	001 (fc/2)		$2^3/fc$	$2^5/fc$	$2^7/fc$	$2^9/fc$
	010 (fc/4)		$2^4/fc$	$2^6/fc$	$2^8/fc$	$2^{10}/fc$
	011 (fc/8)		$2^5/fc$	$2^7/fc$	$2^9/fc$	$2^{11}/fc$
	100 (fc/16)		$2^6/fc$	$2^8/fc$	$2^{10}/fc$	$2^{12}/fc$

シリアルインタフェースボーレートジェネレータには、プリスケラ出力クロックより $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ の4種類のクロックが用いられます。

8.2.2 ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは、SIO 部 6 ビットプリスケラより、 $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BR0CR<BR0CK1:0> で設定します。

ボーレートジェネレータは、 $1, N + (16 - K)/16$, 16 分周が可能な分周器を内蔵しており、BR0CR<BR0ADDE><BR0S3:0>, BR0ADD<BR0K3:0> の設定に従い分周を行い転送速度を決定します。

8.2.2.1 UART モードの場合

(1) BR0CR<BR0ADDE> = 0 の場合

BR0ADD<BR0K3:0> の設定は無視され、BR0CR<BR0S3:0> に設定された値 “N” に従い N 分周を行います。(N = 1, 2, 3 … 16)

(2) BR0CR<BR0ADDE> = 1 の場合

N + (16 - K)/16 分周機能がイネーブルになり BR0CR<BR0S3:0> に設定された値 “N” (N = 2, 3 … 15)、BR0ADD<BR0K3:0> に設定された値 “K” に従い N + (16 - K)/16 分周を行います。(K = 1, 2, 3 … 15)

注) N = 1 および 16 のときは N + (16 - K)/16 分周機能は禁止となりますので必ず BR0CR<BR0ADDE> = “0” に設定してください。

8.2.2.2 I/O インタフェースモードの場合

I/O インタフェースモード時は N + (16 - K)/16 分周機能は使用できません。必ず BR0CR<BR0ADDE> = “0” に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

(1) UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入カクロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

(2) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入カクロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

8.2.2.3 整数分周 (N 分周) の場合

fc = 19.6608MHz で入力クロック φT2、分周値 “N” (BR0CR<BR0S3:0>) = 8、BR0CR<BR0ADDE> = “0” の場合の UART モードのボーレートは、

※ クロック条件	システムクロック	高速 (fc)
	高速クロックギア	1 倍 (fc)
	プリスケラクロック	f _{FPH}

$$\text{ボーレート} = \frac{fc/16}{8} \div 16$$

$$= 19.6608 \times 10^6 \div 16 \div 8 \div 16 = 9600 \text{ (bps) となります。}$$

注) + (16 - K)/16 分周機能は禁止に設定されるため、BR0ADD<BR0K3:0> の設定は無視されます。

8.2.2.4 N + (16 - K)/16 分周 (UART モードのみ) の場合

また、fc = 15.9744 MHz で入力クロック φT2、分周値 “N”(BR0CR<BR0S3:0>) = 6、“K”(BR0ADD<BR0K3:0>) = 8、BR0CR<BR0ADDE> = 1 の場合のボーレートは、

$$\begin{aligned} \text{※ クロック条件} & \quad \text{システムクロック} & \quad \text{高速 (fc)} \\ & \quad \text{高速クロックギア} & \quad \text{1 倍 (fc)} \\ & \quad \text{プリスケーラクロック} & \quad f_{\text{FPH}} \end{aligned}$$

$$\begin{aligned} \text{ボーレート} &= \left(\frac{fc/16}{6 + \frac{(16-8)}{16}} \right) \div 16 \\ &= 15.9744 \times 10^6 \div 16 \div \left(6 + \frac{8}{16} \right) \div 16 = 9600 \text{ (bps)} \end{aligned}$$

となります。

表 8-3 に UART モードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます (シリアルチャネル 0~1)。

この場合のボーレートの算出方法を示します。

- UART モード
ボーレート = 外部クロック入力 ÷ 16
ただし、(外部クロック入力周期) ≥ 4/f_{sys} を満たす必要があります。
- I/O インタフェースモード
ボーレート = 外部クロック入力
ただし、(外部クロック入力周期) ≥ 16/f_{sys} を満たす必要があります。

表 8-3 UART ボーレートの選択 (ボーレートジェネレータ使用、BR0CR<BR0ADDE>=0, SYSCR0<PRCK1>=0 の場合) 単位 (kbps)

fc [MHz]	入力クロック					
	分周値 N	φT0 (fc/4)	φT2 (fc/16)	φT8 (fc/64)	φT32 (fc/256)	
7.3728	1	115.200	28.800	7.200	1.800	
↑	3	38.400	9.600	2.400	0.600	
↑	6	19.200	4.800	1.200	0.300	
↑	A	11.520	2.880	0.720	0.180	
↑	C	9.600	2.400	0.600	0.150	
↑	F	7.680	1.920	0.480	0.120	
9.8304	1	153.600	38.400	9.600	2.400	
↑	2	76.800	19.200	4.800	1.200	
↑	4	38.400	9.600	2.400	0.600	
↑	5	30.720	7.680	1.920	0.480	
↑	8	19.200	4.800	1.200	0.300	
↑	10	9.600	2.400	0.600	0.150	

注) I/O インタフェース時の転送レートは本表の値の 8 倍になります。

UART モード時、シリアル送信クロックにタイマの一致出力 (TA0TRG) が使用できます。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

TA0TRG の周波数 = ボーレート × 16

注) I/O インタフェースでは、TMRA0 からのトリガ信号を転送クロックとして使用できません。

8.2.3 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

8.2.3.1 I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従い立ち上がり / 立ち下がりエッジを検出し、基本クロックをつくります。

8.2.3.2 UART (非同期通信) モードの場合

SC0MOD0<SC1:0> の設定により、前記ボーレートジェネレータからのクロック、システムクロック f_{SYS} 、タイマ TMRA0 からの一致検出信号、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

8.2.4 受信カウンタ

受信カウンタは、UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 発用いられ 7, 8, 9 発目でデータをサンプリングします。

3 度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが 1, 0, 1 であれば、受信データは “1” と判断され、また、0, 0, 1 であれば “0” と判断されます。

8.2.5 受信制御部

8.2.5.1 I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS> の設定に従って SCLK0 端子へ出力されるシフトクロックの立ち上がり / 立ち下がりエッジで RXD0 端子をサンプリングします。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり / 立ち下がりエッジで RXD0 端子をサンプリングします。

8.2.5.2 UART (非同期通信) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3回のサンプリング中2回以上が“0”であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中でも、多数決論理により受信データを判断しています。

8.2.6 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1(シフトレジスタ型)に受信データが1ビットずつ格納され、7ビットまたは8ビットのデータがそろったもう一方の受信バッファ2(SC0BUF)へ移されるとともに割り込みINTRX0が発生します。

CPUは受信バッファ2(SC0BUF)の方をリードします。CPUが受信バッファ2(SC0BUF)をリードする前でも、受信データは受信バッファ1へ格納することができます。

ただし、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2(SC0BUF)をリードしなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ2およびSC0CR<RB8>の内容は保存されていますが、受信バッファ1の内容は失われます。

8ビットUARTのパリティ付加の場合のパリティビット、9ビットUARTモードの場合の最上位ビットはSC0CR<RB8>に格納されます。

9ビットUARTの場合、SC0MOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8> = “1”のときのみ、割り込みINTRX0が発生します。

注1) SC0CR<RB8>については受信バッファはダブルバッファ構造に対応していません。

注2) 受信バッファ1から受信バッファ2への転送タイミングとCPUからのリードタイミングが同時の場合、不定になることがあります。これを避けるため、受信割り込みをトリガにして、受信バッファ2をリードするようにして下さい。

8.2.7 送信カウンタ

送信カウンタはUART(非同期通信)モードで用いられる4ビットのバイナリカウンタで受信カウンタ同様SIOCLKでカウントされ、16発ごとに送信クロックTXDCLKを生成します。



図 8-3 送信クロックの生成

8.2.8 送信制御部

8.2.8.1 I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS> の設定に従って SCLK0 端子より出力されるシフトクロックの立ち上がり / 立ち下がりエッジで送信バッファのデータを1ビットずつ TXD0 端子へ出力します。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS> の設定に従って SCLK 入力の立ち上がり / 立ち下がりエッジで送信バッファのデータを1ビットずつ TXD0 端子へ出力します。

8.2.8.2 UART (非同期通信) モード

送信バッファに CPU から送信データが書き込まれると次の TXDCLK の立ち上がりエッジに同期して送信を開始します。

8.2.8.3 ハンドシェイク機能

$\overline{\text{CTS0}}$ 端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバーランエラーの発生を防ぐことができます。この機能は SC0MOD0<CTSE> によってイネーブル / ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータをライトし、送信は待機します。

なお $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき (受信割り込みルーチン内) に $\overline{\text{RTS}}$ 機能に割り当てた任意の1ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより、容易にハンドシェイク機能を構築できます。

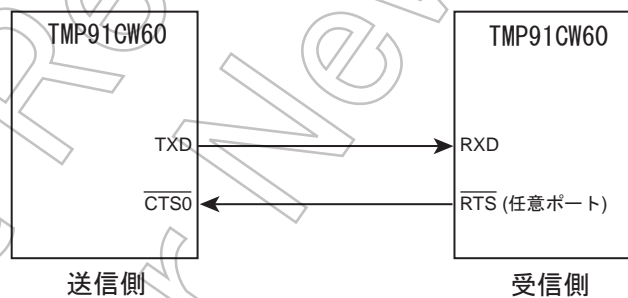
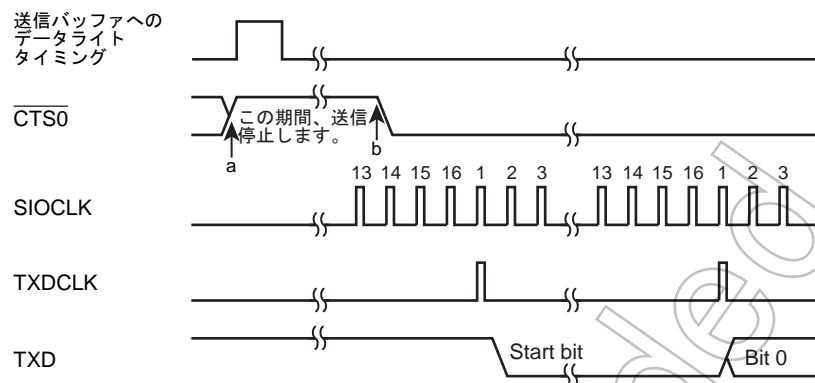


図 8-4 ハンドシェイク機能



注 1) 送信中に $\overline{\text{CTS0}}$ 信号を立ち上げた場合、送信終了後、次のデータの送信を停止します。

注 2) $\overline{\text{CTS0}}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 8-5 $\overline{\text{CTS0}}$ (Clear to send) 信号のタイミング

8.2.9 送信バッファ

送信バッファ SC0BUF は CPU よりライトされた送信データを最下位ビット (LSB) から順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンブティで INTTX0 割り込みが発生します。

8.2.10 パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE> を“1”にするとパリティ付の送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN> レジスタによって偶数あるいは奇数パリティを選択することができます。

送信時、パリティ制御回路は SC0BUF にライトされたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SC0BUF<TB7> に、8 ビット UART モードのときは SC0MOD0<TB8> にパリティを格納して送信します。なお、<PE> と <EVEN> の設定は、送信データを送信バッファにライトする前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータにより、パリティを自動発生し、7 ビット UART モードのときは、SC0BUF<RB7> と、8 ビット UART モードのときは、SC0CR<RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR<PERR> フラグがセットされます。

8.2.11 エラーフラグ

受信データの信頼性をあげるために 3 つのエラーフラグが用意されています。

8.2.11.1 オーバランエラー <OERR>

受信バッファ 2 (SC0BUF) に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

1. 受信バッファのリード
2. エラーフラグのリード
3. <OERR> = 1 の時
 - a. 受信禁止に設定 (<RXE> に “0” をライト)
 - b. 現フレームの終了待ち
 - c. 受信バッファのリード
 - d. エラーフラグのリード
 - e. 受信許可に設定 (<RXE> に “1” をライト)
 - f. 再送信要求
4. その他の処理

注) オーバランエラーは、受信バッファ 2(SC0BUF) のみが対象になります。従って、SC0CR<RB8> をリードしなかった場合は、オーバランエラーは発生しません。

8.2.11.2 パリティエラー <PERR>

受信バッファ 2(SC0BUF) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

注) パリティエラーフラグはリードするとクリアされますが、2回検出をしているため、2回の間にパリティエラーフラグをリードした場合、クリアされていないように見ることがあります。これを避けるため、受信割り込みをトリガにしてパリティエラーフラグのリードをするようにして下さい。

8.2.11.3 フレーミングエラー <FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が“0”の場合フレーミングエラーが発生します。

8.2.12 各信号発生タイミング

8.2.12.1 UART モードの場合

表 8-4 受信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ, 7 Bit
割り込み発生タイミング	最終ビット (Bit 8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	←	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
オーバランエラー発生タイミング	最終ビット (Bit 8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近

注 1) 9 ビットモード、8 ビット + パリティモードでは、割り込みは 9 ビット目と同時に発生します。そのため、割り込み発生後、1 ビット転送分 (ストップビットが転送されるまで) 時間をおいてフレーミングエラーのチェックをしてください。

注 2) 受信割り込み発生位置及びエラー発生位置は、通信速度が速いほど中央付近より、後になります。

表 8-5 送信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ, 7 Bit
割り込み発生タイミング	ストップビットが送信される直前	←	←

8.2.12.2 I/O インタフェースモードの場合

送信割り込み発生タイミング	SCLK 出力モード	最終ビット終了直後 (図 8-8 参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下がりモードでは立ち下がり直後 (図 8-9 参照)
受信割り込み発生タイミング	SCLK 出力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 8-10 参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 8-11 参照)

8.3 SFR 説明

シリアルコントロールレジスタ

	7	6	5	4	3	2	1	0	
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC	
Read/Write	R	R/W		R (リードすると0にクリアされます。)			R/W		
SC0CR (0201H) RMW 禁止	リセット後	不定	0	0	0	0	0	0	
SC1CR (0209H) RMW 禁止	機能	受信データ ビット8	パリティ	パリティ	オーバラン	パリティ	フレーミン	SCLK 端子	I/O インタ
SC2CR (0211H) RMW 禁止			0: 奇数	付加	エラー	エラー	グエラー	エッジ選択	フェース入
			1: 偶数	0: 禁止	フラグ	フラグ	フラグ	0: SCLK 立	カクロック
			1: 許可	0: 未検出	0: 未検出	0: 未検出	1: SCLK 立	選択	0: ボーレー
				1: 検出	1: 検出	1: 検出	下りエッジ	トジェネ	1: SCLK
								レータ	端子入力

注 1) エラーフラグはリードされるとすべてクリアされるため、ビットテスト命令を用いて1ビットだけのテストは行わないでください。

注 2) SYSCR0<PRCK1>="1" にてプリスケラクロック fc/16 を選択した場合、I/O インターフェース入力クロック選択はボーレートジェネレータ SCnCR<IOC>="0" を選択できません。

注 3) n = 0, 1, 2

シリアルモードコントロールレジスタ 0

	7	6	5	4	3	2	1	0
Bit symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
SC0MOD0 (0202H)	リセット後	0	0	0	0	0	0	0
SC1MOD0 (020AH)	機能	送信データ ビット8	ハンド	受信制御	ウェイク	シリアル転送モード		シリアル転送クロック
SC2MOD0 (0212H)			シェイク	0: 禁止	アップ機能	00: I/O インタフェース	モード	(UART 用)
			機能制御	1: 許可	0: 禁止	01: 7ビット長 UART モード	00: タイマ TA0TRG	01: ボーレート
			1: 許可	1: 許可	10: 8ビット長 UART モード	ジェネレータ	10: 内部クロック (f _{sys})	
					11: 9ビット長 UART モード	11: 外部クロック	(SCLK 端子入力)	

注 1) シリアルチャネル毎の SCLK 端子とハンドシェイク端子

	SCLK 端子	ハンドシェイク用端子
SIO0	SCLK0	CTS0
SIO1	SCLK1	CTS1
SIO2	SCLK2	CTS2

注 2) SYSCR0<PRCK1>="1" にてプリスケラクロック fc/16 を選択した場合、シリアル転送クロックはボーレートジェネレータ SCnMOD0<SC1:0>="01" を選択できません。

注 3) n = 0, 1, 2

シリアルモードコントロールレジスタ 1

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0	-	-	-	-	-	-
Read/Write	R/W	R/W	-	-	-	-	-	-
リセット後	0	0	-	-	-	-	-	-
SC0MOD1 (0205H)								
Bit symbol	I2S1	FDPX1	-	-	-	-	-	-
Read/Write	R/W	R/W	-	-	-	-	-	-
リセット後	0	0	-	-	-	-	-	-
SC1MOD1 (020DH)								
Bit symbol	I2S2	FDPX2	-	-	-	-	-	-
Read/Write	R/W	R/W	-	-	-	-	-	-
リセット後	0	0	-	-	-	-	-	-
SC2MOD1 (0215H)								
機能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

Not Recommended for New Design

ボーレートジェネレータコントロール

	7	6	5	4	3	2	1	0	
BR0CR (0203H)	Bit symbol	-	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
BR1CR (020BH)	Bit symbol	-	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
BR2CR (0213H)	Bit symbol	-	BR2ADDE	BR2CK1	BR2CK0	BR2S3	BR2S2	BR2S1	BR2S0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	"0"をライトしてください	+ (16 - K)/16分周機能 0: 禁止 1: 許可	ボーレートジェネレータの入カロックの選択 00: φT0 01: φT2 10: φT8 11: φT32		ボーレートジェネレータの分周値 "N" の設定 (下記表参照)				

	7	6	5	4	3	2	1	0	
BR0ADD (0204H)	Bit symbol	-	-	-	-	BR0K3	BR0K2	BR0K1	BR0K0
	Read/Write	-	-	-	-	R/W			
	リセット後	-	-	-	-	0	0	0	0
BR1ADD (020CH)	Bit symbol	-	-	-	-	BR1K3	BR1K2	BR1K1	BR1K0
	Read/Write	-	-	-	-	R/W			
	リセット後	-	-	-	-	0	0	0	0
BR2ADD (0214H)	Bit symbol	-	-	-	-	BR2K3	BR2K2	BR2K1	BR2K0
	Read/Write	-	-	-	-	R/W			
	リセット後	-	-	-	-	0	0	0	0
機能					N + (16 - K)/16 分周の K 値の設定 (下記表参照)				

ボーレートジェネレータの分周値の設定

	BRnCR<BRnADDE> = 1	BRnCR<BRnADDE> = 0
BRnCR <BRnS3:0>	0000(N=16) or 0001(N=1)	0010(N=2) ~ 1111(N=15)
BRnADD <BRnK3:0>	0000	0001(N=1)UARTのみ ~ 1111(N=15) 0000(N=16)
0000	禁止	禁止
0001 (K = 1) ~ 1111 (K = 15)	禁止	N + (16 - K)/16 分周
		N 分周

注 1) +(16 - K)/16 分周の使用可否

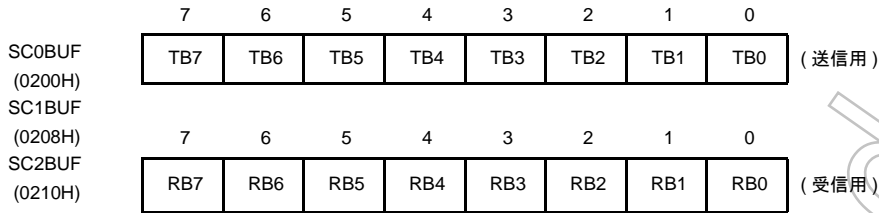
N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

+(16 - K)/16 分周機能を使用する場合、必ず BRnADD<BRnK3:0> に K 値 (K = 1~15) を設定後に BRnCR<BRnADDE> = "1" を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は不定です。

注 2) ボーレートジェネレータ分周値の "1" 分周は UART モードで、N+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースモードでは設定しないでください。

注 3) n = 0,1,2

シリアル送受信バッファレジスタ



注) シリアル送受信バッファはリードモディファイライト出来ません。

8.4 モード別動作説明

8.4.1 モード0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より SCLK を入力する SCLK 入力モードがあります。

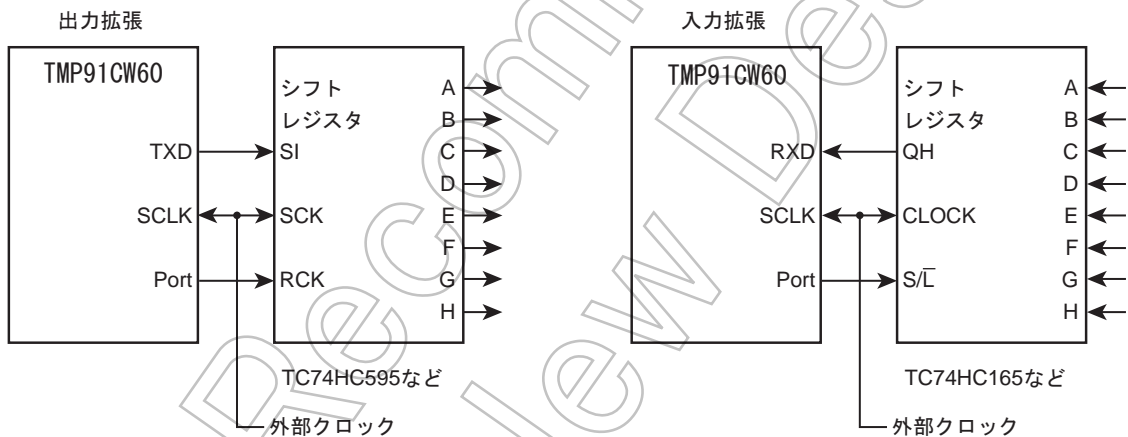


図 8-6 SCLK 出力モード接続例

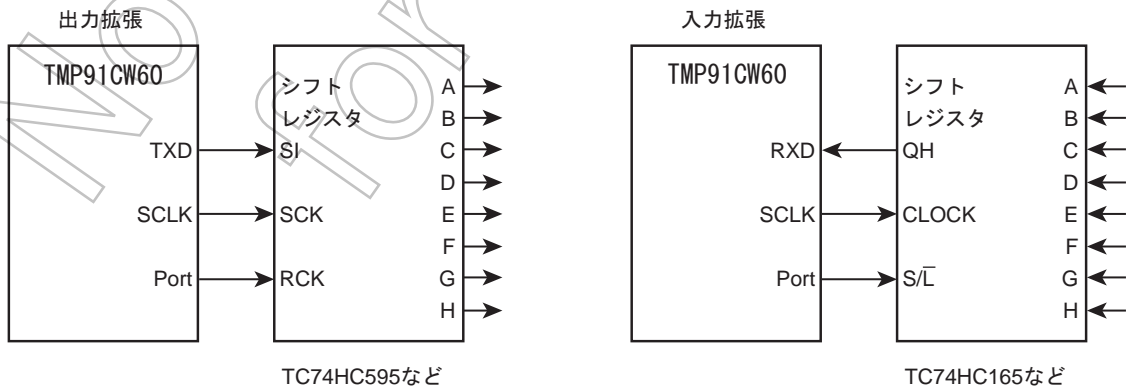


図 8-7 SCLK 入力モード接続例

8.4.1.1 送信

SCLK 出力モードでは、CPU が送信バッファにデータをライトするたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0<ITX0C> がセットされ、割り込み INTTX0 が発生します。

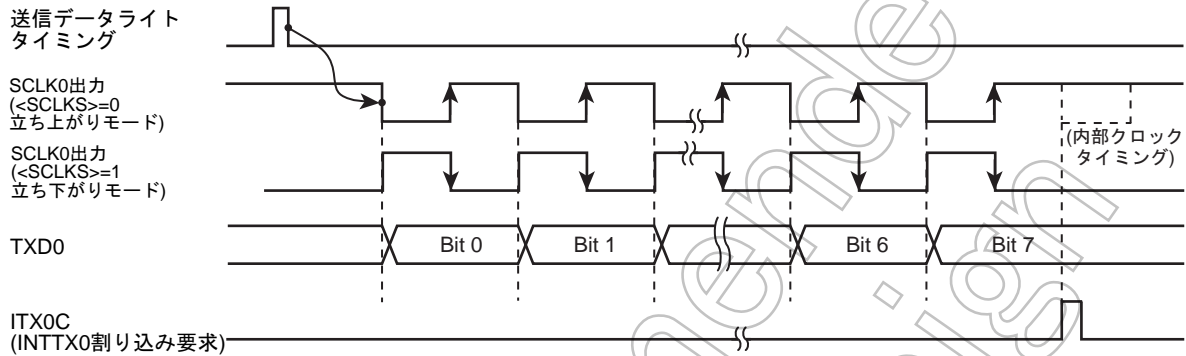


図 8-8 I/O インタフェースモード送信動作 (SCLK 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータがライトされている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0<ITX0C> がセットされ割り込み INTTX0 が発生します。

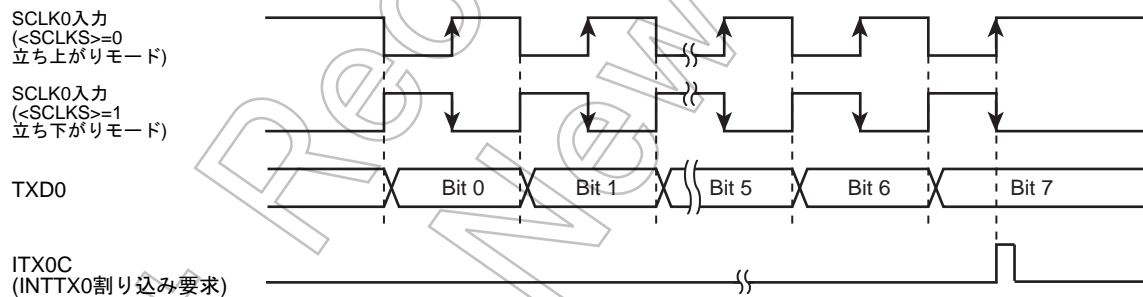


図 8-9 I/O インタフェースモード送信動作 (SCLK 入力モード)

8.4.1.2 受信

SCLK 出力モードでは受信データが CPU にリードされ、受信割り込みフラグ INTES0<IRX0C> がクリアされるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C> がセットされて割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE> を “1” にセットすることで行います。

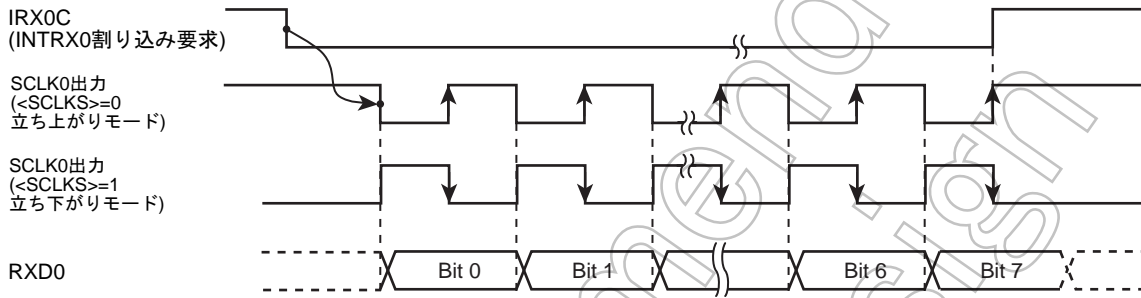


図 8-10 I/O インタフェースモード受信動作 (SCLK 出力モード)

SCLK 入力モードでは受信データが CPU にリードされ、受信割り込みフラグ INTES0<IRX0C> がクリアされている状態で、SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び INTES0<IRX0C> がセットされて割り込み INTRX0 が発生します。

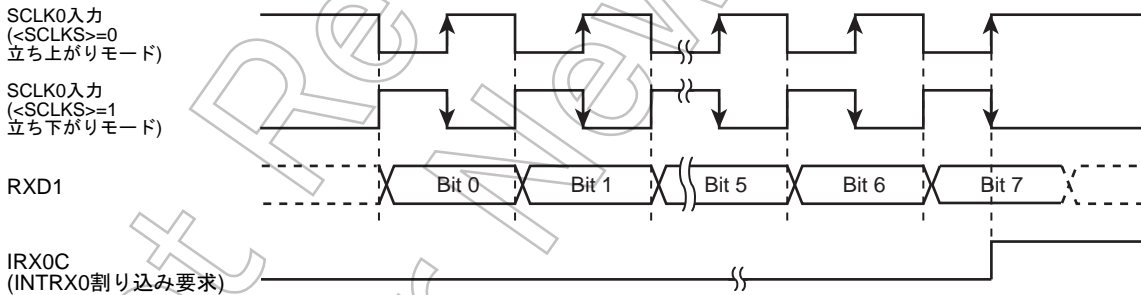


図 8-11 I/O インタフェースモード受信動作 (SCLK 入力モード)

注) 受信動作を行う場合には SCLK 入力/出力のどちらのモードでも、受信イネーブル状態 (SC0MOD0<RXE> = 1) にしておく必要があります。

8.4.1.3 送受信 (全二重)

全二重モードで、送受信を行う場合は、必ず、受信割り込みレベルを“0”に設定し、送信割り込みのみに割り込みレベル (“1”~“6”のいずれか)を設定してください。

受信処理は、送信割り込み処理ルーチン内で、下記例のように、送信データセットの前に行ってください。

例: チャンネル 0, SCLK 出力
 9600 bps で送受信を行う場合
 $f_C = 14.7456\text{MHz}$

※ クロック条件	システムクロック	高速 (fc)
	高速クロックギア	1 倍 (fc)
	プリスケアラクロック	f _{FPH}

メインルーチンでの設定 (ポート設定を除く)

	ポートを設定								
	7	6	5	4	3	2	1	0	
INTES0	X	0	0	1	X	0	0	0	送信割り込みレベルを設定し、受信割り込みを禁止する
SC0MOD0	-	-	-	-	0	0	-	-	I/O インタフェースにセットします
SC0MOD1	-	1	X	X	X	X	X	X	全二重モードにセットします
SC0CR	-	-	-	-	-	-	0	0	SCLK 出力モード, 立ち下がり受信、立ち上がり送信に設定
BR0CR	0	0	1	1	0	0	1	1	9600 bps にセットします
SC0MDO	-	-	1	-	-	-	-	-	受信許可にします
SC0BUF	*	*	*	*	*	*	*	*	送信データをセットします

送信割り込みルーチン

	7	6	5	4	3	2	1	0	
Acc SC0BUF									受信データをリードします
SC0BUF	*	*	*	*	*	*	*	*	送信データをセットします

注) X: Don't care、 -: No change、*: Data

8.4.2 モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD<SM1:0> を“01”にセットすると7ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR <PE> でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = “1” (イネーブル) のときは、SC0CR<EVEN> で偶数パリティ / 奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。

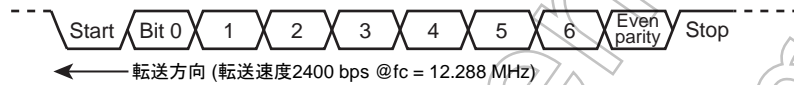


図 8-12 7 ビット UART モード

- ※ クロック条件
- システムクロック
- 高速クロックギア
- プリスケアラクロック
- 高速 (fc)
- 1 倍 (fc)
- システムクロック

	7	6	5	4	3	2	1	0	
SC0MOD0	←	-	-	-	0	1	0	1	7ビット UART にセットします。
SC0CR	←	-	1	1	-	-	-	-	偶数パリティを付加します。
BR0CR	←	0	0	1	0	0	1	0	2400 bps にセットします。
INTES0	←	X	1	0	0	-	-	-	INTTX0 割り込みをイネーブル、レベル 4 にします。
SC0BUF	←	*	*	*	*	*	*	*	送信データをセットします。

注) X: Don't care、 -: No change、*: Data

8.4.3 モード 2 (8 ビット UART モード)

SCOMOD0<SM1:0> を“10” にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SC0CR<PE> でパリティビット付加のイネーブル/ディセーブルを制御します。<PE> = “1” (イネーブル) のとき、SC0CR<EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。

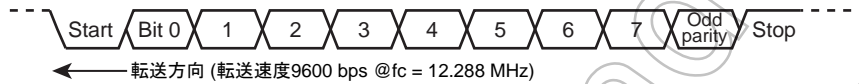


図 8-13 8 ビット UART モード

※ クロック条件

システムクロック	高速 (fc)
高速クロックギア	1 倍 (fc)
プリスケアラック	f _{PPH}

メインルーチンでの設定 (ポート設定を除く)

		7	6	5	4	3	2	1	0	
SCOMOD0	←	-	-	1	-	1	0	0	1	8 ビット UART、受信イネーブルにします。
SC0CR	←	-	0	1	-	-	-	-	-	奇数パリティ付加にセットします。
BR0CR	←	0	0	0	1	0	1	0	1	9600 bps にセットします。
INTES0	←	-	-	-	-	X	1	0	0	INTRX0 割り込みをイネーブル、レベル 4 にします。

注) X: Don't care, -: No change

割り込みルーチンでの処理例

```
Acc ← SC0CR AND 00011100 エラーチェックを行います。
if Acc ≠ 0 then ERROR
Acc ← SC0BUF 受信データをリードします。
```

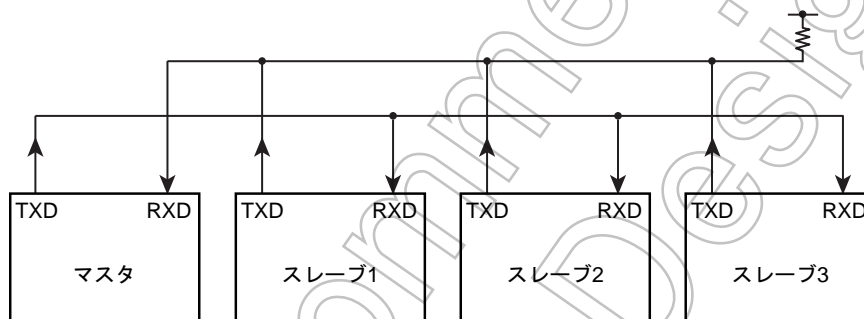
8.4.4 モード3 (9ビットUART)

SCOMOD0<SM1:0>を“11”にセットすると9ビットUARTモードになります。このモードでは、パリティビットの付加はできません。

最上位ビット(9ビット目)は、送信の場合シリアルチャネルモードレジスタの<TB8>にライトし、受信の場合シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対するライト、リードは必ず<TB8>、<RB8>を先に行い、SC0BUFを後にします。

8.4.4.1 ウェイクアップ機能

9ビットUARTモードでは、SCOMOD0<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8>=“1”のときのみ割り込みINTRX0が発生します。



注) スレーブコントローラのTXD端子は、必ずODEレジスタを設定してオープンドレイン出力モードにしてください。

図 8-14 ウェイクアップ機能によるシリアルリンク

8.4.4.2 プロトコル

1. マスタおよびスレーブコントローラは9ビットUARTモードにします。
2. スレーブコントローラはSC0MOD<WU>を“1”にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。



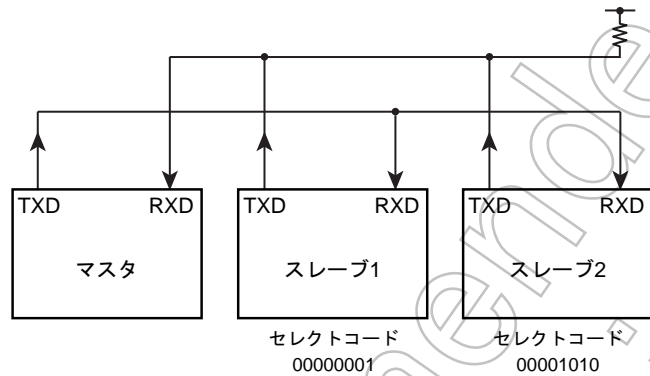
4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
5. マスタコントローラは指定したスレーブコントローラ(SC0MOD<WU>=“0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にします。



6. WU=“1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため割り込みINTRX0が発生せず、受信データを無視します。また、<WU>=“0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

8.4.4.3 設定例

内部クロック f_{SYS} を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



(1) マスタコントローラの設定

メインルーチンでの設定 (ポート設定を除く)

レジスタ名	MSB	7	6	5	4	3	2	1	0	LSB	説明
INTES0	←	X	1	0	0	X	1	0	1		INTTX0 をイネーブル、割り込みレベルを4にセットします。 INTRX0 をイネーブル、割り込みレベルを5にセットします。
SC0MOD0	←	1	0	1	0	1	1	1	0		9ビットUARTモード、転送クロックを f_{SYS} にセットします。
SC0BUF	←	0	0	0	0	0	0	0	1		スレーブ1のセレクトコードをセットします。

割り込みルーチン (INTTX0)

レジスタ名	MSB	7	6	5	4	3	2	1	0	LSB	説明
SC0MOD0	←	0	-	-	-	-	-	-	-		TB8 を "0" にします。
SC0BUF	←	*	*	*	*	*	*	*	*		送信データをセットします。

(2) スレーブの設定

メインルーチンでの設定 (ポート設定を除く)

レジスタ名	MSB	7	6	5	4	3	2	1	0	LSB	説明
INTES0	←	X	1	0	1	X	1	1	0		INTTX0, INTRX0 をイネーブルにします。
SC0MOD0	←	0	0	1	1	1	1	1	0		9ビットUARTモード、転送クロックを f_{SYS} で、<WU> = "1" にセットします。

割り込みルーチン (INTRX0)

レジスタ名	MSB	7	6	5	4	3	2	1	0	LSB	説明
Acc ← SC0BUF											if Acc = セレクトコード
then SC0MOD0	←	-	-	-	0	-	-	-	-		<WU> = "0" にクリアします。

第9章 シリアルバスインタフェース (SBI)

I²C バスモード (マルチマスタ) のシリアルバスインタフェース (SBI) を2チャンネル内蔵しています。

シリアルバスインタフェースは、SDA0, SCL0 および SDA1, SCL1 を通じて、外部デバイスと接続されます。

9.1 構成

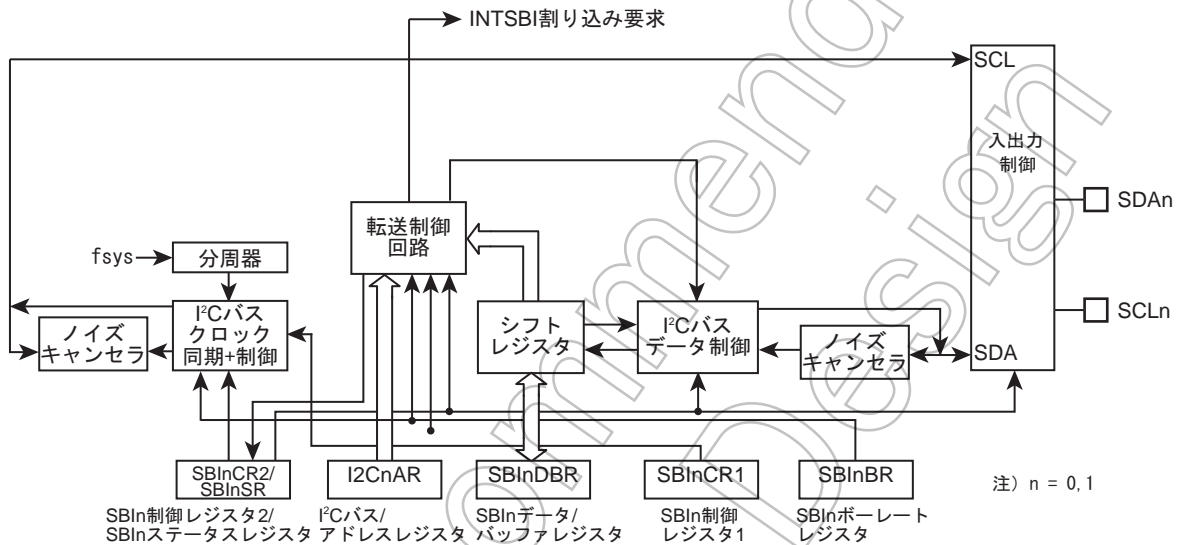


図 9-1 シリアルバスインタフェース (SBI)

9.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ 0 (SBI0CR0, SBI1CR0)
- シリアルバスインタフェース制御レジスタ 1 (SBI0CR1, SBI1CR1)
- シリアルバスインタフェース制御レジスタ 2 (SBI0CR2, SBI1CR2)
- シリアルバスインタフェースバッファレジスタ (SBI0DBR, SBI1DBR)
- I²C バスアドレスレジスタ (I2C0AR, I2C1AR)
- シリアルバスインタフェースステータスレジスタ (SBI0SR, SBI1SR)
- IDLE2 設定レジスタ (SBI0BR, SBI1BR)

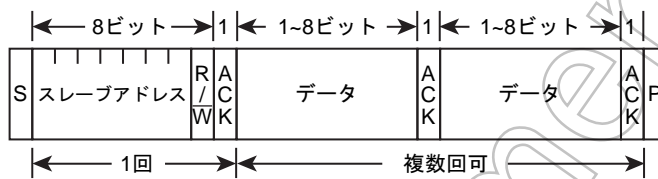
9.3 I²C バスの動作説明

各チャンネル (SBI0, SBI1) はそれぞれ独立に動作します。いずれのチャンネルも同一の動作をしますので、動作説明は SBI0 の場合についてのみ説明します。

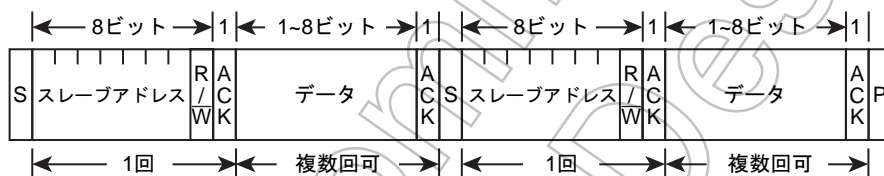
9.3.1 I²C バスモード時のデータフォーマット

I²C バスモード時のデータフォーマットを図 9-2 に示します。

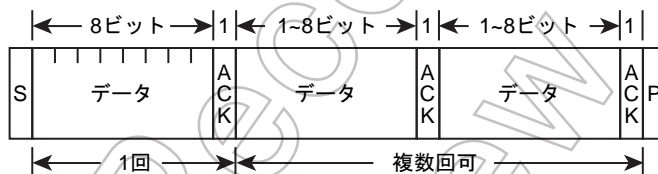
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



- 注) S: スタートコンディション
 R/W: 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 9-2 I²C バスモード時のデータフォーマット

9.3.2 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用するときの制御、および、動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

		7	6	5	4	3	2	1	0
SBI0CR0 (0247H) RMW 禁止	Bit symbol	SBI0EN	-	-	-	-	-	-	-
	Read/Write	R/W	R						
	リセット後	0	0	0	0	0	0	0	0
SBI1CR0 (024FH) RMW 禁止	Bit symbol	SBI1EN	-	-	-	-	-	-	-
	Read/Write	R/W	R						
	リセット後	0	0	0	0	0	0	0	0
機能	SBI 動作 0: 禁止 1: 許可	リードすると常に "0" になります。							

注) SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可 "1" にしてください。

シリアルバスインタフェース制御レジスタ 1

		7	6	5	4	3	2	1	0
SBI0CR1 (0240H) RMW 禁止	Bit symbol	BC2	BC1	BC0	ACK	-	SCK2	SCK1	SWRMON/ SCK0
	Read/Write	W			R/W	-	W		R/W
	リセット後	0	0	0	0	-	0	0	0/1 注2)
SBI1CR1 (0248H) RMW 禁止	Bit symbol	BC2	BC1	BC0	ACK	-	SCK2	SCK1	SWRMON/ SCK0
	Read/Write	W			R/W	-	W		R/W
	リセット後	0	0	0	0	-	0	0	0/1 注2)
機能	転送ビット数の選択				アクノリッ ジメント クロック		内部 SCL 出カクロックの周波数選択 注1) とりセットモニタ		

内部 SCL 出カクロックの周波数選択 @ ライト

SCK2:0	000	n = 4	-(注3)
	001	n = 5	73.53 kHz
	010	n = 6	50.00 kHz
	011	n = 7	30.49 kHz
	100	n = 8	17.12 kHz
	101	n = 9	9.12 kHz
	110	n = 10	4.72 kHz
	111	(Reserved)	(Reserved)

システムクロック : fc
クロックギア : fc/1
fc = 20 MHz (SCL 端子への出力)
周波数 (f_{scl}) = (f_{sys}/2) / (2ⁿ+36) [Hz]

ソフトウェアリセット状態モニタ @ リード

SWRMON	0	ソフトウェアリセット中
	1	(初期値)

アクノリッジメントのためのクロック発生の選択

ACK	0	アクノリッジのためのクロックを発生しない
	1	アクノリッジのためのクロックを発生する

転送ビット数の選択

	<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
		クロック数	データ長	クロック数	データ長
BC2:0	000	8	8	9	8
	001	1	1	2	1
	010	2	2	3	2
	011	3	3	4	3
	100	4	4	5	4
	101	5	5	6	5
	110	6	6	7	6
	111	7	7	8	7

注 1) SCL ラインクロックの周波数については、“9.3.3.3 シリアルクロック”を参照してください。

注 2) SCK0 の初期値は “0”, SWRMON の初期値は “1” です。

注 3) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。
100 kbps を超える設定が可能な場合がありますが、I²C 規格外となります。

Not Recommended for New Design

シリアルバスインタフェース制御レジスタ 2

	7	6	5	4	3	2	1	0	
SBI0CR2 (0243H) RMW 禁止	Bit symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
	Read/Write	W			W		W		
	リセット後	0	0	0	1	0	0	0	0
SBI1CR2 (024BH) RMW 禁止	Bit symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
	Read/Write	W			W		W		
	リセット後	0	0	0	1	0	0	0	0
機能		マスタ / スレーブの選択	送信 / 受信の選択	スタート / ストップコンディションの発生	INTSBI 割り込み要求解除	シリアルバスインタフェースの動作モード選択		ソフトウェアリセットの発生	

ソフトウェアリセットの発生

SWRST1:0	10 ↓ 01	最初に“10”、次に“01”をライトすると、ソフトリセットが発生します。

シリアルバスインタフェースの動作モード選択 注 2)

SBIM1:0	00	ポートモード (シリアルバスインタフェースの出力禁止)
	01	Reserved
	10	I ² C バスモード
	11	Reserved

INTSBI 割り込み要求の解除

PIN	0	-
	1	割り込み要求の解除

スタート / ストップコンディション制御

BB	0	ストップコンディション発生
	1	スタートコンディション発生

送信 / 受信選択

TRX	0	レシーバ (受信)
	1	トランスミッタ (送信)

マスタ / スレーブの選択

MST	0	スレーブ
	1	マスタ

注 1) SBI0CR2 をリードすると SBI0SR, SBI1CR2 をリードすると SBI1SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。
また、ポートモードから I²C バスモードへの切り替えは、ポートの状態が “H” になっていることを確認してから行ってください。

シリアルバスインタフェースステータスレジスタ

	7	6	5	4	3	2	1	0	
SBI0SR (0243H) RMW 禁止	Bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
	Read/Write	R							
	リセット後	0	0	0	1	0	0	0	0
SBI1SR (024BH) RMW 禁止	Bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
	Read/Write	R							
	リセット後	0	0	0	1	0	0	0	0
機能		マスタ / スレーブの 選択モニタ	送信 / 受信の 選択モニタ	I ² C バス状態 モニタ	INTSBI 割り込み 要求モニタ	アービトレー ションロスト 検出	スレーブア ドレス一致 検出	ゼネラル コール検出	最終受信 ビット モニタ

最終受信ビットモニタ

LRB	0	最終受信ビット "0"
	1	最終受信ビット "1"

ゼネラルコール検出

AD0	0	未検出
	1	ゼネラルコール検出

スレーブアドレス一致検出

AAS	0	未検出
	1	スレーブアドレス一致またはゼネラルコール検出

アービトレーションロスト検出

AL	0	-
	1	アービトレーションロスト検出

INTSBI 割り込み要求モニタ

PIN	0	割り込み要求発生状態
	1	割り込み要求解除状態

I²C バス状態モニタ

BB	0	バスフリー
	1	バスビジー

送信 / 受信選択モニタ

TRX	0	受信
	1	送信

マスタ / スレーブ選択モニタ

MST	0	スレーブ
	1	マスタ

注 1) SBI0SR をライトすると SBI0CR2, SBI1SR をライトすると SBI1CR2 として機能します。

注 2) PIN の初期値は SBI 動作許可 (SBI0CR0<SBI0EN> / SBI1CR0<SBI1EN> "1") の場合 PIN "1"、SBI 動作禁止 (SBI0CR0<SBI0EN> / SBI1CR0<SBI1EN> "0") の場合 PIN "0" です。

IDLE2 設定レジスタ

	7	6	5	4	3	2	1	0
SBI0BR (0244H) RMW 禁止	Bit symbol	-	I2SBI0	-	-	-	-	-
	Read/Write	W	R/W	-	-	-	-	R/W
	リセット後	0	0	-	-	-	-	0
SBI1BR (024CH) RMW 禁止	Bit symbol	-	I2SBI1	-	-	-	-	-
	Read/Write	W	R/W	-	-	-	-	R/W
	リセット後	0	0	-	-	-	-	0
機能	"0" をライトしてください。	IDLE2 時動作 0: 停止 1: 動作						"0" をライトしてください。

シリアルバスインタフェースデータバッファレジスタ

	7	6	5	4	3	2	1	0	
SBI0DBR (0241H) RMW 禁止	Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信) / W (送信)							
	リセット後	不定							
SBI1DBR (0249H) RMW 禁止	Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信) / W (送信)							
	リセット後	不定							

注 1) 送信データをライトするときには、データを MSB (ビット 7) 側につめてライトしてください。また、受信データは LSB 側に格納されます。

注 2) SBI0DBR, SBI1DBR はライト用のバッファとリード用のバッファを個別に持っているため、ライトしたデータをリードすることはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

I²C バスアドレスレジスタ

	7	6	5	4	3	2	1	0	
I2C0AR (0242H) RMW 禁止	Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
I2C1AR (024AH) RMW 禁止	Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
機能	スレーブデバイスとして動作するときのスレーブアドレスの設定								アドレス認識モードの指定

アドレス認識モードの指定

ALS	0	スレーブアドレスを認識する
	1	スレーブアドレスを認識しない

9.3.3 I²C バスモード時の制御

9.3.3.1 アクノリッジメントモードの指定

スレーブアドレス一致、またはゼネラルコール検出時、SBI0CR1<ACK>を"1"にセットしておく、アクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を"L"レベルに引き、アクノリッジ信号を発生します。

<ACK>を"0"に設定しておく、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

9.3.3.2 転送ビット数の選択

SBI0CR1<BC2:0>により、次に送受信するデータのビット数を選択します。

<BC2:0>はスタートコンディションにより"000"にクリアされるため、スレーブアドレス、方向ビットの転送は必ず8ビットで行われます。それ以外のときは<BC2:0>は一度設定された値を保持します。

9.3.3.3 シリアルクロック

(1) クロックソース

SBI0CR1<SCK2:0>で、マスタモード時にSCL端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、下記の計算式に合わせてt_{LOW}の最小幅など、I²Cバス規定を満たす通信ボーレートを選択してください。



図 9-3 クロックソース

$$t_{LOW} = (2^n - 1 + 29) / f_{SBI}$$

$$t_{HIGH} = (2^n - 1 + 7) / f_{SBI}$$

$$f_{scl} = 1 / (t_{LOW} + t_{HIGH}) = f_{SBI} / (2^n + 36)$$

SBI0CR1<SCK2:0>	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10

注) f_{SBI}は、f_{sys}/2を示します。

(2) クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。

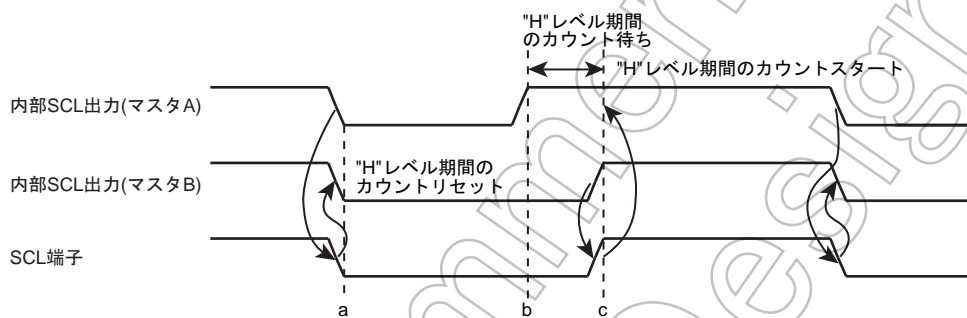


図 9-4 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

b 点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B が、バスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと、最も長い“L”レベル期間をもつマスタによって決定されます。

9.3.3.4 スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2C0AR にスレーブアドレス <SA6:0> と <ALS> を設定します。

<ALS> に“0”を設定すると、アドレス認識モードになります。

9.3.3.5 マスタ / スレーブの選択

SBIOCR2<MST> を “1” に設定すると、マスタデバイスとして動作します。

<MST> を “0” に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより “0” にクリアされます。

9.3.3.6 トランスマッタ / レシーバの選択

SBIOCR2<TRX> を “1” に設定すると、トランスマッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、受信したスレーブアドレスが I2COAR にセットした値と同じとき、またはゼネラルコール(スタートコンディション後の8ビットのデータがすべて “0”)を受信したとき、ハードウェアによりマスタデバイスから送られてくる方向ビット (R/ \bar{W}) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にクリアされます。

マスタモード時は、スレーブデバイスからアクリッジが返ってくると、ハードウェアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、または、アービトレーションロストの検出で、ハードウェアにより “0” にクリアされます。

Not Recommended for New Design

9.3.3.7 スタート/ストップコンディションの発生

SBIOCR2<BB>が“0”のときに、SBIOCR2<MST, TRX, BB, PIN>に“1”をライトすると、バス上にスタートコンディションと、データバッファレジスタにライトしたスレーブアドレス、方向ビットが出力されます。あらかじめ、<ACK>に“1”を設定してください。

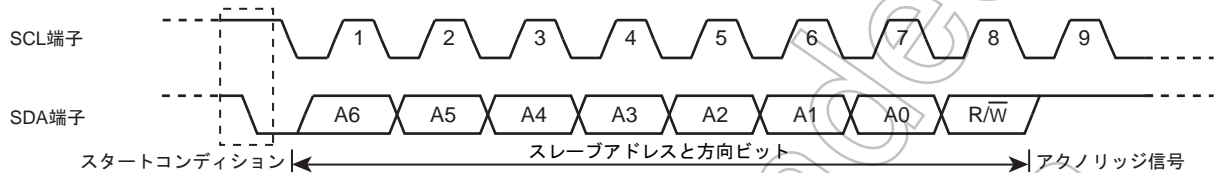


図 9-5 スタートコンディションの発生とスレーブアドレスの発生

<BB>=“1”のときに、<MST, TRX, PIN>に“1”、<BB>に“0”をライトすると、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

SCL端子

SDA端子

ストップコンディション

図 9-6 ストップコンディションの発生

また、SBIOCR2<BB>をリードすることで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると“1”にセットされ（バスビジー状態）、ストップコンディションを検出すると“0”にクリアされます（バスフリー状態）。

9.3.3.8 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBI0) が発生すると、SBI0CR2<PIN> が “0” にクリアされます。<PIN> が “0” の間、SCL ラインを “L” レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると “0” にクリアされ、SBI0DBR にデータをライトするか、SBI0DBR からデータをリードすると “1” にセットされます。

<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2C0AR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にクリアされます。プログラムで SBI0CR2<PIN> に “1” をライトすると “1” にセットされますが、“0” をライトしても “0” にクリアされません。

9.3.3.9 シリアルバスインタフェースの動作モード

SBI0CR2<SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。

I²C バスモードで使用するとき、シリアルバスインタフェース端子の状態が “H” になっていることを確認後、<SBIM1:0> を “10” に設定します。

ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

9.3.3.10 アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジー状態の時に、スタートコンディションを出力しようとした場合は SCL, SDA ラインには出力されずにアービトレーションロストが発生します。I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。a 点のビットまでマスタ A、マスタ B と同じデータを出力し、a 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ A のデータを取り込みます。このときマスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼びます。マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

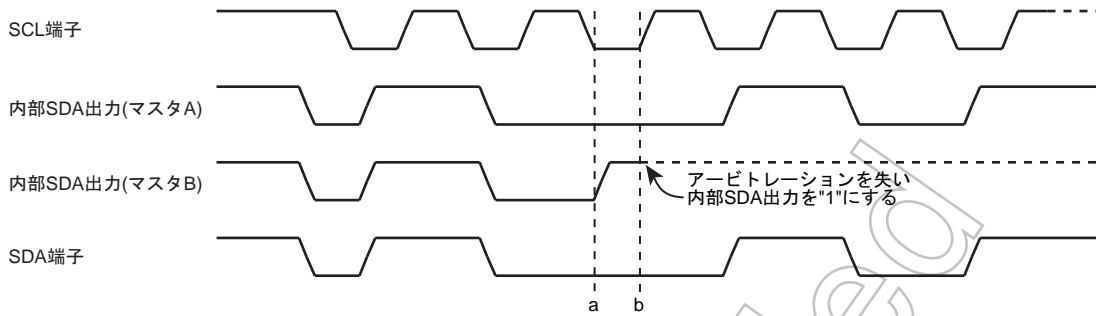


図 9-7 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBIOSR<AL> が “1” にセットされます。

<AL> が “1” にセットされると SBIOSR<MST, TRX> は “0” にリセットされ、スレーブレシーバモードになります。そのため、<AL> が “1” にセットされた後のデータ転送ではクロックの出力を停止します。

<AL> は、SBIODBR にデータをライトするか、SBIODBR からデータをリード、または SBIOCR2 にデータをライトすると “0” にリセットされます。

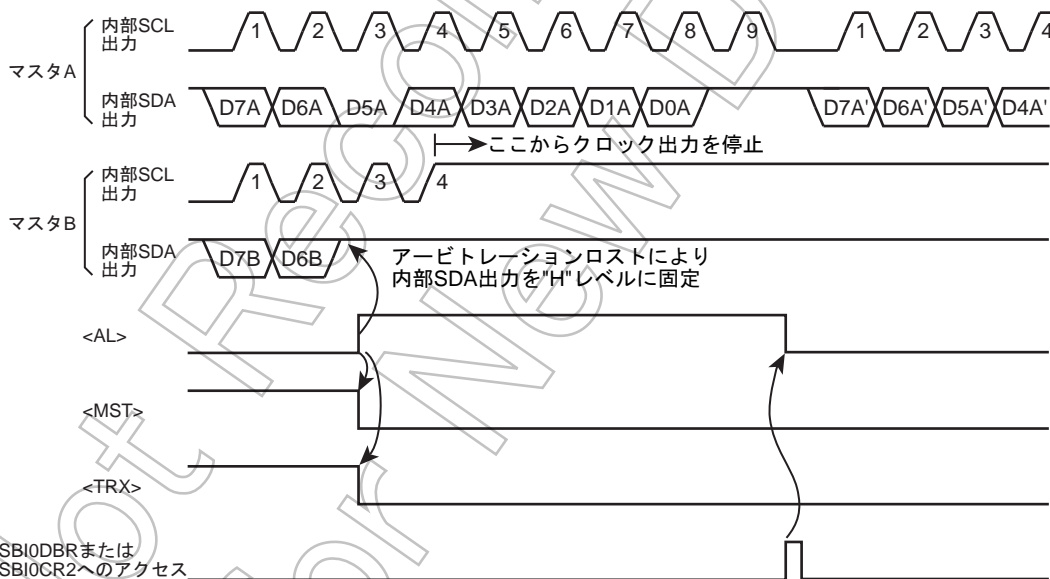


図 9-8 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

9.3.3.11 スレーブアドレス一致検出モニタ

SBIOSR<AAS> は、スレーブモード時、アドレス認識モード (I2C0AR<ALS> = “0”) のとき、ゼネラルコールまたは I2C0AR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると “1” にセットされます。<AAS> は SBIODBR にデータをライトするか、SBIODBR からデータをリードすると “0” にクリアされます。

9.3.3.12 ゼネラルコール検出モニタ

SBIOSR<AD0> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき “1” にセットされ、バス上のスタートコンディション、または、ストップコンディションが検出されると “0” にクリアされます。

9.3.3.13 最終受信ビットモニタ

SBIOSR<LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBIO 割り込み要求発生直後に SBIOSR<LRB> をリードすると、ACK 信号がリードされます。

9.3.3.14 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBIOCR2<SWRST1:0> へ、最初に “10”、次に “01” をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。

また、SBIOCR1<SWRMON> は、シリアルバスインタフェース回路の初期化が終了すると、自動的に “1” にセットされます。

注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I²C モードからポートモードになります。

9.3.3.15 シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)

SBI0DBR をリード/ライトすることで、受信データのリード/送信データのライトを行います。

また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションが発生します。

9.3.3.16 I²C バスアドレスレジスタ (I2C0AR)

I2C0AR<SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。

また、I2C0AR<ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

9.3.3.17 IDLE2 設定レジスタ (SBI0BR)

SBI0BR<I2SBI0> は IDLE2 モードに遷移した際に動作の許可/禁止を設定するレジスタです。

HALT 命令を実行する前に、あらかじめ設定してください。

Not Recommended
for New Designs

9.3.4 I²C バスモード時のデータ転送手順

9.3.4.1 デバイスの初期化

最初に SBI0CR1<ACK, SCK2:0> を設定します。SBI0CR1 のビット 4、2~0 には "0" をライトしてください。

次に I2C0AR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = "0") を設定します。

最後に、SBICR2<MST, TRX, BB> に "0"、<PIN> に "1"、<SBIM1:0> に "10"、ビット 1, 0 に "0" をライトし、初期状態をスレーブレシーバモードにします。

	7	6	5	4	3	2	1	0	
SBI0CR1	←	X	X	X	0	X	0	0	ACK および SCL クロックの設定をします。
I2C0AR	←	X	X	X	X	X	X	0	スレーブアドレスおよびアドレス認識モードの設定をします。
SBI0CR2	←	0	0	0	1	1	0	0	スレーブレシーバモードにします。

注) X: Don't care

9.3.4.2 スタートコンディション、スレーブアドレスの発生

(1) マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = "0") を確認します。

次に、SBI0CR1<ACK> に "1" をライトして、アクノリッジメントモードに設定します。また、SBI0DBR に、送信するスレーブアドレスと方向ビットのデータをライトします。

<BB> = "0" の状態で、SBICR2<MST, TRX, BB, PIN> に "1" をライトすると、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBI0DBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBIO 割り込み要求が発生し、<PIN> = "0" にクリアされます。マスタモード時は、<PIN> = "0" の間 SCL ラインを "L" レベルに引きます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBIO 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

メインルーチンでの設定

	7	6	5	4	3	2	1	0		
→ Reg	←	SBI0SR								
↑ Reg	←	Reg. e 0X20								
↑ if Reg	≠	0x00							バスがフリー状態になるまで確認します。	
← Then										
SBI0CR1	←	X	X	X	1	X	0	0	0	アクノリッジメントモードに設定します。
SBI0DBR	←	X	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBI0CR2	←	1	1	1	1	1	0	0	0	スタートコンディションの発生を行います。

INTSBIO 割り込みルーチンでの処理例

INTCLR ← 0x30 ; 割り込み要求をクリアします。

処理

割り込み終了

(2) スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。

ゼネラルコール、または、I2C0AR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルに引き、アクノリッジ信号を出力します。

9 クロック目の立ち下がり、INTSBIO 割り込み要求が発生し、<PIN> = “0” にクリアされます。スレーブモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引きます。



図 9-9 スタートコンディションとスレーブアドレスの発生

9.3.4.3 1ワードのデータ転送

1ワード転送終了のINTSBIO割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

(1) マスタモードの場合 (<MST> = "1")

<TRX>をテストし、トランスミッタ/レシーバの判断をします。

(a) トランスミッタモードの場合 (<TRX> = "1")

<LRB>をテストします。<LRB>が"1"のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理（後記参照）を行ってデータ転送を終了します。

<LRB>が"0"のとき、レシーバが次のデータを要求しています。次に転送するデータのビット数が8ビットのとき、SBI0DBRに転送データをライトします。8ビット以外のときは<BC2:0>、<ACK>を設定し、転送データをSBI0DBRにライトします。データをライトすると<PIN>が"1"になりSCL端子から次の1ワードのデータ転送用のシリアルクロックが発生され、SDA端子から1ワードのデータが転送されます。転送終了後INTSBIO割り込み要求が発生し、<PIN>が"0"になりSCL端子を"L"レベルに引きます。複数ワードの転送が必要な場合は、上記<LRB>のテストから繰り返します。

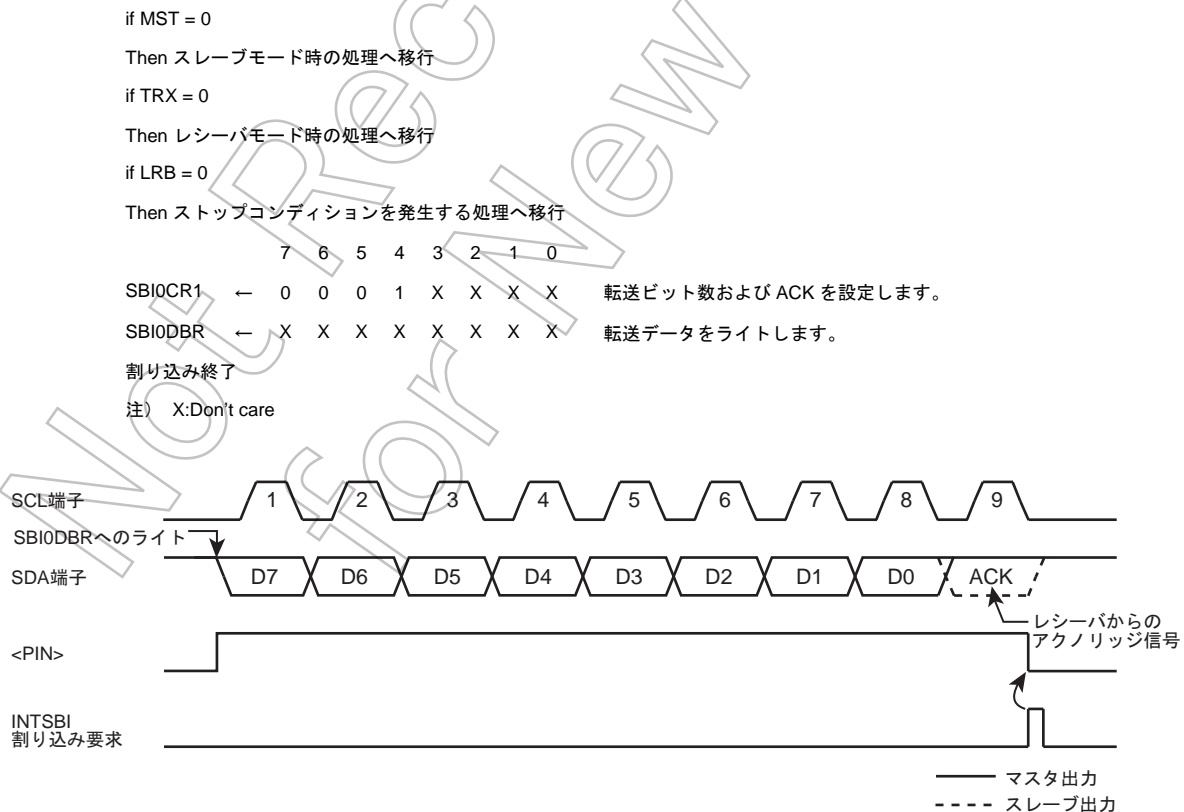


図 9-10 <BC2:0> = "000", <ACK> = "1" のときの例 (トランスミッタモード)

(b) レシーバモードの場合 (<TRX> = "0")

転送するデータのビット数が 8 ビット以外のときは <BC2:0>, <ACK> を設定し、SCL ラインを解放するために SBI0DBR から受信データをリードします (スレーブアドレス送信直後のリードデータは不定です)。データをリードすると <PIN> は "1" になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで "L" レベルを SDA 端子に出力します。

その後、INTSBI0 割り込み要求が発生し、<PIN> が "0" になり SCL 端子を "L" レベルに引きます。SBI0DBR から受信データをリードするたびに 1 ワードの転送クロックとアクノリッジを出力します。

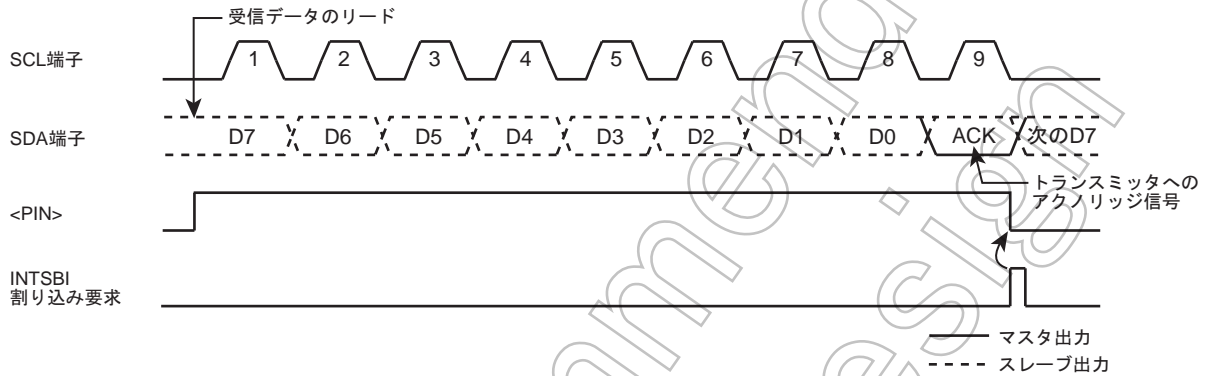


図 9-11 <BC2:0> = "000", <ACK> = "1" のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータをリードする前に <ACK> を "0" にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = "001" に設定し、データをリードすると、1 ビット転送のためのクロックが発生します。このときマスタはレシーバなのでバスの SDA ラインは "H" レベルを保ちます。トランスミッタは ACK 信号としてこの "H" レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

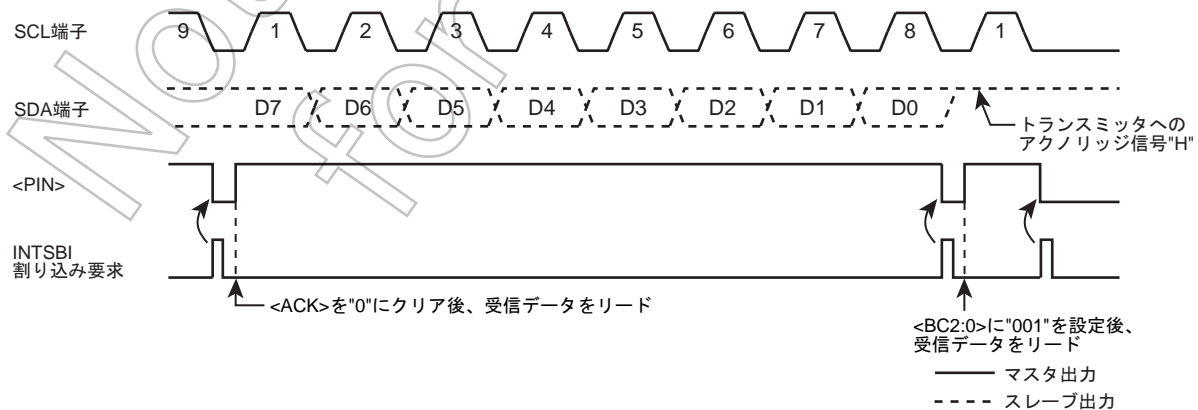


図 9-12 マスタレシーバモード時、データの送信を終了させるときの処理

例：データを N 回受信する場合

INTSBI 割り込み (データ送信後)

```

          7 6 5 4 3 2 1 0
SBI0CR1 ← X X X X X X X X
Reg.     ← SBI0DBR
割り込み終了

```

受信データのビット数および ACK を設定します。
ダミーデータを取り込みます。

INTSBI 割り込み (データ受信 1 ~ (N-2) 回目)

```

          7 6 5 4 3 2 1 0
Reg.     ← SBI0DBR
割り込み終了

```

1 ~ (N-2) 回目のデータを取り込みます。

INTSBI 割り込み (データ受信 (N-1) 回目)

```

          7 6 5 4 3 2 1 0
SBI0CR1 ← X X X 0 0 X X X
Reg.     ← SBI0DBR
割り込み終了

```

アクノリッジ信号のクロックを発生しないようにします。
(N-1) 回目のデータを取り込みます。

INTSBI 割り込み (データ受信 N 回目)

```

          7 6 5 4 3 2 1 0
SBI0CR1 ← 0 0 1 0 0 X X X
Reg.     ← SBI0DBR
割り込み終了

```

1 ビット転送のためのクロックを発生します。
N 回目のデータを取り込みます。

INTSBI 割り込み (データ受信後)

ストップコンディションを発生する処理
割り込み終了
注) X: Don't care

データ転送を終了させます。

(2) スレーブモードの場合 (<MST> = "0")

スレーブモード時は、通常のスレーブモードとしての処理、または、アービトレーションロストを検出し、スレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、または、ゼネラルコールを受信した後のデータ転送終了時に、INTSBI0 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBI0 割り込み要求が発生します。INTSBI0 割り込み要求が発生すると <PIN> が "0" にリセットされ、SCL 端子を "L" レベルに引きます。SBI0DBR にデータをライト、SBI0DBR からデータをリード、または、<PIN> に "1" を設定すると SCL 端子が t_{LOW} 後に開放されます。

SBI0SR<AL>, <TRX>, <AAS>, <AD0> をテストし、場合分けを行います。表 9-1 にスレーブモード時の状態と必要な処理を示します。

例：スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが "1" の場合

INTSBI 割り込み

if TRX = 0

Then その他処理へ移行

if AL = 1

Then その他処理へ移行

if AAS = 0

Then その他処理へ移行

```

          7 6 5 4 3 2 1 0
SBI0CR1 ← X X X 1 X X X X
SBI0DBR ← X X X X X X X X

```

送信ビット数を設定します。

送信データをセットします。

注) X: Don't care

表 9-1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状 態	処 理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“1”のスレーブアドレスを受信	1ワードのビット数を<BC2:0>にセットし、送信するデータをSBI0DBRにライトします。
		1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	LRB をテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に“1”をセット、<TRX>を“0”にリセットしバスを開放します。<LRB>が“0”にリセットされていた場合、レシーバが次のデータを要求しているので1ワードのビット数を<BC2:0>にセットし、送信するデータをSBI0DBRにライトします。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN>を“1”にセットするためにSBI0DBRをリードします。(ダミーリード)または<PIN>に“1”をライトします。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	1ワードのビット数を<BC2:0>にセットし、受信データをSBI0DBRからリードします。
		0	1/0	スレーブレシーバモード時、1ワードのデータの受信が終了	

9.3.4.4 ストップコンディションの発生

SBIOSR<BB>="1" のときに、SBIOCR2<MST, TRX, PIN>に "1"、<BB>に "0" をライトするとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

SBIOCR2 ← 7 6 5 4 3 2 1 0
 ← 1 1 0 1 1 0 0 0 ストップコンディションを発生させます。

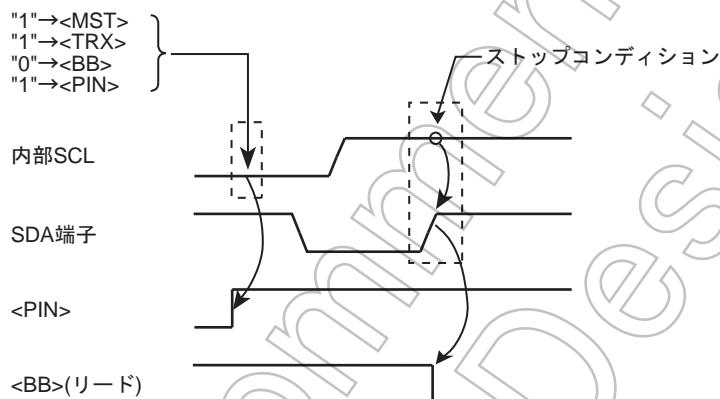


図 9-13 ストップコンディションの発生 (シングルマスタの場合)

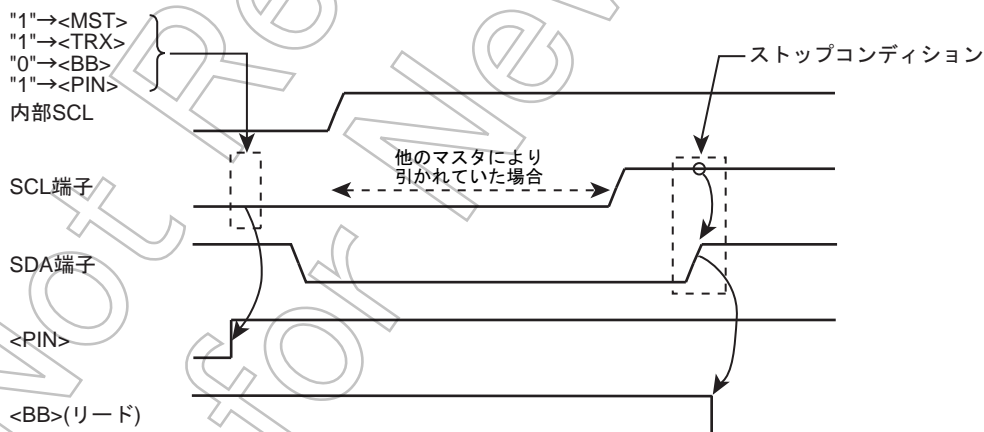


図 9-14 ストップコンディションの発生 (マルチマスタの場合)

9.3.4.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。

マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBIOCR2<MST, TRX, BB>に“0”、<PIN>に“1”をライトし、バスを開放します。このとき SDA 端子は“H”レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBIOSR<BB>をテストして“0”になるまで待ち、SCL 端子が開放されたことを SBIOSR<BB>=“0”、もしくはポート設定を変更し、SCL 端子の信号レベル“1”の確認で行います。次に<LRB>をテストして“1”になるまで待ち、他のデバイスがバスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後、前記 9.3.4.2 の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7 μs のソフトウェアによる待ち時間が必要です。

```

          7 6 5 4 3 2 1 0
SBIOCR2 ← 0 0 0 1 1 0 0 0   バスを解放します。
if SBIOSR<BB> ≠ 0           SCL 端子の解放を確認します。
Then
if SBIOSR<LRB> ≠ 1         他のデバイスの SCL 端子 "L" レベルの確認を行います。
Then
4.7us Wait
SBIOCR1 ← 0 0 0 1 0 X X X   アクノリッジメントモードに設定します。
SBIOSR ← X X X X X X X X   目的のスレーブのスレーブアドレスと方向をセットします。
SBIOCR2 ← 1 1 1 1 1 0 0 0   スタートコンディションの発生を行います。
注) X:Don't care
    
```

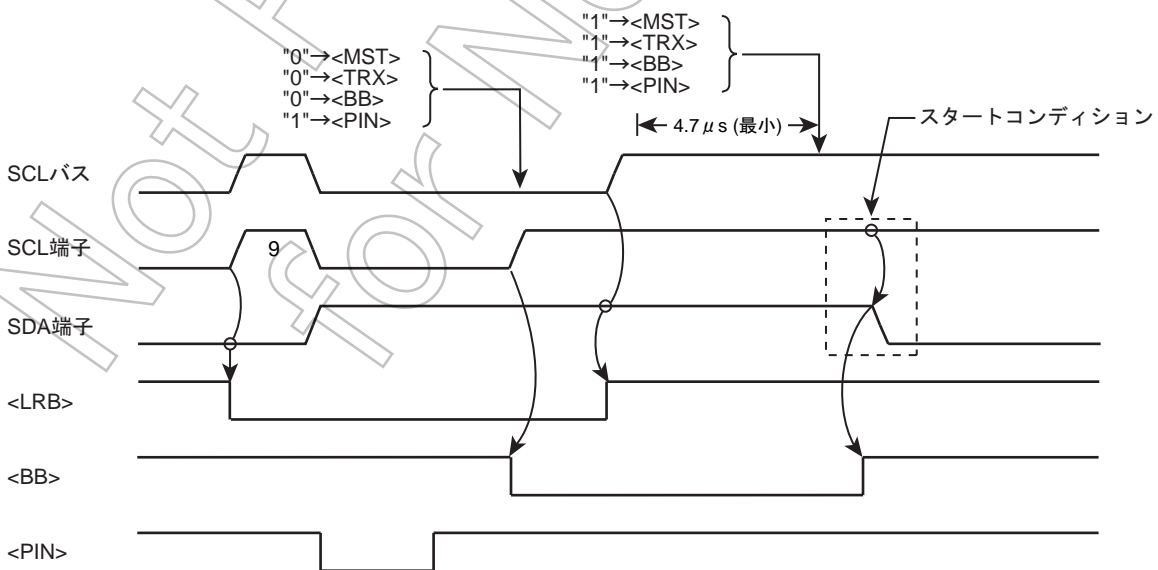


図 9-15 再スタートを発生する場合のタイミングチャート

注) <MST> = "0" の状態の時に <MST> = "0" をライトしないでください。(再スタートできません)

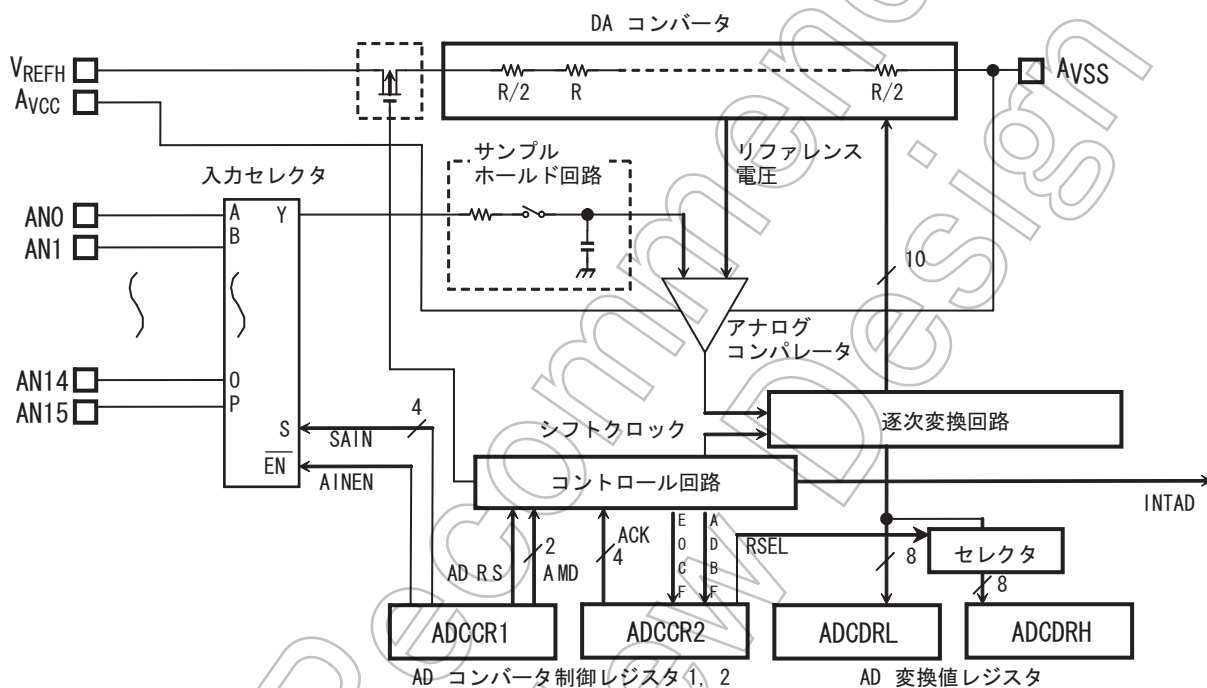
第 10 章 10 ビット AD コンバータ (ADC)

TMP91CW60 は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

10.1 構成

10 ビット AD コンバータの回路構成を図 10-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDRL, ADCDRH と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 10-1 10 ビット AD コンバータ

10.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モード (シングルモード、リピートモード) の選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択、DA コンバータ (ラダー抵抗) の接続制御、動作状態をモニタするレジスタです。

3. AD 変換値レジスタ (ADCDRH、ADCDRL)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

AD コンバータ制御レジスタ 1

	7	6	5	4	3	2	1	0
Bit symbol	ADRS	AMD		AINEN	SAIN			
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	AD 変換開始 0: - 1: 開始	AD 動作モード 00: AD 動作ディセーブル 01: シングルモード 10: Reserved 11: リピートモード		アナログ入力制御 0: 禁止 1: 許可	アナログ入力チャンネル選択 0000: AN0 0100: AN4 1000: AN8 1100: AN12 0001: AN1 0101: AN5 1001: AN9 1101: AN13 0010: AN2 0110: AN6 1010: AN10 1110: AN14 0011: AN3 0111: AN7 1011: AN11 1111: AN15			

- 注 1) アナログ入力チャンネルの選択は AD 変換停止状態 (ADCCR2<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャンネルをすべてディセーブルにする場合は、AINEN を "0" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。読み出すと "0" が読み出されます。
- 注 5) AD 変換中に ADRS (ADCCR1 のビット 7) の再設定は行わないでください。ADRS の再設定は、EOCF (ADCCR2 のビット 7) にて変換が終了したことを確認後、あるいは、割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。
- 注 6) STOP モード、SLOW モード、IDLE1 モードを起動すると、AD 制御レジスタ 1 (ADCCR1) は SAIN を除き初期化されます。また、IDLE2 モードの場合は ADCCR2 の <I2AD> ビットで制御します。NORMAL モードへの復帰後、AD コンバータを使用する場合は、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

	7	6	5	4	3	2	1	0
Bit symbol	EOCF	ADBF	RSEL	I2AD	ACK			
Read/Write	R			R/W				
リセット後	0	0	0	0	1	1	0	0
機能	AD 変換終了フラグ 0: 変換前または変換中 1: 変換終了	AD 変換ステータスフラグ 0: AD 変換停止中 1: AD 変換実行中	AD 変換結果のレジスタ構成選択 0: 10bit 格納モード 1: 8bit 格納モード	IDLE2 モード時 AD 動作制御 0: 動作停止 1: 動作許可	変換時間選択 "表 10-1 ACK 設定と周波数別の変換時間" を参照			

- 注 1) STOP, SLOW, IDLE1 モードを起動すると、AD 制御レジスタ 2 (ADCCR2) の EOCF と ADBF は初期化されます。また、IDLE2 モードの場合は ADCCR2 の <I2AD> ビットで制御します。NORMAL モードへの復帰後、AD コンバータを使用する場合は、ADCCR2 を再設定してください。
- 注 2) EOCF は、AD 変換値レジスタ (ADCDRH) をリードすると "0" にクリアされます。このため、10bit 格納モード時に AD 変換結果を読み出す際は、(ADCDRL) をリードした後に (ADCDRH) をリードしてください。
- 注 3) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。

表 10-1 ACK 設定と周波数別の変換時間

条件	変換時間	20MHz	16MHz	10 MHz	8MHz	4 MHz	2 MHz
ACK							
0xxx	Reserved						
1000	Reserved						
1001	Reserved						
1010	78/fc	—	—	—	—	19.5 μ s	39.0 μ s
1011	156/fc	—	—	15.6 μ s	19.5 μ s	39.0 μ s	78.0 μ s
1100	312/fc	15.6 μ s	19.5 μ s	31.2 μ s	39.0 μ s	78.0 μ s	156.0 μ s
1101	624/fc	31.2 μ s	39.0 μ s	62.4 μ s	78.0 μ s	156.0 μ s	—
1110	1248/fc	62.4 μ s	78.0 μ s	124.8 μ s	156.0 μ s	—	—
1111	Reserved						

注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数

注 2) 変換時間は、アナログ基準電圧 (VREFH) によって以下の時間以上を確保するように設定してください。

— VREFH = 4.5 ~ 5.5 V 時 15.6 μ s 以上

AD 変換値レジスタ H (8bit 格納モード時)

	7	6	5	4	3	2	1	0
Bit symbol	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02
ADCDRH (02B3H)	Read/Write							
	R							
リセット後	0	0	0	0	0	0	0	0

AD 変換値レジスタ H (10bit 格納モード時)

	7	6	5	4	3	2	1	0
Bit symbol	—	—	—	—	—	—	AD09	AD08
ADCDRH (02B3H)	Read/Write							
	R							
リセット後	0	0	0	0	0	0	0	0

AD 変換値レジスタ L

	7	6	5	4	3	2	1	0
Bit symbol	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00
ADCDRL (02B2H)	Read/Write							
	R							
リセット後	0	0	0	0	0	0	0	0

注) 10bit 格納モード時、ADCDRH のビット 7~2 は読み出すと "0" が読み出されます。

10.3 機能

10.3.1 シングルモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を 1 度行うモードです。

ADCCR1<AMD> を “01” (シングルモード) に設定後、ADCCR1<ADRS> を “1” に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDRH, L) に格納し、ADCCR2<EOCF> に “1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCCR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

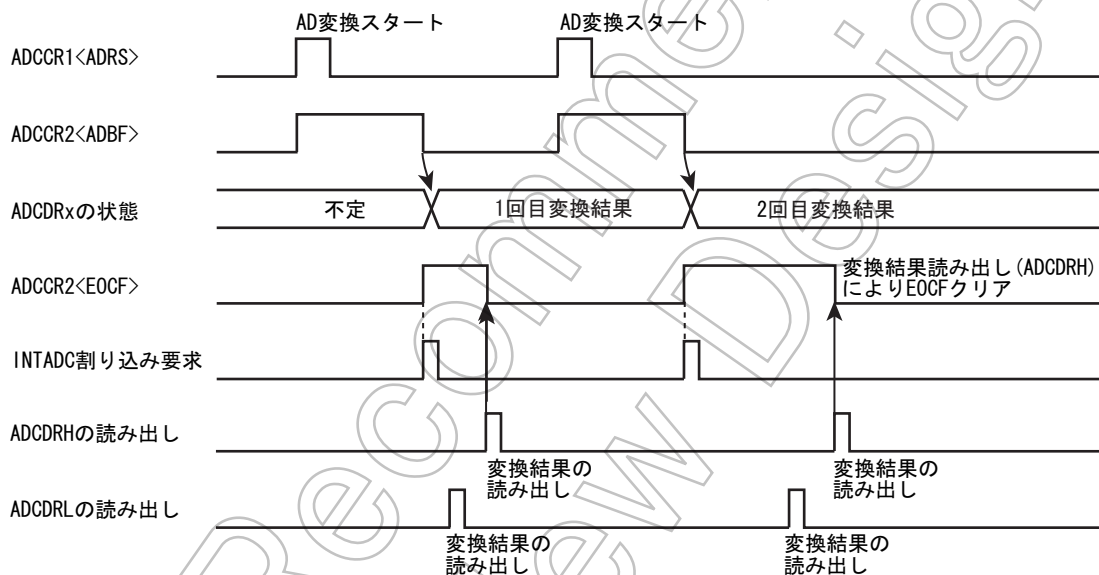


図 10-2 シングルモード

10.3.2 リピートモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行うモードです。

ADCCR1<AMD> を “11” (リピートモード) に設定後、ADCCR1<ADRS> を “1” に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDRH, L) に格納し、ADCCR2<EOCF> に “1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピートモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に “00” (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

AD 変換値は、次の AD 変換が終了するまでに読み出してください。ADCCR2<EOCF>="1" のときに次の AD 変換が終了しても AD 変換値レジスタは上書きされず、前回の変換値を保持します。このとき上書きされなかった変換結果は無効となります。

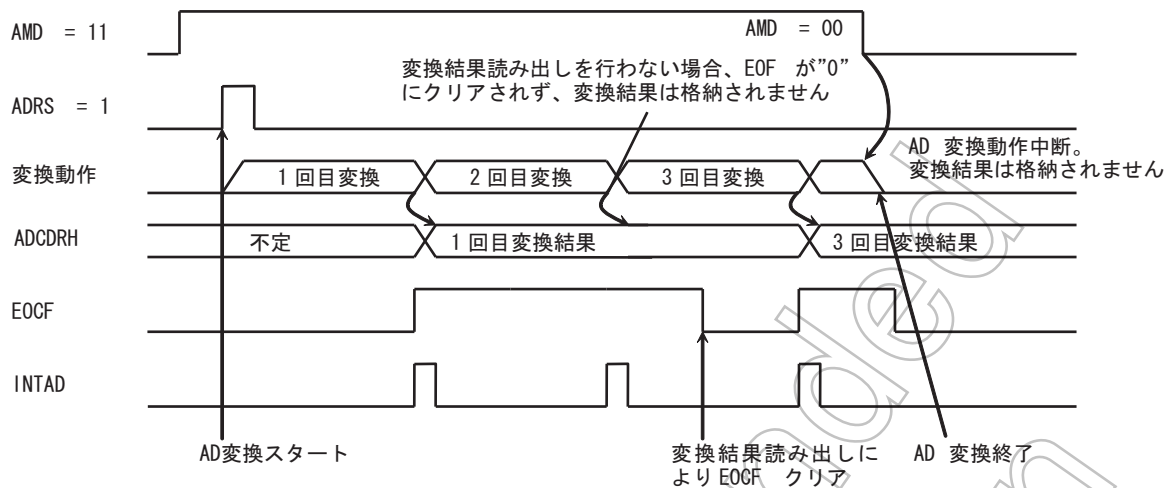


図 10-3 リピートモード

10.3.3 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINEN) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (シングルモード、リピートモード) を (AMD) にて指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。

AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 10-1 をご参照ください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に “1” を設定すると、直ちに AD 変換を開始します。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCCR2) の AD 変換終了フラグ (EOCF) が “1” にセットされ、AD 変換結果が AD 変換値レジスタ (ADCDRH, L) に格納されます。また、このとき INTADC 割り込み要求が発生します。
- AD 変換値レジスタ (ADCDRH) から変換結果を読み出すと EOCF は “0” にクリアされます。ただし、AD 変換値レジスタ (ADCDRH) を読み出す前に再変換を行った場合は、EOCF は “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 19.5 μ s @ 16 MHz およびアナログ入力チャネル AN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009EH 番地に下位 8 ビット、009F 番地に上位 2 ビットのデータを格納します。動作モードは、シングルモードです。

```

LD          (ADCCR1), 00110011B          ; AN3 を選択
LD          (ADCCR2), 00001100B          ; 変換時間 (312/fc), 動作モードを選択

SLOOP:     SET          (ADCCR1).7        ; ADRS = 1(AD 変換開始)
           TEST         (ADCCR2).7        ; EOCF = 1 ?
           JRS          T, SLOOP

LD          A, (ADCDRL)                   ; 変換結果 (下位 8bit) の読み出し
LD          (9EH), A
LD          A, (ADCDRH)                   ; 変換結果 (上位 2bit) の読み出し
LD          (9FH), A

```

10.4 AD 変換時の IDLE1/STOP/SLOW モード

AD 変換中に強制的に IDLE1, STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は IDLE1, STOP または SLOW モードを起動する前に読み出してください)。

また IDLE1, STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

IDLE2 モードにおいては、<I2AD> ビットで制御します。

10.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 10-4 のように対応します。

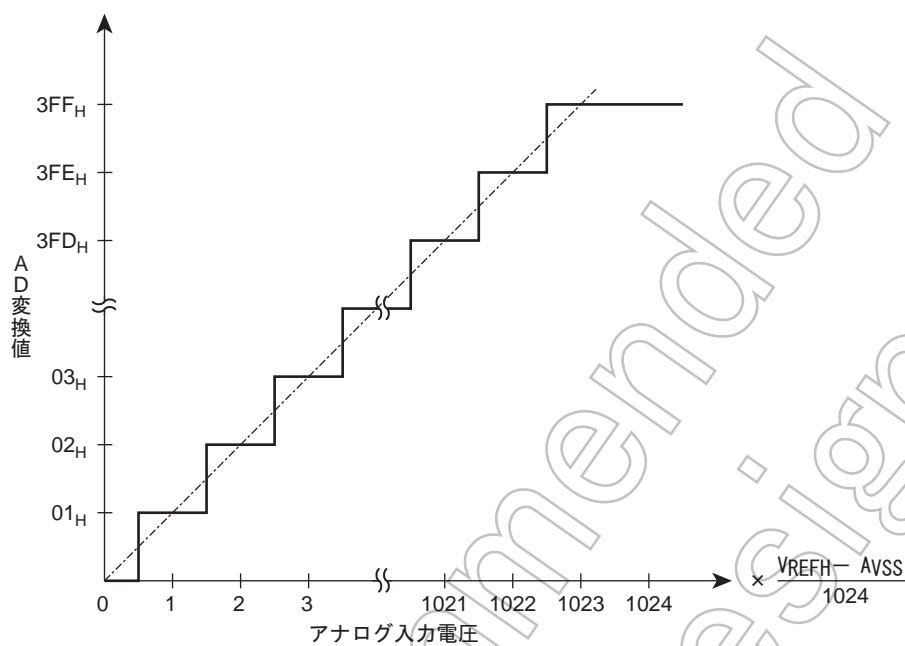


図 10-4 アナログ入力電圧と AD 変換値 (typ.) の関係

10.6 AD コンバータの注意事項

10.6.1 アナログ入力端子電圧範囲

アナログ入力端子 (AN0 ~ AN15) は、VREFH ~ AVSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

10.6.2 アナログ入力兼用端子

アナログ入力端子 (AN0 ~ AN15) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

10.6.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 10-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

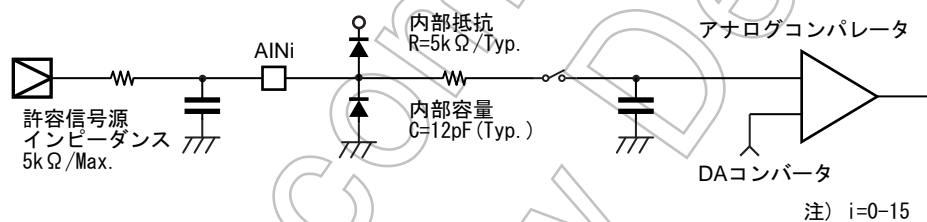


図 10-5 アナログ入力等価回路と入力端子処理例

第 11 章 ROM コレクション (プログラム訂正回路)

プログラム訂正機能は、プログラム (内部マスク ROM) のソフトウェアに不具合があった場合、再度 ROM マスクを作製せずプログラムの訂正を行う機能です。訂正するプログラム内容はあらかじめイニシャルルーチンで外部メモリ等から、置換するデータ/プログラムを内蔵 RAM に読み込んでおく必要があります。

プログラム訂正機能は、ROM 内の連続する 2 バイトデータを 6 個所 (計 12 バイト) 置換する事が可能です。また、置換するデータをソフトウェア割込み (SWI) の命令コード (1 バイト命令) に置き換える事で SWI 割込みを発生させ、直接内蔵 RAM 領域にジャンプさせる事で大容量のプログラム訂正を実現させる事も可能です。

尚、このプログラム訂正回路は内部 ROM 領域でのみ動作 (アドレス比較) しますので、内蔵 I/O 領域、内蔵 RAM 領域、外部 ROM 領域では動作しません。

6 つのバンクはそれぞれ独立して動作し、いずれも同一の動作をしますので動作説明はバンク 0 の場合についてのみ説明します。

11.1 概要

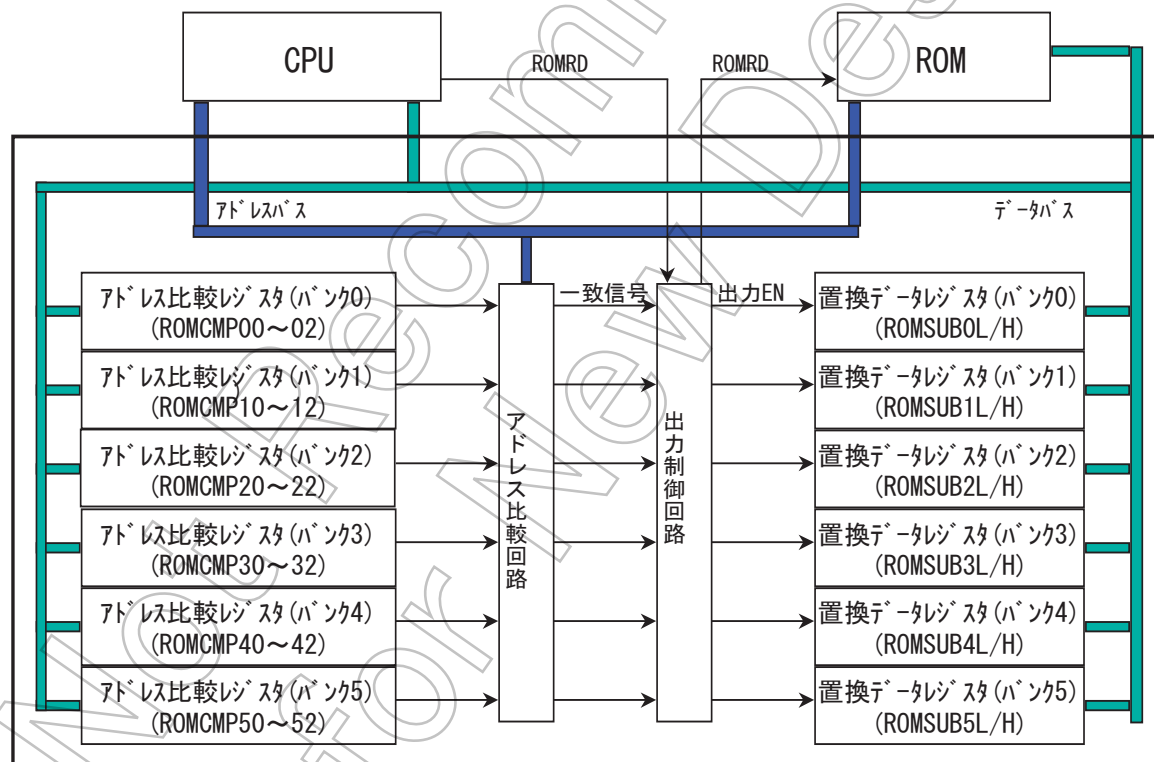


図 11-1 プログラム訂正回路

11.2 SFR 説明

各バンク毎に、3バイトのアドレス比較レジスタと、2バイトの置換データレジスタが用意されています。

バンク 0 アドレス比較レジスタ 0

		7	6	5	4	3	2	1	0
ROMCMP00 (0400H) RMW 禁止	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	—
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	—
	機能	修正 ROM アドレス (下位 7 ビット)							—

バンク 0 アドレス比較レジスタ 1

		7	6	5	4	3	2	1	0
ROMCMP01 (0401H) RMW 禁止	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)							—

バンク 0 アドレス比較レジスタ 2

		7	6	5	4	3	2	1	0
ROMCMP02 (0402H) RMW 禁止	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)							—

バンク 0 置き換えデータレジスタ L

		7	6	5	4	3	2	1	0
ROMSUB0L (0404H) RMW 禁止	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (下位 8 ビット)							—

バンク 0 置き換えデータレジスタ H

		7	6	5	4	3	2	1	0
ROMSUB0H (0405H) RMW 禁止	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (上位 8 ビット)							—

注 1) ROMCMP00, ROMCMP01, ROMCMP02, ROMSUB0L, ROMSUB0H はリードモディファイライトできません。

注 2) ROMCMP00 のビット 0 は、リードすると不定値がリードさせます。

バンク 1 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0	
ROMCMP10 (0408H) RMW 禁止	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	—
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	—
	機能	修正 ROM アドレス (下位 7 ビット)							—

バンク 1 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0	
ROMCMP11 (0409H) RMW 禁止	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)							—

バンク 1 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0	
ROMCMP12 (040AH) RMW 禁止	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)							—

バンク 1 置き換えデータレジスタ L

	7	6	5	4	3	2	1	0	
ROMSUB1L (040CH) RMW 禁止	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (下位 8 ビット)							—

バンク 1 置き換えデータレジスタ H

	7	6	5	4	3	2	1	0	
ROMSUB1H (040DH) RMW 禁止	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (上位 8 ビット)							—

注 1) ROMCMP10, ROMCMP11, ROMCMP12, ROMSUB1L, ROMSUB1H はリードモディファイライトできません。

注 2) ROMCMP10 のビット 0 は、リードすると不定値がリードされます。

バンク 2 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0	
ROMCMP20 (0410H) RMW 禁止	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	—
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	—
	機能	修正 ROM アドレス (下位 7 ビット)							—

バンク 2 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0	
ROMCMP21 (0411H) RMW 禁止	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)							—

バンク 2 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0	
ROMCMP22 (0412H) RMW 禁止	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)							—

バンク 2 置き換えデータレジスタ L

	7	6	5	4	3	2	1	0	
ROMSUB2L (0414H) RMW 禁止	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (下位 8 ビット)							—

バンク 2 置き換えデータレジスタ H

	7	6	5	4	3	2	1	0	
ROMSUB2H (0415H) RMW 禁止	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (上位 8 ビット)							—

注 1) ROMCMP20, ROMCMP21, ROMCMP22, ROMSUB2L, ROMSUB2H はリードモディファイライトできません。

注 2) ROMCMP20 のビット 0 は、リードすると不定値がリードされます。

バンク 3 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0	
ROMCMP30 (0418H) RMW 禁止	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	—
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	—
	機能	修正 ROM アドレス (下位 7 ビット)							—

バンク 3 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0	
ROMCMP31 (0419H) RMW 禁止	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)							—

バンク 3 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0	
ROMCMP32 (041AH) RMW 禁止	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)							—

バンク 3 置き換えデータレジスタ L

	7	6	5	4	3	2	1	0	
ROMSUB3L (041CH) RMW 禁止	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (下位 8 ビット)							—

バンク 3 置き換えデータレジスタ H

	7	6	5	4	3	2	1	0	
ROMSUB3H (041DH) RMW 禁止	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (上位 8 ビット)							—

注 1) ROMCMP30, ROMCMP31, ROMCMP32, ROMSUB3L, ROMSUB3H はリードモディファイライトできません。

注 2) ROMCMP30 のビット 0 は、リードすると不定値がリードされます。

バンク 4 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0	
ROMCMP40 (0420H) RMW 禁止	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	—
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	—
	機能	修正 ROM アドレス (下位 7 ビット)							—

バンク 4 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0	
ROMCMP41 (0421H) RMW 禁止	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)							—

バンク 4 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0	
ROMCMP42 (0422H) RMW 禁止	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)							—

バンク 4 置き換えデータレジスタ L

	7	6	5	4	3	2	1	0	
ROMSUB4L (0424H) RMW 禁止	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (下位 8 ビット)							—

バンク 4 置き換えデータレジスタ H

	7	6	5	4	3	2	1	0	
ROMSUB4H (0425H) RMW 禁止	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (上位 8 ビット)							—

注 1) ROMCMP40, ROMCMP41, ROMCMP42, ROMSUB4L, ROMSUB4H はリードモディファイライトできません。

注 2) ROMCMP40 のビット 0 は、リードすると不定値がリードされます。

バンク 5 アドレス比較レジスタ 0

	7	6	5	4	3	2	1	0	
ROMCMP50 (0428H) RMW 禁止	Bit symbol	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	—
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	—
	機能	修正 ROM アドレス (下位 7 ビット)							—

バンク 5 アドレス比較レジスタ 1

	7	6	5	4	3	2	1	0	
ROMCMP51 (0429H) RMW 禁止	Bit symbol	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (中位 8 ビット)							—

バンク 5 アドレス比較レジスタ 2

	7	6	5	4	3	2	1	0	
ROMCMP52 (042AH) RMW 禁止	Bit symbol	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	修正 ROM アドレス (上位 8 ビット)							—

バンク 5 置き換えデータレジスタ L

	7	6	5	4	3	2	1	0	
ROMSUB5L (042CH) RMW 禁止	Bit symbol	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (下位 8 ビット)							—

バンク 5 置き換えデータレジスタ H

	7	6	5	4	3	2	1	0	
ROMSUB5H (042DH) RMW 禁止	Bit symbol	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08
	Read/Write	W							—
	リセット後	0	0	0	0	0	0	0	0
	機能	置き換えデータ (上位 8 ビット)							—

注 1) ROMCMP50, ROMCMP51, ROMCMP52, ROMSUB5L, ROMSUB5H はリードモディファイライトできません。

注 2) ROMCMP50 のビット 0 は、リードすると不定値がリードされます。

11.3 動作説明

11.3.1 データ置換方式

データ置換方式では 1 バンクあたり、アドレスが連続する 2 バイトのデータを置換する事ができます。但し、このプログラム訂正回路で置換するデータの設定は、必ず偶数アドレスから始まり連続する 2 バイトのデータを設定しなければなりません。置換目的のデータが偶数アドレス側 1 つ、又は奇数アドレス側 1 つしか必要でない場合は、残りのアドレス側データには本来のマスク ROM データと同じデータを設定してください。

<動作説明>

アドレス比較レジスタ ROMCMP00~02 に修正したい ROM データのアドレスを設定し、置換データレジスタ ROMSUB0L/ROMSUB0H に置換えたい 2 バイトのデータを設定します。

各レジスタ設定後、CPU のアドレスが ROMCMP00~02 の設定値と一致すると、プログラム訂正回路がマスク ROM への RD 出力を禁止し、内部バスに対して ROMSUB0L/ROMSUB0H のデータを出力します。CPU はそのデータをフェッチする事でプログラム訂正動作が完了します。

下記に設定例を示します。

- ① FF1230H 番地の "00H" を "AAH" に置換する場合、次の順序で各レジスタを設定します。

	7 6 5 4 3 2 1 0	
ROMCMP00	← 0 0 1 1 0 0 0 0	アドレス比較レジスタバンク 0 に 30 を設定します。
ROMCMP01	← 0 0 0 1 0 0 1 0	アドレス比較レジスタバンク 0 に 12 を設定します。
ROMCMP02	← 1 1 1 1 1 1 1 1	アドレス比較レジスタバンク 0 に FF を設定します。
ROMSUB0L	← 1 0 1 0 1 0 1 0	置換データレジスタバンク 0 に AA を設定します。
ROMSUB0H	← 0 0 0 1 0 0 0 1	置換データレジスタバンク 0 に 11 を設定します。

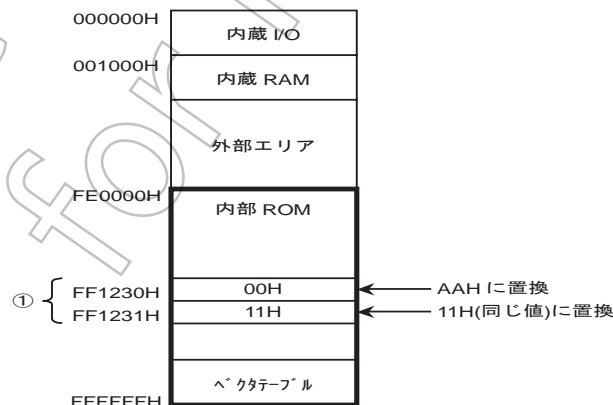


図 11-2 ROM コレクションデータ置換例

② FF1233H 番地の "33H" を "BBH" に置換する場合、次の順序で各レジスタを設定します。

	7	6	5	4	3	2	1	0		
ROMCMP00	←	0	0	1	1	0	0	1	0	アドレス比較レジスタバンク 0 に 32 を設定します。
ROMCMP01	←	0	0	0	1	0	0	1	0	アドレス比較レジスタバンク 0 に 12 を設定します。
ROMCMP02	←	1	1	1	1	1	1	1	1	アドレス比較レジスタバンク 0 に FF を設定します。
ROMSUB0L	←	0	0	1	0	0	0	1	0	置換データレジスタバンク 0 に 22 を設定します。
ROMSUB0H	←	1	0	1	1	1	0	1	1	置換データレジスタバンク 0 に BBH を設定します。

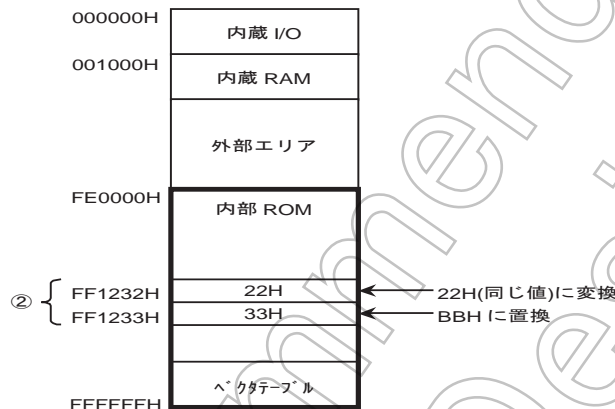


図 11-3 ROM コレクションデータ置換例

③ FF1234H 番地の "44H" を "CCH" に FF1235H 番地の "55H" を "DDH" に置換する場合、次の順序で各レジスタを設定します。

	7	6	5	4	3	2	1	0		
ROMCMP00	←	0	0	1	1	0	1	0	0	アドレス比較レジスタバンク 0 に 34 を設定します。
ROMCMP01	←	0	0	0	1	0	0	1	0	アドレス比較レジスタバンク 0 に 12 を設定します。
ROMCMP02	←	1	1	1	1	1	1	1	1	アドレス比較レジスタバンク 0 に FF を設定します。
ROMSUB0L	←	1	1	0	0	1	1	0	0	置換データレジスタバンク 0 に CC を設定します。
ROMSUB0H	←	1	1	0	1	1	1	0	1	置換データレジスタバンク 0 に DD を設定します。

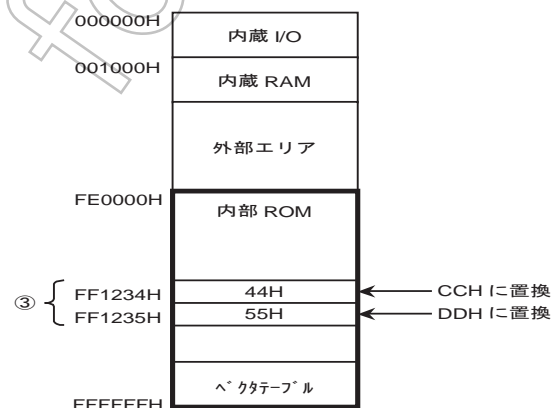


図 11-4 ROM コレクションデータ置換例

④ FF1237H 番地の "77H" を "EEH" に置換、FF1238H 番地の "88H" を "FFH" に置換する場合、次の順序で各レジスタを設定します。(2バンク必要となります。)

	7	6	5	4	3	2	1	0	
ROMCMP00 ←	0	0	1	1	0	1	1	0	アドレス比較レジスタバンク 0 に 36 を設定します。
ROMCMP01 ←	0	0	0	1	0	0	1	0	アドレス比較レジスタバンク 0 に 12 を設定します。
ROMCMP02 ←	1	1	1	1	1	1	1	1	アドレス比較レジスタバンク 0 に FF を設定します。
ROMSUB0L ←	0	1	1	0	0	1	1	0	置換データレジスタバンク 0 に 66 を設定します。
ROMSUB0H ←	1	1	1	0	1	1	1	0	置換データレジスタバンク 0 に EE を設定します。
ROMCMP10 ←	0	0	1	1	1	0	0	0	アドレス比較レジスタバンク 1 に 38 を設定します。
ROMCMP11 ←	0	0	0	1	0	0	1	0	アドレス比較レジスタバンク 1 に 12 を設定します。
ROMCMP12 ←	1	1	1	1	1	1	1	1	アドレス比較レジスタバンク 1 に FF を設定します。
ROMSUB1L ←	1	1	1	1	1	1	1	1	置換データレジスタバンク 1 に FF を設定します。
ROMSUB1H ←	1	0	0	1	1	0	0	1	置換データレジスタバンク 1 に 99 を設定します。

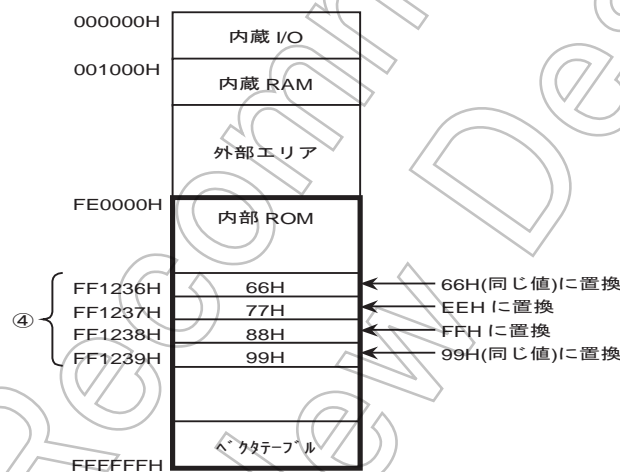


図 11-5 ROM コレクションデータ置換例

11.3.2 割込みジャンプ方式

割込みジャンプ方式は、置換方式で置換するデータにソフトウェア割込み (SWI) の命令コード (1 バイト命令) を使い、SWI による割込みで内蔵 RAM 領域にジャンプさせ、内蔵 RAM 上にあらかじめ読み込んでいたプログラムを実行させる事でプログラム訂正を実現する方法です。

この方式を使用する場合は、本来のマスク ROM を開発する際に、各 SWI のベクタアドレスを内蔵 RAM 領域に設定しておかなければなりません。 ご注意願います。

<動作説明>

アドレス比較レジスタ ROMCMP00~02 に訂正したいプログラムの先頭アドレスを設定します。その先頭アドレスが偶数ならば置換データレジスタ ROMSUB0L に、奇数ならば ROMSUB0H に SWI の命令コード (例 SWI : F9H) を設定します。奇数アドレスの場合は偶数アドレス側に本来のマスク ROM データと同じデータを設定します。

各レジスタ設定後、CPU のアドレスが ROMCMP00~02 の設定値と一致すると、プログラム訂正回路がマスク ROM への RD 出力を禁止し、内部バスに対して SWI 命令コードを出力します。CPU はそのコードをフェッチし、SWI により内蔵 RAM 領域へジャンプしあらかじめ読み込んでいたプログラムを実行します。

内蔵 RAM でのプログラム実行終了後は、SWI 実行の際に退避された PC 値を復帰させたいアドレスに直接書換え、RETI を実行する事でプログラムの訂正が完了します。

下記に設定例を示します。

(例) FF50000H~FF507F のプログラムを訂正したい場合

本来のマスク ROM を開発する前に、SWI のベクタ参照アドレスを内蔵 RAM (001500H) に設定しておきます。

イニシャルルーチンで外部より内蔵 RAM (001500H~0015EFH) へ訂正するプログラムを読み込みます。次に訂正したい内蔵 ROM 領域の先頭番地 (FF5000H) を ROMCMP00~ROMCMP02 に設定、ROMSUB0L に SWI の命令コード "F9H" を設定し、ROMSUB0H に FF5001H 番地のデータと同じ値 "AAH" を設定します。各レジスタ設定後、CPU のアドレスが ROMCMP00~ROMCMP02 の値と一致すると、FF5000H 番地の ROM データが F9H に差し替り SWI を実行する事で内蔵 RAM (001500H) へジャンプします。訂正プログラム実行後、そのプログラムの中で SWI 実行の際に退避した PC 値を (FF5080H) に書換え RETI を実行する事で、プログラム訂正動作が完了します。

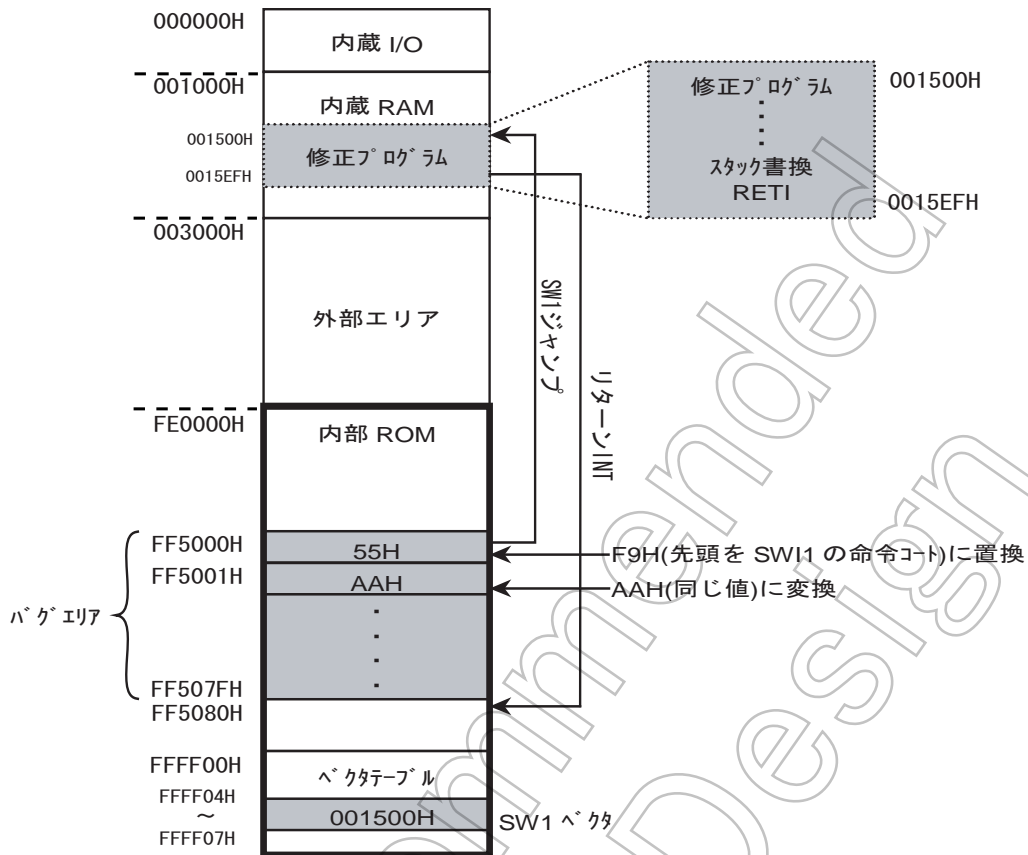


図 11-6 ROM コレクションデータ置換例

第 12 章 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトを内部リセットへ接続することにより、強制的にリセット動作を行うことができます (外部の **RESET** 端子レベルは変化しません)。

12.1 構成

図 12-1 にウォッチドッグタイマのブロック図を示します。

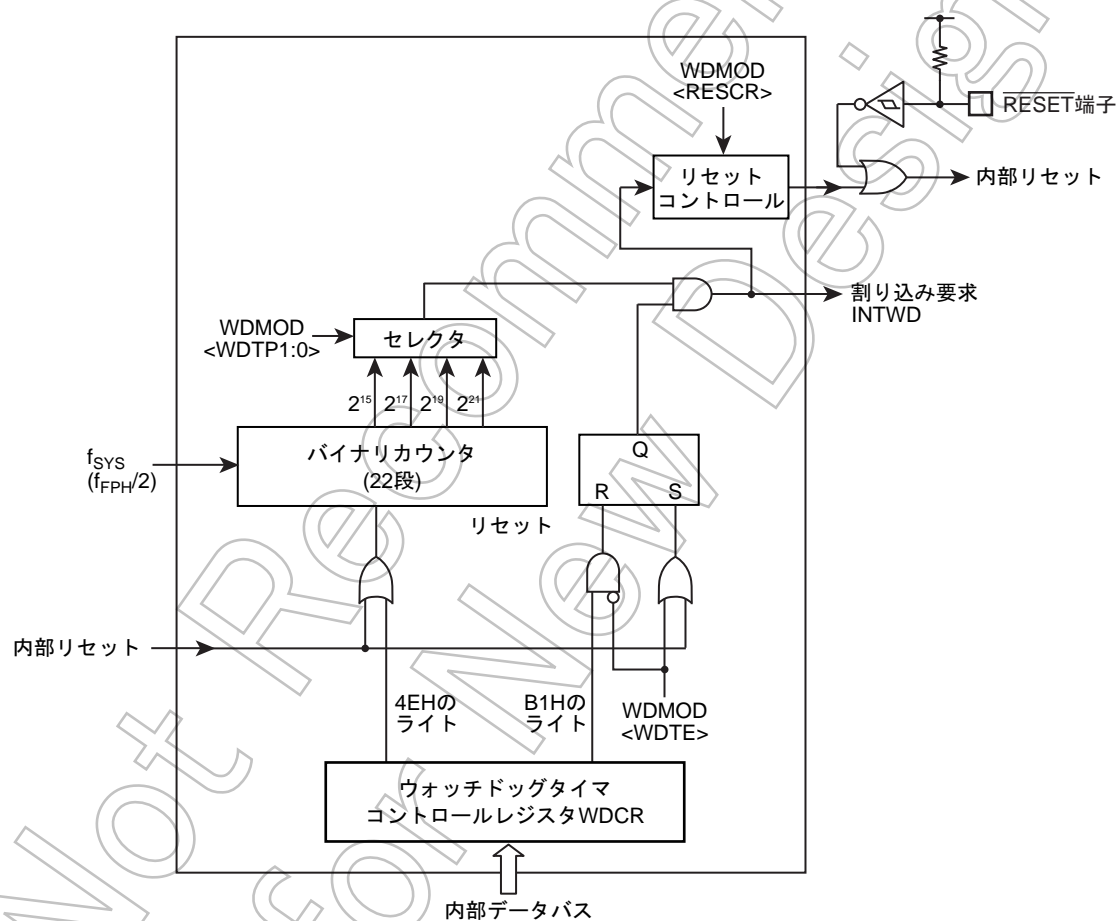


図 12-1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によりウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

12.2 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0> で設定された検出時間後に割り込み INTWDT を発生させるタイマです。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前に "0" にクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバーフローし、INTWDT 割り込みが発生します。CPU は INTWDT 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、IDLE1 モードおよび STOP モード中のウォッチドッグタイマは停止しています。IDLE2 モードでは、WDMOD<I2WDT> の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD<I2WDT> を設定してください。

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} , 2^{17} , 2^{19} および 2^{21} があります。このうちの 1 出力を WDMOD <WDTP1:0> で選択することにより、そのオーバーフロー時に、図 12-2 で示すように、ウォッチドッグタイマ割り込みが発生します。

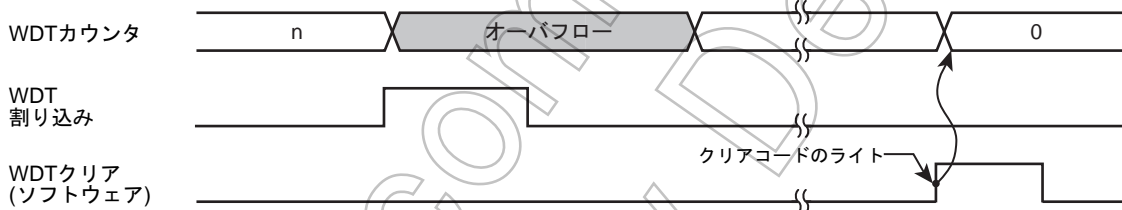


図 12-2 ノーマルモード

また、オーバーフロー時に、チップ自体をリセットすることも選択可能です。この場合、図 12-3 で示すように 32 クロック ($51.2 \mu s @ f_{OSCH} = 20 \text{ MHz}$) の期間、リセットを行います。なお、この場合 (リセットされた場合)、システムクロック f_{SYS} (1 周期 = 1 ステート) は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周したクロック f_{FPH} を基に、それを 2 分周して生成されたものが使われます。

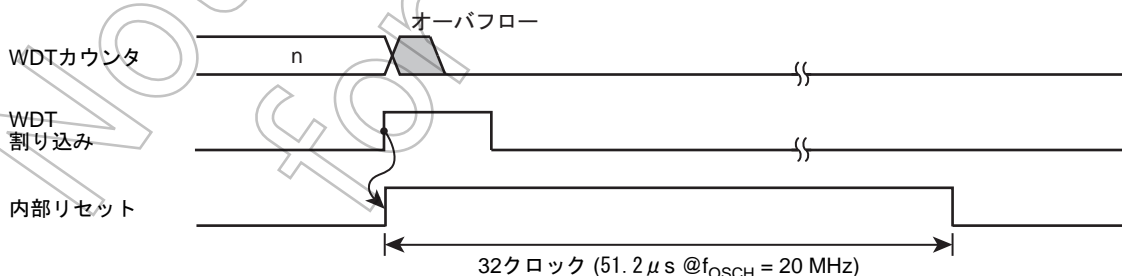


図 12-3 リセットモード

12.3 コントロールレジスタ

ウォッチドッグタイマ WDT は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

12.3.1 ウォッチドッグタイマ モードレジスタ WDMOD

a. ウォッチドッグタイマ検出時間の設定 <WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD<WDTP1:0> = “00” に初期化されます。

ウォッチドッグタイマの検出時間は $2^{15}/f_{SYS}$ [S] です。(システムクロックの数は約 65,536 です。)

b. ウォッチドッグタイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD<WDTE> = “1” に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にクリアするとともに WDCR レジスタにディセーブルコード (B1H) をライトする必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生しにくくなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを “1” にセットするだけでイネーブルとなります。

c. ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により本デバイス自体をリセットするか否かを設定するレジスタです。リセット時 WDMOD<RESCR> = “0” に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

12.3.2 ウォッチドッグタイマ コントロールレジスタ WDCR

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

• ディセーブル制御

WDMOD<WDTE> を “0” にクリアした後、この WDCR レジスタにディセーブルコード (B1H) をライトするとウォッチドッグタイマをディセーブルにすることができます。

WDMOD	←	0	-	-	X	X	-	-	0	WDTE を “0” にクリアします。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード (B1H) をライトします。

• イネーブル制御

WDMOD<WDTE> を “1” にする。

• ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) をライトすると、バイナリカウンタはクリアされ、再カウントします。

WDCR	←	0	1	0	0	1	1	1	0	クリアコード (4EH) をライトします。
------	---	---	---	---	---	---	---	---	---	-----------------------

注 1) ディセーブル制御をする際には一旦クリアコード (4EH) をライトした後ディセーブル制御をしてください。(設定例を参照してください)

注 2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

ウォッチドッグタイマモードレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	WDTE	WDTP1	WDTP0	–	–	I2WDT	RESCR	–
Read/Write	R/W	R/W		–	–	R/W		R/W
リセット後	1	0	0	–	–	0	0	0
機能	WDT 制御 1: 許可	WDT 検出時間の選択 00: $2^{15}/f_{SYS}$ 01: $2^{17}/f_{SYS}$ 10: $2^{19}/f_{SYS}$ 11: $2^{21}/f_{SYS}$				IDLE2 0: 停止 1: 動作	1: リセット 端子に WDT 出力を内部 接続	“0” をライト してください。

ウォッチドッグタイマアウトコントロール

RESCR	0	–
	1	WDT アウトをリセットへ接続

IDLE2 の停止 / 動作

I2WDT	0	停止
	1	動作

ウォッチドッグタイマの検出時間 @fc = 20 MHz, fs = 32.768 kHz

SYSCR1 システム クロック選択 <SYSCK>	SYSCR1 クロック ギア値 <GEAR2:0>	ウォッチドッグタイマ検出時間			
		WDMOD<WDTP1:0>			
		00	01	10	11
1(fs)	xxx	2.0 s	8.0 s	32.0 s	128.0 s
0(fc)	000 (fc)	3.28 ms	13.11 ms	52.43 ms	209.72 ms
	001 (fc/2)	6.55 ms	26.21 ms	104.86 ms	419.43 ms
	010 (fc/4)	13.11 ms	52.43 ms	209.72 ms	838.86 ms
	011 (fc/8)	26.21 ms	104.86 ms	419.43 ms	1677.72 ms
	100 (fc/16)	52.43 ms	209.72 ms	838.86 ms	3355.44 ms

ウォッチドッグタイマの禁止 / 許可制御

WDTE	0	停止
	1	許可

ウォッチドッグタイマコントロールレジスタ

	7	6	5	4	3	2	1	0
Bit symbol	–							
Read/Write	–				W			
リセット後	–							
機能	B1H: WDT ディセーブルコード 4EH: WDT クリアコード							

WDT のディセーブル & クリア

B1H	ディセーブルコード
4EH	クリアコード
上記以外	–

第 13 章 時計用タイマ

時計動作専用のタイマを内蔵しています。

低周波クロックに 32.768 kHz を使用することにより、0.0625 s ごと、0.125 s ごと、0.25 s ごと、0.50 s ごとに割り込みを発生することができます。時計機能を実現できます。

時計用タイマは、低周波発振を行っているすべてのモードで動作可能です。

また、時計用タイマ割り込みにより、各スタンバイモードからの復帰が可能です (STOP を除く)。

13.1 構成

図 13-1 に時計用タイマのブロック図を示します。

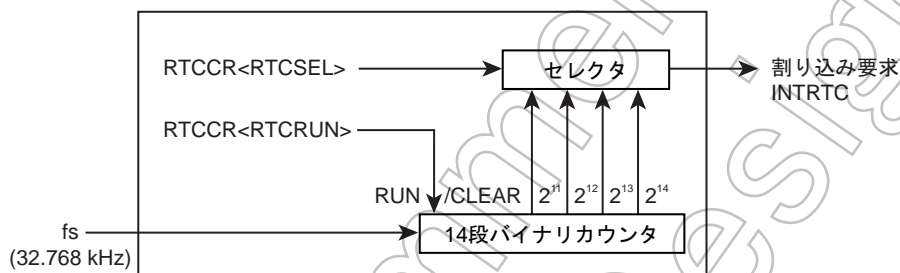


図 13-1 時計用タイマのブロック図

時計用タイマは、時計用タイマコントロールレジスタ (RTCCR) によって制御されます。

下記に時計用タイマコントロールレジスタを示します。

時計用タイマコントロールレジスタ

	7	6	5	4	3	2	1	0
RTCCR (0310H)								
Bit symbol	-	-	-	-	-	RTCSEL1	RTCSEL0	RTCRUN
Read/Write	R/W	-	-	-	-	R/W		R/W
リセット後	0	-	-	-	-	0	0	0
機能	"0" をライトしてください	-	-	-	-	00: 2 ¹⁴ /fs 01: 2 ¹³ /fs 10: 2 ¹² /fs 11: 2 ¹¹ /fs		0: 停止 & クリア 1: 動作

カウント動作

<RTCRUN>	0	1
	停止 & クリア	カウント

割り込み発生周期 (fs = 32.768 kHz)

<RTCSEL1:0>	00	01	10	11
	0.50 s	0.25 s	0.125 s	0.0625 s

第 14 章 電気的特性

14.1 絶対最大定格

項目	記号	端子	規格	単位
電源電圧	V_{CC}		-0.5~6.0	V
入力電圧	V_{IN}		-0.5~ $V_{CC} + 0.5$	V
出力電流 (1 端子当たり)	I_{OL1}	P5,P6,P96,P97	2	mA
出力電流 (1 端子当たり)	I_{OL2}	P0,P1,P2,P3,P4,P7,P8,P90-P95, PA,PB,PZ	5	mA
出力電流 (1 端子当たり)	I_{OH1}	P5,P6,P96,P97	-2	mA
出力電流 (1 端子当たり)	I_{OH2}	P0,P1,P2,P3,P4,P7,P8,P90-P95, PA,PB,PZ	-5	mA
出力電流 (全端子総計)	ΣI_{OL}		80	mA
出力電流 (全端子総計)	ΣI_{OH}		-80	mA
消費電力 ($T_{OPR} = 85^{\circ}\text{C}$)	PD		600	mW
はんだ付け温度 (10 s)	T_{SOLDER}		260	$^{\circ}\text{C}$
保存温度	T_{STG}		-65~150	$^{\circ}\text{C}$
動作温度	T_{OPR}		-40~85	$^{\circ}\text{C}$

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230 $^{\circ}\text{C}$ 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245 $^{\circ}\text{C}$ 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでのはんだ付着率 95% を良品とする

14.2 DC 電気的特性

項目		記号	条件	Min	Typ.	Max	単位		
電源電圧	($V_{CC} = DV_{CC}$) ($V_{SS} = DV_{SS} = 0V$)	V_{CC}	$f_c = 4\sim 20\text{ MHz}$ $f_s = 30\sim 34\text{ kHz}$	4.5		5.5	V		
低レベル 入力電圧	P00~P17(AD0~AD15)	V_{IL}	$V_{CC} = 4.5 - 5.5\text{ V}$	-0.3		0.8	V		
	P20~P27, PZ0~PZ3	V_{IL1}				$0.3 V_{CC}$			
	RESET, NMI, P30~PB3	V_{IL2}				$0.25 V_{CC}$			
	AM0~AM1	V_{IL3}				0.3			
	X1	V_{IL4}				$0.2 V_{CC}$			
高レベル 入力電圧	P00~P17(AD0~AD15)	V_{IH}	$V_{CC} = 4.5 - 5.5\text{ V}$		2.2	$V_{CC} + 0.3$	V		
	P20~P27, PZ0~PZ3	V_{IH1}			$0.7 V_{CC}$				
	RESET, NMI, P30~PB3	V_{IH2}			$0.75 V_{CC}$				
	AM0~AM1	V_{IH3}			$V_{CC} - 0.3$				
	X1	V_{IH4}			$0.8 V_{CC}$				
低レベル出力電圧		V_{OL}	$I_{OL} = 1.6\text{ mA}$ ($V_{CC} = 4.5 - 5.5\text{ V}$)			0.45	V		
高レベル出力電圧		V_{OH}	$I_{OH} = -400\text{ }\mu\text{A}$ ($V_{CC} = 4.5 - 5.5\text{ V}$)	4.2			V		
			$I_{OH} = -1.6\text{ mA}$ ($V_{CC} = 4.5 - 5.5\text{ V}$)	2.4					
入力リーク電流		I_{LI}	$0.0 \leq V_{IN} \leq V_{CC}$		0.02	± 5	μA		
出力リーク電流		I_{LO}	$0.2 \leq V_{IN} \leq V_{CC} - 0.2$		0.05	± 10			
パワーダウン電圧 (@STOP, RAM バックアップ)		V_{STOP}	$V_{IL2} = 0.2 V_{CC}$ $V_{IH2} = 0.8 V_{CC}$	2.0		5.5	V		
RESET ブルアップ抵抗		R_{RST}	$V_{CC} = 4.5 - 5.5\text{ V}$	50		230	$\text{k}\Omega$		
端子容量		C_{IO}	$f_c = 1\text{ MHz}$			10	pF		
シュミット幅 RESET, NMI, INT0		V_{TH}	$V_{CC} = 4.5 - 5.5\text{ V}$	0.4	1.0		V		
プログラマブルブルアップ抵抗		R_{KH}	$V_{CC} = 4.5 - 5.5\text{ V}$	50		230	$\text{k}\Omega$		
NORMAL 注2)		I_{CC}	$V_{CC} = 4.5 - 5.5\text{ V}$ $f_c = 20\text{ MHz}$		18	26	mA		
IDLE2				6.5	14.5				
IDLE1				2.5	7.5				
SLOW 注2)					$V_{CC} = 4.5 - 5.5\text{ V}$ $f_s = 32.768\text{ kHz}$		48	75	μA
IDLE2				28	55				
IDLE1				24	47				
STOP			$V_{CC} = 4.5 - 5.5\text{ V}$		0.5	10	μA		

注1) Typ. 値は、特に指定のない限り $T_{OPR} = 25^\circ\text{C}$, $V_{CC} = 5.0\text{ V}$ の値です。

注2) I_{CC} NORMAL, SLOW の測定条件：すべて動作、バス端子の $CL = 30\text{ pF}$ 、バス以外の出力端子は開放、入力端子はレベル固定。

14.3 AC 電気的特性

14.3.1 $V_{CC} = 5.0 V \pm 10\%$

No.	項目	記号	計算式		$f_{FPH} = 20\text{MHz}$		単位
			Min	Max	Min	Max	
1	f_{FPH} 周期 (= x)	t_{FPH}	50.0	31250	50.0		ns
2	A0~A15 有効 → ALE 立ち下がり	t_{AL}	$0.5x - 15$		10		ns
3	ALE 立ち下がり → A0~A15 保持	t_{LA}	$0.5x - 15$		10		ns
4	ALE High パルス幅	t_{LL}	$x - 20$		30		ns
5	ALE 立ち下がり → $\overline{RD}/\overline{WR}$ 立ち下がり	t_{LC}	$0.5x - 20$		5		ns
6	\overline{RD} 立ち上がり → ALE 立ち上がり	t_{CLR}	$0.5x - 15$		10		ns
7	\overline{WR} 立ち上がり → ALE 立ち上がり	t_{CLW}	$x - 15$		35		ns
8	A0~A15 有効 → $\overline{RD}/\overline{WR}$ 立ち下がり	t_{ACL}	$x - 25$		25		ns
9	A0~A23 有効 → $\overline{RD}/\overline{WR}$ 立ち下がり	t_{ACH}	$1.5x - 50$		25		ns
10	\overline{RD} 立ち上がり → A0~A23 保持	t_{CAR}	$0.5x - 20$		5		ns
11	\overline{WR} 立ち上がり → A0~A23 保持	t_{CAW}	$x - 20$		30		ns
12	A0~A15 有効 → D0~D15 入力	t_{ADL}		$3.0x - 45$		105	ns
13	A0~A23 有効 → D0~D15 入力	t_{ADH}		$3.5x - 35$		140	ns
14	\overline{RD} 立ち下がり → D0~D15 入力	t_{RD}		$2.0x - 40$		60	ns
15	\overline{RD} Low パルス幅	t_{RR}	$2.0x - 20$		80		ns
16	\overline{RD} 立ち上がり → D0~D15 保持	t_{HR}	0		0		ns
17	\overline{RD} 立ち上がり → A0~A15 出力	t_{RAE}	$x - 15$		35		ns
18	\overline{WR} Low パルス幅	t_{WW}	$1.5x - 20$		55		ns
19	D0~D15 有効 → \overline{WR} 立ち上がり	t_{DW}	$1.5x - 50$		25		ns
20	\overline{WR} 立ち上がり → D0~D15 保持	t_{WD}	$x - 15$		35		ns
21	A0~A23 有効 → \overline{WAIT} 入力 ((1+N) WAIT モード)	t_{AWH}		$3.5x - 90$		85	ns
22	A0~A15 有効 → \overline{WAIT} 入力 ((1+N) WAIT モード)	t_{AWL}		$3.0x - 80$		70	ns
23	$\overline{RD}/\overline{WR}$ 立ち下がり → \overline{WAIT} 保持 ((1+N) WAIT モード)	t_{CW}	$2.0x + 0$		100		ns
24	A0~A23 有効 → ポート入力	t_{APH}		$3.5x - 120$		55	ns
25	A0~A23 有効 → ポート保持	t_{APH2}	$3.5x$		175		ns
26	A0~A23 有効 → ポート有効	t_{AP}		$3.5x + 100$		275	ns

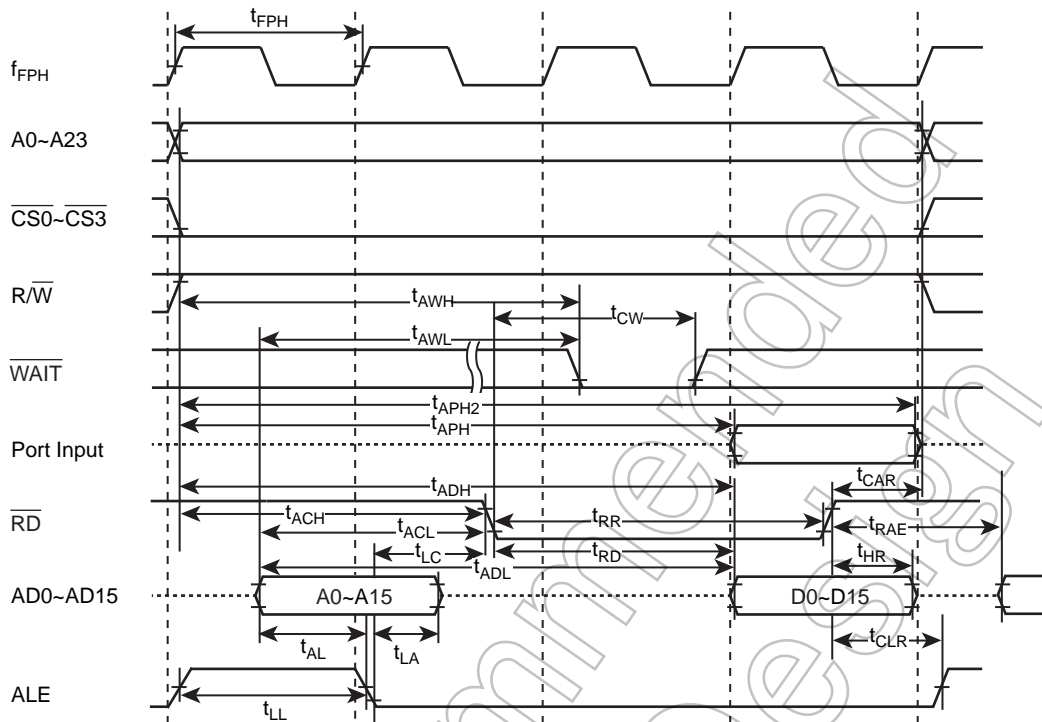
AC 測定条件

- 出力レベル : High $2.2 \times V_{CC}$ / Low $0.8 \times V_{CC}$, CL = 50 pF
- 入力レベル : High $0.9 \times V_{CC}$ / Low $0.1 \times V_{CC}$

注) 表中の「x」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用するシステムクロック f_{SYS} 周期の 1/2 です。

クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。

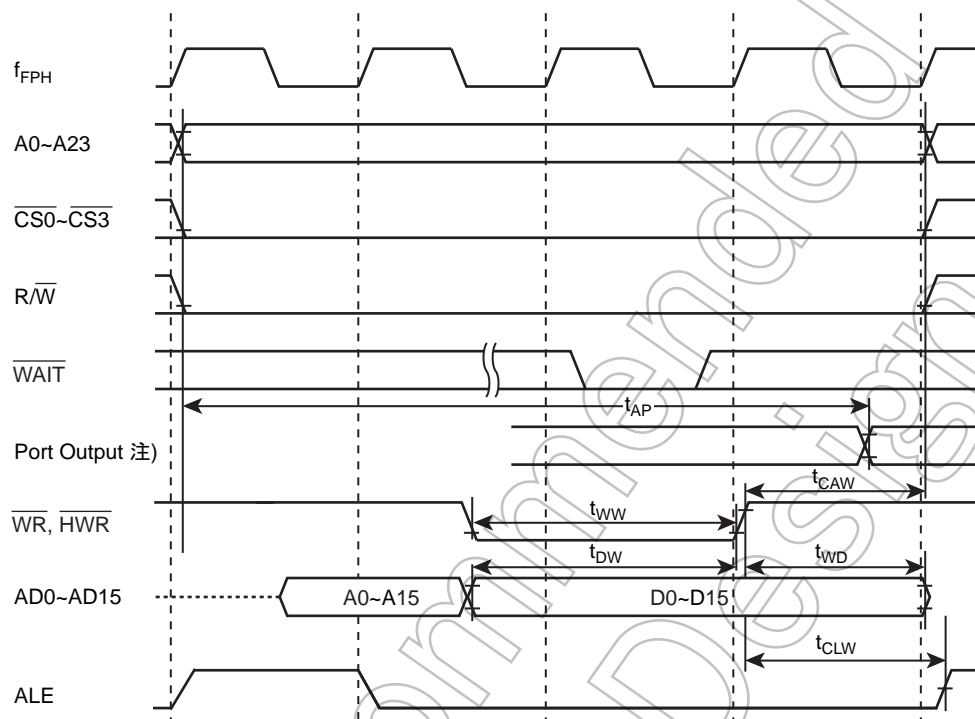
14.3.2 リードサイクル



注) ポートのデータリードは内蔵エリアへのアクセスとなるため、外部端子の制御信号 \overline{RD} 、 \overline{CS} 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。
 また、上記ポート入出カタイミグおよび AC 特性は、代表的なタイミグを示しています。詳細は弊社営業担当までお問い合わせください。

図 14-1 リードサイクル

14.3.3 ライトサイクル



注) ポートのデータライトは内蔵エリアへのアクセスとなるため、外部端子の制御信号 \overline{WR} , \overline{CS} 信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。
また、上記ポート入出タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

図 14-2 ライトサイクル

14.4 AD 変換特性

$$AV_{CC} = V_{CC}, AV_{SS} = V_{SS}$$

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧 (+)	V_{REFH}	$V_{CC} = 4.5 - 5.5 V$	$V_{CC} - 1.5 V$	V_{CC}	V_{CC}	V
アナログ基準電圧 (-)	A_{VSS}		V_{SS}	V_{SS}	$V_{SS} + 0.2 V$	V
アナログ入力電圧	V_{AIN}		A_{VSS}		V_{REFH}	V
アナログ基準電圧電源電流 <VREFON> = 1	I_{REF} ($A_{VSS} = 0 V$)			1.44	2.00	mA
アナログ基準電圧電源電流 <VREFON> = 0				0.02	5.0	μA
総合誤差 (量子化誤差を含まず)	-			± 1.0	± 4.0	LSB

注 1) $1LSB = (V_{REFH} - A_{VSS})/1024 [V]$

注 2) 最低動作周波数について

AD コンバータの動作は、 f_c (高速発振器) 使用時のみ保証します (f_s では保証しません)。ただし、 f_c 使用時にクロックギアで選択されたクロックの周波数が 4 MHz 以上で保証します。

注 3) AV_{CC} 端子より流れる電源電流は、 V_{CC} 端子の電源電流 (I_{CC}) に含まれます。

14.5 シリアルチャネルタイミング -I/O インタフェースモード

14.5.1 SCLK 入力モード

項目	記号	計算式		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	$16x$		800		1000		ns
出力データ → SCLK 立ち上がり / 立ち下がり *	t_{OSS}	$t_{SCY}/2 - 4x - 85$ ($V_{CC} = 5V \pm 10\%$)		115		165		ns
SCLK 立ち上がり / 立ち下がり * → 出力データ保持	t_{OHS}	$t_{SCY}/2 + 2x + 0$		500		625		ns
SCLK 立ち上がり / 立ち下がり * → 入力データ保持	t_{HSR}	$3x + 10$		160		198		ns
SCLK 立ち上がり / 立ち下がり * → 有効データ入力	t_{SRD}		$t_{SCY} - 0$		800		1000	ns
有効データ入力 → SCLK 立ち上がり / 立ち下がり *	t_{RDS}	0		0		0		ns

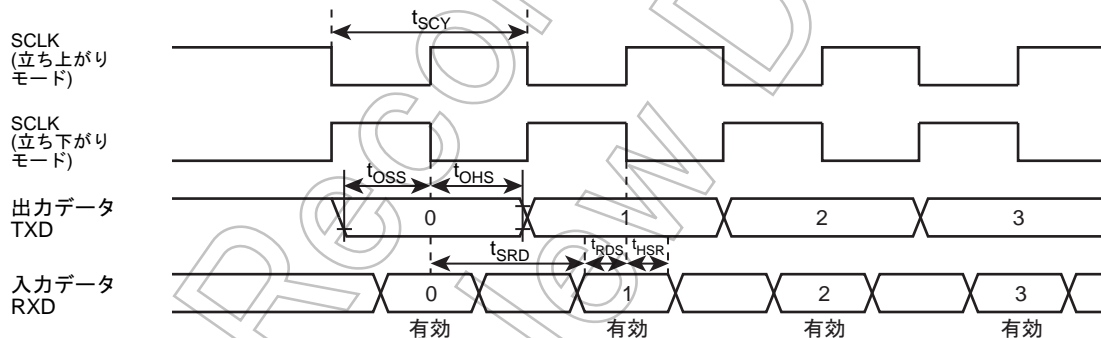
注) 表中の「x」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。

クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。

14.5.2 SCLK 出力モード

項目	記号	計算式		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16x	8192x	0.8	410	1.0	512	μs
出力データ → SCLK 立ち上がり / 立ち下がり *	t_{OSS}	$t_{SCY}/2 - 40$		360		460		ns
SCLK 立ち上がり / 立ち下がり * → 出力データ保持	t_{OHS}	$t_{SCY}/2 - 40$		360		460		ns
SCLK 立ち上がり / 立ち下がり * → 入力データ保持	t_{HSR}	0		0		0		ns
SCLK 立ち上がり / 立ち下がり * → 有効データ入力	t_{SRD}		$t_{SCY} - 1x - 90$		660		847	ns
有効データ入力 → SCLK 立ち上がり / 立ち下がり *	t_{RDS}	$1x + 90$		140		153		ns

- 注 1) *: SCLK 立ち上がり / 立ち下がり ……
SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。
- 注 2) 20 MHz, 16 MHz の計算値は、 $t_{SCY} = 16x$ のときの値です。
- 注 3) 表中の「x」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。



14.6 イベントカウンタ

TA0IN, TA4IN, TB0IN0, TB0IN1, TB1IN0, TB1IN1, TB2IN0, TB2IN1, TB3IN0, TB3IN1, TB4IN0, TB4IN1

項目	記号	計算式		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック周期	t_{VCK}	$8x + 100$		500		600		ns
クロック低レベルパルス幅	t_{VCKL}	$4x + 40$		240		290		ns
クロック高レベルパルス幅	t_{VCKH}	$4x + 40$		240		290		ns

- 注) 表中の「x」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。
クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。

14.7 割り込み、キャプチャ

14.7.1 NMI, INTO 割り込み

項目	記号	計算式		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
NMI, INTO 低レベルパルス幅	t_{INTAL}	$4x + 40$		240		290		ns
NMI, INTO 高レベルパルス幅	t_{INTAH}	$4x + 40$		240		290		ns

注) 表中の「x」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。

14.7.2 INT1~INT10 割り込み、キャプチャ

INT1~INT10 入力パルス幅はシステムクロック選択、およびプリスケアラ用クロック選択により異なります。下記に動作クロック別パルス幅を示します。

システム クロック選択 <SYSCK>	プリスケアラ用 クロック選択 <PRCK1>	t_{INTBL} (INT1 ~ INT10 低レベルパルス幅)		t_{INTBH} (INT1 ~ INT10 高レベルパルス幅)		単位
		計算式	$f_{\text{FPH}} = 20\text{MHz}$	計算式	$f_{\text{FPH}} = 20\text{MHz}$	
		Min	Min	Min	Min	
0 (fc)	0 (f_{FPH})	$8x + 100$	500	$8x + 100$	500	ns
	1 ($fc/16$)	$128xc + 0.1$	6.5	$128xc + 0.1$	6.5	
1 (fc)	0 (f_{FPH})	$8x + 0.1$	244.3	$8x + 0.1$	244.3	μs

注 1) xc は、高速発振器測のクロック fc の周期を示します。

注 2) 表中の「x」は、クロック f_{FPH} の周期を示します。 f_{FPH} の周期は、CPU コアで使用されるシステムクロック f_{SYS} 周期の 1/2 です。

クロック f_{FPH} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。

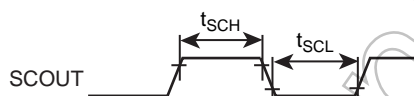
14.8 SCOUT 端子 AC 特性

項目	記号	計算式		20 MHz		16 MHz		条件	単位
		Min	Max	Min	Max	Min	Max		
低レベルパルス幅	t_{SCH}	$0.5T - 15$		10		16		$V_{CC} \geq 4.5V$	ns
高レベルパルス幅	t_{SCL}	$0.5T - 15$		10		16		$V_{CC} \geq 4.5V$	ns

注) 表中の「T」は SCOUT 出力波形の周期を示します。

測定条件

・出力レベル: High 0.7 V_{CC} /Low 0.3 V_{CC} , CL = 10pF



14.9 フラッシュ特性

14.9.1 書き込み特性

($V_{SS} = 0V$)

項目	条件	Min	Typ.	Max.	単位
フラッシュメモリ書き替え保証回数	$V_{SS} = 0V$ $f_c = 4 \sim 20 \text{ MHz}$ $T_{OPR} = -10 \sim 40^\circ\text{C}$	—	—	100	回

14.10 推奨発振回路

TMP91CW60 は、下記の発振子メーカーにて評価されております。発振子の選択時にご活用ください。

注) 発振端子のトータル負荷容量は、接続する外付け (または内蔵) 負荷容量 C_1 , C_2 と、実装基板上の浮遊容量の和になります。 C_1 , C_2 の定数を使用した場合でも、実装基板によりトータル負荷容量が異なり、誤動作する可能性があります。基板設計の際は発振回路周辺のパターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を行うことを推奨いたします。

14.10.1 発振子接続回路例

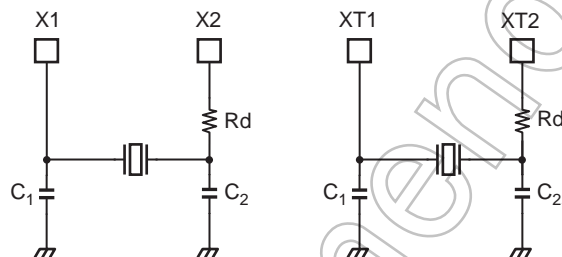


図 14-3 高周波発振器と低周波発振器の接続図

14.10.2 TMP91CW60 推奨セラミック発振子

本製品は (株) 村田製作所製セラミック発振子を推奨しております。

詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.murata.co.jp>

第 15 章 特殊機能レジスタ一覧表

特殊機能レジスタ (SFR ; Special Function Register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~000FFFH の 4K バイトのアドレス空間に割り付けられています。

1. 入出力ポート
2. 入出力ポート制御
3. 割り込み制御
4. チップセレクト / ウェイトコントローラ
5. クロック制御
6. 8 ビットタイマ
7. 16 ビットタイマ
8. UART / シリアルチャネル
9. I²C バス
10. AD コンバータ
11. ウォッチドッグタイマ
12. 時計用タイマ
13. ROM コレクション

Not Recommended
for New Design

表 15-1 SFR アドレスマップ (ポート, INTC, CS/WAIT)

[1]ポート

アドレス	レジスタ名
0000H	P0
1H	P1
2H	P0CR
3H	
4H	P1CR
5H	P1FC
6H	P2
7H	
8H	P2CR
9H	P2FC
AH	
BH	
CH	P3
DH	P3FC2
EH	P3CR
FH	P3FC

アドレス	レジスタ名
0010H	P4
1H	P4FC2
2H	P4CR
3H	P4FC
4H	P5
5H	
6H	P5CR
7H	P5FC
8H	P6
9H	
AH	P6CR
BH	P6FC
CH	P7
DH	
EH	P7CR
FH	P7FC

アドレス	レジスタ名
0020H	P8
1H	
2H	P8CR
3H	P8FC
4H	P9
5H	
6H	P9CR
7H	P9FC
8H	PA
9H	
AH	PACR
BH	PAFC
CH	PB
DH	PBFC2
EH	PBCR
FH	PBFC

[2]INTC

アドレス	レジスタ名
0030H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	ODE

アドレス	レジスタ名
0070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	PZ
EH	PZCR
FH	PZFC

アドレス	レジスタ名
0080H	DMA0V
1H	DMA1V
2H	DMA2V
3H	DMA3V
4H	
5H	
6H	
7H	
8H	INTCLR
9H	DMAR
AH	DMAB
BH	
CH	IIMC
DH	
EH	
FH	

[3]CS/WAIT

アドレス	レジスタ名
0090H	INTE0AD
1H	INTE12
2H	INTE34
3H	INTE56
4H	INTE78
5H	INTE910
6H	INTEA01
7H	INTEA23
8H	INTEA45
9H	INTETB0
AH	INTETB1
BH	INTETB2
CH	INTETB3
DH	INTETB4
EH	INTETB01V
FH	INTETB23V

アドレス	レジスタ名
00A0H	INTETB4VRTC
1H	INTES0
2H	INTES1
3H	INTES2
4H	INTESBI01
5H	INTETC01
6H	INTETC23
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
00C0H	B0CS
1H	B1CS
2H	B2CS
3H	B3CS
4H	
5H	
6H	
7H	BEXCS
8H	MSAR0
9H	MAMR0
AH	MSAR1
BH	MAMR1
CH	MSAR2
DH	MAMR2
EH	MSAR3
FH	MAMR3

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

表 15-2 SFR アドレスマップ (CGEAR, TMRA, TMRB)

[4] CGEAR

アドレス	レジスタ名
00E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] TMRA

アドレス	レジスタ名
0100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

[6] TMRB

アドレス	レジスタ名
0110H	TA45RUN
1H	
2H	TA4REG
3H	TA5REG
4H	TA45MOD
5H	TA5FFCR
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
0180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

アドレス	レジスタ名
0190H	TB1RUN
1H	
2H	TB1MOD
3H	TB1FFCR
4H	
5H	
6H	
7H	
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

アドレス	レジスタ名
01A0H	TB2RUN
1H	
2H	TB2MOD
3H	TB2FFCR
4H	
5H	
6H	
7H	
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

アドレス	レジスタ名
01B0H	TB3RUN
1H	
2H	TB3MOD
3H	TB3FFCR
4H	
5H	
6H	
7H	
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

アドレス	レジスタ名
01C0H	TB4RUN
1H	
2H	TB4MOD
3H	TB4FFCR
4H	
5H	
6H	
7H	
8H	TB4RG0L
9H	TB4RG0H
AH	TB4RG1L
BH	TB4RG1H
CH	TB4CP0L
DH	TB4CP0H
EH	TB4CP1L
FH	TB4CP1H

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

表 15-3 SFR アドレスマップ (UART/SIO, I²C, AD, WDT, RTC, ROMC)

[7] UART/SIO

アドレス	レジスタ名
0200H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	

[8] I²C

アドレス	レジスタ名
0240H	SBI0CR1
1H	SBI0DBR
2H	I2C0AR
3H	SBI0CR2/SBI0SR
4H	SBI0BR
5H	
6H	
7H	SBI0CR0
8H	SBI1CR1
9H	SBI1DBR
AH	I2C1AR
BH	SBI1CR2/SBI1SR
CH	SBI1BR
DH	
EH	
FH	SBI1CR0

[9] 10 ビット ADC

アドレス	レジスタ名
02B0H	ADCCR1
1H	ADCCR2
2H	ADCDRL
3H	ADCDRH
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[10] WDT

アドレス	レジスタ名
0300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[11] 時計用タイマ

アドレス	レジスタ名
0310H	RTCCR
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[12] ROM コレ

アドレス	レジスタ名
0400H	ROMCMP00
1H	ROMCMP01
2H	ROMCMP02
3H	
4H	ROMSUB0L
5H	ROMSUB0H
6H	
7H	
8H	ROMCMP10
9H	ROMCMP11
AH	ROMCMP12
BH	
CH	ROMSUB1L
DH	ROMSUB1H
EH	
FH	

アドレス	レジスタ名
0410H	ROMCMP20
1H	ROMCMP21
2H	ROMCMP22
3H	
4H	ROMSUB2L
5H	ROMSUB2H
6H	
7H	
8H	ROMCMP30
9H	ROMCMP31
AH	ROMCMP32
BH	
CH	ROMSUB3L
DH	ROMSUB3H
EH	
FH	

アドレス	レジスタ名
0420H	ROMCMP40
1H	ROMCMP41
2H	ROMCMP42
3H	
4H	ROMSUB4L
5H	ROMSUB4H
6H	
7H	
8H	ROMCMP50
9H	ROMCMP51
AH	ROMCMP52
BH	
CH	ROMSUB5L
DH	ROMSUB5H
EH	
FH	

注) レジスタ名の割り付けられていないアドレスにはアクセスしないでください。

(1) 入出力ポート

記号	名称	アドレス	7	6	5	4	3	2	1	0
P0	Port 0	00H	P07	P06	P05	P04	P03	P02	P01	P00
			R/W							
			外部端子データ (出力ラッチレジスタは不定となります。)							
P1	Port 1	01H	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			外部端子データ (出力ラッチレジスタは0にクリアされます。)							
P2	Port 2	06H	P27	P26	P25	P24	P23	P22	P21	P20
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
P3	Port 3	0CH	-	-	-	-	P33	P32	P31	P30
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
P4	Port 4	10H	-	-	-	P44	P43	P42	P41	P40
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
			0 (出力ラッチレジスタ): プルアップ抵抗 OFF 1 (出力ラッチレジスタ): プルアップ抵抗 ON							
P5	Port 5	14H	P57	P56	P55	P54	P53	P52	P51	P50
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
P6	Port 6	18H	P67	P66	P65	P64	P63	P62	P61	P60
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
P7	Port 7	1CH	-	-	P75	P74	P73	P72	P71	P70
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
P8	Port 8	20H	P87	P86	P85	P84	P83	P82	P81	P80
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
P9	Port 9	24H	P97	P96	P95	P94	P93	P92	P91	P90
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
PA	Port A	28H	-	-	-	-	PA3	PA2	PA1	PA0
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
PB	Port B	2CH	-	-	-	-	PB3	PB2	PB1	PB0
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
PZ	Port Z	7DH	-	-	-	-	PZ3	PZ2	PZ1	PZ0
			R/W							
			外部端子データ (出力ラッチレジスタは1にセットされます。)							
			0: プルアップ抵抗 OFF 1: プルアップ抵抗 ON							
									出力モード	

(2) 入出力ポート制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
P0CR	Port 0 control	02H (RMW 禁)	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力 (外部アクセス時は AD7~AD0 になり、このレジスタは 0 にクリアされます。)							
P1CR	Port 1 control	04H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
			<<P1FC の欄を参照 >>							
P1FC	Port 1 function	05H (RMW 禁)	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
			W							
			0	0	0	0	0	0	0	0
			P1FC/P1CR = 00: 入力ポート, 01: 出力ポート, 10: AD15~AD8, 11: A15~A8							
P2CR	Port 2 control	08H (RMW 禁)	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
			W							
			0	0	0	0	0	0	0	0
			<<P2FC の欄を参照 >>							
P2FC	Port 2 function	09H (RMW 禁)	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
			W							
			0	0	0	0	0	0	0	0
			P2FC/P2CR = 00: 入力ポート, 01: 出力ポート, 10: A7~A0, 11: A23~A16							
P3CR	Port 3 control	0EH (RMW 禁)	-	-	-	-	P33C	P32C	P31C	P30C
			W							
			-	-	-	-	0	0	0	0
			-<<P3FC の欄を参照 >>				<<P3FC2 の欄を参照 >>			
P3FC	Port 3 function	0FH (RMW 禁)	-	-	-	-	P33F	P32F	P31F	P30F
			W							
			-	-	-	-	0	0	0	0
			-<<P3FC2 の欄を参照 >>				P33F/ P33C= 00: 入力 01: 出力 10: reserved 11: TB3OU T1			
P3FC2	Port 3 function 2	0DH (RMW 禁)	-	-	-	-	-	-	P31F2	P30F2
			W							
			-	-	-	-	-	-	0	0
			-<<P3FC2 の欄を参照 >>				P31F2/ P31F/ P31C= 000: 入力 001: 出力 010: TB3IN1 /INT4 101: SCL0			
-<<P3FC2 の欄を参照 >>				P30F2/ P30F/ P30C= 000: 入力 001: 出力 010: TB3IN0 /INT3 101: SDA0						

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P4CR	Port 4 control	12H (RMW 禁)	-	-	-	P44C	P43C	P42C	P41C	P40C	
			-	-	-	W					
			-	-	-	0	0	0	0	0	
			-	-	-	<<P4FC2 の欄を参照>>					
P4FC	Port 4 function	13H (RMW 禁)	-	-	-	P44F	P43F	P42F	P41F	P40F	
			-	-	-	W					
			-	-	-	0	0	0	0	0	
			-	-	-	<<P4FC2 の欄を参照>>					
P4FC2	Port 4 function 2	11H (RMW 禁)	-	-	-	-	P43F2	-	P41F2	P40F2	
			-	-	-	-	W	-	W		
			-	-	-	-	0	-	0	0	
			-	-	-	P42F,P42C= 00: 入力 ポート 01: 出力 ポート 11:ALE	P43F2,P43F ,P43C= 000: 入力 ポート 001: 出力 ポート 011:CS3 101:SCLK2	P42F,P42C= 00: 入力 ポート 01: 出力 ポート 11:CS2	P41F2,P41F ,P41C = 000: 入力 ポート 001: 出力 ポート 011:CS1 101:TXD2	P40F2,P40F ,P40C = 000: 入力 ポート 001: 出力 ポート 011: CS0 101: SCOUT	
P5CR	Port 5 control	16H (RMW 禁)	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C	
			W								
			0	0	0	0	0	0	0	0	
			0: 入力 1: 出力								
P5FC	Port 5 function	17H (RMW 禁)	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F	
			W								
			0	0	0	0	0	0	0	0	
			P57 入力 0: 禁止 1: 許可	P56 入力 0: 禁止 1: 許可	P55 入力 0: 禁止 1: 許可	P54 入力 0: 禁止 1: 許可	P53 入力 0: 禁止 1: 許可	P52 入力 0: 禁止 1: 許可	P51 入力 0: 禁止 1: 許可	P50 入力 0: 禁止 1: 許可	
P6CR	Port 6 control	1AH (RMW 禁)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C	
			W								
			0	0	0	0	0	0	0	0	
			0: 入力 1: 出力								
P6FC	Port 6 function	1BH (RMW 禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F	
			W								
			0	0	0	0	0	0	0	0	
			P67 入力 0: 禁止 1: 許可	P66 入力 0: 禁止 1: 許可	P65 入力 0: 禁止 1: 許可	P64 入力 0: 禁止 1: 許可	P63 入力 0: 禁止 1: 許可	P62 入力 0: 禁止 1: 許可	P61 入力 0: 禁止 1: 許可	P60 入力 0: 禁止 1: 許可	
P7CR	Port 7 control	1EH (RMW 禁)	-	-	P75C	P74C	P73C	P72C	P71C	P70C	
			-	-	W						
			-	-	0	0	0	0	0	0	
			0: 入力 1: 出力								
P7FC	Port 7 function	1FH (RMW 禁)	-	-	P75F	P74F	-	P72F	P71F	-	
			-	-	W			-	W		-
			-	-	0	0	-	0	0	-	
			-	-	0: ポート 1: INT0	0: ポート 1: TA5OUT	-	0: ポート 1: TA3OUT	0: ポート 1: TA1OUT	-	

記号	名称	アドレス	7	6	5	4	3	2	1	0
P8CR	Port 8 control	22H (RMW 禁)	P87C	P86C	P85C	P84C	P83C	P82C	P81C	P80C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P8FC	Port 8 function	23H (RMW 禁)	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
			W							
			0	0	0	0	0	0	0	0
			0: ポート 1: TB1OUT1	0: ポート 1: TB1OUT0	0: ポート 1: TB1IN1, INT8 入力	0: ポート 1: TB1IN0, INT7 入力	0: ポート 1: TB0OUT1	0: ポート 1: TB0OUT0	0: ポート 1: TB0IN1, INT6 入力	0: ポート 1: TB0IN0, INT5 入力
P9CR	Port 9 control	26H (RMW 禁)	P97C	P96C	P95C	P94C	P93C	P92C	P91C	P90C
			W							
			1	1	0	0	0	0	0	0
			0: 入力 1: 出力							
P9FC	Port 9 function	27H (RMW 禁)	P97F	P96F	P95F	-	P93F	P92F	-	P90F
			W		-	W		-	W	
			0	0	0	-	0	0	-	0
			0: ポート 禁止 1: ポート 許可	0: ポート 禁止 1: ポート 許可	0: ポート 1: SCLK1 出力	-	0: ポート 1: TXD1 出力	0: ポート 1: SCLK0 出力	-	0: ポート 1: TXD0 出力
PACR	Port A control	2AH (RMW 禁)	-	-	-	-	PA3C	PA2C	PA1C	PA0C
			W							
			-	-	-	-	0	0	0	0
			0: 入力 1: 出力							
PAFC	Port A function	2BH (RMW 禁)	-	-	-	-	PA3F	PA2F	PA1F	PA0F
			W							
			-	-	-	-	0	0	0	0
			-	-	-	-	0: ポート 1: TB2OUT1	0: ポート 1: TB2OUT0	0: ポート 1: TB2IN1, INT2 入力	0: ポート 1: TB2IN0, INT1 入力
PBCR	Port B control	2EH (RMW 禁)	-	-	-	-	PB3C	PB2C	PB1C	PB0C
			W							
			-	-	-	-	0	0	0	0
			<<PBFC2 の欄を参照 >>							
PBFC	Port B function	2FH (RMW 禁)	-	-	-	-	PB3F	PB2F	PB1F	PB0F
			W							
			-	-	-	-	0	0	0	0
			<<PBFC2 の欄を参照 >>							
PBFC2	Port B function 2	2DH (RMW 禁)	-	-	-	-	-	-	PB1F2	PB0F2
			W							
			-	-	-	-	-	-	0	0
			-	-	-	-	PB3F, PB3C = 00: 入力 ポート 01: 出力 ポート 11: TB4OUT 1	PB2F, PB2C = 00: 入力 ポート 01: 出力 ポート 11: TB4OUT 0	PB1F2, PB1F, PB1C = 00: 入力 ポート 001: 出力 ポート 010: TB4IN1 /INT10 101: SCL1	PB0F2, PB0F, PB0C = 00: 入力 ポート 001: 出力 ポート 010: TB4IN0 /INT9 101: SDA1

記号	名称	アドレス	7	6	5	4	3	2	1	0	
PZCR	Port Z control	7EH (RMW 禁)	-	-	-	-	PZ3C	PZ2C	-	-	
			-	-	-	-	W		-	-	
			-	-	-	-	0	0	-	-	
			-	-	-	-	0: 入力 1: 出力		-	-	
PZFC	Port Z function	7FH (RMW 禁)	-	-	-	-	PZ3F	PZ2F	PZ1F	PZ0F	
			-	-	-	-	W				
			-	-	-	-	0	0	0	0	
			-	-	-	-	0: ポート 1: R/W	0: ポート 1: HWR	0: ポート 1: WR	0: ポート 1: RD	
ODE	Open-drain control register	3FH	-	ODEB1	ODEB0	ODE93	ODE90	ODE41	ODE31	ODE30	
			-	R/W							
			-	0	0	0	0	0	0	0	
			-	0: CMOS 出力 1: オープンドレイン出力							

Not Recommended for New Design

(3) 割り込み制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	Interrupt enable 0 & AD	90H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTAD	割り込み要求レベル			1: INT0	割り込み要求レベル		
INTE12	Interrupt enable 2 / 1	91H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT2	割り込み要求レベル			1: INT1	割り込み要求レベル		
INTE34	Interrupt enable 4 / 3	92H	INT4				INT3			
			I4C	I4M2	I4M1	I4M0	I3C	I3M2	I3M1	I3M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT4	割り込み要求レベル			1: INT3	割り込み要求レベル		
INTE56	Interrupt enable 6 / 5	93H	INT6				INT5			
			I6C	I6M2	I6M1	I6M0	I5C	I5M2	I5M1	I5M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT6	割り込み要求レベル			1: INT5	割り込み要求レベル		
INTE78	Interrupt enable 8 / 7	94H	INT8				INT7			
			I8C	I8M2	I8M1	I8M0	I7C	I7M2	I7M1	I7M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT8	割り込み要求レベル			1: INT7	割り込み要求レベル		
INTE910	Interrupt enable 10 / 9	95H	INT10				INT9			
			I10C	I10M2	I10M1	I10M0	I9C	I9M2	I9M1	I9M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT10	割り込み要求レベル			1: INT9	割り込み要求レベル		
INTETA01	Interrupt enable timer A 1 / 0	96H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA1	割り込み要求レベル			1: INTTA0	割り込み要求レベル		
INTETA23	Interrupt enable timer A 3 / 2	97H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA3	割り込み要求レベル			1: INTTA2	割り込み要求レベル		
INTETA45	Interrupt enable timer A 5 / 4	98H	INTTA5 (TMRA5)				INTTA4 (TMRA4)			
			ITA5C	ITA5M2	ITA5M1	ITA5M0	ITA4C	ITA4M2	ITA4M1	ITA4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA5	割り込み要求レベル			1: INTTA4	割り込み要求レベル		

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTETB0	Interrupt enable TMRB 0	99H	INTTB01(TMRB0)				INTTB00(TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB01	割り込み要求レベル			1: INTTB00	割り込み要求レベル		
INTETB1	Interrupt enable TMRB 1	9AH	INTTB11(TMRB1)				INTTB10(TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB11	割り込み要求レベル			1: INTTB10	割り込み要求レベル		
INTETB2	Interrupt enable TMRB 2	9BH	INTTB21(TMRB2)				INTTB20(TMRB2)			
			ITB21C	ITB21M2	ITB21M1	ITB21M0	ITB20C	ITB20M2	ITB20M1	ITB20M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB21	割り込み要求レベル			1: INTTB20	割り込み要求レベル		
INTETB3	Interrupt enable TMRB 3	9CH	INTTB31(TMRB3)				INTTB30(TMRB3)			
			ITB31C	ITB31M2	ITB31M1	ITB31M0	ITB30C	ITB30M2	ITB30M1	ITB30M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB31	割り込み要求レベル			1: INTTB30	割り込み要求レベル		
INTETB4	Interrupt enable TMRB 4	9DH	INTTB41(TMRB4)				INTTB40(TMRB4)			
			ITB41C	ITB41M2	ITB41M1	ITB41M0	ITB40C	ITB40M2	ITB40M1	ITB40M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB41	割り込み要求レベル			1: INTTB40	割り込み要求レベル		
INTETB01V	Interrupt enable TMRB 0/1 (オーバーフロー)	9EH	INTTBOF1(TMRB1 オーバフロー)				INTTBOF0(TMRB0 オーバフロー)			
			ITF1C	ITF1M2	ITF1M1	ITF1M0	ITF0C	ITF0M2	ITF0M1	ITF0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTBOF1	割り込み要求レベル			1: INTTBOF0	割り込み要求レベル		
INTETB23V	Interrupt enable TMRB 2/3 (オーバーフロー)	9FH	INTTBOF3(TMRB3 オーバフロー)				INTTBOF2(TMRB2 オーバフロー)			
			ITF3C	ITF3M2	ITF3M1	ITF3M0	ITF2C	ITF2M2	ITF2M1	ITF2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTBOF3	割り込み要求レベル			1: INTTBOF2	割り込み要求レベル		
INTETB4VRTC	Interrupt enable TMRB4 (オーバーフロー) / INTRTC	A0H	INTRTC				INTTBOF4(TMRB4 オーバフロー)			
			IRTCC	IRTCM2	IRTCM1	IRTCM0	ITF4C	ITF4M2	ITF4M1	ITF4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTRTC	割り込み要求レベル			1: INTTBOF4	割り込み要求レベル		

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTES0	Interrupt enable serial 0	A1H	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX0	割り込み要求レベル			1: INTRX0	割り込み要求レベル		
INTES1	Interrupt enable serial 1	A2H	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX1	割り込み要求レベル			1: INTRX1	割り込み要求レベル		
INTES2	Interrupt enable serial 2	A3H	INTTX2				INTRX2			
			ITX2C	ITX2M2	ITX2M1	ITX2M0	IRX0C	IRX2M2	IRX2M1	IRX2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX2	割り込み要求レベル			1: INTRX2	割り込み要求レベル		
INTESBI01	Interrupt enable SBI 0/1	A4H	INTSBI1				INTSBI0			
			ISBI1C	ISBI1M2	ISBI1M1	ISBI1M0	ISBI0C	ISBI0M2	ISBI0M1	ISBI0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTSBI1	割り込み要求レベル			1: INTSBI0	割り込み要求レベル		
INTETC01	Interrupt enable TC 0/1	A5H	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTC1	割り込み要求レベル			1: INTTC0	割り込み要求レベル		
INTETC23	Interrupt enable TC 2/3	A6H	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTC3	割り込み要求レベル			1: INTTC2	割り込み要求レベル		

Not for

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 Start Vector	80H	—	—	DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
			—	—	R/W					
			—	—	0	0	0	0	0	0
			—	—	DMA0 起動ベクタ					
DMA1V	DMA1 Start Vector	81H	—	—	DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
			—	—	R/W					
			—	—	0	0	0	0	0	0
			—	—	DMA1 起動ベクタ					
DMA2V	DMA2 Start Vector	82H	—	—	DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
			—	—	R/W					
			—	—	0	0	0	0	0	0
			—	—	DMA2 起動ベクタ					
DMA3V	DMA3 Start Vector	83H	—	—	DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
			—	—	R/W					
			—	—	0	0	0	0	0	0
			—	—	DMA3 起動ベクタ					
INTCLR	Interrupt Clear Control	88H (RMW 禁)	—	—	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0
			—	—	W					
			—	—	0	0	0	0	0	0
			—	—	割り込みベクタ					
DMAR	DMA Software Request Register	89H (RMW 禁)	—	—	—	—	DMAR3	DMAR2	DMAR1	DMAR0
			—	—	R/W					
			—	—	—	—	0	0	0	0
			—	—	DMA 要求					
DMAB	DMA Burst Register	8AH	—	—	—	—	DMAB3	DMAB2	DMAB1	DMAB0
			—	—	R/W					
			—	—	—	—	0	0	0	0
			—	—	DMA バースト要求					
IIMC	Interrupt input mode control	8CH (RMW 禁)	—	—	—	—	—	IOEDGE	IOLE	NMIREE
			—	—	W					
			0	0	0	0	0	0	0	0
			“0”をライトしてください	—	—	—	—	INT0 エッジ 0: 立ち上がり 1: 立ち下がり	INT0 0: エッジ 1: レベル	1: NMI 立ち上がりでも動作

(4) チップセレクト／ウェイトコントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
B0CS	Block 0 CS/WAIT control register	C0H (RMW 禁)	B0E	—	B0OM1	B0OM0	B0BUS	B0W2	B0W1	B0W0		
			W	—	W							
			0	—	0	0	0	0	0	0		
			0: 禁止 1: 許可	—	チップセレクト出力波形 選択 00: ROM/SRAM 用 01: Don't care 10: Don't care 11: Don't care	データバ ス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT					
B1CS	Block 1 CS/WAIT control register	C1H (RMW 禁)	B1E	—	B1OM1	B1OM0	B1BUS	B1W2	B1W1	B1W0		
			W	—	W							
			0	—	0	0	0	0	0	0		
			0: 禁止 1: 許可	—	チップセレクト出力波形 選択 00: ROM/SRAM 用 01: Don't care 10: Don't care 11: Don't care	データバ ス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT					
B2CS	Block 2 CS/WAIT control register	C2H (RMW 禁)	B2E	B2M	B2OM1	B2OM0	B2BUS	B2W2	B2W1	B2W0		
			W									
			0	0	0	0	0	0	0	0		
			0: 禁止 1: 許可	CS2 空間 選択 0: 16M バ イト空間 1: CS 空間	チップセレクト出力波形 選択 00: ROM/SRAM 用 01: Don't care 10: Don't care 11: Don't care	データバ ス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT					
B3CS	Block 3 CS/WAIT control register	C3H (RMW 禁)	B3E	—	B3OM1	B3OM0	B3BUS	B3W2	B3W1	B3W0		
			W	—	W							
			0	—	0	0	0	0	0	0		
			0: 禁止 1: 許可	—	チップセレクト出力波形 選択 00: ROM/SRAM 用 01: Don't care 10: Don't care 11: Don't care	データバ ス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT					
BEXCS	External CS/WAIT control register	C7H (RMW 禁)	—	—	—	—	BEXBUS	BEXW2	BEXW1	BEXW0		
			W									
			—	—	—	—	0	0	0	0		
			—	—	—	—	データバ ス幅選択 0: 16 ビット 1: 8 ビット	ウェイト数設定 000: 2 WAIT 100: Reserved 001: 1 WAIT 101: 3 WAIT 010: 1 WAIT+N 110: 4 WAIT 011: 0 WAIT 111: 8 WAIT				

記号	名称	アドレス	7	6	5	4	3	2	1	0
MSAR0	Memory address register 0	C8H	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR0	Memory address mask register 0	C9H	V20	V19	V18	V17	V16	V15	V14~V9	V8
			R/W							
			1	1	1	1	1	1	1	1
			CS0 空間サイズ設定 0: アドレス比較対照							
MSAR1	Memory address register 1	CAH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR1	Memory address mask register 1	CBH	V21	V20	V19	V18	V17	V16	V15~V9	V8
			R/W							
			1	1	1	1	1	1	1	1
			CS1 空間サイズ設定 0: アドレス比較対照							
MSAR2	Memory address register 2	CCH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR2	Memory address mask register 2	CDH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS2 空間サイズ設定 0: アドレス比較対照							
MSAR3	Memory address register 3	CEH	S23	S22	S21	S20	S19	S18	S17	S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23~A16 設定							
MAMR3	Memory address mask register 3	CFH	V22	V21	V20	V19	V18	V17	V16	V15
			R/W							
			1	1	1	1	1	1	1	1
			CS3 空間サイズ設定 0: アドレス比較対照							

(5) クロック制御

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SYSCR0	System clock control register 0	E0H	XEN	XTEN	RXEN	RXTEN	RSYSCK	WUEF	PRCK1	-	
			R/W								-
			1	0	1	0	0	0	0	-	
			高速発振器 0: 停止 1: 発振	低速発振器 0: 停止 1: 発振	STOPモード解除後の高速発振器 0: 停止 1: 発振	STOPモード解除後の低速発振器 0: 停止 1: 発振	STOPモード解除後のクロック選択 0: 高速 1: 低速	発振器用ウォーミングアップタイム(WUP)制御 0 ライト: Don't care 1 ライト: WUPスタート 0 リード: WUP終了 1 リード: WUP中	プリスケラック選択 0: f _{EPH} 1: fc/16	-	
SYSCR1	System clock control register 1	E1H	-	-	-	-	SYSCK	GEAR2	GEAR1	GEAR0	
			R/W								-
			-	-	-	-	0	0	0	0	
			-	-	-	-	システムクロック選択 0: 高速 (fc) 1: 低速 (fs)	高速クロックのギア選択 000:fc 001:fc/2 010:fc/4 011:fc/8 100:fc/16 101:reserved 110:reserved 111:reserved	-		
SYSCR2	System clock control register 2	E2H	-	SCOSEL	WUPTM1	WUPTM0	HALTM1	HALTM0	-	DRVE	
			R/W								R/W
			-	0	1	0	1	1	-	0	
			-	SCOUTの選択 0:fs 1:fsys	発振器用WUP時間選択 00:2 ¹⁸ /入力周波数 01:2 ⁸ /入力周波数 10:2 ¹⁴ /入力周波数 11:2 ¹⁶ /入力周波数	HALTモード選択 00:reserved 01:STOP mode 10:IDLE1 mode 11:IDLE2 mode	-	1: STOPモード中でも端子をドライブします。			
EMCCR0	EMC control register 0	E3H	PROTECT	-	-	-	-	-	-	-	
			R								R/W
			0	0	1	0	0	0	1	1	
			プロテクトフラグ 0:OFF 1:ON	"0"をライトしてください。	"1"をライトしてください。	"0"をライトしてください。	"0"をライトしてください。	"0"をライトしてください。	"1"をライトしてください。	"1"をライトしてください。	
EMCCR1	EMC control register 1	E4H	"1FH"をライトでプロテクトOFF "1FH"以外をライトでプロテクトON								

(6) 8ビットタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA01RUN	8-bit timer RUN	100H	TAORDE	-	-	-	I2TA01	TA01PRUN	TA1RUN	TA0RUN
			R/W	-	-	-	R/W			
			0	-	-	-	0	0	0	0
			ダブルバッファ	-	-	-	IDLE2 モード時 0: 停止 1: 動作	TMRA01 プリスケラ	アップカウンタ (UC1)	アップカウンタ (UC0)
							0: 停止 & クリア 1: 動作 (カウントアップ)			
TA0REG	8-bit timer register 0	102H (RMW 禁)	-							
			W							
			0							
TA1REG	8-bit timer register 1	103H (RMW 禁)	-							
			W							
			0							
TA01MOD	8-bit timer source CLK & mode	104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード 00: 8ビットタイマ 01: 16ビットタイマ 10: 8ビットPPG 11: 8ビットPWM	PWM周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA1 入カクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 入カクロック 00: TA0IN 入カ 01: φT1 10: φT4 11: φT16		
TA1FFCR	8-bit timer frip-flop control	105H	-	-	-	-	TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS
			R/W							
			-	-	-	-	1	1	0	0
							00: TA1FF 反転 01: TA1FF セット 10: TA1FF クリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転信号 セレクト 0: TMRA0 1: TMRA1

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA23RUN	8-bit timer RUN	108H	TA2RDE	-	-	-	I2TA23	TA23PRUN	TA3RUN	TA2RUN
			R/W	-	-	-	R/W			
			0	-	-	-	0	0	0	0
			ダブルバッファ	-	-	-	IDLE2 モード時	TMRA23 プリス ケータ	アップカ ウンタ (UC3)	アップカ ウンタ (UC2)
			0: 禁止 1: 許可				0: 停止 1: 動作	0: 停止 & クリア 1: 動作 (カウントアップ)		
TA2REG	8-bit timer register 0	10AH (RMW 禁)	-							
			W							
			0							
TA3REG	8-bit timer register 1	10BH (RMW 禁)	-							
			W							
			0							
TA23MOD	8-bit timer source CLK & mode	10CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード	PWM周期		TMRA3 入力クロック		TMRA2 入力クロック		
00: 8 ビットタイマ	00: Reserved		00: TA2TRG		00: Reserved					
01: 16 ビットタイマ	01: 2 ⁶		01: φT1		01: φT1					
10: 8 ビット PPG	10: 2 ⁷		10: φT16		10: φT4					
11: 8 ビット PWM	11: 2 ⁸		11: φT256		11: φT16					
TA3FFCR	8-bit timer flip-flop control	10DH	-	-	-	-	TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS
			R/W							
			-	-	-	-	1	1	0	0
			-	-	-	-	00: TA3FF 反転 01: TA3FF セット 10: TA3FF クリア 11: Don't care	TA3FF 反転制御 0: 禁止 1: 許可	TA3FF 反転信号 セレクト 0: TMRA2 1: TMRA3	

記号	名称	アドレス	7	6	5	4	3	2	1	0
TA45RUN	8-bit timer RUN	110H	TA4RDE	-	-	-	I2TA45	TA45PRUN	TA5RUN	TA4RUN
			R/W	-	-	-	R/W			
			0	-	-	-	0	0	0	0
			ダブルバッファ	-	-	-	IDLE2 モード時	TMRA45 プリス ケータ	アップカ ウンタ (UC5)	アップカ ウンタ (UC4)
			0: 禁止 1: 許可				0: 停止 1: 動作	0: 停止 & クリア 1: 動作 (カウントアップ)		
TA4REG	8-bit timer register 0	112H (RMW 禁)	-							
			W							
			0							
TA5REG	8-bit timer register 1	113H (RMW 禁)	-							
			W							
			0							
TA45MOD	8-bit timer source CLK & mode	114H	TA45M1	TA45M0	PWM41	PWM40	TA5CLK1	TA5CLK0	TA4CLK1	TA4CLK0
			R/W							
			0	0	0	0	0	0	0	0
			動作モード	PWM周期		TMRA5 入カクロック		TMRA4 入カクロック		
00: 8 ビットタイマ	00: Reserved		00: TA4TRG		00: Reserved					
01: 16 ビットタイマ	01: 2 ⁶		01: φT1		01: φT1					
10: 8 ビット PPG	10: 2 ⁷		10: φT16		10: φT4					
11: 8 ビット PWM	11: 2 ⁸		11: φT256		11: φT16					
TA5FFCR	8-bit timer frip-flop control	115H	-	-	-	-	TA5FFC1	TA5FFC0	TA5FFIE	TA5FFIS
			R/W							
			-	-	-	-	1	1	0	0
			-	-	-	-	00: TA5FF 反転 01: TA5FF セット 10: TA5FF クリア 11: Don't care		TA5FF 反転制御 0: 禁止 1: 許可	TA5FF 反転信号 セレクト 0: TMRA4 1: TMRA5

(7) 16ビットタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0	
TBORUN	16-bit timer control	180H	TBORDE	-	-	-	I2TB0	TBOPRUN	-	TBORUN	
			R/W		-	-	R/W		-	R/W	
			0	0	-	-	0	0	-	0	
			ダブルバッファ 0: 禁止 1: 許可	"0"をライトしてください。	-	-	IDLE2モード時 0: 停止 1: 動作	TMRB0プリスケラ 0: 停止 & クリア 1: 動作 (カウントアップ)	-	アップカウンタ (UC0)	
TBOMOD	16-bit timer source CLK & mode	182H (RMW 禁)	TB0CT1	TB0ET1	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0	
			R/W		W*	R/W					
			0	0	1	0	0	0	0	0	
			TB0FF1反転トリガ 0: トリガ禁止 1: トリガ許可		0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: TB0IN0 ↑ TB0IN1 ↑ 10: TB0IN0 ↑ TB0IN0 ↓ 11: TA1OUT ↑ TA1OUT ↓		アップカウンタのクリア制御 0: 禁止 1: 許可		入力クロック選択 00: TB0IN0 端子入力 01: φT1 10: φT4 11: φT16	
TB0CP1キャプチャ時	TB0RG1一致時										
TB0FFCR	16-bit timer flip-flop control	183H (RMW 禁)	TB0FF1C1	TB0FF1C0	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FF0C1	TB0FF0C0	
			W*		R/W				W*		
			1	1	0	0	0	0	1	1	
			TB0FF1の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "1" になります。		TB0FF0反転制御 0: 反転禁止 1: 反転許可				TB0FF0の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に "1" になります。		
TB0RG0L	16-bit timer register 0L	188H (RMW 禁)	-							W	
			不定								
TB0RG0H	16-bit timer register 0H	189H (RMW 禁)	-							W	
			不定								
TB0RG1L	16-bit timer register 1L	18AH (RMW 禁)	-							W	
			不定								
TB0RG1H	16-bit timer register 1H	18BH (RMW 禁)	-							W	
			不定								
TB0CP0L	Capture register 0L	18CH	-							R	
			不定								
TB0CP0H	Capture register 0H	18DH	-							R	
			不定								
TB0CP1L	Capture register 1L	18EH	-							R	
			不定								
TB0CP1H	Capture register 1H	18FH	-							R	
			不定								

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB1RUN	16-bit timer control	190H	TB1RDE	-	-	-	I2TB1	TB1PRUN	-	TB1RUN
			R/W		-	-	R/W		-	R/W
			0	0	-	-	0	0	-	0
			ダブルバッファ 0: 禁止 1: 許可	"0"をライトしてください。	-	-	IDLE2モード時 0: 停止 1: 動作	TMRB1プリスケラ 0: 停止 & クリア 1: 動作 (カウントアップ)	-	アップカウンタ (UC1)
TB1MOD	16-bit timer source CLK & mode	192H (RMW 禁)	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
			R/W		W*	R/W				
			0	0	1	0	0	0	0	0
			TB1FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: TB1IN0 ↑ TB1IN1 ↑ 10: TB1IN0 ↑ TB1IN0 ↓ 11: TA1OUT ↑ TA1OUT ↓		アップカウンタのクリア制御 0: 禁止 1: 許可		入力クロック選択 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16
TB1CP1 キャプチャ時	TB1RG1 一致時									
TB1FFCR	16-bit timer flip-flop control	193H (RMW 禁)	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FF0C1	TB1FF0C0
			W*		R/W				W*	
			1	1	0	0	0	0	1	1
			TB1FF1の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に"11"になります。		TB1FF0反転制御 0: 反転禁止 1: 反転許可				TB1FF0の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に"11"になります。	
TB1RG0L	16-bit timer register 0L	198H (RMW 禁)	-							W
TB1RG0H	16-bit timer register 0H	199H (RMW 禁)	-							W
TB1RG1L	16-bit timer register 1L	19AH (RMW 禁)	-							W
TB1RG1H	16-bit timer register 1H	19BH (RMW 禁)	-							W
TB1CP0L	Capture register 0L	19CH	-							R
TB1CP0H	Capture register 0H	19DH	-							R
TB1CP1L	Capture register 1L	19EH	-							R
TB1CP1H	Capture register 1H	19FH	-							R

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB2RUN	16-bit timer control	1A0H	TB2RDE	-	-	-	I2TB2	TB2PRUN	-	TB2RUN
			R/W		-	-	R/W		-	R/W
			0	0	-	-	0	0	-	0
			ダブルバッファ 0: 禁止 1: 許可	"0"をライトしてください。	-	-	IDLE2モード時 0: 停止 1: 動作	TMRB2プリスケラ 0: 停止 & クリア 1: 動作 (カウントアップ)	-	アップカウンタ (UC2)
TB2MOD	16-bit timer source CLK & mode	1A2H (RMW 禁)	TB2CT1	TB2ET1	TB2CP0I	TB2CPM1	TB2CPM0	TB2CLE	TB2CLK1	TB2CLK0
			R/W		W*	R/W				
			0	0	1	0	0	0	0	0
			TB2FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: TB2IN0 ↑ TB2IN1 ↑ 10: TB2IN0 ↑ TB2IN0 ↓ 11: TA1OUT ↑ TA1OUT ↓		アップカウンタのクリア制御 0: 禁止 1: 許可		入力クロック選択 00: TB2IN0 端子入力 01: φT1 10: φT4 11: φT16
TB2CP1 キャプチャ時	TB2RG1 一致時									
TB2FFCR	16-bit timer flip-flop control	1A3H (RMW 禁)	TB2FF1C1	TB2FF1C0	TB2C1T1	TB2C0T1	TB2E1T1	TB2E0T1	TB2FF0C1	TB2FF0C0
			W*		R/W				W*	
			1	1	0	0	0	0	1	1
			TB2FF1の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に"11"になります。		TB2FF0反転制御 0: 反転禁止 1: 反転許可 TB2CP1H/LへUC2値をキャプチャする時				TB2CP0H/LへUC2値をキャプチャする時	UC2とTB2RG1H/Lとの一致時
TB2RG0L	16-bit timer register 0L	1A8H (RMW 禁)	-							
TB2RG0H	16-bit timer register 0H	1A9H (RMW 禁)	-							
TB2RG1L	16-bit timer register 1L	1AAH (RMW 禁)	-							
TB2RG1H	16-bit timer register 1H	1ABH (RMW 禁)	-							
TB2CP0L	Capture register 0L	1ACH	-							
TB2CP0H	Capture register 0H	1ADH	-							
TB2CP1L	Capture register 1L	1AEH	-							
TB2CP1H	Capture register 1H	1AFH	-							

記号	名称	アドレス	7	6	5	4	3	2	1	0			
TB3RUN	16-bit timer control	1B0H	TB3RDE	-	-	-	I2TB3	TB3PRUN	-	TB3RUN			
			R/W		-	-	R/W		-	R/W			
			0	0	-	-	0	0	-	0			
			ダブルバッファ 0: 禁止 1: 許可	"0"をライトしてください。	-	-	IDLE2モード時 0: 停止 1: 動作	TMRB3プリスケール 0: 停止 & クリア 1: 動作 (カウントアップ)	-	アップカウンタ (UC3)			
TB3MOD	16-bit timer source CLK & mode	1B2H (RMW 禁)	TB3CT1	TB3ET1	TB3CP0I	TB3CPM1	TB3CPM0	TB3CLE	TB3CLK1	TB3CLK0			
			R/W		W*	R/W							
			0	0	1	0	0	0	0	0			
			TB3FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: TB3IN0 ↑ TB3IN1 ↑ 10: TB3IN0 ↑ TB3IN0 ↓ 11: TA3OUT ↑ TA3OUT ↓		アップカウンタのクリア制御 0: 禁止 1: 許可		入力クロック選択 00: TB3IN0 端子入力 01: φT1 10: φT4 11: φT16			
TB3CP1	TB3RG1	キャプチャ時一致時											
TB3FFCR	16-bit timer flip-flop control	1B3H (RMW 禁)	TB3FF1C1	TB3FF1C0	TB3C1T1	TB3C0T1	TB3E1T1	TB3E0T1	TB3FF0C1	TB3FF0C0			
			W*		R/W				W*				
			1	1	0	0	0	0	1	1			
			TB3FF1の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に"11"になります。		TB3FF0反転制御 0: 反転禁止 1: 反転許可 TB3CP1H/LへUC3値をキャプチャする時				TB3CP0H/LへUC3値をキャプチャする時		UC3とTB3RG1H/Lとの一致時		UC3とTB3RG0H/Lとの一致時
TB3RG0L	16-bit timer register 0L	1B8H (RMW 禁)	-							W	不定		
TB3RG0H	16-bit timer register 0H	1B9H (RMW 禁)	-							W	不定		
TB3RG1L	16-bit timer register 1L	1BAH (RMW 禁)	-							W	不定		
TB3RG1H	16-bit timer register 1H	1BBH (RMW 禁)	-							W	不定		
TB3CP0L	Capture register 0L	1BCH	-							R	不定		
TB3CP0H	Capture register 0H	1BDH	-							R	不定		
TB3CP1L	Capture register 1L	1BEH	-							R	不定		
TB3CP1H	Capture register 1H	1BFH	-							R	不定		

記号	名称	アドレス	7	6	5	4	3	2	1	0
TB4RUN	16-bit timer control	1C0H	TB4RDE	-	-	-	I2TB4	TB4PRUN	-	TB4RUN
			R/W		-	-	R/W		-	R/W
			0	0	-	-	0	0	-	0
			ダブルバッファ 0: 禁止 1: 許可	"0"をライトしてください。	-	-	IDLE2モード時 0: 停止 1: 動作	TMRB4プリスケラ 0: 停止 & クリア 1: 動作 (カウントアップ)	-	アップカウンタ (UC4)
TB4MOD	16-bit timer source CLK & mode	1C2H (RMW 禁)	TB4CT1	TB4ET1	TB4CP0I	TB4CPM1	TB4CPM0	TB4CLE	TB4CLK1	TB4CLK0
			R/W		W*	R/W				
			0	0	1	0	0	0	0	0
			TB4FF1 反転トリガ 0: トリガ禁止 1: トリガ許可		0: ソフトキャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: TB4IN0 ↑ TB4IN1 ↑ 10: TB4IN0 ↑ TB4IN0 ↓ 11: TA5OUT ↑ TA5OUT ↓		アップカウンタのクリア制御 0: 禁止 1: 許可		入力クロック選択 00: TB4IN0 端子入力 01: φT1 10: φT4 11: φT16
TB4CP1 キャプチャ時	TB4RG1 一致時									
TB4FFCR	16-bit timer flip-flop control	1C3H (RMW 禁)	TB4FF1C1	TB4FF1C0	TB4C1T1	TB4C0T1	TB4E1T1	TB4E0T1	TB4FF0C1	TB4FF0C0
			W*		R/W				W*	
			1	1	0	0	0	0	1	1
			TB4FF1の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に"11"になります。		TB4FF0反転制御 0: 反転禁止 1: 反転許可				TB4FF0の制御 00: 反転 01: セット 10: クリア 11: Don't care * リードすると常に"11"になります。	
TB4CP1H/L へUC4値をキャプチャする時	TB4CP0H/L へUC4値をキャプチャする時	UC4とTB4RG1H/Lとの一致時		UC4とTB4RG0H/Lとの一致時						
TB4RG0L	16-bit timer register 0L	1C8H (RMW 禁)								
TB4RG0H	16-bit timer register 0H	1C9H (RMW 禁)								
TB4RG1L	16-bit timer register 1L	1CAH (RMW 禁)								
TB4RG1H	16-bit timer register 1H	1CBH (RMW 禁)								
TB4CP0L	Capture register 0L	1CCH								
TB4CP0H	Capture register 0H	1CDH								
TB4CP1L	Capture register 1L	1CEH								
TB4CP1H	Capture register 1H	1CFH								

(8) UART/ シリアルチャネル

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SC0BUF	Serial channel 0 buffer	200H (RMW 禁)	RB7 / TB7	RB6 / TB6	RB5 / TB5	RB4 / TB4	RB3 / TB3	RB2 / TB2	RB1 / TB1	RB0 / TB0	
			R (Receiving) / W (Transmission)								
			不定								
SC0CR	Serial channel 0 control	201H (RMW 禁)	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC	
			R	R/W		R (リードすると0にクリアされます。)				R/W	
			不定	0	0	0	0	0	0	0	
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0: 禁止 1: 許可	オーバランエラーフラグ 0: 未検出 1: 検出	パリティエラーフラグ 0: 未検出 1: 検出	フレーミングエラーフラグ 0: 未検出 1: 検出	SCLK 端子エッジ選択 0: SCLK0 立上りエッジ 1: SCLK0 立下りエッジ	I/O インタフェース入力クロック選択 0: ポーレートジェネレータ 1: SCLK0 端子入力	
			送信データビット 8	ハンドシェイク機能制御 0: 禁止 1: 許可	受信制御 0: 禁止 1: 許可	ウェイクアップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェース 01: 7 ビット長 UART 10: 8 ビット長 UART 11: 9 ビット長 UART	シリアル転送クロック (UART 用) 00: タイマ TA0TRG 01: ポーレートジェネレータ 10: 内部クロック (f _{SYS}) 11: 外部クロック (SCLK0 端子入力)			
SC0MOD0	Serial channel 0 mode 0	202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0	
			R/W								
			0	0	0	0	0	0	0	0	
			送信データビット 8	ハンドシェイク機能制御 0: 禁止 1: 許可	受信制御 0: 禁止 1: 許可	ウェイクアップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェース 01: 7 ビット長 UART 10: 8 ビット長 UART 11: 9 ビット長 UART	シリアル転送クロック (UART 用) 00: タイマ TA0TRG 01: ポーレートジェネレータ 10: 内部クロック (f _{SYS}) 11: 外部クロック (SCLK0 端子入力)			
BR0CR	Baud ratel control	203H	-	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0	
			R/W								
			0	0	0	0	0	0	0	0	
			"0" をライトしてください	+ (16 - K) / 16 分周機能 0: 禁止 1: 許可	ポーレートジェネレータの入力クロックの選択 00: φT0 01: φT2 10: φT8 11: φT32	ポーレートジェネレータの分周値 "N" の設定					
BR0ADD	Serial channel 0 K 設定 register	204H	-	-	-	-	BR0K3	BR0K2	BR0K1	BR0K0	
			R/W								
			-	-	-	-	0	0	0	0	
			N + (16 - K) / 16 分周の K 値の設定								
SC0MOD1	Serial channel 0 mode 1	205H	I2S0	FDPX0	-	-	-	-	-	-	
			R/W								
			0	0	-	-	-	-	-	-	
			IDLE2	同期式 0: 停止 1: 動作	-	-	-	-	-	-	

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC1BUF	Serial channel 1 buffer	208H (RMW 禁)	RB7 / TB7	RB6 / TB6	RB5 / TB5	RB4 / TB4	RB3 / TB3	RB2 / TB2	RB1 / TB1	RB0 / TB0		
			R (Receiving) / W (Transmission)									
			不定									
SC1CR	Serial channel 1 control	209H (RMW 禁)	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC		
			R	R/W			R (リードすると0にクリアされます。)				R/W	
			不定	0	0	0	0	0	0	0	0	
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0: 禁止 1: 許可	オーバランエラーフラグ 0: 未検出 1: 検出	パリティエラーフラグ 0: 未検出 1: 検出	フレーミングエラーフラグ 0: 未検出 1: 検出	SCLK 端子エッジ選択 0: SCLK1 立上りエッジ 1: SCLK1 立下りエッジ	I/O インタフェース入力クロック選択 0: ボーレートジェネレータ 1: SCLK1 端子入力		
SC1MOD0	Serial channel 1 mode 0	20AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0		
			R/W									
			0	0	0	0	0	0	0	0		
			送信データビット 8	ハンドシェイク機能制御 0: 禁止 1: 許可	受信制御 0: 禁止 1: 許可	ウェイクアップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェース 01: 7ビット長 UART 10: 8ビット長 UART 11: 9ビット長 UART	シリアル転送クロック (UART 用) 00: タイマ TA0TRG 01: ボーレートジェネレータ 10: 内部クロック (f _{sys}) 11: 外部クロック (SCLK1 端子入力)				
BR1CR	Baud ratel control	20BH	-	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0		
			R/W									
			0	0	0	0	0	0	0	0		
			"0"をライトしてください	+ (16 - K) / 16 分周機能 0: 禁止 1: 許可	ボーレートジェネレータの入力クロックの選択 00: φT0 01: φT2 10: φT8 11: φT32		ボーレートジェネレータの分周値 "N" の設定					
BR1ADD	Serial channel 1 K 設定 register	20CH	-	-	-	-	BR1K3	BR1K2	BR1K1	BR1K0		
			R/W									
			-	-	-	-	0	0	0	0		
			N + (16 - K) / 16 分周の K 値の設定									
SC1MOD1	Serial channel 1 mode 1	20DH	I2S1	FDPX1	-	-	-	-	-	-		
			R/W									
			0	0	-	-	-	-	-	-		
			IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重	-	-	-	-	-	-		

記号	名称	アドレス	7	6	5	4	3	2	1	0	
SC2BUF	Serial channel 2 buffer	210H (RMW 禁)	RB7 / TB7	RB6 / TB6	RB5 / TB5	RB4 / TB4	RB3 / TB3	RB2 / TB2	RB1 / TB1	RB0 / TB0	
			R (Receiving) / W (Transmission)								
			不定								
SC2CR	Serial channel 2 control	211H (RMW 禁)	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC	
			R	R/W			R (リードすると0にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ付加 0: 禁止 1: 許可	オーバランエラーフラグ 0: 未検出 1: 検出	パリティエラーフラグ 0: 未検出 1: 検出	フレーミングエラーフラグ 0: 未検出 1: 検出	SCLK 端子エッジ選択 0: SCLK2 立上りエッジ 1: SCLK2 立下りエッジ	I/O インタフェース入力クロック選択 0: ボーレートジェネレータ 1: SCLK2 端子入力	
SC2MOD0	Serial channel 2 mode 0	212H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0	
			R/W								
			0	0	0	0	0	0	0	0	
			送信データビット 8	ハンドシェイク機能制御 0: 禁止 1: 許可	受信制御 0: 禁止 1: 許可	ウェイクアップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェース 01: 7ビット長 UART 10: 8ビット長 UART 11: 9ビット長 UART	シリアル転送クロック (UART 用) 00: タイマ TA0TRG 01: ボーレートジェネレータ 10: 内部クロック (f _{sys}) 11: 外部クロック (SCLK2 端子入力)			
BR2CR	Baud ratel control	213H	-	BR2ADDE	BR2CK1	BR2CK0	BR2S3	BR2S2	BR2S1	BR2S0	
			R/W								
			0	0	0	0	0	0	0	0	
			"0"をライトしてください	+ (16 - K) / 16 分周機能 0: 禁止 1: 許可	ボーレートジェネレータの入力クロックの選択 00: φT0 01: φT2 10: φT8 11: φT32		ボーレートジェネレータの分周値 "N" の設定				
BR2ADD	Serial channel 2 K 設定 register	214H	-	-	-	-	BR2K3	BR2K2	BR2K1	BR2K0	
			R/W								
			-	-	-	-	0	0	0	0	
			N + (16 - K) / 16 分周の K 値の設定								
SC2MOD1	Serial channel 2 mode 1	215H	I2S2	FDPX2	-	-	-	-	-	-	
			R/W								
			0	0	-	-	-	-	-	-	
			IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重	-	-	-	-	-	-	

(9) I²C バス

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SBI0CR1	Serial bus interface control register 1	240H (RMW 禁)	BC2	BC1	BC0	ACK	-	SCK2	SCK1	SWRMON /SCK0		
			W			R/W	-	W		R/W		
			0	0	0	0	-	0	0	0/1		
			転送ビット数の選択 000: 8 001: 1 010: 2 011: 3 100: 4 101: 5 110: 6 111: 7					アクリックロック 0: 禁止 1: 許可	-	(ライト時) 内部 SCL 出カクロックの周波数選択 000: 4 001: 5 010: 6 011: 7 100: 8 101: 9 110: 10 111: Reserved (SWRMON リード時) 0: ソフトウェアリセット中		
SBI0DBR	SBI buffer register	241H (RMW 禁)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
			R (受信) / W (送信)									
			不定									
I2C0AR	I ² C bus address register	242H (RMW 禁)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS		
			W									
			0	0	0	0	0	0	0	0	0	
			スレーブデバイスとして動作するときのスレーブアドレスの設定									アドレス認識 0: する 1: しない
リード時 SBI0SR	Serial bus interface status register	243H (RMW 禁)	MST	TRX	BB	PIN	AL/ SBIM1	AAS/ SBIM0	AD0/ SWRST1	LRB/ SWRST0		
			R/W									
			0	0	0	1	0	0	0	0		
			0: スレーブ	0: 受信	バス状態 0: フリー	INTSBI 要求 0: 要求中	1: アービトレーション 1: スレーブアドレス一致検出	1: ゼネラルコール検出	最終受信ビット 0: "0" 1: "1"			
ライト時 SBI0CR2	Serial bus interface control register 2	243H (RMW 禁)	0: スレーブ 1: マスタ	1: 送信	スタート/ストップ コンディションの発生	INTSBI 要求の解除 0: - 1: 解除	SBI の動作モード選択 00: ポートモード 01: Reserved 10: I ² C バスモード 11: Reserved	ソフトウェアリセットの発生 "10" → "01"				
SBI0BR	Serial bus interface baud rate register		-	I2SBI0	-	-	-	-	-	-		
		W	R/W	-	-	-	-	-	R/W			
		0	0	-	-	-	-	-	0			
		"0" をライトしてください。	IDLE2 時動作 0: 停止 1: 動作	-	-	-	-	-	"0" をライトしてください。			
SBI0CR0	Serial bus interface control register 0	247H (RMW 禁)	SBI0EN	-	-	-	-	-	-	-		
			R/W	R								
			0	0	0	0	0	0	0	0		
			SBI 動作 0: 禁止 1: 許可	リードすると常に "0" になります。								

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SBI1CR1	Serial bus interface control register 1	248H (RMW 禁)	BC2	BC1	BC0	ACK	-	SCK2	SCK1	SCK0/SWRMON		
			W			R/W	-	W		R/W		
			0	0	0	0	-	0	0	0/1		
			転送ビット数の選択 000: 8 001: 1 010: 2 011: 3 100: 4 101: 5 110: 6 111: 7				アクリックロック 0: 禁止 1: 許可	-	(ライト時) 内部 SCL 出カクロックの周波数選択 000: 4 001: 5 010: 6 011: 7 100: 8 101: 9 110: 10 111: Reserved (SWRMON リード時) 0: ソフトウェアリセット中			
SBI1DBR	SBI buffer register	249H (RMW 禁)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0		
			R (受信) / W (送信)									
			不定									
I2C1AR	I ² C bus address register	24AH (RMW 禁)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS		
			W									
			0	0	0	0	0	0	0	0	0	
			スレーブデバイスとして動作するときのスレーブアドレスの設定									アドレス認識 0: する 1: しない
リード時 SBI1SR	Serial bus interface status register	24BH (RMW 禁)	MST	TRX	BB	PIN	AL/SBIM1	AAS/SBIM0	AD0/SWRST1	LRB/SWRST0		
			R/W									
			0	0	0	1	0	0	0	0	0	
ライト時 SBI1CR2	Serial bus interface control register 2	24BH (RMW 禁)	0: スレーブ 1: マスタ	0: 受信 1: 送信	バス状態 モニタ 0: フリー 1: ビジー	INTSBI 要求 モニタ 0: 要求中 1: 解除	1: アービ トレー ションロ スト検出	1: スレー ブアドレ ス一致検 出	1: ゼネラ ルコール 検出	最終受信 ビット 0: "0" 1: "1"		
			0: スレーブ 1: マスタ	0: 受信 1: 送信	スタート/ ストップ コンディ ションの 発生	INTSBI 要求 の解除 0: - 1: 解除	SBI の動作モード選択 00: ポートモード 01: Reserved 10: I ² C バスモード 11: Reserved		ソフトウェアリセットの 発生 "10" → "01"			
SBI1BR	Serial bus interface baud rate register	24CH (RMW 禁)	-	I2SBI1	-	-	-	-	-	-		
			W	R/W	-	-	-	-	-	R/W		
			0	0	-	-	-	-	-	0		
			"0" をライ トしてく ださい。	IDLE2 時 動作 0: 停止 1: 動作	-	-	-	-	-	"0" をライ トしてく ださい。		
SBI1CR0	Serial bus interface control register 0	24FH (RMW 禁)	SBI1EN	-	-	-	-	-	-	-		
			R/W	R								
			0	0	0	0	0	0	0	0		
			SBI 動作 0: 禁止 1: 許可	リードすると常に "0" になります。								

(10) AD コンバータ

記号	名称	アドレス	7	6	5	4	3	2	1	0
ADCCR1	AD control register 1	2B0H	ADRS	AMD		AINEN	SAIN			
			R/W							
			0	0	0	0	0	0	0	0
			AD 変換開始 0: ー 1: 開始	AD 動作モード 00: AD 動作ディセーブル 01: シングルモード 10: Reserved 11: リポートモード	アナログ入力制御 0: 禁止 1: 許可	アナログ入力チャンネル選択 0000: AN0 0100: AN4 1000: AN8 1100: AN12 0001: AN1 0101: AN5 1001: AN9 1101: AN13 0010: AN2 0110: AN6 1010: AN10 1110: AN14 0011: AN3 0111: AN7 1011: AN11 1111: AN15				
ADCCR2	AD control register 2	2B1H	EOCF	ADBF	RSEL	I2AD	ACK			
			R			R/W				
			0	0	0	0	1	1	0	0
			AD 変換終了フラグ 0: 変換前または変換中 1: 変換終了	AD 変換ステータスフラグ 0: AD 変換停止中 1: AD 変換実行中	AD 変換結果のレジスタ構成選択 0: 10bit 格納モード 1: 8bit 格納モード	IDLE2 モード時 AD 動作制御 0: 動作停止 1: 動作許可	変換時間選択 1010: 78 / fc [s] 1011: 156 / fc [s] 1100: 312 / fc [s] 1101: 624 / fc [s] 1110: 1248 / fc [s]			
ADCDRL	AD result register L	2B2H	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00
			R							
			0	0	0	0	0	0	0	0
ADCDRH 10bit 格納モード時	AD result register H	2B3H	-	-	-	-	-	-	AD09	AD08
			R							
0			0	0	0	0	0	0	0	
ADCDRH 8bit 格納モード時			AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02
R										
0	0	0	0	0	0	0	0	0		

(11) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
WDMOD	WDT mode register	300H	WDTE	WDTP1	WDTP0	-	-	I2WDT	RESCR	-		
			R/W					-	-	R/W		
			0	0	0	-	-	0	0	0		
			WDT 制御 1: 許可	WDT 検出時間の選択 00: 2 ¹⁵ /f _{SYS} 01: 2 ¹⁷ /f _{SYS} 10: 2 ¹⁹ /f _{SYS} 11: 2 ²¹ /f _{SYS}			-	-	IDLE2 0: 停止 1: 動作	1: リセット端子に WDT 出力を内部接続	"0" をライトしてください。	
WDCR	WDT control	301H (RMW 禁)	-									
			W									
			-									
			B1H: WDT ディセーブルコード				4EH: WDT クリアコード					

(12) 時計用タイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
RTCCR	RTC control	310H	-	-	-	-	-	RTCSEL1	RTCSEL0	RTCRUN
			R/W	-	-	-	-	R/W		
			0	-	-	-	-	0	0	0
			"0"をライトしてください。	-	-	-	-	00: 2 ¹⁴ /fs 01: 2 ¹³ /fs 10: 2 ¹² /fs 11: 2 ¹¹ /fs		0: 停止 & クリア 1: 動作

Not Recommended for New Design

(13) ROM コレクション

記号	名称	アドレス	7	6	5	4	3	2	1	0	
ROMCMP00	Address compare register 00	400H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	-	
			W								-
			0	0	0	0	0	0	0	0	-
			修正 ROM アドレス (下位 7 ビット)								-
ROMCMP01	Address compare register 01	401H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08	
			W								-
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)								-
ROMCMP02	Address compare register 02	402H (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16	
			W								-
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)								-
ROMSUB0L	Address substitution register 0L	404H (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00	
			W								-
			0	0	0	0	0	0	0	0	0
			置き換えデータ (下位 8 ビット)								-
ROMSUB0H	Address substitution register 0H	405H (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08	
			W								-
			0	0	0	0	0	0	0	0	0
			置き換えデータ (上位 8 ビット)								-
ROMCMP10	Address compare register 10	408H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	-	
			W								-
			0	0	0	0	0	0	0	0	-
			修正 ROM アドレス (下位 7 ビット)								-
ROMCMP11	Address compare register 11	409H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08	
			W								-
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)								-
ROMCMP12	Address compare register 12	40AH (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16	
			W								-
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)								-
ROMSUB1L	Address substitution register 1L	40CH (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00	
			W								-
			0	0	0	0	0	0	0	0	0
			置き換えデータ (下位 8 ビット)								-
ROMSUB1H	Address substitution register 1H	40DH (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08	
			W								-
			0	0	0	0	0	0	0	0	0
			置き換えデータ (上位 8 ビット)								-

記号	名称	アドレス	7	6	5	4	3	2	1	0	
ROMCMP20	Address compare register 20	410H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	-	
			W								-
			0	0	0	0	0	0	0	0	-
			修正 ROM アドレス (下位 7 ビット)								-
ROMCMP21	Address compare register 21	411H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08	
			W								
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)								
ROMCMP22	Address compare register 22	412H (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16	
			W								
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)								
ROMSUB2L	Address substitution register 2L	414H (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00	
			W								
			0	0	0	0	0	0	0	0	0
			置き換えデータ (下位 8 ビット)								
ROMSUB2H	Address substitution register 2H	415H (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08	
			W								
			0	0	0	0	0	0	0	0	0
			置き換えデータ (上位 8 ビット)								
ROMCMP30	Address compare register 30	418H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	-	
			W								-
			0	0	0	0	0	0	0	0	-
			修正 ROM アドレス (下位 7 ビット)								-
ROMCMP31	Address compare register 31	419H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08	
			W								
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)								
ROMCMP32	Address compare register 32	41AH (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16	
			W								
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)								
ROMSUB3L	Address substitution register 3L	41CH (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00	
			W								
			0	0	0	0	0	0	0	0	0
			置き換えデータ (下位 8 ビット)								
ROMSUB3H	Address substitution register 3H	41DH (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08	
			W								
			0	0	0	0	0	0	0	0	0
			置き換えデータ (上位 8 ビット)								

記号	名称	アドレス	7	6	5	4	3	2	1	0	
ROMCMP40	Address compare register 40	420H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	-	
			W								-
			0	0	0	0	0	0	0	0	-
			修正 ROM アドレス (下位 7 ビット)								-
ROMCMP41	Address compare register 41	421H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08	
			W								
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)								
ROMCMP42	Address compare register 22	422H (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16	
			W								
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)								
ROMSUB4L	Address substitution register 4L	424H (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00	
			W								
			0	0	0	0	0	0	0	0	0
			置き換えデータ (下位 8 ビット)								
ROMSUB4H	Address substitution register 4H	425H (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08	
			W								
			0	0	0	0	0	0	0	0	0
			置き換えデータ (上位 8 ビット)								
ROMCMP50	Address compare register 50	428H (RMW 禁)	ROMC07	ROMC06	ROMC05	ROMC04	ROMC03	ROMC02	ROMC01	-	
			W								-
			0	0	0	0	0	0	0	0	-
			修正 ROM アドレス (下位 7 ビット)								-
ROMCMP51	Address compare register 51	429H (RMW 禁)	ROMC15	ROMC14	ROMC13	ROMC12	ROMC11	ROMC10	ROMC09	ROMC08	
			W								
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (中位 8 ビット)								
ROMCMP52	Address compare register 52	42AH (RMW 禁)	ROMC23	ROMC22	ROMC21	ROMC20	ROMC19	ROMC18	ROMC17	ROMC16	
			W								
			0	0	0	0	0	0	0	0	0
			修正 ROM アドレス (上位 8 ビット)								
ROMSUB5L	Address substitution register 5L	42CH (RMW 禁)	ROMS07	ROMS06	ROMS05	ROMS04	ROMS03	ROMS02	ROMS01	ROMS00	
			W								
			0	0	0	0	0	0	0	0	0
			置き換えデータ (下位 8 ビット)								
ROMSUB5H	Address substitution register 5H	42DH (RMW 禁)	ROMS15	ROMS14	ROMS13	ROMS12	ROMS11	ROMS10	ROMS09	ROMS08	
			W								
			0	0	0	0	0	0	0	0	0
			置き換えデータ (上位 8 ビット)								

第 16 章 ポート部等価回路図

・回路図の見方

基本的に、標準 CMOS ロジック IC 「74HC 」 シリーズと同じゲート記号を使って書かれています。信号名の中で、特殊なものについては、下記に示します。

STOP :

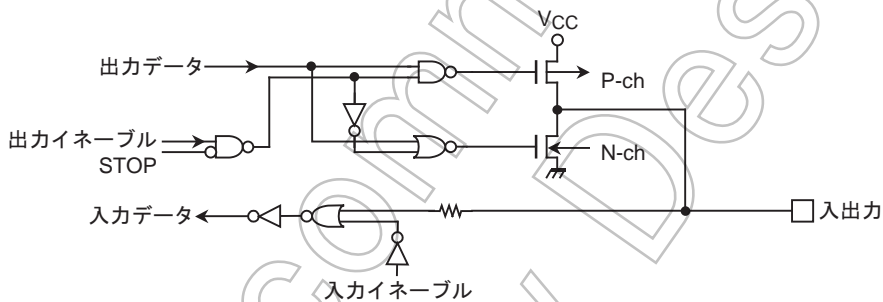
この信号は、HALT モード設定レジスタを 「STOP」 モード (SYSCR2<HALTM1:0> 0, 1) にし、CPU が 「HALT」 命令を実行したとき、アクティブ "1" になります。

ただし、ドライブイネーブルビット SYSCR2<DRVE> が "1" にセットされているときは、STOP は "0" のままです。

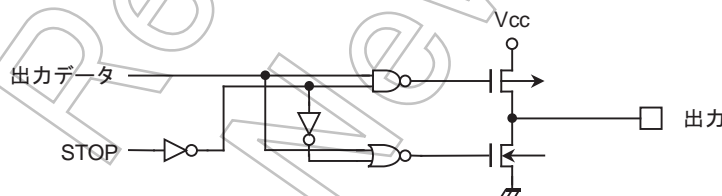
・入力保護抵抗は、数十～数百 程度です。

16.1 等価回路図

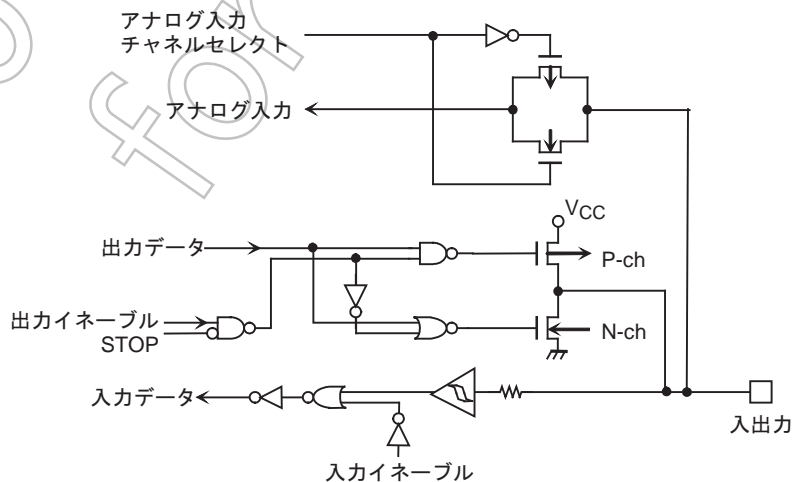
1. P0 (AD0~AD7), P1 (AD8~AD15, A8~A15), P2 (A16~A23, A0~A7)



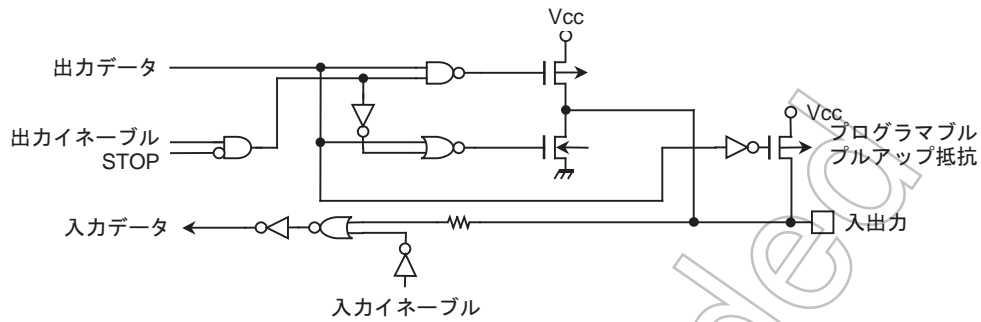
2. PZ0 (\overline{RD}), PZ1 (\overline{WR})



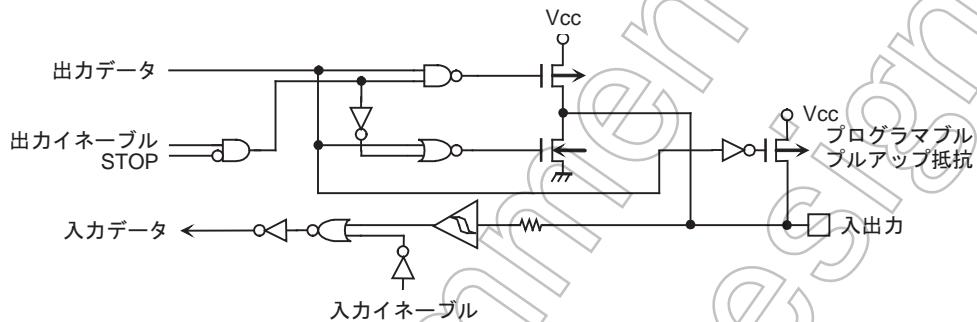
3. P5 (AN0~AN7), P6 (AN8~AN15)



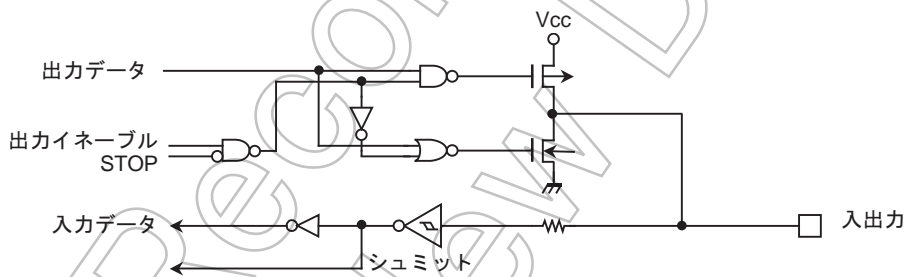
4. PZ2 ($\overline{\text{HWR}}$), PZ3 ($\overline{\text{R/W}}$), P44(ALE)



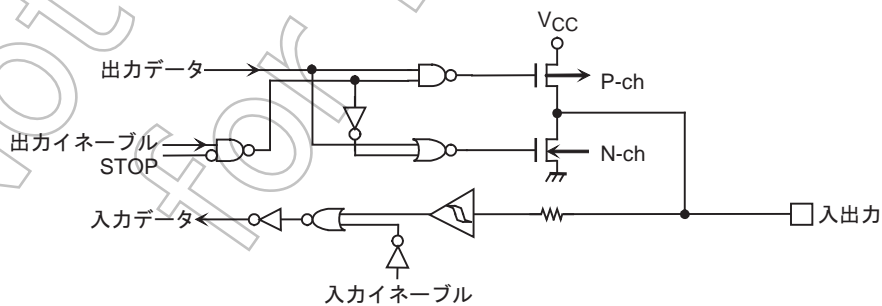
5. P40($\overline{\text{CS0/SCOUT}}$), P41($\overline{\text{CS1/TXD2}}$), P42($\overline{\text{CS2/RXD2}}$), P43($\overline{\text{CS3/SCLK2/CTS2}}$)



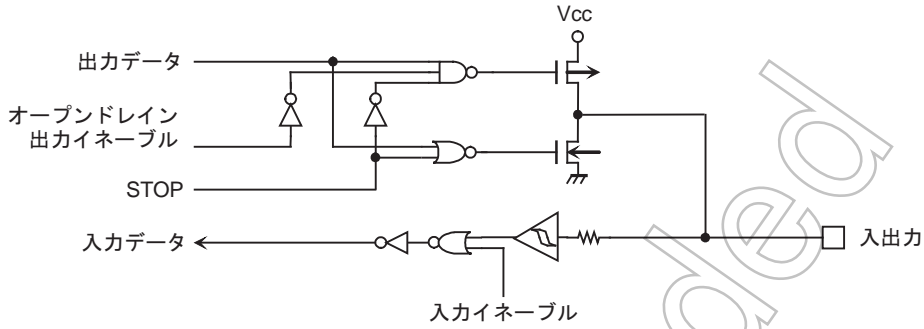
6. P75 (INT0)



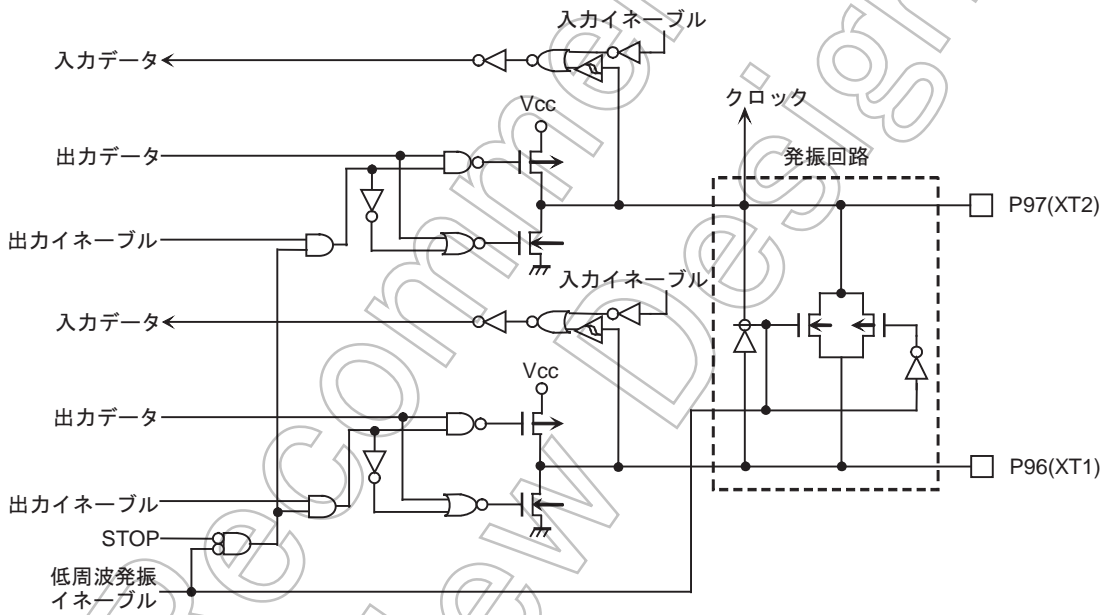
7. P32(WAIT/TB3OUT0), P33(TB3OUT1), P70(TA0IN), P71(TA1OUT), P72(TA3OUT), P73(TA4IN), P74(TA5OUT), P80~P87,P91(RXD0), P92(SCLK0/CTS0), P94(RXD1), P95(SCLK1/CTS1), PA0~PA3,PB2(TB4OUT0), PB3(TB4OUT1)



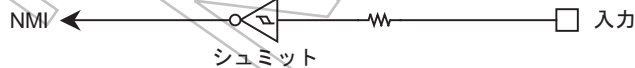
8. P30(TB3IN0/INT3/SDA0), P31(TB3IN1/INT4/SCL0), P90(TXD0), P93(TXD1), PB0(TB4IN0/INT9/SDA1), PB1(TB4IN1/INT10/SCL1)



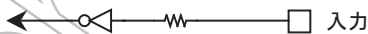
9. P96 (XT1), P97 (XT2)



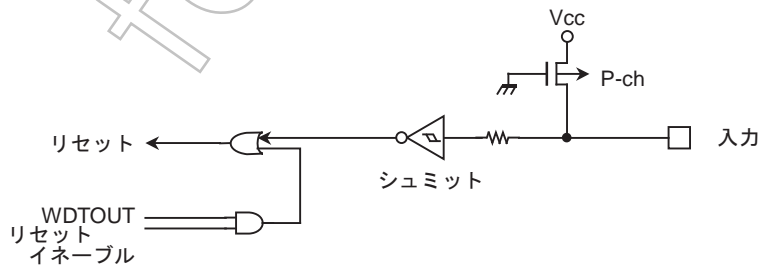
10. $\overline{\text{NMI}}$



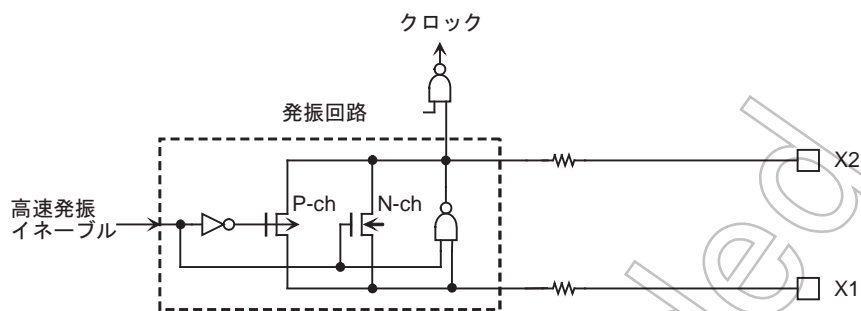
11. AM0~AM1



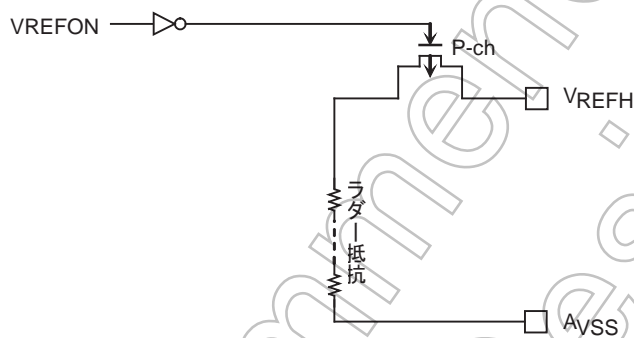
12. RESET



13. X1, X2



14. VREFH, AVSS



Not Recommended for New Design

第 17 章 使用上の注意、制限事項

17.1 特別な表記、言葉の説明

- a. 内蔵 I/O レジスタの説明：レジスタシンボル<ビットシンボル>

例) TA01RUN<TA0RUN> ... レジスタ TA01RUN のビット TA0RUN

- b. リードモディファイライト命令

CPU が、1 つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令。

例 1) SET 3, (TA0RUN) ... TA0RUN レジスタのビット 3 をセットする。

例 2) INC 1, (100H) ... アドレス 100H のデータを +1 する。

- TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術演算

ADD (mem), R/# ADC (mem), R/#

SUB (mem), R/# SBC (mem), R/#

INC #3, (mem) DEC #3, (mem)

論理演算

AND (mem), R/# OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem) RES #3, (mem)

SET #3, (mem) CHG #3, (mem)

TSET #3, (mem)

ローテート、シフト

RLC (mem) RRC (mem)

RL (mem) RR (mem)

SLA (mem) SRA (mem)

SLL (mem) SRL (mem)

RLD (mem) RRD (mem)

- c. f_{OSCH} 、 f_c 、 f_s 、 f_{FPH} 、 f_{SYS} 、1 ステート

X1/X2 端子より入力されるクロック周波数を f_{OSCH} または f_c 、XT1/XT2 端子より入力されるクロック周波数を f_s 、SYSCR1<SYSCK> で選択されたクロックを f_{FPH} 、 f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と呼びます。また、この f_{SYS} の 1 周期を 1 ステートと呼びます。

17.2 使用上の注意、制限事項

a. AM0、AM1 端子

本端子は DVcc 端子に接続し、動作中にレベル変動のないようにしてください。

b. EMU0、EMU1 端子

EMU0、EMU1 端子は”開放”して使用してください。

c. スタンバイモード (IDLE1)

IDLE1 モード (発振器のみ動作) に設定し、HALT 命令を実行した場合、内蔵の時計用タイマは動作イネーブル状態ですので、必要に応じて時計用タイマの制御レジスタ RTCCR<RTCRUN>を”0”にして止めてください。

d. ウォームアップカウンタ

外部発振器を用いるシステムで STOP モードの解除を割り込みなどで行う際には、ウォームアップカウンタが動作するため、システムクロックが出力されるまでウォームアップ時間を要します。

e. プログラマブルプルアップ/プルダウン抵抗

このプルアップ/プルダウン抵抗は、ポートを入力ポートとして使用するときのみプログラマブルに付加 / 付加なしを選択できます。出力ポートとして使用するときは、プログラマブルに選択することはできません。

付加 / 付加なしの選択は該当ポートのデータレジスタ (例: P4 レジスタ) で制御しますが、その際にはリードモディファイライト命令は使用できませんので転送命令を使用してください。

f. ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作イネーブル状態となっているため、ウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。

g. CPU (マイクロ DMA)

CPU 内にある転送元レジスタ (DMA_{Sn}) などのコントロールレジスタへのデータ書き込み、読み出しは、”LDC cr, r”、”LDC r, cr” 命令のみで行えません。

h. 未定義の内蔵 I/O レジスタの扱い

定義されていない内蔵 I/O レジスタのビットは、リードを行うと不定値が出力されます。そのため、プログラムを作成するときは、このビット状態に依存しないものにしてください。

i. 「POP SR」命令

「POP SR」命令の実行は、DI 状態で行ってください。

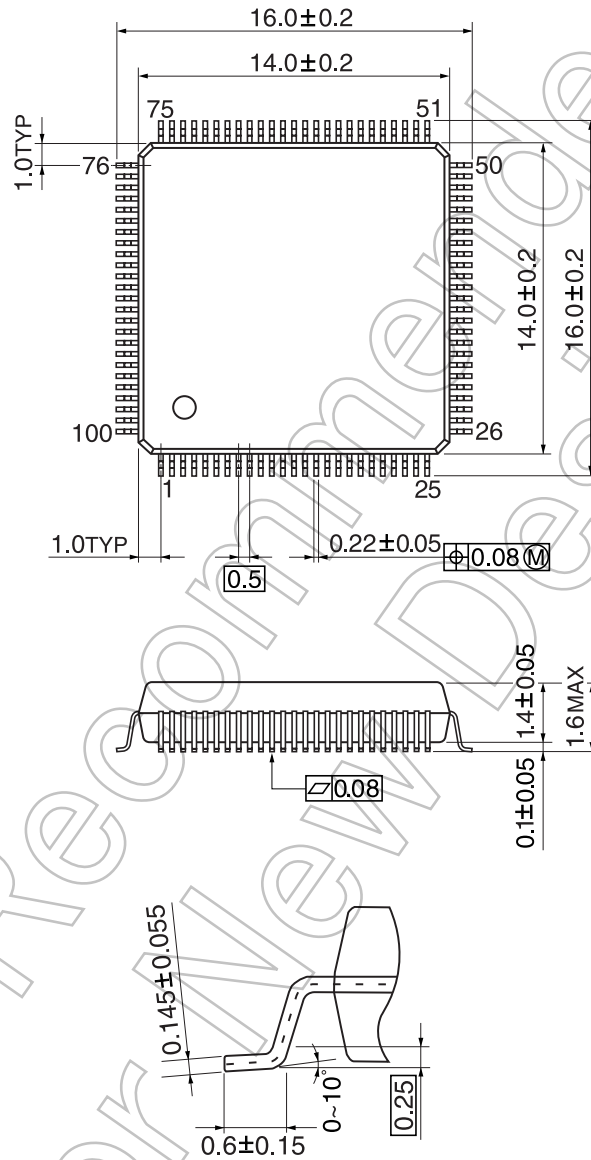
j. シリアルチャネル (SIO) のクロック選択

SYSOCR0<PRCK1>=”1”にてプリスケラクロックを fc/16 に選択した場合、シリアルチャネル (SIO0~SIO2) の I/O インタフェース入力クロック選択とシリアル転送クロック選択でポーレートジェネレータを選択しないでください。

第 18 章 外形寸法

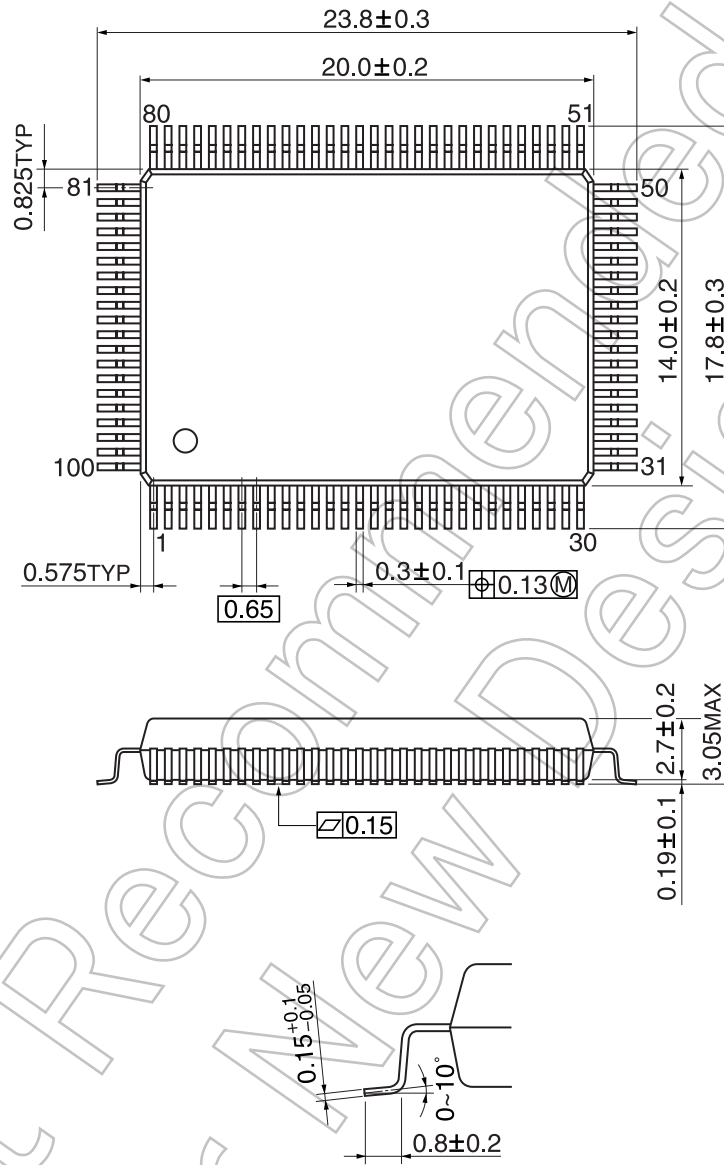
LQFP100-P-1414-0.50F

Unit: mm



QFP100-P-1420-0.65A

Unit: mm



Not Recommended for New Design

あとがき

この資料は TMP91CW60 のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年11月29日