

**TOSHIBA**

東芝 オリジナル CMOS 32 ビット マイクロコントローラ

**TLCS-900/H2 シリーズ**

**TMP94C241CFG**

Not Recommended  
for New Design

株式会社 **東芝** セミコンダクター社

## はじめに

この度は弊社 32 ビットマイクロコントローラ TLCS-900/H2 シリーズ、TMP94C241C をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されませうことをお願いいたします。

特に下記に示す注意事項に関しましては、十分にご注意願います。

### ホルト状態からの解除に関する注意事項

通常は、割り込みによってホルト状態を解除することができませんが、HALT モードが IDLE、STOP モードに設定されている状態 (RUN は対象外) で、CPU が HALT モードに移行しようとしている期間 (X1 約 3 クロックの間) に、HALT モードを解除可能な割り込み (NMI, INTO) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

## CMOS 32ビット マイクロコントローラ TMP94C241CFG

### 1. 概要と特長

TMP94C241C は、大容量データを処理する各種制御機器向けに開発された、高速・高機能 32 ビットマイクロコントローラです。

TMP94C241CFG は、160 ピンミニフラットパッケージ製品です。  
特長は次のとおりです。

- (1) オリジナル高速 32 ビット CPU (TLCS-900/H2 CPU)
  - TLCS-900、900/L、900/L1、900/H と命令コード完全互換
  - 16M バイトのリニアアドレス空間
  - 汎用レジスタ&レジスタバンク方式
  - マイクロ DMA: 8 チャンネル、250 ns/4 バイト (内部 20 MHz 動作時)
- (2) 最小命令実行時間: 50 ns (内部 20 MHz 動作時)
- (3) 内蔵 ROM: なし  
内蔵 RAM: 2K バイト (32 ビット 1 クロックアクセス、プログラム実行可能)
- (4) 外部メモリ拡張
  - 16M バイト (プログラム/データ共通) まで拡張可能
  - 外部データバス幅 : 8/16/32 ビット幅共存可能
- (5) メモリコントローラ
  - チップセレクト/ウェイト/バス幅の制御: 6 ブロック

### 当社半導体製品取り扱い上のごお願い

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。  
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

- (6) DRAM コントローラ: 2 チャンネル
  - ダイレクトインタフェース (8/16/32 ビットデータバス幅の選択可能)
- (7) 8 ビットタイマ: 4 チャンネル
- (8) 16 ビットタイマ: 4 チャンネル
- (9) シリアルインタフェース: 2 チャンネル
- (10) 10 ビット AD コンバータ: 8 チャンネル (サンプルホールド回路内蔵)
- (11) 8 ビット DA コンバータ: 2 チャンネル (CMOS アンプ内蔵)
- (12) ウォッチドッグタイマ
- (13) 割り込み機能
  - 内蔵 I/O 割り込み = 18 本、外部端子割り込み = 10 本
- (14) 入出力ポート: 64 端子 (外部メモリを D0~D31, A0~A23, RD (LOW ACTIVE) 端子で接続したとき)
- (15) パッケージ: 160 ピン QFP (QFP160-P-2828-0.65A)

Not Recommended  
for New Design

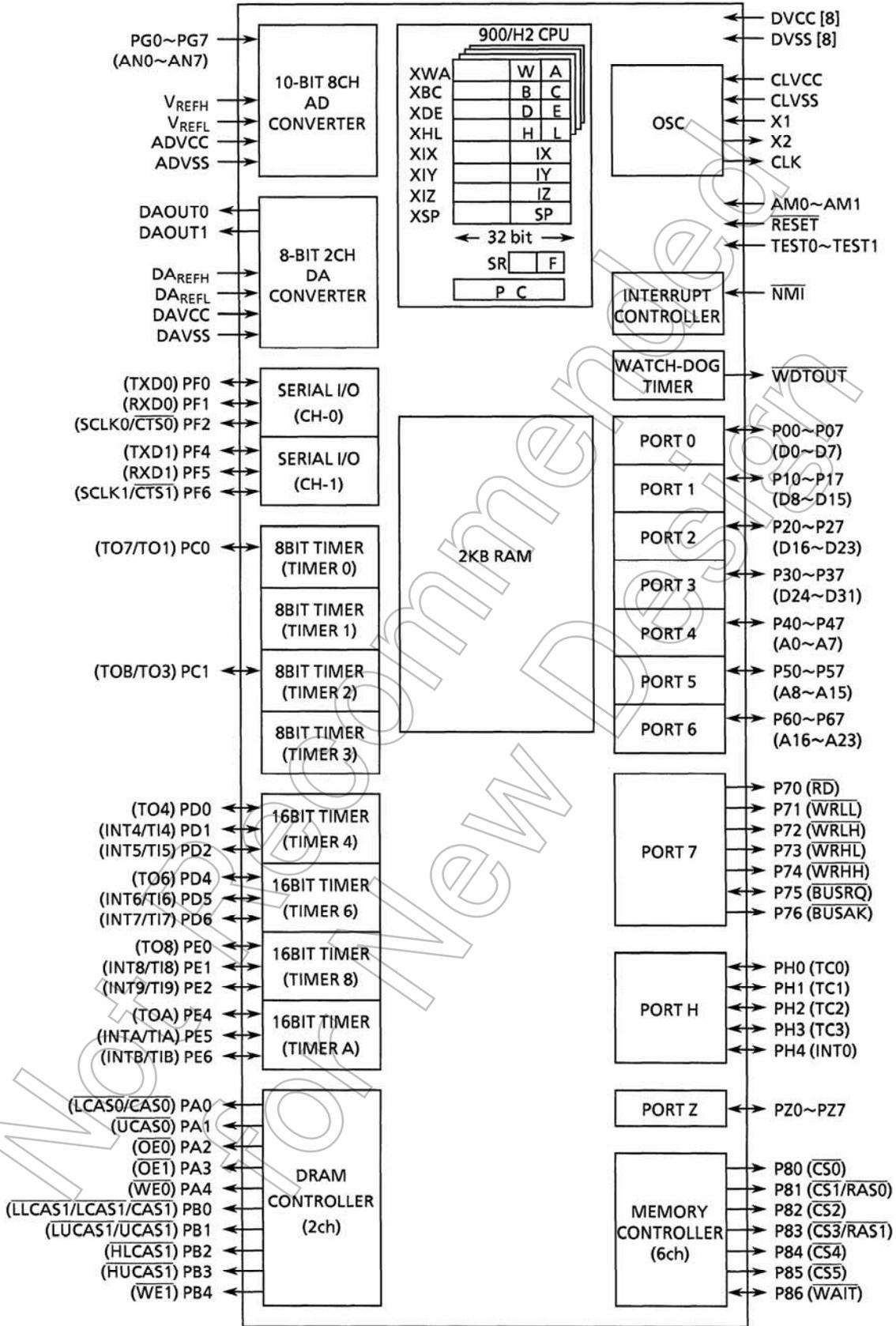


図 1.1 TMP94C241C ブロック図

2. ピン配置とピン機能

2.1 ピン配置図 (上面図)

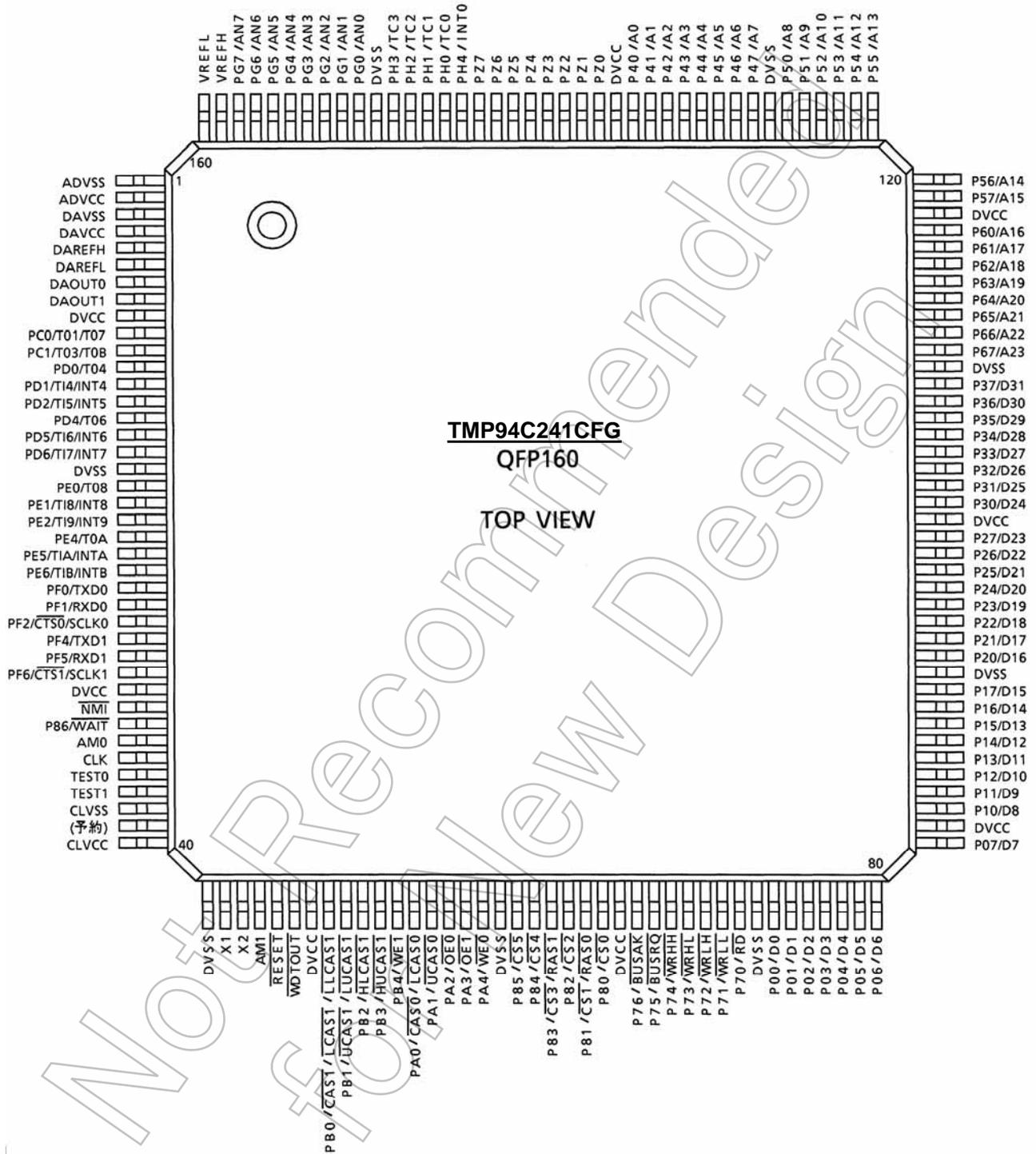


図 2.1.1 ピン配置図

## 2.2 ピン名称と機能

ピンの名称と機能は、表 2.2.1~表 2.2.6のとおりです。

表 2.2.1 ピン名称と機能 (1/6)

ピン名称	ピン数	入出力	機能
P00~P07 D0~D7	8 (TTL)	入出力 入出力	ポート0: 入出力ポート データ0~7: データバス0~7 外ROM型のTMP94C241Cでは、この機能に初期化されます。 外部メモリアクセスでないとき、ハイインピーダンスになります。
P10~P17 D8~D15	8 (TTL)	入出力 入出力	ポート1: 入出力ポート データ8~15: データバス8~15 外ROM型のTMP94C241Cで、16ビット以上のデータバス幅でスタートしたときは、この機能に初期化されます。 外部メモリアクセスでないとき、ハイインピーダンスになります。
P20~P27 D16~D23	8 (TTL)	入出力 入出力	ポート2: 入出力ポート データ16~23: データバス16~23 外ROM型のTMP94C241Cで、32ビットのデータバス幅でスタートしたときは、この機能に初期化されます。 外部メモリアクセスでないとき、ハイインピーダンスになります。
P30~P37 D24~D31	8 (TTL)	入出力 入出力	ポート3: 入出力ポート データ24~31: データバス24~31 外ROM型のTMP94C241Cで、32ビットのデータバス幅でスタートしたときは、この機能に初期化されます。 外部メモリアクセスでないとき、ハイインピーダンスになります。
P40~P47 A0~A7	8	入出力 出力	ポート4: 入出力ポート アドレス0~7: アドレスバス0~7 外ROM型のTMP94C241Cでは、この機能に初期化されます。 外部メモリアクセスでないとき、信号は変化しません。
P50~P57 A8~A15	8	入出力 出力	ポート5: 入出力ポート アドレス8~15: アドレスバス8~15 外ROM型のTMP94C241Cでは、この機能に初期化されます。 外部メモリアクセスでないとき、信号は変化しません。
P60~P67 A16~A23	8	入出力 出力	ポート6: 入出力ポート アドレス16~23: アドレスバス16~23 外ROM型のTMP94C241Cでは、この機能に初期化されます。 外部メモリアクセスでないとき、信号は変化しません。
P70 RD	1	出力 出力	ポート70: 出力ポート ("1"出力に初期化) リード: 外部メモリをリードするストローク信号 外部メモリアクセスでないときは、ストローク信号を出力しません。 外ROM型のTMP94C241Cでは、この機能に初期化されます。
P71 WRLL	1	出力 出力	ポート71: 出力ポート ("1"出力に初期化) ライト: 外部メモリのD0~D7をライトするストローク信号 外部メモリアクセスでないときは、ストローク信号を出力しません。
P72 WRLH	1	出力 出力	ポート72: 出力ポート ("1"出力に初期化) ライト: 外部メモリのD8~D15をライトするストローク信号 外部メモリアクセスでないときは、ストローク信号を出力しません。

表 2.2.2 ピン名称と機能 (2/6)

ピン名称	ピン数	入出力	機能
P73 <u>WRHL</u>	1	出力 出力	ポート73:出力ポート("1"出力に初期化) ライト:外部メモリのD16~D23をライトするストローク信号 外部メモリアクセスでないときは、ストローク信号を出力しません。
P74 <u>WRHH</u>	1	出力 出力	ポート74:出力ポート("1"出力に初期化) ライト:外部メモリのD24~D31をライトするストローク信号 外部メモリアクセスでないときは、ストローク信号を出力しません。
P75 <u>BUSRQ</u>	1	入出力 入力	ポート75:入出力ポート バスリクエスト:メモリインタフェース端子を、ハイインピーダンスにすることを要求する信号 以下の端子がハイインピーダンスになります。ただし、ポートとして機能しているときは、状態は変わりません。 <u>A0~A23, D0~D31, RD, WRL, WRLH, WRHL, WRHH, CS0~CS5, OE0~OE1, WE0~WE1, RAS</u> グループ, <u>CAS</u> グループ
P76 <u>BUSAK</u>	1	出力 出力	ポート76:出力ポート("1"出力に初期化) バスアクノリッジ: <u>BUSRQ</u> の要求を受け付けたことを示す信号
P80 <u>CS0</u>	1	出力 出力	ポート80:出力ポート("1"出力に初期化) チップセレクト0:アドレスが、指定したアドレス領域内なら"L"レベルを出力します。
P81 <u>CS1</u> <u>RAS0</u>	1	出力 出力 出力	ポート81:出力ポート("1"出力に初期化) チップセレクト1:アドレスが、指定したアドレス領域内なら"L"レベルを出力します。 ローアドレスストローク0:アドレスが、指定したアドレス領域内ならDRAM用RASストローク信号を出力します。
P82 <u>CS2</u>	1	出力 出力	ポート82:出力ポート("0"出力に初期化) チップセレクト2:アドレスが、指定したアドレス領域内なら"L"レベルを出力します。
P83 <u>CS3</u> <u>RAS1</u>	1	出力 出力 出力	ポート83:出力ポート("1"出力に初期化) チップセレクト3:アドレスが、指定したアドレス領域内なら"L"レベルを出力します。 ローアドレスストローク1:アドレスが、指定したアドレス領域内ならDRAM用RASストローク信号を出力します。
P84 <u>CS4</u>	1	出力 出力	ポート84:出力ポート("1"出力に初期化) チップセレクト4:アドレスが、指定したアドレス領域内なら"L"レベルを出力します。
P85 <u>CS5</u>	1	出力 出力	ポート85:出力ポート("1"出力に初期化) チップセレクト5:アドレスが、指定したアドレス領域内なら"L"レベルを出力します。
P86 <u>WAIT</u>	1	入出力 入力	ポート86:入出力ポート ウェイト:バスウェイト要求信号

表 2.2.3 ピン名称と機能 (3/6)

ピン名称	ピン数	入出力	機能
PA0 CAS0 LCAS0	1	出力 出力 出力	ポートA0: 出力ポート ("1"出力に初期化) カラムアドレスストロープ0: アドレスが、指定したアドレス領域内ならDRAM用CASストロープ信号を出力します。 下位カラムアドレスストロープ0: アドレスが、指定したアドレス領域内ならDRAM用下位CASストロープ信号を出力します。
PA1 UCAS0	1	出力 出力	ポートA1: 出力ポート ("1"出力に初期化) 上位カラムアドレスストロープ0: アドレスが、指定したアドレス領域内ならDRAM用上位CASストロープ信号を出力します。
PA2 OE0	1	出力 出力	ポートA2: 出力ポート ("1"出力に初期化) アウトイネーブル0: DRAM用アウトイネーブル信号を出力
PA3 OE1	1	出力 出力	ポートA3: 出力ポート ("1"出力に初期化) アウトイネーブル1: DRAM用アウトイネーブル信号を出力
PA4 WE0	1	出力 出力	ポートA4: 出力ポート ("1"出力に初期化) ライトイネーブル0: DRAM用ライトイネーブル信号を出力
PB0 CAS1 LCAS1 LLCAS1	1	出力 出力 出力	ポートB0: 出力ポート ("1"出力に初期化) カラムアドレスストロープ1: アドレスが、指定したアドレス領域内ならDRAM用CASストロープ信号を出力します。 下位カラムアドレスストロープ1: アドレスが、指定したアドレス領域内ならDRAM用下位CASストロープ信号を出力します。 下下位カラムアドレスストロープ1: アドレスが、指定したアドレス領域内ならDRAM用下下位CASストロープ信号を出力します。
PB1 UCAS1 LUCAS1	1	出力 出力	ポートB1: 出力ポート ("1"出力に初期化) 上位カラムアドレスストロープ1: アドレスが、指定したアドレス領域内ならDRAM用上位CASストロープ信号を出力します。 下上位カラムアドレスストロープ1: アドレスが、指定したアドレス領域内ならDRAM用下上位CASストロープ信号を出力します。
PB2 HLCAS1	1	出力 出力	ポートB2: 出力ポート ("1"出力に初期化) 上下位カラムアドレスストロープ1: アドレスが、指定したアドレス領域内ならDRAM用上下位CASストロープ信号を出力します。
PB3 HUCAS1	1	出力 出力	ポートB3: 出力ポート ("1"出力に初期化) 上上位カラムアドレスストロープ1: アドレスが、指定したアドレス領域内ならDRAM用上上位CASストロープ信号を出力します。
PB4 WE1	1	出力 出力	ポートB4: 出力ポート ("1"出力に初期化) ライトイネーブル1: DRAM用ライトイネーブル信号を出力
PC0 TO1 TO7	1	入出力 出力 出力	ポートC0: 入出力ポート タイマ出力1: 8ビットタイマ0またはタイマ1の出力 タイマ出力7: 16ビットタイマ7の出力

表 2.2.4 ピン名称と機能 (4/6)

ピン名称	ピン数	入出力	機能
PC1 TO3 TOB	1	入出力 出力 出力	ポートC1: 入出力ポート タイマ出力3: 8ビットタイマ2またはタイマ3の出力 タイマ出力B: 16ビットタイマBの出力
PD0 TO4	1	入出力 出力	ポートD0: 入出力ポート タイマ出力4: 16ビットタイマ4の出力
PD1 TI4 INT4	1	入出力 入力 入力	ポートD1: 入出力ポート タイマ入力4: 16ビットタイマ4の入力 割り込み要求端子4: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子
PD2 TI5 INT5	1	入出力 入力 入力	ポートD2: 入出力ポート タイマ入力5: 16ビットタイマ4の入力 割り込み要求端子5: 立ち上がりエッジの割り込み要求端子
PD4 TO6	1	入出力 出力	ポートD4: 入出力ポート タイマ出力6: 16ビットタイマ6の出力
PD5 TI6 INT6	1	入出力 入力 入力	ポートD5: 入出力ポート タイマ入力6: 16ビットタイマ6の入力 割り込み要求端子6: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子
PD6 TI7 INT7	1	入出力 入力 入力	ポートD6: 入出力ポート タイマ入力7: 16ビットタイマ6の入力 割り込み要求端子7: 立ち上がりエッジの割り込み要求端子
PE0 TO8	1	入出力 出力	ポートE0: 入出力ポート タイマ出力8: 16ビットタイマ8の出力
PE1 TI8 INT8	1	入出力 入力 入力	ポートE1: 入出力ポート タイマ入力8: 16ビットタイマ8の入力 割り込み要求端子8: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子
PE2 TI9 INT9	1	入出力 入力 入力	ポートE2: 入出力ポート タイマ入力9: 16ビットタイマ8の入力 割り込み要求端子9: 立ち上がりエッジの割り込み要求端子
PE4 TOA	1	入出力 出力	ポートE4: 入出力ポート タイマ出力A: 16ビットタイマAの出力
PE5 TIA INTA	1	入出力 入力 入力	ポートE5: 入出力ポート タイマ入力A: 16ビットタイマAの入力 割り込み要求端子A: 立ち上がり/立ち下がりエッジがプログラマブルな割り込み要求端子
PE6 TIB INTB	1	入出力 入力 入力	ポートE6: 入出力ポート タイマ入力B: 16ビットタイマAの入力 割り込み要求端子B: 立ち上がりエッジの割り込み要求端子

表 2.2.5 ピン名称と機能 (5/6)

ピン名称	ピン数	入出力	機能
PF0 TXD0	1	入出力 出力	ポートF0: 入出力ポート シリアル送信データ0 (オープンドレイン出力可能)
PF1 RXD0	1	入出力 入力	ポートF1: 入出力ポート シリアル受信データ0
PF2 CTS0 SCLK0	1	入出力 入力 入出力	ポートF2: 入出力ポート シリアル送信可能0 シリアルクロック入出力0
PF4 TXD1	1	入出力 出力	ポートF4: 入出力ポート シリアル送信データ1 (オープンドレイン出力可能)
PF5 RXD1	1	入出力 入力	ポートF5: 入出力ポート シリアル受信データ1
PF6 CTS1 SCLK1	1	入出力 入力 入出力	ポートF6: 入出力ポート シリアル送信可能1 シリアルクロック入出力1
PG0~PG7 AN0~AN7	8	入力 入力	ポートG: 入力ポート アナログ入力: 10ビットADコンバータの入力
DAOUT0	1	出力	DA出力0: 8ビットDAコンバータ0の出力
DAOUT1	1	出力	DA出力1: 8ビットDAコンバータ1の出力
PH0 TC0	1	入出力 出力	ポートH0: 入出力ポート ターミナルカウンタ0: マイクロDMAチャンネル0のカウンタ値が0になったとき、“H”レベルをストローブ出力します。
PH1 TC1	1	入出力 出力	ポートH1: 入出力ポート ターミナルカウンタ1: マイクロDMAチャンネル1のカウンタ値が0になったとき、“H”レベルをストローブ出力します。
PH2 TC2	1	入出力 出力	ポートH2: 入出力ポート ターミナルカウンタ2: マイクロDMAチャンネル2のカウンタ値が0になったとき、“H”レベルをストローブ出力します。
PH3 TC3	1	入出力 出力	ポートH3: 入出力ポート ターミナルカウンタ3: マイクロDMAチャンネル3のカウンタ値が0になったとき、“H”レベルをストローブ出力します。
PH4 INT0	1	入出力 入力	ポートH4: 入出力ポート (シュミット入力) 割り込み要求端子0: レベル/立ち上がりエッジがプログラマブルな割り込み要求端子 (シュミット入力)
PZ0~PZ7	8	入出力	ポートZ: 入出力ポート
NMI	1	入力	ノンマスクブル割り込み要求端子: 立ち下がりエッジの割り込み要求端子です。プログラムにより、立ち上がりエッジでも割り込み要求可能となります (シュミット入力)。
WDTOUT	1	出力	ウォッチドッグタイマ出力端子

表 2.2.6 ピン名称と機能 (6/6)

ピン名称	ピン数	入出力	機能
AM0~1	2	入力	アドレスモード：リセット解除後の起動外部データバス幅の選択 AM1="0" AM0="0" : 8ビット外部データバスでスタート AM1="0" AM0="1" : 16ビット外部データバスでスタート AM1="1" AM0="0" : 32ビット外部データバスでスタート AM1="1" AM0="1" : 設定しないでください
TEST0~1	2	入力	テスト："GND"固定で使用
CLK	1	出力	クロック：システムクロックを出力
X1/X2	2	入/出	発振子接続端子
RESET	1	入力	リセット：デバイスを初期化 (プルアップ抵抗付) (シュミット入力)
VREFH	1	入力	10ビットADコンバータ用基準電圧入力端子 (H)
VREFL	1	入力	10ビットADコンバータ用基準電圧入力端子 (L)
DAREFH	1	入力	8ビットDAコンバータ用基準電圧入力端子 (H)
DAREFL	1	入力	8ビットDAコンバータ用基準電圧入力端子 (L)
ADVCC	1	—	10ビットADコンバータ電源端子
ADVSS	1	—	10ビットADコンバータGND端子 (0V)
DAVCC	1	—	8ビットDAコンバータ電源端子
DAVSS	1	—	8ビットDAコンバータGND端子 (0V)
CLVCC	1	—	クロックダブラー用電源端子
CLVSS	1	—	クロックダブラー用GND端子
DVCC	8	—	デジタル電源端子 (+5V) (全 DVCC 端子をデジタル電源(5V)に接続してください。)
DVSS	8	—	デジタルGND端子 (0V) (全 DVSS 端子をGND(0V)に接続してください。)

### 3. 動作説明

ここでは、TMP94C241C の機能および基本動作について、ブロックごとに説明します。

#### 3.1 CPU

TMP94C241C には、高性能な高速 32 ビット CPU「TLCS-900/H2 CPU」が内蔵されています。CPU の詳細な動作については、第 3 章「TLCS-900/H2 CPU」を参照してください。

ここでは、主に TMP94C241C 独自の CPU 機能について説明します。

##### 3.1.1 CPU の概要

「TLCS-900/H2 CPU」は、「TLCS-900/H CPU」をベースに、より高速処理を可能にするために、内部および外部のデータバス幅を 32 ビットに拡張した高速・高性能 CPU です。

「TLCS-900/H2 CPU」の概要を、表 3.1.1 に示します。

表 3.1.1 CPU の概要

CPU アドレスバス幅	24 ビット
CPU データバス幅	32 ビット
内部動作周波数	20 MHz
最小バスサイクル	1 クロックアクセス (50 ns @ 20 MHz)
データバスサイジング機能	8/16/32 ビット
内蔵 ROM (TMP94C241C では内蔵していません)	32 ビット 2・1・1・1 アクセス (インターリーブ方式)
内蔵 RAM	32 ビット 1 クロックアクセス
内蔵 I/O	8/16/32 ビット 2 クロックアクセス
外部デバイス	8/16/32 ビット 2 クロックアクセス (ウェイト挿入可)
最小命令サイクル	1 クロック (50 ns @ 20 MHz)
条件付き分岐命令	2 クロック (100 ns @ 20 MHz)
命令キューバッファ	12 バイト
命令セット	TLCS-900/L、TLCS-900/H 命令コード互換 (ただし、MAX 命令, LDX 命令なし)
CPU モード	マキシマムモードのみ (ミニマムモードなし)
マイクロ DMA	8 チャンネル

### 3.1.2 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、内部高周波発信器の発振が安定した状態で少なくとも 10 システムクロック間 (10 MHz クロック発振時で 2  $\mu$ s)、 $\overline{\text{RESET}}$  入力を “Low” レベルにしてください。

- プログラムカウンタ “PC” を、アドレス FFFF00H~FFFF02H に格納されているリセットベクタに従いセット  
PC (7:0) ← アドレス FFFF00H の値  
PC (15:8) ← アドレス FFFF01H の値  
PC (23:16) ← アドレス FFFF02H の値
- スタックポインタ “XSP” を 00000000H にセット
- ステータスレジスタ “SR” の IFF (2:0) を “111” にセット (割り込みレベルのマスクレジスタをレベル “7” にセット)
- ステータスレジスタ “SR” の RFP (1:0) を “00” にセット (レジスタバンクを “0” にセット)

リセットが解除されると、セットされたプログラムカウンタ “PC” に従い、命令のフェッチと実行を開始します。なお、上記以外の CPU 内部のレジスタの内容は変化しません。

また、リセットが受け付けられると、内蔵 I/O および入出力ポート、その他の端子は、下記のとおり初期化されます。

- 内蔵 I/O のレジスタを初期化 (初期値は、第 5 章「特殊機能レジスタ一覧表」を参照してください)
- 入出力ポートを入力ポートにセット
- $\overline{\text{WDOUT}}$  出力端子を “L” レベルにセット (ただし、リセットが解除されると “H” レベルを出力します)

$\overline{\text{RESET}}$  入力端子が “H” レベルになると、本デバイスに内蔵された「内部クロック倍速回路」(システムクロックは、外部クロックの 2 倍速です) が動作を開始し、その回路の安定時間 (外部クロック周期の 2<sup>14</sup> 倍: 約 1.6 ms @ 外部 10 MHz) 経過後に、内部のリセットが解除されます。

パワーオンリセット時、電源供給が安定するまでは、メモリコントローラ制御信号が不安定であるため、接続されている外部 RAM のバックアップデータが書き替えられる可能性があります。

### 3.1.3 起動外部データバス幅の選択

TMP94C241C は、AM0~AM1 端子の設定により、リセット解除後の外部データバス幅の選択ができます。具体的には、下記のようになります。

AM1	AM0	リセット解除後の動作
"0"	"0"	8ビットデータバス幅で起動
"0"	"1"	16ビットデータバス幅で起動
"1"	"0"	32ビットデータバス幅で起動
"1"	"1"	設定しないでください

この AM0~AM1 端子の設定は、メモリコントローラの CS2 端子で制御されるアドレス空間のデータバス幅の設定にも使用されます。

外部メモリは、この AM0~AM1 端子で設定されるデータバス幅以外のメモリも接続することが可能です。詳細は、3.6「メモリコントローラ」を参照してください。

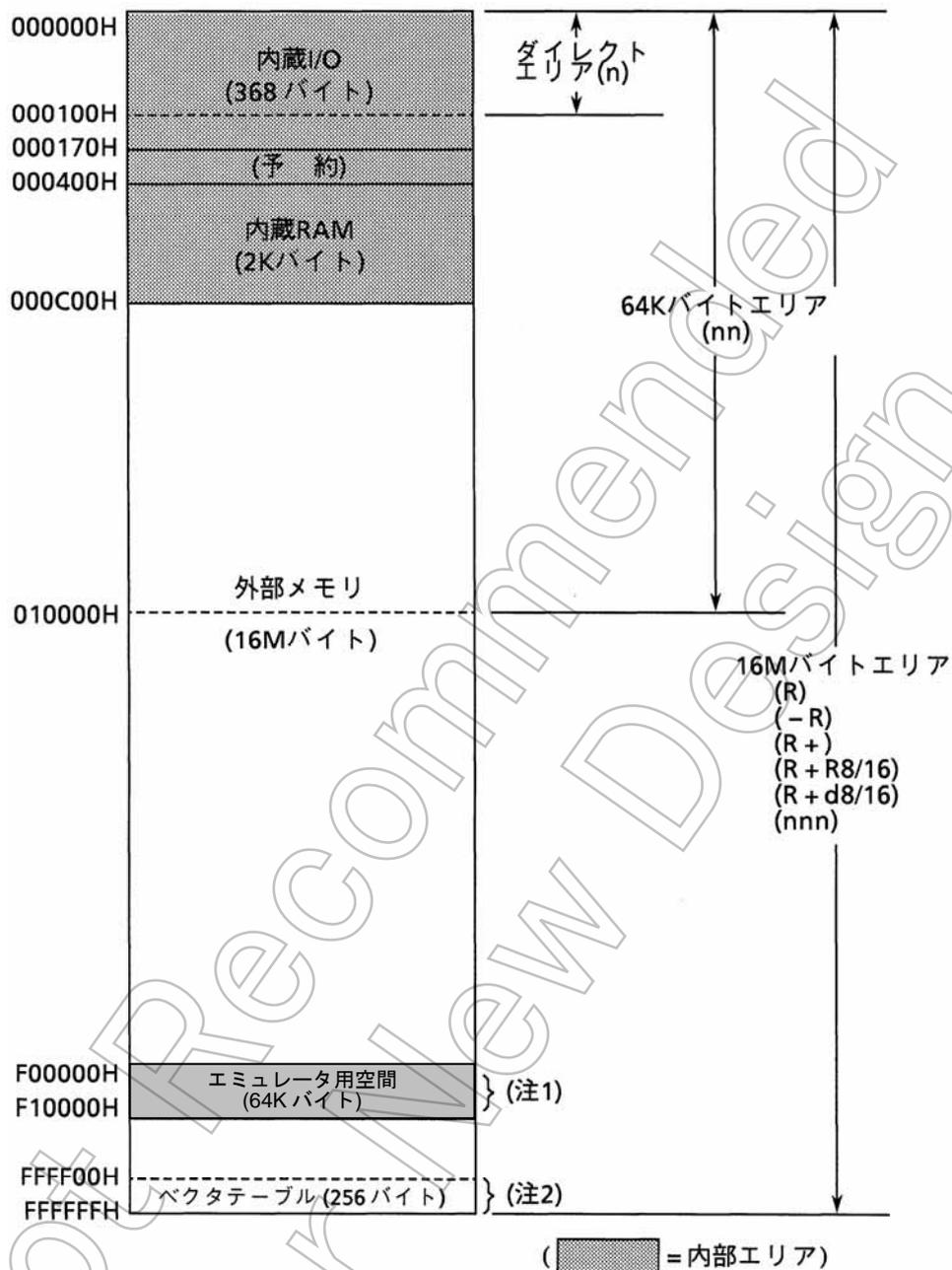
リセット解除後の外部メモリバスのウェイト数は“1”で、3クロックアクセス（バスサイクル 150 ns @ 20 MHz 内部動作）です。なお、メモリコントローラのウェイト制御レジスタを設定することにより、ウェイト数を変更することができます。

### 3.1.4 TEST0~TEST1 端子の設定

TEST0~TEST1 端子は“GND”に固定して使用してください。

## 3.2 メモリマップ

TMP94C241Cのメモリマップを、図 3.2.1に示します。



注1) エミュレータを使用する場合、F00000H~F10000Hの任意の64Kバイトは、エミュレータ制御のために使用されるので、ユーザーはその空間を使用することができません。また、この空間にアクセスすると、WR信号とRD信号が動作します。外部メモリ使用の際は注意してください。

注2) 最後の16バイトの空間(アドレスFFFFFF0H~FFFFFFFH)は、内部エリア空間として予約されているので、使用することができません。

図 3.2.1 TMP94C241C メモリマップ

### 3.3 割り込み

TLCS-900/H2 の割り込みは、CPU の割り込みマスクフリップフロップ (IFF2~IFF0) と、内蔵の割り込みコントローラによって制御されます。

TMP94C241C の割り込み要因には、下記に示す合計 38 本があります。

- |  |
|--|
| <ul style="list-style-type: none"> <li>● CPU 自体からの割り込み ..... 2 本<br/>(ソフトウェア割り込み、未定義命令実行違反)</li> <li>● 外部端子 (<math>\overline{\text{NMI}}</math>, INT0, INT4/INT5/INT6/INT7/INT8/INT9/INTA/INTB) ..... 10 本</li> <li>● 内蔵 I/O からの割り込み ..... 18 本</li> <li>● ハイスピード DMA からの割り込み ..... 8 本</li> </ul> |
|--|

各割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位 (可変) を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の “7” に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位値を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値 (最高はノンマスカブル割り込みの “7”) を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ (IFF2~IFF0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2~IFF0) の値は EI 命令 (EI num/<IFF2:0> の内容が num) を使用して、書き替えることができます。例えば、“EI 3” とプログラムすると、割り込みコントローラに設定された、優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みを受け付け可能となります。また、DI 命令 (<IFF2:0> が 7) は動作的には “EI 7” と同じですが、マスカブル割り込みの優先順位値が 0~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後、直ちに有効となります。

TLCS-900/H2 の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を、高速に行うことができます。

さらに、TMP94C241C には、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフト的に要求をかける“ソフトスタート機能”があります。

図 3.3.1 に割り込み処理全体のフローを示します。

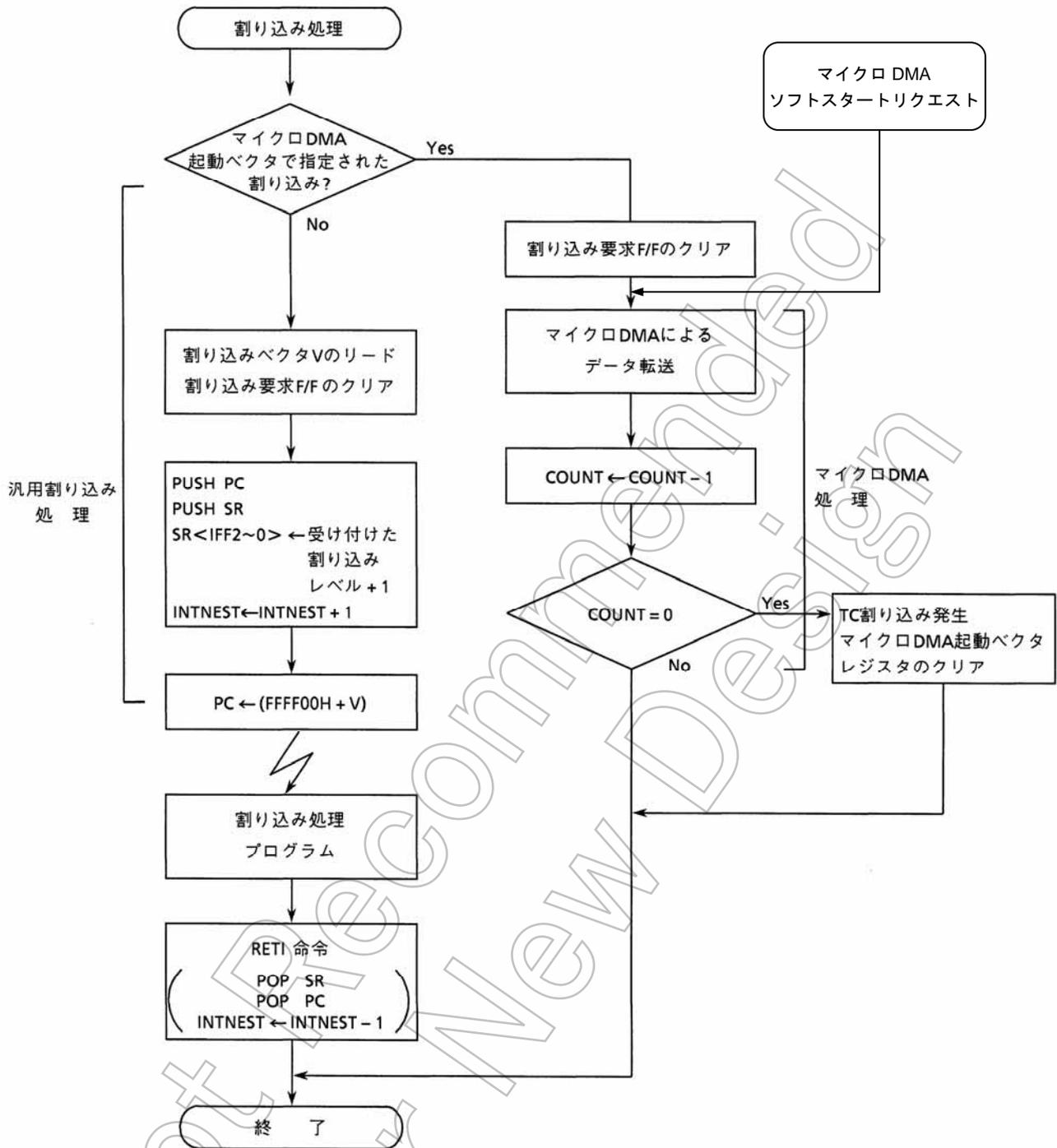


図 3.3.1 割り込み処理全体のフロー

### 3.3.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。この動作は、TLCS-900/L、TLCS-900/H と同様です。

- (1) CPU は、割り込みコントローラから、割り込みベクタをリードします。  
割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定: ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。
- (2) CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域 (XSP が示す領域) へ PUSH します。
- (3) CPU の割り込みマスクレジスタ<IFF2:0>の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”のときは、インクリメントせず“7”をセットします。
- (4) 割り込みネスティングカウンタ INTNEST を、+1 します。
- (5) CPU は、「FFFF00H + 割り込みベクタ」のデータで示されるアドレスへジャンプし、割り込み処理ルーチンを開始します。

上記の処理時間は、ベストケース (外部メモリは 32 ビットデータバス 0 ウェイト、スタック領域が内蔵 RAM で、スタックポインタ値が 4 の整数倍のとき) の場合、10 ステート (500 ns @ 20 MHz 内部動作) です。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容をリストアし割り込みネスティングカウンタ INTNEST を-1 します。

ノンマスクابل割り込みは、プログラムによって割り込み受け付けを禁止することができます。一方、マスクابل割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます。CPU は、CPU 自体が持つ割り込みマスクレジスタ<IFF2:0>の値以上の、優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU のマスクレジスタ<IFF2:0>に、受け付けた優先順位に“1”を加えた値をセットします。従って、割り込み処理中に、現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 (1)~(5) までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスクابل割り込みのネスティングを禁止することができます。

リセット後、CPU のマスクレジスタ<IFF2:0>は、“7”に初期化されているため、マスクابل割り込み禁止状態になっています。

TMP94C241C では、アドレス FFFF00H~FFFFFFH (256 バイト) が、割り込みベクタ領域に割り当てられています。なお、割り込みベクタ領域は、派生品ごとに異なります。

表 3.3.1 TMP94C241C の割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ	
1	ノン マスクابل	"SWI 0" 命令または "リセット"	0000H	FFFF00H	-	
2		"SWI 1" 命令または "要因消滅ベクタ"	0004H	FFFF04H	-	
3		"SWI 2" 命令または "未定義命令実行違反"	0008H	FFFF08H	-	
4		"SWI 3" 命令	000CH	FFFF0CH	-	
5		"SWI 4" 命令	0010H	FFFF10H	-	
6		"SWI 5" 命令	0014H	FFFF14H	-	
7		"SWI 6" 命令	0018H	FFFF18H	-	
8		"SWI 7" 命令	001CH	FFFF1CH	-	
9		NMI 外部割り込み入力端子	0020H	FFFF20H	-	
10		INTWTD ウォッチドッグタイマ	0024H	FFFF24H	-	
-		(マイクロ DMA)	-	-	-	
11	マスクابل	INT0 外部割り込み入力端子	0028H	FFFF28H	0AH (注 1)	
12		INT4 外部割り込み入力端子	002CH	FFFF2CH	0BH	
13		INT5 外部割り込み入力端子	0030H	FFFF30H	0CH	
14		INT6 外部割り込み入力端子	0034H	FFFF34H	0DH	
15		INT7 外部割り込み入力端子	0038H	FFFF38H	0EH	
-			(予 約)	003CH	FFFF3CH	-
16		INT8 外部割り込み入力端子	0040H	FFFF40H	10H	
17		INT9 外部割り込み入力端子	0044H	FFFF44H	11H	
18		INTA 外部割り込み入力端子	0048H	FFFF48H	12H	
19		INTB 外部割り込み入力端子	004CH	FFFF4CH	13H	
20		INTT0 8 ビットタイマ (Timer0)	0050H	FFFF50H	14H	
21		INTT1 8 ビットタイマ (Timer1)	0054H	FFFF54H	15H	
22		INTT2 8 ビットタイマ (Timer2)	0058H	FFFF58H	16H	
23		INTT3 8 ビットタイマ (Timer3)	005CH	FFFF5CH	17H	
24		INTTR4 16 ビットタイマ (Treg4)	0060H	FFFF60H	18H	
25		INTTR5 16 ビットタイマ (Treg5)	0064H	FFFF64H	19H	
26		INTTR6 16 ビットタイマ (Treg6)	0068H	FFFF68H	1AH	
27		INTTR7 16 ビットタイマ (Treg7)	006CH	FFFF6CH	1BH	
28		INTTR8 16 ビットタイマ (Treg8)	0070H	FFFF70H	1CH	
29		INTTR9 16 ビットタイマ (Treg9)	0074H	FFFF74H	1DH	
30		INTTRA 16 ビットタイマ (TregA)	0078H	FFFF78H	1EH	
31		INTTRB 16 ビットタイマ (TregB)	007CH	FFFF7CH	1FH	
32		INTRX0 シリアル 0 (受信)	0080H	FFFF80H	20H (注 2)	
33		INTTX0 シリアル 0 (送信)	0084H	FFFF84H	21H	
34		INTRX1 シリアル 1 (受信)	0088H	FFFF88H	22H (注 2)	
35		INTTX1 シリアル 1 (送信)	008CH	FFFF8CH	23H	
36		INTAD AD 変換終了	0090H	FFFF90H	24H	
37		INTTC0 マイクロ DMA 終了 Ch.0	0094H	FFFF94H	25H	
38		INTTC1 マイクロ DMA 終了 Ch.1	0098H	FFFF98H	26H	
39		INTTC2 マイクロ DMA 終了 Ch.2	009CH	FFFF9CH	27H	
40		INTTC3 マイクロ DMA 終了 Ch.3	00A0H	FFFA0H	28H	
41		INTTC4 マイクロ DMA 終了 Ch.4	00A4H	FFFA4H	29H	
42		INTTC5 マイクロ DMA 終了 Ch.5	00A8H	FFFA8H	2AH	
43		INTTC6 マイクロ DMA 終了 Ch.6	00ACH	FFFAACH	2BH	
44	INTTC7 マイクロ DMA 終了 Ch.7	00B0H	FFFB0H	2CH		
		(予 約)	00B4H	FFFB4H	-	
		:	:	:	:	
		(予 約)	00FCH	FFFFFCH	-	

注 1) マイクロ DMA を起動するときはエッジ検出モードに設定してください。

注 2) マイクロ DMA 処理を割り当てるできません。

### 3.3.2 マイクロ DMA

TMP94C241C には、マイクロ DMA 機能があります。マイクロ DMA に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベルで処理を行います。

マイクロ DMA は、8 チャンネル用意されており、後述のバースト指定により、連続転送が可能です。

#### (1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。IFF = 7 のときは、マイクロ DMA の要求は受け付けられません。

マイクロ DMA は 8 チャンネル用意されており、同時に 8 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求 F/F をクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回 (1/2/4 バイト) 行われ、転送数カウンタをデクリメントします。デクリメントした結果が“0”ならば、CPU はマイクロ DMA 転送終了を割り込みコントローラに伝え、割り込みコントローラは、マイクロ DMA 転送終了割り込み (INTTCn) を発生させ、かつ、マイクロ DMA 起動ベクタレジスタ DMAnV の値を“0”クリアして、次のマイクロ DMA 起動を禁止し、マイクロ DMA 処理を終了します。デクリメントした結果が“0”でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを“0”にしておく必要があります。これは、マイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。

また、マイクロ DMA と汎用割り込みを兼用する場合は、マイクロ DMA の起動に使用する割り込み要因の割り込みレベルをほかのすべての割り込み要因の割り込みレベルより低くする必要があります。

マイクロ DMA 転送終了割り込みは、ほかのマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャンネルのマイクロ DMA 要求が、同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャンネル番号の若い方が高くなります。(CH0 (高) → CH7 (低))

転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16M バイトとなります。

転送モードとしては、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、後述の「転送モードレジスタ詳細」を参照してください。

転送数カウンタは、16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回 (転送カウンタの初期値が 0000H のとき最大) の、マイクロ DMA 処理を行うことができます。

マイクロ DMA 処理を行うことのできる割り込み要因は、表 3.3.1 でマイクロ DMA 起動ベクタのある 34 種類の割り込みとソフトスタートによる計 35 種類です。

転送先アドレス INC モード (カウンタモード以外は同様) のマイクロ DMA サイクルを図 3.3.2 に示します。(転送対象アドレスエリア 0 ウェイトの内蔵 RAM の場合)

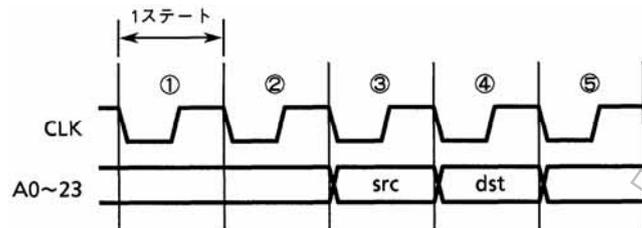


図 3.3.2 マイクロ DMA サイクル図

- 第 1~2 ステート: 命令フェッチサイクル (次の命令コードを先取りします)  
命令キューバッファがフルの場合、このサイクルは、ダミーサイクルになります。
- 第 3 ステート: マイクロ DMA リードサイクル
- 第 4 ステート: マイクロ DMA ライトサイクル
- 第 5 ステート: (第 1~2 ステートと同様)

## (2) ソフトスタート機能

TMP94C241C には、割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへの書き込みサイクルが発生したことにより、マイクロ DMA を起動する“マイクロ DMA ソフトスタート機能”があります。

具体的には、DMAR レジスタの各ビットに“1”を書き込むことにより、マイクロ DMA を一回起動することができます。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に“0”クリアされます。

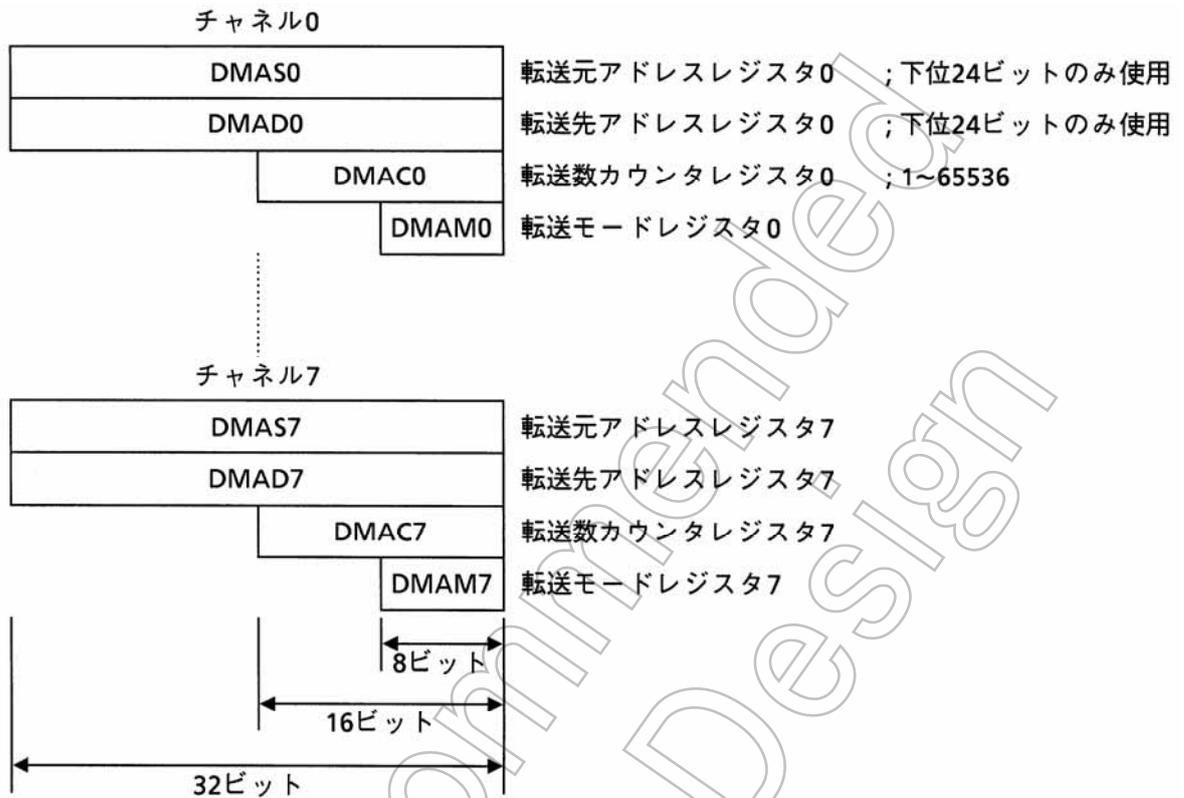
また再度 DMAR レジスタに“1”を書き込むと、マイクロ DMA 転送カウンタが“0”でない限りソフトスタートを引き続き行うことができます。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが“0”になるまで、連続的にデータ転送されます。

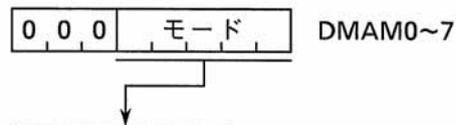
記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA Request	109h	DMA Request							
			DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
		(no RMW)	R/W							
			0	0	0	0	0	0	0	0

## (3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記のレジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



## (4) 転送モードレジスタ詳細



DMAM [4:0]	動作	実行時間
000zz	転送先アドレスINCモード (DMADn+) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	5ステート
001zz	転送先アドレスDECモード (DMADn-) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	5ステート
010zz	転送元アドレスINCモード (DMADn) ← (DMASn+) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	5ステート
011zz	転送元アドレスDECモード (DMADn) ← (DMASn-) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	5ステート
100zz	転送アドレスINCモード (DMADn+) ← (DMASn+) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	6ステート
101zz	転送アドレスDECモード (DMADn-) ← (DMASn-) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	6ステート
110zz	転送アドレス固定モード (DMADn) ← (DMASn) DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	5ステート
11100	カウンタモード DMASn ← DMASn + 1 DMACn ← DMACn - 1 if DMACn = 0 then INTTC発生	5ステート

ZZ : 00 = 1バイト転送  
 01 = 2バイト転送  
 10 = 4バイト転送  
 11 = (予約)

注) 実行時間は、ベストケース(メモリアクセスが1クロックの場合)の値です。  
 1ステート = 50 ns (@内部20 MHz動作)

### 3.3.3 割り込みコントローラの制御

図 3.3.3に、割り込み回路のブロック図を示します。この図の左半分は、割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路と、ホルト解除回路を示しています。

割り込みコントローラは、各割り込みチャンネルごと(合計 36 チャンネル)に、割り込み要求フラグ(フリップフロップ)、割り込み優先順位設定レジスタ、マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。このフラグはリセット動作、または割り込みが CPU に受け付けられてその割り込みチャンネルのベクタが CPU にリードされたとき、またはマイクロ DMA に設定されそのマイクロ DMA 要求が CPU に受け付けられたとき、またはマイクロ DMA のバースト転送が終了したとき、またはそのチャンネルの割り込みをクリアする命令 (INTCLR レジスタにクリアする割り込み要因のマイクロ DMA 起動ベクタをライト) を実行したとき、“0”にクリアされます。

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込み優先順位設定レジスタ (INTE0AD, INTE45 ……………など) にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは 1 から 6 までの 6 レベルです。書き込む優先順位値を“0”(または“7”)にすることにより、該当する割り込み要求は禁止されます。なお、ノンマスクブル割り込み (NMI 端子、ウォッチドッグタイマ) の優先順位値は“7”に固定されています。また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ (プライオリティ値(ベクタ)の小さいものに従い、割り込みを受け付けます。なお、割り込み優先順位設定レジスタの 3 ビット目、7 ビット目を読むと、割り込み要求フラグの状態が読み出され、各チャンネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で、最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ (SR) に設定された割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、CPU 側の SR<IFF2:0>に、受け付けた割り込みレベル +1 の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了 (RETI 命令の実行) により、CPU 側の SR<IFF2:0>には、スタックに退避されていた割り込み発生以前の割り込みマスクレジスタの値が、リストアされます。

割り込みコントローラには、マイクロ DMA の起動ベクタを格納するレジスタ (8 チャンネル) が用意されています。このレジスタに、起動ベクタ (表 3.3.1 参照) を書き込むことにより、該当する割り込み要求が発生することによって、マイクロ DMA が起動されます。なお、このマイクロ DMA 処理の前に、マイクロ DMA パラメータ用レジスタ (DMAS, DMAD など) に値を設定しておく必要があります。

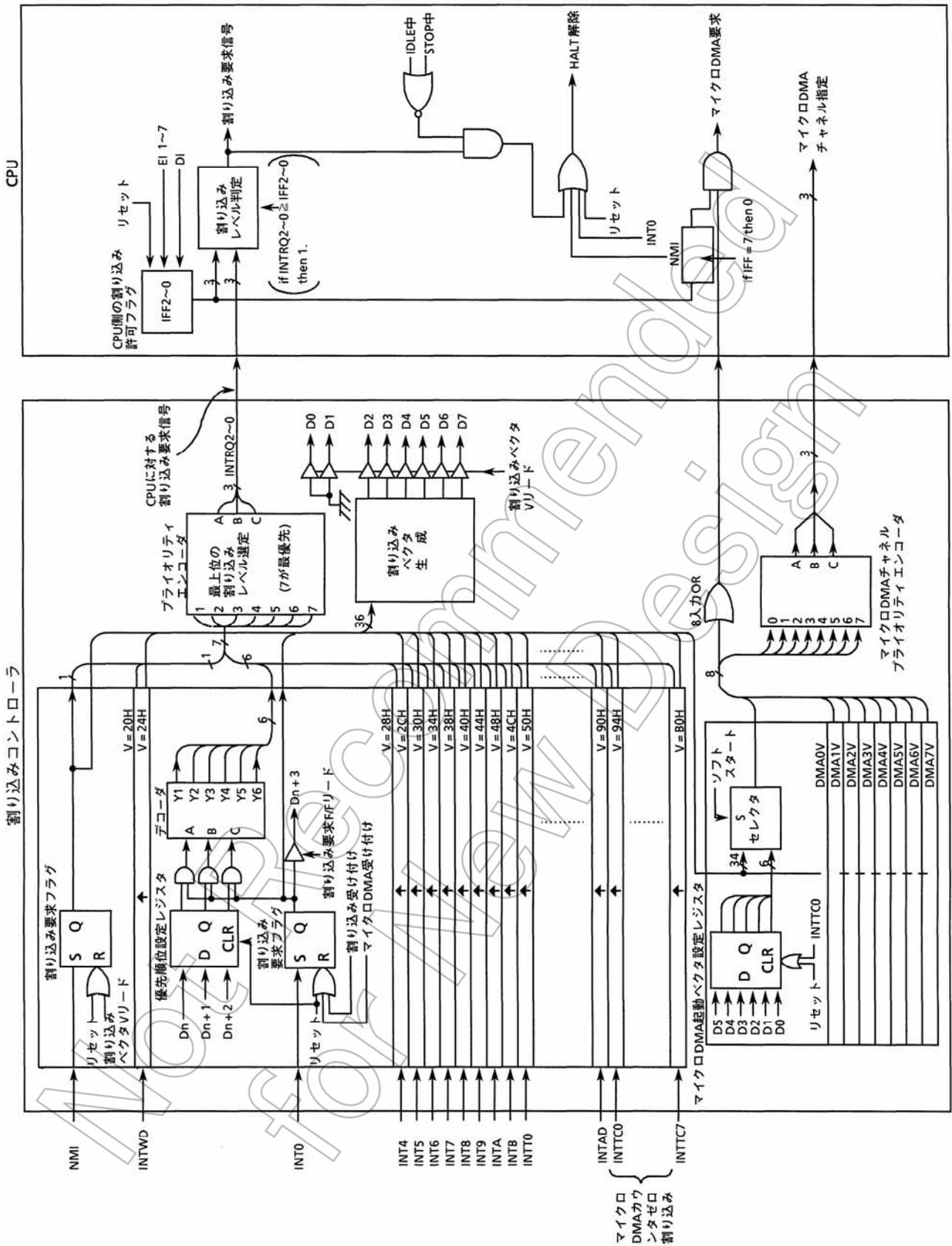


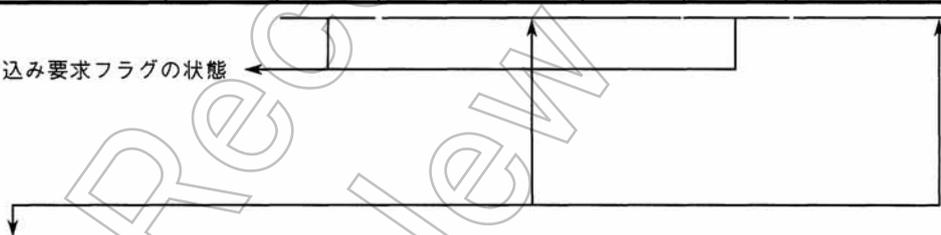
図 3.3.3 割り込みコントローラ ブロック図

## (1) 割り込み優先順位設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD Enable	F0h	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTE45	INT4 & INT5 Enable	E0h	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTE67	INT6 & INT7 Enable	E1h	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTE89	INT8 & INT9 Enable	E2h	INT9				INT8			
			I9C	I9M2	I9M1	I9M0	I8C	I8M2	I8M1	I8M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTEAB	INTA & INTB Enable	E3h	INTB				INTA			
			IBC	IBM2	IBM1	IBM0	IAC	IAM2	IAM1	IAM0
			B	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTE01	INTT0 & INTT1 Enable	E4h	INTT1(Timer1)				INTT0(Timer0)			
			IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTE23	INTT2 & INTT3 Enable	E5h	INTT3(Timer3)				INTT2(Timer2)			
			IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTE45	INTTR4 & INTTR5 Enable	E6h	INTTR5(TREG5)				INTTR4(TREG4)			
			IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTE67	INTTR6 & INTTR7 Enable	E7h	INTTR7(TREG7)				INTTR6(TREG6)			
			IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTE89	INTTR8 & INTTR9 Enable	E8h	INTTR9(TREG9)				INTTR8(TREG8)			
			IT9C	IT9M2	IT9M1	IT9M0	IT8C	IT8M2	IT8M1	IT8M0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	
INTEAB	INTTRA & INTTRB Enable	E9h	INTTRB(TREGB)				INTTRA(TREGA)			
			ITBC	ITBM2	ITBM1	ITBM0	ITAC	ITAM2	ITAM1	ITAM0
			R	R/W			R	R/W		
		0	0	0	0	0	0	0	0	

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTES0	INTRX0 & INTTX0 Enable	EAh	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1 & INTTX1 Enable	EBh	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC01	INTTC0 & INTTC1 Enable	ECh	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 Enable	EDh	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC45	INTTC4 & INTTC5 Enable	EEh	INTTC5				INTTC4			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC67	INTTC6 & INTTC7 Enable	EFh	INTTC7				INTTC6			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTNMWDT	NMI & INTWD Enable	F7h	NMI				INTWD			
			ITCNM	-	-	-	ITCWD	-	-	-
			R				R			
			0	-	-	-	0	-	-	-

割り込み要求フラグの状態



lxxM2	lxxM1	lxxM0	機能 (Write)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを "1" に設定
0	1	0	割り込みレベルを "2" に設定
0	1	1	割り込みレベルを "3" に設定
1	0	0	割り込みレベルを "4" に設定
1	0	1	割り込みレベルを "5" に設定
1	1	0	割り込みレベルを "6" に設定
1	1	1	割り込み要求を禁止に設定

注) 割り込み優先順位設定レジスタを変更する場合、DI命令実行後に行ってください。

(2) 外部割り込みの制御

記号	名称	アドレス	7	6	5	4	3	2	1	0		
IIMC	Interrupt Input Mode Control	F6h (no RMW)	-	-	-	-	-	-	IOLE	NMIREE		
			R/W									
			-	-	-	-	-	-	-	0	0	
											0: INTO edge mode 1: INTO level mode	1: Operate even at NMI rise edge

Note:

\*INT0 level Enable

0	Rising edge detect INT
1	"H"level INT

\*NMI rising edge Enable

0	INT request generation at falling edge
1	INT request generation at rising/falling edge

注 1) INTO 端子のモードをレベルからエッジに切り替える場合 (<IOLE>を 1 から 0 へ) INTO を禁止してから切り替えしてください。

DI

LD (IIMC), XXXXXX0XB ; レベルからエッジに切り替える

LD (INTCLR), 0AH ; INTO 割り込み要求フラグをクリア

EI

注 2) 外部割り込みの入力パルスにはスペックがあります。4.「電気的特性」を参照してください。

外部割り込み端子の機能設定

割り込み端子	兼用端子	モード	設定方法
NMI	—	立ち下がりエッジ	IIMC<NMIREE> = 0
		立ち下がり/立ち上がり両エッジ	IIMC<NMIREE> = 1
INT0	PH4	立ち上がりエッジ	IIMC<IOLE> = 0, PHFC<PH4F> = 1
		レベル	IIMC<IOLE> = 1, PHFC<PH4F> = 1
INT4	PD1	立ち上がりエッジ	T4MOD<CAP45M1:0> = 0, 0 または 0, 1 または 1, 1
INT5	PD2	立ち下がりエッジ	T4MOD<CAP45M1:0> = 1, 0
INT6	PD5	立ち上がりエッジ	T6MOD<CAP67M1:0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T6MOD<CAP67M1:0> = 1, 0
INT7	PD6	立ち上がりエッジ	—
INT8	PE1	立ち上がりエッジ	T8MOD<CAP89M1:0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	T8MOD<CAP89M1:0> = 1, 0
INT9	PE2	立ち上がりエッジ	—
INTA	PE5	立ち上がりエッジ	TAMOD<CAPABM1:0> = 0, 0 または 0, 1 または 1, 1
		立ち下がりエッジ	TAMOD<CAPABM1:0> = 1, 0
INTB	PE6	立ち上がりエッジ	—

## (3) 割り込み要求フラグクリアレジスタ

割り込み要求フラグのクリアは、INTCLR レジスタに表 3.3.1 のマイクロ DMA 起動ベクタを書くことで行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR ← 0AH      INT0 割り込み要求フラグのクリア

記号	名称	アドレス	7	6	5	4	3	2	1	0		
INTCLR	Interrupt Clear Control	F8h (no RMW)	-	-	-	-	-	-	-	-		
			W									
			0	0	0	0	0	0	0	0	0	
Interrupt Vector												

## (4) マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

従って、2チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します。(マイクロ DMA のチェーン)

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA 0 Start Vector	100h	DMA0 Start Vector							
			-	-	DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
			R/W							
-	-	0	0	0	0	0	0	0	0	
DMA1V	DMA 1 Start Vector	101h	DMA1 Start Vector							
			-	-	DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
			R/W							
-	-	0	0	0	0	0	0	0	0	
DMA2V	DMA 2 Start Vector	102h	DMA2 Start Vector							
			-	-	DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
			R/W							
-	-	0	0	0	0	0	0	0	0	
DMA3V	DMA 3 Start Vector	103h	DMA3 Start Vector							
			-	-	DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
			R/W							
-	-	0	0	0	0	0	0	0	0	
DMA4V	DMA 4 Start Vector	104h	DMA4 Start Vector							
			-	-	DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
			R/W							
-	-	0	0	0	0	0	0	0	0	
DMA5V	DMA 5 Start Vector	105h	DMA5 Start Vector							
			-	-	DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
			R/W							
-	-	0	0	0	0	0	0	0	0	
DMA6V	DMA 6 Start Vector	106h	DMA6 Start Vector							
			-	-	DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
			R/W							
-	-	0	0	0	0	0	0	0	0	
DMA7V	DMA 7 Start Vector	107h	DMA7 Start Vector							
			-	-	DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
			R/W							
-	-	0	0	0	0	0	0	0	0	

## (5) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1回のマイクロ DMA 起動で、転送カウンタ・レジスタがゼロになるまで、連続転送を行うことが可能です。具体的には、下記に示す DMAB レジスタのマイクロ DMA チャンネルに対応するビットを“1”にすることで、バースト指定できます。

記号	名称	アドレス	7	6	5	4	3	2	1	0
DMAB	DMA Burst	108h	DMA Burst							
			DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
-	-	-	0	0	0	0	0	0	0	0

## (6) 注意事項

本 CPU は、命令実行ユニットとバスインタフェースユニットが分かれています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令<sup>(注)</sup>を実行するということがあり得ます。この場合、CPU は要因消滅ベクタ “0004H” を読み込み、アドレス FFFF04H の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を置くようにしてください。また、再び割り込みイネーブルに設定する場合は EI 命令を実行してください。なお、EI 命令はクリア命令後、3 命令（例：“NOP” が 3 回）以上実行された後に実行してください。クリア命令後すぐに EI 命令を置くと、割り込み要求フラグがクリアされる前に、割り込みイネーブルになってしまうことがあります。

また、POP SR 命令により割り込みマスクレベル（ステータスレジスタ SR の<IFF2:0>）を書き替える時は、必ず DI 命令により割り込みを禁止した後に POP SR 命令を実行してください。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0 のレベルモード	<p>エッジタイプの割り込みではないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更（エッジ → レベル）を行った場合、以前の割り込み要求フラグは自動的にクリアされます。</p> <p>INT0 を “0” から “1” にすることによって CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INT0 を “1” のままにしておく必要があります。また、INT0 のレベルモードをホルトの解除に使用する場合も、一度 “0” から “1” にして、ホルトが解除されるまで必ず “1” に保持しておく必要があります。（ノイズによって途中で “0” が入ることのないようにしてください。）</p> <p>レベルモードからエッジモードへ切り替えたとき、レベルモードのときに受け付けた割り込み要求フラグはクリアされません。そのため、割り込み要求フラグを以下のシーケンスでクリアしてください。</p> <pre>DI LD (IIMC), 00H: レベルからエッジへ切り替える LD (INTCLR), 0AH: INT0 割り込み要求フラグをクリア NOP: EI の実行待ち NOP: EI の実行待ち NOP: EI の実行待ち EI</pre>
INTRX	<p>割り込み要求用フリップフロップをクリアするには、リセット動作またはシリアルチャネルの受信バッファをリードする必要があります。命令によるクリアはできません。</p>

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令  
レベルモードでの割り込み要求発生後の端子入力変化 (“H” → “L”)

INTRX: 受信バッファをリードする命令

### 3.4 スタンバイ機能

#### [1] HALT モード

HALT 命令を実行すると、WDMOD<HALTM1:0>の内容により RUN、IDLE、STOP モードのいずれかになります。

- (1) RUN: CPU のみ停止するモードで、消費電力は CPU 動作時とほとんど変わりません。
- (2) IDLE: 内部発振器だけ動作し、他の回路はすべて停止します。  
このモードでは、消費電力は動作時の 1/10 以下になります。
- (3) STOP: 内部発振器も含めて、すべての内部回路が停止します。  
このモードでは、消費電力は著しく低減されます。

#### [2] ホルト状態からの解除

ホルト状態からの解除は、割り込み要求、または、リセットにより行うことができます。使用できるホルト解除ソースは、割り込みマスクレジスタ <IFF2:0> の状態と、HALT モードの組み合わせにより決まります。詳細を表 3.4.2 に示します。

- 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。

“HALT” 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、“HALT” 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません（ノンマスク割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います）。

ただし、INT0 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず“HALT” 命令の次の命令から処理をスタートします（INT0 割り込み要求フラグは“1”を保持します）。

注) 通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE、STOP モードに設定されている状態（RUN は対象外）で、CPU が HALT モードに移行しようとしている期間（X1 約 3 クロックの間）に、HALT モードを解除可能な割り込み（NMI, INT0）が入力されても、ホルトが解除できない場合があります（割り込み要求は内部に保留されます）。

HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

- リセットによる解除

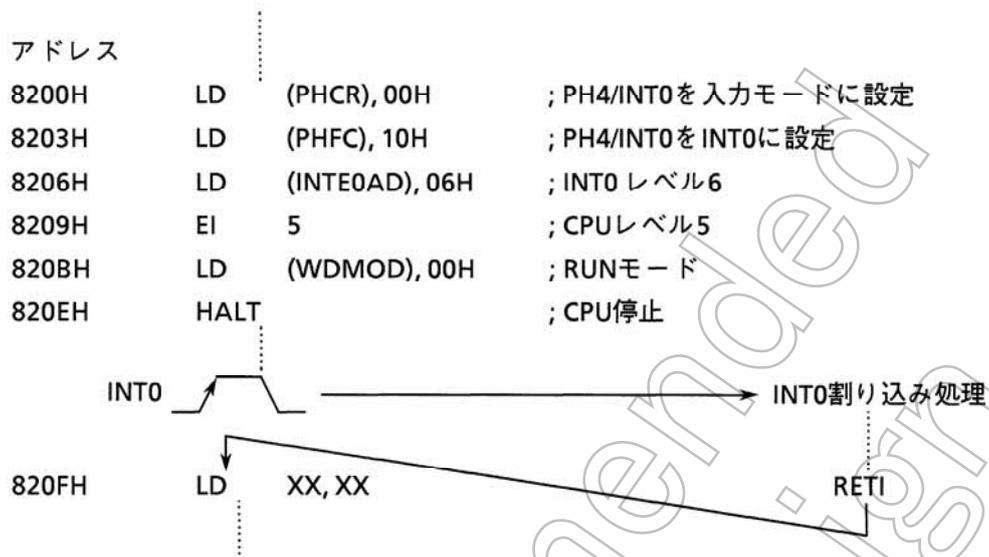
リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOP モードの解除では、発振器動作が安定するための十分なリセット時間（2  $\mu$ s 以上）が必要です。

リセットによる解除では、内蔵 RAM のデータは、ホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます。

(ホルト状態からの解除例)

“HALT” 命令により RUN モードでスタンバイしている状態に、INT0 割り込みでホルトの解除を行う。



Not Recommended for New Design

## (1) RUN モード

図 3.4.1 に、RUN モード時の割り込みによるホルト解除のタイミングの一例を示します。

RUN モードでは、HALT 命令実行後も MCU 内部のシステムクロックは停止しません。CPU の命令実行動作だけが停止します。従って、ホルト状態が解除されるまで CPU はダミーサイクルを繰り返します。ホルト状態での、割り込み要求のサンプリングは、「CLK」信号の周期で行われます。

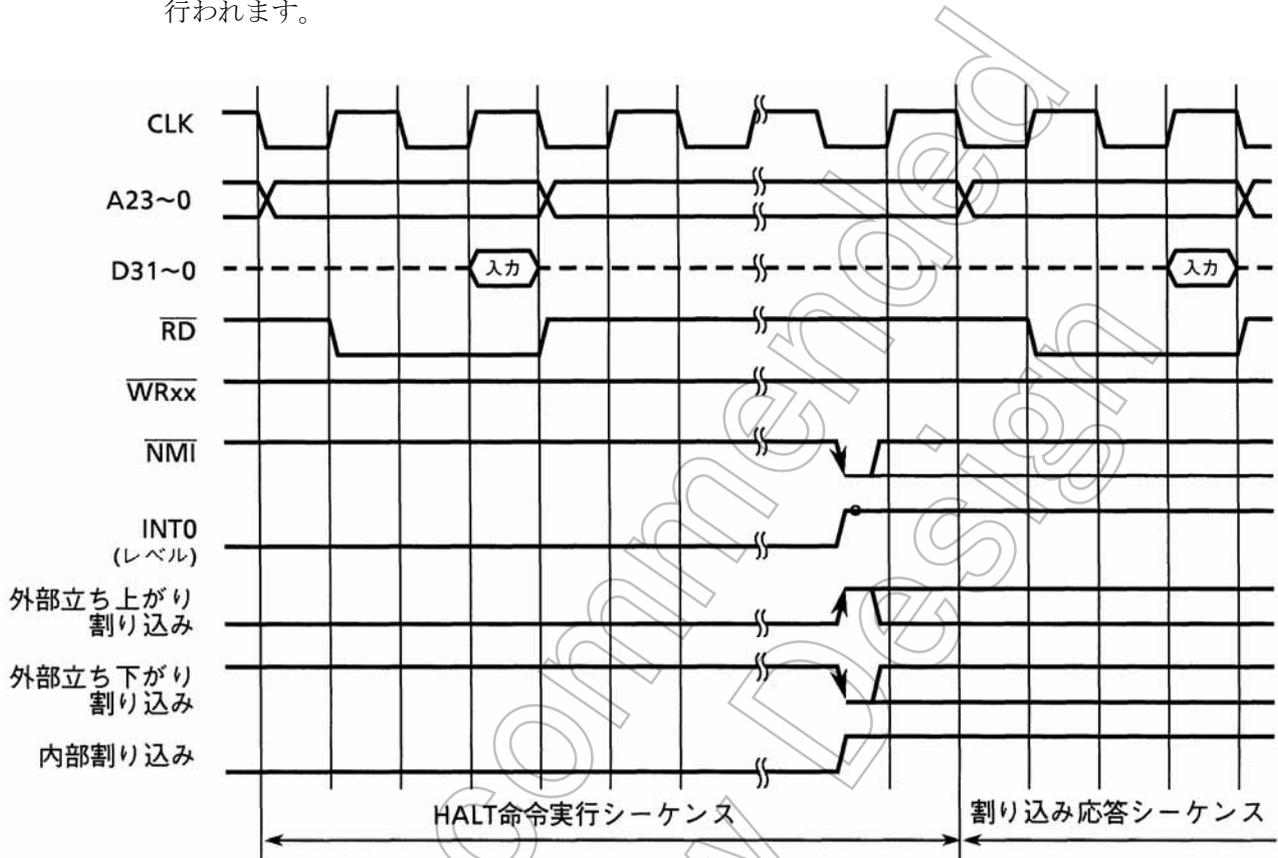


図 3.4.1 RUN モード時の割り込みによるホルト解除のタイミング例

## (2) IDLE モード

図 3.4.2に、IDLEモード時の割り込みによるホルト解除のタイミングの一例を示します。

IDLE モードでは、内部発振器のみ動作し、MCU 内部のシステムクロックは停止します。

ホルト状態での、割り込み要求のサンプリングは、システムクロックとは非同期に行われますが、解除（動作の再開）は同期して行われます。

外部割り込み ( $\overline{\text{NMI}}$ ,  $\text{INT0}$ ) 以外の割り込み要求は、このモードのホルト期間中、禁止されています。

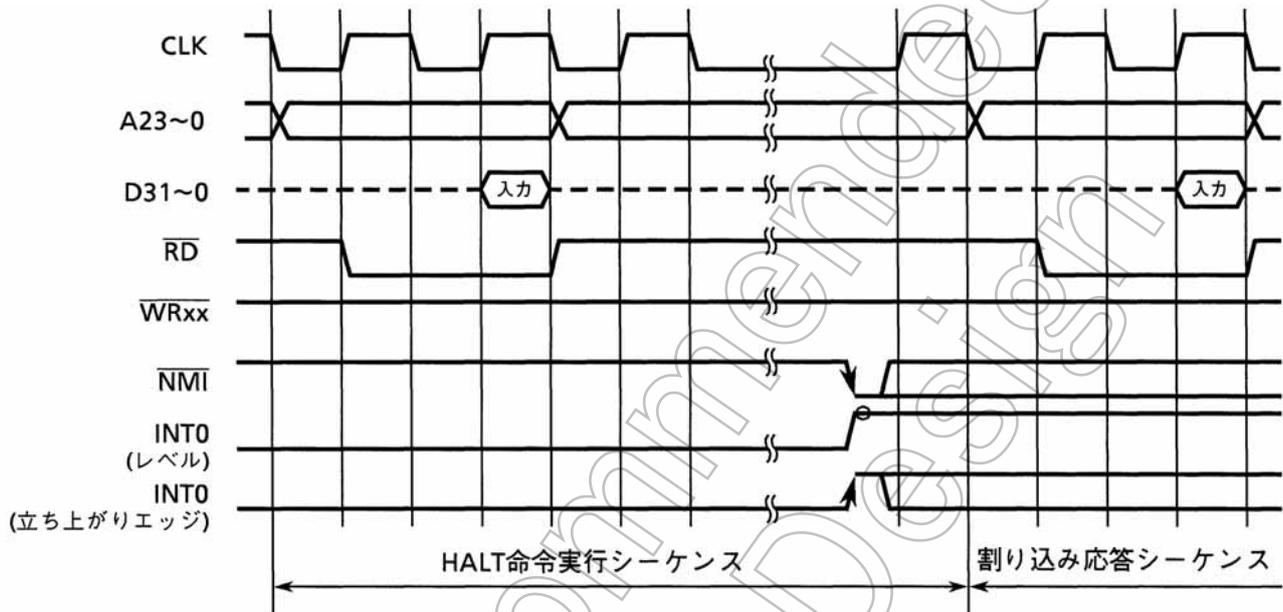


図 3.4.2 IDLE モード時の割り込みによるホルト解除のタイミング例

## (3) STOP モード

図 3.4.3に、STOPモード時の割り込みによるホルト解除のタイミングの一例を示します。

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOPモードに入ると、例外的な端子以外はすべてMCU内部とは切り離されて、ハイインピーダンス状態になります。ただし、内蔵 I/O レジスタの WDMOD<DRVE>を“1”にセットしておく、ホルト以前の状態のままです。このレジスタは、リセット動作により“0”にリセットされます。

CPU が割り込み要求を受け付けると、まず内部発振器がリスタートしますが、安定した発振を得るためにウォーミングアップ用カウンタによる設定時間と、内部クロック倍速回路のセットアップ時間の経過後、システムクロックの出力を開始します。このウォーミングアップ時間の設定は、CLKMOD<WARM>で行います。このビットを“0”にすると、 $2^{15}$ クロック発振時間、“1”にすると  $2^{17}$ クロック発振時間分のウォーミングアップが行われます。このビットは、リセット動作により“0”にリセットされます。内部クロック倍速回路のセットアップ時間は、外部クロック周期の  $2^{14}$ クロック発振時間(固定)です。

STOPモードの解除は、 $\overline{\text{NMI}}$  端子または  $\text{INT0}$  端子による割り込みとリセットに限られています。

STOPモードをリセットで解除する場合には、発振安定時間を満足するだけの十分なリセット時間が必要です。

外部発振器を用いるシステムでも、STOPモードの解除を使用する場合、ウォーミングアップカウンタは動作するため、解除信号が入力されてからシステムクロックが出力されるまでウォーミングアップ時間を要します。

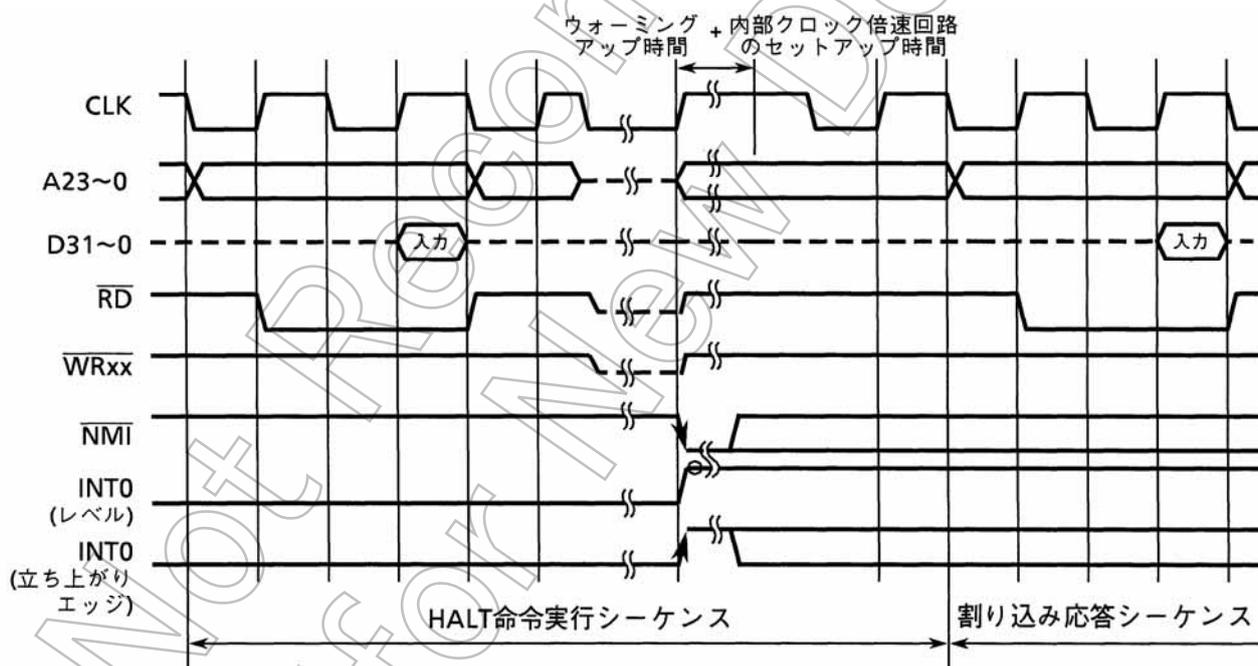


図 3.4.3 STOPモード時の割り込みによるホルト解除のタイミング

表 3.4.1 STOP モード時の端子状態

ピン名称	モード	DRVE = 0	DRVE = 1
P00~P37/D0~D31	D0~D31 (入出力) P00~P37 (入力) P00~P37 (出力)	High-Z 無効 出力	High-Z 無効 出力
P40~P67/A0~A23	入力 出力	無効 High-Z	無効 出力
P70/RD	出力	High-Z	出力
P71~P74/WRL1~WRH1	出力	High-Z	出力
P75/BUSRQ	入力 出力	無効 High-Z	無効 出力
P76/BU5AK	出力	High-Z	出力
P80~P85/CS0~CS5	出力	High-Z	出力
P86/WAIT	入力 出力	無効 High-Z	無効 出力
PA0~PA4/CAS0~WE0	出力	High-Z	出力
PB0~PB4/CAS1~WE1	出力	High-Z	出力
PC0~PC1/TO1~TO3	入力 出力	無効 High-Z	無効 出力
PD0~PD6/TO4~TI7	入力 出力	無効 High-Z	無効 出力
PE0~PE6/TO8~TIB	入力 出力	無効 High-Z	無効 出力
PF0~PF6/TXD0~SCLK1	入力 出力	無効 High-Z	無効 出力
PG0~PG7/AN0~AN7	入力	無効	無効
DAOUT0~DAOUT1	出力	High-Z	High-Z
PH0~PH3/TC0~TC3	入力 出力	無効 High-Z	無効 出力
PH4/INT0	入力 出力	有効 High-Z	有効 出力
PZ0~PZ7	入力 出力	無効 出力	無効 出力
NMI	入力	有効	有効
WDOUT	出力	出力	出力
AM0~AM1	入力	有効	有効
TEST0~TEST1	入力	有効	有効
CLK	出力	出力	出力
X1	入力	無効	無効
X2	出力	"H"	"H"
RESET	入力	有効	有効

出力 : ホールト以前の出力状態になっています。  
 有効 : 入力有効です。入力端子が中間電位になると、貫通電流が流れます。  
 無効 : 入力が無効になります。入力ゲートには、貫通電流は流れません。  
 High-Z : 出力がハイインピーダンスになります。  
 "H" : 出力が"H"レベル電位になります。

表 3.4.2 ホルト中の I/O 動作とその解除

HALT モード		RUN	IDLE	STOP
WDMOD<HALTM1, 0>		00	10	01
動作ブロック	CPU	停止		
	I/O ポート	動作	停止	表 3.4.1 参照
	8 ビットタイマ			
	16 ビットタイマ			
	シリアルインタフェース			
	AD コンバータ			
	DA コンバータ			
ウォッチドッグタイマ				
DRAM コントローラ				
割り込みコントローラ				

割り込みマスク、 要求レベルの設定状態			割り込み要求レベル ≥ 割り込みマスク <IFF2:0>			割り込み要求レベル *2 <割り込みマスク <IFF2:0>		
HALT モード			RUN	IDLE	STOP	RUN	IDLE	STOP
ホル ト 解 除 ソ ース	割 り 込 み	$\overline{\text{NMI}}$	◆	◆	◆*1	-	-	-
		INTWD	◆	×	×	-	-	-
		INT0	◆	◆	◆*1	○	○	○*1
		INT4~9, A, B	◆	×	×	×	×	×
		INTT0~INTT3	◆	×	×	×	×	×
		INTTR4~9, A, B	◆	×	×	×	×	×
		INTRXD0, INTRXD1	◆	×	×	×	×	×
		INTTXD0, INTTXD1	◆	×	×	×	×	×
		INTAD	◆	×	×	×	×	×
	RESET		◆	◆	◆	◆	◆	◆

- ◆ : ホルト解除後、割り込み処理を開始します。(RESET は LSI を初期化します。)
- : ホルト解除後、HALT 命令の次のアドレスから処理を開始します。
- × : ホルト解除に使用できません。
- \*1: ウォーミングアップ時間経過後にホルト解除します。
- \*2: DI 命令も同様です。

## 3.5 ポート機能

TMP94C2S41Cには、表 3.5.1~表 3.5.2に示すような入出力ポートがあります。これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。

表 3.5.1 ポート機能 (1/2)

ポート名	ピン名称	ピン数	方向	方向設定	内蔵機能用ピン名称
ポート0	P00~P07	8	入出力	ビット	D0~D7
ポート1	P10~P17	8	入出力	ビット	D8~D15
ポート2	P20~P27	8	入出力	ビット	D16~D23
ポート3	P30~P37	8	入出力	ビット	D24~D31
ポート4	P40~P47	8	入出力	ビット	A0~A7
ポート5	P50~P57	8	入出力	ビット	A8~A15
ポート6	P60~P67	8	入出力	ビット	A16~A23
ポート7	P70	1	出力	(固定)	RD
	P71	1	出力	(固定)	WRLL
	P72	1	出力	(固定)	WRLH
	P73	1	出力	(固定)	WRHL
	P74	1	出力	(固定)	WRHH
	P75	1	入出力	ビット	BUSRQ
	P76	1	出力	(固定)	BUSAK
ポート8	P80	1	出力	(固定)	CS0
	P81	1	出力	(固定)	CS1/RAS0
	P82	1	出力	(固定)	CS2
	P83	1	出力	(固定)	CS3/RAS1
	P84	1	出力	(固定)	CS4
	P85	1	出力	(固定)	CS5
	P86	1	入出力	ビット	WAIT
ポートA	PA0	1	出力	(固定)	CAS0/LCAS0
	PA1	1	出力	(固定)	UCAS0
	PA2	1	出力	(固定)	OE0
	PA3	1	出力	(固定)	OE1
	PA4	1	出力	(固定)	WE0
ポートB	PB0	1	出力	(固定)	CAS1/LCAS1/LLCAS1
	PB1	1	出力	(固定)	UCAS1/LUCAS1
	PB2	1	出力	(固定)	HLCAS1
	PB3	1	出力	(固定)	HUCAS1
	PB4	1	出力	(固定)	WE1
ポートC	PC0	1	入出力	ビット	TO1/TO7
	PC1	1	入出力	ビット	TO3/TOB
ポートD	PD0	1	入出力	ビット	TO4
	PD1	1	入出力	ビット	T14/INT4
	PD2	1	入出力	ビット	T15/INT5
	PD4	1	入出力	ビット	TO6
	PD5	1	入出力	ビット	T16/INT6
	PD6	1	入出力	ビット	T17/INT7

表 3.5.2 ポート機能 (2/2)

ポート名	ピン名称	ピン数	方向	方向設定	内蔵機能用ピン名称
ポートE	PE0	1	入出力	ビット	TO8
	PE1	1	入出力	ビット	TI8/INT8
	PE2	1	入出力	ビット	TI9/INT9
	PE4	1	入出力	ビット	TOA
	PE5	1	入出力	ビット	TIA/INTA
	PE6	1	入出力	ビット	TIB/INTB
ポートF	PF0	1	入出力	ビット	TXD0
	PF1	1	入出力	ビット	RXD0
	PF2	1	入出力	ビット	CTS0/SCLK0
	PF4	1	入出力	ビット	TXD1
	PF5	1	入出力	ビット	RXD1
	PF6	1	入出力	ビット	CTS1/SCLK1
ポートG	PG0~PG7	8	入力	(固定)	AN0~AN7
ポートH	PH0	1	入出力	ビット	TC0
	PH1	1	入出力	ビット	TC1
	PH2	1	入出力	ビット	TC2
	PH3	1	入出力	ビット	TC3
	PH4	1	入出力	ビット	INT0
ポートZ	PZ0~PZ7	8	入出力	ビット	—

3.5.1 ポート 0 (P00~P07/D0~D7)

ポート 0 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P0CR とファンクションレジスタ P0FC によって行います。

汎用入出力ポート以外に、データバス (D0~D7) 機能があります。

ポート 0 は、AM1/AM0 端子を下記組み合わせに設定して、リセット動作を行うことで、下記機能端子として初期化されます。

AM1	AM0	リセット解除後の機能設定
0	0	データバス (D0~D7)
0	1	データバス (D0~D7)
1	0	データバス (D0~D7)
1	1	予 約

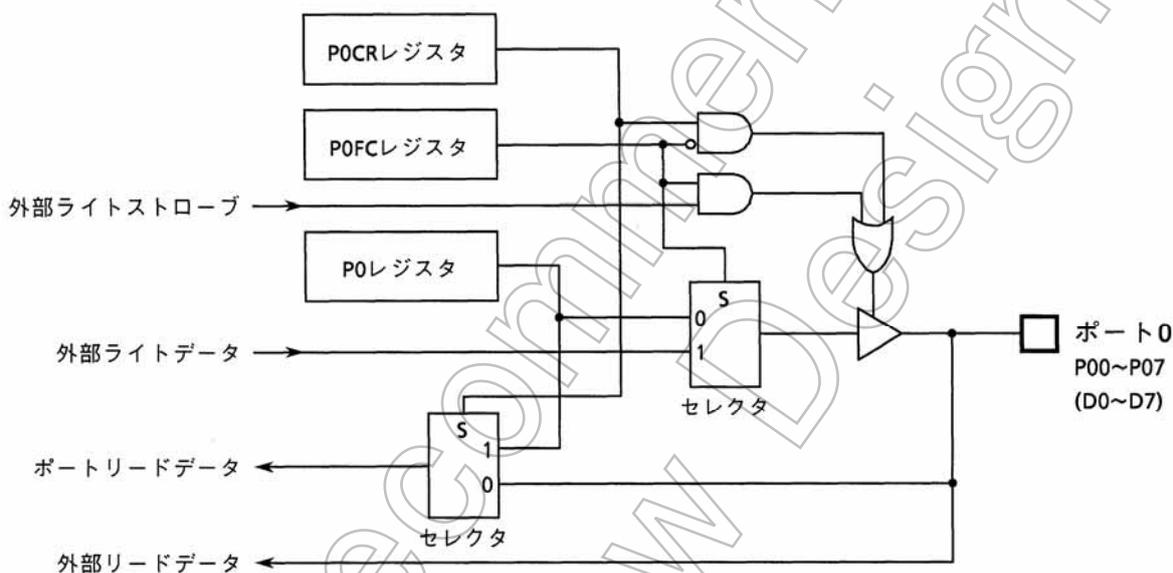


図 3.5.1 ポート 0

表 3.5.3 ポート 0 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0	
			P07	P06	P05	P04	P03	P02	P01	P00	
P0	PORT0	00h	R/W								
			0	0	0	0	0	0	0	0	
			Input / Output								
P0CR	PORT0 Control Register	02h	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C	
			W								
			0	0	0	0	0	0	0	0	
P0FC	PORT0 Function Register	03h	0: Input 1: Output								P0F
			W								
			-	-	-	-	-	-	-	-	1
			0: PORT 1: Data Bus (D7~D0)								

注) P0CR,P0FC はリードモディファイライトできません。

### 3.5.2 ポート 1 (P10~P17/D8~D15)

ポート 1 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P1CR とファンクションレジスタ P1FC によって行います。

汎用入出力ポート以外に、データバス (D8~D15) 機能があります。

ポート 1 は、AM1/AM0 端子を下記組み合わせに設定して、リセット動作を行うことで、下記機能端子として初期化されます。

AM1	AM0	リセット解除後の機能設定
0	0	入力ポート
0	1	データバス (D8~D15)
1	0	データバス (D8~D15)
1	1	予 約

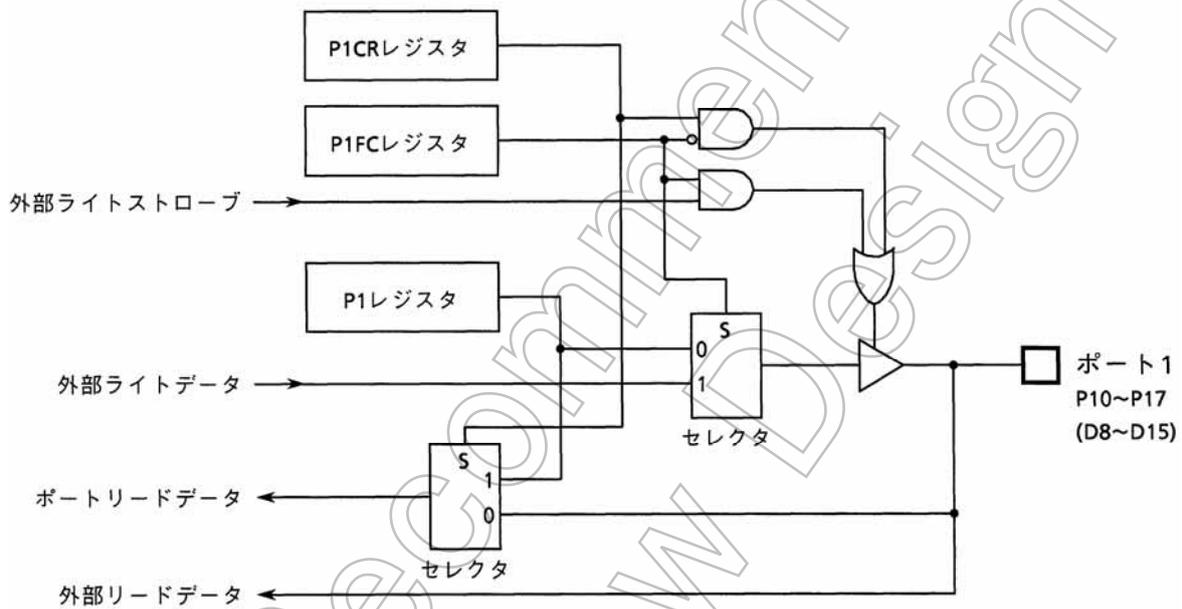


図 3.5.2 ポート 1

表 3.5.4 ポート 1 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0	
			P17	P16	P15	P14	P13	P12	P11	P10	
P1	PORT1	04h	R/W								
			0	0	0	0	0	0	0	0	
			Input/Output								
P1CR	PORT1 Control Register	06h	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C	
			W								
			0: Input 1: Output								
P1FC	PORT1 Function Register	07h	-	-	-	-	-	-	-	P1F	
			W								
			0: PORT 1: Data Bus (D15~D8)								0/1

注) P1CR,P1FC はリードモディファイライトできません。

3.5.3 ポート 2 (P20~P27/D16~D23)

ポート 2 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P2CR とファンクションレジスタ P2FC によって行います。

汎用入出力ポート以外に、データバス (D16~D23) 機能があります。

ポート 2 は、AM1/AM0 端子を下記組み合わせに設定して、リセット動作を行うことで、下記機能端子として初期化されます。

AM1	AM0	リセット解除後の機能設定
0	0	入力ポート
0	1	入力ポート
1	0	データバス (D16~D23)
1	1	予 約

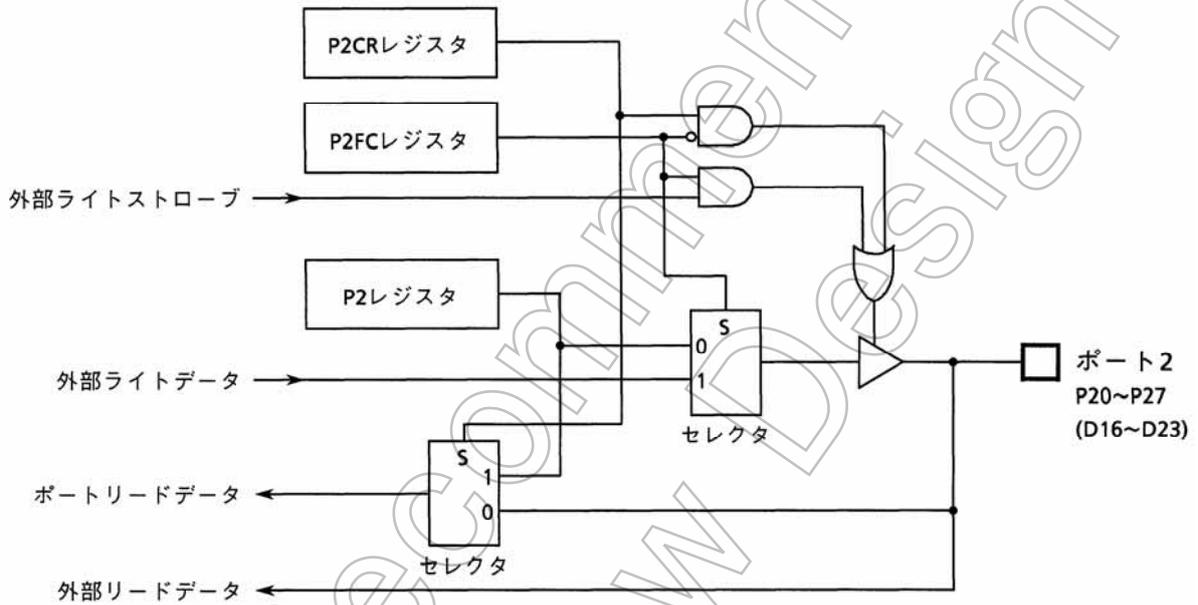


図 3.5.3 ポート 2

表 3.5.5 ポート 2 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0	
			P27	P26	P25	P24	P23	P22	P21	P20	
P2	PORT2	08h	R/W								
			0	0	0	0	0	0	0	0	
P2CR	PORT2 Control Register	0Ah	Input/Output								
			P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C	
			W								
P2FC	PORT2 Function Register	0Bh	0: Input 1: Output								
			W								P2F
			0: PORT 1: Data Bus (D23~D16)								0/1

注) P2CR,P2FC はリードモディファイライトできません。

3.5.4 ポート 3 (P30~P37/D24~D31)

ポート 3 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P3CR とファンクションレジスタ P3FC によって行います。

汎用入出力ポート以外に、データバス (D24~D31) 機能があります。

ポート 3 は、AM1/AM0 端子を下記組み合わせに設定して、リセット動作を行うことで、下記機能端子として初期化されます。

AM1	AM0	リセット解除後の機能設定
0	0	入力ポート
0	1	入力ポート
1	0	データバス (D24~D31)
1	1	予 約

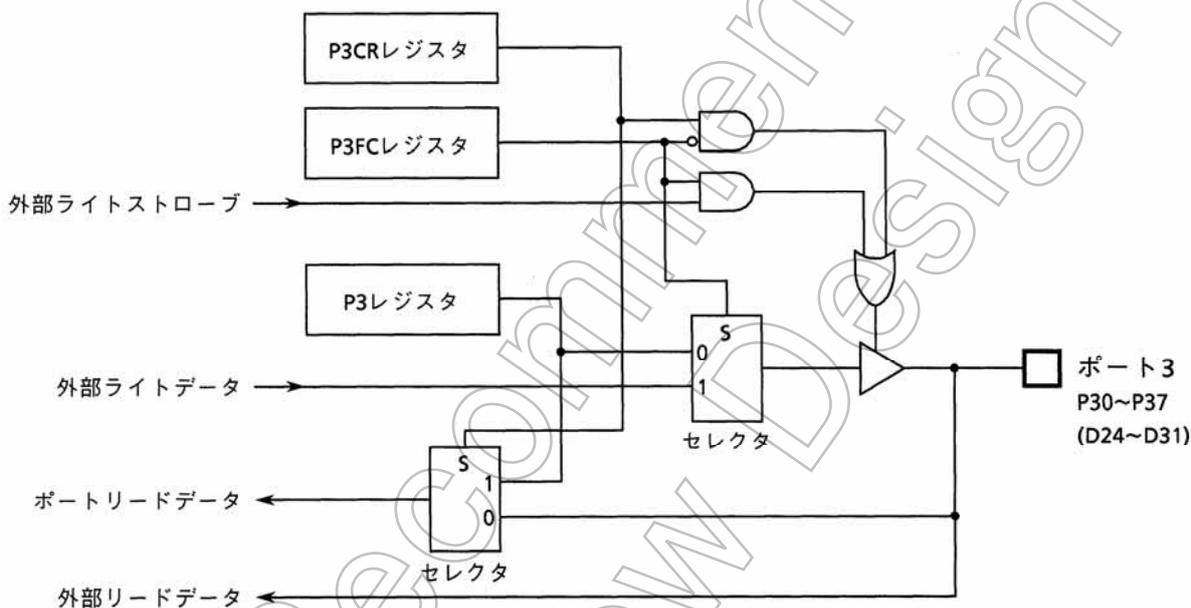


図 3.5.4 ポート 3

表 3.5.6 ポート 3 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
			P37	P36	P35	P34	P33	P32	P31	P30
P3	PORT3	0Ch	R/W							
			0	0	0	0	0	0	0	0
			Input/Output							
P3CR	PORT3 Control Register	0Eh	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C
			W							
			0: Input 1: Output							
P3FC	PORT3 Function Register	0Fh	-	-	-	-	-	-	-	P3F
			W							
			0: PORT 1: Data Bus (D31~D24)							

注) P3CR,P3FC はリードモディファイライトできません。

3.5.5 ポート 4 (P40~P47/A0~A7)

ポート 4 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P4CR とファンクションレジスタ P4FC によって行います。

汎用入出力ポート以外に、アドレスバス (A0~A7) 機能があります。なお、内蔵メモリと内蔵 I/O をアクセスするとき、これらの端子は、前のバスサイクルのアドレスを保持します。

ポート 4 は、AM1/AM0 端子を下記組み合わせに設定して、リセット動作を行うことで、下記機能端子として初期化されます。

AM1	AM0	リセット解除後の機能設定
0	0	アドレスバス (A0~A7)
0	1	アドレスバス (A0~A7)
1	0	アドレスバス (A0~A7)
1	1	予 約

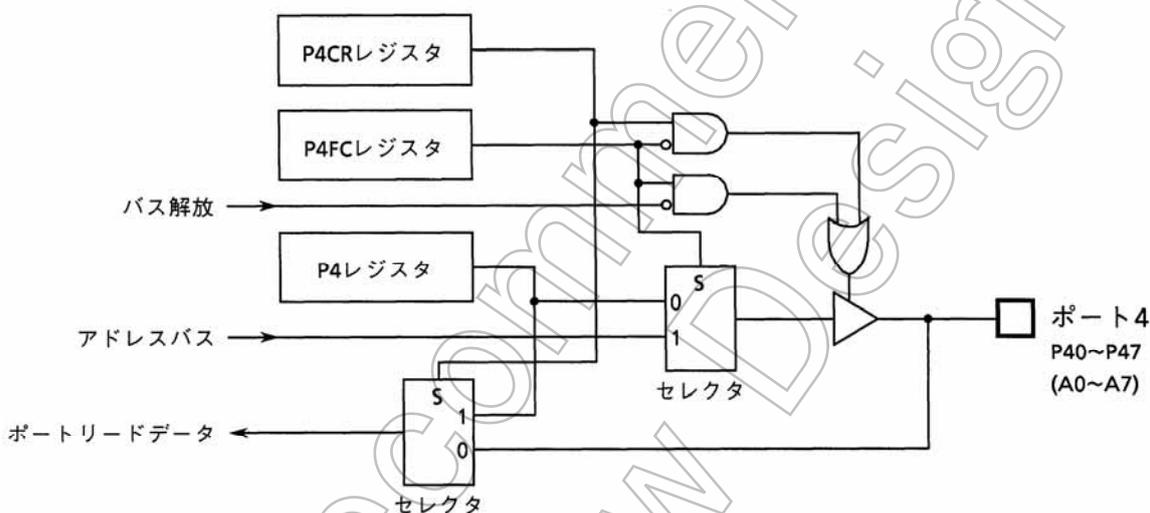


図 3.5.5 ポート 4

表 3.5.7 ポート 4 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
			P47	P46	P45	P44	P43	P42	P41	P40
P4	PORT4	10h	R/W							
			0	0	0	0	0	0	0	0
			Input / Output							
P4CR	PORT4 Control Register	12h	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
			W							
			0 : Input 1 : Output							
P4FC	PORT4 Function Register	13h	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
			W							
			1 1 1 1 1 1 1 1							
			0 : PORT 1 : Address Bus (A7~A0)							

注) P4CR,P4FC はリードモディファイライトできません。

3.5.6 ポート 5 (P50~P57/A8~A15)

ポート 5 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P5CR とファンクションレジスタ P5FC によって行います。

汎用入出力ポート以外に、アドレスバス (A8~A15) 機能があります。なお、内蔵メモリと内蔵 I/O をアクセスするとき、これらの端子は、前のバスサイクルのアドレスを保持します。

ポート 5 は、AM1/AM0 端子を下記組み合わせに設定して、リセット動作を行うことで、下記機能端子として初期化されます。

AM1	AM0	リセット解除後の機能設定
0	0	アドレスバス (A8~A15)
0	1	アドレスバス (A8~A15)
1	0	アドレスバス (A8~A15)
1	1	予 約

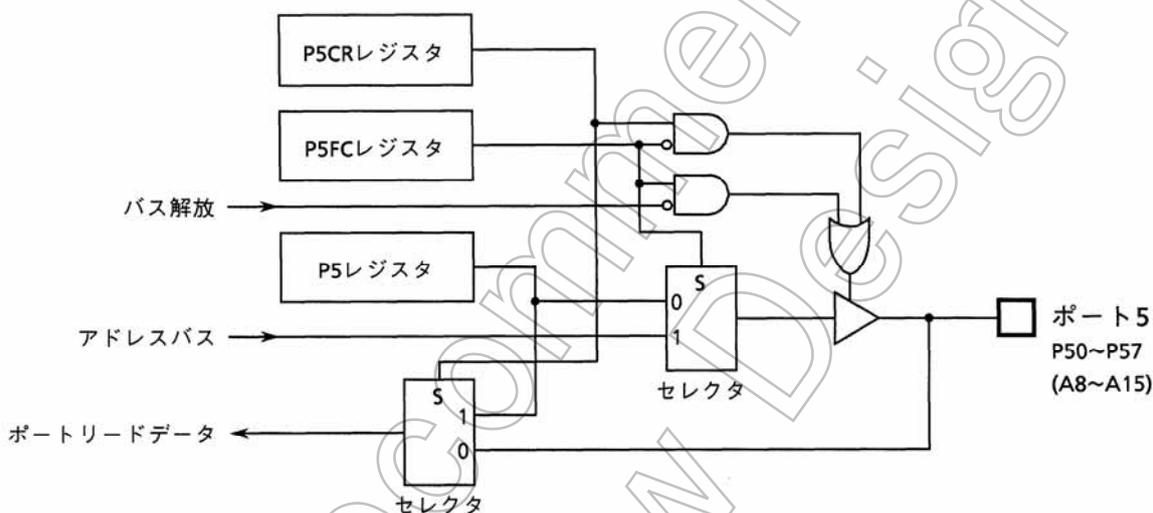


図 3.5.6 ポート 5

表 3.5.8 ポート 5 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
P5	PORT5	14h	P57	P56	P55	P54	P53	P52	P51	P50
			R/W							
			0	0	0	0	0	0	0	0
P5CR	PORT5 Control Register	16h	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
			W							
			0 : Input 1 : Output							
P5FC	PORT5 Function Register	17h	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
			W							
			0 : PORT 1 : Address Bus (A15~A8)							

注) P5CR,P5FC はリードモディファイライトできません。

3.5.7 ポート 6 (P60~P67/A16~A23)

ポート 6 は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P6CR とファンクションレジスタ P6FC によって行います。

汎用入出力ポート以外に、アドレスバス (A16~A23) 機能があります。なお、内蔵メモリと内蔵 I/O をアクセスするとき、これらの端子は、前のバスサイクルのアドレスを保持します。

ポート 6 は、AM1/AM0 端子を下記組み合わせに設定して、リセット動作を行うことで、下記機能端子として初期化されます。

AM1	AM0	リセット解除後の機能設定
0	0	アドレスバス (A16~A23)
0	1	アドレスバス (A16~A23)
1	0	アドレスバス (A16~A23)
1	1	予 約

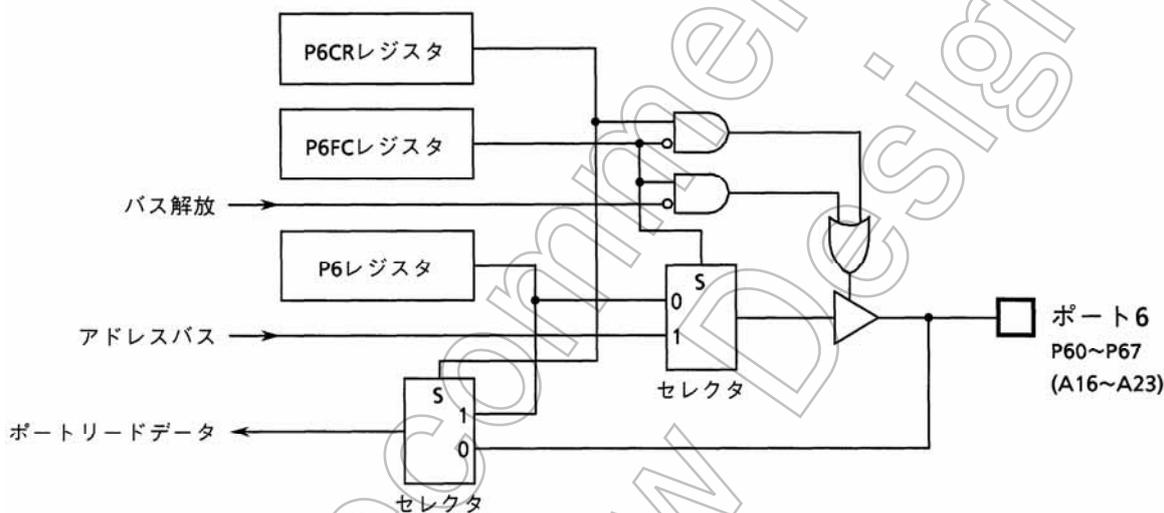


図 3.5.7 ポート 6

表 3.5.9 ポート 6 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
P6	PORT6	18h	P67	P66	P65	P64	P63	P62	P61	P60
			R/W							
			0	0	0	0	0	0	0	0
P6CR	PORT6 Control Register	1Ah	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
			W							
			0: Input 1: Output							
P6FC	PORT6 Function Register	1Bh	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
			W							
			0: PORT 1: Address Bus (A23~A16)							

注) P6CR,P6FC はリードモディファイライトできません。

### 3.5.8 ポート 7 (P70~P76)

ポート 7 は、ビット単位で入出力の設定ができる 7 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P7CR とファンクションレジスタ P7FC によって行います。

汎用入出力ポート以外に、外部メモリ接続用のリード/ライトストロブ信号機能、バス解放のための制御信号機能があります。

リセット動作により、P71~P74 と P76 端子は出力ポート機能に、P75 は入力ポート機能に初期化されます。ポート 70 は、AM1/AM0 端子を下記組み合わせに設定して、リセット動作を行うことで、下記機能端子として初期化されます。

AM1	AM0	リセット解除後の機能設定
0	0	RD 端子
0	1	$\overline{\text{RD}}$ 端子
1	0	$\overline{\text{RD}}$ 端子
1	1	予 約

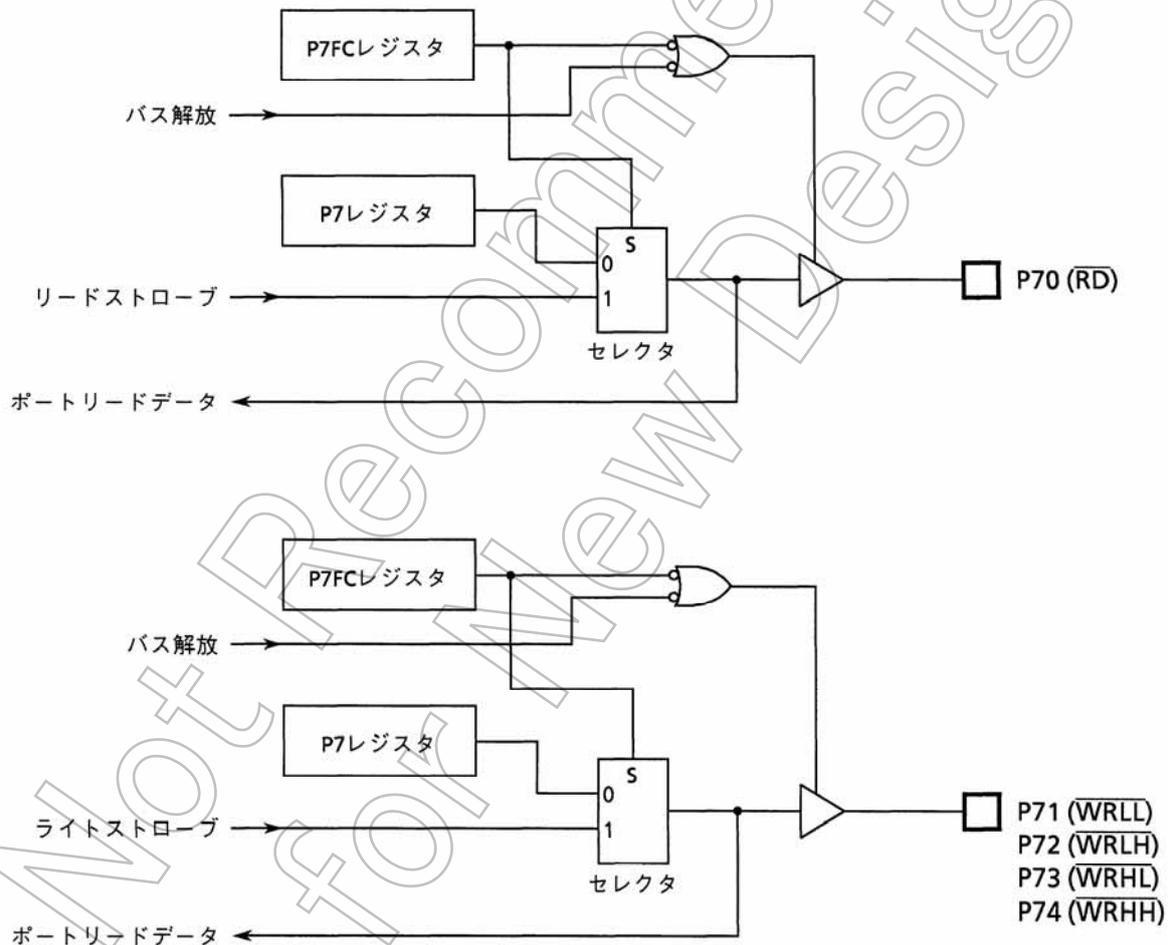


図 3.5.8 ポート 7 (P70~P74)

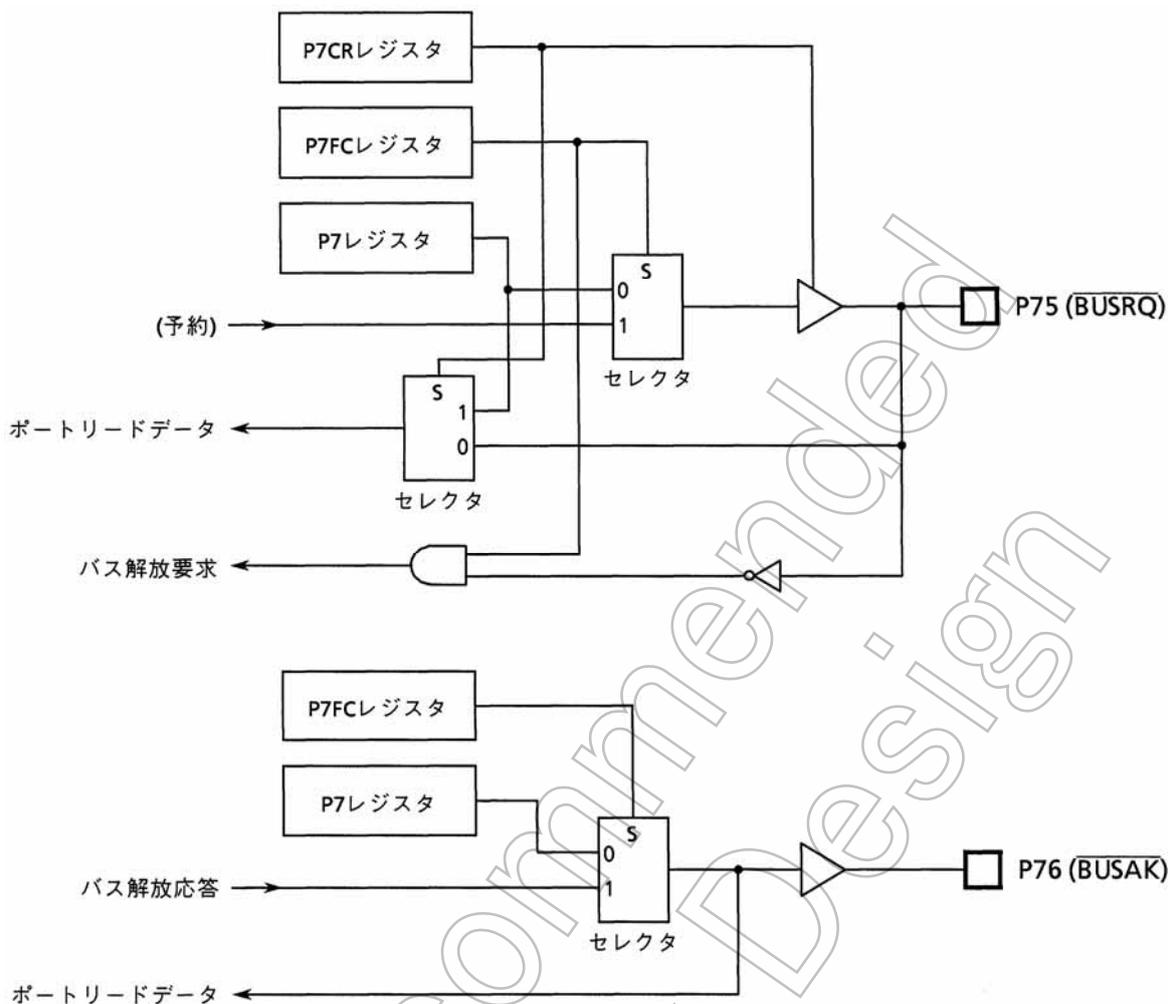


図 3.5.9 ポート 7 (P75, P76)

表 3.5.10 ポート 7 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
P7	PORT7	1Ch	-	P76	P75	P74	P73	P72	P71	P70
			R/W							
			-	1	1	1	1	1	1	1
P7CR	PORT7 Control Register	1Eh	-	-	P75C	-	-	-	-	-
			W							
			-	-	0	-	-	-	-	-
			0: Input 1: Output							
P7FC	PORT7 Function Register	1Fh	-	P76F	P75F	P74F	P73F	P72F	P71F	P70F
			W							
			-	0	0	0	0	0	0	1
			0: PORT	0: PORT	0: PORT	0: PORT	0: PORT	0: PORT	0: PORT	0: PORT
			1: BUSAK	1: BUSRQ	1: WRHH	1: WRHL	1: WRLH	1: WRLL	1: RD	

注) P7CR, P7FC はリードモディファイライトできません。

## 3.5.9 ポート 8 (P80~P86)

ポート 8 は、ビット単位で入出力の設定ができる 7 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ **P8CR** とファンクションレジスタ **P8FC** によって行います。

汎用入出力ポート以外に、外部メモリ接続用のチップセレクト機能とウェイト入力機能があります。

リセット動作により、P80~P85 端子は出力ポート機能に、P86 端子は入力ポート機能に初期化されます。

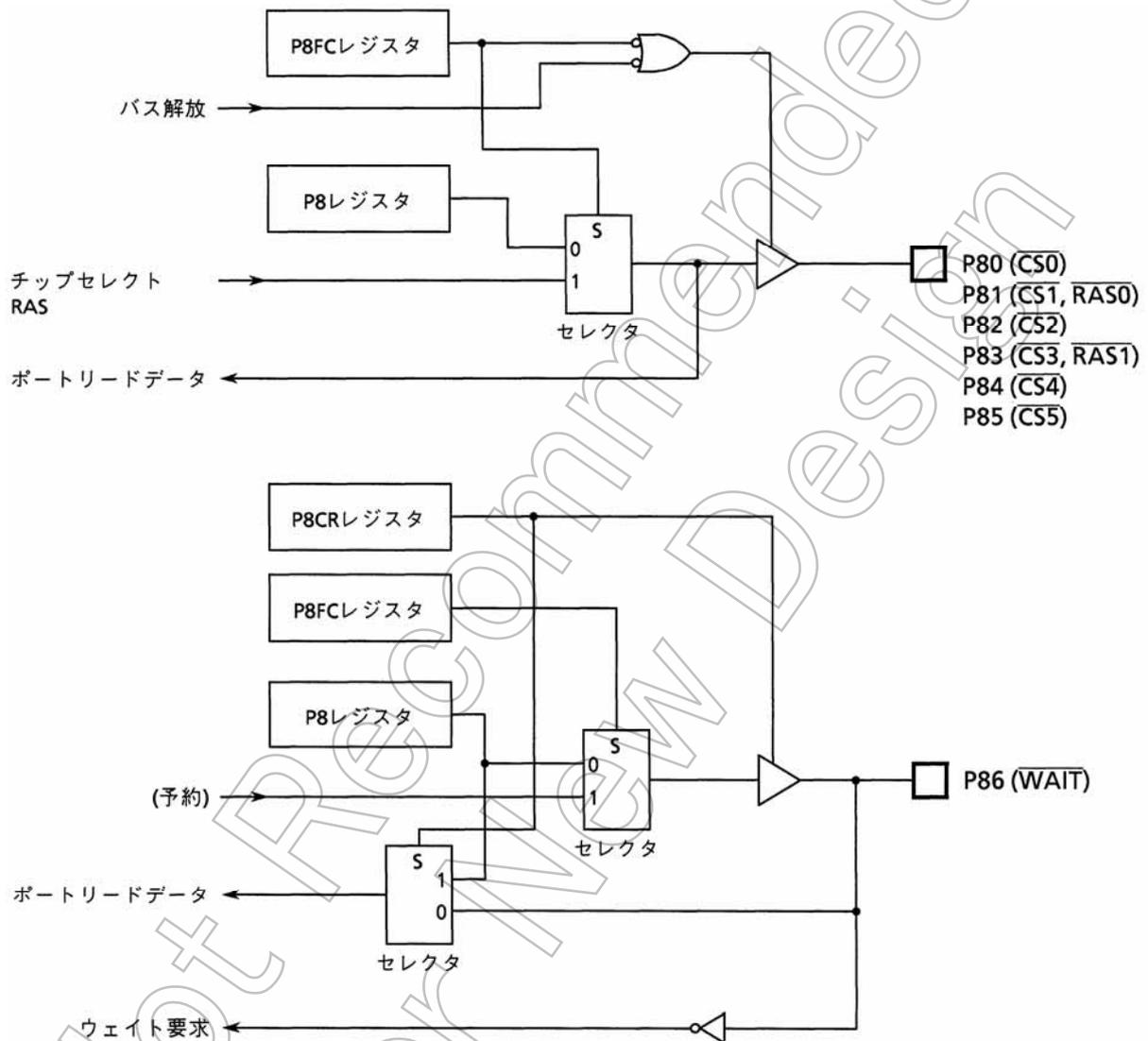


図 3.5.10 ポート 8

表 3.5.11 ポート 8 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
P8	PORT8	20h	-	P86	P85	P84	P83	P82	P81	P80
			R/W							
			-	0	1	1	1	0	1	1
			In/Out				Output			
P8CR	PORT8 Control Register	22h	-	P86C	-	-	-	-	-	-
			W							
			-	0	-	-	-	-	-	-
			0: Input 1: Output							
P8FC	PORT8 Function Register	23h	-	P86F	P85F	P84F	P83F	P82F	P81F	P80F
			W							
			-	0	0	0	0	0	0	0
			0: PORT 1: WAIT	0: PORT 1: CS5	0: PORT 1: CS4	0: PORT 1: CS3	0: PORT 1: CS2	0: PORT 1: CS1	0: PORT 1: CS0	0: PORT 1: CS0

注) P8CR,P8FC はリードモディファイライトできません。

Not Recommended for New Design

3.5.10 ポート A (PA0~PA4)

ポート A は、5 ビットの汎用出力ポートです。  
 汎用出力ポート以外に、外部 DRAM (チャンネル 0) 接続機能があります。  
 リセット動作により、出力ポート機能に初期化されます。

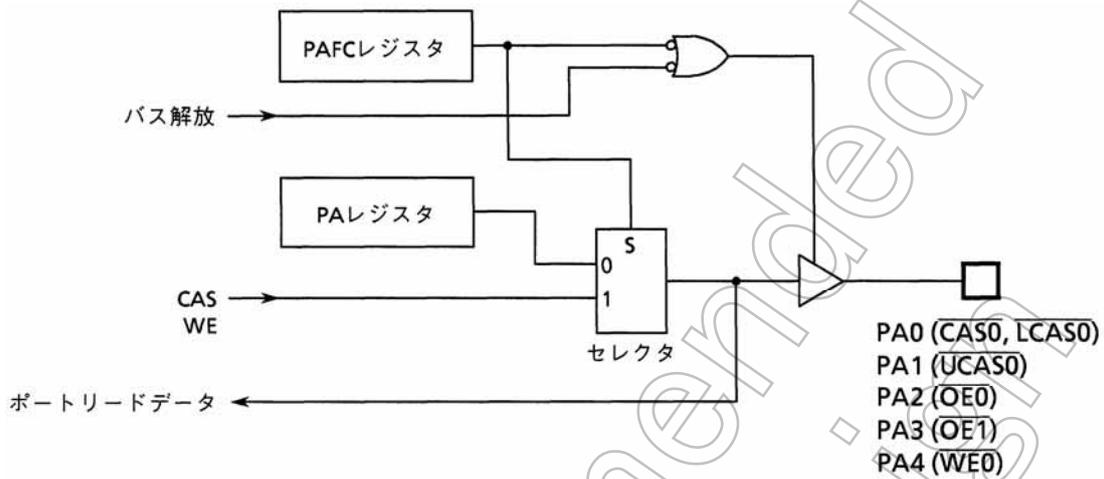


図 3.5.11 ポート A

表 3.5.12 ポート A 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
PA	PORTA	28h	-	-	-	PA4	PA3	PA2	PA1	PA0
			R/W							
			-	-	-	1	1	1	1	1
PAFC	PORTA Function Register	2Bh	Output							
			-	-	-	PA4F	PA3F	PA2F	PA1F	PA0F
			W							
			-	-	-	0	0	0	0	0
						0: PORT 1: WE0	0: PORT 1: OE1	0: PORT 1: OE0	0: PORT 1: UCAS0	0: PORT 1: CAS0 LCAS0

注) PAFC はリードモディファイライトできません。

### 3.5.11 ポート B (PB0~PB4)

ポート B は、5 ビットの汎用出力ポートです。  
 汎用出力ポート以外に、外部 DRAM (チャンネル 1) 接続機能があります。  
 リセット動作により、出力ポート機能に初期化されます。

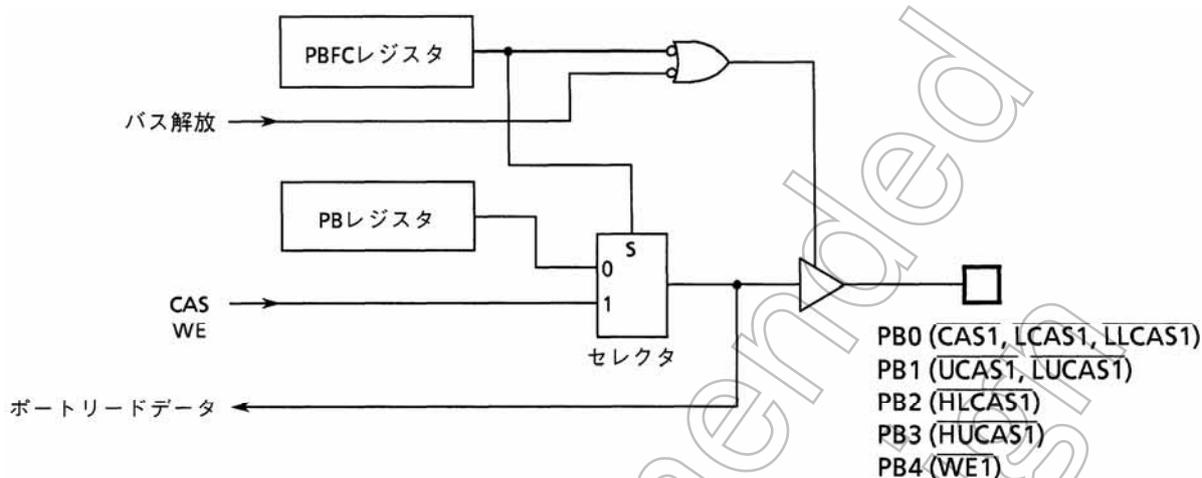


図 3.5.12 ポート B

表 3.5.13 ポート B 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
PB	PORTB	2Ch	-	-	-	PB4	PB3	PB2	PB1	PB0
			R/W							
			-	-	-	1	1	1	1	1
PBFC	PORTB Function Register	2Fh	Output							
			-	-	-	PB4F	PB3F	PB2F	PB1F	PB0F
			W							
			-	-	-	0	0	0	0	0
			0: PORT 1: WE1		0: PORT 1: HUCAS1		0: PORT 1: HLCAS1		0: PORT 1: UCAS1 LCAS1 LLCAS1	

注) PBFC はリードモディファイライトできません。

### 3.5.12 ポート C (PC0~PC1)

ポート C は、ビット単位で入出力の設定ができる 2 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PCCR とファンクションレジスタ PCFC によって行います。汎用入出力ポート以外に、8 ビットタイマ、または、16 ビットタイマの出力機能があります。リセット動作により、入力ポート機能に初期化されます。

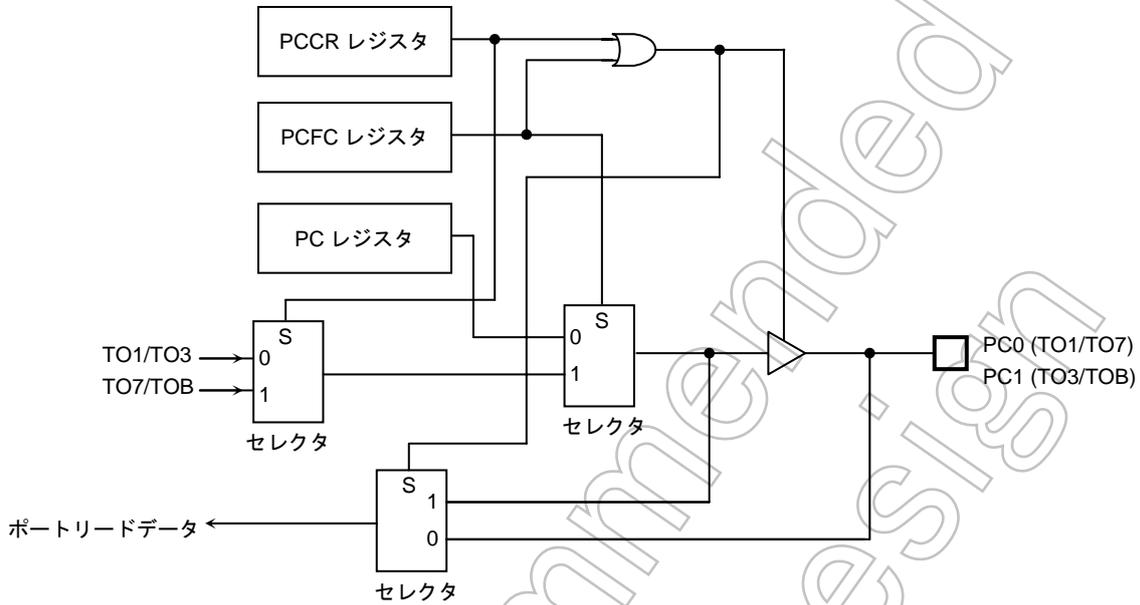


図 3.5.13 ポート C

表 3.5.14 ポート C 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
PC	PORTC	30h	-	-	-	-	-	-	PC1	PC0
									R/W	
									0 0	
PCCR	PORTC Control Register	32h	-	-	-	-	-	-	PC1C	PC0C
									W	
									0 0	
PCFC	PORTC Function Register	33h	-	-	-	-	-	-	PC1F	PC0F
									W	
									0 0	

PCFC	PCCR	機能	
		PC1	PC0
0	0	Input Port	
0	1	Output Port	
1	0	TO3	TO1
1	1	TOB	TO7

注) PCCR,PCFC はリードモディファイライトできません。

### 3.5.13 ポート D (PD0~PD6)

ポート D は、ビット単位で入出力の設定ができる 6 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PDCR とファンクションレジスタ PDFC によって行います。

汎用入出力ポート以外に、16 ビットタイマの入出力機能と、割り込み入力機能があります。リセット動作により、入力ポート機能に初期化されます。

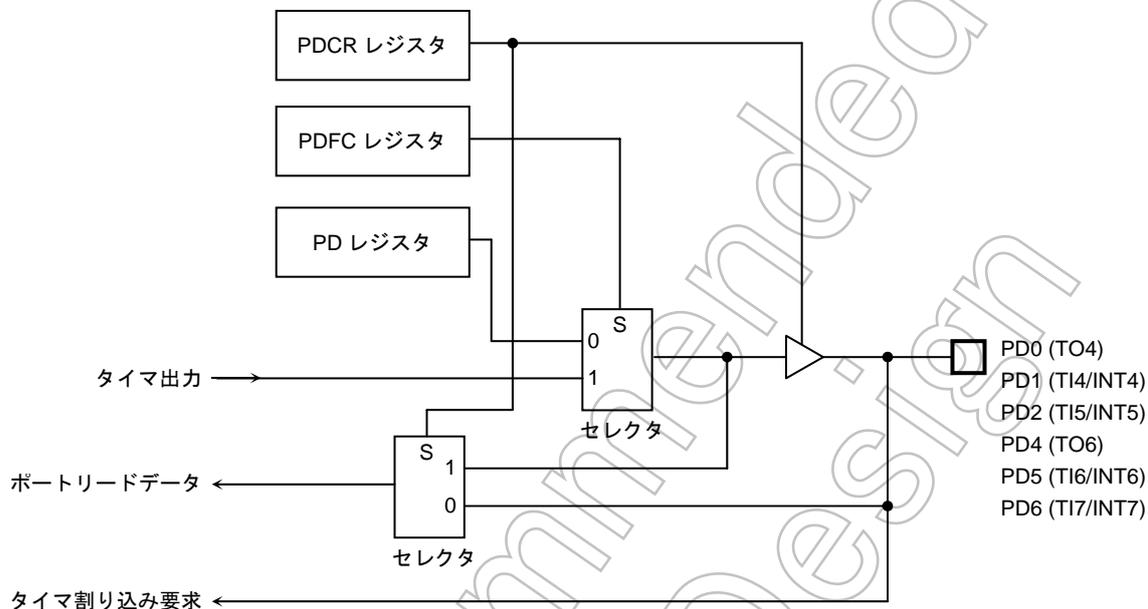


図 3.5.14 ポート D

表 3.5.15 ポート D 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
PD	PORTD	34h	-	PD6	PD5	PD4	-	PD2	PD1	PD0
				R/W				R/W		
				0	0	0		0	0	0
PDCR	PORTD Control Register	36h	-	PD6C	PD5C	PD4C	-	PD2C	PD1C	PD0C
				W				W		
				0	0	0		0	0	0
PDFC	PORTD Function Register	37h	-	PD6F	PD5F	PD4F	-	PD2F	PD1F	PD0F
				W				W		
				0: PORT 1: TI7 INT7	0: PORT 1: TI6 INT6	0: PORT 1: TO6		0: PORT 1: TI5 INT5	0: PORT 1: TI4 INT4	0: PORT 1: TO4

注) PDCR,PDFC はリードモディファイライトできません。

### 3.5.14 ポート E (PE0~PE6)

ポート E は、ビット単位で入出力の設定ができる 6 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PE CR とファンクションレジスタ PE FC によって行います。汎用入出力ポート以外に、16 ビットタイマの入出力機能と、割り込み入力機能があります。リセット動作により、入力ポート機能に初期化されます。

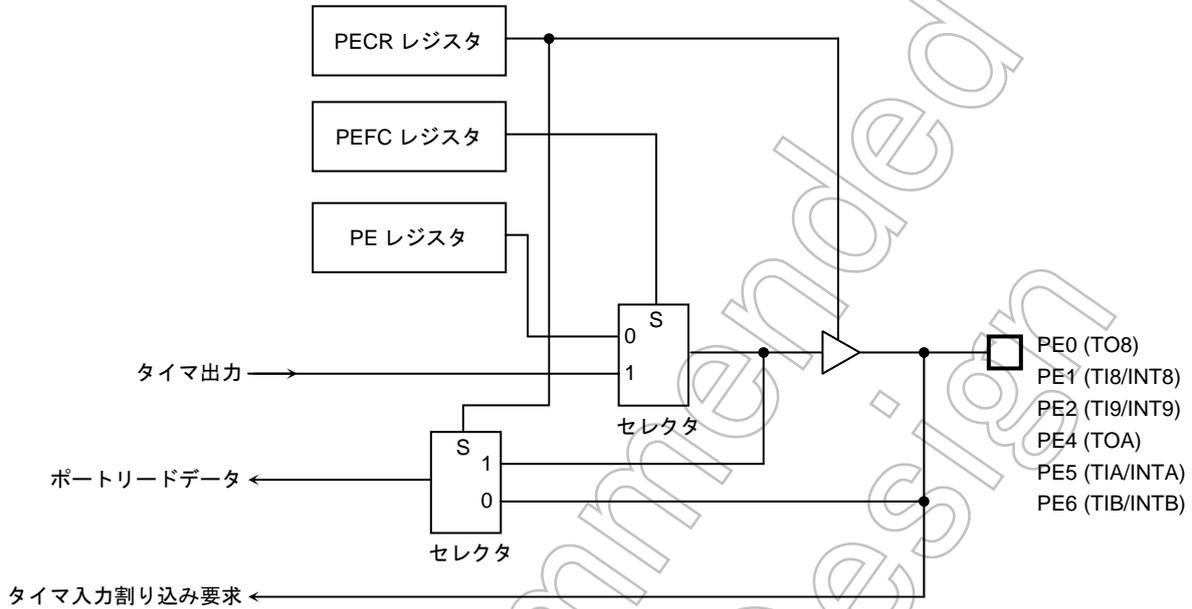


図 3.5.15 ポート E

表 3.5.16 ポート E 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
PE	PORTE	38h	-	PE6	PE5	PE4	-	PE2	PE1	PE0
				R/W				R/W		
				0	0	0		0	0	0
PECR	PORTE Control Register	3Ah	-	PE6C	PE5C	PE4C	-	PE2C	PE1C	PE0C
				W				W		
				0	0	0		0	0	0
PEFC	PORTE Function Register	3Bh	-	PE6F	PE5F	PE4F	-	PE2F	PE1F	PE0F
				W				W		
				0	0	0		0	0	0
			0: PORT 1: TIB INTB	0: PORT 1: TIA INTA	0: PORT 1: TOA		0: PORT 1: T19 INT9	0: PORT 1: T18 INT8	0: PORT 1: TO8	

注) PE CR, PE FC はリードモディファイライトできません。

## 3.5.15 ポート F (PF0~PF6)

ポート F は、ビット単位で入出力の設定ができる 6 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ **PF CR** とファンクションレジスタ **PF FC** によって行います。汎用入出力ポート以外に、シリアルインターフェースの入出力機能があります。リセット動作により、入力ポート機能に初期化されます。

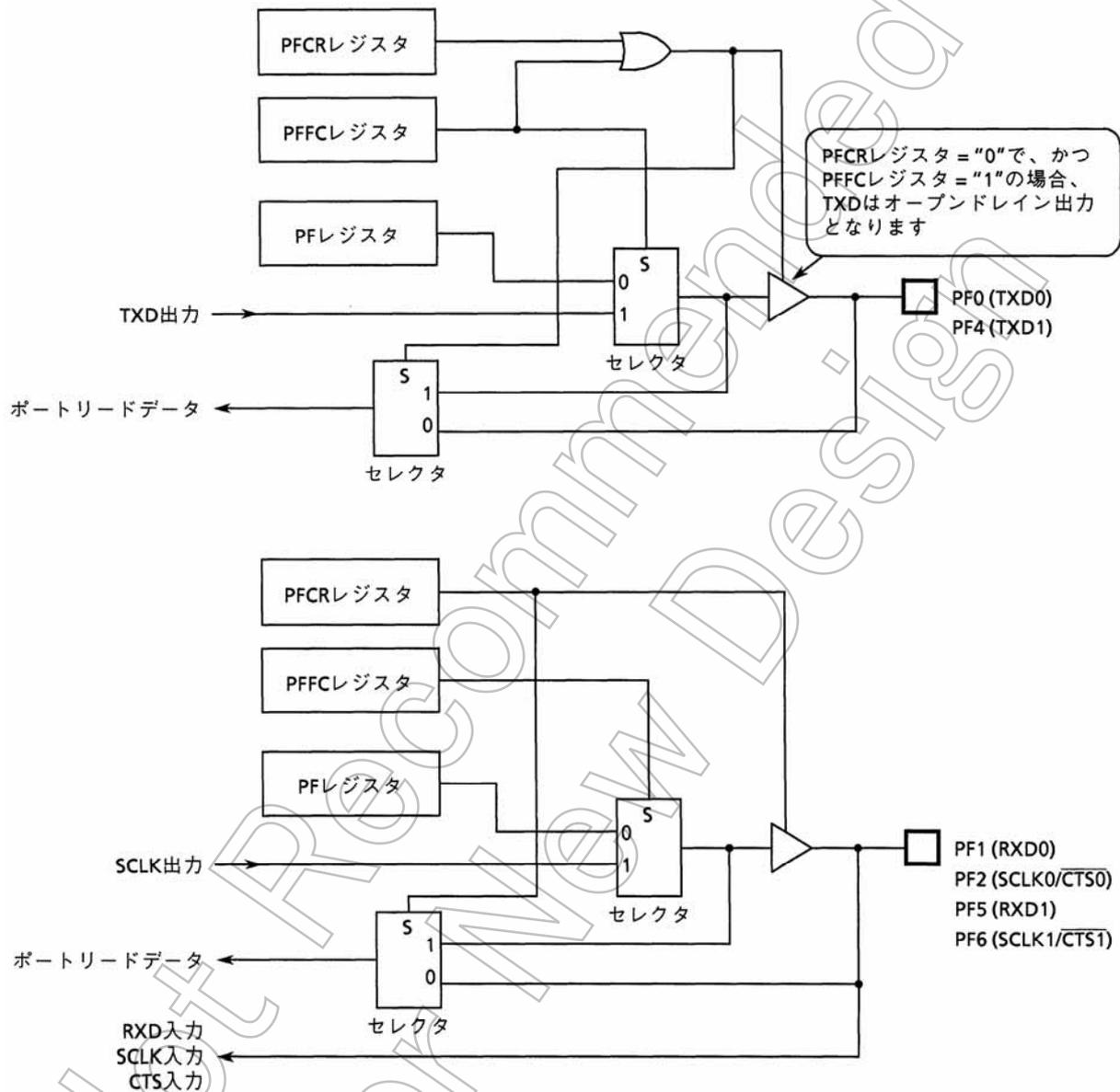


図 3.5.16 ポート F

表 3.5.17 ポート F 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0	
PF	PORTF	3Ch	-	PF6	PF5	PF4	-	PF2	PF1	PF0	
			R/W			R/W					
			-	0	0	0	-	0	0	0	
			Input/Output			Input/Output					
PFCR	PORTF Control Register	3Eh	-	PF6C	PF5C	PF4C	-	PF2C	PF1C	PF0C	
			W			W					
			-	0	0	0	-	0	0	0	
			0: Input 1: Output			0: Input 1: Output					
PFFC	PORTF Function Register	3Fh	-	PF6F	PF5F	PF4F	-	PF2F	PF1F	PF0F	
			W			W					
			-	0	0	0	-	0	0	0	
			0: PORT 1: CT51 SCLK1	0: PORT 1: RxD1	0: PORT 1: TxD1	0: PORT 1: CT50 SCLK0	0: PORT 1: RxD0	0: PORT 1: TxD0			

注) PFCR,PFFC はリードモディファイライトできません。

### 3.5.16 ポート G (PG0~PG7)

ポート G は、8 ビットの汎用入力ポートです。  
汎用入力ポート以外に、AD コンバータの入力端子機能があります。



図 3.5.17 ポート G

表 3.5.18 ポート G 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
PG	PORTG	40h	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0		
			R									
			Input									

3.5.17 ポート H (PH0~PH4)

ポート H は、ビット単位で入出力の設定ができる 5 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PHCR とファンクションレジスタ PHFC によって行います。

汎用入出力ポート以外に、マイクロ DMA のターミナルカウント出力機能と、割り込み入力機能があります。

リセット動作により、入力ポート機能に初期化されます。

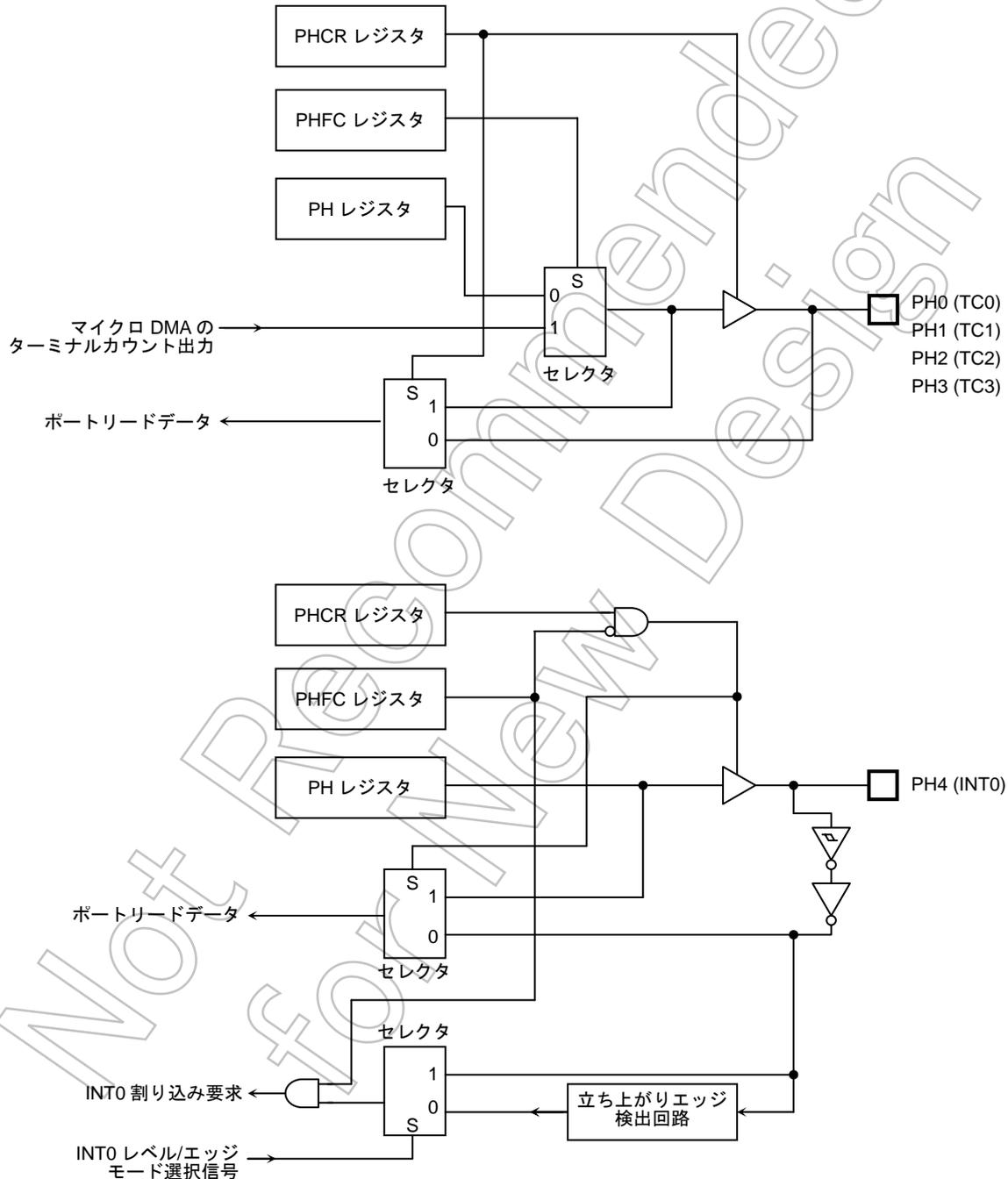


図 3.5.18 ポート H

表 3.5.19 ポートH関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
PH	PORTH	44h	-	-	-	PH4	PH3	PH2	PH1	PH0
			R/W							
			-	-	-	0	0	0	0	0
PHCR	PORTH Control Register	46h	-	-	-	PH4C	PH3C	PH2C	PH1C	PH0C
			W							
			0: Input 1: Output							
PHFC	PORTH Function Register	47h	-	-	-	PH4F	PH3F	PH2F	PH1F	PH0F
			W							
					0: PORT 1: INTO	0: PORT 1: TC3	0: PORT 1: TC2	0: PORT 1: TC1	0: PORT 1: TC0	

注) PHCR,PHFC はリードモディファイライトできません。

3.5.18 ポート Z (PZ0~PZ7)

ポート Z は、ビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PZCR によって行います。  
リセット動作により、入力ポート機能に初期化されます。

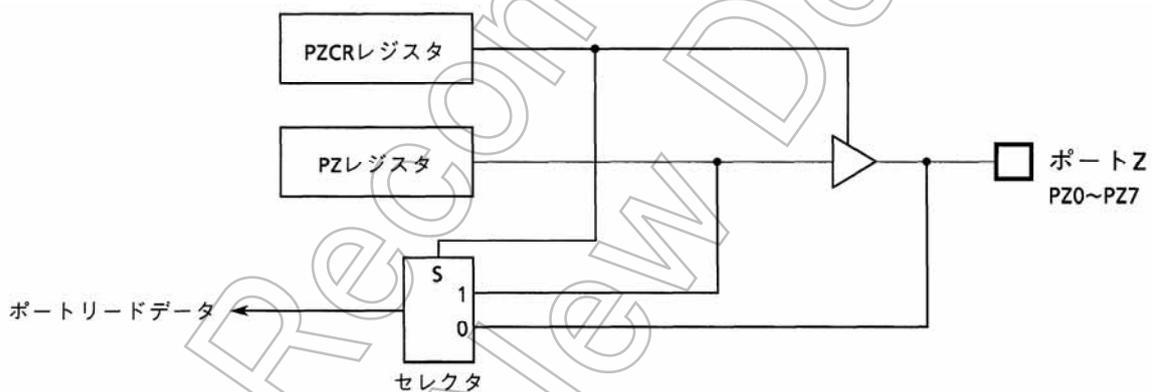


図 3.5.19 ポート Z

表 3.5.20 ポート Z 関係のレジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
PZ	PORTZ	68h	PZ7	PZ6	PZ5	PZ4	PZ3	PZ2	PZ1	PZ0
			R/W							
			0	0	0	0	0	0	0	0
PZCR	PORTZ Control Register	6Ah	PZ7C	PZ6C	PZ5C	PZ4C	PZ3C	PZ2C	PZ1C	PZ0C
			W							
			0: Input 1: Output							

注) PZCR はリードモディファイライトできません。

## 3.6 メモリコントローラ

### 3.6.1 機能概要

TMP94C241C のメモリコントローラは、任意の 6 ブロックアドレス空間に対して、以下のような制御を行うことができます。

(1) 6 つのブロックアドレス空間をサポート

6 つのブロックアドレス空間 (ブロック 0~ブロック 5) に対し、それぞれ、スタートアドレスとブロックサイズを指定することができます。

(2) 接続メモリの指定

各ブロックアドレス空間に接続するメモリとして、SRAM, ROM, DRAM を指定することができます。ただし、DRAM の指定は、ブロック 1 とブロック 3 だけです。

SRAM, または、ROM を指定すると、通常のバスサイクルを実行します。DRAM を指定すると、内蔵の DRAM コントローラと連動して、DRAM を効率よくアクセスすることができます。また、ブロック 2 だけは、ROM のページアクセスもサポートしています。詳細は、3.6.4 「ROM コントロール」を参照してください。

(3) データバス幅の指定

各ブロックアドレス空間のデータバス幅として、8 ビット、16 ビット、32 ビットのいずれかを設定することができます。

(4) ウェイトの制御

コントロールレジスタ中のウェイト指定ビットと、 $\overline{\text{WAIT}}$  入力端子により、外部バスサイクルのウェイト数を制御することができます。リードサイクルとライトサイクルは、それぞれ独立にウェイト数を設定することができます。ウェイト数の制御には、下記に示す 5 つのモードがあります。

0 ウェイト, 1 ウェイト, 2 ウェイト, 3 ウェイト, N ウェイト ( $\overline{\text{WAIT}}$ 端子による制御)
--

(5) DRAM コントロール

TMP94C241C は、DRAM コントローラを内蔵しており、リフレッシュや DRAM アクセスの制御を行うことができます。詳細は、3.7 「DRAM コントローラ」を参照してください。

本章では、リセット解除後の動作、基本的な機能、ROM ページモードの順に説明します。DRAM の制御については、3.7 「DRAM コントローラ」で説明します。

各項目では、動作とレジスタ設定方法、信号のタイミングが説明されています。レジスタの設定方法については、最後にレジスタ一覧としてまとめています。

注) パワーオンリセット後、電源供給が安定するまで、メモリコントローラと DRAM コントローラの動作は保証されません。電源供給が安定するまでの間は、制御信号は不安定ですので、本デバイスに電源供給する前の外部 RAM のデータは失われる場合があります。

### 3.6.2 制御レジスタとリセット解除後の動作

ここでは、メモリコントローラを制御するレジスタと、リセット解除後の状態と、必要な設定について説明します。

#### (1) 制御レジスタ

メモリコントローラの制御レジスタには、以下のようなものがあります。

- **コントロールレジスタ: BnCSH/BnCSL (n = 0~5)**  
接続するメモリの種類やデータバス幅、読み出し、書き込みのウェイト数など、メモリコントローラの基本的な機能の設定を行います。
- **メモリスタートアドレスレジスタ: MSARn (n = 0~5)**  
各ブロックアドレス空間のスタートアドレスを設定します。
- **メモリアドレスマスクレジスタ: MAMRn (n = 0~5)**  
各ブロックアドレス空間のブロックサイズを設定します。

上記のレジスタの設定に加えて、ROM のページモードアクセス、および、DRAM のコントロールを行う場合には、以下のレジスタの設定が必要です。

- **ページ ROM コントロールレジスタ: PMEMCR**  
ROM のページモードアクセスを行うときに設定します。
- **DRAM コントロールレジスタ: DRAMnCRL/DRAMnCRH (n = 0~1)**  
DRAM アクセスについての設定を行うレジスタです。
- **DRAM リフレッシュコントロールレジスタ: DRAMnREF (n = 0~1)**  
DRAM リフレッシュ動作の設定を行うレジスタです。

## (2) リセット解除後の動作

リセット解除直後は、AM1/AM0 端子の状態に従い、起動データバス幅が決定され、外部メモリをアクセスします。具体的には、下記ようになります。

AM1	AM0	起動モード
0	0	8ビットデータバスで起動
0	1	16ビットデータバスで起動
1	0	32ビットデータバスで起動
1	1	設定しないでください

AM1/AM0 端子は、リセット解除直後のみ有効です。それ以外では、データバス幅は、コントロールレジスタの BnBUS ビットに設定された値になります。

リセット後は、ブロックアドレス空間 2 のコントロールレジスタ (B2CSH/B2CSL) のみが、自動的に有効になります。ブロックアドレス空間 2 の制御レジスタのバス幅指定ビットへ、AM1/AM0 端子で指定されたデータバス幅が、ロードされます。また、ブロックアドレス空間 2 は、リセット後 000000H~FFFFFFH に設定されています。

リセット解除後、メモリスタートアドレスレジスタ (MSARn) と、メモリアドレスマスクレジスタ (MAMRn) で、各ブロックアドレス空間の指定を行い、コントロールレジスタ (BnCS) を設定します。

コントロールレジスタのイネーブルビット (BnE) を“1”にすると、設定が有効になります。ROM ページモードアクセスや、DRAM アクセスを行う場合には、関連するレジスタも設定します。

### 3.6.3 基本的な機能の説明とレジスタの設定

ここでは、メモリコントローラの機能のうち、ブロックアドレス空間、データバス幅、接続メモリ、ウェイト数の設定について説明します。

#### (1) ブロックアドレス空間の指定

ブロックアドレス空間は、2 種類のレジスタによって指定されます。

メモリスタートアドレスレジスタ (MSARn) は、各ブロックアドレス空間のスタートアドレスを設定するレジスタです。メモリコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、メモリアドレスマスクレジスタ (MAMRn) で、マスクされているアドレスビットは、メモリコントローラは比較対象としません。メモリアドレスマスクレジスタの設定によって、ブロックアドレス空間のサイズが決まります。レジスタに設定された値と、バス上のアドレスを比較し、比較した結果が一致すれば、メモリコントローラは、チップセレクト信号 ( $\overline{CSn}$ ) を“L”レベルにします。

#### 1. メモリスタートアドレスレジスタの設定

メモリスタートアドレスレジスタの MnS23~MnS16 の各ビットは、それぞれアドレスの A23~A16 に対応します。スタート下位アドレス A15~A0 は、常に 0000H です。従って、各ブロックアドレス空間のスタートアドレスは、000000H~FF0000H まで 64K バイトごとに設定することができます。

## 2. メモリアドレスマスクレジスタの設定

メモリアドレスマスクレジスタでは、アドレスのどのビットの値を比較するか、比較しないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。

ブロックアドレス空間によって設定できるアドレスビットが違っており、

ブロックアドレス空間 0: A20~A8

ブロックアドレス空間 1: A21~A8

ブロックアドレス空間 2~5: A22~A15

のマスク設定ができます。上位のビットについては、必ず比較されます。これにより、各ブロックアドレス空間のサイズが決まります。

ブロックアドレス空間によって設定できるサイズは、次のとおりです。

	256	512	32K	64K	128K	256K	512K	1M	2M	4M	8M	[単位: バイト]
CS0	○	○	○	○	○	○	○	○	○			
CS1	○	○		○	○	○	○	○	○	○		
CS2-5			○	○	○	○	○	○	○	○	○	

注) リセット解除後は、ブロックアドレス空間 2 の制御レジスタのみが有効になっています。ブロックアドレス空間 2 の制御レジスタには、特別に B2M ビットがあり、このビットを“0”にすると、ブロックアドレス空間 2 は 000000H~FFFFFFH に設定されます。リセット解除後は、この状態に設定されています。この B2M ビットを“1”に設定すると、ほかのブロックアドレス空間と同様に、スタートアドレスとサイズを設定することができます。

## 3. レジスタの設定例

ブロックアドレス空間 1 を 110000H のアドレスから 512 バイトに設定する場合、次のようにレジスタを設定します。

## MSAR1 レジスタ

bit	7	6	5	4	3	2	1	0
bit Symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
設定値	0	0	0	1	0	0	0	1

メモリスタートアドレスレジスタ MSAR1 の M1S23~M1S16 の各ビットは、それぞれアドレス A23~A16 に対応します。

A15~A0 は“0”となります。従って、MSAR1 を上記のように設定すると、ブロックアドレス空間 1 のスタートアドレスは、110000H になります。

スタートアドレスの設定は、ほかのブロックアドレス空間についても同様になります。

## MAMR1 レジスタ

bit	7	6	5	4	3	2	1	0
bit Symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-9	M1V8
設定値	0	0	0	0	0	0	0	1

メモリアドレスマスクレジスタ MAMR1 の M1V21~M1V16、M1V8 の各ビットは、それぞれアドレス A21~A16、A8 のアドレス比較を行うか、行わないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。M1V15~M1V9 のビットは、この1ビットでアドレス A15~A9 のアドレス比較を行うか、行わないかを設定します。A23 と A22 は、必ず比較されます。

上記のように設定すると、A23~A9 までがスタートアドレスとして設定された値と比較されます。従って、110000H~1101FFH の 512 バイトが、ブロックアドレス空間 1 として設定され、バス上のアドレスと一致すれば、チップセレクト信号  $\overline{CS1}$  を“L”レベルにします。

ほかのブロックアドレス空間のサイズ指定についても、これに準じます。

ブロックアドレス空間 0 では、A23 と A22 は必ず比較され、A20~A8 を比較するかどうかをレジスタに設定します。

同様にブロックアドレス空間 2~5 では、A23 は必ず比較され、A22~A15 を比較するかどうかを、レジスタに設定します。

注) 設定したブロックアドレス空間が、内蔵メモリの空間と重複した場合、または、アドレス空間同士が重複した場合は、以下のような優先順位で処理されます。

内蔵 I/O > 内蔵メモリ > ブロックアドレス空間 0 > 1 > 2 > 3 > 4 > 5

また、 $\overline{CS0}$ ~ $\overline{CS5}$  で設定したアドレス空間以外をアクセスした場合は、 $\overline{CS2}$  空間として処理されます。従って、ウェイト数、データバス幅の制御などは  $\overline{CS2}$  の設定に従い、 $\overline{CS2}$  信号が出力されます。

## (2) 接続メモリの指定

コントロールレジスタ (BnCSH) の BnOM1~BnOM0 ビットを設定することにより、各ブロックアドレス空間に接続するメモリの種類を設定することができます。設定されたメモリによって、メモリインタフェース信号が出力されます。設定は、次のように行います。

BnOM1、BnOM0 ビット (BnCSH レジスタ)

BnOM1	BnOM0	機 能
0	0	SRAM/ROM (デフォルト)
0	1	(予約)
1	0	DRAM
1	1	(予約)

DRAM の設定は、ブロックアドレス空間 1 および 3 にのみ行うことができます。詳細は、3.7「DRAM コントローラ」を参照してください。

また、ROM を選択した場合、ページモードのアクセスを行うことができます。ただし、指定できるのは、ブロックアドレス空間 2 のみです。

## (3) データバス幅の設定

データバス幅は、ブロックアドレス空間ごとに設定することができます。バス幅の設定は、コントロールレジスタ (BnCSH) の BnBUS1、BnBUS0 ビットで、以下のように行います。

BnBUS ビット (BnCSH レジスタ)

BnBUS1	BnBUS0	機 能
0	0	8ビットバスモード(デフォルト)
0	1	16ビットバスモード
1	0	32ビットバスモード
1	1	(予約)

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。データサイズ、バス幅、スタートアドレスにより、データが、データバスのどの部分に出力されるかが変わります。バス動作の詳細は次のようになります。

注) バス幅が異なるメモリを連続したアドレスに配置している場合、両方のメモリにまたがるアクセスを 1 命令で実行しないでください。データの正常な読み出し/書き込みが行われない場合があります。

データサイズ (bit)	スタートアドレス	メモリ側データ幅 (bit)	CPUアドレス	CPUデータ				
				D31-D24	D23-D16	D15-D8	D7-D0	
8	4n+0	8/16/32	4n+0	xxxxx	xxxxx	xxxxx	b7-b0	
	4n+1	8	4n+1	xxxxx	xxxxx	xxxxx	b7-b0	
		16/32	4n+1	xxxxx	xxxxx	xxxxx	xxxxx	
	4n+2	8/16	4n+2	xxxxx	xxxxx	xxxxx	b7-b0	
		32	4n+2	xxxxx	b7-b0	xxxxx	xxxxx	
	4n+3	8	4n+3	xxxxx	xxxxx	xxxxx	b7-b0	
16		4n+3	xxxxx	xxxxx	xxxxx	b7-b0		
32		4n+3	b7-b0	xxxxx	xxxxx	xxxxx		
16	4n+0	8	(1) 4n+0 (2) 4n+1	xxxxx xxxxx	xxxxx xxxxx	xxxxx xxxxx	b7-b0 b15-b8	
		16/32	4n+0	xxxxx	xxxxx	b15-b8	b7-b0	
		8	(1) 4n+1 (2) 4n+2	xxxxx xxxxx	xxxxx xxxxx	xxxxx xxxxx	b7-b0 b15-b8	
	4n+1	16	(1) 4n+1 (2) 4n+2	xxxxx xxxxx	xxxxx xxxxx	b7-b0	xxxxx b15-b8	
		32	4n+1	xxxxx	b15-b8	b7-b0	xxxxx	
		8	(1) 4n+2 (2) 4n+1	xxxxx xxxxx	xxxxx xxxxx	xxxxx xxxxx	b7-b0 b15-b8	
	4n+2	16	4n+2	xxxxx	xxxxx	b15-b8	b7-b0	
		32	4n+2	b15-b8	b7-b0	xxxxx	xxxxx	
		8	(1) 4n+3 (2) 4n+4	xxxxx xxxxx	xxxxx xxxxx	xxxxx xxxxx	b7-b0 b15-b8	
	4n+3	16	(1) 4n+3 (2) 4n+4	xxxxx xxxxx	xxxxx xxxxx	b7-b0	xxxxx b15-b8	
		32	(1) 4n+3 (2) 4n+4	b7-b0 xxxxx	xxxxx xxxxx	xxxxx	xxxxx b15-b8	
		8	(1) 4n+0 (2) 4n+1 (3) 4n+2 (4) 4n+3	xxxxx xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx xxxxx	b7-b0 b15-b8 b23-b16 b31-b24	
	32	4n+0	16	(1) 4n+0 (2) 4n+2	xxxxx xxxxx	xxxxx xxxxx	b15-b8 b31-b24	b7-b0 b23-b16
			32	4n+0	b31-b24	b23-b16	b15-b8	b7-b0
			8	(1) 4n+1 (2) 4n+2 (3) 4n+3 (4) 4n+4	xxxxx xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx xxxxx	b7-b0 b15-b8 b23-b16 b31-b24
		4n+1	16	(1) 4n+1 (2) 4n+2 (3) 4n+4	xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx	b7-b0 b23-b16	xxxxx b15-b8 b31-b24
			32	(1) 4n+1 (2) 4n+4	b23-b16 xxxxx	b15-b8 xxxxx	b7-b0	xxxxx b31-b24
			8	(1) 4n+2 (2) 4n+3 (3) 4n+4 (4) 4n+5	xxxxx xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx xxxxx	b7-b0 b15-b8 b23-b16 b31-b24
4n+2		16	(1) 4n+2 (2) 4n+4	xxxxx xxxxx	xxxxx xxxxx	b15-b8 b31-b24	b7-b0 b23-b16	
		32	(1) 4n+2 (2) 4n+4	b15-b8 xxxxx	b7-b0 xxxxx	xxxxx	xxxxx b23-b16	
		8	(1) 4n+3 (2) 4n+4 (3) 4n+5 (4) 4n+6	xxxxx xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx xxxxx	b7-b0 b15-b8 b23-b16 b31-b24	
4n+3		16	(1) 4n+3 (2) 4n+4 (3) 4n+6	xxxxx xxxxx xxxxx	xxxxx xxxxx xxxxx	b7-b0 b23-b16	xxxxx b15-b8 b31-b24	
		32	(1) 4n+3 (2) 4n+4	b7-b0 xxxxx	xxxxx b31-b24	xxxxx b23-b16	xxxxx b15-b8	

xxxxx : リード時はそのバスの入力データが無視されることを示します。  
 ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号は、ノンアクティブのままであることを示します。

## (4) ウェイトの制御

外部バスサイクルは、最小 2 ステート (100 ns @ 20 MHz) で完了します。コントロールレジスタ (BnCSL) の BnWW2~BnWW0 と、BnWR2~BnWR0 を設定することにより、リードサイクルとライトサイクルのウェイト数を指定することができます。BnWW と BnWR の設定方法は同じです。

設定は次のように行います。

## BnWW/BnWR ビット (BnCSL レジスタ)

BnWW2 BnWR2	BnWW1 BnWR1	BnWW0 BnWR0	機能
0	0	1	2ステート (0 WAIT) アクセス固定モード
0	1	0	3ステート (1 WAIT) アクセス固定モード (デフォルト)
1	0	1	4ステート (2 WAIT) アクセス固定モード
1	1	0	5ステート (3 WAIT) アクセス固定モード
0	1	1	WAIT端子入力モード
上記以外			(予約)

注) 接続メモリをDRAMに設定した場合、3ステート (1 WAIT) 以上に設定してください。また、DRAMアクセスの場合、WAIT端子入力モードは使用できません。

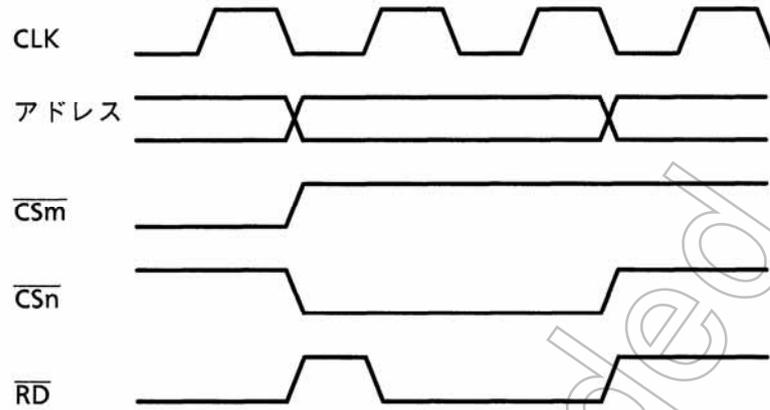
- ウェイト数固定モード  
指定されたステート数でバスサイクルを完了するモードです。ステート数は、2 ステート (0 WAIT) ~ 5 ステート (3 WAIT) を選択できます。
- WAIT 端子入力モード  
WAIT 入力端子をサンプリングし、信号がアクティブの間、ウェイトを挿入し続けます。このモードでは、最小のバスサイクルが 2 ステートとなります。2 ステート目にウェイト信号が、ノンアクティブ ("H" レベル) であれば、そこでバスサイクルは完了します。2 ステート以上は、ウェイト信号がアクティブな限り、バスサイクルが延長されます。

また、外付け ROM などのデータ出力フローティング時間 (tDF) が大きいものを複数接続した場合などは、お互いのデータバス出力リカバリー時間が問題になりますが、コントロールレジスタ (BnCSH) の BnREC を設定することにより、ほかのブロックアドレス空間をアクセスし始める最初のバスサイクルの直前に、1 ステートのダミーサイクルを入れることができます。ただし、CSn 出力端子の信号は、ダミーサイクル中、次のバスサイクルのブロックアドレス空間に対応したものを出力します。

## BnREC ビット (BnCSH レジスタ)

0	ダミーサイクルを入れない。(デフォルト)
1	ダミーサイクルを入れる。

- ダミーサイクルを挿入しないとき (0 ウェイト)



- ダミーサイクルを挿入するとき (0 ウェイト)

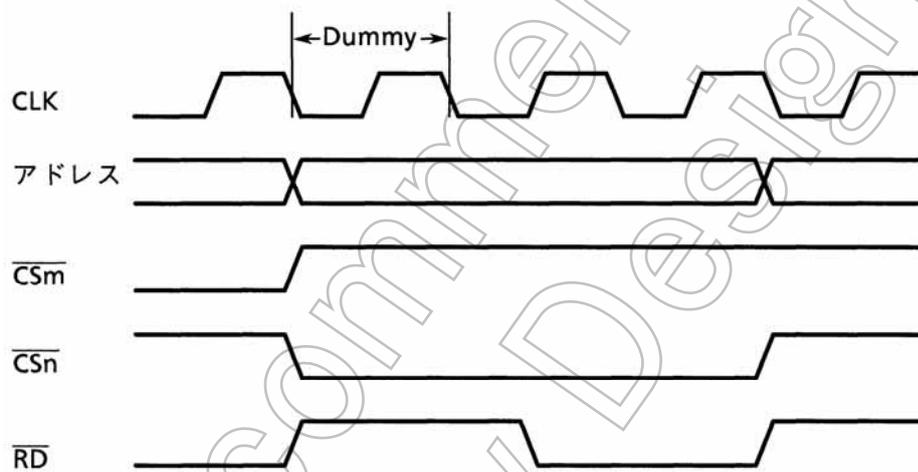
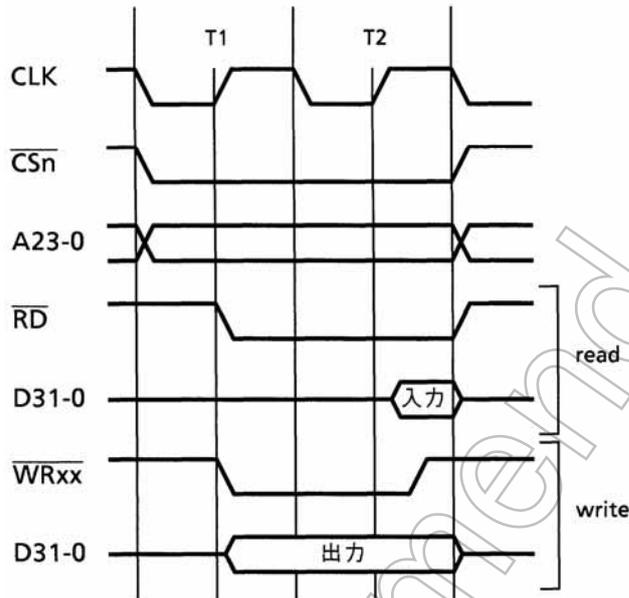


図 3.6.1 ダミーサイクル挿入時のリードサイクル

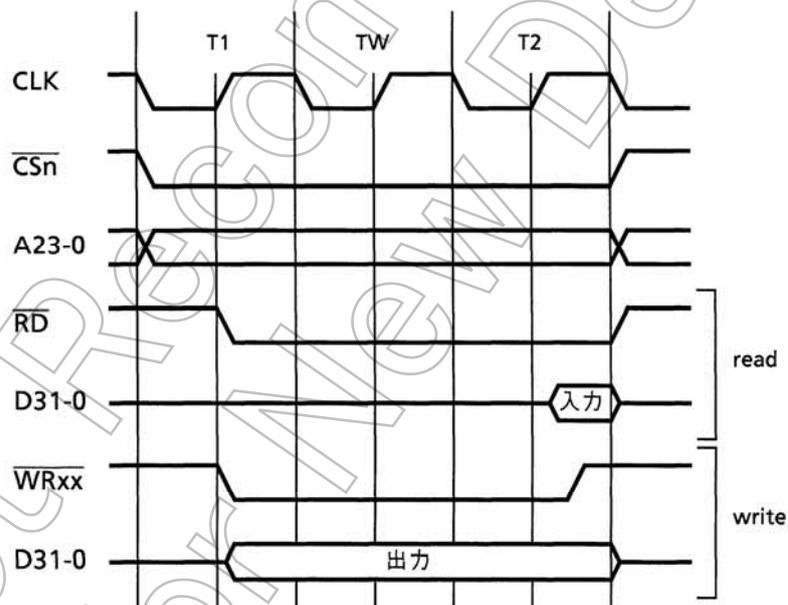
(5) バスアクセスタイミング

SRAM および、ROM のバスタイミングは、次のようになります。

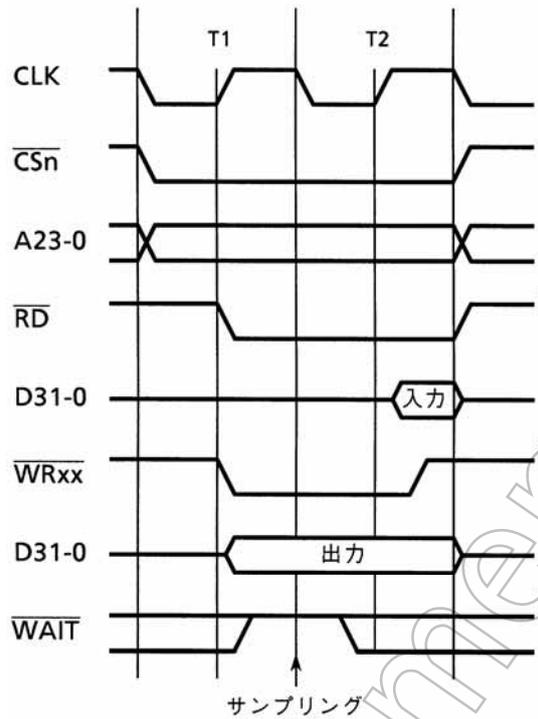
- 2 ステート (0 ウェイト) アクセス固定モード



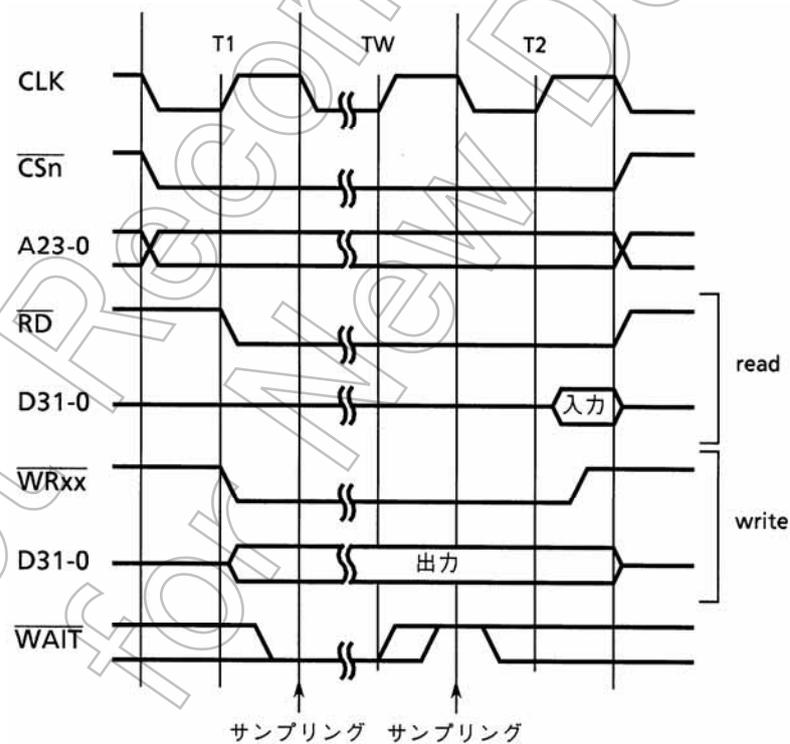
- 3 ステート (1 ウェイト) アクセス固定モード



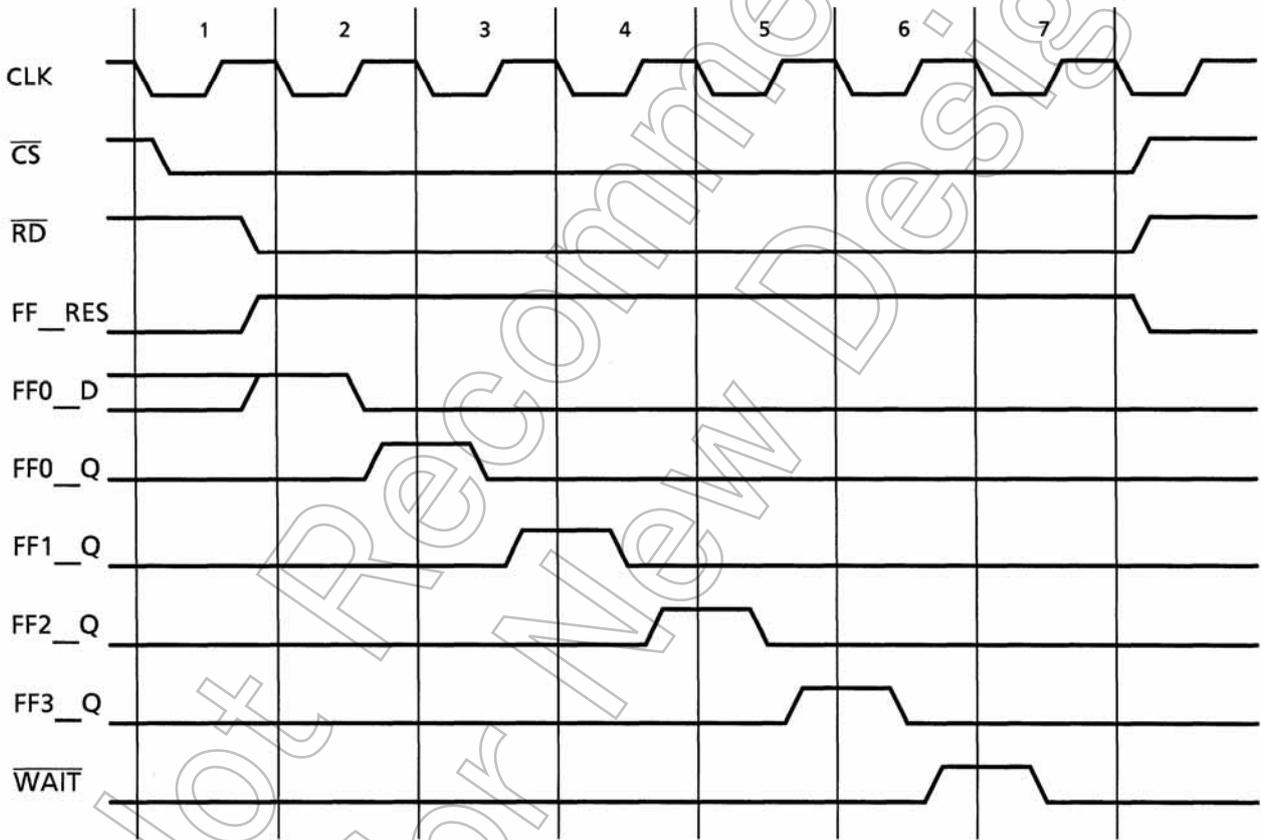
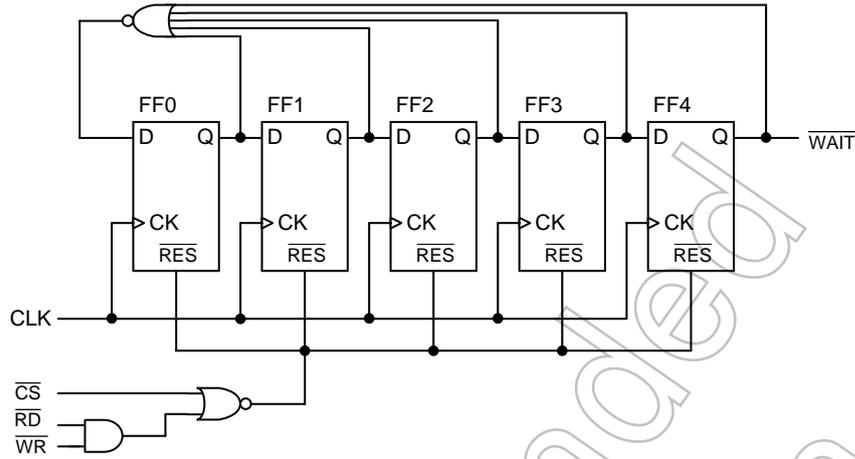
- $\overline{\text{WAIT}}$  端子入力モード (0 ウェイトの場合)



- $\overline{\text{WAIT}}$  端子入力モード (n ウェイトの場合)



- $\overline{\text{WAIT}}$  入力回路例 (5 ウェイトの場合)



### 3.6.4 ROM コントロール (ページモード)

ここでは、ROM のページモードアクセスを行う場合の動作と、レジスタの設定方法について説明します。ROM ページモードの設定は、ページ ROM コントロールレジスタで行います。

#### (1) 動作とレジスタの設定方法

TMP94C241C は、ページモードの ROM アクセスをサポートしています。ただし、ページモードの ROM アクセスを指定できるのは、ブロックアドレス空間 2 のみです。

ROM のページモードの設定は、ページ ROM コントロールレジスタ (PMEMCR) で行います。PMEMCR レジスタの OPGE ビットに“1”を設定すると、ブロックアドレス空間 2 のメモリアクセスは、ROM ページモードアクセスになります。

PMEMCR レジスタの OPWR1、0 ビットで、読み出しサイクル数の設定を行います。

OPWR1/OPWR0 ビット (PMEMCR レジスタ)

OPWR1	OPWR0	ページのサイクル数
0	0	1ステート (n-1-1-1モード) ( $n \geq 2$ )
0	1	2ステート (n-2-2-2モード) ( $n \geq 3$ )
1	0	3ステート (n-3-3-3モード) ( $n \geq 4$ )
1	1	(予約)

注) ウェイト数  $n$  は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

PMEMCR レジスタの PR1、0 ビットには、CPU 側から見た ROM のページサイズ (バイト数) を設定します。設定されたページ境界までデータが読み出されると、メモリコントローラは、一連のページリード動作を終了させ、次のページの先頭データの読み出しはノーマルサイクルで行い、その次より再びページリードを続けます。

PR1/PR0 ビット (PMEMCR レジスタ)

RR1	RR0	ROMのページサイズ
0	0	64バイト
0	1	32バイト
1	0	16バイト (デフォルト)
1	1	8バイト

#### (2) 信号波形

信号波形の詳細は、4.3.2 「ページ ROM リードサイクル」を参照してください。

## 3.6.5 レジスタ一覧

メモリコントローラを制御するレジスタと、設定についてまとめます。各レジスタのアドレスについては、5.「特殊機能レジスタ一覧表」を参照してください。

## (1) コントロールレジスタ

コントロールレジスタは、BnCSLとBnCSH (nはブロックアドレス空間の番号) の組になっています。BnCSLは、ブロックアドレス空間によらず同様の構成です。BnCSHは、ブロックアドレス空間2に対応するB2CSHのみ、構成が異なります。

- BnCSL (n = 0~5) (リードモディファイライトできません)

	7	6	5	4	3	2	1	0
bit Symbol	-	BnWW2	BnWW1	BnWW0	-	BnWR2	BnWR1	BnWR0
Read/Write		W				W		
リセット後	-	0	1	0	-	0	1	0

BnWW [2:0] 書き込みウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス    010 = 3 ステート (1 ウェイト) アクセス  
 101 = 4 ステート (2 ウェイト) アクセス    110 = 5 ステート (3 ウェイト) アクセス  
 011 = WAIT 端子入力モード                その他 = (予約)

BnWR [2:0] 読み出しウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス    010 = 3 ステート (1 ウェイト) アクセス  
 101 = 4 ステート (2 ウェイト) アクセス    110 = 5 ステート (3 ウェイト) アクセス  
 011 = WAIT 端子入力モード                その他 = (予約)

注) 接続メモリをDRAMに設定した場合、3ステート(1ウェイト)以上に設定してください。また、DRAMアクセスの場合、WAIT端子入力モードは使用できません。

- B2CSH (リードモディファイライトできません)

	7	6	5	4	3	2	1	0
bit Symbol	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
Read/Write	W	W		W	W		W	
リセット後	1	0	-	0	0	0	0/1	0/1

B2E イネーブルビット

0 = チップセレクト信号を出力しない。  
 1 = チップセレクト信号を出力する。(デフォルト)

注) リセット解除後は、B2CSレジスタのイネーブルビットB2Eのみ有効("1")になっています。

B2M ブロックアドレス空間指定

0 = CS2のブロックアドレス空間を000000H~FFFFFFHにする。(デフォルト)  
 1 = CS2のブロックアドレス空間をプログラマブルにする。

注) リセット解除後は、ブロックアドレス空間2は000000H~FFFFFFHに設定されています。

B2REC データ出力リカバリー時間用のダミーサイクルの設定

0 = ダミーサイクルを入れない (デフォルト)

1 = ダミーサイクルを入れる

B2OM [1:0]

00 = SRAM または ROM (デフォルト)

その他 = (予約)

B2BUS [1:0] データバス幅の設定

00 = 8 ビット (デフォルト)

01 = 16 ビット

10 = 32 ビット

11 = (予約)

注) B2BUS ビットへは、リセット解除後の AM [1:0] 端子の状態により値が設定されま  
す。

- BnCSH (n = 0, 1, 3, 4, 5) (リードモディファイライトできません)

	7	6	5	4	3	2	1	0
bit Symbol	BnE	-	-	BnREC	BnOM1	BnOM0	BnBUS1	BnBUS0
Read/Write	W			W	W			W
リセット後	0	-	-	0	0	0	0	0

BnE イネーブルビット

0 = チップセレクト信号を出力しない。(デフォルト)

1 = チップセレクト信号を出力する。

BnREC データ出力リカバリー時間用のダミーサイクルの設定

0 = ダミーサイクルを入れない (デフォルト)

1 = ダミーサイクルを入れる

BnOM [1:0] 接続デバイスの設定

00 = SRAM または ROM (デフォルト)

01 = (予約)

10 = DRAM

11 = (予約)

注) DRAM を設定できるのは、B1CS と B3CS のみです。

BnBUS [1:0] データバス幅の設定

00 = 8 ビット (デフォルト)

01 = 16 ビット

10 = 32 ビット

11 = (予約)

## (2) ブロックアドレス空間指定レジスタ

ブロックアドレス空間のスタートアドレスと範囲の指定は、メモリスタートアドレスレジスタ (MSARn) と、メモリアドレスマスクレジスタ (MAMRn) の2つのレジスタで行います。スタートアドレスを指定するメモリスタートアドレスレジスタの設定はブロックアドレス空間によらず同様です。メモリアドレスマスクレジスタは、ブロックアドレス空間により設定できるビットが異なります。

- MSARn (n = 0~5)

	7	6	5	4	3	2	1	0
bit Symbol	MnS23	MnS22	MnS21	MnS20	MnS19	MnS18	MnS17	MnS16
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

MnS [23:16] スタートアドレスの設定

各ブロックアドレス空間のスタートアドレスを設定。各ビットはアドレス A23~A16 に対応します。

- MAMR0

	7	6	5	4	3	2	1	0
bit Symbol	MOV20	MOV19	MOV18	MOV17	MOV16	MOV15	MOV14-9	MOV8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

MOV [20:8]

アドレス比較の可/否を設定します。MOV20~MOV8 は、それぞれアドレス A20~A8 に対応します。MOV14~MOV9のビットは、1ビットでアドレス A14~A9 に対応します。“0”をセットすると、アドレスバスの値とスタートアドレスとを比較し、“1”をセットすると比較を行いません。

- MAMR1

	7	6	5	4	3	2	1	0
bit Symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-9	M1V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

M1V [21:8]

アドレス比較の可/否を設定します。M1V21~M1V8 は、それぞれアドレス A21~A8 に対応します。M1V15~M1V9のビットは、1ビットでアドレス A15~A9 に対応します。“0”をセットすると、アドレスバスの値とスタートアドレスとを比較し、“1”をセットすると比較を行いません。

- MAMRn (n = 2~5)

	7	6	5	4	3	2	1	0
bit Symbol	MnV22	MnV21	MnV20	MnV19	MnV18	MnV17	MnV16	MnV15
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

#### MnV [22:15]

アドレス比較の可否を設定します。MnV22~MnV15 は、それぞれアドレス A22~A15 に対応します。“0”をセットするとアドレスバスの値とスタートアドレスとを比較し、“1”をセットすると、比較を行いません。

#### (3) ページ ROM コントロールレジスタ (PMEMCR)

ページ ROM アクセスについての設定を行うレジスタです。ROM のページアクセスが可能なのは、ブロックアドレス空間 2 のみです。

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	OPGE	OPWR1	OPWR0	PR1	PR0
Read/Write				R/W	R/W		R/W	
リセット後	-	-	-	0	0	0	1	0

#### OPGE イネーブルビット

- 0 = ROM ページモードアクセスを行わない (デフォルト)。
- 1 = ROM ページモードアクセスを行う。

#### OPWR [1:0] ウェイト数の指定

- 00 = 1 ステート (n-1-1-1 モード) (n ≥ 2) (デフォルト)
- 01 = 2 ステート (n-2-2-2 モード) (n ≥ 3)
- 10 = 3 ステート (n-3-3-3 モード) (n ≥ 4)
- 11 = (予約)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

#### PR [1:0] ROM のページサイズ

- 00 = 64 バイト
- 01 = 32 バイト
- 10 = 16 バイト (デフォルト)
- 11 = 8 バイト

表 3.6.1 レジスタ一覧 (1/2)

記号	アドレス	7	6	5	4	3	2	1	0	
BOCSL	140H	-	B0WW2	B0WW1	B0WW0	-	B0WR2	B0WR1	B0WR0	
			W				W			
		-	0	1	0	-	0	1	0	
BOCSH	141H	B0E	-	-	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0	
		W			W		W			
		0	-	-	0	0	0	0	0	
MAMR0	142H	MOV20	MOV19	MOV18	MOV17	MOV16	MOV15	MOV14-V9	MOV8	
		R/W								
		1	1	1	1	1	1	1	1	
MSAR0	143H	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16	
		R/W								
		1	1	1	1	1	1	1	1	
B1CSL	144H	-	B1WW2	B1WW1	B1WW0	-	B1WR2	B1WR1	B1WR0	
			W				W			
		-	0	1	0	-	0	1	0	
B1CSH	145H	B1E	-	-	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0	
		W			W		W			
		0	-	-	0	0	0	0	0	
MAMR1	146H	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-V9	M1V8	
		R/W								
		1	1	1	1	1	1	1	1	
MSAR1	147H	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16	
		R/W								
		1	1	1	1	1	1	1	1	
B2CSL	148H	-	B2WW2	B2WW1	B2WW0	-	B2WR2	B2WR1	B2WR0	
			W				W			
		-	0	1	0	-	0	1	0	
B2CSH	149H	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0	
		W	W		W		W			
		1	0	-	0	0	0	0	0	
MAMR2	14AH	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15	
		R/W								
		1	1	1	1	1	1	1	1	
MSAR2	14BH	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16	
		R/W								
		1	1	1	1	1	1	1	1	
B3CSL	14CH	-	B3WW2	B3WW1	B3WW0	-	B3WR2	B3WR1	B0WR0	
			W				W			
		-	0	1	0	-	0	1	0	
B3CSH	14DH	B3E	-	-	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0	
		W			W		W			
		0	-	-	0	0	0	0	0	
MAMR3	14EH	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15	
		R/W								
		1	1	1	1	1	1	1	1	
MSAR3	14FH	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16	
		R/W								
		1	1	1	1	1	1	1	1	
B4CSL	150H	-	B4WW2	B4WW1	B4WW0	-	B4WR2	B4WR1	B4WR0	
			W				W			
		-	0	1	0	-	0	1	0	
B4CSH	151H	B4E	-	-	B4REC	B4OM1	B4OM0	B4BUS1	B4BUS0	
		W			W		W			
		0	-	-	0	0	0	0	0	

注) B0CSL, B0CSH, B1CSL, B1CSH, B2CSL, B2CSH, B3CSL, B3CSH, B4CSL, B4CSH レジスタは、リードモディファイライトできません。

表 3.6.2 レジスタ一覧 (2/2)

記号	アドレス	7	6	5	4	3	2	1	0
MAMR4	152H	M4V22	M4V21	M4V20	M4V19	M4V18	M4V17	M4V16	M4V15
		R/W							
		1	1	1	1	1	1	1	1
MSAR4	153H	M4S23	M4S22	M4S21	M4S20	M4S19	M4S18	M4S17	M4S16
		R/W							
		1	1	1	1	1	1	1	1
B5CSL	154H	-	B5WW2	B5WW1	B5WW0	-	B5WR2	B5WR1	B5WR0
		W				W			
		-	0	1	0	-	0	1	0
B5CSH	155H	B5E	-	-	B5REC	B5OM1	B5OM0	B5BUS1	B5BUS0
		W		W		W			
		0	-	-	0	0	0	0	0
MAMR5	156H	M5V22	M5V21	M5V20	M5V19	M5V18	M5V17	M5V16	M5V15
		R/W							
		1	1	1	1	1	1	1	1
MSAR5	157H	M5S23	M5S22	M5S21	M5S20	M5S19	M5S18	M5S17	M5S16
		R/W							
		1	1	1	1	1	1	1	1
PMEMCR	166H	-	-	-	OPGE	OPWR1	OPWR0	PR1	PR0
		R/W							
		-	-	-	0	0	0	1	0

注) B5CSL, B5CSH レジスタは、リードモディファイライトできません。

#### (4) レジスタの設定例

ブロックアドレス空間 0 (CS0) を、アドレス 010000H~01FFFFH (64K バイト空間)、16 ビットデータバス幅、書き込み 4 ステート、読み出し 3 ステート、データバスリカバリ用のダミーサイクル挿入なし、に設定する例を下記に示します。

MSAR0 = 01H

MAMR0 = 07H

B0CSL = 52H

B0CSH = 81H

ブロックアドレス空間 3 (CS3) を、アドレス 200000H~2FFFFFFH (1M バイト空間)、32 ビットデータバス幅、書き込み 3 ステート、読み出し 3 ステート、データバスリカバリ用のダミーサイクル挿入あり、に設定する例を下記に示します。

MSAR3 = 20H

MAMR3 = 1FH

B3CSL = 22H

B3CSH = 92H

ブロックアドレス空間 2 (CS2) を、アドレス 090000H~09FFFFH (64K バイト空間)、32 ビットデータバス幅、読み出し 3 ステート、データバスリカバリ用のダミーサイクル挿入あり、ページ ROM のページサイズを 32 バイト、に設定する例を下記に示します。

MSAR2 = 09H

MAMR2 = 01H

B2CSH = D2H

PMEMCR = 19H

## 3.6.6 注意

リード信号（アウトプットイネーブル信号）の寄生容量がチップセレクト信号の容量より大きい場合のリード信号の遅れにより、意図しないリードサイクルが発生する場合があります。図 3.6.2の (a) のような意図しないリードサイクルによって、不具合が発生する恐れがあります。

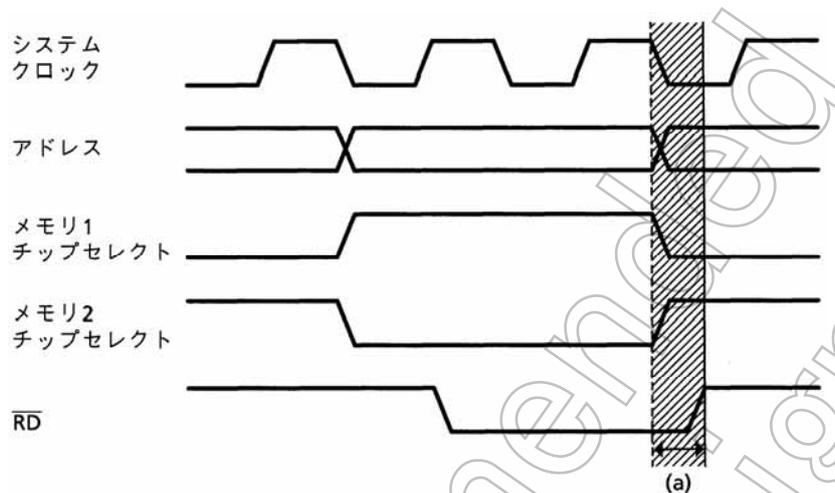
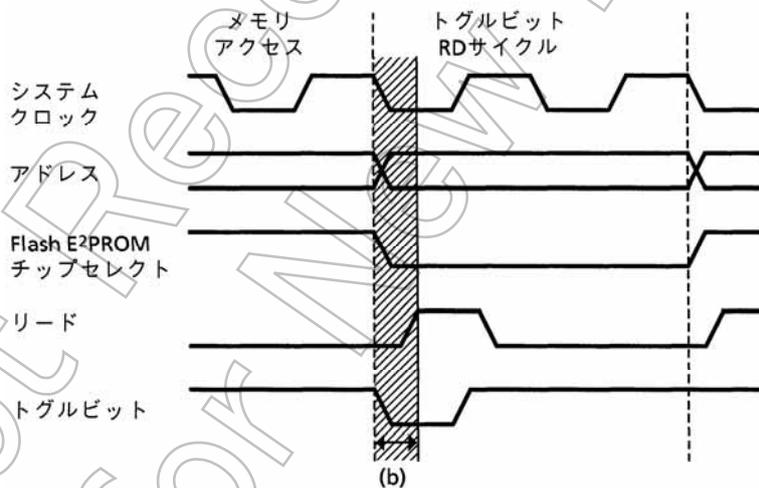


図 3.6.2 リード信号遅延時のリードサイクル

例: JEDEC標準型コマンドを採用しているFlash E<sup>2</sup>PROMを外部に接続する場合、トグルビットを正しく読み出しできない場合があります。図 3.6.3のようにFlash E<sup>2</sup>PROMアクセスの前のサイクルのリード信号立ち上がりが遅れたとき、(b) のように意図しないリードサイクルが生じます。

図 3.6.3 Flash E<sup>2</sup>PROM トグルビットリードサイクル

この意図しないリードサイクルでトグルビットが反転してしまう場合、TMP94C241C はいつも同じ値のトグルビットを読み出すことになり、正しくトグルビットをリードできません。このような現象が起こる場合があるため、データポーリングでの制御を推奨します。

### 3.7 DRAM コントローラ

TMP94C241C は、DRAM コントロール機能を 2 チャンネル備えています。DRAM アクセス、アドレスマルチプレクス、リフレッシュなどの制御を行います。主な機能は、以下のとおりです。

- マッピングエリア
  - ブロックアドレス空間 1 … 256~4M バイト
  - ブロックアドレス空間 3 … 32K~8M バイト
- メモリアクセス方式
  - 4CAS (32 ビットバス)、2CAS (16 ビットバス)、1CAS (8 ビットバス) 方式
  - ページモードをサポート
- メモリアクセスアドレス長
  - 8 から 11 ビット選択
- リフレッシュ方式
  - CAS ビフォア RAS リフレッシュ方式
- リフレッシュ間隔
  - プログラマブル (78~384 ステート)
- リフレッシュサイクル幅
  - プログラマブル (2~9 ステート)
- セルフリフレッシュ
  - セルフリフレッシュモードを設定可能
- リフレッシュとアクセスの競合時のアービトレーション
  - リフレッシュを優先し、アクセスサイクルに自動的にウェイトを挿入します。
- バス解放中の動作
  - バス解放中、DRAM リフレッシュ動作のみサポートするモードがあります。

データバス幅と、DRAM アクセスのウェイト数は、ブロックアドレス空間 1 と 3 のコントロールレジスタ (B1CSH、B3CSH) に設定された値によります。このウェイト数は 3 ステート(1WAIT) 以上に設定してください。また、DRAM アクセスの場合、WAIT 端子入力モードは使用できません。その他の設定は、DRAM コントロールレジスタ (DRAMOCRL/H, DRAM1CRL/H) と DRAM リフレッシュコントロールレジスタ (DRAMOREF, DRAM1REF) で行います。

DRAM アクセス動作とリフレッシュについて、レジスタの設定方法と合わせて説明します。

## (1) DRAM アクセス用端子

DRAM アクセスは、以下の端子を使って行います。接続するデータバス幅によって端子の機能が変わります。データバス幅は、ブロックアドレス空間 1、3 のコントロールレジスタ (B1CSH、B3CSH) に設定します。

注) 32 ビットバスは、チャンネル 1 のみサポートしています。

端子名	バス幅		
	8 bit	16 bit	32 bit
CS1/RAS0 (P81)	RAS0	RAS0	—
WE0 (PA4)	WE0	WE0	—
OE0 (PA2)	OE0	OE0	—
UCAS0 (PA1)	—	UCAS0	—
CAS0/LCAS0 (PA0)	CAS0	LCAS0	—
CS3/RAS1 (P83)	RAS1	RAS1	RAS1
WE1 (PB4)	WE1	WE1	WE1
OE1 (PA3)	OE1	OE1	OE1
HUCAS1 (PB3)	—	—	HUCAS1
HLCAS1 (PB2)	—	—	HLCAS1
UCAS1/LUCAS1 (PB1)	—	UCAS1	LUCAS1
CAS1/LCAS1/LLCAS1 (PB0)	CAS1	LCAS1	LLCAS1

## (2) DRAM アクセスコントロール

DRAM アクセスのモード設定は、DRAM コントロールレジスタ (DRAMCRL/H, DRAM1CRL/H) で行います。各モードの動作とレジスタの設定について説明します。

## 1. アドレスマルチプレクス

TMP94C241C は、内部のアドレスマルチプレクサにより、ローアドレスとカラムアドレスをマルチプレクスして出力することができます。マルチプレクスするアドレス長は、8 ビットから 11 ビットまで選択可能です。また、マルチプレクスされるアドレスはデータバス幅により変わります。

- 設定方法

DRAM コントロールレジスタの、MUXWn1、MUXWn0 ビットで、マルチプレクスアドレス長を指定します。MUXEn ビットを“1”にすると、設定が有効になります。設定は以下のようにします。

## MUXWn ビット

MUXWn1	MUXWn0	マルチプレクスアドレス長
0	0	8 bit長 (デフォルト)
0	1	9 bit長
1	0	10 bit長
1	1	11 bit長

マルチプレクスアドレス長を設定すると、データバス幅によりマルチプレクスされるアドレスが、以下のように変わります。

カラム アドレス (A0~A12端子)	ローアドレス											
	8 bitマルチプレクス長			9 bitマルチプレクス長			10 bitマルチプレクス長			11 bitマルチプレクス長		
	8 bit	16 bit	32 bit	8 bit	16 bit	32 bit	8 bit	16 bit	32 bit	8 bit	16 bit	32 bit
A0	A8	A0	A0	A9	A0	A0	A10	A0	A0	A11	A0	A0
A1	A9	A9	A1	A10	A10	A1	A11	A11	A1	A12	A12	A1
A2	A10	A10	A10	A11	A11	A11	A12	A12	A12	A13	A13	A13
A3	A11	A11	A11	A12	A12	A12	A13	A13	A13	A14	A14	A14
A4	A12	A12	A12	A13	A13	A13	A14	A14	A14	A15	A15	A15
A5	A13	A13	A13	A14	A14	A14	A15	A15	A15	A16	A16	A16
A6	A14	A14	A14	A15	A15	A15	A16	A16	A16	A17	A17	A17
A7	A15	A15	A15	A16	A16	A16	A17	A17	A17	A18	A18	A18
A8	A8	A16	A16	A17	A17	A17	A18	A18	A18	A19	A19	A19
A9	A9	A9	A17	A9	A18	A18	A19	A19	A19	A20	A20	A20
A10	A10	A10	A10	A10	A10	A19	A10	A20	A20	A21	A21	A21
A11	A11	A11	A11	A11	A11	A11	A11	A11	A11	A11	A22	A22
A12	A12	A12	A12	A12	A12	A12	A12	A12	A12	A12	A12	A23

## 2. ページモードアクセス

DRAMページモードアクセスは、DRAMコントロールレジスタのPGenビットを“1”にすることにより有効になります。

通常のDRAMアクセスを行うときのウェイト数は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) に設定しますが、ページモードアクセス時のウェイト数は、DRAMコントロールレジスタで設定します。

### • 設定方法

書き込み時のウェイト数は、PnWW1、PnWW0ビットに、読み出し時のウェイト数は、PnWR1、PnWR0ビットに設定します。設定方法はどちらも同様で、以下のように行います。

#### PnWW/PnWR ビット

PnWW1	PnWW0	機 能
PnWR1	PnWR0	
0	0	(予約)
0	1	1ウェイト (n-2-2-2モード) (n ≥ 3)
1	0	2ウェイト (n-3-3-3モード) (n ≥ 4)
1	1	(予約)

注) ウェイト数nは、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

## 3. DRAMアクセス信号タイミング

信号波形の詳細は、4.3.3「DRAMバスサイクル」を参照してください。

## (3) DRAM リフレッシュコントロール

TMP94C241C は、次の 3 種類のリフレッシュ制御をサポートします。

- CAS ビフォア RAS インタバルリフレッシュ
- CAS ビフォア RAS セルフリフレッシュ
- ダミーリフレッシュ

DRAM のリフレッシュ動作の制御は、DRAM リフレッシュコントロールレジスタ (DRAM0REF, DRAM1REF) と、DRAM コントロールレジスタの SRFC ビットで行います。以下に設定方法と、動作について説明します。

## 1. CAS ビフォア RAS インタバルリフレッシュ

CAS ビフォア RAS インタバルリフレッシュモードでは、DRAM のリフレッシュ動作に必要な RAS 信号と CAS 信号を、設定されたサイクル幅と挿入間隔に従って生成します。

## • 実行手順

DRAM リフレッシュコントロールレジスタ (DRAM0REF, DRAM1REF) の RCn ビットを“1”にすると、リフレッシュサイクルが挿入されます。リフレッシュサイクル幅は、RWn2~RWn0 ビットで、リフレッシュサイクル挿入間隔は RSn2~RSn0 ビットで設定します。なお DRAM 使用時は、3 サイクル以上に設定してください。

RWn ビットの設定は、以下のように行います。

RWn ビット

RW02 RW12	RW01 RW11	RW00 RW10	リフレッシュサイクル幅
0	0	0	2サイクル (デフォルト)
0	0	1	3サイクル
0	1	0	4サイクル
0	1	1	5サイクル
1	0	0	6サイクル
1	0	1	7サイクル
1	1	0	8サイクル
1	1	1	9サイクル

RSn ビットの設定により、リフレッシュサイクルの挿入間隔が変わります。リフレッシュサイクルの挿入間隔は、システムクロックの周波数により以下のようになります。

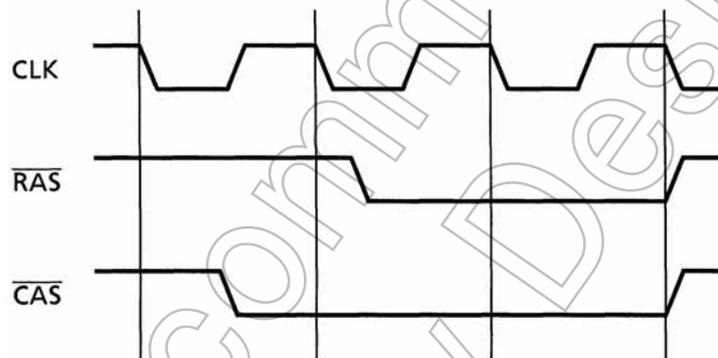
#### RSn ビット

RS02 RS12	RS01 RS11	RS00 RS10	挿入間隔 (cycle)	クロック周波数 (MHz)		
				16.00	19.66	20.00
0	0	0	78	4.88	3.97	3.90
0	0	1	154	9.63	7.83	7.70
0	1	0	188	11.75	9.56	9.40
0	1	1	226	14.13	11.50	11.30
1	0	0	246	15.38	12.51	12.30
1	0	1	302	18.88	15.36	15.10
1	1	0	308	19.25	15.67	15.40
1	1	1	384	24.00	19.53	19.20

(単位:  $\mu\text{s}$ )

- 信号タイミング

リフレッシュサイクル幅を 3 サイクルに設定した場合は、以下ようになります。



## 2. CAS ビフォア RAS セルフリフレッシュ

CAS ビフォア RAS セルフリフレッシュ (以下、セルフリフレッシュモード) は、CAS ビフォア RAS インタバルリフレッシュ (以下、インタバルモード) の動作中に、HALT 命令によりクロックの供給が停止する場合に使用できます。(HALT 命令で、クロックの供給が停止するのは、スタンバイ機能が、IDLE モードまたは、STOP モードに設定されている場合です。)

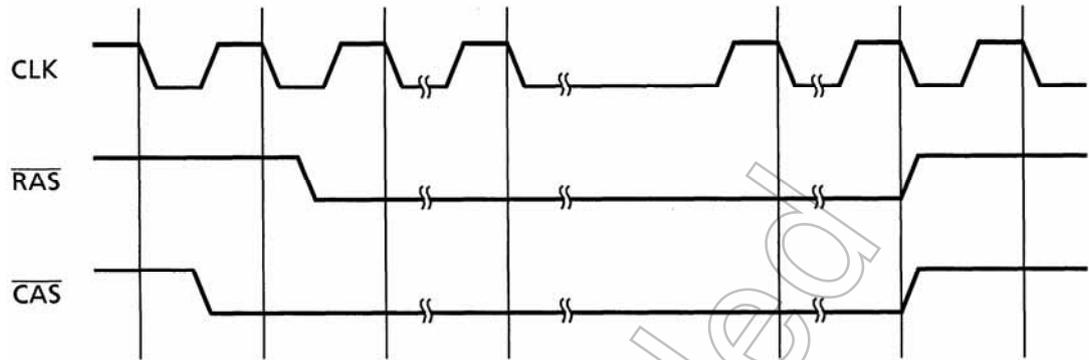
- 実行手順

セルフリフレッシュを実行するには、通常のインタバルモードのリフレッシュを実行中に、DRAM コントロールレジスタの SFRCn ビットを“0”にセットします。

セルフリフレッシュモードでは、インタバルモードと同様に、 $\overline{\text{RAS}}$  信号と  $\overline{\text{CAS}}$  信号が“Low”レベルになった後、 $\overline{\text{CAS}}$  信号と  $\overline{\text{RAS}}$  信号は“L”レベルのままになります。

ホルトが解除されてクロックが供給されると、ホルト解除検出回路により、SFRCn ビットに“1”がセットされ、セルフリフレッシュモードが自動的に解除されます。ただし、“1”がセットされるのは、スタンバイ機能が IDLE モードまたは、STOP モードに設定されている場合のみです。RUN モードでは、“1”になりません。セルフリフレッシュモードが解除されると、 $\overline{\text{RAS}}$  信号と  $\overline{\text{CAS}}$  信号が“H”レベルになり、その後、通常のリフレッシュを 1 回行ってインタバルモードに戻ります。

- 信号タイミング



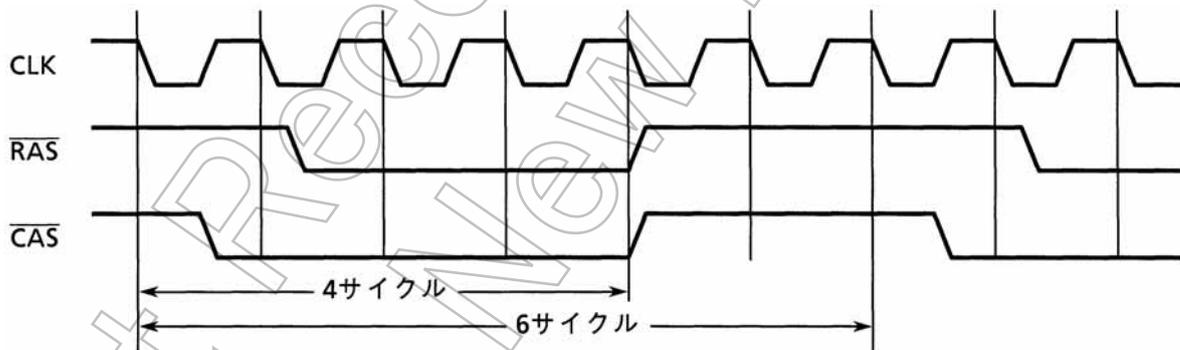
### 3. ダミーリフレッシュ

ダミーリフレッシュは、CAS ビフォア RAS リフレッシュサイクルを連続して行うものです。リフレッシュ間隔は6サイクル、リフレッシュサイクル幅は4サイクルで固定です。

- 実行手順

ダミーリフレッシュは、DRAM リフレッシュコントロールレジスタ (DRAM0REF, DRAM1REF) の DMn ビットを“1”にすることにより起動します。DMn ビットに“0”を設定すると、ダミーリフレッシュモードが解除されます。解除を行うには、このほかに、DRAM コントロールレジスタの MACn ビットに“1”を設定して、DRAM アクセス制御をイネーブルにするか、DRAM リフレッシュコントロールレジスタの RCn ビットに“1”を設定して、インタバルリフレッシュモードに設定する方法があります。ただし、これらの方法でダミーリフレッシュモードを解除した場合には、DMn ビットは“0”にクリアされません。

- 信号タイミング



### (4) 優先順位

DRAM へのリフレッシュ要求は、CPU の動作と非同期に発生するため、DRAM へのリード/ライト要求と重なる場合があります。この場合、DRAM コントローラは、リフレッシュ要求とリード/ライト要求のうち、先に発生した方を優先します。また、リフレッシュ要求と DRAM アクセス要求が同時に発生した場合には、リフレッシュ要求が優先されます。このときには、リフレッシュサイクルが終了するまで、DRAM アクセスサイクルに自動的にウェイトが挿入されます。

## (5) バス解放時のリフレッシュ

TMP94C241C は、バス解放機能を持っています。DRAM アクセス用端子 ( $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ ) については、ほかの端子と同様に解放する (ハイインピーダンスにする) モードと、解放しないでリフレッシュのための信号のみ出力するモードがあります。これらのモードの設定は、DRAM コントロールレジスタの BRMn ビットで行います。

## BRMn ビット

BRM0 BRM1	バス解放モード
0	専用端子を解放する (デフォルト)
1	リフレッシュ動作のみサポート

- DRAM アクセス用端子を解放するモード

BRMn ビットに “0” を設定した場合、バス解放要求 ( $\overline{\text{BUSRQ}}$ ) 信号がアクティブになると、TMP94C241C はバス解放要求があることを認識し、実行中のバスサイクル終了後、DRAM アクセス用端子 ( $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ ) を必ず “H” レベルにしてから、出力バッファをハイインピーダンス状態にします。

また、リフレッシュ要求と DRAM アクセス要求が重なり、リフレッシュ要求が待たされている場合には、リフレッシュサイクルが行われた後、バスが解放されます。

なお、バス解放中に発生したリフレッシュ要求は、1 回のみ保持されており、バス権が戻ったときに、すぐリフレッシュサイクルが行われます。

- DRAM アクセス用端子を解放しないモード

BRMn ビットに “1” を設定すると、バス解放要求があっても、DRAM アクセス用端子だけは解放せず、リフレッシュサイクルのみサポートし続けます。また、このモードではバス解放のタイミングは、リフレッシュ要求には影響されません。

## (6) レジスタ一覧

DRAM コントローラを制御するレジスタと、設定についてまとめます。各レジスタのアドレスについては、5. 「特殊機能レジスタ一覧表」を参照してください。

接続メモリに DRAM を設定できるのは、ブロックアドレス空間 1 と 3 です。ブロックアドレス空間 1 の DRAM (チャンネル 0) 制御は、DRAM0CRL, DRAM0CRH, DRAM0REF で行います。ブロックアドレス空間 3 の DRAM (チャンネル 1) 制御は、DRAM1CRL, DRAM1CRH, DRAM1REF で行います。

## DRAM0CRL

	7	6	5	4	3	2	1	0
bit Symbol	SFRC0	-	BRM0	-	MUXE0	MUXW01	MUXW00	MAC0
Read/Write	R/W		R/W		R/W		R/W	R/W
リセット後	1	-	0	-	0	0	0	0

## DRAM1CRL

	7	6	5	4	3	2	1	0
bit Symbol	SFRC1	-	BRM1	-	MUXE1	MUXW11	MUXW10	MAC1
Read/Write	R/W		R/W		R/W		R/W	R/W
リセット後	1	-	0	-	0	0	0	0

- SFRC0/1 セルフリフレッシュ制御  
0 = セルフリフレッシュを実行する。  
1 = セルフリフレッシュを実行しない。
- BRM0/1 バス解放モード設定  
0 = バス解放時に DRAM 専用端子も開放する。  
1 = バス解放時に DRAM 専用端子は開放せず、リフレッシュのみサポートする。
- MUXE0/1 アドレスマルチプレクスの設定  
0 = アドレスマルチプレクスを行わない。  
1 = アドレスマルチプレクスを行う。  
(DRAM 使用時は、この設定にしてください)
- MUXW0/1 [1:0] マルチプレクスアドレス長の設定  
00 = 8 ビット  
01 = 9 ビット  
10 = 10 ビット  
11 = 11 ビット
- MAC0/1 イネーブルビット  
0 = DRAM アクセスコントロールを行わない。  
1 = DRAM アクセスコントロールを行う。

## DRAM0CRH

	7	6	5	4	3	2	1	0
bit Symbol	P0WW1	P0WW0	P0WR1	P0WR0	PGE0	-	-	-
Read/Write	R/W		R/W		R/W			
リセット後	1	0	1	0	0	-	-	-

## DRAM1CRH

	7	6	5	4	3	2	1	0
bit Symbol	P1WW1	P1WW0	P1WR1	P1WR0	PGE1	-	-	-
Read/Write	R/W		R/W		R/W			
リセット後	1	0	1	0	0	-	-	-

- P0/1WW [1:0] DRAM ページモード書き込みウェイト数の指定  
00 = (予約)  
01 = 1 ウェイト (n-2-2-2 モード) (n ≥ 3)  
10 = 2 ウェイト (n-3-3-3 モード) (n ≥ 4)  
11 = (予約)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

- P0/1WR [1:0] DRAM ページモード読み出しウェイト数の指定  
00 = (予約)  
01 = 1 ウェイト (n-2-2-2 モード) ( $n \geq 3$ )  
10 = 2 ウェイト (n-3-3-3 モード) ( $n \geq 4$ )  
11 = (予約)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

- PGE0/1 ページモードアクセスイネーブル  
0 = ページモードアクセスを行わない。  
1 = ページモードアクセスを行う。

注) PGE0 と PGE1 は同様の設定にしてください。異なる設定にした場合、誤動作する可能性があります。

## DRAM0REF

	7	6	5	4	3	2	1	0
bit Symbol	DM0	RS02	RS01	RS00	RW02	RW01	RW00	RC0
Read/Write	R/W		R/W			R/W		R/W
リセット後	0	0	0	0	0	0	0	0

## DRAM1REF

	7	6	5	4	3	2	1	0
bit Symbol	DM1	RS12	RS11	RS10	RW12	RW11	RW10	RC1
Read/Write	R/W		R/W			R/W		R/W
リセット後	0	0	0	0	0	0	0	0

- DM0/1 ダミーリフレッシュサイクル制御  
0 = ダミーリフレッシュサイクルを行わない。  
1 = ダミーリフレッシュサイクルを行う。
- RS0/1 [2:0] リフレッシュサイクル挿入間隔  
000 = 78 サイクル  
001 = 154 サイクル  
010 = 188 サイクル  
011 = 226 サイクル  
100 = 246 サイクル  
101 = 302 サイクル  
110 = 308 サイクル  
111 = 384 サイクル

- RW0/1 [2:0] リフレッシュサイクル幅  
000 = 2 サイクル  
001 = 3 サイクル  
010 = 4 サイクル  
011 = 5 サイクル  
100 = 6 サイクル  
101 = 7 サイクル  
110 = 8 サイクル  
111 = 9 サイクル
- RC0/1 イネーブルビット  
0 = リフレッシュサイクルを挿入しない。  
1 = リフレッシュサイクルを挿入する。

(7) レジスタの設定例

ブロックアドレス空間 1 (CS1) を、アドレス 100000H~1FFFFFFH (1 M バイト空間)、8 ビットデータバス幅、書き込み 3 ステート、読み出し 3 ステート、データバスリカバリ用のダミーサイクル挿入なし、8 ビットアドレスマルチプレクスの DRAM モード、に設定する例を下記に示します。

MSAR1 = 10H  
MAMR1 = 3FH  
B1CSL = 22H  
B1CSH = 88H  
DRAM0CRL = 8DH

ブロックアドレス空間 3 (CS3) を、アドレス 300000H~3FFFFFFH (1 M バイト空間)、16 ビットデータバス幅、書き込み/読み出し 1 ウェイト、ページアクセス、10 ビットアドレスマルチプレクスの DRAM モード、に設定する例を下記に示します。

MSAR3 = 30H  
MAMR3 = 1FH  
B3CSH = 89H  
DRAM1CRL = 8DH  
DRAM1CRH = 58H

表 3.7.1 レジスタ一覧

記号	名称	アドレス	7	6	5	4	3	2	1	0
DRAM0CRL	DRAM 0 Control Register L	160h	SFRC0	-	BRM0	-	MUXE0	MUXW01	MUXW00	MAC0
			R/W							
			1	-	0	-	0	0	0	0
			Self- refresh 0: Exec. 1: Rele.		Bus release mode control 0: Rele. 1: Not release		address multiplex 0: disable 1: Enable	Multiplexed length address 00: 8 bit 01: 9 bit 10: 10 bit 11: 11 bit	memory access control 0: Disable 1: Enable	
DRAM0CRH	DRAM 0 Control Register H	161h	POWW1	POWW0	POWR1	POWR0	PGE0	-	-	-
			R/W							
			1	0	1	0	0	-	-	-
			00: (Reserved) 01: 1wait (n-2-2-2 mode) 10: 2wait (n-3-3-3 mode) 11: (Reserved)	00: (Reserved) 01: 1wait (n-2-2-2 mode) 10: 2wait (n-3-3-3 mode) 11: (Reserved)	DRAM page access 1: Enable					
DRAM1CRL	DRAM 1 Control Register L	162h	SFRC1	-	BRM1	-	MUXE1	MUXW11	MUXW10	MAC1
			R/W							
			1	-	0	-	0	0	0	0
			Self- refresh 0: Exec. 1: Rele.		Bus release mode control 0: Rele. 1: Not release		address multiplex 0: disable 1: Enable	Multiplexed length address 00: 8 bit 01: 9 bit 10: 10 bit 11: 11 bit	memory access control 0: Disable 1: Enable	
DRAM1CRH	DRAM 1 Control Register H	163h	P1WW1	P1WW0	P1WR1	P1WR0	PGE1	-	-	-
			R/W							
			1	0	1	0	0	-	-	-
			00: (Reserved) 01: 1wait (n-2-2-2 mode) 10: 2wait (n-3-3-3 mode) 11: (Reserved)	00: (Reserved) 01: 1wait (n-2-2-2 mode) 10: 2wait (n-3-3-3 mode) 11: (Reserved)	DRAM page access 1: Enable					
DRAM0REF	DRAM 0 Refresh Control	164h	DM0	RS02	RS01	RS00	RW02	RW01	RW00	RC0
			R/W							
			0	0	0	0	0	0	0	0
			Dummy cycle 0: Prohibit 1: Execute	Refresh cycle insertion at 000: 78 100: 246 001: 154 101: 302 010: 188 110: 308 011: 226 111: 384	Refresh cycle width 000: 2 100: 6 001: 3 101: 7 010: 4 110: 8 011: 5 111: 9	Refresh cycle 0: Not insert 1: insert				
DRAM1REF	DRAM 1 Refresh Control	165h	DM1	RS12	RS11	RS10	RW12	RW11	RW10	RC1
			R/W							
			0	0	0	0	0	0	0	0
			Dummy cycle 0: Prohibit 1: Execute	Refresh cycle insertion at 000: 78 100: 246 001: 154 101: 302 010: 188 110: 308 011: 226 111: 384	Refresh cycle width 000: 2 100: 6 001: 3 101: 7 010: 4 110: 8 011: 5 111: 9	Refresh cycle 0: Not insert 1: insert				

### 3.8 8ビットタイマ

TMP94C241Cは、8ビットタイマを4本(タイマ0, 1, 2, 3)内蔵しています。

4本の8ビットタイマはそれぞれ独立に動作させることができ、また、カスケード接続することで2本の16ビットタイマにもなります。8ビットタイマは次のような4種類の動作モードを持っています。

- 8ビットインタバルタイマモード(4本)
  - 16ビットインタバルタイマモード(2本)
  - 8ビットプログラマブル矩形波(PPG: 可変周期で可変デューティ)出力モード(2本)
  - 8ビットPWM(パルス幅変調: 固定周期で可変デューティ)出力モード(2本)
- } 組み合わせ可能  
(8ビット×2本, 16ビット×1本)

図3.8.1に8ビットタイマ(タイマ0, 1)のブロック図を示します。

タイマ2, 3はタイマ0, 1と同様な回路構成です。

各インタバルタイマは8ビットのアップカウンタ、8ビットのコンパレータおよび8ビットのタイマレジスタで構成され、タイマ0, 1のペアとタイマ2, 3のペアにそれぞれ1つつタイマフリップフロップ(TFF1, TFF3)が用意されています。

各インタバルタイマへの入力クロックソースのうち $\phi T1$ ,  $\phi T4$ ,  $\phi T16$ ,  $\phi T256$ の内部クロックは図3.8.2に示す9ビットのプリスケアラより得ています。

8ビットタイマの動作モードやタイマフリップフロップは6つのコントロールレジスタ(T01MOD, T23MOD, TFFCR, T8RUN, T16RUN, TRDC)で制御されます。

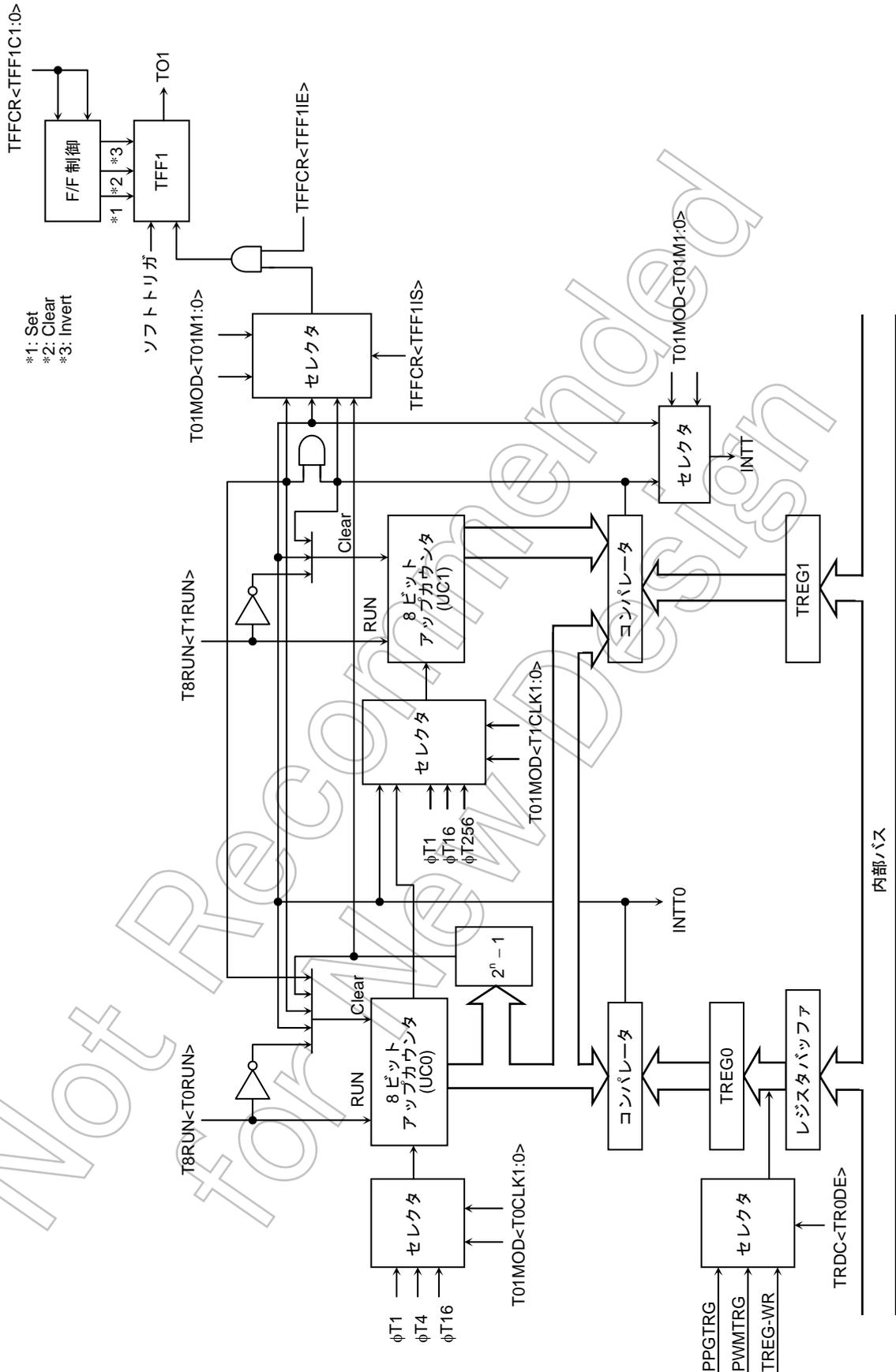


図 3.8.1 8ビットタイマのブロック図 (タイマ 0, 1)

(1) プリスケーラ

CPUクロック ( $f_c$ ) を4分周したクロック ( $f_c/4$ ) をさらに分周する9ビットのプリスケーラで、8ビット タイマ, 16ビット タイマ/イベントカウンタ, ボーレート ジェネレータなどへの入力クロックを生成しています。

8ビット タイマには、このうち $\phi T1, \phi T4, \phi T16, \phi T256$  の4種類のクロックが用いられます。

このプリスケーラは、タイマ動作コントロールレジスタ T16RUN<PRRUN>によってカウント/停止させることができます。<PRRUN>=1にするとカウント開始し、<PRRUN>=0にするとゼロクリアされて停止します。リセット時は、<PRRUN>は“0”にクリアされますので、プリスケーラはクリアされ停止します。

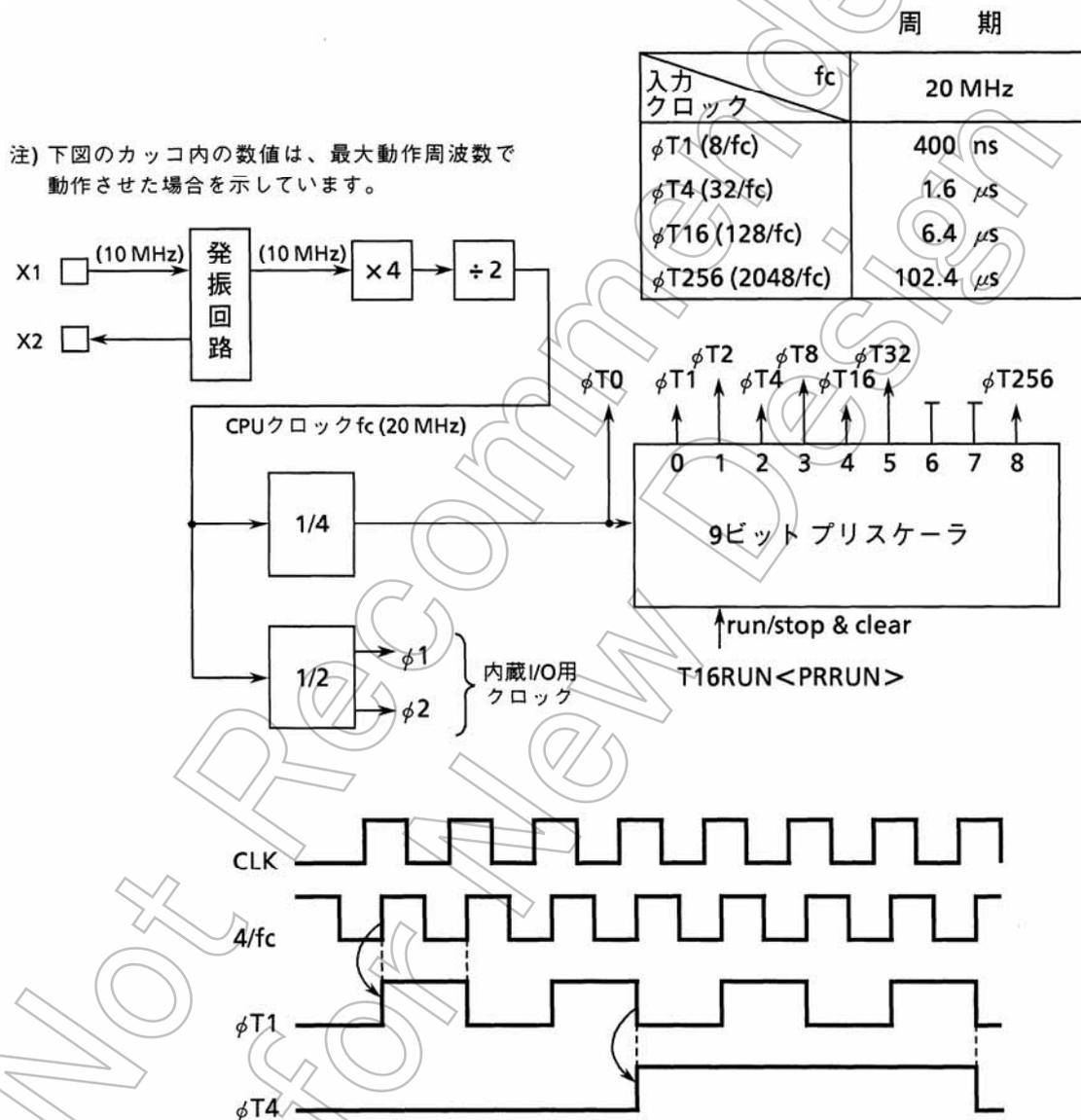


図 3.8.2 プリスケーラ

## (2) アップカウンタ

タイマ 0, 1 モードレジスタ T01MOD およびタイマ 2, 3 モードレジスタ T23MOD で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

タイマ 0/タイマ 2 の入力クロックは 3 種類の内部クロック  $\phi T1$ ,  $\phi T4$ ,  $\phi T16$  から、T01MOD レジスタおよび T23MOD レジスタの設定値に応じて選択されます。

タイマ 1/タイマ 3 の入力クロックは動作モードによって異なり、16 ビットタイマモードに設定した場合は、タイマ 0/タイマ 2 のオーバフロー出力が入力クロックとなります。

16 ビットタイマモード以外の設定の場合は、T01MOD レジスタおよび T23MOD レジスタの設定により内部クロック  $\phi T1$ ,  $\phi T16$ ,  $\phi T256$  と、タイマ 0/タイマ 2 のコンパレータ出力 (一致検出) の中から選択されます。

例: T01MOD<T01M1:0> = "01" なら、タイマ 1 の入力クロックはタイマ 0 のオーバフロー出力となります。(16 ビットタイマ)

T01MOD<T01M1:0> = "00", <T1CLK1:0> = "01" なら、タイマ 1 の入力クロックは  $\phi T1$  となります (8 ビットタイマ)。

動作モードも T01MOD レジスタと T23MOD レジスタで設定します。リセット時は、T01MOD<T01M1:0> = "00", T23MOD<T23M1:0> = "00" に初期化されますので、8 ビットタイマモードとなっています。

アップカウンタは、タイマ動作コントロールレジスタ T8RUN によってカウント/停止&クリアを各インタバルタイマごとに制御することができます。リセット時、すべてのアップカウンタはクリアされて、タイマは停止しています。

## (3) タイマレジスタ

インタバル時間を設定する 8 ビットのレジスタです。このタイマレジスタ TREG0, TREG1, TREG2, TREG3 への設定値とアップカウンタの値とが一致するとコンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバフロー時に一致検出信号がアクティブになります。

このタイマレジスタの TREG0/TREG2 はダブルバッファ構成になっており、それぞれレジスタバッファとペアになっています。

TREG0/TREG2 は、タイマレジスタダブルバッファコントロールレジスタ TRDC の <TR0DE, TR2DE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TR0DE>/<TR2DE> = "0" のときディセーブル、<TR0DE>/<TR2DE> = "1" のときイネーブルとなります。

ダブルバッファイネーブル時のレジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの  $2^n - 1$  オーバフローまたは PPG モードの周期のコンパレータ一致時に行われます。

リセット時は <TR0DE>/<TR2DE> = "0" に初期化されダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み、<TR0DE>/<TR2DE> = "1" に設定した後レジスタバッファに次のデータを書き込んでください。

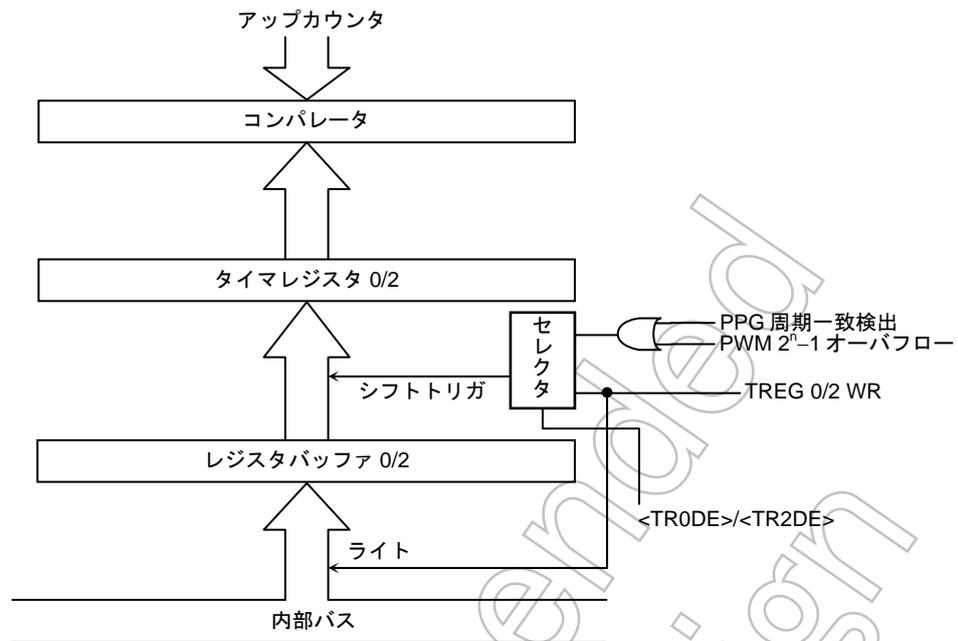


図 3.8.3 タイマレジスタ 0/2 の構成

- 注) タイマレジスタとレジスタバッファは同じメモリアドレスに割り付けられています。  
 <TR0DE>/<TR2DE> = "0" のときはレジスタバッファとタイマレジスタの両方に同じ値が書き込まれ、<TR0DE>/<TR2DE> = "1" のときは、レジスタバッファにのみ書き込まれます。  
 タイマレジスタ TREG0, TREG1, TREG2, TREG3はライトオンリーのレジスタでリードできません。  
 なお、初期値は不定なため、8ビットタイマを使用する場合は、必ずデータを書き込む必要があります。

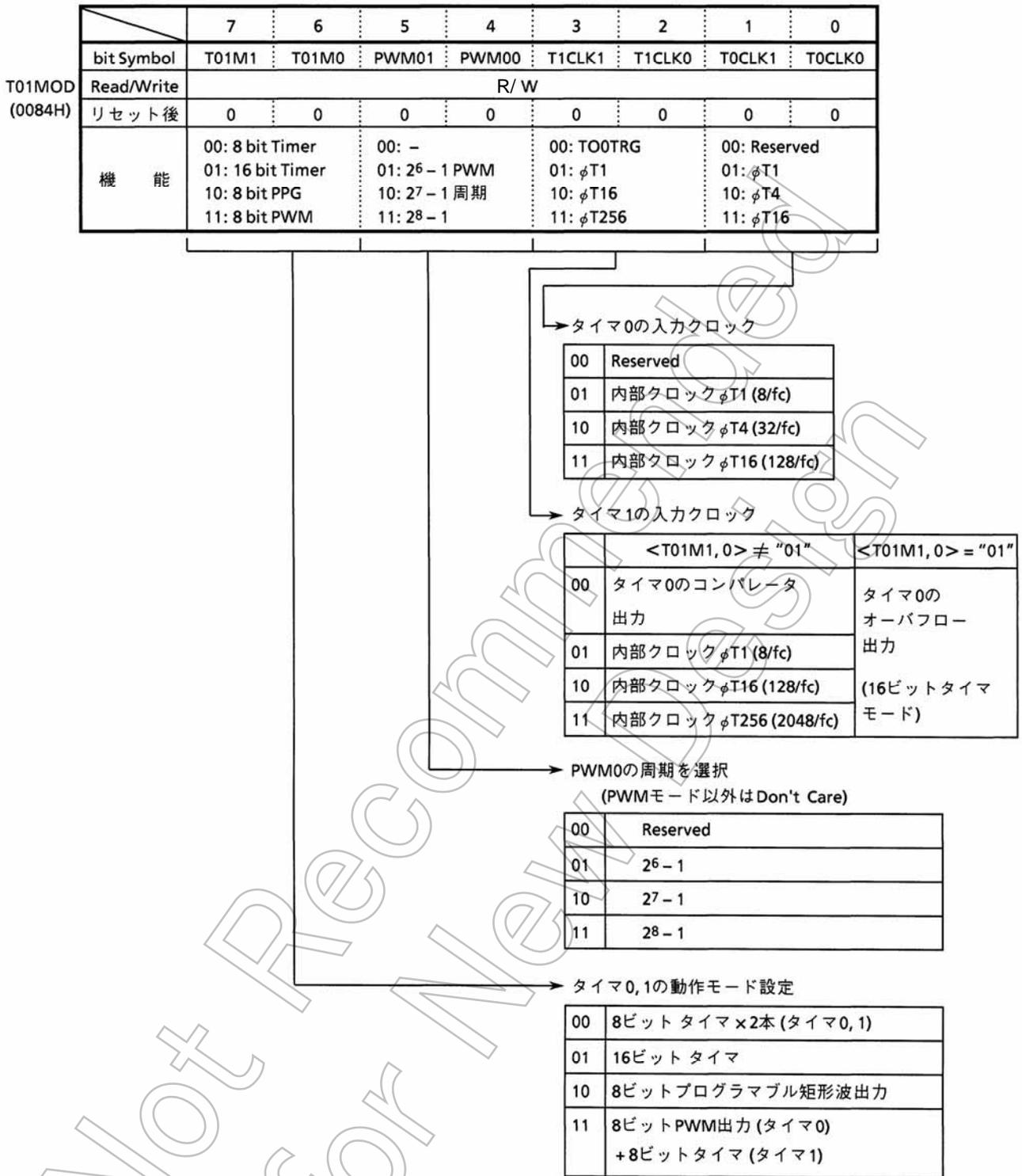


図 3.8.4 タイマ 0, 1 モードレジスタ (T01MOD)

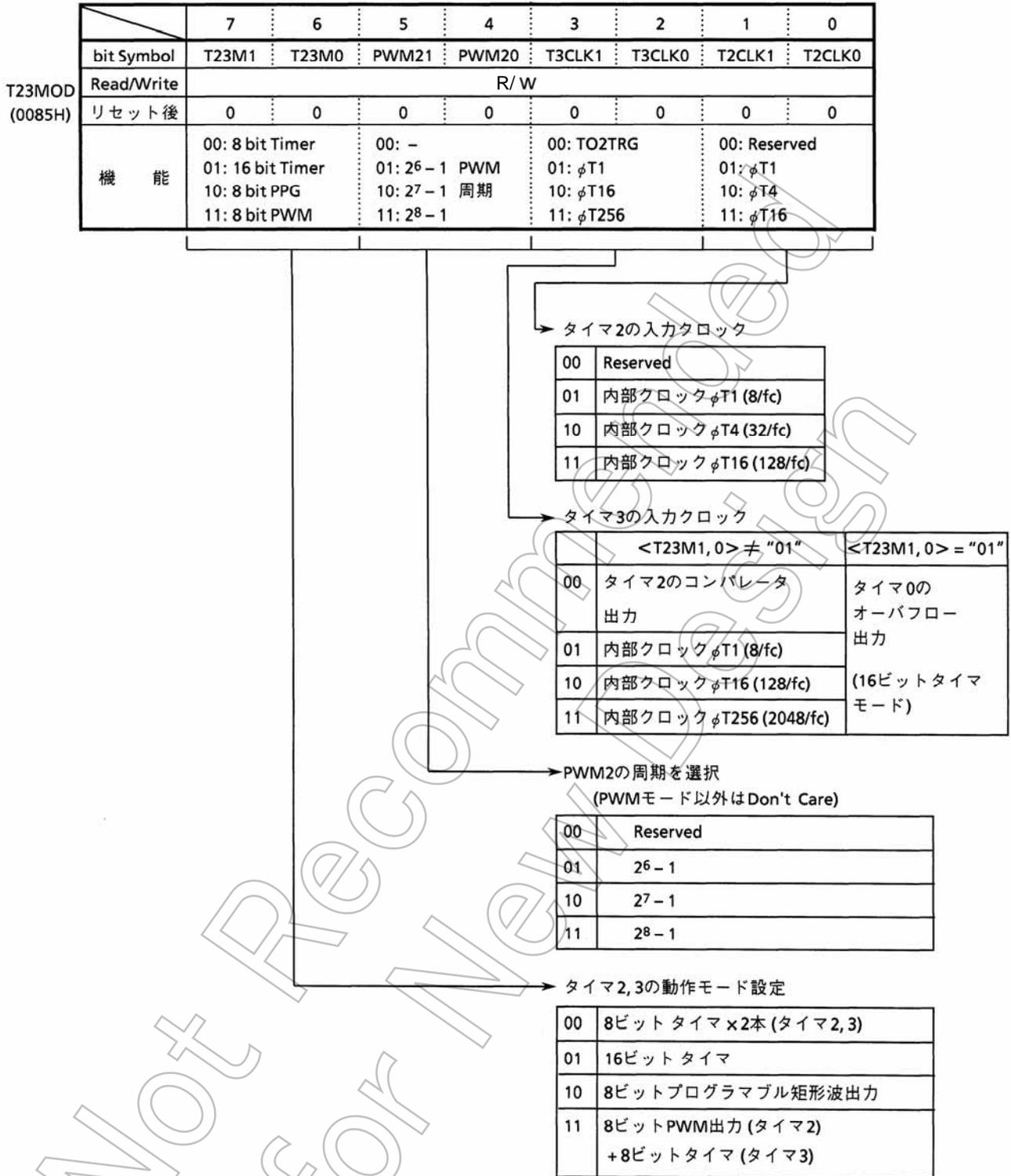
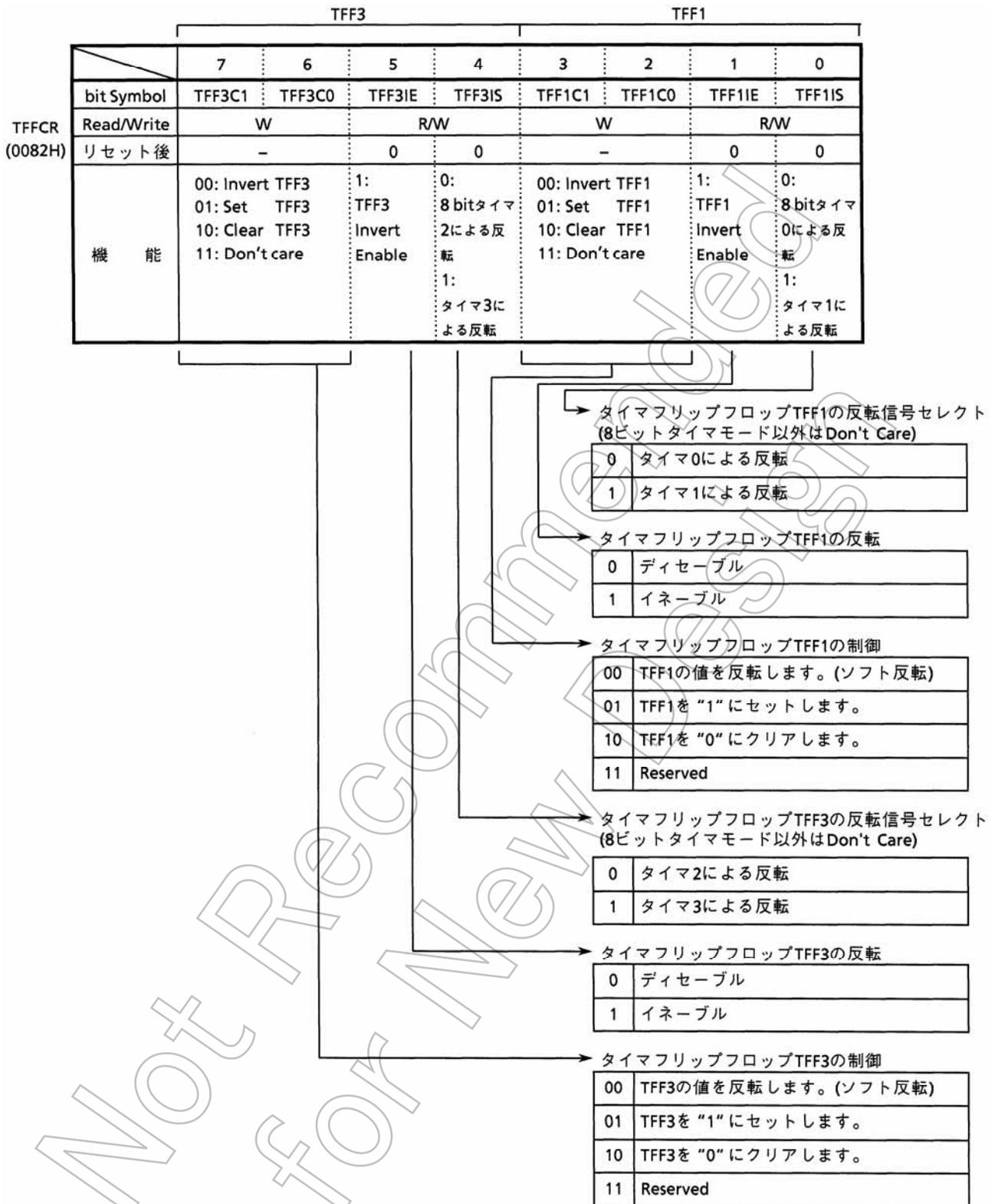


図 3.8.5 タイマ 2, 3 モードレジスタ (T23MOD)



注) リードモディファイライトできません。

図 3.8.6 8ビットタイマフリップフロップコントロールレジスタ (TFFCR)

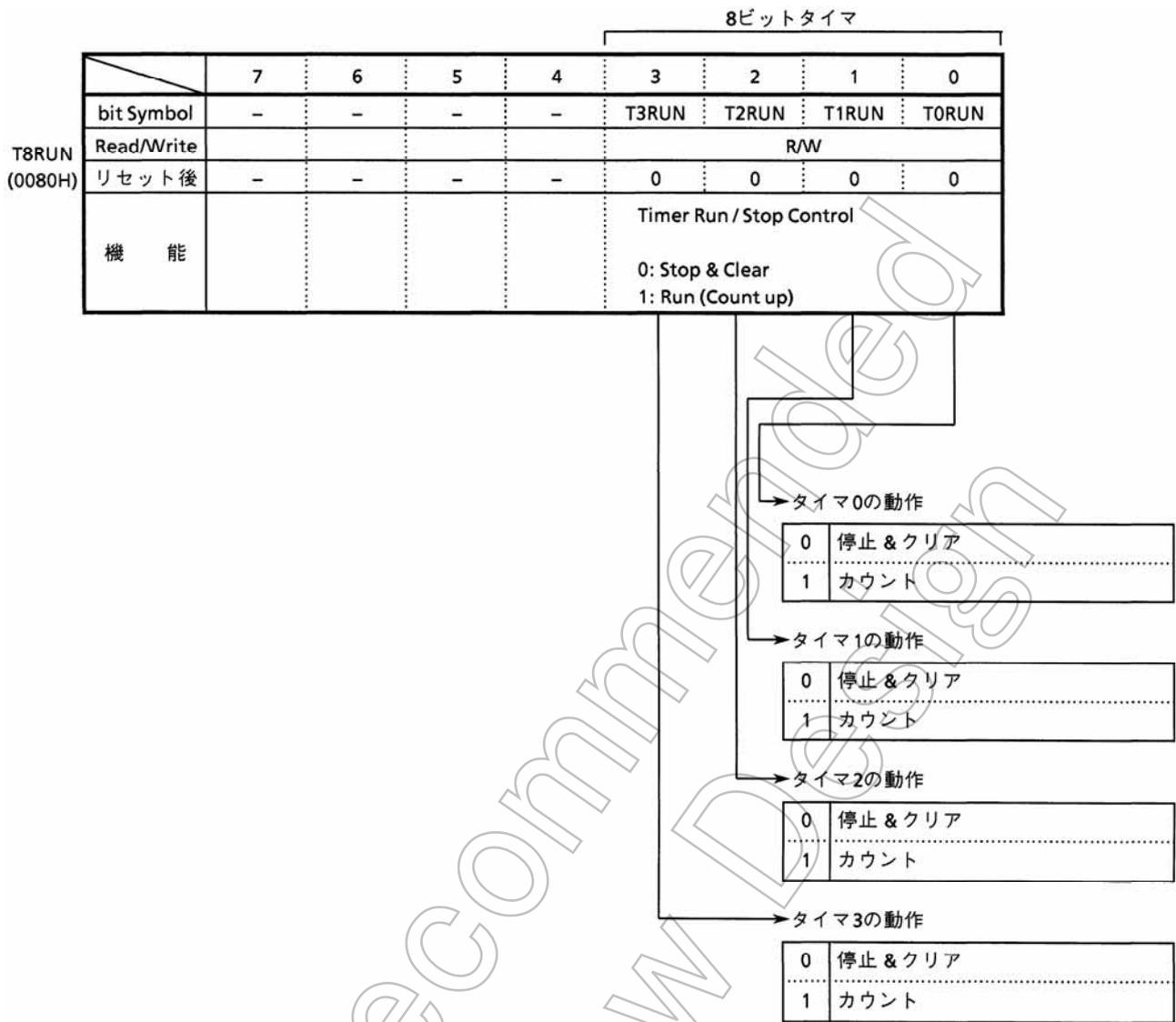


図 3.8.7 8ビットタイマ動作コントロールレジスタ (T8RUN)

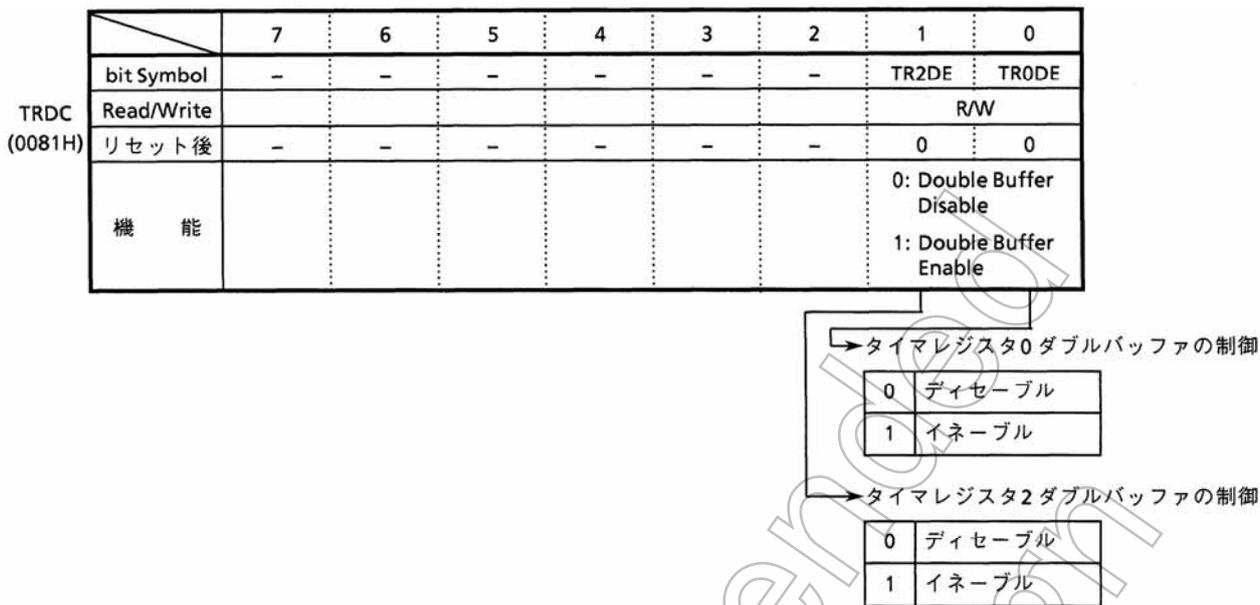


図 3.8.8 タイマレジスタダブルバッファコントロールレジスタ (TRDC)

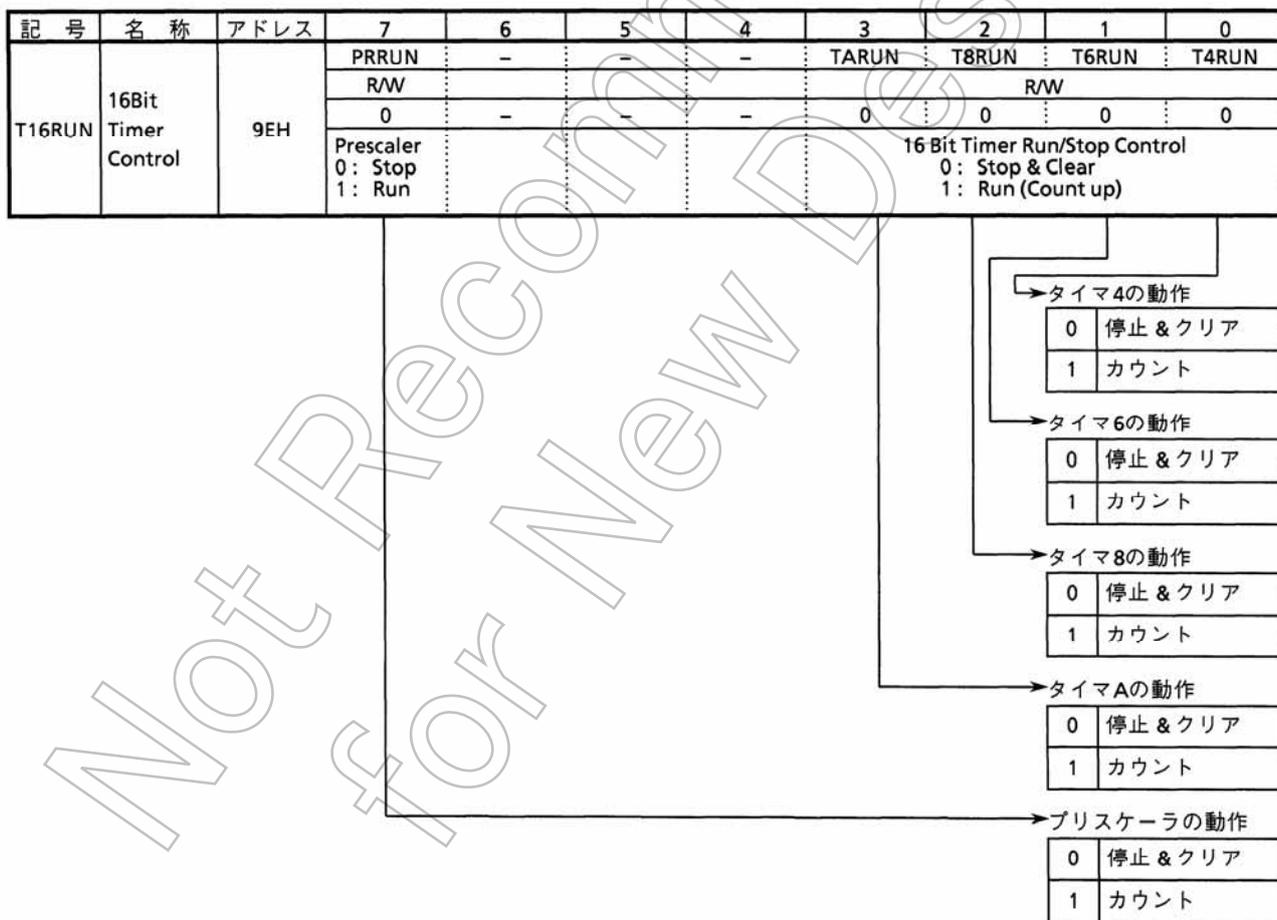


図 3.8.9 16ビットタイマ動作コントロールレジスタ (T16RUN)

記号	アドレス	7	6	5	4	3	2	1	0
TREG0	88h					-			
						W			
						不定			
TREG1	89h					-			
						W			
						不定			
TREG2	8Ah					-			
						W			
						不定			
TREG3	8Bh					-			
						W			
						不定			

注) リードモディファイライトできません。

図 3.8.10 タイマレジスタ

Not Recommended  
for New Design

## (4) コンパレータ

アップカウンタの値とタイマレジスタの値とを比較し、一致するとアップカウンタをゼロにクリアするとともに、割り込み (INTT0~INTT3) を発生します。また、タイマフリップフロップ反転イネーブルであれば同時にタイマフリップフロップの値を反転させます。

## (5) タイマフリップフロップ (タイマ F/F)

各インタバルタイマの一致検出信号 (コンパレータ出力) により反転するフリップフロップで、タイマ出力端子 TO1 (PC0 と兼用)、TO3 (PC1 と兼用) へその値を出力することができます。

このタイマ F/F は、タイマ 0, 1 のペアおよびタイマ 2, 3 のペアにそれぞれ 1 つずつあり、TFF1, TFF3 と呼びます。TFF1 は TO1 端子へ、TFF3 は TO3 へそれぞれ出力されます。

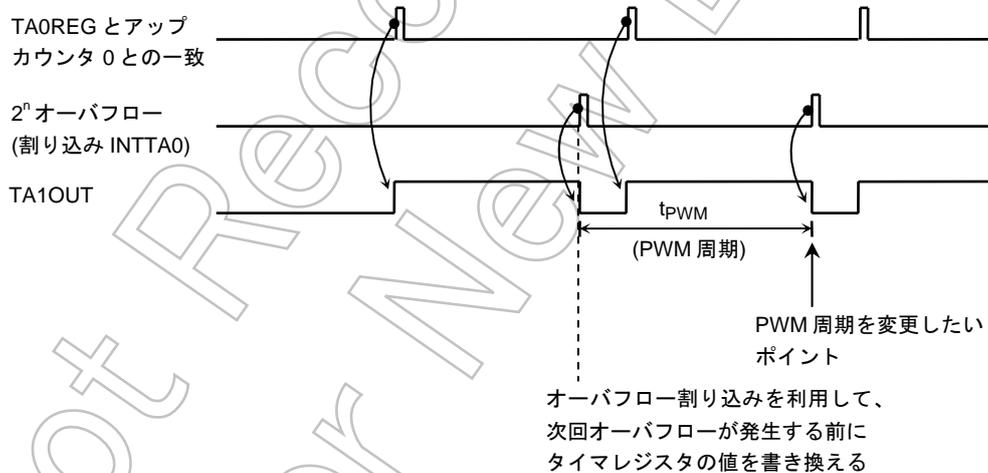
注) 8 ビットタイマにおいて PWM モードや PPG モードを使用時にダブルバッファを利用する場合は、注意が必要です。

タイマレジスタの設定値と、アップカウンタが一致して、オーバーフローが発生するタイミング直前にレジスタバッファのデータ更新を行うと、設定値と異なる波形信号が出力される場合があります。

そのため、PWM モードではオーバーフロー割り込みを利用し、次回のオーバーフローが発生する 6 サイクル前までに ( $t_{SYS} \times 6$ )、レジスタバッファの更新を終了するようにしてください。

また、PPG モードを使用の際も同様に、周期のコンペア一致割り込みを使用し、次回の周期コンペアが一致する 6 サイクル前までに、レジスタバッファの更新を終了するようにしてください。

## PWM モード時の例



次に 8 ビットタイマの動作説明をします。

(1) 8 ビットタイマモード

4本のインタバルタイマ 0, 1, 2, 3 は、それぞれ独立に 8 ビットインタバルタイマとして使用できます。いずれのタイマも同一の動作をしますので、ここではタイマ 1 の場合について説明します。

1. 一定周期の割り込みを発生させる場合

タイマ 1 を用いて、一定周期ごとにタイマ 1 割り込み (INTT1) を発生させる場合、まずタイマ 1 を停止させてから、動作モード、入力クロック、周期をそれぞれ T01MOD, TREG1 に設定します。次に割り込み INTT1 をイネーブルにしてからタイマ 1 をカウントさせます。

例:  $f_c = 20 \text{ MHz}$  で  $40 \mu\text{s}$  ごとにタイマ 1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

	MSB	LSB								
	7	6	5	4	3	2	1	0		
T8RUN	←	X	X	X	X	-	-	0	-	タイマ1を停止し、ゼロクリアします。
T01MOD	←	0	0	X	X	0	1	-	-	8ビットタイマモードにし、 入力クロックを $\phi T1$ ( $0.4 \mu\text{s} @ f_c = 20 \text{ MHz}$ ) にします。
TREG1	←	0	1	1	0	0	1	0	0	タイマレジスタに $40 \mu\text{s} \div \phi T1 = 100$ (64H) をセットします。
INTT01	←	X	1	0	1	-	-	-	-	INTT1をイネーブル割り込みレベル5にします。
T16RUN	←	1	X	X	X	-	-	-	-	プリスケールスタート
T8RUN	←	X	X	X	X	-	-	1	-	タイマ1をカウントさせます。

X: Don't care、-: No change

入力クロックの選択は下表を参考にしてください。

表 3.8.1 8 ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@ $f_c = 20 \text{ MHz}$ )	分解能
$\phi T1$ (8/ $f_c$ )	$0.4 \mu\text{s} \sim 102.4 \mu\text{s}$	$0.4 \mu\text{s}$
$\phi T4$ (32/ $f_c$ )	$1.6 \mu\text{s} \sim 409.6 \mu\text{s}$	$1.6 \mu\text{s}$
$\phi T16$ (128/ $f_c$ )	$6.4 \mu\text{s} \sim 1.639 \text{ ms}$	$6.4 \mu\text{s}$
$\phi T256$ (2048/ $f_c$ )	$102.4 \mu\text{s} \sim 26.22 \text{ ms}$	$102.4 \mu\text{s}$

2. デューティ 50%の矩形波を出力させる場合  
 一定周期ごとにタイマ フリップフロップを反転させ、このタイマ フリップフロップの値をタイマ出力端子 (TO1) へ出力します。

例:  $f_c = 20 \text{ MHz}$  で、周期  $2.40 \mu\text{s}$  の矩形波を TO1 端子から出力させたい場合、次の順序で各レジスタを設定します。  
 この場合、タイマ 0 かタイマ 1 を用いますが、ここではタイマ 1 を使用したときのレジスタ設定例を示します。

	MSB	LSB							
	7	6	5	4	3	2	1	0	
T8RUN ←	X	X	X	X	-	-	0	-	タイマ1を停止し、ゼロクリアします。
TO1MOD←	0	0	X	X	0	1	-	-	8ビット タイマ モードにし、 入力クロックを $\phi\text{T1}$ にします。
TREG1 ←	0	0	0	0	0	0	1	1	タイマレジスタに $2.40 \mu\text{s} \div \phi\text{T1} \div 2 = 3$ をセットします。
TFFCR ←	-	-	-	-	1	0	1	1	TFF1を "0" にクリアし、タイマ1からの一致検出信号で反転するように設定します。
PCCR ←	X	X	X	X	X	X	-	0	PC0をTO1端子に設定します。
PCFC ←	X	X	X	X	-	-	-	1	
T16RUN←	1	X	X	X	-	-	-	-	プリスケールスタート
T8RUN ←	X	X	X	X	-	-	1	-	タイマ1のカウントを開始させます。

X: Don't care、 -: No change

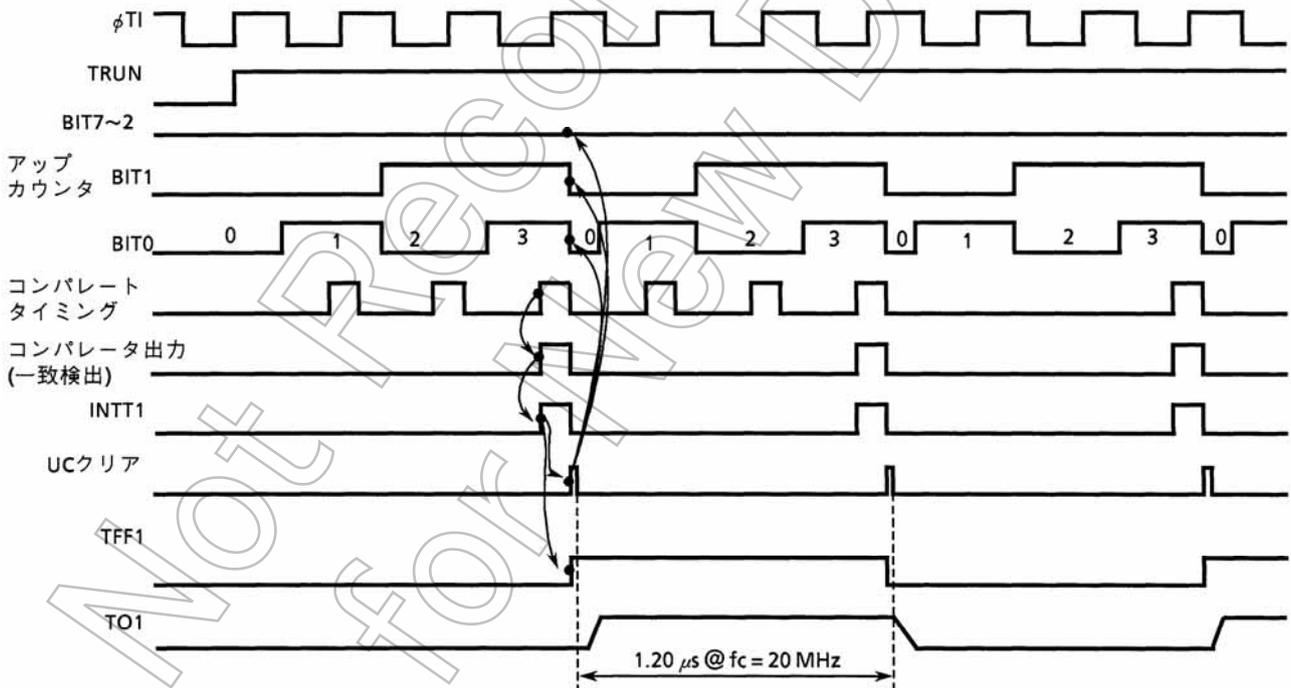


図 3.8.11 矩形波 (デューティ 50%) 出力のタイミング チャート

3. タイマ0の一致出力でタイマ1をカウントアップさせる場合  
8ビットタイマモードに設定し、タイマ1の入力クロックをタイマ0のコンパレータ出力に設定します。

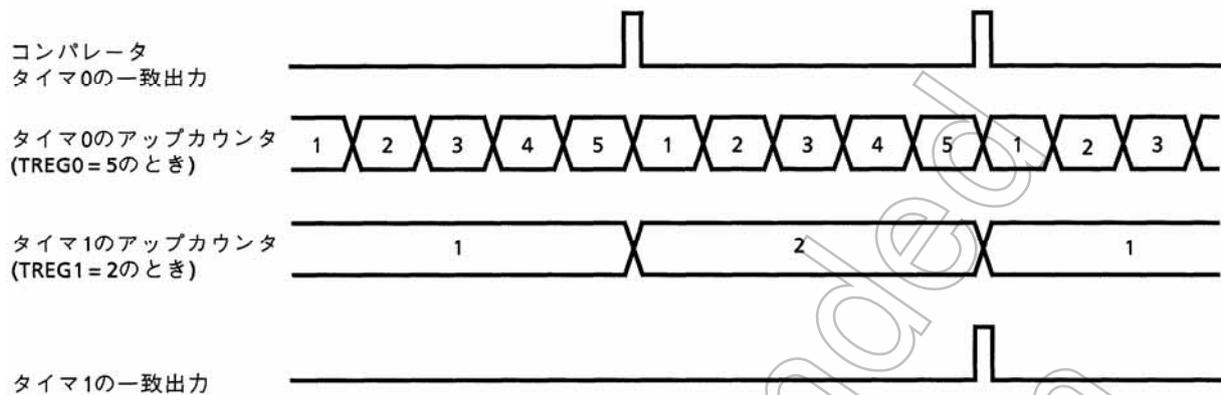


図 3.8.12 タイマ0の一致出力によるタイマ1のカウントアップ

4. ソフト反転による出力反転  
タイマの動作とは関係なくタイマフリップフロップ(タイマF/F)の値を反転させることができます。  
TFFCR<TFF1C1:0>に 00 を書き込むと TFF1 の値が反転し、TFFCR<TFF3C1:0>に 00 を書き込むと TFF3 の値が反転します。
5. タイマフリップフロップ(タイマF/F)の初期設定  
タイマ動作とは関係なく、タイマF/Fの値を“0”または“1”に初期設定することができます。  
例えば、TFF1を“0”にする場合、TFFCR<TFF1C1:0>に“10”を書き込み、TFF1を“1”にする場合はTFFCR<TFF3C1:0>に“01”を書き込みます。

注) タイマフリップフロップ、タイマレジスタの値は読み出すことはできません。

## (2) 16ビットタイマモード

タイマ0と1またはタイマ2と3をペアにして、16ビットインタバルタイマにすることができます。

タイマ0, 1とタイマ2, 3は同じ動作をしますので、ここではタイマ0, 1の場合について述べます。

タイマ0と1をカスケード接続して、16ビットインタバルタイマにするにはモードレジスタT01MOD<T01M1:0>を“01”に設定します。

16ビットタイマモードに設定すると、クロックコントロールレジスタTCLKの設定値にかかわらず、タイマ1の入力クロックはタイマ0のオーバーフロー出力になります。

表 3.8.2 16ビットタイマ(割り込み)周期と入力クロックの選択

入力クロック	割り込み周期 (fc = 20 MHz)	分解能
$\phi$ T1 (8/fc)	0.4 $\mu$ s ~ 26.214 ms	0.4 $\mu$ s
$\phi$ T4 (32/fc)	1.6 $\mu$ s ~ 104.858 ms	1.6 $\mu$ s
$\phi$ T16 (128/fc)	6.4 $\mu$ s ~ 419.430 ms	6.4 $\mu$ s

タイマ割り込み周期は、タイマレジスタ TREG0 に下位 8 ビットを、TREG1 に上位 8 ビットを設定します。この場合、必ず TREG0 から先に設定してください。(TREG0 にデータを書き込むとコンペアが一時禁止され、TREG1 へのデータ書き込みでコンペアが開始されるためです。)

設定例:  $f_c = 20 \text{ MHz}$  で  $0.4 \text{ s}$  ごとに割り込み INTT1 を発生させる場合、タイマレジスタ TREG0, TREG1 には次の値を設定します。

$\phi T16 (= 6.4 \mu\text{s} @ 20 \text{ MHz})$  を入力クロックとしてカウントすると

$$0.4 \text{ s} \div 6.4 \mu\text{s} = 62500 = \text{F424H}$$

従って TREG1 = F4H, TREG0 = 24H を設定します。

タイマ 0 のコンパレータ一致出力はアップカウンタ UC0 と TREG0 とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。また、このとき割り込み INTT0 も発生しません。

タイマ 1 のコンパレータはアップカウンタ UC1 が TREG1 と一致するとコンパレート タイミング時、毎回一致検出信号が出力され、タイマ 0, 1 両方のコンパレータの一致検出信号が同時に出力されるとアップカウンタ UC0, 1 がゼロにクリアされ、割り込み INTT1 のみが発生します。また、反転イネーブルであれば、タイマ フリップフロップ TFF1 の値は反転されます。

	タイマ 0			タイマ 1		
	INTT0	TO1	一致の値	INTT1	TO1	一致の値
16ビットタイマモード (タイマ1をタイマ0のオーバーフローでカウントアップ)	割り込み発生しません。	出力不可	TREG0 (一致してもカウントアップ)	割り込み発生します	出力可能	TREG1*2 <sup>8</sup> + TREG0 (フル16ビット)
8ビットタイマモード (タイマ1をタイマ0の一致でカウントアップ)	割り込み発生します。	出力可能 (タイマ0またはタイマ1のどちらか)	TREG0 (一致するとクリア)	割り込み発生します	出力可能 (タイマ0またはタイマ1のどちらか)	TREG1* TREG0 (乗算値)

例: TREG1 = 04H, TREG0 = 80H の場合

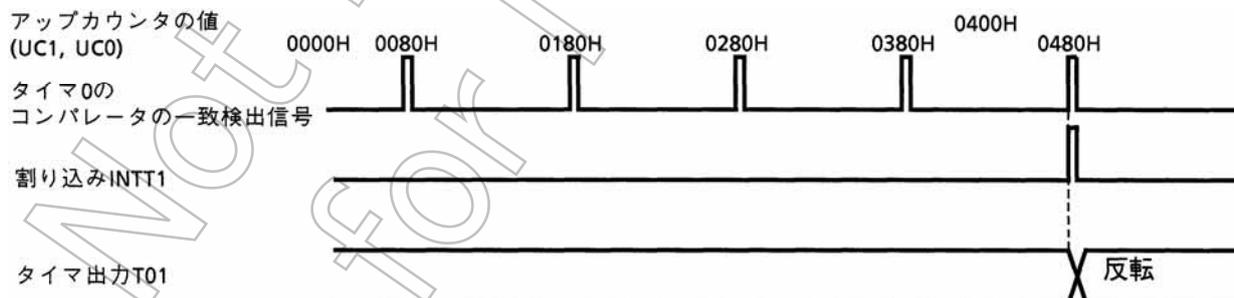


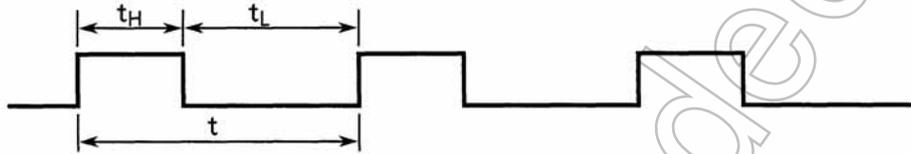
図 3.8.13 16 ビットタイマモードによるタイマ出力

(3) 8ビット PPG (プログラマブル矩形波) 出力モード  
(Programmable Pulse Generation)

タイマ 0 またはタイマ 2 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスは Low アクティブ、High アクティブどちらも可能です。

このモードに設定した場合、タイマ 1, 3 は使用できません。

タイマ 0 の場合は TO1 端子 (PC0 と兼用) へ、タイマ 2 の場合は TO3 (PC1 と兼用) へ出力されます。



例として、タイマ 0 の場合を説明します。(タイマ 2 の場合も同様な動作です。)

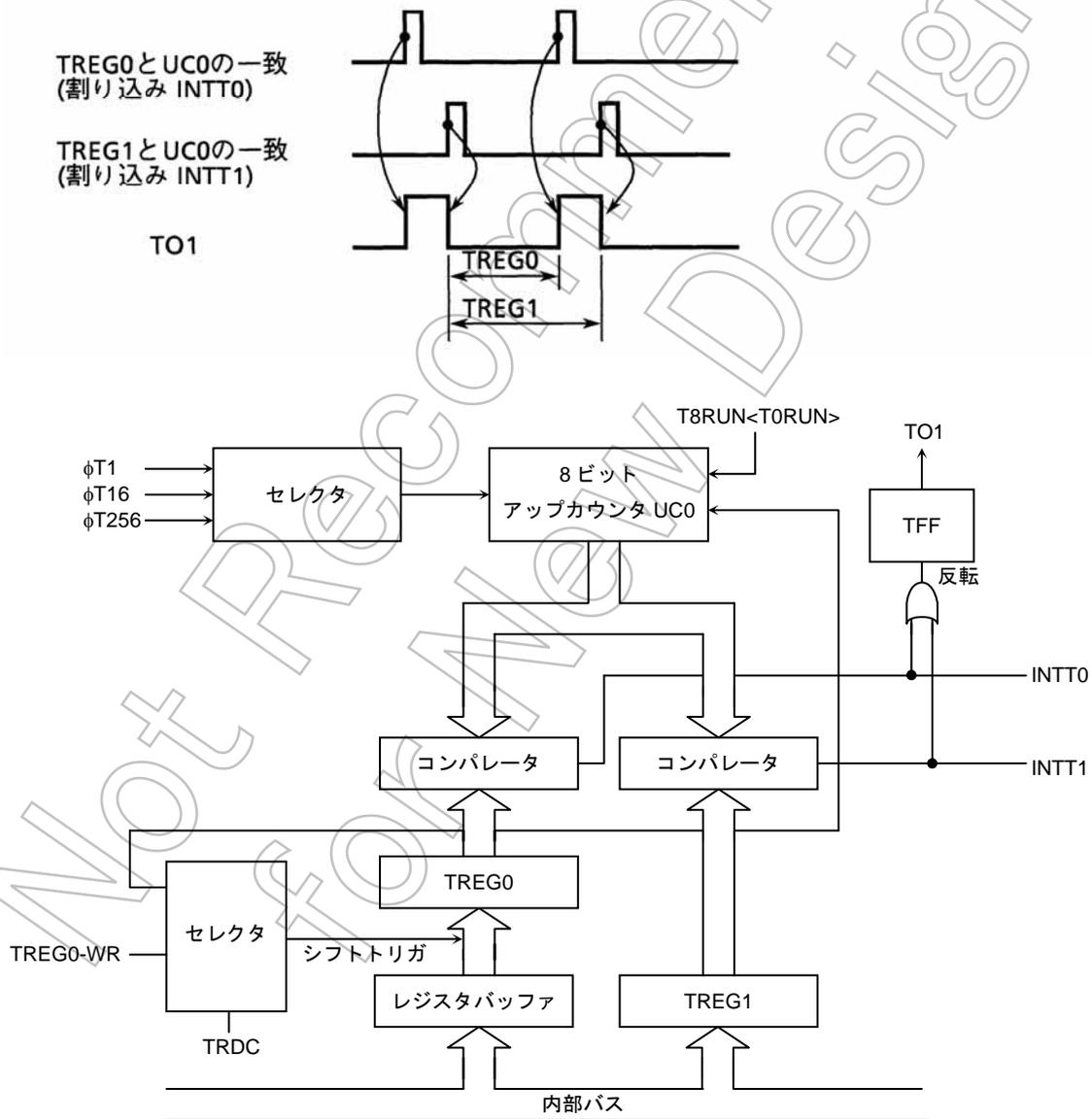
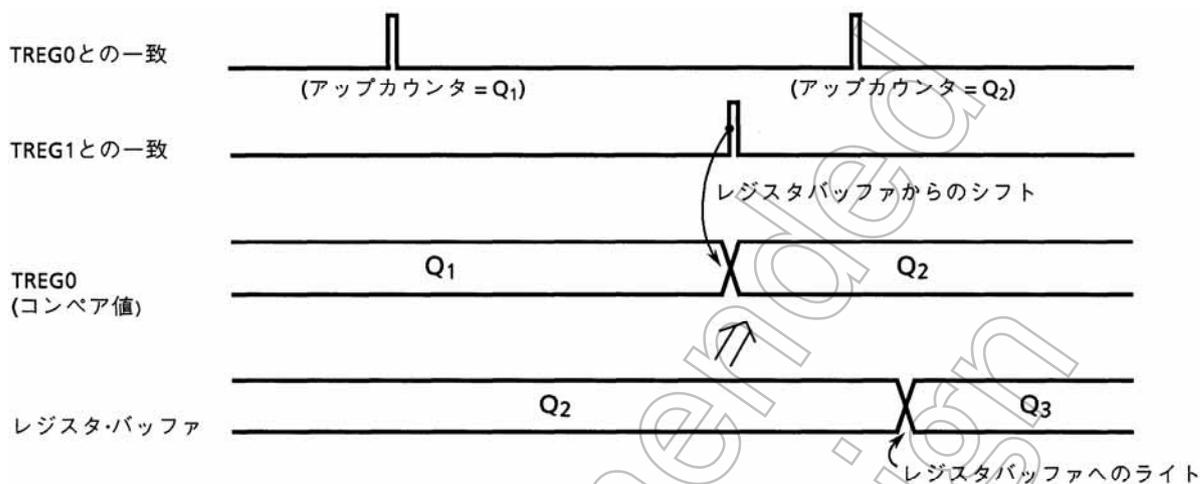


図 3.8.14 8ビット PPG 出力モードのブロック図

このモードでは、TREG0をダブルバッファイネーブルにすることにより、TREG1とUC0の一致で、レジスタバッファの値がTREG0へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ（デューティを変化させるとき）への対応が容易に行えます。



#### レジスタバッファの動作

例: デューティ 1/4 の 62.5 kHz のパルスを出力する場合 (@  $f_c = 20 \text{ MHz}$ )



- タイマレジスタへの設定値を求めます。  
 周波数を 62.5 kHz にするには、周期  $t = 1/62.5 \text{ kHz} = 16 \mu\text{s}$  の波形をつくります。  
 $\phi T1 = 0.4 \mu\text{s}$  (@ 20 MHz) を用いると、  
 $16 \mu\text{s} \div 0.4 \mu\text{s} = 40$   
 従ってタイマレジスタ 1 (TREG1) を  $TREG1 = 40 = 28\text{H}$   
 次にデューティを 1/4 にするには、 $t \times 1/4 = 16 \mu\text{s} \times 1/4 = 4 \mu\text{s}$   
 $4 \mu\text{s} \div 0.4 \mu\text{s} = 10$   
 従ってタイマレジスタ 0 (TREG0) を  $TREG0 = 10 = 0\text{AH}$   
 に設定します。

	MSB	LSB	
	← 7 6 5 4 3 2 1 0		
T8RUN ←	X X X X - - 0 0		タイマ0とタイマ1を停止し、ゼロクリアします。
T01MOD ←	1 0 X X 0 1 0 1		8ビットPPGモードにし、入力クロックをφT1にします。
TFFCR ←	- - - - 0 1 1 x		TFF1を“1”にセットし反転イネーブルにします。
			↑
			→ “10”にすると負論理の出力波形が得られます。
TREG0 ←	0 0 0 0 1 0 1 0		0AHを書き込みます。
TREG1 ←	0 0 1 0 1 0 0 0		28Hを書き込みます。
PCCR ←	X X X X X X - 1		PC0をTO1端子に設定します。
PCFC ←	X X X X X X - 1		
T16RUN ←	1 X X X - - - -		プリスケールスタート
T8RUN ←	X X X X - - 1 1		タイマ0とタイマ1のカウントを開始します。

X: Don't care、 -: No change

(4) 8ビットPWM出力モード

(Pulse Width Modulation: パルス幅変調)

タイマ0, 2にのみ可能なモードで、分解能8ビットのPWMを最大2本出力することができます。

タイマ0の場合はTO1端子(PC0と兼用)へ、タイマ2の場合はTO3端子(PC1と兼用)へ出力されます。

タイマ1, 3は8ビットタイマとして使用できます。

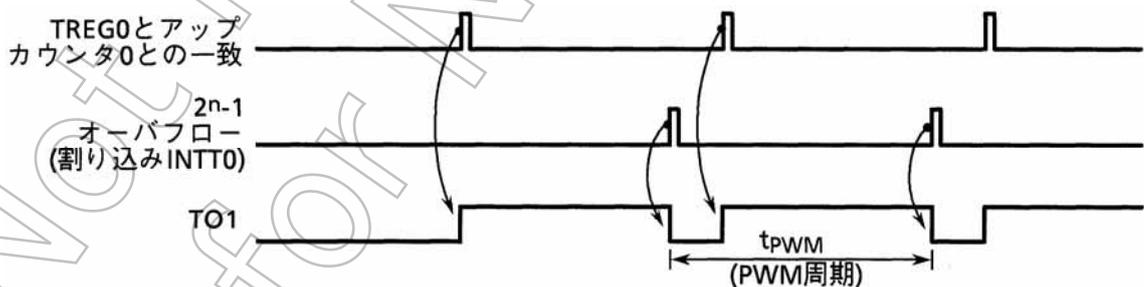
例として、タイマ0の場合について述べます(タイマ2の場合も同様な動作です)。

タイマ出力の反転は、アップカウンタ(UC0)がタイマレジスタTREGの設定値と一致したときと $2^n - 1$  ( $n = 6, 7, 8$ のいずれかにT01MODで指定します。)カウンタオーバーフローによって起こります。またカウンタUC0は $2^n - 1$ カウンタのオーバーフローによってクリアされます。

なお、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(タイマレジスタの設定値) < ( $2^n - 1$ カウンタのオーバーフロー設定値)

(タイマレジスタの設定値) ≠ 0



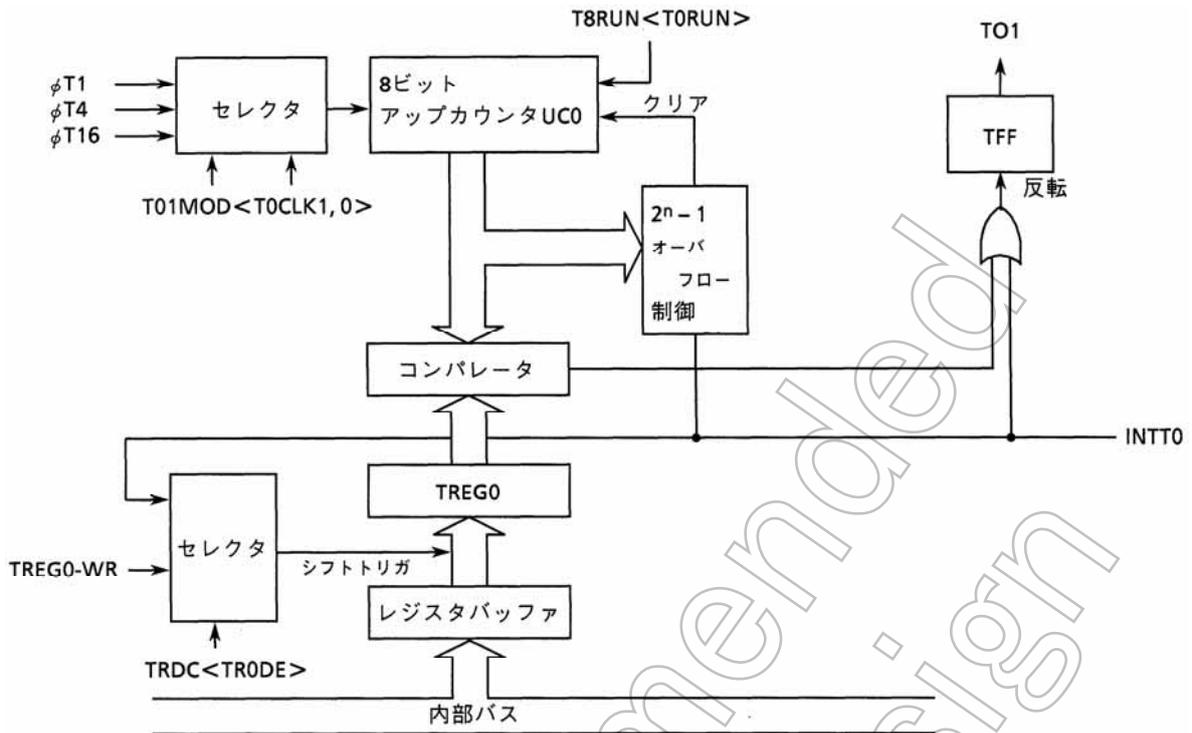
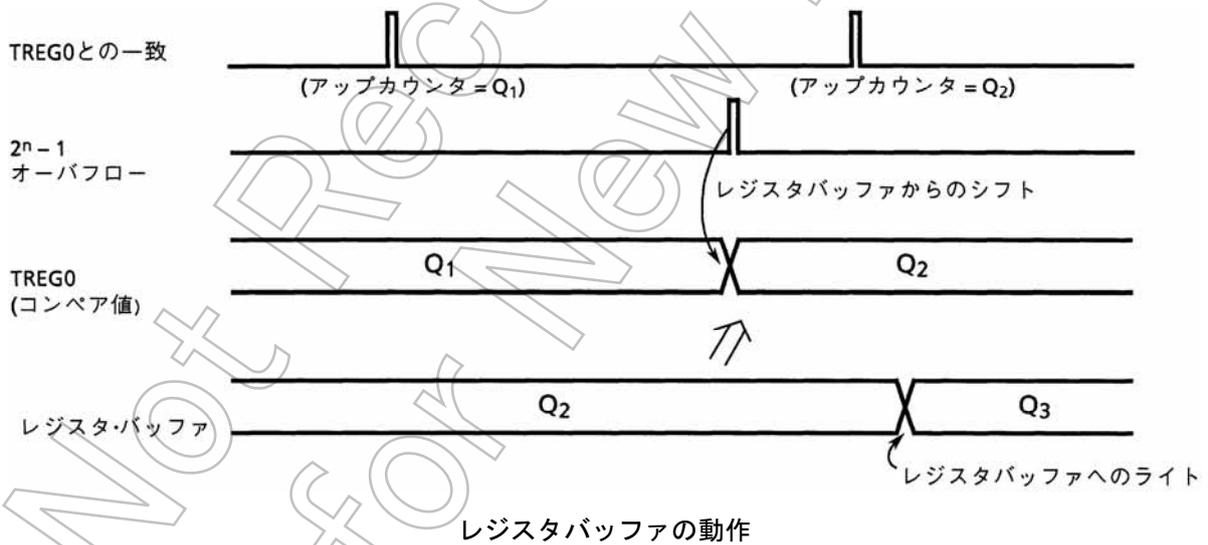


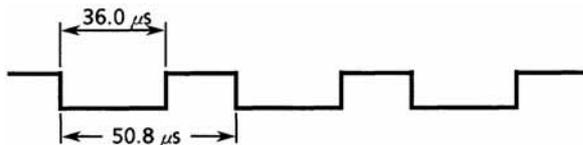
図 3.8.15 8ビット PWM 出力モードのブロック図

このモードでは、TREG0 をダブルバッファイネーブルにすることにより、 $2^n - 1$  オーバフローの検出で、レジスタバッファの値が TREG0 へシフトインされます。

ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。



例:  $f_c = 20 \text{ MHz}$  時、タイマ0を使って下記のPWM波形をTO1端子へ出力する場合。



PWM 周期  $50.8 \mu\text{s}$  を  $\phi T1 = 0.4 \mu\text{s}$  ( $@ f_c = 20 \text{ MHz}$ ) で実現する場合

$$50.8 \mu\text{s} \div 0.4 \mu\text{s} = 127 = 2^n - 1$$

従って  $n = 7$  に設定します。

“L” レベルの期間は  $36.0 \mu\text{s}$  だから  $\phi T1 = 0.4 \mu\text{s}$  では

$$36.0 \mu\text{s} \div 0.4 \mu\text{s} = 90 = 5AH$$

を TREG0 に設定します。

	MSB	LSB							
	7	6	5	4	3	2	1	0	
T8RUN ←	X	X	X	X	-	-	-	0	タイマ0を停止し、ゼロクリアします。
T01MOD←	1	1	1	0	-	-	0	1	8ビットPWMモード (周期 = $2^7 - 1$ ) にし入カクロックを $\phi T1$ にします。
TFFCR ←	-	-	-	-	1	0	1	X	TFF1をクリアし、反転イネーブルにします。
TREG0 ←	0	1	0	1	1	0	1	0	5AHを書き込みます。
PCCR ←	X	X	X	X	X	X	-	1	PC0をTO1端子に設定します。
PCFC ←	X	X	X	X	X	X	-	1	
T16RUN←	1	X	X	X	-	-	-	-	プリスケールスタート
T8RUN ←	X	X	X	X	-	-	-	1	タイマ0のカウントを開始します。

X: Don't care、 -: No change

表 3.8.3 PWM 周期と  $2^n - 1$  カウンタの設定

	PWM周期 (@ $f_c = 20 \text{ MHz}$ )		
	$\phi T1$	$\phi T4$	$\phi T16$
$2^6 - 1$	$25.2 \mu\text{s}$ (39.7 kHz)	$100.8 \mu\text{s}$ (9.92 kHz)	$403.2 \mu\text{s}$ (2.48 kHz)
$2^7 - 1$	$50.8 \mu\text{s}$ (19.6 kHz)	$203.2 \mu\text{s}$ (4.92 kHz)	$810.0 \mu\text{s}$ (1.23 kHz)
$2^8 - 1$	$102 \mu\text{s}$ (9.80 kHz)	$408.0 \mu\text{s}$ (2.45 kHz)	$1.63 \text{ ms}$ (0.61 kHz)

(5) 8ビットタイマの各モードをまとめると表 3.8.4のような設定になります。

表 3.8.4 各タイマモードの設定レジスタ

タイマモード (8ビットタイマ×2ch当り)	モード T01M (T23M)	PWM0 (PWM2)	上位入力 T1CLK (T3CLK)	下位入力 T0CLK (T2CLK)	反転セレクト TFF1IS (TFF3IS)
16ビットタイマ (フル16ビット)×1ch	01	-	-	( $\phi$ T1, 4, 16)	-
8ビットタイマ (8ビット×8ビットモード×1ch (上位タイマへ下位タイマの コンパレータ出力を入力する。))	00	-	00	( $\phi$ T1, 4, 16)	0: 下位タイマ 1: 上位タイマ
8ビットタイマ×2ch	00	-	( $\phi$ T1, 16, 256)	( $\phi$ T1, 4, 16)	0: 下位タイマ 1: 上位タイマ
8ビットPPG×1ch	10	-	-	( $\phi$ T1, 4, 16)	-
8ビットPWM ×1ch(下位) 8ビットタイマ ×1ch(上位)	11	PWM周期	( $\phi$ T1, 16, 256)	( $\phi$ T1, 4, 16)	-

Not Recommended for New Design

### 3.9 16ビットタイマ

TMP94C241C は、多機能 16 ビットタイマ/イベントカウンタを 4 本(タイマ 4, 6, 8, A) 内蔵しています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

タイマ/イベントカウンタは、それぞれ 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本(うち 1 本はダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個およびキャプチャ入力制御、タイマ F/F とその制御回路で構成されています。

タイマ/イベントカウンタは、それぞれ 4 つのコントロールレジスタ(T4MOD/T6MOD/T8MOD/TAMOD, T4FFCR/T6FFCR/T8FFCR/TAFFCR, T16RUN, T16CR) によって制御されています。

図 3.9.1~図 3.9.4に 16 ビットタイマ/イベントカウンタのブロック図(タイマ 4, 6, 8, A) を示します。

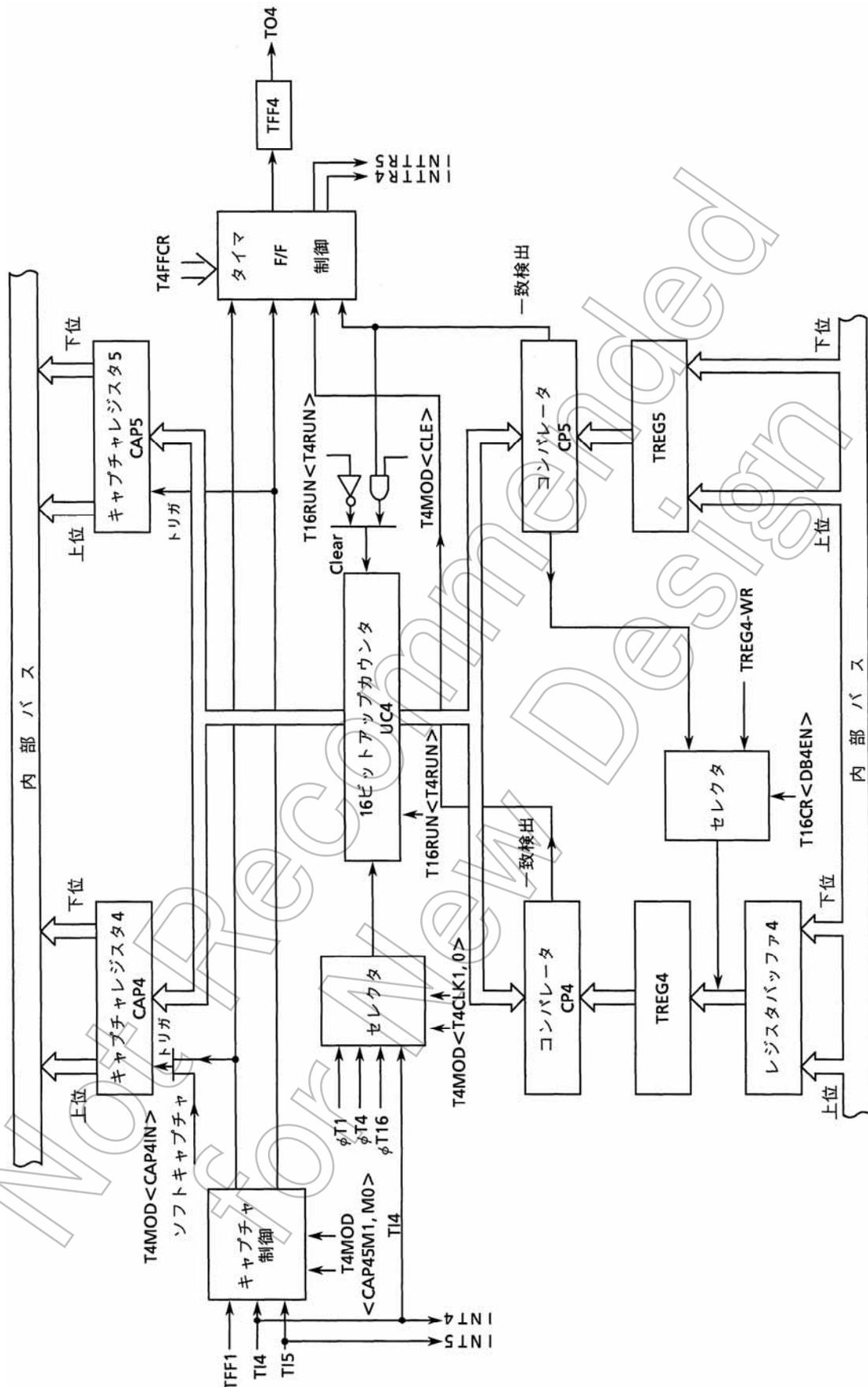


図 3.9.1 16ビットタイマブロック図 (タイマ 4)

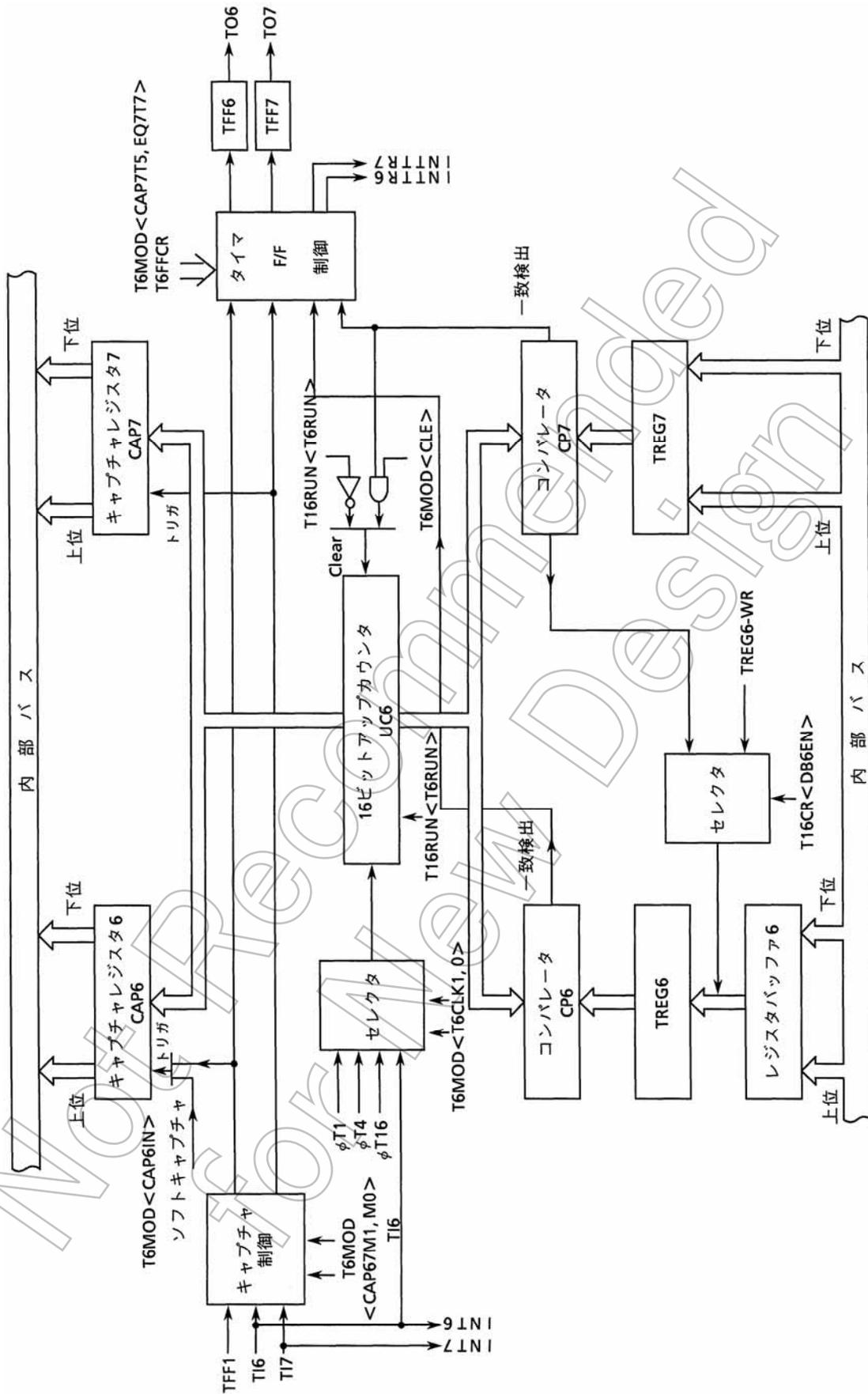


図 3.9.2 16ビットタイマブロック図 (タイマ 6)

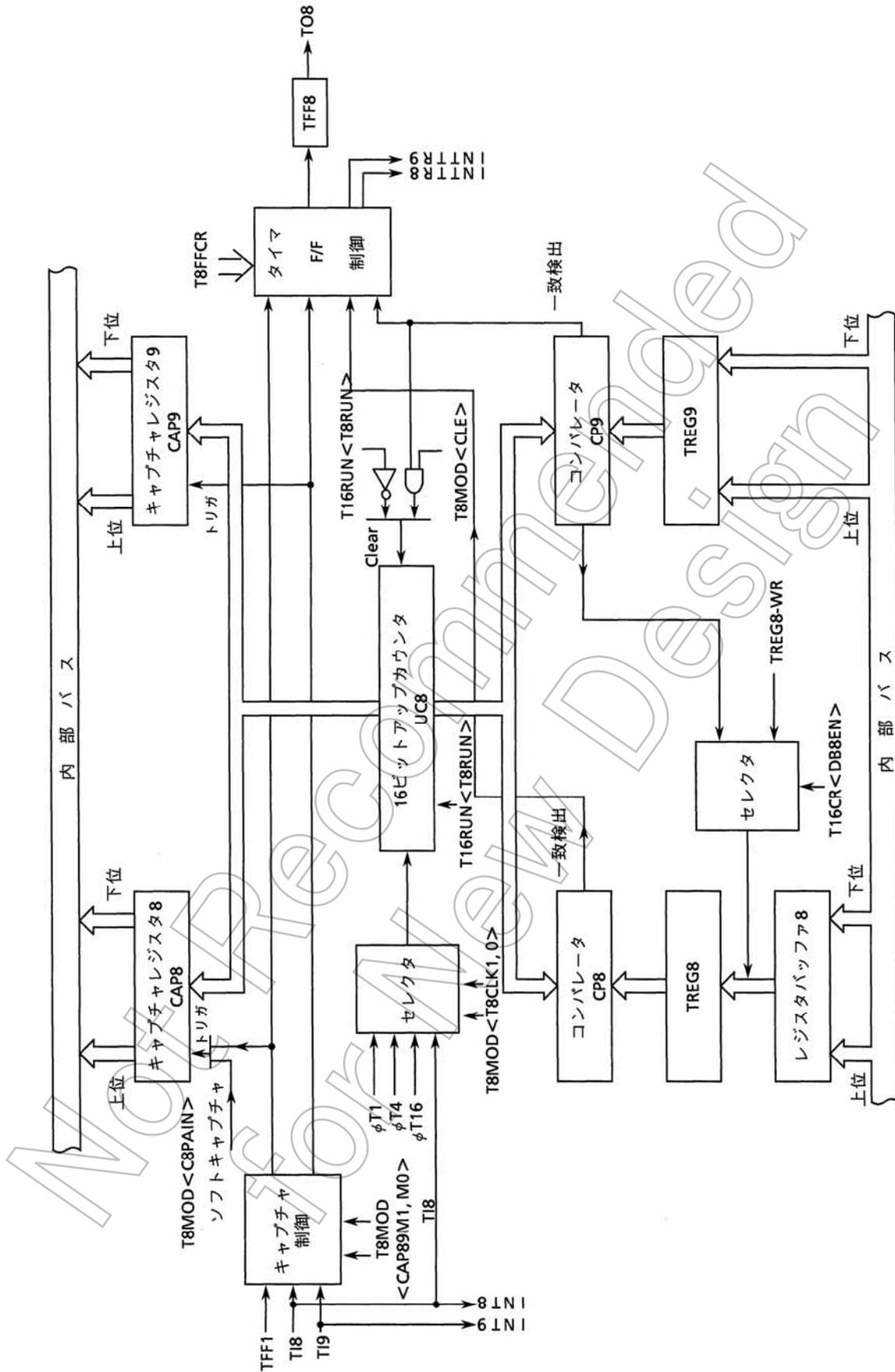


図 3.9.3 16ビットタイマブロック図 (タイマ 8)

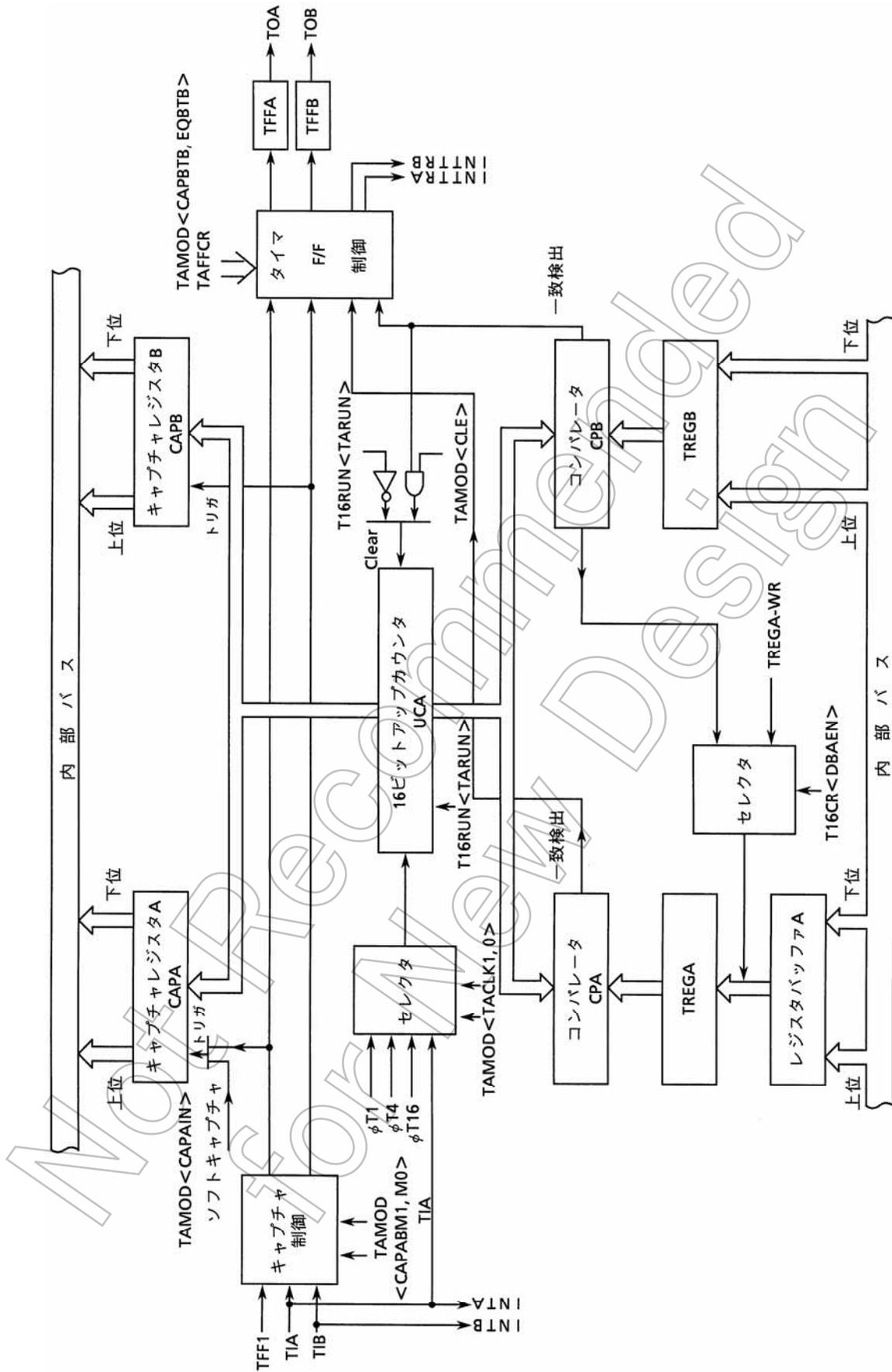


図 3.9.4 16ビットタイマブロック図 (タイマ A)

記号	名称	アドレス	7	6	5	4	3	2	1	0
T4MOD	16 Bit Timer 4 Source CLK & MODE	98H	-	-	CAP4IN	CAP45M1	CAP45M0	CLE	T4CLK1	T4CLK0
			-	-	W	R/W		-	-	-
			-	-	-	0	0	0	0	0
			0: Soft Capture	Capture Timing		1: UC4		Source Clock		
1: Don't care	00: Disable	01: T14 ↑ T15 ↑	10: T14 ↑ T14 ↓	11: TFF1 ↑ TFF1 ↓	00: T14	01: φT1	10: φT4	11: φT16		



注) リードモディファイライトできません。

図 3.9.5 16ビットタイマモードコントロールレジスタ(T4MOD)

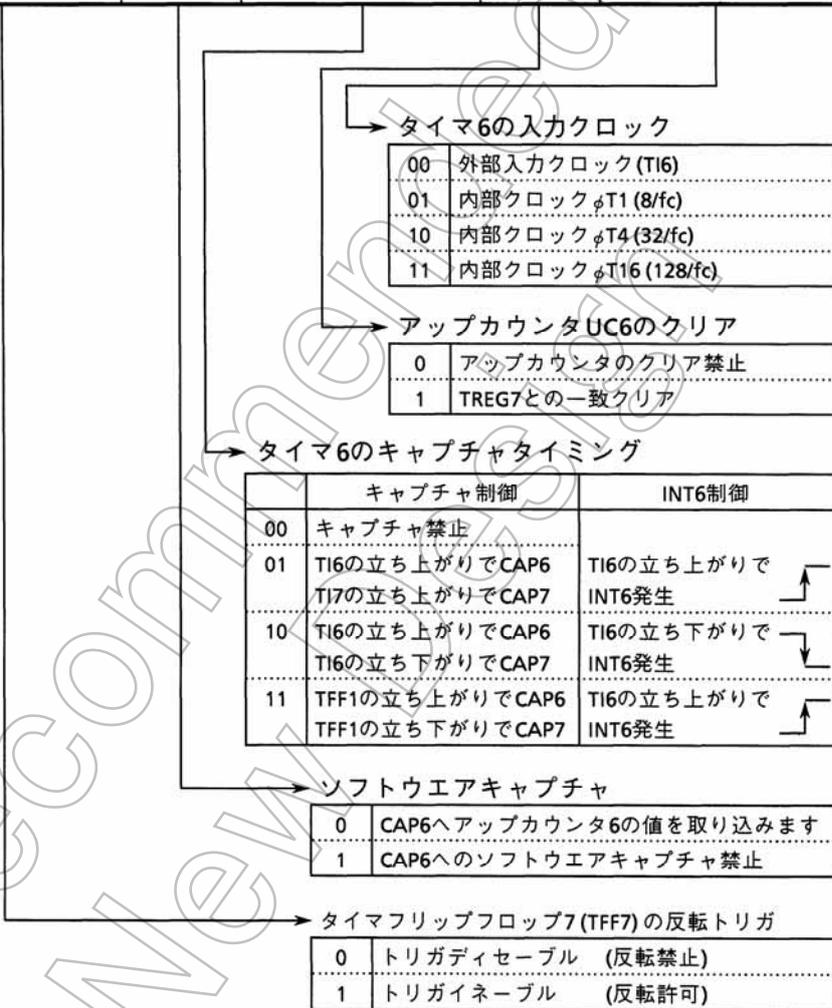
記号	名称	アドレス	7	6	5	4	3	2	1	0	
T4FFCR	16Bit Timer 4 Flip-Flop Control	99H	-	-	CAP5T4	CAP4T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0	
			R/W						W		
			-	-	0	0	0	0	-	-	
			TFF4 Invert Trigger 0: Trigger Disable 1: Trigger Enable						00: Invert TFF4 01: Set TFF4 10: Clear TFF4 11: Don't care		



注) リードモディファイライトできません。

図 3.9.6 タイマ4 F/F コントロール (T4FFCR)

記号	名称	アドレス	7	6	5	4	3	2	1	0
T6MOD	16Bit Timer 6 Source CLK & MODE	A8H	CAP7T7	EQ7T7	CAP6IN	CAP67M1	CAP67M0	CLE	T6CLK1	T6CLK0
			R/W		W	R/W				
			0	0	-	0	0	0	0	0
			TFF7 INV TRG 0: TRG Disable 1: TRG Enable		0: Soft Capture 1: Don't care	Capture Timing 00: Disable 01: T16 ↑ T17 ↑ 10: T16 ↑ T16 ↓ 11: TFF1 ↑ TFF1 ↓		1: UC6 Clear Enable		Source Clock 00: T16 01: φT1 10: φT4 11: φT16



CAP7T7: CAP7へのアップカウンタ値取り込み  
EQP7T7: アップカウンタとTREG7との一致時

注) リードモディファイライトできません。

図 3.9.7 16ビットタイマモードコントロールレジスタ(T6MOD)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
T6FFCR	16Bit Timer 6 Flip-Flop Control	A9H	TFF7C1	TFF7C0	CAP7T6	CAP6T6	EQ7T6	EQ6T6	TFF6C1	TFF6C0	
			W			R/W				W	
			0	0	0	0	0	0	-	-	
			00: Invert TFF7 01: Set TFF7 10: Clear TFF7 11: Don't care			TFF6 Invert Trigger 0: Trigger Disable 1: Trigger Enable			00: Invert TFF6 01: Set TFF6 10: Clear TFF6 11: Don't care		



注) リードモディファイライトできません。

図 3.9.8 タイマ6 F/F コントロール (T6FFCR)

記号	名称	アドレス	7	6	5	4	3	2	1	0	
T8MOD	16Bit Timer 8 Source CLK & MODE	B8H	-	-	CAP8IN	CAP89M1	CAP89M0	CLE	T8CLK1	T8CLK0	
			W			R/W					
			-	-	-	0	0	0	0	0	
			0: Soft Capture			Capture Timing			1: UC8 Clear Enable		Source Clock
1: Don't care			00: Disable			01: TI8 ↑ TI9 ↑		00: TI8			
			10: TI8 ↑ TI8 ↓			10: φT4		01: φT1			
			11: TFF1 ↑ TFF1 ↓			11: TFF1 ↓		10: φT4			
								11: φT16			



注) リードモディファイライトできません。

図 3.9.9 16ビットタイマモードコントロールレジスタ (T8MOD)

記号	名称	アドレス	7	6	5	4	3	2	1	0		
T8FFCR	16Bit Timer 8 Flip-Flop Control	B9H	-	-	CAP9T8	CAP8T8	EQ9T8	EQ8T8	TFF8C1	TFF8C0		
			R/W								W	
			-	-	0	0	0	0	-	-		
TFF8 Invert Trigger 0: Trigger Disable 1: Trigger Enable									00: Invert TFF8 01: Set TFF8 10: Clear TFF8 11: Don't care			



CAP9T8: CAP9へのアップカウンタ値取り込み時  
 CAP8T8: CAP8へのアップカウンタ値取り込み時  
 EQ9T8: アップカウンタとTREG9との一致時  
 EQ8T8: アップカウンタとTREG8との一致時

注) リードモディファイライトできません。

図 3.9.10 タイマ8 F/F コントロール (T8FFCR)

Not Recommended for New Design

記号	名称	アドレス	7	6	5	4	3	2	1	0
TAMOD	16Bit Timer A Source CLK & MODE	C8H	CAPBTB	EQBTB	CAPAIN	CAPABM1	CAPABM0	CLE	TACLK1	TACLK0
			R/W		W		R/W			
			0	0	-	0	0	0	0	0
			TFFB INV TRG 0: TRG Disable 1: TRG Enable		0: Soft Capture 1: Don't care	Capture Timing 00: Disable 01: TIA ↑ TIB ↑ 10: TIA ↑ TIA ↓ 11: TFF1 ↑ TFF1 ↓		1: UCA Clear Enable	Source Clock 00: TIA 01: φT1 10: φT4 11: φT16	

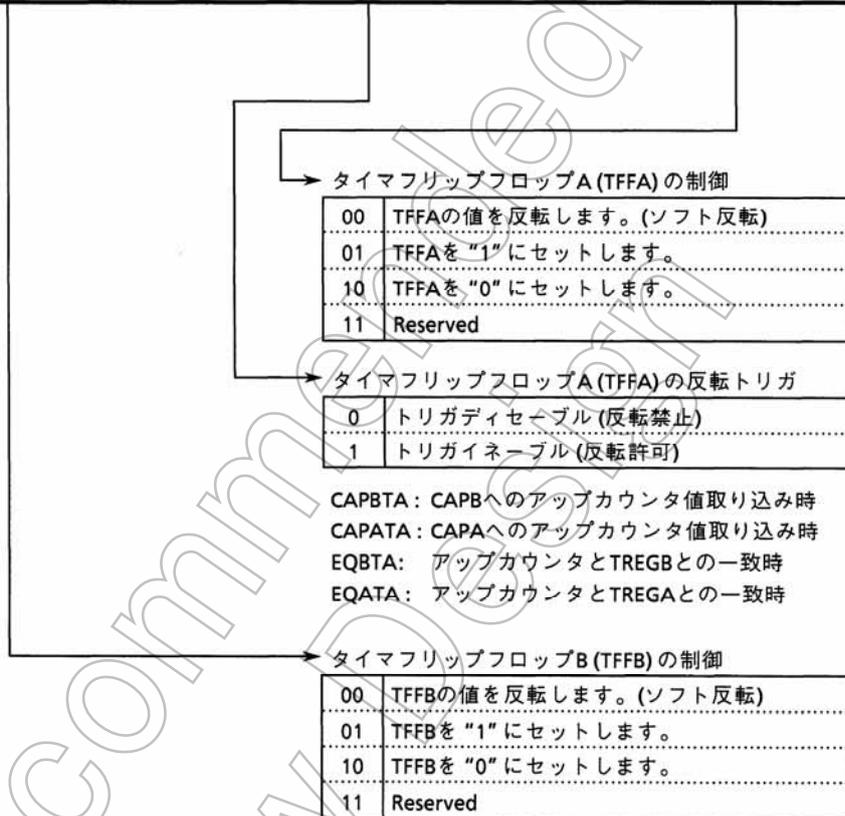


CAPBTB: CAPBへのアップカウンタ値取り込み  
EQBTB: アップカウンタとTREGBとの一致時

注) リードモディファイライトできません。

図 3.9.11 16ビットタイマモードコントロールレジスタ (TAMOD)

記号	名称	アドレス	7	6	5	4	3	2	1	0
TAFFCR	16Bit Timer A Flip-Flop Control	C9H	TFFBC1	TFFBC0	CAPBTA	CAPATA	EQBTA	EQATA	TFFAC1	TFFAC0
			W		R/W				W	
			0	0	0	0	0	0	-	-
			00: Invert TFFB 01: Set TFFB 10: Clear TFFB 11: Don't care		TFFA Invert Trigger 0: Trigger Disable 1: Trigger Enable				00: Invert TFFA 01: Set TFFA 10: Clear TFFA 11: Don't care	



注) リードモディファイライトできません。

図 3.9.12 タイマ A F/F コントロール (TAFFCR)

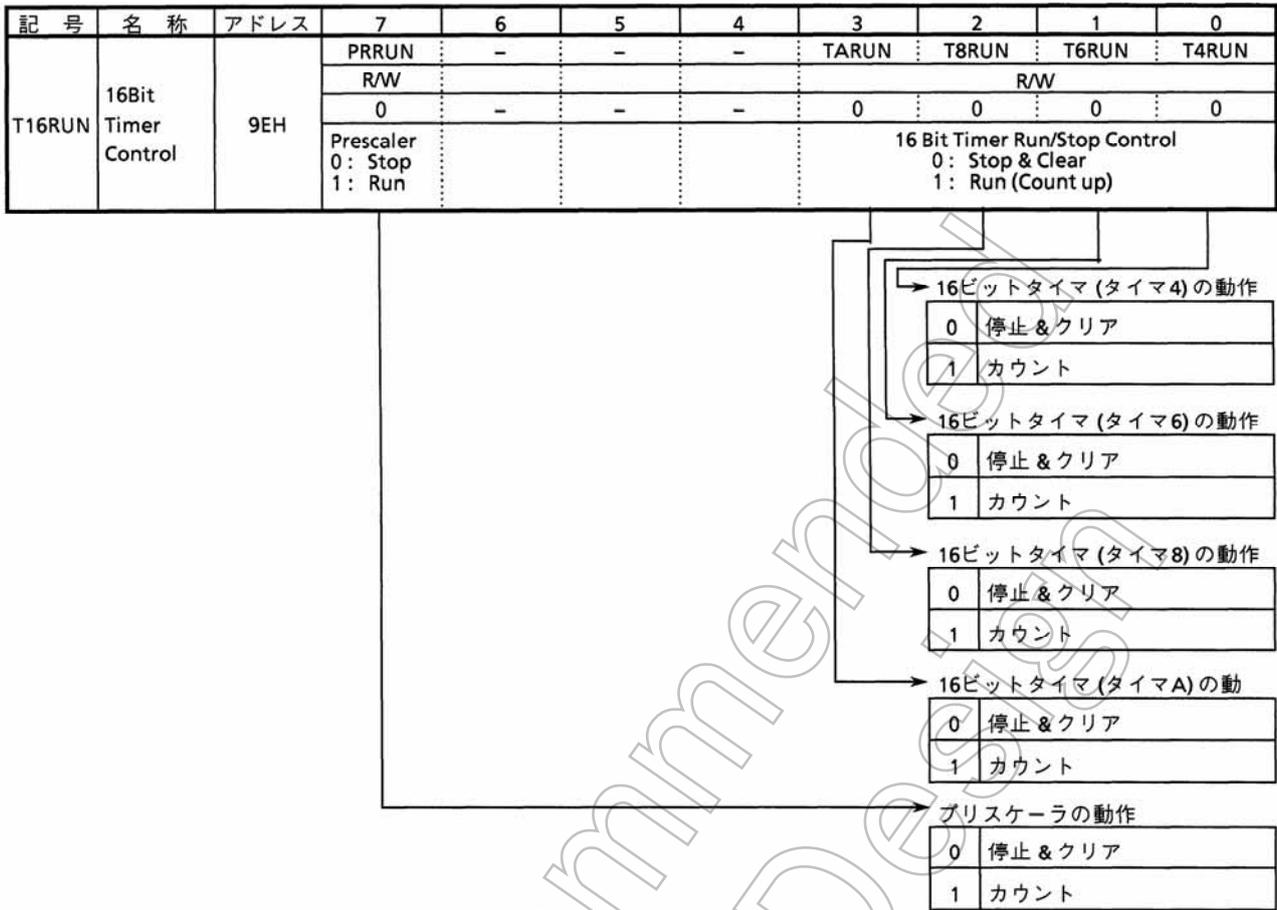


図 3.9.13 タイマ動作コントロールレジスタ (T16RUN)

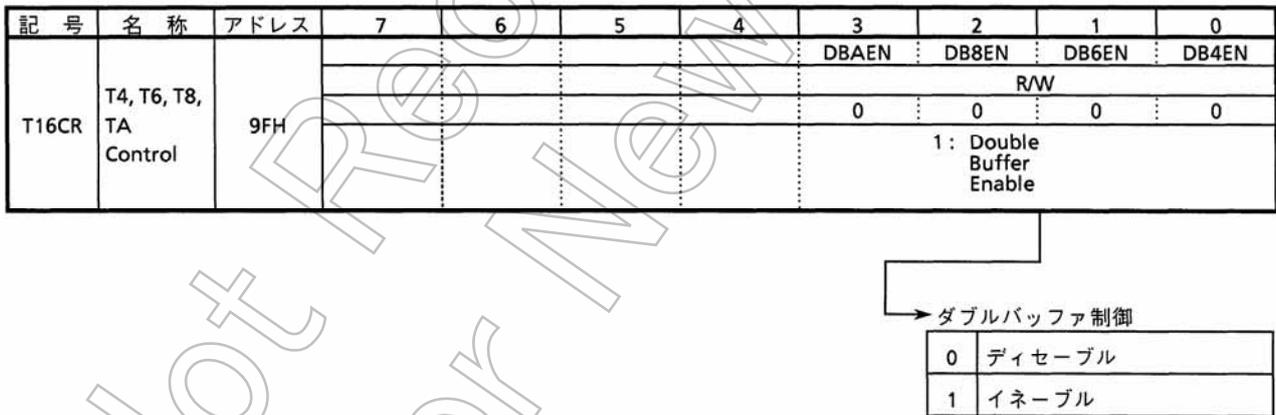


図 3.9.14 16ビットタイマ (タイマ 4, 6, 8, A) コントロールレジスタ (T16CR)

記号	アドレス	7	6	5	4	3	2	1	0
TREG4L	90h				-				
					W				
TREG4H	91h				不定				
					-				
TREG5L	92h				W				
					不定				
TREG5H	93h				-				
					W				
TREG6L	A0h				不定				
					-				
TREG6H	A1h				W				
					不定				
TREG7L	A2h				-				
					W				
TREG7H	A3h				不定				
					-				
TREG8L	B0h				W				
					不定				
TREG8H	B1h				-				
					W				
TREG9L	B2h				不定				
					-				
TREG9H	B3h				W				
					不定				
TREGAL	C0h				-				
					W				
TREGAH	C1h				不定				
					-				
TREGBL	C2h				W				
					不定				
TREGBH	C3h				-				
					W				
					不定				

注) リードモディファイライトできません。

図 3.9.15 タイマレジスタ

記号	アドレス	7	6	5	4	3	2	1	0
CAP4L	94h				-				
					R				
					不定				
CAP4H	95h				-				
					R				
					不定				
CAP5L	96h				-				
					R				
					不定				
CAP5H	97h				-				
					R				
					不定				
CAP6L	A4h				-				
					R				
					不定				
CAP6H	A5h				-				
					R				
					不定				
CAP7L	A6h				-				
					R				
					不定				
CAP7H	A7h				-				
					R				
					不定				
CAP8L	B4h				-				
					R				
					不定				
CAP8H	B5h				-				
					R				
					不定				
CAP9L	B6h				-				
					R				
					不定				
CAP9H	B7h				-				
					R				
					不定				
CAPAL	C4h				-				
					R				
					不定				
CAPAH	C5h				-				
					R				
					不定				
CAPBL	C6h				-				
					R				
					不定				
CAPBH	C7h				-				
					R				
					不定				

図 3.9.16 キャプチャレジスタ

## 1. アップカウンタ

T4MOD<T4CLK1:0>および T6MOD<T6CLK1:0>, T8MOD<T8CLK1:0>, TAMOD<TACLK1:0>で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

入力クロックとして、9 ビットのプリスケアラ (8 ビットタイマと共用) からの内部クロック  $\phi$ T1,  $\phi$ T4,  $\phi$ T16 または TI4 (PD1/INT4 と兼用), TI6 (PD5/INT6 と兼用) TI8 (PE1/INT8 と兼用), TIA (PE5/INTA と兼用) の各端子からの外部クロックのいずれかを選択できます。リセット時<T4CLK1:0>/<T6CLK1:0>/<T8CLK1:0>/<TACLK1:0> = "00" に初期化されますので、TI4/TI6/TI8/TIA の外部入力を選択されています。

カウンタのカウント/停止&クリアは、タイマ動作コントロールレジスタ T16RUN<T4RUN, T6RUN, T8RUN, TARUN>で制御することができます。

アップカウンタ UC4/UC6/UC8/UCA は、タイマレジスタ TREG5/TREG7/TREG9/TREGB と一致すると、クリアイネーブルであれば、ゼロにクリアされます。このクリアイネーブル/ディセーブルは、T4MOD<CLE>および T6MOD<CLE>, T8MOD<CLE>, TAMOD<CLE>で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

## 2. タイマレジスタ

カウンタ値を設定する 16 ビットレジスタで、各タイマに 2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC4/UC6/UC8/UCA の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TREG4, TREG5/TREG6, TREG7/TREG8, TREG9/TREGA, TREGB へのデータ設定は、必ず上位と下位の 2 バイトのデータ設定が必要です。2 バイトデータロード命令を用いるか、1 バイトデータロード命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

このタイマレジスタは、TREG4, TREG6, TREG8, TREGA がダブルバッファ構成になっており、レジスタバッファとペアになっています。TREG4/TREG6/TREG8/TREGA はタイマコントロールレジスタ T16CR<DB4EN, DB6EN, DB8EN, DBAEN>によってダブルバッファのイネーブル/ディセーブルを制御します。<DB4EN, DB6EN, DB8EN, DBAEN> = "0" のときディセーブル、<DB4EN, DB6EN, DB8EN, DBAEN> = "1" のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送は、アップカウンタ UC4/UC6/UC8/UCA とタイマレジスタ TREG5/TREG7/TREG9/TREGB との一致時に行われます。

リセット時は、T16CR<DB4EN, DB6EN, DB8EN, DBAEN> = "0" に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み<DB4EN, DB6EN, DB8EN, DBAEN> = "1" に設定した後、レジスタバッファへ次のデータを書き込んでください。

TREG4/TREG6/TREG8/TREGA とレジスタバッファは、同じメモリアドレス 000090H, 000091H/000A0H, 0000A1H/0000B0H, 0000B1H/0000C0H, 0000C1H に割り付けられています。<DB4EN, DB6EN, DB8EN, DBAEN> = "0" のときは、TREG4/TREG6/TREG8/TREGA とそれぞれのレジスタバッファに、同じ値が書き込まれ、<DB4EN, DB6EN, DB8EN, DBAEN> = "1" のときは、それぞれのレジスタバッファにのみ書き込まれます。従って、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておきます。

なお、リセット後タイマレジスタは不定のため使用する場合には、上位と下位にかならずデータを書き込む必要があります。

## 3. キャプチャレジスタ

アップカウンタの値をラッチする 16 ビットのレジスタです。

このキャプチャレジスタの値は上位と下位の 2 バイトのデータリードが必ず必要です。

キャプチャレジスタを読み出す場合は、2 バイトデータロード命令を用いるか 1 バイトデータロード命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に読み出してください。

## 4. キャプチャ入力制御

アップカウンタ UC4/UC6/UC8/UCA の値を、キャプチャレジスタ CAP4, CAP5/CAP6, CAP7/CAP8, CAP9/CAPA, CAPB にラッチするタイミングを制御する回路です。

キャプチャレジスタのラッチタイミングは、 $T4MOD<CAP45M1:0>/T6MOD<CAP67M1:0>/T8MOD<CAP89M1:0>/TAMOD<CAPABM1:0>$  レジスタで設定します。

- $T4MOD<CAP45M1:0>/T6MOD<CAP67M1:0>/T8MOD<CAP89M1:0>/TAMOD<CAPABM1:0> = "00"$  の場合

キャプチャ機能は、ディセーブルされます。リセット時は、このディセーブル状態となっています。

- $T4MOD<CAP45M1:0>/T6MOD<CAP67M1:0>/T8MOD<CAP89M1:0>/TAMOD<CAPABM1:0> = "01"$  の場合

TI4 (PD1/INT4)/TI6 (PD5/INT6)/TI8 (PE1/INT8)/TIA (PE5/INTA) 入力の立ち上がりエッジで CAP4/CAP6/CAP8/CAPA へ、TI5 (PD2/INT5)/TI7 (PD6/INT7)/TI9 (PE2/INT9)/TIB (PE6/INTB) 入力の立ち上がりエッジで CAP5/CAP7/CAP9/CAPB へ取り込みます (時間差測定)。

- $T4MOD<CAP12M1:0>/T5MOD<CAP34M1:0>/T8MOD<CAP89M1:0>/TAMOD<CAPABM1:0> = "10"$  の場合

TI4 (PD1/INT4)/TI6 (PD5/INT6)/TI8 (PE1/INT8)/TIA (PE5/INTA) 入力の立ち上がりエッジで CAP4/CAP6/CAP8/CAPA へ、立ち下がりエッジで CAP5/CAP7/CAP9/CAPB へ取り込みます。この設定の場合に限り INT4/INT6 割り込みは立ち下がりエッジで発生します (パルス幅測定)。

- $T4MOD<CAP12M1:0>/T5MOD<CAP34M1:0>/T8MOD<CAP89M1:0>/TAMOD<CAPABM1:0> = "11"$  の場合

タイマフリップフロップ TFF1 の立ち上がりエッジで CAP4/CAP6/CAP8/CAPA へ、立ち下がりエッジで CAP5/CAP7/CAP9/CAPB へ取り込みます。

また、ソフトウェアによってもアップカウンタの値をキャプチャレジスタへ取り込むことができ、 $T4MOD<CAP4IN>/T6MOD<CAP6IN>/T8MOD<CAP8IN>/TAMOD<CAPAIN>$  に "0" を書き込むたびに、その時点のアップカウンタの値をキャプチャレジスタ CAP4/CAP6/CAP8/CAPA へ取り込みます。なお、プリスケアラは、RUN 状態 ( $T16RUN<PRRUN> = "1"$ ) にしておく必要があります。

## 5. コンパレータ

アップカウンタ UC4/UC6/UC8/UCA と、タイマレジスタ TREG4, TREG5/TREG6, TREG7/TREG8, TREG9/TREGA, TREGB への設定値とを比較し、一致を検出する 16 ビットコンパレータです。

一致すると、それぞれ割り込み INTTR4/INTTR5, INTTR6/INTTR7, INTTR8/INTTR9, INTTRA/INTTRB を発生します。

また、TREG5/TREG7/TREG9/TREGB との一致でのみアップカウンタ UC4/UC6/UC8/UCA をクリアします (T4MOD<CLE>/T6MOD<CLE>/T8MOD<CLE>/TAMOD<CLE> = “0” でアップカウンタ UC4/UC6/UC8/UCA のクリアをディセーブルすることもできます)。

## 6. タイマフリップフロップ (TFF4/TFF6/TFF8/TFFA)

コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。

反転のディセーブル/イネーブルは各要因ごとに T4FFCR<CAP5T4, CAP4T4, EQ5T4, EQ4T4>/T6FFCR<CAP7T6, CAP6T6, EQ7T6, EQ6T6>/T8FFCR<CAP9T8, CAP8T8, EQ9T8, EQ8T8>/TAFPCR<CAPBTA, CAPATA, EQBTA, EQATA>によって設定できます。

TFF4/TFF6, TFF8, TFFA は T4FFCR<TFF4C1:0>/T6FFCR<TFF6C1:0>/T8FFCR<TFF8C1:0>/TAFPCR<TFFAC1:0>に “00” を書き込むことで反転、“01” を書き込むことで “1” にセット、“10” を書き込むことで “0” にクリアすることも可能です。

TFF4/TFF6, TFF8, TFFA の値は、タイマ出力端子 TO4 (PD0 と兼用) /TO6 (PD4 と兼用) /TO8 (PE0) /TOA (PE4) へ出力することができます。

## 7. タイマフリップフロップ (TFF7, TFFB)

アップカウンタ UC6/UCA とタイマレジスタ TREG7/TREGB との一致検出信号、キャプチャレジスタ CAP7/CAB へのラッチ信号によって反転するフリップフロップです。

反転のディセーブル/イネーブルは各要因ごとに T6MOD<CAP7T7, EQ7T7>TAMOD<CAPBTB, EQBTB>によって設定できます。

TFF7, TFFB は T6FFCR<TFF7C1:0>, TAFPCR<TFFBC1:0>に “00” を書き込むことで反転、“01” を書き込むことで “1” にセット、“10” を書き込むことで “0” にクリアすることも可能です。

TFF7, TFFB の値はタイマ出力端子 TO7 (PC0) /TOB (PC1 と兼用) へ出力することができます。

注) このフリップフロップ (TFF7/TFFB) は 16 ビットタイマ 6, A にのみ内蔵されています。

## (1) 16ビットタイマモード

タイマ4とタイマ6とタイマ8とタイマAはそれぞれ独立に動作します。

いずれのタイマも同一の動作をしますので、ここではタイマ4の場合について説明します。

例: 一定周期の割り込みを発生させる場合

タイマレジスタ TREG5 にインタバル時間を設定し INTTR5 割り込みを用います。

```

          7 6 5 4 3 2 1 0
T16RUN ← - X X X - - - 0
INTET45 ← X 1 0 0 X 0 0 0

T4FFCR ← 1 1 0 0 0 0 1 1
T4MOD ← X X 1 0 0 1 * *
          (** = 01, 10, 11)
TREG5 ← * * * * * * * *
          * * * * * * * *
T16RUN ← 1 X X X - - - 1

```

タイマ4を停止します。

INTTR5をイネーブル、レベル4に設定しINTTR4を禁止します。

トリガをディセーブルします。

入力クロックを内部クロックにし、キャプチャ機能をディセーブルにします。

インタバル時間を設定します。

(16ビット)

タイマ4を起動します。

X: Don't care、 -: No change

## (2) 16ビットイベントカウンタモード

16ビットタイマモードにおいて、入力クロックを外部クロック TI4/TI6/TI8, TIA にすることでイベントカウンタにすることができます。カウンタ値を読むときは“ソフトウェアキャプチャ”を行い、キャプチャ値をリードすることにより行えます。

カウンタは TI4/TI6/TI8/TIA 入力の立ち上がりエッジでカウントアップします。

また TI4/TI6/TI8/TIA 端子は、それぞれ PD1/INT4, PD5/INT6, PE1/INT8, PE5/INTA と兼用しています。

タイマ4とタイマ6とタイマ8とタイマAは同一の動作をしますので、ここではタイマ4について説明します。

```

          7 6 5 4 3 2 1 0
T16RUN ← - X X X - - - 0
PDCR ← - - - - - - - -
INTET45 ← X 1 0 0 X 0 0 0

T4FFCR ← 1 1 0 0 0 0 1 1
T4MOD ← X X 1 0 0 1 0 0
TREG5 ← * * * * * * * *
          * * * * * * * *
T16RUN ← 1 X X X - - - 1

```

タイマ4を停止します。

PD1を入力モードに設定します。

INTTR5をイネーブル(レベル4)に、INTTR4をディセーブルにします。

トリガディセーブルにします。

入力クロックをTI4にします。

カウント数を設定します(16ビット)

タイマ4を起動します。

注) イベントカウンタとして使用する場合も、プリスケアラは“RUN”にしてください。

(3) 16ビットプログラマブル矩形波 (PPG) 出力モード

タイマ 4 とタイマ 6 とタイマ 8 とタイマ A は同一の動作をしますので、ここではタイマ 4 について説明します。

アップカウンタ UC4 とタイマレジスタ TREG4, TREG5 への設定値との一致によってタイマフリップフロップ TFF4 を反転させ、この TFF4 の値を TO4 端子 (PD0 と兼用) へ出力するように設定することで、プログラマブル矩形波出力モードとなります。ただし、次の条件を満たす必要があります。

$$(TREG4 \text{ への設定値}) < (TREG5 \text{ への設定値})$$

		7	6	5	4	3	2	1	0
T16RUN	←	-	X	X	X	-	-	-	0
TREG4	←	*	*	*	*	*	*	*	*
TREG5	←	*	*	*	*	*	*	*	*
T16CR	←	X	X	X	X	-	-	-	1
T4FFCR	←	1	1	0	0	1	1	1	0
T4MOD	←	X	X	1	0	0	1	*	*
									(** = 01, 10, 11)
PDCR	←	-	-	-	-	-	-	-	1
PDFC	←	X	-	-	-	X	-	-	1
T16RUN	←	1	X	X	X	-	-	-	1

タイマ4を停止します。  
デューティを設定します。(16ビット)

周期を設定します。(16ビット)

TREG4のダブルバッファイネーブル (INTTR5割り込みでデューティ/周期の変更) TFF4をTREG4, TREG5との一致検出で反転するように設定します。またTFF4の初期値を“0”にします。入力クロックを内部クロックにし、キャプチャ機能ディセーブルにします。PD0をTO4に割り付けます。タイマ4を起動します。

X: Don't care、 -: No change

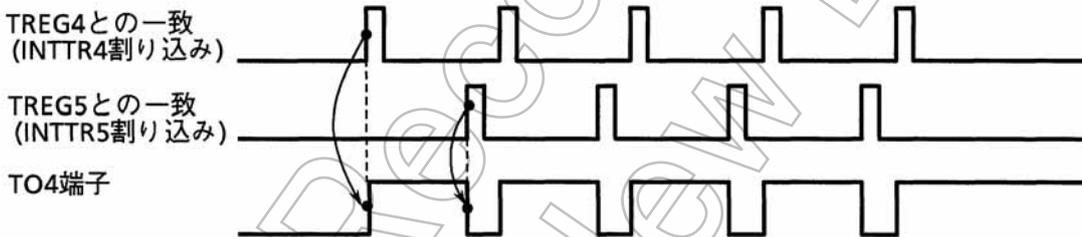


図 3.9.17 プログラマブル矩形波 (PPG) 出力波形

このモードでは、TREG4 のダブルバッファをイネーブ爾にすることにより、TREG5 との一致で、レジスタバッファ 4 の値が TREG4 へシフトインされます。これにより、小さいデューティへの対応が、容易に行えます。

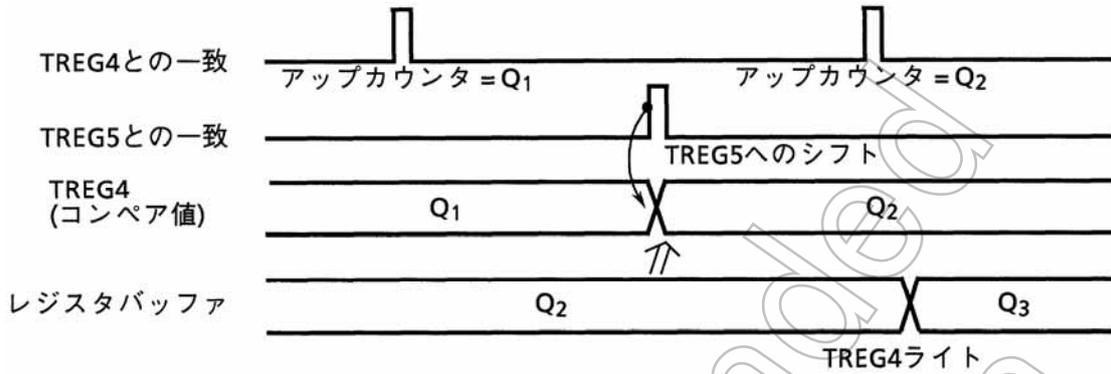


図 3.9.18 レジスタバッファの動作

このモードのブロック図を示します。

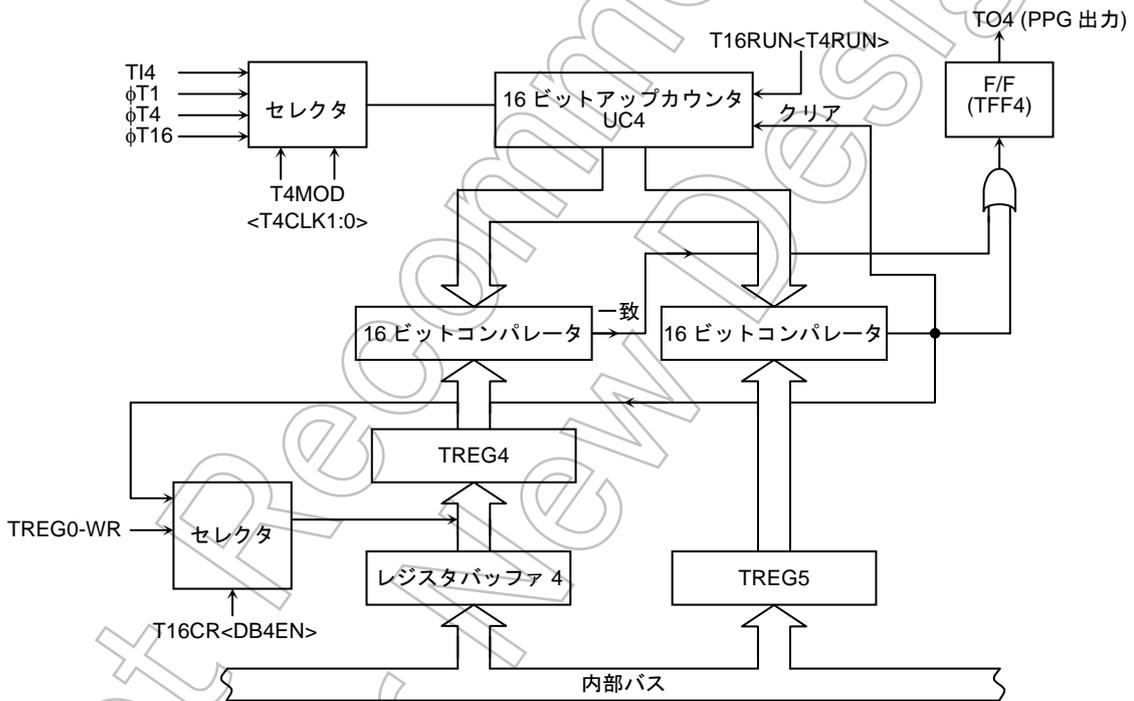


図 3.9.19 16ビット PPG モードのブロック図

## (4) キャプチャ機能を利用した応用例

タイマ 4 とタイマ 6 とタイマ 8 とタイマ A は同一の動作をしますので、ここではタイマ 4 について説明します。

キャプチャレジスタ (CAP4, CAP5) へのアップカウンタ (UC4) の値の取り込み、コンパレータ (CP4, CP5) からの一致検出によるタイマフリップフロップ TFF4 の反転および TFF4 の TO4 端子への出力はそれぞれイネーブル/ディセーブルすることができ、割り込み機能と組み合わせることにより次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

## 1. 外部トリガパルスからのワンショットパルス出力

アップカウンタ (UC4) を内部クロック入力でフリーランニングにして、外部トリガパルスを TI4 端子より入力し、この TI4 入力の立ち上がりでキャプチャレジスタ CAP4 へ、アップカウンタの値を取り込みます (T4MOD<CAP45M1:0> = "01" に設定します)。

TI4 入力の立ち上がり時、割り込み INT4 でレジスタ CAP4 の値 (C) にディレイタイム (d) を加算した値 (c + d) を TREG4 に設定し、この TREG4 の値にワンショットパルスのパルス幅 (P) を加算した値 (c + d + p) を TREG5 に設定します。なお、割り込み INT4 で T4FFCR<EQ5T4, EQ4T4> レジスタを「タイマフリップフロップ TFF4 の反転は TREG4, TREG5 との一致時のみイネーブル」にしておきます。また、割り込み INTTR5 でこれをディセーブルに戻します。

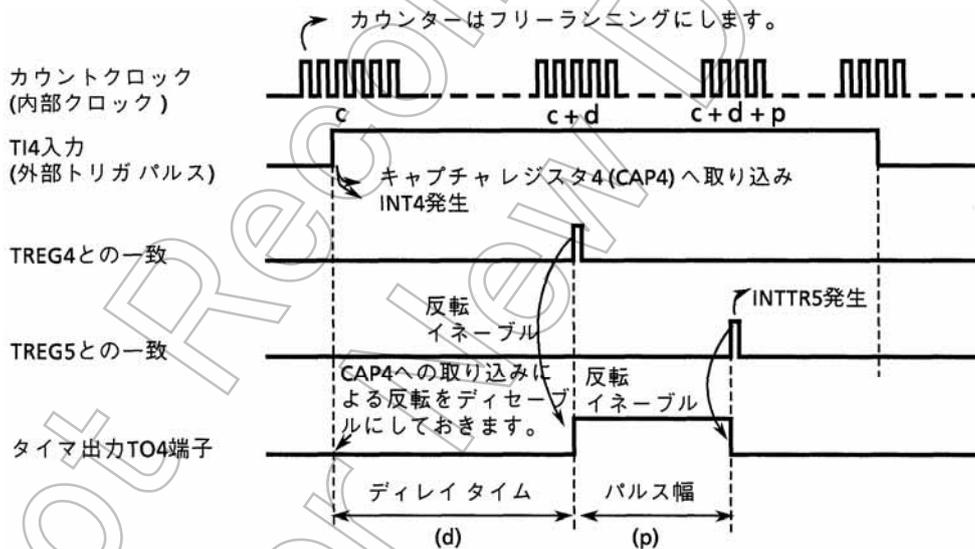
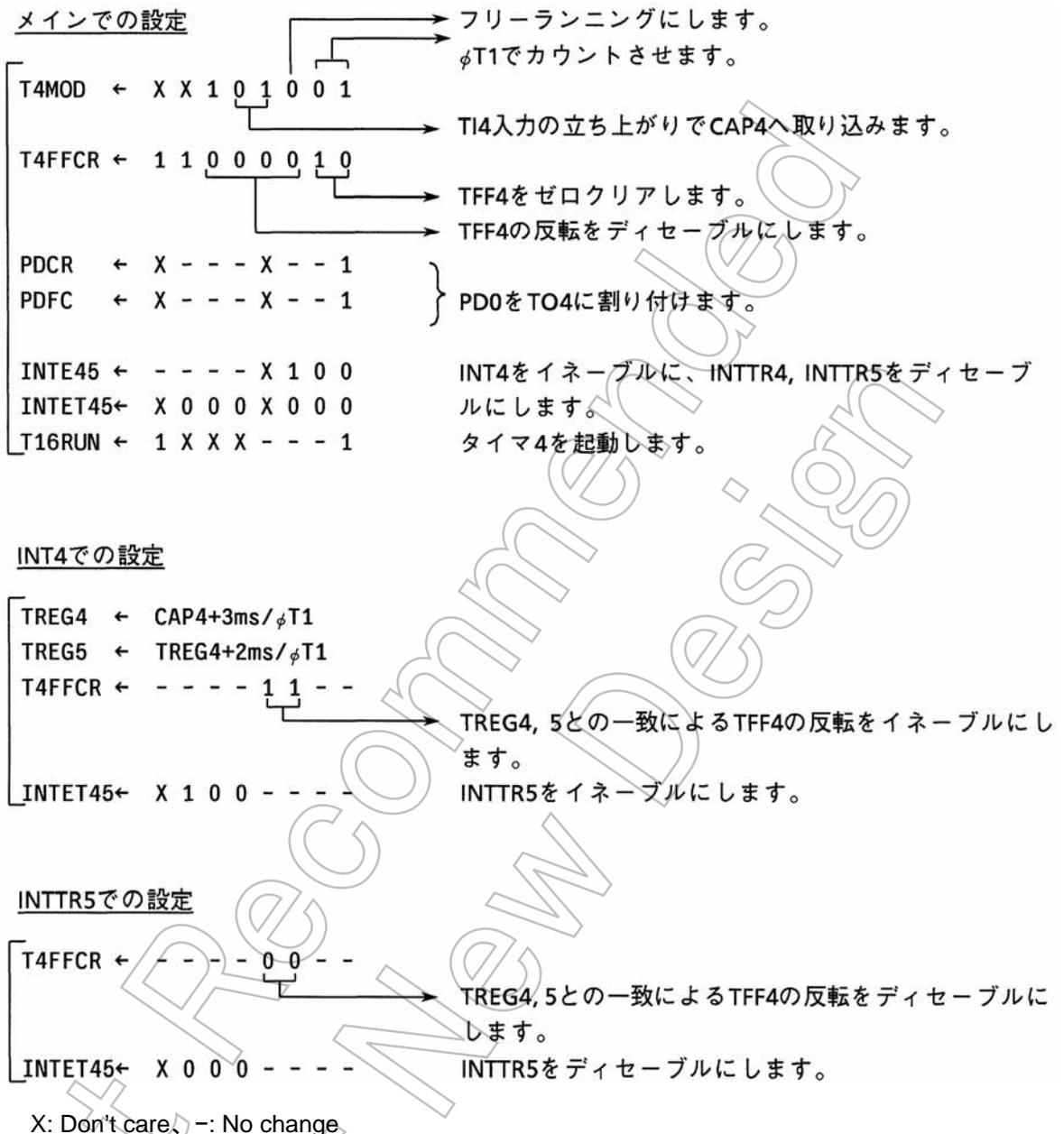


図 3.9.20 ワンショットパルス出力 (ディレイあり)

設定例: TI4 端子への外部トリガパルスに対して 3 ms ディレイで 2 ms のワンショットパルスを出力する場合



ディレイタイムが不要な場合、キャプチャレジスタ 4 (CAP4) への取り込みによってタイマフリップフロップ TFF4 を反転させ、割り込み INT4 で CAP4 の値 (C) にワンショットパルスの幅 (P) を加算した値 (C + P) をタイマレジスタ TREG5 に設定します。TFF4 は、TREG5 とアップカウンタ (UC4) の一致によって反転するように、イネーブルにします。また、INTTR5 割り込みでこれをディセーブルに戻します。

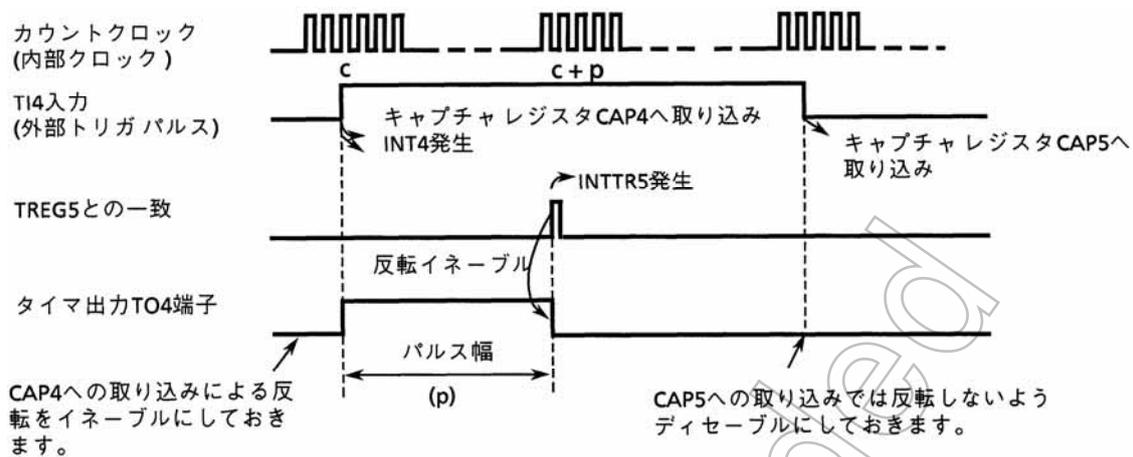


図 3.9.21 ワンショットパルス出力 (ディレイなし)

## 2. 周波数測定

外部クロックの周波数を測定するモードです。外部クロックを TI4 端子より入力し、これを 8 ビットタイマ (タイマ 0, 1) と 16 ビットタイマ/イベントカウンタ (タイマ 4) を用いて測定します。

タイマ 4 の入力クロックは TI4 入力にし、8 ビットタイマ (タイマ 0, 1) のタイマ フリップフロップ TFF1 の立ち上がりでキャプチャレジスタ CAP4 へ、立ち下がりで CAP5 へアップカウンタ (UC4) の値を取り込みます。

周波数は 8 ビットタイマの割り込み (INTT0 または INTT1) でキャプチャレジスタ CAP4, CAP5 の差より求めます。

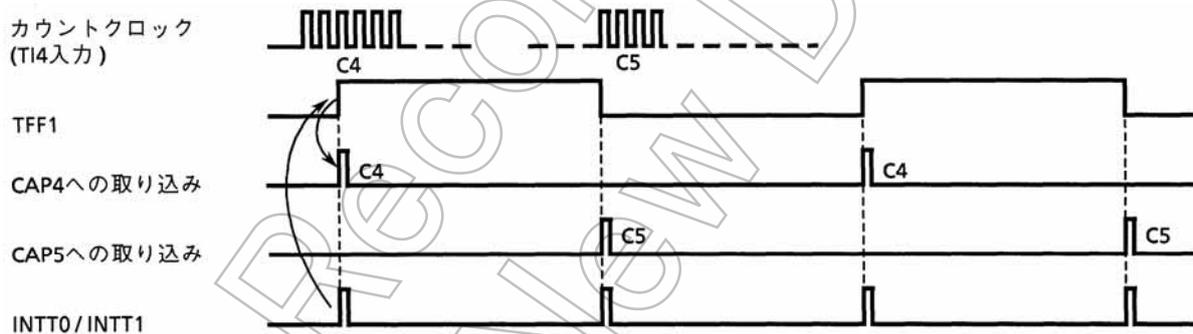


図 3.9.22 周波数測定

例えば、8 ビットタイマによる TFF1 の“1” レベル幅の設定値が 0.5 s で、CAP4 と CAP5 の差が 100 であれば、周波数は  $100 \div 0.5 \text{ [s]} = 200 \text{ [Hz]}$  となります。

### 3. パルス幅測定

外部パルスの“H”レベルの幅を測定するモードで、TI4端子に外部パルスを入力し、16ビットタイマ/イベントカウンタを内部クロックでフリーランニングでカウントアップさせておき、キャプチャ機能で、外部パルスの立ち上がり/立ち下がりそれぞれのエッジでトリガをかけて、キャプチャレジスタ CAP4, CAP5にアップカウンタ (UC4) の値を取り込みます。TI4端子の立ち下がりにより、INT4が発生します。

CAP4, CAP5の差と内部クロックの周期によりパルス幅を求めることができます。

例えば、CAP4とCAP5の差が100で、内部クロックが0.8μsであれば、パルス幅は、 $100 \times 0.8 \mu\text{s} = 80 \mu\text{s}$ となります。

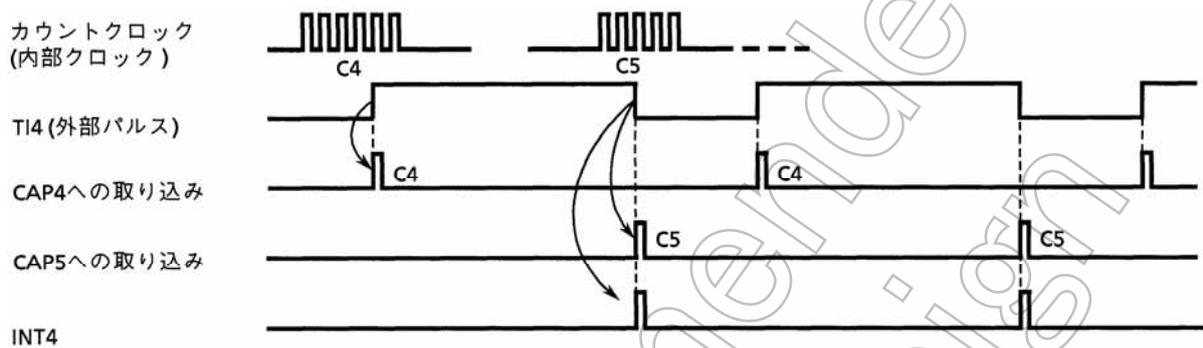


図 3.9.23 パルス幅測定

注) このパルス幅測定モード T4MOD<CAP45M1:0> = “10” のときのみ、外部割り込み INT4 は、TI4 入力の立ち下がりエッジで発生します。ほかのモードでは立ち上がりエッジで発生します。

“L” レベルの幅を測定する場合は、2回目の INT4 割り込みで1回目の C5と2回目の C4の差より求めることができます。

### 4. 時間差測定

TI4, TI5の各端子への、外部パルス入力の立ち上がりエッジ間の、時間差を測定するモードです。

16ビットタイマ/イベントカウンタ(タイマ4)を、内部クロックでフリーランニングでカウントアップさせておき、TI4への入力パルスの立ち上がりエッジ検出で、アップカウンタ UC4の値が、キャプチャレジスタ CAP4へ取り込まれ、INT4割り込みが発生します。

TI5への入力パルスの立ち上がりエッジ検出で、同様にアップカウンタ UC4の値が CAP5へ取り込まれ、INT5割り込みが発生します。

CAP1, CAP2ともに取り込みが終わった時点で両者の差から時間差を得ることができます。

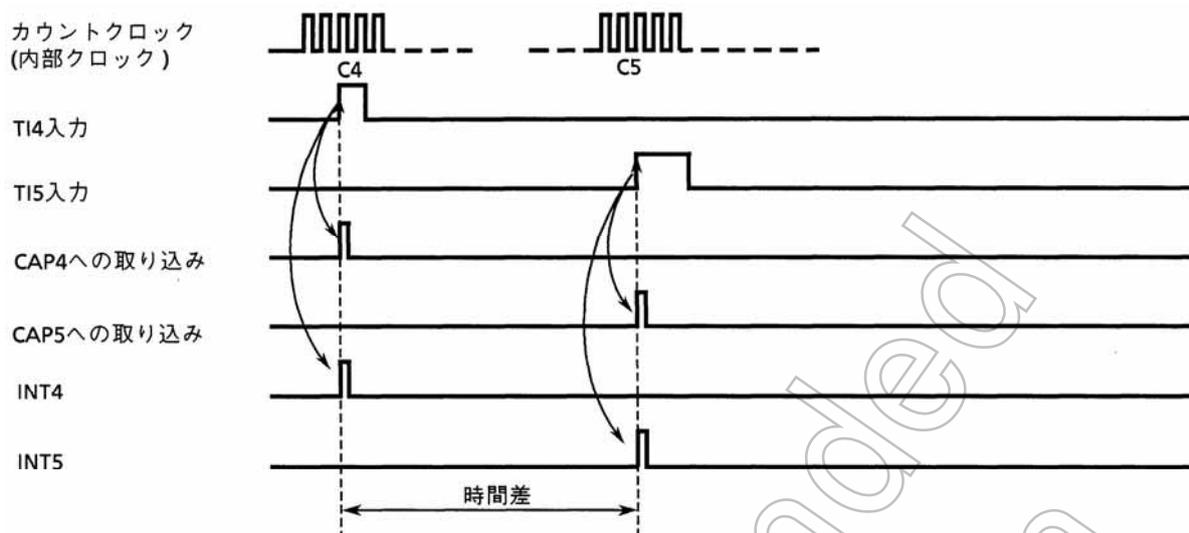


図 3.9.24 時間差測定

(5) 位相出力モード

アップカウンタ UC6 をフリーランニングさせ、任意の位相差を持つ信号を出力します。

アップカウンタ UC6 と TREG6, TREG7 との一致により、それぞれ TFF6, TFF7 を反転させ、その値を TO6, TO7 に出力します。

このモードは 16 ビットタイマ 6 と A でのみ使用できます。(記述はタイマ 6 の場合)

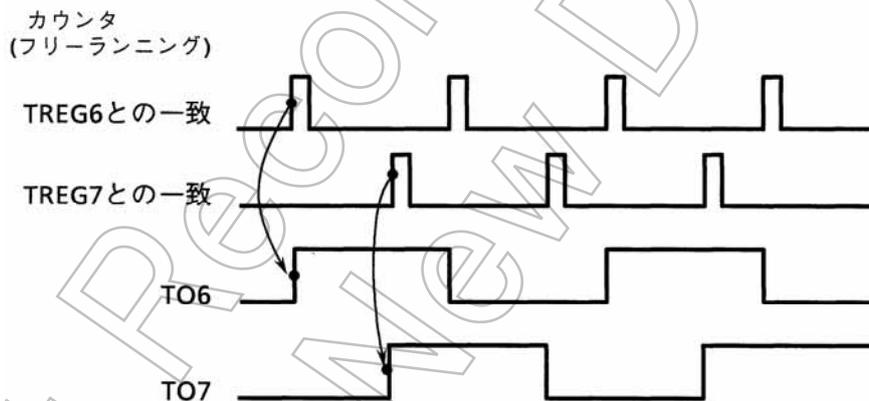


図 3.9.25 位相出力

上記出力波形の周期(カウンタのオーバーフロー時間)は、下記のようになります。

	16 MHz	20 MHz
$\phi T1$	32.77 ms	26.214 ms
$\phi T4$	131.07 ms	104.856 ms
$\phi T16$	524.29 ms	419.424 ms

### 3.10 シリアル チャネル

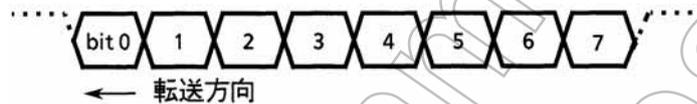
TMP94C241C は、シリアル入出力を 2 チャンネル内蔵しています。  
シリアルチャネルの動作モードは下記のとおりです。

- I/O インタフェース モード ———— モード 0 : I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモードです。
- 非同期通信 (UART) モード ————
  - モード 1 : 送受信データ長 7 ビット
  - モード 2 : 送受信データ長 8 ビット
  - モード 3 : 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチ コントローラ システム) でスレーブ コントローラを起動させるためのウェイクアップ機能を持っています。

各モードにおけるデータフォーマット (1 フレーム分) を 図 3.10.1 に示します。

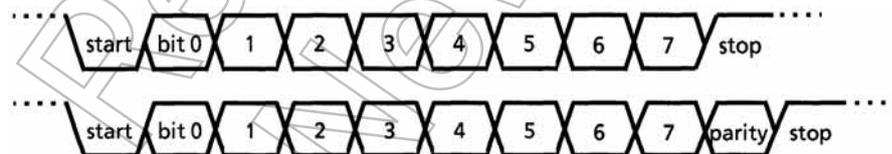
- モード 0 (I/O インタフェースモード)



- モード 1 (7 ビット UART モード)



- モード 2 (8 ビット UART モード)



- モード 3 (9 ビット UART モード)

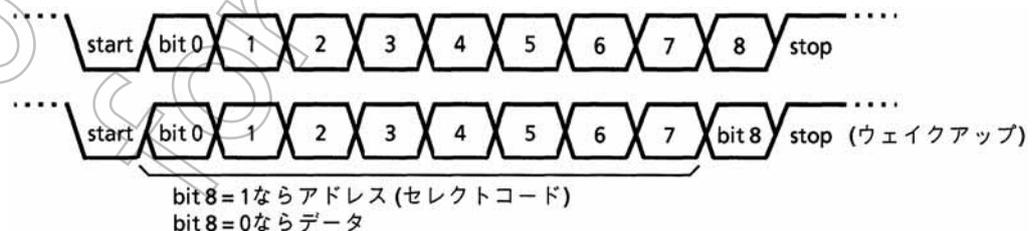


図 3.10.1 データフォーマット

シリアルチャネルは、それぞれ、送信用、受信用にデータを一時的に格納するためのバッファレジスタを備えているため、送信、受信が独立に行えます。(全二重)

ただし、I/O インタフェースモードでは、SCLK (シリアルクロック) が送受信共用のため半二重になります。

受信用のバッファレジスタは、オーバランエラーの発生を防げるようにダブルバッファ構造となっており、CPU が受信データを読み取るまで 1 フレーム分の余裕を持っています。すなわち、受信バッファは既に受信したデータを格納し、バッファレジスタで次のフレームのデータを受信します。

また、 $\overline{CTS}$  と  $\overline{RTS}$  ( $\overline{RTS}$  端子はありません。任意のポート、1 端子をソフトウェアでコントロールする必要があります。)を用いることにより、1 フレーム受信ごとに、CPU が受信データを読み取るまで、送信を停止させることもできます。(ハンドシェイク機能)

UART モードでは、ノイズなどに起因する誤ったスタートビットによって、受信動作が開始されないように、チェック機能が付加されています。これは、3 回スタートビットをサンプリングして、2 回以上正常なスタートビットとして検出された場合のみ、受信開始する機能です。

送信バッファが空になり、次に送信すべきデータを CPU へ要求するとき、または受信バッファにデータが格納され、CPU へ読み取りを要求するとき、それぞれ INTTX、INTRX 割り込みが発生します。

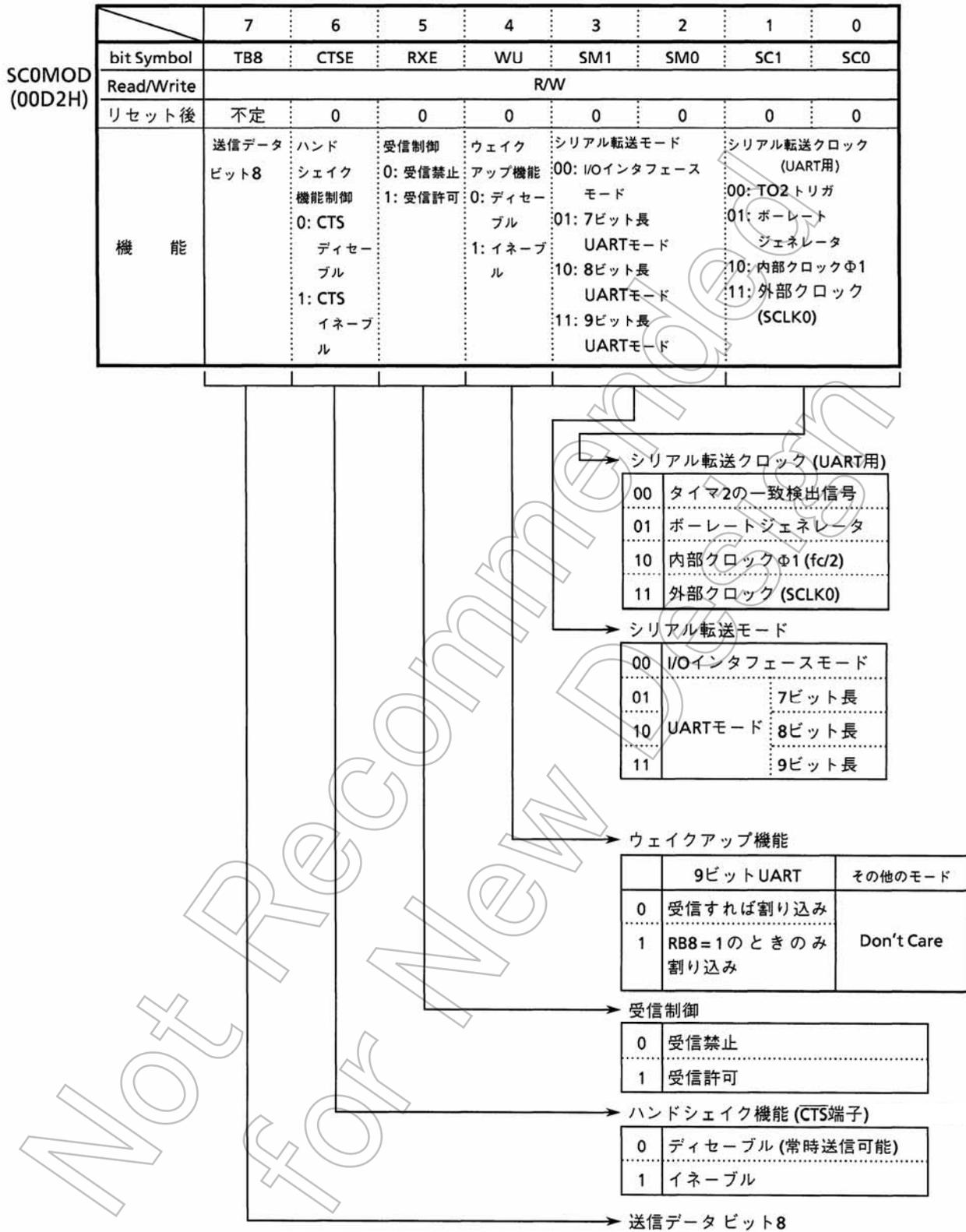
また、受信動作において、オーバランエラー、パリティエラー、フレーミングエラーの発生により、それぞれのフラグ SC0CR/SC1CR の<OERR, PERR, FERR>がセットされます。

シリアルチャネル 0/1 は、専用のボーレートジェネレータを有し、9 ビットプリスケアラ (8/16 ビットタイマと共用)からの内部入力クロック ( $\phi T0$ ,  $\phi T2$ ,  $\phi T8$ ,  $\phi T32$ )を 1~16 分周することにより、任意のボーレートを設定することができます。

さらに、内部ボーレートジェネレータからのクロックだけでなく、外部からの入力クロック (SCLK0/1)により、任意のボーレートを実現することができます。また、I/O インタフェースモードでは、同期信号 (SCLK0/1) の入力動作も可能で、外部クロックによるデータの送受信が行えます。

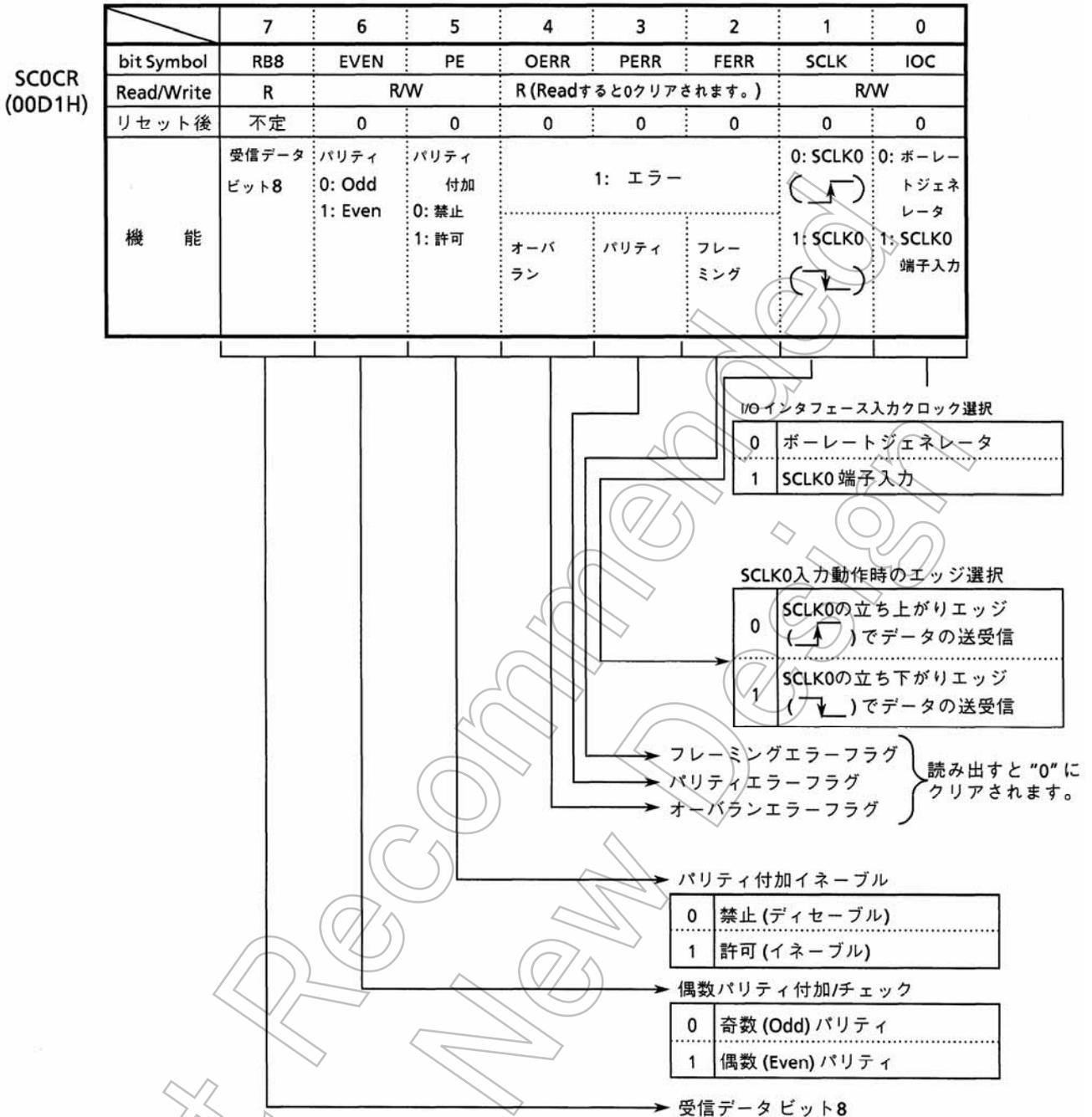
### 3.10.1 コントロールレジスタ

各シリアルチャネルは、3つのコントロールレジスタ (チャンネル 0 では SC0CR, SC0MOD, BROCR) によって制御されています。また送受信データは、同チャネルの SC0BUF レジスタに格納されます。



注) チャンネル1用は、SC1MOD (D6H) にあります。

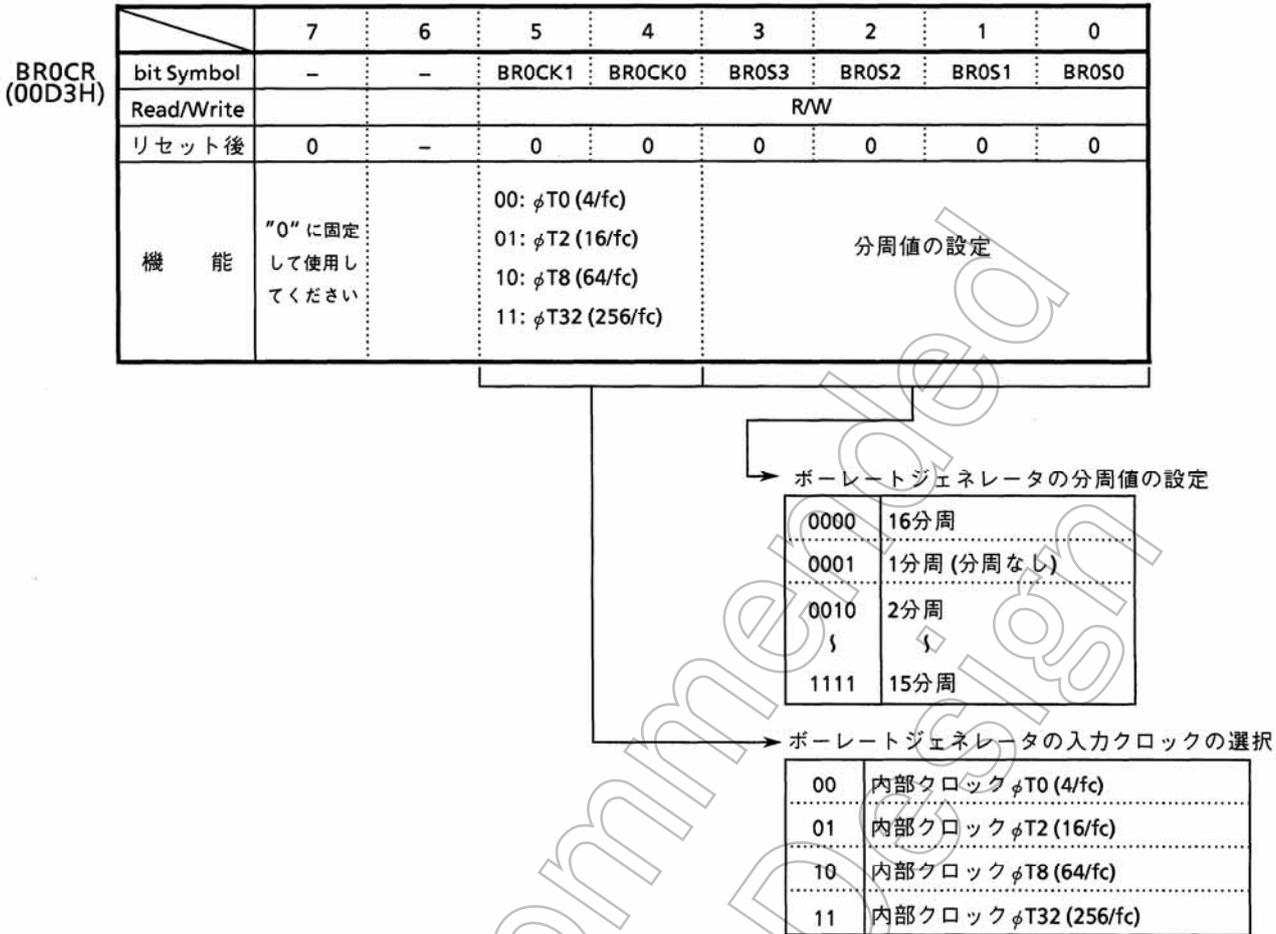
図 3.10.2 シリアルモードコントロールレジスタ (チャンネル0用、SC0MOD)



注1) チャンネル1用は、SC1CR (D5H) にあります。

注2) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図 3.10.3 シリアルコントロールレジスタ (チャンネル0用、SC0CR)



- 注 1) チャンネル 1 用は、BR1CR (D7H) にあります。
- 注 2) ポーレートジェネレータを使用するときは、T16RUN<PRRUN>= "1" に設定してプリスケアラを RUN 状態にしてください。
- 注 3) ポーレートジェネレータ分周値の 1 分周は UART のみ有効です。I/O インタフェースモードでは、設定しないでください。

図 3.10.4 ポーレートジェネレータコントロール (チャンネル 0 用、BR0CR)



図 3.10.5 シリアル送受信バッファレジスタ (チャンネル 0 用、SC0BUF)

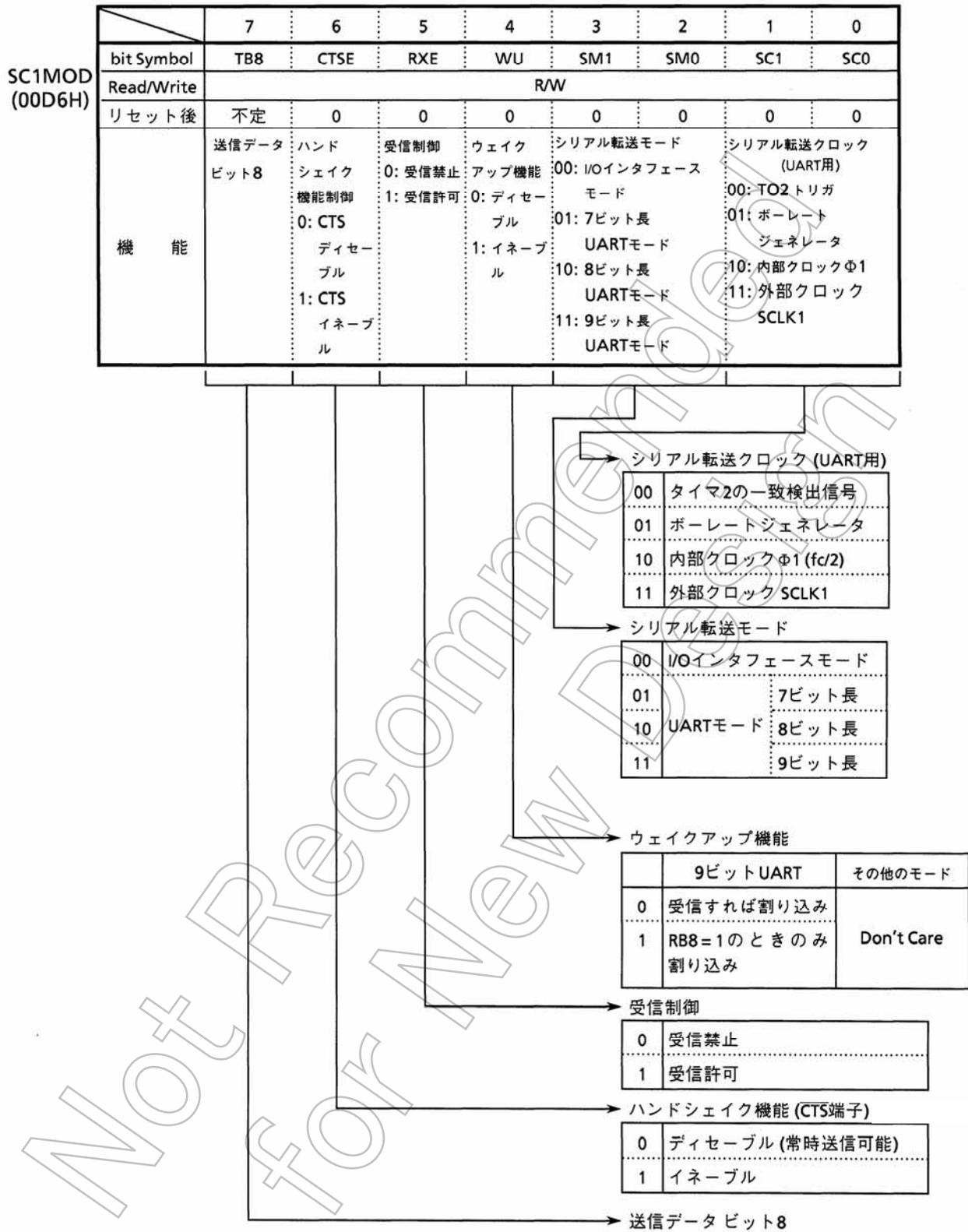
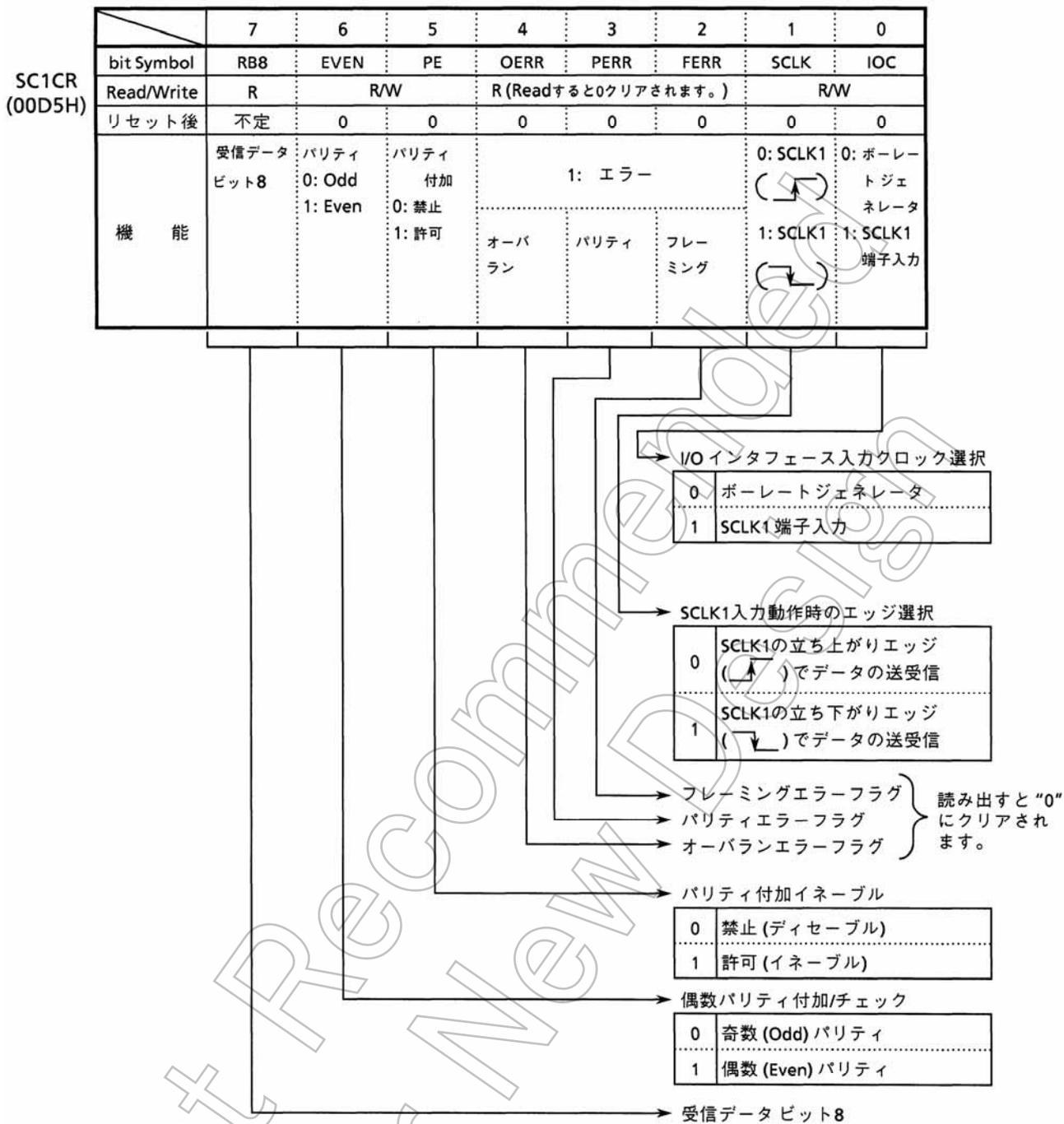


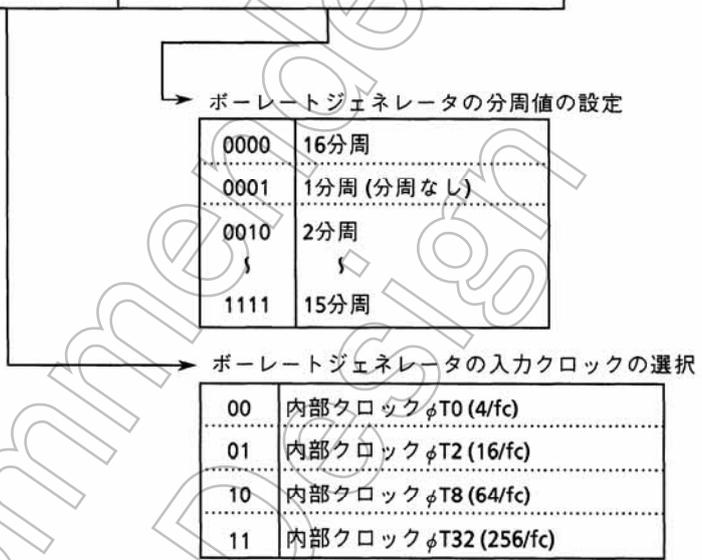
図 3.10.6 シリアルモードコントロールレジスタ (チャンネル 1 用、SC1MOD)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて1ビットのみのテストは行わないでください。

図 3.10.7 シリアルコントロールレジスタ (チャンネル1用、SC1CR)

	7	6	5	4	3	2	1	0
BR1CR (00D7H)	-	-	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
Read/Write	R/W							
リセット後	0	-	0	0	0	0	0	0
機能	"0" に固定して使用してください		00: $\phi T0$ (4/fc) 01: $\phi T2$ (16/fc) 10: $\phi T8$ (64/fc) 11: $\phi T32$ (256/fc)		分周値設定			



- 注1) ボーレートジェネレータを使用するときは、T16RUN<PRRUN>="1" に設定してプリスケアラを RUN 状態にしてください。
- 注2) ボーレートジェネレータ分周値の1分周は UART のみ有効です。I/O インタフェースモードでは、設定しないでください。

図 3.10.8 ボーレートジェネレータコントロールレジスタ (チャンネル0用、BR0CR)

	7	6	5	4	3	2	1	0	
	TB7	TB6	TB5	TB4	TB3	TB2	TB1	TB0	(送信用)
SC1BUF (00D4H)									
	7	6	5	4	3	2	1	0	
	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	(受信用)

注) リードモディファイライトできません。

図 3.10.9 シリアル送受信バッファレジスタ (チャンネル1用, SC1BUF)



注) リードモディファイライトできません。

図 3.10.10 ポートFファンクションレジスタ (PFFC)

3.10.2 構成

図 3.10.11にシリアルチャンネル 0 のブロック図を示します。  
チャンネル 1 も同様の回路構成です。

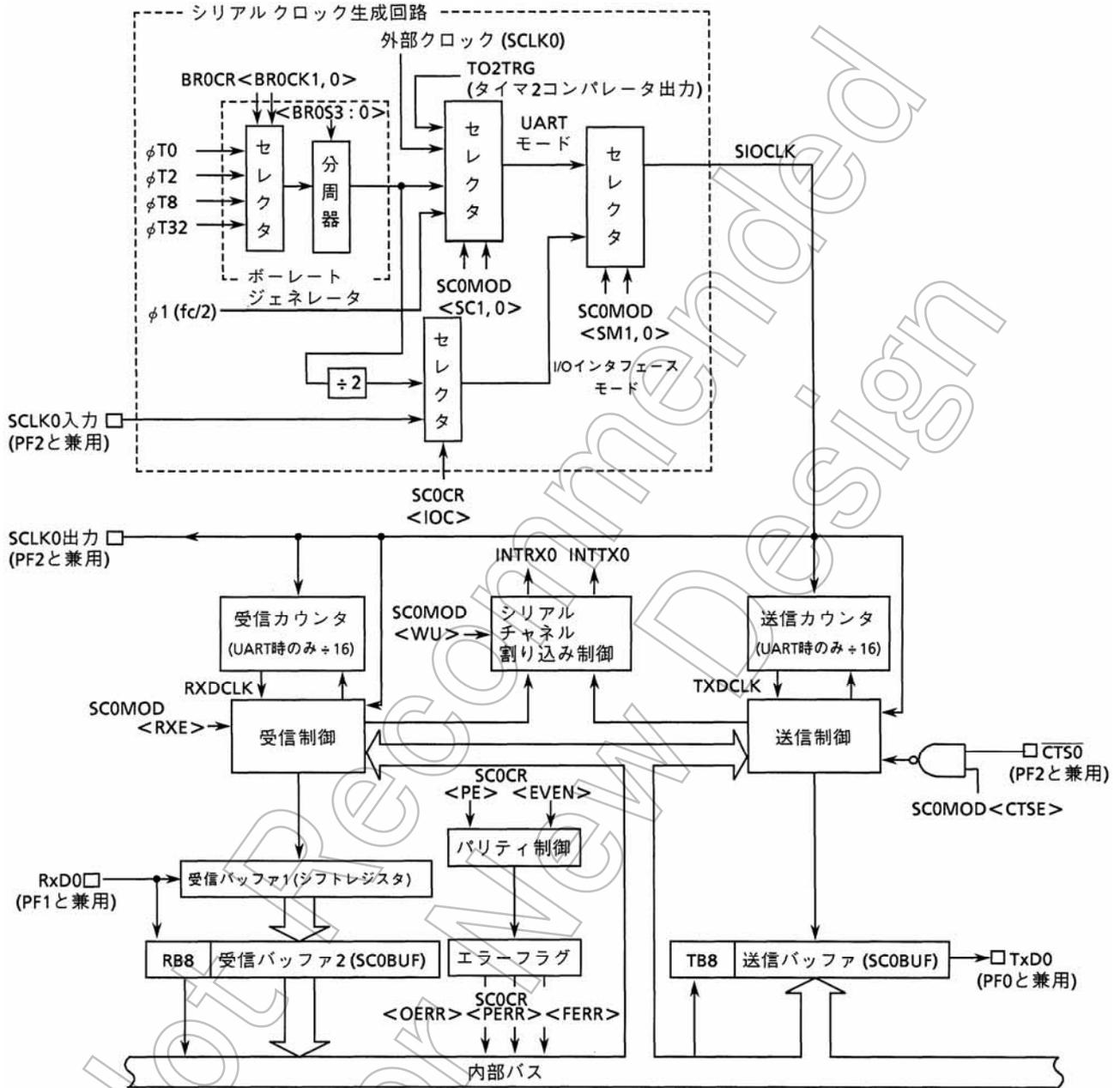


図 3.10.11 シリアルチャンネル 0 のブロック図

## (1) ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックはタイマと共用の9ビットプリスケアラより、 $\phi T0$  ( $4/f_c$ )、 $\phi T2$  ( $16/f_c$ )、 $\phi T8$  ( $64/f_c$ )、 $\phi T32$  ( $256/f_c$ ) を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ  $BR0CR/BR1CR$  のビット 5, 4< $BR0CK1:0$ >/< $BR1CK1:0$ >で設定します。

ボーレートジェネレータは、4ビットの分周器を内蔵しており、この分周器にて、1~16分周を行い転送速度を決定します。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UARTモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/O インタフェースモード

$$\text{Baud Rate} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

入力クロックと  $f_c$  との関係は、

$$\begin{aligned} \phi T0 &= 4/f_c \\ \phi T2 &= 16/f_c \\ \phi T8 &= 64/f_c \\ \phi T32 &= 256/f_c \text{ となります。} \end{aligned}$$

従って  $f_c = 19.6608 \text{ MHz}$  で入力クロック  $\phi T2$  ( $16/f_c$ )、分周値 = 8 の場合の UART モードのボーレートは、

$$\begin{aligned} \text{Baud Rate} &= \frac{f_c/16}{8} \div 16 \\ &= 19.6608 \times 10^6 \div 16 \div 8 \div 16 = 9600 \text{ (bps)} \text{ となります。} \end{aligned}$$

表 3.10.1にUARTモードのボーレートの例を示します。

シリアルチャネルのUARTモードでは、8ビットタイマ 2 を使ってボーレートを得ることもできます。タイマ 2 を使用したボーレートの例を表 3.10.2に示します。また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

$$\text{Baud Rate} = \text{外部クロック入力} \div 16$$

表 3.10.1 UART ボーレートの選択 (1) (ボーレートジェネレータ使用)

単位 (kbps)

fc [MHz]	入力クロック		$\phi T0$ (4/fc)	$\phi T2$ (16/fc)	$\phi T8$ (64/fc)	$\phi T32$ (256/fc)
	分周値					
18.432000	15		19.200	4.800	1.200	0.300
19.660800	8		38.400	9.600	2.400	0.600
↑	16		19.200	4.800	1.200	0.300

注) I/O インタフェースモード時の転送レートは本表の値の8倍になります。

表 3.10.2 UART ボーレートの選択 (2) (タイマ2入力クロック $\phi T1$ を使用)

単位 (kbps)

TREG2 \ fc	20 MHz	19.6608 MHz	16 MHz
01H			
02H		76.8	62.5
03H			
04H		38.4	31.25
05H	31.25		
06H			
08H		19.2	
0CH			
10H		9.6	

ボーレートの算出方法 (タイマ2を使用した場合)

$$\text{転送レート} = \frac{fc}{\text{TREG2} \times 8 \times 16}$$

(タイマ2の入力クロックが $\phi T1$ の場合)

タイマ0の入力クロック

$$\phi T1 = 8/fc$$

$$\phi T4 = 32/fc$$

$$\phi T16 = 128/fc$$

注) I/O インタフェースモードでは、タイマ2の一致信号を転送クロックとして使用できません。

## (2) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

## ● I/O インタフェースモードの場合

SC1CR<IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC1CR<IOC> = “1” の SCLK 入力モードのときは、SC1CR<SCLKS>レジスタの設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

## ● 非同期通信 (UART) モードの場合

SC0MOD または SC1MOD レジスタの<SC1:0>ビットの設定により、前記ボーレートジェネレータからのクロックか、内部クロック $\phi 1$  (500 kbps @  $f_c = 16$  MHz) か、タイマ 2 からの一致検出信号か、または外部クロックのいずれかを選択し、基本クロック SIOCLK をつくります。

## (3) 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK<sub>16</sub> 発が用いられ 7, 8, 9 発目でデータをサンプリングします。

3 度のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 発目のクロックで、データが 1, 0, 1 であれば、受信データは “1” と判断され、また、0, 0, 1 であれば “0” と判断されます。

## (4) 受信制御部

## ● I/O インタフェースモードの場合

SC1CR<IOC> = “0” の SCLK 出力モードのときは、SCLK<sub>1</sub> 端子へ出力されるシフトクロックの立ち上がりで RxD<sub>1</sub> 端子をサンプリングします。

SC1CR<IOC> = “1” の SCLK 入力モードのときは、SC1CR<SCLKS>レジスタの設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで RxD<sub>1</sub> 端子をサンプリングします。

## ● 非同期通信 (UART) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 回のサンプリング中 2 回以上 “0” であれば正常なスタートビットと判断し、受信動作を開始します。データ受信中も、多数決論理により受信データを判断しています。

## (5) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろるともう一方の受信バッファ 2 (SC0BUF/SC1BUF) へ移されるとともに割り込み INTRX0/INTRX1 が発生します。

CPU は受信バッファ 2 (SC0BUF/SC1BUF) の方を読み出します。CPU が受信バッファ 2 (SC0BUF/SC1BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF/SC1BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR<RB8>/SC1CR<RB8> の内容は保存されていますが、受信バッファ 1 の内容は失われます。受信バッファ 2 (SC0BUF/SC1BUF) を読み出すことにより割り込み要求フラグ INTRX0<IRX0C>, INTRX1<IRX1C> がクリアされます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR<RB8>/SC1CR<RB8>に格納されます。

9 ビット UART の場合、SC0MOD<WU>/SC1MOD<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>/SC1CR<RB8> = “1”のときのみ、割り込み INTRX0/INTRX1 が発生します。

## (6) 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 発ごとに送信クロック TxDCLK を生成します。

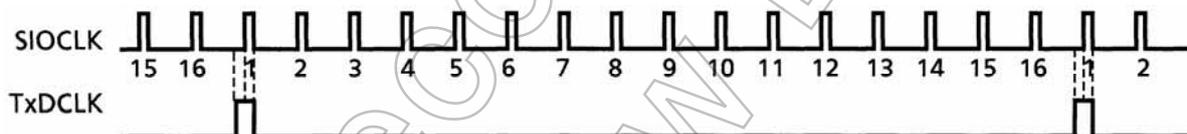


図 3.10.12 送信クロックの生成

## (7) 送信制御部

- I/O インタフェースモードの場合

SC1CR<IOC> = “0” の SCLK 出力モードのときは、SCLK1 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TxD1 端子へ出力します。

SC1CR<IOC> = “1” の SCLK 入力モードのときは、SC1CR<SCLKS>レジスタの設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TxD1 端子へ出力します。

- 非同期通信 (UART) モード

送信バッファに CPU から送信データが書き込まれると次の TxDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック TxDSFT をつくります。

### ハンドシェイク機能

シリアルチャネルは $\overline{\text{CTS}}$ 端子を持っており、この端子を使用することにより、1フレーム単位での送信が可能となり、オーバーランエラーの発生を防ぐことができます。この機能はSC0MOD/SC1MOD<CTSE>によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS}}$ 端子が“H”レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS}}$ 端子が“L”レベルに戻るまで送信を停止します。ただし、INTTX0割り込みは発生し、次の送信データをCPUに要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき(受信割り込みルーチン内)に $\overline{\text{RTS}}$ 機能に割り当てた任意の1ポートを“H”レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

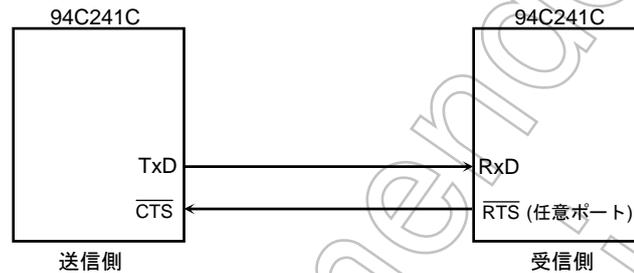
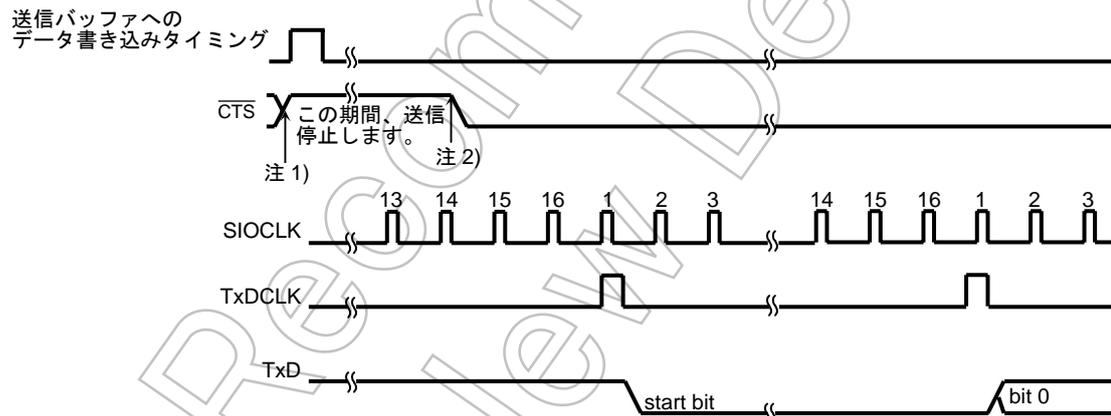


図 3.10.13 ハンドシェイク機能



注 1) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

注 2)  $\overline{\text{CTS}}$ 信号立ち下がり後の最初のTxDCLKクロックの立ち下がりから送信を開始します。

図 3.10.14  $\overline{\text{CTS}}$  (Clear to send) 信号のタイミング

## (8) 送信バッファ

送信バッファ (SC0BUF/SC1BUF) は CPU より書き込まれた送信データを送信制御部で生成される送信シフトクロック TxDSFT により最下位ビットから順にシフトアウトし送出されます。全ビットシフトアウトされると送信バッファエンプティで INTTX0/INTTX1 割り込みが発生します。

## (9) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE>/SC1CR<PE>を“1”にするとパリティ付加の送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。SC0CR <EVEN>/SC1CR <EVEN>レジスタによって偶数(奇数)パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SC0BUF/SC1BUF) に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは SC0BUF <TB7>/SC1BUF <TB7>に、8ビット UART モードのときは SC0MOD <TB8>/SC1MOD <TB8>にパリティを格納して、送信します。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF/SC1BUF) に移されたデータにより、パリティを自動発生し、7ビット UART モードのときは、SC0BUF <RB7>/SC1BUF <RB7>と、8ビット UART モードのときは、SC0CR <RB8>/SC1CR <RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR <PERR>/SC1CR <PERR>フラグがセットされます。

## (10) エラーフラグ

受信データの信頼性を上げるために 3つのエラーフラグが用意されています。

## 1. オーバランエラー&lt;OERR&gt;

受信バッファ 2 (SCBUF0/1) に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

## 2. パリティエラー&lt;PERR&gt;

受信バッファ 2 (SCBUF0/1) に移されたデータから発生したパリティと、RxD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

## 3. フレーミングエラー&lt;FERR&gt;

受信データのストップビットを中央付近で 3回サンプリングし、多数決した結果が“0”の場合フレーミングエラーが発生します。

## (11) 各信号発生タイミング

## 1) UART モードの場合

## 受信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ, 7 Bit
割り込み発生 タイミング	最終ビット (Bit8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近
フレーミングエラー 発生タイミング	ストップビットの 中央付近	ストップビットの 中央付近	ストップビットの中央付近
パリティエラー 発生タイミング	———	最終ビット (パリティ ビット) の中央付近	←
オーバランエラー 発生タイミング	最終ビット (Bit8) の 中央付近	最終ビット (パリティ ビット) の中央付近	ストップビットの中央付近

注) 9 ビットモード、8 ビット+パリティモードでは、割り込みは9 ビット目と同時に発生します。そのため割り込み発生後、1 ビット転送分 (ストップビットが転送されるまで) 時間を置いて、フレーミングエラーのチェックをしてください。

## 送信

モード	9 Bit	8 Bit + パリティ	8 Bit, 7 Bit + パリティ, 7 Bit
割り込み発生 タイミング	ストップビット 送出の直前	←	←

## 2) I/O インタフェースモードの場合

送信割り込み 発生タイミング	SCLK 出力モード	最終 SCLK の立ち上がり直後 (図 3.10.17 参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード), 立ち下がりモード では立ち下がり直後 (図 3.10.18 参照)
受信割り込み 発生タイミング	SCLK 出力モード	受信バッファ 2 (SC1BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.10.19 参照)
	SCLK 入力モード	受信バッファ 2 (SC1BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.10.20 参照)

3.10.3 動作説明

(1) モード 0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタ等とデータの送受信を行います。

このモードには、同期クロック (SCLK) を出力する SCLK 出力モードと、外部より同期クロック (SCLK) を入力する SCLK 入力モードがあります。

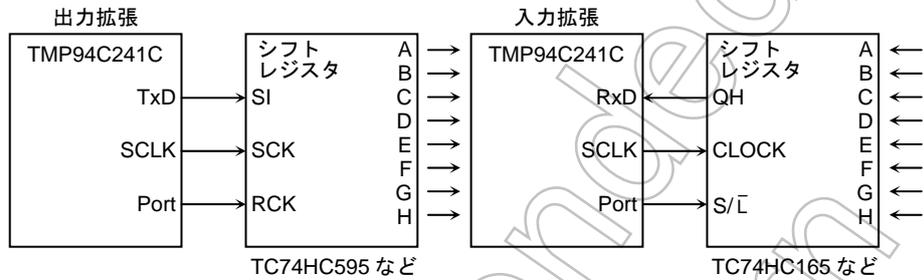


図 3.10.15 SCLK 出力モード接続例

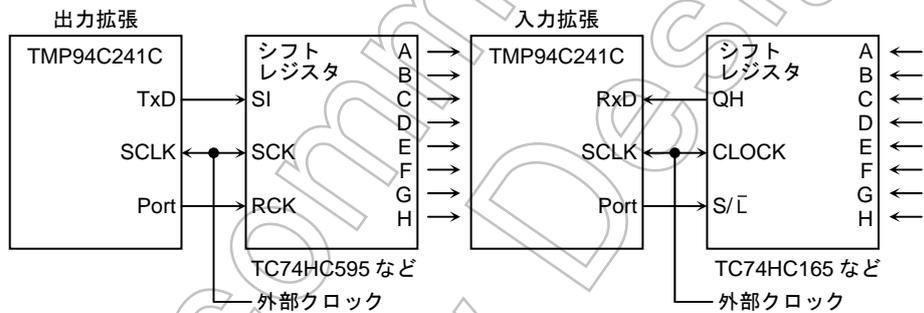


図 3.10.16 SCLK 入力モード接続例

## 1. 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TxD 端子、同期クロックが SCLK 端子より出力されます。データがすべて出力されると、INTES1<ITX1C>がセットされ、割り込み INTTX1 が発生します。

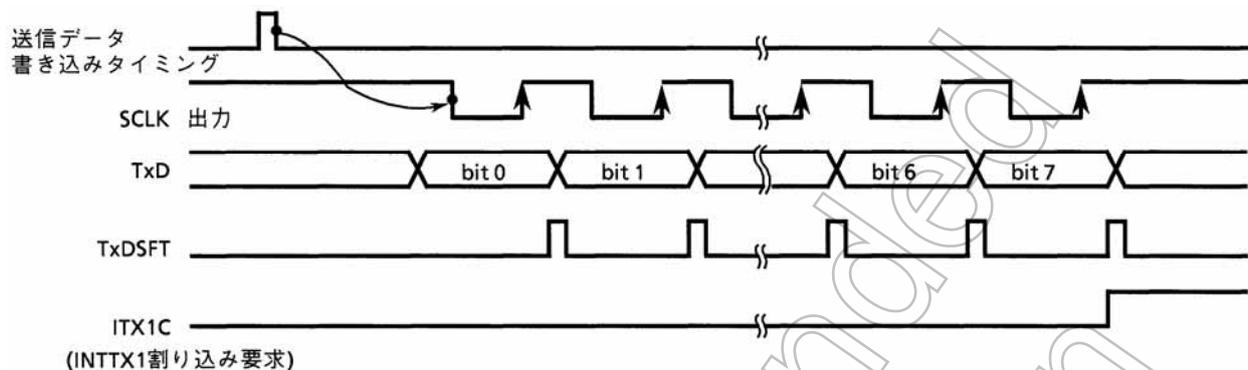


図 3.10.17 I/O インタフェース モード送信動作 (SCLK 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK 入力アクティブになると、8 ビットのデータが TxD1 端子より出力されます。

データがすべて出力されると、INTES1<ITX1C>がセットされ割り込み INTTX1 が発生します。

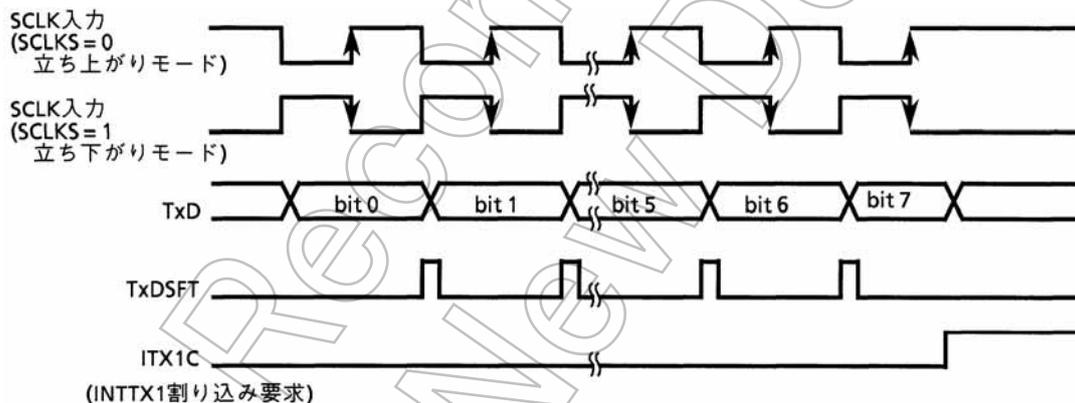


図 3.10.18 I/O インタフェース モード送信動作 (SCLK 入力モード)

## 2. 受信

SCLK 出力モードでは受信データが CPU に読み取られ、受信割り込みフラグ  $INTES1<IRX1C>$  がクリアされるたびに、SCLK 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC1BUF) に移され、再び  $INTES1<IRX1C>$  がセットされて割り込み  $INTRX1$  が発生します。

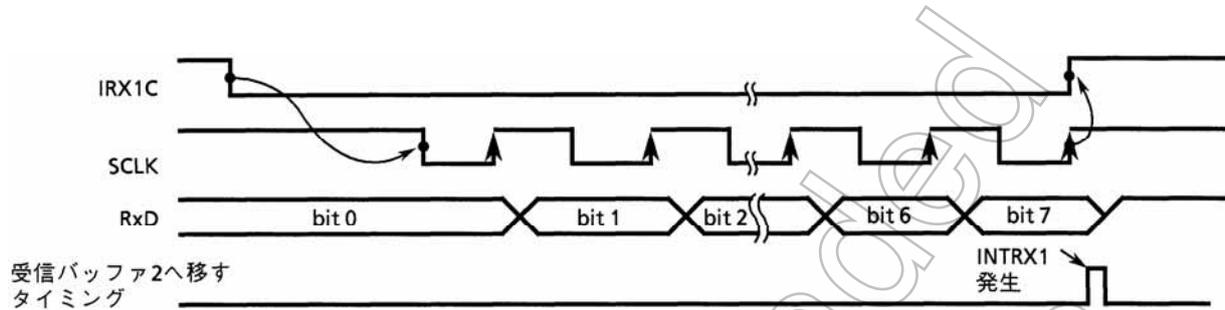


図 3.10.19 I/O インタフェース モード受信動作 (SCLK 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ  $INTES1<IRX1C>$  がクリアされている状態で、SCLK 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC1BUF) に移され、再び  $INTES1<IRX1C>$  がセットされて割り込み  $INTRX1$  が発生します。

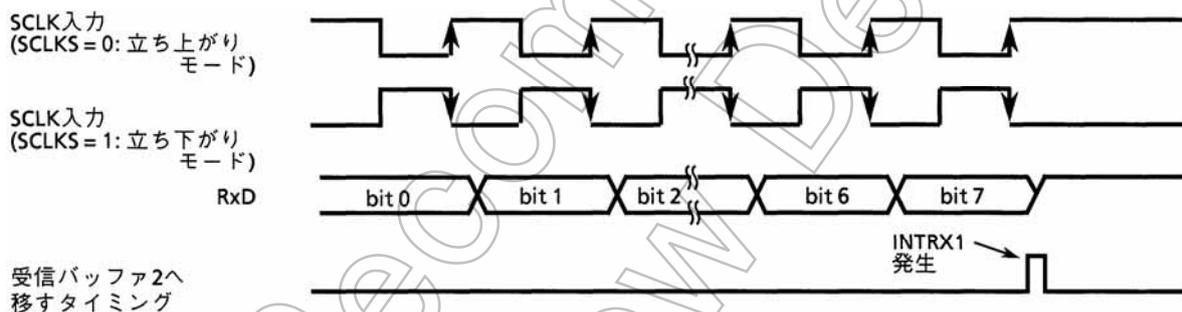


図 3.10.20 I/O インタフェース モード受信動作 (SCLK 入力モード)

注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 ( $SC1MOD<RXE>=1$ ) にしておく必要があります。

(2) モード1 (7ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD<SM1:0>/SC1MOD<SM1:0>を“01”にセットすると7ビットUARTモードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE>/SC1CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE> = “1” (イネーブル) のときは、SC0CR<EVEN>/SC1CR<EVEN>で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。ここではチャンネル0を例にとり説明します。



	7	6	5	4	3	2	1	0	
PFCR	←	-	-	-	-	-	-	1	} PFOをTxD0端子とします。 7ビットUARTモードに設定します。 偶数パリティを付加します。 2400 bpsに設定します。 ボーレートジェネレータ用にプリスケアラを起動します。 INTTX0割り込みをイネーブル、レベル4にします。 送信データをセットします。
PFFC	←	X	-	-	X	-	-	1	
SC0MOD	←	X	0	-	X	0	1	0	
SC0CR	←	X	1	1	X	X	X	0	
BROCR	←	0	X	1	0	1	0	0	
T16RUN	←	1	X	-	-	-	-	-	
INTES0	←	X	1	0	0	-	-	-	
SC0BUF	←	*	*	*	*	*	*	*	

X: Don't care、 -: No change

(3) モード2 (8ビット UART モード)

SC0MOD<SM1:0>/SC1MOD<SM1:0>を10にセットすると8ビットUARTモードになります。このモードでは、パリティビットの付加が可能で SC0CR<PE>/SC1CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、SC0CR<EVEN>/SC1CR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。ここではチャンネル0を例にとって説明します。



メインルーチンでの設定

	7	6	5	4	3	2	1	0
PFCR	← X	-	-	-	X	-	0	-
SC0MOD	← -	-	0	1	X	1	0	0
SC0CR	← X	0	1	X	X	X	0	0
BR0CR	← 0	X	0	1	1	0	0	0
T16RUN	← 1	X	-	-	-	-	-	-
INTES0	← -	-	-	-	-	X	1	0

PF1 (RxD0) を入力ピンにします。  
 8 ビット UART モード、受信イネーブルにします。  
 奇数パリティ付加に設定します。  
 9600 bps に設定します。  
 ボーレートジェネレータ用にプリスケアラを起動します。  
 INTRX0 をイネーブル、レベル 4 に設定します。

割り込みルーチンでの設定例

```
Acc ← SC0CR AND 00011100
if Acc ≠ 0 then ERROR
Acc ← SC0BUF
```

} エラーチェックを行います。  
 受信データを読み取ります。

X: Don't care、-: No change

(4) モード 3 (9 ビット UART)

SC0MOD<SM1:0>/SC1MOD<SM1:0>を“11”にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタの<TB8>に書き込み、受信の場合シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SC0BUF/SC1BUFの方を後にします。

ウェイクアップ機能

9 ビット UART モードでは、SC0MOD<WU>/SC1MOD<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8> = “1”のときのみ割り込み INTRX0/INTRX1 が発生します。

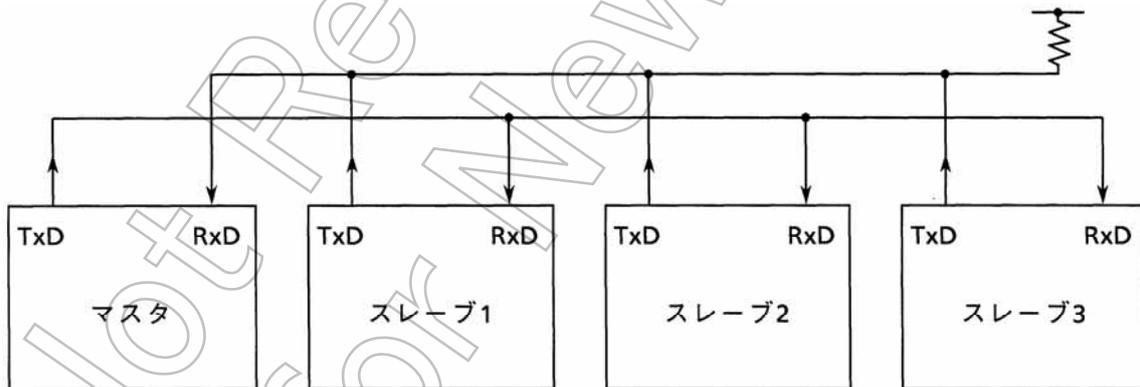
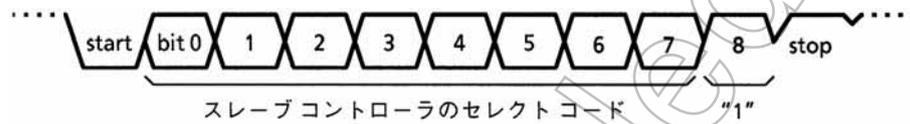


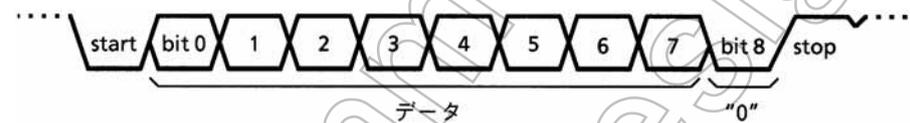
図 3.10.21 ウェイクアップ機能によるシリアルリンク

プロトコル
-------

- (1) マスタおよびスレーブコントローラは9ビットUARTモードにします。
- (2) 各スレーブコントローラはSC0MOD<WU>/SC1MOD<WU>を“1”にセットし、受信可能状態とします。
- (3) マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)<TB8>は“1”にします。

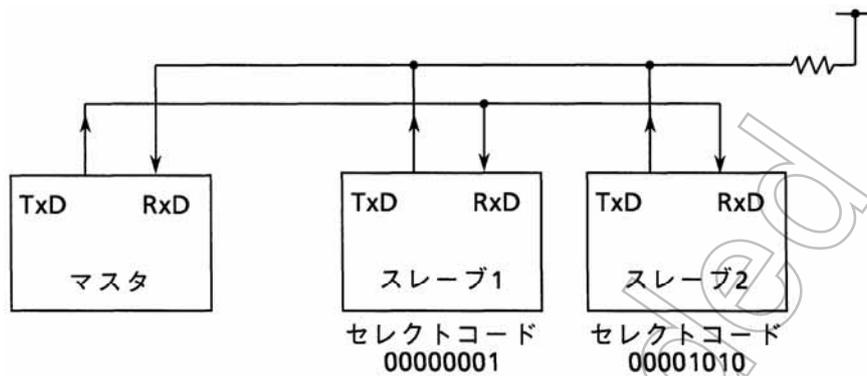


- (4) 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
- (5) マスタコントローラは指定したスレーブコントローラ(SC0MOD<WU>/SC1MOD<WU> = “0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)<TB8>は“0”にします。



- (6) WU = 1のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため割り込みINTRX0/INTRX1が発生せず、受信データを無視します。  
また、<WU> = “0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック  $\phi 1$  を転送クロックとして 2 つのスレーブコントローラとシリアルリンクさせる場合



このモードでのシリアルチャンネル 0, 1 は同一の動作をしますので、ここではチャンネル 0 について説明します。

● マスタコントローラの設定

メインルーチン

```

PF0CR ← - - - - - 0 1
PF0FC ← X - - - X - 1 1 } PF0をTxD、PF1をRxD端子にします。
INTES0 ← X 1 0 0 X 1 0 1 } INTTX0をイネーブル、割り込みレベルを4に設定します。
                                     INTRX0をイネーブル、割り込みレベルを5に設定します。
SC0MOD ← 1 0 1 0 1 1 1 0 } 9ビットUARTモード、転送クロックを $\phi 1$ に設定します。
SC0BUF ← 0 0 0 0 0 0 0 1 } スレーブ1のセレクトコードをセットします。
    
```

割り込みルーチン (INTTX0)

```

SC0MOD ← 0 - - - - -
SC0BUF ← * * * * *
    
```

TB8を“0”にします。  
送信データをセットします。

● スレーブ1の設定

メインルーチン

```

PF0CR ← - - - - - 0 0 } PF0をTxD、PF1をRxDにします。
PF0FC ← X - - - X - 1 1 }
INTES0 ← X 1 0 1 X 1 1 0 } INTTX0, INTRX0をイネーブルにします。
SC0MOD ← 0 0 1 1 1 1 1 0 } 9ビットUARTモード転送クロック $\phi 1$  ( $f_c/2$ )で、<WU> = “1”
                                     に設定します。
    
```

割り込みルーチン (INTRX0)

```

Acc ← SC0BUF
if Acc = セレクトコード (01H)
Then SC0MOD ← - - - - 0 - - - -
    
```

<WU> = “0” にクリアします。

### 3.11 アナログ/デジタルコンバータ

TMP94C241C は、8 チャンネルアナログ入力を持つ 10 ビット逐次比較方式アナログ/デジタルコンバータ (AD コンバータ) を内蔵しています。

図 3.11.1 に AD コンバータのブロック図を示します。8 チャンネルのアナログ入力端子 (AN7~AN0) は、入力専用ポート G と兼用で、入力ポートとしても使用できます。

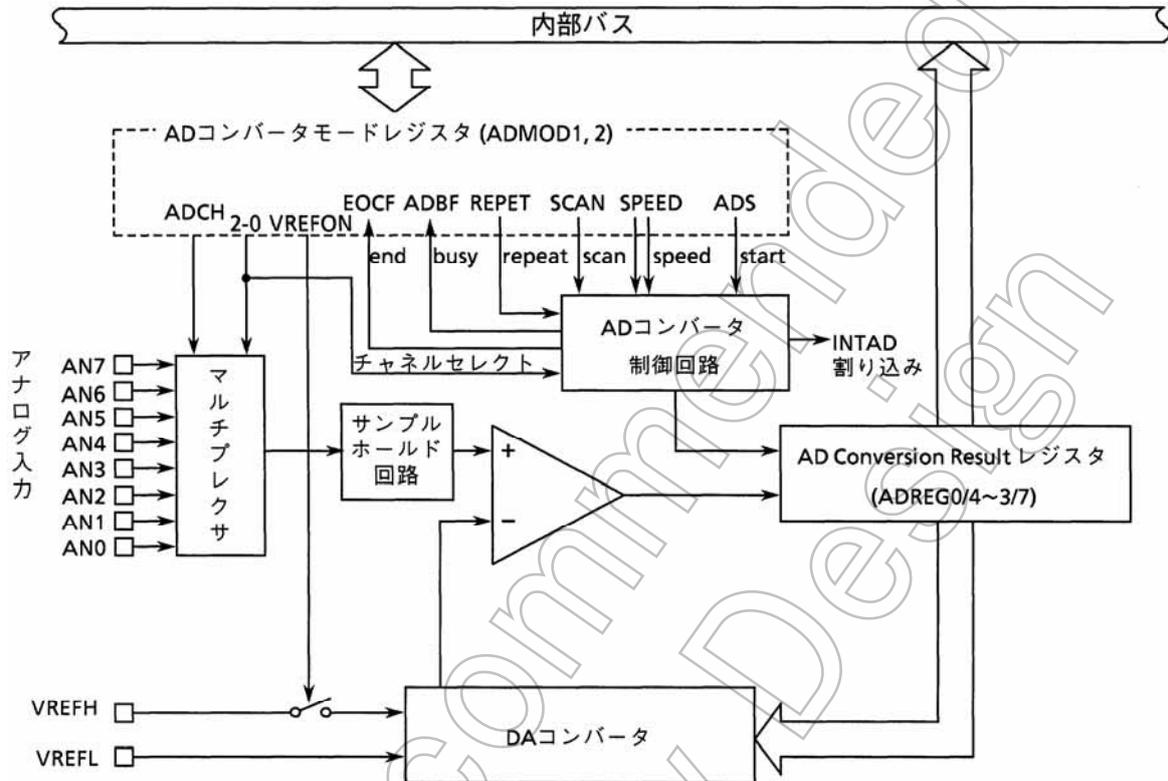


図 3.11.1 AD コンバータのブロック図

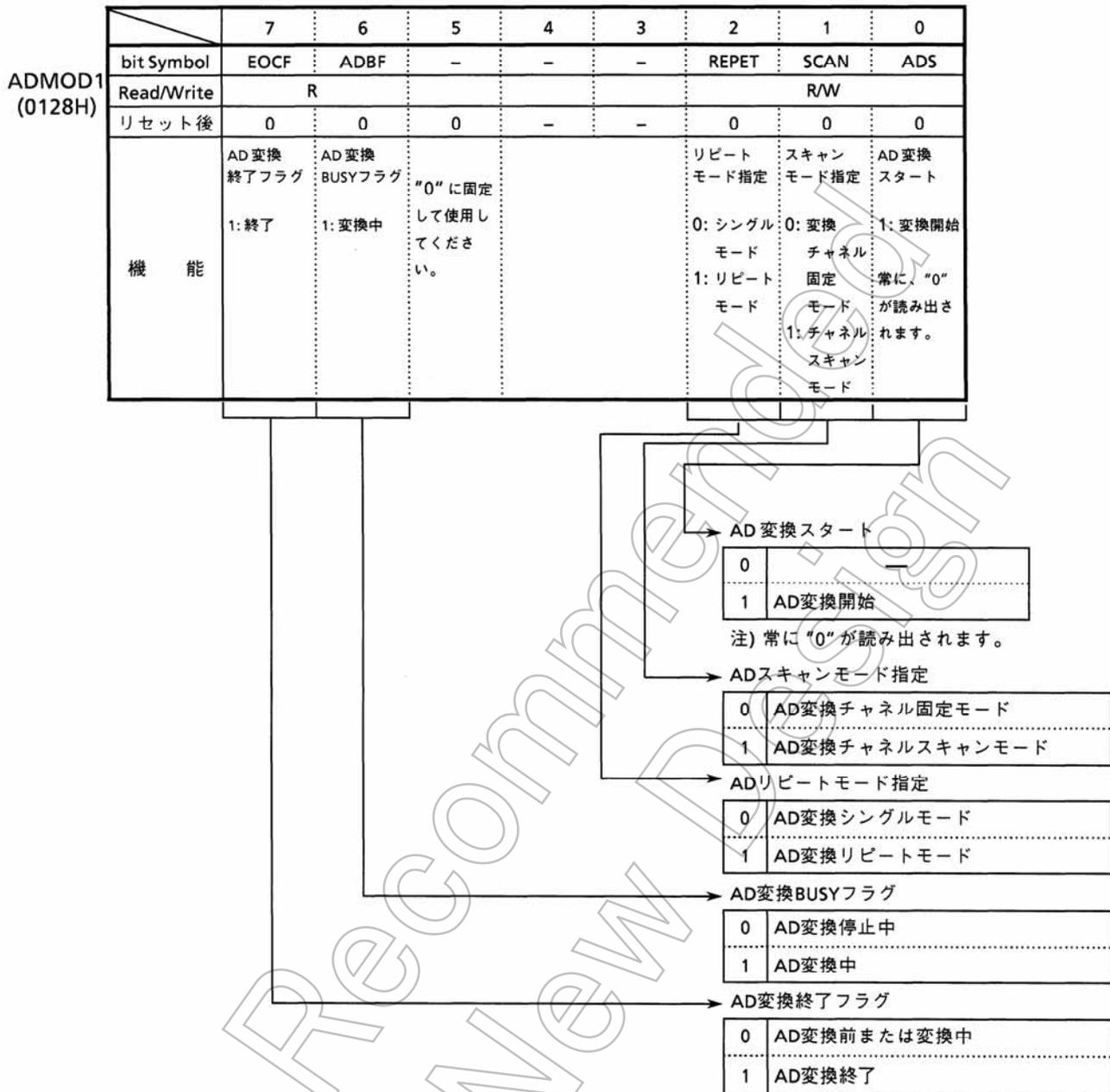


図 3.11.2 ADコントロールレジスタ (1/2)

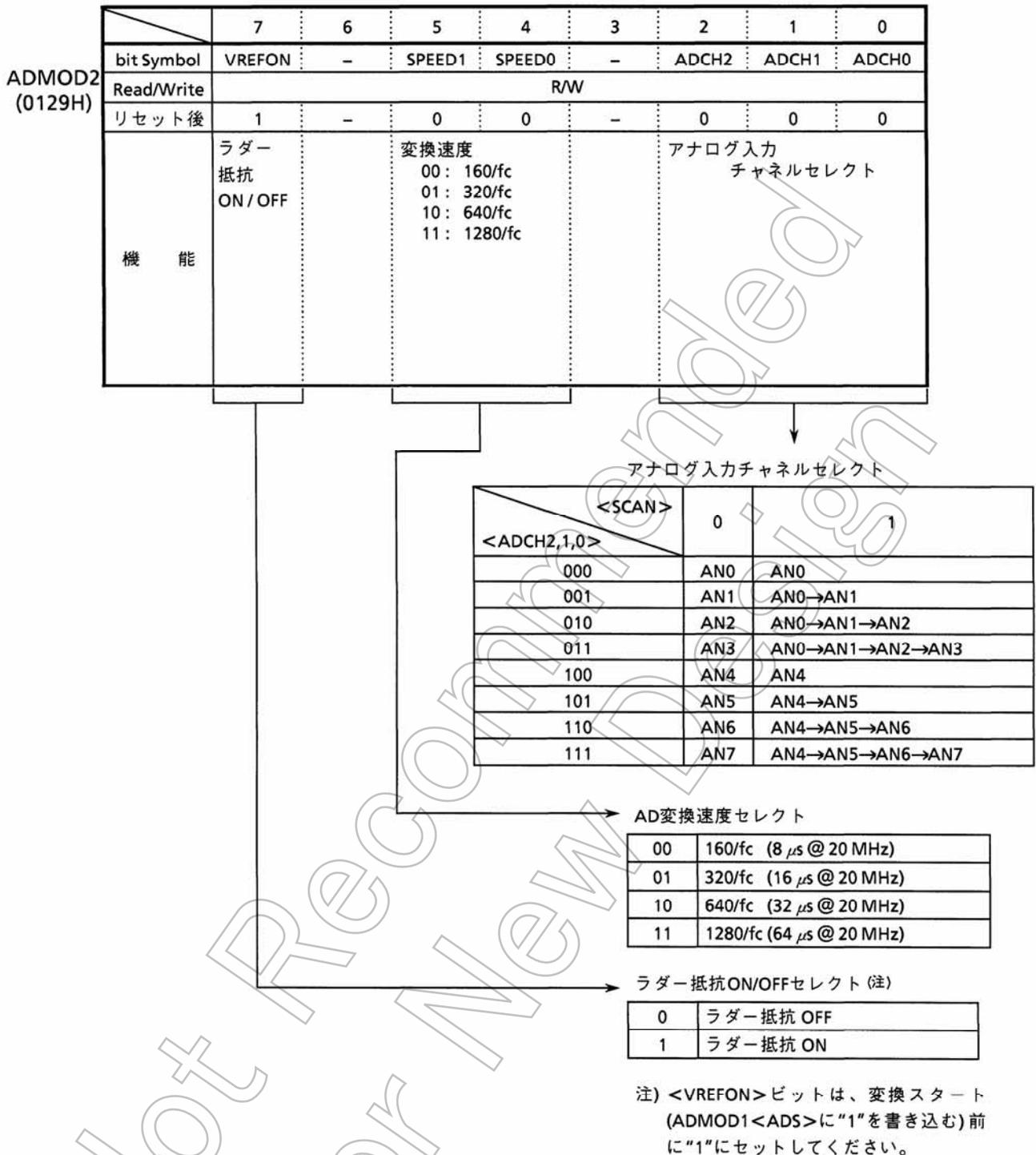


図 3.11.3 AD コントロールレジスタ (2/2)





## 3.11.1 動作説明

## (1) アナログ基準電圧

アナログ基準電圧の High 側を VREFH 端子に、Low 側を VREFL 端子に印加します。

VREFH~VREFL 間の基準電圧をラダー抵抗により 1024 分割し、アナログ入力電圧と比較判定を行うことにより、AD 変換されます。

ADMOD2<VREFON>ビットに“0”を書き込むことにより、VREFH~VREFL 間のスイッチを OFF できます。

なお、OFF している状態から AD 変換スタートさせる場合は、必ず<VREFON>に“1”を書き込んだ後、ADMOD1<ADS>に“1”を書き込みスタートしてください。

## (2) アナログ入力チャンネル

アナログ入力チャンネルの選択は、AD コンバータの動作モードによって異なります。

アナログ入力チャンネル固定モードでは ADMOD2<ADCH2:0>により、AN0~AN7 の 8 端子のうち 1 チャンネルを選択します。

アナログ入力チャンネルスキャンモードでは、ADMOD2<ADCH2:0>により、AN0 のみ、AN0 → AN1, AN0 → AN1 → AN2, AN0 → AN1 → AN2 → AN3, AN4 のみ、AN4 → AN5, AN4 → AN5 → AN6, AN4 → AN5 → AN6 → AN7 とスキャンするチャンネル数を選択します。

リセット動作により、AD 変換チャンネルレジスタ ADMOD2<ADCH2:0> = “000” に初期化されますので、AN0 端子が選択されます。

なお、アナログ入力チャンネルとして使用しない端子は、通常の入力ポートとして使用できます。

## (3) AD 変換開始

AD 変換は、AD 変換スタートレジスタ ADMOD1<ADS>に“1”を書き込むことにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ ADMOD1<ADBF>が“1”にセットされます。

## (4) AD 変換モード

AD 変換チャンネル固定/スキャンモードとシングル/リピート変換の 2 つのモードがあります。

チャンネル固定リピートモードでは、指定された 1 チャンネルの変換を、繰り返し行います。

スキャンリピートモードでは、スキャンを繰り返し行います。

AD 変換モードの選択は ADMOD1<REPET, SCAN>で行います。

## (5) AD 変換スピード選択

AD 変換スピードには、4 種類のスピードがあり、ADMOD2<SPEED1:0>レジスタで選択します。

リセット時 ADMOD2<SPEED1:0> = “00” に初期化されますので、変換時間は  $160/f_c$  ( $8 \mu\text{s}$  @ 20 MHz) となっています。

## (6) AD 変換終了と割り込み

- AD シングルモードに設定している場合

変換チャンネル固定の場合はその指定されたチャンネルの AD 変換が終了したときに、チャンネルスキャンの場合は最後のチャンネルの AD 変換を終了したときに、AD 変換終了を示す ADMOD1<EOCF>フラグが“1”にセット、ADMOD1<ADBF>フラグは“0”にクリアされ割り込み INTAD が発生します。

- AD リピートモードに設定している場合

変換チャンネル固定/スキャンともリピートモードに設定している場合、AD 変換終了割り込み INTAD は使用できません。INTE0AD レジスタの割り込み要求レベルは常に“000”にして割り込み要求を禁止してください。

また、リピートモードの動作を終了させたい場合は ADMOD1<REPET>レジスタに“0”を書き込んでください。そのとき実行中の変換を終了した時点でリピートモードを終了します。

## (7) AD 変換値の格納

AD 変換の結果レジスタは、チャンネル AN0 と AN4, AN1 と AN5, AN2 と AN6, AN3 と AN7 が兼用になっており、それぞれ ADREG04, ADREG15, ADREG26, ADREG37 に格納されます。ただし、現在どちらのチャンネルの変換値が、レジスタに格納されているかは認識できません。リピートモード時は変換終了ごとに更新されます。

ADREG04~ADREG37 は読み出しのみ可能です。

## (8) AD 変換値の読み出し

AD 変換の結果は、ADREG04~ADREG37 に格納されています。ADREG04~ADREG37 を 1 つでも読み出すと、ADMOD1<EOCF>は“0”にクリアされます。

設定例: 1. AN3 端子を変換速度 = 160/fc モードで AD 変換し、AD 割り込み INTAD ルーチンで変換値を 0100H のメモリへ転送する場合。

## メインルーチンでの設定

INTE0AD	← X 1 0 0 - - - -	INTAD をイネーブル、レベル 4 にします。
ADMOD2	← 1 X 0 0 X 0 1 1	アナログ入力チャンネルを AN3 に指定し、変換速度
ADMOD1	← X X 0 X X 0 0 1	= 160/fc、シングル固定モードで変換スタートします。

## 割り込みルーチンでの処理例

WA	← ADREG37	WA (16ビット) へ ADREG37L, ADREG37H の値を読み出します。
WA	>> 6	WA を右へ 6 回シフトし上位ビットに 0 を入れます。
(000100H)←	WA	0100H のメモリへ WA の内容を書き込みます。

2. AN4~AN7 の 4 端子を変換速度 = 320/fc モード、チャンネルスキャンリピートモードで AD 変換し続ける場合

INTE0AD	← X 0 0 0 - - - -	INTAD を禁止します。
ADMOD2	← 1 X 0 1 X 1 1 1	アナログ入力チャンネル AN4~AN7 をスキャンリ
ADMOD1	← X X 0 X X 1 1 1	ピートモードで AD 変換スタートします。

X: Don't care、 -: No change

### 3.12 8ビット電圧出力型 DA コンバータ

TMP94C241C は 2 チャンネルの 8 ビット分解能 DA コンバータを内蔵しており次のような特長をもっています。

- スtring抵抗方式バッファ出力型の 8 ビット分解能 DA コンバータを 2 チャンネル内蔵しています。
- 出力されるアナログ電圧  $V$  は DAREG0, DAREG1 レジスタに設定した値で決まります。

図 3.12.1 に DA コンバータのブロック図を示します。

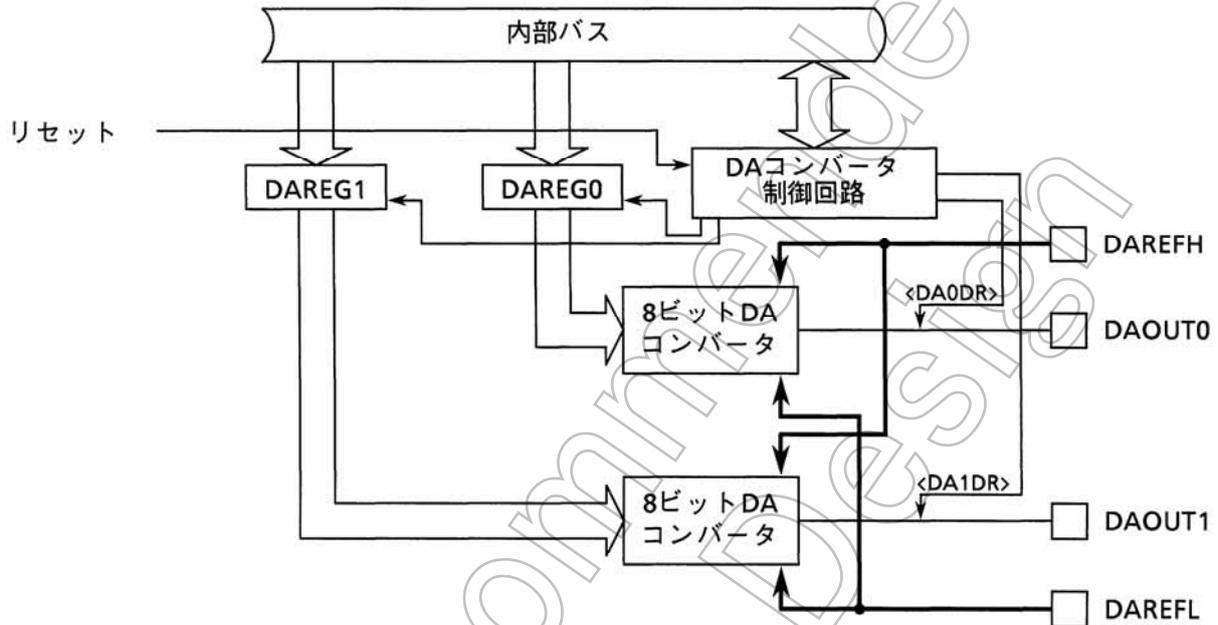


図 3.12.1 DA コンバータブロック図

DAコンバータドライブレジスタ

		7	6	5	4	3	2	1	0
DADRV (0132H)	bit Symbol	-	-	-	-	-	-	DA1DR	DA0DR
	Read/Write							R/W	
	リセット後	-	-	-	-	-	-	R/W	
	機能							0: High-Z 1: レジスタ値変換出力	

→ DA出力ドライブ指定

0	High-Z
1	レジスタ値変換出力

DAコンバータ変換レジスタ0

		7	6	5	4	3	2	1	0
DAREG0 (0130H)	bit Symbol					-			
	Read/Write					W			
	リセット後					不定			
	機能	Register write で DA変換開始し、DAOUT0へ出力							

D/Aコンバータ変換レジスタ1

		7	6	5	4	3	2	1	0
DAREG1 (0131H)	bit Symbol					-			
	Read/Write					W			
	リセット後					不定			
	機能	Register write で DA変換開始し、DAOUT1へ出力							

DAコンバータのデジタル入力データとなるレジスタです。  
レジスタ値と出力電圧の関係は次のようになります。  
出力電圧  $V = (DAREFH - DAREFL) \times N / 256$  (Nはレジスタ値)

注) DAREG0, DAREG1 はリードモディファイライトできません。

図 3.12.2 DAコンバータ関係のレジスタ

## 3.12.1 動作説明

内蔵DAコンバータは、DAコンバータドライブレジスタ DADRV<DA1DR, DA0DR> の値が“1”であれば、DAコンバータ変換レジスタ DAREG1, DAREG0 のデジタル値をアナログ値へ変換して変換電圧をDAOUT1, DAOUT0 端子より出力します。入力データと出力電圧の関係を図 3.12.2に示します。

リセット動作により、<DA1DR>, <DA0DR> が“0”にリセットされるため、DAOUT1, DAOUT0 端子は、High-Z になります (DAREG1, DAREG0 は、不定となります)。DA コンバータを使用するときは、まず DAREG1, DAREG0 に入力データを書き込み、その後、使用するチャンネルの DADRV に“1”を書き込めば該当するアナログ値を出力します。リセット後、DADRV を先に“1”にセットした場合、DAREG1, DAREG0 が不定のため、不定のアナログ値を出力しますので、入力データを先に書き込む必要があります。

なお、STOP モード (WDMOD<HALTM1, 0> = 0, 1) に指定後、HALT 命令を実行すると DADRV、DAREG の値に関係なく DAOUT0, DAOUT1 端子は、High-Z になります

例: DAREFH = VCC DAREFL = GND に設定

	7	6	5	4	3	2	1	0	
DAREG1	←	1	1	1	1	1	1	1	FFHを書き込みます。DAOUT1 = $V_{CC} \times \frac{255}{256} \cong V_{CC}$
DAREG0	←	1	0	0	0	0	0	0	80Hを書き込みます。DAOUT0 = $V_{CC} \times \frac{128}{256} = \frac{V_{CC}}{2}$
DADRV	←	X	X	X	X	X	1	1	DAOUT1, DAOUT0を出力します。
DAREG1	←	1	0	0	0	0	0	0	80Hを書き込みます。DAOUT1 = $\frac{V_{CC}}{2}$ を出力します。
DAREG0	←	1	1	1	1	1	1	1	FFHを書き込みます。DAOUT0 = $V_{CC}$ を出力します。

注) DAOUT1, DAOUT0 端子が High-Z となることで不都合が生じる場合は、DAOUT1, DAOUT0 端子に 100 kΩのプルダウン抵抗を接続してください。

### 3.13 ウォッチドッグタイマ (暴走検出用タイマ)

TMP94C241C は、暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクابل割り込みを発生し CPU に知らせ、外部へはウォッチドッグタイマアウト端子 WDTOUT より “L” レベルを出力し周辺装置へ暴走の検出を知らせます。

#### 3.13.1 構成

図 3.13.1 にウォッチドッグタイマ (WDT) のブロック図を示します。

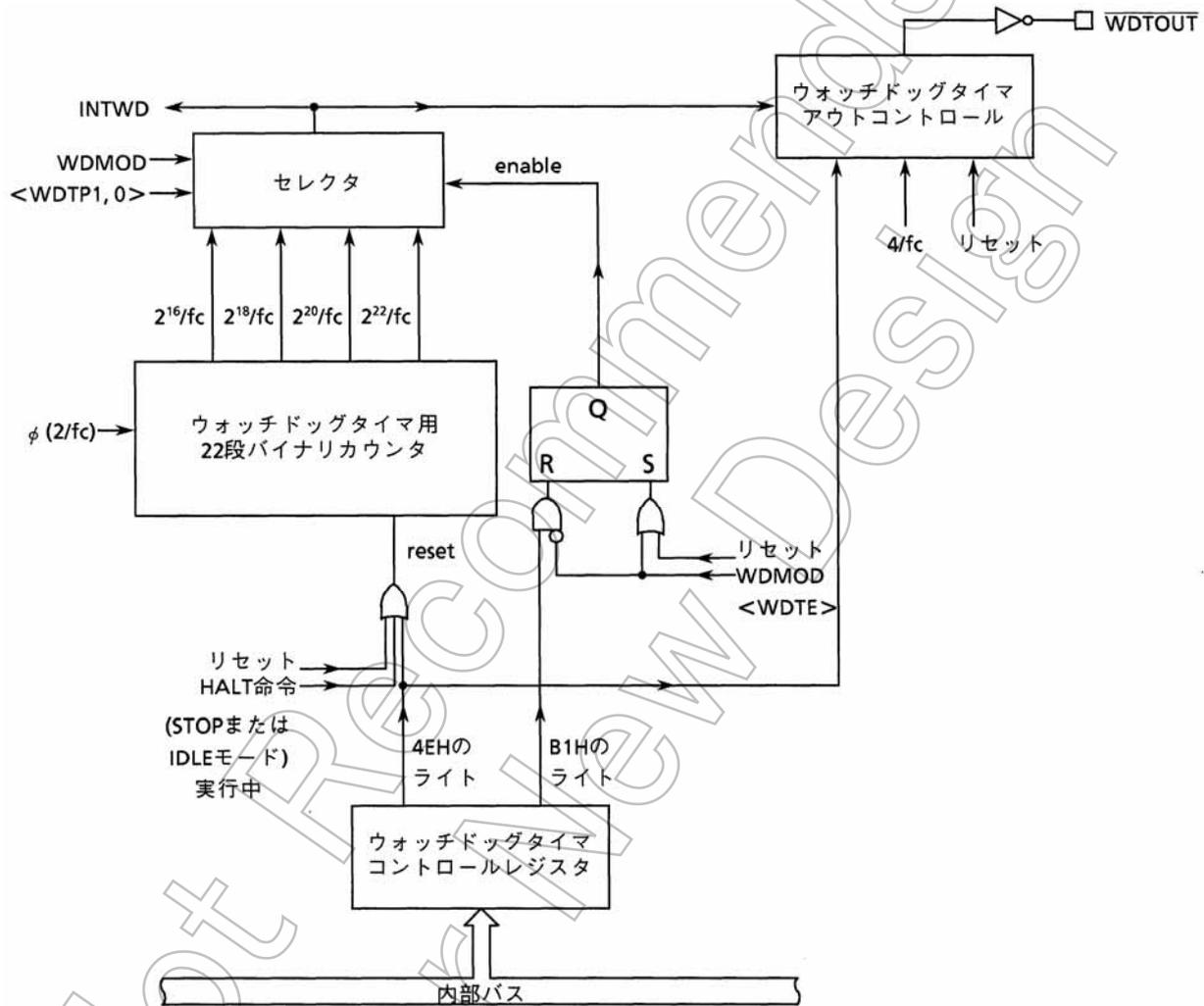


図 3.13.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは、 $\phi(2/f_c)$  を入力クロックとする、22 段バイナリカウンタです。バイナリカウンタの出力には  $2^{16}/f_c$ ,  $2^{18}/f_c$ ,  $2^{20}/f_c$ ,  $2^{22}/f_c$  があり、このうちの 1 出力を WDMOD レジスタで選択することにより、そのオーバフロー時に、ウォッチドッグタイマ割り込みを発生し、また、ウォッチドッグタイマアウトを出力します。

ウォッチドッグタイマアウト端子 ( $\overline{\text{WDTOUT}}$ ) は、ウォッチドッグタイマのオーバフローにより“L”レベルを出力するため、周辺装置のリセットを行うことも可能です。この“L”レベル出力は、ウォッチドッグタイマのクリア (WDCR レジスタにクリアコード (4EH) をライト) により、“H”レベルにセットされます。すなわち、通常モードの場合、クリアコードが WDCR レジスタに書かれるまで、 $\overline{\text{WDTOUT}}$  端子は“L”レベルを出力し続けます。

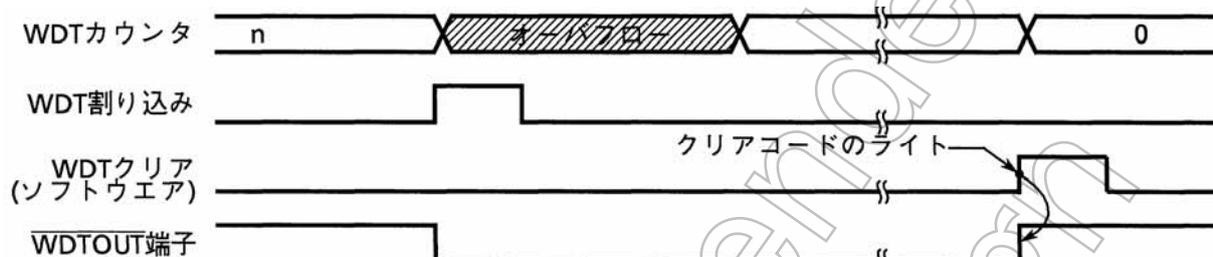


図 3.13.2 オーバフロー時のウォッチドッグタイマアウト出力

### 3.13.2 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、3 つのコントロールレジスタ (WDMOD, WDCR, CLKMOD) によって制御されています。

#### (1) ウォッチドッグタイマモードレジスタ WDMOD

##### 1. ウォッチドッグタイマ検出時間の設定<WDTP>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時 WDMOD<WDTP1, 0> = “00” にイニシャライズされますので、検出時間は  $2^{16}/f_c$  [s] となります。(ステート数では約 32,768 [state] となります。)

##### 2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

リセット時 WDMOD<WDTE> = “1” にイニシャライズされますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にクリアするとともに WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生しにくくなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを “1” にセットするだけでイネーブルとなります。

#### (2) ウォッチドッグタイマコントロールレジスタ WDCR

ウォッチドッグタイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

##### • ディセーブル制御

WDMOD<WDTE>を “0” にクリアした後、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。

WDMOD ← 0	- - - - X X	WDTEを “0” クリアします。
WDCR ← 1	0 1 1 0 0 1	ディセーブルコード (B1H) を書き込みます。

##### • イネーブル制御

WDMOD7<WDTE>を “1” にする。

##### • ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR ← 0	1 0 0 1 1 1 0	クリアコード (4EH) を書き込みます。
----------	---------------	-----------------------

(3) クロックモードレジスタ CLKMOD

ストップモードから復帰時のウォーミングアップ時間を設定するレジスタです。

CLKMOD<WARM>に“0”を書き込むことにより  $2^{15}/f_c$  (約 1.6 ms @ 20 MHz)、“1”を書き込むことにより  $2^{17}/f_c$  (約 6.6ms @ 20MHz) を選択できます。また、CLKMOD<CLKOE>に“0”を書き込むことにより、システムクロックの出力を停止させることができます。

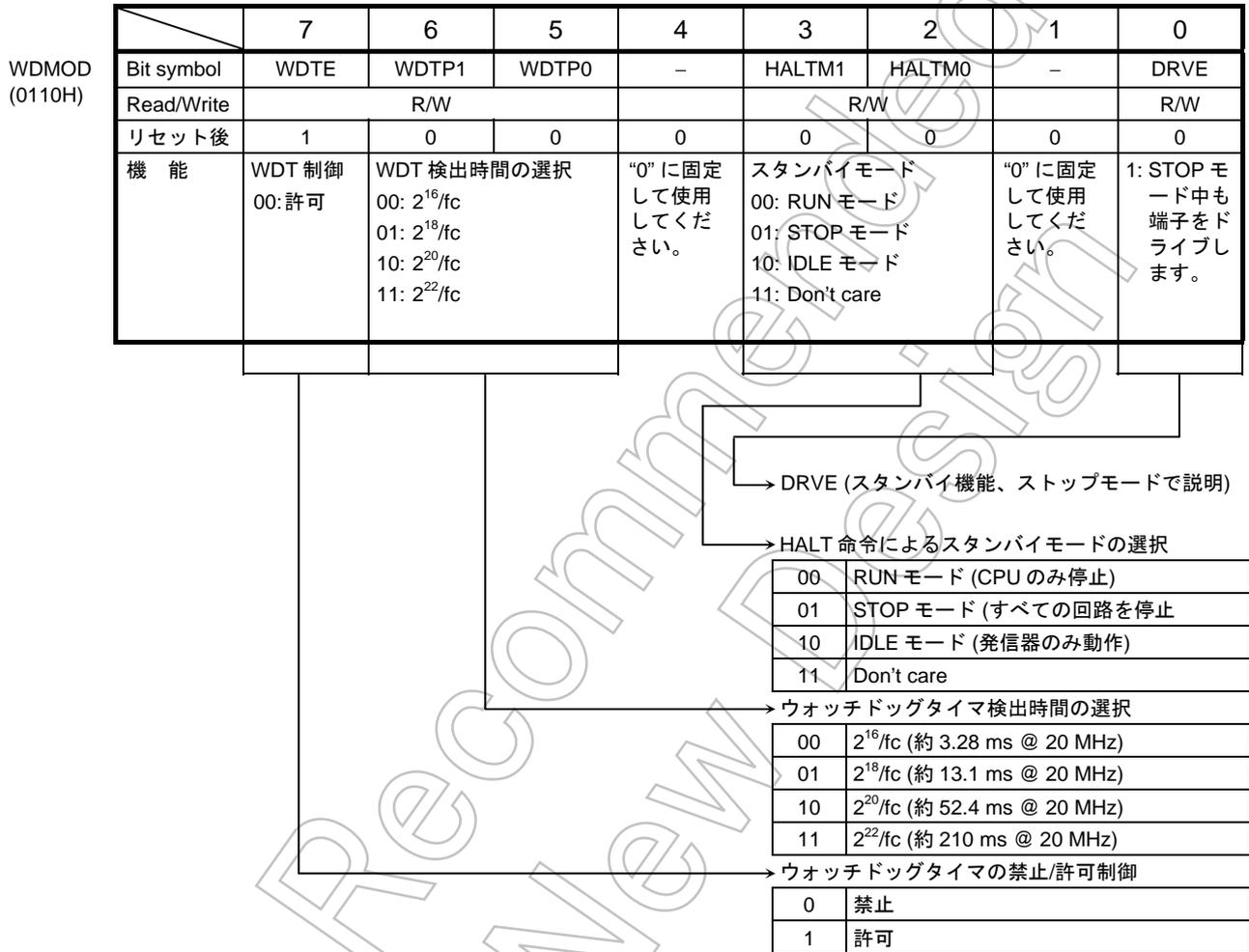


図 3.13.3 ウォッチドッグタイムモードレジスタ

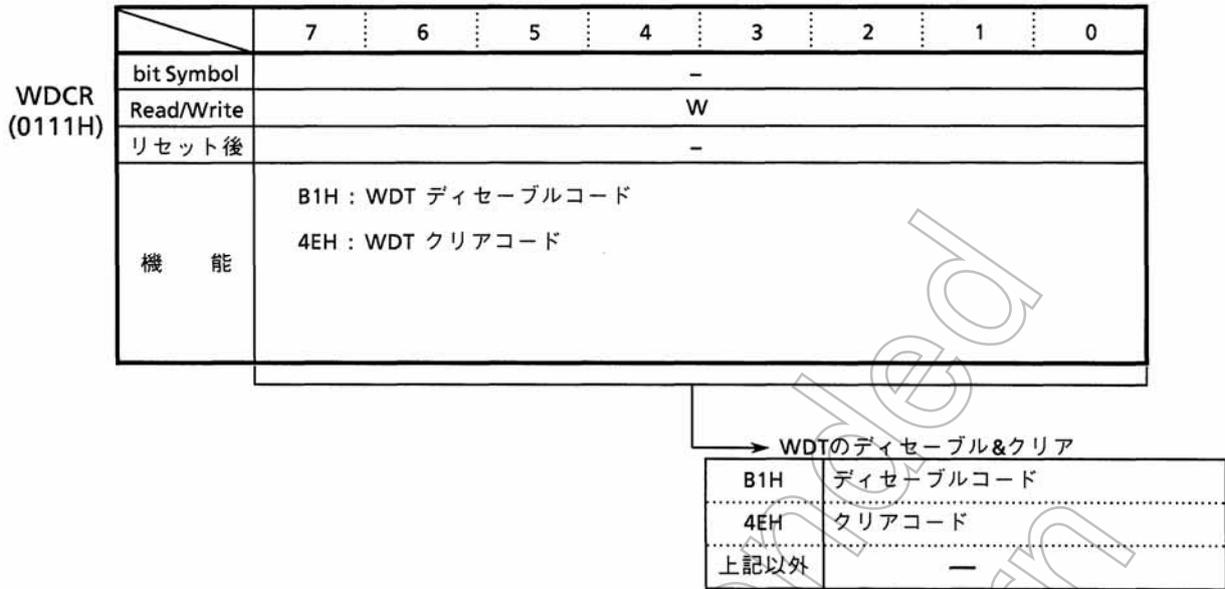


図 3.13.4 ウォッチドッグタイムコントロールレジスタ

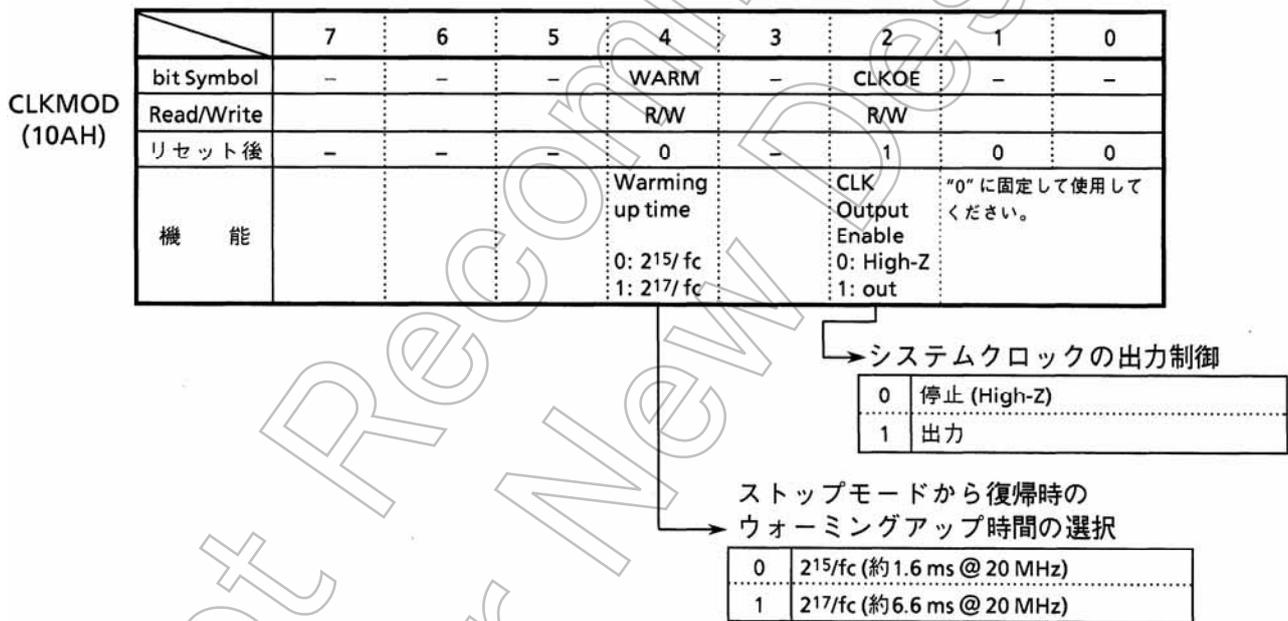


図 3.13.5 クロックモードレジスタ

## 3.13.3 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0>レジスタで設定された検出時間後に割り込み INTWD を発生させ、ウォッチドッグタイマアウト端子 (WDTOUT) より“L”レベルを出力させるタイマです。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWD 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は INTWD 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。またウォッチドッグタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPU の誤動作 (暴走) に対処することができます。

ウォッチドッグタイマは、リセット解除後、直ちに動作を開始します。

なお、IDLE モードおよび STOP モード中のウォッチドッグタイマはリセットされ停止しています。また、バス解放中 ( $\overline{\text{BUSAK}} = \text{“L”}$  レベル) はカウントを続けます。

RUN モード中のウォッチドッグタイマは動作しています。RUN モードに入るとき、ウォッチドッグタイマをディセーブルにすることもできます。

- 例: 1. バイナリカウンタをクリアします。  
**WDCR ← 0 1 0 0 1 1 1 0** クリアコード (4EH) の書き込み
2. ウォッチドッグタイマ検出時間を  $2^{18}/f_c$  に設定します。  
**WDMOD ← 1 0 1 X - - - -**
3. ウォッチドッグタイマをディセーブルします。  
**WDMOD ← 0 - - X - - - -** WDTEを“0”クリア  
**WDCR ← 1 0 1 1 0 0 0 1** ディセーブルコード (B1H) の書き込み
4. IDLE モードにします。  
**WDMOD ← 0 - - X 1 0 - -** WDTをディセーブルにしてIDLEモードに  
**WDCR ← 1 0 1 1 0 0 0 1** 設定します。  
 HALT命令を実行します。 スタンバイモードにします。
5. STOP モードにします。(ウォーミングアップ時間  $2^{17}/f_c$ )  
**WDMOD ← - - - X 0 1 - -** STOPモードに設定します。  
**CLKMOD ← X X X 1 X - - -**  
 HALT命令を実行します。 スタンバイモードにします。

X: Don't care、-: No change

### 3.14 バス解放機能

TMP94C241C は、バス解放を行うためのバスリクエスト端子 ( $\overline{\text{BUSRQ}}$ : P75 と兼用) および、バスアクノリッジ端子 ( $\overline{\text{BUSAK}}$ : P76 と兼用) を持っています。これらの端子の設定は、P7CR, P7FC により行います。

#### 3.14.1 動作説明

本デバイスは、 $\overline{\text{BUSRQ}}$  端子に“L”レベルが入力されるとバス解放要求があると認識し、オペランドサイクルが終了すると、アドレスバス (A23~A0) および、バスコントロール信号 ( $\overline{\text{RD}}$ ,  $\overline{\text{WRL}}$ ,  $\overline{\text{WRLH}}$ ,  $\overline{\text{WRHL}}$ ,  $\overline{\text{WRHH}}$ ,  $\overline{\text{CS0}}$ ~ $\overline{\text{CS5}}$ ) を一度“H”レベルにしてから、これらの信号とデータバス (D31~D0) の出力バッファを OFF し、 $\overline{\text{BUSAK}}$  端子を“L”レベルにしてバスが解放されたことを示します。

ただし、入力ポートまたは出力ポート機能として使用している場合は、そのポートはバス解放の対象とならず、出力バッファは OFF しません。

なお、バス解放中は、本デバイスの内蔵 I/O レジスタへのアクセスはできませんが、内蔵 I/O としてのファンクションは機能し続けます。従って、ウォッチドッグタイマはカウントし続けますので、バス解放機能を使用する場合は、バス解放時間を考慮して暴走検出時間を設定してください。

$\overline{\text{BUSRQ}}$  端子に“L”レベルを入力する場合、 $\overline{\text{BUSAK}}$  端子が“L”レベルを出力するまで“L”レベル入力が続けてください。バス解放要求を受け付けていない状態で、要求解除するとメモリコントローラが誤動作する場合があります。

Not Recommended for New Design

## 4. 電気的特性

### 4.1 絶対最大定格

項目	記号	定格	単位
電源電圧	V <sub>CC</sub>	-0.5~6.5	V
入力電圧	V <sub>IN</sub>	-0.5~V <sub>CC</sub> + 0.5	
出力電流 (合計)	$\Sigma_{IOL}$	120	mA
出力電流 (合計)	$\Sigma_{IOH}$	-120	
消費電力 (Ta = 70°C)	P <sub>D</sub>	600	mW

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5秒間1回 Rタイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245°C 5秒間1回 Rタイプフラックス使用 (鉛フリーはんだ使用時)	

Not Recommended for New Design

## 4.2 DC 電気的特性

$V_{CC} = 5\text{ V} \pm 10\%$ ,  $T_A = -20 \sim 70^\circ\text{C}$  ( $X1 = 8 \sim 10\text{ MHz}$ : 内部は倍速の  $16 \sim 20\text{ MHz}$  で動作します。)  
Typ 値は  $V_{CC} = 5\text{ V}$ ,  $T_a = 25^\circ\text{C}$  の値です。

項目	記号	条件	Min	Max	単位
低レベル入力電圧 P00 - P07 (D0 - 7) P10 - P17 (D8 - 15) P20 - P27 (D16 - 23) P30 - P37 (D24 - 31)	$V_{IL0}$		-0.3	0.8	V
低レベル入力電圧 P40 - P47 P50 - P57 P60 - P67 P75 P86 PC0 - PC1 PD0 - PD2, PD4 - PD6 PE0 - PE2, PE4 - PE6 PF0 - PF2, PF4 - PF6 PG0 - PG7 PH0 - PH3 PZ0 - PZ7	$V_{IL1}$		-0.3	$0.3 \cdot V_{CC}$	V
低レベル入力電圧 PH4 (INT0) NMI RESET	$V_{IL2}$		-0.3	$0.25 \cdot V_{CC}$	V
低レベル入力電圧 AM0 - AM1 TEST0 - TEST1	$V_{IL3}$		-0.3	0.3	V
低レベル入力電圧 X1	$V_{IL4}$		-0.3	$0.2 \cdot V_{CC}$	V
高レベル入力電圧 P00 - P07 (D0 - 7) P10 - P17 (D8 - 15) P20 - P27 (D16 - 23) P30 - P37 (D24 - 31)	$V_{IH0}$		2.2	$V_{CC} + 0.3$	V

項目	記号	条件	Min	Max	単位
高レベル入力電圧 P40~P47 P50~P57 P60~P67 P75 P86 PC0~PC1 PD0~PD2, PD4~PD6 PE0~PE2, PE4~PE6 PF0~PF2, PF4~PF6 PG0~PG7 PH0~PH3 PZ0~PZ7	$V_{IH1}$		$0.7*V_{CC}$	$V_{CC} + 0.3$	V
高レベル入力電圧 PH4 (INT0) NMI RESET	$V_{IH2}$		$0.75*V_{CC}$	$V_{CC} + 0.3$	V
高レベル入力電圧 AM0~AM1 TEST0~TEST1	$V_{IH3}$		$V_{CC} - 0.3$	$V_{CC} + 0.3$	V
高レベル入力電圧 X1	$V_{IH4}$		$0.8*V_{CC}$	$V_{CC} + 0.3$	V
低レベル出力電圧	$V_{OL}$	$I_{OL} = 1.6 \text{ mA}$		0.45	V
高レベル出力電圧	$V_{OH0}$	$I_{OH} = -400 \mu\text{A}$	2.4		V
高レベル出力電圧	$V_{OH1}$	$I_{OH} = -100 \mu\text{A}$	$0.75*V_{CC}$		V
高レベル出力電圧	$V_{OH2}$	$I_{OH} = -20 \mu\text{A}$	$0.9*V_{CC}$		V
入力リーク電流	$I_{LI}$	$0.0 \text{ V} \leq V_{in} \leq V_{CC}$	0.02 (typ.)	$\pm 5$	$\mu\text{A}$
出力リーク電流	$I_{LO}$	$0.2 \text{ V} \leq V_{in} \leq V_{CC} - 0.2 \text{ V}$	0.05 (typ.)	$\pm 10$	$\mu\text{A}$
動作電流 (NORMAL)	$I_{CC0}$	$X1 = 10 \text{ MHz}$ (内部 20 MHz)	90	108	mA
RUN	$I_{CC1}$	$X1 = 10 \text{ MHz}$ (内部 20 MHz)	50	70	mA
IDLE	$I_{CC2}$	$X1 = 10 \text{ MHz}$ (内部 20 MHz)	5	20	mA
STOP	$I_{CC3}$	$0.2 \text{ V} \leq V_{in} \leq V_{CC} - 0.2 \text{ V}$ $T_a = -20 \sim 70^\circ\text{C}$	0.5	50	$\mu\text{A}$
STOP	$I_{CC4}$	$0.2 \text{ V} \leq V_{in} \leq V_{CC} - 0.2 \text{ V}$ $T_a = 0 \sim 50^\circ\text{C}$		10	$\mu\text{A}$
パワーダウン電圧 @ STOP デバイス内部の状態 (レジスタ, RAM など) を保持できる電圧	$V_{STOP}$	$V_{IL2} = 0.2*V_{CC}$ $V_{IH2} = 0.8*V_{CC}$	2.0	6.0	V
ブルアップ抵抗 RESET	$R_{RST}$		50	150	$\text{K}\Omega$
Pin 容量	$C_{IO}$	$f_c = 1 \text{ MHz}$		10	pF
Schmitt Width PH4 (INT0) NMI RESET	$V_{TH}$		0.4	1.0 (typ.)	V

## 4.3 AC 電气的特性

## 4.3.1 基本バスサイクル

## (1) リードサイクル

V<sub>CC</sub> = 5V ± 10 %, TA = -20~70 °C (内部16~20 MHz)

No.	項目	記号	Min	Max	@ 20 MHz	@ 16 MHz	単位
1	発振周期 (X1/X2端子)	t <sub>OSC</sub>	100	125	100	125	ns
2	システムクロック周期 (= T)	t <sub>CYC</sub>	50	62.5	50	62.5	ns
3	CLK Low パルス幅	t <sub>CL</sub>	0.5 × T-15		10	16	ns
4	CLK High パルス幅	t <sub>CH</sub>	0.5 × T-15		10	16	ns
5-1	A0-A23 有効 → D0-D31 入力 @ 0WAIT	t <sub>AD</sub>		2.0 × T-50	50	75	ns
5-2	A0-A23 有効 → D0-D31 入力 @ 1WAIT	t <sub>AD3</sub>		3.0 × T-50	100	138	ns
6-1	RD立ち下がり → D0-D31 入力 @ 0WAIT	t <sub>RD</sub>		1.5 × T-45	30	49	ns
6-2	RD立ち下がり → D0-D31 入力 @ 1WAIT	t <sub>RD3</sub>		2.5 × T-45	80	111	ns
7-1	RD Low パルス幅 @ 0WAIT	t <sub>RR</sub>	1.5 × T-20		55	74	ns
7-2	RD Low パルス幅 @ 1WAIT	t <sub>RP3</sub>	2.5 × T-20		105	136	ns
8	A0-A23 有効 → RD立ち下がり	t <sub>AR</sub>	0.5 × T-20		5	11	ns
9	RD立ち下がり → CLK立ち下がり	t <sub>RK</sub>	0.5 × T-20		5	11	ns
10	A0-A23 有効 → D0-D31 保持	t <sub>HA</sub>	0		0	0	ns
11	RD立ち上がり → D0-D31 保持	t <sub>HR</sub>	0		0	0	ns
12	A0-A23 有効 → PORT 入力	t <sub>APR</sub>		2.0 × T-120	-20	5	ns
13	A0-A23 有効 → PORT 保持	t <sub>APH</sub>	2.0 × T		100	125	ns
14	WAITセットアップ時間	t <sub>TK</sub>	15		15	15	ns
15	WAITホールド時間	t <sub>KT</sub>	5		5	5	ns

## (2) ライトサイクル

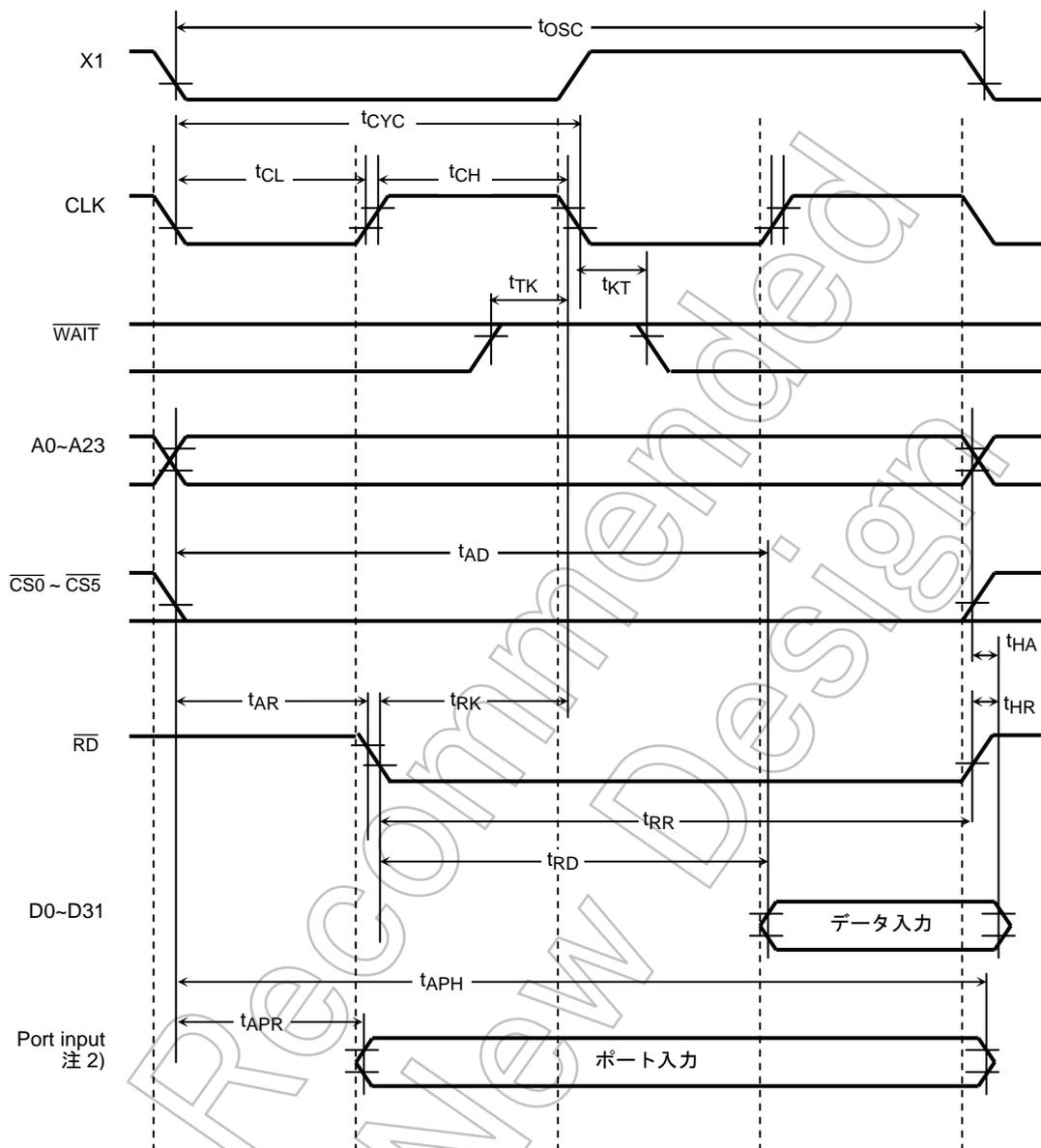
V<sub>CC</sub> = 5V ± 10 %, TA = -20~70 °C (内部16~20 MHz)

No.	項目	記号	Min	Max	@ 20 MHz	@ 16 MHz	単位
1	発振周期 (X1/X2端子)	t <sub>OSC</sub>	100	125	100	125	ns
2	システムクロック周期 (= T)	t <sub>CYC</sub>	50	62.5	50	62.5	ns
3	CLK Low パルス幅	t <sub>CL</sub>	0.5 × T-15		10	16	ns
4	CLK High パルス幅	t <sub>CH</sub>	0.5 × T-15		10	16	ns
5-1	D0-D31 有効 → WRxx立ち上がり @ 0WAIT	t <sub>DW</sub>	1.25 × T-35		28	43	ns
5-2	D0-D31 有効 → WRxx立ち上がり @ 1WAIT	t <sub>DW3</sub>	2.25 × T-35		78	106	ns
6-1	WRxx Low パルス幅 @ 0WAIT	t <sub>WV</sub>	1.25 × T-30		33	48	ns
6-2	WRxx Low パルス幅 @ 1WAIT	t <sub>WV3</sub>	2.25 × T-30		83	111	ns
7	A0-23 有効 → WRxx立ち下がり	t <sub>AW</sub>	0.5 × T-20		5	11	ns
8	WRxx立ち下がり → CLK立ち下がり	t <sub>WK</sub>	0.5 × T-20		5	11	ns
9	WRxx立ち上がり → A0-A23 保持	t <sub>WA</sub>	0.25 × T-5		8	11	ns
10	WRxx立ち上がり → D0-D31 保持	t <sub>WD</sub>	0.25 × T-5		8	11	ns
11	A0-A23 有効 → PORT 出力	t <sub>APW</sub>		2.0 × T + 70	170	195	ns
12	WAITセットアップ時間	t <sub>TK</sub>	15		15	15	ns
13	WAITホールド時間	t <sub>KT</sub>	5		5	5	ns
14	RD立ち上がり → D0-D31出力	t <sub>RD0</sub>	0.5 × T-5		20	26	ns

## AC 測定条件

- 出力レベル: P0~P3 (D0~D31), P4~P6 (A0~A23), P70 ( $\overline{RD}$ ), P71~P74 ( $\overline{WRxx}$ )  
High 2.0 V, Low 0.8 V, CL = 50 pF  
上記以外の端子  
High 2.0 V, Low 0.8 V, CL = 50 pF
- 入力レベル: P0~P3 (D0~D31)  
High 2.4 V, Low 0.45 V  
上記以外の端子  
High 0.8 × V<sub>CC</sub>, Low 0.2 × V<sub>CC</sub>

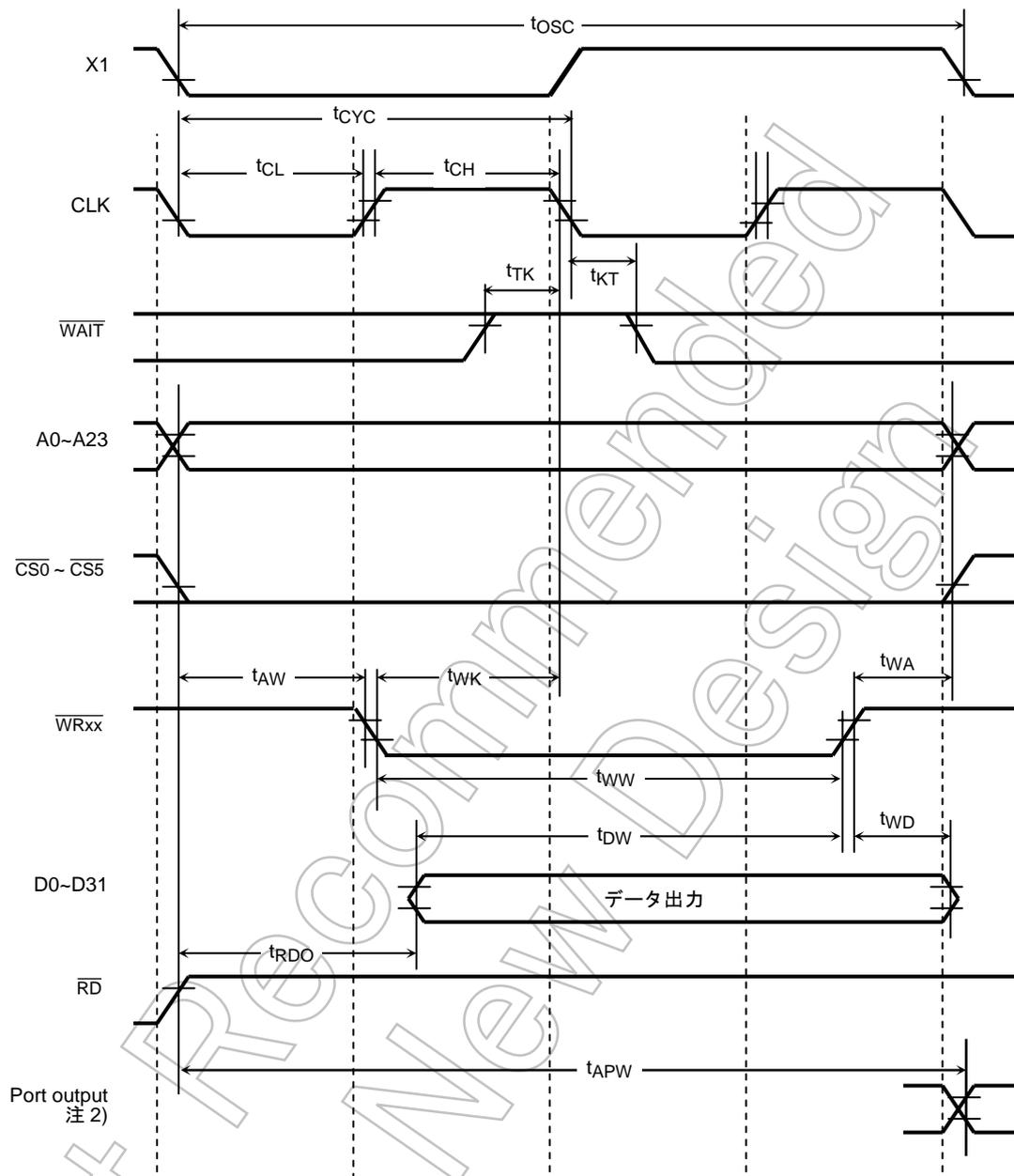
## (1) リードサイクル (0 ウェイト)



注 1) X1 入力信号とほかの信号の位相関係は不定です。上図は、一例です。

注 2) ポートのデータリードは内蔵エリアへのアクセスとなるため、外部端子の制御信号  $\overline{RD}$ 、 $\overline{CS}$  信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。  
また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

## (2) ライトサイクル (0 ウェイト)

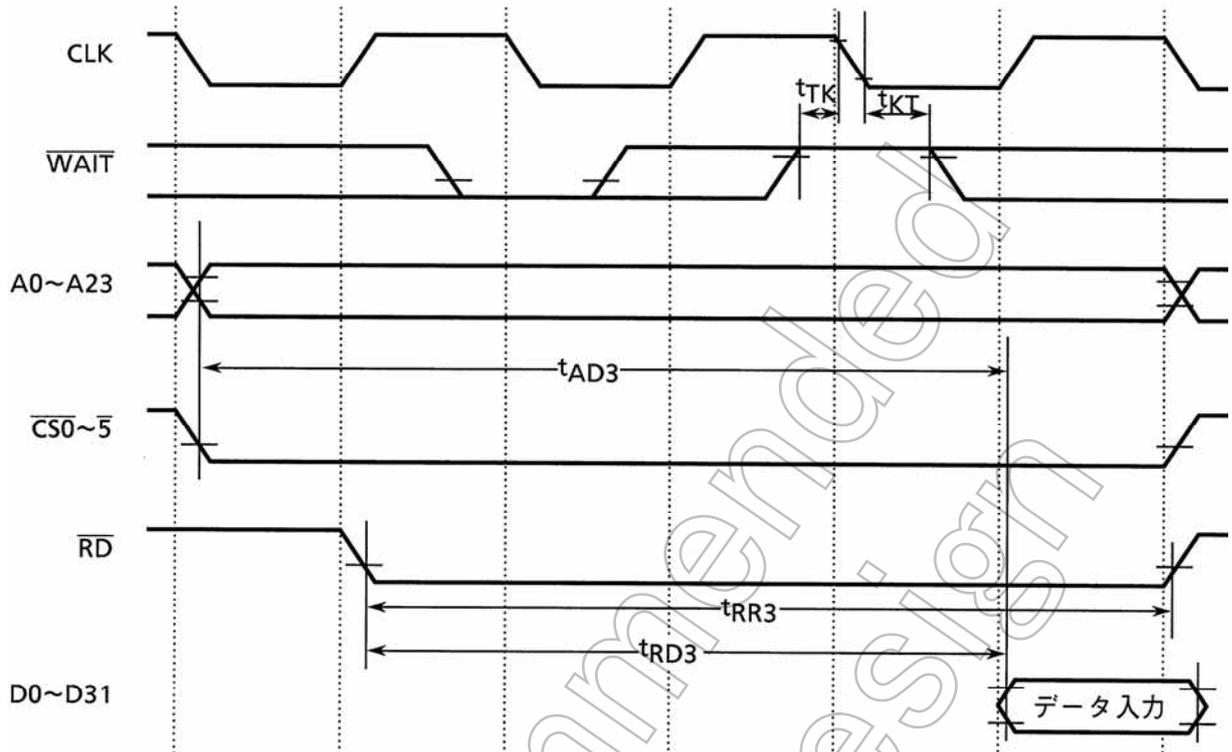


注1) X1 入力信号とほかの信号の位相関係は不定です。上図は、一例です。

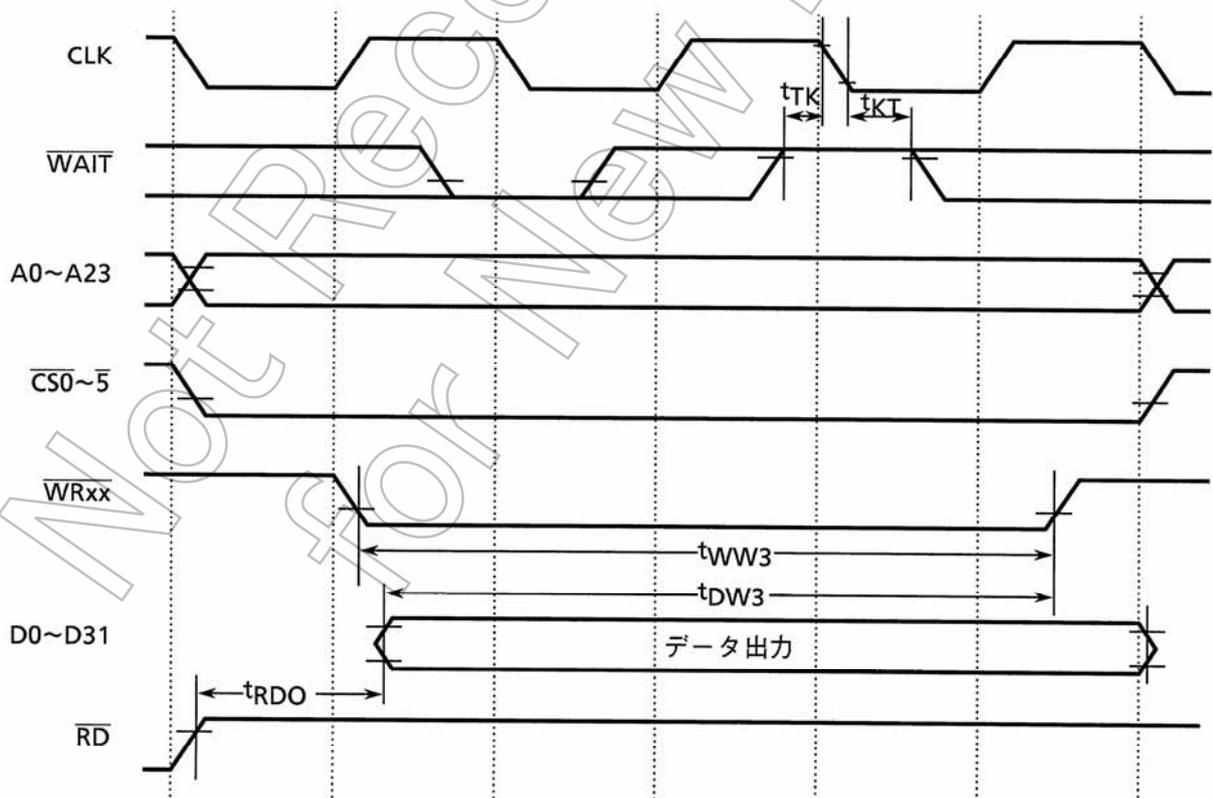
注2) ポートのデータライトは内蔵エリアへのアクセスとなるため、外部端子の制御信号  $\overline{WR}$ 、 $\overline{CS}$  信号などはイネーブル出力されません。上記波形は内部信号の動きとして認識してください。また、上記ポート入出力タイミングおよび AC 特性は、代表的なタイミングを示しています。詳細は弊社営業担当までお問い合わせください。

補足)  $\overline{WRxx}$  は、 $\overline{WRL}$ 、 $\overline{WRLH}$ 、 $\overline{WRHL}$ 、 $\overline{WRHH}$  を示します。

(3) リードサイクル (1 ウェイト)



(4) ライトサイクル (1 ウェイト)



## 4.3.2 ページROM リードサイクル

## (1) 3-2-2-2 モード

V<sub>CC</sub> = 5V ± 10 %, TA = -20~70 °C (内部16~20 MHz)

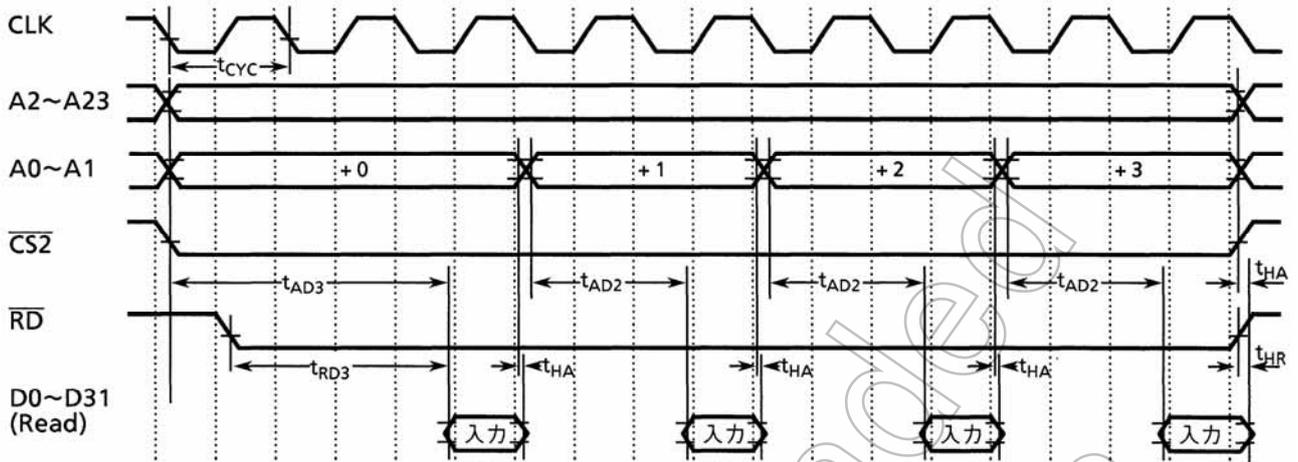
No.	項目	記号	Min	Max	@ 20 MHz	@ 16 MHz	単位
1	システムクロック周期 (=T)	t <sub>CYC</sub>	50	62.5	50	62.5	ns
2	A0-A1有効 → D0-D31 入力	t <sub>AD2</sub>		2.0 × T-50	50	75	ns
3	A2-A23有効 → D0-D31 入力	t <sub>AD3</sub>		3.0 × T-50	100	138	ns
4	RD立ち下がり → D0-D31 入力	t <sub>RD3</sub>		2.5 × T-45	80	111	ns
5	A0-A23 無効 → D0-D31 保持	t <sub>HA</sub>	0		0	0	ns
6	RD立ち上がり → D0-D31 保持	t <sub>HR</sub>	0		0	0	ns

## AC測定条件

- 出力レベル : P4-P6 (A0-A23), P70 (RD)  
High 2.0 V, Low 0.8 V, CL = 50 pF  
CLK, P82 (CS2)  
High 2.0 V, Low 0.8 V, CL = 50 pF
- 入力レベル : P0-P3 (D0-D31)  
High 2.4 V, Low 0.45 V

Not Recommended for New Design

(2) ページROM リードサイクル (3-2-2-2 モード)



Not Recommended for New Design

## 4.3.3 DRAM バスサイクル

Vcc = 5V ± 10 %, TA = -20~70 °C (内部16~20 MHz)

No.	項目	記号	Min	Max	@ 20 MHz	@ 16 MHz	単位
1	システムクロック周期 (=T)	t <sub>CYC</sub>	50	62.5	50	62.5	ns
2	RASサイクル時間	t <sub>RC</sub>	3.00 × T		150	188	ns
3	ページモードサイクル時間	t <sub>PC</sub>	2.00 × T		100	125	ns
4-1	RASアクセス時間	t <sub>RAC</sub>		1.75 × T-45	43	64	ns
4-2	RASアクセス時間(4クロックアクセス時)	t <sub>RAC4</sub>		2.75 × T-45	93	127	ns
5	CASアクセス時間	t <sub>CAC</sub>		1.00 × T-40	10	23	ns
6-1	カラムアドレスアクセス時間	t <sub>AA</sub>		1.25 × T-45	18	33	ns
6-2	カラムアドレスアクセス時間(ページモード時)	t <sub>AA2</sub>		2.00 × T-45	55	80	ns
6-3	カラムアドレスアクセス時間(4クロックアクセス時)	t <sub>AA4</sub>		2.25 × T-45	68	96	ns
7	CASプリチャージアクセス時間	t <sub>CPA</sub>		2.00 × T-45	55	80	ns
8	入力データホールド時間	t <sub>OFF</sub>	0		0	0	ns
9	RASプリチャージ時間	t <sub>RP</sub>	1.25 × T-20		43	58	ns
10-1	RASパルス幅	t <sub>RAS</sub>	1.75 × T-20		68	89	ns
10-2	RASパルス幅(4クロックアクセス時)	t <sub>RAS4</sub>	2.75 × T-20		118	152	ns
11	RASホールド時間	t <sub>RSH</sub>	1.00 × T-20		30	43	ns
12	CASプリチャージからのRASホールド時間	t <sub>RHCP</sub>	2.00 × T-20		80	105	ns
13-1	CASホールド時間	t <sub>CSH</sub>	1.75 × T-20		68	89	ns
13-2	CASホールド時間(4クロックアクセス時)	t <sub>CSH4</sub>	2.75 × T-20		118	152	ns
14	CASパルス幅	t <sub>CAS</sub>	1.00 × T-20		30	43	ns
15	RAS - CAS遅れ時間	t <sub>RCD</sub>	0.75 × T-17		21	30	ns
16	RAS-カラムアドレス遅れ時間	t <sub>RAD</sub>		0.50 × T + 20	45	51	ns
17	CAS-RASプリチャージ時間	t <sub>CRP</sub>	1.25 × T-20		43	58	ns
18-1	CASプリチャージ時間(リフレッシュ時)	t <sub>CP</sub>	0.50 × T-15		10	16	ns
18-2	CASプリチャージ時間(ページモード時)	t <sub>CP2</sub>	1.00 × T-20		30	43	ns
19	ローアドレスセットアップ時間	t <sub>ASR</sub>	1.25 × T-40		23	38	ns
20	ローアドレスホールド時間	t <sub>RAH</sub>	0.50 × T-15		10	16	ns
21-1	カラムアドレスセットアップ時間	t <sub>ASC</sub>	0.25 × T-12		1	4	ns
21-2	カラムアドレスセットアップ時間(ページモード時)	t <sub>ASC2</sub>	1.00 × T-20		30	43	ns
22	カラムアドレスホールド時間	t <sub>CAH</sub>	1.00 × T-20		30	43	ns
23	カラムアドレスホールド時間(RAS基準)	t <sub>AR</sub>	1.75 × T-20		68	89	ns
24	カラムアドレスRASリード時間	t <sub>RAL</sub>	1.25 × T-20		43	58	ns
25	リードコマンドセットアップ時間	t <sub>RCS</sub>	2.00 × T-40		60	85	ns
26	リードコマンドホールド時間(CAS基準)	t <sub>RCH</sub>	0.50 × T-20		5	11	ns
27	リードコマンドホールド時間(RAS基準)	t <sub>RRH</sub>	0.50 × T-20		5	11	ns
28	ライトコマンドホールド時間	t <sub>WCH</sub>	1.00 × T-20		30	43	ns
29	ライトコマンドホールド時間(RAS基準)	t <sub>WCR</sub>	1.75 × T-20		68	89	ns
30	ライトコマンドパルス時間	t <sub>WP</sub>	1.50 × T-20		55	74	ns
31	ライトコマンドRASリード時間	t <sub>RWL</sub>	1.50 × T-20		55	74	ns
32	ライトコマンドCASリード時間	t <sub>CWL</sub>	1.50 × T-20		55	74	ns
33	データ出力セットアップ時間	t <sub>DS</sub>	1.50 × T-30		45	58	ns
34	データ出力ホールド時間	t <sub>DH</sub>	1.00 × T-25		25	38	ns
35	データ出力ホールド時間(RAS基準)	t <sub>DHR</sub>	1.75 × T-5		83	104	ns
36	ライトコマンドセットアップ時間	t <sub>WCS</sub>	0.50 × T-20		5	11	ns
37	CASセットアップ時間	t <sub>CSR</sub>	0.75 × T-20		18	27	ns
38	CASホールド時間	t <sub>CHR</sub>	1.75 × T-20		68	89	ns
39	RASプリチャージCASアクティブ時間	t <sub>RPC</sub>	0.50 × T-20		5	11	ns
40	RASホールド時間(OE基準)	t <sub>ROH</sub>	1.00 × T-20		30	43	ns
41	OEアクセス時間	t <sub>OEA</sub>		1.00 × T-40	10	23	ns
42	入力データホールド時間(OE基準)	t <sub>OEZ</sub>	0		0	0	ns
43	RASプリチャージ時間 (セルフリフレッシュサイクル解除時)	t <sub>RPS</sub>	2.25 × T-20		93	121	ns

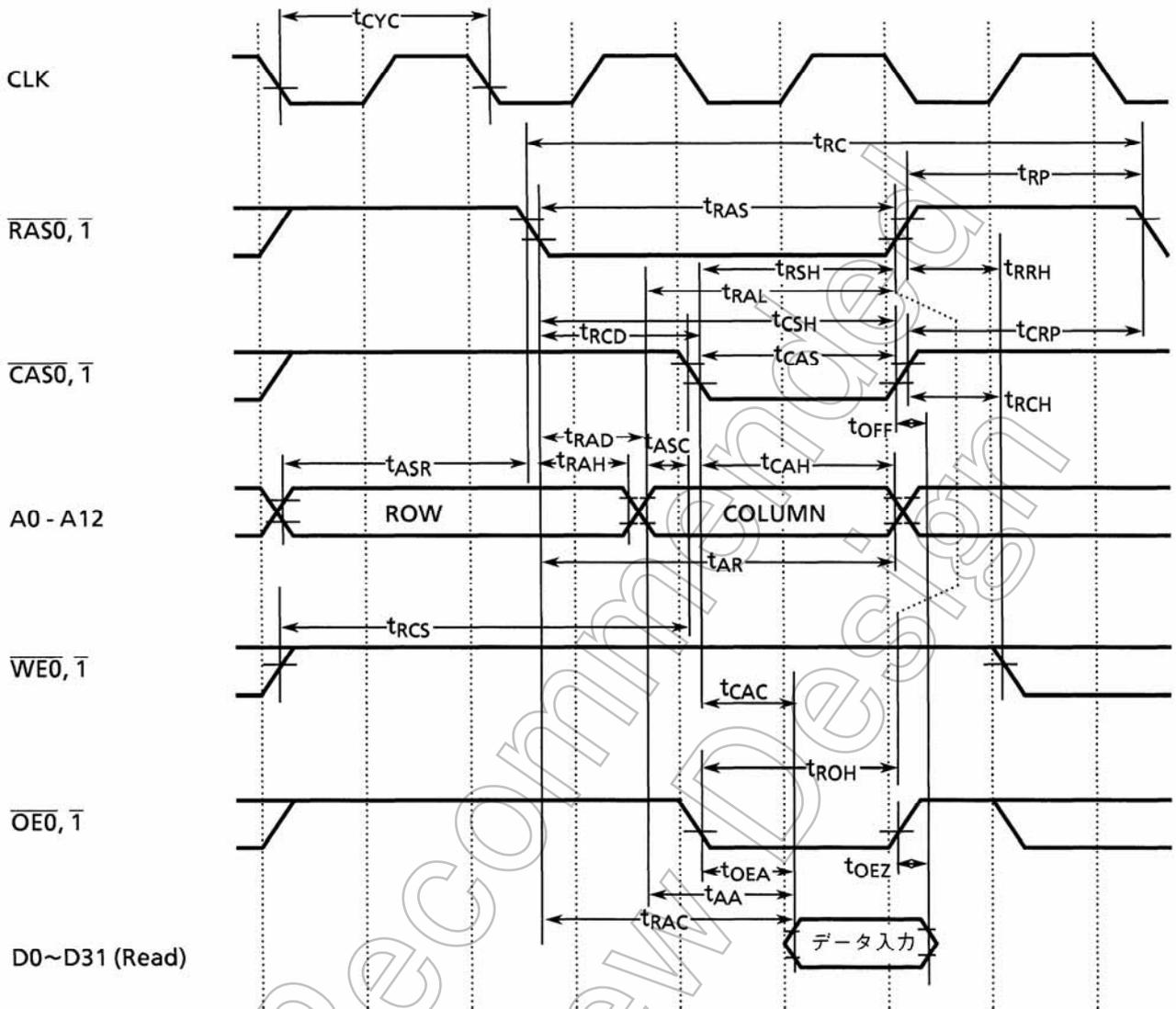
No.	項目	記号	Min	Max	@ 20 MHz	@ 16 MHz	単位
44	CAS ホールド時間 (セルフリフレッシュサイクル解除時)	t <sub>CHS</sub>	- 15		- 15	- 15	ns

## AC 測定条件

- 出力レベル: P0~P3 (D0~D31), P4~P6 (A0~A23), P70 ( $\overline{RD}$ ), P71~P74 ( $\overline{WR_{xx}}$ )  
High 2.0 V, Low 0.8 V, CL = 50 pF  
上記以外の端子  
High 2.0 V, Low 0.8 V, CL = 50 pF
- 入力レベル: P0~P3 (D0~D31)  
High 2.4 V, Low 0.45 V  
上記以外の端子  
High  $0.8 \times V_{CC}$ , Low  $0.2 \times V_{CC}$

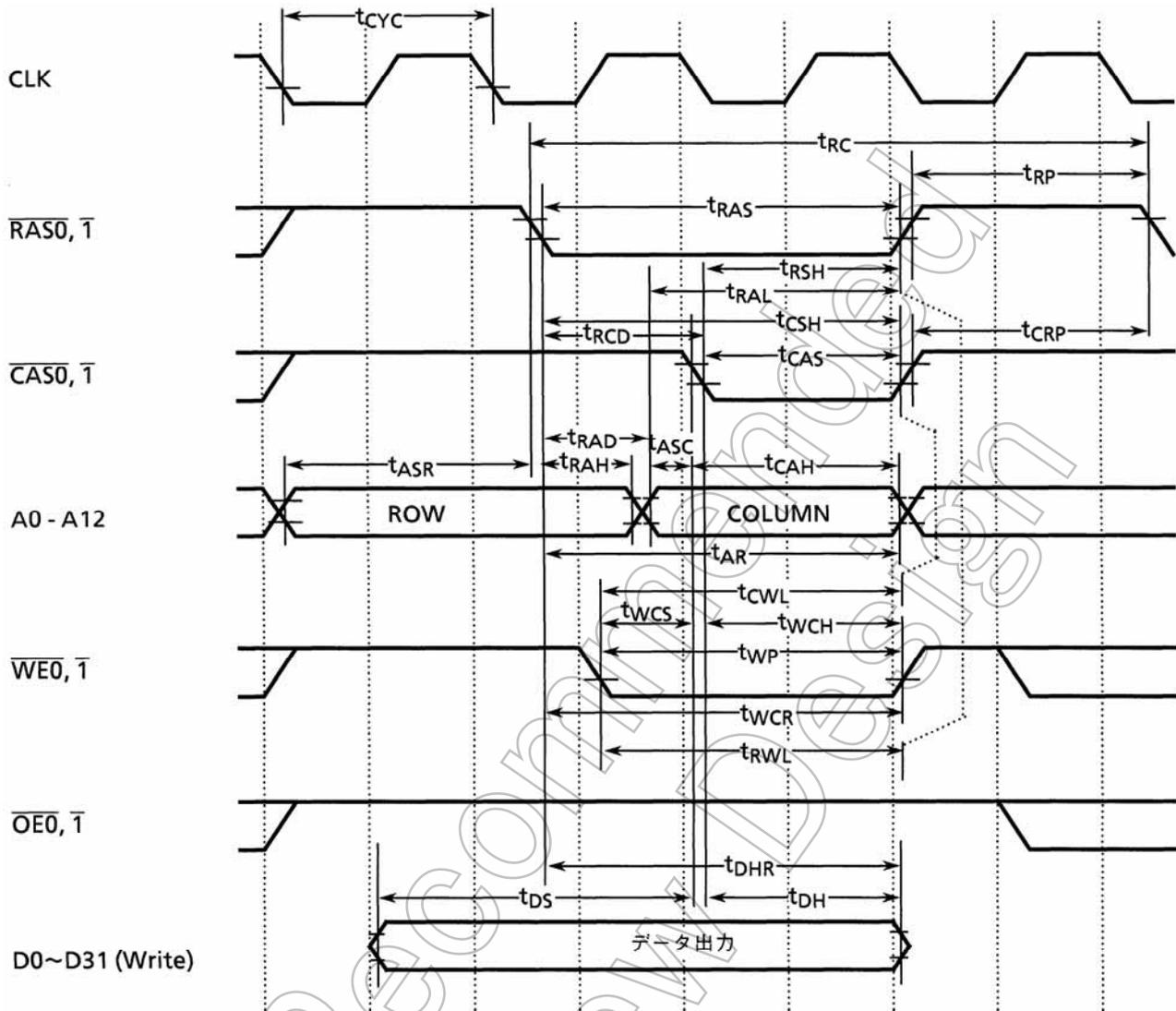
Not Recommended  
for New Design

(1) DRAM リードサイクル (3 クロックアクセス)



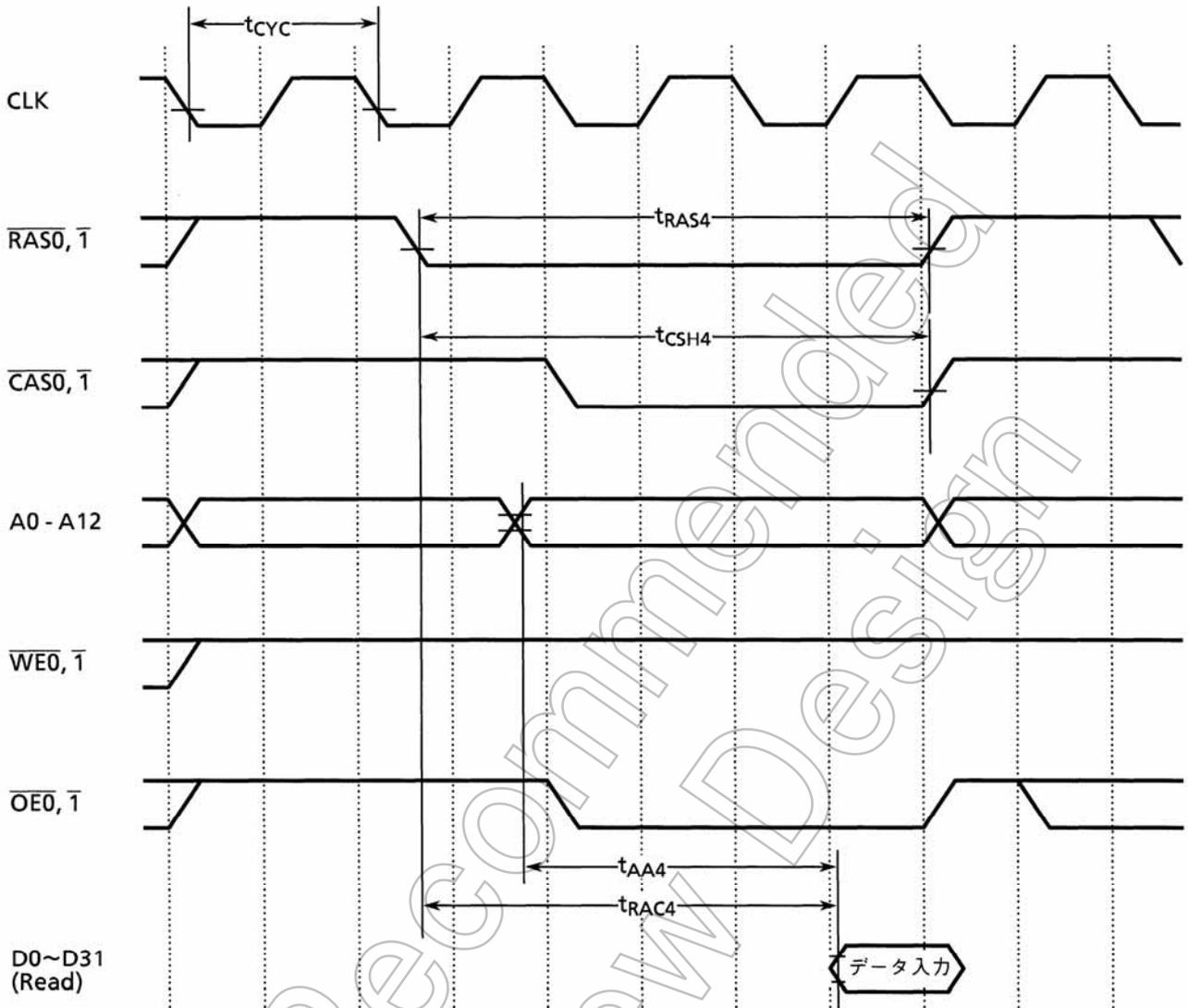
Not Recommended for New Design

(2) DRAM ライトサイクル (3 クロックアクセス)



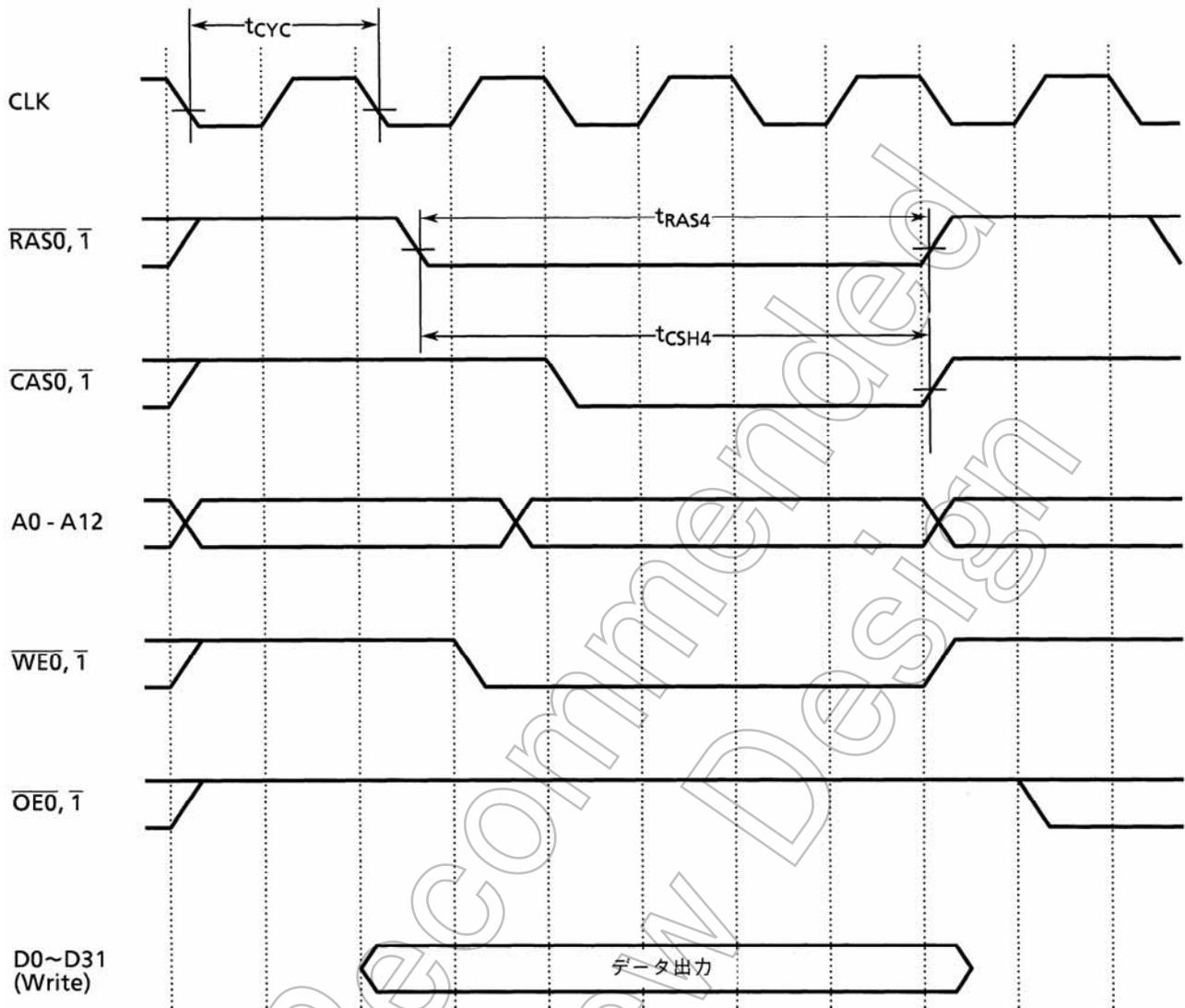
Not Recommended for New

(3) DRAM リードサイクル (4 クロックアクセス)

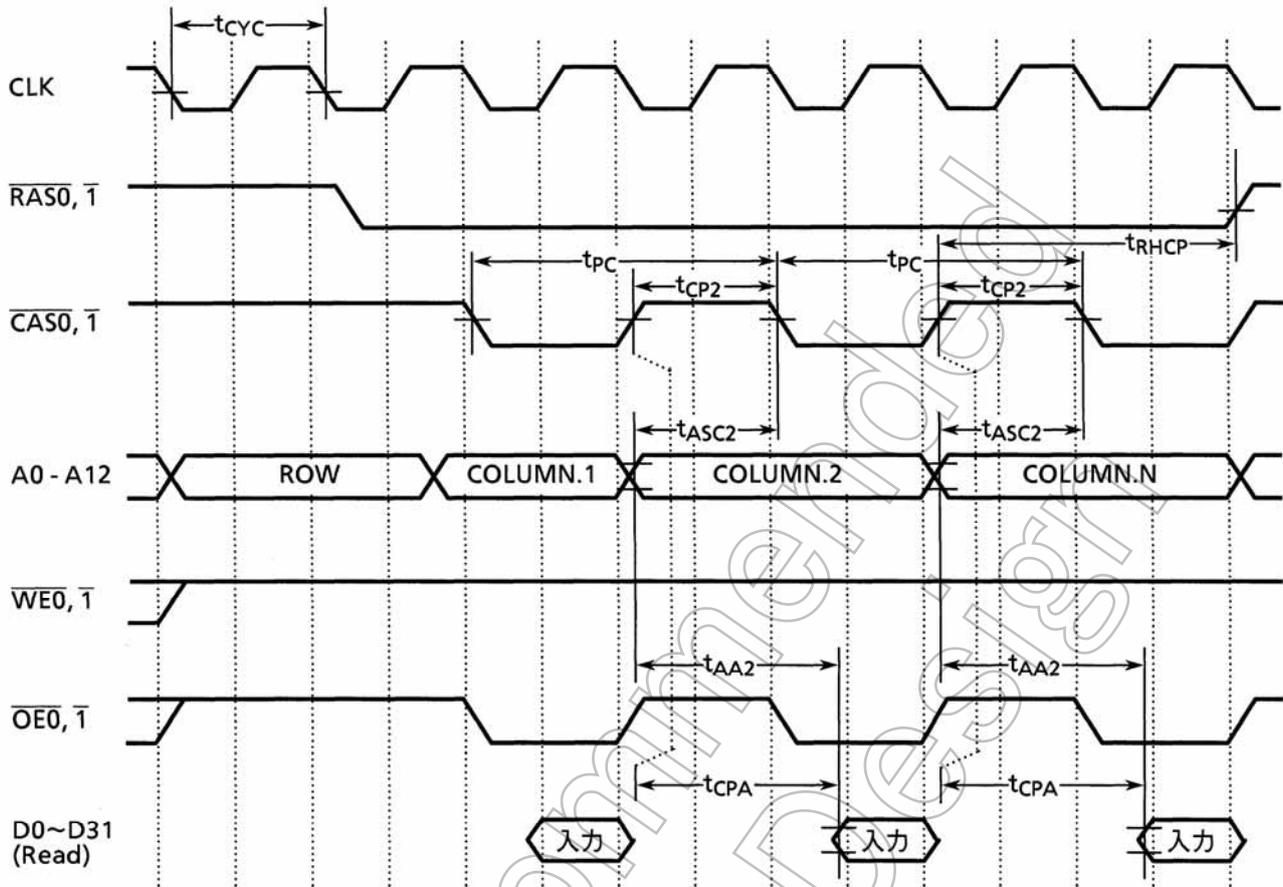


Not Recommended for New Design

(4) DRAM ライトサイクル (4クロックアクセス)

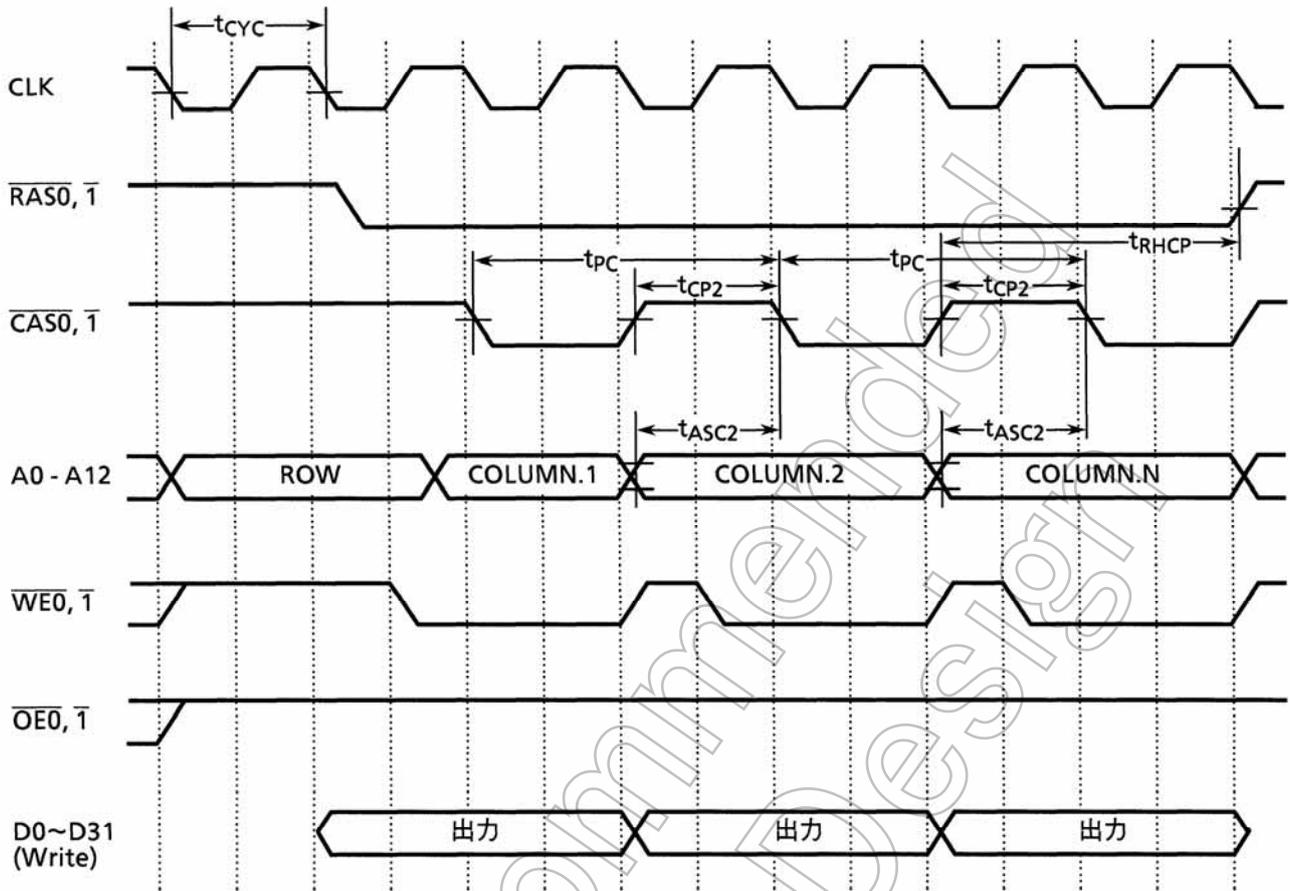


(5) DRAM ページモードリードサイクル (3-2-2-2 モード)



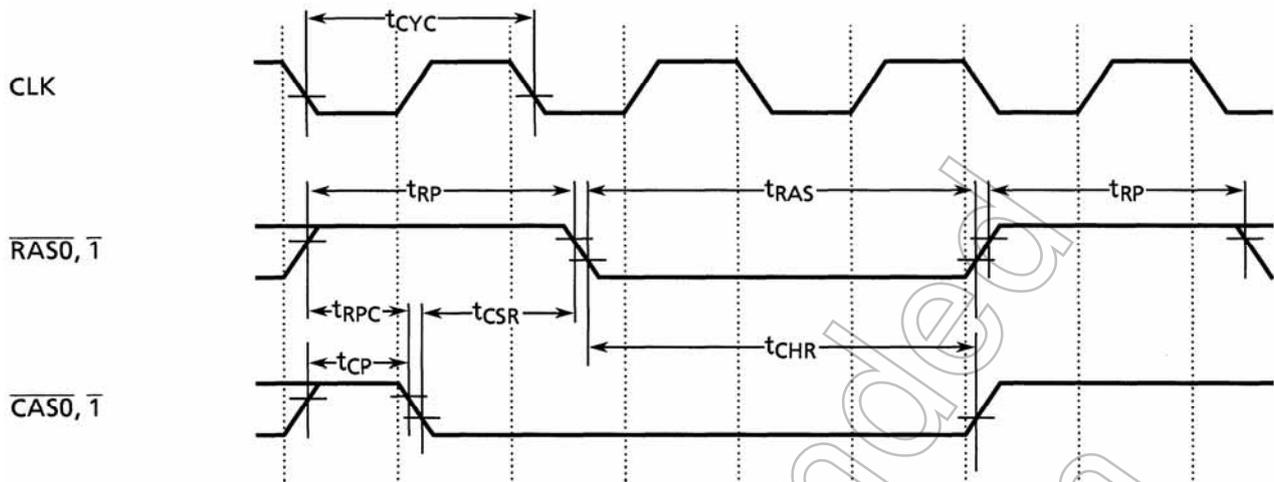
Not Recommended for New

(6) DRAM ページモードライトサイクル (3-2-2-2 モード)

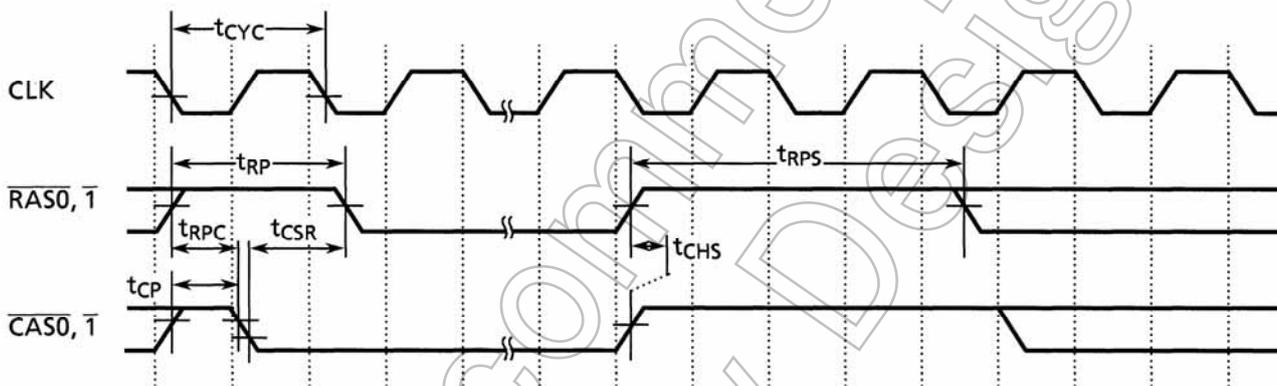


Not Recommended for New

(7) DRAM  $\overline{\text{CAS}}$  ビフォア  $\overline{\text{RAS}}$  インタバルリフレッシュサイクル (3 サイクルモード時)



(8) DRAM  $\overline{\text{CAS}}$  ビフォア  $\overline{\text{RAS}}$  セルフリフレッシュサイクル



Not Recommended for New

## 4.4 イベントカウンタ (TI4, TI5, TI6, TI7, TI8, TI9, TIA, TIB)

 $V_{CC} = 5V \pm 10\%$ ,  $T_A = -20 \sim 70^\circ\text{C}$  (内部16~20 MHz)

項目	記号	Variable		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
クロック周期	$t_{VCK}$	$8T + 100$		500		600		ns
クロック低レベルパルス幅	$t_{VCKL}$	$4T + 40$		240		290		ns
クロック高レベルパルス幅	$t_{VCKH}$	$4T + 40$		240		290		ns

## 4.5 シリアルチャネルタイミング

## (1) SCLK 入力モード (I/O インタフェースモード)

 $V_{CC} = 5V \pm 10\%$ ,  $T_A = -20 \sim 70^\circ\text{C}$  (内部16~20 MHz)

項目	記号	Variable		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK周期	$t_{SCY}$	16T		0.8		1.0		$\mu\text{s}$
Output Data → SCLK立ち上がり	$t_{OSS}$	$t_{SCY}/2 - 5T - 50$		100		138		ns
SCLK立ち上がり → Output Data 保持	$t_{OHS}$	$5T - 100$		150		213		ns
SCLK立ち上がり → Input Data 保持	$t_{HSR}$	0		0		0		ns
SCLK立ち上がり → 有効 Data 入力	$t_{SRD}$		$t_{SCY} - 5T - 100$		450		588	ns

## (2) SCLK 出力モード (I/O インタフェースモード)

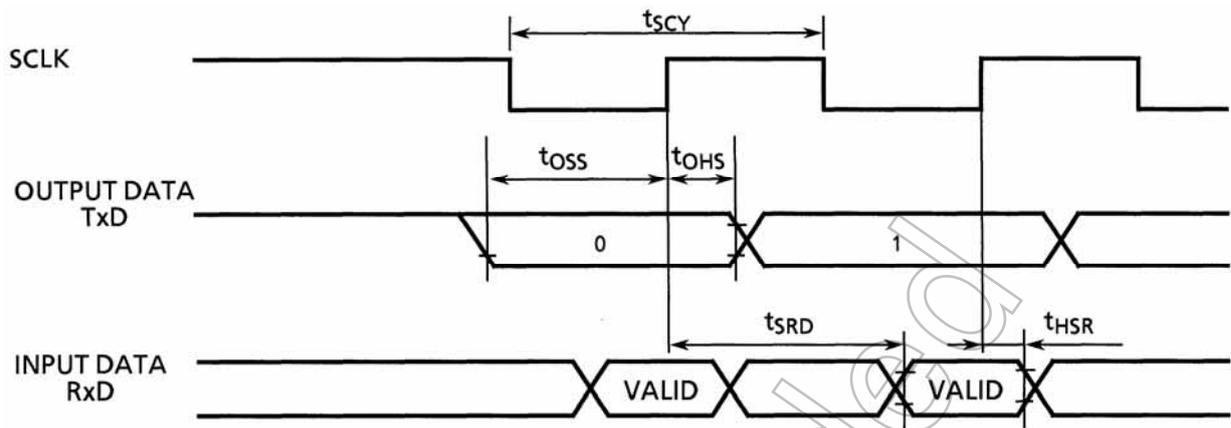
 $V_{CC} = 5V \pm 10\%$ ,  $T_A = -20 \sim 70^\circ\text{C}$  (内部16~20 MHz)

項目	記号	Variable		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK周期 (プログラマブル)	$t_{SCY}$	16T	8192T	0.8	409.6	1.0	512	$\mu\text{s}$
Output Data → SCLK立ち上がり	$t_{OSS}$	$t_{SCY} - 2T - 150$		550		725		ns
SCLK立ち上がり → Output Data 保持	$t_{OHS}$	$2T - 80$		20		45		ns
SCLK立ち上がり → Input Data 保持	$t_{HSR}$	0		0		0		ns
SCLK立ち上がり → 有効 Data 入力	$t_{SRD}$		$t_{SCY} - 2T - 150$		550		725	ns

## (3) SCLK0 入力モード (UART モード)

 $V_{CC} = 5V \pm 10\%$ ,  $T_A = -20 \sim 70^\circ\text{C}$  (内部16~20 MHz)

項目	記号	Variable		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
SCLK周期	$t_{SCY}$	$4T + 20$		220		270		ns
SCLK低レベルパルス幅	$t_{SCYL}$	$2T + 5$		105		130		ns
SCLK高レベルパルス幅	$t_{SCYH}$	$2T + 5$		105		130		ns



#### 4.6 10ビットADコンバータ変換特性

$V_{CC} = 5V \pm 10\%$ ,  $T_A = -20 \sim 70^\circ\text{C}$  (内部16~20 MHz)

項目	記号	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH	$V_{CC} - 0.2V$	$V_{CC}$	$V_{CC}$	V
アナログ基準電圧(-)	VREFL	$V_{SS}$	$V_{SS}$	$V_{SS} + 0.2V$	
アナログ入力電圧	VAIN	VREFL		VREFH	
アナログ基準電圧電源電流	$I_{REF}$ (VREFL = 0 V)		0.5	1.5	mA
$V_{CC} = 5V \pm 10\%$ <VREFON> = 1			0.02	5.0	$\mu\text{A}$
$V_{CC} = 5V \pm 10\%$ <VREFON> = 0					
$V_{CC} = 5V \pm 10\%$ 総合誤差	変換誤差		$\pm 3.0$	$\pm 6$	LSB

注1)  $1\text{LSB} = (V_{REFH} - V_{REFL}) / 1024$  [V]

注2)  $AV_{CC}$  端子より流れる電源電流は、デジタル電源端子の電源電流 ( $I_{CC}$ ) に含まれます。

#### 4.7 8ビットDAコンバータ変換特性

$V_{CC} = 5V \pm 10\%$ ,  $T_A = -20 \sim 70^\circ\text{C}$  (内部16~20 MHz)

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	DAREFH		4.0		$V_{CC}$	V
アナログ基準電圧(-)	DAREFL		$V_{SS}$		$V_{SS}$	V
総合誤差		$R_L = 2.4\text{ k}\Omega$		2.0	4.0	LSB
出力電圧範囲		$R_L = 2.4\text{ k}\Omega$	$V_{SS} + 0.5$		$V_{CC} - 0.5$	V
セットリング時間		$R_L = 2.4\text{ k}\Omega$ , $C_L = 100\text{ pF}$			5	$\mu\text{s}$
出力インピーダンス	DAC出力端子				5	$\Omega$
抵抗性負荷		$V_{SS} + 0.5 \leq \text{DAOUT} \leq V_{CC} - 0.5$	2.4			$\text{k}\Omega$

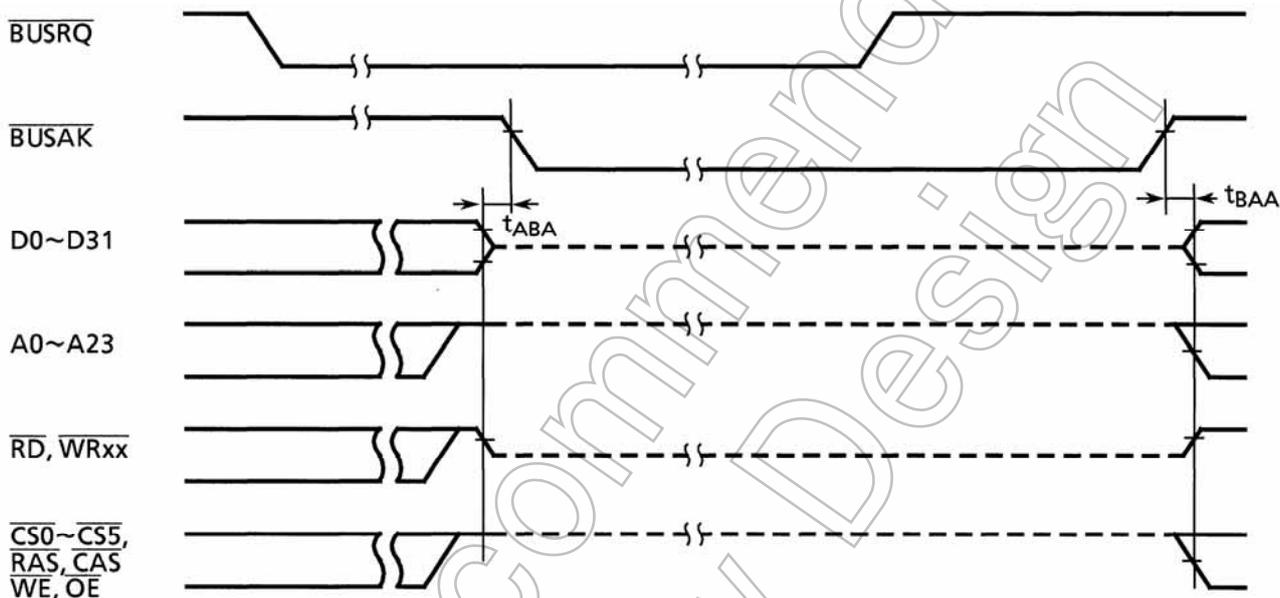
注)  $R_L$  は DA コンバータ出力端子の負荷抵抗です。

4.8 割り込みオペレーション

V<sub>CC</sub> = 5 V ± 10 %, TA = -20~70 °C (内部16~20 MHz)

項目	記号	Variable		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
NMI, INTO 低レベルパルス幅	t <sub>INTAL</sub>	4T		200		250		ns
NMI, INTO 高レベルパルス幅	t <sub>INTAH</sub>	4T		200		250		ns
INT4~INTB 低レベルパルス幅	t <sub>INTBL</sub>	8T + 100		500		600		ns
INT4~INTB 高レベルパルス幅	t <sub>INTBH</sub>	8T + 100		500		600		ns

4.9 バス解放タイミング



V<sub>CC</sub> = 5 V ± 10 %, TA = -20~70 °C (内部 16~20 MHz)

項目	記号	Variable		20 MHz		16 MHz		単位
		Min	Max	Min	Max	Min	Max	
出力バッファ OFF から $\overline{\text{BUSAK}}$ 立ち下がりまでの時間	t <sub>ABA</sub>	0	80	0	80	0	80	ns
$\overline{\text{BUSAK}}$ 立ち上がりから出力バッファ ON までの時間	t <sub>BAA</sub>	0	80	0	80	0	80	ns

注)  $\overline{\text{BUSRQ}}$  を “L” レベルにしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまで、バスは解放されません。

## 5. 特殊機能レジスタ一覧表

特殊レジスタ (SFR) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~0003FFH の 1024 バイトのアドレス空間に割り付けられています。

- (1) 入出力ポート
- (2) タイマ
- (3) ウォッチドッグタイマ
- (4) クロック制御
- (5) シリアルチャネル
- (6) AD コンバータ
- (7) DA コンバータ
- (8) 割り込みコントローラ
- (9) メモリコントローラ
- (10) DRAM コントローラ

表の構成

記号	名称	アドレス	7		6		1		0	

→ bit Symbol  
 → Read / Write  
 → リセット時の初期値  
 → 備考

記号の意味

- R/W: リード/ライト可能  
 R: リードのみ可能  
 W: ライトのみ可能  
 W\*: リード/ライト可能 (ただし、リードした場合、“1” が出ます)  
 1\*: リードした場合、常に“1” が出ます  
 no RMW: リードモディファイライトができません。

具体的には、下記のようなビット操作命令、および、演算結果を I/O レジスタにライトする命令を実行することができません。もし、実行した場合は、その I/O レジスタの値は不定になります。

RES	SET	TSET	CHG
STCF	ANDCF	ORCF	XORCF
その他			

表 5.1 I/O レジスタアドレスマップ

アドレス	名前	アドレス	名前	アドレス	名前	アドレス	名前
TLCS-900/H2型 8bit I/O							
00h	P0	01h	....	02h	P0CR	03h	P0FC
04h	P1	05h	....	06h	P1CR	07h	P1FC
08h	P2	09h	....	0Ah	P2CR	0Bh	P2FC
0Ch	P3	0Dh	....	0Eh	P3CR	0Fh	P3FC
10h	P4	11h	....	12h	P4CR	13h	P4FC
14h	P5	15h	....	16h	P5CR	17h	P5FC
18h	P6	19h	....	1Ah	P6CR	1Bh	P6FC
1Ch	P7	1Dh	....	1Eh	P7CR	1Fh	P7FC
20h	P8	21h	....	22h	P8CR	23h	P8FC
24h	....	25h	....	26h	....	27h	....
28h	PA	29h	....	2Ah	....	2Bh	PAFC
2Ch	PB	2Dh	....	2Eh	....	2Fh	PBFC
30h	PC	31h	....	32h	PCCR	33h	PCFC
34h	PD	35h	....	36h	PDCR	37h	PDFC
38h	PE	39h	....	3Ah	PECR	3Bh	PEFC
3Ch	PF	3Dh	....	3Eh	PFCR	3Fh	PFFC
40h	PG	41h	....	42h	....	43h	....
44h	PH	45h	....	46h	PHCR	47h	PHFC
68h	PZ	69h	....	6Ah	PZCR	6Bh	....
TLCS-90型 I/O							
80h	T8RUN	81h	TRDC	82h	T02FFCR	83h	....
84h	T01MOD	85h	T23MOD	86h	....	87h	....
88h	TREG0	89h	TREG1	8Ah	TREG2	8Bh	TREG3
8Ch	....	8Dh	....	8Eh	....	8Fh	....
90h	TREG4L	91h	TREG4H	92h	TREG5L	93h	TREG5H
94h	CAP4L	95h	CAP4H	96h	CAP5L	97h	CAP5H
98h	T4MOD	99h	T4FFCR	9Ah	....	9Bh	....
9Ch	....	9Dh	....	9Eh	T16RUN	9Fh	T16CR
A0h	TREG6L	A1h	TREG6H	A2h	TREG7L	A3h	TREG7H
A4h	CAP6L	A5h	CAP6H	A6h	CAP7L	A7h	CAP7H
A8h	T6MOD	A9h	T6FFCR	AAh	....	ABh	....
ACh	....	ADh	....	A Eh	....	AFh	....
B0h	TREG8L	B1h	TREG8H	B2h	TREG9L	B3h	TREG9H
B4h	CAP8L	B5h	CAP8H	B6h	CAP9L	B7h	CAP9H
B8h	T8MOD	B9h	T8FFCR	BAh	....	BBh	....
BCh	....	BDh	....	BEh	....	BFh	....
C0h	TREGAL	C1h	TREGAH	C2h	TREGBL	C3h	TREGBH
C4h	CAPAL	C5h	CAPAH	C6h	CAPBL	C7h	CAPBH
C8h	TAMOD	C9h	TAFFCR	CAh	....	CBh	....
CCh	....	CDh	....	CEh	....	CFh	....
D0h	SC0BUF	D1h	SC0CR	D2h	SC0MOD	D3h	BR0CR
D4h	SC1BUF	D5h	SC1CR	D6h	SC1MOD	D7h	BR1CR
D8h	....	D9h	....	DAh	....	DBh	....
DCh	....	DDh	....	DEh	....	DFh	....
TLCS-900/H2型 8bit I/O							
E0h	INTE45	E1h	INTE67	E2h	INTE89	E3h	INTEAB
E4h	INTET01	E5h	INTET23	E6h	INTET45	E7h	INTET67
E8h	INTET89	E9h	INTETAB	EAh	INTES0	EBh	INTES1
ECh	INTETC01	EDh	INTETC23	EEh	INTETC45	EFh	INTETC67
F0h	INTE0AD	F1h	....	F2h	....	F3h	....
F4h	....	F5h	....	F6h	IIMC	F7h	INTNMWDT
F8h	INTCLR	F9h	(予約済)	FAh	....	FBh	....
FCh	(予約済)	FDh	(予約済)	FEh	(予約済)	FFh	(予約済)
100h	DMA0V	101h	DMA1V	102h	DMA2V	103h	DMA3V
104h	DMA4V	105h	DMA5V	106h	DMA6V	107h	DMA7V
108h	DMAB	109h	DMAR	10Ah	CLKMOD	10Bh	(予約済)
10Ch	....	10Dh	....	10Eh	....	10Fh	....

アドレス	名前	アドレス	名前	アドレス	名前	アドレス	名前
TLCS-90 型 I/O							
110h	WDMOD	111h	WDCR	112h	.....	113h	.....
114h	.....	115h	.....	116h	.....	117h	.....
118h	.....	119h	.....	11Ah	.....	11Bh	.....
11Ch	.....	11Dh	.....	11Eh	.....	11Fh	.....
120h	ADREG04L	121h	ADREG04H	122h	ADREG15L	123h	ADREG15H
124h	ADREG26L	125h	ADREG26H	126h	ADREG37L	127h	ADREG37H
128h	ADMOD1	129h	ADMOD2	12Ah	(予約済)	12Bh	.....
12Ch	.....	12Dh	.....	12Eh	.....	12Fh	.....
130h	DAREG0	131h	DAREG1	132h	DADRV	133h	.....
134h	.....	135h	.....	136h	.....	137h	.....
138h	.....	139h	.....	13Ah	.....	13Bh	.....
13Ch	.....	13Dh	.....	13Eh	.....	13Fh	.....
TLCS-900/H2 型 8 bit I/O							
140h	B0CSL	141h	B0CSH	142h	MAMR0	143h	MSAR0
144h	B1CSL	145h	B1CSH	146h	MAMR1	147h	MSAR1
148h	B2CSL	149h	B2CSH	14Ah	MAMR2	14Bh	MSAR2
14Ch	B3CSL	14Dh	B3CSH	14Eh	MAMR3	14Fh	MSAR3
150h	B4CSL	151h	B4CSH	152h	MAMR4	153h	MSAR4
154h	B5CSL	155h	B5CSH	156h	MAMR5	157h	MSAR5
158h	.....	159h	.....	15Ah	.....	15Bh	.....
15Ch	.....	15Dh	.....	15Eh	.....	15Fh	.....
160h	DRAM0CRL	161h	DRAM0CRH	162h	DRAM1CRL	163h	DRAM1CRH
164h	DRAM0REF	165h	DRAM1REF	166h	PMEMCR	167h	.....

補足 1. 「TLCS-900/H2 型 I/O」は、8/16/32 ビットデータバス幅、2クロックでアクセスされます。

補足 2. 「TLCS-90 型 I/O」は、8 ビットデータバス幅、最小 5 クロック(250ns@20MHz)/最大 8 クロック(400ns@20MHz)でアクセスされます。

## (1) 入出力ポート

## Port 0

記号	名称	アドレス	7	6	5	4	3	2	1	0
P0	PORT0	00h	P07	P06	P05	P04	P03	P02	P01	P00
			R/W							
			0	0	0	0	0	0	0	0
P0CR	PORT0 Control Register	02h (no RMW)	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
			W							
			0: Input 1: Output							
P0FC	PORT0 Function Register	03h (no RMW)	-	-	-	-	-	-	-	P0F
			W							
			0: PORT 1: Data Bus (D7~D0)							

## Port 1

記号	名称	アドレス	7	6	5	4	3	2	1	0
P1	PORT1	04h	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			0	0	0	0	0	0	0	0
P1CR	PORT1 Control Register	06h (no RMW)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0: Input 1: Output							
P1FC	PORT1 Function Register	07h (no RMW)	-	-	-	-	-	-	-	P1F
			W							
			0: PORT 1: Data Bus (D15~D8)							

## Port 2

記号	名称	アドレス	7	6	5	4	3	2	1	0
P2	PORT2	08h	P27	P26	P25	P24	P23	P22	P21	P20
			R/W							
			0	0	0	0	0	0	0	0
P2CR	PORT2 Control Register	0Ah (no RMW)	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
			W							
			0: Input 1: Output							
P2FC	PORT2 Function Register	0Bh (no RMW)	-	-	-	-	-	-	-	P2F
			W							
			0: PORT 1: Data Bus (D23~D16)							

## Port 3

記号	名称	アドレス	7	6	5	4	3	2	1	0		
P3	PORT3	0Ch	P37	P36	P35	P34	P33	P32	P31	P30		
			R/W									
			0	0	0	0	0	0	0	0	0	
P3CR	PORT3 Control Register	0Eh (no RMW)	P37C	P36C	P35C	P34C	P33C	P32C	P31C	P30C		
			W									
			0	0	0	0	0	0	0	0	0	
			0: Input 1: Output									
P3FC	PORT3 Function Register	0Fh (no RMW)	-	-	-	-	-	-	-	P3F		
			W									
			-	-	-	-	-	-	-	-	0/1	
			0: PORT 1: Data Bus (D31~D24)									

## Port 4

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P4	PORT4	10h	P47	P46	P45	P44	P43	P42	P41	P40	
			R/W								
			0	0	0	0	0	0	0	0	0
P4CR	PORT4 Control Register	12h (no RMW)	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C	
			W								
			0	0	0	0	0	0	0	0	0
			0: Input 1: Output								
P4FC	PORT4 Function Register	13h (no RMW)	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F	
			W								
			1	1	1	1	1	1	1	1	1
			0: PORT 1: Address Bus (A7~A0)								

## Port 5

記号	名称	アドレス	7	6	5	4	3	2	1	0	
P5	PORT5	14h	P57	P56	P55	P54	P53	P52	P51	P50	
			R/W								
			0	0	0	0	0	0	0	0	0
P5CR	PORT5 Control Register	16h (no RMW)	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C	
			W								
			0	0	0	0	0	0	0	0	0
			0: Input 1: Output								
P5FC	PORT5 Function Register	17h (no RMW)	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F	
			W								
			1	1	1	1	1	1	1	1	1
			0: PORT 1: Address Bus (A15~A8)								

## Port 6

記号	名称	アドレス	7	6	5	4	3	2	1	0
P6	PORT6	18h	P67	P66	P65	P64	P63	P62	P61	P60
			R/W							
			0	0	0	0	0	0	0	0
P6CR	PORT6 Control Register	1Ah (no RMW)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
			W							
			0: Input 1: Output							
P6FC	PORT6 Function Register	1Bh (no RMW)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
			W							
			0: PORT 1: Address Bus (A23~A16)							

## Port 7

記号	名称	アドレス	7	6	5	4	3	2	1	0
P7	PORT7	1Ch	-	P76	P75	P74	P73	P72	P71	P70
			R/W							
			1	1	1	1	1	1	1	1
P7CR	PORT7 Control Register	1Eh (no RMW)	-	-	P75C	-	-	-	-	-
			W							
			0: Input 1: Output							
P7FC	PORT7 Function Register	1Fh (no RMW)	-	P76F	P75F	P74F	P73F	P72F	P71F	P70F
			W							
			0	0	0	0	0	0	0	1
			0: PORT 1: BUSAK	0: PORT 1: BUSRQ	0: PORT 1: WRHH	0: PORT 1: WRHL	0: PORT 1: WRLH	0: PORT 1: WRLL	0: PORT 1: RD	

## Port 8

記号	名称	アドレス	7	6	5	4	3	2	1	0
P8	PORT8	20h	-	P86	P85	P84	P83	P82	P81	P80
			R/W							
			0	1	1	1	0	1	1	
P8CR	PORT8 Control Register	22h (no RMW)	-	P86C	-	-	-	-	-	-
			W							
			0							
P8FC	PORT8 Function Register	23h (no RMW)	-	P86F	P85F	P84F	P83F	P82F	P81F	P80F
			W							
			0	0	0	0	0	0	0	
			0: PORT 1: WAIT	0: PORT 1: CS5	0: PORT 1: CS4	0: PORT 1: CS3 RAS1	0: PORT 1: CS2	0: PORT 1: CS1 RAS0	0: PORT 1: CS0	

Port A

記号	名称	アドレス	7	6	5	4	3	2	1	0
PA	PORTA	28h	-	-	-	PA4	PA3	PA2	PA1	PA0
			R/W							
			-	-	-	1	1	1	1	1
PAFC	PORTA Function Register	2Bh (no RMW)	-	-	-	PA4F	PA3F	PA2F	PA1F	PA0F
			W							
			-	-	-	0	0	0	0	0
			0: PORT	1: WE0	1: OE1	1: OE0				

Port B

記号	名称	アドレス	7	6	5	4	3	2	1	0
PB	PORTB	2Ch	-	-	-	PB4	PB3	PB2	PB1	PB0
			R/W							
			-	-	-	1	1	1	1	1
PBFC	PORTB Function Register	2Fh (no RMW)	-	-	-	PB4F	PB3F	PB2F	PB1F	PB0F
			W							
			-	-	-	0	0	0	0	0
			0: PORT	1: WE1	1: HUCAS1	1: HLCAS1				

Port C

記号	名称	アドレス	7	6	5	4	3	2	1	0
PC	PORTC	30h	-	-	-	-	-	-	PC1	PC0
			R/W							
			-	-	-	-	-	-	0	0
PCCR	PORTC Control Register	32h (no RMW)	-	-	-	-	-	-	PC1C	PC0C
			W							
			-	-	-	-	-	-	0	0
PCFC	PORTC Function Register	33h (no RMW)	-	-	-	-	-	-	PC1F	PC0F
			W							
			-	-	-	-	-	-	0	0

PCFC	PCCR	機能	
		PC1	PC0
0	0	Input	Port
0	1	Output	Port
1	0	TO3	TO1
1	1	TOB	TO7

## Port D

記号	名称	アドレス	7	6	5	4	3	2	1	0
PD	PORTD	34h	-	PD6	PD5	PD4	-	PD2	PD1	PD0
				R/W			R/W			
			-	0	0	0	-	0	0	0
	Input/Output			Input/Output						
PDCR	PORTD Control Register	36h (no RMW)	-	PD6C	PD5C	PD4C	-	PD2C	PD1C	PD0C
				W			W			
			-	0	0	0	-	0	0	0
	0: Input 1: Output			0: Input 1: Output						
PDFC	PORTD Function Register	37h (no RMW)	-	PD6F	PD5F	PD4F	-	PD2F	PD1F	PD0F
				W			W			
			-	0	0	0	-	0	0	0
	0: PORT	0: PORT	0: PORT		0: PORT	0: PORT	0: PORT			
	1: TI7	1: TI6	1: TO6		1: TI5	1: TI4	1: TO4			
			INT7	INT6		INT5	INT4			

## Port E

記号	名称	アドレス	7	6	5	4	3	2	1	0
PE	PORTE	38h	-	PE6	PE5	PE4	-	PE2	PE1	PE0
				R/W			R/W			
			-	0	0	0	-	0	0	0
	Input/Output			Input/Output						
PECR	PORTE Control Register	3Ah (no RMW)	-	PE6C	PE5C	PE4C	-	PE2C	PE1C	PE0C
				W			W			
			-	0	0	0	-	0	0	0
	0: Input 1: Output			0: Input 1: Output						
PEFC	PORTE Function Register	3Bh (no RMW)	-	PE6F	PE5F	PE4F	-	PE2F	PE1F	PE0F
				W			W			
			-	0	0	0	-	0	0	0
	0: PORT	0: PORT	0: PORT		0: PORT	0: PORT	0: PORT			
	1: TIB	1: TIA	1: TOA		1: TI9	1: TI8	1: TO8			
			INTB	INTA		INT9	INT8			

## Port F

記号	名称	アドレス	7	6	5	4	3	2	1	0
PF	PORTF	3Ch	-	PF6	PF5	PF4	-	PF2	PF1	PF0
				R/W			R/W			
			-	0	0	0	-	0	0	0
	Input/Output			Input/Output						
PFCR	PORTF Control Register	3Eh (no RMW)	-	PF6C	PF5C	PF4C	-	PF2C	PF1C	PF0C
				W			W			
			-	0	0	0	-	0	0	0
	0: Input 1: Output			0: Input 1: Output						
PFFC	PORTF Function Register	3Fh (no RMW)	-	PF6F	PF5F	PF4F	-	PF2F	PF1F	PF0F
				W			W			
			-	0	0	0	-	0	0	0
	0: PORT	0: PORT	0: PORT		0: PORT	0: PORT	0: PORT			
	1: CTS1	1: RxD1	1: TxD1		1: CTS0	1: RxD0	1: TxD0			
		SCLK1			SCLK0					

## Port G

記号	名称	アドレス	7	6	5	4	3	2	1	0
PG	PORTG	40h	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
			R							
			Input							

## Port H

記号	名称	アドレス	7	6	5	4	3	2	1	0
PH	PORTH	44h	-	-	-	PH4	PH3	PH2	PH1	PH0
			R/W							
			-	-	-	0	0	0	0	0
			Input/Output							
PHCR	PORTH Control Register	46h (no RMW)	-	-	-	PH4C	PH3C	PH2C	PH1C	PH0C
			W							
			0: Input 1: Output							
PHFC	PORTH Function Register	47h (no RMW)	-	-	-	PH4F	PH3F	PH2F	PH1F	PH0F
			W							
			-	-	-	0	0	0	0	0
			0: PORT 1: INT0    0: PORT 1: TC3    0: PORT 1: TC2    0: PORT 1: TC1    0: PORT 1: TC0							

## Port Z

記号	名称	アドレス	7	6	5	4	3	2	1	0
PZ	PORTZ	68h	PZ7	PZ6	PZ5	PZ4	PZ3	PZ2	PZ1	PZ0
			R/W							
			0	0	0	0	0	0	0	0
			Input/Output							
PZCR	PORTZ Control Register	6Ah (no RMW)	PZ7C	PZ6C	PZ5C	PZ4C	PZ3C	PZ2C	PZ1C	PZ0C
			W							
			0	0	0	0	0	0	0	0
			0: Input 1: Output							

(2) タイマ

8 Bit Timer 01, 23

記号	名称	アドレス	7	6	5	4	3	2	1	0
T8RUN	8 Bit Timer Control	80h	-	-	-	-	T3RUN	T2RUN	T1RUN	T0RUN
			R/W							
			-	-	-	-	0	0	0	0
			8 Bit Timer Run/Stop Control 0: Stop&Clear 1: Run (Countup)							
TREG0	8 Bit Timer Reg. 0	88h (no RMW)	-							
			W 不定							
TREG1	8BitTimer Reg. 1	89h (no RMW)	-							
			W 不定							
T01MOD	8 Bit Timer 0, 1 Source CLK & MODE	84h (no RMW)	T01M1	T01M0	PWM01	PWM00	T1CLK1	T1CLK0	T0CLK1	T0CLK0
			W							
			0	0	0	0	0	0	0	0
			00: 8 bit Timer 01: 16 bit Timer 10: 8 bit PPG 11: 8 bit PWM	00: - 01: 2 <sup>6</sup> -1 10: 2 <sup>7</sup> -1 11: 2 <sup>8</sup> -1	PWM cycle	00: T00TRG 01: φT1 10: φT16 11: φT256	00: Reserved 01: φT1 10: φT4 11: φT16			
TFFCR	8BitTimer Flip-Flop Control	82h (no RMW)	TFF3C1	TFF3C0	TFF3IE	TFF3IS	TFF1C1	TFF1C0	TFF1IE	TFF1IS
			W		R/W		W		R/W	
			-	-	0	0	-	-	0	0
			00: Invert TFF3 01: Set TFF3 10: Clear TFF3 11: Don't care	0: Don't 1: TFF3 Invert Enable	0: T2 1: T3	00: Invert TFF1 01: Set TFF1 10: Clear TFF1 11: Don't care	0: Don't 1: TFF1 Invert Enable	0: T0 1: T1		
TREG2	8 Bit Timer Reg. 2	8Ah (no RMW)	-							
			W 不定							
TREG3	8 Bit Timer Reg. 3	8Bh (no RMW)	-							
			W 不定							
T23MOD	8 Bit Timer 2, 3 Source CLK & MODE	85h (no RMW)	T23M1	T23M0	PWM21	PWM20	T3CLK1	T3CLK0	T2CLK1	T2CLK0
			W							
			0	0	0	0	0	0	0	0
			00: 8 bit Timer 01: 16 bit Timer 10: 8 bit PPG 11: 8 bit PWM	00: - 01: 2 <sup>6</sup> -1 10: 2 <sup>7</sup> -1 11: 2 <sup>8</sup> -1	PWM cycle	00: T02TRG 01: φT1 10: φT16 11: φT256	00: Reserved 01: φT1 10: φT4 11: φT16			
TRDC	Timer Reg. Double Buffer Control Reg	81h	-	-	-	-	-	-	TR2DE	TRODE
			R/W							
			-	-	-	-	-	-	0	0
			0: Double Buffer Disable 1: Double Buffer Enable							

16 Bit Timer Control

記号	名称	アドレス	7	6	5	4	3	2	1	0	
T16RUN	16 Bit Timer Control	9Eh	PRRUN	-	-	-	TARUN	T8RUN	T6RUN	T4RUN	
			R/W	R/W							
			0	-	-	-	0	0	0	0	
			Prescaler 0: Stop 1: Run	16 Bit Timer Run/Stop Control 0: Stop & Clear 1: Run (Countup)							
T16CR	T4, T6, T8, TA Control	9Fh	-	-	-	-	DBAEN	DB8EN	DB6EN	DB4EN	
			R/W	R/W							
			-	-	-	-	0	0	0	0	
			1: Double Buffer Enable								

16 Bit Timer 4

記号	名称	アドレス	7	6	5	4	3	2	1	0		
TREG4L	16 Bit Timer Reg. 4L	90h (no RMW)	-	-	-	-	W 不定	-	-	-		
TREG4H	16 Bit Timer Reg. 4H	91h (no RMW)	-	-	-	-	W 不定	-	-	-		
TREG5L	16 Bit Timer Reg. 5L	92h (no RMW)	-	-	-	-	W 不定	-	-	-		
TREG5H	16 Bit Timer Reg. 5H	93h (no RMW)	-	-	-	-	W 不定	-	-	-		
CAP4L	Capture Reg. 4L	94h	-	-	-	-	R 不定	-	-	-		
CAP4H	Capture Reg. 4H	95h	-	-	-	-	R 不定	-	-	-		
CAP5L	Capture Reg. 5L	96h	-	-	-	-	R 不定	-	-	-		
CAP5H	Capture Reg. 5H	97h	-	-	-	-	R 不定	-	-	-		
T4MOD	16 Bit Timer 4 Source CLK & MODE	98h (no RMW)	-	-	CAP4IN	CAP45M1	CAP45M0	CLE	T4CLK1	T4CLK0		
			-	-	W	R/W						
			-	-	-	0	0	0	0	0	0	
			0: Soft Capture			Capture Timing			Source Clock			
			1: Don't care			00: Disable			00: T14			
						01: T14↑ T15↑			01: φT1			
						10: T14↑ T14↓			10: φT4			
						11: TFF1↑ TFF1↓			11: φT16			
T4FFCR	16 Bit Timer 4 Flip-Flop Control	99h (no RMW)	-	-	CAP5T4	CAP4T4	EQ5T4	EQ4T4	TFF4C1	TFF4C0		
			-	-	R/W				W			
			-	-	0	0	0	0	-	-		
			TFF4 Invert Trigger						00: Invert TFF4			
			0: Trigger Disable						01: Set TFF4			
			1: Trigger Enable						10: Clear TFF4			
									11: Don't care			

16 Bit Timer 6

記号	名称	アドレス	7	6	5	4	3	2	1	0	
TREG6L	16 Bit Timer Reg. 6L	A0h (no RMW)	-			W		-			
			-			不定		-			
TREG6H	16 Bit Timer Reg. 6H	A1h (no RMW)	-			W		-			
			-			不定		-			
TREG7L	16 Bit Timer Reg. 7L	A2h (no RMW)	-			W		-			
			-			不定		-			
TREG7H	16 Bit Timer Reg. 7H	A3h (no RMW)	-			W		-			
			-			不定		-			
CAP6L	Capture Reg. 6L	A4h	-			R		-			
			-			不定		-			
CAP6H	Capture Reg. 6H	A5h	-			R		-			
			-			不定		-			
CAP7L	Capture Reg. 7L	A6h	-			R		-			
			-			不定		-			
CAP7H	Capture Reg. 7H	A7h	-			R		-			
			-			不定		-			
T6MOD	16 Bit Timer 6 Source CLK & MODE	A8h (no RMW)	CAP7T7	EQ7T7	CAP6IN	CAP67M1	CAP67M0	CLE	T6CLK1	T6CLK0	
			R/W		W			R/W			
			0	0	0	0	0	0	0	0	0
			TFF7 INV TRG 0: TRG Disable 1: TRG Enable		0: Soft Capture 1: Don't care		Capture Timing 00: Disable 01: T16 ↑ T17 ↑ 10: T16 ↑ T16 ↓ 11: TFF1 ↑ TFF1 ↓		1: UC6 Clear Enable Source Clock 00: T16 01: φT1 10: φT4 11: φT16		
T6FFCR	16 Bit Timer 6 Flip-Flop Control	A9h (no RMW)	TFF7C1	TFF7C0	CAP7T6	CAP6T6	EQ7T6	EQ6T6	TFF6C1	TFF6C0	
			W				R/W		W		
			0	0	0	0	0	0	-	-	
			00: Invert TFF7 01: Set TFF7 10: Clear TFF7 11: Don't care		TFF6 Invert Trigger 0: Trigger Disable 1: Trigger Enable		00: Invert TFF6 01: Set TFF6 10: Clear TFF6 11: Don't care				

## 16 Bit Timer 8

記号	名称	アドレス	7	6	5	4	3	2	1	0			
TREG8L	16 BitTimer Reg. 8L	B0h (no RMW)	-										
			W										
			不定										
TREG8H	16 BitTimer Reg. 8H	B1h (no RMW)	-										
			W										
			不定										
TREG9L	16 BitTimer Reg. 9L	B2h (no RMW)	-										
			W										
			不定										
TREG9H	16 BitTimer Reg. 9H	B3h (no RMW)	-										
			W										
			不定										
CAP8L	Capture Reg. 8L	B4h	-										
			R										
			不定										
CAP8H	Capture Reg. 8H	B5h	-										
			R										
			不定										
CAP9L	Capture Reg. 9L	B6h	-										
			R										
			不定										
CAP9H	Capture Reg. 9H	B7h	-										
			R										
			不定										
T8MOD	16 Bit Timer 8 Source CLK & MODE	B8h (no RMW)	-	-	CAP8IN	CAP89M1	CAP89M0	CLE	T8CLK1	T8CLK0			
			W		R/W								
			-	-	0	0	0	0	0	0			
			0: Soft Capture Timing		00: Disable		1: UC8 Clear Enable		Source Clock				
1: Don't care		01: T18 ↑		10: T18 ↑		11: TFF1 ↑		01: φT1		10: φT4		11: φT16	
T8FFCR	16 BitTimer8 Flip-Flop Control	B9h (no RMW)	-	-	CAP9T8	CAP8T8	EQ9T8	EQ8T8	TFF8C1	TFF8C0			
			R/W		W								
			-	-	0	0	0	0	-	-			
			TFF8 Invert Trigger		0: Trigger Disable		1: Trigger Enable		00: Invert TFF8				
		0: Trigger Disable		1: Trigger Enable		01: Set TFF8							
		0: Trigger Disable		1: Trigger Enable		10: Clear TFF8							
		0: Trigger Disable		1: Trigger Enable		11: Don't care							

16 Bit Timer A

記号	名称	アドレス	7	6	5	4	3	2	1	0	
TREGAL	16 Bit Timer Reg. AL	C0h (no RMW)				-		W	不定		
TREGAH	16 Bit Timer Reg. AH	C1h (no RMW)				-		W	不定		
TREGBL	16 Bit Timer	C2h (no RMW)				-		W	不定		
TREGBH	16 Bit Timer Reg. BH	C3h (no RMW)				-		W	不定		
CAPAL	Capture Reg. AL	C4h				-		R	不定		
CAPAH	Capture Reg. AH	C5h				-		R	不定		
CAPBL	Capture Reg. BL	C6h				-		R	不定		
CAPBH	Capture Reg. BH	C7h				-		R	不定		
TAMOD	16 Bit Timer A Source CLK & MODE	C8h (no RMW)	CAPBTB	EQBTB	CAPAIN	CAPABM1	CAPABM0	CLE	TACLK1	TACLK0	
			R/W		W			R/W			
			0	0	0	0	0	0	0	0	
			TFFB INV TRG	0: Soft Capture Timing		1: UCA		Source Clock			
			0: TRG Disable	1: Don't care		00: Disable		1: Clear Enable		00: TIA	
			1: TRG Enable			01: TIA ↑ TIB ↑				01: φT1	
						10: TIA ↑ TIA ↓				10: φT4	
						11: TFF1 ↑ TFF1 ↓				11: φT16	
TAFFCR	16 Bit Timer A Flip-Flop Control	C9h (no RMW)	TFFBC1	TFFBC0	CAPBTA	CAPATA	EQBTA	EQATA	TFFAC1	TFFAC0	
			W				R/W			W	
			0	0	0	0	0	0	-	-	
			00: Invert TFFB	TFFA Invert Trigger				00: Invert TFFA			
			01: Set TFFB	0: Trigger Disable				01: Set TFFA			
			10: Clear TFFB	1: Trigger Enable				10: Clear TFFA			
			11: Don't care					11: Don't care			

(3) ウォッチドッグタイマ

記号	名称	アドレス	7	6	5	4	3	2	1	0
WDMOD	Watch Dog Timer Mode	110h	WDTE	WDTP1	WDTP0	-	HALTM1	HALTM0	-	DRVE
			R/W				R/W			R/W
			1	0	0	0	0	0	0	0
			1: WDT Enable	00: 2 <sup>16</sup> /fc 01: 2 <sup>18</sup> /fc 10: 2 <sup>20</sup> /fc 11: 2 <sup>22</sup> /fc		"0" に固定して使用してください		Standby Mode 00: Run Mode 01: Stop Mode 10: IDLE Mode 11: (Reserved)		"0" に固定して使用してください
WDCR	WatchDog Timer Control Register	111h				-				
						W				
						-				
B1h : WDT Disable Code 4Eh : WDT Clear Code										

## (3) クロック制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
CLKMOD	Clock Mode	10Ah	-	-	-	WARM	-	CLKOE	-	-
						R/W		R/W		
			-	-	-	0	-	1	0	0
						Warming up time 0: 2 <sup>15</sup> /fc 1: 2 <sup>17</sup> /fc		CLK output enable 0: High Z 1: out	"0" に固定して使用して ください	

Not Recommended  
for New Design

(5) シリアルチャネル

記号	名称	アドレス	7	6	5	4	3	2	1	0		
SC0BUF	Serial Channel 0 Buffer	D0h (no RMW)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0		
			R (Receiving) / W (Transmission)									
			不定									
SC0CR	Serial Channel 0 Control	D1h	RB8	EVEN	PE	OERR	PERR	FERR	SCLK	IOC		
			R	R/W		R (Clear 0 after reading)				R/W		
			-	0	0	0	0	0	0	0	0	
			Receive Data bit 8	Parity 0: Odd 1: Even	Parity Addition 0: Disable 1: Enable	Overrun	Parity	Framing	0: SCLK0 ↑ 1: SCLK0 ↓	0: Baud rate genera. 1: SCLK0 Pin input		
SC0MOD	Serial Channel 0 Mode	D2h	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0		
			R/W									
			Un defi.	0	0	0	0	0	0	0		
			Trans- mission Data bit 8	0: CTS Disable 1: CTS Enable	0: Receive disable 1: Receive Enable	0: Wake up Disable 1: Wake up Enable	00: I/O interface 01: UART 7 bit 10: UART 8 bit 11: UART 9 bit	00: TO2 Trigger 01: baudrate generator 10: Internal clock ph1 11: External clock SCLK0				
BR0CR	Baud Rate Channel 0	D3h	-	-	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0		
			R/W									
			0	-	0	0	0	0	0	0		
			Only "0"		00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)	Set of the Divided frequency :0000: 16 divisions :0001: don't set :0010 → 1111: 2 to 15 divisions						
SC1BUF	Serial Channel 1 Buffer	D4h	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0		
			R (Receiving) / W (Transmission)									
			不定									
SC1CR	Serial Channel 1 Control	D5h	RB8	EVEN	PE	OERR	PERR	FERR	SCLK	IOC		
			R	R/W		R (Clear 0 after reading)				R/W		
			-	0	0	0	0	0	0	0		
			Receive Data bit 8	Parity 0: Odd 1: Even	Parity Addition 0: Disable 1: Enable	Overrun	Parity	Framing	0: SCLK1 ↑ 1: SCLK1 ↓	0: Baud rate genera. 1: SCLK0 Pin input		
SC1MOD	Serial Channel 1 Mode	D6h	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0		
			R/W									
			Un defi.	0	0	0	0	0	0	0		
			Trans- mission Data bit 8	1: CTS Enable	1: Receive Enable	1: Wake up Enable	00: I/O interface 01: UART 7 bit 10: UART 8 bit 11: UART 9 bit	00: TO2 Trigger 01: baudrate generator 10: Internal clock ph1 11: External clock SCLK1				
BR1CR	Baud Rate Channel 1	D3h	-	-	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0		
			R/W									
			0	-	0	0	0	0	0	0		
			Only "0"		00: φT0 (4/fc) 01: φT2 (16/fc) 10: φT8 (64/fc) 11: φT32 (256/fc)	Set of the Divided frequency :0000: 16 divisions :0001: don't set :0010 → 1111: 2 to 15 divisions						

(6) AD コンバータ

記号	名称	アドレス	7	6	5	4	3	2	1	0	
ADMOD1	AD Mode Reg. 1	128h	EOCF	ADBF	-	-	-	RPT	SCAN	ADS	
			R			R/W					
			0	0	0	-	-	0	0	0	
			0: Busy or Stop 1: End	0: Stop 1: Busy	"0"に固定して使用してください			Repeat Mode 0: Once 1: Repeat	Scan Mode 0: Settle 1: Scan	0: - 1: Run Conver.	
ADMOD2	AD Mode Reg. 2	129h	VREFON	-	SPEED1	SPEED0	-	ADCH2	ADCH1	ADCH0	
			R/W		R/W		R/W				
			1	-	0	0	-	0	0	0	
			0: ラダー抵抗off 1: ラダー抵抗on		SpeedSelect 00: 160 state 01: 320 state 10: 640 state 11: 1280 state			(下表を参照)			
ADREG04L	AD Result Reg 0/4 Low	120h	ADR01	ADR00	-	-	-	-	-	-	
			不定			R					
ADREG04H	AD Result Reg 0/4 High	121h	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02	
			不定			R					
ADREG15L	AD Result Reg 1/5 Low	122h	ADR11	ADR10	-	-	-	-	-	-	
			不定			R					
ADREG15H	AD Result Reg 1/5 High	123h	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12	
			不定			R					
ADREG26L	AD Result Reg 2/6 Low	124h	ADR21	ADR20	-	-	-	-	-	-	
			不定			R					
ADREG26H	AD Result Reg 2/6 High	125h	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22	
			不定			R					
ADREG37L	AD Result Reg 3/7 Low	126h	ADR31	ADR30	-	-	-	-	-	-	
			不定			R					
ADREG37H	AD Result Reg 3/7 High	127h	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32	
			不定			R					

ADCH [2:0]	SCAN	
	0	1
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011	AN3	AN0 → AN1 → AN2 → AN3
100	AN4	AN4
101	AN5	AN4 → AN5
110	AN6	AN4 → AN5 → AN6
111	AN7	AN4 → AN5 → AN6 → AN7

(7) DA コンバータ

記号	名称	アドレス	7	6	5	4	3	2	1	0
DAREG0	DA Conversion Reg. 0	130h (no RMW)	-							
			W							
			不定							
			レジスタライトでDA変換開始し、DAOUT0へ出力							
DAREG1	DA Conversion Reg. 1	131h (no RMW)	-							
			W							
			不定							
			レジスタライトでDA変換開始し、DAOUT1へ出力							
DADRV	DA Drive Register	132h	-	-	-	-	-	-	DA1DR	DA0DR
			R/W							
			-	-	-	-	-	-	0	0
			0: High-Z 1: レジスタ値変換出力							

Not Recommended for New Design

## (8) 割り込みコントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0 & INTAD Enable	F0h	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE45	INT4 & INT5 Enable	E0h	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE67	INT6 & INT7 Enable	E1h	INT7				INT6			
			I7C	I7M2	I7M1	I7M0	I6C	I6M2	I6M1	I6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE89	INT8 & INT9 Enable	E2h	INT9				INT8			
			I9C	I9M2	I9M1	I9M0	I8C	I8M2	I8M1	I8M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEAB	INTA & INTB Enable	E3h	INTB				INTA			
			IBC	IBM2	IBM1	IBM0	IAC	IAM2	IAM1	IAM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE01	INTT0 & INTT1 Enable	E4h	INTT1 (Timer1)				INTT0 (Timer0)			
			IT1C	IT1M2	IT1M1	IT1M0	IT0C	IT0M2	IT0M1	IT0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE23	INTT2 & INTT3 Enable	E5h	INTT3 (Timer3)				INTT2 (Timer2)			
			IT3C	IT3M2	IT3M1	IT3M0	IT2C	IT2M2	IT2M1	IT2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE45	INTTR4 & INTTR5 Enable	E6h	INTTR5 (TREG5)				INTTR4 (TREG4)			
			IT5C	IT5M2	IT5M1	IT5M0	IT4C	IT4M2	IT4M1	IT4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE67	INTTR6 & INTTR7 Enable	E7h	INTTR7 (TREG7)				INTTR6 (TREG6)			
			IT7C	IT7M2	IT7M1	IT7M0	IT6C	IT6M2	IT6M1	IT6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE89	INTTR8 & INTTR9 Enable	E8h	INTTR9 (TREG9)				INTTR8 (TREG8)			
			IT9C	IT9M2	IT9M1	IT9M0	IT8C	IT8M2	IT8M1	IT8M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTEAB	INTTRA & INTTRB Enable	E9h	INTTRB (TREGB)				INTTRA (TREGA)			
			ITBC	ITBM2	ITBM1	ITBM0	ITAC	ITAM2	ITAM1	ITAM0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES0	INTRX0 & INTTX0 Enable	EAh	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE51	INTRX1 & INTTX1 Enable	EBh	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC01	INTTC0 & INTTC1 Enable	ECh	INTTC1				INTTC0			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2 & INTTC3 Enable	EDh	INTTC3				INTTC2			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC45	INTTC4 & INTTC5 Enable	EEh	INTTC5				INTTC4			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC67	INTTC6 & INTTC7 Enable	EFh	INTTC7				INTTC6			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTNMWDT	NMI & INTWD Enable	F7h	NMI				INTWD			
			ITCNM	-	-	-	ITCWD	-	-	-
			R				R			
			0				0			

IxxM2	IxxM1	IxxM0	機能 (Write)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込み要求レベルを '1' に設定
0	1	0	割り込み要求レベルを '2' に設定
0	1	1	割り込み要求レベルを '3' に設定
1	0	0	割り込み要求レベルを '4' に設定
1	0	1	割り込み要求レベルを '5' に設定
1	1	0	割り込み要求レベルを '6' に設定
1	1	1	割り込み要求を禁止に設定

記号	名称	アドレス	7	6	5	4	3	2	1	0	
IIMC	Interrupt Input Mode Control	F6h (no RMW)	-	-	-	-	-	-	I0LE	NMIREE	
			R/W								
			-	-	-	-	-	-	0	0	
											0: INTO edge mode 1: INTO level mode

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt Clear Control	F8h (no RMW)	Interrupt Vector							
			W							
			0	0	0	0	0	0	0	0
DMA0V	DMA 0 Start Vector	100h	DMA0 Start Vector							
			0	0	DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
			R/W							
DMA1V	DMA 1 Start Vector	101h	DMA1 Start Vector							
			0	0	DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
			R/W							
DMA2V	DMA 2 Start Vector	102h	DMA2 Start Vector							
			0	0	DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
			R/W							
DMA3V	DMA 3 Start Vector	103h	DMA3 Start Vector							
			0	0	DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
			R/W							
DMA4V	DMA 4 Start Vector	104h	DMA4 Start Vector							
			0	0	DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
			R/W							
DMA5V	DMA 5 Start Vector	105h	DMA5 Start Vector							
			0	0	DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
			R/W							
DMA6V	DMA 6 Start Vector	106h	DMA6 Start Vector							
			0	0	DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
			R/W							
DMA7V	DMA 7 Start Vector	107h	DMA7 Start Vector							
			0	0	DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
			R/W							
DMAB	DMA Burst	108h	DMA Burst							
			DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
DMAR	DMA Request	109h (no RMW)	DMA Request							
			DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0

(9) メモリコントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0		
B0CSL	Block 0 CS/WAIT Control reg. L	140h  (no RMW)	-	B0WW2	B0WW1	B0WW0	-	B0WR2	B0WR1	B0WR0		
				W				W				
			-	0	1	0	-	0	1	0		
				001: 0 wait 010: 1 wait 011: N wait others: (Reserved)	101: 2 wait 110: 3 wait			001: 0 wait 010: 1 wait 011: N wait others: (Reserved)	101: 2 wait 110: 3 wait			
B0CSH	Block 0 CS/WAIT Control reg. H	141h  (no RMW)	B0E	-	-	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0		
			W			W		W				
			0	-	-	0	0	0	0	0		
			CS select 1: enable 0: disable			Recovery 0: 0 state 1: 1 state	00: SRAM/ROM 01: (Reserved) 10: (Reserved) 11: (Reserved)	00: 8 bit 01: 16 bit 10: 32 bit 11: (Reserved)				
MAMR0	Memory Start Address Mask reg. 0	142h	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-V9	M0V8		
				R/W								
			1	1	1	1	1	1	1	1	1	
				0: Compare enable				1: Compare disable				
MSAR0	Memory Start Address reg. 0	143h	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16		
				R/W								
			1	1	1	1	1	1	1	1	1	
				Set start address A23 to A16								
B1CSL	Block 1 CS/WAIT Control reg. L	144h  (no RMW)	-	B1WW2	B1WW1	B1WW0	-	B1WR2	B1WR1	B1WR0		
				W				W				
			-	0	1	0	-	0	1	0		
				001: 0 wait 010: 1 wait 011: N wait others: (Reserved)	101: 2 wait 110: 3 wait			001: 0 wait 010: 1 wait 011: N wait others: (Reserved)	101: 2 wait 110: 3 wait			
B1CSH	Block 1 CS/WAIT Control reg. H	145h  (no RMW)	B1E	-	-	B1REC	B10M1	B10M0	B1BUS1	B1BUS0		
			W			W		W				
			0	-	-	0	0	0	0	0		
			CS select 1: enable 0: disable			Recovery 0: 0 state 1: 1 state	00: SRAM/ROM 01: (Reserved) 10: DRAM 11: (Reserved)	00: 8 bit 01: 16 bit 10: 32 bit 11: (Reserved)				
MAMR1	Memory Start Address Mask reg. 1	146h	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-V9	M1V8		
				R/W								
			1	1	1	1	1	1	1	1	1	
				0: Compare enable				1: Compare disable				
MSAR1	Memory Start Address reg. 1	147h	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16		
				R/W								
			1	1	1	1	1	1	1	1	1	
				Set start address A23 to A16								

記号	名称	アドレス	7	6	5	4	3	2	1	0	
B2CSL	Block 2 CS/WAIT Control reg. L	148h  (no RMW)	-	B2WW2	B2WW1	B2WW0	-	B2WR2	B2WR1	B2WR0	
			W			W					
			-	0	1	0	-	0	1	0	
			001: 0 wait 010: 1 wait 011: N wait others: (Reserved)			101: 2 wait 110: 3 wait			001: 0 wait 010: 1 wait 011: N wait others: (Reserved)		
B2CSH	Block 2 CS/WAIT Control reg. H	149h  (no RMW)	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0	
			W			W			W		
			1	0	-	0	0	0	0	0	
			CS select 1: enable 0: disable	0: 16MB 1: Sets area.		Recovery 0: 0 state 1: 1 state	00: SRAM/ROM 01: (Reserved) 10: (Reserved) 11: (Reserved)		00: 8 bit 01: 16 bit 10: 32 bit 11: (Reserved)		
MAMR2	Memory Start Address Mask reg. 2	14Ah	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15	
			R/W								
			1	1	1	1	1	1	1	1	
0: Compare enable 1: Compare disable											
MSAR2	Memory Start Address reg. 2	14Bh	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16	
			R/W								
			1	1	1	1	1	1	1	1	
Set start address A23 to A16											
B3CSL	Block 3 CS/WAIT Control reg. L	14Ch  (no RMW)	-	B3WW2	B3WW1	B3WW0	-	B3WR2	B3WR1	B0WR0	
			W			W					
			-	0	1	0	-	0	1	0	
			001: 0 wait 010: 1 wait 011: N wait others: (Reserved)			101: 2 wait 110: 3 wait			001: 0 wait 010: 1 wait 011: N wait others: (Reserved)		
B3CSH	Block 3 CS/WAIT Control reg. H	14Dh  (no RMW)	B3E	-	-	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0	
			W			W			W		
			0	-	-	0	0	0	0	0	
			CS select 1: enable 0: disable			Recovery 0: 0 state 1: 1 state	00: SRAM/ROM 01: (Reserved) 10: DRAM 11: (Reserved)		00: 8 bit 01: 16 bit 10: 32 bit 11: (Reserved)		
MAMR3	Memory Start Address Mask reg. 3	14Eh	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15	
			R/W								
			1	1	1	1	1	1	1	1	
0: Compare enable 1: Compare disable											
MSAR3	Memory Start Address reg. 3	14Fh	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16	
			R/W								
			1	1	1	1	1	1	1	1	
Set start address A23 to A16											

記号	名称	アドレス	7	6	5	4	3	2	1	0
B4CSL	Block 4 CS/WAIT Control reg. L	150h  (no RMW)	-	B4WW2	B4WW1	B4WW0	-	B4WR2	B4WR1	B4WR0
				W				W		
			-	0	1	0	-	0	1	0
			001: 0 wait	101: 2 wait			001: 0 wait	101: 2 wait		
			010: 1 wait	110: 3 wait			010: 1 wait	110: 3 wait		
			011: N wait				011: N wait			
			others: (Reserved)				others: (Reserved)			
B4CSH	Block 4 CS/WAIT Control reg. H	151h  (no RMW)	B4E	-	-	B4REC	B4OM1	B4OM0	B4BUS1	B4BUS0
			W			W		W		
			0	-	-	0	0	0	0	0
			CS select 1: enable 0: disable			Recovery 0: 0 state 1: 1 state	00: SRAM/ROM 01: (Reserved) 10: (Reserved) 11: (Reserved)	00: 8 bit 01: 16 bit 10: 32 bit 11: (Reserved)		
MAMR4	Memory Start Address Mask reg. 4	152h	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
			R/W							
			1	1	1	1	1	1	1	1
			0: Compare enable 1: Compare disable							
MSAR4	Memory Start Address reg.4	153h	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
			R/W							
			1	1	1	1	1	1	1	1
			Set start address A23 to A16							
B5CSL	Block 5 CS/WAIT Control reg. L	154h  (no RMW)	-	B5WW2	B5WW1	B5WW0	-	B5WR2	B5WR1	B5WR0
				W				W		
			-	0	1	0	-	0	1	0
			001: 0 wait	101: 2 wait			001: 0 wait	101: 2 wait		
			010: 1 wait	110: 3 wait			010: 1 wait	110: 3 wait		
			011: N wait				011: N wait			
			others: (Reserved)				others: (Reserved)			
B5CSH	Block 5 CS/WAIT Control reg. H	155h  (no RMW)	B5E	-	-	B5REC	B5OM1	B5OM0	B5BUS1	B5BUS0
			W			W		W		
			0	-	-	0	0	0	0	0
			CS select 1: enable 0: disable			Recovery 0: 0 state 1: 1 state	00: SRAM/ROM 01: (Reserved) 10: (Reserved) 11: (Reserved)	00: 8 bit 01: 16 bit 10: 32 bit 11: (Reserved)		
MAMR5	Memory Start Address Mask reg. 5	156h	M5V22	M5V21	M5V20	M5V19	M5V18	M5V17	M5V16	M5V15
			R/W							
			1	1	1	1	1	1	1	1
			0: Compare enable 1: Compare disable							
MSAR5	Memory Start Address reg. 5	157h	M5S23	M5S22	M5S21	M5S20	M5S19	M5S18	M5S17	M5S16
			R/W							
			1	1	1	1	1	1	1	1
			Set start address A23 to A16							
PMEMCR	Page ROM Control reg.	166h	-	-	-	OPGE	OPWR1	OPWR0	PR1	PR0
						R/W				
			-	-	-	0	0	0	1	0
			ROMpage access 0: Disable 1: Enable	Wait number on page 00: 1 CLK (n-1-1-1 mode) 01: 2 CLK (n-2-2-2 mode) 10: 3 CLK (n-3-3-3 mode) 11: (Reserved)	Byte number in a page 00: 64 Byte 01: 32 Byte 10: 16 Byte 11: 8 Byte					

(10) DRAM コントローラ

記号	名称	アドレス	7	6	5	4	3	2	1	0
DRAM0CRL	DRAM 0 Control Register L	160h	SFRC0	-	BRM0	-	MUXE0	MUXW01	MUXW00	MAC0
			R/W							
			1	-	0		0	0	0	0
			Self-refresh 0: Exec. 1: Rele.	Bus release mode control 0: Rele. 1: Not release	address multiplex 0: disable 1: Enable	Multiplexed length address 00: 8 bit 01: 9 bit 10: 10 bit 11: 11 bit	memory access control 0: Disable 1: Enable			
DRAM0CRH	DRAM 0 Control Register H	161h	POWW1	POWW0	POWR1	POWR0	PGE0	-	-	-
			R/W							
			1	0	1	0	0	-	-	-
			00: (Reserved) 01: 1wait (n-2-2-2 mode) 10: 2wait (n-3-3-3 mode) 11: (Reserved)	00: (Reserved) 01: 1wait (n-2-2-2 mode) 10: 2wait (n-3-3-3 mode) 11: (Reserved)	DRAM page access 1: Enable					
DRAM1CRL	DRAM 1 Control Register L	162h	SFRC1	-	BRM1	-	MUXE1	MUXW11	MUXW10	MAC1
			R/W							
			1	-	0		0	0	0	0
			Self-refresh 0: Exec. 1: Rele.	Bus release mode control 0: Rele. 1: Not release	address multiplex 0: disable 1: Enable	Multiplexed length address 00: 8 bit 01: 9 bit 10: 10 bit 11: 11 bit	memory access control 0: Disable 1: Enable			
DRAM1CRH	DRAM 1 Control Register H	163h	P1WW1	P1WW0	P1WR1	P1WR0	PGE1	-	-	-
			R/W							
			1	0	1	0	0	-	-	-
			00: (Reserved) 01: 1wait (n-2-2-2 mode) 10: 2wait (n-3-3-3 mode) 11: (Reserved)	00: (Reserved) 01: 1wait (n-2-2-2 mode) 10: 2wait (n-3-3-3 mode) 11: (Reserved)	DRAM page access 1: Enable					
DRAM0REF	DRAM 0 Refresh Control	164h	DM0	RS02	RS01	RS00	RW02	RW01	RW00	RC0
			R/W							
			0	0	0	0	0	0	0	0
			Dummy cycle 0: Prohibit 1: Execute	Refresh cycle insertion at 000: 78 100: 246 001: 154 101: 302 010: 188 110: 308 011: 226 111: 384	Refresh cycle width 000: 2 100: 6 001: 3 101: 7 010: 4 110: 8 011: 5 111: 9	Refresh cycle 0: Not insert 1: insert				
DRAM1REF	DRAM 1 Refresh Control	165h	DM1	RS12	RS11	RS10	RW12	RW11	RW10	RC1
			R/W							
			0	0	0	0	0	0	0	0
			Dummy cycle 0: Prohibit 1: Execute	Refresh cycle insertion at 000: 78 100: 246 001: 154 101: 302 010: 188 110: 308 011: 226 111: 384	Refresh cycle width 000: 2 100: 6 001: 3 101: 7 010: 4 110: 8 011: 5 111: 9	Refresh cycle 0: Not insert 1: insert				

## 6. ポート部等価回路図

- 回路図の見方

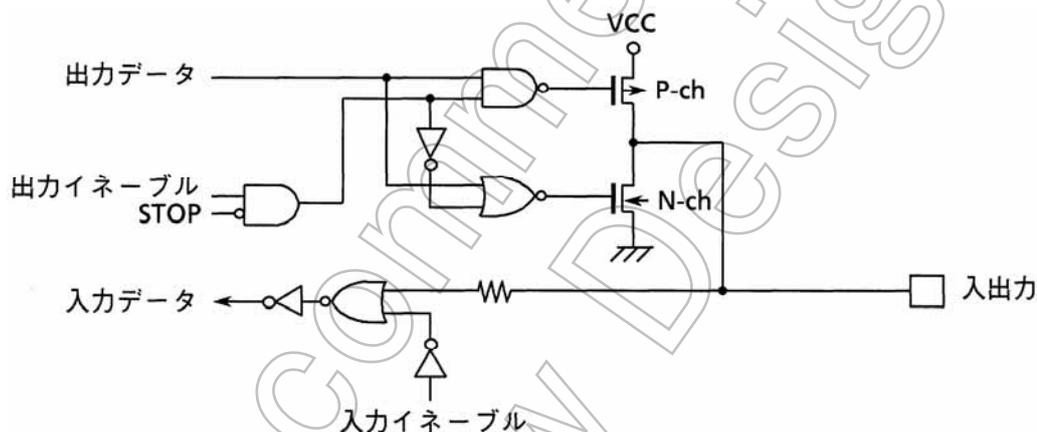
基本的に、標準 CMOS ロジック IC 「74HC××」 シリーズと同じゲート記号を使って書かれています。

信号名の中で、特殊なものについては、下記に示します。

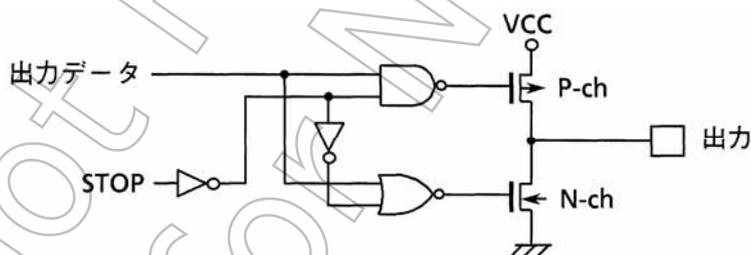
**STOP:** この信号は、HALT モード設定レジスタを「STOP」モード (WDMOD<HALTM1, 0> = 0, 1) にして、CPU が「HALT」命令を実行したとき、アクティブ“1”になります。ただし、ドライブイネーブルビット WDMOD<DRVE>が“1”にセットされているときは、STOP は“0”のままです。

- 入力保護抵抗は、数十Ω~数百Ω程度です。

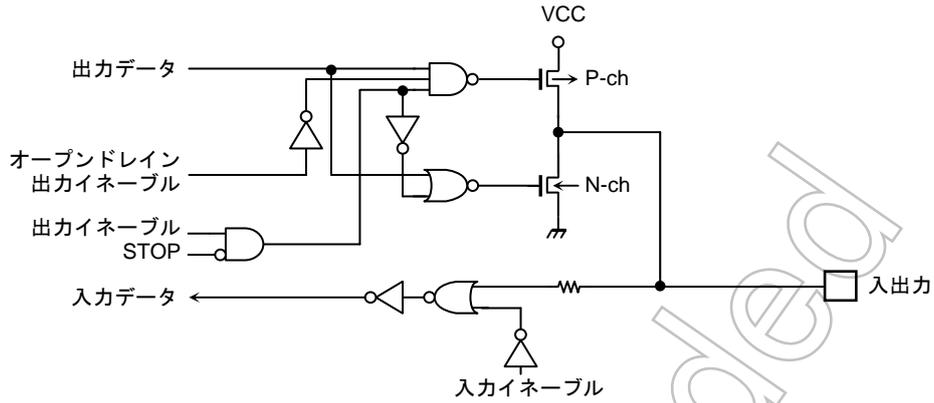
- P0 (D0~D7), P1 (D8~D15), P2 (D16~D23), P3 (D24~D31), P4 (A0~A7), P5 (A8~A15), P6 (A16~A23), P75 ( $\overline{\text{BUSRQ}}$ ), P86 (WAIT), PC, PD, PE, PF6 ( $\overline{\text{CTS1}}$ , SCLK1), PFS (RXD1), PF2 (CTS0, SCLK0), PF1 (RXD0), (PH0~PH3), PZ



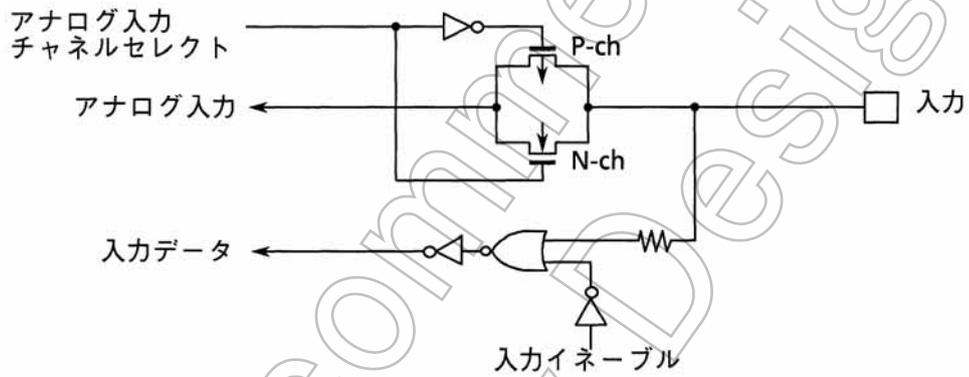
- P76 ( $\overline{\text{BUSAK}}$ ), (P70~P74), (P80~P85)



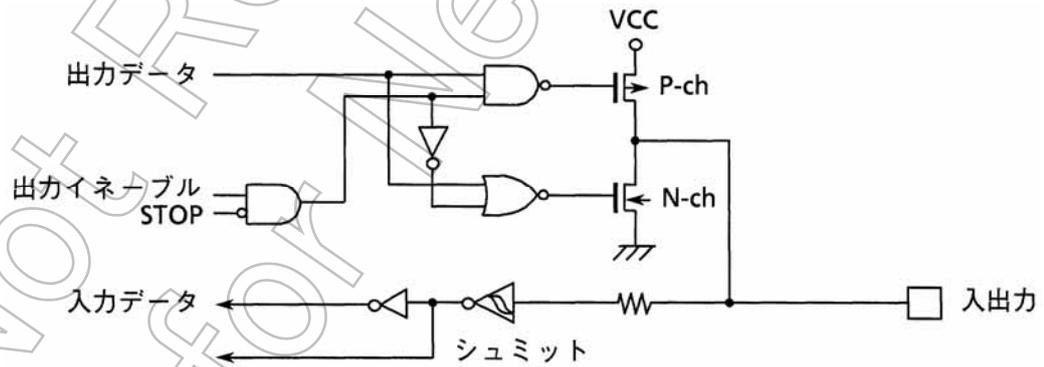
■ PF0 (TXD0), PF4 (TXD1)



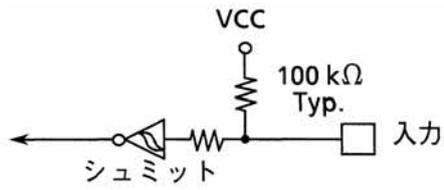
■ PG (AN0~AN7)



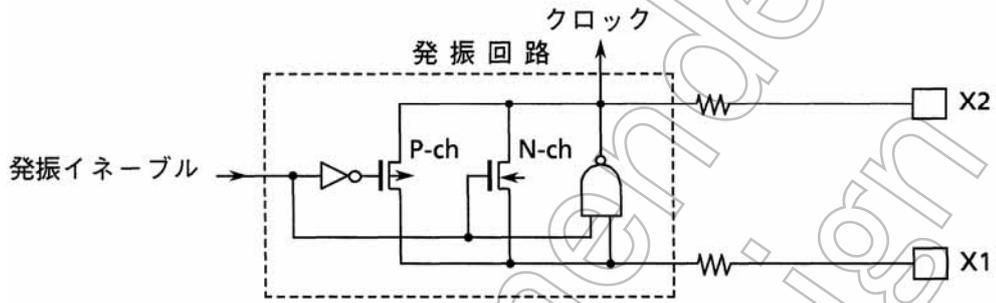
■ PH4 (INT0)



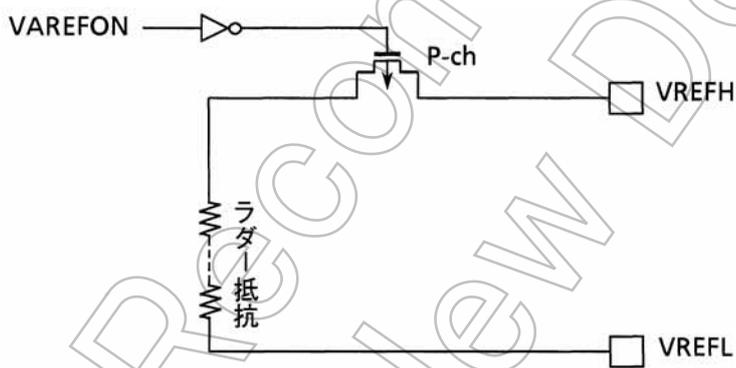
■  $\overline{\text{RESET}}$



■ X1, X2

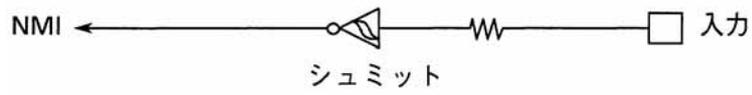


■ VREFH, VREFL



Not Recommended for New Design

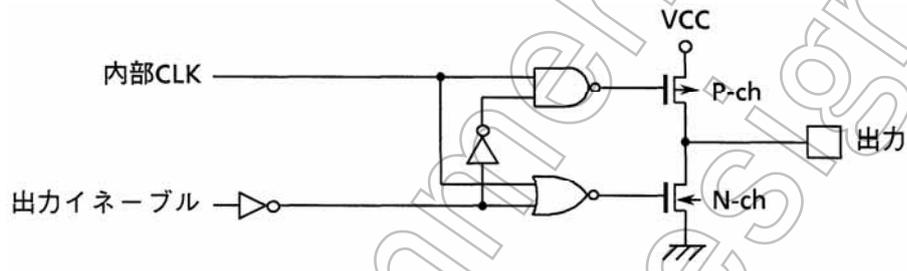
■  $\overline{\text{NMI}}$



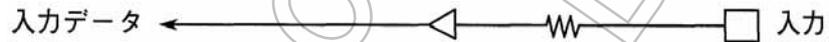
■  $\overline{\text{WDTOUT}}$



■ CLK



■ AM0~AM1, TEST0~TEST1



Not Recommended for New Design

## 7. 使用上の注意, 制限事項

### (1) 特別な表記、言葉の説明

1. 内蔵 I/O レジスタの説明: レジスタシンボル<ビットシンボル>  
例) T8RUN<TORUN> … レジスタ T8RUN のビット TORUN
2. リードモディファイライト命令  
CPU が、あるメモリに対してデータをリードした後に、そのデータを操作し同じメモリ番地にデータをライトする命令。  
例 1) SET 3, (T8RUN) … T8RUN レジスタのビット 3 をセットする。  
例 2) INC 1, (100H) … アドレス 100H のデータを+1する。
  - TLCS-900/H2 における代表的なリードモディファイライト命令

SET	imm, mem	,	RES	imm, mem
CHG	imm, mem	,	TSET	imm, mem
INC	imm, mem	,	DEC	imm, mem
RLD	A, mem	,	ADD	imm, reg

### (2) 使用上の注意、制限事項

1. ウォッチドッグタイマ  
リセット後、ウォッチドッグタイマは、動作イネーブル状態となっているためウォッチドッグタイマを使用しない場合は、動作禁止に設定してください。  
バス解放機能使用した場合、バス開放中もウォッチドッグタイマなどの I/O ブロックは動作していますので注意が必要です。
2. クロックの安定時間  
外部リセットを解除して、内部リセットが解除されるまでは、「内部クロック倍速回路」を使用する場合、その回路の安定時間が自動的に入ります。詳細は、3.1.2「リセット動作」の章を参照してください。  
また、スタンバイの STOP モードを割り込みで解除して、内部回路が動作開始されるまでは、発振器の安定時間などが、自動的に入ります。詳細は、3.4「スタンバイ機能 (3) STOP モード」の章を参照してください。
3. 未定義の内蔵 I/O レジスタの扱い  
定義されていない内蔵 I/O レジスタのビットは、リードを行うと、不定値が出力されます。そのため、プログラムを作成するときは、このビット状態に依存しないものにしてください。
4. データバス端子の設定  
AM0, AM1 端子の設定により、リセット解除後に 8 ビットデータバスまたは 16 ビットデータバスで起動した場合、上位データバスは入力ポートの設定になっていますので、上位データバスを使用する時は、そのデータバス端子のポート制御レジスタを書き替えてください。
5. 「POP SR」命令  
「POP SR」命令の実行は、DI 状態で行ってください。
6. 割り込み要求によるホルト状態からの解除  
通常は、割り込みによってホルト状態を解除することができますが、HALT モードが IDLE、STOP モードに設定されている状態 (RUN は対象外) で、CPU が HALT モードに移行しようとしている期間 (X1 約 3 クロックの間) に、HALT モードを解除可能な割り込み (NMI, INT0) が入力されても、ホルトが解除できない場合があります (割り込み要求は内部に保留されます)。  
HALT モードへ完全に移行された後に、再度割り込みが発生すれば、問題なく HALT モードを解除できますが、割り込み処理は内部に保留された割り込みと現在の割り込みを比較し、その優先順位に従って順次処理されます。

8. パッケージ外形寸法図

QFP160-P-2828-0.65A

Unit: mm

