TOSHIBA

8 ビットマイクロコントローラ

TLCS-870/C シリーズ

TMP86CM72FG

Not Recommended for New Design

株式会社 東芝 セミコンダクター社

● 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。021023_A

● 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

©TOSHIBA CORPORATION 2007
All Rights Reserved

Not Recommended for New Design

改訂履歴

日付	版	改訂理由
2007/10/4	1	First Release
2008/8/29	2	内容改訂

Not Recommended for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定(RXDNC設定)には以下の制約があります。"○"の箇所にて使用し、"－"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 （ノイズ除去なし）	01 （31/fc[s] 未満のパルス除去）	10 （63/fc[s] 未満のパルス除去）	11 （127/fc[s] 未満のパルス除去）
000	fc/13	○	○	○	－
110 （タイマカウンタ割り込みでの転送クロックが右記となる場合）	fc/8	○	－	－	－
	fc/16	○	○	－	－
	fc/32	○	○	○	－
上記以外		○	○	○	○

Not Recommended for New Design

2009 年 09 月 30 日

正誤表

【電気的特性】章

絶対最大定格

項目	記号	端子	
出力電圧	V_{OUT2}	シンクオープンドレインポート	ソースオープンドレイン
		（誤）	（正）

動作条件

項目	記号	端子	
出力電圧	V_{OUT3}	シンクオープンドレイン端子	ソースオープンドレイン
		（誤）	（正）

ＤＣ特性（１）

項目	記号	端子	
プルダウン抵抗	R_K	シンクオープンドレイン	ソースオープンドレイン
		（誤）	（正）
出力リーク電流	I_{LO2}	シンクオープンドレイン	ソースオープンドレイン
		（誤）	（正）

ＤＣ特性（２）

項目	記号	端子	
プルダウン抵抗	R_K	シンクオープンドレイン	ソースオープンドレイン
		（誤）	（正）
出力リーク電流	I_{LO2}	シンクオープンドレイン	ソースオープンドレイン
		（誤）	（正）

Not Recommended for New Design

目　次

TMP86CM72FG

1.1　特　長 1
1.2　ピン配置図. 3
1.3　ブロック図. 4
1.4　端子機能 5

第 2 章　動作説明

2.1　CPU コア機能 9
2.1.1　メモリアドレスマップ 9
2.1.2　プログラムメモリ (MaskROM) 9
2.1.3　データメモリ (RAM) 10
2.2　システムクロック制御回路 11
2.2.1　クロックジェネレータ 11
2.2.2　タイミングジェネレータ 12
2.2.2.1　タイミングジェネレータの構成
2.2.2.2　マシンサイクル
2.2.3　動作モードの種類 13
2.2.3.1　シングルクロックモード
2.2.3.2　デュアルクロックモード
2.2.3.3　STOP モード
2.2.3.4　各動作モードの遷移
2.2.4　動作モードの制御 18
2.2.4.1　STOP モード
2.2.4.2　IDLE1/2 モード , SLEEP1/2 モード
2.2.4.3　IDLE0, SLEEP0 モード
2.2.4.4　SLOW モード
2.3　リセット回路. 33
2.3.1　外部リセット入力 33
2.3.2　アドレストラップ リセット 34
2.3.3　ウォッチドッグタイマ リセット 34
2.3.4　システムクロックリセット 34

第 3 章　割り込み制御回路

3.1　割り込みラッチ (IL15 ~ IL2) 35
3.2　割り込み許可レジスタ (EIR). 37
3.2.1　割り込みマスタ許可フラグ (IMF) 37
3.2.2　割り込み個別許可フラグ (EF15 ~ EF4) 37
3.3　割り込み要因の選択 (INTSEL). 40
3.4　割り込み処理. 41
3.4.1　割り込み受け付け処理 41
3.4.2　汎用レジスタ退避 / 復帰処理 42
3.4.2.1　プッシュ / ポップ命令による汎用レジスタの退避 / 復帰
3.4.2.2　転送命令による汎用レジスタの退避 / 復帰
3.4.3　割り込みリターン 43
3.5　ソフトウエア割り込み (INTSW). 45
3.5.1　アドレスエラー検出 45

Not Recommended for New Design

3.5.2 デバッギング 45
3.6 未定義命令割り込み (INTUNDEF) 45
3.7 アドレストラップ割り込み (INTATRAP) 45
3.8 外部割り込み 46

第 4 章 プログラム訂正回路

4.1 概要 49
4.2 制御 50
4.3 機能 52
4.3.1 アドレスジャンプモード 52
4.3.1.1 レジスタ設定方法
4.3.2 1 バイトデータ置換モード 54
4.3.2.1 レジスタ設定方法
4.3.3 2 バイトデータ置換モード 55
4.3.3.1 レジスタ設定方法

第 5 章 スペシャルファンクションレジスタ

5.1 SFR 59
5.2 DBR 61

第 6 章 入出力ポート

6.1 P1 (P17~P10) ポート 66
6.2 P2 (P22~P20) ポート 68
6.3 P4 (P47~P40) ポート 69
6.4 P5 (P52~P50) ポート 71
6.5 P6 (P67~P60), P7 (P77~P70), P8 (P87~P80), P9 (P97~P90) ポート 72

第 7 章 ウォッチドッグタイマ (WDT)

7.1 ウォッチドッグタイマの構成 73
7.2 ウォッチドッグタイマの制御 73
7.2.1 ウォッチドッグタイマによる暴走検出の方法 73
7.2.2 ウォッチドッグタイマのイネーブル 75
7.2.3 ウォッチドッグタイマのディセーブル 75
7.2.4 ウォッチドッグタイマ割り込み (INTWDT) 76
7.2.5 ウォッチドッグタイマリセット 76
7.3 アドレストラップ 77
7.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS) 77
7.3.2 アドレストラップ発生時の動作選択 (ATOUT) 77
7.3.3 アドレストラップ割り込み (INTATRAP) 77
7.3.4 アドレストラップリセット 78

第 8 章 タイムベースタイマ (TBT)

8.1 タイムベースタイマ 79
8.1.1 構成 79
8.1.2 制御 79
8.1.3 機能 80

Not Recommended for New Design

8.2　デバイダ出力 (DVO) 81
8.2.1　構成 81
8.2.2　制御 81

第 9 章　16 ビットタイマカウンタ 2 (TC2)

9.1　構成 83
9.2　制御 84
9.3　機能 85
9.3.1　タイマモード 85
9.3.2　イベントカウンタモード 87
9.3.3　ウィンドウモード 87

第 10 章　8 ビットタイマカウンタ 3 (TC3)

10.1　構成 89
10.2　制御 90
10.3　機能 91
10.3.1　タイマモード 91
図 10-3 93
10.3.3　キャプチャモード 94

第 11 章　8 ビットタイマカウンタ 4 (TC4)

11.1　構成 97
11.2　制御 98
11.3　機能 100
11.3.1　タイマモード 100
11.3.2　イベントカウンタモード 101
11.3.3　プログラマブルデバイダ出力 (PDO) モード 102
11.3.4　パルス幅変調 (PWM) 出力モード 103

第 12 章　同期式シリアルインタフェース (SIO)

12.1　構成 105
12.2　制御 106
12.3　機能 107
12.3.1　シリアルクロック 107
12.3.1.1　クロックソース
12.3.1.2　シフトエッジ
12.3.2　転送ビット方向 109
12.3.2.1　MSB 転送
12.3.2.2　LSB 転送
12.3.3　転送モード 110
12.3.3.1　送信モード
12.3.3.2　送信エラー
12.3.3.3　受信モード
12.3.3.4　受信エラー
12.3.3.5　送受信モード
12.3.3.6　送受信エラー
12.4　チップセレクト機能 123

Not Recommended for New Design

第 13 章　非同期型シリアルインターフェース (UART)

13.1　構成 125
13.2　制御 126
13.3　転送データフォーマット 128
13.4　転送レート 129
13.5　データのサンプリング方法 129
13.6　STOP ビット長 130
13.7　パリティ 130
13.8　送受信動作 130
13.8.1　データ送信動作 130
13.8.2　データ受信動作 130
13.9　ステータスフラグ 131
13.9.1　パリティエラー 131
13.9.2　フレーミングエラー 131
13.9.3　オーバランエラー 131
13.9.4　受信バッファフル 132
13.9.5　送信バッファエンプティ 132
13.9.6　送信終了フラグ 133

第 14 章　シリアルバスインタフェース（I2C バス）ver.-D (SBI)

14.1　構成 135
14.2　制御 136
14.3　ソフトウエアリセット 136
14.4　I2C バスのデータフォーマット 137
14.5　シリアルバスインタフェースの制御 138
14.5.1　アクノリッジメントモードの指定 141
14.5.1.1　アクノリッジメントモード (ACK = “1”)
14.5.1.2　非アクノリッジメントモード (ACK = “0”)
14.5.2　転送ビット数の選択 142
14.5.3　シリアルクロック 142
14.5.3.1　クロックソース
14.5.3.2　クロック同期化
14.5.4　スレーブアドレスとアドレス認識モードの設定 143
14.5.5　マスタ / スレーブの選択 143
14.5.6　トランスミッタ / レシーバの選択 143
14.5.7　スタート / ストップコンディションの発生 144
14.5.8　割り込みサービス要求と解除 145
14.5.9　シリアルバスインタフェースの動作モード 145
14.5.10　アービトレーションロスト検出モニタ 145
14.5.11　スレーブアドレス一致検出モニタ 147
14.5.12　ゼネラルコール検出モニタ 147
14.5.13　最終受信ビットモニタ 147
14.6　I2C バスモード時のデータ転送手順 148
14.6.1　デバイスの初期化 148
14.6.2　スタートコンディション、スレーブアドレスの発生 148
14.6.3　1 ワードのデータ転送 149
14.6.3.1　MST が “1” のとき (マスタモード)
14.6.3.2　MST が “0” のとき (スレーブモード)
14.6.4　ストップコンディションの発生 152
14.6.5　再スタートの手順 152

第 15 章　8 ビット AD コンバータ

15.1　構成 155

Not Recommended for New Design

15.2 制御 156
15.3 機能 159
15.3.1 AD コンバータの動作 159
15.3.2 レジスタの設定 159
15.3.3 AD 変換時の STOP/SLOW モード 160
15.3.4 入力電圧と変換結果 161
15.4 AD コンバータの注意事項 162
15.4.1 アナログ入力端子電圧範囲 162
15.4.2 アナログ入力兼用端子 162
15.4.3 ノイズ対策 162

第 16 章 キーオンウェイクアップ (KWU)

16.1 構成 163
16.2 制御 163
16.3 機能 163

第 17 章 蛍光表示管 (VFT) 駆動回路

17.1 . . . . . 機能 165
17.2 構成 166
17.3 制御 167
17.3.1 表示モードの設定 170
17.3.2 表示データの設定 170
17.4 表示動作 171
17.5 表示動作例. 172
17.5.1 コンベンショナルタイプ蛍光表示管の場合 172
17.5.2 グリッドスキャンタイプ蛍光表示管の場合 173
17.6 ポート機能. 174
17.6.1 高耐圧ポート 174
17.6.1.1 P6~P9 ポート
17.6.2 注意事項 174
17.6.2.1 出力時
17.6.2.2 入力時

第 18 章 端子の入出力回路

18.1 制御端子 175
18.2 入出力ポート 176

第 19 章 電気的特性

19.1 絶対最大定格 179
19.2 動作条件 180
19.3 消費電力の計算方法 181
19.3.1 消費電力 Pmax = 動作消費電力 + ノーマル出力ポート損失 + VFT ドライバ損失 181
19.4 DC 特性 182
19.4.1 DC 特性 (1) (VDD = 5 V) 182
19.4.2 DC 特性 (2) (VDD = 3 V) 183
19.5 AD 変換特性 184
19.6 AC 特性 185
19.7 高速シリアルインタフェース AC 特性 186

Not Recommended for New Design

注 2) 186
注 2) 186
注 2) 186
19.8 推奨発振条件 187
19.9 取り扱い上のご注意 187

第 20 章 外形寸法

Not Recommended for New Design

CMOS 8 ビット マイクロコントローラ

TMP86CM72FG

製品形名	ROM (MaskROM)	RAM	パッケージ	OTP 内蔵品	エミュレーションチップ
TMP86CM72FG	32768 バイト	1024 バイト	QFP64-P-1414-0.80C	TMP86PM72FG	TMP86C972XB

1.1 特　長

- 8 ビットシングルチップマイクロコントローラ : TLCS-870/C シリーズ
  - 最小実行時間 :

    0.25 μs (16 MHz 動作時)

    122 μs (32.768 kHz 動作時)
  - 基本機械命令 : 132 種類 731 命令
- 割り込み要因 19 要因 (外部 : 6, 内部 : 13)
- 入出力ポート (54 端子)

  大電流出力 2 端子 (Typ. 20mA)

- ウォッチドッグタイマ
  - 割り込み / 内部リセット発生の選択 (プログラマブル)
- プリスケーラ
  - タイムベースタイマ機能
  - デバイダ出力機能
- 16 ビットタイマカウンタ :1 チャネル
  - タイマ , イベントカウンタ , ウィンドウモード
- 8 ビットタイマカウンタ : 1 チャネル
  - タイマ , イベントカウンタモード
  - キャプチャモード
- 8 ビットタイマカウンタ : 1 チャネル
  - タイマ , イベントカウンタ
  - PWM (パルス幅変調出力)
  - PDO (Programmable Divider Output) モード

Not Recommended for New Design

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
  なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。021023 _ A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 " 特定用途 " という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023 _ B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106 _ Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023 _ C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023 _ E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023 _ D
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519 _ S

- シリアルインタフェース
  - 高速 8 ビット SIO :1 チャネル (32 バイトバッファ内蔵)
- 8 ビット UART : 1 チャネル
- シリアルバスインタフェース (I^2C バス): 1 チャネル
- 8 ビット逐次比較方式 AD コンバータ
  - アナログ入力 : 6 チャネル
- キーオンウェイクアップ : 4 チャネル
- 蛍光表示管駆動回路 (自動表示)
  - プログラマブルグリッドスキャン出力可能
  - 高耐圧出力ポート (MAX 40 V 耐圧× 37 本)
- クロック発振回路 : 2 回路

  シングル / デュアルクロックモードの選択
- 低消費電力動作 (9 モード)
  - STOP モード : 発振停止 (バッテリー / コンデンサバックアップ)
  - SLOW1 モード : 低周波クロックによる低周波動作 (高周波停止)
  - SLOW2 モード : 低周波クロックによる低周波動作 (高周波発振)
  - IDLE0 モード : CPU 停止。

    周辺ハードウエアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - IDLE1 モード : CPU 停止。

    周辺ハードウエアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
  - IDLE2 モード : CPU 停止。

    周辺ハードウエアのみ動作 (高周波 / 低周波クロック) 継続し、割り込みで解除
  - SLEEP0 モード : CPU 停止。

    周辺ハードウエアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
  - SLEEP1 モード : CPU 停止。

    周辺ハードウエアのみ動作 (低周波クロック) 継続し、割り込みで解除。
  - SLEEP2 モード : CPU 停止。

    周辺ハードウエアのみ動作 (高周波 / 低周波クロック) 継続し、割り込みで解除。
- 動作電圧 :

  4.5 V~5.5 V @ 16MHz /32.768 kHz

  2.7 V~5.5 V @ 8 MHz /32.768 kHz

Not Recommended for New Design

1.2 ピン配置図

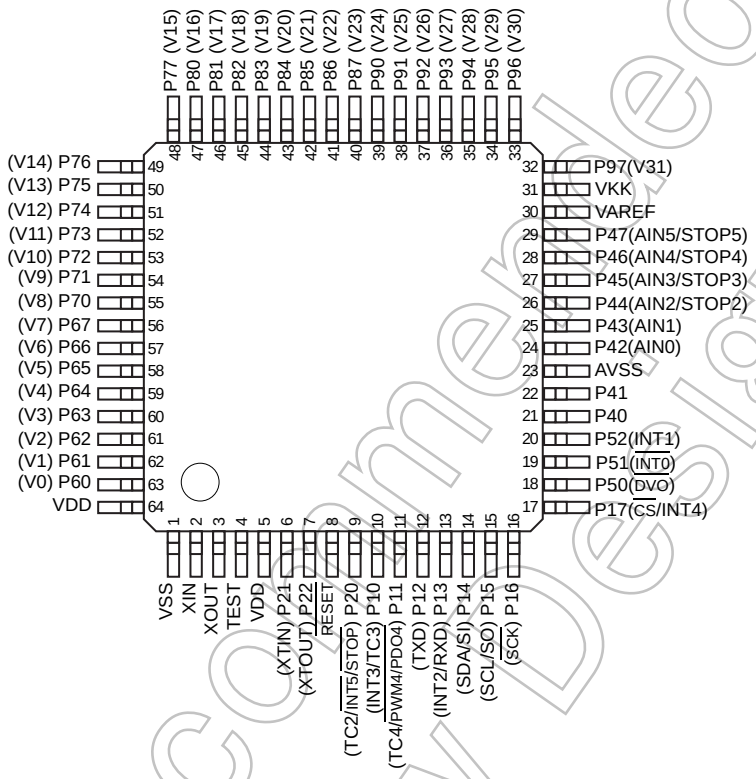


図 1-1 ピン配置図

Not Recommended for New Design

1.3 ブロック図

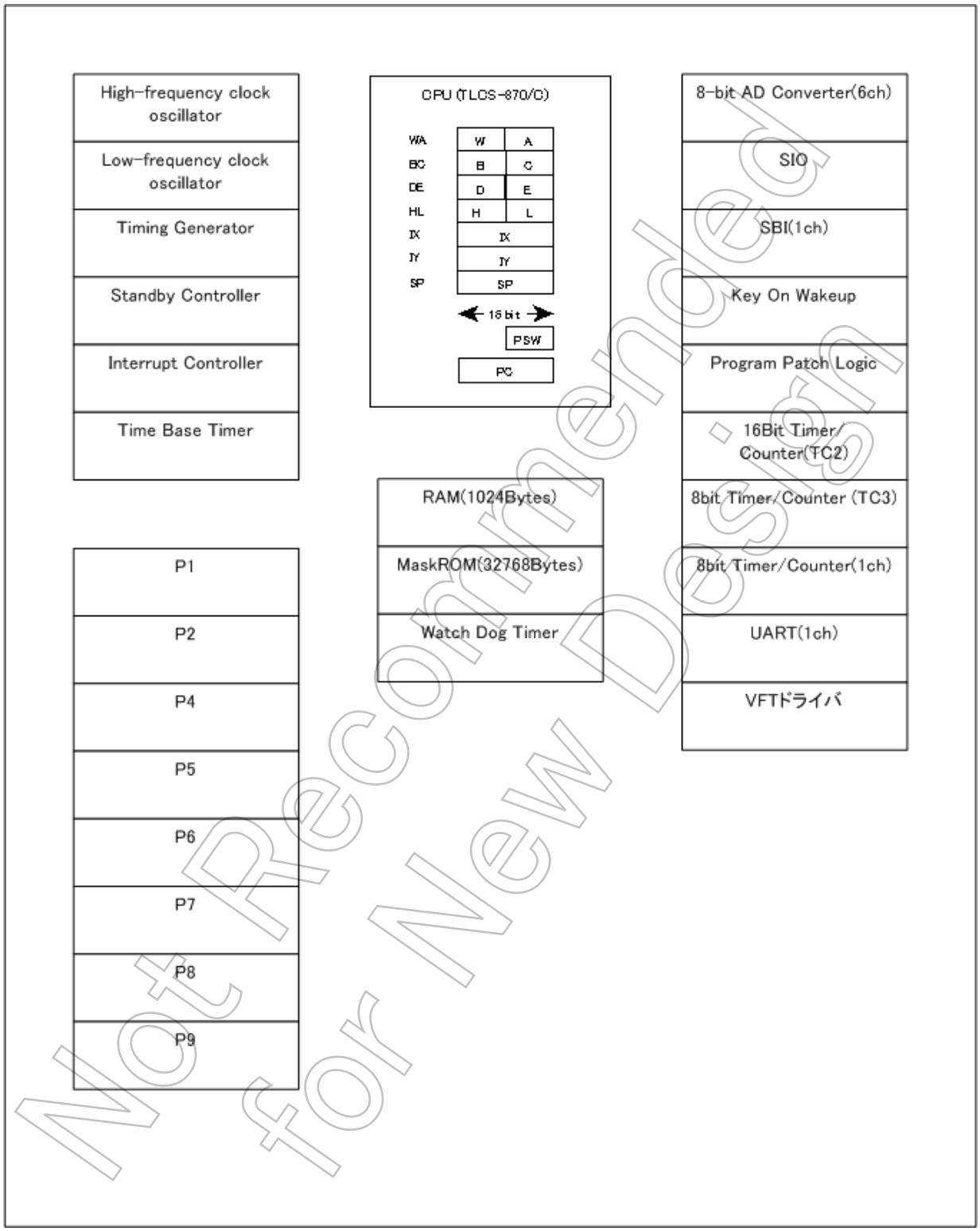


図 1-2 ブロック図

1.4 端子機能

表 1-1 端子機能表（１／３）

端子名	ピン番号	入出力	機能
P17 $\overline{\text{CS}}$ INT4	17	IO I I	ポート 17 SIO チップセレクト入力 外部割り込み 4 入力
P16 $\overline{\text{SCK}}$	16	IO IO	ポート 16 シリアルクロック入力 / 出力
P15 SO SCL	15	IO O O	ポート 15 シリアルデータ出力 I2C バスクロック
P14 SI SDA	14	IO I I	ポート 14 シリアルデータ入力 I2C バスデータ
P13 RXD INT2	13	IO I I	ポート 13 UART データ入力 外部割り込み 2 入力
P12 TXD	12	IO O	ポート 12 UART データ出力
P11 $\overline{\text{PWM4/PDO4}}$ TC4	11	IO O I	ポート 11 PWM4/PDO4 出力 TC4 端子入力
P10 TC3 INT3	10	IO I I	ポート 10 TC3 端子入力 外部割り込み 3 入力
P22 XTOUT	7	IO I	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子
P20 $\overline{\text{STOP}}$ $\overline{\text{INT5}}$ TC2	9	IO I I I	ポート 20 STOP モード解除入力 外部割り込み 5 入力 TC2 端子入力
P47 AIN5 STOP5	29	IO I I	ポート 47 アナログ入力 5 STOP5 入力
P46 AIN4 STOP4	28	IO I I	ポート 46 アナログ入力 4 STOP4 入力
P45 AIN3 STOP3	27	IO I I	ポート 45 アナログ入力 3 STOP3 入力
P44 AIN2 STOP2	26	IO I I	ポート 44 アナログ入力 2 STOP2 入力
P43 AIN1	25	IO I	ポート 43 アナログ入力 1

Not Recommended for New Design

表 1-1 端子機能表（２／３）

端子名	ピン番号	入出力	機能
P42 AIN0	24	IO I	ポート 42 アナログ入力 0
P41	22	IO	ポート 41
P40	21	IO	ポート 40
P52 INT1	20	IO I	ポート 52 外部割り込み 1 入力
P51 $\overline{\text{INT0}}$	19	IO I	ポート 51 外部割り込み 0 入力
P50 $\overline{\text{DVO}}$	18	IO O	ポート 50 デバイダ出力
P67 V7	56	IO O	ポート 67 グリッド出力 7
P66 V6	57	IO O	ポート 66 グリッド出力 6
P65 V5	58	IO O	ポート 65 グリッド出力 5
P64 V4	59	IO O	ポート 64 グリッド出力 4
P63 V3	60	IO O	ポート 63 グリッド出力 3
P62 V2	61	IO O	ポート 62 グリッド出力 2
P61 V1	62	IO O	ポート 61 グリッド出力 1
P60 V0	63	IO O	ポート 60 グリッド出力 0
P77 V15	48	IO O	ポート 77 グリッド出力 15
P76 V14	49	IO O	ポート 76 グリッド出力 14
P75 V13	50	IO O	ポート 75 グリッド出力 13
P74 V12	51	IO O	ポート 74 グリッド出力 12
P73 V11	52	IO O	ポート 73 グリッド出力 11
P72 V10	53	IO O	ポート 72 グリッド出力 10
P71 V9	54	IO O	ポート 71 グリッド出力 9
P70 V8	55	IO O	ポート 70 グリッド出力 8
P87 V23	40	IO O	ポート 87 セグメント出力 23

Not Recommended for New Design

表 1-1 端子機能表（３／３）

端子名	ピン番号	入出力	機能
P86 V22	41	IO O	ポート 86 セグメント出力 22
P85 V21	42	IO O	ポート 85 セグメント出力 21
P84 V20	43	IO O	ポート 84 セグメント出力 20
P83 V19	44	IO O	ポート 83 セグメント出力 19
P82 V18	45	IO O	ポート 82 セグメント出力 18
P81 V17	46	IO O	ポート 81 セグメント出力 17
P80 V16	47	IO O	ポート 80 セグメント出力 16
P97 V31	32	IO O	ポート 97 セグメント出力 31
P96 V30	33	IO O	ポート 96 セグメント出力 30
P95 V29	34	IO O	ポート 95 セグメント出力 29
P94 V28	35	IO O	ポート 94 セグメント出力 28
P93 V27	36	IO O	ポート 93 セグメント出力 27
P92 V26	37	IO O	ポート 92 セグメント出力 26
P91 V25	38	IO O	ポート 91 セグメント出力 25
P90 V24	39	IO O	ポート 90 セグメント出力 24
XIN	2	I	発振子接続端子
XOUT	3	O	発振子接続端子
$\overline{\text{RESET}}$	8	I	リセット入力
TEST	4	I	出荷試験用端子。“L”レベルに固定してください。
VAREF	30	I	AD 変換用アナログ基準電圧入力端子
AVSS	23	I	アナログ電源
VDD	64	I	電源端子
VSS	1	I	GND 端子

Not Recommended for New Design

Not Recommended for New Design

第 2 章　動作説明

2.1　CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1　メモリアドレスマップ

TMP86CM72FG のメモリは、MaskROM, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86CM72FG のメモリアドレスマップを示します。

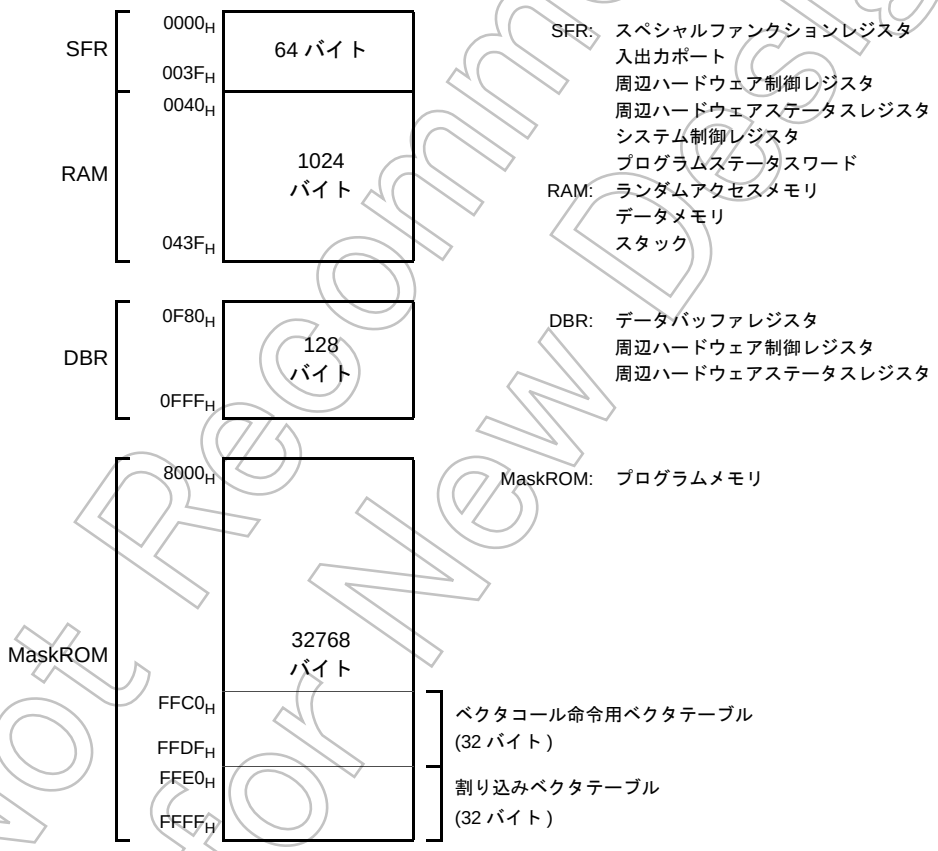


図 2-1 メモリアドレスマップ

2.1.2　プログラムメモリ (MaskROM)

TMP86CM72FG は 32768 バイト (アドレス 8000H~FFFFH) のプログラムメモリ (MaskROM) を内蔵しています。

Not Recommended for New Design

2.1.3　データメモリ (RAM)

TMP86CM72FG は、1024 バイト (アドレス 0040H~043FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

（プログラム例）TMP86CM72FG の RAM クリア

```
            LD      HL, 0040H       ; スタートアドレスの設定
            LD      A, H            ; 初期化データ (00H) の設定
            LD      BC,03FFH        ; バイト数 (–1) の設定
SRAMCLR:    LD      (HL), A
            INC     HL
            DEC     BC
            JRS     F, SRAMCLR
```

Not Recommended for New Design

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ , タイミングジェネレータおよび動作モード制御回路から構成されています。

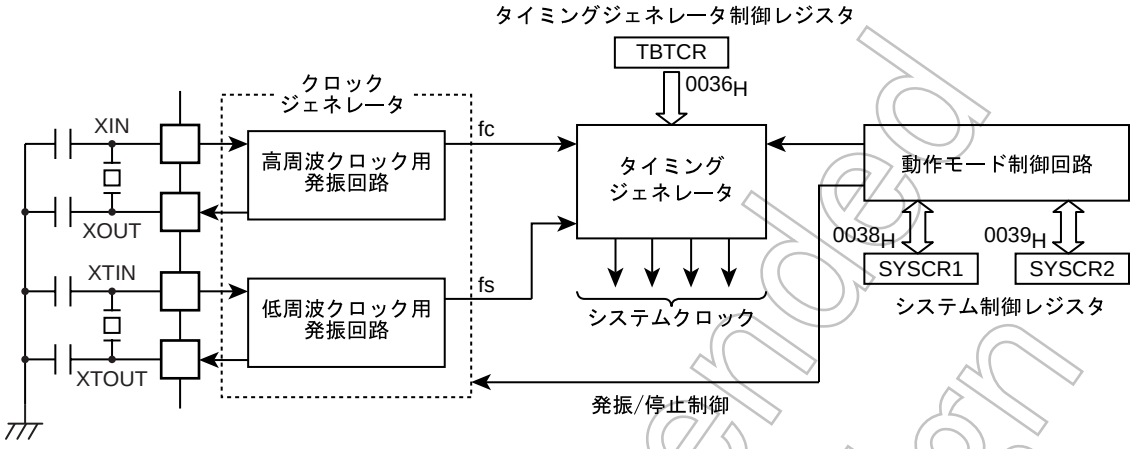


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロック ジェネレータは、CPU コアおよび周辺ハードウエアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 fc), 低周波クロック (周波数 fs) は、それぞれ XIN, XOUT 端子 , XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

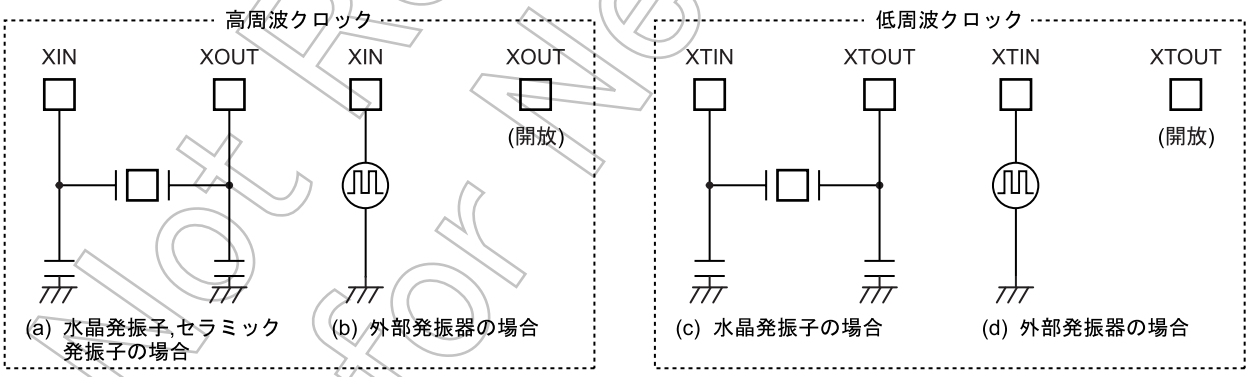


図 2-3 発振子の接続例

注) 基本クロックを外部にて直接モニタする機能はハードウエア的には用意されていませんが、割り込み禁止状態 , ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

Not Recommended for New Design

2.2.2　タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウエアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ($\overline{\text{DVO}}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

2.2.2.1　タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケーラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定 により図 2-4 のようになります。なお、リセット時および STOP モード起動 / 解除時プリスケーラおよびデバイダは “0” にクリアされます。

注)　TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

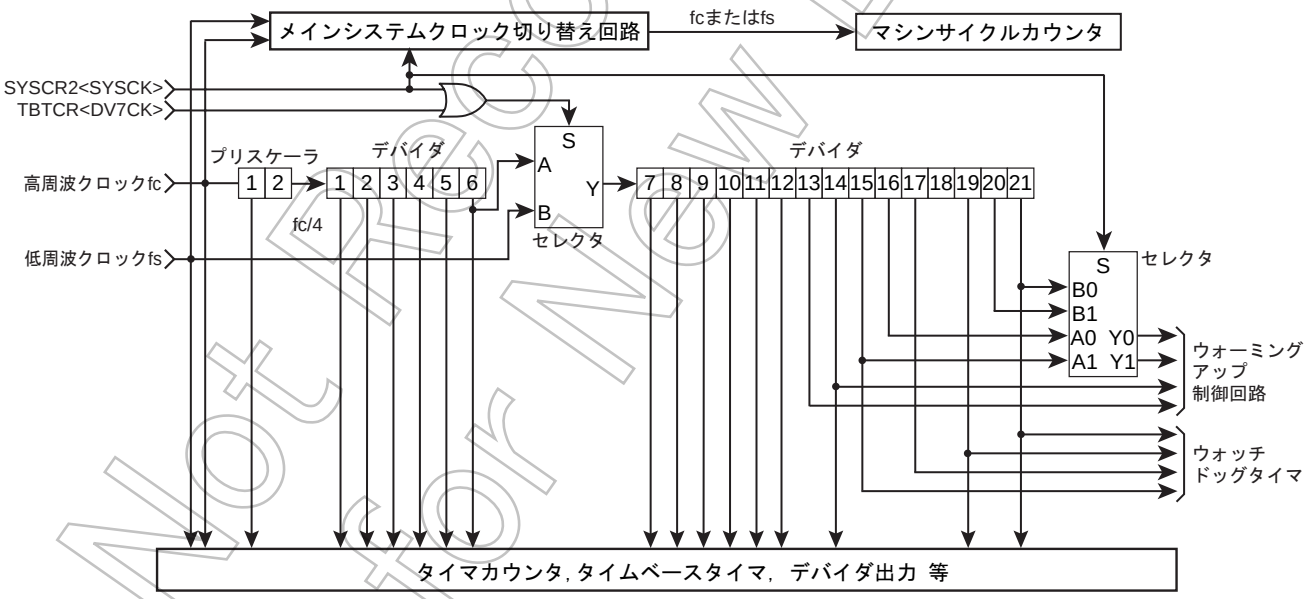


図 2-4 タイミングジェネレータの構成

Not Recommended for New Design

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	
	(DV0EN)	(DV0CK)		DV7CK	(TBTEN)	(TBTCK)			(初期値 : 0000 0000)

DV7CK	デバイダ 7 段目への 入力クロックの選択	0: fc/2^8[Hz] 1: fs	R/W

注 1) シングルクロックモード時は、DV7CK を “1” にセットしないでください。

注 2) 低周波クロックの発振安定前に DV7CK を “1” にセットしないでください。

注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], ∗: Don’t care

注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。

注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウエアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

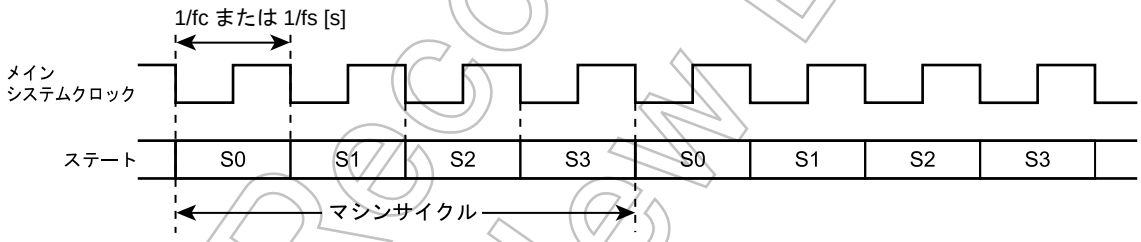


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用，低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは 4/fc [s] となります。

Not Recommended for New Design

（1） NORMAL1 モード

CPU コアおよび周辺ハードウエアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

（2） IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を “1” にセットすることで行います。周辺ハードウエアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

（3） IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を “1” にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。
なお、IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF7 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2　デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 4/fc [s] , SLOW, SLEEP モード時 4/fs [s] (122 μs @ fs = 32.768 kHz) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

（1） NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウエアは高周波 / 低周波の両クロックで動作します。

Not Recommended for New Design

（2） SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え，SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK> で行います。SLOW2 モード時、XTEN を “0” にクリアしないでください。

（3） SLOW1 モード

高周波クロックの発振を停止させ、CPU コア，周辺ハードウエアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN> で行います。SLOW1, SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

（4） IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

（5） SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウエアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振しておりません。SLOW1, SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

（6） SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

（7） SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を “1” にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”, EF7 (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

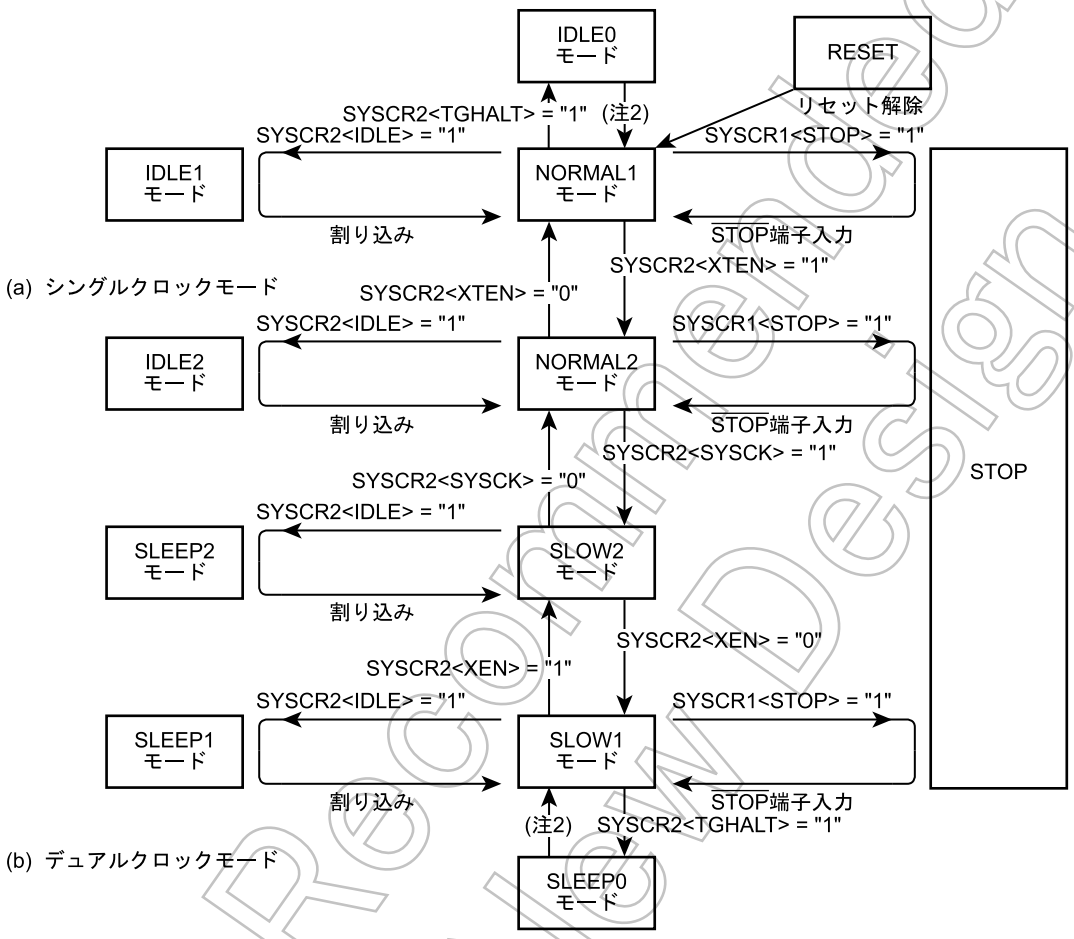
2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

Not Recommended for New Design

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、$\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.2.3.4　各動作モードの遷移



注 1)　NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。

注 2)　TBTCR<TBTCK> によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6　動作モード状態遷移図

Not Recommended for New Design

表 2-1 動作モードと各部の状態

<table>
<tr><th colspan="2" rowspan="2">動作モード</th><th colspan="2">発振回路</th><th rowspan="2">CPU コア</th><th rowspan="2">TBT</th><th rowspan="2">その他
周辺回路</th><th rowspan="2">マシンサイクルタイム</th></tr>
<tr><th>高周波</th><th>低周波</th></tr>
<tr><td rowspan="5">シングルクロック</td><td>RESET</td><td rowspan="4">発振</td><td rowspan="5">停止</td><td>リセット</td><td>リセット</td><td>リセット</td><td rowspan="4">4/fc [s]</td></tr>
<tr><td>NORMAL1</td><td>動作</td><td rowspan="3">動作</td><td rowspan="2">動作</td></tr>
<tr><td>IDLE1</td><td rowspan="3">停止</td></tr>
<tr><td>IDLE0</td><td rowspan="2">停止</td></tr>
<tr><td>STOP</td><td>停止</td><td>停止</td><td>—</td></tr>
<tr><td rowspan="8">デュアルクロック</td><td>NORMAL2</td><td rowspan="4">発振</td><td rowspan="6">発振</td><td>高周波動作</td><td rowspan="7">動作</td><td rowspan="7">動作</td><td>4/fc [s]</td></tr>
<tr><td>IDLE2</td><td>停止</td><td rowspan="6">4/fs [s]</td></tr>
<tr><td>SLOW2</td><td>低周波動作</td></tr>
<tr><td>SLEEP2</td><td>停止</td></tr>
<tr><td>SLOW1</td><td rowspan="4">停止</td><td>低周波動作</td></tr>
<tr><td>SLEEP1</td><td rowspan="3">停止</td></tr>
<tr><td>SLEEP0</td><td rowspan="2">停止</td></tr>
<tr><td>STOP</td><td>停止</td><td>停止</td><td>—</td></tr>
</table>

Not Recommended for New Design

2.2.4　動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値 : 0000 00**)

STOP	STOP モードの起動	0: CPU コア，周辺ハードウエア動作 1: CPU コア，周辺ハードウエア停止 (STOP モード起動)			R/W
RELM	STOP モードの解除方法の選択	0: エッジ解除モード ($\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除) 1: レベル解除モード ($\overline{\text{STOP}}$ 端子入力の “H” レベルで解除)			R/W
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る			R/W
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持			R/W
WUT	STOP モード解除時のウォーミングアップ時間 単位 : [s]		NORMAL1/2 モードへ戻る場合	SLOW1 モードへ戻る場合	R/W
		00	3×2^{16}/fc	3×2^{13}/fs	
		01	2^{16}/fc	2^{13}/fs	
		10	3×2^{14}/fc	3×2^{6}/fs	
		11	2^{14}/fc	2^{6}/fs	

注 1)　RETM は、NORMAL モードから STOP モードを起動する場合は必ず “0” にしてください。SLOW モードから STOP モードを起動する場合は必ず “1” にしてください。

注 2)　STOP モードを RESET 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。

注 3)　fc ; 高周波クロック [Hz], fs ; 低周波クロック [Hz], *; Don’t care

注 4)　SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。

注 5)　OUTEN = “0” の指定で STOP モードを起動すると、内部入力は “0” に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。

注 6)　キーオンウェイクアップ入力を使用する場合は、RELM を “1” に設定してください。

注 7)　P20 端子は STOP 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は Hi-z 状態となります。

注 8)　ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

Not Recommended for New Design

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値 : 1000 ∗0∗∗)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択 (write)/ モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。

注 2) WDT; ウォッチドッグタイマ , TG; タイミングジェネレータ , ∗ ; Don’t care

注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。

注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。

注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTCK> によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTCK> の時間よりも短くなります。

注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。

注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。

注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

Not Recommended for New Design

2.2.4.1　STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP5 ～ STOP2 によって制御されます。$\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を “1” にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波 , 低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケーラおよびデバイダを “0” にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1) . 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP5 ～ STOP2 を使用禁止に設定してください。

注 1)　なお、$\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2)　STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが “1” にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

（1）　レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への “H” レベル入力または STOP5 ～ STOP2 (STOPCR でビットごとに設定可能) 端子への “L” レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサ バックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が “H” レベルまたは STOP5 ～ STOP2 端子が “L” レベルの状態で STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、$\overline{\text{STOP}}$ 端子入力が “L” レベルであり、また STOP5 ～ STOP2 端子入力が “H” レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. INT5 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

（プログラム例 1 ）　P20 ポートをテストして NORMAL モードから STOP モードを起動

```
            LD      (SYSCR1), 01010000B     ; レベル解除モードにセットアップ
SSTOPH:     TEST    (P2PRD) . 0             ; STOP 端子入力が “L” レベルになるまでウエイト
            JRS     F, SSTOPH
            DI                              ; IMF←0
            SET     (SYSCR1) . 7            ; STOP モードを起動
```

Not Recommended for New Design

（プログラム例 2） INT5 割り込みにより、NORMAL モードから STOP モードを起動

```
PINT5:    TEST    (P2PRD) . 0          ; ノイズ 除去のため P20 ポート入力が
          JRS     F, SINT5             ; "H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B  ; レベル解除モードにセットアップ
          DI                           ; IMF←0
          SET     (SYSCR1) . 7         ; STOP モードを起動
SINT5:    RETI
```

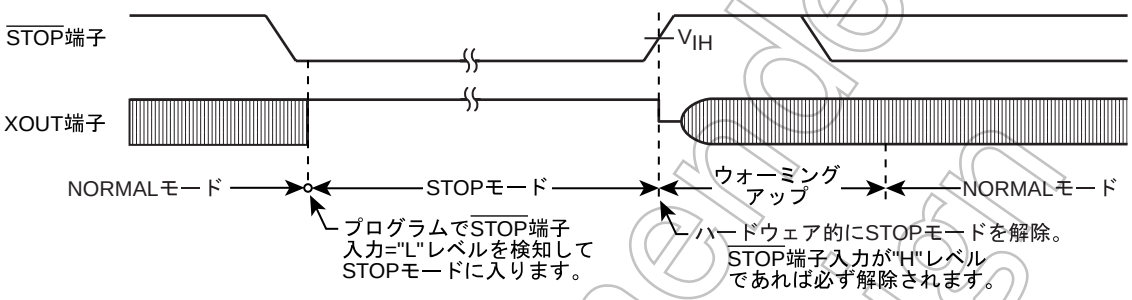


図 2-7 レベル解除モード

注 1) ウォーミングアップ開始後、再び STOP 端子入力が "L" レベルまたは、STOP5 ～ STOP2 端子が "H" レベルになっても STOP モードには戻りません。

注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、STOP 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

（2） エッジ解除モード (RELM = "0" のとき)

STOP 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を STOP 端子に入力します。エッジ解除モードの場合、STOP 端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP5 ～ STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

（プログラム例）NORMAL モードから STOP モードを起動

```
          DI                           ; IMF←0
          LD      (SYSCR1) , 10010000B ; エッジ解除モードに設定して起動
```

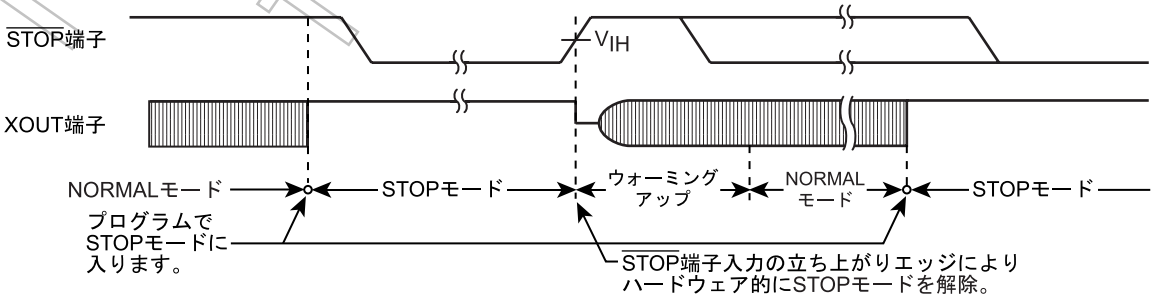


図 2-8 エッジ解除モード

Not Recommended for New Design

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW に戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で 4 種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1)　STOP モードを解除すると、タイミングジェネレータのプリスケーラおよびデバイダは "0" にクリアされた状態から始まります。

注 2)　STOP モードは、$\overline{\text{RESET}}$ 端子を “L” レベル にすることによっても解除され、直ちに通常のリセット動作を行います。

注 3)　低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。
STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、$\overline{\text{RESET}}$ 端子も “H” レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、$\overline{\text{RESET}}$ 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、$\overline{\text{RESET}}$ 端子の入力電圧レベルが、$\overline{\text{RESET}}$ 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

WUT	ウォーミングアップ時間 [ms]	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288	750
01	4.096	250
10	3.072	5.85
11	1.024	1.95

注 1)　ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

Not Recommended for New Design

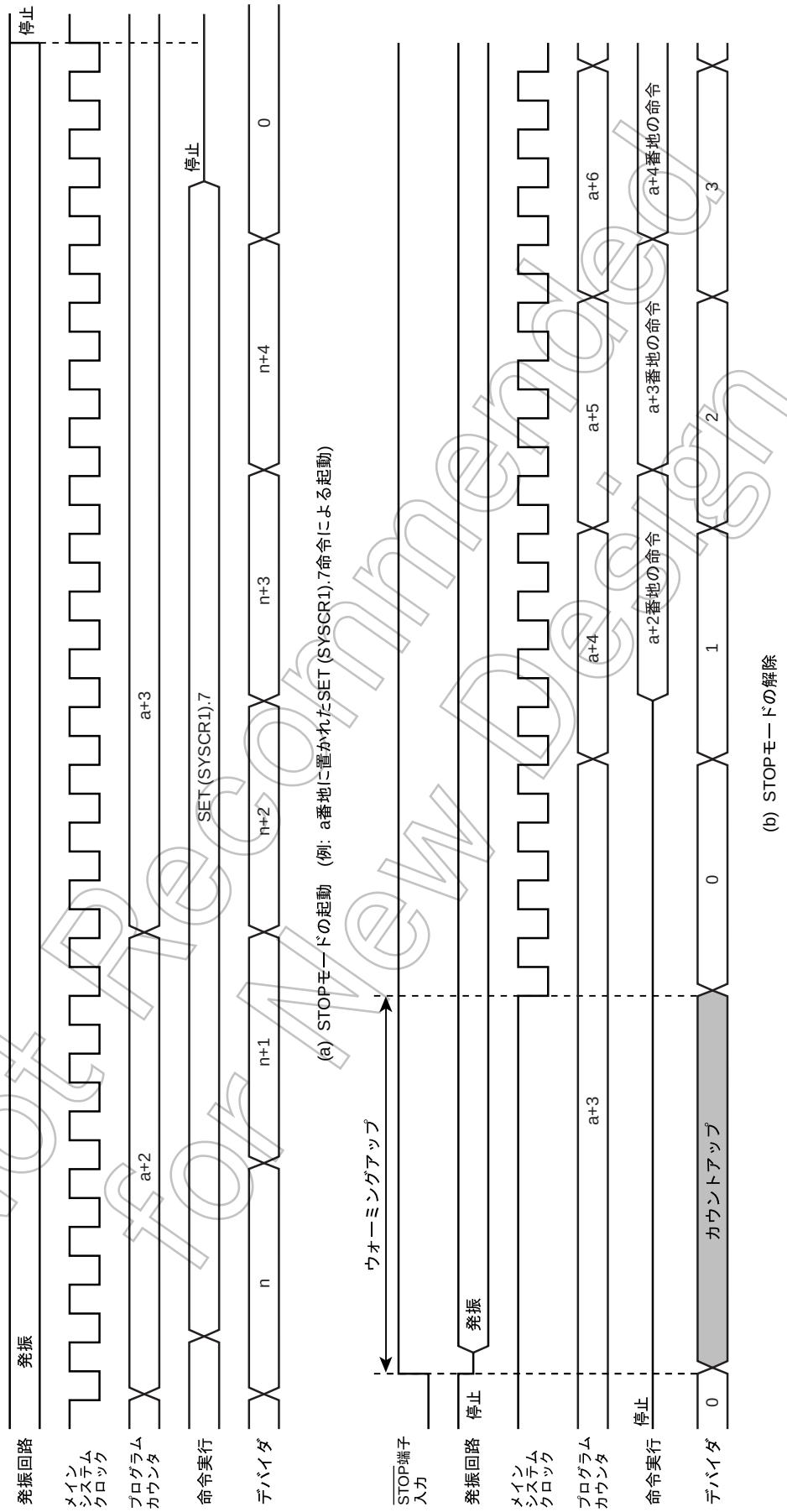


図 2-9 STOP モードの起動 / 解除

Not Recommended for New Design

2.2.4.2　IDLE1/2 モード , SLEEP1/2 モード

IDLE1/2 モード , SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1/2 モード , SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウエアは動作を継続します。
2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは、IDLE1/2 モード , SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード , SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

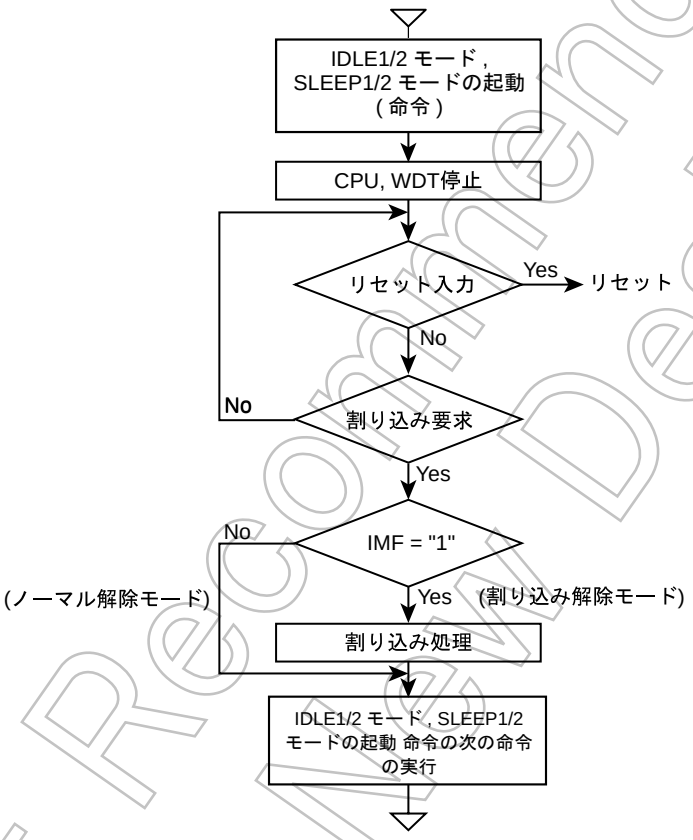


図 2-10 IDLE1/2 モード , SLEEP1/2 モード

Not Recommended for New Design

- IDLE1/2, SLEEP1/2 モードの起動

  割り込みマスタ許可フラグ (IMF) を “0” に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を “1” に設定します。

  IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を “1” に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

  IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に “0” にクリアされ、起動したモードに復帰します。

  なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

（1） ノーマル解除モード (IMF= “0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で “0” にクリアする必要があります。

（2） 割り込み解除モード (IMF= “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注） IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design

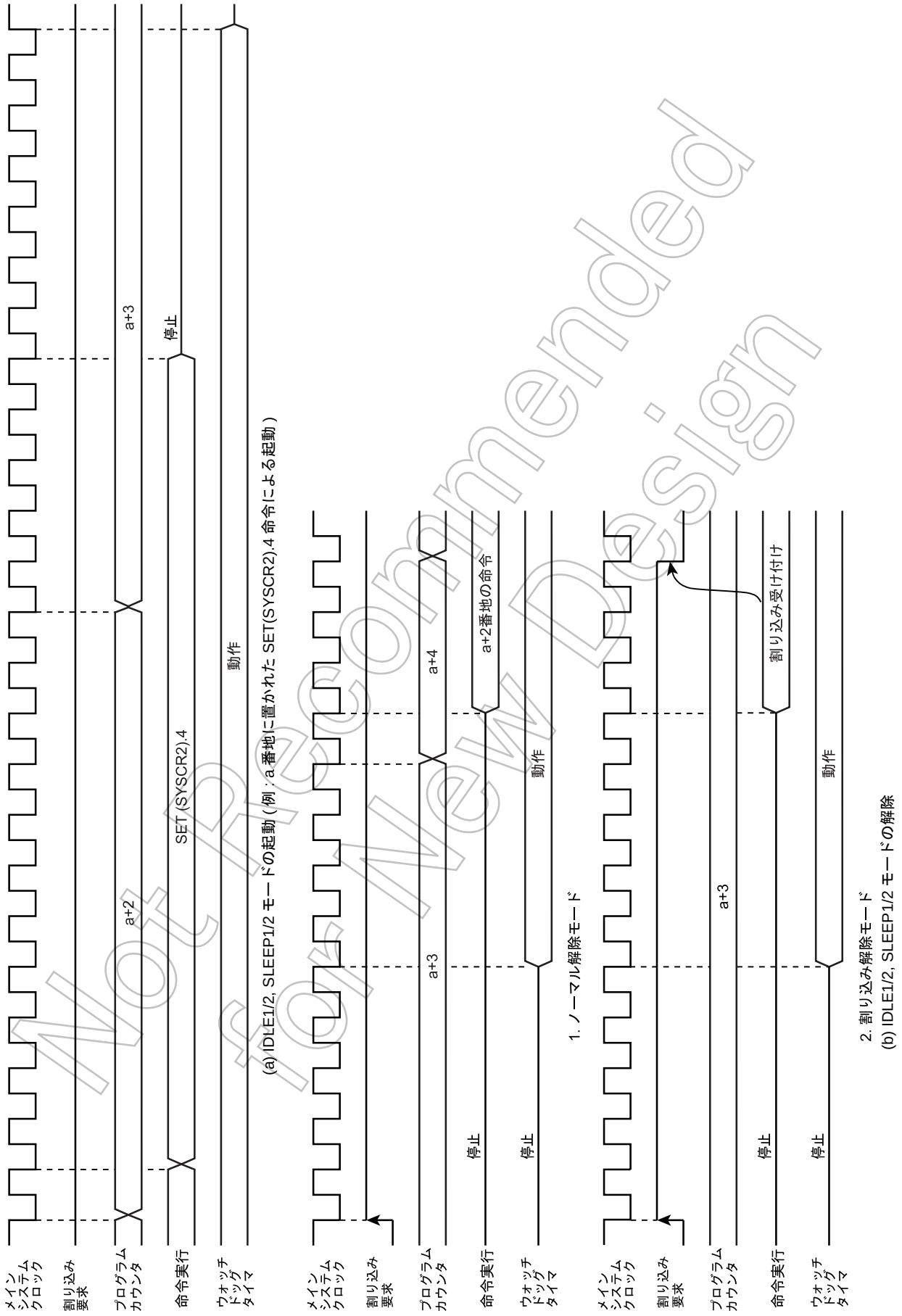


図 2-11　IDLE1/2, SLEEP1/2 モードの起動 / 解除

Not Recommended for New Design

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ，レジスタ，プログラムステータスワード，ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注） IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

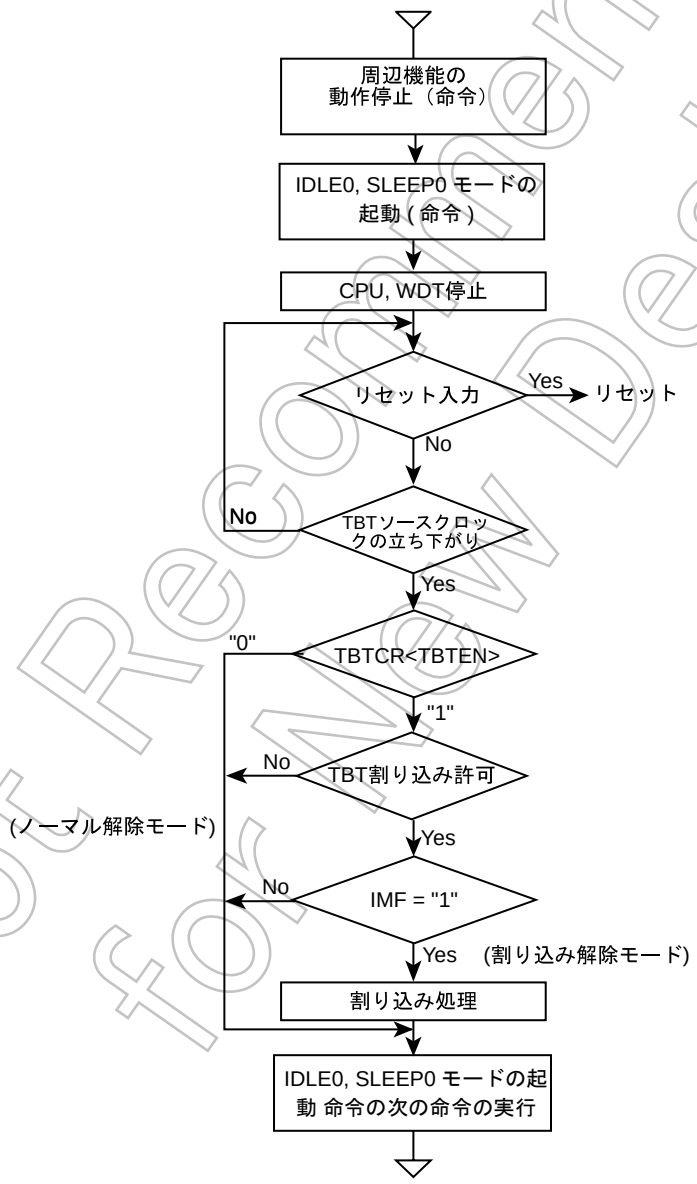


図 2-12 IDLE0, SLEEP0 モード

Not Recommended for New Design

- IDLE0, SLEEP0 モードの起動

  タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

  IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を “1” に設定します。

- IDLE0, SLEEP0 モードの解除

  IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) 、タイムベースタイマの割り込み個別許可フラグ (EF7) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に “0” にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が “1” にセットされていると INTTBT の割り込みラッチがセットされます。

  なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰します。

（1） ノーマル解除モード (IMF ・EF7 ・TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が “1” の時は、タイムベースタイマ割り込みラッチがセットされます。

（2） 割り込み解除モード (IMF ・EF7 ・TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1)　IDLE0, SLEEP0 モードは、TBTCR<TBTCK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTCK> の時間よりも短くなります。

注 2)　IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

Not Recommended for New Design

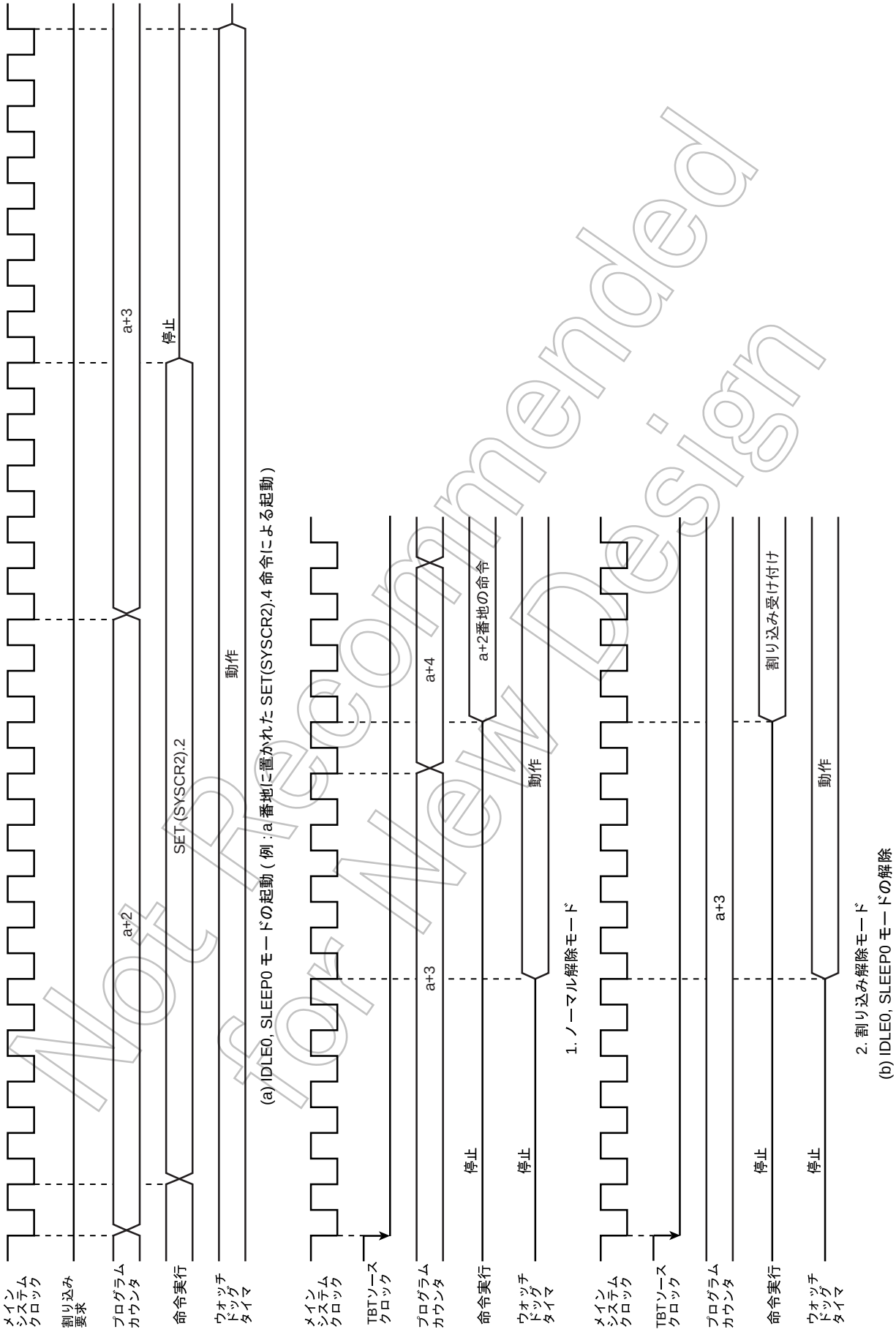


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

Not Recommended for New Design

2.2.4.4　SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

（1） NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に “1” を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN> を “0” にクリアして高周波発振器を停止します。

注） NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC2) を使用すると便利です。

（プログラム例 1）　NORMAL2 モードから SLOW1 モードへの切り替え

```
                                        ; SYSCR2<SYSCK>←1
        SET     (SYSCR2) . 5            ; ( システムクロックを低周波に切り替え
                                        ; (SLOW2 モードに ))
        CLR     (SYSCR2) . 7            ; SYSCR2<XEN>←0( 高周波クロック停止 )
```

（プログラム例 2）　TC2 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

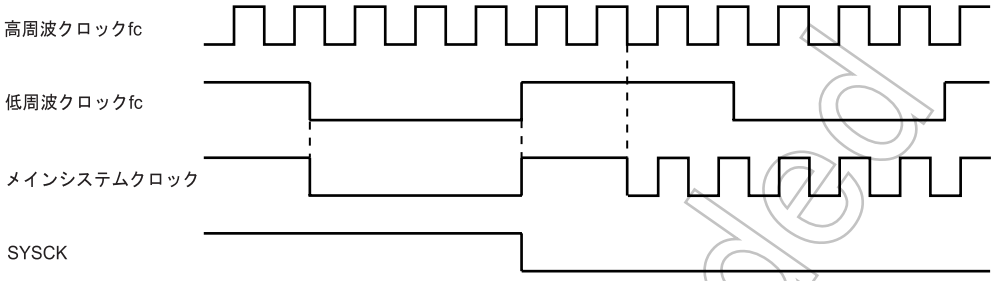
```
                SET     (SYSCR2). 6     ; SYSCR2<XTEN>←1
                                        ; ( 低周波クロック発振開始 )
                LD      (TC2CR), 14H    ; TC2 のモードをセット
                LDW     (TC2DRL),  8000H ; ウォーミングアップ時間をセット
                                        ; ( 発振子の特性で時間を決定します )
                DI                      ; IMF←0
                SET     (EIRH). 6       ; INTTC2 の割り込みを許可
                EI                      ; IMF←1
                SET     (TC2CR). 5      ; TC2 スタート
                  ¦
PINTTC2:        CLR     (TC2CR). 5      ; TC2 ストップ
                SET     (SYSCR2). 5     ; SYSCR2<SYSCK>←1
                                        ; ( システムクロックを低周波に切り替え )
                CLR     (SYSCR2). 7     ; SYSCR2<XEN>←0( 高周波クロック停止 )
                RETI
                  ¦
VINTTC2:        DW      PINTTC2         ; INTTC2 ベクタテーブル
```

（2） SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN> を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC2) によって確保したあと、SYSCR2<SYSCK> を “0” にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

Not Recommended for New Design

注） SYSCK を “0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



（プログラム例）TC2 で SLOW1 モードから NORMAL2 モードへの切り替え
(fc = 16 MHz，ウォーミングアップ時間 = 4.0 ms)

```
            SET     (SYSCR2) . 7      ; SYSCR2<XEN>←1
                                      ;( 高周波クロック発振開始 )
            LD      (TC2CR), 10H      ; TC2 のモードをセット
            LD      (TC2DRH), 0F8H    ; ウォーミングアップ時間をセット
                                      ; ( 周波数と発振子の特性で時間を決定します )
            DI                        ; IMF←0
            SET     (EIRH). 6         ; INTTC2 割り込みを許可
            EI                        ; IMF←1
            SET     (TC2CR). 5        ; TC2 スタート
             ¦
PINTTC2     CLR     (TC2CR). 5        ; TC2 ストップ
            CLR     (SYSCR2). 5       ; SYSCR2<SYSCK>←0
                                      ; ( システムクロックを高周波に切り替え )
            RETI
             ¦
VINTTC2:    DW      PINTTC2           ; INTTC2 ベクタテーブル
```

Not Recommended for New Design

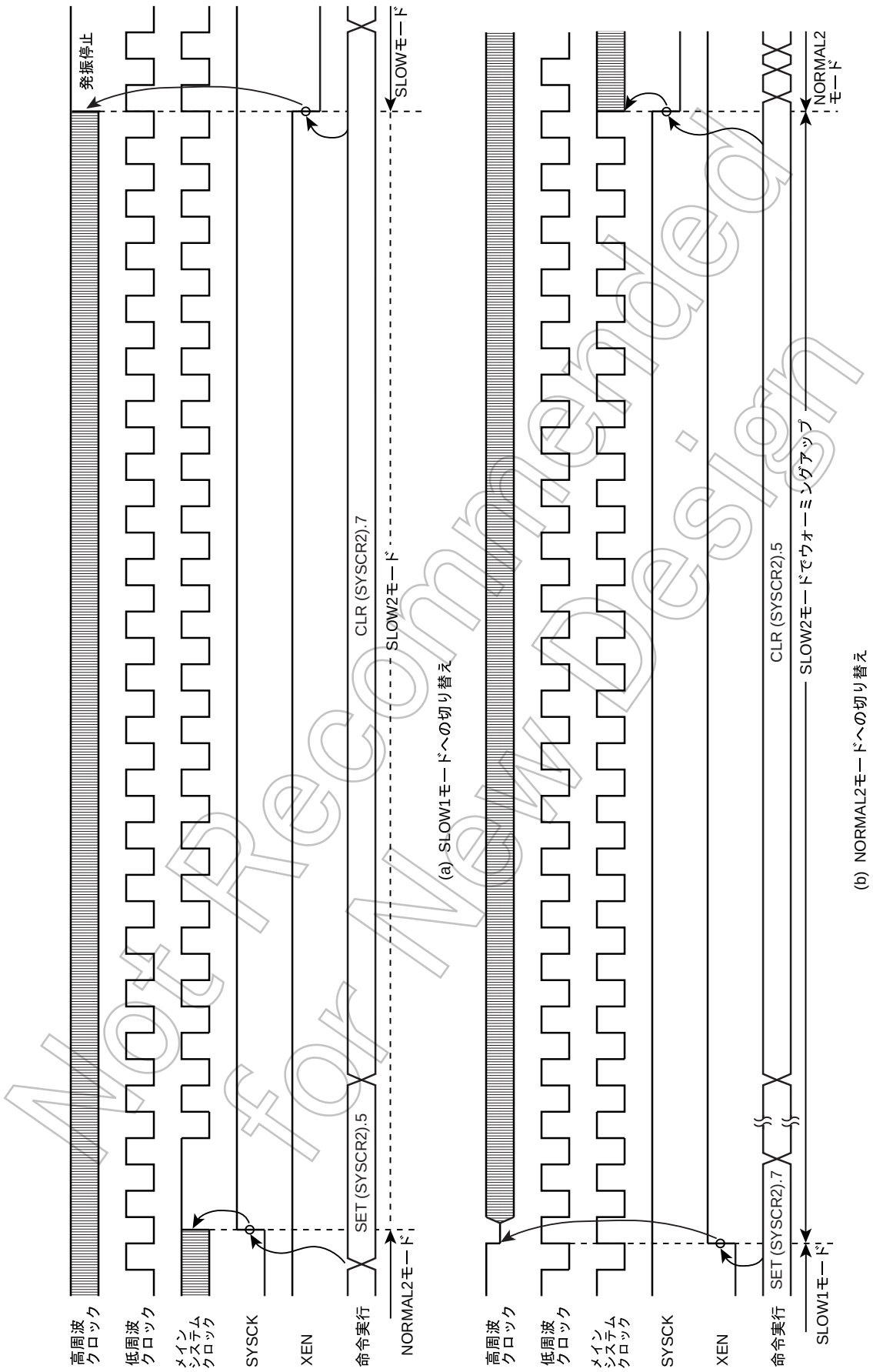


図 2-14 SLOW ↔ NORMAL2 モード切り替え

Not Recommended for New Design

2.3 リセット回路

TMP86CM72FG には外部リセット入力、アドレストラップ リセット、ウォッチドッグタイマ リセット、システムクロック リセットの 4 種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 24/fc[s] の期間リセット状態となります。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット , アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大 24/fc (1.5 μs @ 16.0 MHz) の期間リセット状態となる場合があります。

表 2-3 にリセット動作による内蔵ハードウエアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウエアの初期化

内蔵ハードウェア	初期値	内蔵ハードウエア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミング ジェネレータのプリススケーラおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプ ステータスフラグ (JF)	初期化されません	ウォッチドッグ タイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		RAM	初期化されません

2.3.1 外部リセット入力

$\overline{\text{RESET}}$ 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル (12/fc [s]) 以上の間 $\overline{\text{RESET}}$ 端子を “L” レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$ 端子入力が “H” レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

Not Recommended for New Design

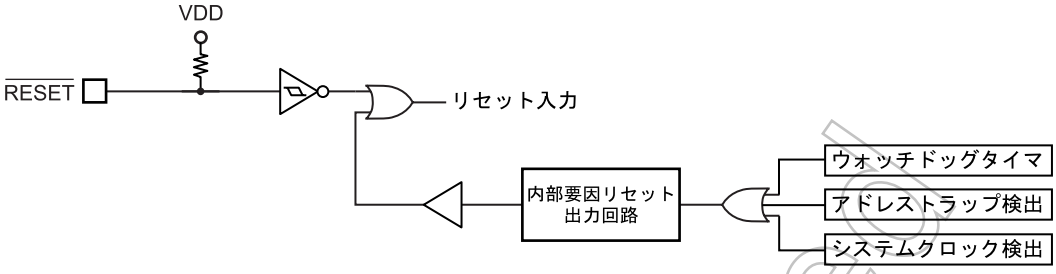
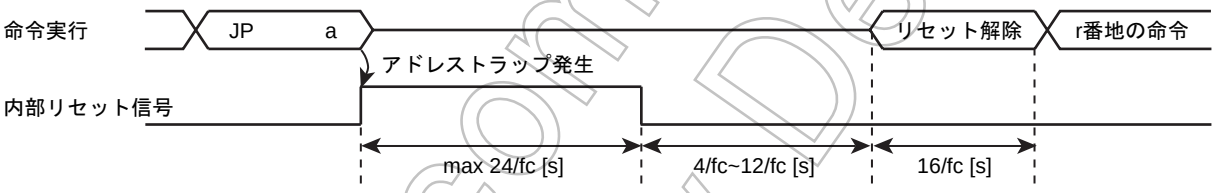


図 2-15 リセット回路

2.3.2　アドレストラップ リセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとするとリセット信号が発生します。リセット時間は、最大 24/fc [s](1.5 μs @ 16.0 MHz) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1)　a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。
注 2)　リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-16 アドレストラップリセット

2.3.3　ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4　システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 24/fc [s](1.5 μs @ 16.0 MHz) です。

Not Recommended for New Design

第 3 章　割り込み制御回路

TMP86CM72FG には、リセットを除き合計 19 種類の割り込み要因 (うち、3 要因はマルチプレクス) があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により “1” にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可 / 禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウエアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部 / 外部	(リセット)	ノンマスカブル	–	FFFE	1
内部	INTSW (ソフトウエア割込み)	ノンマスカブル	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスカブル	–	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスカブル	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスカブル	IL3	FFF8	2
外部	$\overline{\text{INT0}}$	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
内部	INTRXD	IMF・EF5 = 1	IL5	FFF4	6
外部	INT1	IMF・EF6 = 1	IL6	FFF2	7
内部	INTTBT	IMF・EF7 = 1	IL7	FFF0	8
内部	INTTC3	IMF・EF8 = 1	IL8	FFEE	9
内部	INTSIO	IMF・EF9 = 1, IL9ER = 0	IL9	FFEC	10
内部	INTI2C	IMF・EF9 = 1, IL9ER = 1			
内部	INTTC4	IMF・EF10 = 1	IL10	FFEA	11
外部	INT3	IMF・EF11 = 1	IL11	FFE8	12
外部	INT4	IMF・EF12 = 1	IL12	FFE6	13
内部	INTTXD	IMF・EF13 = 1	IL13	FFE4	14
内部	INTTC2	IMF・EF14 = 1, IL14ER = 0	IL14	FFE2	15
外部	$\overline{\text{INT5}}$	IMF・EF14 = 1, IL14ER = 1			
内部	INTADC	IMF・EF15 = 1, IL15ER = 0	IL15	FFE0	16
外部	INT2	IMF・EF15 = 1, IL15ER = 1			

注 1)　割り込みソースを共有している割り込み要因は、INTSEL レジスタ (「 “ 3.3 割り込み要因の選択 (INTSEL) ”」) で設定します。

注 2)　アドレストラップ割り込み (INTATRAP) を使用するには WDTCR1<ATOUT> を "0" に設定してください (リセット解除後は " リセット要求 " に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注 3)　ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTCR1<WDTOUT> を "0" に設定してください (リセット解除後は " リセット要求 " に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1　割り込みラッチ (IL15 ~ IL2)

割り込みラッチは、ソフトウエア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により “1” にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは “0” にクリアされます。リセット時、割り込みラッチはすべて “0” に初期化されます。

Not Recommended for New Design

割り込みラッチは、SFR 内の 003CH, 003DH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には “1” を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウエアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例 1)　割り込みラッチのクリア

```
DI                                  ; IMF ← 0
LDW     (ILL), 1110100000111111B    ; IL12, IL10~IL6 ← 0
EI                                  ; IMF ← 1
```

(プログラム例 2)　割り込みラッチの読み出し

```
LD      WA, (ILL)                   ; W ← ILH, A ← ILL
```

(プログラム例 3)　割り込みラッチのテスト

```
TEST    (ILL). 7                    ; IL7 = 1 ならジャンプ
JR      F, SSET
```

Not Recommended for New Design

3.2 割り込み許可レジスタ (EIR)

ノンマスカブル割り込み (ソフトウエア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH 番地に割り付けられており、命令でリード / ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスカブル割り込み全体に対して受け付けの許可 / 禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後 “0” にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令で リード / ライト できます。通常、割り込みマスタ許可フラグのセット / クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは “0” に初期化されます。

3.2.2 割り込み個別許可フラグ (EF15 ~ EF4)

各マスカブル割り込み要因に対し、個々に割り込み受け付けの許可 / 禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが “1” なら割り込み受け付けを許可し、“0” なら禁止します。

なお、リセット時、割り込み個別許可フラグは "0" に初期化されます。個別許可フラグが "1" にセットされるまでマスカブル割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例 1)　割り込みの個別許可と IMF のセット

```
DI                                  ; IMF ← 0
LDW        (EIRL),  1110100010100000B   ; EF15~EF13,  EF11,  EF7,  EF5 ← 1
  :                                 ; 注 ) IMF はセットしない
  :
EI                                  ; IMF ← 1
```

(プログラム例 2)　コンパイラ記述例

```
unsigned  int  _ io (3AH)  EIRL;        /* 3AH は EIRL のアドレス */
_ DI ( );
EIRL=10100000B;
  :
_ EI ( );
```

No Recommended for New Design

Not Recommended for New Design

割り込みラッチ

(初期値 : 00000000 000000**)

ILH,ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		
	ILH (003DH)								ILL (003CH)							

		RD 時	WR 時	
IL15~IL2	割り込みラッチ	0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	R/W

注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず “1” を書き込んでください。

注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値 : 00000000 0000***0)

EIRH,EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF
	EIRH (003BH)								EIRL (003AH)							

EF15~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

注 1) *: Don’t care

注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を “1” にセットしないでください。

注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

Not Recommended for New Design

3.3　割り込み要因の選択 (INTSEL)

割り込みソースをほかの割り込み要因と共有する割り込み要因は、INTSEL レジスタで選択された場合に限り割り込みラッチをイネーブルにすることができます。割り込みコントローラは INTSEL レジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が発生する前に INTSEL レジスタを適切に設定する必要があります。

1. INTSIO と INTI2C は優先順位 10 の割り込みソースを共有します。
2. INTTC2 と $\overline{\text{INT5}}$ は優先順位 15 の割り込みソースを共有します。
3. INTADC と INT2 は優先順位 16 の割り込みソースを共有します。

割り込み要因セレクタ

INTSEL (003EH)

7	6	5	4	3	2	1	0	
—	IL9ER	—	—	—	—	IL14ER	IL15ER	(初期値 : *0** **00)

IL9ER	INTSIO, INTI2C の選択	0: INTSIO 1: INTI2C	R/W
IL14ER	INTTC2, $\overline{\text{INT5}}$ の選択	0: INTTC2 1: $\overline{\text{INT5}}$	R/W
IL15ER	INTADC, INT2 の選択	0: INTADC 1: INT2	R/W

Not Recommended for New Design

3.4 割り込み処理

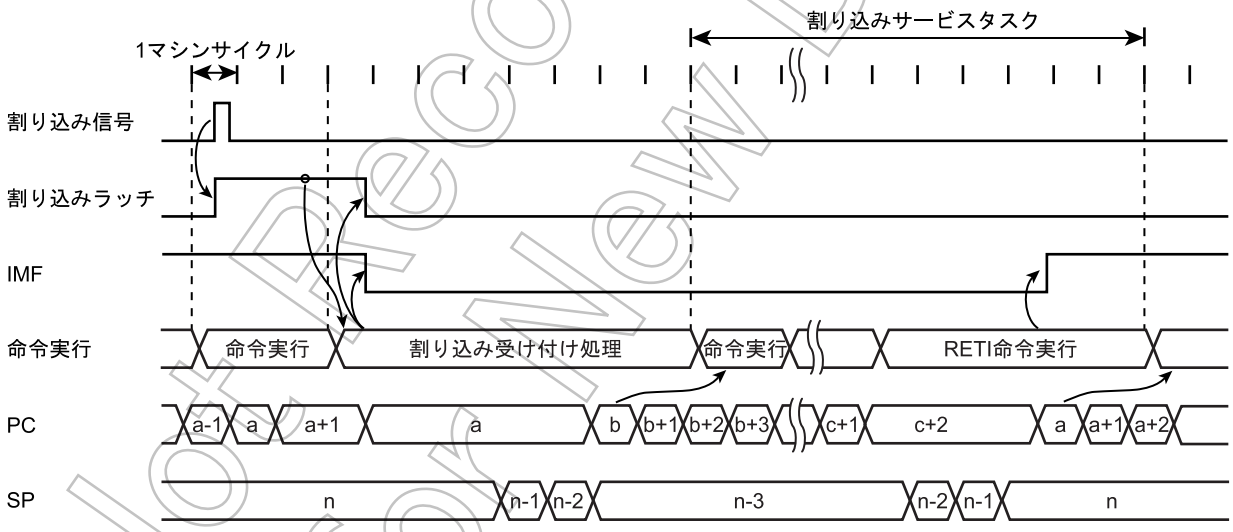
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが “0” にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2 µs @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.4.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を “0” にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを “0” にクリアします。
3. プログラムカウンタ (PC) プログラム ステータス ワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避 します (PSW + IMF, PCH, PCL の順にプッシュダウンされます) 。スタックポインタ (SP) は 3 回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例 : INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

Not Recommended for New Design

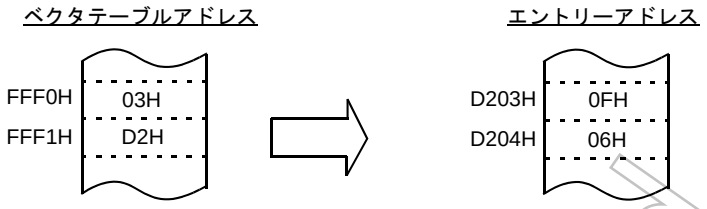


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが “1” にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを “1” にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを “1” にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.4.2　汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやそのほかのレジスタは自動的には退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。
汎用レジスタの退避には、次の 2 つの方法があります。

3.4.2.1　プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

（プログラム例）プッシュ / ポップによるレジスタの退避 / 復帰

```
PINTxx    PUSH    WA    ; WA レジスタペアをスタックに退避
          [割り込み処理]
          POP     WA    ; WA レジスタペアをスタックから復帰
          RETI          ; リターン
```

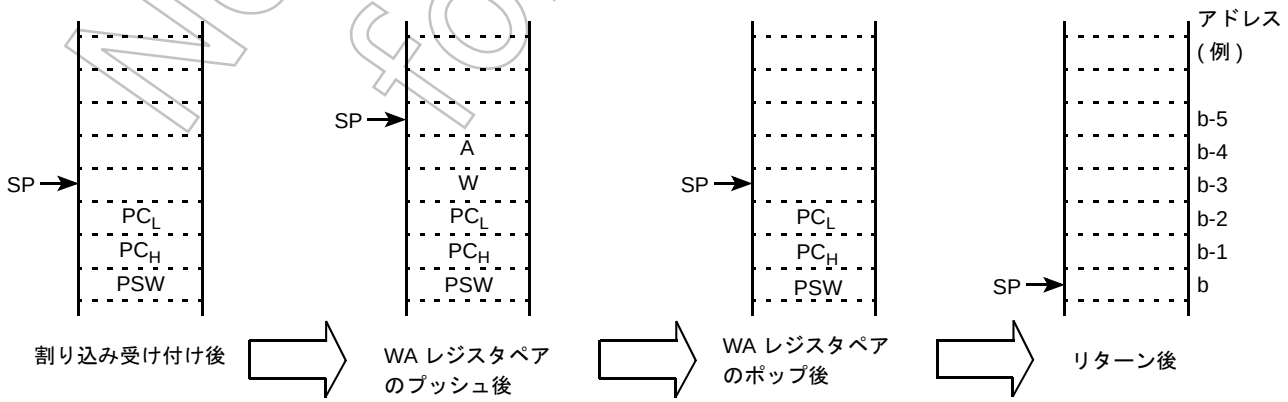


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

Not Recommended for New Design

3.4.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

（プログラム例）データメモリとの転送命令によるレジスタの退避 / 復帰

```
PINTxx:   LD        (GSAVA), A      ; A レジスタの退避
          割り込み処理
          LD        A, (GSAVA)      ; A レジスタの復帰
          RETI                      ; リターン
```

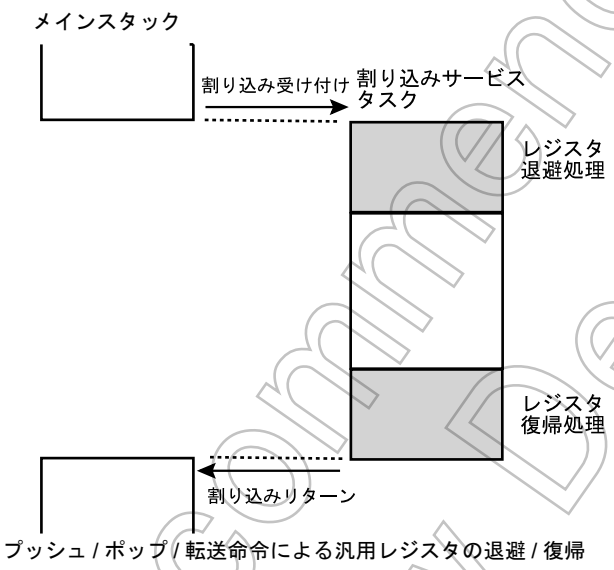


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.4.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] / [RETN] 割り込みリターン
①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 ②スタックポインタを 3 回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PCL、PCH の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注） これらを書き替えないままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
割り込みリターン後の PCL, PCH となる値は、割り込み受け付け処理後はそれぞれ (SP + 1), (SP + 2) のアドレスに格納されています。

Not Recommended for New Design

（プログラム例 1）　アドレストラップ割り込みサービスプログラムからのリターン

```
PINTxx    POP     WA                  ; スタックポインタを 2 つ戻す
          LD      WA, RetrunAddress   ; WA レジスタに再開アドレスを代入する
          PUSH    WA                  ; スタックにプッシュダウンする
          [割り込み処理]
          RETN                        ; ノンマスカブル割り込みリターン命令
```

（プログラム例 2）　リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

```
PINTxx    INC     SP                  ; スタックポインタを 3 つ戻す
          INC     SP
          INC     SP
          [割り込み処理]
          LD      EIRL, data          ; IMF を "1" にセット、または "0" にクリア
          JP      RestartAddress      ; 復帰アドレスへジャンプ
```

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注 1)　アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメントする)。

注 2)　割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

Not Recommended for New Design

3.5 ソフトウエア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウエア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッギング以外には使用しないでください。

3.5.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウエア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレス トラップ リセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.5.2 デバッギング

SWI 命令をソフトウエアブレークポイント設定アドレスに置くことによって、デバッギング効率を高めることができます。

3.6 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウエア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.7 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

Not Recommended for New Design

3.8　外部割り込み

TMP86CM72FG には、6 本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

また、INT1 ～ INT4 端子は、エッジ選択が可能です。なお、$\overline{\text{INT0}}$/P51 端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択 , ノイズ除去の制御 および $\overline{\text{INT0}}$/P51 端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ (レベル)	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF4・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	IMF・EF6 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	IMF・EF15 = 1 及び IL15ER=1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT3	INT3	IMF・EF11 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT4	INT4	IMF・EF12 = 1	立ち下がりエッジ、立ち上がりエッジ、立ち上がりエッジまたは立ち下がりエッジ、"H" レベル	7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF14 = 1 及び IL14ER=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注 1)　NORMAL1, 2 または IDLE1, 2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注 2)　INT0EN = “0” のとき、$\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注 3)　兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

Not Recommended for New Design

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0	
(0037H)	INT1NC	INT0EN	INT4ES		INT3ES	INT2ES	INT1ES		(初期値 : 0000 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P51/INT0 の機能選択	0: P51 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P51 ポートは入力モードにしてください)	R/W
INT4ES	INT4 のエッジ (レベル) 選択	00: 立ち上がりエッジで割り込み要求発生 01: 立ち下がりエッジで割り込み要求発生 10: 立ち上がりまたは立ち下がりエッジで割り込み要求発生 11: "H" レベルで割り込み要求発生	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

注 1) fc; 高周波クロック [Hz] *; Don't care

注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3) INT1NC を切り替えた場合、最大 2^6/fc の期間ノイズキャンセル時間が切り替わらない事があります。

注 4) INT4 端子の状態が "H" レベルの状態でリセットが解除された場合、INT4 のエッジ選択 (INT4ES) を「"H" レベルで割り込み要求発生」に切り替えても INT4 割り込み要求は発生しません。この場合、INT4 割り込み要求を発生させるには、INT4 端子に一度立ち上がりエッジを入力する必要があります。

Not Recommended for New Design

Not Recommended for New Design

第 4 章　プログラム訂正回路

プログラム訂正回路は、バグを持ったプログラム (ROM) にパッチをあてる機能です。プログラム訂正回路は、アドレスジャンプモードとデータ置換モードの 2 つのモードを持っています。

アドレスジャンプモードは、レジスタで指定したアドレスから連続した 3 バイトを絶対ジャンプ命令に置き換えるモードです。

データ置換モードは、レジスタで指定したアドレスの 1 バイト、もしくは指定したアドレスから連続する 2 バイトを任意のデータに置き換えるモードです。

両モードを合わせて最大 4 つのアドレスにパッチをあてることができます。

注 1)　プログラム訂正回路を使用する場合は、あらかじめプログラムのイニシャルルーチン内に、プログラム訂正回路を使用することを前提とした処理ルーチンが必要です。

注 2)　アドレスジャンプモードでジャンプ先を RAM 領域内に設定する場合は、プログラム訂正制御レジスタ (ROMCR) を設定する前に、あらかじめ WDTCR1 および WDTCR2 によって、RAM 領域でのアドレストラップを解除する必要があります。

4.1　概要

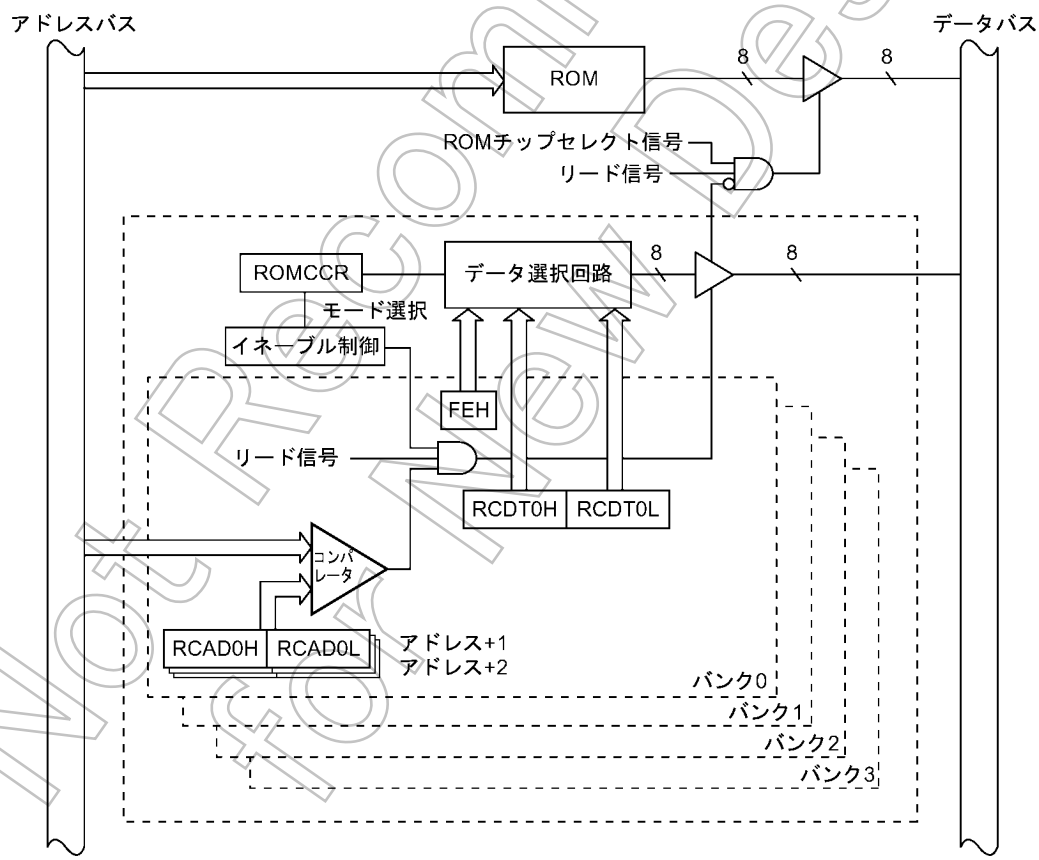


図 4-1 プログラム訂正回路

Not Recommended for New Design

4.2　制御

プログラム訂正回路は、プログラム訂正制御レジスタ (ROMCCR), プログラム訂正アドレスレジスタ (RCADxL, RCADxH), プログラム訂正データレジスタ (RCDTxL, RCDTxH)。(x: 0~3)

プログラム訂正制御レジスタ

ROMCCR (002FH)

7	6	5	4	3	2	1	0
BANK3CNT		BANK2CNT		BANK1CNT		BANK0CNT	

(初期値 : 0000 0000)

BANK3CNT	バンク 3 制御	00: ディセーブル 01: アドレスジャンプモード 10: 1 バイトデータ置換モード 11: 2 バイトデータ置換モード	R/W
BANK2CNT	バンク 2 制御	00: ディセーブル 01: アドレスジャンプモード 10: 1 バイトデータ置換モード 11: 2 バイトデータ置換モード	
BANK1CNT	バンク 1 制御	00: ディセーブル 01: アドレスジャンプモード 10: 1 バイトデータ置換モード 11: 2 バイトデータ置換モード	
BANK0CNT	バンク 0 制御	00: ディセーブル 01: アドレスジャンプモード 10: 1 バイトデータ置換モード 11: 2 バイトデータ置換モード	

注 1)　BANKxCNT を “00” 以外に設定されたバンクは、プログラム訂正アドレスレジスタ (RCADxL, RCADxH)、プログラム訂正データレジスタ (RCDTxL, RCDTxH) への書き込み処理は無効になりますので (書き込み命令は実行します)、ROMCCR にモード設定は、これらのレジスタの設定後に行ってください。

注 2)　リセット直後のリセットベクタ (FFFEH, FFFFH) は、リセット操作により ROMCCR レジスタが初期化されるためデータ置換することはできません。

バンク 0 プログラム訂正アドレスレジスタ

(初期値 : 0000 0000)

RCAD0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCAD0H (0FC1H)								RCAD0L (0FC0H)							

バンク 0 プログラム訂正データレジスタ

(初期値 : 0000 0000)

RCDT0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCDT0H (0FC3H)								RCDT0L (0FC2H)							

バンク 1 プログラム訂正アドレスレジスタ

(初期値 : 0000 0000)

RCAD1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCAD1H (0FC5H)								RCAD1L (0FC4H)							

バンク 1 プログラム訂正データレジスタ

(初期値 : 0000 0000)

RCDT1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCDT1H (0FC7H)								RCDT1L (0FC6H)							

Not Recommended for New Design

バンク 2 プログラム訂正アドレスレジスタ

(初期値 : 0000 0000)

RCAD2	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCAD2H (0FC9H)								RCAD2L (0FC8H)							

バンク 2 プログラム訂正データレジスタ

(初期値 : 0000 0000)

RCDT2	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCDT2H (0FCBH)								RCDT2L (0FCAH)							

バンク 3 プログラム訂正アドレスレジスタ

(初期値 : 0000 0000)

RCAD3	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCAD3H (0FCDH)								RCAD3L (0FCCH)							

バンク 3 プログラム訂正データレジスタ

(初期値 : 0000 0000)

RCDT3	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCDT3H (0FCFH)								RCDT3L (0FCEH)							

注 1) プログラム訂正アドレスレジスタ (RCADx) は、ユーザー ROM 領域内のみ設定可能です。ROM 領域以外 (SFR, RAM, または boot ROM など) に設定されたバンクは、ROMCCR をアドレスジャンプモードおよびデータ置換モードに設定しても動作しません。

注 2) RCADx は、置き換える領域がバンク間で重ならないようにしてください。領域が重なって設定された場合、プログラムが予期せぬ動作をすることがあります。

注 3) RCADx は、RCADx, RCDTx, ROMCCR レジスタを設定してる領域および、ROMCCR を設定する命令に続く 2 バイト以内は設定しないでください。これらの領域に設定された場合、正しくプログラム訂正されない場合があります。

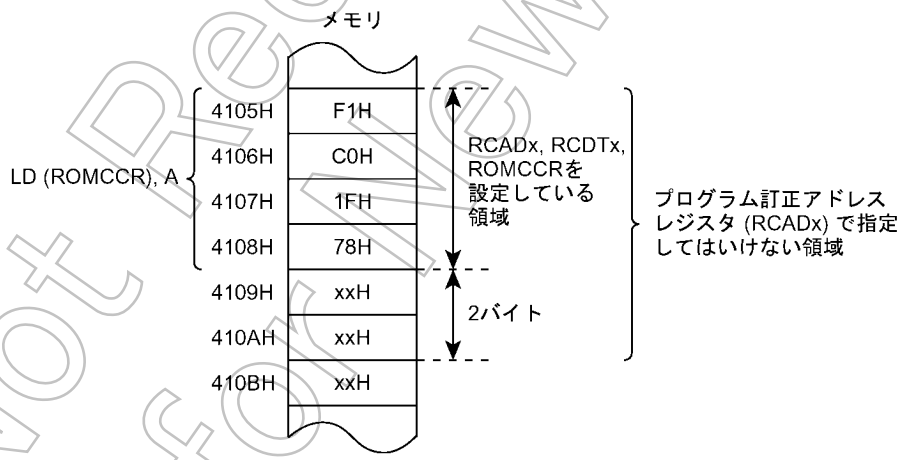


図 4-2 プログラム訂正アドレスレジスタ / プログラム訂正データレジスタ

Not Recommended for New Design

4.3　機能

プログラム訂正回路は、プログラム訂正アドレスレジスタ とプログラム訂正データレジスタを 4 バンク内蔵しており、1 バンクあたり 1 箇所の訂正を行うことが可能です。各バンクごとにアドレスジャンプモード , 1 バイトデータ置換モード , 2 バイトデータ置換モードのいずれかの訂正モードを選択することができます。訂正モードは、プログラム訂正制御レジスタ (ROMCCR) によってバンクごとに設定します。

4.3.1　アドレスジャンプモード

アドレスジャンプモードは、ROM 領域内の連続する任意の 3 バイトデータを絶対ジャンプ命令に置き換えるモードです。

アドレスジャンプモードが有効になると、プログラム訂正アドレスレジスタで指定したアドレスから連続する 3 バイトのデータは、絶対ジャンプ命令 (Feh, (RCDTxL、RCDTxH)) に置き換えられます。(以降 0~3。以降 x は 0~3 と定義します。)

4.3.1.1　レジスタ設定方法

プログラム訂正アドレスレジスタ (RCADxL, RCADxH。以降 2 レジスタまとめて RCADx と定義します。) には、ジャンプ先のアドレスを設定します。プログラム訂正アドレスレジスタと訂正データレジスタを設定後、ROMCCR の BANKxCNT を “01” に設定すると、アドレスジャンプモードになります。

注 1)　RCADx は、必ず第一オペコード (命令の先頭アドレス) を指定してください。正しく指定されない場合、予期せぬ動作をすることがあります。

注 2)　RCADx で設定したアドレスから連続する 3 バイトは、絶対ジャンプ命令に置き換えられますので、これらのオペランド (2 バイト目 , 3 バイト目) に相当するアドレスに対して JUMP, CALL 命令などを実行すると予期せぬ動作をすることがあります。

注 3)　アドレスジャンプモードでジャンプ先を RAM 領域内に設定する場合は、ROMCR を設定する前に、あらかじめ WDTCR1, WDTCR2 によって RAM のアドレストラップを解除する必要があります。

注 4)　アドレスジャンプモードのとき、RCADx で設定されたアドレスに対してリード命令を実行すると Feh が読み込まれます。

（1）　例 1: バンク 0 を使用し、D254H から連続する 3 バイトを絶対 JUMP 命令 (JP 0300H) に置き換える。

(プログラム例)

```
LD      (WDTCR1), 09H        ; 内蔵 RAM 領域をアドレストラップ対象から除外。
LD      (WDTCR2), 0D2H       ; アドレストラップ設定。
LD      HL,RCAD0L
LDW     (HL), 0D254H         ; プログラム訂正アドレスレジスタの設定。
LD      HL,RCDT0L
LDW     (HL), 0300H          ; プログラム訂正データレジスタの設定。
LD      (ROMCCR), 00000001B  ; プログラム訂正制御レジスタの設定。
```

Not Recommended for New Design

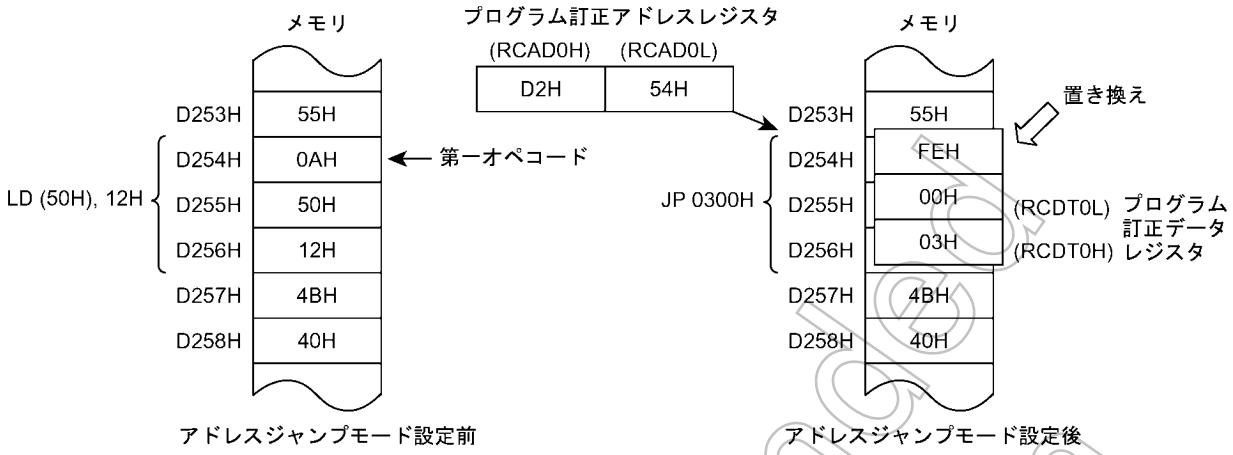


図 4-3 3 バイト置き換えの例 (アドレスジャンプモード)

(2) 例 2: イニシャルルーチンで実行するプログラム訂正回路用のシーケンスの例 (アドレスジャンプモード)

リセット解除直後に実行されるイニシャルルーチンプログラムの中で、以下のようにプログラム訂正回路のレジスタおよび、内蔵 RAM への修正プログラムなどの設定を行います。

1. 外部メモリより、プログラム訂正回路を使用する / 使用しないのフラグを読み込む。(端子情報により判断する方法でも可)
2. 使用しない場合は、通常のイニシャル処理を行う。
3. 使用する場合は、外部メモリより修正する ROM アドレス、ジャンプ先のアドレスを読み込む。
4. RCADx に訂正したい ROM のアドレスを、RCDTxL, RCDTxH でジャンプ先のアドレスを設定する。
5. 外部メモリより、修正された ROM アドレスを読み込み内蔵 RAM に格納する。(ROM 領域内でアドレスジャンプを行う場合は必要ありません)
6. 必要なバンク数分 (3)~(5) を繰り返す。
7. プログラム訂正制御レジスタを、アドレスジャンプモードに設定する。

(3) 例 3: C020H~C085H の ROM 領域にバグがあり、0200H~022FH の RAM 領域で修正プログラムを実行する場合。

リセット直後に実行されるイニシャルルーチンプログラム中で、外部メモリから修正する ROM アドレス (データ : C020H)、およびジャンプ先のアドレス (データ : 0200H) を読み込み、レジスタにデータを設定します。

修正プログラムを内蔵 RAM に格納した後、プログラム訂正制御レジスタをアドレスジャンプモードに設定します。

以上の設定により、プログラムの実行が C020H 番地の命令をフェッチするタイミングにさしかかると C020H への絶対ジャンプ命令が実行され、修正プログラム部に処理が移行します。通常、修正プログラムの最後には、プログラム処理を ROM に戻すためのジャンプ命令を格納しておきます。

Not Recommended for New Design

（ プログラム例 ）

```
LD      (WDTCR1), 09H        ; 内蔵 RAM 領域をアドレストラップ対象から除外。
LD      (WDTCR2), 0D2H       ; アドレストラップ設定コード。
LD      HL,RCAD0L
LDW     (HL), 0C020H         ; プログラム訂正アドレスレジスタの設定。
LD      HL,RCDT0L
LDW     (HL), 0200H          ; プログラム訂正データレジスタの設定。
LD      (ROMCCR), 00000001B  ; プログラム訂正制御レジスタの設定。
```

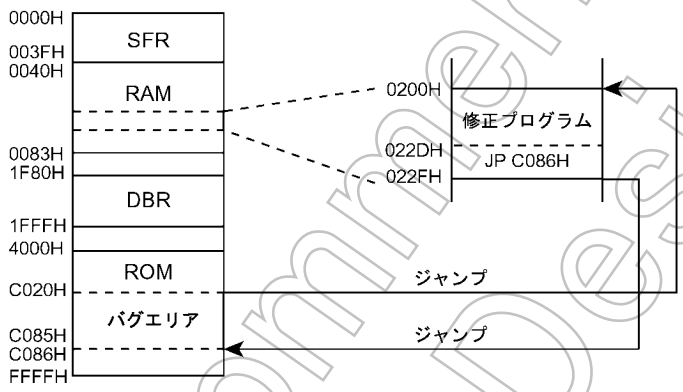


図 4-4 RAM 領域でのパッチプログラム実行例 (アドレスジャンプモード)

4.3.2　1 バイトデータ置換モード

1 バイトデータ置換モードは、ROM 領域内の任意の 1 バイトのデータを、指定したデータに置き換えるモードです。1 バイトのデータ置換モードが有効になると、プログラム訂正アドレスレジスタで指定したアドレスのデータは、指定したデータに (RCDTxL) に置き換えられます。なお、プログラム訂正アドレスレジスタは、オペコード、オペランドを問わず指定することが可能です。

4.3.2.1　レジスタ設定方法

プログラム訂正アドレスレジスタ (RCADx) には、訂正する ROM アドレスを、プログラム訂正データレジスタには (RCDTxL) 置き換えるデータを設定します。

プログラム訂正アドレスレジスタと、プログラム訂正データレジスタを設定後、ROMCCR の “10” にすると、1 バイト置換モードになります。

Not Recommended for New Design

（1） 例 1: バンク 0 を使用し、D256H のデータを 34H に置き換える。

（ プログラム例 ）

```
LD      HL,RCAD0L            ; プログラム訂正アドレスレジスタの設定。
LDW     (HL), 0D256H
LD      (RCDT0L), 34H        ; プログラム訂正データレジスタの設定。
LD      (ROMCCR), 00000010B  ; プログラム訂正制御レジスタの設定。
```

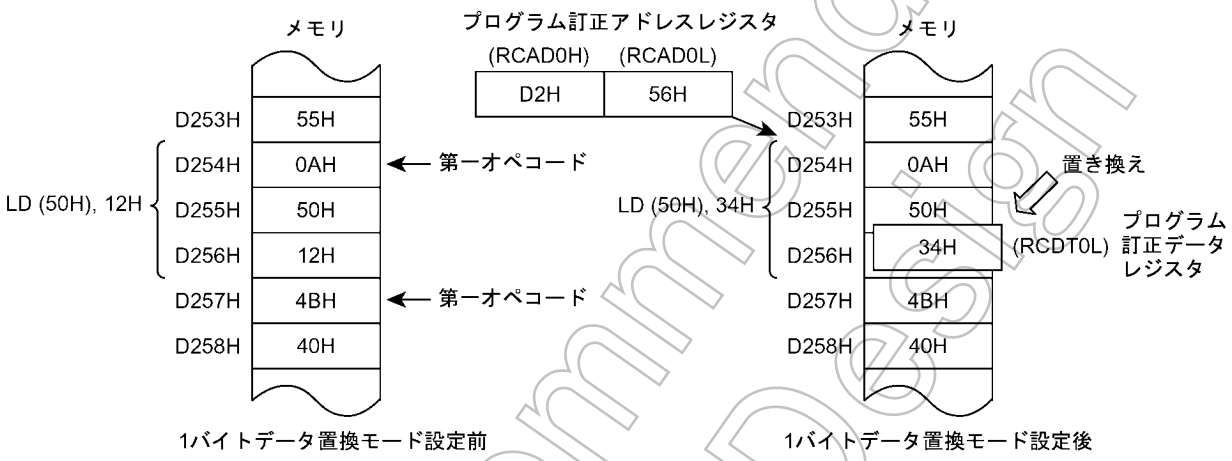


図 4-5 データ置換例 (1 バイト置換モード)

（2） 例 2: イニシャルで実行されるプログラム訂正回路用の設定シーケンスの例

リセット直後に実行されるイニシャルルーチンの中で、以下のようにプログラム訂正回路のレジスタ設定を行います。

1. 外部メモリより、プログラム訂正回路を使用する / 使用しないのフラグを読み込む。(端子情報により判断する方法でも可)
2. 使用しない場合は、通常のイニシャル処理を行う。
3. 使用する場合は、外部メモリより修正する ROM アドレス、置換するデータを読み込む。
4. RCADx に訂正したい ROM アドレスを、RCDTxL に置換データを設定する。
5. 必要なバンク数分 3~4 を繰り返す。
6. プログラム訂正制御レジスタを、1 バイトデータ置換モードに設定する。

4.3.3 2 バイトデータ置換モード

2 バイトデータ置換モードは、ROM 領域内の任意の 2 バイトのデータを、指定したデータに置き換えるモードです。2 バイトのデータ置換モードが有効になると、プログラム訂正アドレスレジスタで指定したアドレスのデータは、指定したデータに (RCDTxL, RCDTxH) に置き換えられます。なお、プログラム訂正アドレスレジスタは、オペコード , オペランドを問わず指定することが可能です。

Not Recommended for New Design

4.3.3.1　レジスタ設定方法

プログラム訂正アドレスレジスタ (RCADx) には訂正する ROM アドレスを、プログラム訂正データレジスタには (RCDTxL, RCDTxL) 置き換えるデータを設定します。

プログラム訂正アドレスレジスタと、プログラム訂正データレジスタを設定後、ROMCCR の "11" にすると、1 バイト置換モードになります。

(1) 例 1: バンク 0 を使用し、D254H からの LD 命令 (LD(50H), 12H) を JR 命令でスキップする。

(プログラム例)

```
LD      HL,RCAD0L            ; プログラム訂正アドレスレジスタの設定。
LDW     (HL), 0D254H
LD      HL,RCDT0L            ; プログラム訂正データレジスタの設定。
LDW     (HL), 01FCH
LD      (ROMCCR), 00000011B  ; プログラム訂正制御レジスタの設定。
```

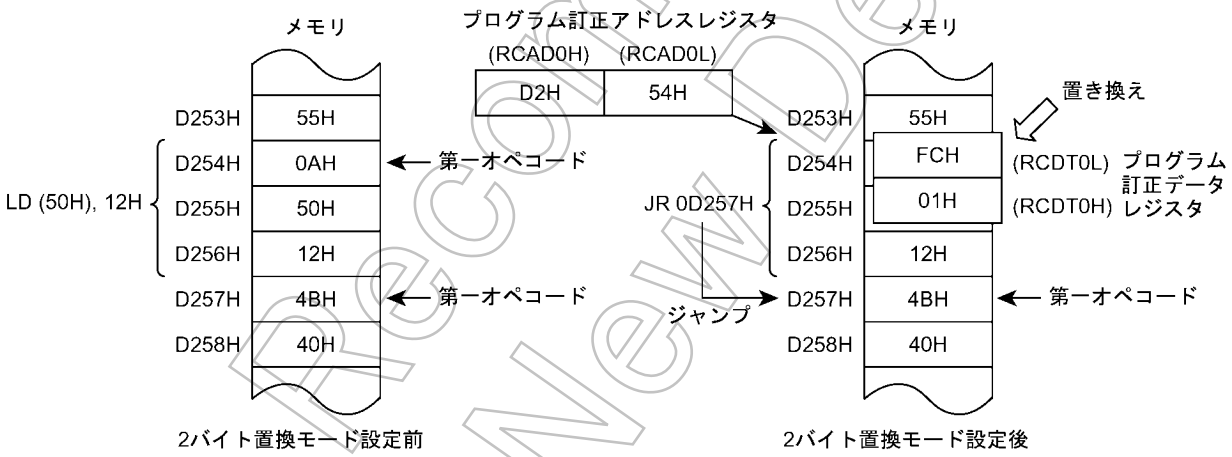


図 4-6 データ置換例 (2 バイト置換モード)

注) データ置換モードで上記のように相対ジャンプ命令などに置き換える場合は、ジャンプ先を第一オペコードに設定してください。

(2) 例 2: イニシャルで実行されるプログラム訂正回路用の設定シーケンスの例

リセット直後に実行されるイニシャルルーチンの中で、以下のようにプログラム訂正回路のレジスタ設定を行います。

1. 外部メモリより、プログラム訂正回路を使用する / 使用しないのフラグを読み込む (端子情報により判断する方法でも可)。
2. 使用しない場合は、通常のイニシャル処理を行う。
3. 使用する場合は、外部メモリより修正する ROM アドレス、置換するデータを読み込む。
4. RCADx に訂正したい ROM アドレスを、RCDTxL, RCDTxH に置換データを設定する。

Not Recommended for New Design

5. 必要なバンク数分 3~4 を繰り返す。
6. プログラム訂正制御レジスタを、2 バイトデータ置換モードに設定する。

(3) 例 3: C020H のデータ 55H を 33H、C021H のデータ AAH を CCH に置換したい場合

リセット直後に実行されるイニシャルルーチンの中で、外部メモリより修正する ROM アドレス (C020H)、置換データ (33H, CCH) を読み込み、レジスタにデータを設定します。その後、プログラム訂正制御レジスタを 2 バイト置換モードに設定します。

以上の設定により、プログラムが C020H 番地のデータをフェッチまたはリードした場合、55H の代わりに 33H が読み込まれます。また、C021H のデータをフェッチまたはリードした場合、AAH の代わりに CCH が読み込まれます。

(プログラム例)

```
LD      HL,RCAD0L              ; プログラム訂正アドレスレジスタの設定。
LDW     (HL), 0C020H
LD      HL,RCDT0L
LDW     (HL), 0CC33H           ; プログラム訂正データレジスタの設定。
LD      (ROMCCR), 00000011B    ; プログラム訂正制御レジスタの設定。
```

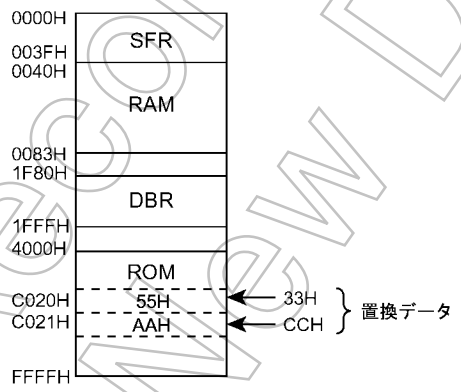


図 4-7 データ置換例 (2 バイトデータ置換モード)

Not Recommended for New Design

Not Recommended for New Design

第 5 章　スペシャルファンクションレジスタ

TMP86CM72FG は、メモリマップ I/O 方式で、周辺ハードウエアのデータ制御 / 転送はすべてスペシャル ファンクション レジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86CM72FG の SFR, DBR の一覧を示します。

5.1　SFR

アドレス	リード	ライト
0000H	Reserved	
0001H	P1DR	
0002H	P2DR	
0003H	Reserved	
0004H	P4DR	
0005H	P5DR	
0006H	P6DR	
0007H	P7DR	
0008H	P8DR	
0009H	P9DR	
000AH	Reserved	
000BH	P1OUTCR	
000CH	P4CR1	
000DH	P5CR	
000EH	ADCCR1	
000FH	ADCCR2	
0010H	TC3DRA	
0011H	TC3DRB	-
0012H	TC3CR	
0013H	TC2CR	
0014H	TC4CR	
0015H	P1PRD	-
0016H	P2PRD	-
0017H	Reserved	
0018H	TC4DR	
0019H	SIOCR1	
001AH	SIOCR2	
001BH	SIOSR	-
001CH	SIOBUF	
001DH	UARTSR	UART0CR1
001EH	-	UARTCR2
001FH	RDBUF	TDBUF
0020H	-	SBICRA
0021H	SBIDBR	
0022H	-	I2CAR
0023H	SBISRB	SBICRB
0024H	TC2DRL	
0025H	TC2DRH	
0026H	ADCDR2	-

Not Recommended for New Design

アドレス	リード	ライト
0027H	ADCDR1	-
0028H	P4CR2	
0029H	TC3SEL	
002AH	VFTCR1	
002BH	VFTCR2	
002CH	VFTCR3	
002DH	VFTSR	-
002EH	Reserved	
002FH	ROMCCR	
0030H	Reserved	
0031H	-	STOPCR
0032H	Reserved	
0033H	Reserved	
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H	TBTCR	
0037H	EINTCR	
0038H	SYSCR1	
0039H	SYSCR2	
003AH	EIRL	
003BH	EIRH	
003CH	ILL	
003DH	ILH	
003EH	INTSEL	
003FH	PSW	

注 1)　Reserved の番地はプログラムでアクセスしないでください。

注 2)　ー ; アクセスできません。

注 3)　書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

Not Recommended for New Design

5.2 DBR

アドレス	リード	ライト
0F80H	VFTDBR(T0,V7 ～ V0)	
0F81H	VFTDBR(T1,V7 ～ V0)	
0F82H	VFTDBR(T2,V7 ～ V0)	
0F83H	VFTDBR(T3,V7 ～ V0)	
0F84H	VFTDBR(T4,V7 ～ V0)	
0F85H	VFTDBR(T5,V7 ～ V0)	
0F86H	VFTDBR(T6,V7 ～ V0)	
0F87H	VFTDBR(T7,V7 ～ V0)	
0F88H	VFTDBR(T8,V7 ～ V0)	
0F89H	VFTDBR(T9,V7 ～ V0)	
0F8AH	VFTDBR(T10,V7 ～ V0)	
0F8BH	VFTDBR(T11,V7 ～ V0)	
0F8CH	VFTDBR(T12,V7 ～ V0)	
0F8DH	VFTDBR(T13,V7 ～ V0)	
0F8EH	VFTDBR(T14,V7 ～ V0)	
0F8FH	VFTDBR(T15,V7 ～ V0)	
0F90H	VFTDBR(T0,V15 ～ V8)	
0F91H	VFTDBR(T1,V15 ～ V8)	
0F92H	VFTDBR(T2,V15 ～ V8)	
0F93H	VFTDBR(T3,V15 ～ V8)	
0F94H	VFTDBR(T4,V15 ～ V8)	
0F95H	VFTDBR(T5,V15 ～ V8)	
0F96H	VFTDBR(T6,V15 ～ V8)	
0F97H	VFTDBR(T7,V15 ～ V8)	
0F98H	VFTDBR(T8,V15 ～ V8)	
0F99H	VFTDBR(T9,V15 ～ V8)	
0F9AH	VFTDBR(T10,V15 ～ V8)	
0F9BH	VFTDBR(T11,V15 ～ V8)	
0F9CH	VFTDBR(T12,V15 ～ V8)	
0F9DH	VFTDBR(T13,V15 ～ V8)	
0F9EH	VFTDBR(T14,V15 ～ V8)	
0F9FH	VFTDBR(T15,V15 ～ V8)	

Not Recommended for New Design

アドレス	リード	ライト
0FA0H	VFTDBR(T0,V23 ～ V16)	
0FA1H	VFTDBR(T1,V23 ～ V16)	
0FA2H	VFTDBR(T2,V23 ～ V16)	
0FA3H	VFTDBR(T3,V23 ～ V16)	
0FA4H	VFTDBR(T4,V23 ～ V16)	
0FA5H	VFTDBR(T5,V23 ～ V16)	
0FA6H	VFTDBR(T6,V23 ～ V16)	
0FA7H	VFTDBR(T7,V23 ～ V16)	
0FA8H	VFTDBR(T8,V23 ～ V16)	
0FA9H	VFTDBR(T9,V23 ～ V16)	
0FAAH	VFTDBR(T10,V23 ～ V16)	
0FABH	VFTDBR(T11,V23 ～ V16)	
0FACH	VFTDBR(T12,V23 ～ V16)	
0FADH	VFTDBR(T13,V23 ～ V16)	
0FAEH	VFTDBR(T14,V23 ～ V16)	
0FAFH	VFTDBR(T15,V23 ～ V16)	
0FB0H	VFTDBR(T0,V31 ～ V24)	
0FB1H	VFTDBR(T1,V31 ～ V24)	
0FB2H	VFTDBR(T2,V31 ～ V24)	
0FB3H	VFTDBR(T3,V31 ～ V24)	
0FB4H	VFTDBR(T4,V31 ～ V24)	
0FB5H	VFTDBR(T5,V31 ～ V24)	
0FB6H	VFTDBR(T6,V31 ～ V24)	
0FB7H	VFTDBR(T7,V31 ～ V24)	
0FB8H	VFTDBR(T8,V31 ～ V24)	
0FB9H	VFTDBR(T9,V31 ～ V24)	
0FBAH	VFTDBR(T10,V31 ～ V24)	
0FBBH	VFTDBR(T11,V31 ～ V24)	
0FBCH	VFTDBR(T12,V31 ～ V24)	
0FBDH	VFTDBR(T13,V31 ～ V24)	
0FBEH	VFTDBR(T14,V31 ～ V24)	
0FBFH	VFTDBR(T15,V31 ～ V24)	

Not Recommended for New Design

アドレス	リード	ライト
0FC0H	RCAD0L	
0FC1H	RCAD0H	
0FC2H	RCDT0L	
0FC3H	RCDT0H	
0FC4H	RCAD1L	
0FC5H	RCAD1H	
0FC6H	RCDT1L	
0FC7H	RCDT1H	
0FC8H	RCAD2L	
0FC9H	RCAD2H	
0FCAH	RCDT2L	
0FCBH	RCDT2H	
0FCCH	RCAD3L	
0FCDH	RCAD3H	
0FCEH	RCDT3L	
0FCFH	RCDT3H	
0FD0H	Reserved	
0FD1H	Reserved	
0FD2H	Reserved	
0FD3H	Reserved	
0FD4H	Reserved	
0FD5H	Reserved	
0FD6H	Reserved	
0FD7H	Reserved	
0FD8H	Reserved	
0FD9H	Reserved	
0FDAH	Reserved	
0FDBH	Reserved	
0FDCH	Reserved	
0FDDH	Reserved	
0FDEH	Reserved	
0FDFH	Reserved	

アドレス	リード	ライト
0FE0H	Reserved	
: :	: :	
0FFFH	Reserved	

注 1) Reserved の番地はプログラムでアクセスしないでください。

注 2) ー；アクセスできません。

注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

Not Recommended for New Design

Not Recommended for New Design

第 6 章　入出力ポート

TMP86CM72FG は、7 ポート 54 端子の入出力ポートを内蔵しています。

1. P1 ポート :

   8 ビット入出力ポート (外部割り込み入力 , タイマカウンタ入力 , シリアルインタフェース入出力と兼用)

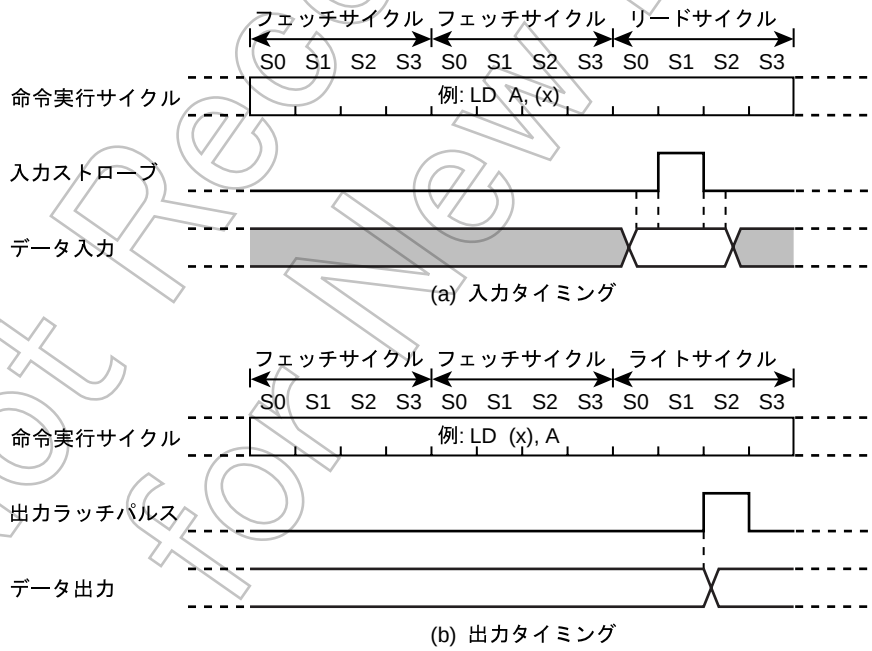
2. P2 ポート :

   3 ビット入出力ポート (低周波発振子接続端子 , 外部割り込み入力 , STOP モード解除信号入力と兼用)

3. P4 ポート : 8 ビット入出力ポート (アナログ入力 , STOP モード解除信号入力と兼用)
4. P5 ポート : 3 ビット入出力ポート (外部割り込み入力 , デバイダ出力と兼用)
5. P6 ポート : 8 ビット入出力ポート (グリッド出力と兼用)
6. P7 ポート : 8 ビット入出力ポート (グリッド出力と兼用)
7. P8 ポート : 8 ビット入出力ポート (セグメント出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありません。外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 6-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できません。チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード / ライトサイクルの位置が異なります。

図 6-1 入出力タイミング (例)

Not Recommended for New Design

6.1　P1 (P17~P10) ポート

P1 ポートは、8 ビットの入出力ポートで、タイマカウンタ入出力、外部割り込み入力、シリアルインタフェース入出力と兼用です。入力ポートまたは、端子機能として用いる場合は、出力ラッチを “1” にセットします。リセット時、出力ラッチ (P1DR) は “1” に、プッシュプル制御レジスタ (P1OUTCR) は “0” に初期化されます。

P1 ポートは P1OUTCR により出力回路をシンクオープンドレイン出力、CMOS 出力に選択することができます。入力ポートとして使用する場合は、P1DR を “1” にセットした後、P1OUTCR の対応するビットを “0” に設定します。

P1 ポートはデータ入力レジスタが独立しています。出力ラッチの状態を読み込む場合は、P1DR を、端子の状態を読み込む場合は P1 ポート端子入力レジスタ (P1PRD) レジスタをそれぞれ読み出してください。

なお、TC3 入力は TC3 入力制御レジスタ (TC3SEL) レジスタにより、入力波形の位相を反転させることができます。

P10, P11, P12, P13 には TC3/INT3, $\overline{\text{PWM4}}$/$\overline{\text{PDO4}}$/TC4, TXD, RXD/INT2 の機能が兼用されており、TC3, INT3, TC4, RXD, INT2 の機能を使用する場合には使用する端子を入力モードに設定し、$\overline{\text{PWM4}}$, $\overline{\text{PDO4}}$ 機能を使用する場合には使用する端子を出力モードに設定してください。

P14, P15, P16, P17 には、SI/SDA, SO/SCL, $\overline{\text{SCK}}$, $\overline{\text{CS}}$/INT4 の各機能が兼用されており、これらの機能を使用する場合は、SI, $\overline{\text{CS}}$/INT4 は入力モード , SO, SDA, SCL は出力モード (I^2C バス使用時はシンクオープンドレイン出力), $\overline{\text{SCK}}$ は入力または出力モードにして使用してください。

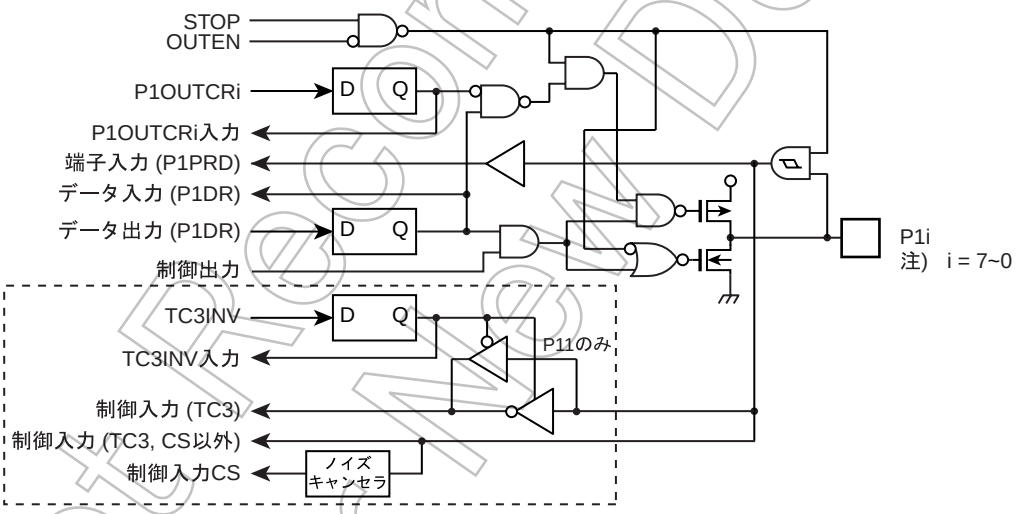


図 6-2 P1 ポート

Not Recommended for New Design

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W	P17 $\overline{CS}$ INT4	P16 $\overline{SCK}$	P15 SO SCL	P14 SI SDA	P13 RXD INT2	P12 TXD	P11 $\overline{PWM4}$ $\overline{PDO4}$ TC4	P10 TC3 INT3	(初期値 : 1111 1111)
P1OUTCR (000BH)	7	6	5	4	3	2	1	0	
									(初期値 : 0000 0000)

P1OUTCR	P1 ポートの入出力制御 (各ビット単位で指定)	0: シンクオープンドレイン出力 1: CMOS 出力	R/W

	7	6	5	4	3	2	1	0	
P1PRD (0015H) Read only									
TC3SBI (0029H)	CSEN		SBISEL					TC3INV	(初期値 : 0*0* ***0)

TC3INV	TC3 入力制御	0: 正転入力 1: 反転入力	R/W
SBISEL	SIO/I^2C バスの選択 (P15)	0: SIO (P15: SO 端子) 1: I^2C (P15: SCL 端子)	
CSEN	チップセレクト機能の有効 / 無効の選択	0: 無効 1: 有効	

P1OUTCR	P1DR	機能
0	0	“L” 出力
0	1	入力 / シンクオープンドレイン出力 / 制御入力
1	0	“L” 出力
1	1	“H” 出力 / 制御出力

Not Recommended for New Design

6.2　P2 (P22~P20) ポート

P2 ポートは、3 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは、端子機能として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。P2DR はリセット時 “1” に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりで割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR を、端子の状態を読み込む場合は P2 ポート端子入力レジスタ (P2PRD) レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

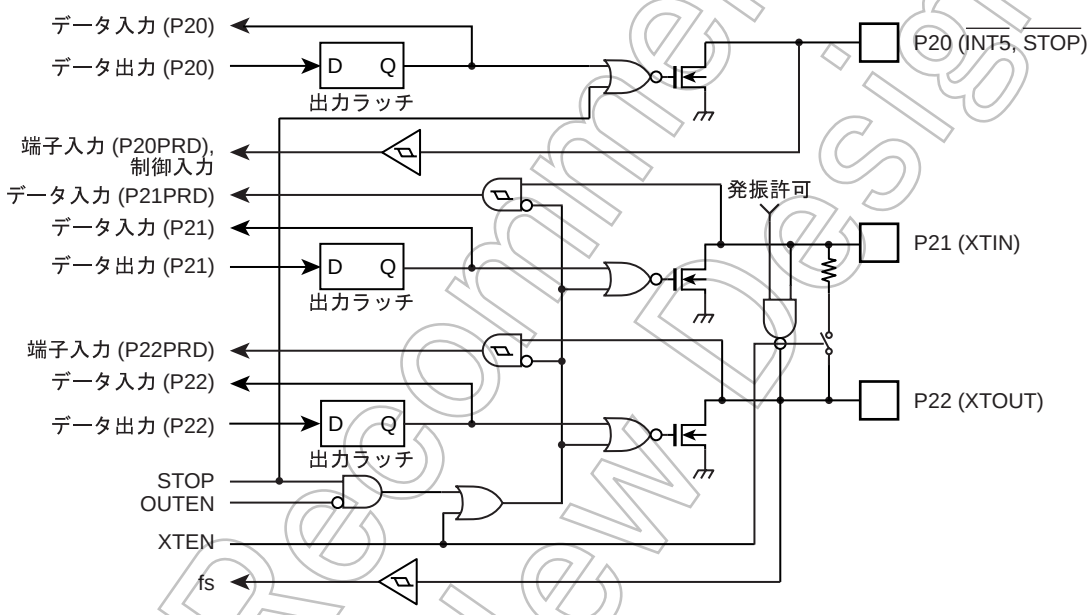
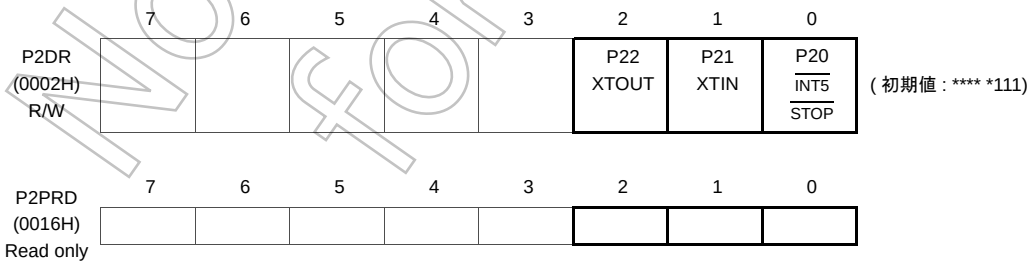


図 6-3 P2 ポート



注)　P20 端子は STOP 端子と兼用のため、STOP モードに入ると OUTEN の状態にかかわらず、出力は High-Z 状態となります。

Not Recommended for New Design

6.3 P4 (P47~P40) ポート

P4 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力 , キーオンウェイクアップ入力と兼用です。入出力の指定は、P4 ポート入出力制御レジスタ (P4CR1) によって行います。出力として使用する場合は、対応するビットの P4CR1 を “1” にセットし出力モードに設定します。入力モードとして使用する 場合は、対応するビットの P4CR1 を “0” にクリアした後、P4CR2 を “1” にセットします。アナログ入力、キーオンウェイクアップ入力として使用する場合、P4CR1 を “0” にクリアした後、P4CR2 を “0” にクリアします (アナログ入力の場合は、その後 ADCCR1<AINDS> = “0” にするとともに AD をスタートさせます)。リセット時は、P4CR1 は “0”、P4CR2 は “1” に初期化され、P4 ポートは入力モードとなります。また P4 ポート出力ラッチ (P4DR) は、リセット時に “0” に初期化されます。

P40, 41 は、“L” レベルが大電流ポードです。P4CR2 を “0” にすることで、シンクオープンドレイン出力となり、“1” にすると通常の CMOS 出力となります。リセット時は “1” に初期化されます。

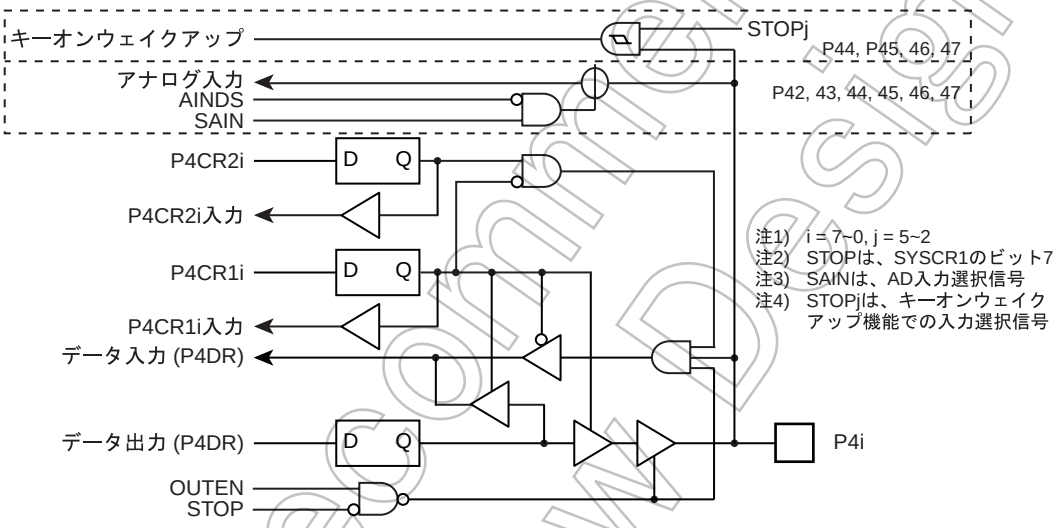


図 6-4 P4 ポート

Not Recommended for New Design

	7	6	5	4	3	2	1	0	
P4DR (0004H) R/W	P47 AIN5 STOP5	P46 AIN4 STOP4	P45 AIN3 STOP3	P44 AIN2 STOP2	P43 AIN1	P42 AIN0	P41	P40	(初期値 : 0000 0000)
P4CR1 (000CH)									(初期値 : 0000 0000)

P4CR1	P4 ポートの入出力制御 (各ビット単位で指定)	0: 入力モードまたはアナログ入力 / キーオンウェイクアップ入力 1: 出力モード	R/W

	7	6	5	4	3	2	1	0	
P4CR2 (0028H)									(初期値 : 1111 1111)

P4CR2 (Bit 7~2)	P4 ポートの入出力制御 (各ビット単位で指定)	0: アナログ入力 / キーオンウェイクアップ入力 1: 入力モード	R/W
P4CR2 (Bit 1, 0)	P4 ポートの入出力制御 (各ビット単位で指定)	0: シンクオープンドレイン出力 1: CMOS 出力	

注 1)　入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

注 2)　P4CR2 はアナログ入力使用端子の入力ゲート制御です。アナログ入力時は、貫通電流対策のため P4CR2 を “0” に設定し入力ゲートを固定します。入力モード時は P4CR2 を “1” に設定します。キーオンウェイクアップで使用する場合は、入力受けが独立しているため P4CR2 は “0” に設定します。

注 3)　アナログ入力時は、キーオンウェイクアップ制御レジスタ (STOPj) を “0” にしてください。

Not Recommended for New Design

6.4 P5 (P52~P50) ポート

P5 ポートは 1 ビット単位で入出力の指定ができる 3 ビット汎用入出力ポートです。入出力の指定は P5 ポート出力制御レジスタ (P5CR) によって行います。リセット時、P5CR は “0” に初期化され、P5 ポートは入力モードとなります。また、P5 ポートの出力ラッチ (P5DR) は “0” に初期化されます。

P51, P52 は $\overline{\text{INT0}}$, INT1 の機能が兼用されており、これらの機能を使用する場合は使用する端子を入力モードに設定してください。

P50 は $\overline{\text{DVO}}$ の機能が兼用されており、機能を使用する場合は出力モードに設定してください。

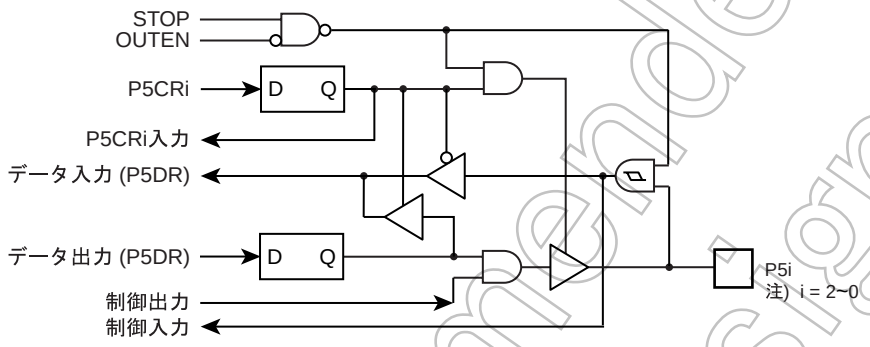


図 6-5 P5 ポート

	7	6	5	4	3	2	1	0	
P5DR (0005H)						P52 INT1	P51 $\overline{\text{INT0}}$	P50 $\overline{\text{DVO}}$	(初期値 : **** *000)
P5CR (000DH)									(初期値 : **** *000)

P5CR	P5 ポートの入出力制御 (各ビット単位で指定)	0: 入力モード 1: 出力モード	R/W

注) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

Not Recommended for New Design

6.5　P6 (P67~P60), P7 (P77~P70), P8 (P87~P80), P9 (P97~P90) ポート

P6, P7, P8, P9 ポートは、8 ビットの高耐圧入出力ポートで VFT ドライバ出力と兼用しており、VFT を直接駆動できます。入力ポートまたは VFT ドライバ出力として用いる場合は、出力ラッチを “0” にクリアします。

VFT ドライバ出力に設定されていない端子は、入出力ポートとして使用できますが、VFT ドライバ使用時に通常の入出力として使用する場合、端子に兼用されている VFT ドライバ出力データバッファメモリ (DBR) を “0” にクリアする必要があります。リセット時、出力ラッチは “0” に初期化されます。

P6, P7, P8, P9 ポートはプルダウン抵抗が内蔵されているため、VFT 駆動用として使用されることを推奨します。

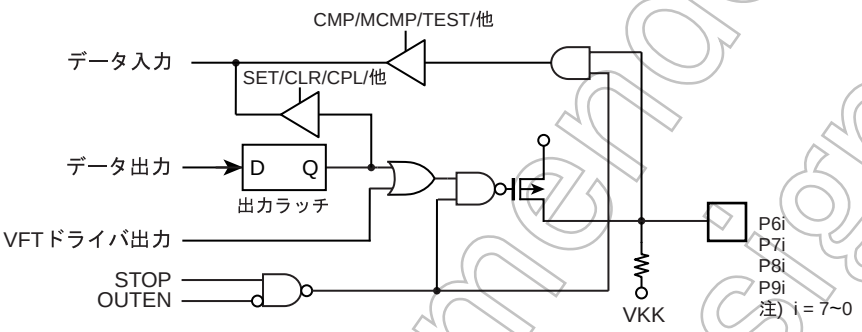


図 6-6 P6, P7, P8, P9 ポート

	7	6	5	4	3	2	1	0	
P6DR (0006H) R/W	P67	P66	P65	P64	P63	P62	P61	P60	(初期値 : 0000 0000)
P7DR (0007H) R/W	P77	P76	P75	P74	P73	P72	P71	P70	(初期値 : 0000 0000)
P8DR (0008H) R/W	P87	P86	P85	P84	P83	P82	P81	P80	(初期値 : 0000 0000)
P9DR (0009H) R/W	P97	P96	P95	P94	P93	P92	P91	P90	(初期値 : 0000 0000)

Not Recommended for New Design

第 7 章　ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は 1 回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注）外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

7.1　ウォッチドッグタイマの構成

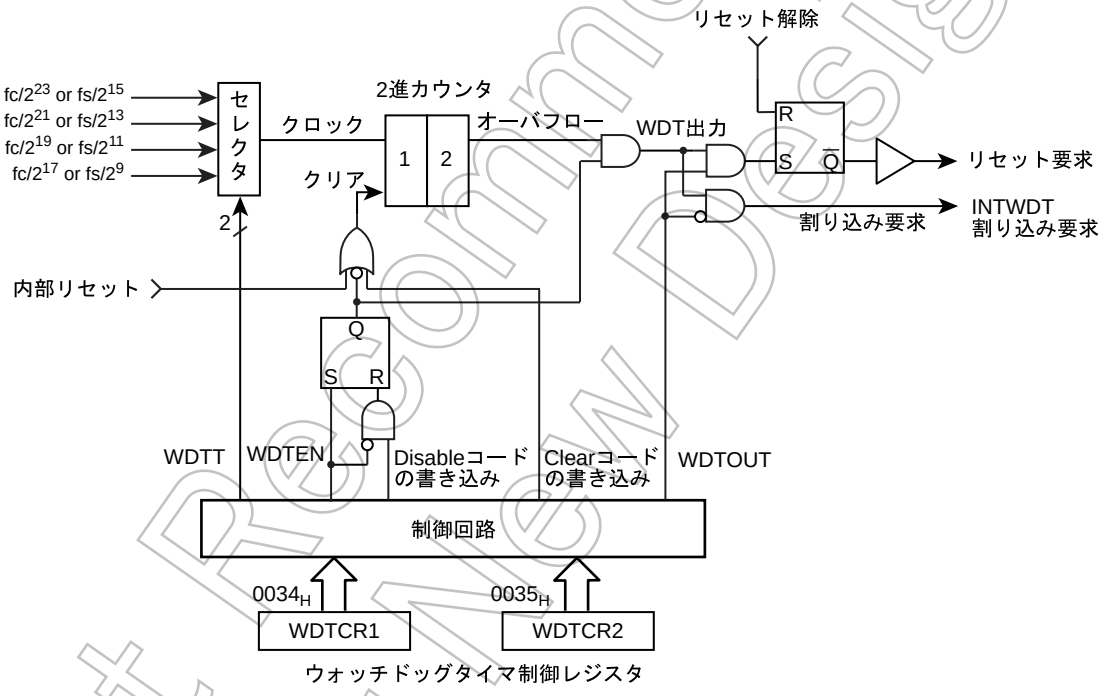


図 7-1 ウォッチドッグタイマの構成

7.2　ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドックタイマ制御レジスタ (WDTCR1、WDTCR2) によって制御されます。なおウォッチドックタイマはリセット解除後、自動的にイネーブルになります。

7.2.1　ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定，出力の選択および 2 進カウンタのクリア
2. 設定した検出時間以内ごとに 2 進カウンタのクリアを繰り返し行います。

Not Recommended for New Design

もし、何らかの原因で暴走またはデッドロック状態に陥り、2 進カウンタのクリアが行われない場合、2 進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウエアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォーミングアップ中を含む) または IDLE/SLEEP モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEP モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を 2^{21}/fc [s] に設定し、暴走検出リセットを行う。

```
                LD    (WDTCR2), 4EH          ; 2 進カウンタのクリア
                LD    (WDTCR1), 00001101B    ; WDTT ← 10, WDTOUT ← 1
                LD    (WDTCR2), 4EH          ; 2 進カウンタのクリア
WDT 検出        :                            ; WDTT 変更直前直後は必ずクリア ; します )
時間 3/4 以内   :
                LD    (WDTCR2), 4EH          ; 2 進カウンタのクリア
WDT 検出        :
時間 3/4 以内   LD    (WDTCR2), 4EH          ; 2 進カウンタのクリア
```

ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	—	—	(ATAS)	(ATOUT)	WDTEN	WDTT		WDTOUT	(初期値 : **11 1001)

WDTEN	ウォッチドッグタイマの許可 / 禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり 1: 許可				Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位 : [s]		NORMAL1/2 モード		SLOW1/2 モード	Write only
			DV7CK = 0	DV7CK = 1		
		00	2^{25}/fc	2^{17}/fs	2^{17}/fs	
		01	2^{23}/fc	2^{15}/fs	2^{15}fs	
		10	2^{21}fc	2^{13}/fs	2^{13}fs	
		11	2^{19}/fc	2^{11}/fs	2^{11}/fs	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求				Write only

注 1)　WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。

注 2)　fc; 高周波クロック [Hz]　fs; 低周波クロック [Hz]　*; Don't care

注 3)　WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。

注 4)　STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。

注 5)　WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「7.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

Not Recommended for New Design

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値 : **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H	アドレストラップ領域選択有効	
		その他	無効	

注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。

注 2) *; Don’t care

注 3) ウォッチドッグタイマの 2 進カウンタのクリアは割り込みタスクで行わないでください。

注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

7.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

7.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの 2 進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI                          ; IMF ← 0
LD      (WDTCR2) , 04EH     ; 2 進カウンタのクリア
LDW     (WDTCR1) , 0B101H   ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 7-1 ウォッチドッグタイマ検出時間 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [S]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

Not Recommended for New Design

7.2.4　ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が“0”のときに 2 進カウンタがオーバフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず 割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

（プログラム例）ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 043FH              ; SP の設定
LD      (WDTCR1) , 00001000B   ; WDTOUT ← 0
```

7.2.5　ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が“1”のときに 2 進カウンタがオーバフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウエアはリセットされます。リセット時間は、最大 24/fc [s] (1.5 μs @ fc = 16.0 MHz) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は 最大で 24/fc (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

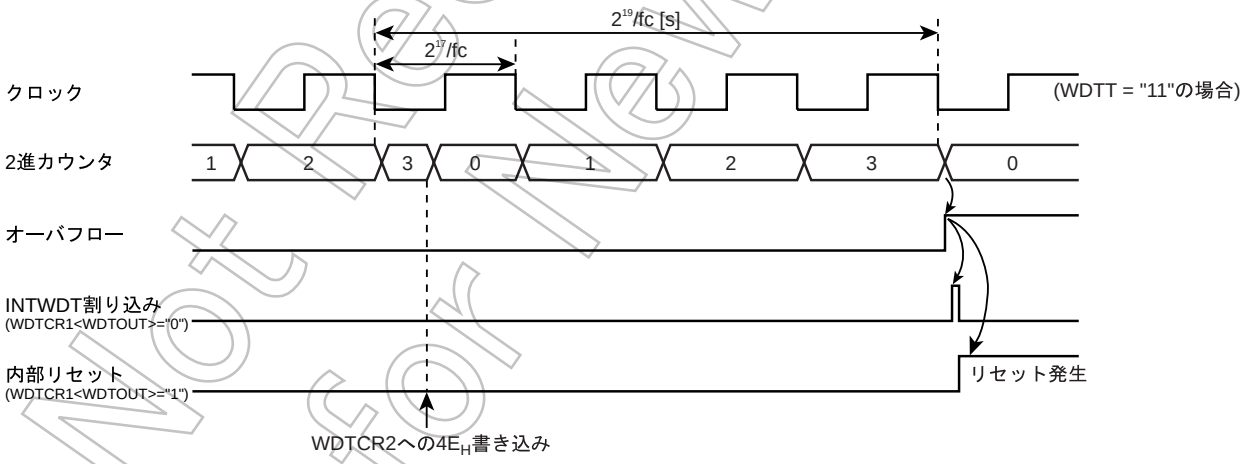


図 7-2 ウォッチドッグタイマ割り込み / リセット

Not Recommended for New Design

7.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)

7	6	5	4	3	2	1	0	
—	—	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	(初期値 : **11 1001)

ATAS	内蔵 RAM 領域のアドレストラップ選択	0: 1:	アドレストラップ発生しない アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード“D2H”書き込む必要あり)	Write only
ATOUT	アドレストラップ発生時の動作選択	0: 1:	割り込み要求 リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)

7	6	5	4	3	2	1	0	
								(初期値 : **** ****)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	D2H: 4EH: B1H: その他 :	アドレストラップ領域選択有効 (ATRAP 設定コード) ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード) ウォッチドッグタイマのディセーブル (WDT ディセーブルコード) 無効	Write only

7.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレストラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を“0”に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に“D2H”を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレストラップが発生します。

7.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

7.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が“0”の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1 <ATAS> =“1”時のみ), DBR または SFR 領域から命令をフェッチしようとするとアドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず 割り込みは受け付けられます。

Not Recommended for New Design

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

7.3.4　アドレストラップリセット

WDTCR1<ATOUT> が“1”の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1 <ATAS> =“1”時のみ), DBR または SFR 領域から命令をフェッチしようとするとアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウエアはリセットされます。リセット時間は、最大 24/fc [s] (1.5 μs @ fc = 16.0 MHz) です。

注)　SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は 最大で 24/fc (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

Not Recommended for New Design

第 8 章　タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

8.1　タイムベースタイマ

8.1.1　構成

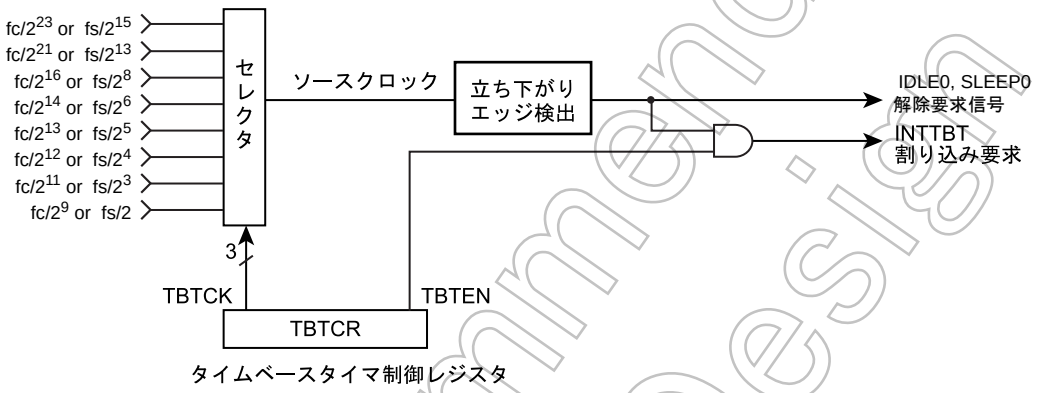


図 8-1 タイムベースタイマの構成

8.1.2　制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)		(DV7CK)	TBTEN	TBTCK			(初期値 : 0000 0000)

TBTEN	タイムベースタイマ の 許可 / 禁止	0: ディセーブル 1: イネーブル				
TBTCK	タイムベースタイマ割り込み周波数の選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1		
		000	fc/2^23	fs/2^15	fs/2^15	
		001	fc/2^21	fs/2^13	fs/2^13	
		010	fc/2^16	fs/2^8	–	
		011	fc/2^14	fs/2^6	–	
		100	fc/2^13	fs/2^5	–	
		101	fc/2^12	fs/2^4	–	
		110	fc/2^11	fs/2^3	–	
		111	fc/2^9	fs/2	–	

注 1)　fc; 高周波クロック [Hz], fs; 低周波クロック [Hz], *; Don't care

Not Recommended for New Design

注 2)　割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0") で行ってください（イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください）。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

（プログラム例）タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR) , 00000010B      ; TBTCK ← 010
LD      (TBTCR) , 00001010B      ; TBTEN ← 1
DI
SET     (EIRL) . 7
```

表 8-1 タイムベースタイマ割り込み周波数 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	–
011	976.56	512	–
100	1953.13	1024	–
101	3906.25	2048	–
110	7812.5	4096	–
111	31250	16384	–

8.1.3　機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち下がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 8-2 参照)。

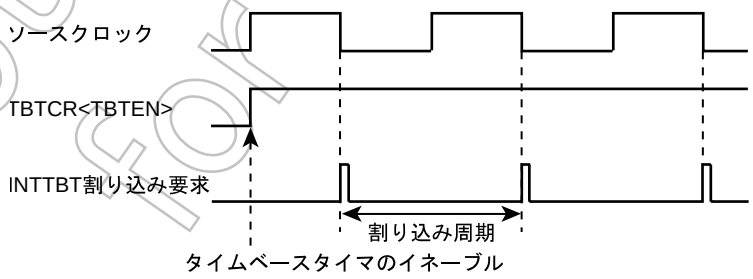


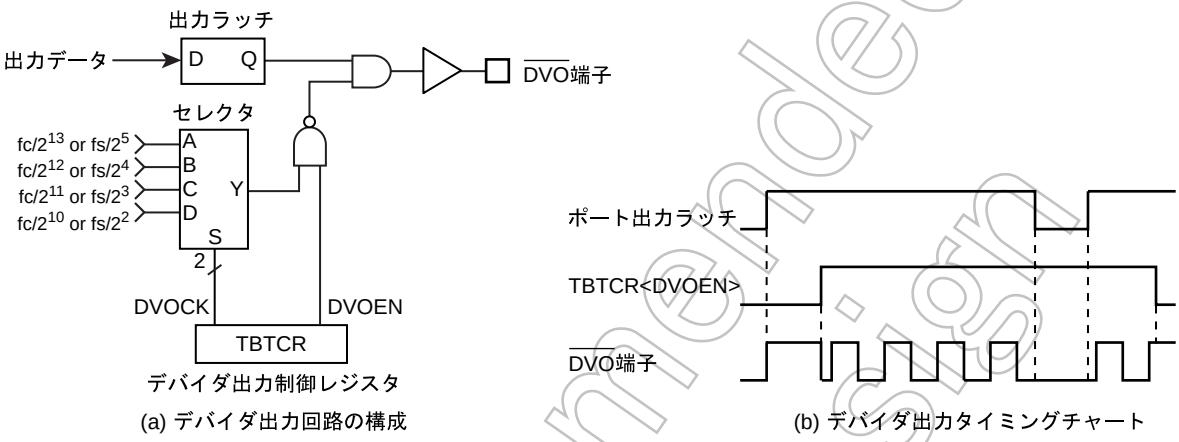
図 8-2 タイムベースタイマ割り込み

Not Recommended for New Design

8.2 デバイダ出力 ($\overline{\text{DVO}}$)

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、$\overline{\text{DVO}}$ 端子から出力されます。

8.2.1 構成



(a) デバイダ出力回路の構成　　(b) デバイダ出力タイミングチャート

図 8-3 デバイダ出力

8.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK		(DV7CK)	(TBTEN)	(TBTCK)			(初期値 : 0000 0000)

DVOEN	デバイダ出力の許可 / 禁止	0: ディセーブル 1: イネーブル				R/W
DVOCK	デバイダ出力 ($\overline{\text{DVO}}$ 端子) の周波数選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1		
		00	fc/2^13	fs/2^5	fs/2^5	
		01	fc/2^12	fs/2^4	fs/2^4	
		10	fc/2^11	fs/2^3	fs/2^3	
		11	fc/2^10	fs/2^2	fs/2^2	

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0") で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください)。

Not Recommended for New Design

（プログラム例）1.95 kHz のパルスを出力 (fc = 16.0 MHz)

```
                ポートを設定
LD              (TBTCR) ,  00000000B            ; DVOCK ← "00"
LD              (TBTCR) ,  10000000B            ; DVOEN ← "1"
```

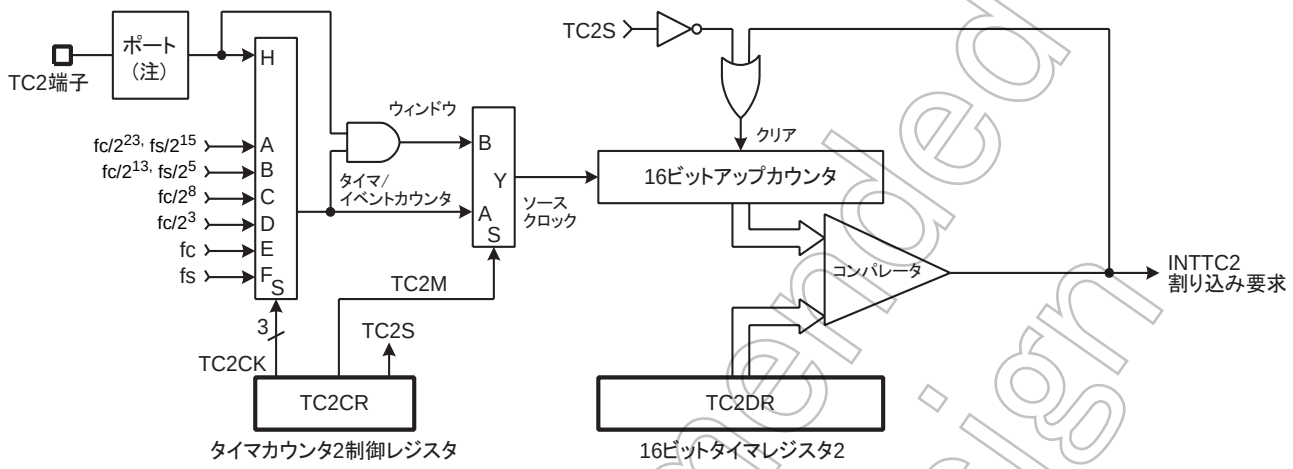
表 8-2　デバイダ出力の周波数 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

Not Recommended for New Design

第 9 章　16 ビットタイマカウンタ 2 (TC2)

9.1　構成



注） I/O ポートの設定によっては、制御入力が機能しないことがありますので、詳しくは I/O ポートの章を参照してください。

図 9-1　タイマカウンタ 2 (TC2)

Not Recommended for New Design

9.2　制御

タイマカウンタ 2 は、タイマカウンタ 2 制御レジスタ (TC2CR) と 16 ビットのタイマレジスタ 2 (TC2DR) で制御されます。

TC2DR (0025H, 0024H)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC2DRH (0025H)								TC2DRL (0024H)							
	(初期値 : 1111 1111 1111 1111)								R/W							

TC2CR (0013H)	7	6	5	4	3	2	1	0
			TC2S	TC2CK				TC2M

(初期値 : **00 00*0)

TC2S	タイマカウンタ 2 の スタート制御	0: ストップ & カウンタクリア 1: スタート						R/W
TC2CK	タイマカウンタ 2 の ソースクロックの選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		デバイダ	SLOW1/2 モード	SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1				
		000	$fc/2^{23}$	$fs/2^{15}$	DV21	$fs/2^{15}$	$fs/2^{15}$	
		001	$fc/2^{13}$	$fs/2^{5}$	DV11	$fs/2^{5}$	$fs/2^{5}$	
		010	$fc/2^{8}$	$fc/2^{8}$	DV6	–	–	
		011	$fc/2^{3}$	$fc/2^{3}$	DV1	–	–	
		100	–	–	–	fc (注 1)	–	
		101	fs	fs	–	–	–	
		110	Reserved					
		111	外部クロック (TC2 端子入力)					
TC2M	タイマカウンタ 2 の 動作モードの選択	0: タイマ / イベントカウンタモード 1: ウィンドウモード						R/W

注 1)　fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

注 2)　タイマレジスタ 2(TC2DR) への書き込みは必ず下位側 (TC2DRL)、上位側 (TC2DRH) の順に行ってください。下位側または上位側のみの書き込みでは、設定値は反映されません。

注 3)　タイマレジスタ 2(TC2DR) の下位側 (TC2DRL) にデータを書き込むと、上位側 (TC2DR) にデータが書き込まれるまでの間、前回の設定値で一致検出を行います。

注 4)　モード , ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注 5)　タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC2DR>1 (ウォームアップのときは $TC2DR_{15}$~$TC2DR_{11}$>1)

注 6)　TC2CR にリード命令を実行すると、ビット 1,6,7 は不定値が読み込まれます。

注 7)　ソースクロックに fc は、SLOW2 モード時のタイマモードのみ使用することができます。

注 8)　STOP モードを起動すると、TC2S は自動的に "0" にクリアされ、タイマは停止します。従って STOP モード解除後、タイマカウンタ 2 を使用する場合は、TC2S を再設定してください。

Not Recommended for New Design

9.3 機能

タイマカウンタ 2 には、タイマ、イベントカウンタとウィンドウの 3 つの動作モードがあります。

またタイマモードでは、ソースクロックとして fc または fs を選択すると、SLOW1 モードと NORMAL2 モード間で動作モードを切り替えるとき、発振子が安定するまでのウォーミングアップ時間を生成することができます。

9.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 2 (TC2DR) の 設定値との一致で INTTC2 割り込み要求が発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOW2 モードでソースクロックに fc を選択すると、TC2DR の下位 11 ビットは比較対象とはならず、上位 5 ビットのみの一致で INTTC2 割り込み要求が発生します。従ってこの場合、TC2DRH の設定は必要ですが、TC2DRL の設定は不要です。

表 9-1 タイマカウンタ 2 の内部クロックソース (例 : fc = 16 MHz, fs = 32.768 kHz 時)

TC2CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2 モード		SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1					
	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間
000	524.29 [ms]	9.54 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]
001	512.0 [μs]	33.55 [s]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]
010	16.0 [μs]	1.05 [s]	16.0 [μs]	1.05 [s]	–	–	–	–
011	0.5 [μs]	32.77 [ms]	0.5 [μs]	32.77 [ms]	–	–	–	–
100	–	–	–	–	62.5 [ns]	–	–	–
101	30.52 [μs]	2 [s]	30.52 [μs]	2 [s]	–	–	–	–

注) ソースクロック fc は SLOW モード時のタイマモードでのみ使用可能です。これは SLOW1 モードから NORMAL2 モードに切り替える場合のウォーミングアップ用です。

(プログラム例) ソースクロック $fc/2^3$ [Hz] で、タイマモードにセットし、25 ms ごとに割り込みを発生させる。(fc = 16 MHz 時)

```
LDW     (TC2DR), 061AH      ; TC2DR の設定 (25 ms ÷ 2^8/fc = 061AH)
DI                          ; IMF= "0"
SET     (EIRH). 6           ; INTTC2 割り込みを許可
EI                          ; IMF= "1"
LD      (TC2CR), 00001000B  ; ソースクロック / モード選択
LD      (TC2CR), 00101000B  ; タイマスタート
```

Not Recommended for New Design

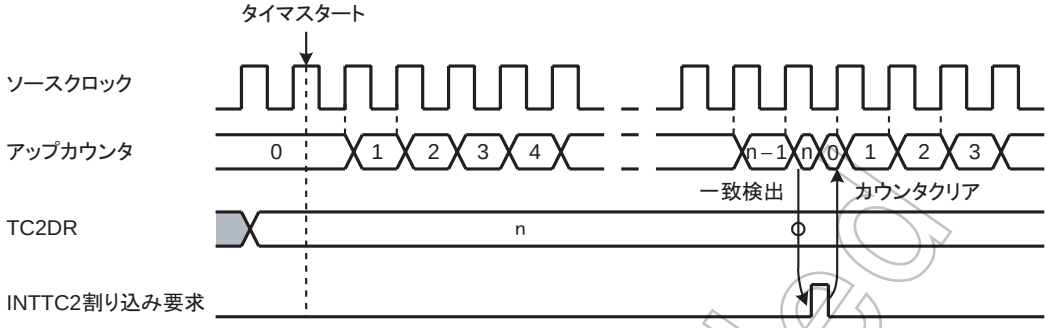


図 9-2　タイマモードタイミングチャート

Not Recommended for New Design

9.3.2 イベントカウンタモード

イベントカウンタモードは、TC2端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC2DR の設定値が一致すると INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC2 端子入力の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC2 端子入力の立ち下がりエッジで行われますので、INTTC2 割り込み要求は、アップカウンタと TC2DR が同値になった後の立ち下がりエッジで発生します。

TC2 端子への最小入力パルス幅は、表 9-2 のとおりです。“H”, “L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

（プログラム例）イベントカウンタモードにセットし、640 カウント後に INTTC2 割り込み要求を発生させる。

```
LDW     (TC2DR), 640        ; TC2DR の設定
DI                          ; IMF= “0”
SET     (EIRH). 6           ; INTTC2 割り込みを許可
EI                          ; IMF= “1”
LD      (TC2CR), 00011100B  ; TC2 ソースクロック / モード選択
LD      (TC2CR), 00111100B  ; TC2 スタート
```

表 9-2 タイマカウンタ 2 の外部クロックソース

	最小パルス幅	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	2^3/fc	2^3/fs
“L” 幅	2^3/fc	2^3/fs

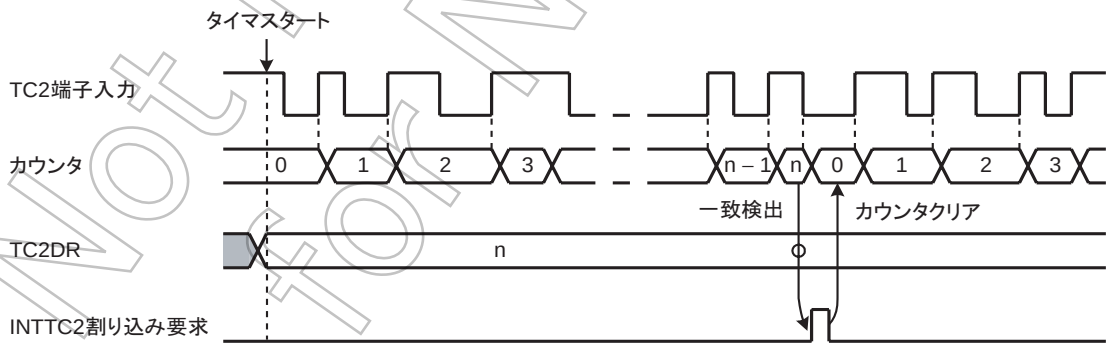


図 9-3 イベントカウンタモードタイミングチャート

9.3.3 ウィンドウモード

ウィンドウモードは、TC2 端子入力 (ウィンドウパルス) が “H” レベルの間、内部クロックでカウントアップするモードです。アップカウンタの値と TC2DR の設定値が一致すると、INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。

Not Recommended for New Design

なお、ウィンドウパルスは、TC2CR<TC2CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

注）ウィンドウモードは SLOW/SLEEP モードで動作しませんので、NORMAL モードでウィンドウモードを使用しているときは、SLOW/SLEEP モードを起動する前に TC2CR<TC2S> を “0” に設定してあらかじめタイマカウンタ 2 を停止してください。

（プログラム例）120 ms 以上の “H” レベルパルスが入力されると割り込みを発生させる。
(fc = 16 MHz, TBTCR<DV7CK> = “0” 時)

```
LDW     (TC2DR), 00EAH      ; TC2DR の設定 (120 ms ÷ 2^13/fc = 00EAH)
DI                          ; IMF= “0”
SET     (EIRH). 6           ; INTTC2 割り込みを許可
EI                          ; IMF= “1”
LD      (TC2CR), 00000101B  ; TC2 ソースクロック / モード選択
LD      (TC2CR), 00100101B  ; TC2 スタート
```

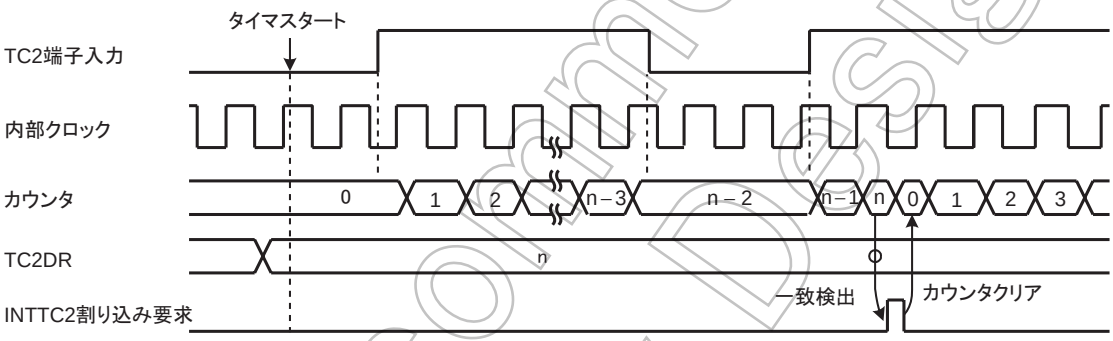
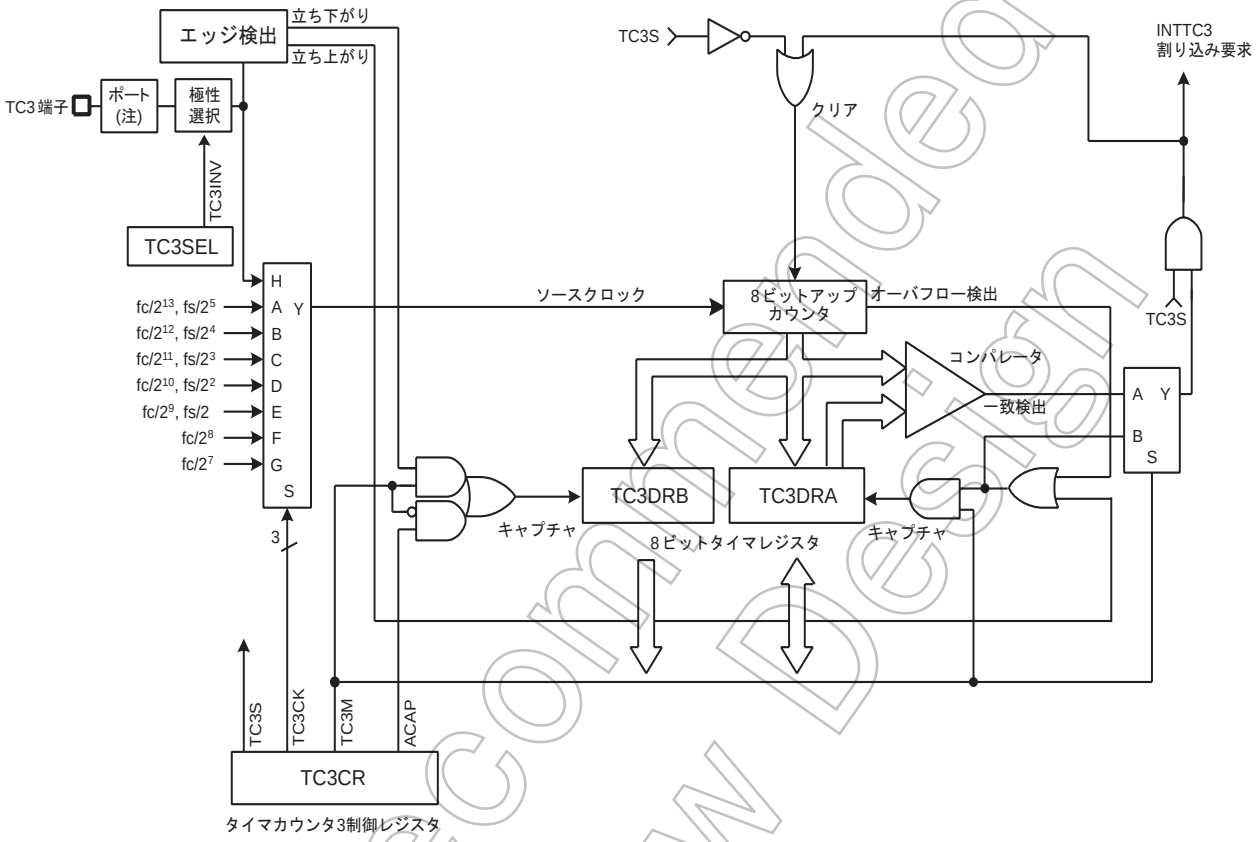


図 9-4 ウィンドウモードタイミングチャート

Not Recommended for New Design

第 10 章 8 ビットタイマカウンタ 3 (TC3)

10.1 構成



注） I/O ポートの設定によっては、制御入力が機能しないことがありますので、詳しくは I/O ポートの章を参照してください。

図 10-1 タイマカウンタ 3 (TC3)

Not Recommended for New Design

10.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TC3DRA, TC3DRB) で制御されます。

タイマカウンタ 3 のタイマレジスタと制御レジスタ

	7	6	5	4	3	2	1	0	
TC3DRA (0010H)									Read/Write (初期値 : 1111 1111)
TC3DRB (0011H)									Read only (初期値 : 1111 1111)

	7	6	5	4	3	2	1	0	
TC3CR (0012H)		ACAP		TC3S	TC3CK			TC3M	(初期値 : *0*0 0000)

ACAP	自動キャプチャ制御	0: – 1: 自動キャプチャ					R/W
TC3S	タイマカウンタ 3 のスタート制御	0: ストップ & カウンタクリア 1: スタート					R/W
TC3CK	タイマカウンタ 3 のソースクロックの選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		デバイダ	SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1			
		000	$fc/2^{13}$	$fs/2^{5}$	DV11	$fs/2^{5}$	
		001	$fc/2^{12}$	$fs/2^{4}$	DV10	$fs/2^{4}$	
		010	$fc/2^{11}$	$fs/2^{3}$	DV9	$fs/2^{3}$	
		011	$fc/2^{10}$	$fs/2^{2}$	DV8	$fs/2^{2}$	
		100	$fc/2^{9}$	fs/2	DV7	fs/2	
		101	$fc/2^{8}$	$fc/2^{8}$	DV6	–	
		110	$fc/2^{7}$	$fc/2^{7}$	DV5	–	
		111	外部クロック (TC3 端子入力)				
TC3M	タイマカウンタ 3 の動作モードの選択	0: タイマ / イベントカウンタモード 1: キャプチャモード					R/W

注 1)　fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

注 2)　動作モード , ソースクロックは、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。

注 3)　タイマレジスタ 3A (TC3DRA) への設定値は、次の条件を満たす必要があります。
TC3DRA > 1 (タイマ / イベントカウンタモード時)

注 4)　自動キャプチャ (ACAP) はタイマ / イベントカウンタモード時のみ使用可能です。

注 5)　TC3CR に対しリード命令を実行すると、ビット 5,7 は、不定値が読み込まれます。

注 6)　タイマ動作中 (TC3S = "1") は、TC3DRA を書き換えないでください。

注 7)　STOP モードを起動すると、スタート制御 (TC3S) は自動的に "0" にクリアされ、タイマは停止します (その他のレジスタの値は保持されます)。STOP モード解除後、タイマカウンタを使用する場合は、TC3S) を "1" に再設定してください。

TC3 端子の入力制御レジスタ

	7	6	5	4	3	2	1	0	
TC3SEL (0029H)								TC3INV	Read/Write (初期値 : **** ***0)

TC3INV	TC3 端子の入力制御		イベントカウントモード	キャプチャモード	R/W
		0: 1:	立ち上がりエッジでカウント 立ち下がりエッジでカウント	立ち上がりエッジで割り込み発生 立ち下がりエッジで割り込み発生	

注)　TC3SEL に対してリード命令を実行すると、ビット 7~1 は不定値が読み込まれます。

Not Recommended for New Design

10.3 機能

タイマカウンタ 3 には、タイマ，イベントカウンタ，キャプチャの 3 つの動作モードがあります。

10.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 3A (TC3DRA) の設定値が一致すると INTTC3 割り込みが要求が発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを継続します。

なお、TC3CR<ACAP> を “1” にセットすると、以降アップカウンタの値が継続してタイマレジスタ B(TC3DRB) に取り込まれます（自動キャプチャ機能）。タイマ動作中のカウント値は、TC3DRB に対してリード命令することにより確認することができます。

注） 一致検出直後のアップカウンタの 00H は、TC3DRB に取り込まれません (図 10-2)。

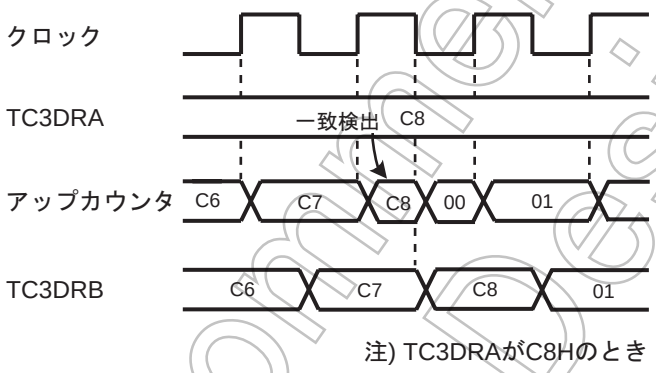


図 10-2 自動キャプチャ機能

表 10-1 タイマカウンタ 3 の内部クロックソース (例 : fc = 16 MHz, fs = 32.768 kHz 時)

TC3CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1			
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]
000	512	130.6	976.56	249.0	976.56	249.0
001	256	65.3	488.28	124.5	488.28	124.5
010	128	32.6	244.14	62.3	244.14	62.3
011	64	16.3	122.07	31.1	122.07	31.1
100	32	8.2	61.01	15.6	61.01	15.6
101	16	4.1	16.0	4.1	–	–
110	8	2.0	8.0	2.0	–	–

Not Recommended for New Design

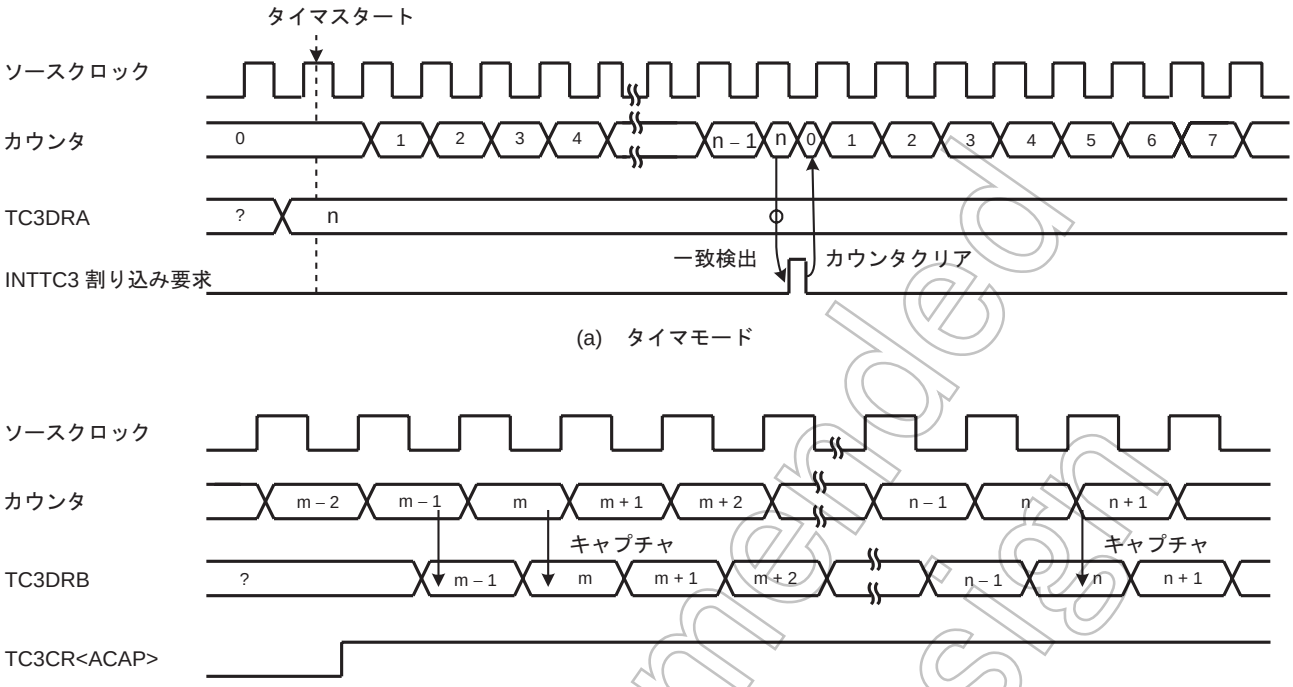


図 10-3 タイマモードタイミングチャート

Not Recommended for New Design

10.3.2 イベントカウンタモード

イベントカウンタモードは、TC3 端子入力の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC3SEL<TC3INV> によって立ち上がり、または立ち下がりのいずれかを選択することができます。

アップカウンタの値と TC3DRA の設定値が一致すると INTTC3 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC3 端子入力のエッジごとにカウントアップを継続します。なお、一致検出は選択されたエッジとは逆側のエッジで行われますので INTTC3 割り込み要求は、アップカウンタと TC3DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

最大印加周波数は、表 10-2 のとおりです。“H”, “L” レベルとも 1 マシンサイクル以上のパルス幅が必要です。

なお、TC3CR<ACAP> を “1” にセットすると、以降アップカウンタの値が継続してタイマレジスタ B(TC3DRB) に取り込まれます（自動キャプチャ機能）。タイマ動作中のカウント値は、TC3DRB に対してリード命令することにより確認することができます。

注） 一致検出直後のアップカウンタの 00H は、TC3DRB に取り込まれません (図 10-2)。

（プログラム例）TC3 端子に 50 Hz のパルスを入力し、0.5 s ごとに割り込みを発生させる。

```
LD      (TC3SEL), 00000000B     ; カウントアップエッジの選択
LD      (TC3CR), 00001110B      ; クロックモードの設定
LD      (TC3DRA), 19H           ; 0.5 s ÷ 1/50 = 25 = 19H
LD      (TC3CR), 00011110B      ; TC3 スタート
```

表 10-2 TC3 端子の最大印加周波数

	最小パルス幅	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	2^2/fc	2^2/fs
“L” 幅	2^2/fc	2^2/fs

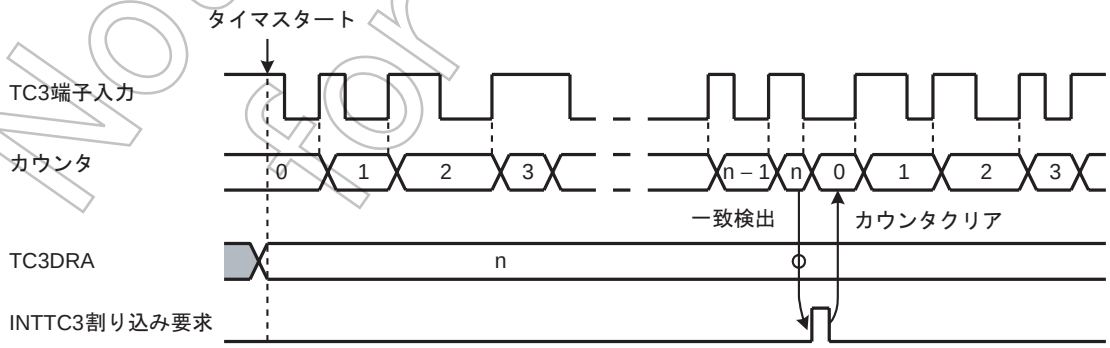


図 10-4 イベントカウンタモードタイミングチャート (TC3SEL<TC3INV>="0")

Not Recommended for New Design

10.3.3 キャプチャモード

キャプチャモードは、TC3 端子入力のパルス幅、周期、デューティなどを内部クロックで測定するモードで、リモコン信号のデコードや AC50/60 Hz 識別などに利用することができます。

INTTC3 割り込みの発生エッジは、TC3SEL<TC3INV> によって立ち上がりエッジまたは立ち下がりエッジを選択することができます。通常、キャプチャの開始エッジが立ち下がりエッジの場合 TC3SEL<TC3INV>="0" を、立ち上がりエッジの場合 TC3SEL<TC3INV>="1" を使用します。

- TC3SEL<TC3INV> = "0" のとき

  タイマスタート後、TC3 端子入力の立ち下がりエッジを検出すると、そのときのアップカウンタの値が TC3DRB に取り込まれます。その後、立ち上がりエッジを検出すると、そのときのアップカウンタの値が TC3DRA に取り込まれ、INTTC3 割り込み要求が発生します。このときアップカウンタはクリアされます。通常は INTTC3 の割り込み処理で TC3DRB、TC3DRA を読み出します。アップカウンタのクリア後もカウントは継続し、続けて次のキャプチャが行われます。

  なお、タイマスタート直後に立ち上がりエッジを検出した場合、TC3DRB のキャプチャは行われず TC3DRA のキャプチャのみで INTTC3 割り込み要求が発生します。このとき TC3DRB に対してリード命令を実行すると、前回のキャプチャ終了時の値 (リセット直後の場合 "FF") が読み込まれます。

- TC3SEL<TC3INV> = "1" のとき

  タイマスタート後、TC3 端子入力の立ち上がりエッジを検出すると、そのときのアップカウンタの値が TC3DRB に取り込まれます。その後、立ち下がりエッジを検出すると、そのときのアップカウンタの値が TC3DRA に取り込まれ、INTTC3 割り込み要求が発生します。このときアップカウンタはクリアされます。通常は INTTC3 の割り込み処理で TC3DRB、TC3DRA を読み出します。アップカウンタのクリア後もカウントは継続し、続けて次のキャプチャが行われます。

  なお、タイマスタート直後に立ち下がりエッジを検出した場合、TC3DRB のキャプチャは行われず TC3DRA のキャプチャのみで INTTC3 割り込み要求が発生します。このとき TC3DRB に対してリード命令を実行すると、前回のキャプチャ終了時の値 (リセット直後の場合 "FF") が読み込まれます。

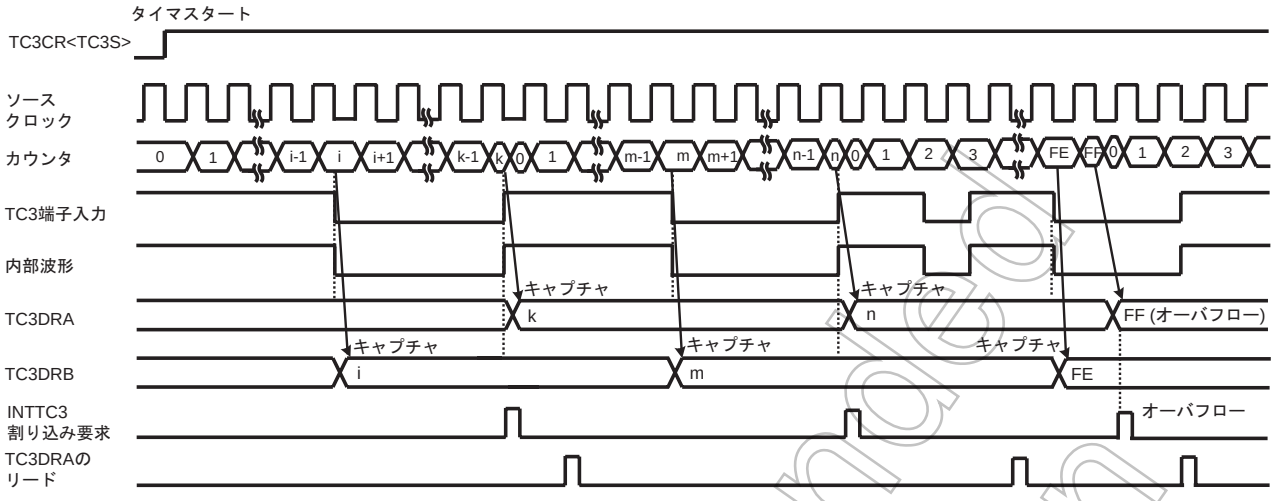
表 10-3 TC3SEL<TC3INV> によるキャプチャ入力エッジ

TC3SEL<TC3INV>	TC3DRB へのキャプチャ	TC3DRA へのキャプチャ	INTTC3 割り込み要求
“0”	立ち下がりエッジ	立ち上がりエッジ	
“1”	立ち上がりエッジ	立ち下がりエッジ	

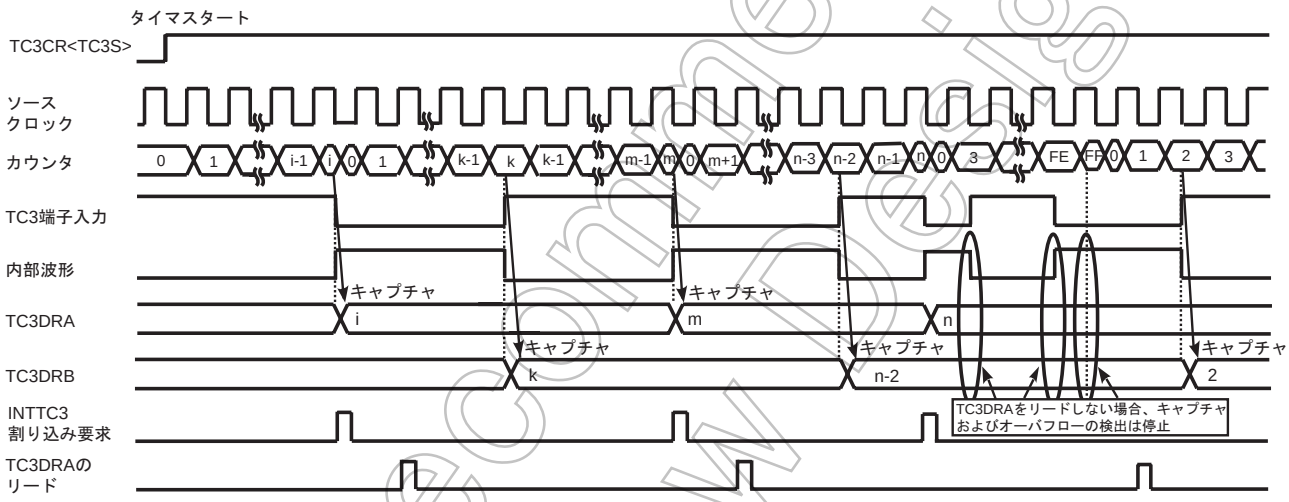
最小入力パルス幅は、TC3CR<TC3CK> によって選択されたソースクロックの 1 サイクル幅以上必要です。

キャプチャ動作中、エッジが検出される前にアップカウンタがオーバフロー (FFH) すると INTTC3 割り込み要求が発生します。オーバフローが発生すると TC3DRA は FFH にセットされアップカウンタはクリアされます。その後、アップカウンタはカウントを継続しますが、キャプチャおよびオーバフロー検出は TC3DRA を読み出すまで実行されません。キャプチャおよびオーバフロー検出は、TC3DRA を読み出すと再開しますので、通常は TC3DRB を先に読み出してください。

Not Recommended for New Design



a) TC3SEL<TC3INV>=0の場合



b) TC3SEL<TC3INV>=1の場合

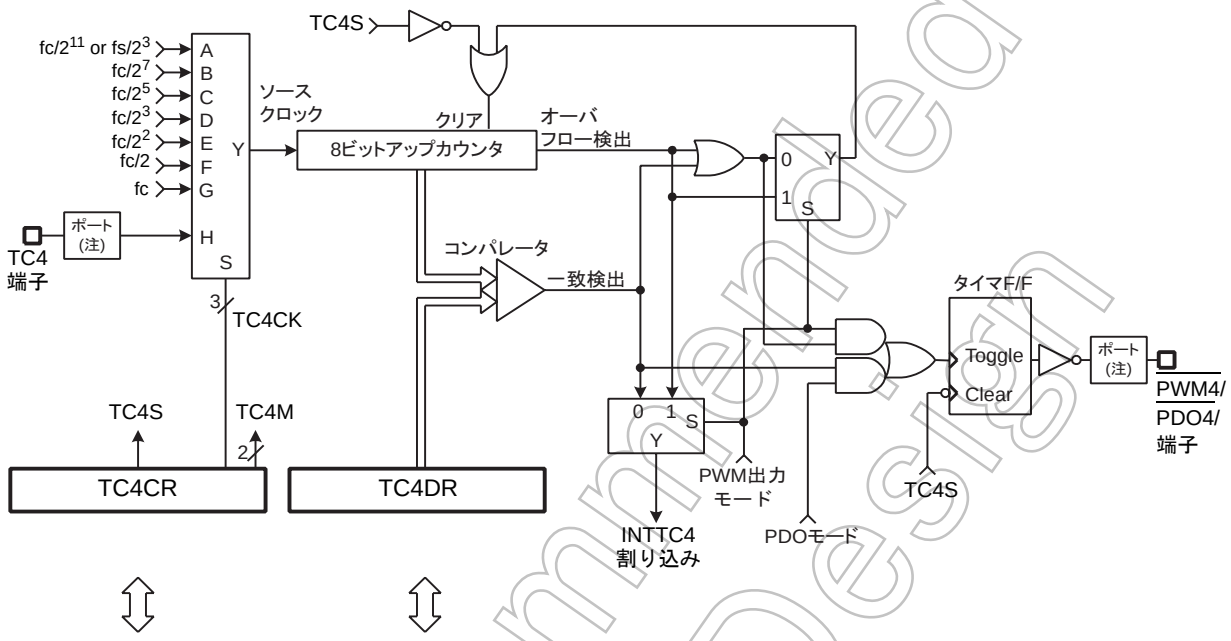
図 10-5 キャプチャモードタイミングチャート

Not Recommended for New Design

Not Recommended for New Design

第 11 章 8 ビットタイマカウンタ 4 (TC4)

11.1 構成



注) I/Oポートの設定によっては、制御入出力が機能しないことがあります。詳しくはI/Oポートの章を参照してください。

図 11-1 タイマカウンタ 4 (TC4)

Not Recommended for New Design

11.2 制御

タイマカウンタ 4 は，タイマカウンタ 4 制御レジスタ (TC4CR) とタイマレジスタ 4 (TC4DR) で制御されます。

タイマカウンタ 4 のタイマレジスタと制御レジスタ

TC4DR (0018)	7	6	5	4	3	2	1	0	
									Read/Write (初期値 : 1111 1111)

TC4CR (0014)	7	6	5	4	3	2	1	0	
			TC4S	TC4CK			TC4M		Read/Write (初期値 : **00 0000)

TC4S	タイマカウンタ 4 のスタート制御	0: ストップ & カウンタクリア 1: スタート				R/W
TC4CK	タイマカウンタ 4 のソースクロックの選択 単位 : [Hz]		NORMAL1/2, IDLE1/2 モード		デバイダ	SLOW1/2, SLEEP1/2 モード	R/W
			DV7CK = 0	DV7CK = 1		
		000	$fc/2^{11}$	$fs/2^3$	DV9	$fs/2^3$
		001	$fc/2^7$	$fc/2^7$	DV5	–
		010	$fc/2^5$	$fc/2^5$	DV3	–
		011	$fc/2^3$	$fc/2^3$	DV1	–
		100	$fc/2^2$	$fc/2^2$	–	–
		101	fc/2	fc/2	–	–
		110	fc	fc	–	–
		111	外部クロック (TC4 端子入力)			
TC4M	タイマカウンタ 4 の動作モードの選択	00: タイマ / イベントカウンタモード 01: Reserved 10: プログラマブルデバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード				R/W

注 1)　fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注 2)　タイマレジスタへの設定値は次の条件を満足する必要があります。
$1 \leq TC4DR \leq 255$

注 3)　タイマ動作開始時 (TC4S = "0" → "1") またはタイマの動作禁止時 (TC4S = "1" → "0") は、TC4CR < TC4M, TC4CK> を書き替えないでください。また、タイマ動作中 (TC4S = "1" → "1") も TC4CR<TC4M, TC4CK> を書き替えないでください。動作中に選択 / 変更を行うと正常にカウント動作が行われません。

注 4)　イベントカウンタモード , PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。

注 5)　STOP モードを起動すると TC4S は自動的に "0" にクリアされます。

注 6)　TC4CR のビット 6, 7 はリードすると不定値が読み込まれます。

注 7)　タイマモード、イベントカウンタモード、PDO モード時は、タイマ動作中に TC4DR を書き替えないでください。

注 8)　高周波クロック fc が 10 MHz を超える場合には、TC4CK = 110 のソースクロック選択を行わないでください。

注 9)　NORMAL1, IDLE1 モード使用時 (低周波発振停止時) は、動作クロック fs は使用できません。

注 10)　動作モード別による使用可能ソースクロックは下記を参照してください。

Not Recommended for New Design

		タイマモード	イベントカウンタモード	PDO モード	PWM モード
TC4CK	000	○	–	○	–
	001	○	–	○	–
	010	○	–	○	–
	011	○	–	–	○
	100	–	–	–	○
	101	–	–	–	○
	110	–	–	–	○
	111	–	○	–	–

Not Recommended for New Design

11.3 機能

タイマカウンタ 4 には、タイマ、イベントカウンタモード、プログラマブル デバイダ出力 (PDO)、パルス幅変調 (PWM) 出力の 4 つの動作モードがあります。

11.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値と TC4DR の設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを継続します。

表 11-1 タイマカウンタ 4 の内部クロックソース (例 : fc = 16 MHz, fs = 32.768 kHz 時)

TC4CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1			
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]
000	128.0	32.6	244.14	62.2	244.14	62.2
001	8.0	2.0	8.0	2.0	–	–
010	2.0	0.510	2.0	0.510	–	–
011	0.5	0.128	0.5	0.128	–	–

Not Recommended for New Design

11.3.2 イベントカウンタモード

イベントカウンタモードは、TC4端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC4DR の設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC4 端子の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC4 端子入力の立ち下がりエッジで行われますので、INTTC4 割り込み要求は、アップカウンタと TC4DR が同値になった後の立ち下がりエッジで発生します。

TC4 端子への最小入力パルス幅は、表 11-2 のとおりです。“H”, “L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

注） SLOW1/2, SLEEP1/2 モードは、外部クロック入力が行われませんのでイベントカウンタモードは使用できません。

表 11-2 タイマカウンタ 4 の外部クロックソース

	最小パルス幅
	NORMAL1/2, IDLE1/2 モード
“H” 幅	2^3/fc
“L” 幅	2^3/fc

Not Recommended for New Design

11.3.3　プログラマブルデバイダ出力 (PDO) モード

プログラマブルデバイダ出力 (PDO) モードは内部クロックのカウントによってデューティ約 50% のパルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC4DR の設定値が一致すると PDO4 端子のレベルが反転し、INTTC4 割り込み要求が発生します。このときアップカウンタはクリアされ、カウントアップを継続します。その後、アップカウンタの値と TC4DR の設定値が一致すると PDO4 端子のレベルが反転し、INTTC4 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PDO 出力を継続します。

タイマ停止時、PDO4 端子は H レベルになります。従って PDO4 端子が L レベルのときにタイマを停止すると、デューティパルスが設定値よりも短くなることがあります。

（プログラム例）1024 Hz のパルス出力。(fc = 16.0 MHz 時)

```
LD      (TC4CR), 00000110B     ; PDO モード設定 (TC4M = 10, TC4CK = 001)
LD      (TC4DR), 3DH           ; 1/1024 ÷ 2^7/fc ÷ 2 ( 半周期 ) = 3DH
LD      (TC4CR), 00100110B     ; TC4 スタート
```

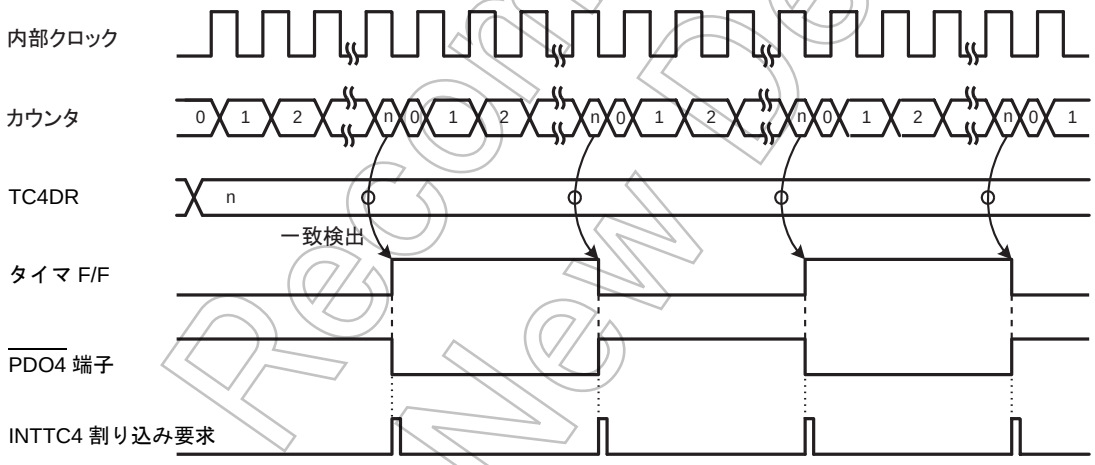


図 11-2 PDO モードタイミングチャート

Not Recommended for New Design

11.3.4 パルス幅変調 (PWM) 出力モード

パルス幅変調 (PWM) モードは、内部クロックによって分解能 8 ビットの PWM パルスを出力するモードです。

タイマスタート後､アップカウンタの値と TC4DR の設定値が一致すると PWM4 端子のレベルが L レベルになります。アップカウンタはその後もカウントアップを継続し、アップカウンタがオーバフローすると PWM4 端子は H レベルになり、INTTC4 割り込み要求が発生します。

タイマ停止時､PWM4 端子は H レベルになります。従って PWM4 端子が L レベルのときにタイマを停止すると、一周期が設定値よりも短くなることがあります。

TC4DR はシフトレジスタ (2 段) 構成で、PWM 出力中に TC4DR を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回は TC4DR にデータ設定後、TC4CR<TC4S> によりスタートした時点でシフトされます。

注 1) PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。

注 2) PWM 出力モード時、TC4DR への書き込みは、割り込み要求信号 INTTC4 割り込みが発生した直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。TC4DR への書き込みと INTTC4 割り込みのタイミングが重なった場合、書き込み途中の値がシフト動作されるため、次の INTTC4 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

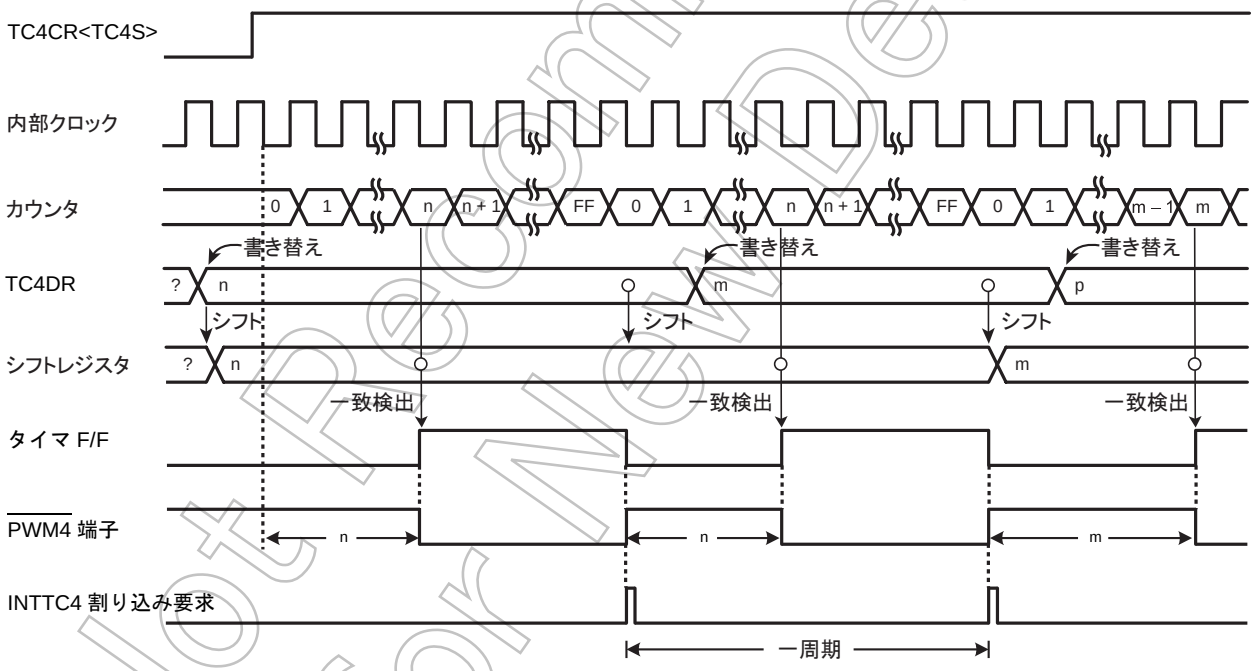


図 11-3 PWM 出力モードタイミングチャート (TC4 の例)

Not Recommended for New Design

表 11-3 PWM モード (例 : fc = 16 MHz 時)

TC4CK	NORMAL1/2, IDLE1/2 モード			
	DV7CK = 0		DV7CK = 1	
	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]
000	–	–	–	–
001	–	–	–	–
010	–	–	–	–
011	500	128	500	128
100	250	64	250	64
101	125	32	125	32
110	–	–	–	–

Not Recommended for New Design

第 12 章 同期式シリアルインタフェース (SIO)

TMP86CM72FG は、SIO (同期型シリアルインタフェース) を 1 チャネル内蔵しています。SI, SO, $\overline{\text{SCK}}$ 端子を通して外部デバイスと接続されます。SI 端子は P14、SO 端子は P15、$\overline{\text{SCK}}$ 端子は P16 と兼用になっています。$\overline{\text{CS}}$ 端子は P17 端子と兼用で、外部クロック入力モード時のチップセレクション機能として用いられます。

これらの端子をシリアルインタフェース端子（SI, SO, $\overline{\text{SCK}}$ 端子）として使用する場合、それぞれ各ポートの出力ラッチを “1” にセットします。

SIO 機能

- 送信モード (8 ビット)
- 受信モード (8 ビット)
- 送受信モード (8 ビット)
- 内部、外部クロック選択
- 32 バイト送受信兼用バッファ

SIO1 のコントロールレジスタのアドレスを表 12-1 に示します。

表 12-1 コントロールレジスタ

	SIO1	
	レジスタ名称	レジスタ番地
シリアルインタフェース 制御レジスタ 1	SIOCR1	0019H
シリアルインタフェース 制御レジスタ 2	SIOCR2	001AH
シリアルインタフェース ステータスレジスタ	SIOSR	001BH
シリアルインタフェース データバッファ	SIOBUF	001CH

12.1 構成

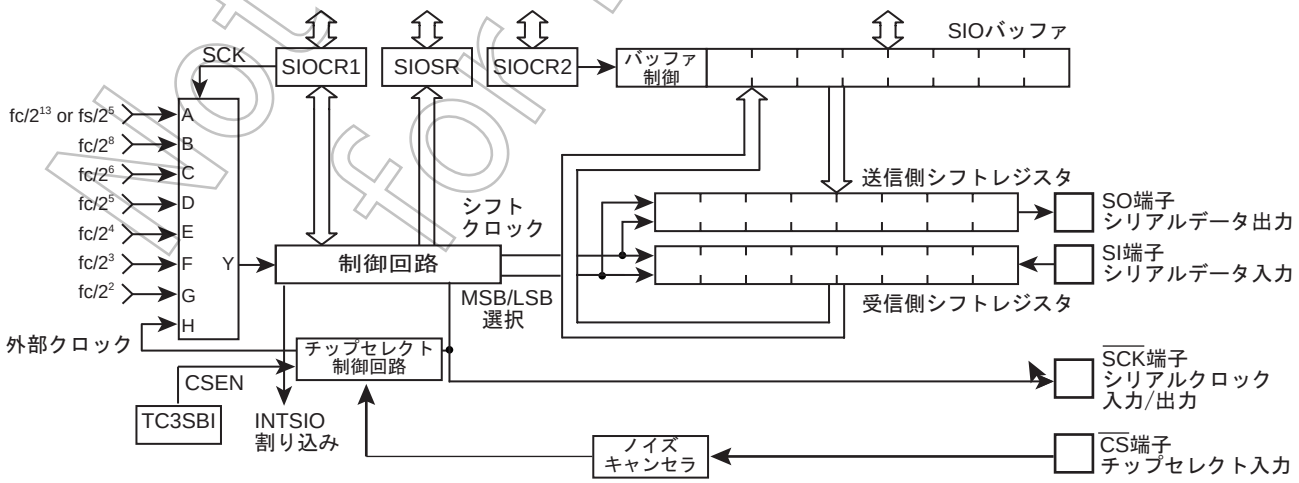


図 12-1 シリアルインタフェース構成図

Not Recommended for New Design

12.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ 1 (SIOCR1) およびシリアルインタフェース制御レジスタ 2 (SIOCR2) で行います。また、シリアルインタフェースステータスレジスタ (SIOSR) を読むことにより、シリアルインタフェースの動作状態を知ることができます。

シリアルインタフェース制御レジスタ 1

SIOCR1 (0019H)

7	6	5	4	3	2	1	0	
SIOS	SIONH	SIOM		SIODIR	SCK			(初期値 : 0000 0000)

SIOS	転送の開始 / 終了指示	0: 終了 1: 開始					R/W
SIOINH	転送の強制終了#1	0: 転送継続 1: 強制終了 (終了後、自動的にクリア)					
SIOM	転送モードの選択	00: 送信モード 01: 受信モード 10: 送受信モード 11: (設定禁止)					
SIODIR	転送方向の選択	0: MSB (ビット 7 から転送を行います。) 1: LSB (ビット 0 から転送を行います。)					
SCK	シリアルクロックの選択 #2		NORMAL1/2, IDLE1/2 モード			SLOW1/2, SLEEP1/2 モード	
			DV7CK = 0	DV7CK = 1			
		000	$fc/2^{13}$	$fs/2^5$	DV11	$fs/2^5$	
		001	$fc/2^8$	$fc/2^8$	DV6	–	
		010	$fc/2^6$	$fc/2^6$	DV4	–	
		011	$fc/2^5$	$fc/2^5$	DV3	–	
		100	$fc/2^4$	$fc/2^4$	DV2	–	
		101	$fc/2^3$	$fc/2^3$	DV1	–	
		110	$fc/2^2$	$fc/2^2$	$fc/2^2$	–	
		111	外部クロック ($\overline{SCK}$ から入力)	外部クロック ($\overline{SCK}$ から入力)	–	–	

#1　SIOCR1<SIOINH> をセットした場合、SIOCR1<SIOS>, SIOSR<SIOF>, SIOSR<SEF>, SIOSR<TXF>, SIOSR<RXF>, SIOSR<TXERR>, SIOSR<RXERR> が初期状態になります。

#2　シリアルクロックの選択はシリアルクロックレートが 1 Mbps を超える設定をしないでください。

注)　SIOCR1<SIOS> の “1” にセットおよび SIOCR1<SIOM>, SIOCR1<SIODIR>, SIOCR1<SCK> の設定は SIO 停止中 (SIOSR<SIOF> = “0”) の状態で行ってください。

シリアルインタフェース制御レジスタ 2

SIOCR2 (001AH)

7	6	5	4	3	2	1	0	
“0”	“0”	“0”	SIORXD					(初期値 : ***0 0000)

SIORXD	送受信データ数の設定	00H: 1 バイト転送 01H: 2 バイト転送 02H: 3 バイト転送 03H: 4 バイト転送 : 1FH: 32 バイト転送	R/W

注 1)　転送データ数の設定は SIO が停止した状態 (SIOSR<SIOF> = “0”) で行ってください。

注 2)　転送データ数は送信 , 受信共用です。

Not Recommended for New Design

注 3)　Bit 7~Bit 5 には必ず “0” を書き込んでください。

シリアルインタフェースステータスレジスタ

SIOSR (001BH)

7	6	5	4	3	2	1	0
SIOF	SEF	TXF	RXF	TXERR	RXERR		

(初期値 : 0010 00**)

SIOF	シリアル転送動作状態モニタ	0: 転送終了#1 1: 転送中	Read only
SEF	シフト動作状態フラグ	0: シフト終了 1: シフト動作中	
TXF	送信バッファフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	
RXF	受信バッファフラグ	0: 受信バッファにデータなし 1: SIORXD で設定したバイト数の受信完了 (SIORXD で設定したバイト数のデータの読み出しが完了したときに “0” になります。)	
TXERR	送信エラーフラグ#2	0: 送信動作は正常 1: 送信中にエラー発生	
RXERR	受信エラーフラグ #2	0: 受信動作は正常 1: 受信中にエラー発生	

#1　SIOSR<SIOF> は、SIOCR1<SIOS> をクリアし転送が終了するか、SIOCR1<SIOINH> を “1” にセットして転送を強制終了したときに “0” となります。

#2　SIOSR<TXERR>, SIOSR<RXERR> のビットは、SIOCR1<SIOS> = “0” で転送終了してもクリアされません。SIOCR1<SIOINH> = “1” にすることでクリアしてください。

注) SIOSR レジスタには書き込みを行わないでください。

シリアルインタフェースデータバッファ

SIOBUF (001CH)

7	6	5	4	3	2	1	0

(初期値 : **** ****)

SIOBUF	送受信データバッファ	送信データのセットおよび受信データの取り込み	R/W

注 1)　SIOCR1<SIOINH> をセットすると、SIOBUF の内容が失われます。

注 2)　送信データのセットおよび受信データの取り込みは、必ず SIOCR2<SIORXD> で設定されたバイト数分行ってください。

12.3 機能

12.3.1 シリアルクロック

12.3.1.1 クロックソース

SIOCR1<SCK> により、次の選択ができます。

（1） 内部クロック

SIOCR1<SCK> で選択 (“111” 以外) された周波数のクロックをシリアルクロックとして用います。転送開始時および転送終了時、$\overline{\text{SCK}}$ 端子出力は “H” レベルになります。

Not Recommended for New Design

表 12-2 シリアルクロックレート

SCK	クロック	ボーレート	
		fc = 16 MHz	fc = 8 MHz
000	$fc/2^{13}$	1.91 Kbps	0.95 Kbps
001	$fc/2^{8}$	61.04 Kbps	30.51 Kbps
010	$fc/2^{6}$	244.14 Kbps	122.07 Kbps
011	$fc/2^{5}$	488.28 Kbps	244.14 Kbps
100	$fc/2^{4}$	976.56 Kbps	488.28 Kbps
101	$fc/2^{3}$	–	976.56 Kbps
110	$fc/2^{2}$	–	–
111	外部	外部	外部

(1 Kbit = 1,024 bit)

（2） 外部クロック

SIOCR1<SCK> に “111” をセットすると外部クロックになります。このとき、外部から $\overline{SCK}$ 端子に供給されるクロックをシリアルクロックとして用います。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は “H” レベル , “L” レベルともに 4/fc 以上必要です。従って fc = 8 MHz 時の場合、最大転送速度は 976.56 Kbps になります。

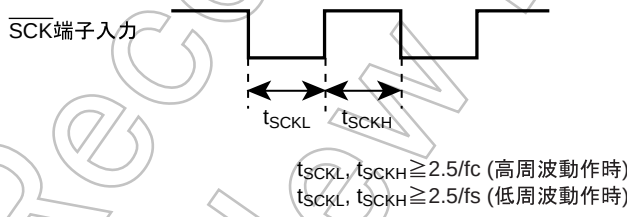


図 12-2 外部クロック

12.3.1.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

（1） 前縁シフト

シリアルクロックの前縁 ($\overline{SCK}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

（2） 後縁シフト

シリアルクロックの後縁 ($\overline{SCK}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

Not Recommended for New Design

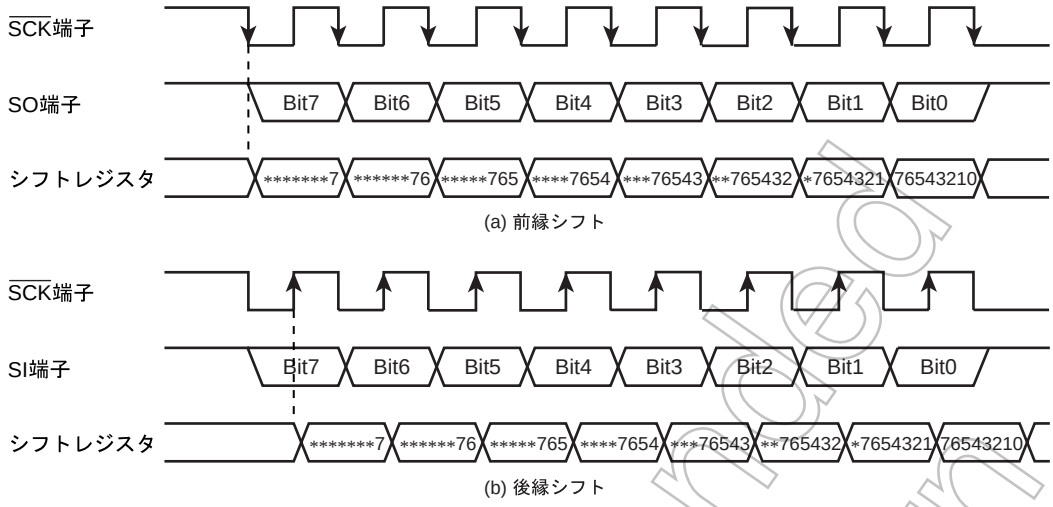


図 12-3 シフトエッジ

12.3.2 転送ビット方向

SIOCR1<SIODIR> を選択することにより、8 ビットシリアルデータの転送方向が選択可能です。なお、データの転送方向は、送信側･受信側ともに連動しているため、個別に設定はできません。

12.3.2.1 MSB 転送

SIOCR1<SIODIR> に “0” をセットすると MSB 転送となり、送信データは、データの最上位ビットから順次転送され、受信データは、最初に受け取ったデータが最上位ビットとして取り込まれます。

12.3.2.2 LSB 転送

SIOCR1<SIODIR> に “1” をセットすると LSB 転送となり、送信データは、データの最下位ビットから順次転送され、受信データは、最初に受け取ったデータが最下位ビットとして取り込まれます。

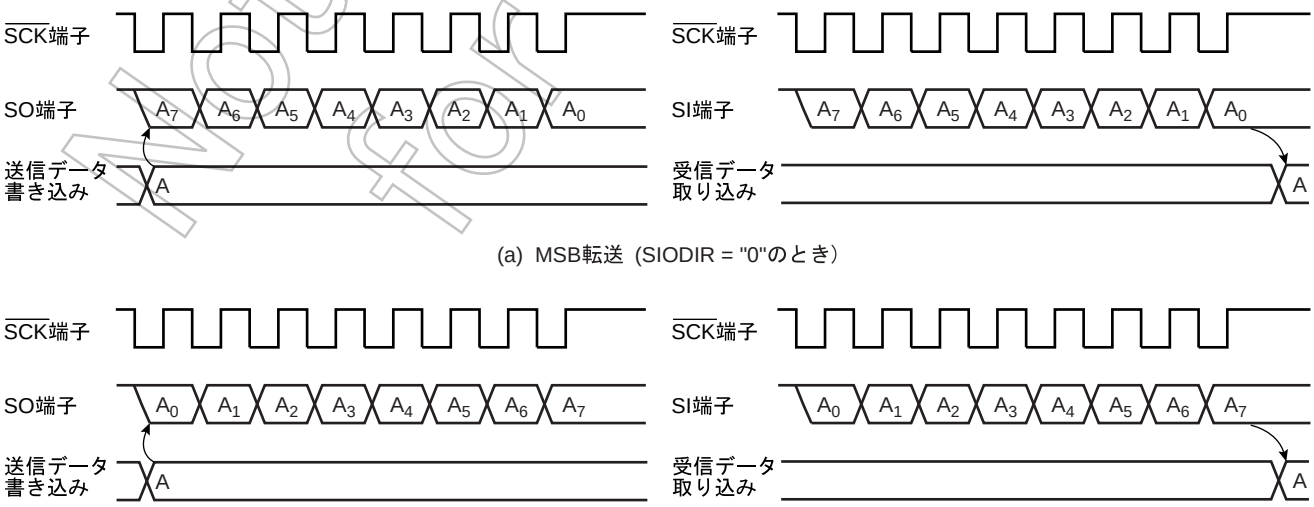


図 12-4 転送ビット方向

Not Recommended for New Design

12.3.3 転送モード

SIOCR1<SIOM> で送信 / 受信 / 送受信モードを選択します。

12.3.3.1 送信モード

SIOCR1<SIOM> に “00” をセットすると送信モードになります。

（1） SIO の送信開始

1. SIOCR1<SIOM> に送信モード , SIOCR1<SCK> にシリアルクロックレート , SIOCR1<SIODIR> に転送方向を設定します。
2. SIOCR2<SIORXD> に転送データ数を設定します。
3. SIOBUF に SIOCR2<SIORXD> で設定したバイト数の送信データをセットします。
4. SIOCR1<SIOS> に “1” をセットします。

シリアルクロックが内部クロックの場合、直ちに SIOCR1<SIODIR> で選択した方向から順に送信を開始します。

シリアルクロックが外部クロックの場合、外部クロックが入力された後、SIOCR1<SIODIR> で選択した方向から順に送信を開始します。

（2） SIO の送信終了

1. SIOCR2<SIORXD> に設定されたバイト数の送信が終了したら、必ず SIOCR1<SIOS> を “0” にクリアして SIO を停止させてください。
SIOCR1<SIOS> = “0” とする場合は、SIO 割り込み処理ルーチンで実施するか、SIOSR<TXF> = “1” を確認してから実施してください。SIOCR1<SIOS> = “0” にクリアした後、次のデータを転送を再開する場合、SIOSR<SIOF> = “0” の状態で、外部クロックの場合は送信エラーが発生していないこと（SIOSR<TXERR>= “0” ）を確認してから転送データを書き込み、SIOCR1<SIOS> = “1” にして送信開始してください。

Not Recommended for New Design

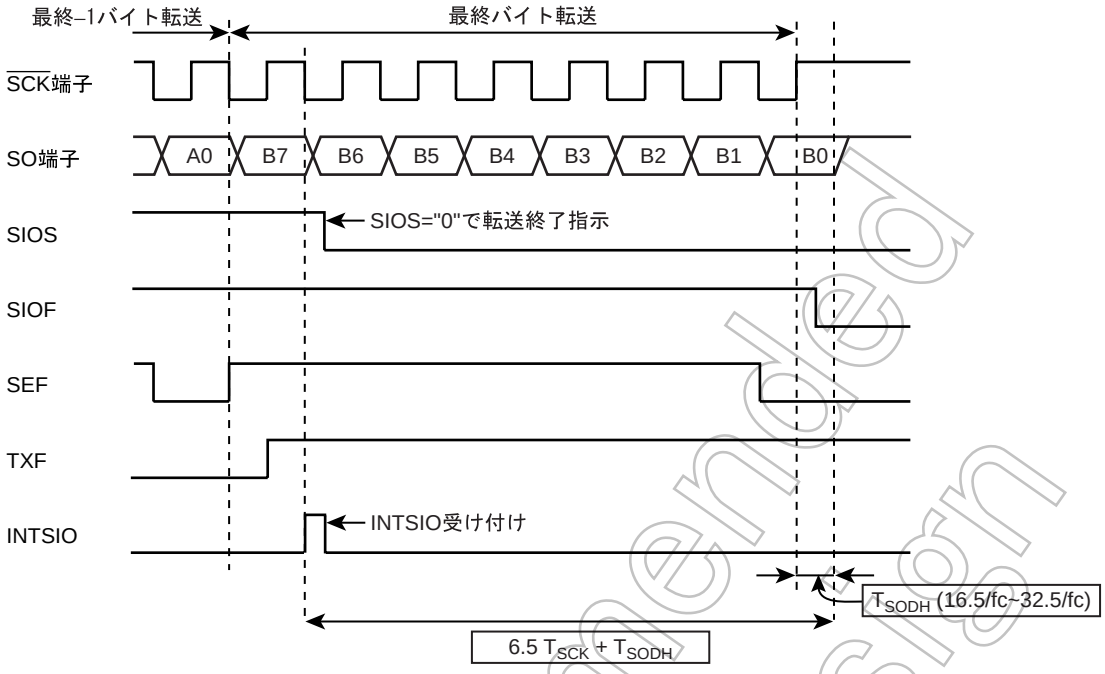


図 12-5 送信割り込み発生で転送終了指示 (SIOCR1<SIOS> = “0”) したときの、INTSIO 発生から転送終了 (SIOSR<SIOF> = “0”) するまでの時間

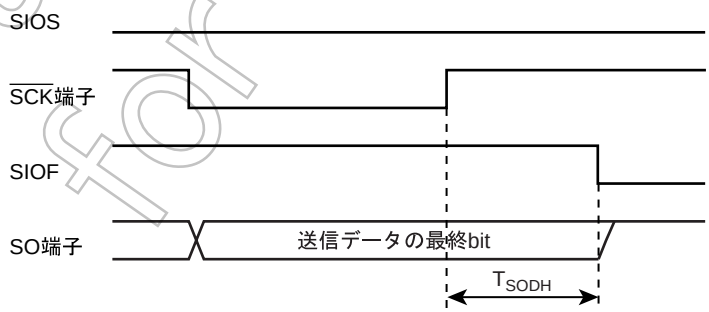
注 1) SIOBUF への書き込みは、必ず SIOCR2<SIORXD> に設定したバイト数分としてください。SIOBUF への書き込みデータ数が、SIOCR2<SIORXD> の設定値に対して過不足のある場合、SIO は正しく動作しません。

注 2) SIO のスタートは、必ず SIOCR2<SIORXD> に設定したバイト数分のデータを、SIOBUF に書き込んでから実施してください。

注 3) 送信モード時の INTSIO 割り込みは、最終バイトデータの 2 ビット目を送信開始した時点で発生します。

注 4) INTSIO 割り込み処理で、SIOCR1<SIOS> = “0” の書き込みを行っても、SIO は最終バイトデータを送信 (SCK 端子の立ち上がり時点) してから、転送終了 (SIOSR<SIOF> = “0”) となります。

注 5) SIOBUF への書き込みは、必ず SIO が停止している状態 (SIOSR<SIOF> = “0”) で行ってください。SIO が動作している状態 (SIOSR<SIOF> = “1”) で SIOBUF への書き込みを行うと、SIO は正しく動作しません。



SIOSクリア後、送信完了した場合

$16.5/fc \leqq T_{SODH} \leqq 32.5/fc$

fc: 高周波クロック [Hz]

図 12-6 最終ビット保持時間

Not Recommended for New Design

SIOCR1<SIOINH> を “1” にセットした場合は、送信中の場合でも直ちに送信を終了します。

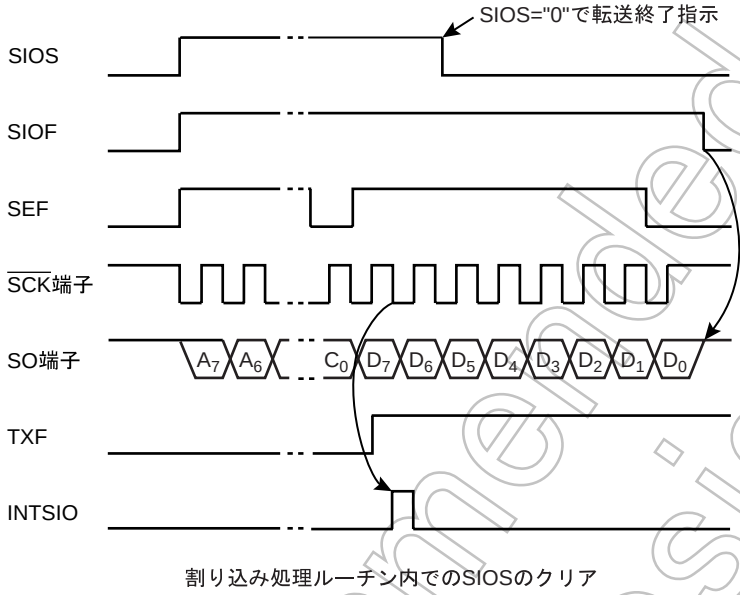


図 12-7 SIOCR1<SIOS> のクリアタイミング

12.3.3.2 送信エラー

外部クロック動作時に、以下の場合送信エラーとなり、送信エラーフラグ (SIOSR<TXERR>) が “1” にセットされます。なお送信エラーが発生した場合、SO 端子は “H” 出力となります。

- SIO が動作中 (SIOSR<SIOF> = “1”) の状態で、SIOBUF に送信データがないとき (SIOSR<TXF> = “1”) に、SCK 端子が立ち下がった場合。

送信エラーを検出した場合は、必ず SIOCR1<SIOINH> を “1” にセットして SIO を強制終了させてください。SIOCR1<SIOINH> を “1” にセットした場合、SIOCR1<SIOS> および SIOSR レジスタは初期化されます (その他のレジスタおよびビットは初期化されません)。

Not Recommended for New Design

（プログラム例）送信モード設定例 (送信モード , 外部クロック , 32 バイト転送)

```
                ポートを設定する
                                        ( ポートの設定にて P15 を SO 端子に設定する必要があります
                                        LD (TC3SBI), **0*****B      )
        DI                              ; IMF ← 0
        LD      (INTSEL), *0******B     ;INTSIO 選択
        LDW     (EIRL), ******1********0B ; INTSIO (EF9) 許可
        EI                              ; 割り込み許可
        LD      (SIOCR1), 01******B     ; SIO イニシャライズ ( 強制終了 )
WAIT:   TEST    (SIOSR). 7              ; SIO 停止状態 (SIOF = 0) を確認
        JRS     F, WAIT                 ; 停止なら START へ
START:  LD      (SIOCR1), 00000111B     ; 送信モード設定 , 転送モード選択 , シリアルクロック設定
        LD      (SIOCR2), 00011111B     ; 転送バイト数設定 (32 バイト )
                ~
                送信データセット
                ~
        LD      (SIOCR1), 10000111B     ; 転送終了
INTSIO (INTSIO
処理ルーチン ):
        LD      (SIOCR1), 00000111B     ; 転送終了指示
        TEST    (SIOSR). 3              ; TXERR 確認
        JRS     T, NOERR
        LD      (SIOCR1), 01000111B     ; 強制終了 (TXERR クリア )
                ~
                エラー処理
                ~
NOERR:
END:                                    ; 転送終了
```

Not Recommended for New Design

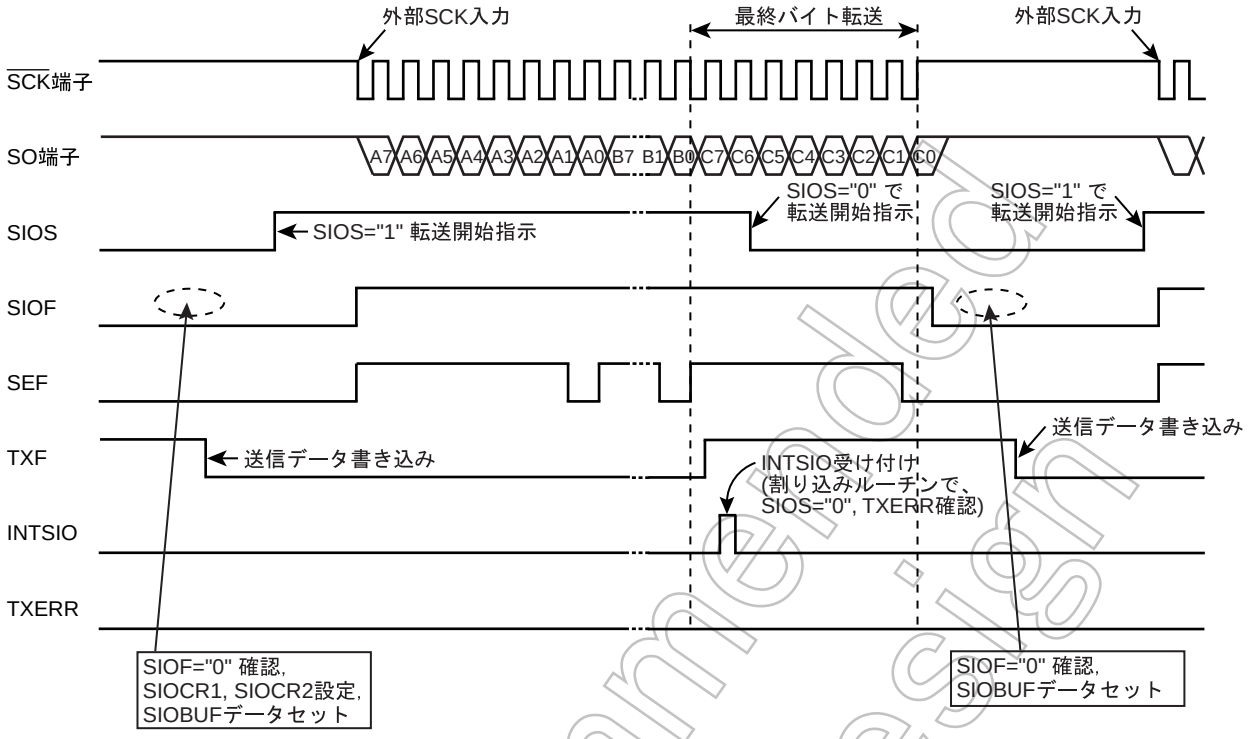


図 12-8 送信モードの動作 (3 バイト転送、外部ソースクロックの場合

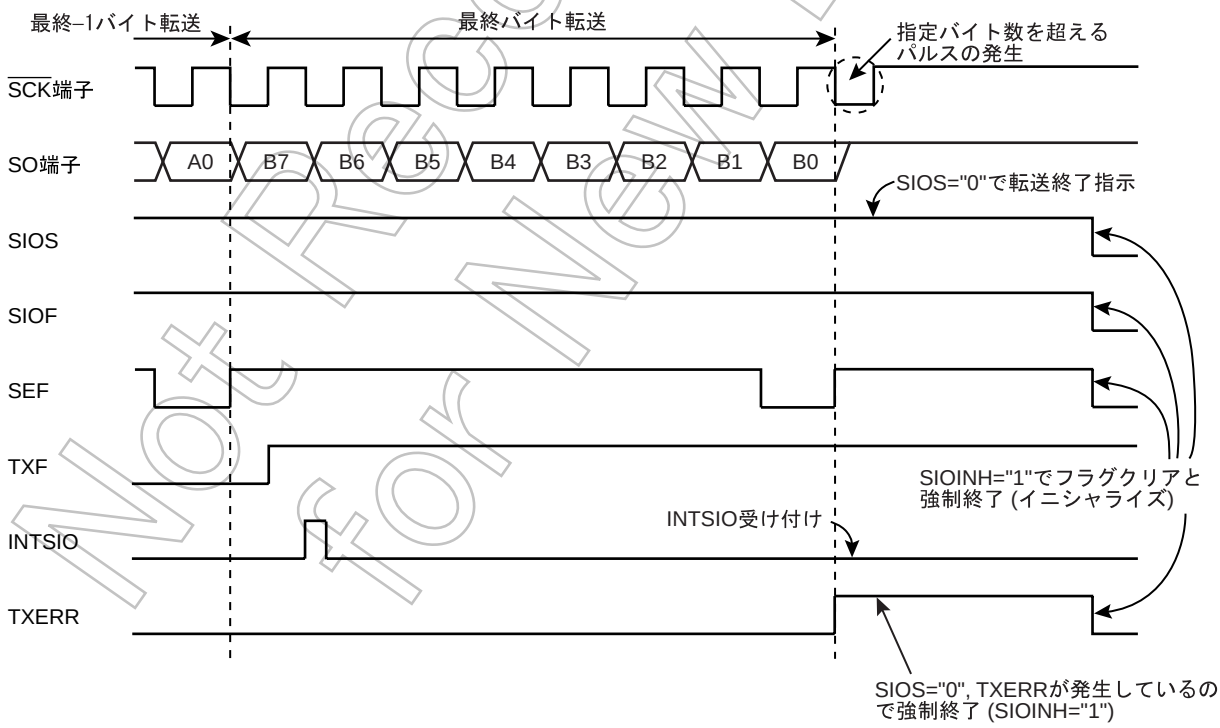


図 12-9 送信エラー発生の場合 (転送終了指示前に (SIOCR1<SIOS> = “0” 書き込み) 最終バイトの転送が完了し、かつ指定バイト数を超えるパルスが発生した場合)

注)　SIO 動作中 (SIOSR<SIOF> = “1” の状態) は、$\overline{\text{SCK}}$ 端子に SIOSR<SIORXD> で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。

Not Recommended for New Design

12.3.3.3 受信モード

SIOCR1<SIOM> に “01” をセットすると受信モードになります。

(1) SIO の受信開始

1. SIOCR1<SIOM> に受信モード , SIOCR1<SCK> にシリアルクロックレート , SIOCR1<SIODIR> に転送方向を設定します。
2. SIOCR2<SIORXD> に転送データ数を設定します。
3. SIOCR1<SIOS> に “1” をセットします。

シリアルクロックが内部クロックの場合、直ちに SIOCR1<SIODIR> で選択した方向から順に受信を開始します。

シリアルクロックが外部クロックの場合、外部クロックが入力された後、SIOCR1<SIODIR> で選択した方向から順に受信を開始します。

(2) SIO の受信終了

1. SIOCR2<SIORXD> にて設定されたバイト数の受信が終了したら、必ず SIOCR1<SIOS> を “0” にクリアして SIO を停止させてください。
   SIOCR1<SIOS> = “0” とする場合は、SIO 割り込み処理ルーチンで実施するか、SIOSR<RXF> = “1” を確認してから実施してください。SIOCR1<SIOINH> を “1” にセットした場合は、受信中の場合でも直ちに受信を終了します。

(3) 受信データの読み出しタイミング

受信データの読み出しは、必ず SIOBUF がフル状態 (SIOSR<RXF> = “1”) であることを確認後、もしくは、INTSIO 割り込み処理ルーチンで、SIOCR1<SIOS> を “0” にクリアし、SIOを停止させた後に実施してください。SIOCR1<SIOS>を “0” にクリアしてから受信データを読み出す場合は、SIOSR<SIOF> = “0” の状態で、外部クロックの時は受信エラーが発生していないこと（SIOSR<RXERR> = “0”）を確認してから受信データの読み出しを行ってください。

なお、SIOSR<RXF> は、SIOCR2<SIORXD> で設定したバイト数分の受信データをすべて読み出したとき、“0” にクリアされます。SIOCR1<SIOS> を “0” にクリアした後、次のデータ転送を再開する場合、受信データ読み出し後、SIOSR<SIOF> = “0” の状態であることを確認してから、SIOCR1<SIOS> = “1” にして受信開始してください。

注 1) SIOBUF からの受信データの読み出しは、必ず SIOCR2<SIORXD> に設定したバイト数分としてください。SIOBUF の読み出しデータ数が、SIOCR2<SIORXD> の設定値に対して過不足がある場合、SIO は正しく動作しません。

注 2) 受信終了前 (SIOSR<RXF> = “0”) にデータの読み出しを行うと、SIO は正しく動作しません。

注 3) 受信モード時の INTSIO 割り込みは、最終バイトデータの最後の 1 ビットを受信した時点で発生します。

注 4) 受信エラーが検出された状態で転送を開始すると、SIO は正しく動作しません。必ず SIOCR1<SIOINH> = “1” として SIO を強制終了させてから、転送開始してください。

Not Recommended for New Design

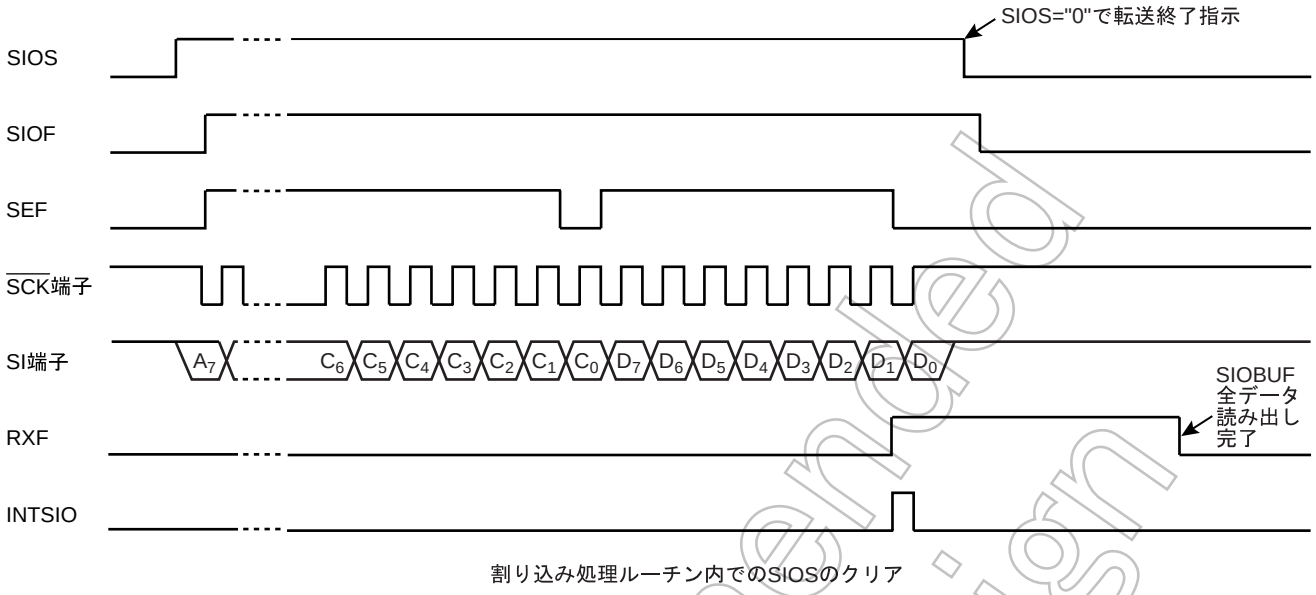


図 12-10 SIOCR1<SIOS> のクリアタイミング

12.3.3.4 受信エラー

外部クロック動作時、以下の場合受信エラーとなり、受信エラーフラグ (SIOSR<RXERR>) が “1” にセットされます。受信エラーが発生した場合、受信バッファ内のデータは破棄してください。

- SIOBUF がフル状態 (SIOSR<RXF> = “1”) で、次の受信データ (1 バイト) の受信が終了した場合 ($\overline{\text{SCK}}$ 端子に 8 クロック入力された場合) 。

受信エラーを検出した場合は、必ず SIOCR1<SIOINH> を “1” にセットして、SIO を強制終了させてください。SIOCR1<SIOINH> を “1” にセットした場合、SIOCR1<SIOS> および SIOSR レジスタの全ビットが初期化されます (その他のレジスタおよびビットは初期化されません)。

注) 外部クロックモード動作時でデータ受信後、SIORXD で設定したバイト数のデータ読み出し前に $\overline{\text{SCK}}$ 端子が立ち下がると、受信データバッファ (SIOBUF) の内容が正しく読み出せなくなります。
受信エラーフラグ (RXF) は、受信完了後に 8 クロック入力されないと発生しませんので、1 クロックから 7 クロックまでの転送クロック (ノイズなど) が入力された場合は、SCK 端子に余分なクロックが入力されたか否かの判別ができません。従って、チェックサムによるベリファイなどのシステム的なバックアップをすることを推奨します。
なお、受信を再開するときは、必ず SIO を強制終了 (SIOCR1<SIOINH> = “1”) させてからデータ受信を開始してください。

Not Recommended for New Design

（プログラム例）受信モード設定例 (受信モード , 外部クロック , 32 バイト転送)

```
                                ポートを設定する
                                                        ( ポートの設定にて P15 を SO 端子に設定する必要があります
                                                        LD (TC3SBI), **0*****B      )
                DI                                      ; IMF ← 0
                LD      (INTSEL), *0******B             ;INTSIO 選択
                LDW     (EIRL), ******1********0B       ; INTSIO (EF9) 許可
                EI                                      ; 割り込み許可
                LD      (SIOCR1), 01******B             ; SIO イニシャライズ ( 強制終了 )
WAIT:           TEST    (SIOSR). 7                      ; SIO 停止状態 (SIOF = 0) を確認
                JRS     F, WAIT                         ; 停止なら START へ
START:
                LD      (SIOCR1), 00010111B             ; 受信モード設定 , 転送モード選択 , シリアルクロック設定
                LD      (SIOCR2), 00011111B             ; 転送バイト数設定
                LD      (SIOCR1), 10010111B             ; 転送開始指示
INTSIO (INTSIO
処理ルーチン ):
                LD      (SIOCR1), 00010111B             ; 転送終了指示
                        ~
                        受信データ読み出し
                        チェックサムなどで受信
                        データが正常か否かの確認
                        ~
                LD      (SIOCR1), 01010111B             ; 強制終了
END:                                                    ; 転送終了
```

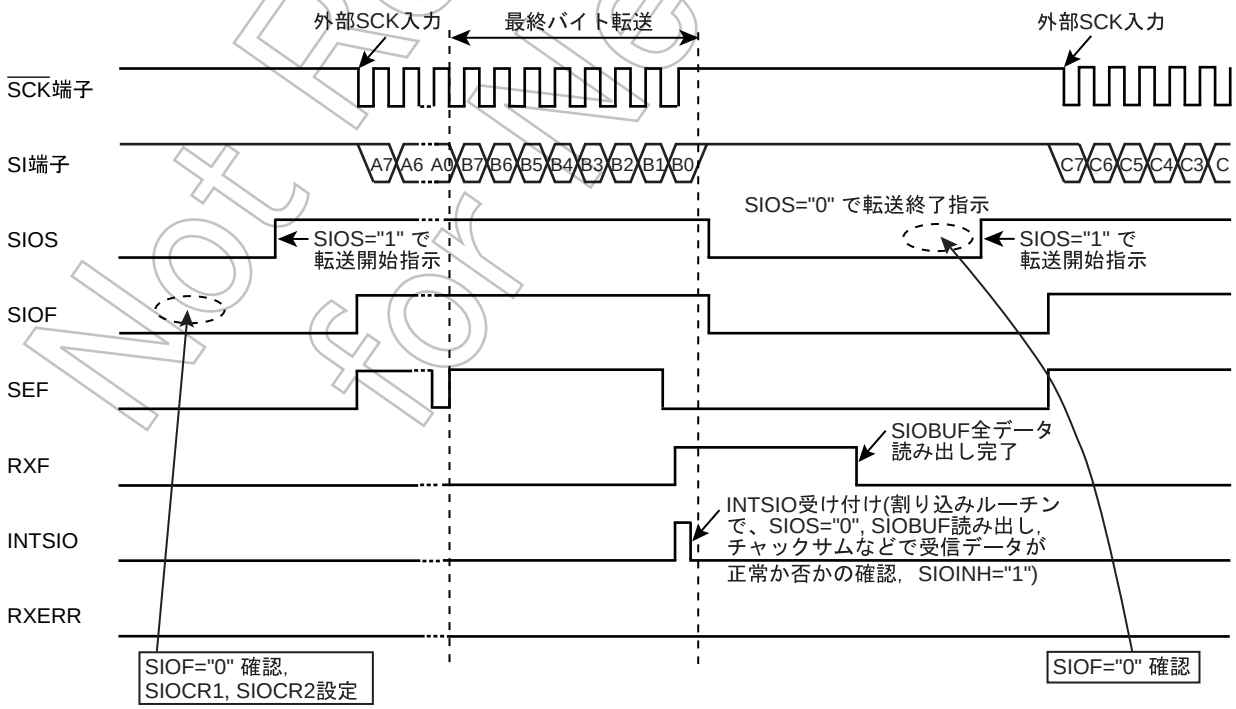


図 12-11 受信モードの動作 (2 バイト転送、外部ソースクロックの場合)

Not Recommended for New Design

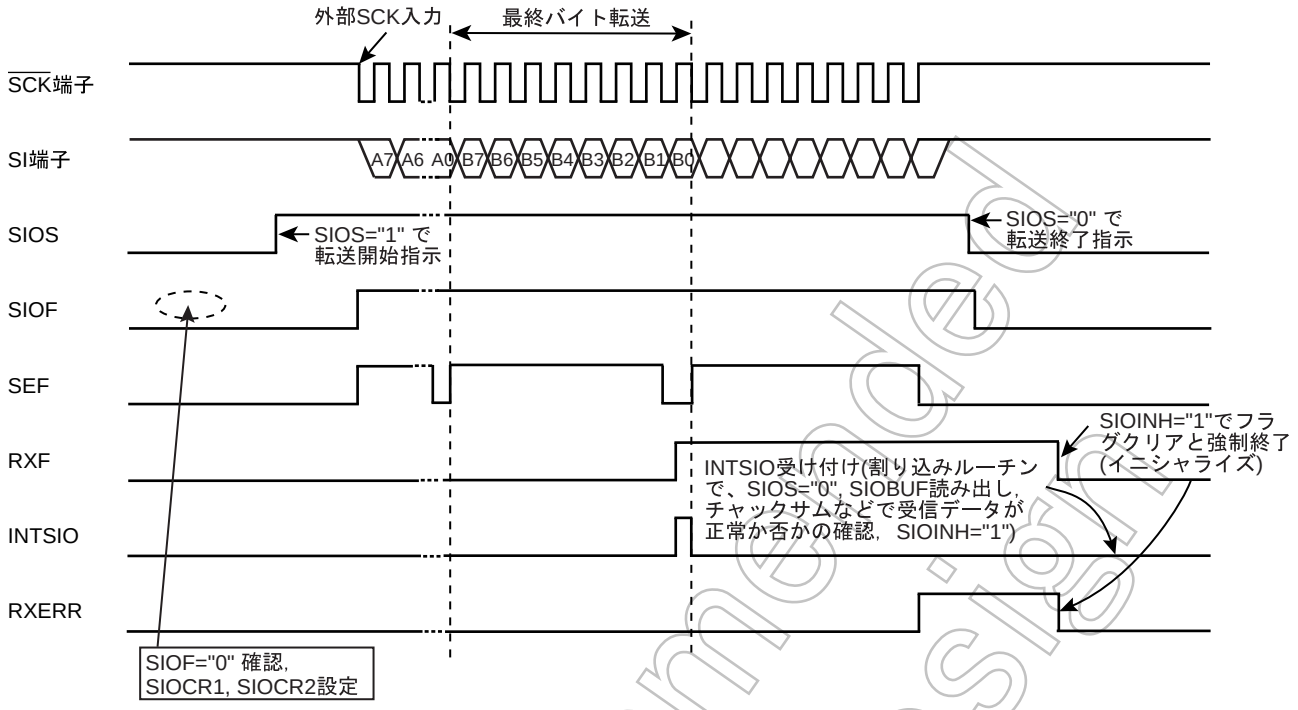


図 12-12 受信エラー発生の場合 (2 バイト転送、外部ソースクロックの場合)

注 1)　SIO 動作中 (SIOSR<SIOF> = “1” の状態) は、$\overline{\text{SCK}}$ 端子に SIOCR2<SIORXD> で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。

注 2)　受信エラーは、データ受信完了後、SIO 停止指示 (SIOCR1<SIOS> = “0”) が有効となる前に、$\overline{\text{SCK}}$ 端子に 8 クロック入力された場合に発生します。INTSIO 割り込み処理で SIOCR1<SIOS> = “0” の書き込みを実行する前に、$\overline{\text{SCK}}$ 端子に 8 クロック入力されたことにより、受信エラーが発生したケースを表記したものです。

12.3.3.5 送受信モード

SIOCR1<SIOM> に “10” をセットすると、送受信モードになります。

(1) SIO の送受信開始

1. SIOCR1<SIOM> に送受信モードを、SIOCR1<SCK> にシリアルクロックレートを、SIOCR1<SIODIR> に転送方向を設定します。
2. SIOCR2<SIORXD> に転送データ数を設定します。
3. SIOCR2<SIORXD> にて、設定したバイト数の送信データを SIOBUF にセットします。
4. SIOCR1<SIOS> に “1” をセットします。

シリアルクロックが内部クロックの場合、直ちに SIOCR1<SIODIR> で選択した方向から順に送受信を開始します。

シリアルクロックが外部クロックの場合、$\overline{\text{SCK}}$ 端子へのクロック入力に同期して SIOCR1<SIODIR> で選択した方向から順に送受信を開始します。

注 1)　SIOCR2<SIORXD>, SIOCR1<SIODIR>, SIOCR1<SCK> は送信 , 受信共用ですので、個別に設定はできません。

注 2)　送信データは、$\overline{\text{SCK}}$ 端子の立ち下がりに同期して出力され、受信データは $\overline{\text{SCK}}$ 端子の立ち上がりに同期して受信されます。

Not Recommended for New Design

（2） SIO の送受信終了

1. SIOCR2<SIORXD> にて設定されたバイト数の送受信が終了したら、必ず SIOCR1<SIOS> を “0” にクリアして、SIO を停止させてください。
   SIOCR1<SIOS> = “0” とする場合は、SIO 割り込み処理ルーチン内で実施するか、SIOSR<RXF> = “1” を確認してから実施してください。

   SIOINH (SIOCR1 のビット 6) を “1” にセットした場合は、送受信中でも直ちに送受信を終了します。

（3） 受信データの読み出し、送信データのセットタイミング

SIOCR2<SIORXD> にて設定したバイト数分の送受信後、受信データの読み出し、および次の送信データ書き込みは、受信バッファがフル状態 (SIOSR<RXF> = “1”)、もしくは INTSIO 割り込みルーチン内にて SIOCR1<SIOS> = “0” で SIO を停止させた後に行ってください。SIOCR1<SIOS> を “0” にクリアした後、次のデータ転送を再開する場合は、SIOSR<SIOF> = “0” の状態で､外部クロックのときは送信エラーおよび受信エラーが発生していないこと（SIOSR<TXERR> = “0”、SIOSR<RXERR> = “0”）を確認してから受信データを読み出し、その後、送信データの書き込みを行い、SIOCR1<SIOS ＞ = “1” にして転送開始してください。

注 1) INTSIO 割り込みは、最終バイトデータの最後の 1 ビットを受信した時点で発生します。

注 2) SIOBUF への書き込み / 読み出しは、必ず SIOCR2<SIORXD> で設定したバイト数分としてください。SIOBUF への書き込み / 読み出しデータ数が SIOCR2<SIORXD> の設定値に対し過不足のある場合は、SIO が正しく動作しません。

注 3) SIOSR<RXF> は、SIOCR2<SIORXD> で設定したバイト数分の全受信データを読み出したときに “0” にクリアされます。

注 4) 送受信モード時、SIOCR1<SIOINH> を “1” にセットして強制終了させた場合、受信データは破棄されます。

注 5) 送信エラー、受信エラーのどちらかが検出された状態で転送を開始すると、SIO は正しく動作しません。必ず SIOCR1<SIOINH> = “1” として SIO を強制終了させてから、転送開始してください。

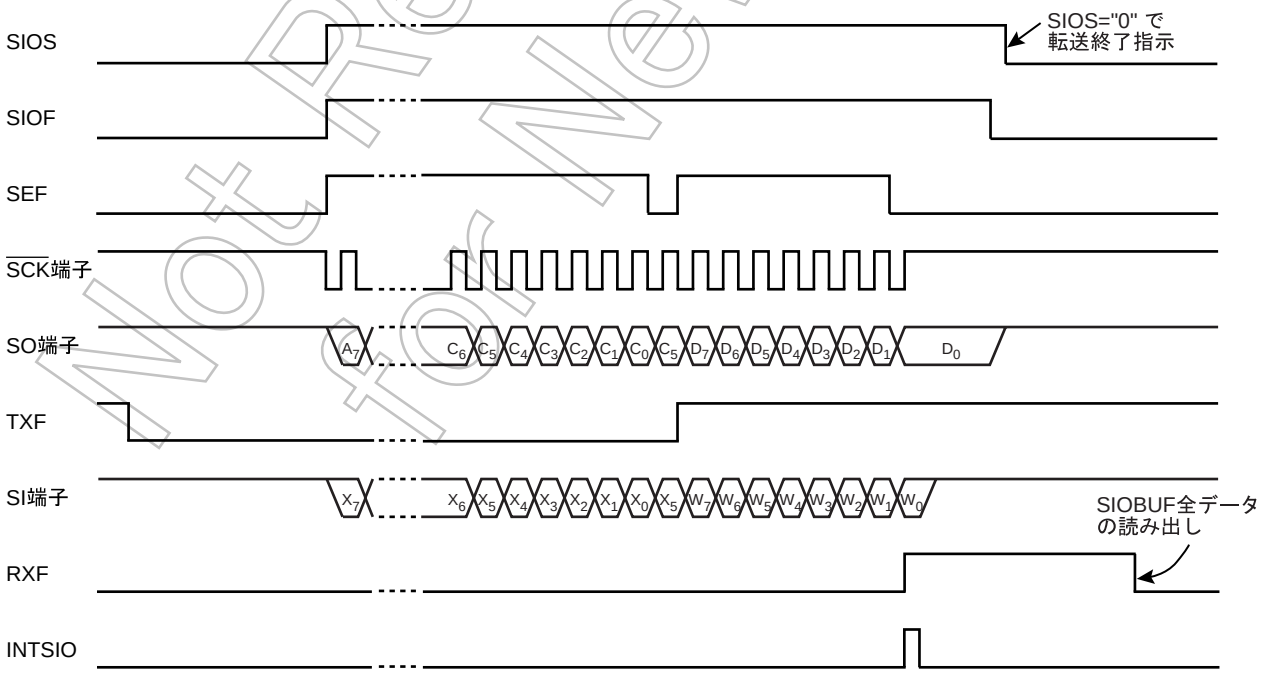


図 12-13 SIOCR1<SIOS> クリアタイミング (送受信モード)

Not Recommended for New Design

12.3.3.6 送受信エラー

外部クロック使用時、以下の場合、送信エラーまたは受信エラーが発生し、エラーフラグ (SIOSR<TXERR> または SIOSR<RXERR>) がセットされます。エラーが発生した場合、送信データは “H” 出力となります。

- SIO が動作中 (SIOSR<SIOF> = “1”) の状態で、SIOBUF に送信データがないとき (SIOSR<TXF> = “1”) に、$\overline{\text{SCK}}$ 端子が立ち下がった場合 (SIOSR<TXERR>) 。
- SIO が動作中 (SIOSR<SIOF> = “1”) の状態で、SIOBUF がフル状態 (SIOSR<RXF> = “1”) のときに、次の受信データ (1 バイト) の受信が終了した場合 ($\overline{\text{SCK}}$ 端子に 8 クロック入力された場合) (SIOSR<RXERR>)。

送信エラーまたは受信エラーを検出した場合は、必ず SIOCR1<SIOINH> を “1” にセットして SIO を強制終了してください。

注) 外部クロックモードで動作中にデータを受信したあと、SIORXD で設定したバイト数のデータ読み出し前に SCK 端子が立ち下がると、受信データバッファ (SIOBUF) の内容が正しく読み出せなくなります。
この場合、受信エラーフラグ (RXF) は、受信完了後に 8 クロック入力されないと発生しませんので、1 クロックから 7 クロックまでの転送クロック (ノイズなど) が入力された場合は、$\overline{\text{SCK}}$ 端子に余分なクロックが入力されたか否かの判別ができません。従って、チェックサムによるベリファイなどのシステム的なバックアップをすることを推奨します。
なお、送受信を再開するときは、必ず SIO を強制終了 (SIOCR1<SIOINH> = “1”) させてからデータ送受信を開始してください。

(プログラム例) 送受信モード設定例 (送受信モード , 外部クロック , 32 バイト転送)

```
                ポートを設定する
                                        ( ポートの設定にて P15 を SO 端子に設定する必要があります
                                        LD (TC3SBI), **0*****B      )
        DI                              ; IMF ← 0
        LD      (INTSEL), *0******B     ;INTSIO 選択
        LDW     (EIRL), ******1********0B ; INTSIO (EF9) 許可
        EI                              ; 割り込み許可
        LD      (SIOCR1), 01******B     ; SIO イニシャライズ ( 強制終了 )
WAIT:   TEST    (SIOSR). 7              ; SIO 停止状態 (SIOF = 0) を確認
        JRS     F, WAIT                 ; 停止なら START へ
```

Not Recommended for New Design

（プログラム例）送受信モード設定例 (送受信モード , 外部クロック , 32 バイト転送)

```
START:
        LD      (SIOCR1), 00100111B     ; 送受信モード設定 , 転送モード選択 , シリアルクロック設定
        LD      (SIOCR2), 00011111B     ; 転送バイト数設定 (32 バイト )
送信データセット :                      ;
        LD      (SIOCR1), 10100111B     ; 転送開始
INTSIO (INTSIO 処
理ルーチン ):
        LD      (SIOCR1), 00100111B     ; 転送終了指示
        TEST    (SIOSR). 3              ; TXERR 確認
        JRS     T, TXNOERR
        LD      (SIOCR1), 01100111B     ; 強制終了 (TXERR クリア )
                ~
                エラー処理
                ~
        JR      END
TXNOER:
                ~
                受信データ読み出し
                チェックサムなどで受信
                データが正常か否かの確認
                ~
        LD      (SIOCR1), 01100111B     ; 強制終了
END:                                    ; 転送終了
```

Not Recommended for New Design

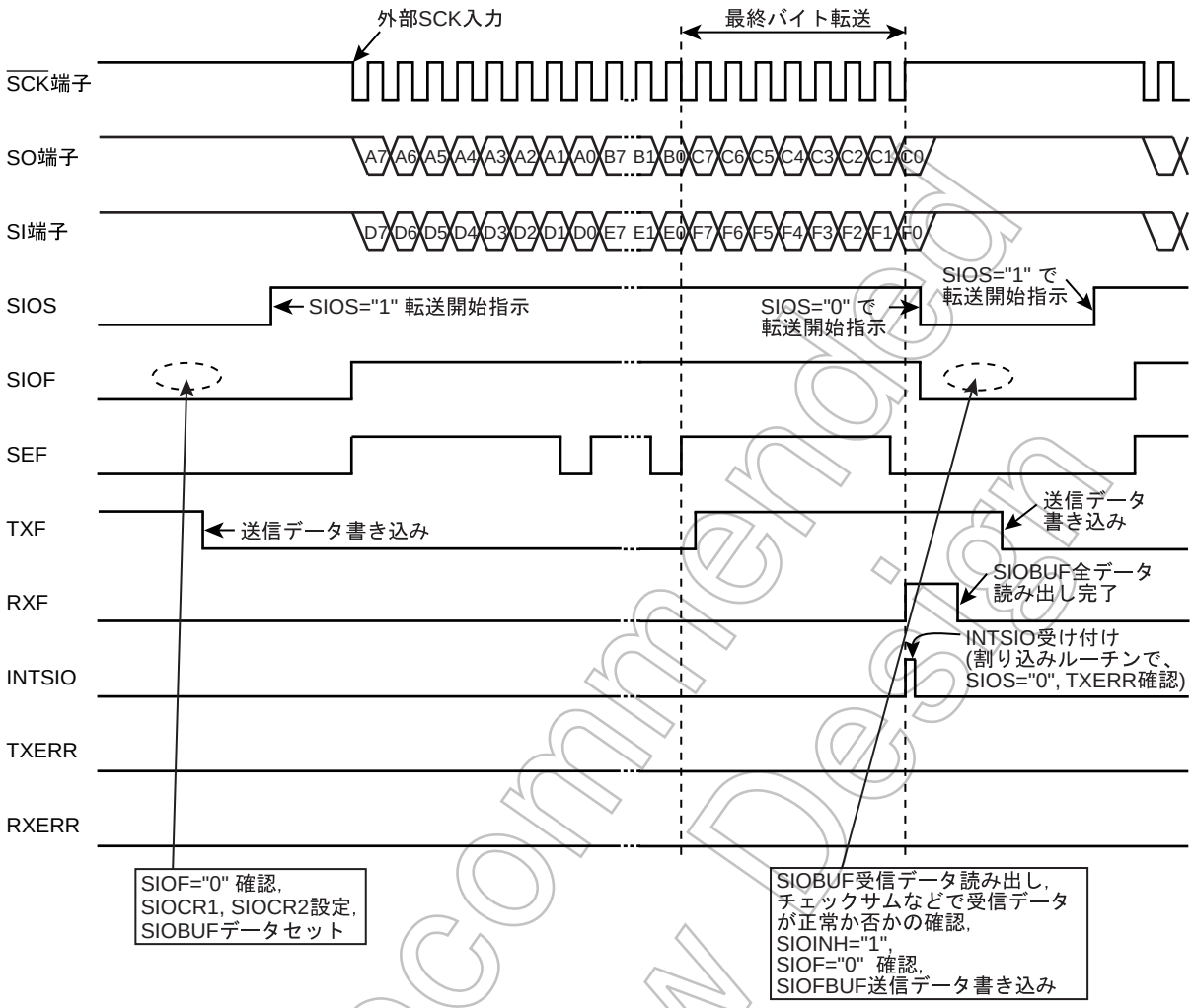


図 12-14 送受信モードの動作 (3 バイト転送、外部クロックの場合)

Not Recommended for New Design

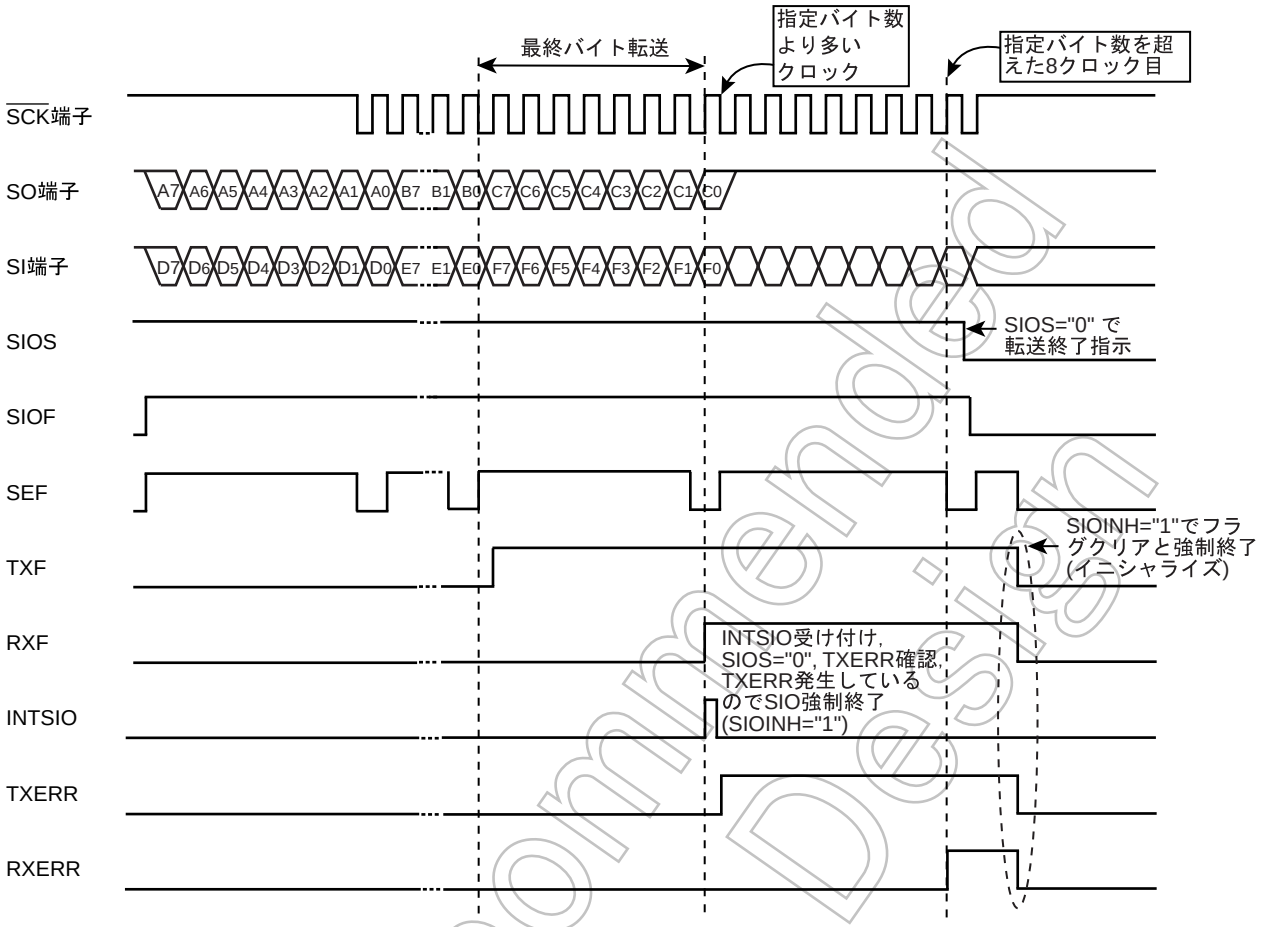


図 12-15 送受信エラー発生の場合 (3 バイト転送、外部クロックの場合)

注) SIO 動作中 (SIOSR<SIOF> = “1” の状態) は、$\overline{\text{SCK}}$ 端子に SIOCR2<SIORXD> で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。

12.4 チップセレクト機能

チップセレクト機能は、CS 端子の状態により外部 SCK 入力を有効 / 無効の選択をする機能です。

本機能により、通信直前までの SCK ノイズを無効にすることができます。

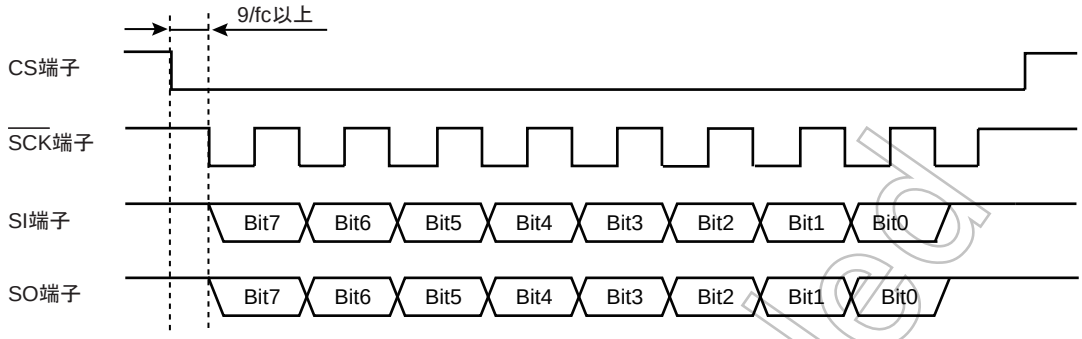
CS 端子 "0" で外部 SCK 入力有効、CS 端子 "1" で外部 SCK 入力無効となり、機能設定していない場合は、外部 SCK 入力は常に有効になります。

また、CS端子にはノイズキャンセラが内蔵されており、CS入力の6/fc以下のパルスはキャンセルします。

注 1) CS 端子 "1"（外部 SCK 入力無効時）のときは、外部 SCK 入力の状態を問わず、内部 SCK を強制的に "H" に固定します。外部 SCK 入力が "L" で固定されているときに CS 端子を "H" にすると、内部の SCK クロックの状態は "H" になり、"L → H" の立ち上がりパルスとしてカウントします。

注 2) 内部クロックのときはチップセレクト機能に設定しないでください（設定しても無効です）。

Not Recommended for New Design



注) CS 端子にはノイズキャンセラが入っており、6/fc 以下のパルスは無視されます。"L" の状態になってから 9/fc の期間後、SCK 入力は有効になります。

図 12-16 チップセレクト機能

Not Recommended for New Design

第 13 章 非同期型シリアルインターフェース (UART)

13.1 構成

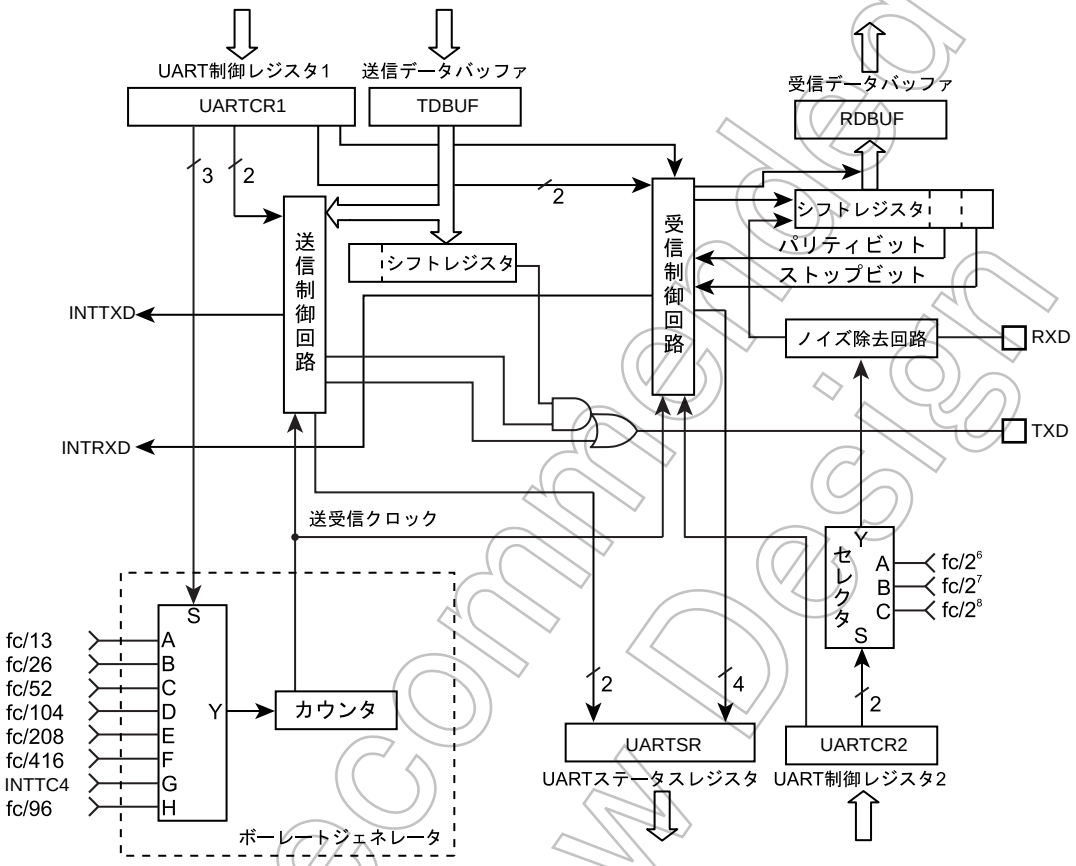


図 13-1 UART (非同期型シリアルインタフェース)

Not Recommended for New Design

13.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ 1

UARTCR1 (001DH)

7	6	5	4	3	2	1	0
TXE	RXE	STBT	EVEN	PE	BRG		

(初期値 : 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC4 使用 (INTTC4 を入力) 111: fc/96	

注 1)　TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。

注 2)　転送クロックとパリティは送受信共通です。

注 3)　BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART 制御レジスタ 2

UARTCR2 (001EH)

7	6	5	4	3	2	1	0
					RXDNC	STOPBR	

(初期値 : **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

注)　RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

Not Recommended for New Design

UART ステータスレジスタ

UARTSR (001DH)

7	6	5	4	3	2	1	0
PERR	FERR	OERR	RBFL	TEND	TBEP		

(初期値 : 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファエンプティフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファエンプティ	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART 受信データバッファ

RDBUF (001FH)

7	6	5	4	3	2	1	0

Read only

(初期値 : 0000 0000)

UART 送信データバッファ

TDBUF (001FH)

7	6	5	4	3	2	1	0

Write only

(初期値 : 0000 0000)

Not Recommended for New Design

13.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1<STBT> でビット長の選択可)、パリティ UARTCR1<PE> でパリティ有無の選択可、UARTCR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

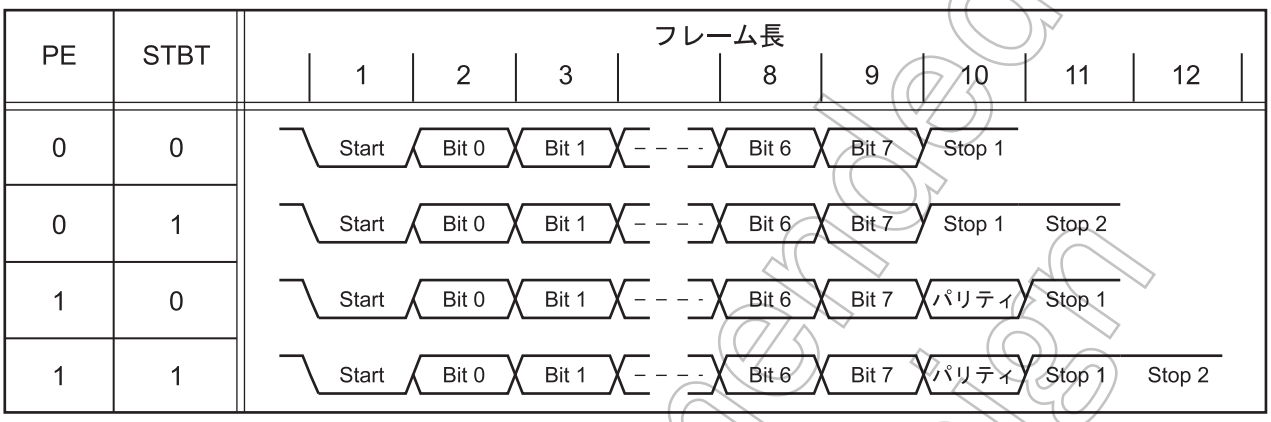


図 13-2 転送データフォーマット

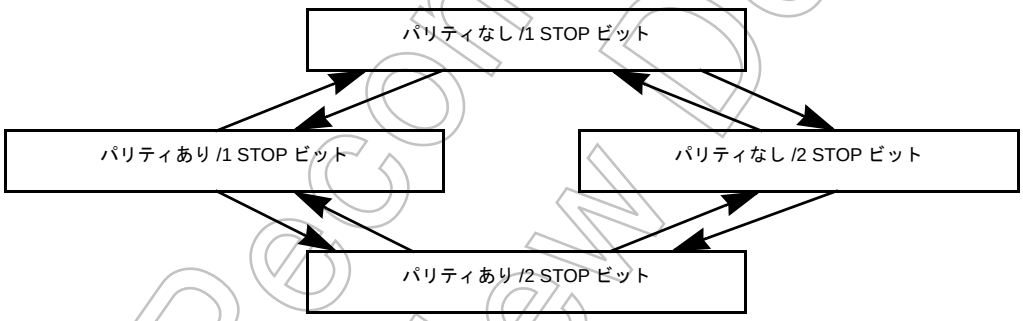


図 13-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 13-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

Not Recommended for New Design

13.4 転送レート

UART の転送レート (ボーレート) は UARTCR1<BRG> により設定されます。以下に転送レートの例を示します。

表 13-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART の転送レートとして TC4 使用を選択したとき (つまり UARTCR1<BRG> = “110” に設定したとき) 転送クロックおよび転送レートは

転送クロック [Hz] = TC4 ソースクロック [Hz] ÷ TTREG4 設定値

転送レート [baud] = 転送クロック [Hz] ÷ 16

となります。

13.5 データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで UARTCR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD 端子の “L” レベルを検出し始まります。スタートビットが見つかるとスタートビット , データビット , ストップビット , パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

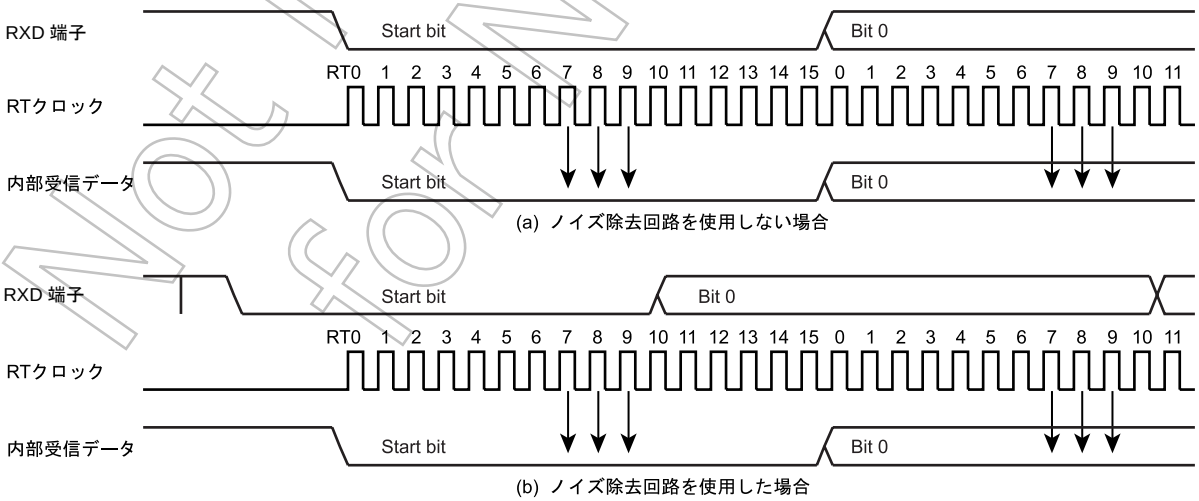


図 13-4 データのサンプリング方法

Not Recommended for New Design

13.6 STOP ビット長

UARTCR1<STBT> で送信ストップビット長 (1 ビット /2 ビット) の選択ができます。

13.7 パリティ

UARTCR1<PE> でパリティ付加の有無を、UARTCR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

13.8 送受信動作

13.8.1　データ送信動作

UARTCR1<TXE> を“1”にセットします。UARTSR を読み出し TBEP =“1”を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UARTSR<TBEP> は“0”にクリアされデータが送信シフトレジスタに転送された後、TXD 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UARTCR1<STBT> で指定した数のストップビットおよびパリティビット　(パリティありの場合)　が付加されます。データ転送ボーレートは UARTCR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP> は“1”にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE> が“0”の間および UARTCR1<TXE> に“1”を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は“H”レベルに固定されます。

送信を行う場合、UARTSR を読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP> が“0”にクリアされず送信が開始されません。

13.8.2　データ受信動作

UARTCR1<RXE> を“1”にセットします。その後、RXD 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL> がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注)　UARTCR1<RXE> ビットを“0”に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

Not Recommended for New Design

13.9 ステータスフラグ

13.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UARTSR<PERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<PERR> は“0”にクリアされます。

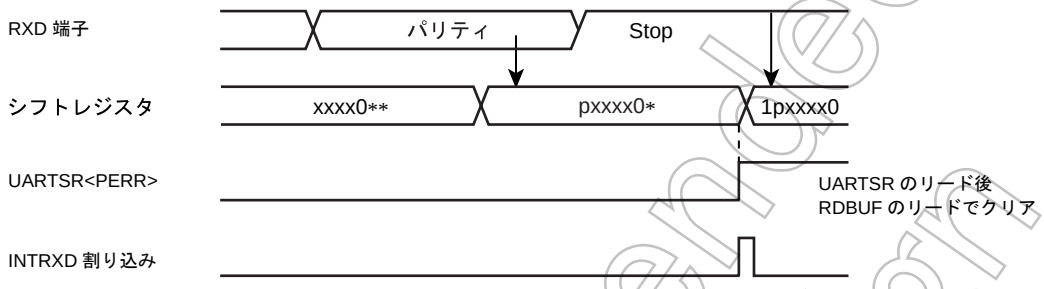


図 13-5 パリティエラーの発生

13.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UARTSR<FERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<FERR> は“0”にクリアされます。

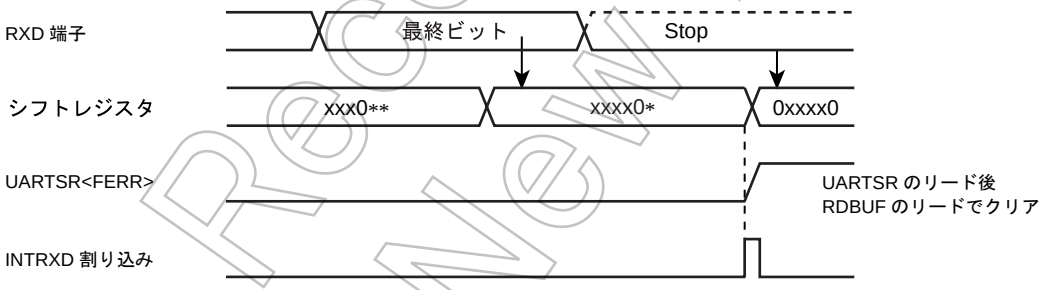


図 13-6 フレーミングエラーの発生

13.9.3 オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UARTSR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<OERR> は“0”にクリアされます。

Not Recommended for New Design

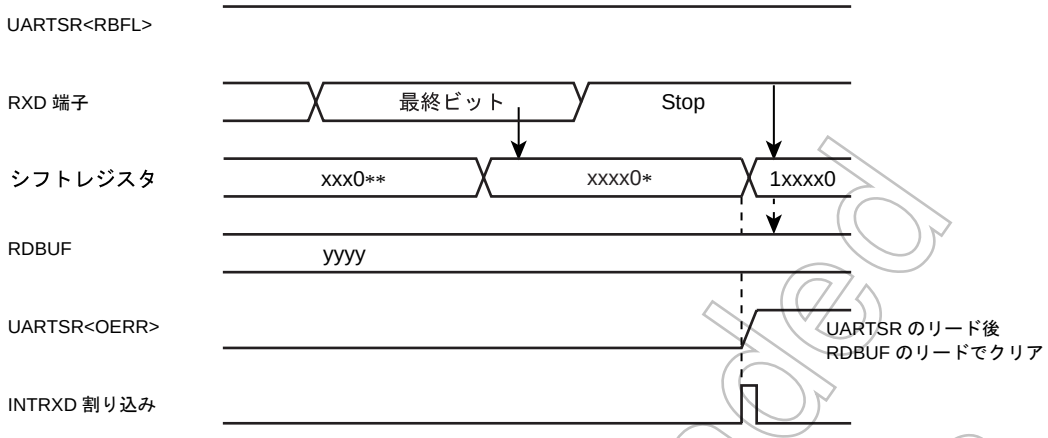


図 13-7 オーバランエラーの発生

注） オーバランエラーフラグ UARTSR<OERR> がクリアされるまで、受信動作は停止します。

13.9.4 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL> が“1”にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと UARTSR<RBFL> は“0”にクリアされます。

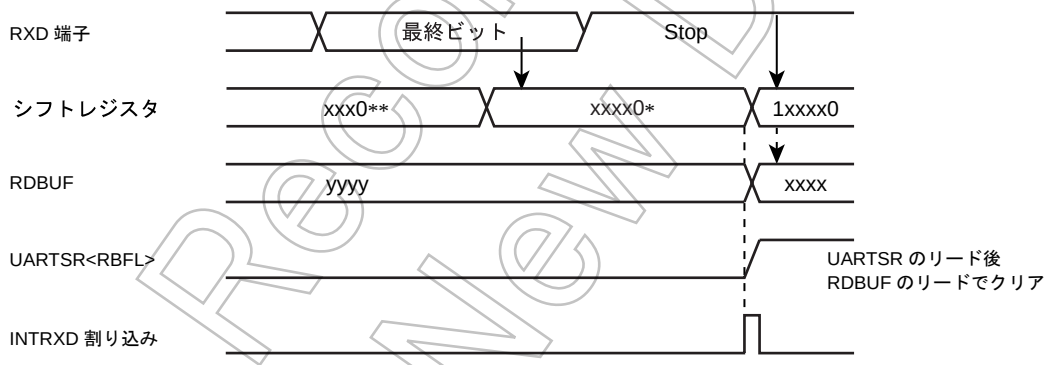


図 13-8 受信バッファフルの発生

注） 上記、UARTSR の読み出しから RDBUF を読み出す間にオーバランエラーフラグ UARTSR<OERR> がセットされた場合、RDBUF 読み出しだけではエラーフラグがクリアされません。再度 UARTSR を読み込み、エラーの確認を行ってください。

13.9.5 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき UARTSR<TBEP> が“1”にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP> は“0”にクリアされます。

Not Recommended for New Design

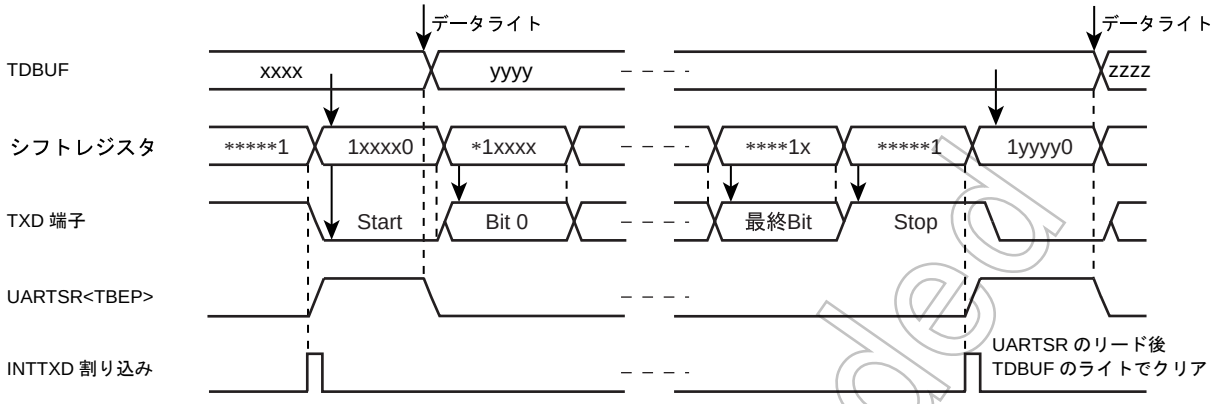


図 13-9 送信バッファエンプティの発生

13.9.6 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP>=“1”のとき) UARTSR<TEND> が“1”にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND> は“0”にクリアされます。

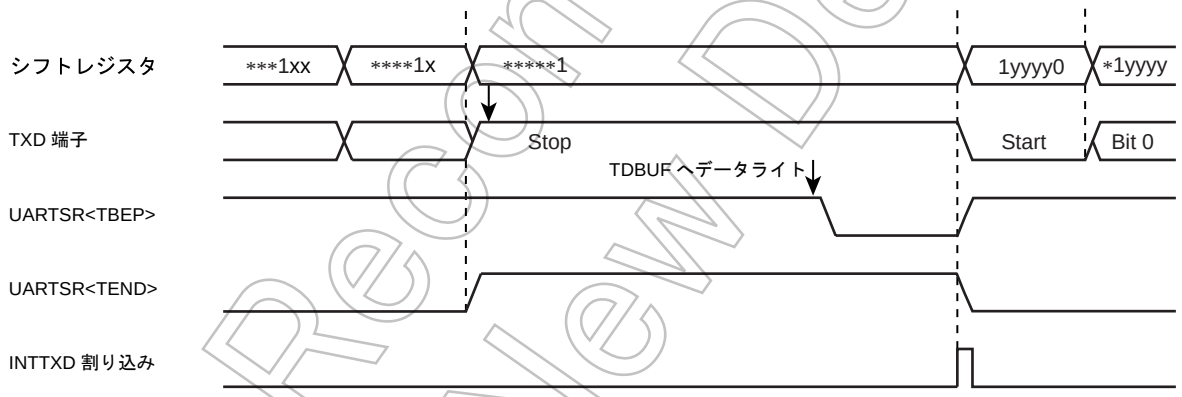


図 13-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended for New Design

Not Recommended for New Design

第 14 章 シリアルバスインタフェース（I²C バス）ver.-D (SBI)

TMP86CM72FG は、I²C バスとして機能するシリアルバスインタフェースを内蔵しています。シリアルバスインタフェースは、SDA と SCL を通して外部デバイスと接続されます。

シリアルバスインタフェース端子はポートと兼用で、シリアルバスインタフェース端子として使用する場合、対応するポートの出力ラッチを “1” にセットします。シリアルバスインタフェース端子として使用しない場合は、ポートは通常の入出力ポートとして使用できます。

注 1) シリアルバスインタフェースは、NORMAL1/2 と IDLE1/2 モード時のみ使用できます。IDLE0、SLOW1/2、SLEEP0/1/2 モードでは使用できませんので、これらのモードに遷移するときには必ずシリアルバスインタフェースを停止してください。.

注 2) TMP86CM72FG の I²C バスは標準モードでのみ使用できます。高速モード、ハイスピードモードでは使用できません。

注 3) ポート設定の詳細については、I/O ポートの章を参照ください。

14.1 構成

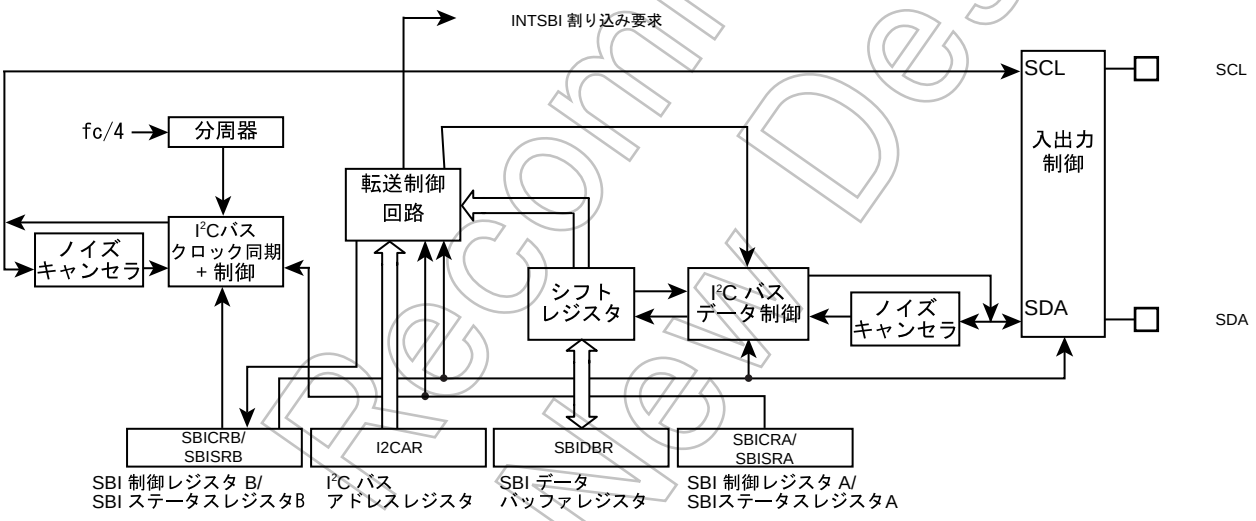


図 14-1 シリアルバスインタフェース (SBI)

Not Recommended for New Design

14.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ A (SBICRA)
- シリアルバスインタフェース制御レジスタ B (SBICRB)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I^2C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ A (SBISRA)
- シリアルバスインタフェースステータスレジスタ B (SBISRB)

14.3 ソフトウエアリセット

シリアルバスインタフェース回路は、シリアルバスインタフェース回路を初期化するソフトウエアリセット機能を持っています。ノイズなどによりシリアルバスインタフェース回路がロックしたとき、この機能を使うことでシリアルバスインタフェース回路を初期化することができます。

シリアルバスインタフェース回路をリセットする場合、SWRST (SBICRB のビット 1、0) に “10”、“01” の順に書き込みを行います。

また、SBISRA<SWRMON> を読み出すことで、リセット信号が入力されているかをモニタすることができます。

Not Recommended for New Design

14.4 I²C バスのデータフォーマット

I²C バスのデータフォーマットを図 14-2 に示します。

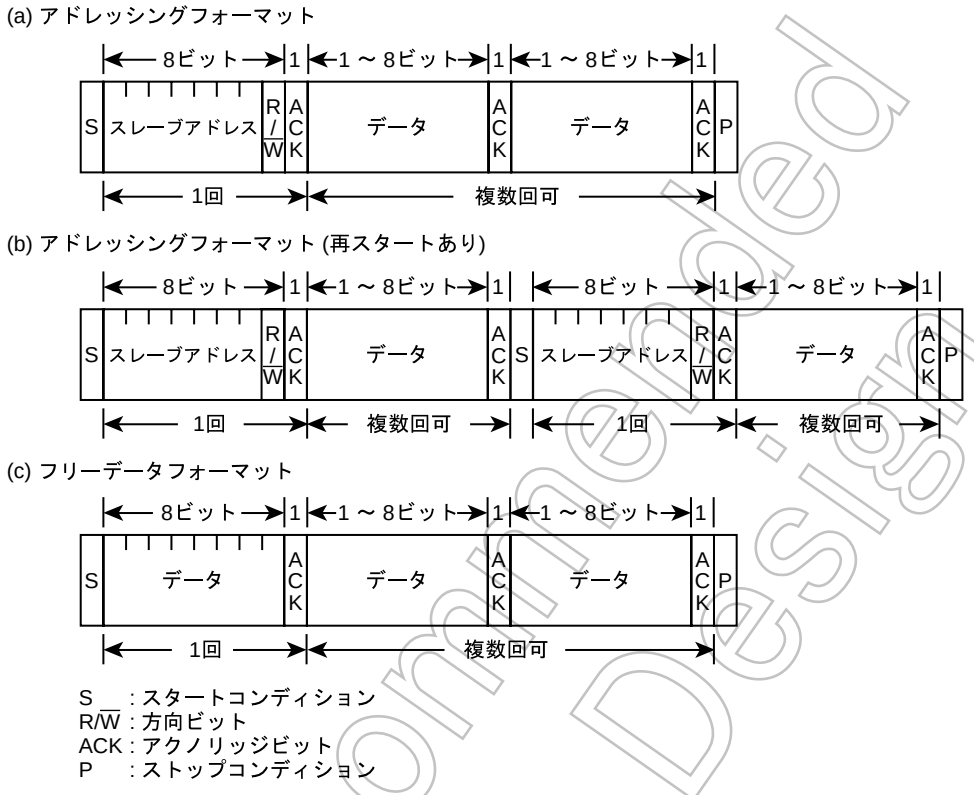


図 14-2 I²C バスのデータフォーマット

Not Recommended for New Design

14.5 シリアルバスインタフェースの制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ A

SBICRA (0020H)

7	6	5	4	3	2	1	0
BC			ACK		SCK		

(初期値 : 0000 *000)

		BC	ACK = 0 のとき		ACK = 1 のとき		
			クロック数	データ長	クロック数	データ長	
BC	転送ビット数の選択	000:	8	8	9	8	Write only
		001:	1	1	2	1	
		010:	2	2	3	2	
		011:	3	3	4	3	
		100:	4	4	5	4	
		101:	5	5	6	5	
		110:	6	6	7	6	
		111:	7	7	8	7	
ACK	アクノリッジメントのためのクロック発生の選択	ACK	マスタモード		スレーブモード		R/W
		0:	アクノリッジのためのクロックを発生しない。		アクノリッジのためのクロック数をカウントしない。		
		1:	アクノリッジのためのクロックを発生する。		アクノリッジのためのクロック数をカウントする。		
SCK	シリアルクロック (fscl) 周波数の選択 (SCL 端子への出力) [fscl = 1/(2^{n+1}/fc + 8/fc)]	SCK	n	fc = 16 MHz 時	fc = 8 MHz 時	fc = 4 MHz 時	Write only
		000:	4	Reserved	Reserved	100.0 kHz	
		001:	5	Reserved	Reserved	55.6 kHz	
		010:	6	Reserved	58.8 kHz	29.4 kHz	
		011:	7	60.6 kHz	30.3 kHz	15.2 kHz	
		100:	8	30.8 kHz	15.4 kHz	7.7 kHz	
		101:	9	15.5 kHz	7.8 kHz	3.9 kHz	
		110:	10	7.8 kHz	3.9 kHz	1.9 kHz	
		111:	Reserved				

注 1)　*: Don’t care、fc: 高周波クロック [Hz]

注 2)　SBICRA は、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3)　SCK は 100kHz を超える値に設定しないでください。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0021H)

7	6	5	4	3	2	1	0

(初期値 : **** ****) R/W

注 1)　送信データを書き込むときには、データを MSB (ビット 7) 側につめて書き込んでください。

注 2)　SBIDBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 3)　*: Don't care

I^2C バスアドレスレジスタ

I2CAR (0022H)

7	6	5	4	3	2	1	0
スレーブアドレス							ALS
SA6	SA5	SA4	SA3	SA2	SA1	SA0	

(初期値 : 0000 0000)

Not Recommended for New Design

SA	スレーブアドレスの設定		Write only
ALS	アドレス認識モードの設定	0: スレーブアドレスを認識 1: スレーブアドレスを認識しない	

注 1) I2CAR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 2) I2CAR を “00H” に設定しないでください (“00H” に設定した場合、スレーブモードで I^2C バス規格の START バイト (“01H”) を受信したときにスレーブアドレスが一致したと判断します。)。

シリアルバスインタフェース制御レジスタ B

SBICRB (0023H)

7	6	5	4	3	2	1	0
MST	TRX	BB	PIN	SBIM		SWRST1	SWRST0

(初期値 : 0001 0000)

MST	マスタ / スレーブの選択	0: スレーブ 1: マスタ	Write only
TRX	送信 / 受信の選択	0: レシーバ 1: トランスミッタ	
BB	スタート / ストップコンディションの発生	0: ストップコンディション発生 (MST, TRX, PIN が “1” のとき) 1: スタートコンディション発生 (MST, TRX, PIN が “1” のとき)	
PIN	割り込みサービス要求の解除	0: – (“0” にクリアすることはできません) 1: 割り込みサービス要求の解除	
SBIM	シリアルバスインタフェースの動作モード選択	00: ポートモード (シリアルバスインタフェースの出力禁止) 01: Reserved 10: I^2C バスモード 11: Reserved	
SWRST1 SWRST0	ソフトウエアリセット開始ビット	最初に “10” 、次に “01” を書き込むとソフトウエアリセットが発生する	

注 1) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

注 2) ポートモードから I^2C バスモードへの切り替えは、ポートの状態が “H” になっていることを確認後行ってください。

注 3) SBICRB は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

注 4) SWRST (レジスタ SBICRB のビット 1, 0) に “10”, “01” を書き込むと、ソフトウエアリセットが起こります。この場合、SBIM 以外の SBICRB レジスタの各ビットと、SBICRA, I2CAR, SBISRA, SBISRB レジスタが初期化されます。

Not Recommended for New Design

シリアルバスインタフェースステータスレジスタ A

SBISRA (H)

7	6	5	4	3	2	1	0
							SWRMON

(初期値 : **** ***1)

SWRMON	ソフトウエアリセットモニタ	0:　ソフトウエアリセット中 1:　– (初期値)	Read only

シリアルバスインタフェースステータスレジスタ B

SBISRB (0023H)

7	6	5	4	3	2	1	0
MST	TRX	BB	PIN	AL	AAS	AD0	LRB

(初期値 : 0001 0000)

MST	マスタ / スレーブ選択状態モニタ	0:　スレーブ 1:　マスタ	Read only
TRX	トランスミッタ / レシーバ選択状態モニタ	0:　レシーバ 1:　トランスミッタ	
BB	バス状態モニタ	0:　バスフリー 1:　バスビジー	
PIN	割り込みサービス要求状態モニタ	0:　割り込みサービス要求中 1:　割り込みサービス要求解除中	
AL	アービトレーションロスト検出モニタ	0:　– 1:　アービトレーションロスト検出	
AAS	スレーブアドレス一致検出モニタ	0:　– 1:　スレーブアドレス一致またはゼネラルコール検出	
AD0	ゼネラルコール検出モニタ	0:　– 1:　ゼネラルコール検出	
LRB	最終受信ビットモニタ	0:　最終受信ビット “0” 1:　最終受信ビット “1”	

Not Recommended for New Design

14.5.1 アクノリッジメントモードの指定

14.5.1.1 アクノリッジメントモード (ACK = “1”)

シリアルバスインタフェース回路をアクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を “1” にセットします。アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを 1 クロック付加します。スレーブモードのときは、アクノリッジ信号のためのクロックをカウントします。

シリアルバスインタフェース回路がマスタトランスミッタモードのとき、アクノリッジのためのクロック期間中、SDA 端子はレシーバからのアクノリッジ信号を受信するために端子を開放します。マスタレシーバモードのときは、クロック期間中、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスと I2CAR に設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときに、アクノリッジのためのクロック期間中、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。スレーブアドレス一致またはゼネラルコール受信後のデータ転送において、トランスミッタモードのときには、アクノリッジのためのクロック期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA 端子を “L” レベルに引きアクノリッジ信号を発生します。表 14-1 にアクノリッジメントモードにおける SCL 端子と SDA 端子の状態を示します。

表 14-1 アクノリッジメントモードでの SCL 端子と SDA 端子の状態

<table>
<tr><th>モード</th><th colspan="2">端子</th><th>トランスミッタ</th><th>レシーバ</th></tr>
<tr><td rowspan="2">マスタ</td><td colspan="2">SCL</td><td colspan="2">アクノリッジのためのクロックを付加 .</td></tr>
<tr><td colspan="2">SDA</td><td>アクノリッジ信号受信のために端子を開放</td><td>アクノリッジ信号として端子に “L” を出力</td></tr>
<tr><td rowspan="3">スレーブ</td><td colspan="2">SCL</td><td colspan="2">アクノリッジのためのクロックをカウント</td></tr>
<tr><td rowspan="2">SDA</td><td>スレーブアドレスが一致したとき、またはゼネラルコールを受信したとき</td><td>–</td><td>アクノリッジ信号として端子に “L” を出力</td></tr>
<tr><td>スレーブアドレスが一致したとき、またはゼネラルコール受信後の通信時</td><td>アクノリッジ信号受信のために端子を開放</td><td>アクノリッジ信号として端子に “L” を出力</td></tr>
</table>

14.5.1.2 非アクノリッジメントモード (ACK = “0”)

シリアルバスインタフェース回路を非アクノリッジメントモードに設定するには、ACK (SBICRA のビット 4) を “0” にクリアします。非アクノリッジメントモード時、シリアルバスインタフェース回路がマスタモードのときは、アクノリッジ信号のためのクロックを発生しません。スレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

Not Recommended for New Design

14.5.2 転送ビット数の選択

BC (SBICRA のビット 7~5) により、次に送受信するデータのビット数を選択します。

BC はスタートコンディションにより “000” にクリアされるため、スレーブアドレス、方向ビットの転送は必ず 8 ビットで行われます。それ以外のときは、BC は一度設定された値を保持します。

14.5.3 シリアルクロック

14.5.3.1 クロックソース

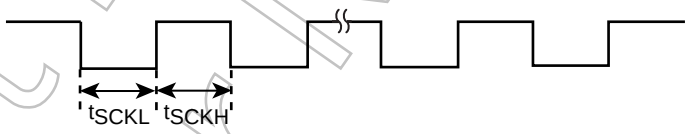
SCK (SBICRA のビット 2~0) で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

なお、マスタモード / スレーブモードともに外部から入力されるクロックの “H” レベル、“L” レベルは 4 マシンサイクル以上のパルス幅が必要です。

注） TMP86CM72FG の I^2C バスは、高速モードおよびハイスピードモードでは使用できませんので、SCK を 100 kHz を超える値に設定しないでください。

$t_{LOW} = 2^n/fc$
$t_{HIGH} = 2^n/fc + 8/fc$
$fscl = 1/(t_{LOW} + t_{HIGH})$

SCK (SBICRA のビット 2~0)	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10



$t_{SCKL}, t_{SCKH} > 4$ tcyc

Note 1: fc = 高周波クロック
Note 2: tcyc = 4/fc (NORMAL, IDLE モード時)

図 14-3 クロックソース

14.5.3.2 クロック同期化

I^2C バスでは端子の構造上、バスをワイヤードアンドで駆動させるために、クロックラインを最初に “L” レベルに引いたマスタが、“H” レベルを出力しているマスタのクロックを無効にします。このため、“H” レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

Not Recommended for New Design

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。

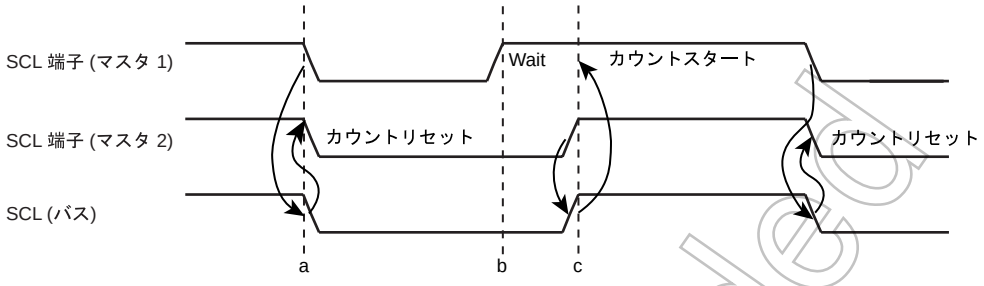


図 14-4 クロック同期化の例

a 点でマスタ 1 が SCL 端子を “L” レベルに引くことで、バスの SCL ラインは “L” レベルになります。マスタ 2 はこれを検出し、マスタ 2 の “H” レベル期間のカウントをリセットし、SCL 端子を “L” レベルに引きます。

b 点でマスタ 1 は “L” レベル期間のカウントを終わり、SCL 端子を “H” レベルにします。しかしマスタ 2 がバスの SCL ラインを “L” レベルに保持し続けているので、マスタ 1 は “H” レベル期間のカウントを始めません。マスタ 1 は、c 点でマスタ 2 が SCL 端子を “H” レベルにし、バスの SCL ラインが “H” レベルになったことを検出後、“H” レベル期間のカウントを始めます。その後、“H” レベル期間のカウントを終了したマスタが SCL 端子を “L” に引くことで、バスの SCL ラインは “L” レベルになります。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い “H” レベル期間をもつマスタと、最も長い “L” レベル期間をもつマスタによって決定されます。

14.5.4 スレーブアドレスとアドレス認識モードの設定

シリアルバスインタフェース回路を、スレーブアドレスを認識するアドレッシングフォーマットで使用するときには、ALS (I2CAR のビット 0) を “0” にクリアし、SA (I2CAR のビット 7~1) にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用するときには、ALS を “1” にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで使用した場合、スレーブアドレスと方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

14.5.5 マスタ / スレーブの選択

MST (SBICRB のビット 7) を “1” にセットすると、シリアルバスインタフェース回路はマスタデバイスとして動作します。

MST を “0” にクリアすると、スレーブデバイスとして動作します。MST はバス上のストップコンディションを検出したとき、またはアービトレーションロストを検出したとき、ハードウエアにより “0” にクリアされます。

14.5.6 トランスミッタ / レシーバの選択

TRX (SBICRB のビット 6) を “1” にセットすると、シリアルバスインタフェース回路はトランスミッタとして動作し、TRX を “0” にクリアするとレシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、ハードウエアによりマスタデバイスから送られてくる方向ビット (R/$\overline{W}$) が “1” の場合、TRX は “1” にセットされ、“0” の場合、TRX は “0” にク

Not Recommended for New Design

リアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウエアにより送信した方向ビットが “1” の場合、TRX は “0” にクリアされ、“0” の場合、TRX は “1” に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

TRX はバス上のストップコンディションを検出したとき、またはアービトレーションロストが検出されると、ハードウエアにより “0” にクリアされます。“ 表 14-2 各モードでの TRX の動作 ” に各モードでの TRX の変化条件と変化後の TRX の値を示します。

表 14-2 各モードでの TRX の動作

モード	方向ビット	変化条件	変化後の TRX
スレーブモード	"0"	受信したスレーブアドレスが I2CAR に設定された値と同じとき	"0"
	"1"		"1"
マスタモード	"0"	ACK 信号が返ってきたとき	"1"
	"1"		"0"

シリアルバスインタフェース回路を、フリーデータフォーマットで使用している場合、スレーブアドレス , 方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われるために、TRX はハードウエアによって変化することはありません。

14.5.7 スタート / ストップコンディションの発生

BB (SBISRB のビット 5) が “0” のときに、MST, TRX, BB, PIN に “1” を書き込むと、バス上に、スタートコンディションと、あらかじめデータバッファレジスタに書き込んだスレーブアドレスと、方向ビットが出力されます。あらかじめ ACK に “1” をセットしておいてください。

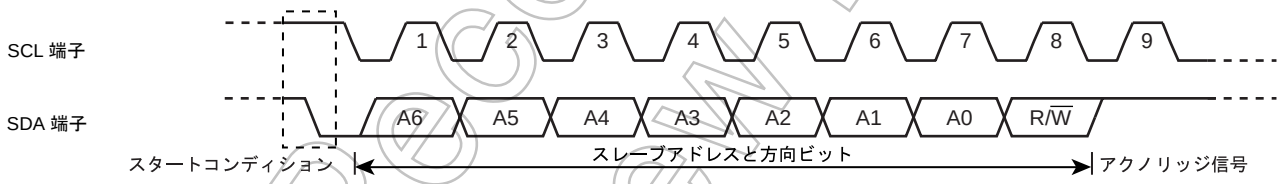


図 14-5 スタートコンディションの発生とスレーブアドレスの発生

BB=“1” のときに、MST と TRX, PIN に “1” を、BB に “0” を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB の内容を書き替えないでください。

ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより “L” レベルに引かれていた場合、SCL ラインが開放された後に、ストップコンディションが発生します。

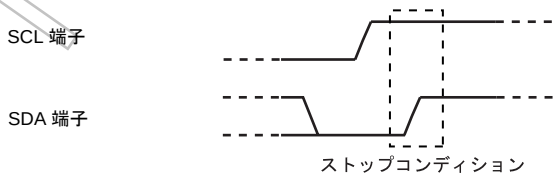


図 14-6 ストップコンディションの発生

また、BB (SBISRB のビット 5) を読み出すことで、バスの状態を知ることができます。BB は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にクリアされます (バスフリー状態)。

Not Recommended for New Design

14.5.8 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、BC と ACK によって設定されたクロック数の転送が終了すると、シリアルバスインタフェース割り込み要求 (INTSBI) が発生します。スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致、またはゼネラルコール受信後におけるデータ転送終了時

シリアルバスインタフェース割り込み要求が発生すると、PIN (SBISRB のビット 4) が “0” にクリアされます。PIN が “0” の間、SCL 端子が “L” レベルに引かれます。

SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと PIN が “1” にセットされます。なお、PIN が “1” にセットされてから SCL 端子が開放されるまで、t_{LOW} の時間がかかります。プログラムで PIN (SBICRB のビット 4) に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

注） マスタモードでアービトレーションロストが発生したとき、スレーブアドレスが一致しなかった場合は、PIN は “0” にクリアされません (INTSBI は発生します)。

14.5.9 シリアルバスインタフェースの動作モード

SBIM (SBICRB のビット 3~2) でシリアルバスインタフェースの動作モードを設定します。I^2C バスモードで使用するときは、シリアルバスインタフェース端子の状態が “H” になっていることを確認後、SBIM を “10” にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

14.5.10 アービトレーションロスト検出モニタ

I^2C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するために、バスのアービトレーション手段が必要となります。

I^2C バスでは、バスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例にあげて以下に示します。a 点のビットまでマスタ 1、マスタ 2 ともに同じデータを出力し、a 点でマスタ 1 がデータ “1” を出力、マスタ 2 がデータ “0” を出力すると、バスの SDA ラインはワイヤードアンドで駆動されるために、SDA ラインはマスタ 2 によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわちマスタ 2 のデータを取り込みます。このときマスタ 1 の出力したデータは無効になります。マスタ 1 のこの状態を “ アービトレーションロスト ” と呼び、アービトレーションを失ったマスタは、SDA 端子 , SCL 端子を開放し、アービトレーションを失っていない、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが、1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は 2 ワード目以降も継続されます。

Not Recommended for New Design

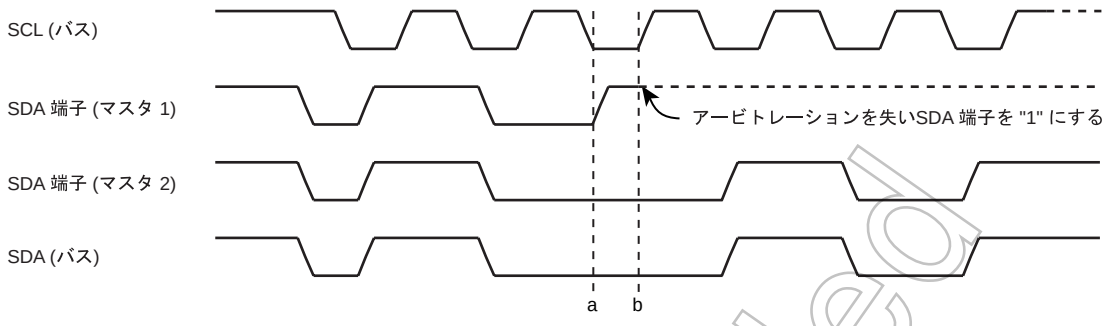


図 14-7 アービトレーションロスト

シリアルバスインタフェース回路では、バスの SDA ラインのレベルとシリアルバスインタフェース回路の SDA 端子のレベルの比較を、SCL ラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、AL (SBISRB のビット 3) が “1” にセットされます。

AL が “1” にセットされると MST, TRX は “0” にリセットされ、スレーブレシーバモードになります。そのため、AL が “1” にセットされた後のデータの転送では、シリアルバスインタフェース回路はクロックの出力を停止します。

AL は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICRB にデータを書き込むと “0” にリセットされます。

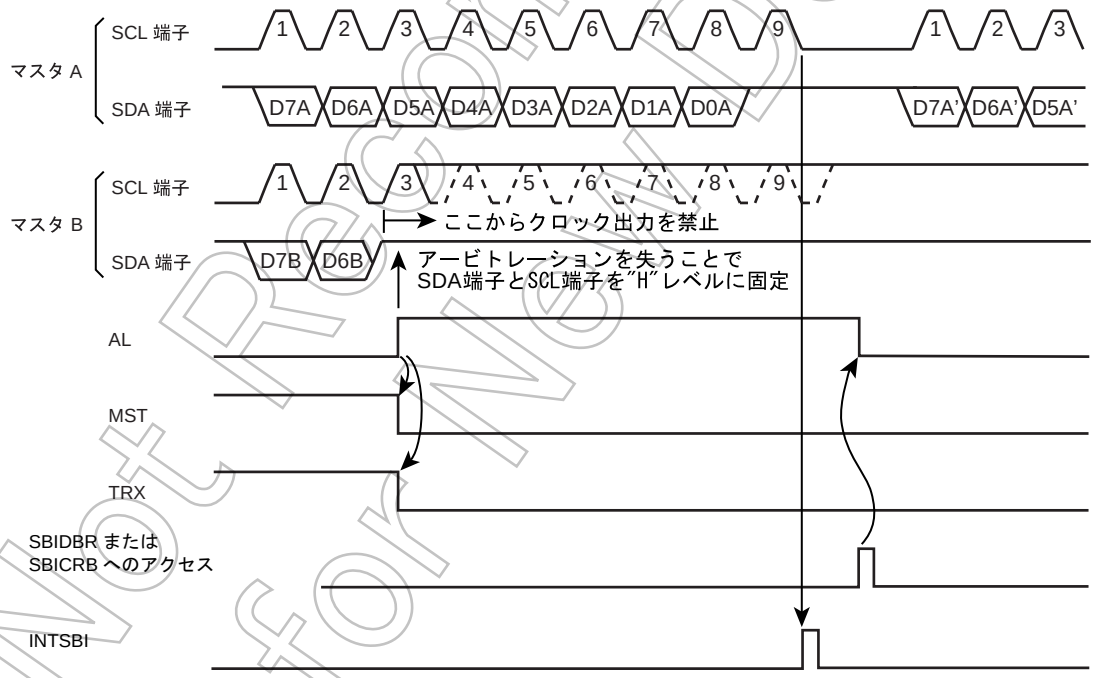


図 14-8 シリアルバスインタフェース回路がマスタ B の場合

Not Recommended for New Design

14.5.11 スレーブアドレス一致検出モニタ

AAS (SBISRB のビット 2) は、スレーブモード時、アドレッシングフォーマット (ALS=“0”) の場合、ゼネラルコールまたは、I2CAR にセットした値と同じスレーブアドレスを受信すると、“1” にセットされます。フリーデータフォーマット (ALS=“1”) のときは、最初の 1 ワードが受信されると “1” にセットされます。AAS は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと “0” にクリアされます。

14.5.12 ゼネラルコール検出モニタ

AD0 (SBISRB のビット 1) はスレーブモード時、ゼネラルコール (スタートコンディション直後に受信した 8 ビットのデータがすべて “0”) のとき、“1” にセットされます。AD0 は、バス上のスタートコンディションまたはストップコンディションが検出されると、“0” にクリアされます。

14.5.13 最終受信ビットモニタ

LRB (SBISRB のビット 0) には、バス上の SCL ラインの立ち上がりで取り込まれたバス上の SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI 割り込み要求発生直後に LRB を読み出すと、アクノリッジ信号が読み出されます。

Not Recommended for New Design

14.6 I²C バスモード時のデータ転送手順

14.6.1 デバイスの初期化

最初に SBICRA の ACK に “1” を、BC に “000” を書き込むことによって、アクノリッジのためのクロック数を “ カウントする、” データ長を “8 ビット ” に設定します。また、SCK に転送周波数を設定します。

次に I2CAR の SA にスレーブアドレスを設定します。

その後、シリアルバスインタフェース端子の状態が “H” になっていることを確認し、SBICRB の MST, TRX, BB に “0” を、PIN に “1” を、SBIM に “10” を、SWRST1,0 に “00” を設定し、初期状態をスレーブレシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に、ほかのデバイスが転送を開始することがあり、正常にデータを受信することができません。

14.6.2 スタートコンディション、スレーブアドレスの発生

バスフリー (BB=“0”) 状態を確認します。

ACK を “1” にセットし、SBIDBR に送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PIN に “1” を書き込むと、バス上にスタートコンディションと、SBIDBR に設定したスレーブアドレスと、方向ビットが出力されます。なお、スタートコンディション出力後、SCL 端子が立ち下がるまで、t_{LOW} かかります。

この後、SCL の 9 クロック目の立ち下がりで INTSBI 割り込み要求が発生し、PIN が “0” にクリアされます。PIN が “0” の間、SCL 端子を “L” レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウエアにより、INTSBI 割り込み要求タイミングで TRX が方向ビットに合わせて変化します。

注 1) スレーブアドレスを出力するために SBIDBR を書き込むときは、事前に、ソフトウエアによってバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注 2) 出力するスレーブアドレスの書き込みから 98.0 μs (I²C バス規格による最短の転送時間) 以内に、再度ソフトウエアによるバスフリーの確認を行い、バスフリーが確認できたときのみ SBICRB の MST, TRX, BB, PIN に “1” を書き込み、スタートコンディションを発生させてください。この制約が守られない場合、SBIDBR へ出力するスレーブアドレスを書き込んでから SBICRB の MST, TRX, BB, PIN に “1” を書き込みスタートコンディションを発生させるまでの間に、ほかのマスタによる転送が行われ、SBIDBR に書き込んだスレーブアドレスが破壊されることがあります。

図 14-9 スタートコンディションとスレーブアドレスの発生

Not Recommended for New Design

14.6.3 1 ワードのデータ転送

1 ワード転送終了の INTSBI 割り込みの処理で、MST をテストし、マスタモード / スレーブモードの判断をします。

14.6.3.1 MST が “1” のとき (マスタモード)

TRX をテストし、トランスミッタ / レシーバの判断をします。

(1) TRX が “1” のとき (トランスミッタモード)

LRB をテストします。LRB が “1” のとき、レシーバはデータを要求していないので、ストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

LRB が “0” のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が 8 ビット以外のときは BC を再設定し、ACK を “1” にセットした後、送信データを SBIDBR に書き込みます。データを書き込むと PIN が “1” になり、SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生し、SDA 端子から 1 ワードのデータが送信されます。送信終了後、INTSBI 割り込み要求が発生し、PIN が “0” になり、SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は、上記 LRB のテストから繰り返します。

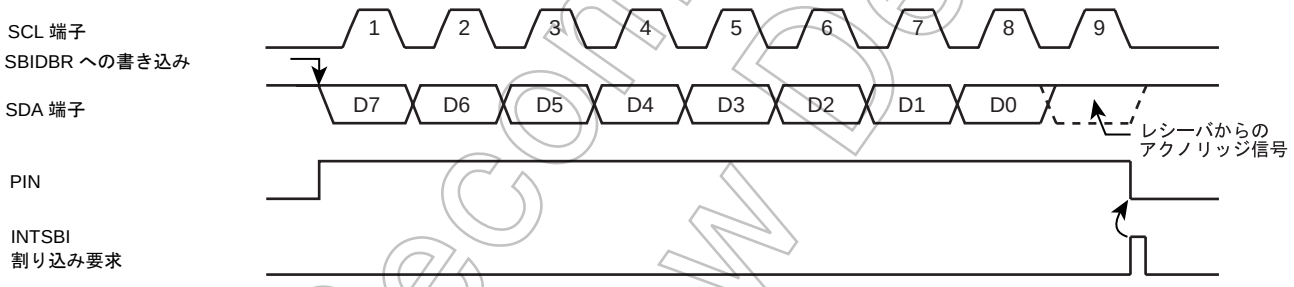


図 14-10 BC=“000”, ACK=“1” の場合

(2) TRX が “0” のとき (レシーバモード)

次に転送するデータのビット数が、8 ビット以外のときは BC を再設定し、ACK に “1” をセットした後、SBIDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと PIN は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで “L” レベルを SDA 端子に出力します。

その後、INTSBI 割り込み要求が発生し、PIN が “0” になります。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

Not Recommended for New Design

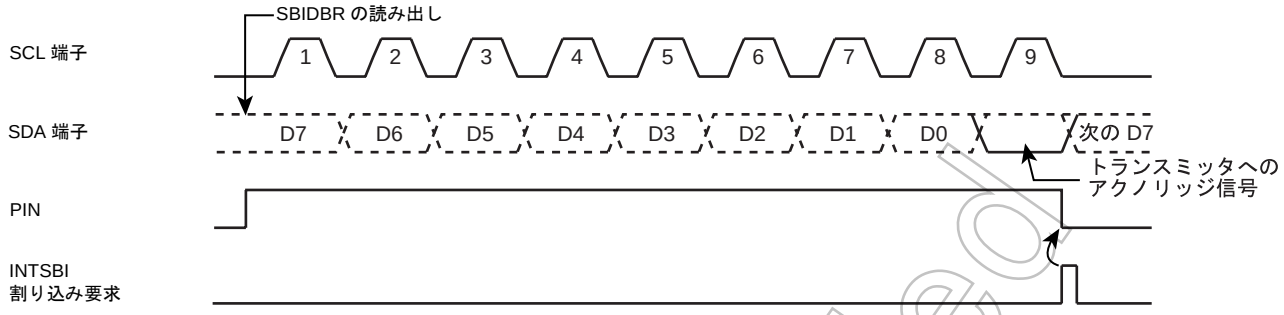


図 14-11 BC="000", ACK="1" の場合

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に、ACK を "0" にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC="001" に設定し、データを読み出すと PIN が "1" にセットされ、1 ビット転送のためのクロックを発生します。このときマスタはレシーバなので、バスの SDA ラインは "H" レベルを保ちます。トランスミッタはアクノリッジ信号としてこの "H" レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

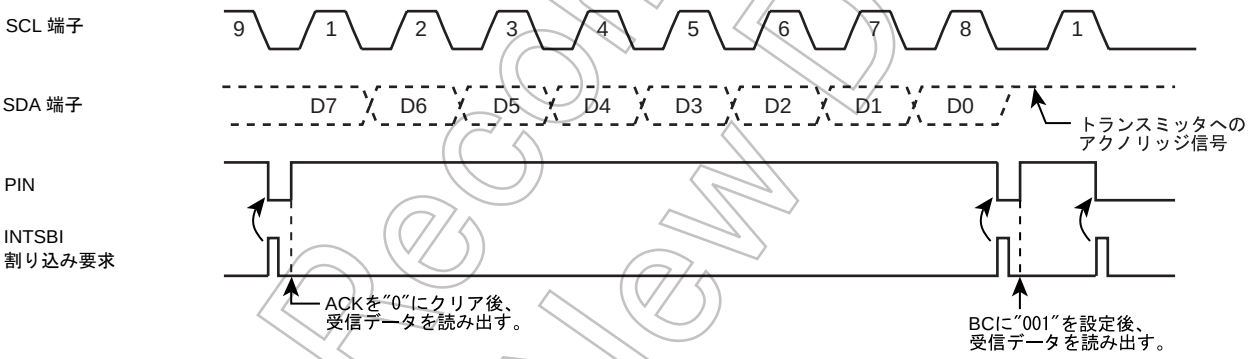


図 14-12 マスタレシーバモード時、データの送信を終了させるときの処理

14.6.3.2 MST が "0" のとき (スレーブモード)

スレーブモードのときは、通常のスレーブモードとしての処理またはシリアルバスインタフェース回路が、アービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモードの場合、以下のときにシリアルバスインタフェース割り込み要求 (INTSBI) が発生します。

- 受信したスレーブアドレスが、I2CAR に設定されたスレーブアドレスと一致したときのアクノリッジ信号出力後
- ゼネラルコールを受信したときのアクノリッジ信号出力後
- スレーブアドレス一致またはゼネラルコール受信後における、データ転送終了時

シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時に INTSBI 割り込み要求が発生します。アービトレーションを失った後の INTSBI と PIN の動作を表 14-3 に示します。

Not Recommended for New Design

表 14-3 アービトレーションロスト時の INTSBI 割り込み要求と PIN の動作

	マスタモード時、スレーブアドレス送信中にアービトレーションを失った場合	マスタトランスミットモード時、データ送信中にアービトレーションを失った場合
INTSBI 割り込み要求	ワード転送終了時に INTSBI 割り込み要求発生	
PIN	I2CAR に設定されたスレーブアドレスと一致した場合、PIN は “0” にクリアされます。スレーブアドレスが一致しなかった場合は PIN は “1” を保持します。.	PIN は “1” を保持 (“0” にクリアされません)。

INTSBI 割り込み要求が発生すると、PIN (SBICRB のビット 4) が “0” にリセットされ、SCL 端子を “L” レベルに引きます。SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すか、または PIN を “1” にセットすると SCL 端子が t_{LOW} 後に開放されます。

AL (SBISRB のビット 3)、TRX (SBISRB のビット 6)、AAS (SBISRB のビット 2)、AD0 (SBISRB のビット 1) をテストし、場合分けを行います。“ 表 14-4 スレーブモード時の処理 ” にスレーブモード時の状態と必要な処理を示します。

表 14-4 スレーブモード時の処理

TRX	AL	AAS	AD0	状　態	処　理
1	1	1	0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが “1” のシリアルバスインタフェース回路のスレーブアドレスを受信	1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。.
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが “1” のシリアルバスインタフェース回路のスレーブアドレスを受信 .	
		0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了 .	LRB をテストし、“1” にセットされていた場合、レシーバが次のデータを要求していないので PIN に “1” をセット、TRX を “0” にリセットしバスを開放します。LRB が “0” にリセットされていた場合、レシーバが次のデータを要求しているので 1 ワードのビット数を BC にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	シリアルバスインタフェース回路が、スレーブアドレス送信中にアービトレーションを失い、ほかのマスタが送った方向ビットが “0” のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信 .	PIN を “1” にセットするために SBIDBR を読み込みます (ダミー読み出し)。または PIN に “1” を書き込みます。
		0	0	シリアルバスインタフェース回路が、スレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	シリアルバスインタフェース回路はスレーブモードとなっています。AL を “0” にクリアするためには、SBIDBR を読み出すか、SBIDBR へ書き込みを行ってください。
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが “0” のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信 .	PIN を “1” にセットするために、SBIDBR を読み込みます (ダミー読み出し)。または PIN に “1” を書き込みます。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を BC にセットし、受信データを SBIDBR から読み込みます。

注) スレーブモードで I2CAR が “00H” に設定されている場合、I^2C バス規格の START バイト (“01H”) を受信したときにスレーブアドレスが一致したと判断し、TRX が “1” にセットされます。

Not Recommended for New Design

14.6.4 ストップコンディションの発生

BB=“1” のときに、MST, TRX, PIN に “1”、BB に “0” を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまでは、MST, TRX, BB, PIN の内容を書き替えないでください。

また、ストップコンディション発生時に、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放された後、ストップコンディションが発生します。

SCL ラインが解放されてからストップコンディションが発生するまで、t_{LOW} かかります。

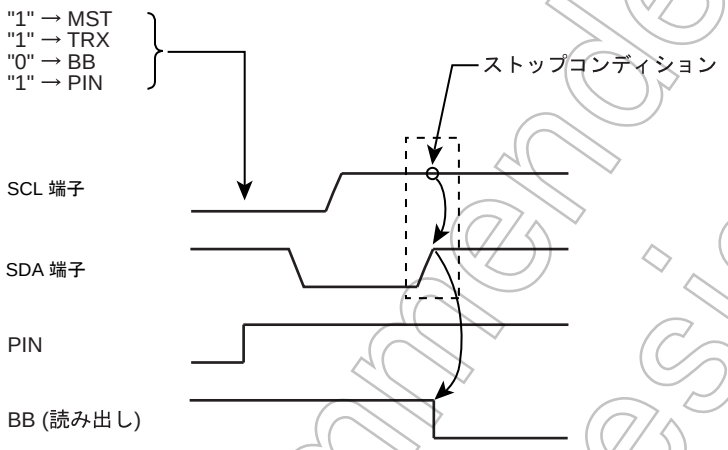


図 14-13 ストップコンディションの発生

14.6.5 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに、転送の方向を変化させるときに使用します。再スタートを発生させる場合の手順を以下に示します。

まず、MST, TRX, BB に “0” を、PIN に “1” を書き込むと、SDA 端子は “H” レベルを保ち、SCL 端子が開放されます。このときバス上にストップコンディションは発生されないため、ほかのデバイスからみると、バスはビジー状態のままです。この後 BB をテストして、“0” になるまで待ち、シリアルバスインタフェース回路の SCL 端子が開放されたことを確認します。次に LRB をテストして “1” になるまで待ち、ほかのデバイスが、バスの SCL ラインを “L” レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 “ 14.6.2 スタートコンディション、スレーブアドレスの発生 ” の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで、最低 4.7 μs のソフトウエアによる待ち時間が必要です。

注）マスタデバイスがレシーバの時、再スタートを発生させる前に、トランスミッタとなっているスレーブデバイスからのデータ送信を終了させる必要があります。データ送信を終了させるために、“H” レベルのアクノリッジ信号をスレーブデバイスに受信させます。このため、再スタート発生前の LRB は "1" となり、再スタートの手順で、LRB が "1" であることを確認しても、SCL ラインの立ち上がりを確認できません。SCL ラインの状態を確認するには、ポートを読み出してください。

Not Recommended for New Design

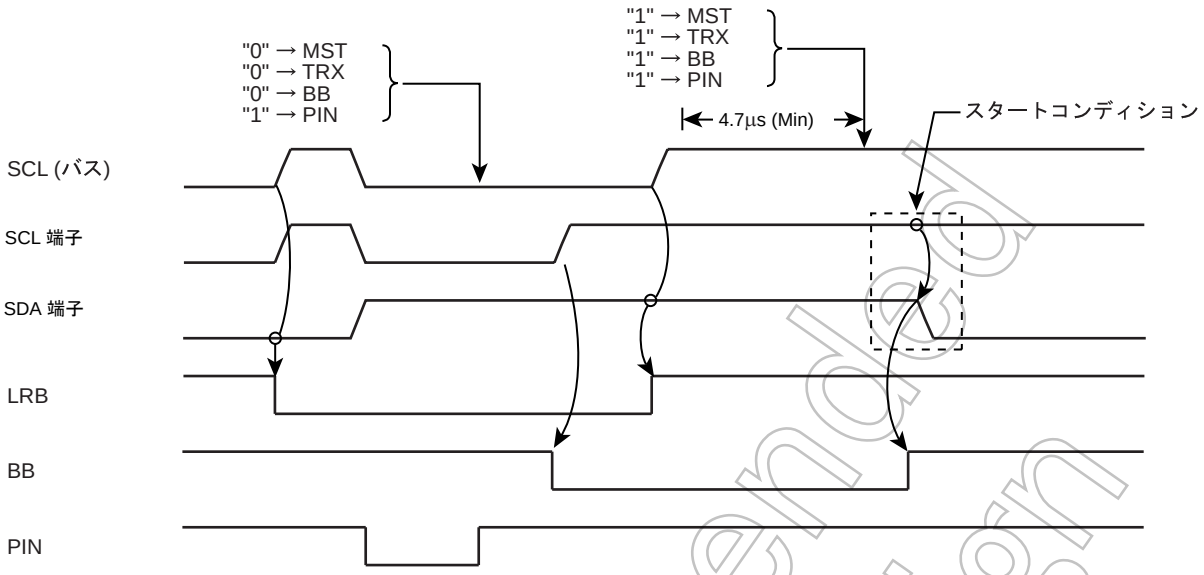


図 14-14 再スタートを発生させる場合のタイミングチャート

Not Recommended for New Design

Not Recommended for New Design

第 15 章 8 ビット AD コンバータ

TMP86CM72FG は、8 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

15.1 構成

8 ビット AD コンバータの回路構成を図 15-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。

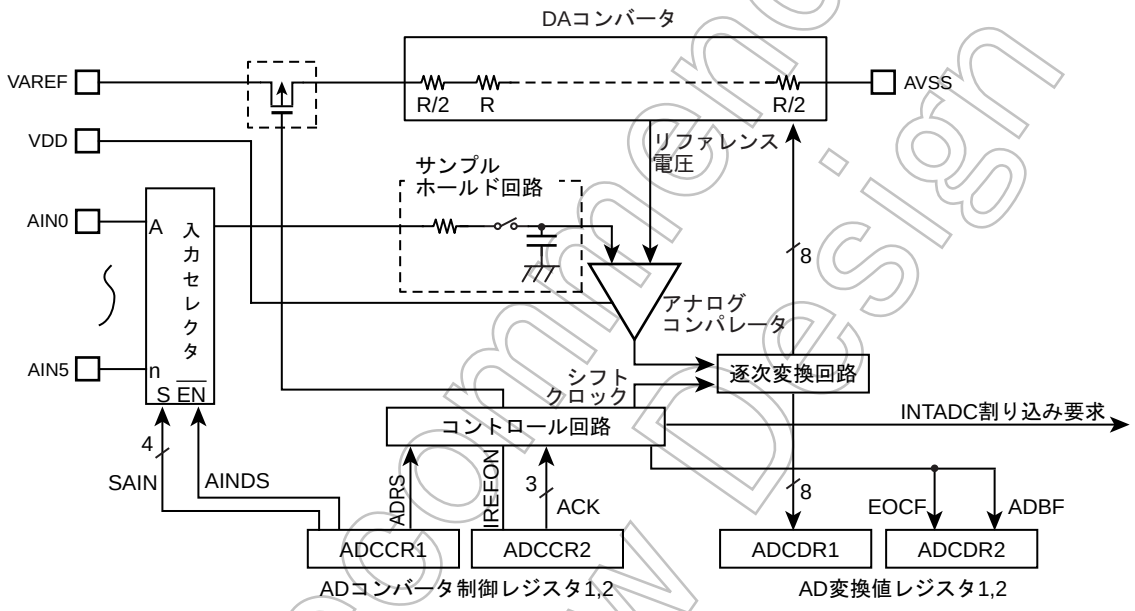


図 15-1 8 ビット AD コンバータ

Not Recommended for New Design

15.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

   AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

   AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

   AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

   AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (000EH)

7	6	5	4	3	2	1	0
ADRS	"0"	"1"	AINDS	SAIN			

(初期値 : 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AINDS	アナログ入力制御	0: アナログ入力イネーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: Reserved 0111: Reserved 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved	

注 1)　アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。

注 2)　アナログ入力チャネルをすべてディゼーブルにする場合は、AINDS を "1" に設定してください。

注 3)　アナログ入力は入出力ポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。またアナログ入力と近接する入出力ポートには AD 変換中、変化の激しい信号を入力しないようにしてください。

注 4)　ADRS は、AD 変換開始後、自動的に "0" にクリアされます。

注 5)　AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。

注 6)　STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

注 7)　ADCCR1 のビット 5 は "1" に、ビット 6 は "0" をかならず設定してください。

Not Recommended for New Design

AD コンバータ制御レジスタ 2

ADCCR2 (000FH)	7	6	5	4	3	2	1	0	
			IREFON	"1"	ACK			"0"	(初期値 : **0* 0000)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表を参照してください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	R/W

注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。

注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。

注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 15-1 ACK 設定と周波数別の変換時間

条件 ACK	変換時間	16MHz	8MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	78/fc	—	—	19.5 μs	39.0 μs	—	15.6 μs	31.2 μs
011	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
110	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
111	Reserved							

注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数

注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VAREF = 2.7 ~ 5.5 V 時 31.2 μs 以上

AD 変換値レジスタ 1

ADCDR1 (0027H)	7	6	5	4	3	2	1	0	
	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00	(初期値 : 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (0026H)	7	6	5	4	3	2	1	0	
			EOCF	ADBF					(初期値 : **00 ****)

Not Recommended for New Design

EOCF	AD 変換終了フラグ	0:　変換前または変換中 1:　変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0:　AD 変換停止中 1:　変換実行中	

注 1)　EOCF は、AD 変換値レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。従って ADCDR2 は ADCDR1 よりも先に読み出してください。

注 2)　ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モード を起動するときにもクリアされます。

注 3)　ADCDR2 に対しリード命令を実行すると、ビット 7, 6, 3~0 は不定値が読み込まれます。

Not Recommended for New Design

15.3 機能

15.3.1 AD コンバータの動作

ADCCR1<ADRS> を“1”に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1) に格納し、ADCDR2<EOCF> に“1”をセットするとともに INTADC 割り込み要求 を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> によって変換が終了したことを確認後、あるいは INTADC 割り込み要求の発生後 (割り込みルーチンなど) に行ってください。

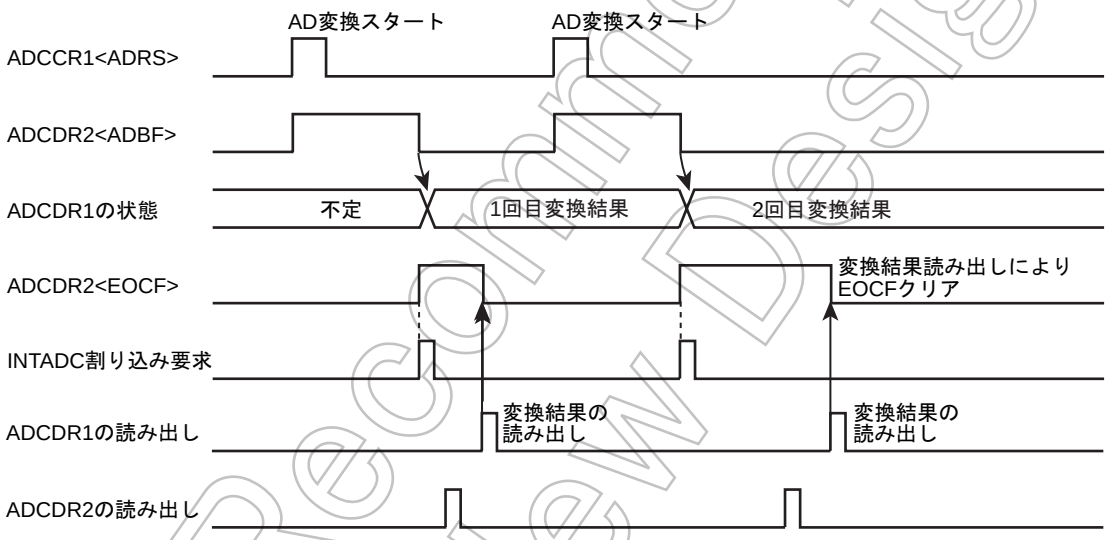


図 15-2　AD コンバータの動作

15.3.2 レジスタの設定

1. AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
   - AD 入力チャネル選択 (SAIN) により AD 変換するチャネルを選択してください。
   - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
2. AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
   - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 を参照してください。
   - DA コンバータの制御 (IREFON) を選択してください。
3. 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) を“1”に設定してください。
4. AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF) が“1”にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1) に格納されます。また、このとき INTADC 割り込み要求が発生します。

Not Recommended for New Design

5. AD 変換値レジスタ 1 (ADCDR1) から変換結果を読み出すと EOCF は“0”にクリアされます。ただし、AD 変換値レジスタ 1 (ADCDR1) を読み出す前に再変換を行った場合は、EOCF は“0”にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

（プログラム例）変換時間 19.5 μs @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に 8 ビットのデータを格納します。

```
        : ( ポートの設定 )   :                          ; AD コンバータのレジスタを設定する前にポート
        :                    :                           レジスタを適切に設定してください。
        :                    :                           ( 詳細は I/O ポートの章を参照してください )
        LD                   (ADCCR1) ,  00100011B      ; AIN3 を選択
        LD                   (ADCCR2) ,  11011000B      ; 変換時間 (312/fc), 動作モードを選択
        :                    :
        SET                  (ADCCR1) .  7              ; ADRS = 1 (AD 変換開始 )
SLOOP :  TEST                (ADCDR2) .  5              ; EOCF = 1 ?
        JRS                  T, SLOOP
        :
        LD                   A, (ADCDR1)                ; 変換結果の読み出し
        LD                   (9FH), A
```

15.3.3 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードをを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的に切断されるため、アナログ基準電源への電流の流れ込みはありません。

Not Recommended for New Design

15.3.4 入力電圧と変換結果

アナログ入力電圧と AD 変換された 8 ビットデジタル値は図 15-3 のように対応します。

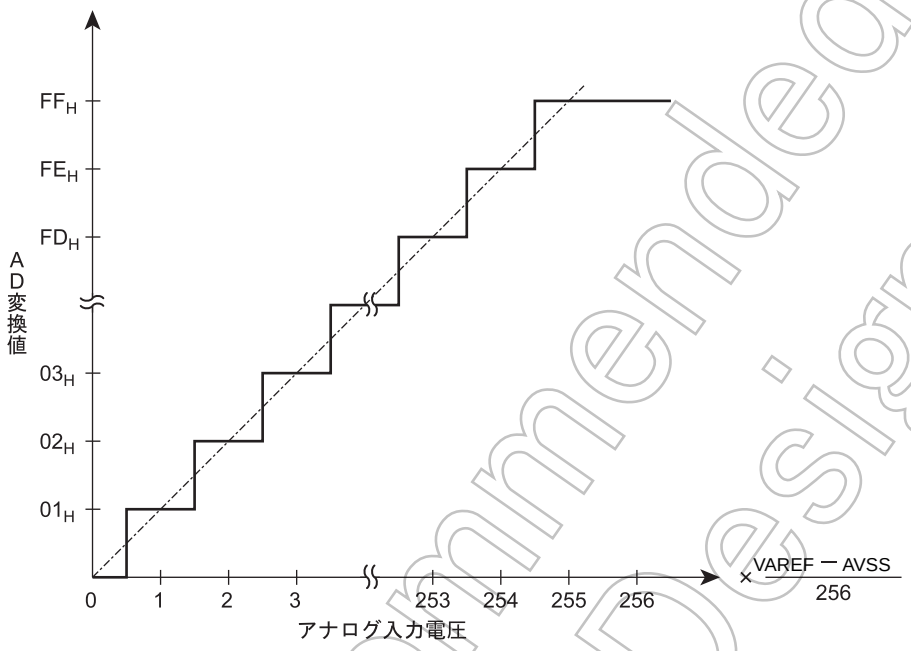


図 15-3　アナログ入力電圧と AD 変換値 (typ.) の関係

Not Recommended for New Design

15.4 AD コンバータの注意事項

15.4.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN5) は、VAREF ~ AVSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

15.4.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN5) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

15.4.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 15-4 ようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは 5 kΩ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

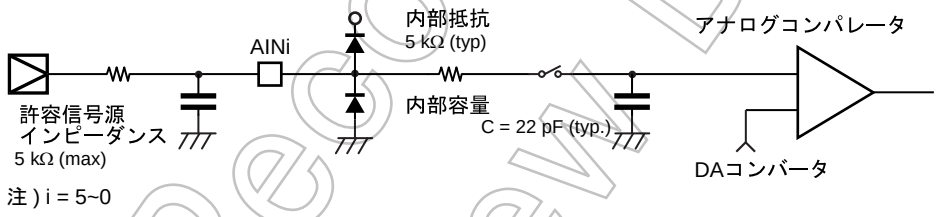


図 15-4　アナログ入力等価回路と入力端子処理例

Not Recommended for New Design

第 16 章 キーオンウェイクアップ (KWU)

TMP86CM72FG は、P20($\overline{INT5}$/$\overline{STOP}$) 端子以外に STOP2 ~ STOP5 の 4 つの端子でも STOP モードの解除が可能です。

STOP2 ～ STOP5 の入力で STOP モードを解除する場合、$\overline{STOP}$ 端子の論理に注意が必要です。詳細については、後述の “ 16.2 制御 ” を参照してください。

16.1 構成

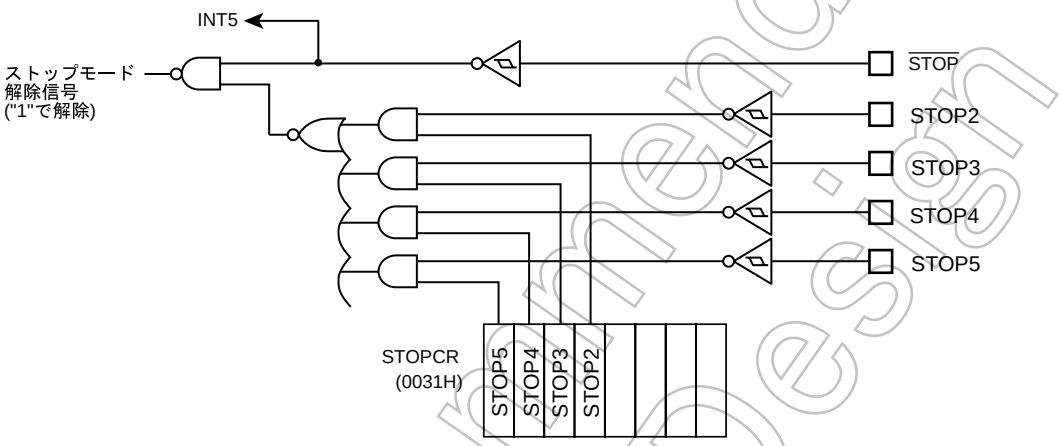


図 16-1 キーオンウェイクアップ回路

16.2 制御

STOP2 ～ STOP5 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可 / 禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ

STOPCR	7	6	5	4	3	2	1	0	
(0031H)	STOP5	STOP4	STOP3	STOP2					(初期値 : 0000 ****)

STOP5	STOP5 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP4	STOP4 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only

16.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP2 ～ STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

Not Recommended for New Design

また、STOP2 ～ STOP5 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが “H” レベルになっていることを確認してください (注 2,3)。

注 1)　STOP モードの解除をエッジ解除モード (SYSCR1<RELM> = “0”) で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2 ～ STOP5 入力をすべて禁止にするか、入力が許可されている STOP2 ～ STOP5 端子を STOP モード中 “H” レベルに固定してください。

注 2)　レベル解除の場合、$\overline{\text{STOP}}$ 端子および STOP2 ～ STOP5 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。

注 3)　キーオンウェイクアップ入力とポート入力は入力回路が別系統となりますので、入力電圧のしきい値がそれぞれ異なります。従って STOP モード起動前にポート入力によって確認した値は、キーオンウェイクアップ入力の検出レベルと異なる場合があります。(図 16-2)

注 4)　$\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP2 ～ STOP5 入力によって STOP モードを解除する場合も、$\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。

注 5)　キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。

注 6)　STOP2 ～ STOP5 入力によって STOP モードを解除する (“L” レベル) 場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず “L” レベルに固定してください。(図 16-3)

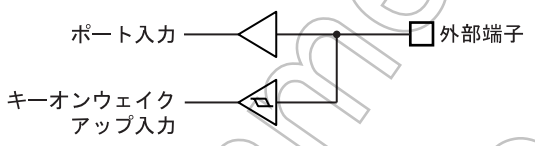


図 16-2　キーオンウェイクアップ入力とポート入力

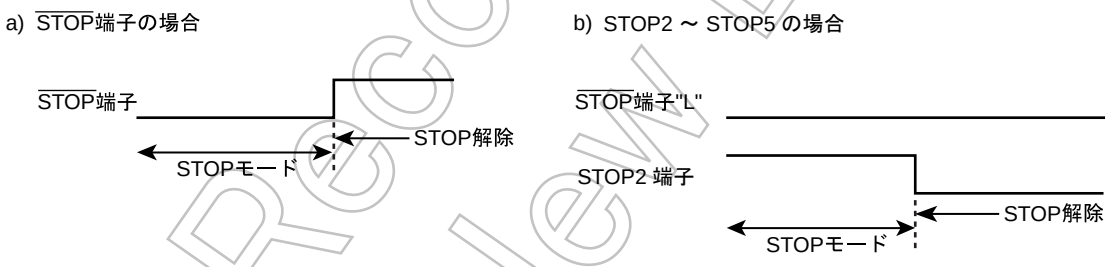


図 16-3　$\overline{\text{STOP}}$ 端子と STOP2 ～ STOP5 端子の優先順位

表 16-1　STOP モードの解除レベル (エッジ)

端子名	解除レベル (エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H" レベル	立ち上がりエッジ
STOP2	"L" レベル	使用禁止 (注 1)
STOP3	"L" レベル	使用禁止 (注 1)
STOP4	"L" レベル	使用禁止 (注 1)
STOP5	"L" レベル	使用禁止 (注 1)

Not Recommended for New Design

第 17 章 蛍光表示管 (VFT) 駆動回路

TMP86CM72FG は、蛍光表示管を直接駆動する高耐圧出力、および表示データを自動的にポートに転送するための表示回路を内蔵しています。また、従来製品の VFT 駆動回路のように、セグメントおよびデジットと言った割り付けをしておりません。表示管の種類およびレイアウトにより指定されたタイミング (T0~T15) の中で、セグメントおよびデジットのレイアウトを自由に行うことが可能です。

17.1 機能

1. TMP86CM72FG は 32 本の高耐圧出力を内蔵しています。

   大電流出力端子 16 本 (V0~V15)

   中電流出力端子 16 本 (V16~V31)

   その他に VFT 駆動用電源として VKK 端子があります。
2. ダイナミック点灯方式による 1~16 桁 (T0~T15) をプログラムにて選択できます。
3. 表示データ (DBR 内の 64 バイト) を VFT 出力ピンへ転送する動作は自動的に行われます。
4. ディマー機能により、7 段階の輝度調整ができます。
5. 表 17-1 に表示時間の設定を示します。

表 17-1 表示時間の設定

SDT1	SDT2	tdisp 時間	16 MHz 時	8 MHz 時	4 MHz 時	2 MHz 時	1 MHz 時
00	0	2^9/fc [s]	32 μs	64 μs	128 μs	256 μs	512 μs
01		2^{10}/fc [s]	64 μs	128 μs	256 μs	512 μs	1024 μs
10		2^{11}/fc [s]	128 μs	256 μs	512 μs	1024 μs	2048 μs
11		2^{12}/fc [s]	256 μs	512 μs	1024 μs	2048 μs	4096 μs
00	1	2^8/fc [s]	16 μs	32 μs	64 μs	128 μs	256 μs
01		2^9/fc [s]	32 μs	64 μs	128 μs	256 μs	512 μs
10		2^{10}/fc [s]	64 μs	128 μs	256 μs	512 μs	1024 μs
11		2^{11}/fc [s]	128 μs	256 μs	512 μs	1024 μs	2048 μs

Not Recommended for New Design

17.2 構成

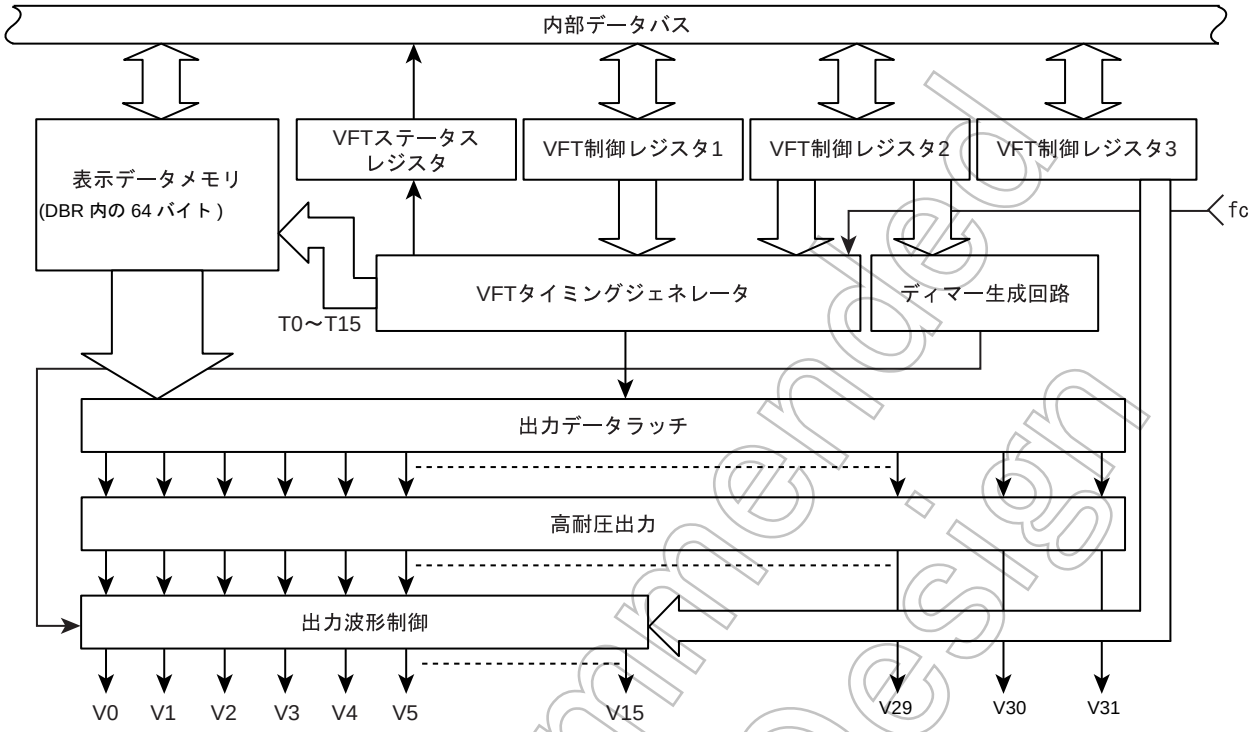


図 17-1 蛍光表示管 (VFT) 駆動回路

Not Recommended for New Design

17.3 制御

VFT 駆動回路は、VFT 制御レジスタ (VFTCR1,VFTCR2,VFTCR3) で制御されます。また、VFT ステータスレジスタ (VFTSR) を読み込むことにより、VFT の動作状態を知ることができます。
NORMAL1, 2 モードから、SLOW または STOP モードに切り替えると、VFT 駆動回路はブランキングとなり (VFT 制御レジスタの設定値は、BLK ビット以外は保持されます)、VFT 出力は “0” となりますので、P6~P9 ポートは入出力ポートとして機能します。

VFT 制御レジスタ 1

VFTCR1	7	6	5	4	3	2	1	0	
(002AH)	BLK	SDT1		"0"					(初期値 : 1000 0000)

BLK	VFT 表示制御	0: 表示イネーブル 1: ブランキング			R/W
SDT1	表示時間 (tdisp) の設定 (1 表示時間の設定)		SDT2 = 0	SDT2 = 1	R/W
		00	2^9/fc	2^8/fc	
		01	2^{10}/fc	2^9/fc	
		10	2^{11}/fc	2^{10}/fc	
		11	2^{12}/fc	2^{11}/fc	

注 1) fc: 高周波クロック [Hz]

注 2) VFT 表示動作中に、表示時間 (SDT1) を変更する場合は、VFTCR1<BLK> を “1” にセットし、一度表示をブランキングにする必要があります。その時 SDT1 の設定を変更しないでください。

注 3) Reserved: アクセスできません。

Not Recommended for New Design

VFT ステータスレジスタ

VFTSR (002DH)

7	6	5	4	3	2	1	0	
WAIT								(初期値 : 1000 0000)

WAIT	VFT 表示動作状態モニタ	0: VFT 表示動作中 1: VFT 表示停止状態	Read only

注 1)　リセット後、VFTSR<WAIT> は “1” (VFT 表示停止状態) に初期化されます。

注 2)　VFT 表示停止状態のとき、VFTCR1<BLK> を “0” (表示イネーブル) にセットすると、VFTSR<WAIT> は次の表示タイミング (tdisp) の先頭から “0” (VFT 表示動作中) にセットされ表示動作を開始します。

注 3)　VFT 表示動作中に、VFTCR1<BLK> を “1” (ブランキング) にセットすると、現在の表示タイミング (tdisp) の出力 が終了後、VFT はブランキング状態となります。その後、VFTSR<WAIT> フラグは、“1” (VFT 表示停止状態) にセットされます。

注 4)　VFT 表示をブランキングにした後、再び表示を行う場合は、VFTSR<WAIT> = “1” になっていることを確認した後、表示イネーブルの設定をする必要があります。

VFT 制御レジスタ 2

VFTCR2 (002BH)

7	6	5	4	3	2	1	0	
DIM			STA					(初期値 : 0010 0000)

DIM	ディマー時間の設定	000: Reserved 001: (14/16) × tdisp (s) 010: (12/16) × tdisp (s) 011: (10/16) × tdisp (s) 100: (8/16) × tdisp (s) 101: (6/16) × tdisp (s) 110: (4/16) × tdisp (s) 111: (2/16) × tdisp (s)	R/W
STA	表示桁数 (ステート) の設定	00000: 1 桁表示モード (T0 を発生) 00001: 2 桁表示モード (T1~T0 を発生) 00010: 3 桁表示モード (T2~T0 を発生) 00011: 4 桁表示モード (T3~T0 を発生) 00100: 5 桁表示モード (T4~T0 を発生) 00101: 6 桁表示モード (T5~T0 を発生) 00110: 7 桁表示モード (T6~T0 を発生) 00111: 8 桁表示モード (T7~T0 を発生) 01000: 9 桁表示モード (T8~T0 を発生) 01001: 10 桁表示モード (T9~T0 を発生) 01010: 11 桁表示モード (T10~T0 を発生) 01011: 12 桁表示モード (T11~T0 を発生) 01100: 13 桁表示モード (T12~T0 を発生) 01101: 14 桁表示モード (T13~T0 を発生) 01110: 15 桁表示モード (T14~T0 を発生) 01111: 16 桁表示モード (T15~T0 を発生) その他 : Reserved	

注)　表示桁数の設定 (STA) だけではデジットに相当する端子の出力は行いません。
表示タイミング (T0~T15) に合わせてデジットに相当するデータバッファにデータを書き込む必要があります。

Not Recommended for New Design

VFT 制御レジスタ 3

VFTCR3 (002CH)

7	6	5	4	3	2	1	0	
OWSEL					-	HVTR0	SDT2	(初期値 : 0000 0000)

SDT2	基本タイミングデバイダ切り替え		SDT1 = “00”	SDT1 = “01”	SDT1 = “10”	SDT1 = “11”	R/W
		0	2^9/fc [s]	2^{10}/fc [s]	2^{11}/fc [s]	2^{12}/fc [s]	
		1	2^8/fc [s]	2^9/fc [s]	2^{10}/fc [s]	2^{11}/fc [s]	
HVTR0	P6~P9 ポートの Tr 時間切り替え	0	Tr 時間通常モード typ. 150 ns (VDD = 3 V, Vkk = –35 V)				R/W
		1	Tr 時間遅延モード typ. 3 μs (VDD = 3 V, Vkk = –35 V)				
OWSEL	出力波形選択		GRID 出力 (デイマー有効)		SEG 出力		R/W
		00000	P60		P61~P97		
		00001	P60~P61		P62~P97		
		00010	P60~P62		P63~P97		
		00011	P60~P63		P64~P97		
		00100	P60~P64		P65~P97		
		00101	P60~P65		P66~P97		
		00110	P60~P66		P67~P97		
		00111	P60~P67		P70~P97		
		01000	P60~P70		P71~P97		
		01001	P60~P71		P72~P97		
		01010	P60~P72		P73~P97		
		01011	P60~P73		P74~P97		
		01100	P60~P74		P75~P97		
		01101	P60~P75		P76~P97		
		01110	P60~P76		P77~P97		
		01111	P60~P77		P80~P97		
		10000	Reserved		Reserved		
		:	:		:		
		11111	Reserved		Reserved		

注 1) 時間遅延モードは、Tr 時間を遅らせることにより、セット上の VFT ポートノイズを抑えることが可能です。また、同モードでは Tf も遅延します。セットでの外部容量を考慮した表示時間、ディマー値の設定を行わないと、グリッドとセグメントの切り替わりが重なり、表示管が表示漏れを起こす場合がありますので、実際のセットでの確認をお願いいたします。

Not Recommended for New Design

17.3.1 表示モードの設定

VFT 表示モードの設定は、VFT 制御レジスタ 1 (VFTCR1) にて 1 表示時間 (tdisp)、および表示本数 (VSEL) の設定、VFT 制御レジスタ 2 (VFTCR2) にてディマー時間 (DIM) 、および表示桁 (STA) の設定を行います (この場合 VFTCR1<BLK> が “1” の状態で行ってください)。

すでに表示中にディマー時間 (DIM) の設定を変更する場合は、VFTCR1<BLK> の状態が “0” のときも変更可能です。

17.3.2 表示データの設定

データを VFT 表示データに変換する処理は命令で行います。変換後、表示データバッファ (DBR の 0F80H~0FBFH 番地) に格納されたデータは自動的に転送され、VFT 出力 (V0~V31) に出力されます。従って、表示パターンの変更は表示データバッファのデータを変更するのみで可能です。VFT 出力端子と表示データ領域の各ビットには一対一の対応があり、表示パターンに割り付けられた各セグメント、およびデジット端子に対応するデータが双方 “1” のとき点灯します。なお、表示データバッファは、図 17-2 に示す DBR 領域に設けられています (表示データバッファは、通常のデータメモリとして使用できません)。

ビット	0 ～ 7	0 ～ 7	0 ～ 7	0 ～ 7	タイミング
	0F80	0F90	0FA0	0FB0	T0
	0F81	0F91	0FA1	0FB1	T1
	0F82	0F92	0FA2	0FB2	T2
	0F83	0F93	0FA3	0FB3	T3
	0F84	0F94	0FA4	0FB4	T4
	0F85	0F95	0FA5	0FB5	T5
	0F86	0F96	0FA6	0FB6	T6
	0F87	0F97	0FA7	0FB7	T7
	0F88	0F98	0FA8	0FB8	T8
	0F89	0F99	0FA9	0FB9	T9
	0F8A	0F9A	0FAA	0FBA	T10
	0F8B	0F9B	0FAB	0FBB	T11
	0F8C	0F9C	0FAC	0FBC	T12
	0F8D	0F9D	0FAD	0FBD	T13
	0F8E	0F9E	0FAE	0FBE	T14
	0F8F	0F9F	0FAF	0FBF	T15
出力端子	V0 ～ V7	V8 ～ V15	V16 ～ V23	V24 ～ V31	

図 17-2 VFT 表示データバッファメモリ（DBR）

注) データメモリの内容は、電源投入時不定になります。

Not Recommended for New Design

17.4 表示動作

使用する蛍光表示管に合わせ、デジット本数分の表示タイミングを設定し、各タイミングに合わせたセグメントおよびデジットのデータを格納後、VFTCR1<BLK> を “0” にクリアすることにより、VFT 表示が開始されます。

図 17-3 に VFT の駆動波形を、図 17-4, 図 17-5 に表示動作例を示します。

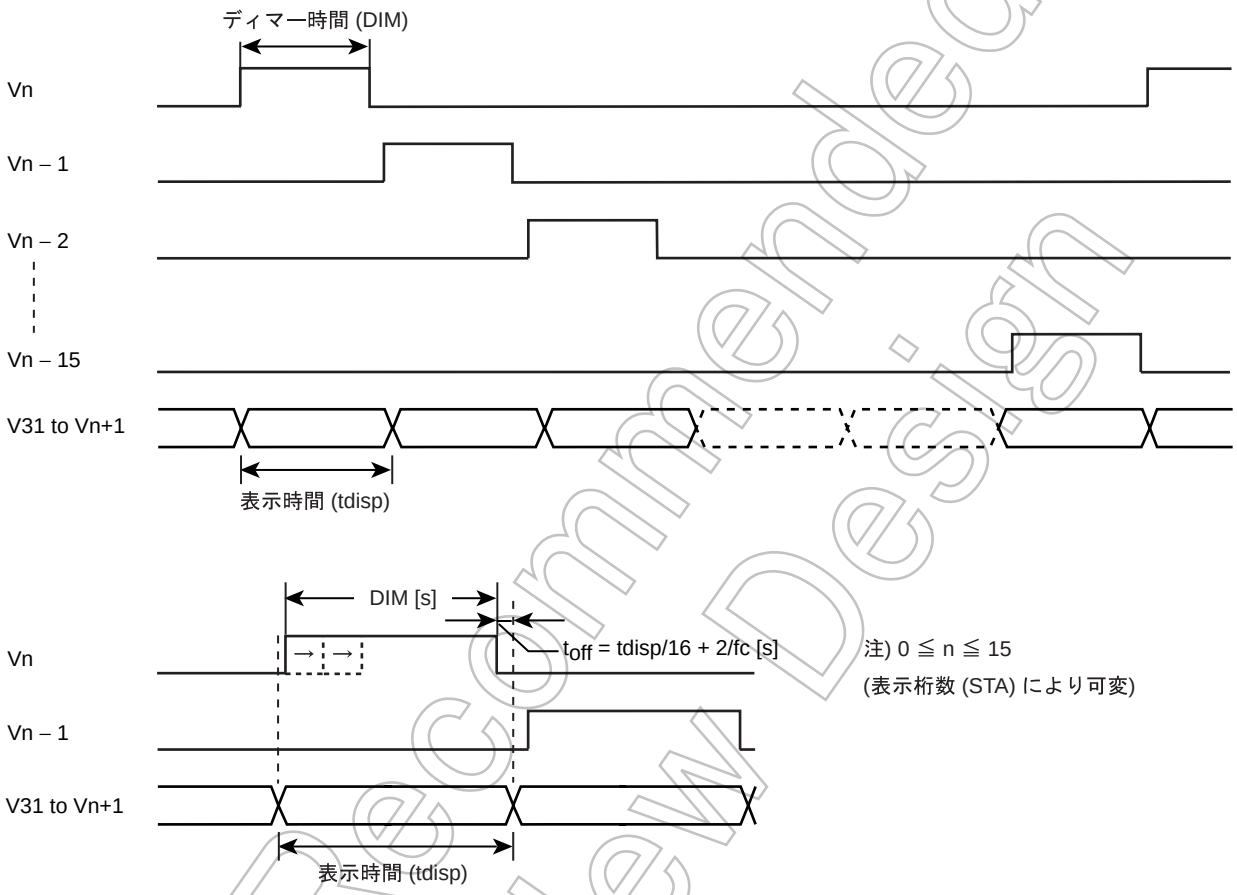


図 17-3 VFT の駆動波形および表示タイミング

Not Recommended for New Design

17.5 表示動作例

17.5.1 コンベンショナルタイプ蛍光表示管の場合

コンベンショナルタイプの蛍光表示管をご使用の場合、デジットの出力タイミングは、1 タイミングに対し 1 デジット出力となりますので、デジットに指定した端子にシーケンシャルに出力されるようデータの設定を行ってください。下記に 10 デジットの蛍光表示管を使用し、V0~V9 端子をデジット出力として割り付けた場合の、表示データバッファ (DBR) のデータ割り付けとその際の出力タイミングを示します (この場合デジット端子に相当するデータバッファでのデータ書き込みは、最初に設定して頂ければ、その後は書き替えの必要がありません)。

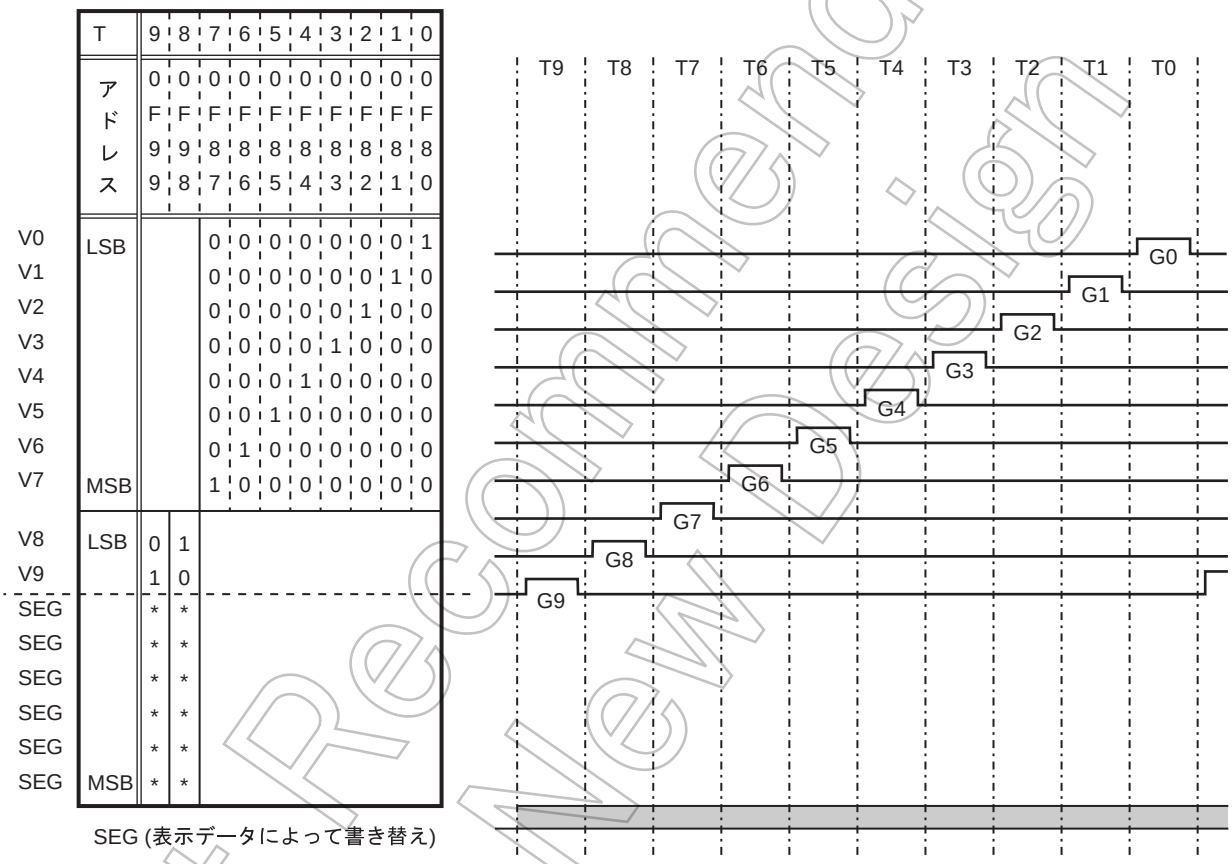


図 17-4 コンベンショナルタイプ蛍光表示管駆動波形例

Not Recommended for New Design

17.5.2 グリッドスキャンタイプ蛍光表示管の場合

グリッドスキャンタイプの蛍光表示管の場合、複数のグリッドにまたがった表示パタンを点灯するために、その複数のグリッドを同時に選択する必要があります。その場合、下記のようなグリッドスキャンモードとなるように、タイミングとデータを設定していただくことによって駆動できます。

- 各グリッド内に完全に納まっているパターンを点灯する場合、従来どおりの対応するグリッドのみを順次スキャンして点灯します (下記 T8~T3 のタイミング)。
- 複数のグリッドにまたがった表示パタンを点灯する場合、対応する複数のグリッドを同時に選択し、点灯させます (下記 T2~T0 のタイミング)。

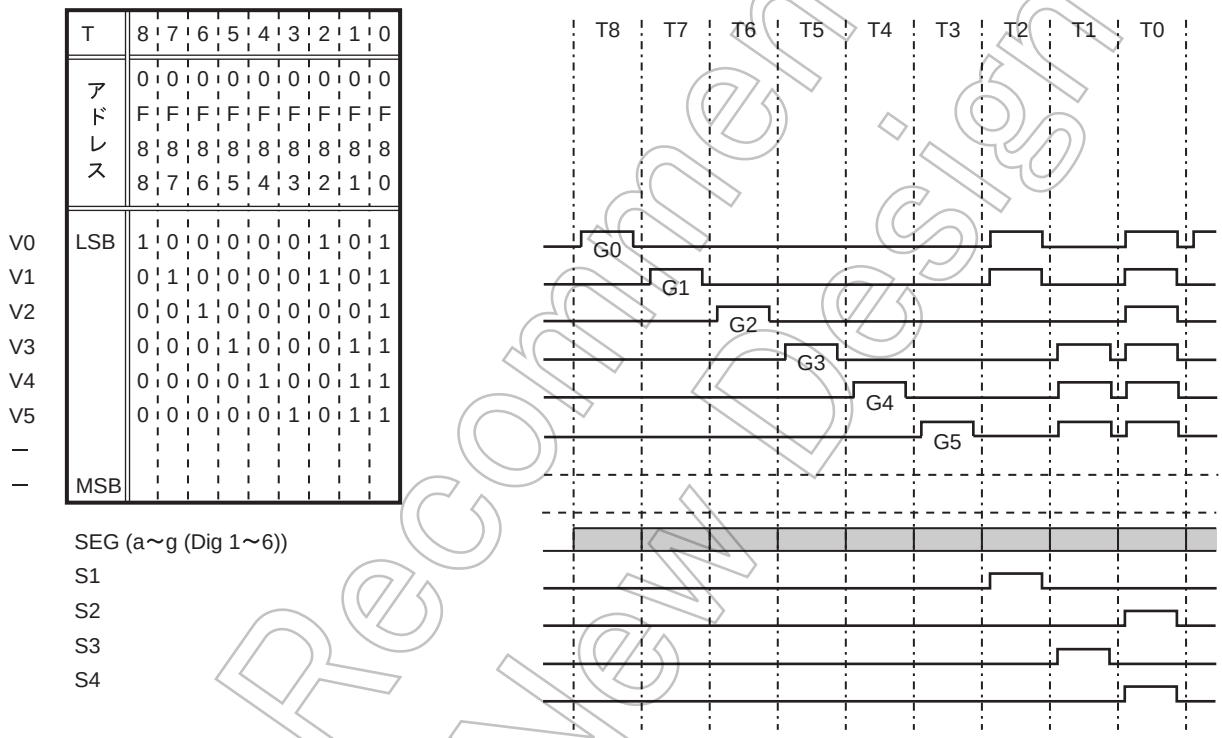


図 17-5 グリッドスキャンタイプ蛍光表示管駆動波形例

Not Recommended for New Design

17.6 ポート機能

17.6.1 高耐圧ポート

蛍光表示管を駆動させる場合は、ポート出力ラッチを “0” にクリアします。ポート出力ラッチは、リセット時 “0” に初期化されます。

通常の入出力端子として用いる場合は、以下の注意が必要です。

注) VKK 端子へプルダウン (R_K = typ. 80 kΩ) されている端子を使用しない場合は開放にし、ポート出力ラッチ、および相当するデータバッファメモリ (DBR) を “0” にクリアする必要があります。

17.6.1.1 P6~P9 ポート

P6~P9 の一部を入出力端子として使用する場合 (蛍光表示管駆動回路動作時)、入出力端子として使用する端子に兼用されているセグメントのデータバッファメモリ (DBR) を、“0” にクリアする必要があります。

17.6.2 注意事項

VKK 端子へプルダウンされている端子を通常の出力または入力として使用する場合については、下記の点にご注意ください。

17.6.2.1 出力時

“L” レベルを出力する際、ポートは、VKK 端子電圧となります。従って、外部回路に VKK 端子電圧が印加されるのを防ぐため、図 17-6 (a) のようにダイオードでクランプするなどの処理が必要です。

17.6.2.2 入力時

外部データを入力する場合、ポート出力ラッチを “0” にクリアします。

入力しきい値は、他の通常入出力ポートと同一ですが、VKK 端子へプルダウンされていますので、R_K (typ. 80 kΩ) を十分にドライブする必要があります。

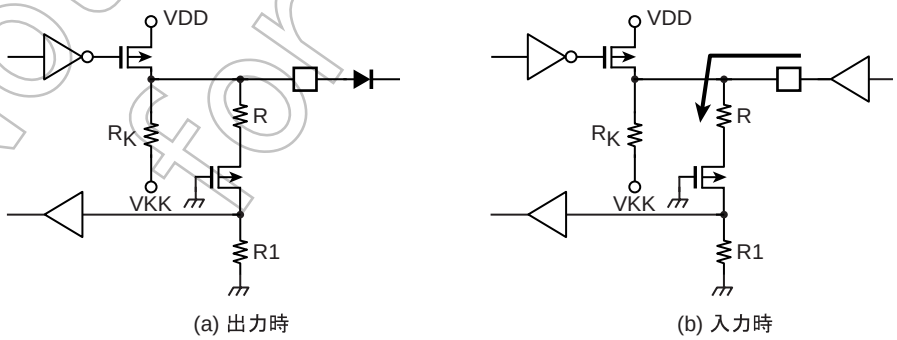


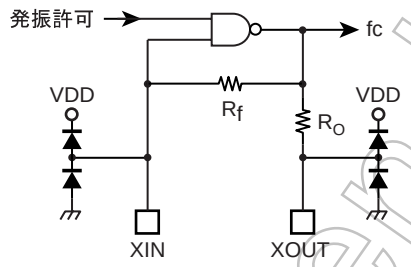
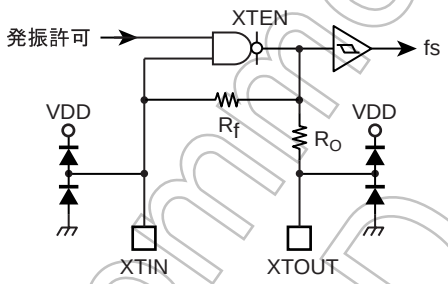
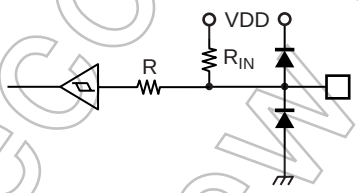
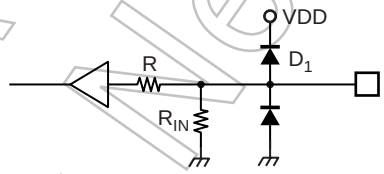
図 17-6 外部回路と入出力

Not Recommended for New Design

第 18 章 端子の入出力回路

18.1 制御端子

TMP86CM72FG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 R_f = 1.2 MΩ (typ.) R_O = 500 Ω (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 R_f = 6 MΩ (typ.) R_O = 220 kΩ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 R_{IN} = 220 kΩ (typ.) R = 1 kΩ (typ.)
TEST	入力		プルダウン抵抗内蔵 R_{IN} = 70 kΩ (typ.) R = 1 kΩ (typ.)

注） TMP86PM72 の TEST 端子には、プルダウン抵抗 (R_{IN}) と保護ダイオード (D_1) は内蔵されていません。MCU モードでは、必ず “L” レベルに固定してください。

Not Recommended for New Design

18.2 入出力ポート

ポート	入出力	回路	備考
P1	入出力	初期値 "High-Z" VDD Pch 制御 データ出力 端子入力	プログラマブル オープンドレイン出力 ヒステリシス入力
P2	入出力	初期値 "High-Z" VDD データ出力 端子入力	シンクオープンドレイン出力 ヒステリシス入力
P4 (P40, P41)	入出力	初期値 "High-Z" VDD Pch 制御 データ出力 端子入力	トライステート入出力 プログラマブルオープンドレイン 出力 (“L” 出力大電流) ヒステリシス入力
P4 (P42~P47)	入出力	初期値 "High-Z" VDD データ出力 禁止 端子入力	トライステート入出力 ヒステリシス入力
P5	入出力	初期値 "High-Z" VDD データ出力 禁止 端子入力	トライステート入出力 ヒステリシス入力

Not Recommended for New Design

ポート	入出力	回路	備考
P6 P7	入出力	初期値 "High-Z" VDD R_K VKK R1	ソースオープンドレイン出力 高耐圧 (大電流) R_K = 80 kΩ (typ.) R1 = 200 kΩ (typ.)
P8 P9	入出力	初期値 "High-Z" VDD R_K VKK R1	ソースオープンドレイン出力 高耐圧 (中電流) R_K = 80 kΩ (typ.) R1 = 200 kΩ (typ.)

Not Recommended for New Design

Not Recommended for New Design

第 19 章 電気的特性

19.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 V)

項目		記号	端子	規格	単位
電源電圧		V_{DD}		–0.3~6.5	V
入力電圧		V_{IN}		–0.3~V_{DD} + 0.3	V
出力電圧		V_{OUT1}		–0.3~V_{DD} + 0.3	V
		V_{OUT2}	シンクオープンドレインポート	V_{DD} –41~V_{DD} + 0.3	V
出力電流 (1 端子当たりピーク)	IOL	I_{OUT1}	P1, P2, P4 (P43~P47), P5 ポート	5	mA
		I_{OUT2}	P4 (P40, P41) ポート	40	
	IOH	I_{OUT3}	P1, P4, P5 ポート	–3	
		I_{OUT4}	P6, P7 ポート	–30	
		I_{OUT5}	P8, P9 ポート	–20	
出力電流 (全端子総計ピーク)		ΣI_{OUT1}	P1, P2, P4, P5 ポート	120	
		ΣI_{OUT2}	P6, P7, P8, P9 ポート	–120	
消費電力 [Topr = 25°C]		PD		1200	mW
はんだ付け温度 (時間)		Tsld		260 (10 s)	°C
保存温度		Tstg		–55~125	
動作温度		Topr		–30~70	

注 1) すべての V_{DD} 端子は、同じ電圧レベルを保つために外部にて接続してください。

注 2) 消費電力 (PD) は、Ta = 25°C 以上では –11.5 mW/°C にて算出してください。

Not Recommended for New Design

19.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

項目	記号	端子	条件		Min	Max	単位
電源電圧	V_{DD}		fc = 16 MHz	NORMAL1, 2 モード	4.5	5.5	V
				IDLE1, 2 モード			
			fc = 8 MHz	NORMAL1, 2 モード	2.7		
				IDLE1, 2 モード			
			fs = 32.768 kHz	SLOW モード			
				SLEEP モード			
				STOP モード			
出力電圧	V_{OUT3}	シンクオープンドレイン端子			V_{DD} − 38	V_{DD}	
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く			$V_{DD} \times 0.70$	V_{DD}	
	V_{IH2}	ヒステリシス入力			$V_{DD} \times 0.75$		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く			0	$V_{DD} \times 0.30$	
	V_{IL2}	ヒステリシス入力				$V_{DD} \times 0.25$	
クロック周波数	fc	XIN, XOUT	V_{DD} = 2.7 V~5.5 V		1.0	8.0	MHz
			V_{DD} = 4.5 V~5.5 V			16.0	
	fs	XTIN, XTOUT			30.0	34.0	kHz

Not Recommended for New Design

19.3 消費電力の計算方法

TMP86CM72FG の消費電力 Pmax は、VFT ドライバの損失 (VFT ドライバ出力損失 + プルダウン抵抗 (RK) 損失) が占める割り合いが大きく多セグメントの蛍光表示管を使用する場合、ソフトウエアにより常時点灯するセグメント数を制限するなどして最大消費電力 PD を超えないように注意が必要です。消費電力 Pmax は以下の式で算出できます。

19.3.1 消費電力 Pmax = 動作消費電力 + ノーマル出力ポート損失 + VFT ドライバ損失

1. 動作消費電力 = VDD × IDD
2. ノーマル出力損失 = Σ I_{OUT1} × 0.4
3. VFT ドライバ損失 = VFT ドライバ出力損失 + プルダウン抵抗 (R_K) 損失

例 : Ta = –10°C~50°C の使用条件下において

セグメント出力 = 3 mA、デジット出力 = 12 mA、V_{KK} = –34.5 V の蛍光表示管を使用。

コンベンショナルタイプで、グリッドは同時に 1 本しか使用しない場合 (グリッド数 Y = 1)。

VDD = 5 V ± 10%、fc = 8 MHz、VFT ディマー時間 (DIM) = (14/16) × t_{SEG} 動作の場合、

消費電力 Pmax は、

1. 動作消費電力 : VDD × IDD = 5.5 V × 10 mA = 55 mW
2. ノーマル出力損失 : Σ I_{OUT1} × 0.4 = 60 mA × 0.4 V = 24 mW
3. VFT ドライバ損失 :

   セグメント端子 = 3 mA × 2 V × セグメント数X = 6 mW × X

   グリッド端子 = 12 mA × 2 V × 14/16 (ディマー時間 (DIM)) × グリッド数 Y = 21 mW × Y

   R_K 損失 = $(5.5\ V + 34.5\ V)^2$ / 50 kΩ × (セグメント数 X + グリッド数 Y) = 32 mW × (X + Y)

Pmax = 55 mW + 24 mW + 6 mW × X + 21 mW + 32 mW × (X + Y) = 132 mW + 38 mW × X

となります。

また、Ta = 50°C 時の最大消費電力は、

PD = 1200 mW – (11.5 mW × 25°C) = 912.5 mW

PD > Pmax

912.5 mW > 132 + 38X

SEG < 20.53

となり、この場合は 20 セグメント以下の蛍光表示管なら問題ありませんが、それ以上の蛍光表示管を使用する場合は、ソフトウエアにて常時点灯するセグメント数を 20 セグメント以下に制限する必要があります。

Not Recommended for New Design

19.4 DC 特性

19.4.1 DC 特性 (1) (V_{DD} = 5 V)

[条件] V_{DD} = 5.0 V ± 10%, V_{SS} = A_{VSS} = 0 V, Topr = –30~70°C (Typ.: V_{DD} = 5.0 V, Topr = 25°C, Vin = 5.0 V/0 V)

項目	記号	端子	条件		Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力			–	0.9	–	V
入力電圧	I_{IN1}	TEST	V_{DD} = 5.5 V, V_{IN} = 5.5 V/0 V		–	–	±2	μA
	I_{IN2}	シンクオープンドレイン , トライステートポート						
	I_{IN3}	$\overline{RESET}$, STOP						
入力抵抗	R_{IN}	$\overline{RESET}$ プルアップ			100	220	450	kΩ
プルダウン抵抗 (注 4)	R_K	シンクオープンドレイン	V_{DD} = 5.5 V, V_{KK} = –30 V		50	–	120	kΩ
出力リーク電流	I_{LO1}	シンクオープンドレイン , トライステートポート	V_{DD} = 5.5 V, V_{OUT} = 5.5 V/0 V		–	–	±2	μA
	I_{LO2}	シンクオープンドレイン	V_{DD} = 5.5 V, V_{KK} = –32 V		–	–	±2	
高レベル出力電圧	V_{OH}	トライステートポート	V_{DD} = 4.5 V, I_{OH} = –0.7 mA		4.1	–	–	V
低レベル出力電圧	V_{OL}	XOUT, P40, P41 ポートを除く	V_{DD} = 4.5 V, I_{OL} = 1.6 mA		–	–	0.4	
高レベル出力電流	I_{OH1}	P6, P7 ポート	V_{DD} = 4.5 V, V_{OH} = 2.4 V		–18	–28	–	mA
	I_{OH2}	P8, P9 ポート	V_{DD} = 4.5 V, V_{OH} = 2.4 V		–9	–14	–	
低レベル出力電流	I_{OL}	大電流 (P40, P41 ポート)	V_{DD} = 4.5 V, V_{OL} = 1.0 V		–	30	–	
NORMAL1, 2 モード時電源電流	I_{DD}		fc = 16.0 MHz fs = 32.768 kHz	AD 変換ディセーブル (IREF カット時)	–	12	18	
			fc = 8.0 MHz fs = 32.768 kHz		–	6	9	
IDLE0, 1, 2 モード時電源電流			fc = 16.0 MHz fs = 32.768 kHz		–	6	9	
			fc = 8.0 MHz fs = 32.768 kHz		–	3	4.5	
NORMAL1, 2 モード時電源電流			fc = 16.0 MHz fs = 32.768 kHz	AD 変換イネーブル	–	13	19	
			fc = 8.0 MHz fs = 32.768 kHz		–	7	10	
STOP モード時電源電流			Topr = ~50°C	AD 変換ディセーブル	–	0.5	5	μA
			Topr = ~70°C		–		10	

注 1)　Typ. 値は、条件に指定なき場合 Topr = 25°C, V_{DD} = 5 V 時の値を示します。

注 2)　入力電流 I_{IN1}, I_{IN3}: プルアップまたはプルダウン抵抗による電流を除きます。

注 3)　I_{DD} は、I_{REF} を含みません。

注 4)　Topr = –10~70°C

Not Recommended for New Design

19.4.2 DC 特性 (2) (V_{DD} = 3 V)

[条件] V_{DD} = 3.0 V ± 10%, V_{SS} = A_{VSS} = 0 V, Topr = –30~70°C (Typ.: V_{DD} = 3.0 V, Topr = 25°C, Vin = 3.0 V/0 V)

項目	記号	端子	条件		Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力			–	0.4	–	V
入力電圧	I_{IN1}	TEST	V_{DD} = 3.3 V, V_{IN} = 3.3 V/0 V		–	–	±2	μA
	I_{IN2}	シンクオープンドレイン , トライステートポート						
	I_{IN3}	$\overline{RESET}$, STOP						
入力抵抗	R_{IN}	$\overline{RESET}$ プルアップ			100	220	450	kΩ
プルダウン抵抗 (注 5)	R_K	シンクオープンドレイン	V_{DD} = 3.3 V, V_{KK} = –30 V		45	–	115	
出力リーク電流	I_{LO1}	シンクオープンドレイン , トライステートポート	V_{DD} = 3.3 V, V_{OUT} = 3.3 V/0 V		–	–	±2	μA
	I_{LO2}	シンクオープンドレイン	V_{DD} = 3.3 V, V_{KK} = –32 V		–	–	±2	
高レベル出力電圧	V_{OH}	トライステートポート	V_{DD} = 2.7 V, I_{OH} = –0.6 mA		2.3	–	–	V
低レベル出力電圧	V_{OL}	XOUT, P40, P41 ポートを除く	V_{DD} = 2.7 V, I_{OL} = 0.9 mA		–	–	0.4	
高レベル出力電流	I_{OH1}	P6, P7 ポート	V_{DD} = 2.7 V, V_{OH} = 1.5 V		–5.5	–8	–	mA
	I_{OH2}	P8, P9 ポート	V_{DD} = 2.7 V, V_{OH} = 1.5 V		–3	–4.5	–	
低レベル出力電流	I_{OL}	大電流 (P40, P41 ポート)	V_{DD} = 2.7 V, V_{OL} = 1.0 V		–	6	–	
NORMAL1, 2 モード時電源電流	I_{DD}		fc = 8.0 MHz fs = 32.768 kHz	AD 変換ディセーブル (IREF カット時)	–	3	4.5	
IDLE0, 1, 2 モード時電源電流			fc = 8.0 MHz fs = 32.768 kHz		–	2	2.5	
NORMAL1, 2 モード時電源電流			fc = 8.0 MHz fs = 32.768 kHz	AD 変換イネーブル	–	3.5	5	
SLOW1 モード時電源電流			fs = 32.768 kHz	AD 変換ディセーブル	–	30	60	μA
SLEEP0, 1 モード時電源電流					–	15	30	
STOP モード時電源電流			Topr = ~50°C		–	0.5	5	
			Topr = ~70°C		–		10	

注 1) Typ. 値は、条件に指定なき場合 Topr = 25°C, V_{DD} = 3 V 時の値を示します。

注 2) 入力電流 I_{IN1}, I_{IN3}: プルアップまたはプルダウン抵抗による電流を除きます。

注 3) I_{DD} は、I_{REF} を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 と同等です。

注 5) Topr = –10~70°C

Not Recommended for New Design

19.5 AD 変換特性

(V_{SS} = 0 V, 4.5 V ≦ V_{DD} ≦ 5.5 V, Topr = –30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		V_{DD} – 1.5	–	V_{DD}	V
アナログ基準 GND	A_{VSS}		V_{SS}			
アナログ基準電源電圧範囲	ΔV_{AREF}		3.0	–	–	
アナログ入力電圧範囲	V_{AIN}		0	–	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = V_{AREF} = 5.5 V, V_{SS} = A_{VSS} = 0.0 V	–	0.6	1.0	mA
非直線性誤差		V_{DD} = V_{AREF} = 4.5~5.5 V, V_{SS} = A_{VSS} = 0.0 V	–	–	±1	LSB
ゼロ誤差			–	–	±1	
フルスケール誤差			–	–	±1	
総合誤差			–	–	±2	

(V_{SS} = 0 V, 2.7 V ≦ V_{DD} < 4.5 V, Topr = –30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		V_{DD} – 1.5	–	V_{DD}	V
アナログ基準 GND	A_{VSS}		V_{SS}			
アナログ基準電源電圧範囲	ΔV_{AREF}		2.5	–	–	
アナログ入力電圧範囲	V_{AIN}		0	–	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	V_{DD} = V_{AREF} = 4.5 V, V_{SS} = A_{VSS} = 0.0 V	–	0.5	0.8	mA
非直線性誤差		V_{DD} = V_{AREF} = 2.7~4.5 V, V_{SS} = A_{VSS} = 0.0 V	–	–	±1	LSB
ゼロ誤差			–	–	±1	
フルスケール誤差			–	–	±1	
総合誤差			–	–	±2	

注 1)　総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。
注 2)　変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、レジスタ構成を参照ください。
注 3)　AIN 入力端子への入力電圧は V_{AREF}~V_{SS} 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャネルの変換値にも影響を与えます。
注 4)　アナログ基準電源電圧範囲 : ΔV_{AREF} = V_{AREF} – V_{SS}

Not Recommended for New Design

19.6 AC 特性

(V_{SS} = 0 V, V_{DD} = 4.5~5.5 V, Topr = –30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcyc	NORMAL1, 2 モード時	0.25	–	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	–	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 16 MHz 時	–	31.25	–	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	–	15.26	–	μs
低レベルクロックパルス幅	t_{WSL}					

(V_{SS} = 0 V, V_{DD} = 2.7~4.5 V, Topr = –30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcyc	NORMAL1, 2 モード時	0.5	–	8	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	–	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) fc = 8 MHz 時	–	62.5	–	ns
低レベルクロックパルス幅	t_{WCL}					
高レベルクロックパルス幅	t_{WSH}	外部クロック動作 (XTIN 入力) fs = 32.768 kHz 時	–	15.26	–	μs
低レベルクロックパルス幅	t_{WSL}					

Not Recommended for New Design

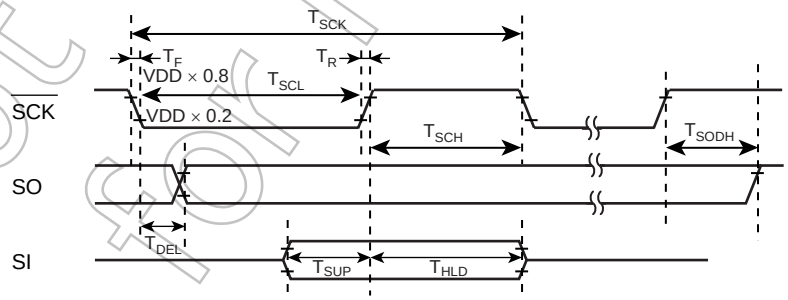
19.7 高速シリアルインタフェース AC 特性

(V_{SS} = 0 V, V_{DD} = 2.7~5.5 V, Topr = –30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
$\overline{SCK}$ 出力周期 (内部クロック時)	T_{SCK1}	8 MHz < fc ≦ 16 MHz V_{DD} = 4.5 V~5.5 V	16/fc	–	–	s
$\overline{SCK}$ 出力低レベルパルス幅 (内部クロック時)	T_{SCL1}		8/fc – 100 ns	–	–	
$\overline{SCK}$ 出力高レベルパルス幅 (内部クロック時)	T_{SCH1}		8/fc – 100 ns	–	–	
$\overline{SCK}$ 出力周期 (内部クロック時)	T_{SCK2}	4 MHz < fc ≦ 8 MHz V_{DD} = 2.7 V~5.5 V	8/fc	–	–	
$\overline{SCK}$ 出力低レベルパルス幅 (内部クロック時)	T_{SCL2}		4/fc – 100 ns	–	–	
$\overline{SCK}$ 出力高レベルパルス幅 (内部クロック時)	T_{SCH2}		4/fc – 100 ns	–	–	
$\overline{SCK}$ 出力周期 (内部クロック時)	T_{SCK3}	fc ≦ 4 MHz V_{DD} = 2.7 V~5.5 V	4/fc	–	–	
$\overline{SCK}$ 出力低レベルパルス幅 (内部クロック時)	T_{SCL3}		2/fc – 100 ns	–	–	
$\overline{SCK}$ 出力高レベルパルス幅 (内部クロック時)	T_{SCH3}		2/fc – 100 ns	–	–	
$\overline{SCK}$ 入力周期 (外部クロック時)	T_{SCK4}	fc ≦ 8 MHz (V_{DD} = 2.7 V~5.5 V) fc ≦ 16 MHz (V_{DD} = 4.5 V~5.5 V)	800	–	–	ns
$\overline{SCK}$ 入力低レベルパルス幅 (外部クロック時)	T_{SCL4}		300 (注 1)	–	–	
$\overline{SCK}$ 入力高レベルパルス幅 (外部クロック時)	T_{SCH4}		300 (注 1)	–	–	
SI 入力セットアップ時間	T_{SUP}	V_{DD} = 3.0 V, CL ≦ 50 pF (注 2)	150	–	–	
SI 入力ホールド時間	T_{HLD}		150	–	–	
SO 出力遅延時間	T_{DEL}		–	–	200	
立ち上がり時間	T_R		–	–	100	
立ち下がり時間	T_F		–	–	100	
SO 最終ビット保持時間	T_{SODH}		16.5/fc	–	32.5/fc	

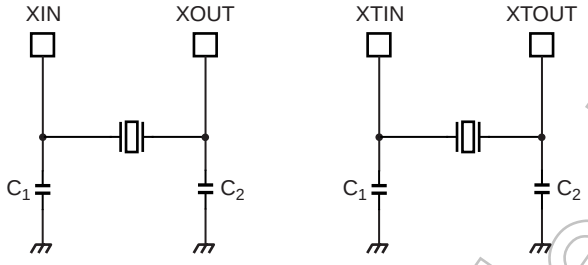
注 1)　T_{SCKL}, T_{SCKH} ≧ 2.5/fc (高周波動作時)、T_{SCKL}, T_{SCKH} ≧ 2.5/fs (低周波動作時)

注 2)　外部容量



Not Recommended for New Design

19.8 推奨発振条件



(1) 高周波発振　　(2) 低周波発振

注 1) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。

注 2) 弊社マイクロコントローラの発振子として、(株) 村田製作所のセラミック発振子を推奨します。
詳細につきましては、下記アドレスの同社ホームページをご参照ください。
http://www.murata.co.jp/

19.9 取り扱い上のご注意

- 鉛フリー品 (G 付製品）へのはんだ濡れ性についての注意事項
  試験項目
  はんだ付け性
  試験条件
  230°C　5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)
  245°C　5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
  備考
  フォーミングまでのはんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電気的にシールドすることを推奨します。

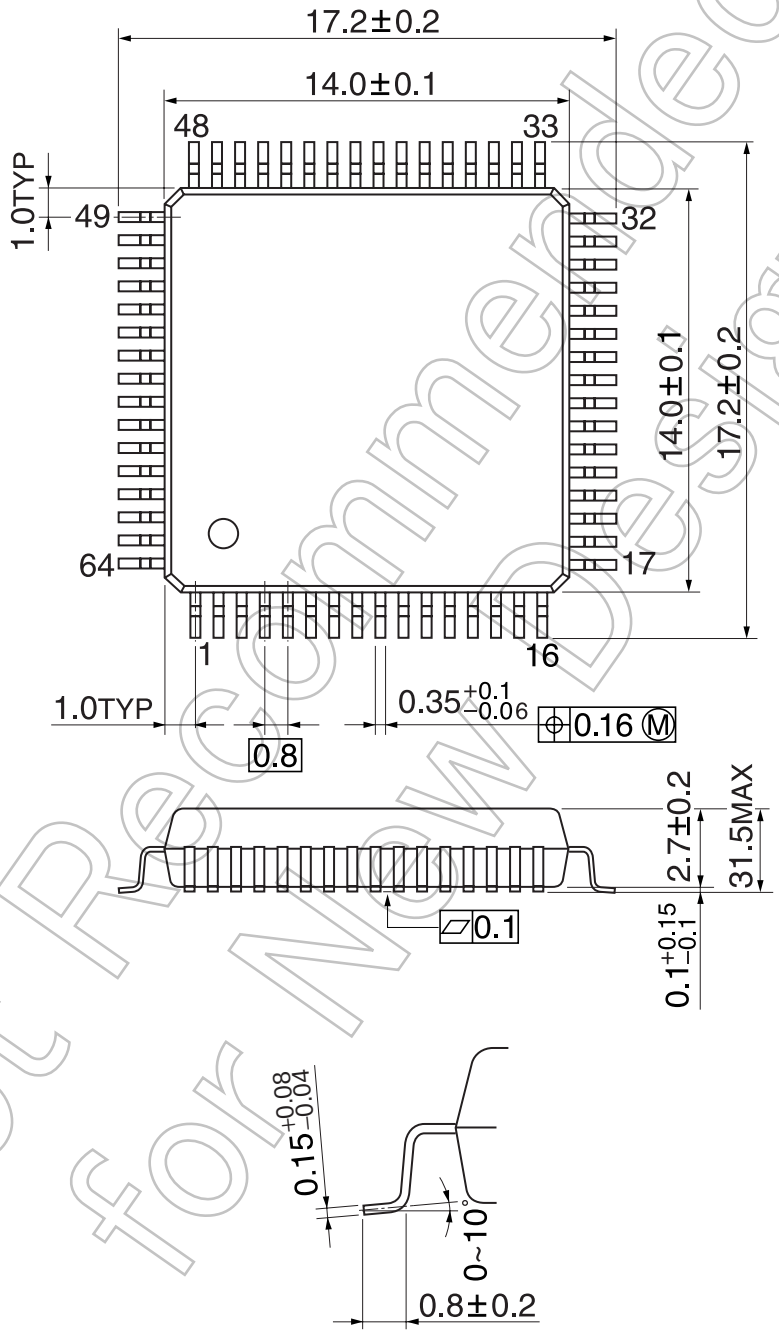
Not Recommended for New Design

Not Recommended for New Design

第 20 章 外形寸法

QFP64-P-1414-0.80C Rev 01

Unit: mm



Not Recommended for New Design

Not Recommended
for New Design

あとがき

この資料はTMP86CM72FGのハードウエア(LSI)を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウエア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウエアを用意しております。

これらの開発ツールはマイコンハードウエア(LSI)の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウエア/ソフトウエアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今のCMOS LSIの製造技術の発展は目覚しいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れたMOS製造技術、特に実績のあるCMOS技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

２００７年１０月４日

Not Recommended for New Design

Not Recommended for New Design

8 ビットマイクロコントローラ

TMP86CM72FG

発行年月日	２００７年 １０月 ４日
発行	株式会社東芝セミコンダクター社
編集	東芝 LSI システムサポート株式会社