

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86FP24

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

改訂履歴

日付	版	改訂理由
2007/8/24	1	First Release
2008/8/29	2	内容改訂

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC設定) には以下の制約があります。"○"の箇所にて使用し、"- "の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] \div TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	-
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	-	-	-
	fc/16	○	○	-	-
	fc/32	○	○	○	-
上記以外		○	○	○	○

Not Recommended for New Designs

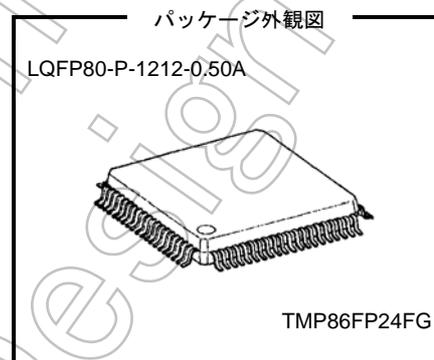
CMOS 8 ビット マイクロコントローラ TMP86FP24FG

TMP86FP24 は TLCS-870/C シリーズコアに ROM, RAM, LCD ドライバ, 多機能タイマカウンタ, 非同期型シリアルインタフェース (UART), 同期型シリアルインタフェース(SIO), 10 ビット AD コンバータおよび 2 系統の発振回路などを内蔵した高速, 高機能 8 ビットシングルチップマイクロコンピュータです。また、TMP86FP24 は内蔵フラッシュメモリへの書き込みを行うための Boot ROM を 2 K バイト内蔵しています。

製品形名	フラッシュメモリ	BOOT ROM	RAM	パッケージ	エミュレーションチップ
TMP86FP24FG	48 K バイト	2.0 K バイト	2.0 K バイト	LQFP80-P-1212-0.50A	TMP86C948XB

特長

- ◆ 8 ビットシングルチップマイクロコンピュータ
TLCS-870/C シリーズ
- ◆ 最小実行時間: 0.25 μ s (16 MHz 動作時)
122 μ s (32.768 kHz 動作時)
- ◆ 基本機械命令: 132 種類 731 命令
- ◆ 割り込み要因 19 要因 (外部: 5, 内部: 14)
- ◆ 入出力ポート (54 端子)
(うち 16 本は SEG 端子と兼用)
- ◆ 16 ビットタイマカウンタ: 2 チャンネル
 - タイマ, イベントカウンタ, パルス幅測定,
外部トリガタイマ, ウィンドウ, PPG 出力モード
- ◆ 8 ビットタイマカウンタ: 2 チャンネル
 - タイマ, イベントカウンタ, PWM (パルス幅変調出力),
PDO (Programmable divider output),
キャプチャモード
- ◆ タイムベースタイマ
- ◆ デバイダ出力機能
- ◆ ウォッチドッグタイマ
 - 割り込みリセット発生の選択 (プログラマブル)



● 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。 021023_A

● 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 "特定用途" という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B

● 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C

● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E

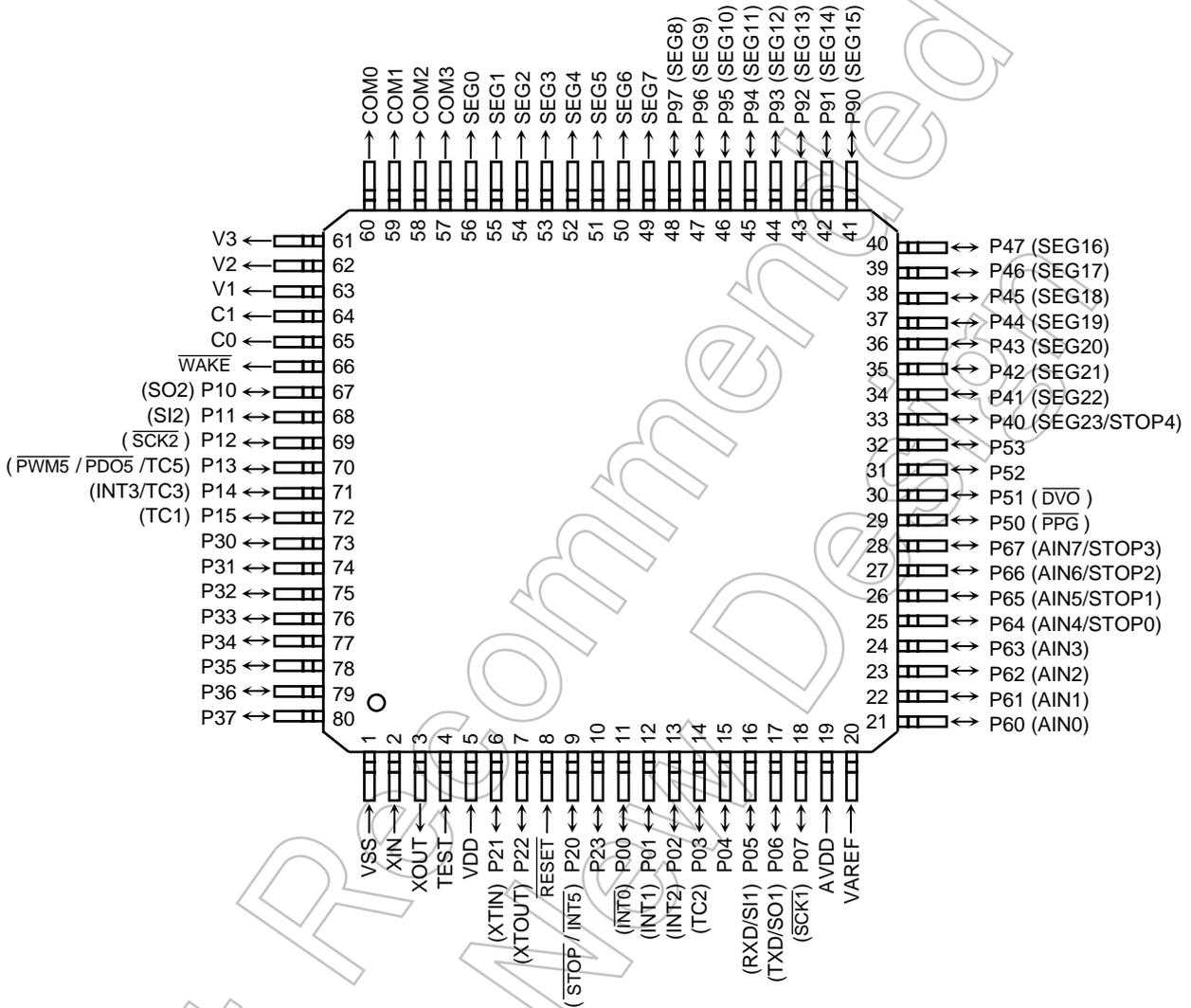
● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。 030519_S

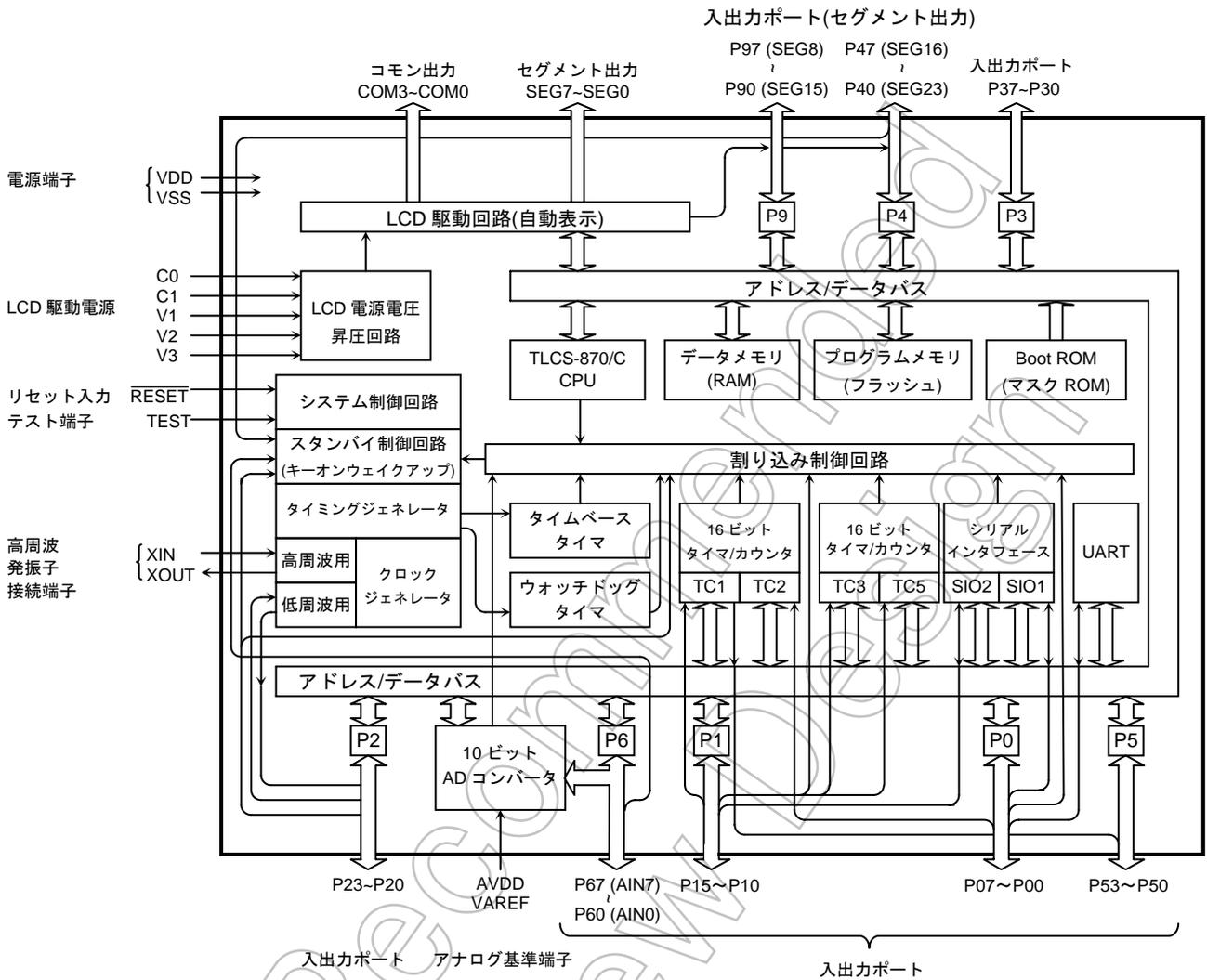
- ◆ シリアルインタフェース
 - UART / SIO: 1 チャンネル
 - SIO: 1 チャンネル
- ◆ ROM 訂正回路
 - レジスタバンク: 4 チャンネル
 - 1 or 2 バイトデータ置換モード
 - アドレスジャンプモード
- ◆ 10 ビット逐次比較方式 AD コンバータ
 - アナログ入力: 8 チャンネル
- ◆ キーオンウェイクアップ: 5 チャンネル
- ◆ クロック発振回路: 2 回路
 - シングル/デュアルクロックモードの選択
- ◆ 低消費電力動作 (9 モード)
 - STOP モード: 発振停止 (バッテリーコンデンサバックアップ)
 - SLOW1 モード: 低周波クロックによる低周波動作 (高周波停止)
 - SLOW2 モード: 低周波クロックによる低周波動作 (高周波発振)
 - IDLE0 モード: CPU 停止。周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - IDLE1 モード: CPU 停止。周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
 - IDLE2 モード: CPU 停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
 - SLEEP0 モード: CPU 停止。周辺ハードウェアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - SLEEP1 モード: CPU 停止。周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
 - SLEEP2 モード: CPU 停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- ◆ 動作電圧: 1.8~3.6V @ 8 MHz/32.768 kHz
2.7~3.6V @ 16 MHz/32.768 kHz

ピン配置図(上面図)

LQFP80-P-1212-0.50A



ブロック図



Not for New

端子機能

TMP86FP24 には MCU モードとシリアル PROM モードがあります。

(1) MCU モード

TEST 端子は “L” に固定してください。

(2) シリアル PROM モード

シリアル PROM モードでは、内蔵 Boot-ROM により内蔵フラッシュメモリへのプログラミングが可能です。詳細は 2.18 「シリアル PROM モード」を参照してください。

Not Recommended
for New Design

端子機能 (1/2)

端子名	入出力	機能	
P07 (SCK1)	入出力 (入出力)	8ビットの入出力ポートです。シリアルインタフェース出力、UART出力として使用する場合は、出力ラッチ (P0DR) を "1" に設定してください。	シリアルクロック入出力 1
P06 (TXD, SO1)	入出力 (出力)		UART データ出力, シリアルデータ出力 1
P05 (RXD, SI1)	入出力 (入力)		UART データ入力, シリアルデータ入力 1
P04	入出力		
P03 (TC2)	入出力 (入力)		タイマカウンタ 2 入力
P02 (INT2)	入出力 (入力)		外部割り込み 2 入力
P01 (INT1)	入出力 (入力)		外部割り込み 1 入力
P00 ($\overline{\text{INT0}}$)	入出力 (入力)		外部割り込み 0 入力
P15 (TC1)	入出力 (入力)	6ビットの入出力ポートです。タイマカウンタ出力、シリアルインタフェース出力として使用する場合は、出力ラッチ (P1DR) を "1" に設定してください。入力ポート、タイマカウンタ入力、外部割り込み入力、シリアルインタフェース入力として使用する場合は、P1DR を "1" に設定した後、出力回路制御 (P1OUTCR) を "0" に設定してください。	タイマカウンタ 1 入力
P14 (TC3, INT3)	入出力 (入力)		タイマカウンタ 3 入力, 外部割り込み 3 入力
P13 ($\overline{\text{PWM5}}$, $\overline{\text{PD05}}$, TC5)	入出力 (入出力)		タイマカウンタ 5 入出力
P12 (SCK2)	入出力 (入出力)		シリアルクロック入出力 2
P11 (SI2)	入出力 (入力)		シリアルデータ入力 2
P10 (SO2)	入出力 (出力)		シリアルデータ出力 2
P23	入出力	4ビットの入出力ポートです。入力ポート、外部割り込み入力として使用する場合は、出力ラッチ (P2DR) を "1" に設定した後、出力回路制御 (P2OUTCR) を "0" に設定してください。	
P22 (XTOUT)	入出力 (出力)		低周波発振子接続端子 (32.768 kHz)
P21 (XTIN)	入出力 (入力)		外部クロック入力の場合、XTIN へ入力し、XTOUT は開放します。
P20 ($\overline{\text{INT5}}$), ($\overline{\text{STOP}}$)	入出力 (入力)		外部割り込み 5 入力, STOP モード解除入力
P37~P30	入出力	8ビットの入出力ポートです(N-ch 大電流)。入力ポートとして使用する場合は、出力ラッチ (P3DR) を "1" に設定した後、出力回路制御(P3OUTCR)を"0"に設定してください。	
P47 (SEG16)~ P41 (SEG22)	入出力 (出力)	7ビットの入出力ポートです。入力ポートとして使用する場合は、LCD 出力制御 (P4LCR) を "0" にした後、出力ラッチ (P4DR) を "1" に設定してください。	LCD セグメント出力
P40 (SEG23, STOP4)	入出力 (入出力)	1ビットの入出力ポートです。入力ポートとして使用する場合は、LCD 出力制御 (P4LCR) を "0" にした後、出力ラッチ (P4DR) を "1" に設定してください。LCD 出力として使用する場合は、STOPCR<STOP4EN>を "0" にした後 P4LCR を "1" に設定してください。キーオンウェイクアップ入力として使用する場合は、STOPCR<STOP4EN>を "1" に設定してください。	LCD セグメント出力 STOP モード解除入力
P53	入出力	4ビットの入出力ポートです (N-ch 大電流)。入力ポートとして使用する場合は、出力ラッチ (P5DR) を "1" に設定した後、出力回路制御(P5OUTCR)を"0"に設定してください。タイマカウンタ 1 出力、デバイダ出力として使用する場合は、P5DR を "1" に設定してください。	
P52	入出力		
P51 ($\overline{\text{DV0}}$)	入出力 (出力)		デバイダ出力
P50 ($\overline{\text{PPG}}$)	入出力 (出力)		タイマカウンタ 1 出力

端子機能 (2/2)

端子名	入出力	機能		
P67 (AIN7, STOP3)	入出力 (入力)	8ビットのプログラマブル入出力ポートです (トライステート)。1ビット単位で入力/出力の設定ができます。 入力ポートとして使用する場合は、入力制御 (P6CR2) を "1" に設定した後、入出力制御 (P6CR1) を "0" に設定してください。 アナログ入力、キーオンウェイクアップ入力として使用する場合は、P6CR2 を "0" に設定した後、P6CR1 を "0" に設定してください。また、キーオンウェイクアップを使用する場合は、STOPCR<STOPIEN>を "1" に設定してください。(i = 0~3)	STOP 3 入力	AD コンバータ アナログ入力
P66 (AIN6, STOP2)	入出力 (入力)		STOP 2 入力	
P65 (AIN5, STOP1)	入出力 (入力)		STOP 1 入力	
P64 (AIN4, STOP0)	入出力 (入力)		STOP 0 入力	
P63 (AIN3)	入出力 (入力)			
P62 (AIN2)	入出力 (入力)			
P61 (AIN1)	入出力 (入力)			
P60 (AIN0)	入出力 (入力)			
P97 (SEG8)~ P90 (SEG15)	入出力 (出力)	8ビットの入出力ポートです。 入力ポートとして使用する場合は、LCD出力制御 (P9LCR) を "0" にした後、出力ラッチ (P9DR) を "1" に設定してください。	LCD セグメント出力	
SEG7~SEG0	出力	LCD セグメント出力		
COM3~COM0	出力	LCD コモン出力		
V3~V1	LCD 駆動用 昇圧端子	LCD ドライバ昇圧用コンデンサ接続端子		
C1~C0		コンデンサは C0~C1 間、V1/V2/V3~GND 間に接続してください。		
WAKE	出力	ストップモードモニタ出力。CPU 動作中は "L" が出力され、リセット中および STOP モード中はハイインピーダンス状態となります。		
XIN, XOUT	入力, 出力	高周波発振子接続端子。 外部クロックを入力する場合は、XIN 端子へ入力し、XOUT は開放してください。		
RESET	入力	リセット信号入力		
TEST	入力	出荷試験用端子。"L" レベルに固定してください。		
VDD, VSS	電源	電源端子		
VAREF		AD コンバータ用アナログ基準端子		
AVDD		AD コンバータ用電源端子		

動作説明

1. CPU コア機能

CPU コアは、CPU、システムクロック制御回路、割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPU コア、プログラムメモリ、データメモリ、およびリセット回路について説明します。

1.1 メモリアドレスマップ

TMP86FP24 のメモリは、フラッシュ、BOOT、RAM、SFR (スペシャルファンクションレジスタ)、DBR (データバッファレジスタ) の 5 つのブロックで構成され、それらは 1 つの 64 K バイトアドレス空間上にマッピングされています。図 1.1.1 に TMP86FP24 のメモリアドレスマップを示します。

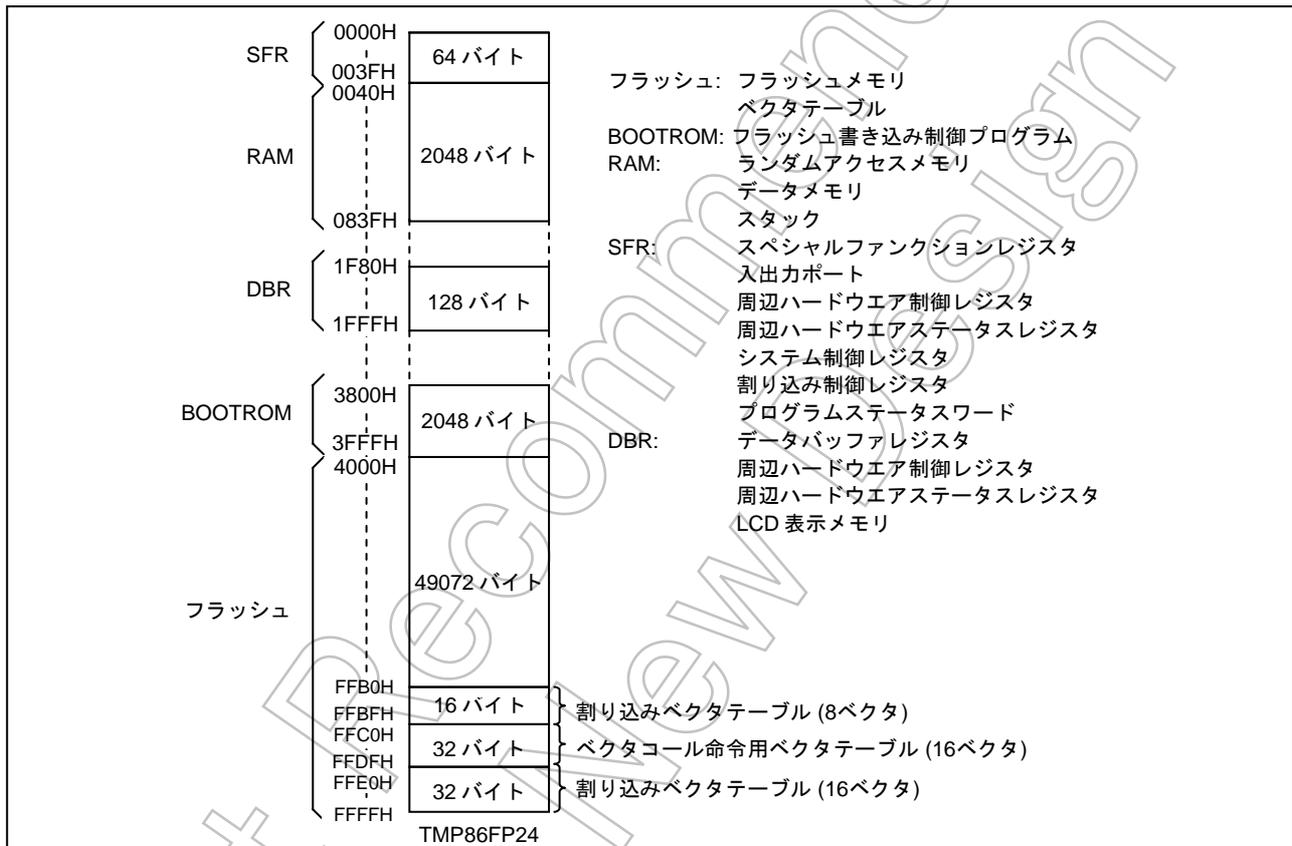


図1.1.1 メモリアドレスマップ

1.2 プログラムメモリ (フラッシュ)

TMP86FP24 は 48 K バイト (アドレス 4000H ~ FFFFH) のプログラムメモリ (フラッシュ) を内蔵しています。

1.3 データメモリ (RAM)

TMP86FP24 は、2 K バイト (アドレス 0040H~083FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例: 内蔵 RAM の全領域を "00H" にクリア

	LD	HL, 0040H	:	スタートアドレスの設定
	LD	A, H	:	初期化データ (00H) の設定
	LD	BC, 07FFH	:	バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A		
	INC	HL		
	DEC	BC		
	JRS	F, SRAMCLR		

Not Recommended
for New Design

1.4 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

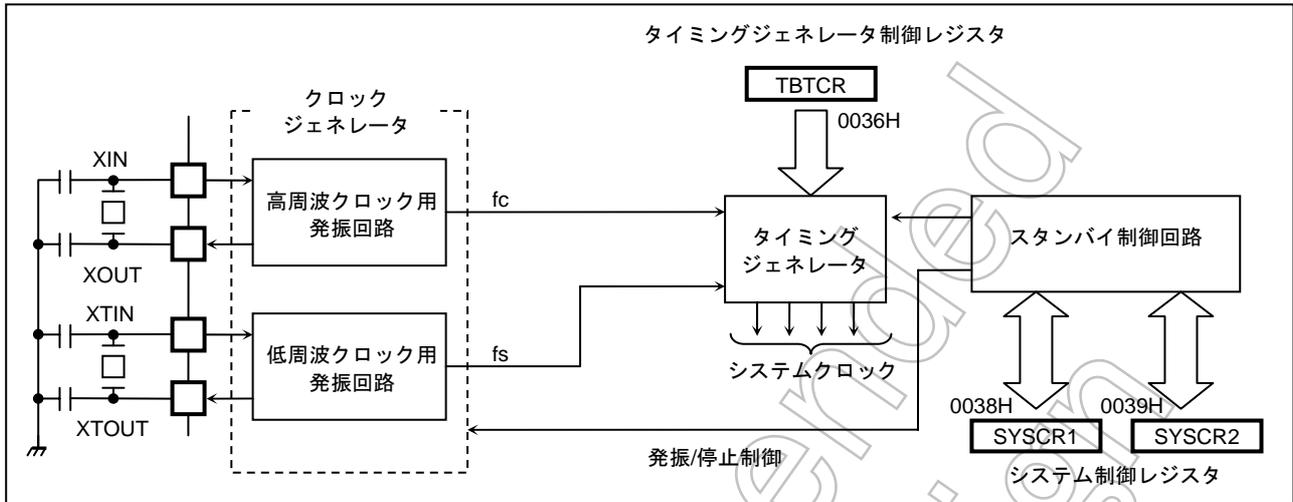


図1.4.1 システムクロック制御回路

1.4.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 f_c)、低周波クロック (周波数 f_s) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

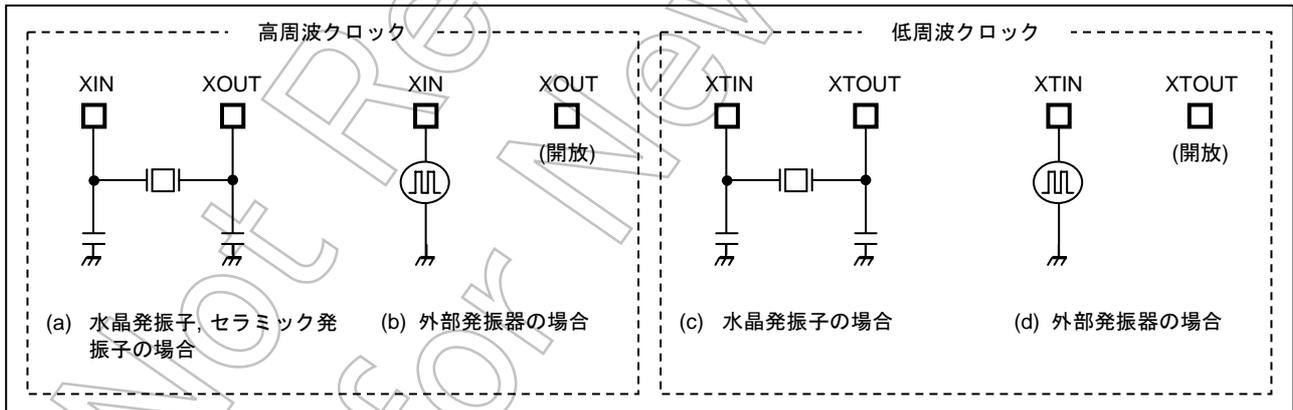


図1.4.2 発振子の接続例

注) 基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態, ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

1.4.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コア および 周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

- a. メインシステムクロックの生成
- b. デバイダ出力 (\overline{DVO}) パルス生成
- c. タイムベースタイマのソースクロック生成
- d. ウォッチドッグタイマのソースクロック生成
- e. タイマカウンタなどの内部ソースクロック生成
- f. STOP モード解除時のウォームアップクロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは動作モード、TBTCR<DV7CK> により図 1.4.4 のようになります。なお、リセット時および STOP モード起動/解除時プリスケアラおよびデバイダは“0”にクリアされます。

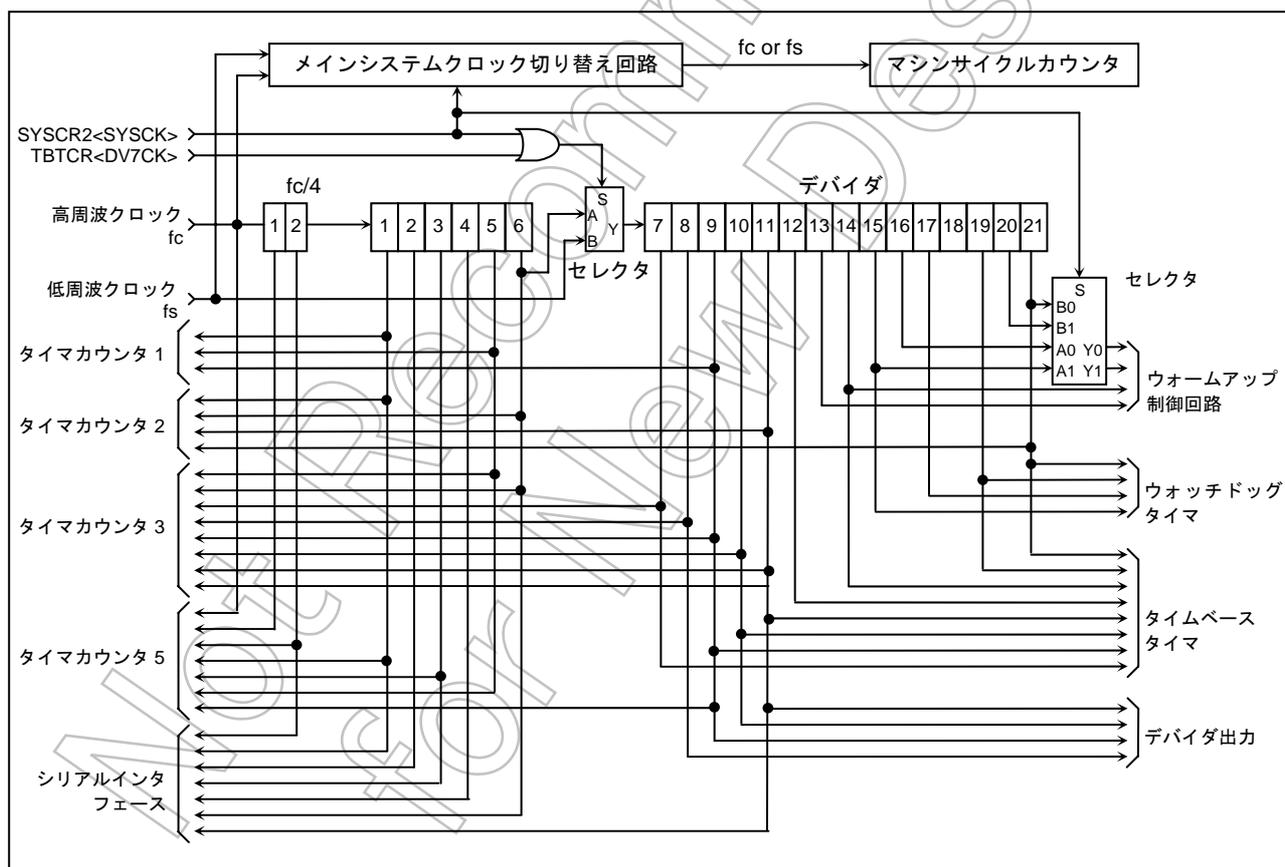


図1.4.3 タイミングジェネレータの構成

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DVOEN)	(DVOCCK)	DV7CK	(TBTEN)		(TBTCCK)			
DV7CK	デバイダの7段目への 入力クロックの選択		0: $fc/2^8$ [Hz] 1: fs		R/W				

注1) シングルクロックモード時は、DV7CKを“1”セットしないでください。
 注2) 低周波クロックの発振安定前に DV7CK を“1”にセットしないでください。
 注3) fc : 高周波クロック [Hz]、 fs : 低周波クロック [Hz]、*: Don't care
 注4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ7段目には fs が入力されます。
 注5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォームアップ中は DV7CK の設定にかかわらず、デバイダ7段目にはデバイダ6段目の出力が入力されます。

図1.4.4 タイミングジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/Cシリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

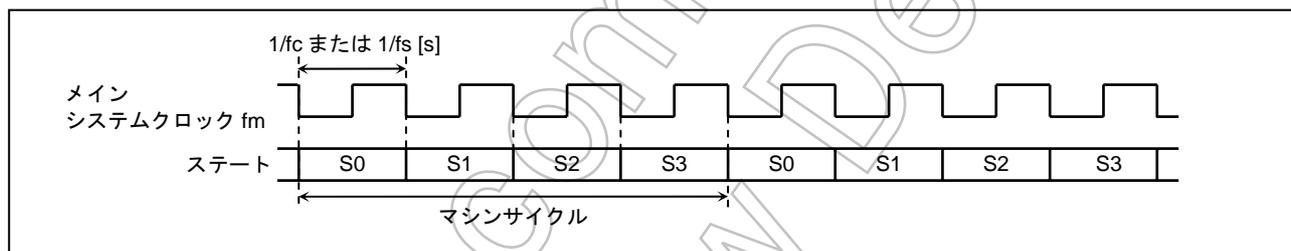


図1.4.5 マシンサイクル

1.4.3 動作モード制御回路

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 1.4.6に動作モード遷移図を、図 1.4.7に制御レジスタを示します。

(1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/f_c$ [s] となります。

a. NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

TMP86FP24 はリセット後、NORMAL1 モードになります。

b. IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を “1” にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) のときは、割り込み処理が行われた後、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) のときは、IDLE1 モードを起動した命令の次の命令から実行再開します。

c. IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2 の TGHALT ビットに “1” をセットすることにより起動します。IDLE0 モードを起動すると CPU が停止し、タイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBT<TBTEN>によって設定されたソースクロックの立ち上がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBT<TBTEN>の設定に関係なく起動/復帰し IMF = “1”, EF7 (TBT の割り込み個別許可フラグ) = “1”, TBT<TBTEN> = “1” のときは割り込み処理が行われます。

TBT<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

(2) デュアルクロックモード

高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s], SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu\text{s} @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

a. NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波/低周波の両クロックで動作します。

b. SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、システム制御レジスタ 2 (SYSCR) の SYSCK ビットで行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

c. SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換はシステム制御レジスタ 2 (SYSCR2) の XEN ビットで行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

d. IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

e. SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

f. SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

g. SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時にシステム制御レジスタ SYSCR2 の TGHALT ビットに“1”をセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し、IMF = “1”, EF₇ (TBT の割り込み許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

(3) STOP モード

シングルクロックモード、デュアルクロックモードを問わず、発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、STOP 端子入力 (レベル/エッジの選択可能) で行い、ウォームアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

注 1) EEPCCR<ATPWDW>が“0”のときに IDLE0/1/2, SLEEP0/1/2 モードを起動すると、これらのモードを解除した後にフラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。

注 2) EEPCCR<MNPWDW>が“1”のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。

Not Recommended
for New Design

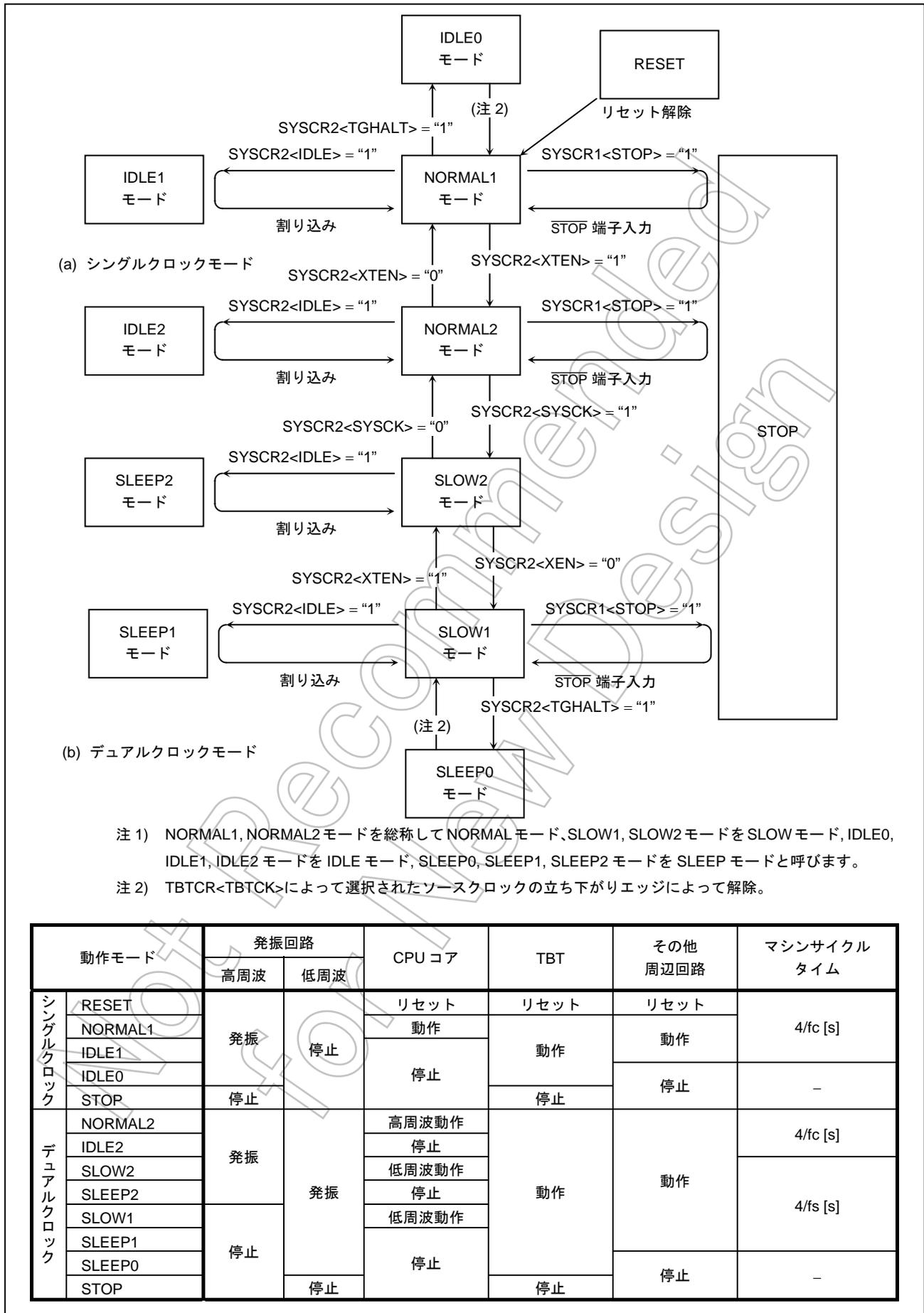


図1.4.6 動作モード状態遷移図

システム制御レジスタ 1

SYSCR1 (0038H)

7	6	5	4	3	2	1	0
STOP	RELM	RETM	OUTEN	WUT			

 (初期値: 0000 00**)

STOP	STOP モードの起動	0: CPU コア, 周辺ハードウェア 動作 1: CPU コア, 周辺ハードウェア 停止 (STOP モード起動)		R/W
RELM	STOP 端子の解除方法の選択	0: $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除 1: $\overline{\text{STOP}}$ 端子入力の "H" レベルで解除		
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る		
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		
WUT	STOP モード解除時のウォームアップ時間 単位: [s] (注 8)		NORMAL1/2 モードへ戻る場合	
		00	$3 \times 2^{16}/fc + (2^{10}/fs)$	$3 \times 2^{13}/fs + (2^3/fs)$
		01	$2^{16}/fc + (2^{10}/fs)$	$2^{13}/fs + (2^3/fs)$
		10	$3 \times 2^{14}/fc + (2^{10}/fs)$	$3 \times 2^9/fs + (2^3/fs)$
		11	$2^{14}/fc + (2^{10}/fs)$	$2^6/fs + (2^3/fs)$

- 注 1) NORMAL モードから STOP モードを起動する場合、RETM は "0" に設定してください。SLOW モードから STOP モードを起動する場合、RETM は "1" に設定してください。
- 注 2) STOP モードを $\overline{\text{RESET}}$ 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。
- 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
- 注 4) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。
- 注 5) OUTEN = "0" のときに STOP モードを起動すると、ポートの内部入力は "0" に固定されますので、外部割り込み端子の状態によっては立ち下がりエッジの割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイクアップ入力 (STOP0~STOP4) を使用する場合は、RELM を "1" に設定してください。
- 注 7) P20 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は High-Z 状態となります。
- 注 8) EEPCCR<MNPWDW>が "1" のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。(CPU ウェイト時間をカッコ内に示します)

システム制御レジスタ 2

SYSCR2 (0039H)

7	6	5	4	3	2	1	0
XEN	XTEN	SYSCK	IDLE	TGHALT			

 (初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始		R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始		
SYSCK	システムクロックの選択 (Write)/モニタ (Read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/ SLEEP)		
IDLE	CPU, WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)		
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)		

- 注 1) XEN, XTEN をともに "0" にクリアした場合、SYSCK = "0" で XEN を "0" にクリアした場合、および SYSCK = "1" で XTEN を "0" にクリアした場合、リセットがかかります。
- 注 2) WDT: ウォッチドッグタイマ, TG: タイミングジェネレータ, *: Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に "1" に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC>によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC>の時間よりも短くなります
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に "0" にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に "0" にクリアされます。
- 注 8) TGHALT を "1" に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードから復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

図1.4.7 システム制御レジスタ 1, 2

1.4.4 動作モードの制御

(1) STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力およびキーオンウェイクアップ入力端子 (STOP0~STOP4) によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP>を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

- a. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
- b. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
- c. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
- d. プログラムカウンタは、STOP モードを起動する命令 (SET (SYSCR1). 7 など) の 2 つ先の命令のアドレスを保持します。

STOP モードの解除には、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ 1 の SYSCR1<RELM>で選択します。エッジ解除モードの場合には、STOP0~STOP4 を使用禁止に設定してください。

EEPCR<MNPWDW>が“1”のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが発生します。

注 1) STOP モードは、 $\overline{\text{STOP}}$ 端子とキーオンウェイクアップ入力端子 (STOP0~STOP4) のいずれかの端子によって解除することが可能ですが、STOP 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、必ず STOP モード解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォームアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

a. レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP0~STOP4 (STOPCR でビットごとに設定可能) 端子への解除エッジ入力により STOP モードを解除するモードで、メイン電源しゃ断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルの状態では STOP モードを起動する命令を実行した場合、STOP モードは起動されず、直ちに解除シーケンス (ウォームアップ) が行われます。従って、レベル解除モードで STOP モードを起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. P20 ポートの状態をテストする方法
2. $\overline{\text{INT5}}$ 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

例 1: P20 ポート进行测试して NORMAL モードから STOP モードを起動

LD (SYSCR1), 01010000B ; レベル解除モードにセット
アップ
SSTOPH: TEST (P2PRD). 0 ; $\overline{\text{STOP}}$ 端子入力が "L" レベルになるまで
ウェイト
JRS F, SSTOPH ; システムクロック f_{SYS} を $fc/2$ へ切り替え
SET (SYSCR1). 7 ; STOP モードを起動

例 2: INT5 割り込みにより、NORMAL モードから STOP モードを起動

PINT5: TEST (P2PRD). 0 ; ノイズ除去のため P20 ポート入力が "H"
レベルなら STOP モードを起動しない。
JRS F, SINT5
LD (SYSCR1), 01010000B ; レベル解除モードにセット
アップ
SET (SYSCR1). 7 ; STOP モードを起動
SINT5: RETI

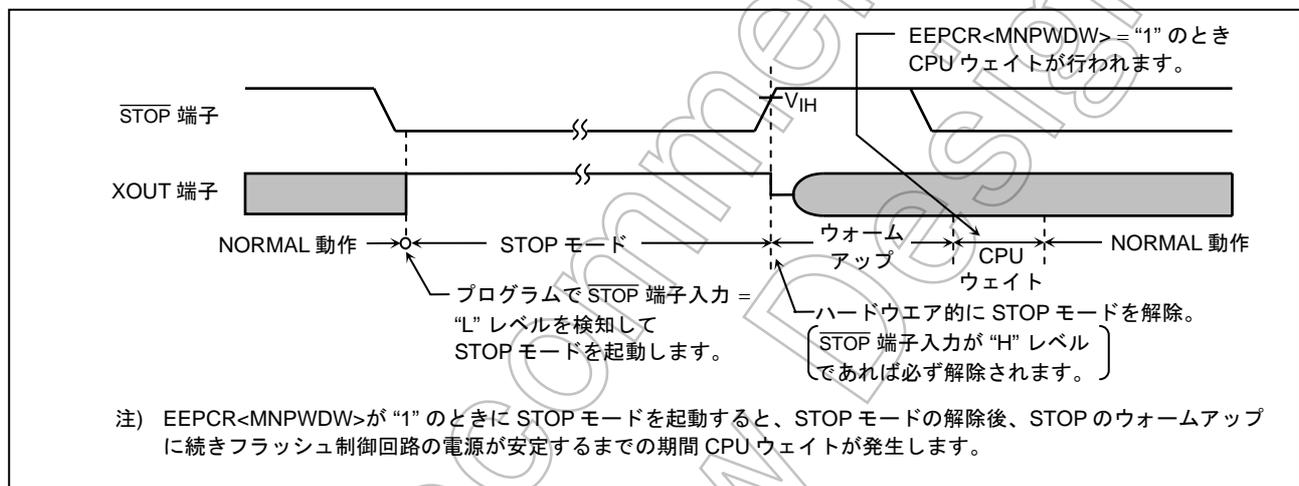


図1.4.8 レベル解除モード

注 1) ウォームアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP0~STOP4 端子が "H" レベルになっても STOP モードには戻りません。

注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP モードを解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号、例えば、低消費電力の発振源からのクロックを $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルの状態でも STOP モードが起動されます。なお、STOP0~STOP4 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

例: NORMAL モードから STOP モードを起動

LD (SYSCR1), 10010000B ; エッジ解除で STOP モードを起動

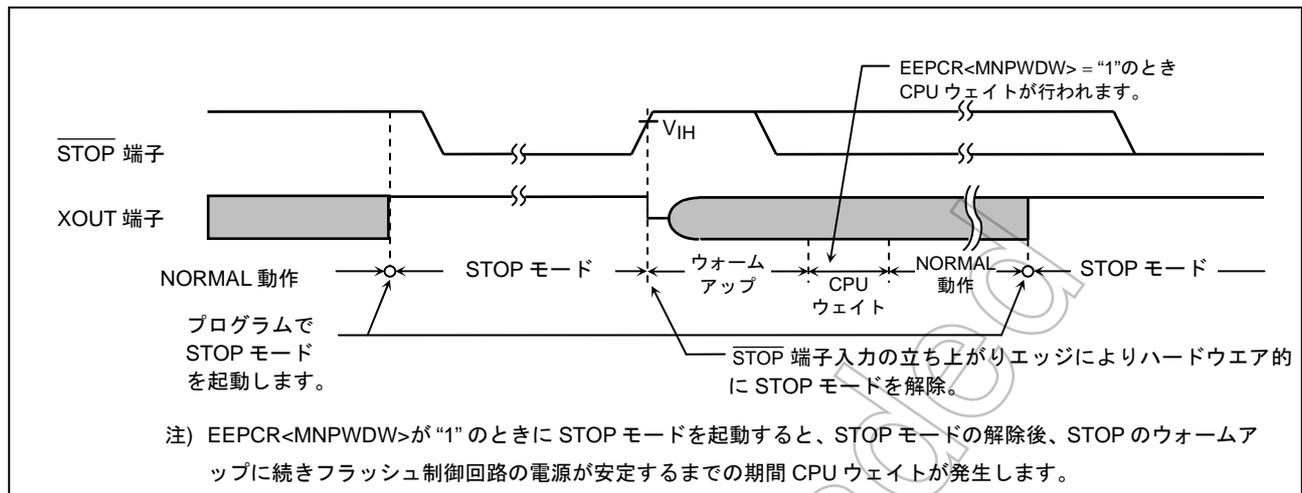


図1.4.9 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

- 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波/低周波発振器の両方が発振し、SLOW1 に戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
- 発振が安定するのに必要な時間の確保のため、ウォームアップを行います。ウォームアップ中、内部動作は停止したままです。ウォームアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で 4 種類選択できます。
- EEPSCR<MNPWDW>が“1”の場合、フラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。CPU ウェイトが開始すると、CPU は動作停止状態となりますが、周辺機能およびタイミングジェネレータは動作を再開します。CPU ウェイトが終了した後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。
- EEPSCR<MNPWDW>が“0”の場合、ウォームアップが終了した後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケラおよびデバイダは“0”にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、端子の入力電圧レベルが、端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表1.4.1 ウォームアップ時間 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WUT	ウォームアップ時間 [ms] (注 2)	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288 + (0.064)	750 + (0.244)
01	4.096 + (0.064)	250 + (0.244)
10	3.072 + (0.064)	5.85 + (0.244)
11	1.024 + (0.064)	1.95 + (0.244)

注 1) ウォームアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォームアップ時間は誤差を含むことになります。従って、ウォームアップ時間は、概略値としてとらえる必要があります。

注 2) CPU ウェイト時間をカッコ内に示します。

Not Recommended for New Design

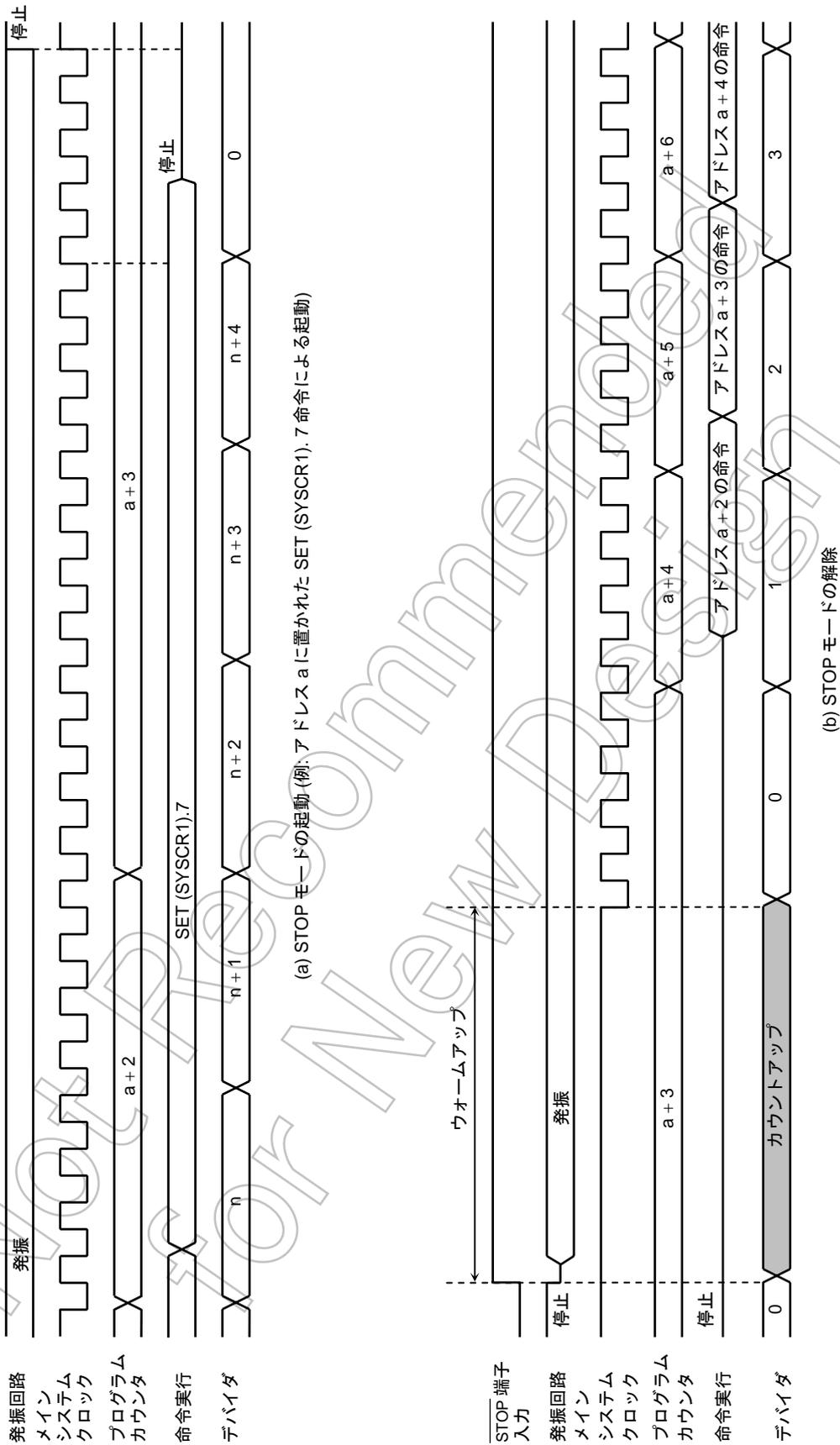


図1.4.10 STOPモードの起動/解除 (EEPCR<MNPWDW> = "0" のとき)

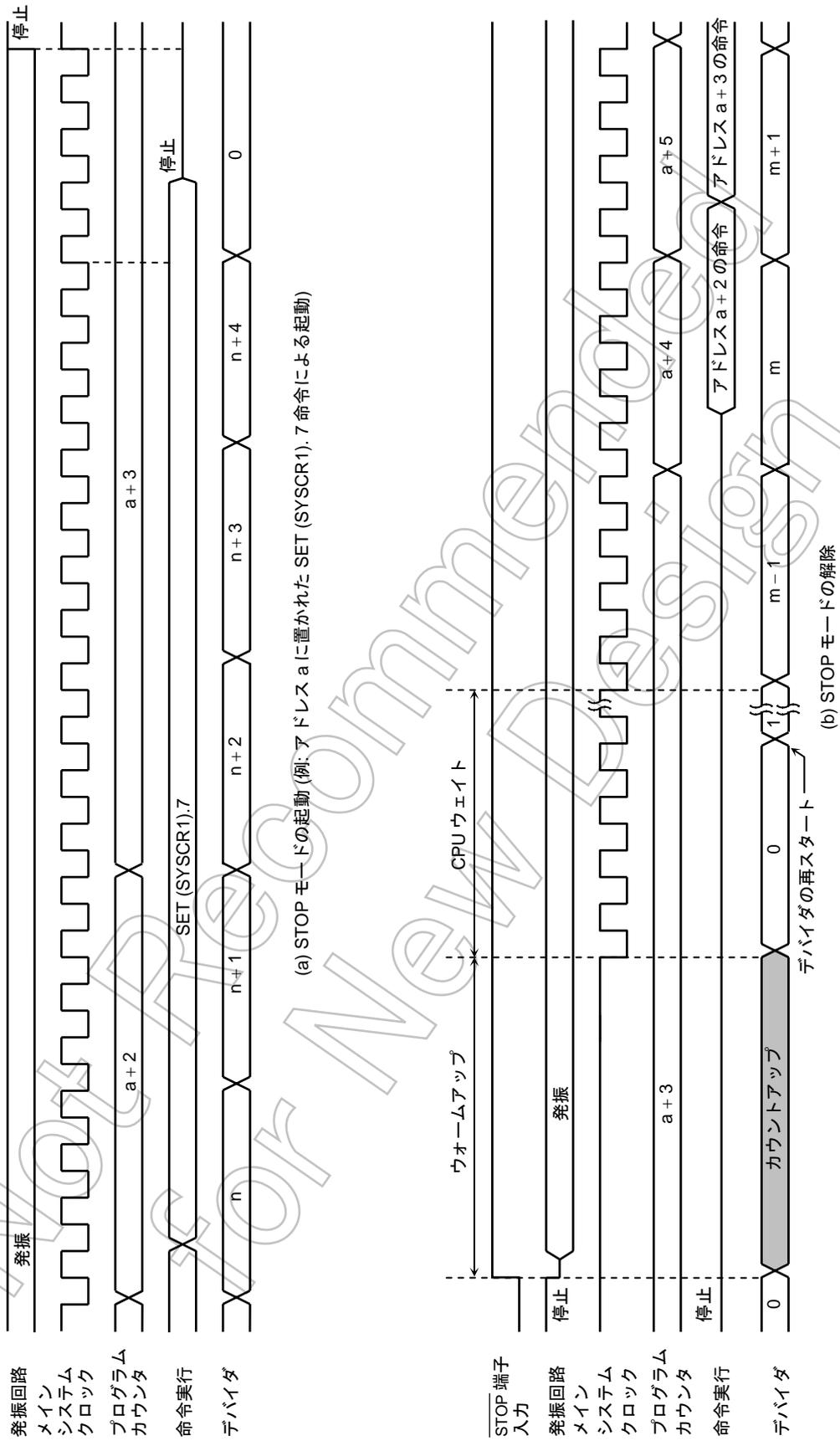


図1.4.11 STOPモードの起動/解除 (EEPCR<MNPWDW> = "1" のとき)

- IDLE1/2, SLEEP1/2 モードの起動
IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE>を“1”に設定します。
- IDLE1/2, SLEEP1/2 モードの解除
IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE>は自動的に“0”にクリアされ、起動したモードに復帰します。
EEPCR<ATPWDW>が“0”のときに IDLE1/2, SLEEP1/2 モードを起動すると、起動したモードに復帰する前にフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。CPU ウェイト時間は、IDLE1/2 モード時 $2^{10}/f_c$ [s]、SLEEP1/2 モード時 $2^9/f_s$ [s]となります。
また、IDLE1/2, SLEEP1/2 モードは RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従って CPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理は CPU ウェイトが終了するまで実行されません。

(I) ノーマル解除モード (IMF = “0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(II) 割り込み解除モード (IMF = “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

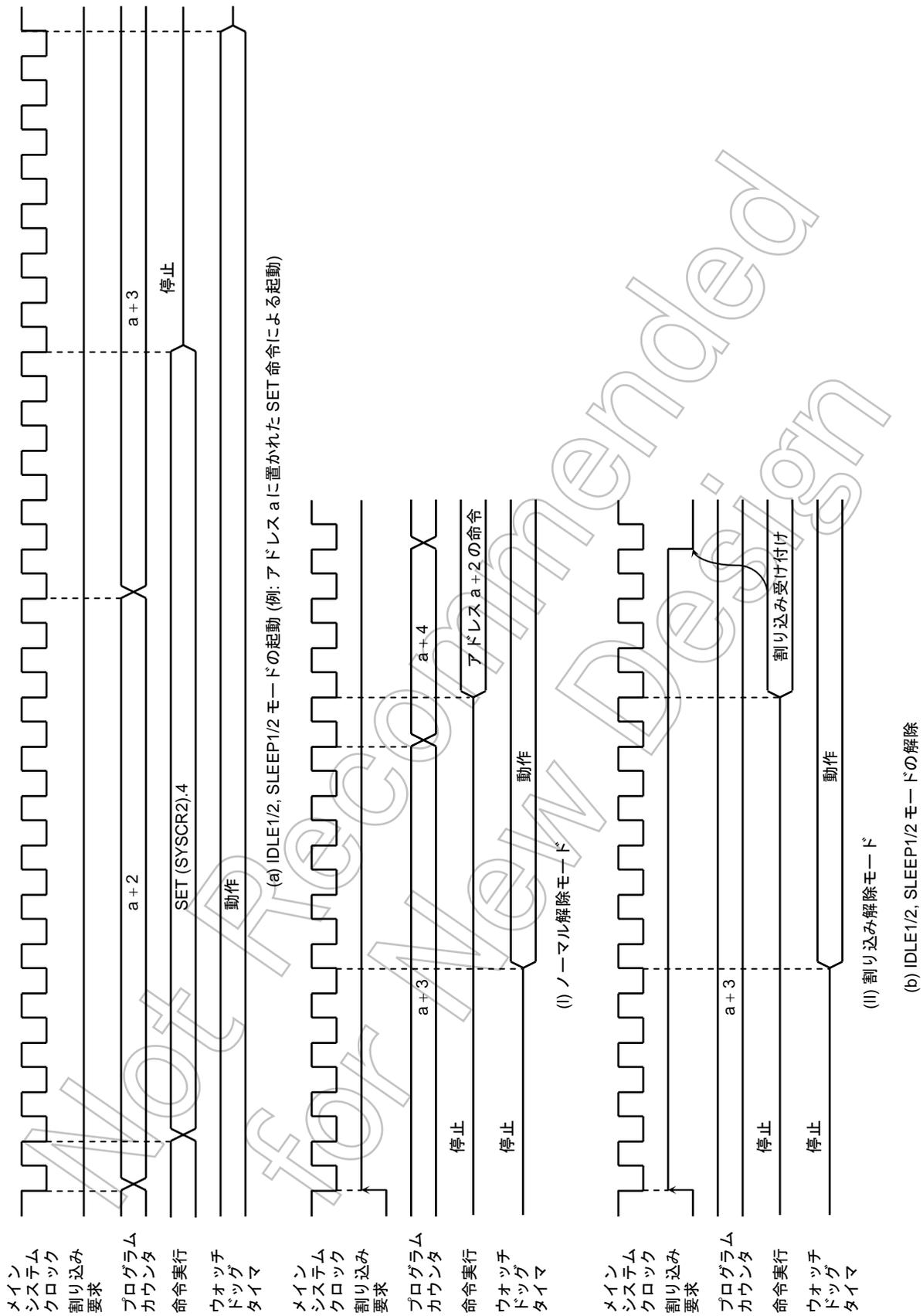


図 1.4.13 IDLE1/2, SLEEP1/2 モードの起動/解除

(3) IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマ制御レジスタ (TBTCR) によって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0, SLEEP0 モードを起動する場合は、事前に周辺機能を停止状態 (ディセーブル状態) に設定してください。

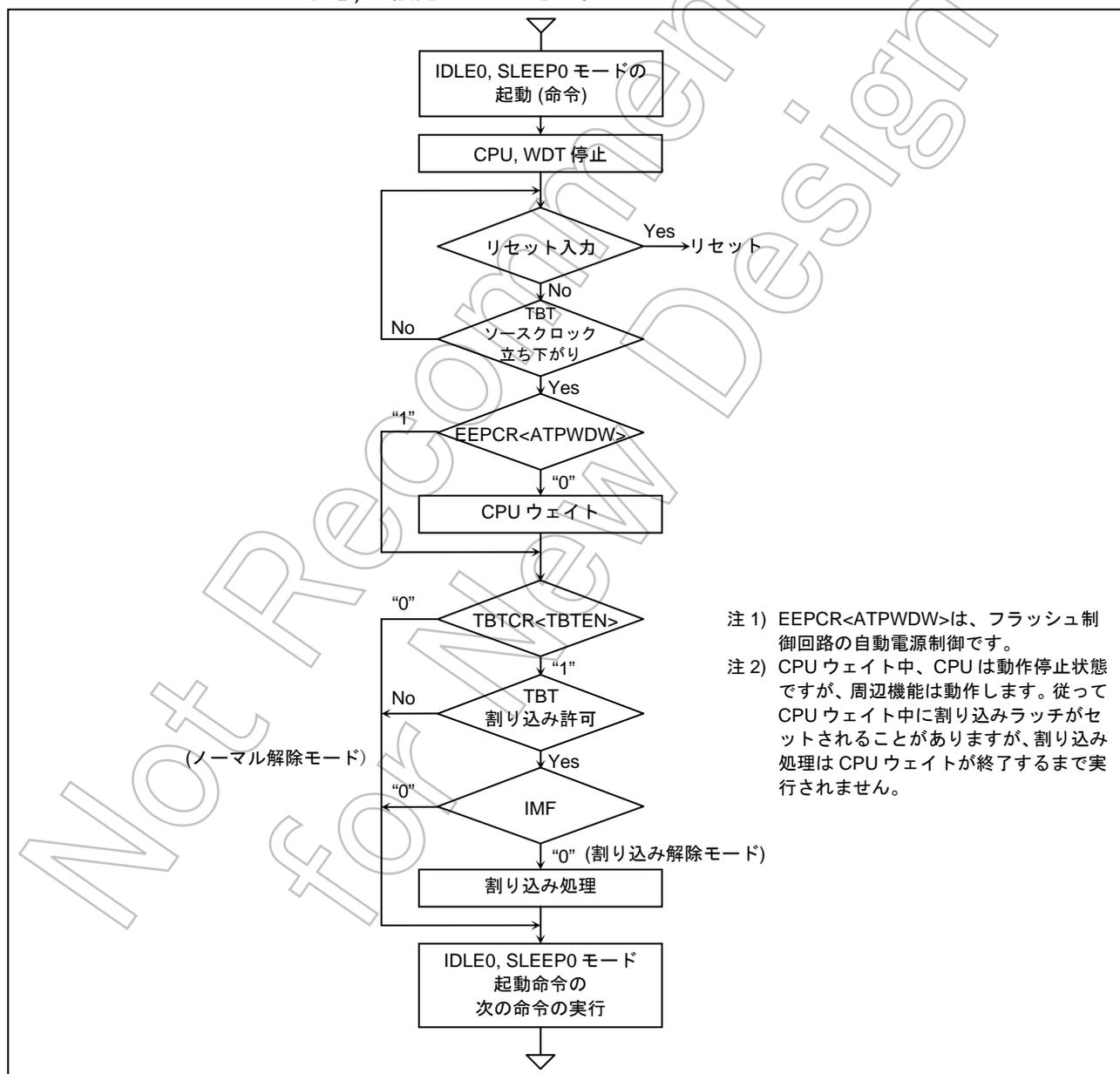


図1.4.14 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動
IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT>を“1”に設定します。
- IDLE0, SLEEP0 モードの解除
IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマ割り込み個別許可フラグ (EF7)、TBTCR<TBTEN>によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT>は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき TBTCR<TBTEN>が“1”にセットされていると INTTBT の割り込みラッチがセットされます。
EEPCR<ATPWDW>が“0”のときに IDLE0, SLEEP0 モードを起動すると、これらのモードを解除した後にフラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。CPU ウェイト時間は、IDLE1/2 モード時 $2^{10}/f_c$ [s]、SLEEP1/2 モード時 $2^3/f_s$ [s] となります。
また、IDLE0, SLEEP0 モードは RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

- 注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰します。
- 注 2) CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従って CPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理は CPU ウェイトが終了するまで実行されません。

(I) ノーマル解除モード (IMF・EF7・TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

(II) 割り込み解除モード (IMF・EF7・TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

- 注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTK>によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTK>の時間よりも短くなります。
- 注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合 IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

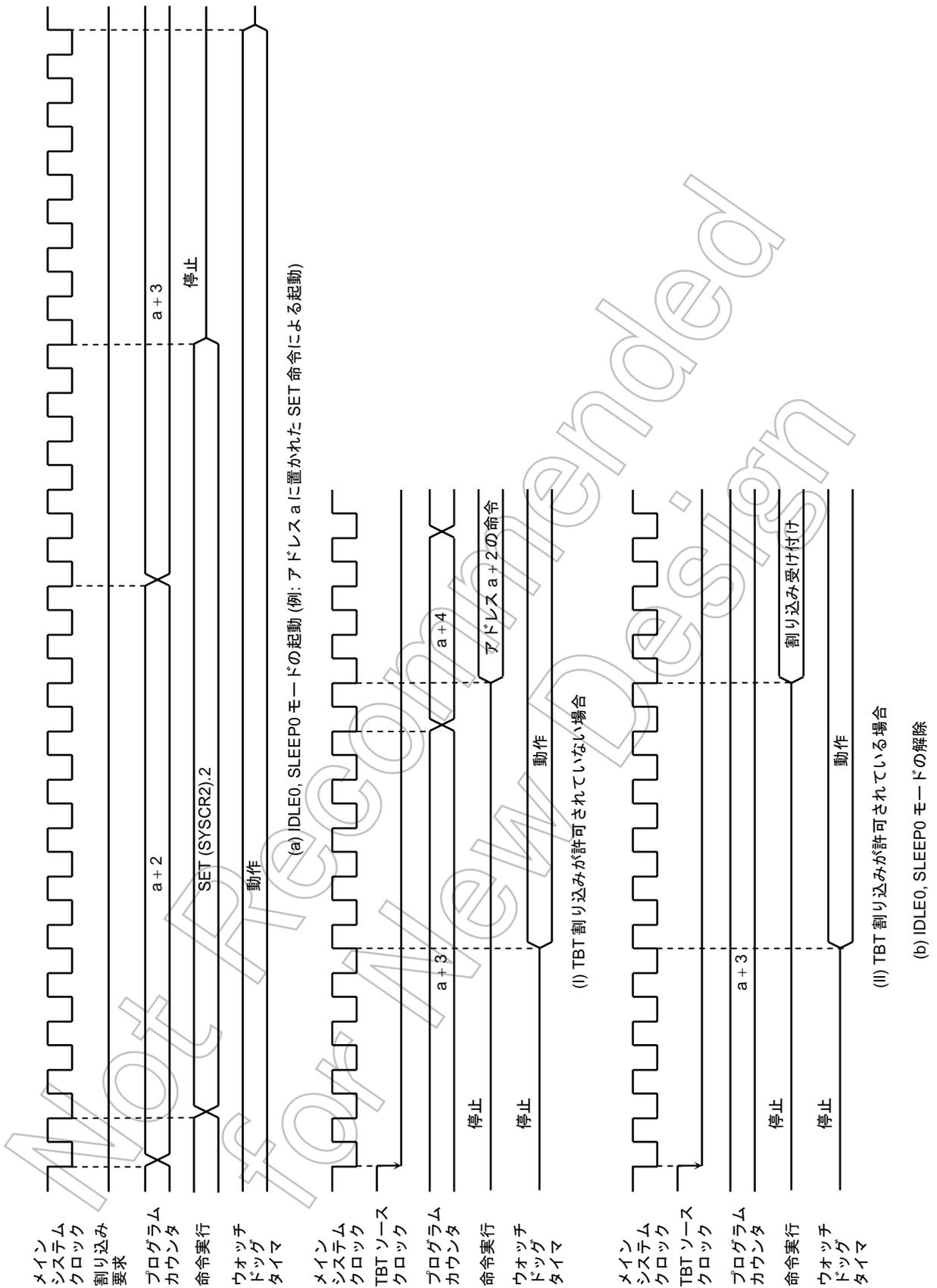


図1.4.15 IDLE0, SLEEP0 モードの起動/解除

(4) SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。
ここでは、ウォームアップにタイマカウンタ 2 (TC2) を用いた場合を示しています。

a. NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。

次に、SYSCR2<XEN> を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻するために高周波クロックの発振を継続させることも可能です。

ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待つてから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ 2 を使用すると便利です。

例 1: NORMAL2 モードから SLOW1 モードへの切り替え

```
SET      (SYSCR2). 5      ; SYSCR2<SYSCK> ← 1
                          ; (システムクロックを低周波に切り替え
                          ; (SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN> ← 0
                          ; (高周波クロック停止)
```

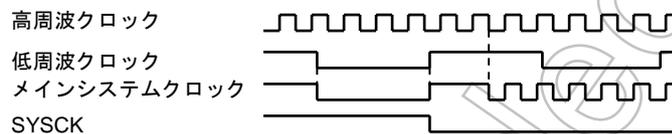
例 2: TC2 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```
SET      (SYSCR2). 6      ; SYSCR2<XTEN> ← 1
                          ; (低周波クロック発振開始)
LD       (TC2CR), 14H     ; TC2 のモードをセット
LDW     (TC2DRL), 8000H   ; ウォームアップ時間をセット
                          ; (発振子の特性で時間を決定します)
DI       ; IMF ← 0
SET     (EIRE). 4        ; INTTC2 割り込み許可
EI       ; IMF ← 1
SET     (TC2CR). 5       ; TC2 スタート
...
PINTTC2: CLR      (TC2CR). 5 ; TC2 ストップ
          SET     (SYSCR2). 5 ; SYSCR2<SYSCK> ← 1
                          ; (システムクロックを低周波に切り替え)
          CLR     (SYSCR2). 7 ; SYSCR2<XEN> ← 0
                          ; (高周波クロック停止)
          RETI
          ...
VINTTC2: DW      PINTTC2   ; INTTC2 ベクタテーブル
```

b. SLOW1 モードから NORMAL2 モードへの切り替え

まず、XEN (SYSCR2 のビット 7) を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォームアップ) をタイマカウンタ 2 によって確保した後、SYSCK (SYSCR2 のビット 5) を “0” にクリアします。

注 1) SYSCK を “0” にクリアした後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。



注 2) SLOW モードは、RESET 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。TMP86FP24 は、リセット解除後 NORMAL1 モードになります。

例: SLOW1 モードから NORMAL2 モードへの切り替え

($f_c = 16 \text{ MHz}$, ウォームアップ時間 = 4.0 ms)。

```

SET      (SYSCR2). 7      ; SYSCR2<XEN> ← 1
                          ; (高周波クロック発振開始)
LD       (TC2CR), 10H     ; TC2 のモードをセット
LD       (TC2DRH), 0F8H   ; ウォームアップ時間をセット
                          ; (周波数と発振子の特性で時間を決定しま
                          ; す)
DI       ; IMF ← 0
SET      (EIRE). 4        ; INTTC2 割り込み許可
EI       ; IMF ← 1
SET      (TC2CR). 5       ; TC2 スタート
PINTTC2: CLR      (TC2CR). 5 ; TC2 ストップ
          CLR      (SYSCR2). 5 ; SYSCR2<SYSCK> ← 0
                          ; (システムクロックを高周波に切り替え)
          RETI
VINTTC2: DW       PINTTC2  ; INTTC2 ベクタテーブル

```

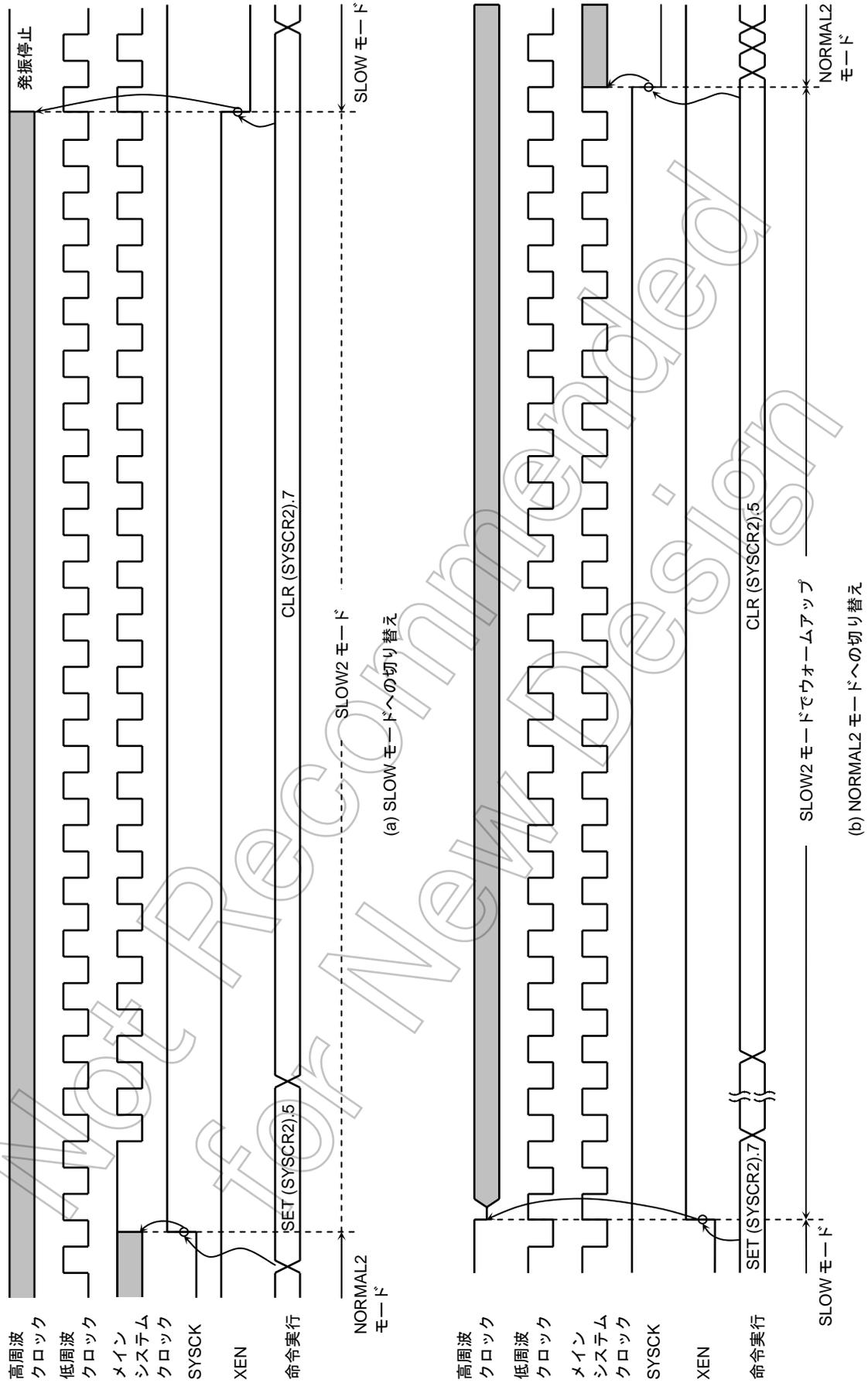


図1.4.16 SLOW ↔ NORMAL2 モード切り替え

1.5 割り込み制御回路

TMP86FP24には、リセットを除き合計 19 種類(外部: 5 要因、内部: 14 要因)の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクابل割り込みに優先順位はありません。

図 1.5.1に割り込み制御回路を示します。

表 1.5.1 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクابل	–	FFFEH	高位 1
内部	INTSWI (ソフトウェア割り込み)	ノンマスクابل	–	FFFCH	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスクابل	–	FFFCH	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスクابل	IL ₂	FFFAH	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスクابل	IL ₃	FFF8H	2
外部	INT0 (外部割り込み 0)	IMF・EF ₄ = 1	IL ₄	FFF6H	5
内部	INTTC1 (タイマカウンタ 1 割り込み)	IMF・EF ₅ = 1	IL ₅	FFF4H	6
外部	INT1 (外部割り込み 1)	IMF・EF ₆ = 1	IL ₆	FFF2H	7
内部	INTTBT (タイムベースタイマ割り込み)	IMF・EF ₇ = 1	IL ₇	FFF0H	8
外部	INT2 (外部割り込み 2)	IMF・EF ₈ = 1	IL ₈	FFEEH	9
内部	INTTC3 (タイマカウンタ 3 割り込み)	IMF・EF ₉ = 1	IL ₉	FFECH	10
内部	INTSIO1 (シリアルインタフェース 1 割り込み)	IMF・EF ₁₀ = 1	IL ₁₀	FFEAH	11
内部	INTSIO2 (シリアルインタフェース 2 割り込み)	IMF・EF ₁₁ = 1	IL ₁₁	FFE8H	12
内部	INTTC5 (タイマカウンタ 5 割り込み)	IMF・EF ₁₂ = 1	IL ₁₂	FFE6H	13
外部	INT3 (外部割り込み 3)	IMF・EF ₁₃ = 1	IL ₁₃	FFE4H	14
内部	INTADC (AD 変換終了割り込み)	IMF・EF ₁₄ = 1	IL ₁₄	FFE2H	15
	Reserved	IMF・EF ₁₅ = 1	IL ₁₅	FFE0H	16
	Reserved	IMF・EF ₁₆ = 1	IL ₁₆	FFBEH	17
	Reserved	IMF・EF ₁₇ = 1	IL ₁₇	FFBCH	18
内部	INTRXD (UART 受信割り込み)	IMF・EF ₁₈ = 1	IL ₁₈	FFBAH	19
内部	INTTXD (UART 送信割り込み)	IMF・EF ₁₉ = 1	IL ₁₉	FFB8H	20
内部	INTTC2 (タイマカウンタ 2 割り込み)	IMF・EF ₂₀ = 1	IL ₂₀	FFB6H	21
外部	INT5 (外部割り込み 5)	IMF・EF ₂₁ = 1	IL ₂₁	FFB4H	22
	Reserved	IMF・EF ₂₂ = 1	IL ₂₂	FFB2H	23
	Reserved	IMF・EF ₂₃ = 1	IL ₂₃	FFB0H	低位 24

注 1) ウォッチドッグタイマ割り込み (INTWDT) を使用するためには、WDTCR1<WDTOUT>を“0”に設定してください(リセット解除後は、“リセット要求”に設定されています)。

詳しくは 2.4「ウォッチドッグタイマ」を参照してください。

注 2) アドレストラップ割り込み (INTATRAP) を使用するには、WDTCR1<ATOUT>を“0”に設定してください(リセット解除後は、“リセット要求”に設定されています)。

詳しくは 2.4.5「アドレストラップ」を参照してください。

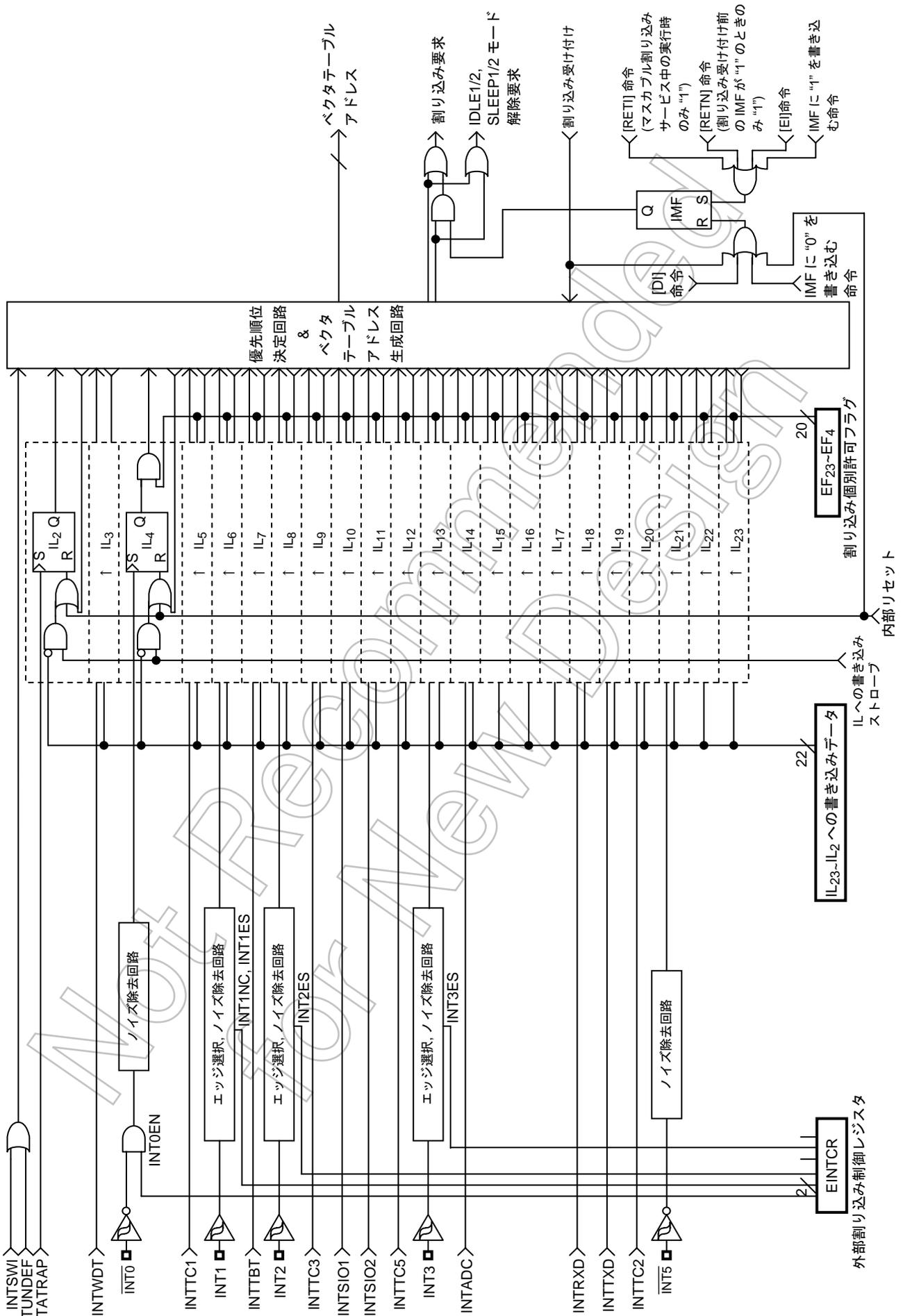


図1.5.1 割り込み制御回路

(1) 割り込みラッチ (IL₂₄~IL₂)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内のアドレス 002EH, 003CH, 003DHに割り付けられており、IL₂, IL₃を除いて命令で個別にクリアすることができ(ただし、ビット操作命令や演算命令などのリードモディファイライト命令は使用できません。これは、リードモディファイライト命令実行中に割り込み要求が発生してもクリアされる場合が想定されるためです。)、プログラムで割り込み要求の取り消し/初期化ができます。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

注) 割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0” (割り込み禁止状態) にしてから行ってください。

例 1: 割り込みラッチのクリア

```
DI ; IMF ← 0
LD (ILE), 11110011B ; IL19, IL18 ← 0
LDW (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI ; IMF ← 1
```

例 2: 割り込みラッチの読み出し

```
LD WA, (ILL) ; W ← ILH, A ← ILL
```

例 3: 割り込みラッチのテスト

```
TEST (IL).7 ; IL7=1ならジャンプ
JR F, SSET
```

(2) 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み)を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR内のアドレス 002CH, 003AH, 003BHに割り付けられており、命令でリード/ライト (ビット操作命令などのリードモディファイライトも含む) できます。

a. 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックの一時退避された後“0”にクリアされ、その後のマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスクابل割り込みリターン命令 [RETI]/[RETN]によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIR_L (SFR内のアドレス 003AH) のビット 0に割り付けられており、命令でリード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

b. 割り込み個別許可フラグ (EF₂₃~EF₄)

各マスク割込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

注) 割り込み個別許可フラグ (EF) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリア (割り込み禁止状態) にしてから行ってください。通常、割り込みサービスルーチン内では、自動的に IMF = “0” となりますので上記操作は不要ですが、多重割り込みを利用するため割り込みサービスルーチン内で IMF = “1” の操作を行っている場合は、同様な処理を行ってください。

例 1: 割り込みの個別許可と IMF のセット

```
DI ; IMF ← “0”
LD (EIRE), 00001100B ; EF19, EF18 ← “1”
LDW (EIRL), 0110100010100000B ; EF14, EF13, EF11, EF7, EF5 ← “1”
; 注) IMF はセットしない
EI ; IMF ← “1”
```

例 2: C コンパイラ記述例

```
unsigned int _io (3AH) EIRL; ; /* 3AH は EIRL のアドレス*/
_DI ();
EIRL = 10100000B;
;
_EI ();
```

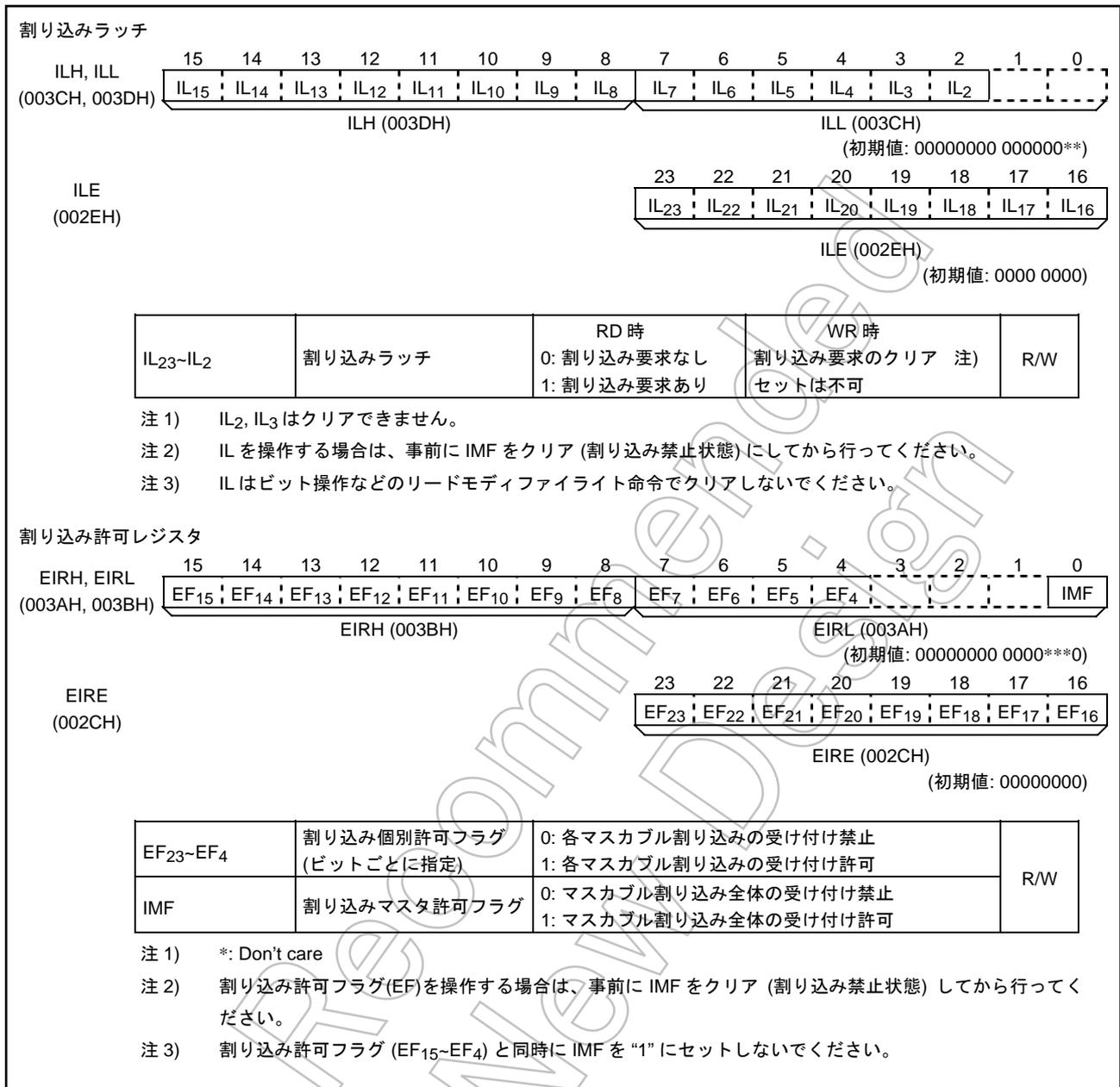


図1.5.2 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

1.5.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (4 μ s @ 8.0 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合)を実行して終了します。図 1.5.3に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ(IMF)を“0”にクリアし、その後のマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ(PC) プログラムステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PC_H, PC_Lの順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。

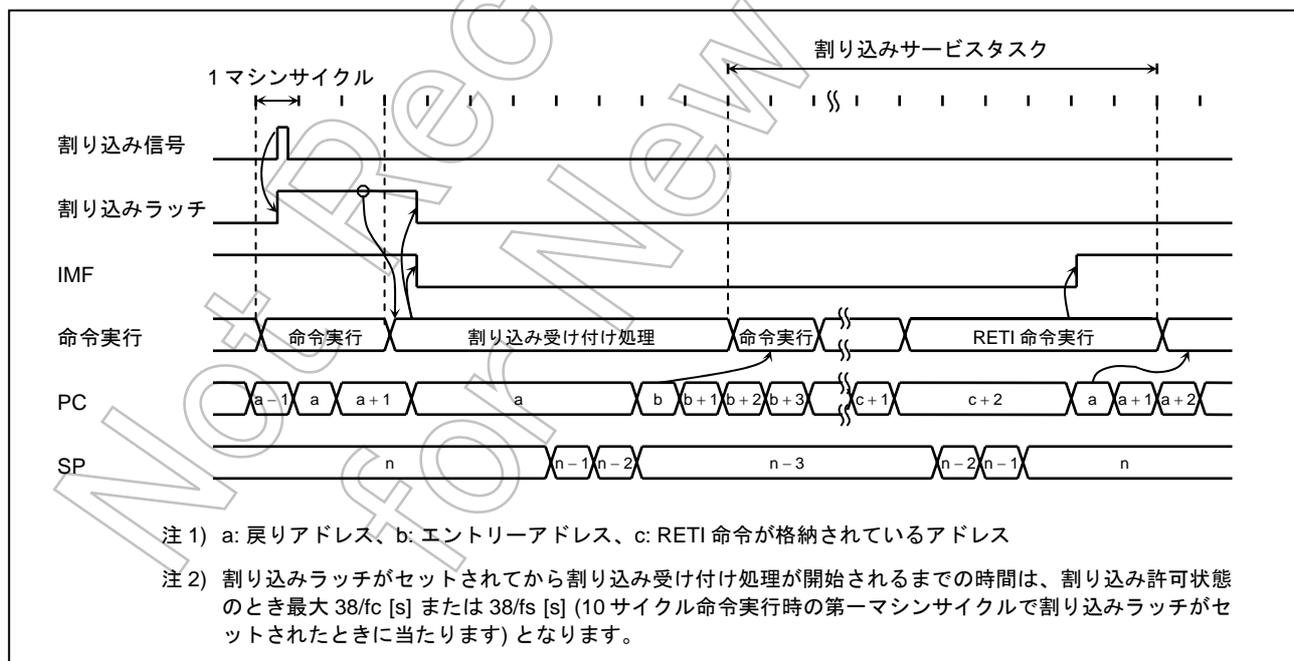
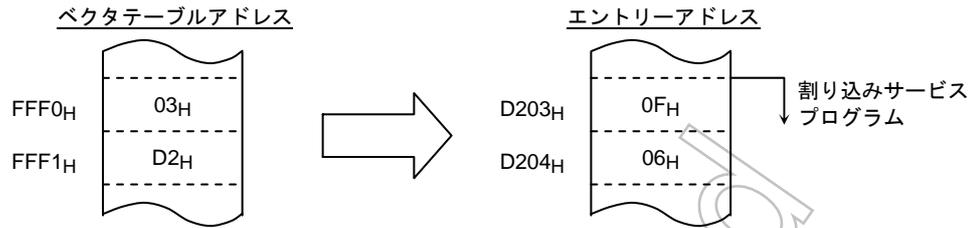


図1.5.3 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けて良い割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

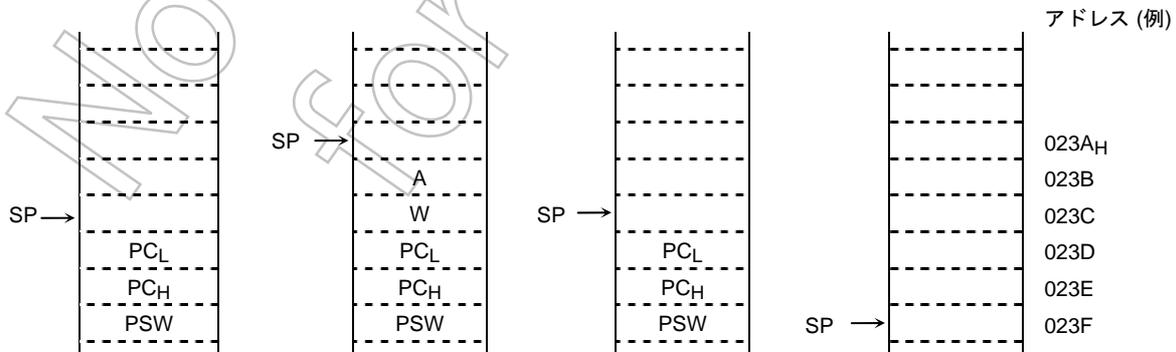
汎用レジスタの退避には、次の2つの方法があります。

a. プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例: プッシュ/ポップによるレジスタの退避/復帰

PINTxx:	PUSH	WA	; WA レジスタペアをスタックに退避
	割り込み処理		
	POP	WA	; WA レジスタペアをスタックから復帰
	RETI		リターン



割り込み受け付け後 ⇨ WA レジスタペアのプッシュ後 ⇨ WA レジスタペアのポップ後 ⇨ リターン後

b. 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例: データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx: LD      (GSAVA), A      ; Aレジスタの退避
          割り込み処理
          LD      A, (GSAVA)    ; Aレジスタの復帰
          RETI                  ; リターン
  
```

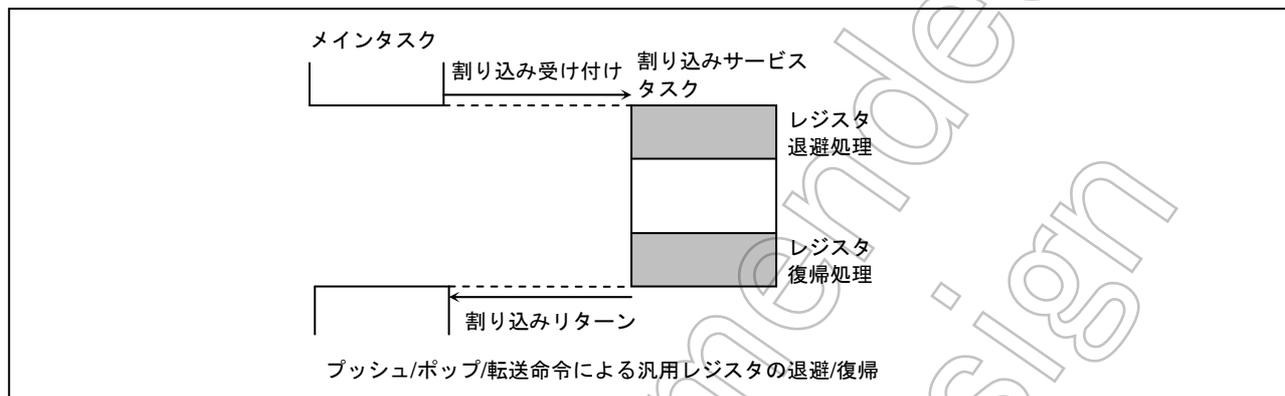


図1.5.4 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI]/[RETN] マスカブル割り込みリターン

1. プログラムカウンタ、プログラムステータスワードおよびIMFの内容をスタックからそれぞれリストアします。
2. スタックポインタを3回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされるPCL、PCHの値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないままリターン命令[RETN]を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。割り込みリターン後のPCL、PCHとなる値は、割り込み受け付け処理後はそれぞれ(SP+1)、(SP+2)のアドレスに格納されています。

例 1: アドレストラップ割り込みサービスプログラムからのリターン

```
PINTxx:  POP      WA                ; スタックポインタを2つ戻す
          LD      WA, ReturnAddress ; WAレジスタに再開アドレスを代入する
          PUSH   WA                ; スタックにプッシュダウンする
          割り込み処理
          RETN                       ; ノンマスカブル割り込みリターン命令
```

例 2: リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

```
PINTxx:  INC      SP                ; スタックポインタを3つ戻す
          INC      SP
          INC      SP
          割り込み処理
          LD      EIRL, data        ; IMFを"1"にセット、または"0"にクリア
          JP      RestartAddress    ; 復帰アドレスへジャンプ
```

注) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメント)。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.5.2 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し直ちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

a. アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM、SFR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みがかかります。

b. デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

1.5.3 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスクابل割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

1.5.4 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスクابل割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力/割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

1.5.5 外部割り込み

TMP86FP24 には、5本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

また、INT1~INT3 端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P00 端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御および $\overline{\text{INT0}}$ /P00 端子の機能選択は、外部割り込み制御レジスタ (EINTCR) で行います。

表1.5.2 外部割り込み

要因	端子名	兼用端子	許可条件	エッジ	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	P00	IMF = 1, EF ₄ = 1, INT0EN = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号と見なされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号と見なされます。
INT1	INT1	P01	IMF・EF ₆ = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号と見なされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号と見なされます。
INT2	INT2	P02	IMF・EF ₈ = 1		7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号と見なされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号と見なされます。
INT3	INT3	P14/TC3	IMF・EF ₁₃ = 1		
INT5	$\overline{\text{INT5}}$	P20/ $\overline{\text{STOP}}$	IMF・EF ₂₁ = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号と見なされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号と見なされます。

- 注 1) NORMAL 1, 2 または IDLE 1, 2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。
 a. INT1 端子 55/fc [s] (INT1NC = “1” のとき), 199/fc [s] (INT1NC = “0” のとき)
 b. INT2, 3 端子 31/fc [s]
- 注 2) INT0EN = “0” のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL₄ はセットされません。
- 注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。
- 注 4) INT1NC を切り替えた場合、最大 2⁶/fc の期間ノイズキャンセル時間が切り替わらないことがあります。

外部割り込み制御レジスタ

EINTCR (0037H) 7 6 5 4 3 2 1 0 (初期値: 00** 000*)

$\overline{\text{INT1NC}}$	INT1 のノイズ除去時間の選択	0: 63/fc [s] 未満のパルスはノイズとして除去 1: 15/fc [s] 未満のパルスはノイズとして除去	R/W
INT0EN	P00/ $\overline{\text{INT0}}$ の機能選択	0: P00 出力ポート 1: $\overline{\text{INT0}}$ 端子 (P00 ポートは入力モードにしてください)	
INT3ES INT2ES INT1ES	INT3-INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	

注 1) fc: 高周波クロック [Hz]、*: Don't care

注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

図1.5.5 外部割り込み制御レジスタ

1.6 リセット回路

TMP86FP24 には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

リセット回路は11段のフラッシュリセットカウンタを内蔵しており、上記のリセットが発生するとフラッシュ制御回路の電源が安定するまでの間、リセットを発生します。リセット時間は $2^{10}/f_c$ [s] ($64 \mu\text{s} @ 16\text{MHz}$) です。

また、電源投入時、内部要因リセット出力回路(ウォッチドッグタイマリセット、アドレストラップリセットおよびシステムクロックリセット)は初期化されませんので、最大 $24/f_c$ [s] ($1.5 \mu\text{s} @ 16\text{MHz}$) の期間、リセット状態となることがあります。

従ってリセットの最大時間は、 $24/f_c$ [s] + $2^{10}/f_c$ [s] ($65.5 \mu\text{s} @ 16\text{MHz}$) となります。

表 1.6.1 にリセット動作による内蔵ハードウェアの初期化を示します。

表1.6.1 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFE _H)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出カラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスク許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		RAM	初期化されません

1.6.1 外部リセット入力

$\overline{\text{RESET}}$ 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件の下で最小 3 マシンサイクル ($12/f_c$ [s]) 以上の間 $\overline{\text{RESET}}$ 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

$\overline{\text{RESET}}$ 端子入力が“H”レベルに立ち上がった後、 $2^{10}/f_c$ [s] ($65.5 \mu\text{s} @ 16\text{MHz}$) 経過すると、リセット動作は解除され、アドレス FFFE_H~FFFF_H に格納されたベクタアドレスからプログラムの実行を開始します。

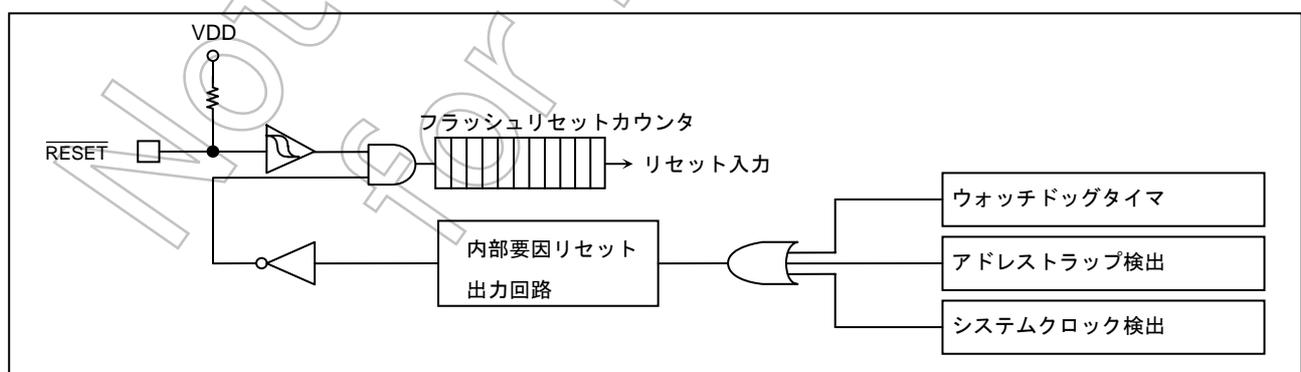


図1.6.1 リセット回路

1.6.2 アドレストラップリセット

CPUがノイズなどの原因により暴走して内蔵RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとする時内部リセットおよび、フラッシュリセットが発生します。リセット時間は、最大 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ 16.0 MHz) です。

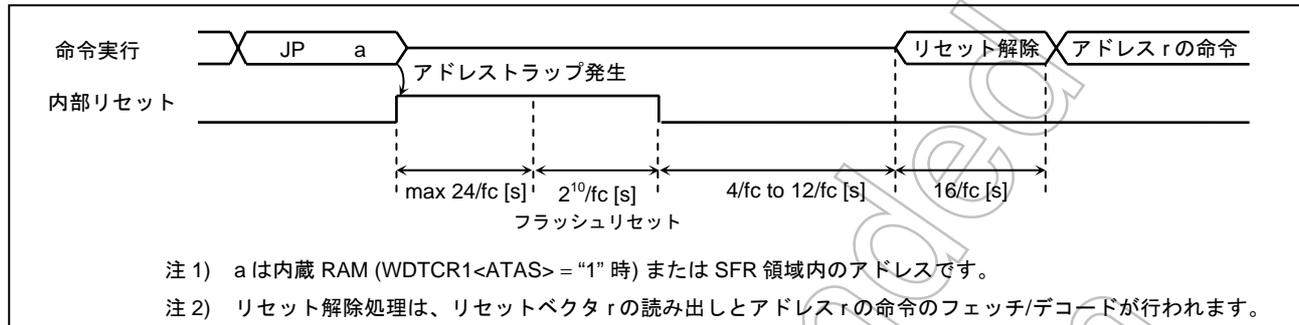


図1.6.2 アドレストラップリセット

注) アドレストラップはリセットと割り込みの選択が可能です。また、内蔵 RAM はアドレストラップするか否かを WDTCR1<ATAS> によって選択することが可能です。

1.6.3 ウォッチドッグタイマリセット

2.4 「ウォッチドッグタイマ」を参照してください。

1.6.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します (発振は継続します)。

- SYSCR2<XEN>, SYSCR2<XTEN> をともに “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

システムクロックリセットが発生すると、その後フラッシュリセットが発生します。リセット時間は、最大 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ 16.0 MHz) です。

2. 周辺ハードウェア機能

2.1 スペシャルファンクションレジスタ (SFR)

TMP86FP24 は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御/転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 1F80H~1FFFH にマッピングされています。図 2.1.1 に TMP86FP24 の SFR, DBR の一覧を示します。

アドレス	リード	ライト	アドレス	リード	ライト
0000H	P0DR (P0 ポート出力ラッチ制御)		0020H	TC1DRAL (タイマレジスタ 1A)	
01	P1DR (P1 ポート出力ラッチ制御)		21	TC1DRAH (タイマレジスタ 1A)	
02	P2DR (P2 ポート出力ラッチ制御)		22	TC1DRBL (タイマレジスタ 1B)	
03	P3DR (P3 ポート出力ラッチ制御)		23	TC1DRBH (タイマレジスタ 1B)	
04	P4DR (P4 ポート出力ラッチ制御)		24	TC2DRL (タイマレジスタ 2)	
05	P5DR (P5 ポート出力ラッチ制御)		25	TC2DRH (タイマレジスタ 2)	
06	P6DR (P6 ポート出力ラッチ制御)		26	ADCCR2 (AD 変換値レジスタ 2)	
07	Reserved		27	ADCCR1 (AD 変換値レジスタ 1)	
08	Reserved		28	P6CR2 (P6 ポート入力制御)	
09	P9DR (P9 ポート出力ラッチ制御)		29	TC3SEL (タイマカウンタ 3 入力制御)	
0A	P0OUTCR (P0 ポート出力回路制御)		2A	P3OUTCR (P3 ポート出力回路制御)	
0B	P1OUTCR (P1 ポート出力回路制御)		2B	P4LCR (P4 セグメント出力制御)	
0C	P6CR1 (P6 ポート入出力制御)		2C	EIRE (割り込み許可レジスタ)	
0D	P5OUTCR (P5 ポート出力回路制御)		2D	Reserved	
0E	ADCCR1 (AD 制御レジスタ 1)		2E	ILE (割り込みラッチ)	
0F	ADCCR2 (AD 制御レジスタ 2)		2F	Reserved	
10	TC3DRA (タイマレジスタ 3A)		30	Reserved	
11	TC3DRB (タイマレジスタ 3B)		31	Reserved	
12	TC3CR (タイマカウンタ 3 制御)		32	Reserved	
13	TC2CR (タイマカウンタ 2 制御)		33	Reserved	
14	TC5CR (タイマカウンタ 5 制御)		34		WDTCR1 (ウォッチドッグタイマ制御)
15	TC5DR (タイマレジスタ 5)		35		WDTCR2 (ウォッチドッグタイマ制御)
16	SIO1CR1 (SIO1 制御 1)		36	TBTCR (TBT/TG/DVO 制御)	
17	SIO1CR2 (SIO1 制御 2)		37	EINTCR (外部割り込み制御)	
18	SIO1SR (SIO1 ステータス)		38	SYSCR1 (システム制御 1)	
19	SIO1BUF (SIO1 データバッファ)		39	SYSCR2 (システム制御 2)	
1A	SIO2CR1 (SIO2 制御 1)		3A	EIRL (割り込み許可レジスタ)	
1B	SIO2CR2 (SIO2 制御 2)		3B	EIRH (割り込み許可レジスタ)	
1C	SIO2SR (SIO2 ステータス)		3C	ILL (割り込みラッチ)	
1D	SIO2BUF (SIO2 データバッファ)		3D	ILH (割り込みラッチ)	
1E	P4PDCR (P4 プルダウン抵抗制御)		3E	Reserved	
1F	TC1CR (タイマカウンタ 1 制御)		3F	PSW (プログラムステータスワード)	

注 1) Reserved のアドレスはプログラムでアクセスしないでください。
 注 2) - : アクセスできません。
 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図2.1.1 スペシャルファンクションレジスタ (SFR) (1/2)

アドレス				アドレス				リード		ライト	
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0				
1F80H	SEG1			SEG0				1FC0H	ROMCCR (プログラム訂正 制御レジスタ)		
81	SEG3			SEG2				C1	RCAD0L (プログラム訂正 バンク 0 アドレス 下位)		
82	SEG5			SEG4				C2	RCAD0H (プログラム訂正 バンク 0 アドレス 上位)		
83	SEG7			SEG6				C3	RCDT0L (プログラム訂正 バンク 0 データ 下位)		
84	SEG9			SEG8				C4	RCDT0H (プログラム訂正 バンク 0 データ 上位)		
85	SEG11			SEG10				C5	RCAD1L (プログラム訂正 バンク 1 アドレス 下位)		
86	SEG13			SEG12				C6	RCAD1H (プログラム訂正 バンク 1 アドレス 上位)		
87	SEG15			SEG14				C7	RCDT1L (プログラム訂正 バンク 1 データ 下位)		
88	SEG17			SEG16				C8	RCDT1H (プログラム訂正 バンク 1 データ 上位)		
89	SEG19			SEG18				C9	RCAD2L (プログラム訂正 バンク 2 アドレス 下位)		
8A	SEG21			SEG20				CA	RCAD2H (プログラム訂正 バンク 2 アドレス 上位)		
8B	SEG23			SEG22				CB	RCDT2L (プログラム訂正 バンク 2 データ 下位)		
								CC	RCDT2H (プログラム訂正 バンク 2 データ 上位)		
								CD	RCAD3L (プログラム訂正 バンク 3 アドレス 下位)		
								CE	RCAD3H (プログラム訂正 バンク 3 アドレス 上位)		
								CF	RCDT3L (プログラム訂正 バンク 3 データ 下位)		
								D0	RCDT3H (プログラム訂正 バンク 3 データ 上位)		
								D1	Reserved		
								:			
								DC	Reserved		
								DD	UARTSR (UART ステータス)	UARTCR1 (UART 制御 1)	
								DE	-	UARTCR2 (UART 制御 2)	
								DF	RDBUF (UART 受信データバッファ)	TDBUF (UART 送信データバッファ)	
								E0	EEPCCR (フラッシュメモリ制御)		
								E1	EEPSR (フラッシュメモリステータス)	-	
								E2	EEPEVA (フラッシュメモリ書き込みエミュレート時間制御)		
								E3	LCDCR (LCD 制御)		
								E4	P2OUTCR (P2 ポート出力回路制御)		
								E5	Reserved		
								E6	Reserved		
								E7	Reserved		
								E8	P9PDCR (P9 ポートプルダウン制御)		
								E9	P9LCR (P9 セグメント出力制御)		
								EA	Reserved		
								EB	Reserved		
								EC	Reserved		
								ED	P0PRD (P0 端子入力)	-	
								EE	P1PRD (P1 端子入力)	-	
								EF	P2PRD (P2 端子入力)	-	
								F0	P3PRD (P3 端子入力)	-	
								F1	P4PRD (P4 端子入力)	-	
								F2	P5PRD (P5 端子入力)	-	
								F3	P9PRD (P9 端子入力)	-	
								F4	Reserved		
								F5	Reserved		
								F6	Reserved		
								F7	Reserved		
								F8	Reserved		
								F9	Reserved		
								FA	Reserved		
								FB	Reserved		
								FC	Reserved		
								FD	Reserved		
								FE	STOPCR (キーオンウェイクアップ)		
								FF	Reserved		

- 注 1) Reserved のアドレスはプログラムでアクセスしないでください。
 注 2) -: アクセスできません。
 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図2.1.2 スペシャルファンクションレジスタ (SFR) (2/2)

2.2 入出力ポート

TMP86FP24 は、8 ポート 54 端子の入出力ポートを内蔵しています。

- a. P0 ポート; 8 ビット入出力ポート (外部割り込み入力, シリアルインタフェース入出力, UART 入出力, タイマカウンタ入力)
- b. P1 ポート; 6 ビット入出力ポート (外部割り込み入力, シリアルインタフェース入出力, タイマカウンタ入出力と兼用)
- c. P2 ポート; 4 ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力と兼用)
- d. P3 ポート; 8 ビット入出力ポート
- e. P4 ポート; 8 ビット入出力ポート (LCD セグメント出力, STOP モード解除信号と兼用)
- f. P5 ポート; 4 ビット入出力ポート (デバイダ出力, タイマカウンタ出力と兼用)
- g. P6 ポート; 8 ビット入出力ポート (アナログ入力, STOP モード解除信号と兼用)
- h. P9 ポート; 8 ビット入出力ポート (LCD セグメント出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 2.2.1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを入力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。

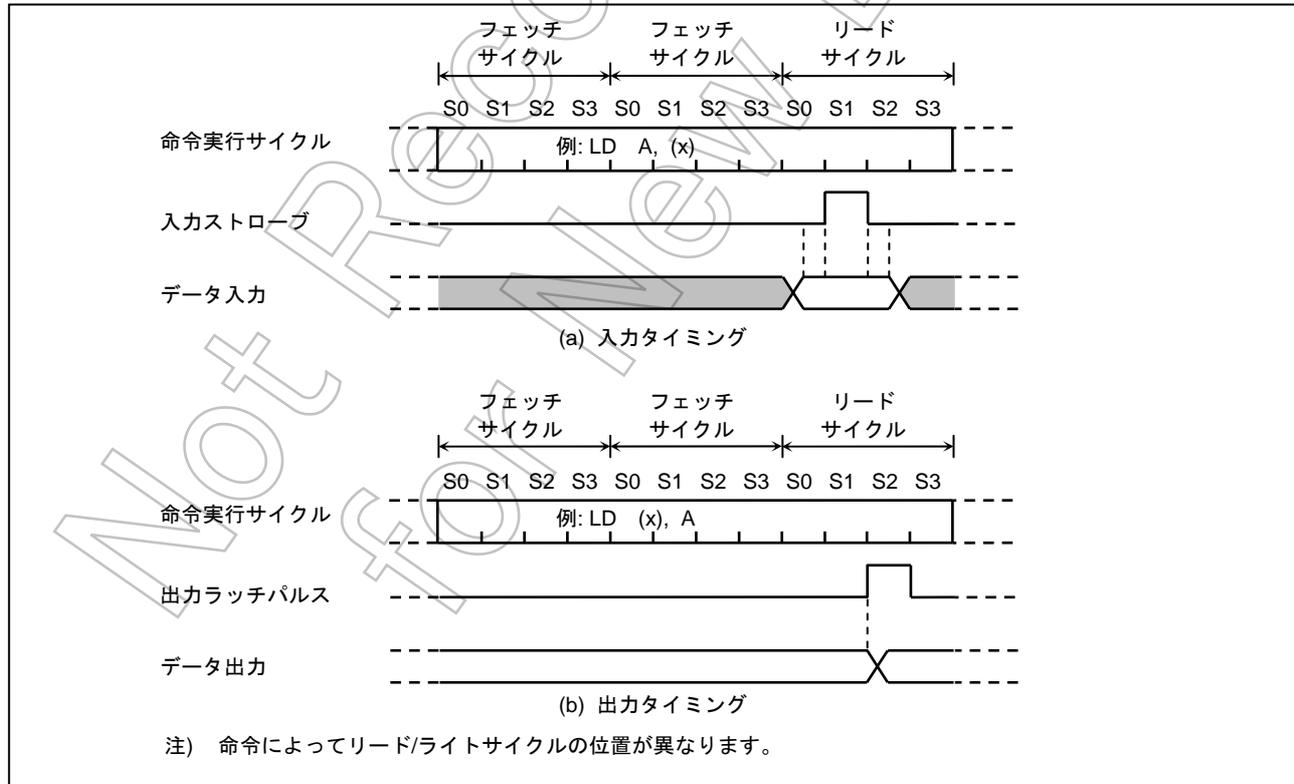


図2.2.1 入出力タイミング (例)

2.2.1 P0 (P07~P00) ポート

P0 ポートは、8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、タイマカウンタ入力、UART 入出力と兼用です。P0 ポートは、出力回路制御レジスタ (P0OUTCR) により、出力回路をシンクオープンドレイン出力、CMOS 出力のいずれかに設定することができます。P0OUTCR を“0”にクリアすると対応するビットの出力回路はシンクオープンドレイン回路に、P0OUTCR を“1”にセットすると対応するビットの出力回路は CMOS 出力となります。

入力ポートまたは、外部割り込み入力、シリアルインタフェース入力、タイマカウンタ入力、UART 入力として用いる場合は、対応するビットの出力ラッチ (P0DR) を“1”にセットし、P0OUTCR を“0”にクリアします。

シリアルインタフェース出力、UART 出力として使用する場合は、対応する P0DR のビットを“1”にセットします。

リセット時、P0DR は“1”に初期化され、P0OUTCR は“0”にクリアされます。

P0 ポートはデータ入力のレジスタが独立していません。出力ラッチの状態を読み込む場合は、P0DR を、端子の状態を読み込む場合は P0PRD レジスタをそれぞれ読み出してください。

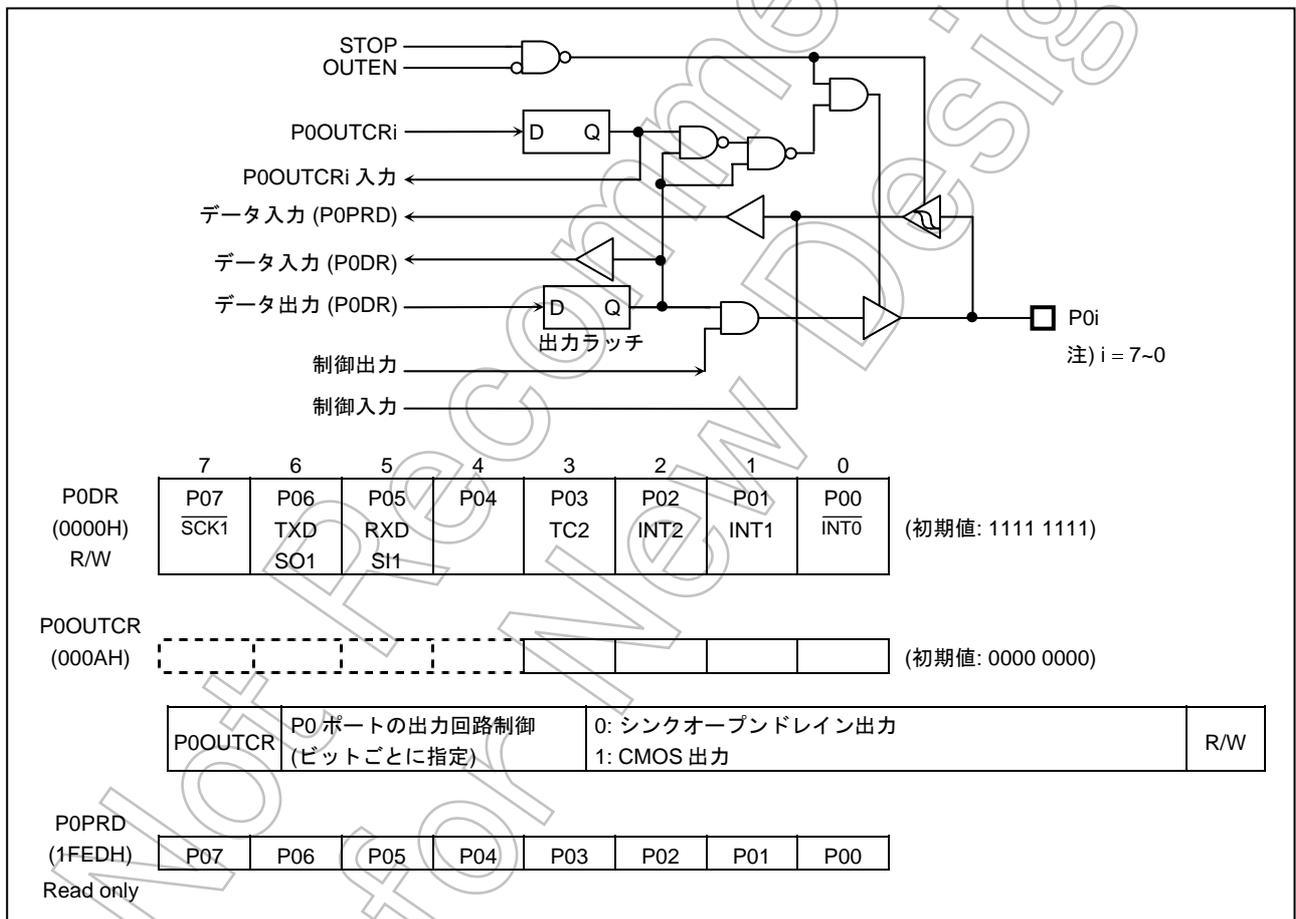


図2.2.2 P0 ポート

2.2.2 P1 (P15~P10) ポート

P1 ポートは、6 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、タイマカウンタ入出力と兼用です。P1 ポートは、出力回路制御レジスタ (P1OUTCR) により、出力回路をシンクオープンドレイン出力、CMOS 出力のいずれかに設定することができます。P1OUTCR を“0”にクリアすると対応するビットの出力回路はシンクオープンドレイン回路に、P1OUTCR を“1”にセットすると対応するビットの出力回路は CMOS 出力となります。

入力ポートまたは、外部割り込み入力、シリアルインタフェース入力、タイマカウンタ入力として用いる場合は、対応するビットの出力ラッチ (P1DR) を“1”にセットし、P1OUTCR を“0”にクリアします。

シリアルインタフェース出力、タイマカウンタ出力として使用する場合は、対応する P1DR のビットを“1”にセットします。

リセット時、P1DR は“1”に初期化され、P1OUTCR は“0”にクリアされます。

P1 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P1DR を、端子の状態を読み込む場合は P1PRD レジスタをそれぞれ読み出してください。

P1 ポートに対して P1DR、P1OUTCR、P1PRD のリード命令を実行した場合、ビット 7,6 は不定値が読み込まれます。

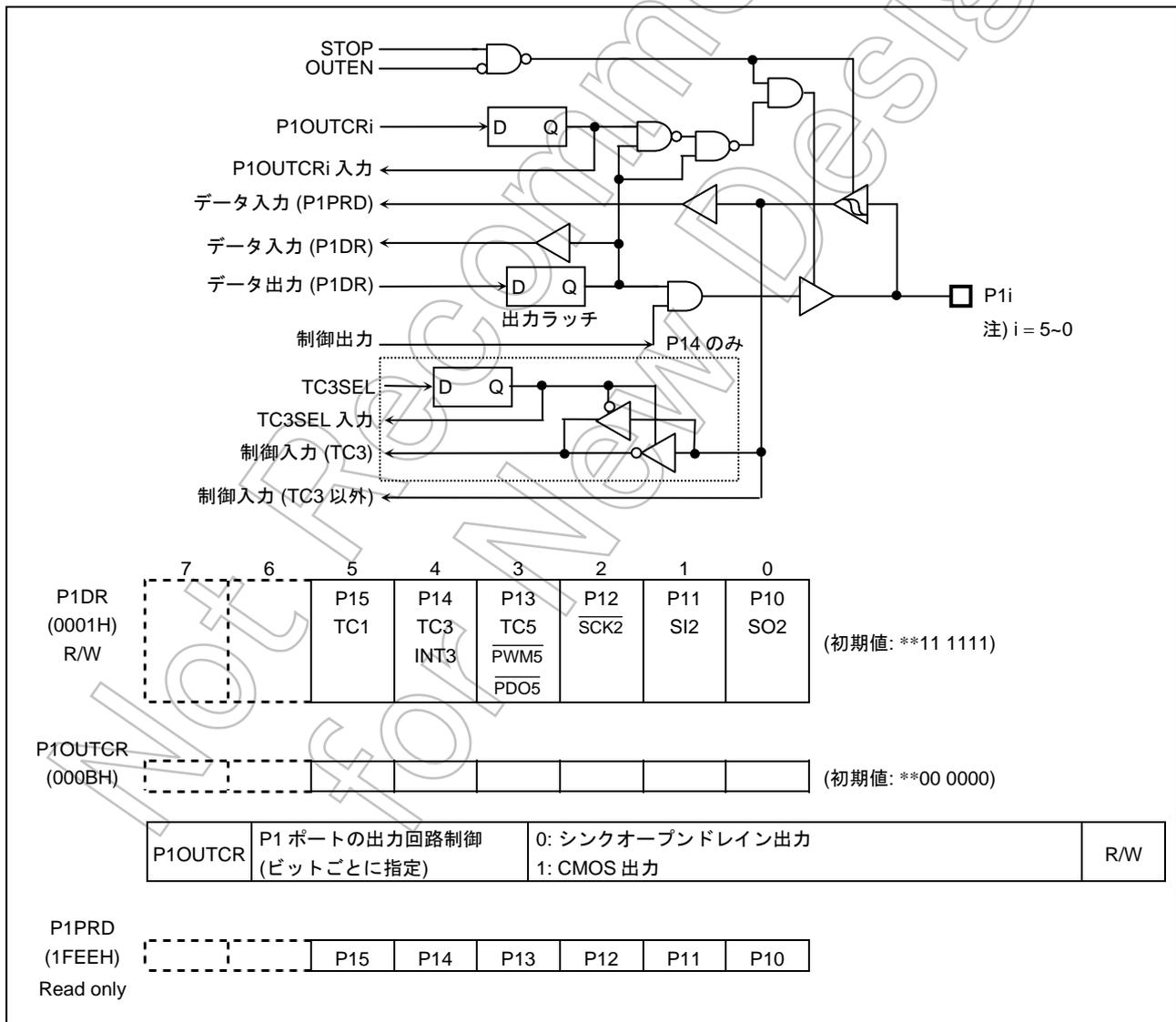


図2.2.3 P1 ポート

P14 端子と兼用している TC3 入力、TC3 入力制御レジスタ (TC3SEL) により、入力波形の位相を反転させることができます。詳細については 2.8「8 ビットタイマカウンタ 3」を参照してください。TC3SEL に対してリード命令を実行した場合、ビット 7~1 は不定値が読み込まれます。

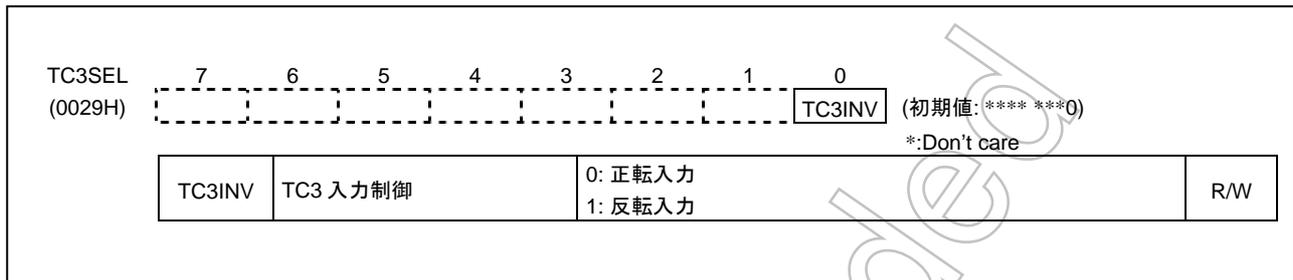


図2.2.4 TC3 入力制御レジスタ

2.2.3 P2 (P23~P20) ポート

P2 ポートは、4 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。P2 ポートは、出力回路制御レジスタ (P2OUTCR) により、出力回路をシンクオープンドレイン出力、CMOS 出力 (P21、P22 端子はプルアップ抵抗付き) のいずれかに設定することができます。P2OUTCR を “0” にクリアすると対応するビットの出力回路はシンクオープンドレイン回路に、P2OUTCR を “1” にセットすると対応するビットの出力回路は CMOS 出力となります。

入力ポートまたは、外部割り込み入力として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。リセット時、P2DR は “1” に初期化されます。

デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XTOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。なお、P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がり遅延が割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR を、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~4 は不定値が読み込まれます。

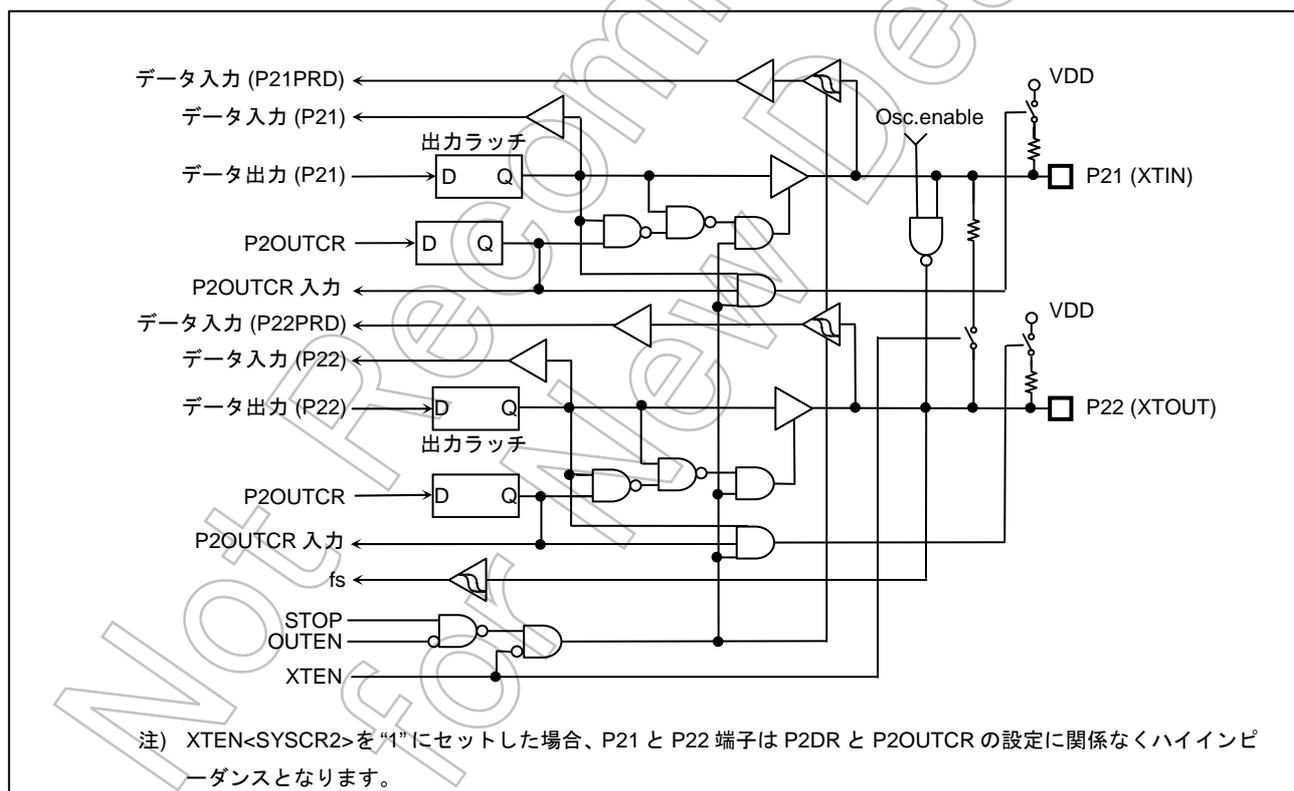


図2.2.5 P21, P22 ポート

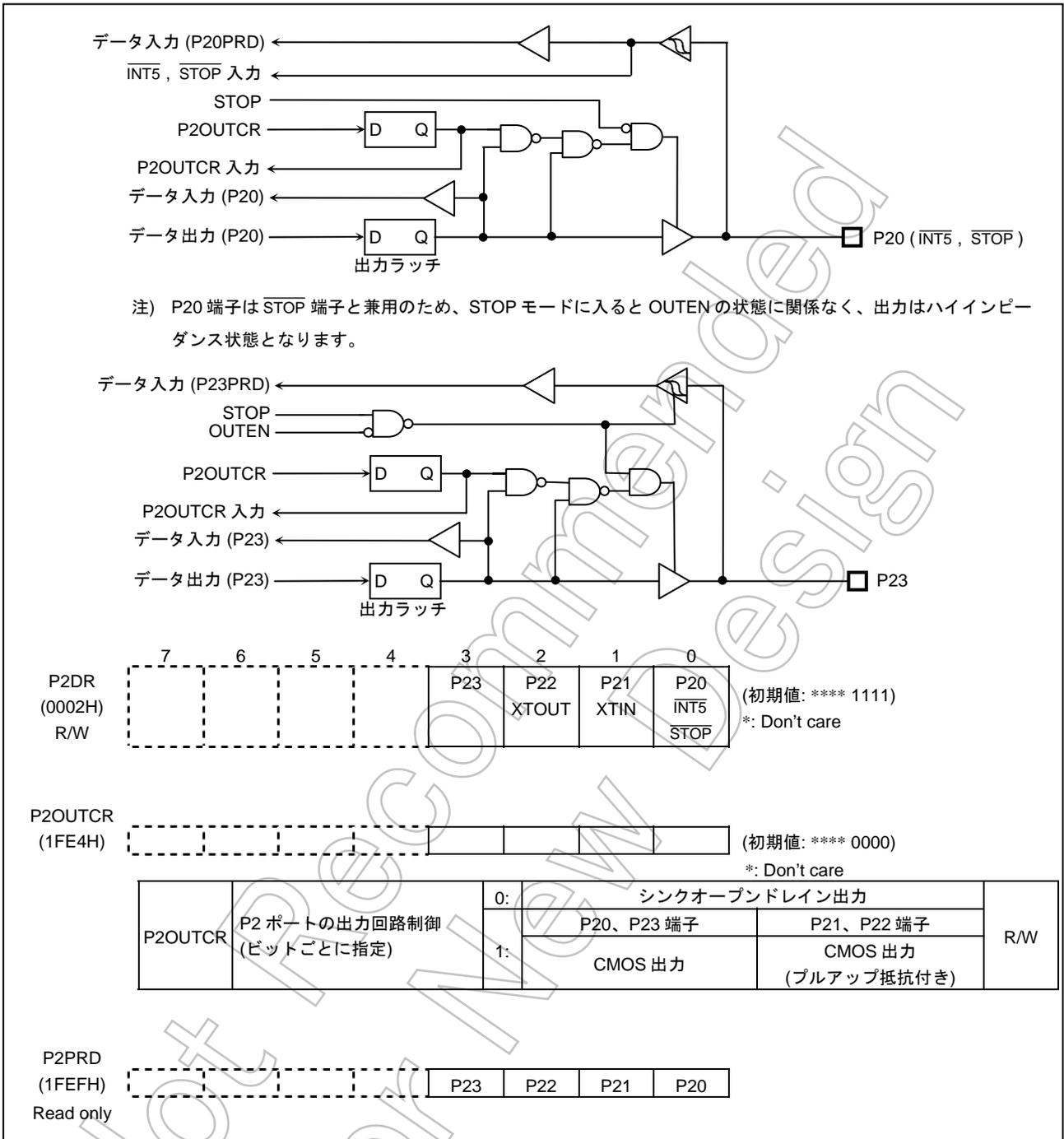


図2.2.6 P20, P23 ポート

2.2.4 P3 (P37~P30) ポート

P3ポートは、8ビットの入出力ポートです。P3ポートは、出力回路制御レジスタ (P3OUTCR) により、出力回路をシンクオープンドレイン出力、CMOS 出力のいずれかに設定することができます。P3OUTCR を“0”にクリアすると対応するビットの出力回路はシンクオープンドレイン回路に、P3OUTCR を“1”にセットすると対応するビットの出力回路は CMOS 出力となります。

入力ポートとして用いる場合は、対応するビットの出力ラッチ (P3DR) を“1”にセットし、P3OUTCR を“0”にクリアします。

リセット時、P3DR は“1”に初期化され、P3OUTCR は“0”にクリアされます。

P3ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DR を、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。

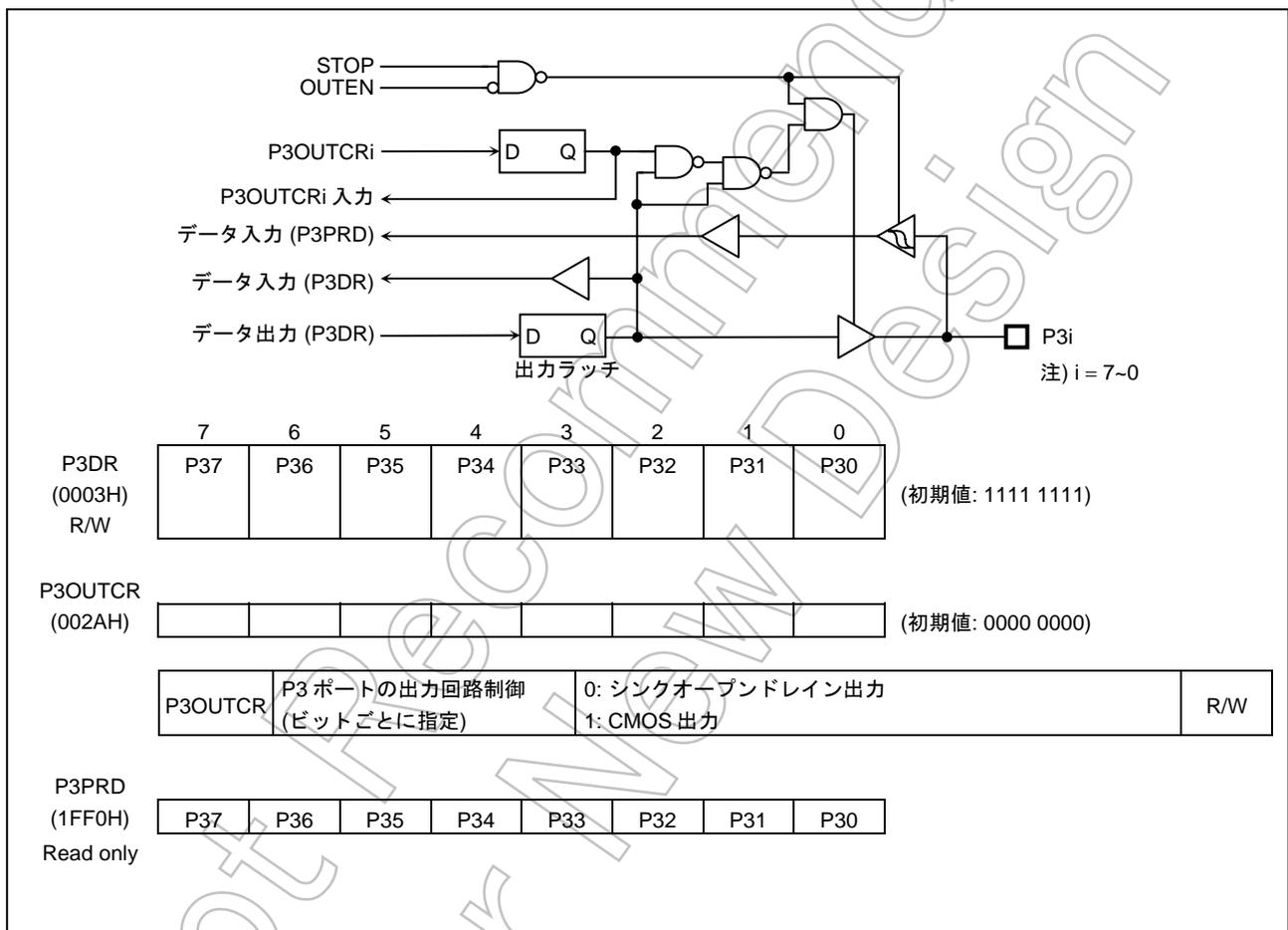


図2.2.7 P3ポート

2.2.5 P4 (P47~P40) ポート

P4 ポートは、8 ビットの入出力ポートで LCD セグメント出力、キーオンウェイクアップ入力と兼用です。P4 ポートは、ビットごとのプログラミング制御が可能なプルダウン抵抗を内蔵しています。プルダウン抵抗の制御は、P4 ポートプルダウン制御レジスタ(P4PDCR)によって行い、プルダウン抵抗を接続する場合は該当する P4PDCR のビットを“1”にセットします。

入力ポートとして用いる場合は、対応するビットの出力ラッチ (P4DR) を“1”にセットし、セグメント出力制御レジスタ (P4LCR) を“0”にクリアします。

出力ポートとして用いる場合は、対応する P4LCR のビットを“0”にクリアします。

LCD セグメント出力として使用する場合は、対応する P4LCR のビットを“1”にセットします。

P40 端子をキーオンウェイクアップ入力として使用する場合は STOP4EN<STOPCR>を“1”にセットします。

リセット時、P4DR は“1”に初期化され、P4LCR と P4PDCR は“0”にクリアされます。

P4 ポートはデータ入力のレジスタが独立していません。出力ラッチの状態を読み込む場合は、P4DR を、端子の状態を読み込む場合は P4PRD レジスタをそれぞれ読み出してください。

表 2.2.1 と表 2.2.2 に P4 ポートの端子状態を示します。

表 2.2.1 各レジスタ設定値と P40 端子状態表

STOP4EN	P4LCR	EDSP	P4PDCR	P4DR	P4PRD リード	出力	備考
0	0	*	0	0	端子入力値	Low	I/O
0	0	*	0	1	端子入力値	ハイインピーダンス	I/O
0	0	*	1	0	端子入力値	Low	I/O (プルダウン)
0	0	*	1	1	端子入力値	Low	I/O (プルダウン)
0	1	0	*	*	“0”	Low	LCD ブランキング
0	1	1	*	*	“0”	セグメント	LCD
1	*	*	*	*	端子入力値	ハイインピーダンス	キーオンウェイクアップ

注 1) *: Don't care

注 2) STOP4EN は STOPCR のビット 3。

注 3) EDSP は LCDCR のビット 7。

表 2.2.2 各レジスタ設定値と P47~P41 端子状態表

P4LCR	EDSP	P4PDCR	P4DR	P4PRD リード	出力	備考
0	*	0	0	端子入力値	Low	I/O
0	*	0	1	端子入力値	ハイインピーダンス	I/O
0	*	1	0	端子入力値	Low	I/O (プルダウン)
0	*	1	1	端子入力値	Low	I/O (プルダウン)
1	0	*	*	“0”	Low	LCD ブランキング
1	1	*	*	“0”	セグメント	LCD

注 1) *: Don't care

注 2) EDSP は LCDCR のビット 7。

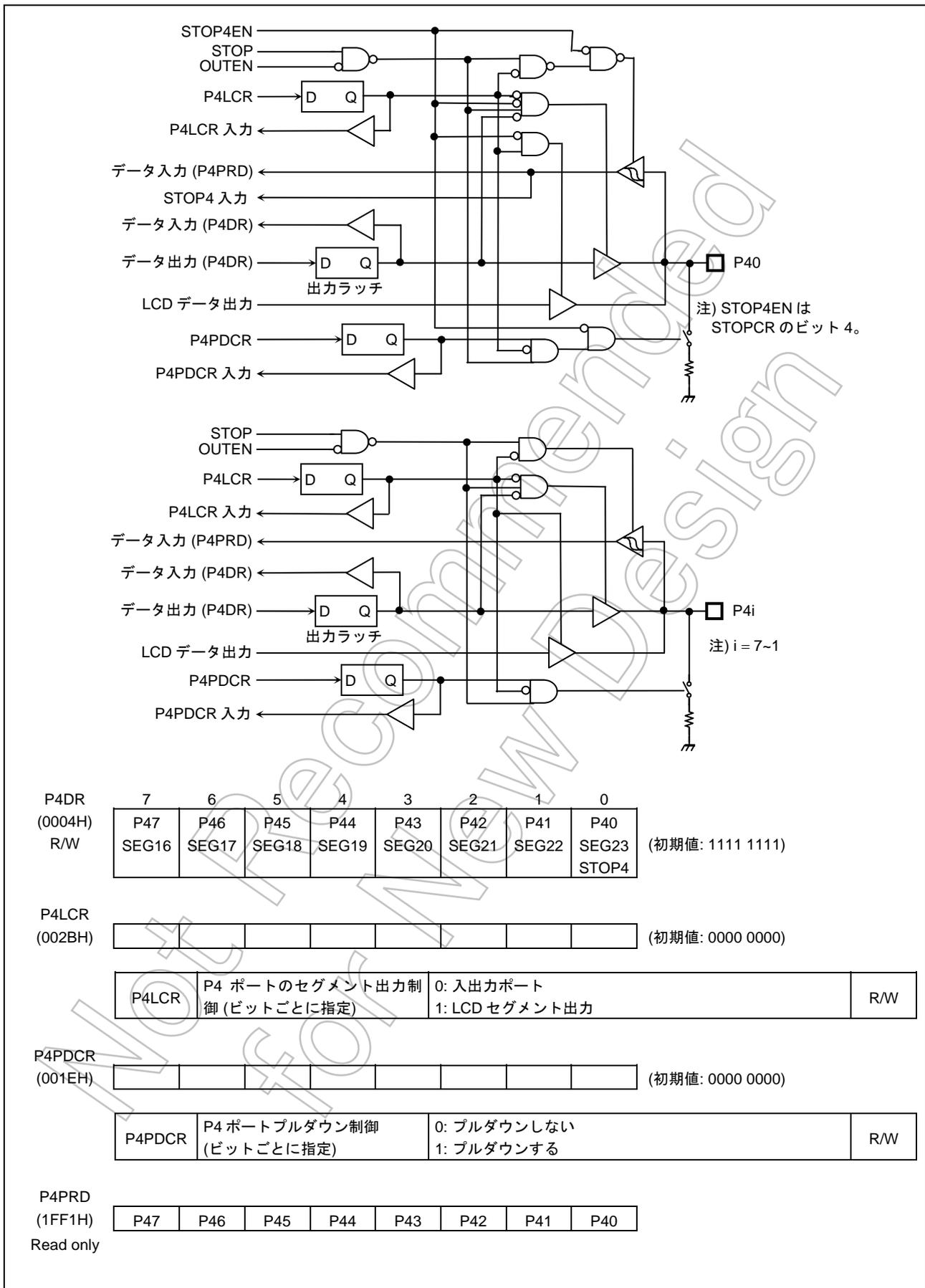


図2.2.8 P4 ポート

2.2.6 P5 (P53~P50) ポート

P5 ポートは、4 ビットの入出力ポートで、タイマカウンタ出力、デバイダ出力と兼用です (N-ch 大電流)。P5 ポートは、出力回路制御レジスタ (P5OUTCR) により、出力回路をシンクオープンドレイン出力、CMOS 出力のいずれかに設定することができます。P5OUTCR を“0”にクリアすると対応するビットの出力回路はシンクオープンドレイン回路に、P5OUTCR を“1”にセットすると対応するビットの出力回路は CMOS 出力となります。

入力ポートとして用いる場合は、対応するビットの出力ラッチ (P5DR) を“1”にセットし、P5OUTCR を“0”にクリアします。

タイマカウンタ出力、デバイダ出力として使用する場合は、対応する P5DR のビットを“1”にセットします。

リセット時、P5DR は“1”に初期化され、P5OUTCR は“0”にクリアされます。

P5 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P5DR を、端子の状態を読み込む場合は P5PRD レジスタをそれぞれ読み出してください。

P5 ポートに対して P5DR、P5OUTCR、P5PRD のリード命令を実行した場合、ビット 7~4 は不定値が読み込まれます。

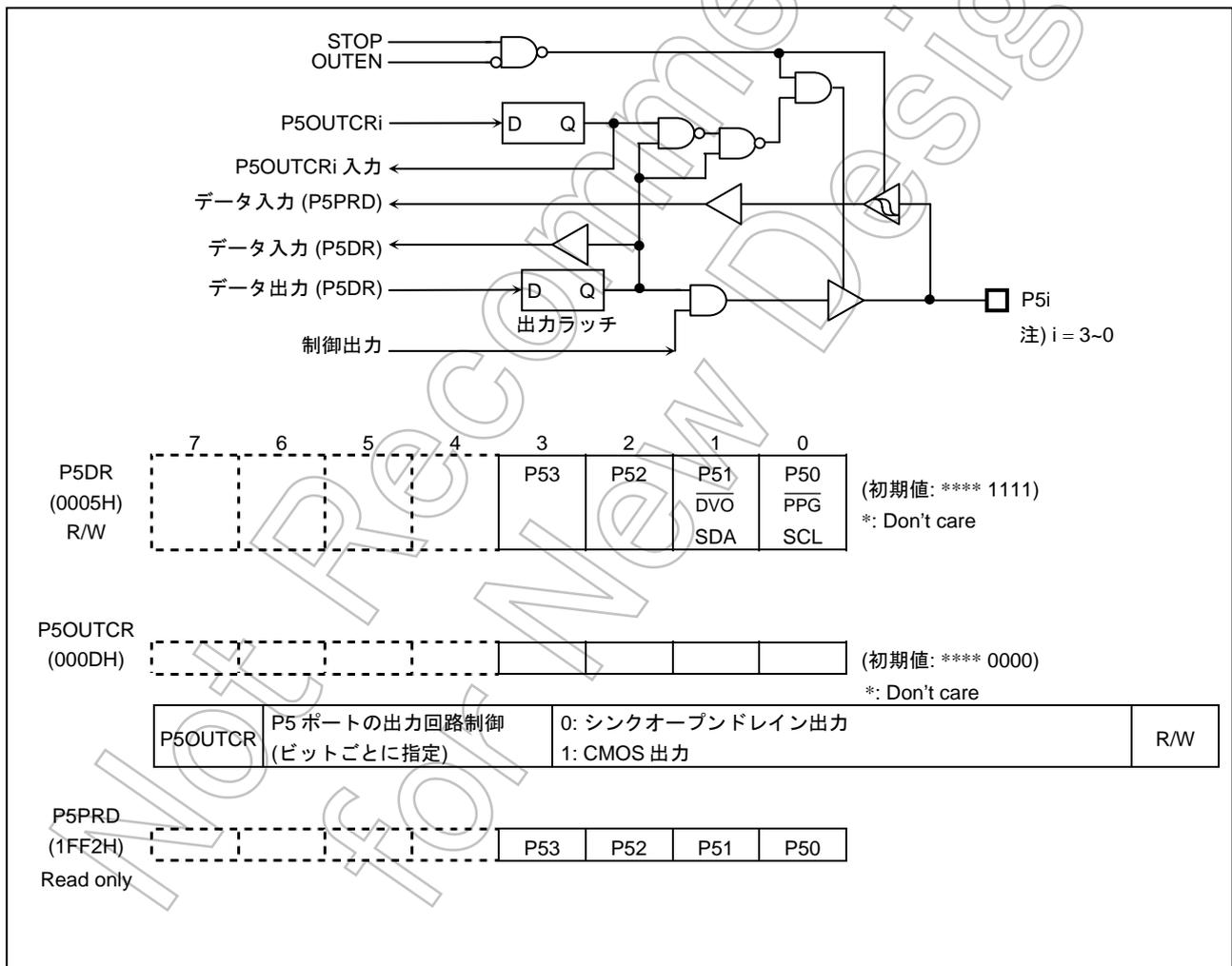


図2.2.9 P5 ポート

2.2.7 P6 (P67~P60) ポート

P6 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。入出力の指定は、入出力制御レジスタ (P6CR1) と入力制御レジスタ (P6CR2) によって行います。

出力ポートとして使用する場合は、P6CR1 の対応するビットを“1”に設定します。

入力ポートとして使用する場合は、P6CR1 の対応するビットを“0”にクリアし、P6CR2 の対応するビットを“1”にセットします。

アナログ入力として使用する場合は、P6CR1 の対応するビットを“0”にクリアした後、P6CR2 の対応するビットを“0”にクリアします。

キーオンウェイクアップ入力として使用する場合は、キーオンウェイクアップ制御レジスタ (STOPCR) により、入力を許可する端子に対応する STOPkEN ビットを“1”にセットします(k = 3~0)。

リセット時、P6CR1 と P6DR は“0”にクリアされ、P6CR2 は“1”に初期化されます。

表 2.2.3、表 2.2.4 に各レジスタ設定値と端子状態を示します。

表2.2.3 各レジスタ設定値と P63~P60 端子状態

P6CR1	P6CR2	P6DR	P6DR リード値	出力	備考
0	0	*	“0”	ハイインピーダンス	-
0	1	*	端子入力	ハイインピーダンス	入力モード
1	*	0	“0” (出カラッチ)	Low	出力モード
1	*	1	“1” (出カラッチ)	High	出力モード

*: Don't care

表2.2.4 各レジスタ設定値と P67~P64 端子状態

STOPkEN	P6CR1	P6CR2	P6DR	P6DR リード値	出力	備考
0	0	0	*	“0”	ハイインピーダンス	-
0	0	1	*	端子入力	ハイインピーダンス	入力モード
0	1	*	0	“0” (出カラッチ)	Low	出力モード
0	1	*	1	“1” (出カラッチ)	High	出力モード
1	*	*	*	“1” (出カラッチ)	ハイインピーダンス	キーオンウェイクアップ入力

注 1) *: Don't care

注 2) STOPkEN は STOPCR レジスタのビット 7~4。

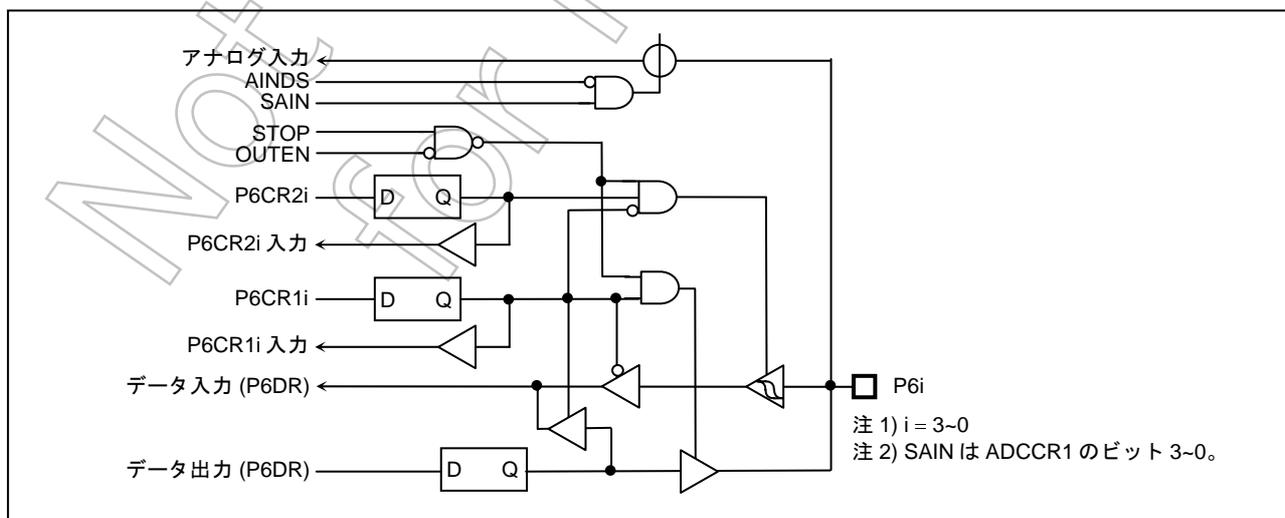


図2.2.10 P6 ポートと P6 ポート入出力制御レジスタ (P63~P60)

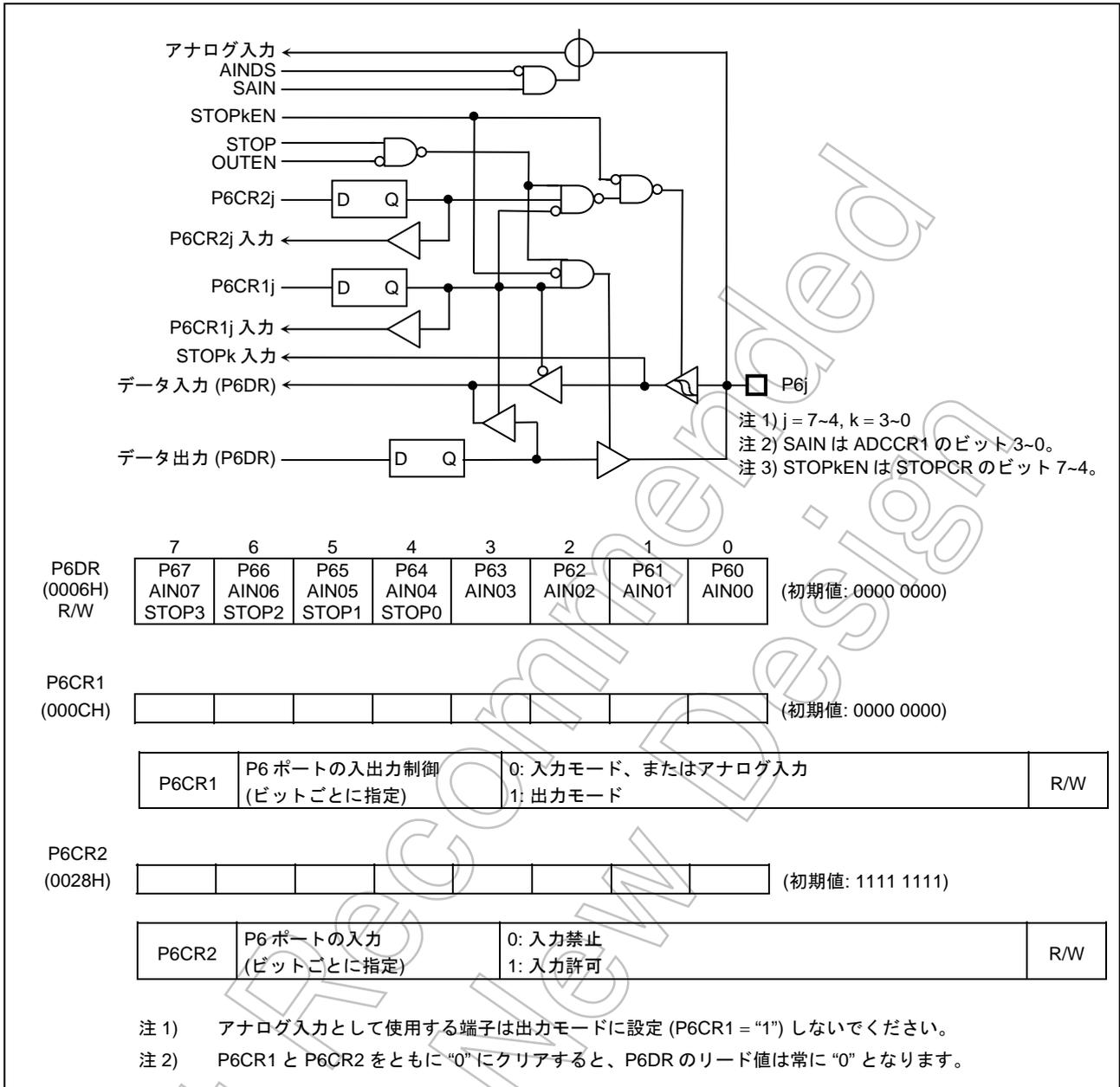


図2.2.11 P6 ポートと P6 ポート入出力制御レジスタ (P67~P64)

2.2.8 P9 (P97~P90) ポート

P9 ポートは、8 ビットの入出力ポートで LCD セグメント出力と兼用です。P9 ポートは、ビットごとのプログラミング制御が可能なプルダウン抵抗を内蔵しています。プルダウン抵抗の制御は、P9 ポートプルダウン制御レジスタ(P9PDCR)によって行い、プルダウン抵抗を接続する場合は該当する P9PDCR のビットを“1”にセットします。

入力ポートとして用いる場合は、対応するビットの出力ラッチ (P9DR) を“1”にセットし、セグメント出力制御レジスタ (P9LCR) を“0”にクリアします。

出力ポートとして用いる場合は、対応する P9LCR のビットを“0”にクリアします。

LCD セグメント出力として使用する場合は、対応する P9LCR のビットを“1”にセットします。

リセット時、P9DR は“1”に初期化され、P9LCR と P9PDCR は“0”にクリアされます。

P9 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P9DR を、端子の状態を読み込む場合は P9PRD レジスタをそれぞれ読み出してください。

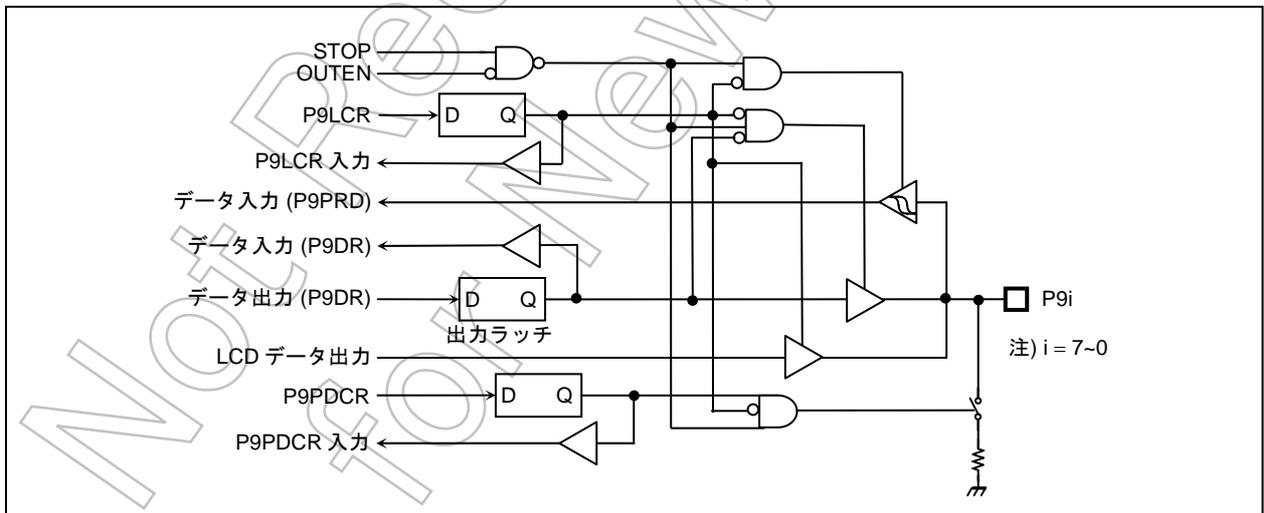
表 2.2.1 と表 2.2.2 に P4 ポートの端子状態を示します。

表 2.2.5 各レジスタ設定値と P9 ポート端子状態表

P4LCR	EDSP	P4PDCR	P4DR	P4PRD リード	出力	備考
0	*	0	0	端子入力値	Low	I/O
0	*	0	1	端子入力値	ハイインピーダンス	I/O
0	*	1	0	端子入力値	Low	I/O (プルダウン)
0	*	1	1	端子入力値	Low	I/O (プルダウン)
1	0	*	*	“0”	Low	LCD ブランキング
1	1	*	*	“0”	セグメント	LCD

注 1) *: Don't care

注 2) EDSP は LCDCR のビット 7。



P9DR (0009H) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)
	P97 SEG8	P96 SEG9	P95 SEG10	P94 SEG11	P93 SEG12	P92 SEG13	P91 SEG14	P90 SEG15	
P9LCR (1FE9H)									(初期値: 0000 0000)
P9LCR	P9 ポートのセグメント出力制御 (ビットごとに指定)					0: 入出力ポート 1: LCD セグメント出力			R/W
P9PDCR (1FE8H)									(初期値: 0000 0000)
P9PDCR	P4 ポートプルダウン制御 (ビットごとに指定)					0: プルダウンしない 1: プルダウンする			R/W
P9PRD (1FF3H) Read only	P97	P96	P95	P94	P93	P92	P91	P90	

図2.2.12 P8 ポート

Not Recommended for New Design

2.2.9 $\overline{\text{WAKE}}$ 端子

TMP86FP24 は、外部からの割り込み信号入力により STOP モードから復帰した時点で、直ちに外部に対してモニタ信号を出力する機能を持っています。この端子は、専用出力端子として割り付けられており、N-ch オープンドレイン回路となっています。この機能により STOP モード起動/復帰動作時をリアルタイムに外部へ知らせることが可能です。

従って、マイコンと接続される周辺デバイスに対して、STOP モードをコントロールするシステムに有効です

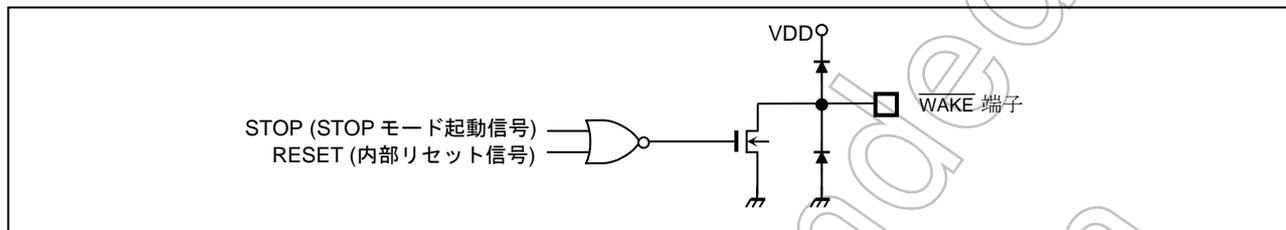


図2.2.13 $\overline{\text{WAKE}}$ 端子

基本動作

マイコンが動作しているときは、 $\overline{\text{WAKE}}$ 端子からは“L”レベルが出力されます。STOP モードが起動し、CPUの動作が停止した場合に $\overline{\text{WAKE}}$ 端子はハイインピーダンス状態となります。外部からの割り込み信号入力によって STOP モードが解除された場合、 $\overline{\text{WAKE}}$ 端子は“L”レベルとなります。従って、ウォームアップ中の $\overline{\text{WAKE}}$ 端子は“L”レベルとなります。なお、リセット期間中、 $\overline{\text{WAKE}}$ 端子はハイインピーダンス状態となります。

$\overline{\text{WAKE}}$ 端子の状態を表 2.2.6に、 $\overline{\text{WAKE}}$ 端子の出力タイミングを図 2.2.14に示します。

表 2.2.6 $\overline{\text{WAKE}}$ 端子の状態

State	$\overline{\text{WAKE}}$ 端子出力
リセット中	ハイインピーダンス
動作中 (STOP モード以外)	“L”
STOP モード中	ハイインピーダンス
ウォームアップ中	“L”

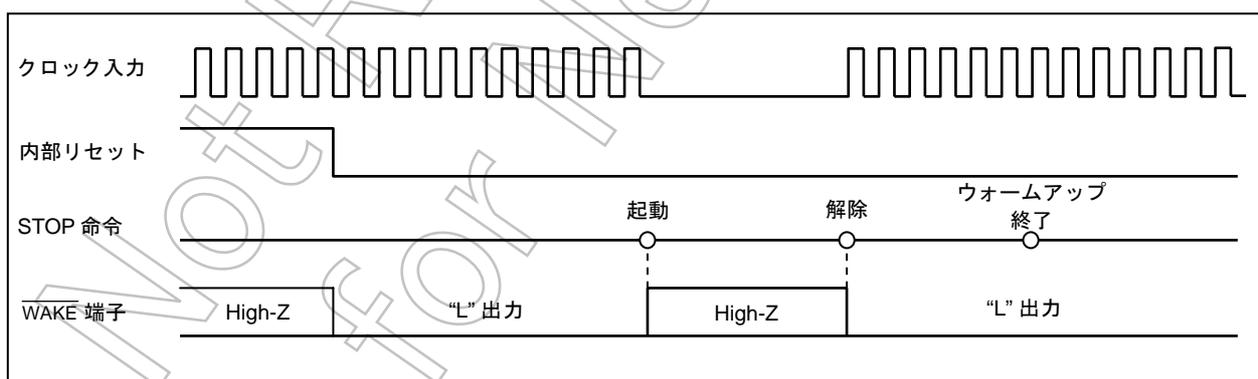


図2.2.14 $\overline{\text{WAKE}}$ 端子出力タイミング

2.3 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を **TBTCK** で選択) の最初の立ち下がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 2.3.1 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできません。

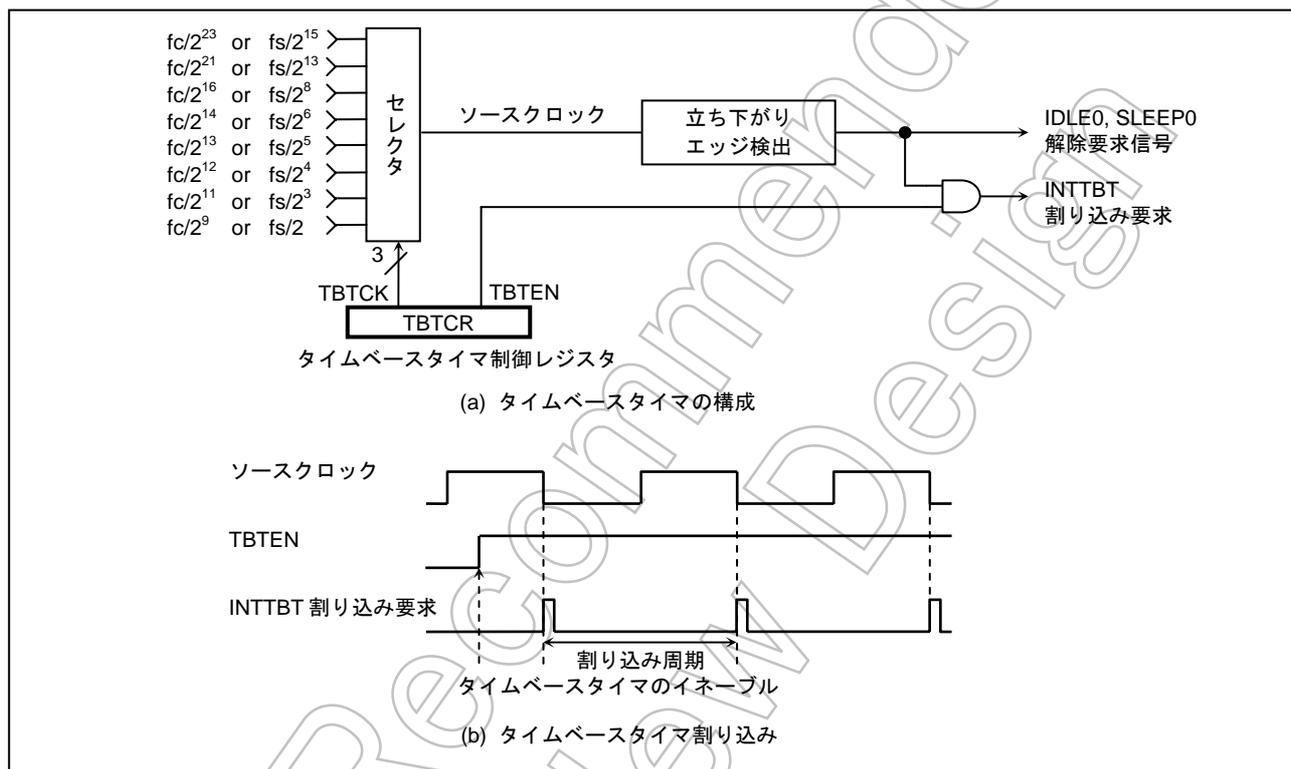


図2.3.1 タイムベースタイマ

例: タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します

```
LD      (TBTCK), 00000010B      ; TBTCK ← 010
LD      (TBTEN), 00001010B     ; TBTEN ← 1
DI      ; IMF ← 0
SET     (EIRL), 6
```

TBTCR (0036H)	7 (DVOEN)	6 (DVOCK)	5 (DV7CK)	4 TBTEN	3	2	1	0 TBCK	(初期値: 0000 0000)
TBTEN	タイムベースタイマの 許可/禁止		0: ディセーブル 1: イネーブル						
TBCK	タイムベースタイマ割り込み 周波数の選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード			R/W	
			DV7CK = 0		DV7CK = 1				
			000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$			
			001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$			
			010	$fc/2^{16}$	$fs/2^8$	-			
			011	$fc/2^{14}$	$fs/2^6$	-			
			100	$fc/2^{13}$	$fs/2^5$	-			
			101	$fc/2^{12}$	$fs/2^4$	-			
			110	$fc/2^{11}$	$fs/2^3$	-			
111	$fc/2^9$	$fs/2$	-						

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

図2.3.2 タイムベースタイマ制御レジスタ

表2.3.1 タイムベースタイマ割り込み周波数 (例: $fc = 16 \text{ MHz}$, $fs = 32.768 \text{ kHz}$ 時)

TBCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	-
011	976.56	512	-
100	1953.13	1024	-
101	3906.25	2048	-
110	7812.5	4096	-
111	31250	16384	-

2.4 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作(暴走)やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、“リセット要求”または“ノンマスカブル割り込み要求”のいずれかにプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、“リセット要求”に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

2.4.1 ウォッチドッグタイマの構成

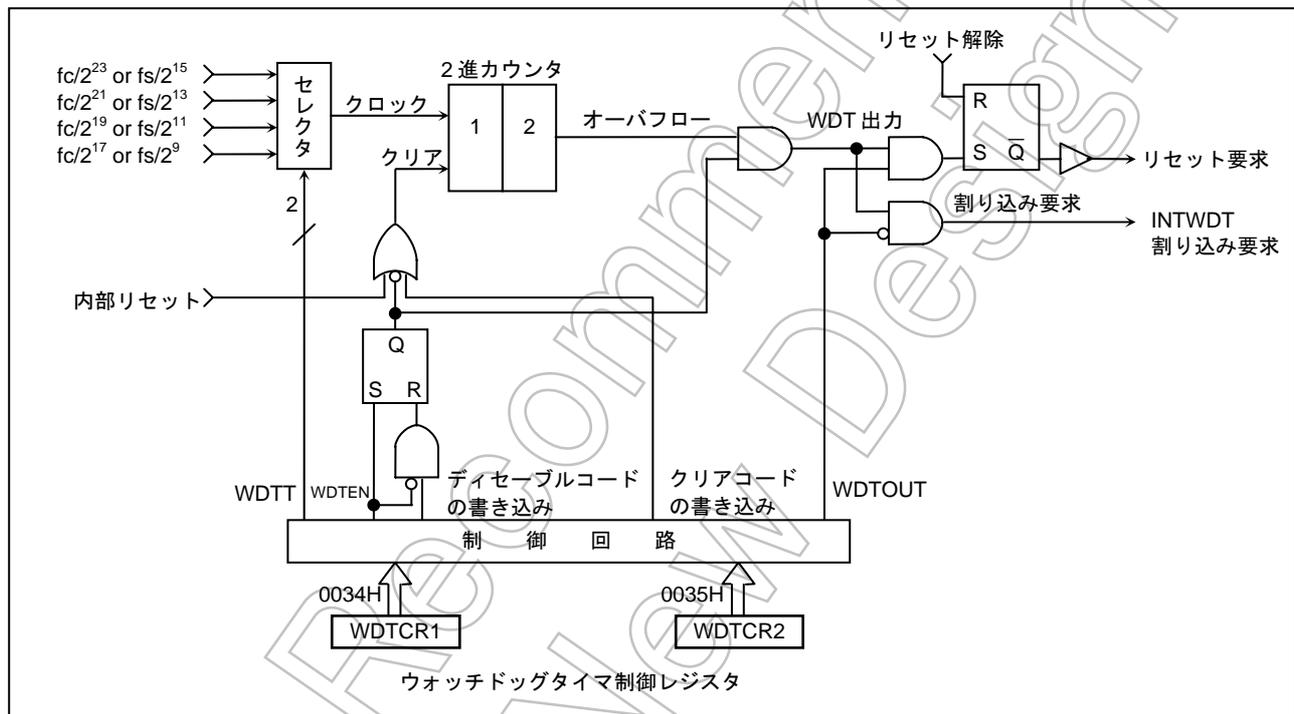


図2.4.1 ウォッチドッグタイマの構成

2.4.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図 2.4.2に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

(1) ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

- a. 検出時間の設定, 出力の選択および 2 進カウンタのクリア
- b. 設定した検出時間以内ごとに 2 進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2 進カウンタのクリアが行われないと 2 進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき $WDTCR1 < WDTOUT > = "1"$ ならリセットが発生し、内蔵ハードウェアをリセットします。また、 $WDTCR1 < WDTOUT > = "0"$ なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォームアップ中を含む) または IDLE モード中ウォッチドッグタイマは、一時的にカウントアップを停止し、STOP/IDLE モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で $WDTCR1 < WDTT >$ の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

例: ウォッチドッグタイマ検出時間を $2^{21}/f_c$ [s] に設定し、暴走検出リセットを行う

	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
	LD	(WDTCR1), 00001101B	; WDTT ← 10, WDTOUT ← 1
WDT 検出 時間 3/4 以内	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア (WDTT 変更直前直後は必ずクリアします)
WDT 検出 時間 3/4 以内	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)

7	6	5	4	3	2	1	0
-	-	(ATAS)	(ATOUT)	WDTEN	WQTT	WDTOUT	

 (初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2にディセーブルコードを書き込む必要あり) 1: 許可			Write only
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1/2 モード		SLOW1/2 モード	
		DV7CK = 0	DV7CK = 1		
		00	$2^{25}/fc$	$2^{17}/fs$	
		01	$2^{23}/fc$	$2^{15}/fs$	$2^{15}/fs$
		10	$2^{21}/fc$	$2^{13}/fs$	$2^{13}/fs$
		11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求			

注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。

注 2) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスしないでください。

注 4) STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。

また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。

注 5) WDTCR1 を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので、直前に WDTCR2 へ “4EH” を書き込み、2 進カウンタをクリアした後、WDTCR2 へ “B1H” を書き込んでウォッチドッグタイマをディセーブルにしてください。また、これらの動作の直前に、割り込みマスタ許可フラグ (IMF) を “0” に設定してください。

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)

7	6	5	4	3	2	1	0

 (初期値: **** ***)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH: ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード) B1H: ウォッチドッグタイマのディセーブル (ディセーブルコード) D2H: アドレストラップ領域選択有効 その他: 無効	Write only
--------	----------------------	---	------------

注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。

注 2) *: Don't care

注 3) ウォッチドッグタイマの 2 進カウンタのクリアは割り込みタスクで行わないでください。

注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

図2.4.2 ウォッチドッグタイマ制御レジスタ

(2) ウォッチドッグタイマのイネーブル

WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後ウォッチドッグタイマは直ちに動作します。

(3) ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルするには、割り込みマスタ許可フラグ (IMF) を “0” にし、WDTCR2 にクリアコード (4EH) を書き込んだ後、WDTCR1<WDTEN> を “0” にクリアします。その後 WDTCR2 にディセーブルコード (B1H) を書き込むことによりディセーブルになります。なお、逆に WDTCR2 にディセーブルコードを書き込んだ後、WDTCR1<WDTEN> を “0” にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの 2 進カウンタはクリアされています。

例: ウォッチドッグタイマのディセーブル

```

DI          ; IMF ← 0
LD          (WDTCR2), 4EH ; 2進カウンタのクリア
LDW        (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブル
                                         コード

```

表2.4.1 ウォッチドッグタイマ検出時間 (例: $f_c = 16$ MHz 時, $f_s = 32.768$ kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [s]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

2.4.3 ウォッチドッグタイマ割り込み (INTWDT)

ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN 命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力を WDTOUT により割り込み要因とする前にスタックポインタを設定してください。

例: ウォッチドッグタイマ割り込みの設定例

```

LD          SP, 023FH ; SP の設定
LD          (WDTCR1), 00001000B ; WDTOUT ← 0

```

2.4.4 ウォッチドッグタイマリセット

ウォッチドッグタイマのリセット要求が発生すると、リセットが発生し内蔵ハードウェアはリセットされます。ウォッチドッグタイマリセットが発生すると、フラッシュリセットも発生します。従ってリセットの最大時間は、 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ $f_c = 16.0$ MHz) です。

注) SLOW モードのときにウォッチドッグタイマリセットが発生した場合、高周波クロックの発振が直ちに開始されます。このとき高周波発振クロックの発振周波数にゆらぎがある場合、リセット時間は誤差を含むこととなります。従ってリセット時間は概略値としてとらえる必要があります。

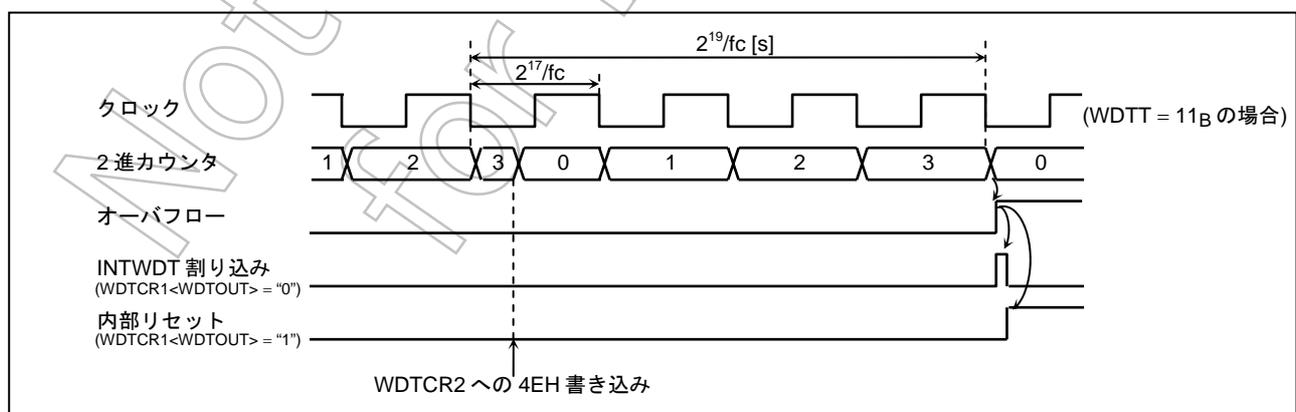


図2.4.3 ウォッチドッグタイマ割り込み/リセット

2.4.5 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。アドレストラップの制御レジスタを図 2.4.4 に示します。

ウォッチドッグタイマ制御レジスタ 1								
WDTCR1	7	6	5	4	3	2	1	0
(0034H)	-	-	ATAS	ATOUT	(WDTEN)	(WDTT)	(WDTOUT)	(初期値: **11 1001)

ATAS	内蔵 RAM 領域のアドレストラップ選択	0: アドレストラップ発生しない 1: アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード "D2H" を書き込む必要あり)	Write only
ATOUT	アドレストラップ発生時の動作選択	0: 割り込み要求 1: リセット要求	

ウォッチドッグタイマ制御レジスタ 2								
WDTCR2	7	6	5	4	3	2	1	0
(0035H)								(初期値: **** ***)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレストラップ領域選択の制御コード書き込み	D2H: アドレストラップ領域選択有効 (ATRAP 設定コード) 4EH: ウォッチドッグタイマの 2 進カウンタのクリア (WDT クリアコード) B1H: ウォッチドッグタイマのディセーブル (WDT ディセーブルコード) その他: 無効	Write only
--------	---	--	------------

図2.4.4 ウォッチドッグタイマ制御レジスタ

(1) 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS>によってアドレストラップする/しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS>を“0”に設定します。

WDTCR1<ATAS>の設定は、WDTCR1 の設定後、WDTCR2 に“D2H”を書き込むことで有効となります。SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS>の設定にかかわらず無条件にアドレストラップが発生します。

(2) アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT>によって割り込み要求が発生するか、リセット要求が発生するかを選択することができます。

2.5 デバイダ出力 (\overline{DVO})

タイミングジェネレータのデバイダによってデューティ約 50%のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、P51 (\overline{DVO}) 端子から出力されます。なお、P51 ポートは出力ラッチを“1”にセットします。

注) デバイダ出力周波数の選択は、デバイダ出力が禁止の状態で行ってください(許可状態から禁止状態にする際もデバイダ出力周波数の設定を変更しないでください)。

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	DVOEN	DVOCK	(DV7CK)	(TBTEN)			(TB7CK)		

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル			
DVOCK	デバイダ出力 (\overline{DVO} 端子) の 周波数選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード	SLOW, SLEEP モード	
			DV7CK = 0	DV7CK = 1	
		00	$fc/2^{13}$	$fs/2^5$	$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$	$fs/2^4$
		10	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

図2.5.1 デバイダ出力制御レジスタ

例: 1.95 kHz のパルスを出力 ($fc = 16.0$ MHz)

SET (P5DR).1 ; P51 出力ラッチ ← “1”
LD (TBTCR), 00000000B ; DVOCK ← “00”
LD (TBTCR), 10000000B ; DVOEN ← “1”

表2.5.1 デバイダ出力の周波数 (例: $fc = 16.0$ MHz, $fs = 32.768$ kHz)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

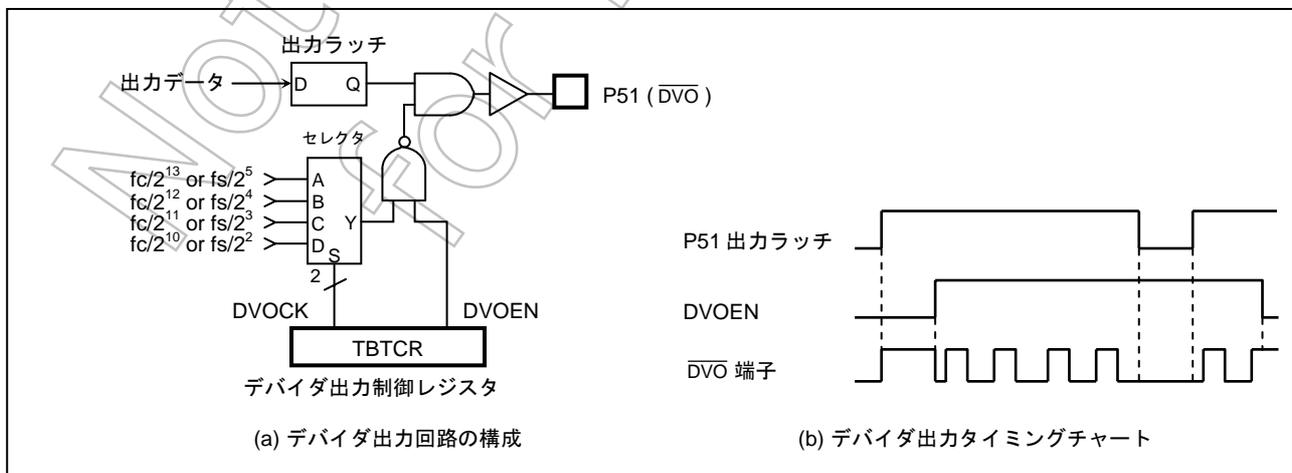


図2.5.2 デバイダ出力

2.6.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
TC1DRA (0021, 0020H) R/W		TC1DRAH (0021H)								TC1DRAL (0020H)								(初期値: 1111 1111 1111 1111)
TC1DRB (0023, 0022H) R/W		TC1DRBH (0023H)								TC1DRBL (0022H)								(初期値: 1111 1111 1111 1111)
注) TC1DRB は PPG 出力モードのみ書き込み可能です。																		
タイマカウンタ 1 制御レジスタ		7	6	5	4	3	2	1	0									
TC1CR (001FH)		TFF1	ACAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M	(初期値: 0000 0000)											

TC1M	タイマカウンタ 1 の動作モードの選択	NORMAL 1/2, IDLE 1/2 モード			SLOW 1/2, SLEEP 1/2 モード			R/W	
		DV7CK = "0"		DV7CK = "1"					
TC1CK	タイマカウンタ 1 のソースクロックの選択 単位: [Hz]	00	$fc/2^{11}$	$fs/2^3$	$fs/2^3$				
		01	$fc/2^7$	$fc/2^7$	—				
		10	$fc/2^3$	$fc/2^3$	—				
		11	外部クロック (TC1 外部入力)						
TC1S	タイマカウンタ 1 のスタート制御		タイマ	外部	イベント	ウィンドウ	パルス	PPG	R/W
		00: ストップ&カウンタクリア	○	○	○	○	○	○	
		01: コマンドスタート	○	×	×	×	×	○	
		10: 外部トリガ立ち上がりエッジスタート	×	○	○	○	○	○	
		11: 外部トリガ立ち下がりエッジスタート	×	○	○	○	○	○	
ACAP1	自動キャプチャ制御	0: 自動キャプチャディセーブル		1: 自動キャプチャイネーブル					
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ		1: 片エッジキャプチャ					
METT1	外部トリガタイマモード制御	0: トリガスタート		1: トリガスタート&ストップ					
MPPG1	PPG 出力制御	0: 連続		1: 単発					
TFF1	タイマ F/F1 制御	0: クリア		1: セット					

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。

注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。

注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
 TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)

注 6) PPG 出力モード以外は、TFF1 = 0 としてください。

注 7) TC1DRB は、PPG 出力モードに設定後でなければ書き込みできません。

注 8) ストップモードを起動するとスタート制御 (TC1S) は自動的に "00" にクリアされ、タイマは停止します。ストップモード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。

注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイ

ネーブル状態で行ってください。

注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

図 2.6.2 タイマカウンタ 1 のタイマレジスタと制御レジスタ

2.6.3 機能

タイマカウンタ 1 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

(1) タイマモード

タイマモードは、内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ 1A (TC1DRA) 設定値との一致で INTTC1 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。なお、ACAP1 (TC1CR のビット 6) を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 2.6.1 タイマカウンタ 1 の内部クロックソース (例: $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC1CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定時間 [s]
	分解能 [μs]	最大設定時間 [s]	分解能 [μs]	最大設定時間 [s]		
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	-	-
10	0.5	32.77 m	0.5	32.77 m	-	-

例 1: ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 s 後に割り込みを発生させる ($f_c = 16 \text{ MHz}$, DV7CK = “0” 時)

LDW (TC1DRA), 1E84H ; タイマレジスタの設定
 $(1 \text{ s} \div (2^{11}/f_c) = 1\text{E}84\text{H})$
 DI ; IMF = “0”
 SET (EIRL). 5 ; INTTC1 割り込みを許可
 EI ; IMF = “1”
 LD (TC1CR), 00000000B ; TFF1 ← “0”, TC1CK ← “00”, TC1M ← “00”
 LD (TC1CR), 00010000B ; TC1 スタート

例 2: 自動キャプチャ

LD (TC1CR), 01010000B ; ACAP1 ← “1”
 LD WA, (TC1DRB) ; キャプチャ値の読み出し

注 1) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

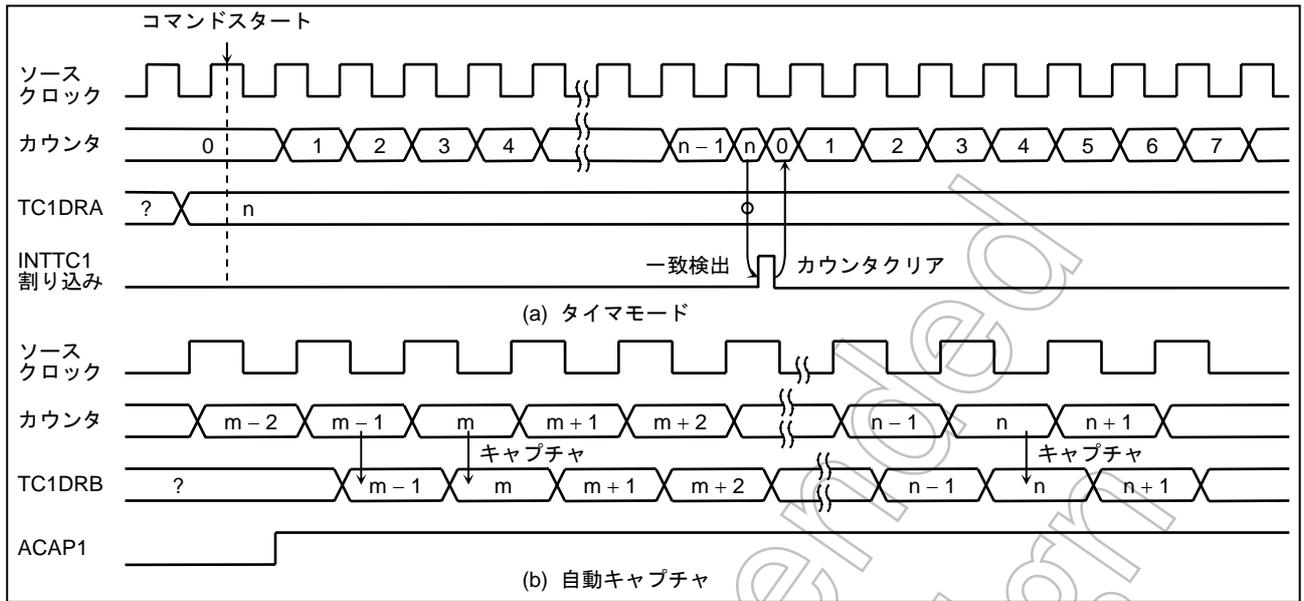


図2.6.3 タイマモードタイミングチャート

(2) 外部トリガタイマモード

外部トリガタイマモードは、TC1 端子入力をトリガにしてカウントをスタートするタイマモードです。立ち上がり/立ち下りのエッジは TC1S の設定で行います。ソースクロックは内部クロックです。カウンタ値と TC1DRA 設定値の一致で INTTC1 割り込み発生し、カウンタはクリアされて停止します。TC1 端子入力のエッジによりカウントアップは再開します。

TC1CR<METT1> が“1”の場合、カウントスタート用のトリガのエッジと逆方向のエッジ入力でカウンタはクリアされ、カウントストップします。このモードは、一定のパルス幅をもったパルス入力で割り込みを発生させることができます。TC1CR<METT1> が“0”の場合は、逆方向のエッジ入力は無視されます。また、一致検出前の TC1 端子入力のエッジも無視されます。

TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 $4/fc$ [s] 以下のパルスはノイズとして除去されます。確実にエッジ検出が行われるためには $12/fc$ [s] 以上のパルス幅が必要です。また、SLOW1/2 または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

例 1: TC1 端子入力の立ち上がりエッジから $100 \mu\text{s}$ 後に割り込みを発生させる ($fc = 16 \text{ MHz}$, DV7CK = “0” 時)

```
DI ; IMF = "0"
LDW (TC1DRA), 00C8H ;  $100 \mu\text{s} \div 2^3/fc = \text{C8H}$ 
SET (EIRL).5 ; INTTC1 割り込み許可
EI ; IMF = "1"
LD (TC1CR), 00001000B ; TFF1 = "0", TC1CK = "10", TC1M = "00"
LD (TC1CR), 00101000B ; TC1 外部トリガスタート, METT1 = "0"
```

例 2: TC1 端子に“L”レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる ($fc = 16 \text{ MHz}$ 時)

```
DI ; IMF = "0"
LDW (TC1DRA), 1F40H ;  $4 \text{ ms} \div 2^3/fc = 1\text{F40H}$ 
SET (EIRL).5 ; INTTC1 割り込み許可
EI ; IMF = "1"
LD (TC1CR), 01001000B ; TFF1 = "0", TC1CK = "10", TC1M = "00"
LD (TC1CR), 01111000B ; TC1 外部トリガスタート, METT1 = "1"
```

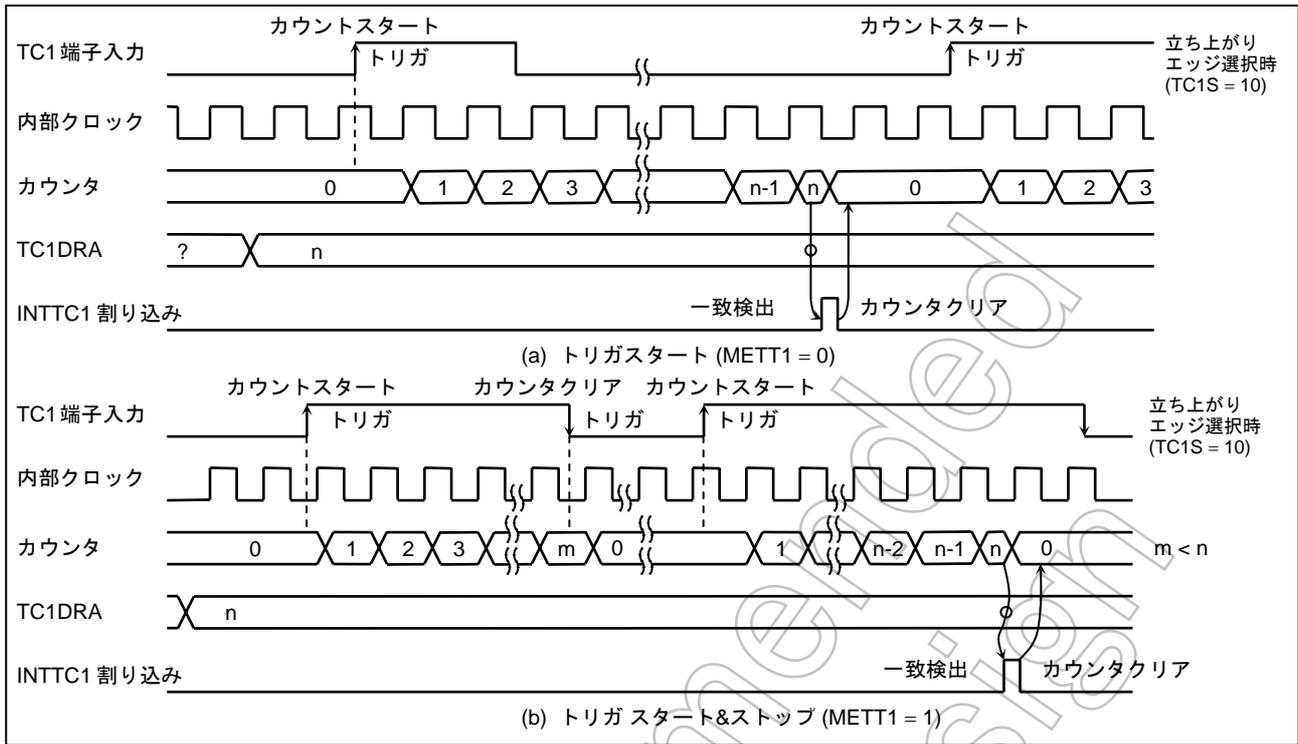


図2.6.4 外部トリガタイマモード タイミングチャート

(3) イベントカウンタモード

イベントカウンタモードは、TC1 端子入力のエッジ(立ち上がり/立ち下りのエッジ選択は外部トリガのエッジ選択 TC1CR<TC1S>で行います)でカウントアップするモードです。カウンタ値と TC1DRA 設定値との一致で INTTC1 割り込み発生し、カウンタはクリアされます。カウンタクリア後も TC1 端子入力のエッジごとにカウントアップします。なお、一致検出は、選択されたエッジとは逆側のエッジにて行われますので、必ず入力してください。TC1 端子への最小入力パルス幅は、“H”、“L”レベルともに 2 マシンサイクル以上必要です。

TC1CR<ACAP1>を“1”にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます(自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値(TC1DRB レジスタ値)は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

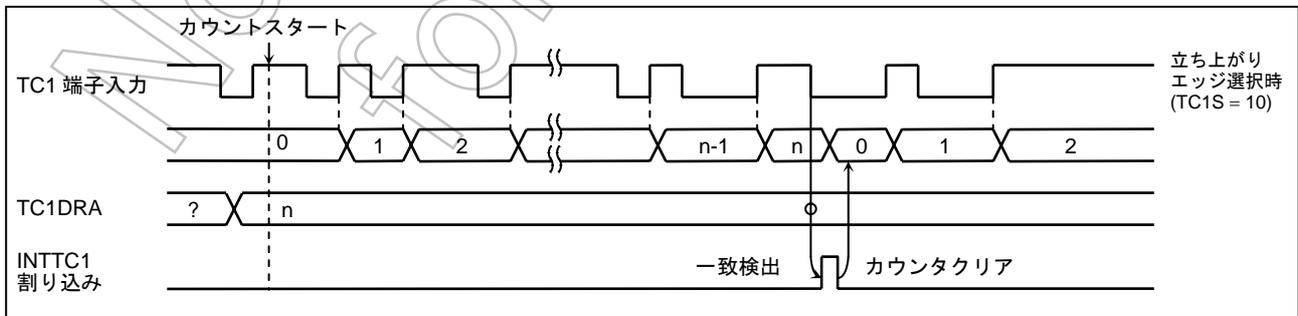


図2.6.5 イベントカウンタモード タイミングチャート

表2.6.2 タイマカウンタ 1 の外部クロックソース

	最小入力パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

(4) ウィンドウモード

ウィンドウモードは、TC1 端子入力（ウィンドウパルス）と内部クロックとの論理積パルスの立ち上がりエッジでカウントアップするモードです。カウンタ値と TC1DRA 設定値との一致で INTTC1 割り込み発生し、カウンタはクリアされます。TC1 端子入力は、正論理/負論理の選択ができます（外部トリガのエッジ選択 TC1CR<TC1S>で行います）。

最大印加周波数は、プログラムでカウント値を分析できる程度の周波数である必要がありますので、設定した内部ソースクロックより十分に遅い周波数のパルスを入力してください。

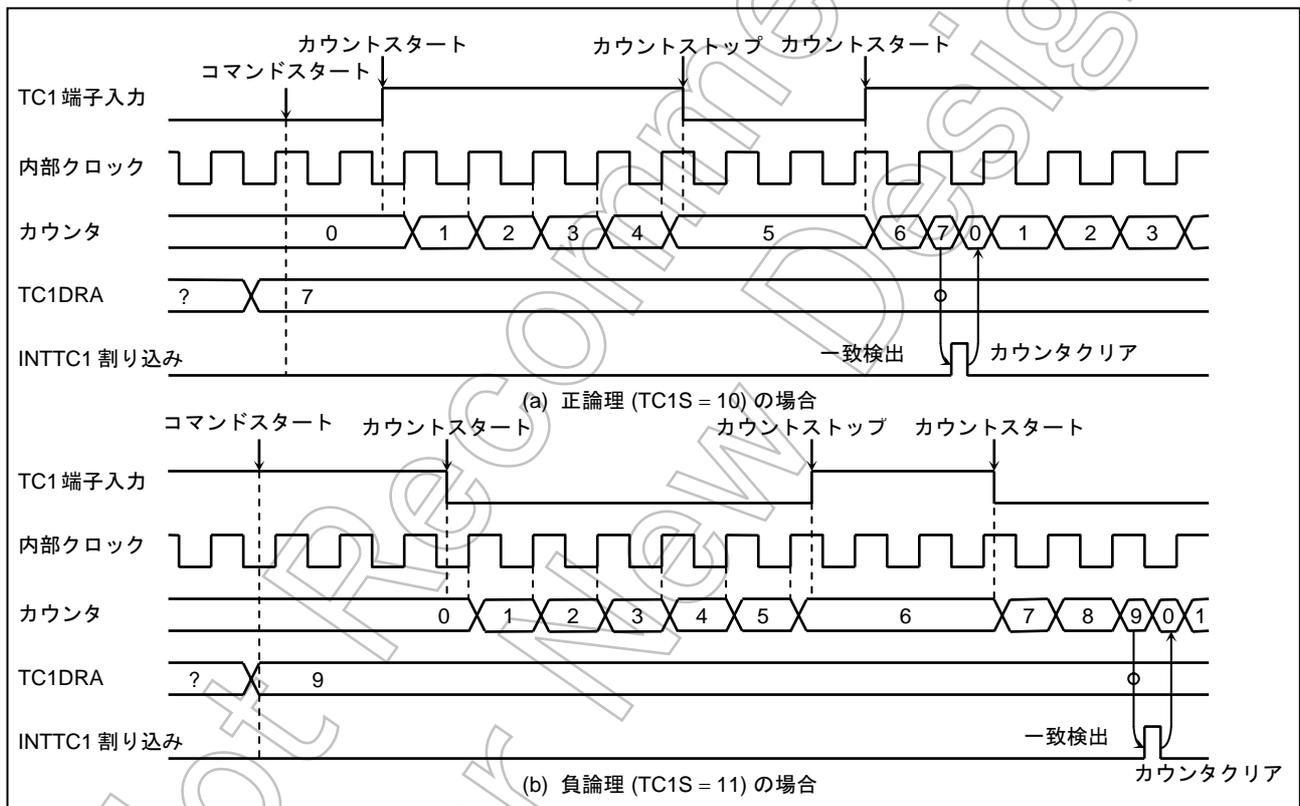


図2.6.6 ウィンドウモードタイミングチャート

(5) パルス幅測定モード

パルス幅測定モードは、TC1 端子入力の立ち上がり/立ち下がりエッジをトリガにしてカウントするモードです (TC1CR<TC1S>で外部トリガスタートに設定します)。ソースクロックは内部クロックです。次の立ち下がり/立ち上がりエッジでカウンタの内容をTC1DRBに取り込み、割り込みを発生します。片エッジキャプチャ (TC1CR<MCAP1> = “1”) に設定した場合はカウンタはクリアされます。両エッジキャプチャ (TC1CR<MCAP1> = “0”) に設定した場合はカウンタは継続し、次の立ち上がり/立ち下がりエッジで再びカウンタの内容をTC1DRBに取り込みます。なお、立ち下がり/立ち上がりエッジでのキャプチャ値が必要な場合は、立ち上がり/立ち下がりエッジが検出されるまでにTC1DRBの内容を読み出す必要があります。立ち上がり/立ち下がりエッジの選択は外部トリガエッジ選択TC1CR<TC1S>で行い、片エッジ/両エッジキャプチャの選択はTC1CR<MCAP1>で行います。

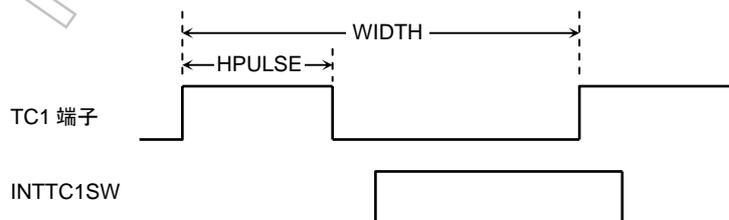
- 注 1) キャプチャ値は次のトリガエッジが検出されるまでにTC1DRBから必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このときTC1DRBは、16ビットアクセス命令による読み出しを推奨します。
- 注 2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで“1”で停止するため、2回目のキャプチャ値は、スタート直後のキャプチャ値よりも“1”大きくなります。
- 注 3) パルス幅測定モードにおいて、タイムスタート後の最初のキャプチャ値は不定となります。タイムスタート後の1回目のキャプチャ値は読み捨ててください。

例: デューティの測定 (分解能 $tc/2^7$ [Hz])

```

CLR      (INTTC1SW), 0          ; INTTC1 のサービススイッチの初期設定
LD       (TC1CR), 00000110B    ; TC1 のモード, ソースクロックを設定
DI       ; IMF = “0”
SET      (EIRL), 5             ; INTTC1 割り込みを許可
EI       ; IMF = “1”
LD       (TC1CR), 00100110B    ; MCAP1 = 0 で TC1 を外部トリガスタート
...
PINTTC1: CPL      (INTTC1SW), 0 ; INTTC1 のサービススイッチの反転
          JRS      F, SINTTC1
          LD       A, (TC1DRBL)  ; TC1DRB の読み出し (“H” レベルパルス幅)
          LD       W, (TC1DRBH)
          RETI
SINTTC1: LD       L, (TC1DRBL)  ; TC1DRB の読み出し (周期)
          LD       H, (TC1DRBH)
          ; デューティ計算
          RETI
...
VINTTC1: DW       PINTTC1

```



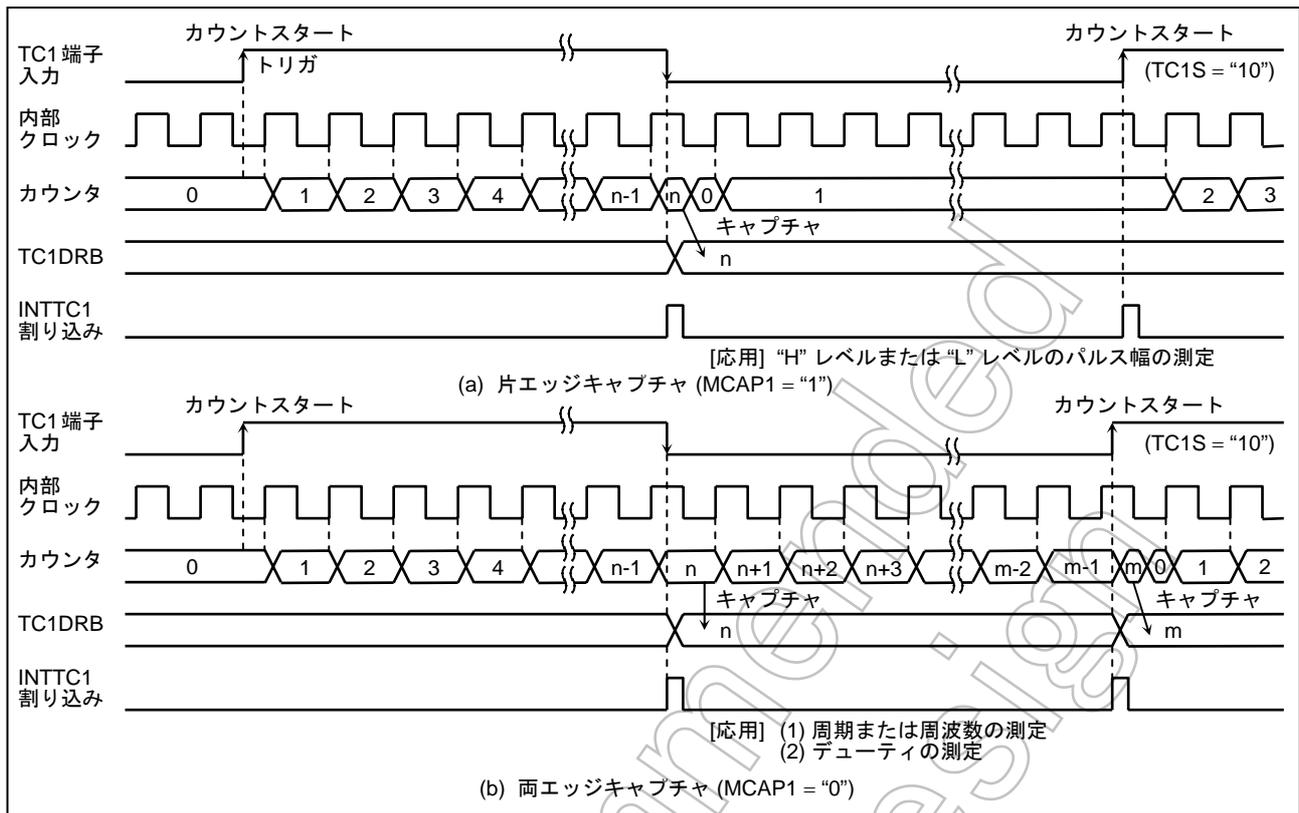


図2.6.7 パルス幅測定モード

(6) プログラマブルパルスジェネレート (PPG) 出力モード

PPG 出力モードは、2つのタイマレジスタによって任意のデューティパルスを出力するモードです。

TC1 端子入力のエッジ (立ち上がり/立ち下がりエッジ選択可能。エッジ選択は、外部トリガエッジ選択 (TC1CR<TC1S>) エッジ選択と共通) またはコマンドでカウントをスタートします。ソースクロックは内部クロックです。タイマスタート後、カウンタと TC1DRB の一致でタイマ F/F1 が反転し、INTTC1 割り込みが発生します。その後もカウンタアップを継続し、カウンタと TC1DRA の一致でタイマ F/F1 が反転し、INTTC1 割り込みが発生します。このとき TC1CR<MPPG1>が“1” (単発) に設定されていると TC1S は自動的に“00”にクリアされ、タイマは停止します。TC1CR<MPPG1>が“0” (連続) に設定されていると、カウンタはクリアされ、カウント動作および PPG 出力を継続します。なお、PPG 出力中に TC1S を“00”に設定 (単発による自動停止を含む) すると、P50 (PPG) 端子は停止直前のレベルを保持します。PPG 出力を行う場合、P50 ポートの出力ラッチを“1”にセットします。タイマ F/F1 は、リセット時“0”にクリアされます。また、TC1CR<TFF1> でスタート時の出力レベルを設定することができますので、正論理/負論理いずれのパルスも出力可能です。P50 (PPG) 端子は、タイマ F/F1 出力の反転レベルが出力されます。なお、TC1DRB は、PPG 出力モードに設定されていないと書き込みできません。

注 1) タイマ動作中にタイマレジスタを変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さい値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1>はタイマ動作中に変更しないでください。TC1CR<TFF1>は、初期設定時 (リセット後) のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1>は正しく設定することができなくなります (このとき TC1CR<TFF1>を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M>を一度タイマモードに変更し (タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1>を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。

TC1DRA > TC1DRB

例: “H” レベル 800 μ s, “L” レベル 200 μ s のパルスを出力 ($f_c = 16$ MHz 時)

SET	(P5DR).0	; P50 出力ラッチ ← 1
LD	(TC1CR), 10001011B	; PPG 出力モードに設定
LDW	(TC1DRA), 07D0H	; 周期の設定 ($1 \text{ ms} \div 2^3/f_c \mu\text{s} = 07D0\text{H}$)
LDW	(TC1DRB), 0190H	; “L” レベルパルス幅の設定 ($200 \mu\text{s} \div 2^3/f_c = 0190\text{H}$)
LD	(TC1CR), 10011011B	; スタート

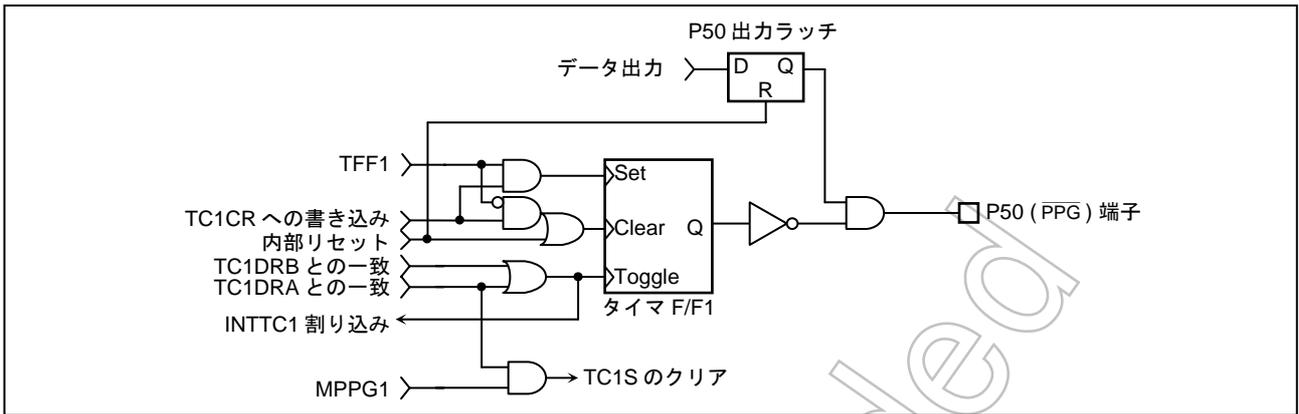


図2.6.8 PPG出力

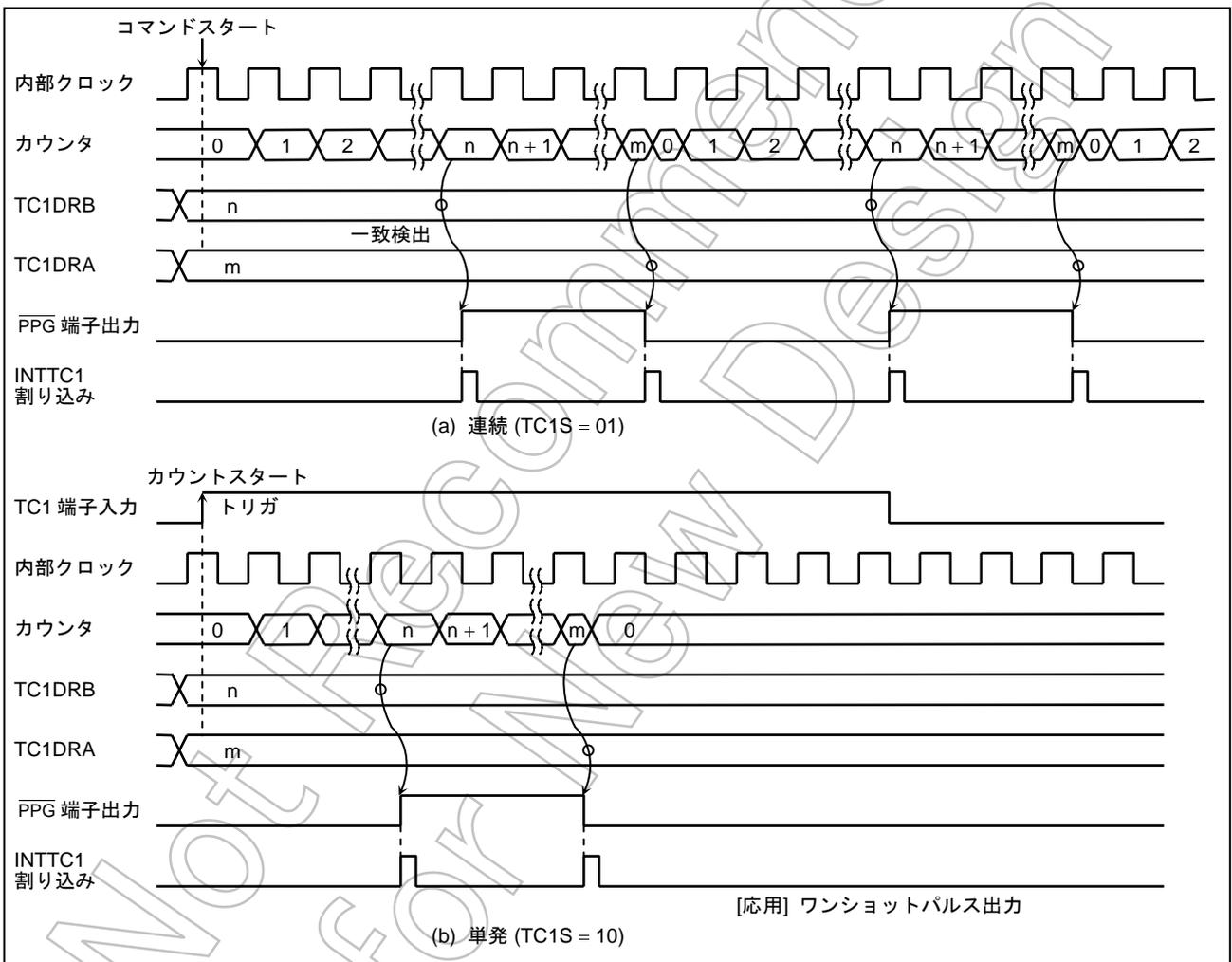


図2.6.9 PPG出力モードタイミングチャート

2.7 16ビットタイマカウンタ 2

2.7.1 構成

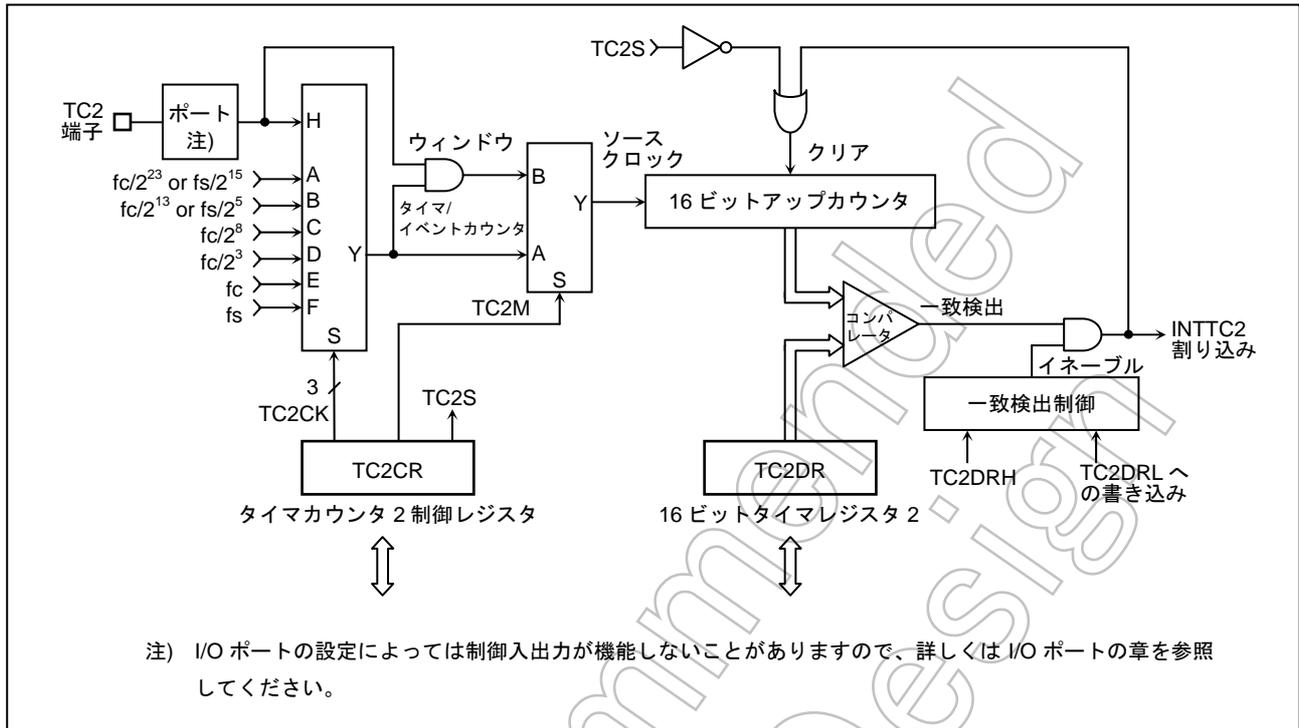


図2.7.1 タイマカウンタ 2 (TC2)

2.7.2 制御

タイマカウンタ 2 は、タイマカウンタ 2 制御レジスタ (TC2CR) と 16 ビットのタイマレジスタ 2 (TC2DR) で制御されます。

TC2DR (0025, 0024H) R/W	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TC2DRH (0025H)								TC2DRL (0024H)								
TC2CR (0013H)	7	6	5	4	3	2	1	0	(初期値: **00 00*0)								
	TC2S		TC2CK			TC2M											
TC2M	タイマカウンタ 2 の動作モードの選択		0: タイマ/イベントカウンタモード 1: ウィンドウモード														
TC2CK	タイマカウンタ 2 のソースクロックの選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2 モード		SLEEP1/2 モード		R/W								
			DV7CK = 0		DV7CK = 1												
			000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$	$fs/2^{15}$										
			001	$fc/2^{13}$	$fs/2^5$	$fs/2^5$	$fs/2^5$										
			010	$fc/2^8$	$fc/2^8$	-	-										
			011	$fc/2^3$	$fc/2^3$	-	-										
			100	-	-	fc (注 7)	-										
			101	fs	-	-	-										
110	Reserved																
111	外部クロック (TC2 端子入力)																
TC2S	タイマカウンタ 2 のスタート制御		0: ストップ&カウンタクリア 1: スタート														

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注 2) タイマレジスタ 2 (TC2DR) への書き込みは必ず下位側 (TC2DRL)、上位側 (TC2DRH) の順に行ってください。下位側または上位側のみの書き込みでは、設定値は反映されません。

注 3) タイマレジスタ 2 (TC2DR) の下位側 (TC2DRL) にデータを書き込むと、上位側 (TC2DR) にデータが書き込まれるまでの間、前回の設定値で一致検出を行います。

注 4) モード、ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。

注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC2DR > 1 (ウォームアップのときは TC2DR₁₅-TC2DR₁₁ > 1)

注 6) TC2CR にリード命令を実行すると、ビット 1, ビット 6, ビット 7 は不定値が読み込まれます。

注 7) ソースクロックの fc は、SLOW2 モード時のタイマモードのみ使用することができます。

注 8) STOP モードを起動すると、TC2S は自動的に "0" にクリアされ、タイマは停止します。従って STOP モード解除後、タイマカウンタ 2 を使用する場合は、TC2S を再設定してください。

図 2.7.2 タイマカウンタ 2 のタイマレジスタと制御レジスタ

2.7.3 機能

タイマカウンタ 2 には、タイマ、イベントカウンタとウィンドウの 3 つの動作モードがあります。

(1) タイマモード

タイマモードは、内部ソースクロックでカウントアップするモードです。カウンタ値とタイマレジスタ 2 (TC2DR) 設定値との一致で INTTC2 割り込みが発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOW2 モードのとき、ソースクロックとして f_c が選択された場合、TC2DR の下位 11 ビットは比較対象とはならず、上位 5 ビットのみ的一致で割り込みが発生します。従ってこの場合 TC2DRH の設定は必要ですが、TC2DRL の設定は不要です。

表2.7.1 タイマカウンタ 2 の内部ソースクロック (例: $f_c = 16$ MHz 時)

TC2CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2 モード		SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能	最大設定時間	分解能	最大設定時間
	分解能	最大設定時間	分解能	最大設定時間				
000	524.29ms	9.54 h	1.00 s	18.20 h	1.00 s	18.20 h	1.00 s	18.20 h
001	512.00 μ s	33.55 s	0.98 ms	1.07 min	0.98 ms	1.07 min	0.98 ms	1.07 min
010	16.00 μ s	1.05 s	16.00 μ s	1.05 s	—	—	—	—
011	0.50 μ s	32.77 ms	0.50 μ s	32.77 ms	—	—	—	—
100	—	—	—	—	62.5 ns (注)	—	—	—
101	30.52 μ s	2.00 s	30.52 μ s	2.00 s	—	—	—	—

注) タイマモードでソースクロックとして f_c を選択するときは、SLOW2 から NORMAL2 モードへのウォームアップとして使用してください。

例: ソースクロック $f_c/2^3$ [Hz] で、タイマモードにセットし、25 ms ごとに割り込み発生させる ($f_c = 16$ MHz 時)

LDW	(TC2DR), 0C350H	; TC2DR の設定 ($25 \text{ ms} \div 2^3/f_c = \text{C350H}$)
DI		; IMF = "0"
SET	(EIRE), 4	; INTTC2 割り込みを許可
EI		; IMF = "1"
LD	(TC2CR), 00001100B	; TC2CK ← "011", TC2M ← "0"
LD	(TC2CR), 00101100B	; TC2 スタート

(2) イベントカウンタモード

イベントカウンタモードは、TC2 端子入力の立ち上がりエッジでカウントアップするモードです。カウンタ値と TC2DR 設定値との一致で INTTC2 割り込み発生し、カウンタはクリアされます。TC2 端子への最小入力パルス幅は、表 2.7.1 のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。なお、一致検出は立ち下がりエッジで行われますので、立ち上がったままでは一致検出は行われず、INTTC2 割り込みは発生しません。

例: イベントカウンタモードにセットし、640 カウント後に INTTC2 割り込みを発生させる

```
LDW      (TC2DR), 640      ; TC2DR の設定
LD       (INTSEL), 00000001B ; 割り込み要因の選択で INTTC2 を選択
DI       ; IMF = "0"
SET      (EIRE), 4        ; INTTC2 割り込みを許可
EI       ; IMF = "1"
LD       (TC2CR), 00011100B ; TC2CK ← "111", TC2M ← "0"
LD       (TC2CR), 00111100B ; TC2 スタート
```

表2.7.2 タイマカウンタ 2 の外部ソースクロック

	最小入力パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

(3) ウィンドウモード

ウィンドウモードは、TC2 外部端子入力 (ウィンドウパルス) が “H” レベルの間、内部クロックでカウントアップするモードです。カウンタ値と TC2DR 設定値との一致で、INTTC2 割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、設定した内部ソースクロックよりも十分遅い周波数である必要があります。

注) SLOW/SLEEP モードを起動する場合、事前に TC2CR<TC2S>を “0” に設定してタイマカウンタ 2 を停止してください。

例: 120 ms 以上の “H” レベルパルスが入力されると割り込みを発生させる
($f_c = 16 \text{ MHz}$ 、 $\text{TBTCR}<\text{DV7CK}> = “0”$ 時)

LDW	(TC2DR), 00EAH	:	TC2DR の設定 ($120 \text{ ms} \div 2^{13}/f_c = 00EAH$)
DI		:	IMF = “0”
SET	(EIRE). 4	:	INTTC2 割り込みを許可
EI		:	IMF = “1”
LD	(TC2CR), 00000101B	:	TC2CK ← “001”, TC1M ← “1”
LD	(TC2CR), 00100101B	:	TC2 スタート

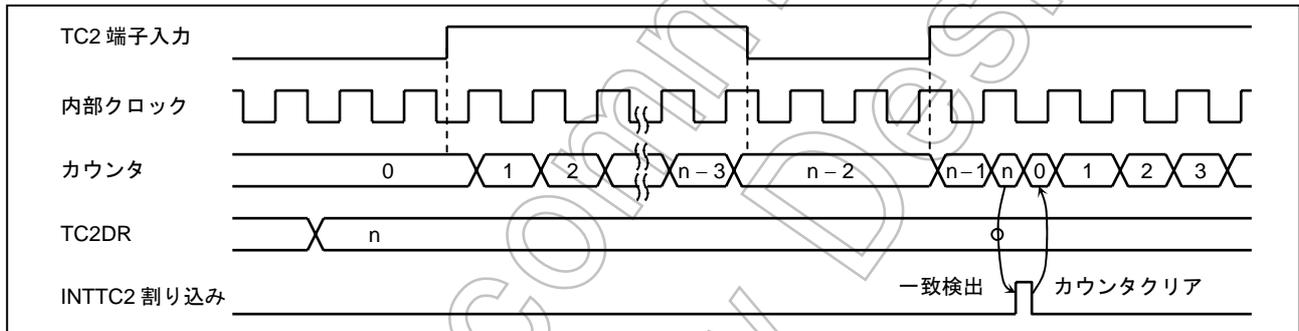


図2.7.3 ウィンドウモードタイミングチャート

2.8 8ビットタイマカウンタ 3

2.8.1 構成

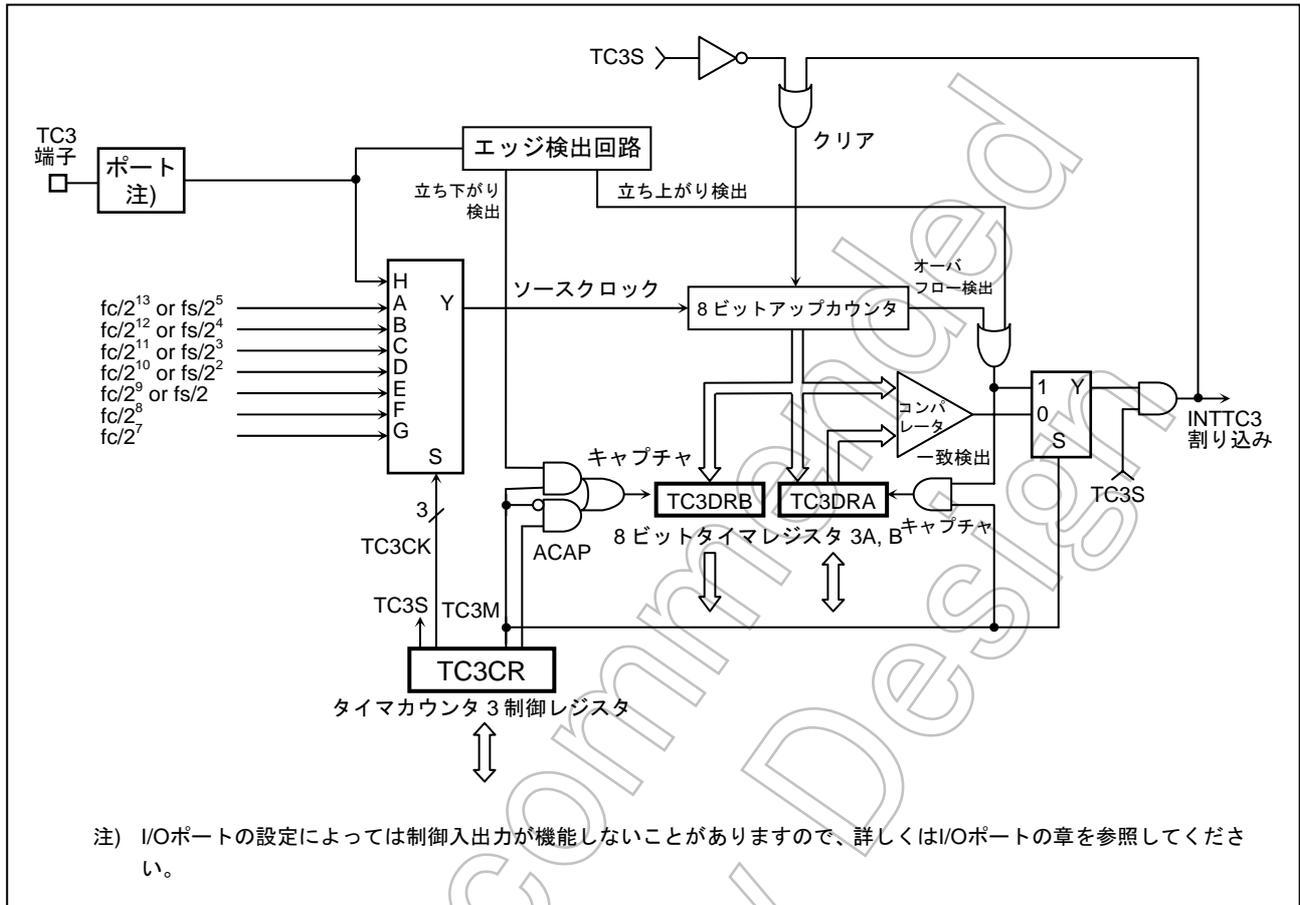


図2.8.1 タイマカウンタ 3 (TC3)

2.8.2 制御

タイマカウンタ 3 は、タイマカウンタ 3 制御レジスタ (TC3CR) と 2 本の 8 ビットタイマレジスタ (TC3DRA, TC3DRB) で制御されます。

TC3DRA (0010H) R/W

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

TC3DRB (0011H) Read only

7	6	5	4	3	2	1	0

(初期値: 1111 1111)

TC3CR (0012H)

7	6	5	4	3	2	1	0
ACAP		TC3S	TC3CK				TC3M

(初期値: *0*0 0000)

TC3M	タイマカウンタ 3 の動作モードの選択	0: タイマ/イベントカウンタモード 1: キャプチャモード				
TC3CK	タイマカウンタ 3 のソースクロックの選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード		R/W		
		DV7CK = 0			DV7CK = 1	
		000	$fc/2^{13}$		$fs/2^5$	SLOW1/2, SLEEP1/2 モード $fs/2^5$
		001	$fc/2^{12}$		$fs/2^4$	$fs/2^4$
		010	$fc/2^{11}$		$fs/2^3$	$fs/2^3$
		011	$fc/2^{10}$		$fs/2^2$	$fs/2^2$
		100	$fc/2^9$		$fs/2$	$fs/2$
		101	$fc/2^8$		$fc/2^8$	-
110	$fc/2^7$	$fc/2^7$	-			
111	外部クロック (TC3 端子入力)					
TC3S	タイマカウンタ 3 のスタート制御	0: ストップ&カウンタクリア 1: スタート				
ACAP	自動キャプチャ制御	0: - 1: 自動キャプチャ				

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care
 注 2) モード、ソースクロックは、タイマカウンタ停止 (TC3S = "0") 状態で設定してください。
 注 3) タイマレジスタ 3A への設定値は、次の条件を満たす必要があります。
 TC3DRA > 1 (タイマ/イベントカウンタモード時)
 注 4) 自動キャプチャはタイマ/イベントカウンタモード時のみ使用可能です。
 注 5) TC3CR に対しリード命令を実行すると、ビット 5、ビット 7 は不定値が読み込まれます。
 注 6) タイマ動作中 (TC3S = "1") は、TC3DRA を書き替えないでください。
 注 7) ストップモードを起動すると、スタート制御 (TC3S) は、自動的に "0" にクリアされ、タイマは停止します。
 ストップモード解除後、タイマカウンタを使用する場合は、TC3S を再設定してください。

TC3 入力制御 (正転/反転)

TC3SEL (0029H)

7	6	5	4	3	2	1	0
							TC3INV

(初期値: **** ***)

TC3INV	TC3 入力制御	0: 正転 1: 反転	R/W
--------	----------	----------------	-----

注) TC3SEL に対してリード命令を実行すると、ビット 7-0 は不定値が読み込まれます。

図2.8.2 タイマカウンタ 3 のタイマレジスタと制御レジスタ

2.8.3 TC3 入力制御レジスタ

TMP86FP24 は、TC3 端子から入力されたパルスを反転する機能を内蔵しています。

TC3 入力極性の選択(正転/反転)は、TC3 入力制御レジスタ TC3SEL<TC3INV>によって行います。

2.8.4 機能

タイマカウンタ 3 には、タイマ、イベントカウンタ、キャプチャの 3 つの動作モードがあります。

(1) タイマモード

タイマモードは、内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ 3A (TC3DRA) 設定値との一致で INTTC3 割り込みが発生し、カウンタはクリアされます。

TC3CR<ACAP> を“1” にセットすると、以降カウントアップ値が継続してタイマレジスタ B (TC3DRB) に取り込まれ続けます (自動キャプチャ機能)。TC3DRB に対してリード命令を実行することにより簡単にそのときのカウンタ値を確認することができます。ただし、実際のカウントアップと同時に取り込まれません。そのためオーバーフロー (FFH) と 00H の値は正しく取り込まれませんので、カウント周期を考慮して使用してください。

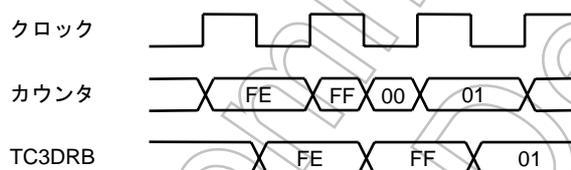


表2.8.1 タイマカウンタ 3 の内部ソースクロック (例: $f_c = 16 \text{ MHz}$ 時)

TC3CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定時間 [ms]
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]		
000	512.0	130.6	976.6	249.0	976.6	249.0
001	256.0	65.3	488.3	124.5	488.3	124.5
010	128.0	32.6	244.1	62.3	244.1	62.3
011	64.0	16.3	122.0	31.1	122.0	31.1
100	32.0	8.2	61.0	15.6	61.0	15.6
101	16.0	4.1	16.0	4.1	—	—
110	8.0	2.0	8.0	2.0	—	—

(2) イベントカウンタモード

イベントカウンタモードは、TC3 端子入力パルスのエッジでカウントアップするモードです。TC3 端子の入力パルスは TC3SEL<TC3INV>によって極性を反転することができます。

TC3SEL<TC3INV> = “0” の場合、TC3 端子の立ち上がりエッジでカウントアップし、カウンタ値と TC3DRA の設定値との一致で INTTC3 割り込みが発生するとともに、カウンタがクリアされます。

TC3SEL<TC3INV> = “1” の場合、TC3 端子の立ち下がりエッジでカウントアップし、カウンタ値と TC3DRA の設定値との一致で INTTC3 割り込みが発生するとともに、カウンタがクリアされます。

なお、一致検出はカウントアップするエッジと逆のエッジ (TC3SEL<TC3INV> = “0” のときは立ち下がり、TC3SEL<TC3INV> = “1” のときは立ち上がり)にてそれぞれ一致検出が行われますので、逆エッジが入力されるまでは一致検出が行われず INTTC3 割り込みも発生しません。

TC3 端子の最小入力パルス幅は、表 2.8.2のとおりです。“H”、“L”レベルとも 1 マシンサイクル以上のパルス幅が必要です。

TC3CR<ACAP> を “1” にセットすると、以降カウントアップ値が継続してタイマレジスタ B (TC3DRB) に取り込まれ続けます (自動キャプチャ機能)。TC3DRB に対してリード命令を実行することにより簡単にそのときのカウンタ値を確認することができます。ただし、実際のカウントアップと同時に取り込まれません。そのため、オーバフロー (FFH) と 00H の値は正しく取り込まれませんので、カウント周期を考慮して使用してください。

表2.8.2 タイマカウンタ3の外部ソースクロック

	最小入力パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^2/fc$	$2^2/fs$
“L” 幅	$2^2/fc$	$2^2/fs$

(3) キャプチャモード

キャプチャモードは、TC3 端子入力のパルス幅、周期、デューティなどを測定するモードです。リモコン信号のデコードやAC50/60 Hz識別などに利用できます。TC3 端子入力は、TC3SEL<TC3INV>によって極性の正転、反転の切り替えが可能です。

- TC3SEL<TC3INV> = “0” (正転入力) のとき

コマンドスタート後、カウンタは内部ソースクロックでフリーランニングします。

TC3 端子入力の立ち下がりエッジを検出すると、そのときのカウンタ値が TC3DRB に取り込まれます。立ち上がりエッジを検出すると、そのときのカウンタ値が TC3DRA に取り込まれ、カウンタがクリアされるとともに INTTC3 割り込みが発生します。

コマンドスタート直後に立ち上がりエッジを検出した場合、TC3DRB のキャプチャは行われず TC3DRA のキャプチャのみで INTTC3 割り込みが発生します。このとき TC3DRB に対してリード命令を実行すると、前回のキャプチャ終了時の値 (リセット直後の場合 “FF”) が読み込まれます。

- TC3SEL<TC3INV> = “1” (反転入力) のとき

コマンドスタート後、カウンタは内部ソースクロックでフリーランニングします。

TC3 端子入力の立ち上がりエッジを検出すると、そのときのカウンタ値が TC3DRB に取り込まれます。立ち下がりエッジを検出すると、そのときのカウンタ値が TC3DRA に取り込まれ、カウンタがクリアされるとともに INTTC3 割り込みが発生します。

コマンドスタート直後に立ち下がりエッジを検出した場合、TC3DRB のキャプチャは行われず TC3DRA のキャプチャのみで INTTC3 割り込みが発生します。このとき TC3DRB に対してリード命令を実行すると、前回のキャプチャ終了時の値 (リセット直後の場合 “FF”) が読み込まれます。

表2.8.3 TC3SEL<TC3INV>によるキャプチャ入力エッジ

TC3SEL<TC3INV>	TC3DRB への キャプチャ	TC3DRA への キャプチャ	INTTC3 割り込み
“0” (正転)	立ち下がりエッジ	立ち上がりエッジ	
“1” (反転)	立ち上がりエッジ	立ち下がりエッジ	

最小入力パルス幅は、TC3CR<TC3CK>によって選択されたソースクロックの1サイクル幅以上です。

エッジが検出される前にカウンタがオーバーフロー (FFH) すると TC3DRA に FFH をセットしてカウンタをクリアするとともに INTTC3 割り込みが発生しますので、割り込み処理で TC3DRA を読み出して FFH であるか否かでオーバーフロー発生の有無を判断することができます。なお、割り込み発生後、TC3DRA を読み出すまではキャプチャおよびオーバーフロー検出は停止します (ただしカウントは継続します)。TC3DRA を読み出すとキャプチャ/オーバーフロー検出が再開されますので、通常 TC3DRB から先に読み出します。

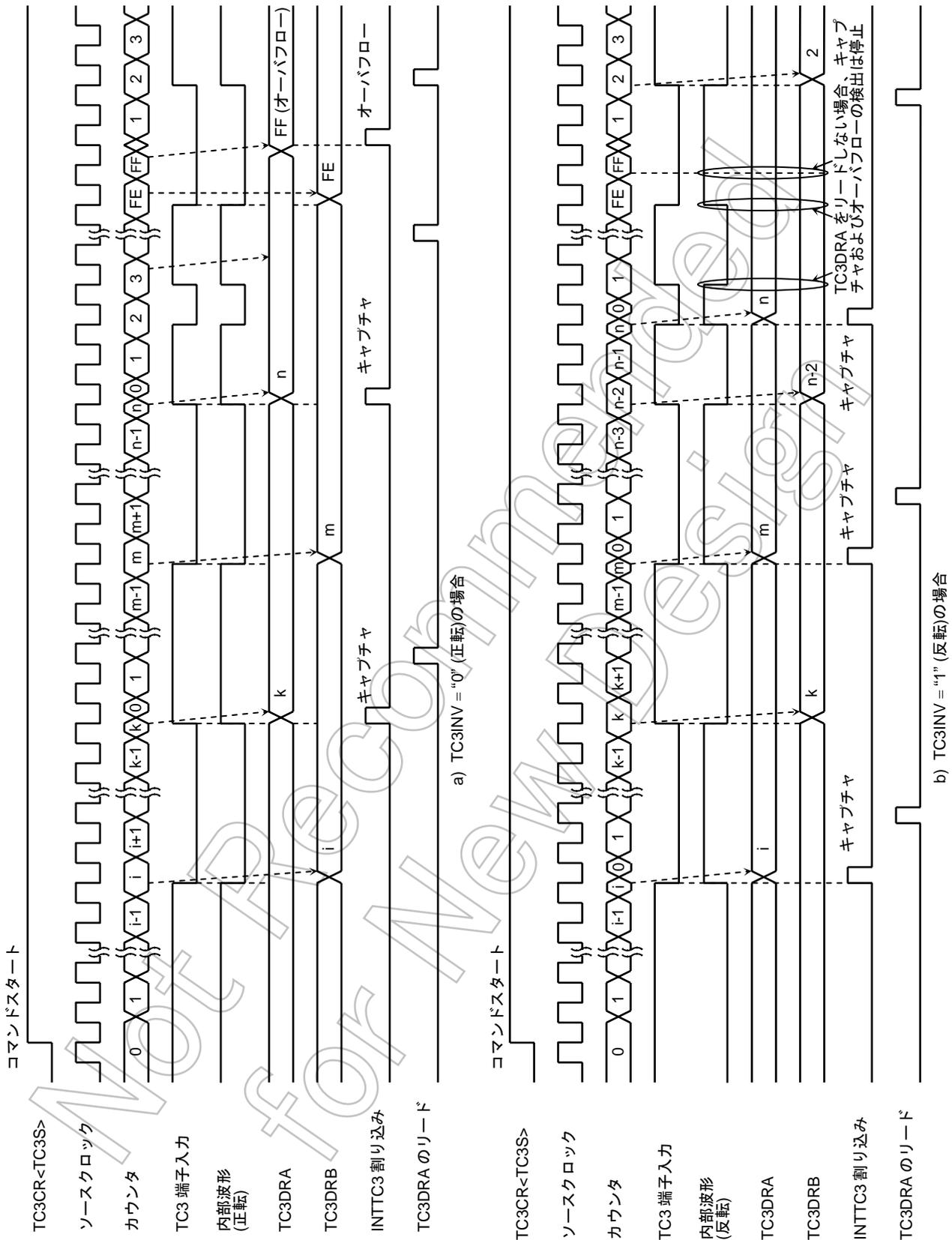


図2.8.3 キャプチャモードタイミング

2.9 8ビットタイマカウンタ5

2.9.1 構成

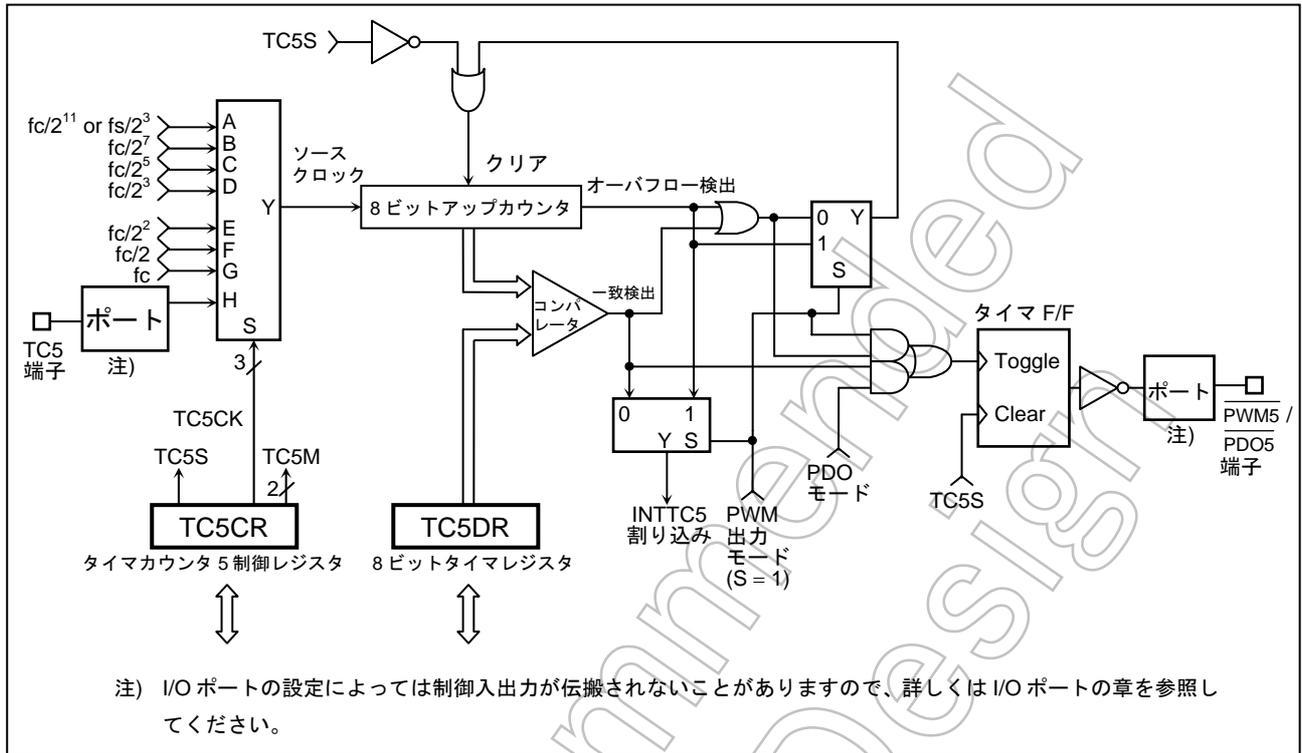


図2.9.1 タイマカウンタ5 (TC5)

2.9.2 制御

タイマカウンタ 5 は、タイマカウンタ 5 制御レジスタ (TC5CR) とタイマレジスタ 5 (TC5DR) で制御されます。

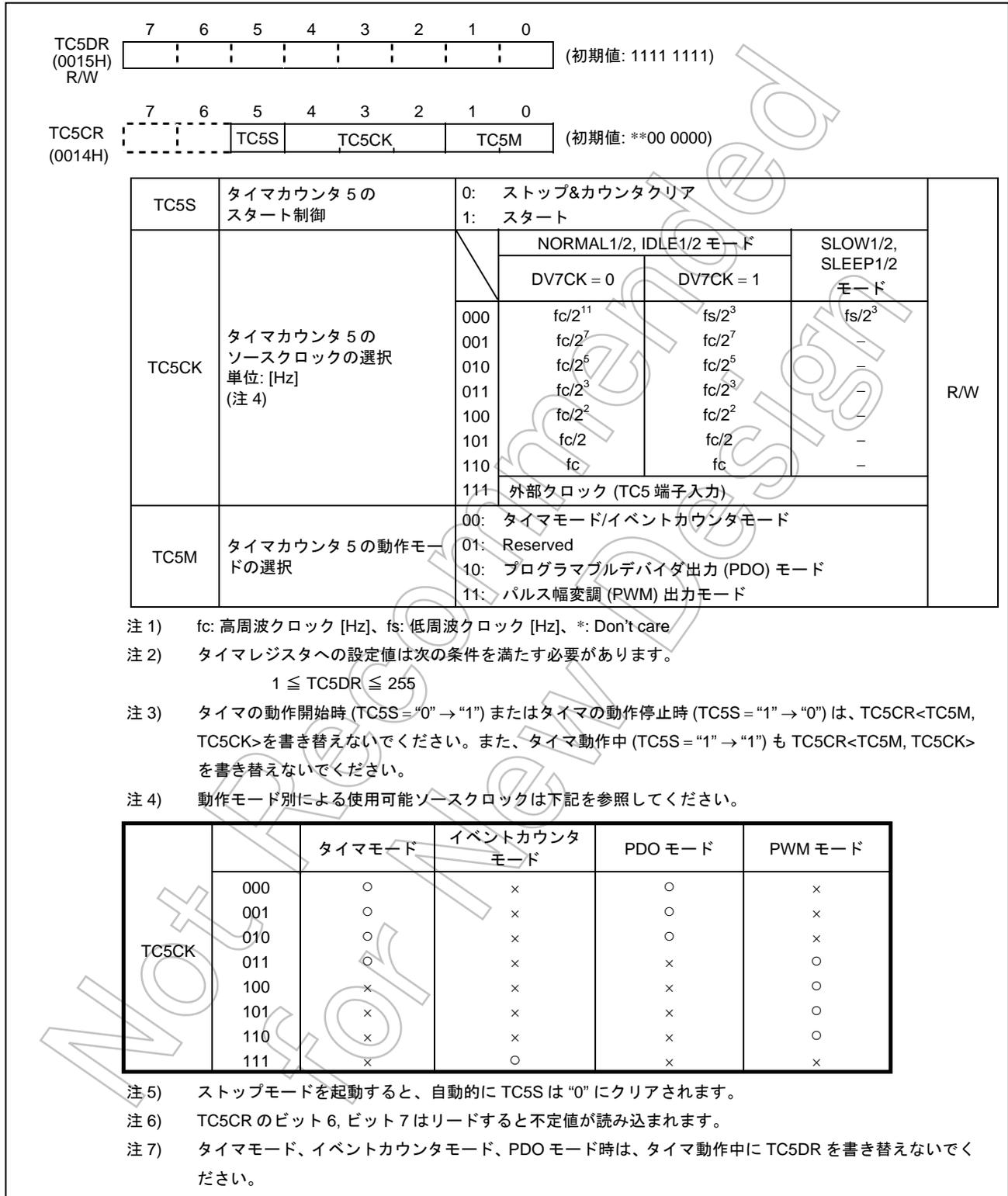


図2.9.2 タイマカウンタ 5 のタイマレジスタと制御レジスタ

2.9.3 機能

タイマカウンタ 5 は、タイマ、イベントカウンタモード、プログラマブルデバイダ出力、パルス幅変調出力の 4 つの動作モードがあります。

(1) タイマモード

タイマモードは、内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ 5 (TC5DR) 設定値との一致で INTTC5 割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表2.9.1 タイマカウンタ 5 の内部クロックソース (例: $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC5CK	NORMAL1/2, IDLE1/2 モード				SLOW1/2 モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定 時間 [ms]
	分解能 [μs]	最大設定 時間 [ms]	分解能 [μs]	最大設定 時間 [ms]		
000	128.0	32.6	244.14	62.3	244.14	62.3
001	8.0	2.0	8.0	2.0	—	—
010	2.0	0.510	2.0	0.510	—	—
011	0.5	0.128	0.5	0.128	—	—

(2) イベントカウンタモード

イベントカウンタモードは、TC5 端子入力 (外部クロック) パルスの立ち上がりエッジでカウントアップするモードです。

カウンタ値と TC5DR 設定値との一致で、INTTC5 割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。TC5 端子の最小入力パルス幅は、表 2.9.2 のとおりです。“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。なお、一致検出は、TC5 端子入力の立ち下がりエッジで行われますので、TC5 端子入力 “H” レベルのままでは一致検出が行われず、INTTC5 割り込みも発生しません。

注) SLOW1/2, SLEEP1/2 モードは、外部クロック入力が行われませんのでイベントカウンタモードは使用できません。

表 2.9.2 タイマカウンタ 5 の外部クロックソース

	最小入力パルス幅 [s]
	NORMAL1/2, IDLE1/2 モード
“H” 幅	$2^3/f_c$
“L” 幅	$2^3/f_c$

(3) プログラマブルデバイダ出力 (PDO) モード

プログラマブルデバイダ出力 (PDO) モードは、デューティ約 50% のパルスを出力するモードです。内部ソースクロックでカウントアップし、TC5DR との一致でタイマ F/F5 を反転します。同時にカウンタはクリアされ、INTTC5 割り込みが発生します。その後もカウントアップを継続し、TC5DR との一致ごとにタイマ F/F5 を反転します。なお、P13 (PDO5) 端子は、タイマ F/F5 出力の反転レベルが出力されます。

リセット時またはタイマ停止時、タイマ F/F5 は“0”にクリアされます。従って PDO 出力が“L”レベルのときにタイマを停止させると、デューティが設定値よりも短くなる場合があります。

プログラマブルデバイダ出力を使用する場合は、P13 ボートの出力ラッチを“1”にセットしてください。

例: 1024 Hz のパルス出力 ($f_c = 16 \text{ MHz}$ 時)

LD	(TC5CR), 00000110B	;	PDO モード設定 (TC5M = 10, TC5CK = 001)
SET	(P1DR). 3	;	P13 出力ラッチ ← 1
LD	(TC5DR), 3DH	;	$1/1024 \div 2^7/f_c \div 2$ (半周期) = 3DH
LD	(TC5CR), 00100110B	;	TC5 スタート

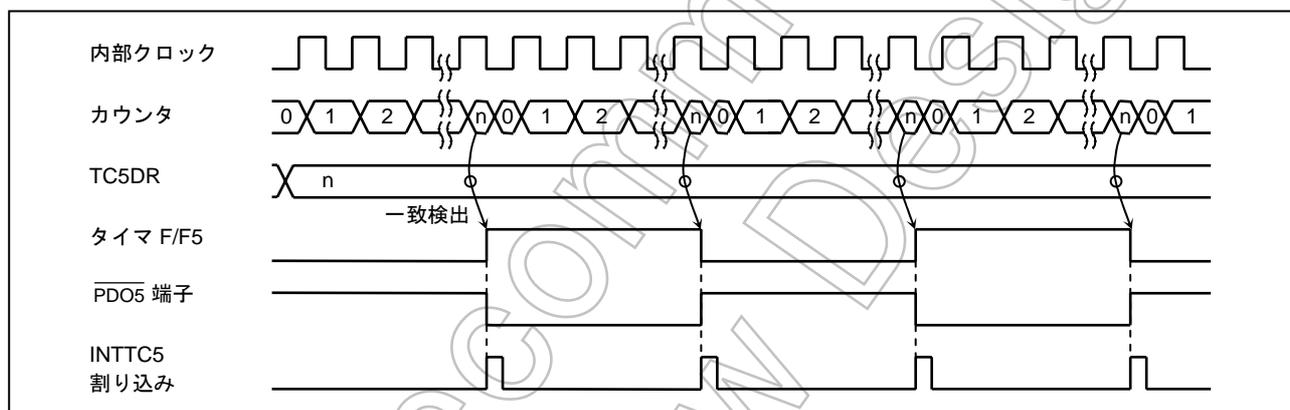


図2.9.3 PDO モードタイミングチャート

(4) パルス幅変調 (PWM) 出力モード

パルス幅変調 (PWM) 出力モードは、分解能 8 ビットの一定周期パルスを出力するモードです。内部ソースクロックでカウントアップし、TC5DR との一致でタイマ F/F5 を反転します。カウンタはカウントアップを継続し、オーバフローを検出すると再びタイマ F/F5 を反転します。このとき INTTC5 割り込みが発生します。なお、P13 ($\overline{\text{PWM5}}$) 端子は、タイマ F/F5 出力の反転レベルが出力されます。

リセット時またはタイマ停止時、タイマ F/F5 は“0”にクリアされます。従って PWM 出力が“L”レベルのときにタイマを停止させると、一周期が設定値よりも短くなる場合があります。

パルス幅変調 (PWM) 出力モードを使用する場合は、P13 ポートの出力ラッチを“1”にセットしてください。

TC5DR は、シフトレジスタ (2 段) 構成で、PWM 出力中に TC5DR を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的にパルス幅を変更することができます。なお、初回は TC5DR にデータ設定後、TC5CR<TC5S>によりスタートしたとき点でシフトされます。

注) PWM モード時、タイマレジスタ TC5DR への書き込みは、INTTC5 割り込み発生直後 (通常は INTTC5 割り込みサービスルーチン内) に行ってください。タイマレジスタ TC5DR への書き込みと INTTC5 割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC5 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

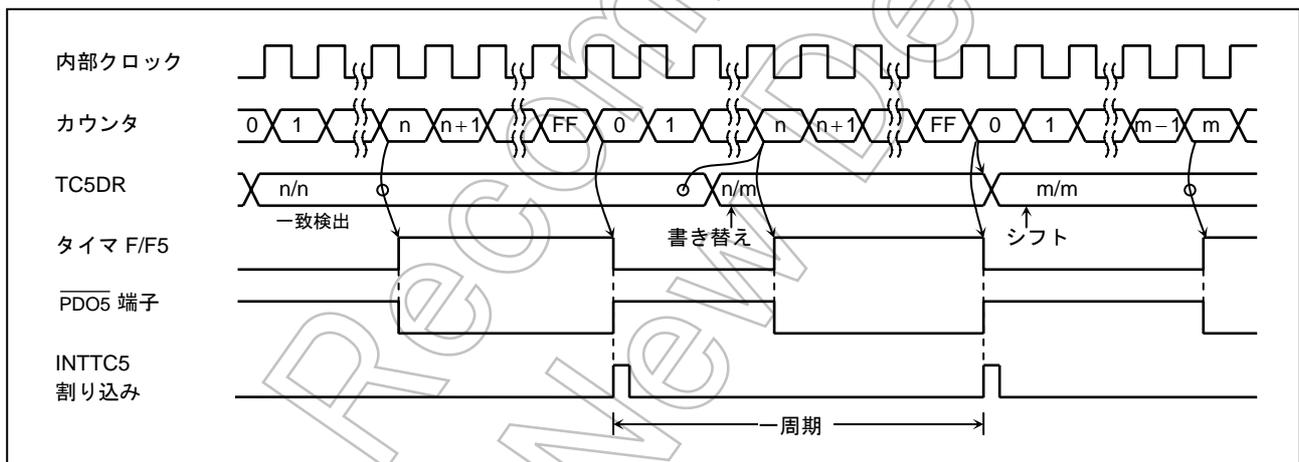


図2.9.4 PWM 出力モードタイミングチャート

表2.9.3 PWM モード (例: $f_c = 16 \text{ MHz}$ 時)

TC5CK	NORMAL1/2, IDLE1/2 モード	
	分解能 [ns]	繰り返し周期 [μs]
000	—	—
001	—	—
010	—	—
011	500	128
100	250	64
101	125	32
110	62.5	16

2.10 UART (非同期型シリアルインタフェース)

TMP86FP24 は、UART (非同期型シリアルインタフェース) を 1 チャンネル内蔵しています。RXD、TXD を通して外部デバイスと接続されます。RXD は P05、TXD は P06 と兼用で RXD、TXD 端子として使用する場合、P0 の各ポートの出力ラッチを “1” にセットします。

2.10.1 構成

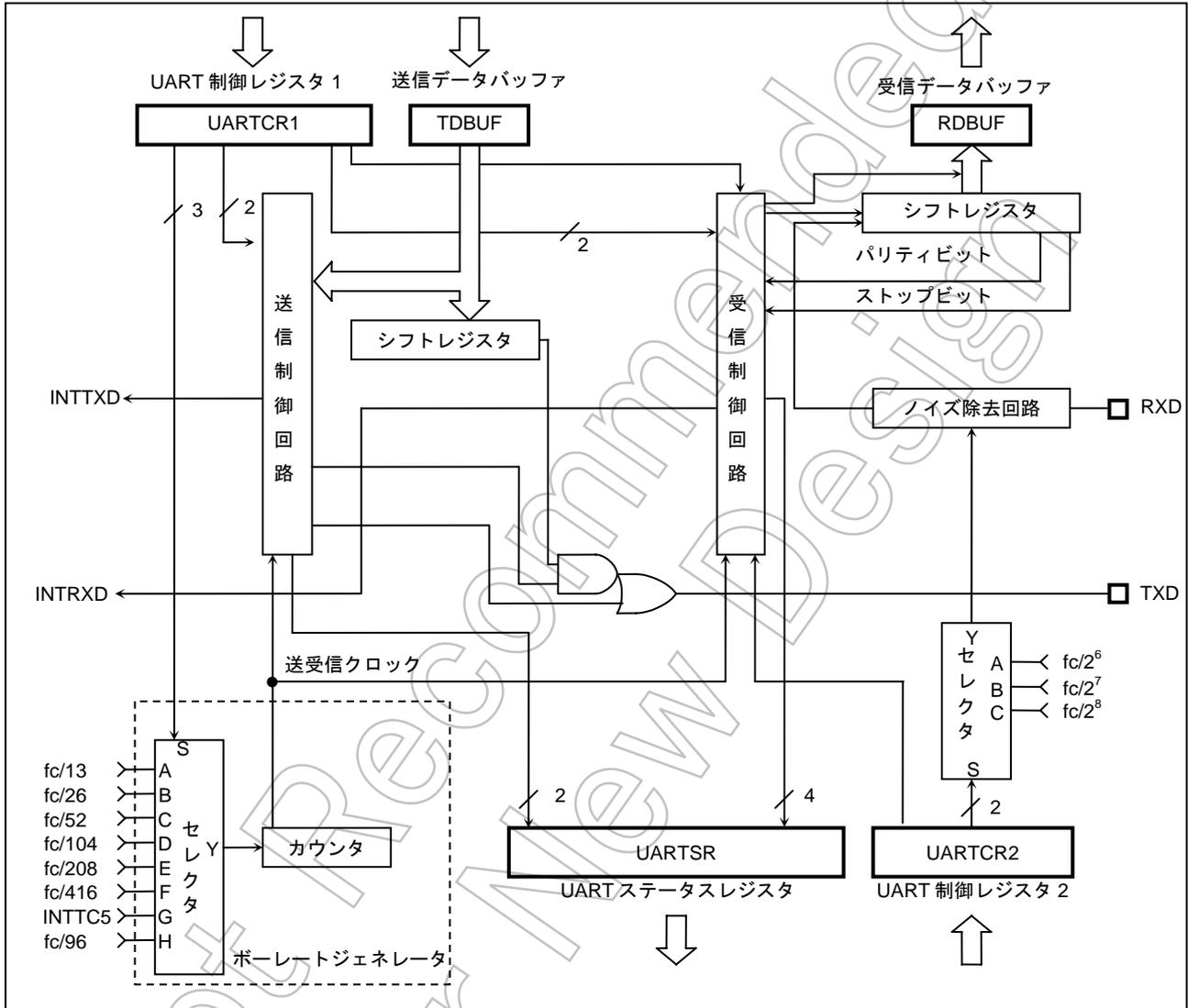


図2.10.1 UART (非同期型シリアルインタフェース)

2.10.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ			
UARTCR1 (1FDDH)	7 6 5 4 3 2 1 0	TXE RXE STBT EVEN PE BRG	(初期値: 0000 0000)
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5 使用 (INTTC5 を入力) 111: fc/96	Write only
PE	パリティ付加	0: パリティなし 1: パリティ付加	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
STBT	送信ストップビット長	0: 1ビット 1: 2ビット	
RXE	受信動作	0: ディセーブル 1: イネーブル	
TXE	送信動作	0: ディセーブル 1: イネーブル	
<p>注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、その後送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。</p> <p>注 2) 転送クロックとパリティは送受信共通です。</p> <p>注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。</p>			
UARTCR2 (1FDEH)	7 6 5 4 3 2 1 0	RXDNC STOPBR	(初期値: **** *000)
STOPBR	受信ストップビット長	0: 1ビット 1: 2ビット	Write only
RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc [s] 未満のパルスはノイズとして除去 10: 63/fc [s] 未満のパルスはノイズとして除去 11: 127/fc [s] 未満のパルスはノイズとして除去	
<p>注) RXDNC が "01" の場合 96/fc, "10" の場合 192/fc, "11" の場合 384/fc [s] 以上は確実に信号とみなされます。</p>			

図2.10.2 UART 制御レジスタ

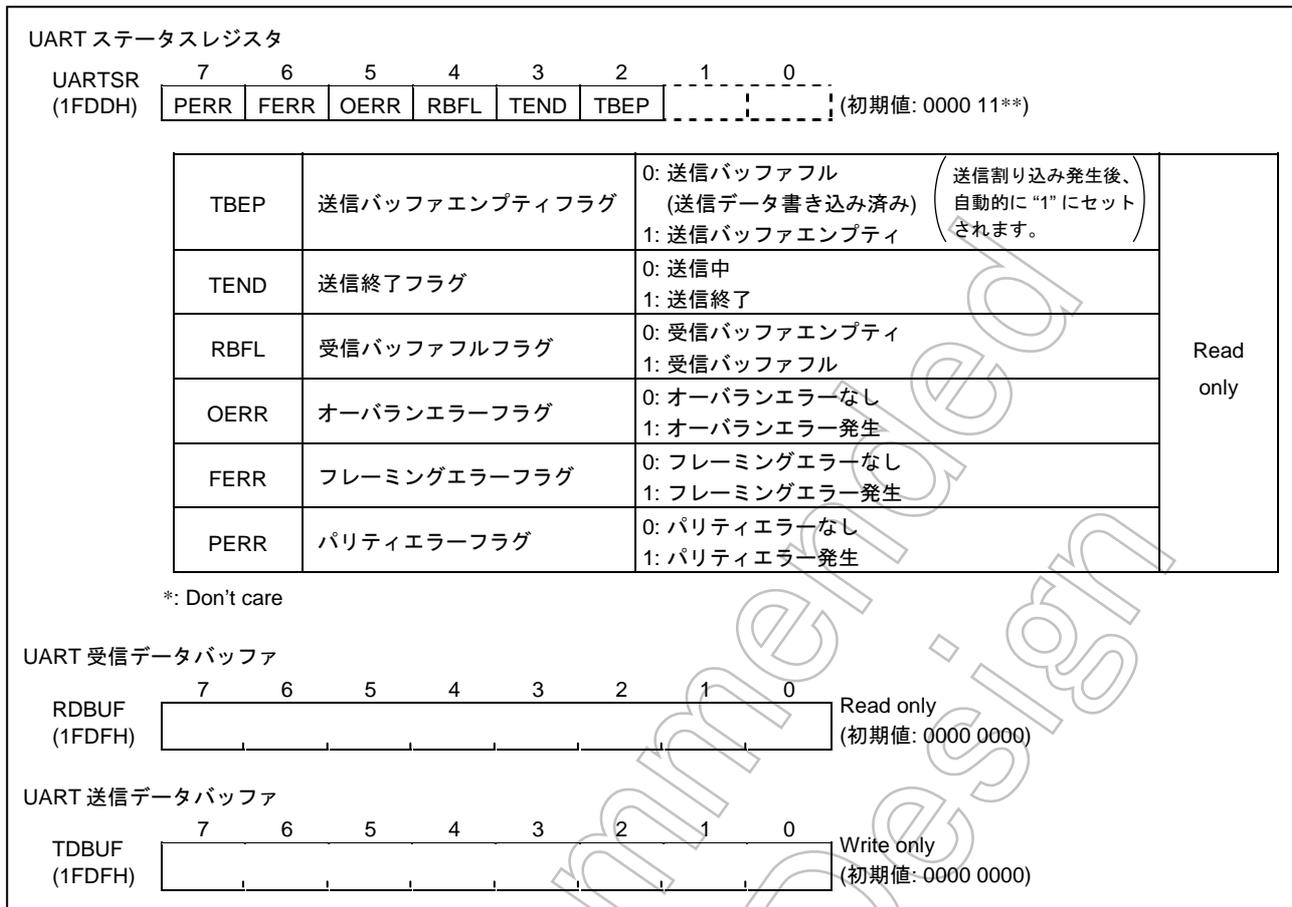
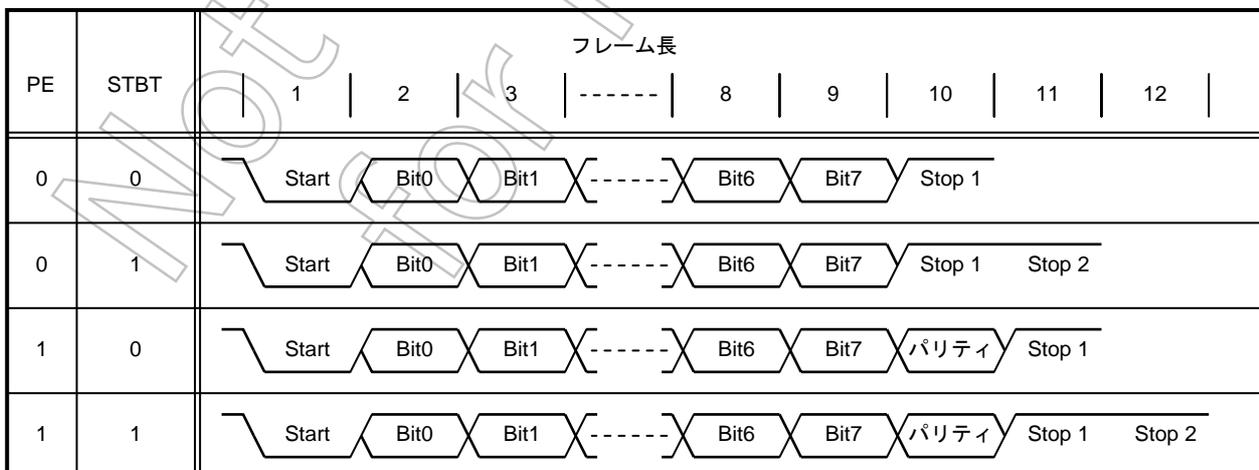


図2.10.3 UART ステータスレジスタ/データバッファレジスタ

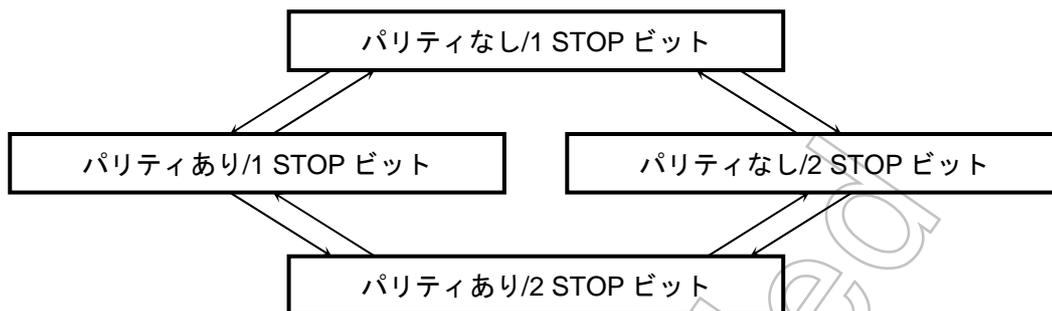
2.10.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1<STBT>でビット長の選択可)、パリティ (UARTCR1<PE>でパリティ有無の選択可、UARTPCR1<EVEN>で偶数/奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

表2.10.1 転送データフォーマット



注) 送信データフォーマットの切り替えは、初期設定時以外は以下の状態遷移にて送信動作を実施し、切り替えを行ってください。



2.10.4 転送レート

UARTの転送レート(ボーレート)はUARTCR1<BRG>により設定されます。以下に転送レートの例を示します。

表2.10.2 転送レート(例)

BRG	ソースクロック		
	12.5 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UARTの転送レートとしてTC5使用を選択したとき(UARTCR1<BRG> = “110” に設定したとき)

転送クロックおよび転送レートは

$$\text{転送クロック} = \frac{\text{TC5ソースクロック}}{\text{TTREG5設定値}}$$

$$\text{転送レート} = \frac{\text{転送クロック}}{16}$$

となります。

2.10.5 データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで UARTCR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD 端子の立ち下がりエッジを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

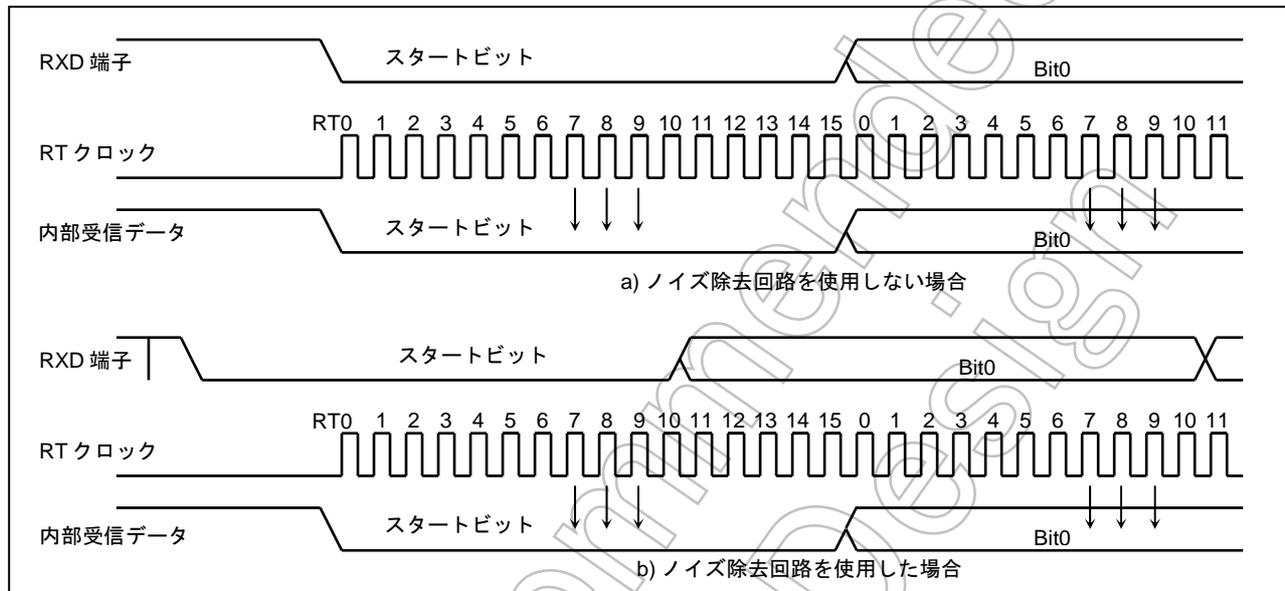


図2.10.4 データのサンプリング方法

2.10.6 STOP ビット長

UARTCR1<STBT>で送信ストップビット長 (1 ビット/2 ビット) の選択ができます。

2.10.7 パリティ

UARTCR1<PE>でパリティ付加の有無を、UARTCR1<EVEN>でパリティの種類 (奇数/偶数) を設定します。

2.10.8 送受信動作

(1) データ送信動作

UARTCR1<TXE>を“1”にセットします。UARTSRを読み出しTBEP=“1”を確認後、TDBUF（送信データバッファ）にデータを書き込みます。書き込みを行うとUARTSR<TBEP>は“0”にクリアされデータが送信シフトレジスタに転送された後、TXD端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットとUARTCR1<STBT>で指定した数のストップビットおよびパリティビット（パリティありの場合）が付加されます。データ転送ボーレートはUARTCR1<BRG>で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP>は“1”にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE>が“0”の間および UARTCR1<TXE>に“1”を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は“H”レベルに固定されます。

送信を行う場合、UARTSRを読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP>が“0”にクリアされず送信が開始されません。

(2) データ受信動作

UARTCR1<RXE>を“1”にセットします。その後、RXD 端子からデータを受信すると、RDBUF（受信データバッファ）に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット（パリティありの場合）が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF（受信データバッファ）に転送された後、受信バッファフルフラグ UARTSR<RBFL>がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG>で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF（受信データバッファ）へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) RXE ビットを“0”に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

2.10.9 ステータスフラグ

(1) パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ `UARTSR<PERR>` が“1”にセットされます。`UARTSR`を読み出した後、`RDBUF`を読み出すと `UARTSR<PERR>`は“0”にクリアされます。

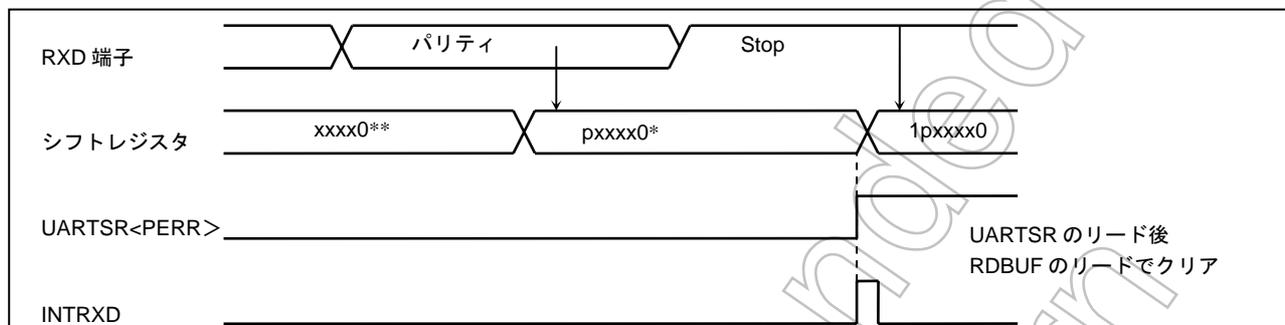


図2.10.5 パリティエラーの発生

(2) フレーミングエラー

受信データの `STOP` ビットとして“0”がサンプリングされたときフレーミングエラーフラグ `UARTSR<FERR>` が“1”にセットされます。`UARTSR`を読み出した後、`RDBUF`を読み出すと `UARTSR<FERR>`は“0”にクリアされます。

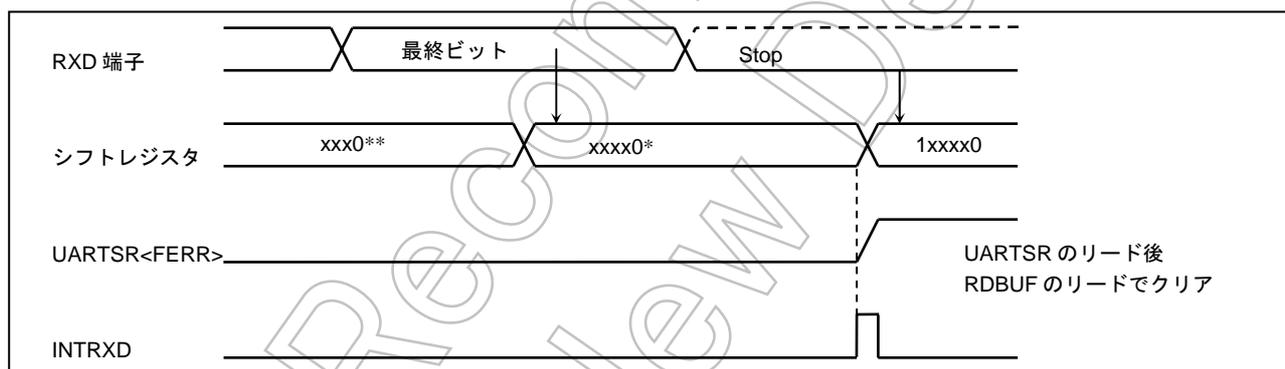


図2.10.6 フレーミングエラーの発生

(3) オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ $UARTSR<OERR>$ が “1” にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。 $UARTSR$ を読み出した後、RDBUF を読み出すと $UARTSR<OERR>$ は “0” にクリアされます。

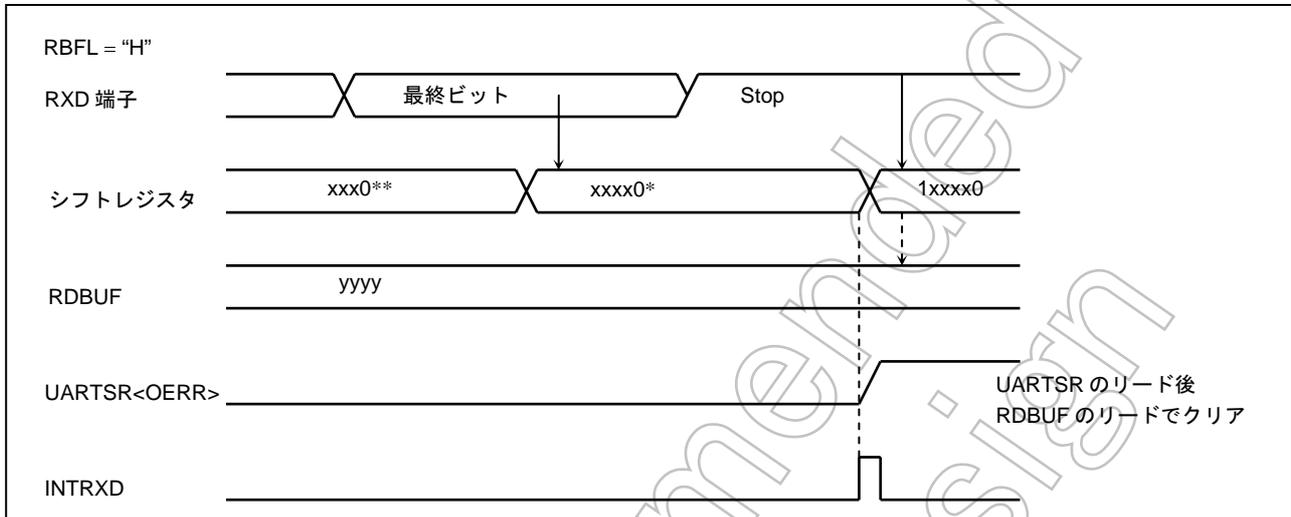


図2.10.7 オーバランエラーの発生

(4) 受信バッファフル

受信データを RDBUF に取り込むと $UARTSR<RBFL>$ が “1” にセットされます。 $UARTSR$ を読み出した後、RDBUF からデータを読み出すと $UARTSR<RBFL>$ は “0” にクリアされます。

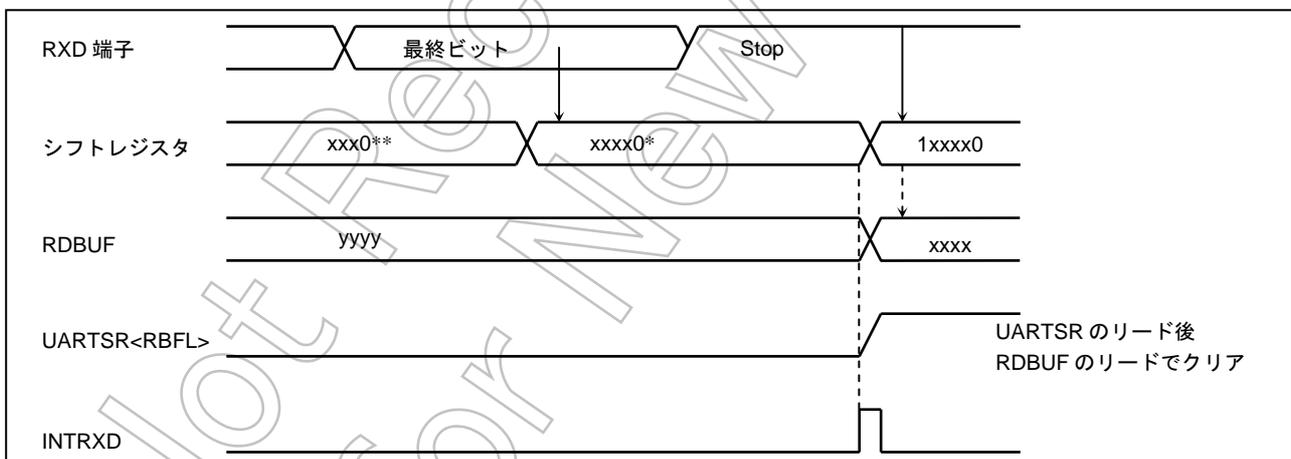


図2.10.8 受信バッファフルの発生

(5) 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき UARTSR<TBEP>が“1”にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP>は“0”にクリアされます。

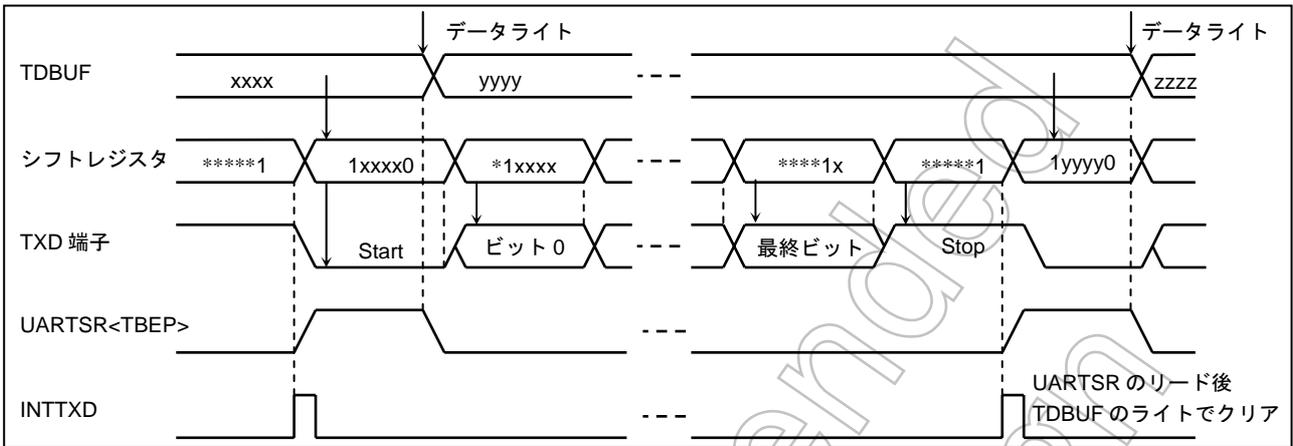


図2.10.9 送信バッファエンプティの発生

(6) 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP> = “1” のとき) UARTSR<TEND>が“1”にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND>は“0”にクリアされます。

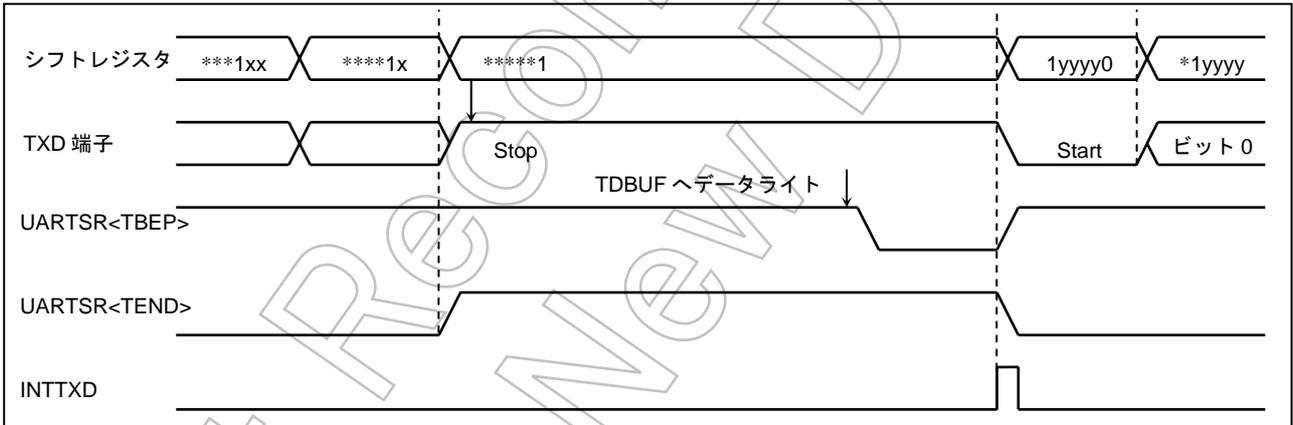


図2.10.10 送信バッファエンプティの発生

2.11 キーオンウェイクアップ (KWU)

TMP86FP24 では、P20 ($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に P64~P67、P40 の 5 つの端子でも STOP モードの解除が可能です。

P64~P67、P40 ポートの入力で STOP モードを解除する場合、P20 端子は必ず STOP モード解除用端子として使用する必要があります。

2.11.1 構成

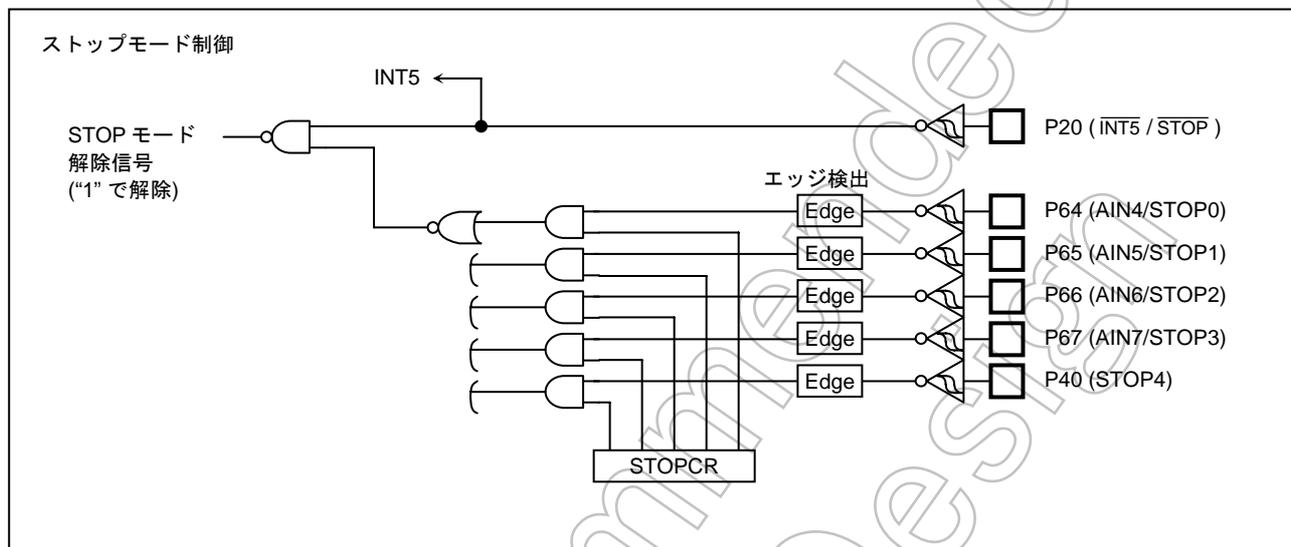


図2.11.1 キーオンウェイクアップ回路

表2.11.1 STOP モード解除レベル (エッジ)

端子名	兼用端子	SYSCR1<RELM> = "1"	SYSCR1<RELM> = "0"
		解除エッジ (レベル)	
STOP	P20/INT5	"H" レベル	立ち上がりエッジ
STOP0	P64/AIN4	両エッジ	使用禁止 (注)
STOP1	P65/AIN5		
STOP2	P66/AIN6		
STOP3	P67/AIN7		
STOP4	P40		

注) SYSCR1<RELM> = "0" のとき、STOPCR のすべてのビットは "0" に設定してください。

2.11.2 制御

P64~P67 (STOP0~STOP3)、P40 (STOP4) 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) で、端子ごとの動作禁止/許可が設定可能です。

STOP モードの起動は SYSCR1<STOP> によって行います。このとき STOP 端子の解除方法は、レベル解除モード(SYSCR1<RELM> = "0") に設定してください。

STOP モードの解除は、STOP 端子に "H" レベルを入力するか、または STOPCR によって許可されている STOP0~STOP4 端子のいずれかの端子に解除エッジを入力することによって行います

- キーオンウェイクアップ端子のみを使用する場合

P20 端子は、外部で "L" レベルに固定するか、"H" レベルが入力されない状態にして使用してください。
- P20 端子とキーオンウェイクアップ端子を併用する場合

P20 端子はが "H" レベルのときに STOP モードを起動すると、STOP モードは起動せず直ちにウォームアップ状態になります。従って、STOP モードを起動する前に P20 端子を読み出し、"L" レベルであることをソフトウェアで確認した後、STOP モードを起動することを推奨します。

注 1) P20 端子は、外部割り込み (INT5) と兼用です。STOP 端子として P20 端子を使用する場合でも、割り込みコントローラへの入力は有効となりますので STOP モードの起動と解除の前後で INT5 割り込みラッチがセットされることがあります。

注 2) STOP モードを起動すると、SYSCR1<OUTEN> の設定にかかわらず P20 の出力は High-Z となりますので、P20 端子自身の出力ラッチによる "L" レベルの固定はできません。STOP モード中、P20 端子を "L" レベルに固定するには必ず外部で行ってください。

注 3) キーオンウェイクアップ機能を使用する場合、STOP モードの解除方法の選択は、レベル解除(SYSCR1<RELM> = "1") に設定してください。

キーオンウェイクアップ制御レジスタ									
STOPCR	7	6	5	4	3	2	1	0	
(1FFEh)	STOP0	STOP1	STOP2	STOP3	STOP4	-----			(初期値: 0000 0***)
STOP0	P64 ポートによる STOP モード解除		0: 禁止 1: 許可		R/W				
STOP1	P65 ポートによる STOP モード解除		0: 禁止 1: 許可						
STOP2	P66 ポートによる STOP モード解除		0: 禁止 1: 許可						
STOP3	P67 ポートによる STOP モード解除		0: 禁止 1: 許可						
STOP4	P40 ポートによる STOP モード解除		0: 禁止 1: 許可						

図2.11.2 キーオンウェイクアップ制御レジスタ

2.12 10ビット AD コンバータ (ADC)

TMP86FP24 は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

2.12.1 構成

10 ビット AD コンバータの回路構成を図 2.12.1 に示します。

制御レジスタ ADCCR1, ADCCR2、変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。

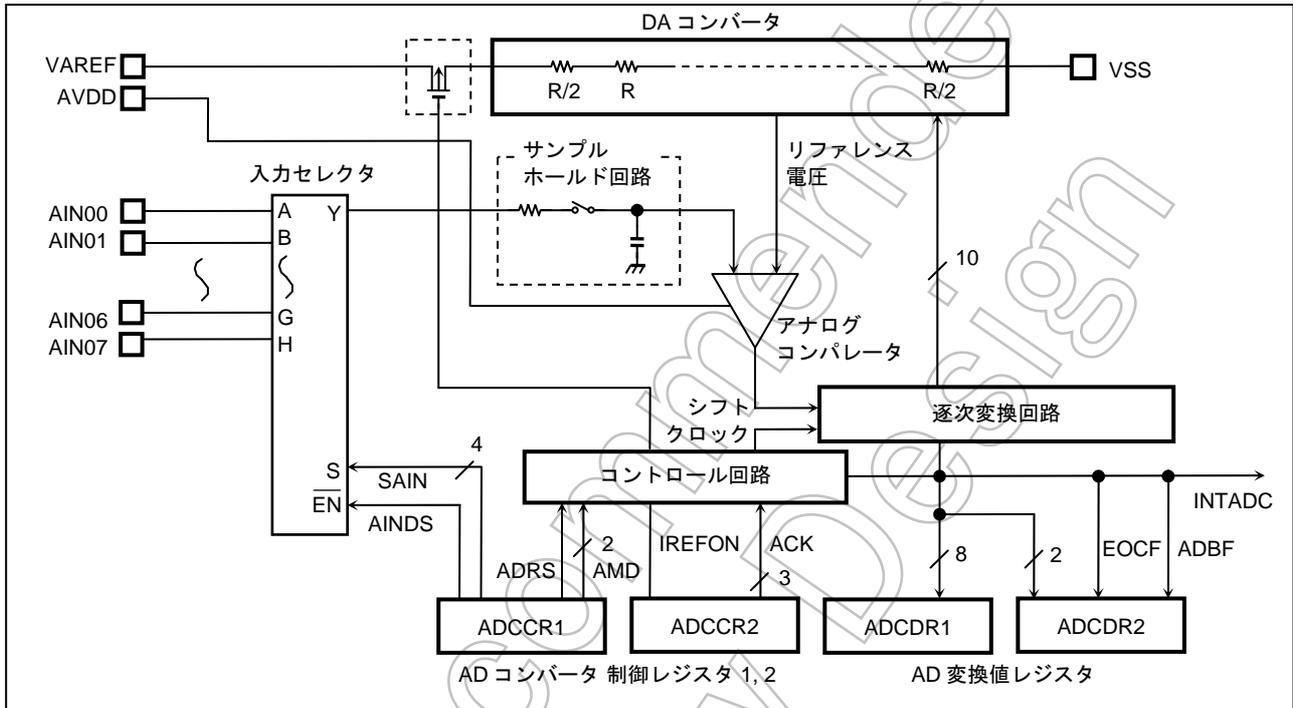


図2.12.1 AD コンバータ (ADC)

2.12.2 レジスタ構成

AD コンバータは、次の4つのレジスタで構成されています。

- AD コンバータ制御レジスタ 1 (ADCCR1)
- AD コンバータ制御レジスタ 2 (ADCCR2)
- AD 変換値レジスタ 1/2 (ADCDR1/ADCDR2)

(1) AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モード (ソフトウェアスタート、リピート) の選択と AD コンバータの開始を制御するレジスタです。

(2) AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

(3) AD 変換値レジスタ (ADCDR1)

AD コンバータによって変換されたデジタル値 (ビット 9~2) を格納するレジスタです。

(4) AD 変換値レジスタ (ADCDR2)

AD コンバータによって変換されたデジタル値 (ビット 1~0) の格納と、AD コンバータの動作状態をモニタするレジスタです。

AD コンバータの制御レジスタ構成を図 2.12.2、図 2.12.3に示します。

AD コンバータ制御レジスタ 1

ADCCR1 (000EH) 7 6 5 4 3 2 1 0
 (初期値: 0001 0000)

ADRS	AD 変換開始	0: - 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力ディセーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル 選択ビット	0000: AIN0 を選択 0001: AIN1 を選択 0010: AIN2 を選択 0011: AIN3 を選択 0100: AIN4 を選択 0101: AIN5 を選択 0110: AIN6 を選択 0111: AIN7 を選択 1***: Reserved	

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCCR2<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は AINDS を "1" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが精度を保つ意味で AD 変換中はポート出力命令を行わないでください。またアナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS (ADCCR1 のビット 7) の再設定は行わないでください。ADRS の再設定は、EOCF (ADCCR2 のビット 5) にて変換が終了したことを確認後、あるいは、INTADC 割り込みが発生した後 (割り込み処理ルーチンなど) で行ってください。
- 注 6) STOP または SLOW モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されます。NORMAL モードへの復帰後に、AD コンバータを使用する場合は、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (000FH) 7 6 5 4 3 2 1 0
 (初期値: **00 0000)

IREFON	DA コンバータ (ラダー抵抗) の 接続制御	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択	下表 AD 変換時間参照	

条件 (fc)	変換時間	16 MHz	8 MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
000	39/fc	-	-	-	19.5 μs	-	-	15.6 μs
001	Reserved							
010	78/fc	-	-	-	39.0 μs	-	-	31.2 μs
011	156/fc	-	-	39.0 μs	78.0 μs	-	31.2 μs	62.4 μs
100	312/fc	-	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	-	62.4 μs	124.8 μs	-
110	1248/fc	78.0 μs	156.0 μs	-	-	124.8 μs	-	-
111	Reserved							

- 注 1) 上記表内 "-" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下のように設定を変えてください。
 (VAREF = 2.7~3.6 V 時 31.2 μs 以上)
 (VAREF = 1.8~3.6 V 時 124.8 μs 以上)
- 注 3) ADCCR2 のビット 0 には "0"、ビット 4 には "1" を必ず書き込んでください。
- 注 4) ADCCR2 に対しリード命令を実行するとビット 7、ビット 6 は、不定値が読み込まれます。
- 注 5) STOP または SLOW モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されます。NORMAL モードへの復帰後、AD コンバータを使用する場合は、ADCCR2 を再設定してください。

図2.12.2 AD コンバータの制御レジスタ

AD 変換値レジスタ									
ADCDR1 (0027H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	
ADCDR2 (0026H)	7	6	5	4	3	2	1	0	(初期値: 0000 ****)
	AD01	AD00	EOCF	ADBF					
EOCF	AD 変換終了フラグ			0: 変換前または変換中 1: 変換終了				Read only	
ADBF	AD 変換 BUSY フラグ			0: AD 変換停止中 1: AD 変換実行中					
<p>注 1) EOCF は、AD 変換値レジスタ (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出す際は、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。</p> <p>注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また STOP, SLOW モードを起動するときもクリアされます。</p> <p>注 3) ADCDR2 に対しリード命令を実行すると、ビット 3~0 は不定値が読み込まれます。</p>									

図2.12.3 AD 変換値レジスタ

2.12.3 AD コンバータの動作

- (1) AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (ソフトウェア、リポートモード) を (AMD) にて指定してください。
- (2) AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 の (注 2) を参照してください。
 - DA コンバータの制御 (IREFON) を選択してください。
- (3) 上記(1), (2)を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、直ちに AD 変換を開始します。
- (4) 指定された、AD 変換時間後、AD 変換値は AD 変換値レジスタ 1 (ADCDR1) および AD 変換値レジスタ 2 (ADCDR2) に格納され、ADCDR2 の AD 変換終了フラグ (EOCF) が "1" をセットされるとともに INTADC 割り込み要求が発生します。
- (5) 変換結果を読み出すと EOCF は "0" にクリアされます。ただし、読み出し前に再変換を行った場合は、EOCF は "0" にクリアされますが変換結果は次の変換終了まで前回の結果を保持します。

2.12.4 ADコンバータの動作モード

ADコンバータの動作モードは、次の2種類があります。

- ソフトウェアスタート: ADCCR1<AMD> を“01B”、ADCCR1<ADRS> を“1”に設定することによりAD変換を一度行います。
- リピートモード: ADCCR1<AMD> を“11B”、ADCCR1<ADRS> を“1”に設定することによりAD変換を繰り返し行います。

(1) ソフトウェアスタートモード

ADCCR1<AMD> を“01B”（ソフトウェアスタートモード）に設定後、ADCCR1<ADRS> を“1”に設定することによりADCCR1<SAIN> で指定されたアナログ入力端子の電圧のAD変換を開始します。

AD変換終了後、変換結果をAD変換値レジスタ（ADCDR1, 2）に格納し、ADCDR2<EOCF>に“1”をセットするとともにINTADC割り込み要求が発生します。

ADCCR1<ADRS> はAD変換を開始後、自動的にクリアされます。AD変換中にADCCR1<ADRS>の再設定（再スタート）は行わないでください。ADCCR1<ADRS>の再設定は、ADCDR2<EOCF>にて変換が終了したことを確認後、あるいはINTADC割り込みが発生した後（割り込み処理ルーチンなど）で行ってください。

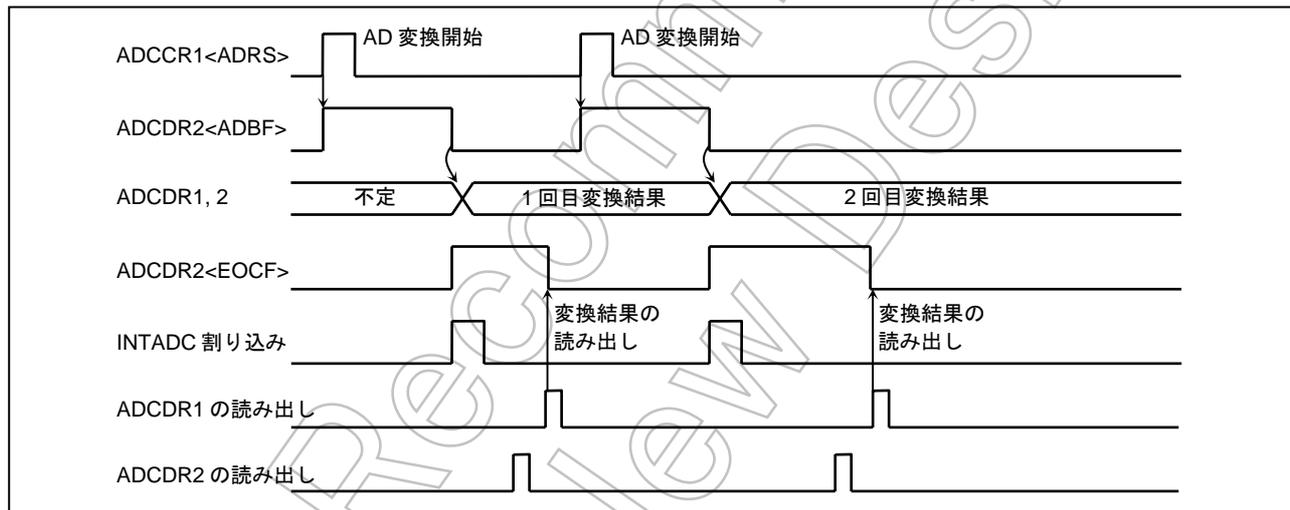


図2.12.4 ソフトウェアスタートモード動作

例: 変換時間 39.0 μ s @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM のアドレス 009FH に上位 8 ビット、アドレス 009EH に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

; AIN SELECT
LD      (P6CR1), 00000000B    ; P6CR1 ビット 3 = "0"
LD      (P6CR2), 00000000B    ; P6CR2 ビット 3 = "0"
LD      (ADCCR1), 00100011B    ; AIN3 を選択
LD      (ADCCR2), 11011010B    ; 変換時間 (624/fc), 動作モードを選択
; AD CONVERT START
SET     (ADCCR1). 7            ADCCR1<ADRS> = "1"
SLOOP:  TEST    (ADCCR2). 5     ADCCR2<EOCF> = "1" ?
        JRS     T, SLOOP
; RESULT DATA READ
LD      A, (ADCCR2)
LD      (9EH), A
LD      A, (ADCCR1)
LD      (9FH), A

```

(2) リポートモード

ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を繰り返し行います。ADCCR1<AMD> を "11B" (リポートモード) に設定後、ADCCR1<ADRS> に "1" を設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCCR1, 2) に格納し、ADCCR2<EOCF> に "1" をセットするとともに INTADC 割り込み要求が発生します。

リポートモードでは 1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に "00B" (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は AD 変換値レジスタには格納されません。

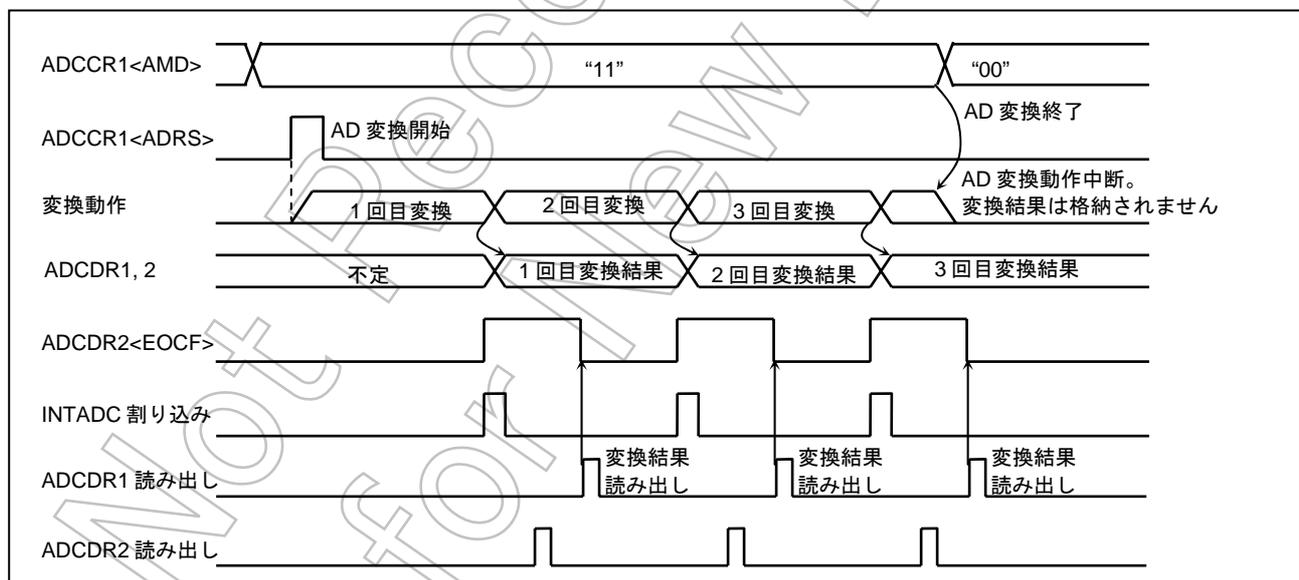


図2.12.5 リポートモード動作

2.12.5 AD変換時のSTOP/SLOWモード

AD変換中に強制的にSTOPまたはSLOWモードを起動するとAD変換は中断され、ADコンバータ(ADCCR1, ADCCR2)は初期化されます。また、変換結果は不定となります(前回までの変換結果もクリアされますので、STOPまたはSLOWモードを起動する前に変換結果を読み出すようにしてください)。またSTOPまたはSLOWモードから復帰した際には、自動的にAD変換を再開しませんので、再度AD変換を開始してください。なお、アナログ基準電源は、自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

2.12.6 アナログ入力電圧とAD変換結果

アナログ入力電圧とAD変換された10ビットデジタル値とは図2.12.6のように対応します。

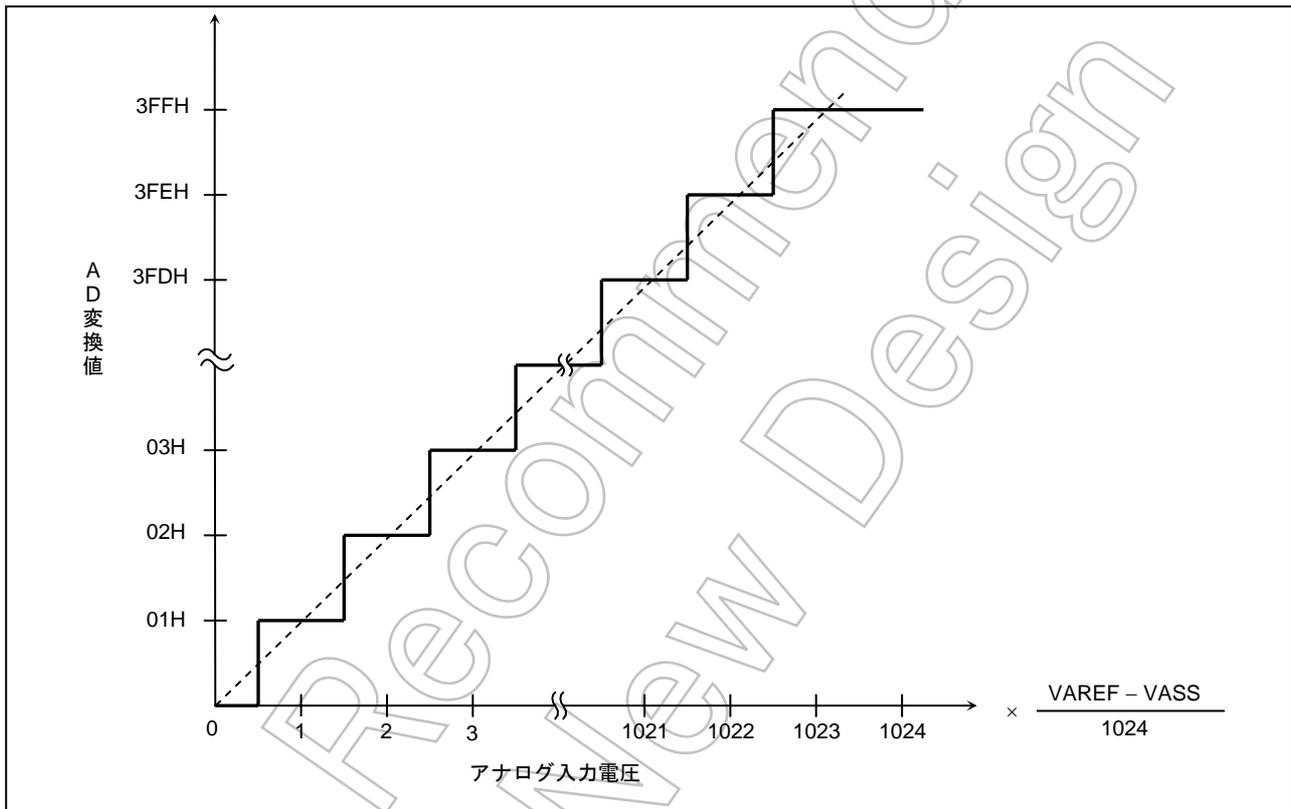


図2.12.6 アナログ入力電圧とAD変換値 (typ.) の関係

2.12.7 AD コンバータの注意事項

(1) アナログ入力端子電圧範囲

アナログ入力端子 (AIN0~AIN7) は、VAREF~VSS 間で使用してください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また、ほかのアナログ入力端子の変換値にも影響を与えます。

(2) アナログ入力兼用端子

アナログ入力端子 (AIN0~AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

(3) ノイズ対策

アナログ入力端子の内部等価回路は、図 2.12.7 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨します。

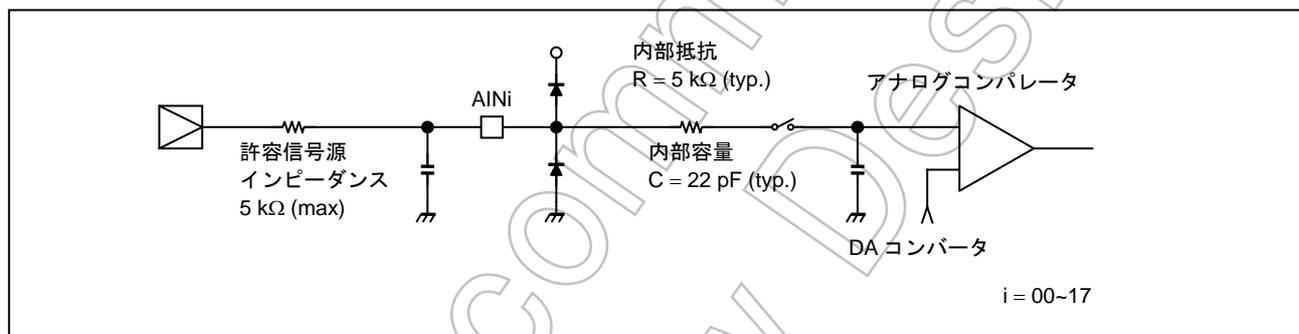


図2.12.7 アナログ入力等価回路と入力端子処理例

2.13 LCD ドライバ

TMP86FP24 は、液晶表示器 (LCD) を直接駆動するドライバおよびその制御回路を内蔵しています。LCD との接続端子は、次のとおりです。

- a. セグメント出力端子 8 本 (SEG7~SEG0)
- b. セグメント出力, P4, P9 入出力ポート兼用端子 16 本 (SEG23~SEG8)
- c. コモン出力端子 4 本 (COM3~COM0)

ほかに LCD ドライブ用昇圧回路用端子として、C0, C1, V1, V2, V3 端子があります。直接駆動が可能な LCD は、次の 4 種類です。

- a. 1/4 デューティ (1/3 バイアス) LCD 最大 96 画素 (8 セグメント × 12 桁)
- b. 1/3 デューティ (1/3 バイアス) LCD 最大 72 画素 (8 セグメント × 9 桁)
- c. 1/2 デューティ (1/2 バイアス) LCD 最大 48 画素 (8 セグメント × 6 桁)
- d. スタティック LCD 最大 24 画素 (8 セグメント × 3 桁)

2.13.1 LCD ドライバの構成

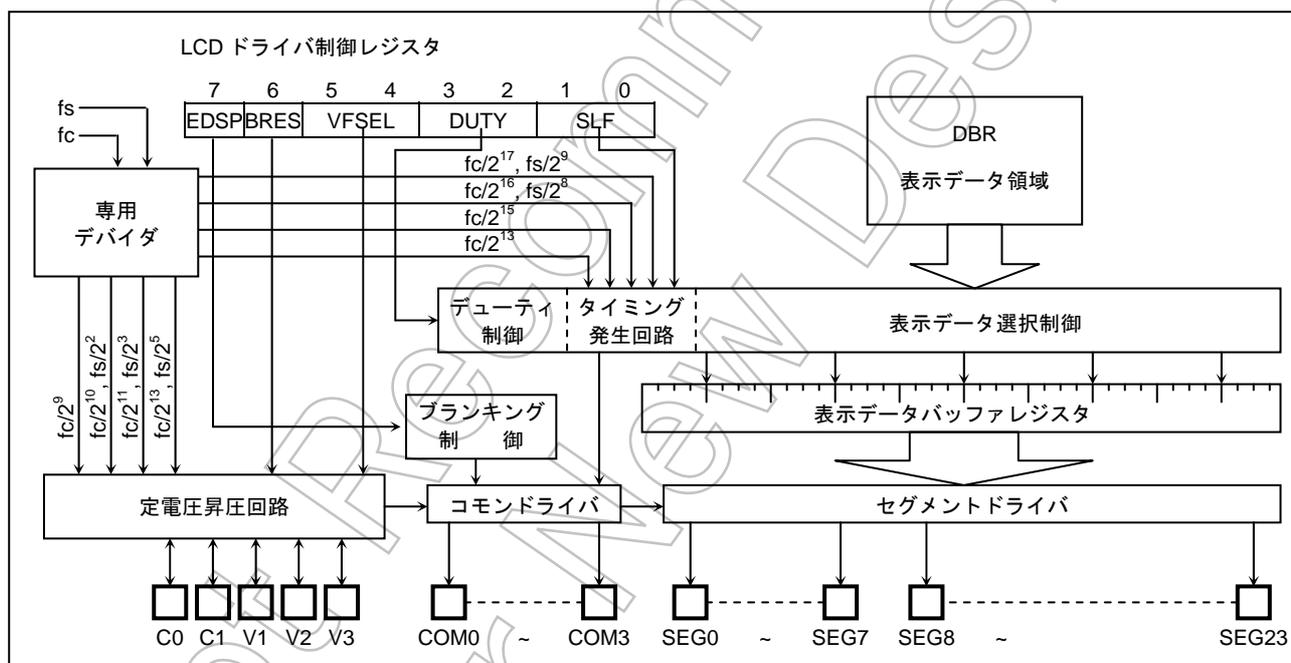


図 2.13.1 LDC ドライバ

注) LCD ドライバは専用のデバイダ回路を内蔵しています。従って開発ツールのデバッグ使用時にブレーク処理を行った場合においても LCD ドライバは出力を停止しません。

2.13.2 LCD ドライバの制御

LCD ドライバの制御は、LCD 制御レジスタ (LCDCR) で行います。LCD ドライバの表示イネーブルは EDSP で行います。

LCDCR (1FE3H)		7	6	5	4	3	2	1	0	(初期値: 0000 0000)	
		EDSP	BRES	VFSEL		DUTY		SLF			
EDSP	LCD 表示制御	0: ブランキング 1: 表示イネーブル									R/W
BRES	昇圧回路の設定	0: 昇圧回路ディセーブル (外付け分割抵使用) 1: 昇圧回路イネーブル									
VFSEL	昇圧周波数選択		NORMAL1/2, IDLE0/1/2 モード		SLOW1/2, SLEEP01/2						
			DV7CK = 0	DV7CK = 1	モード						
		00:	$fc/2^{13}$	$fs/2^5$	$fs/2^5$						
		01:	$fc/2^{11}$	$fs/2^3$	$fs/2^3$						
	10:	$fc/2^{10}$	$fs/2^2$	$fs/2^2$							
	11:	$fc/2^9$	$fc/2^9$	Reserved							
DUTY	LCD 駆動方式の設定	00: 1/4 デューティ (1/3 バイアス) 01: 1/3 デューティ (1/3 バイアス) 10: 1/2 デューティ (1/2 バイアス) 11: スタティック									
SLF	ベース周波数の選択		NORMAL1/2, IDLE0/1/2 モード		SLOW1/2, SLEEP01/2						
			DV7CK = 0	DV7CK = 1	モード						
		00:	$fc/2^{17}$	$fs/2^9$	$fs/2^9$						
		01:	$fc/2^{16}$	$fs/2^8$	$fs/2^8$						
	10:	$fc/2^{15}$	$fc/2^{15}$	Reserved							
	11:	$fc/2^{13}$	$fc/2^{13}$	Reserved							

注 1) 昇圧回路の設定<BRES> = "0" のときは $V_{DD} \geq V_3 \geq V_2 \geq V_1 \geq V_{SS}$, <BRES> = "1" のときは $3.6 [V] \geq V_3 \geq V_{DD}$ を満たす必要があります。
これらの条件が適正でない場合、LCD 表示品位に影響を与えるばかりか、ポートに過電流が流れデバイスにダメージを与える可能性があります。

注 2) 昇圧回路がイネーブルの場合、LCD 駆動バイアスは 1/3 固定で使用する必要があります。従って<BRES>が "1" のとき、<DUTY>の設定は "10B", "11B" に設定しないでください。

図 2.13.2 LCD ドライバ制御レジスタ

(1) LCD 駆動方式

LCD の駆動方式は、DUTY (LCDCR のビット 3~2) により、4 種類の選択ができます。駆動方式は、イニシャルプログラムの中で、使用する LCD に合わせて初期化します。

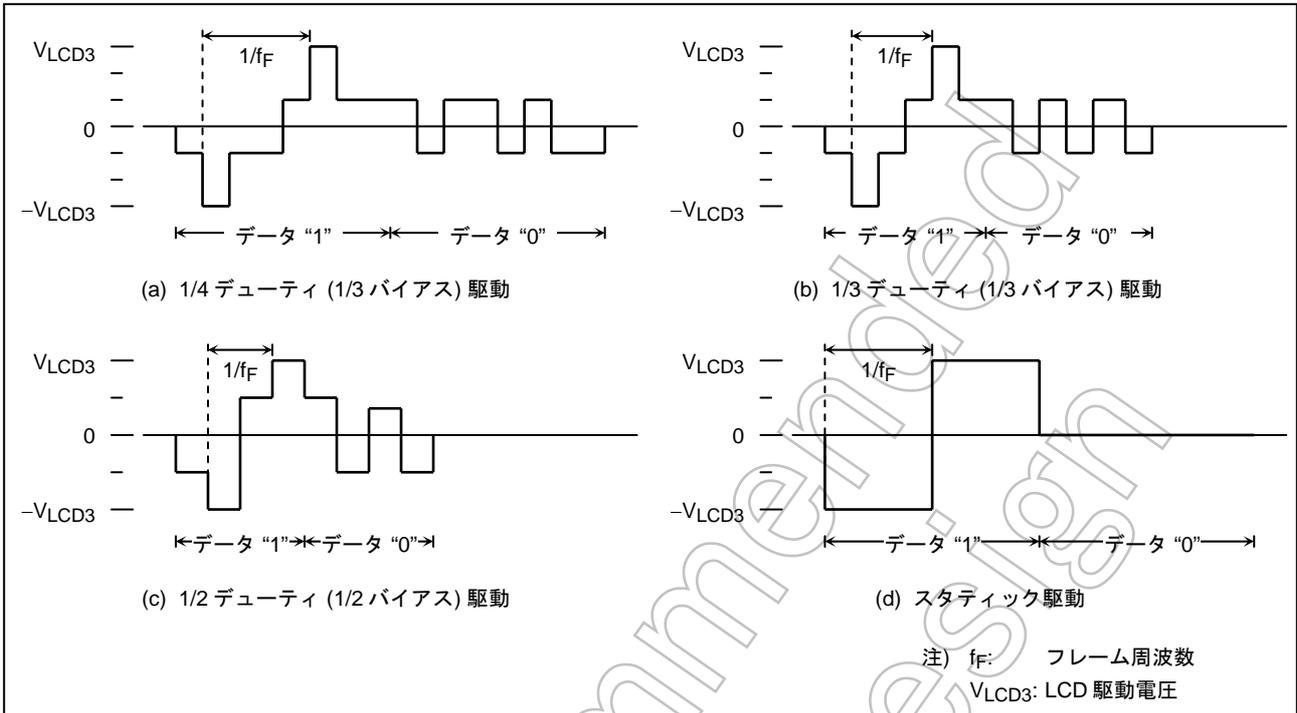


図 2.13.3 LCD 駆動波形 (COM-SEG 端子間電位差)

Not Recommended for New Design

(2) フレーム周波数

フレーム周波数 (f_F) は駆動方式とベース周波数により表 2.13.1のように設定されます。ベース周波数は、使用する基本クロック周波数 f_c および f_s に応じて、SLF (LCDRC のビット 1, ビット 0) により選択します。

表 2.13.1 フレーム周波数の設定

a. シングルクロックモード時, またはデュアルクロックモード時の DV7CK = 0 の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	スタティック
00	$\frac{f_c}{2^{17}}$	$\frac{f_c}{2^{17}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{17}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{17}}$	$\frac{f_c}{2^{17}}$
	($f_c = 16$ MHz 時)	122	163	244	122
	($f_c = 8$ MHz 時)	61	81	122	61
01	$\frac{f_c}{2^{16}}$	$\frac{f_c}{2^{16}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{16}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{16}}$	$\frac{f_c}{2^{16}}$
	($f_c = 8$ MHz 時)	122	163	244	122
	($f_c = 4$ MHz 時)	61	81	122	61
10	$\frac{f_c}{2^{15}}$	$\frac{f_c}{2^{15}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{15}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{15}}$	$\frac{f_c}{2^{15}}$
	($f_c = 4$ MHz 時)	122	163	244	122
	($f_c = 2$ MHz 時)	61	81	122	61
11	$\frac{f_c}{2^{13}}$	$\frac{f_c}{2^{13}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{13}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{13}}$	$\frac{f_c}{2^{13}}$
	($f_c = 1$ MHz 時)	122	163	244	122

注) f_c : 高周波クロック周波数 [Hz]

b. デュアルクロックモード時の DV7CK = 1, または SYSCK = 1 の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	スタティック
00	$\frac{f_s}{2^9}$	$\frac{f_s}{2^9}$	$\frac{4}{3} \cdot \frac{f_s}{2^9}$	$\frac{4}{2} \cdot \frac{f_s}{2^9}$	$\frac{f_s}{2^9}$
	($f_s = 32,768$ kHz 時)	64	85	128	64
01	$\frac{f_s}{2^8}$	$\frac{f_s}{2^8}$	$\frac{4}{3} \cdot \frac{f_s}{2^8}$	$\frac{4}{2} \cdot \frac{f_s}{2^8}$	$\frac{f_s}{2^8}$
	($f_s = 32,768$ kHz 時)	128	171	256	128

注) f_s : 低周波クロック周波数 [Hz]

(3) LCD ドライブ用電源回路

LCD 駆動用電源は、外部より供給される基準電圧を内部の昇圧回路で昇圧したものを
 使用するか、外部電源を外付け抵抗により分割としたものを使用するかを選択することが
 できます。

この選択は LCD 制御レジスタ LCDCR<BRES>で行います。

昇圧回路使用時、V1 端子に接続された基準電圧は、2 倍 (V2)、3 倍 (V3)に昇圧され、
 セグメント/コモン信号用の出力電圧が発生されます。ただし V2 端子に基準電圧が入力さ
 れた場合は、1/2 倍 (V1)に降圧、3/2 倍 (V3)に昇圧されます。

外付け分割抵抗使用時は外部電源を抵抗で分圧した電圧をそれぞれ V1, V2, V3 に入力
 しセグメント/コモン信号用の出力電圧を発生させます。

昇圧回路の基準周波数は、コマンドレジスタ (LCDCR) の VFSEL により周波数の選択
 することができます。また昇圧周波数を速くすることによりセグメント/コモンのドライブ
 能力を上げることができます。

注) 昇圧回路がイネーブルの場合、LCD 駆動バイアスは 1/3 固定で使用する必要があ
 ります。従って <BRES> が “1” のとき、<DUTY> の設定は “10B”, “11B” に設定し
 ないでください。

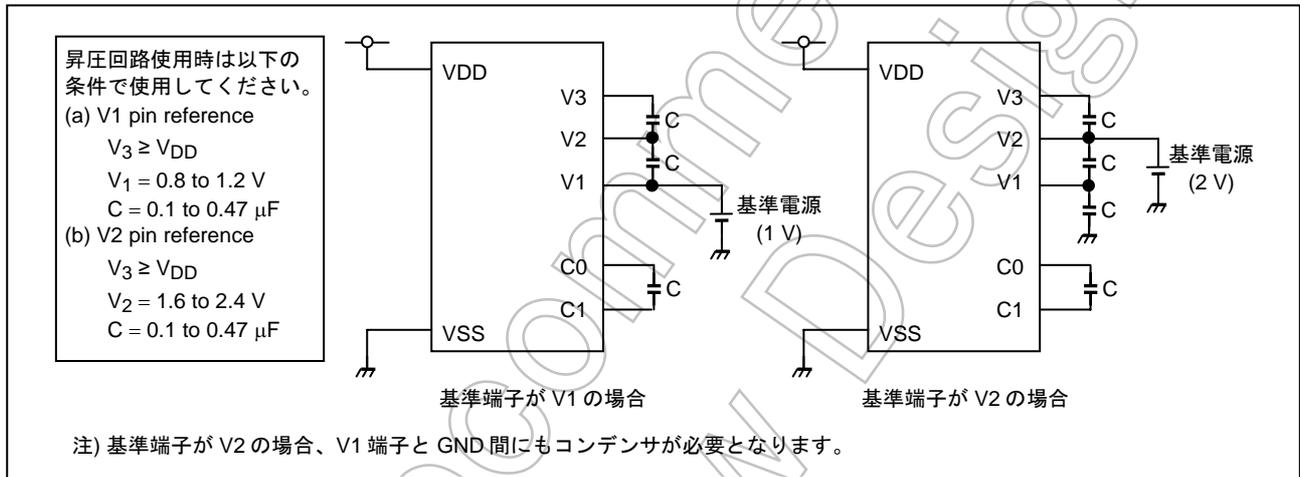


図 2.13.4 昇圧回路使用時の LCD 電源接続例 (LCDCR<BRES> = “1”)

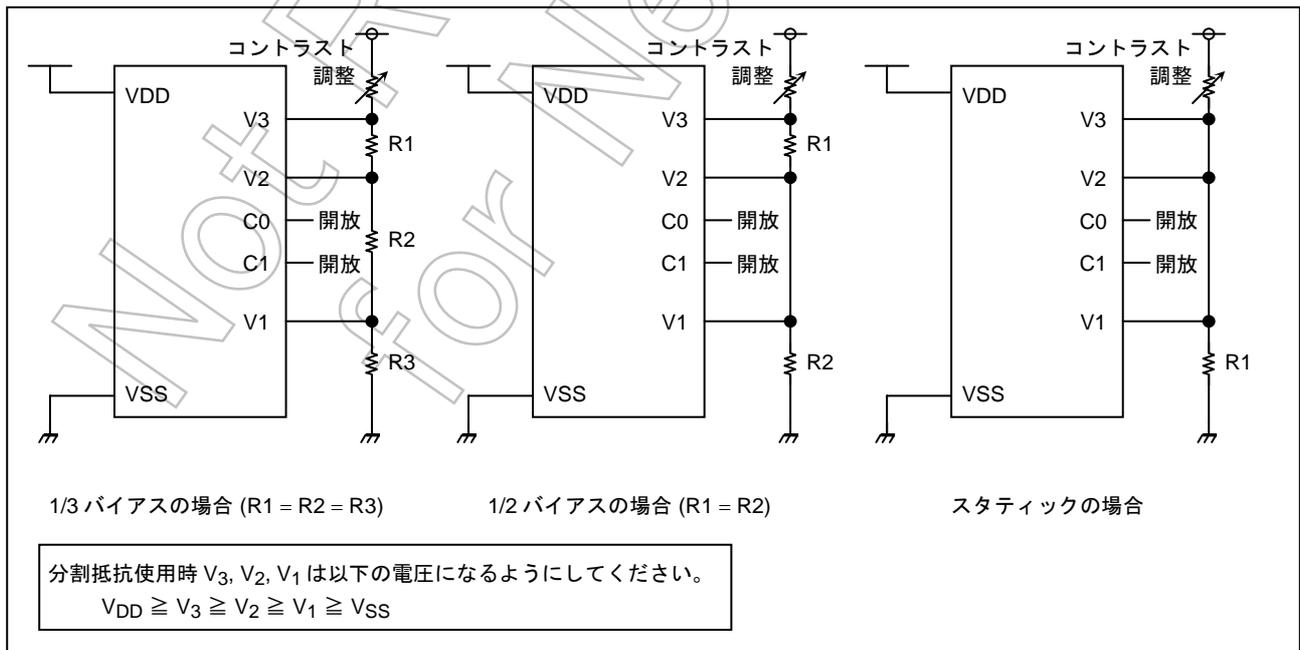


図 2.13.5 外部分割抵抗使用時の LCD 電源接続例 (LCDCR<BRES> = “0”)

2.13.3 LCD 表示動作

(1) 表示データの設定

表示データは、DBR 内に設けられた表示データ領域 (アドレス 1F80H~1F8BH の 12 バイト) に格納します。

表示データ領域に格納された表示データは、ハードウェアにより自動的に読み出され、LCD ドライバへ送出されます。LCD ドライバは、表示データと駆動方式に従い、セグメント信号、コモン信号を発生します。従って、表示パターンの変更は、プログラムで表示データ領域の内容を書き替えるのみで行うことができます。

図 2.13.6 に、表示データ領域と SEG/COM 端子の対応を示します。表示データが“1”のとき点灯し、“0”のとき消灯します。

LCD の駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のビット数も異なります。従って、表示データの格納に使用しないビットや、LCD を接続しないアドレスに相当するデータメモリは、通常のユーザー処理データの格納に使用できます (表 2.13.2 参照)。

注) 表示データ領域の内容は、電源投入時不定になりますのでイニシャライズルーチンで初期設定を行ってください。

アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
1F80H		SEG1					SEG0		
81		SEG3					SEG2		
82		SEG5					SEG4		
83		SEG7					SEG6		
84		SEG9					SEG8		
85		SEG11					SEG10		
86		SEG13					SEG12		
87		SEG15					SEG14		
88		SEG17					SEG16		
89		SEG19					SEG18		
8A		SEG21					SEG20		
8B		SEG23					SEG22		
		COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

図 2.13.6 LCD 表示データ領域 (DBR)

表 2.13.2 表示データの格納に使用するビット

駆動方法	ビット 7/3	ビット 6/2	ビット 5/1	ビット 4/0
1/4 デューティ	COM3	COM2	COM1	COM0
1/3 デューティ	-	COM2	COM1	COM0
1/2 デューティ	-	-	COM1	COM0
スタティック	-	-	-	COM0

-: 表示データの格納に使用しないビット

(2) ブランキング

EDSP を“0”にクリアすることによりブランキングがかかります。ブランキングは、COM/SEG 端子に GND レベルを出力することにより LCD を消灯します。

STOP モードに入ると EDSP が“0”にクリアされ、自動的にブランキングがかかります。STOP モード復帰後、LCD の再表示を行うには EDSP を“1”にセットする必要があります。

注) リセット時、セグメント専用端子出力 (SEG0~SEG7)、コモン出力は GND レベルとなりますが、入出力ポート/セグメント兼用端子 (P4, P9 ポート) 出力はハイインピーダンス状態となります。従って、外部からのリセット入力 that 著しく長くなる場合は LCD 表示が滲むなどの影響を及ぼす恐れがあります。

2.13.4 LCD ドライバの制御方法

(1) 初期設定

初期設定のフローチャートを、図 2.13.7 に示します。

例: 32 セグメント × 4 コモン、1/4 デューティ LCD をフレーム周波数 $f_c/2^{16}$ [Hz]、昇圧周波数 $f_c/2^{13}$ [Hz] で動作させる場合。

```
LD    (LCDCR),01000001B    ; LCD 駆動方法の設定, フレーム周波数の設定, 昇圧周波数の設定
LD    (P4LCR),0FFH        ; P5, P1, P7 ポートをセグメント出力に設定。
LD    (P9LCR),0FFH
:
LD    (LCDCR),11000001B    ; 表示データの初期値設定
LD    (LCDCR),11000001B    ; 表示イネーブル
```

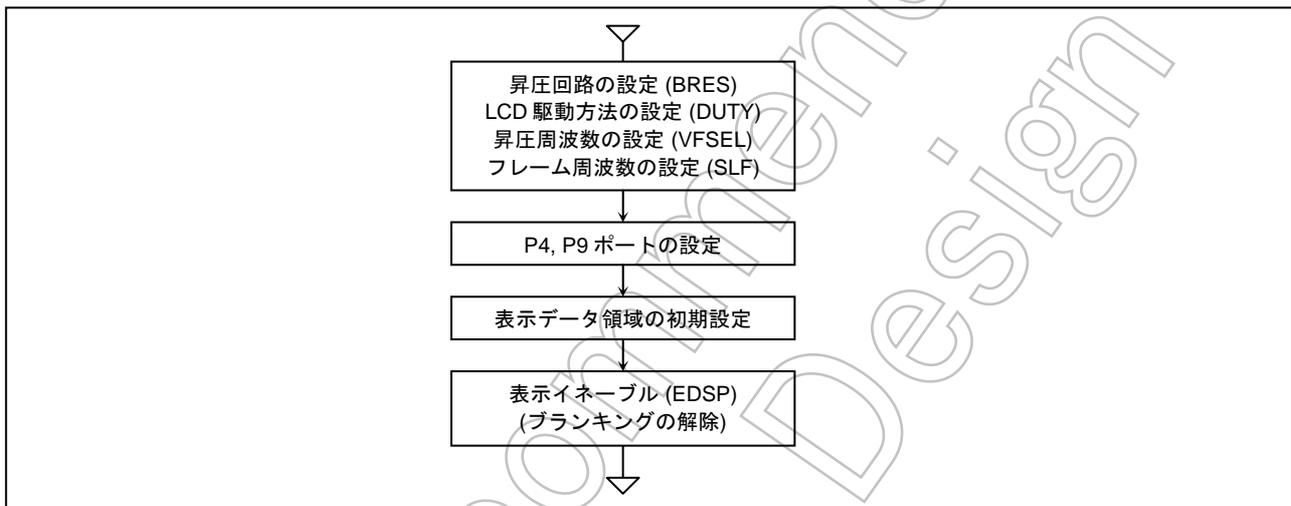


図 2.13.7 LCD ドライバの初期設定

(2) 表示データの格納

通常、表示データはプログラムメモリ (ROM) に固定データとして用意しておき、ロード命令により、表示データ領域に格納します。

例 1: 1/4 デューティ LCD を用いて、データメモリの 80H 番地に格納されている BCD データに対応する数字を表示する場合 (COM, SEG 端子と LCD との接続を図 2.13.8 としたとき) の表示データは表 2.13.4 のようになります。

```
LD    A, (80H)
ADD   A, TABLE-$-7
LD    HL, 1F80H
LD    W, (PC + A)
LD    (HL), W
RET

TABLE: DB 11011111B, 00000110B,
          11100011B, 10100111B,
          00110110B, 10110101B,
          11110101B, 00010111B,
          11110111B, 10110111B
```

注) DB はバイトデータ定義命令。

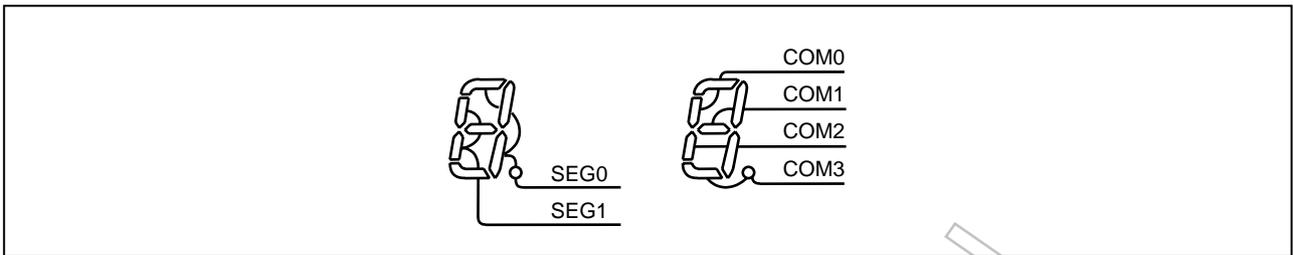


図 2.13.8 COM, SEG 端子接続例

表 2.13.4 表示データ (1/4 デューティ) の例

数字	表示	表示データ	数字	表示	表示データ
0		11011111	5		10110101
1		00000110	6		11110101
2		11100011	7		00000111
3		10100111	8		11110111
4		00110110	9		10110111

例 2: 1/2 デューティ LCD を用いて、表 2.13.4 と同様の数字表示を行う場合の表示データの例を表 2.13.5 に示します。COM 端子および SEG 端子の接続方法は図 2.13.9 の例を用います。

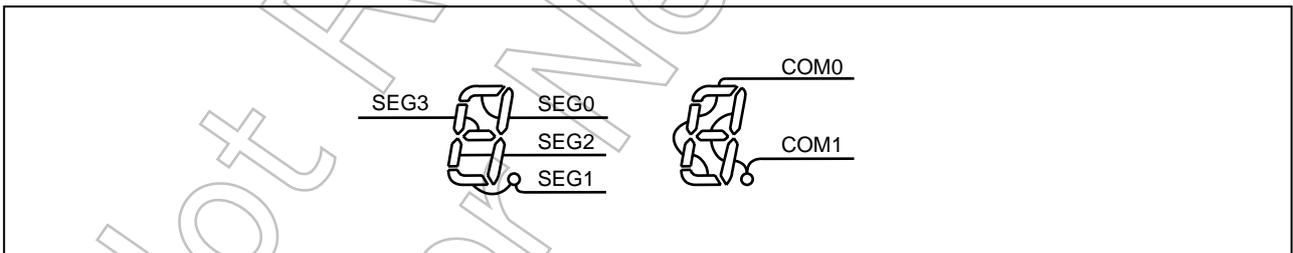


図 2.13.9 COM, SEG 端子接続例

表 2.13.5 表示データ (1/2 デューティ) の例

数字	表示データ		数字	表示データ	
	上位アドレス (1F81H)	下位アドレス (1F80H)		上位アドレス (1F81H)	下位アドレス (1F80H)
0	**01**11	**01**11	5	**11**10	**01**01
1	**00**10	**00**10	6	**11**11	**01**01
2	**10**01	**01**11	7	**01**10	**00**11
3	**10**10	**01**11	8	**11**11	**01**11
4	**11**10	**00**10	9	**11**10	**01**11

*: Don't care

(3) 駆動出力例

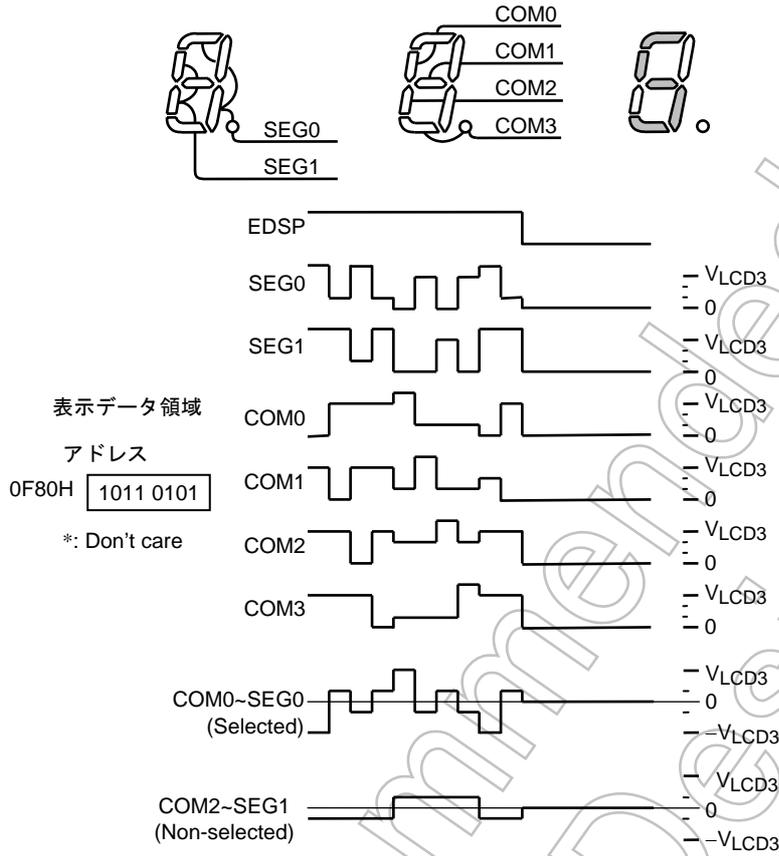


図 2.13.10 1/4 デューティ (1/3 バイアス) 駆動

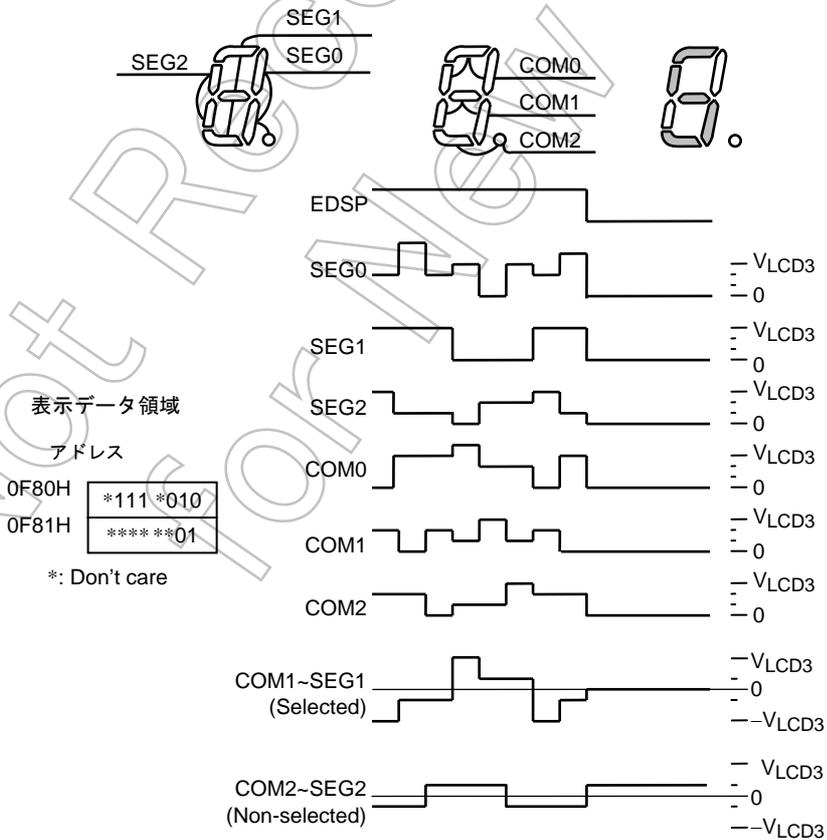
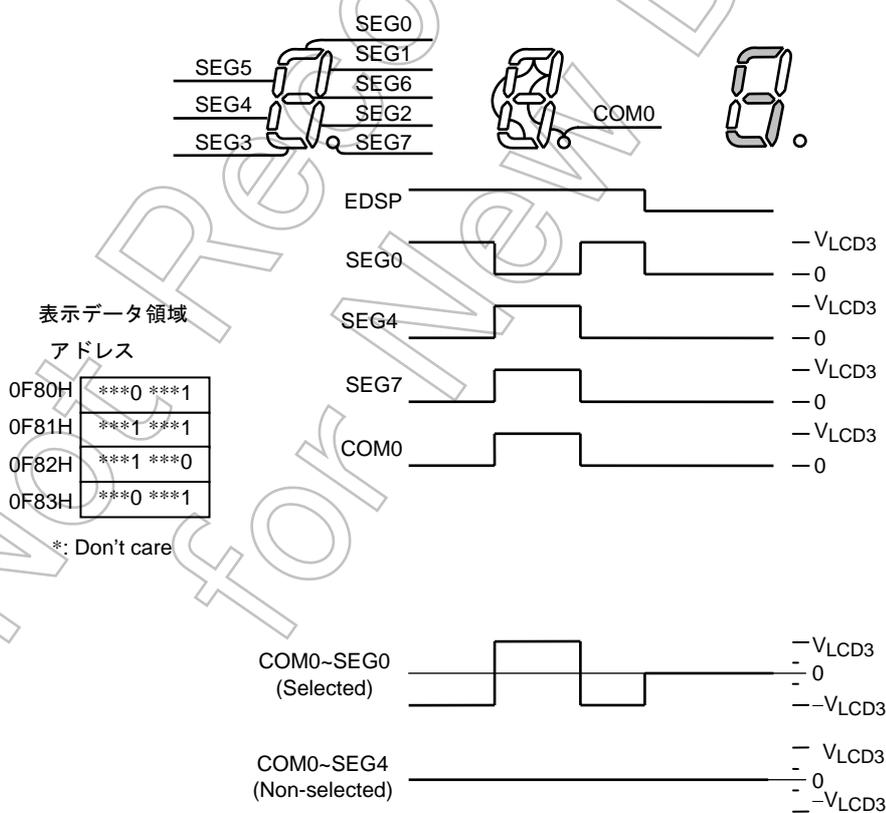
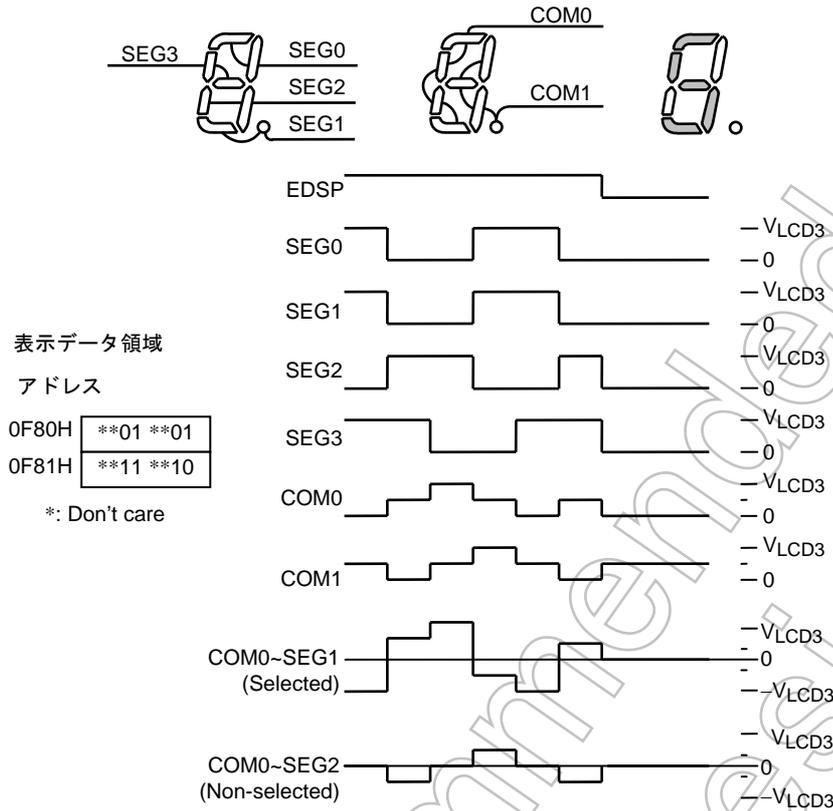


図 2.13.11 1/3 デューティ (1/3 バイアス) 駆動



2.14 SIO (同期式シリアルインタフェース)

TMP86FP24 は、SIO (同期型シリアルインタフェース) を 2 チャンネル内蔵しています。SI1, SI2, SO1, SO2, $\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$ 端子を通して外部デバイスと接続されます。SI1, 2 端子は P05, P11 と SO1, 2 端子は P06, P10 と $\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$ 端子は P07, P12 と兼用になっており、これらをシリアルインタフェース用の端子として使用する場合、P0, 1 の各ポートの出力ラッチを“1”にセットします。

SIO1 と SIO2 は各レジスタのアドレス以外は同じ内容となりますので、ここでは SIO1 のみ説明します。なお、SIO1 と SIO2 のレジスタのアドレスは表 2.14.1 に示します。

表 2.14.1 制御レジスタ一覧

	SIO1		SIO2	
	レジスタ名	アドレス	レジスタ名	アドレス
SIO 制御レジスタ 1	SIO1CR1	0016H	SIO2CR1	001AH
SIO 制御レジスタ 2	SIO1CR2	0017H	SIO2CR2	001BH
SIO ステータスレジスタ	SIO1SR	0018H	SIO2SR	001CH
SIO データバッファ	SIO1BUF	0019H	SIO2BUF	001DH

2.14.1 構成

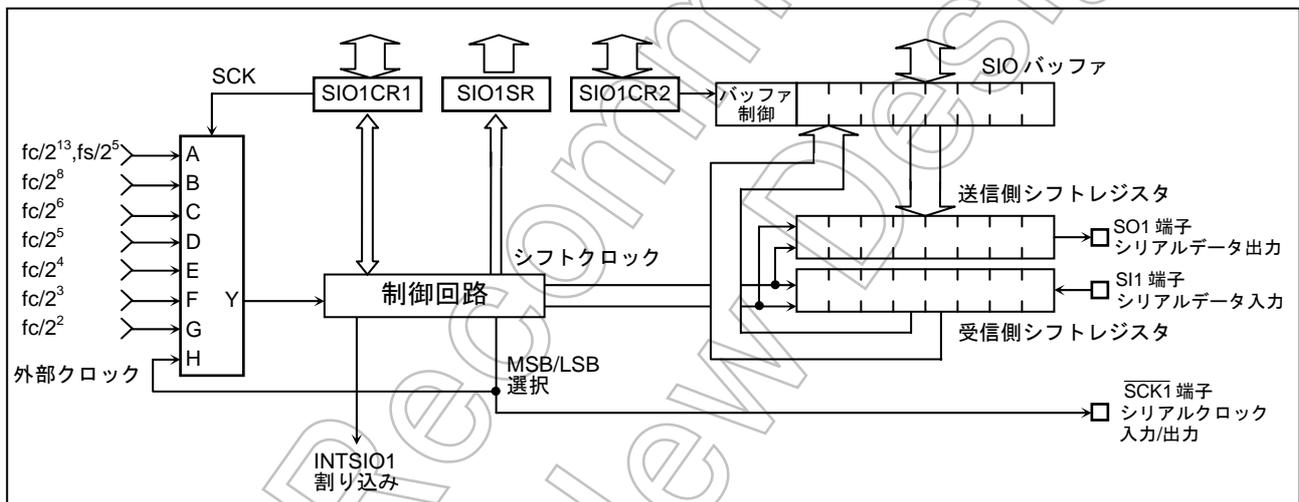


図 2.14.1 シリアルインタフェース構成図

2.14.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ 1 (SIO1CR1) およびシリアルインタフェース制御レジスタ 2 (SIO1CR2) で行います。また、シリアルインタフェースステータスレジスタ (SIO1SR) を読むことによりシリアルインタフェースの動作状態を知ることができます。

シリアルインタフェース制御レジスタ 1

	7	6	5	4	3	2	1	0	
SIO1CR1	SIOS	SIOINH	SIQM	SIODIR	SCK				(初期値: 0000 0000)

SIOS	転送の開始/終了指示	0: 終了 1: 開始	R/W																																						
SIOINH	転送の強制終了 (注 1)	0: 転送継続 1: 強制終了 (終了後、自動的に "0" にクリア)																																							
SIQM	転送モードの選択	00: 送信モード 01: 受信モード 10: 送受信モード 11: Reserved																																							
SIODIR	転送方向の選択	0: MSB (ビット 7 から転送を行います。) 1: LSB (ビット 0 から転送を行います。)																																							
SCK	シリアルクロックの選択 (注 2)	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2"></th> <th colspan="2">NORMAL1/2, IDLE1/2 モード</th> <th>SLOW1/2, SLEEP1/2 モード</th> </tr> <tr> <th>DV7CK=0</th> <th>DV7CK=1</th> <th></th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">000</td> <td style="text-align: center;">$fc/2^{13}$</td> <td style="text-align: center;">$fs/2^5$</td> <td style="text-align: center;">$fs/2^5$</td> </tr> <tr> <td style="text-align: center;">001</td> <td style="text-align: center;">$fc/2^8$</td> <td style="text-align: center;">$fc/2^8$</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">010</td> <td style="text-align: center;">$fc/2^6$</td> <td style="text-align: center;">$fc/2^6$</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">011</td> <td style="text-align: center;">$fc/2^5$</td> <td style="text-align: center;">$fc/2^5$</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">100</td> <td style="text-align: center;">$fc/2^4$</td> <td style="text-align: center;">$fc/2^4$</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">101</td> <td style="text-align: center;">$fc/2^3$</td> <td style="text-align: center;">$fc/2^3$</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">110</td> <td style="text-align: center;">$fc/2^2$</td> <td style="text-align: center;">$fc/2^2$</td> <td style="text-align: center;">—</td> </tr> <tr> <td style="text-align: center;">111</td> <td colspan="3" style="text-align: center;">外部クロック (SCK1 から入力)</td> </tr> </tbody> </table>			NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	DV7CK=0	DV7CK=1		000	$fc/2^{13}$	$fs/2^5$	$fs/2^5$	001	$fc/2^8$	$fc/2^8$	—	010	$fc/2^6$	$fc/2^6$	—	011	$fc/2^5$	$fc/2^5$	—	100	$fc/2^4$	$fc/2^4$	—	101	$fc/2^3$	$fc/2^3$	—	110	$fc/2^2$	$fc/2^2$	—	111	外部クロック (SCK1 から入力)	
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード																																						
	DV7CK=0	DV7CK=1																																							
000	$fc/2^{13}$	$fs/2^5$	$fs/2^5$																																						
001	$fc/2^8$	$fc/2^8$	—																																						
010	$fc/2^6$	$fc/2^6$	—																																						
011	$fc/2^5$	$fc/2^5$	—																																						
100	$fc/2^4$	$fc/2^4$	—																																						
101	$fc/2^3$	$fc/2^3$	—																																						
110	$fc/2^2$	$fc/2^2$	—																																						
111	外部クロック (SCK1 から入力)																																								

注 1) SIO1CR1<SIOINH> をセットした場合、SIO1CR1<SIOS>, SIO1SR<SIOF>, SIO1SR<SEF>, SIO1SR<TXF>, SIO1SR<RXF>, SIO1SR<TXERR>, SIO1SR<RXERR> が初期状態になります。

注 2) シリアルクロックの選択はシリアルクロックレートが 1 Mbps を超える設定をしないでください。

注 3) SIO1CR1<SIOS> を "1" にセットするとき、SIO1CR1<SIQM>, SIO1CR1<SIODIR>, SIO1CR1<SCK> の設定を変更するときは SIO 停止中 (SIO1SR<SIOF> = "0") の状態で行ってください。

注 4) Reserved: 設定しないでください。

図 2.14.2 シリアルインタフェース制御レジスタ 1

シリアルインタフェース制御レジスタ 2

SIO1CR2

7	6	5	4	3	2	1	0
					SIO1CR2		

 (初期値: **** *000)

SIO1CR2	送受信データ数の設定	000: 1バイト転送 001: 2バイト転送 010: 3バイト転送 011: 4バイト転送 100: 5バイト転送 101: 6バイト転送 110: 7バイト転送 111: 8バイト転送	R/W
---------	------------	--	-----

注 1) 転送データ数の設定は SIO が停止した状態 (SIO1SR<SIOF> = "0") で行ってください。

注 2) 転送データ数は送信、受信共用です。

注 3) ビット 7~3 には必ず "0" を書き込んでください。

シリアルインタフェースステータスレジスタ

SIO1SR

7	6	5	4	3	2	1	0
SIOF	SEF	TXF	RXF	TXERR	RXERR		

 (初期値: 0010 00**)

SIOF	シリアル転送動作状態モニタ	0: 転送終了 (注 1) 1: 転送中	Read only
SEF	シフト動作状態フラグ	0: シフト終了 1: シフト動作中	
TXF	送信バッファフラグ	0: 送信バッファにデータあり 1: 送信バッファにデータなし	
RXF	受信バッファフラグ	0: 受信バッファにデータなし 1: SIO1CR2 で設定したバイト数の受信完了 (SIO1CR2 で設定したバイト数のデータの読み出しが完了したときに "0" になります。)	
TXERR	送信エラーフラグ 注 2)	0: 送信動作は正常 1: 送信中にエラー発生	
RXERR	受信エラーフラグ 注 2)	0: 受信動作は正常 1: 受信中にエラー発生	

注 1) SIO1SR<SIOF> は、SIO1CR1<SIOS> をクリアし転送が終了するか、SIO1CR1<SIOINH> を "1" にセットして転送を強制終了したときに "0" となります。

注 2) SIO1SR<TXERR>, SIO1SR<RXERR> のビットは、SIO1CR1<SIOS> = "0" で転送終了してもクリアされません。SIO1CR1<SIOINH> = "1" にすることでクリアしてください。

注 3) SIO1SR レジスタには書き込みを行わないでください。

シリアルインタフェースデータバッファ

SIO1BUF

7	6	5	4	3	2	1	0

 (初期値: **** ***)

SIO1BUF	送受信データバッファ	送信データのセットおよび受信データの取り込み	R/W
---------	------------	------------------------	-----

注 1) SIO1CR1<SIOINH> をセットすると、SIO1BUF の内容が失われます。

注 2) 送信データのセットおよび受信データの取り込みは、必ず SIO1CR2<SIO1CR2> で設定されたバイト数で行ってください。

図 2.14.3 シリアルインタフェース制御レジスタ 2, ステータス、データバッファレジスタ

2.14.3 構成

(1) シリアルクロック

a. クロックソース

SIO1CR1<SCK>により、次の選択ができます。

1. 内部クロック

SIO1CR1<SCK>で選択 (“111” 以外) された周波数のクロックをシリアルクロックとして用います。転送開始時および転送終了時、 $\overline{\text{SCK1}}$ 端子出力は “H” レベルになります。

表 2.14.2 シリアルクロックレート ($f_c = 4 \text{ MHz}$)

SCK	クロック	ボーレート
000	$f_c/2^{13}$	0.47 Kbps
001	$f_c/2^8$	15.25 Kbps
010	$f_c/2^6$	61.04 Kbps
011	$f_c/2^5$	122.07 Kbps
100	$f_c/2^4$	244.14 Kbps
101	$f_c/2^3$	488.28 Kbps
110	$f_c/2^2$	976.56 Kbps
111	外部	外部

(1 Kビット = 1,024 ビット)

注) シリアルクロックレートが 1 Mbps を超える設定は行わないでください。

2. 外部クロック

SIO1CR1<SCK>に “111” をセットすると外部クロックになります。このとき、外部から $\overline{\text{SCK1}}$ 端子に供給されるクロックをシリアルクロックとして用います。

シフト動作が確実に行われるために、シリアルクロックのパルス幅は “H” レベル、 “L” レベルともに $4/f_c$ 以上が必要です。従って $f_c = 4 \text{ MHz}$ 時の場合、最大転送速度は 488.28 Kbit/s になります。

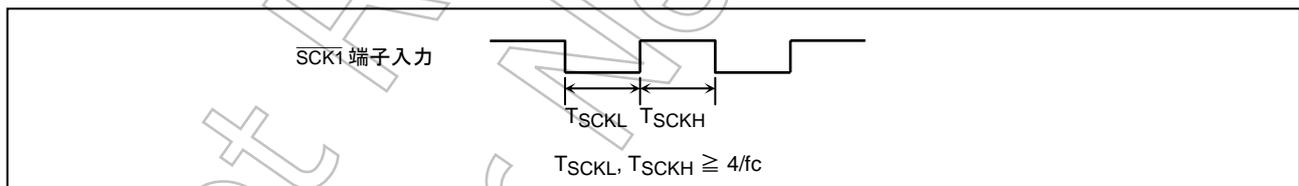


図 2.14.4 外部クロック

b. シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

1. 前縁シフト

シリアルクロックの前縁（ $\overline{\text{SCK1}}$ 端子入出力の立ち下がりエッジ）でデータをシフトします。

2. 後縁シフト

シリアルクロックの後縁（ $\overline{\text{SCK1}}$ 端子入出力の立ち上がりエッジ）でデータをシフトします。

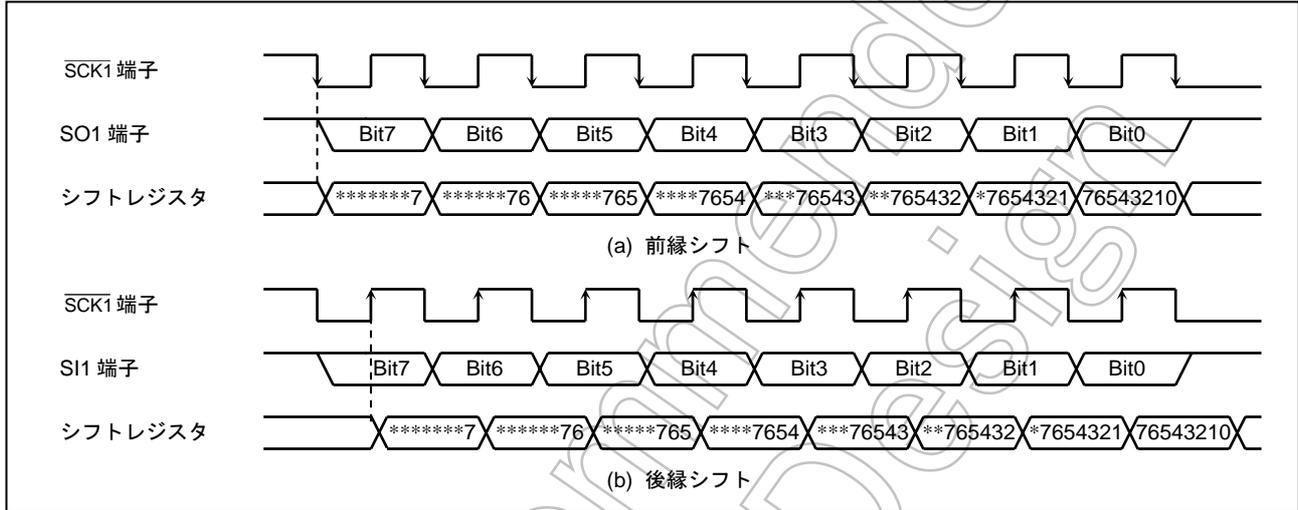


図 2.14.5 シフトエッジ

(2) 転送ビット方向

SIO1CR1<SIODIR> を選択することにより 8 ビットシリアルデータの転送方向が選択可能です。なお、データの転送方向は、送信側・受信側ともに連動しているため、個別に設定はできません。

1. MSB 転送

SIO1CR1<SIODIR> に“0” をセットすると MSB 転送となり、送信データは、データの最上位ビットから順次転送され、受信データは、最初に受け取ったデータが最上位ビットとして取り込まれます。

2. LSB 転送

SIO1CR1<SIODIR> に“1” をセットすると LSB 転送となり、送信データは、データの最下位ビットから順次転送され、受信データは、最初に受け取ったデータが最下位ビットとして取り込まれます。

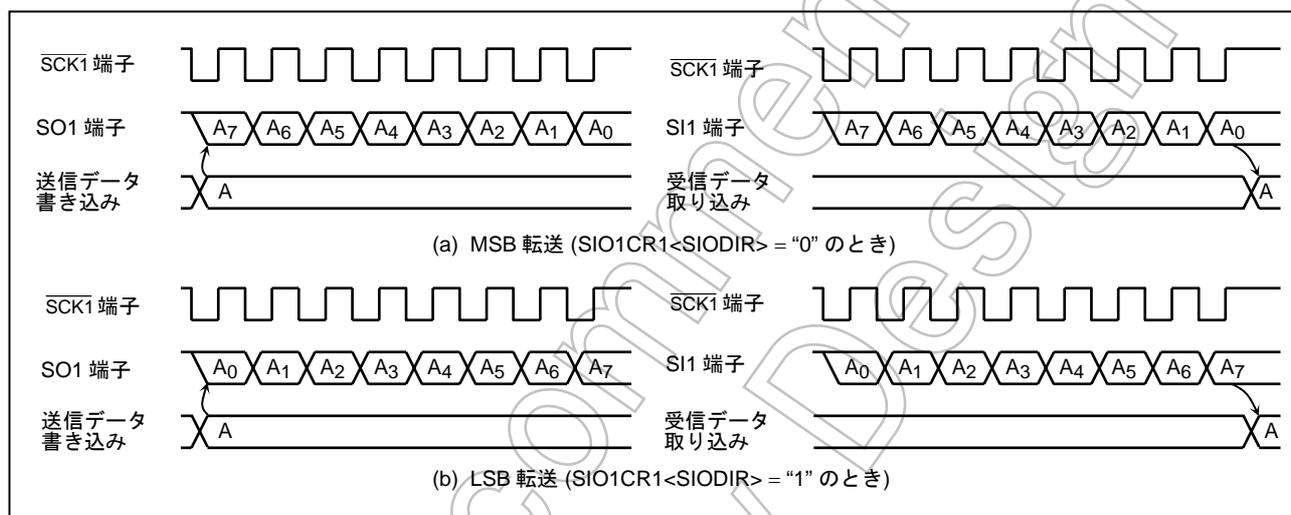


図 2.14.6 転送ビット方向

(3) 転送モード

SIO1CR1<SIOM> で送信/受信/送受信モードを選択します。

a. 送信モード

SIO1CR1<SIOM> に“00”をセットすると送信モードになります。

SIO の送信開始

1. SIO1CR1<SIOM> に送信モード, SIO1CR1<SCK> にシリアルクロックレート, SIO1CR1<SIODIR> に転送方向を設定します。
2. SIO1CR2<SIORXD> に転送データ数を設定します。
3. SIOBUFに SIO1CR2<SIORXD> で設定したバイト数の送信データをセットします。
4. SIO1CR1<SIOS> に“1”をセットします。
 - シリアルクロックが内部クロックの場合、直ちに SIO1CR1<SIODIR> で選択した方向から順に送信を開始します。
 - シリアルクロックが外部クロックの場合、外部クロックが入力された後、SIO1CR1<SIODIR> で選択した方向から順に送信を開始します。

SIO の送信終了

5. SIO1CR2<SIORXD> に設定されたバイト数の送信が終了したら、必ず SIO1CR1<SIOS>を“0”にクリアして SIO を停止させてください。SIO1CR1<SIOS> = “0”とする場合は、SIO 割り込み処理ルーチンで実施するか、SIO1SR<TXF> = “1”を確認してから実施してください。SIO1CR1<SIOS>を“0”にクリアした後、次のデータ転送を再開する場合、SIO1SR<SIOF> = “0”の状態、外部クロックの場合は送信エラーが発生していないこと (SIO1SR<TXERR> = “0”)を確認してから転送データを書き込み、SIO1CR1<SIOS> = “1”にして送信開始してください。

Not Recommended for New

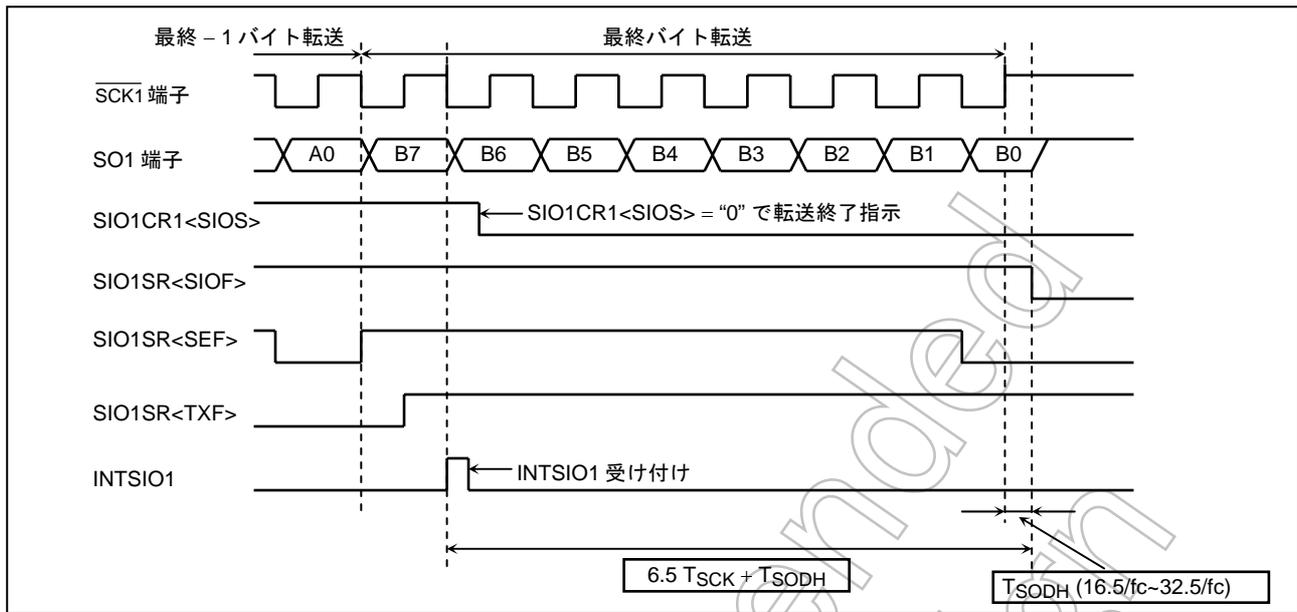


図 2.14.7 送信割り込み発生で転送終了指示 (SIO1CR1<SIOS> = "0") したときの INTSIO1 発生から転送終了 (SIO1SR<SIOF> = "0") するまでの時間

- 注 1) SIO1BUF への書き込みは必ず SIO1CR2<SIORXD>に設定したバイト数分としてください。SIO1BUF への書き込みデータ数が SIO1CR2<SIORXD>の設定値に対し過不足のある場合、SIO は正しく動作しません。
- 注 2) SIO のスタートは、必ず SIO1CR2<SIORXD>に設定したバイト数分のデータを SIO1BUF に書き込んでから実施してください。
- 注 3) 送信モード時の INTSIO1 割り込みは、最終バイトデータの 2 ビット目を送信開始した時点で発生します。
- 注 4) INTSIO1 割り込み処理で、SIO1CR1<SIOS> = "0" の書き込みを行っても、SIO は最終バイトデータを送信 (SCK1 端子の立ち上がり時点) してから、転送終了 (SIO1SR<SIOF> = "0") となります。

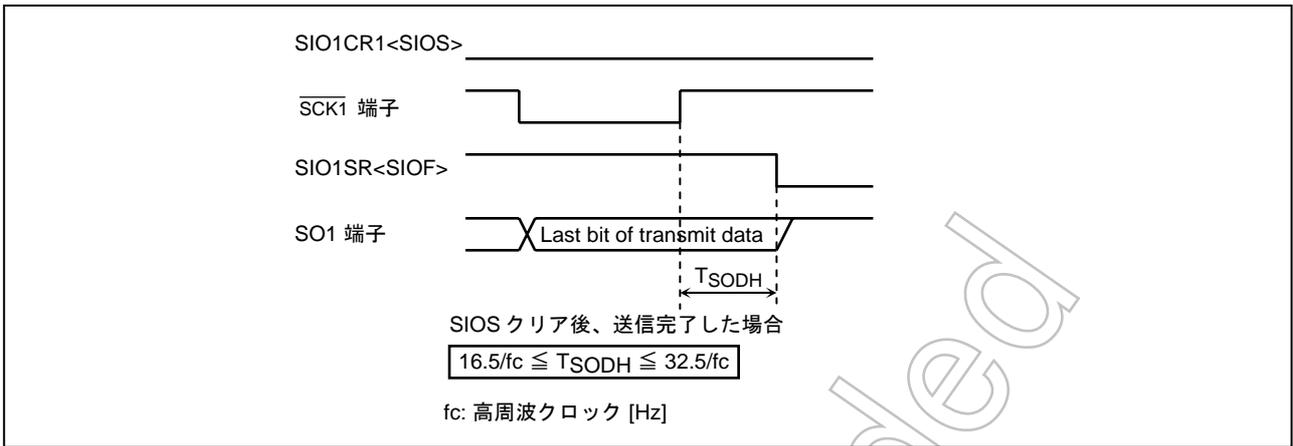


図 2.14.8 最終ビット保持時間

- SIO1CR1<SIOINH> を“1”にセットした場合は、送信中の場合でも直ちに送信を終了します。

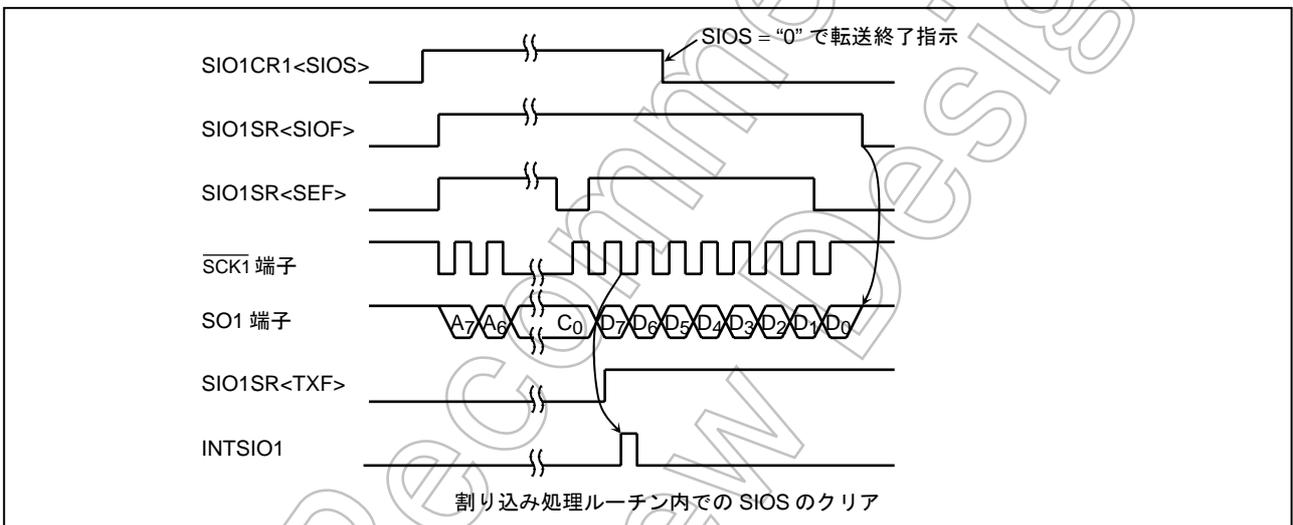


図 2.14.9 SIO1CR1<SIOS>のクリアタイミング

送信エラー

外部クロック動作時に、以下の場合送信エラーとなり送信エラーフラグ (SIO1SR<TXERR>) が“1”にセットされます。なお送信エラーが発生した場合、SO1 端子は“H”出力となります。

- SIO が動作中 (SIO1SR<SIOF> = “1”) の状態で、SIO1BUF に送信データがないとき (SIO1SR<TXF> = “1”) に、 $\overline{\text{SCK1}}$ 端子が立ち下がった場合。

送信エラーを検出した場合は、必ず SIO1CR1<SIOINH>を“1”にセットして SIO を強制終了させてください。SIO1CR1<SIOINH>を“1”にセットした場合、SIO1CR1<SIOS> および SIO1SR レジスタは初期化されます (その他のレジスタおよびビットは初期化されません)。

送信モード設定例 (送信モード, 外部クロック, 8 バイト転送)

```

LD (P0OUTCR), 01*****B ;PORT 設定
                                P07 (SCK1) 入力, P06 (SO1) 出力
LD (P0DR), 11*****B ;SCK1, SO1 設定
DI ;IMF ← 0
LDW (EIRL), *****1*****0B ;INTSIO1 (EF10) 許可
EI ;割り込み許可
LD (SIO1CR1), 01*****B ;SIO イニシャライズ (強制終了)
WAIT: TEST (SIO1SR), 7 ;SIO 停止状態 (SIOF = 0) を確認
JRS F, WAIT ;停止なら START へ
START: LD (SIO1CR1), 00000111B ;送信モード設定、転送モード選択、
                                シリアルクロック設定
LD (SIO1CR2), 00000111B ;転送バイト数設定 (8 バイト)
        ?
        送信データセット
        ?
LD (SIO1CR1), 10000111B ;転送開始指示
INTSIO1 (INTSIO1 処理ルーチン):
LD (SIO1CR1), 00000111B ;転送終了指示
TEST (SIO1SR), 3 ;TXERR 確認
JRS T, NOERR
LD (SIO1CR1), 01000111B ;強制終了 (TXERR クリア)
        ?
        エラー処理
        ?
NOERR:
END: ;転送終了

```

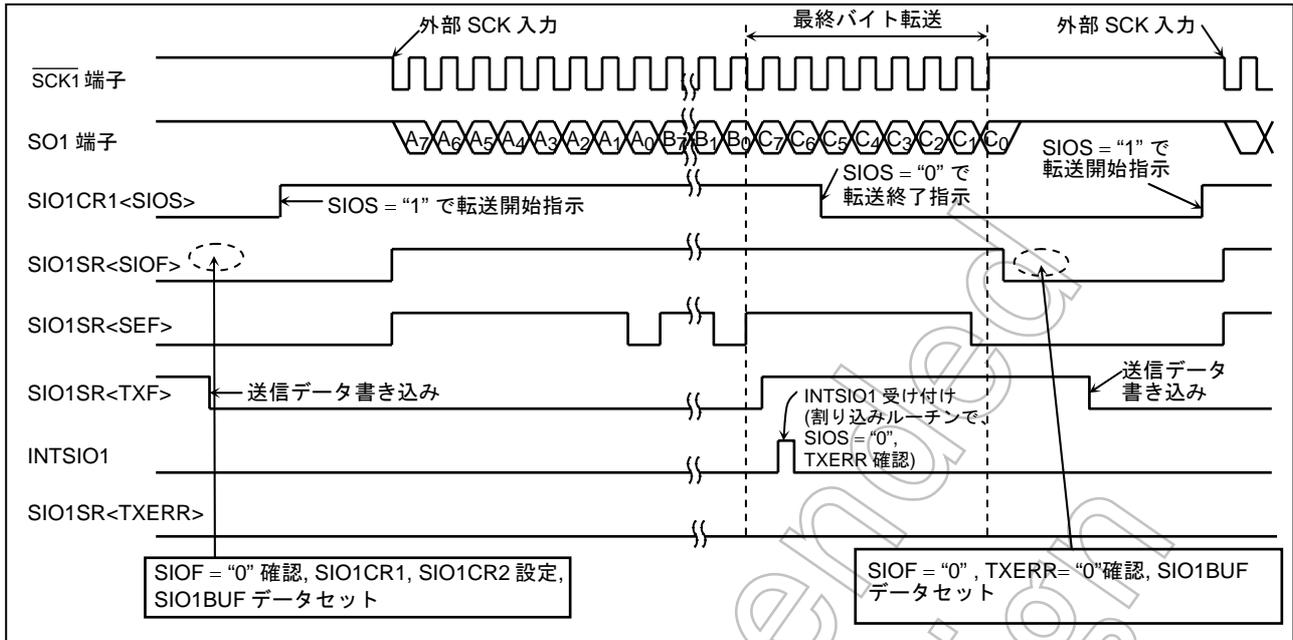


図 2.14.10 送信モードの動作 (3 バイト転送、外部ソースクロックの場合)

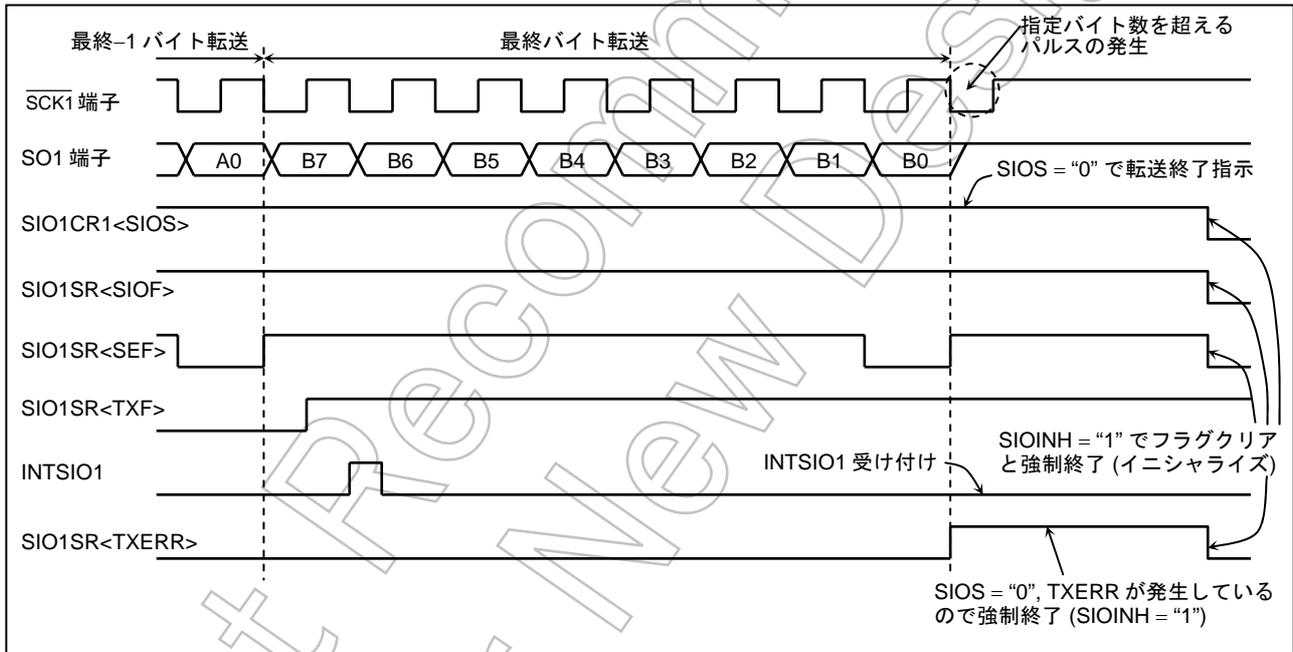


図 2.14.11 送信エラー発生の場合 (転送終了指示前に (SIO1CR1<SIOS> = "0" 書き込み) 最終バイトの転送が完了し、かつ指定バイト数を超えるパルスが発生した場合)

注) SIO 動作中 (SIO1SR<SIOF> = "1" の状態) は、 $\overline{\text{SCK1}}$ 端子に SIO1CR2<SIORXD> で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。

b. 受信モード

SIO1CR1<SIOM>に“01”をセットすると受信モードになります。

SIO の受信開始

1. SIO1CR1<SIOM>に受信モード、SIO1CR1<SCK>にシリアルクロックレート、SIO1CR1<SIODIR>に転送方向を設定します。
2. SIO1CR2<SIORXD>に転送データ数を設定します。
3. SIO1CR1<SIOS>に“1”をセットします。
 - シリアルクロックが内部クロックの場合、直ちにSIO1CR1<SIODIR>で選択した方向から順に受信を開始します。
 - シリアルクロックが外部クロックの場合、外部クロックが入力された後、SIO1CR1<SIODIR>で選択した方向から順に受信を開始します。

SIO の受信終了

4. SIO1CR2<SIORXD>にて設定されたバイト数の受信が終了したら、必ずSIO1CR1<SIOS>を“0”にクリアしてSIOを停止させてください。SIO1CR1<SIOS>=“0”とする場合は、SIO割り込み処理ルーチンで実施するか、SIO1SR<RXF>=“1”を確認してから実施してください。
 - SIO1CR1<SIOINH>を“1”にセットした場合は、受信中の場合でも直ちに受信を終了します。

受信データの読み出しタイミング

受信データの読み出しは、必ずSIO1BUFがフル状態(SIO1SR<RXF>=“1”)の確認後、もしくはINTSIO1割り込み処理ルーチンで、SIO1CR1<SIOS>を“0”にクリアし、SIOを停止させた後に実施してください。SIO1CR1<SIOS>を“0”にクリアしてから受信データを読み出す場合は、SIO1SR<SIOF>=“0”の状態、外部クロックの時は受信エラーが発生していないこと(SIO1SR<RXERR>=“0”)を確認してから受信データの読み出しを行ってください。なおSIO1SR<RXF>は、SIO1CR2<SIORXD>で設定したバイト数分の受信データをすべて読み出したとき“0”にクリアされます。SIO1CR1<SIOS>を“0”にクリアした後、次のデータ転送を再開する場合、受信データ読み出し後、SIO1CR1<SIOS>=“1”にして受信開始してください。

注1) SIO1BUFからの受信データの読み出しは、必ずSIO1CR2<SIORXD>に設定したバイト数分としてください。SIO1BUFの読み出しデータ数がSIO1CR2<SIORXD>の設定値に対し過不足がある場合、SIOは正しく動作しません。

注2) 受信終了前(SIO1SR<RXF>=“0”)にデータの読み出しを行うと、SIOは正しく動作しません。

注3) 受信モード時のINTSIO1割り込みは、最終バイトデータの最後の1ビットを受信した時点で発生します。

注4) 受信エラーが検出された状態で転送を開始するとSIOは正しく動作しません。必ずSIO1CR1<SIOINH>=“1”としてSIOを強制終了させてから、転送開始してください。

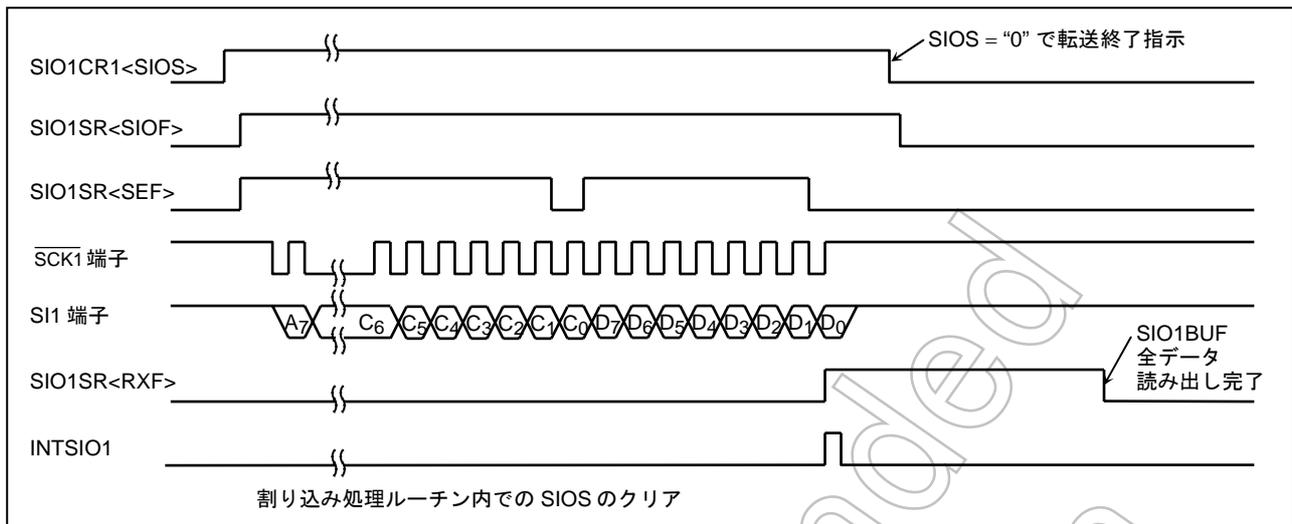


図 2.14.12 SIO1CR1<SIOS>のクリアタイミング

受信エラー

外部クロック動作時、以下の場合受信エラーとなり受信エラーフラグ (SIO1SR<RXERR>) が“1”にセットされます。受信エラーが発生した場合、受信バッファ内のデータは破棄してください。

- SIO1BUF がフル状態 (SIO1SR<RXF> = “1”) で、次の受信データ (1 バイト) の受信が終了した場合 (SCK1 端子に 8 クロック入力された場合)。

受信エラーを検出した場合は、必ず SIO1CR1<SIOINH> を“1”にセットして SIO を強制終了させてください。SIO1CR1<SIOINH> を“1”にセットした場合、SIO1CR1<SIOS> および SIO1SR レジスタの全ビットが初期化されます (その他のレジスタおよびビットは初期化されません)。

注) 受信エラー発生後、SIORXD にて設定されたバイト数分のクロックが入力されると、INTSIO 割り込みが発生します。その後、受信エラーをクリアしない状態でさらに SIORXD にて設定されたバイト数分のクロックが入力されたとしても INTSIO 割り込みは発生しません。

受信モード設定例 (受信モード, 外部クロック, 8 バイト転送)

```

LD (P0OUTCR), 0*0*****B ;PORT 設定
                                P07 (SCK1) 入力, P05 (SI1) 入力
LD (P0DR), 1*1*****B ;SCK1, SI1 設定
DI ;IMF ← 0
LDW (EIRL), *****1*****0B ;INTSIO1 (EF10) 許可
EI ;割り込み許可
LD (SIO1CR1), 01*****B ;SIO イニシャライズ (強制終了)
WAIT: TEST (SIO1SR). 7 ;SIO 停止状態 (SIOF = 0) を確認
      JRS F, WAIT ;停止なら START へ
START:
      LD (SIO1CR1), 00010111B ;受信モード設定、転送モード選択、
                                シリアルクロック設定
      LD (SIO1CR2), 00000111B ;転送バイト数設定
      LD (SIO1CR1), 10010111B ;転送開始指示
INTSIO1 (INTSIO1 処理ルーチン):
      LD (SIO1CR1), 00010111B ;転送終了指示
      LD (SIO1CR1), 01010111B ;強制終了
      ;
      受信データ読み出し
      チェックサム等で受信データが正常か否かの確認
      ;
END: ;転送終了

```

Not Recommended for New

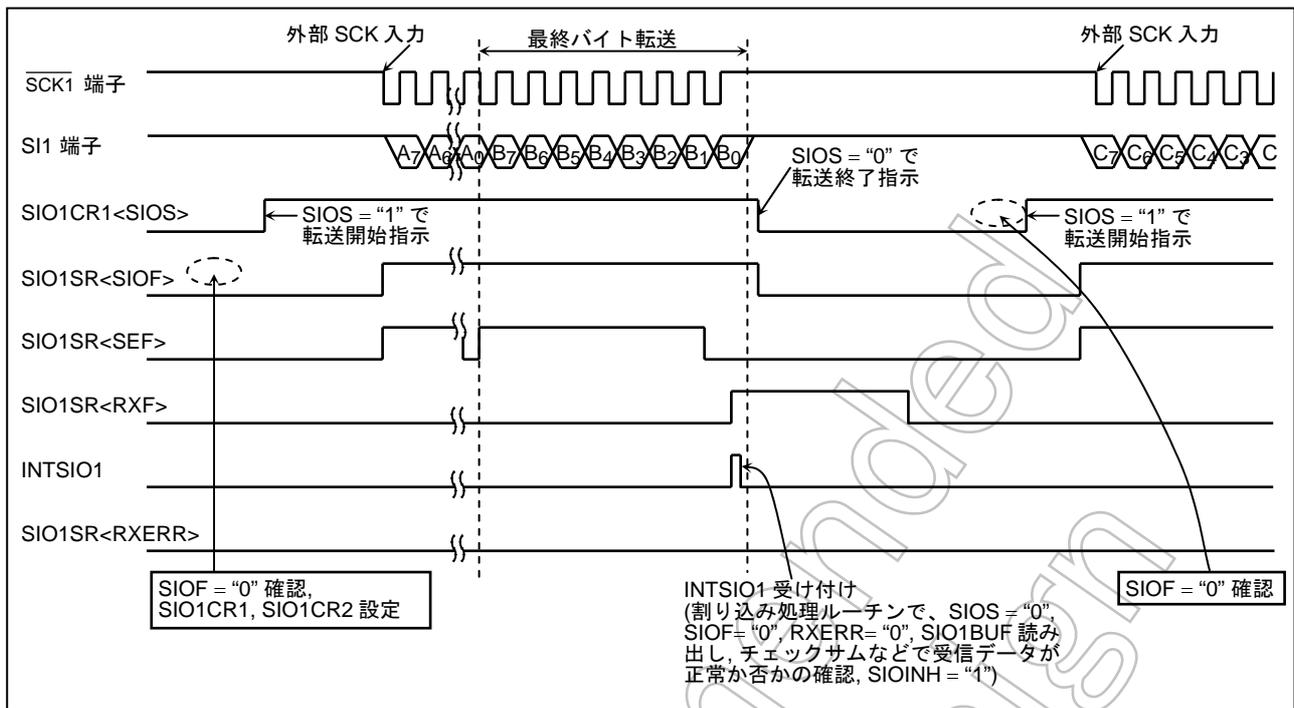


図 2.14.13 受信モードの動作 (2 バイト転送、外部ソースクロックの場合)

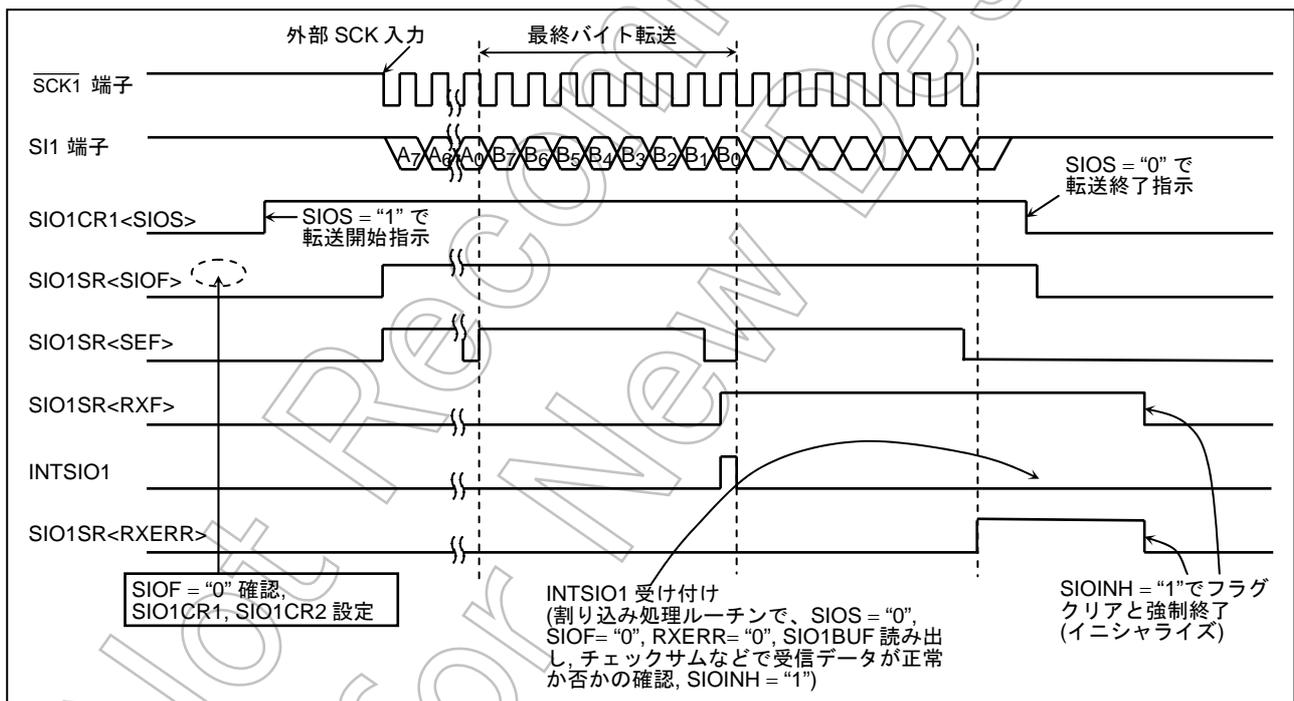


図 2.14.14 受信エラー発生の場合 (2 バイト転送、外部ソースクロックの場合)

- 注 1) SIO 動作中 (SIO1SR<SIOF> = "1" の状態) は、SCK1 端子に SIO1CR2<SIORXD>で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。
- 注 2) 受信エラーは、データ受信完了後、SIO 停止指示 (SIO1CR1<SIOS> = "0") が有効となる前に、SCK1 端子に 8 クロック入力された場合に発生します。図 2.14.14 は、INTSIO1 割り込み処理で SIO1CR1<SIOS> = "0" の書き込みを実行する前に、SCK1 端子に 8 クロック入力されたことにより、受信エラーが発生したケースを表記したものです。

c. 送受信モード

SIO1CR1<SIOM> に“10”をセットすると送受信モードになります。

SIO の送受信開始

1. SIO1CR1<SIOM> に送受信モード, SIO1CR1<SCK> にシリアルクロックレート, SIO1CR1<SIODIR> に転送方向を設定します。
2. SIO1CR2<SIORXD> に転送データ数を設定します。
3. SIO1CR2<SIORXD> にて設定したバイト数の送信データを SIO1BUF にセットします。
4. SIO1CR1<SIOS> に“1”をセットします。
 - シリアルクロックが内部クロックの場合、直ちに SIO1CR1<SIODIR>で選択した方向から順に送受信を開始します。
 - シリアルクロックが外部クロックの場合、SCK1 端子へのクロック入力に同期して SIO1CR1<SIODIR>で選択した方向から順に送受信を開始します。

注 1) SIO1CR2<SIORXD>、SIO1CR1<SIODIR>、SIO1CR1<SCK>は送信、受信共用です。個別に設定はできません。

注 2) 送信データは SCK1 端子の立ち下がりに同期して出力され、受信データは SCK1 端子の立ち上がりに同期して受信されます。

SIO の送受信終了

5. SIO1CR2<SIORXD> にて設定されたバイト数の送受信が終了したら、必ず SIO1CR1<SIOS>を“0”にクリアして SIO を停止させてください。SIO1CR1<SIOS> = “0” とする場合は、SIO 割り込み処理ルーチン内で実施するか、SIO1SR<RXF> = “1”を確認してから実施してください。
 - SIO1CR1<SIOINH> を“1”にセットした場合は、送受信中でも直ちに送受信を終了します。

受信データの読み出し、送信データのセットタイミング

SIO1CR2<SIORXD>にて設定したバイト数分の送受信後、受信データの読み出しおよび次の送信データ書き込みは、受信バッファがフル状態 (SIO1SR<RXF> = “1”) もしくは、INTSIO1 割り込みルーチン内にて SIO1CR1<SIOS> = “0” で SIO を停止させた後に行ってください。SIO1CR1<SIOS> を “0” にクリアした後、次のデータ転送を再開する場合は、SIO1SR<SIOF> = “0” の状態で、外部クロックのときは送信エラーおよび受信エラーが発生していないこと (SIO1SR<TXERR> = “0”、SIO1SR<RXERR> = “0”) を確認してから受信データを読み出し、その後、送信データの書き込みを行い、SIO1CR1<SIOS> = “1” にして転送開始してください。

- 注 1) INTSIO1 割り込みは、最終バイトデータの最後の 1 ビットを受信した時点で発生します。
- 注 2) SIO1BUF への書き込み/読み出しは、必ず SIO1CR2<SIORXD>で設定したバイト数分としてください。SIO1BUF への書き込み/読み出しデータ数が SIO1CR2<SIORXD>の設定値に対し過不足のある場合は、SIO が正しく動作しません。
- 注 3) SIO1SR<RXF>は、SIO1CR2<SIORXD>で設定したバイト数分の全受信データを読み出したときに “0” にクリアされます。
- 注 4) 送受信モード時、SIO1CR1<SIOINH>を “1” にセットして強制終了させた場合、受信データは破棄されます。
- 注 5) 送信エラー、受信エラーのどちらかが検出された状態で転送を開始すると、SIO は正しく動作しません。必ず SIO1CR1<SIOINH> = “1” として SIO を強制終了させてから、転送開始してください。

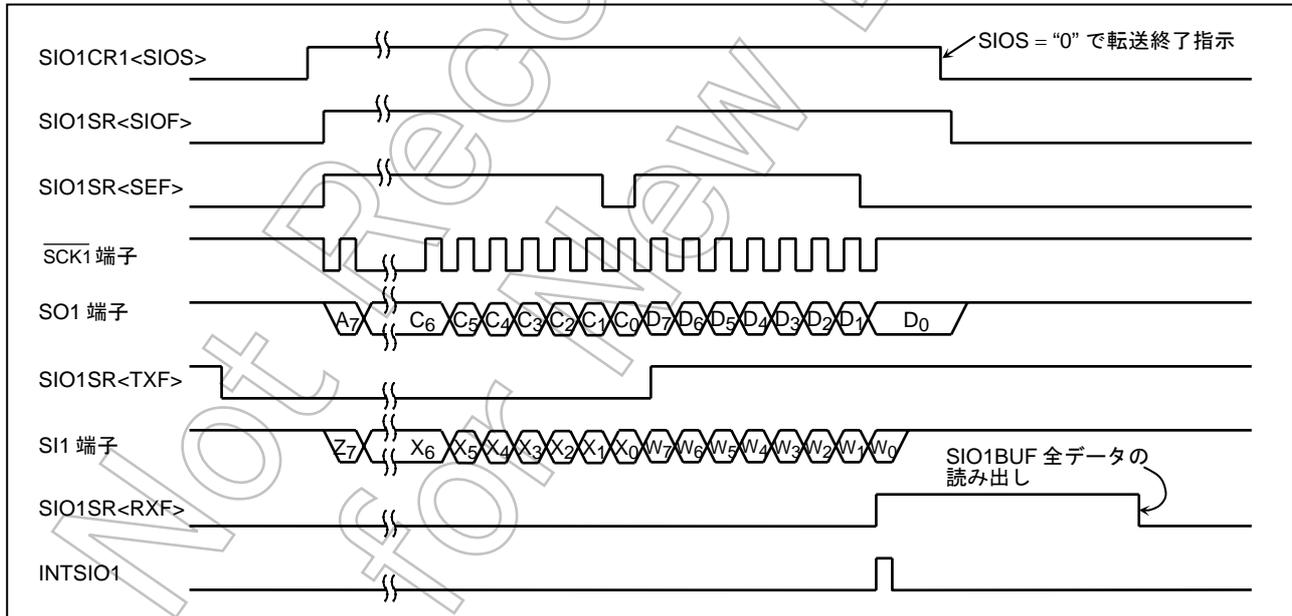


図 2.14.15 SIO1CR1<SIOS>クリアタイミング (送受信モード)

送受信エラー

外部クロック使用時、以下の場合、送信エラーまたは受信エラーが発生しエラーフラグ (SIO1SR<TXERR>または SIO1SR<RXERR>) がセットされます。エラーが発生した場合、SO1 端子は“H”出力となります。

- SIO が動作中 (SIO1SR<SIOF> = “1”) の状態で SIOBUF に送信データがないとき (SIO1SR<TXF> = “1”) に、 $\overline{\text{SCK1}}$ 端子が立ち下がった場合 (SIO1SR<TXERR>)。
- SIO が動作中 (SIO1SR<SIOF> = “1”) の状態で SIO1BUF がフル状態 (SIO1SR<RXF> = “1”) のときに、次の受信データ (1 バイト) の受信が終了した場合 (SCK1 端子に 8 クロック入力された場合) (SIO1SR<RXERR>)。

送信エラーまたは受信エラーを検出した場合は、必ず SIO1CR1<SIOINH>を“1”にセットして SIO を強制終了してください。

- 注) 受信エラー発生後、SIORXD にて設定されたバイト数分のクロックが入力されると、INTSIO 割り込みが発生します。その後、受信エラーをクリアしない状態でさらに SIORXD にて設定されたバイト数分のクロックが入力されたとしても INTSIO 割り込みは発生しません。

Not Recommended for New Design

送受信モード設定例 (送受信モード, 外部クロック, 8 バイト転送)

```

LD (P0OUTCR), 010*****B ;PORT 設定
                                P07 (SCK $\bar{1}$ ) 入力, P06 (SO1) 出力,
                                P05 (SI1) 入力

LD (P0DR), 111*****B ; $\overline{\text{SCK1}}$ , SO1, SI1 設定
DI ;IMF  $\leftarrow$  0
LDW (EIRL), *****1*****0B ;INTSIO (EF10) 許可
EI ;割り込み許可
LD (SIO1CR1), 01*****B ;SIO イニシャライズ (強制終了)
WAIT: TEST (SIO1SR). 7 ;SIO 停止状態 (SIOF = 0) を確認
JRS F, WAIT ;停止なら START へ

START:
LD (SIO1CR1), 00100111B ;送受信モード設定、転送モード選択、
                                シリアルクロック設定
LD (SIO1CR2), 00000111B ;転送バイト数設定 (8 バイト)
                                }
                                送信データセット
                                }

LD (SIO1CR1), 10100111B ;転送開始
INTSIO1(INTSIO1 処理ルーチン):
LD (SIO1CR1), 00100111B ;転送終了指示
TEST (SIO1SR). 3 ;TXERR 確認
JRS T, TXNOER
LD (SIO1CR1), 01100111B ;強制終了 (TXERR クリア)
                                }
                                エラー処理
                                }
JP END

TXNOER:
                                }
                                受信データ読み出し
                                チェックサム等で受信データが正常か否かの確認
                                }

END: ;転送終了

```

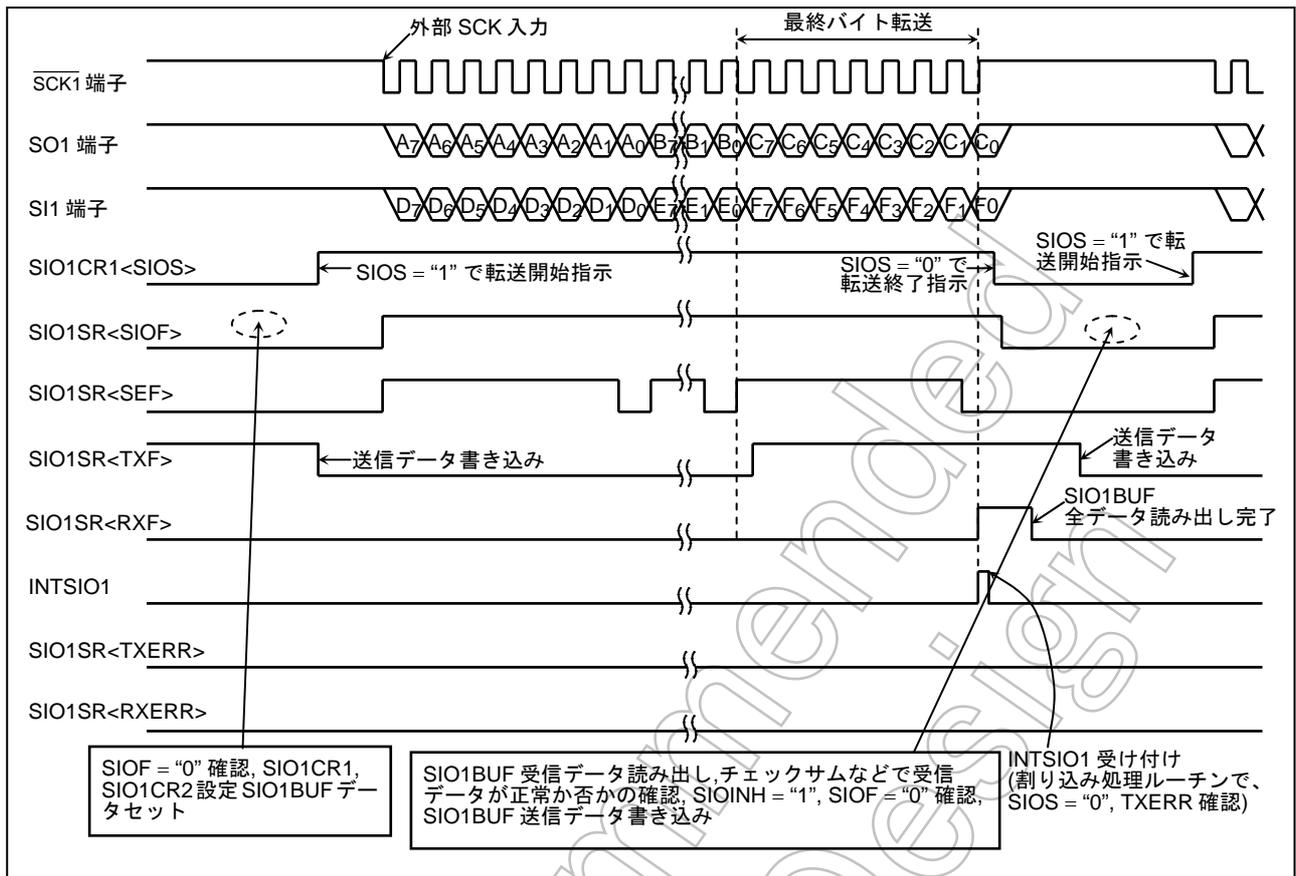


図 2.14.16 送受信モードの動作 (3 バイト転送、外部クロックの場合)

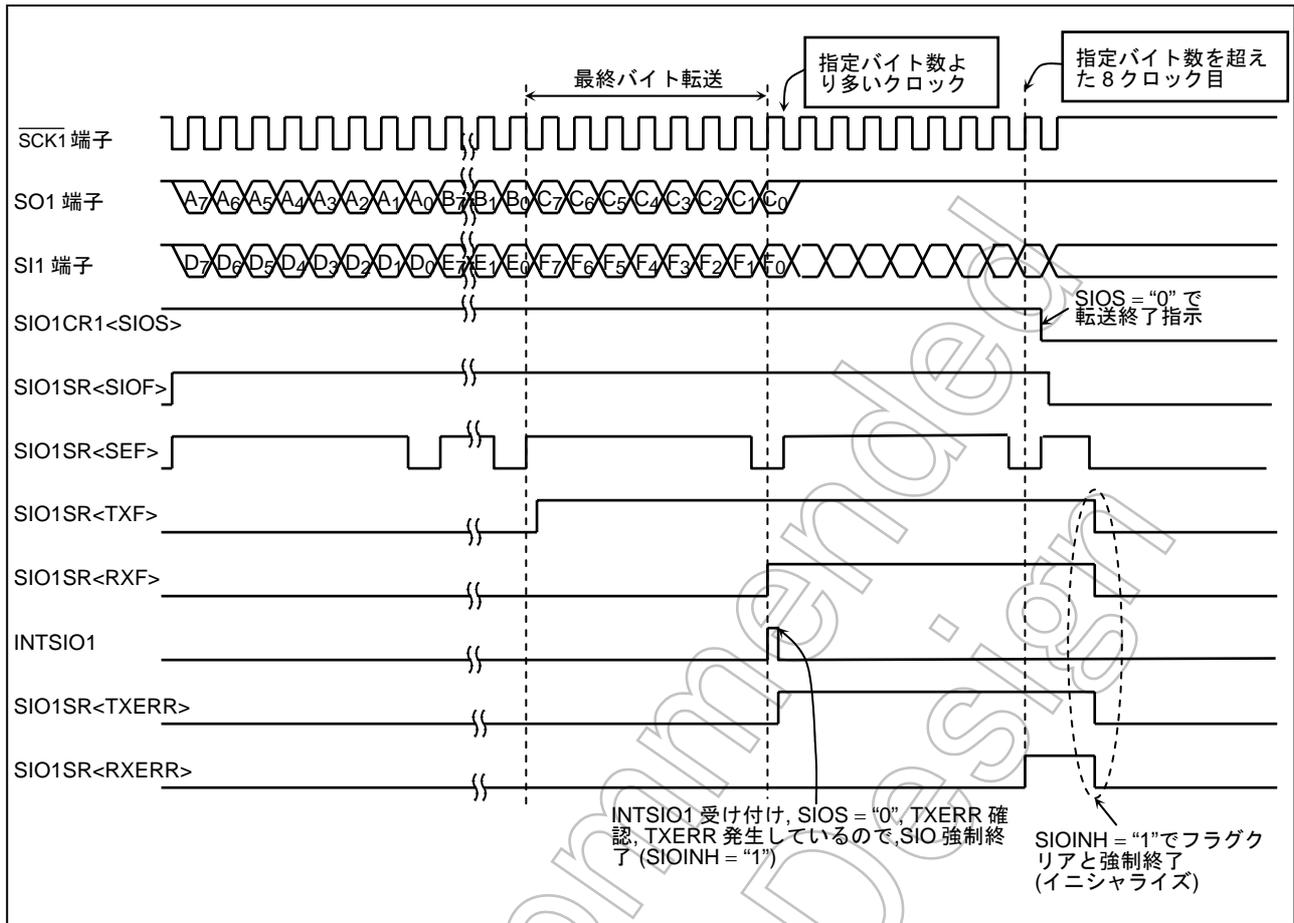


図 2.14.17 送受信エラー発生の場合 (3 バイト転送、外部クロックの場合)

注) SIO 動作中 (SIO1SR<SIOF> = "1" の状態) は、SCK1 端子に SIO1CR2<SIORXD> で設定したバイト数の転送クロック数より多いクロックを、入力しないようにしてください。

2.15 プログラム訂正回路

プログラム訂正回路とは、バグを持ったプログラム (ROM) にパッチをあてる機能です。

プログラム訂正回路は、「アドレスジャンプモード」と「データ置換モード」の2つのモードを持っています。アドレスジャンプモードは、レジスタで指定したアドレスから連続する3バイトを絶対 JUMP 命令に置き換えるモードです。データ置換モードは、レジスタで指定したアドレスの1バイト、もしくは指定したアドレスから連続する2バイトを任意のデータに置き換えるモードです。両モードを合わせ、最大4つのアドレスにパッチをあてることができます。

- 注1) 本回路を使用する場合は、あらかじめプログラムのイニシャルルーチン内に、プログラム訂正回路を使用することを前提とした処理ルーチンを組み込んでおく必要があります。
- 注2) アドレスジャンプモードでジャンプ先を RAM 領域内に設定する場合は、ROMCCR を設定する前に、あらかじめ WDTCR1, WDTCR2 によって RAM のアドレスラップを解除する必要があります。

2.15.1 構成

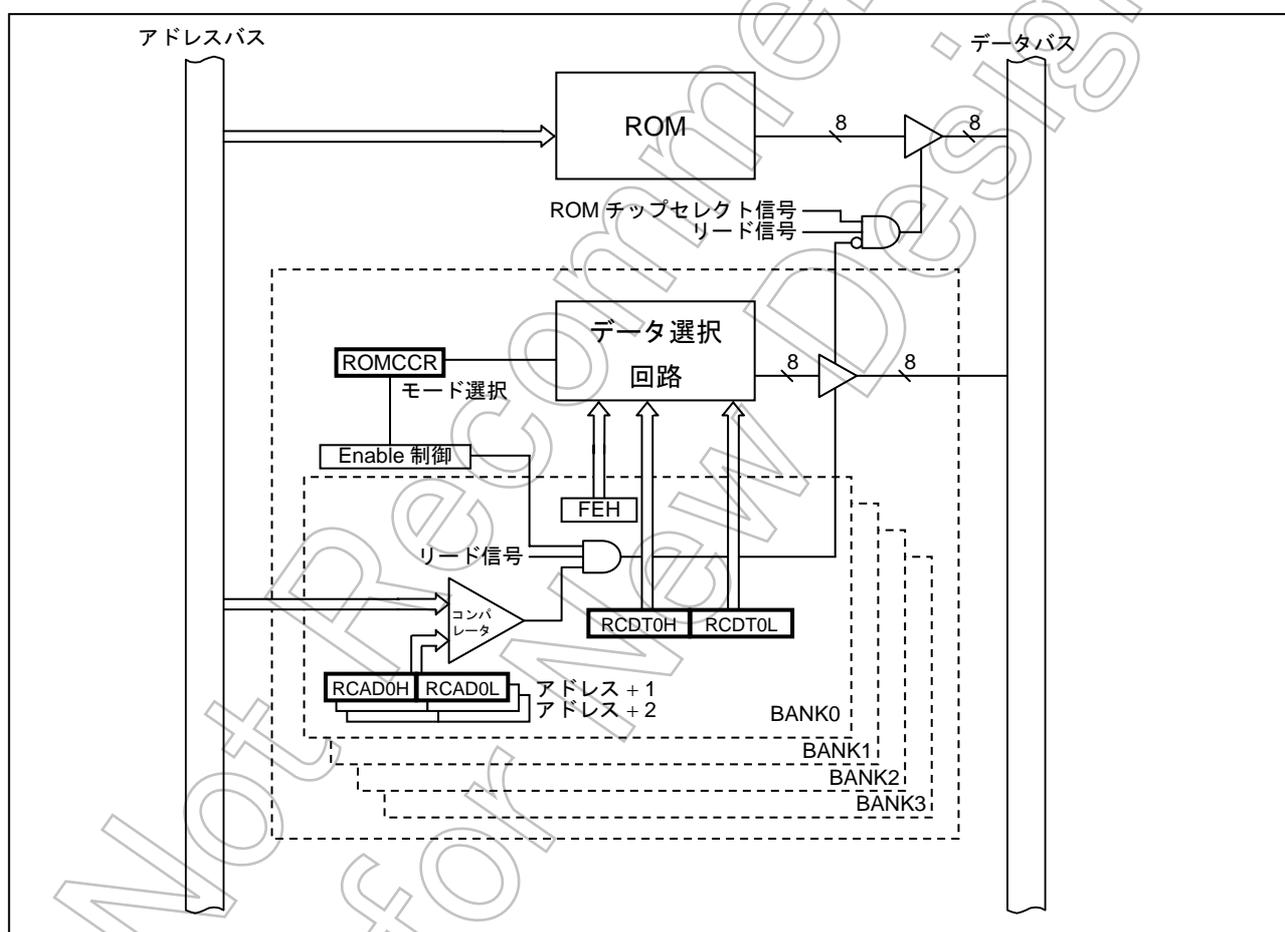


図2.15.1 プログラム訂正回路

2.15.2 制御

プログラム訂正回路は、プログラム訂正制御レジスタ (ROMCCR) と、プログラム訂正アドレスレジスタ (RCADxL, RCADxH)、プログラム訂正データレジスタ (RCDTxL, RCDTxH) で制御されます。(x: 0~3)

プログラム訂正制御レジスタ

ROMCCR (1FC0H)	7	6	5	4	3	2	1	0	
	BANK3CNT		BANK2CNT		BANK1CNT		BANK0CNT		(初期値: 0000 0000)

BANK3CNT	BANK3 制御	00: ディセーブル 01: アドレスジャンプモード 10: 1バイトデータ置換モード 11: 2バイトデータ置換モード	R/W
BANK2CNT	BANK2 制御	00: ディセーブル 01: アドレスジャンプモード 10: 1バイトデータ置換モード 11: 2バイトデータ置換モード	
BANK1CNT	BANK1 制御	00: ディセーブル 01: アドレスジャンプモード 10: 1バイトデータ置換モード 11: 2バイトデータ置換モード	
BANK0CNT	BANK0 制御	00: ディセーブル 01: アドレスジャンプモード 10: 1バイトデータ置換モード 11: 2バイトデータ置換モード	

注 1) BANKxCNT が "00" 以外に設定された BANK は、プログラム訂正アドレスレジスタ (RCADxL, RCADxH)、プログラム訂正データレジスタ (RCDTxL, RCDTxH) への書き込み処理は無効となりますので(命令は実行されます)、ROMCCR のモード設定は、これらのレジスタの設定後に行ってください(x: 0~3)。

注 2) リセット直後のリセットベクタ (FFFEH, FFFFH) は、リセット操作により ROMCCR レジスタが初期化されるためデータ置換することはできません。

図2.15.2 プログラム訂正制御レジスタ

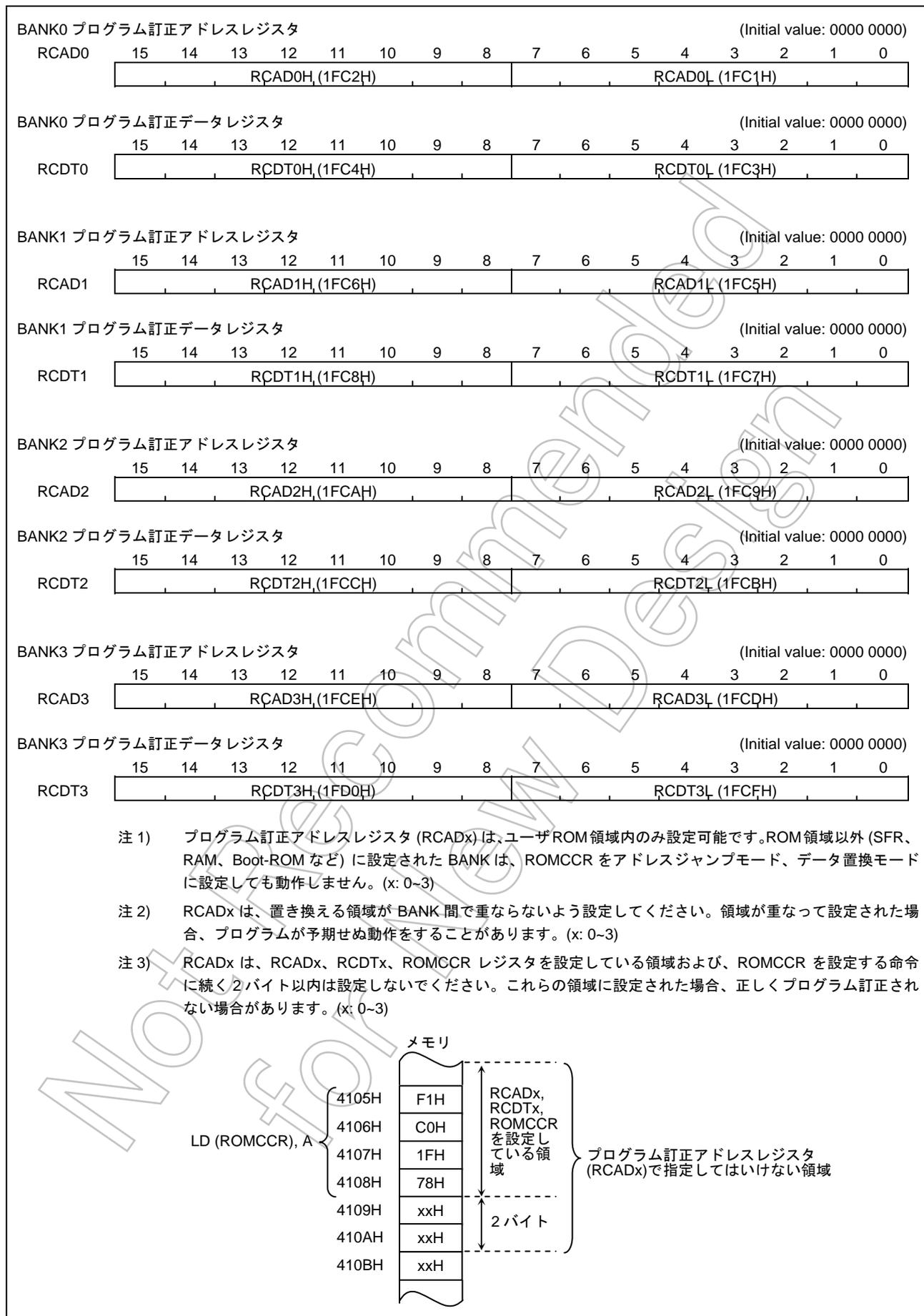


図2.15.3 プログラム訂正アドレスレジスタ、データレジスタ

2.15.3 機能

プログラム訂正回路は、プログラム訂正アドレスレジスタと、プログラム訂正データレジスタを4バンク分内蔵しており、1バンク当たり1箇所の訂正を行うことが可能です。各バンクごとにアドレスジャンプモード、1バイトデータ置換モード、2バイトデータ置換モードのいずれかの訂正モードを選択することができます。訂正モードは、プログラム訂正制御レジスタ (ROMCCR)によってバンクごとに設定します。

(1) アドレスジャンプモード

アドレスジャンプモードは、ROM領域内の連続する任意の3バイトデータを、絶対JUMP命令に置き換えるモードです。

アドレスジャンプモードが有効になると、プログラム訂正アドレスレジスタで指定したアドレスから連続する3バイトのデータは、絶対JUMP命令 (FEH, (RCDTxL), (RCDTxH))に置き換えられます。(x: 0~3。以降xは0~3と定義します)

- レジスタ設定方法

プログラム訂正アドレスレジスタ (RCADxL, RCADxH。以降2レジスタをまとめてRCADxと定義します)には、訂正するROMのアドレスを、プログラム訂正データレジスタ (RCDTxL, RCDTxH)には、ジャンプ先のアドレスを設定します。プログラム訂正アドレスレジスタと、プログラム訂正データレジスタを設定後、ROMCCRのBANKxCNTを“01”に設定すると、アドレスジャンプモードになります。

- 注1) RCADxは、かならず第1オペコード(命令の先頭アドレス)を指定してください。正しく指定されない場合、予期せぬ動作をすることがあります。
- 注2) RCADxで設定したアドレスから連続する3バイトは、絶対JUMP命令に置き換えられますので、これらのオペランド(2バイト目、3バイト目)に相当するアドレスに対してJUMP、CALL命令等を実行すると、予期せぬ動作をすることがあります。
- 注3) アドレスジャンプモードでジャンプ先をRAM領域内に設定する場合は、ROMCCRを設定する前に、あらかじめWDTTCR1, WDTTCR2によってRAMのアドレストラップを解除する必要があります。
- 注4) アドレスジャンプモード時、RCADxで設定されたアドレスに対しリード命令を実行すると、FEHが読み込まれます。

例 1: BANK0 を使用し、D254H から連続する 3 バイトを絶対 JUMP 命令 (JP 0300H) に置き換える

```

LD      (WDTCR1),09H      ; 内蔵 RAM 領域をアドレストラップ対象から除外
LD      (WDTCR2),0D2H    ; ATRAP 設定コード
LD      HL,RCAD0L
LDW    (HL), 0D254H      ; プログラム訂正アドレスレジスタの設定
LD      HL,RCDT0L
LDW    (HL), 0300H      ; プログラム訂正データレジスタの設定
LD      (ROMCCR), 00000001B ; プログラム訂正制御レジスタの設定
    
```

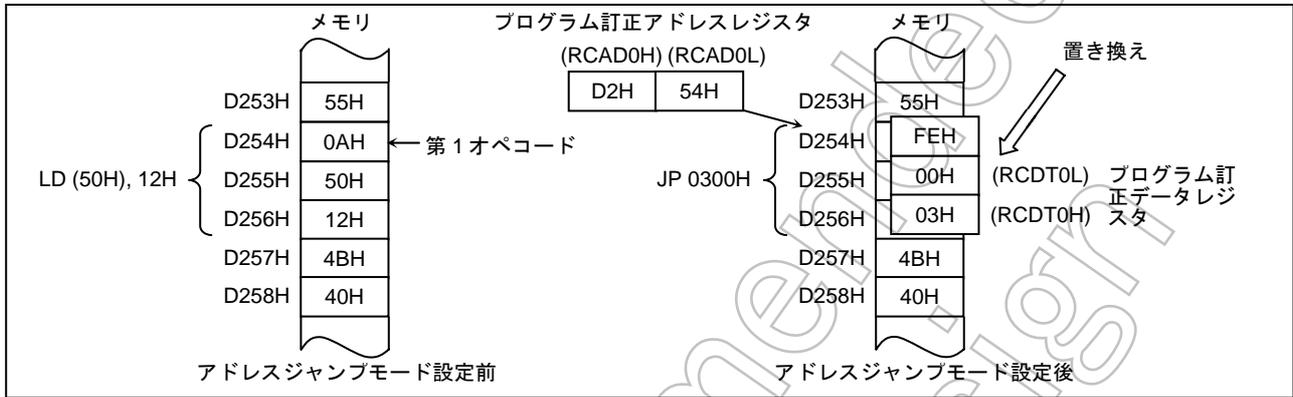


図2.15.4 3 バイトの置き換え例 (アドレスジャンプモード)

Not Recommended for New Design

例 2) イニシャルルーチンで実行するプログラム訂正回路用の設定シーケンスの例
(アドレスジャンプモード)

リセット直後に実行されるイニシャルルーチンプログラムの中で、以下のようにプログラム訂正回路のレジスタ、および内蔵 RAM への修正プログラムなどの設定を行います。

- (1) 外部メモリより、プログラム訂正回路を使用する/使用しないのフラグを読み込む。
(端子情報により判断する方法でも可)
- (2) 使用しない場合は、通常のイニシャル処理を行う
- (3) 使用する場合は、外部メモリより修正する ROM アドレス、ジャンプ先のアドレスを読み込む
- (4) RCADx に訂正したい ROM のアドレスを、RCDTxL、RCDTxH でジャンプ先のアドレスを設定する
- (5) 外部メモリより、修正されたプログラムを読み込み内蔵 RAM に格納する
(ROM 領域内でアドレスジャンプを行う場合は、必要ありません)
- (6) 必要なバンク数分 (3)~(5) を繰り返す
- (7) プログラム訂正制御レジスタを、アドレスジャンプモードに設定する

Not Recommended
for New Design

例 3) C020H~C085H の ROM 領域にバグがあり、0200H~022FH の RAM 領域で修正プログラムを実行する場合

リセット直後に実行されるイニシャルルーチンプログラム中で、外部メモリから修正する ROM アドレス(データ: C020H)、およびジャンプ先のアドレス(データ: 0200H)を読み込み、レジスタにデータを設定します。修正プログラムを内蔵 RAM に格納した後、プログラム訂正制御レジスタをアドレスジャンプモードに設定します。

以上の設定により、プログラムの実行がアドレス C020H の命令をフェッチするタイミングにさしかかると C020H の命令の代わりに 0200H への絶対 JUMP 命令が実行され、修正プログラム部に処理が移行します。通常、修正プログラムの最後には、プログラム処理を ROM に戻すための JUMP 命令を格納しておきます。

```

LD      (WDTCR1),09H      ; 内蔵 RAM 領域をアドレストラップ対象から除外
LD      (WDTCR2),0D2H    ; ATRAP 設定コード
LD      HL,RCAD0L
LDW    (HL),0C020H      ; プログラム訂正アドレスレジスタの設定
LD      HL,RCDT0L
LDW    (HL),0200H      ; プログラム訂正データレジスタの設定
LD      (ROMCCR),00000001B ; プログラム訂正制御レジスタの設定

```

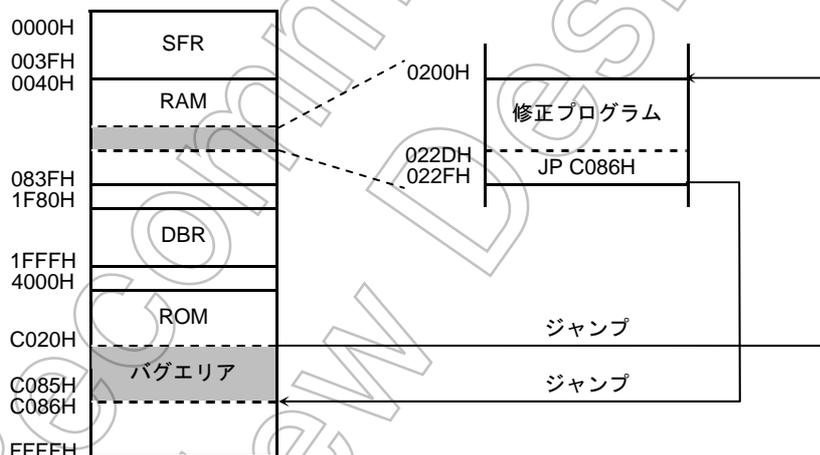


図2.15.5 RAM 領域の修正プログラム実行例 (アドレスジャンプモード)

(2) 1バイトデータ置換モード

1バイトデータ置換モードは、ROM 領域内の任意の1バイトのデータを、指定したデータに置き換えるモードです。1バイトデータ置換モードが有効になると、プログラム訂正アドレスレジスタで指定したアドレスのデータは、指定したデータ (RCDTxL) に置き換えられます。

なお、プログラム訂正アドレスレジスタは、オペコード、オペランドを問わず指定することが可能です。

- レジスタ設定方法

プログラム訂正アドレスレジスタ (RCADx) には、訂正する ROM のアドレスを、プログラム訂正データレジスタ (RCDTxL) には、置き換えるデータを設定します。プログラム訂正アドレスレジスタと、プログラム訂正データレジスタを設定後、ROMCCR の BANKxCNT を“10”に設定すると、1バイトデータ置換モードになります。

例1: BANK0 を使用し、D256H のデータを 34H に置き換える

```
LD    HL,RCAD0L
LDW   (HL),0D256H    ; プログラム訂正アドレスレジスタの設定
LD    (RCDT0L),34H   ; プログラム訂正データレジスタの設定
LD    (ROMCCR),00000010B ; プログラム訂正制御レジスタの設定
```

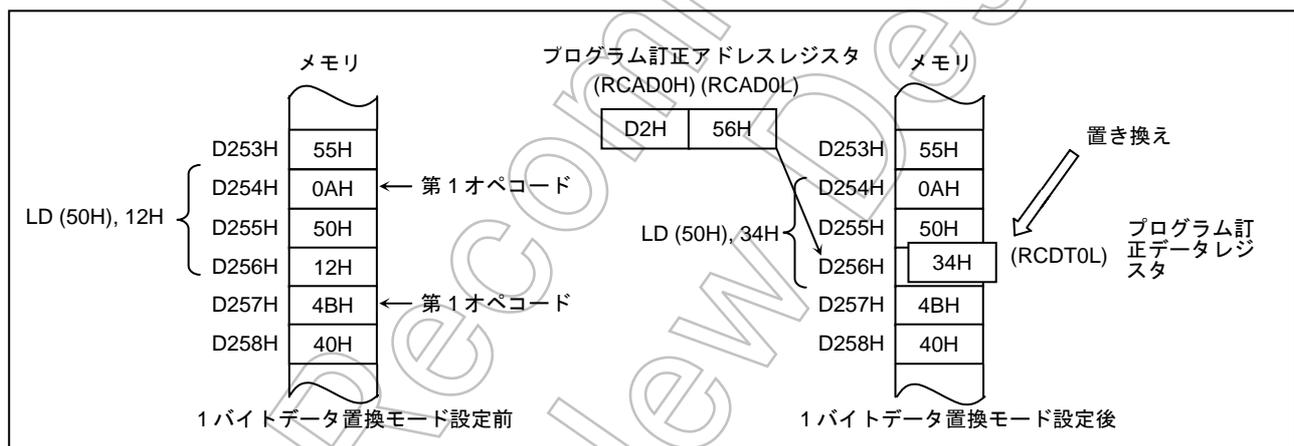


図2.15.6 データ置換の例 (1バイトデータ置換モード)

例2) イニシャルルーチンで実行するプログラム訂正回路用の設定シーケンスの例

リセット直後に実行されるイニシャルルーチンの中で、以下のようにプログラム訂正回路のレジスタ設定を行います。

- (1) 外部メモリより、プログラム訂正回路を使用する/使用しないのフラグを読み込む (端子情報により判断する方法でも可)
- (2) 使用しない場合は、通常のイニシャル処理を行う
- (3) 使用する場合は、外部メモリより修正する ROM アドレス、置換するデータを読み込む
- (4) RCADx に訂正したい ROM のアドレスを、RCDTxL に置換データを設定する
- (5) 必要なバンク数分 (3)~(4) を繰り返す
- (6) プログラム訂正制御レジスタを、1バイトデータ置換モードに設定する

(3) 2バイトデータ置換モード

2バイトデータ置換モードは、ROM 領域内の連続する任意の2バイトのデータを、指定したデータに置き換えるモードです。2バイトデータ置換モードが有効になると、プログラム訂正アドレスレジスタで指定したアドレスから連続する2バイトのデータは、指定したデータ (RCDTxL、RCDTxH) に置き換えられます。

なお、プログラム訂正アドレスレジスタは、オペコード、オペランドを問わず指定することが可能です。

- レジスタ設定方法

プログラム訂正アドレスレジスタ (RCADx) には、訂正する ROM のアドレスを、プログラム訂正データレジスタ (RCDTxL、RCDTxH) には、置き換えるデータを設定します。プログラム訂正アドレスレジスタと、プログラム訂正データレジスタを設定後、ROMCCR の BANKxCNT を“11”に設定すると、2バイトデータ置換モードになります。

例1: BANK0を使用し、D254HからのLD命令(LD(50H),12H)をJR命令でスキップする

```
LD      HL,RCAD0L
LDW    (HL),0D254H ; プログラム訂正アドレスレジスタの設定
LD      HL,RCDT0L
LDW    (HL),01FCH  ; プログラム訂正データレジスタの設定
LD      (ROMCCR),00000011B ; プログラム訂正制御レジスタの設定
```

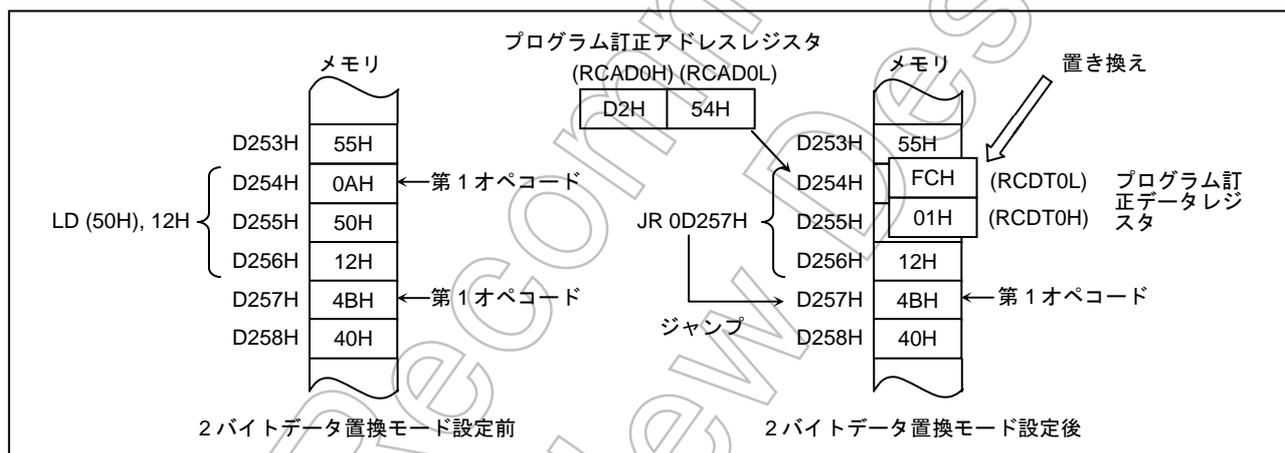


図2.15.7 データ置換の例 (2バイトデータ置換モード)

注) データ置換モードで上記のように相対 JUMP 命令などに置き換える場合は、ジャンプ先を第一オペコードに設定してください。

例2) イニシャルルーチンで実行するプログラム訂正回路用の設定シーケンスの例

リセット直後に実行されるイニシャルルーチンの中で、以下のようにプログラム訂正回路のレジスタ設定を行います。

- (1) 外部メモリより、プログラム訂正回路を使用する/使用しないのフラグを読み込む (端子情報により判断する方法でも可)
- (2) 使用しない場合は、通常のイニシャル処理を行う
- (3) 使用する場合は、外部メモリより修正する ROM アドレス、置換するデータを読み込む
- (4) RCADx に訂正したい ROM のアドレスを、RCDTxL、RCDTxH に置換データを設定する
- (5) 必要なバンク数分 (3)~(4) を繰り返す
- (6) プログラム訂正制御レジスタを、2バイトデータ置換モードに設定する

例 3) C020H のデータ 55H を 33H、C021H のデータ AAH を CCH に置換したい場合

リセット直後に実行されるイニシャルルーチンの中で、外部メモリより修正する ROM アドレス (データ: C020H)、置換データ (データ: 33H、CCH) を読み込み、レジスタにデータを設定します。その後、プログラム訂正制御レジスタを 2 バイトデータ置換モードに設定します。

以上の設定により、プログラムがアドレス C020H のデータをフェッチまたはリードした場合、55H の代わりに 33H が読み込まれます。また、C021H のデータをフェッチまたはリードした場合、AAH の代わりに CCH が読み込まれます。

```
LD      HL,RCAD0L
LDW    (HL),0C020      ; プログラム訂正アドレスレジスタの設定
LD      HL,RCDT0L
LDW    (HL),0CC33H    ; プログラム訂正データレジスタの設定
LD      (ROMCCR),00000011B ; プログラム訂正制御レジスタの設定
```

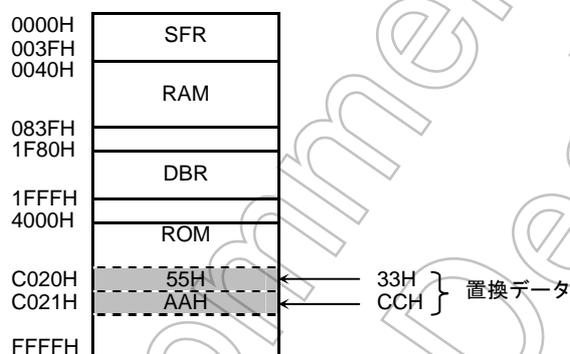


図2.15.8 データ置換の例 (2 バイトデータ置換モード)

2.16 フラッシュメモリ

2.16.1 概要

TMP86FP24 は、49152 バイト (アドレス 4000H~FFFFH) のフラッシュメモリを内蔵しています。フラッシュメモリは、フラッシュメモリ制御レジスタ (EEPCCR)、フラッシュメモリステータスレジスタ (EEPSR) とフラッシュメモリ書き込みエミュレート時間制御レジスタ (EEPEVA) で制御されます。

フラッシュメモリへの書き込みを行うには、シリアル PROM モードを起動します。詳細については 2.1 「シリアル PROM モード」を参照してください。

TMP86FP24 のフラッシュメモリには、以下のような特長があります。

- フラッシュメモリは、1 ページが 128 バイトのページ単位で構成されており、フラッシュメモリ全体で 384 ページあります。
- 128 バイトのテンポラリデータバッファを内蔵しており、フラッシュメモリへの書き込みデータは、一度、このテンポラリデータバッファにスタックされた後、128 バイトが一括してフラッシュメモリに書き込まれます。このとき自動的にページ単位でイレース処理も行われますので、事前に個別でイレース処理を行う必要はありません。
- フラッシュメモリの制御回路は専用の発振器を内蔵しており、書き込み時間はシステムのクロック周波数に依存しません。またフラッシュメモリ制御回路は、フラッシュメモリの書き込み量をセル単位で制御していますので書き込み時間は可変となります (標準条件で、1 ページあたり 4 ms)。
- フラッシュメモリ制御回路 (レギュレータ、昇圧回路など) の電源制御を行うことによって、フラッシュメモリを使用しないとき (RAM 上でのプログラム実行時など) は低消費電力を実現することができます。

2.16.2 フラッシュメモリ領域のアクセス条件

フラッシュメモリ領域は、動作モードによってアクセス条件が変わります。各動作モードにおけるアクセス条件を以下に示します。

表2.16.1 フラッシュメモリ領域アクセス条件

	領域	動作モード	
		MCU モード (注 1)	シリアル PROM モード (注 2)
フラッシュメモリ	4000H~FFFFH	リード/フェッチのみ	ライト/リード/フェッチ可能

注 1) MCU モードは、NORMAL1/2 と SLOW1/2 モードを意味します。

注 2) シリアル PROM モードは、フラッシュメモリへのプログラミングを行うモードを意味します。詳細は 2.1 「シリアル PROM モード」を参照してください。

注 3) フェッチとは、命令実行を行うために CPU がメモリのデータを読み込む動作を意味します。

2.16.3 製品シリーズ間での相違点

フラッシュメモリ製品 (TMP86FP24) は、エミュレーションチップ (TMP86C948) およびマスク ROM 品 (TMP86CP24) の仕様と、以下のような相違点があります。制御レジスタについては、2.17.2. 「制御」を参照してください。

	フラッシュメモリ製品 (TMP86FP24F)	エミュレーションチップ (TMP86C948XB)	マスク ROM 製品 (TMP86CP24F)
EEPCR レジスタ<EEPMD、EEPRS、MNPWDW>の書き替え	プログラム実行領域が RAM	または Boot-ROM 領域のときのみ書き替え可能です。 デバッガのメモリウィンドウでの書き替えはできません。	EEPMD、EEPRS ともに機能しません。
EEPEVA レジスタへのアクセス	レジスタの R/W のみ可能です。機能としては動作しません。	フラッシュメモリの書き込みエミュレート時間を制御します。	レジスタの R/W のみ可能です。機能としては動作しません。
フラッシュメモリの書き込み時間 (エミュレーションチップの場合、書き込みデータはエミュレーションメモリに書き込まれます)	typ.4 ms (システムクロックとは無関係)	EEPEVA レジスタで設定します (システムクロックに依存)。	— (ROM 領域への書き込みは行われません)
EEPSR<BFBUSY> = "1" のとき、4000H~FFFFH 領域に対してリード命令/フェッチを実行	ROM データに関係なく常に "FFH" が読み出されます。"FFH" をフェッチするとソフトウェア割り込みが発生します。	デバッガのメモリウィンドウは常に ROM データを表示します。	常にマスク ROM のデータが読み出されます。
EEPCR<EEPMD> = "0011"、 EEPSR<EWUPEN> = "1"、 EEPSR<BFBUSY> = "0" のとき、4000H~FFFFH 領域 に対してライト命令を実行	MCU モード	EEPSR<BFBUSY>は "0" のまま変化しません。(書き込みはできません) デバッガのメモリウィンドウでは書き替え可能です (このとき EEPSR<BFBUSY>は変化しません)。	—
	シリアル PROM モード	EEPSR<BFBUSY>は "1" にセットされます。 (書き込みが可能です)	
Boot-ROM	3800H~3FFFH に 2K バイト内蔵しています。		Boot-ROM は、内蔵していません。 3800H~3FFFH をリード/フェッチすると "FFH" が読み出されます。"FFH" をフェッチするとソフトウェア割り込みが発生します
動作電圧	VDD = 1.8 V~3.6 V	VDD = 1.8 V~3.3 V	VDD = 1.8 V~3.6 V

2.16.4 書き込み領域の定義

フラッシュメモリ領域は、連続する 128 バイトを 1 つのグループとして扱い、これをページと定義します。TMP86FP24 は、1 ページ分に相当するテンポラリデータバッファを内蔵しており、フラッシュメモリの書き込みを行うときは一度このテンポラリデータバッファに 128 バイト分のデータがスタックされ、その後、128 バイトのデータが各ページに一括して書き込まれます。このようにデータの書き込みを行う場合は、指定したページごと (128 バイト単位) にデータの書き込み処理を行います。データを読み出すときは、任意のアドレスからバイト単位でデータを読み出すことが可能です。

2.16.4.1 ページ構成

フラッシュメモリ領域のページ構成は、図 2.16.1 のように 128 バイト/ページとなります。総バイト数は 384 ページ × 128 バイト = 49152 バイトとなり、書き込み可能な領域は、4000H~FFFFH となります。

注) フラッシュメモリ領域 (アドレス 4000H~FFFFH) はシリアル PROM モード時のみ書き込み可能となります。詳細は 2.1「シリアル PROM モード」を参照してください。

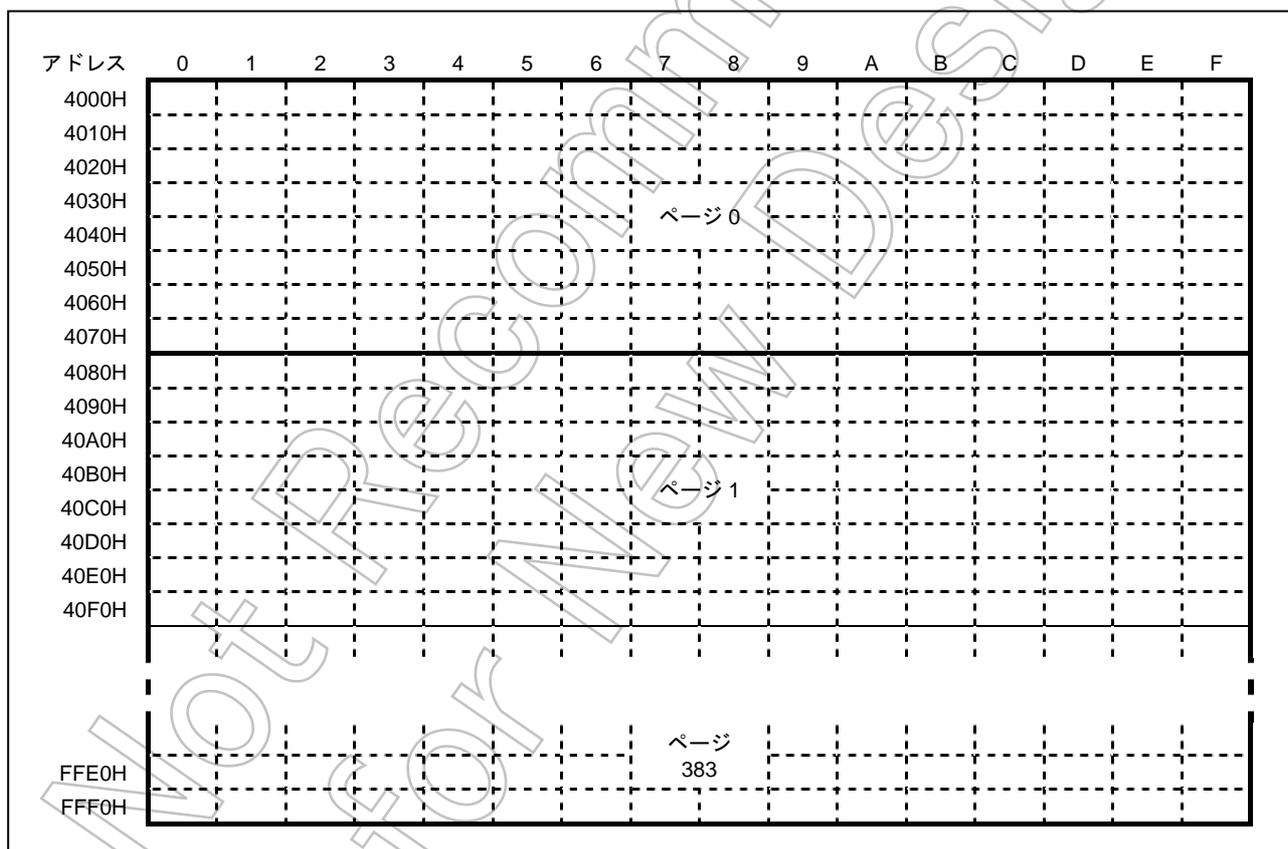


図2.16.1 ページ構成

2.17 フラッシュメモリ制御回路

2.17.1 構成

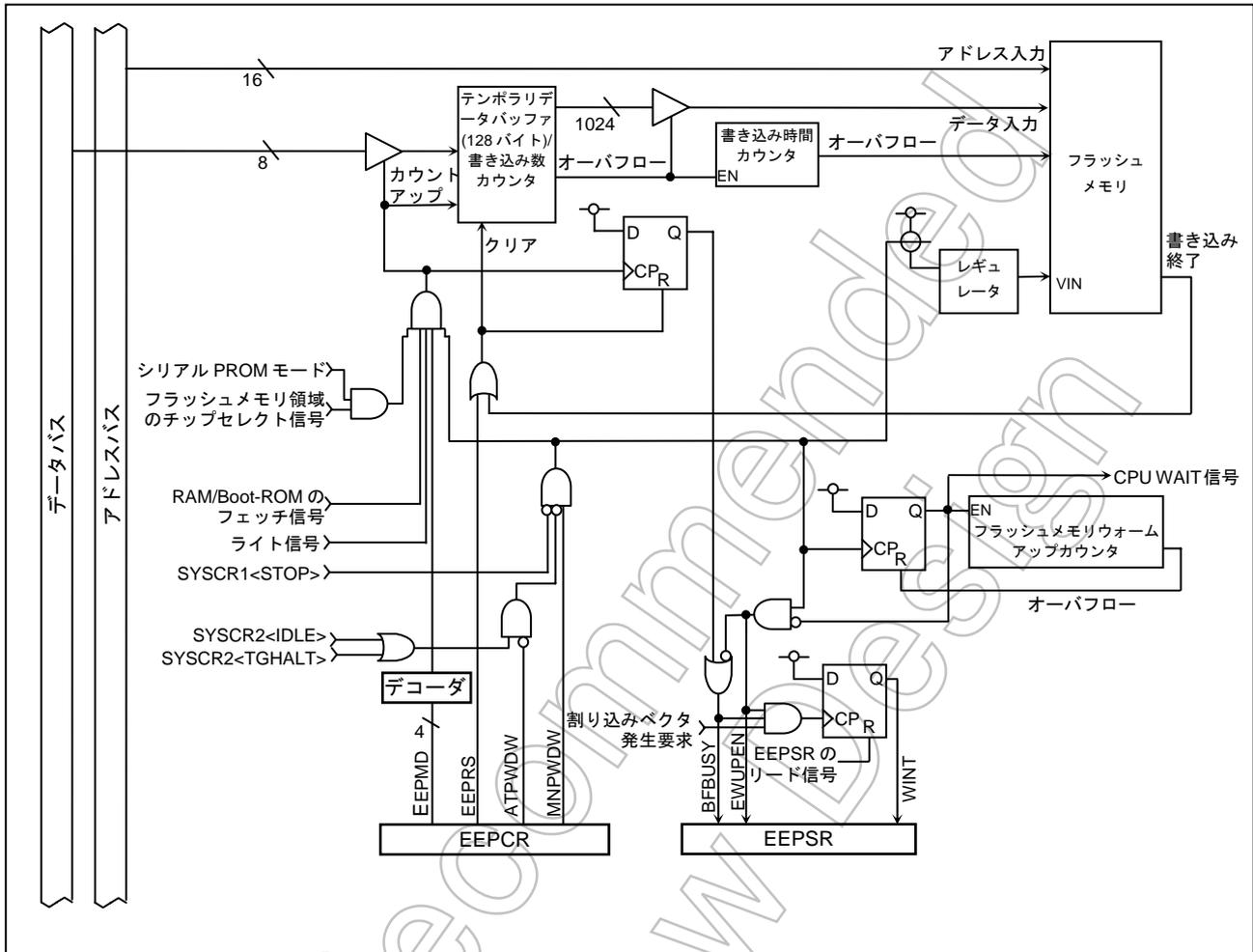


図 2.17.1 フラッシュメモリ制御

2.17.2 制御

フラッシュメモリは、フラッシュメモリ制御レジスタ (EEPCCR)、フラッシュメモリステータスレジスタ、フラッシュメモリ書き込みエミュレート時間制御レジスタ (EEPEVA) で制御されます。

フラッシュメモリ制御レジスタ			
EEPCCR (1FE0H)		(初期値: 1100 *011)	
7 6 5 4 3 2 1 0			
EEPMD		EEPRS	ATPWDW MNPWDW
EEPMD	フラッシュメモリ書き込み許可制御 (ライトプロテクト)	1100: フラッシュメモリ書き込み禁止 0011: フラッシュメモリ書き込み許可 上記以外: Reserved	プログラム実行領域 RAM/Boot フラッシュメモリ
EEPRS	フラッシュメモリ書き込みの強制停止	0: - 1: フラッシュメモリ書き込みを強制停止する (書き込み数カウンタの初期化) * セット後、自動的に“0”にクリアされます	Read only
ATPWDW	フラッシュメモリ制御回路の自動電源制御 (IDLE0/1/2, SLEEP0/1/2 モード中)	0: フラッシュメモリ制御回路の自動電源 Off を実行する。 1: フラッシュメモリ制御回路の自動電源 Off を実行しない (IDLE0/1/2, SLEEP0/1/2 モード中、フラッシュメモリの電源は常に On となります)	R/W
MNPWDW	フラッシュメモリ制御回路のソフトウェア電源制御	0: フラッシュメモリ制御回路の電源を Off する 1: フラッシュメモリ制御回路の電源を On にする	Read only
注 1)	EEPMD、EEPRS、MNPWDW は、RAM 領域または Boot 領域でプログラムフェッチ中のときのみ書き替え可能です。フラッシュメモリ領域でプログラムを実行中に EEPCCR レジスタの書き込みを行うと、EEPMD、EEPRS、MNPWDW の書き替えは行われず、前回の設定値を保持します。		
注 2)	フラッシュメモリに書き込みを行うには、事前に RAM 領域でプログラムフェッチ中に EEPMD を “0011B” に設定してください。		
注 3)	書き込み数カウンタを初期化、書き込みの強制停止を行うには、RAM 領域でプログラムフェッチ中に EEPRS を “1” に設定してください。		
注 4)	ATPWDW は、MNPWDW が “1” のときのみ機能します。MNPWDW が “0” のときは ATPWDW の設定にかかわらず、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。		
注 5)	STOP モードを起動すると、ATPWDW の状態にかかわらず、フラッシュメモリ制御回路の電源はしゃ断されます。また MNPWDW が “0” のときに STOP モードを起動/解除すると、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。		
注 6)	EEPCCR レジスタに対してリード命令を実行すると、ビット 3 は不定値が読み出されます。また、ビット 2 は必ず “0” が読み出されます。		
注 7)	MNPWDW を設定するときは、以下の注意が必要です。		
	MNPWDW を “1” から “0” に切り替える前	事前に割り込みマスタ許可フラグ (IMF) を “0” に設定し、割り込みを禁止にしてください。また EEPSCR<EWUPEN> = “0” の間は IMF を “1” にセットしないでください。 ウォッチドッグタイマを割り込み要求として使用している場合は、直前に必ずウォッチドッグタイマの 2 進カウンタをクリアしてください。	
	MNPWDW を “0” から “1” に切り替えた後	フラッシュ領域への書き込み、フラッシュ領域からの読み出しは、ソフトウェアによって EEPSCR<EWUPEN> = “1” になったことを確認してから行ってください。通常は、EEPSCR<EWUPEN> が “1” になるまでの間、ソフトウェアによってポーリングを行ってください。	

図2.17.2 フラッシュメモリ制御レジスタ

フラッシュメモリステータスレジスタ

EEPSR (1FE1H) 7 6 5 4 3 2 1 0 (初期値: **** *010)

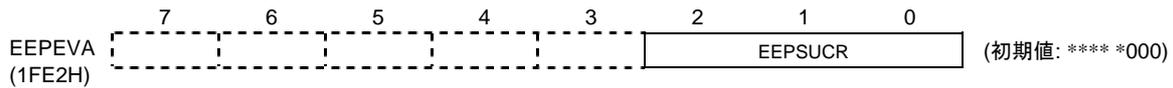
WINT EWUPEN BFBUSY

WINT	フラッシュメモリ書き込み中の割り込み検出		0: 未検出 1: 検出 (割り込み発生) * 読み出し後、自動的に“0”にクリア			Read only
EWUPEN	フラッシュメモリ制御回路の状態モニタ	制御回路	動作 (電源 On)		停止 (電源 Off) またはウォームアップ中	
		フラッシュメモリの書き込み	バッファ エンプティ	書き込み中 (注 6)	-	
			1	1	0	
BFBUSY	フラッシュメモリの書き込みBUSYフラグ		0	1	1	

- 注 1) フラッシュメモリへの書き込み中にノンマスクابل割り込みが発生した場合、WINTが“1”にセットされるとともに書き込み処理は中断され、フラッシュメモリ制御回路のウォームアップ (CPU WAIT) が行われます (このとき書き込み数カウンタも初期化されます)。従ってノンマスクابل割り込みサービスルーチンの中で、WINT = “1”を検出した場合は書き込みが正常に終了していませんので、再書き込みなどの処理を実行してください。WINTが“1”になるタイミングによっては、書き込みを行っていたページのデータが想定しない値に書き替わることがあります。
- 注 2) フラッシュメモリのウォームアップ中にノンマスクابل割り込みが発生した場合、ウォームアップが終了するまでの間 CPU は停止状態となります。
- 注 3) WINT は、EEPSR レジスタに対してリード命令を実行すると自動的に“0”にクリアされます。
- 注 4) EWUPEN は、MNPWDW を“0”から“1”に設定した後 $2^{10}/f_c$ [s] (SYSCK = “0” 時)、 $2^3/f_s$ [s] (SYSCK = “1” 時) 経過すると“1”になります。フラッシュメモリのアクセスを行うときは、RAM 領域内で EWUPEN が“1”になったことを確認した後に行ってください。
- 注 5) BFBUSY が“1”のとき、フラッシュメモリ領域に対してリード命令、フェッチを実行すると FFH が読み出されず、FFH をフェッチするとソフトウェア割り込みが発生します。
- 注 6) マスク ROM 品の場合、EWUPEN が“1”のときに ROM 領域 (アドレス 4000H~FFFFH) への書き込み動作を行っても、BFBUSY は“1”にセットされません。

図2.17.3 フラッシュメモリステータスレジスタ

フラッシュメモリ書き込みエミュレート時間制御レジスタ (TMP86C948 のときのみ機能します)



EEPSUCR	エミュレーションチップ用 フラッシュメモリ書き込みエミュレート時間の制御 [s]		エミュレーションチップ (TMP86C948)		フラッシュメモリ 製品 (TMP86FP24)	R/W
			NORMAL1/2 IDLE1/2 モード	SLOW1/2 SLEEP1/2 モード	すべての動作モード	
000			$2^{16}/fc$	$2^7/fs$	Typ.4 ms (レジスタ設定、 システムクロック と無関係)	R/W
001			$2^{15}/fc$	$2^6/fs$		
010			$2^{14}/fc$	$2^5/fs$		
011			$2^{13}/fc$	$2^4/fs$		
100			$2^{12}/fc$	$2^3/fs$		
101			Reserved	Reserved		
110			Reserved	Reserved		
111			Reserved	Reserved		

- 注 1) EEPSUCR は、エミュレーションチップのみ機能します。フラッシュメモリ品とマスク ROM 品では、レジスタの R/W のみ可能です。実際の機能としては動作しません。また、フラッシュメモリ品は、チップ内部に専用の発振器を内蔵しているため、フラッシュメモリの書き込み時間は、システムクロックとは無関係となります。
- 注 2) EEPEVA レジスタに対してリード命令を実行すると、ビット 7~3 は不定値が読み出されます。
- 注 3) EEPSUCR の設定による書き込みエミュレート時間は以下のとおりです。動作周波数によって適切な値を設定してください。なお、網掛け部分は推奨設定です。

	EEPSUCR 設定	NORMAL1/2 モード					SLOW1/2 モード
		fc = 16 MHz	fc = 8 MHz	fc = 4 MHz	fc = 2 MHz	fc = 1 MHz	fs = 32.768 kHz
WR 時間 [ms]	000	4.10	8.19	16.38	32.77	65.54	3.91
	001	2.05	4.10	8.19	16.38	32.77	1.95
	010	1.02	2.05	4.10	8.19	16.38	0.98
	011	0.51	1.02	2.05	4.10	8.19	0.49
	100	0.26	0.51	1.02	2.05	4.10	0.24

図2.17.4 フラッシュメモリ制御レジスタ、フラッシュメモリスレータスレジスタ

2.17.3 フラッシュメモリ書き込み許可制御 (EEPCR<EEPMD>)

フラッシュメモリ製品は、プログラムエラーやマイコンの誤動作によるフラッシュメモリの誤書き込みを防止するために、制御レジスタによってフラッシュメモリの書き込みを禁止することができます (ライトプロテクト)。フラッシュメモリに書き込みを行うときは、EEPCR<EEPMD>を 0011B に設定します。フラッシュメモリの書き込みを禁止するときは EEPCR<EEPMD>を 1100B に設定します。リセット後、EEPCR<EEPMD>は 1100B に初期化され、フラッシュメモリは書き込み禁止の状態となります。通常はフラッシュメモリの書き込みを行うときを除き EEPCR<EEPMD>を 1100B に設定します。

- 注 1) フラッシュメモリ領域 (アドレス 4000H~FFFFH) はシリアル PROM モード時のみ書き込み可能です。
- 注 2) EEPCR<EEPMD>は、RAM 領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域で EEPCR<EEPMD>に対してライト命令を実行しても設定値は反映されません。
- 注 3) マスク ROM 品の場合、EEPCR<EEPMD>に書き込みを行うとレジスタの内容は書き替わりますが、機能としては動作しません。

Not Recommended for New Designs

2.17.4 フラッシュメモリ書き込みの強制停止 (EEPCR<EEPRS>)

フラッシュメモリの書き込み中、書き込み処理を強制的に中断したい場合は EEPCR<EEPRS>を“1”に設定します。EEPCR<EEPRS>を“1”に設定すると、テンポラリデータバッファの書き込み数カウンタは初期化されて強制的に書き込み処理は中断されます。このときフラッシュメモリ制御回路のウォームアップ (CPU WAIT) が行われた後、EEPSR<BFBUSY>は“0”にクリアされます。ウォームアップ時間は、 $2^{10}/f_c$ (SYSCK = “0”のとき) または $2^3/f_s$ (SYSCK = “1”のとき) となります。

その後、フラッシュメモリ領域に対してライト命令を実行すると、テンポラリデータバッファの1バイト目からデータがスタックされるとともに EEPSR<BFBUSY>が“1”にセットされます。

なお、テンポラリデータバッファに 1~127 バイト分のデータがスタックされた後に EEPCR<EEPRS>を“1”に設定すると、書き込みを行っていたページのデータは上書きされず前回のデータが保持されます。

- 注 1) テンポラリデータバッファに 128 バイトのデータが書かれた後に EEPCR<EEPRS>を“1”にセットした場合、指定されたフラッシュメモリのページのデータが書き替わることがあります。
- 注 2) EEPCR<EEPRS>は、RAM 領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域で EEPCR<EEPRS>に対してライト命令を実行しても設定値は反映されません。
- 注 3) フラッシュメモリウォームアップ (CPU WAIT) の期間中、周辺回路は動作を継続しますが、CPU は停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMF が“1”であれば CPU が動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。
- 注 4) フラッシュメモリへの書き込みを行っていないとき (EEPSR<BFBUSY> = “0”) に EEPCR<EEPRS>を“1”にセットした場合は、フラッシュメモリのウォームアップは行われません。
- 注 5) EEPCR<EEPRS>を“1”にセットする命令の直後に、フラッシュメモリをアクセス(リード/ライト)する命令を実行する場合は、1 マシンサイクル以上の命令 (NOP など) を挿入してください。

例: EEPCR<EEPRS>を“1”に設定した後、フラッシュメモリを読み出し

LD	HL, 8000H	
LD	(EEPCR), 3FH	; EEPCR<EEPRS>を“1”に設定
NOP		; NOP を実行
		(EEPRS = “1”の直後にフラッシュメモリのアクセス命令を配置しない)
LD	A, (HL)	; 8000H のデータを読み出す
		(フラッシュメモリのアクセス命令)

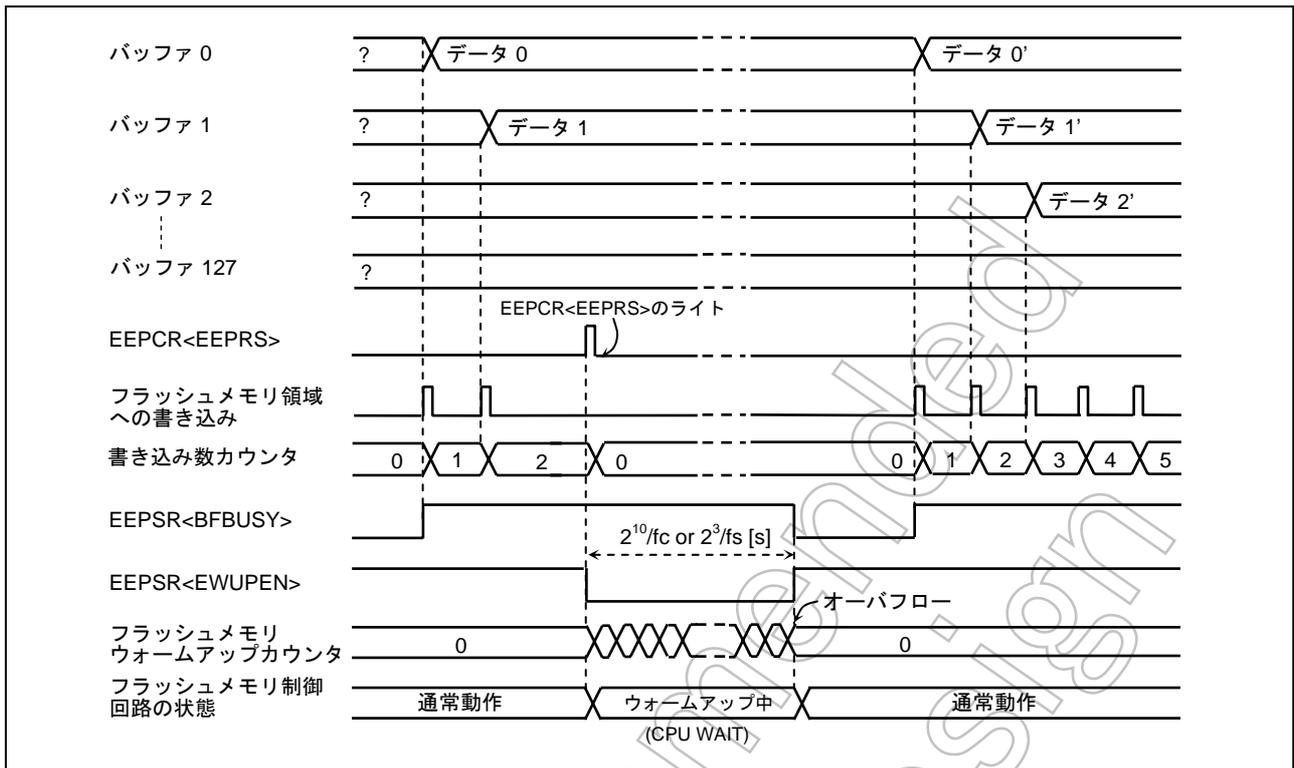


図2.17.5 書き込み数カウンタの初期化、書き込みの強制停止

2.17.5 フラッシュメモリ制御回路の電源制御

フラッシュメモリ製品は、フラッシュメモリ領域に対してアクセスが行われないうち、フラッシュメモリ制御回路（レギュレータなど）の電源をしゃ断し、消費電力を抑えることが可能です。なお、エミュレーションチップ（TMP86C948）とマスク ROM 品（TMP86CP24）の場合、消費電力を抑える効果はありませんが、フラッシュメモリ製品との互換性を保つためにレジスタの設定やウォームアップ機能（CPU WAIT）は同様に動作します。

フラッシュメモリ制御回路の電源制御は、EEPCCR<MNPWDW> および EEPCCR<ATPWDW>によって行います。これらのレジスタによってフラッシュメモリ制御回路の電源をしゃ断すると、再び使用するためには電源のウォームアップ時間が必要です。

表2.17.1 フラッシュメモリ制御回路の電源ウォームアップ時間

NORMAL1/2 IDLE0/1/2 モード	SLOW1/2 SLEEP0/1/2 モード	STOP モード (EEPCCR<MNPWDW> = “1” 時)	
		NORMAL モードに戻る場合	SLOW モードに戻る場合
$2^{10}/f_c$ [s] (64 μ s @ 16 MHz)	$2^3/f_s$ [s] (244 μ s @ 32.768 kHz)	STOP ウォームアップ時間 + $2^{10}/f_c$ [s]	STOP ウォームアップ時間 + $2^3/f_s$ [s]

2.17.5.1 フラッシュメモリ制御回路のソフトウェア電源制御 (EEPCCR<MNPWDW>)

EEPCCR<MNPWDW>は、フラッシュメモリ制御回路のソフトウェア電源制御ビットです。RAM 領域内でプログラムを実行中にこのビットを設定することによりソフトウェアによる電源制御が可能となります。EEPCCR<MNPWDW>を“0”に設定すると、直後にフラッシュメモリ制御回路の電源はしゃ断されます。ただし、EEPCCR<MNPWDW>を“0”から“1”に切り替えた後に、フラッシュメモリ領域からの読み出し、またはフェッチを行う場合は、電源が安定するまでの間、ソフトウェアによるウォームアップを行う必要があります。このとき CPU WAIT は発生しませんので、フラッシュメモリをアクセスしなければウォームアップ期間中にほかのタスクを実行することも可能です。EEPCCR<MNPWDW>を“0”から“1”に書き替えた場合、 $2^{10}/f_c$ (SYSCK = “0” のとき) または $2^3/f_s$ (SYSCK = “1” のとき) の時間が経過した後、EEPCCR<EWUPEN>が“1”となります。通常は、EEPCCR<EWUPEN>が“1”になるまでソフトウェアによってポーリングを行います。以下に設定例を示します。

(1) EEPCCR<MNPWDW>の制御例

- EEPCCR<MNPWDW>を制御するためのプログラムを RAM 領域に転送します。
- RAM 領域のアドレストラップを解除します (WDTCR1、WDTCR2 レジスタを設定します)。
- 転送した RAM の制御プログラムにジャンプします。
- 割り込みマスタ許可フラグを禁止 (DI) にします (IMF ← “0”)。
- ウォッチドッグタイマを使用している場合は、2 進カウンタをクリアします。
- フラッシュメモリ制御回路の電源をしゃ断するために EEPCCR<MNPWDW>を“0”に設定します。
- 必要に応じて CPU 処理を実行します。
- フラッシュメモリ領域を再びアクセスするために、EEPCCR<MNPWDW>を“1”に設定します。
- EEPCCR<EWUPEN>が“1”になるまでプログラムをポーリングします。
(フラッシュメモリのウォームアップが完了すると EEPCCR<EWUPEN>が“1”にセットされます。ウォームアップ時間は、 $2^{10}/f_c$ (高周波動作時)、 $2^3/f_s$ (低周波動作時) となります)

以上の操作によりフラッシュメモリ領域のアクセスが可能となります。

なお、EEPCCR<MNPWDW>が“1”のときにSTOPモードを起動すると、フラッシュメモリ制御回路の電源は強制的にしゃ断されます。その後、STOPモードを解除した場合、STOPモードの発振ウォームアップに続き、フラッシュメモリ制御回路のウォームアップが自動的に行われます。また、EEPCCR<MNPWDW>が“0”のときにSTOPモードを起動/解除すると、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

- 注 1) EEPSCR<EWUPEN>が“0”のとき、フラッシュメモリ領域に対してアクセス（フェッチ、リード、ライト）を行わないでください。このとき、フラッシュメモリ領域に対してリード命令、フェッチを実行するとFFHが読み出されます。FFHをフェッチするとソフトウェア割り込みが発生します。
- 注 2) EEPCCR<MNPWDW>を“0”に設定するときは、事前に割り込みマスタ許可フラグ(IMF)を“0”に設定し、割り込みを禁止にしてください。
- 注 3) EEPCCR<MNPWDW>が“0”のとき、ノンマスクブル割り込みが発生するとMNPWDWは自動的に“1”に書き替えられ、フラッシュメモリ制御回路のウォームアップ(CPU WAIT)が行われます。ウォームアップの期間中、周辺回路は動作を継続しますが、CPUは停止状態となります。
- 注 4) EEPCCR<MNPWDW>は、RAM領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域でEEPCCR<MNPWDW>に対してライト命令を実行しても設定値は反映されません。
- 注 5) ウォッチドッグタイマを割り込み要求として使用している場合は、EEPCCR<MNPWDW>を“1”から“0”に設定する直前に必ずウォッチドッグタイマの2進カウンタをクリアしてください。
- 注 6) フラッシュメモリのウォームアップ中(ソフトウェアによるポーリング中)にノンマスクブル割り込みが発生した場合、EEPSCR<EWUPEN>が“1”になるまでの間、CPU WAITが発生します。

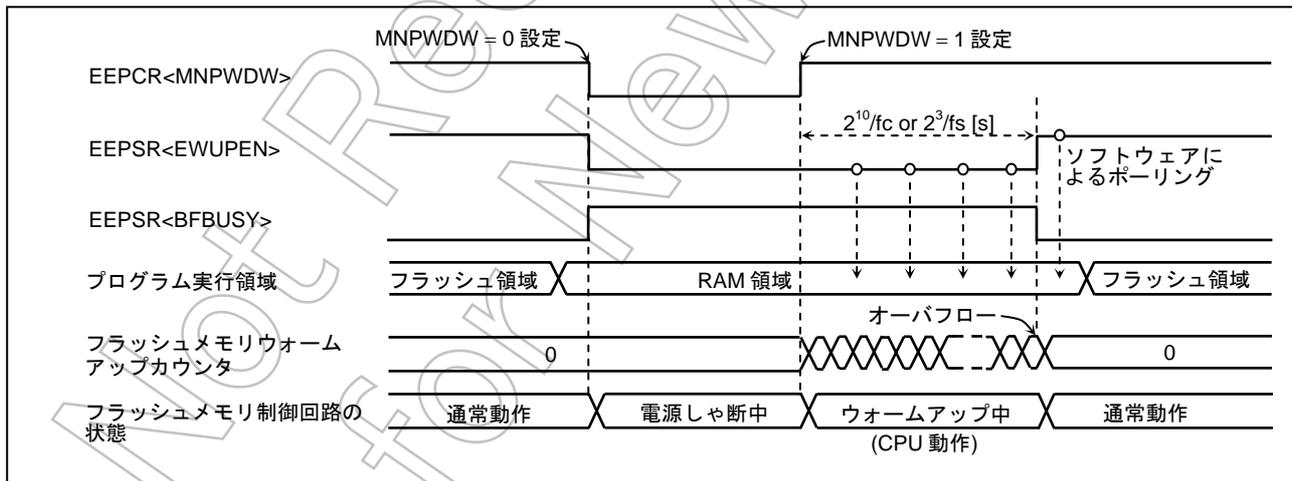


図2.17.6 フラッシュメモリ制御回路のソフトウェア電源制御 (EEPCCR<MNPWDW>)

例: RAM 領域内でソフトウェア電源制御を実行

sRAMAREA:

```
DI ; 割り込みを禁止(IMF ← "0")
LD (WDTCR2),4Eh ; ウォッチドッグタイマを使用している場
; 合、2進カウンタをクリア
CLR (EEPCR).0 ; EEPCR<MNPWDW>を "0" に設定
;
;
SET (EEPCR).0 ; EEPCR<MNPWDW>を "1" に設定
sLOOP1: TEST (EEPSR).1 ; EEPSR<EWUPEN>レジスタをモニタ
; EEPSR<EWUPEN> = "0" なら sLOOP1
JRS T,sLOOP1 ;
JP MAIN ; フラッシュメモリ領域へジャンプ
```

Not Recommended
for New Design

2.17.5.2 フラッシュメモリ制御回路の自動電源制御 (EEPCR<ATPWDW>)

EEPCR<ATPWDW>は、フラッシュメモリ制御回路の自動電源制御ビットです。動作モードの起動/復帰を起点にフラッシュメモリ制御回路の電源を自動的に制御することにより消費電力を抑えることができます。このビットは、プログラムの実行領域に関係なく設定が可能です。

EEPCR<ATPWDW>を“0”に設定した後、CPUが停止する動作モード (IDLE0/1/2、SLEEP0/1/2モード) を起動すると、自動的にフラッシュメモリ制御回路の電源をしゃ断します。動作モード解除後は、自動的にウォームアップ時間をカウントし、通常処理に戻ります。ウォームアップ時間は、 $2^{10}/f_c$ (SYSCK = “0”のとき) または $2^3/f_s$ (SYSCK = “1”のとき) となります。EEPCR<ATPWDW>が“1”のときはこれらの動作モードの解除後にウォームアップは行われません。

なお、EEPCR<MNPWDW> = “1”のときにSTOPモードを起動すると、EEPCR<ATPWDW>の設定に関係なく、フラッシュメモリ制御回路の電源は強制的にしゃ断されます。その後STOPモードを解除すると、STOPモードの発振ウォームアップに続き、フラッシュメモリ制御回路のウォームアップ (CPU WAIT) が自動的に行われます。EEPCR<MNPWDW>が“0”のときにSTOPモードを起動/解除すると、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

- 注1) EEPCR<ATPWDW>は、EEPCR<MNPWDW>が“1”のときのみ機能します。EEPCR<MNPWDW>が“0”のときは動作モードが切り替わる前後でフラッシュメモリ制御回路の電源はしゃ断された状態を保持します。
- 注2) フラッシュメモリウォームアップ (CPU WAIT) の期間中、周辺回路は動作を継続しますが、CPUは停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMFが“1”であればCPUが動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。

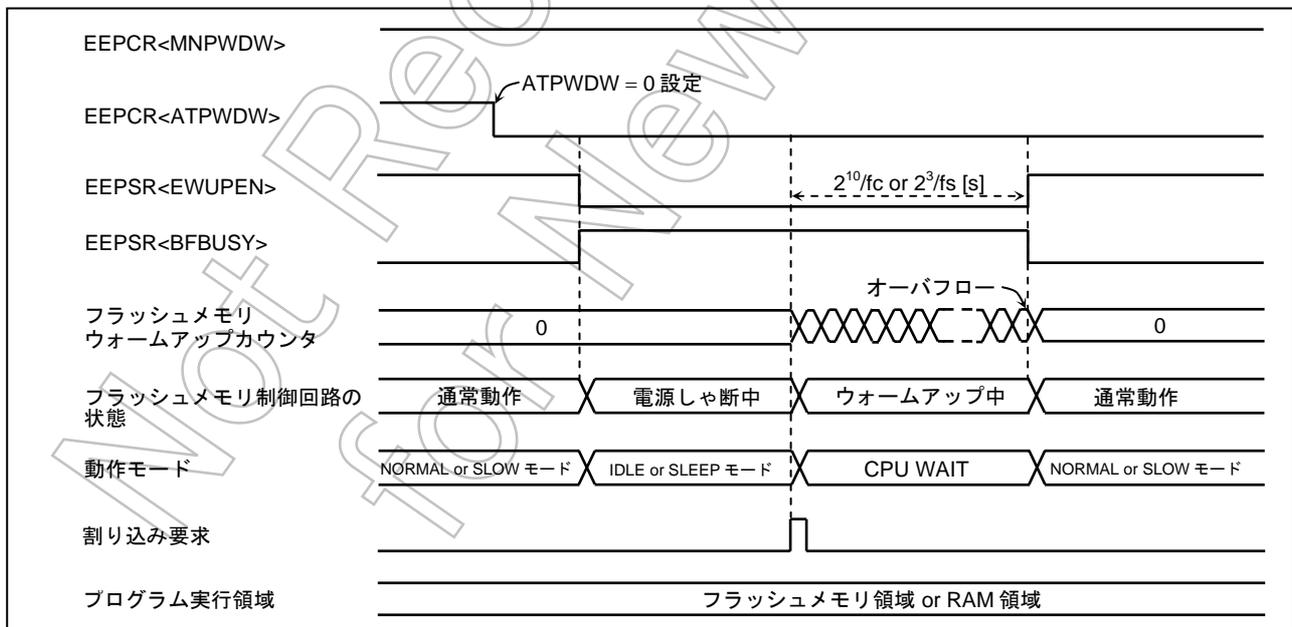


図 2.17.7 フラッシュメモリ制御回路の自動電源制御 (EEPCR<ATPWDW>)

2.17.6 フラッシュメモリ領域へのアクセス

フラッシュメモリ領域の書き込み時は、フラッシュメモリのすべての領域 (4000H~FFFFH) に対してリード、フェッチを実行できません。従って、フラッシュメモリ領域に書き込みを行うときはシリアル PROM モードのフラッシュメモリ書き込みモードを実行するか、RAM ローダーモードで RAM にユーザープログラムを展開して実行するか、いずれかの方法にて行います。詳細については 2.1「シリアル PROM モード」を参照してください。なお、フラッシュメモリ領域の読み出しは、LD 命令などにより 1 バイト単位で実行可能です (MCU モードで読み出しできます)。

フラッシュメモリへの書き込み中 (EPPSR<BFBUSY> = "1") にノンマスカブル割り込みが発生した場合、WINT が "1" にセットされるとともに書き込み処理は中断され、フラッシュメモリ制御回路のウォームアップ (CPU WAIT) が行われます (このとき書き込み数カウンタも初期化されます)。従ってノンマスカブル割り込みサービスルーチンの中で、WINT = "1" を検出した場合は書き込みが正常に終了していませんので、再書き込みなどの処理を実行してください。ウォームアップ時間は、 $2^{10}/f_c$ (SYSCK = "0" のとき) または $2^3/f_s$ (SYSCK = "1" のとき) となります。テンポラリデータバッファに 1~127 バイト分のデータがスタックされた後に割り込みが発生すると、書き込みを行っていたページのデータは上書きされず前回のデータが保持されます。

- 注 1) フラッシュメモリへの書き込みは、シリアル PROM モード時のみ可能です。詳細については 2.1「シリアル PROM モード」を参照してください。
- 注 2) テンポラリデータバッファに 128 バイト分のデータがスタックされた後に割り込みが発生すると、書き込みを行っていたページのデータが想定しない値に書き替わることがあります。
- 注 3) フラッシュメモリウォームアップ (CPU WAIT) の期間中、周辺回路は動作を継続しますが、CPU は停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMF が "1" であれば CPU が動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。
- 注 4) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF) を "0" に設定し、割り込みを禁止にしてください。

2.17.6.1 RAM 領域に制御プログラムを展開して書き込む方法

RAM 領域に展開する制御プログラムは、シリアル PROM モードの RAM ローダーモードで外部より RAM に展開します。以下に RAM 領域に制御プログラムを展開して書き込む方法の例を示します。

(1) RAM 領域に制御プログラムを展開して書き込む例

1. エミュレーションチップでは、動作周波数に従って EEPEVA レジスタを最適な時間に設定します。
2. 書き込み制御プログラムを RAM に転送します。
3. RAM 領域のアドレストラップを解除します (WDTCR1、WDTCR2 レジスタを設定します)。
4. RAM 領域にジャンプします。
5. EEPSR<EWUPEN>をモニタし“0”ならば EEEPCR<MNPWDW>を“1”に設定した後、EEPSR<EWUPEN>が“1”になるまでポーリングします。
6. 割り込みマスタ許可フラグを禁止 (DI) にします (IMF ← “0”)。
7. EEEPCR に “3BH” を設定します (フラッシュメモリの書き込みを許可します)。
8. フラッシュメモリ領域に対し 128 バイト分のライト命令を実行します。
9. EEPSR<BFBUSY>が “0” になるまでソフトウェアでポーリングします (フラッシュメモリセルのイレースおよび書き込みが完了すると EEPSR<BFBUSY>が “1” にセットされます。書き込み時間は、フラッシュメモリ製品のときは typ.4 ms、エミュレーションチップのときは EEPEVA レジスタで設定された時間となります)。
10. EEEPCR に “CBH” を設定します (フラッシュメモリの書き込みを禁止します)。
11. フラッシュメモリ領域 (メインプログラム) にジャンプします。

注) 上記 8. で指定するフラッシュメモリアドレスは、「(2) フラッシュメモリ書き込み時のアドレス指定方法」に従って設定してください。

(2) フラッシュメモリ書き込み時のアドレス指定方法

フラッシュメモリの書き込みページは、1 バイト目に書き込むデータのアドレスの上位 10 ビットによって決定されます。同時に 1 バイト目のデータは、テンポラリデータバッファの先頭アドレスにスタックされます。例えば 4080H にデータを書き込むと、ページ 1 が選択され、テンポラリデータバッファの先頭アドレスにデータがスタックされます。このとき指定したアドレスの下位 6 ビットが 000000B 以外であったとしても、1 バイト目のデータは必ずテンポラリデータバッファの先頭アドレスにスタックされます。

2 バイト目以降に書き込むデータのアドレスは、書き込み可能なフラッシュメモリ領域 (4000H~FFFFH) であればどのアドレスを指定しても構いません。書き込みデータは、指定したアドレスには関係なく、書き込みを行った順にテンポラリデータバッファへスタックされます。通常は、1 バイト目に書き込みを行ったアドレスを、同様に指定します。(16 ビット転送命令を使用することもできます)

例: ページ 1 に 00H~7FH のデータを書き込む。
 (テンポラリデータバッファとページの関係を図 2.17.8 に示します)

	DI		; 割り込みを禁止 (IMF ← "0")
	LD	C,00H	
	LD	HL,EEPCR	; EEPCR レジスタのアドレスを設定
	LD	IX,4080H	; 書き込みアドレスの指定
	LD	(HL),3BH	; EEPCR の設定
sLOOP1:			
	LD	(IX),C	; テンポラリデータバッファヘデータをスタック (1 バイトの書き込みでページが確定)
	INC	C	; C = C + 1
	CMP	C,80H	; C ≠ 80H なら sLOOP1 ヘジャンプ
	JR	NZ,sLOOP1	
sLOOP2:			
	TEST	(EEPSR).0	
	JRS	F,sLOOP2	; EEPSR<BFBUSY>="1" なら sLOOP2 ヘジャンプ
	LD	(HL),0CBH	; EEPCR の設定

注) BFBUSY が "1" のとき、フラッシュメモリ領域に対してリード命令、フェッチを実行すると "FFH" が読み出されます。"FFH" をフェッチするとソフトウェア割り込みが発生します。

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
	00H	01H	02H	03H	04H	05H	06H	07H	08H	09H	0AH	0BH	0CH	0DH	0EH	0FH
	10H	11H	12H	13H	14H	15H	16H	17H	18H	19H	1AH	1BH	1CH	1DH	1EH	1FH
	20H	21H	22H	23H	24H	25H	26H	27H	28H	29H	2AH	2BH	2CH	2DH	2EH	2FH
	30H	31H	32H	33H	34H	35H	36H	テンポラリ	39H	3AH	3BH	3CH	3DH	3EH	3FH	
	40H	41H	42H	43H	44H	45H	46H	ータバッファ	49H	4AH	4BH	4CH	4DH	4EH	4FH	
	50H	51H	52H	53H	54H	55H	56H	57H	58H	59H	5AH	5BH	5CH	5DH	5EH	5FH
	60H	61H	62H	63H	64H	65H	66H	67H	68H	69H	6AH	6BH	6CH	6DH	6EH	6FH
	70H	71H	72H	73H	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH

アドレス	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
4070H																
4080H	00H	01H	02H	03H	04H	05H	06H	07H	08H	09H	0AH	0BH	0CH	0DH	0EH	0FH
4090H	10H	11H	12H	13H	14H	15H	16H	17H	18H	19H	1AH	1BH	1CH	1DH	1EH	1FH
40A0H	20H	21H	22H	23H	24H	25H	26H	27H	28H	29H	2AH	2BH	2CH	2DH	2EH	2FH
40B0H	30H	31H	32H	33H	34H	35H	36H	ページ 1	39H	3AH	3BH	3CH	3DH	3EH	3FH	
40C0H	40H	41H	42H	43H	44H	45H	46H		49H	4AH	4BH	4CH	4DH	4EH	4FH	
40D0H	50H	51H	52H	53H	54H	55H	56H	57H	58H	59H	5AH	5BH	5CH	5DH	5EH	5FH
40E0H	60H	61H	62H	63H	64H	65H	66H	67H	68H	69H	6AH	6BH	6CH	6DH	6EH	6FH
40F0H	70H	71H	72H	73H	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH

図2.17.8 テンポラリデータバッファと書き込みページ (例)

Not Recommended for New Design

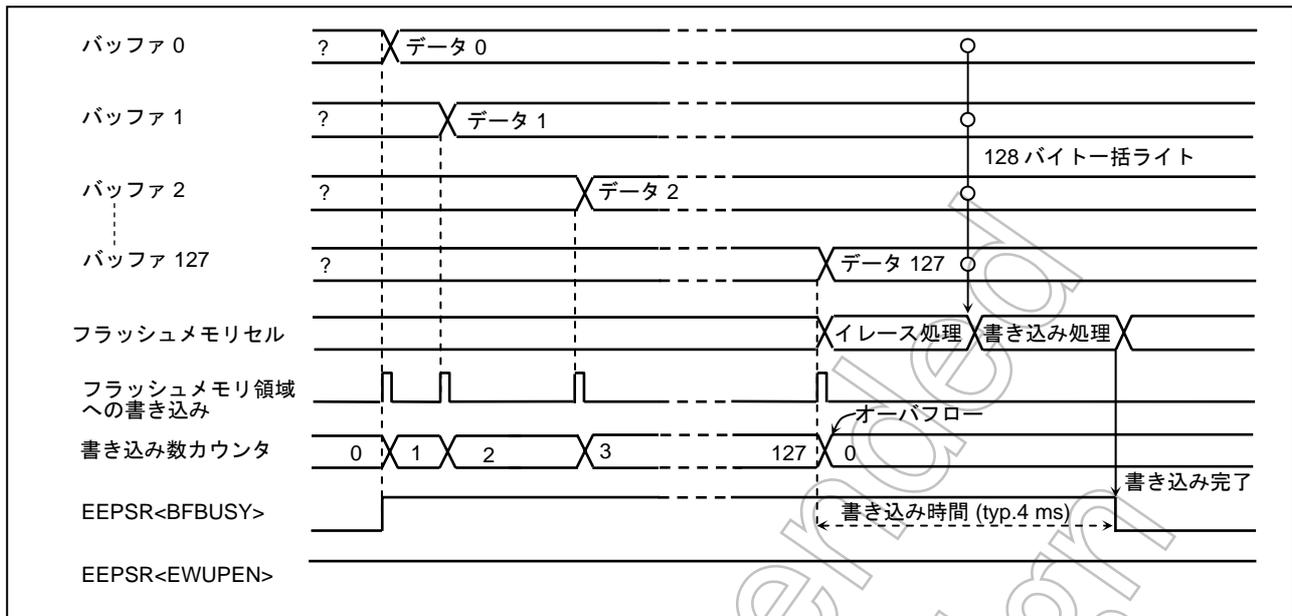


図 2.17.9 フラッシュメモリ領域への書き込み(フラッシュメモリ製品の場合)

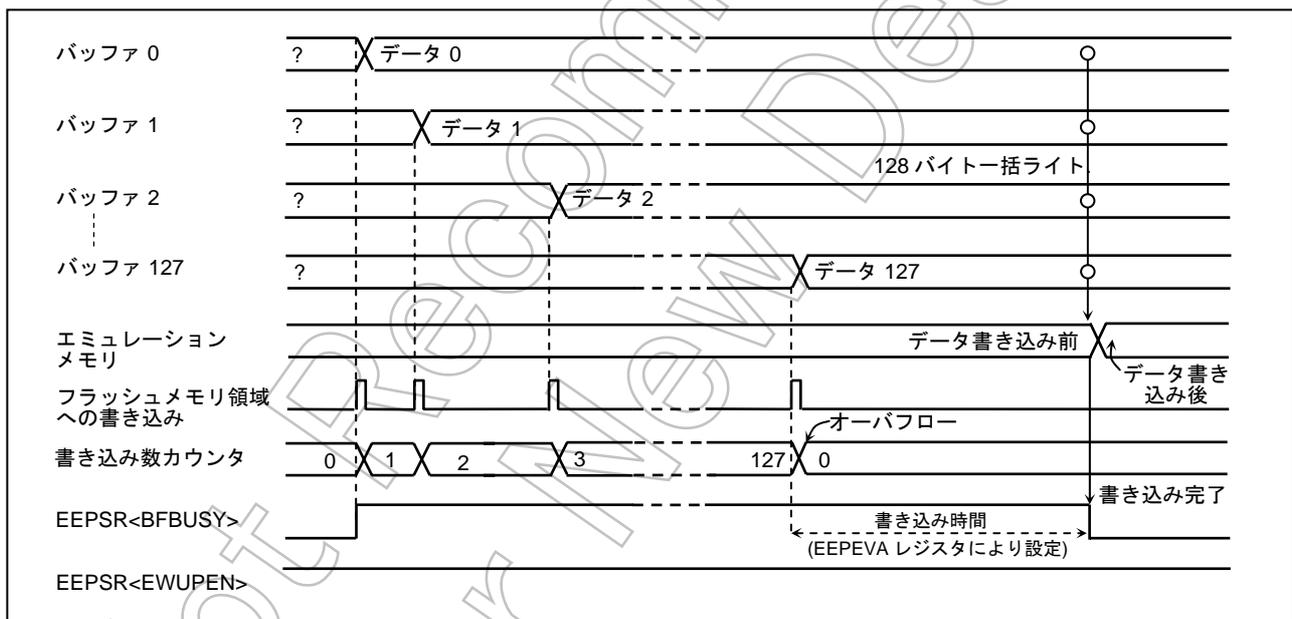


図 2.17.10 フラッシュメモリ領域への書き込み (エミュレーションチップの場合)

- 注 1) エミュレーションチップ (TMP86C948) では、フラッシュメモリの代わりにエミュレーションメモリへ書き込みが行われます。
- 注 2) エミュレーションチップの場合、書き込みデータは EEPSR<BFBUSY> が "1" から "0" に変化する直前にエミュレーションメモリに書き込まれます。従って、書き込み数カウンタがオーバーフローした後にフラッシュメモリへの書き込みを中止した場合、エミュレーションメモリの内容がフラッシュメモリ製品 (TMP86FP24) と異なる場合があります。

2.18 シリアル PROM モード

2.18.1 概要

TMP86FP24 はフラッシュメモリへのプログラミング用として 2 K バイトの Boot-ROM (マスク ROM) を内蔵しています。Boot-ROM には、オンボードでの書き込みを行うためのフラッシュメモリ書き込みモードのほか、RAM ロダ、フラッシュメモリ SUM 出力、製品識別コード出力のモードを内蔵しています。Boot-ROM はシリアル PROM モードで起動し、TEST 端子、P11 端子、BOOT 端子(P23)、RESET 端子、UART の TXD (P06) と RXD (P05) 端子によって制御されます。なお、シリアル PROM モードの動作範囲は MCU モードと異なります。表 2.18.1 にシリアル PROM モード時の動作範囲を示します。

表2.18.1 シリアル PROM モード動作範囲

項目	記号	Min	Max	単位
電源電圧	VDD	2.7	3.6	V
高周波周波数 (注)	fc	2	16	MHz
動作温度	Topr	25 ± 5		°C

注) 高周波周波数は $2 \text{ MHz} \leq fc \leq 16 \text{ MHz}$ の範囲内であっても、シリアル PROM モードで対応していない周波数があります。詳細は表 2.18.6 「シリアル PROM モード動作範囲」を参照してください。

2.18.2 メモリマッピング

Boot-ROM はアドレス 3800H~3FFFH にマッピングされています。図 2.18.1 にメモリマッピングを示します。

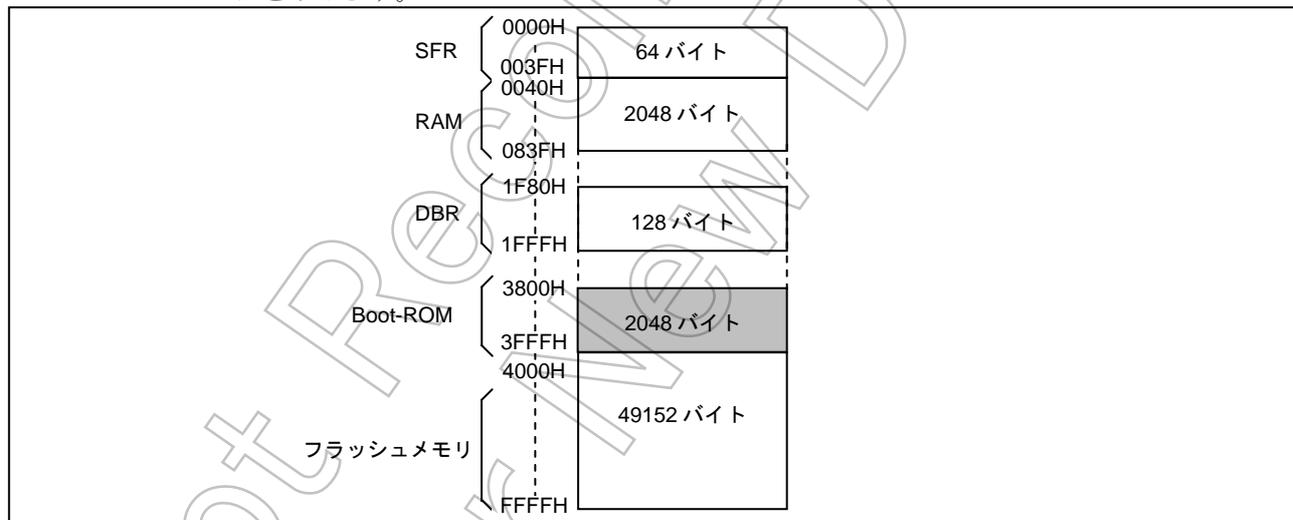


図 2.18.1 メモリアドレスマップ

2.18.3 シリアル PROM モード設定

2.18.3.1 シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアル PROM モードを起動します。シリアル PROM モードを起動するための端子設定を表 2.18.2に示します。

表 2.18.2 シリアル PROM モード設定

端子	設定
BOOT 端子 (P23)	High
P11 端子	Low
RESET, TEST 端子	

2.18.3.2 端子機能

シリアル PROM モード時、TXD (P06) と RXD (P05) を外部とのインタフェース (UART) 用端子として使用します。

表 2.18.3 シリアル PROM モードの端子機能

端子名 (シリアル PROM モード)	入出力	機 能		端子名 (MCU モード)
TXD	出力	シリアルデータ出力	(注 1)	P06
RXD	入力	シリアルデータ入力		P05
BOOT	入力	シリアル PROM 制御端子 ("H" レベルに固定)		P23
RESET	入力	シリアル PROM 制御端子		RESET
TEST	入力	シリアル PROM 制御端子		TEST
P11	入力	シリアル PROM 制御端子 ("L" レベルに固定)		P11
VDD, AVDD	電源	2.7 V~3.6 V		
VSS		0 V		
VAREF		オープンまたは VDD と同電位にしてください。		
P00~P04, P07 P10, P12~P15 P20~P22 P30~P37 P50~P53 P60~P67 P90~P97	入出力	シリアル PROM モード中はハイインピーダンスになります。		
WAKE	出力	シリアル PROM モード中はハイインピーダンスになります。		
SEG7~SEG0	出力	オープン		
COM3~COM0	出力			
C0, C1, V3~V1	LCD 駆動用 昇圧端子			
XIN	入力	高周波発振子接続端子。		(注 2)
XOUT	出力	外部クロックの場合、XIN へ入力し、XOUT は開放してください。		

注 1) オンボードプログラミング時、ほかの部品がすでに実装されている場合、これらの通信端子に影響を与えないように注意が必要です。

注 2) シリアル PROM モードで動作可能な高周波周波数範囲は $2 \text{ MHz} \leq f_c \leq 16 \text{ MHz}$ となります。

シリアル PROM モード時、各制御端子を図 2.18.2 のように結線します。

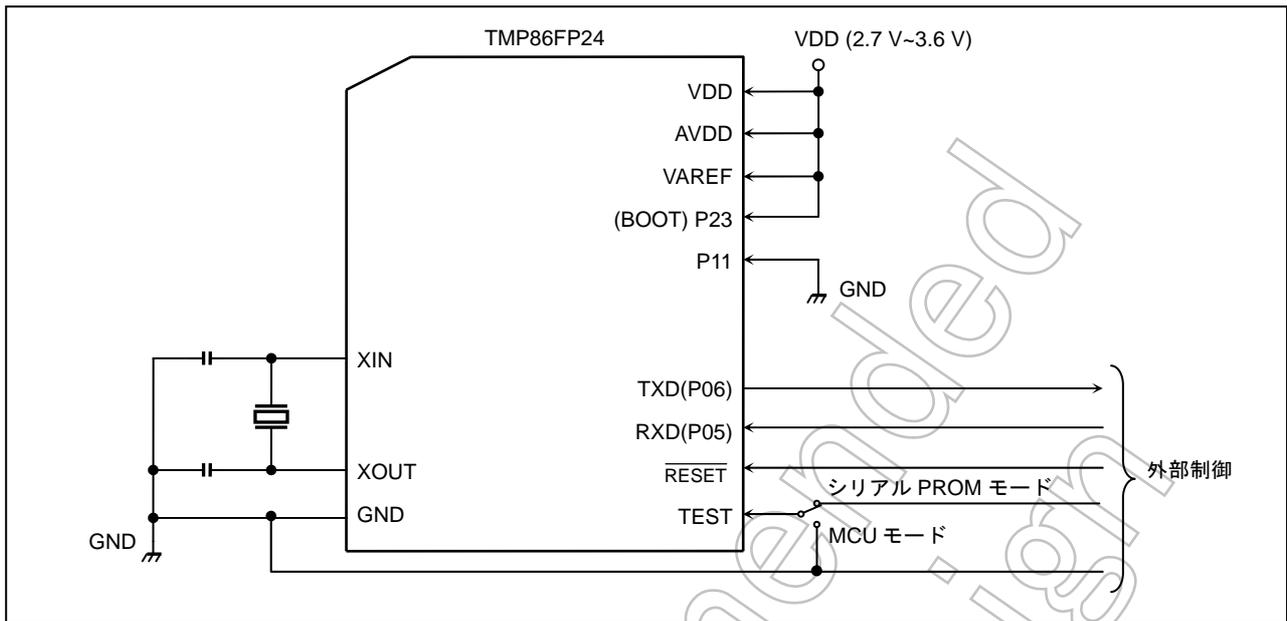


図 2.18.2 シリアル PROM モード端子設定

2.18.3.3 シリアル PROM モードの起動

シリアル PROM モードを起動するには以下の手順にて行います。図 2.18.3 にシリアル PROM モードの設定タイミングを示します。

- (1) VDD 端子に電源を供給します。
- (2) P11 端子、 $\overline{\text{RESET}}$ 端子と TEST 端子を “L” レベルに設定します。
- (3) BOOT (P23) 端子と RXD (P05) 端子を “H” レベルに設定します。
- (4) 電源およびクロックが十分安定するまで待ちます。
- (5) TEST 端子を “L” → “H” レベルに設定します。
- (6) $\overline{\text{RESET}}$ 端子を “L” → “H” レベルに設定します。
- (7) セットアップ期間が経過した後、RXD 端子にマッチングデータ “5Ah” を入力します。

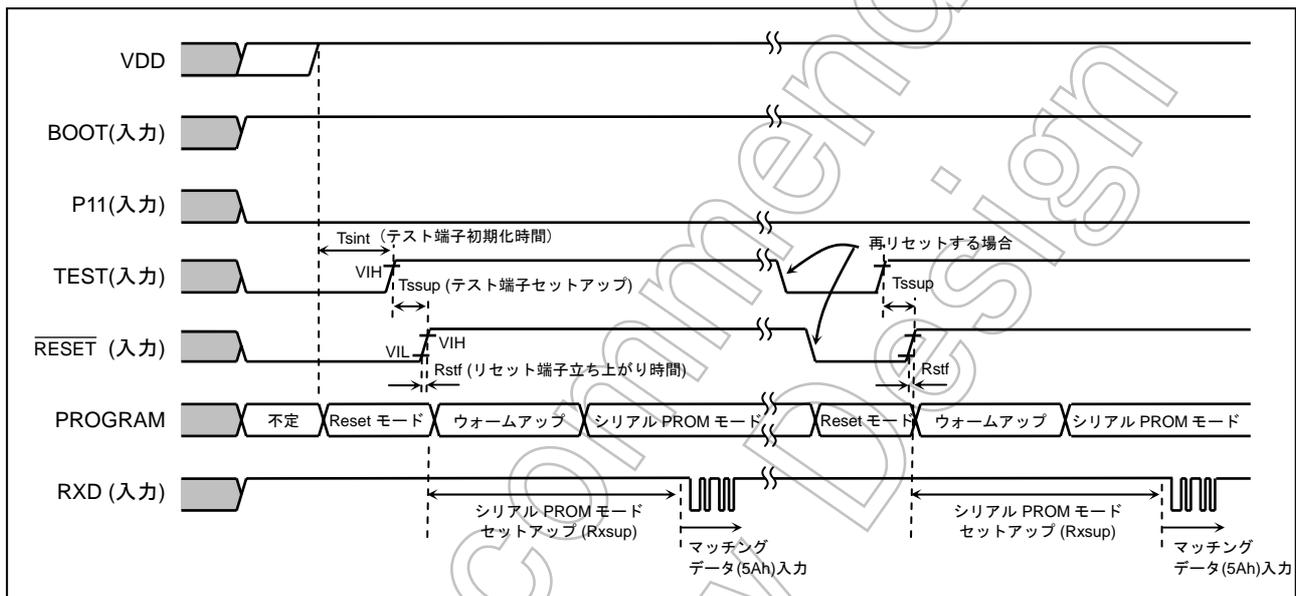


図 2.18.3 シリアル PROM モードタイミング

表 2.18.4 シリアル PROM モードタイミング特性

項目	記号	クロック数 (fc)	必要最低時間	
			2 MHz 時	16 MHz 時
テスト端子セットアップ時間	$Rstf > 512 / fc$ [s] 時	-	1 ms	
	$Rstf < 512 / fc$ [s] 時	-	0 ^{Note1}	
テスト端子初期化時間	Tsint	-	1ms	
リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間	RXsup	110000	55 ms	6.9 ms

注 1) CMOS タイプのリセット IC やロジック IC を使用することによって、リセット端子立ち上がり時間が $Rstf < 512 / fc$ [s] を確保できる場合、TEST 端子はリセット端子入力と同一パルスを入力 (TEST 端子とリセット端子を短絡) しても構いません。ただし TEST 端子、リセット端子にはプルダウン、プルアップ抵抗がそれぞれ内蔵されていますので、端子の入力レベルに影響が無いよう十分に端子をドライブしてください。

注 2) fc: 高周波発振周波数

2.18.3.4 オンボード書き込み接続例

図 2.18.4に、オンボード書き込みを行う場合の接続例を示します。

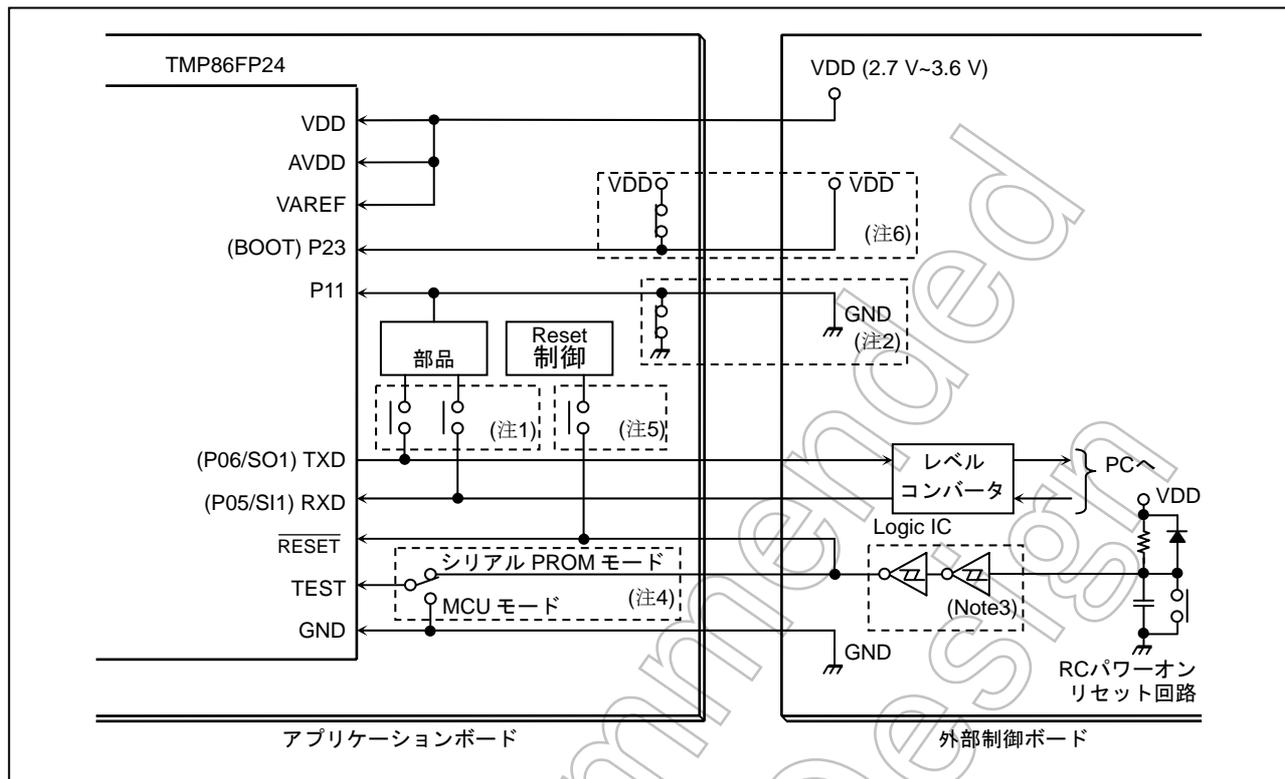


図 2.18.4 オンボード書き込み接続例

- 注 1) アプリケーション基板上的 LCD パネル容量や他の部品が、シリアル PROM モードの UART 通信に影響を与える場合、これらの端子はジャンパーやスイッチなどで切り離してください。
- 注 2) P11 端子はアプリケーションボード上にジャンパー等を設けるか、外部制御ボード上で GND に固定してください。
- 注 3) RC パワーオンリセット回路等の使用により入力波形が鈍る場合は、TEST 端子とリセット端子にロジック IC (TC74HC14 等のシュミット入力 IC) を接続し入力波形を整形してください。このときロジック IC 出力が $Rstf < 512 / fc [s]$ を確保できるよう、端子容量に注意してください。
- 注 4) TEST 端子はプルダウン抵抗が内蔵されていますので、MCU モード中は開放しても構いませんが、ノイズの影響を考慮して GND レベルに接続することを推奨します。
- 注 5) アプリケーション基板上的リセット制御回路が、シリアル PROM モードの起動に影響を与える場合、ジャンパー等で切り離してください。
- 注 6) P23 端子はアプリケーション基板上にジャンパー等を設けるか、外部制御基板上で VDD に固定してください。

2.18.4 インタフェース仕様

シリアル PROM モードでの UART 通信フォーマットを以下に示します。

オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

初期ボーレートはマイコンの動作周波数によらず 9600 bps を自動検出します。その後、表 2.18.5 に示すボーレート変更データを TMP86FP24 に送信することによりボーレートの変更が可能です。表 2.18.6 にマイコンの動作周波数とボーレートを示します (表 2.18.6 に示されていない周波数では使用できません)。

ボーレート(初期値): 9600 bps
データ長: 8 ビット
パリティビット: なし
ストップビット長: 1 ビット

表 2.18.5 ボーレート変更データ

ボーレート変更データ	04H	05H	06H	07H	0AH	18H	28H
ボーレート (bps)	76800	62500	57600	38400	31250	19200	9600

表 2.18.6 シリアル PROM モードの動作周波数とボーレート

マッチング回数 (注 3)	基準ボーレート (bps)		76800		62500		57600		38400		31250		19200		9600	
	ボーレート変更データ		04H		05H		06H		07H		0AH		18H		28H	
	基準周波数 (MHz)	対応範囲 (MHz)	ボーレート (bps)	(%)	(bps)	(%)										
1	2	1.91~2.10	-	-	-	-	-	-	-	-	-	-	-	-	9615	+0.16
2	4	3.82~4.19	-	-	-	-	-	-	-	-	31250	0.00	19231	+0.16	9615	+0.16
	4.19	3.82~4.19	-	-	-	-	-	-	-	-	32734	+4.75	20144	+4.92	10072	+4.92
3	4.9152	4.70~5.16	-	-	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	5	4.70~5.16	-	-	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
4	6	5.87~6.45	-	-	-	-	-	-	-	-	-	-	-	-	9375	-2.34
	6.144	5.87~6.45	-	-	-	-	-	-	-	-	-	-	-	-	9600	0.00
5	7.3728	7.05~7.74	-	-	-	-	57600	0.00	-	-	-	-	19200	0.00	9600	0.00
6	8	7.64~8.39	-	-	62500	0.00	-	-	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16
7	9.8304	9.40~10.32	76800	0.00	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	10	9.40~10.32	78125	+1.73	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
8	12	11.75~12.90	-	-	-	-	57692	+0.16	-	-	31250	0.00	18750	-2.34	9375	-2.34
	12.288	11.75~12.90	-	-	-	-	59077	+2.56	-	-	32000	+2.40	19200	0.00	9600	0.00
	12.5	11.75~12.90	-	-	60096	-3.85	60096	+4.33	-	-	30048	-3.85	19531	+1.73	9766	+1.73
9	14.7456	14.10~15.48	-	-	-	-	57600	0.00	38400	0.00	-	-	19200	0.00	9600	0.00
10	16	15.27~16.77	76923	+0.16	62500	0.00	-	-	38462	+0.16	31250	-0.00	19231	+0.16	9615	+0.16

注 1) 基準周波数: シリアル PROM モードで対応可能な高周波周波数。なお、高周波周波数 (fc) が $2 \text{ MHz} \leq fc \leq 16 \text{ MHz}$ の範囲内であっても、表に示していない周波数はシリアル PROM モードでは使用できません。

注 2) 基準周波数で確実にボーレートの自動検出を行うために、外部コントローラと発振周波数誤差との総合誤差を $\pm 3\%$ 以内にしてください。

注 3) 外部コントローラはボーレートの自動検出が行われるまで、マッチングデータ (5AH) を繰り返し送信する必要があります。上記は各周波数におけるマッチングデータの送信回数を示します。

2.18.5 動作コマンド

シリアル PROM モードでは表 2.18.7 に示す 5 つのコマンドを使用します。リセット解除後、TMP86FP24 はマッチングデータ (5AH) 待ちの状態となります。

表 2.18.7 シリアル PROM モードで動作コマンド

動作コマンドデータ	動作モード	備考
5AH	セットアップ	マッチングデータ。リセット解除後は、常にこのコマンドからスタートします。
30H	フラッシュメモリ書き込み	フラッシュメモリ領域 (アドレス 4000H~FFFFH) への書き込みが可能です。
60H	RAM ローダ	特定の RAM 領域 (アドレス 0050H~082FH) への書き込みが可能です。
90H	フラッシュメモリ SUM 出力	フラッシュメモリの全領域 (アドレス 4000H~FFFFH) のチェックサム (16 ビット) を上位、下位の順に出力します。
C0H	製品識別コード出力	製品を識別するためのコードを 13 バイトのデータとして出力します。

2.18.6 動作モード

シリアル PROM モードには、(1) フラッシュメモリ書き込み、(2) RAM ロード、(3) フラッシュメモリ SUM 出力、(4) 製品識別コード出力の 4 つのモードがあります。以下は各モードの概要です。

(1) フラッシュメモリ書き込みモード

指定したフラッシュメモリのアドレスに、ページ (128 バイト) 単位で任意のデータを書き込むことができます。コントローラは、書き込みデータをインテル Hex フォーマットのバイナリデータとして送信してください。詳細は 2.18.7 「フラッシュメモリ書き込みデータフォーマット」を参照してください。

エンドレコードまでエラーがなければ、TMP86FP24 はフラッシュメモリ 48K バイトのチェックサムを計算し、その結果を返します。

なお、TMP86FP24 はブランク品の場合を除き、フラッシュメモリ書き込みモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ書き込みモードは実行されません。

(2) RAM ロードモード

RAM ロードは、コントローラからインテル Hex フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了するとチェックサムを計算し、その結果を送信後、最初のデータレコードで指定された RAM にジャンプし、ユーザープログラムの実行を開始します。

なお、TMP86FP24 はブランク品の場合を除き、RAM ロードモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、RAM ロードモードは実行されません。

(3) フラッシュメモリ SUM 出力モード

フラッシュメモリ 48 K バイトのチェックサムを計算し、その結果を返します。Boot-ROM ではフラッシュメモリを読み出す動作コマンドはサポートしていませんので、アプリケーションプログラムのレビジョン管理を行う場合などは、このチェックサムによりプログラムの識別を行ってください。

(4) 製品識別コード出力モード

製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM の領域を示す情報を含んだ 13 バイトのデータで構成されます。外部コントローラはこのコードを読み取ることにより、書き込みを行う製品の識別をすることができます。

2.18.6.1 フラッシュメモリ書き込みモード (動作コマンド: 30H)

表 2.18.8にフラッシュメモリ書き込みモードの転送フォーマットを示します。

表 2.18.8 フラッシュメモリ書き込みモード転送フォーマット

	転送 バイト数	外部コントローラから TMP86FP24 への転送データ	ボーレート	TMP86FP24 から外部コントローラへ の転送データ
Boot- ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 2.18.5参照) -	9600 bps 9600 bps	- OK) エコーバックデータ Error) A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (30H) -	変更後ボーレート 変更後ボーレート	- OK) エコーバックデータ (30H) Error) A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスのビ ット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスのビ ット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスの ビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスの ビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) -	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	m+1 バイト目 : n-2 バイト目	インテル Hex フォーマット (Binary) (注 2)	変更後ボーレート	-
	n-1 バイト目	-	変更後ボーレート	OK) チェックサム (High) (注 3) Error) 何も送信しません
	n バイト目	-	変更後ボーレート	OK) チェックサム (Low) (注 3) Error) 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は 2.18.8 「エラーコード」を参照してください。

注 2) インテル Hex フォーマットについては、2.18.10 「インテル Hex フォーマット (Binary)」を参照してください。

注 3) チェックサムについては、2.18.9 「チェックサム (SUM)」を参照してください。

注 4) パスワードについては、2.18.11 「パスワード」を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “00H” または “FFH” の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、TMP86FP24 は UART 通信を終了し動作停止状態となります。したがって、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ書き込みモードの動作説明

1. 1 バイト目の受信データはマッチングデータです。シリアル PROM モードを起動すると、TMP86FP24 (以下、デバイス) はマッチングデータ (5AH) の受信待ちとなります。デバイスはマッチングデータを受信することで、UART の初期ボーレートを自動的に 9600 bps に合わせます。
2. デバイスがマッチングデータ (5AH) を受信すると、2 バイト目のデータとしてエコーバックデータ (5AH) を外部コントローラに送信します。もし、デバイスがマッチングデータを認識できなかった場合、エコーバックデータは返さず、ボーレートの自動調整を行って再度マッチングデータの受信待ちの状態となります。したがって、外部コントローラはデバイスがエコーバックデータを送信するまでマッチングデータを繰り返し送信する必要があります。なお、繰り返し回数はデバイスの周波数に応じて変わります。詳細は表 2.18.6 を参照してください。
3. 3 バイト目の受信データはボーレート変更データです。ボーレート変更データは表 2.18.5 に示すとおり 7 種類あります。なお、ボーレートの変更を行わない場合でも、外部コントローラはボーレートの初期値データ (28H: 9600bps) を送信する必要があります。
4. 3 バイト目の受信データが、動作周波数に対応したボーレートデータのいずれかに該当するときのみ、デバイスは 4 バイト目のデータとして、受信したデータと同じ値をエコーバック送信します。なお、ボーレートの変更は、ボーレート変更データに対するエコーバックデータを送信した後、有効となります。もし、3 バイト目の受信データが、いずれのボーレート変更データにも該当しない場合、デバイスはボーレート変更エラーコード (62H) を 3 バイト送信した後、動作停止状態となります。
5. 5 バイト目の受信データはフラッシュメモリ書き込みモードコマンドデータ (30H) となります。
6. 5 バイト目の受信データが表 2.18.7 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 30H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
7. 7 バイト目はパスワード数格納アドレスのビット 15~8 のデータとなります。7 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
8. 9 バイト目はパスワード数格納アドレスのビット 7~0 のデータとなります。9 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
9. 11 バイト目はパスワード比較開始アドレスのビット 15~8 のデータとなります。11 バイト目に受信したデータに受信エラーが無い場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
10. 13 バイト目はパスワード比較開始アドレスのビット 7~0 のデータとなります。13 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
11. 15~m バイト目の受信データはパスワードデータとなります。パスワード数は、パスワード数格納アドレスに格納されているデータ (N) となります。パスワードデータは、パスワード比較開始アドレスにて指定されたアドレスから N バイト分のデータと比較されます。したがって、外部コントローラは N バイトのパスワードデータを送信する必要があります。パスワードが一致しない場合、デバイスはエラーコードを送信せず、動作停止状態となります。なお、FFE0H~FFFFH 領域がすべて "00H" または "FFH" の場合はブランク品と判定され、パスワード比較は行われません。

12. $m+1$ バイト目~ $n-2$ バイト目の受信データは、インテル Hex フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル Hex フォーマットのスタートマーク (3AH、“:”) を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。データレコードのうち、データは一度 RAM にバッファリングされ、1 ページ分のデータがバッファリングされるとフラッシュメモリへの書き込みが行われます。なお、書き込みデータのフォーマットの詳細については 2.18.7 「フラッシュメモリ書き込みデータフォーマット」を参照してください。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル Hex フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
13. $n-1$ バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については 2.18.9 「チェックサム (SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル Hex フォーマットエラーが発生していない場合にのみ行われます。48 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 150 ms @ 16 MHz です。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
14. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended for New Design

2.18.6.2 RAM ロードモード(動作コマンド: 60H)

表 2.18.9に RAM ロードモードの転送フォーマットを示します。

表 2.18.9 RAM ロードモード転送フォーマット

	転送バイト数	外部コントローラから TMP86FP24 への転送データ	ボーレート	TMP86FP24 から外部コントローラへの 転送データ
Boot- ROM	1 バイト目 2 バイト目	マッチングデータ(5AH) -	9600 bps 9600 bps	-(ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 2.18.5参照) -	9600 bps 9600 bps	- OK) エコーバックデータ Error) A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (60H) -	変更後ボーレート 変更後ボーレート	- OK) エコーバックデータ (60H) Error) A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスのビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスのビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスのビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスのビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) -	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	m+1 バイト目 : n-2 バイト目	インテル Hex フォーマット (Binary) (注 2)	変更後ボーレート	-
	n-1 バイト目	-	変更後ボーレート	OK) チェックサム (High) (注 3) Error) 何も送信しません
	n バイト目	-	変更後ボーレート	OK) チェックサム (Low) (注 3) Error) 何も送信しません
	RAM	-	書き込みを開始した RAM の先頭アドレスにジャンプしプログラムを実行します。	

注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は2.18.8「エラーコード」を参照してください。

注 2) インテル Hex フォーマットについては、2.18.10「インテル Hex フォーマット (Binary)」を参照してください。

注 3) チェックサムについては、2.18.9「チェックサム (SUM)」を参照してください。

注 4) パスワードについては、2.18.11「パスワード」を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “00H” または “FFH” の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、TMP86FP24 は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 6) パスワード列を送信した後、エンドレコードだけの送信を行わないようにしてください。もし、デバイスがパスワード列を受信した後にエンドレコードを受信した場合、正しく動作しないことがあります。

注 7) RAM に書き込んだユーザプログラムの中で、ウォッチドッグタイマ割り込みが許可の状態では EEP<MNPWDW>にてフラッシュメモリの電源を Off にする場合、必ずウォッチドッグタイマの 2 進カウンタのクリアを行ってからフラッシュメモリの電源を Off にしてください。

RAM ロードモードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは RAM ロードモードコマンドデータ (60H) となります。
3. 5 バイト目の受信データが表 2.18.7 に示す動作コマンドデータのいずれかに該当する場合のみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 60H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. m + 1 バイト目 ~ n - 2 バイト目の受信データは、インテル Hex フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル Hex フォーマットのスタートマーク (3AH, “:”) を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。データレコードのうち、データはアドレスにて指定された RAM に書き込まれます。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル Hex フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
6. n - 1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については 2.18.9 「チェックサム (SUM)」 を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル Hex フォーマットエラーが発生していない場合のみ行われます。48 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 150 ms @ 16 MHz です。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. チェックサムを送信後、最初に受信したデータレコードで指定される RAM アドレスにジャンプし、プログラムの実行を開始します。

2.18.6.3 フラッシュメモリ SUM 出力モード (動作コマンド: 90H)

表 2.18.10にフラッシュメモリ SUM 出力モードの転送フォーマットを示します。

表 2.18.10 フラッシュメモリ SUM 出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FP24 への転送データ	ボーレート	TMP86FP24 から外部コントローラへの 転送データ
Boot- ROM	1 バイト目	マッチングデータ (5AH)	9600 bps	- (ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません
	2 バイト目	-	9600 bps	
	3 バイト目	ボーレート変更データ (表 2.18.5参照)	9600 bps	-
	4 バイト目	-	9600 bps	OK) エコーバックデータ Error) A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目	動作コマンドデータ (90H)	変更後ボーレート	-
	6 バイト目	-	変更後ボーレート	OK) エコーバックデータ (90H) Error) A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目	-	変更後ボーレート	OK) チェックサム (High) (注 2) Error) 何も送信しません
	8 バイト目	-	変更後ボーレート	OK) チェックサム (Low) (注 2) Error) 何も送信しません
	9 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) “xxH × 3”は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は2.18.8「エラーコード」を参照してください。

注 2) チェックサムについては、2.18.9「チェックサム (SUM)」を参照してください。

フラッシュメモリ SUM 出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データはフラッシュメモリ SUM 出力モードコマンドデータ (90H) となります。
3. 5 バイト目の受信データが表 2.18.7に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 90H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目と 8 バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については2.18.9「チェックサム (SUM)」を参照してください。48 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 150 ms @ 16 MHz です。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

2.18.6.4 製品識別コード出力モード(動作コマンド: C0H)

表 2.18.11に製品識別コード出力モードの転送フォーマットを示します。

表2.18.11 製品識別コード出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FP24 への転送データ	ボーレート	TMP86FP24 から外部コントローラへ の転送データ	
Boot- ROM	1 バイト目	マッチングデータ (5AH)	9600 bps	- (ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません	
	2 バイト目	-	9600 bps		
	3 バイト目	ボーレート変更データ (表 2.18.5参照)	9600 bps	- OK) エコーバックデータ Error) A1H × 3, A3H × 3, 62H × 3 (注 1)	
	4 バイト目	-	9600 bps		
	5 バイト目	動作コマンドデータ (C0H)	変更後ボーレート	- OK) エコーバックデータ (C0H) Error) A1H × 3, A3H × 3, 63H × 3 (注 1)	
	6 バイト目	-	変更後ボーレート		
	7 バイト目		変更後ボーレート	3AH	スタートマーク
	8 バイト目		変更後ボーレート	0AH	転送データ数 (9~18 バイト 目までのバイト数)
	9 バイト目		変更後ボーレート	02H	アドレス長 (2 バイト)
	10 バイト目		変更後ボーレート	00H	Reserved
	11 バイト目		変更後ボーレート	00H	Reserved
	12 バイト目		変更後ボーレート	00H	Reserved
	13 バイト目		変更後ボーレート	00H	Reserved
	14 バイト目		変更後ボーレート	01H	ROM のブロック数 (1 ブロック)
	15 バイト目		変更後ボーレート	40H	ROM の先頭アドレス (上位)
	16 バイト目		変更後ボーレート	00H	ROM の先頭アドレス (下位)
	17 バイト目		変更後ボーレート	FFH	ROM の終了アドレス (上位)
	18 バイト目		変更後ボーレート	FFH	ROM の終了アドレス (上位)
	19 バイト目		変更後ボーレート	BFH	転送データのチェックサム (9~18 バイト目までのチェッ クサム)
	20 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-	

注) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。
詳細は2.18.8「エラーコード」を参照してください。

製品識別コード出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは製品識別コード出力モードコマンドデータ (C0H) となります。
3. 5 バイト目の受信データが表 2.18.7に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C0H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から 19 バイト目は製品識別コードとなります。識別コードの詳細については 2.18.12「製品識別コード」を参照してください。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

2.18.7 フラッシュメモリ書き込みデータフォーマット

TMP86FP24 のフラッシュメモリは 128 バイトを 1 ページとし、384 ページで構成されています。フラッシュメモリへの書き込みはページごと (128 バイトごと) 行われますので、数バイトのデータを書き込む場合でも、1 ページ分 (128 バイト) のデータを指定する必要があります。図 2.18.5 にフラッシュメモリの構成を示します。なお、フラッシュメモリ書き込みモードでは、外部コントローラは以下のインテル Hex フォーマットでデータを送信してください。

1. フラッシュメモリ書き込みコマンド (30H) の受け付け後、最初のデータレコードで指定されるアドレスは、必ず各ページの先頭アドレスとしてください (例: ページ 1 への書き込みを行う場合、最初のデータレコードのアドレスは 4080H (ページ 1 の先頭アドレス) でなければなりません)。
2. データレコードの最終データに相当するアドレスがページの途中である場合、次のデータレコードで指定されるアドレスは、前のアドレス + 1 としてください。

例)

```
:10406000606162636465666768696A6B6C6D6E6FD8      ' 4060H~406FH のデータレコード
:10407000707172737475767778797A7B7C7D7E7FC8      ' 4070H~407FH のデータレコード
(説明) データレコードの最終データのアドレスが 406FH (ページ 0) の場合、次のデータレコードで指定されるアドレスは 4070H (ページ 0) でなければなりません。
```

3. エンドレコード直前のデータレコードの最終データのアドレスは、各ページの最終アドレスとしてください。

例)

```
:10407000707172737475767778797A7B7C7D7E7FC8      ' 4070H~407FH のデータレコード
:00000001FF                                          ' エンドレコード
(説明) エンドレコード直前のデータレコードがページ 1 を指している場合、そのレコードの最終データのアドレスは 407FH (ページ 1 の最終アドレス) でなければなりません
```

- 注) フラッシュメモリのすべてのデータが同一データの場合、アドレス FFE0H~FFFFH 領域にのみ書き込みを行わないでください。もし、この領域にのみ書き込みが行われると、以降、TMP86FP24 はブランク品とはみなされずパスワード照合が行われ、同一データが 3 バイト以上続くためにパスワード判定で Error となります。この場合、フラッシュメモリへの書き込みや RAM ロードが実行できなくなります。

アドレス	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
4000H	F															
4010H																
4020H																
4030H																
4040H																
4050H																
4060H																
4070H																E
4080H	F															
4090H																
40A0H																
40B0H																
40C0H																
⋮																
⋮																
FF40H																
FF50H																
FF60H																
FF70H																E
FF80H	F															
FF90H																
FFA0H																
FFB0H																
FFC0H																
FFD0H																
FFE0H																
FFF0H																E

注) “F” は各ページの先頭アドレス、“E” は各ページの終了アドレスを示します。

図 2.18.5 フラッシュメモリの構成

2.18.8 エラーコード

デバイスが各エラーを検出した場合に送信するエラーコードを表 2.18.12に示します。

表 2.18.12 エラーコード

送信データ	エラー内容
62H, 62H, 62H	ボーレート変更データエラー
63H, 63H, 63H	動作コマンドエラー
A1H, A1H, A1H	受信データのフレーミングエラー
A3H, A3H, A3H	受信データのオーバーランエラー

注) パスワードエラーの場合は、エラーコードは送信されません。

2.18.9 チェックサム (SUM)

(1) 計算方法

チェックサム (SUM) はバイト+バイト...+バイトの結果をワードで返します。つまり、バイトでデータを読み出して計算し、その結果をワードで返します。

例)

A1H	左記 4 バイトが計算対象データの場合、チェックサムは以下のようになります。 $A1H + B2H + C3H + D4H = 02EAH$ SUM (HIGH) = 02H SUM (LOW) = EAH
B2H	
C3H	
D4H	

フラッシュメモリ書き込みモード、RAM ロードモードおよびフラッシュメモリ SUM 出力モードを実行した際に送信されるチェックサムは、本計算方法を使用します。

(2) 計算対象データ

表 2.18.13に各モードにおけるチェックサムの計算対象データを示します。

表 2.18.13 チェックサムの計算対象データ

動作モード	計算対象データ	備考
フラッシュメモリ書き込みモード	フラッシュメモリの全エリア (48 K バイト) のデータ	フラッシュメモリの一部のページのみ書き込みを行った場合でも、すべてのフラッシュメモリ (48 K バイト) のチェックサムを計算します。なお、インテル Hex フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムは SUM の対象とはなりません。
フラッシュメモリ SUM 出力モード		
RAM ロードモード	最初に受信した RAM アドレスから最後に受信した RAM アドレスまでに書き込まれた RAM のデータ	インテル Hex フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムは SUM の対象とはなりません。
製品識別コード出力モード	転送データの 9~18 バイト目のデータ	詳細は表 2.18.15 「製品識別コードのデータフォーマット」を参照してください。

2.18.10 インテル Hex フォーマット (Binary)

1. デバイスは各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク (3AH、“:”) 待ちとなりますので、外部コントローラがレコード間に 3AH 以外のデータを送信してもそのデータは無視されます。
2. 外部コントローラは、エンドレコードのチェックサムを送信した後は何も送信せず、2 バイトの受信データ (チェックサムの上位と下位) 待ちとなるようにしてください。
3. 受信エラーまたはインテル Hex フォーマットエラーが発生した場合は、エラーコードを送信せず、デバイスは動作停止状態となります。インテル Hex フォーマットエラーは以下の場合発生します。
 - レコードタイプが “00H”、“01H”、“02H” 以外の場合
 - チェックサムエラーが発生した場合
 - 拡張レコード (レコードタイプ = 02H) のデータ長が “02H” でない場合
 - 拡張レコード (レコードタイプ = 02H) の拡張アドレスが “1000H” 以上で、その後データレコードを受信した場合
 - エンドレコード (レコードタイプ = 01H) のデータ長が “00H” でない場合

2.18.11 パスワード

TMP86FP24 はフラッシュメモリ内の任意のデータ (連続する 8 バイト以上のデータ) をパスワードとして設定することができ、外部コントローラから送信されるパスワード列と、パスワードに設定されたデータ列との照合を行うことによりパスワード判定を行います。パスワードを指定できる領域は、フラッシュメモリ内のアドレス 4000H~FF9FH となります (アドレス FFA0H~FFFFH はパスワードとして設定できません)。

アドレス FFE0H~FFFFH のデータがすべて “00H” もしくは “FFH” の場合、ブランク品と見なされパスワード判定は行われません。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスを送信する必要があります。表 2.18.14 にブランク品と書き込み品の場合のパスワード設定方法を示します。

表 2.18.14 ブランク品と書き込み品でのパスワード設定方法

パスワード	ブランク品 (注 1)	書き込み品
PNSA (パスワード数格納アドレス)	4000H ≤ PNSA ≤ FF9FH	4000H ≤ PNSA ≤ FF9FH
PCSA (パスワード比較開始アドレス)	4000H ≤ PCSA ≤ FF9FH	4000H ≤ PCSA ≤ FFA0 - N
N (パスワード数)	*	8 ≤ N
パスワード列の設定	不要	必要 (注 2)

- 注 1) アドレス FFE0H~FFFFH の領域がすべて “00H” または “FFH” となっている製品をブランク品とします。
- 注 2) 3 バイト以上同一となるデータは、パスワード列として設定できません (パスワード判定で Error となり、TMP86FP24 は何のデータも送信せず、停止状態となります)。
- 注 3) *: Don't care
- 注 4) 上記条件を満たさない場合パスワードエラーとなります。なお、パスワードエラーが発生した場合、デバイスはエラーコードを送信せず、動作停止状態となります。
- 注 5) ブランク品は PCSA の受信の後、パスワード列の受信は行わず即座に Intel-Hex フォーマットの受信処理を行います。このとき外部コントローラはダミーのパスワード列を送信したとしても、デバイスは Intel-Hex フォーマットとしてスタートマーク (3AH “:”) を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に 3AH が含まれていると、誤ってスタートマークと検出されるためマイコンは動作停止状態となります。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

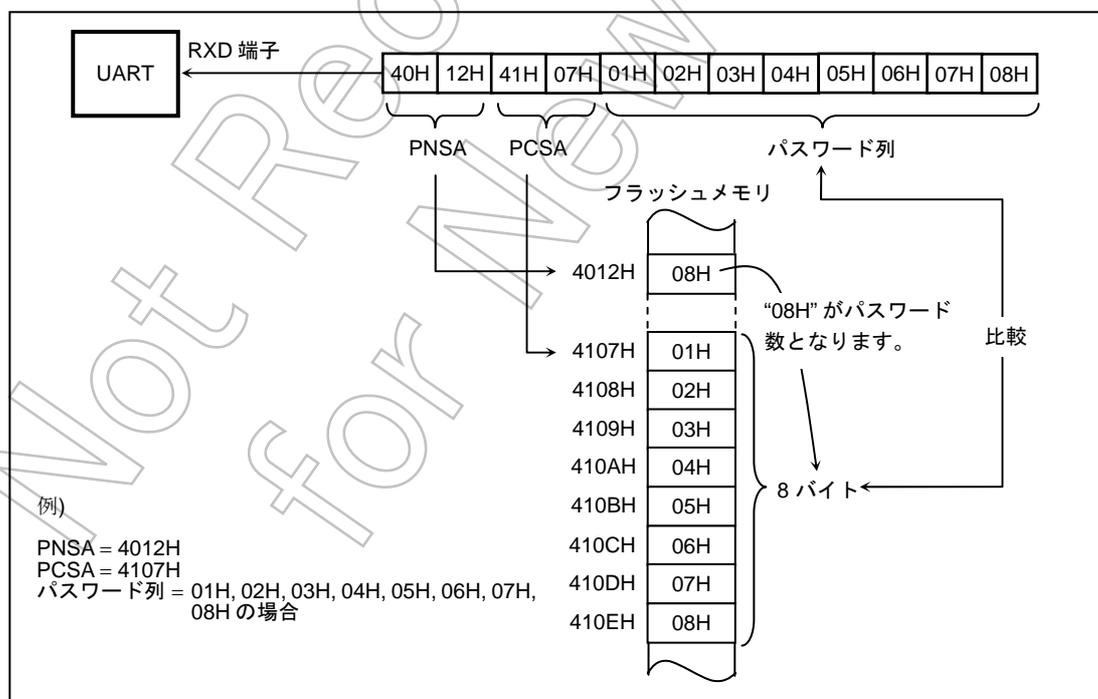


図 2.18.6 パスワードの比較(例)

2.18.11.1 ブランク品/書き込み品の判別方法

外部コントローラより、以下の手順で通信を行うとブランク品/書き込み品を判別することができます。

- (1) フラッシュメモリ書き込みモードまたは RAM ロードモードを実行する。
- (2) PNSA、PCSA を送信する。
- (3) エンドレコードを送信する。
- (4) ブランク品の場合、デバイスはチェックサムを送信します。書き込み品の場合はチェックサムを送信せずデバイスは停止状態となります。

上記のように、外部コントローラがエンドレコードを送信した後、デバイスがチェックサムを送信するか否かでブランク品/書き込み品の判別ができます。

注) 書き込み品で動作停止状態となった場合は、シリアル PROM モードを再度起動するためにデバイスをリセットしてください。

2.18.11.2 パスワード列

外部コントローラが送信したパスワード列は、指定されたフラッシュメモリのデータと比較されます。パスワード列と指定されたフラッシュメモリのデータが一致しなかった場合、パスワードエラーとなり、マイコンは動作停止状態となります。

2.18.11.3 パスワードエラー処理

パスワードエラーが発生した場合、デバイスは動作停止状態となります。この場合、シリアル PROM モードを再起動するためにデバイスをリセットしてください。

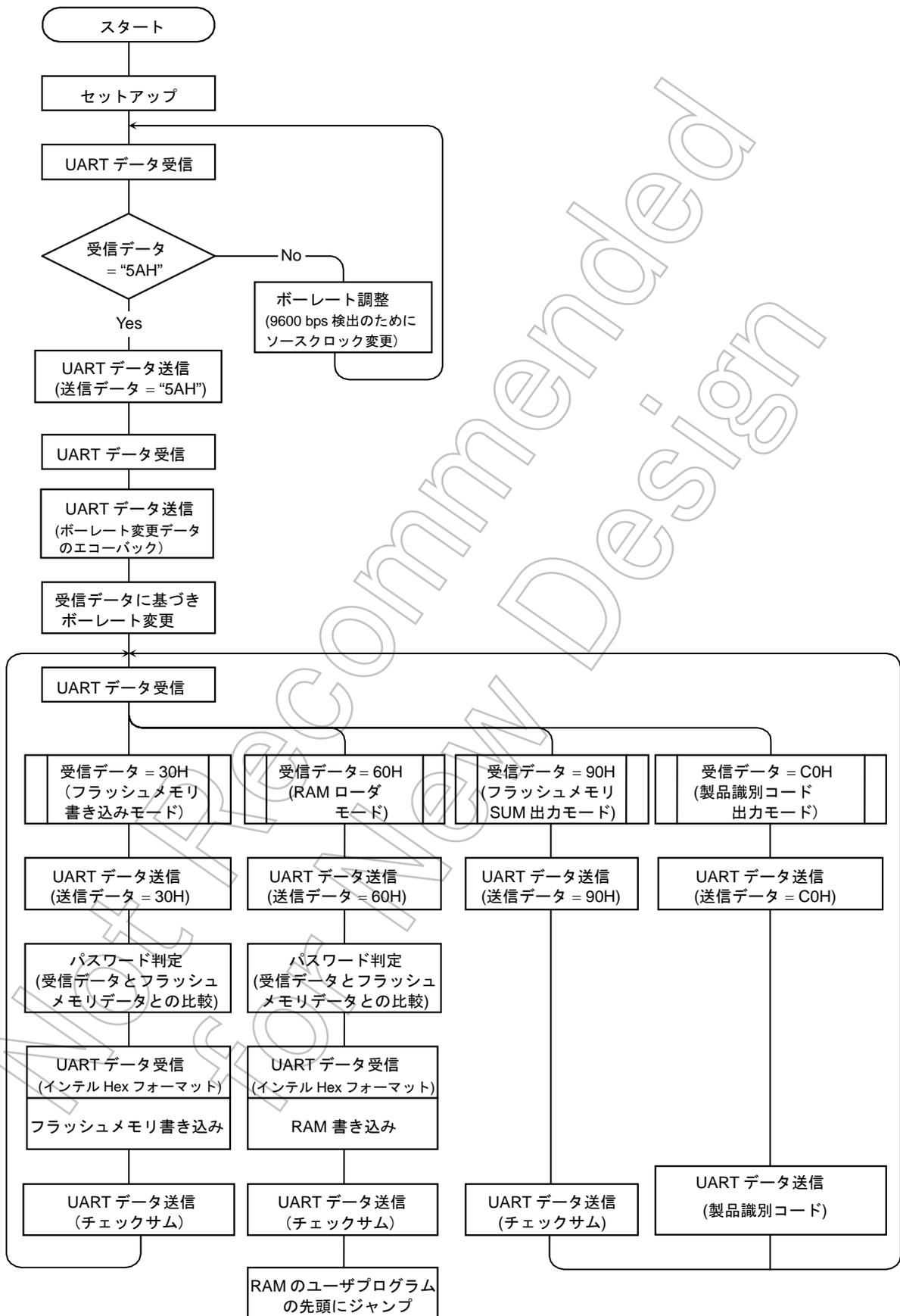
2.18.12 製品識別コード

製品識別コードは、ROM の先頭アドレス、終了アドレスを含む 13 バイトのデータです。表 2.18.15 に製品識別コードのデータフォーマットを示します。

表 2.18.15 製品識別コードのデータフォーマット

データ	データの意味	TMP86FP24 の場合のデータ
1st	スタートマーク (3AH)	3AH
2nd	転送データ数 (3~12 バイト目の 10 バイト)	0AH
3rd	アドレスのバイト長 (2 バイト)	02H
4th	Reserved	00H
5th	Reserved	00H
6th	Reserved	00H
7th	Reserved	00H
8th	ROM のブロック数	01H
9th	ROM の先頭アドレス (上位)	40H
10th	ROM の先頭アドレス (下位)	00H
11th	ROM の終了アドレス (上位)	FFH
12th	ROM の終了アドレス (下位)	FFH
13th	転送データ (3~12 バイト目) のチェックサム	BFH

2.18.13 フローチャート



端子の入出力回路

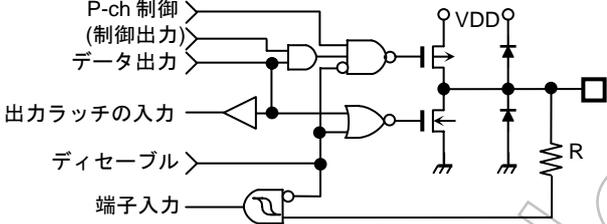
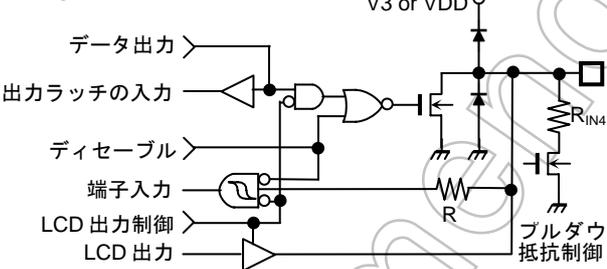
(1) 制御端子

TMP86FP24 の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入出力		高周波発振子接続端子 $R_f = 3\text{ M}\Omega$ (typ.) $R_O = 0.5\text{ k}\Omega$ (typ.)
XTIN XTOUT	入出力	NORMAL1 モード	低周波発振子接続端子 $R_f = 20\text{ M}\Omega$ (typ.) $R_O = 220\text{ k}\Omega$ (typ.)
		NORMAL2 モード	
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220\text{ k}\Omega$ (typ.) $R = 100\text{ }\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70\text{ k}\Omega$ (typ.) $R = 100\text{ }\Omega$ (typ.)
$\overline{\text{WAKE}}$	出力		シンクオープンドレイン 出力

(2) 入出力ポート

ポート	入出力	入出力回路	備考
P0 P1	入出力	<p>Initial "High-Z"</p> <p>P-ch 制御 (制御出力) データ出力 出力ラッチの入力 ディセーブル 端子入力(制御入力)</p>	<p>シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P20 P23	入出力	<p>Initial "High-Z"</p> <p>P-ch 制御 データ出力 出力ラッチの入力 ディセーブル 端子入力(制御入力)</p>	<p>シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P21 P22	入出力	<p>Initial "High-Z"</p> <p>プルアップ抵抗 R_{IN3} VDD0 抵抗制御 データ出力 出力ラッチの入力 ディセーブル 端子入力</p>	<p>シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 プログラマブルプルアップ抵抗 R_{IN3} = 220 kΩ (typ.)</p>
P3	入出力	<p>Initial "High-Z"</p> <p>P-ch 制御 データ出力 出力ラッチの入力 ディセーブル 端子入力</p>	<p>シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 大電流ポート(N-ch) R = 100 Ω (typ.)</p>
P6	入出力	<p>Initial "High-Z"</p> <p>データ出力 出力ラッチの入力 I/O 制御 入力制御 端子入力 ディセーブル アナログ入力</p>	<p>トライステート入出力 ヒステリシス入力 R = 100 Ω (typ.)</p>

ポート	入出力	入出力回路	備考
P5	入出力	<p>Initial "High-Z"</p>  <p>P-ch 制御 (制御出力) データ出力 出力ラッチの入力 ディセーブル 端子入力</p> <p>VDD R</p>	<p>シンクオープンドレイン出力 または CMOS 出力 ヒステリシス入力 大電流ポート(N-ch) R = 100 Ω (typ.)</p>
P4 P9	入出力	<p>Initial "High-Z"</p>  <p>データ出力 出力ラッチの入力 ディセーブル 端子入力 LCD 出力制御 LCD 出力</p> <p>V3 or VDD R R_{IN4} プルダウン抵抗制御</p>	<p>シンクオープンドレイン出力 ヒステリシス入力 プログラマブルプルダウン抵抗 R = 100 Ω (typ.)</p>

Not Recommended for New Design

電気的特性

絶対最大定格 ($V_{SS} = 0\text{ V}$)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		-0.3~4.0	V
入力電圧	V_{IN}		-0.3~ $V_{DD} + 0.3$	
出力電圧	V_{OUT1}	V3 端子を除く	-0.3~ $V_{DD} + 0.3$	
	V_{OUT2}	V3 端子	-0.3~4.0	
出力電流 (1 端子当たり)	I_{OUT1}	P0, P1, P20, P23, P3, P5, P6 ポート	-2	mA
	I_{OUT2}	P0, P1, P2, P4, P6, P9, \overline{WAKE} ポート	2	
	I_{OUT3}	P3, P5 ポート	10	
出力電流 (全端子総計)	ΣI_{OUT1}	P0, P1, P20, P23, P3, P5, P6 ポート	-30	
	ΣI_{OUT2}	P0, P1, P2, P4, P6, P9, \overline{WAKE} ポート	80	
	ΣI_{OUT3}	P3, P5 ポート	30	
消費電力 [$T_{opr} = 85^\circ\text{C}$]	PD		350	mW
はんだ付け温度 (時間)	T_{sld}		260 (10 s)	°C
保存温度	T_{stg}		-55~125	
動作温度	T_{opr}		-40~85	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件-1 (MCU モード) ($V_{SS} = 0\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$)

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V_{DD}		$f_c = 16\text{ MHz}$	NORMAL1, 2 モード	2.7	3.6	V
				IDLE0, 1, 2 モード			
			$f_c = 8\text{ MHz}$ (自己発振時)	NORMAL1, 2 モード	1.8		
				IDLE0, 1, 2 モード			
			$f_c = 4.2\text{ MHz}$ (外部クロック時)	NORMAL1, 2 モード	1.8		
				IDLE0, 1, 2 モード			
$f_s =$ 32.768 kHz	SLOW1, 2 モード	1.8					
	SLEEPS0, 1, 2 モード						
		STOP モード					
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	$V_{DD} \geq 2.7\text{ V}$	$V_{DD} \times 0.70$	V_{DD}		
	V_{IH2}	ヒステリシス入力		$V_{DD} \times 0.75$			
	V_{IH3}			$V_{DD} < 2.7\text{ V}$			$V_{DD} \times 0.80$
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	$V_{DD} \geq 2.7\text{ V}$		$V_{DD} \times 0.30$		
	V_{IL2}	ヒステリシス入力			$V_{DD} \times 0.25$		
	V_{IL3}			$V_{DD} < 2.7\text{ V}$	$V_{DD} \times 0.20$		
クロック周波数 (外部クロック時)	f_c	XIN, XOUT	$V_{DD} = 1.8\sim 3.6\text{ V}$	1.0	4.2	MHz	
			$V_{DD} = 2.7\sim 3.6\text{ V}$		16.0		
	f_s	XTIN, XTOUT	$V_{DD} = 1.8\sim 3.6\text{ V}$	30.0	34.0	kHz	
クロック周波数 (自己発振時)	f_c	XIN, XOUT	$V_{DD} = 1.8\sim 3.6\text{ V}$	1.0	8.0	MHz	
			$V_{DD} = 2.7\sim 3.6\text{ V}$		16.0		
	f_s	XTIN, XTOUT	$V_{DD} = 1.8\sim 3.6\text{ V}$	30.0	34.0	kHz	
LCD 基準電源 端子電圧範囲	V1		昇圧回路使用時 ($V_3 \geq V_{DD}$)	0.8	1.2	V	
	V2			1.6	2.4		
LCD 昇圧用 コンデンサ	C_{LCD}		昇圧回路使用時 ($V_3 \geq V_{DD}$)	0.1	0.47	μF	

注) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC 規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

推奨動作条件-2 (シリアル PROM モード) ($V_{SS} = 0\text{ V}$, $T_{opr} = 25^{\circ}\text{C} \pm 5^{\circ}\text{C}$)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V_{DD}		$2\text{ MHz} \leq f_c \leq 16\text{ MHz}$	2.7	3.6	V
クロック周波数	f_c	XIN, XOUT	$V_{DD} = 2.7\sim 3.6\text{ V}$	2.0	16.0	MHz

注) シリアル PROM モードの動作温度範囲は $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ となります。また、シリアル PROM モードの動作周波数範囲は、MCU モードと異なります。

DC 特性 (V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位							
ヒステリシス電圧	V _{HS}	ヒステリシス入力	V _{DD} = 3.3 V	-	0.4	-	V							
入力電流	I _{IN1}	TEST	V _{DD} = 3.6 V, V _{IN} = 0 V	-	-	-5	μA							
	I _{IN2}	Sink open drain, Tri-state	V _{DD} = 3.6 V, V _{IN} = 3.6 V/0 V	-	-	±5								
	I _{IN3}	RESET	V _{DD} = 3.6 V, V _{IN} = 3.6 V	-	-	+5								
入力抵抗	R _{IN1}	TEST pull down	V _{DD} = 3.6 V, V _{IN} = 3.6 V	-	70	-	kΩ							
	R _{IN2}	RESET pull up P21, P22 ポート	V _{DD} = 3.6 V, V _{IN} = 0 V	100	220	450								
	R _{IN3}	プログラマブルプルダウン (P4, P9 ポート)	V _{DD} = 1.8 V, V _{IN} = 1.8 V	-	320	-								
高周波帰還抵抗	R _{FB}	XOUT	V _{DD} = 3.6 V	-	3	-	MΩ							
低周波帰還抵抗	R _{FBT}	XTOUT	V _{DD} = 3.6 V	-	20	-								
出力リーク電流	I _{LO}	Sink open drain, Tri-state	V _{DD} = 3.6 V V _{OUT} = 3.4V/0.2 V	-	-	±10	μA							
高レベル出力電圧	V _{OH}	CMOS, Tri-state	V _{DD} = 3.6 V, I _{OH} = -0.6 mA	3.2	-	-	V							
低レベル出力電圧	V _{OL}	XOUT, P3, P5 ポートを除く	V _{DD} = 3.6 V, I _{OL} = 0.9 mA	-	-	0.4								
低レベル出力電流	I _{OL}	P3, P5 ポート	V _{DD} = 3.6 V, V _{OL} = 1.0 V	-	6	-	mA							
LCD 出力電圧 (昇圧回路使用時)	V _{2-3OUT}	V2 端子	V ₃ ≥ V _{DD} 基準電源端子: V1 SEG/COM 端子無負荷時	-	V1 × 2	-	V							
		V3 端子		-	V1 × 3	-								
	V _{1-3OUT}	V1 端子	V ₃ ≥ V _{DD} 基準電源端子: V2 SEG/COM 端子無負荷時	-	V2 × 1/2	-								
		V3 端子		-	V2 × 3/2	-								
LCD 出力電流容量 (昇圧回路使用時)	I _{LCDV3}	V3 端子	V _{DD} = 3 V fc = 16 MHz CLCD = 0.1 μF 基準電源端子: V1 = 1 V	<VFSEL> = 00	-	72	-	mV/μA						
				<VFSEL> = 01	-	20	-							
				<VFSEL> = 10	-	15	-							
				<VFSEL> = 11	-	12	-							
				<VFSEL> = 00	-	28	-							
				<VFSEL> = 01	-	8	-							
NORMAL1, 2 モード時電源電流	I _{DD}	フェ ッチ 領域	Flash RAM	V _{DD} = 3.6 V V _{IN} = 3.4 V/0.2 V fc = 16 MHz fs = 32.768 kHz	MNP = "1"	-	5.5	6.6	mA					
					MNP = "0"	-	4.3	5.6						
					MNP · ATP = "1"	-	3.8	5.5						
					MNP · ATP = "0"	-	2.9	4.5						
					SLOW1 モード時電源電流	フェ ッチ 領域	Flash RAM	V _{DD} = 3 V V _{IN} = 2.8 V/0.2 V fs = 32.768 kHz		MNP = "1"	-	800	1400	μA
										MNP = "0"	-	9	25	
MNP · ATP = "1"	-	7	25											
MNP · ATP = "0"	-	800	1400											
SLEEP1 モード時 電源電流				MNP · ATP = "1"	-	7	25							
SLEEP0 モード時 電源電流				MNP · ATP = "0"	-	7	25							
STOP モード時 電源電流				V _{DD} = 3.6 V V _{IN} = 3.4 V/0.2 V	-	0.5	10							

注 1) Typ.値は特に指定のない限り、Topr = 25°C, V_{DD} = 3.3 V です。注 2) 入力電流 I_{IN1}, I_{IN2}: プルアップまたはプルダウン抵抗による電流を除きます。注 3) I_{DD} は、I_{REF} 電流を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, IDLE1, IDLE2 モードと同等です。

- 注 5) 電流容量とは、1 μ A 当たり降下する V3 端子の出力電圧値を示すものです。ご使用の LCD パネルに合わせて適切な昇圧周波数設定 LCDCR<VFSEL> を選択してください。なお、基準端子入力の電流容量は、安定した動作を保つため出力電流容量の 10 倍以上のドライブ能力が必要です。例えば基準端子が V1 端子で、昇圧周波数が $f_c/2^9$ (VFSEL = "11") のとき、V1 の電流容量は(T.B.D.) mV/ μ A 以上を推奨します。
- 注 6) MNP は EEPCR レジスタのビット 0 (MNPWDW)、ATP は EEPCR レジスタのビット 1 (ATPWDW) を示します。
- 注 7) フェッチとは、命令実行を行うために CPU がメモリのデータを読み込む動作を意味します。

Not Recommended
for New Design

AD 変換特性 ($V_{SS} = 0.0 \text{ V}$, $2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$, $T_{opr} = -40 \sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$AV_{DD} - 1.0$	-	AV_{DD}	V
アナログ制御回路電源電圧	AV_{DD}		V_{DD}			
アナログ基準電源電圧範囲 (注4)	ΔV_{AREF}		2.5	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = AV_{DD} = V_{AREF} = 3.6 \text{ V}$ $V_{SS} = 0.0 \text{ V}$	-	0.35	0.61	mA
非直線性誤差		$V_{DD} = AV_{DD} = 2.7 \text{ V}$ $V_{SS} = 0.0 \text{ V}$ $V_{AREF} = 2.7 \text{ V}$	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 2	

($V_{SS} = 0.0 \text{ V}$, $2.0 \text{ V} \leq V_{DD} < 2.7 \text{ V}$, $T_{opr} = -40 \sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$AV_{DD} - 0.6$	-	AV_{DD}	V
アナログ制御回路電源電圧	AV_{DD}		V_{DD}			
アナログ基準電源電圧範囲 (注4)	ΔV_{AREF}		2.0	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = AV_{DD} = V_{AREF} = 2.0 \text{ V}$ $V_{SS} = 0.0 \text{ V}$	-	0.20	0.34	mA
非直線性誤差		$V_{DD} = AV_{DD} = 2.0 \text{ V}$ $V_{SS} = 0.0 \text{ V}$ $V_{AREF} = 2.0 \text{ V}$	-	-	± 4	LSB
ゼロ誤差			-	-	± 4	
フルスケール誤差			-	-	± 4	
総合誤差			-	-	± 4	

($V_{SS} = 0.0 \text{ V}$, $1.8 \text{ V} \leq V_{DD} < 2.0 \text{ V}$, $T_{opr} = -10 \sim 85^\circ\text{C}$) (注5)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$AV_{DD} - 0.1$	-	AV_{DD}	V
アナログ制御回路電源電圧	AV_{DD}		V_{DD}			
アナログ基準電源電圧範囲 (注4)	ΔV_{AREF}		1.8	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = AV_{DD} = V_{AREF} = 1.8 \text{ V}$ $V_{SS} = 0.0 \text{ V}$	-	0.18	0.31	mA
非直線性誤差		$V_{DD} = AV_{DD} = 1.8 \text{ V}$ $V_{SS} = 0.0 \text{ V}$ $V_{AREF} = 1.8 \text{ V}$	-	-	± 4	LSB
ゼロ誤差			-	-	± 4	
フルスケール誤差			-	-	± 4	
総合誤差			-	-	± 4	

注1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、2.12.2 「レジスタ構成」を参照してください。

注3) A_{IN} 入力端子への入力電圧は $V_{AREF} \sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、ほかのチャンネルの変換値にも影響を与えます。

注4) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - V_{SS}$

注5) $V_{DD} = 2.0 \text{ V}$ 未満で AD を使用する場合、温度保証範囲が異なります。

注6) AD コンバータを使用しない場合においても AV_{DD} 端子と V_{AREF} 端子は V_{DD} レベルに固定してください。

AC 特性

(V_{SS} = 0 V, V_{DD} = 2.7~3.6 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.25	-	4	μs
		IDLE1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP1, 2 モード時				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN 入力)	-	31.25	-	ns
低レベルクロックパルス幅	twcL	fc = 16 MHz 時	-	-	-	-
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	twcL	fs = 32.768 kHz 時	-	-	-	-

(V_{SS} = 0 V, V_{DD} = 1.8~3.6 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード	0.5	-	4	μs
		IDLE1, 2 モード				
		SLOW1, 2 モード	117.6	-	133.3	
		SLEEP1, 2 モード				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN 入力)	-	119.04	-	ns
低レベルクロックパルス幅	twcL	fc = 4.2 MHz 時	-	-	-	-
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	twcL	fs = 32.768 kHz 時	-	-	-	-

フラッシュ特性

(V_{SS} = 0 V)

項目	条件	Min	Typ.	Max	単位
シリアル PROM モードの フラッシュメモリページ書き替え保証 回数	V _{DD} = 2.7 to 3.6 V, 2 MHz ≤ fc ≤ 16 MHz (Topr = 25°C ± 5°C)	-	-	T.B.D	times

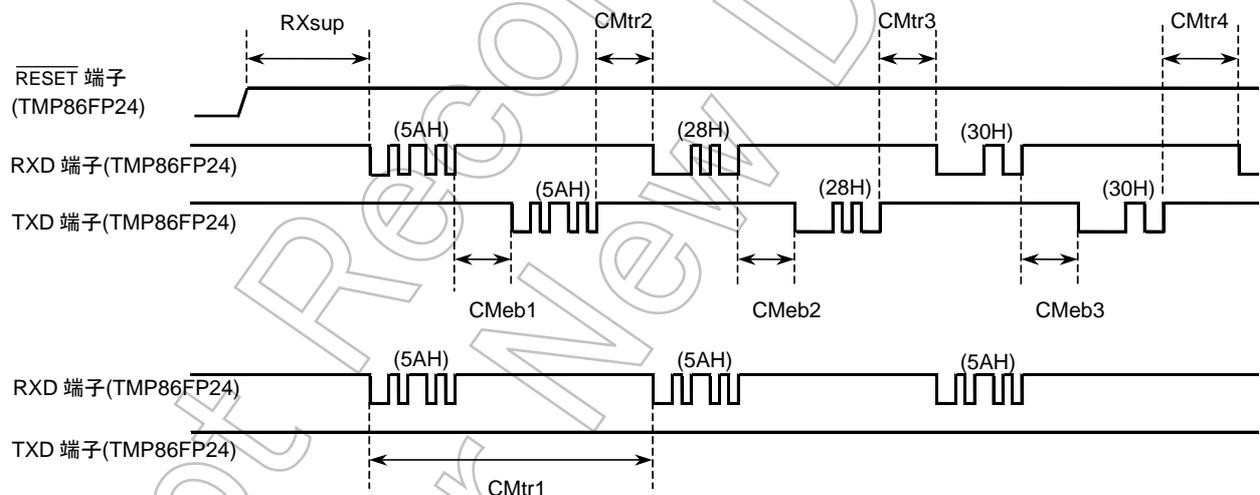
UART タイミング

UART タイミング 1 UART タイミング-1 (VDD = 2.7 V~3.6 V, fc = 2 MHz~16 MHz, Ta = 25°C)

項目	記号	クロック数(fc)	必要最低時間	
			2 MHz 時	16 MHz 時
マッチングデータ(5AH)受信からエコーバックまでの時間	CMeb1	約 600	300 μ s	37.5 μ s
ボーレート変更データ受信からエコーバックまでの時間	CMeb2	約 700	350 μ s	43.7 μ s
動作コマンド受信からエコーバックまでの時間	CMeb3	約 600	300 μ s	37.5 μ s
チェックサム計算時間	CKsm	約 2360000	1180 ms	147.5 ms

UART タイミング 2 UART タイミング-2 (VDD = 2.7 V~3.6 V, fc = 2 MHz~16 MHz, Ta = 25°C)

項目	記号	クロック数(fc)	必要最低時間	
			At fc = 2 MHz	At fc = 16 MHz
リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間	RXsup	110000	55 ms	6.9 ms
マッチングデータ送信間隔	CMtr1	28500	14.3 ms	1.8 ms
マッチングデータのエコーバックからボーレート変更データ受信可能となるまでの時間	CMtr2	600	300 μ s	37.5 μ s
ボーレート変更データのエコーバックから動作コマンド受信可能となるまでの時間	CMtr3	750	375 μ s	46.9 μ s
動作コマンドのエコーバックからパスワード数格納アドレス(上位)受信可能となるまでの時間	CMtr4	950	475 μ s	59.4 μ s



推奨発振条件

- 注 1) ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。
- 注 2) 村田製発振子は、型番・仕様の切り替えが随時行われております。詳細につきましては、下記アドレスの同社ホームページをご参照ください。
<http://www.murata.co.jp/>

取り扱い上のご注意

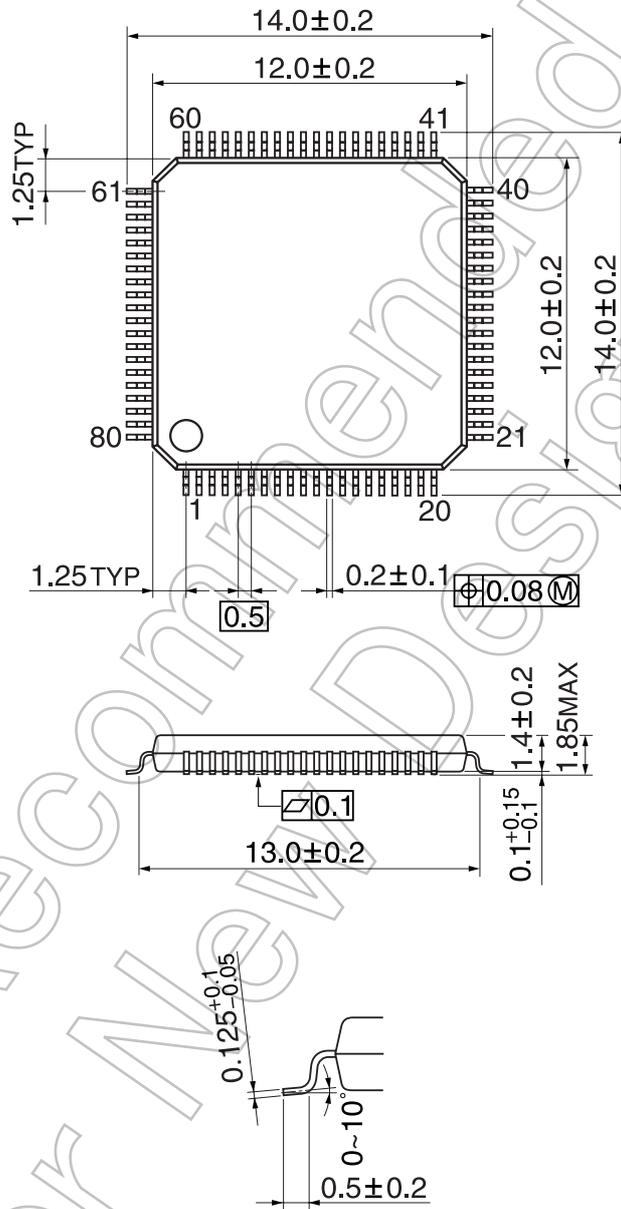
- 鉛フリー品(G付製品) へのはんだ濡れ性についての注意事項
 - 試験項目
はんだ付け性
 - 試験条件
 - 230°C 5秒間 1回 Rタイプフラックス使用(鉛はんだ使用時)
 - 245°C 5秒間 1回 Rタイプフラックス使用(鉛フリーはんだ使用時)
 - 備考
フォーミングまでのはんだ付着率 95%を良品とする。
- ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

Not Recommended
for New Design

パッケージ外形寸法図

LQFP80-P-1212-0.50A

Unit: mm



Not Recommended for New Design

あとがき

この資料は TMP86FP24 のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年8月24日

8ビットマイクロコントローラ

TMP86FP24

発行年月日

2007年8月24日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
