

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/X シリーズ

TMP88CH40NG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

-
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q
-
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C
-
- 本資料に掲載されている製品のうち外国為替および外国貿易法により、輸出または海外への提供が規制されているものがあります。021023_F
-
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D
-
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S
-

改訂履歴

日付	版	改訂理由
2007/5/22	1	First Release
2008/9/30	2	内容改訂

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○" の箇所にて使用し、"ー" の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	ー
110 (タイマカウンタ割り込 みでの転送クロックが右 記となる場合)	fc/8	○	ー	ー	ー
	fc/16	○	○	ー	ー
	fc/32	○	○	○	ー
上記以外		○	○	○	○

目次

TMP88CH40NG

1.1	特 長	1
1.2	ピン配置図	3
1.3	ブロック図	4
1.4	端子機能	5

第2章 動作説明

2.1	CPU コア機能	7
2.1.1	メモリアドレスマップ	7
2.1.2	プログラムメモリ (ROM)	7
2.1.3	データメモリ (RAM)	7
2.1.4	システムクロック制御回路	8
2.1.4.1	クロック ジェネレータ	
2.1.4.2	タイミング ジェネレータ	
2.1.4.3	スタンバイ制御回路	
2.1.4.4	動作モードの制御	
2.1.5	リセット回路	15
2.1.5.1	外部リセット入力	
2.1.5.2	アドレストラップ リセット	
2.1.5.3	ウォッチドッグタイマリセット	
2.1.5.4	システムクロック リセット	

第3章 割り込み制御回路

3.1	割り込みラッチ (IL38 ~ IL2)	18
3.2	割り込み許可レジスタ (EIR)	20
3.2.1	割り込みマスタ許可フラグ (IMF)	20
3.2.2	割り込み個別許可フラグ (EF38 ~ EF3)	20
3.3	割り込み処理	23
3.3.1	割り込み受け付け処理	23
3.3.2	汎用レジスタ退避 / 復帰処理	24
3.3.2.1	自動レジスタバンク切り替えによる汎用レジスタの退避 / 復帰	
3.3.2.2	レジスタバンク切り替えによる汎用レジスタの退避 / 復帰	
3.3.2.3	プッシュ / ポップ命令による汎用レジスタの退避 / 復帰	
3.3.2.4	転送命令による汎用レジスタの退避 / 復帰	
3.3.3	割り込みリターン	26
3.4	ソフトウェア割り込み (INTSW)	27
3.4.1	アドレスエラー検出	27
3.4.2	デバッグ	27
3.5	外部割り込み	28

第4章 スペシャルファンクションレジスタ

4.1	SFR	29
4.2	DBR	31

第5章 入出力ポート

5.1	P1 (P10) ポート.....	34
5.2	P3 (P37~P30) ポート	35
5.3	P4 (P45~P40) ポート	36
5.4	P6 (P63~P60) ポート	37

第6章 ウォッチドッグ タイマ (WDT)

6.1	ウォッチドッグ タイマの構成.....	39
6.2	ウォッチドッグタイマの制御	39
6.2.1	ウォッチドッグタイマによる暴走検出の方法.....	39
6.2.2	ウォッチドッグタイマのイネーブル	41
6.2.3	ウォッチドッグタイマのディセーブル.....	42
6.2.4	ウォッチドッグタイマ割り込み (INTWDT).....	42
6.2.5	ウォッチドッグタイマリセット	43

第7章 タイムベース タイマ (TBT)

7.1	タイムベースタイマ (TBT)	45
表 7-1		46

第8章 16 ビットタイマカウンタ 1 (TC1)

8.1	構成.....	47
8.2	制御.....	48
8.3	機能.....	49
8.3.1	タイマモード.....	49
図 8-2		50
図 8-2		50
図 8-2		50
図 8-2		50
図 8-2		50

第9章 8 ビットタイマカウンタ 3 (TC3)

9.1	構成.....	51
9.2	制御.....	52
9.3	機能.....	53
9.3.1	タイマモード.....	53
図 9-3		54
図 9-3		54

第10章 8 ビットタイマカウンタ 4 (TC4)

10.1	構成.....	55
10.2	制御.....	56
10.3	機能.....	57

10.3.1	タイマモード	57
表 10-1		57
表 10-1		57

第 11 章 モータ制御回路 (PMD: Programmable Motor Driver)

11.1	モータ制御の概要	60
11.2	モータ制御回路の構成	62
11.3	位置検出部	63
11.3.1	位置検出部構成	64
11.3.2	位置検出回路レジスタ機能	65
11.3.3	位置検出部の概略処理	68
11.4	タイマ部	69
11.4.1	タイマ部構成	69
11.4.1.1	タイマ回路のレジスタ機能	
11.4.1.2	タイマ部の概略処理	
11.5	3 相 PWM 出力部	73
11.5.1	3 相 PWM 出力部構成	73
11.5.1.1	パルス幅変調回路 (PWM 波形生成部)	
11.5.1.2	転流制御回路	
11.5.2	波形合成回路のレジスタ機能	77
11.5.3	UOC, VOC, WOC および UPWM, VPWM, WPWM の各ビットの設定によるポート出力	79
11.5.4	保護回路	81
11.5.5	保護回路レジスタの機能	83
11.6	電気角タイマ、および波形演算回路	85
11.6.1	電気角タイマおよび波形演算回路	86
11.6.1.1	電気角タイマ、波形演算回路レジスタ機能	
11.6.1.2	PMD 関連制御レジスタ一覧	

第 12 章 非同期型シリアルインターフェース (UART)

12.1	構成	97
12.2	制御	98
12.3	転送データフォーマット	100
12.4	転送レート	101
12.5	データのサンプリング方法	101
12.6	STOP ビット長	102
12.7	パリティ	102
12.8	送受信動作	102
12.8.1	データ送信動作	102
12.8.2	データ受信動作	102
12.9	ステータスフラグ	103
12.9.1	パリティエラー	103
12.9.2	フレーミングエラー	103
12.9.3	オーバランエラー	103
12.9.4	受信バッファフル	104
12.9.5	送信バッファエンプティ	104
12.9.6	送信終了フラグ	105

第 13 章 同期型シリアルインタフェース (SIO)

13.1	構成	107
13.2	制御	108
13.3	シリアルクロック	110
13.3.1	クロックソース	110

13.3.1.1 内部クロック	
13.3.1.2 外部クロック	
13.3.2 シフトエッジ	111
13.3.2.1 前縁シフト	
13.3.2.2 後縁シフト	
13.4 転送ビット数	111
13.5 転送ワード数	111
13.6 転送モード	112
13.6.1 4ビット送信モード, 8ビット送信モード	112
13.6.2 4ビット受信モード, 8ビット受信モード	114
13.6.3 8ビット送受信モード	115

第14章 10ビットADコンバータ(ADC)

14.1 構成	117
14.2 制御	118
14.3 機能	121
14.3.1 ソフトウェアスタートモード	121
14.3.2 リピードモード	121
14.3.3 レジスタの設定	122
14.4 入力電圧と変換結果	124
14.5 ADコンバータの注意事項	125
14.5.1 アナログ入力端子電圧範囲	125
14.5.2 アナログ入力兼用端子	125
14.5.3 ノイズ対策	125

第15章 端子の入出力回路

15.1 制御端子	127
15.2 入出力ポート	128

第16章 電気的特性

16.1 絶対最大定格	129
16.2 動作条件	130
16.3 DC特性	130
16.4 AD変換特性	131
16.5 AC特性	131
16.6 推奨発振条件	132
16.7 取り扱い上のご注意	132

第17章 外形寸法

CMOS 8 ビット マイクロコントローラ

TMP88CH40NG

製品形名	ROM (MaskROM)	RAM	パッケージ	OTP 内蔵品
TMP88CH40NG	16384 バイト	512+128 バイト	SDIP28-P-400-1.78	TMP88PH40

1.1 特 長

- 8 ビットシングルチップマイクロコントローラ : TLCS-870/X シリーズ
 - 最小実行時間 :
 - 0.20 μ s (20 MHz 動作時)
 - 基本機械命令 : 181 種類 842 命令
- 割り込み要因 19 要因 (外部 : 1, 内部 : 18)
- 入出力ポート (19 端子)
 - 大電流出力 14 端子 (Typ. 20mA)
- ウォッチドッグタイマ
 - 割り込み / 内部リセット発生の選択 (プログラマブル)
- プリスケアラ
 - タイムベースタイマ機能
- 16 ビットタイマカウンタ : 1 チャンネル
 - タイマモード
- 8 ビットタイマカウンタ : 1 チャンネル
 - タイマモード
- 8 ビットタイマカウンタ : 1 チャンネル
 - タイマモード
- プログラマブル モータ ドライバ (PMD) : 1 チャンネル
 - 正弦波駆動回路 (正弦波データテーブル RAM 内蔵)
 - ロータ位置検出機能

060629TBP

・当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。021023 _A

・本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器 など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 “ 特定用途 ” という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023 _B

・本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106 _Q

・本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023 _C

・本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023 _E

・本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023 _D

・マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519 _S

モータ制御タイマ／タイマキャプチャ機能

過負荷保護機能

自動転流／自動位置検出開始機能

- 8 ビット UART/SIO : 1 チャンネル
- 10 ビット逐次比較方式 AD コンバータ
 - アナログ入力 : 4 チャンネル
- クロック発振回路 : 1 回路
- 低消費電力動作
 - IDLE モード : CPU 停止。

周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)

- 動作電圧 :

4.5 V~5.5 V @ 20MHz

Not Recommended
for New Design

1.2 ピン配置図

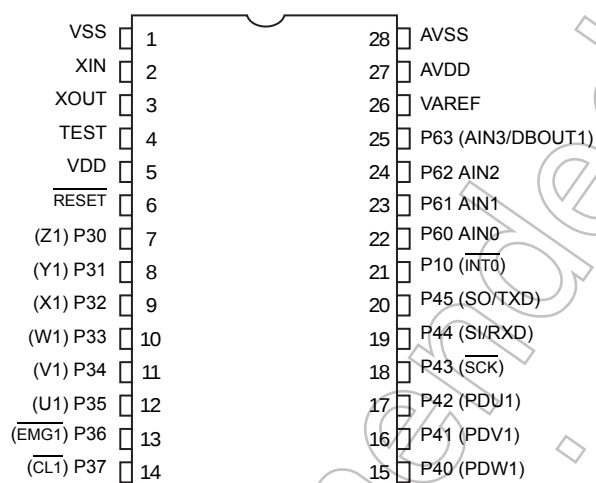


図 1-1 ピン配置図

1.3 ブロック図

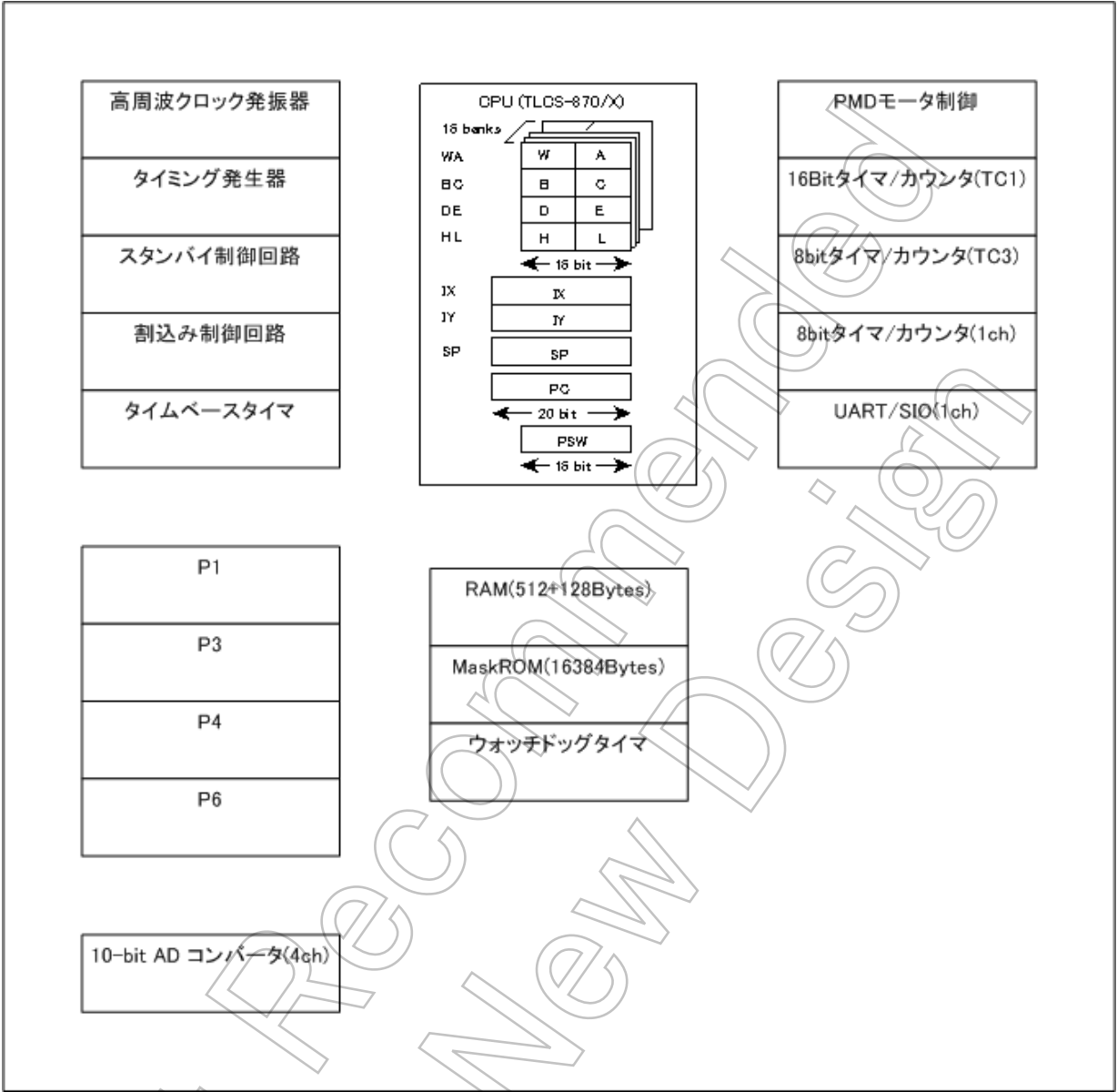


図 1-2 ブロック図

1.4 端子機能

表 1-1 端子機能表 (1 / 2)

端子名	ピン番号	入出力	機能
P10 INT0	21	IO I	ポート 10 外部割り込み 0 入力
P37 CL1	14	IO I	ポート 37 PMD 過負荷保護入力 1
P36 EMG1	13	IO I	ポート 36 PMD 緊急停止入力 1
P35 U1	12	IO O	ポート 35 PMD 制御出力 U1
P34 V1	11	IO O	ポート 34 PMD 制御出力 V1
P33 W1	10	IO O	ポート 33 PMD 制御出力 W1
P32 X1	9	IO O	ポート 32 PMD 制御出力 X1
P31 Y1	8	IO O	ポート 31 PMD 制御出力 Y1
P30 Z1	7	IO O	ポート 30 PMD 制御出力 Z1
P45 SO TXD	20	IO O O	ポート 45 シリアルデータ出力 UART データ出力
P44 SI RXD	19	IO I I	ポート 44 シリアルデータ入力 UART データ入力
P43 SCK	18	IO IO	ポート 43 シリアルクロック入出力
P42 PDU1	17	IO I	ポート 42 PMD 制御入力 U1
P41 PDV1	16	IO I	ポート 41 PMD 制御入力 V1
P40 PDW1	15	IO I	ポート 40 PMD 制御入力 W1
P63 AIN3 DBOUT1	25	IO I O	ポート 63 アナログ入力 3 PMD デバッグ出力 1
P62 AIN2	24	IO I	ポート 62 アナログ入力 2
P61 AIN1	23	IO I	ポート 61 アナログ入力 1
P60 AIN0	22	IO I	ポート 60 アナログ入力 0
XIN	2	I	高周波クロック発振子接続端子

表 1-1 端子機能表（2 / 2）

端子名	ピン番号	入出力	機能
XOUT	3	O	高周波クロック発振子接続端子
RESET	6	I	RESET 信号入力
TEST	4	I	TEST 端子入力およびシリアル PROM モード制御端子。通常 “L” レベルに固定します。シリアル PROM モード開始時には、“H” レベルにします。
VAREF	26	I	AD 変換用アナログ基準電圧入力端子
AVDD	27	I	アナログ電源
AVSS	28	I	アナログ電源
VDD	5	I	+5V
VSS	1	I	0(GND)

第 2 章 動作説明

2.1 CPU コア機能

CPU コアは、CPU、システムクロック制御回路および割り込み制御回路から構成されています。

本章では、CPU コア、プログラムメモリ、データメモリ、およびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP88CH40NG のメモリは、ROM、RAM、SFR (スペシャルファンクションレジスタ)、DBR (データバッファレジスタ) の 4 つのブロックで構成され、それらは 1 つの 1M バイトアドレス空間上にマッピングされています。図 2-1 に TMP88CH40NG のメモリアドレスマップを示します。また、汎用レジスタは 16 バンクあり、RAM アドレス空間上にマッピングされています。

SFR	{ 00000H 0003FH 00040H	64 バイト	スペシャルファンクションレジスタ
RAM (128 バイト)	{ 000BFH 000C0H	128 バイト	汎用レジスタバンク (8 レジスタ × 16 バンク)
RAM (512 バイト)	{ 002BFH	512 バイト	ランダムアクセスメモリ
DBR	{ 01F80H 01FFFH	128 バイト	データバッファレジスタ (周辺ハードウェア制御レジスタ/ステータスレジスタ)
ROM (16K バイト)	{ 04000H 07EFFH	16128 バイト	プログラムメモリ
	{ FFF00H FFF3EH FFF40H FFF7FH FFF80H	64 バイト 64 バイト	割り込みベクタテーブル ベクタコール命令用 ベクタテーブル
	{ FFFFH	128 バイト	割り込みベクタテーブル

ROM: リードオンリーメモリ
プログラムメモリ
ベクタテーブル

RAM: ランダムアクセスメモリ
データメモリ
スタック
汎用レジスタバンク

SFR: スペシャルファンクションレジスタ
入出力ポート
周辺ハードウェア制御レジスタ
周辺ハードウェアステータスレジスタ
システム制御レジスタ
割り込み制御レジスタ
プログラムステータスワード

DBR: データバッファレジスタ
入出力ポート
周辺ハードウェア制御レジスタ
周辺ハードウェアステータスレジスタ

図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (ROM)

TMP88CH40NG は、16K バイト (アドレス 04000H ~ 07EFFH 番地と FFF00H ~ FFFFFH 番地) のプログラムメモリ (マスク ROM) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP88CH40NG は、512 + 128 バイトの RAM を内蔵しています。内蔵 RAM のうち先頭の 128 バイト (00040H ~ 000BFH) は汎用レジスタバンクと兼用になっています。

データメモリの内容は、電源投入時 不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP88CH40NG の RAM クリア (バンク 0 以外の RAM をすべてゼロクリア)

```
LD      HL, 0048H      ; スタートアドレスの設定
LD      A, 00H         ; 初期化データ (00H) の設定
LD      BC, 277H       ; バイト数 (-1) の設定
SRAMCLR: LD      (HL+), A
DEC     BC
JRS     F, SRAMCLR
```

注) 汎用レジスタは RAM 上に存在しますので、カレントバンクのアドレスに対して RAM クリアしないでください。そのため、上記の例でバンク 0 を除いて RAM クリアしています。

2.1.4 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

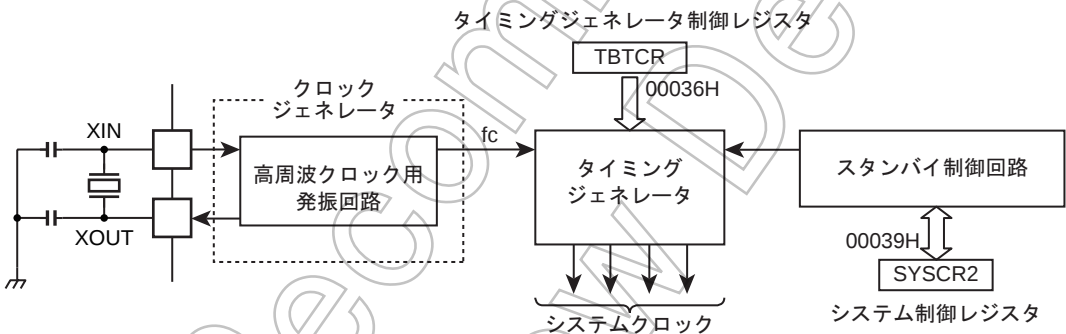


図 2-2 システムクロック制御回路

2.1.4.1 クロック ジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。

高周波クロック (周波数 f_c) は、それぞれ XIN, XOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN 端子からクロックを入力し、XOUT 端子は開放しておきます。TMP88CH40NG は、CR 発振には対応していません。

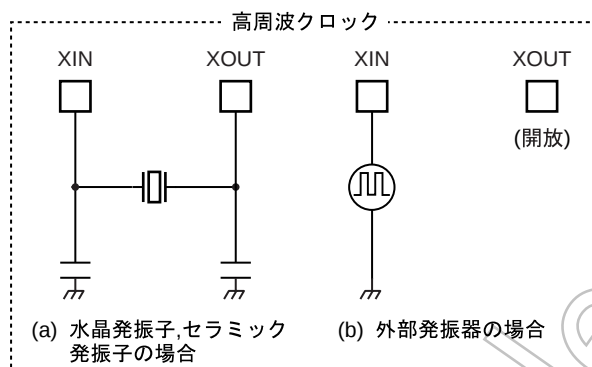


図 2-3 発振子の接続例

発振周波数の調整

注) 基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.1.4.2 タイミング ジェネレータ

タイミング ジェネレータは、基本クロックから CPU コアおよび 周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミング ジェネレータの機能は、次のとおりです。

1. タイムベースタイマのソースクロック生成
2. ウォッチドッグタイマのソースクロック生成
3. タイマカウンタの内部ソースクロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、3 段のプリスケアラ、21 段のデバイダ、マシンサイクルカウンタから構成されています。

なお、リセット時プリスケアラおよびデバイダは“0”にクリアされます。

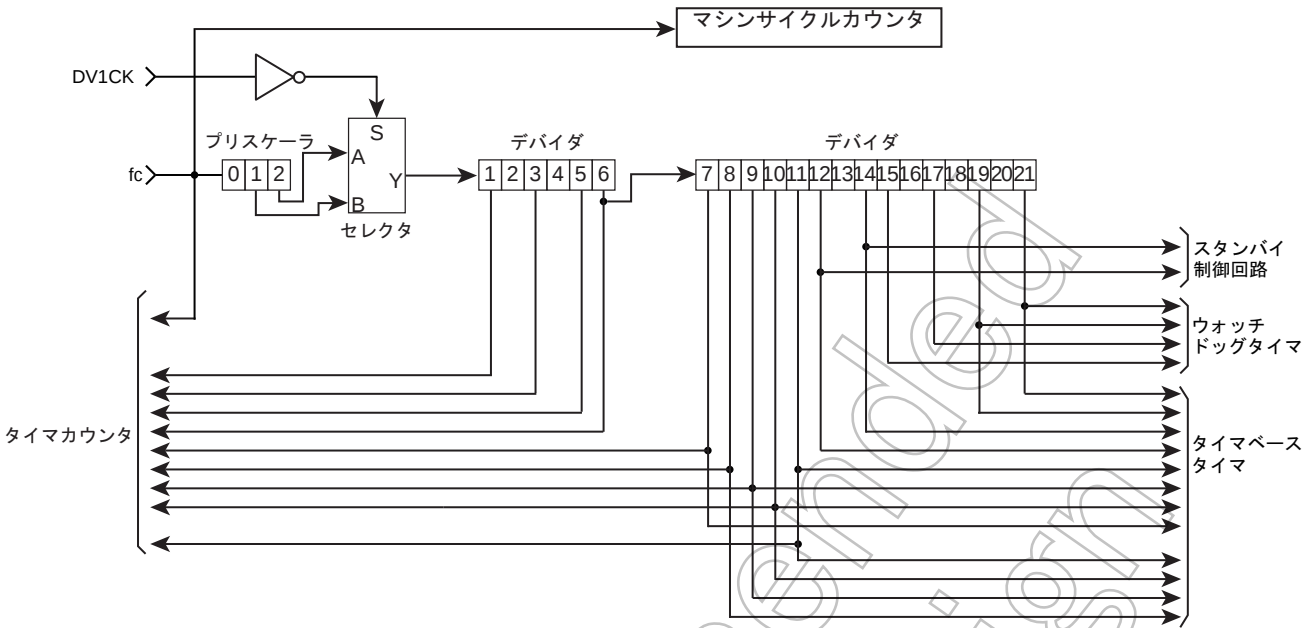


図 2-4 タイミングジェネレータの構成

デバイダ制御レジスタ

CGCR (0030H)	7	6	5	4	3	2	1	0	(初期値: 000*000)
	0	0	DV1CK			0	0	0	

DV1CK	デバイダの初段への入力ク ロックの選択	0: fc/4 1: fc/8	R/W
-------	------------------------	--------------------	-----

- 注 1) fc: 高周波クロック [Hz]、*: Don't care
注 2) CGCR のビット 4, 3 は、リードすると不定が読み出されます。
注 3) CGCR のビット 7, 6, 2 ~ 0 には必ず "0" を書き込んでください。

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。
命令実行の最小単位を、「マシンサイクル」と呼びます。TLCS-870/X シリーズの命令に
は、1 マシンサイクルで実行される 1 サイクル命令から最長 15 マシンサイクルを要する 15
サイクル命令までの 15 種類があります。

マシンサイクルは、4 ステート (S0 ~ S3) で構成され、各ステートは 1 メインシステムク
ロックで構成されます。

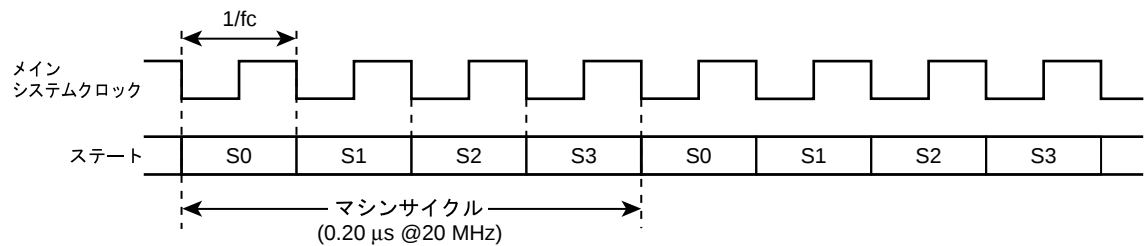


図 2-5 マシンサイクル

2.1.4.3 スタンバイ制御回路

スタンバイ制御回路は、高周波クロック用発振回路の発振/停止 および メインシステムクロックの切り替えを行います。動作モードの制御はシステム制御レジスタ (SYSCR2) で行います。図 2-6 に動作モード遷移図、次に制御レジスタを示します。

(1) シングル クロック モード

高周波クロック用発振回路のみ使用します。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/f_c$ [s] となります。

1. NORMAL モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。TMP88CH40NG では、リセット解除後このNORMALモードになります。

2. IDLE モード

CPU および ウォッチドッグ タイマ を停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLEモードの起動は、システム制御レジスタ2で行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMALモードに復帰します。IMF (割り込みマスタ許可フラグ) が“1”(割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0”(割り込み禁止状態) のときは、IDLEモードを起動した命令の次の命令から実行再開します。

動作モード		発振回路		CPU コア	周辺回路	マシンサイクル タイム
		高周波	低周波			
シングル クロック	RESET	発振	-	リセット	リセット	4/fc [s]
	NORMAL			動作	動作	
	IDLE			停止		

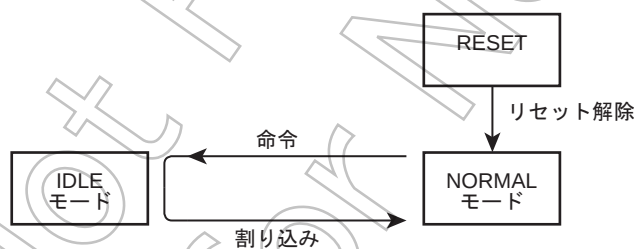


図 2-6 動作モード状態遷移図

システム制御レジスタ 2

SYSCR2 (0039H)	7	6	5	4	3	2	1	0	
	1	0	0	IDLE					(初期値: 1000 ****)

IDLE	IDLE モードの起動	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE モード 起動)	R/W
------	-------------	--	-----

注 1) SYSCR2 のビット 7 には必ず "1" を設定してください。"0" にクリアした場合、リセットがかかります。

- 注 2) WDT: ウォッチドッグタイマ、*: Don't care
注 3) SYSCR2 のビット 3 ~ 0 は、リードすると不定値が読み出されます。
注 4) SYSCR2 ビット 6,5 には必ず "0" を書き込んでください。

2.1.4.4 動作モードの制御

(1) IDLE モード

IDLE モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE モード中、次の状態を保持しています。

- 1. CPU およびウォッチドッグタイマは動作を停止します。
 周辺ハードウェアは動作を継続します。
- 2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE モードに入る直前の状態を保持します。
- 3. プログラムカウンタは、IDLE モードを起動する
 命令の 2 つ先の命令のアドレスを保持します。

(プログラム例) IDLE モードの起動

SET (SYSCR2).4

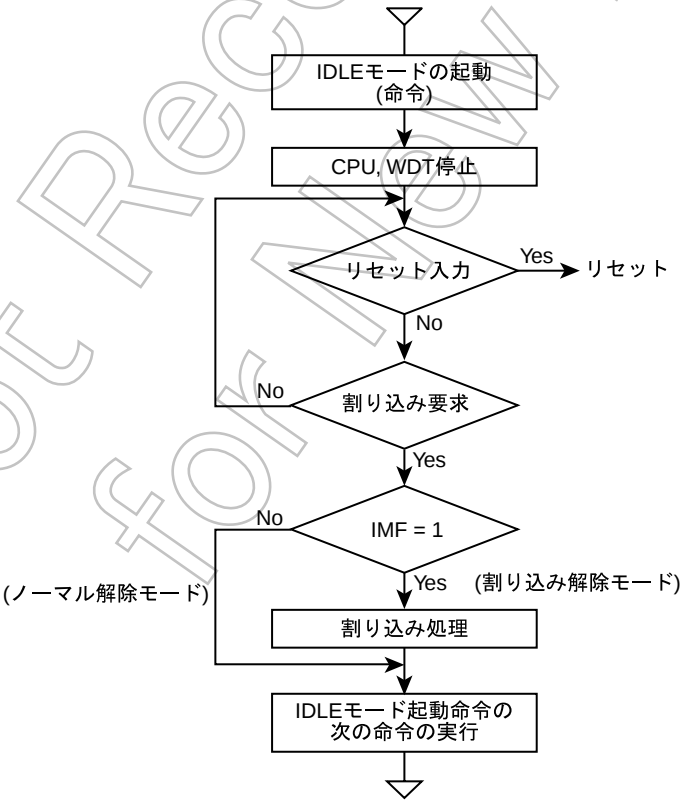


図 2-7 IDLE モード

IDLE モードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。

a. ノーマル解除モード (IMF = “0” のとき)

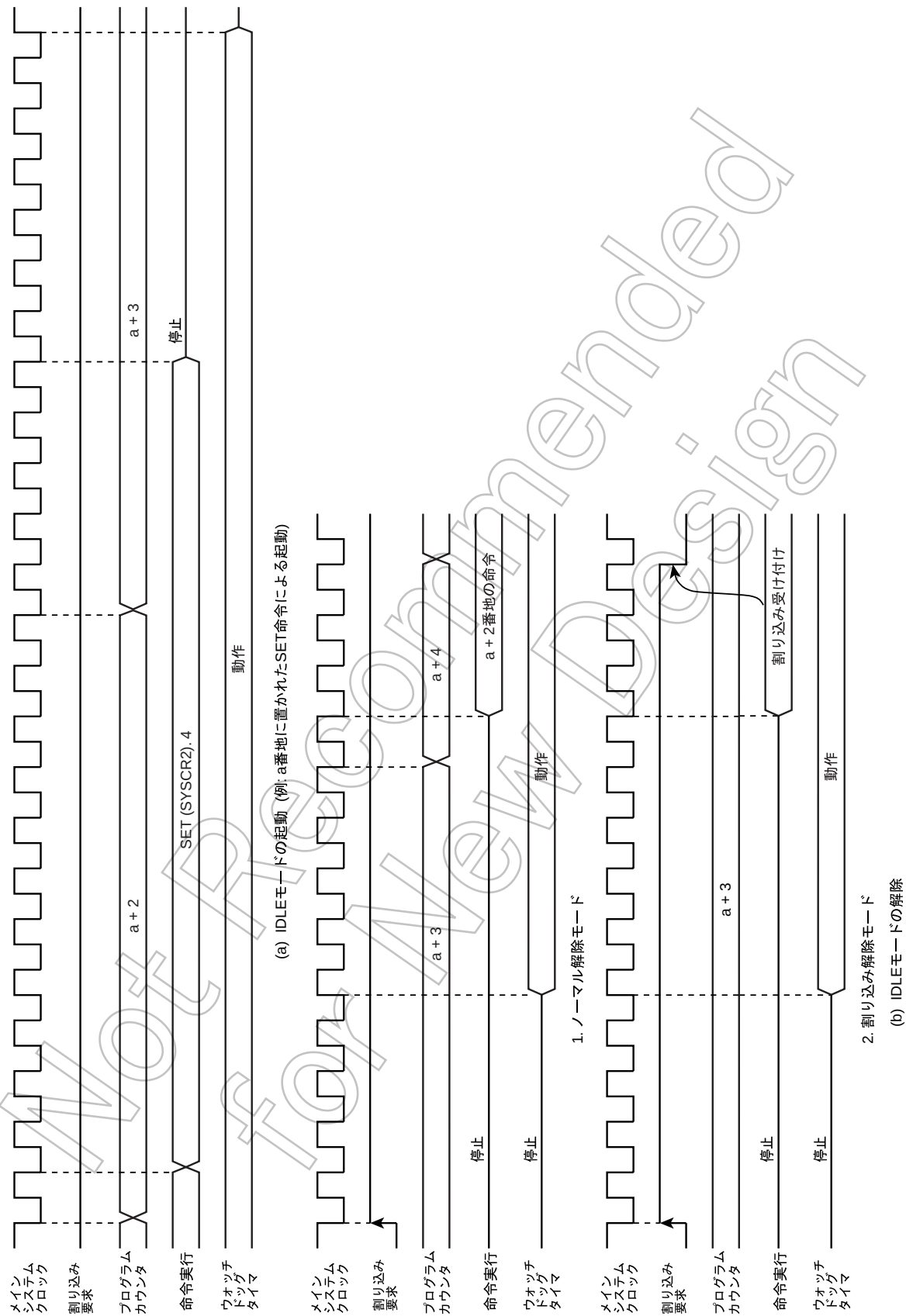
割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE モードが解除され、IDLE モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で “0” にクリアする必要があります。

b. 割り込み解除モード (IMF = “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE モードを起動した命令の次の命令に戻ります。

なお、IDLE モードは、 $\overline{\text{RESET}}$ 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後 NORMAL モードから始まります。

注) IDLE モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE モードは起動されずウォッチドッグタイマ割り込み処理が行われます。



2.1.5 リセット回路

TMP88CH40NG には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

表 2-2 にリセット動作による内蔵ハードウェアの初期化を示します。

電源投入時、内部要因リセット出力回路（ウォッチドッグタイマリセット、アドレストラップリセットおよびシステムクロックリセット）は初期化されません。

表 2-2 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFFEH ~ FFFFCH)	タイミング ジェネレータのプリ スケーラおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L)	初期化されません		
レジスタバンクセクタ (RBS)	0	ウォッチドッグ タイマ	イネーブル
ジャンプステータスフラグ (JF)	1		
ゼロフラグ (ZF)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの 説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの 説明箇所を参照
割り込みラッチ (IL)	0		
割り込みネスティングフラグ (INF)	0	RAM	初期化されません

2.1.5.1 外部リセット入力

RESET 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3マシンサイクル ($12/f_c$ [s]) 以上の間 RESET 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、FFFFCH ~ FFFFCH 番地に格納されたベクタアドレスからプログラムの実行を開始します。

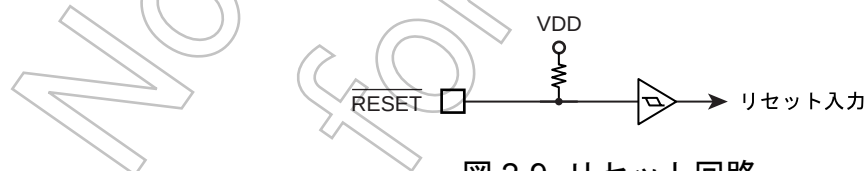


図 2-9 リセット回路

2.1.5.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM、SFR または DBR 領域から命令をフェッチしようとするすると内部リセットが発生します。

アドレストラップ制御レジスタ (ATAS, ATKEY) によりアドレストラップ許可 / 禁止を設定できます。アドレストラップは初期状態では許可され、内蔵 RAM、SFR または DBR 領域からフェッチしようとするすると内部リセットが発生します。アドレストラップを禁止すると内蔵 RAM 領域の命令を実行可能です。

アドレストラップ制御レジスタ

ATAS (1F94H)	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	ATAS	(初期値: **** *0)

ATAS	アドレストラップの許可 / 禁止 の選択	0: アドレストラップ許可 1: アドレストラップ禁止 (ATKEY に制御コードを書き込むと有効)	Write only
------	-------------------------	---	---------------

アドレストラップ制御コードレジスタ

ATKEY (1F95H)	7	6	5	4	3	2	1	0	
									(初期値: **** ***)

ATKEY	アドレストラップ禁止の制御 コード書き込み	D2H: アドレストラップ禁止コード その他: 無効	Write only
-------	--------------------------	-------------------------------	---------------

注) ATAS、ATKEY は書き込み専用レジスタですので、ビット操作などのリードモデファイライト命令ではアクセスできません。

- 注 1) 開発ツールではアドレストラップ制御レジスタによる内蔵 RAM、SFR または DBR 領域のアドレストラップ禁止を設定できません。ユーザープログラム内でのアドレストラップの許可 / 禁止設定の変更は開発ツール使用時は無効となります。開発ツールで RAM 領域から命令実行するには開発ツールの設定が必要です。
- 注 2) アドレストラップ領域の 1 つ前のアドレスにある SWI 命令を実行した場合、SWI 割り込み受け付け終了後、直ちにアドレストラップ割り込み受け付け処理を行います。

開発ツールでの設定方法

- アドレストラップ禁止にする場合
 - Memory Map ウィンドウで iram (マッピング属性) の領域を 00040H ~ 000BFH に変更します。
 - 新規追加で eram (マッピング属性) として 000C0H ~ アドレストラップ禁止領域まで設定します。
 - ユーザープログラムをローディングします。
 - ユーザープログラムでアドレストラップ禁止コードを実行します。

2.1.5.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』の章をご参照ください。

2.1.5.4 システムクロック リセット

SYSCR2 のビット 7 を “0” にクリアした場合、システムクロックが停止し、CPU がデッドロック状態に陥ります。
これを防ぐため、SYSCR2 のビット 7 に “0”，または SYSCR2 のビット 5 に “1” を検出すると自動的にリセット信号を発生し発振を継続させます。

第 3 章 割り込み制御回路

TMP88CH40NG には、リセットを除き合計 19 種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち 2 種は擬似ノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可 / 禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部 / 外部	(リセット)	ノンマスカブル	-	FFFFC	高い 0
内部	INTSW (ソフトウェア割り込み)	擬似ノンマスカブル	-	FFFF8	1
内部	INTWDT (ウォッチドッグタイマ割り込み)	擬似ノンマスカブル	IL2	FFFF4	2
外部	INT0 (外部割り込み 0)	IMF・EF3 = 1, INT0EN = 1	IL3	FFFF0	3
-	reserved	IMF・EF4 = 1	IL4	FFFE C	4
-	reserved	IMF・EF5 = 1	IL5	FFFE8	5
内部	INTTBT(TBT)	IMF・EF6 = 1	IL6	FFFE4	6
-	reserved	IMF・EF7 = 1	IL7	FFFE0	7
内部	INTEMG1(ch1 異常検出)	IMF・EF8 = 1	IL8	FFFD C	8
-	reserved	IMF・EF9 = 1	IL9	FFFD8	9
内部	INTCLM1(ch1 過負荷保護)	IMF・EF10 = 1	IL10	FFFD4	10
-	reserved	IMF・EF11 = 1	IL11	FFFD0	11
内部	INTTMR31(ch1 タイマ 3)	IMF・EF12 = 1	IL12	FFFC C	12
-	reserved	IMF・EF13 = 1	IL13	FFFC8	13
-	reserved	IMF・EF14 = 1	IL14	FFFC4	14
-	reserved	IMF・EF15 = 1	IL15	FFFC0	15
内部	INTPDC1(ch1 位置検出)	IMF・EF16 = 1	IL16	FFFB C	16
-	reserved	IMF・EF17 = 1	IL17	FFFB8	17
内部	INTPWM1(ch1 波形発生器)	IMF・EF18 = 1	IL18	FFFB4	18

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
-	reserved	IMF・EF19 = 1	IL19	FFFB0	19
内部	INTEDT1(ch1 電気角タイマ)	IMF・EF20 = 1	IL20	FFFAC	20
-	reserved	IMF・EF21 = 1	IL21	FFFA8	21
内部	INTTMR11(ch1 タイマ 1)	IMF・EF22 = 1	IL22	FFFA4	22
-	reserved	IMF・EF23 = 1	IL23	FFFA0	23
内部	INTTMR21(ch1 タイマ 2)	IMF・EF24 = 1	IL24	FFF9C	24
-	reserved	IMF・EF25 = 1	IL25	FFF98	25
内部	INTTC1(TC1)	IMF・EF26 = 1	IL26	FFF94	26
-	reserved	IMF・EF27 = 1	IL27	FFF90	27
-	reserved	IMF・EF28 = 1	IL28	FFF8C	28
-	reserved	IMF・EF29 = 1	IL29	FFF88	29
-	reserved	IMF・EF30 = 1	IL30	FFF84	30
-	reserved	IMF・EF31 = 1	IL31	FFF80	31
内部	INTRX(UART 受信)	IMF・EF32 = 1	IL32	FFF3C	32
内部	INTTX(UART 送信)	IMF・EF33 = 1	IL33	FFF38	33
内部	INTSIO(SIO 割り込み)	IMF・EF34 = 1	IL34	FFF34	34
内部	INTTC3(TC3)	IMF・EF35 = 1	IL35	FFF30	35
内部	INTTC4(TC4)	IMF・EF36 = 1	IL36	FFF2C	36
-	reserved	IMF・EF37 = 1	IL37	FFF28	37
内部	INTADC(A/D)	IMF・EF38 = 1	IL38	FFF24	低い 38

注) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTCCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1 割り込みラッチ (IL38～IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により "1" にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは "0" にクリアされます。リセット時、割り込みラッチはすべて "0" に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH, 002BH, 002EH, 002FH 番地に割り付けられており、IL2 を除いて命令によって個別にクリアすることができます。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みラッチのクリア

DI		; 割り込み禁止 (IMF ← 0)
LD	(ILL), 00000000B	; IL7~IL2 ← 0
LD	(ILH), 00000000B	; IL8~IL15 ← 0
LD	(ILE), 00000000B	; IL16~IL23 ← 0
LD	(ILD), 00000000B	; IL24~IL31 ← 0
LD	(ILC), 00000000B	; IL32~IL38 ← 0
EI		; 割り込み許可 (IMF ← 1)

(プログラム例 2) 割り込みラッチの読み出し

LD	WA, (ILL)	; W ← (ILH), A ← (ILL)
LD	BC, (ILE)	; B ← (ILD), C ← (ILE)
LD	D, (ILC)	; D ← (ILC)

(プログラム例 3) 割り込みラッチのテスト

TEST	(ILL), 7	; IL7 = 1 ならジャンプ
JR	F, SSET	

3.2 割り込み許可レジスタ (EIR)

擬似ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可 / 禁止を行うレジスタです。擬似ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH, 002CH, 002DH, 002AH 番地に割り付けられており、命令でリード / ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可 / 禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後 “0” にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスクابل割り込みリターン命令 [RETI] により “1” にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI] 命令の実行直後から割り込み処理に入ります。

擬似ノンマスクابل割り込みの場合は、ノンマスクابل割り込みリターン命令 [RETN] により、リターンします。この場合、割り込み受け付けの許可状態 (IMF=1) で擬似ノンマスクابل割り込み処理に入ったときのみ、割り込みマスタ許可フラグは “1” にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを “0” にクリアした場合は “0” のままです。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード / ライト できます。通常、割り込みマスタ許可フラグのセット / クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは “0” に初期化されます。

3.2.2 割り込み個別許可フラグ (EF38 ~ EF3)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可 / 禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが “1” なら割り込み受け付けを許可し、“0” なら禁止します。

なお、リセット時、割り込み個別許可フラグは “0” に初期化されます。個別許可フラグが “1” にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を “0” にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を “1” にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に “0” になりますので、通常割り込みサービスプログラムの中で IMF を “0” にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を “1” にセットする前に EF および IL を設定してください。

(プログラム例) 割り込みの個別許可と IMF のセット

DI		; IMF ← 0
SET	(EIRL), .5	; EF5 ← 1
CLR	(EIRL), .6	; EF6 ← 0
CLR	(EIRH), .4	; EF12 ← 0
CLR	(EIRD), .0	; EF24 ← 0
EI		; IMF ← 1

割り込みラッチ

(初期値: ***0*0*0 *0**0000)

ILH,ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	IL12	-	IL10	-	IL8	-	IL6	-	-	IL3	IL2	INF	
	ILH (003DH)								ILL (003CH)							

(初期値: *****0*0 *0*0*0*0)

ILD,ILE (002FH,002EH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	IL26	-	IL24	-	IL22	-	IL20	-	IL18	-	IL16
	ILD (002FH)								ILE (002EH)							

(初期値: *0*00000)

ILC (002BH)	7	6	5	4	3	2	1	0
	-	IL38	-	IL36	IL35	IL34	IL33	IL32
	ILC (002BH)							

IL38~IL2	割り込みラッチ	RD 時	WR 時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注 1) 1: セットは不可	
INF	割り込みネスティングフラグ	00: 非割り込みサービス中 01: 1レベルの割り込みサービス中 10: 2レベル以上の割り込みサービス中 11: 3レベル以上の割り込みサービス中	00: reserved 01: ネスティングカウンタをクリア 10: ネスティングカウンタを1つカウントダウンする。(注 2) 11: reserved	

- 注 1) IL2 のみクリアはできません。
- 注 2) カウンタのアンダフローは認識できません。
- 注 3) ネスティングカウンタは、初期状態で "0" にクリアされ、割り込みの受け付けによりカウントアップし、割り込みリターンの実行によりカウントダウンします。
- 注 4) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 5) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値: ***0*0*0 *0**0**0)

EIRH,EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	EF12	-	EF10	-	EF8	-	EF6	-	-	EF3			IMF
	EIRH (003BH)								EIRL (003AH)							

(初期値: *****0*0 *0*0*0*0)

EIRD,EIRE (002DH, 002CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	EF26	-	EF24	-	EF22	-	EF20	-	EF18	-	EF16
	EIRD (002DH)								EIRE (002CH)							

(初期値: *0*00000)

EIRC (002AH)	7	6	5	4	3	2	1	0
	-	EF38	-	EF36	EF35	EF34	EF33	EF32
	EIRC (002AH)							

EF38~EF3	割り込み個別許可フラグ (ビットごとに指定)	0: マスカブル割り込み個々の受け付け禁止 1: マスカブル割り込み個々の受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: マスカブル割り込み全体の受け付け禁止 1: マスカブル割り込み全体の受け付け許可	

- 注 1) ノンマスカブル割り込みサービスプログラム中で、割り込み許可フラグ (EF38~3) と同時に IMF を “1” にセットしないでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を “0” にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を “1” にセットしてください (EI 命令による割り込みの許可)。
- 割り込みサービスプログラムでは、IMF は自動的に “0” になりますので、通常割り込みサービスプログラムの中で IMF を “0” にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を “1” にセットする前に EF および IL を設定してください。

3.3 割り込み処理

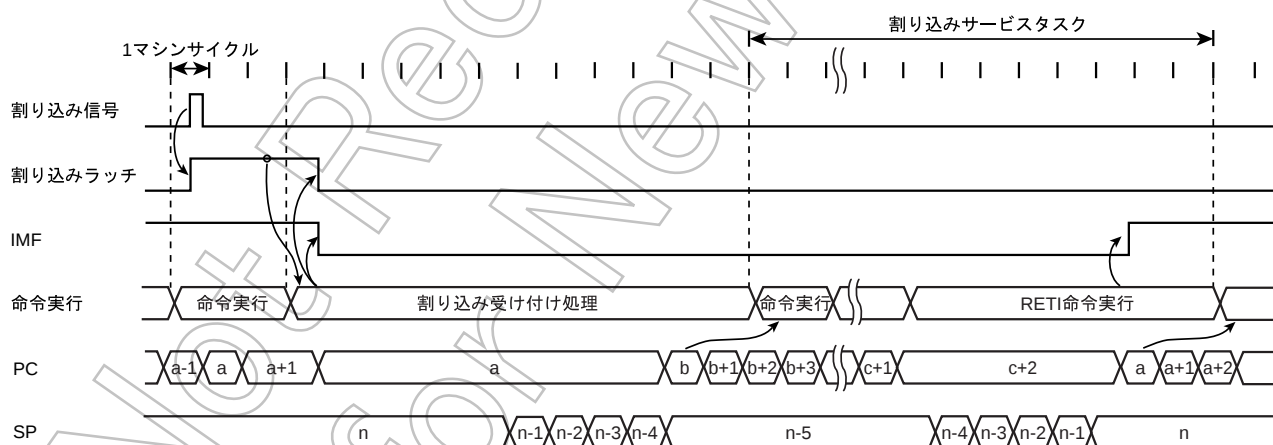
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、12 マシンサイクル (2.4 μ s @20.0 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (擬似ノンマスカブル割り込みの場合) を実行して終了します。

3.3.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的にを行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータス ワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSWH, PSWL, PCE, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は5回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. ベクタテーブルから RBS 制御コードを読み出し、その下位 4 ビットをレジスタバンクセクタ (RBS) に加えます。
6. 割り込みネスティングカウンタをカウントアップさせます。
7. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 62/fc [s] (15 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

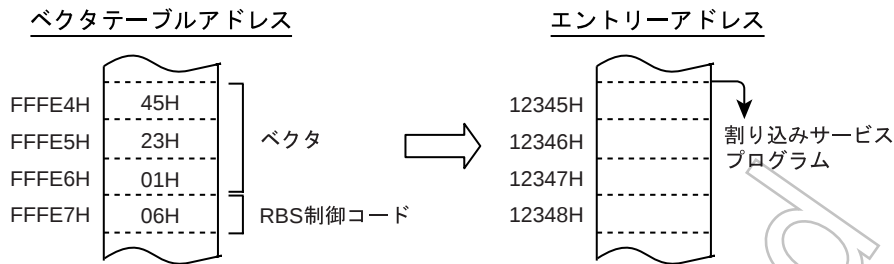


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、擬似ノンマスカブル割り込みのサービスタスク中に、EIRL(0003AH 番地) に対してリードモディファイ命令を実行しないでください。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.3.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の 4 つの方法があります。

3.3.2.1 自動レジスタバンク切り替えによる汎用レジスタの退避 / 復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常バンク 0 はメインタスク用にバンク 1~15 を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令 [RETI]/[RETN] の実行で自動的に復帰します。従って、RBS をプログラムで退避する必要はありません。

```
(プログラム例) レジスタバンク切り替え
PINTxx: 割り込み処理 ; 割り込み処理先頭
        RETI          ; 割り込み終了
        :
VINTxx:  DP          PINTxx ; PINTxx ベクタアドレス設定
        DB          1      ; PINTxx 時の RBS 設定 RBS ← RBS+1
```

3.3.2.2 レジスタバンク切り替えによる汎用レジスタの退避 / 復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常バンク 0 はメインタスク用にバンク 1~15 の任意を割り込みサービスタスクに使用します。

(プログラム例) レジスタバンク切り替え

```

PINTxx:    LD          RBS, n          ; 割り込み処理先頭 RBS ← n
            [割り込み処理]
            RETI          ; 割り込み終了 RBS 復帰と割り込みリターン
            :
VINTxx:    DP          PINTxx          ; PINTxx ベクタアドレス設定
            DB          0              ; PINTxx 時の RBS 設定 RBS ← RBS+0
    
```

3.3.2.3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

```

PINTxx      PUSH      WA              ; WA レジスタペアをスタックに退避
            [割り込み処理]
            POP       WA              ; WA レジスタペアをスタックから復帰
            RETI          ; リターン
    
```

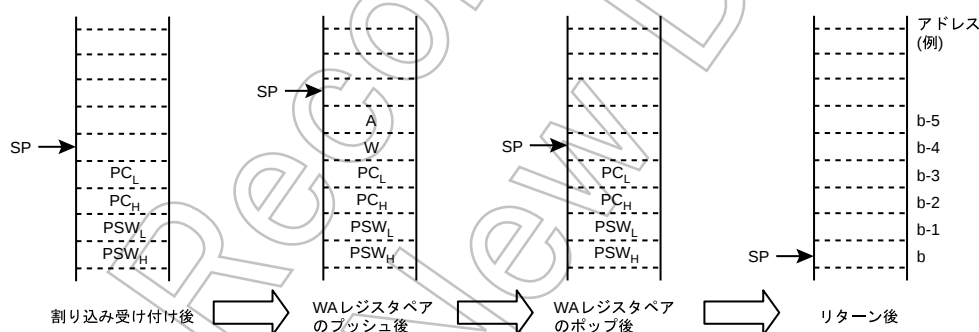


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

3.3.2.4 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```

PINTxx:    LD          (GSAVA), A      ; A レジスタの退避
            [割り込み処理]
            LD          A, (GSAVA)      ; A レジスタの復帰
            RETI          ; リターン
    
```

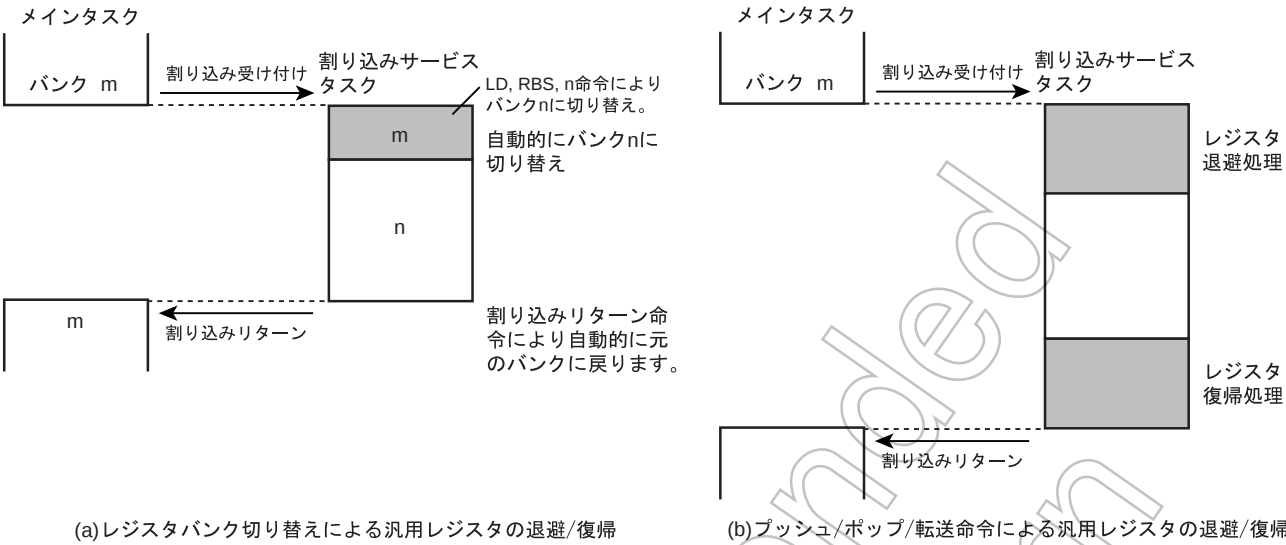


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.3.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 ②スタックポインタを 5 回インクリメントします。 ③割り込みマスタ許可フラグを "1" にセットします。 ④割り込みネスティングカウンタがディクリメントされ、割り込みネスティングフラグが変化します。	①プログラムカウンタ、プログラムステータスワードおよび IMF の内容をスタックからそれぞれリストアします。 ②スタックポインタを 5 回インクリメントします。 ③割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみマスタ許可フラグを "1" にセットします。ただし、割り込み サービスプログラム中で、割り込みマスタ許可フラグを "0" にクリアした場合は、"0" のままです。 ④割り込みネスティングカウンタがディクリメントされ、割り込みネスティングフラグが変化します。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.4 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI 命令を実行してもソフトウェア割り込みは発生せず、NOP 命令と同一の動作を行います。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.4.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.4.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.5 外部割り込み

TMP88CH40NG には、1 本の外部割り込み入力があり、デジタルノイズ除去回路付き (一定時間未満のパルス入力をノイズとして除去します) となっています。

なお、 $\overline{\text{INT0}}$ /P10 端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

ノイズ除去の制御 および $\overline{\text{INT0}}$ /P10 端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	兼用端子	許可条件	エッジ (レベル)	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	P10	$\text{IMF} \cdot \text{EF3} \cdot \text{INT0EN}=1$	立ち下がりエッジ	$2/\text{fc}$ [s] 未満のパルスはノイズとして除去されま す。 $6/\text{fc}$ [s] 以上は確実に信号とみなされます。 ($\text{CGCR}<\text{DV1CK}>="0"$ のとき)

- 注 1) $\text{EINTCR}<\text{INT0EN}>="0"$ のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL3 はセットされま
せん。
- 注 2) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信
号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0
(0037H)		INT0EN						
								(初期値: *0*** ***)

INT0EN	P10/INT0 の機能選択	0: P10 入出力ポート 1: $\overline{\text{INT0}}$ 端子 (P10 ポートは入力モードにしてください)	R/W
--------	----------------	--	-----

- 注 1) fc; 高周波クロック [Hz] *; Don't care
- 注 2) 外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場
合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

第 4 章 スペシャルファンクションレジスタ

TMP88CH40NG は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 1F80H~1FFFH にマッピングされています。

本章では、TMP88CH40NG の SFR, DBR の一覧を示します。

4.1 SFR

アドレス	リード	ライト
0000H		Reserved
0001H		P1DR
0002H		Reserved
0003H		P3DR
0004H		P4DR
0005H		Reserved
0006H		P6DR
0007H		Reserved
0008H		Reserved
0009H		Reserved
000AH		Reserved
000BH		P1CR
000CH		Reserved
000DH		Reserved
000EH		Reserved
000FH		TC1CR
0010H		TC1DRAL
0011H		TC1DRAH
0012H	TC1DRBL	-
0013H	TC1DRBH	-
0014H		Reserved
0015H		Reserved
0016H		Reserved
0017H		Reserved
0018H		Reserved
0019H		Reserved
001AH		TC4CR
001BH		TC4DR
001CH		TC3DRA
001DH	TC3DRB	-
001EH		TC3CR
001FH		Reserved
0020H		Reserved
0021H		Reserved
0022H		Reserved
0023H		Reserved
0024H		Reserved
0025H		Reserved
0026H		ADCCRA

アドレス	リード	ライト
0027H	ADCCRB	
0028H	ADCDRL	-
0029H	ADCDRH	-
002AH	EIRC	
002BH	ILC	
002CH	EIRE	
002DH	EIRD	
002EH	ILE	
002FH	ILD	
0030H	CGCR	
0031H	Reserved	
0032H	Reserved	
0033H	Reserved	
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H	TBTCR	
0037H	EINTCR	
0038H	Reserved	
0039H	SYSCR2	
003AH	EIRL	
003BH	EIRH	
003CH	ILL	
003DH	ILH	
003EH	PSWL	
003FH	PSWH	

注 1) Reserved の番地はプログラムでアクセスしないでください。

注 2) - ; アクセスできません。

注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

4.2 DBR

アドレス	PMD 適用 ch	リード	ライト
1F80H		—	
1F81H		—	
1F82H		—	
1F83H		P3ODE	
1F84H		P4ODE	
1F85H		—	
1F86H		—	
1F87H		—	
1F88H		—	
1F89H		P3CR	
1F8AH		P4CR	
1F8BH		—	
1F8CH		P6CR	
1F8DH		—	
1F8EH		—	
1F8FH		—	
1F90H		—	
1F91H		UARTSR	UARTCRA
1F92H		—	UARTCRB
1F93H		RDBUF	TDBUF
1F94H		—	ATAS
1F95H		—	ATKEY
1F96H		—	SIOCR1
1F97H		SIOSR	SIOCR2
1F98H		—	SIOBR0
1F99H		—	SIOBR1
1F9AH		—	SIOBR2
1F9BH		—	SIOBR3
1F9CH		—	SIOBR4
1F9DH		—	SIOBR5
1F9EH		—	SIOBR6
1F9FH		—	SIOBR7
1FA0H	PMD ch.1 用	—	PDCRA
1FA1H	PMD ch.1 用	—	PDCRB
1FA2H	PMD ch.1 用	PDCRC	—
1FA3H	PMD ch.1 用	—	SDREG
1FA4H	PMD ch.1 用	—	MTCRA
1FA5H	PMD ch.1 用	—	MTCRB
1FA6H	PMD ch.1 用	MCAPL	—
1FA7H	PMD ch.1 用	MCAPH	—
1FA8H	PMD ch.1 用	—	CMP1L
1FA9H	PMD ch.1 用	—	CMP1H
1FAAH	PMD ch.1 用	—	CMP2L
1FABH	PMD ch.1 用	—	CMP2H
1FACH	PMD ch.1 用	—	CMP3L

アドレス	PMD 適用 ch	リード	ライト
1FADH	PMD ch.1 用		CMP3H
1FAEH	PMD ch.1 用		MDCRA
1FAFH	PMD ch.1 用		MDCRB
1FB0H	PMD ch.1 用		EMGCRA
1FB1H	PMD ch.1 用		EMGCRB
1FB2H	PMD ch.1 用		MDOUTL
1FB3H	PMD ch.1 用		MDOUTH
1FB4H	PMD ch.1 用	MDCNTL	—
1FB5H	PMD ch.1 用	MDCNTH	—
1FB6H	PMD ch.1 用		MDPRDL
1FB7H	PMD ch.1 用		MDPRDH
1FB8H	PMD ch.1 用		CMPUL
1FB9H	PMD ch.1 用		CMPUH
1FBAH	PMD ch.1 用		CMPVL
1FBBH	PMD ch.1 用		CMPVH
1FBCH	PMD ch.1 用		CMPWL
1FBDH	PMD ch.1 用		CMPWH
1FBEH	PMD ch.1 用		DTR
1FBFH	PMD ch.1 用	—	EMGREL
1FC0H	PMD ch.1 用		EDCRA
1FC1H	PMD ch.1 用		EDCRB
1FC2H	PMD ch.1 用		EDSETL
1FC3H	PMD ch.1 用		EDSETH
1FC4H	PMD ch.1 用		ELDEGL
1FC5H	PMD ch.1 用		ELDEGH
1FC6H	PMD ch.1 用		AMPL
1FC7H	PMD ch.1 用		AMPH
1FC8H	PMD ch.1 用	EDCAPL	—
1FC9H	PMD ch.1 用	EDCAPH	—
1FCAH	PMD ch.1 用	—	WFMDR
1FCBH		—	
1FCCH		Reserved	
~		:	
1FFFH		Reserved	

注 1) Reserved の番地はプログラムでアクセスしないでください。

注 2) — ; アクセスできません。

注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

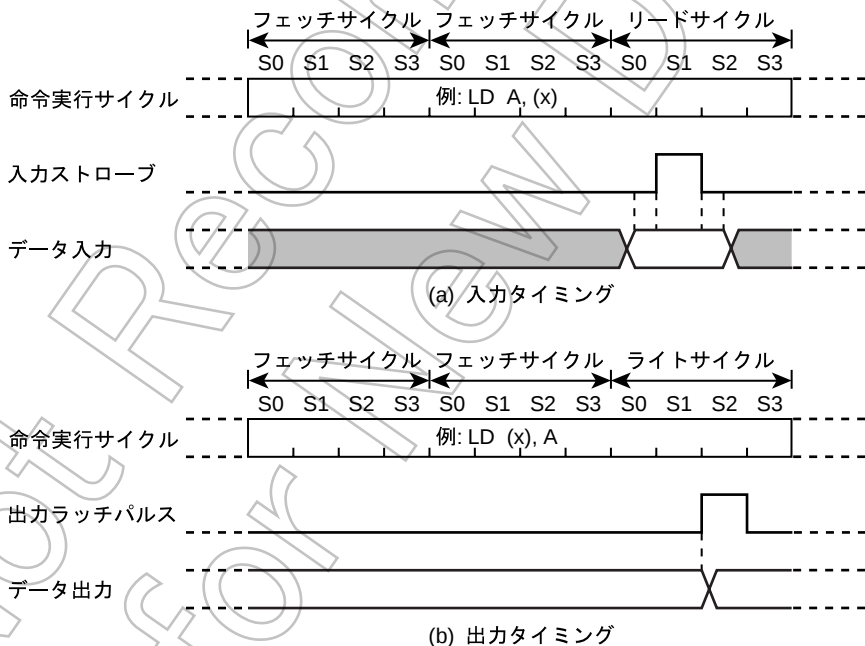
第 5 章 入出力ポート

TMP88CH40NG は、4 ポート 19 端子の入出力ポートを内蔵しています。

1. P1 ポート ;
1 ビット入出力ポート (外部割り込み入力)
2. P3 ポート ;
8 ビット入出力ポート (モータ制御回路入出力)
3. P4 ポート ;
6 ビット入出力ポート (シリアルインタフェース入出力 , モータ制御回路入力)
4. P6 ポート ;
4 ビット入出力ポート (アナログ入力 , モータ制御回路出力)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを入力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

1. 出力ラッチの内容を読み込む命令
- XCH r, (src)

- SET/CLR/CPL (src).b

- SET/CLR/CPL (pp).g

- LD (src).b, CF

- LD (pp).b, CF

- XCH CF, (src). b

- ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), n

- ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (src) 側

- MXOR (src), m
2. 端子入力値を読み込む命令
- 上記以外の命令および ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (HL) 側

5.1 P1 (P10) ポート

P1 ポートは 1 ビット入出力ポートで、外部割り込み入力と兼用です。入力ポートと出力ポートの切り替えは、P1 ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CR は “0” に初期化され、P1 ポートは入力ポートになります。また、リセット時、出力ラッチ (P1DR) は “0” に初期化されます。

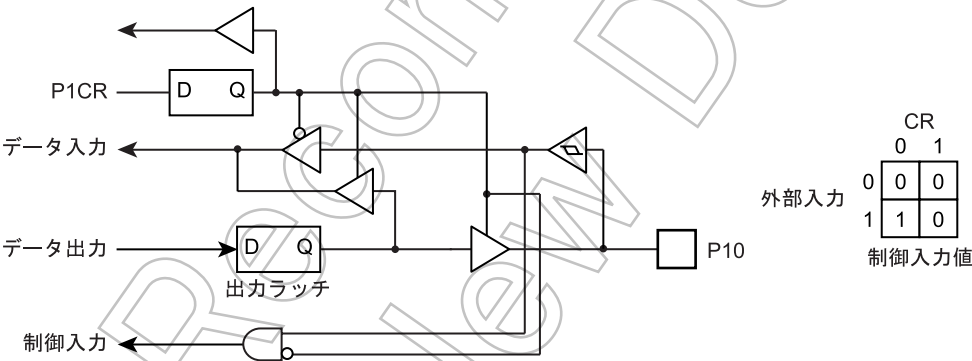


図 5-2 P1 ポート

P1 ポート入出力レジスタ

P1DR	7	6	5	4	3	2	1	0
(00001H)								P10
R/W								INT0
P1CR	7	6	5	4	3	2	1	0
(0000BH)								

(初期値: **** *0)

(初期値: **** *0)

P1CR	P1 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

注 1) P1 ポートに対してリード命令を実行した場合、ビット 7~1 は不定値が読み込まれます。
注 2) *: Don't care

5.2 P3 (P37~P30) ポート

P3 ポートは 8 ビットの入出力ポートです。入力ポートと出力ポートの切り替えは、P3 ポート入出力制御レジスタ (P3CR) によって行います。リセット時、P3CR は “0” に初期化され、P3 ポートは入力ポートになります。また、リセット時、出力ラッチ (P3DR) は “0” に初期化されます。

P3 ポートは、ビットごとのプログラミング制御が可能なオープンドレイン制御を内蔵しています。オープンドレインとトライステートを切り替えるには、P3 ポートオープンドレイン制御 (P3ODE) によって行います。リセット時、P3ODE は “0” に初期化されトライステートの状態になります。

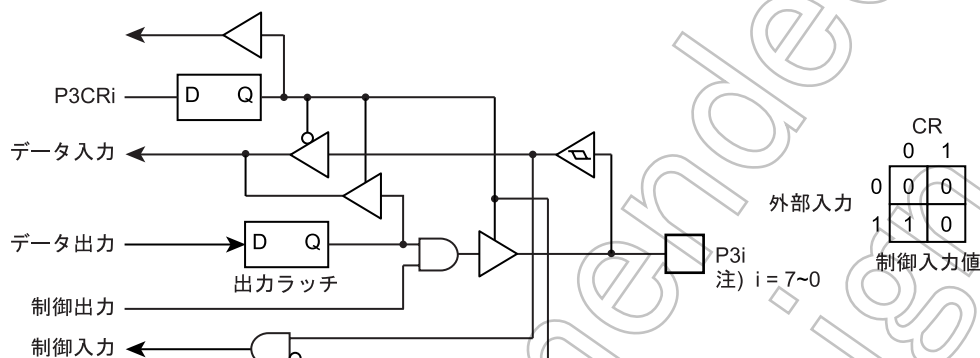


図 5-3 P3 ポート

P3 ポート入出力レジスタ

P3DR (00003H) R/W	7	6	5	4	3	2	1	0	
	P37 CL1	P36 EMG1	P35 U1	P34 V1	P33 W1	P32 X1	P31 Y1	P30 Z1	(初期値: 0000 0000)
P3CR (01F89H)	7	6	5	4	3	2	1	0	
									(初期値: 0000 0000)

P3CR	P3 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

P3ODE (01F83H)	7	6	5	4	3	2	1	0	
									(初期値: 0000 0000)

P3ODE	P3 オープンドレイン制御 (ビットごとに指定)	0: トライステート 1: オープンドレイン	R/W
-------	-----------------------------	---------------------------	-----

注 1) オープンドレインを選択した場合にも保護ダイオードは接続されているため V_{DD} を超える電圧を入力しないでください。

注 2) オープンドレイン選択時は、リードモディファイライト命令を実行した場合、出力ラッチの内容が読み出され、ほかの命令では外部端子の状態が読み出されます。

注 3) PMD 回路出力時は P3DR を “1” に設定してください。

注 4) P3 ポートを入出力ポートとして使用する場合は EMG1 回路を禁止にしてください。

5.3 P4 (P45~P40) ポート

P4 ポートは 6 ビットの入出力ポートで、シリアルインタフェース入出力と兼用です。入力ポートと出力ポートの切り替えは、P4 ポート入出力制御レジスタ (P4CR) によって行います。リセット時、P4CR は“0”に初期化され、P4 ポートは入力ポートになります。また、リセット時、出力ラッチ (P4DR) は“0”に初期化されます。

P4 ポートは、ビットごとのプログラミング制御が可能なオープンドレイン制御を内蔵しています。オープンドレインとトライステートを切り替えるには、P4 ポートオープンドレイン制御 (P4ODE) によって行います。リセット時、P4ODE は“0”に初期化されトライステートの状態になります。

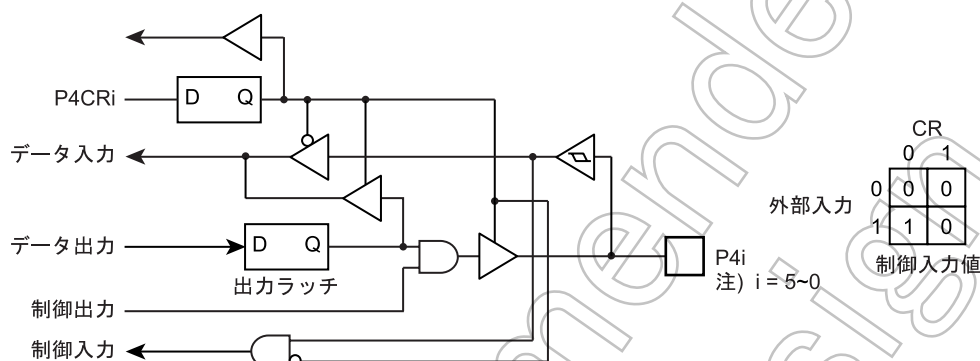


図 5-4 P4 ポート

P4 ポート入出力レジスタ

P4DR
(00004H)
R/W

7	6	5	4	3	2	1	0
		P45 SO TXD1	P44 SI RXD1	P43 SCK	P42 PDU1	P41 PDV1	P40 PDW1

(初期値: **00 0000)

P4CR
(01F8AH)

7	6	5	4	3	2	1	0

(初期値: **00 0000)

P4CR	P4ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	---------------------------	----------------------	-----

P4ODE
(01F84H)

7	6	5	4	3	2	1	0

(初期値: **00 0000)

P4ODE	P4 オープンドレイン制御 (ビットごとに指定)	0: トライステート 1: オープンドレイン	R/W
-------	-----------------------------	---------------------------	-----

注 1) オープンドレインを選択した場合にも保護ダイオードは接続されているため V_{DD} を超える電圧を入力しないでください。

注 2) オープンドレイン選択時は、リードモディファイライト命令を実行した場合、出力ラッチの内容が読み出され、ほかの命令では外部端子の状態が読み出されます。

注 3) P4 ポートに対してリード命令を実行した場合、ビット 7.6 は不定値が読み込まれます。

注 4) *: Don't care

P6 ポートは 4 ビットの出力ポートで、AD コンバータのアナログ入力と兼用です。入力ポートと出力ポートの切り替えは、P6 ポート入出力制御レジスタ (P6CR) と P6 ポートの出力ラッチ (P6DR) と ADCCRA<AINDS> によって行います。リセット時は、P6CR と P6DR (P6 ポートの出力ラッチ) は“0”にクリアされ、ADCCRA<AINDS> は“1”にセットされますので、P63~P60 は入力が“0”レベル固定の状態となります。P6 ポートを入力ポートとして使用する場合は、対応するビットの入力モード (P6CR = “0”, P6DR = “1”) に設定します。出力ラッチ = “1”に設定するのは、兼用のデジタル入力回路の慣通電流防止を行うために必要です。出力ポートとして使用する場合は、P6CR の対応するビットを“1”に設定します。アナログ入力として使用する場合は、対応するビットをアナログ入力モード (P6CR = “0”, P6DR = “0”) に設定し、ADCCRA<AINDS> = “0”にするとともに AD をスタートさせます。

アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないでください。

アナログ入力 ←

AINDS
SAIN

P6CRi

P6CRi入力

データ入力 (P6)

データ出力 (P6)

制御出力 (P6)

P6i
注1) i = 3~0
注2) SAINは、AD入力選択信号

図 5-5 P6 ポート

P6 ポート入出力制御レジスタ

P6DR (00006H) R/W	7	6	5	4	3	2	1	0	
					P63 AIN3 DBOUT	P62 AIN2	P61 AIN1	P60 AIN0	(初期値：**** 0000)

P6CR (01F8CH)	7	6	5	4	3	2	1	0	
									(初期値：**** 0000)

P6CR	P6 ポートの入出力制御 (ビットごとに指定)		AINDS = 1 (AD 不使用)		AINDS = 0 (AD 使用時)		R/W
			P6DR = "0"	P6DR = "1"	P6DR = "0"	P6DR = "1"	
		0	入力 "0" 固定	入力モード	アナログ入力 モード (注 2)	入力モード	
		1	出力モード				

- 注 1) アナログ入力として使用する端子は、外部信号とショートしますので出力モード (P6CR = "1") には設定しないでください。
- 注 2) アナログ入力モードに設定されているビットに対してリード命令を実行すると "0" が読み込まれます。
- 注 3) DBOUT 使用時は、P6DR で P63 端子を "1" を設定 (出力端子) してください。
- 注 4) *: Don't care
- 注 5) 入力モード (アナログ入力モードを含む) を使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込みますので、リードモディファイライト命令を実行すると、出力ラッチが書き替えられて入力ができなくなります。(リードモディファイライト命令は、最初に 8 ビット全てのデータを読み込みモディファイ (ビット操作) した後、8 ビット分全てのデータを出カラッチに書き込みます。)
- 注 6) P6 ポートに対してリード命令を実行した場合、ビット 7~4 は不定値が読み込まれます。

なお、IDLE モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、IDLE モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/f_c$ [s] に設定し、暴走検出リセットを行う。

	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
	LD	(WDTCR1), 00001101B	; WDTT ← 10, WDTOUT ← 1
	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
WDT 検出時間 3/4 以内	:		(WDTT 変更直前直後は必ずクリアします)
	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
WDT 検出時間 3/4 以内	:		
	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
	:		

ウォッチドッグタイマ制御レジスタ

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (00034H)	7	6	5	4	3	2	1	0
				WDTEN	WDTT	WDTOUT		(初期値: **** 1001)

WDTEN	ウォッチドッグタイマの許可 / 禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可	
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL モード	
		DV1CK = 0	
		DV1CK = 1	
		00	$2^{25}/fc$
		01	$2^{23}/fc$
		10	$2^{21}/fc$
		11	$2^{19}/fc$
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求	

- 注 1) WDTCR1<WDTOUT> を“0”にクリア後は、プログラムで“1”に再セットできません。
- 注 2) fc: 高周波クロック [Hz]、*: Don't care
- 注 3) WDTCR1 レジスタは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) WDTCR1<WDTEN> を“1”から“0”に切り替える場合は、誤動作の原因となる場合がありますので、直前に WDTCR2 へ“4EH”を書き込み、2 進カウンタをクリアしてください。
- 注 5) ウォッチドッグタイマ割り込み処理中にウォッチドッグタイマをディセーブルにした場合、ウォッチドッグタイマ割り込みが解除されませんので、ウォッチドッグタイマをクリアしてからディセーブルするか、またはオーバフロー前の十分余裕があるところでディセーブルしてください。
- 注 6) ウォッチドッグタイマは内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (00035H)	7	6	5	4	3	2	1	0
								(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH: ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード) B1H: ウォッチドッグタイマのディセーブル (ディセーブルコード) その他: 無効	Write only
--------	----------------------	--	------------

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
- 注 2) *: Don't care
- 注 3) ウォッチドッグタイマの 2 進カウンタのクリアは割り込みタスクで行わないでください。
- 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。
- 注 5) WDTCR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

6.2.2 ウォッチドッグタイマのイネーブル

WDTCR1<WDTEN> を“1”にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は“1”に初期化されますので、リセット解除後ウォッチドッグタイマは直ちに動作します。

6.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

- 1. 割り込みマスタ許可フラグ (IMF) を "0" に設定します。
- 2. WDTCR2 にクリアコード (4EH) を設定します。
- 3. WDTCR1<WDTEN> を "0" に設定します。
- 4. WDTCR2 レジスタにディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの 2 進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI                                     ; IMF ← 0

LD      (WDTCR2), 04EH                ; 2 進カウンタのクリア

LDW     (WDTCR1), 0B101H              ; WDTEN ← 0, WDTCR2 ← ディセーブルコード

EI                                     ; IMF ← 1
```

表 6-1 ウォッチドッグタイマ検出時間 (例: fc = 20 MHz)

WDTT	ウォッチドッグタイマ検出時間 [s]	
	NORMAL モード	
	DV1CK = 0	DV1CK = 1
00	1.678	3.355
01	419.430 m	838.861 m
10	104.858 m	209.715 m
11	26.214 m	52.429 m

注) ウォッチドッグタイマ割り込み処理中にウォッチドッグタイマをディセーブルにした場合、ウォッチドッグタイマ割り込みが解除されませんので、ウォッチドッグタイマをクリアしてからディセーブルするか、またはオーバーフロー前の十分余裕があるところでディセーブルしてください。

6.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定にかかわらず、必ず 割り込みを受け付けます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 02BFH                    ; SP の設定

LD      (WDTCR1), 00001000B          ; WDTOUT ← 0
```

6.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] (最大 $1.2\ \mu\text{s}$ @ $f_c = 20\ \text{MHz}$) です。

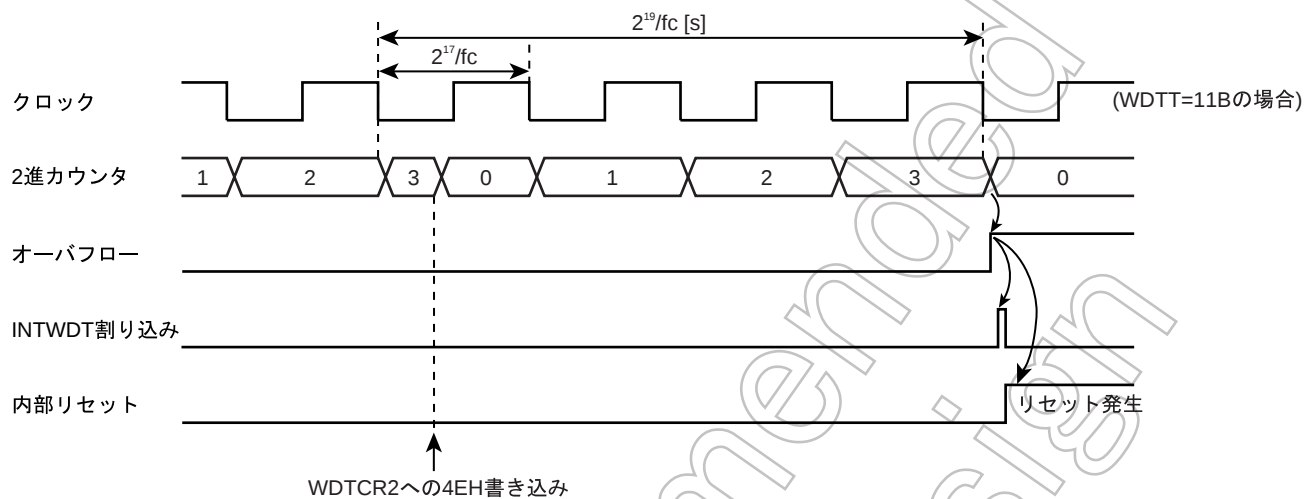


図 6-2 ウォッチドッグタイマ割り込み / リセット

Not Recommended
for New Design

第 7 章 タイムベース タイマ (TBT)

7.1 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち下がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 7-1 (b) 参照)。

タイムベースタイマ動作中に割り込み周波数を変更することはできません。また、ディセーブルするときにも割り込み周波数を変更することはできません。変更する場合は、割り込み周波数を変更せずにタイムベースタイマをディセーブルにしたあと、割り込み周波数を変更してください。ただし、周波数の選択とタイムベースタイマのイネーブルは同時に行うことができます。

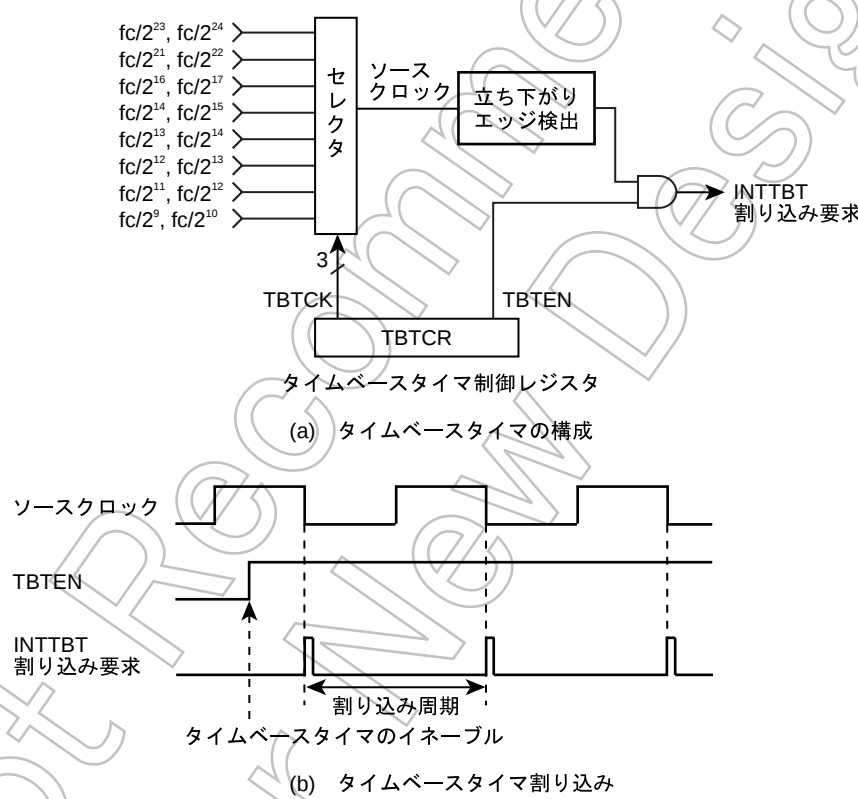


図 7-1 タイムベースタイマ

(プログラム例) タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD          (TBTEN), 00000010B      ; 周波数設定
LD          (TBTEN), 00001010B      ; タイマイネーブル
DI
SET         (EIRL), 6
EI
```

タイムベースタイマ制御レジスタ

TBTCR	7	6	5	4	3	2	1	0
(00036H)	0	0	0	TBTEN	TBTCCK			

(初期値 : 0000 0000)

TBTEN	タイムベースタイマ の許可 / 禁止	0: ディセーブル 1: イネーブル			R/W
TBTCK	タイムベースタイマ割り込み周波数の選択 単位 : [Hz]		NORMAL, IDLE モード		
			DV1CK = 0	DV1CK = 1	
		000	$fc/2^{23}$	$fc/2^{24}$	
		001	$fc/2^{21}$	$fc/2^{22}$	
		010	$fc/2^{16}$	$fc/2^{17}$	
		011	$fc/2^{14}$	$fc/2^{15}$	
		100	$fc/2^{13}$	$fc/2^{14}$	
		101	$fc/2^{12}$	$fc/2^{13}$	
110	$fc/2^{11}$	$fc/2^{12}$			
111	$fc/2^9$	$fc/2^{10}$			

注 1) fc: 高周波クロック [Hz]、*: Don't care
注 2) TBTCR のビット 4 ~ 7 には必ず "0" を書き込んでください。

表 7-1 タイムベースタイマ割り込み周波数 (例 : fc = 20 MHz)

TBTCCK	タイムベースタイマ割り込み周波数 [Hz]	
	NORMAL, IDLE モード	
	DV1CK = 0	DV1CK = 1
000	2.38	1.20
001	9.53	4.78
010	305.18	153.50
011	1220.70	610.35
100	2441.40	1220.70
101	4882.83	2441.40
110	9765.63	4882.83
111	39063.00	19531.25

第 8 章 16 ビットタイマカウンタ 1 (TC1)

8.1 構成

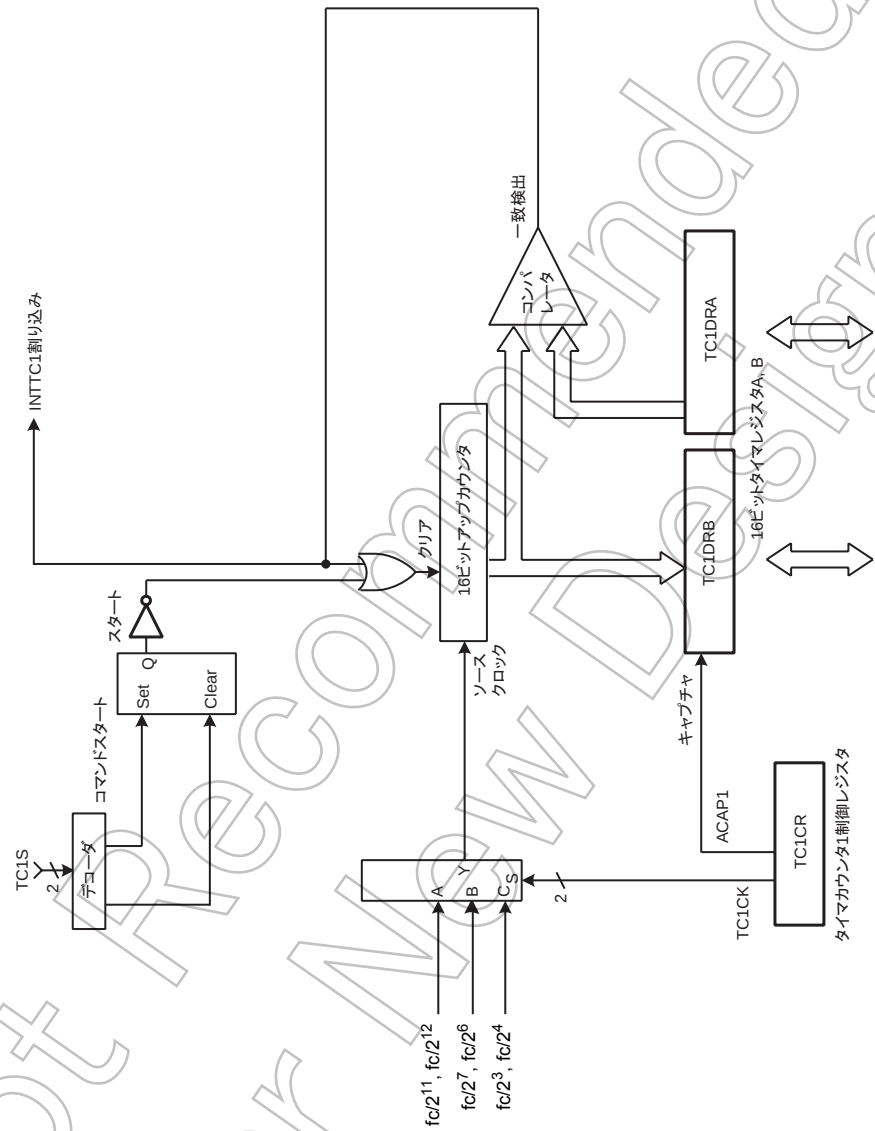


図 8-1 タイマカウンタ 1 (TC1)

8.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC1DRA (0011H, 0010H)	TC1DRAH (0011H)								TC1DRAL (0010H)							
	(初期値: 1111 1111 1111 1111)								Read/Write							
TC1DRB (0013H, 0012H)	TC1DRBH (0013H)								TC1DRBL (0012H)							
	(初期値: 1111 1111 1111 1111)								Read only							

タイマカウンタ 1 制御レジスタ

TC1CR (000FH)	7 0	6 ACAP1	5 TC1S	4 TC1CK	3 TC1M	2 1 0	Read/Write (初期値 : 0000 0000)	
ACAP1	自動キャプチャ制御		0: 自動キャプチャディセーブル 1: 自動キャプチャイネーブル				R/W	
TC1S	タイマカウンタ 1 の スタート制御		00: ストップ & カウンタクリア 01: コマンドスタート 10: Reserved 11: Reserved					
TC1CK	タイマカウンタ 1 の ソースクロックの選択 単位 : [Hz]			NORMAL, IDLE モード				
				DV1CK = 0		DV1CK = 1		
			00	fc/2 ¹¹		fc/2 ¹²		
			01	fc/2 ⁷		fc/2 ⁸		
			10	fc/2 ³		fc/2 ⁴		
11	Reserved							
TC1M	タイマカウンタ 1 の 動作モードの選択		00: タイマモード 01: Reserved 10: Reserved 11: Reserved					

- 注 1) fc: 高周波クロック [Hz]
- 注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL) のみ書き込みを行っても設定は有効になりません。
- 注 3) モード、ソースクロックは、停止 (TC1CR<TC1S> = 00) 状態で設定してください。
- 注 4) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC1DRA > 1
- 注 5) TC1CR のビット 7 を "0" に設定してください。
- 注 6) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 7) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

8.3 機能

8.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TC1DRA) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC1CR<ACAP1>を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。アップカウンタの内容は、内部ソースクロックの立ち上がりエッジで TC1DRB に取り込まれますので、TC1CR<ACAP1>を“1”にセットしてから同エッジを検出するまでの期間、TC1DRB は不定値となります。従って TC1DRB の最初の読み出しは TC1CR<ACAP1>を“1”にセットしてから内部ソースクロックが少なくとも 1 サイクル以上経過した後に行ってください。

表 8-1 タイマカウンタ 1 の内部ソースクロック (例: $f_c = 20 \text{ MHz}$ 時)

TC1CK	NORMAL, IDLE モード			
	DV1CK = 0		DV1CK = 1	
	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]
00	102.4	6.7108	204.8	13.4216
01	6.4	0.4194	12.8	0.8388
10	0.4	26.214 m	0.8	52.428 m

(プログラム例 1) ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。($f_c = 20 \text{ MHz}$, CGCR<DV1CK> = “0” 時)

```
LDW      (TC1DRA), 2625H      ; タイマレジスタの設定 (1 s ÷ 211/fc = 2625H)
DI        ; IMF = “0”
SET      (EIRD), 2            ; INTTC1 割り込みを許可
EI        ; IMF = “1”
LD       (TC1CR), 00000000B    ; ソースクロック, モード選択
LD       (TC1CR), 00010000B    ; TC1 スタート
```

(プログラム例 2) 自動キャプチャ

```
LD       (TC1CR), 01010000B    ; ACAP1 ← 1
:        :                      ; この間、最低でも内部ソースクロックの 1 周期分以上
:        :                      ; 空ける
LD       WA, (TC1DRB)          ; キャプチャ値の読み出し
```

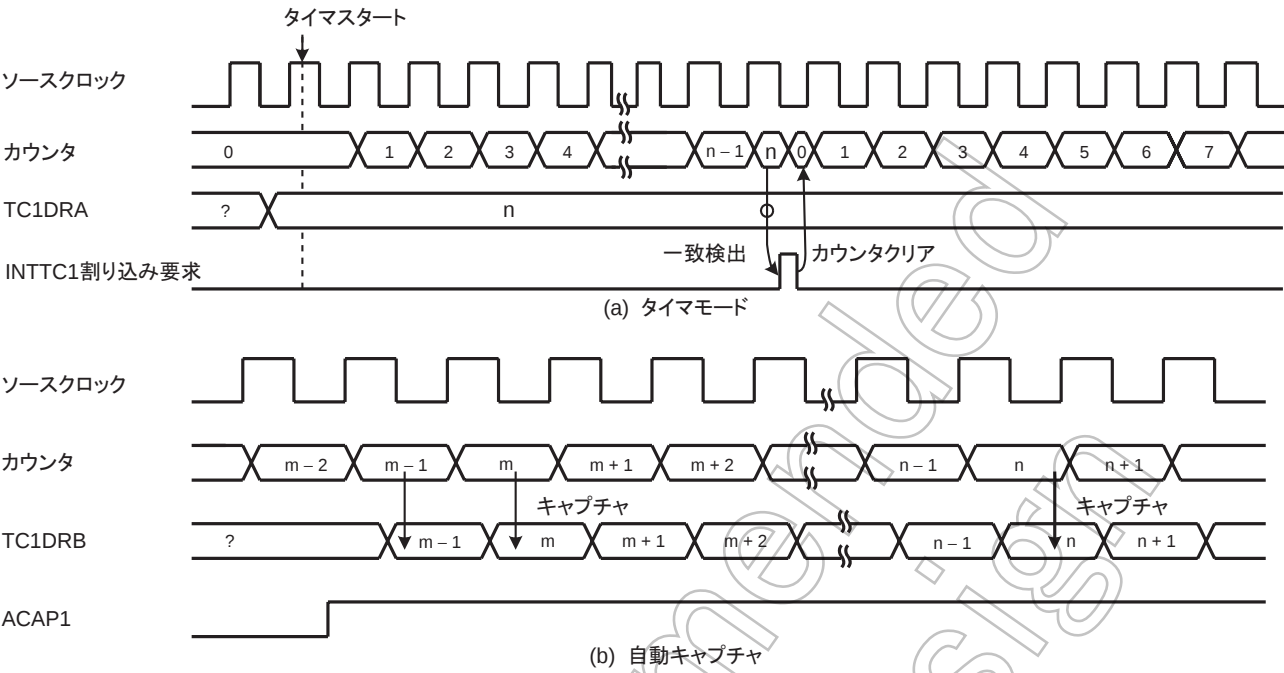


図 8-2 タイマモードタイミングチャート

第9章 8ビットタイマカウンタ3 (TC3)

9.1 構成

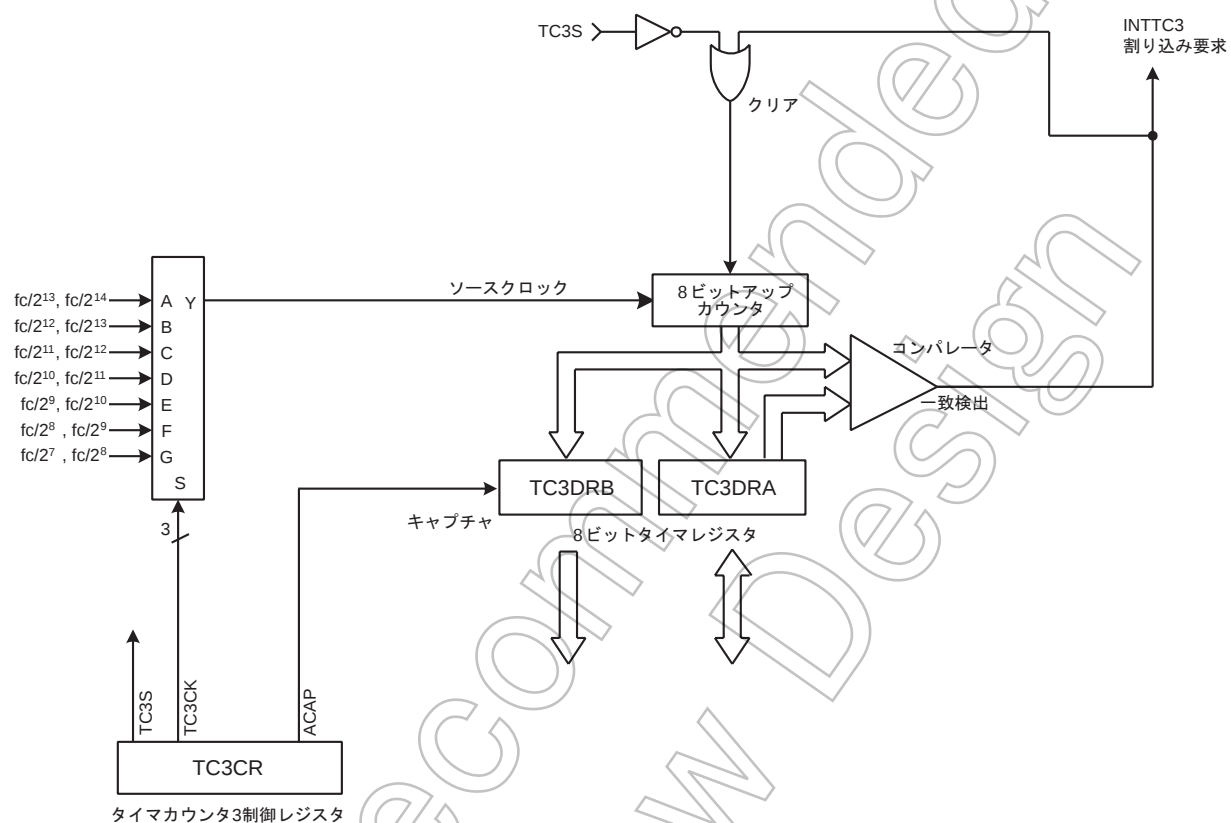
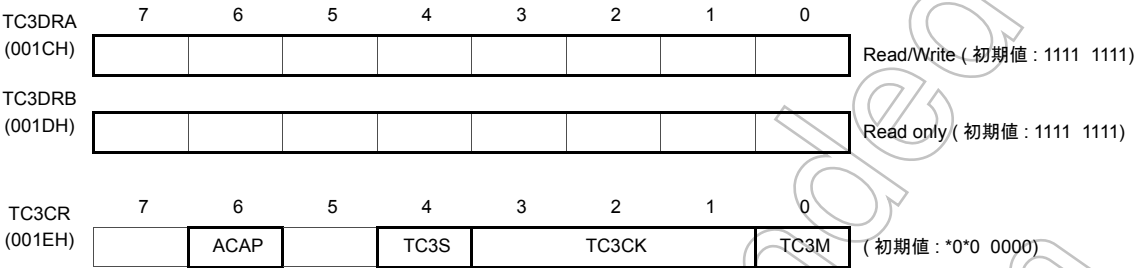


図 9-1 タイマカウンタ 3 (TC3)

9.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TC3DRA, TC3DRB) で制御されます。

タイマカウンタ3のタイマレジスタと制御レジスタ



ACAP	自動キャプチャ制御	0: – 1: 自動キャプチャ		R/W	
TC3S	タイマカウンタ 3 のスタート制御	0: ストップ & カウンタクリア 1: スタート		R/W	
TC3CK	タイマカウンタ 3 のソースクロックの選択 単位 : [Hz]		NORMAL, IDLE モード		R/W
			DV1CK = 0	DV1CK = 1	
		000	$fc/2^{13}$	$fc/2^{14}$	
		001	$fc/2^{12}$	$fc/2^{13}$	
		010	$fc/2^{11}$	$fc/2^{12}$	
		011	$fc/2^{10}$	$fc/2^{11}$	
		100	$fc/2^9$	$fc/2^{10}$	
		101	$fc/2^8$	$fc/2^9$	
		110	$fc/2^7$	$fc/2^8$	
		111	Reserved		
TC3M	タイマカウンタ 3 の動作モードの選択	0: タイマモード 1: Reserved		R/W	

注 1) fc: 高周波クロック [Hz] *: Don't care
注 2) ソースクロックは、タイマカウンタ停止 (TC3CR<TC3S> = 0) 状態で設定してください。
注 3) タイマレジスタ3 (TC3DRA) への設定値は、次の条件を満たす必要があります。
TC3DRA > 1
注 4) TC3CR に対しリード命令を実行すると、ビット 5,7 は、不定値が読み込まれます。
注 5) タイマが動作中 (TC3CR<TC3S>=1) のときは、TC3DRA には書き込まないでください。

9.3 機能

9.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 3A (TC3DRA) の設定値が一致すると INTTC3 割り込みが発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを継続します。

なお、TC3CR<ACAP> を“1”にセットすると、以降アップカウンタの値が継続してタイマレジスタ 3B(TC3DRB) に取り込まれます（自動キャプチャ機能）。タイマ動作中のカウント値は、TC3DRB に対してリード命令することにより確認することができます。

注）一致検出直後のアップカウンタの 00H は、TC3DRB に取り込まれません（図 9-2）。

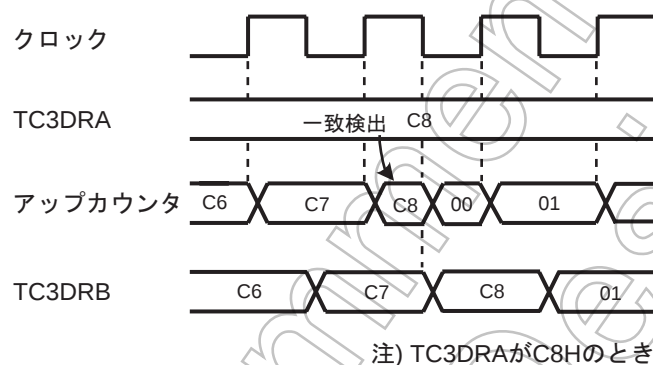
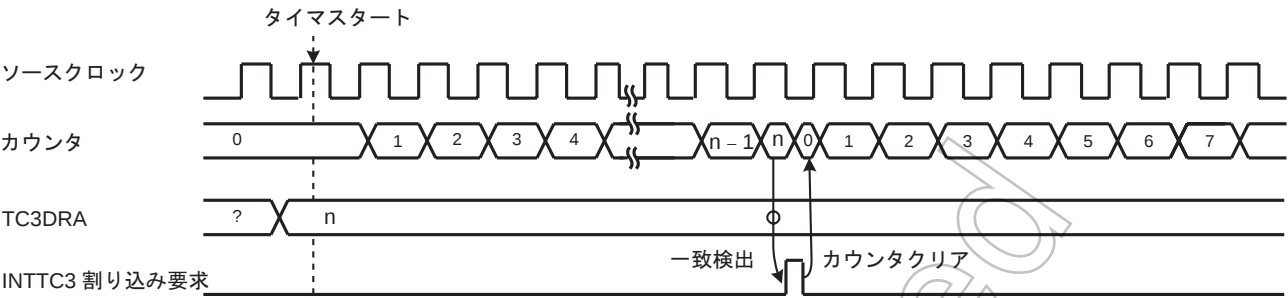


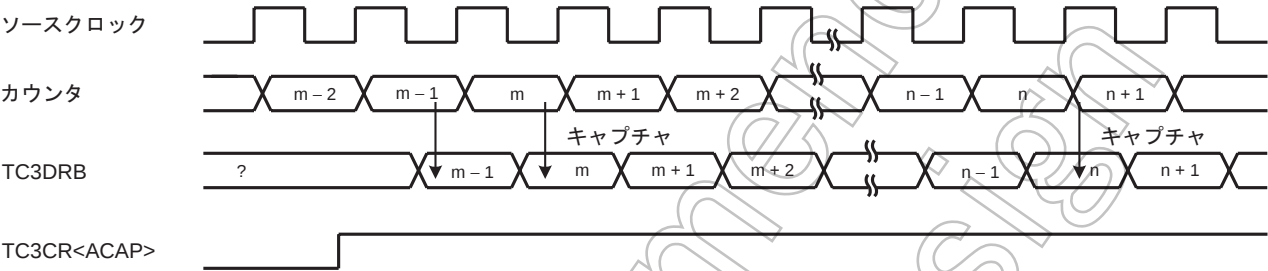
図 9-2 自動キャプチャ機能

表 9-1 タイマカウンタ 3 の内部クロックソース（例：fc = 20 MHz 時）

TC3CK	NORMAL, IDLE モード			
	DV1CK = 0		DV1CK = 1	
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]
000	409.6	104.45	819.2	208.90
001	204.8	52.22	409.6	104.45
010	102.4	26.11	204.8	52.22
011	51.2	13.06	102.4	26.11
100	25.6	6.53	51.2	13.06
101	12.8	3.06	25.6	6.53
110	6.4	1.63	12.8	3.06



(a) タイマモード



(b) 自動キャプチャ

図 9-3 タイマモードタイミングチャート

10.2 制御

タイマカウンタ 4 は、タイマカウンタ 4 制御レジスタ (TC4CR) とタイマレジスタ 4 (TC4DR) で制御されます。

タイマカウンタ 4 のタイマレジスタと制御レジスタ

TC4DR (001BH)	7	6	5	4	3	2	1	0	
									Read/Write (初期値 : 1111 1111)
TC4CR (001AH)	7	6	5	4	3	2	1	0	
			TC4S	TC4CK			TC4M		Read/Write (初期値 : **00 0000)

TC4S	タイマカウンタ 4 のスタート制御	0: ストップ & カウンタクリア 1: スタート		R/W	
TC4CK	タイマカウンタ 4 のソースクロックの選択 単位 : [Hz]		NORMAL, IDLE モード		R/W
			DV1CK = 0		
		DV1CK = 1			
		000	fc/2 ¹¹	fc/2 ¹²	
		001	fc/2 ⁷	fc/2 ⁸	
		010	fc/2 ⁵	fc/2 ⁶	
		011	fc/2 ³	fc/2 ⁴	
		100	Reserved	Reserved	
		101	Reserved	Reserved	
		110	Reserved	Reserved	
111	Reserved				
TC4M	タイマカウンタ 4 の動作モードの選択	00: タイマモード		R/W	
		01: Reserved			
		10: Reserved			
		11: Reserved			

- 注 1) fc: 高周波クロック [Hz], *: Don't care
- 注 2) タイマレジスタへの設定値は次の条件を満足する必要があります。
1 ≤ TC4DR ≤ 255
- 注 3) タイマ動作開始時 (TC4CR<TC4S> = "0" → "1") またはタイマの動作禁止時 (TC4CR<TC4S> = "1" → "0") は、TC4CR < TC4M, TC4CK> を書き替えないでください。また、タイマ動作中 (TC4CR<TC4S> = "1" → "1") も TC4CR<TC4M, TC4CK> を書き替えないでください。動作中に選択 / 変更を行うと正常にカウント動作が行われません。
- 注 4) TC4CR のビット 6, 7 はリードすると不定値が読み込まれます。
- 注 5) タイマ動作中に TC4DR を書き替えないでください。

10.3 機能

10.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値と TC4DR の設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを継続します。

表 10-1 タイマカウンタ 4 の内部クロックソース (例 : $f_c = 20\text{ MHz}$ 時)

TC4CK	NORMAL, IDLE モード			
	DV1CK = 0		DV1CK = 1	
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]
000	102.4	26.11	204.8	52.22
001	6.4	1.63	12.8	3.28
010	1.6	0.41	3.2	0.82
011	0.4	0.10	0.8	0.20

Not Recommended
for New Design

第 11 章 モータ制御回路 (PMD: Programmable Motor Driver)

TMP88CH40NG は正弦波波形出力用のモータ制御回路を 1ch 内蔵しています。このモータ制御回路では、センサレス / センサ付きのブラシレス DC モータ、AC モータを制御でき、その主要機能として以下のものをハードウェアで内蔵することでソフトウェアの負荷を軽減し、容易に正弦波モータ制御を実現できます。

1. ロータ位置検出機能
 - センサレス / センサ付きの両方式で位置検出可能
 - 誤検出防止のため位置検出を複数回一致で確定に設定可能
 - PWM オン直後の位置検出禁止期間を設定可能
2. モータ制御用の独立したタイマ / タイマキャプチャ機能
 - 位置検出に同期動作する大小比較タイマ 1ch と一致比較タイマ 2ch を内蔵
3. PWM 波形生成機能
 - 100 ns 分解能の 12 ビット PWM 発生
 - PWM 割り込み頻度を設定可能
 - PWM オン時のデッドタイムを設定可能
4. 保護機能
 - 過負荷保護入力により保護動作可能
5. 異常時の緊急停止機能
 - EMG 入力により緊急停止可能
 - ソフトウェア迷走によって容易に解除されない構成
6. 自動転流 / 自動位置検出開始機能
 - ダブルバッファ構成で、位置検出またはタイマに同期して自動転流可能
 - タイマ機能により位置検出機能の検出期間を設定し、自動位置検出開始可能
7. 電気角タイマ機能
 - 電気角 360 度を 0 から 383 の範囲で設定周期でカウント可能
 - カウントした電気角は波形演算回路へと出力可能
8. 波形演算機能
 - 電気角タイマをもとに RAM から読み出した正弦波データと電圧データから出力デューティを演算
 - 演算結果を波形合成回路へと出力

11.1 モータ制御の概要

ブラシレス DC モータを矩形波駆動で制御する場合について説明します。ブラシレス DC モータではロータの磁極位置から、ステータのどの巻き線に電流を流すかが決定され、ロータの回転に従って通電巻き線を切り替えなければいけません。ロータの磁極位置は、ホール IC などのセンサで検出するか、センサレスでモータ巻き線に発生する誘起電圧の極性変化点 (ゼロクロス) を検出すること (位置検出) で判定します。センサレスの場合では、2 相に通電し残り 1 相を無通電相として誘起電圧を検出します。この 2 相通電の場合には表 11-1 のように 6 種の通電パターンがありロータの位相に同期してこれを切り替えます。この 2 相通電では各相の通電時間は誘起電圧 180 度に対して 120 度通電になります。

表 11-1 通電パターン

通電パターン	上トランジスタ			下トランジスタ			通電巻き線
	u	v	w	x	y	z	
モード 0	ON	OFF	OFF	OFF	ON	OFF	U→V
モード 1	ON	OFF	OFF	OFF	OFF	ON	U→W
モード 2	OFF	ON	OFF	OFF	OFF	ON	V→W
モード 3	OFF	ON	OFF	ON	OFF	OFF	V→U
モード 4	OFF	OFF	ON	ON	OFF	OFF	W→U
モード 5	OFF	OFF	ON	OFF	ON	OFF	W→V

注) 上・下トランジスタの一方は PWM 制御

ブラシレス DC モータは印加電圧で回転数をコントロールし、印加電圧の制御は PWM により行います。このとき、回転数により発生する誘起電圧の位相に同期するように通電巻き線を切り替えなければいけません。通電巻き線の切り替えをセンサレス制御で行う場合の制御タイミングチャートを図 11-4 で説明します。3 相モータの場合にゼロクロスは誘起電圧 1 周期 (電気角 360 度) に 6 回あるので、ゼロクロスからゼロクロスまでは電気角 60 度になります。この期間を 1 モードとすると、ローター位置はゼロクロスにより 6 モードに分けることができます。それぞれのモードに、前記の 6 種の通電パターンが対応します。誘起電圧による位置検出に対して通電パターンの切り替え (転流) タイミングは電気角 30 度ずれます。

あるタイミングでゼロクロスを検出し、その前のゼロクロスからの時間経過からモード時間が得られます。モード時間は電気角 60 度に対応しますから、図の場合を例にすると、

1. 通電巻き線切り替え (転流) タイミング 電気角 30 度 = モード時間 / 2
2. 位置検出開始タイミング 電気角 45 度 = モード時間 × 3/4
3. 異常判定タイミング 電気角 120 度 = モード時間 × 2

このようにタイミングを計算します。2. の位置検出開始タイミングは通電オフした後もモータのリアクタンスで電流が流れ続けることによる誘起電圧の誤検出を防止するために設定します。

制御は電気角 360 度で 6 回検出されるゼロクロスごとに前記タイミングを逐次計算し、そのタイミングに合わせて転流・位置検出開始などの処理を行うことでモータの誘起電圧の位相に同期できます。

この例のようなモータ制御に必要なタイミングは PMD 内蔵タイマで自由に設定できます。

また、正弦波制御を行うためには、PWM デューティをパルスごとに制御します。電気角をカウントしその角度の正弦波データと電圧データを演算することにより PWM デューティを制御します。

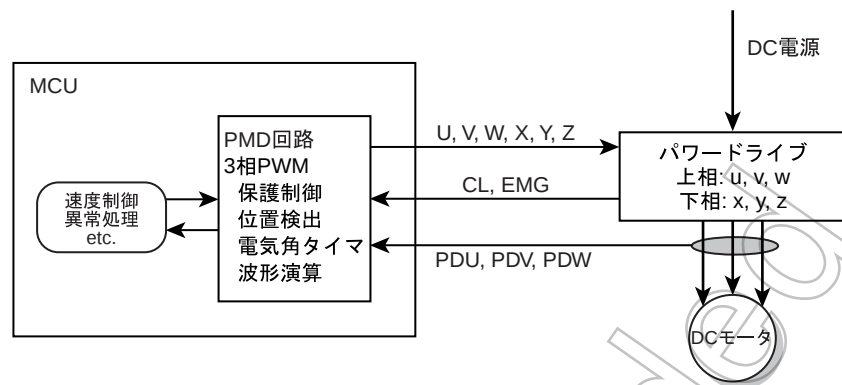


図 11-1 DC モータ制御概念図

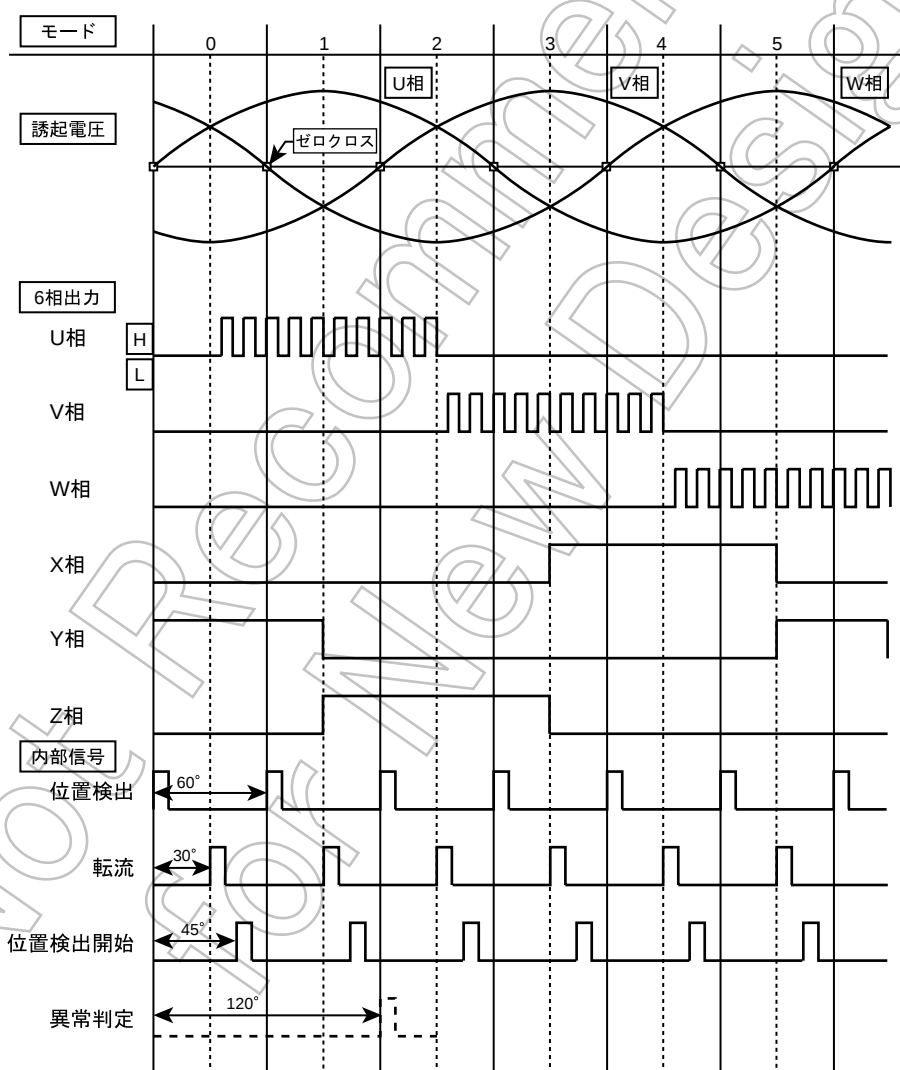


図 11-2 センサレス DC モータの制御タイミングチャート例

11.2 モータ制御回路の構成

モータ制御回路は、誘起電圧あるいは位置センサ信号のゼロクロスを検出する位置検出部、位置検出より 3 種の電気角タイミングでイベントを発生するタイマ部、3 相出力の PWM 波形を生成する 3 相 PWM 出力部、また、電気角をカウントする電気角タイマ部、正弦波波形出力デューティを演算する波形演算部から構成されます。ポートを PMD 機能に使用する場合は、入力ポートは入出力制御 (P3CRi) を “0” に、出力ポートはあらかじめデータ出力ラッチ (P3i) を “1” にして入出力制御を “1” に設定します。

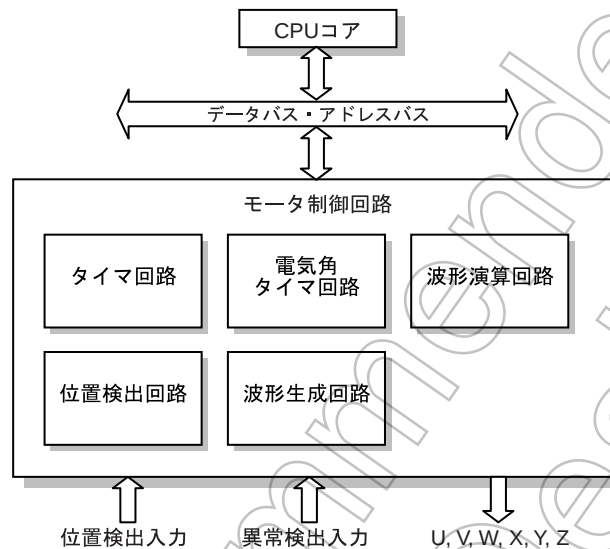


図 11-3 モータ制御回路機能ブロック図

- 注 1) 16 ビットデータレジスタは必ず LDW 命令で入力してください。
- 注 2) EMG 回路は初期状態で許可となっています。PMD 出力のときは EMG 入力ポート (P36) を “H” にするか、EMG 回路を禁止に設定して出力してください。
- 注 3) EMG 回路は初期状態で許可となっています。ポート P3 を入出力 I/O ポートとして使用する場合には EMG を禁止にしてください。
- 注 4) STOP モードに遷移時はすべての PMD 機能を停止してから STOP モードしてください。

11.3 位置検出部

位置検出部は、位置信号入力ポートの入力パターンよりモータのロータ位置を特定します。位置信号入力ポートには、センサレス DC モータの場合はモータ巻線の電位状態が入力され、センサ付き DC モータの場合はホール素子信号が入力されます。特定のロータ位置に対応する期待値パターンを PMD 出力レジスタ (MDOUT) にあらかじめ設定し、ロータが回転して位置信号入力と期待値が一致したときに位置検出割り込み要求 (INTPDC) が発生します。また、不一致検出モードは、モータの回転方向検出を行うためのモードで、サンプリング開始時の位置検出入力ポートの状態から変化で位置検出割り込み要求が発生します。

3 相ブラシレス DC モータの場合、図 11-2 のタイミングチャートから表 11-2 にまとめると、位置信号はモード別に 6 パターンあります、予測される位置信号パターンを MDOUT に設定すれば、位置信号入力ポートがこの期待値の示すモードに遷移した瞬間に位置検出割り込み要求が発生します。図中の各相の位置信号は内部信号で外部から観測できません。

表 11-2 位置信号入力パターン

位置検出モード	U 相 (PDU)	V 相 (PDV)	W 相 (PDW)
モード 0	H	L	H
モード 1	H	L	L
モード 2	H	H	L
モード 3	L	H	L
モード 4	L	H	H
モード 5	L	L	H

- ・ サンプリングディレイは、サンプリングモードに PWMON 時または下相通電時を選択した場合において、PWM 信号がオンになった後、設定されている時間の経過した後にサンプリングを開始することにより、トランジスタのオン直後のノイズによる誤検出を防止します。
- ・ PWMON 時または下相通電時は、PWM 信号オンごと (各相の PWM 信号の論理和) に位置検出一致回数の比較結果を再カウントする方法 (PWM 周期ごとに 0 から始める) と、一致回数を継続してカウントする方法とを選択可能です (PWM オン時の一致回数再カウントの許可 / 禁止、PDCRB<SPLMD>)。

11.3.2 位置検出回路レジスタ機能

PDCRC

5, 4	EMEM	PWM エッジでの位置検出結果保持 (位置検出位置の検出)	PWM パルスの立ち下がりがエッジ、立ち上がりがエッジでの位置検出の比較結果を保持します。ビット 5 が立ち下がりが、ビット 4 が立ち上がりがで位置検出していれば 1 となります。現在の PWM パルスのオン中か、オフ中か、1 つ前の PWM パルスのオン中で検出したかが、わかります。
3	SMON	サンプリング状態モニタ	リードすることにより、サンプリングの状態が分かります。
2~0	PDTCT	位置検出状態保持	不一致モード時に位置検出を開始した時点での位置検出ポートの状態を保持します。

PDCRB

7, 6	SPLCK	サンプリング周期	位置検出のサンプリング周期は、 $fc/2^2$ 、 $fc/2^3$ 、 $fc/2^4$ 、 $fc/2^5$ のいずれかを選択します。
5, 4	SPLMD	サンプリングモード	PWM 信号がアクティブになっているときのみのサンプリング (PWM ON 時)、常時サンプリング、または下相 (X, Y, Z) 通電時の 3 つのモードから選択します。
3~0	PDCMP	サンプリング回数	通常モード時は、ポートの状態と設定した期待値とが一致し、設定したサンプリング回数だけ一致し続けた場合に位置検出信号を出力し、割り込みを発生します。不一致検出モード時は、不一致となった設定したサンプリング回数だけ不一致を続けた場合に位置検出信号を出力し、割り込みを発生します。

PDCRA

7	SWSTP	ソフトウェアによるサンプリング停止	“1”を設定することによりサンプリングを停止することができます。停止前にサンプリングが行われ、位置検出結果が一致したときには位置検出割り込みを発生し、サンプリングは停止します。
6	SWSTT	ソフトウェアによるサンプリング開始	“1”を設定することによりサンプリングを開始することができます。
5	SPTM3	タイマ 3 によるサンプリング停止	“1”を設定することで、タイマ 3 からのトリガによりサンプリングを停止することができます。停止前にサンプリングが行われ、位置検出結果が一致したときには位置検出割り込みを発生し、サンプリングは停止します。
4	STTM2	タイマ 2 によるサンプリング開始	“1”を設定することで、タイマ 2 からのトリガによりサンプリングを開始することができます。
3	PDNUM	位置検出入力端子数の設定	位置検出入力を入力を 3 端子 (PDU/PDV/PDW) で行うか、1 端子 (PDU のみ) で行うかを選択します。1 端子の場合、PDV/PDW の期待値は無視されます。2 端子で位置検出を行う場合や、PDU 以外で位置検出を行う場合、3 端子を選択し、未使用の端子を出力モードに設定することで位置検出入力を入力を “0” にマスクすることができます。
2	RCEN	PWM オン時の一致回数再カウント	“1”を設定することで、PWM のオン時にサンプリングを行う場合、PWM 信号がオンするごとに一致回数を再カウントします。(再カウントを行う場合、PWM がオフするごとにカウントはリセットされます。) “0”を設定時は PWM に関係なく連続でカウントします。
1	DTMD	位置検出モード	“0”の通常モードはレジスタに設定した期待値とポート入力とが不一致 → 一致で位置検出となります。 “1”の不一致検出モードではサンプリングを開始した時点のポートの状態が別の状態へ変化した時点で位置検出となります。
0	PDCEN	位置検出機能	位置検出機能は、“1”を設定することで動作状態となります。

SDREG

6~0	SDREG	サンプリングディレイ	PWM 出力のオン直後 (トランジスタがオンした直後)、ノイズによる誤検出を防ぐためのサンプリングを休止する時間を設定します。(図 11-5 参照)
-----	-------	------------	--

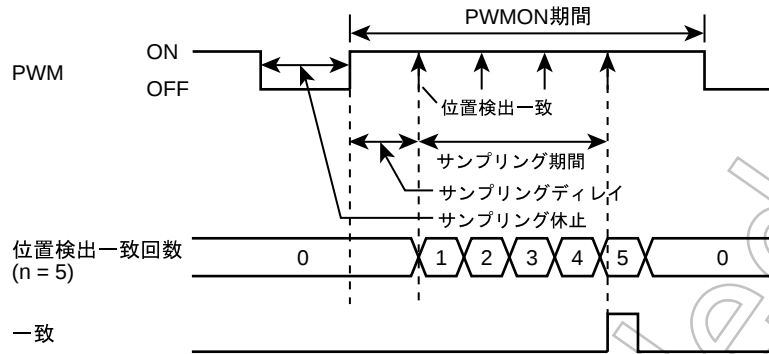


図 11-5 PWMON 時選択時の位置検出サンプリングタイミング

EMEM: 位置検出一致がどこから始まったかを検出 (位置検出後値保持)
(サンプリングが前パルスで始まったかどうかの確認可能)

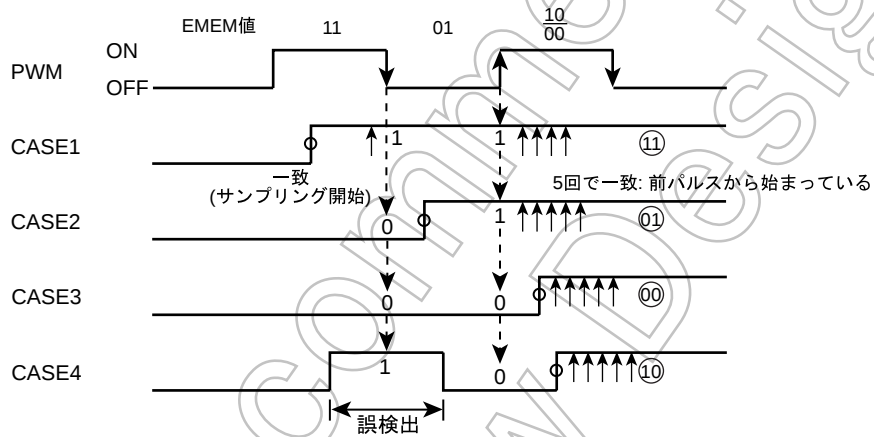


図 11-6 位置検出位置の検出タイミング

位置検出回路レジスタ一覧 [アドレス : PMD1]

PDCRC (01FA2H)	7	6	5	4	3	2	1	0
	—	—	EMEM	SMON	PDTCT			

(初期値 : **00 0000)

5, 4	EMEM	PWM エッジでの位置検出結果保持 (位置検出位置の検出)	00: 現パルス内 01: PWM オフ時 10: 現パルス内 11: 前パルス内	R
3	SMON	サンプリング状態モニタ	0: サンプリング停止中 1: サンプリング中	
2~0	PDTCT	位置検出状態保持	不一致検出モード時、位置検出ポート状態保持。 ビット 2, 1, 0: W, V, U 相	

PDCRB (01FA1H)	7	6	5	4	3	2	1	0
	SPLCK	SPLMD	PDCMP					

(初期値 : 0000 0000)

7, 6	SPLCK	サンプリング入カクロック選択	00: $fc/2^2$ [Hz] (分解能 200 ns @ 20 MHz) 01: $fc/2^3$ (分解能 400 ns @ 20 MHz) 10: $fc/2^4$ (分解能 800 ns @ 20 MHz) 11: $fc/2^5$ (分解能 1.6 μ s @ 20 MHz)	R/W
5, 4	SPLMD	サンプリングモード	00: PWM オン時 01: 常時 10: 下相通電時 11: Reserved	
3~0	PDCMP	位置検出一致回数	1~15 回 (0 および 1 は 1 回に設定されます)	

注) 設定変更時は位置検出機能を禁止 (PDCEN を 0) にしてください。

PDCRA (01FA0H)	7	6	5	4	3	2	1	0
	SWSTP	SWSTT	SPTM3	STTM2	PDNUM	RCEN	DTMD	PDCEN

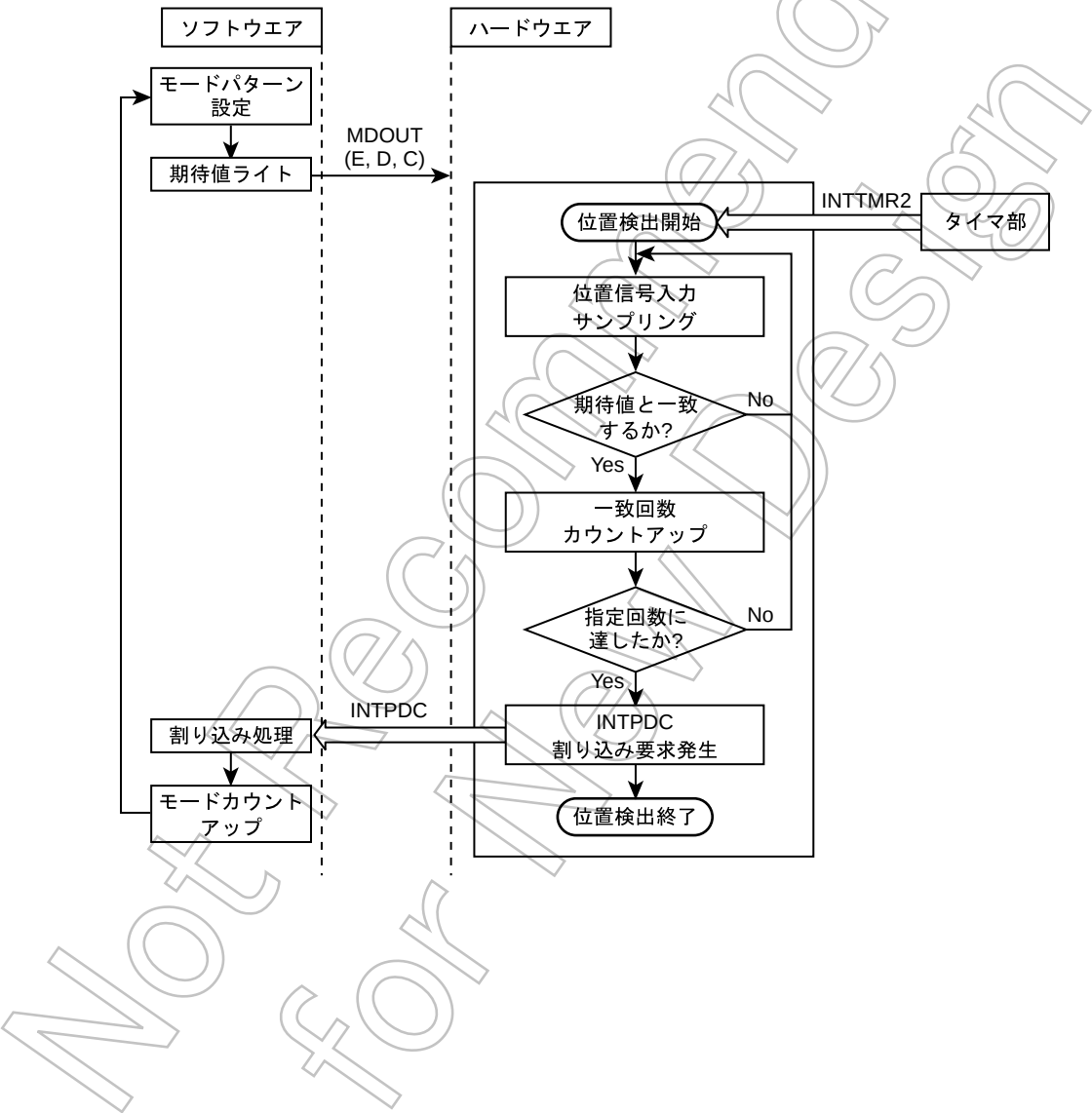
(初期値 : 0000 0000)

7	SWSTP	ソフトウェアによるサンプリング停止	0: ノーオペレーション 1: サンプリング停止	W
6	SWSTT	ソフトウェアによるサンプリング開始	0: ノーオペレーション 1: サンプリング開始	
5	SPTM3	タイマ 3 によるサンプリング停止	0: 禁止 1: 許可	R/W
4	STTM2	タイマ 2 によるサンプリング開始	0: 禁止 1: 許可	
3	PDNUM	位置検出入力端子数の設定	0: 3 端子 (PDU/PDV/PDW) を比較する 1: 1 端子 (PDU) のみ比較する	
2	RCEN	PWM オン時の一致回数のカウント	0: 前の PWM 時の回数に続く 1: PWM オンごとに再カウント	
1	DTMD	位置検出モード	0: 通常モード 1: 不一致検出モード	
0	PDCEN	位置検出機能の許可 / 禁止	0: 禁止 1: 許可 (サンプリング開始)	

SDREG (01FA3H)	7	6	5	4	3	2	1	0	(初期値: *000 0000)
	—	D6	D5	D4	D3	D2	D1	D0	

6~0	SDREG	サンプリングディレイ	400ns @20MHz × 7bit (最大 51.2 μs)	R/W
-----	-------	------------	----------------------------------	-----

11.3.3 位置検出部の概略処理



11.4 タイマ部

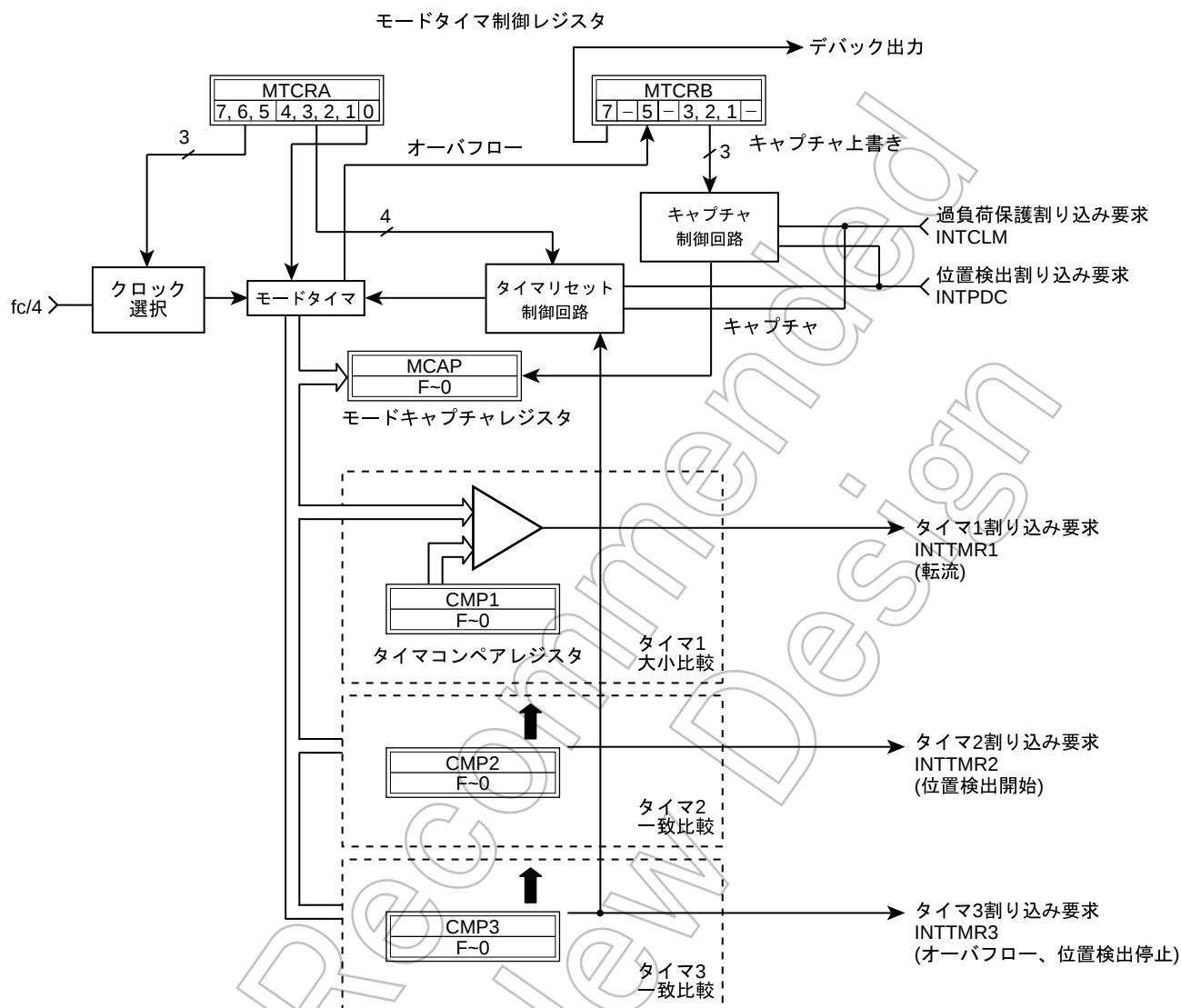


図 11-7 タイマ回路構成

タイマ部は、位置検出割り込み要求 (INTPDC) でクリアされるアップカウンタ (モードタイマ) を持ち、これを基準にした 3 種類のタイミングの割り込み要求 (INTTMR1~3) を生成できます。これらのタイマ機能により転流トリガ、位置検出開始トリガなどを発生可能です。また、モードタイマにはキャプチャ機能があり、位置検出・過負荷保護に同期して自動キャプチャできます。これにより位置検出間隔を測定してモータ回転数を算出することができます。

11.4.1 タイマ部構成

タイマ部は、モードタイマ、3 個のコンパレータ (タイマ 1, 2, 3)、モードキャプチャで構成され、タイマ制御レジスタ、タイマコンペアレジスタで制御します。

- モードタイマは位置検出回路、タイマ 3、過負荷保護回路からの信号によりリセットすることが可能です。モードタイマがリセットされずにオーバーフローした場合、モードタイマは FFFFH で停止し、制御レジスタにオーバーフロービットを立てます。
- カウント中のモードタイマの値は、ソフトウェアによるキャプチャを行なった後、キャプチャレジスタをリードすることで、読み出し可能です。
- タイマ 1 は大小比較により、タイマ 2、タイマ 3 は一致比較により割り込み要求信号を発生します。これによりタイマ 1 は、コンペアレジスタへの書き込みが遅れ、ライト時のカウン

タ値がレジスタ設定値を超えてしまっていた場合でも割り込み要求を発生させることが可能となります。

- タイマ 1~3 割り込みは一度割り込み要求が発生すると、新たにレジスタに値を設定することにより次の割り込み要求の許可がされます。
- 位置検出によるキャプチャを行った場合、キャプチャレジスタは位置検出が行われるごとにキャプチャが行われます。これによりキャプチャレジスタには常に最新の値が保持されます。

11.4.1.1 タイマ回路のレジスタ機能

MTCRB

7	DBOUT	デバッグ出力	“1”を設定することにより、デバッグ出力を行うことができます。それぞれの割り込み要求は割り込み制御回路への信号を用いるため、ソフトウェアによる遅れのないハードウェアデバッグが可能です。 図 11-8 参照 (出力ポート PMD1: P67)
5	TMOF	モードタイマのオーバフロー	リードすることにより、タイマがオーバフローしたことを知ることができます。
3	CLCP	過負荷保護によるモードタイマのキャプチャ	“1”を設定することにより、CL: 過負荷保護信号をトリガとしてタイマのキャプチャを行うことができます。
2	SWCP	ソフトウェアによるモードタイマのキャプチャ	“1”を設定することにより、キャプチャを行うことができます。
1	PDCCP	位置検出によるモードタイマのキャプチャ	“1”を設定することにより、位置検出信号をトリガとしてタイマのキャプチャを行うことができます。

MTCRA

7, 6, 5	TMCK	クロック選択	タイマのクロックを選択します。
4	RBTM3	タイマ 3 でのタイマリセット	“1”を設定することにより、タイマ 3 からのトリガによりタイマがリセットされます。
3	RBCL	過負荷保護によるタイマリセット	“1”を設定することにより、CL: 過負荷保護をトリガとしてタイマがリセットされます。
2	SWRES	ソフトウェアによるタイマリセット	“1”を設定することにより、タイマがリセットされます。
1	RBPD	位置検出によるタイマリセット	“1”を設定することにより、位置検出信号をトリガとしてタイマがリセットされます。
0	TMEN	タイマの許可 / 禁止	“1”を設定することによりタイマがスタートします。よって、この設定の前に CMP にてタイマ設定をしておく必要があります。CMP 設定の後、“0”を設定すると、CMP 設定が無効となります。

MCAP	モードキャプチャ	位置検出間隔を読み出すことができます。
------	----------	---------------------

CMP1	タイマ 1 (転流)	タイマ 1~3 はタイマ機能が動作中は許可状態となります。レジスタへの設定を行うと 1 回の割り込みの発生が可能となり、割り込み要求が発生するかタイマがリセットされると割り込み要求の発生が禁止されます。よってタイマ 1, 2, 3 を使用時はデータが同じであっても割り込み要求許可のために再設定を行ってください。再度タイマを使用するには再設定が必要となります。
CMP2	タイマ 2 (位置検出開始)	
CMP3	タイマ 3 (オーバフロー)	

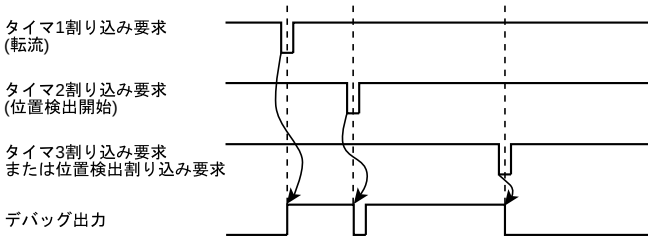


図 11-8 DBOUT デバッグ出力図

タイマ回路のレジスタ一覧 [アドレス : PMD1]

MTCRB	7	6	5	4	3	2	1	0	
(01FA5H) (01FD5H)	DBOUT	—	TMOF	—	CLCP	SWCP	PDCCP	—	(初期値: 0*0*0 000*)

7	DBOUT	デバッグ出力	0: 禁止 1: 許可 (PMD1: P67, PMD2: P77)	R/W
5	TMOF	モードタイマのオーバフロー	0: オーバフローなし 1: オーバフロー発生	R
3	CLCP	過負荷保護によるモードタイマのキャプチャ	0: 禁止 1: 許可	R/W
2	SWCP	ソフトウェアによるモードタイマのキャプチャ	0: ノーオペレーション 1: キャプチャ	W
1	PDCCP	位置検出によるモードタイマのキャプチャ	0: 禁止 1: 許可	R/W

MTCRA	7	6	5	4	3	2	1	0	
(01FA4H)	TMCK		RBTM3	RBCL	SWRES	RBPDC	TMEN		(初期値: 0000 0000)

7, 6, 5	TMCK	クロック選択	000: $fc/2^3$ (分解能 400 ns @ 20 MHz) 010: $fc/2^4$ (分解能 800 ns @ 20 MHz) 100: $fc/2^5$ (分解能 1.6 μ s @ 20 MHz) 110: $fc/2^6$ (分解能 3.2 μ s @ 20 MHz) 001: $fc/2^7$ (分解能 6.4 μ s @ 20 MHz) 011: Reserved 101: Reserved 111: Reserved	R/W
4	RBTM3	タイマ3でのタイマリセット	0: 禁止 1: 許可	
3	RBCL	過負荷保護によるタイマリセット	0: 禁止 1: 許可	
2	SWRES	ソフトウェアによるタイマリセット	0: ノーオペレーション 1: リセット	W
1	RBPDC	位置検出によるタイマリセット	0: 禁止 1: 許可	
0	TMEN	タイマの許可 / 禁止	0: 禁止 1: 許可タイマスタート	R/W

注) クロック選択はタイマ禁止状態にて行ってください。

MCAP	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
(01FA7H, 01FA6H)	DF	DE	DD	DC	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値: 0000000000000000)

MCAP	モードキャプチャ	位置検出間隔	R
------	----------	--------	---

CMP1	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
(01FA9H, 01FA8H)	DF	DE	DD	DC	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値: 0000000000000000)

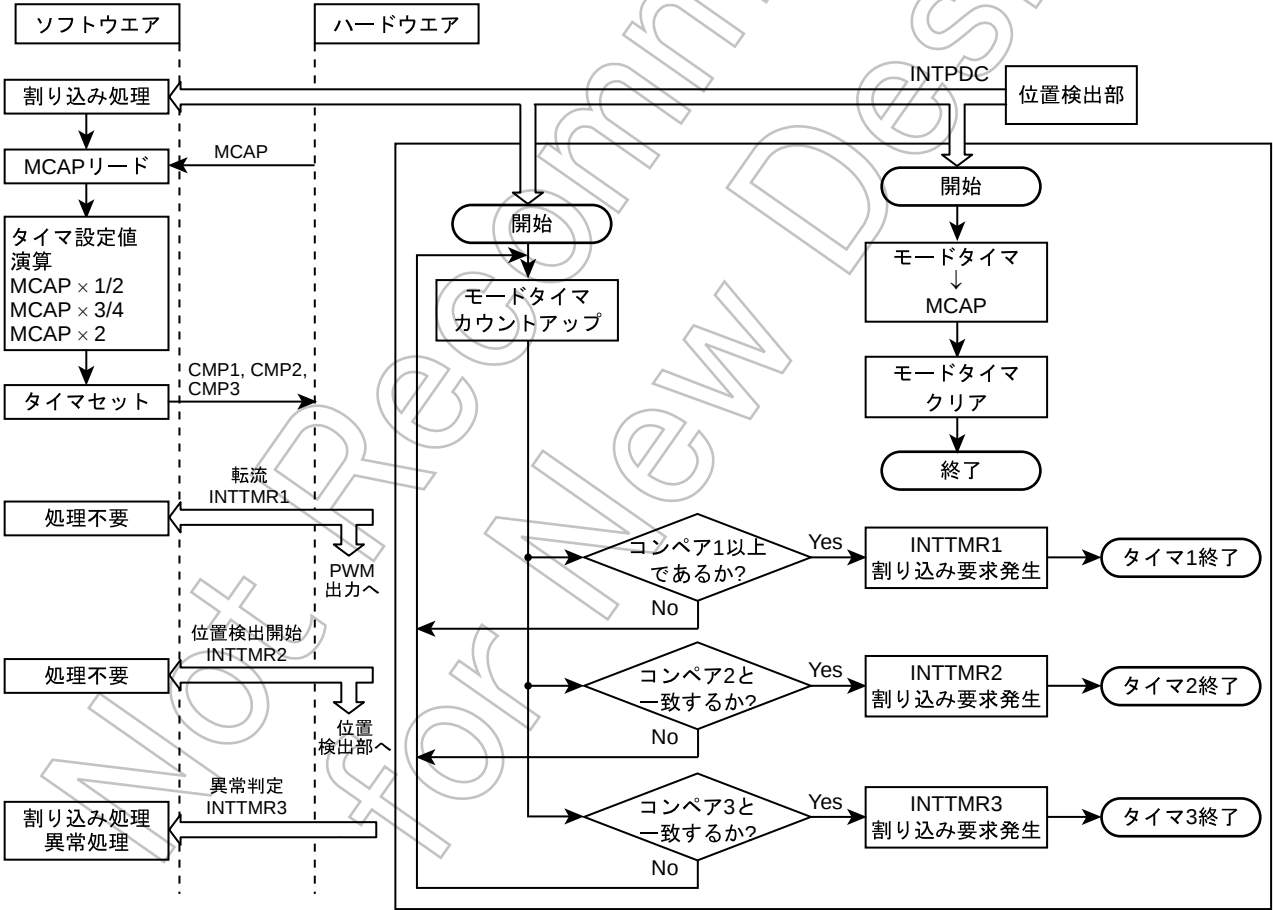
CMP2	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
(01FABH, 01FAAH)	DF	DE	DD	DC	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値 : 0000000000000000)

CMP3	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
(01FADH, 01FACH)	DF	DE	DD	DC	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値 : 0000000000000000)

CMP1	タイマ 1	大小比較コンペアレジスタ	R/W
CMP2	タイマ 2	一致比較コンペアレジスタ	
CMP3	タイマ 3	一致比較コンペアレジスタ	

注) MTCRB, MTCRA は書き込み専用レジスタを含んでいるので、ビット操作などのリードモディファイライト命令ではアクセスできません。

11.4.1.2 タイマ部の概略処理



11.5 3 相 PWM 出力部

3 相 PWM 出力部は、任意のパルス幅で 3 相の PWM 波を生成する機能と、ブラシレス DC モータ制御が可能な転流機能を持ちます。また、パワードライブ部を保護するための過負荷保護・緊急停止などの保護機能や、同相の上下トランジスタの切り替え時に同時オンして短絡することを防止するためにデッドタイムの付加機能を持ちます。

PWM 出力端子 (U,V,W,X,Y,Z) はポートレジスタ PxDR, PxCR (x = 3) を “1” に設定してください。PWM 出力の初期設定はローアクティブとなっていますので、ハイアクティブで使用する時はレジスタ MDCRA にて設定を行ってからポートレジスタを設定してください。

11.5.1 3 相 PWM 出力部構成

3 相 PWM 出力部はパルス幅変調回路、転流制御回路、保護回路 (緊急停止 / 過負荷)、デッドタイム制御回路で構成されます。

11.5.1.1 パルス幅変調回路 (PWM 波形生成部)

PWM 周波数が等しい 3 相の独立した PWM 波形を生成します。PWM 波形のモードは、三角波変調とのこぎり波変調とを、PMD 制御レジスタ (MDCRA) のビット 1 により選択できます。PWM 周波数は、PMD ピリオドレジスタ (MDPRD) で設定されます。MDCRB の PWMCK にて設定された PWM カウンタクロックにより、その値は次のような関係になります。

$$\text{のこぎり波PWM: MDPRDレジスタ設定値} = \frac{1}{\text{PWM周波数 [Hz]} \times \text{PWMカウンタクロック周期}}$$

$$\text{三角波変調PWM: MDPRDレジスタ設定値} = \frac{1}{\text{PWM周波数 [Hz]} \times 2 \times \text{PWMカウンタクロック周期}}$$

PMD ピリオドレジスタ (MDPRD) と CMPU, V, W レジスタはダブルバッファ構成であり、PWM 周期で更新されます。三角波の場合に PWM 割り込み周期を半周期に設定している場合は PWM 半周期で更新されます。

波形演算回路が動作している場合、PWM 波形出力部では波形演算回路から演算結果を受け取り、CMPU, V, W レジスタの設定値として、独立した 3 相の PWM 波形を出力します。波形演算回路で波形演算機能が許可され、演算結果の CMPU, V, W レジスタへの転送 (EDCRA bit2) が許可されている場合、CMPU, V, W レジスタへのライトはできなくなります。

波形演算機能が許可 (EDCRA bit1) で演算結果の CMPU, V, W レジスタへの転送 (EDCRA bit2) が禁止の場合、演算結果は CMPU, V, W レジスタのバッファに転送されますが、演算値は出力されません。CMPU, V, W レジスタをリードすることによりバッファに入力された波形演算回路での演算結果をリードすることができます。また、リードした演算結果をソフト的にデータの変更を行い、CMPU, V, W レジスタへライトすることにより正弦波以外の任意の波形を出力可能です。レジスタへのライト後にリードしたときは、演算が終了し演算結果が転送されるまではレジスタにライトした値が読み出されます。

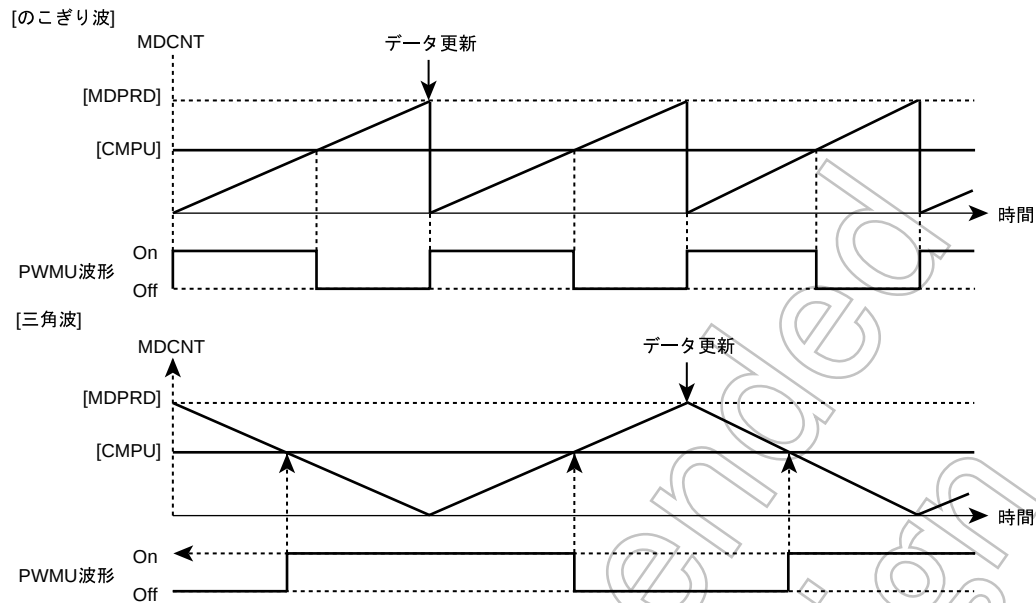


図 11-9 PWM 波形

PWM コンペアレジスタ (CMPU/V/W) の値と、PWM カウンタ (MDCNT) が生成する搬送波とをコンパレータで大小比較して PWM 波形を生成します。

PWM カウンタは、12 ビットのアップ/ダウンカウンタで 100 ns ($f_c = 20$ MHz 時) の分解能を持ちます。

3 相出力制御では、2 種類の 3 相 PWM の生成方法を設定できます。

1. 3 相独立モード:

3 相の PMD コンペアレジスタにそれぞれ独立した値を設定して、3 相の独立した PWM 波形を生成します。これは、正弦波などの任意の駆動波形生成に使用します。

2. 3 相共通モード:

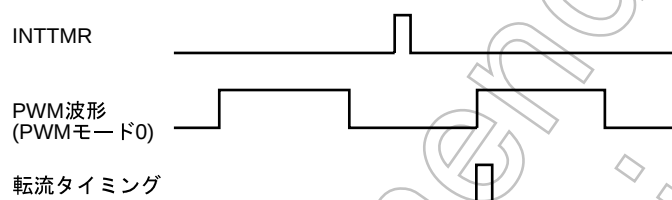
U 相の PMD コンペアレジスタだけに設定し、U 相の設定値で 3 相同一の PWM 波形を生成します。これは、DC モータの矩形波駆動に使用します。

各相の PMD コンペアレジスタは比較レジスタを持ち、ダブルバッファ構成となります。PMD コンペアレジスタの値は PWM 周期に同期して比較レジスタにロードされます。

11.5.1.2 転流制御回路

PMD 出力レジスタ (MDOUT) に設定された内容により、出力ポートの制御を行います。設定内容は、ポート出力時の同期信号の選択とポート出力設定に分けられます。同期信号は、タイマ 1 または 2、位置検出信号または同期なしから選択可能で、その同期信号に同期させた上でさらに PWM 信号同期で出力させることも可能です。MDOUT で同期信号の選択ビットはライト後、直ちに有効となります。それ以外の設定はダブルバッファ構成であり、同時選択信号 (bitB, 7, 6) で選択した同期信号により更新されます。

例) タイマ 1 同期、PWM 同期設定時の転流タイミング



6本のポートの出力設定は、それぞれ独立にハイアクティブ/ローアクティブの設定をMDCRAビット5、4により行います。さらに、U、V、Wの3相それぞれに、PWM出力とH・L出力との選択をMDOUTビットA~8、5~0により設定します。PWM出力を選択するとPWM波形が、H・L出力を選択するとH固定またはL固定の出力が得られます。MDOUTビットE~Cは、位置検出回路の位置信号期待値を設定します。

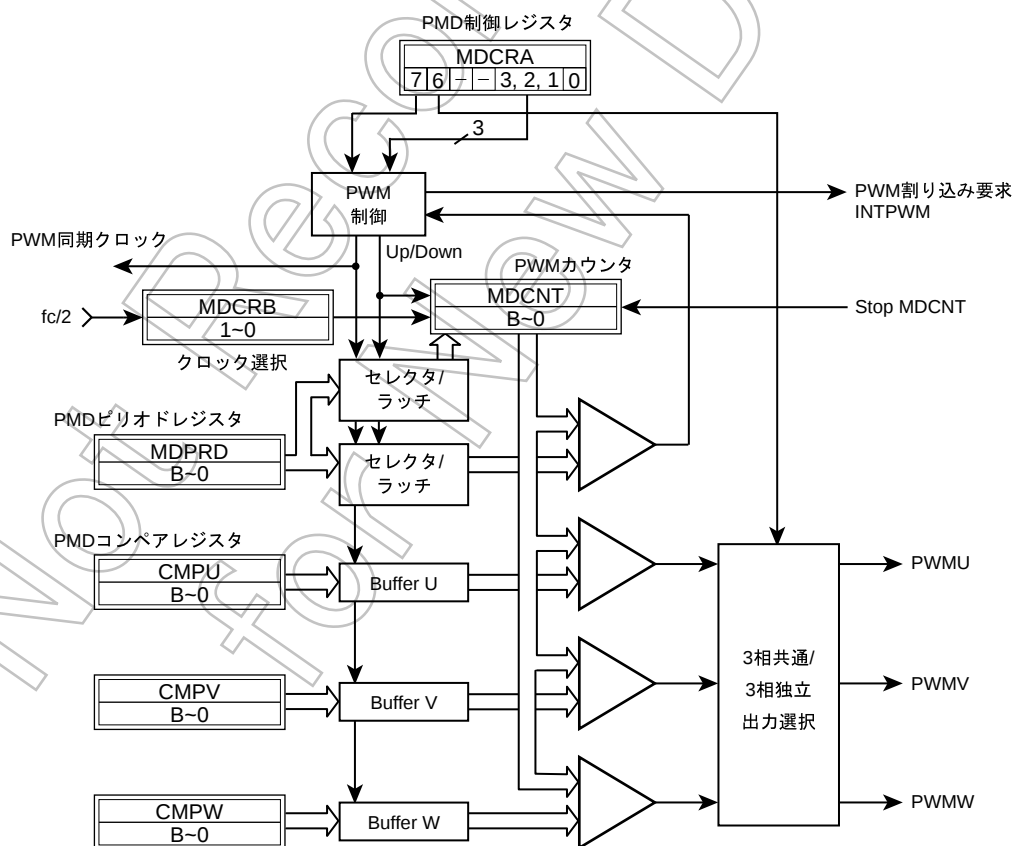


図 11-10 パルス幅変調回路

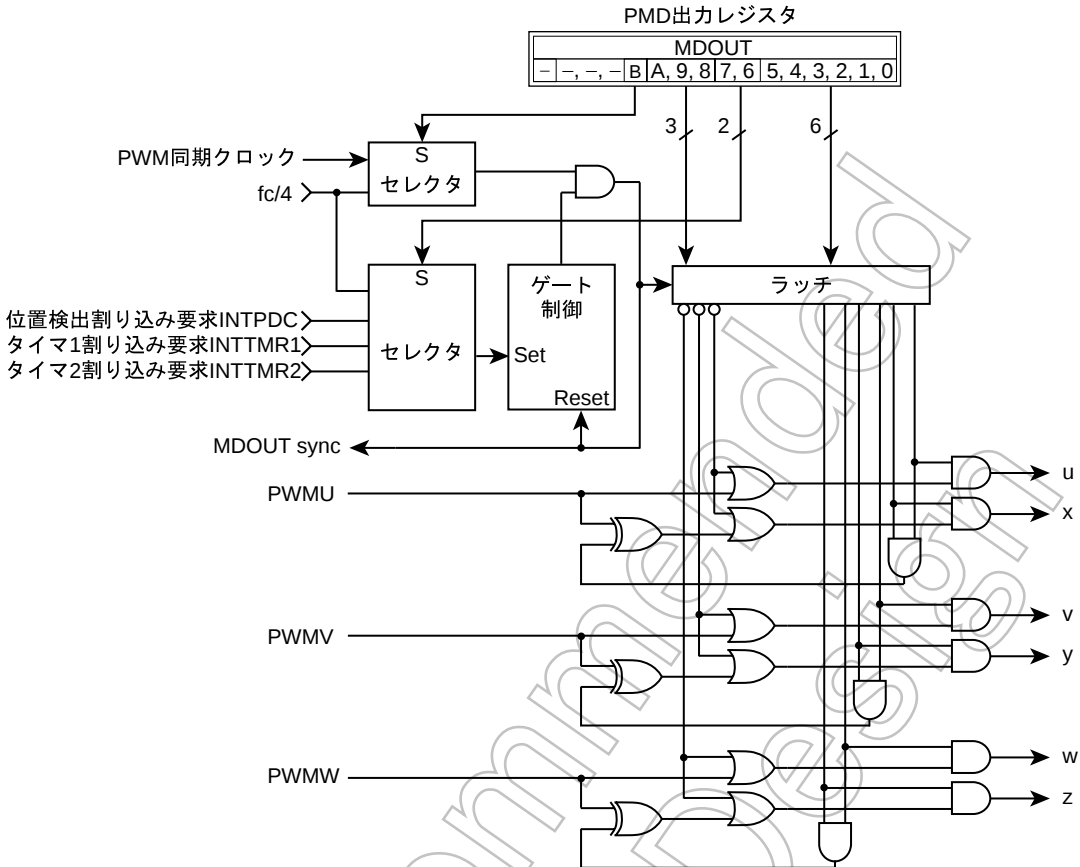


図 11-11 転流制御回路

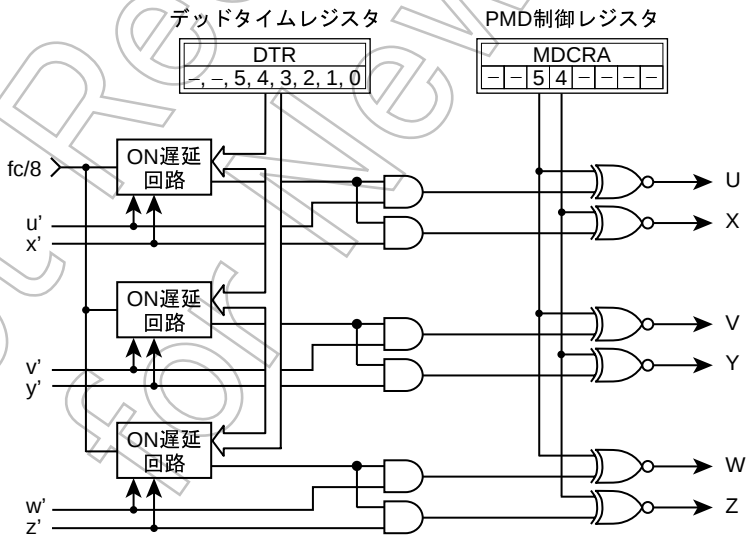


図 11-12 デッドタイム回路

11.5.2 波形合成回路のレジスタ機能

MDCRB

PWMCK	PWM カウンタクロック選択	PWM カウンタのクロックを選択します。
-------	----------------	----------------------

MDCRA

7	HLFINT	半周期割り込み選択	“1”に選択すると、三角波 PWM 出力時で PINT = “00” のときに、半周期ごと (三角波の頂点と谷) に INTPWM を発生します。それ以外のときは、この設定は意味をもちません。
6	DTYMD	DUTY モード	デューティの設定を CMPU-W の 3 相独立で行うか、CMPU レジスタの設定を U 相の設定で 3 相共通で用いるかの選択を行います。
5	POLH	上相ポート極性	上相の出力ポート極性を選択します。波形合成機能停止 (MDCRA.0) の状態で選択を行ってください。
4	POLL	下相ポート極性	下相の出力ポート極性を選択します。波形合成機能停止 (MDCRA.0) の状態で選択を行ってください。
3, 2	PINT	PWM 割り込み頻度	PWM 割り込み要求の発生する頻度を PWM 周期 1 周期, 2 周期, 4 周期, 8 周期に 1 回から選択します。このビットを動作中に変更すると変更時点で割り込み要求が発生する場合があります。
1	PWMMD	PWM モード	PWM のモードを選択します。PWM モード 0 はエッジ PWM (のこぎり波)、PWM モード 1 はセンター PWM (三角波) になります。
0	PWMEN	波形生成回路の許可 / 禁止	許可 (波形出力) する場合は、出力ポート極性などの MDCRA.0 以外のビットの初期設定を行った後に許可 (波形出力) する必要があります。

DTR

DTR	デッドタイム	上相、下相出力間のデッドタイムを設定します。
-----	--------	------------------------

MDOUT

F	UPDWN	PWM カウンタフラグ	PWM カウンタがアップカウント中かダウンカウント中かを示します。エッジ PWM (のこぎり波) を選択した場合、常に “0” が読み出されます。
E, D, C	PDEXP	モードコンペアレジスタ	位置検出力ポートとの比較データを設定します。比較データは MDOUT のポート出力の同期設定によって出力設定がポートに反映されると同時に期待値として採用されます。(次回の MDOUT で設定した出力のための位置検出力期待値です。)
B	PSYNC	PWM 同期選択	SYNCS にて設定した同期信号に同期した上で、PWM 周期に同期 / 非同期の選択を設定可能です。PWM 同期を選択した場合は SYNCS での同期の後、次の PWM まで待ちます。この間に波形設定が書き込まれると上書きされ、その設定で出力されますので注意してください。
A 9 8 7	WPWM VPWM UPWM	UVW 相 PWM 出力制御	U, V, W 相のポート出力設定を行います。(表 11-3 参照)
7, 6	SYNCS	ポート出力の同期信号選択	UVW 相の設定をポートに出力する際の同期信号を選択します。同期信号は、タイマ 1、タイマ 2、位置検出、非同期の中から選択します。初期設定時は、非同期を選択しないとすぐにポートに反映されません。
5, 4 3, 2 1, 0	WOC VOC UOC	UVW 相出力制御	U, V, W 相のポート出力設定を行います。(表 11-3 参照)

MDCNT	PWM カウンタ	PWM 周期をカウントする 12 bit のレジスタで読み出し専用です。
-------	----------	--------------------------------------

MDPRD	PWM 周期の設定	PWM 周期を決定するレジスタで、ダブルバッファリングされており、PWM カウンタの動作中でも変更することができます。バッファへは PWM 周期ごとにロードされます。PWM カウンタクロックに 100 ns を選択した場合には、最下位ビットは 0 を設定してください。
-------	-----------	--

CMPU CMPV CMPW	PWM パルス幅の設定	UVW 各相の出力するパルス幅を決定する比較レジスタで、ダブルバッファリングされており、パッファと PWM カウンタとを大小比較しパルス幅を決定します。
----------------------	-------------	--

波形合成回路レジスタ一覧 [アドレス : PMD1]

MDCRB (01FAFH)	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	PWMCK		(初期値 : **** **00)

1, 0	PWMCK	PWM カウンタクロック選択	00: $f_c/2$ [Hz] (分解能 100 ns @ 20 MHz) 01: $f_c/2^2$ (分解能 200 ns @ 20 MHz) 10: $f_c/2^3$ (分解能 400 ns @ 20 MHz) 11: $f_c/2^4$ (分解能 800 ns @ 20 MHz)	R/W
------	-------	----------------	---	-----

注) クロックの選択は波形合成機能禁止 (PWMEN を 0) 状態にて行ってください。

MDCRA (01FAEH)	7	6	5	4	3	2	1	0	
	HLFINT	DTYMD	POLH	POLL	PINT		PWMMD	PWMEN	(初期値 : 0000 0000)

7	HLFINT	半周期割り込み選択	0: PINT 設定の周期で割り込み要求を発生 1: PINT = 00, PWMMD=1 の時のみ有効、半周期ごとに割り込み要求を発生	R/W
6	DTYMD	Duty モード	0: U 相共通 1: 3 相独立	
5	POLH	上相ポート極性	0: ローアクティブ 1: ハイアクティブ	
4	POLL	下相ポート極性	0: ローアクティブ 1: ハイアクティブ	
3, 2	PINT	PWM 割り込み (トリガ) 選択	00: 割り込み要求 PWM1 周期に 1 回 01: 割り込み要求 PWM2 周期に 1 回 10: 割り込み要求 PWM4 周期に 1 回 11: 割り込み要求 PWM8 周期に 1 回	
1	PWMMD	PWM モード	0: PWM モード 0 (エッジ : のこぎり波) 1: PWM モード 1 (センター : 三角波)	
0	PWMEN	波形合成機能の許可 / 禁止	0: 禁止 1: 許可 (波形出力)	

DTR (01FBEH)	7	6	5	4	3	2	1	0	
	—	—	D5	D4	D3	D2	D1	D0	(初期値 : **00 0000)

5~0	DTR	デッドタイム	$2^3/f_c \times$ 設定値 (最大 25.2 μ s, 分解能 400 ns @ 20 MHz)	R/W
-----	-----	--------	--	-----

注) 設定変更時は波形合成機能禁止 (PWMEN を 0) 状態にて行ってください。

MDOUT (01FB3H, 01FB2H)	F	E	D	C	B	A	9	8
	UPDWN	PDEXP	PSYNC	WPWM	VPWM	UPWM		
	7	6	5	4	3	2	1	0
	SYNCS	WOC	VOC	UOC	(初期値 : 00000000 00000000)			

F	UPDWN	PWM カウンタフラグ	0: アップカウント中 1: ダウンカウント中	R
E, D, C	PDEXP	位置検出用比較レジスタ	bitE: W 相期待値 bitD: V 相期待値 bitC: U 相期待値	R/W
B	PSYNC	PWM 同期選択	0: 非同期 1: 同期	
A	WPWM	W 相 PWM 出力	0: H・L 出力 1: PWM 波形出力	
9	VPWM	V 相 PWM 出力	0: H・L 出力 1: PWM 波形出力	
8	UPWM	U 相 PWM 出力	0: H・L 出力 1: PWM 波形出力	
7, 6	SYNCS	ポート出力の同期信号選択	00: 非同期 01: 位置検出に同期 10: タイマ 1 に同期 11: タイマ 2 に同期	
5, 4	WOC	W 相出力制御	表 11-3 参照	
3, 2	VOC	V 相出力制御		
1, 0	UOC	U 相出力制御		

11.5.3 UOC, VOC, WOC および UPWM, VPWM, WPWM の各ビットの設定によるポート出力

表 11-3 端子出力設定例

U 相 出力極性 ハイアクティブ
(POLH,POLL=1)

UOC	UPWM			
	1: PWM 出力		0: H・L 出力	
	U 相	X 相	U 相	X 相
0 0	PWM	PWM	L	L
0 1	L	PWM	L	H
1 0	PWM	L	H	L
1 1	PWM	PWM	H	H

U 相 出力極性 ローアクティブ
(POLH,POLL=0)

UOC	UPWM			
	1: PWM 出力		0: H・L 出力	
	U 相	X 相	U 相	X 相
0 0	PWM	PWM	H	H
0 1	H	PWM	H	L
1 0	PWM	H	L	H
1 1	PWM	PWM	L	L

MDCNT (01FB5H, 01FB4H)	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値: ****000000000000)

B~0	PWM カウンタ	PWM 周期カウンタ値	R
-----	----------	-------------	---

MDPRD (01FB7H, 01FB6H)	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値: ****000000000000)

B~0	PWM ビリオド	PWM 周期 MDPRD ≥ 010H	R/W
-----	----------	---------------------	-----

CMPU (01FB9H, 01FB8H)	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値: ****000000000000)

CMPV (01FBBH, 01FBAH)	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値: ****000000000000)

CMPW (01FBDH, 01FBDH)	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	(初期値: ****000000000000)

B~0	CMPU	PWM コンペア U レジスタ	U 相デューティ設定	R/W
	CMPV	PWM コンペア V レジスタ	V 相デューティ設定	
	CMPW	PWM コンペア W レジスタ	W 相デューティ設定	

11.5.4 保護回路

EMG 保護回路、過負荷保護回路から構成されます。それぞれのポート入力がアクティブになることで動作します。

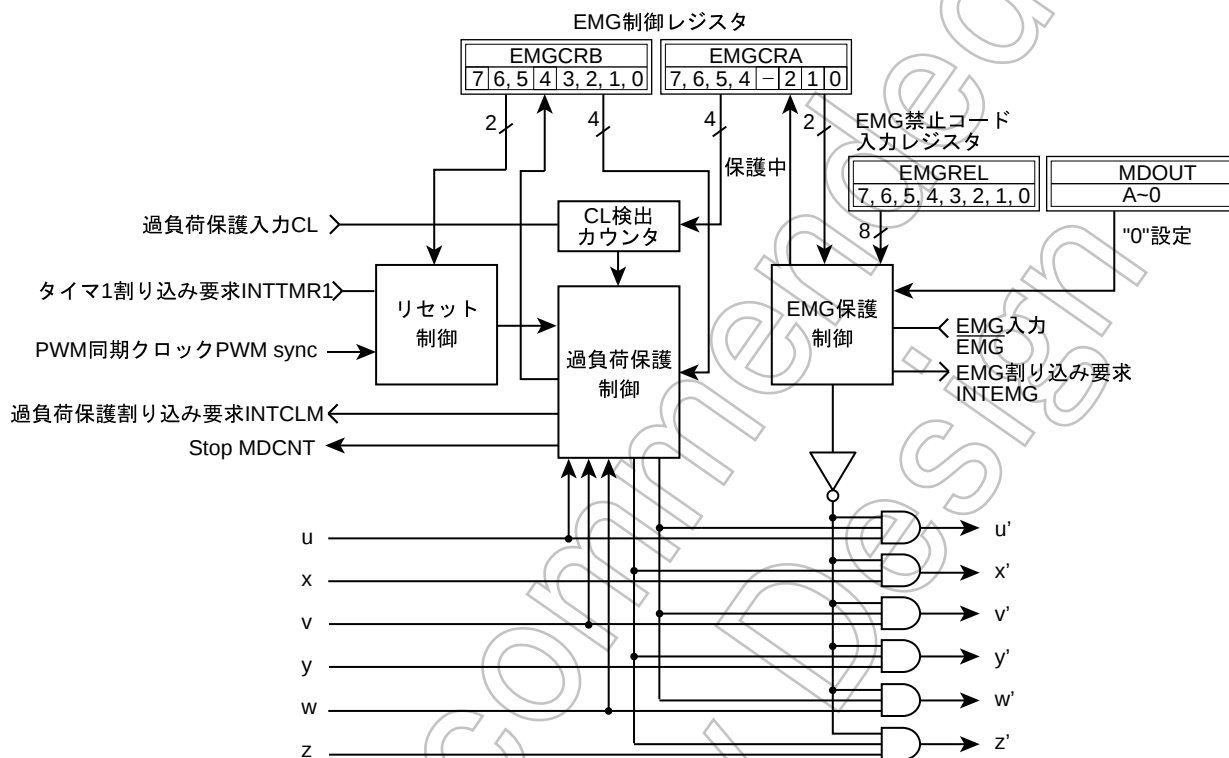


図 11-13 保護回路構成

a. EMG 保護回路

緊急停止用の保護回路であり、EMG 保護回路許可の設定で EMG 入力ポートに入力があった場合 (H → L エッジ動作)、直ちに 6 本のポート出力を禁止し (ハイインピーダンス出力)、EMG 割り込み要求 (INTEMG) を発生します。EMG 保護は EMG 制御レジスタ (EMGCRA) で設定します。また、EMGCRA<EMGST> をリードしたとき、“1” の場合は EMG 保護回路が保護動作中であることを示します。EMG 保護状態から復帰するときは、MDOUT のビット A~0 を “0” に設定後、EMGCRA<RTE> に “1” を設定します。EMG 保護回路状態からの復帰は EMG 保護入力 “H” に回復している場合に有効となります。また、EMG 機能を禁止するには EMG 禁止コード入力レジスタ (EMGREL) に 5AH と A5H を順番に設定後、EMGCRA<EMGEN> に “0” を設定します。

EMG 機能を禁止した場合は EMG 割り込み要求 (INTEMG) は発生しません。

EMG 保護回路は初期状態で許可になっています。禁止して使用する場合は十分な検討が必要です。

b. 過負荷保護回路

過負荷保護回路は EMG 制御レジスタ (EMGCRB/A) で設定します。過負荷保護を有効にするには、EMGCRB<CLEN> を “1” に設定し過負荷保護回路を許可します。過負荷保護入力が “L” になると動作します。

過負荷保護状態から復帰するには、タイマによる復帰 (EMGCRB<RTTM1>)、PWM 同期による復帰 (EMGCRB<RTPWM>)、マニュアルによる復帰 (EMGCRB<RTCL>) のいずれかによります。これらは過負荷保護入力が “H” に回復している場合に有効となります。

過負荷保護入力には EMGCRA<CLCNT> によりサンプリング回数を設定できます。200 ns 周期 (@ $f_c = 20 \text{ MHz}$) で 1~15 回に設定できます。設定した回数分 “L” を検出したら過負荷保護とみなされます。

過負荷保護時の出力カット相は EMGCRB<CLMD> により設定します。カット相なし、全相、PWM 相、全上相 / 全下相、を選択できます。全上相 / 全下相を選択した場合は、カット直前の通電状態によりポート出力が決定されます。上相が 2 相以上アクティブな場合は全上相オンで全下相オフに、また上相の 2 相未満がアクティブな場合は全上相オフで全下相オンになります。出力相カット時はインアクティブ (H アクティブ時は “L”) が出力されます。

過負荷保護回路を禁止した場合は過負荷保護割り込み要求 (INTCLM) は発生しません。

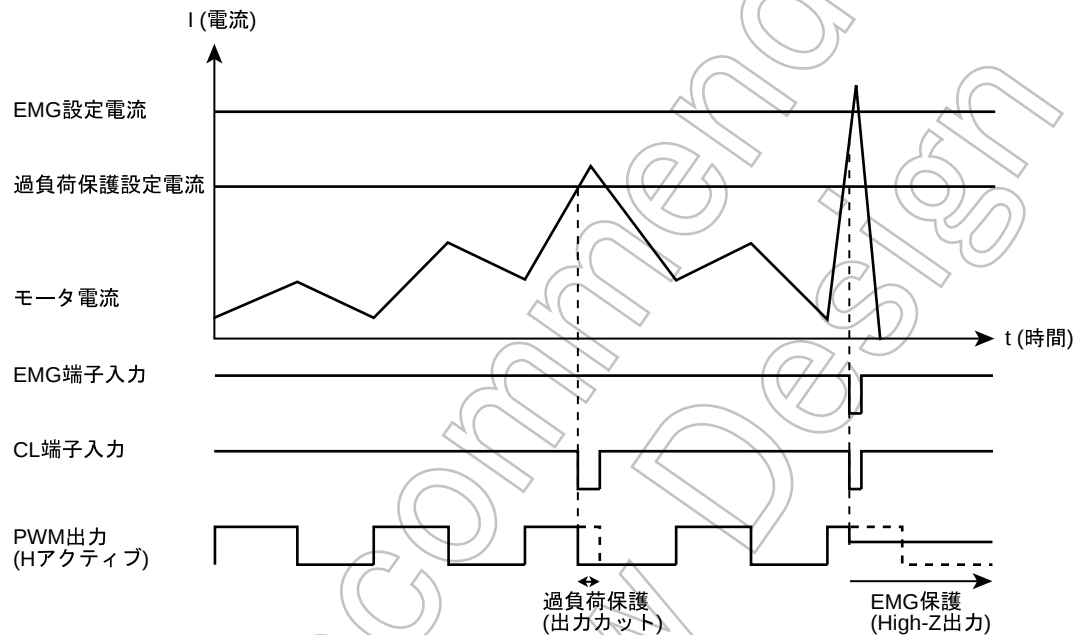


図 11-14 保護回路動作例

11.5.5 保護回路レジスタの機能

EMGREL	EMG 保護回路の禁止コード	“5AH” → “A5H” の順に書き込むことにより EMG 保護回路を禁止します。この後 EMGCRA.0 を “0” に設定する必要があります。
--------	----------------	--

EMGCRB

7	RTCL	過負荷保護状態からの復帰	“1” を設定することにより、ソフトウェア (本レジスタ設定) により過負荷保護状態から復帰することができます。
6	RTPWM	PWM 同期による復帰	“1” を設定することにより、過負荷保護状態から PWM 同期によって復帰することができます。RTCL が “1” に設定されているときは、RTCL が優先されます。
5	RTTM1	タイマ同期による復帰	1 を設定することにより、過負荷保護状態からタイマ 1 同期によって復帰することができます。RTCL が “1” に設定されているときは、RTCL が優先されます。
4	CLST	過負荷保護状態	リードすることにより、過負荷保護の状態を知ることができます。
3, 2	CLMD	過負荷保護時の出力禁止相選択	過負荷保護時に出力を禁止する相を、出力禁止相なし、全相、PWM 相、全上相 / 全下相から選択します。
1	CNTST	過負荷保護時、カウンタの停止	過負荷保護時に PWM カウンタの停止をすることができます。
0	CLEN	過負荷保護の許可禁止	過負荷保護機能の許可 / 禁止を設定します。

EMGCRA

7~4	CLCNT	過負荷保護サンプリング時間	過負荷保護入力ポートのサンプリング時間を設定します。
2	EMGST	EMG 保護状態	リードすることにより、EMG 保護の状態を知ることができます。
1	RTE	EMG 保護状態からの復帰	“1” を設定することにより EMG 保護状態から復帰します。復帰時は MDOUT のビット A~0 に “0” を設定 → EMGCRA.1: “1” → MDOUT 波形出力設定 → MDCRA 設定を行い出力します。
0	EMGEN	EMG 保護回路機能の許可 / 禁止	“1” を設定することにより EMG 保護回路が動作状態となります。初期状態では許可となっています。“0” を設定し EMG 保護回路の動作を禁止する場合は、あらかじめ EMGREL にキーコード 5AH → A5H を入力しておく必要があります。

保護回路レジスタ一覧 [アドレス : PMD1]

EMGREL (01FBFH)	7	6	5	4	3	2	1	0	
	D7	D6	D5	D4	D3	D2	D1	D0	(初期値 : 0000 0000)

7~0	EMGREL	EMG 保護回路の禁止コード	5AH → A5H をライトで禁止。(この後 EMGEN に “0” 設定)	W
-----	--------	----------------	--	---

注) EMGREL は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

EMGCRB (01FB1H)	7	6	5	4	3	2	1	0	
	RTCL	RTPWM	RTTM1	CLST	CLMD	CNTST	CLEN		(初期値 : 0000 0000)

7	RTCL	過負荷保護状態からの復帰	0: ノーオペレーション 1: 保護状態からの復帰	W
6	RTPWM	過負荷保護状態から PWM 同期による復帰の許可 / 禁止	0: 禁止 1: 許可	R/W
5	RTTM1	過負荷保護状態からのタイマ 1 による復帰の許可 / 禁止	0: 禁止 1: 許可	
4	CLST	過負荷保護状態	0: ノーオペレーション 1: 保護中	R
3, 2	CLMD	過負荷保護時、出力禁止相選択	00: 出力禁止相なし 01: 全相出力禁止 10: PWM 相 11: 全上相 / 全下相 (注)	R/W
1	CNTST	過負荷保護時、PWM カウンタの停止	0: 停止しない 1: 停止	
0	CLEN	過負荷保護回路の機能の許可 / 禁止	0: 禁止 1: 許可	

注) 過負荷保護時にポートの出力状態が、上相が 2 相以上オンであれば全下相を禁止し、全上相を出力状態にし、下相が 2 相以上オンであれば全上相を禁止し、全下相を出力状態にします。

EMGCRA (01FB0H)	7	6	5	4	3	2	1	0	
	CLCNT					EMGST	RTE	EMGEN	(初期値 : 0000 *001)

7~4	CLCNT	過負荷保護サンプリング回数	$2^2 / f_c \times n$ ($n = 1 \sim 15$, 分解能 200 ns @ 20 MHz) 0 および 1 は 1 に設定されます。	R/W
2	EMGST	EMG 保護状態	0: ノーオペレーション 1: 保護中	R
1	RTE	EMG 状態からの復帰	0: ノーオペレーション 1: 保護状態からの復帰 (注 1)	W
0	EMGEN	EMG 保護回路の機能の許可 / 禁止	0: 禁止 1: 許可	R/W

注 1) EMG 状態からの復帰命令は、 $\overline{\text{EMG}}$ 入力が “L” の場合は無効になります。
注 2) EMGCRB, EMGCRA は書き込み専用レジスタを含んでいるので、ビット操作などのリードモディファイライト命令ではアクセスできません。

11.6.1 電気角タイマおよび波形演算回路

電気角タイマは、周期設定レジスタ (EDSET) に設定した値で、カウントアップ (ダウン) が行われます。電気角タイマは 360 度を 0~383 (17FH) の範囲でカウントし、383 の次は 0 にクリアされます。このようにして、周期設定レジスタに設定した値に比例した周波数の電気角を得ることが可能になります。また、周期補正レジスタにより、カウントアップを行う周期の補正を行い、周波数の微調整が可能です。電気角タイマでカウントされた電気角は波形演算回路へと出力されます。電気角タイマのカウントアップがされるごとに電気角タイマ割り込み要求信号が発生します。

波形演算回路は、正弦波データテーブルを持ち、電気角タイマから得られた電気角データを基に正弦波データを読み込みます。読み込まれた正弦波データと電圧振幅レジスタの値の積を演算します。2 相変調の場合には結果を波形合成回路へと出力し、3 相変調を行う場合には、さらに、得られた積と電気角データ、PWM 周期レジスタの値をもとに波形データを演算します。演算は電気角タイマがカウントアップされるごとまたは電気角レジスタに値が設定されると開始され、U 相、V 相、W 相それぞれ順次、演算され PWM 波形出力回路へ出力されます。正弦波データテーブルは RAM に格納され、初期設定が必要です。

- 周期を補正するには、周期補正レジスタ (EDSETF~C) に、補正を行う回数 n を設定します。電気角カウント 16 回に n 回、周期をプラス 1 補正します。例えば、周期補正レジスタに 3 を設定すると、電気角カウント 16 回のうち 13 回の周期は周期設定レジスタの設定値 m となり、3 回は $m+1$ となります。(補正はほぼ等間隔に行われます)
- 電気角カウンタ (ELDEG) は電気角タイマの動作中でも設定可能で、電気角の補正を行うことが可能です。
- 電気角キャプチャ EDCAP は、位置検出のタイミングで電気角カウンタの値をキャプチャを行います。
- 波形演算機能を許可した場合、電気角カウンタ (ELDEG) へのライトまたは電気角タイマのカウントアップ周期ごとに波形演算を行うか、ソフトウェアにて演算を行うかの選択ができます。電気角周期が長い場合は、AMP 値を設定し直してソフトウェアでの演算を行うと、より細かい制御が可能です。
- 演算の実行時間は 35 マシンサイクル、7 [μ s] (@ 20 MHz) で行われます。
- 演算結果の CMP レジスタへの転送 (EDCRA<RWREN>) を許可すると、演算結果を CMPU~W へ転送します (波形演算機能 EDCRA<CALCEN> 許可時のみ)。また、許可中の CMPU~W レジスタへのライトは禁止されます。波形演算機能の許可中は CMPU~W から演算結果をリードすることができます。
- 演算された結果をソフト的にデータの変更を行い CMPU~W にセットすることにより、正弦波以外の任意の波形を出力することが可能です。演算結果の CMP レジスタへの転送 (EDCRA bit2) を禁止すると CMPU~W を Read することで演算結果をリードすることが可能です。(演算終了を確認後 Read してください)
- 正弦波データテーブル RAM の全データの初期設定は ELDEG レジスタに 000H から 17FH まで順次、設定を行うアドレスを設定し、その都度、WFMDR レジスタへ波形データをライトして初期設定を行います。データのライトは波形演算回路が禁止の状態で行います。

注 1) 周期設定 EDSET (EDT) へは 010H 以上の値を設定してください。010H 以下の値を設定しても 010H の値になります。

注 2) 正弦波データの読み込みは U 相に対し V 相: 電気角 120 度 (-120 度)、W 相: 電気角 240 度 (-240 度) のデータとなります。

注 3) 電気角 1 度の周期が演算時間よりも短い場合は、前回の演算結果が使用されています。

11.6.1.1 電気角タイマ、波形演算回路レジスタ機能

EDCRB

3	CALCST	ソフトウェアによる演算開始	強制的に演算を開始させます。演算中に“1”を書き込むと、演算を中断して新たに演算を開始します。
2	CALCBSY	演算中フラグ	リードすることで演算器の動作状態を知ることが可能です。
1	EDCALEN	電気角変化による演算開始の許可 / 禁止	電気角周期カウンターの一致または電気角への書き込み時に演算を開始するかどうかを選択します。禁止にしている場合、CALCST = “1” 以外の条件で演算が開始されることはありません。
0	EDISEL	電気角割り込み選択	電気角割り込み要求信号のタイミングを電気角タイマの一致時と演算終了時から選択します。

EDCRA

7	EDCNT	電気角カウント方向選択	電気角のカウント方向を選択します。
6	EDRV	VW 位相選択	U 相に対して V 相 W 相の位相方向を選択します。
5, 4	EDCK	クロック選択	電気角周期タイマのクロックを選択します。電気角タイマの動作中でも変更が可能です。
3	C2PEN	2 相変調 / 3 相変調切替	波形演算を行う際の変調方式を設定します。 演算式は、 2 相変調：演算結果 = ramdata (ELDEG) × AMP 3 相変調：演算結果 = $\frac{MDPRD}{2} + \frac{ramdata(ELDEG) \times AMP}{2}$ 注) 3 相変調時の ± 符号は電気角により切り替わります。 電気角 カウント値 (ELDEG) 0~179 度 0~191 (0~BFH): + 180~360 度 192~383 (C0~17FH): -
2	RWREN	演算結果の CMP レジスタへの自動転送	波形演算回路の演算結果を転送する許可 / 禁止を行います。波形演算機能を許可し、かつ、転送が許可されている場合、演算結果が、PWM 生成回路の U, V, W 相のデューティとしてセットされ、ポートへ反映されます。
1	CALCEN	波形演算機能の許可 / 禁止	波形演算機能の許可 / 禁止を行います。波形演算機能を許可することにより、波形演算回路で演算が行われます。波形演算機能が許可されると、演算された結果は、PWM 生成回路の U, V, W 相のコンペアレジスタより読み出し可能となります。(CMPU, V, W)
0	EDTEN	電気角タイマ	電気角タイマの許可 / 禁止を行います。許可を行うと電気角タイマのカウントを開始し、禁止するとタイマを停止し、内部の電気角周期カウンタを 0 にリセットします。電気角 (ELDEG) の設定を変更しないで再び許可した場合は、停止した電気角から再スタートします。

EDSET

F~C	EDTH	電気角周期補正	電気角カウント 16 回のうち設定した回数 n だけ周期を +1 補正します。(16 - n) 回は、電気角周期設定値 m カウントし、n 回は (m + 1) カウントします。補正はほぼ等間隔に行われます。
B~0	EDT	電気角周期	電気角周期の設定を行います。

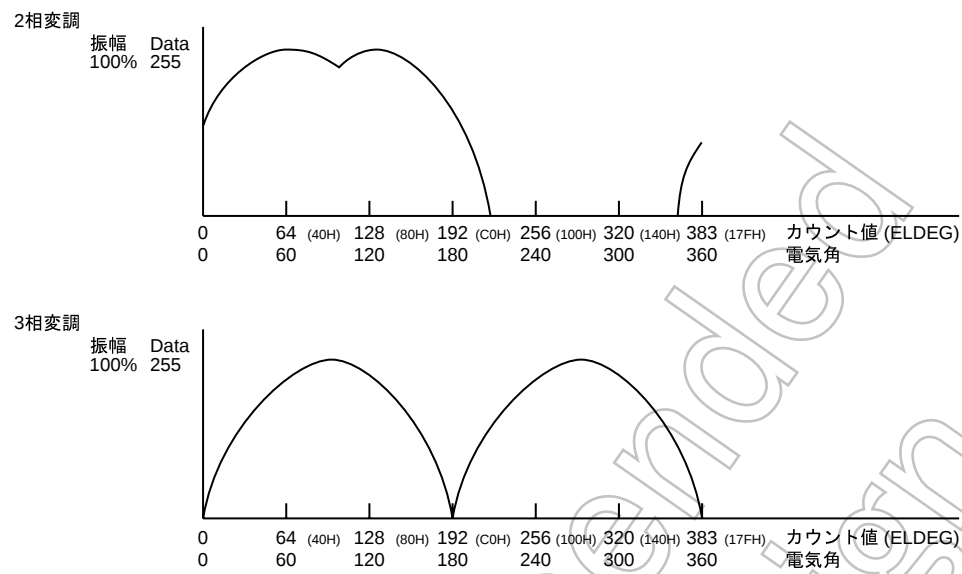
ELDEG	電気角	電気角のリードを行います。また、初期設定、およびカウント中での角度補正のために設定を行うことが可能です。17FH より大きい値は設定できません。
-------	-----	--

AMP	電圧振幅設定	電圧振幅を設定します。波形演算回路では設定されたデータと正弦波 RAM から読み出した正弦波データの積を演算します。振幅は MDPRD レジスタの設定値を上限として演算されます。
-----	--------	---

EDCAP	電気角キャプチャ	位置検出時の電気角タイマの値をキャプチャします。
-------	----------	--------------------------

WFMDR	正弦波データ設定	正弦波データ RAM へ正弦波データを書き込みます。電気角レジスタ ELDEG に 0~17FH まで順次アドレスを設定し、その都度 WFMDR へ正弦波データを書き込みます。データ書き込みは波形演算回路が禁止の状態で行ってください。
-------	----------	---

正弦波データ設定例



注) 3 相変調時は電気角 180 度で演算符号が変わります。

図 11-17 正弦波データ設定例

電気角タイマ、波形演算回路レジスタ一覧 [アドレス : PMD1]

EDCRB (01FC1H)	7	6	5	4	3	2	1	0	
	-	-	-	-	CALCST	CALCBSY	EDCALEN	EDISEL	(初期値: **** 0000)

3	CALCST	演算開始	0: ノーオペレーション 1: 演算開始	W
2	CALCBSY	演算中フラグ	0: 演算器停止中 1: 演算中	R
1	EDCALEN	電気角変化による演算開始の許可 / 禁止	0: 電気角に同期して演算開始 1: 電気角に同期して演算を行わない	R/W
0	EDISEL	電気角割り込み選択	0: 電気角周期タイマの一致で割り込み要求発生 1: DUTY の演算終了時に割り込み要求発生	

注) EDCRB は書き込み専用レジスタを含んでいるので、ビット操作などのリードモディファイライト命令ではアクセスできません。

EDCRA (01FC0H)	7	6	5	4	3	2	1	0	
	EDCNT	EDRV	EDCK	C2PEN	RWREN	CALCEN	EDTEN		(初期値: 0000 0000)

7	EDCNT	電気角カウント方向選択	0: 電気角アップカウント 1: 電気角ダウンカウント	R/W
6	EDRV	VW 位相選択	0: $V = U + 120^\circ$, $W = U + 240^\circ$ 1: $V = U - 120^\circ$, $W = U - 240^\circ$	
5, 4	EDCK	クロック選択	00: $fc/2^3$ (分解能 400 ns @ 20 MHz) 01: $fc/2^4$ (分解能 800 ns @ 20 MHz) 10: $fc/2^5$ (分解能 1.6 μ s @ 20 MHz) 11: $fc/2^6$ (分解能 3.2 μ s @ 20 MHz)	
3	C2PEN	2 相変調 / 3 相変調切り替え	0: 2 相変調 1: 3 相変調	
2	RWREN	演算結果の CMP レジスタへの転送	0: 禁止 1: 許可	
1	CALC	波形演算機能の許可 / 禁止	0: 禁止 1: 許可	
0	EDTEN	電気角タイマの許可 / 禁止	0: 禁止 1: 許可	

注) クロックの選択は電気角タイマの禁止状態で行ってください。

EDSET	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0	
(01FC3H, 01FC2H)	EDTH				EDT												(初期値: 00000000 00010000)

F~C	EDTH	周期補正 (n)	0~15 回	R/W
B~0	EDT	周期設定 (m)	≥ 010H	

電気角タイマの 1 周期 T は、次の式で表されます。

$$T = \left(m + \frac{n}{16}\right) \times 384 \times \text{設定クロック [秒]}$$
 [m:周期設定 n:周期補正]

ELDEG (01FC5H, 01FC4H)	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	D8	D7	D6	D5	D4	D3	D2	D1	D0
(初期値 : *****0 00000000)																

8~0	ELDEG	電気角カウンタ	電気角の初期値設定およびカウント値	R/W
-----	-------	---------	-------------------	-----

AMP (01FC7H, 01FC6H)	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	DB	DA	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
(初期値 : ****0000 00000000)																

B~0	AMP	電圧設定	波形演算時の電圧設定	R/W
-----	-----	------	------------	-----

EDCAP (01FC9H, 01FC8H)	F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	D8	D7	D6	D5	D4	D3	D2	D1	D0
(初期値 : *****0 00000000)																

8~0	EDCAP	電気角キャプチャ値	位置検出時の電気角タイマ値	R
-----	-------	-----------	---------------	---

WFMDR (01FCAH)	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
(初期値 : *****)								

7~0	WFMDR	正弦波データ	正弦波データ RAM へ正弦波データを書き込み	W
-----	-------	--------	-------------------------	---

注) WFMDR は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

11.6.1.2 PMD 関連制御レジスター一覧

(1) 入出力端子、入出力制御レジスタ

PMD1 の入出力端子 (P3, P4) およびポート入出力制御レジスタ (P3CR, P4CR)

名称	アドレス	ビット	R or W	説明
P3DR	00003H	7	R/W	過負荷保護 (CL1)
		6	R/W	EMG 入力 (EMG1)
		5~0	R/W	U1/V1/W1/X1/Y1/Z1 出力
P4DR	00004H	2~0	R/W	位置信号入力 (PDU1, PDV1, PDW1)
P3CR	01F89H	7~0	R/W	P3 ポート入出力制御 (ビットごとに指定可) 0: 入力モード 1: 出力モード
P4CR	01F8AH	2, 1, 0	R/W	P4 ポート入出力制御 (ビットごとに指定可) 0: 入力モード 1: 出力モード

注) PMD 機能または入力ポートで使用するには出力ラッチ (PxDR) に“1”を設定します。

例) PMD 端子ポート設定

	入出力	P3DR	P3CR	P4DR	P4CR
CL1	入力	*	0	—	—
EMG1	入力	*	0	—	—
U1	出力	1	1	—	—
PDU1	入力	—	—	*	0

(2) モータ制御回路の制御レジスタ [アドレス : PMD1]

位置検出制御レジスタ (PDCR)、サンプリングディレイレジスタ (SDREG)

名称	アドレス	ビット	R or W	説明
PDCRC	01FA2H	5, 4	R	位置検出位置の検出 00: 現パルス内 01: PWM オフ時 10: 現パルス内 11: 前パルス内
		3	R	サンプリング状態モニタ 0: サンプリング停止中 1: サンプリング中
		2~0	R	不一致検出モード時、位置検出ポート状態保持。 ビット 2, 1, 0: W, V, U 相
PDCRB	01FA1H	7, 6	R/W	サンプリング入カクロック選択 [Hz] 00: $fc/2^2$ 01: $fc/2^3$ 10: $fc/2^4$ 11: $fc/2^5$
		5, 4	R/W	サンプリングモード 00: PWM オン時 01: 常時 10: 下相通電時
		3~0	R/W	位置検出一致回数 1~15 回
PDCRA	01FA0H	7	W	0: ノーオペレーション 1: ソフトウェアによるサンプリング停止
		6	W	0: ノーオペレーション 1: ソフトウェアによるサンプリング開始
		5	R/W	タイマ 3 によるサンプリング停止 0: 禁止 1: 許可
		4	R/W	タイマ 2 によるサンプリング開始 0: 禁止 1: 許可
		3	R/W	位置検出入力端子数の設定 0: 3 端子 (PDU/PDV/PDW) 1: 1 端子 (PDU) のみ比較
		2	R/W	PWM オン時の一致回数のカウント 0: 前の PWM 時の回数に続く 1: PWM オンごとに再カウント
		1	R/W	位置検出モード 0: 通常モード 1: 不一致検出モード
		0	R/W	位置検出機能の許可 / 禁止 0: 禁止 1: 許可 (サンプリング開始)
SDREG	01FA3H	6~0	R/W	サンプリングディレイ時間 $2^3/fc \times \text{設定値}$ (最大 50.8 μs , 分解能 400 ns @ 20 MHz)

モードタイマ制御レジスタ (MTCR)、モードキャプチャレジスタ (MCAP)、コンペアレジスタ (CMP1, CMP2, CMP3)

名称	アドレス	ビット	R or W	説明
MTCRB	01FA5H	7	R/W	デバッグ出力 0: 禁止 1: 許可 (PMD1:P67)
		5	R	モードタイマのオーバフロー 0: オーバフローなし 1: オーバフロー発生
		3	R/W	過負荷保護によるモードタイマのキャプチャ 0: 禁止 1: 許可
		2	W	ソフトウェアによるモードタイマのキャプチャ 0: ノーオペレーション 1: キャプチャ
		1	R/W	位置検出によるモードタイマのキャプチャ 0: 禁止 1: 許可
MTCRA	01FA4H	7, 6, 5	R/W	モードタイマのクロック選択 [Hz] 000: $f_c/2^3$ (400 ns @ 20 MHz) 010: $f_c/2^4$ (800 ns @ 20 MHz) 100: $f_c/2^5$ (1.6 μ s @ 20 MHz) 110: $f_c/2^6$ (3.2 μ s @ 20 MHz) 001: $f_c/2^7$ (6.4 μ s @ 20 MHz) 011: Reserved 101: Reserved 111: Reserved
		4	R/W	タイマ 3 でのタイマリセット 0: 禁止 1: 許可
		3	R/W	過負荷保護によるタイマリセット 0: 禁止 1: 許可
		2	W	ソフトウェアによるタイマリセット 0: ノーオペレーション 1: リセット
		1	R/W	位置検出によるタイマリセット 0: 禁止 1: 許可
		0	R/W	モードタイマの許可 / 禁止 0: 禁止 1: 許可 タイマスタート
MCAP	01FA7H, 01FA6H	F~0	R	モードキャプチャレジスタ
CMP1	01FA9H, 01FA8H	F~0	R/W	コンペアレジスタ 1
CMP2	01FABH, 01FAAH	F~0	R/W	コンペアレジスタ 2
CMP3	01FADH, 01FACH	F~0	R/W	コンペアレジスタ 3

PMD 制御レジスタ (MDCR)、デッドタイムレジスタ (DTR)、PMD 出力レジスタ (MDOUT)

名称	アドレス	ビット	R or W	説明
MDCRB	01FAFH	1, 0	R/W	PWM カウンタクロック選択 00: $f_c/2$ (100 ns @ 20 MHz) 01: $f_c/2^2$ (200 ns @ 20 MHz) 10: $f_c/2^3$ (400 ns @ 20 MHz) 11: $f_c/2^4$ (800 ns @ 20 MHz)
MDCRA	01FAEH	7	R/W	0: PINT 設定の周期で割り込み要求を発生 1: PINT = 00 の時、半周期ごとに割り込みを発生
		6	R/W	DUTY モード 0: U 相共通 1: 3 相独立
		5	R/W	上相ポート極性 0: ローアクティブ 1: ハイアクティブ
		4	R/W	下相ポート極性 0: ローアクティブ 1: ハイアクティブ
		3, 2	R/W	PWM 割り込み要求 (トリガ) 選択 00: 割り込み要求 1 周期に 1 回 01: 2 周期に 1 回 10: 4 周期に 1 回 11: 8 周期に 1 回
		1	R/W	PWM モード 0: PWM モード 0 (エッジ: のこぎり波) 1: PWM モード 1 (センター: 三角波)
		0	R/W	波形成機能の許可 / 禁止 0: 禁止 1: 許可 (波形出力)
DTR	01FBEH	5~0	R/W	デッドタイム設定 $2^3/f_c \times \text{設定値}$ (最大 25.2 μ s, 分解能 400 ns @ 20 MHz)
MDOUT	01FB3H, 01FB2H	F	R	0: アップカウント中 1: ダウンカウント中
		E, D, C	R/W	位置検出用比較レジスタ 6: W 5: V 4: U
		B	R/W	PWM 同期選択 0: PWM 周期に非同期 1: 同期
		A	R/W	W 相 PWM 出力 0: H・L 出力 1: PWM 波形出力
		9	R/W	V 相 PWM 出力 0: H・L 出力 1: PWM 波形出力
		8	R/W	U 相 PWM 出力 0: H・L 出力 1: PWM 波形出力
		7, 6	R/W	ポート出力の同期信号選択 00: 非同期 01: 位置検出に同期 10: タイマ 1 に同期 11: タイマ 2 に同期
		5, 4	R/W	W 相出力制御
		3, 2	R/W	V 相出力制御
		1, 0	R/W	U 相出力制御

PWM カウンタ (MDCNT)、PMD ピリオドレジスタ (MDPRD)、PMD コンペアレジスタ (CMPU, CMPV, CMPW)

名称	アドレス	ビット	R or W	説明
MDCNT	01FB5H, 01FB4H	B~0	R	PWM 周期カウンタ値読み出し
MDPRD	01FB7H, 01FB6H	B~0	R/W	PWM 周期 MDPRD $\geq$ 010H
CMPU	01FB9H, 01FB8H	B~0	R/W	U 相 PWM デューティ設定
CMPV	01FBBH, 01FBAH	B~0	R/W	V 相 PWM デューティ設定
CMPW	01FBDH, 01FBCB	B~0	R/W	W 相 PWM デューティ設定

EMG 解除レジスタ (EMGREL)、EMG 制御レジスタ (EMGCR)

名称	アドレス	ビット	R or W	説明
EMGREL	01FBFH	7~0	W	EMG 保護回路禁止コード入力 5AH $\rightarrow$ A5H をライトで禁止
EMGCRB	01FB1H	7	W	過負荷保護状態から復帰 0: ノーオペレーション 1: 保護状態からの復帰
		6	R/W	過負荷保護状態からの復帰条件: PWM 同期 0: 禁止 1: 許可
		5	R/W	過負荷保護状態からのタイマ 1 による復帰の許可 / 禁止 0: 禁止 1: 許可
		4	R	過負荷保護状態 0: ノーオペレーション 1: 保護中
		3, 2	R/W	過負荷保護時、出力禁止相選択 00: 出力禁止相なし 01: 全相出力禁止 10: PWM 相 11: 全上相 / 全下相
		1	R/W	過負荷保護時、PWM カウンタ (MDCNT) 停止 0: 停止しない 1: 停止する
		0	R/W	過負荷保護回路の機能の許可 / 禁止 0: 禁止 1: 許可
EMGCRA	01FB0H	7~4	R/W	過負荷保護サンプリング時間 $2^2/f_c \times n$ ($n = 1 \sim 15$, 分解能 200 ns @ 20 MHz)
		2	R	EMG 保護状態 0: ノーオペレーション 1: 保護中
		1	W	EMG 状態からの復帰 0: ノーオペレーション 1: 保護状態からの復帰
		0	R/W	EMG 保護回路の機能の許可 / 禁止 0: 禁止 1: 許可 (初期状態は 1: 許可となっています。禁止する場合は、あらかじめ EMGREL1 にキーコード 5AH $\rightarrow$ A5H を入力しておく必要があります)

電気角制御レジスタ (EDCR)、電気角周期レジスタ (EDSET)、電気角設定レジスタ (ELDEG)、電圧設定レジスタ (AMP)、電気角キャプチャレジスタ (EDCAP)、正弦波データ設定レジスタ (WFMDR)

名称	アドレス	ビット	R or W	説明
EDCRB	01FC1H	3	W	0: ノーオペレーション 1: 演算開始
		2	R	0: 演算器停止中 1: 演算中
		1	R/W	0: 電気角に同期して演算開始 1: 電気角に同期して演算を行わない
		0	R/W	0: 電気角周期タイマの一致で割り込み要求発生 1: DUTY の演算終了時に割り込み要求発生
EDCRA	01FC0H	7	R/W	0: 電気角アップカウント 1: 電気角ダウンカウント
		6	R/W	0: $V = U + 120^\circ$, $W = U + 240^\circ$ 1: $V = U - 120^\circ$, $W = U - 240^\circ$
		5, 4	R/W	クロック選択 00: $fc/2^3$ 01: $fc/2^4$ 10: $fc/2^5$ 11: $fc/2^6$
		3	R/W	2 相変調 / 3 相変調切り替え 0: 2 相変調 1: 3 相変調
		2	R/W	演算結果の CMP レジスタへの転送 0: 禁止 1: 許可
		1	R/W	波形演算機能の許可 / 禁止 0: 禁止 1: 許可
		0	R/W	電気角タイマ 0: 禁止 1: 許可
EDSET	01FC3H, 01FC2H	F~C	R/W	周期補正 (n) 0~15 回
		B~0	R/W	周期設定 (1/m カウンタ) $\geq 010H$
ELDEG	01FC5H, 01FC4H	8~0	R/W	電気角の初期値設定およびカウント値
AMP	01FC7H, 01FC6H	B~0	R/W	波形演算時の電圧設定
EDCAP	01FC9H, 01FC8H	8~0	R	位置検出時の電気角タイマ値
WFMDR	01FCAH	7~0	W	正弦波データ設定

第 12 章 非同期型シリアルインターフェース (UART)

TMP88CH40NG は、非同期型シリアルインターフェース (UART) を 1 チャンネル内蔵しています。

外部デバイスとは、RXD、TXD 端子を通して接続されます。RXD、TXD 端子は汎用ポートと兼用しているため、TXD 端子として使用するポートは出力ラッチを "1" にセットした後、出力制御レジスタを "1" にセットして出力モードに設定します。RXD 端子として使用するポートは、入力モードに設定します。

なお UART と SIO は同じ入出力端子を共用しているため、同時に使用することはできません。

12.1 構成

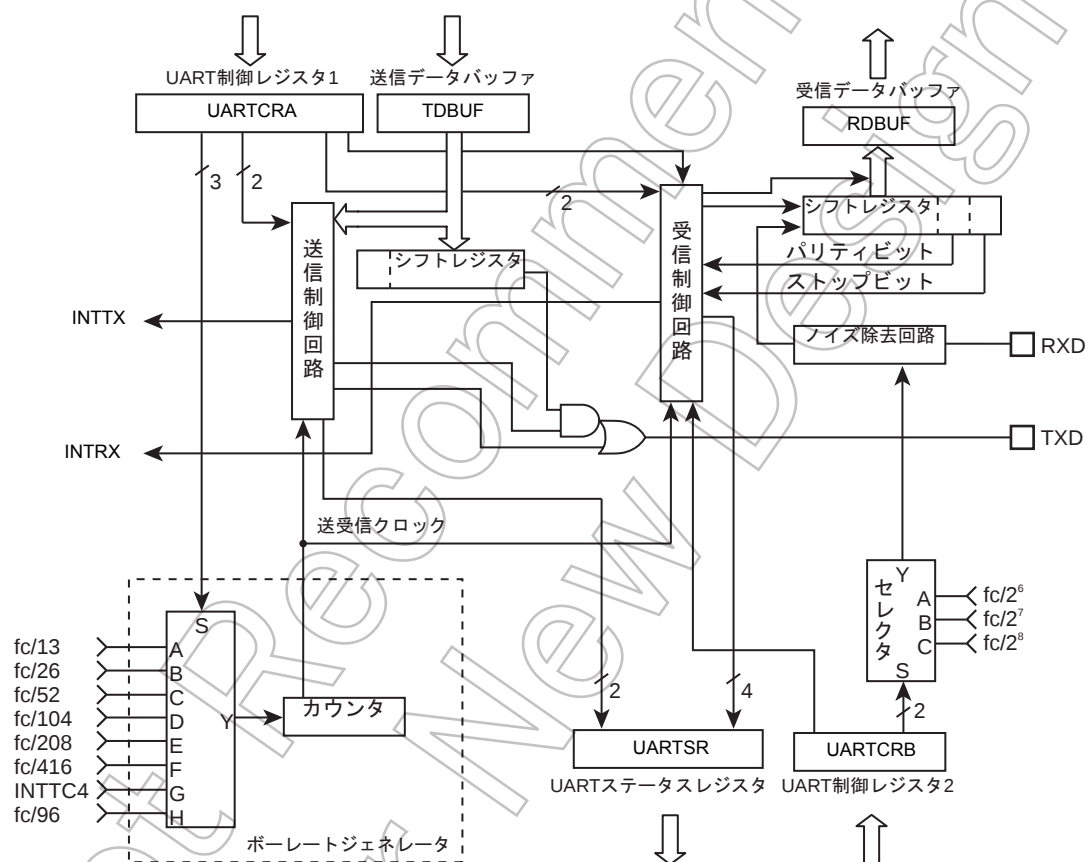


図 12-1 UART (非同期型シリアルインターフェース)

12.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCRA, UARTCRB) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ 1

UARTCRA (01F91H)	7	6	5	4	3	2	1	0
	TXE	RXE	STBT	EVEN	PE	BRG		

(初期値 : 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: INTTC4 使用 111: fc/96	

- 注 1) UARTCRA<TXE, RXE> ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) UARTCRA<BRG> の書き替えは、UARTCRA<RXE> = "0" かつ UARTCRA<TXE> = "0" のときに行ってください。
- 注 4) fc=20MHz で使用する場合は、タイマカウンタ 4 をポーレートジェネレータとしてご使用ください。

UART 制御レジスタ 2

UARTCRB (01F92H)	7	6	5	4	3	2	1	0
						RXDNC	STOPBR	

(初期値 : **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

注) UARTCRB<RXDNC> が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART ステータスレジスタ

UARTSR (01F91H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値: 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファエンプティ 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファエンプティフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファエンプティ	

注) UARTSR<TBEP> は、送信割り込み発生後、自動的に "1" にセットされます

UART 受信データバッファ

RDBUF (01F93H)	7	6	5	4	3	2	1	0	Read only
									(初期値: 0000 0000)

UART 送信データバッファ

TDBUF (01F93H)	7	6	5	4	3	2	1	0	Write only
									(初期値: 0000 0000)

12.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCRA<STBT> でビット長の選択可)、パリティ UARTCRB<PE> でパリティ有無の選択可、UARTCRA<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長											
		1	2	3		8	9	10	11	12			
0	0												
0	1												
1	0												
1	1												

図 12-2 転送データフォーマット

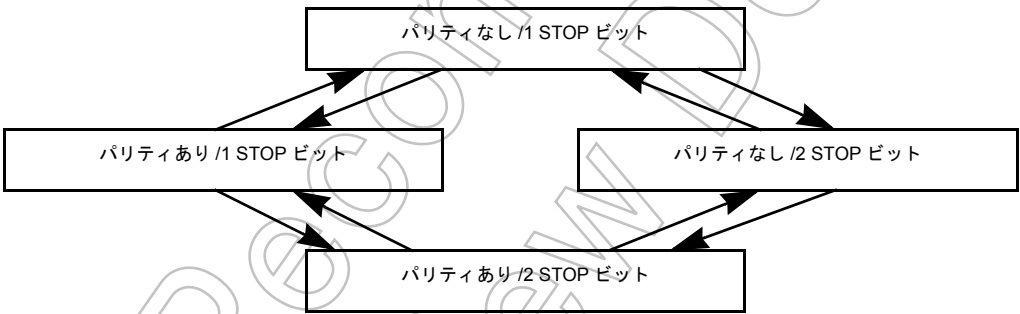


図 12-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定以外は、送信がデッドロックする場合がありますので、初期設定時以外は図 12-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

12.4 転送レート

UART の転送レート (ボーレート) は UARTCRA<BRG> により設定されます。以下に転送レートの例を示します。

表 12-1 転送レート (例)

BRG	ソースクロック	
	16 MHz	8 MHz
000	76800 [baud]	38400 [baud]
001	38400	19200
010	19200	9600
011	9600	4800
100	4800	2400
101	2400	1200

UART の転送レートとして INTTC4 使用を選択したとき (つまり UARTCRA<BRG> = “110” に設定したとき) 転送クロックおよび転送レートは

転送クロック [Hz] = TC4 ソースクロック [Hz] ÷ TC4DR 設定値

転送レート [baud] = 転送クロック [Hz] ÷ 16

となります。

12.5 データのサンプリング方法

UART のレシーバは、RXD 端子入力にスタートビットが見つかるまで UARTCRA<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD 端子の “L” レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

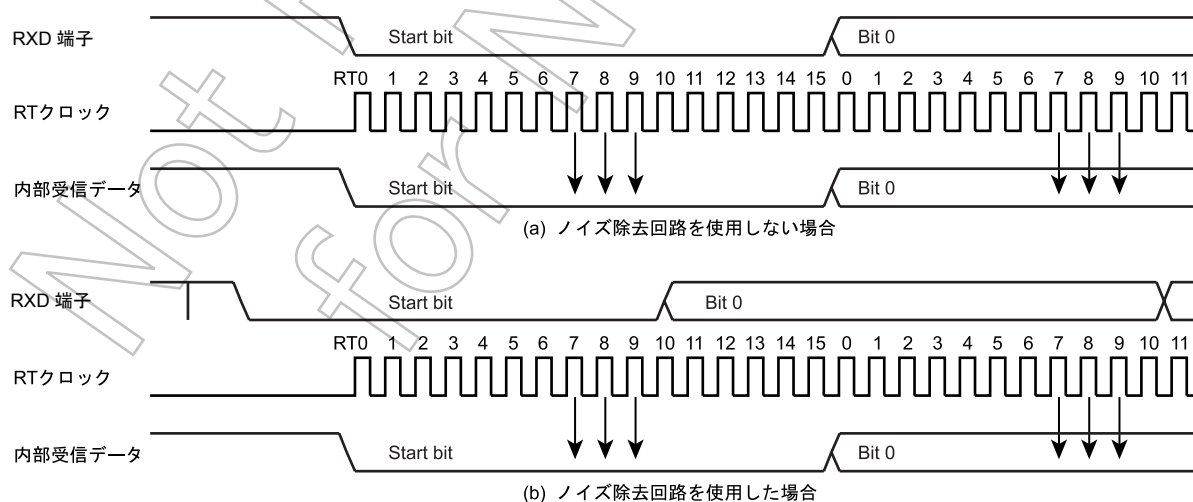


図 12-4 データのサンプリング方法

12.6 STOP ビット長

UARTCRA<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

12.7 パリティ

UARTCRA<PE> でパリティ付加の有無を、UARTCRA<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

12.8 送受信動作

12.8.1 データ送信動作

UARTCRA<TXE> を “1” にセットします。UARTSR を読み出し TBEP = “1” を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UARTSR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UARTCRA<STBT> で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UARTCRA<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP> は “1” にセットされ、INTTXD 割り込みが発生します。

UARTCRA<TXE> が “0” の間および UARTCRA<TXE> に “1” を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD 端子は “H” レベルに固定されます。

送信を行う場合、UARTSR を読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP> が “0” にクリアされず送信が開始されません。

12.8.2 データ受信動作

UARTCRA<RXE> を “1” にセットします。その後、RXD 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL> がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートは UARTCRA<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) UARTCRA<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

12.9 ステータスフラグ

12.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UARTSR<PERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<PERR> は“0”にクリアされます。

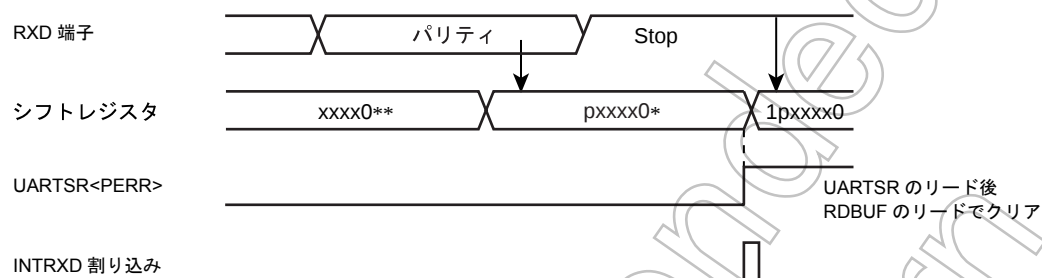


図 12-5 パリティエラーの発生

12.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UARTSR<FERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<FERR> は“0”にクリアされます。

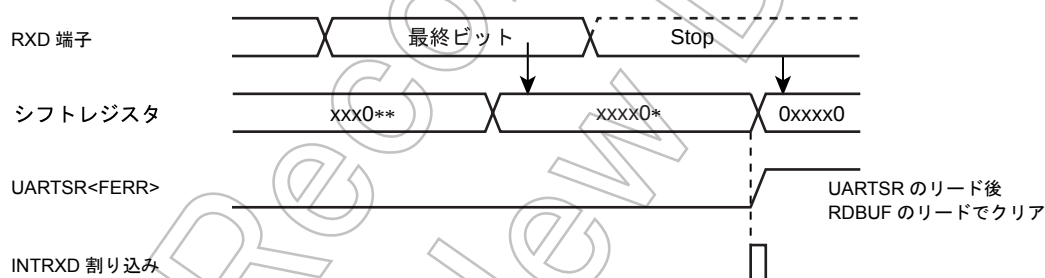


図 12-6 フレーミングエラーの発生

12.9.3 オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UARTSR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<OERR> は“0”にクリアされます。

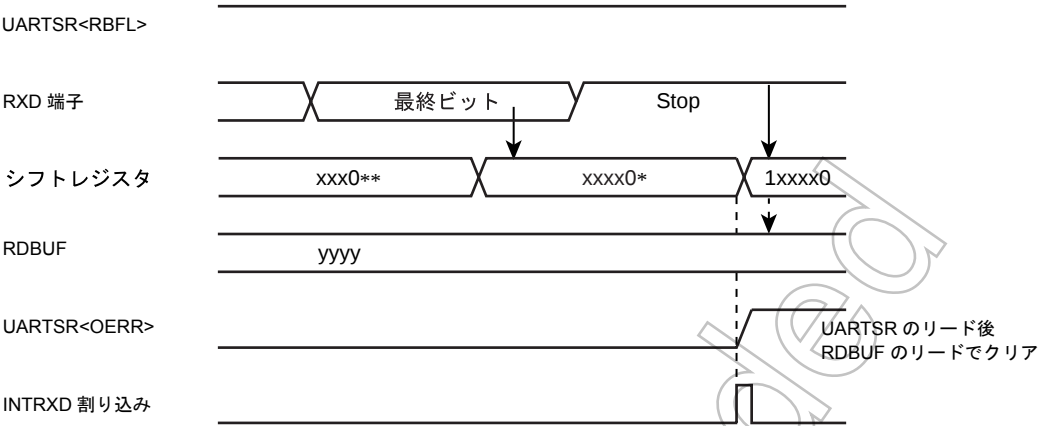


図 12-7 オーバランエラーの発生

注) オーバランエラーフラグ UARTSR<OERR> がクリアされるまで、受信動作は停止します。

12.9.4 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL> が “1” にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと UARTSR<RBFL> は “0” にクリアされます。

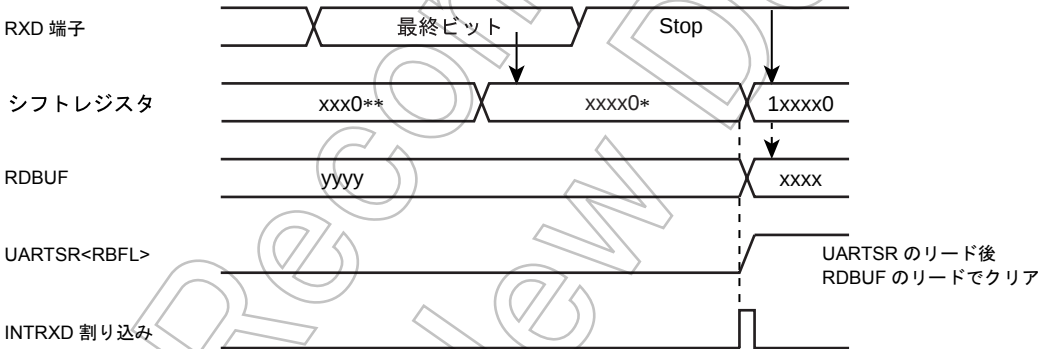


図 12-8 受信バッファフルの発生

注) 上記、UARTSR の読み出しから RDBUF を読み出す間にオーバランエラーフラグ UARTSR<OERR> がセットされた場合、RDBUF 読み出しだけではエラーフラグがクリアされません。再度 UARTSR を読み込み、エラーの確認を行ってください。

12.9.5 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき UARTSR<TBEP> が “1” にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP> は “0” にクリアされます。

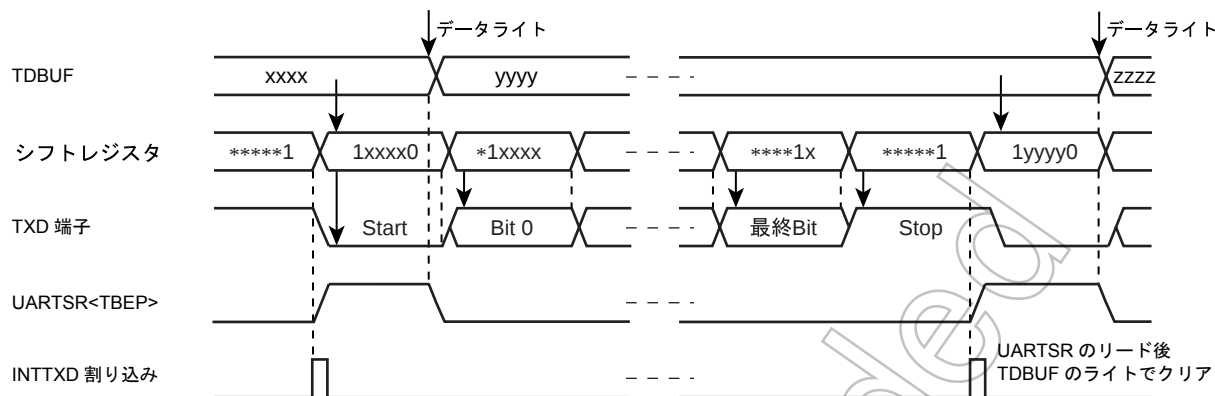


図 12-9 送信バッファエンプティの発生

12.9.6 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP>= “1” のとき) UARTSR<TEND> が “1” にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND> は “0” にクリアされます。

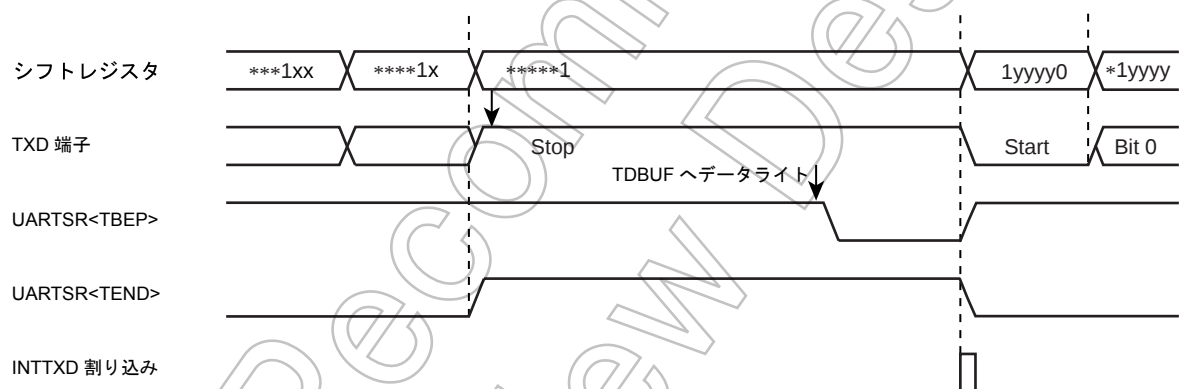


図 12-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended
for New Design

13.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIOCR1/SIOCR2) で行います。また、ステータスレジスタ (SIOSR) をリードすることによりシリアルインタフェースの動作状態を確認することができます。

送受信データバッファの制御は、SIOCR2<BUF> で行います。送受信データバッファは、DBR 領域の 01F98~01F9F 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み要求 (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIOCR2<WAIT> で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

SIOCR1	7	6	5	4	3	2	1	0	
(1F96H)	SIOS	SIOINH	SIOM			SCK			(初期値: 0000.0000)

SIOS	転送の開始 / 終了指示	0: 終了 1: 開始	Write only																														
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)																															
SIOM	転送モードの選択	000: 8ビット送信モード 010: 4ビット送信モード 100: 8ビット送受信モード 101: 8ビット受信モード 110: 4ビット受信モード 上記以外: Reserved																															
SCK	シリアルクロックの選択	<table><tr><td></td><td colspan="2">NORMAL, IDLE モード</td><td rowspan="10">Write only</td></tr><tr><td></td><td>DV1CK = 0</td><td>DV1CK = 0</td></tr><tr><td>000</td><td>fc/2¹³</td><td>fc/2¹⁴</td></tr><tr><td>001</td><td>fc/2⁸</td><td>fc/2⁹</td></tr><tr><td>010</td><td>fc/2⁷</td><td>fc/2⁸</td></tr><tr><td>011</td><td>fc/2⁶</td><td>fc/2⁷</td></tr><tr><td>100</td><td>fc/2⁵</td><td>fc/2⁶</td></tr><tr><td>101</td><td>fc/2⁴</td><td>fc/2⁵</td></tr><tr><td>110</td><td colspan="2">Reserved</td></tr><tr><td>111</td><td colspan="2">外部クロック (SCK 端子から入力)</td></tr></table>			NORMAL, IDLE モード		Write only		DV1CK = 0	DV1CK = 0	000	fc/2 ¹³	fc/2 ¹⁴	001	fc/2 ⁸	fc/2 ⁹	010	fc/2 ⁷	fc/2 ⁸	011	fc/2 ⁶	fc/2 ⁷	100	fc/2 ⁵	fc/2 ⁶	101	fc/2 ⁴	fc/2 ⁵	110	Reserved		111	外部クロック (SCK 端子から入力)
	NORMAL, IDLE モード		Write only																														
	DV1CK = 0	DV1CK = 0																															
000	fc/2 ¹³	fc/2 ¹⁴																															
001	fc/2 ⁸	fc/2 ⁹																															
010	fc/2 ⁷	fc/2 ⁸																															
011	fc/2 ⁶	fc/2 ⁷																															
100	fc/2 ⁵	fc/2 ⁶																															
101	fc/2 ⁴	fc/2 ⁵																															
110	Reserved																																
111	外部クロック (SCK 端子から入力)																																

注 1) 転送モード、シリアルクロックの設定時は、SIOCR1<SIOS> = “0”、SIOCR1<SIOINH> = “1” にしてください。
注 2) SIOCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ 2

SIOCR2	7	6	5	4	3	2	1	0	
(1F97H)				WAIT			BUF		(初期値: ***0 0000)

WAIT	ウェイト制御	8ビット送受信 / 受信モード以外は常に“00”にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ (ウェイト) 10: $T_f = 4T_D$ (ウェイト) 11: $T_f = 8T_D$ (ウェイト)	
BUF	転送ワード数の設定 (使用するバッファのアドレス)	使用するバッファのアドレス SIO 000: 1ワード転送 01F98H 001: 2ワード転送 01F98H ~ 01F99H 010: 3ワード転送 01F98H ~ 01F9AH 011: 4ワード転送 01F98H ~ 01F9BH 100: 5ワード転送 01F98H ~ 01F9CH 101: 6ワード転送 01F98H ~ 01F9DH 110: 7ワード転送 01F98H ~ 01F9EH 111: 8ワード転送 01F98H ~ 01F9FH	Write only

- 注 1) 4ビット転送のときは、各バッファの下位4ビットに格納します / されます。受信時上位4ビットには“0”が格納されます。
- 注 2) 送信データはバッファの若いアドレスの方から送信されます。また、受信データは若いアドレスの方から格納されます (最初に転送されるのは 01F98H 番地です)。
- 注 3) 転送終了後も BUF の設定値は保存されています。
- 注 4) SIOCR2 の設定は、シリアルインタフェース停止状態 (SIOSR<SIOF> = 0)で行ってください。
- 注 5) *: Don't care
- 注 6) SIOCR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。
- 注 7) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間

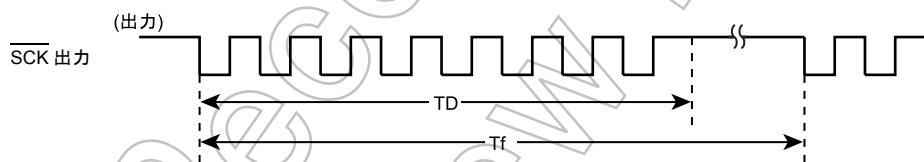


図 13-2 フレーム時間 (T_f) とデータ転送時間 (T_D)

シリアルインタフェースステータスレジスタ

SIOSR	7	6	5	4	3	2	1	0	
(1F97H)	SIOF	SEF							(初期値: 00** ****)

SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中	Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中	

- 注 1) SIOSR<SIOF> は、SIOCR1<SIOS> を“0”にクリアした後、転送が終了した時点または SIOCR1<SIOINH> を“1”にセットした時点で“0”にクリアされます。

13.3 シリアルクロック

13.3.1 クロックソース

クロックソースは SIOCRI<SCK> により、内部クロックまたは外部クロックを選択することができます。

13.3.1.1 内部クロック

シリアルインタフェースは、内部クロックソースとして 6 種類の周波数が選択でき、シリアルクロックは SCK 端子より外部に出力されます。なお、転送開始時 SCK 端子出力は “H” レベルになります。この場合、SCK(P43) は出力モードに設定し、なおかつ出力ラッチを 1 にされてなければいけません。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 13-1 シリアルクロックレート

NORMAL, IDLE モード		
SCK	クロック	ボーレート
000	$fc/2^{13}$	2.44 Kbps
001	$fc/2^8$	78.13Kbps
010	$fc/2^7$	156.25 Kbps
011	$fc/2^6$	312.50 Kbps
100	$fc/2^5$	625.00 Kbps
101	$fc/2^4$	1250.00 Kbps
110	—	—
111	外部	

注) 1 Kbps = 1024 bps , fc=20MHz

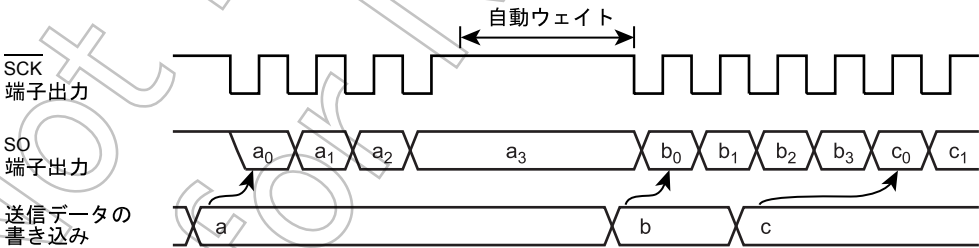


図 13-3 自動ウェイト機能 (4 ビット送信モードの場合)

13.3.1.2 外部クロック

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。この場合、SCK(P43) は入力モードにされてなければいけません。なお、シフト動作が確実に行われるためには、シリアルクロックの “H” レベル, “L” レベルともに NORMAL 時は $2^4/fc$ 以上のパルス幅が必要です。ただし、これはシフト動作が確実に行われるのに必要なパルスで実際には割り込み、書き込み、読み出しなどの処理時間が必要なためモードの設定とプログラムによって最小パルスは決定されます。

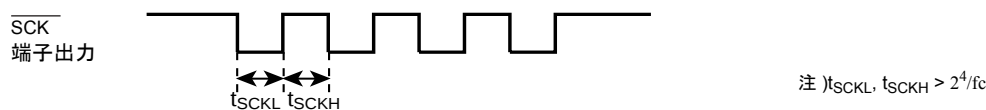


図 13-4 外部クロックのパルス幅

13.3.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

13.3.2.1 前縁シフト

シリアルクロックの前縁 ($\overline{SCK}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

13.3.2.2 後縁シフト

シリアルクロックの後縁 ($\overline{SCK}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

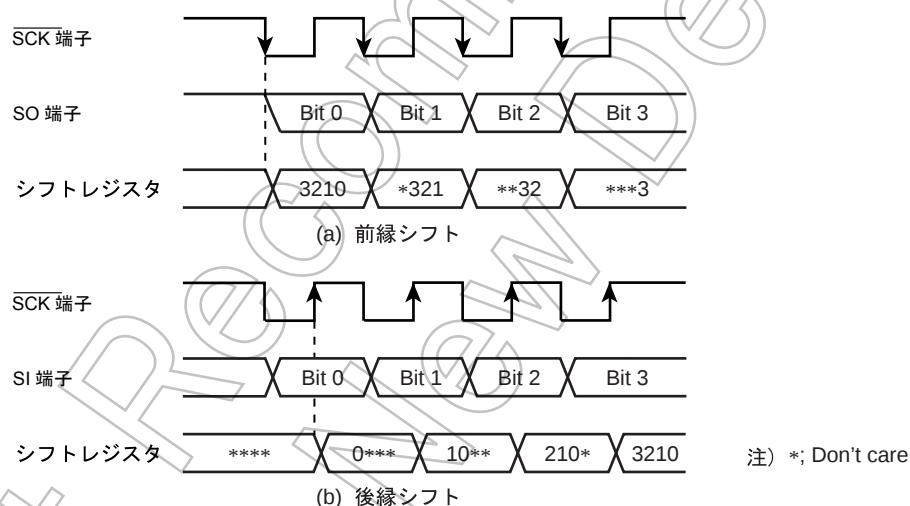


図 13-5 シフトエッジ

13.4 転送ビット数

4 ビットシリアル転送または8 ビットシリアル転送が選択できます。4 ビットシリアル転送の場合、送受信データバッファは下位 4 ビットのみ使用し、上位 4 ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

13.5 転送ワード数

4 ビットデータ (4 ビットシリアル転送時)/8 ビットデータ (8 ビットシリアル転送時) を 1 ワードとして最大 8 ワードまで連続して転送することができます。転送ワード数は、 $SIOCR2<BUF>$ で設定します。

指定されたワード数の転送終了時点で、INTSIO 割り込み要求が発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

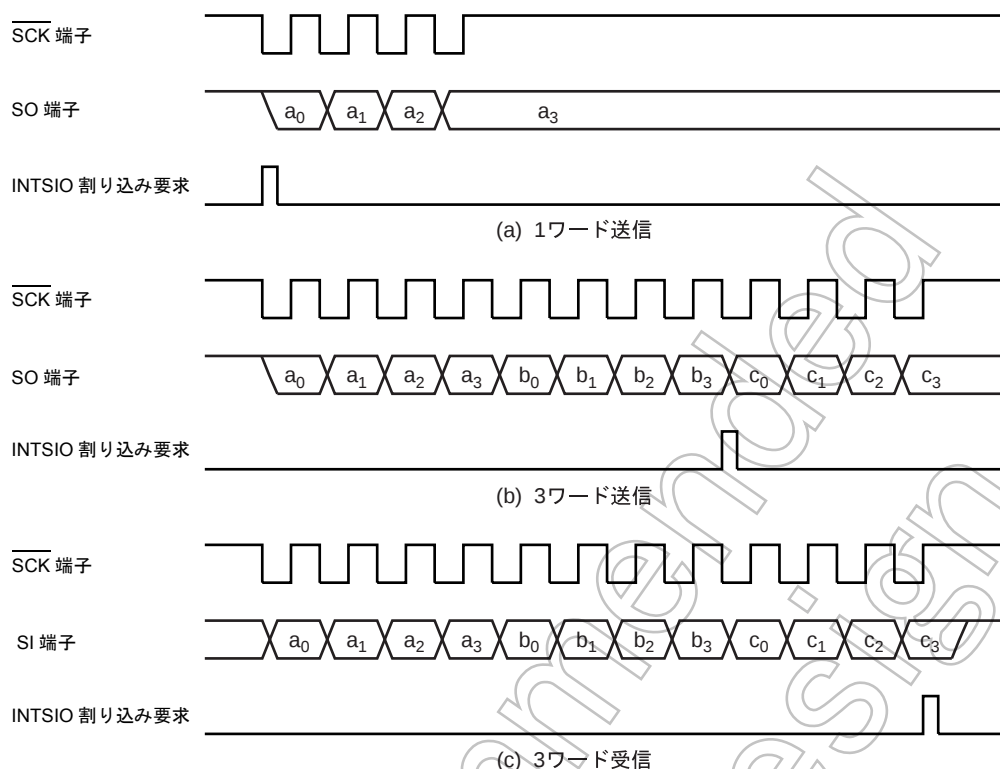


図 13-6 転送ワード数 (例 : 1 ワード = 4 ビット)

13.6 転送モード

転送モードは SIOCR1<SIOM> によって、送信 / 受信 / 送受信モードを選択することができます。

13.6.1 4 ビット送信モード, 8 ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、 SIOCR1<SIOS> を “1” にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO 端子に出力されます。LSB のデータを出力した時点で、送信データは、1 ワードずつバッファレジスタからシフトレジスタへ転送されます。最後の送信データが転送されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、 SIOCR2<BUF> で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを 1 ワードでも書き込むと自動ウェイト動作は解除されますので、2 ワード以上送信する場合は前の 1 ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3 ワード送信の場合、余った 5 ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。 SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、 SIOSR<SIOF> をセンスします。 SIOSR<SIOF> は送信の終了で“0”になります。 SIOCR1<SIOINH> をセットした場合は、直ちに送信を打ち切り、 SIOSR<SIOF> は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIOCR1<SIOS> を“0”クリアする必要があります。もしシフトアウトする前に SIOCR1<SIOS> がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、 SIOCR1<SIOS> を“0”にクリアし、 SIOSR<SIOF> が“0”なったことを確認後 SIOCR2<BUF> を書き替えてください。

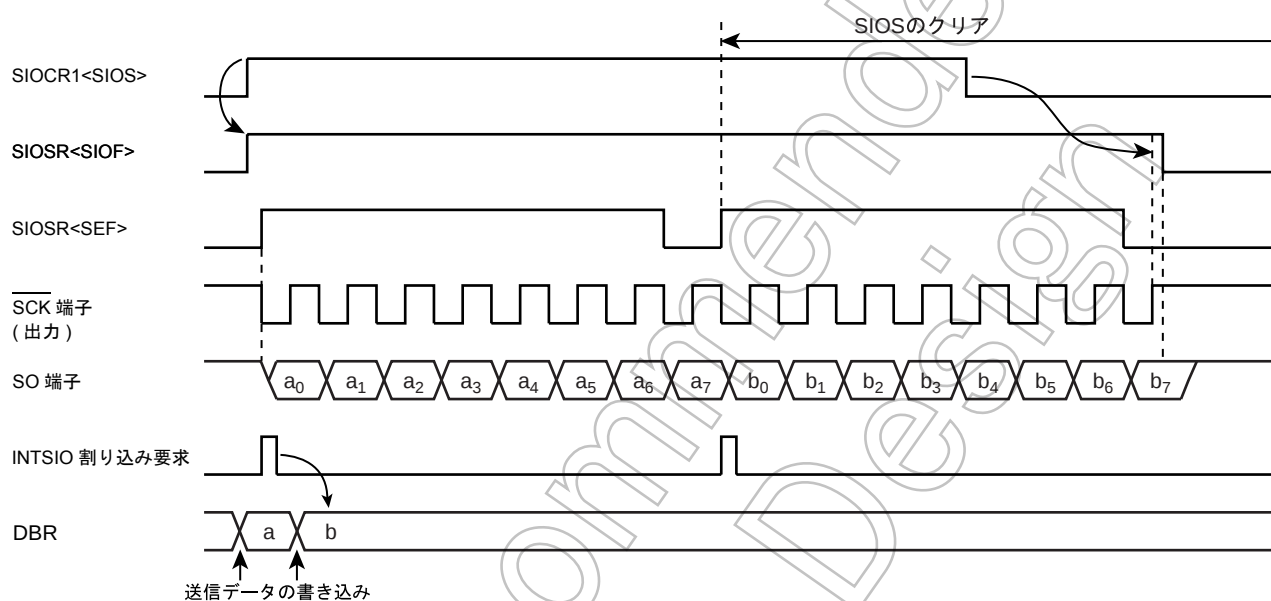


図 13-7 送信モード (例: 8 ビット, 1 ワード転送、内部クロック)

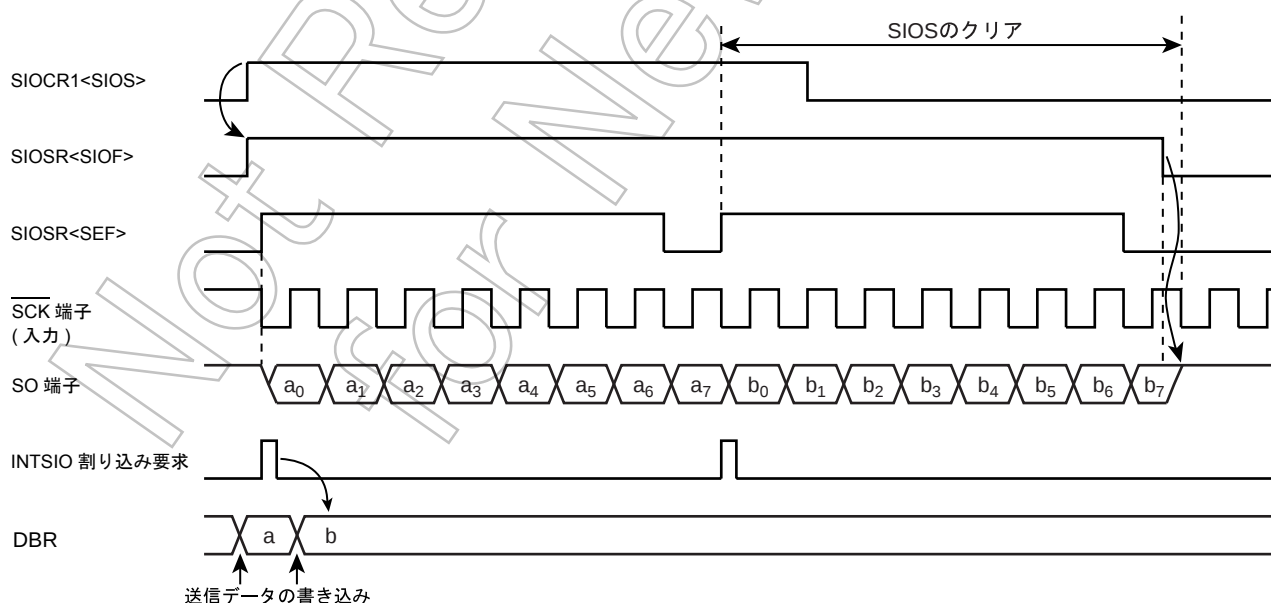


図 13-8 送信モード (例: 8 ビット, 1 ワード転送、外部クロック)

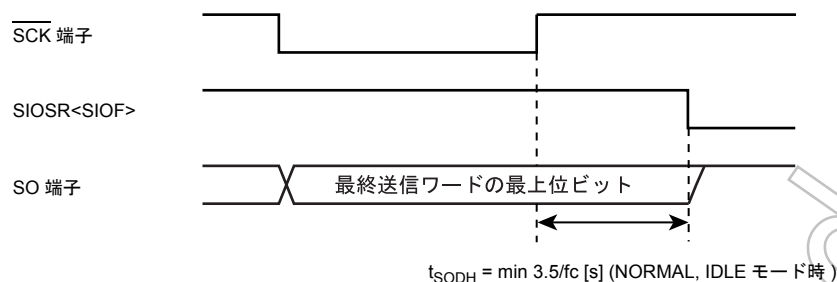


図 13-9 送信終了時の送信データ保持時間

13.6.2 4 ビット受信モード, 8 ビット受信モード

制御レジスタに受信モードをセットした後、 SIOCR1<SIOS> を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1 ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。 SIOCR2<BUF> で指定されたワード数の受信が終了すると受信データの読み取りを要求する INTSIO (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1 ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。 SIOCR1<SIOS> が“0”にクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、 SIOSR<SIOF> をセンスします。 SIOSR<SIOF> は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。

SIOCR1<SIOINH> をセットした場合は、直ちに受信を打ち切り、 SIOSR<SIOF> は“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは SIOCR1<SIOS> を“0”にクリアし SIOSR<SIOF> が“0”になったことを確認後 SIOCR2<BUF> を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に SIOCR2<BUF> を書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOCR1<SIOS> を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

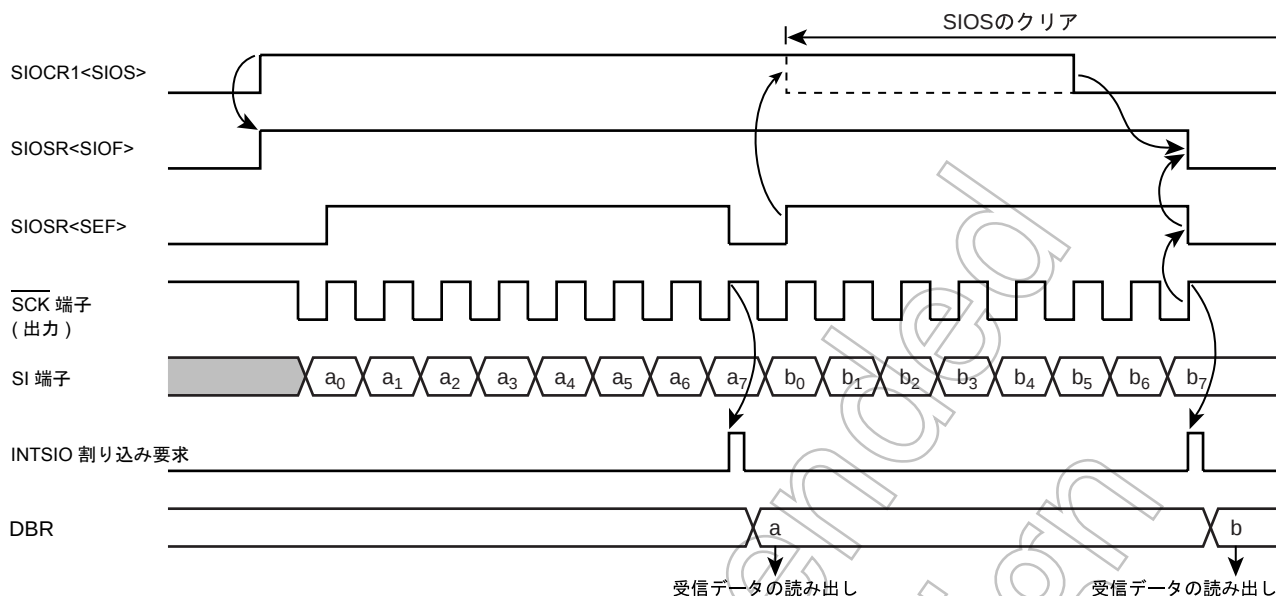


図 13-10 受信モード (例: 8 ビット, 1 ワード転送, 内部クロック)

13.6.3 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOCR1<SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO 端子から出力され、後縁で受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIOCR2<BUF> で指定されたワード数の送受信が終了すると、INTSIO 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1 ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO 割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOSR<SIOF> のビット 7 をセンスします。SIOSR<SIOF> は送受信の終了で“0”になります。SIOCR1<SIOINH> をセットした場合は、直ちに送受信を打ち切り、SIOF は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOCR1<SIOS> を“0”にクリアし SIOSR<SIOF> が“0”になったことを確認後、SIOCR2<BUF> を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード / ライトの前に書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOS を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

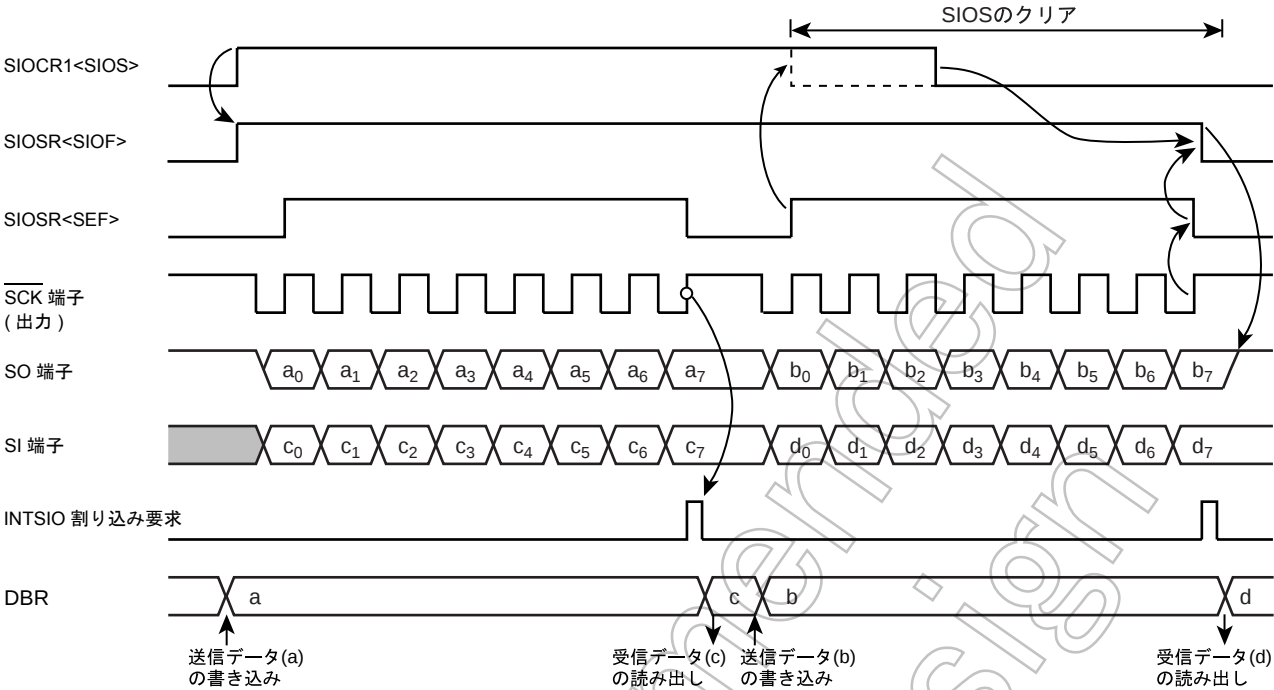


図 13-11 送受信モード (例 : 8 ビット , 1 ワード , 内部クロック)

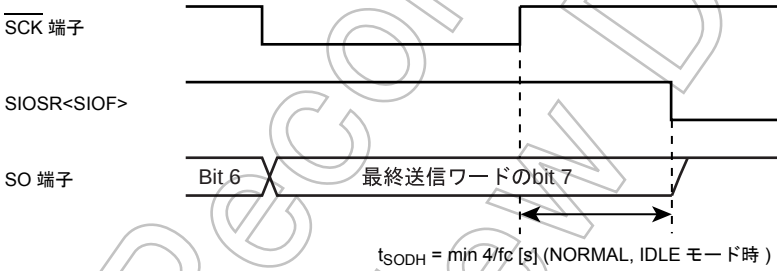


図 13-12 送受信終了時の送信データ保持時間

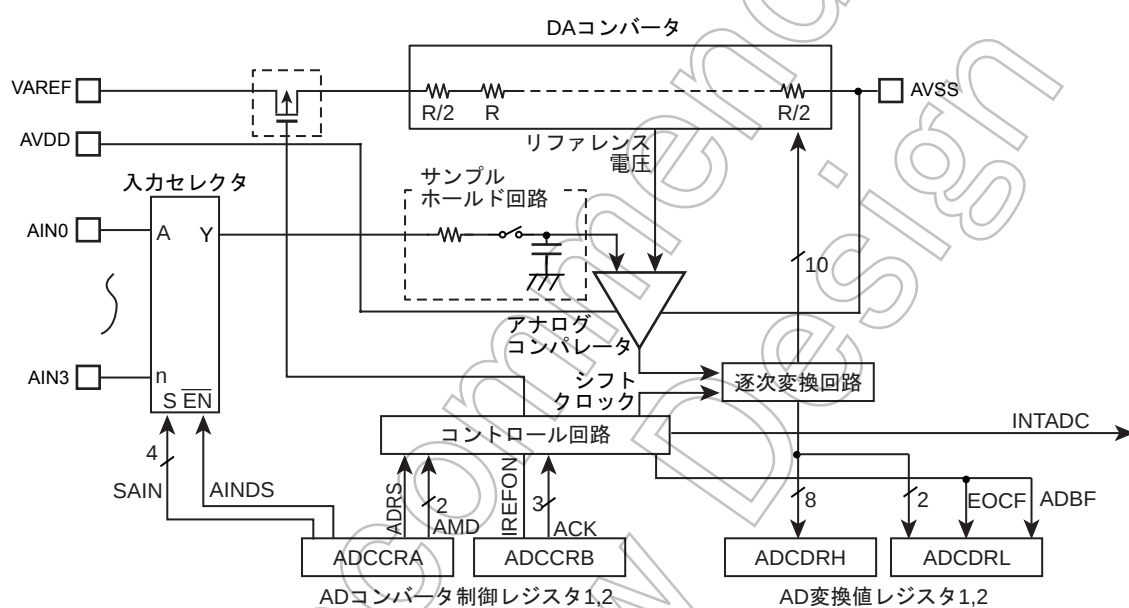
第 14 章 10 ビット AD コンバータ (ADC)

TMP88CH40NG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

14.1 構成

10 ビット AD コンバータの回路構成を図 14-1 に示します。

制御レジスタ ADCCRA, ADCCRB, 変換値レジスタ ADCDRH, ADCDRL と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 14-1 10 ビット AD コンバータ

14.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

- 1. AD コンバータ制御レジスタ 1 (ADCCRA)
AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。
- 2. AD コンバータ制御レジスタ 2 (ADCCRB)
AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。
- 3. AD 変換値レジスタ 1 (ADCDRH)
AD コンバータによって変換されたデジタル値を格納するレジスタです。
- 4. AD 変換値レジスタ 2 (ADCDRL)
AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCRA (0026H)	7	6	5	4	3	2	1	0	
	ADRS	AMD	AINDS				SAIN		(初期値 : 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力カインーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: Reserved 0101: Reserved 0110: Reserved 0111: Reserved 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved	

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDRL<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、ADCCRA<AINDS> を "1" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADCCRA<ADRS> は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADCCRA<ADRS> の再設定は行わないでください。ADCCRA<ADRS> の再設定は、ADCDRL<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。
- 注 6) リセット後、ADCCRA<SAIN> は Reserved の設定値に初期化されますが、AD コンバータを使用するときは適切なアナログ入力チャネル (ADCCRA<SAIN>) を選択してください。
- 注 7) ADCCRA に 00H 設定後は最大 4 サイクル AD 変換開始命令を受けつけませんので NOP を 4 つ挿入後、AD 変換を開始してください。

AD コンバータ制御レジスタ 2

ADCCRB (0027H)	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値:**0* 000*)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

注 1) ADCCRB のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。

注 2) ADCCRB に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。

表 14-1 ACK 設定と周波数別の変換時間 (CGCR<DV1CK>="0" のとき)

条件 ACK	変換時間	20MHz	16MHz	8MHz
000	39/fc	—	—	—
001	Reserved			
010	78/fc	—	—	—
011	156/fc	—	—	19.5 μs
100	312/fc	15.6 μs	19.5 μs	39.0 μs
101	624/fc	31.2 μs	39.0 μs	78.0 μs
110	1248/fc	62.4 μs	78.0 μs	156.0 μs
111	Reserved			

表 14-2 ACK 設定と周波数別の変換時間 (CGCR<DV1CK>="1" のとき)

条件 ACK	変換時間	20MHz	16MHz	8MHz
000	39/fc	—	—	—
001	Reserved			
010	78/fc	—	—	—
011	156/fc	—	—	19.5 μs
100	312/fc	15.6 μs	19.5 μs	39.0 μs
101	624/fc	31.2 μs	39.0 μs	78.0 μs
110	1248/fc	62.4 μs	78.0 μs	156.0 μs
111	Reserved			

注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数

注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上

AD 変換値レジスタ 1

	7	6	5	4	3	2	1	0	
ADCDRH (0029H)	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値 : 0000 0000)

AD 変換値レジスタ 2

	7	6	5	4	3	2	1	0	
ADCDRL (0028H)	AD01	AD00	EOCF	ADBF					(初期値 : 0000 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

- 注 1) EOCF は、AD 変換値レジスタ 1 (ADCDRH) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDRL) をリードした後に (ADCDRH) をリードしてください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。
- 注 3) ADCDRL を読み出した場合、ビット 3 ~ 0 は不定となります。

14.3 機能

14.3.1 ソフトウェアスタートモード

ADCCRA<AMD> を“01”(ソフトウェアスタートモード)に設定後、ADCCRA<ADRS> を“1”に設定することにより ADCCRA<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDRH,L) に格納し、ADCDRL<EOCF> に“1”をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCRA<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCRA<ADRS> の再設定 (再スタート) は行わないでください。ADCCRA<ADRS> の再設定は ADCDRL<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

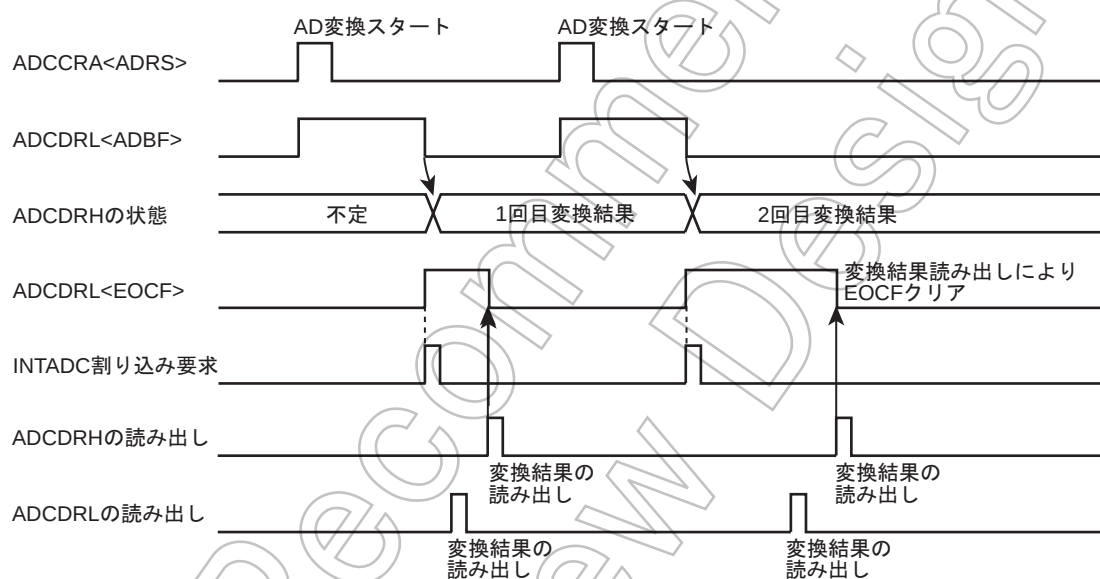


図 14-2 ソフトウェアスタートモード

14.3.2 リピードモード

ADCCRA<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCRA<AMD> を“11”(リピードモード)に設定後、ADCCRA<ADRS> を“1”に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDRH,L) に格納し、ADCDRL<EOCF> に“1”をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピードモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCRA<AMD> に“00”(ディセーブルモード)を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

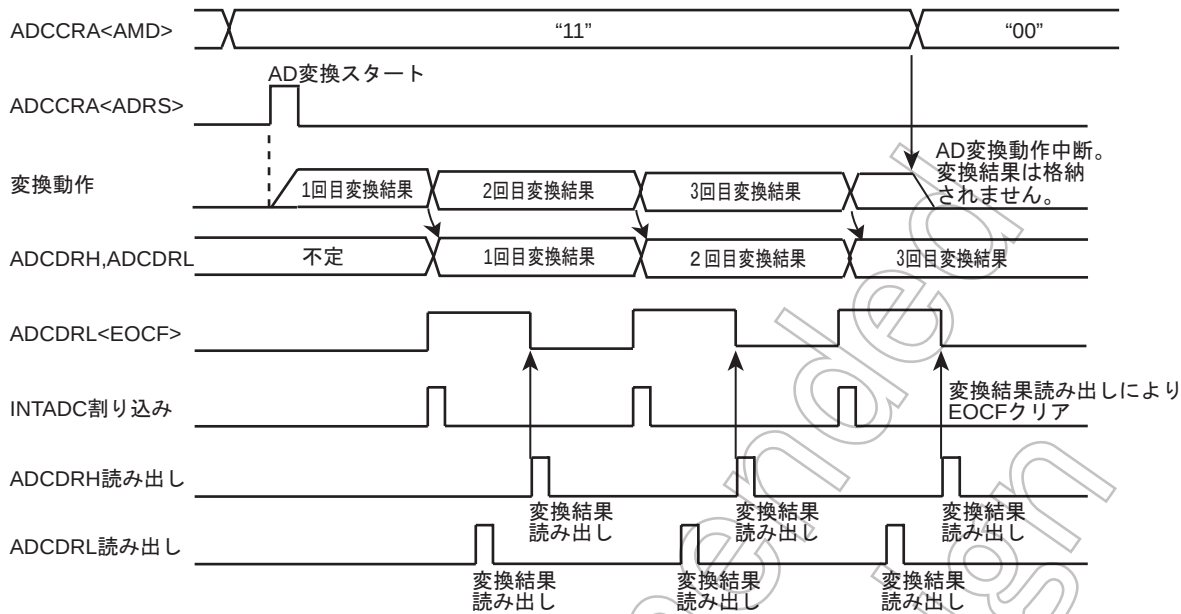


図 14-3 リピートモード

14.3.3 レジスタの設定

1. AD コンバータ制御レジスタ 1 (ADCCRA) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (ソフトウェア、リピートモード) を (AMD) にて指定してください。
2. AD コンバータ制御レジスタ 2 (ADCCRB) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 14-1、表 14-2 をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
3. 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCRA) の AD 変換開始 (ADRS) に "1" を設定すると、直ちに AD 変換を開始します。
4. AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDRL) の AD 変換終了フラグ (EOCF) が "1" にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCCRH)、AD 変換値レジスタ 2 (ADCDRL) に格納されます。また、このとき INTADC 割り込み要求が発生します。
5. AD 変換値レジスタ 1 (ADCCRH) から変換結果を読み出すと EOCF は "0" にクリアされます。ただし、AD 変換値レジスタ 1 (ADCCRH) を読み出す前に再変換を行った場合は、EOCF は "0" にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 15.6 μ s @ 20MHz およびアナログ入力チャネル AIN4 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に 8 ビット、009E 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

	:	(ポートの設定)	:		; AD コンバータのレジスタを設定する前にポート
	:		:		レジスタを適切に設定してください。
	:		:		(詳細は I/O ポートの章を参照してください)
	LD	(ADCCRA), 00100100B			; ソフトウェアスタートモード、アナログ入力許可、AIN4 を選択
	LD	(ADCCRB), 00011000B			; 変換時間 (312/fc), 動作モードを選択
	SET	(ADCCRA) . 7			; ADRS = 1(AD 変換開始)
SLOOP :	TEST	(ADCDRL) . 5			; EOCF = 1 ?
	JRS	T, SLOOP			
	LD	A, (ADCDRL)			; 変換結果の読み出し
	LD	(9EH), A			
	LD	A, (ADCDRH)			; 変換結果の読み出し
	LD	(9FH), A			

14.4 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 14-4 のように対応します。

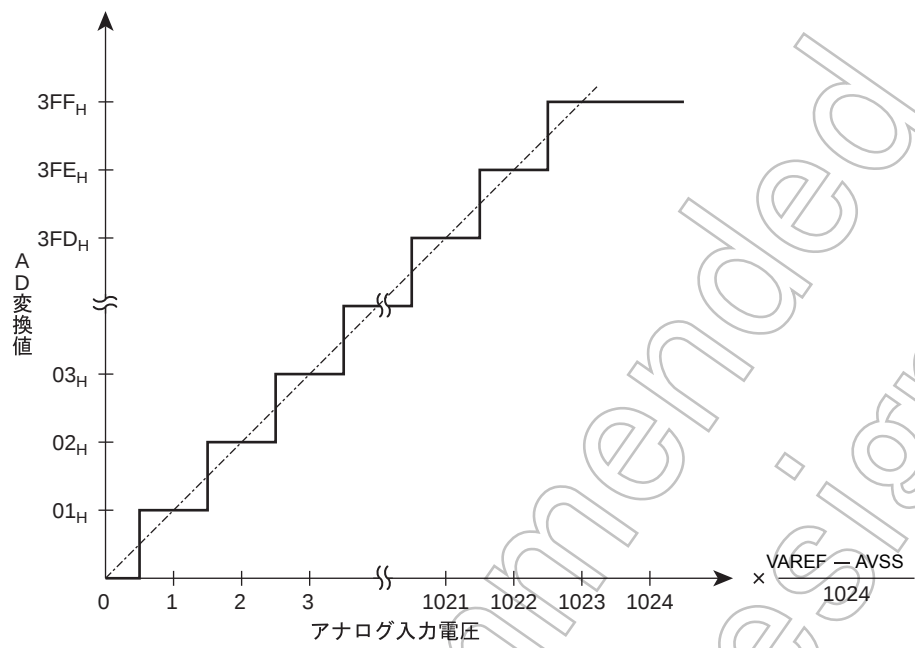


図 14-4 アナログ入力電圧と AD 変換値 (typ.) の関係

14.5 AD コンバータの注意事項

14.5.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN3) は、VAREF ~ AVSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

14.5.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN3) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

14.5.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 14-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

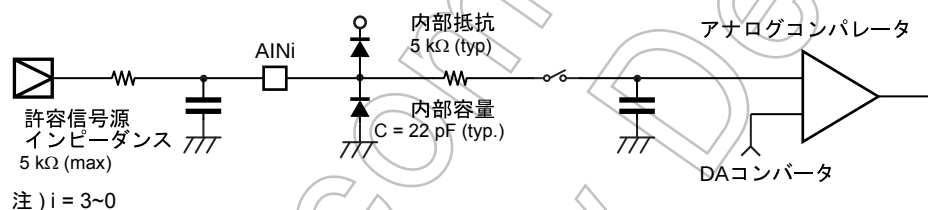


図 14-5 アナログ入力等価回路と入力端子処理例

Not Recommended
for New Design

第 15 章 端子の入出力回路

15.1 制御端子

TMP88CH40NG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_O = 0.5 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入力		シンクオープンドレイン出力 ヒステリシス入力 ブルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.)
TEST	入力		ブルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) MCU モード時は必ず "L" レベルに固定してください。

注) TMP88PH40 の TEST 端子にはブルダウン抵抗 (R_{IN}) と保護ダイオード (D1) は内蔵されません。
 MCU モードでは、必ず "L" レベルに固定してください。

15.2 入出力ポート

ポート	入出力	入出力回路	備考
P3, P4	入出力	初期値 "High-Z"	トライステート出力 プログラマブルオープンドレイン P3, P4: 大電流ポート ヒステリシス入力
P1	入出力	初期値 "High-Z"	トライステート出力 ヒステリシス入力
P6	入出力	初期値 "High-Z"	トライステート出力

第 16 章 電気的特性

16.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 V)

項目	記号	端子	規格	単位	備考
電源電圧	V _{DD}		-0.3~6.5	V	
入力電圧	V _{IN}		-0.3~V _{DD} + 0.3		
出力電圧	V _{OUT}		-0.3~V _{DD} + 0.3		
出力電流	I _{OH}	P1, P3, P4, P6	-1.8	mA	
	I _{OL1}	P1, P6	3.2		
	I _{OL2}	P3, P4	30		
平均出力電流	Σ I _{OUT1}	P1, P6	16		大電流ポート以外のポートの合計
	Σ I _{OUT2}	P3	60		大電流ポート P30~37 の 8 ピン合計
	Σ I _{OUT3}	P4	60		大電流ポート P40~45 の 6 ピン合計
消費電力	P _D	TMP88CH40NG	300	mW	SDIP
動作温度	Topr		-40~85	°C	
はんだ付け温度 (時間)	Tsld		240 (10 s)	°C	
保存温度	Tstg		-55~125	°C	

16.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用了場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V _{DD}		fc = 20 MHz NORMAL/IDLE	4.5	5.5	V
高レベル入力電圧	V _{IH1}	ノーマル (P6)	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	V
	V _{IH2}	ヒステリシス (P1, P3, P4, RESET)		V _{DD} × 0.75		
低レベル入力電圧	V _{IL1}	ノーマル (P6)	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	V
	V _{IL2}	ヒステリシス (P1, P3, P4, RESET)			V _{DD} × 0.25	
クロック周波数	fc	XIN, XOUT	V _{DD} = 4.5 V~5.5 V	8	20	MHz

16.3 DC 特性

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Typ.	Max	単位
入力電流	I _{IN1}	TEST	V _{DD} = 5.5 V, V _{IN} = 5.5 V/0 V	-	-	±2	μA
	I _{IN2}	シンクオープンブンドレイ ン トライステートポート					
	I _{IN3}	RESET					
入力抵抗	R _{IN1}	TEST		-	70	-	kΩ
	R _{IN2}	RESET		90	220	510	
出力リーク電流	I _{LO1}	シンクオープンブンドレイ ン	V _{DD} = 5.5 V, V _{IN} = 0.0 V	-	-	2	μA
	I _{LO2}	トライステートポート	V _{DD} = 5.5 V, V _{IN} = 5.5 V/0 V	-	-	±2	
高レベル出力電圧	V _{OH}	トライステートポート	V _{DD} = 4.5 V, I _{OH} = -0.7 mA	4.1	-	-	V
低レベル出力電流	I _{OL1}	P1, P6	V _{DD} = 4.5 V, V _{OL} = 0.4 V	1.6	-	-	mA
	I _{OL2}	P3, P4	V _{DD} = 4.5 V, V _{OL} = 1.0 V	-	20	-	
NORMAL モード 電源電流	I _{DD}		V _{DD} = 5.5 V, V _{IN} = 5.3 V/0.2 V	-	12	15	
IDLE モード 電源電流			fc = 20 MHz	-	8	10	

注 1) Typ. 値は、条件に指定なき場合 Topr=25 °C ,V_{DD}=5V 時の値を示します。
注 2) 入力電流 I_{IN1},I_{IN3} : プルアップまたはプルダウン抵抗による電流を除きます。
注 3) I_{DD} は I_{REF} を含みません。

16.4 AD 変換特性

(Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max		単位
					8 bit	10 bit	
アナログ基準電源	V_{AREF}	$V_{SS} = 0\text{ V}, V_{DD} = AV_{DD}$	$V_{DD} - 1.0$	—	V_{DD}		V
アナログ入力電圧範囲	V_{AIN}		AV_{SS}	—	V_{AREF}		V
アナログ基準電源電流	I_{REF}	$V_{DD} = AV_{DD} = V_{AREF} = 5.0\text{ V}$ $V_{SS} = AV_{SS} = 0\text{ V}$	—	0.5	1.0		mA
非直線性誤差		$V_{DD} = 5\text{ V}, V_{SS} = 0\text{ V}$ $AV_{DD} = V_{AREF} = 5\text{ V}$ $AV_{SS} = 0\text{ V}$	—	—	±1	±2	LSB
ゼロ誤差			—	—	±1	±2	
フルスケール誤差			—	—	±1	±2	
総合誤差			—	—	±2	±4	

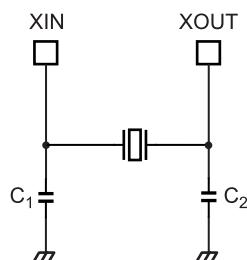
- 注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。
- 注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、AD コンバータのレジスタ構成の章を参照下さい。
- 注 3) AIN 入力端子への入力電圧は $V_{AREF} \sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると変換値が不定となり、他のチャネルの変換値にも影響を与えます。
- 注 4) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - V_{SS}$
- 注 5) AD コンバータを使用しない場合、 AV_{DD} 端子は V_{DD} レベルに固定してください。

16.5 AC 特性

(V_{SS} = 0 V, V_{DD} = 4.5~5.5 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t_{cy}	NORMAL モード時	0.2	—	0.5	μs
		IDLE モード時				
高レベルクロックパルス幅	t_{WCH}	外部クロック動作 (XIN 入力) $f_c = 20\text{ MHz}$ 時	—	25	—	ns
低レベルクロックパルス幅	t_{WCL}					

16.6 推奨発振条件



(1) 高周波発振

- 注 1) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 2) 弊社マイクロコントローラの発振子として、(株)村田製作所のセラミック発振子を推奨します。詳細につきましては、下記アドレスの同社ホームページをご参照ください。
<http://www.murata.co.jp>

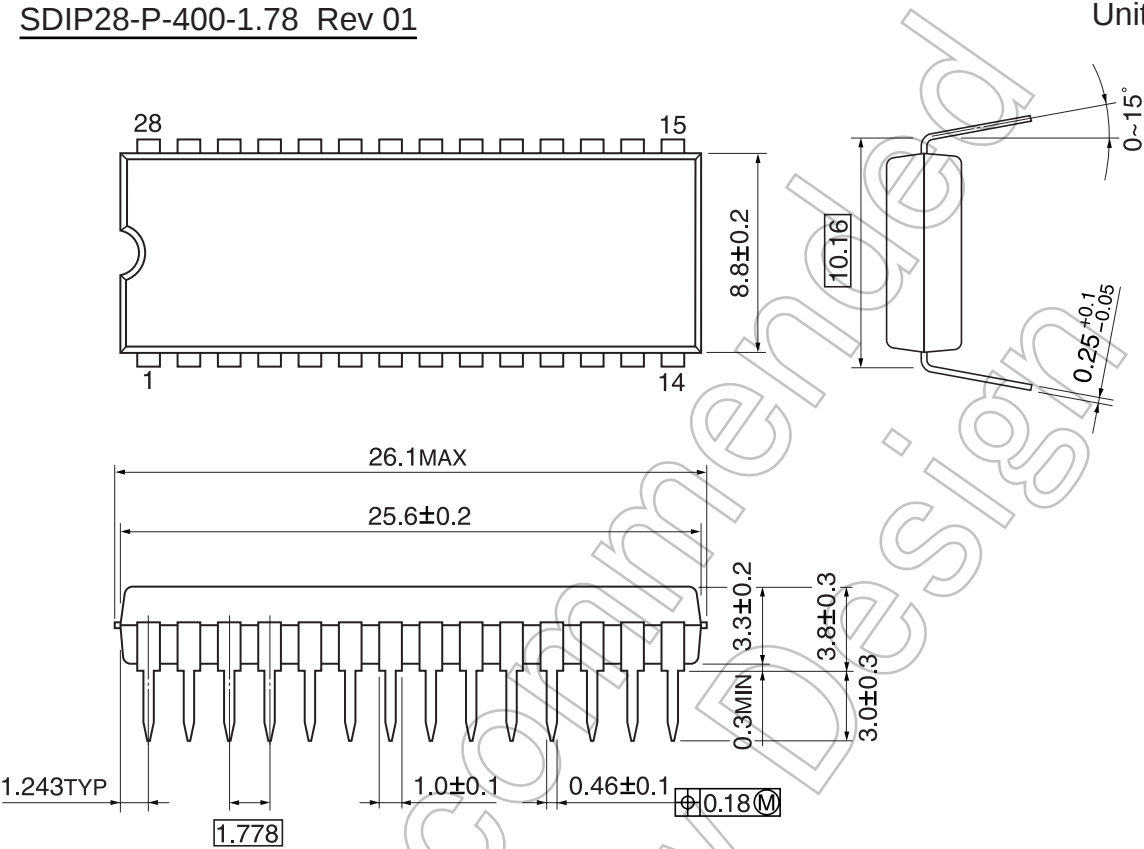
16.7 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項
 - 試験項目
はんだ付け性
 - 試験条件
230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)
245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
 - 備考
フォーミングまでのはんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかる場所で使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

第 17 章 外形寸法

SDIP28-P-400-1.78 Rev 01

Unit: mm



Not Recommended
for New Design

あとがき

この資料は TMP88CH40NG のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア / ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年5月22日

8 ビットマイクロコントローラ

TMP88CH40NG

発行年月日

2007年 5月 22日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
