

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86P202PG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

改訂履歴

日付	版	改訂理由
2007/5/11	1	First Release
2007/10/10	2	内容改訂
2008/8/29	3	内容改訂

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"ー"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	ー
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	ー	ー	ー
	fc/16	○	○	ー	ー
	fc/32	○	○	○	ー
上記以外		○	○	○	○

Not Recommended for New Designs

目次

TMP86P202PG

1.1	特長	1
1.2	ピン配置図	3
1.3	ブロック図	4
1.4	端子機能	5

第2章 動作説明

2.1	CPU コア機能	7
2.1.1	メモリアドレスマップ	7
2.1.2	プログラムメモリ (OTP)	7
2.1.3	データメモリ (RAM)	7
2.2	システムクロック制御回路	9
2.2.1	クロックジェネレータ	9
2.2.2	タイミングジェネレータ	9
2.2.2.1	タイミングジェネレータの構成	
2.2.2.2	マシンサイクル	
2.2.3	動作モードの種類	11
2.2.3.1	シングルクロックモード	
2.2.3.2	STOP モード	
2.2.3.3	各動作モードの遷移	
2.2.4	動作モードの制御	13
2.2.4.1	STOP モード	
2.2.4.2	IDLE1 モード	
2.2.4.3	IDLE0 モード	
2.3	リセット回路	25
2.3.1	外部リセット入力	25
2.3.2	アドレストラップリセット	26
2.3.3	ウォッチドッグタイマリセット	26
2.3.4	システムクロックリセット	26

第3章 割り込み制御回路

3.1	割り込みラッチ (IL15 ~ IL2)	27
3.2	割り込み許可レジスタ (EIR)	29
3.2.1	割り込みマスタ許可フラグ (IMF)	29
3.2.2	割り込み個別許可フラグ (EF15 ~ EF4)	29
3.3	割り込み処理	32
3.3.1	割り込み受け付け処理	32
3.3.2	汎用レジスタ退避 / 復帰処理	33
3.3.2.1	プッシュ / ポップ命令による汎用レジスタの退避 / 復帰	
3.3.2.2	転送命令による汎用レジスタの退避 / 復帰	
3.3.3	割り込みリターン	34
3.4	ソフトウェア割り込み (INTSW)	36
3.4.1	アドレスエラー検出	36
3.4.2	デバッキング	36
3.5	未定義命令割り込み (INTUNDEF)	36
3.6	アドレストラップ割り込み (INTATRAP)	36

3.7 外部割り込み.....	37
-----------------	----

第4章 スペシャルファンクションレジスタ

4.1 SFR.....	39
--------------	----

第5章 入出力ポート

5.1 P0 (P01~P00) ポート (大電流)	42
5.2 P1 (P12~P10) ポート	43
5.3 P2 (P20) ポート.....	44
5.4 P3 (P37~P30) ポート	45

第6章 ウォッチドッグタイマ (WDT)

6.1 ウォッチドッグタイマの構成	47
6.2 ウォッチドッグタイマの制御	47
6.2.1 ウォッチドッグタイマによる暴走検出の方法.....	47
6.2.2 ウォッチドッグタイマのイネーブル.....	49
6.2.3 ウォッチドッグタイマのディセーブル.....	49
6.2.4 ウォッチドッグタイマ割り込み (INTWDT).....	50
6.2.5 ウォッチドッグタイマリセット.....	50
6.3 アドレストラップ	51
6.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS).....	51
6.3.2 アドレストラップ発生時の動作選択 (ATOUT).....	51
6.3.3 アドレストラップ割り込み (INTATRAP).....	51
6.3.4 アドレストラップリセット.....	52

第7章 タイムベースタイマ (TBT)

7.1 タイムベースタイマ	53
7.1.1 構成.....	53
7.1.2 制御.....	53
7.1.3 機能.....	54
7.2 デバイダ出力 (DVO)	55
7.2.1 構成.....	55
7.2.2 制御.....	55

第8章 8ビットタイマカウンタ (TC3, TC4)

8.1 構成	57
8.2 制御	58
8.3 機能	62
8.3.1 8ビットタイマモード (TC3, 4).....	62
8.3.2 8ビットイベントカウンタモード (TC3, 4).....	63
8.3.3 8ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4).....	63
8.3.4 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4).....	66
8.3.5 16ビットタイマモード (TC3 + 4).....	68
8.3.6 16ビットイベントカウンタモード (TC3 + 4).....	69
8.3.7 16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4).....	69
8.3.8 16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4).....	72

第9章 8ビットADコンバータ

9.1	構成	75
9.2	制御	76
9.3	機能	79
9.3.1	ADコンバータの動作	79
9.3.2	レジスタの設定	79
9.3.3	AD変換時のSTOPモード	80
9.3.4	入力電圧と変換結果	81
9.4	ADコンバータの注意事項	82
9.4.1	アナログ入力端子電圧範囲	82
9.4.2	アナログ入力兼用端子	82
9.4.3	ノイズ対策	82

第10章 OTP機能

10.1	動作モード	83
10.1.1	MCUモード	83
10.1.1.1	プログラムメモリ	
10.1.1.2	データメモリ	
10.1.2	PROMモード	83
10.1.2.1	書き込みフローチャート(高速プログラム)	
10.1.2.2	汎用PROMプログラマにて、弊社アダプタソケットを用いての書き込み方法	

第11章 端子の入出力回路

11.1	制御端子	89
11.2	入出力ポート	90

第12章 電気的特性

12.1	絶対最大定格	91
12.2	動作条件	92
12.3	DC特性	93
12.4	AD変換特性	93
12.5	AC特性	94
12.6	推奨発振条件	94
12.7	DC特性, AC特性(PROMモード)	95
12.7.1	リードオペレーション時	95
12.7.2	プログラムオペレーション(高速プログラム)時(Topr = 25 ± 5°C)	96
12.8	取り扱い上のご注意	97

第13章 外形寸法



Not Recommended
for New Design

CMOS 8ビットマイクロコントローラ

TMP86P202PG

TMP86P202PG は、2048 バイトのワンタイム PROM を内蔵した高速、高機能 8 ビットシングルチップマイクロコンピュータです。

製品形名	ROM (EPROM)	RAM	パッケージ	エミュレーションチップ
TMP86P202PG	2048 バイト	128 バイト	DIP20-P-300-2.54A	TMP86C908XB

1.1 特長

- 8 ビットシングルチップマイクロコントローラ : TLCS-870/C シリーズ
 - 最小実行時間 :
 - 0.50 μ s (8 MHz 動作時)
 - 基本機械命令 : 132 種類 731 命令
- 割り込み要因 11 要因 (外部 : 3, 内部 : 8)
- 入出力ポート (14 端子)
 - 大電流出力 2 端子 (Typ. 20mA)
- ウォッチドッグタイマ
 - 割り込み / 内部リセット発生の選択 (プログラマブル)
- プリスケアラ
 - タイムベースタイマ機能
 - デバイダ出力機能
- 8 ビットタイマカウンタ : 2 チャンネル
 - タイマ, イベントカウンタ
 - PDO (Programmable Divider Output) モード
 - PWM (パルス幅変調出力)
 - PPG モード
 - 16 ビットモード (タイマ 2 チャンネルを組み合わせて使用)
- 8 ビット逐次比較方式 AD コンバータ
 - アナログ入力 : 4 チャンネル

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519_S

- 低消費電力動作 (3 モード)
 - STOP モード: 発振停止 (バッテリー/コンデンサバックアップ)
 - IDLE0 モード: CPU 停止。
周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - IDLE1 モード: CPU 停止。
周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
- 動作電圧:

3.3 V-5.5 V @ 8.0MHz

注) AD 変換特性は電源電圧が 4.5~5.5V でのみ保証されます。電源電圧が 4.5V 未満では AD 変換特性は保証されません。

Not Recommended
for New Design

1.2 ピン配置図

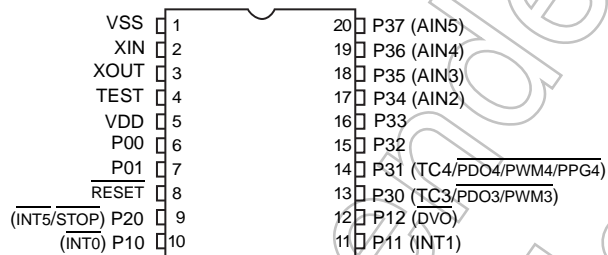


図 1-1 ピン配置図

1.3 ブロック図

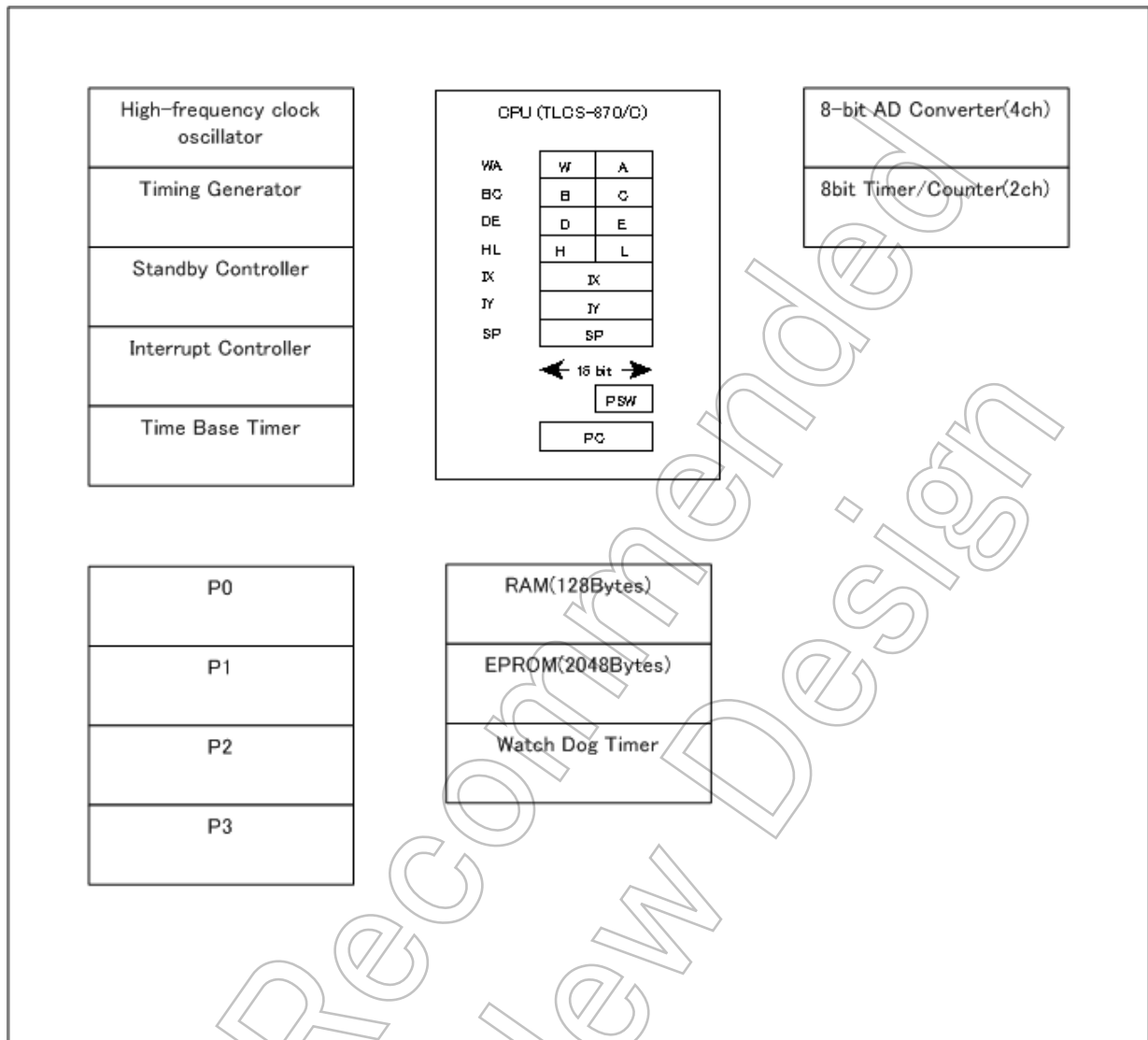


図 1-2 ブロック図

1.4 端子機能

TMP86P202PG は、MCU モードと PROM モードがあります。表 1-1 に MCU モード時の端子機能を示します。PROM モードについては、後続の「PROM モード」の章を参照してください。

表 1-1 端子機能表

端子名	ピン番号	入出力	機能
P01	7	IO	ポート 01
P00	6	IO	ポート 00
P12 DVO	12	IO O	ポート 12 デバイダ出力
P11 INT1	11	IO I	ポート 11 外部割り込み 1 入力
P10 INT0	10	IO I	ポート 10 外部割り込み 0 入力
P20 STOP INT5	9	IO I I	ポート 20 STOP モード解除入力 外部割り込み 5 入力
P37 AIN5	20	IO I	ポート 37 アナログ入力 5
P36 AIN4	19	IO I	ポート 36 アナログ入力 4
P35 AIN3	18	IO I	ポート 35 アナログ入力 3
P34 AIN2	17	IO I	ポート 34 アナログ入力 2
P33	16	IO	ポート 33
P32	15	IO	ポート 32
P31 TC4 PDO4/PWM4/PPG4	14	IO I O	ポート 31 TC4 端子入力 PDO4/PWM4/PPG4 出力
P30 TC3 PDO3/PWM3	13	IO I O	ポート 30 TC3 端子入力 PDO3/PWM3 出力
XIN	2	I	発振子接続端子
XOUT	3	O	発振子接続端子
RESET	8	I	リセット入力
TEST	4	I	出荷試験用端子。“L”レベルに固定してください。
VDD	5	I	電源端子
VSS	1	I	GND 端子

Not Recommended
for New Design

第 2 章 動作説明

2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP86P202PG のメモリは、OTP, RAM, SFR (スペシャルファンクションレジスタ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86P202PG のメモリアドレスマップを示します。

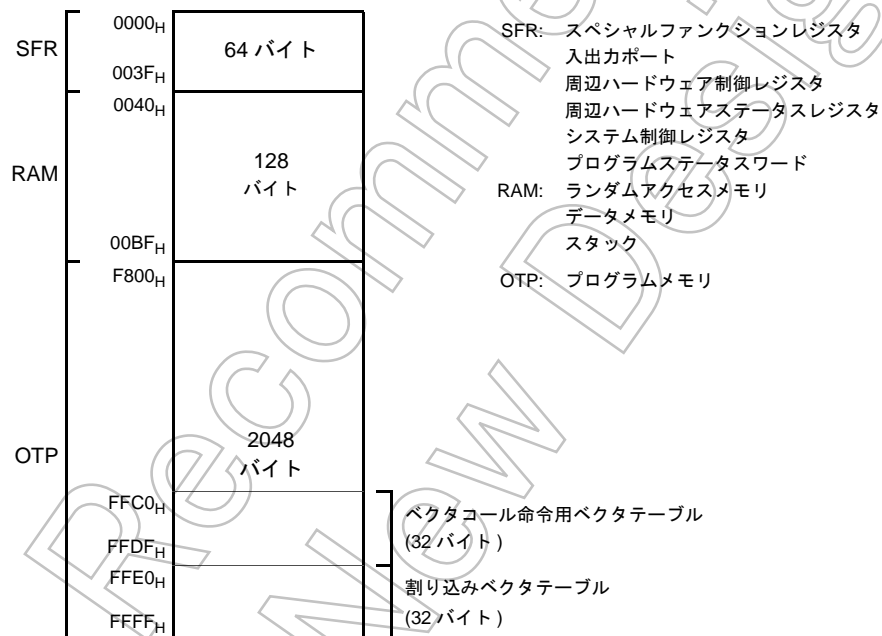


図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (OTP)

TMP86P202PG は 2048 バイト (アドレス F800H~FFFFH) のプログラムメモリ (OTP) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86P202PG は、128 バイト (アドレス 0040H~00BFH) の RAM を内蔵しています。内蔵 RAM の領域はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86P202PG の RAM クリア

	LD	HL, 0040H	; スタートアドレスの設定
	LD	A, H	; 初期化データ (00H) の設定
	LD	BC, 007FH	; バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A	
	INC	HL	
	DEC	BC	
	JRS	F, SRAMCLR	

Not Recommended
for New Design

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

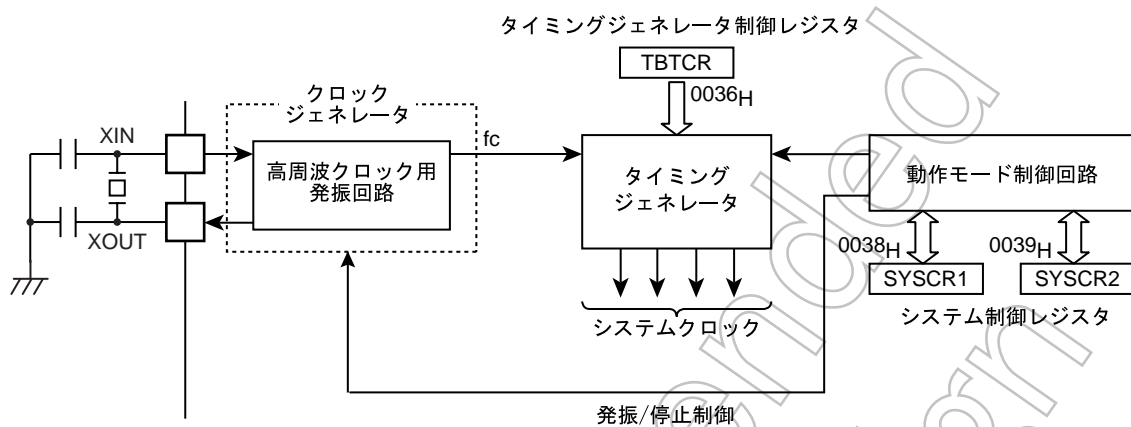


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロックジェネレータは、CPUコアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。

高周波クロック(周波数 f_c)は、XIN、XOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN端子からクロックを入力し、XOUT端子は開放しておきます。

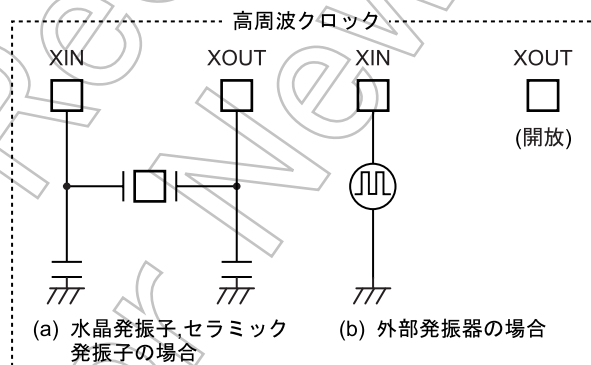


図 2-3 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス(例えばクロック出力)を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック(f_c)からCPUコアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成

2. デバイダ出力 ($\overline{\text{DVO}}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

なお、リセット時および STOP モード起動 / 解除時プリスケアラおよびデバイダは“0”にクリアされます。

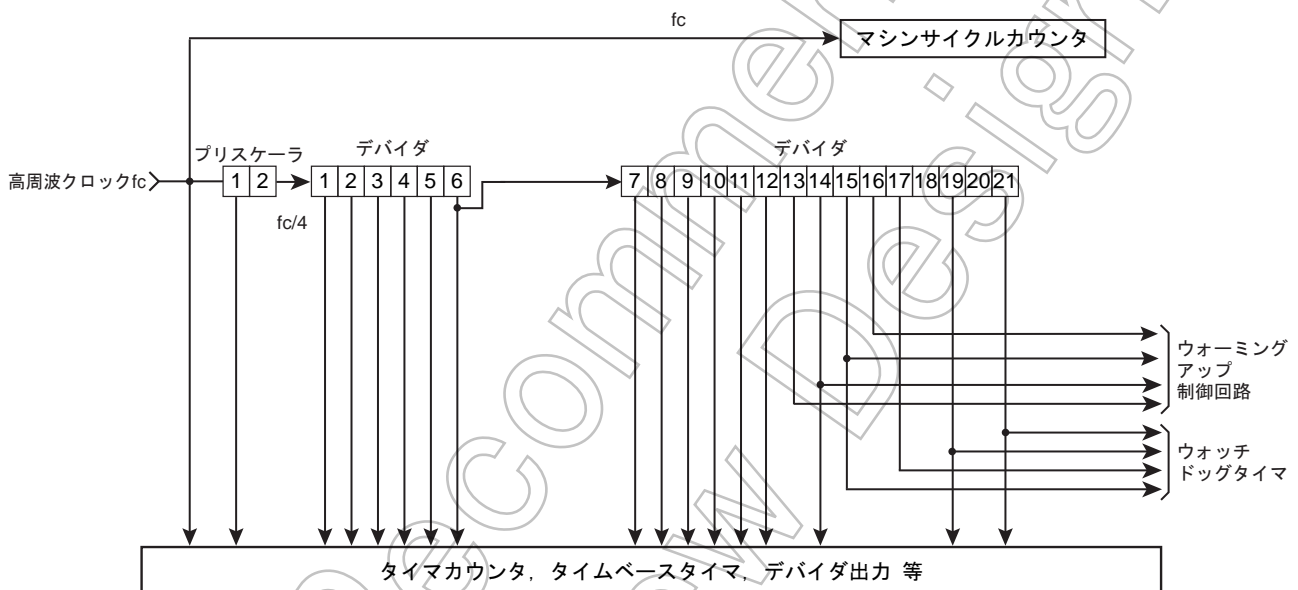


図 2-4 タイミングジェネレータの構成

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

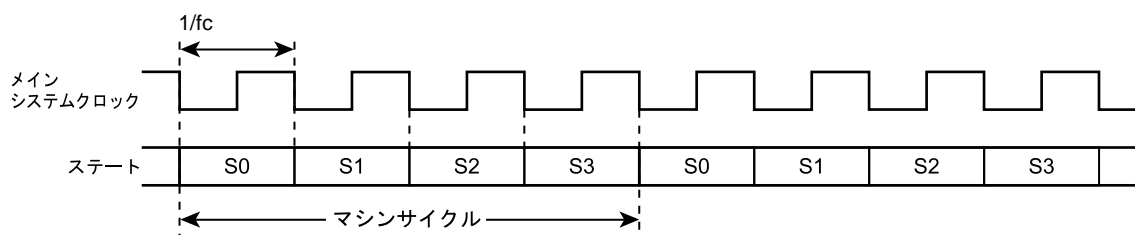


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用発振回路の発振/停止を行います。動作モードは、シングルクロックモードと STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路を使用する動作モードです。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/f_c$ [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ SYSCR2<IDLE> を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTCK> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動/復帰し IMF = “1”, EF6 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

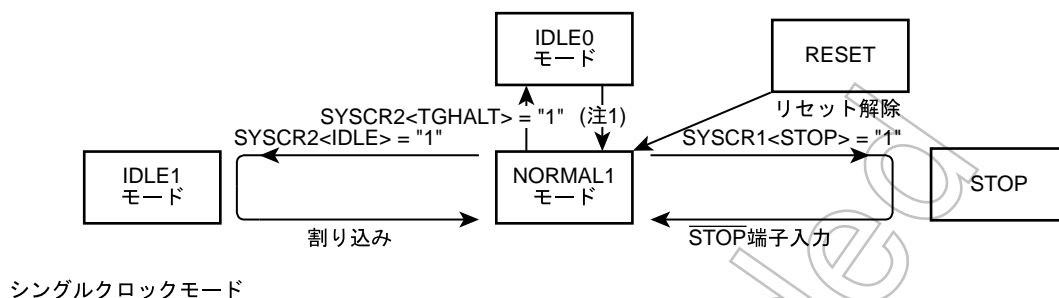
TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、 $\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.2.3.3 各動作モードの遷移



注1) TBTCR<TBTCk>によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

動作モード		発振回路	CPU コア	TBT	その他 周辺回路	マシンサイクルタイム
		高周波				
シングル クロック	RESET	発振	リセット	リセット	リセット	4/fc [s]
	NORMAL1		動作	動作	動作	
	IDLE1		停止		動作	
	IDLE0					
	STOP	停止	停止	停止	停止	—

2.2.4 動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	0	OUTEN	WUT				(初期値:0000 00**)

STOP	STOP モードの起動	0: CPU コア, 周辺ハードウェア動作 1: CPU コア, 周辺ハードウェア停止 (STOP モード起動)	R/W	
RELM	STOP モードの解除方法の選択	0: エッジ解除モード (STOP 端子入力の立ち上がりエッジで解除) 1: レベル解除モード (STOP 端子入力の "H" レベルで解除)	R/W	
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持	R/W	
WUT	STOP モード解除時のウォーミングアップ時間 単位: [s]	NORMAL1 モードへ戻る		
		00	$3 \times 2^{16}/f_c$	R/W
		01	$2^{16}/f_c$	
		10	$3 \times 2^{14}/f_c$	
11	$2^{14}/f_c$			

- 注 1) STOP モードを RESET 端子入力で解除した場合は、NORMAL1 モードに戻ります。
- 注 2) f_c ; 高周波クロック [Hz], *, Don't care
- 注 3) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。
- 注 4) OUTEN = "0" の指定で STOP モードを起動すると、内部入力は "0" に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 5) P20 端子は STOP 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は Hi-z 状態となります。
- 注 6) SYSCR1 のビット 5 には必ず "0" を設定してください。
- 注 7) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	0	0	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
IDLE	CPU,WDT 制御 (IDLE1 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1 モード起動)	R/W
TGHALT	TG 制御 (IDLE0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0 モード起動)	R/W

- 注 1) SYSCR2<XEN> を "0" にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, *; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に "1" に設定しないでください。
- 注 5) IDLE0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1 モード解除時、IDLE は自動的に "0" にクリアされます。
- 注 7) IDLE0 モード解除時、TGHALT は自動的に "0" にクリアされます。
- 注 8) SYSCR2 のビット 6, 5 には必ず "0" を設定してください。
- 注 9) TGHALT を "1" に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに INT5 (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を “1” にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 発振を停止し、内部の動作をすべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケアラおよびデバイダを “0” にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。

注 1) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが “1” にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への “H” レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が “H” レベルの状態でも STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作を起動する場合、 $\overline{\text{STOP}}$ 端子入力が “L” レベルであることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. INT5 割り込みによる方法 (INT5 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

```

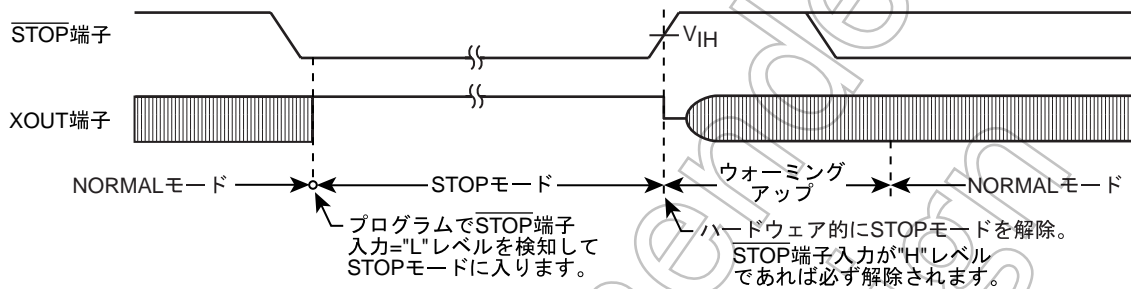
LD      (SYSCR1), 01010000B      ; レベル解除モードにセットアップ
SSTOPH: TEST  (P2PRD), 0          ;  $\overline{\text{STOP}}$  端子入力が “L” レベルになるまでウェイト
JRS     F, SSTOPH
DI                                     ; IMF ← 0
SET     (SYSCR1), 7              ; STOP モードを起動

```


(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:      TEST    (P2PRD) . 0           ;ノイズ 除去のため P20 ポート入力が
           JRS     F, SINT5              ;"H" レベルなら STOP モードを起動しない。
           LD      (SYSCR1), 01010000B   ;レベル解除モードにセットアップ
           DI      ;IMF←0
           SET     (SYSCR1) . 7          ;STOP モードを起動
SINT5:      RETI
    
```



- 注 1) ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

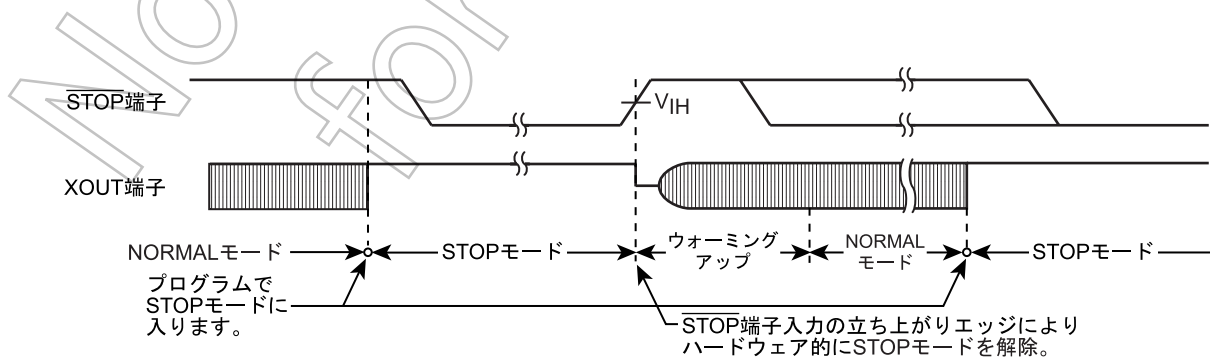
(2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルにあっても STOP 動作に入ります。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ;IMF←0
LD      (SYSCR1), 10010000B   ;エッジ解除モードに設定して起動
    
```



STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で 4 種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。

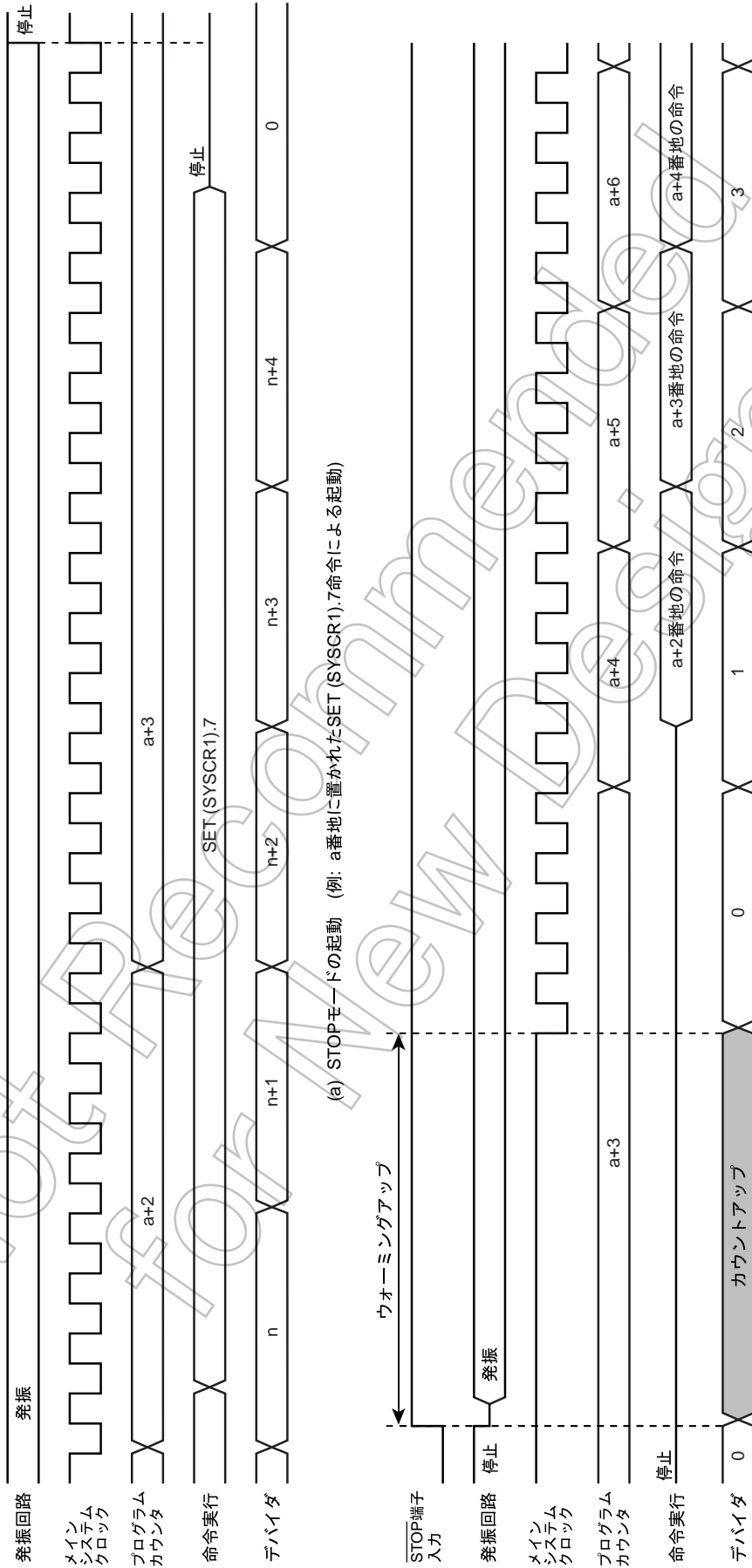
注 2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例: $f_c = 8.0$ MHz 時)

WUT	ウォーミングアップ時間 [ms]
	NORMAL モードへ戻る場合
00	24.576
01	8.192
10	6.144
11	2.048

注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。



(b) STOPモードの解除

図 2-9 STOPモードの起動/解除

2.2.4.2 IDLE1 モード

IDLE1 モードは、システム制御レジスタ 2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLE1 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE1 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

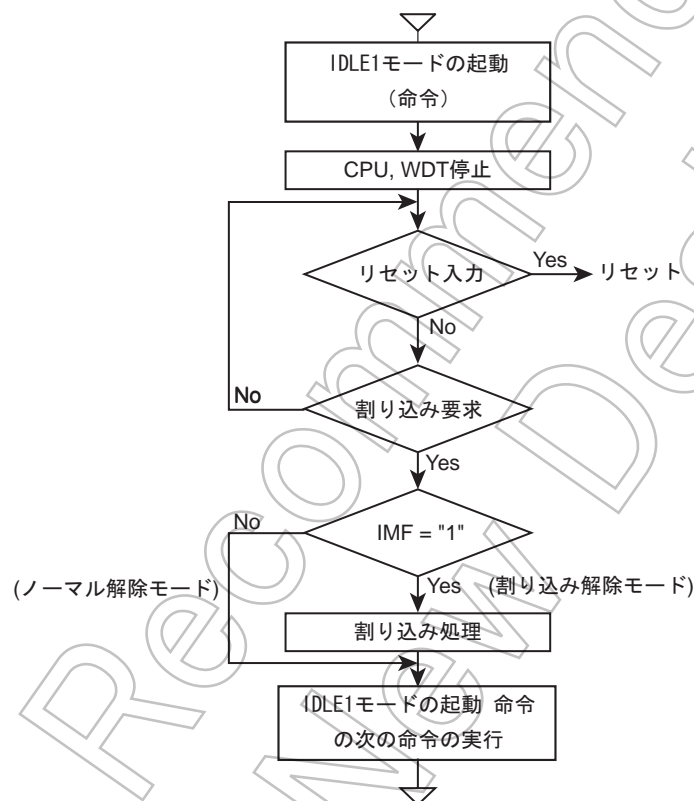


図 2-10 IDLE1 モード

- IDLE1 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1 モードの解除

IDLE1 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1 モードが解除され、IDLE1 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1 モードを起動した命令の次の命令に戻ります。

注) IDLE1 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

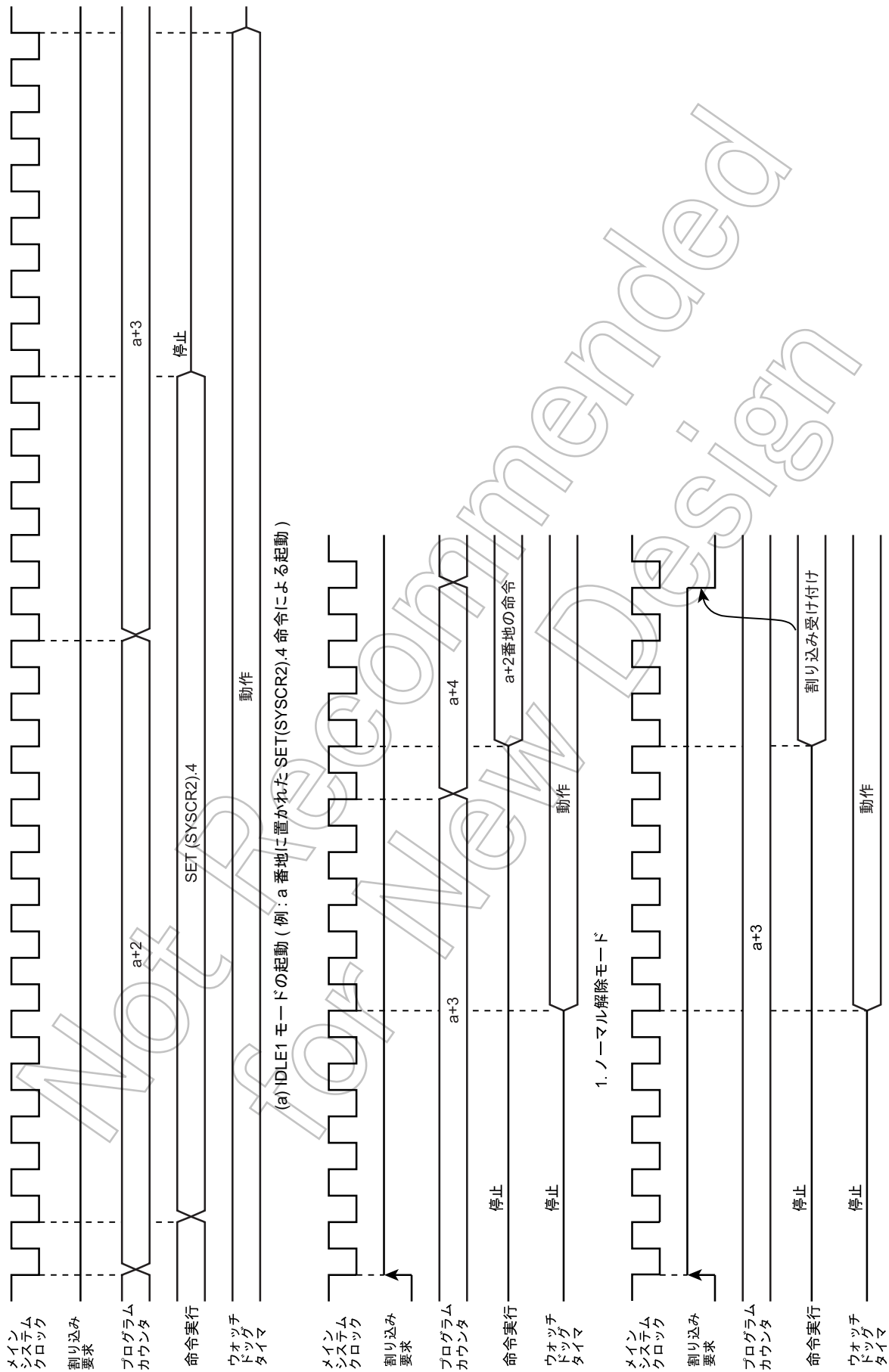


図 2-11 IDLE1 モードの起動 / 解除

2.2.4.3 IDLE0 モード

IDLE0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出カラッチなどは、IDLE0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0 モードを起動する命令の2つ先の命令のアドレスを保持します。

注) IDLE0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0 モードを起動してください。

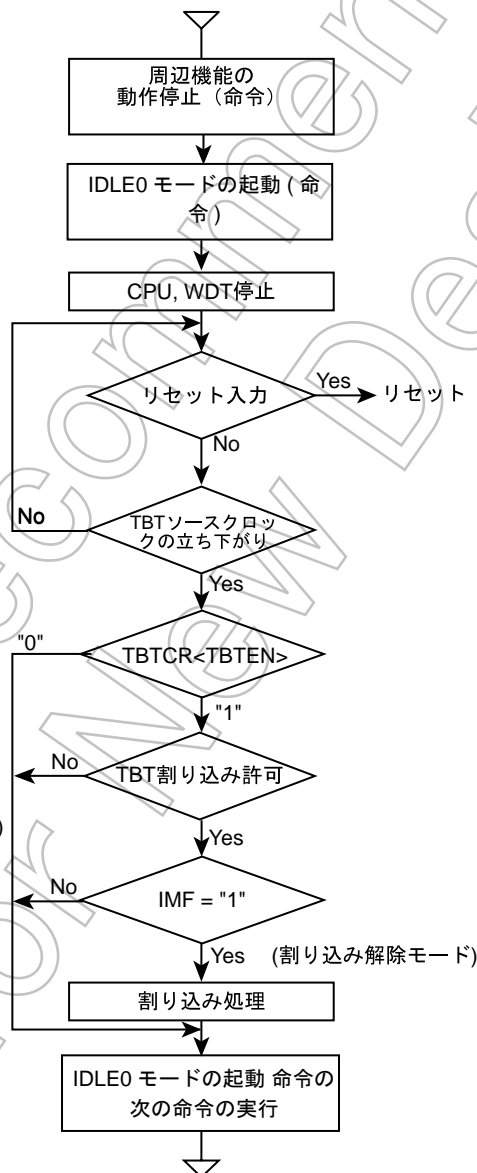


図 2-12 IDLE0 モード

- IDLE0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0 モードの解除

IDLE0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF6) および TBTCR<TBTEN> によって行います。IDLE0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動/復帰します。

(1) ノーマル解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTC< によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0 モードは解除されます。IDLE0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTC< によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0 モードは、TBTCR<TBTC< によって選択された非同期の内部ソースクロックによって NORMAL1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTC< の時間よりも短くなります。

注 2) IDLE0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

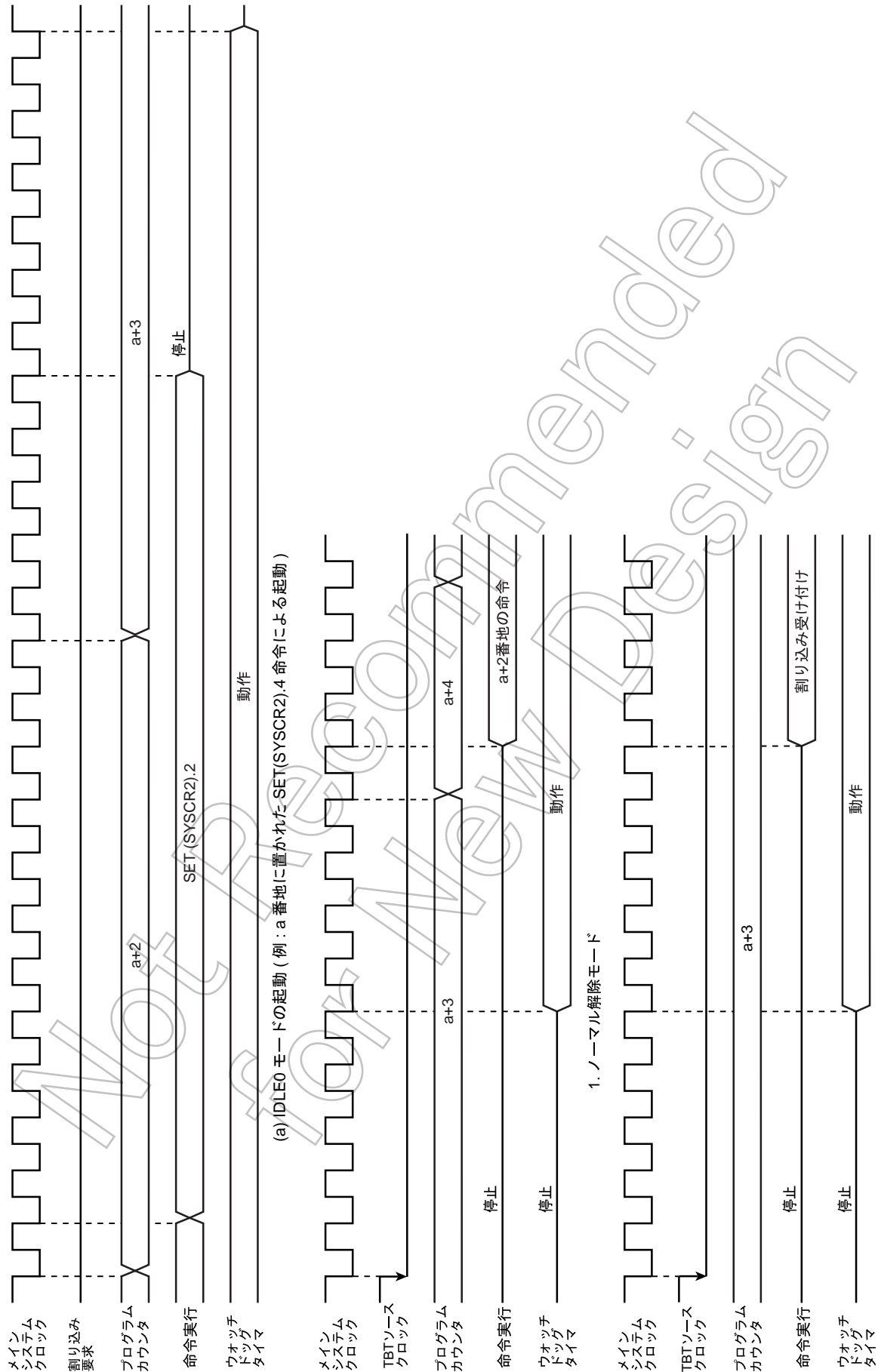


図 2-13 IDLE0 モードの起動 / 解除

2.3 リセット回路

TMP86P202PGには外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 $24/fc[s]$ の期間リセット状態となります。

電源投入時、内部要因リセット回路(ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット)は初期化されませんので電源投入時に最大 $24/fc(3.0\mu s @ 8.0 MHz)$ の期間リセット状態となる場合があります。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出カラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		
		RAM	初期化されません

2.3.1 外部リセット入力

RESET 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/fc [s]$) 以上の間 RESET 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

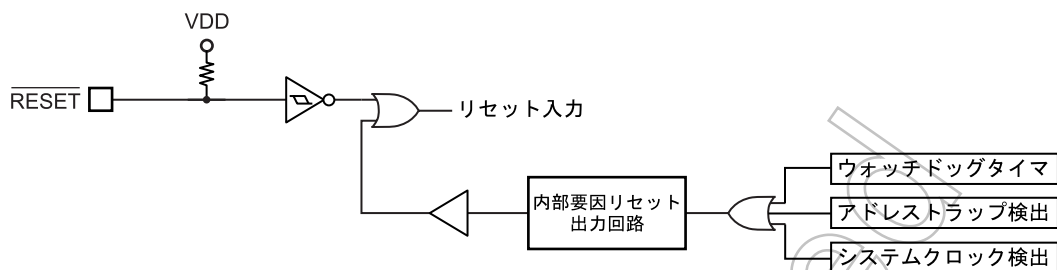
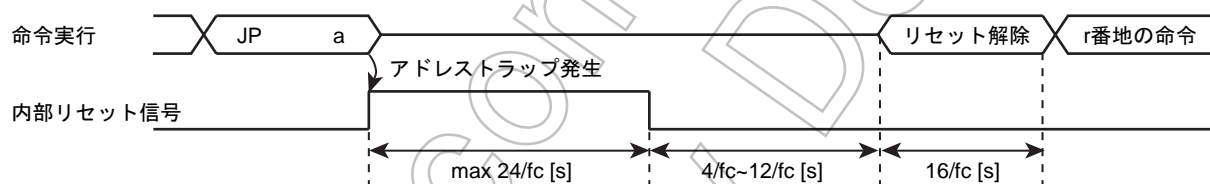


図 2-14 リセット回路

2.3.2 アドレストラップリセット

CPUがノイズなどの原因により暴走して内蔵RAM (WDTCR1<ATAS> = “1”時), SFR領域から命令をフェッチしようとする時リセット信号が発生します。リセット時間は、最大 $24/f_c$ [s] ($3.0\mu\text{s}$ @ 8.0 MHz) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1”時)、または SFR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-15 アドレストラップリセット

2.3.3 ウォッチドッグタイマリセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下の条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN> を “0” にクリアした場合

リセット時間は、最大 $24/f_c$ [s] ($3.0\mu\text{s}$ @ 8.0 MHz) です。

第3章 割り込み制御回路

TMP86P202PGには、リセットを除き合計11種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち4種はノンマスクブル割り込みで、そのほかはすべてマスクブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ(IL)が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ(IMF)と各割り込み要因の個別許可フラグ(EF)によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクブル	-	FFFE	1
内部	INTSW (ソフトウェア割り込み)	ノンマスクブル	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスクブル	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスクブル	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスクブル	IL3	FFF8	2
外部	INT0	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
外部	INT1	IMF・EF5 = 1	IL5	FFF4	6
内部	INTTBT	IMF・EF6 = 1	IL6	FFF2	7
-	Reserved	IMF・EF7 = 1	IL7	FFF0	8
-	Reserved	IMF・EF8 = 1	IL8	FFEE	9
-	Reserved	IMF・EF9 = 1	IL9	FFEC	10
内部	INTTC3	IMF・EF10 = 1	IL10	FFEA	11
内部	INTTC4	IMF・EF11 = 1	IL11	FFE8	12
内部	INTADC	IMF・EF12 = 1	IL12	FFE6	13
-	Reserved	IMF・EF13 = 1	IL13	FFE4	14
-	Reserved	IMF・EF14 = 1	IL14	FFE2	15
外部	INT5	IMF・EF15 = 1	IL15	FFE0	16

注1) アドレストラップ割り込み (INTATRAP) を使用するには WDTTCR1<ATOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注2) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTTCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1 割り込みラッチ (IL15 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003CH, 003DH番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3には“1”を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW          (ILL), 1110001110111111B ; IL12~ IL10, IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例 2) 割り込みラッチの読み出し

```
LD          WA, (ILL)           ; W ← ILH, A ← ILL
```

(プログラム例 3) 割り込みラッチのテスト

```
TEST        (ILL). 6           ; IL6 = 1 ならジャンプ
JR          F, SSET
```

Not Recommended for New Design

3.2 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

3.2.2 割り込み個別許可フラグ (EF15 ~ EF4)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

```
DI ; IMF ← 0
LDW (EIRL), 1110100000100000B ; EF15-EF13, EF11, EF5 ← 1
: ; 注) IMF はセットしない
:
EI ; IMF ← 1
```

(プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL; /* 3AH は EIRL のアドレス */
DI ();
EIRL=10100000B;
:
EI ();
```

Not Recommended
for New Design

割り込みラッチ

(初期値: 0**000** *00000**)

ILH, ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	—	—	IL12	IL11	IL10	—	—	—	IL6	IL5	IL4	IL3	IL2		

ILH (003DH)

ILL (003CH)

IL15~IL2	割り込みラッチ	RD時	WR時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	

- 注 1) IL6~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値: 0**000** *000****)

EIRH, EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	—	—	EF12	EF11	EF10	—	—	—	EF6	EF5	EF4				IMF

EIRH (003BH)

EIRL (003AH)

EF15~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

- 注 1) *: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

3.3 割り込み処理

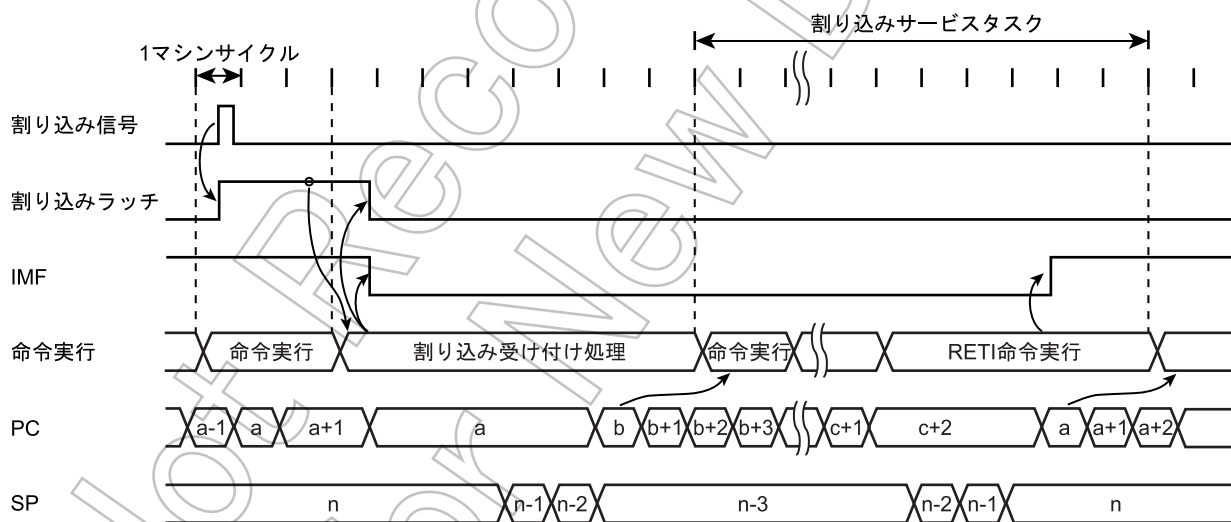
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (4.0μs @8.0MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 1-1 に割り込み受け付け処理タイミングを示します。

3.3.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s](10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

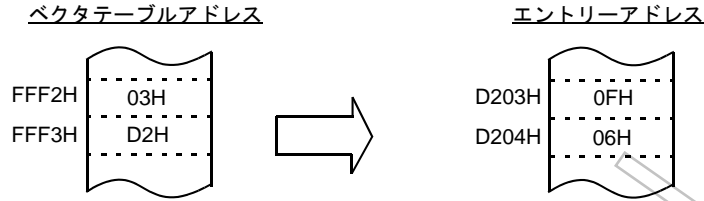


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク割込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスタリングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク割込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.3.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。汎用レジスタの退避には、次の2つの方法があります。

3.3.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

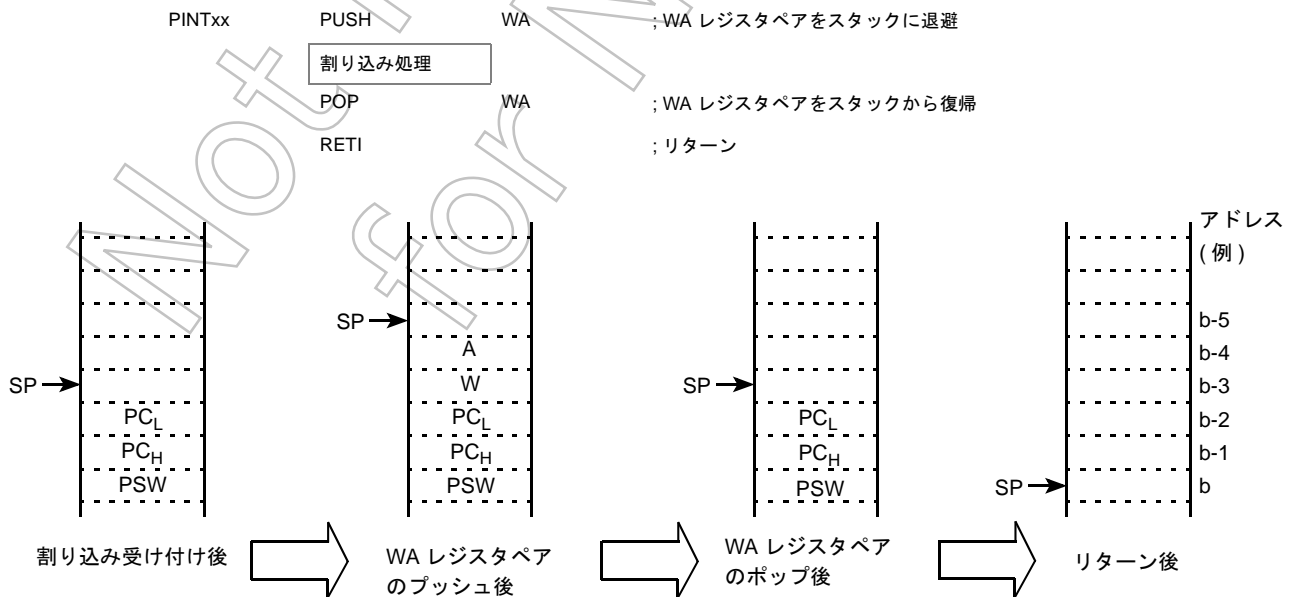


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

3.3.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```

PINTxx:  LD      (GSAVA), A      ; Aレジスタの退避
          [割り込み処理]
          LD      A, (GSAVA)     ; Aレジスタの復帰
          RETI                    ; リターン
    
```

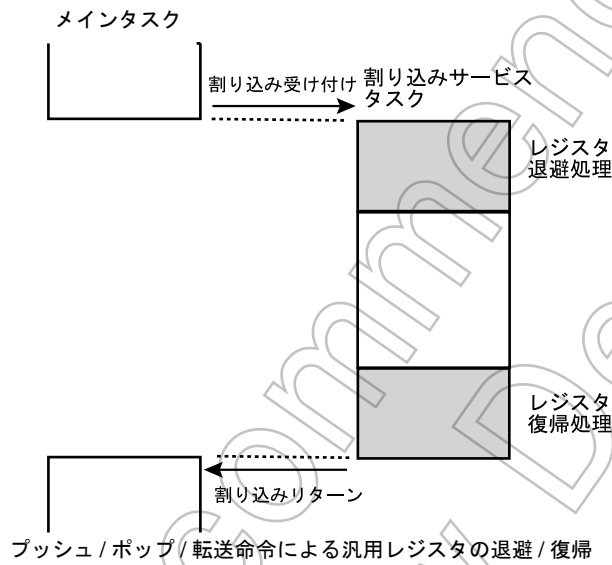


図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.3.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] / [RETN] 割り込みリターン
①プログラムカウンタ、プログラムステータスワードおよびIMFの内容をスタックからそれぞれリストアします。
②スタックポインタを3回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされるPCL、PCHの値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないうままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
 割り込みリターン後のPCL、PCHとなる値は、割り込み受け付け処理後はそれぞれ (SP + 1)、(SP + 2) のアドレスに格納されています。

(プログラム例1) アドレストラップ割り込みサービスプログラムからのリターン

PINTxx	POP	WA	; スタックポインタを2つ戻す
	LD	WA, RetrunAddress	; WA レジスタに再開アドレスを代入する
	PUSH	WA	; スタックにプッシュダウンする
	割り込み処理		
	RETN		; ノンマスカブル割り込みリターン命令

(プログラム例2) リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

PINTxx	INC	SP	; スタックポインタを3つ戻す
	INC	SP	
	INC	SP	
	割り込み処理		
	LD	EIRL, data	; IMF を "1" にセット、または "0" にクリア
	JP	RestartAddress	; 復帰アドレスへジャンプ

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例2のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3回インクリメントする)。
- 注2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.4 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.4.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM、SFR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.4.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.5 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.6 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.7 外部割り込み

TMP86P202PG には、3 本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き（一定時間未満のパルス入力をノイズとして除去します）となっています。

また、INT1 端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P10 端子は、外部割り込み入力端子として使用するか出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および $\overline{\text{INT0}}$ /P10 端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF4・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されず。7/fc [s] 以上は確実に信号とみなされます。
INT1	INT1	IMF・EF5 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されず。49/fc または 193/fc [s] 以上は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF15 = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されず。7/fc [s] 以上は確実に信号とみなされます。

- 注 1) NORMAL1 または IDLE1 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。
- 注 2) INT0EN = "0" のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。
- 注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0	
(0037H)	INT1NC	INT0EN	-	-	-	-	INT1ES		(初期値 :00** **0*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P10/ INT0 の機能選択	0: P10 入出力ポート 1: INT0 端子 (P10 ポートは入力モードにしてください)	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

注 1) fc: 高周波クロック [Hz] *; Don't care

注 2) 外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3) INT1NC を切り替えた場合、最大 2⁶/fc の期間ノイズキャンセル時間が切り替わらない事があります。

Not Recommended for New Design

第4章 スペシャルファンクションレジスタ

TMP86P202PG は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) を通して行われます。SFR は、0000H~003FH にマッピングされています。

本章では、TMP86P202PG の SFR の一覧を示します。

4.1 SFR

アドレス	リード	ライト
0000H		P0DR
0001H		P1DR
0002H		P2DR
0003H		P3DR
0004H		Reserved
0005H		Reserved
0006H		Reserved
0007H		Reserved
0008H		Reserved
0009H		P1CR
000AH		P3CR
000BH		P0OUTCR
000CH	P0PRD	-
000DH	P2PRD	-
000EH		ADCCR1
000FH		ADCCR2
0010H		Reserved
0011H		Reserved
0012H		Reserved
0013H		Reserved
0014H		Reserved
0015H		Reserved
0016H		Reserved
0017H		Reserved
0018H		Reserved
0019H		Reserved
001AH		TC3CR
001BH		TC4CR
001CH		TTREG3
001DH		TTREG4
001EH		PWREG3
001FH		PWREG4
0020H	ADCDR1	-
0021H	ADCDR2	-
0022H		Reserved
0023H		Reserved
0024H		Reserved
0025H		Reserved
0026H		Reserved

アドレス	リード	ライト
0027H		Reserved
0028H		Reserved
0029H		Reserved
002AH		Reserved
002BH		Reserved
002CH		Reserved
002DH		Reserved
002EH		Reserved
002FH		Reserved
0030H		Reserved
0031H		Reserved
0032H		Reserved
0033H		Reserved
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H		TBTCR
0037H		EINTCR
0038H		SYSCR1
0039H		SYSCR2
003AH		EIRL
003BH		EIRH
003CH		ILL
003DH		ILH
003EH		Reserved
003FH		PSW

注1) Reservedの番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

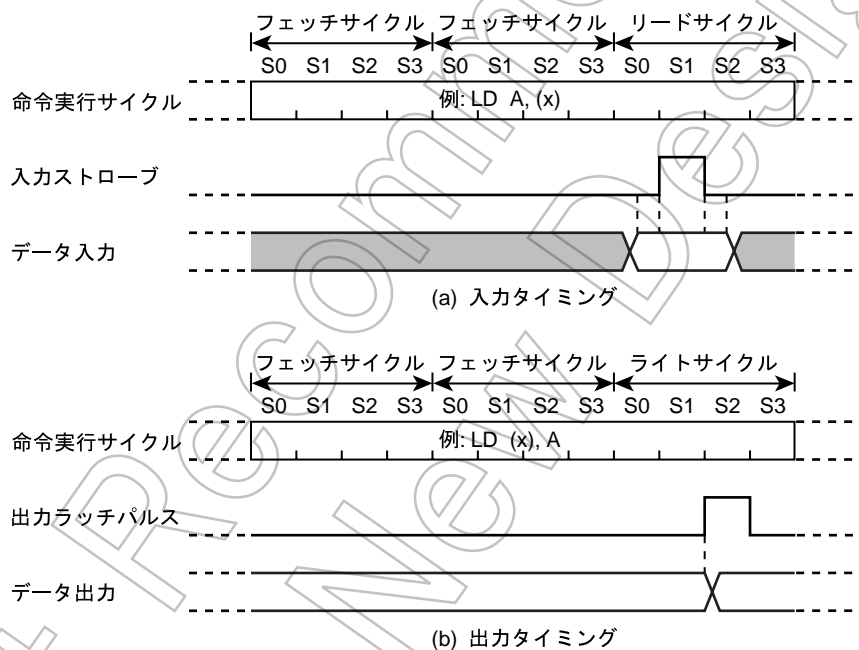
第5章 入出力ポート

本デバイスは、4ポート14端子の入出力ポートを内蔵しています。

1. P0ポート; 2ビット入出力ポート
2. P1ポート; 3ビット入出力ポート(外部割り込み入力, デバイダ出力と兼用)
3. P2ポート; 1ビット入出力ポート(外部割り込み入力, STOPモード解除信号入力と兼用)
4. P3ポート; 8ビット入出力ポート(アナログ入力, タイマカウンタ入出力兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありません。外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図5-1に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できません。チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを入力するタイミングは、命令実行におけるライトサイクルのS2ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図5-1 入出力タイミング(例)

5.1 P0 (P01~P00) ポート (大電流)

P0 ポートは 2 ビットの入出力ポートです。入力ポートとして用いる場合は、出力ラッチを“1”にセットします。出力ポートとして使用する場合は、P0 ポートには出力ラッチデータ (P0DR) が出力されます。リセット時、出力ラッチ (P0DR) は“1”に、プッシュプル制御 (P0OUTCR) は“0”に初期化されます。

P0 ポートは P0OUTCR により出力回路を Nch オープンドレイン入出力、プッシュプル出力に選択することができます。

入力ポートとして使用する場合は P0DR を“1”にセットした後、P0OUTCR の対応するビットを“0”に設定します。

P0 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P0DR レジスタを、端子の状態を読み込む場合は P0PRD レジスタをそれぞれ読み出してください。

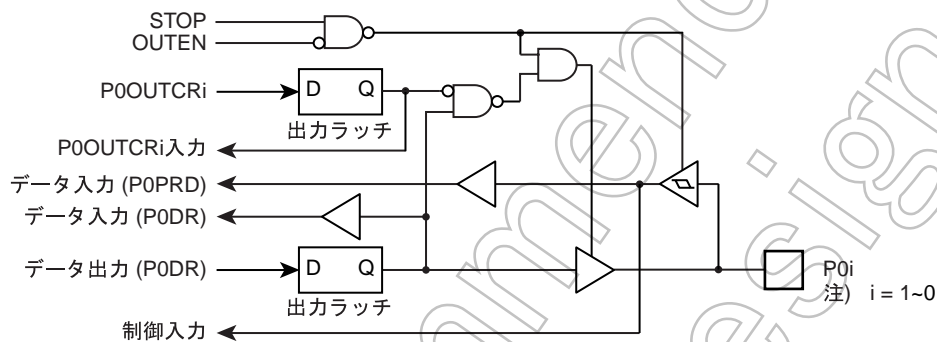


図 5-2 P0 ポート

P0DR (0000H) R/W	7	6	5	4	3	2	1	0	
							P01	P00	(初期値: **** *11)

P0PRD (000CH) Read only	7	6	5	4	3	2	1	0	
							P01	P00	

P0OUTCR (000BH) R/W	7	6	5	4	3	2	1	0	
							P0OUTCR1	P0OUTCR0	(初期値: **** *00)

P0OUTCR	P0 ポートの出力回路制御	0: シンクオープンドレイン入出力 1: プッシュプル出力	R/W
---------	---------------	----------------------------------	-----

5.2 P1 (P12~P10) ポート

P1 ポートは 1 ビット単位で入出力の指定ができる 3 ビットの入出力ポートです。入出力の指定は、P1 ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CR は “0” に初期化され、P1 ポートは入力モードとなります。また、P1 ポート出力ラッチは “0” に初期化されます。

P1 ポートは外部割り込み入力、デバイダ出力と兼用です。P1 ポートを機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを “1” にセットし、出力モードに設定します。

なお、P11端子は外部割り込み入力です(出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10 端子は、外部割り込み制御レジスタ (INT0EN) により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10 端子は入力ポートとなります。

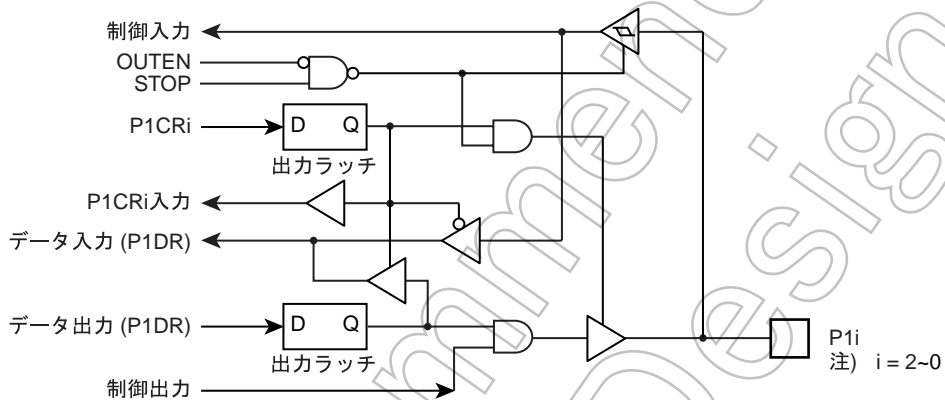


図 5-3 P1 ポート

P1DR (0001H) R/W	7	6	5	4	3	2	1	0	
						P12 DVO	P11 INT1	P10 INT0	(初期値: **** *000)
P1CR (0009H)	7	6	5	4	3	2	1	0	
									(初期値: **** *000)

P1CR	P1 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

5.3 P2 (P20) ポート

P2 ポートは 1 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力と兼用です。入力ポートまたは、機能端子として用いる場合は、出力ラッチを“1”にセットします。出力ラッチはリセット時“1”に初期化されます。P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します（出力ポートとして使用すると立ち下がりエッジで割り込みラッチがセットされます）。

P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR レジスタを、端子の状態を読み込む場合は、P2PRD レジスタをそれぞれ読み出してください。P2 ポートに対して P2DR, P2PRD のリード命令を実行した場合、ビット 7~1 は不定値が読み込まれます。

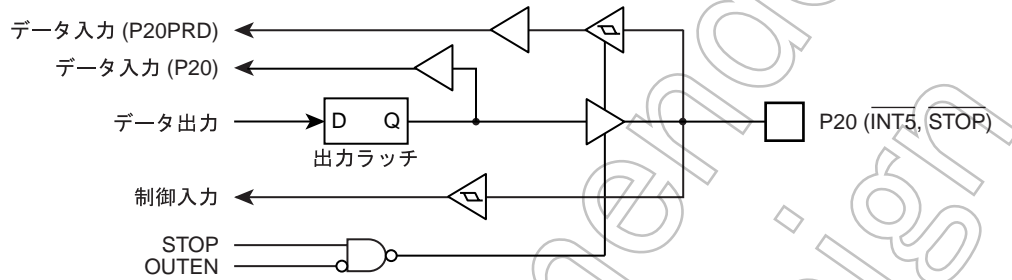


図 5-4 P2 ポート

	7	6	5	4	3	2	1	0	
P2DR (0002H) R/W								P20 INT5 STOP	(初期値: **** *1)
P2PRD (000DH) Read only								P20	

注) P20 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードに入ると OUTEN の状態にかかわらず、出力は High-Z 状態となります。

5.4 P3 (P37~P30) ポート

P3ポートは、1ビット単位で入出力の指定ができる8ビットの入出力ポートで、アナログ入力および8ビットタイマカウンタ入出力と兼用です。入出力の指定は、P3ポート入出力制御レジスタ(P3CR)とAINDS(ADCCR1のビット4)によって行います。リセット時は、P3CRとP3DRは“0”にクリアされ、AINDSは“1”にセットされますので、P37~P30は入力ポートとなります。

入力ポートとして使用する場合には、P3CRを“0”にするとともに、AINDS=1にすることにより可能となります。アナログ入力として使用する場合には、P3DR、P3CRの値にかかわらずSAIN(ADCCR1のビット3~0)で選択された端子はAINDS=0にすることでアナログ入力となります。出力ポートとして使用する場合には、P3CRを“1”にすることでそのビットは出力モードになりP3DR(出力ラッチデータ)が出力されます。ADコンバータを使用しているときP3ポートに対して、入力命令を実行するとアナログ入力を選択している端子はP3DRの値が読み込まれ、アナログ入力を選択していない端子は、端子のレベルにより、“1”または“0”が読み込まれます。なお、出力命令を実行してもアナログ入力を選択している端子にはラッチデータは出力されません。

アナログ入力として使用しないP3ポートは、入出力ポートとして使用できますが、AD変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートにAD変換中、変化の激しい信号を入力しないようにしてください。

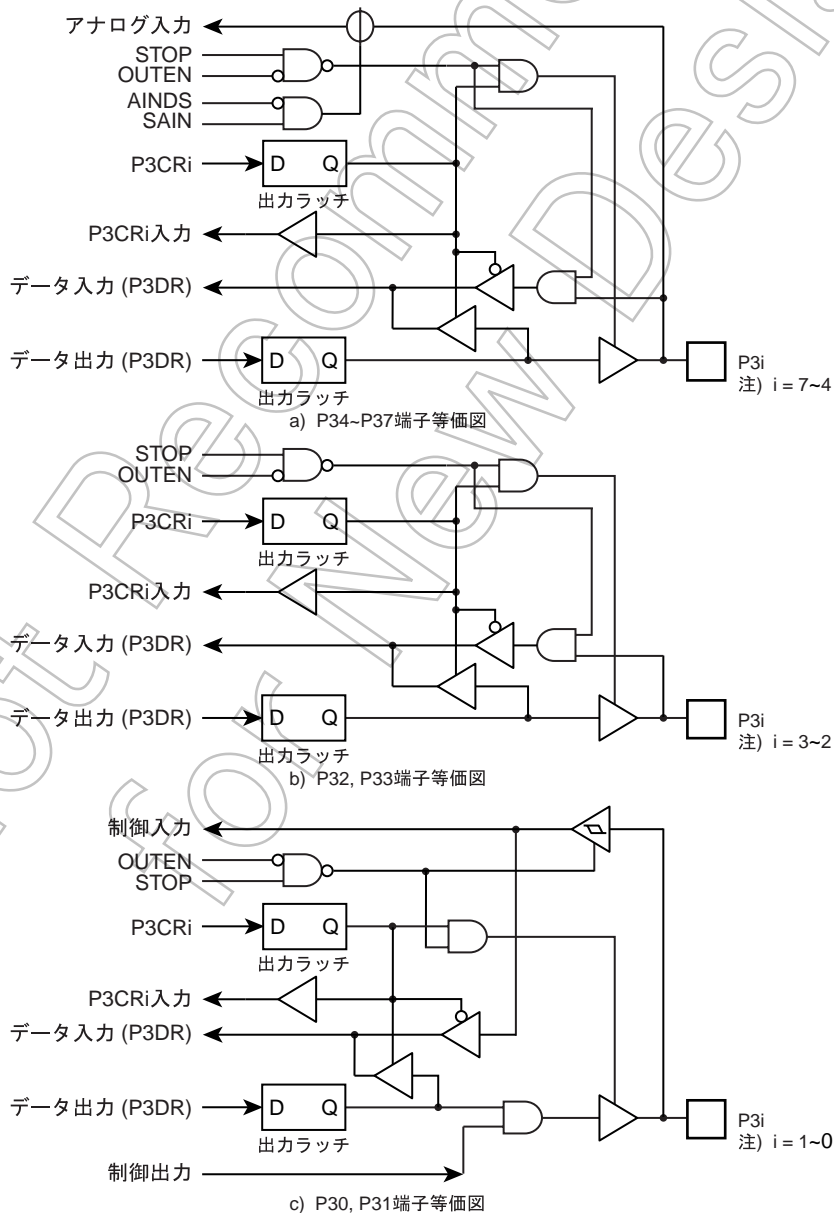


図 5-5 P3 ポート

	7	6	5	4	3	2	1	0	
P3DR (0003H) R/W	P37 AIN5	P36 AIN4	P35 AIN3	P34 AIN2	P33	P32	P31 TC4 PDO4 PWM4 PPG4	P30 TC3 PDO3 PWM3	(初期値 : 0000 0000)
P3CR (000AH)									(初期値 : 0000 0000)
P3CR	P3 ポートの出力制御 (ビットごとに指定)		0: 入力モード 1: 出力モード					R/W	

- 注 1) P30, P31 はヒステリシス入力となります。
- 注 2) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場
合、入力モードに設定されているポートの出力ラッチの内容はビット操作命令の実行により書き替わることがあります。

Not Recommended for New Design

第6章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

6.1 ウォッチドッグタイマの構成

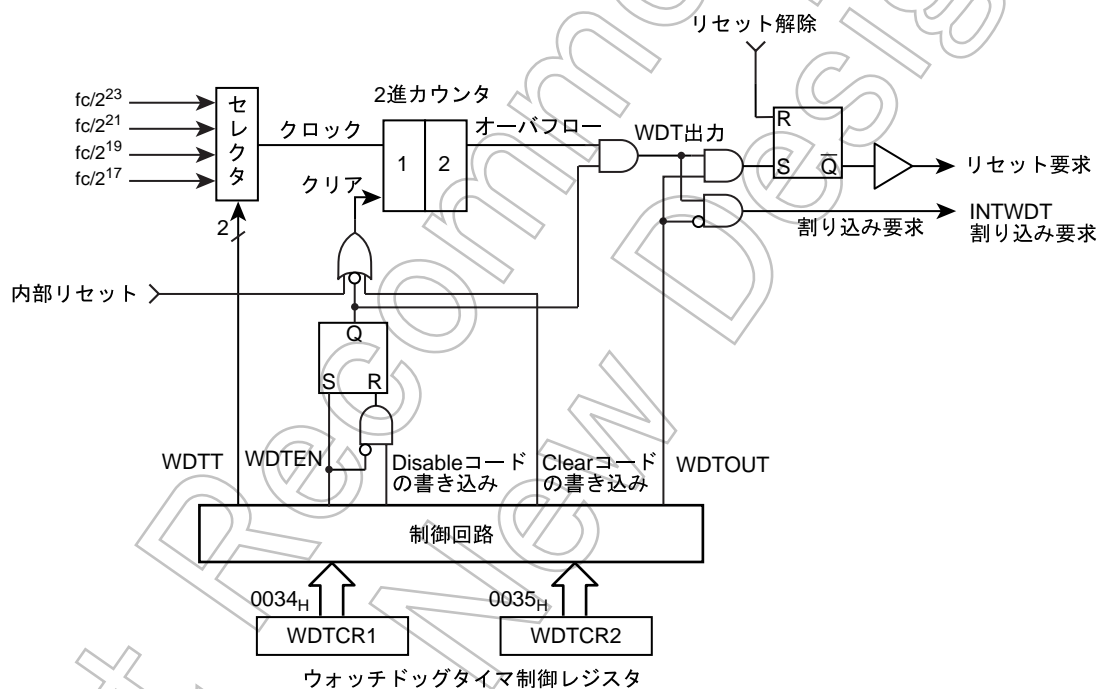


図 6-1 ウォッチドッグタイマの構成

6.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTTCR1、WDTTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

6.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定、出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォーミングアップ中を含む) または IDLE モード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/fc$ [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH          ;2進カウンタのクリア
LD      (WDTCR1), 00001101B   ;WDTT ← 10, WDTOUT ← 1
WDT 検出
時間 3/4 以内
┌ LD      (WDTCR2), 4EH          ;2進カウンタのクリア
│   :                               ;WDTT 変更直前直後は必ずクリア;します)
│   :
└ LD      (WDTCR2), 4EH          ;2進カウンタのクリア
WDT 検出
時間 3/4 以内
┌ LD      (WDTCR2), 4EH          ;2進カウンタのクリア
└

```

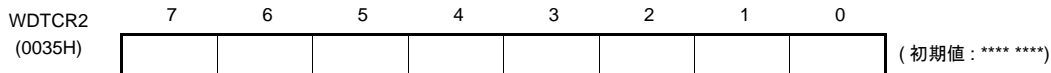
ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0
	—	—	(ATAS)	(ATOUT)	WDTEN	WDTT	WDTOUT	(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可	Write only	
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1 モード	Write only	
		00		$2^{25}/fc$
		01		$2^{23}/fc$
		10		$2^{21}/fc$
11	$2^{19}/fc$			
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求	Write only	

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc: 高周波クロック [Hz] *; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOP モード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「6.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2



WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H:	アドレストラップ領域選択有効	
		その他	無効	

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
- 注 2) *: Don't care
- 注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
- 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

6.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

6.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 6-1 ウォッチドッグタイマ検出時間 (例: fc = 8.0 MHz 時)

WDTT	ウォッチドッグタイマ検出時間 [s]	
	NORMAL1 モード	
00	4.194	
01	1.048	
10	262.144 m	
11	65.536 m	

6.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスクابل割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 00BFH      ;SP の設定
LD      (WDTCR1), 00001000B ;WDTOUT ← 0
```

6.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($3.0 \mu\text{s}$ @ $f_c = 8.0 \text{ MHz}$) です。

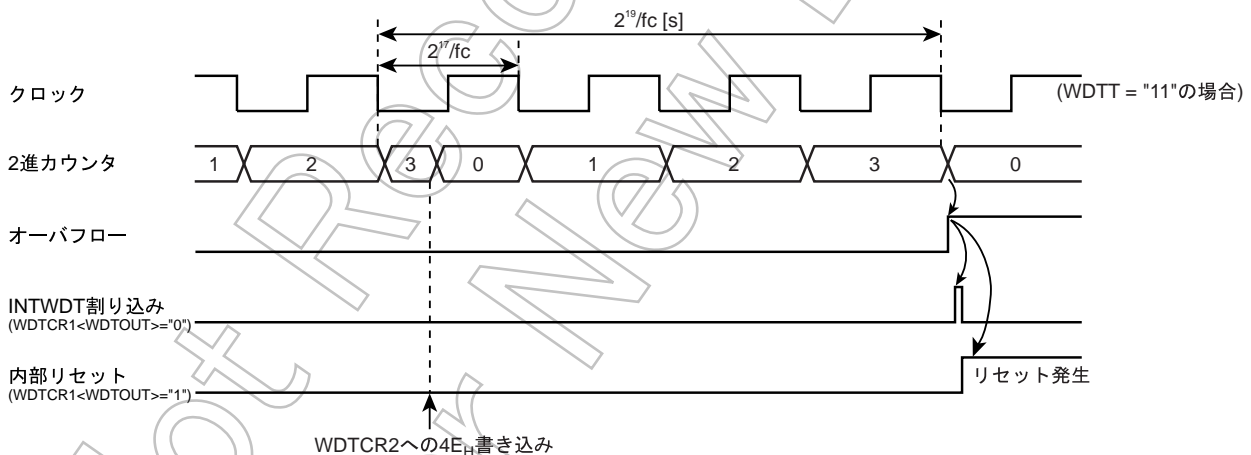


図 6-2 ウォッチドッグタイマ割り込み / リセット

6.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	(初期値: **11 1001)
	—	—	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	

ATAS	内蔵 RAM 領域のアドレストラップ選択	0:	アドレストラップ発生しない	Write only
		1:	アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	
ATOUT	アドレストラップ発生時の動作選択	0:	割り込み要求	Write only
		1:	リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み兼 アドレストラップ領域選択の制御コード書き込み	D2H:	アドレストラップ領域選択有効 (ATRAP 設定コード)	Write only
		4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	
		B1H:	ウォッチドッグタイマのディセーブル (WDT ディセーブルコード)	
		その他:	無効	

6.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレストラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。

WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレストラップが発生します。

6.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

6.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” のときに 2 進カウンタがオーバフローすると、アドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

6.3.4 アドレストラップリセット

WDTCR1<ATOUT> が “1” のときに CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS>= “1” の時のみ)、または SFR 領域から命令をフェッチしようとする、アドレストラップリセット要求が発生します。アドレストラップのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/fc$ [s] ($3.0 \mu\text{s}$ @ $fc = 8.0 \text{ MHz}$) です。

Not Recommended
for New Design

第7章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

7.1 タイムベースタイマ

7.1.1 構成

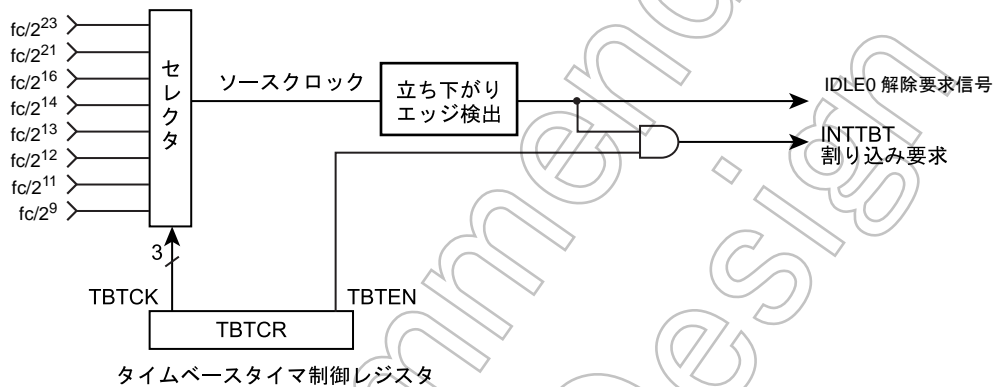


図 7-1 タイムベースタイマの構成

7.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)	"0"	TBTEN	TBTC				(初期値 : 0000 0000)

TBTEN	タイムベースタイマの許可 / 禁止	0: ディセーブル 1: イネーブル	
TBTC	タイムベースタイマ割り込み周波数の選択 単位 : [Hz]	NORMAL1 モード	
		000	$fc/2^{23}$
		001	$fc/2^{21}$
		010	$fc/2^{16}$
		011	$fc/2^{14}$
		100	$fc/2^{13}$
		101	$fc/2^{12}$
		110	$fc/2^{11}$
111	$fc/2^9$		
			R/W

注 1) fc; 高周波クロック [Hz], *, Don't care

注2) 割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0")で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCCR), 00000010B      ; TBTCK ← 010
LD      (TBTCCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRL), 6
EI
```

表 7-1 タイムベースタイマ割り込み周波数 (例: $fc = 8.0$ MHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]
	NORMAL1モード
000	0.95
001	3.81
010	122.07
011	488.28
100	976.56
101	1953.12
110	3906.25
111	15625

7.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 7-2 参照)。

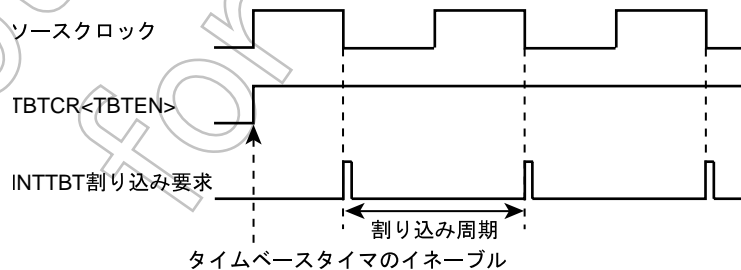


図 7-2 タイムベースタイマ割り込み

7.2 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 $\overline{\text{DVO}}$ 端子から出力されます。

7.2.1 構成

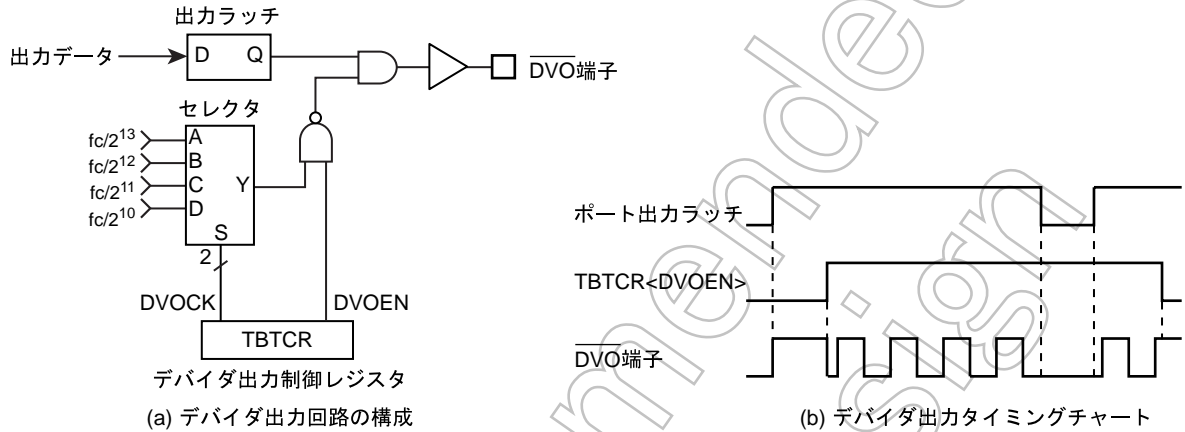


図 7-3 デバイダ出力

7.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	"0"	(TBTEN)			(TBTCK)		(初期値 : 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル	R/W
DVOCK	デバイダ出力 ($\overline{\text{DVO}}$ 端子) の周波数選択 単位: [Hz]	NORMAL1 モード 00: $fc/2^{13}$ 01: $fc/2^{12}$ 10: $fc/2^{11}$ 11: $fc/2^{10}$	R/W

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0")で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 0.977 kHz のパルスを出力 ($fc = 8.0 \text{ MHz}$)

```

ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"
    
```


表 7-2 デバイダ出力の周波数 (例 : $f_c = 8.0$ MHz 時)

DVOCK	デバイダ出力の周波数 [Hz]
	NORMAL1 モード
00	0.977 k
01	1.953 k
10	3.906 k
11	7.813 k

Not Recommended
for New Design

第 8 章 8 ビットタイマカウンタ (TC3, TC4)

8.1 構成

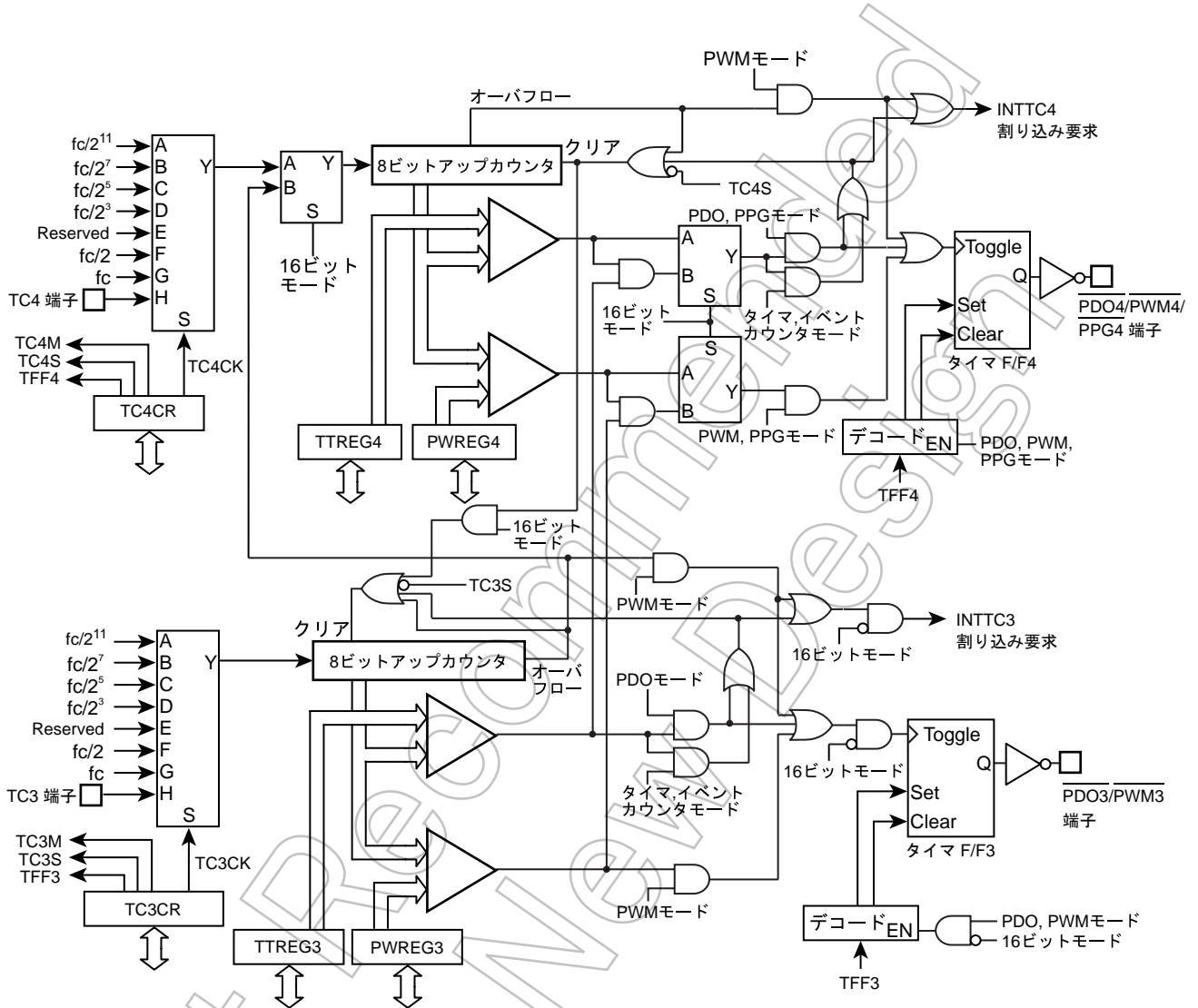
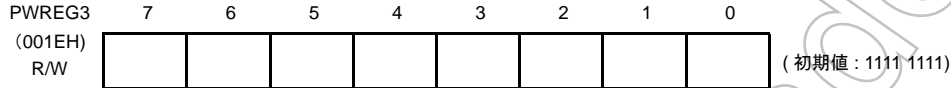
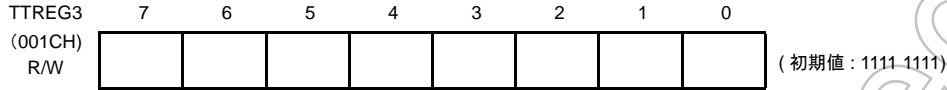


図 8-1 8 ビットタイマカウンタ 3, 4

8.2 制御

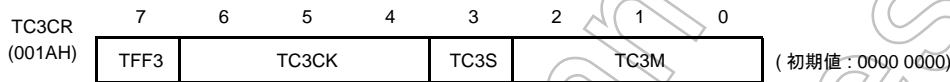
タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ3のタイマレジスタ



- 注1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
- 注2) 8/16ビットPWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ3制御レジスタ

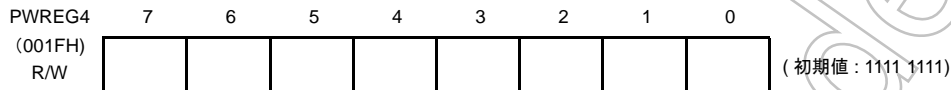
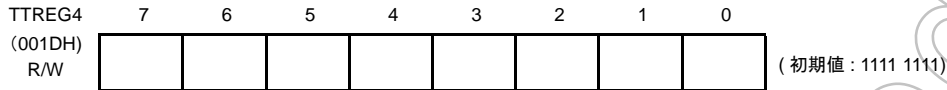


TFF3	タイマ F/F3 の制御	0: クリア 1: セット	R/W
TC3CK	動作クロック選択 [Hz]	NORMAL1, IDLE1 モード	
		000	$fc/2^{11}$
		001	$fc/2^7$
		010	$fc/2^5$
		011	$fc/2^3$
		100	Reserved
		101	$fc/2$
		110	fc
TC3S	タイマスタート制御	0: 動作停止 & カウンタクリア	R/W
		1: 動作開始	
TC3M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード	R/W
		001: 8ビットプログラマブルデバウンス出力 (PDO) モード	
		010: 8ビットパルス幅変調出力 (PWM) モード	
		011: 16ビットモード (各モード選択は TC4M にて設定してください)	
		1**: Reserved	

- 注1) fc : 高周波クロック [Hz]
- 注2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。
- 注3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。
- 注4) 16ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M> にて行い、TC3M は "011" に固定してください。
- 注5) 16ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>、TC4CR<TFF4> にて設定してください。
- 注6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 8-1 を参照してください。
- 注7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 8-2 を参照してください。

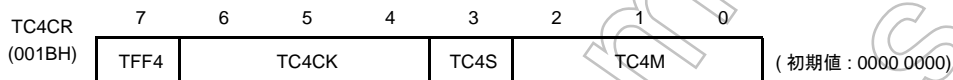
タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ4のタイマレジスタ



- 注1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
- 注2) 8/16ビットPWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ4制御レジスタ



TFF4	タイマ F/F4 の制御	0: クリア 1: セット	R/W
TC4CK	動作クロック選択 [Hz]	NORMAL1, IDLE1 モード	
		000	fc/2 ¹¹
		001	fc/2 ⁷
		010	fc/2 ⁵
		011	fc/2 ³
		100	Reserved
		101	fc/2
		110	fc
TC4M	動作モード選択	111	TC4 端子入力
		000:	8ビットタイマ/イベントカウンタモード
		001:	8ビットプログラマブルデバウンス出力 (PDO) モード
		010:	8ビットパルス幅変調出力 (PWM) モード
		011:	Reserved
		100:	16ビットタイマ/イベントカウンタモード
		101:	ウォーミングアップカウンタモード
		110:	16ビットパルス幅変調出力 (PWM) モード
111:	16ビットPPGモード		
TC4S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始	R/W

- 注1) fc; 高周波クロック [Hz]
- 注2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。
- 注3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。
- 注4) TC4M = 1** のとき (16ビットモードの上位側のとき) は、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。
- 注5) 16ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M> は必ず "011" に設定してください。

-
- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK> にて行い、タイマスタート制御、タイマ F/ F の制御については TC4S、TFF4 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 8-1 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 8-2 を参照してください。

Not Recommended
for New Design

表 8-1 動作モードと使用できるソースクロック (NORMLAL1, IDLE1 モード時)

動作モード	$fc/2^{11}$	$fc/2^7$	$fc/2^5$	$fc/2^3$	$fc/2$	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	○	○	○	—	—	—	—
8ビットイベントカウンタ	—	—	—	—	—	—	○	○
8ビットPDO	○	○	○	○	—	—	—	—
8ビットPWM	○	○	○	○	○	○	—	—
16ビットタイマ	○	○	○	○	—	—	—	—
16ビットイベントカウンタ	—	—	—	—	—	—	○	—
16ビットPWM	○	○	○	○	○	○	○	—
16ビットPPG	○	○	○	○	—	—	○	—

注 1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 8-2 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREGn}) \leq 255$
8ビットPDO	$1 \leq (\text{TTREGn}) \leq 255$
8ビットPWM	$2 \leq (\text{PWREGn}) \leq 254$
16ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREG4, 3}) \leq 65535$
16ビットPWM	$2 \leq (\text{PWREG4, 3}) \leq 65534$
16ビットPPG	$1 \leq (\text{PWREG4, 3}) < (\text{TTREG4, 3}) \leq 65535$ かつ $(\text{PWREG4, 3}) + 1 < (\text{TTREG4, 3})$

注) $n = 3 \sim 4$

8.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

8.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、PDOj/PWMj/PPGj 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j = 3, 4$

表 8-3 タイマカウンタ 3, 4 のソースクロック (内部クロック)

ソースクロック	分解能	最大設定時間
NORMAL1, IDLE1 モード	$f_c = 8.0 \text{ MHz}$ 時	$f_c = 8.0 \text{ MHz}$ 時
$f_c/2^{11}$ [Hz]	256 μs	65.2 ms
$f_c/2^7$	16 μs	4.1 ms
$f_c/2^5$	4 μs	1.0 ms
$f_c/2^3$	1 μs	255.0 μs

(プログラム例) ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、160 μs 後に割り込みを発生させる (タイマカウンタ 4、 $f_c = 8.0 \text{ MHz}$ 時)

```
LD   (TTREG4), 0AH           ; タイマレジスタの設定 (160  $\mu\text{s} \div 2^7/f_c = 0AH$ )
DI
SET  (EIRH), 3              ; INTTC4 割り込みを許可
EI
LD   (TC4CR), 00010000B     ; 動作クロックを  $f_c/2^7$ , 8 ビットタイマモードに設定
LD   (TC4CR), 00011000B     ; TC4 スタート
```

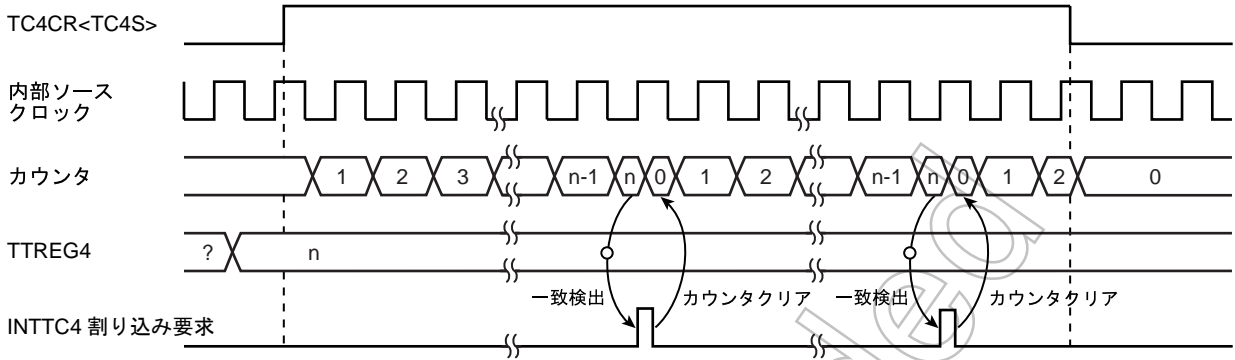


図 8-2 8 ビットタイマモードタイミングチャート (TC4 の場合)

8.3.2 8 ビットイベントカウンタモード (TC3, 4)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”，“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{PDOj}/\overline{PWMj}/\overline{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

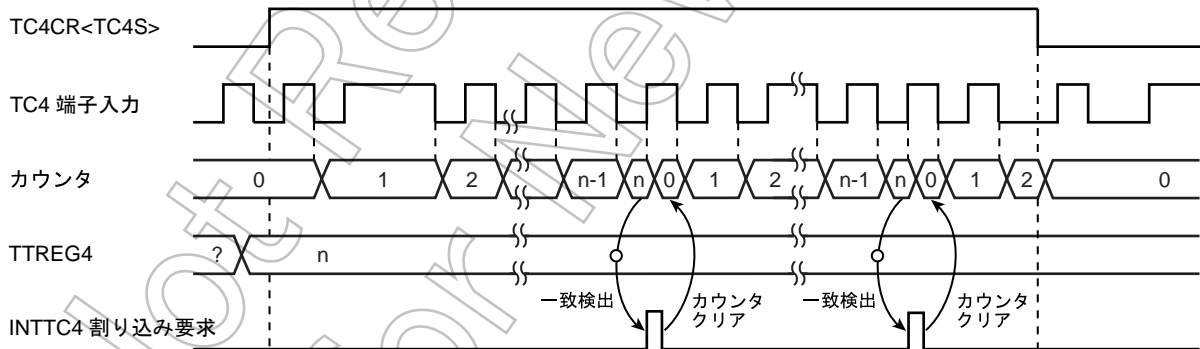


図 8-3 8 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

8.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは \overline{PDOj} 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 \overline{PDOj} 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFFj> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) TC4 を使用し、512 Hz のパルスを出力 ($f_c = 8.0 \text{ MHz}$)

ポートを設定		
LD	(TTREG4), 3DH	; $1/512 \div 2^7/f_c \div 2 = 3DH$
LD	(TC4CR), 00010001B	; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定
LD	(TC4CR), 00011001B	; TC4 スタート

- 注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 2) PDO 出力中にタイマを停止すると、PDOj 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例: タイマカウンタ停止時に PDOj 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PDOj 端子を “H” レベルに設定
- 注 3) j = 3, 4

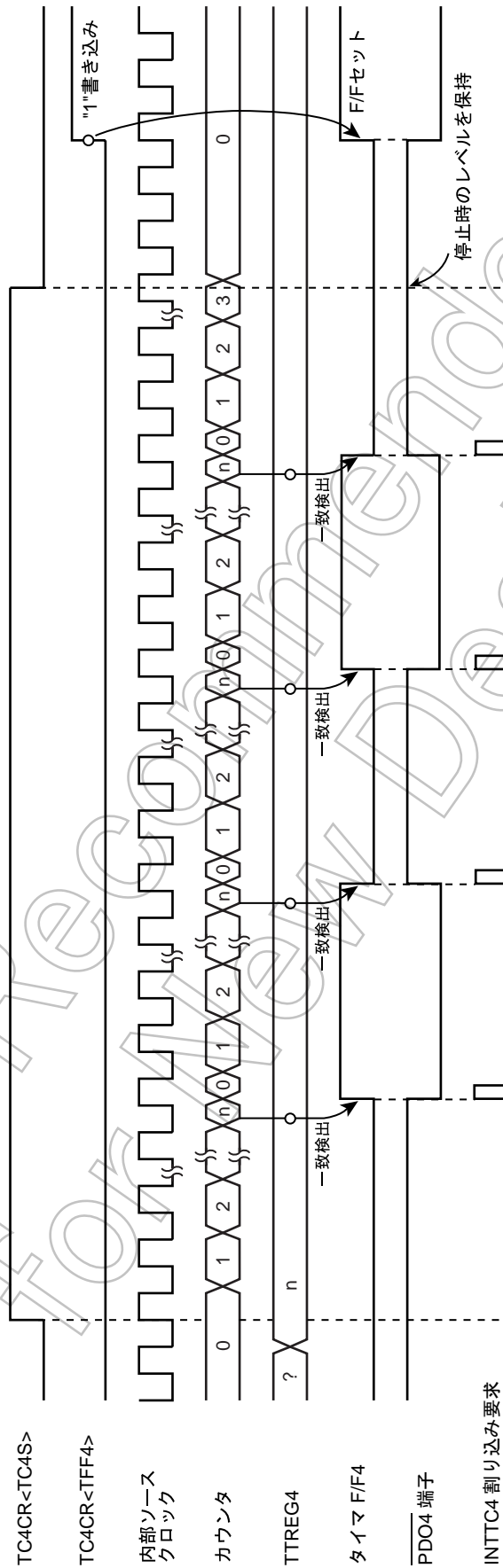


図 8-4 8ビット PDO モードタイミングチャート (TC4 の場合)

8.3.4 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能8ビットのPWM出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値とPWREGj設定値が一致するとタイマF/Fj値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/Fj値を再び反転し、カウンタをクリアします。このときINTTCj割り込み要求が発生します。

タイマF/Fjは、TCjCR<TFFj>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。リセット時、タイマF/Fjは“0”にクリアされます。

(PWMj端子からはタイマF/Fj値の反転レベルが出力されます)

PWMモード中のPWREGjは、シフトレジスタとの2段構成となつていますので、タイマ動作中にPWREGjの設定値を変更することが可能です。タイマ動作中、PWREGjへの設定値はINTTCj割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGjにデータを設定した直後にシフトされます。

PWM出力中、PWREGjに対してリード命令を実行するとPWREGjの設定値ではなく、シフトレジスタの値が読み込まれます。従ってPWREGjを設定してからINTTCj割り込み要求までの間は、前回のPWREGj設定値が読み込まれます。

PWM出力を行う端子は、I/Oポートの出力ラッチを“1”にセットしてください。

- 注1) PWMモード時、タイマレジスタPWREGjへの書き込みは、INTTCj割り込み要求発生直後(通常はINTTCj割り込みサービスルーチン内)に行ってください。タイマレジスタPWREGjへの書き込みとINTTCj割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次のINTTCj割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注2) PWM出力中にタイマを停止すると、PWMj端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後にTCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時にTCjCR<TFFj>の設定を変更しないでください。
例: タイマカウンタ停止時にPWMj端子を“H”レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj出力を“H”レベルに設定
- 注3) PWM出力中、STOPモードを起動する場合は、タイマを停止してからSTOPモードを起動してください。タイマを停止せずにSTOPモードを起動し、さらにソースクロックとしてfcまたはfc/2が選択されている場合は、STOP解除後のウォーミングアップ中にPWMj端子からパルスが出力されます。
- 注4) j = 3, 4

表 8-4. PWM 出力モード

ソースクロック	分解能	繰り返し周期
NORMAL1, IDLE1 モード	fc = 8.0 MHz 時	fc = 8.0 MHz 時
fc/2 ¹¹ [Hz]	256 μs	65.5 ms
fc/2 ⁷	16 μs	4.1 ms
fc/2 ⁵	4 μs	1.02 ms
fc/2 ³	1 μs	256 μs
fc/2	250 ns	64 μs
fc	125 ns	32 μs

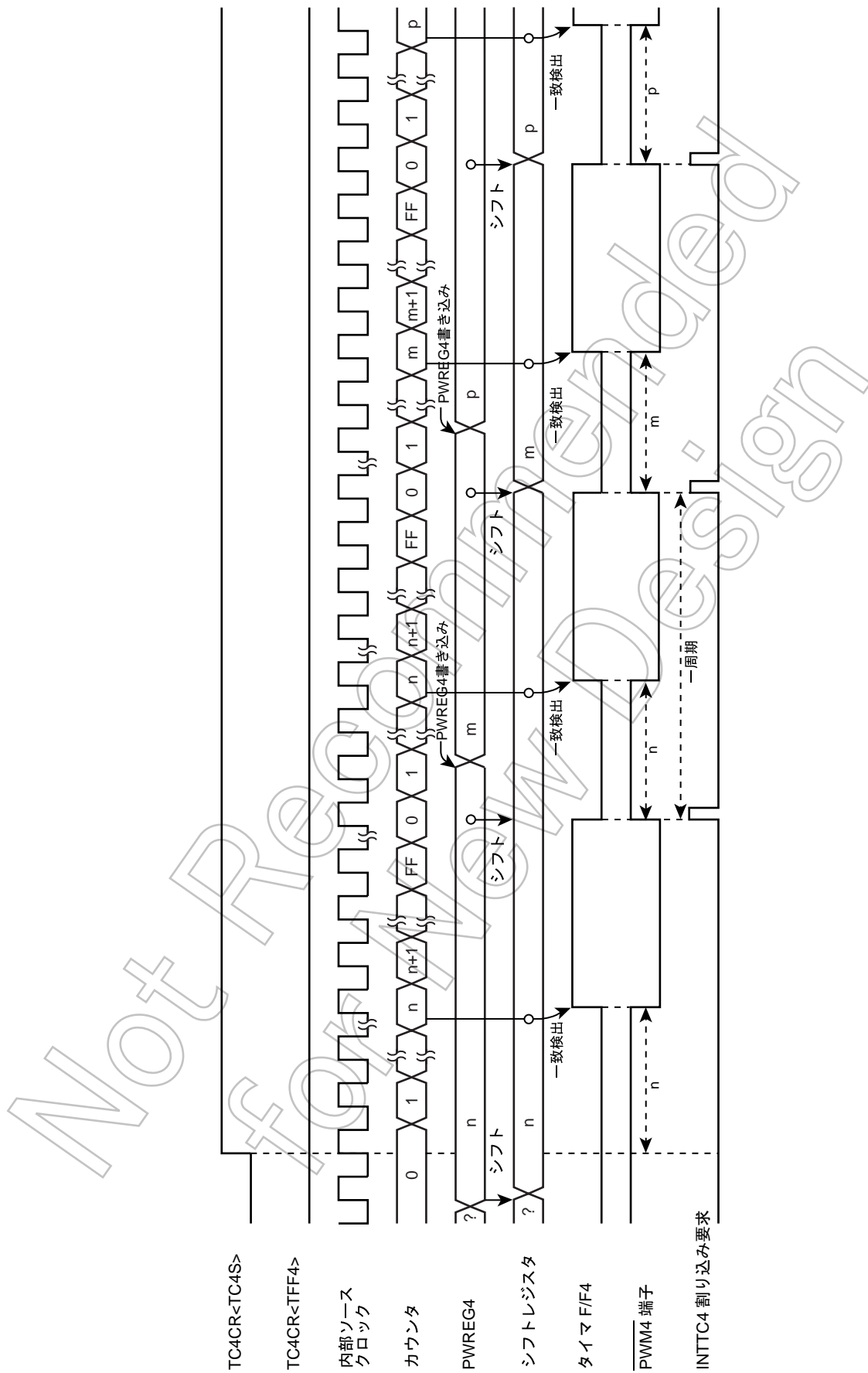


図 8-5 8 ビット PWM 出力モードタイミングチャート (TC4 の場合)

8.3.5 16ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ3と4をそれぞれカスケード接続することにより、16ビットタイマモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\overline{\text{PWMj}}/\overline{\text{PPGj}}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

表 8-5 16ビットタイマモードのソースクロック

ソースクロック	分解能	最大設定時間
NORMAL1, IDLE1 モード	fc = 8 MHz 時	fc = 8 MHz 時
fc/2 ¹¹	256 μ s	16.78 s
fc/2 ⁷	16 μ s	1.05 s
fc/2 ⁵	4 μ s	262.1ms
fc/2 ³	1 μ s	65.5 ms

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、600 ms 後に割り込みを発生させる (fc = 8.0 MHz 時)

```
LDW (TTREG3), 927CH ; タイマレジスタの設定 (600 ms ÷ 27/fc = 927CH)
DI
SET (EIRH), 3 ; INTTC4 割り込みを許可
EI
LD (TC3CR), 13H ; 動作クロックを fc/27、16ビットタイマモード
; (下位側) に設定
LD (TC4CR), 04H ; 16ビットタイマモード (上位側) に設定
LD (TC4CR), 0CH ; タイマスタート
```

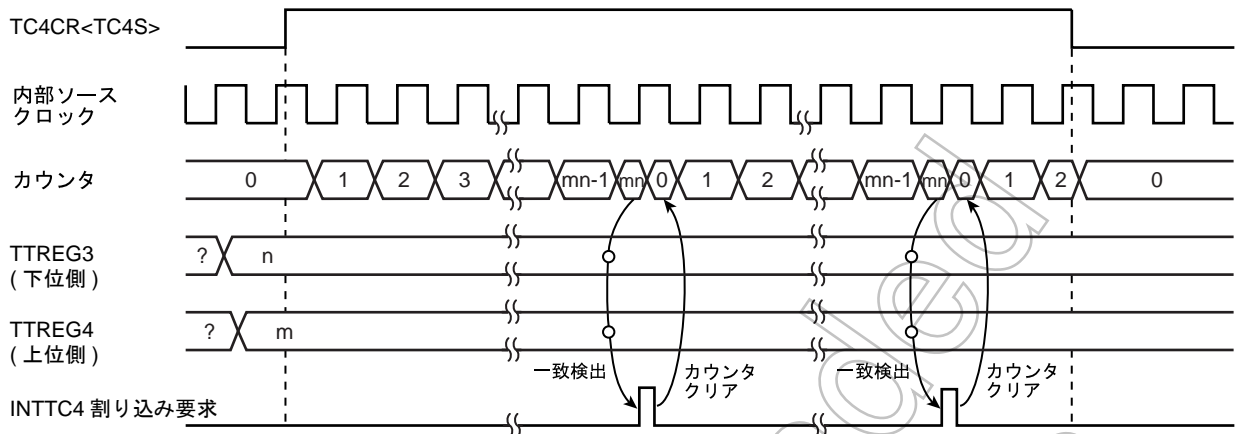


図 8-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

8.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFEj> を “0” に固定してください。固定されない場合は、 $\overline{PDOj/PWMj/PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

8.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバーフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PWM4 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください (タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください)。
例：タイマカウンタ停止時に PWM4 端子を “H” レベルに固定する。
CLR (TC4CR).3; タイマ停止
CLR (TC4CR).7; PWM4 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM4 端子からパルスが出力されます (ソースクロックとして f_c または $f_c/2$ を選択した場合)。

表 8-6 16 ビット PWM 出力モード

ソースクロック	分解能	繰り返し周期
NORMAL1, IDLE1 モード	$f_c = 8.0 \text{ MHz}$ 時	$f_c = 8.0 \text{ MHz}$ 時
$f_c/2^{11}$	256 μs	16.78 s
$f_c/2^7$	16 μs	1.05 s
$f_c/2^5$	4 μs	262.1 ms
$f_c/2^3$	1 μs	65.5 ms
$f_c/2$	250 ns	16.4 ms
f_c	125 ns	8.2 ms

(プログラム例) 周期 65.536 ms、“H” レベル幅 2 ms のパルスを出力する
($f_c = 8.0 \text{ MHz}$ 時)

```

ポートを設定する
LDW (PWREG3), 07D0H ; パルス幅の設定
LD (TC3CR), 33H ; 動作クロックを  $f_c/2^3$ 、16 ビット PWM モード (下位側)
; に設定
LD (TC4CR), 056H ; TFF4 初期値 “0”、16 ビット PWM モード (上位側)
; に設定
LD (TC4CR), 05EH ; タイマスタート

```

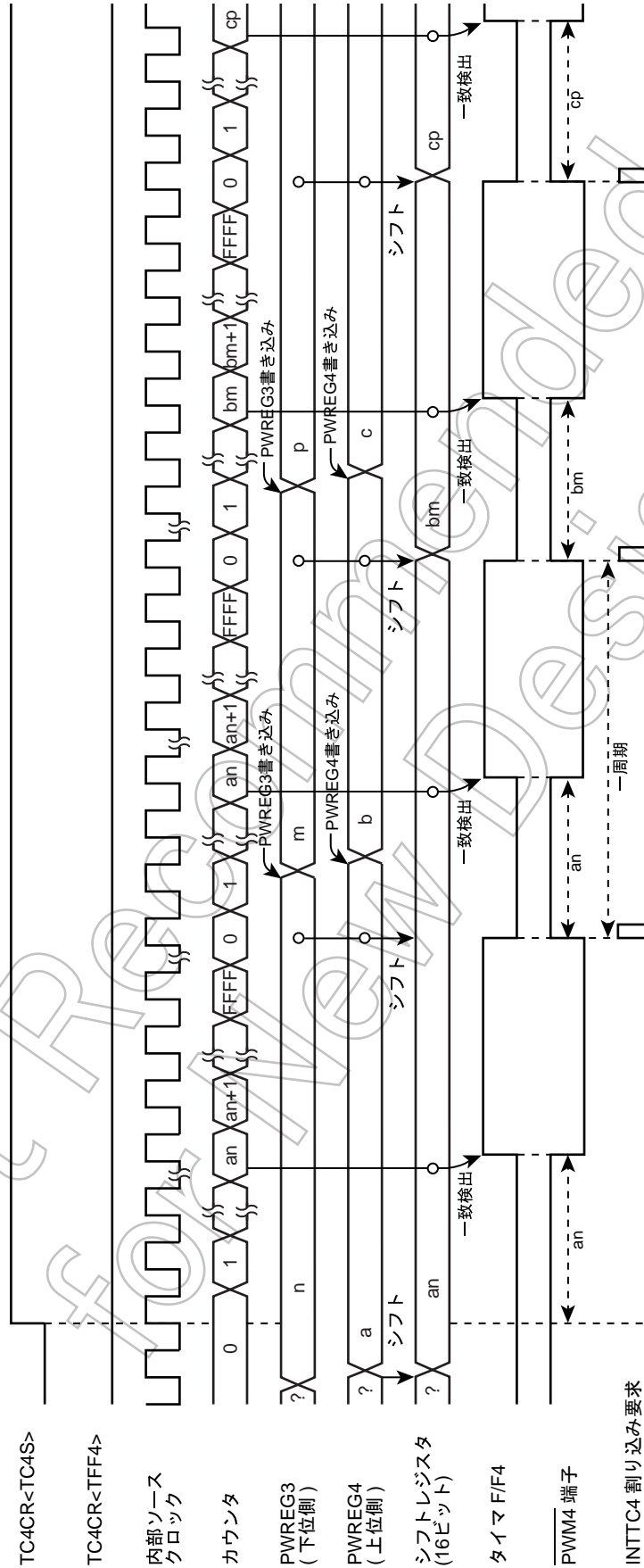


図 8-7 16 ビット PWM モードタイミングチャート (TC3 + TC4 の場合)

8.3.8 16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PPG4 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 32.770 ms、“H” レベル幅 2 ms のパルスを出力する ($f_c \equiv 8.0$ MHz 時)

	ポートを設定する	
LDW	(PWREG3), 07D0H	; パルス幅の設定
LDW	(TTREG3), 8002H	; 周期の設定
LD	(TC3CR), 33H	; 動作クロックを $f_c/2^3$ 、16 ビット PPG モード ; (下位側) に設定
LD	(TC4CR), 057H	; TFF4 初期値 “0”、16 ビット PPG モード ; (上位側) に設定
LD	(TC4CR), 05FH	; タイマスタート

注 1) プログラマブルパルスジェネレータモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレータモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください。タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください。

例: タイマカウンタ停止時に PPG4 端子を “H” レベルに固定する。

```
CLR (TC4CR).3; タイマ停止
CLR (TC4CR).7; PPG4 端子を “H” レベルに設定
```

注 3) $i = 3, 4$

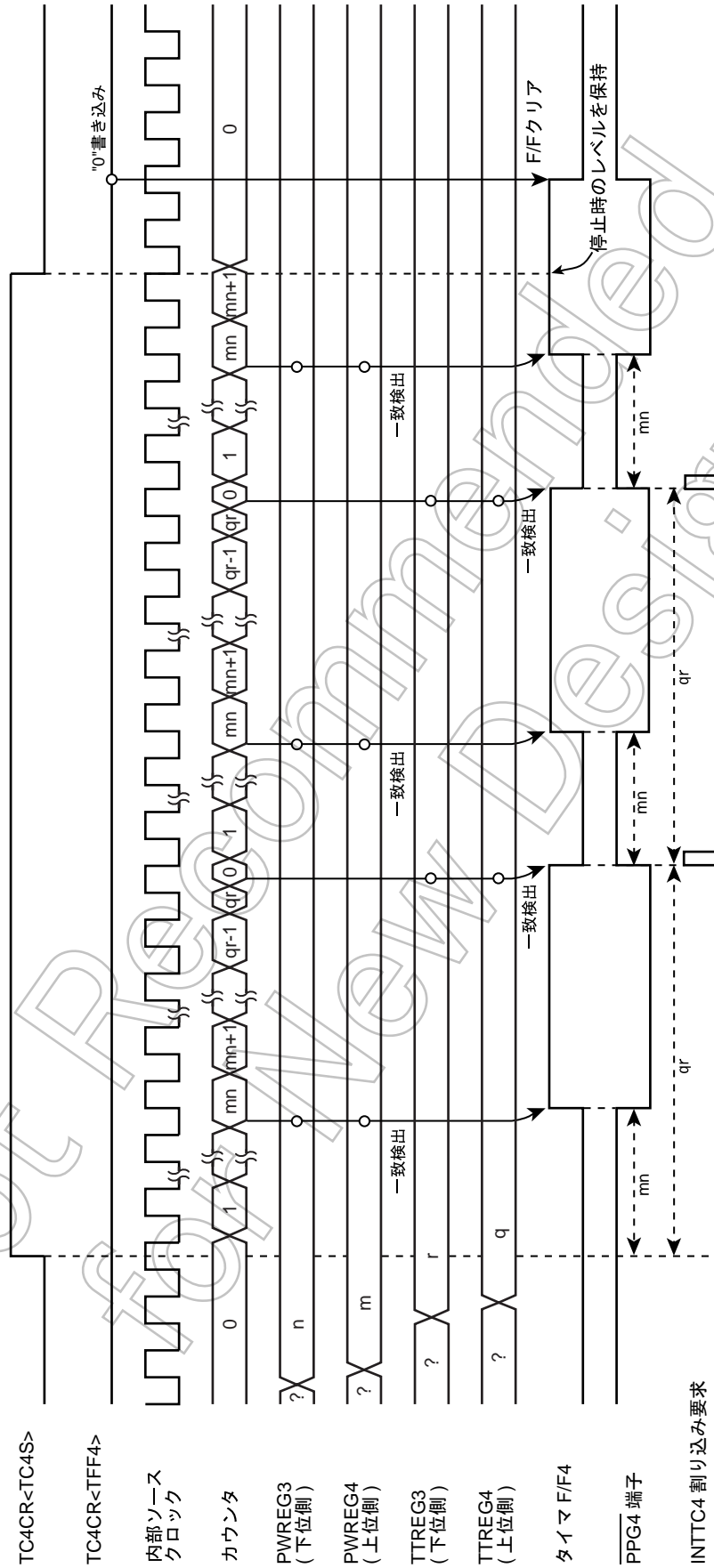


図 8-8 16 ビット PPG モードタイミングチャート (TC3 + TC4 の場合)

Not Recommended
for New Design

第9章 8ビットADコンバータ

TMP86P202PGは、8ビット分解能の逐次比較方式ADコンバータを内蔵しています。

注)AD変換特性は電源電圧が4.5～5.5Vでのみ保証されます。電源電圧が4.5V未満ではAD変換特性は保証されません。

9.1 構成

8ビットADコンバータの回路構成を図9-1に示します。

制御レジスタADCCR1, ADCCR2, 変換値レジスタADCDR1, ADCDR2とDAコンバータ、サンプルホールド回路、コンパレータ、逐次変換回路などで構成されています。

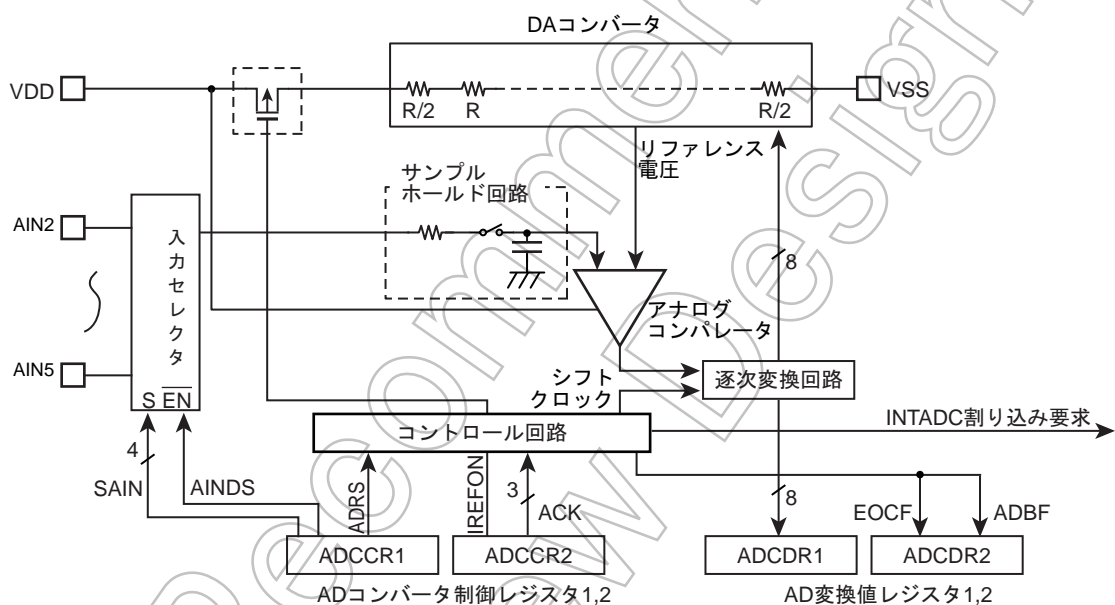


図9-1 8ビットADコンバータ

9.2 制御

ADコンバータは、次の4つのレジスタで構成されています。

1. ADコンバータ制御レジスタ1 (ADCCR1)

AD変換を行うアナログチャネルの選択および動作モードの選択とADコンバータの開始を制御するレジスタです。

2. ADコンバータ制御レジスタ2 (ADCCR2)

AD変換時間の選択と、DAコンバータ(ラダー抵抗)の接続を制御するレジスタです。

3. AD変換値レジスタ1 (ADCDR1)

ADコンバータによって変換されたデジタル値を格納するレジスタです。

4. AD変換値レジスタ2 (ADCDR2)

ADコンバータの動作状態をモニタするレジスタです。

ADコンバータ制御レジスタ1

ADCCR1 (000EH)	7	6	5	4	3	2	1	0	
	ADRS	"0"	"1"	AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD変換開始	0: <input type="checkbox"/> 1: <input type="checkbox"/>	AD変換開始	R/W
AINDS	アナログ入力制御	0: <input type="checkbox"/> 1: <input type="checkbox"/>	アナログ入力カインープル アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: Reserved 0001: Reserved 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: Reserved 0111: Reserved 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved		

- 注1) アナログ入力チャネルの選択はAD変換停止状態 (ADCDR2<ADBF> = "0")で行ってください。
- 注2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDSを"1"に設定してください。
- 注3) アナログ入力は入出力ポートと兼用になっていますが、精度を保つ意味でAD変換中はポート出力命令を実行しないでください。またアナログ入力と近接する入出力ポートにはAD変換中、変化の激しい信号を入力しないようにしてください。
- 注4) ADRSは、AD変換開始後、自動的に"0"にクリアされます。
- 注5) AD変換中にADRSの再設定は行わないでください。ADRSの再設定は、ADCDR2<EOCF>にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど)に行ってください。
- 注6) STOPモードを起動すると、ADコンバータ制御レジスタ1 (ADCCR1)はすべて初期化されるとともに書き込みができなくなります。再びADコンバータを使用する場合は、NORMAL1またはNORMAL2モードへ復帰後、ADCCR1を再設定してください。
- 注7) リセット後、SAINはReservedの設定値に初期化されますが、ADコンバータを使用するときは適切なアナログ入力チャネル (SAIN)を選択してください。
- 注8) ADCCR1のビット5は"1"に、ビット6は"0"をかみならず設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (000FH)	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値:**0* 0000)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表を参照してください)	000: Reserved 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	R/W

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 9-1 ACK 設定と周波数別の変換時間

条件	変換時間	8MHz	4 MHz	2 MHz
ACK 000	Reserved			
ACK 001	Reserved			
ACK 010	78/fc	—	19.5 μs	39.0 μs
ACK 011	156/fc	19.5 μs	39.0 μs	78.0 μs
ACK 100	312/fc	39.0 μs	78.0 μs	156.0 μs
ACK 101	624/fc	78.0 μs	156.0 μs	—
ACK 110	1248/fc	156.0 μs	—	—
ACK 111	Reserved			

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、電源電圧 (VDD) によって以下の時間以上を確保するように設定してください。

- VDD = 4.5 ~ 5.5 V 時 15.6 μs 以上

AD 変換値レジスタ 1

ADCDR1 (0020H)	7	6	5	4	3	2	1	0	
	AD07	AD06	AD05	AD04	AD03	AD02	AD01	AD00	(初期値: 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (0021H)	7	6	5	4	3	2	1	0	
			EOCF	ADBF					(初期値:**00 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: 変換実行中	

- 注 1) EOCF は、AD 変換レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。従って ADCDR2 は ADCDR1 よりも先に読み出してください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP モードを起動するときにもクリアされます。
- 注 3) ADCDR2 に対しリード命令を実行すると、ビット 7, 6, 3~0 は不定値が読み込まれます。

Not Recommended
for New Design

9.3 機能

9.3.1 AD コンバータの動作

ADCCR1<ADRS> を“1”に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧のAD変換を開始します。

AD変換終了後、変換結果をAD変換値レジスタ(ADCDR1)に格納し、ADCDR2<EOCF>に“1”をセットするとともにINTADC割り込み要求が発生します。

ADCCR1<ADRS>はAD変換を開始後、自動的にクリアされます。AD変換中にADCCR1<ADRS>の再設定(再スタート)は行わないでください。ADCCR1<ADRS>の再設定はADCDR2<EOCF>によって変換が終了したことを確認後、あるいはINTADC割り込み要求の発生後(割り込みルーチンなど)に行ってください。

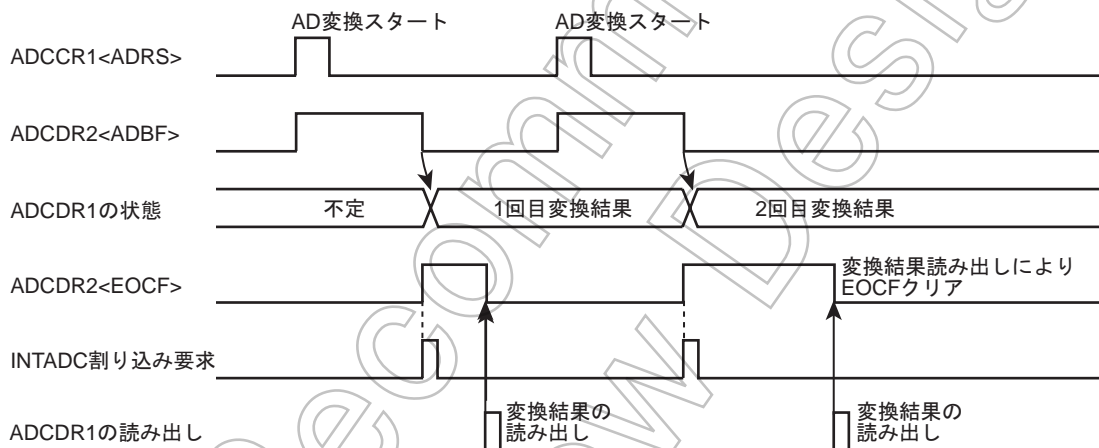


図 9-2 AD コンバータの動作

9.3.2 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力カインェブルに指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 を参照してください。
 - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) を“1”に設定してください。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF) が“1”にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1) に格納されます。また、このとき INTADC 割り込み要求が発生します。

5. AD変換値レジスタ1 (ADCDR1) から変換結果を読み出すと EOCF は “0” にクリアされます。ただし、AD変換値レジスタ1 (ADCDR1) を読み出す前に再変換を行った場合は、EOCF は “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 $39.0\mu\text{s}$ @ 8.0 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD変換を1回行います。EOCFを確認して変換値を読み出し、RAMの009FH番地に8ビットのデータを格納します。

```

: (ポートの設定)      :                               ; ADコンバータのレジスタを設定する前にポート
:                     :                               ; レジスタを適切に設定してください。
:                     :                               ; (詳細はI/Oポートの章を参照してください)
LD                     (ADCCR1), 00100011B      ; AIN3を選択
LD                     (ADCCR2), 11011000B      ; 変換時間 (312/fc), 動作モードを選択
:                     :
SET                    (ADCCR1), 7              ; ADRS = 1 (AD変換開始)
SLOOP: TEST           (ADCDR2), 5              ; EOCF = 1?
JRS                    T, SLOOP
:
LD                     A, (ADCDR1)              ; 変換結果の読み出し
LD                     (9FH), A

```

9.3.3 AD変換時のSTOPモード

AD変換中に強制的にSTOPモードを起動するとAD変換は中断され、ADコンバータは初期化されます (ADCCR1, ADCCR2は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果はSTOPモードを起動する前に読み出してください)。またSTOPモードから復帰した際は、AD変換は自動的に再開しませんので、必要に応じて再度AD変換を開始してください。なお、DAコンバータ (ラダー抵抗) は自動的に切断されます。

9.3.4 入力電圧と変換結果

アナログ入力電圧と AD 変換された 8 ビットデジタル値は図 9-3 のように対応します。

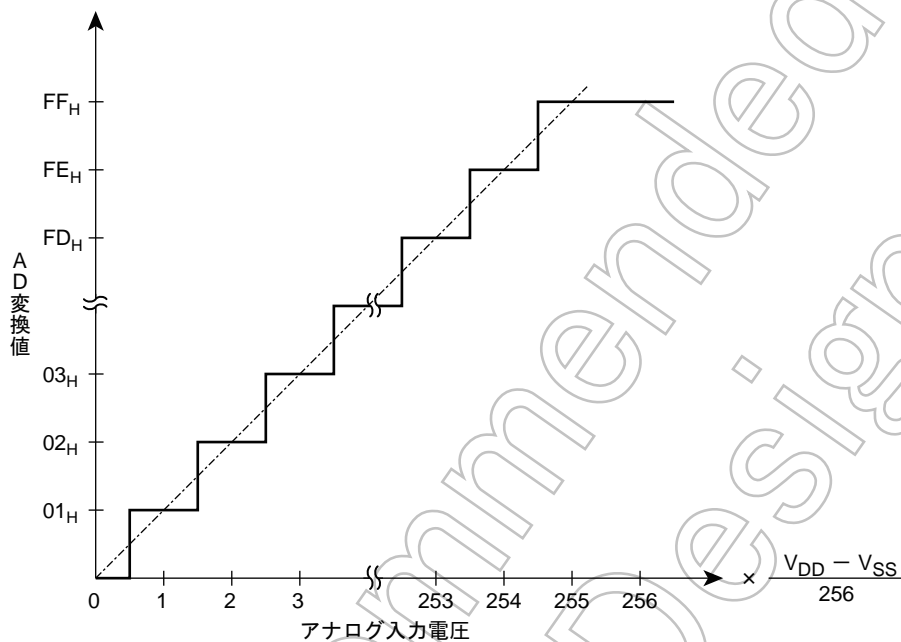


図 9-3 アナログ入力電圧と AD 変換値 (typ.) の関係

9.4 ADコンバータの注意事項

9.4.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN2 ~ AIN5) は、VDD ~ VSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

9.4.2 アナログ入力兼用端子

アナログ入力端子 (AIN2 ~ AIN5) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

9.4.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 9-4 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

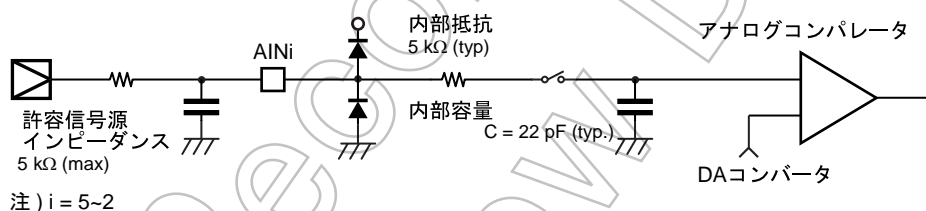


図 9-4 アナログ入力等価回路と入力端子処理例

第 10 章 OTP 機能

10.1 動作モード

TMP86P202PG には、MCU モードと PROM モードとがあります。

10.1.1 MCU モード

TEST/VPP 端子を“L”レベルに固定することにより、MCU モードとなります (TEST/VPP 端子は、プルダウン抵抗を内蔵していないため開放して使用することはできません)。

10.1.1.1 プログラムメモリ

TMP86P202PG は 2K バイト (MCU モード時、アドレス F800H~FFFFH 番地。PROM モード時、アドレス 0000H~07FFH 番地) のワнтаイム PROM を内蔵しています。

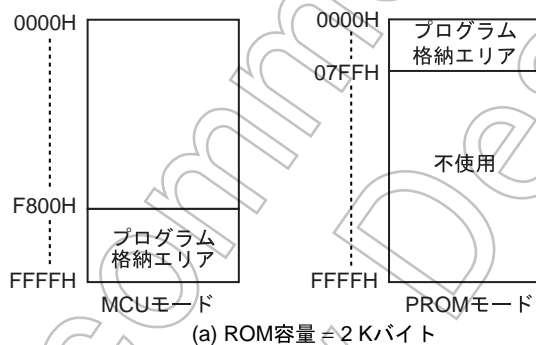


図 10-1 プログラム格納エリア

注) 不使用エリアはデータを FFH とするか、汎用 PROM プログラムの設定をプログラム格納エリアのみアクセスするように設定してください。

10.1.1.2 データメモリ

TMP86P202PG は 128 バイトのデータメモリ (スタティック RAM) を内蔵しています。

10.1.2 PROM モード

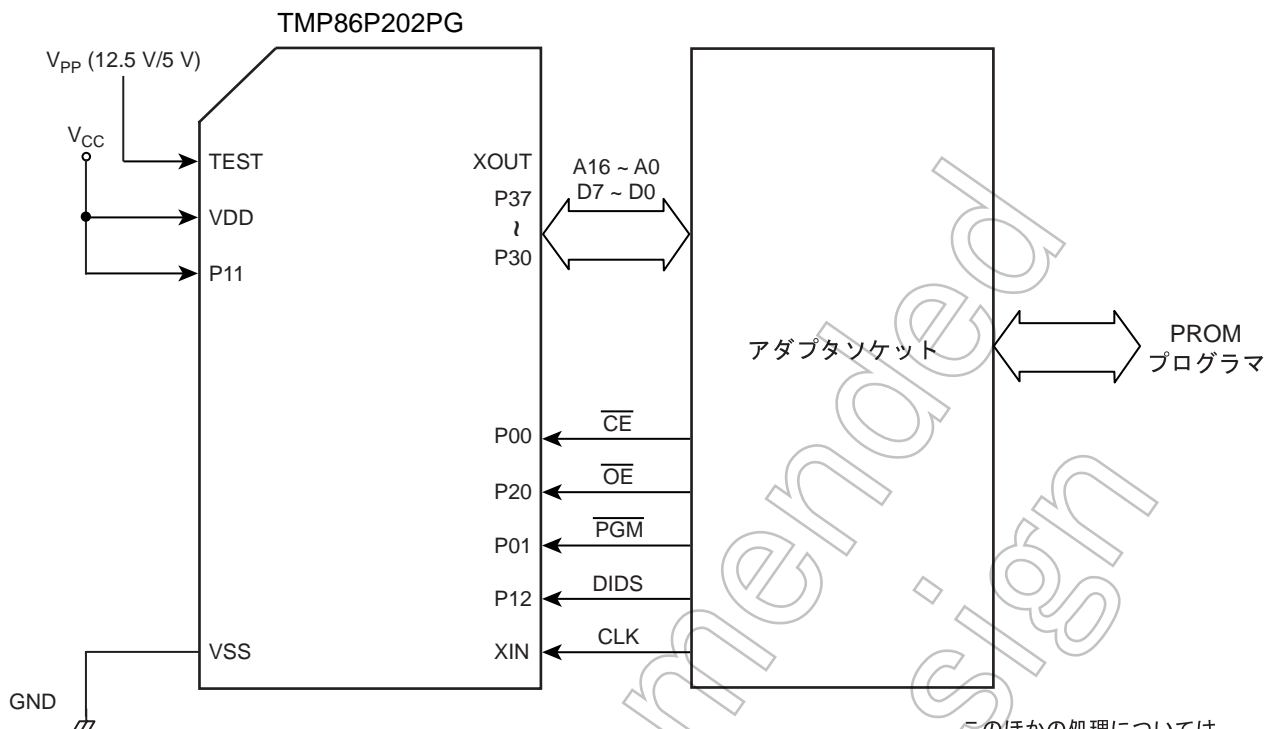
RESET 端子、TEST 端子、その他の各ポートを表 10-1 または図 10-2 のように設定することにより PROM モードになります。PROM モードでは、汎用 PROM プログラムを用いて、プログラムの書き込み/ベリファイを行うことができます。

表 10-1 PROM モードの端子名

端子名 (PROM モード時)	入出力	機能	端子名 (MCU モード時)
A16	入力	プログラムメモリアドレス入力	XOUT
A15 ~ A8	入力	プログラムメモリアドレス入力	P37 ~ P30
A7 ~ A0	入力	プログラムメモリアドレス入力	P37 ~ P30
D7 ~ D0	入出力	プログラムメモリデータ入出力	P37 ~ P30
\overline{CE}	入力	チップイネーブル信号入力	P00
\overline{OE}	入力	アウトプットイネーブル信号入力	P20
\overline{PGM}	入力	プログラムモード信号入力	P01
DIDS	入力	PROM モード制御信号入力	P12
VPP	電源	+12.75V/5V (プログラム電源)	TEST
VCC	電源	+6.25V/5V	VDD
GND	電源	0V	VSS
VCC	設定端子	PROM モードで”H”レベル固定	P11
\overline{RESET}	設定端子	PROM モードで”L”レベル固定	\overline{RESET}
CLK	入力	外部からクロックを入力してください	XIN

注) 高速プログラムモードが使用できます (ご使用になる PROM プログラムによって設定が異なりますので PROM プログラムの説明書をご参照ください)。TMP86P202PG は、エレクトリックシグネチャー機能を持っていませんので、PROM プログラムの ROM タイプを TC571000D/AD 相当に設定してください。

なお、弊社のサポートしておりますアダプタソケットをご使用される場合、スイッチは“N”側に設定してください。



このほかの処理については、端子機能を参照してください。

- 注 1) EPROM アダプタソケット (TC571000・1M bit EPROM)
- 注 2) PROM プログラム接続用アダプタソケット
TMP86P202PG 用 : BM11203
- 注 3) 内側に記載した端子名は TMP86P202PG 側
DIDS, CLK 以外の外側に記載した端子名は EPROM 側

図 10-2 PROM モードの設定

10.1.2.1 書き込みフローチャート (高速プログラム)

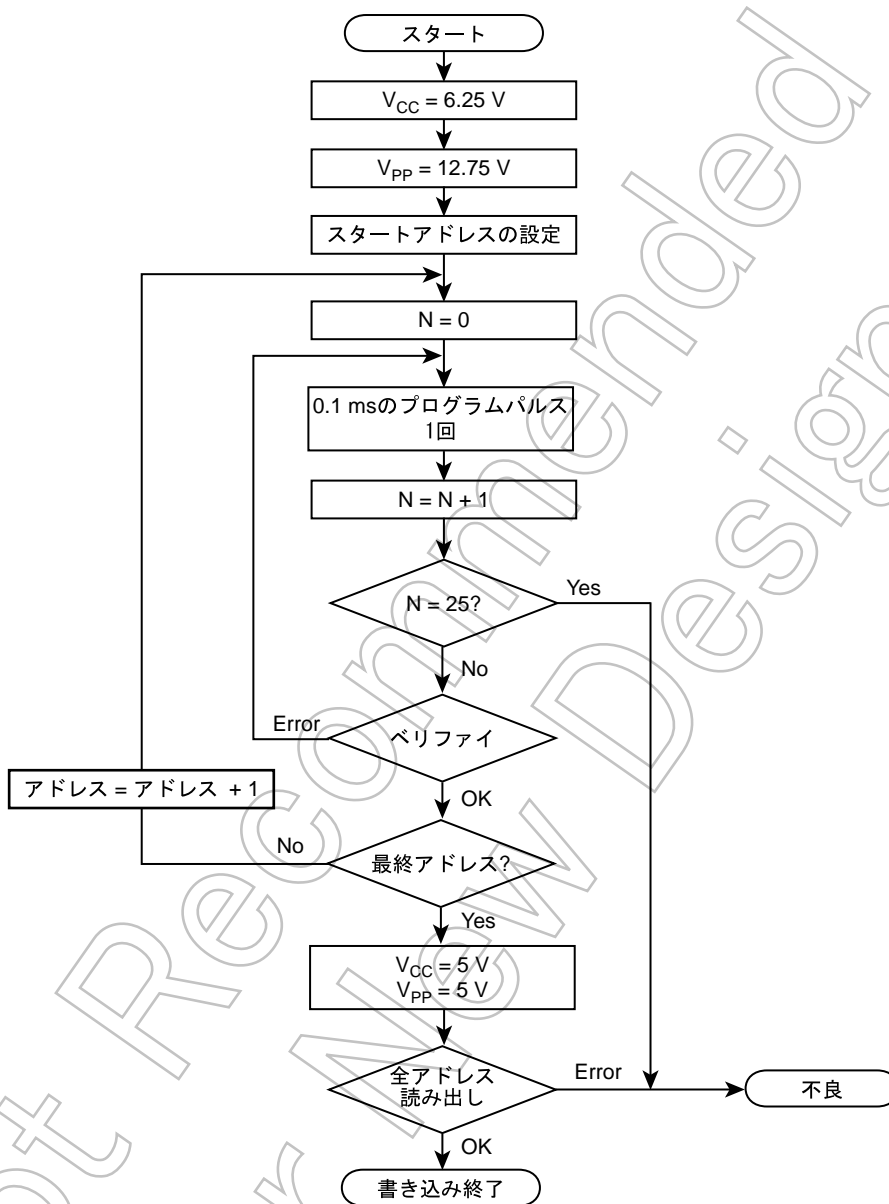


図 10-3 書き込みフローチャート

$V_{CC} = 6.25 \text{ V}$ の状態で、 $V_{PP} = 12.75 \text{ V}$ のプログラム電圧を印加することにより、高速プログラムモードとなります。アドレスおよび入力データを確定した後、 $\overline{\text{PGM}}$ 入力に 0.1 ms のプログラム (単一) パルスを加えることにより、データが書き込まれます。データが書き込まれているかベリファイを行い、正しく書き込まれていない場合は、再び 0.1 ms のプログラムパルスを印加し正しく書き込まれるまで (最大 25 回) この操作を繰り返します。設定アドレスに正しくプログラムができたなら、アドレス、入力データを次に進め同様に書き込みを行います。すべての書き込みが終了したら、 $V_{CC} = V_{PP} = 5 \text{ V}$ に設定し、全アドレスのベリファイを行います。

10.1.2.2 汎用 PROM プログラマにて、弊社アダプタソケットを用いての書き込み方法

(1) アダプタの準備

BM11203: TMP86P202PG 用

(2) アダプタの設定

スイッチ (SW1) を N 側に設定してください。

(3) PROM プログラマの設定

a. PROM タイプを TC571000D/AD に設定します。

書き込み電圧: 12.75 V (高速プログラムモード)

b. データ転送 (またはコピー) (注 1)

TMP86P202PG の PROM はアクセスするために設定するアドレスが MCU モード時と PROM モード時で異なります。従って、マスク ROM 品に搭載する ROM の内容を TMP86P202PG の PROM に書き込む場合、あらかじめ MCU モード時のアドレスから PROM モード時のアドレスにデータを転送 (コピー) などする必要があります。MCU モードと PROM モードのプログラムエリアの対応は、“図 10-1 プログラム格納エリア”を参照してください。

例: ブロック転送 (コピー) モードで、下記を実行

ROM 容量が 2 KB の場合 : 0F800~0FFFFH → 00000~007FFH

c. 開始アドレス : 0000H

終了アドレス : 07FFH

(4) 書き込み

PROM プログラマの操作手順に従って書き込み/ベリファイを行ってください。

(5) セキュリティビット

TMP86P202PG はセキュリティビット (1 ビット) を内蔵しています。このセキュリティビットに” 0 ”を書き込むことにより内蔵 PROM モードで読めなく (データとして FFH を出力) することができます。

セキュリティビットのプログラム方法

10.1.2.2 で述べた書き込み方法と異なる点を下記に示します。

1. OTP アダプタの設定

スイッチ (SW1) を S 側に設定して下さい。

2. PROM ライタの設定

i) 書き込みアドレスの設定

セキュリティビットは、アドレス 1101H の bit0 に存在します。従って、開始アドレス 1101H、終了アドレス 1101H、アドレス 1101H のデータを FEH に設定してください。

- 注 1) 設定方法は、PROM プログラムの説明書を参照してください。また、アドレス不使用領域のデータは必ず FFH に設定してください。
- 注 2) MCU をアダプタにセットする場合、またはアダプタを PROM プログラムにセットする場合は 1 ピンの位置を合わせてセットしてください。間違えて逆向きにセットすると MCU, アダプタおよび PROM プログラムにダメージを与えます。
- 注 3) TMP86P202PG はエレクトリックシグネチャーモード (以下シグネチャー) はサポートしていません。従って、PROM プログラムでシグネチャーを使用すると、アドレスの 9 番ピン (A9) に $12\text{V} \pm 0.5\text{V}$ の電圧が印加されるためデバイスにダメージを与えます。シグネチャーを使わないでください。
- 注 4) セキュリティビット書き込み後、データの上書きはしないようにしてください。

Not Recommended for New Design

第 11 章 端子の入出力回路

11.1 制御端子

TMP86P202PG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力	<p>セラミックまたは水晶発振</p>	高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 0.5 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入力	<p>アドレストラップリセット ウォッチドッグタイマリセット システムクロックリセット</p>	ヒステリシス入力 ブルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
TEST	入力		$R = 1 \text{ k}\Omega$ (typ.) MCU モードでは必ず "L" レベルに固定してください。

11.2 入出力ポート

ポート	入出力	入出力回路	備考
P0	入出力	<p>初期値 "High-Z"</p> <p>VDD</p> <p>出力ラッチ入力</p> <p>High-Z control</p> <p>データ出力</p> <p>Pch control</p> <p>端子入力</p> <p>R</p>	<p>シンクオープンドレイン または プッシュプル出力 ヒステリシス入力 大電流出力 (Nch) (プログラマブルポートオプション) R = 100 Ω (typ.)</p>
P1	入出力	<p>初期値 "High-Z"</p> <p>VDD</p> <p>Disable</p> <p>データ出力</p> <p>端子入力</p> <p>R</p>	<p>トリステート入出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P2	入出力	<p>初期値 "High-Z"</p> <p>VDD</p> <p>データ出力</p> <p>端子入力</p> <p>R</p>	<p>シンクオープンドレイン出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P37 P36 P35 P34	入出力	<p>初期値 "High-Z"</p> <p>VDD</p> <p>アナログ入力</p> <p>Disable</p> <p>データ出力</p> <p>端子入力</p> <p>R</p>	<p>トリステート入出力 R = 100 Ω (typ.)</p>
P33 P32	入出力	<p>初期値 "High-Z"</p> <p>VDD</p> <p>データ出力</p> <p>端子入力</p> <p>R</p>	<p>トリステート入出力 R = 100 Ω (typ.)</p>
P31 P30	入出力	<p>初期値 "High-Z"</p> <p>VDD</p> <p>データ出力</p> <p>端子入力</p> <p>R</p>	<p>トリステート入出力 ヒステリシス入力 R = 100 Ω (typ.)</p>

注) 入力モードに設定されている端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。

第 12 章 電気的特性

12.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(V_{SS} = 0 V)

項目	記号	端子	規格	単位
電源電圧	V _{DD}		-0.3~6.5	V
プログラム電圧	V _{PP}	TEST/V _{PP}	-0.3~13.0	
入力電圧	V _{IN}		-0.3~V _{DD} + 0.3	
出力電圧	V _{OUT}		-0.3~V _{DD} + 0.3	
出力電流 (1 端子当たり)	I _{OUT1}	P0, P1, P3 Port	-1.8	mA
	I _{OUT2}	P1, P2, P3 Port	12	
	I _{OUT3}	P0 Port	30	
出力電流 (全端子総計)	Σ I _{OUT1}	P0, P1, P3 Port	-12	
	Σ I _{OUT2}	P1, P2, P3 Port	40	
	Σ I _{OUT3}	P0 Port	60	
消費電力 [Topr = 85°C]	PD	DIP	250	mW
		SOP	180	
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C
保存温度	T _{stg}		-55~150	
動作温度	Topr		-40~85	

12.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

(V_{SS} = 0 V, Topr = -40~85°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V _{DD}		NORMAL1 モード	3.3	5.5	V
			IDLE0, 1 モード			
			STOP モード	2.0		
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	V
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
	V _{IH3}		V _{DD} < 4.5 V	V _{DD} × 0.90		
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	V
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
	V _{IL3}		V _{DD} < 4.5 V		V _{DD} × 0.10	
クロック周波数	f _c	XIN, XOUT	V _{DD} = 3.3 V~5.5 V	1.0	8.0	MHz

注) AD 変換特性は電源電圧が 4.5~5.5 V でのみ保証されます。電源電圧が 4.5 V 未満では AD 変換特性は保証されません。

12.3 DC 特性

($V_{SS} = 0\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V_{HS}	ヒステリシス入力		-	0.9	-	V
入力電流	I_{IN1}	TEST	$V_{DD} = 5.5\text{ V}$, $V_{IN} = 5.5\text{ V}/0\text{ V}$	-	-	± 2	μA
	I_{IN2}	Sink Open Drain, Tri-state Port					
	I_{IN3}	RESET, STOP					
入力抵抗	R_{IN}	RESET Pull-Up		100	220	450	$\text{k}\Omega$
出力リーク電流	I_{LO}	Sink Open Drain, Tri-state Port	$V_{DD} = 5.5\text{ V}$, $V_{OUT} = 5.5\text{ V}/0\text{ V}$	-	-	± 2	μA
高レベル出力電圧	V_{OH}	P0, P1, P3 Port	$V_{DD} = 4.5\text{ V}$, $I_{OH} = -0.7\text{ mA}$	4.1	-	-	V
低レベル出力電圧	V_{OL}	P1, P2, P3 Port	$V_{DD} = 4.5\text{ V}$, $I_{OL} = 1.6\text{ mA}$	-	-	0.4	
低レベル出力電流	I_{OL}	中電流 (XOUT, P0 以外)	$V_{DD} = 4.5\text{ V}$, $V_{OL} = 1.0\text{ V}$	-	8	-	mA
低レベル出力電流	I_{OL}	大電流 (P0 Port)	$V_{DD} = 4.5\text{ V}$, $V_{OL} = 1.0\text{ V}$	-	20	-	
NORMAL1 モード時電源電流	I_{DD}		$V_{DD} = 5.5\text{ V}$ $V_{IN} = 5.3\text{ V}/0.2\text{ V}$ $f_c = 8.0\text{ MHz}$	-	3.0	5.5	
IDLE0, 1 モード時電源電流			$V_{DD} = 5.5\text{ V}$ $V_{IN} = 5.3\text{ V}/0.2\text{ V}$	-	1.9	4.0	
STOP モード時電源電流			$V_{DD} = 5.5\text{ V}$ $V_{IN} = 5.3\text{ V}/0.2\text{ V}$	-	0.5	10.0	μA

- 注 1) Typ. 値は、条件に指定なき場合 $T_{opr} = 25^\circ\text{C}$, $V_{DD} = 5\text{ V}$ 時の値を示します。
 注 2) 入力電流 I_{IN1} , I_{IN3} : プルアップまたはプルダウン抵抗による電流を除きます。
 注 3) I_{DD} は、 I_{REF} を含みません。

12.4 AD 変換特性

($V_{SS} = 0.0\text{ V}$, $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{DD}	V
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = 5.5\text{ V}$ $V_{SS} = 0.0\text{ V}$	-	0.6	1.0	mA
非直線性誤差		$V_{DD} = 5.0\text{ V}$, $V_{SS} = 0.0\text{ V}$	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 4	

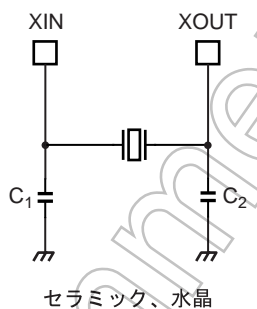
- 注 1) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差です。
 注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、「8 ビット AD コンバータ」の章の制御を参照してください。
 注 3) AIN 入力端子への入力電圧は $V_{DD}\sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャネルの変換値にも影響を与えます。
 注 4) I_{REF} の該当端子は V_{DD} であり、 V_{DD} に流れ込む電流は電源電流 $I_{DD} + I_{REF}$ になります。
 注 5) AD 変換特性は電源電圧が 4.5~5.5 V でのみ保証されます。電源電圧が 4.5 V 未満では AD 変換特性は保証されません。

12.5 AC 特性

($V_{SS} = 0\text{ V}$, $V_{DD} = 3.3\text{--}5.5\text{ V}$, $T_{opr} = -40\text{--}85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1 モード時	0.5	-	4	μs
		IDLE0, 1 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力) f _c = 8 MHz 時	50	-	-	ns
低レベルクロックパルス幅	t _{WCL}					

12.6 推奨発振条件



- 注 1) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 2) 弊社マイクロコントローラの発振子として、(株)村田製作所のセラミック発振子を推奨します。詳細につきましては、下記アドレスの同社ホームページをご参照ください。
<http://www.murata.co.jp/>

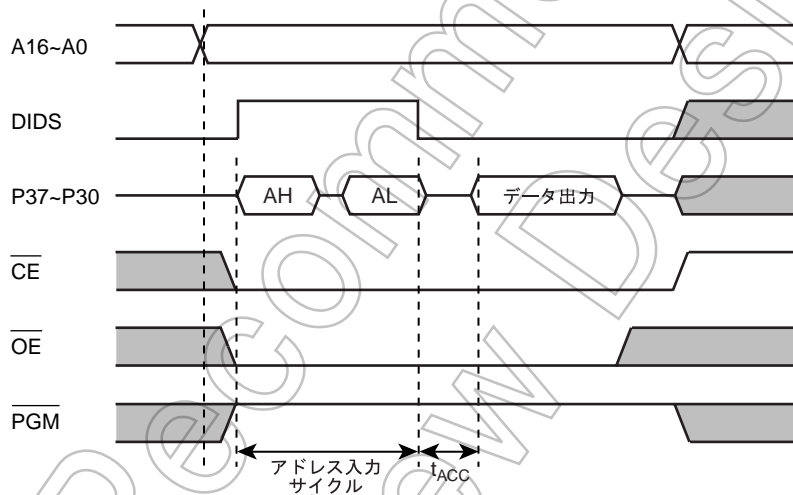
12.7 DC 特性 , AC 特性 (PROM モード)

12.7.1 リードオペレーション時

($V_{SS} = 0\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
高レベル入力電圧	V_{IH4}		$V_{CC} \times 0.75$	-	V_{CC}	V
低レベル入力電圧	V_{IL4}		0	-	$V_{CC} \times 0.25$	
電源電圧	V_{CC}		4.75	5.0	5.25	
プログラム電源電圧	V_{PP}					
アドレスアクセスタイム	t_{ACC}	$V_{CC} = 5.0 \pm 0.25\text{ V}$	-	-	$1.5t_{cyc} + 300$	ns
アドレス入力サイクル	-		-	t_{cyc}	-	

注) $t_{cyc} = 250\text{ ns}$, $f_{CLK} = 16\text{ MHz}$ 時



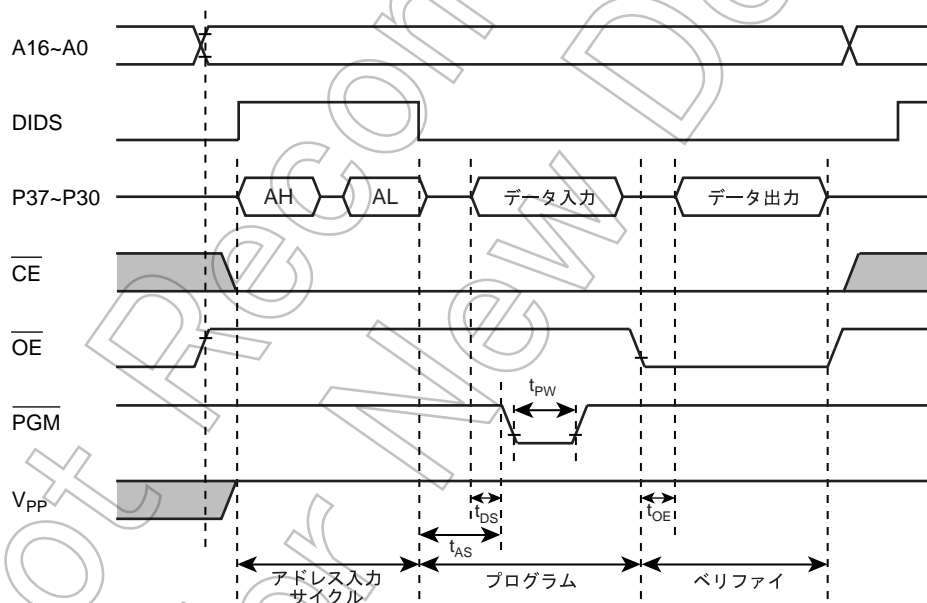
注) DIDS, P37~P30 は TMP86P202PG の信号です。これ以外は EPROM プログラムの信号です。
 AL: アドレス入力 (A0~A7)
 AH: アドレス入力 (A8~A15)

12.7.2 プログラムオペレーション (高速プログラム) 時 ($T_{opr} = 25 \pm 5^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
高レベル入力電圧	V_{IH4}		$V_{CC} \times 0.75$	-	V_{CC}	V
低レベル入力電圧	V_{IL4}		0	-	$V_{CC} \times 0.25$	
電源電圧	V_{CC}		6.0	6.25	6.5	
プログラム電源電圧	V_{PP}		12.5	12.75	13.0	
初期プログラムパルス幅	t_{PW}	$V_{CC} = 6.0\text{ V}$	0.095	0.1	0.105	ms
アドレスセットアップタイム	t_{AS}		0.5tcyc	-	-	ns
アドレス入力サイクル	-		-	tcyc	-	
データセットアップタイム	t_{DS}		1.5tcyc	-	-	
$\overline{\text{OE}}$ から出力データ確保まで	t_{OE}		-	-	$1.5tcyc + 300$	

注) tcyc = 250 ns, $f_{CLK} = 16\text{ MHz}$ 時

高速プログラム方式



注) DIDS, P37~P30 は TMP86P202PG の信号です。これ以外は EPROM プログラムの信号です。

AL: アドレス入力 (A0~A7)

AH: アドレス入力 (A8~A15)

注 1) V_{PP} (12.75 V) 電源は V_{CC} 電源と同時にまたは遅く投入し、遮断時は同時または早く遮断してください。

注 2) デバイスに電圧を印加しているとき (特に $V_{PP} = 12.75\text{ V} \pm 0.25\text{ V}$ の状態) のデバイスの抜き差しは、デバイスにダメージを与えますので、抜き差しはしないでください。

注 3) 推奨アダプタと推奨モードを使用してください。これ以外の条件で使用すると、正しく読み書きできない場合があります。

12.8 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目

はんだ付け性

試験条件

230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)

245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)

備考

フォーミングまでのはんだ付着率 95% を良品とする。

- ブラウン管などの高電界のかかる場所で使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

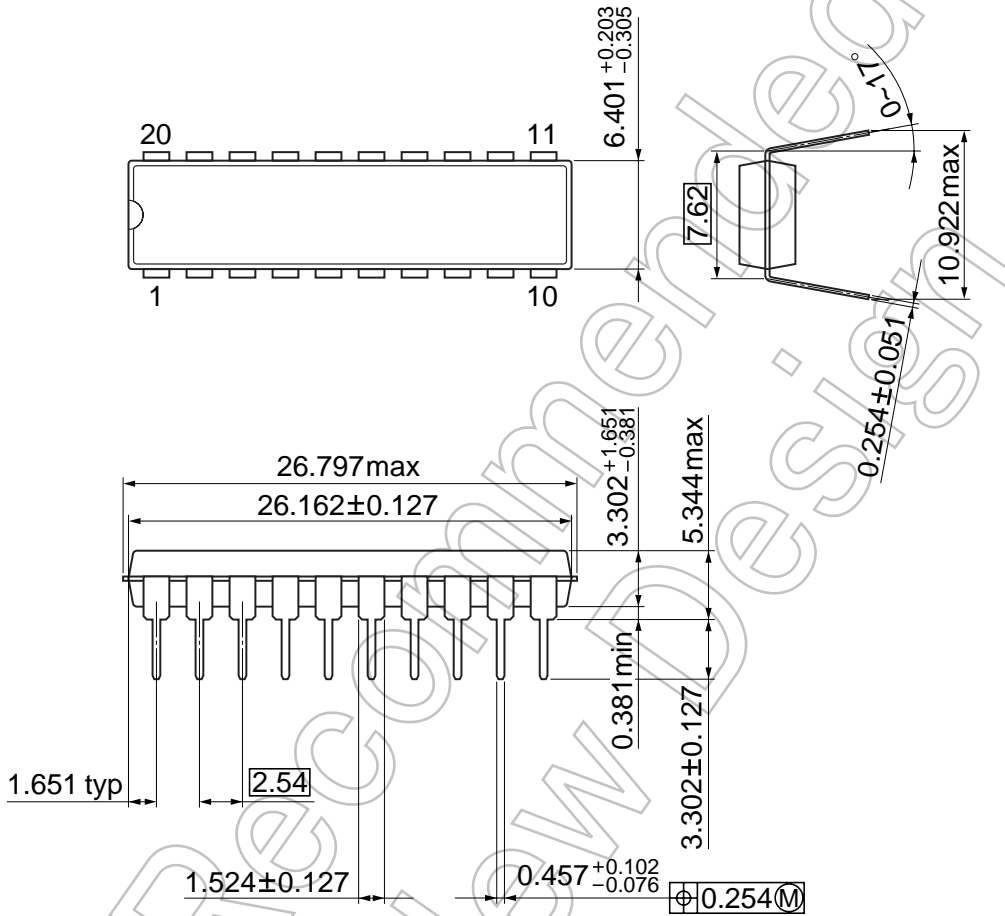
Not Recommended
for New Design

Not Recommended
for New Design

第 13 章 外形寸法

DIP20-P-300-2.54A Rev 01

Unit: mm



Not Recommended for New Design

Not Recommended
for New Design

あとがき

この資料は TMP86P202PG のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年10月10日

8ビットマイクロコントローラ

TMP86P202PG

発行年月日

2007年10月10日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
